

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については
必ず本文の内容をご確認ください。

SH-2E SH7055S F-ZTAT™

ハードウェアマニュアル

ルネサス32ビットRISC マイクロコンピュータ

SuperH™ RISC engineファミリ / SH7000シリーズ

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

本 LSI は、内部 32 ビット構成の SH-2E CPU を核に、システム構成に必要な周辺機能を集積したシングルチップ RISC マイクロコンピュータです。

本 LSI は、大容量 ROM、RAM、浮動小数点演算ユニット(FPU)、ダイレクトメモリコントローラ(DMAC)、タイマ、シリアルコミュニケーションインタフェース(SCI)、コントローラエリアネット(HCAN)、A/D 変換器、I/O ポートなどの周辺機能を内蔵しており、高度な制御システムの組み込み用マイコンとして活用できます。内蔵 ROM はフラッシュメモリ(F-ZTATTM*)で、仕様流動性の高い応用機器、量産初期から本格量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】*F-ZTATTMは(株)ルネサス テクノロジーの商標です。

対象者 このマニュアルは、SH7055S F-ZTATを用いた応用システムを設計するユーザーを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7055S F-ZTATのハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。

なお、実行命令の詳細については、「SH-2Eプログラミングマニュアル」に記載しておりますので、合わせてご覧ください。

読み方

- 機能全体を理解しようとするとき。
目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU 機能の詳細を理解したいとき。
別冊の「SH-2E プログラミングマニュアル」を参照してください。

凡例 ビット表記順 : 左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご購入の資料が最新版であることを確認してください。

(<http://www.renesas.com/>)

- SH7055S F-ZTAT に関するユーザーズマニュアル

資料名	資料番号
SH7055S F-ZTAT ハードウェアマニュアル	本マニュアル
SH-2E プログラミングマニュアル	ADJ - 602 - 198

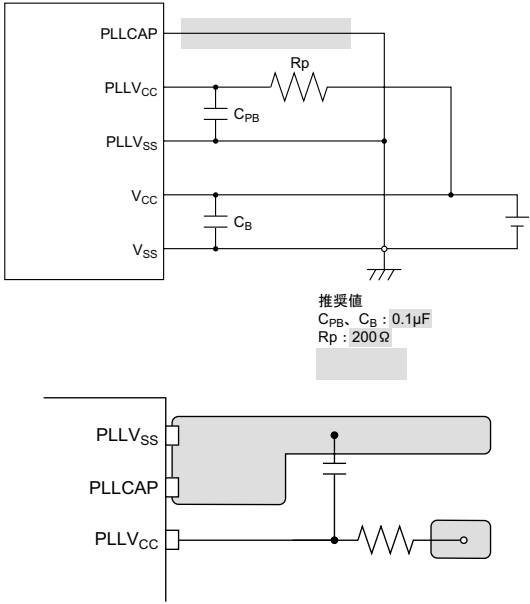
- 開発ツール関連ユーザーズマニュアル

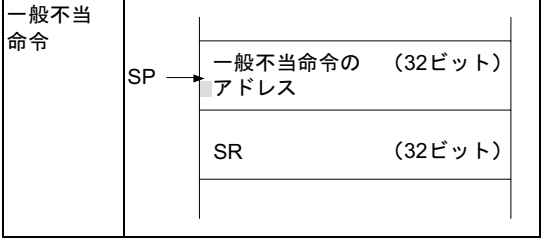
資料名	資料番号
C/C++ コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	ADJ - 702 - 304
シミュレータ・デバッガ ユーザーズマニュアル	ADJ - 702 - 266
High-Performance Embedded Workshop ユーザーズマニュアル	ADJ - 702 - 275

- アプリケーションノート

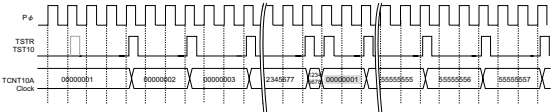
資料名	資料番号
C/C++ コンパイラ編	ADJ - 502 - 046

本版で修正または追加された箇所

修正箇所	ページ	修正箇所						
2.4.1 分類順命令セット (5) 分岐命令	2-21	表の修正 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="text-align: center;">BF/S</td> <td style="text-align: center;">label</td> <td style="text-align: center;">10001111ddddddd</td> <td style="text-align: center;">遅延分岐、T=0 のとき disp × 2+PC←PC、 T=1 のとき nop</td> <td style="text-align: center;">2/1¹²</td> </tr> </table>	BF/S	label	10001111ddddddd	遅延分岐、T=0 のとき disp × 2+PC←PC、 T=1 のとき nop	2/1 ¹²	
BF/S	label	10001111ddddddd	遅延分岐、T=0 のとき disp × 2+PC←PC、 T=1 のとき nop	2/1 ¹²				
3.6 使用上の注意 (3) FADD、FSUB 命令の制限事項	3-8	新規追加						
5.3.1 水晶発振子の接続方法 図 5.3 水晶発振子の接続例 表 5.3 ダンピング抵抗値(推奨値)	5-3	推奨値の変更 CL1、CL2 : 18~22pF 表の修正 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="text-align: center;">周波数 (MHz)</td> <td style="text-align: center;">5</td> <td style="text-align: center;">10</td> </tr> <tr> <td style="text-align: center;">Rd (Ω)</td> <td style="text-align: center;">500</td> <td style="text-align: center;">0</td> </tr> </table>	周波数 (MHz)	5	10	Rd (Ω)	500	0
周波数 (MHz)	5	10						
Rd (Ω)	500	0						
5.4 使用上の注意 図 5.7 PLL 用電源接続時の注意 図 5.8 ボード設計の具体例	5-5	発振安定用の容量 C1 および抵抗 R1 の記述削除 図の修正  <p style="text-align: center;">推奨値 C_{PB}、C_B : 0.1μF R_p : 200Ω</p>						

修正箇所	ページ	修正箇所
<p>6.7 例外処理後のスタックの状態 表 6.11 例外処理終了後のスタックの状態</p>	6-10	<p>表の修正</p> 
<p>11.1.1 特長</p>	11-1、11-2	<p>記述修正および追加</p> <p>プリスケアラ</p> <ul style="list-style-type: none"> チャンネル 0～8、10、11 の初段で 1/1～1/32 のクロック分周が可能 チャンネル 1～5 は TI10 端子入力および TI10 端子入力の連倍(補正) : AGCK、AGCKM の選択可能 <p>チャンネル 2</p> <ul style="list-style-type: none"> チャンネル 8 のダウンカウンタ(DCNT8I～P)の強制遮断可能 <p>チャンネル 8</p> <ul style="list-style-type: none"> 16 ビットのダウンカウンタ (DCNT8I～P) 8 本にリロード設定可能 <p>チャンネル 9</p> <ul style="list-style-type: none"> ■ チャンネル 9 は 6 本のイベントカウンタと 6 本のジェネラルレジスタを持ち、次の動作が可能 <p>チャンネル 10</p> <ul style="list-style-type: none"> ■ チャンネル 10 は 32 ビットアウトプットコンペア、インプットキャプチャレジスタ、フリーランカウンタ、16 ビットフリーランカウンタ、アウトプットコンペア/インプットキャプチャレジスタ、リロードレジスタ、8 ビットイベントカウンタ、アウトプットコンペアレジスタを各 1 本、16 ビットリロードカウンタを 1 本持ち、次の動作が可能 キャプチャされた値の 1/32、1/64、1/128、1/256 倍でリロードカウント可能 <p>チャンネル 11</p> <ul style="list-style-type: none"> コンペアマッチによる波形出力 : 0 出力、1 出力、トグル出力が選択可能 インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能 ジェネラルレジスタをアウトプットコンペアレジスタとして使用することにより、APC にコンペアマッチ信号出力可能

修正箇所	ページ	修正箇所																																				
11.1.1 特長 表 11.1 ATU-II の機能一覧表	11-4, 11-5	<p>表の修正</p> <p>チャンネル 1~5 のカウンタのクロックを修正</p> <table border="1"> <tr> <td>チャンネル 1</td> <td>チャンネル 2</td> <td>チャンネル 3~5</td> </tr> <tr> <td colspan="3">(φ ~ φ/32) × (1/2ⁿ) (n=0~5) TCLKA, TCLKB, AGCK, AGCKM</td> </tr> </table> <p>チャンネル 10 のカウンタ構成のアウトプットコンペア専用を修正</p> <table border="1"> <tr> <td>GR10G, OCR10AH, OCR10AL, OCR10B, NCR10, TCCLR10</td> </tr> </table>	チャンネル 1	チャンネル 2	チャンネル 3~5	(φ ~ φ/32) × (1/2 ⁿ) (n=0~5) TCLKA, TCLKB, AGCK, AGCKM			GR10G, OCR10AH, OCR10AL, OCR10B, NCR10, TCCLR10																													
チャンネル 1	チャンネル 2	チャンネル 3~5																																				
(φ ~ φ/32) × (1/2 ⁿ) (n=0~5) TCLKA, TCLKB, AGCK, AGCKM																																						
GR10G, OCR10AH, OCR10AL, OCR10B, NCR10, TCCLR10																																						
11.1.3 レジスタ構成 表 11.3 レジスタ構成	11-9, 11-14	<p>表の修正</p> <table border="1"> <tr> <td>プリスケアラレジスタ 1</td> <td>PSCR1</td> <td>R/W</td> </tr> <tr> <td>プリスケアラレジスタ 2</td> <td>PSCR2</td> <td>R/W</td> </tr> <tr> <td>プリスケアラレジスタ 3</td> <td>PSCR3</td> <td>R/W</td> </tr> <tr> <td>プリスケアラレジスタ 4</td> <td>PSCR4</td> <td>R/W</td> </tr> </table> <table border="1"> <tr> <td>タイムステータスレジスタ 10</td> <td>TSR10</td> <td>R/(W)*</td> <td>H'0000</td> </tr> <tr> <td>タイムインタラプトイネーブルレジスタ 10</td> <td>TIER10</td> <td>R/W</td> <td>H'0000</td> </tr> </table>	プリスケアラレジスタ 1	PSCR1	R/W	プリスケアラレジスタ 2	PSCR2	R/W	プリスケアラレジスタ 3	PSCR3	R/W	プリスケアラレジスタ 4	PSCR4	R/W	タイムステータスレジスタ 10	TSR10	R/(W)*	H'0000	タイムインタラプトイネーブルレジスタ 10	TIER10	R/W	H'0000																
プリスケアラレジスタ 1	PSCR1	R/W																																				
プリスケアラレジスタ 2	PSCR2	R/W																																				
プリスケアラレジスタ 3	PSCR3	R/W																																				
プリスケアラレジスタ 4	PSCR4	R/W																																				
タイムステータスレジスタ 10	TSR10	R/(W)*	H'0000																																			
タイムインタラプトイネーブルレジスタ 10	TIER10	R/W	H'0000																																			
11.2.2 プリスケアラレジスタ (PSCR)	11-31	<p>ビットの図の修正</p> <table border="1"> <tr> <td>ビット:</td> <td>7</td> <td>6</td> <td>5</td> <td>4</td> <td>3</td> <td>2</td> <td>1</td> <td>0</td> </tr> <tr> <td></td> <td>—</td> <td>—</td> <td>—</td> <td>PSCxE</td> <td>PSCxD</td> <td>PSCxC</td> <td>PSCxB</td> <td>PSCxA</td> </tr> <tr> <td>初期値:</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>R/W:</td> <td>R</td> <td>R</td> <td>R</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> </tr> </table> <p>x=1~4</p>	ビット:	7	6	5	4	3	2	1	0		—	—	—	PSCxE	PSCxD	PSCxC	PSCxB	PSCxA	初期値:	0	0	0	0	0	0	0	0	R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0																														
	—	—	—	PSCxE	PSCxD	PSCxC	PSCxB	PSCxA																														
初期値:	0	0	0	0	0	0	0	0																														
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W																														
11.2.4 タイマ I/O コントロールレジスタ (TIOR) (4) タイマ I/O コントロールレジスタ 3A、3B、4A、4B、5A、5B (TIOR3A、TIOR3B、TIOR4A、TIOR4B、TIOR5A、TIOR5B)	11-48, 11-49	<p>表の修正</p> <p>ビット 6~4</p> <table border="1"> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>0</td> <td>GR は インプ ット キャ プ チャ レ ジ ス タ</td> <td>イン プ ット キャ プ チャ 禁 止 (GR ヘ ラ イ ト ch3 の み 不 可)</td> </tr> <tr> <td>1</td> <td></td> <td>TI Oxx 端 子 立 ち 上 が り エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>(チャ ネ ル 3 は コ ン パ ア マ ツ チ に よ り イ ン プ ット キャ プ チャ 許 可)</td> <td>TI Oxx 端 子 立 ち 下 が り エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)</td> </tr> <tr> <td>1</td> <td></td> <td>TI Oxx 端 子 立 ち 上 が り / 立 ち 下 が り の 両 エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)</td> </tr> </table> <p>ビット 2~0</p> <table border="1"> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>0</td> <td>GR は イン プ ット キャ プ チャ レ ジ ス タ</td> <td>イン プ ット キャ プ チャ 禁 止 (GR ヘ ラ イ ト ch3 の み 不 可)</td> </tr> <tr> <td>1</td> <td></td> <td>TI Oxx 端 子 立 ち 上 が り エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>(チャ ネ ル 3 は コ ン パ ア マ ツ チ に よ り イ ン プ ット キャ プ チャ 許 可)</td> <td>TI Oxx 端 子 立 ち 下 が り エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)</td> </tr> <tr> <td>1</td> <td></td> <td>TI Oxx 端 子 立 ち 上 が り / 立 ち 下 が り の 両 エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)</td> </tr> </table>	1	0	0	GR は インプ ット キャ プ チャ レ ジ ス タ	イン プ ット キャ プ チャ 禁 止 (GR ヘ ラ イ ト ch3 の み 不 可)	1		TI Oxx 端 子 立 ち 上 が り エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)	1	0	(チャ ネ ル 3 は コ ン パ ア マ ツ チ に よ り イ ン プ ット キャ プ チャ 許 可)	TI Oxx 端 子 立 ち 下 が り エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)	1		TI Oxx 端 子 立 ち 上 が り / 立 ち 下 が り の 両 エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)	1	0	0	GR は イン プ ット キャ プ チャ レ ジ ス タ	イン プ ット キャ プ チャ 禁 止 (GR ヘ ラ イ ト ch3 の み 不 可)	1		TI Oxx 端 子 立 ち 上 が り エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)	1	0	(チャ ネ ル 3 は コ ン パ ア マ ツ チ に よ り イ ン プ ット キャ プ チャ 許 可)	TI Oxx 端 子 立 ち 下 が り エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)	1		TI Oxx 端 子 立 ち 上 が り / 立 ち 下 が り の 両 エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)						
1	0	0			GR は インプ ット キャ プ チャ レ ジ ス タ	イン プ ット キャ プ チャ 禁 止 (GR ヘ ラ イ ト ch3 の み 不 可)																																
		1			TI Oxx 端 子 立 ち 上 が り エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)																																	
	1	0		(チャ ネ ル 3 は コ ン パ ア マ ツ チ に よ り イ ン プ ット キャ プ チャ 許 可)	TI Oxx 端 子 立 ち 下 が り エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)																																	
		1		TI Oxx 端 子 立 ち 上 が り / 立 ち 下 が り の 両 エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)																																		
1	0	0	GR は イン プ ット キャ プ チャ レ ジ ス タ	イン プ ット キャ プ チャ 禁 止 (GR ヘ ラ イ ト ch3 の み 不 可)																																		
		1		TI Oxx 端 子 立 ち 上 が り エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)																																		
	1	0	(チャ ネ ル 3 は コ ン パ ア マ ツ チ に よ り イ ン プ ット キャ プ チャ 許 可)	TI Oxx 端 子 立 ち 下 が り エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)																																		
		1		TI Oxx 端 子 立 ち 上 が り / 立 ち 下 が り の 両 エ ジ ジ で GR ヘ イ ン プ ット キャ プ チャ (GR ヘ ラ イ ト 不 可)																																		
11.2.5 タイマステータスレジスタ (TSR) (1) タイマステータスレジスタ 0 (TSR0)	11-53	<p>表の修正</p> <p>ビット 3</p> <table border="1"> <tr> <td>1</td> <td>[セット条件] (1) イン プ ット キャ プ チャ 信 号 に よ り TCNT0 の 値 が イ ン プ ット キャ プ チャ レ ジ ス タ に 転 送 さ れ た と き (2) チャ ネ ル 10 の コ ン パ ア マ ツ チ を トリ ガ と し た イ ン プ ット キャ プ チャ</td> </tr> </table>	1	[セット条件] (1) イン プ ット キャ プ チャ 信 号 に よ り TCNT0 の 値 が イ ン プ ット キャ プ チャ レ ジ ス タ に 転 送 さ れ た と き (2) チャ ネ ル 10 の コ ン パ ア マ ツ チ を トリ ガ と し た イ ン プ ット キャ プ チャ																																		
1	[セット条件] (1) イン プ ット キャ プ チャ 信 号 に よ り TCNT0 の 値 が イ ン プ ット キャ プ チャ レ ジ ス タ に 転 送 さ れ た と き (2) チャ ネ ル 10 の コ ン パ ア マ ツ チ を トリ ガ と し た イ ン プ ット キャ プ チャ																																					
11.2.6 タイマインタラプトイネーブルレジスタ (TIER) (5) タイマインタラプトイネーブルレジスタ 6、7 (TIER6、TIER7)	11-95	<p>記述修正</p> <p>ビット 3 : サイクルレジスタコンペアマッチインタラプトイネーブル 6D、7D (CME6D、CME7D)</p>																																				

修正箇所	ページ	修正箇所
11.2.22 サイクルレジスタ (CYLR) (1) サイクルレジスタ (CYLR6A~D、CYLR7A~D)	11-138	記述追加 また、対応するチャンネルの出力端子 (TO6A~D、TO7A~D) は、BFR の値が H'0000 の場合は 0 出力、それ以外の場合は 1 出力になります。
11.2.26 チャンネル 10 のレジスタ (1) カウンタ (TCNT) (a) フリーランニングカウンタ 10AH,AL (TCNT10AH、TCNT10AL)	11-141	記述修正 ...また、インプットキャプチャ入力 (TI10) (AGCK) のタイミングで初期値にクリアされます。
11.2.26 チャンネル 10 のレジスタ (2) レジスタ (a) インプットキャプチャレジスタ 10AH,AL (ICR10AH、ICR10AL)	11-144	記述修正 同時にタイムステータスレジスタ 10 (TSR10) の ICF10A が 1 にセットされます。
11.3.1 概要 (5) チャンネル 6、7	11-157	記述追加 また、DTR に H'0000 を設定する場合は、DTR に直接 H'0000 を書き込みせず、BFR に H'0000 を設定し、BFR から DTR への転送により H'0000 設定をしてください。直接 DTR に H'0000 を書き込むとデューティー0%にならない場合があります。
11.3.8 ツインキャプチャ機能	11-166	記述修正 5 行目 タイムスタートレジスタ (TSTR) への設定によりチャンネル 0、チャンネル 1、チャンネル 2 の TCNT0、TCNT1A および TCNT2A をスタートさせ、ICR0A の入力をトリガ信号とし、エッジを検出すると OSBR1 には TCNT1A の値が、OSBR2 には TCNT2A の値が転送されます。
11.3.9 PWM タイマ機能 図 11.21 PWM タイマ動作	11-166、 11-167	記述追加 ただし、DTR に H'0000 を設定する場合は、DTR に直接 H'0000 を書き込みせず、BFR に H'0000 を設定し、BFR から DTR への転送により設定をしてください。直接 DTR に H'0000 を書き込むとデューティー0%にならない場合があります。 図の修正 <ul style="list-style-type: none"> TO6A の修正 起動後 1 サイクルは PWM 出力変化なし 【注】の追加
11.3.9 PWM タイマ機能 図 11.22 相補 PWM モード動作	11-168	図の差し換え
11.3.12 チャンネル 10 の機能 (1) エッジ間計測機能およびエッジ入力停止検出機能 図 11.28 TCNT10A のキャプチャ動作とコンペアマッチ動作	11-172	図の修正 
11.7 使用上の注意 (22) ATU 端子の設定	11-211	記述修正 ポートを ATU 端子機能に設定するとき、インプットキャプチャまたはカウント動作が発生する場合がありますため、以下のことに注意して設定してください。
15.3.2 調歩同期式モード時の動作 図 15.8 シリアル受信のフローチャートの例 (2)	15-32	図の差し換え

修正箇所	ページ	修正箇所						
15.3.4 クロック同期式モード時の動作 図 15.18 シリアル受信のフローチャートの例	15-43	図の差し換え						
15.4 SCI の割り込み要因と DMAC 表 15.12 SCI 割り込み要因	15-49	表の修正 <table border="1"> <tr> <td>TXI</td> <td>送信データエンプティ (TDRE) による割り込み</td> <td>可</td> </tr> <tr> <td>TEI</td> <td>送信終了 (TEND) による割り込み</td> <td>不可</td> </tr> </table>	TXI	送信データエンプティ (TDRE) による割り込み	可	TEI	送信終了 (TEND) による割り込み	不可
TXI	送信データエンプティ (TDRE) による割り込み	可						
TEI	送信終了 (TEND) による割り込み	不可						
16.3.3 送信モード 図 16.9 送信時のフローチャート	16-45	図の修正 <pre> graph TD Start(()) --> TXACK{TXACK=1?} TXACK -- Yes --> Start TXACK -- No --> End(()) </pre>						
17.4.2 スキャンモード 図 17.4 A/D 変換器の動作例	17-22	図の修正 <p>The diagram shows the ADST signal and the A/D conversion process. It includes labels for 'セット' (Set), 'A/D変換連続実行' (A/D conversion continuous execution), and 'クリア' (Clear).</p>						
22.1 特長 ■ 書き込み／消去時間 ■ 書き換え回数	22-2	記述修正 <ul style="list-style-type: none"> フラッシュメモリの書き込み時間は、128 バイト同時書き込みにて t_{pms} (typ)、1 バイト当たり換算にて $t_p/128ms$、消去時間はブロック当たり t_{ES} です。 フラッシュメモリの書き換えは、N_{WEC} 回まで可能です。 						
22.4.3 書き込み／消去インタフェースパラメータ (2) 書き込み／消去の初期化	22-20	記述の追加 ビット 31~0 10 行目 汎用レジスタ R8 から R15 は保存してください。汎用レジスタ R0 から R7 は保存せずに使うことができます。						
22.5.3 ユーザブートモード (1) ユーザブートモードでの起動	22-43	記述の追加 3 行目 ユーザブートモードでリセットスタートすると、フラッシュ関連レジスタのチェックルーチンが走行します。このルーチンが使用する RAM 容量は H'FFFF6800 番地からの約 1.2kByte 分とスタックとして使用する H'FFFFDFFC 番地からの 4kByte 分です。この間の NMI およびその他の割り込みは受け付けられません。						
22.7 RAM によるフラッシュメモリのエミュレーション	22-51	【注】の記述追加 【注】 RAMS ビットを 1 にすると RAM2~0 の値にかかわらず、フラッシュメモリの全ブロックが書き込み／消去プロテクト状態となります (エミュレーションプロテクト)。実際に書き込み／消去を実施する場合は RAMS ビットをクリアしてください。 ユーザブートマツト選択時にも RAM エミュレーションを行うことは可能ですが、ユーザブートマツトの消去／書き込みはブートモード、またはライターモードでしか行うことができません。						

修正箇所	ページ	修正箇所															
22.8.3 その他のご注意 (2) ユーザブランチ処理の間隔 表 22.11 ユーザブランチ処理の起動間隔 表 22.12 初回ユーザブランチ処理時間 (4) AUD 動作不可状態、割り込み無視状態	22-57	<p>表 22.11 の修正、記述と表 22.12 の追加</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="text-align: center;">最小間隔</td> </tr> <tr> <td style="text-align: center;">約 19ms</td> </tr> <tr> <td style="text-align: center;">約 19ms</td> </tr> </table> <p>ただし、CPUクロック 40MHz 動作時における最初のユーザブランチ処理までの時間の最大/最小値は表 22.12 のようになります。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td colspan="3" style="text-align: center;">表 22.12 初回ユーザブランチ処理時間</td> </tr> <tr> <td></td> <td style="text-align: center;">最大</td> <td style="text-align: center;">最小</td> </tr> <tr> <td>書き込み処理</td> <td style="text-align: center;">約 113μs</td> <td style="text-align: center;">約 113μs</td> </tr> <tr> <td>消去処理</td> <td style="text-align: center;">約 85μs</td> <td style="text-align: center;">約 45μs</td> </tr> </table> <p>記述の修正</p> <p>③ユーザブートモード起動直後のフラッシュ関連レジスタチェック中（リセットリリース後、40MHz の内部周波数で動作する場合、約 100 μs の期間）</p>	最小間隔	約 19ms	約 19ms	表 22.12 初回ユーザブランチ処理時間				最大	最小	書き込み処理	約 113 μ s	約 113 μ s	消去処理	約 85 μ s	約 45 μ s
最小間隔																	
約 19ms																	
約 19ms																	
表 22.12 初回ユーザブランチ処理時間																	
	最大	最小															
書き込み処理	約 113 μ s	約 113 μ s															
消去処理	約 85 μ s	約 45 μ s															
22.10.1 ブートモードの標準シリアル通信インタフェース仕様 ● メモリリード	22-81, 22-82	<p>記述修正</p> <p>コマンド</p> <p>読み出し先頭アドレス（4 バイト）：読み出す先頭アドレス エラーレスポンス</p> <p>H'2A：アドレスエラー 読み出し先頭アドレスがマットの範囲にない</p> <p>H'2B：サイズエラー 読み出しサイズがマットの範囲を超えている、読み出し先頭アドレスと読み出しサイズから計算された読み出し最終アドレスがマットの範囲にない、または、読み出しサイズが 0</p>															
24.3.1 ハードウェアスタンバイモードへの遷移	24-8	<p>記述追加</p> <p>HSTBY 端子および RES 端子にローレベルを入力するとハードウェアスタンバイモードに遷移します。モード設定端子は、「4. 動作モード」に示す端子設定を行ってください。それ以外の端子設定の場合の動作は保障できません。</p> <p>ハードウェアスタンバイモード中は LSI の全機能が停止するので、消費電力は著しく低減されます。</p>															
25 信頼性について	25-1、 26-2	新規追加															
26.1 絶対最大定格 表 26.1 絶対最大定格	26-1	<p>表の修正</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>動作温度** (内蔵フラッシュメモリのW/E 除く)</td> <td>Topr</td> <td>-40~+125</td> <td>°C</td> <td></td> </tr> <tr> <td>動作温度 (内蔵フラッシュメモリのW/E)</td> <td>TWEopr</td> <td>-40~+85</td> <td>°C</td> <td></td> </tr> </table> <p>【注】の追加</p> <p>**40~85°Cを超える環境下で使用する場合、動作時間は下記累積時間以内になります。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="text-align: center;">動作温度範囲</td> <td style="text-align: center;">累積動作時間</td> </tr> <tr> <td style="text-align: center;">85°C~125°C</td> <td style="text-align: center;">3000 時間</td> </tr> </table>	動作温度** (内蔵フラッシュメモリのW/E 除く)	Topr	-40~+125	°C		動作温度 (内蔵フラッシュメモリのW/E)	TWEopr	-40~+85	°C		動作温度範囲	累積動作時間	85°C~125°C	3000 時間	
動作温度** (内蔵フラッシュメモリのW/E 除く)	Topr	-40~+125	°C														
動作温度 (内蔵フラッシュメモリのW/E)	TWEopr	-40~+85	°C														
動作温度範囲	累積動作時間																
85°C~125°C	3000 時間																

修正箇所	ページ	修正箇所						
26.2 DC 特性	26-2	ピン No30, No161, No225						
表 26.2 電源名と端子の対応	26-5	$V_{CC} \rightarrow V_{CL}$						
表 26.3 動作モードと PV_{CC} 電圧の対応	26-7	ピン No228, の機能 4 HTxD0&1 追加 ピン No229 の機能 4						
表 26.4 DC 特性		HRxD0&1 追加						
表 26.5 出力許容電流値		ピン 231 の機能 3 IRQOUT 追加						
	26-8	モード 8、モード 9 追加 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 33%;">モード 8</td> <td style="width: 33%;">ユーザーポートモード</td> <td style="width: 33%;">3.3V ± 0.3V</td> </tr> <tr> <td>モード 9</td> <td>ユーザーポートモード</td> <td>5.0V ± 0.5V</td> </tr> </table>	モード 8	ユーザーポートモード	3.3V ± 0.3V	モード 9	ユーザーポートモード	5.0V ± 0.5V
モード 8	ユーザーポートモード	3.3V ± 0.3V						
モード 9	ユーザーポートモード	5.0V ± 0.5V						
	26-9~ 26-11	表の差し替え						
	26-11	条件の修正 条件 : $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125^\circ C$ 、 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$						
26.3.1 電源投入・切断タイミング	26-12	条件の修正 条件 : $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125^\circ C$ 、 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$						
26.3.2 クロックタイミング	26-13	条件の修正 条件 : $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125^\circ C$ 、 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$						
表 26.7 クロックタイミング								
26.3.3 制御信号タイミング	26-15	条件の修正 条件 : $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125^\circ C$ 、 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$						
表 26.8 制御信号タイミング								
26.3.4 バスタイミング	26-18	条件の修正 条件 : $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125^\circ C$ 、 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$						
表 26.9 バスタイミング								

修正箇所	ページ	修正箇所
26.3.5 アドバンスドタイマユニット タイミング アドバンスドパルス コントローラタイミング 表 26.10 アドバンスドタイマユニ ットタイミング アドバンスドパルス コントローラタイミング	26-22	条件の修正 条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、 内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$
26.3.6 I/O ポートタイミング 表 26.11 I/O ポートタイミング	26-23	条件の修正 条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、 内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$ 記述修正 ポート入力信号およびタイマクロック入力信号は非同期ですが、図 26.14 に示す 2 ステート間隔のクロック立ち上がりで変化が生じたものとして判定されます。図示のセットアップを守れない場合は、それから 2 ステート後のクロック立ち上がりまで認識が遅れることがあります。 MCU シングルチップモード時の電源 PV_{CC1} の動作保証電圧は $PV_{CC1}=5.0V\pm 0.5V$ のみです。これ以外の電圧で使用しないでください。
26.3.7 ウォッチドックタイマタイ ミング 表 26.12 ウォッチドックタイマタイ ミング	26-24	条件の修正 条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、 内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$
26.3.8 シリアルコミュニケーション インタフェースタイミング 表 26.13 シリアルコミュニケーシ ョンインタフェースタイミング	26-24	条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、 内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$
26.3.9 HCAN タイミング 表 26.14 HCAN タイミング	26-26	条件の修正 条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、 内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$

修正箇所	ページ	修正箇所
26.3.10 A/D変換器タイミング 表 26.15 A/D変換器タイミング 図 26.20 アナログ変換タイミング	26-27	<p>条件の修正</p> <p>条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$、$PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$、$PV_{CC2}=5.0V\pm 0.5V$、$AV_{CC}=5.0V\pm 0.5V$、$AV_{ref}=4.5V\sim AV_{CC}$、$V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$、$T_a=-40\sim 125^{\circ}C$、$PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$、 内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$</p>
	26-28	<p>図の修正</p>
26.3.11 H-UDI タイミング 表 26.16 H-UDI タイミング	26-29	<p>条件の修正</p> <p>条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$、$PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$、$PV_{CC2}=5.0V\pm 0.5V$、$AV_{CC}=5.0V\pm 0.5V$、$AV_{ref}=4.5V\sim AV_{CC}$、$V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$、$T_a=-40\sim 125^{\circ}C$、$PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$、 内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$</p>
26.3.12 AUD タイミング 表 26.17 AUD タイミング	26-31	<p>条件の修正</p> <p>条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$、$PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$、$PV_{CC2}=5.0V\pm 0.5V$、$AV_{CC}=5.0V\pm 0.5V$、$AV_{ref}=4.5V\sim AV_{CC}$、$V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$、$T_a=-40\sim 125^{\circ}C$、$PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$、 内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$</p>

修正箇所	ページ	修正箇所																																																						
26.3.13 UBC トリガタイミング 表 26.18 UBC トリガタイミング	26-33	条件の修正 条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、 内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$																																																						
26.4 A/D 変換器特性 表 26.19 A/D 変換器特性	26-35	条件、表の修正 条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、 内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$																																																						
		<table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="3">CKS=0:fop=(10~20MHz)</th> <th colspan="3">CKS=1:fop=(10MHz)</th> <th rowspan="2">単位</th> </tr> <tr> <th>min</th> <th>typ</th> <th>max</th> <th>min</th> <th>typ</th> <th>max</th> </tr> </thead> <tbody> <tr> <td>非直線性誤差</td> <td>-</td> <td>-</td> <td>$\pm 1.5^{*1}$ $\pm 2.5^{*2}$</td> <td>-</td> <td>-</td> <td>$\pm 1.5^{*1}$ $\pm 2.5^{*2}$</td> <td>LSB</td> </tr> <tr> <td>オフセット誤差</td> <td>-</td> <td>-</td> <td>$\pm 1.5^{*1}$ $\pm 2.5^{*2}$</td> <td>-</td> <td>-</td> <td>$\pm 1.5^{*1}$ $\pm 2.5^{*2}$</td> <td>LSB</td> </tr> <tr> <td>フルスケール誤差</td> <td>-</td> <td>-</td> <td>$\pm 1.5^{*1}$ $\pm 2.5^{*2}$</td> <td>-</td> <td>-</td> <td>$\pm 1.5^{*1}$ $\pm 2.5^{*2}$</td> <td>LSB</td> </tr> <tr> <td>量子化誤差</td> <td>-</td> <td>-</td> <td>± 0.5</td> <td>-</td> <td>-</td> <td>± 0.5</td> <td>LSB</td> </tr> <tr> <td>絶対誤差</td> <td>-</td> <td>-</td> <td>$\pm 2.0^{*1}$ $\pm 2.5^{*2}$</td> <td>-</td> <td>-</td> <td>$\pm 2.0^{*1}$ $\pm 2.5^{*2}$</td> <td>LSB</td> </tr> </tbody> </table> <p>*1 $T_a\leq 105^{\circ}C$ *2 $T_a> 105^{\circ}C$</p>	項目	CKS=0:fop=(10~20MHz)			CKS=1:fop=(10MHz)			単位	min	typ	max	min	typ	max	非直線性誤差	-	-	$\pm 1.5^{*1}$ $\pm 2.5^{*2}$	-	-	$\pm 1.5^{*1}$ $\pm 2.5^{*2}$	LSB	オフセット誤差	-	-	$\pm 1.5^{*1}$ $\pm 2.5^{*2}$	-	-	$\pm 1.5^{*1}$ $\pm 2.5^{*2}$	LSB	フルスケール誤差	-	-	$\pm 1.5^{*1}$ $\pm 2.5^{*2}$	-	-	$\pm 1.5^{*1}$ $\pm 2.5^{*2}$	LSB	量子化誤差	-	-	± 0.5	-	-	± 0.5	LSB	絶対誤差	-	-	$\pm 2.0^{*1}$ $\pm 2.5^{*2}$	-	-	$\pm 2.0^{*1}$ $\pm 2.5^{*2}$	LSB
項目	CKS=0:fop=(10~20MHz)			CKS=1:fop=(10MHz)			単位																																																	
	min	typ	max	min	typ	max																																																		
非直線性誤差	-	-	$\pm 1.5^{*1}$ $\pm 2.5^{*2}$	-	-	$\pm 1.5^{*1}$ $\pm 2.5^{*2}$	LSB																																																	
オフセット誤差	-	-	$\pm 1.5^{*1}$ $\pm 2.5^{*2}$	-	-	$\pm 1.5^{*1}$ $\pm 2.5^{*2}$	LSB																																																	
フルスケール誤差	-	-	$\pm 1.5^{*1}$ $\pm 2.5^{*2}$	-	-	$\pm 1.5^{*1}$ $\pm 2.5^{*2}$	LSB																																																	
量子化誤差	-	-	± 0.5	-	-	± 0.5	LSB																																																	
絶対誤差	-	-	$\pm 2.0^{*1}$ $\pm 2.5^{*2}$	-	-	$\pm 2.0^{*1}$ $\pm 2.5^{*2}$	LSB																																																	
26.5 内蔵フラッシュメモリ特性	26-36	新規追加																																																						
26.6 使用上の注意	26-37 26-38	新規追加																																																						

目次

第1章 概要

1.1	特長	1-1
1.2	ブロック図	1-5
1.3	端子説明	1-6
1.3.1	ピン配置	1-6
1.3.2	端子機能	1-7
1.3.3	端子一覧	1-13

第2章 CPU

2.1	レジスタ構成	2-1
2.1.1	汎用レジスタ (Rn)	2-1
2.1.2	コントロールレジスタ	2-2
2.1.3	システムレジスタ	2-4
2.1.4	浮動小数点レジスタ	2-4
2.1.5	浮動小数点システムレジスタ	2-5
2.1.6	レジスタの初期値	2-6
2.2	データ形式	2-6
2.2.1	レジスタのデータ形式	2-6
2.2.2	メモリ上でのデータ形式	2-6
2.2.3	イミディエイトデータのデータ形式	2-7
2.3	命令の特長	2-7
2.3.1	RISC方式	2-7
2.3.2	アドレッシングモード	2-10
2.3.3	命令形式	2-13
2.4	命令セット	2-15
2.4.1	分類順命令セット	2-15
2.5	処理状態	2-24
2.5.1	状態遷移	2-24

第3章 浮動小数点演算ユニット (FPU)

3.1	概要	3-1
3.2	浮動小数点レジスタと浮動小数点システムレジスタ	3-2
3.2.1	浮動小数点レジスタファイル	3-2
3.2.2	浮動小数点コミュニケーションレジスタ (FPUL)	3-2
3.2.3	浮動小数点ステータス/コントロールレジスタ (FPSCR)	3-2
3.3	浮動小数点フォーマット	3-5
3.3.1	浮動小数点数フォーマット	3-5
3.3.2	非数 (NaN)	3-5

3.3.3	非正規化数の値	3-6
3.3.4	その他の特殊な値について	3-6
3.4	浮動小数点例外モデル	3-7
3.4.1	イネーブル状態の例外	3-7
3.4.2	ディスエーブル状態の例外	3-7
3.4.3	FPU の例外事象とコード	3-7
3.4.4	メモリ内の浮動小数点データの配置	3-7
3.4.5	特殊オペランドを伴う算術演算	3-7
3.5	CPU との同期化	3-7
3.6	使用上の注意	3-8
第 4 章 動作モード		
4.1	動作モードの種類と選択	4-1
第 5 章 クロック発振器 (CPG)		
5.1	概要	5-1
5.1.1	ブロック図	5-1
5.1.2	端子構成	5-2
5.2	周波数範囲	5-2
5.3	クロックソース	5-2
5.3.1	水晶発振子の接続方法	5-2
5.3.2	外部クロックの入力方法	5-3
5.4	使用上の注意	5-4
第 6 章 例外処理		
6.1	概要	6-1
6.1.1	例外処理の種類と優先順位	6-1
6.1.2	例外処理の動作	6-2
6.1.3	例外処理ベクタテーブル	6-2
6.2	リセット	6-4
6.2.1	リセットの種類	6-4
6.2.2	パワーオンリセット	6-4
6.2.3	マニュアルリセット	6-5
6.3	アドレスエラー	6-6
6.3.1	アドレスエラー発生要因	6-6
6.3.2	アドレスエラー例外処理	6-6
6.4	割り込み	6-7
6.4.1	割り込み要因	6-7
6.4.2	割り込み優先順位	6-7
6.4.3	割り込み例外処理	6-8
6.5	命令による例外	6-8
6.5.1	命令による例外の種類	6-8
6.5.2	トラップ命令	6-8
6.5.3	スロット不当命令	6-8
6.5.4	一般不当命令	6-9

6.5.5	浮動小数点演算命令	6-9
6.6	例外処理が受け付けられない場合	6-10
6.7	例外処理後のスタックの状態	6-10
6.8	使用上の注意	6-11
6.8.1	スタックポインタ (SP) の値	6-11
6.8.2	ベクタベースレジスタ (VBR) の値	6-11
6.8.3	アドレスエラー例外処理のスタッキングで発生するアドレス エラー	6-11
6.8.4	SCO 処理時、割り込み処理タイミングのズレの発生	6-11

第 7 章 割り込みコントローラ (INTC)

7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-2
7.1.3	端子構成	7-3
7.1.4	レジスタ構成	7-3
7.2	割り込み要因	7-4
7.2.1	NMI 割り込み	7-4
7.2.2	ユーザブレイク割り込み	7-4
7.2.3	H-UDI 割り込み	7-4
7.2.4	IRQ 割り込み	7-4
7.2.5	内蔵周辺モジュール割り込み	7-4
7.2.6	割り込み例外処理ベクタと優先順位	7-5
7.3	レジスタの説明	7-9
7.3.1	割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPRL)	7-9
7.3.2	割り込みコントロールレジスタ (ICR)	7-10
7.3.3	IRQ ステータスレジスタ (ISR)	7-11
7.4	動作説明	7-12
7.4.1	割り込み動作の流れ	7-12
7.4.2	割り込み例外処理終了後のスタックの状態	7-14
7.5	割り込み応答時間	7-15
7.6	割り込み要求信号によるデータ転送	7-16
7.6.1	割り込み要求信号を CPU の割り込み要因とし、 DMAC の起動要因としない場合	7-16
7.6.2	割り込み要求信号を DMAC の起動要因とし、 CPU の割り込み要因としない場合	7-16

第 8 章 ユーザブレイクコントローラ (UBC)

8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	ブロック図	8-2
8.1.3	レジスタ構成	8-3
8.2	レジスタの説明	8-3
8.2.1	ユーザブレイクアドレスレジスタ (UBAR)	8-3
8.2.2	ユーザブレイクアドレスマスクレジスタ (UBAMR)	8-4
8.2.3	ユーザブレイクバスサイクルレジスタ (UBBR)	8-5

8.2.4	ユーザブ레이크コントロールレジスタ (UBCR)	8-7
8.3	動作説明	8-8
8.3.1	ユーザブ레이크動作の流れ	8-8
8.3.2	内蔵メモリの命令フェッチサイクルによるブ레이크	8-10
8.3.3	退避するプログラムカウンタ (PC) の値	8-10
8.4	ユーザブ레이크使用例	8-11
8.5	使用上の注意	8-13
8.5.1	2 命令同時フェッチ	8-13
8.5.2	分岐時の命令フェッチ	8-13
8.5.3	ユーザブ레이크と例外処理の競合	8-13
8.5.4	非遅延分岐命令の飛び先でのブ레이크	8-13
8.5.5	ユーザブ레이크トリガ出力	8-13
8.5.6	モジュールスタンバイ	8-14

第 9 章 バスステートコントローラ (BSC)

9.1	概要	9-1
9.1.1	特長	9-1
9.1.2	ブロック図	9-2
9.1.3	端子構成	9-3
9.1.4	レジスタ構成	9-3
9.1.5	アドレスマップ	9-3
9.2	レジスタの説明	9-5
9.2.1	バスコントロールレジスタ 1 (BCR1)	9-5
9.2.2	バスコントロールレジスタ 2 (BCR2)	9-6
9.2.3	ウェイトコントロールレジスタ (WCR)	9-9
9.2.4	RAM エミュレーションレジスタ (RAMER)	9-10
9.3	外部空間アクセス	9-11
9.3.1	基本タイミング	9-11
9.3.2	ウェイトステート制御	9-12
9.3.3	CS アサート期間拡張	9-13
9.4	アクセスサイクル間ウェイト	9-13
9.4.1	データバス衝突防止	9-13
9.4.2	バスサイクル開始検出の容易化	9-14
9.5	バスアービトレーション	9-15
9.6	メモリ接続例	9-16

第 10 章 ダイレクトメモリアクセスコントローラ (DMAC)

10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	DMAC ブロック図	10-2
10.1.3	レジスタ構成	10-3
10.2	各レジスタの説明	10-4
10.2.1	DMA ソースアドレスレジスタ 0~3 (SAR0~3)	10-4
10.2.2	DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)	10-4
10.2.3	DMA トランスファカウンタレジスタ 0~3 (DMATCR0~3)	10-5

10.2.4	DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)	10-5
10.2.5	DMA オペレーションレジスタ (DMAOR)	10-10
10.3	動作説明	10-11
10.3.1	動作説明	10-11
10.3.2	DMA 転送要求	10-13
10.3.3	チャンネルの優先順位	10-15
10.3.4	DMA 転送の種類	10-15
10.3.5	バスモード	10-20
10.3.6	ソースアドレスリロード機能	10-22
10.3.7	DMA 転送終了	10-23
10.3.8	CPU からの DMAC アクセス	10-24
10.4	使用例	10-24
10.4.1	内蔵 SCI と外部メモリとの DMA 転送例	10-24
10.4.2	A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン)	10-25
10.4.3	外部メモリと SCI1 送信側との DMA 転送例 (インダイレクトアドレスオン)	10-26
10.5	使用上の注意	10-27

第 11 章 アドバンスドタイマユニット-II (ATU-II)

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	端子構成	11-6
11.1.3	レジスタ構成	11-9
11.1.4	ブロック図	11-15
11.1.5	チャンネル間およびモジュール間信号連絡図	11-24
11.1.6	プリスケラ図	11-25
11.2	レジスタの説明	11-26
11.2.1	タイマスタートレジスタ (TSTR)	11-26
11.2.2	プリスケラレジスタ (PSCR)	11-31
11.2.3	タイマコントロールレジスタ (TCR)	11-32
11.2.4	タイマ I/O コントロールレジスタ (TIOR)	11-41
11.2.5	タイマステータスレジスタ (TSR)	11-51
11.2.6	タイマインタラプトイネーブルレジスタ (TIER)	11-81
11.2.7	インターバルインタラプトリクエストレジスタ (ITVRR)	11-103
11.2.8	トリガモードレジスタ (TRGMDR)	11-108
11.2.9	タイマモードレジスタ (TMDR)	11-109
11.2.10	PWM モードレジスタ (PMDR)	11-110
11.2.11	ダウンカウントスタートレジスタ (DSTR)	11-112
11.2.12	タイマコネクションレジスタ (TCNR)	11-121
11.2.13	ワンショットパルスターミネートレジスタ (OTR)	11-125
11.2.14	リロードイネーブルレジスタ (RLDENR)	11-129
11.2.15	フリーランニングカウンタ (TCNT)	11-130
11.2.16	ダウンカウンタ (DCNT)	11-132
11.2.17	イベントカウンタ (ECNT)	11-133
11.2.18	アウトプットコンペアレジスタ (OCR)	11-134
11.2.19	インプットキャプチャレジスタ (ICR)	11-135
11.2.20	ジェネラルレジスタ (GR)	11-136

11.2.21	オフセットベースレジスタ (OSBR)	11-138
11.2.22	サイクルレジスタ (CYLR)	11-138
11.2.23	バッファレジスタ (BFR)	11-139
11.2.24	デューティレジスタ (DTR)	11-139
11.2.25	リロードレジスタ (RLDR)	11-140
11.2.26	チャンネル 10 のレジスタ	11-140
11.3	動作説明	11-155
11.3.1	概要	11-155
11.3.2	フリーランニングカウンタ動作と周期カウンタ動作	11-160
11.3.3	コンペアマッチ機能	11-161
11.3.4	インプットキャプチャ機能	11-162
11.3.5	ワンショットパルス機能	11-163
11.3.6	オフセット付きワンショットパルス機能と出力遮断機能	11-164
11.3.7	インターバルタイマ機能	11-165
11.3.8	ツインキャプチャ機能	11-166
11.3.9	PWM タイマ機能	11-166
11.3.10	チャンネル 3~5 の PWM 機能	11-168
11.3.11	イベントカウント機能とイベント周期計測	11-169
11.3.12	チャンネル 10 の機能	11-170
11.4	割り込み	11-178
11.4.1	ステータスフラグのセットタイミング	11-178
11.4.2	ステータスフラグのクリア	11-183
11.5	CPU とのインタフェース	11-184
11.5.1	32 ビットアクセスのみ可能なレジスタ	11-184
11.5.2	8 ビット、16 ビットおよび 32 ビットアクセス可能なレジスタ	11-185
11.5.3	16 ビットアクセスのみ可能なレジスタ	11-186
11.5.4	8 ビットおよび 16 ビットアクセス可能なレジスタ	11-187
11.5.5	8 ビットのみアクセス可能なレジスタ	11-188
11.6	設定手順例	11-189
11.7	使用上の注意	11-200
11.8	ATU-II のレジスタおよび端子の一覧表	11-213
第 12 章 アドバンストパルスコントローラ (APC)		
12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	レジスタの説明	12-4
12.2.1	パルスアウトポートコントロールレジスタ (POPCCR)	12-4
12.3	動作説明	12-5
12.3.1	概要	12-5
12.3.2	APC 出力動作	12-6
12.4	使用上の注意	12-8

第 13 章 ウォッチドッグタイマ (WDT)

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-2
13.1.4	レジスタ構成	13-3
13.2	レジスタの説明	13-4
13.2.1	タイマカウンタ (TCNT)	13-4
13.2.2	タイマコントロール/ステータスレジスタ (TCSR)	13-4
13.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	13-6
13.2.4	レジスタアクセス時の注意	13-8
13.3	動作説明	13-10
13.3.1	ウォッチドッグタイマモード時の動作	13-10
13.3.2	インターバルタイマモード時の動作	13-11
13.3.3	オーバフローフラグ (OVF) のセットタイミング	13-11
13.3.4	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	13-12
13.4	使用上の注意	13-13
13.4.1	タイマカウンタ (TCNT) の書き込みとカウントアップの競合	13-13
13.4.2	CKS2~CKS0 ビットの書き換え	13-13
13.4.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	13-13
13.4.4	WDTOVF 信号によるシステムのリセット	13-13
13.4.5	ウォッチドッグタイマモードでの内部リセット	13-14
13.4.6	ウォッチドッグタイマモードでのマニュアルリセット	13-14

第 14 章 コンペアマッチタイマ (CMT)

14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-1
14.1.3	レジスタ構成	14-2
14.2	レジスタの説明	14-2
14.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	14-2
14.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	14-3
14.2.3	コンペアマッチタイマカウンタ (CMCNT)	14-4
14.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	14-5
14.3	動作説明	14-5
14.3.1	周期カウント動作	14-5
14.3.2	CMCNT のカウントタイミング	14-5
14.4	割り込み	14-6
14.4.1	割り込み要因	14-6
14.4.2	コンペアマッチフラグのセットタイミング	14-6
14.4.3	コンペアマッチフラグのクリアタイミング	14-7
14.5	使用上の注意	14-7
14.5.1	CMCNT の書き込みとコンペアマッチの競合	14-7
14.5.2	CMCNT のワード書き込みとカウントアップの競合	14-7
14.5.3	CMCNT のバイト書き込みとカウントアップの競合	14-8

第 15 章 シリアルコミュニケーションインタフェース (SCI)

15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-2
15.1.3	端子構成	15-3
15.1.4	レジスタ構成	15-4
15.2	レジスタの説明	15-5
15.2.1	レシープシフトレジスタ (RSR)	15-5
15.2.2	レシープデータレジスタ (RDR)	15-5
15.2.3	トランスミットシフトレジスタ (TSR)	15-6
15.2.4	トランスミットデータレジスタ (TDR)	15-6
15.2.5	シリアルモードレジスタ (SMR)	15-7
15.2.6	シリアルコントロールレジスタ (SCR)	15-9
15.2.7	シリアルステータスレジスタ (SSR)	15-13
15.2.8	ビットレートレジスタ (BRR)	15-17
15.2.9	シリアルディレクションコントロールレジスタ (SDCR)	15-22
15.2.10	SCK 端子信号の反転	15-22
15.3	動作説明	15-23
15.3.1	概要	15-23
15.3.2	調歩同期式モード時の動作	15-25
15.3.3	マルチプロセッサ通信機能	15-34
15.3.4	クロック同期式モード時の動作	15-41
15.4	SCI の割り込み要因と DMAC	15-49
15.5	使用上の注意	15-50
15.5.1	TDR への書き込みと TDRE フラグの関係について	15-50
15.5.2	複数の受信エラーが同時に発生した場合の動作について	15-50
15.5.3	ブレークの検出と処理について (調歩同期式モードのみ)	15-50
15.5.4	ブレークの送り出し (調歩同期式モードのみ)	15-50
15.5.5	受信エラーフラグと送信動作について (クロック同期式モードのみ)	15-51
15.5.6	調歩同期式モードの受信データサンプリングタイミングと受信マージン	15-51
15.5.7	DMAC の使用上の注意事項	15-52
15.5.8	クロック同期外部クロックモード時の注意事項	15-52
15.5.9	クロック同期内部クロックモード時の注意事項	15-52

第 16 章 コントローラエリアネットワーク (HCAN)

16.1	概要	16-1
16.1.1	特長	16-1
16.1.2	ブロック図	16-2
16.1.3	端子構成	16-3
16.1.4	レジスタ一覧表	16-4
16.2	レジスタの説明	16-7
16.2.1	マスタコントロールレジスタ (MCR)	16-7
16.2.2	ジェネラルステータスレジスタ (GSR)	16-9
16.2.3	ビットコンフィグレジスタ (BCR)	16-10
16.2.4	メールボックスコンフィグレジスタ (MBCR)	16-14
16.2.5	送信待ちレジスタ (TXPR)	16-15

16.2.6	送信待ち取り消しレジスタ (TXCR)	16-16
16.2.7	送信アクノレッジレジスタ (TXACK)	16-17
16.2.8	取り消しアクノレッジレジスタ (ABACK)	16-18
16.2.9	受信完了レジスタ (RXPR)	16-19
16.2.10	リモートリクエストレジスタ (RFPR)	16-20
16.2.11	インタラプトレジスタ (IRR)	16-21
16.2.12	メールボックスインタラプトマスクレジスタ (MBIMR)	16-25
16.2.13	インタラプトマスクレジスタ (IMR)	16-26
16.2.14	受信エラーカウンタ (REC)	16-28
16.2.15	送信エラーカウンタ (TEC)	16-29
16.2.16	未読メッセージステータスレジスタ (UMSR)	16-29
16.2.17	ローカルアクセプタンスフィルタマスク (LAFML、LAFMH)	16-30
16.2.18	メッセージコントロール (MC0~MC15)	16-31
16.2.19	メッセージデータ (MD0~MD15)	16-34
16.3	動作説明	16-36
16.3.1	ハードウェアリセットとソフトウェアリセット	16-36
16.3.2	ハードウェアリセット後の初期設定	16-39
16.3.3	送信モード	16-43
16.3.4	受信モード	16-49
16.3.5	HCAN スリープモード	16-54
16.3.6	HCAN HALT モード	16-56
16.3.7	割り込みインタフェース	16-57
16.3.8	DMAC インタフェース	16-58
16.4	CAN バスインタフェース	16-59
16.5	使用上の注意	16-60

第 17 章 A/D 変換器

17.1	概要	17-1
17.1.1	特長	17-1
17.1.2	ブロック図	17-3
17.1.3	端子構成	17-4
17.1.4	レジスタ構成	17-6
17.2	レジスタの説明	17-7
17.2.1	A/D データレジスタ 0~31 (ADDR0~31)	17-7
17.2.2	A/D コントロールステータスレジスタ 0、1 (ADCSR0、1)	17-8
17.2.3	A/D コントロールレジスタ 0、1、2 (ADCR0、1、2)	17-12
17.2.4	A/D コントロールステータスレジスタ 2 (ADCSR2)	17-14
17.2.5	A/D トリガレジスタ 0、1、2 (ADTRGR0、1、2)	17-17
17.3	CPU とのインタフェース	17-18
17.4	動作説明	17-19
17.4.1	単一モード	17-19
17.4.2	スキャンモード	17-20
17.4.3	アナログ入力のサンプリングと A/D 変換時間	17-24
17.4.4	外部トリガによる A/D 変換器の起動	17-25
17.4.5	ATU-II による A/D 変換器の起動	17-25
17.4.6	ADEND 出力端子	17-26

17.5	割り込み要因と DMA 転送要求	17-26
17.6	使用上の注意	17-26
17.6.1	A/D 変換精度の定義	17-28
第 18 章 ハイパフォーマンスユーザデバッグインタフェース (H-UDI)		
18.1	概要	18-1
18.1.1	特長	18-1
18.1.2	H-UDI ブロック図	18-2
18.1.3	端子構成	18-3
18.1.4	レジスタ構成	18-3
18.2	外部信号	18-4
18.2.1	テストクロック (TCK)	18-4
18.2.2	テストモードセレクト (TMS)	18-4
18.2.3	テストデータ入力 (TDI)	18-4
18.2.4	テストデータ出力 (TDO)	18-4
18.2.5	テストリセット ($\overline{\text{TRST}}$)	18-4
18.3	レジスタ	18-5
18.3.1	インストラクションレジスタ (SDIR)	18-5
18.3.2	ステータスレジスタ (SDSR)	18-6
18.3.3	データレジスタ (SDDR)	18-7
18.3.4	バイパスレジスタ (SDBPR)	18-7
18.4	動作	18-8
18.4.1	H-UDI 割り込み	18-8
18.4.2	BYPASS モード	18-11
18.4.3	H-UDI のリセット	18-11
18.5	使用上の注意事項	18-11
第 19 章 アドバンスドユーザデバッグ (AUD)		
19.1	概要	19-1
19.1.1	特長	19-1
19.1.2	ブロック図	19-2
19.2	端子構成	19-2
19.2.1	端子説明	19-2
19.3	ブランチトレースモード	19-4
19.3.1	概要	19-4
19.3.2	動作説明	19-4
19.4	RAM モニタモード	19-5
19.4.1	概要	19-5
19.4.2	通信プロトコル	19-5
19.4.3	動作説明	19-5
19.5	使用上の注意事項	19-7
19.5.1	初期化	19-7
19.5.2	ソフトウェアスタンバイ時の動作	19-7
19.5.3	ブートモードとユーザブートモードの初期状態	19-7

19.5.4	ソフトウェアスタンバイ / ハードウェアスタンバイ中の AUD 入力信号動作禁止	19-7
第 20 章 ピンファンクションコントローラ (PFC)		
20.1	概要	20-1
20.2	レジスタ構成	20-5
20.3	レジスタ説明	20-6
20.3.1	ポート A・IO レジスタ (PAIOR)	20-6
20.3.2	ポート A コントロールレジスタ H、L (PACRH、PACRL)	20-6
20.3.3	ポート B・IO レジスタ (PBIOR)	20-11
20.3.4	ポート B コントロールレジスタ H、L (PBCRH、PBCRL)	20-12
20.3.5	ポート B インポートレジスタ (PBIR)	20-17
20.3.6	ポート C・IO レジスタ (PCIOR)	20-18
20.3.7	ポート C コントロールレジスタ (PCCR)	20-18
20.3.8	ポート D・IO レジスタ (PDIOR)	20-20
20.3.9	ポート D コントロールレジスタ H、L (PDCRH、PDCRL)	20-21
20.3.10	ポート E・IO レジスタ (PEIOR)	20-25
20.3.11	ポート E コントロールレジスタ (PECR)	20-26
20.3.12	ポート F・IO レジスタ (PFIOR)	20-30
20.3.13	ポート F コントロールレジスタ H、L (PFCRH、PFCRL)	20-31
20.3.14	ポート G・IO レジスタ (PGIOR)	20-36
20.3.15	ポート G コントロールレジスタ (PGCR)	20-36
20.3.16	ポート H・IO レジスタ (PHIOR)	20-38
20.3.17	ポート H コントロールレジスタ (PHCR)	20-38
20.3.18	ポート J・IO レジスタ (PJIOR)	20-42
20.3.19	ポート J コントロールレジスタ H、L (PJCRH、PJCRL)	20-43
20.3.20	ポート K・IO レジスタ (PKIOR)	20-48
20.3.21	ポート K コントロールレジスタ H、L (PKCRH、PKCRL)	20-48
20.3.22	ポート K インポートレジスタ (PKIR)	20-53
20.3.23	ポート L・IO レジスタ (PLIOR)	20-54
20.3.24	ポート L コントロールレジスタ H、L (PLCRH、PLCRL)	20-55
20.3.25	ポート L インポートレジスタ (PLIR)	20-59
第 21 章 I/O ポート		
21.1	概要	21-1
21.2	ポート A	21-1
21.2.1	レジスタ構成	21-2
21.2.2	ポート A データレジスタ (PADR)	21-2
21.2.3	ポート A ポートレジスタ (PAPR)	21-3
21.3	ポート B	21-3
21.3.1	レジスタ構成	21-4
21.3.2	ポート B データレジスタ (PBDR)	21-4
21.3.3	ポート B ポートレジスタ (PBPR)	21-5
21.4	ポート C	21-6
21.4.1	レジスタ構成	21-6
21.4.2	ポート C データレジスタ (PCDR)	21-6

21.5	ポート D	21-7
21.5.1	レジスタ構成	21-7
21.5.2	ポート D データレジスタ (PDDR)	21-8
21.5.3	ポート D ポートレジスタ (PDPR)	21-9
21.6	ポート E	21-10
21.6.1	レジスタ構成	21-10
21.6.2	ポート E データレジスタ (PEDR)	21-11
21.7	ポート F	21-12
21.7.1	レジスタ構成	21-12
21.7.2	ポート F データレジスタ (PFDR)	21-13
21.8	ポート G	21-14
21.8.1	レジスタ構成	21-14
21.8.2	ポート G データレジスタ (PGDR)	21-14
21.9	ポート H	21-16
21.9.1	レジスタ構成	21-17
21.9.2	ポート H データレジスタ (PHDR)	21-17
21.10	ポート J	21-18
21.10.1	レジスタ構成	21-18
21.10.2	ポート J データレジスタ (PJDR)	21-19
21.10.3	ポート J ポートレジスタ (PJPR)	21-19
21.11	ポート K	21-20
21.11.1	レジスタ構成	21-20
21.11.2	ポート K データレジスタ (PKDR)	21-21
21.12	ポート L	21-22
21.12.1	レジスタ構成	21-22
21.12.2	ポート L データレジスタ (PLDR)	21-23
21.12.3	ポート L ポートレジスタ (PLPR)	21-24
21.13	POD (ポートアウトプットディスエーブル)	21-24
21.14	使用上の注意	21-25

第 22 章 ROM

22.1	特長	22-1
22.2	概要	22-2
22.2.1	ブロック図	22-2
22.2.2	動作モード	22-3
22.2.3	モード比較	22-4
22.2.4	フラッシュメモリ構成	22-4
22.2.5	ブロック分割	22-6
22.2.6	書き込み / 消去インタフェース	22-7
22.3	端子構成	22-9
22.4	レジスタ構成	22-9
22.4.1	レジスタ一覧	22-9
22.4.2	書き込み / 消去インタフェースレジスタ	22-11
22.4.3	書き込み / 消去インタフェースパラメータ	22-17

22.4.4	RAM エミュレーションレジスタ (RAMER)	22-28
22.5	オンボードプログラミングモード.....	22-30
22.5.1	ブートモード.....	22-30
22.5.2	ユーザプログラムモード	22-33
22.5.3	ユーザブートモード	22-43
22.6	プロテクト	22-47
22.6.1	ハードウェアプロテクト	22-47
22.6.2	ソフトウェアプロテクト	22-47
22.6.3	エラープロテクト	22-48
22.7	RAM によるフラッシュメモリのエミュレーション	22-49
22.8	使用上のご注意	22-52
22.8.1	ユーザマットとユーザブートマットの切り替え.....	22-52
22.8.2	書き込み / 消去手続き実行中の割り込み.....	22-53
22.8.3	その他のご注意.....	22-57
22.9	ライトモード	22-58
22.9.1	ソケットアダプタの端子対応図	22-58
22.9.2	ライトモードの動作	22-60
22.9.3	メモリ読み出しモード	22-61
22.9.4	自動書き込みモード	22-61
22.9.5	自動消去モード	22-62
22.9.6	ステータス読み出しモード	22-62
22.9.7	ステータスポーリング	22-63
22.9.8	ライトモードへの遷移時間	22-63
22.9.9	メモリ書き込み注意事項	22-63
22.10	付録.....	22-64
22.10.1	ブートモードの標準シリアル通信インタフェース仕様.....	22-64
22.10.2	ライトモードの AC 特性、タイミング	22-85
22.10.3	手順プログラム、または書き込みデータの格納可能領域.....	22-90

第 23 章 RAM

23.1	概要.....	23-1
23.1.1	概要.....	23-1
23.2	動作説明.....	23-1

第 24 章 低消費電力状態

24.1	概要.....	24-1
24.1.1	低消費電力モードの種類	24-1
24.1.2	端子構成.....	24-3
24.1.3	関連レジスタ	24-3
24.2	レジスタの説明.....	24-4
24.2.1	スタンバイコントロールレジスタ (SBYCR)	24-4
24.2.2	システムコントロールレジスタ (SYSCR)	24-5
24.2.3	モジュールスタンバイコントロールレジスタ (MSTCR)	24-6
24.2.4	レジスタアクセス時の注意	24-7
24.3	ハードウェアスタンバイモード.....	24-8

24.3.1	ハードウェアスタンバイモードへの遷移.....	24-8
24.3.2	ハードウェアスタンバイモードの解除.....	24-8
24.3.3	ハードウェアスタンバイモードのタイミング.....	24-8
24.4	ソフトウェアスタンバイモード.....	24-9
24.4.1	ソフトウェアスタンバイモードへの遷移.....	24-9
24.4.2	ソフトウェアスタンバイモードの解除.....	24-9
24.4.3	ソフトウェアスタンバイモードの応用例.....	24-9
24.5	スリープモード.....	24-11
24.5.1	スリープモードへの遷移.....	24-11
24.5.2	スリープモードの解除.....	24-11

第 25 章 信頼性について

25.1	信頼性について.....	25-1
------	--------------	------

第 26 章 電気的特性

26.1	絶対最大定格.....	26-1
26.2	DC 特性.....	26-2
26.3	AC 特性.....	26-12
26.3.1	電源投入・切断タイミング.....	26-12
26.3.2	クロックタイミング.....	26-13
26.3.3	制御信号タイミング.....	26-15
26.3.4	バスタイミング.....	26-18
26.3.5	アドバンスドタイムユニットタイミング アドバンスドパルスコントローラ タイミング.....	26-22
26.3.6	I/O ポートタイミング.....	26-23
26.3.7	ウォッチドッグタイマタイミング.....	26-24
26.3.8	シリアルコミュニケーションインタフェースタイミング.....	26-24
26.3.9	HCAN タイミング.....	26-26
26.3.10	A/D 変換器タイミング.....	26-27
26.3.11	H-UDI タイミング.....	26-29
26.3.12	AUD タイミング.....	26-31
26.3.13	UBC トリガタイミング.....	26-33
26.3.14	AC 特性測定条件.....	26-34
26.4	A/D 変換器特性.....	26-35
26.5	フラッシュメモリ特性.....	26-36
26.6	使用上の注意.....	26-37
26.6.1	V _{CL} コンデンサ接続方法.....	26-37
26.6.2	モード端子入力に関する注意事項.....	26-37

付録

A.	内蔵周辺モジュールレジスタ.....	付録-1
A.1	アドレス一覧.....	付録-1
A.2	リセット、低消費電力状態でのレジスタ状態.....	付録-38
B.	端子状態.....	付録-42
C.	型名一覧.....	付録-45
D.	外形寸法図.....	付録-45

1. 概要

1.1 特長

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU は、RISC 方式の命令セットを持っており、基本命令は 1 命令 1 ステート (1 システムクロックサイクル) で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、低コストでかつ高性能 / 高機能なシステムを組むことができますようになります。

さらに本 LSI はシステム構成に必要な周辺機能として、浮動小数点演算ユニット (FPU)、ROM、RAM、ダイレクトメモリアクセスコントローラ (DMAC)、タイマ、シリアルコミュニケーションインタフェース (SCI)、コントローラエリアネットワーク (HCAN)、A/D 変換器、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。

また、外部メモリアクセスサポート機能により、ROM や SRAM と直接接続することができます。これらにより、システムコストの大幅な低減が可能です。

内蔵 ROM はフラッシュメモリを内蔵した F-ZTATTM* (Flexible Zero Turn Around Time) 版です。フラッシュメモリは本 LSI の書き込みをサポートしているライタを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み / 消去することもできます。書き込み / 消去の制御プログラムをファームウェアとして内蔵しており、ユーザプログラムから本プログラムを呼び出すだけで、書き込み / 消去を実行できます。これにより、LSI をボードに組み込んだままユーザサイドで書き換えが可能です。

本 LSI の特長を表 1.1 に示します。

【注】* F-ZTAT は、(株)ルネサス テクノロジーの商標です。

1. 概要

表 1.1 特長

項目	特長
CPU	<p>最高動作周波数：40MHz ルネサスオリジナル SH-2E CPU 内部 32 ビット構成 汎用レジスタマシン ー汎用レジスタ32 ビット×16 本 ーコントロールレジスタ32 ビット×3 本 ーシステムレジスタ32 ビット×4 本 命令実行時間 基本命令は 1 命令 / 1 ステート (40MHz 動作時：25ns / 命令) アドレス空間 アーキテクチャ上は 4GB パイプライン 5 段パイプライン方式</p>
動作状態	<p>動作モード ーシングルチップモード ー 8/16 ビットバス拡張モード ・内蔵 ROM ありモード ・内蔵 ROM なしモード</p> <p>処理状態 ーリセット状態 ープログラム実行状態 ー例外処理状態 ーバス権解放状態 ー低消費電力状態</p> <p>低消費電力機能 ースリープモード ーソフトウェアスタンバイモード ーハードウェアスタンバイモード ーモジュールスタンバイ</p>
乗算器	<p>32×32 64 の乗算を 2~4 ステートで実行 32×32+64 64 の積和演算を 2~4 ステートで実行</p>
浮動小数点演算器 (FPU)	<p>SuperH アーキテクチャのコプロセッサ 単精度浮動小数点演算サポート IEEE 規格で規定されているデータタイプのサブセットをサポート 無効演算(Invalid Operation)およびゼロによる除算の例外検出をサポート(IEEE 規格のサブセット) 丸めモードとして、ゼロ方向への丸めをサポート(IEEE 規格のサブセット) 16 本の 32 ビット浮動小数点データレジスタ FMAC 命令(積和演算命令)をサポート FDIV 命令(除算命令)をサポート FLDI0/FLDI1 命令(定数 0/1 のロード命令)をサポート 命令遅延時間：FMAC/FADD/FSUB/FMUL の各命令の場合、2 サイクル 実行ピッチ：FMAC/FADD/FSUB/FMUL の各命令の場合、1 サイクル</p>
クロック発振器 (CPG/PLL)	<p>内蔵発振回路 (最大動作周波数：40MHz) CPU 用システムクロックと周辺モジュール用周辺クロックを独立に生成 内蔵 PLL によりクロック逡倍 (×4) が可能 入力クロック周波数 5~10MHz</p>

項目	特長
割り込み コントローラ (INTC)	外部割り込み端子×9本 (NMI、 $\overline{IRQ0} \sim \overline{IRQ7}$) 内部割り込み要因 115 要因 (ATU-II×75、SCI×20、DMAC×4、A/D×3、WDT×1、UBC×1、 CMT×2、HCAN×8、H-UDI×1) 16 レベルの優先順位設定が可能
ユーザブレイク コントローラ (UBC)	CPU や DMAC が、ある設定した条件のバスサイクルを生成すると割り込みを発生 (割り込みマスクも可能) ブレイク条件でトリガパルス出力 (UBCTRG) が可能 トリガパルス幅選択可能 (×1、×4、×8、×16) オンチップデバッグの構築が容易
バスステート コントローラ (BSC)	外部のメモリアクセスをサポート (SRAM、ROM をダイレクト接続可) : 8/16 ビットバス空間 3.3V バスインタフェース アドレス空間を 16MB の 4 空間に分割、それぞれ以下の機能を選択可能 ーバスサイズ : 8/16 ビット ーウェイトサイクル数 ーエリアに対応した選択信号 ($\overline{CS0} \sim \overline{CS3}$) を出力 外部 WAIT 信号によるウェイトサイクルの挿入可 外部最小アクセスサイクル 2 サイクル バス衝突回避のためのアイドルサイクル挿入可
ダイレクトメモリ アクセス コントローラ (DMAC) ×4 チャンネル	下記デバイス間の DMA 転送が可能 ー外部メモリ、内蔵メモリ、内蔵周辺モジュール (DMAC、UBC、 BSC 除く) DMA 転送要求可能な内蔵モジュール ー SCI、A/D 変換器、ATU-II、HCAN サイクルスチールモードまたはバーストモード転送可能 デュアルアドレスモード ー直接転送モード ー間接転送モード (チャンネル 3 のみ) アドレスリロード機能 (チャンネル 2 のみ) 転送データ幅 : バイト/ワード/ロングワード
アドバンスドタイマユニッ ト (ATU-II)	最大 65 本の入出力が可能 ー 32 ビットインプットキャプチャ×4 本 ー 16 ビットインプットキャプチャ/アウトプットコンペア×30 本 ー 16 ビットワンショットパルス×16 本 ー 16 ビット PWM×8 本 ー 8 ビットイベントカウンタ×6 本 ー 欠け歯検出機能×1 本 入出力端子出力反転機能
アドバンスドパルスコント ローラ (APC)	ATU-II (チャンネル 11) のコンペアマッチ信号を受けて最大 8 本のパルス出力に分配
ウォッチドッグ タイマ (WDT) ×1 チャンネル	ウォッチドッグタイマ/インタバルタイマの切り替えが可能 カウンタオーバーフロー時、内部リセット、外部信号、または割り込みを発生 2 種類の内部リセット ーパワーオンリセット ーマニュアルリセット

1. 概要

項目	特長
コンペアマッチ タイマ (CMT) ×2 チャンネル	4 種類のカウント入カクロックを選択可能 コンペアマッチ割り込みを各チャンネル独立に要求可能
シリアル コミュニケーションインタ フェース (SCI) ×5 チャン ネル	調歩同期 / クロック同期式モードの選択が可能 送受信を同時に行うことが可能 (全二重) 複数のプロセッサとシリアルデータ通信が可能 (調歩同期モード) クロック反転機能 送信時 LSB/MSB ファースト選択機能
コントローラ エリアネットワーク (HCAN) ×2 チャンネル	CAN バージョン : Bosch 2.0B active 対応 バッファサイズ (各チャンネル) : 送信 / 受信 × 15 本、受信専用 × 1 本 受信メッセージのフィルタリング可能
A/D 変換器	チャンネル数 : 32 チャンネル サンプル & ホールドを 3 系統搭載 - 12 チャンネル × 2、8 チャンネル × 1 独立動作 2 種類の変換モード選択可能 - 単一変換モード - スキャンモード ・ 連続スキャンモード ・ 1 サイクルスキャンモード 外部トリガと ATU-II のコンペアマッチによる起動も可能 10 ビット分解能 精度 : ±2LSB
ハイパフォーマンスユーザデ バッグ インタフェース (H-UDI)	5 本の専用端子信号 BYPASS モード (IEEE1149.1 に準拠したテストモード) H-UDI 割り込み
アドバンストユーザデバッ ガ (AUD)	8 本の専用端子 RAM モニタモード - データ入出力周波数 : /4 以下 - 内部 / 外部バスに接続されているモジュールのリード / ライトが可能 分岐アドレス出力モード
I/O ポート (タイマ入出力端子、アドレ ス、データバスを含む)	入出力兼用端子 : 149 本 シュミット入力端子 : NMI、 $\overline{\text{IRQn}}$ 、 $\overline{\text{RES}}$ 、 $\overline{\text{HSTBY}}$ 、FWE、TCLK、IC、IC/OC、 SCK、 $\overline{\text{ADTRG}}$ 入力ポートの保護
ROM	512k バイトフラッシュメモリ 512kB を 16 ブロックに分割 - 小ブロック : 4kB × 8 ブロック - 中ブロック : 32kB × 1 ブロック - 大ブロック : 64kB × 7 ブロック RAM エミュレーション機能 (小ブロック 4kB を使用) 書き込み / 消去の制御プログラムをファームウェアとして内蔵 フラッシュメモリプログラム方法 - ブートモード - ユーザブートモード - ユーザプログラムモード - ライタモード
RAM	32k バイト SRAM

1.2 ブロック図

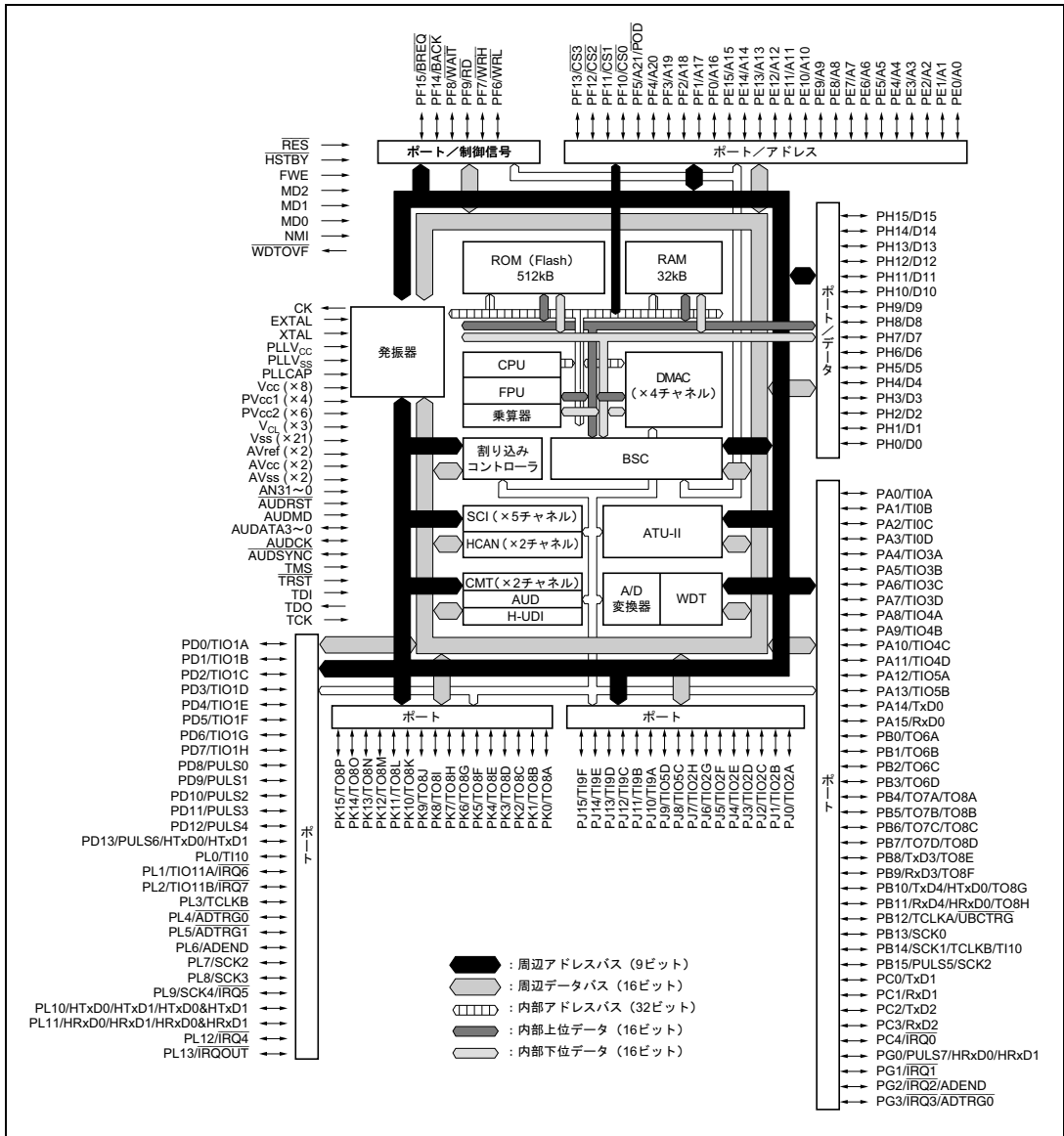


図 1.1 SH7055SF ブロック図

1. 概要

1.3 端子説明

1.3.1 ピン配置

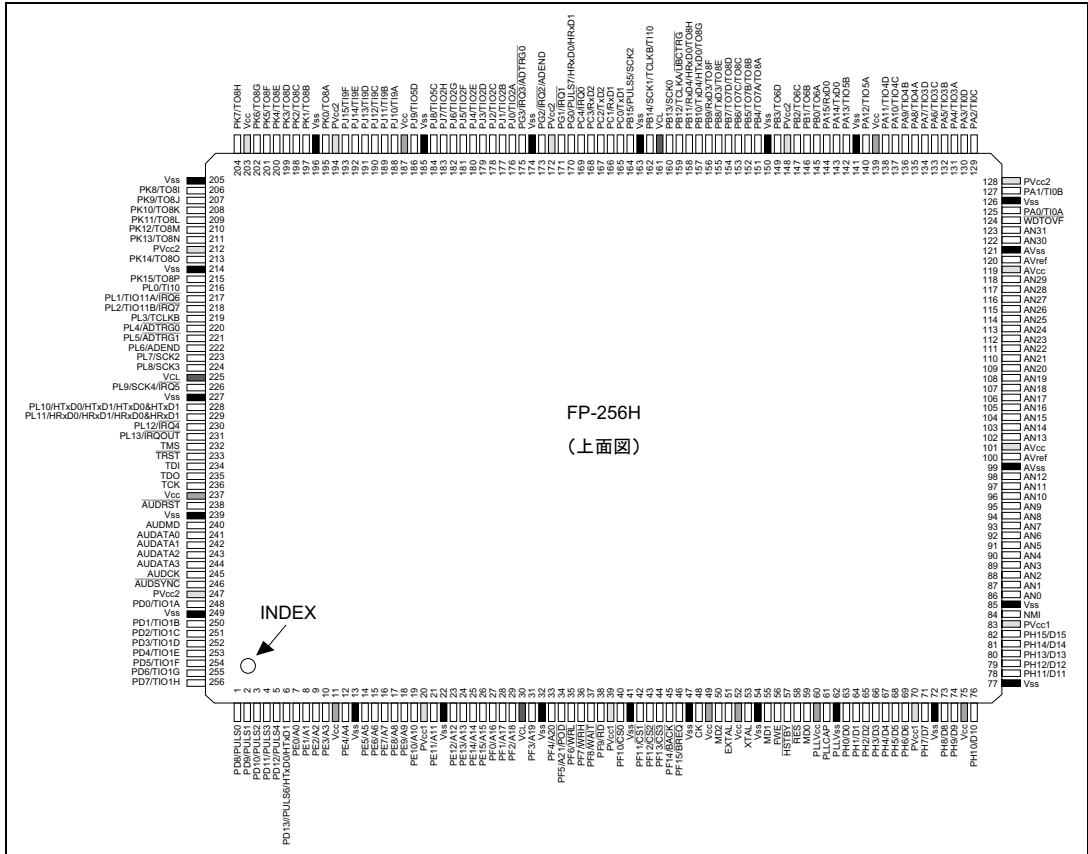


図 1.2 ピン配置

1.3.2 端子機能

端子の機能について表 1.2 に示します。

表 1.2 端子の機能

分類	記号	ピン番号	入出力	名称	機能
電源	V_{CC}	11,49,52,75, 139,187, 203,237	入力	電源	LSI 内部およびシステム系ポート (RES、MD2~0、FWE、HSTBY、NMI、CK、EXTAL、XTAL、H-UDI ポート)用の電源です。 V_{CC} 端子は、すべてシステムのシステム系電源に接続してください。開放端子があると動作しません。
	PV_{CC1}	20,39,70,83	入力	ポート電源 1	バスポート(ポート E、ポート F、ポート H)用電源です。 PV_{CC1} 端子は、すべてシステムのバス系電源に接続してください。開放端子があると動作しません。
	PV_{CC2}	128,148,172, 194,212,247	入力	ポート電源 2	周辺モジュール系ポート(ポート A、ポート B、ポート C、ポート D、ポート G、ポート J、ポート K、ポート L、AUD ポート、WDT0VF)用電源です。 PV_{CC2} 端子は、すべてシステムの周辺モジュール系電源に接続してください。開放端子があると動作しません。
	V_{CL}	30,161,225	入力	内部降圧電源端子	内部降圧電源の電圧安定用のコンデンサを接続する端子です。コンデンサを介して V_{SS} に接続してください。コンデンサは端子の近くに配置してください。外部電源に接続しないでください。
	V_{SS}	13,22,32,41,47, 54,72,77,85, 126,141,150, 163,174,185, 196,205,214, 227,239,249	入力	グランド	グランドに接続します。 V_{SS} 端子は、すべてシステムのグランドに接続してください。開放端子があると動作しません。
フラッシュメモリ	FWE	56	入力	フラッシュライトイネーブル	通常動作時は、グランドに接続します。オンボードプログラム時は、 V_{CC} を印加します。
クロック	$PLL_{V_{CC}}$	60	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。電源の接続は「第 5 章 クロック発振器 (CPG)」を参照してください。
	$PLL_{V_{SS}}$	62	入力	PLL 用グランド	内蔵 PLL 発振器用のグランドです。電源の接続は「第 5 章 クロック発振器 (CPG)」を参照してください。
	PLL_{CAP}	61	入力	PLL 用容量	内蔵 PLL 発振器用の外付け容量端子です。外付け容量の接続は「第 5 章 クロック発振器 (CPG)」を参照してください。

1. 概要

分類	記号	ピン番号	入出力	名称	機能
クロック	EXTAL	51	入力	外部クロック	水晶発振子を接続します。 また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	53	入力	クリスタル	水晶発振子を接続します。
	CK	48	出力	システムクロック	周辺デバイスにシステムクロックを供給します。
システム制御	RES	58	入力	パワーオンリセット	この端子にローレベルを印加すると、パワーオンリセット状態になります。
	WDTOVF	124	出力	ウォッチドッグタイマオーバーフロー	WDT からのオーバーフロー出力信号です。
	BREQ	46	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK	45	出力	バス権要求アクノリッジ	バス権を外側デバイスに解放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。
動作モード制御	MD0 ~ MD2	59,55,50	入力	モード設定	動作モードを決める端子です。 動作中は、入力値を変化させないでください。
	HSTBY	57	入力	ハードウェアスタンバイ	この端子にローレベルを入力するとハードウェアスタンバイ状態になります。
割り込み	NMI	84	入力	ノンマスクابل割り込み	マスク不可能な割り込み要求端子です。 立ち上がりエッジ、立ち下がりエッジのどちらで受け付けるかを選択できます。
	IRQ0 ~ IRQ7	169,171,173,175,230,226,217,218	入力	割り込み要求 0~7	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。
	IRQOUT	231	出力	割り込み要求出力	割り込み要因が発生したことを示します。 バスリリース中にも割り込み発生を知ることができます。
アドレスバス	A0 ~ A21	7 ~ 10,12,14 ~ 19,21,23 ~ 29,31,33,34	出力	アドレスバス	アドレスを出力します。
データバス	D0 ~ D15	63 ~ 69,71,73,74,76,78 ~ 82	入出力	データバス	16 ビットの双方向データバスです。
バス制御	CS0 ~ CS3	40,42 ~ 44	出力	チップセレクト 0~3	外部メモリまたはデバイスのためのチップセレクト信号です。
	RD	38	出力	リード	外部のデバイスから読み出しすることを示します。
	WRH	36	出力	上位側ライト	外部の上位 8 ビットに書き込みすることを示します

分類	記号	ピン番号	入出力	名称	機能
バス制御	WRL	35	出力	下位側ライト	外部の下位8ビットに書き込みすることを示します
	WAIT	37	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
アドバンスド タイマ ユニット-II (ATU-II)	TCLKA, TCLKB	159,162,219	入力	ATU-II タイマ クロック入力	ATU-II のカウンタへの外部クロック入力端子です。
	TIOA ~ TIOD	125,127,129,130	入力	ATU-II インプット キャプチャ (チャンネル0)	チャンネル0のインプットキャプチャ入力端子です。
	TIO1A ~ TIO1H	248,250 ~ 256	入出力	ATU-II インプット キャプチャ / アウトプット コンペア (チャンネル1)	チャンネル1のインプットキャプチャ入力 / アウトプットコンペア出力端子です。
	TIO2A ~ TIO2H	176 ~ 183	入出力	ATU-II インプット キャプチャ / アウトプット コンペア (チャンネル2)	チャンネル2のインプットキャプチャ入力 / アウトプットコンペア出力端子です。
	TIO3A ~ TIO3D	131 ~ 134	入出力	ATU-II インプット キャプチャ / アウトプット コンペア / PWM 出力 (チャンネル3)	チャンネル3のインプットキャプチャ入力 / アウトプットコンペア / PWM 出力端子です。
	TIO4A ~ TIO4D	135 ~ 138	入出力	ATU-II インプット キャプチャ / アウトプット コンペア / PWM 出力 (チャンネル4)	チャンネル4のインプットキャプチャ入力 / アウトプットコンペア / PWM 出力端子です。
	TIO5A ~ TIO5D	140,142,184,186	入出力	ATU-II インプット キャプチャ / アウトプット コンペア / PWM 出力 (チャンネル5)	チャンネル5のインプットキャプチャ入力 / アウトプットコンペア / PWM 出力端子です。
	TO6A ~ TO6D	145 ~ 147,149	出力	ATU -II PWM 出力 (チャンネル6)	チャンネル6のPWM 出力端子です。
	TO7A ~ TO7D	151 ~ 154	出力	ATU -II PWM 出力 (チャンネル7)	チャンネル7のPWM 出力端子です。
	TO8A ~ TO8P	151 ~ 158,195, 197 ~ 202,204, 206 ~ 211,213, 215	出力	ATU-II ワンショット パルス (チャンネル8)	チャンネル8のダウンカウンタのワンショットパルス出力端子です。
TI9A ~ TI9F	188 ~ 193	入力	ATU-II イベント入力 (チャンネル9)	チャンネル9 イベントカウンタ入力	

1. 概要

分類	記号	ピン番号	入出力	名称	機能
アドバンスド タイマ ユニット-II (ATU-II)	TI10	162,216	入力	ATU-II 倍周 クロック生成 (チャンネル 10)	チャンネル 10 の外部クロック入力端子です。
	TIO11A, TIO11B	217,218	入出力	ATU-II インพุット キャプチャ/ アウトプット コンペア出力	チャンネル 11 のインพุットキャプチャ 入力/アウトプットコンペア出力 端子です。
アドバンスド パルス コントローラ (APC)	PULS0 ~ PULS7	1 ~ 6,164,170	出力	APC パルス出力 0~7	APC のパルス出力端子です。
シリアル コミュニケーション インタフェース (SCI)	TxD0 ~ TxD4	143,165,167,155, 157	出力	送信データ (チャンネル 0~ 4)	SCI0 ~ SCI4 の送信データ出力端子 です。
	RxD0 ~ RxD4	144,166,168,156, 158	入力	受信データ (チャンネル 0~ 4)	SCI0 ~ SCI4 の受信データ入力端子 です。
	SCK0 ~ SCK4	160,162,223,224, 226,164	入出力	シリアル クロック (チャンネル 0~ 4)	SCI0 ~ SCI4 のクロック入出力端子 です。
コントローラ エリア ネットワーク (HCAN)	HTxD0, HTxD1	157,228,6	出力	送信データ	CAN バス送信データ出力端子です。
	HRxD0, HRxD1	158,229,170	入力	受信データ	CAN バス受信データ入力端子です。
A/D 変換器	AV _{CC}	101,119	入力	アナログ電源	A/D 変換器用の電源です。
	AV _{SS}	99,121	入力	アナログ グランド	A/D 変換器用の電源です。
	AV _{ref}	100,120	入力	アナログ リファレンス 電源	アナログリファレンス電源入力端子 です。
	AN0 ~ AN31	86 ~ 98, 102 ~ 118, 122,123	入力	アナログ入力	アナログ信号入力端子です。
	ADTRG0, ADTRG1	175,220,221	入力	A/D 変換トリガ 入力	A/D 変換開始の外部トリガ入力です。
ADEND	173,222	出力	ADEND 出力	A/D2 のチャンネル 31 変換タイミング モニタ出力端子	
ユーザブレイク コントローラ (UBC)	UBCTRG	159	出力	ユーザブレイク トリガ出力	UBC 条件一致のトリガ出力端子です。
ハイパフォーマンス ユーザデバッグ インタフェース (H-UDI)	TCK	236	入力	テストクロック	テストクロック入力端子です。
	TMS	232	入力	テストモード セレクト	テストモードセレクト信号入力端子 です。
	TDI	234	入力	テストデータ 入力	インストラクションとデータのシリアル 入力端子です

分類	記号	ピン番号	入出力	名称	機能
ハイパフォーマンス ユーザデバッグ インタフェース (H-UDI)	TDO	235	出力	テストデータ 出力	インストラクションとデータのシリアル出力端子です。
	TRST	233	入力	テストリセット	初期化信号入力端子です。
アドバンスド ユーザデバッグ (AUD)	AUDATA0 ~ AUDATA3	241 ~ 244	入出力	AUD データ	リアルタイムトレースモード： 分岐先アドレス出力端子です。 RAM モニタモード： モニタアドレス入力/データ入出力端子です。
	AUDRST	238	入力	AUD リセット	リセット信号入力端子です。
	AUDMD	240	入力	AUD モード	モード選択信号入力端子です。 リアルタイムトレースモード (L) RAM モニタモード (H)
	AUDCK	245	入出力	AUD クロック	リアルタイムトレースモード： 同期クロック出力端子です。 RAM モニタモード： 同期クロック入力端子です。
	AUDSYNC	246	入出力	AUD 同期信号	リアルタイムトレースモード： データ先頭位置認識信号出力端子 です。 RAM モニタモード： データ先頭位置認識信号入力端子 です。
I/O ポート	POD	34	入力	ポート アウトプット ディスエーブル	汎用ポートが出力設定時に、ポート 端子のドライブ制御をするための 入力端子です。
	PA0 ~ PA15	125,127, 129 ~ 138, 140,142 ~ 144	入出力	ポート A	汎用入出力ポート端子です。1 ビット ごとに入出力を指定できます。
	PB0 ~ PB15	145 ~ 147,149, 151 ~ 160,162, 164	入出力	ポート B	汎用入出力ポート端子です。1 ビット ごとに入出力を指定できます。
	PC0 ~ PC4	165 ~ 169	入出力	ポート C	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できま す。
	PD0 ~ PD13	248,250 ~ 256, 1 ~ 6	入出力	ポート D	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できま す。
	PE0 ~ PE15	7 ~ 10,12,14 ~ 19, 21,23 ~ 26	入出力	ポート E	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できま す。
	PF0 ~ PF15	27 ~ 29,31, 33 ~ 38,40, 42 ~ 46	入出力	ポート F	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できま す。

1. 概要

分類	記号	ピン番号	入出力	名称	機能
I/O ポート	PG0 ~ PG3	170,171,173,175	入出力	ポート G	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PH0 ~ PH15	63 ~ 69,71,73,74, 76,78 ~ 82	入出力	ポート H	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PJ0 ~ PJ15	176 ~ 184,186, 188 ~ 193	入出力	ポート J	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PK0 ~ PK15	195,197 ~ 202, 204,206 ~ 211, 213,215	入出力	ポート K	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PL0 ~ PL13	216 ~ 224,226, 228 ~ 231	入出力	ポート L	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。

1.3.3 端子一覧

表 1.3 端子一覧

ピン番号	MCU モード	ライタモード
1	PD8/PULS0	N.C
2	PD9/PULS1	N.C
3	PD10/PULS2	N.C
4	PD11/PULS3	N.C
5	PD12/PULS4	N.C
6	PD13/PULS6/HTxD0/HTxD1	N.C
7	PE0/A0	A0
8	PE1/A1	A1
9	PE2/A2	A2
10	PE3/A3	A3
11	V _{CC}	V _{CC}
12	PE4/A4	A4
13	V _{SS}	V _{SS}
14	PE5/A5	A5
15	PE6/A6	A6
16	PE7/A7	A7
17	PE8/A8	A8
18	PE9/A9	A9
19	PE10/A10	A10
20	PV _{CC1}	V _{CC}
21	PE11/A11	A11
22	V _{SS}	V _{SS}
23	PE12/A12	A12
24	PE13/A13	A13
25	PE14/A14	A14
26	PE15/A15	A15
27	PF0/A16	A16
28	PF1/A17	A17
29	PF2/A18	A18
30	V _{CL}	V _{CL}
31	PF3/A19	A19
32	V _{SS}	V _{SS}
33	PF4/A20	N.C
34	PF5/A21/ $\overline{\text{POD}}$	N.C
35	PF6/ $\overline{\text{WRL}}$	N.C
36	PF7/ $\overline{\text{WRH}}$	N.C
37	PF8/ $\overline{\text{WAIT}}$	V _{CC}
38	PF9/RD	N.C
39	PV _{CC1}	V _{CC}
40	PF10/CS0	N.C
41	V _{SS}	V _{SS}

1. 概要

ピン番号	MCU モード	ライタモード
42	PF11/ $\overline{\text{CS1}}$	V _{CC}
43	PF12/ $\overline{\text{CS2}}$	V _{CC}
44	PF13/ $\overline{\text{CS3}}$	V _{SS}
45	PF14/ $\overline{\text{BACK}}$	N.C
46	PF15/ $\overline{\text{BREQ}}$	V _{CC}
47	V _{SS}	V _{SS}
48	CK	N.C
49	V _{CC}	V _{CC}
50	MD2	V _{SS}
51	EXTAL	EXTAL
52	V _{CC}	V _{CC}
53	XTAL	XTAL
54	V _{SS}	V _{SS}
55	MD1	V _{CC}
56	FWE	FWE
57	$\overline{\text{HSTBY}}$	V _{CC}
58	$\overline{\text{RES}}$	$\overline{\text{RES}}$
59	MD0	V _{CC}
60	PLL _{V_{CC}}	PLL _{V_{CC}}
61	PLL _{CAP}	PLL _{CAP}
62	PLL _{V_{SS}}	PLL _{V_{SS}}
63	PH0/D0	D0
64	PH1/D1	D1
65	PH2/D2	D2
66	PH3/D3	D3
67	PH4/D4	D4
68	PH5/D5	D5
69	PH6/D6	D6
70	PV _{CC1}	V _{CC}
71	PH7/D7	D7
72	V _{SS}	V _{SS}
73	PH8/D8	N.C
74	PH9/D9	N.C
75	V _{CC}	V _{CC}
76	PH10/D10	N.C
77	V _{SS}	V _{SS}
78	PH11/D11	N.C
79	PH12/D12	N.C
80	PH13/D13	N.C
81	PH14/D14	N.C
82	PH15/D15	N.C
83	PV _{CC1}	V _{CC}
84	NMI	V _{SS}
85	V _{SS}	V _{SS}

ピン番号	MCU モード	ライタモード
86	AN0	N.C
87	AN1	N.C
88	AN2	N.C
89	AN3	N.C
90	AN4	N.C
91	AN5	N.C
92	AN6	N.C
93	AN7	N.C
94	AN8	N.C
95	AN9	N.C
96	AN10	N.C
97	AN11	N.C
98	AN12	N.C
99	AV _{SS}	V _{SS}
100	AV _{ref}	V _{CC}
101	AV _{CC}	V _{CC}
102	AN13	N.C
103	AN14	N.C
104	AN15	N.C
105	AN16	N.C
106	AN17	N.C
107	AN18	N.C
108	AN19	N.C
109	AN20	N.C
110	AN21	N.C
111	AN22	N.C
112	AN23	N.C
113	AN24	N.C
114	AN25	N.C
115	AN26	N.C
116	AN27	N.C
117	AN28	N.C
118	AN29	N.C
119	AV _{CC}	V _{CC}
120	AV _{ref}	V _{CC}
121	AV _{SS}	V _{SS}
122	AN30	N.C
123	AN31	N.C
124	WDTOVF	N.C
125	PA0/TI0A	N.C
126	V _{SS}	V _{SS}
127	PA1/TI0B	N.C
128	PV _{CC2}	V _{CC}
129	PA2/TI0C	N.C

1. 概要

ピン番号	MCU モード	ライタモード
130	PA3/TIO0D	N.C
131	PA4/TIO3A	N.C
132	PA5/TIO3B	N.C
133	PA6/TIO3C	N.C
134	PA7/TIO3D	N.C
135	PA8/TIO4A	N.C
136	PA9/TIO4B	N.C
137	PA10/TIO4C	N.C
138	PA11/TIO4D	N.C
139	V _{CC}	V _{CC}
140	PA12/TIO5A	N.C
141	V _{SS}	V _{SS}
142	PA13/TIO5B	N.C
143	PA14/TxD0	N.C
144	PA15/RxD0	N.C
145	PB0/TO6A	N.C
146	PB1/TO6B	N.C
147	PB2/TO6C	N.C
148	PV _{CC2}	V _{CC}
149	PB3/TO6D	N.C
150	V _{SS}	V _{SS}
151	PB4/TO7A/TO8A	N.C
152	PB5/TO7B/TO8B	N.C
153	PB6/TO7C/TO8C	N.C
154	PB7/TO7D/TO8D	N.C
155	PB8/TxD3/TO8E	N.C
156	PB9/RxD3/TO8F	N.C
157	PB10/TxD4/HTxD0/TO8G	N.C
158	PB11/RxD4/HRxD0/TO8H	N.C
159	PB12/TCLKA/UBCTR \bar{G}	N.C
160	PB13/SCK0	N.C
161	V _{CL}	V _{CL}
162	PB14/SCK1/TCLKB/TI10	N.C
163	V _{SS}	V _{SS}
164	PB15/PULS5/SCK2	N.C
165	PC0/TxD1	N.C
166	PC1/RxD1	N.C
167	PC2/TxD2	N.C
168	PC3/RxD2	N.C
169	PC4/IRQ0	N.C
170	PG0/PULS7/HRxD0/HRxD1	N.C
171	PG1/IRQ1	N.C
172	PV _{CC2}	V _{CC}
173	PG2/IRQ2/ADEND	N.C

ピン番号	MCU モード	ライタモード
174	V _{SS}	V _{SS}
175	PG3/IRQ3/ADTRG0	N.C
176	PJ0/TIO2A	N.C
177	PJ1/TIO2B	N.C
178	PJ2/TIO2C	N.C
179	PJ3/TIO2D	N.C
180	PJ4/TIO2E	N.C
181	PJ5/TIO2F	N.C
182	PJ6/TIO2G	N.C
183	PJ7/TIO2H	N.C
184	PJ8/TIO5C	N.C
185	V _{SS}	V _{SS}
186	PJ9/TIO5D	N.C
187	V _{CC}	V _{CC}
188	PJ10/TI9A	N.C
189	PJ11/TI9B	N.C
190	PJ12/TI9C	N.C
191	PJ13/TI9D	N.C
192	PJ14/TI9E	N.C
193	PJ15/TI9F	N.C
194	PV _{CC2}	V _{CC}
195	PK0/TO8A	N.C
196	V _{SS}	V _{SS}
197	PK1/TO8B	N.C
198	PK2/TO8C	N.C
199	PK3/TO8D	N.C
200	PK4/TO8E	N.C
201	PK5/TO8F	N.C
202	PK6/TO8G	N.C
203	V _{CC}	V _{CC}
204	PK7/TO8H	N.C
205	V _{SS}	V _{SS}
206	PK8/TO8I	N.C
207	PK9/TO8J	N.C
208	PK10/TO8K	N.C
209	PK11/TO8L	N.C
210	PK12/TO8M	N.C
211	PK13/TO8N	N.C
212	PV _{CC2}	V _{CC}
213	PK14/TO8O	N.C
214	V _{SS}	V _{SS}
215	PK15/TO8P	N.C
216	PL0/TI10	N.C
217	PL1/TIO11A/IRQ6	N.C

1. 概要

ピン番号	MCU モード	ライタモード
218	PL2/TIO11B/ $\overline{\text{IRQ7}}$	$\overline{\text{CE}}$
219	PL3/TCLKB	N.C
220	PL4/ADTRG0	N.C
221	PL5/ADTRG1	N.C
222	PL6/ADEND	N.C
223	PL7/SCK2	N.C
224	PL8/SCK3	N.C
225	V_{CL}	V_{CL}
226	PL9/SCK4/ $\overline{\text{IRQ5}}$	$\overline{\text{WE}}$
227	V_{SS}	V_{SS}
228	PL10/HTxD0/HTxD1/HTxD0&HTxD1	N.C
229	PL11/HRxD0/HRxD1/HRxD0&HRxD1	N.C
230	PL12/ $\overline{\text{IRQ4}}$	$\overline{\text{OE}}$
231	PL13/ $\overline{\text{IRQOUT}}$	N.C
232	TMS	N.C
233	$\overline{\text{TRST}}$	N.C
234	TDI	N.C
235	TDO	N.C
236	TCK	N.C
237	V_{CC}	V_{CC}
238	$\overline{\text{AUDRST}}$	N.C
239	V_{SS}	V_{SS}
240	AUDMD	N.C
241	AUDATA0	N.C
242	AUDATA1	N.C
243	AUDATA2	N.C
244	AUDATA3	N.C
245	AUDCK	N.C
246	$\overline{\text{AUDSYNC}}$	N.C
247	$\text{PV}_{\text{CC}2}$	V_{CC}
248	PD0/TIO1A	N.C
249	V_{SS}	V_{SS}
250	PD1/TIO1B	N.C
251	PD2/TIO1C	N.C
252	PD3/TIO1D	N.C
253	PD4/TIO1E	N.C
254	PD5/TIO1F	N.C
255	PD6/TIO1G	N.C
256	PD7/TIO1H	N.C

2. CPU

2.1 レジスタ構成

レジスタは、汎用レジスタ (32 ビット×16 本)、コントロールレジスタ (32 ビット×3 本)、システムレジスタ (32 ビット×4 本) の 3 種類があります。

また、FPU のレジスタとして浮動小数点レジスタ(32 ビット×16 本)、浮動小数点システムレジスタ(32 ビット×2 本)があり、これらは FPU に内蔵しています。

2.1.1 汎用レジスタ (Rn)

汎用レジスタ (Rn) は、32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は R15 を用いてスタックを参照し行います。

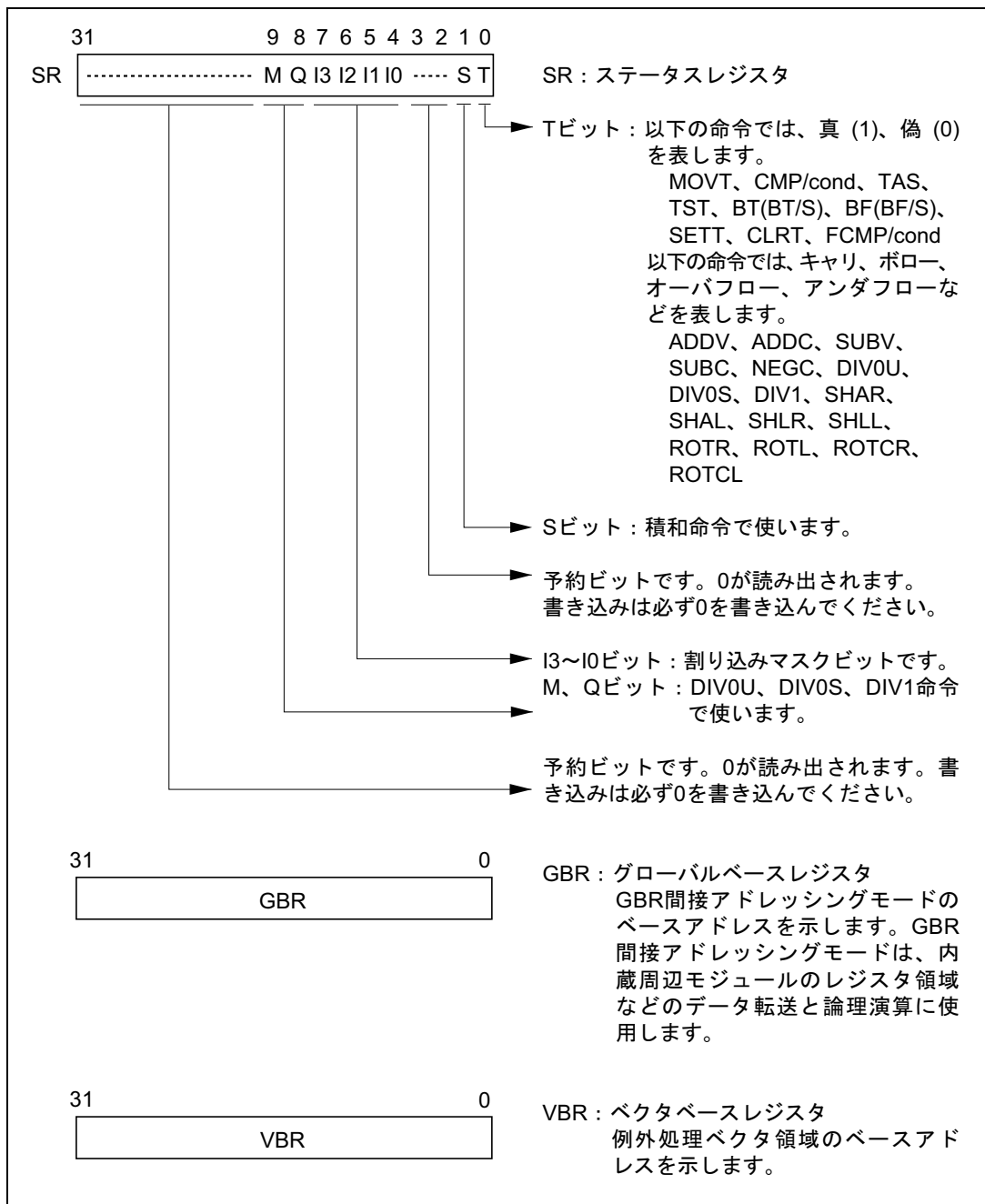


図 2.2 コントロールレジスタ

2.1.3 システムレジスタ

システムレジスタは32ビットの長さで、積和レジスタ（MACH、MACLの2本）、プロシージャレジスタ（PR）、プログラムカウンタ（PC）の4本があります。MACH、MACLは乗算または積和演算の結果を格納します。PRはサブルーチンプロシージャからの戻り先アドレスを格納します。PCは実行中のプログラムのアドレスを示し、処理の流れを制御します。

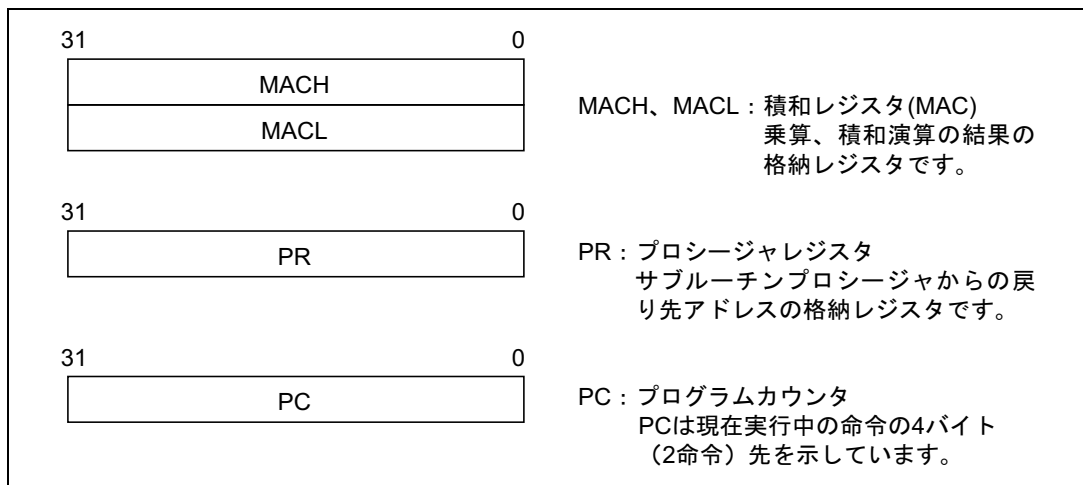


図 2.3 システムレジスタ

2.1.4 浮動小数点レジスタ

浮動小数点レジスタ（FR_n）は32ビットの長さで、FR0～15までの16本あります。浮動小数点レジスタは浮動小数点命令で使用します。FR0はFMAC命令のインデックスレジスタとして機能します。これらのレジスタは浮動小数点演算ユニット（FPU）に内蔵しています。

詳しくは、「第3章 浮動小数点演算ユニット（FPU）」を参照してください。



図 2.4 浮動小数点レジスタ

2.1.5 浮動小数点システムレジスタ

浮動小数点システムレジスタは 32 ビットの長さで、浮動小数点コミュニケーションレジスタ (FPUL) と浮動小数点ステータス/コントロールレジスタ (FPSCR) の 2 本があります。FPUL は CPU と浮動小数点ユニット (FPU) 間の通信レジスタです。

FPSCR は FPU 例外に関するステータス/コントロール情報を表示/格納します。

これらのレジスタは浮動小数点演算ユニット (FPU) に内蔵されています。詳しくは、「第 3 章 浮動小数点演算ユニット (FPU)」を参照してください。

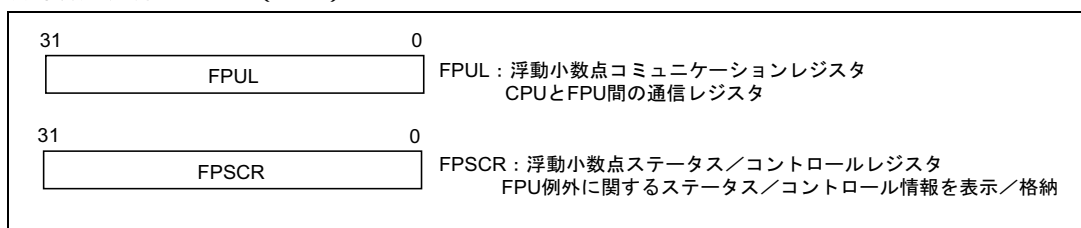


図 2.5 浮動小数点システムレジスタ

2.1.6 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区 分	レジスタ	初期値
汎用レジスタ	R0 ~ R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I3 ~ I0 は 1111 (HF)、予約ビットは 0、 その他は不定
	GBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値
浮動小数点レジスタ	FR0 ~ FR15	不定
浮動小数点 システムレジスタ	FPUL FPSCR	不定 H'00040001

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

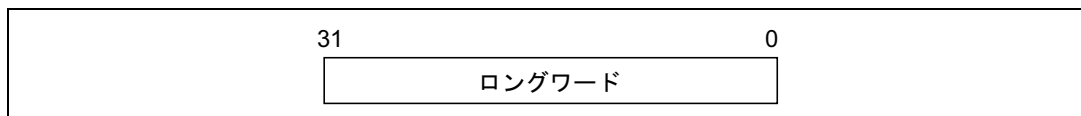


図 2.6 レジスタのデータ形式

2.2.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは 2n 番地から、ロングワードデータは 4n 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証されません。特に、ハードウェアスタックポインタ (SP、R15) が指し示すスタックにはプログラムカウンタ (PC) とステータスレジスタ (SR) をロングワードで保持しますので、ハードウェアスタックポインタの値が 4n になるように設定してください。

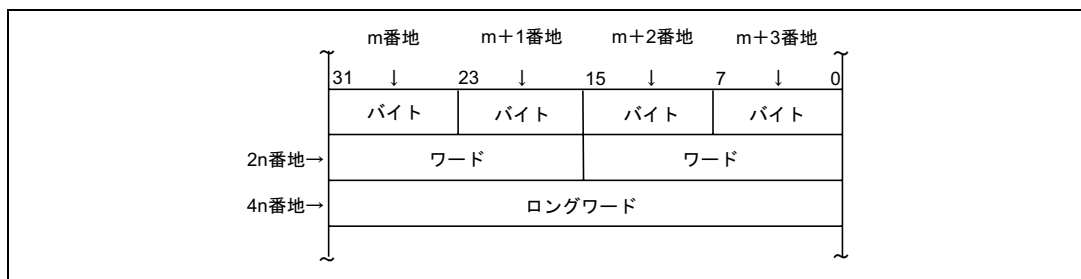


図 2.7 メモリ上でのデータ形式

2.2.3 イミディエイトデータのデータ形式

バイト（8ビット）のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令（MOV）で、参照します。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。40MHz 動作時、1 ステートは 25ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

本 LSI の CPU	説明	他の CPU の例
MOV.W @ (disp, PC), R1	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234, R0
ADD R1, R0		
.....		
.DATA.W H'1234		

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付き分岐命令には遅延分岐命令と通常分岐命令の 2 通りがあります。

表 2.3 遅延分岐命令

本 LSI の CPU	説明	他の CPU の例
BRATRGET ADDR1, R0	TRGET に分岐する前に ADD を実行します。	ADD.W R1, R0 BRA TRGET

2. CPU

(6) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、16×16+64 64 の積和演算を 2~3 ステートで実行します。
32×32 64 の乗算や、32×32+64 64 の積和演算を 2~4 ステートで実行します。

(7) T ビット

比較結果は SR の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

本 LSI の CPU	説明	他の CPU の例
CMP/GE R1, R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1, R0
BT TRGET0	R0 R1 のとき TRGET0 へ分岐します。	BGE TRGET0
BF TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #1, R0	ADD では T ビットが変化しません。	SUB.W #1, R0
CMP/EQ #0, R0	R0 = 0 のとき T ビットがセットされます。	BEQ TRGET
BT TRGET	R0 = 0 のとき分岐します。	

(8) イミディエイトデータ

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータの転送命令 (MOV) で参照します。

表 2.5 イミディエイトデータによる参照

区分	本 LSI の CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12, R0	MOV.B #H'12, R0
16 ビットイミディエイト	MOV.W @(disp, PC), R0	MOV.W #H'1234, R0
	.DATA.W H'1234	
32 ビットイミディエイト	MOV.L @(disp, PC), R0	MOV.L #H'12345678, R0
	.DATA.L H'12345678	

【注】 @(disp, PC) でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.6 絶対アドレスによる参照

区分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @(disp, PC), R1	MOV.B @ H'12345678, R0
	MOV.B @ R1, R0	
	.DATA.L H'12345678	

【注】 @(disp, PC) でイミディエイトデータを参照します。

(10) 16ビット/32ビットディスプレイースメント

16ビット、または32ビットディスプレイースメントでデータを参照するときは、あらかじめディスプレイースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照

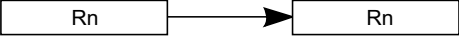
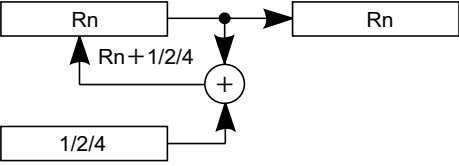
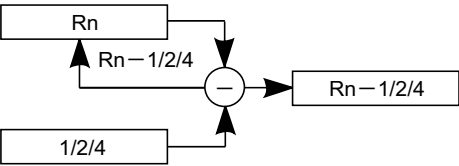
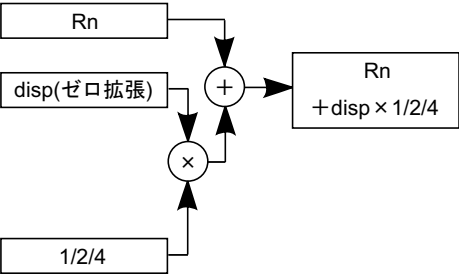
区 分	本 LSI の CPU	他の CPU の例
16ビットディスプレイースメント	MOV.W @ (disp , PC), R0	MOV.W @ (H'1234, R1), R2
	MOV.W @ (R0 , R1), R2	
	
	.DATA.W H'1234	

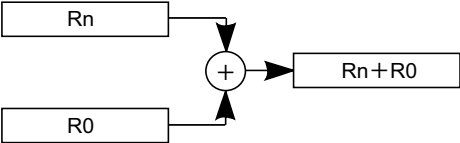
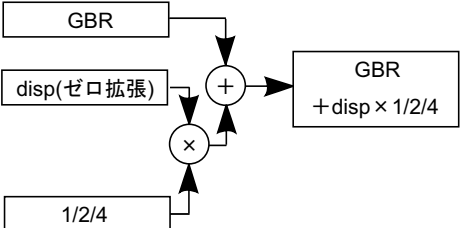
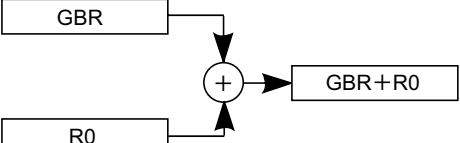
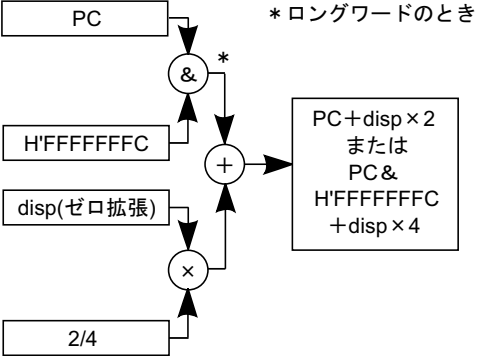
【注】 @ (disp , PC)でイミディエイトデータを参照します。

2.3.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメントレジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメントレジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイースメント付きレジスタ間接	@ (disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp × 2 ロングワード : Rn + disp × 4

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
インデックス付きレジスタ間接	@(R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレイメント付き GBR 間接	@(disp: 8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレイメント付き PC 相対	@(disp: 8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFFFFFC + disp \times 4$

2. CPU

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp: 8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> <pre> graph TD PC[PC] --> Add((+)) Disp[disp(符号拡張)] --> Add Two[2] --> Mult((x)) Disp --> Mult Mult --> Add Add --> Result[PC + disp * 2] </pre>	PC+ disp × 2
	disp: 12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> <pre> graph TD PC[PC] --> Add((+)) Disp[disp(符号拡張)] --> Add Two[2] --> Mult((x)) Disp --> Mult Mult --> Add Add --> Result[PC + disp * 2] </pre>	PC+ disp × 2
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p> <pre> graph TD PC[PC] --> Add((+)) Rn[Rn] --> Add Add --> Result[PC + Rn] </pre>	PC + Rn
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式	15 0 xxxx xxxx xxxx xxxx			NOP
n 形式	15 0 xxxx nnnn xxxx xxxx	コントロールレジスタ またはシステムレジスタ	nnnn: レジスタ直接	MOVTRn
		コントロールレジスタ またはシステムレジスタ	nnnn: レジスタ直接	STSMACH, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: プリデクリメント レジスタ間接	STC.LSR, @-Rn
m 形式	15 0 xxxx mmmm xxxx xxxx	mmmm: レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDCRm, SR
		mmmm: ポストインク リメントレジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L@Rm+, SR
		mmmm: レジスタ直接		JMP@Rm
		mmmm: Rmを用いた PC 相対		BRAFRm
nm 形式	15 0 xxxx nnnn mmmm xxxx	mmmm: レジスタ直接	nnnn: レジスタ直接	ADDRm, Rn
		mmmm: レジスタ直接	nnnn: レジスタ間接	MOV.LRm, @Rn
		mmmm: ポストインクリメント レジスタ間接 (積和演算) nnnn: * ポストインクリメント レジスタ間接 (積和演算)	MACH, MACL	MAC.W@Rm+, @Rn+
		mmmm: ポストインクリメント レジスタ間接	nnnn: レジスタ直接	MOV.L@Rm+, Rn
		mmmm: レジスタ直接	nnnn: プリデクリメント レジスタ間接	MOV.LRm, @-Rn
		mmmm: レジスタ直接	nnnn: インデックス付 きレジスタ間接	MOV.LRm, @(R0, Rn)

【注】 * 積和命令では nnnn は、ソースレジスタです。

2. CPU

命令形式		ソースオペランド	デスティネーション オペランド	命令の例				
md 形式	15 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>xxxx</td><td>xxxx</td><td>mmmm</td><td>dddd</td></tr></table> 0	xxxx	xxxx	mmmm	dddd	mddddddd: ディスプレイメント 付きレジスタ間接	R0 (レジスタ直接)	MOV.B@(disp, Rn), R0
xxxx	xxxx	mmmm	dddd					
nd4 形式	15 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>xxxx</td><td>xxxx</td><td>nnnn</td><td>dddd</td></tr></table> 0	xxxx	xxxx	nnnn	dddd	R0 (レジスタ直接)	nnnnddd: ディスプレイメント 付きレジスタ間接	MOV.BR0,@ (disp, Rn)
xxxx	xxxx	nnnn	dddd					
nmd 形式	15 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>xxxx</td><td>nnnn</td><td>mmmm</td><td>dddd</td></tr></table> 0	xxxx	nnnn	mmmm	dddd	mdddmm: レジスタ直接	nnnnddd: ディスプレイメント 付きレジスタ間接	MOV.LRm,@ (disp, Rn)
		xxxx	nnnn	mmmm	dddd			
mddddddd: ディスプレイメント 付きレジスタ間接	nnnn: レジスタ直接	MOV.L@ (disp, Rm), Rn						
d 形式	15 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>xxxx</td><td>xxxx</td><td>dddd</td><td>dddd</td></tr></table> 0	xxxx	xxxx	dddd	dddd	ddddddd: ディスプレイメント 付き GBR 間接	R0 (レジスタ直接)	MOV.L@(disp, GBR), R0
		xxxx	xxxx	dddd	dddd			
		R0 (レジスタ直接)	ddddddd: ディスプレイメント 付き GBR 間接	MOV.LR0, @ (disp, GBR)				
		ddddddd: ディスプレイメント 付き PC 相対	R0 (レジスタ直接)	MOVA@ (disp, PC), R0				
	ddddddd: PC 相対	BLabel						
d12 形式	15 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>xxxx</td><td>dddd</td><td>dddd</td><td>dddd</td></tr></table> 0	xxxx	dddd	dddd	dddd		ddddddddddd: PC 相対	BRAlabel (label=disp+pc)
xxxx	dddd	dddd	dddd					
nd8 形式	15 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>xxxx</td><td>nnnn</td><td>dddd</td><td>dddd</td></tr></table> 0	xxxx	nnnn	dddd	dddd	ddddddd: ディスプレイメント 付き PC 相対	nnnn: レジスタ直接	MOV.L@ (disp, PC), Rn
xxxx	nnnn	dddd	dddd					
i 形式	15 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>xxxx</td><td>xxxx</td><td>iiii</td><td>iiii</td></tr></table> 0	xxxx	xxxx	iiii	iiii	iiiiiii: イミディエイト	インデックス付き GBR 間接	AND.B#imm, @ (R0, GBR)
		xxxx	xxxx	iiii	iiii			
		iiiiiii: イミディエイト	R0 (レジスタ直接)	AND#imm, R0				
iiiiiii: イミディエイト		TRAPA#imm						
ni 形式	15 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>xxxx</td><td>nnnn</td><td>iiii</td><td>iiii</td></tr></table> 0	xxxx	nnnn	iiii	iiii	iiiiiii: イミディエイト	nnnn: レジスタ直接	ADD#imm, Rn
xxxx	nnnn	iiii	iiii					

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実効アドレスの転送	
		MOVT	Tビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2進加算	33
		ADDC	キャリ付き 2進加算	
		ADDV	オーバフロー付き 2進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2進減算	
		SUBC	ポロー付き 2進減算	
SUBV	アンダフロー付き 2進減算			
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	
シフト命令	10	ROTL	1 ビット左回転	14
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCR	T ビット付き 1 ビット右回転	

2. CPU

分類	命令の種類	オペコード	機能	命令数
シフト命令	10	SHAL	算術的 1 ビット左シフト	14
		SHAR	算術的 1 ビット右シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
		SHLRn	論理的 n ビット右シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T = 0 で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T = 1 で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	
システム制御命令	11	CLRT	T ビットのクリア	31
		CLRMAC	MAC レジスタのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
TRAPA	トラップ例外処理			
浮動小数点演算命令	15	FABS	浮動小数点数絶対値	22
		FADD	浮動小数点数加算	
		FCMP	浮動小数点数比較	
		FDIV	浮動小数点数除算	
		FLDI0	浮動小数点数ロードイミディエイト 0	
		FLDI1	浮動小数点数ロードイミディエイト 1	
		FLDS	システムレジスタ FPUL への浮動小数点数ロード	
		FLOAT	整数から浮動小数点数への変換	
		FMAC	浮動小数点数積和演算	
		FMOV	浮動小数点数転送	
		FMUL	浮動小数点数乗算	
		FNEG	浮動小数点数符号反転	
		FSTS	システムレジスタ FPUL からの浮動小数点数ストア	
		FSUB	浮動小数点数減算	
		FTRC	浮動小数点数の整数への切り捨て変換	

分類	命令の種類	オペコード	機能	命令数
FPU に関する CPU 命令	2	LDS	浮動小数点システムレジスタへのロード	8
		STS	浮動小数点システムレジスタからのストア	
	計 79			172

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行 ステート	Tビット
二モニックで表示しています。	MSB LSB の順で表示しています。	動作の概略を表示しています。	ノーウェイトのときの値です。 *1	命令実行後の、Tビットの値を表示しています。
記号の説明 OP.Sz SRC, DEST OP: オペコード Sz: サイズ SRC: ソース DEST: デスティネーション Rm: ソースレジスタ Rn: デスティネーションレジスタ imm: イミディエイトデータ disp: ディスプレースメント*2	記号の説明 mmmm: ソースレジスタ nnnn: デスティネーションレジスタ 0000: R0 0001: R1 1111: R15 iiii: イミディエイトデータ dddd: ディスプレースメント	記号の説明 、 : 転送方向 (xx): メモリオペランド M/Q/T: SR 内のフラグビット &: ビットごとの論理積 : ビットごとの論理和 ^: ビットごとの排他的論理和 ~: ビットごとの論理否定 <<n: 左 n ビットシフト >>n: 右 n ビットシフト		記号の説明 :変化 :しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング (×1、×2、×4) されます。

詳しくは「SH-2E プログラミングマニュアル」を参照してください。

2. CPU

(1) データ転送命令

命 令	命令コード	動 作	実行 ステート	T ビット
MOV #imm, Rn	1110nnnniiiiiii	#imm 符号拡張 Rn	1	
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2+PC) 符号拡張 Rn	1	
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4+PC) Rn	1	
MOV Rm, Rn	0110nnnnmmmm0011	Rm Rn	1	
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm (Rn)	1	
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm (Rn)	1	
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm (Rn)	1	
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) Rn	1	
MOV.B Rm, @- Rn	0010nnnnmmmm0100	Rn-1 Rn, Rm (Rn)	1	
MOV.W Rm, @- Rn	0010nnnnmmmm0101	Rn-2 Rn, Rm (Rn)	1	
MOV.L Rm, @- Rn	0010nnnnmmmm0110	Rn-4 Rn, Rm (Rn)	1	
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm	1	
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm	1	
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm	1	
MOV.B R0, @(disp, Rn)	1000000nnnndddd	R0 (disp+Rn)	1	
MOV.W R0, @(disp, Rn)	10000001nnnndddd	R0 (disp × 2+Rn)	1	
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmdddd	Rm (disp × 4+Rn)	1	
MOV.B @(disp, Rm), R0	10000100mmmmdddd	(disp+Rm) 符号拡張 R0	1	
MOV.W @(disp, Rm), R0	10000101mmmmdddd	(disp × 2+Rm) 符号拡張 R0	1	
MOV.L @(disp, Rm), Rn	0101nnnnmmmmdddd	(disp × 4+Rm) Rn	1	
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm (R0+Rn)	1	
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm (R0+Rn)	1	
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm (R0+Rn)	1	
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn	1	
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn	1	
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) Rn	1	
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0 (disp+GBR)	1	
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0 (disp × 2+GBR)	1	
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0 (disp × 4+GBR)	1	
MOV.B @(disp, GBR), R0	11000100ddddddd	(disp+GBR) 符号拡張 R0	1	
MOV.W @(disp, GBR), R0	11000101ddddddd	(disp × 2+GBR) 符号拡張 R0	1	
MOV.L @(disp, GBR), R0	11000110ddddddd	(disp × 4+GBR) R0	1	
MOVA @(disp, PC), R0	11000111ddddddd	disp × 4+PC R0	1	
MOVT Rn	0000nnnn00101001	T Rn	1	
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm 下位 2 バイトの上下バイト交換 Rn	1	
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	1	
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm: Rn の中央 32 ビット Rn	1	

(2) 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm Rn	1	
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm Rn	1	
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T Rn, キャリ T	1	キャリ
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm Rn, オーバフロー T	1	オーバ フロー
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1 T	1	比較結果
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1 T	1	比較結果
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 T	1	比較結果
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 T	1	比較結果
CMP/HL Rm, Rn	0011nnnnmmmm0110	無符号で Rn > Rm のとき 1 T	1	比較結果
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn > Rm のとき 1 T	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn > 0 のとき 1 T	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T	1	比較結果
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T	1	比較結果
DIV1 Rm, Rn	0011nnnnmmmm0100	1ステップ除算 (Rn ÷ Rm)	1	計算結果
DIVOS Rm, Rn	0010nnnnmmmm0111	Rn の MSB Q, Rm の MSB M, M^Q T	1	計算結果
DIVOU	0000000000011001	0 M/Q/T	1	0
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH, MACL 32 × 32 64 ビット	2~4 ^{*1}	
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH, MACL 32 × 32 64 ビット	2~4 ^{*1}	
DT Rn	0100nnnn00010000	Rn - 1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	1	比較結果
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 Rn	1	
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 Rn	1	
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 Rn	1	
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 Rn	1	
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 32 × 32 + 64 64 ビット	3/(2~4) ^{*1}	
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 16 × 16 + 64 64 ビット	3/(2) ^{*1}	
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm MACL 32 × 32 32 ビット	2~4 ^{*1}	
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MACL 16 × 16 32 ビット	1~3 ^{*1}	
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MACL 16 × 16 32 ビット	1~3 ^{*1}	
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm Rn	1	
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T Rn, ボロー T	1	ボロー
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm Rn	1	
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T Rn, ボロー T	1	ボロー
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm Rn, アンダフロー T	1	オーバフ ロー

【注】 *1 通常実行ステートを示します。()内の値は、前後の命令との競合関係による実行ステートです。

2. CPU

(3) 論理演算命令

命 令	命令コード	動 作	実行 ステート	T ビット
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm Rn	1	
AND #imm, R0	11001001iiiiiii	R0 & imm R0	1	
AND.B #imm, @(R0, GBR)	11001101iiiiiii	(R0+GBR) & imm (R0+GBR)	3	
NOT Rm, Rn	0110nnnnmmmm0111	~Rm Rn	1	
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm Rn	1	
OR #imm, R0	11001011iiiiiii	R0 imm R0	1	
OR.B #imm, @(R0, GBR)	11001111iiiiiii	(R0+GBR) imm (R0+GBR)	3	
TAS.B @Rn	0100nnnn00011011	(Rn) が 0 のとき 1 T, 1 MSB of (Rn)	4	テスト 結果
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が 0 のとき 1 T	1	テスト 結果
TST #imm, R0	11001000iiiiiii	R0 & imm, 結果が 0 のとき 1 T	1	テスト 結果
TST.B #imm, @(R0, GBR)	11001100iiiiiii	(R0+GBR) & imm, 結果が 0 のとき 1 T	3	テスト 結果
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	1	
XOR #imm, R0	11001010iiiiiii	R0 ^ imm R0	1	
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	(R0+GBR) ^ imm (R0+GBR)	3	

(4) シフト命令

命 令	命令コード	動 作	実行 ステート	T ビット
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB
SHLL2 Rn	0100nnnn00001000	Rn << 2 Rn	1	
SHLR2 Rn	0100nnnn00001001	Rn >> 2 Rn	1	
SHLL8 Rn	0100nnnn00011000	Rn << 8 Rn	1	
SHLR8 Rn	0100nnnn00011001	Rn >> 8 Rn	1	
SHLL16 Rn	0100nnnn00101000	Rn << 16 Rn	1	
SHLR16 Rn	0100nnnn00101001	Rn >> 16 Rn	1	

(5) 分岐命令

命 令	命令コード	動 作	実行 ステート	T ビット
BF label	10001011dddddddd	T=0 のとき disp × 2+PC PC, T=1 のとき nop	3/1*2	
BF/S label	10001111dddddddd	遅延分岐、T=0 のとき disp × 2+PC PC, T=1 のとき nop	2/1*2	
BT label	10001001dddddddd	T=1 のとき disp × 2+PC PC, T=0 のとき nop	3/1*2	
BT/S label	10001101dddddddd	遅延分岐、T=1 のとき disp × 2+PC PC, T=0 のとき nop	2/1*2	
BRA label	1010dddddddddddd	遅延分岐、disp × 2+PC PC	2	
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC PC	2	
BSR label	1011dddddddddddd	遅延分岐、PC PR, disp × 2+PC PC	2	
BSRF Rm	0000mmmm00000011	遅延分岐、PC PR, Rm+PC PC	2	
JMP @Rm	0100mmmm00101011	遅延分岐、Rm PC	2	
JSR @Rm	0100mmmm00001011	遅延分岐、PC PR, Rm PC	2	
RTS	0000000000001011	遅延分岐、PR PC	2	

【注】 *2 分岐しないときは 1 ステートになります。

2. CPU

(6) システム制御命令

命 令	命令コード	動 作	実行 ステート	T ビット
CLRT	0000000000001000	0 T	1	0
CLRMACH	0000000000101000	0 MACH, MACL	1	
LDC Rm, SR	0100mmmm00001110	Rm SR	1	LSB
LDC Rm, GBR	0100mmmm00011110	Rm GBR	1	
LDC Rm, VBR	0100mmmm00101110	Rm VBR	1	
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	3	LSB
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm	3	
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	3	
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	
LDS Rm, PR	0100mmmm00101010	Rm PR	1	
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	
NOP	0000000000001001	無操作	1	
RTE	000000000101011	遅延分岐、スタック領域 PC/SR	4	
SETT	000000000011000	1 T	1	1
SLEEP	000000000011011	スリープ	3*3	
STC SR, Rn	0000nnnn00000010	SR Rn	1	
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	
STC.L SR, @-Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	2	
STC.L GBR, @-Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	2	
STC.L VBR, @-Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	2	
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	
STS PR, Rn	0000nnnn00101010	PR Rn	1	
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、 (imm × 4 + VBR) PC	8	

【注】 *3 スリープ状態に遷移するまでのステート数です。

・命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

(7) 浮動小数点命令

命 令	命令コード	動 作	実行 ステート	T ビット
FABS FRn	1111nnnn01011101	FRn FRn	1	
FADD FRm, FRn	1111nnnnmmmm0000	FRn + FRm FRn	1	
FCMP/EQ FRm, FRn	1111nnnnmmmm0100	(FRn=FRm)? 1:0 T	1	比較結果
FCMP/GT FRm, FRn	1111nnnnmmmm0101	(FRn > FRm)? 1:0 T	1	比較結果
FDIV FRm, FRn	1111nnnnmmmm0011	FRn/FRm FRn	13	
FLDI0 FRn	1111nnnn10001101	0x00000000 FRn	1	
FLDI1 FRn	1111nnnn10011101	0x3F800000 FRn	1	
FLDS FRm, FPUL	1111mmmm00011101	FRm FPUL	1	
FLOAT FPUL,FRn	1111nnnn00101101	(float)FPUL FRn	1	
FMAC FR0,FRm,FRn	1111nnnnmmmm1110	FR0 × FRm+FRn FRn	1	
FMOV FRm, FRn	1111nnnnmmmm1100	FRm FRn	1	
FMOV.S @(R0, Rm), FRn	1111nnnnmmmm0110	(R0+Rm) FRn	1	
FMOV.S @Rm+, FRn	1111nnnnmmmm1001	(Rm) FRn, Rm+=4	1	
FMOV.S @Rm, FRn	1111nnnnmmmm1000	(Rm) FRn	1	
FMOV.S FRm, @(R0,Rn)	1111nnnnmmmm0111	FRm (R0+Rn)	1	
FMOV.S FRm, @-Rn	1111nnnnmmmm1011	Rn-=4,FRm (Rn)	1	
FMOV.S FRm, @Rn	1111nnnnmmmm1010	FRm (Rn)	1	
FMUL FRm, FRn	1111nnnnmmmm0010	FRn × FRm FRn	1	
FNEG FRn	1111nnnn01001101	-FRn FRn	1	
FSTS FPUL,FRn	1111nnnn00001101	FPUL FRn	1	
FSUB FRm, FRn	1111nnnnmmmm0001	FRn-FRm FRn	1	
FTRC FRm, FPUL	1111mmmm00111101	(long)FRm FPUL	1	

(8) FPU に関する CPU 命令

命 令	命令コード	動 作	実行 ステート	T ビット
LDS Rm,FPSCR	0100mmmm01101010	Rm FPSCR	1	
LDS Rm,FPUL	0100mmmm01011010	Rm FPUL	1	
LDS.L @Rm+, FPSCR	0100mmmm01100110	@Rm FPSCR, Rm+=4	1	
LDS.L @Rm+, FPUL	0100mmmm01010110	@Rm FPUL, Rm+=4	1	
STS FPSCR, Rn	0000nnnn01101010	FPSCR Rn	1	
STS FPUL, Rn	0000nnnn01011010	FPUL Rn	1	
STS.L FPSCR, @-Rn	0100nnnn01100010	Rn-=4,FPSCR @Rn	1	
STS.L FPUL, @-Rn	0100mmmm01010010	Rn-=4,FPUL @Rn	1	

(1) パワーオンリセット状態

CPU がリセットされている状態です。 $\overline{\text{HSTBY}}$ 端子をハイレベルにして $\overline{\text{RES}}$ 端子がローレベルになるとパワーオンリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、またはソフトウェアスタンバイモードになります。また、 $\overline{\text{RES}}$ 端子をローレベルにした状態で $\overline{\text{HSTBY}}$ 端子をローレベルにするとハードウェアスタンバイモードになります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

3. 浮動小数点演算ユニット (FPU)

3.1 概要

本 LSI は、浮動小数点演算ユニット (FPU) を内蔵しています。FPU のレジスタ構成を図 3.1 に示します。

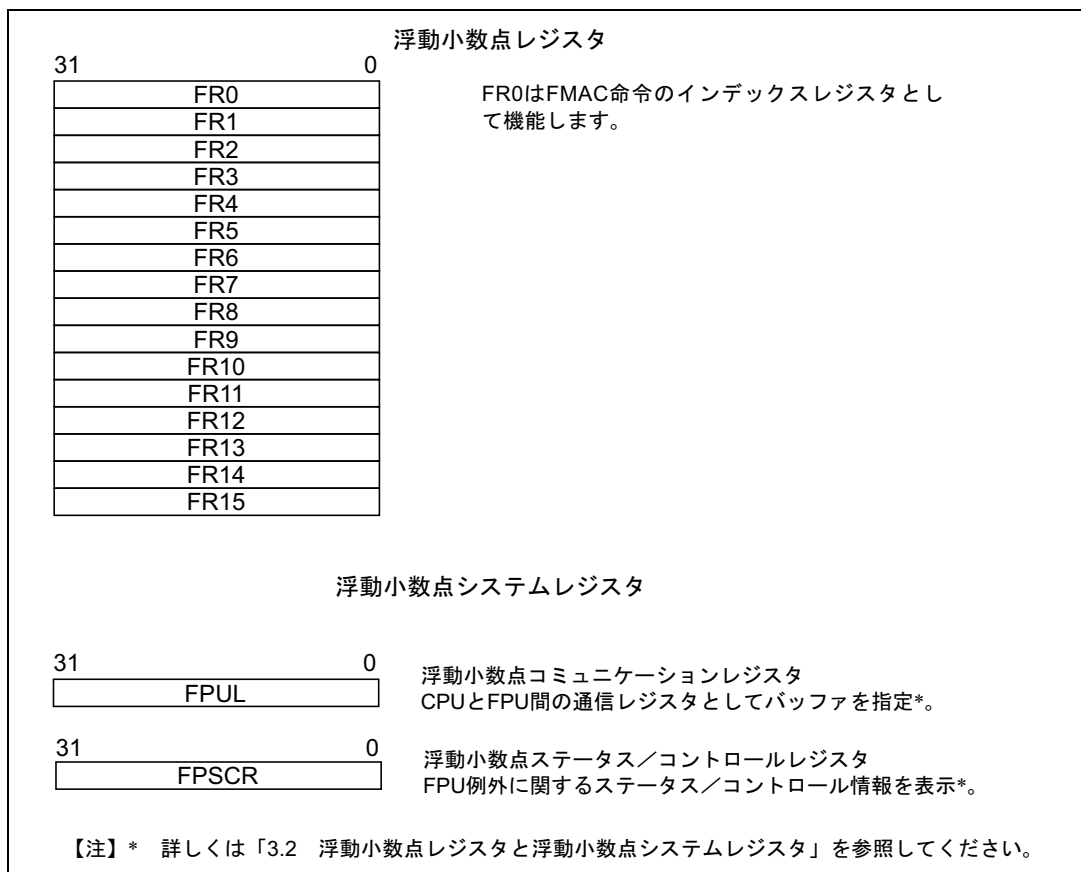


図 3.1 レジスタの構成の概要 (浮動小数点レジスタ、浮動小数点システムレジスタ)

3.2 浮動小数点レジスタと浮動小数点システムレジスタ

3.2.1 浮動小数点レジスタファイル

本 LSI は 16 本の 32 ビット単精度浮動小数点レジスタを持っています。レジスタ指定は常に 4 ビットで行います。アセンブリ言語では、浮動小数点レジスタは、FR0、FR1、FR2、…などのように指定します。FR0 は FMAC 命令のインデックスレジスタとして機能します。

3.2.2 浮動小数点コミュニケーションレジスタ (FPUL)

FPU と CPU 間で転送される情報は、整数ユニットの MACL、MACH に類似した 1 本の通信レジスタ FPUL を介して転送されます。整数形式と浮動小数点形式とは異なるため、SH7055SF ではこの通信レジスタを設けています。32 ビット FPUL はシステムレジスタで、CPU 側からは LDS、STS 命令によりアクセスされます。

3.2.3 浮動小数点ステータス/コントロールレジスタ (FPSCR)

本 LSI は、浮動小数点ステータス/コントロールレジスタ (FPSCR) を備えており、このレジスタは、LDS、STS 命令によりアクセスするシステムレジスタとして機能します (図 3.2)。FPSCR は、ユーザプログラムによる書き込みが可能です。FPSCR は、プロセスコンテキストの一部であり、コンテキスト切り替え時にはセーブする必要があります。また、プロシージャコール時にも、セーブする必要がある場合があります。

FPSCR は、32 ビットのレジスタで、丸めモード、漸近的なアンダフロー (非正規化数)、および FPU 例外に関する詳細情報の格納を制御します。FPU 自体を無効とするモジュールストップビットはモジュールスタンバイコントロールレジスタ (MSTCR) にあります。詳しくは「第 24 章 低消費電力状態」を参照してください。FPU はリセットスタート時は常にイネーブル状態です。

表 3.1 に起こりうる 5 種類の FPU 例外と対応するフラグを示します。さらに 6 番目のフラグとして FPU エラーがあり、これは浮動小数点ユニットが 5 種類以外のエラー状態を知らせるものです。

表 3.1 浮動小数点例外フラグ

フラグ	意味	SH7055SF でのサポート
E	FPU エラー	-
V	無効演算	
Z	ゼロによる除算	
O	オーバフロー (値は表現されない)	-
U	アンダフロー (値は表現されない)	-
I	不正確 (結果は表現されない)	-

要因フィールド中のビットは、そのとき実行中の命令の例外要因を示します。要因ビットは浮動小数点命令によって変更されます。これらのビットは、単一の命令の実行期間中に例外状態が発生するか否かにより、1 または 0 になります。

イネーブルフィールド中のビットは、イネーブルにする例外の種類を指定します。すなわち例外処理に流れを変更することを可能にします。イネーブルビットと対応する要因ビットが、そのとき実行中の命令よりセットされれば、例外が発生します。

フラグフィールド中のビットは一連の命令の実行中に発生したすべての例外を、累積して格納するのに使用されます。これらのビットは、いったん命令によってセットされると、その後の命令によってリセットされません。このフィールド中のビットは、FPSCR に対して明示的にストア動作を行うことによるのみ、リセットすることができます。

3. 浮動小数点演算ユニット (FPU)

31	19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																														
リザーブ	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="4" style="text-align: center;">要因</td> <td colspan="4" style="text-align: center;">イネーブル</td> <td colspan="4" style="text-align: center;">フラグ</td> </tr> <tr> <td style="text-align: center;">DN</td> <td style="text-align: center;">CE</td> <td style="text-align: center;">CV</td> <td style="text-align: center;">CZ</td> <td style="text-align: center;">CO</td> <td style="text-align: center;">CU</td> <td style="text-align: center;">CI</td> <td style="text-align: center;">EV</td> <td style="text-align: center;">EZ</td> <td style="text-align: center;">EO</td> <td style="text-align: center;">EU</td> <td style="text-align: center;">EI</td> <td style="text-align: center;">FV</td> <td style="text-align: center;">FZ</td> <td style="text-align: center;">FO</td> <td style="text-align: center;">FU</td> <td style="text-align: center;">FI</td> <td style="text-align: center;">RM</td> </tr> </table>	要因				イネーブル				フラグ				DN	CE	CV	CZ	CO	CU	CI	EV	EZ	EO	EU	EI	FV	FZ	FO	FU	FI	RM
要因				イネーブル				フラグ																							
DN	CE	CV	CZ	CO	CU	CI	EV	EZ	EO	EU	EI	FV	FZ	FO	FU	FI	RM														
DN :	<p>非正規化ビット</p> <p>SH7055SFでは常に1で非正規化数のソースまたはデスティネーションオペランドは0になります。このビットはLDS命令でも書き込めません。</p>																														
CV :	<p>無効演算要因ビット</p> <p>1のとき：現在の命令の実行中に無効演算例外が発生したことを示します。</p> <p>0のとき：無効演算例外が発生していないことを示します。</p>																														
CZ :	<p>0による除算要因ビット</p> <p>1のとき：現在の命令の実行中に0による除算例外が発生したことを示します。</p> <p>0のとき：0による除算例外が発生していないことを示します。</p>																														
EV :	<p>無効演算例外イネーブル</p> <p>1のとき：無効演算例外を発生許可</p> <p>0のとき：無効演算例外は発生せず、結果としてqNaNを返します。</p>																														
EZ :	<p>0による除算イネーブル</p> <p>1のとき：現在の命令の実行中に0による除算例外を発生許可</p> <p>0のとき：0による除算例外は発生せず、結果として現在の式の符号 (+もしくは-) を付けた無限値を返します。</p>																														
FV :	<p>無効演算例外フラグビット</p> <p>1のとき：命令の実行中に無効演算例外が発生したことを示します。</p> <p>0のとき：無効演算例外は発生していないことを示します。</p>																														
FZ :	<p>0による除算例外フラグビット</p> <p>1のとき：命令の実行中に0による除算例外が発生したことを示します。</p> <p>0のとき：0による除算例外が発生していないことを示します。</p>																														
RM :	<p>丸めモードビット</p> <p>SH7055SFでは、常に01でゼロ方向への丸めが (RZモード) 行われていることを意味します。このビットはLDS命令でも書き込めません。</p>																														
<p>SH7055SFでは、要因フィールドEOUI (CE、CO、CU、およびCI) イネーブルフィールドのOUI (EO、EU、およびEI)、またフラグフィールド中のOUI (FO、FU、およびFI) の各ビットとリザーブ領域は0にプリセットされており、LDS命令を使用しても変更できません。</p>																															

図 3.2 浮動小数点ステータス / コントロールレジスタ

3.3 浮動小数点フォーマット

3.3.1 浮動小数点数フォーマット

本 LSI は単精度浮動小数点演算をサポートしています。さらに IEEE754 小数点規格完全準拠です。浮動小数点数は、次の 3 つのフィールドにより構成されます。

- 符号部 s
- 指数部 e
- 仮数部 f

指数はゲタばき表現 (バイアス) されます。すなわち、

$$e = E + \text{bias}$$

の形式をとります。

バイアスされていない指数 E の範囲は、 $E_{\min} - 1$ から $E_{\max} + 1$ となります。2 つの値 ($E_{\min} - 1$ と $E_{\max} + 1$) は以下のように識別されます。 $E_{\min} - 1$ は、ゼロ (符号は正負の双方とも) と非正規化数を表し、 $E_{\max} + 1$ は、正負の無限大と非数 (NaN) を表します。単精度演算では、バイアス値は 127、 E_{\min} は -126、そして E_{\max} は 127 となります。

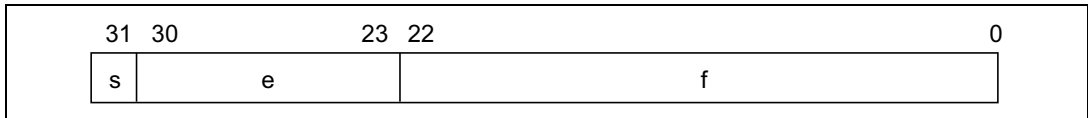


図 3.3 浮動小数点数のフォーマット

浮動小数点数の値 v は、次のように決定されます。

- $E = E_{\max} + 1$ かつ $f \neq 0$ ならば、符号 s に関係なく v は非数 (NaN)
- $E = E_{\max} + 1$ かつ $f = 0$ ならば、 $v = (-1)^s (\text{infinity})$ [正または負の無限大]
- $E_{\min} \leq E \leq E_{\max}$ ならば、 $v = (-1)^s 2^E (1.f)$ [正規化数]
- $E = E_{\min} - 1$ かつ $f \neq 0$ ならば、 $v = (-1)^s 2^{E_{\min}} (0.f)$ [非正規化数]
- $E = E_{\min} - 1$ かつ $f = 0$ ならば、 $v = (-1)^s 0$ [正または負のゼロ]

3.3.2 非数 (NaN)

単精度演算値における非数 (NaN) の表現では、ビット 22 ~ 0 のうち少なくとも 1 つのビットがセットされます。ビット 22 がセットされていれば、シグナリング NaN (sNaN) を示します。ビット 22 がリセットされていれば、その値はクワイアット NaN (qNaN) です。

非数 (NaN) のビットパターンを図 3.4 に示します。図中のビット N はシグナリング NaN ではセットされ、クワイアット NaN ではリセットされます。x は don't care のビットを示しています。ただし、ビット 22 ~ 0 のうち少なくとも 1 つのビットはセットされています。

非数 (NaN) では、符号ビットは、don't care となります。

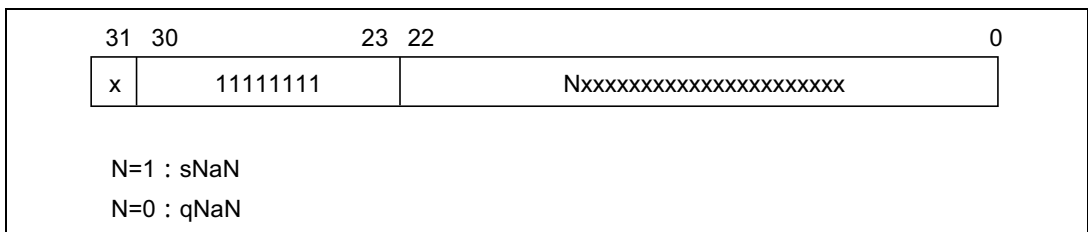


図 3.4 NaN ビットパターン

3. 浮動小数点演算ユニット (FPU)

浮動小数点値を生成する演算に非数 (sNaN) を入力した場合、

- FPSCR レジスタの EV ビットがリセットされると、演算結果 (出力) はクワイアット NaN (qNaN) となります。
- FPSCR レジスタの EV ビットがセットされると、無効演算例外が発生します。この場合は、演算のデスティネーション側のレジスタの内容は変更されません。

浮動小数点値を生成する演算にクワイアット NaN を入力し、かつシグナリング NaN がその演算に入力されていない場合、FPSCR レジスタの EV ビットのセットとは無関係に、出力は常にクワイアット NaN となります。そしてこのとき例外は発生しません。

非数 (NaN) が入力された場合の浮動小数点演算については、「SH-2E プログラミングマニュアル」を参照してください。

3.3.3 非正規化数の値

非正規化数の浮動小数点数の値は、バイアスされた指数が 0、仮数部がノン-ゼロでヒドゥンビットが 0 として表現されます。本 LSI の浮動小数点演算ユニットでは、非正規化数 (オペランドソースまたは演算結果) は、値を生成する浮動小数点演算 (コピー以外の演算) では画一的に 0 にフラッシュされます。

3.3.4 その他の特殊な値について

浮動小数点数の値の表現には、表 3.2 に示すように 7 種類の異なる種類の特殊な値があります。

表 3.2 IEEE754 規格で規定されている単精度における特殊な値の表現

値	表現
+0.0	0x00000000
-0.0	0x80000000
非正規化数	「3.3.3 非正規化数の値」で説明
+INF	0x7F800000
-INF	0xFF800000
qNaN (クワイアット NaN)	「3.3.2 非数 (NaN)」で説明
sNaN (シグナリング NaN)	「3.3.2 非数 (NaN)」で説明

3.4 浮動小数点例外モデル

3.4.1 イネーブル状態の例外

無効演算およびゼロによる除算例外の双方は、イネーブルビットをセットすることでイネーブル状態になります。FPU により発生する例外はすべて、同一の例外事象としてマッピングされています。個々の例外の意味は、システムレジスタ FPSCR を読み出し、そこに保持されている情報を解析して、ソフトウェアにより決定することになります。

3.4.2 ディスエーブル状態の例外

イネーブルビット EV がセットされていないければ、無効演算は結果として qNaN を生成します (FCMP と FTRC を除く)。イネーブルビット EZ がセットされていないければ、ゼロによる除算は現在の式の符号 (+もしくは-) を付けた無限値を返します。オーバフローは、フォーマットにおいて絶対値が表現可能な最大値となる有限数で、かつ正しい符号を持った数を生成します。アンダフローは、正しい符号を持ったゼロを生成します。もし演算結果が不正確である場合は、デスティネーションレジスタは、その不正確な結果を格納することになります。

3.4.3 FPU の例外事象とコード

すべての FPU 例外は、同一の一般例外事象すなわち FPU 例外として、H'00000034 番地にベクタテーブルアドレスオフセットを持っています。

3.4.4 メモリ内の浮動小数点データの配置

単精度浮動小数点データは、4 バイト境界のメモリ上に配置されます。すなわち、SH7055SF のロング整数と同一の形式で配置されます。

3.4.5 特殊オペランドを伴う算術演算

特殊オペランド (qNaN、sNaN、+INF、-INF、+0、-0) を伴う算術演算はすべて、IEEE754 規格の規定に従っています。詳しくは「SH-2E プログラミングマニュアル」を参照してください。

3.5 CPU との同期化

(1) CPU との同期化

浮動小数点演算命令と CPU 命令は、プログラム順序に従って順番に実行されていきますが、実行サイクルの相違により動作完了がプログラムの順番通りにならない場合があります。浮動小数点演算命令が FPU リソースのみをアクセスする場合は、CPU との同期化は必要ありませんし、FPU 命令に続く CPU 命令は、FPU 動作の完了以前に動作を終えることができます。それゆえ、最適化されたプログラムにおいては、Divide のような長い実行サイクルを要する浮動小数点演算命令の実行サイクルを見かけ上隠すことが可能です。一方、CPU リソースにアクセスする Compare のような浮動小数点演算命令は、プログラム順序を保証する同期化が必要になります。

(2) 同期化を必要とする浮動小数点命令

ロード、ストア、比較、および FPUL や FPSCR にアクセスする命令は、CPU リソースにアクセスするため、同期化が必要となります。ロード、ストア命令は、汎用レジスタを参照します。ポストインクリメントロードとプリデクリメントストアは、汎用レジスタの内容を変更します。比較は T ビットを変更します。FPUL や FPSCR にアクセスする命令は FPUL や FPSCR を参照するか、内容を変更します。これらの参照と変更は CPU と同期をとる必要があります。

3.6 使用上の注意

(1) FPU を使用 (FPU 命令もしくは FPU に関する CPU 命令を使用) する場合

1. SH7055FにおけるBT、BF命令の使用制限を撤廃しました。SH7055SFではBT、BF命令を使用できません。
2. TRAP命令、割り込み / 例外処理の分岐先を4n番地に配置してください。その際、4n番地と4n + 2番地にFPU命令もしくはFPUに関するCPU命令を配置しないでください。

(2) FPU を使用 (FPU 命令もしくは FPU に関する CPU 命令を使用) しない場合

パワーオンリセット後、DMAC もしくは AUD のバスサイクルが発生するまでに FPU をモジュールスタンバイ状態にしてください。

具体的には、モジュールスタンバイコントロールレジスタのビット 1 に 1 を書いてください。

この操作は、消費電流を低減させる上でも有効です。

FPU がモジュールスタンバイ状態になると、以後の FPU 命令および FPU に関する CPU 命令は不当命令として例外処理されます。

(3) FADD、FSUB 命令の制限事項

本 FPU において、特殊オペランドを伴う算術演算のうち、以下の 2 パターンにおいて IEEE754 規格の規定と符号が異なる値が生成されます。

1) FADD FRm, FRn FRm = -INF (0xFF800000)

FRn = MAX (0x7F7FFFFF)

このときIEEE754における期待値が-INF (0xFF800000) に対し、結果は+INF (0x7F800000) になります。

2) FSUB FRm, FRn FRm = +INF (0x7F800000)

FRn = MAX (0x7F7FFFFF)

このときIEEE754における期待値が-INF (0xFF800000) に対し、結果は+INF (0x7F800000) になります。

4. 動作モード

4.1 動作モードの種類と選択

本 LSI には、5 種類の動作モードがあります。動作モードは、MD2～MD0、FWE 端子で設定します。モード設定端子は、LSI の動作中には変化させないでください。また、表 4.1 にない組み合わせは設定しないでください。

PVcc1 の電源電圧は表 4.1 に示す範囲で使用してください。

表 4.1 動作モードの選択

動作モード 番号	端子設定				モード名	内蔵 ROM	エリア 0 のバス幅	PVcc1 電圧
	FWE	MD2	MD1	MD0				
モード 0	0	1	0	0	MCU 拡張モード	無効	8 ビット	3.3V ± 0.3V
モード 1	0	1	0	1			16 ビット	
モード 2	0	1	1	0		有効	BCR1 により設定	
モード 3	0	1	1	1	MCU シングルチップモード	有効		5.0V ± 0.5V
モード 4	1	1	0	0	ブートモード	有効	BCR1 により設定	3.3V ± 0.3V
モード 5	1	1	0	1				
モード 6	1	1	1	0	ユーザプログラムモード	有効	BCR1 により設定	3.3V ± 0.3V
モード 7	1	1	1	1				
モード 8	1	0	0	0	ユーザブートモード	有効	BCR1 により設定	3.3V ± 0.3V
モード 9	1	0	0	1				
	0/1	0	1	1	ライターモード			3.3V ± 0.3V

MCU 動作モードとして、MCU 拡張モードと MCU シングルチップモードがあります。

フラッシュメモリにプログラムを書き込むモードとして、オンボードプログラミングモードであるブートモード、ユーザブートモード、ユーザプログラムモード、および EPROM ライタ（本デバイスの書き込みをサポートしているライタ）により書き込むライターモードがあります。

なおライターモードについての詳しくは「第 22 章 ROM」を参照してください。

4. 動作モード

5. クロック発振器 (CPG)

5.1 概要

クロック発振器 (CPG) は、本 LSI 内部と外部デバイスにクロックパルスを供給します。本 LSI の CPG は、発振回路と PLL 通倍回路で構成されています。CPG でクロックを発生させる方法としては、水晶発振子を接続する方法と、外部クロックを入力する方法の 2 通りがあります。発振回路は入力クロックと同じ周波数で発振します。LSI の動作周波数は PLL 通倍回路により発振周波数の 4 倍となります。

CPG はソフトウェアスタンバイモード、およびハードウェアスタンバイモードで停止します。

5.1.1 ブロック図

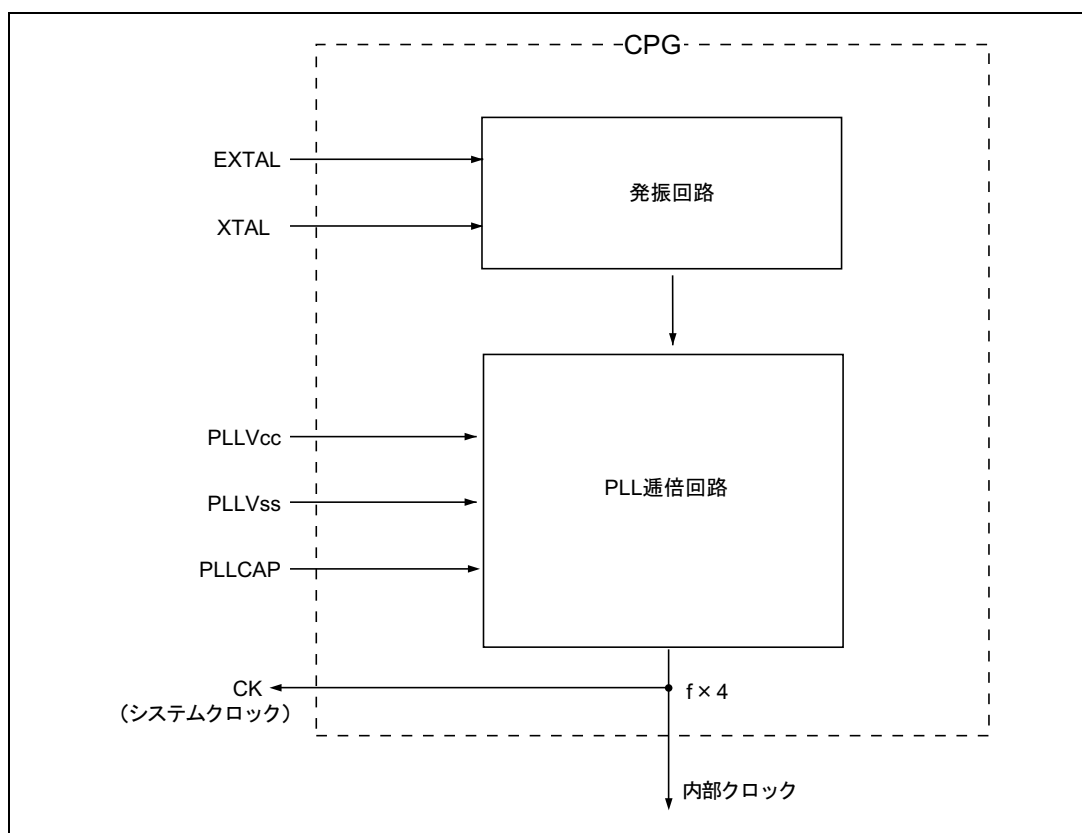


図 5.1 CPG のブロック図

5. クロック発振器 (CPG)

5.1.2 端子構成

クロック発振器に関連する端子を表 5.1 に示します。

表 5.1 端子構成

名称	略称	入出力	機能
外部クロック	EXTAL	入力	水晶発振子または外部クロックの入力
クリスタル	XTAL	入力	水晶発振子を接続
システムクロック	CK	出力	システムクロック出力
PLL 電源	PLL _{V_{CC}}	入力	PLL 通倍回路用電源
PLL グランド	PLL _{V_{SS}}	入力	PLL 通倍回路用グラウンド
PLL 容量	PLLCAP	入力	PLL 通倍回路発振用外付け容量端子

5.2 周波数範囲

入力周波数と動作周波数の範囲を表 5.2 に示します。

表 5.2 入力周波数と動作周波数

入力周波数範囲 (MHz)	PLL 通倍比	動作周波数範囲 (MHz)
5 ~ 10	× 4	20 ~ 40

【注】 水晶発振子および外部クロック入力

LSI の動作周波数は、内蔵 PLL 回路により、入力周波数 (EXTAL 端子) の 4 倍が内部クロック () として使用されます。システムクロック (CK 端子) は、内部クロック () と同じ周波数が出力されます。

また、一部の内蔵周辺モジュールは、内部クロック () を 2 分周した周辺クロック (P) で動作します。図 5.2 に各クロックの関係を示します。システムクロックは、入力クロックを PLL 通倍回路により通倍しているため、相方のクロックの位相は一意的に決まりません。

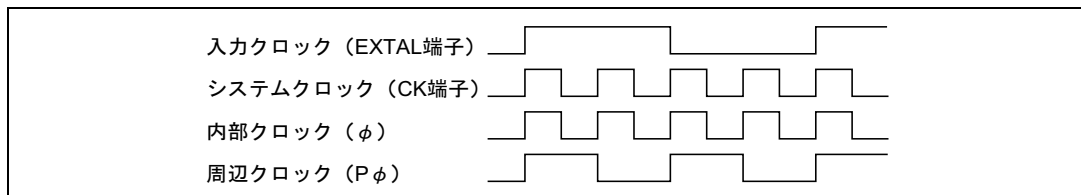


図 5.2 入力クロックとシステムクロック

5.3 クロックソース

クロックソースとして、水晶発振子と外部クロックのどちらかを選ぶことができます。

5.3.1 水晶発振子の接続方法

(1) 回路構成

図 5.3 に水晶発振子の接続方法を示します。ダンピング抵抗 R_d は表 5.3 に示すものを使用してください。水晶発振子は、AT カット基本波仕様のものを使ってください。また、図のように、負荷容量 (CL1、CL2) を必ず接続してください。

水晶発振子と内部の発振器によって生成されたクロックパルスは、PLL 通倍回路に送られ、そこで通倍された周波数を選択し、本 LSI の内部と外部デバイスに供給されます。

なお、水晶発振器と LSI の相性については、水晶発振器メーカーにご相談ください。

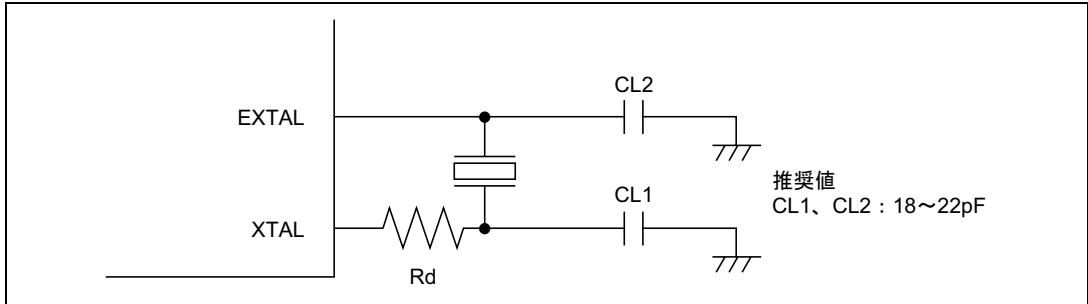


図 5.3 水晶発振器の接続例

表 5.3 ダンピング抵抗値 (推奨値)

周波数 (MHz)	5	10
Rd ()	500	0

(2) 水晶発振器

図 5.4 に水晶発振器の等価回路を示します。水晶発振器は、表 5.4 に示す特性のものを使ってください。

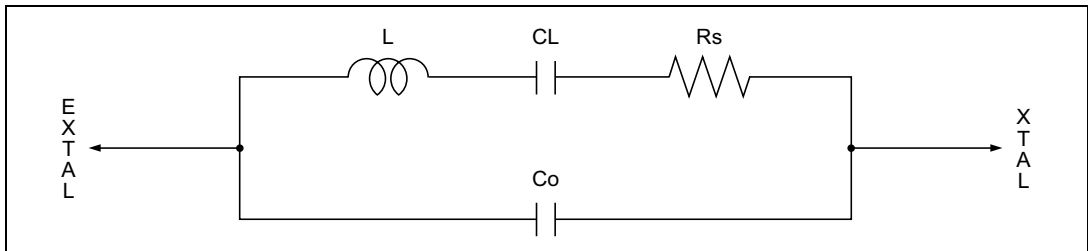


図 5.4 水晶発振器の等価回路

表 5.4 水晶発振器の特性 (推奨値)

パラメータ	周波数 (MHz)	
	5	10
Rs max ()	100	50
Co max (pF)	7	

なお水晶発振器と LSI の相性については、水晶発振器メーカーにご相談ください。

5.3.2 外部クロックの入力方法

外部クロック入力の接続例を図 5.5 に示します。

XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時や、スタンバイ解除時は、発振安定時間以上待つようにしてください。

5. クロック発振器 (CPG)

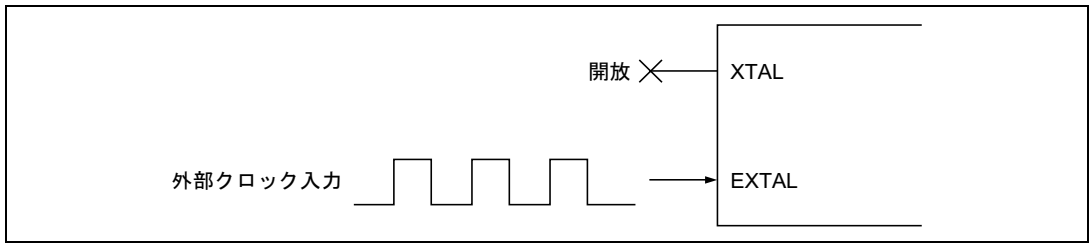


図 5.5 外部クロックの入力方法

5.4 使用上の注意

(1) ボード設計上の注意

水晶発振子と負荷容量は、できるだけ EXTAL、XTAL 端子の近くに置いてください。また、EXTAL、XTAL 端子の信号線に他の信号線を交差させないでください (図 5.6)。誘導のために正しい発振ができなくなる可能性があります。

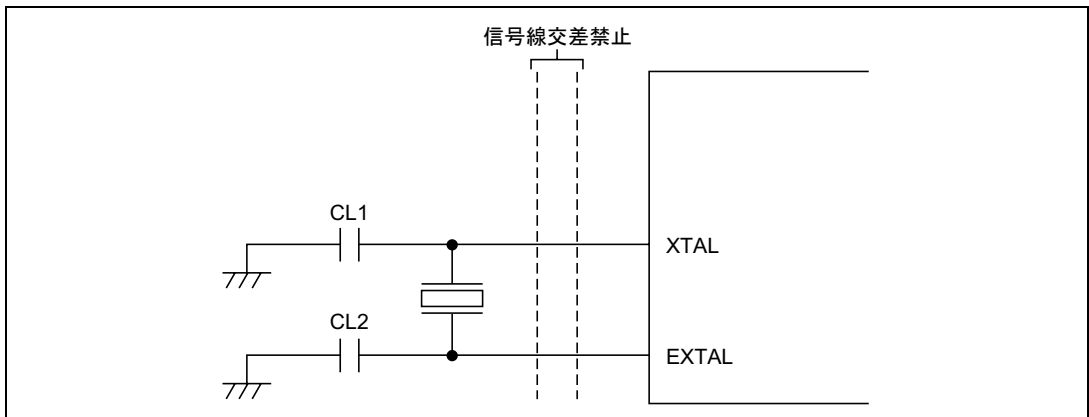


図 5.6 ボード設計上の注意

(2) PLL 発振用電源

PLL V_{CC} と PLL V_{SS} は、その他の V_{CC} 、 V_{SS} とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ C_{PB} および C_B を必ず挿入してください。

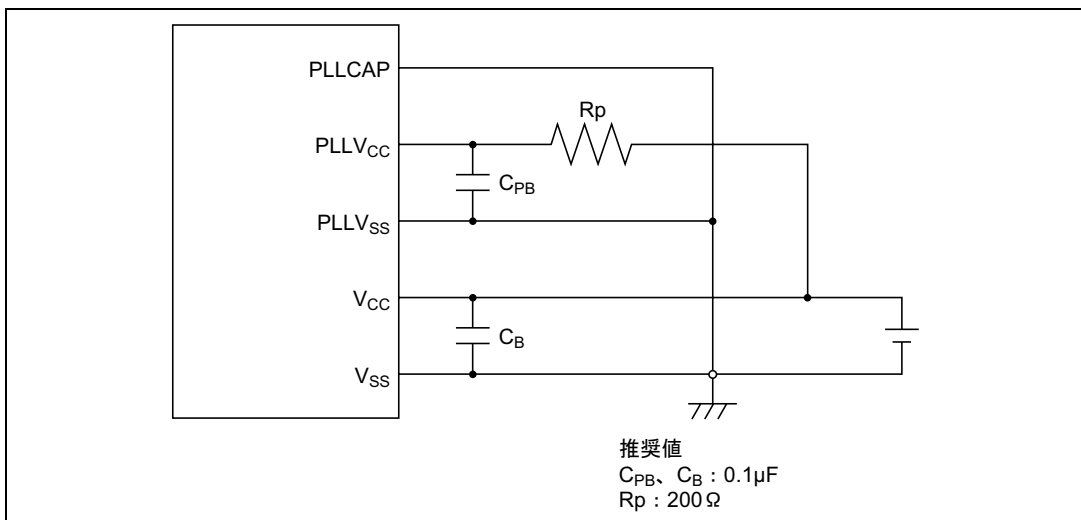


図 5.7 PLL 用電源接続時の注意

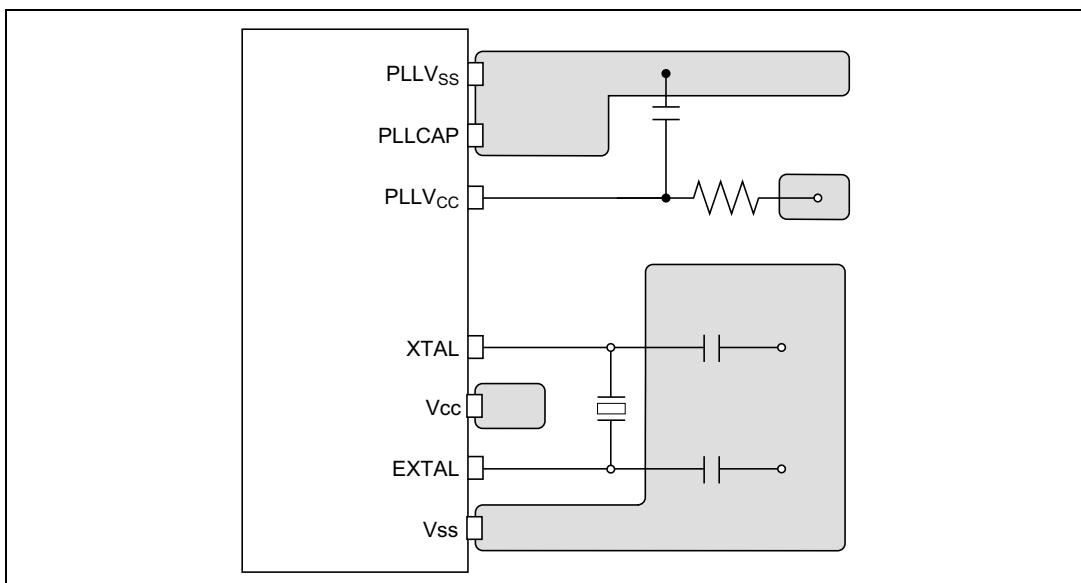


図 5.8 ボード設計の具体例



6. 例外処理

6.1 概要

6.1.1 例外処理の種類と優先順位

例外処理は、表 6.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 6.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 6.1 例外要因の種類と優先順位

例外処理		優先順位	
リセット	パワーオンリセット	高   低	
	マニュアルリセット		
アドレスエラー	CPU アドレスエラー		
	DMAC アドレスエラー		
命令	FPU 例外		
割り込み	NMI		
	ユーザブレーク		
	H-UDI		
	IRQ		
	内蔵周辺モジュール		ダイレクトメモリアクセスコントローラ (DMAC)
			アドバンスドタイマユニット-II (ATU-II)
			コンペアマッチタイマ 0 (CMT0)
			A/D 変換器チャンネル 0 (A/D0)
			コンペアマッチタイマ 1 (CMT1)
			A/D 変換器チャンネル 1 (A/D1)
			A/D 変換器チャンネル 2 (A/D2)
		シリアルコミュニケーションインタフェース (SCI)	
		コントローラエリアネットワーク (HCAN0)	
		ウォッチドッグタイマ (WDT)	
コントローラエリアネットワーク (HCAN1)			
命令	トラップ命令 (TRAPA 命令)		
	一般不当命令 (未定義コード)		
	スロット不当命令 (遅延分岐命令*1直後に配置された未定義コードまたは PC を書き換える命令*2)		

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA

6.1.2 例外処理の動作

各例外要因は表 6.2 に示すタイミングで検出され、処理が開始されます。

表 6.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES 端子のローレベルからハイレベルへの変化、または WDT のオーバフローで開始される
	マニュアルリセット	WDT のオーバフローで開始される
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了
割り込み		後開始される
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令（遅延スロット）以外にある未定義コードがデコードされると開始される
	スロット不当命令	遅延分岐命令（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される
	浮動小数点演算命令	浮動小数点演算命令の無効演算例外（IEEE754 規定）、またはゼロによる除算例外により開始される。

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ（PC）とスタックポインタ（SP）の初期値を例外処理ベクタテーブル（PC、SP をそれぞれ、パワーオンリセット時に H'00000000 番地、H'00000004 番地、マニュアルリセット時に H'00000008 番地、H'0000000C 番地）から取り出します。例外処理ベクタテーブルについては、「6.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ（VBR）を H'00000000 に、ステータスレジスタ（SR）の割り込みマスクビット（I3～I0）を HF（1111）にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット（I3～I0）に書き込みます。アドレスエラー、命令による例外処理の場合、I3～I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

6.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 6.3 に、ベクタテーブルアドレスの算出法を表 6.4 に示します。

表 6.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
		9	H'00000024 ~ H'00000027
CPU アドレスエラー		9	H'00000024 ~ H'00000027
DMAC アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
FPU 例外		13	H'00000034 ~ H'00000037
H-UDI		14	H'00000038 ~ H'0000003B
(システム予約)		16	H'0000003C ~ H'00000043
		:	:
		31	H'0000007C ~ H'0000007F
トラップ命令 (ユーザベクタ)		32	H'00000080 ~ H'00000083
		:	:
		63	H'000000FC ~ H'000000FF
割り込み	IRQ0	64	H'00000100 ~ H'00000103
	IRQ1	65	H'00000104 ~ H'00000107
	IRQ2	66	H'00000108 ~ H'0000010B
	IRQ3	67	H'0000010C ~ H'0000010F
	IRQ4	68	H'00000110 ~ H'00000113
	IRQ5	69	H'00000114 ~ H'00000117
	IRQ6	70	H'00000118 ~ H'0000011B
	IRQ7	71	H'0000011C ~ H'0000011F
内蔵周辺モジュール*		72	H'00000120 ~ H'00000124
		:	:
		255	H'000003FC ~ H'000003FF

【注】 * 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは「第 7 章 割り込みコントローラ (INTC)」の「表 7.3 割り込み例外ベクタと優先順位」を参照してください。

表 6.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 VBR: ベクタベースレジスタ
ベクタテーブルアドレスオフセット: 表 6.3 を参照
ベクタ番号: 表 6.3 を参照

6.2 リセット

6.2.1 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 6.5 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。また、パワーオンリセットで内蔵周辺モジュールのレジスタが初期化されるのに対し、マニュアルリセットでは初期化されません。

表 6.5 例外要因検出と例外処理開始タイミング

種類	リセット状態への遷移条件		内部状態		
	RES	WDT オーバフロー	CPU/MULT/ FPU/INTC	内蔵周辺 モジュール	PFC、 IO ポート
パワーオンリセット	ロー	-	初期化	初期化	初期化
	ハイ	パワーオン	初期化	初期化	初期化しない
マニュアルリセット	ハイ	マニュアル	初期化	初期化しない	初期化しない

6.2.2 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、電源投入時またはスタンバイ時（クロックが停止している場合）は発振安定時間の間、クロックが動作している場合は最低 20tcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 B. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

- (a) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (b) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (c) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) を HF (1111) にセットします。
- (d) 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) WDT によるパワーオンリセット

WDT のウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDT の TCNT がオーバフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号ではピンファンクションコントローラ (PFC) のレジスタおよび、I/O ポートのレジスタは初期化されません（外部からのパワーオンリセットのみで初期化されます）。

また、 $\overline{\text{RES}}$ 端子からの入力信号によるリセットと WDT のオーバフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。WDT によるパワーオンリセット処理が開始されると CPU は次のように動作します。

- (a) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (b) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (c) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を HF (1111) にセットします。
- (d) 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

6.2.3 マニュアルリセット

WDT のウォッチドッグタイマモードでマニュアルリセットが発生する設定にし WDT の TCNT がオーバーフローするとマニュアルリセット状態になります。

WDT によるマニュアルリセット処理が開始されると、CPU は次のように動作します。

- (1) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (2) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (3) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を HF (1111) にセットします。
- (4) 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

マニュアルリセット発生時、バスサイクルは保持されます。バス権解放中や DMAC バースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。ただし、マニュアルリセットが発生してからバスサイクルの終了までの期間が内部マニュアルリセット期間の 512 サイクル以上であると、内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

6.3 アドレスエラー

6.3.1 アドレスエラー発生要因

アドレスエラーは、表 6.6 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 6.6 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間*から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU または DMAC	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし（正常）
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	アドレスエラー発生
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生

【注】 * 内蔵周辺モジュール空間については、「第 9 章 バスステートコントローラ（BSC）」を参照してください。

6.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ（SR）をスタックに退避します。
- (2) プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。
- (3) 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

6.4 割り込み

6.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 6.7 に示すように NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールがあります。

表 6.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ	1
H-UDI	ハイパフォーマンスユーザデバッグインタフェース	1
IRQ	IRQ0 ~ IRQ7 端子 (外部からの入力)	8
内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ	4
	アドバンスドタイマユニット	75
	コンペアマッチタイマ	2
	A/D 変換器	3
	シリアルコミュニケーションインタフェース	20
	ウォッチドッグタイマ	1
	コントローラエリアネットワーク	8

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 7 章 割り込みコントローラ (INTC)」の「表 7.3 割り込み例外ベクタと優先順位」を参照してください。

6.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合 (多重割り込み)、割り込みコントローラ (INTC) によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0 ~ 16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク割り込み、および H-UDI の優先レベルは 15 です。IRQ 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC の割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPRL) で自由に設定することができます (表 6.8)。設定できる優先レベルは 0 ~ 15 で、優先レベル 16 は設定できません。IPRA ~ IPRL については「7.3.1 割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPRL)」を参照してください。

表 6.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブレイク	15	優先レベル固定
H-UDI	15	優先レベル固定
IRQ	0 ~ 15	割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPRL) により設定
内蔵周辺モジュール		

6.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ（INTC）によって優先順位が判定されます。NMI は常に受け付けられ、それ以外の割り込みは、その優先レベルがステータスレジスタ（SR）の割り込みマスクビット（I3～I0）に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みを受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は SR とプログラムカウンタ（PC）をスタックに退避し、受け付けた割り込みの優先レベル値を SR の I3～I0 ビットに書き込みます。ただし、NMI の場合優先レベルは 16、I3～I0 ビットに設定される値は HF（レベル 15）です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理については「7.4 動作説明」を参照してください。

6.5 命令による例外

6.5.1 命令による例外の種類

例外処理を起動する命令には、表 6.9 に示すように、トラップ命令、スロット不当命令、一般不当命令、浮動小数点演算命令があります。

表 6.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コードまたは PC を書き換える命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA
一般不当命令	遅延スロット以外にある未定義コード	
浮動小数点演算命令	IEEE754 規格で定義された無効演算例外またはゼロによる除算例外を引き起こす命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FNEG、FABS、FTRC

6.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ（SR）をスタックに退避します。
- (2) プログラムカウンタ（PC）をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、TRAPA 命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令が PC を書き換える命令のときも、この PC を書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

- (1) SRをスタックに退避します。
- (2) PCをスタックに退避します。退避するPCの値は、未定義コードまたはPCを書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.5.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

また、FPU をモジュールストップビットにより停止状態にしたときは、浮動小数点命令および FPU に関する CPU 命令は不当命令として扱われます。

6.5.5 浮動小数点演算命令

FPSCR レジスタのイネーブルフィールド中の V ビットまたは Z ビットがセットされているとき、FPU 例外が発生します。これは浮動小数点演算命令が IEEE754 規格で定義された無効演算例外またはゼロによる除算例外を引き起こしたことを示します。例外要因となる浮動小数点演算命令には以下のものがあります。

FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FNEG、FABS、FTRC

該当するイネーブルビットがセットされているときのみ、FPU 例外は発生します。FPU が例外要因を検出すると、FPU の動作は中断されて CPU に例外発生を通知します。CPU は例外処理を開始すると次のように動作します。SR の内容をスタックに退避します。PC をスタックに退避します。退避する PC の値は最後に実行した命令の次の命令の先頭アドレスです。VBR+H'00000034 に分岐します。

FPSCR の例外フラグビットは、FPU 例外が受け付けられたかどうかにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCR の要因ビットは FPU 命令が実行されるごとに変化します。

IEEE754 規格で定義された他の例外、すなわち、アンダフロー、オーバフロー、不正確例外については、FPU により検知されていますが、どのような例外も発生しません。また、FLOAT などのデータ転送に関する浮動小数点命令では、FPU 例外は発生しません。

6.6 例外処理が受け付けられない場合

FPU 例外、アドレスエラーおよび割り込みは、表 6.10 に示すように、遅延分岐命令、FPU 命令や割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 6.10 遅延分岐命令、割り込み禁止命令の直後の例外要因発生

発生した時点	例外要因		
	バスエラー	割り込み	FPU 例外
遅延分岐命令*1の直後	×	×	×
割り込み禁止命令*2の直後	×*4	×	
FPU 命令の直後*3	×	×	

【注】 : 受け付けられる

× : 受け付けられない

*1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFL

*2 割り込み禁止命令 : LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

*3 FPU 命令 : 「2.4.1 分類順命令セット」の「(7)浮動小数点命令」および「(8)FPU に関する CPU 命令」

*4 SH2 ではバスエラーは受け付けられます。

6.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 6.11 に示すようになります。

表 6.11 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレスエラー		割り込み	
トラップ命令		スロット不当命令	
一般不当命令		FPU 例外	

6.8 使用上の注意

6.8.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.8.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けなくなっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ -4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6.8.4 SCO 処理時、割り込み処理タイミングのズレの発生

SCO*処理中に割り込みの処理が発生した場合、SCO 処理終了後、割り込み処理を開始するため、割り込み発生タイミングが、異なる場合があります。SCO 処理との競合についての詳細は「22.8.2(1) 内蔵プログラムのダウンロード実行」を参照してください。

【注】* フラッシュメモリの書き換え / 消去プログラムを、内蔵 RAM 上にダウンロードする処理です。

6. 例外处理

7. 割り込みコントローラ (INTC)

7.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、これによりユーザが設定した優先順位に従って、割り込み要求を処理させることができます。

7.1.1 特長

INTC には、次のような特長があります。

割り込み優先順位を16レベル設定可能

12本の割り込み優先レベル設定レジスタにより、IRQ割り込みと内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。

NMIノイズキャンセラ機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サーブスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

割り込みが発生したことを外部へ出力可能 (IRQOUT端子)

例えば、本LSIがバス権を解放しているときに、内蔵周辺モジュール割り込みが発生したことを外部バスマスタに知らせ、バス権を要求することができます。

7. 割り込みコントローラ (INTC)

7.1.2 ブロック図

INTC のブロック図を図 7.1 に示します。

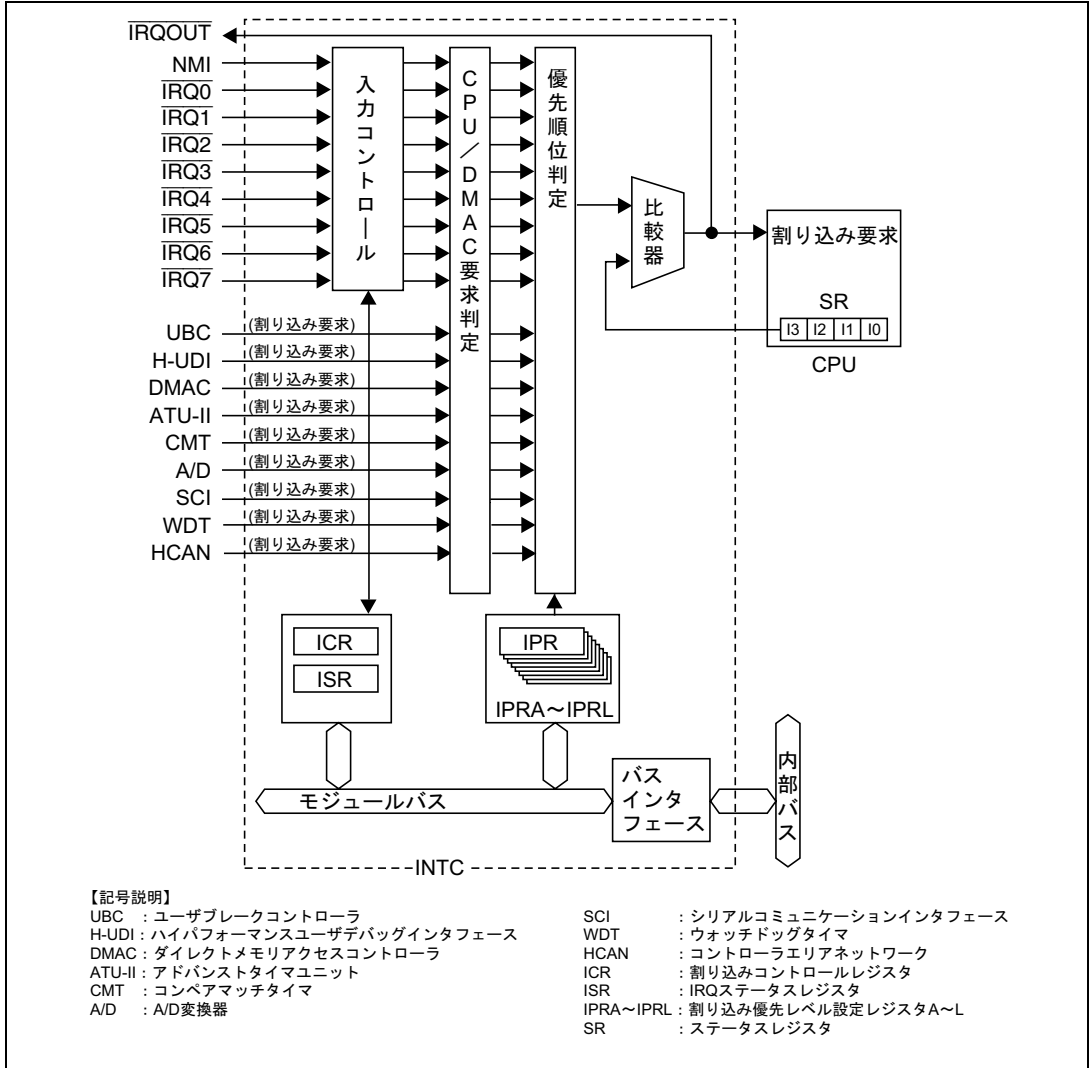


図 7.1 INTC のブロック図

7.1.3 端子構成

INTC の端子を表 7.1 に示します。

表 7.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$	入力	マスク可能な割り込み要求信号を入力
割り込み要求出力端子	IRQOUT	出力	割り込み要因の発生を知らせる信号を出力

7.1.4 レジスタ構成

INTC には、表 7.2 に示すように 14 本のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 7.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセス サイズ
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'0000	H'FFFF ED00	8、16、32
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'0000	H'FFFF ED02	8、16、32
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'0000	H'FFFF ED04	8、16、32
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'0000	H'FFFF ED06	8、16、32
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'0000	H'FFFF ED08	8、16、32
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'0000	H'FFFF ED0A	8、16、32
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'0000	H'FFFF ED0C	8、16、32
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'0000	H'FFFF ED0E	8、16、32
割り込み優先レベル設定レジスタ I	IPRI	R/W	H'0000	H'FFFF ED10	8、16、32
割り込み優先レベル設定レジスタ J	IPRJ	R/W	H'0000	H'FFFF ED12	8、16、32
割り込み優先レベル設定レジスタ K	IPRK	R/W	H'0000	H'FFFF ED14	8、16、32
割り込み優先レベル設定レジスタ L	IPRL	R/W	H'0000	H'FFFF ED16	8、16、32
割り込みコントロールレジスタ	ICR	R/W	*1	H'FFFF ED18	8、16、32
IRQ ステータスレジスタ	ISR	R/(W)*2	H'0000	H'FFFF ED1A	8、16、32

【注】 アクセスサイクルはバイトアクセス、ワードアクセス時には 3 サイクル、ロングワードアクセス時には 6 サイクルになります。

*1 NMI 端子がハイレベルのとき : H'8000、ローレベルのとき : H'0000

*2 フラグをクリアするための 0 ライトのみ可能です

7.2 割り込み要因

割り込み要因は、NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールの5つに分類されます。各割り込みの優先順位は優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

7.2.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI端子からの入力エッジで検出され、検出エッジは、割り込みコントロールレジスタ(ICR)のNMIエッジセレクトビット(NMIE)の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は15に設定されます。

7.2.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ(UBC)で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブレイク割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブレイク例外処理によって、SRのI3~I0は15に設定されます。ユーザブレイクについては、「8. ユーザブレイクコントローラ(UBC)」を参照してください。

7.2.3 H-UDI 割り込み

シリアルデバッグインタフェース(H-UDI)割り込みは、優先順位レベル15を持ち、H-UDI割り込みのインストラクションをシリアル入力すると発生します。H-UDI割り込み要求はエッジで検出され、受け付けられるまで保持されます。H-UDI例外処理により、SRのI3~I0は15に設定されます。H-UDI割り込みについては、「第18章 ハイパフォーマンスユーザデバッグインタフェース(H-UDI)」を参照してください。

7.2.4 IRQ 割り込み

IRQ 割り込みは $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ7}}$ 端子からの入力による割り込みです。ICRのIRQセンスセレクトビット(IRQ0S~IRQ7S)の設定によって、端子ごとにローレベル検出あるいは立ち下がりエッジ検出を選択できます。また、割り込み優先レベル設定レジスタA~B(IPRA~IPRB)によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ端子がローレベルの期間INTCに割り込み要求信号が送られます。IRQ端子がハイレベルになると、割り込み要求信号はINTCに送られません。IRQステータスレジスタ(ISR)のIRQフラグ(IRQ0F~IRQ7F)をリードすることにより割り込み要求のレベルを確認できます。

IRQ 割り込みを立ち下がりエッジ検出に設定している場合、IRQ端子のハイレベルからローレベルの変化により割り込み要求が検出され、INTCに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、ISRのIRQ0F~IRQ7FをリードすることによりIRQ 割り込み要求が検出されているかどうかを確認でき、1リード後に0をライトすることによりIRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SRのI3~I0は、受け付けたIRQ 割り込みの優先レベル値に設定されます。

7.2.5 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ (DMAC)
- アドバンスドタイマユニット-II (ATU-II)

- コンペアマッチタイマ (CMT)
- A/D 変換器 (A/D)
- シリアルコミュニケーションインタフェース (SCI)
- ウォッチドッグタイマ (WDT)
- コントローラエリアネットワーク (HCAN)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ C~L (IPRC~IPRL) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3~I0 は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

7.2.6 割り込み例外処理ベクタと優先順位

表 7.3 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 6 章 例外処理」の「表 6.4 例外処理ベクタテーブルアドレスの算出法」を参照してください。

IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ A~L (IPRA~IPRL) によって、端子またはモジュールごとに、優先レベル 0~15 の範囲で任意に設定できます。ただし、IPRC~IPRL に対応する割り込み要因の優先順位は、表 7.3 の「IPR 設定単位内の優先順位」に示すように定められており、変更できません。IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 7.3 に示す「デフォルト優先順位」に従って処理されます。

7. 割り込みコントローラ (INTC)

割り込み要因番号			割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
ATU2	ATU22	IMI2E/CMI2E	112	H'000001C0 ~ H'000001C3	0 ~ 15 (0)	IPRE(7 ~ 4)	↑ ↓	1 2 3 4
		IMI2F/CMI2F	113	H'000001C4 ~ H'000001C7				
		IMI2G/ CMI2G	114	H'000001C8 ~ H'000001CB				
		IMI2H/ CMI2H	115	H'000001C ~ H'000001CF C				
	ATU23	OVI2A / OVI2B	116	H'000001D0 ~ H'000001D3	0 ~ 15 (0)	IPRE(3 ~ 0)		
ATU3	ATU31	IMI3A	120	H'000001E0 ~ H'000001E3	0 ~ 15 (0)	IPRF (15 ~ 12)	↑ ↓	1 2 3 4
		IMI3B	121	H'000001E4 ~ H'000001E7				
		IMI3C	122	H'000001E8 ~ H'000001EB				
		IMI3D	123	H'000001EC ~ H'000001EF				
	ATU32	OVI3	124	H'000001F0 ~ H'000001F3	0 ~ 15 (0)	IPRF(11 ~ 8)		
ATU4	ATU41	IMI4A	128	H'00000200 ~ H'00000203	0 ~ 15 (0)	IPRF(7 ~ 4)	↑ ↓	1 2 3 4
		IMI4B	129	H'00000204 ~ H'00000207				
		IMI4C	130	H'00000208 ~ H'0000020B				
		IMI4D	131	H'0000020C ~ H'0000020F				
	ATU42	OVI4	132	H'00000210 ~ H'00000213	0 ~ 15 (0)	IPRF(3 ~ 0)		
ATU5	ATU51	IMI5A	136	H'00000220 ~ H'00000223	0 ~ 15 (0)	IPRG (15 ~ 12)	↑ ↓	1 2 3 4
		IMI5B	137	H'00000224 ~ H'00000227				
		IMI5C	138	H'00000228 ~ H'0000022B				
		IMI5D	139	H'0000022C ~ H'0000022F				
	ATU52	OVI5	140	H'00000230 ~ H'00000233	0 ~ 15(0)	IPRG(11 ~ 8)		
ATU6	ATU7	CMI6A	144	H'00000240 ~ H'00000243	0 ~ 15 (0)	IPRG(7 ~ 4)	↑ ↓	1 2 3 4
		CMI6B	145	H'00000244 ~ H'00000247				
		CMI6C	146	H'00000248 ~ H'0000024B				
		CMI6D	147	H'0000024C ~ H'0000024F				
		CMI7A	148	H'00000250 ~ H'00000253	0 ~ 15 (0)	IPRG(3 ~ 0)	↑ ↓	1 2 3 4
		CMI7B	149	H'00000254 ~ H'00000257				
		CMI7C	150	H'00000258 ~ H'0000025B				
		CMI7D	151	H'0000025C ~ H'0000025F				
ATU8	ATU81	OSI8A	152	H'00000260 ~ H'00000263	0 ~ 15 (0)	IPRH (15 ~ 12)	↑ ↓	1 2 3 4
		OSI8B	153	H'00000264 ~ H'00000267				
		OSI8C	154	H'00000268 ~ H'0000026B				
		OSI8D	155	H'0000026C ~ H'0000026F				
	ATU82	OSI8E	156	H'00000270 ~ H'00000273	0 ~ 15 (0)	IPRH(11 ~ 8)	↑ ↓	1 2 3 4
		OSI8F	157	H'00000274 ~ H'00000277				
		OSI8G	158	H'00000278 ~ H'0000027B				
		OSI8H	159	H'0000027C ~ H'0000027F				
	ATU83	OSI8I	160	H'00000280 ~ H'00000283	0 ~ 15(0)	IPRH(7 ~ 4)	↑ ↓	1 2 3 4
		OSI8J	161	H'00000284 ~ H'00000287				
		OSI8K	162	H'00000288 ~ H'0000028B				
		OSI8L	163	H'0000028C ~ H'0000028F				

7. 割り込みコントローラ (INTC)

割り込み要因番号			割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
ATU8	ATU84	OSI8M	164	H'00000290 ~ H'00000293	0 ~ 15(0)	IPRH(3 ~ 0)	↑ 1	↑ 高
		OSI8N	165	H'00000294 ~ H'00000297			↓ 2	
		OSI8O	166	H'00000298 ~ H'0000029B			3	
		OSI8P	167	H'0000029C ~ H'0000029F			↓ 4	
ATU9	ATU91	CMI9A	168	H'000002A0 ~ H'000002A3	0 ~ 15 (0)	IPRI(15 ~ 12)	↑ 1	↑ 高
		CMI9B	169	H'000002A4 ~ H'000002A7			↓ 2	
		CMI9C	170	H'000002A8 ~ H'000002AB			3	
		CMI9D	171	H'000002AC ~ H'000002AF			↓ 4	
	ATU92	CMI9E	172	H'000002B0 ~ H'000002B3	0 ~ 15 (0)	IPRI(11 ~ 8)	↑ 1	
		CMI9F	174	H'000002B8 ~ H'000002BB			↓ 2	
ATU10	ATU101	CMI10A	176	H'000002C0 ~ H'000002C3	0 ~ 15 (0)	IPRI(7 ~ 4)	↑ 1	↑ 高
		CMI10B	178	H'000002C8 ~ H'000002CB			↓ 2	
	ATU102	ICI10A /CMI10G	180	H'000002D0 ~ H'000002D3	0 ~ 15(0)	IPRI(3 ~ 0)	↑ 1	
							↓ 2	
ATU11	IMI11A	184	H'000002E0 ~ H'000002E3	0 ~ 15 (0)	IPRJ (15 ~ 12)	↑ 1	↑ 高	
	IMI11B	186	H'000002E8 ~ H'000002EB			↓ 2		
	OVI11	187	H'000002EC ~ H'000002EF			↓ 3		
CMT0	CMTI0	188	H'000002F0 ~ H'000002F3	0 ~ 15 (0)	IPRJ(11 ~ 8)	↑ 1	↑ 高	
A/D0	ADI0	190	H'000002F8 ~ H'000002FB			↓ 2		
CMT1	CMTI1	192	H'00000300 ~ H'00000303	0 ~ 15 (0)	IPRJ(7 ~ 4)	↑ 1	↑ 高	
A/D1	ADI1	194	H'00000308 ~ H'0000030B			↓ 2		
A/D2	ADI2	196	H'00000310 ~ H'00000313	0 ~ 15 (0)	IPRJ(3 ~ 0)			
SCI0	ERI0	200	H'00000320 ~ H'00000323	0 ~ 15 (0)	IPRK (15 ~ 12)	↑ 1	↑ 高	
	RXI0	201	H'00000324 ~ H'00000327			↓ 2		
	TXI0	202	H'00000328 ~ H'0000032B			3		
	TEI0	203	H'0000032C ~ H'0000032F			↓ 4		
SCI1	ERI1	204	H'00000330 ~ H'00000333	0 ~ 15 (0)	IPRK(11 ~ 8)	↑ 1	↑ 高	
	RXI1	205	H'00000334 ~ H'00000337			↓ 2		
	TXI1	206	H'00000338 ~ H'0000033B			3		
	TEI1	207	H'0000033C ~ H'0000033F			↓ 4		
SCI2	ERI2	208	H'00000340 ~ H'00000343	0 ~ 15 (0)	IPRK(7 ~ 4)	↑ 1	↑ 高	
	RXI2	209	H'00000344 ~ H'00000347			↓ 2		
	TXI2	210	H'00000348 ~ H'0000034B			3		
	TEI2	211	H'0000034C ~ H'0000034F			↓ 4		
SCI3	ERI3	212	H'00000350 ~ H'00000353	0 ~ 15 (0)	IPRK(3 ~ 0)	↑ 1	↑ 高	
	RXI3	213	H'00000354 ~ H'00000357			↓ 2		
	TXI3	214	H'00000358 ~ H'0000035B			3		
	TEI3	215	H'0000035C ~ H'0000035F			↓ 4		
SCI4	ERI4	216	H'00000360 ~ H'00000363	0 ~ 15 (0)	IPRL (15 ~ 12)	↑ 1	↓ 低	
	RXI4	217	H'00000364 ~ H'00000367			↓ 2		
	TXI4	218	H'00000368 ~ H'0000036B			3		
	TEI4	219	H'0000036C ~ H'0000036F			↓ 4		

割り込み要因番号		割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
		ベクタ	ベクタテーブル アドレスオフセット				
HCAN0	ERS0	220	H'00000370 ~ H'00000373	0 ~ 15 (0)	IPRL(11 ~ 8)	↑ ↓	↑ 高
	OVR0	221	H'00000374 ~ H'00000377				
	RM0	222	H'00000378 ~ H'0000037B				
	SLE0	223	H'0000037C ~ H'0000037F				
WDT	ITI	224	H'00000380 ~ H'00000383	0 ~ 15 (0)	IPRL(7 ~ 4)		
HCAN1	ERS1	228	H'00000390 ~ H'00000393	0 ~ 15 (0)	IPRL(3 ~ 0)	↑ ↓	↓ 低
	OVR1	229	H'00000394 ~ H'00000397				
	RM1	230	H'00000398 ~ H'0000039B				
	SLE1	231	H'0000039C ~ H'0000039F				

7.3 レジスタの説明

7.3.1 割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPRL)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPRL) は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位 (レベル 0 ~ 15) を設定します。割り込み要求元と IPRA ~ IPRL の各ビットの対応を表 7.4 に示します。

表 7.4 割り込み要求元と IPRA ~ IPRL

レジスタ	ビット			
	15 ~ 12	11 ~ 8	7 ~ 4	3 ~ 0
割り込み優先レベル設定レジスタ A	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ B	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ C	DMAC0、 1	DMAC2、 3	ATU01	ATU02
割り込み優先レベル設定レジスタ D	ATU03	ATU04	ATU11	ATU12
割り込み優先レベル設定レジスタ E	ATU13	ATU21	ATU22	ATU23
割り込み優先レベル設定レジスタ F	ATU31	ATU32	ATU41	ATU42
割り込み優先レベル設定レジスタ G	ATU51	ATU52	ATU6	ATU7
割り込み優先レベル設定レジスタ H	ATU81	ATU82	ATU83	ATU84
割り込み優先レベル設定レジスタ I	ATU91	ATU92	ATU101	ATU102
割り込み優先レベル設定レジスタ J	ATU11	CMT0、 A/D0	CMT1、 A/D1	A/D2
割り込み優先レベル設定レジスタ K	SCI0	SCI1	SCI2	SCI3
割り込み優先レベル設定レジスタ L	SCI4	HCAN0	WDT	HCAN1

7. 割り込みコントローラ (INTC)

表 7.4 に示すように、1 本のレジスタに 4 つの $\overline{\text{IRQ}}$ 端子、または 4 組の内蔵周辺モジュールが割り当てられています。ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。複数の内蔵周辺モジュールが同じビットに割り当てられている場合 (DMAC0 と DMAC1、DMAC2 と DMAC3、CMT0 と A/D0、CMT1 と A/D1) その複数のモジュールは同じ優先順位に設定されます。

IPRA~IPRL は、リセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

7.3.2 割り込みコントロールレジスタ (ICR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	—	—	—	—	—	—	NMIE	IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * NMI端子がハイレベルのとき1、ローレベルのとき0

割り込みコントロールレジスタ (ICR) は、16 ビットのレジスタで、外部割り込み入力端子 NMI と $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_7$ の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR はリセットおよびハードウェアスタンバイモードで初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

ビット 15	説明
NMIL	
0	NMI 端子にローレベルが入力されている
1	NMI 端子にハイレベルが入力されている

ビット 14~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : NMI エッジセレクト (NMIE)

ビット 8	説明
NMIE	
0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

ビット7~0 : IRQ0 ~ IRQ7 センスセレクト (IRQ0S ~ IRQ7S)

IRQ0 ~ IRQ7 割り込み要求の検出モードを設定します。

ビット7~0 IRQ0S ~ IRQ7S	説明
0	IRQ 入力のローレベルで割り込み要求を検出 (初期値)
1	IRQ 入力の立ち下がりエッジで割り込み要求を検出

7.3.3 IRQ ステータスレジスタ (ISR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	IRQ0F	IRQ1F	IRQ2F	IRQ3F	IRQ4F	IRQ5F	IRQ6F	IRQ7F
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ ステータスレジスタ (ISR) は 16 ビットのレジスタで、外部割り込み入力端子 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ の割り込み要求のステータスを示します。IRQ 割り込みをエッジ検出に設定している場合、 $\text{IRQnF}=1$ をリード後 IRQnF に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

ISR リセットおよびハードウェアスタンバイモードで初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7. 割り込みコントローラ (INTC)

ビット 7~0 : IRQ0 ~ IRQ7 フラグ (IRQ0F ~ IRQ7F)

IRQ0 ~ IRQ7 割り込み要求のステータスを表示します。

ビット 7~0	検出設定	説明
IRQ0F ~ IRQ7F		
0	レベル検出時	IRQn 割り込み要求が存在しません。 [クリア条件] $\overline{\text{IRQn}}$ 入力が高レベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されていません。 (初期値) [クリア条件] (1) $\text{IRQnF}=1$ の状態をリード後に 0 をライトしたとき (2) IRQn 割り込み例外処理を実行したとき
1	レベル検出時	IRQn 割り込み要求が存在します。 [セット条件] $\overline{\text{IRQn}}$ 入力が高レベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されています。 [セット条件] $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき

n = 7 ~ 0

7.4 動作説明

7.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 7.2 に動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPLR) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 7.3 に示す「デフォルト優先順位」と「IPR 設定単位内の優先順位」に従って、最も優先順位の高い割り込みが選択されます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0 ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
- (4) 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
- (5) 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図 7.4 参照)。
- (6) SR とプログラムカウンタ (PC) がスタックに退避されます。
- (7) SR の I3 ~ I0 ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
- (8) 受け付けられた割り込みがレベルセンスまたは内蔵周辺モジュールからの割り込みだった場合、 $\overline{\text{IRQOUT}}$ 端子から高レベルが出力されます。なお、受け付けた割り込みがエッジセンスだった場合は、(5) で CPU が実行しようとしていた命令を割り込み例外処理に置き換えた時点で $\overline{\text{IRQOUT}}$ 端子から高レベルが出力されます。ただし、割り込みコントローラが受け付け中の割り込みよりレベルの高い他の割り込みを受け付けているときは、 $\overline{\text{IRQOUT}}$ 端子は

ローレベルのままです。

- (9) 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただしIRQ割り込みの場合は、IRQステータスレジスタ (ISR) のアクセスにより取り下げることができます。詳しくは「7.2.4 IRQ割り込み」を参照してください。
また、エッジ検出により保留されている割り込みはパワーオンリセットおよびマニュアルリセットでクリアされます。

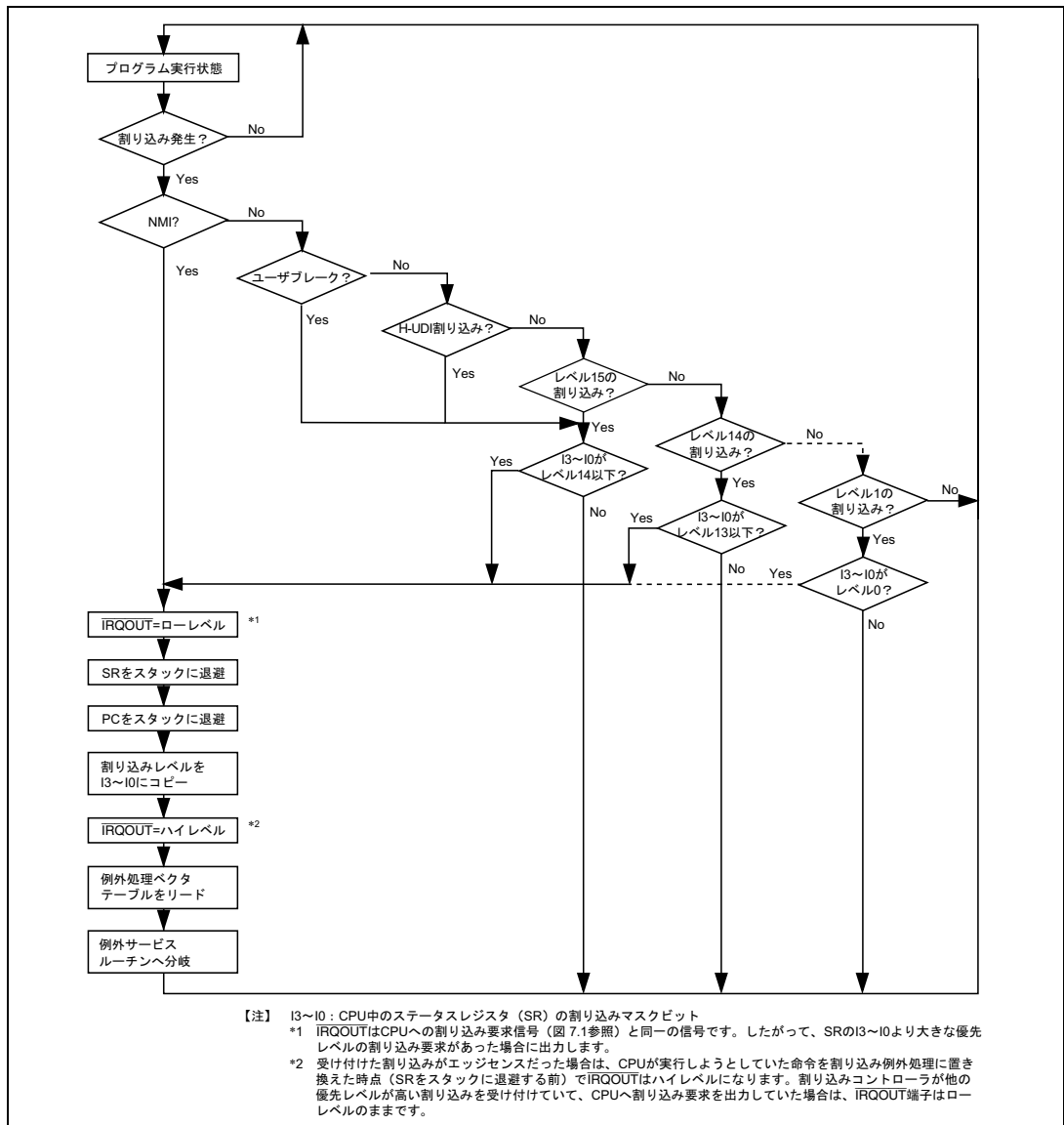


図 7.2 割り込み動作フロー

7. 割り込みコントローラ (INTC)

7.4.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 7.3 に示すようになります。

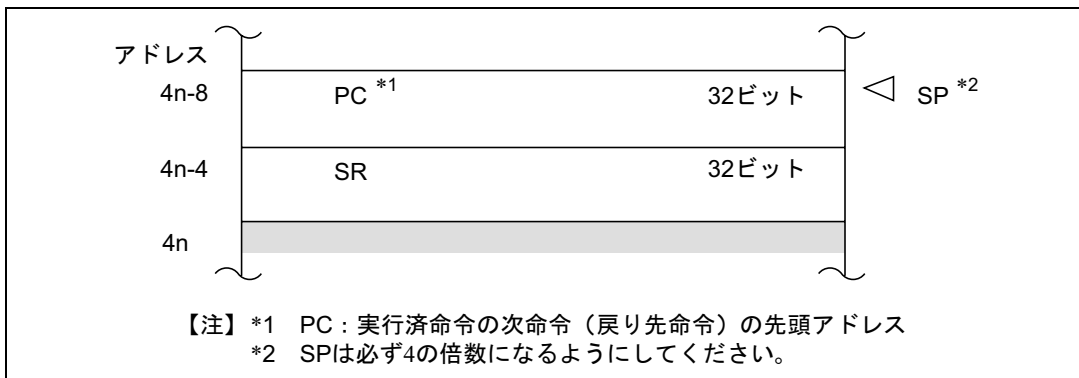


図 7.3 割り込み例外処理終了後のスタック状態

7.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 7.5 に示します。また、IRQ 割り込みを受け付けるときのパイプライン動作例を図 7.4 に示します。

表 7.5 割り込み応答時間

項目	ステート数備考		備考	
	NMI、周辺モジュール	IRQ		
DMAC 起動判定	0 または 1	0	DMAC 起動が可能な割り込み信号の場合 1 ステート必要です。	
優先順位判定および SR のマスクビットとの比較時間	2	3		
CPU が実行中のシーケンス終了までの待ち時間	X (0)		最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X=4+m1+m2+m3+m4$ 。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。	
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	5+m1+m2+m3		SR、PC の退避とベクタアドレスのフェッチを行います。	
応答時間	合計	(7 または 8) +m1+m2+m3+X	8+m1+m2+m3+X	
	最小時	10	11	40MHz 動作時： 0.25 ~ 0.28 μ s
	最大時	12+2(m1+m2+m3)+m4	12+2(m1+m2+m3)+m4	40MHz 動作時： 0.48 μ s*

【注】 m1~m4 は下記のメモリアクセスに要するステート数です。

m1：SR の退避（ロングワードライト）

m2：PC の退避（ロングワードライト）

m3：ベクタアドレスリード（ロングワードリード）

m4：割り込みサービスルーチン先頭命令のフェッチ

* m1=m2=m3=m4=1 の場合

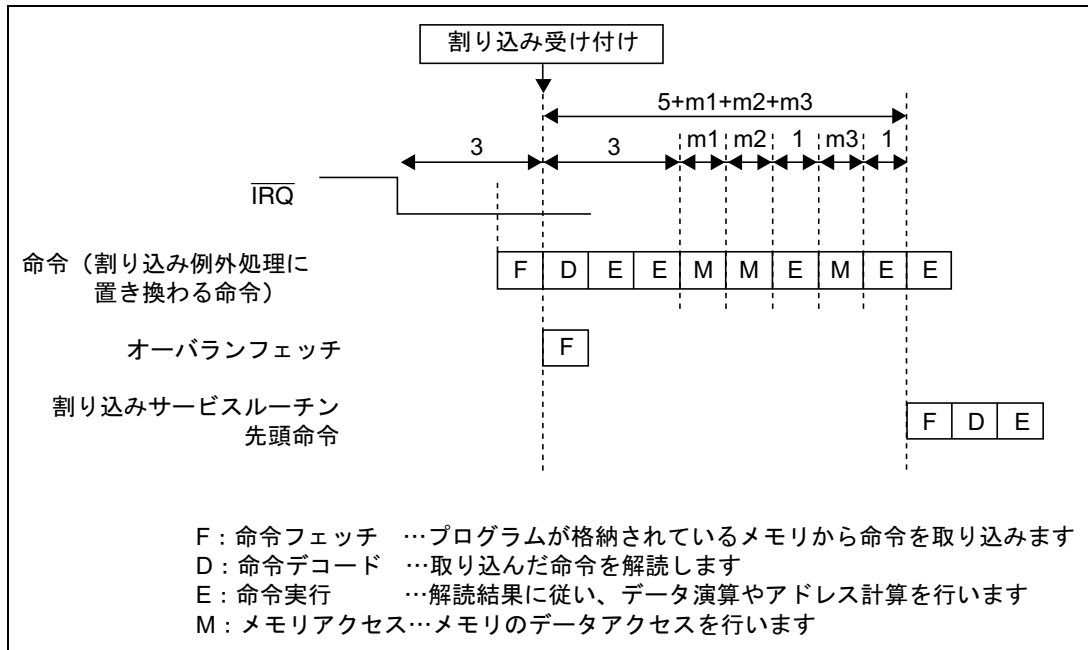


図 7.4 IRQ 割り込みを受け付けるときのパイプライン動作例

7.6 割り込み要求信号によるデータ転送

割り込み要求信号により、以下のデータ転送を行うことができます。

- DMAC を起動、CPU 割り込みは発生しない

割り込み要因の中で、DMAC 起動要因に指定されているものは INTC に入力されずにマスクされます。マスク条件は次のように表されます。

マスク条件 = $DME \cdot (DE0 \cdot \text{要因選択 } 0 + DE1 \cdot \text{要因選択 } 1 + DE2 \cdot \text{要因選択 } 2 + DE3 \cdot \text{要因選択 } 3)$

7.6.1 割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合

- (1) DMACで要因を選択しないか、またはDMEビットを"0"にクリアします。
- (2) 割り込みが発生すると、CPUに割り込みを要求します。
- (3) CPUは割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

7.6.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合

- (1) DMACで要因を選択し、DME=1にセットします。割り込み優先レベルレジスタの設定によらずCPU割り込み要因はマスクされます。
- (2) 割り込みが発生すると、DMACに起動要因が与えられます。
- (3) DMACは、転送時に起動要因をクリアします。

8. ユーザブ레이크コントローラ (UBC)

8.1 概要

ユーザブ레이크コントローラ (UBC) は、ユーザのプログラムデバッグを容易にする機能を提供します。UBC にブ레이크条件を設定すると、CPU または DMAC によるバスサイクルの内容に応じて、ユーザブ레이크割り込みが発生します。この機能を使用することによって、高機能のセルフモニタデバッグを容易に作成でき、大規模なインサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。

8.1.1 特長

UBC には、次のような特長があります。

次のブ레이크条件を設定可能

- アドレス
- CPU サイクルまたは DMA サイクル
- 命令フェッチまたはデータアクセス
- 読み出しまたは書き込み
- オペランドサイズ (ロングワード、ワード、バイト)

ブ레이크条件成立により、ユーザブ레이크割り込みを発生

ユーザが作成したユーザブ레이크割り込み例外ルーチンを実行させることができます。

CPU の命令フェッチにブ레이크をかけると、その命令の手前でブ레이크

ブ레이크条件成立を `UBCTRIG` 端子に出力できます。

8. ユーザブレイクコントローラ (UBC)

8.1.2 ブロック図

UBC のブロック図を図 8.1 に示します。

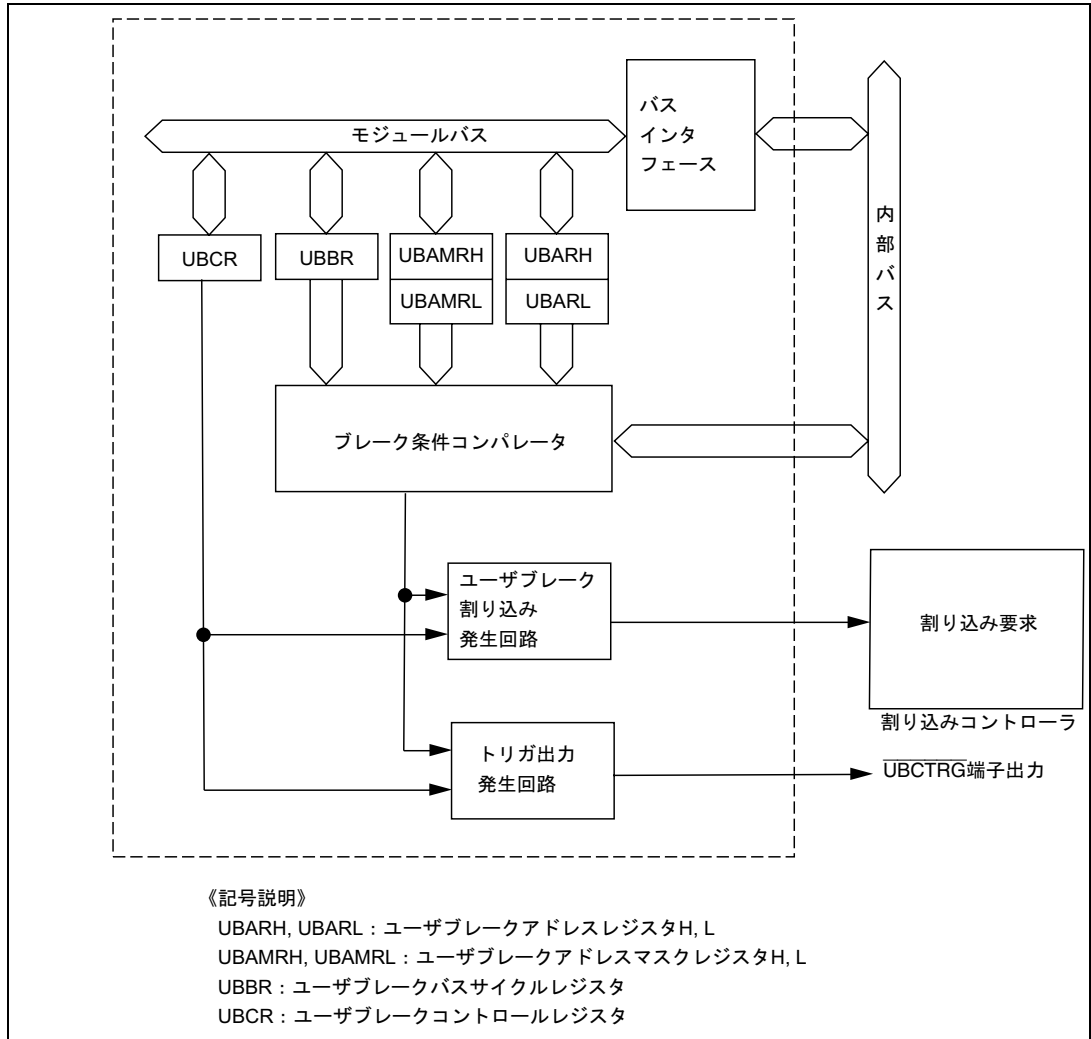


図 8.1 UBC のブロック図

8.1.3 レジスタ構成

UBC には、表 8.1 に示すように 6 本のレジスタがあります。これらのレジスタにより、ブ레이크条件を設定します。

表 8.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*	アクセスサイズ
ユーザブ레이크アドレスレジスタ H	UBARH	R/W	H'0000	H'FFFF EC00	8、16、32
ユーザブ레이크アドレスレジスタ L	UBARL	R/W	H'0000	H'FFFF EC02	8、16、32
ユーザブ레이크アドレスマスクレジスタ H	UBAMRH	R/W	H'0000	H'FFFF EC04	8、16、32
ユーザブ레이크アドレスマスクレジスタ L	UBAMRL	R/W	H'0000	H'FFFF EC06	8、16、32
ユーザブ레이크バスサイクルレジスタ	UBBR	R/W	H'0000	H'FFFF EC08	8、16、32
ユーザブ레이크コントロールレジスタ	UBCR	R/W	H'0000	H'FFFF EC0A	8、16、32

【注】 * レジスタアクセスはバイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。

8.2 レジスタの説明

8.2.1 ユーザブ레이크アドレスレジスタ (UBAR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8	UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブ레이크アドレスレジスタ (UBAR) は、ユーザブ레이크アドレスレジスタ H (UBARH) とユーザブ레이크アドレスレジスタ L (UBARL) の 2 本で 1 組となっています。UBARH と UBARL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、UBARH はブ레이크条件とするアドレスの上位側 (ビット 31 ~ 16) を指定し、UBARL はアドレスの下位側 (ビット 15 ~ 0) を指定します。UBARH と UBARL は、パワーオンリセットまたはモジュールスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモード時には、初期化されません。

UBARH ビット 15 ~ 0 : ユーザブ레이크アドレス 31 ~ 16 (UBA31 ~ UBA16)

ブ레이크条件とするアドレスの上位側 (ビット 31 ~ 16) を格納します。

UBARL ビット 15 ~ 0 : ユーザブ레이크アドレス 15 ~ 0 (UBA15 ~ UBA0)

ブ레이크条件とするアドレスの下位側 (ビット 15 ~ 0) を格納します。

8. ユーザブレークコントローラ (UBC)

8.2.2 ユーザブレークアドレスマスクレジスタ (UBAMR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24	UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8	UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブレークアドレスマスクレジスタ (UBAMR) は、ユーザブレークアドレスマスクレジスタ H (UBAMRH) とユーザブレークアドレスマスクレジスタ L (UBAMRL) の 2 本で 1 組となっています。UBAMRH と UBAMRL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。UBAMRH は UBARH に設定されているブレークアドレスのどのビットをマスクするかを指定し、UBAMRL は UBARL に設定されているブレークアドレスのどのビットをマスクするかを指定します。UBAMRH と UBAMRL は、パワーオンリセットまたは、モジュールスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモード時には、初期化されません。

UBAMRH ビット 15~0 : ユーザブレークアドレスマスク 31~16 (UBM31~UBM16)

UBARH に設定されているユーザブレークアドレス 31~16 (UBA31~UBA16) の各ビットをマスクするかどうかを指定します。

UBAMRL ビット 15~0 : ユーザブレークアドレスマスク 15~0 (UBM15~UBM0)

UBARL に設定されているユーザブレークアドレス 15~0 (UBA15~UBA0) の各ビットをマスクするかどうかを指定します。

ビット 15~0	説明
UBMn	
0	ユーザブレークアドレス UBA _n をブレーク条件に含む (初期値)
1	ユーザブレークアドレス UBA _n をブレーク条件に含めない

n = 31~0

8.2.3 ユーザブレイクバスサイクルレジスタ (UBBR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブレイクバスサイクルレジスタ (UBBR) は読み出し / 書き込み可能な 16 ビットのレジスタで、ブレイク条件のうち (1) CPU サイクル / DMA サイクル (2) 命令フェッチ / データアクセス (3) 読み出し / 書き込み (4) オペランドサイズ (バイト、ワード、ロングワード) の 4 条件を設定します。UBBR は、パワーオンリセットまたは、モジュールスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモードでは、初期化されません。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7、6 : CPU サイクル / DMA サイクルセレクト (CP1、CP0)

CPU サイクルまたは DMA サイクルをブレイク条件に指定します。

ビット 7	ビット 6	説明
CP1	CP0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	CPU サイクルをブレイク条件とする
1	0	DMA サイクルをブレイク条件とする
	1	CPU サイクルと DMA サイクルのどちらもブレイク条件とする

ビット 5、4 : 命令フェッチ / データアクセスセレクト (ID1、ID0)

命令フェッチサイクルまたはデータアクセスサイクルをブレイク条件に指定します。

ビット 5	ビット 4	説明
ID1	ID0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	命令フェッチサイクルをブレイク条件とする
1	0	データアクセスサイクルをブレイク条件とする
	1	命令フェッチサイクルとデータアクセスサイクルのどちらもブレイク条件とする。

8. ユーザブレイクコントローラ (UBC)

ビット3、2：リード/ライトセレクト (RW1、RW0)

リードサイクルまたはライトサイクルをブレイク条件に指定します。

ビット3	ビット2	説 明
RW1	RW0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	リードサイクルをブレイク条件とする
1	0	ライトサイクルをブレイク条件とする
	1	リードサイクルとライトサイクルのどちらもブレイク条件とする

ビット1、0：オペランドサイズセレクト (SZ1、SZ0)

ブレイク条件にするオペランドサイズを指定します。

ビット1	ビット0	説 明
SZ1	SZ0	
0	0	ブレイク条件にオペランドサイズを含まない (初期値)
	1	バイトアクセスをブレイク条件とする
1	0	ワードアクセスをブレイク条件とする
	1	ロングワードアクセスをブレイク条件とする

【注】 命令フェッチでブレイクをかける場合は、SZ0 ビットを 0 にしてください。すべての命令は、ワードサイズでアクセスされるものとみなされます (内蔵メモリに命令があって、1 回のバスサイクルで同時に 2 命令フェッチする場合もワードでアクセスされるものとみなされます)。オペランドサイズは、命令の場合はワード、CPU/DMAC のデータアクセスはその指定したオペランドサイズで決まります。アクセスする空間のバス幅によって決まるものではありません。

8.2.4 ユーザブ레이크コントロールレジスタ (UBCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CKS1	CKS0	UBID
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ユーザブ레이크コントロールレジスタ (UBCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで (1) ユーザブ레이크割り込みの禁止 / 許可、(2) ブ레이크条件一致時の $\overline{\text{UBCTR}}\overline{\text{G}}$ 出力のパルス幅を設定します。

UBCR は、パワーオンリセットまたは、モジュールスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモードでは、初期化されません。

ビット 15~3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2、1 : クロックセレクト 1、0 (CKS1、0)

条件一致時に $\overline{\text{UBCTR}}\overline{\text{G}}$ に出力するパルス幅を指定します。

ビット 2	ビット 1	説 明
CKS1	CKS0	
0	0	$\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を 1 にする (初期値)
	1	$\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を 1/4 にする
1	0	$\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を 1/8 にする
	1	$\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を 1/16 にする

【注】 : 内部クロック

ビット 0 : ユーザブ레이크ディスエーブル (UBID)

ユーザブ레이크条件一致時にユーザブ레이크割り込み要求の禁止 / 許可を指定します。

ビット 0	説 明
UBID	
0	ユーザブ레이크割り込み要求を許可する (初期値)
1	ユーザブ레이크割り込み要求を禁止する

8.3 動作説明

8.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク割り込み例外処理までの流れを以下に示します。

- (1) ブレイク条件のうち、ユーザブレイクアドレスをユーザブレイクアドレスレジスタ (UBAR)、アドレスの中のマスクしたいビットをユーザブレイクアドレスマスクレジスタ (UBAMR)、ブレイクするバスサイクルの種類をユーザブレイクバスサイクルレジスタ (UBBR) に設定してください。UBBRのCPUサイクル/DMAサイクルセレクトビット (CPI、CPO)、命令フェッチ/データアクセスセレクトビット (ID1、ID0)、リード/ライトセレクトビット (RW1、RW0) のいずれか1組でも00 (ユーザブレイク割り込みは発生させない) にセットされると、他の条件が一致してもユーザブレイク割り込みは発生しません。ユーザブレイク割り込みを使用したいときは、必ずこれら3組のビットすべてに条件を設定してください。
- (2) UBCは、設定した条件が成立したかどうかを図8.2に示す方式で判定します。ブレイク条件が成立すると、UBCは割り込みコントローラ (INTC) に、ユーザブレイク割り込み要求信号を送ります。同時に条件一致信号をUBCTRG端子にCKS1,0ビットで設定されたパルス幅で出力します。
- (3) ユーザブレイク割り込み要求信号を受け取ると、INTCは優先順位の判定を行います。ユーザブレイク割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) がレベル14以下のとき、受け付けられます。I3~I0ビットがレベル15のとき、ユーザブレイク割り込みは受け付けられませんが、受け付けられるようになるまで保留されます。したがって、NMI例外処理では、I3~I0ビットはレベル15になりますので、NMI例外サービスルーチン中はユーザブレイク割り込みは受け付けられません。ただし、NMI例外サービスルーチンの先頭でI3~I0ビットをレベル14以下に変更すれば、それ以後ユーザブレイク割り込みが受け付けられるようになります。優先順位判定については、「第7章 割り込みコントローラ (INTC)」を参照してください。
- (4) INTCは、ユーザブレイク割り込みの要求信号をCPUに送ります。これを受け取ると、CPUはユーザブレイク割り込み例外処理を開始します。割り込み例外処理については、「7.4 動作説明」を参照してください。

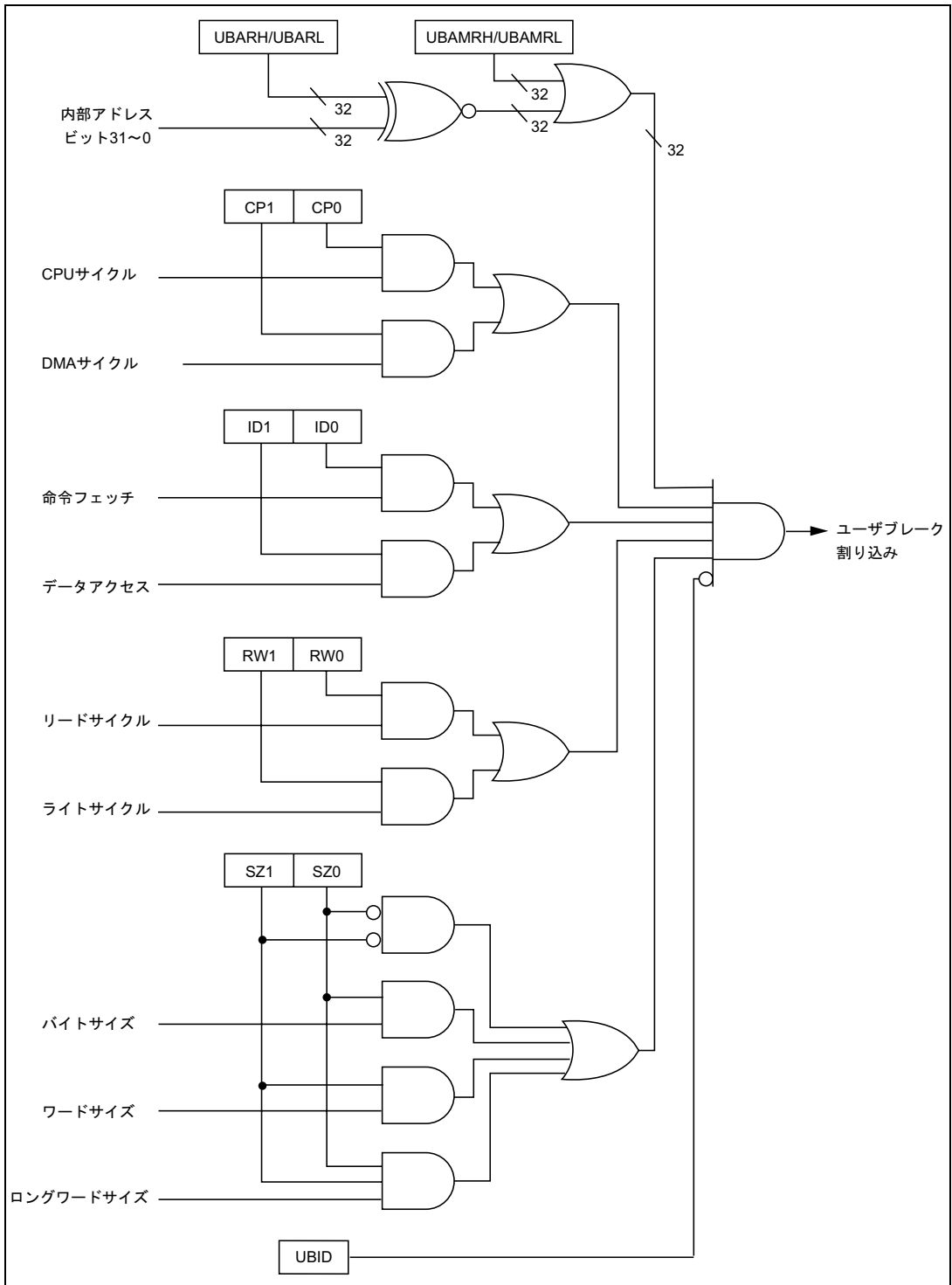


図 8.2 ブレイク条件判定方式

8.3.2 内蔵メモリの命令フェッチサイクルによるブレイク

内蔵メモリ (内蔵 ROM、内蔵 RAM) は、常に 32 ビットを 1 回のバスサイクルでアクセスします。したがって、命令を内蔵メモリからフェッチする場合、1 回のバスサイクルで 2 命令が取り込まれます。このとき、1 回のバスサイクルしか発生しませんが、両命令とも、それぞれの先頭アドレスをユーザブレイクアドレスレジスタ (UBAR) に設定することによって、独立してブレイクをかけることができます。言い換えると、1 回のバスサイクルで取り込まれた 2 命令のうち、後半の命令でブレイクをかけたいとき、UBAR にはその命令の先頭アドレスを設定してください。これにより、前半の命令を実行した後、ブレイクがかかるようになります。

8.3.3 退避するプログラムカウンタ (PC) の値

(1) 命令フェッチをブレイク条件に設定した場合

ユーザブレイク割り込み例外処理で退避されるプログラムカウンタ (PC) の値は、ブレイク条件に設定したアドレスです。このとき、フェッチされた命令は実行されず、その手前でユーザブレイク割り込みが発生します。ただし、遅延分岐命令直後 (遅延スロット) に配置された命令のフェッチサイクルまたは割り込み禁止命令の次命令のフェッチサイクルをブレイク条件に設定した場合、ユーザブレイク割り込みはすぐには受け付けられず、ブレイク条件を設定した命令は実行されます。このとき、ユーザブレイク割り込みは、割り込みを受け付けられる命令が実行されてから受け付けられます。この場合、退避される PC の値は、その割り込みを受け付けられる命令の次に実行されることになっていた命令の先頭アドレスです。

(2) データアクセス (CPU / DMA) をブレイク条件に設定した場合

ユーザブレイク例外処理が起動した時点における実行済み命令の次命令の先頭アドレスが退避されます。データアクセス (CPU / DMA) をブレイク条件に設定した場合、ブレイクがかかる場所は特定することができません。ブレイクするデータアクセスが発生した付近でフェッチしようとしていた命令がブレイクされます。

8.4 ユーザブレイク使用例

(1) CPU 命令フェッチサイクルへのブレイク条件設定

- (a) レジスタの設定： UBARH = H'0000
 UBARL = H'0404
 UBBR = H'0054
 UBCR = H'0000

設定された条件： アドレス： H'00000404
 バスサイクル： CPU、命令フェッチ、リード
 (オペランドサイズは条件に含まない)
 割り込み要求許可

アドレス H'00000404 にある命令の手前でユーザブレイク割り込みが発生します。アドレス H'00000402 にある命令が割り込み受け付け可能ならば、この命令実行後、ユーザブレイク例外処理を実行します。H'00000404 にある命令は実行されません。退避される PC の値は H'00000404 です。

- (b) レジスタの設定： UBARH = H'0015
 UBARL = H'389C
 UBBR = H'0058
 UBCR = H'0000

設定された条件： アドレス： H'0015389C
 バスサイクル： CPU、命令フェッチ、ライト
 (オペランドサイズは条件に含まない)
 割り込み要求許可

命令フェッチサイクルはライトサイクルではないので、ユーザブレイク割り込みは発生しません。

- (c) レジスタの設定： UBARH = H'0003
 UBARL = H'0147
 UBBR = H'0054
 UBCR = H'0000

設定された条件： アドレス： H'00030147
 バスサイクル： CPU、命令フェッチ、リード
 (オペランドサイズは条件に含まない)
 割り込み要求許可

命令フェッチは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。ただし、分岐後初めて命令フェッチするアドレスがこの条件に設定した奇数アドレスの場合、アドレスエラー例外処理後、ユーザブレイク割り込み例外処理が行われます。

8. ユーザブレイクコントローラ (UBC)

(2) CPU データアクセスサイクルへのブレイク条件設定

(a) レジスタの設定 : UBARH = H'0012
UBARL = H'3456
UBBR = H'006A
UBCR = H'0000

設定された条件 : アドレス : H'00123456
バスサイクル : CPU、データアクセス、ライト、ワード
割り込み要求許可

アドレスH'00123456にワードデータを書き込むと、ユーザブレイク割り込みが発生します。

(b) レジスタの設定 : UBARH = H'00A8
UBARL = H'0391
UBBR = H'0066
UBCR = H'0000

設定された条件 : アドレス : H'00A80391
バスサイクル : CPU、データアクセス、リード、ワード
割り込み要求許可

ワードアクセスは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

(3) DMA サイクルへのブレイク条件設定

(a) レジスタの設定 : UBARH = H'0076
UBARL = H'BCDC
UBBR = H'00A7
UBCR = H'0000

設定された条件 : アドレス : H'0076BCDC
バスサイクル : DMA、データアクセス、リード、ロングワード
割り込み要求許可

アドレスH'0076BCDCからロングワードデータを読み出すと、ユーザブレイク割り込みが発生します。

(b) レジスタの設定 : UBARH = H'0023
UBARL = H'45C8
UBBR = H'0094
UBCR = H'0000

設定された条件 : アドレス : H'002345C8
バスサイクル : DMA、命令フェッチ、リード
(オペランドサイズは条件に含まない)
割り込み要求許可

DMAサイクルでは命令フェッチは行われないので、ユーザブレイク割り込みは発生しません。

8. ユーザブレイクコントローラ (UBC)

トリガ出力中に、再度条件一致が発生した場合は $\overline{\text{UBCTR}}\overline{\text{G}}$ 端子はローレベルを出力し続け、最後の条件一致のあったサイクルから CKS1、0 ビットにより設定された長さのパルスを出力します。

トリガ出力条件は、CPU の命令フェッチ条件の一致時には、ユーザブレイク割り込みでのそれと異なります。「8.5.2 分岐時の命令フェッチ」で説明しているオーバランフェッチ命令で条件一致が発生すると、ユーザブレイク割り込みは要求しませんが、 $\overline{\text{UBCTR}}\overline{\text{G}}$ 端子からはトリガが出力されません。

その他の CPU のデータアクセス、DMAC のバスサイクルはユーザブレイク割り込み条件と同様の条件でパルス出力します。

また、UBCR のユーザブレイクインタラプトディスエーブル (UBID) を 1 セットすることにより、ユーザブレイク割り込みを要求せず外部でトリガ出力モニタが可能となります。

8.5.6 モジュールスタンバイ

UBC は、パワーオンリセット後、モジュールスタンバイ状態となっているので、クロック供給が停止されています。UBC を使用する際は、UBC のレジスタ設定に先立ってモジュールスタンバイ状態を解除する必要があります。モジュールスタンバイは、モジュールスタンバイコントロールレジスタ (MSTCR) で制御します。モジュールスタンバイについては、「24.2.3 モジュールスタンバイコントロールレジスタ (MSTCR)」を参照してください。

9. バスステートコントローラ (BSC)

9.1 概要

バスステートコントローラ (BSC) はアドレス空間の分割、各種メモリに応じた制御信号の出力などを行います。これにより、外付け回路なしに SRAM、ROM など本 LSI に直結することができますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

9.1.1 特長

BSC には、次のような特長があります。

アドレス空間を4つに分割して管理

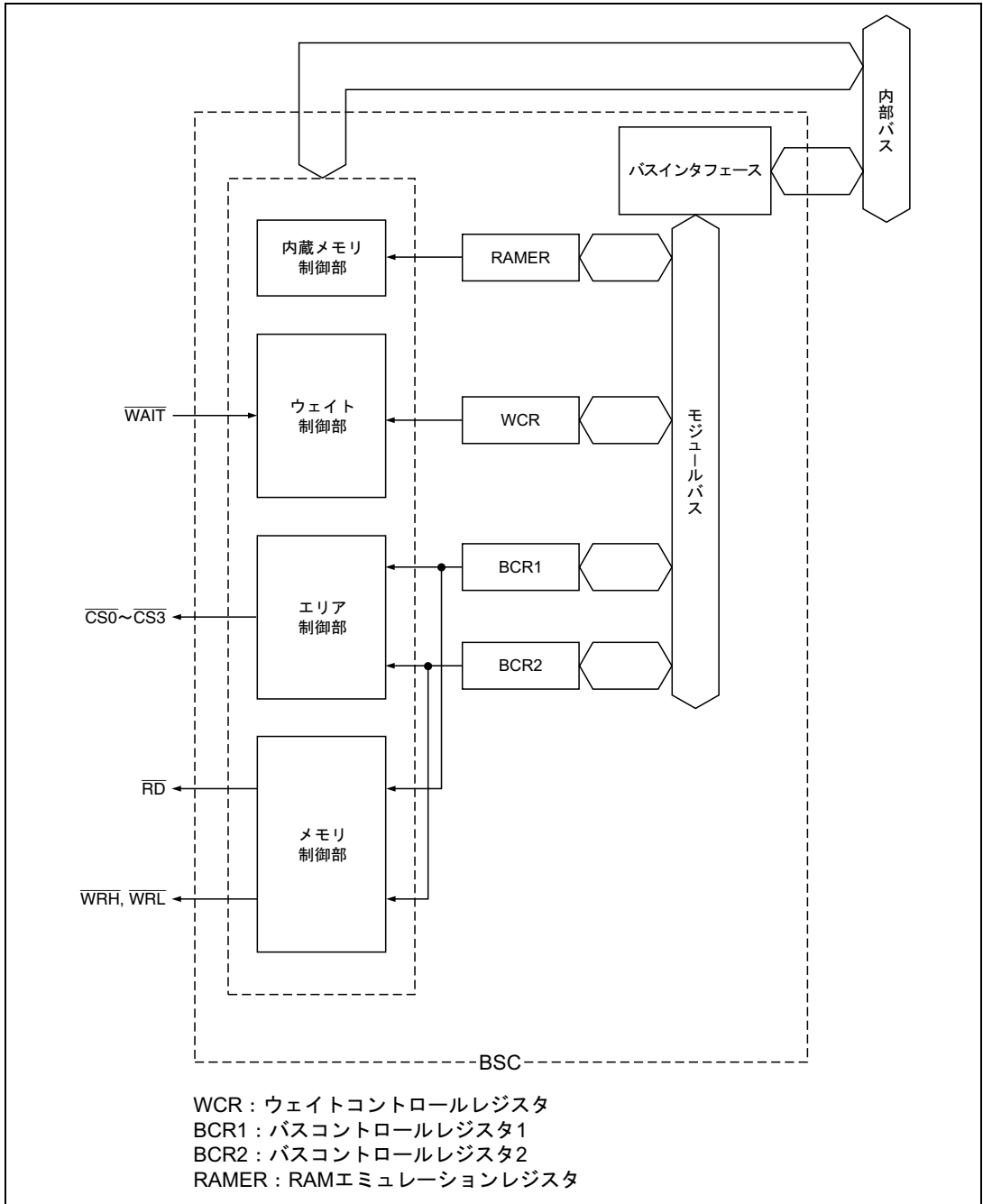
- CS0 空間は、内蔵 ROM 有効モードでは最大リニア 2M バイト、内蔵 ROM 無効モードでは最大 4M バイト
- CS1 空間、CS2 空間および CS3 空間はそれぞれ最大リニア 4M バイト
- 空間ごとに、バス幅 (8 ビットまたは 16 ビット) を選択可能
- 空間ごとに、ソフトウェアによるウェイトステートを挿入可能
- 外部メモリ空間アクセス時に $\overline{\text{WAIT}}$ 端子によるウェイトステートを挿入可能
- 各空間に接続するメモリに対応した制御信号を出力

内蔵ROM、RAM インタフェース

- 内蔵 ROM、RAM は 32 ビットを 1 ステートでアクセス

9.1.2 ブロック図

BSCのブロック図を図9.1に示します。



9.1.3 端子構成

バスステートコントローラの端子構成を表 9.1 に示します。

表 9.1 端子構成

名称	略称	入出力	機能
アドレスバス	A21 ~ A0	出力	アドレス出力
データバス	D15 ~ D0	入出力	16 ビットのデータバス
チップセレクト	CS0 ~ CS3	出力	アクセス中のエリアを示すチップセレクト信号
リード	\overline{RD}	出力	リードサイクルを示すストロープ信号
上位側ライト	\overline{WRH}	出力	上位 8 ビット (D15 ~ D8) へのライトサイクルを示すストロープ信号
下位側ライト	\overline{WRL}	出力	下位 8 ビット (D7 ~ D0) へのライトサイクルを示すストロープ信号
ウェイト	\overline{WAIT}	入力	ウェイトステート要求信号
バス権要求	\overline{BREQ}	入力	バス解放要求入力
バス権要求アクノリッジ	\overline{BACK}	出力	バス使用許可出力

【注】 外部空間 8 ビットバス幅選択時は \overline{WRL} が有効になります。

外部空間 16 ビットバス幅選択時は \overline{WRH} 、 \overline{WRL} が有効になります。

9.1.4 レジスタ構成

バスステートコントローラには 4 本のレジスタがあります。これらのレジスタにより、ウェイトステート、バス幅、ROM、SRAM などのメモリとのインタフェースの制御などを行います。レジスタ構成を表 9.2 に示します。

レジスタサイズはすべて 16 ビットです。

バスステートコントローラのレジスタはすべてパワーオンリセットおよびハードウェアスタンバイモード時に初期化されます。また、マニュアルリセットおよびソフトウェアスタンバイモード時には値は保持されます。

表 9.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
バスコントロールレジスタ 1	BCR1	R/W	H'000F	H'FFFF EC20	8、16、32
バスコントロールレジスタ 2	BCR2	R/W	H'FFFF	H'FFFF EC22	8、16、32
ウェイトコントロールレジスタ	WCR	R/W	H'FFFF	H'FFFF EC24	8、16、32
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFF EC26	8、16、32

【注】 レジスタアクセスは、バイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。

9.1.5 アドレスマップ

図 9.2 に、本 LSI で用いるアドレスのフォーマットを示します。

9. バスステートコントローラ (BSC)

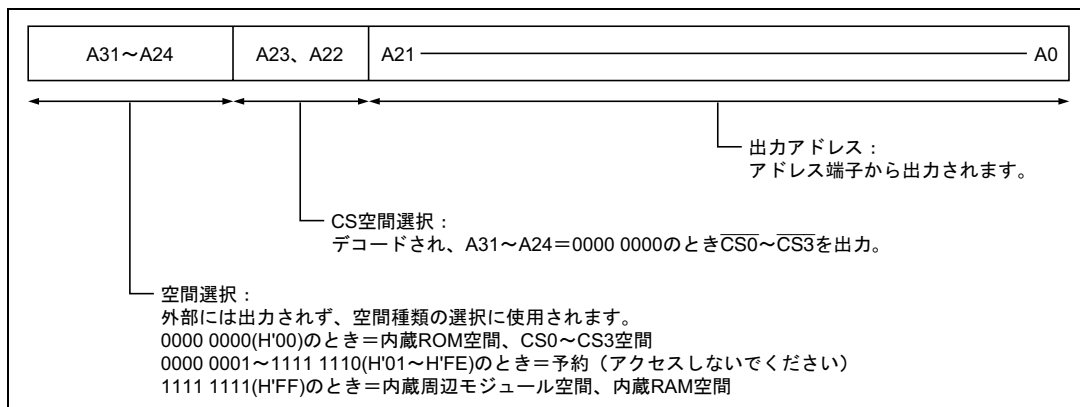


図 9.2 アドレスフォーマット

本 LSI では 32 ビットのアドレスを用います。

A31 ~ A24 ビットは空間種類の選択に使用されます。外部には出力されません。

A23、A22 ビットは A31 ~ A24 ビットが 0000 0000 のときデコードされ、エリアに対応するチップセレクト信号 ($\overline{CS0} \sim \overline{CS3}$) となり、出力されます。

A21 ~ A0 は外部に出力されます。

表 9.3 にアドレスマップを示します。

表 9.3 アドレスマップ

内蔵 ROM 有効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'0007 FFFF	内蔵 ROM	内蔵 ROM	512kB	32
H'0008 0000 ~ H'001F FFFF	予約	予約		
H'0020 0000 ~ H'003F FFFF	CS0 空間	外部空間	2MB	8、16 ^{*1}
H'0040 0000 ~ H'007F FFFF	CS1 空間	外部空間	4MB	8、16 ^{*1}
H'0080 0000 ~ H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 ^{*1}
H'00C0 0000 ~ H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 ^{*1}
H'0100 0000 ~ H'FFFF 5FFF	予約	予約		
H'FFFF 6000 ~ H'FFFF DFFF	内蔵 RAM	内蔵 RAM	32kB	32
H'FFFF E000 ~ H'FFFF FFFF	内蔵周辺モジュール	内蔵周辺モジュール	8kB	8、16

内蔵 ROM 無効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000 ~ H'003F FFFF	CS0 空間	外部空間	4MB	8、16 ^{*2}
H'0040 0000 ~ H'007F FFFF	CS1 空間	外部空間	4MB	8、16 ^{*1}
H'0080 0000 ~ H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 ^{*1}
H'00C0 0000 ~ H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 ^{*1}
H'0100 0000 ~ H'FFFF 5FFF	予約	予約		
H'FFFF 6000 ~ H'FFFF DFFF	内蔵 RAM	内蔵 RAM	32kB	32
H'FFFF E000 ~ H'FFFF FFFF	内蔵周辺モジュール	内蔵周辺モジュール	8kB	8、16

【注】 予約空間はアクセスしないでください。アクセスした場合、動作の保証はできません。

*1 内蔵レジスタ(BCR1)の設定で選択

*2 モード端子で選択

9.2 レジスタの説明

9.2.1 バスコントロールレジスタ 1 (BCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	A3SZ	A2SZ	A1SZ	A0SZ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

バスコントロールレジスタ 1 (BCR1) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のバスサイズを指定します。

BCR1 の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。内蔵 ROM 有効モードの場合、レジスタの初期設定が終了するまで各 CS 空間はアクセスしないでください。内蔵 ROM 無効モードの場合、レジスタの初期設定が終了するまで CS0 空間以外の CS 空間はアクセスしないでください。

BCR1 はパワーオンリセットおよびハードウェアスタンバイモード時に H'000F に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には初期化されません。

ビット 15~4 : 予約ビット

書き込み時には、常に 0 を書き込んでください。1 を書き込んだ場合、動作の保証はできません。

ビット 3 : CS3 空間サイズ指定 (A3SZ)

CS3 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります。

ビット 3	説明
A3SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

ビット 2 : CS2 空間サイズ指定 (A2SZ)

CS2 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります。

ビット 2	説明
A2SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

9. バスステートコントローラ (BSC)

ビット 1 : CS1 空間サイズ指定 (A1SZ)

CS1 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります。

ビット 1	説明
A1SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

ビット 0 : CS0 空間サイズ指定 (A0SZ)

CS0 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります (内蔵 ROM 有効モード時のみ有効)。

ビット 0	説明
A0SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

【注】 A0SZ は内蔵 ROM 有効モード時のみ有効であり、内蔵 ROM 無効モード時は、CS0 空間のバスサイズはモード端子によって指定されます。

9.2.2 バスコントロールレジスタ 2 (BCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00	CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

バスコントロールレジスタ 2 (BCR2) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のアイドルサイクル数や \overline{CS} 信号のアサート拡張を指定します。

BCR2 はパワーオンリセットおよびハードウェアスタンバイモード時に H'FFFF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には初期化されません。

ビット 15~8 : サイクル間アイドル指定 (IW31、IW30、IW21、IW20、IW11、IW10、IW01、IW00)

サイクル間アイドル指定はリードアクセス後に異なる CS 空間を続けてアクセスする場合にアクセス間に挿入するアイドルサイクルの指定を行います。これはリードデータのバッファオフの遅い ROM 等と、高速なメモリ、I/O インタフェース等のデータの衝突を防止するために使用します。同一 CS 空間に対するアクセスであっても、直前のアクセスがリードで次のアクセスがライトの場合にはアイドルサイクルの挿入を行います。アイドルサイクルの指定は直前にアクセスされた CS 空間のものが有効となります。詳しくは「9.4 アクセスサイクル間ウェイト」を参照してください。

IW31、30 が CS3 空間のサイクル間アイドル、IW21、IW20 が CS2 空間のサイクル間アイドル、IW11、IW10 が CS1 空間のサイクル間アイドル、IW01、IW00 が CS0 空間のサイクル間アイドルをそれぞれ指定します。

9. バスステートコントローラ (BSC)

ビット 15	ビット 14	説 明
IW31	IW30	
0	0	CS3 空間アイドルサイクルなし
	1	CS3 空間 1 アイドルサイクル
1	0	CS3 空間 2 アイドルサイクル
	1	CS3 空間 3 アイドルサイクル (初期値)

ビット 13	ビット 12	説 明
IW21	IW20	
0	0	CS2 空間アイドルサイクルなし
	1	CS2 空間 1 アイドルサイクル
1	0	CS2 空間 2 アイドルサイクル
	1	CS2 空間 3 アイドルサイクル (初期値)

ビット 11	ビット 10	説 明
IW11	IW10	
0	0	CS1 空間アイドルサイクルなし
	1	CS1 空間 1 アイドルサイクル
1	0	CS1 空間 2 アイドルサイクル
	1	CS1 空間 3 アイドルサイクル (初期値)

ビット 9	ビット 8	説 明
IW01	IW00	
0	0	CS0 空間アイドルサイクルなし
	1	CS0 空間 1 アイドルサイクル
1	0	CS0 空間 2 アイドルサイクル
	1	CS0 空間 3 アイドルサイクル (初期値)

ビット 7~4 : 連続アクセス時アイドル指定 (CW3、CW2、CW1、CW0)

連続アクセス時アイドル指定は同一 CS 空間を連続してアクセスする場合、 $\overline{CS_n}$ 信号をいったんネゲートすることによりバスの切れ目をわかりやすくするために挿入します。ただし、リードの次にライトが続く場合、挿入されるアイドルサイクルは IW によって指定される値と CW によって指定される値のうち大きい方を選択します。詳しくは「9.4 アクセスサイクル間ウェイト」を参照してください。

CW3 が CS3 空間の連続アクセス時アイドル、CW2 が CS2 空間の連続アクセス時アイドル、CW1 が CS1 空間の連続アクセス時アイドル、CW0 が CS0 空間の連続アクセス時アイドルをそれぞれ指定します。

ビット 7	説 明
CW3	
0	CS3 空間連続アクセス時アイドルサイクルなし
1	CS3 空間連続アクセス時 1 アイドルサイクル (初期値)

9. バスステートコントローラ (BSC)

ビット6	説 明
CW2	
0	CS2 空間連続アクセス時アイドルサイクルなし
1	CS2 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット5	説 明
CW1	
0	CS1 空間連続アクセス時アイドルサイクルなし
1	CS1 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット4	説 明
CW0	
0	CS0 空間連続アクセス時アイドルサイクルなし
1	CS0 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット3~0 : CS アサート拡張指定 (SW3、SW2、SW1、SW0)

\overline{CS} アサートサイクル拡張指定は \overline{RD} 信号、 \overline{WRH} 信号、 \overline{WRL} 信号のアサート期間が \overline{CSn} 信号のアサート期間からはみ出すことを防止するために挿入します。拡張サイクルは、各バスサイクルの前後に 1 サイクルずつ挿入されます。これにより、外部 IC とのインタフェースが容易になります。また、ライトデータホールドを延ばす効果もあります。詳しくは、「9.3.3 \overline{CS} アサート期間拡張」を参照してください。

SW3 が CS3 空間アクセス時の \overline{CS} アサート拡張指定、SW2 が CS2 空間アクセス時の \overline{CS} アサート拡張指定、SW1 が CS1 空間アクセス時の \overline{CS} アサート拡張指定、SW0 が CS0 空間アクセス時の \overline{CS} アサート拡張指定をそれぞれ行います。

ビット3	説 明
SW3	
0	CS3 空間 \overline{CS} アサート拡張なし
1	CS3 空間 \overline{CS} アサート拡張あり (初期値)

ビット2	説 明
SW2	
0	CS2 空間 \overline{CS} アサート拡張なし
1	CS2 空間 \overline{CS} アサート拡張あり (初期値)

ビット1	説 明
SW1	
0	CS1 空間 \overline{CS} アサート拡張なし
1	CS1 空間 \overline{CS} アサート拡張あり (初期値)

ビット0	説 明
SW0	
0	CS0 空間 \overline{CS} アサート拡張なし
1	CS0 空間 \overline{CS} アサート拡張あり (初期値)

9.2.3 ウェイトコントロールレジスタ (WCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	W33	W32	W31	W30	W23	W22	W21	W20	W13	W12	W11	W10	W03	W02	W01	W00
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトコントロールレジスタ (WCR) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のウェイトサイクルを指定します。

WCR はパワーオンリセットおよびハードウェアスタンバイモード時に H'FFFF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には初期化されません。

ビット 15 ~ 12 : CS3 空間ウェイト指定 (W33、W32、W31、W30)

CS3 空間アクセス時のウェイト数を指定します。

ビット 15	ビット 14	ビット 13	ビット 12	説 明
W33	W32	W31	W30	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

ビット 11 ~ 8 : CS2 空間ウェイト指定 (W23、W22、W21、W20)

CS2 空間アクセス時のウェイト数を指定します。

ビット 11	ビット 10	ビット 9	ビット 8	説 明
W23	W22	W21	W20	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

ビット 7 ~ 4 : CS1 空間ウェイト指定 (W13、W12、W11、W10)

CS1 空間アクセス時のウェイト数を指定します。

ビット 7	ビット 6	ビット 5	ビット 4	説 明
W13	W12	W11	W10	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

9. バスステートコントローラ (BSC)

ビット 3~0 : CS0 空間ウェイト指定 (W03、W02、W01、W00)

CS0 空間アクセス時のウェイト数を指定します。

ビット 3	ビット 2	ビット 1	ビット 0	説 明
W03	W02	W01	W00	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

9.2.4 RAM エミュレーションレジスタ (RAMER)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

RAM エミュレーションレジスタ (RAMER) は読み出し / 書き込み可能な 16 ビットのレジスタで、フラッシュメモリのリアルタイムな書き換えをエミュレートする際に使用する RAM エリアを選択するレジスタです。

RAMER はパワーオンリセットおよびハードウェアスタンバイモード時に H'0000 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には初期化されません。

【注】 RAM エミュレーション機能を確実に働かせるため、本レジスタの書き換え直後に RAM エミュレーション対象の ROM エリアをアクセスしないでください。
アクセスした場合、動作の保証はできません。

ビット 15~4 : 予約ビット

書き込み時は常に 0 を書き込んでください。1 を書き込んだ場合、動作の保証はできません。

ビット 3 : RAM セレクト (RAMS)

ビット 2~0 と共に使用し、RAM によるフラッシュメモリのエミュレーション選択 / 非選択を設定するビットです (表 9.4)。

1 ライト時は、フラッシュメモリ全プログラムの書き込み・消去プロテクト状態となります。本ビットは内蔵 ROM が無効なモードでは無視されます。

ビット 2~0 : フラッシュメモリエリア指定 (RAM2~RAM0)

RAMS と共に使用し、RAM と重ね合わせるフラッシュメモリのエリアを設定します (表 9.4)。

表 9.4 RAM エリアの設定方法

RAM エリア	ビット 3	ビット 2	ビット 1	ビット 0
	RAMS	RAM2	RAM1	RAM0
H'FFFF6000 ~ H'FFFF6FFF	0	*	*	*
H'00000000 ~ H'00000FFF	1	0	0	0
H'00001000 ~ H'00001FFF				1
H'00002000 ~ H'00002FFF			1	0
H'00003000 ~ H'00003FFF				1
H'00004000 ~ H'00004FFF	1	0	0	0
H'00005000 ~ H'00005FFF				1
H'00006000 ~ H'00006FFF			1	0
H'00007000 ~ H'00007FFF				1

*: Don't care

9.3 外部空間アクセス

外部空間では、主に SRAM、ROM の直結を想定してストロープ信号を出力します。

9.3.1 基本タイミング

外部空間アクセスのバスサイクルは、2 ステートで行われます。図 9.3 に外部空間アクセスの基本タイミングを示します。

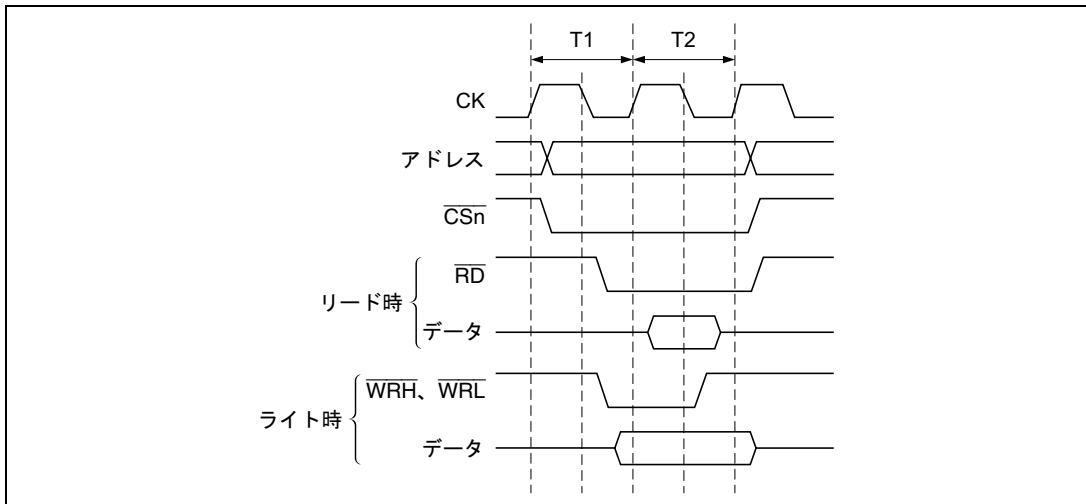


図 9.3 外部空間アクセスの基本タイミング

9.3.2 ウェイトステート制御

WCR の設定により、外部空間アクセスのウェイトステートの挿入を制御できます。図 9.4 に示すタイミングで、TW のサイクルがソフトウェアサイクルとして指定サイクル数だけ挿入されます。

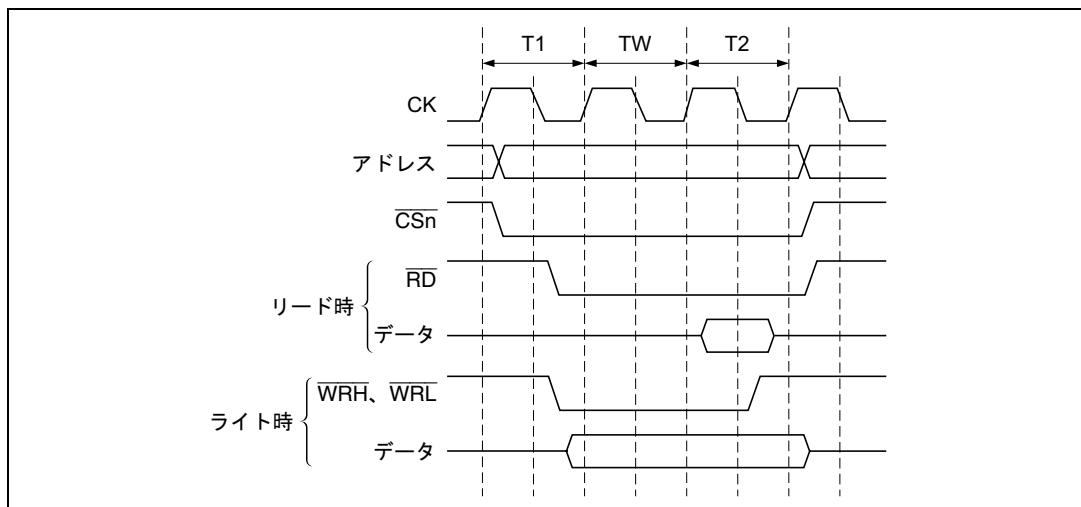


図 9.4 外部空間アクセスのウェイトステートタイミング
(ソフトウェアウェイトのみ)

WCR によってソフトウェアによるウェイトを指定したときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 9.5 に示します。 $\overline{\text{WAIT}}$ 信号のサンプリングは、TW ステートから T2 ステートに移行する際にクロックの立ち上がりから 1 サイクル前のクロックの立ち上がりで行われます。外部ウェイトを使用する際、CS アサート拡張時にはソフトウェアウェイトを 1 ステート以上、それ以外のときは 2 ステート以上を WCR に設定してください。

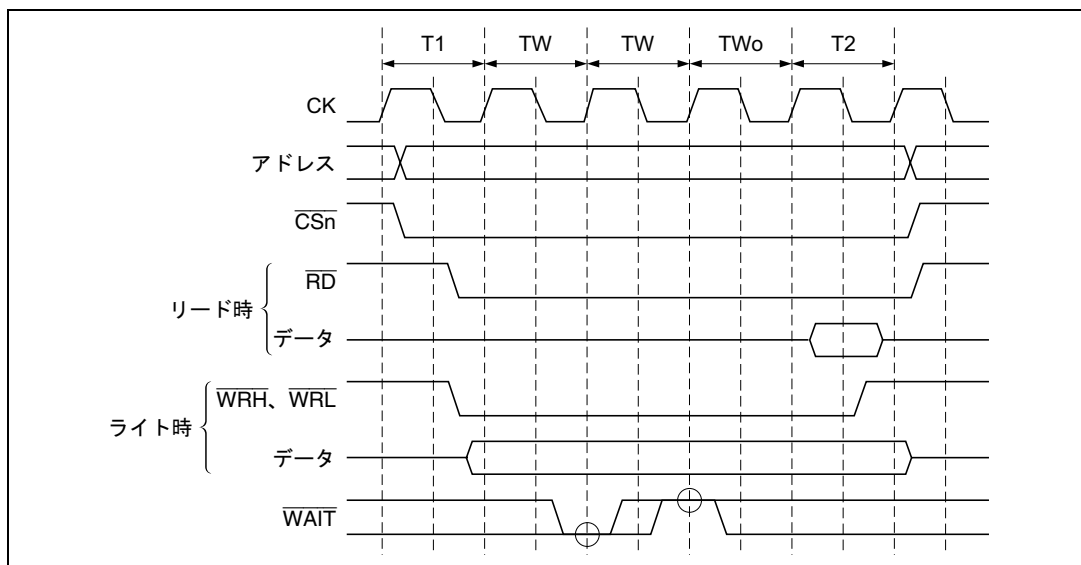


図 9.5 外部空間アクセスのウェイトステートタイミング
(ソフトウェアウェイト 2 ステート + WAIT 信号によるウェイトステート)

9.3.3 \overline{CS} アサート期間拡張

BCR2 の SW3 ~ SW0 ビットの設定により、 \overline{RD} 、 \overline{WRH} 、 \overline{WRL} のアクティブとなる期間が \overline{CSn} のアクティブとなる期間からはみ出さないようにアイドルサイクルを挿入することができます。これにより、外付け回路とフレキシブルなインタフェースがとれます。タイミングを図 9.6 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。このサイクルでは \overline{CSn} のみアクティブとなり、 \overline{RD} 、 \overline{WRH} 、 \overline{WRL} はアクティブとなりません。また、ライトデータは Tf サイクルまで延ばされるので、ライト動作の遅いゲートアレイに有効です。

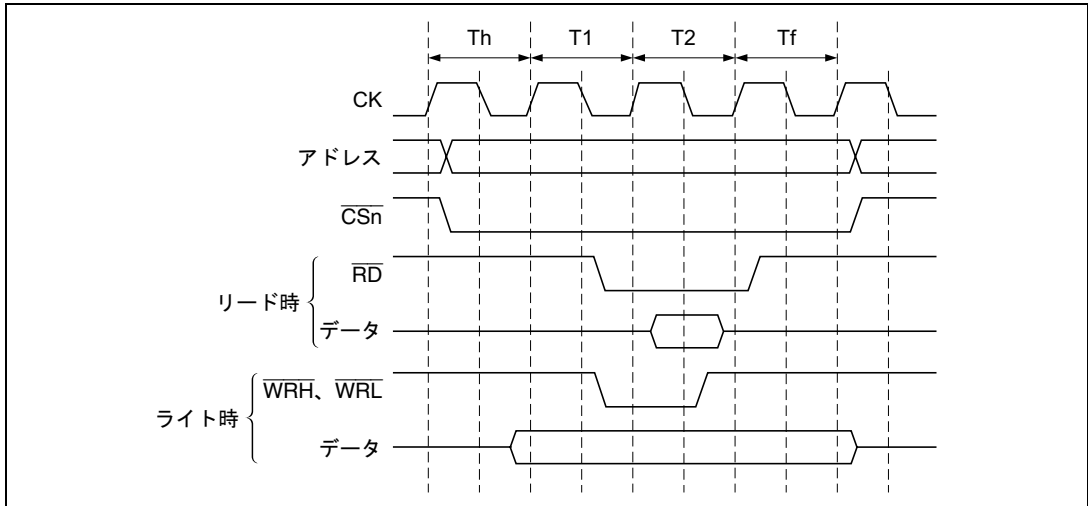


図 9.6 \overline{CS} アサート期間拡張機能

9.4 アクセスサイクル間ウェイト

低速なデバイスをリードしたとき、データバッファのオフが間に合わずに次アクセスのデータと衝突を起こすことがあります。これを防止するため、メモリアクセスを起動する際に問題がある場合にはアクセスサイクル間にウェイトを挿入することができます。

また、同一 CS 空間の連続アクセス時にいったん \overline{CSn} 信号をインアクティブとして、バスサイクル開始の検出を容易にするために、アクセスサイクル間にウェイトを挿入することができます。

9.4.1 データバス衝突防止

(1) リードサイクル後のライトサイクル、(2) リードサイクル後の異なる CS 空間に対するリードサイクル、の 2 つの場合、BCR2 の IW31 ~ IW00 ビットによって指定されたサイクル数だけアイドルサイクルが入るようウェイトを挿入します。アクセスサイクル間にもともとアイドルサイクルが存在する場合は、指定されたアイドルサイクル数からその空きサイクル数を除いたサイクルだけウェイトを挿入します。図 9.7 にサイクル間アイドルの例を示します。この例では、 \overline{CSn} 空間のサイクル間アイドルに 1 を指定した場合に、 \overline{CSn} 空間のリードサイクルの直後に \overline{CSm} 空間のライトを行うとき、1 アイドルサイクルが挿入されることを示しています。

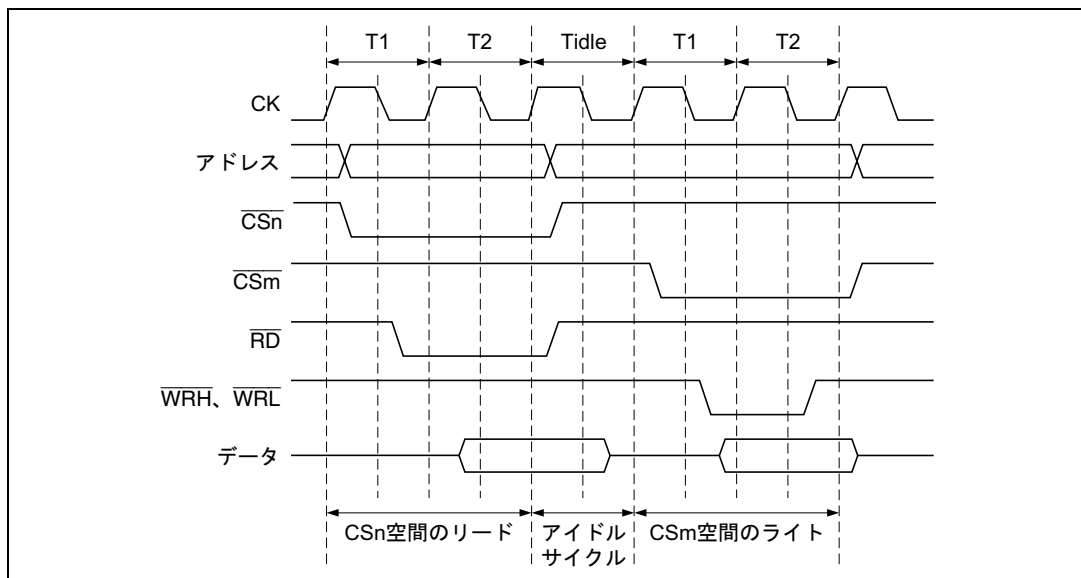


図 9.7 アイドルサイクル挿入例

IW31、IW30 では CS3 空間をリードした後に、他の CS 空間からリードする場合と本 LSI がライトアクセスを行う場合に、必要なアイドルサイクル数を指定します。同様に IW21、IW20 では CS2 空間リード後の、IW11、IW10 では CS1 空間リード後の、IW01、IW00 では CS0 空間リード後のアイドルサイクル数を指定します。アイドルサイクル数には 0~3 サイクルを指定することができます。

9.4.2 バスサイクル開始検出の容易化

同一 CS 空間を連続してアクセスする場合、BCR2 の CW3~CW0 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。ただし、リード後のライトサイクルの場合、挿入されるアイドルサイクルは IW ビットと CW ビットで指定されるアイドルサイクルのうち大きな値になります。アクセスサイクル間にアイドルサイクルが存在する場合はウェイト挿入を行いません。

図 9.8 に例を示します。この例では CSn 空間を連続アクセスアイドル指定し、CSn 空間を連続ライトアクセスした場合を示しています。

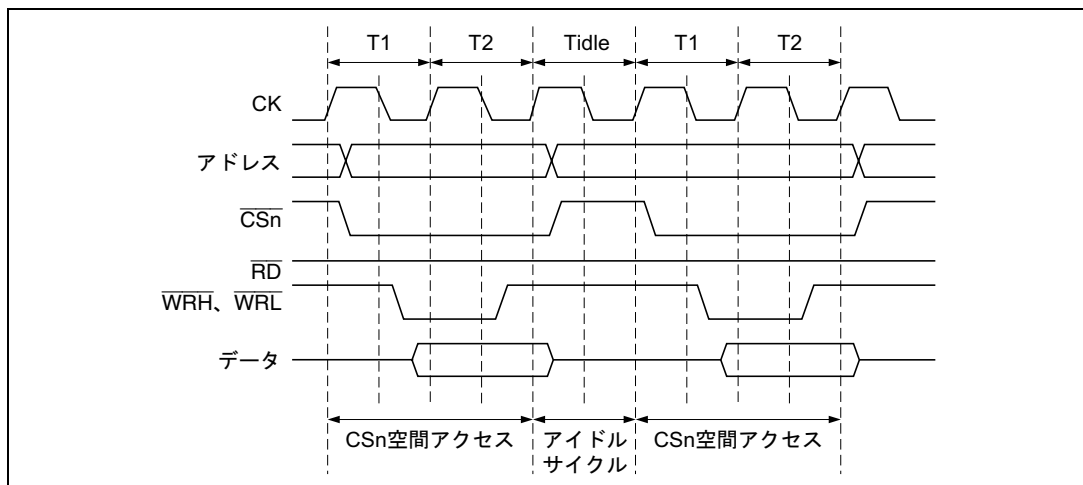


図 9.8 同一空間連続アクセス時アイドルサイクル挿入例

9.5 バスアービトレーション

本 LSI は、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えることができます。また、本 LSI 内部にも CPU と DMAC と AUD という 3 つのバスマスタがあります。これらのバスマスタに対するバス権委譲の優先順位は以下のとおりとなります。

外部デバイスによるバス権要求 > AUD > DMAC > CPU

DMAC によるバースト転送中であっても、外部デバイスによるバス権要求が発生すると、外部デバイスが優先されます。

また、AUD は DMAC のバースト転送中はバス権を獲得せず転送終了後バス権を獲得します。CPU がバス権を持っている状態では、AUD は DMAC よりバス権委譲が優先されます。

外部デバイスによるバス権要求は、 $\overline{\text{BREQ}}$ 端子に入力してください。バス権を解放したことを示す信号は $\overline{\text{BACK}}$ 端子から出力されます。

図 9.9 に、バス解放手順を示します。

9. バスステートコントローラ (BSC)

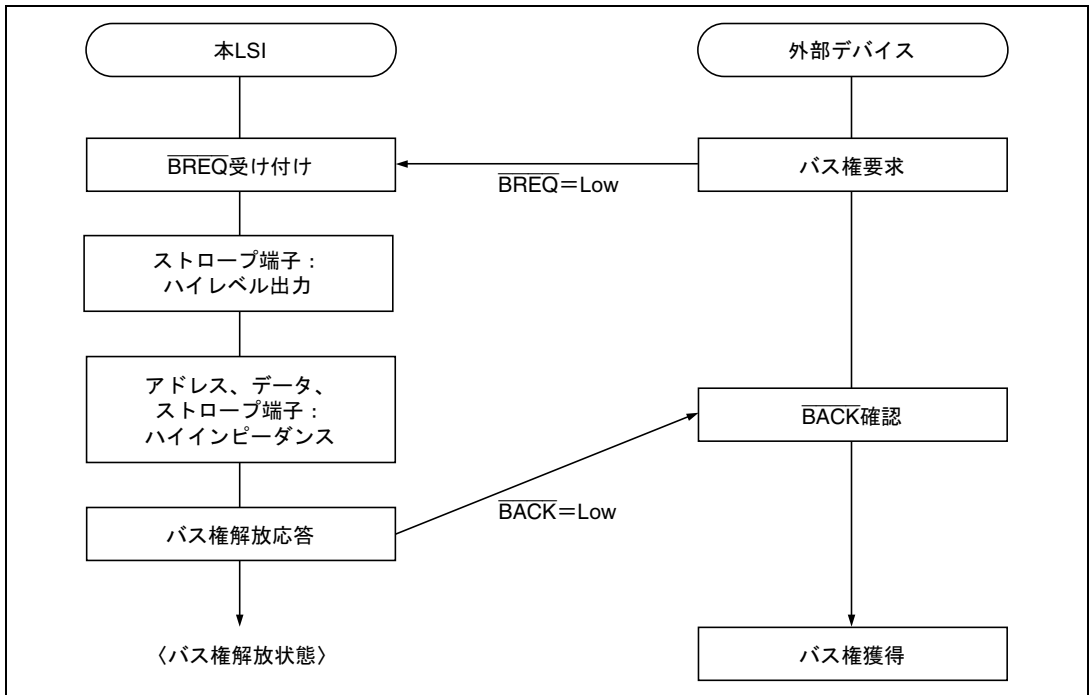


図 9.9 バス権解放手順

9.6 メモリ接続例

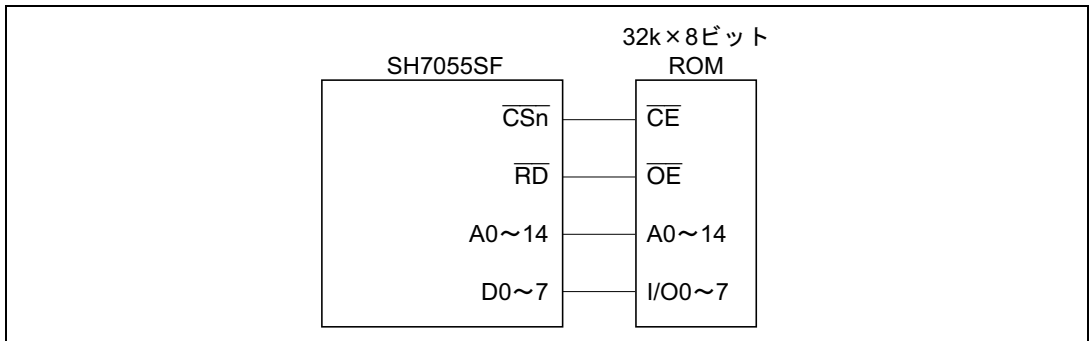


図 9.10 8ビットデータバス幅ROM接続例

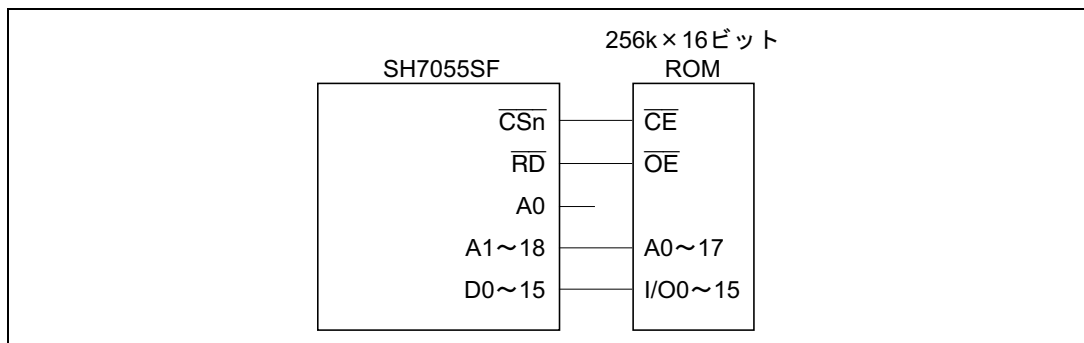


図 9.11 16 ビットデータバス幅 ROM 接続例

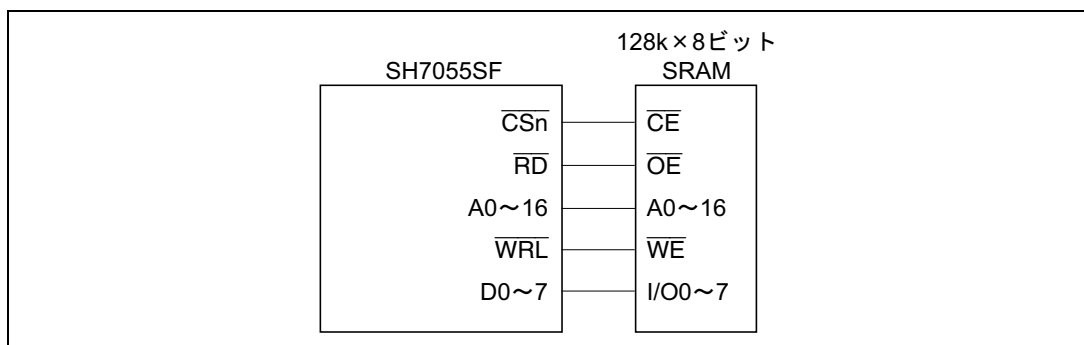


図 9.12 8 ビットデータバス幅 SRAM 接続例

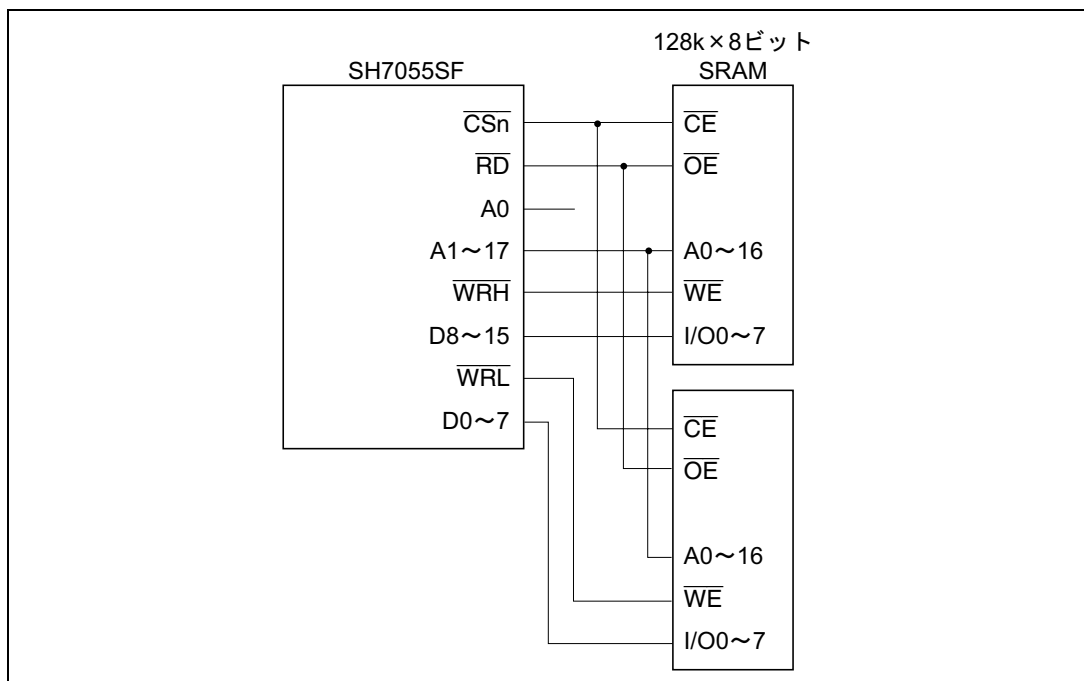


図 9.13 16 ビットデータバス幅 SRAM 接続例

10. ダイレクトメモリアクセスコントローラ (DMAC)

10.1 概要

本 LSI は 4 チャンネルのダイレクトメモリアクセスコントローラ(DMAC)を内蔵しています。DMAC は、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (DMAC、BSC、UBC を除く) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。

10.1.1 特長

DMAC には次のような特長があります。

チャンネル数：4チャンネル

アドレス空間：アーキテクチャ上は4ギガバイト

転送データ長：8ビット、16ビット、32ビットの中から選択可能

最大転送回数：16M (16,777,216) 回

アドレスモード

転送元、転送先双方をアドレスアクセスします。転送モードには直接アドレス転送モードと間接アドレス転送モードがあります。

(a) 直接アドレス転送モード

転送元、転送先とも、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指しています。

1回のデータ転送に2バスサイクルを必要とします。

(b) 間接アドレス転送モード

DMAC内部の転送元レジスタに設定されたアドレスの先に格納されている値をアドレスとしてデータ転送を行います。それ以外は直接アクセスと同じ動作です。この機能はチャンネル3でのみ設定可能です。1回のデータ転送に4バスサイクルを必要とします。

チャンネル機能：各チャンネルともデュアルアドレスモードをサポートします。

チャンネル2では4回の転送ごとにソースアドレスをリロードする機能 (ソースアドレスリロード機能) を備えています。チャンネル3では直接アドレス転送モード、間接アドレス転送モード指定可能です。

リロード機能

4回のDMA転送終了ごとに、最初にソースアドレスレジスタに設定した値を自動的にリロードすることができます。この機能はチャンネル2でのみ実行可能です。

転送要求

DMACの転送起動要求には以下の種類があります。

- 内蔵モジュール

SCI、A/Dなど内蔵モジュールの転送要求です。すべてのチャンネルが受け付け可能です。

- オートリクエスト

転送要求をDMAC内部で自動的に発生します。

バスモード

バスモードではサイクルスチールモードとバーストモードの選択が可能です。

優先順位

DMACのチャンネル優先順位は固定です。

割り込み要求：指定した転送回数終了後、CPUに割り込み要求を発生可能です。

10. ダイレクトメモリアクセスコントローラ (DMAC)

10.1.2 DMAC ブロック図

図 10.1 に DMAC のブロック図を示します。

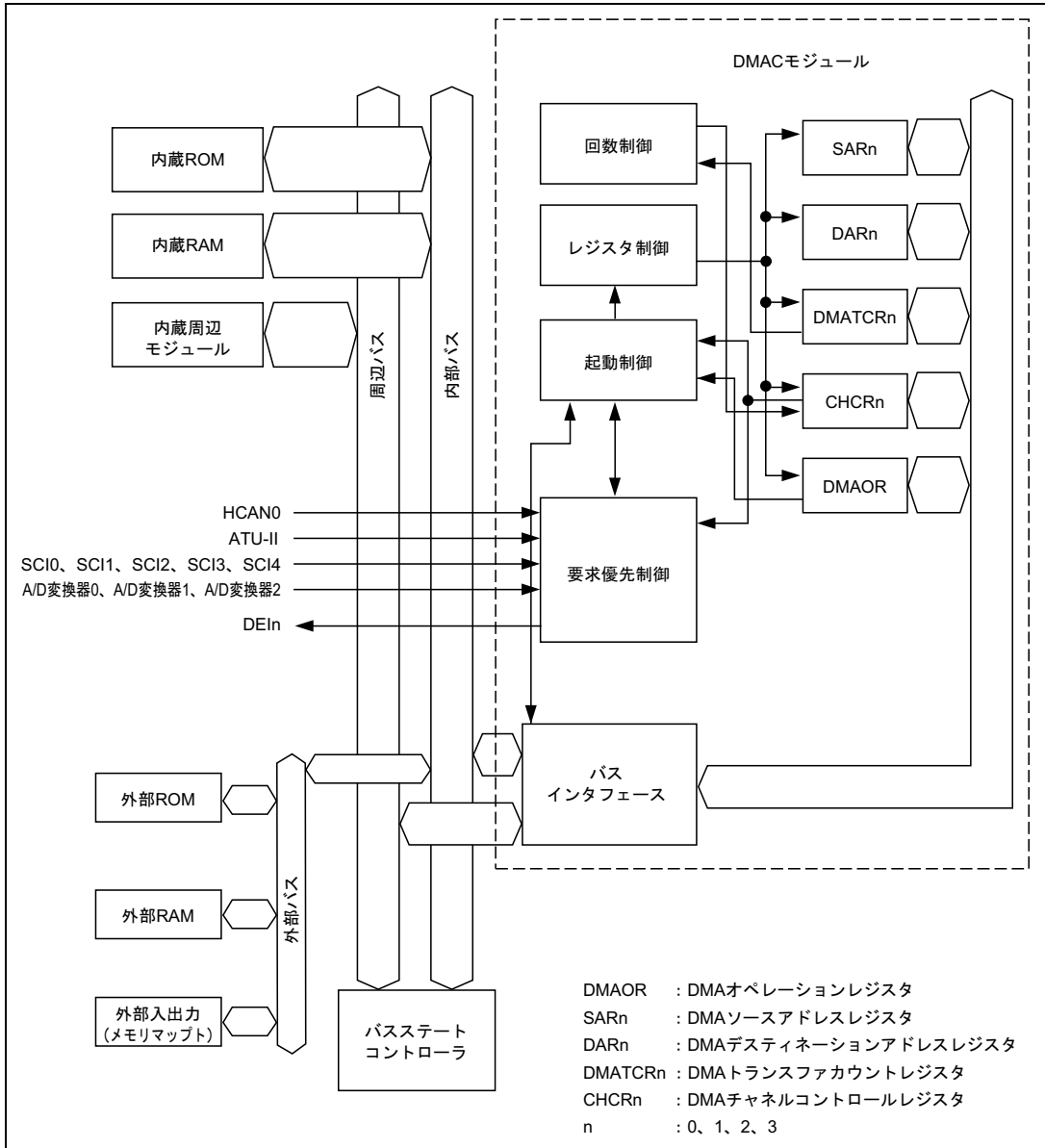


図 10.1 DMAC ブロック図

10.1.3 レジスタ構成

表 10.1 にレジスタ構成を示します。DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられているほか、DMAC 全体の制御用のレジスタが 1 本あり、全体で計 17 本のレジスタがあります。

表 10.1 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス	レジスタサイズ	アクセスサイズ
共通	DMA オペレーションレジスタ	DMAOR	R/W*1	H'0000	H'FFFFFFCB0	16	16*4
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	不定	H'FFFFFFECC0	32	16、32*2
	DMA デスティネーション アドレスレジスタ 0	DAR0	R/W	不定	H'FFFFFFECC4	32	16、32*2
	DMA トランスファカウントレジスタ 0	DMATCR0	R/W	不定	H'FFFFFFECC8	32	16、32*3
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/W*1	H'0000 0000	H'FFFFFFECCC	32	16、32*2
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	不定	H'FFFFFFCD0	32	16、32*2
	DMA デスティネーション アドレスレジスタ 1	DAR1	R/W	不定	H'FFFFFFCD4	32	16、32*2
	DMA トランスファカウントレジスタ 1	DMATCR1	R/W	不定	H'FFFFFFCD8	32	16、32*3
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/W*1	H'00000000	H'FFFFFFCDC	32	16、32*2
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	不定	H'FFFFFFCE0	32	16、32*2
	DMA デスティネーション アドレスレジスタ 2	DAR2	R/W	不定	H'FFFFFFCE4	32	16、32*2
	DMA トランスファカウントレジスタ 2	DMATCR2	R/W	不定	H'FFFFFFCE8	32	16、32*3
	DMA チャンネルコントロールレジスタ 2	CHCR2	R/W*1	H'00000000	H'FFFFFFCEC	32	16、32*2
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	不定	H'FFFFFFCF0	32	16、32*2
	DMA デスティネーション アドレスレジスタ 3	DAR3	R/W	不定	H'FFFFFFCF4	32	16、32*2
	DMA トランスファカウントレジスタ 3	DMATCR3	R/W	不定	H'FFFFFFCF8	32	16、32*3
	DMA チャンネルコントロールレジスタ 3	CHCR3	R/W*1	H'00000000	H'FFFFFFCFC	32	16、32*2

【注】 レジスタアクセスは、ワードアクセス時 3 サイクル、ロングワードアクセス時 6 サイクルとなります。空きアドレスのアクセスはしないでください。空きアドレスをアクセスした場合の動作は保証されません。

- *1 CHCR0~3 のビット 1 および DMAOR のビット 1、ビット 2 はフラグクリアのために 1 リード後の 0 ライトのみ可能。
- *2 SAR0~3、DAR0~3、DMATCR0~3、CHCR0~3 に 16 ビットアクセスをした場合、アクセスされなかった側の 16 ビットの値は保持されます。
- *3 DMATCR は 0~23 ビットまでの 24 ビット構成です。上位側 24~31 ビットまでの 8 ビットへの 1 ライトは無効となり読み出すと常に 0 がリードされます。
- *4 DMAOR は 32 ビットアクセスしないでください。

10.2 各レジスタの説明

10.2.1 DMA ソースアドレスレジスタ 0~3 (SAR0~3)

ビット:	31	30	29	28	27	26	25	24	23	0
初期値:	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA ソースアドレスレジスタ 0~3 (SAR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、転送元のアドレスを指定します。カウント機能を持ち、DMA 動作中は次の転送元アドレスを示しています。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。それ以外のアドレスを設定した場合の動作は保証されません。

パワーオンリセット、スタンバイモード時には、値は不定になります。

10.2.2 DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)

ビット:	31	30	29	28	27	26	25	24	23	0
初期値:	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、転送先のアドレスを指定します。カウント機能を持ち、DMAC 動作中は次の転送先アドレスを示しています。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ 16 ビット、32 ビット境界のアドレスを指定してください。それ以外のアドレスを設定した場合の動作は保証されません。

パワーオンリセット、スタンバイモード時には、値は不定になります。

10.2.3 DMA トランスファカウントレジスタ 0~3 (DMATCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—								
初期値:	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA トランスファカウントレジスタ 0~3 (DMATCR0~3) は読み出し、書き込み可能な 24 ビットのレジスタで、そのチャンネルの転送回数 (バイト数、ワード数またはロングワード数) を指定します。転送回数は H'000001 を設定した場合 1 回ですが、H'000000 を設定すると最大値を設定したことになり、16,777,216 回実行されます。DMAC 動作中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

パワーオンリセット、スタンバイモード時には、値は不定になります。

10.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DI	—	—	—	RO	—	—	—	RS4	RS3	RS2	RS1	RS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SM1	SM0	—	—	DM1	DM0	—	—	TS1	TS0	TM	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R(W)	R/W

【注】 1. TEビットは、1リード後の0ライトのみ実行可能です。

2. DI、ROビットは、チャンネルにより存在しないビットがあります。

DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3) は読み出し、書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法等を指定します。

パワーオンリセット、スタンバイモード時には、H'00000000 に初期化されます。

10. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 31~29、27~25、23~21、15、14、11、10、7、6：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 28：ダイレクト、インダイレクトセレクト (DI)

チャンネル 3 のソースアドレスを直接アドレスモードで動作するか、間接アドレスモードで動作するかを指定するビットです。

このビットは CHCR3 でのみ有効です。CHCR0、1、2 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 28	説 明
DI	
0	チャンネル 3 を直接アドレスモードで動作させる (初期値)
1	チャンネル 3 を間接アドレスモードで動作させる

ビット 24：ソースアドレスリロードビット (RO)

チャンネル 2 の転送時、ソースアドレス初期値のリロードを行うかどうかの選択ビットです。

このビットは CHCR2 でのみ有効です。CHCR0、1、3 では、このビットを読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 24	説 明
RO	
0	ソースアドレスをリロードしない (初期値)
1	ソースアドレスをリロードする

10. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 20~16 : リソースセレクト 4、3、2、1、0 (RS4、RS3、RS2、RS1、RS0)

転送要求元を指定します。

ビット 20	ビット 19	ビット 18	ビット 17	ビット 16	説 明
RS4	RS3	RS2	RS1	RS0	
0	0	0	0	0	要求なし* (初期値)
				1	SCI0 の送信
			1	0	SCI0 の受信
				1	SCI1 の送信
		1	0	0	SCI1 の受信
				1	SCI2 の送信
			1	0	SCI2 の受信
				1	SCI3 の送信
	1	0	0	0	SCI3 の受信
				1	SCI4 の送信
			1	0	SCI4 の受信
				1	内蔵 A/D0
		1	0	0	内蔵 A/D1
				1	内蔵 A/D2
			1	0	要求なし*
				1	HCAN0 (RM0)
1	0	0	0	0	要求なし*
				1	ATU-II (ICI0A)
			1	0	ATU-II (ICI0B)
				1	ATU-II (ICI0C)
		1	0	0	ATU-II (ICI0D)
				1	ATU-II (CMI6A)
			1	0	ATU-II (CMI6B)
				1	ATU-II (CMI6C)
	1	0	0	0	ATU-II (CMI6D)
				1	ATU-II (CMI7A)
			1	0	ATU-II (CMI7B)
				1	ATU-II (CMI7C)
		1	0	0	ATU-II (CMI7D)
				1	要求なし*
			1	0	要求なし*
				1	オートリクエスト

【注】 * 設定不可、詳細は「10.5 使用上の注意 (12)」を参照ください。

10. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 13、12 : ソースアドレスモード 1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。

ビット 13	ビット 12	説 明
SM1	SM0	
0	0	ソースアドレスは固定 (初期値)
	1	ソースアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	ソースアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
	1	使用禁止

転送元が間接アドレスに指定されている場合、ソースアドレスレジスタ 3 (SAR3) には、実際に転送したいデータの格納されているアドレスの値が、データとして保存されているアドレス (間接アドレス) を指定してください。

間接アドレスモード時の SAR3 の増減の指定も SM1、SM0 に従いますが、この場合は TS1、TS0 で指定した転送データのサイズにかかわらず、SAR3 の増減値は+4、-4 または 0 固定になります。

ビット 9、8 : デスティネーションアドレスモード 1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。

ビット 9	ビット 8	説 明
DM1	DM0	
0	0	デスティネーションアドレスは固定 (初期値)
	1	デスティネーションアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	デスティネーションアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
	1	使用禁止

ビット 5、4 : トランスミットサイズ 1、0 (TS1、TS0)

転送するデータのサイズを指定するビットです。

ビット 5	ビット 4	説 明
TS1	TS0	
0	0	バイトサイズ (8 ビット) 指定 (初期値)
	1	ワードサイズ (16 ビット) 指定
1	0	ロングワードサイズ (32 ビット) 指定
	1	使用禁止

ビット3：トランスミットモード (TM)

転送時のバスモードを指定するビットです。

ビット3	説明
TM	
0	サイクルスチールモード (初期値)
1	バーストモード

ビット2：インターラプトイネーブル (IE)

このビットを1にセットすると、DMATCR に指定した回数のデータ転送が終了したとき (TE=1 のとき) 割り込み要求を発生します。

ビット2	説明
IE	
0	DMATCR 指定転送回数終了時、割り込み要求を発生しない (初期値)
1	DMATCR 指定転送回数終了時、割り込み要求を発生する

ビット1：トランスファエンド (TE)

DMATCR で指定した回数の転送が終了したとき1にセットされるビットです。このとき IE ビットが1にセットされていると、割り込み要求を発生します。

TE が1にセットされる前に NMI 割り込み、アドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了された場合は、TE ビットは1にセットされません。このビットが1にセットされた状態で DE ビットを1にセットしても、転送許可状態には入りません。

ビット1	説明
TE	
0	DMATCR 指定回数転送未終了 [クリア条件]・TE=1のリード後、TE=0をライトしたとき ・パワーオンリセット、スタンバイ時 (初期値)
1	DMATCR 指定回数転送終了

ビット0：DMAC イネーブル (DE)

対応するチャンネルの動作を許可するビットです。

ビット0	説明
DE	
0	対応チャンネルの動作禁止 (初期値)
1	対応チャンネルの動作許可

オートリクエストを指定 (RS4~0 で指定) した場合、このビットに1をセットすると転送に入ります。内蔵モジュールリクエストでは、このビットに1をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。

DE ビットをセットしても TE が1の場合、DMAOR の DME が0の場合、DMAOR の NMIF または AE ビットが1の場合は転送許可状態には入りません。

10. ダイレクトメモリアクセスコントローラ (DMAC)

10.2.5 DMA オペレーションレジスタ (DMAOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*R/(W)*	R/(W)*R/(W)*	R/W

【注】* AE、NMIFビットは、1リード後の0ライトのみ実行可能です。

DMAOR は読み出し、書き込み可能な 16 ビットのレジスタで、DMAC 全体の動作を制御します。パワーオンリセット、スタンバイモード時には、H'0000 に初期化されます。

ビット 15~3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : アドレスエラーフラグ (AE)

DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から AE に 1 をライトすることはできません。クリアは、1 リード後の 0 ライトのみ有効です。

ビット 2	説明
AE	
0	アドレスエラーなし。DMA 転送許可状態。 [クリア条件]・AE=1 リード後、AE=0 をライトしたとき (初期値)
1	アドレスエラーあり。DMA 転送禁止状態。 [セット条件]・DMAC によるアドレスエラーの発生時

ビット 1 : NMI フラグ (NMIF)

NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 をライトすることはできません。クリアは、1 リード後の 0 ライトのみ有効です。

ビット 1	説明
NMIF	
0	NMI 入力なし。DMA 転送許可状態。 [クリア条件]・NMIF=1 リード後、NMIF=0 をライトしたとき (初期値)
1	NMI 入力あり。DMA 転送禁止状態。 [セット条件]・NMI 割り込みの発生時

ビット0 : DMAC マスタイネーブル (DME)

DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。

DME ビットをセットしても CHCR の TE が 1、または DE が 0 の場合、DMAOR の NMIF または AE ビットが 1 の場合は転送許可状態には入りません。

ビット0	説明
DME	
0	全チャンネルの動作禁止 (初期値)
1	全チャンネルの動作許可

10.3 動作説明

DMAC は DMA 転送要求があるとチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、内蔵周辺モジュールリクエストの 2 種類のモードがあります。DMA 転送は、デュアルアドレスモードのみあります。デュアルアドレスモードは、直接アドレス転送モードと間接アドレス転送モードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

10.3.1 動作説明

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR) に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

- (1) 転送許可状態かどうか (DE=1、DME=1、TE=0、NMIF=0、AE=0) をチェックします。
- (2) 転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS0、TS1 の設定により決定) を転送します。オートリクエストモードの場合は DE および DME が 1 にセットされると自動的に転送を開始します。1 回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
- (3) 指定された回数の転送を終える (DMATCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットを 1 にセットしてあれば、CPU に DEI 割り込みを発生します。
- (4) DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。図 10.2 に上記のフローチャートを示します。

10. ダイレクトメモリアクセスコントローラ (DMAC)

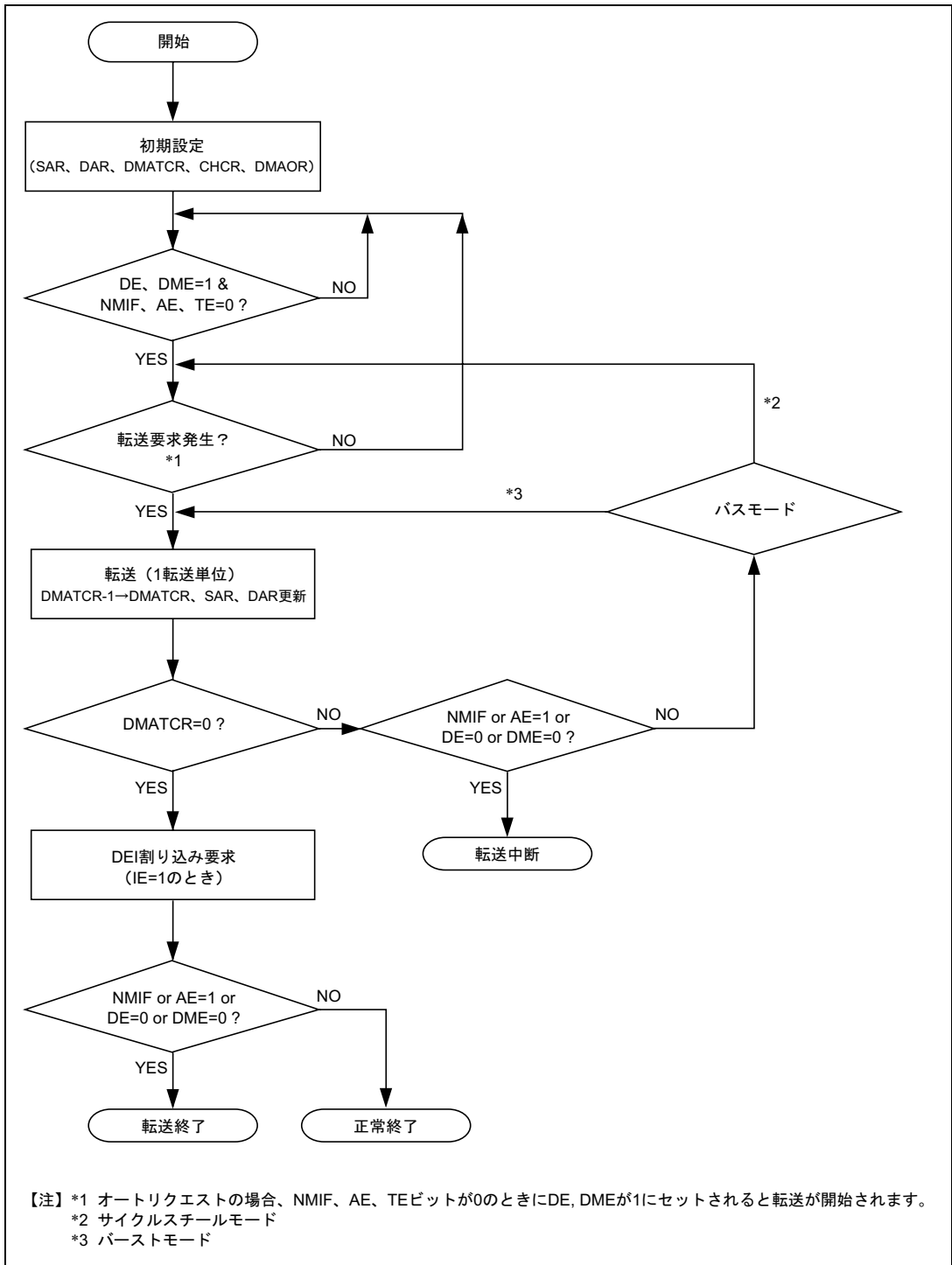


図 10.2 DMAC 転送フローチャート

10.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させます。

転送要求にはオートリクエスト、内蔵周辺モジュールリクエストの 2 種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ 0~3 (CHCR0~CHCR3) の RS4~RS0 ビットによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR3 の DE ビットおよび DMA オペレーションレジスタ (DMAOR) の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR0~CHCR3 の TE ビット、DMAOR の NMIF ビット、AE ビットがすべて 0 である必要があります。

(2) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本 LSI の内蔵周辺モジュールからの転送要求信号 (割り込み要求信号) によって転送を開始させるモードです。転送要求信号には表 10.2 に示すように、アドバンスドタイマユニット (ATU-II) からのコンペアマッチ割り込みおよびインプットキャプチャ割り込みの 12 種類、5 つのシリアルコミュニケーションインタフェース (SCI) からの受信データフル割り込み (RXI)、送信データエンプティ割り込み (TXI)、HCAN0 からの受信割り込み、3 つの A/D 変換器の A/D 変換終了割り込み (ADI) の計 26 本があります。DMA 転送が許可されているとき (DE = 1、DME = 1、TE = 0、NMIF = 0、AE = 0) に転送要求信号が入力されると DMA 転送が開始されます。

転送要求を RXI (SCI の受信データフルによる転送要求) に設定した場合は転送元は SCI のレシーブデータレジスタ (RDR) でなければなりません。転送要求を TXI (SCI の送信データエンプティによる転送要求) に設定した場合は、転送先は SCI のトランスミットデータレジスタ (TDR) でなければなりません。転送要求を A/D 変換器にした場合は、データ転送元は A/D 変換器のレジスタでなければなりません。

また、転送要求を HCAN0 にした場合は、転送元は HCAN0 のメッセージデータでなければなりません。

10. ダイレクトメモリアクセスコントローラ (DMAC)

表 10.2 RS ビットによる内蔵周辺モジュールリクエストモードの選択

RS4	RS3	RS2	RS1	RS0	DMAC 転送要求元	DMAC 転送要求信号	転送元	転送先	パスモード			
0	0	0	0	1	SCI0 送信部	TXI0 (SCI0 送信データエンプティによる転送要求)	任意*	TDR0	バースト/サイクル スチール			
				1	0	SCI0 受信部	RXI0 (SCI0 受信データフルによる転送要求)	RDR0	任意*	バースト/サイクル スチール		
			1	1	SCI1 送信部	TXI1 (SCI1 送信データエンプティによる転送要求)	任意*	TDR1	バースト/サイクル スチール			
			1	0	0	SCI1 受信部	RXI1 (SCI1 受信データフルによる転送要求)	RDR1	任意*	バースト/サイクル スチール		
		1	1	1	SCI2 送信部	TXI2 (SCI2 送信データエンプティによる転送要求)	任意*	TDR2	バースト/サイクル スチール			
		1	0	0	SCI2 受信部	RXI2 (SCI2 受信データフルによる転送要求)	RDR2	任意*	バースト/サイクル スチール			
		1	1	1	SCI3 送信部	TXI3 (SCI3 送信データエンプティによる転送要求)	任意*	TDR3	バースト/サイクル スチール			
		1	0	0	0	SCI3 受信部	RXI3 (SCI3 受信データフルによる転送要求)	RDR3	任意*	バースト/サイクル スチール		
	1	0	0	1	1	SCI4 送信部	TXI4 (SCI4 送信データエンプティによる転送要求)	任意*	TDR4	バースト/サイクル スチール		
					1	0	SCI4 受信部	RXI4 (SCI4 受信データフルによる転送要求)	RDR4	任意*	バースト/サイクル スチール	
				1	1	A/D0	ADI0 (ADI0 変換終了割り込み)	ADDR0 ~ 11	任意*	バースト/サイクル スチール		
				1	0	0	A/D1	ADI1 (ADI1 変換終了割り込み)	ADDR12 ~ 23	任意*	バースト/サイクル スチール	
			1	1	1	A/D2	ADI2 (ADI2 変換終了割り込み)	ADDR24 ~ 31	任意*	バースト/サイクル スチール		
			1	1	1	HCAN0	RM0 (HCAN0 受信割り込み)	MD0 ~ 15	任意*	バースト/サイクル スチール		
			1	0	0	0	1	ATU-II	ICI0A (ICI0A のインプットキャプチャ発生)	任意*	任意*	バースト/サイクル スチール
							1	0	ATU-II	ICI0B (ICI0B のインプットキャプチャ発生)	任意*	任意*
1	1	ATU-II					ICI0C (ICI0C のインプットキャプチャ発生)	任意*	任意*	バースト/サイクル スチール		
1	0	0				ATU-II	ICI0D (ICI0D のインプットキャプチャ発生)	任意*	任意*	バースト/サイクル スチール		
1	1	0				ATU-II	CMi6A (CYLR6A とのコンペアマッチ発生)	任意*	任意*	バースト/サイクル スチール		
1	0	ATU-II				CMi6B (CYLR6B とのコンペアマッチ発生)	任意*	任意*	バースト/サイクル スチール			
1	0	0			0	0	ATU-II	CMi6D (CYLR6D とのコンペアマッチ発生)	任意*	任意*	バースト/サイクル スチール	
						1	1	ATU-II	CMi7A (CYLR7A とのコンペアマッチ発生)	任意*	任意*	バースト/サイクル スチール
						1	0	ATU-II	CMi7B (CYLR7B とのコンペアマッチ発生)	任意*	任意*	バースト/サイクル スチール
		1			1	ATU-II	CMi7C (CYLR7C とのコンペアマッチ発生)	任意*	任意*	バースト/サイクル スチール		
		1			0	0	ATU-II	CMi7D (CYLR7D とのコンペアマッチ発生)	任意*	任意*	バースト/サイクル スチール	
		1			1	1	ATU-II	CMi7E (CYLR7E とのコンペアマッチ発生)	任意*	任意*	バースト/サイクル スチール	

【記号説明】

SCI0、SCI1、SCI2、SCI3、SCI4：シリアルコミュニケーションインターフェースのチャンネル 0～4

A/D0、A/D1、A/D2：A/D 変換器のチャンネル 0～2

HCAN0：コントローラエリアネットワークのチャンネル 0

ATU-II : アドバンスドタイマユニット

TDR0、TDR1、TDR2、TDR3、TDR4 : SCI0~4 のトランスミットデータレジスタ

RDR0、RDR1、RDR2、RDR3、RDR4 : SCI0~4 のレシーブデータレジスタ

ADDR0~11 : A/D0 のデータレジスタ

ADDR12~23 : A/D1 のデータレジスタ

ADDR24~31 : A/D2 のデータレジスタ

MD0~15 : HCAN0 のメッセージデータ

【注】 * 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵モジュール (DMAC、BSC、UBC を除く)

10.3.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、以下に示す優先順位に従って転送を行います。

- CH0 > CH1 > CH2 > CH3

10.3.4 DMA 転送の種類

DMAC がサポートできる転送は表 10.3 に示すとおりで、転送元と転送先の両方のアドレスを出力するデュアルアドレスモードです。デュアルアドレスモードには、出力したアドレスの値が、直接データ転送の対象アドレスとなる直接アドレスモードと、出力したアドレスの値がデータ転送対象のアドレスとならず、出力したアドレスに格納されている値が、転送対象のアドレスとなる間接アドレスモードがあります。具体的な転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 10.3 サポートできる DMA 転送

転送元	転送先			
	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
外部メモリ				
メモリマップト 外部デバイス				
内蔵メモリ				
内蔵周辺 モジュール				

(1) デュアルアドレスモード

デュアルアドレスモードは転送元と転送先を共にアドレスによってアクセスする場合に使うモードです。転送元と転送先は内部でも外部でもかまいません。デュアルアドレスモードには (a) 直接アドレス転送モード、(b) 間接アドレス転送モードがあります。

(a) 直接アドレス転送モード

データ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2つのバスサイクルで転送を行います。このとき転送データは一時的に DMAC に格納されます。図 10.3 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが DMAC に読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また図 10.4 にこの場合のタイミング例を示します。

10. ダイレクトメモリアクセスコントローラ (DMAC)

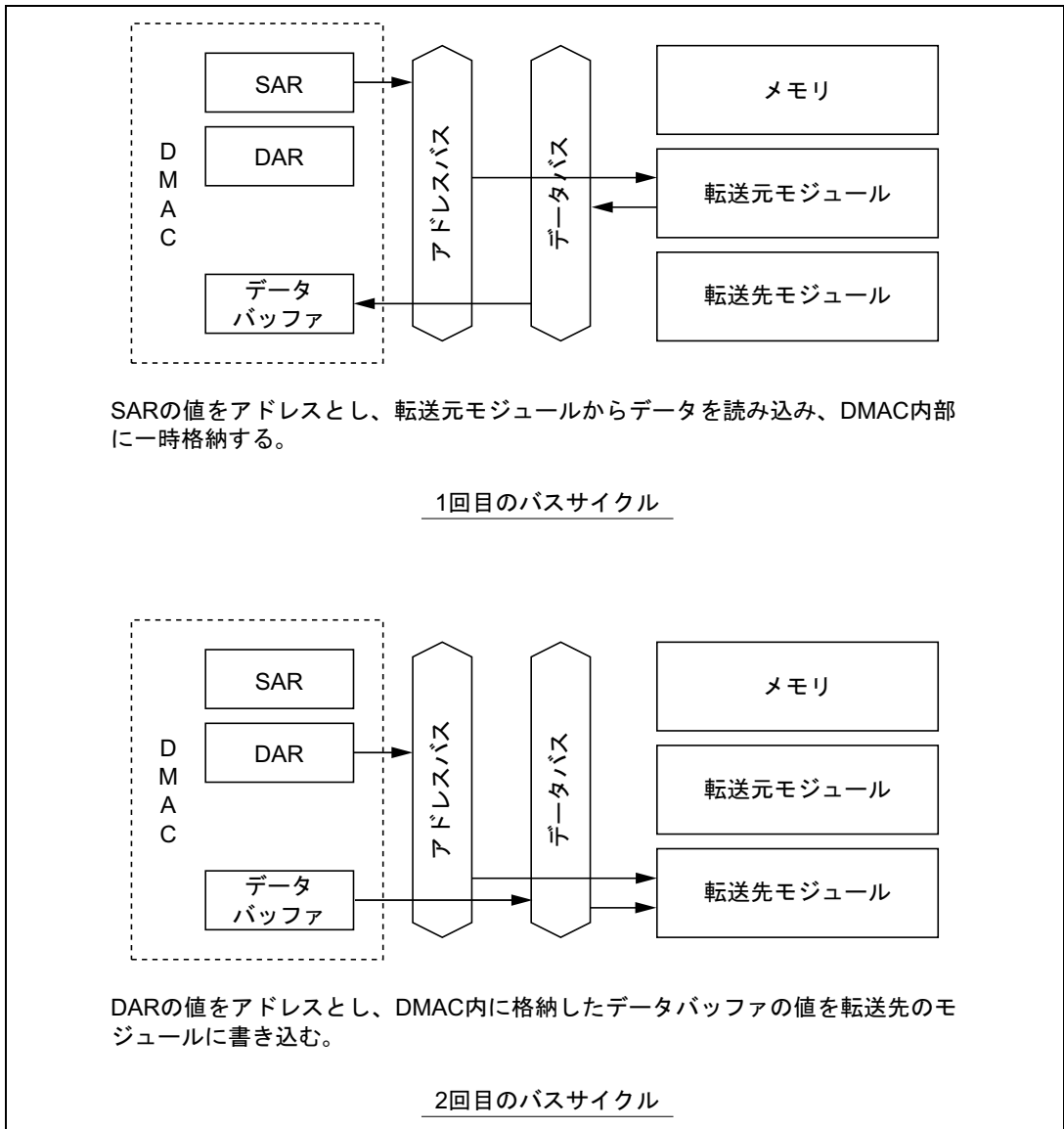


図 10.3 デュアルアドレスモード、直接アドレスの動作説明

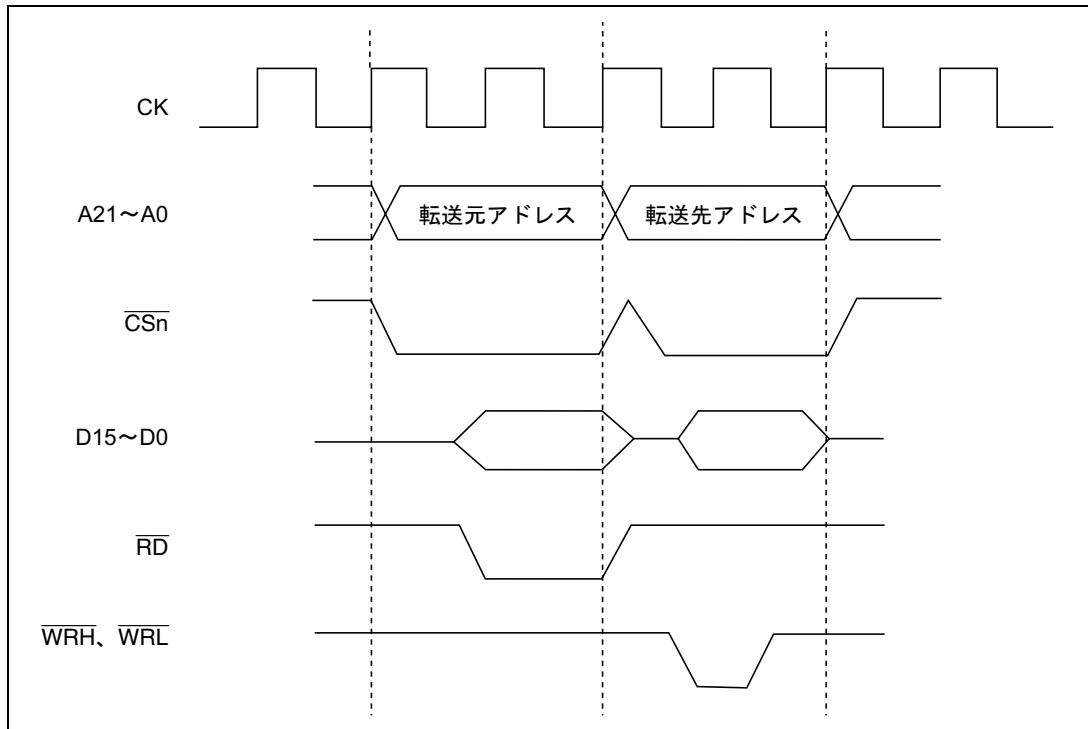


図 10.4 デュアルアドレスモード、直接アドレスでのデータの流れ

(b) 間接アドレス転送モード

DMAC 内部の転送元アドレスレジスタ (SAR3) に、実際に転送したいデータの格納されているメモリのアドレスが指定されている転送モードです。したがって、間接アドレス転送モードでは、まず DMAC 内部の転送元アドレスレジスタに指定されたアドレスの値を読み出します。この値は、いったん DMAC 内部に格納されます。次に、読み出した値をアドレスとして出力し、そのアドレスに格納されている値を再び DMAC 内部に格納します。最後に転送先アドレスレジスタに指定されたアドレスに、後から読み出した値を書き込んで 1 回の DMA 転送が終了します。

図 10.5 に、間接アドレスモードで、転送先、転送元、間接アドレスの格納先すべてが 16 ビット幅空間の外部メモリであり、転送データが 16 ビットまたは 8 ビットの場合の転送例を示します。また図 10.6 にタイミング例を示します。

間接アドレスモードでは、間接アドレスとして読み出したデータをアドレスバスに出力するまでに、1 回の NOP サイクル (図 10.6 の CK1 サイクル分) を必要とします。

なお転送データが 32 ビットサイズの場合、図 10.6 の 3 回目と 4 回目のバスサイクルが 2 回ずつ必要となり、全体で 6 回のバスサイクルと 1 回の NOP サイクルが必要になります。

10. ダイレクトメモリアクセスコントローラ (DMAC)

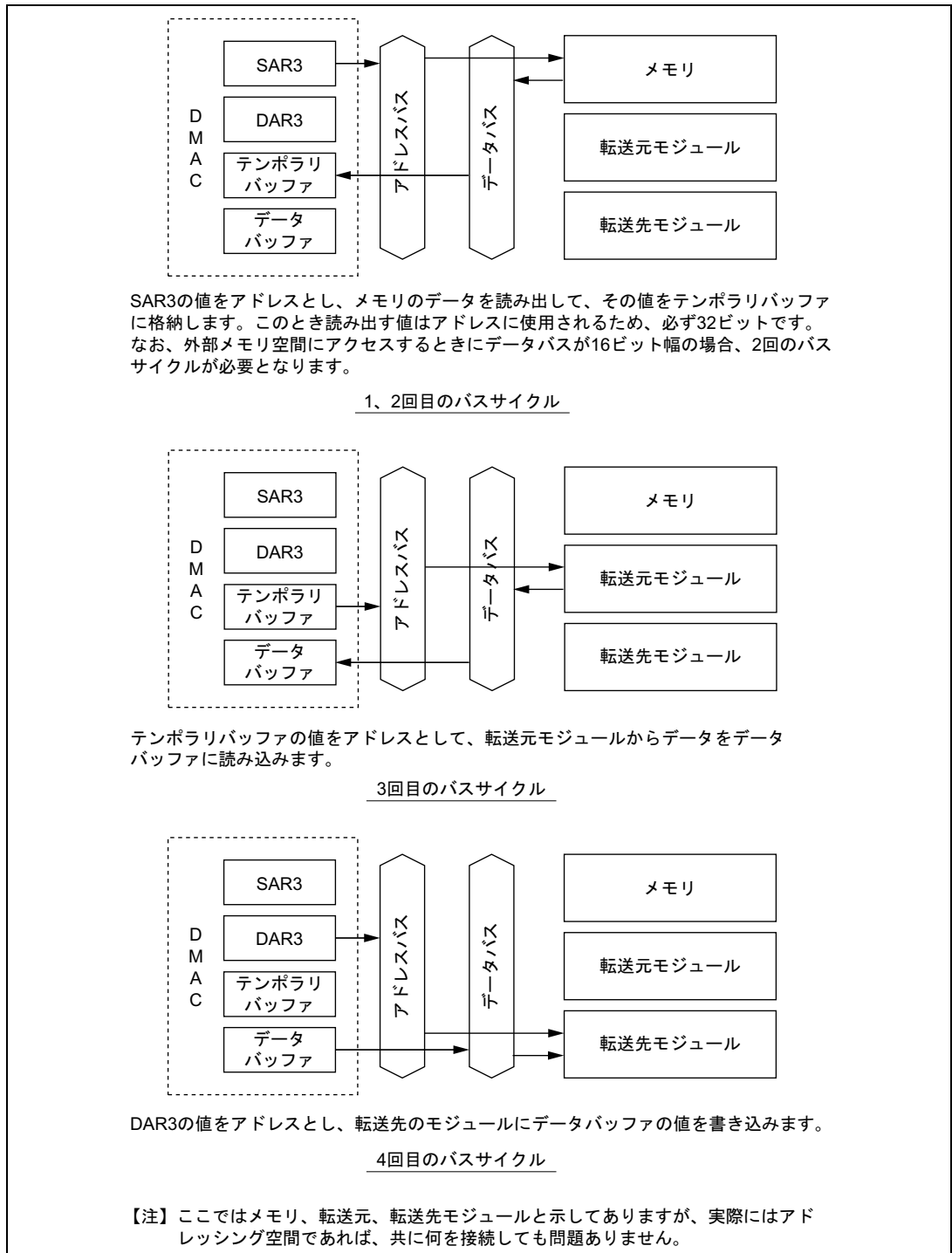


図 10.5 デュアルアドレスモード、間接アドレスの動作説明 (外部メモリ空間が 16 ビット幅の場合)

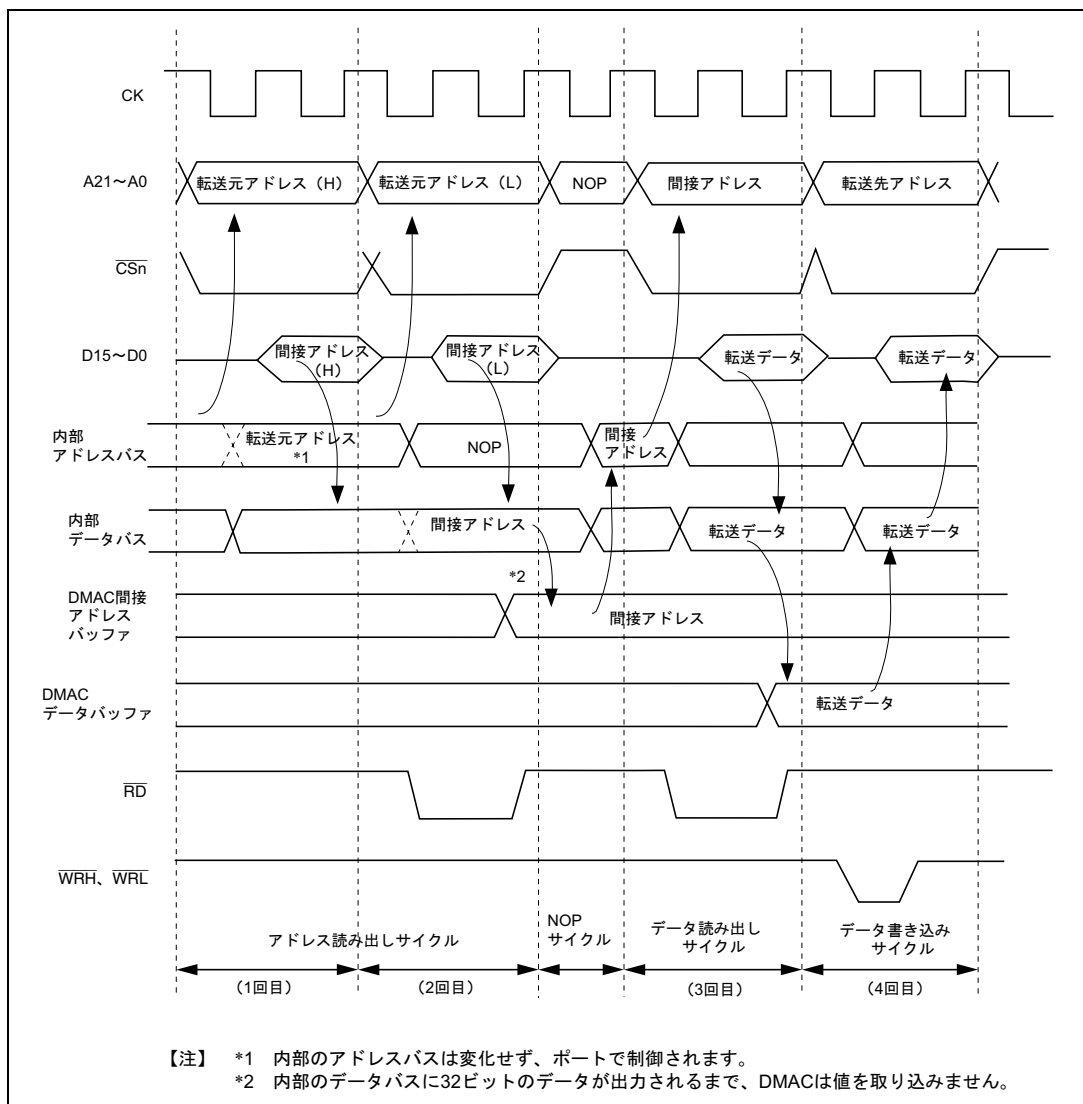


図 10.6 デュアルアドレスモード、間接アドレスでの転送タイミング例 (1)
(外部メモリ空間 外部メモリ空間 (外部メモリ空間は 16 ビット幅))

図 10.7 に間接アドレスモードで、転送元、間接アドレスの格納先が内部メモリであり、転送先が 2 サイクルアクセス空間の内蔵周辺モジュールで、転送データが 8 ビットの場合のタイミング例を示します。

間接アドレスの格納先、転送元とも内部メモリなので、これらへのアクセスは 1 サイクルで実行できます。転送先が 2 サイクルアクセス空間なので、データの書き込みサイクルが 2 サイクル必要になります。この場合でも、間接アドレスとして読み出したデータをアドレスバスに出力までに、1 回の NOP サイクルを必要とします。

10. ダイレクトメモリアクセスコントローラ (DMAC)

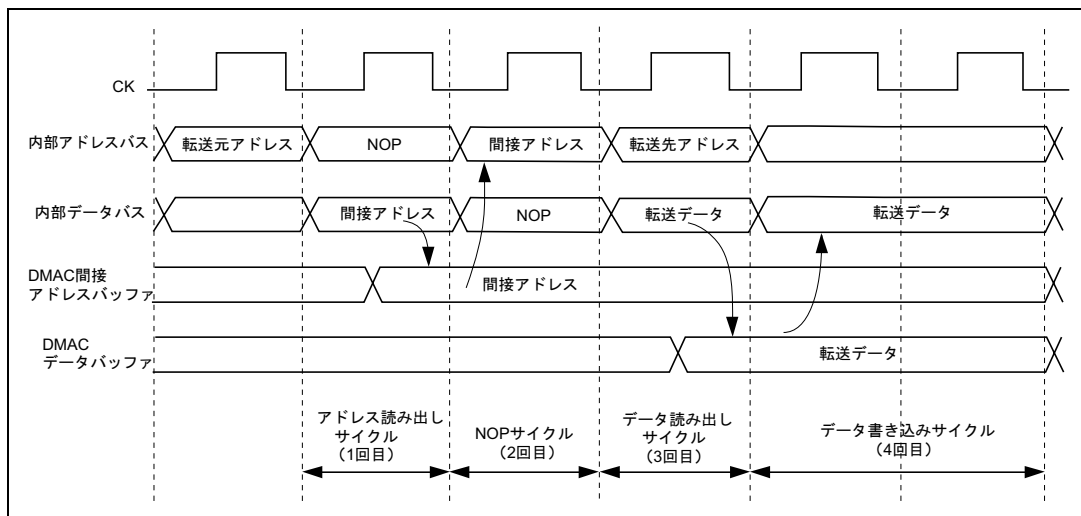


図 10.7 デュアルアドレスモード、間接アドレスでの転送タイミング例 (2)
(内部メモリ空間 内部メモリ空間)

10.3.5 バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0 ~ CHCR3 の TM ビットによって行います。

(1) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (8 ビット、16 ビット、32 ビット) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 10.8 にサイクルスチールモードでの DMA 転送タイミング例を示します。

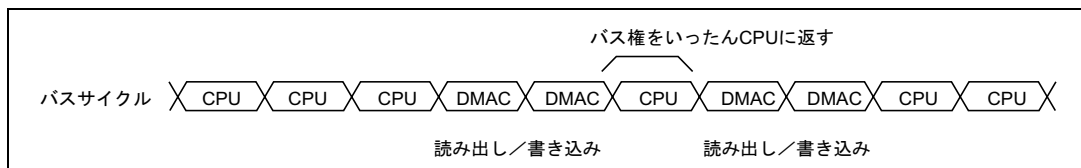


図 10.8 サイクルスチールモードでの DMA 転送例

(2) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。

図 10.9 にバーストモードでの DMA 転送タイミングを示します。



図 10.9 バーストモードでの DMA 転送例

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 10.4 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 10.4 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	外部メモリと外部メモリ	すべて可*1	B/C	8/16/32	0、1、2、3
	外部メモリとメモリアップト外部デバイス	すべて可*1	B/C	8/16/32	0、1、2、3
	外部マップト外部デバイスとメモリマップト外部デバイス	すべて可*1	B/C	8/16/32	0、1、2、3
	外部メモリと内蔵メモリ	すべて可*1	B/C	8/16/32	0、1、2、3
	外部メモリと内蔵周辺モジュール	すべて可*2	B/C*3	8/16/32*4	0、1、2、3
	メモリマップト外部でバーストと内蔵メモリ	すべて可*1	B/C	8/16/32	0、1、2、3
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可*2	B/C*3	8/16/32*4	0、1、2、3
	内蔵メモリと内蔵メモリ	すべて可*1	B/C	8/16/32	0、1、2、3
	内蔵メモリと内蔵周辺モジュール	すべて可*2	B/C*3	8/16/32*4	0、1、2、3
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可*2	B/C*3	8/16/32*4	0、1、2、3

B: バースト

C: サイクルスチール

- 【注】 *1 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、SCI、HCAN0 と A/D 変換器を転送要求元に指定するものは不可。
- *2 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元が SCI、HCAN0 または A/D 変換器の場合には、転送元または転送先が転送要求元と同じである必要があります。
- *3 転送要求元が SCI の場合にはサイクルスチールのみ。
- *4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。

(4) バスモードとチャンネルの優先順位

例えばチャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、直ちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 の設定がバーストモードならチャンネル 0 の転送がすべて終了してからチャンネル 1 の転送を継続します。チャンネル 0 の設定がサイクルスチールならば、チャンネル 0 の転送要求が発生していないときのみチャンネル 1 の転送を継続し、転送要求が発生したときは、直ちにチャンネル 0 の転送を開始されます。

10.3.6 ソースアドレスリロード機能

チャンネル2はCHCR2のROビットを1にセットすることで、4回の転送ごとに、最初にソースアドレスレジスタ(SAR2)に設定した値に復帰するリロード機能があります。この動作を図10.10に示します。また図10.11に、チャンネル2のみ使用して、転送条件をバーストモード、オートリクエスト、転送データサイズ16ビット、SAR2カウントアップ、DAR2固定、リロード機能ONとした場合のタイムチャートを示します。

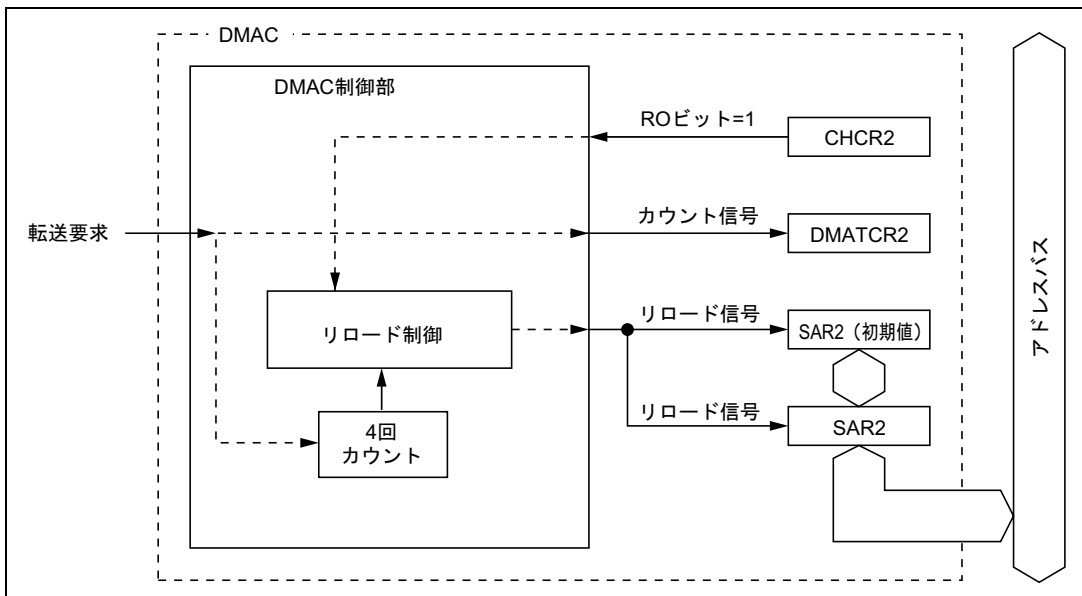


図 10.10 ソースアドレスリロード機能図

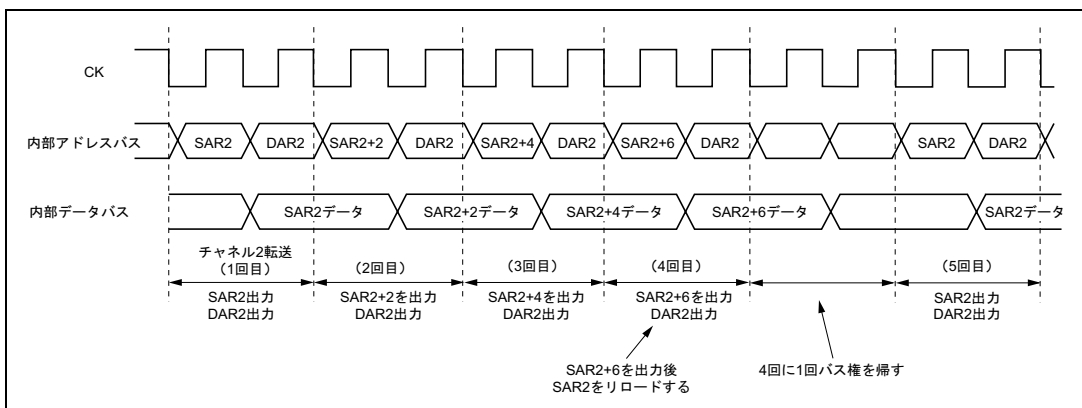


図 10.11 ソースアドレスリロード機能タイムチャート

転送データサイズが 8 ビット、16 ビット、32 ビットのいずれの場合でも、リロード機能は実行可能です。

転送回数を指定する DMATCR2 は、リロード機能のオン、オフにかかわらず、1 転送データサイズの転送終了ごとに 1 カウントダウンします。このためリロード機能をオンで使用する場合は、DMATCR には、必ず 4 の倍数を指定してください。それ以外の値を設定した場合の動作は保証されません。

またアドレスリロードのために 4 回転送したことをカウントしているカウンタは、リセットやソフトウェアスタンバイのほか、DMAOR の DME ビットのクリア、CHCR2 の DE ビットのクリア、転送終了フラグ (CHCR2 の TE ビット) のセット、NMI 入力、AE フラグ (DMAC 転送によるアドレスエラーの発生) のセットによって初期化されますが、SAR2、DAR2、DMATCR2 などのレジスタは初期化されません。このため、これらの要因が発生すると、DMAC 内部に初期化されたカウンタと、初期化されないレジスタが混在することになり、そのまま再スタートをかけると誤動作する場合があります。以上の理由から、アドレスリロード機能使用中に TE のセット以外の上記の要因が発生した場合は、SAR2、DAR2、DMATCR2 の設定から実行しなおしてください。

10.3.7 DMA 転送終了

DMA 転送終了条件は、1 チャンネルずつの終了と全チャンネルの同時終了とで異なります。

(1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- DMA トランスファカウンタレジスタ (DMATCR) の値が 0 になる。
- DMA チャンネルコントロールレジスタ (CHCR) の DE ビットを 0 にクリアする。

(a) DMATCR=0 による転送終了

DMATCR の値が 0 になると、対応するチャンネルの DMA 転送が終了し、CHCR のトランスファエンドフラグビット (TE) がセットされます。このときインタラプトイネーブルビット (IE) がセットされていると、CPU に DMAC 割り込み (DEI) が要求されます。

(b) CHCR の DE=0 による転送終了

CHCR の DMA イネーブルビット (DE) をクリアすると、対応するチャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送終了します。

- DMA オペレーションレジスタ (DMAOR) の NMI フラグビット (NMIF) またはアドレスエラーフラグビット (AE) が 1 になる。
- DMAOR の DMA マスタイネーブルビット (DME) を 0 にクリアする。

(a) DMAOR の NMIF=1 または AE=1 による転送終了

NMI 割り込みまたは DMAC によるアドレスエラーが発生して、DMAOR の NMIF ビットまたは AE ビットが 1 になると、すべてのチャンネルの DMA 転送が中断されます。DMAC がバス権を獲得し、転送を実行している間にこれらのフラグが 1 にセットされた場合 DMAC は実行中の転送処理を終了した時点で動作を中断し、バス権を他のバスマスタに渡します。したがって転送中に NMIF ビットまたは AE ビットが 1 になっても、DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR) の値は更新されません。この場合は TE ビットはセットされません。NMI 割り込み、アドレスエラー処理終了後に転送を再開するためには、NMIF または AE フラグをクリアする必要があります。その際、再起動させたくないチャンネルは、対応する CHCR の DE ビットをクリアしてください。

転送の中断は、1 転送単位の処理が終了したところで発生します。デュアルアドレスモードの直接アドレス転送で、読み出し処理中にアドレスエラー、または NMI フラグがセットされても、続く書

10. ダイレクトメモリアクセスコントローラ (DMAC)

き込み処理が終了してから中断されます。この場合も、SAR、DAR、DMATCR の値の更新は行われ
ません。同様に間接アドレス転送でも、最後の書き込み処理が終了してから中断されます。

(b) MAOR の DME=0 による転送終了

DMAOR の DME ビットを 0 にクリアすると、全チャンネルの DMA 転送が中断されます。この場合
には TE ビットはセットされません。

10.3.8 CPU からの DMAC アクセス

DMAC が割り付けられているアドレス空間は 3 サイクル空間です。したがって、CPU がバスマス
タとなって DMAC をアクセスする場合の 1 バスサイクルは、最少でも基本クロック (CK) 3 サイ
クルを必要とします。また DMAC はワード空間に配置されています。したがって DMAC に対しワード
サイズのアクセスを行った場合は 1 バスサイクルで終了しますが、ロングワードアクセスを行った場
合は、自動的にワードアクセス 2 回に分割され、2 バスサイクル=6 基本クロックを必要とします。
なお、この分割された 2 回のバスサイクルは連続で実行されます。ワードアクセスとワードアクセス
の間に別のバスサイクルが挿入されることはありません。これはリードアクセスの場合もライトアク
セスの場合も同様です。

10.4 使用例

10.4.1 内蔵 SCI と外部メモリとの DMA 転送例

内蔵シリアルコミュニケーションインタフェース、チャンネル 0 (SCI0) の受信データを、DMAC の
チャンネル 0 を使って外部メモリに転送する例を考えます。

表 10.5 に転送条件と、各レジスタの設定値を示します。

表 10.5 内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 SCI0 の RDR0	SAR0	H'FFFFFF05
転送先：外部メモリ	DAR0	H'00400000
転送回数：64 回	DMATCR0	H'00000040
転送元アドレス：固定	CHCR0	H'00020105
転送先アドレス：増加		
転送要求元：SCI0 (RDR0)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生		
DMAC マスタイネーブル ON	DMAOR	H'0001

10.4.2 A/D変換器と内蔵メモリとのDMA転送例(アドレスリロードオン)

内蔵 A/D 変換器チャンネル 1 が転送元、内蔵メモリが転送先で、アドレスリロード機能オンの場合の例を考えます。表 10.6 に転送条件と、各レジスタの設定値を示します。

表 10.6 A/D 変換器と内蔵メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 A/D1	SAR2	H'FFFFFF820
転送先：内蔵メモリ	DAR2	H'FFFFFF6000
転送回数：128 回 (リロード回数 32 回)	DMATCR2	H'00000080
転送元アドレス：増加	CHCR2	H'010C110D
転送先アドレス：増加		
転送要求元：A/D1		
バスモード：バースト		
転送単位：バイト		
転送終了時に割り込み要求発生		
DMAC マスタイネーブル ON		

アドレスリロードをオンにすると、4 回の転送ごとに SAR2 の値が最初に設定した値に戻ります。上記の例では、A/D1 から転送要求が入ると、まず内蔵 A/D1 の H'FFFFFF820 のレジスタからバイトサイズのデータを読み出し、内部の H'FFFFFF6000 番地にそのデータを書き込みます。バイトサイズの転送を行ったので、このとき点で SAR2、DAR2 の値はそれぞれ H'FFFFFF821、H'FFFFFF6001 となっています。またバースト転送であるため、バス権を確保したままなので、データ転送を連続して進めています。

4 回の転送が終了すると、アドレスリロードオフの場合はそのまま 5 回目、6 回目と転送を続けて実行し、SAR2 の値は H'FFFFFF824 H'FFFFFF825 H'FFFFFF826 ... と増加し続けますが、アドレスリロードオンの場合は 4 回目が終了すると DMAC 転送を中止し、CPU へのバス権要求信号をクリアします。このとき SAR2 内に格納されている値は H'FFFFFF823 H'FFFFFF824 ではなく、H'FFFFFF823 H'FFFFFF820 と最初に設定したアドレスに戻っています。DAR2 の値はアドレスリロードのオン / オフに関係なく、常に増加を続けます。

以上から DMAC 内部は 4 回目の転送が終了した時点で、アドレスリロードオンの場合とオフの場合では、以下の表に示した状態となっています。

10. ダイレクトメモリアクセスコントローラ (DMAC)

	アドレスリロードオン	アドレスリロードオフ
SAR2	H'FFFFFF820	H'FFFFFF824
DAR2	H'FFFF6004	H'FFFF6004
DMATCR2	H'0000007C	H'0000007C
バス権	解放	保持
DMAC 動作	停止	処理続行中
割り込み	未発	未発
転送要求元フラグクリア	実行	未実行

- 【注】
1. 割り込みは、DMATCR2 の値が 0 になるまで実行し、CHCR2 の IE ビットが 1 にセットされていれば、アドレスリロードのオン / オフに関係なく発生します。
 2. 転送要求元フラグクリアは、DMATCR2 の値が 0 になるまで実行すれば、アドレスリロードのオン / オフに関係なく実行されます。
 3. アドレスリロード機能を使用する場合は、バーストモードを指定してください。サイクルスチールモードで実行すると正常に動作しない場合があります。
 4. アドレスリロード機能を使用する場合は、DMATCR2 の値は 4 の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。

アドレスリロードオンの状態で 5 回目以後の転送を実行したい場合は、再び転送要求元から、転送要求信号を発生させてください。

10.4.3 外部メモリと SCI1 送信側との DMA 転送例 (インダイレクトアドレスオン)

DMAC のチャンネル 3 を使用して、転送元が間接アドレス指定外部メモリで、転送先が SCI1 の送信側の場合の例を考えます。

表 10.7 に転送条件と、各レジスタの設定値を示します。

表 10.7 外部メモリと SCI1 送信側間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR3	H'00400000
H'00400000 番地に格納されている値	-	H'00450000
H'00450000 番地に格納されている値	-	H'55
転送先：内蔵 SCI1 TDR1	DAR3	H'FFFFFF0B
転送回数：10 回	DMATCR3	H'0000000A
転送元アドレス：増加	CHCR3	H'10031001
転送先アドレス：固定		
転送要求元：SCI1 (TDR1)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生せず		
DMAC マスタイネーブル ON	DMAOR	H'0001

インダイレクトアドレスをオンにすると、SAR に設定したアドレスに格納されたデータは、転送元のデータとしては使用されません。インダイレクトアドレスの場合、SAR のアドレスに格納された値を読み出した後、その読み出した値をもう一度アドレスとして使用し、そのとき読み出された値を転送元データとして使用し、その値を DAR に指定されたアドレスに格納します。

表の例では、SCI1 の TDR1 の転送要求が発生すると、まず SAR3 にセットされている値である H'00400000 番地のアドレスを読み出しに行きます。この H'00400000 番地には H'00450000 が格納され

ており、DMAC はまず H'00450000 を読み出してきます。次に DMAC は、読み出した H'00450000 を再びアドレスとして使用し、H'00450000 番地に格納されている H'55 を読み出します。最後に DAR3 に指定された H'FFFFFF0B 番地に H'55 を書き込んで、1 回のインダイレクトアドレス転送が終了します。

インダイレクトアドレスでは、最初に行う SAR3 に設定されたアドレスからのデータ読み出しでは、転送データサイズの指定である TS0、TS1 ビットの指定とは無関係に、常にロングワードサイズの転送となります。ただし転送元アドレスの固定、増加、減少の指定は SM0、SM1 ビットに従います。したがって今回の例では、転送データサイズの指定がバイトサイズであるにもかかわらず、1 回の転送が終了した時点で SAR3 の値は H'00400004 となります。書き込み動作は通常のデュアルアドレス転送の書き込み動作の場合とまったく同じです。

10.5 使用上の注意

- (1) DMAオペレーションレジスタ (DMAOR) はワード (16ビット) 単位のアクセスのみ可能です。DMAOR以外のレジスタは、すべてワード (16ビット) またはロングワード (32ビット) 単位のアクセスが可能です。
- (2) CHCR0 ~ CHCR3のRS0 ~ RS4ビット書き換える場合は、DEビットを0にしてから書き換えてください (CHCRを書き換える場合は、あらかじめDEビットを0に設定しておいてください)。
- (3) DMACが動作していないときにNMI割り込みが入力されても、DMAORのNMIFビットはセットされません。
- (4) スタンバイモードにするときはDMAORのDMEビットを0にして、DMACが受け付けた転送要求分の処理がすべて終了してから行ってください。
- (5) 内蔵周辺モジュールのうちDMAC、BSC、UBCをDMACによりアクセスしないでください。
- (6) DMACに起動をかける場合は、CHCRの設定を最後に行ってください。それ以外のレジスタを最後に設定すると正常に動作しない場合があります。
- (7) DMATCRのカウントが0となってDMA転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ずDMATCRに0書き込みを実行してください。そうでないと正常に動作しない場合があります。
- (8) アドレスリロード機能を使用する場合、転送モードはバーストモードを指定してください。サイクルスチールモードでは正常に動作しない場合があります。
- (9) アドレスリロード機能を使用する場合、DMATCRの値は4の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。
- (10) DMACのレジスタの空きアドレスをアクセスしないでください。空きアドレスをアクセスした場合の動作は保証しません。
- (11) アドレスリロードオンでDMAC実行中にNMIF、AEのセットまたはDME、DEのクリアによりDMAC転送が中断された場合は、SAR2、DAR2、DMATCR2の設定から実行しなおしてください。そうでないと正常に動作しない場合があります。
- (12) CHCR0 ~ CHCR3のRS0 ~ RS4ビットを要求なしに設定したまま、DEビットを1に設定しないでください。

10. ダイレクトメモリアクセスコントローラ (DMAC)

11. アドバンストタイムユニット-II (ATU-II)

11.1 概要

本 LSI は 1 チャンネルの 32 ビットタイム、11 チャンネルの 16 ビットタイムにより構成されるアドバンストタイムユニット-II (ATU-II) を内蔵しています。

11.1.1 特長

ATU-II には、次のような特長があります。

最大65本のパルス入出力処理が可能

プリスケアラ

- チャンネル 0、10 への入力クロックは 1 段で分周、チャンネル 1~8、11 への入力クロックは 2 段階で分周
- チャンネル 0~8、10、11 の初段で 1/1~1/32 のクロック分周が可能
- チャンネル 1~8、11 は 2 段目で 1/1、1/2、1/4、1/8、1/16、1/32 の分周が可能
- チャンネル 1~5、11 は外部クロック：TCLKA、TCLKB の選択も可能
- チャンネル 1~5 は TI10 端子入力および TI10 端子入力の逓倍（補正）：AGCK、AGCKM の選択可能

チャンネル0は32ビットインプットキャプチャを4本持ち、次の動作が可能

- 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可
- キャプチャタイミングで DMAC 起動可能
- チャンネル 10 のコンペアマッチ信号をトリガとしてキャプチャ可能
- インターバル割り込み生成機能を持ち、選択により 3 本のインターバル割り込みを生成。CPU 割り込み、A/D 変換器（AD0、1、2）起動可能
- キャプチャ割り込み、カウンタオーバフロー割り込み発生可能

チャンネル1は16ビットアウトプットコンペアレジスタ1本、ジェネラルレジスタ8本とインプットキャプチャ専用レジスタ1本を内蔵。アウトプットコンペアレジスタはチャンネル8のダウンカウンタと組み合わせてワンショットパルスのオフセット機能として使用可能

- ジェネラルレジスタ（GR1A~H）はインプットキャプチャまたはアウトプットコンペアレジスタとして使用可能
- コンペアマッチによる波形出力：0 出力、1 出力、トグル出力が選択可能
- インプットキャプチャ機能：立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
チャンネル 0 の入力信号（TI0A）をトリガにキャプチャ可能
- チャンネル 8 のダウンカウンタ（DCNT8A~H）の強制遮断可能
- コンペアマッチ割り込み / キャプチャ割り込み、カウンタオーバフロー割り込み発生可能

チャンネル2は16ビットアウトプットコンペアレジスタを8本、ジェネラルレジスタ8本とインプットキャプチャ専用レジスタ1本を内蔵。アウトプットコンペアレジスタはチャンネル8のダウンカウンタと組み合わせてワンショットパルスのオフセット機能として使用可能

- ジェネラルレジスタ（GR2A~H）はインプットキャプチャまたはアウトプットコンペアレジスタとして使用可能
- コンペアマッチによる波形出力：0 出力、1 出力、トグル出力が選択可能
- インプットキャプチャ機能：立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能

11. アドバンスタイマユニット-II (ATU-II)

- チャンネル0の入力信号 (TI0A) をトリガにキャプチャ可能
- チャンネル8のダウンカウンタ (DCNT8I~P) の強制遮断可能
 - コンペアマッチ割り込み / キャプチャ割り込み、カウンタオーバフロー割り込み発生可能
- チャンネル3~5は、それぞれ4本のジェネラルレジスタを持ち次の動作が可能
- インプットキャプチャ、アウトプットコンペア、PWMモードの選択が可能
 - コンペアマッチによる波形出力 : 0出力、1出力、トグル出力が選択可能。
 - インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
 - チャンネル9のコンペアマッチ信号をトリガとしてキャプチャ可能 (チャンネル3のみ)
 - コンペアマッチ割り込み / キャプチャ割り込み発生可能
- チャンネル6、7は16ビットデューティレジスタ4本、サイクルレジスタ4本、バッファレジスタ4本をそれぞれ持ち、次の動作が可能
- 周期、デューティ 0~100%を任意設定可能
 - デューティバッファレジスタの値を各周期ごとにデューティレジスタに転送
 - 周期ごとに割り込み発生可能
 - 相補PWM出力設定可能 (チャンネル6のみ)
- チャンネル8は16ビットワンショットパルス出力用ダウンカウンタを16本持ち、次の動作が可能
- ダウンカウンタによるワンショットパルス生成
 - ダウンカウンタはカウント中も書き換え可能
 - ダウンカウンタ終了時割り込み発生可能
 - オフセット付きワンショットパルス生成可能
 - チャンネル1、2のアウトプットコンペア機能と連動可能
 - 16ビットのダウンカウンタ (DCNT8I~P) 8本にリロード設定可能
- チャンネル9は6本のイベントカウンタと6本のジェネラルレジスタを持ち、次の動作が可能
- イベントカウンタはコンペアマッチによりカウンタクリア
 - 外部入力は、立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
 - コンペアマッチ信号をチャンネル3に入力可能
- チャンネル10は32ビットアウトプットコンペア、インプットキャプチャレジスタ、フリーランカウンタ、16ビットフリーランカウンタ、アウトプットコンペア/インプットキャプチャレジスタ、リロードレジスタ、8ビットイベントカウンタ、アウトプットコンペアレジスタを各1本、16ビットリロードカウンタを1本持ち、次の動作が可能
- 外部入力端子のエッジ入力キャプチャ可能
 - キャプチャされた値の 1/32、1/64、1/128、1/256 倍でリロードカウント可能
 - リロードカウンタのアンダフローで生成した内部クロックを 16ビットフリーランカウンタ入力として使用可能
 - チャンネル1、2のフリーランカウンタのクリア可能
- チャンネル11は1本の16ビットフリーランカウンタと2本の16ビットジェネラルレジスタを持ち、次の動作が可能
- 2本のジェネラルレジスタはインプットキャプチャ/アウトプットコンペアとして使用可能
 - コンペアマッチによる波形出力 : 0出力、1出力、トグル出力が選択可能
 - インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
 - ジェネラルレジスタをアウトプットコンペアレジスタとして使用することにより、APCにコンペアマッチ信号出力可能
- 内部16ビットバスに高速アクセス
- タイマカウンタ、コンペアレジスタ、キャプチャレジスタの 16ビットレジスタに対し、16ビットバスによる高速アクセスが可能。

75種類の割り込み要因

- チャンネル0はインプットキャプチャ割り込み×4本、オーバーフロー割り込み×1本、インターバル割り込み×1本を要求可能
- チャンネル1、2でインプットキャプチャ/コンペアマッチ兼用割り込み×16本、カウンタオーバーフロー割り込み×2本要求可能
- チャンネル3~5でインプットキャプチャ/コンペアマッチ兼用割り込み×12本、カウンタオーバーフロー割り込み×3本要求可能
- チャンネル6、7はコンペアマッチ割り込み×8本要求可能
- チャンネル8はワンショットエンド割り込み×16本要求可能
- チャンネル9はコンペアマッチ割り込み×6本要求可能
- チャンネル10はコンペアマッチ割り込み×2本、インプットキャプチャ/コンペアマッチ兼用割り込み×1本要求可能
- チャンネル11はインプットキャプチャ/コンペアマッチ兼用割り込み×2本、オーバーフロー割り込み×1本要求可能

ダイレクトメモリアルアクセスコントローラ (DMAC) の起動可能

- チャンネル0のインプットキャプチャ割り込み (ICI0A~D) により DMAC の起動が可能
- チャンネル6のサイクルレジスタ6のコンペアマッチ割り込み (CMI6A~D) により DMAC の起動が可能
- チャンネル7のサイクルレジスタ7のコンペアマッチ割り込み (CMI7A~D) により DMAC の起動が可能

A/D変換器の起動可能

- チャンネル0のインターバルインタラプトリクエストレジスタ (ITVRR1、ITVRR2A、ITVRR2B) のITVA6~13の1検出により A/D 変換器の起動が可能

11. アドバンスタイマユニット-II (ATU-II)

AUT-II の機能一覧を表 11.1 に表示します。

表 11.1 ATU-II の機能一覧表

項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3~5	
カウンタ構成	クロック	~ /32	(~ /32) × (1/2 ⁿ) (n=0~5) TCLKA、TCLKB、AGCK、AGCKM		
	カウンタ	TCNT0H、TCNT0L	TCNT1A、TCNT1B	TCNT2A、TCNT2B	TCNT3~5
	ジェネラルレジスタ	-	GR1A~H	GR2A~H	GR3A~D、GR4A~D、GR5A~D
	インプットキャプチャ専用	ICR0AH、ICR0AL、ICR0BH、ICR0BL、ICR0CH、ICR0CL、ICR0DH、ICR0DL	OSBR1	OSBR2	-
	アウトプットコンペア専用	-	OCR1	OCR2A~H	-
	PWM出力用	-	-	-	デューティ：GR3A~C、GR4A~C、GR5A~C、 サイクル：GR3D、GR4D、GR5D
入力端子	TIOA~D	-	-	-	
入出力端子	-	TIO1A~H	TIO2A~H	TIO3A~D、TIO4A~D、TIO5A~D	
出力端子	-	-	-	-	
カウンタクリア機能	-	-	-	-	
割り込み要因	6 要因 インターバル×1、 インプットキャプチャ×4 オーバーフロー×1	9 要因 インプットキャプチャ / コンペアマッチ兼用×8、 オーバーフロー×1 オーバーフロー×1	9 要因 インプットキャプチャ / コンペアマッチ兼用×8、 オーバーフロー×1* (* 同一ベクタ)	15 要因 インプットキャプチャ / コンペアマッチ兼用×12、 オーバーフロー×3	
チャンネル、モジュール間連結信号	インターバルインタラプトリクエストで A/D 変換器起動 インプットキャプチャ割り込みで DMAC 起動 チャンネル 10 のコンペアマッチ信号をキャプチャトリガ入力	コンペアマッチ信号をチャンネル 8 のワンショットパルス出力用ダウンカウンタにトリガ出力、チャンネル 10 のコンペアマッチ信号をカウンタクリア入力	コンペアマッチ信号をチャンネル 8 のワンショットパルス出力用ダウンカウンタにトリガ出力、チャンネル 10 のコンペアマッチ信号をカウンタクリア入力	チャンネル 9 のコンペアマッチ信号をキャプチャのトリガに入力 (ch3のみ)	

11. アドバンスドタイムユニット-II (ATU-II)

項目	チャンネル6~7	チャンネル8	チャンネル9	チャンネル10	チャンネル11	
カウンタ構成	クロック	$(\sim /32) \times (1/2^n) (n=0\sim 5)$	$(\sim /32) \times (1/2^n) (n=0\sim 5)$	-	$(\sim /32)$	$(\sim /32) \times (1/2^n) (n=0\sim 5)$ TCLKA、TCLKB
	カウンタ	TCNT6A~D、 TCNT7A~D	DCNT8A~P	ECNT9A~F	TCNT10AH、 TCNT10AL、 TCNT10B~H	TCNT11
	ジェネラルレジスタ	-	-	-	-	GR11A、GR11B
	インプットキャプチャ専用	-	-	-	ICR10AH、 ICR10AL	-
	アウトプットコンペア専用	-	-	GR9A~F	GR10G、 OCR10AH、 OCR10AL、 OCR10B、NCR10、 TCCLR10	-
	PWM出力用	CYLR6A~D、 CYLR7A~D、 DTR6A~D、 DTR7A~D、 BFR6A~D、 BFR7A~D	-	-	-	-
入力端子	-	-	TI9A~F	TI10	-	
入出力端子	-	-	-	-	TIO11A、TIO11B	
出力端子	TO6A~D、TO7A~D	TO8A~P	-	-	-	
カウンタクリア機能	-	-	-	-	-	
割り込み要因	8要因 コンペアマッチ×8	16要因 アンドフロー×16	6要因 コンペアマッチ×6	3要因 コンペアマッチ×2、 インプットキャプチャ/ コンペアマッチ兼用×1	3要因 インプットキャプチャ/ コンペアマッチ兼用×2、 オーバフロー×1	
チャンネル、モジュール間連結信号	DMAC 起動用コンペアマッチ信号出力	チャンネル1、2のコンペアマッチ信号をワンショットパルス出力用ダウンカウンタにトリガ入力	コンペアマッチ信号をチャンネル3のキャプチャのトリガ出力	コンペアマッチ信号をチャンネル0のキャプチャトリガ出力、チャンネル1、2のカウンタクリア出力	APCにコンペアマッチ信号を出力	

11. アドバンスタイマユニット-II (ATU-II)

11.1.2 端子構成

ATU-IIの端子構成を表 11.2 に示します。これらの外部端子の機能を使用する際は、ATU-II の設定に合わせてピンファンクションコントローラ(PFC)も設定してください。

また、同機能の端子が複数ある場合は、1つの端子のみ使用するように設定してください。詳しくは、「第 20 章 ピンファンクションコントローラ (PFC)」を参照してください。

表 11.2 ATU-II の機能一覧表

チャンネル	名称	略称	入出力	機能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子
0	インプットキャプチャ 0A	TIO0A	入力	ICR00AH、ICR00AL インプットキャプチャ入力端子
	インプットキャプチャ 0B	TIO0B	入力	ICR00BH、ICR00BL インプットキャプチャ入力端子
	インプットキャプチャ 0C	TIO0C	入力	ICR00CH、ICR00CL インプットキャプチャ入力端子
	インプットキャプチャ 0D	TIO0D	入力	ICR00DH、ICR00DL インプットキャプチャ入力端子
1	インプットキャプチャ / アウトプットコンペア 1A	TIO1A	入出力	GR1A のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 1B	TIO1B	入出力	GR1B のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 1C	TIO1C	入出力	GR1C のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 1D	TIO1D	入出力	GR1D のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 1E	TIO1E	入出力	GR1E のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 1F	TIO1F	入出力	GR1F のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 1G	TIO1G	入出力	GR1G のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 1H	TIO1H	入出力	GR1H のアウトプットコンペア出力 / インプットキャプチャ入力
2	インプットキャプチャ / アウトプットコンペア 2A	TIO2A	入出力	GR2A のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 2B	TIO2B	入出力	GR2B のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 2C	TIO2C	入出力	GR2C のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 2D	TIO2D	入出力	GR2D のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 2E	TIO2E	入出力	GR2E のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 2F	TIO2F	入出力	GR2F のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 2G	TIO2G	入出力	GR2G のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 2H	TIO2H	入出力	GR2H のアウトプットコンペア出力 / インプットキャプチャ入力

11. アドバンスドタイマユニット-II (ATU-II)

チャンネル	名称	略称	入出力	機能
3	インプットキャブチャ / アウトプットコンペア 3A	TIO3A	入出力	GR3A のアウトプットコンペア出力 / インプットキャブチャ入力 PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア 3B	TIO3B	入出力	GR3B のアウトプットコンペア出力 / インプットキャブチャ入力 PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア 3C	TIO3C	入出力	GR3C のアウトプットコンペア出力 / インプットキャブチャ入力 PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア 3D	TIO3D	入出力	GR3D のアウトプットコンペア出力 / インプットキャブチャ入力
4	インプットキャブチャ / アウトプットコンペア 4A	TIO4A	入出力	GR4A のアウトプットコンペア出力 / インプットキャブチャ入力 PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア 4B	TIO4B	入出力	GR4B のアウトプットコンペア出力 / インプットキャブチャ入力 PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア 4C	TIO4C	入出力	GR4C のアウトプットコンペア出力 / インプットキャブチャ入力 PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア 4D	TIO4D	入出力	GR4D のアウトプットコンペア出力 / インプットキャブチャ入力
5	インプットキャブチャ / アウトプットコンペア 5A	TIO5A	入出力	GR5A のアウトプットコンペア出力 / インプットキャブチャ入力 PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア 5B	TIO5B	入出力	GR5B のアウトプットコンペア出力 / インプットキャブチャ入力 PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア 5C	TIO5C	入出力	GR5C のアウトプットコンペア出力 / インプットキャブチャ入力 PWM 出力端子 (PWM モード)
	インプットキャブチャ / アウトプットコンペア 5D	TIO5D	入出力	GR5D のアウトプットコンペア出力 / インプットキャブチャ入力
6	アウトプットコンペア 6A	TO6A	出力	PWM 出力端子
	アウトプットコンペア 6B	TO6B	出力	PWM 出力端子
	アウトプットコンペア 6C	TO6C	出力	PWM 出力端子
	アウトプットコンペア 6D	TO6D	出力	PWM 出力端子
7	アウトプットコンペア 7A	TO7A	出力	PWM 出力端子
	アウトプットコンペア 7B	TO7B	出力	PWM 出力端子
	アウトプットコンペア 7C	TO7C	出力	PWM 出力端子
	アウトプットコンペア 7D	TO7D	出力	PWM 出力端子
8	ワンショットパルス 8A	TO8A	出力	ワンショットパルス出力端子
	ワンショットパルス 8B	TO8B	出力	ワンショットパルス出力端子
	ワンショットパルス 8C	TO8C	出力	ワンショットパルス出力端子
	ワンショットパルス 8D	TO8D	出力	ワンショットパルス出力端子
	ワンショットパルス 8E	TO8E	出力	ワンショットパルス出力端子
	ワンショットパルス 8F	TO8F	出力	ワンショットパルス出力端子

11. アドバンストタイムユニット-II (ATU-II)

チャンネル	名称	略称	入出力	機能
8	ワンショットパルス 8G	TO8G	出力	ワンショットパルス出力端子
	ワンショットパルス 8H	TO8H	出力	ワンショットパルス出力端子
	ワンショットパルス 8I	TO8I	出力	ワンショットパルス出力端子
	ワンショットパルス 8J	TO8J	出力	ワンショットパルス出力端子
	ワンショットパルス 8K	TO8K	出力	ワンショットパルス出力端子
	ワンショットパルス 8L	TO8L	出力	ワンショットパルス出力端子
	ワンショットパルス 8M	TO8M	出力	ワンショットパルス出力端子
	ワンショットパルス 8N	TO8N	出力	ワンショットパルス出力端子
	ワンショットパルス 8O	TO8O	出力	ワンショットパルス出力端子
	ワンショットパルス 8P	TO8P	出力	ワンショットパルス出力端子
9	イベント入力 9A	TI9A	入力	GR9A のイベント入力
	イベント入力 9B	TI9B	入力	GR9B のイベント入力
	イベント入力 9C	TI9C	入力	GR9C のイベント入力
	イベント入力 9D	TI9D	入力	GR9D のイベント入力
	イベント入力 9E	TI9E	入力	GR9E のイベント入力
	イベント入力 9F	TI9F	入力	GR9F のイベント入力
10	インプットキャプチャ	TI10	入力	ICR10AH、ICR10AL のインプットキャプチャ入力
11	インプットキャプチャ / アウトプットコンペア 11A	TIO11A	入出力	GR11A のアウトプットコンペア出力 / インプットキャプチャ入力
	インプットキャプチャ / アウトプットコンペア 11B	TIO11B	入出力	GR11B のアウトプットコンペア出力 / インプットキャプチャ入力

11.1.3 レジスタ構成

ATU-II のレジスタ構成を表 11.3 に示します。

表 11.3 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号	
共通	タイマスタートレジスタ 1	TSTR1	R/W	H'00	H'FFFFFF401	8、16、 32	11.2.1	
	タイマスタートレジスタ 2	TSTR2	R/W	H'00	H'FFFFFF400			
	タイマスタートレジスタ 3	TSTR3	R/W	H'00	H'FFFFFF402			
	共通	プリスケアラレジスタ 1	PSCR1	R/W	H'00	H'FFFFFF404	8	11.2.2
		プリスケアラレジスタ 2	PSCR2	R/W	H'00	H'FFFFFF406		
		プリスケアラレジスタ 3	PSCR3	R/W	H'00	H'FFFFFF408		
		プリスケアラレジスタ 4	PSCR4	R/W	H'00	H'FFFFFF40A		
0	フリーランニングカウンタ 0H	TCNT0H	R/W	H'0000	H'FFFFFF430	32	11.2.15	
	フリーランニングカウンタ 0L	TCNT0L	R/W	H'0000				
	インプットキャプチャレジスタ 0AH	ICR0AH	R	H'0000	H'FFFFFF434		11.2.19	
	インプットキャプチャレジスタ 0AL	ICR0AL	R	H'0000				
	インプットキャプチャレジスタ 0BH	ICR0BH	R	H'0000	H'FFFFFF438			
	インプットキャプチャレジスタ 0BL	ICR0BL	R	H'0000				
	インプットキャプチャレジスタ 0CH	ICR0CH	R	H'0000	H'FFFFFF43C			
	インプットキャプチャレジスタ 0CL	ICR0CL	R	H'0000				
	インプットキャプチャレジスタ 0DH	ICR0DH	R	H'0000	H'FFFFFF420			
	インプットキャプチャレジスタ 0DL	ICR0DL	R	H'0000				
	0	タイムインターバルインタラプ トリクエストレジスタ 1	ITVRR1	R/W	H'00	H'FFFFFF424	8	11.2.7
		タイムインターバルインタラプ トリクエストレジスタ 2A	ITVRR2A	R/W	H'00	H'FFFFFF426		
		タイムインターバルインタラプ トリクエストレジスタ 2B	ITVRR2B	R/W	H'00	H'FFFFFF428		
		タイマ I/O コントロールレジスタ	TIOR0	R/W	H'00	H'FFFFFF42A		
タイマステータスレジスタ 0		TSR0	R(W)*	H'0000	H'FFFFFF42C	16	11.2.5	
タイムインタラプトイネーブル レジスタ 0		TIER0	R/W	H'0000			H'FFFFFF42E	11.2.6
1		フリーランニングカウンタ 1A	TCNT1A	R/W	H'0000	H'FFFFFF440	16	11.2.15
	フリーランニングカウンタ 1B	TCNT1B	R/W	H'0000	H'FFFFFF442			
	ジェネラルレジスタ 1A	GR1A	R/W	H'FFFF	H'FFFFFF444		11.2.20	
	ジェネラルレジスタ 1B	GR1B	R/W	H'FFFF				
	ジェネラルレジスタ 1C	GR1C	R/W	H'FFFF				
	ジェネラルレジスタ 1D	GR1D	R/W	H'FFFF				
	ジェネラルレジスタ 1E	GR1E	R/W	H'FFFF				H'FFFFFF44C

11. アドバンスドタイマユニット-II (ATU-II)

チャンネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号	
1	ジェネラルレジスタ 1F	GR1F	R/W	H'FFFF	H'FFFFFF44E	16	11.2.20	
	ジェネラルレジスタ 1G	GR1G	R/W	H'FFFF	H'FFFFFF450			
	ジェネラルレジスタ 1H	GR1H	R/W	H'FFFF	H'FFFFFF452			
	アウトプットコンペアレジスタ 1	OCR1	R/W	H'FFFF	H'FFFFFF454			11.2.18
	オフセットベースレジスタ 1	OSBR1	R	H'0000	H'FFFFFF456		11.2.21	
	タイマ I/O コントロールレジスタ 1A	TIOR1A	R/W	H'00	H'FFFFFF459	8、16	11.2.4	
	タイマ I/O コントロールレジスタ 1B	TIOR1B	R/W	H'00	H'FFFFFF458			
	タイマ I/O コントロールレジスタ 1C	TIOR1C	R/W	H'00	H'FFFFFF45B			
	タイマ I/O コントロールレジスタ 1D	TIOR1D	R/W	H'00	H'FFFFFF45A			
	タイマコントロールレジスタ 1A	TCR1A	R/W	H'00	H'FFFFFF45D		11.2.3	
	タイマコントロールレジスタ 1B	TCR1B	R/W	H'00	H'FFFFFF45C			
	タイマステータスレジスタ 1A	TSR1A	R/(W)*	H'0000	H'FFFFFF45E	16	11.2.5	
	タイマステータスレジスタ 1B	TSR1B	R/(W)*	H'0000	H'FFFFFF460			
	タイマインタラプトイネーブルレジスタ 1A	TIER1A	R/W	H'0000	H'FFFFFF462		11.2.6	
タイマインタラプトイネーブルレジスタ 1B	TIER1B	R/W	H'0000	H'FFFFFF464				
トリガモードレジスタ	TRGMDR	R/W	H'00	H'FFFFFF466	8	11.2.8		
2	フリーランニングカウンタ 2A	TCNT2A	R/W	H'0000	H'FFFFFF600	16	11.2.15	
	フリーランニングカウンタ 2B	TCNT2B	R/W	H'0000	H'FFFFFF602			
	ジェネラルレジスタ 2A	GR2A	R/W	H'FFFF	H'FFFFFF604			11.2.20
	ジェネラルレジスタ 2B	GR2B	R/W	H'FFFF	H'FFFFFF606			
	ジェネラルレジスタ 2C	GR2C	R/W	H'FFFF	H'FFFFFF608			
	ジェネラルレジスタ 2D	GR2D	R/W	H'FFFF	H'FFFFFF60A			
	ジェネラルレジスタ 2E	GR2E	R/W	H'FFFF	H'FFFFFF60C			
	ジェネラルレジスタ 2F	GR2F	R/W	H'FFFF	H'FFFFFF60E			
	ジェネラルレジスタ 2G	GR2G	R/W	H'FFFF	H'FFFFFF610			
	ジェネラルレジスタ 2H	GR2H	R/W	H'FFFF	H'FFFFFF612			
	アウトプットコンペアレジスタ 2A	OCR2A	R/W	H'FFFF	H'FFFFFF614	11.2.18		
	アウトプットコンペアレジスタ 2B	OCR2B	R/W	H'FFFF	H'FFFFFF616			
	アウトプットコンペアレジスタ 2C	OCR2C	R/W	H'FFFF	H'FFFFFF618			
	アウトプットコンペアレジスタ 2D	OCR2D	R/W	H'FFFF	H'FFFFFF61A			
	アウトプットコンペアレジスタ 2E	OCR2E	R/W	H'FFFF	H'FFFFFF61C			
	アウトプットコンペアレジスタ 2F	OCR2F	R/W	H'FFFF	H'FFFFFF61E			
	アウトプットコンペアレジスタ 2G	OCR2G	R/W	H'FFFF	H'FFFFFF620			

11. アドバンスドタイムユニット-II (ATU-II)

チャンネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号
2	アウトプットコンペアレジスタ 2H	OCR2H	R/W	H'FFFF	H'FFFFFF622	16	11.2.18
	オフセットベースレジスタ 2	OSBR2	R	H'0000	H'FFFFFF624		11.2.21
	タイマ I/O コントロールレジスタ 2A	TIOR2A	R/W	H'00	H'FFFFFF627	8、16	11.2.4
	タイマ I/O コントロールレジスタ 2B	TIOR2B	R/W	H'00	H'FFFFFF626		
	タイマ I/O コントロールレジスタ 2C	TIOR2C	R/W	H'00	H'FFFFFF629		
	タイマ I/O コントロールレジスタ 2D	TIOR2D	R/W	H'00	H'FFFFFF628		
	タイマコントロールレジスタ 2A	TCR2A	R/W	H'00	H'FFFFFF62B		
	タイマコントロールレジスタ 2B	TCR2B	R/W	H'00	H'FFFFFF62A	11.2.3	
	タイマステータスレジスタ 2A	TSR2A	R/(W)*	H'0000	H'FFFFFF62C	16	11.2.5
	タイマステータスレジスタ 2B	TSR2B	R/(W)*	H'0000	H'FFFFFF62E		11.2.6
	タイマインタラプトイネーブル レジスタ 2A	TIER2A	R/W	H'0000	H'FFFFFF630		
タイマインタラプトイネーブル レジスタ 2B	TIER2B	R/W	H'0000	H'FFFFFF632			
3、4、5 共通	タイマステータスレジスタ 3	TSR3	R/(W)*	H'0000	H'FFFFFF480	16	11.2.5
	タイマインタラプトイネーブル レジスタ 3	TIER3	R/W	H'0000	H'FFFFFF482		11.2.6
	タイマモードレジスタ	TMDR	R/W	H'00	H'FFFFFF484	8	11.2.9
3	フリーランニングカウンタ 3	TCNT3	R/W	H'0000	H'FFFFFF4A0	16	11.2.15
	ジェネラルレジスタ 3A	GR3A	R/W	H'FFFF	H'FFFFFF4A2		11.2.20
	ジェネラルレジスタ 3B	GR3B	R/W	H'FFFF	H'FFFFFF4A4		
	ジェネラルレジスタ 3C	GR3C	R/W	H'FFFF	H'FFFFFF4A6		
	ジェネラルレジスタ 3D	GR3D	R/W	H'FFFF	H'FFFFFF4A8	8、16	11.2.4
	タイマ I/O コントロールレジスタ 3A	TIOR3A	R/W	H'00	H'FFFFFF4AB		
	タイマ I/O コントロールレジスタ 3B	TIOR3B	R/W	H'00	H'FFFFFF4AA		
タイマコントロールレジスタ 3	TCR3	R/W	H'00	H'FFFFFF4AC	8	11.2.3	
4	フリーランニングカウンタ 4	TCNT4	R/W	H'0000	H'FFFFFF4C0	16	11.2.15
	ジェネラルレジスタ 4A	GR4A	R/W	H'FFFF	H'FFFFFF4C2		11.2.20
	ジェネラルレジスタ 4B	GR4B	R/W	H'FFFF	H'FFFFFF4C4		
	ジェネラルレジスタ 4C	GR4C	R/W	H'FFFF	H'FFFFFF4C6		
	ジェネラルレジスタ 4D	GR4D	R/W	H'FFFF	H'FFFFFF4C8	8、16	
	タイマ I/O コントロールレジスタ 4A	TIOR4A	R/W	H'00	H'FFFFFF4CB		
	タイマ I/O コントロールレジスタ 4B	TIOR4B	R/W	H'00	H'FFFFFF4CA		
	タイマコントロールレジスタ 4	TCR4	R/W	H'00	H'FFFFFF4CC		8
5	フリーランニングカウンタ 5	TCNT5	R/W	H'0000	H'FFFFFF4E0	16	11.2.15
	ジェネラルレジスタ 5A	GR5A	R/W	H'FFFF	H'FFFFFF4E2		11.2.20
	ジェネラルレジスタ 5B	GR5B	R/W	H'FFFF	H'FFFFFF4E4		

11. アドバンスドタイマユニット-II (ATU-II)

チャンネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号
5	ジェネラルレジスタ 5C	GR5C	R/W	H'FFFF	H'FFFFFF4E6	16	11.2.20
	ジェネラルレジスタ 5D	GR5D	R/W	H'FFFF	H'FFFFFF4E8		
	タイマ I/O コントロールレジスタ 5A	TIOR5A	R/W	H'00	H'FFFFFF4EB	8、16	11.2.4
	タイマ I/O コントロールレジスタ 5B	TIOR5B	R/W	H'00	H'FFFFFF4EA		
	タイマコントロールレジスタ 5	TCR5	R/W	H'00	H'FFFFFF4EC	8	11.2.3
6	フリーランニングカウンタ 6A	TCNT6A	R/W	H'0001	H'FFFFFF500	16	11.2.15
	フリーランニングカウンタ 6B	TCNT6B	R/W	H'0001	H'FFFFFF502		
	フリーランニングカウンタ 6C	TCNT6C	R/W	H'0001	H'FFFFFF504		
	フリーランニングカウンタ 6D	TCNT6D	R/W	H'0001	H'FFFFFF506		
	サイクルレジスタ 6A	CYLR6A	R/W	H'FFFF	H'FFFFFF508	11.2.22	
	サイクルレジスタ 6B	CYLR6B	R/W	H'FFFF	H'FFFFFF50A		
	サイクルレジスタ 6C	CYLR6C	R/W	H'FFFF	H'FFFFFF50C		
	サイクルレジスタ 6D	CYLR6D	R/W	H'FFFF	H'FFFFFF50E		
	バッファレジスタ 6A	BFR6A	R/W	H'FFFF	H'FFFFFF510	11.2.23	
	バッファレジスタ 6B	BFR6B	R/W	H'FFFF	H'FFFFFF512		
	バッファレジスタ 6C	BFR6C	R/W	H'FFFF	H'FFFFFF514		
	バッファレジスタ 6D	BFR6D	R/W	H'FFFF	H'FFFFFF516		
	デューティレジスタ 6A	DTR6A	R/W	H'FFFF	H'FFFFFF518	11.2.24	
	デューティレジスタ 6B	DTR6B	R/W	H'FFFF	H'FFFFFF51A		
	デューティレジスタ 6C	DTR6C	R/W	H'FFFF	H'FFFFFF51C		
	デューティレジスタ 6D	DTR6D	R/W	H'FFFF	H'FFFFFF51E		
	タイマコントロールレジスタ 6A	TCR6A	R/W	H'00	H'FFFFFF521	8、16	11.2.3
	タイマコントロールレジスタ 6B	TCR6B	R/W	H'00	H'FFFFFF520		
	タイマステータスレジスタ 6	TSR6	R/(W)*	H'0000	H'FFFFFF522	16	11.2.5
	タイマインタラプトイネーブルレジスタ 6	TIER6	R/W	H'0000	H'FFFFFF524		11.2.6
PWM モードレジスタ	PMDR	R/W	H'00	H'FFFFFF526	8	11.2.10	
7	フリーランニングカウンタ 7A	TCNT7A	R/W	H'0001	H'FFFFFF580	16	11.2.15
	フリーランニングカウンタ 7B	TCNT7B	R/W	H'0001	H'FFFFFF582		
	フリーランニングカウンタ 7C	TCNT7C	R/W	H'0001	H'FFFFFF584		
	フリーランニングカウンタ 7D	TCNT7D	R/W	H'0001	H'FFFFFF586		
	サイクルレジスタ 7A	CYLR7A	R/W	H'FFFF	H'FFFFFF588	11.2.22	
	サイクルレジスタ 7B	CYLR7B	R/W	H'FFFF	H'FFFFFF58A		
	サイクルレジスタ 7C	CYLR7C	R/W	H'FFFF	H'FFFFFF58C		
	サイクルレジスタ 7D	CYLR7D	R/W	H'FFFF	H'FFFFFF58E		
	バッファレジスタ 7A	BFR7A	R/W	H'FFFF	H'FFFFFF590	11.2.23	
	バッファレジスタ 7B	BFR7B	R/W	H'FFFF	H'FFFFFF592		
	バッファレジスタ 7C	BFR7C	R/W	H'FFFF	H'FFFFFF594		
	バッファレジスタ 7D	BFR7D	R/W	H'FFFF	H'FFFFFF596		
	デューティレジスタ 7A	DTR7A	R/W	H'FFFF	H'FFFFFF598	11.2.24	
	デューティレジスタ 7B	DTR7B	R/W	H'FFFF	H'FFFFFF59A		
	デューティレジスタ 7C	DTR7C	R/W	H'FFFF	H'FFFFFF59C		

11. アドバンスドタイマユニット-II (ATU-II)

チャネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号		
7	デューティレジスタ 7D	DTR7D	R/W	H'FFFF	H'FFFFFF59E	16	11.2.24		
	タイマコントロールレジスタ 7A	TCR7A	R/W	H'00	H'FFFFFF5A1	8、16	11.2.3		
	タイマコントロールレジスタ 7B	TCR7B	R/W	H'00	H'FFFFFF5A0				
	タイマステータスレジスタ 7	TSR7	R/(W)*	H'0000	H'FFFFFF5A2	16	11.2.5		
	タイマインタラプトイネーブル レジスタ 7	TIER7	R/W	H'0000	H'FFFFFF5A4		11.2.6		
8	ダウンカウンタ 8A	DCNT8A	R/W	H'0000	H'FFFFFF640	16	11.2.16		
	ダウンカウンタ 8B	DCNT8B	R/W	H'0000	H'FFFFFF642				
	ダウンカウンタ 8C	DCNT8C	R/W	H'0000	H'FFFFFF644				
	ダウンカウンタ 8D	DCNT8D	R/W	H'0000	H'FFFFFF646				
	ダウンカウンタ 8E	DCNT8E	R/W	H'0000	H'FFFFFF648				
	ダウンカウンタ 8F	DCNT8F	R/W	H'0000	H'FFFFFF64A				
	ダウンカウンタ 8G	DCNT8G	R/W	H'0000	H'FFFFFF64C				
	ダウンカウンタ 8H	DCNT8H	R/W	H'0000	H'FFFFFF64E				
	ダウンカウンタ 8I	DCNT8I	R/W	H'0000	H'FFFFFF650				
	ダウンカウンタ 8J	DCNT8J	R/W	H'0000	H'FFFFFF652				
	ダウンカウンタ 8K	DCNT8K	R/W	H'0000	H'FFFFFF654				
	ダウンカウンタ 8L	DCNT8L	R/W	H'0000	H'FFFFFF656				
	ダウンカウンタ 8M	DCNT8M	R/W	H'0000	H'FFFFFF658				
	ダウンカウンタ 8N	DCNT8N	R/W	H'0000	H'FFFFFF65A				
	ダウンカウンタ 8O	DCNT8O	R/W	H'0000	H'FFFFFF65C				
	ダウンカウンタ 8P	DCNT8P	R/W	H'0000	H'FFFFFF65E				
	リロードレジスタ 8	RLDR8	R/W	H'0000	H'FFFFFF660				11.2.25
	タイマコネクションレジスタ	TCNR	R/W	H'0000	H'FFFFFF662				11.2.12
	ワンショットパルスターミネート レジスタ	OTR	R/W	H'0000	H'FFFFFF664				11.2.13
	ダウンカウントスタートレジスタ	DSTR	R/W	H'0000	H'FFFFFF666		11.2.11		
タイマコントロールレジスタ 8	TCR8	R/W	H'00	H'FFFFFF668	8	11.2.3			
タイマステータスレジスタ 8	TSR8	R/(W)*	H'0000	H'FFFFFF66A	16	11.2.5			
タイマインタラプトイネーブル レジスタ 8	TIER8	R/W	H'0000	H'FFFFFF66C		11.2.6			
リロードイネーブルレジスタ	RLDENR	R/W	H'00	H'FFFFFF66E	8	11.2.14			
9	イベントカウンタ 9A	ECNT9A	R/W	H'00	H'FFFFFF680	8	11.2.17		
	イベントカウンタ 9B	ECNT9B	R/W	H'00	H'FFFFFF682				
	イベントカウンタ 9C	ECNT9C	R/W	H'00	H'FFFFFF684				
	イベントカウンタ 9D	ECNT9D	R/W	H'00	H'FFFFFF686				
	イベントカウンタ 9E	ECNT9E	R/W	H'00	H'FFFFFF688				
	イベントカウンタ 9F	ECNT9F	R/W	H'00	H'FFFFFF68A				
	ジェネラルレジスタ 9A	GR9A	R/W	H'FF	H'FFFFFF68C				11.2.20
	ジェネラルレジスタ 9B	GR9B	R/W	H'FF	H'FFFFFF68E				
	ジェネラルレジスタ 9C	GR9C	R/W	H'FF	H'FFFFFF690				
	ジェネラルレジスタ 9D	GR9D	R/W	H'FF	H'FFFFFF692				
	ジェネラルレジスタ 9E	GR9E	R/W	H'FF	H'FFFFFF694				
	ジェネラルレジスタ 9F	GR9F	R/W	H'FF	H'FFFFFF696				

11. アドバンスドタイマユニット-II (ATU-II)

チャンネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号		
9	タイマコントロールレジスタ 9A	TCR9A	R/W	H'00	H'FFFFFF698	8	11.2.3		
	タイマコントロールレジスタ 9B	TCR9B	R/W	H'00	H'FFFFFF69A				
	タイマコントロールレジスタ 9C	TCR9C	R/W	H'00	H'FFFFFF69C				
	タイマステータスレジスタ 9	TSR9	R/(W)*	H'0000	H'FFFFFF69E	16	11.2.5		
	タイマインタラプトイネーブル レジスタ 9	TIER9	R/W	H'0000	H'FFFFFF6A0		11.2.6		
10	フリーランニングカウンタ 10AH	TCNT10AH	R/W	H'0000	H'FFFFFF6C0	32	11.2.26		
	フリーランニングカウンタ 10AL	TCNT10AL	R/W	H'0001					
	イベントカウンタ 10B	TCNT10B	R/W	H'00	H'FFFFFF6C4			8	
	リロードカウンタ 10C	TCNT10C	R/W	H'0001	H'FFFFFF6C6			16	
	補正カウンタ 10D	TCNT10D	R/W	H'00	H'FFFFFF6C8			8	
	補正カウンタ 10E	TCNT10E	R/W	H'0000	H'FFFFFF6CA			16	
	補正カウンタ 10F	TCNT10F	R/W	H'0001	H'FFFFFF6CC				
	フリーランニングカウンタ 10G	TCNT10G	R/W	H'0000	H'FFFFFF6CE				
	インプットキャプチャレジスタ 10AH	ICR10AH	R	H'0000	H'FFFFFF6D0	32	11.2.26		
	インプットキャプチャレジスタ 10AL	ICR10AL	R	H'0000					
	アウトプットコンペアレジスタ 10AH	OCR10AH	R/W	H'FFFF	H'FFFFFF6D4				
	アウトプットコンペアレジスタ 10AL	OCR10AL	R/W	H'FFFF					
	アウトプットコンペアレジスタ 10B	OCR10B	R/W	H'FF	H'FFFFFF6D8			8	
	リロードレジスタ 10C	RLD10C	R/W	H'0000	H'FFFFFF6DA			16	
	ジェネラルレジスタ 10G	GR10G	R/W	H'FFFF	H'FFFFFF6DC				
	ノイズキャンセラカウンタ 10H	TCNT10H	R/W	H'00	H'FFFFFF6DE			8	
	ノイズキャンセラレジスタ 10	NCR10	R/W	H'FF	H'FFFFFF6E0				
	タイマ I/O コントロールレジスタ 10	TIOR10	R/W	H'00	H'FFFFFF6E2				
	タイマコントロールレジスタ 10	TCR10	R/W	H'00	H'FFFFFF6E4				
	補正カウンタクリアレジスタ 10	TCCLR10	R/W	H'0000	H'FFFFFF6E6				16
	タイマステータスレジスタ 10	TSR10	R/(W)*	H'0000	H'FFFFFF6E8				
	タイマインタラプトイネーブル レジスタ 10	TIER10	R/W	H'0000	H'FFFFFF6EA				
	11	フリーランニングカウンタ 11	TCNT11	R/W	H'0000			H'FFFFFF5C0	16
		ジェネラルレジスタ 11A	GR11A	R/W	H'FFFF	H'FFFFFF5C2	11.2.20		
		ジェネラルレジスタ 11B	GR11B	R/W	H'FFFF	H'FFFFFF5C4			
		タイマ I/O コントロールレジスタ 11	TIOR11	R/W	H'00	H'FFFFFF5C6	8	11.2.4	
タイマコントロールレジスタ 11		TCR11	R/W	H'00	H'FFFFFF5C8	11.2.3			
タイマステータスレジスタ 11		TSR11	R/(W)*	H'0000	H'FFFFFF5CA	16	11.2.5		
タイマインタラプトイネーブル レジスタ 11		TIER11	R/W	H'0000	H'FFFFFF5CC		11.2.6		

【注】 * リード後に0ライト可能

11.1.4 ブロック図

(1) ATU-IIのブロック図(全体図)

ATU-IIのブロック図(全体図)を図11.1に示します。

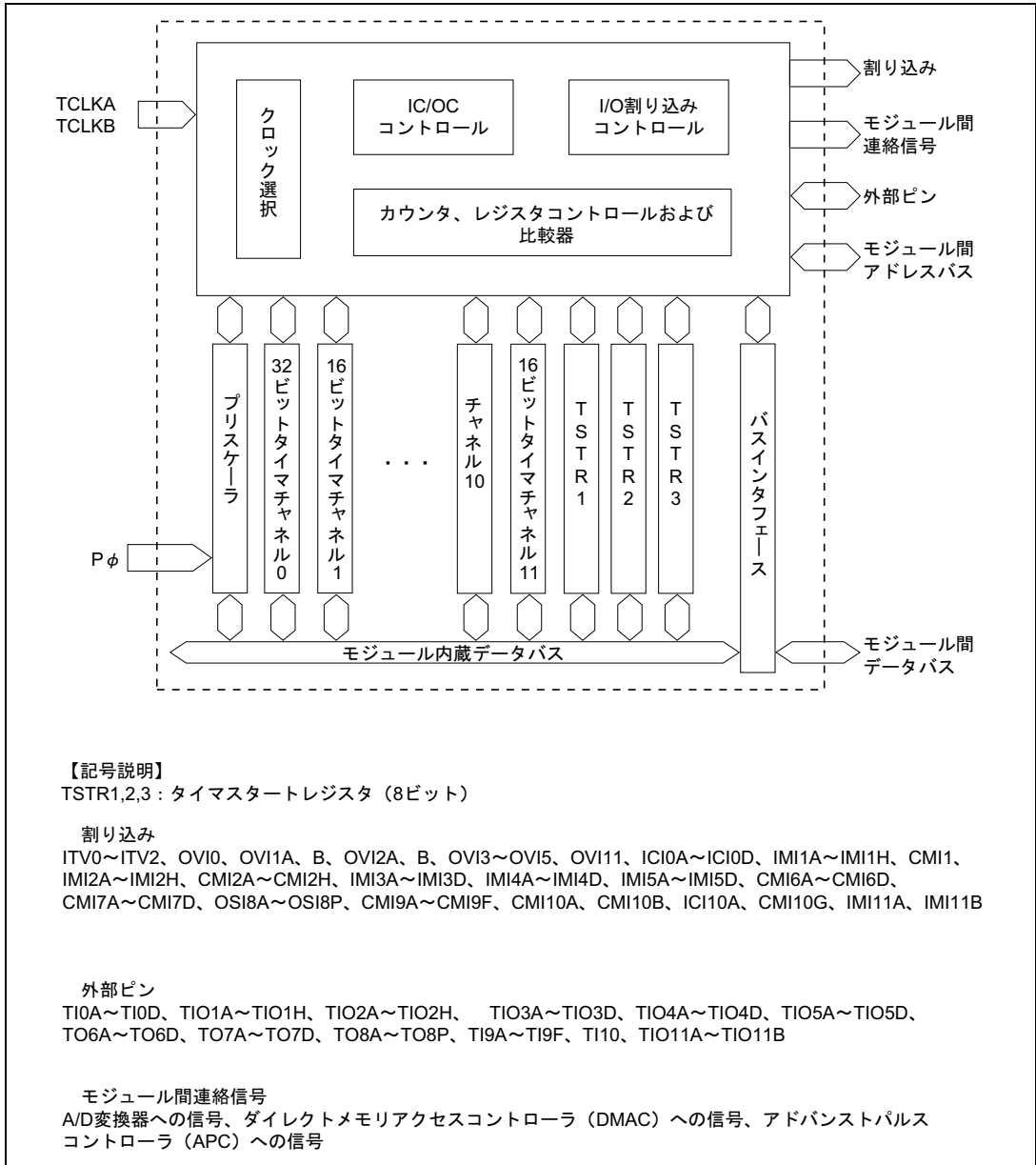


図 11.1 ATU-IIのブロック図(全体図)

11. アドバンスドタイマユニット-II (ATU-II)

(2) チャンネル0のブロック図

ATU-IIのチャンネル0のブロック図を図11.2に示します。

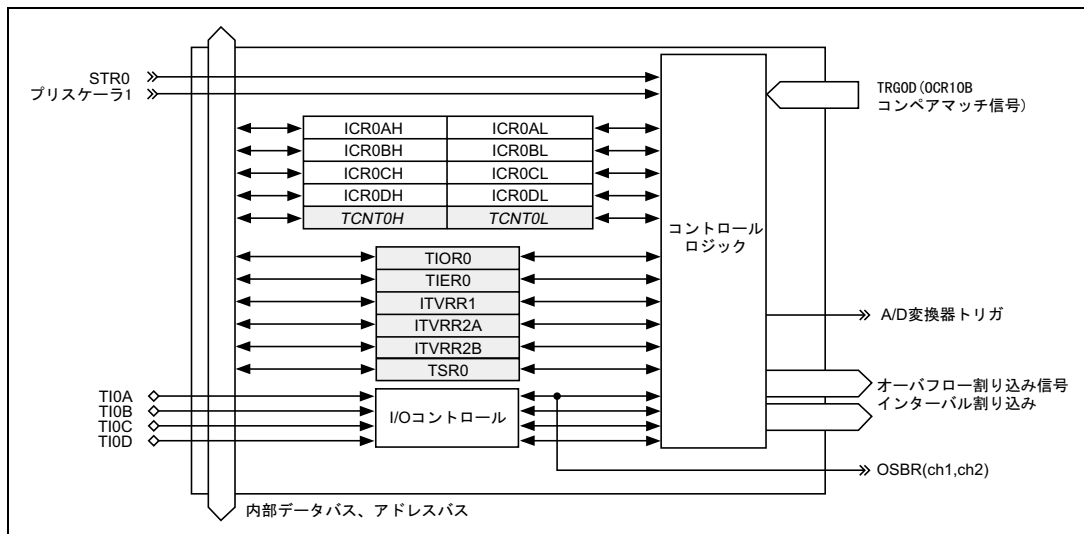


図 11.2 チャンネル0 ブロック図

(3) チャンネル1のブロック図

ATU-IIのチャンネル1のブロック図を図11.3に示します。

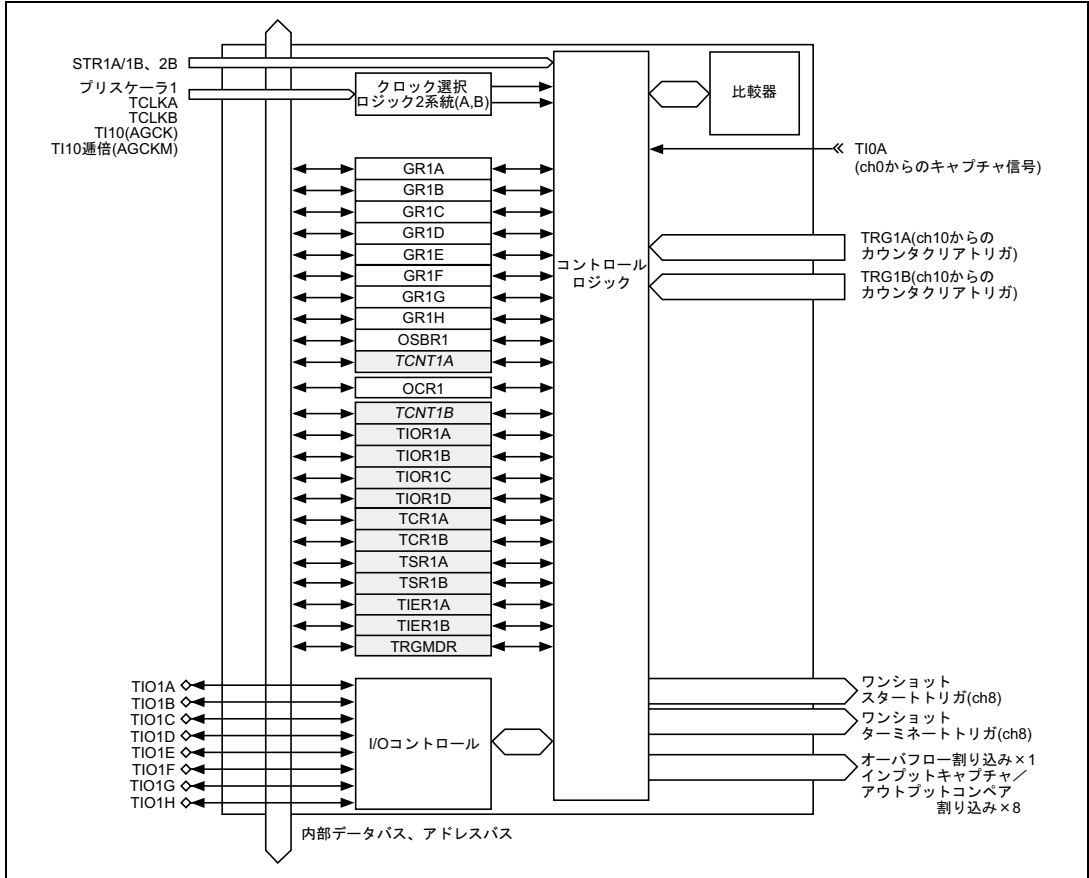


図 11.3 チャンネル1 ブロック図

11. アドバンスタイマユニット-II (ATU-II)

(4) チャンネル2のブロック図

ATU-IIのチャンネル2のブロック図を図11.4に示します。

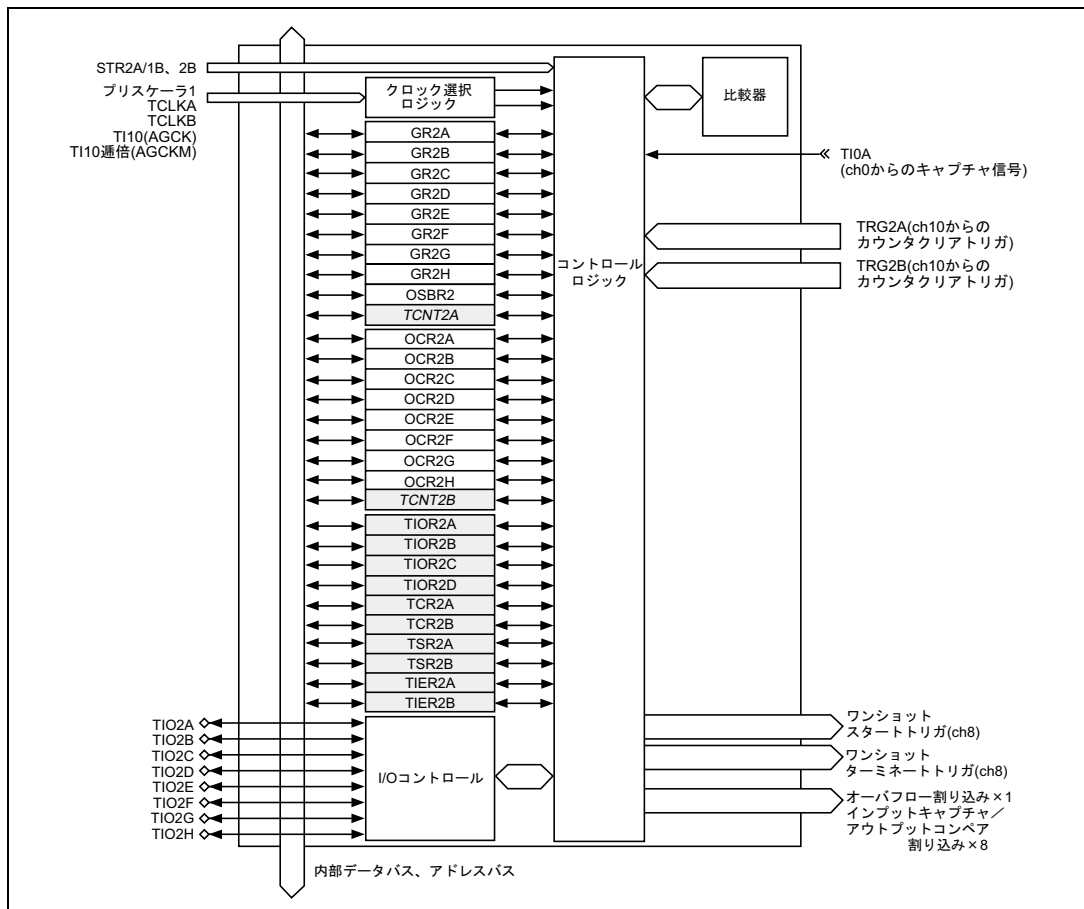


図 11.4 チャンネル2 ブロック図

(5) チャンネル3~5のブロック図

ATU-IIのチャンネル3、4、5のブロック図を図11.5に示します。

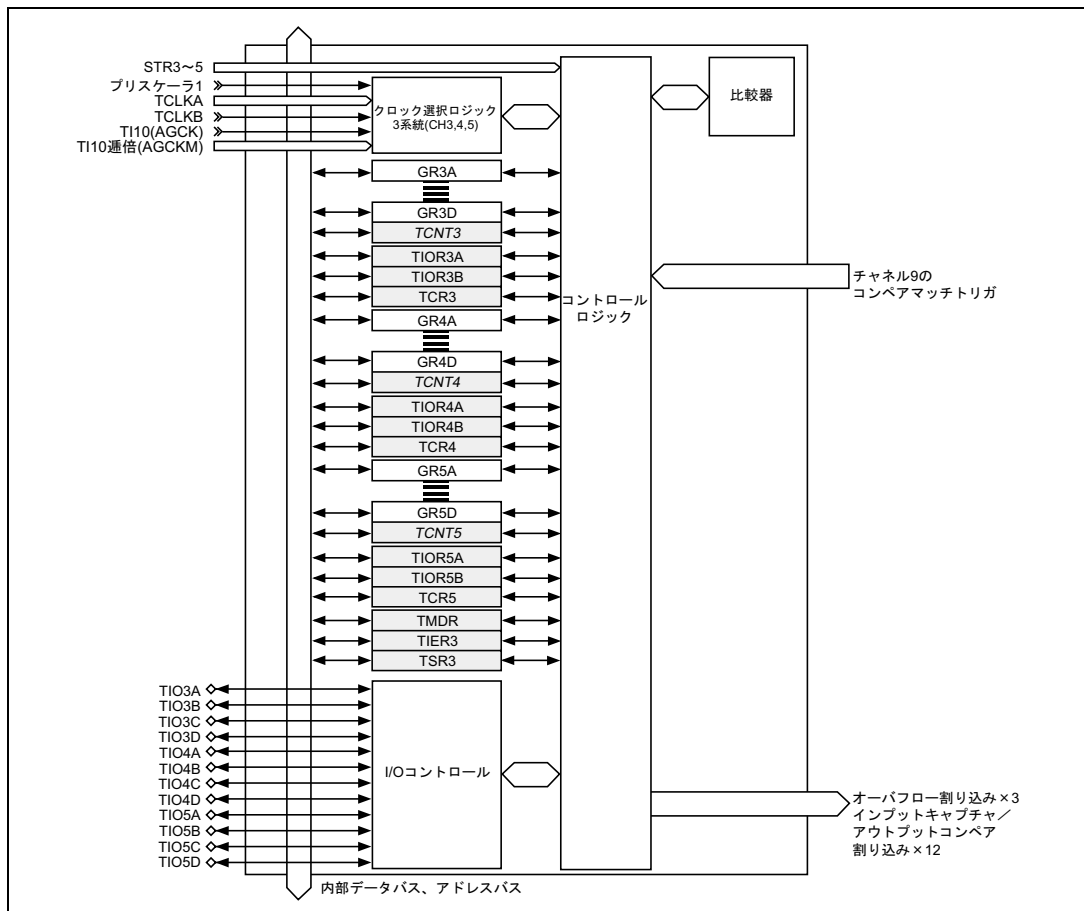


図 11.5 チャンネル3~5 ブロック図

11. アドバンスタイマユニット-II (ATU-II)

(6) チャンネル6~7のブロック図

ATU-IIのチャンネル6、7のブロック図を図11.6に示します。

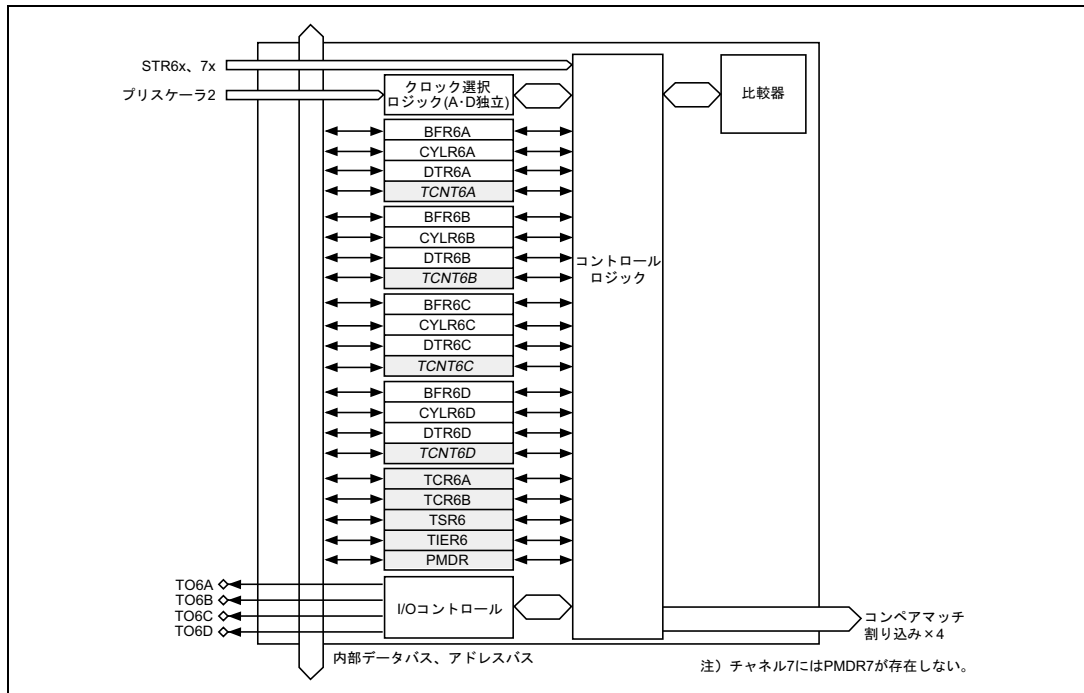


図 11.6 チャンネル6、7 ブロック図

(7) チャンネル 8 のブロック図

ATU-II のチャンネル 8 のブロック図を図 11.7 に示します。

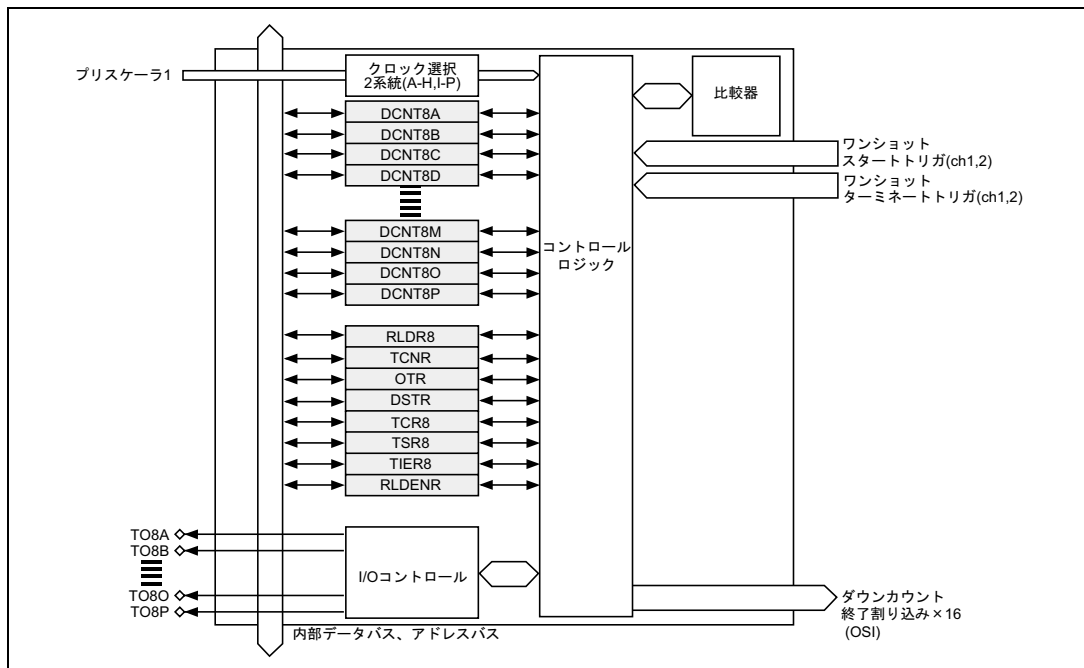


図 11.7 チャンネル 8 ブロック図

(8) チャンネル 9 のブロック図

ATU-II のチャンネル 9 のブロック図を図 11.8 に示します。

11. アドバンスドタイマユニット-II (ATU-II)

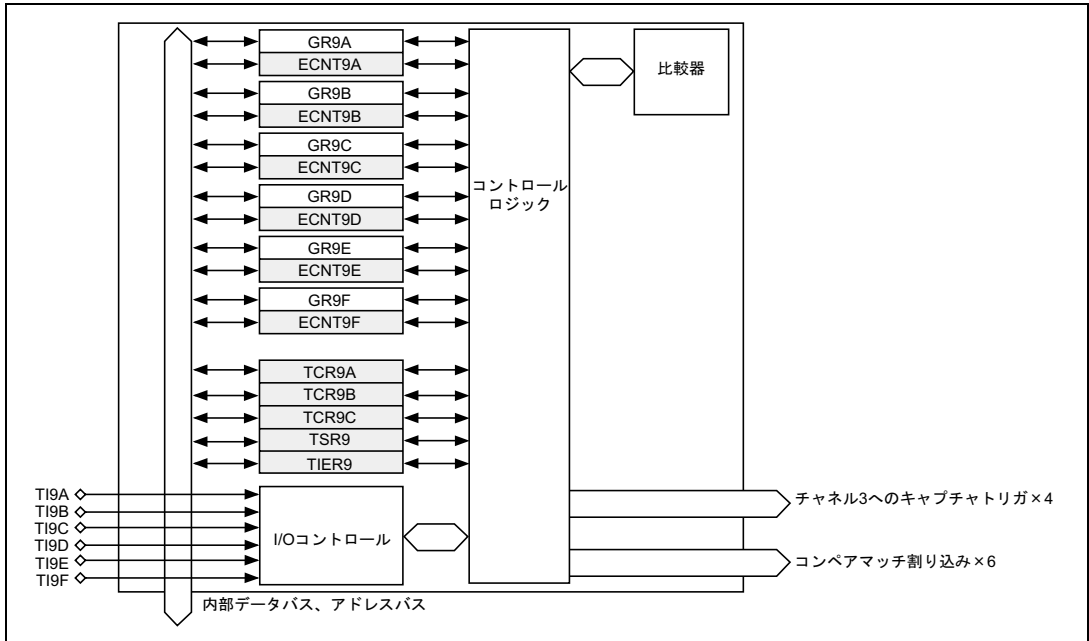


図 11.8 チャンネル 9 ブロック図

(9) チャンネル 10 のブロック図

ATU-II のチャンネル 10 のブロック図を図 11.9 に示します。

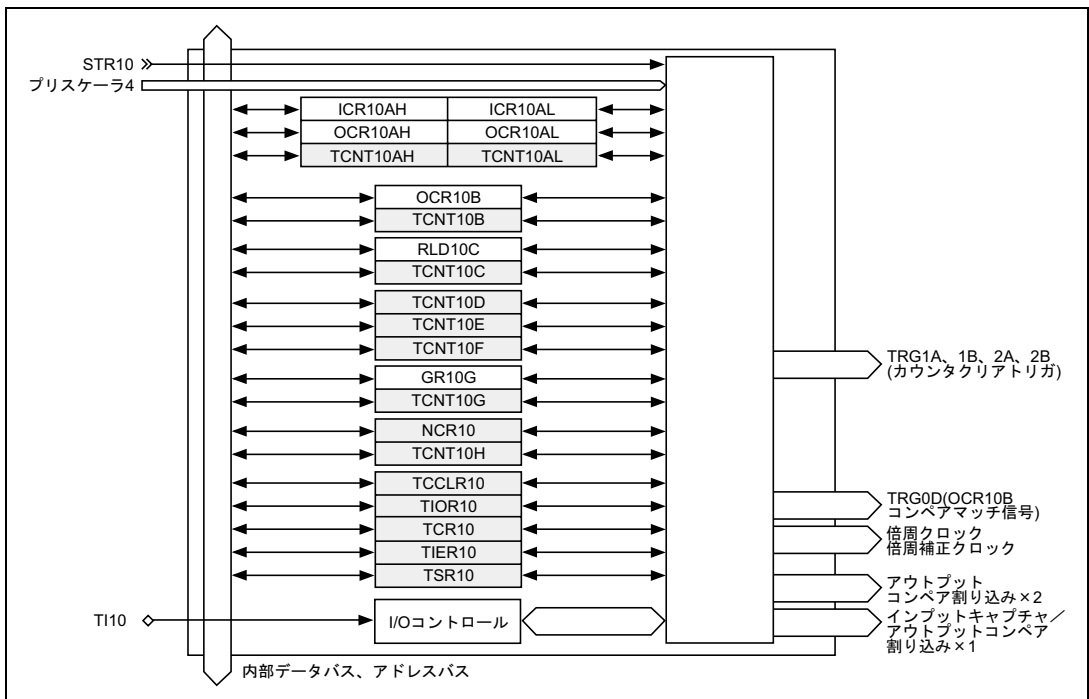


図 11.9 チャンネル 10 ブロック図

(10) チャンネル 11 のブロック図

ATU-II のチャンネル 11 のブロック図を図 11.10 に示します。

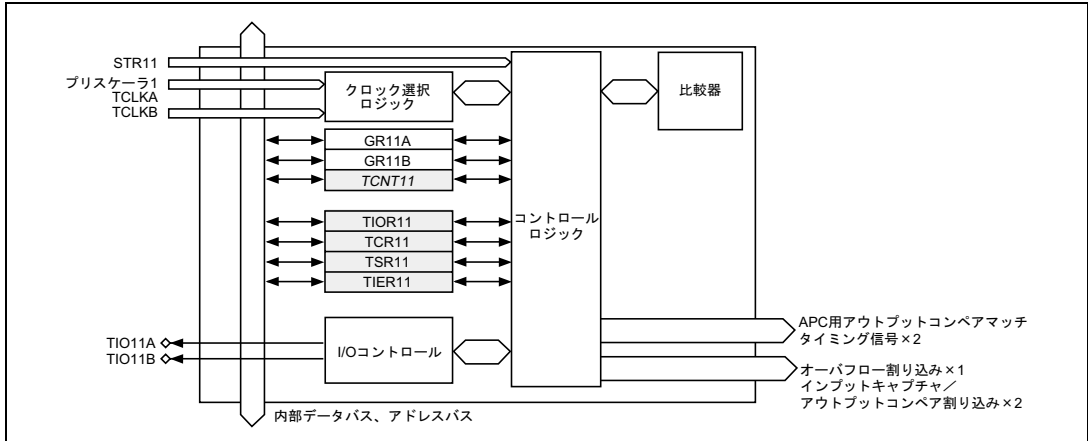


図 11.10 チャンネル 11 ブロック図

11.1.5 チャンネル間およびモジュール間信号連絡図

ATU-II でチャンネル間およびモジュール間の連結のあるものを図 11.11 に示します。

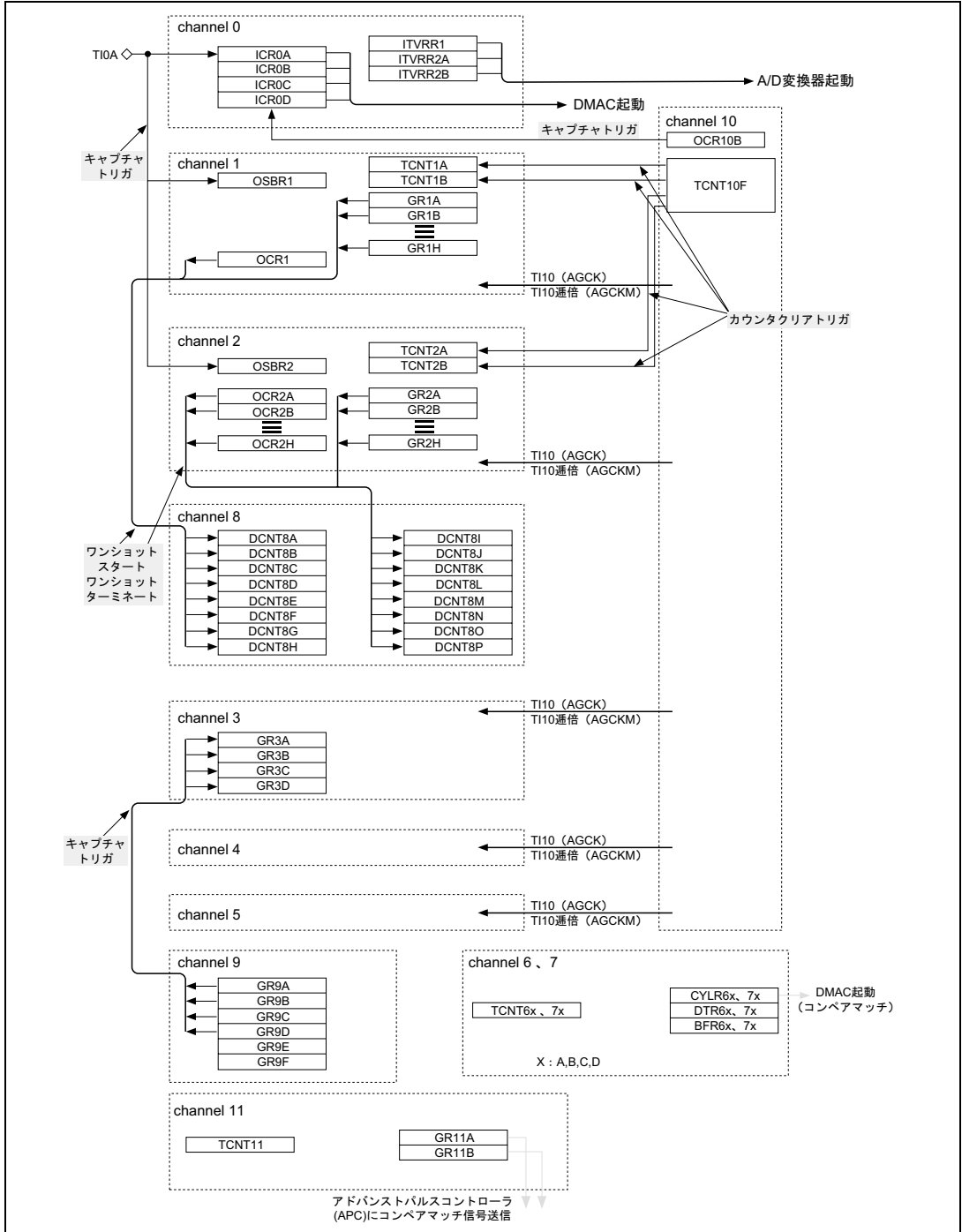


図 11.11 モジュール間連絡信号

11.1.6 プリスケーラ図

ATU-II のプリスケーラ図を図 11.12 に示します。

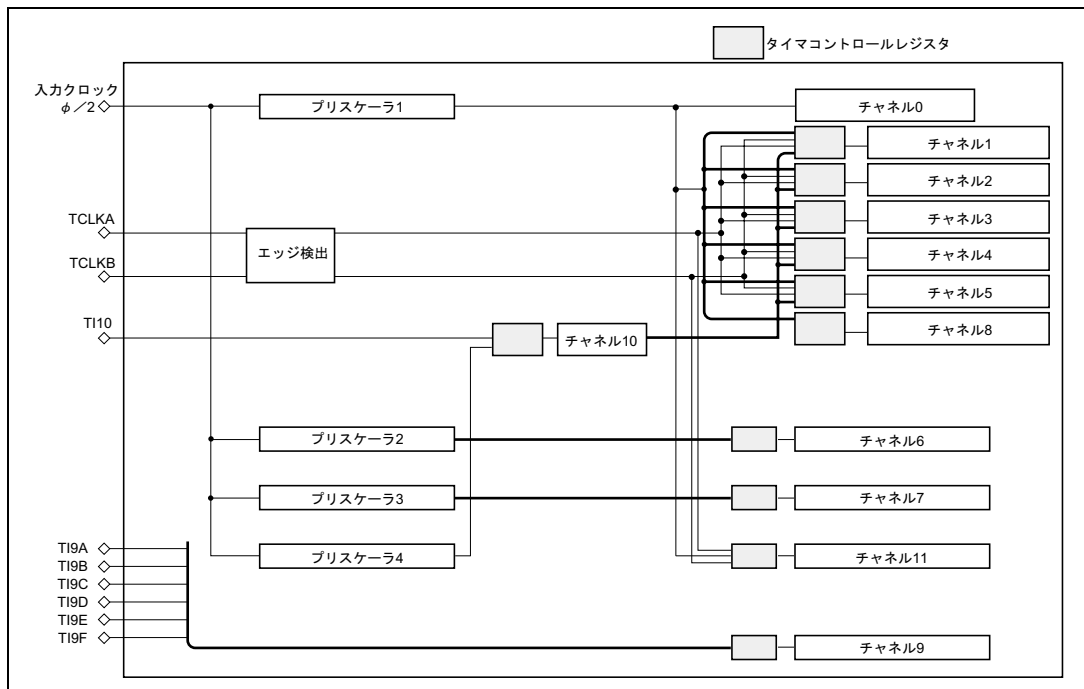


図 11.12 プリスケーラ図

11.2 レジスタの説明

11.2.1 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) は 8 ビットのレジスタです。ATU-II には 3 本のレジスタがあります。

チャンネル	略称	機 能
0、1、2、3、4、5、10	TSTR1	フリーランニングカウンタの動作 / 停止設定
6、7	TSTR2	
11	TSTR3	

(1) タイマスタートレジスタ 1 (TSTR1)

ビット:	7	6	5	4	3	2	1	0
	STR10	STR5	STR4	STR3	STR1B,2B	STR2A	STR1A	STR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマスタートレジスタ 1 (TSTR1) は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~5、10 のフリーランニングカウンタ (TCNT) を動作させるか、停止させるかを設定します。

TSTR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7: カウンタスタート 10 (STR10)

チャンネル 10 のカウンタ (TCNT10A、10C、10D、10E、10F、10G) を動作させるか、停止させるかを設定します。TCNT10B、10H は停止しません。

ビット 7	説 明
STR10	
0	TCNT10 のカウント動作を停止 (初期値)
1	TCNT10 のカウント動作

ビット 6: カウンタスタート 5 (STR5)

フリーランニングカウンタ 5 (TCNT5) を動作させるか、停止させるかを設定します。

ビット 6	説 明
STR5	
0	TCNT5 のカウント動作を停止 (初期値)
1	TCNT5 のカウント動作

ビット 5 : カウンタスタート 4 (STR4)

フリーランニングカウンタ 4 (TCNT4) を動作させるか、停止させるかを設定します。

ビット 5	説 明
STR4	
0	TCNT4 のカウント動作を停止 (初期値)
1	TCNT4 のカウント動作

ビット 4 : カウンタスタート 3 (STR3)

フリーランニングカウンタ 3 (TCNT3) を動作させるか、停止させるかを設定します。

ビット 4	説 明
STR3	
0	TCNT3 のカウント動作を停止 (初期値)
1	TCNT3 のカウント動作

ビット 3 : カウンタスタート 1B、2B (STR1B, 2B)

フリーランニングカウンタ 1B、2B (TCNT1B、2B) を動作させるか、停止させるかを設定します。

ビット 3	説 明
STR1B, 2B	
0	TCNT1B、2B のカウント動作を停止 (初期値)
1	TCNT1B、2B のカウント動作

ビット 2 : カウンタスタート 2A (STR2A)

フリーランニングカウンタ 2A (TCNT2A) を動作させるか、停止させるかを設定します。

ビット 2	説 明
STR2A	
0	TCNT2A のカウント動作を停止 (初期値)
1	TCNT2A のカウント動作

ビット 1 : カウンタスタート 1A (STR1A)

フリーランニングカウンタ 1A (TCNT1A) を動作させるか、停止させるかを設定します。

ビット 1	説 明
STR1A	
0	TCNT1A のカウント動作を停止 (初期値)
1	TCNT1A のカウント動作

11. アドバンスタイマユニット-II (ATU-II)

ビット0：カウンタスタート0 (STR0)

フリーランニングカウンタ0 (TCNT0) を動作させるか、停止させるかを設定します。

ビット0	説明
STR0	
0	TCNT0 のカウント動作を停止 (初期値)
1	TCNT0 のカウント動作

(2) タイマスタートレジスタ2 (TSTR2)

ビット：	7	6	5	4	3	2	1	0
	STR7D	STR7C	STR7B	STR7A	STR6D	STR6C	STR6B	STR6A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマスタートレジスタ2 (TSTR2) は8ビットの読み出し/書き込み可能なレジスタで、チャンネル6、7のフリーランニングカウンタ (TCNT) を動作させるか、停止させるかを設定します。

TSTR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'00 に初期化されます。

ビット7：カウンタスタート7D (STR7D)

フリーランニングカウンタ7D (TCNT7D) を動作させるか、停止させるかを設定します。

ビット7	説明
STR7D	
0	TCNT7D のカウント動作を停止 (初期値)
1	TCNT7D のカウント動作

ビット6：カウンタスタート7C (STR7C)

フリーランニングカウンタ7C (TCNT7C) を動作させるか、停止させるかを設定します。

ビット6	説明
STR7C	
0	TCNT7C のカウント動作を停止 (初期値)
1	TCNT7C のカウント動作

ビット5：カウンタスタート7B (STR7B)

フリーランニングカウンタ7B (TCNT7B) を動作させるか、停止させるかを設定します。

ビット5	説明
STR7B	
0	TCNT7B のカウント動作を停止 (初期値)
1	TCNT7B のカウント動作

ビット4：カウンタスタート7A (STR7A)

フリーランニングカウンタ7A (TCNT7A) を動作させるか、停止させるかを設定します。

ビット4	説明
STR7A	
0	TCNT7A のカウント動作を停止 (初期値)
1	TCNT7A のカウント動作

ビット3：カウンタスタート6D (STR6D)

フリーランニングカウンタ6D (TCNT6D) を動作させるか、停止させるかを設定します。

ビット3	説明
STR6D	
0	TCNT6D のカウント動作を停止 (初期値)
1	TCNT6D のカウント動作

ビット2：カウンタスタート6C (STR6C)

フリーランニングカウンタ6C (TCNT6C) を動作させるか、停止させるかを設定します。

ビット2	説明
STR6C	
0	TCNT6C のカウント動作を停止 (初期値)
1	TCNT6C のカウント動作

ビット1：カウンタスタート6B (STR6B)

フリーランニングカウンタ6B (TCNT6B) を動作させるか、停止させるかを設定します。

ビット1	説明
STR6B	
0	TCNT6B のカウント動作を停止 (初期値)
1	TCNT6B のカウント動作

ビット0：カウンタスタート6A (STR6A)

フリーランニングカウンタ6A (TCNT6A) を動作させるか、停止させるかを設定します。

ビット0	説明
STR6A	
0	TCNT6A のカウント動作を停止 (初期値)
1	TCNT6A のカウント動作

11. アドバンスタイマユニット-II (ATU-II)

(3) タイマスタートレジスタ 3 (TSTR3)

ビット:	7	6	5	4	3	2	1	0
								STR11
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

タイマスタートレジスタ 3 (TSTR3) は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 11 のフリーランニングカウンタ (TCNT11) を動作させるか、停止させるかを設定します。

TSTR3 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7~1: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0: カウンタスタート 11 (STR11)

フリーランニングカウンタ 11 (TCNT11) を動作させるか、停止させるかを設定します。

ビット 0	説明
STR11	
0	TCNT11 のカウント動作を停止 (初期値)
1	TCNT11 のカウント動作

11.2.2 プリスケーラレジスタ (PSCR)

プリスケーラレジスタ (PSCR) は 8 ビットのレジスタです。ATU-II には 4 本のレジスタがありません。

チャンネル	略 称	機 能
0、1、2、3、4、5、8、11	PSCR1	各チャンネルのプリスケーラの設定
6	PSCR2	
7	PSCR3	
10	PSCR4	

PSCR_x は 8 ビットの書き込み可能なレジスタで、各チャンネルに入力される 1 段目のカウンタクロック τ を $P/1 \sim P/32$ の値を任意に設定することができます。

ビット:	7	6	5	4	3	2	1	0
				PSCR _E	PSCR _D	PSCR _C	PSCR _B	PSCR _A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

x = 1~4

入力カウンタクロック τ は、PSCR_A ~ PSCR_E を設定することで決まり、設定値が H'00 のときは $P/1$ で、H'1F のときは $P/32$ となります。

PSCR_x はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

本レジスタで設定した内部クロック τ はチャンネル 1~8、11 において、タイマコントロールレジスタ (TCR) で 2 段目の分周 τ の設定が可能です。

ビット 7~5: 予約ビット

書き込みは無効です。

ビット 4~0: プリスケーラ (PSCR_E、PSCR_D、PSCR_C、PSCR_B、PSCR_A)

対応するチャンネルに入力される 1 段目のカウンタクロック τ の分周を設定します。

11.2.3 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は 8 ビットのレジスタです。ATU-II には、チャンネル 1、2 に各 2 本、チャンネル 3~5、8、11 に各 1 本、チャンネル 6、7 に各 2 本、チャンネル 9 に 3 本、計 16 本のレジスタがあります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
1	TCR1A、TCR1B	内部クロック / 外部クロック / TI10 の入力クロックの選択
2	TCR2A、TCR2B	
3	TCR3	
4	TCR4	
5	TCR5	
6	TCR6A、TCR6B	内部クロック選択
7	TCR7A、TCR7B	
8	TCR8	
9	TCR9A、TCR9B、TCR9C	外部クロックの選択 / コンペアマッチ時のチャンネル 3 のトリガ設定
11	TCR11	内部クロック / 外部クロックの選択

TCR は 8 ビットの読み出し / 書き込み可能なレジスタで、カウントクロックの選択を行います。チャンネル 1~5、11 では内部クロックを使用するか、外部クロックを使用するかを選択を行います。チャンネル 6~8 では内部クロックの選択を行います。チャンネル 9 では外部クロックの選択を行います。

内部クロックを選択した場合、プリスケアラレジスタ (PSCR) で分周したクロック f_{clk} をさらに分周する値 N を選択します。分周クロック f_{clk}/N はチャンネル 1~8、11 でのみ使用可能で、 $N=1$ 、 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ より選択します (チャンネル 0 では $N=1$ のみ)。エッジ検出は立ち上がりで行います。

外部クロックを選択した場合、TCLKA、TCLKB (チャンネル 1~5、11)、TI10 端子入力 (チャンネル 1~5 のみ)、TI10 端子入力の逡倍クロック (チャンネル 1~5 のみ) の選択を行います。さらにエッジ検出の選択を行います。

TCR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

(1) タイマコントロールレジスタ 1A、1B、2A、2B (TCR1A、TCR1B、TCR2A、TCR2B)

TCR1A、TCR2A

ビット:	7	6	5	4	3	2	1	0
			CKEGA1	CKEGA0	CKSELA3	CKSELA2	CKSELA1	CKSELA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

TCR1B、TCR2B

ビット:	7	6	5	4	3	2	1	0
			CKEGB1	CKEGB0	CKSELB3	CKSELB2	CKSELB1	CKSELB0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット7、6: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5、4: クロックエッジ 1、0 (CKEGx1、CKEGx0)

外部クロック TCLKA、B 入力のカウントエッジを選択します。

ビット5	ビット4	説明
CKEGx1	CKEGx0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	0	立ち上がり / 立ち下がりの両エッジでカウント
	1	カウント禁止

x = A または B

11. アドバンスタイマユニット-II (ATU-II)

ビット 3~0 : クロックセレクト A3~A0、B3~B0 (CKSELA3~A0、CKSELB3~B0)

内部クロックを使用するか、外部クロックを使用するかを選択します。

内部クロック選択時は、分周 " を '、 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ より選択します。外部クロック選択時は、TCLKA、TCLKB、TI10 端子入力、TI10 端子入力の逡倍クロックより選択します。

TI10 端子入力および TI10 端子入力クロックの逡倍を選択した場合、TCR10 の CKEG1、0 を TI10 入力が可能な状態に設定してください。

ビット 3	ビット 2	ビット 1	ビット 0	説明
CKSELx3	CKSELx2	CKSELx1	CKSELx0	
0	0	0	0	内部クロック " : 'でカウント (初期値)
			1	内部クロック " : $1/2$ でカウント
		1	0	内部クロック " : $1/4$ でカウント
			1	内部クロック " : $1/8$ でカウント
	1	0	0	内部クロック " : $1/16$ でカウント
			1	内部クロック " : $1/32$ でカウント
		1	0	外部クロック : TCLKA 端子入力でカウント
			1	外部クロック : TCLKB 端子入力でカウント
1	0	0	0	TI10 端子入力 (AGCK) でカウント
			1	TI10 端子入力クロックの逡倍 (補正) (AGCKM) でカウント
	1	1	*	設定禁止
		1	*	設定禁止

x = A または B

* : don't care

(2) タイマコントロールレジスタ 3~5 (TCR3、TCR4、TCR5)

ビット :	7	6	5	4	3	2	1	0
			CKEG1	CKEG0	CKSEL3	CKSEL2	CKSEL1	CKSEL0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7、6 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5、4 : クロックエッジ 1、0 (CKEG1、CKEG0)

外部クロック TCLKA、B 入力のカウントエッジを選択します。

ビット 5	ビット 4	説明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	0	立ち上がり / 立ち下がりの両エッジでカウント
	1	カウント禁止

ビット3~0: クロックセレクト3~0 (CKSEL3~0)

内部クロックを使用するか、外部クロックを使用するかを選択します。

内部クロック選択時は、分周 " を 1 、 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ より選択します。外部クロック選択時は、TCLKA、TCLKB、TI10 端子入力、TI10 端子入力の逡倍クロックより選択します。

TI10 端子入力および TI10 端子入力クロックの逡倍を選択した場合、TCR10 の CKEG1、0 を TI10 入力が可能な状態に設定してください。

ビット3	ビット2	ビット1	ビット0	説明
CKSEL3	CKSEL2	CKSEL1	CKSEL0	
0	0	0	0	内部クロック " : 1 でカウント (初期値)
			1	内部クロック " : $1/2$ でカウント
		1	0	内部クロック " : $1/4$ でカウント
			1	内部クロック " : $1/8$ でカウント
	1	0	0	内部クロック " : $1/16$ でカウント
			1	内部クロック " : $1/32$ でカウント
		1	0	外部クロック : TCLKA 端子入力でカウント
			1	外部クロック : TCLKB 端子入力でカウント
1	0	0	0	TI10 端子入力 (AGCK) でカウント
			1	TI10 端子入力クロックの逡倍 (補正) (AGCKM) でカウント
		1	*	設定禁止
	1	*	*	設定禁止

* : don't care

11. アドバンスドタイマユニット-II (ATU-II)

(3) タイマコントロールレジスタ 6A、6B、7A、7B (TCR6A、TCR6B、TCR7A、TCR7B)

TCR6A、TCR7A

ビット:	7	6	5	4	3	2	1	0
		CKSELB2	CKSELB1	CKSELB0		CKSELA2	CKSELA1	CKSELA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TCR6B、TCR7B

ビット:	7	6	5	4	3	2	1	0
		CKSELD2	CKSELD1	CKSELD0		CKSELC2	CKSELC1	CKSELC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6~4: クロックセレクト B2~B0、D2~D0 (CKSELB2~B0、CKSELD2~D0)

内部クロックの分周 " を '、 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ より選択します。

ビット6	ビット5	ビット4	説明
CKSELx2	CKSELx1	CKSELx0	
0	0	0	内部クロック " : ' でカウント (初期値)
		1	内部クロック " : $1/2$ でカウント
	1	0	内部クロック " : $1/4$ でカウント
		1	内部クロック " : $1/8$ でカウント
1	0	0	内部クロック " : $1/16$ でカウント
		1	内部クロック " : $1/32$ でカウント
	1	0	設定禁止
		1	設定禁止

x = B または D

ビット3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2~0 : クロックセレクト A2~A0、C2~C0 (CKSELA2~A0、CKSELC2~C0)

内部クロックの分周 " を '、 $\frac{1}{2}$ 、 $\frac{1}{4}$ 、 $\frac{1}{8}$ 、 $\frac{1}{16}$ 、 $\frac{1}{32}$ より選択します。

ビット2	ビット1	ビット0	説 明
CKSELx2	CKSELx1	CKSELx0	
0	0	0	内部クロック " : 'でカウント (初期値)
		1	内部クロック " : $\frac{1}{2}$ でカウント
	1	0	内部クロック " : $\frac{1}{4}$ でカウント
		1	内部クロック " : $\frac{1}{8}$ でカウント
1	0	0	内部クロック " : $\frac{1}{16}$ でカウント
		1	内部クロック " : $\frac{1}{32}$ でカウント
	1	0	設定禁止
		1	設定禁止

x = A または C

(4) タイマコントロールレジスタ 8 (TCR8)

ビット :	7	6	5	4	3	2	1	0
		CKSELB2	CKSELB1	CKSELB0		CKSELA2	CKSELA1	CKSELA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

CKSELAx は DCNT8A~H に対応し、CKSELBx は DCNT8I~P に対応しています。

ビット7 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6~4 : クロックセレクト B2~B0 (CKSELB2~B0)

DCNT8I~Pのカウンタに対応しており、内部クロックの分周 " を '、 $\frac{1}{2}$ 、 $\frac{1}{4}$ 、 $\frac{1}{8}$ 、 $\frac{1}{16}$ 、 $\frac{1}{32}$ より選択します。

ビット6	ビット5	ビット4	説 明
CKSELB2	CKSELB1	CKSELB0	
0	0	0	内部クロック " : 'でカウント (初期値)
		1	内部クロック " : $\frac{1}{2}$ でカウント
	1	0	内部クロック " : $\frac{1}{4}$ でカウント
		1	内部クロック " : $\frac{1}{8}$ でカウント
1	0	0	内部クロック " : $\frac{1}{16}$ でカウント
		1	内部クロック " : $\frac{1}{32}$ でカウント
	1	0	設定禁止
		1	設定禁止

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

11. アドバンスドタイマユニット-II (ATU-II)

ビット2~0 : クロックセレクト A2~A0 (CKSELA2~A0)

DCNT8A~Hのカウンタに対応しており、内部クロックの分周 " を 1、 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ より選択します。

ビット2	ビット1	ビット0	説 明
CKSELA2	CKSELA1	CKSELA0	
0	0	0	内部クロック " : 1 でカウント (初期値)
		1	内部クロック " : $1/2$ でカウント
	1	0	内部クロック " : $1/4$ でカウント
		1	内部クロック " : $1/8$ でカウント
1	0	0	内部クロック " : $1/16$ でカウント
		1	内部クロック " : $1/32$ でカウント
	1	0	設定禁止
		1	設定禁止

(5) タイマコントロールレジスタ 9A、9B、9C (TCR9A、TCR9B、TCR9C)

TCR9A

ビット :	7	6	5	4	3	2	1	0
		TRG3BEN	EGSELB1	EGSELB0		TRG3AEN	EGSELA1	EGSELA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TCR9B

ビット :	7	6	5	4	3	2	1	0
		TRG3DEN	EGSELD1	EGSELD0		TRG3CEN	EGSELC1	EGSELC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TCR9C

ビット :	7	6	5	4	3	2	1	0
			EGSELF1	EGSELF0			EGSELE1	EGSELE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W

ビット7 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6：トリガチャンネル3BEN、3DEN (TRG3BEN、TRG3DEN)

チャンネル9のイベントカウンタのコンペアマッチ信号をチャンネル3のインプットキャプチャトリガとして使用するかを選択します。

ビット6	説明
TRG3xEN	
0	チャンネル9のコンペアマッチ時 (ECNT9x = GR9x) のチャンネル3へのインプットキャプチャトリガを禁止 (初期値)
1	チャンネル9のコンペアマッチ時 (ECNT9x = GR9x) のチャンネル3へのインプットキャプチャトリガを許可

x = B または D

ビット5、4：エッジセレクト B1、B0、D1、D0、F1、F0 (EGSELB1、EGSELB0、EGSELD1、EGSELD0、EGSELF1、EGSELF0)

イベントカウンタのカウントエッジを選択します。

ビット5	ビット4	説明
EGSELx1	EGSELx0	
0	0	カウント動作禁止 (初期値)
	1	立ち上がりエッジでカウント
1	0	立ち下がりエッジでカウント
	1	立ち上がり / 立ち下がり両エッジでカウント

x = B、D、または F

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2：トリガチャンネル3AEN、3CEN (TRG3AEN、TRG3CEN)

チャンネル9のイベントカウンタのコンペアマッチ信号をチャンネル3のインプットキャプチャトリガとして使用するかを選択します。

ビット2	説明
TRG3xEN	
0	チャンネル9のコンペアマッチ時 (ECNT9x = GR9x) のチャンネル3へのインプットキャプチャトリガを禁止 (初期値)
1	チャンネル9のコンペアマッチ時 (ECNT9x = GR9x) のチャンネル3へのインプットキャプチャトリガを許可

x = A または C

11. アドバンスドタイマユニット-II (ATU-II)

ビット 1、0: エッジセレクト A1、A0、C1、C0、E1、E0 (EGSELA1、EGSELA0、EGSELC1、EGSELC0、EGSELE1、EGSELE0)

イベントカウンタのカウントエッジを選択します。

ビット1 EGSELx1	ビット0 EGSELx0	説 明
0	0	カウント動作禁止 (初期値)
	1	立ち上がりエッジでカウント
1	0	立ち下がりエッジでカウント
	1	立ち上がり / 立ち下がり両エッジでカウント

x=A、C、またはE

(6) タイマコントロールレジスタ 11 (TCR11)

ビット:	7	6	5	4	3	2	1	0
			CKEG1	CKEG0		CKSELA2	CKSELA1	CKSELA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット 7、6、3: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5、4: エッジセレクト

外部クロック TCLKA、B 入力のカウントエッジを選択します。

ビット5 CKEG1	ビット4 CKEG0	説 明
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	0	立ち上がり / 立ち下がりの両エッジでカウント
	1	カウント禁止

ビット 2~0: クロックセレクト A2~A0 (CKSELA2~A0)

内部クロックの分周 " を '、' /2、' /4、' /8、' /16、' /32 より選択します。

ビット2 CKSELA2	ビット1 CKSELA1	ビット0 CKSELA0	説 明
0	0	0	内部クロック " : ' でカウント (初期値)
		1	内部クロック " : ' /2 でカウント
	1	0	内部クロック " : ' /4 でカウント
		1	内部クロック " : ' /8 でカウント
1	0	0	内部クロック " : ' /16 でカウント
		1	内部クロック " : ' /32 でカウント
	1	0	外部クロック : TCLKA 端子入力でカウント
		1	外部クロック : TCLKB 端子入力でカウント

11.2.4 タイマ I/O コントロールレジスタ (TIOR)

タイマ I/O コントロールレジスタ (TIOR) は 8 ビットレジスタです。ATU-II には、チャンネル 0 に 1 本、チャンネル 1、2 に各 4 本、チャンネル 3~5 に各 2 本、チャンネル 11 に 1 本、計 16 本の TIOR があります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
0	TIOR0	ICR0 のエッジ検出の設定
1	TIOR1A~1D	GR のインプットキャプチャ / コンペアマッチの切り替え、エッジ検出 / 出力値の設定
2	TIOR2A~2D	
3	TIOR3A、TIOR3B	GR のインプットキャプチャ / コンペアマッチの切り替え、エッジ検出 / 出力値の設定、 TCNT3~5 のクリア許可 / 禁止の設定
4	TIOR4A、TIOR4B	
5	TIOR5A、TIOR5B	
11	TIOR11	GR のインプットキャプチャ / コンペアマッチの切り替え、エッジ検出 / 出力値の設定

TIOR は 8 ビットの読み出し / 書き込み可能なレジスタで、インプットキャプチャ専用レジスタおよびジェネラルレジスタの機能の選択を行います。

インプットキャプチャ専用レジスタ (ICR) ではエッジ検出の設定を行います。

ジェネラルレジスタ (GR) ではインプットキャプチャとして使用するか、アウトプットコンペアとして使用するかの選択、エッジ検出の設定を行います。チャンネル 3~5 に関してはさらに、コンペアマッチ時にフリーランニングカウンタ (TCNT) のクリア許可 / 禁止の選択を行います。

(1) タイマ I/O コントロールレジスタ 0 (TIOR0)

ビット:	7	6	5	4	3	2	1	0
	IO0D1	IO0D0	IO0C1	IO0C0	IO0B1	IO0B0	IO0A1	IO0A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIOR0 は、インプットキャプチャ ICR0A~ICR0D のエッジ検出を設定します。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

11. アドバンスドタイマユニット-II (ATU-II)

ビット7、6 : I/O コントロール 0D1、0D0 (IO0D1、IO0D0)

TI0D 端子のインプットキャプチャ信号のエッジ検出を選択します。

ビット7	ビット6	説 明
IO0D1	IO0D0	
0	0	インプットキャプチャ禁止(TCNT10B のコンペアマッチではインプットキャプチャ可能) (初期値)
	1	立ち上がりエッジで ICR0D ヘインプットキャプチャ
1	0	立ち下がりエッジで ICR0D ヘインプットキャプチャ
	1	立ち上がり / 立ち下がり の両エッジで ICR0D ヘインプットキャプチャ

ビット5、4 : I/O コントロール 0C1、0C0 (IO0C1、IO0C0)

TI0C 端子のインプットキャプチャ信号のエッジ検出を選択します。

ビット5	ビット4	説 明
IO0C1	IO0C0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0C ヘインプットキャプチャ
1	0	立ち下がりエッジで ICR0C ヘインプットキャプチャ
	1	立ち上がり / 立ち下がり の両エッジで ICR0C ヘインプットキャプチャ

ビット3、2 : I/O コントロール 0B1、0B0 (IO0B1、IO0B0)

TI0B 端子のインプットキャプチャ信号のエッジ検出を選択します。

ビット3	ビット2	説 明
IO0B1	IO0B0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0B ヘインプットキャプチャ
1	0	立ち下がりエッジで ICR0B ヘインプットキャプチャ
	1	立ち上がり / 立ち下がり の両エッジで ICR0B ヘインプットキャプチャ

ビット1、0 : I/O コントロール 0A1、0A0 (IO0A1、IO0A0)

TI0A 端子のインプットキャプチャ信号のエッジ検出を選択します。

ビット1	ビット0	説 明
IO0A1	IO0A0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0A ヘインプットキャプチャ
1	0	立ち下がりエッジで ICR0A ヘインプットキャプチャ
	1	立ち上がり / 立ち下がり の両エッジで ICR0A ヘインプットキャプチャ

(2) タイマ I/O コントロールレジスタ 1A~1D (TIOR1A~1D)

TIOR1A

ビット:	7	6	5	4	3	2	1	0
		IO1B2	IO1B1	IO1B0		IO1A2	IO1A1	IO1A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1B

ビット:	7	6	5	4	3	2	1	0
		IO1D2	IO1D1	IO1D0		IO1C2	IO1C1	IO1C0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1C

ビット:	7	6	5	4	3	2	1	0
		IO1F2	IO1F1	IO1F0		IO1E2	IO1E1	IO1E0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1D

ビット:	7	6	5	4	3	2	1	0
		IO1H2	IO1H1	IO1H0		IO1G2	IO1G1	IO1G0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1A~1D はジェネラルレジスタ (GR1A~GR1H) をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定します。またエッジ検出/出力値の設定を行います。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

11. アドバンスタイマユニット-II (ATU-II)

ビット6～4: I/O コントロール 1B2～1B0、1D2～1D0、1F2～1F0、1H2～1H0(IO1B2～IO1B0、IO1D2～IO1D0、IO1F2～IO1F0、IO1H2～IO1H0)

ジェネラルレジスタ (GR) の機能の選択をします。

ビット6	ビット5	ビット4	説 明	
IO1x2	IO1x1	IO1x0		
0	0	0	GR は アウトプット コンペア レジスタ	コンペアマッチ禁止、端子出力不定 (初期値)
		1		GR のコンペアマッチで0出力
	1	0		GR のコンペアマッチで1出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR は インプット キャプチャ レジスタ	インプットキャプチャ禁止
		1		TIO1x端子立ち上がりエッジでGRへインプットキャプチャ (GRヘライト不可)
	1	0		TIO1x端子立ち下がりエッジでGRへインプットキャプチャ (GRヘライト不可)
		1		TIO1x端子立ち上がり / 立ち下がり両エッジでGRへインプットキャプチャ (GRヘライト不可)

x=B、D、F、またはH

ビット3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2～0: I/O コントロール 1A2～1A0、1C2～1C0、1E2～1E0、1G2～1G0
(IO1A2～IO1A0、IO1C2～IO1C0、IO1E2～IO1E0、IO1G2～IO1G0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット2	ビット1	ビット0	説 明	
IO1x2	IO1x1	IO1x0		
0	0	0	GR は アウトプット コンペア レジスタ	コンペアマッチ禁止、端子出力不定 (初期値)
		1		GR のコンペアマッチで0出力
	1	0		GR のコンペアマッチで1出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR は インプット キャプチャ レジスタ	インプットキャプチャ禁止
		1		TIO1x端子立ち上がりエッジでGRへインプットキャプチャ (GRヘライト不可)
	1	0		TIO1x端子立ち下がりエッジでGRへインプットキャプチャ (GRヘライト不可)
		1		TIO1x端子立ち上がり / 立ち下がり両エッジでGRへインプットキャプチャ (GRヘライト不可)

x=A、C、E、またはG

(3) タイマ I/O コントロールレジスタ 2A~2D (TIOR2A~2D)

TIOR2A

ビット:	7	6	5	4	3	2	1	0
		IO2B2	IO2B1	IO2B0		IO2A2	IO2A1	IO2A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2B

ビット:	7	6	5	4	3	2	1	0
		IO2D2	IO2D1	IO2D0		IO2C2	IO2C1	IO2C0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2C

ビット:	7	6	5	4	3	2	1	0
		IO2F2	IO2F1	IO2F0		IO2E2	IO2E1	IO2E0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2D

ビット:	7	6	5	4	3	2	1	0
		IO2H2	IO2H1	IO2H0		IO2G2	IO2G1	IO2G0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2A~2D はジェネラルレジスタ (GR2A~GR2H) をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定します。またエッジ検出/出力値の設定を行います。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11. アドバンスドタイマユニット-II (ATU-II)

ビット 6～4: I/O コントロール 2B2～2B0、2D2～2D0、2F2～2F0、2H2～2H0(IO2B2～IO2B0、IO2D2～IO2D0、IO2F2～IO2F0、IO2H2～IO2H0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット 6	ビット 5	ビット 4	説 明	
IO2x2	IO2x1	IO2x0		
0	0	0	GR は アウトプット コンペア レジスタ	コンペアマッチ禁止、端子出力不定 (初期値)
		1		GR のコンペアマッチで 0 出力
		0		GR のコンペアマッチで 1 出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR は インプット キャプチャ レジスタ	インプットキャプチャ禁止
		1		TIO2x 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0		TIO2x 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIO2x 端子立ち上がり / 立ち下がり両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

x=B、D、F、または H

ビット 3: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2～0: I/O コントロール 2A2～2A0、2C2～2C0、2E2～2E0、2G2～2G0(IO2A2～IO2A0、IO2C2～IO2C0、IO2E2～IO2E0、IO2G2～IO2G0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット 2	ビット 1	ビット 0	説 明	
IO2x2	IO2x1	IO2x0		
0	0	0	GR は アウトプット コンペア レジスタ	コンペアマッチ禁止、端子出力不定 (初期値)
		1		GR のコンペアマッチで 0 出力
		0		GR のコンペアマッチで 1 出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR は インプット キャプチャ レジスタ	インプットキャプチャ禁止
		1		TIO2x 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0		TIO2x 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIO2x 端子立ち上がり / 立ち下がり両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

x=A、C、E、または G

(4) タイマ I/O コントロールレジスタ 3A、3B、4A、4B、5A、5B (TIOR3A、TIOR3B、TIOR4A、TIOR4B、TIOR5A、TIOR5B)

TIOR3A、TIOR4A、TIOR5A

ビット:	7	6	5	4	3	2	1	0
	CCIxB	IOxB2	IOxB1	IOxB0	CCIxA	IOxA2	IOxA1	IOxA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIOR3B、TIOR4B、TIOR5B

ビット:	7	6	5	4	3	2	1	0
	CCIxD	IOxD2	IOxD1	IOxD0	CCIxC	IOxC2	IOxC1	IOxC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

X=3~5

TIOR3A、3B、4A、4B、5A、5B はジェネラルレジスタ (GR3A~3D、GR4A~4D、GR5A~5D) をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定し、エッジ検出 / 出力値の設定を行います。またコンペアマッチ時のフリーランニングカウンタ (TCNT3~5) のクリアを許可 / 禁止を選択します。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7: クリアカウンタイネーブルフラグ 3B、4B、5B、3D、4D、5D (CCI3B、CCI4B、CCI5B、CCI3D、CCI4D、CCI5D)

フリーランニングカウンタ (TCNT) クリアを許可するか、禁止するかを選択します。

ビット7	説明
CCIxx	
0	TCNT のクリアを禁止 (初期値)
1	GR のコンペアマッチで TCNT をクリア

xx = 3B、4B、5B、3D、4D、または 5D

GR がアウトプットコンペアレジスタとして機能しているときのみ、コンペアマッチにより TCNT がクリアされます。

11. アドバンスドタイムユニット-II (ATU-II)

ビット 6～4 : I/O コントロール 3B2～3B0、4B2～4B0、5B2～5B0、3D2～3D0、4D2～4D0、5D2～5D0 (IO3B2～IO3B0、IO4B2～IO4B0、IO5B2～IO5B0、IO3D2～IO3D0、IO4D2～IO4D0、IO5D2～IO5D0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット 6	ビット 5	ビット 4	説 明	
IOxx2	IOxx1	IOxx0		
0	0	0	GR は	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GR のコンペアマッチで 0 出力
	1	0	コンペア	GR のコンペアマッチで 1 出力
		1	レジスタ	GR のコンペアマッチでトグル出力
1	0	0	GR は	インプットキャプチャ禁止 (GR ヘライト ch3 のみ不可)
		1	キャプチャ	TIOxx 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0	(チャンネル 3 は	TIOxx 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1	チャンネル 9 のコンペアマッチによりインプットキャプチャ許可)	TIOxx 端子立ち上がり / 立ち下がり両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

xx = 3B、4B、5B、3D、4D、または 5D

ビット 3 : クリアカウンタインエーブルフラグ 3A、4A、5A、3C、4C、5C (CCI3A、CCI4A、CCI5A、CCI3C、CCI4C、CCI5C)

フリーランニングカウンタ (TCNT) クリアを許可するか、禁止するかを選択します。

ビット 3	説 明
CCIxx	
0	TCNT のクリアを禁止 (初期値)
1	GR のコンペアマッチで TCNT をクリア

xx = 3A、4A、5A、3C、4C、または 5C

GR がアウトプットコンペアレジスタとして機能しているときのみ、コンペアマッチにより TCNT がクリアされます。

ビット2~0 : I/O コントロール 3A2~3A0、4A2~4A0、5A2~5A0、3C2~3C0、4C2~4C0、5C2~5C0 (IO3A2~IO3A0、IO4A2~IO4A0、IO5A2~IO5A0、IO3C2~IO3C0、IO4C2~IO4C0、IO5C2~IO5C0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット2	ビット1	ビット0	説 明	
IOxx2	IOxx1	IOxx0		
0	0	0	GR は アウトプット コンペア レジスタ	コンペアマッチ禁止、端子出力不定 (初期値)
		1		GR のコンペアマッチで 0 出力
	1	0		GR のコンペアマッチで 1 出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR は インプット キャプチャ レジスタ (チャンネル3は チャンネル9の コンペアマッチ によりインプット キャプチャ許可)	インプットキャプチャ禁止 (GR ヘライト ch3 のみ不可)
		1		TIOxx 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0		TIOxx 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIOxx 端子立ち上がり / 立ち下がり両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

xx = 3A、4A、5A、3C、4C、または 5C

(5) タイマ I/O コントロールレジスタ 11 (TIOR11)

TIOR11

ビット:	7	6	5	4	3	2	1	0
		IO11B2	IO11B1	IO11B0		IO11A2	IO11A1	IO11A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR11 はジェネラルレジスタ (GR11A、GR11B) をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定し、エッジ検出 / 出力値の設定を行います。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11. アドバンスタイマユニット-II (ATU-II)

ビット6～4 : I/O コントロール 11B2～11B0 (IO11B2～IO11B0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット6	ビット5	ビット4	説 明	
IO11B2	IO11B1	IO11B0		
0	0	0	GR は アウトプット コンペア レジスタ	コンペアマッチ禁止、端子出力不定 (初期値)
		1		GR のコンペアマッチで0出力
	1	0		GR のコンペアマッチで1出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR は インプット キャプチャ レジスタ	インプットキャプチャ禁止
		1		TIO11B 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0		TIO11B 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIO11B 端子立ち上がり / 立ち下がりの両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2～0 : I/O コントロール 11A2～11A0 (IO11A2～IO11A0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット2	ビット1	ビット0	説 明	
IO11A2	IO11A1	IO11A0		
0	0	0	GR は アウトプット コンペア レジスタ	コンペアマッチ禁止、端子出力不定 (初期値)
		1		GR のコンペアマッチで0出力
	1	0		GR のコンペアマッチで1出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR は インプット キャプチャ レジスタ	インプットキャプチャ禁止
		1		TIO11A 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0		TIO11A 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIO11A 端子立ち上がり / 立ち下がりの両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

11.2.5 タイマステータスレジスタ (TSR)

タイマステータスレジスタ (TSR) は 16 ビットのレジスタです。ATU-II には、チャンネル 0、6~9、11 に各 1 本、チャンネル 1、2 に各 2 本、チャンネル 3~5 に 1 本、計 11 本のレジスタがあります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
0	TSR0	インプットキャプチャ、インターバルインタラプト、およびオーバーフローのステータスを示します
1	TSR1A、TSR1B	インプットキャプチャ、コンペアマッチ、およびオーバーフローのステータスを示します
2	TSR2A、TSR2B	
3	TSR3	インプットキャプチャ、コンペアマッチ、およびオーバーフローのステータスを示します
4		
5		
6	TSR6	サイクルレジスタとのコンペアマッチのステータスを示します
7	TSR7	
8	TSR8	ダウンカウンタの出力終了 (Low) のステータスを示します
9	TSR9	イベントカウンタのコンペアマッチのステータスを示します
11	TSR11	インプットキャプチャ、コンペアマッチ、およびオーバーフローのステータスを示します

TSR は 16 ビットの読み出し / 書き込み可能なレジスタで、フリーランニングカウンタ (TCNT) のオーバーフローの発生、チャンネル 0 のインプットキャプチャの発生およびインターバルインタラプトの発生、チャンネル 3~5、11 のジェネラルレジスタのインプットキャプチャ / コンペアマッチの発生、チャンネル 6、7 のコンペアマッチの発生、チャンネル 8 のダウンカウンタの出力終了、チャンネル 9 のイベントカウンタのコンペアマッチの発生を示します。

これらのフラグは割り込み要因であり、タイムインタラプトイネーブルレジスタ (TIER) の対応するビットにより割り込みが許可されていれば、CPU に割り込みを要求します。

TSR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

11. アドバンスドタイムユニット-II (ATU-II)

(1) タイマステータスレジスタ 0 (TSR0)

TSR0 はチャンネル 0 のインターバルインタラプト、インプットキャプチャおよびオーバーフローのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	IIF2B	IIF2A	IIF1	OVF0	ICF0D	ICF0C	ICF0B	ICF0A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7 : インターバルインタラプトフラグ 2B (IIF2B)

インターバル割り込みの発生を示すステータスフラグです。

ビット 7	説明
IIF2B	
0	[クリア条件] IIF2B = 1 の状態で、IIF2B を読み出した後、IIF2B に 0 を書き込んだとき (初期値)
1	[セット条件] ITVRR2B で選択のインターバル割り込みが発生したとき

ビット 6 : インターバルインタラプトフラグ 2A (IIF2A)

インターバル割り込みの発生を示すステータスフラグです。

ビット 6	説明
IIF2A	
0	[クリア条件] IIF2A = 1 の状態で、IIF2A を読み出した後、IIF2A に 0 を書き込んだとき (初期値)
1	[セット条件] ITVRR2A で選択のインターバル割り込みが発生したとき

ビット5：インターバルインタラプトフラグ1 (IIF1)

インターバル割り込みの発生を示すステータスフラグです。

ビット5	説明
IIF1	
0	[クリア条件] IIF1=1の状態、IIF1を読み出した後、IIF1に0を書き込んだとき (初期値)
1	[セット条件] ITVRR1で選択のインターバル割り込みが発生したとき

ビット4：オーバフローフラグ0 (OVF0)

TCNT0のオーバフローの発生を示すステータスフラグです。

ビット4	説明
OVF0	
0	[クリア条件] OVF0=1の状態、OVF0を読み出した後、OVF0に0を書き込んだとき (初期値)
1	[セット条件] TCNT0の値がオーバフロー (H'FFFFFFF H'00000000) したとき

ビット3：インプットキャプチャフラグ0D (ICF0D)

ICR0Dのインプットキャプチャの発生を示すステータスフラグです。

ビット3	説明
ICF0D	
0	[クリア条件] ICF0D=1の状態、ICF0Dを読み出した後、ICF0Dに0を書き込んだとき (初期値)
1	[セット条件] (1) インプットキャプチャ信号により TCNT0の値がインプットキャプチャレジスタに転送されたとき (2) チャンネル10のコンペアマッチをトリガとしたインプットキャプチャ

ビット2：インプットキャプチャフラグ0C (ICF0C)

ICR0Cのインプットキャプチャの発生を示すステータスフラグです。

ビット2	説明
ICF0C	
0	[クリア条件] ICF0C=1の状態、ICF0Cを読み出した後、ICF0Cに0を書き込んだとき (初期値)
1	[セット条件] インプットキャプチャ信号により TCNT0の値がインプットキャプチャレジスタに転送されたとき

11. アドバンスタイマユニット-II (ATU-II)

ビット1：インプットキャプチャフラグ 0B (ICF0B)

ICR0B のインプットキャプチャの発生を示すステータスフラグです。

ビット1	説明
ICF0B	
0	[クリア条件] (初期値) ICF0B = 1 の状態で、ICF0B を読み出した後、ICF0B に 0 を書き込んだとき
1	[セット条件] インプットキャプチャ信号により TCNT0 の値がインプットキャプチャレジスタに転送されたとき

ビット0：インプットキャプチャフラグ 0A (ICF0A)

ICR0A のインプットキャプチャの発生を示すステータスフラグです。

ビット0	説明
ICF0A	
0	[クリア条件] (初期値) ICF0A = 1 の状態で、ICF0A を読み出した後、ICF0A に 0 を書き込んだとき
1	[セット条件] インプットキャプチャ信号により TCNT0 の値がインプットキャプチャレジスタに転送されたとき

(2) タイマステータスレジスタ 1A、1B (TSR1A、TSR1B)

(a) TSR1A

TSR1A はチャンネル 1 のインプットキャプチャ、コンペアマッチとオーバフローのステータスを示します。

ビット：	15	14	13	12	11	10	9	8
								OVF1A
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/(W)*
ビット：	7	6	5	4	3	2	1	0
	IMF1H	IMF1G	IMF1F	IMF1E	IMF1D	IMF1C	IMF1B	IMF1A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~9：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット8：オーバフローフラグ 1A (OVF1A)

TCNT1A のオーバフローの発生を示すステータスフラグです。

ビット8	説明
OVF1A	
0	[クリア条件] (初期値) OVF1A=1 の状態で、OVF1A を読み出した後、OVF1A に 0 を書き込んだとき
1	[セット条件] TCNT1A の値がオーバフロー (H'FFFF H'0000) したとき

ビット7：インプットキャプチャ/コンペアマッチフラグ 1H (IMF1H)

GR1H のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット7	説明
IMF1H	
0	[クリア条件] (初期値) IMF1H=1 の状態で、IMF1H を読み出した後、IMF1H に 0 を書き込んだとき
1	[セット条件] (1) GR1H がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT1A の値が GR1H に転送されたとき (2) GR1H がアウトプットコンペアレジスタとして機能している場合、TCNT1A = GR1H になったとき

ビット6：インプットキャプチャ/コンペアマッチフラグ 1G (IMF1G)

GR1G のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット6	説明
IMF1G	
0	[クリア条件] (初期値) IMF1G=1 の状態で、IMF1G を読み出した後、IMF1G に 0 を書き込んだとき
1	[セット条件] (1) GR1G がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT1A の値が GR1G に転送されたとき (2) GR1G がアウトプットコンペアレジスタとして機能している場合、TCNT1A = GR1G になったとき

11. アドバンスタイマユニット-II (ATU-II)

ビット5：インプットキャプチャ/コンペアマッチフラグ 1F (IMF1F)

GR1Fのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット5	説明
IMF1F	
0	[クリア条件] (初期値) IMF1F=1の状態、IMF1Fを読み出した後、IMF1Fに0を書き込んだとき
1	[セット条件] (1) GR1Fがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1Aの値がGR1Fに転送されたとき (2) GR1Fがアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1Fになったとき

ビット4：インプットキャプチャ/コンペアマッチフラグ 1E (IMF1E)

GR1Eのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット4	説明
IMF1E	
0	[クリア条件] (初期値) IMF1E=1の状態、IMF1Eを読み出した後、IMF1Eに0を書き込んだとき
1	[セット条件] (1) GR1Eがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1Aの値がGR1Eに転送されたとき (2) GR1Eがアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1Eになったとき

ビット3：インプットキャプチャ/コンペアマッチフラグ 1D (IMF1D)

GR1Dのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット3	説明
IMF1D	
0	[クリア条件] (初期値) IMF1D=1の状態、IMF1Dを読み出した後、IMF1Dに0を書き込んだとき
1	[セット条件] (1) GR1Dがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1Aの値がGR1Dに転送されたとき (2) GR1Dがアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1Dになったとき

ビット2：インプットキャプチャ/コンペアマッチフラグ 1C (IMF1C)

GR1Cのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット2	説明
IMF1C	
0	[クリア条件] (初期値) IMF1C=1の状態、IMF1Cを読み出した後、IMF1Cに0を書き込んだとき
1	[セット条件] (1) GR1Cがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1Aの値がGR1Cに転送されたとき (2) GR1Cがアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1Cになったとき

ビット1：インプットキャプチャ/コンペアマッチフラグ 1B (IMF1B)

GR1Bのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
IMF1B	
0	[クリア条件] (初期値) IMF1B=1の状態、IMF1Bを読み出した後、IMF1Bに0を書き込んだとき
1	[セット条件] (1) GR1Bがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1Aの値がGR1Bに転送されたとき (2) GR1Bがアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1Bになったとき

ビット0：インプットキャプチャ/コンペアマッチフラグ 1A (IMF1A)

GR1Aのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
IMF1A	
0	[クリア条件] (初期値) IMF1A=1の状態、IMF1Aを読み出した後、IMF1Aに0を書き込んだとき
1	[セット条件] (1) GR1Aがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1Aの値がGR1Aに転送されたとき (2) GR1Aがアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1Aになったとき

11. アドバンスドタイマユニット-II (ATU-II)

(b) TSR1B

TSR1B はチャンネル 1 のコンペアマッチとオーバーフローのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
								OVF1B
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*
ビット:	7	6	5	4	3	2	1	0
								CMF1
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : オーバフローフラグ 1B (OVF1B)

TCNT1B のオーバーフローの発生を示すステータスフラグです。

ビット 8	説明
OVF1B	
0	[クリア条件] OVF1B=1 の状態で、OVF1B を読み出した後、OVF1B に 0 を書き込んだとき (初期値)
1	[セット条件] TCNT1B の値がオーバーフロー (H'FFFF H'0000) したとき

ビット 7~1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : コンペアマッチフラグ 1 (CMF1)

OCR1 のコンペアマッチの発生を示すステータスフラグです。

ビット 0	説明
CMF1	
0	[クリア条件] CMF1=1 の状態で、CMF1 を読み出した後、CMF1 に 0 を書き込んだとき (初期値)
1	[セット条件] TCNT1B = OCR1 になったとき

(3) タイマステータスレジスタ 2A、2B (TSR2A、TSR2B)

(a) TSR2A

TSR2A はチャンネル 2 インพุットキャプチャ、コンペアマッチとオーバフローのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
								OVF2A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*
ビット:	7	6	5	4	3	2	1	0
	IMF2H	IMF2G	IMF2F	IMF2E	IMF2D	IMF2C	IMF2B	IMF2A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~9: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8: オーバフローフラグ 2A (OVF2A)

TCNT2A のオーバフローの発生を示すステータスフラグです。

ビット 8	説明
OVF2A	
0	[クリア条件] (初期値) OVF2A = 1 の状態で、OVF2A を読み出した後、OVF2A に 0 を書き込んだとき
1	[セット条件] TCNT2A の値がオーバフロー (H'FFFF H'0000) したとき

ビット 7: インพุットキャプチャ / コンペアマッチフラグ 2H (IMF2H)

GR2H のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 7	説明
IMF2H	
0	[クリア条件] (初期値) IMF2H = 1 の状態で、IMF2H を読み出した後、IMF2H に 0 を書き込んだとき
1	[セット条件] (1) GR2H がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT2A の値が GR2H に転送されたとき (2) GR2H がアウトプットコンペアレジスタとして機能している場合、TCNT2A = GR2H になったとき

11. アドバンスタイマユニット-II (ATU-II)

ビット6：インプットキャプチャ/コンペアマッチフラグ 2G (IMF2G)

GR2Gのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット6	説明
IMF2G	
0	[クリア条件] (初期値) IMF2G = 1 の状態で、IMF2G を読み出した後、IMF2G に 0 を書き込んだとき
1	[セット条件] (1) GR2G がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT2A の値が GR2G に転送されたとき (2) GR2G がアウトプットコンペアレジスタとして機能している場合、TCNT2A = GR2G になったとき

ビット5：インプットキャプチャ/コンペアマッチフラグ 2F (IMF2F)

GR2Fのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット5	説明
IMF2F	
0	[クリア条件] (初期値) IMF2F = 1 の状態で、IMF2F を読み出した後、IMF2F に 0 を書き込んだとき
1	[セット条件] (1) GR2F がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT2A の値が GR2F に転送されたとき (2) GR2F がアウトプットコンペアレジスタとして機能している場合、TCNT2A = GR2F になったとき

ビット4：インプットキャプチャ/コンペアマッチフラグ 2E (IMF2E)

GR2Eのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット4	説明
IMF2E	
0	[クリア条件] (初期値) IMF2E = 1 の状態で、IMF2E を読み出した後、IMF2E に 0 を書き込んだとき
1	[セット条件] (1) GR2E がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT2A の値が GR2E に転送されたとき (2) GR2E がアウトプットコンペアレジスタとして機能している場合、TCNT2A = GR2E になったとき

ビット3：インプットキャプチャ/コンペアマッチフラグ 2D (IMF2D)

GR2Dのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット3	説明
IMF2D	
0	[クリア条件] (初期値) IMF2D=1の状態、IMF2Dを読み出した後、IMF2Dに0を書き込んだとき
1	[セット条件] (1) GR2Dがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT2Aの値がGR2Dに転送されたとき (2) GR2Dがアウトプットコンペアレジスタとして機能している場合、TCNT2A=GR2Dになったとき

ビット2：インプットキャプチャ/コンペアマッチフラグ 2C (IMF2C)

GR2Cのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット2	説明
IMF2C	
0	[クリア条件] (初期値) IMF2C=1の状態、IMF2Cを読み出した後、IMF2Cに0を書き込んだとき
1	[セット条件] (1) GR2Cがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT2Aの値がGR2Cに転送されたとき (2) GR2Cがアウトプットコンペアレジスタとして機能している場合、TCNT2A=GR2Cになったとき

ビット1：インプットキャプチャ/コンペアマッチフラグ 2B (IMF2B)

GR2Bのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
IMF2B	
0	[クリア条件] (初期値) IMF2B=1の状態、IMF2Bを読み出した後、IMF2Bに0を書き込んだとき
1	[セット条件] (1) GR2Bがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT2Aの値がGR2Bに転送されたとき (2) GR2Bがアウトプットコンペアレジスタとして機能している場合、TCNT2A=GR2Bになったとき

11. アドバンスドタイマユニット-II (ATU-II)

ビット0：インプットキャプチャ/コンペアマッチフラグ 2A (IMF2A)

GR2A のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
IMF2A	
0	[クリア条件] (初期値) IMF2A = 1 の状態で、IMF2A を読み出した後、IMF2A に 0 を書き込んだとき
1	[セット条件] (1) GR2A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT2A の値が GR2A に転送されたとき (2) GR2A がアウトプットコンペアレジスタとして機能している場合、TCNT2A = GR2A になったとき

(b) TSR2B

TSR2B はチャンネル 2 のコンペアマッチとオーバフローのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
								OVF2B
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*

ビット:	7	6	5	4	3	2	1	0
	CMF2H	CMF2G	CMF2F	CMF2E	CMF2D	CMF2C	CMF2B	CMF2A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~9：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8：オーバフローフラグ 2B (OVF2B)

TCNT2B のオーバフローの発生を示すステータスフラグです。

ビット 8	説明
OVF2B	
0	[クリア条件] (初期値) OVF2B = 1 の状態で、OVF2B を読み出した後、OVF2B に 0 を書き込んだとき
1	[セット条件] TCNT2B の値がオーバフロー (H'FFFF H'0000) したとき

ビット7：コンペアマッチフラグ 2H (CMF2H)

OCR2H のコンペアマッチの発生を示すステータスフラグです。

ビット7	説明
CMF2H	
0	[クリア条件] (初期値) CMF2H = 1 の状態で、CMF2H を読み出した後、CMF2H に 0 を書き込んだとき
1	[セット条件] TCNT2B = OCR2H になったとき

ビット6：コンペアマッチフラグ 2G (CMF2G)

OCR2G のコンペアマッチの発生を示すステータスフラグです。

ビット6	説明
CMF2G	
0	[クリア条件] (初期値) CMF2G = 1 の状態で、CMF2G を読み出した後、CMF2G に 0 を書き込んだとき
1	[セット条件] TCNT2B = OCR2G になったとき

ビット5：コンペアマッチフラグ 2F (CMF2F)

OCR2F のコンペアマッチの発生を示すステータスフラグです。

ビット5	説明
CMF2F	
0	[クリア条件] (初期値) CMF2F = 1 の状態で、CMF2F を読み出した後、CMF2F に 0 を書き込んだとき
1	[セット条件] TCNT2B = OCR2F になったとき

ビット4：コンペアマッチフラグ 2E (CMF2E)

OCR2E のコンペアマッチの発生を示すステータスフラグです。

ビット4	説明
CMF2E	
0	[クリア条件] (初期値) CMF2E = 1 の状態で、CMF2E を読み出した後、CMF2E に 0 を書き込んだとき
1	[セット条件] TCNT2B = OCR2E になったとき

11. アドバンスドタイマユニット-II (ATU-II)

ビット 3 : コンペアマッチフラグ 2D (CMF2D)

OCR2D のコンペアマッチの発生を示すステータスフラグです。

ビット 3	説 明
CMF2D	
0	[クリア条件] (初期値) CMF2D = 1 の状態で、CMF2D を読み出した後、CMF2D に 0 を書き込んだとき
1	[セット条件] TCNT2B = OCR2D になったとき

ビット 2 : コンペアマッチフラグ 2C (CMF2C)

OCR2C のコンペアマッチの発生を示すステータスフラグです。

ビット 2	説 明
CMF2C	
0	[クリア条件] (初期値) CMF2C = 1 の状態で、CMF2C を読み出した後、CMF2C に 0 を書き込んだとき
1	[セット条件] TCNT2B = OCR2C になったとき

ビット 1 : コンペアマッチフラグ 2B (CMF2B)

OCR2B のコンペアマッチの発生を示すステータスフラグです。

ビット 1	説 明
CMF2B	
0	[クリア条件] (初期値) CMF2B = 1 の状態で、CMF2B を読み出した後、CMF2B に 0 を書き込んだとき
1	[セット条件] TCNT2B = OCR2B になったとき

ビット 0 : コンペアマッチフラグ 2A (CMF2A)

OCR2A のコンペアマッチの発生を示すステータスフラグです。

ビット 0	説 明
CMF2A	
0	[クリア条件] (初期値) CMF2A = 1 の状態で、CMF2A を読み出した後、CMF2A に 0 を書き込んだとき
1	[セット条件] TCNT2B = OCR2A になったとき

(4) タイマステータスレジスタ 3 (TSR3)

TSR3 はチャンネル 3~5 のインプットキャプチャ、コンペアマッチとオーバーフローのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
		OVF5	IMF5D	IMF5C	IMF5B	IMF5A	OVF4	IMF4D
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット:	7	6	5	4	3	2	1	0
	IMF4C	IMF4B	IMF4A	OVF3	IMF3D	IMF3C	IMF3B	IMF3A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: オーバフローフラグ 5 (OVF5)

TCNT5 のオーバーフローの発生を示すステータスフラグです。

ビット 14	説明
OVF5	
0	[クリア条件] (初期値) OVF5 = 1 の状態で、OVF5 を読み出した後、OVF5 に 0 を書き込んだとき
1	[セット条件] TCNT5 の値がオーバーフロー (H'FFFF H'0000) したとき

ビット 13: インプットキャプチャ/コンペアマッチフラグ 5D (IMF5D)

GR5D のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 13	説明
IMF5D	
0	[クリア条件] (初期値) IMF5D = 1 の状態で、IMF5D を読み出した後、IMF5D に 0 を書き込んだとき
1	[セット条件] (1) GR5D がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT5 の値が GR5D に転送されたとき (2) GR5D がアウトプットコンペアレジスタとして機能している場合、TCNT5 = GR5D になったとき (3) GR5D が PWM モードで周期レジスタとして機能している場合、TCNT5 = GR5D になったとき

11. アドバンスタイマユニット-II (ATU-II)

ビット 12：インプットキャプチャ/コンペアマッチフラグ 5C (IMF5C)

GR5C のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット 12	説 明
IMF5C	
0	[クリア条件] (初期値) IMF5C = 1 の状態で、IMF5C を読み出した後、IMF5C に 0 を書き込んだとき
1	[セット条件] (1) GR5C がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT5 の値が GR5C に転送されたとき (2) GR5C がアウトプットコンペアレジスタとして機能している場合、TCNT5 = GR5C になったとき

ビット 11：インプットキャプチャ/コンペアマッチフラグ 5B (IMF5B)

GR5B のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット 11	説 明
IMF5B	
0	[クリア条件] (初期値) IMF5B = 1 の状態で、IMF5B を読み出した後、IMF5B に 0 を書き込んだとき
1	[セット条件] (1) GR5B がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT5 の値が GR5B に転送されたとき (2) GR5B がアウトプットコンペアレジスタとして機能している場合、TCNT5 = GR5B になったとき

ビット 10：インプットキャプチャ/コンペアマッチフラグ 5A (IMF5A)

GR5A のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット 10	説 明
IMF5A	
0	[クリア条件] (初期値) IMF5A = 1 の状態で、IMF5A を読み出した後、IMF5A に 0 を書き込んだとき
1	[セット条件] (1) GR5A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT5 の値が GR5A に転送されたとき (2) GR5A がアウトプットコンペアレジスタとして機能している場合、TCNT5 = GR5A になったとき

ビット9：オーバフローフラグ4 (OVF4)

TCNT4 のオーバフローの発生を示すステータスフラグです。

ビット9	説明
OVF4	
0	[クリア条件] (初期値) OVF4=1の状態、OVF4を読み出した後、OVF4に0を書き込んだとき
1	[セット条件] TCNT4の値がオーバフロー (H'FFFF H'0000)したとき

ビット8：インプットキャプチャ/コンペアマッチフラグ4D (IMF4D)

GR4Dのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット8	説明
IMF4D	
0	[クリア条件] (初期値) IMF4D=1の状態、IMF4Dを読み出した後、IMF4Dに0を書き込んだとき
1	[セット条件] (1) GR4Dがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT4の値がGR4Dに転送されたとき (2) GR4Dがアウトプットコンペアレジスタとして機能している場合、TCNT4=GR4Dになったとき (3) GR4DがPWMモード周期レジスタとして機能している場合、TCNT4=GR4Dになったとき

ビット7：インプットキャプチャ/コンペアマッチフラグ4C (IMF4C)

GR4Cのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWMモードではフラグはセットされません。

ビット7	説明
IMF4C	
0	[クリア条件] (初期値) IMF4C=1の状態、IMF4Cを読み出した後、IMF4Cに0を書き込んだとき
1	[セット条件] (1) GR4Cがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT4の値がGR4Cに転送されたとき (2) GR4Cがアウトプットコンペアレジスタとして機能している場合、TCNT4=GR4Cになったとき

11. アドバンスタイマユニット-II (ATU-II)

ビット 6 : インพุットキャプチャ / コンペアマッチフラグ 4B (IMF4B)

GR4B のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット 6	説 明
IMF4B	
0	[クリア条件] (初期値) IMF4B = 1 の状態で、IMF4B を読み出した後、IMF4B に 0 を書き込んだとき
1	[セット条件] (1) GR4B がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT4 の値が GR4B に転送されたとき (2) GR4B がアウトプットコンペアレジスタとして機能している場合、TCNT4 = GR4B になったとき

ビット 5 : インพุットキャプチャ / コンペアマッチフラグ 4A (IMF4A)

GR4A のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット 5	説 明
IMF4A	
0	[クリア条件] (初期値) IMF4A = 1 の状態で、IMF4A を読み出した後、IMF4A に 0 を書き込んだとき
1	[セット条件] (1) GR4A がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT4 の値が GR4A に転送されたとき (2) GR4A がアウトプットコンペアレジスタとして機能している場合、TCNT4 = GR4A になったとき

ビット 4 : オーバフローフラグ 3 (OVF3)

TCNT3 のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 4	説 明
OVF3	
0	[クリア条件] (初期値) OVF3 = 1 の状態で、OVF3 を読み出した後、OVF3 に 0 を書き込んだとき
1	[セット条件] TCNT3 の値がオーバーフロー (H'FFFF H'0000) したとき

ビット3：インプットキャプチャ/コンペアマッチフラグ 3D (IMF3D)

GR5Dのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット3	説明
IMF3D	
0	[クリア条件] (初期値) IMF3D=1の状態、IMF3Dを読み出した後、IMF3Dに0を書き込んだとき
1	[セット条件] (1) GR3Dがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT3の値がGR3Dに転送されたとき ただし、チャンネル9のコンペアマッチをトリガとしたインプットキャプチャではセットされません (2) GR3Dがアウトプットコンペアレジスタとして機能している場合、TCNT3=GR3Dになったとき (3) GR3DがPWMモードで周期レジスタとして機能している場合、TCNT3=GR3Dになったとき

ビット2：インプットキャプチャ/コンペアマッチフラグ 3C (IMF3C)

GR3Cのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWMモードではフラグはセットされません。

ビット2	説明
IMF3C	
0	[クリア条件] (初期値) IMF3C=1の状態、IMF3Cを読み出した後、IMF3Cに0を書き込んだとき
1	[セット条件] (1) GR3Cがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT3の値がGR3Cに転送されたとき ただし、チャンネル9のコンペアマッチをトリガとしたインプットキャプチャではセットされません (2) GR3Cがアウトプットコンペアレジスタとして機能している場合、TCNT3=GR3Cになったとき

11. アドバンスタイマユニット-II (ATU-II)

ビット1：インプットキャプチャ/コンペアマッチフラグ 3B (IMF3B)

GR3B のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット1	説明
IMF3B	
0	[クリア条件] (初期値) IMF3B = 1 の状態で、IMF3B を読み出した後、IMF3B に 0 を書き込んだとき
1	[セット条件] (1) GR3B がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT3 の値が GR3B に転送されたとき ただし、チャンネル9のコンペアマッチをトリガとしたインプットキャプチャではセットされません (2) GR3B がアウトプットコンペアレジスタとして機能している場合、TCNT3 = GR3B になったとき

ビット0：インプットキャプチャ/コンペアマッチフラグ 3A (IMF3A)

GR3A のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット0	説明
IMF3A	
0	[クリア条件] (初期値) IMF3A = 1 の状態で、IMF3A を読み出した後、IMF3A に 0 を書き込んだとき
1	[セット条件] (1) GR3A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT3 の値が GR3A に転送されたとき ただし、チャンネル9のコンペアマッチをトリガとしたインプットキャプチャではセットされません (2) GR3A がアウトプットコンペアレジスタとして機能している場合、TCNT3 = GR3A になったとき

(5) タイマステータスレジスタ 6、7 (TSR6、TSR7)

TSR6、TSR7 はチャンネル 6、7 のフリーランニングカウンタのアップカウント、ダウンカウントのステータスおよびサイクルレジスタコンペアのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	UDxD	UDxC	UDxB	UDxA	CMFxD	CMFxC	CMFxB	CMFxA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

x=6、7

UDxA ~ DはTSR6のみ対応しています。TSR7で対応するビットは常に0がリードされます。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7 : カウントアップカウントダウンフラグ 6D (UD6D)

TCNT6D のカウント動作を示すステータスフラグです。

ビット 7	説明
UD6D	
0	フリーランニングカウンタ TCNT6D はアップカウント動作
1	フリーランニングカウンタ TCNT6D はダウンカウント動作

ビット 6 : カウントアップカウントダウンフラグ 6C (UD6C)

TCNT6C のカウント動作を示すステータスフラグです。

ビット 6	説明
UD6C	
0	フリーランニングカウンタ TCNT6C はアップカウント動作
1	フリーランニングカウンタ TCNT6C はダウンカウント動作

11. アドバンスタイマユニット-II (ATU-II)

ビット 5 : カウントアップカウントダウンフラグ 6B (UD6B)

TCNT6B のカウント動作を示すステータスフラグです。

ビット 5	説 明
UD6B	
0	フリーランニングカウンタ TCNT6B はアップカウント動作
1	フリーランニングカウンタ TCNT6B はダウンカウント動作

ビット 4 : カウントアップカウントダウンフラグ 6A (UD6A)

TCNT6A のカウント動作を示すステータスフラグです。

ビット 4	説 明
UD6A	
0	フリーランニングカウンタ TCNT6A はアップカウント動作
1	フリーランニングカウンタ TCNT6A はダウンカウント動作

ビット 3 : サイクルレジスタコンペアマッチフラグ 6D、7D (CMF6D、CMF7D)

CYLRxD のコンペアマッチの発生を示すステータスフラグです。

ビット 3	説 明
CMFxD	
0	[クリア条件] (初期値) CMFxD = 1 の状態で、CMFxD を読み出した後、CMFxD に 0 を書き込んだとき
1	[セット条件] TCNTxD = CYLRxD になったとき (非相補 PWM モード時) ダウンカウントで TCNT6D = H'0000 になったとき (相補 PWM モード時)

x = 6、7

ビット 2 : サイクルレジスタコンペアマッチフラグ 6C、7C (CMF6C、CMF7C)

CYLRxC のコンペアマッチの発生を示すステータスフラグです。

ビット 2	説 明
CMFxC	
0	[クリア条件] (初期値) CMFxC = 1 の状態で、CMFxC を読み出した後、CMFxC に 0 を書き込んだとき
1	[セット条件] TCNTxC = CYLRxC になったとき (非相補 PWM モード時) ダウンカウントで TCNT6C = H'0000 になったとき (相補 PWM モード時)

x = 6、7

ビット1：サイクルレジスタコンペアマッチフラグ 6B、7B (CMF6B、CMF7B)

CYLRxB のコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
CMFxB	
0	[クリア条件] CMFxB = 1 の状態で、CMFxB を読み出した後、CMFxB に 0 を書き込んだとき (初期値)
1	[セット条件] TCNTxB = CYLRxB になったとき (非相補 PWM モード時) ダウンカウントで TCNT6B = H'0000 になったとき (相補 PWM モード時)

x = 6, 7

ビット0：サイクルレジスタコンペアマッチフラグ 6A、7A (CMF6A、CMF7A)

CYLRxA のコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
CMFxA	
0	[クリア条件] CMFxA = 1 の状態で、CMFxA を読み出した後、CMFxA に 0 を書き込んだとき (初期値)
1	[セット条件] TCNTxA = CYLRxA になったとき (非相補 PWM モード時) ダウンカウントで TCNT6A = H'0000 になったとき (相補 PWM モード時)

x = 6, 7

(6) タイマステータスレジスタ 8 (TSR8)

TSR8 はチャンネル 8 のワンショットパルスのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
	OSF8P	OSF8O	OSF8N	OSF8M	OSF8L	OSF8K	OSF8J	OSF8I
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット:	7	6	5	4	3	2	1	0
	OSF8H	OSF8G	OSF8F	OSF8E	OSF8D	OSF8C	OSF8B	OSF8A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

11. アドバンスドタイムユニット-II (ATU-II)

ビット 15 : ワンショットパルスフラグ 8P (OSF8P)

DCNT8P のワンショットパルスを示すステータスフラグです。

ビット 15	説 明
OSF8P	
0	[クリア条件] (初期値) OSF8P = 1 の状態で、OSF8P を読み出した後、OSF8P に 0 を書き込んだとき
1	[セット条件] DCNT8P がアンダフローしたとき

ビット 14 : ワンショットパルスフラグ 8O (OSF8O)

DCNT8O のワンショットパルスを示すステータスフラグです。

ビット 14	説 明
OSF8O	
0	[クリア条件] (初期値) OSF8O = 1 の状態で、OSF8O を読み出した後、OSF8O に 0 を書き込んだとき
1	[セット条件] DCNT8O がアンダフローしたとき

ビット 13 : ワンショットパルスフラグ 8N (OSF8N)

DCNT8N のワンショットパルスを示すステータスフラグです。

ビット 13	説 明
OSF8N	
0	[クリア条件] (初期値) OSF8N = 1 の状態で、OSF8N を読み出した後、OSF8N に 0 を書き込んだとき
1	[セット条件] DCNT8N がアンダフローしたとき

ビット 12 : ワンショットパルスフラグ 8M (OSF8M)

DCNT8M のワンショットパルスを示すステータスフラグです。

ビット 12	説 明
OSF8M	
0	[クリア条件] (初期値) OSF8M = 1 の状態で、OSF8M を読み出した後、OSF8M に 0 を書き込んだとき
1	[セット条件] DCNT8M がアンダフローしたとき

ビット 11 : ワンショットパルスフラグ 8L (OSF8L)

DCNT8L のワンショットパルスを示すステータスフラグです。

ビット 11	説 明
OSF8L	
0	[クリア条件] OSF8L = 1 の状態で、OSF8L を読み出した後、OSF8L に 0 を書き込んだとき (初期値)
1	[セット条件] DCNT8L がアンダフローしたとき

ビット 10 : ワンショットパルスフラグ 8K (OSF8K)

DCNT8K のワンショットパルスを示すステータスフラグです。

ビット 10	説 明
OSF8K	
0	[クリア条件] OSF8K = 1 の状態で、OSF8K を読み出した後、OSF8K に 0 を書き込んだとき (初期値)
1	[セット条件] DCNT8K がアンダフローしたとき

ビット 9 : ワンショットパルスフラグ 8J (OSF8J)

DCNT8J のワンショットパルスを示すステータスフラグです。

ビット 9	説 明
OSF8J	
0	[クリア条件] OSF8J = 1 の状態で、OSF8J を読み出した後、OSF8J に 0 を書き込んだとき (初期値)
1	[セット条件] DCNT8J がアンダフローしたとき

ビット 8 : ワンショットパルスフラグ 8I (OSF8I)

DCNT8I のワンショットパルスを示すステータスフラグです。

ビット 8	説 明
OSF8I	
0	[クリア条件] OSF8I = 1 の状態で、OSF8I を読み出した後、OSF8I に 0 を書き込んだとき (初期値)
1	[セット条件] DCNT8I がアンダフローしたとき

11. アドバンスドタイムユニット-II (ATU-II)

ビット7：ワンショットパルスフラグ 8H (OSF8H)

DCNT8H のワンショットパルスを示すステータスフラグです。

ビット7	説明
OSF8H	
0	[クリア条件] (初期値) OSF8H = 1 の状態で、OSF8H を読み出した後、OSF8H に 0 を書き込んだとき
1	[セット条件] DCNT8H がアンダフローしたとき

ビット6：ワンショットパルスフラグ 8G (OSF8G)

DCNT8G のワンショットパルスを示すステータスフラグです。

ビット6	説明
OSF8G	
0	[クリア条件] (初期値) OSF8G = 1 の状態で、OSF8G を読み出した後、OSF8G に 0 を書き込んだとき
1	[セット条件] DCNT8G がアンダフローしたとき

ビット5：ワンショットパルスフラグ 8F (OSF8F)

DCNT8F のワンショットパルスを示すステータスフラグです。

ビット5	説明
OSF8F	
0	[クリア条件] (初期値) OSF8F = 1 の状態で、OSF8F を読み出した後、OSF8F に 0 を書き込んだとき
1	[セット条件] DCNT8F がアンダフローしたとき

ビット4：ワンショットパルスフラグ 8E (OSF8E)

DCNT8E のワンショットパルスを示すステータスフラグです。

ビット4	説明
OSF8E	
0	[クリア条件] (初期値) OSF8E = 1 の状態で、OSF8E を読み出した後、OSF8E に 0 を書き込んだとき
1	[セット条件] DCNT8E がアンダフローしたとき

ビット3：ワンショットパルスフラグ 8D (OSF8D)

DCNT8D のワンショットパルスを示すステータスフラグです。

ビット3	説明
OSF8D	
0	[クリア条件] OSF8D=1 の状態で、OSF8D を読み出した後、OSF8D に 0 を書き込んだとき (初期値)
1	[セット条件] DCNT8D がアンダフローしたとき

ビット2：ワンショットパルスフラグ 8C (OSF8C)

DCNT8C のワンショットパルスを示すステータスフラグです。

ビット2	説明
OSF8C	
0	[クリア条件] OSF8C=1 の状態で、OSF8C を読み出した後、OSF8C に 0 を書き込んだとき (初期値)
1	[セット条件] DCNT8C がアンダフローしたとき

ビット1：ワンショットパルスフラグ 8B (OSF8B)

DCNT8B のワンショットパルスを示すステータスフラグです。

ビット1	説明
OSF8B	
0	[クリア条件] OSF8B=1 の状態で、OSF8B を読み出した後、OSF8B に 0 を書き込んだとき (初期値)
1	[セット条件] DCNT8B がアンダフローしたとき

ビット0：ワンショットパルスフラグ 8A (OSF8A)

DCNT8A のワンショットパルスを示すステータスフラグです。

ビット0	説明
OSF8A	
0	[クリア条件] OSF8A=1 の状態で、OSF8A を読み出した後、OSF8A に 0 を書き込んだとき (初期値)
1	[セット条件] DCNT8A がアンダフローしたとき

11. アドバンスドタイマユニット-II (ATU-II)

(7) タイマステータスレジスタ 9 (TSR9)

TSR9 はチャンネル 9 のイベントカウンタのコンペアマッチのステータスを示します。

ビット:	15	14	13	12	11	10	9	8

初期値: 0 0 0 0 0 0 0 0

R/W: R R R R R R R R

ビット:	7	6	5	4	3	2	1	0
			CMF9F	CMF9E	CMF9D	CMF9C	CMF9B	CMF9A

初期値: 0 0 0 0 0 0 0 0

R/W: R R R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~6 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5 : コンペアマッチフラグ 9F (CMF9F)

GR9F のコンペアマッチの発生を示すステータスフラグです。

ビット 5	説明
CMF9F	
0	[クリア条件] (初期値) CMF9F = 1 の状態で、CMF9F を読み出した後、CMF9F に 0 を書き込んだとき
1	[セット条件] ECNT9F = GR9F の状態で次エッジが入力されたとき

ビット 4 : コンペアマッチフラグ 9E (CMF9E)

GR9E のコンペアマッチの発生を示すステータスフラグです。

ビット 4	説明
CMF9E	
0	[クリア条件] (初期値) CMF9E = 1 の状態で、CMF9E を読み出した後、CMF9E に 0 を書き込んだとき
1	[セット条件] ECNT9E = GR9E の状態で次エッジが入力されたとき

ビット3：コンペアマッチフラグ 9D (CMF9D)

GR9Dのコンペアマッチの発生を示すステータスフラグです。

ビット3 CMF9D	説 明
0	[クリア条件] (初期値) CMF9D = 1 の状態で、CMF9D を読み出した後、CMF9D に 0 を書き込んだとき
1	[セット条件] ECNT9D = GR9D の状態で次エッジが入力されたとき

ビット2：コンペアマッチフラグ 9C (CMF9C)

GR9Cのコンペアマッチの発生を示すステータスフラグです。

ビット2 CMF9C	説 明
0	[クリア条件] (初期値) CMF9C = 1 の状態で、CMF9C を読み出した後、CMF9C に 0 を書き込んだとき
1	[セット条件] ECNT9C = GR9C の状態で次エッジが入力されたとき

ビット1：コンペアマッチフラグ 9B (CMF9B)

GR9Bのコンペアマッチの発生を示すステータスフラグです。

ビット1 CMF9B	説 明
0	[クリア条件] (初期値) CMF9B = 1 の状態で、CMF9B を読み出した後、CMF9B に 0 を書き込んだとき
1	[セット条件] ECNT9B = GR9B の状態で次エッジが入力されたとき

ビット0：コンペアマッチフラグ 9A (CMF9A)

GR9Aのコンペアマッチの発生を示すステータスフラグです。

ビット0 CMF9A	説 明
0	[クリア条件] (初期値) CMF9A = 1 の状態で、CMF9A を読み出した後、CMF9A に 0 を書き込んだとき
1	[セット条件] ECNT9A = GR9A の状態で次エッジが入力されたとき

11. アドバンスドタイマユニット-II (ATU-II)

(8) タイマステータスレジスタ 11 (TSR11)

TSR11はチャンネル11のインプットキャプチャ、コンペアマッチやオーバフローのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
								OVF11
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*
ビット:	7	6	5	4	3	2	1	0
							IMF11B	IMF11A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/(W)*	R/(W)*

【注】 * フラグをクリアするために0のみ書き込むことができます。

ビット 15~9: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 8: オーバフローフラグ 11 (OVF11)

TCNT11Fのオーバフローの発生を示すステータスフラグです。

ビット 8	説明
OVF11	
0	[クリア条件] OVF11=1の状態、OVF11を読み出した後、OVF11に0を書き込んだとき (初期値)
1	[セット条件] TCNT11の値がオーバフロー (H'FFFF H'0000) したとき

ビット 7~2: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 1: インプットキャプチャ/コンペアマッチフラグ 11B (IMF11B)

GR11Bのインプットキャプチャ/コンペアマッチの発生を示すステータスフラグです。

ビット 1	説明
IMF11B	
0	[クリア条件] IMF11B=1の状態、IMF11Bを読み出した後、IMF11Bに0を書き込んだとき (初期値)
1	[セット条件] (1) GR11Bがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT11の値がGR11Bに転送されたとき (2) GR11Bがアウトプットコンペアレジスタとして機能している場合、TCNT11=GR11Bになったとき

ビット0：インプットキャプチャ/コンペアマッチフラグ 11A (IMF11A)

GR11A のインプットキャプチャ/コンペアマッチの発生を示すステータスフラグです。

ビット0	説明
IMF11A	
0	[クリア条件] (初期値) IMF11A=1 の状態で、IMF11A を読み出した後、IMF11A に 0 を書き込んだとき
1	[セット条件] (1) GR11A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT11 の値が GR11A に転送されたとき (2) GR11A がアウトプットコンペアレジスタとして機能している場合、TCNT11=GR11A になったとき

11.2.6 タイマインタラプトイネーブルレジスタ (TIER)

タイマインタラプトレジスタ (TIER) は 16 ビットのレジスタです。ATU-II には、チャンネル 0、6 ~ 9、11 に各 1 本、チャンネル 1、2 に各 2 本、チャンネル 3 ~ 5 に 1 本、計 11 本のレジスタがあります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略称	機能
0	TIER0	インプットキャプチャとオーバフローの割り込みの要求の許可/禁止を制御します。
1	TIER1A、TIER1B	インプットキャプチャ、コンペアマッチとオーバフローの割り込みの要求の許可/禁止を制御します。
2	TIER2A、TIER2B	
3	TIER3	インプットキャプチャ、コンペアマッチとオーバフローの割り込みの要求の許可/禁止を制御します。
4		
5		
6	TIER6	サイクルレジスタとのコンペアマッチの割り込みの要求の許可/禁止を制御します。
7	TIER7	
8	TIER8	ダウンカウンタの出力終了 (Low) の割り込みの要求の許可/禁止を制御します。
9	TIER9	イベントカウンタのコンペアマッチの割り込みの要求の許可/禁止を制御します。
11	TIER11	インプットキャプチャ、コンペアマッチやオーバフローの割り込みの要求の許可/禁止を制御します。

TIER は 16 ビットの読み出し/書き込み可能なレジスタで、フリーランニングカウンタ (TCNT) のオーバフロー割り込み要求、チャンネル 0 のインプットキャプチャ割り込み要求、チャンネル 1 ~ 5、11 のジェネラルレジスタのインプットキャプチャ/コンペアマッチ割り込み要求、チャンネル 6、7 のコンペアマッチ割り込み要求、チャンネル 8 のダウンカウンタの出力終了割り込み要求、チャンネル 9 のイベントカウンタのコンペアマッチ割り込み要求の許可/禁止を制御します。

TIER はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に、H'0000 に初期化されます。

11. アドバンスドタイマユニット-II (ATU-II)

(1) タイマインタラプトイネーブルレジスタ 0 (TIER0)

TIER0はチャンネル0のインプットキャプチャおよびオーバーフローの割り込み要求の許可 / 禁止を制御します。

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
				OVE0	ICE0D	ICE0C	ICE0B	ICE0A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット 15~5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 4 : オーバフローインタラプトイネーブル 0 (OVE0)

TSR0のオーバーフローフラグ(OVF0)が1にセットされたとき、OVF0による割り込み要求を許可または禁止します。

ビット 4	説明
OVE0	
0	OVF0による割り込み要求(OVI0)を禁止 (初期値)
1	OVF0による割り込み要求(OVI0)を許可

ビット 3 : インプットキャプチャインタラプトイネーブル 0D (ICE0D)

TSR0のインプットキャプチャフラグ(ICF0D)がセットされたとき、ICF0Dによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット 3	説明
ICE0D	
0	ICF0Dによる割り込み要求(ICI0D)を禁止 (初期値)
1	ICF0Dによる割り込み要求(ICI0D)を許可

ビット2：インプットキャプチャインタラプトイネーブル 0C (ICE0C)

TSR0 のインプットキャプチャフラグ (ICF0C) が 1 にセットされたとき、ICF0C による割り込み要求を許可または禁止します。また、割り込み要求許可状態で DMAC を設定することにより、割り込み要求による DMAC の起動が行えます。

ビット2	説明
ICE0C	
0	ICF0C による割り込み要求 (ICI0C) を禁止 (初期値)
1	ICF0C による割り込み要求 (ICI0C) を許可

ビット1：インプットキャプチャインタラプトイネーブル 0B (ICE0B)

TSR0 のインプットキャプチャフラグ (ICF0B) が 1 にセットされたとき、ICF0B による割り込み要求を許可または禁止します。また、割り込み要求許可状態で DMAC を設定することにより、割り込み要求による DMAC の起動が行えます。

ビット1	説明
ICE0B	
0	ICF0B による割り込み要求 (ICI0B) を禁止 (初期値)
1	ICF0B による割り込み要求 (ICI0B) を許可

ビット0：インプットキャプチャインタラプトイネーブル 0A (ICE0A)

TSR0 のインプットキャプチャフラグ (ICF0A) が 1 にセットされたとき、ICF0A による割り込み要求を許可または禁止します。また、割り込み要求許可状態で DMAC を設定することにより、割り込み要求による DMAC の起動が行えます。

ビット0	説明
ICE0A	
0	ICF0A による割り込み要求 (ICI0A) を禁止 (初期値)
1	ICF0A による割り込み要求 (ICI0A) を許可

11. アドバンスドタイムユニット-II (ATU-II)

(2) タイマインタラプトイネーブルレジスタ 1A、1B (TIER1A、TIER1B)

(a) TIER1A

TIER1A はチャンネル 1 のインプットキャプチャ、コンペアマッチとオーバフローの割り込み要求の許可/禁止を制御します。

ビット:	15	14	13	12	11	10	9	8
								OVE1A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W
ビット:	7	6	5	4	3	2	1	0
	IME1H	IME1G	IME1F	IME1E	IME1D	IME1C	IME1B	IME1A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : オーバフローインタラプトイネーブル 1A (OVE1A)

TSR1A の OVF1A が 1 にセットされたとき、OVF1A による割り込み要求を許可または禁止します。

ビット 8	説明
OVE1A	
0	OVF1A による割り込み要求 (OVI1A) を禁止 (初期値)
1	OVF1A による割り込み要求 (OVI1A) を許可

ビット 7 : インプットキャプチャ/コンペアマッチインタラプトイネーブル 1H (IME1H)

TSR1A の IMF1H が 1 にセットされたとき、IMF1H による割り込み要求を許可または禁止します。

ビット 7	説明
IME1H	
0	IMF1H による割り込み要求 (IMI1H) を禁止 (初期値)
1	IMF1H による割り込み要求 (IMI1H) を許可

ビット 6 : インプットキャプチャ/コンペアマッチインタラプトイネーブル 1G (IME1G)

TSR1A の IMF1G が 1 にセットされたとき、IMF1G による割り込み要求を許可または禁止します。

ビット 6	説明
IME1G	
0	IMF1G による割り込み要求 (IMI1G) を禁止 (初期値)
1	IMF1G による割り込み要求 (IMI1G) を許可

ビット5：インプットキャプチャ/コンペアマッチインタラプトイネーブル 1F (IME1F)

TSR1 A の IMF1F が 1 にセットされたとき、IMF1F による割り込み要求を許可または禁止します。

ビット5	説 明	
IME1F		
0	IMF1F による割り込み要求 (IMI1F) を禁止	(初期値)
1	IMF1F による割り込み要求 (IMI1F) を許可	

ビット4：インプットキャプチャ/コンペアマッチインタラプトイネーブル 1E (IME1E)

TSR1 A の IMF1E が 1 にセットされたとき、IMF1E による割り込み要求を許可または禁止します。

ビット4	説 明	
IME1E		
0	IMF1E による割り込み要求 (IMI1E) を禁止	(初期値)
1	IMF1E による割り込み要求 (IMI1E) を許可	

ビット3：インプットキャプチャ/コンペアマッチインタラプトイネーブル 1D (IME1D)

TSR1 A の IMF1D が 1 にセットされたとき、IMF1D による割り込み要求を許可または禁止します。

ビット3	説 明	
IME1D		
0	IMF1D による割り込み要求 (IMI1D) を禁止	(初期値)
1	IMF1D による割り込み要求 (IMI1D) を許可	

ビット2：インプットキャプチャ/コンペアマッチインタラプトイネーブル 1C (IME1C)

TSR1 A の IMF1C が 1 にセットされたとき、IMF1C による割り込み要求を許可または禁止します。

ビット2	説 明	
IME1C		
0	IMF1C による割り込み要求 (IMI1C) を禁止	(初期値)
1	IMF1C による割り込み要求 (IMI1C) を許可	

ビット1：インプットキャプチャ/コンペアマッチインタラプトイネーブル 1B (IME1B)

TSR1 A の IMF1B が 1 にセットされたとき、IMF1B による割り込み要求を許可または禁止します。

ビット1	説 明	
IME1B		
0	IMF1B による割り込み要求 (IMI1B) を禁止	(初期値)
1	IMF1B による割り込み要求 (IMI1B) を許可	

11. アドバンスドタイムユニット-II (ATU-II)

ビット0：インプットキャプチャ/コンペアマッチインタラプトイネーブル 1A (IME1A)

TSR1A の IMF1A が 1 にセットされたとき、IMF1A による割り込み要求を許可または禁止します。

ビット0 IME1A	説明
0	IMF1A による割り込み要求 (IMI1A) を禁止 (初期値)
1	IMF1A による割り込み要求 (IMI1A) を許可

(b) TIER1B

TIER1B はチャンネル 1 のコンペアマッチとオーバフローの割り込み要求の許可 / 禁止を制御します。

ビット：	15	14	13	12	11	10	9	8
								OVE1B
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット：	7	6	5	4	3	2	1	0
								CME1
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット 15～9：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8：オーバフローインタラプトイネーブル 1B (OVE1B)

TSR1B のオーバフローフラグ (OVF1B) が 1 にセットされたとき、OVF1B による割り込み要求を許可または禁止します。

ビット8 OVE1B	説明
0	OVF1B による割り込み要求 (OVI1B) を禁止 (初期値)
1	OVF1B による割り込み要求 (OVI1B) を許可

ビット 7～1：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット0：コンペアマッチインタラプトイネーブル1 (CME1)

TSR1B の CMF1 が 1 にセットされたとき、CMF1 による割り込み要求を許可または禁止します。

ビット0	説明
CME1	
0	CMF1 による割り込み要求 (CMI1) を禁止 (初期値)
1	CMF1 による割り込み要求 (CMI1) を許可

(3) タイマインタラプトイネーブルレジスタ 2A、2B (TIER2A、TIER2B)

(a) TIER2A

TIER2A はチャンネル 2 のインプットキャプチャ、コンペアマッチとオーバフローの割り込み要求の許可/禁止を制御します。

ビット：	15	14	13	12	11	10	9	8
								OVE2A
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット：	7	6	5	4	3	2	1	0
	IME2H	IME2G	IME2F	IME2E	IME2D	IME2C	IME2B	IME2A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~9：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8：オーバフローインタラプトイネーブル 2A (OVE2A)

TSR2A の OVF2A が 1 にセットされたとき、OVF2A による割り込み要求を許可または禁止します。

ビット8	説明
OVE2A	
0	OVF2A による割り込み要求 (OVI2A) を禁止 (初期値)
1	OVF2A による割り込み要求 (OVI2A) を許可

ビット7：インプットキャプチャ/コンペアマッチインタラプトイネーブル 2H (IME2H)

TSR2 A の IMF2H が 1 にセットされたとき、IMF2H による割り込み要求を許可または禁止します。

ビット7	説明
IME2H	
0	IMF2H による割り込み要求 (IMI2H) を禁止 (初期値)
1	IMF2H による割り込み要求 (IMI2H) を許可

11. アドバンスドタイムユニット-II (ATU-II)

ビット6：インプットキャプチャ/コンペアマッチインタラプトイネーブル 2G (IME2G)

TSR2 A の IMF2G が 1 にセットされたとき、IMF2G による割り込み要求を許可または禁止します。

ビット6	説明
IME2G	
0	IMF2G による割り込み要求 (IMI2G) を禁止 (初期値)
1	IMF2G による割り込み要求 (IMI2G) を許可

ビット5：インプットキャプチャ/コンペアマッチインタラプトイネーブル 2F (IME2F)

TSR2 A の IMF2F が 1 にセットされたとき、IMF2F による割り込み要求を許可または禁止します。

ビット5	説明
IME2F	
0	IMF2F による割り込み要求 (IMI2F) を禁止 (初期値)
1	IMF2F による割り込み要求 (IMI2F) を許可

ビット4：インプットキャプチャ/コンペアマッチインタラプトイネーブル 2E (IME2E)

TSR2 A の IMF2E が 1 にセットされたとき、IMF2E による割り込み要求を許可または禁止します。

ビット4	説明
IME2E	
0	IMF2E による割り込み要求 (IMI2E) を禁止 (初期値)
1	IMF2E による割り込み要求 (IMI2E) を許可

ビット3：インプットキャプチャ/コンペアマッチインタラプトイネーブル 2D (IME2D)

TSR2 A の IMF2D が 1 にセットされたとき、IMF2D による割り込み要求を許可または禁止します。

ビット3	説明
IME2D	
0	IMF2D による割り込み要求 (IMI2D) を禁止 (初期値)
1	IMF2D による割り込み要求 (IMI2D) を許可

ビット2：インプットキャプチャ/コンペアマッチインタラプトイネーブル 2C (IME2C)

TSR2A の IMF2C が 1 にセットされたとき、IMF2C による割り込み要求を許可または禁止します。

ビット2	説明
IME2C	
0	IMF2C による割り込み要求 (IMI2C) を禁止 (初期値)
1	IMF2C による割り込み要求 (IMI2C) を許可

ビット1：インプットキャプチャ/コンペアマッチインタラプトイネーブル 2B (IME2B)

TSR2 A の IMF2B が 1 にセットされたとき、IMF2B による割り込み要求を許可または禁止します。

ビット1	説明
IME2B	
0	IMF2B による割り込み要求 (IMI2B) を禁止 (初期値)
1	IMF2B による割り込み要求 (IMI2B) を許可

ビット0：インプットキャプチャ/コンペアマッチインタラプトイネーブル 2A (IME2A)

TSR2 A の IMF2A が 1 にセットされたとき、IMF2A による割り込み要求を許可または禁止します。

ビット0	説明
IME2A	
0	IMF2A による割り込み要求 (IMI2A) を禁止 (初期値)
1	IMF2A による割り込み要求 (IMI2A) を許可

(b) TIER2B

TIER2B はチャンネル 2 のコンペアマッチとオーバフローの割り込み要求の許可 / 禁止を制御します。

ビット：	15	14	13	12	11	10	9	8
								OVE2B
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット：	7	6	5	4	3	2	1	0
	CME2H	CME2G	CME2F	CME2E	CME2D	CME2C	CME2B	CME2A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~9：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8：オーバフローインタラプトイネーブル 2B (OVE2B)

TSR2B の OVF2B が 1 にセットされたとき、OVF2B による割り込み要求を許可または禁止します。

ビット8	説明
OVE2B	
0	OVF2B による割り込み要求 (OVI2B) を禁止 (初期値)
1	OVF2B による割り込み要求 (OVI2B) を許可

11. アドバンスタイマユニット-II (ATU-II)

ビット7：コンペアマッチインタラプトイネーブル 2H (CME2H)

TSR2B の CMF2H が 1 にセットされたとき、CMF2F による割り込み要求を許可または禁止します。

ビット7	説明
CME2H	
0	CMF2H による割り込み要求 (CMI2H) を禁止 (初期値)
1	CMF2H による割り込み要求 (CMI2H) を許可

ビット6：コンペアマッチインタラプトイネーブル 2G (CME2G)

TSR2B の CMF2G が 1 にセットされたとき、CMF2G による割り込み要求を許可または禁止します。

ビット6	説明
CME2G	
0	CMF2G による割り込み要求 (CMI2G) を禁止 (初期値)
1	CMF2G による割り込み要求 (CMI2G) を許可

ビット5：コンペアマッチインタラプトイネーブル 2F (CME2F)

TSR2B の CMF2F が 1 にセットされたとき、CMF2F による割り込み要求を許可または禁止します。

ビット5	説明
CME2F	
0	CMF2F による割り込み要求 (CMI2F) を禁止 (初期値)
1	CMF2F による割り込み要求 (CMI2F) を許可

ビット4：コンペアマッチインタラプトイネーブル 2E (CME2E)

TSR2B の CMF2E が 1 にセットされたとき、CMF2E による割り込み要求を許可または禁止します。

ビット4	説明
CME2E	
0	CMF2E による割り込み要求 (CMI2E) を禁止 (初期値)
1	CMF2E による割り込み要求 (CMI2E) を許可

ビット3：コンペアマッチインタラプトイネーブル 2D (CME2D)

TSR2B の CMF2D が 1 にセットされたとき、CMF2D による割り込み要求を許可または禁止します。

ビット3	説明
CME2D	
0	CMF2D による割り込み要求 (CMI2D) を禁止 (初期値)
1	CMF2D による割り込み要求 (CMI2D) を許可

ビット2：コンペアマッチインタラプトイネーブル 2C (CME2C)

TSR2B の CMF2C が 1 にセットされたとき、CMF2C による割り込み要求を許可または禁止します。

ビット2	説明
CME2C	
0	CMF2C による割り込み要求 (CMI2C) を禁止 (初期値)
1	CMF2C による割り込み要求 (CMI2C) を許可

ビット1：コンペアマッチインタラプトイネーブル 2B (CME2B)

TSR2B の CMF2B が 1 にセットされたとき、CMF2B による割り込み要求を許可または禁止します。

ビット1	説明
CME2B	
0	CMF2B による割り込み要求 (CMI2B) を禁止 (初期値)
1	CMF2B による割り込み要求 (CMI2B) を許可

ビット0：コンペアマッチインタラプトイネーブル 2A (CME2A)

TSR2B の CMF2A が 1 にセットされたとき、CMF2A による割り込み要求を許可または禁止します。

ビット0	説明
CME2A	
0	CMF2A による割り込み要求 (CMI2A) を禁止 (初期値)
1	CMF2A による割り込み要求 (CMI2A) を許可

(4) タイマインタラプトイネーブルレジスタ 3 (TIER3)

TIER3 はチャンネル 3~5 のインプットキャプチャ、コンペアマッチとオーパフローの割り込み要求の許可 / 禁止を制御します。

ビット：	15	14	13	12	11	10	9	8
		OVE5	IME5D	IME5C	IME5B	IME5A	OVE4	IME4D
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
	IME4C	IME4B	IME4A	OVE3	IME3D	IME3C	IME3B	IME3A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11. アドバンスドタイマユニット-II (ATU-II)

ビット 14 : オーバフローインタラプトイネーブル 5 (OVE5)

TSR3 の OVF5 が 1 にセットされたとき、OVF5 による割り込み要求を許可または禁止します。

ビット 14	説 明
OVE5	
0	OVF5 による割り込み要求 (OVI5) を禁止 (初期値)
1	OVF5 による割り込み要求 (OVI5) を許可

ビット 13 : インพุットキャプチャ / コンペアマッチインタラプトイネーブル 5D (IME5D)

TSR3 の IMF5D が 1 にセットされたとき、IMF5D による割り込み要求を許可または禁止します。

ビット 13	説 明
IME5D	
0	IMF5D による割り込み要求 (IMI5D) を禁止 (初期値)
1	IMF5D による割り込み要求 (IMI5D) を許可

ビット 12 : インพุットキャプチャ / コンペアマッチインタラプトイネーブル 5C (IME5C)

TSR3 の IMF5C が 1 にセットされたとき、IMF5C による割り込み要求を許可または禁止します。

ビット 12	説 明
IME5C	
0	IMF5C による割り込み要求 (IMI5C) を禁止 (初期値)
1	IMF5C による割り込み要求 (IMI5C) を許可

ビット 11 : インพุットキャプチャ / コンペアマッチインタラプトイネーブル 5B (IME5B)

TSR3 の IMF5B が 1 にセットされたとき、IMF5B による割り込み要求を許可または禁止します。

ビット 11	説 明
IME5B	
0	IMF5B による割り込み要求 (IMI5B) を禁止 (初期値)
1	IMF5B による割り込み要求 (IMI5B) を許可

ビット 10 : インพุットキャプチャ / コンペアマッチインタラプトイネーブル 5A (IME5A)

TSR3 の IMF5A が 1 にセットされたとき、IMF5A による割り込み要求を許可または禁止します。

ビット 10	説 明
IME5A	
0	IMF5A による割り込み要求 (IMI5A) を禁止 (初期値)
1	IMF5A による割り込み要求 (IMI5A) を許可

ビット9：オーバフローインタラプトイネーブル4 (OVE4)

TSR3 の OVF4 が 1 にセットされたとき、OVF4 による割り込み要求を許可または禁止します。

ビット9	説明
OVE4	
0	OVF4 による割り込み要求 (OVI4) を禁止 (初期値)
1	OVF4 による割り込み要求 (OVI4) を許可

ビット8：インプットキャプチャ/コンペアマッチインタラプトイネーブル4D (IME4D)

TSR3 の IMF4D が 1 にセットされたとき、IMF4D による割り込み要求を許可または禁止します。

ビット8	説明
IME4D	
0	IMF4D による割り込み要求 (IMI4D) を禁止 (初期値)
1	IMF4D による割り込み要求 (IMI4D) を許可

ビット7：インプットキャプチャ/コンペアマッチインタラプトイネーブル4C (IME4C)

TSR3 の IMF4C が 1 にセットされたとき、IMF4C による割り込み要求を許可または禁止します。

ビット7	説明
IME4C	
0	IMF4C による割り込み要求 (IMI4C) を禁止 (初期値)
1	IMF4C による割り込み要求 (IMI4C) を許可

ビット6：インプットキャプチャ/コンペアマッチインタラプトイネーブル4B (IME4B)

TSR3 の IMF4B が 1 にセットされたとき、IMF4B による割り込み要求を許可または禁止します。

ビット6	説明
IME4B	
0	IMF4B による割り込み要求 (IMI4B) を禁止 (初期値)
1	IMF4B による割り込み要求 (IMI4B) を許可

ビット5：インプットキャプチャ/コンペアマッチインタラプトイネーブル4A (IME4A)

TSR3 の IMF4A が 1 にセットされたとき、IMF4A による割り込み要求を許可または禁止します。

ビット5	説明
IME4A	
0	IMF4A による割り込み要求 (IMI4A) を禁止 (初期値)
1	IMF4A による割り込み要求 (IMI4A) を許可

11. アドバンスタイマユニット-II (ATU-II)

ビット4：オーバフローインタラプトイネーブル3 (OVE3)

TSR3 の OVF3 が 1 にセットされたとき、OVF3 による割り込み要求を許可または禁止します。

ビット4	説明
OVE3	
0	OVF3 による割り込み要求 (OVI3) を禁止 (初期値)
1	OVF3 による割り込み要求 (OVI3) を許可

ビット3：インプットキャプチャ/コンペアマッチインタラプトイネーブル3D (IME3D)

TSR3 の IMF3D が 1 にセットされたとき、IMF3D による割り込み要求を許可または禁止します。

ビット3	説明
IME3D	
0	IMF3D による割り込み要求 (IMI3D) を禁止 (初期値)
1	IMF3D による割り込み要求 (IMI3D) を許可

ビット2：インプットキャプチャ/コンペアマッチインタラプトイネーブル3C (IME3C)

TSR3 の IMF3C が 1 にセットされたとき、IMF3C による割り込み要求を許可または禁止します。

ビット2	説明
IME3C	
0	IMF3C による割り込み要求 (IMI3C) を禁止 (初期値)
1	IMF3C による割り込み要求 (IMI3C) を許可

ビット1：インプットキャプチャ/コンペアマッチインタラプトイネーブル3B (IME3B)

TSR3 の IMF3B が 1 にセットされたとき、IMF3B による割り込み要求を許可または禁止します。

ビット1	説明
IME3B	
0	IMF3B による割り込み要求 (IMI3B) を禁止 (初期値)
1	IMF3B による割り込み要求 (IMI3B) を許可

ビット0：インプットキャプチャ/コンペアマッチインタラプトイネーブル3A (IME3A)

TSR3 の IMF3A が 1 にセットされたとき、IMF3A による割り込み要求を許可または禁止します。

ビット0	説明
IME3A	
0	IMF3A による割り込み要求 (IMI3A) を禁止 (初期値)
1	IMF3A による割り込み要求 (IMI3A) を許可

(5) タイマインタラプトイネーブルレジスタ 6、7 (TIER6、TIER7)

TIER6、7はチャンネル6、7のサイクルレジスタコンペアの割り込み要求の許可/禁止を制御します。

ビット:	15	14	13	12	11	10	9	8
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
					CMExD	CMExC	CMExB	CMExA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

x=6、7

ビット 15~4 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 3 : サイクルレジスタコンペアマッチインタラプトイネーブル 6D、7D (CME6D、CME7D)

TSR6、7のCMFxDが1にセットされたとき、CMFxDによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット3	説明
CMExD	
0	CMFxDによる割り込み要求(CMIxD)を禁止 (初期値)
1	CMFxDによる割り込み要求(CMIxD)を許可

x=6、7

ビット 2 : サイクルレジスタコンペアマッチインタラプトイネーブル 6C、7C (CME6C、CME7C)

TSR6、7のCMFxCが1にセットされたとき、CMFxCによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット2	説明
CMExC	
0	CMFxCによる割り込み要求(CMIxC)を禁止 (初期値)
1	CMFxCによる割り込み要求(CMIxC)を許可

x=6、7

11. アドバンスドタイマユニット-II (ATU-II)

ビット 1 : サイクルレジスタコンペアマッチインタラプトイネーブル 6B、7B (CME6B、CME7B)

TSR6、7 の CMFxB が 1 にセットされたとき、CMFxB による割り込み要求を許可または禁止します。また、割り込み要求許可状態で DMAC を設定することにより、割り込み要求による DMAC の起動が行えます。

ビット 1	説明
CMExB	
0	CMFxB による割り込み要求 (CMixB) を禁止 (初期値)
1	CMFxB による割り込み要求 (CMixB) を許可

x = 6、7

ビット 0 : サイクルレジスタコンペアマッチインタラプトイネーブル 6A、7A (CME6A、CME7A)

TSR6、7 の CMFxA が 1 にセットされたとき、CMFxA による割り込み要求を許可または禁止します。また、割り込み要求許可状態で DMAC を設定することにより、割り込み要求による DMAC の起動が行えます。

ビット 0	説明
CMExA	
0	CMFxA による割り込み要求 (CMixA) を禁止 (初期値)
1	CMFxA による割り込み要求 (CMixA) を許可

x = 6、7

(6) タイマインタラプトイネーブルレジスタ 8 (TIER8)

TIER8 はチャンネル 8 のワンショットパルスの割り込み要求の許可 / 禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
	OSE8P	OSE8O	OSE8N	OSE8M	OSE8L	OSE8K	OSE8J	OSE8I
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
	OSE8H	OSE8G	OSE8F	OSE8E	OSE8D	OSE8C	OSE8B	OSE8A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15 : ワンショットパルスインタラプトイネーブル 8P (OSE8P)

TSR8 の OSF8P が 1 にセットされたとき、OSF8P による割り込み要求を許可または禁止します。

ビット 15	説明
OSE8P	
0	OSF8P による割り込み要求 (OSI8P) を禁止 (初期値)
1	OSF8P による割り込み要求 (OSI8P) を許可

ビット 14：ワンショットパルスインタラプトイネーブル 8O (OSE8O)

TSR8 の OSF8O が 1 にセットされたとき、OSF8O による割り込み要求を許可または禁止します。

ビット 14	説 明	
OSE8O		
0	OSF8O による割り込み要求 (OSI8O) を禁止	(初期値)
1	OSF8O による割り込み要求 (OSI8O) を許可	

ビット 13：ワンショットパルスインタラプトイネーブル 8N (OSE8N)

TSR8 の OSF8N が 1 にセットされたとき、OSF8N による割り込み要求を許可または禁止します。

ビット 13	説 明	
OSE8N		
0	OSF8N による割り込み要求 (OSI8N) を禁止	(初期値)
1	OSF8N による割り込み要求 (OSI8N) を許可	

ビット 12：ワンショットパルスインタラプトイネーブル 8M (OSE8M)

TSR8 の OSF8M が 1 にセットされたとき、OSF8M による割り込み要求を許可または禁止します。

ビット 12	説 明	
OSE8M		
0	OSF8M による割り込み要求 (OSI8M) を禁止	(初期値)
1	OSF8M による割り込み要求 (OSI8M) を許可	

ビット 11：ワンショットパルスインタラプトイネーブル 8L (OSE8L)

TSR8 の OSF8L が 1 にセットされたとき、OSF8L による割り込み要求を許可または禁止します。

ビット 11	説 明	
OSE8L		
0	OSF8L による割り込み要求 (OSI8L) を禁止	(初期値)
1	OSF8L による割り込み要求 (OSI8L) を許可	

ビット 10：ワンショットパルスインタラプトイネーブル 8K (OSE8K)

TSR8 の OSF8K が 1 にセットされたとき、OSF8K による割り込み要求を許可または禁止します。

ビット 10	説 明	
OSE8K		
0	OSF8K による割り込み要求 (OSI8K) を禁止	(初期値)
1	OSF8K による割り込み要求 (OSI8K) を許可	

11. アドバンスタイマユニット-II (ATU-II)

ビット 9 : ワンショットパルスインタラプトイネーブル 8J (OSE8J)

TSR8 の OSF8J が 1 にセットされたとき、OSF8J による割り込み要求を許可または禁止します。

ビット 9	説 明
OSE8J	
0	OSF8J による割り込み要求 (OSI8J) を禁止 (初期値)
1	OSF8J による割り込み要求 (OSI8J) を許可

ビット 8 : ワンショットパルスインタラプトイネーブル 8I (OSE8I)

TSR8 の OSF8I が 1 にセットされたとき、OSF8I による割り込み要求を許可または禁止します。

ビット 8	説 明
OSE8I	
0	OSF8I による割り込み要求 (OSI8I) を禁止 (初期値)
1	OSF8I による割り込み要求 (OSI8I) を許可

ビット 7 : ワンショットパルスインタラプトイネーブル 8H (OSE8H)

TSR8 の OSF8H が 1 にセットされたとき、OSF8H による割り込み要求を許可または禁止します。

ビット 7	説 明
OSE8H	
0	OSF8H による割り込み要求 (OSI8H) を禁止 (初期値)
1	OSF8H による割り込み要求 (OSI8H) を許可

ビット 6 : ワンショットパルスインタラプトイネーブル 8G (OSE8G)

TSR8 の OSF8G が 1 にセットされたとき、OSF8G による割り込み要求を許可または禁止します。

ビット 6	説 明
OSE8G	
0	OSF8G による割り込み要求 (OSI8G) を禁止 (初期値)
1	OSF8G による割り込み要求 (OSI8G) を許可

ビット 5 : ワンショットパルスインタラプトイネーブル 8F (OSE8F)

TSR8 の OSF8F が 1 にセットされたとき、OSF8F による割り込み要求を許可または禁止します。

ビット 5	説 明
OSE8F	
0	OSF8F による割り込み要求 (OSI8F) を禁止 (初期値)
1	OSF8F による割り込み要求 (OSI8F) を許可

ビット4：ワンショットパルスインタラプトイネーブル 8E (OSE8E)

TSR8 の OSF8E が 1 にセットされたとき、OSF8E による割り込み要求を許可または禁止します。

ビット4 OSE8E	説 明
0	OSF8E による割り込み要求 (OSI8E) を禁止 (初期値)
1	OSF8E による割り込み要求 (OSI8E) を許可

ビット3：ワンショットパルスインタラプトイネーブル 8D (OSE8D)

TSR8 の OSF8D が 1 にセットされたとき、OSF8D による割り込み要求を許可または禁止します。

ビット3 OSE8D	説 明
0	OSF8D による割り込み要求 (OSI8D) を禁止 (初期値)
1	OSF8D による割り込み要求 (OSI8D) を許可

ビット2：ワンショットパルスインタラプトイネーブル 8C (OSE8C)

TSR8 の OSF8C が 1 にセットされたとき、OSF8C による割り込み要求を許可または禁止します。

ビット2 OSE8C	説 明
0	OSF8C による割り込み要求 (OSI8C) を禁止 (初期値)
1	OSF8C による割り込み要求 (OSI8C) を許可

ビット1：ワンショットパルスインタラプトイネーブル 8B (OSE8B)

TSR8 の OSF8B が 1 にセットされたとき、OSF8B による割り込み要求を許可または禁止します。

ビット1 OSE8B	説 明
0	OSF8B による割り込み要求 (OSI8B) を禁止 (初期値)
1	OSF8B による割り込み要求 (OSI8B) を許可

ビット0：ワンショットパルスインタラプトイネーブル 8A (OSE8A)

TSR8 の OSF8A が 1 にセットされたとき、OSF8A による割り込み要求を許可または禁止します。

ビット0 OSE8A	説 明
0	OSF8A による割り込み要求 (OSI8A) を禁止 (初期値)
1	OSF8A による割り込み要求 (OSI8A) を許可

11. アドバンスドタイムユニット-II (ATU-II)

(7) タイマインタラプトイネーブルレジスタ 9 (TIER9)

TIER9 はチャンネル 9 のコンペアマッチの割り込み要求の許可 / 禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
			CME9F	CME9E	CME9D	CME9C	CME9B	CME9A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~6 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5 : コンペアマッチインタラプトイネーブル 9F (CME9F)

TSR9 の CMF9F が 1 にセットされたとき、CMF9F による割り込み要求を許可または禁止します。

ビット 5 CME9F	説明
0	CMF9F による割り込み要求 (CMI9F) を禁止 (初期値)
1	CMF9F による割り込み要求 (CMI9F) を許可

ビット 4 : コンペアマッチインタラプトイネーブル 9E (CME9E)

TSR9 の CMF9E が 1 にセットされたとき、CMF9E による割り込み要求を許可または禁止します。

ビット 4 CME9E	説明
0	CMF9E による割り込み要求 (CMI9E) を禁止 (初期値)
1	CMF9E による割り込み要求 (CMI9E) を許可

ビット 3 : コンペアマッチインタラプトイネーブル 9D (CME9D)

TSR9 の CMF9D が 1 にセットされたとき、CMF9D による割り込み要求を許可または禁止します。

ビット 3 CME9D	説明
0	CMF9D による割り込み要求 (CMI9D) を禁止 (初期値)
1	CMF9D による割り込み要求 (CMI9D) を許可

ビット2：コンペアマッチインタラプトイネーブル9C (CME9C)

TSR9のCMF9Cが1にセットされたとき、CMF9Cによる割り込み要求を許可または禁止します。

ビット2	説 明	
CME9C		
0	CMF9Cによる割り込み要求 (CMI9C) を禁止	(初期値)
1	CMF9Cによる割り込み要求 (CMI9C) を許可	

ビット1：コンペアマッチインタラプトイネーブル9B (CME9B)

TSR9のCMF9Bが1にセットされたとき、CMF9Bによる割り込み要求を許可または禁止します。

ビット1	説 明	
CME9B		
0	CMF9Bによる割り込み要求 (CMI9B) を禁止	(初期値)
1	CMF9Bによる割り込み要求 (CMI9B) を許可	

ビット0：コンペアマッチインタラプトイネーブル9A (CME9A)

TSR9のCMF9Aが1にセットされたとき、CMF9Aによる割り込み要求を許可または禁止します。

ビット0	説 明	
CME9A		
0	CMF9Aによる割り込み要求 (CMI9A) を禁止	(初期値)
1	CMF9Aによる割り込み要求 (CMI9A) を許可	

(8) タイマインタラプトイネーブルレジスタ11 (TIER11)

TIER11はチャンネル11のインプットキャプチャ、コンペアマッチとオーバフローの割り込み要求の許可/禁止を制御します。

ビット：	15	14	13	12	11	10	9	8
								OVE11
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W
ビット：	7	6	5	4	3	2	1	0
							IME11B	IME11A
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W

ビット15~9：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

11. アドバンスドタイムユニット-II (ATU-II)

ビット 8 : オーバフローインタラプトイネーブル 11 (OVE11)

TSR11 の OVF11 が 1 にセットされたとき、OVF11 による割り込み要求を許可または禁止します。

ビット 8	説 明
OVE11	
0	OVF11 による割り込み要求 (OVI11) を禁止 (初期値)
1	OVF11 による割り込み要求 (OVI11) を許可

ビット 7~2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1 : インプットキャプチャ/コンペアマッチインタラプトイネーブル 11B (IME11B)

TSR11 の IMF11B が 1 にセットされたとき、IMF11B による割り込み要求を許可または禁止します。

ビット 1	説 明
IME11B	
0	IMF11B による割り込み要求 (IMI11B) を禁止 (初期値)
1	IMF11B による割り込み要求 (IMI11B) を許可

ビット 0 : インプットキャプチャ/コンペアマッチインタラプトイネーブル 11A (IME11A)

TSR11 の IMF11A が 1 にセットされたとき、IMF11A による割り込み要求を許可または禁止します。

ビット 0	説 明
IME11A	
0	IMF11A による割り込み要求 (IMI11A) を禁止 (初期値)
1	IMF11A による割り込み要求 (IMI11A) を許可

11.2.7 インターバルインタラプトリクエストレジスタ (ITVRR)

インターバルインタラプトリクエストレジスタ (ITVRR) は 8 ビットのレジスタです。ATU-II には、チャンネル 0 に 3 本のレジスタがあります。

チャンネル	略 称	機 能
0	ITVRR1	TCNT0 のビット 6~9 にインターバル割り込み発生および A/D2 変換器起動
	ITVRR2A	TCNT0 のビット 10~13 にインターバル割り込み発生および A/D0 変換器起動
	ITVRR2B	TCNT0 のビット 10~13 にインターバル割り込み発生および A/D1 変換器起動

(1) インターバルインタラプトレジスタ 1 (ITVRR1)

ビット:	7	6	5	4	3	2	1	0
	ITVA9	ITVA8	ITVA7	ITVA6	ITVE9	ITVE8	ITVE7	ITVE6
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

インターバルインタラプトリクエストレジスタ 1 (ITVRR1) は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0 のフリーランニングカウンタ (TCNT0) の対応するビットの立ち上がりを検出して周期的な割り込み出力や A/D2 変換の起動を制御します。

ITVRR1 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7 : A/D2 変換器インターバル起動ビット 9 (ITVA9)

TCNT0 のビット 9 に対応した A/D2 変換器への起動の設定ビットです。TCNT0 のビット 9 の立ち上がりと ITVA9 で AND をとり、A/D2 変換器へ起動信号として出力します。

ビット 7	説 明
ITVA9	
0	TCNT0 のビット 9 の立ち上がりで A/D2 変換器の起動を禁止 (初期値)
1	TCNT0 のビット 9 の立ち上がりで A/D2 変換器の起動を許可

ビット 6 : A/D2 変換器インターバル起動ビット 8 (ITVA8)

TCNT0 のビット 8 に対応した A/D2 変換器への起動の設定ビットです。TCNT0 のビット 8 の立ち上がりと ITVA8 で AND をとり、A/D2 変換器へ起動信号として出力します。

ビット 6	説 明
ITVA8	
0	TCNT0 のビット 8 の立ち上がりで A/D2 変換器の起動を禁止 (初期値)
1	TCNT0 のビット 8 の立ち上がりで A/D2 変換器の起動を許可

11. アドバンスタイマユニット-II (ATU-II)

ビット 5 : A/D2 変換器インターバル起動ビット 7 (ITVA7)

TCNT0 のビット 7 に対応した A/D2 変換器への起動の設定ビットです。TCNT0 のビット 7 の立ち上がりと ITVA7 で AND をとり、A/D2 変換器へ起動信号として出力します。

ビット 5	説 明
ITVA7	
0	TCNT0 のビット 7 の立ち上がりで A/D2 変換器の起動を禁止 (初期値)
1	TCNT0 のビット 7 の立ち上がりで A/D2 変換器の起動を許可

ビット 4 : A/D2 変換器インターバル起動ビット 6 (ITVA6)

TCNT0 のビット 6 に対応した A/D2 変換器への起動の設定ビットです。TCNT0 のビット 6 の立ち上がりと ITVA6 で AND をとり、A/D2 変換器へ起動信号として出力します。

ビット 4	説 明
ITVA6	
0	TCNT0 のビット 6 の立ち上がりで A/D2 変換器の起動を禁止 (初期値)
1	TCNT0 のビット 6 の立ち上がりで A/D2 変換器の起動を許可

ビット 3 : インターバルインタラプトビット 9 (ITVE9)

TCNT0 のビット 9 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 9 の立ち上がりと ITVE9 で AND をとり、結果を TSR0 の IIF1 に格納し、CPU へ割り込みを要求します。

ビット 3	説 明
ITVE9	
0	TCNT0 のビット 9 の立ち上がりで割り込み要求 (ITV1) を禁止 (初期値)
1	TCNT0 のビット 9 の立ち上がりで割り込み要求 (ITV1) を許可

ビット 2 : インターバルインタラプトビット 8 (ITVE8)

TCNT0 のビット 8 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 8 の立ち上がりと ITVE8 で AND をとり、結果を TSR0 の IIF1 に格納し、CPU へ割り込みを要求します。

ビット 2	説 明
ITVE8	
0	TCNT0 のビット 8 の立ち上がりで割り込み要求 (ITV1) を禁止 (初期値)
1	TCNT0 のビット 8 の立ち上がりで割り込み要求 (ITV1) を許可

ビット1：インターバルインタラプトビット7 (ITVE7)

TCNT0のビット7に対応したINTCへのインターバル割り込みの設定ビットです。TCNT0のビット7の立ち上がりでITVE7とANDをとり、結果をTSR0のIIF1に格納し、CPUへ割り込みを要求します。

ビット1	説明
ITVE7	
0	TCNT0のビット7の立ち上がりで割り込み要求 (ITV1) を禁止 (初期値)
1	TCNT0のビット7の立ち上がりで割り込み要求 (ITV1) を許可

ビット0：インターバルインタラプトビット6 (ITVE6)

TCNT0のビット6に対応したINTCへのインターバル割り込みの設定ビットです。TCNT0のビット6の立ち上がりでITVE6とANDをとり、結果をTSR0のIIF1に格納し、CPUへ割り込みを要求します。

ビット0	説明
ITVE6	
0	TCNT0のビット6の立ち上がりで割り込み要求 (ITV1) を禁止 (初期値)
1	TCNT0のビット6の立ち上がりで割り込み要求 (ITV1) を許可

(2) インターバルインタラプトレジスタ 2A、2B (ITVRR2A、ITVRR2B)

ビット：	7	6	5	4	3	2	1	0
	ITVA13x	ITVA12x	ITVA11x	ITVA10x	ITVE13x	ITVE12x	ITVE11x	ITVE10x
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

x=A、B

ビット7：A/D0、1変換器インターバル起動ビット13A、13B (ITVA13A、13B)

TCNT0のビット13に対応したA/D0、1 (ITVRR2A=A/D0、ITVRR2B=A/D1) 変換器への起動の設定ビットです。TCNT0のビット13の立ち上がりでITVA13xとANDをとり、A/D0、1変換器へ起動信号として出力します。

ビット7	説明
ITVA13x	
0	TCNT0のビット13の立ち上がりでA/D0、1変換器の起動を禁止 (初期値)
1	TCNT0のビット13の立ち上がりでA/D0、1変換器の起動を許可

x=A、B

11. アドバンスドタイマユニット-II (ATU-II)

ビット 6 : A/D0、1 変換器インターバル起動ビット 12A、12B (ITVA12A、12B)

TCNT0 のビット 12 に対応した A/D0、1 (ITVRR2A=A/D0、ITVRR2B=A/D1) 変換器への起動の設定ビットです。TCNT0 のビット 12 の立ち上がりと ITVA12x で AND をとり、A/D0、1 変換器へ起動信号として出力します。

ビット 6	説 明
ITVA12x	
0	TCNT0 のビット 12 の立ち上がりで A/D0、1 変換器の起動を禁止 (初期値)
1	TCNT0 のビット 12 の立ち上がりで A/D0、1 変換器の起動を許可

x=A、B

ビット 5 : A/D0、1 変換器インターバル起動ビット 11A、11B (ITVA11A、11B)

TCNT0 のビット 11 に対応した A/D0、1 (ITVRR2A=A/D0、ITVRR2B=A/D1) 変換器への起動の設定ビットです。TCNT0 のビット 11 の立ち上がりと ITVA11x で AND をとり、A/D0、1 変換器へ起動信号として出力します。

ビット 5	説 明
ITVA11x	
0	TCNT0 のビット 11 の立ち上がりで A/D0、1 変換器の起動を禁止 (初期値)
1	TCNT0 のビット 11 の立ち上がりで A/D0、1 変換器の起動を許可

x=A、B

ビット 4 : A/D0、1 変換器インターバル起動ビット 10A、10B (ITVA10A、10B)

TCNT0 のビット 10 に対応した A/D0、1 (ITVRR2A=A/D0、ITVRR2B=A/D1) 変換器への起動の設定ビットです。TCNT0 のビット 10 の立ち上がりと ITVA10x で AND をとり、A/D0、1 変換器へ起動信号として出力します。

ビット 4	説 明
ITVA10x	
0	TCNT0 のビット 10 の立ち上がりで A/D0、1 変換器の起動を禁止 (初期値)
1	TCNT0 のビット 10 の立ち上がりで A/D0、1 変換器の起動を許可

x=A、B

ビット 3 : インターバルインタラプトビット 13A、13B (ITVE13A、13B)

TCNT0 のビット 13 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 13 の立ち上がりと ITVE13x で AND をとり、結果を TSR0 の IIF2x に格納し、CPU への割り込みを要求します。

ビット 3	説 明
ITVE13x	
0	TCNT0 のビット 13 の立ち上がりで割り込み要求 (ITV2x) を禁止 (初期値)
1	TCNT0 のビット 13 の立ち上がりで割り込み要求 (ITV2x) を許可

x=A、B

ビット 2：インターバルインタラプトビット 12A、12B (ITVE12A、12B)

TCNT0 のビット 12 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 12 の立ち上がりと ITVE12x で AND をとり、結果を TSR0 の IIF2x に格納し、CPU への割り込みを要求します。

ビット 2	説 明
ITVE12x	
0	TCNT0 のビット 12 の立ち上がりで割り込み要求 (ITV2x) を禁止 (初期値)
1	TCNT0 のビット 12 の立ち上がりで割り込み要求 (ITV2x) を許可

x=A、B

ビット 1：インターバルインタラプトビット 11A、11B (ITVE11A、11B)

TCNT0 のビット 11 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 11 の立ち上がりと ITVE11x で AND をとり、結果を TSR0 の IIF2x に格納し、CPU への割り込みを要求します。

ビット 1	説 明
ITVE11x	
0	TCNT0 のビット 11 の立ち上がりで割り込み要求 (ITV2x) を禁止 (初期値)
1	TCNT0 のビット 11 の立ち上がりで割り込み要求 (ITV2x) を許可

x=A、B

ビット 0：インターバルインタラプトビット 10A、10B (ITVE10A、10B)

TCNT0 のビット 10 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 10 の立ち上がりと ITVE10x で AND をとり、結果を TSR0 の IIF2x に格納し、CPU への割り込みを要求します。

ビット 0	説 明
ITVE10x	
0	TCNT0 のビット 10 の立ち上がりで割り込み要求 (ITV2x) を禁止 (初期値)
1	TCNT0 のビット 10 の立ち上がりで割り込み要求 (ITV2x) を許可

x=A、B

詳細は「11.3.7 インターバルタイム機能」を参照してください。

11. アドバンスドタイマユニット-II (ATU-II)

11.2.8 トリガモードレジスタ (TRGMDR)

トリガモードレジスタ (TRGMDR) は 8 ビットのレジスタです。ATU-II には 1 本のレジスタがあります。

ビット:	7	6	5	4	3	2	1	0
	TRGMD							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

TRGMDR は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 1 とチャンネル 8 を連結して使用する場合のチャンネル 1 のコンペアマッチをチャンネル 8 のワンショットパルススタートトリガとして使用するかワンショットパルスのターミネートトリガとして使用するかを選択します。

TRGMDR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7: トリガモードセレクションレジスタ (TRGMD)

チャンネル 8 のワンショットパルスのスタートトリガ / ワンショットパルスターミネートトリガの設定を選択します。

ビット 7	説明
TRGMD	
0	ワンショットパルススタートトリガ (TCNT1B = OCR1) (初期値) ワンショットパルスターミネートトリガ (TCNT1A = GR1A ~ H)
1	ワンショットパルススタートトリガ (TCNT1A = GR1A ~ H) ワンショットパルスターミネートトリガ (TCNT1B = OCR1)

ビット 6~0: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.2.9 タイマモードレジスタ (TMDR)

タイマモードレジスタ (TMDR) は 8 ビットのレジスタです。ATU-II には 1 本のレジスタがあります。

ビット:	7	6	5	4	3	2	1	0
						T5PWM	T4PWM	T3PWM
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

TMDR は 8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 3~5 をインプットキャプチャ / アウトプットコンペアモードとして使用するか、PWM モードとして使用するかの設定を行います。

TMDR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7~3 : 予約ビット

ビット 7~3 を読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PWM モード 5 (T5PWM)

チャンネル 5 をインプットキャプチャ / アウトプットコンペアモードで動作させるか、PWM モードで動作させるかを選択します。

ビット 2	説明
T5PWM	
0	チャンネル 5 はインプットキャプチャ / アウトプットコンペアモードを選択 (初期値)
1	チャンネル 5 は PWM モード機能を選択

T5PWM ビットを 1 にセットして PWM モードにすると、TIO5A ~ TIO5C 端子は PWM 出力端子となり、ジェネラルレジスタ 5D (GR5D) がサイクルレジスタで、ジェネラルレジスタ 5A ~ 5C (GR5A ~ GR5C) はデューティレジスタとなります。タイマ I/O コントロールレジスタ (TIOR5A、B) の設定は無効となり、ジェネラルレジスタ (GR5A ~ D) への書き込みが可能です。TIO5D 端子はタイマ出力として使用しないでください。

ビット 1 : PWM モード 4 (T4PWM)

チャンネル 4 をインプットキャプチャ / アウトプットコンペアモードで動作させるか、PWM モードで動作させるかを選択します。

ビット 1	説明
T4PWM	
0	チャンネル 4 はインプットキャプチャ / アウトプットコンペアモードを選択 (初期値)
1	チャンネル 4 は PWM モード機能を選択

T4PWM ビットを 1 にセットして PWM モードにすると、TIO4A ~ TIO4C 端子は PWM 出力端子となり、ジェネラルレジスタ 4D (GR4D) がサイクルレジスタで、ジェネラルレジスタ 4A ~ 4C (GR4A ~ GR4C) はデューティレジスタとなります。タイマ I/O コントロールレジスタ (TIOR4A、B) の設

11. アドバンスタイマユニット-II (ATU-II)

定は無効となり、ジェネラルレジスタ (GR4A~D) への書き込みが可能です。TIO4D 端子はタイマ出力として使用しないでください。

ビット 0 : PWM モード 3 (T3PWM)

チャンネル 3 をインプットキャプチャ/アウトプットコンペアモードで動作させるか、PWM モードで動作させるかを選択します。

ビット 0	説 明
T3PWM	
0	チャンネル 3 はインプットキャプチャ/アウトプットコンペアモードを選択 (初期値)
1	チャンネル 3 は PWM モード機能を選択

T3PWM ビットを 1 にセットして PWM モードにすると、TIO3A~TIO3C 端子は PWM 出力端子となり、ジェネラルレジスタ 3D (GR3D) がサイクルレジスタで、ジェネラルレジスタ 3A~3C (GR4A~GR4C) はデューティレジスタとなります。タイマ I/O コントロールレジスタ (TIOR3A, B) の設定は無効となり、ジェネラルレジスタ (GR3A~D) への書き込みが可能です。TIO3D 端子はタイマ出力として使用しないでください。

11.2.10 PWM モードレジスタ (PMDR)

PWM モードレジスタ (PMDR) は 8 ビットのレジスタです。ATU-II には 1 本のレジスタがあります。

ビット:	7	6	5	4	3	2	1	0
	DTSELD	DTSELC	DTSELB	DTSELA	CNTSELD	CNTSELC	CNTSELB	CNTSELA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMDR は 8 ビットの読み出し/書き込み可能なレジスタで、チャンネル 6 を PWM 出力をオンデューティ/オフデューティに設定するかまたは非相補 PWM モード/相補 PWM モードに設定するか選択します。

PMDR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7 : デューティセレクションレジスタ D (DTSELD)

チャンネル 6D の TO6D 出力 PWM をオンデューティに設定するかオフデューティに設定するかを選択します。

ビット 7	説 明
DTSELD	
0	TO6D の PWM 出力はオンデューティ (初期値)
1	TO6D の PWM 出力はオフデューティ

ビット 6 : デューティセクションレジスタ C (DTSELC)

チャンネル 6C の TO6C 出力 PWM をオンデューティに設定するかオフデューティに設定するかを選択します。

ビット 6	説 明
DTSELC	
0	TO6C の PWM 出力はオンデューティ (初期値)
1	TO6C の PWM 出力はオフデューティ

ビット 5 : デューティセクションレジスタ B (DTSELB)

チャンネル 6B の TO6B 出力 PWM をオンデューティに設定するかオフデューティに設定するかを選択します。

ビット 5	説 明
DTSELB	
0	TO6B の PWM 出力はオンデューティ (初期値)
1	TO6B の PWM 出力はオフデューティ

ビット 4 : デューティセクションレジスタ A (DTSELA)

チャンネル 6A の TO6A 出力 PWM をオンデューティに設定するかオフデューティに設定するかを選択します。

ビット 4	説 明
DTSELA	
0	TO6A の PWM 出力はオンデューティ (初期値)
1	TO6A の PWM 出力はオフデューティ

ビット 3 : カウンタセクションレジスタ D (CNTSELD)

チャンネル 6D の PWM を非相補 PWM モードとして設定するか相補 PWM モードとして設定するかを選択します。

ビット 3	説 明
CNTSELD	
0	TCNT6D は非相補 PWM モード (初期値)
1	TCNT6D は相補 PWM モード

ビット 2 : カウンタセクションレジスタ C (CNTSELC)

チャンネル 6C の PWM を非相補 PWM モードとして設定するか相補 PWM モードとして設定するかを選択します。

ビット 2	説 明
CNTSELC	
0	TCNT6C は非相補 PWM モード (初期値)
1	TCNT6C は相補 PWM モード

11. アドバンスドタイマユニット-II (ATU-II)

ビット1：カウンタセクションレジスタ B (CNTSELB)

チャンネル 6B の PWM を非相補 PWM モードとして設定するか相補 PWM モードとして設定するかを選択します。

ビット1	説明
CNTSELB	
0	TCNT6B は非相補 PWM モード (初期値)
1	TCNT6B は相補 PWM モード

ビット0：カウンタセクションレジスタ A (CNTSELA)

チャンネル 6A の PWM を非相補 PWM モードとして設定するか相補 PWM モードとして設定するかを選択します。

ビット0	説明
CNTSELA	
0	TCNT6A は非相補 PWM モード (初期値)
1	TCNT6A は相補 PWM モード

11.2.11 ダウンカウントスタートレジスタ (DSTR)

ダウンカウントスタートレジスタ (DSTR) は 16 ビットのレジスタです。ATU-II には、チャンネル 8 に 1 本のレジスタがあります。

ビット：	15	14	13	12	11	10	9	8
	DST8P	DST8O	DST8N	DST8M	DST8L	DST8K	DST8J	DST8I
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*
ビット：	7	6	5	4	3	2	1	0
	DST8H	DST8G	DST8F	DST8E	DST8D	DST8C	DST8B	DST8A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 1 のみ書き込み可能です。

ダウンカウントスタートレジスタ (DSTR) は 16 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 8 のダウンカウンタ (DCNT) の動作開始を選択します。

ワンショットパルス機能の場合は、ユーザプログラムにより任意に DST8x に 1 のみを設定することができます。ただし、対応する DCNT8x が H'0000 の場合は 1 を設定することはできません。また、DCNT の値がアンダフローするタイミングで自動的に DST8x は 0 にクリアされます。

オフセット付きワンショットパルス機能の場合は、対応するタイマコネクショレジスタ (TCNR) のビットが 1 の状態で、チャンネル 1、2 のフリーランニングカウンタ (TCNT) とジェネラルレジスタ (GR) またはアウトプットコンペアレジスタ (OCR1) のコンペアマッチが発生すると、DST8x は自動的に 1 にセットされます。ただし、DCNT8x の値が H'0000 の場合はセットされません。また DST8I ~ P については、リロードイネーブルレジスタ (RLDENR) の RLDEN ビットが 1 に設定されており、かつリロードレジスタ (RLDR8) が H'0000 でなければ、対応する DCNT8x にリロードが行われ、DST8x ビットに 1 がセットされます。また、DST8x のクリアの場合は DCNT8x の値がアンダフローするタ

イミングで自動的に0にクリアされるか、対応するワンショットパルスターミネートレジスタ(OTR)のビットが1の状態トリガモードレジスタ(TRGM DR)で設定したチャンネル1、2のワンショットターミネートトリガ信号が入力されるかいずれか先に発生した方でクリアされます。

なお、DCNT8xはアンダフローするタイミングでH'0000にクリアされます。

DSTRはパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'0000に初期化されます。

詳細は「11.3.5 ワンショットパルス機能」、および「11.3.6 オフセット付きワンショットパルス機能と出力遮断機能」を参照してください。

ビット 15 : ダウンカウントスタート 8P (DST8P)

ダウンカウンタ 8P (DCNT8P) の動作開始を選択します。

ビット 15	説 明
DST8P	
0	DCNT8P のカウント停止 (初期値) [クリア条件] DCNT8P 値がアンダフローするタイミングおよび チャンネル 2 (GR2H) のコンペアマッチ
1	DCNT8P はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8P H'0000) オフセット付きワンショットパルス機能 : OCR2H のコンペアマッチ発生時 (DCNT8P H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8P H'0000)

ビット 14 : ダウンカウントスタート 8O (DST8O)

ダウンカウンタ 8O (DCNT8O) の動作開始を選択します。

ビット 14	説 明
DST8O	
0	DCNT8O のカウント停止 (初期値) [クリア条件] DCNT8O 値がアンダフローするタイミングおよび チャンネル 2 (GR2G) のコンペアマッチ
1	DCNT8O はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8O H'0000) オフセット付きワンショットパルス機能 : OCR2G のコンペアマッチ発生時 (DCNT8O H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8O H'0000)

11. アドバンスタイマユニット-II (ATU-II)

ビット 13 : ダウンカウントスタート 8N (DST8N)

ダウンカウンタ 8N (DCNT8N) の動作開始を選択します。

ビット 13 DST8N	説 明
0	DCNT8N のカウント停止 (初期値) [クリア条件] DCNT8N 値がアンダフローするタイミングおよび チャンネル 2 (GR2F) のコンペアマッチ
1	DCNT8N はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8N H'0000) オフセット付きワンショットパルス機能 : OCR2F のコンペアマッチ発生時 (DCNT8N H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8N H'0000)

ビット 12 : ダウンカウントスタート 8M (DST8M)

ダウンカウンタ 8M (DCNT8M) の動作開始を選択します。

ビット 12 DST8M	説 明
0	DCNT8M のカウント停止 (初期値) [クリア条件] DCNT8M 値がアンダフローするタイミングおよび チャンネル 2 (GR2E) のコンペアマッチ
1	DCNT8M はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8M H'0000) オフセット付きワンショットパルス機能 : OCR2E のコンペアマッチ発生時 (DCNT8M H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8M H'0000)

ビット 11 : ダウンカウントスタート 8L (DST8L)

ダウンカウンタ 8L (DCNT8L) の動作開始を選択します。

ビット 11	説明
DST8L	
0	DCNT8L のカウント停止 (初期値) [クリア条件] DCNT8L 値がアンダフローするタイミングおよび チャンネル 2 (GR2D) のコンペアマッチ
1	DCNT8L はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8L H'0000) オフセット付きワンショットパルス機能 : OCR2D のコンペアマッチ発生時 (DCNT8L H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8L H'0000)

ビット 10 : ダウンカウントスタート 8K (DST8K)

ダウンカウンタ 8K (DCNT8K) の動作開始を選択します。

ビット 10	説明
DST8K	
0	DCNT8K のカウント停止 (初期値) [クリア条件] DCNT8K 値がアンダフローするタイミングおよび チャンネル 2 (GR2C) のコンペアマッチ
1	DCNT8K はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8K H'0000) オフセット付きワンショットパルス機能 : OCR2C のコンペアマッチ発生時 (DCNT8K H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8K H'0000)

11. アドバンスドタイマユニット-II (ATU-II)

ビット 9 : ダウンカウントスタート 8J (DST8J)

ダウンカウンタ 8J (DCNT8J) の動作開始を選択します。

ビット 9	説 明
DST8J	
0	DCNT8J のカウント停止 (初期値) [クリア条件] DCNT8J 値がアンダフローするタイミングおよび チャンネル 2 (GR2B) のコンペアマッチ
1	DCNT8J はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8J H'0000) オフセット付きワンショットパルス機能 : OCR2B のコンペアマッチ発生時 (DCNT8J H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8J H'0000)

ビット 8 : ダウンカウントスタート 8I (DST8I)

ダウンカウンタ 8I (DCNT8I) の動作開始を選択します。

ビット 8	説 明
DST8I	
0	DCNT8I のカウント停止 (初期値) [クリア条件] DCNT8I 値がアンダフローするタイミングおよび チャンネル 2 (GR2A) のコンペアマッチ
1	DCNT8I はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8I H'0000) オフセット付きワンショットパルス機能 : OCR2A のコンペアマッチ発生時 (DCNT8I H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8I H'0000)

ビット7：ダウンカウントスタート 8H (DST8H)

ダウンカウンタ 8H (DCNT8H) の動作開始を選択します。

ビット7	説明
DST8H	
0	DCNT8H のカウント停止 (初期値) [クリア条件] DCNT8H 値がアンダフローするタイミングおよび チャンネル 1 (GR1H または OCR1) のコンペアマッチ
1	DCNT8H はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8H H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1H のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8H H'0000)

ビット6：ダウンカウントスタート 8G (DST8G)

ダウンカウンタ 8G (DCNT8G) の動作開始を選択します。

ビット6	説明
DST8G	
0	DCNT8G のカウント停止 (初期値) [クリア条件] DCNT8G 値がアンダフローするタイミングおよび チャンネル 1 (GR1G または OCR1) のコンペアマッチ
1	DCNT8G はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8G H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1G のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8G H'0000)

11. アドバンスドタイマユニット-II (ATU-II)

ビット 5 : ダウンカウントスタート 8F (DST8F)

ダウンカウンタ 8F (DCNT8F) の動作開始を選択します。

ビット 5	説 明
DST8F	
0	DCNT8F のカウント停止 (初期値) [クリア条件] DCNT8F 値がアンダフローするタイミングおよび チャンネル 1 (GR1F または OCR1) のコンペアマッチ
1	DCNT8F はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8F H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1F のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8F H'0000)

ビット 4 : ダウンカウントスタート 8E (DST8E)

ダウンカウンタ 8E (DCNT8E) の動作開始を選択します。

ビット 4	説 明
DST8E	
0	DCNT8E のカウント停止 (初期値) [クリア条件] DCNT8E 値がアンダフローするタイミングおよび チャンネル 1 (GR1E または OCR1) のコンペアマッチ
1	DCNT8E はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8E H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1E のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8E H'0000)

ビット 3 : ダウンカウントスタート 8D (DST8D)

ダウンカウンタ 8D (DCNT8D) の動作開始を選択します。

ビット 3	説 明
DST8D	
0	DCNT8D のカウント停止 (初期値) [クリア条件] DCNT8D 値がアンダフローするタイミングおよび チャンネル 1 (GR1D または OCR1) のコンペアマッチ
1	DCNT8D はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8D H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1D のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8D H'0000)

ビット 2 : ダウンカウントスタート 8C (DST8C)

ダウンカウンタ 8C (DCNT8C) の動作開始を選択します。

ビット 2	説 明
DST8C	
0	DCNT8C のカウント停止 (初期値) [クリア条件] DCNT8C 値がアンダフローするタイミングおよび チャンネル 1 (GR1C または OCR1) のコンペアマッチ
1	DCNT8C はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8C H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1C のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8C H'0000)

11. アドバンスドタイマユニット-II (ATU-II)

ビット 1 : ダウンカウントスタート 8B (DST8B)

ダウンカウンタ 8B (DCNT8B) の動作開始を選択します。

ビット 1	説 明
DST8B	
0	DCNT8B のカウント停止 (初期値) [クリア条件] DCNT8B 値がアンダフローするタイミングおよび チャンネル 1 (GR1B または OCR1) のコンペアマッチ
1	DCNT8B はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8B H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1B のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8B H'0000)

ビット 0 : ダウンカウントスタート 8A (DST8A)

ダウンカウンタ 8A (DCNT8A) の動作開始を選択します。

ビット 0	説 明
DST8A	
0	DCNT8A のカウント停止 (初期値) [クリア条件] DCNT8A 値がアンダフローするタイミングおよび チャンネル 1 (GR1A または OCR1) のコンペアマッチ
1	DCNT8A はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8A H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1A のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8A H'0000)

11.2.12 タイマコネクションレジスタ (TCNR)

タイマコネクションレジスタ (TCNR) は 16 ビットのレジスタです。ATU-II には、チャンネル 8 に 1 本のレジスタがあります。

ビット:	15	14	13	12	11	10	9	8
	CN8P	CN8O	CN8N	CN8M	CN8L	CN8K	CN8J	CN8I
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	7	6	5	4	3	2	1	0
	CN8H	CN8G	CN8F	CN8E	CN8D	CN8C	CN8B	CN8A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマコネクションレジスタ (TCNR) は 16 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 8 のダウンカウントスタートレジスタ (DSTR) とチャンネル 1、2 のコンペアマッチ信号 (ダウンカウントスタートトリガ) との接続許可 / 禁止を設定します。チャンネル 1 のダウンカウントスタートトリガ A ~ H はチャンネル 1 の OCR1 のコンペアマッチ信号または GR1x のコンペアマッチ信号 (TRGMDR で設定) です。チャンネル 2 のダウンカウントスタートトリガ A ~ H はチャンネル 2 の OCR2x のコンペアマッチ信号です。

GR1x のコンペアマッチを使用する場合は、TIOR1A ~ D をコンペアマッチ可能に設定してください。

TCNR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

詳細は「11.3.5 ワンショットパルス機能」、および「11.3.6 オフセット付きワンショットパルス機能と出力遮断機能」を参照してください。

ビット 15 : コネクションフラグ 8P (CN8P)

DST8P とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 15	説明
CN8P	
0	DST8P とチャンネル 2 のダウンカウントスタートトリガ H との接続を禁止 (初期値)
1	DST8P とチャンネル 2 のダウンカウントスタートトリガ H との接続を許可

ビット 14 : コネクションフラグ 8O (CN8O)

DST8O とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 14	説明
CN8O	
0	DST8O とチャンネル 2 のダウンカウントスタートトリガ G との接続を禁止 (初期値)
1	DST8O とチャンネル 2 のダウンカウントスタートトリガ G との接続を許可

11. アドバンスドタイムユニット-II (ATU-II)

ビット 13 : コネクションフラグ 8N (CN8N)

DST8N とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 13	説 明
CN8N	
0	DST8N とチャンネル 2 のダウンカウントスタートトリガ F との接続を禁止 (初期値)
1	DST8N とチャンネル 2 のダウンカウントスタートトリガ F との接続を許可

ビット 12 : コネクションフラグ 8M (CN8M)

DST8M とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 12	説 明
CN8M	
0	DST8M とチャンネル 2 のダウンカウントスタートトリガ E との接続を禁止 (初期値)
1	DST8M とチャンネル 2 のダウンカウントスタートトリガ E との接続を許可

ビット 11 : コネクションフラグ 8L (CN8L)

DST8L とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 11	説 明
CN8L	
0	DST8L とチャンネル 2 のダウンカウントスタートトリガ D との接続を禁止 (初期値)
1	DST8L とチャンネル 2 のダウンカウントスタートトリガ D との接続を許可

ビット 10 : コネクションフラグ 8K (CN8K)

DST8K とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 10	説 明
CN8K	
0	DST8K とチャンネル 2 のダウンカウントスタートトリガ C との接続を禁止 (初期値)
1	DST8K とチャンネル 2 のダウンカウントスタートトリガ C との接続を許可

ビット 9 : コネクションフラグ 8J (CN8J)

DST8J とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 9	説 明
CN8J	
0	DST8J とチャンネル 2 のダウンカウントスタートトリガ B との接続を禁止 (初期値)
1	DST8J とチャンネル 2 のダウンカウントスタートトリガ B との接続を許可

ビット 8 : コネクションフラグ 8I (CN8I)

DST8I とチャンネル 2 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 8 CN8I	説 明
0	DST8I とチャンネル 2 のダウンカウントスタートトリガ A との接続を禁止 (初期値)
1	DST8I とチャンネル 2 のダウンカウントスタートトリガ A との接続を許可

ビット 7 : コネクションフラグ 8H (CN8H)

DST8H とチャンネル 1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 7 CN8H	説 明
0	DST8H とチャンネル 1 のダウンカウントスタートトリガ H との接続を禁止 (初期値)
1	DST8H とチャンネル 1 のダウンカウントスタートトリガ H との接続を許可

ビット 6 : コネクションフラグ 8G (CN8G)

DST8G とチャンネル 1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 6 CN8G	説 明
0	DST8G とチャンネル 1 のダウンカウントスタートトリガ G との接続を禁止 (初期値)
1	DST8G とチャンネル 1 のダウンカウントスタートトリガ G との接続を許可

ビット 5 : コネクションフラグ 8F (CN8F)

DST8F とチャンネル 1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 5 CN8F	説 明
0	DST8F とチャンネル 1 のダウンカウントスタートトリガ F との接続を禁止 (初期値)
1	DST8F とチャンネル 1 のダウンカウントスタートトリガ F との接続を許可

ビット 4 : コネクションフラグ 8E (CN8E)

DST8E とチャンネル 1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット 4 CN8E	説 明
0	DST8E とチャンネル 1 のダウンカウントスタートトリガ E との接続を禁止 (初期値)
1	DST8E とチャンネル 1 のダウンカウントスタートトリガ E との接続を許可

11. アドバンスタイマユニット-II (ATU-II)

ビット3：コネクションフラグ 8D (CN8D)

DST8D とチャンネル1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット3 CN8D	説 明
0	DST8D とチャンネル1 のダウンカウントスタートトリガ D との接続を禁止 (初期値)
1	DST8D とチャンネル1 のダウンカウントスタートトリガ D との接続を許可

ビット2：コネクションフラグ 8C (CN8C)

DST8C とチャンネル1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット2 CN8C	説 明
0	DST8C とチャンネル1 のダウンカウントスタートトリガ C との接続を禁止 (初期値)
1	DST8C とチャンネル1 のダウンカウントスタートトリガ C との接続を許可

ビット1：コネクションフラグ 8B (CN8B)

DST8B とチャンネル1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット1 CN8B	説 明
0	DST8B とチャンネル1 のダウンカウントスタートトリガ B との接続を禁止 (初期値)
1	DST8B とチャンネル1 のダウンカウントスタートトリガ B との接続を許可

ビット0：コネクションフラグ 8A (CN8A)

DST8A とチャンネル1 のダウンカウントスタートトリガとの接続許可 / 禁止を選択します。

ビット0 CN8A	説 明
0	DST8A とチャンネル1 のダウンカウントスタートトリガ A との接続を禁止 (初期値)
1	DST8A とチャンネル1 のダウンカウントスタートトリガ A との接続を許可

11.2.13 ワンショットパルスターミネートレジスタ (OTR)

ワンショットパルスターミネートレジスタ (OTR) は 16 ビットのレジスタです。ATU-II には、チャンネル 8 に 1 本のレジスタがあります。

ビット:	15	14	13	12	11	10	9	8
	OTEP	OTEO	OTEN	OTEM	OTEL	OTEK	OTEJ	OTEI
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	OTEH	OTEG	OTEF	OTEE	OTED	OTEC	OTEB	OTEA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ワンショットパルスターミネートレジスタ (OTR) は 16 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 1、2 のコンペアマッチ信号によりチャンネル 8 のワンショットパルス強制終了を許可 / 禁止するかを設定します。ワンショットパルスを強制終了した場合、対応する DSTR のビットおよびダウンカウンタがクリアされます。また、対応する TSR8 のビットがセットされます。チャンネル 1 のワンショットパルスターミネート信号は GR1A ~ H のコンペアマッチおよび OCR1 のコンペアマッチにより発生します (TRGMDR を参照ください)。チャンネル 2 のワンショットパルスターミネート信号は GR2A ~ H のコンペアマッチにより発生します。GR1A ~ H、GR2A ~ H でターミネート信号を発生させるには、それぞれ TIOR1A ~ D、TIOR2A ~ D でコンペアマッチを選択してください。

OTR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

ビット 15 : ワンショットパルスターミネートイネーブル P (OTEP)

チャンネル 2 のダウンカウンタターミネートトリガ H で出力の強制終了許可 / 禁止を選択します。

ビット 15	説明
OTEP	
0	TO8P をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8P をダウンカウンタターミネートトリガによる強制終了を許可

ビット 14 : ワンショットパルスターミネートイネーブル O (OTEO)

チャンネル 2 のダウンカウンタターミネートトリガ G で出力の強制終了許可 / 禁止を選択します。

ビット 14	説明
OTEO	
0	TO8O をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8O をダウンカウンタターミネートトリガによる強制終了を許可

11. アドバンスドタイムユニット-II (ATU-II)

ビット 13 : ワンショットパルスターミネートイネーブル N (OTEN)

チャンネル 2 のダウンカウンタターミネートトリガ F で出力の強制終了許可 / 禁止を選択します。

ビット 13	説 明
OTEN	
0	TO8N をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8N をダウンカウンタターミネートトリガによる強制終了を許可

ビット 12 : ワンショットパルスターミネートイネーブル M (OTEM)

チャンネル 2 のダウンカウンタターミネートトリガ E で出力の強制終了許可 / 禁止を選択します。

ビット 12	説 明
OTEM	
0	TO8M をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8M をダウンカウンタターミネートトリガによる強制終了を許可

ビット 11 : ワンショットパルスターミネートイネーブル L (OTEL)

チャンネル 2 のダウンカウンタターミネートトリガ D で出力の強制終了許可 / 禁止を選択します。

ビット 11	説 明
OTEL	
0	TO8L をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8L をダウンカウンタターミネートトリガによる強制終了を許可

ビット 10 : ワンショットパルスターミネートイネーブル K (OTEK)

チャンネル 2 のダウンカウンタターミネートトリガ C で出力の強制終了許可 / 禁止を選択します。

ビット 10	説 明
OTEK	
0	TO8K をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8K をダウンカウンタターミネートトリガによる強制終了を許可

ビット 9 : ワンショットパルスターミネートイネーブル J (OTEJ)

チャンネル 2 のダウンカウンタターミネートトリガ B で出力の強制終了許可 / 禁止を選択します。

ビット 9	説 明
OTEJ	
0	TO8J をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8J をダウンカウンタターミネートトリガによる強制終了を許可

ビット8：ワンショットパルスターミネートイネーブルI (OTEI)

チャンネル2のダウンカウンタターミネートトリガAで出力の強制終了許可/禁止を選択します。

ビット8	説明
OTEI	
0	TO8Iをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Iをダウンカウンタターミネートトリガによる強制終了を許可

ビット7：ワンショットパルスターミネートイネーブルH (OTEH)

チャンネル1のダウンカウンタターミネートトリガHで出力の強制終了許可/禁止を選択します。

ビット7	説明
OTEH	
0	TO8Hをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Hをダウンカウンタターミネートトリガによる強制終了を許可

ビット6：ワンショットパルスターミネートイネーブルG (OTEG)

チャンネル1のダウンカウンタターミネートトリガGで出力の強制終了許可/禁止を選択します。

ビット6	説明
OTEG	
0	TO8Gをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Gをダウンカウンタターミネートトリガによる強制終了を許可

ビット5：ワンショットパルスターミネートイネーブルF (OTEF)

チャンネル1のダウンカウンタターミネートトリガFで出力の強制終了許可/禁止を選択します。

ビット5	説明
OTEF	
0	TO8Fをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Fをダウンカウンタターミネートトリガによる強制終了を許可

ビット4：ワンショットパルスターミネートイネーブルE (OTEE)

チャンネル1のダウンカウンタターミネートトリガEで出力の強制終了許可/禁止を選択します。

ビット4	説明
OTEE	
0	TO8Eをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Eをダウンカウンタターミネートトリガによる強制終了を許可

11. アドバンスドタイムユニット-II (ATU-II)

ビット3：ワンショットパルスターミネートイネーブルD (OTED)

チャンネル1のダウンカウンタターミネートトリガDで出力の強制終了許可/禁止を選択します。

ビット3	説明
OTED	
0	TO8Dをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Dをダウンカウンタターミネートトリガによる強制終了を許可

ビット2：ワンショットパルスターミネートイネーブルC (OTEC)

チャンネル1のダウンカウンタターミネートトリガCで出力の強制終了許可/禁止を選択します。

ビット2	説明
OTEC	
0	TO8Cをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Cをダウンカウンタターミネートトリガによる強制終了を許可

ビット1：ワンショットパルスターミネートイネーブルB (OTEB)

チャンネル1のダウンカウンタターミネートトリガBで出力の強制終了許可/禁止を選択します。

ビット1	説明
OTEB	
0	TO8Bをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Bをダウンカウンタターミネートトリガによる強制終了を許可

ビット0：ワンショットパルスターミネートイネーブルA (OTEA)

チャンネル1のダウンカウンタターミネートトリガAで出力の強制終了許可/禁止を選択します。

ビット0	説明
OTEA	
0	TO8Aをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Aをダウンカウンタターミネートトリガによる強制終了を許可

11.2.14 リロードイネーブルレジスタ (RLDENR)

リロードイネーブルレジスタ (RLDENR) は 8 ビットのレジスタです。ATU-II には、チャンネル 8 に 1 本のレジスタがあります。

ビット:	7	6	5	4	3	2	1	0
	RLDEN							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

RLDENR は 8 ビットの読み出し / 書き込み可能なレジスタで、リロードレジスタ 8 (RLDR8) の値をダウンカウンタ (DCNT8I~P) へロードの許可 / 禁止を選択します。ロードはチャンネル 2 のコンペアマッチ信号のワンショットパルススタートトリガ発生で行います。ただし、チャンネル 2 と連結せず (ワンショットパルス機能) 使用した場合、およびダウンカウンタ (DCNT8I~P) がダウンカウント中はリロードは実行されません。

RLDENR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7: リロードイネーブル (RLDEN)

RLDR の値を DCNT8I~P へロードする許可 / 禁止を選択します。

ビット 7	説明
RLDEN	
0	リロードレジスタの値をダウンカウンタへロード禁止 (初期値)
1	リロードレジスタの値をダウンカウンタへロード許可

ビット 6~0: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.2.15 フリーランニングカウンタ (TCNT)

フリーランニングカウンタ (TCNT) は 32 ビットまたは 16 ビットのアップカウンタです。ATU-II には、チャンネル 0 に 32 ビットの TCNT を 1 本、チャンネル 1~7、11 に 16 ビットの TCNT を 16 本、計 17 本の TCNT があります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
0	TCNT0H、TCNT0L	32 ビットのアップカウンタ (初期値 H'00000000)
1	TCNT1A、TCNT1B	16 ビットのアップカウンタ (初期値 H'0000)
2	TCNT2A、TCNT2B	
3	TCNT3	
4	TCNT4	
5	TCNT5	
6	TCNT6A~D	
7	TCNT7A~D	16 ビットのアップカウンタ (初期値 H'0001)
11	TCNT11	16 ビットのアップカウンタ (初期値 H'0000)

(1) フリーランニングカウンタ 0H、L (TCNT0H、TCNT0L)

フリーランニングカウンタ 0H、L (TCNT0H、TCNT0L) は 32 ビットの読み出し/書き込み可能なレジスタで入力したクロックによりカウント動作を行います。タイムスタートレジスタ (TSTR1) の対応するビットを 1 にセットするとカウントを開始します。入力するクロックはプリスケールレジスタ 1 (PSCR1) により選択します。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

TCNT0 がオーバーフロー (H'FFFFFFF H'00000000) すると、タイムステータスレジスタ (TSR0) のオーバーフローフラグ (OVF0) が 1 にセットされます。

TCNT0 はロングワード単位でのみ読み出し/書き込みが可能です。ワード単位での読み出し/書き込みは行わないでください。

TCNT0 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00000000 に初期化されます。

(2) フリーランニングカウンタ 1A、1B、2A、2B、3~5、11 (TCNT1A、1B、2A、2B、3~5、11)

フリーランニングカウンタ 1A、1B、2A、2B、3~5、11 (TCNT1A、1B、2A、2B、3~5、11) は 16 ビットの読み出し / 書き込み可能なレジスタで入力したクロックによりカウント動作を行います。タイマスタートレジスタ (TSTR1、3) の対応するビットを 1 にセットするとカウントを開始します。入力するクロックはプリスケアラレジスタ 1 (PSCR1)、タイマコントロールレジスタ (TCR) により選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT1A、1B、2A、2B はチャンネル 10 からのカウンタクリアトリガが入力中にカウントアップするときカウンタクリアします。

TCNT3~5 は TIOR の設定により、対応する GR とのコンペアマッチで、カウンタクリアします。

TCNT1A、1B、2A、2B、3~5、11 がオーバフロー (H'FFFF H'0000) するとタイマステータスレジスタ (TSR) の対応するチャンネルのオーバフローフラグ (OVF) が 1 にセットされます。

TCNT1A、1B、2A、2B、3~5、11 はワード単位でのみ読み出し / 書き込みが可能です。

TCNT1A、1B、2A、2B、3~5、11 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

TCNT1A、1B、2A、2B、3~5 は外部クロック入力 (TCLKA、TCLKB) によりカウントが可能です。

TCNT1A、1B、2A、2B、3~5 はチャンネル 10 で生成した外部入力 (TI10) (AGCK) およびチャンネル 10 の通倍クロック (AGCKM) によりカウントが可能です。

(3) フリーランニングカウンタ 6A~D、7A~D (TCNT6A~D、7A~D)

フリーランニングカウンタ 6A~D、7A~D (TCNT6A~D、7A~D) は 16 ビットの読み出し / 書き込み可能なレジスタでチャンネル 6、7 はタイマスタートレジスタ (TSTR2) によりカウント開始します。

チャンネル 6、7 へ入力するクロックはプリスケアラレジスタ 2、3 (PSCR2、3)、タイマコントロールレジスタ 6、7 (TCR6、7) により選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT6A~D (非相補 PWM 時) および TCNT7A~D はサイクルレジスタ (CYLR) とコンペアマッチしたとき、カウンタクリアします。

TCNT6A~D (相補 PWM 時) はゼロとサイクルレジスタ値の範囲でカウントアップとダウンを行います。

TCNT6A~D、7A~D は CPU と内部 16 ビットバスで接続されており、ワード単位でのみ読み出し / 書き込みが可能です。

TCNT6A~D、7A~D はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0001 に初期化されます。

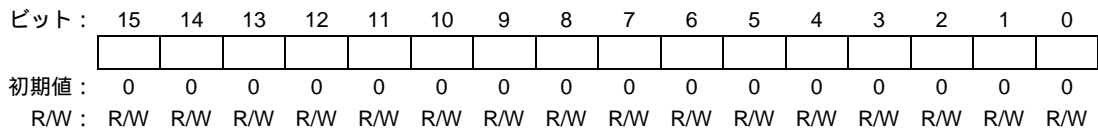
11.2.16 ダウンカウンタ (DCNT)

ダウンカウンタ (DCNT) は 16 ビットのダウンカウンタです。ATU-II には、チャンネル 8 に 16 本のレジスタがあります。

チャンネル	略 称	機 能
8	DCNT8A、DCNT8B DCNT8C、DCNT8D DCNT8E、DCNT8F DCNT8G、DCNT8H DCNT8I、DCNT8J DCNT8K、DCNT8L DCNT8M、DCNT8N DCNT8O、DCNT8P	16 ビットのダウンカウンタ

(1) ダウンカウンタ 8A ~ P (DCNT8A ~ P)

ダウンカウンタ 8A ~ 8P (DCNT8A ~ P) は 16 ビットの読み出し / 書き込み可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックはプリスケールレジスタ 1 (PSCR1)、タイマコントロールレジスタ (TCR) により選択します。



DCNT8x がワンショットパルス機能のときは、DCNT8x の値を設定した後ユーザプログラムにより DSTR を 1 にセットすることによりダウンカウントを開始します。DCNT8x の値がアンダフローするタイミングで、DSTR と DCNT8x が自動的に 0 にクリアされてカウント動作を終了します。同時に、対応するチャンネル 8 のタイマステータスレジスタ 8 (TSR8) のステータスフラグが 1 にセットされます。

DCNT がオフセット付きワンショットパルス機能のときは、タイマコンexionレジスタ (TCNR) が 1 の状態でチャンネル 1、2 のジェネラルレジスタ (GR)、アウトプットコンペアレジスタ (OCR) とのコンペアマッチ (コンペアマッチの設定はトリガモードレジスタ (TRGMDR) で設定 (チャンネル 1 のみ対応)) で、自動的に対応するダウンカウンタスタートレジスタ (DSTR) のビットが 1 にセットされてダウンカウント動作を開始します。ダウンカウントの終了は、DCNT8x の値がアンダフローするタイミングで DSTR と DCNT8x が自動的に 0 にクリアされて、カウント動作終了と共に出力を反転します。または、ワンショットターミネートレジスタ (OTR) がトリガにより出力を強制終了と設定されている場合はチャンネル 1、2 の GR、OCR でコンペアマッチ発生により DSTR を 0 にクリアして、カウント動作終了すると共に出力を反転します。いずれか早い方で出力が反転します。また出力が反転すると同時に、対応するチャンネル 8 の TSR8 のステータスフラグが 1 にセットされます。

DCNT8x はワード単位でのみ読み出し / 書き込みが可能です。

DCNT8x はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

詳しくは、「11.3.5 ワンショットパルス機能」、および「11.3.6 オフセット付きワンショットパルス機能と出力遮断機能」を参照してください。

11.2.17 イベントカウンタ (ECNT)

イベントカウンタ (ECNT) は 8 ビットのアップカウンタです。ATU-II には、チャンネル 9 に 6 本の ECNT があります。

チャンネル	略 称	機 能
9	ECNT9A、ECNT9B ECNT9C、ECNT9D ECNT9E、ECNT9F	8 ビットのイベントカウンタ

ECNT は 8 ビットの読み出し / 書き込み可能なレジスタで、TI9A ~ F の入力端子からの入力信号のエッジを検出してカウント動作を行います。エッジ検出は立ち上がり、立ち下がり、立ち上がり / 立ち下がり両エッジ選択可能です。

ビット:	7	6	5	4	3	2	1	0
	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ECNT9x が対応する GR9 とコンペアマッチを発生するとタイマステータスレジスタ (TSR9) のコンペアマッチフラグ (CMF9) が 1 にセットされます。このとき自動的に ECNT9x はカウンタクリアされます。

ECNT9x はバイト単位でのみ読み出し / 書き込みが可能です。

ECNT9x はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

11. アドバンスタイマユニット-II (ATU-II)

11.2.18 アウトプットコンペアレジスタ (OCR)

アウトプットコンペアレジスタ (OCR) は 16 ビットのレジスタで、ATU-II には、チャンネル 1 に 1 本、チャンネル 2 に 8 本、計 9 本のレジスタがあります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
1	OCR1	アウトプットコンペアレジスタ
2	OCR2A、OCR2B OCR2C、OCR2D OCR2E、OCR2F OCR2G、OCR2H	

(1) アウトプットコンペアレジスタ 1、2A~H (OCR1、OCR2A~H)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCR は 16 ビットの読み出し / 書き込み可能なレジスタで、アウトプットコンペアレジスタの機能を持っています。

OCR の値とフリーランニングカウンタ (TCNT1B、2B) の値は常に比較されています。両者の値が一致すると、タイマステータスレジスタ (TSR) の CMF ビットが 1 にセットされます。同時にタイマコネクションレジスタ (TCNR) でチャンネル 1、2 とチャンネル 8 を連結した場合は対応するチャンネル 8 のダウンカウンタ (DCNT) のダウンカウントを開始します。

OCR はワード単位でのみ読み出し / 書き込みが可能です。

OCR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

11.2.19 インพุットキャプチャレジスタ (ICR)

インพุットキャプチャレジスタ (ICR) は 32 ビットのレジスタで、ATU-II には、チャンネル 0 に 32 ビットのレジスタが 4 本あります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
0	ICR0AH、ICR0AL ICR0BH、ICR0BL ICR0CH、ICR0CL ICR0DH、ICR0DL	インพุットキャプチャ専用レジスタ

(1) インพุットキャプチャレジスタ 0AH、L~DH、L (ICR0AH、ICR0AL~ICR0DH、ICR0DL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICR は 32 ビットの読み出し可能なレジスタで、インพุットキャプチャ専用レジスタです。

インพุットキャプチャ専用レジスタは、外部からのインพุットキャプチャ信号を検出して、TCNT0 の値を格納します。このとき対応する TSR0 のビットが 1 にセットされます。インพุットキャプチャ信号の検出エッジはタイマ I/O コントロールレジスタ (TIOR) の TIOR0 により設定します。ICR0DH、ICR0DL は、TCR10 の TRG0DEN ビットを設定することで、TCNT10B と OCR10B のコンペアマッチによるインพุットキャプチャも行えます。

ICR はロングワード単位でのみ読み出しが可能です。ワード単位での読み出しは行わないでください。

ICR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00000000 に初期化されます。

11.2.20 ジェネラルレジスタ (GR)

ジェネラルレジスタ (GR) は 16 ビットのレジスタで、ATU-II には、チャンネル 1、2 に各 8 本、チャンネル 3~5 に各 4 本、チャンネル 9 に 6 本、チャンネル 11 に 2 本、計 36 本のレジスタがあります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
1	GR1A ~ GR1H	インプットキャプチャ、アウトプットコンペア兼用レジスタ
2	GR2A ~ GR2H	
3	GR3A ~ GR3D	
4	GR4A ~ GR4D	
5	GR5A ~ GR5D	
9	GR9A ~ GR9F	アウトプットコンペア用レジスタ
11	GR11A, GR11B	インプットキャプチャ、アウトプットコンペア兼用レジスタ

(1) ジェネラルレジスタ 1A~H、2A~H (GR1A~H、GR2A~H)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 16 ビットの読み出し / 書き込み可能なレジスタで、インプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。機能の切り替えはタイマ I/O コントロールレジスタ (TIOR) により行います。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNT1A、TCNT2A の値を格納します。このとき対応する TSR の IMF ビットが 1 にセットされます。インプットキャプチャ信号の検出エッジは対応する TIOR により設定します。

アウトプットコンペアレジスタとして使用しているときは、GR の値とフリーランニングカウンタ (TCNT1A、TCNT2A) の値は常に比較されています。両者の値が一致すると、タイマステータスレジスタ (TSR) の IMF ビットが 1 にセットされます。同時にタイマコネクションレジスタ (TCNR) でチャンネル 1、2 とチャンネル 8 を連結した場合は、対応するチャンネル 8 のダウンカウンタ (DCNT) のダウンカウントを開始します。コンペアマッチ出力は対応する TIOR により設定します。

GR はワード単位でのみ読み出し / 書き込みが可能です。

GR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に 0xFFFF に初期化されます。

- (2) ジェネラルレジスタ 3A~D、4A~D、5A~D、11A、B (GR3A~D、GR4A~D、GR5A~D、GR11A、B)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 16 ビットの読み出し / 書き込み可能なレジスタで、インプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。機能の切り替えはタイマ I/O コントロールレジスタ (TIOR) より行います。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、対応する TCNT の値を格納します。このとき対応する TSR の IMF ビットが 1 にセットされます。インプットキャプチャ信号の検出エッジは対応する TIOR により設定します。また、GR3A~D はチャンネル 9 のコンペアマッチをトリガとしてインプットキャプチャが行えます。このとき対応する TSR の IMF ビットはセットされません。

アウトプットコンペアレジスタとして使用しているときは、GR の値とフリーランニングカウンタ (TCNT) の値は常に比較されています。両者の値が一致すると、タイムステータスレジスタ (TSR) の IMF ビットが 1 にセットされます。コンペアマッチ出力は対応する TIOR により設定します。

また、GR11A、B のコンペアマッチ信号をアドバンスパルスコントローラ (APC) に送信します。詳しくは、「第 12 章 アドバンスパルスコントローラ (APC)」を参照してください。

GR はワード単位でのみ読み出し / 書き込みが可能です。

GR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

- (3) ジェネラルレジスタ 9A~9F (GR9A~GR9F)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 8 ビットの読み出し / 書き込み可能なレジスタで、コンペアマッチレジスタの機能を持っています。

本レジスタは常にイベントカウンタ (ECNT) と比較されており、両者が一致するとコンペアマッチ信号が発生し、次のエッジが入力されると対応する TSR の CMF ビットが 1 にセットされます。

また、GR9A~D のコンペアマッチにより、チャンネル 3 (GR3A~D) のインプットキャプチャを発生することができます。本機能はタイマコントロールレジスタ (TCR) の TRG3xEN により設定します。

GR はバイト単位でのみ読み出し / 書き込みが可能です。

GR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FF に初期化されます。

11. アドバンスタイマユニット-II (ATU-II)

11.2.21 オフセットベースレジスタ (OSBR)

オフセットベースレジスタ (OSBR) は 16 ビットのレジスタです。ATU-II には、チャンネル 1、2 に各 1 本のレジスタがあります。

チャンネル	略 称	機 能
1	OSBR1	チャンネル 0 の ICR0A からの信号を入力トリガとしたインプットキャプチャ専用レジスタ
2	OSBR2	

(1) オフセットベースレジスタ 1、2 (OSBR1、2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

OSBR1、2 は 16 ビットの読み出し可能なレジスタで、インプットキャプチャ専用レジスタです。OSBR1、2 はチャンネル 0 のインプットキャプチャレジスタ (ICR0A) の入力をトリガ信号とし、エッジを検出すると TCNT1A、2A の値を格納します。

OSBR はワード単位のみ読み出しが可能です。

OSBR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に、H'0000 に初期化されます。

詳しくは、「11.3.8 ツインキャプチャ機能」を参照してください。

11.2.22 サイクルレジスタ (CYLR)

サイクルレジスタ (CYLR) は 16 ビットのレジスタです。ATU-II には、チャンネル 6、7 に各 4 本、計 8 本のレジスタがあります。

チャンネル	略 称	機 能
6	CYLR6A~D	16 ビット PWM 用サイクルレジスタ
7	CYLR7A~D	

(1) サイクルレジスタ (CYLR6A~D、CYLR7A~D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CYLR は 16 ビットの読み出し / 書き込み可能なレジスタで、PWM の周期格納レジスタです。

CYLR の値と対応するフリーランニングカウンタ (TCNT6A~D、TCNT7A~D) の値は常に比較されています。両者の値が一致すると、対応するタイムステータスレジスタ (TSR) の CMF6A~D、CMF7A~D ビットが 1 にセットされ、TCNT6A~D、TCNT7A~D はクリアされます。同時にバッファレジスタ (BFR) の値はデューティレジスタ (DTR) に転送されます。また、対応するチャンネルの出力端子 (TO6A~D、TO7A~D) は、BFR の値が H'0000 の場合は 0 出力、それ以外の場合は 1 出力になります。

CYLR はワード単位でのみ読み出し / 書き込みが可能です。

CYLR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

CYLR、BFR、DTR については、「11.3.9 PWM タイマ機能」を参照してください。

11.2.23 バッファレジスタ (BFR)

バッファレジスタ (BFR) は 16 ビットのレジスタです。ATU-II には、チャンネル 6、7 に各 4 本、計 8 本のレジスタがあります。

チャンネル	略 称	機 能
6	BFR6A~D	16 ビット PWM 用バッファレジスタ 対応するサイクルレジスタ (CYLR) のコンペアマッチにより バッファレジスタ (BFR) の値をデューティレジスタ (DTR) に転送
7	BFR7A~D	

(1) バッファレジスタ (BFR6A~D、BFR7A~D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BFR は、16 ビットの読み出し / 書き込み可能なレジスタで、サイクルレジスタ (CYLR) のコンペアマッチ時にデューティレジスタ (DTR) に転送する値をバッファに格納しておきます。

BFR はワード単位でのみ読み出し / 書き込みが可能です。

BFR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

11.2.24 デューティレジスタ (DTR)

デューティレジスタ (DTR) は 16 ビットのレジスタです。ATU-II には、チャンネル 6、7 に各 4 本、計 8 本のレジスタがあります。

チャンネル	略 称	機 能
6	DTR6A~D	16 ビット PWM 用デューティレジスタ
7	DTR7A~D	

(1) デューティレジスタ (DTR6A~D、7A~D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTR は 16 ビットの読み出し / 書き込み可能なレジスタで、PWM のデューティ格納レジスタです。DTR の値と対応するフリーランニングカウンタ (TCNT6A~D、TCNT7A~D) の値は常に比較されています。両者の値が一致すると、対応するチャンネルの出力端子 (TO6A~D、TO7A~D) は 0 出力になります。

また、CYLR と対応するフリーランニングカウンタが一致すると、対応する BFR の値がロードされます。DTR は 0~CYLR の範囲の値を設定し、CYLR より大きい値は設定しないでください。

11. アドバンスタイマユニット-II (ATU-II)

DTR はワード単位でのみ読み出し / 書き込みが可能です。

DTR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

11.2.25 リロードレジスタ (RLDR)

リロードレジスタ (RLDR) は 16 ビットのレジスタです。ATU-II には、チャンネル 8 に 1 本のレジスタがあります。

(1) リロードレジスタ 8 (RLDR8)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RLDR8 は、16 ビットの読み出し / 書き込み可能なレジスタです。リロード有効時 (RLDENR にて設定) に、チャンネル 2 のコンペアマッチ信号のワンショットパルススタートトリガにより DSTR8I ~ P が 1 にセットされると、リロードレジスタの値を DCNT8I ~ P に転送後ダウンカウントを開始します。チャンネル 2 と接続せずワンショットパルス機能単独で使用了場合、およびダウンカウンタ DCNT8I ~ P がダウンカウント中の場合は、リロードレジスタの値の転送は行われません。

RLDR8 はワード単位でのみ読み出し / 書き込みが可能です。

RLDR8 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

11.2.26 チャンネル 10 のレジスタ

(1) カウンタ (TCNT)

チャンネル 10 には 32 ビットの TCNT が 1 本、16 ビットの TCNT が 4 本、8 ビットの TCNT が 2 本、計 7 本の TCNT があります。

入力するクロックはプリスケアラレジスタ 4 (PSCR4) により選択します。

タイマスタートレジスタ 1 (TSTR1) の STR10 を 1 にセットすることでカウント動作を行います。

チャンネル	略 称	機 能
10	TCNT10AH、AL	32 ビットのフリーランニングカウンタ (初期値 H'00000001)
	TCNT10B	8 ビットのイベントカウンタ (初期値 H'00)
	TCNT10C	16 ビットのリロードカウンタ (初期値 H'0001)
	TCNT10D	8 ビットの補正カウンタ (初期値 H'00)
	TCNT10E	16 ビットの補正カウンタ (初期値 H'0000)
	TCNT10F	16 ビットの補正カウンタ (初期値 H'0001)
	TCNT10G	16 ビットのフリーランニングカウンタ (初期値 H'0000)

(a) フリーランニングカウンタ 10AH、AL (TCNT10AH、TCNT10AL)

フリーランニングカウンタ 10AH、AL (TCNT10AH、TCNT10AL) は 32 ビットの読み出し / 書き込み可能なレジスタで、入力したクロックによりカウント動作を行います。また、インプットキャプチャ入力 (TI10) (AGCK) のタイミングで初期値にクリアされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10A はロングワード単位でのみ読み出し / 書き込みが可能です。ワード単位での読み出し / 書き込みは行わないでください。

TCNT10A はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00000001 に初期化されます。

(b) イベントカウンタ 10B (TCNT10B)

イベントカウンタ 10B (TCNT10B) は 8 ビットの読み出し / 書き込み可能なレジスタで外部クロック入力 (TI10) (AGCK) でカウント動作を行います。このとき、TCR10 の CKEG1、0 で TI10 の入力を設定してください。また、TSTR1 の STR10 ビットが、カウント動作停止に設定されていても、TI10 入力があるとカウントされます。

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10B はバイト単位でのみ読み出し / 書き込みが可能です。

TCNT10B はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

(c) リロードカウンタ 10C (TCNT10C)

リロードカウンタ 10C (TCNT10C) は 16 ビットの読み出し / 書き込み可能なレジスタです。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10C はダウンカウント動作で TCNT10C = H'0001 のとき、リロードレジスタ (RLD10C) の値を TCNT10C に転送し、倍周クロック (AGCK1) を生成します。

TCNT10C は CPU と内部 16 ビットバスで接続されており、ワード単位でのみ読み出し / 書き込みが可能です。

11. アドバンスタイマユニット-II (ATU-II)

TCNT10C はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0001 に初期化されます。

(d) 補正カウンタ 10D (TCNT10D)

補正カウンタ 10D (TCNT10D) は 8 ビットの読み出し / 書き込み可能なレジスタで、外部クロック入力 (TI10) により、カウンタ値を補正カウンタ E (TCNT10E) に転送後、カウント動作を行います。このとき、TCR10 の CKEG1、0 により TI10 の入力が可能な設定にしてください。また、TSTR1 の STR10 ビットがカウンタ動作に設定されていなければ TI10 入力があっても転送およびカウントは行いません。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

本カウンタの値はタイマ I/O コントロールレジスタ 10 (TIOR10) の PIM1、0 で設定した逓倍率に従い、外部クロック入力 (TI10) (AGCK) のタイミングで逓倍された値が補正カウンタ E (TCNT10E) に転送されます。

TCNT10D はバイト単位でのみ読み出し / 書き込みが可能です。

TCNT10D はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

(e) 補正カウンタ 10E (TCNT10E)

補正カウンタ 10E (TCNT10E) は 16 ビットの読み出し / 書き込み可能なレジスタで、TCNT10E は外部入力 (TI10) のタイミングで TCNT10D のシフト値をロードします。リロードカウンタ 10C (TCNT10C) が出力する倍周クロック (AGCK1) でカウント動作を行います。ただし、タイマ I/O コントロールレジスタ 10 (TIOR10) の CCS ビットが 1 の場合は TCNT10D の逓倍された値に達すると、カウント動作を停止します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10E はワード単位でのみ読み出し / 書き込みが可能です。

TCNT10E はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

(f) 補正カウンタ 10F (TCNT10F)

補正カウンタ 10F (TCNT10F) は 16 ビットの読み出し / 書き込み可能なレジスタで、TSTR1 の STR10 ビットがカウンタ動作に設定してあるとき、補正カウンタ 10E (TCNT10E) よりもカウンタ値が小さい場合に P クロックサイクルでカウントアップ動作を行います。ただし、補正カウンタクリアレジスタ (TCCLR10) との一致でカウント動作を停止します。また、TCNT10D=H'00 のときに TH10 が入力されると TCNT10F は初期化され、補正動作を行います。TCNT10F=TCCLR10 のときは、TCNT10F は H'0001 にクリアされます。TCNT10F TCCLR10 のときは、TCNT10F は TCCLR10 の値まで自動的にカウントアップし、H'0001 にクリアされます。

なお、本カウンタのカウントアップごとに補正後の補正クロック (AGCKM) を出力します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10F はワード単位でのみ読み出し / 書き込みが可能です。

TCNT10F はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0001 に初期化されます。

(g) フリーランニングカウンタ 10G (TCNT10G)

フリーランニングカウンタ 10G (TCNT10G) は 16 ビットの読み出し / 書き込み可能なレジスタで、倍周クロック (AGCK1) でカウントアップ動作を行います。また、外部入力 (TH10) (AGCK) の入力により H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10G はワード単位でのみ読み出し / 書き込みが可能です。

TCNT10G はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

11. アドバンスタイマユニット-II (ATU-II)

(2) レジスタ

チャンネル 10 には 32 ビットの ICR、OCR が各 1 本、16 ビットの GR、RLD、TCCLR が各 1 本、8 ビットの OCR が 1 本、計 6 本のレジスタがあります。

チャンネル	略 称	機 能
10	ICR10AH、AL	32 ビットのインプットキャプチャレジスタ (初期値 H'00000000)
	OCR10AH、AL	32 ビットのアウトプットコンペアレジスタ (初期値 H'FFFFFFF)
	OCR10B	8 ビットのアウトプットコンペアレジスタ (初期値 H'FF)
	RLD10C	16 ビットのリロードレジスタ (初期値 H'0000)
	GR10G	16 ビットのジェネラルレジスタ (初期値 H'FFFF)
	TCCLR10	16 ビットの補正カウンタクリアレジスタ (初期値 H'0000)

(a) インプットキャプチャレジスタ 10AH、AL (ICR10AH、ICR10AL)

インプットキャプチャレジスタ 10AH、AL (ICR10AH、ICR10AL) は 32 ビットの読み出し専用レジスタで、外部入力 (TI10) (AGCK) で TCNT10AH、AL の値が転送されます。

同時にタイムステータスレジスタ 10 (TSR10) の ICF10A が 1 にセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00000000 に初期化されます。

(b) アウトプットコンペアレジスタ 10AH、AL (OCR10AH、OCRAL)

アウトプットコンペアレジスタ 10AH、AL (OCR10AH、OCRAL) は 32 ビットの読み出し / 書き込み可能なレジスタで、常にフリーランニングカウンタ 10AH、AL (TCNT10AH、AL) と比較されています。

両者の値が一致するとタイマステータスレジスタ 10 (TSR10) の CMF10A が 1 にセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFFFFF に初期化されます。

(c) アウトプットコンペアレジスタ 10B (OCR10B)

アウトプットコンペアレジスタ 10B (OCR10B) は 8 ビットの読み出し / 書き込み可能なレジスタで、常にフリーランニングカウンタ 10B (TCNT10B) と比較されています。

両者の値が一致した状態で AGCK が入力されると、タイマステータスレジスタ 10 (TSR10) の CMF10B が 1 にセットされます。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FF に初期化されます。

11. アドバンスタイマユニット-II (ATU-II)

(d) リロードレジスタ 10C (RLD10C)

リロードレジスタ 10C (RLD10C) は 16 ビットの読み出し / 書き込み可能なレジスタです。タイマスタートレジスタ 1 (TSTR1) の STR10 が 1 かつ、タイマ I/O コントロールレジスタ (TIOR10) の RLDEN が 0 のとき、インプットキャプチャレジスタ 10A (ICR10A) に TCNT10A の値をキャプチャ時に、RLD10C に ICR10A のキャプチャ値を TIOR10 の PIM1、0 ビットで設定した通倍率で割った値が転送されます。また、リロードレジスタ 10C (RLD10C) の内容はリロードカウンタ 10C (TCNT10C) が H'0001 に達すると TCNT10C にロードされます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RLD10C はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

(e) ジェネラルレジスタ 10G (GR10G)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR10G は 16 ビットの読み出し / 書き込み可能なレジスタで、アウトプットコンペアレジスタとしての機能を持っています。設定はタイマ I/O コントロールレジスタ 10 (TIOR10) により行います。

GR10G の値はフリーランニングカウンタ 10G (TCNT10G) の値と常に比較されています。両者が一致した状態で、AGCK1 が入力されると、タイマステータスレジスタ 10 (TSR10) の CMF10G が 1 にセットされます。

GR10G はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

(f) 補正カウンタクリアレジスタ 10 (TCCLR10)

補正カウンタクリアレジスタ 10 (TCCLR10) は 16 ビットの読み出し / 書き込み可能なレジスタです。

TCCLR10 は TCNT10F と常に比較されています。両者が一致すると TCNT10F は停止します。このとき、TCR10 の TRG_{xx}EN (xx = 1A、1B、2A、2B) を設定することにより、TCNT_{xx} をクリアすることが可能です。その後、TCNT10D が H'00 かつ TI10 が入力されたとき TCNT10F は H'0001 にクリアされます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCCLR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

(3) ノイズキャンセラ用レジスタ

チャンネル 10 には 8 ビットの TCNT10H、NCR の計 2 本のレジスタがあります。

チャンネル	略 称	機 能
10	TCNT10H	ノイズキャンセラ用カウンタ (初期値 H'00)
	NCR10	ノイズキャンセラ用コンペアマッチレジスタ (初期値 H'FF)

(a) ノイズキャンセラカウンタ 10H (TCNT10H)

ノイズキャンセラカウンタ 10H (TCNT10H) は 8 ビットの読み出し / 書き込み可能なレジスタです。ノイズキャンセラ機能が有効時、外部入力 (TI10) (AGCK) からの信号をトリガとして P × 10 でカウントアップします。タイマスタートレジスタ (TSTR1) の STR10 が 0 でも動作します。カウンタ動作中は TI10 の入力をマスクします。カウント値がノイズキャンセラレジスタ (NCR10) と一致するとカウンタをクリアして TI10 の入力のマスクを解除します。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10H はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

(b) ノイズキャンセラレジスタ 10 (NCR10)

ノイズキャンセラレジスタ (NCR10) は 8 ビットの読み出し / 書き込み可能なレジスタで、ノイズキャンセラカウンタ 10 (TCNT10H) のカウンタの上限値を設定します。TCNT10H がカウント動作中 NCR10 と常時比較をしており、コンペアマッチが発生すると TCNT10H の動作を停止させて入力信号のマスク解除を行います。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

NCR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FF に初期化されます。

11. アドバンスドタイマユニット-II (ATU-II)

(4) チャンネル 10 コントロールレジスタ

チャンネル 10 に 4 本のレジスタがあります。

チャンネル	略 称	機 能
10	TIOR10	リロードの設定、カウンタ補正の設定、外部入力 (TI10) エッジ間の通倍率の設定、GR のコンペアマッチの設定 (初期値 H'00)
	TCR10	TCCLR10 のカウンタクリア要因 ノイズキャンセラ機能の有効/無効の選択 外部入力 (TI10) のエッジ選択 (初期値 H'00)
	TSR10	インプットキャプチャ/コンペアマッチの状態 (初期値 H'0000)
	TIER10	インプットキャプチャ/コンペアマッチの割り込みの要求の許可/禁止の選択 (初期値 H'0000)

(a) タイマ I/O コントロールレジスタ 10 (TIOR10)

TIOR10 は 8 ビットの読み出し/書き込み可能なレジスタで、外部入力 (TI10) のエッジ間を通倍する値を選択します。また、ジェネラルレジスタ (GR10G) をアウトプットコンペアとして使用するための設定、エッジ検出の設定を行います。

TIOR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	RLDEN	CCS	PIM1	PIM0		IO10G2	IO10G1	IO10G0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット 7: リロードイネーブル (RLDEN)

インプットキャプチャレジスタ 10A (ICR10A) の値をインプットキャプチャ時にリロードレジスタ 10C (RLD10C) への転送許可/禁止を選択します。

ビット 7	説 明
RLDEN	
0	インプットキャプチャ時に ICR10A の値を RLD10C へ転送を許可 (初期値)
1	インプットキャプチャ時に ICR10A の値を RLD10C へ転送を禁止

ビット 6: カウンタコレクションセレクト (CCS)

補正カウンタ 10E (TCNT10E) の動作を選択します。通倍率は、TIOR10 の PIM1、0 ビットで設定してください。

ビット 6	説 明
CCS	
0	TCNT10D × 通倍率 = TCNT10E* のとき TCNT10E のカウンタ動作を停止しない (初期値)
1	TCNT10D × 通倍率 = TCNT10E* のとき TCNT10E のカウンタ動作を停止する

【注】 * TCNT10D × 通倍率が、TCNT10E の 8~0 ビットをマスクした値と一致したとき。

ビット 5、4 : パルスインターバルマルチプライヤ (PIM1、PIM0)

外部入力 (TI10) 周期の逡倍率を選択します。

ビット 5	ビット 4	説 明	
PIM1	PIM0		
0	0	外部入力周期 × 32 でカウント	(初期値)
	1	外部入力周期 × 64 でカウント	
1	0	外部入力周期 × 128 でカウント	
	1	外部入力周期 × 256 でカウント	

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2~0 : I/O コントロール 10G2 ~ 10G0 (IO10G2 ~ IO10G0)

ジェネラルレジスタ 10G (GR10G) の機能を選択します。

ビット 2	ビット 1	ビット 0	説 明	
IO10G2	IO10G1	IO10G		
0	0	0	GR はアウトプット	コンペアマッチ禁止 (初期値)
		1	コンペアレジスタ	GR10G = TCNT10G のコンペアマッチ
1	1	*		設定禁止
	*	*	設定禁止	

* : don't care

(b) タイマコントロールレジスタ 10 (TCR10)

TCR10 は 8 ビットの読み出し / 書き込み可能なレジスタで、補正カウンタクリアレジスタ (TCCLR10) のコンペアマッチによるカウンタクリア要因の選択、ノイズキャンセラ機能の有効 / 無効の選択、外部入力 (TI10) のエッジ選択を行います。

TCR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット :	7	6	5	4	3	2	1	0
	TRG2BEN	TRG1BEN	TRG2AEN	TRG1AEN	TRG0DEN	NCE	CKEG1	CKEG0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11. アドバンスタイマユニット-II (ATU-II)

ビット7：トリガ 2B イネーブル (TRG2BEN)

チャンネル 2 の TCNT2B のカウンタクリア許可 / 禁止を選択します。

クリア許可時には、TCNT2B のカウンタクロックは補正アングルクロック (AGCKM) に設定してください。

クリア条件成立中に TCNT2B がカウントアップしたときに、TCNT2B はクリアされます。

ビット7	説明
TRG2BEN	
0	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル 2 のカウンタ B (TCNT2B) をクリア禁止 (初期値)
1	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル 2 のカウンタ B (TCNT2B) をクリア許可

ビット6：トリガ 1B イネーブル (TRG1BEN)

チャンネル 1 の TCNT1B のカウンタクリア許可 / 禁止を選択します。

クリア許可時には、TCNT1B のカウンタクロックは補正アングルクロック (AGCKM) に設定してください。

クリア条件成立中に TCNT1B がカウントアップしたときに、TCNT1B はクリアされます。

ビット6	説明
TRG1BEN	
0	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル 1 のカウンタ B (TCNT1B) をクリア禁止 (初期値)
1	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル 1 のカウンタ B (TCNT1B) をクリア許可

ビット5：トリガ 2A イネーブル (TRG2AEN)

チャンネル 2 の TCNT2A のカウンタクリア許可 / 禁止を選択します。

クリア許可時には、TCNT2A のカウンタクロックは補正アングルクロック (AGCKM) に設定してください。

クリア条件成立中に TCNT2A がカウントアップしたときに、TCNT2A はクリアされます。

ビット5	説明
TRG2AEN	
0	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル 2 のカウンタ 2A (TCNT2A) をクリア禁止 (初期値)
1	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル 2 のカウンタ 2A (TCNT2A) をクリア許可

ビット4：トリガ1A イネーブル (TRG1AEN)

チャンネル1のTCNT1Aのカウントクリア許可/禁止を選択します。

クリア許可時には、TCNT1Aのカウントクロックは補正アングルクロック (AGCKM) に設定してください。

クリア条件成立中にTCNT1Aがカウントアップしたときに、TCNT1Aはクリアされます。

ビット4	説明
TRG1AEN	
0	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル1のカウント1A (TCNT1A) をクリア禁止 (初期値)
1	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル1のカウント1A (TCNT1A) をクリア許可

ビット3：トリガ0D イネーブル (TRG0DEN)

チャンネル0のICR0Dへのインプットキャプチャ信号要求の許可/禁止を選択します。

ビット3	説明
TRG0DEN	
0	イベントカウンタ (TCNT10B) のコンペアマッチでチャンネル0のインプットキャプチャレジスタ (ICR0D) に対してキャプチャ要求を禁止 (初期値)
1	イベントカウンタ (TCNT10B) のコンペアマッチでチャンネル0のインプットキャプチャレジスタ (ICR0D) に対してキャプチャ要求を許可

ビット2：ノイズキャンセラ イネーブル (NCE)

ノイズキャンセラ機能の有効/無効を選択します。

ビット2	説明
NCE	
0	ノイズキャンセラ機能を無効 (初期値)
1	ノイズキャンセラ機能を有効

ビット1、0：クロックエッジ1、0 (CKEG1、CKEG0)

チャンネル10の外部入力 (TI10) のエッジ選択します。

検出したエッジによりクロック (AGCK) を生成します。

ビット1	ビット0	説明
CKEG1	CKEG0	
0	0	TI10 入力禁止 (初期値)
	1	TI10 入力の立ち上がりエッジを検出
1	0	TI10 入力の立ち下がりエッジを検出
	1	TI10 入力の立ち上がり / 立ち下がり両エッジを検出

11. アドバンスタイマユニット-II (ATU-II)

(c) タイマステータスレジスタ 10 (TSR10)

TSR10 は 16 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 10 のインプットキャプチャ / コンペアマッチの発生を示します。

これらのフラグは割り込み要因であり、タイムインタラプトイネーブルレジスタ 10 (TIER10) の対応するビットにより割り込み許可されていれば、CPU へ割り込みを要求します。

TSR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3 : コンペアマッチフラグ 10G (CMF10G)

GR10G のコンペアマッチフラグの発生を示すステータスフラグです。

ビット 3	説明
CMF10G	
0	[クリア条件] (初期値) CMF10G = 1 の状態で、CMF10G を読み出した後、CMF10G に 0 を書き込んだとき
1	[セット条件] TCNT10G = GR10G になったとき

ビット 2 : コンペアマッチフラグ 10B (CMF10B)

OCR10B のコンペアマッチの発生を示すステータスフラグです。

ビット 2	説明
CMF10B	
0	[クリア条件] (初期値) CMF10B = 1 の状態で、CMF10B を読み出した後、CMF10B に 0 を書き込んだとき
1	[セット条件] TCNT10B = OCR10B の状態で TCNT10B がカウントアップしたとき

ビット1：インプットキャプチャフラグ 10A (ICF10A)

ICR10A のインプットキャプチャの発生を示すステータスフラグです。

ビット1 ICF10A	説 明
0	[クリア条件] (初期値) ICR10A = 1 の状態で、ICR10A を読み出した後、ICR10A に 0 を書き込んだとき
1	[セット条件] インプットキャプチャ信号により TCNT10A の値が ICR10A に転送されたとき

ビット0：コンペアマッチフラグ 10A (CMF10A)

OCR10A のコンペアマッチの発生を示すステータスフラグです。

ビット0 CMF10A	説 明
0	[クリア条件] (初期値) CMF10A = 1 の状態で、CMF10A を読み出した後、CMF10A に 0 を書き込んだとき
1	[セット条件] TCNT10A = OCR10A になったとき

(d) タイマインタラプトイネーブルレジスタ 10 (TIER10)

TIER10 は 16 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 10 のインプットキャプチャ / コンペアマッチの割り込み要求の許可 / 禁止を制御します。

TIER10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8
初期値	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R
ビット：	7	6	5	4	3	2	1	0
				IREG	CME10G	CME10B	ICE10A	CME10A
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット 15~5：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11. アドバンスドタイマユニット-II (ATU-II)

ビット 4：インタラプトイネーブルエッジ G (IREG)

TSR10 の CMF10G の割り込みタイミング生成します。

ビット 4	説 明
IREG	
0	CMF10G が 1 になったタイミングで割り込みを要求 (初期値)
1	CMF10G が 1 になった次の外部入力 (TI10) (AGCK) で割り込み要求

ビット 3：コンペアマッチインタラプトイネーブル 10G (CME10G)

TSR10 の CMF10G が 1 にセットされたとき、CMF10G による割り込み要求を許可または禁止します。

ビット 3	説 明
CME10G	
0	CMF10G による割り込み要求 (CMI10G) を禁止 (初期値)
1	CMF10G による割り込み要求 (CMI10G) を許可

ビット 2：コンペアマッチインタラプトイネーブル 10B (CME10B)

TSR10 の CMF10B が 1 にセットされたとき、CMF10B による割り込み要求を許可または禁止します。

ビット 2	説 明
CME10B	
0	CMF10B による割り込み要求 (CMI10B) を禁止 (初期値)
1	CMF10B による割り込み要求 (CMI10B) を許可

ビット 1：インプットキャプチャインタラプトイネーブル 10A (ICE10A)

TSR10 の ICF10A が 1 にセットされたとき、ICF10A による割り込み要求を許可または禁止します。

ビット 1	説 明
ICE10A	
0	ICF10A による割り込み要求 (ICI10A) を禁止 (初期値)
1	ICF10A による割り込み要求 (ICI10A) を許可

ビット 0：コンペアマッチインタラプトイネーブル 10A (CME10A)

TSR10 の CMF10A が 1 にセットされたとき、CMF10A による割り込み要求を許可または禁止します。

ビット 0	説 明
CME10A	
0	CMF10A による割り込み要求 (CMI10A) を禁止 (初期値)
1	CMF10A による割り込み要求 (CMI10A) を許可

11.3 動作説明

11.3.1 概要

ATU-II はチャンネル 0 からチャンネル 11 の 8 種 12 体のタイマで構成されています。また ATU-II は入カクロックを生成するプリスケアラを内蔵し、ATU-II 外部とは独立に、必要な周波数の内部クロックを生成または選択することができます。

以下に各チャンネルおよびプリスケアラの動作概要を説明します。

(1) チャンネル 0

チャンネル 0 は 32 ビットフリーランニングカウンタ (TCNT0) と 4 本の 32 ビットインプットキャプチャレジスタ (ICR0A ~ D) を内蔵しています。TCNT0 はアップカウンタで、フリーランニング動作を行います。カウンタのオーバフロー時に割り込み要求が可能です。

4 本のインプットキャプチャレジスタ (ICR0A ~ D) は、各々に対応する外部信号入力端子 (TIOA ~ D) からの入力によりフリーランニングカウンタ (TCNT0) の値をキャプチャします。外部信号入力端子からの入力によるキャプチャは、タイマ I/O コントロールレジスタ (TIOR0) により立ち上がり / 立ち下がり / 両エッジから選択できます。インプットキャプチャレジスタ 0D (ICR0D) のみ、タイマコントロールレジスタ 10 (TCR10) の設定によりフリーランニングカウンタ 10B (TCNT10B) とコンペアマッチレジスタ 10B (OCR10B) のコンペアマッチによるキャプチャが行えます。このとき、TIOR0 がインプットキャプチャ禁止に設定されていてもキャプチャは行われます。それぞれ、キャプチャするタイミングで DMAC の起動、および割り込み要求が可能です。

また、チャンネル 0 にはインターバルインタラプトルクエストレジスタ (ITVRR1、ITVRR2A、ITVRR2B) が内蔵されています。ITVRR の ITVA6 ~ 13 を 1 に設定すると A/D 変換器 (AD0 ~ 2) の起動が、ITVE6 ~ 13 を 1 に設定すると CPU への割り込み要求が設定できます。これらは TCNT0 のビット 6 ~ 13 の対応するビットが 1 に変化したとき行われ、インターバルタイマ機能として使用できます。

(2) チャンネル 1

チャンネル 1 は 2 本の 16 ビットフリーランニングカウンタ (TCNT1A、B) と 8 本の 16 ビットジェネラルレジスタ (GR1A ~ H) および 16 ビットアウトプットコンペアレジスタ (OCR1) を内蔵しています。

TCNT1A、B はアップカウンタで、フリーランニング動作を行います。また後述のチャンネル 10 の TCR10 を設定することにより、チャンネル 10 からカウンタをクリアすることができます。各々のカウンタはオーバフロー時に割り込み要求が可能です。

8 本のジェネラルレジスタ (GR1A ~ H) は、各々に対応する外部信号入出力端子 (TIO1A ~ H) を持ち、インプットキャプチャまたはアウトプットコンペアレジスタとして使用することができます。インプットキャプチャとして使用する場合、各々に対応する外部信号入出力端子 (TIO1A ~ H) からの入力により、フリーランニングカウンタ (TCNT1A) の値をキャプチャします。インプットキャプチャ信号は、タイマ I/O コントロールレジスタ (TIOR1A ~ D) により立ち上がり / 立ち下がり / 両エッジから選択できます。アウトプットコンペアとして使用する場合、フリーランニングカウンタ (TCNT1A) とコンペアマッチを行います。コンペアマッチによる外部信号入出力端子からの出力は、タイマ I/O コントロールレジスタ (TIOR1A ~ D) により、0 出力 / 1 出力 / トグル出力から選択できます。また、アウトプットコンペアレジスタとして使用しているときは、チャンネル 8 のタイマコネクショントリガレジスタ (TCNR)、ワンショットパルスターミネートレジスタ (OTR) を設定し、ダウンカウンタ (DCNT8A ~ H) と組み合わせることにより、コンペアマッチをワンショットパルスのスタート / ターミネートトリガとして使用することができます。スタート / ターミネートトリガの選択はトリガモードレジスタ (TRGMDR) によって行います。

アウトプットコンペアレジスタ (OCR1) は、ジェネラルレジスタと同様にチャンネル 8 のダウンカウンタ (DCNT8A ~ H) と組み合わせることにより、TCNT1B とのコンペアマッチをワンショットパ

ルスのスタート/ターミネートトリガとして使用することができます。それぞれインプットキャプチャまたはコンペアマッチ発生時に割り込み要求が可能です。

その他チャンネル1には16ビットインプットキャプチャ専用レジスタ(OSBR1)を内蔵しています。チャンネル0の入力端子(TIOA)が、同時にOSBR1のトリガとして入力されるため、ツインキャプチャ機能として使用することができます。

(3) チャンネル2

チャンネル2は2本の16ビットフリーランニングカウンタ(TCNT2A、B)と8本の16ビットジェネラルレジスタ(GR1A~H)および8本の16ビットアウトプットコンペアレジスタ(OCR2A~H)を内蔵しています。

TCNT2A、Bはアップカウンタで、フリーランニング動作を行います。また後述のチャンネル10のTCR10を設定することにより、チャンネル10からカウンタをクリアすることができます。各々のカウンタはオーバフロー時に割り込み要求が可能です。

8本のジェネラルレジスタ(GR2A~H)は、各々に対応する外部信号入出力端子(TIO2A~H)を持ち、インプットキャプチャまたはアウトプットコンペアレジスタとして使用することができます。インプットキャプチャとして使用する場合、各々に対応する外部信号入出力端子(TIO2A~H)からの入力により、フリーランニングカウンタ(TCNT2A)の値をキャプチャします。インプットキャプチャ信号は、タイマI/Oコントロールレジスタ(TIOR2A~D)により立ち上がり/立ち下がり/両エッジから選択できます。アウトプットコンペアとして使用する場合、フリーランニングカウンタ(TCNT2A)とコンペアマッチを行います。コンペアマッチによる外部信号入出力端子からの出力は、タイマI/Oコントロールレジスタ(TIOR2A~D)により、0出力/1出力/トグル出力から選択できます。また、アウトプットコンペアレジスタとして使用しているときは、チャンネル8のワンショットパルスターミネートレジスタ(OTR)を設定し、ダウンカウンタ(DCNT8I~P)と組み合わせることにより、コンペアマッチをワンショットパルスターミネートトリガとして使用することができます。

アウトプットコンペアレジスタ(OCR2A~H)は、チャンネル8のタイムコネクションレジスタ(TCNR)を設定し、ダウンカウンタ(DCNT8I~P)と組み合わせることにより、TCNT2Bとコンペアマッチをワンショットパルスのスタートトリガとして使用することができます。それぞれインプットキャプチャまたはコンペアマッチ発生時に割り込み要求が可能です。

その他チャンネル2は16ビットインプットキャプチャ専用レジスタ(OSBR2)を内蔵しています。チャンネル0の入力端子(TIOA)が、同時にOSBR2のトリガとして入力されるため、ツインキャプチャ機能として使用することができます。

(4) チャンネル3~5

チャンネル3~5は、各々16ビットフリーランニングカウンタ(TCNT3~5)と4本の16ビットジェネラルレジスタ(GR3A~D、GR4A~D、GR5A~D)を内蔵しています。TCNT3~5はアップカウンタで、フリーランニング動作を行います。また、タイマI/Oコントロールレジスタ(TIOR3A、3B、4A、4B、5A、5B)を設定することにより、コンペアマッチによるカウンタのクリアを行うことができます。各々のカウンタはオーバフロー時に割り込み要求が可能です。

4本のジェネラルレジスタ(GR3A~D、GR4A~D、GR5A~D)は、各々に対応する外部信号入出力端子(TIO3A~D、TIO4A~D、TIO5A~D)を持ち、インプットキャプチャまたはアウトプットコンペアレジスタとして使用することができます。インプットキャプチャとして使用する場合、各々に対応する外部信号入出力端子(TIO3A~D、TIO4A~D、TIO5A~D)からの入力により、フリーランニングカウンタ(TCNT3~5)の値をキャプチャします。インプットキャプチャ信号は、タイマI/Oコントロールレジスタ(TIOR3A、3B、4A、4B、5A、5B)により立ち上がり/立ち下がり/両エッジから選択できます。また、インプットキャプチャとして使用する場合、後述するチャンネル9のイベントカウンタ(ECNT9A~D)とジェネラルレジスタ(GR9A~D)のコンペアマッチをトリガとしてインプットキャプチャを行えます(チャンネル3のみ)。このとき、TIOR3A~Dがインプットキャプチャ禁止に設定されていてもキャプチャは行われます。アウトプットコンペアとして使用する場合、

フリーランニングカウンタ (TCNT3~5) とコンペアマッチを行います。コンペアマッチによる外部信号入出力端子からの出力は、タイマ I/O コントロールレジスタ (TIOR3A、3B、4A、4B、5A、5B) により、0 出力 / 1 出力 / トグル出力から選択できます。それぞれインプットキャプチャまたはコンペアマッチ発生時に割り込み要求が可能です。ただし、チャンネル 9 をトリガとしたインプットキャプチャの場合は、チャンネル 3 からの割り込み要求は行えません。

また、タイマモードレジスタ (TMDR) に PWM モードを設定することにより、それぞれ 3 本の出力を持つ PWM 出力が得られます。このとき、自動的に GR3D、GR4D、GR5D がサイクルレジスタとして使用され GR3A~C、GR4A~C、GR5A~C はデューティレジスタとして使用されます。TCNT3~5 はそれぞれ GR3D、GR4D、GR5D とのコンペアマッチによりクリアされます。

(5) チャンネル 6、7

チャンネル 6、7 はそれぞれ 16 ビットフリーランニングカウンタ (TCNT6A~D、TCNT7A~D)、16 ビットサイクルレジスタ (CYLR6A~D、CYLR7A~D)、16 ビットデューティレジスタ (DTR6A~D、DTR7A~D)、および 16 ビットバッファレジスタ (BFR6A~D、BFR7A~D) を内蔵しています。また、チャンネル 6、7 は各々に対応する外部出力端子 (TO6A~D、TO7A~D) を持ち、バッファ機能付き PWM タイマとして使用することができます。

TCNT はアップカウンタで、DTR 値 (DTR = CYLR のとき) と一致すると外部出力端子に 0 を出力します。さらに、CYLR 値 (DTR = H'0000 のとき) と一致すると外部出力端子に 1 を出力すると同時に TCNT を H'0001 にクリアし、BFR 値を DTR に転送します。すなわち、チャンネル 6、7 は CYLR 値をサイクル、DTR 値をデューティとする波形の出力を行うことができ、しかも DTR へのデータ設定タイミングと、コンペアマッチタイミングのタイムラグを BFR で吸収できる構成になっています。

なお、DTR = CYLR のときは外部出力端子に 1 を出力し続け、デューティは 100% となります。DTR = H'0000 のときは外部出力端子に 0 を出力し続け、デューティは 0% となります。DTR には DTR > CYLR となる値は設定しないでください。また、DTR に H'0000 を設定する場合は、DTR に直接 H'0000 を書き込みせず、BFR に H'0000 を設定し、BFR から DTR への転送により H'0000 設定をしてください。直接 DTR に H'0000 を書き込むとデューティ 0% にならない場合があります。

さらにチャンネル 6 は PWM モードレジスタ (PMDR) によって TCNT はアップ / ダウンカウンタとなり相補 PWM 出力が可能です。対応する TSTR を 1 に設定すると TCNT はアップカウントを行い、CYLR との一致でダウンカウントに切り替わります。TCNT が H'0000 になると再びアップカウントを行います。このとき TCNT = DTR で対応する外部出力端子 TO6A~D の出力が変化します。TCNT がアップカウント中かダウンカウント中かはタイムステータスレジスタ (TSR6) により知ることができます。

また非相補 PWM モード時は TCNT = CYLR のとき、相補 PWM モード時は TCNT = H'0000 のとき、それぞれ DMAC の起動、および割り込み要求が可能です。

(6) チャンネル 8

チャンネル 8 は、16 本の 16 ビットダウンカウンタ (DCNT8A~P) を内蔵しています。ダウンカウンタは各々に対応する外部信号出力端子を持ち、ワンショットパルスを生成することができます。DCNT に値を設定し、ダウンカウントスタートレジスタ (DSTR) の対応するビットを 1 に設定することにより、DCNT はダウンカウントを開始し、同時に対応する外部出力端子に 1 を出力します。ダウンカウントにより DCNT が H'0000 に達したら、DCNT は動作を停止し外部出力端子に 0 を出力します。DCNT がアンダフロー時、割り込み要求が可能です。

ダウンカウンタはタイマコネクションレジスタ (TCNR)、ワンショットパルスターミネートレジスタ (OTR) を設定することにより、それぞれチャンネル 1、チャンネル 2 のアウトプットコンペア機能と連動させることができ、チャンネル 1 から DCNT8A~H、チャンネル 2 から DCNT8I~P のカウント動作のスタート / ストップが行えます。

DCNT8I~P はリロードレジスタ (RLDR) を持っており、リロードイネーブルレジスタ (RLDENR) の設定により、各々がスタートするときリロードレジスタから値を読み込んでからカウント動作を

開始します。

(7) チャンネル 9

チャンネル 9 は、6 本の 8 ビットイベントカウンタ (ECNT9A ~ F) と 6 本の 8 ビットジェネラルレジスタ (GR9A ~ F) を内蔵しています。イベントカウンタ (ECNT9A ~ F) はアップカウンタで外部入力端子 (TI9A ~ F) を持ち、各々に対応する外部入力端子からの入力により、イベントカウンタの値がアップカウントされます。カウントアップは、タイマコントロールレジスタ (TCR9A ~ C) の設定により立ち上がり / 立ち下がり / 両エッジから選択できます。イベントカウンタは対応するジェネラルレジスタと一致した後にエッジが入力されるとクリアされます。イベントカウンタがクリアされる時、割り込み要求が可能です。

イベントカウンタのうち ECNT9A ~ D はタイマコントロールレジスタ (TCR9A, TCR9B) を設定することにより、ジェネラルレジスタ (GR9A ~ D) と一致時にコンペアマッチ信号がチャンネル 3 に送られ、チャンネル 3 でインプットキャプチャを行えます。これによりパルスが入力される期間を計測することができます。

(8) チャンネル 10

チャンネル 10 は、外部入力をベースにした倍周クロックを生成し、チャンネル 1 ~ 5 に供給します。チャンネル 10 は、(a) エッジ間計測ブロック、(b) 倍周クロック生成ブロック、(c) 倍周クロック補正ブロックに分かれます。

(a) エッジ間計測ブロック

このブロックは、32 ビットフリーランニングカウンタ (TCNT10A)、32 ビットインプットキャプチャレジスタ (ICR10A)、32 ビットアウトプットコンペアレジスタ (OCR10A)、8 ビットイベントカウンタ (TCNT10B) および 8 ビットアウトプットコンペアレジスタ (OCR10B)、8 ビットノイズキャンセラ用カウンタ (TCNT10H) および 8 ビットノイズキャンセラ用コンペアマッチレジスタ (NCR10) を内蔵しています。

32 ビットフリーランニングカウンタ 10A (TCNT10A) はアップカウンタでフリーランニング動作を行います。また、TI10 入力によりインプットキャプチャが行われると H'00000001 にクリアされます。また、フリーランニングカウンタ 10A (TCNT10A) がアウトプットコンペアレジスタ (OCR10A) に設定された値に達すると、コンペアマッチによる割り込み要求が可能です。

インプットキャプチャレジスタ (ICR10A) は外部信号入力端子 (TI10) を持ち、TI10 からの入力によりフリーランニングカウンタ (TCNT10A) の値をキャプチャ可能です。キャプチャはタイマコントロールレジスタ (TCR10) の CKEG1、CKEG0 ビットの設定により、立ち上がり / 立ち下がり / 両エッジから選択ができます。また、TI10 入力にはノイズキャンセラ機能があり、タイマコントロールレジスタ (TCR10) の NCE ビットを設定することにより、ノイズキャンセラを有効にすることができます。キャプチャ時に TCNT10A は H'00000001 にクリアされ、かつ割り込み要求が可能です。キャプチャした値は倍周クロック生成ブロックのリロードレジスタ (RLD10C) に転送することができます。

8 ビットイベントカウンタ (TCNT10B) はアップカウンタで TI10 入力によりカウントアップを行います。イベントカウンタ (TCNT10B) の値がアウトプットコンペアレジスタ (OCR10B) に設定された値に達すると、コンペアマッチによる割り込み要求が可能です。また、タイマコントロールレジスタ (TCR10) の TRG0DEN ビットを設定することにより、コンペアマッチ発生時にチャンネル 0 のインプットキャプチャレジスタ 0D (ICR0D) に対してキャプチャ要求が可能です。

8 ビットノイズキャンセラ用カウンタ (TCNT10H) と 8 ビットノイズキャンセラ用コンペアマッチレジスタ (NCR10) はノイズキャンセラが機能する時間を設定します。ノイズキャンセラはノイズキャンセラ用コンペアマッチレジスタ (TCNT10H) に値を設定し、タイマコントロールレジスタ (TCR10) の NCE ビットを設定することにより、TI10 入力があると TI10 入力をマスクします。TI10 入力をマスクすると同時にノイズキャンセラ用カウンタ (TCNT10H) が $P \times 10$ のクロックでカウントアップを開始します。ノイズキャンセラ用カウンタ (TCNT10H) がノイズキャンセラ用コンペア

アマッチレジスタ (NCR10) と一致するとノイズキャンセラ用カウンタ (TCNT10H) は H'0000 にクリアされ、TI10 入力マスクを解除します。

(b) 倍周クロック生成ブロック

このブロックは、16 ビットリロードカウンタ (TCNT10C、RLD10C) と 16 ビットフリーランニングカウンタ (TCNT10G) および 16 ビットジェネラルレジスタ (GR10G) を内蔵しています。

16 ビットリロードカウンタ 10C (RLD10C) は、32 ビットインプットキャプチャレジスタ 10A (ICR10A) でキャプチャされ、かつタイマ I/O コントロールレジスタ (TIOR10) の RL DEN が 0 のとき、インプットキャプチャレジスタ 10A にキャプチャされた値が、倍周クロック生成ブロックのリロードレジスタ (RLD10C) に転送されます。転送される値は TIOR10 の PIM1、PIM0 で設定により、1/32、1/64、1/128、1/256 倍のうち、選択された値が転送されます。

16 ビットリロードカウンタ 10C (TCNT10C) は、ダウンカウント動作を行います。TCNT10C は H'0001 になると自動的にリロードバッファ (RLD10C) から値を読み込み、内部クロック AGCK1 を生成し、再度ダウンカウント動作を繰り返します。内部で生成した AGCK1 は、倍周クロック補正ブロックの 16 ビット補正カウンタ (TCNT10E) および 16 ビットフリーランニングカウンタ 10G (TCNT10G) にクロックとして入力されます。

16 ビットフリーランニングカウンタ 10G (TCNT10G) は TCNT10C が生成する AGCK1 によってカウントされます。また、TI10 からの外部入力により H'0000 に初期化されます。

16 ビットジェネラルレジスタ (GR10G) は、タイマ I/O コントロールレジスタ (TIOR10) の IO10G2 ~ 0 を設定することにより、フリーランニングカウンタ 10G (TCNT10G) とのコンペアマッチを行えます。コンペアマッチ発生時に割り込み要求が可能です。また、タイマインタラプトイネーブルレジスタ 10 (TIER10) を設定することにより、コンペアマッチ後に TI10 入力があった場合に割り込み要求を行うことが可能です。

(c) 倍周クロック補正ブロック

このブロックは、3 本の 16 ビット補正カウンタ (TCNT10D、TCNT10E、TCNT10F) と、16 ビット補正カウンタクリアレジスタ (TCCLR10) を内蔵しています。

16 ビット補正カウンタ 10D (TCNT10D) は、外部入力端子 TI10 からの入力により、32 ビットインプットキャプチャレジスタ 10A (ICR10A) がキャプチャ動作をするタイミングで TCNT10E へ TCNT10D の値を転送し、カウントアップします。TCNT10E に転送される値は、タイマ I/O コントロールレジスタ (TIOR10) の PIM1、PIM0 ビットによって設定された値により、TCNT10D の値が 32、64、128、256 倍されて TCNT10E に転送されます。

16 ビット補正カウンタ 10E (TCNT10E) は、倍周クロック生成ブロックのリロードカウンタ 10C (TCNT10C、RLD10C) で生成される AGCK1 によりカウントアップします。ただし、タイマ I/O コントロールレジスタ (TIOR10) の CCS ビットの設定することにより、フリーランニングカウンタ 10D (TCNT10D) の PIM1、PIM0 による逡倍値とフリーランニングカウンタ 10E (TCNT10E) の値が一致している場合、フリーランニングカウンタ 10E (TCNT10E) のカウント動作を停止することができます。また、TI10 の入力によりインプットキャプチャレジスタ 10A (ICR10A) がキャプチャ動作をするタイミングで TCNT10D が逡倍された値が転送されます。

16 ビット補正カウンタ 10F (TCNT10F) は P が入力されており、常に 16 ビット補正カウンタ 10E (TCNT10E) と比較されています。16 ビット補正カウンタ 10F (TCNT10F) は、16 ビット補正カウンタ 10E (TCNT10E) より小さいときにカウントアップされ、カウントアップ信号 AGCKM を生成します。補正カウンタ 10F (TCNT10F) が 16 ビット補正カウンタ 10E (TCNT10E) の値を上回ったとき (例えば、TCNT10F が TCNT10D をリロードしたとき) には、カウントアップ動作をしません。TCNT10F がカウントアップ時に生成する TI10 逡倍信号 (AGCKM) はチャンネル 1 ~ 5 のフリーランニングカウンタ (TCNT1A、1B、2A、2B、3、4、5) に出力され、各チャンネルでカウンタクロックとして設定することにより AGCKM でカウントアップすることができます。また TCNT10F は 16 ビット補正カウンタクリアレジスタ (TCCLR10) と常に比較されており、フリーランニングカウンタ 10F

(TCNT10F)と補正カウンタクリアレジスタ(TCCLR10)が一致すると、TCNT10Fのカウンタアップが停止します。このとき、タイマコントロールレジスタ(TCR10)のTRG1AEN、TRG1BEN、TRG2AEN、TRG2BENを設定することにより、チャンネル1、2のフリーランニングカウンタ(TCNT1A、1B、2A、2B)をクリアすることができます。また、TCNT10D=H'0000のときにTI10が入力されると初期化、補正動作を行います。TCNT10F=TCCLR10のときは、TCNT10FはH'0001にクリアされます。TCNT10F=TCCLR10のときは、TCNT10FはTCCLR10の値まで自動的にカウンタアップし、一致時にH'0001にクリアされます。

(9) チャンネル11

チャンネル11は、1本の16ビットフリーランニングカウンタ(TCNT11)と2本の16ビットジェネラルレジスタ(GR11A、B)を内蔵しています。TCNT11はアップカウンタでフリーランニング動作を行います。カウンタはオーバフロー時に割り込み要求が可能です。

2本のジェネラルレジスタ(GR11A、B)は各々に対応する外部入出力端子(TIO11A、B)を持ち、インプットキャプチャまたはアウトプットコンペアレジスタとして使用することができます。キャプチャとして使用する場合、各々に対応する外部信号入出力端子(TIO11A、B)からの入力により、フリーランニングカウンタ(TCNT11)の値をキャプチャします。インプットキャプチャ信号は、タイマI/Oコントロールレジスタ(TIOR11)により立ち上がり/立ち下がり/両エッジから選択できます。アウトプットコンペアとして使用する場合、フリーランニングカウンタ(TCNT11)とコンペアマッチを行います。コンペアマッチによる外部信号入出力端子からの出力は、タイマI/Oコントロールレジスタ(TIOR11)により、0出力/1出力/トグル出力から選択できます。それぞれインプットキャプチャまたはコンペアマッチ発生時に割り込み要求が可能です。また、2本のジェネラルレジスタを(GR11A、B)をコンペアマッチに設定すると、アドバンスドパルスコントローラ(APC)にコンペアマッチ信号を出力できます。

(10) プリスケアラ

ATU-IIは専用のプリスケアラを内蔵しています。このプリスケアラは2段構成になっています。初段はクロックPに対して、m分の1クロック(m=1~32)を生成する5ビットのプリスケアラ(PSCR1~4)です。2段目はそれぞれのチャンネルのタイマコントロールレジスタ(TCR1A、B、TCR2A、B、TCR3~5、TCR6A、B、TCR7A、B、TCR8、TCR11)により初段からのクロックをさらに 2^n (n=0~5)に分周したクロックの選択が可能です。

ただし、チャンネル1~8、11のプリスケアラは2段構成、チャンネル0、10のプリスケアラは初段のみとなっています。また、初段のプリスケアラはチャンネル0~5、8、11が共通になっており、初段の分周比をそれぞれ異なるように設定することができません。チャンネル6、7、10はそれぞれのチャンネルごとに初段のプリスケアラを持っており、初段の分周比をそれぞれ異なるように設定することができます。

11.3.2 フリーランニングカウンタ動作と周期カウンタ動作

チャンネル0~5、11のフリーランニングカウンタ(TCNT)は、タイマスタートレジスタ(TSTR)の対応するビットを1にセットするとフリーランニングカウンタとしてアップカウンタ動作を開始します。TCNTがオーバフロー(チャンネル0:H'FFFFFFF H'00000000、チャンネル1~5、11:H'FFFF H'0000)するとタイマステータスレジスタ(TSR)のOVFビットが1にセットされます。このとき、対応するタイマインタラプトイネーブルレジスタ(TIER)のOVEビットが1ならばCPUに割り込みを要求します。TCNTはオーバフロー後、H'00000000またはH'0000から再びアップカウンタを継続します。

TCNTの動作中にTSTR値を0にすると、対応するTCNTは動作を停止します。このときTCNTはリセットされません。対応するTCNTのGRから外部出力している場合には、出力値は変化しません。

図11.13にチャンネル0のフリーランニングカウンタ動作を示します。

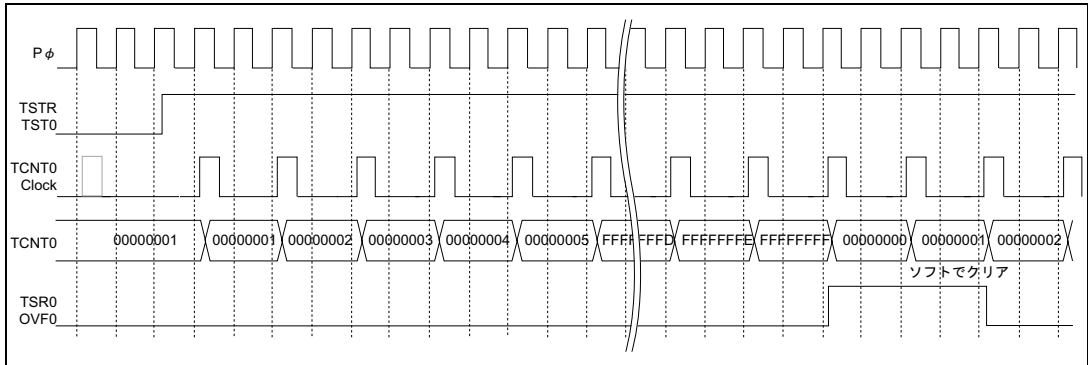


図 11.13 フリーランニングカウンタ動作およびオーバーフロータイミング

チャンネル 6、7 のフリーランニングカウンタ (TCNT) は、無条件で周期カウント動作を行います。また、チャンネル 3～5 のフリーランニングカウンタ (TCNT) は、タイマモードレジスタ (TMDR) の T3PWM～T5PWM ビットに 1 をセットすると、あるいは T3PWM～T5PWM が 0 のとき、タイマ I/O コントロールレジスタ (TIOR) の対応する CCI ビットを 1 にセットすると当該チャンネルのカウンタは周期カウント動作を行います。チャンネル 3～5 の場合は GR3D、4D、5D が、チャンネル 6、7 の場合は CYLR が、カウンタ TCNT とコンペアマッチすると当該 TCNT がクリアされます (カウンタクリア機能)。TMDR 設定後、TSTR の対応する STR ビットを 1 にセットすると、周期カウンタとしてカウントアップを開始します。カウント値が GR3D、4D、5D あるいは CYLR 値と一致すると、タイマステータスレジスタ (TSR) の IMF3D、4D、5D、チャンネル 6、7 の場合は TSR6、7 の CMF の対応するビットに 1 がセットされ、TCNT は H'0000、チャンネル 6、7 の場合は H'0001 にクリアされます。

このとき、TIER の対応するビットが 1 ならば、CPU に割り込み要求をします。TCNT はコンペアマッチ後、H'0000、チャンネル 6、7 の場合は H'0001 から再びアップカウント動作を継続します。

チャンネル 3 を周期カウンタとして (周期を H'0008 に設定) 使用したときの動作を図 11.14 に示します。

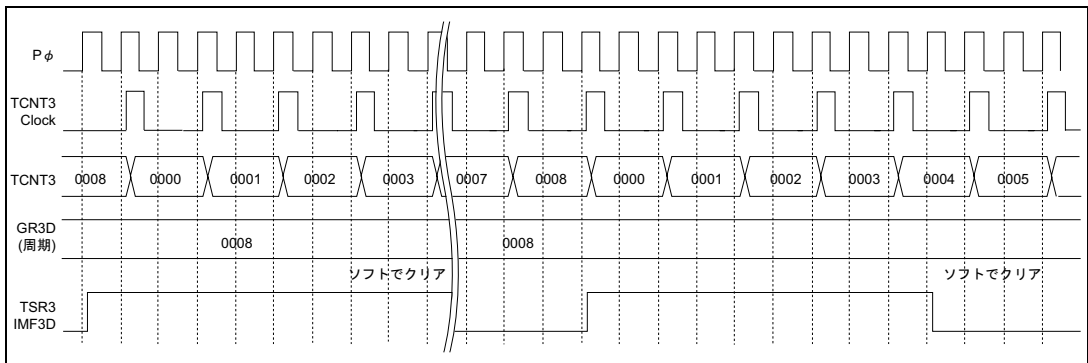


図 11.14 周期カウント動作例

11.3.3 コンペアマッチ機能

チャンネル 1～5 とチャンネル 11 のジェネラルレジスタ (GR1A～GR1H、GR2A～GR2H、GR3A～GR3D、GR4A～GR4D、GR5A～GR5D、GR11A、GR11B) は、タイマ I/O コントロールレジスタ (TIOR1～TIOR5、TIOR11) にコンペアマッチ動作を指定することにより、対応する外部端子 (TIO1A～TIO1H、TIO2A～TIO2H、TIO3A～TIO3D、TIO4A～TIO4D、TIO5A～TIO5D、TIO11A、TIO11B) からコンペアマッチ出力を行います。

タイマスタートレジスタ (TSTR) への設定によりフリーランニングカウンタ (TCNT) がカウント

11. アドバンスタイマユニット-II (ATU-II)

アップを開始します。あらかじめ GR に値を設定し、TCNT が GR に一致すると、GR に対応するタイムステータスレジスタ (TSR) のビットをセットし、GR に対応する端子から波形を出力します。出力は TIOR への設定により 1 出力 / 0 出力 / トグル出力から選択できます。また、インタラプトイネーブルレジスタ (TIER) への設定によりコンペアマッチ発生時に CPU への割り込み要求が可能です。

コンペアマッチ出力を行わず、コンペアマッチによる内部割り込み、またはコンペアマッチフラグのポーリング処理を行いたい場合、対応するコンペアマッチ出力端子を汎用入出力に、TIOR をコンペアマッチによる 1 出力 / 0 出力 / トグル出力のいずれかに設定してください。

また、チャンネル 1、2 のコンペアマッチレジスタ (OCR1、OCR2A ~ OCR2H) は無条件でコンペアマッチ動作を行います。ただし出力端子はありません。コンペアマッチ発生時に TIER への設定により CPU への割り込み要求が可能です。

さらにチャンネル 1、2 の GR と OCR は、コンペアマッチ時にチャンネル 8 にトリガ / ターミネート信号を送信することができます。このときは、トリガモードレジスタ (TRGMDR) タイマコネクションレジスタ (TCNR) とワンショットパルスターミネートレジスタ (OTR) で設定してください。

図 11.15 にコンペアマッチ動作を示します。

図 11.15 はチャンネル 1 を起動し、GR1A をドグル出力、GR1B を 1 出力、GR1C を 0 出力に設定し外部出力をさせたときの例です。

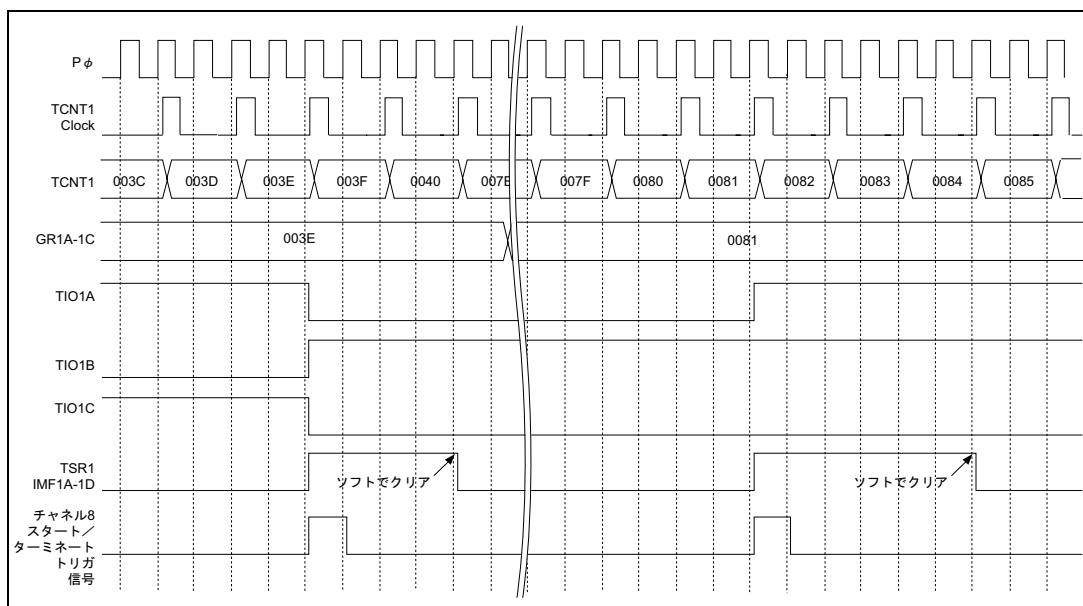


図 11.15 コンペアマッチ動作

11.3.4 インพุットキャプチャ機能

チャンネル 0 ~ 5 とチャンネル 11 のインพุットキャプチャレジスタ (ICR0A ~ ICR0D) とジェネラルレジスタ (GR1A ~ GR1H, GR2A ~ GR2H, GR3A ~ GR3D, GR4A ~ GR4D, GR5A ~ GR5D, GR11A, GR11B) は、タイマ I/O コントロールレジスタ (TIOR0 ~ TIOR5, TIOR11) にインพุットキャプチャ動作を指定することにより、対応する外部端子 (TIOA ~ TIOD, TIO1A ~ TIO1H, TIO2A ~ TIO2H, TIO3A ~ TIO3D, TIO4A ~ TIO4D, TIO5A ~ TIO5D) からエッジが入力されるとインพุットキャプチャ動作します。

タイマスタートレジスタ (TSTR) への設定によりフリーランニングカウンタ (TCNT) がカウントアップを開始します。ICR または GR の対応する外部端子のエッジが入力されると、対応するタイマ

ステータスレジスタ (TSR) のビットがセットされ、TCNT 値が ICR または GR に転送されます。入力されるエッジは、立ち上がり / 立ち下がり / 両エッジから選択できます。また、インタラプトイネーブルレジスタ (TIER) の設定により CPU に割り込み要求をすることができます。

図 11.16 にインプットキャプチャ動作を示します。

図 11.16 はチャンネル 1 を起動し、TIO1A は両エッジ、TIO1B は立ち上がり、TIO1C は立ち下がり指定で動作させたときの例です。

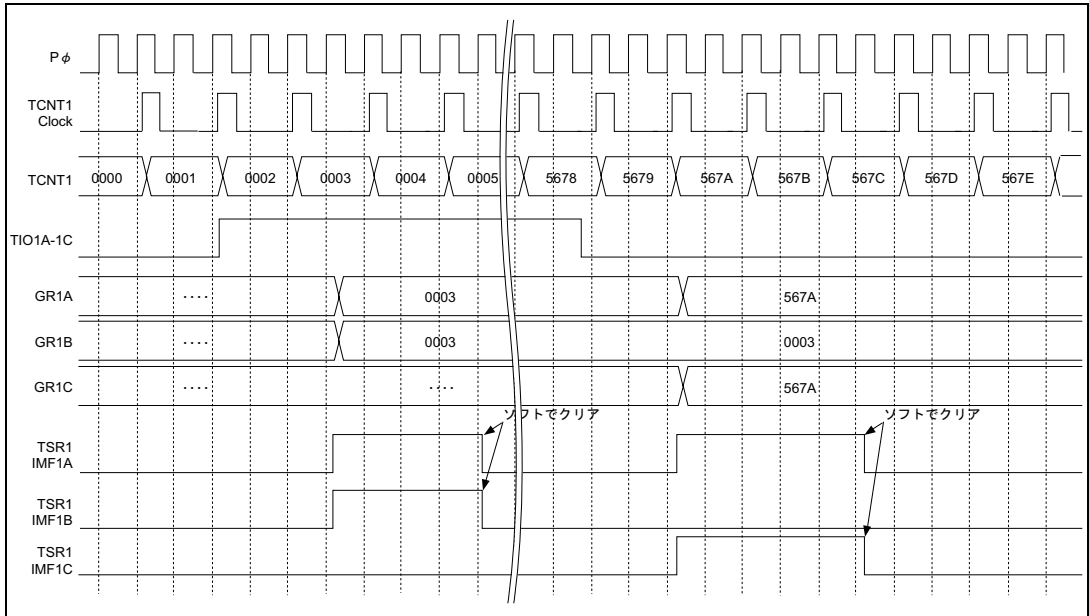


図 11.16 インプットキャプチャ動作

11.3.5 ワンショットパルス機能

チャンネル 8 は、16 本のダウンカウンタ (DCNT8A ~ DCNT8P) と、それぞれに対応する外部端子 (TO8A ~ TO8P) を持っており、ワンショットパルス出力が可能です。

あらかじめ DCNT に値を設定し、ダウンカウントスタートレジスタ (DSTR) の対応するビットを設定すると DCNT はダウンカウントを開始します。ダウンカウントを開始すると同時に外部端子から 1 を出力します。DCNT が H'0000 に達すると、ダウンカウント動作を停止し、タイマステータスレジスタ (TSR) の対応するビットをセットします。対応する外部端子からは 0 を出力します。DSTR の対応するビットは自動的にクリアされます。またこのときインタラプトイネーブルレジスタ (TIER) への設定により CPU への割り込み要求が可能です。

ワンショットパルス出力動作例を図 11.17 に示します。

図 11.17 は、H'0005 を DCNT に設定しダウンカウントを開始したときの例です。

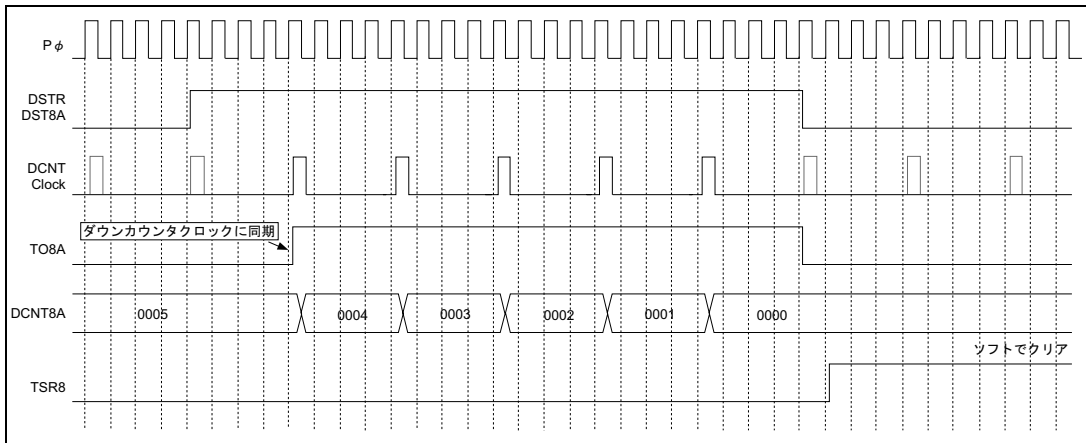


図 11.17 ワンショットパルス出力動作

11.3.6 オフセット付きワンショットパルス機能と出力遮断機能

チャンネル 8 のダウンカウンタ (DCNT8A ~ DCNT8P) は、タイマコネクシオンレジスタ (TCNR) への設定によりチャンネル 1 のジェネラルレジスタ (GR1A ~ GR1H) またはチャンネル 1、2 のコンペアマッチレジスタ (OCR1、OCR2A ~ OCR2H) からのコンペアマッチ信号を用いてダウンカウントをスタートさせることができます。DCNT8A ~ DCNT8H はチャンネル 1 の OCR1 または GR1A ~ GR1H と、DCNT8I ~ DCNT8P はチャンネル 2 の OCR2A ~ OCR2H または GR2A ~ GR2H と接続されます。DCNT に対応した外部端子 (TO8A ~ TO8P) からはワンショットパルス出力が可能です。またワンショットパルスターミネートレジスタ (OTR) への設定によりダウンカウントを強制的に停止することができます。チャンネル 1 に関しては、GR、OCR のコンペアマッチでダウンカウントスタート/ターミネートの選択がトリガモードレジスタ (TRGMDR) により可能です。

タイマスタートレジスタ (TSTR) への設定によりチャンネル 1、2 のフリーランニングカウンタ (TCNT) はカウントアップ動作を開始します。TCNR で接続を許可した状態で、TCNT が GR または OCR と一致すると、それぞれに対応する DSTR が自動的にセットされ、DCNT がダウンカウントを開始します。同時に外部端子 (TO8A ~ TO8P) からは 1 を出力します。インタラプトイネーブルレジスタ (TIER) への設定により CPU への割り込み要求が可能です。

また、OTR でチャンネル 1、2 のコンペアマッチ信号でチャンネル 8 のワンショットパルス終了を許可した状態で、TCNT1 が GR または OCR と、TCNT2 が GR と一致すると、それぞれに対応する DSTR が自動的にクリアされ、DCNT がダウンカウントを停止します。このとき DCNT 値は、H'0000 にクリアされます。再びダウンカウントが開始される前に書き換えてください。

DCNT8I ~ DCNT8P には、リロードレジスタ (RLDR8) が接続されており、ワンショットパルススタートトリガにより DCNT8I ~ DCNT8P に対応する DSTR がセットされると DCNT8I ~ DCNT8P は RLDR8 をロードしてからダウンカウントを開始します。

オフセット付きワンショットパルス出力機能および出力遮断機能の動作例を図 11.18 に示します。

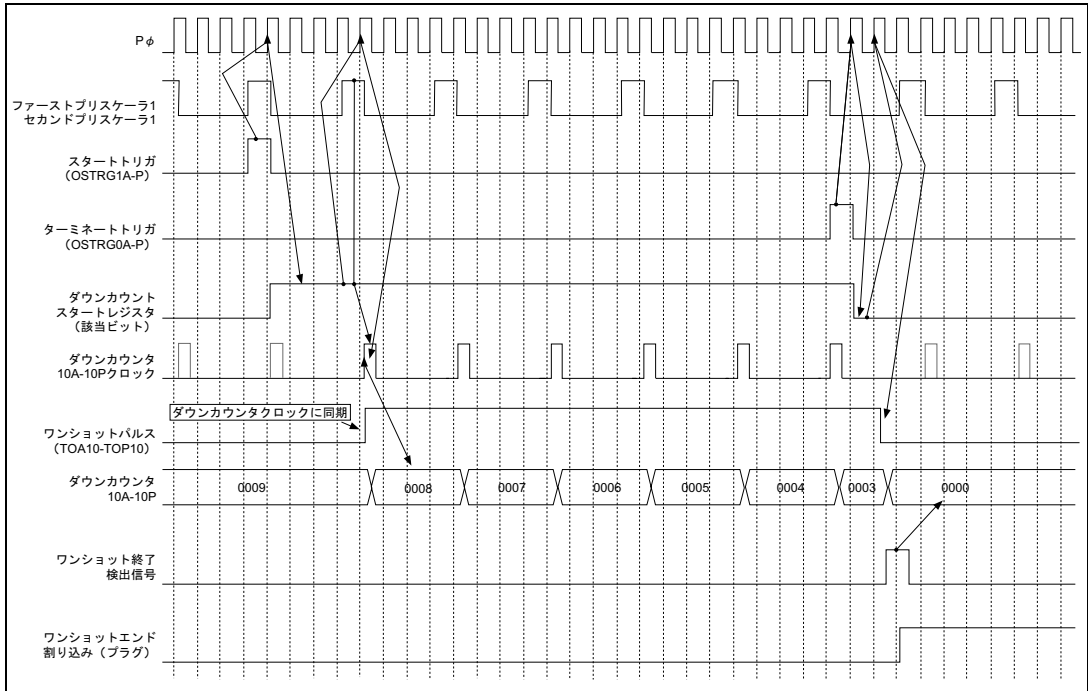


図 11.18 オフセット付きワンショットパルス出力機能と出力遮断機能動作

11.3.7 インターバルタイマ機能

インターバルインタラプトリクエストレジスタ (ITVRR1、ITVRR2A、ITVRR2B) は、チャンネル 0 のフリーランニングカウンタ (TCNT0) のビット 6~9 とビット 10~13 と接続されています。ITVRR は 8 ビットのレジスタで上位 4 ビット (ITVA) は A/D 変換器の起動用で、下位 4 ビット (ITVE) は割り込み要求用です。ITVRR1 は A/D 変換器 2 (AD2) に接続され、ITVRR2A は A/D 変換器 0 (AD0)、ITVRR2B は A/D 変換器 1 (AD1) に接続されます。

所望のタイミングの ITVA ビットをセットすると、TCNT0 の対応するビットが 1 に変化したときに A/D 変換器が起動されます。

所望のタイミングの ITVE ビットをセットすると、TCNT0 の対応するビットが 1 に変化したときに割り込み要求が可能です。このときタイマステータスレジスタ (TSR0) の該当するビットがセットされます。割り込みはそれぞれの ITVRR で 4 要因ありますが、割り込みベクタは ITVRR に対して 1 つです。

割り込みおよび A/D 変換器の起動を行わない場合は、ITVRR は 0 に設定してください。

インターバルタイマ機能の動作例を図 11.19 に示します。

図 11.19 は ITVRR1 の ITVE に 1 を設定して、TCNT0 を起動したときの例です。

11. アドバンスタイマユニット-II (ATU-II)

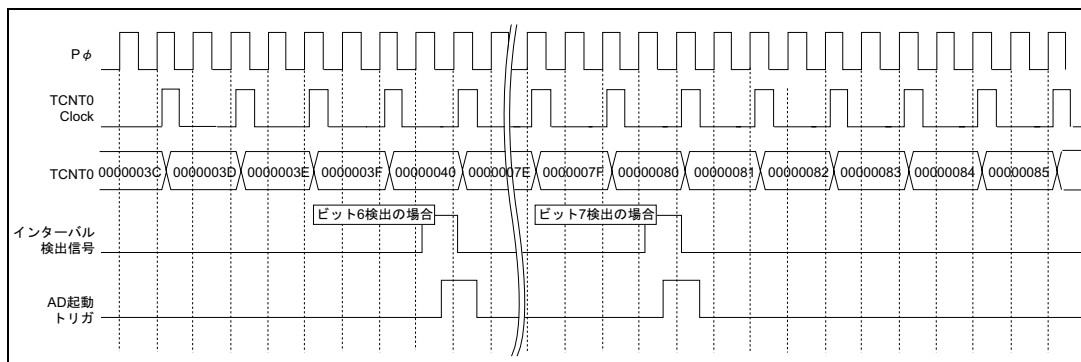


図 11.19 インターバルタイマ機能

11.3.8 ツインキャプチャ機能

チャンネル0のインプットキャプチャレジスタ(ICR0A)と、チャンネル1のオフセットベースレジスタ1(OSBR1)およびチャンネル2のオフセットベースレジスタ2(OSBR2)は、タイマI/Oコントロールレジスタ0(TIOR0)への設定により同じトリガでインプットキャプチャ動作を行うことができます。

タイマスタートレジスタ(TSTR)への設定によりチャンネル0、チャンネル1、チャンネル2のTCNT0、TCNT1AおよびTCNT2Aをスタートさせ、ICR0Aの入力をトリガ信号とし、エッジを検出するとOSBR1にはTCNT1Aの値が、OSBR2にはTCNT2Aの値が転送されます。エッジの検出は「11.3.4 インプットキャプチャ機能」で述べたとおりです。

図 11.20 にツインキャプチャ動作例を示します。

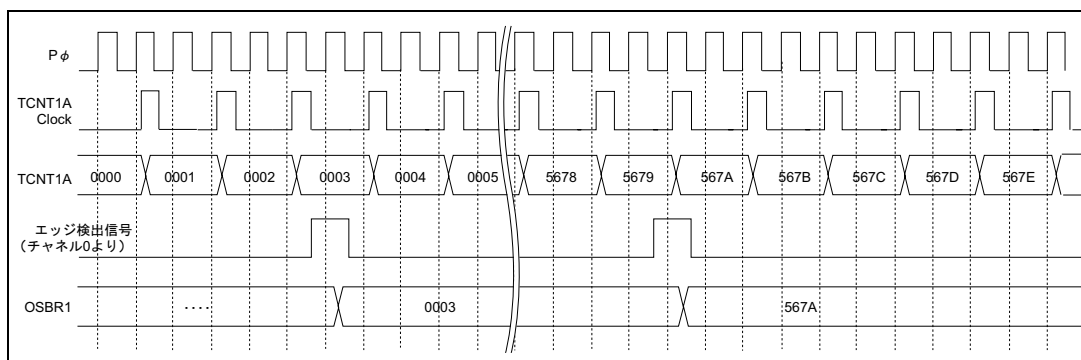


図 11.20 ツインキャプチャ動作

11.3.9 PWM タイマ機能

チャンネル6、7は無条件で、外部端子(TO6A~TO6D、TO7A~TO7D)を使用したPWMタイマとして使用できます。

チャンネル6、7は、タイマスタートレジスタ(TSTR)の対応するビットをセットしてフリーランニングカウンタ(TCNT)を起動すると、対応するサイクルレジスタ(CYLR)に一致するまでカウントアップ動作をします。TCNTはCYLRと一致するとH'0001にクリアされ、そこから再びアップカウントします。対応する外部端子は、このとき1を出力します。またタイマインタラプトイネーブルレジスタ(TIER)の対応するビットを設定することによりCPUに割り込みを要求することができます。デューティレジスタ(DTR)に値が設定されており、TCNTがDTRに一致すると、対応する外部端子に0を出力します。DTRがH'0000の場合には、出力は変化しません(デューティ0%)。た

だし、DTR に H'0000 を設定する場合は、DTR に直接 H'0000 を書き込みせず、BFR に H'0000 を設定し、BFR から DTR への転送により設定をしてください。直接 DTR に H'0000 を書き込むとデューティ0%にならない場合があります。デューティを 100%にするには DTR = CYLR に設定してください。DTR には DTR > CYLR となる値を設定しないでください。

チャンネル 6、7 にはバッファ (BFR) を持っており、TCNT が CYLR と一致すると BFR 値が DTR に転送されます。BFR に書き込まれたデューティ値が出力値に反映されるのは、BFR が書き込まれた周期の次の周期になります。

図 11.21 に PWM タイマ動作例を示します。

図 11.21 はチャンネル 6 の CYLR6A に H'0004、BFR6A に H'0002、H'0000 (0%)、H'0004 (100%)、H'0001 を設定したときの動作例です。

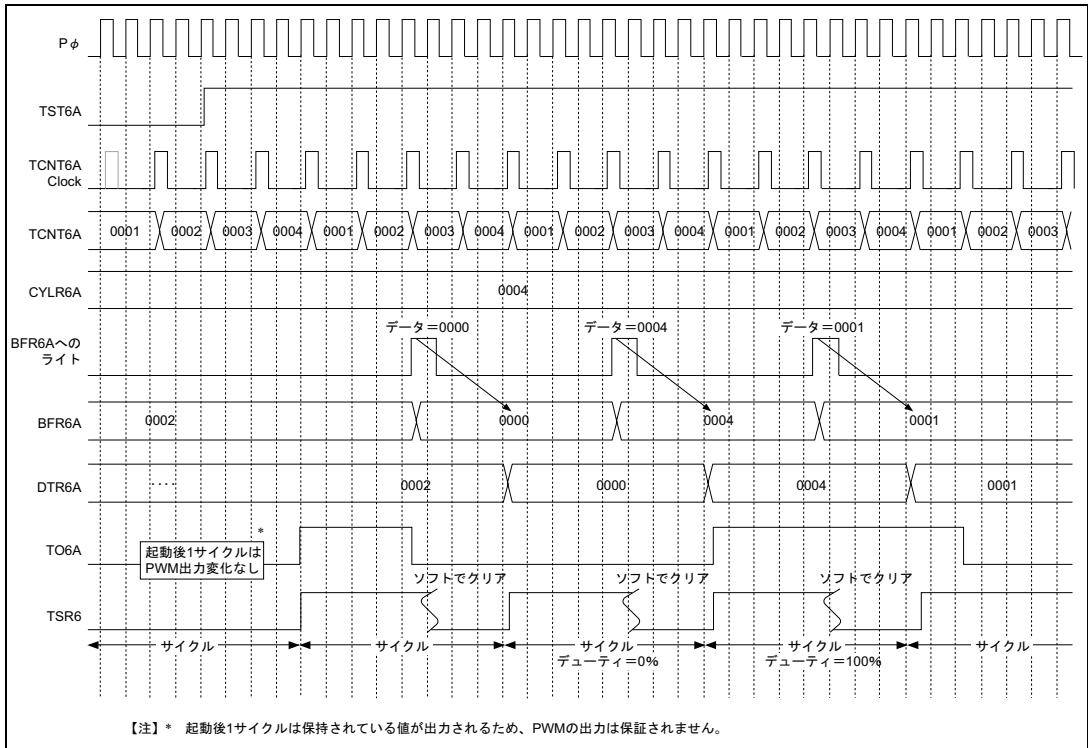


図 11.21 PWM タイマ動作

また、チャンネル 6 は PWM モードコントロールレジスタ (PMDR) への設定により、相補 PWM モードとして使用できます。また、PMDR への設定によりオンデューティ / オフデューティの選択も可能です。

TSTR への設定により TCNT6 を起動すると、TCNT6 はカウントアップを開始します。TCNT6 が CYLR6 に達すると、TCNT6 はダウンカウントを開始し、H'0000 に達すると再びアップカウント動作をします。このときカウンタのステータスを TSR6 にて示しますが、TCNT6 がアンダフローしたとき、TIER の対応するビットを設定することにより CPU に割り込みを要求することができます。TCNT6 がデューティレジスタ (DTR6) に一致すると出力を反転します。一致前の出力は PMDR の設定に依存します。DTR6 にデットタイムを含んで値を設定すると、最大 4 相の PWM 出力が可能です。BFR6 から DTR6 へのデータ転送は、アンダフローしたときに行われます。

図 11.22 にチャンネル 6 の相補 PWM モード動作例を示します。

図 11.22 はチャンネル 6 の CYLR6A に H'0004、BFR6A に H'0002、H'0003、H'0004 (100%)、H'0000

11. アドバンスタイマユニット-II (ATU-II)

(0%) を設定したときの動作例です。

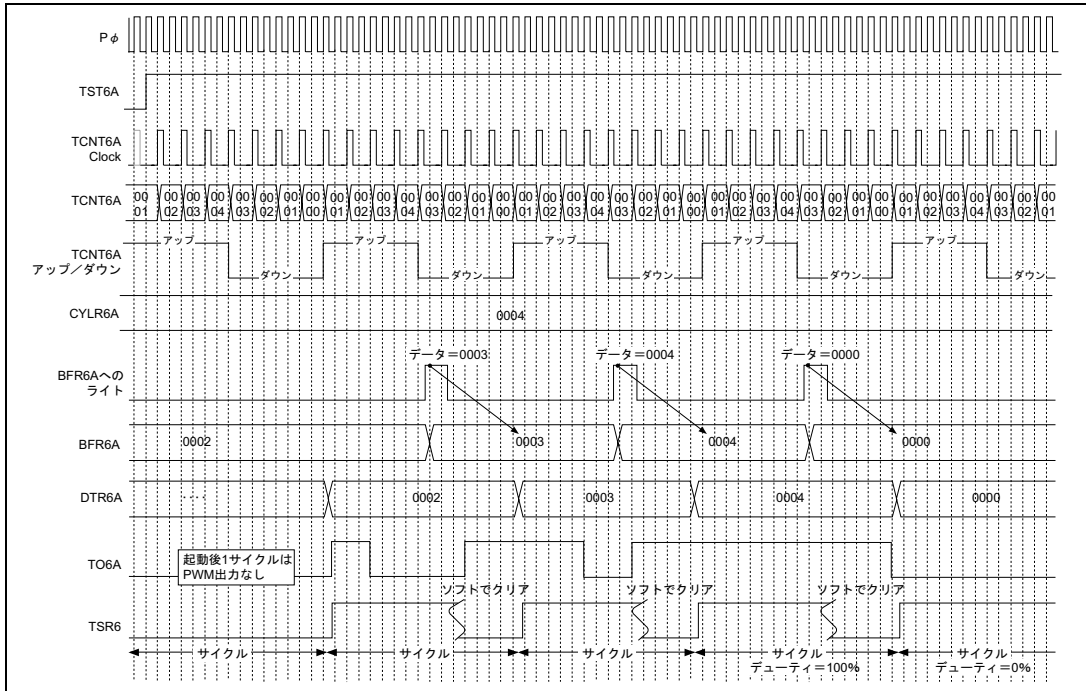


図 11.22 相補 PWM モード動作

11.3.10 チャネル 3~5 の PWM 機能

チャネル 3~5 は、タイマモードレジスタ (TMDR) の対応するビットに 1 を設定することにより、PWM モードとなり、周期が同じ PWM タイマとして動作させることができます。

PWM モードでは、ジェネラルレジスタ D (GR3D、GR4D、GR5D) が周期レジスタとして、またジェネラルレジスタ A~C (GR3A~GR3C、GR4A~GR4C、GR5A~GR5C) がデューティレジスタとして使用されます。デューティレジスタに使用される GR それぞれに対応する外部端子 (TIO3A~TIO3C、TIO4A~TIO4C、TIO5A~TIO5C) は PWM 出力として使用します。このとき外部端子 (TIO3D、TIO4D、TIO5D) はタイマ出力として使用しないでください。

タイマスタートレジスタ (TSTR) への設定によりフリーランニングカウンタ (TCNT) を動作させ、TCNT が周期レジスタ (GR3D、GR4D、GR5D) に達するとコンペアマッチが発生し、TCNT はクリアされ再び H'0000 からカウントアップします。このときタイマステータスレジスタ (TSR) の該当するビットをセットすると共に、同時に外部端子から 1 を出力します。TCNT がデューティレジスタ (GR3A~GR3C、GR4A~GR4C、GR5A~GR5C) に達すると、外部端子に 0 を出力します。対応するステータスフラグはセットされません。フリーランニングカウンタ初期値 (H'0000) からカウンタを起動して PWM 動作を行うと、1 周期間 PWM 出力は行いません。すぐに PWM 出力を行うには、フリーランニングカウンタに周期レジスタと同じ値をセットしてカウンタを起動してください。また、周期レジスタに H'FFFF を設定して PWM 動作を行うと、周期レジスタのコンペアマッチフラグとオーバーフローのフラグが同時にセットされます。

チャネル 3~5 の PWM モードでは 0%、100% デューティを出力することはできません。

図 11.23 にチャネル 3~5 の PWM モード動作例を示します。

図 11.23 は、GR3D に H'0008、GR3A、GR3B、GR3C に H'0002 を設定してチャネル 3 を起動し、

途中で GR3A、GR3B、GR3C に H'0000 を設定し外部端子 (TIOA3 ~ TIOC3) に出力した場合の例です。H'0000 を設定してもデューティ 0% 出力はできません。

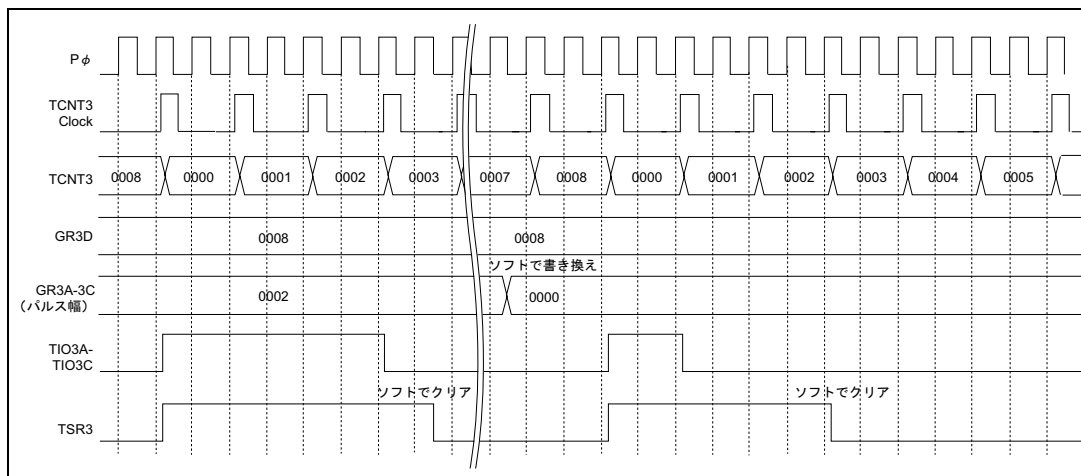


図 11.23 チャンネル 3~5 の PWM モード動作

11.3.11 イベントカウント機能とイベント周期計測

チャンネル 9 は 6 本の 8 ビットイベントカウンタ (ECNT9A ~ ECNT9F) と、それぞれにジェネラルレジスタ (GR9A ~ GR9F) を持っています。それぞれのイベントカウンタは外部端子 (TI9A ~ TI9F) を持っています。

ECNT9 は無条件にイベントカウンタとして動作します。外部端子からエッジが入力されると、ECNT9 がカウントアップされます。ECNT9 は GR9 に設定された値に一致した後にエッジが入力されるとクリアされ、再び外部端子にエッジが入力されるとカウントアップします。タイマインタラプトイネーブルレジスタ (TIER) の対応するビットをセットしておく、コンペアマッチで CPU に割り込み要求ができます。

また、ECNT9A ~ ECNT9D はコンペアマッチしたときにそのトリガをチャンネル 3 に送信することができます。チャンネル 3 において、タイマ I/O コントロールレジスタ (TIOR) でチャンネル 9 のトリガ入力に設定し、タイマスタートレジスタ (TSTR) の当該ビットを 1 に設定すると、ECNT9A ~ ECNT9D でコンペアマッチ発生時ジェネラルレジスタ (GR3A ~ GR3D) に TCNT3 値がキャプチャされます。これによりイベント周期計測が可能です。

図 11.24 にイベントカウント動作を示します。両エッジ、立ち下がり、立ち上がりで ECNT9A をカウントアップし、GR9A は H'10 を設定してコンペアマッチさせた例です。

図 11.25 にはイベント周期計測動作を示します。チャンネル 9 からのトリガでチャンネル 3 の GR3A が TCNT3 をキャプチャする例です。

11. アドバンスタイマユニット-II (ATU-II)

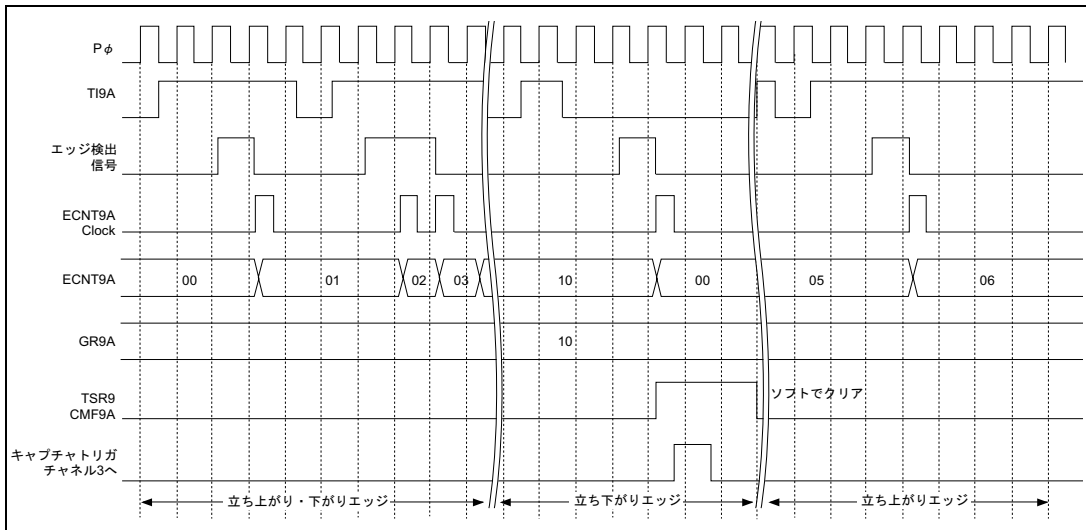


図 11.24 イベントカウント動作

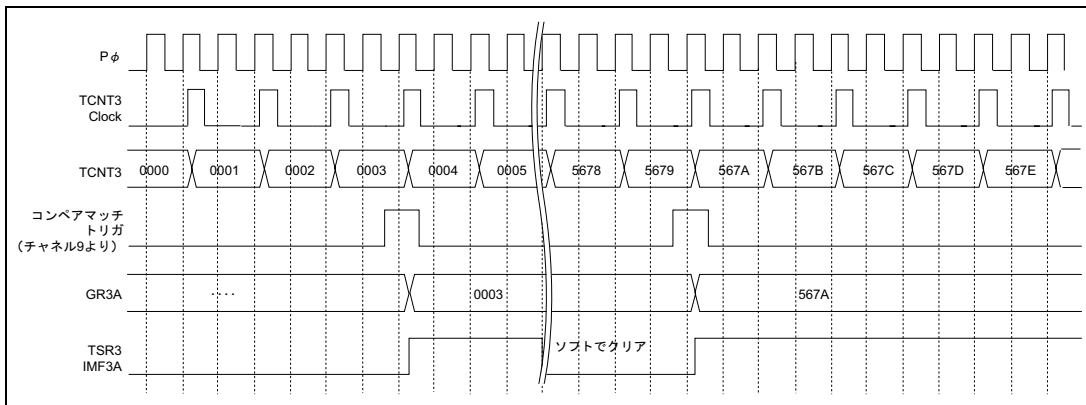


図 11.25 イベント周期計測動作

11.3.12 チャンネル 10 の機能

(1) エッジ間計測機能およびエッジ入力停止検出機能

チャンネル 10 の 32 ビットインプットキャプチャレジスタ 10A (ICR10A) および 32 ビットアウトプットコンペアレジスタ 10A (OCR10A) は、無条件でそれぞれインプットキャプチャ/コンペアマッチ動作を行います。これらは 32 ビットフリーランニングカウンタ (TCNT10A) に接続されています。

タイマスタートレジスタ (TSTR) の当該ビットを設定すると、チャンネル 10 全体が動作を開始します。ICR10A は外部入力端子 (TI10) を持っており、本入力端子にエッジが入力されると ICR10A は TCNT10A の値をキャプチャします。このとき TCNT10A は H'00000001 にクリアされます。キャプチャされた値は、倍周クロック生成ブロックのリロードレジスタ (RLD10C) に転送されます。このときタイマインタラプトイネーブルレジスタ (TIER) の設定により CPU への割り込みの要求ができます。これによりエッジ間計測が可能です。

また、TCNT10A が OCR10A に設定された値に達すると、コンペアマッチによる割り込み発生が可能です。これにより OCR10A に設定された時間以上エッジ入力停止したことを検出することがで

きます。

TI10 からの入力エッジは内部で同期化され、内部信号 AGCK となります。TI10 に入力されるエッジは、タイマコントロールレジスタ (TCR10) の NCE ビットの設定によりタイマ 10H (TCNT10H) での入力キャンセル機能を使用してノイズをキャンセルすることができます。TI10 にエッジが入力されると TCNT10H が起動し、コンペアマッチレジスタ (NCR10) に到達するまで入力を禁止します。

図 11.26 にエッジ入力動作 (ノイズキャンセルなし)、図 11.27 にエッジ入力動作 (ノイズキャンセルあり)、図 11.28 に TCNT10A のキャプチャ動作とコンペアマッチ動作を示します。

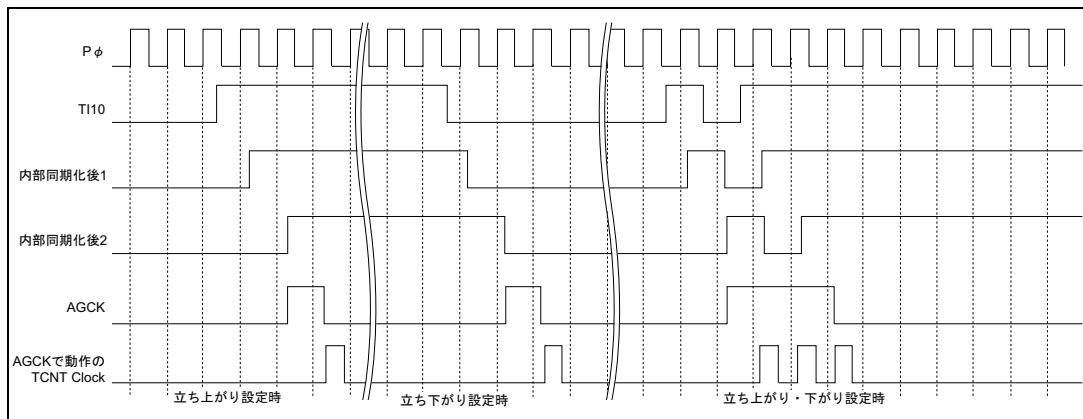


図 11.26 エッジ入力動作 (ノイズキャンセルなし)

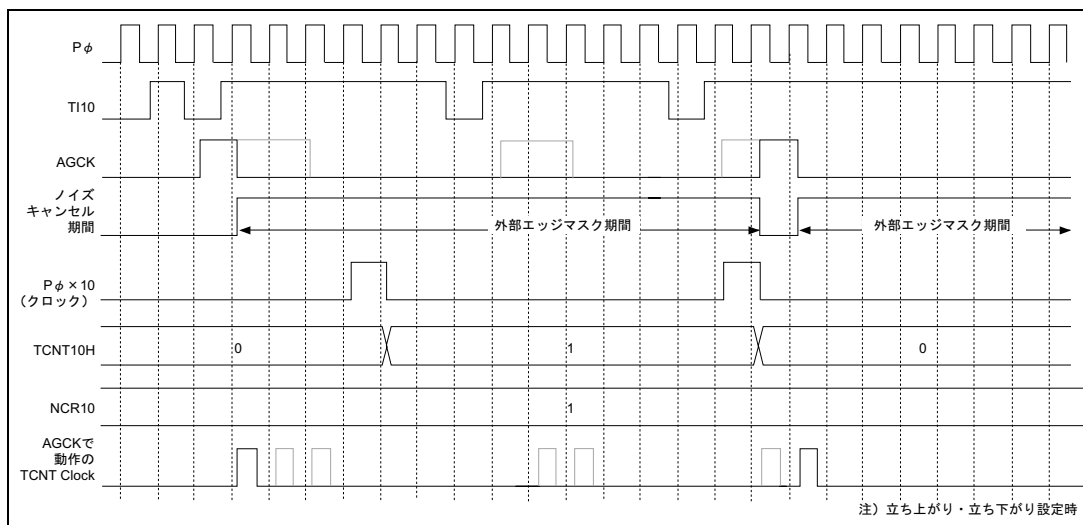


図 11.27 エッジ入力動作 (ノイズキャンセルあり)

11. アドバンスタイマユニット-II (ATU-II)

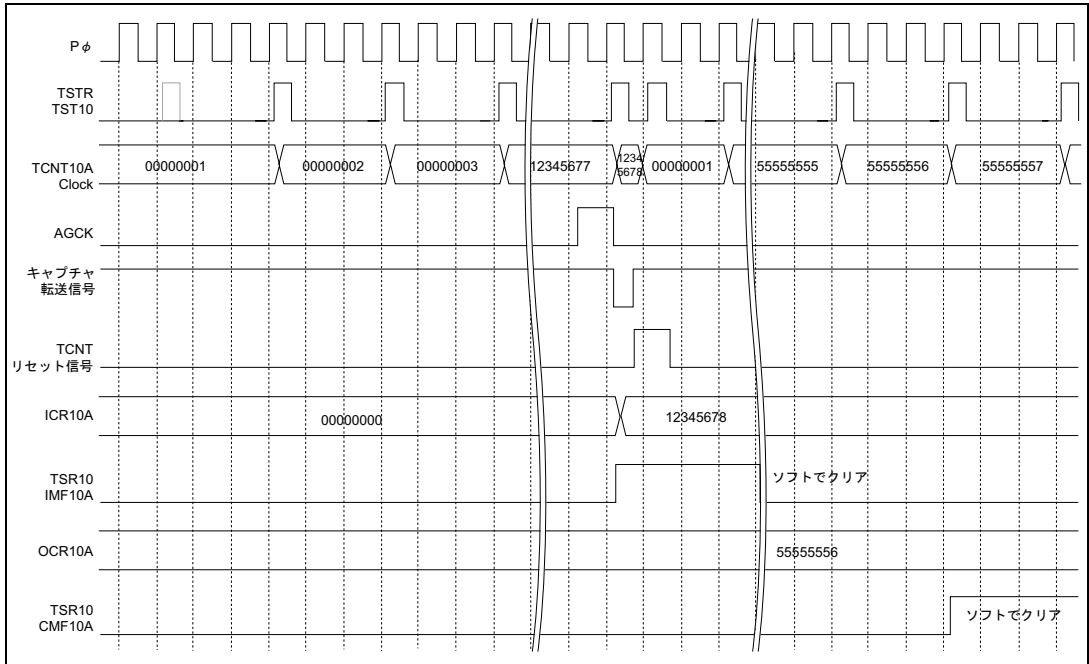


図 11.28 TCNT10A のキャプチャ動作とコンペアマッチ動作

内部で同期化された AGCK は、イベントカウンタ 10B (TCNT10B) でカウントされ、あらかじめコンペアマッチレジスタ 10B (OCR10B) に値を設定しておくことで TCNT10B が一致したときにコンペアマッチが発生します。このときコンペアマッチトリガ信号をチャンネル 0 に送信します。また、TIER の該当するビットをセットしておくことで CPU の割り込み要求が可能です。

図 11.29 に TCNT10B のコンペアマッチ動作を示します。

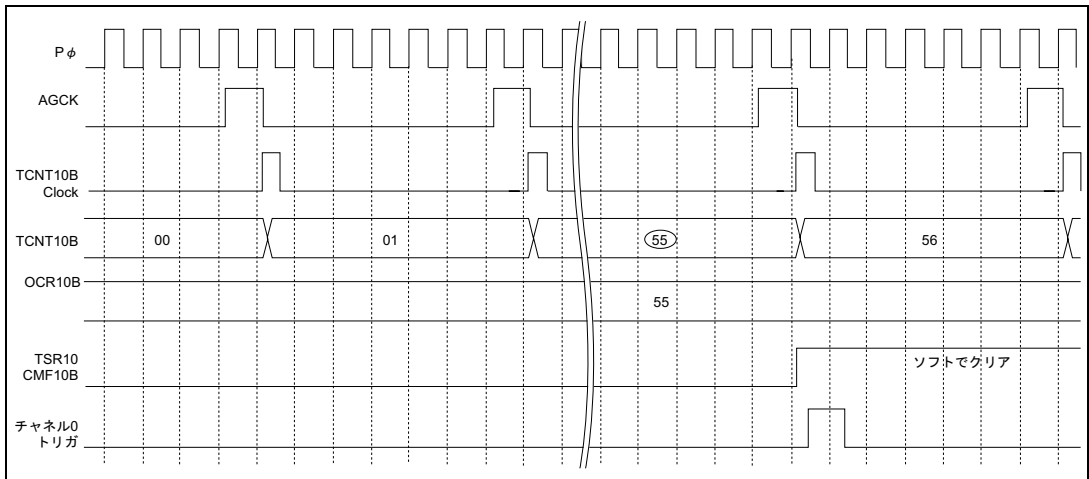


図 11.29 TCNT10B のコンペアマッチ動作

(2) 倍周クロック生成機能

チャンネル 10 の 16 ビットリロードカウンタ (TCNT10C、RLD10C) と 16 ビットフリーランニングカウンタ (TCNT10G) は外部端子 (TI10) から入力されたエッジ間を 32/64/128/256 倍に倍周することができます。

上記 ICR10A でキャプチャされた値は、タイマ I/O コントロールレジスタ (TIOR10) で設定された値により 1/32、1/64、1/128、1/256 倍されてリロードバッファ (RLD10C) に転送されます。これと同時に 16 ビットリロードカウンタ 10C (TCNT10C) にも同値が転送されダウンカウント動作を開始します。このカウンタは H'0001 に達すると自動的に RLD10C から値を読み込み再度ダウンカウント動作を繰り返します。このリロードが発生すると倍周クロック信号 (AGCK1) を生成します。AGCK1 は次項で説明する倍周クロック補正機能により補正クロック (AGCKM) に変換されます。

また、チャンネル 10 は、ジェネラルレジスタ (GR10G) と、16 ビットフリーランカウンタ 10G (TCNT10G) を用いて倍周クロック (AGCK1) によるコンペアマッチ動作が可能です。TCNT10G は無条件で AGCK1 でカウントアップされます。TCNT10G が GR10G と一致したときにタイマインタラプトイネーブルレジスタ (TIER) の設定により、CPU への割り込みを要求することができます。この割り込みタイミングは、TIER の IREG ビットによりコンペアマッチ発生時、またはコンペアマッチ発生後最初の TI10 エッジ入力時の選択ができます。

図 11.30 に TCNT10C 動作、図 11.31 に TCNT10G のコンペアマッチ動作を示します。

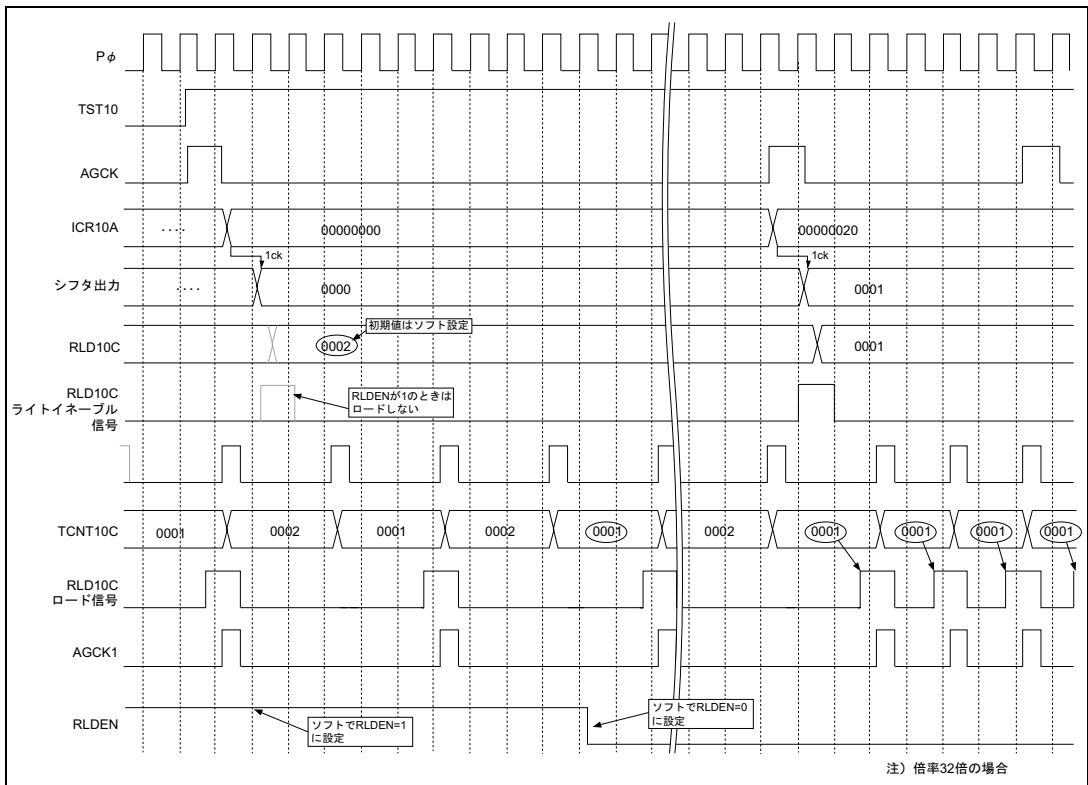


図 11.30 TCNT10C の動作

11. アドバンスドタイマユニット-II (ATU-II)

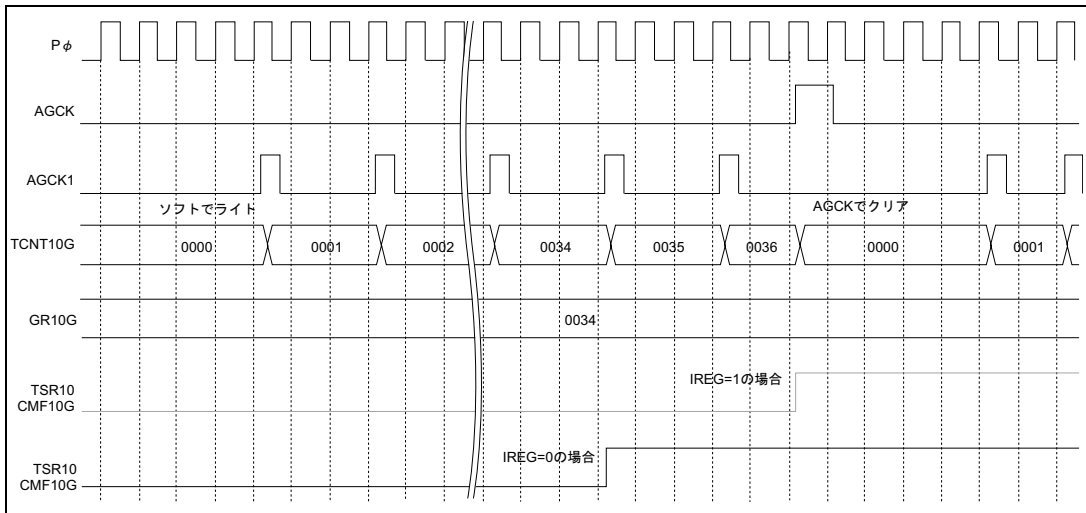


図 11.31 TCNT10G のコンペアマッチ動作

(3) 倍周クロック補正機能

チャンネル 10 の 3 本の 16 ビット補正カウンタ (TCNT10D、TCNT10E、TCNT10F) と、補正カウンタクリアレジスタ (TCCLR10) は、TI10 から入力されるエッジ間を TIOR10 で設定された倍周値にするように補正機能を持っています。

AGCK が入力されると、TIOR10 で設定された通倍率で TCNT10D を通倍した値が TCNT10E に転送されます。それと同時に、TCNT10D はカウントアップを行います。

TCNT10E は、AGCK1 によりカウントアップします。TCNT10E は、AGCK で TCNT10D をロードし、再度 AGCK1 によりカウントアップします。このとき、TIOR10 のカウンタコレクションセレクト (CCS) により TCNT10D = TCNT10E で TCNT10E を停止するかしないかを選択できます。

TCNT10F は、周辺クロック (P) が入力されており、常に TCNT10E と比較されています。TCNT10F は、TCNT10E より小さいときにカウントアップされ倍周補正クロック信号 (AGCKM) を出力します。

TCNT10E が TCNT10F の値を上回ったとき (TCNT10E が TCNT10D をロードしたとき) には、カウントアップ動作をしません。この AGCKM は、チャンネル 1~5 のフリーランカウンタ (TCNT1~5) に出力されます。

また、チャンネル 10 は補正カウンタクリアレジスタ (TCCLR10) を持っており、TCNT10F が TCCLR10 に設定された値に一致すると、補正カウンタ (TCNT10D、TCNT10E、TCNT10F) とチャンネル 1、2 のフリーランカウンタ (TCNT1、2) をクリアすることができます。

図 11.32 に TCNT10D の動作、図 11.33 に TCNT10E の動作、図 11.34 に TCNT10F の動作 (起動時)、図 11.35 に TCNT10F の動作 (サイクル終了、加速、減速)、図 11.36 に TCNT10F の動作 (サイクル終了、定常時) を示します。

11. アドバンスドタイムユニット-II (ATU-II)

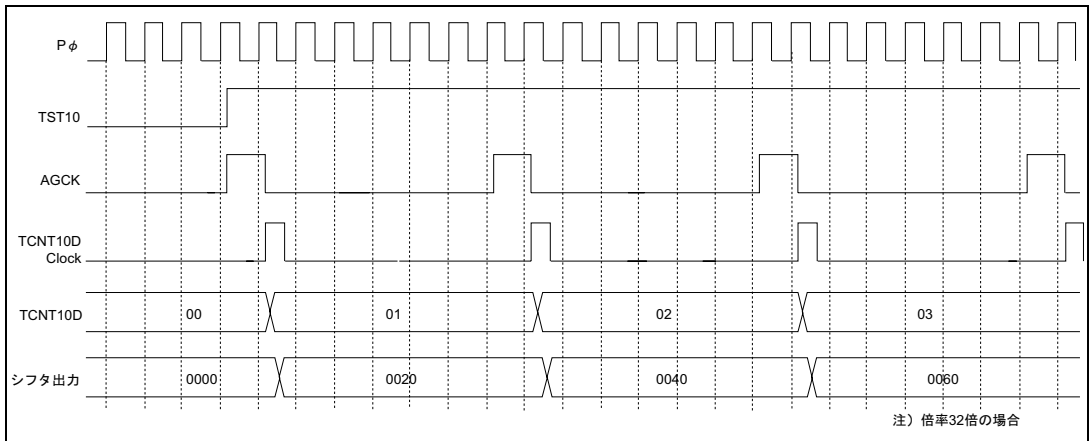


図 11.32 TCNT10D の動作

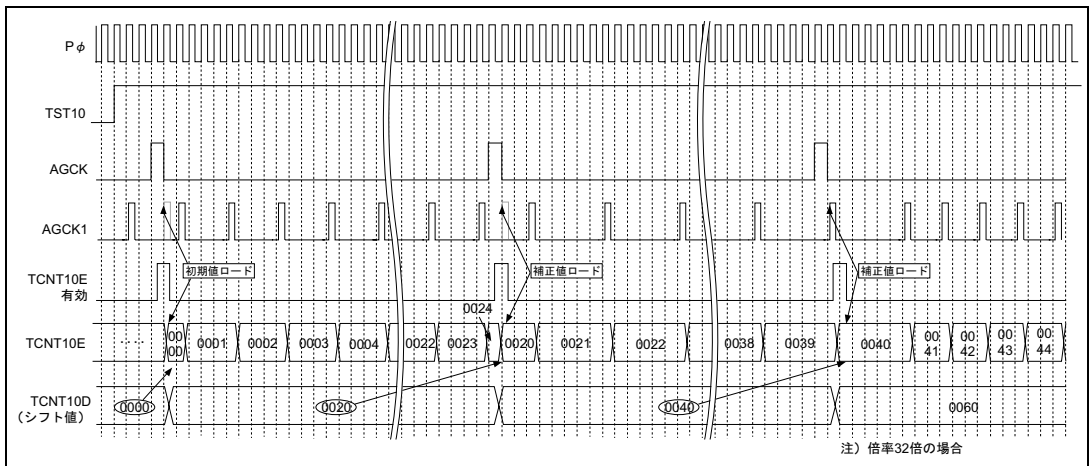


図 11.33 TCNT10E の動作

11. アドバンスタイマユニット-II (ATU-II)

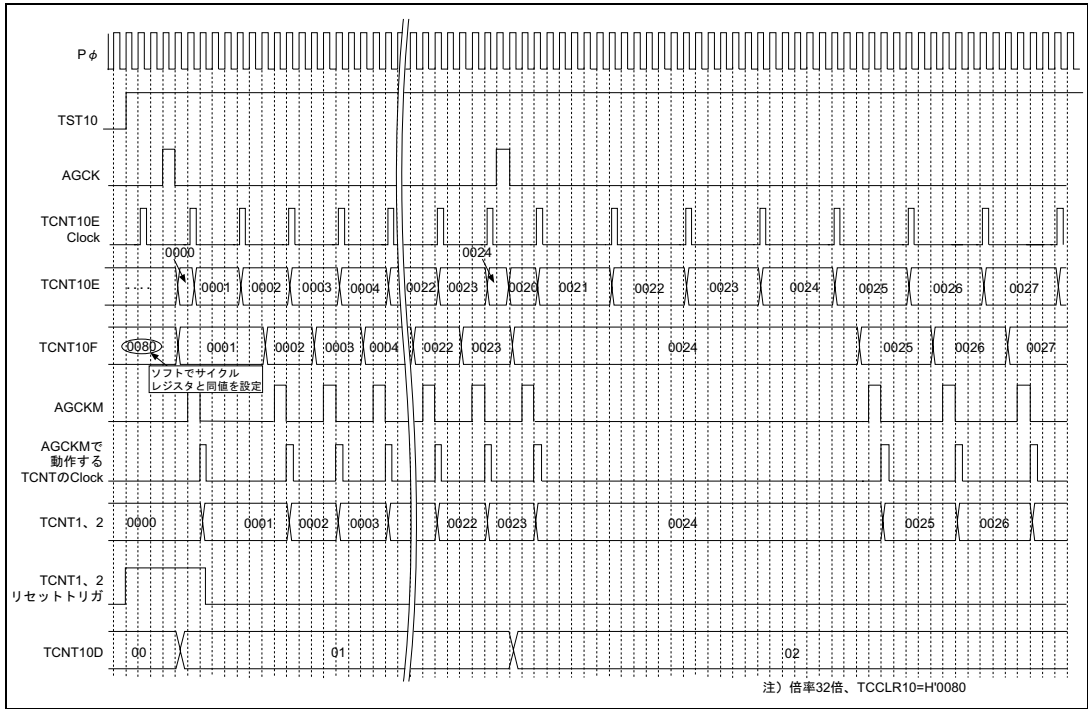


図 11.34 TCNT10F の動作 (起動時)

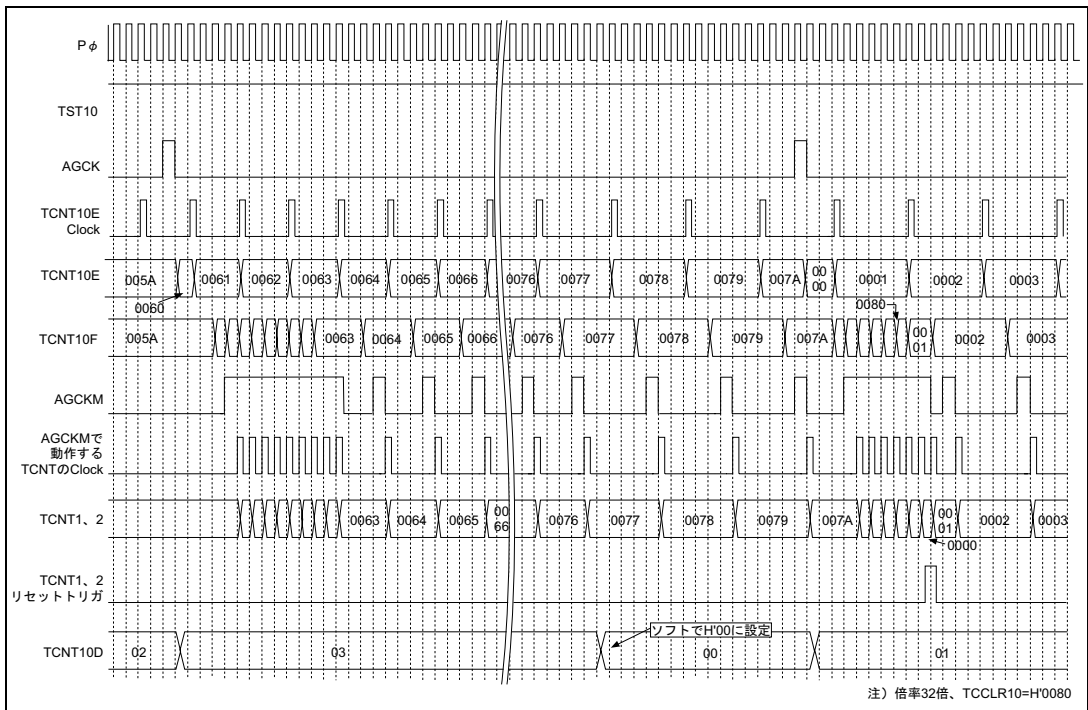


図 11.35 TCNT10F の動作 (サイクル終了、加速、減速)

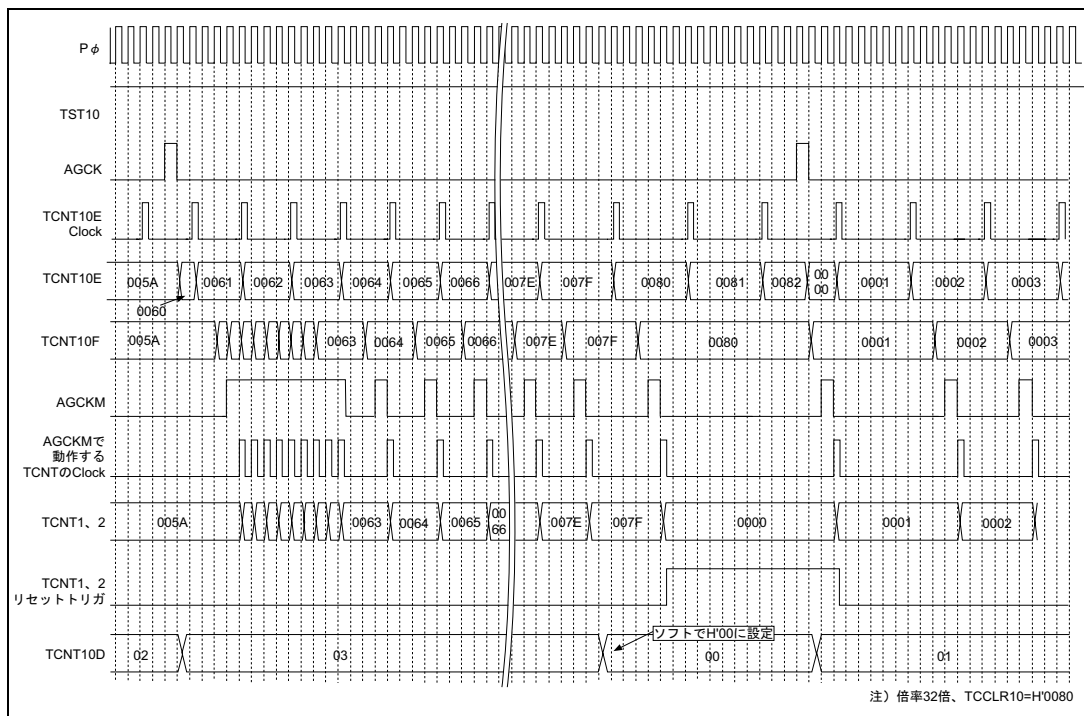


図 11.36 TCNT10F の動作 (サイクル終了、定常時)

11.4 割り込み

ATU の割り込み要因には、インプットキャプチャ割り込み、コンペアマッチ割り込み、オーバーフロー割り込み、アンダフロー割り込み、インターバルインタラプト割り込みの 5 種類 75 要因の割り込みがあります。

11.4.1 ステータスフラグのセットタイミング

(1) インプットキャプチャ時の IMF (ICF) のセットタイミング

インプットキャプチャ信号の発生によりタイムステータスレジスタ (TSR) の IMF、ICF ビットは 1 にセットされ、同時に TCNT の値が対応する GR、ICR、OSBR に転送されます。

このタイミングを図 11.37 に示します。

図 11.37 は、外部端子から信号を入力し、立ち上がりエッジによりインプットキャプチャを行ったときの例です。

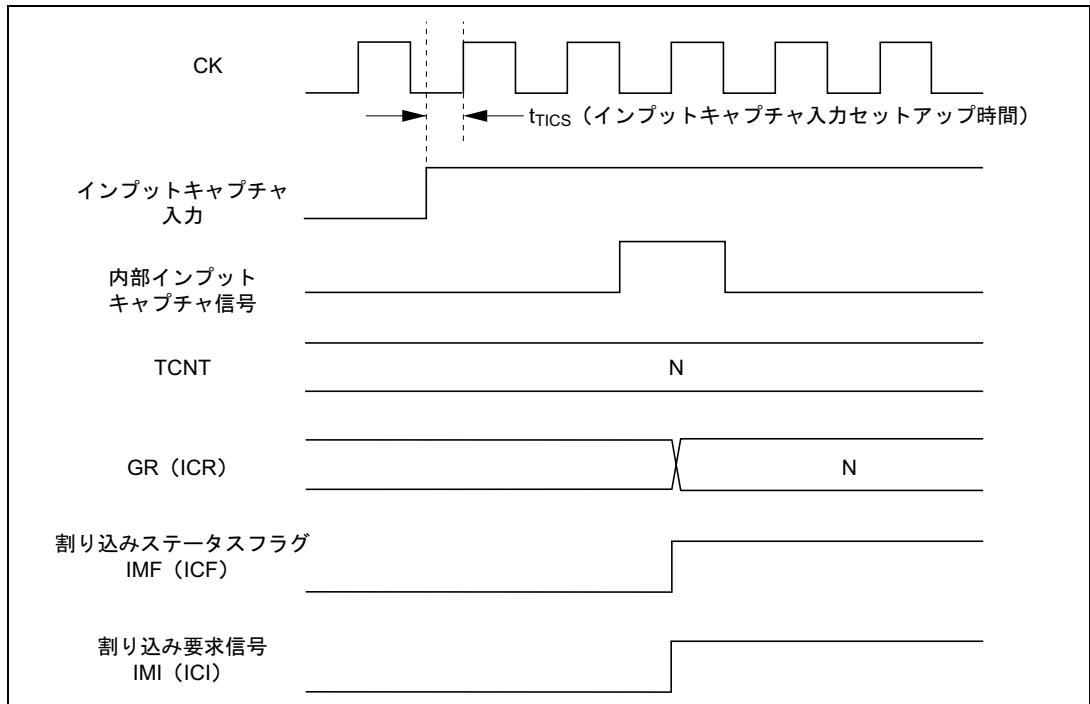


図 11.37 インプットキャプチャ時の IMF (ICF) のセットタイミング

(2) コンペアマッチ時の IMF (CMF) のセットタイミング

タイマステータスレジスタ (TSR) の IMF、CMF ビットは、ジェネラルレジスタ (GR)、アウトプットコンペアレジスタ (OCR) またはサイクルレジスタ (CYLR) とタイマカウンタ (TCNT) が一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。

このタイミングを図 11.38 に示します。

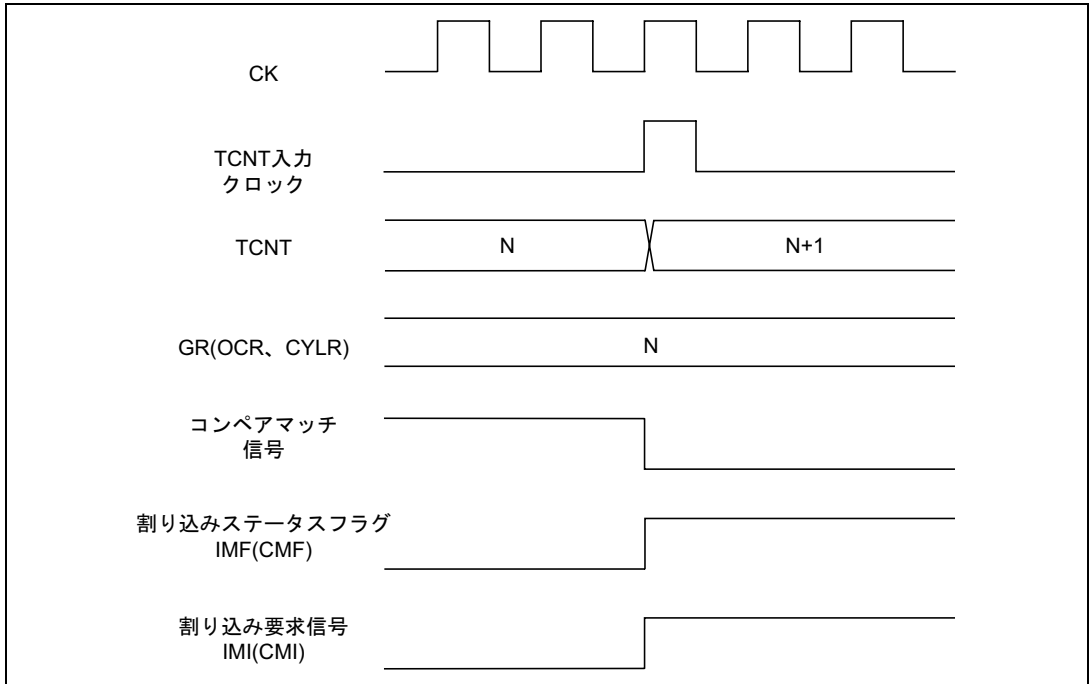


図 11.38 コンペアマッチ時の IMF (CMF) のセットタイミング

11. アドバンスドタイマユニット-II (ATU-II)

(3) オーバフロー時の OVF のセットタイミング

TCNT がオーバフロー (H'FFFF H'0000 または H'FFFFFFFF H'00000000) したとき、タイムステータスレジスタ (TSR) の OVF ビットは 1 にセットされます。

このときのタイミングを図 11.39 に示します。

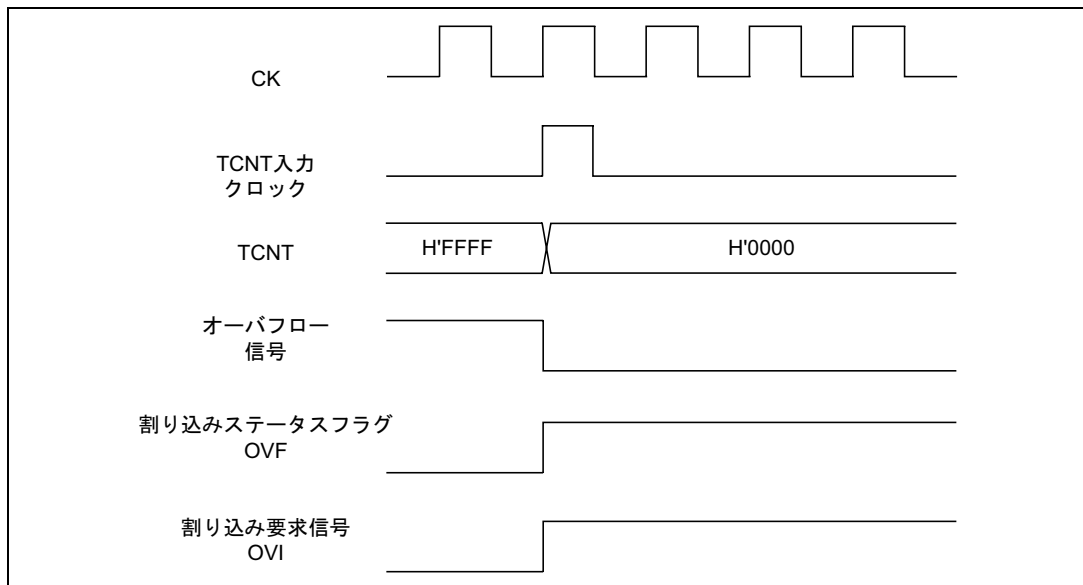


図 11.39 オーバフロー時の OVF のセットタイミング

(4) アンダフロー時の OSF のセットタイミング

DCNT 入力クロックの入力によりダウンカウンタ (DCNT) が H'0001 から H'0000 にカウントダウンし、さらに次の DCNT 入力クロックが入力されるタイミング (アンダフローするタイミング) でタイムステータスレジスタ (TSR) の OSF ビットは 1 にセットされます。ただし、DCNT が H'0000 の状態で DCNT 入力クロックを何度入力しても DCNT は H'0000 のまま変化しません。ワンショットパルスターミネート機能により DCNT をクリアした場合も、次の DCNT 入力クロックが入力されるタイミングで OSF ビットが 1 にセットされます。
このときのタイミングを図 11.40 に示します。

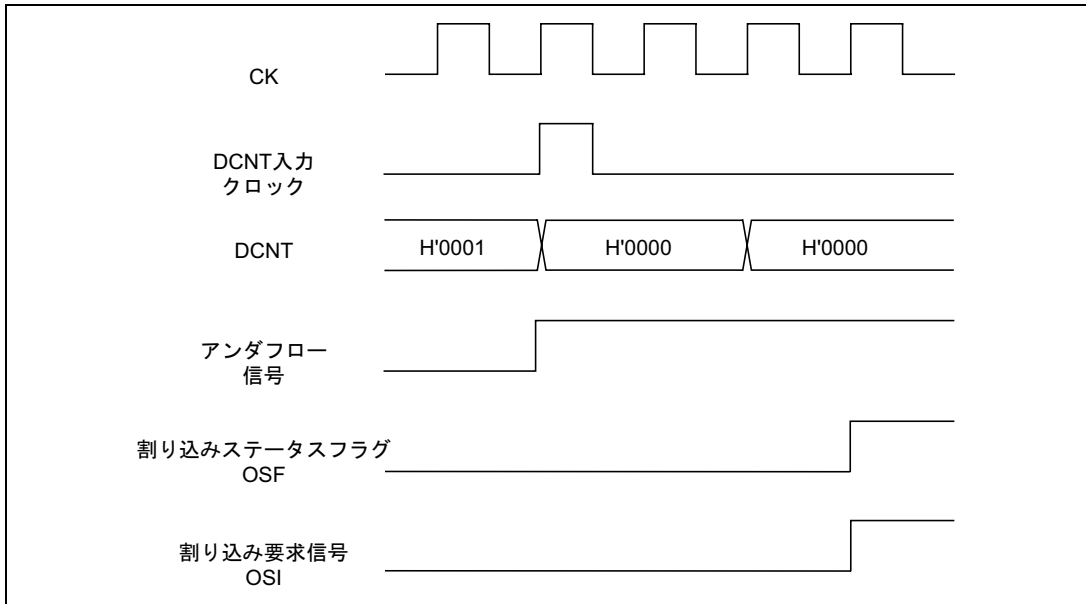


図 11.40 アンダフロー時の OSF のセットタイミング

11. アドバンスドタイマユニット-II (ATU-II)

(5) インターバルタイマによる IIF のセットタイミング

フリーランニングカウンタ (TCNT0L) のビット 10~13 の立ち上がりとインターバルインタラプトリクエスタレジスタ (ITVRR) の ITVE0~3 で AND をとり、1 が発生したときにタイムステータスレジスタ (TSR) の IIF ビットは 1 にセットされます。

このときのタイミングを図 11.41 に示します。図中の TCNT0 の N は、TCNT0L のビット 6~13 が 1 に変化したときのカウンタ値です。(例えば、ビット 10 のときは $N=H'00000400$ 、ビット 11 のときは $H'00000800$ 等)

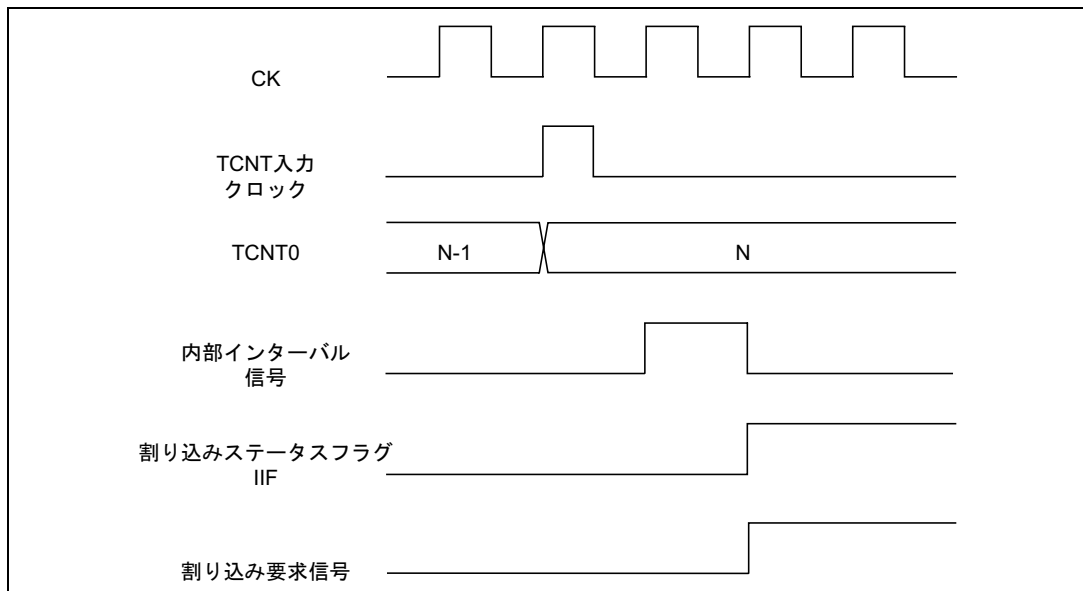


図 11.41 インターバルタイマによる IIF のセットタイミング

11.4.2 ステータスフラグのクリア

(1) CPU プログラムによるクリア

割り込みステータスフラグはCPUが1の状態を読み出した後、0に書き込むとクリアされます。この手順とタイミングを図 11.42 に示します。

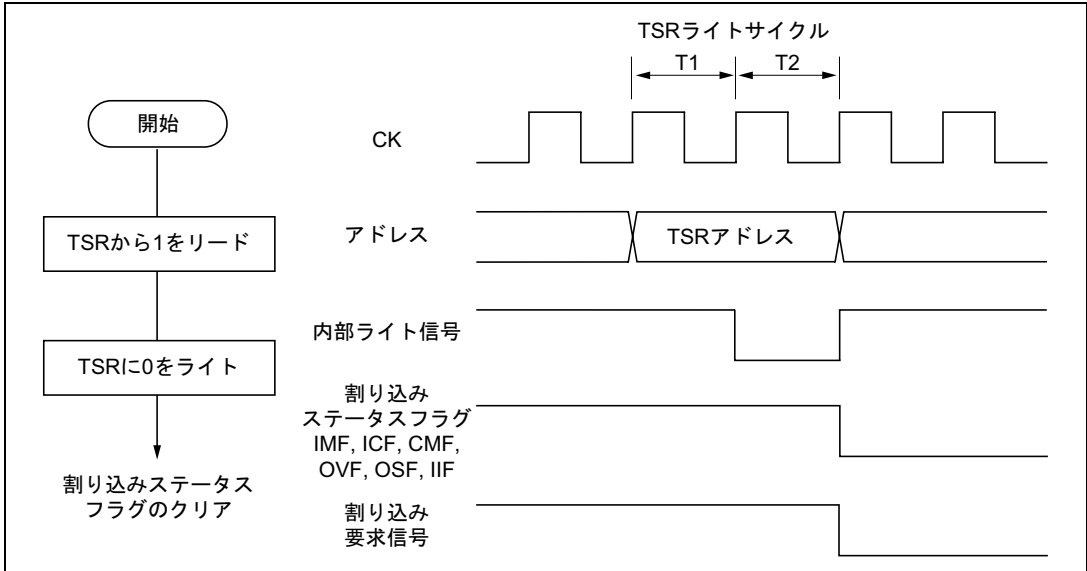


図 11.42 CPU プログラムによるクリア手順とタイミング

(2) DMAC によるクリア

割り込みステータスフラグ (ICF0A~D, CMF6A~D, CMF7A~D) は、インプットキャプチャまたはコンペアマッチの発生により DMAC を起動すると、データ転送中、自動的にクリアされます。この手順とタイミングを図 11.43 に示します。

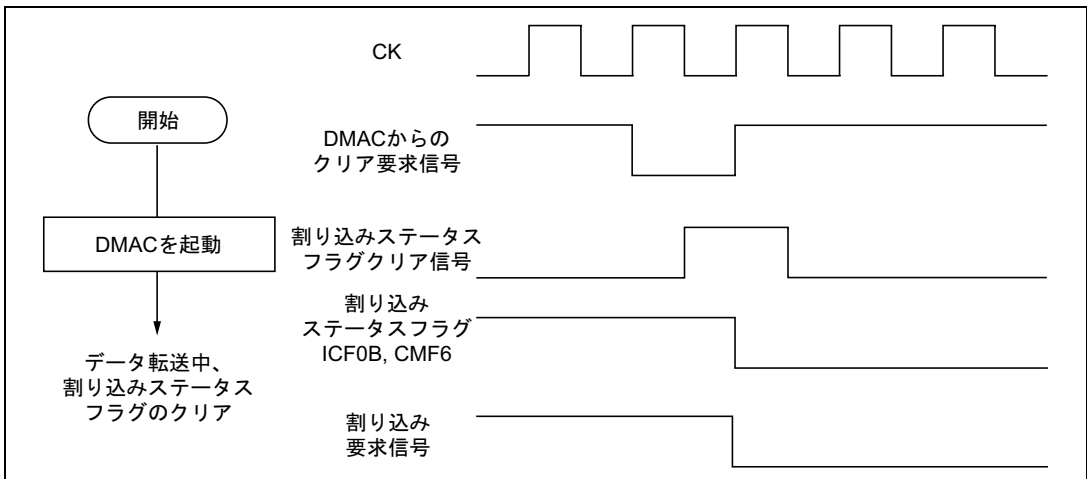


図 11.43 DMAC によるクリア手順とタイミング

11.5 CPU とのインタフェース

11.5.1 32 ビットアクセスのみ可能なレジスタ

フリーランニングカウンタ 0、10A (TCNT0、10A) インプットキャプチャレジスタ 0A~D、10A (ICR0A~D、10A)、およびアウトプットコンペアレジスタ 10A (OCR10A) は 32 ビットのレジスタです。これらのレジスタは CPU と内部 16 ビットのデータバスで接続されているため、自動的に 16 ビットずつ 2 回に分割して読み出し、または書き込みを行います (ICR0A~D、10A はリードのみ)。

図 11.44 に TCNT0 からの読み出し動作を、図 11.45 に TCNT0 への書き込み動作を示します。

TCNT0 からの読み出しの場合は、まず 1 回目の読み出しで、TCNT0H (上位 16 ビット) 値を内部データバスに出力し、同時に TCNT0L (下位 16 ビット) 値を内部バッファレジスタに出力します。そして 2 回目の読み出しで、内部バッファレジスタ内の TCNT0L (下位 16 ビット) 値を内部データバスに出力します。

TCNT0 への書き込みの場合は、まず 1 回目の書き込みで、上位データ 16 ビットを内部バッファレジスタに出力します。そして 2 回目の書き込みで、下位データ 16 ビットを TCNT0L に出力し、同時に内部バッファレジスタ内の上位データ 16 ビットを TCNT0H に出力し、書き込みます。以上の方法により、32 ビットデータの同時読み出し、同時書き込みを行って、カウントアップとの競合を防止しています。

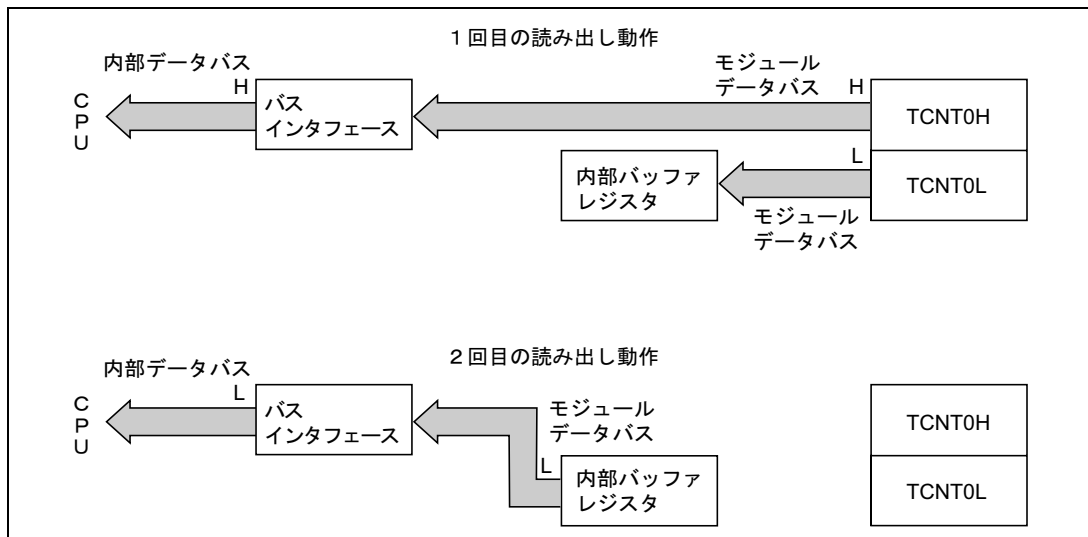


図 11.44 TCNT0 からの読み出し動作

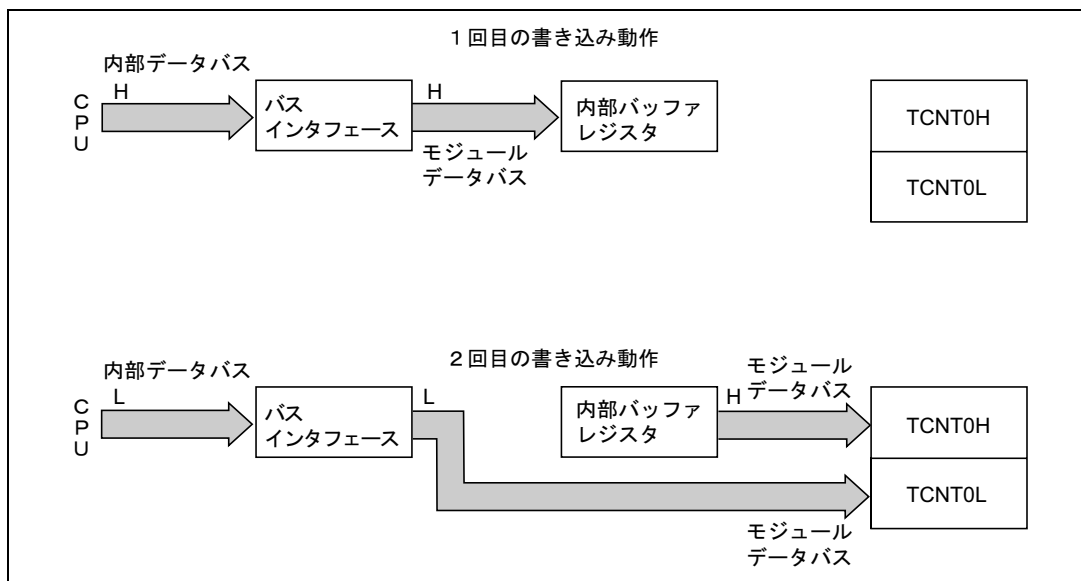


図 11.45 TCNT0 への書き込み動作

11.5.2 8ビット、16ビットおよび32ビットアクセス可能なレジスタ

タイマスタートレジスタ 1、2、3 (TSTR1、2、3) は 8 ビットのレジスタです。これらのレジスタは CPU と内部 16 ビットのデータバスで接続されているため、TSTR1、2、3 を 32 ビットで同時にアクセスする場合には自動的に 16 ビットずつ 2 回に分割して読み出し、または書き込みを行います。

図 11.46 に TSTR から読み出し動作を、図 11.47 に TSTR への書き込み動作を示します。

TSTR から読み出しの場合は、まず 1 回目の読み出しで、TSTR1、2 (上位 16 ビット) 値を内部データバスに出力します。そして 2 回目の読み出しで、TSTR3 (下位 16 ビット) 値を内部データバスに出力します。

TSTR への書き込みの場合は、まず 1 回目の書き込みで、上位データ 16 ビットを TSTR1、2 に書き込みます。そして 2 回目の書き込みで、下位データ 16 ビットを TSTR3 に書き込みます。以上の方法により、32 ビットでの書き込みは、TSTR1、2 と TSTR3 は同じタイミングで書き込まれないことに注意してください。

8 ビットおよび 16 ビットのアクセスにつきましては「11.5.4 8 ビットおよび 16 ビットアクセス可能なレジスタ」を参照してください。

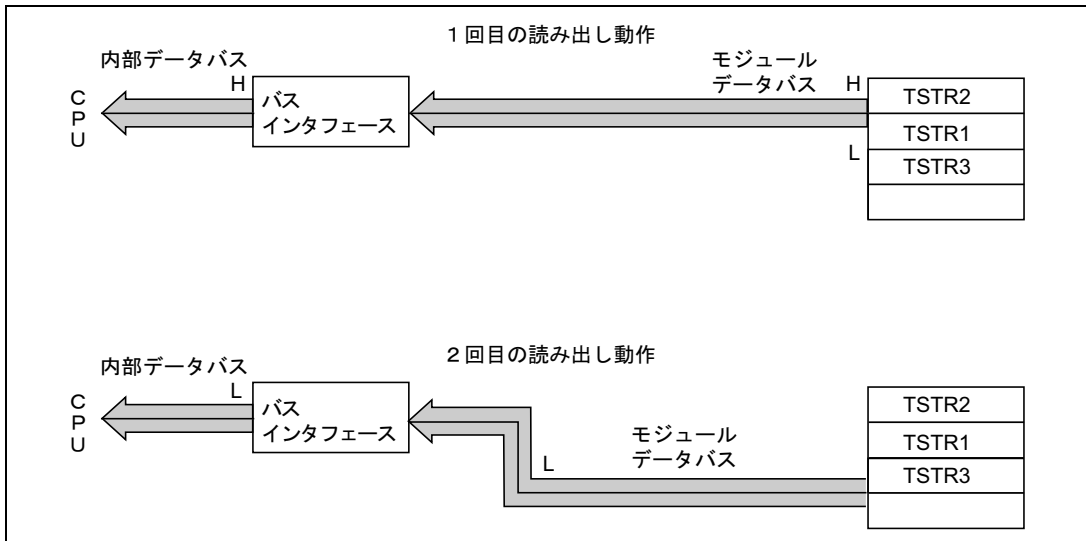


図 11.46 TSTR1、2、3 からの読み出し動作

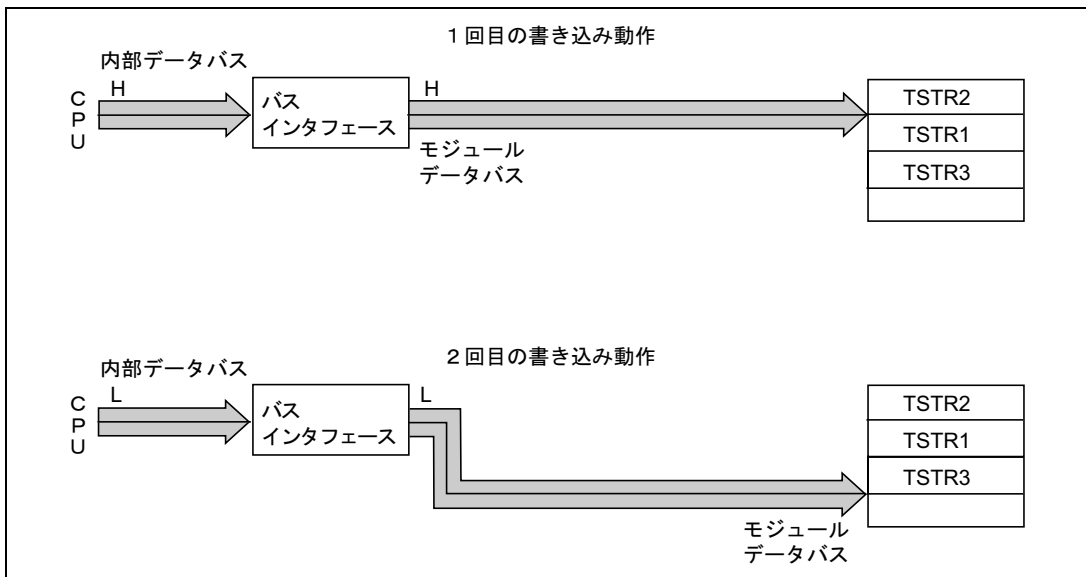


図 11.47 TSTR1、2、3 への書き込み動作

11.5.3 16 ビットアクセスのみ可能なレジスタ

フリーランニングカウンタ (TCNT、ただし TCNT0、10A、10B、10D、10H を除く)、ジェネラルレジスタ (GR、ただし GR9A~D を除く)、ダウンカウンタ (DCNT)、オフセットベースレジスタ (OSBR)、サイクルレジスタ (CYLR)、パルファレジスタ (BFR)、デューティレジスタ (DTR)、タイマコネクションレジスタ (TCNR)、ワンショットパルスターミネートレジスタ (OTR)、ダウンカウントスタートレジスタ (DSTR)、アウトプットコンペアレジスタ (OCR、ただし OCR10B を除く)、リロードレジスタ (RLDR8、RLD10C)、補正カウンタクリアレジスタ (TCCLR10)、タイムインタラプトイネーブルレジスタ (TIER)、およびタイマステータスレジスタ (TSR) は 16 ビット

トのレジスタです。これらのレジスタはCPUと内部16ビットのデータバスで接続されており、ワード単位の読み出し/書き込みが可能です (OSBRは読み出しのみ可能)。

TCNT1A に対してワード単位の読み出し/書き込みを行った場合の動作を図 11.48 に示します。

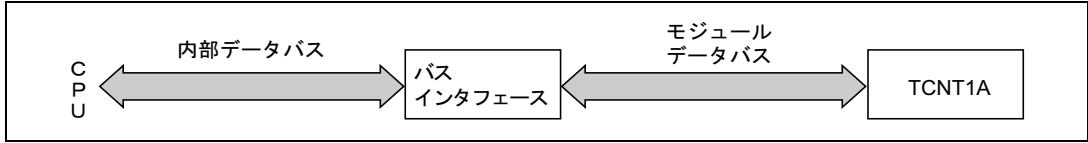


図 11.48 TCNT1A への書き込み/読み出し動作

11.5.4 8ビットおよび16ビットアクセス可能なレジスタ

タイマコントロールレジスタ (TCR1A、1B、2A、2B、6A、6B、7A、7B)、タイマI/Oコントロールレジスタ (TIOR1A~D、2A~D、3A、3B、4A、4B、5A、5B)、およびタイマスタートレジスタ (TSTR1、2、3) は8ビットのレジスタです。これらのレジスタは、CPUと内部16ビットのデータバス上位8ビットまたは下位8ビットと接続されており、バイト単位の読み出し/書き込みが可能です。

また、タイマI/Oコントロールレジスタ1A (TIOR1A) とタイマI/Oコントロールレジスタ1B (TIOR1B) のように、アドレスの最下位ビットのみ異なる、2本の8ビットレジスタは、組み合わせでワード単位の読み出し/書き込みも可能です。

TIOR1A または TIOR1B に対して、各々バイト単位の読み出し/書き込みを行った場合の動作を図 11.49 と図 11.50 に示します。また、TIOR1A と TIOR1B を同時にワード単位で読み出し/書き込みを行った場合の動作を図 11.51 に示します。

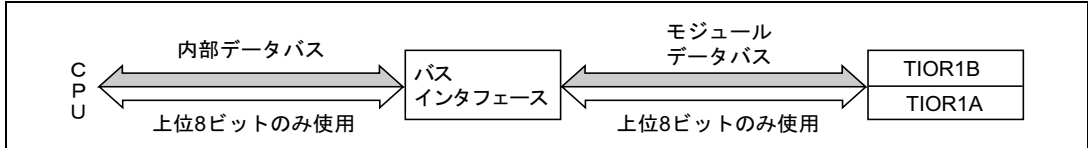


図 11.49 TIOR1B へのバイト書き込み/読み出し動作

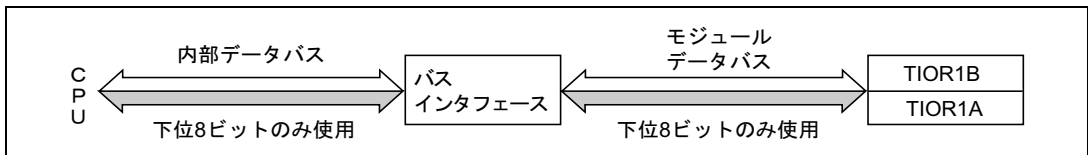


図 11.50 TIOR1A へのバイト書き込み/読み出し動作

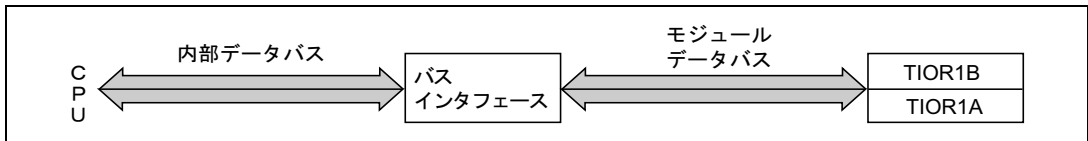


図 11.51 TIOR1A、B へのワード書き込み/読み出し動作

11.5.5 8ビットのみアクセス可能なレジスタ

タイマモードレジスタ (TMDR)、プリスケールレジスタ (PSCR)、タイマ I/O コントロールレジスタ (TIOR0、10、11)、トリガモードレジスタ (TRGMDR)、インターバルインタラプトリクエストレジスタ (ITVRR)、タイマコントロールレジスタ (TCR3、4、5、8、9A~C、10、11)、PWM モードレジスタ (PMDR)、リロードイネーブルレジスタ (RLDENR)、フリーランニングカウンタ (TCNT10B、10D、10H)、イベントカウンタ (ECNT)、ジェネラルレジスタ (GR9A~F)、アウトプットコンペアレジスタ (OCR10B)、およびノイズキャンセラレジスタ (NCR) は 8 ビットのレジスタです。これらのレジスタは、CPU と内部 16 ビットのデータバス上位 8 ビットと接続されており、バイト単位の読み出し / 書き込みが可能です。

ITVRR1 レジスタに対して、バイト単位の読み出し / 書き込みを行った場合の動作を図 11.52 に示します。

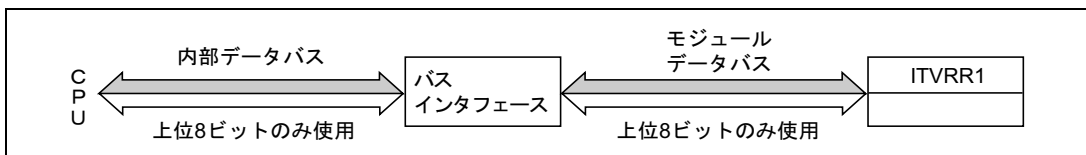


図 11.52 ITVRR1 へのバイト書き込み / 読み出し動作

11.6 設定手順例

以下に ATU-II の各機能起動の際の設定手順例を記します。

(1) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順を図 11.53 に示します。

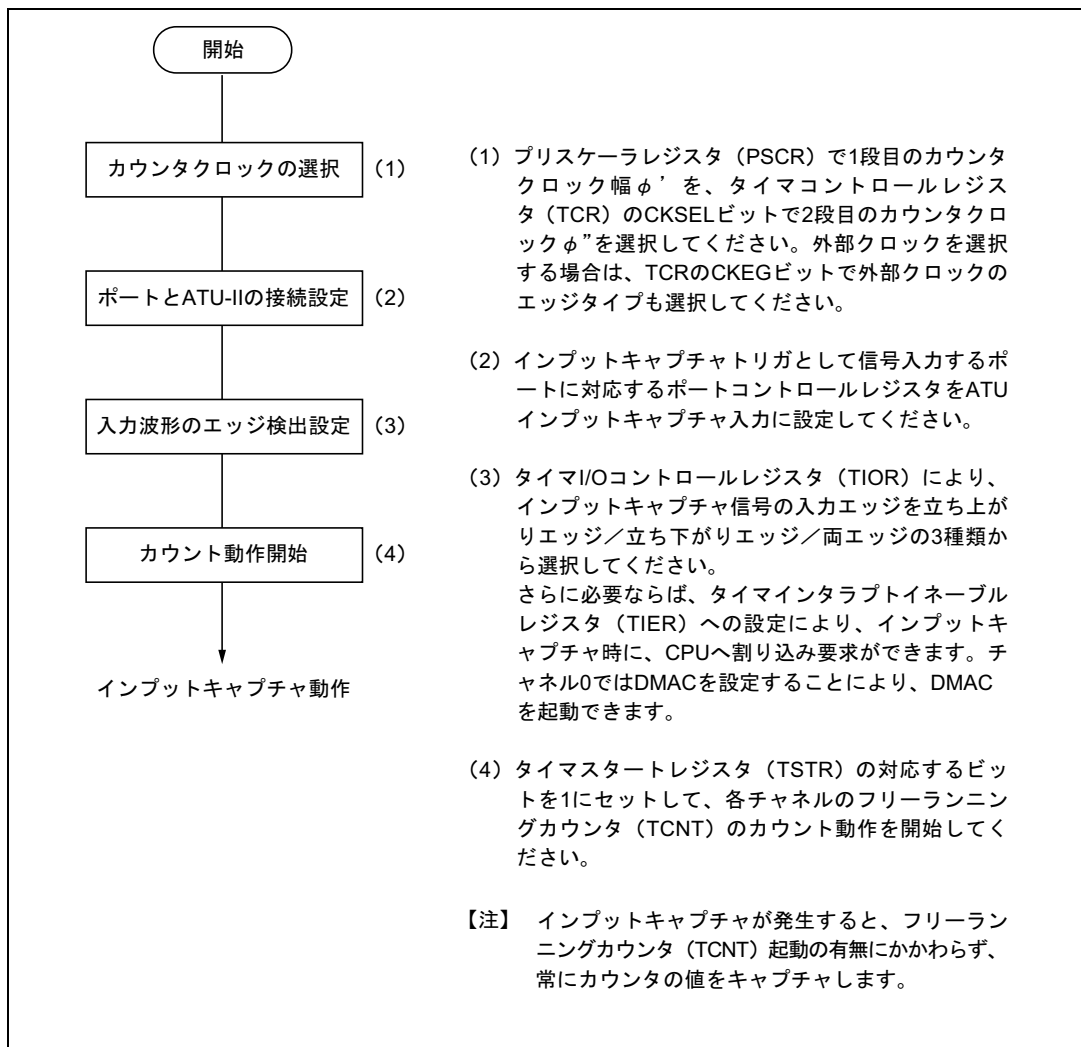


図 11.53 インพุットキャプチャ動作の設定手順例

11. アドバンスタイマユニット-II (ATU-II)

(2) アウトプットコンペアマッチによる波形出力動作の設定手順例

アウトプットコンペアマッチによる波形出力動作の設定手順を図 11.54 に示します。

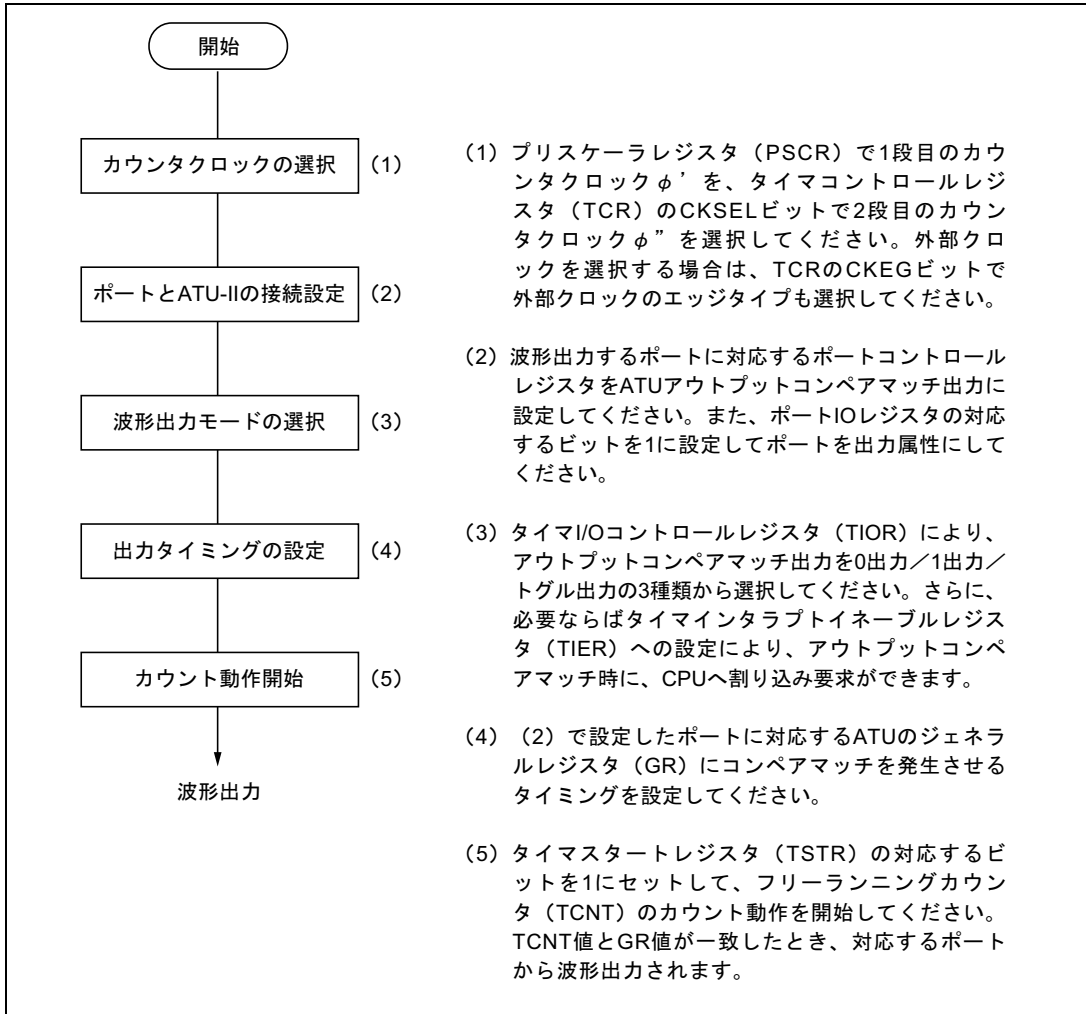


図 11.54 アウトプットコンペアマッチによる波形出力動作の設定手順例

(3) チャンネル10のコンペアマッチトリガによるチャンネル0のインプットキャプチャ設定手順例
 コンペアマッチ信号の送信動作の設定手順を図 11.55 に示します。

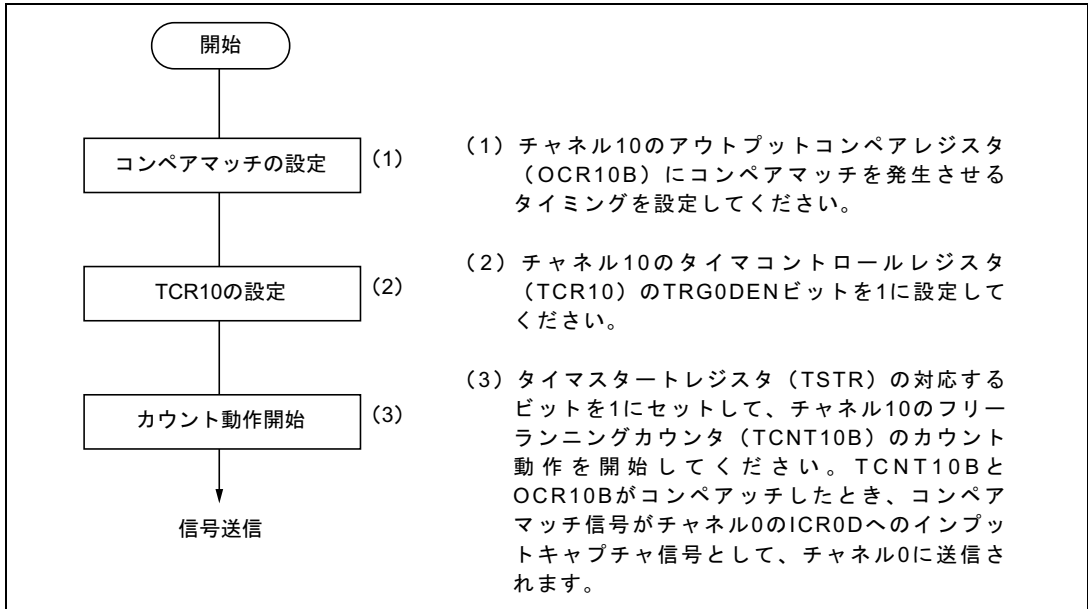


図 11.55 コンペアマッチ信号の送信動作の設定手順例

(4) ワンショットパルス出力動作の設定手順例

ワンショットパルス出力動作の設定手順を図 11.56 に示します。

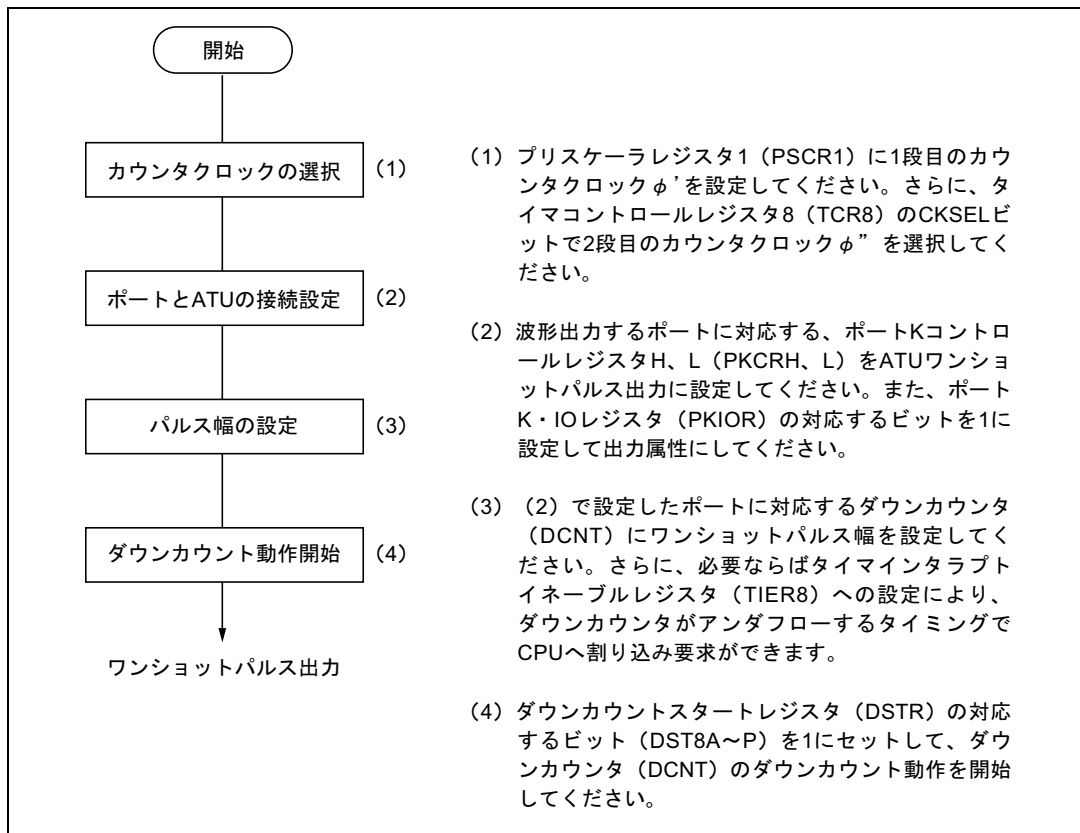


図 11.56 ワンショットパルス出力動作の設定手順例

(5) オフセット付きワンショットパルス出力 / 遮断動作の設定手順例

オフセット付きワンショットパルス出力動作の設定手順を図 11.57 に示します。

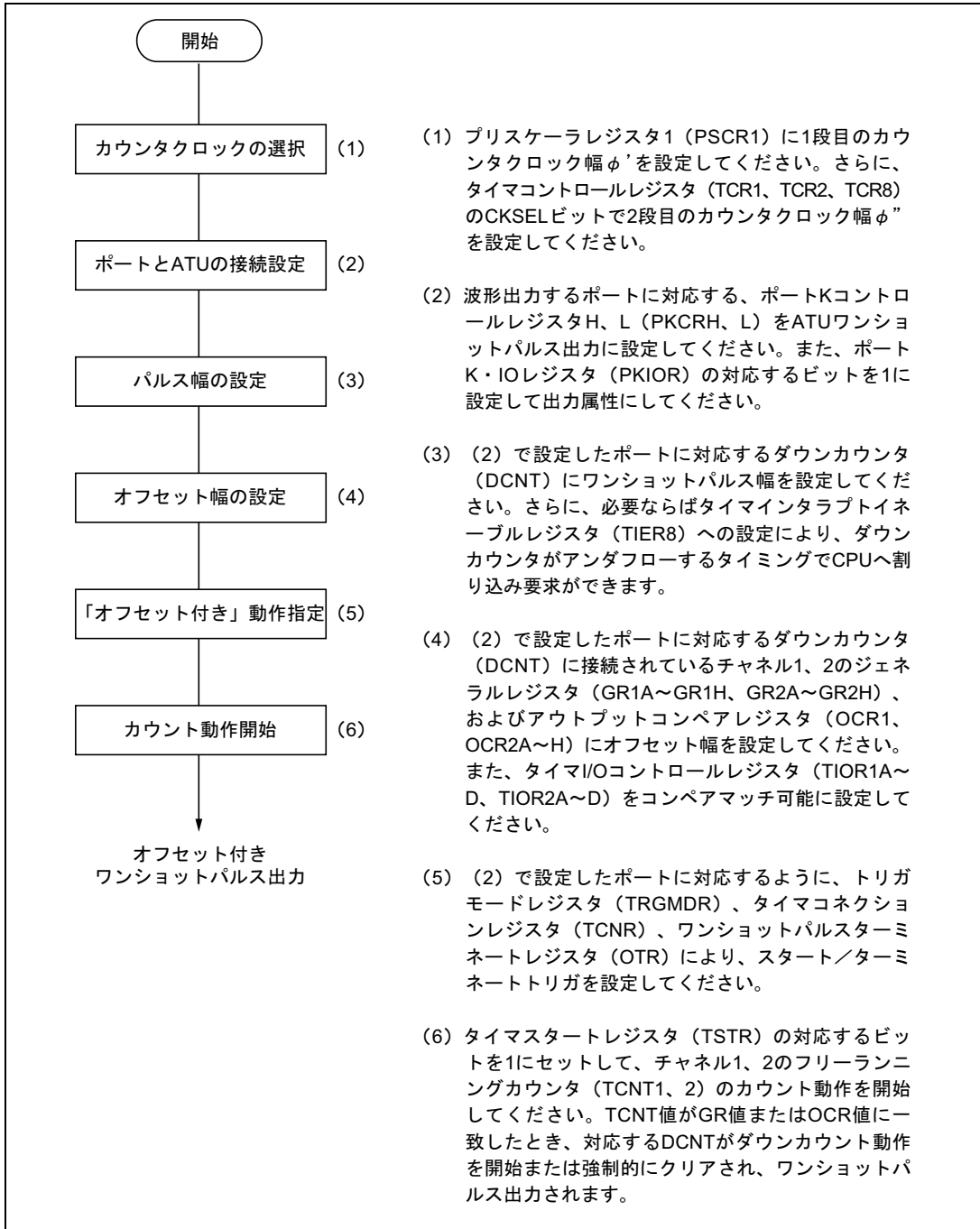


図 11.57 オフセット付きワンショットパルス出力動作の設定手順例

(6) インターバルタイマ動作の設定手順例

インターバルタイマ動作の設定手順を図 11.58 に示します。

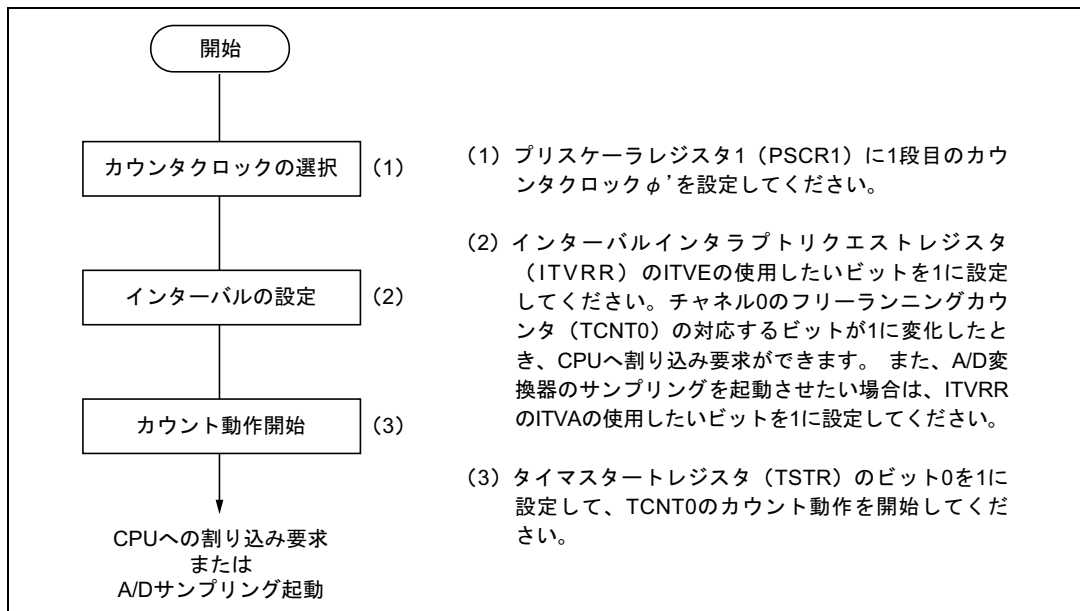


図 11.58 インターバルタイマ動作の設定手順例

(7) PWM タイマ (ch3~5) 動作の設定手順例

PWM タイマ (ch3~5) 動作の設定手順を図 11.59 に示します。

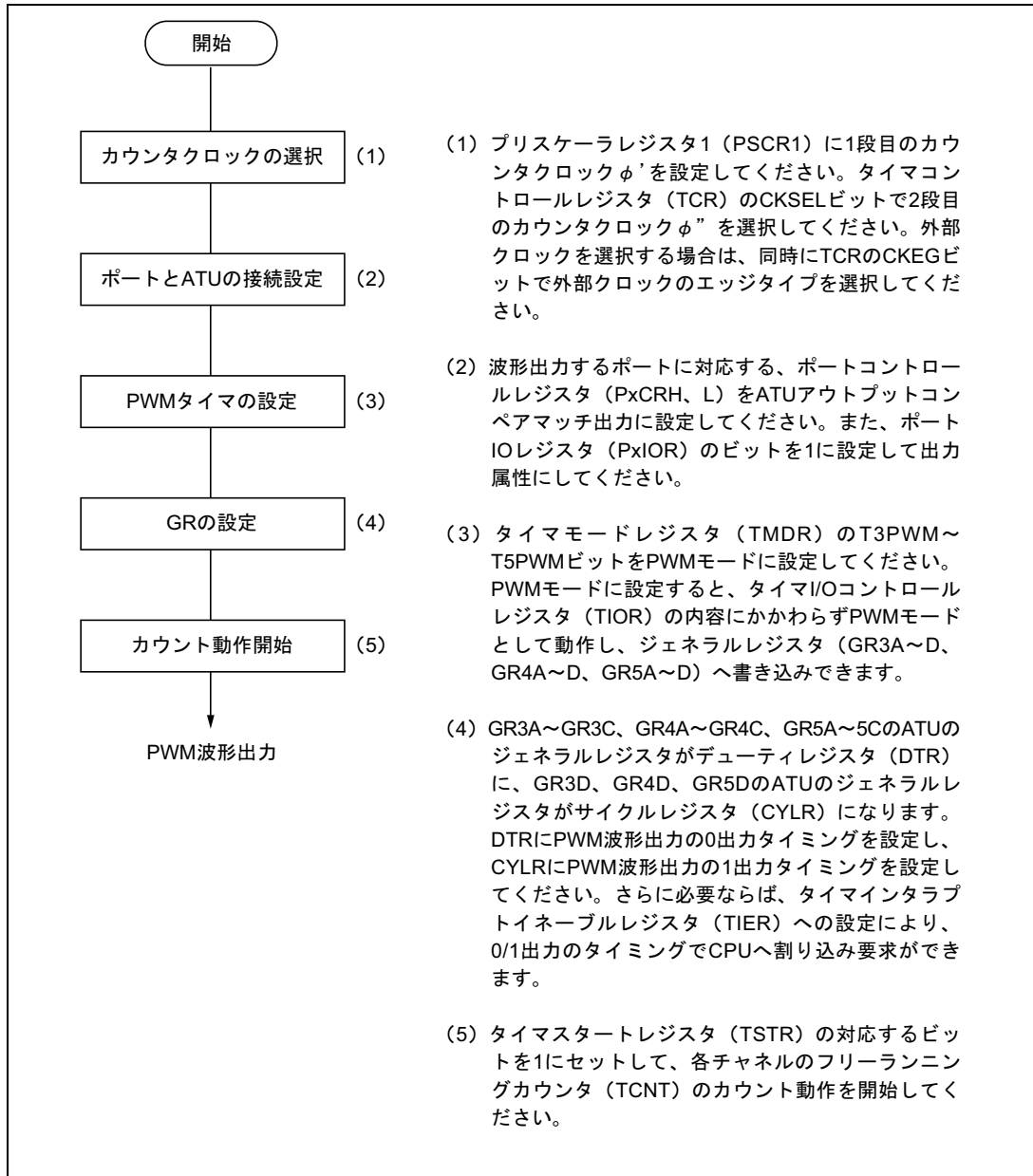


図 11.59 PWM タイマ (ch3~5) 動作の設定手順例

(8) PWM タイマ (ch6、7) 動作の設定手順例

PWM タイマ (ch6、7) 動作の設定手順を図 11.60 に示します。

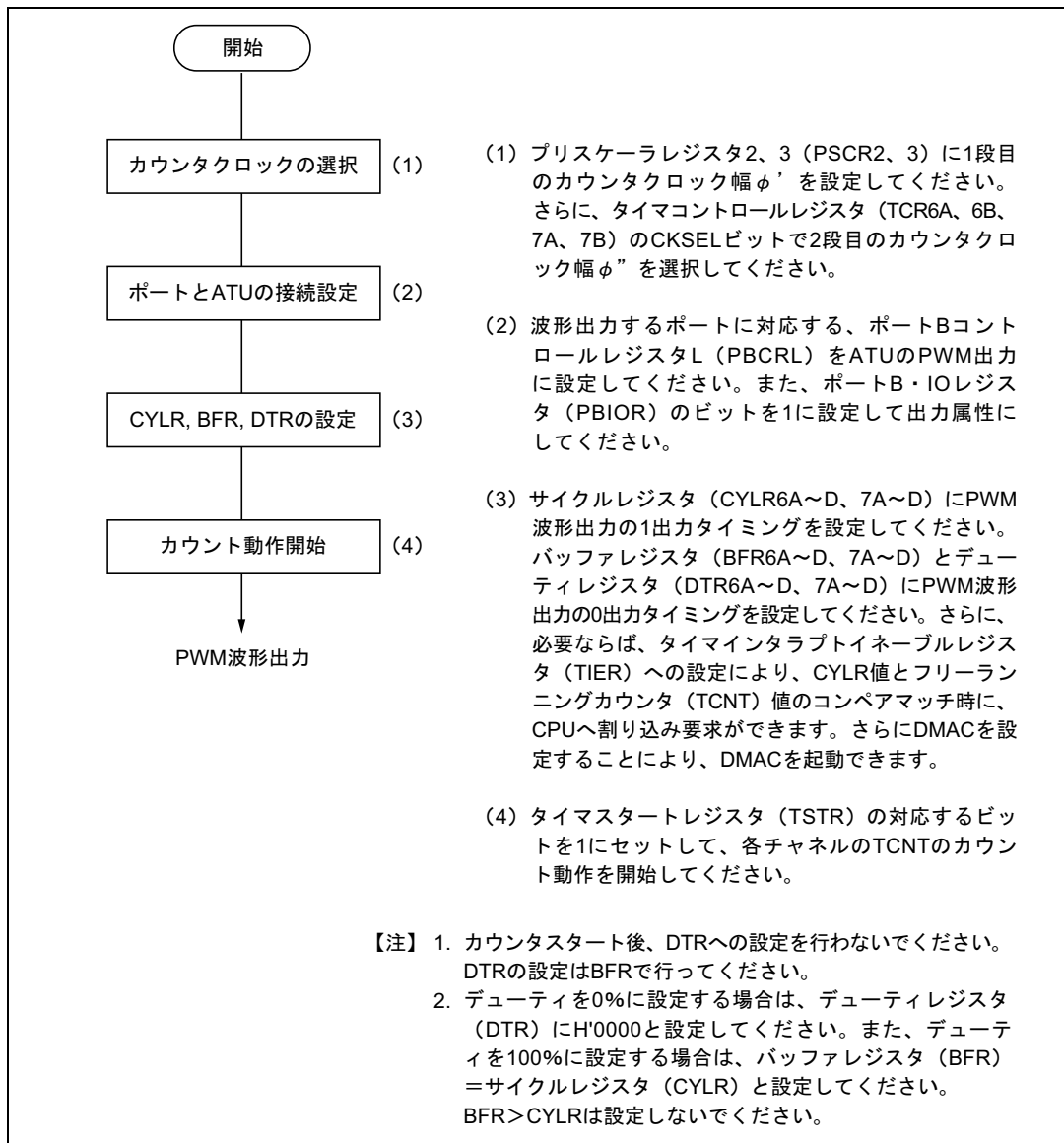


図 11.60 PWM タイマ (ch6、7) 動作の設定手順例

(9) イベントカウンタ動作の設定手順例

イベントカウンタ動作の設定手順を図 11.61 に示します。

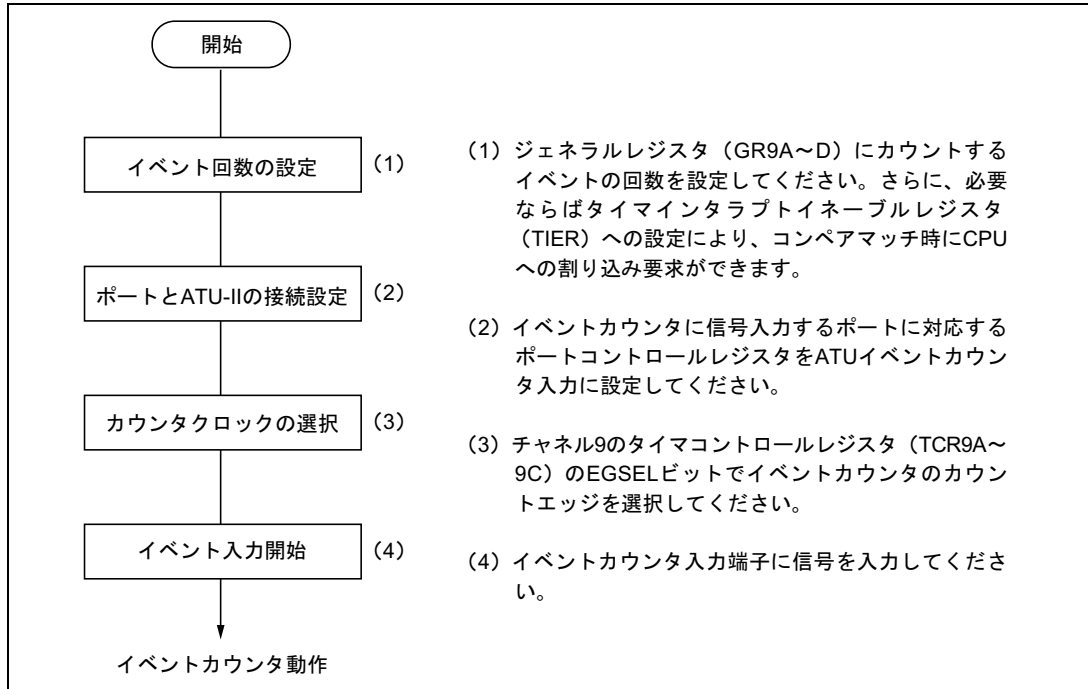


図 11.61 イベントカウンタ動作の設定手順例

11. アドバンスタイマユニット-II (ATU-II)

(10) チャンネル9のコンペアマッチトリガによるチャンネル3のインプットキャプチャ動作の設定手順例

コンペアマッチ信号の送信動作の設定手順を図 11.62 に示します。

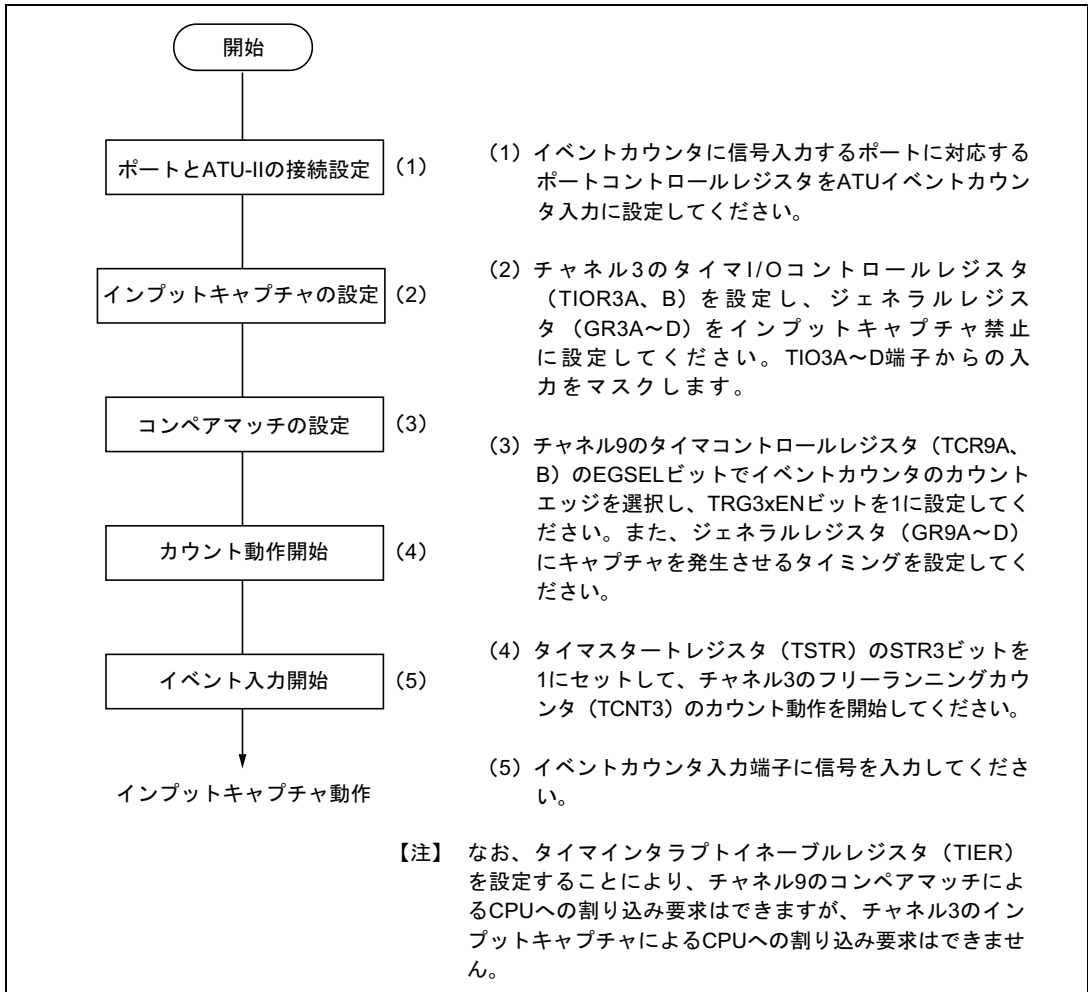


図 11.62 コンペアマッチ信号の送信動作の設定手順例

(11) チャネル 10 の欠け歯検出動作の設定手順例

欠け歯検出動作の設定手順を図 11.63 に示します。

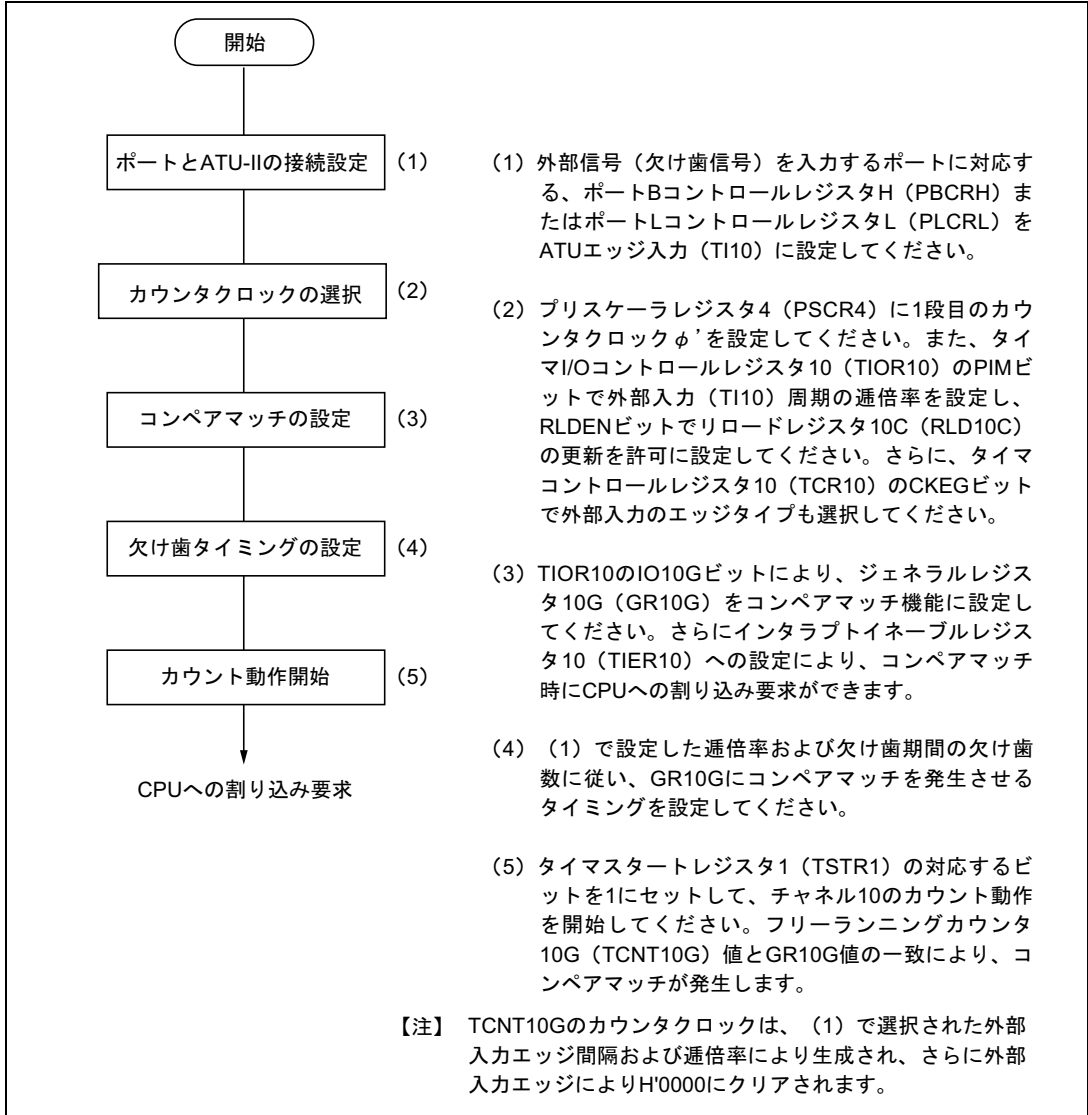


図 11.63 欠け歯検出動作の設定手順例

11.7 使用上の注意

ATU 動作中、次のような競合や動作が起こりますので、注意してください。

(1) TCNT の書き込みとコンペアマッチによるクリアの競合

チャンネル 3~7 のフリーランニングカウンタ (TCNT3~5、6A~D、7A~D) は、コンペアマッチによるカウンタクリアを設定した場合、または PWM モード使用時に CPU ライトサイクル中の T2 ステートにコンペアマッチが発生しても TCNT のクリアは行われず、TCNT への書き込みが優先されます。

なお、コンペアマッチは有効のままであり、割り込みステータスフラグへの 1 ライトや、外部への波形出力は、通常のコンペアマッチ同様に行われます。

このタイミングを図 11.64 に示します。

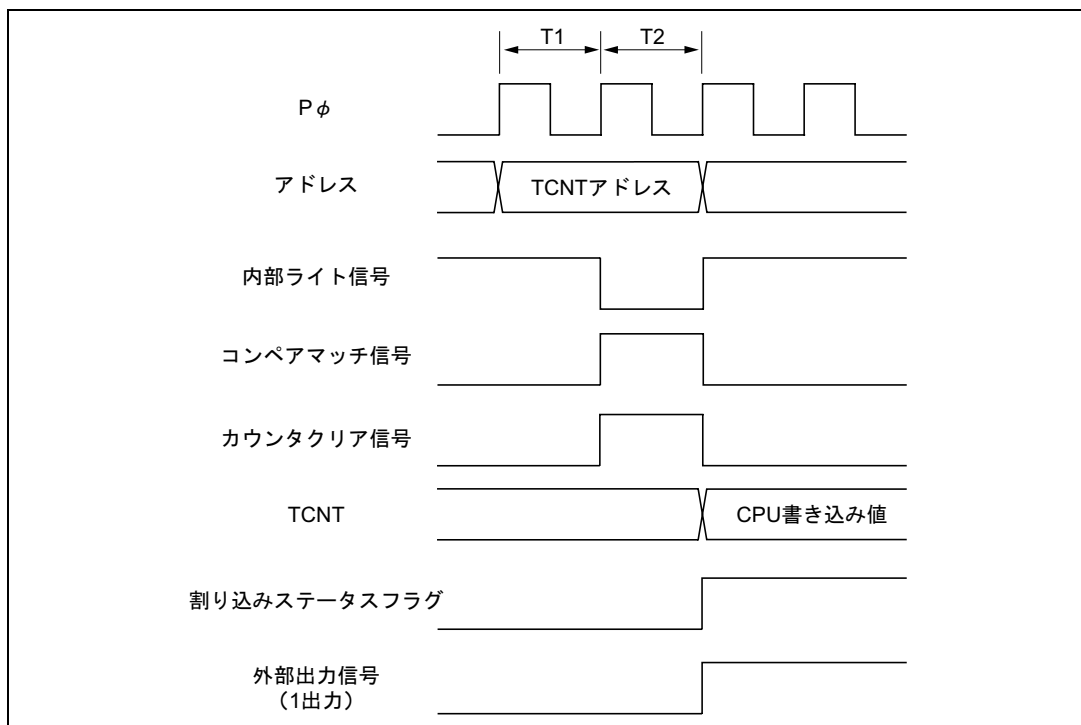


図 11.64 TCNT の書き込みとクリアの競合

(2) TCNT の書き込みとカウントアップの競合

チャンネル 0～11 のフリーランニングカウンタ (TCNT0、1A、1B、2A、2B、3～5、6A～6D、7A～7D、10A～10H、11)、ダウンカウンタ (DCNT8A～8P)、およびイベントカウンタ 9 (ECNT9A～9F) のカウントアップ/ダウン中に当該カウンタへ書き込みを行うと、カウントせずにカウンタへの書き込みが優先されます。

このタイミングを図 11.65 に示します。これは TCNT が、H'1001 から H'1002 にカウントアップするタイミングで CPU から H'5555 を書き込んだときの動作例です。

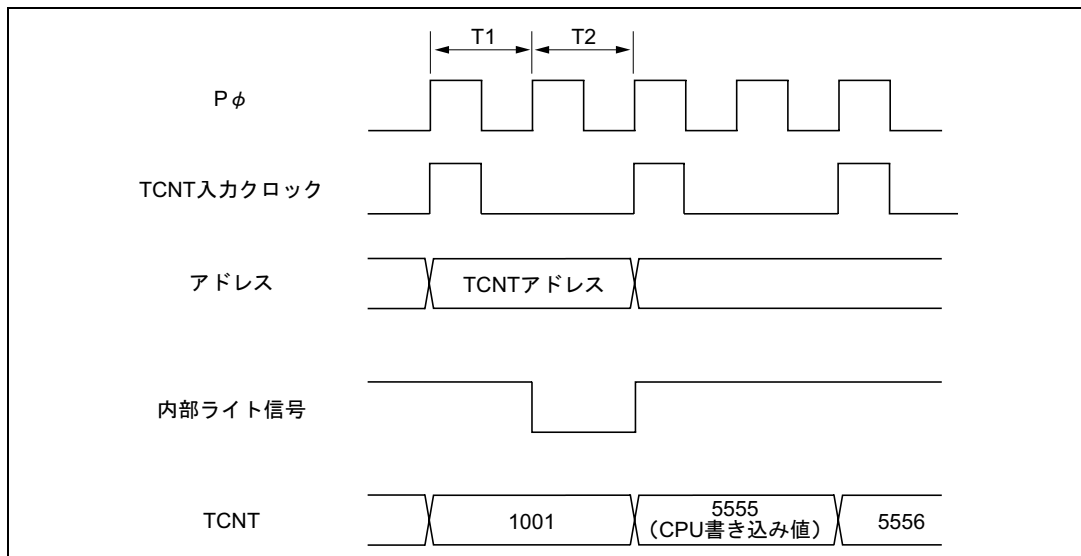


図 11.65 TCNT の書き込みとカウントアップの競合

11. アドバンスドタイマユニット-II (ATU-II)

(3) TCNT の書き込みとオーバーフローによるカウンタクリアの競合

チャンネル 0~5、11 のフリーランニングカウンタ (TCNT0、1A、1B、2A、2B、3~5、11) は、CPU ライトサイクル中の T2 ステートでオーバーフローが発生しても TCNT はクリアされず、TCNT への書き込みが優先されます。

なお、オーバーフローによる割り込みステータスフラグ (OVF) への 1 ライトは、通常のオーバーフローと同様に行われます。

このタイミングを図 11.66 に示します。これは TCNT にオーバーフローのタイミングで H'5555 を書き込んだときの動作例です。

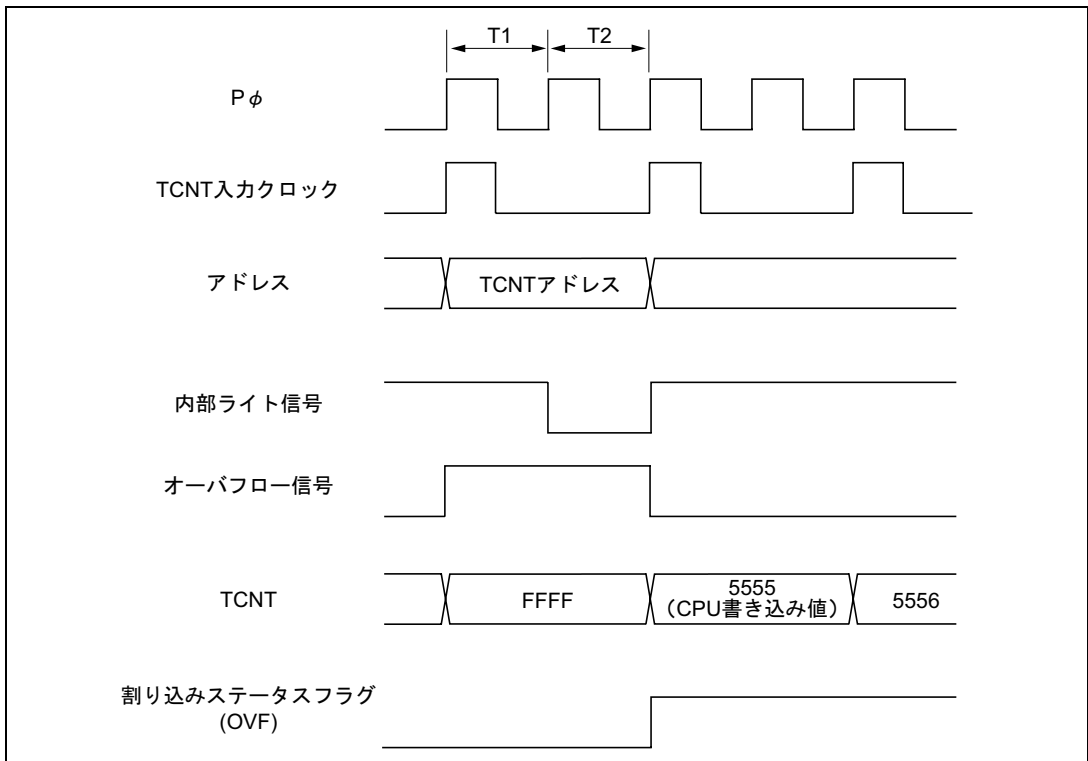


図 11.66 TCNT の書き込みとオーバーフローの競合

(4) 割り込みステータスフラグの0クリアと割り込み発生時の1セットの競合

CPU から割り込みステータスフラグへの0ライトサイクル中のT2状態で、入力キャプチャ/コンペアマッチやオーバーフロー/アンダフローなどのイベントが発生すると、0ライトによる0クリアが優先され、割り込みステータスフラグはクリアされます。

このタイミングを図 11.67 に示します。

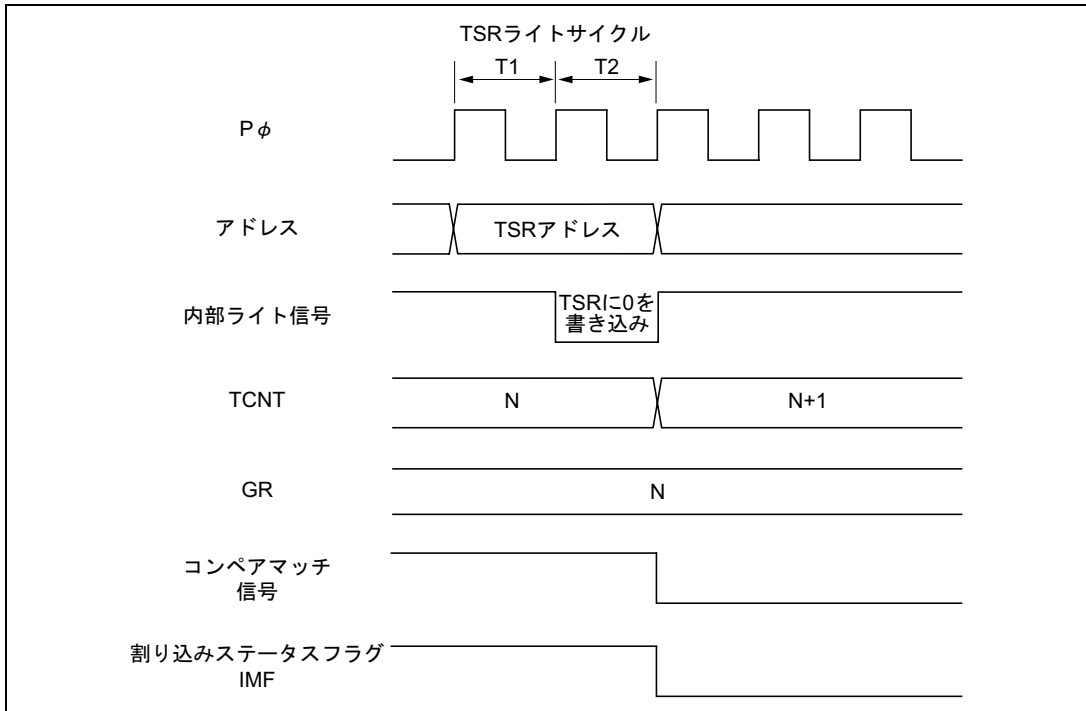


図 11.67 コンペアマッチによる割り込みステータスフラグのセットとクリアの競合

11. アドバンスタイマユニット-II (ATU-II)

(5) DTR への書き込みとバッファ機能による BFR 値の転送の競合

チャンネル 6、7 では、サイクルレジスタ (CYLR) のコンペアマッチ発生により、バッファレジスタ (BFR) 値が対応するデューティレジスタ (DTR) に転送されるタイミングと、CPU から DTR への書き込みが競合すると、CPU から書き込む値が DTR に書き込まれます。

図 11.68 に BFR が H'AAAA、DTR へ書き込む値が H'5555 の場合で競合が発生するときの動作例を示します。

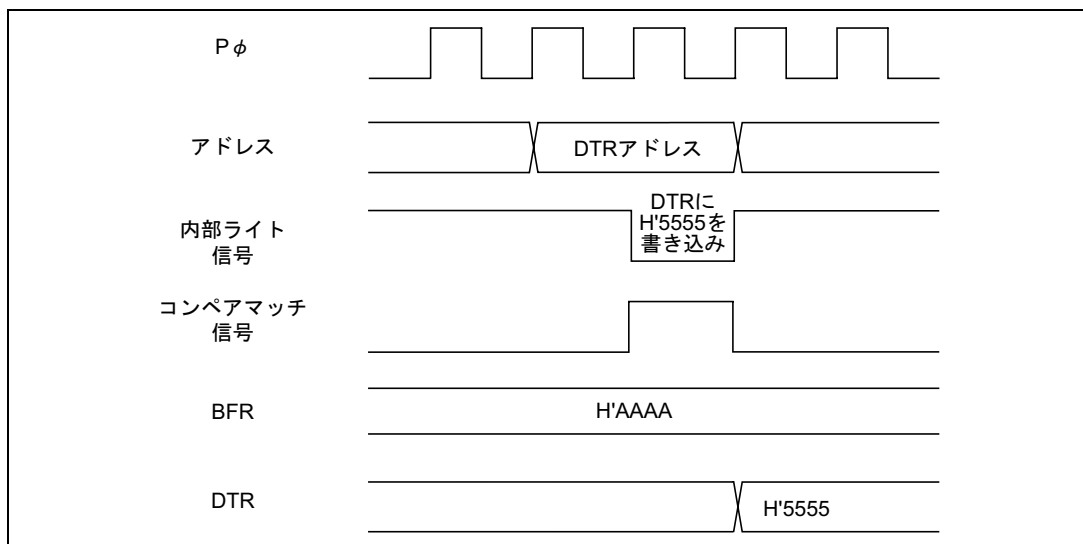


図 11.68 DTR への書き込みとバッファ機能による BFR 値の転送の競合

(6) 割り込みステータスフラグのDMACによるクリアとインプットキャプチャ/コンペアマッチによるセットの競合

割り込みステータスフラグ(ICF0A~D、CMF6A~D、CMF7A~D)がインプットキャプチャ(ICR0A~D) / コンペアマッチ(CYLR6A~D、CYLR7A~D)によりセットされるときに、DMACによるクリアが発生すると、割り込みステータスフラグはセットされず、DMACによるクリアが優先されます。

このタイミングを図 11.69 に示します。

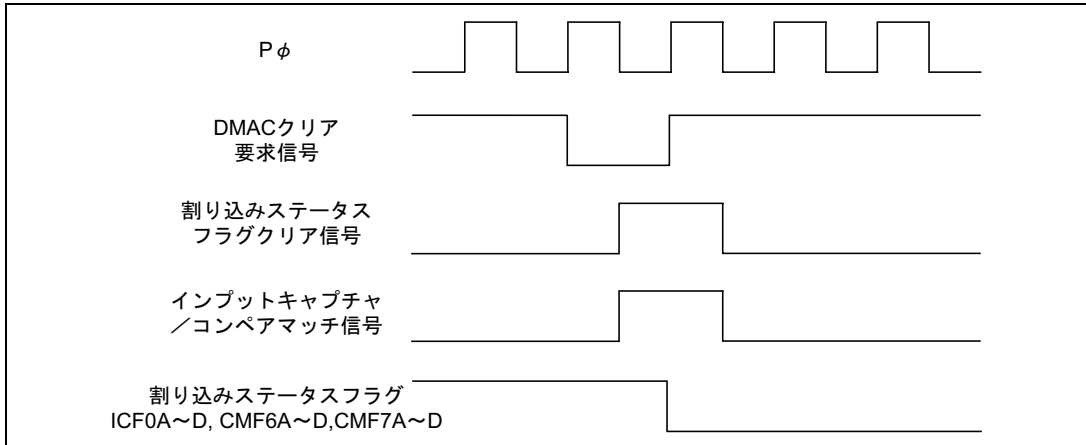


図 11.69 割り込みステータスフラグのDMACによるクリアとインプットキャプチャ/コンペアマッチによるセットの競合

11. アドバンスタイマユニット-II (ATU-II)

(7) CPU からのダウンカウンタ停止方法と動作

ダウンカウンタ (DCNT) のカウント動作を停止したいときは、DCNT に H'0000 を書き込んでください。CPU からダウンカウンタスタートレジスタ (DSTR) に直接 0 を書き込めないため、DCNT を H'0000 にすることで、結果として DSTR の対応するビットが 0 になりカウントが停止します。ただし、アンダフローするタイミングでタイムステータスレジスタ (TSR) の OSF ビットが立ちます。

なお、特に注意することは、DCNT に H'0000 を書き込むと、即時に DSTR の対応するビットが 0 になるのではなく、H'0000 書き込み後にアンダフローするタイミングで DSTR の対応するビットが 0 になり、ダウンカウンタが停止するということです。

このタイミングを図 11.70 に示します。

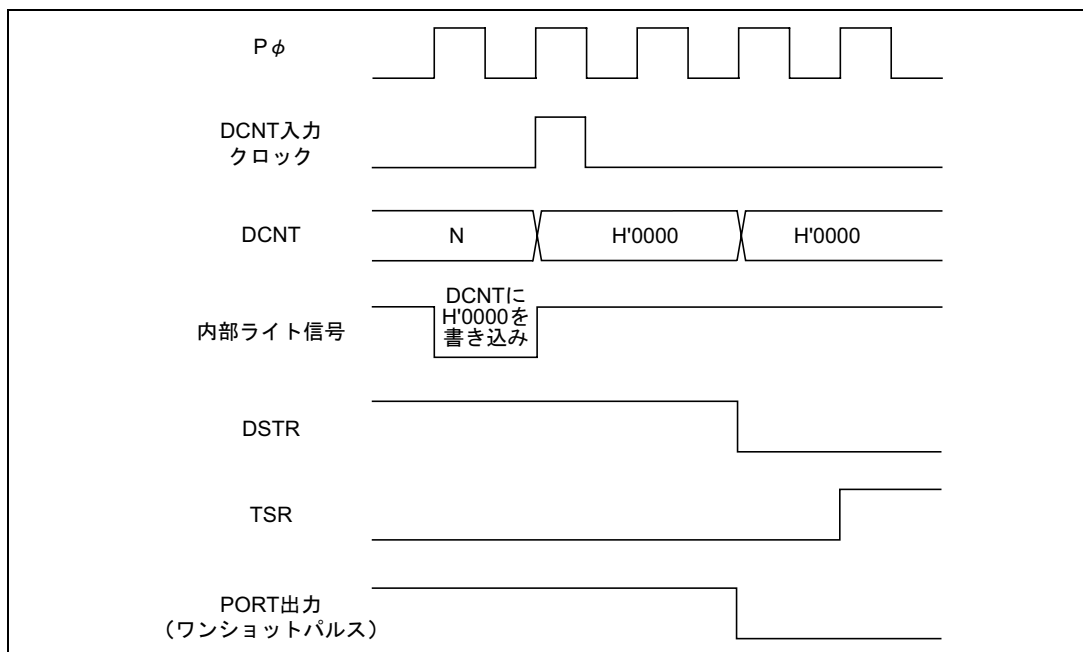


図 11.70 CPU からのダウンカウンタ停止方法と動作

(8) フリーランニングカウンタ停止時のインプットキャプチャ動作

チャンネル 0~5、10、11 では、フリーランニングカウンタ (TCNT) の起動 / 停止にかかわらず、インプットキャプチャ設定を行い、入力端子からトリガ信号を入力すると、TCNT 値が対応するジェネラルレジスタ (GR) またはインプットキャプチャレジスタ (ICR) に転送され、かつ、タイムステータスレジスタ (TSR) の IMF または ICF ビットが立ちます。

このタイミングを図 11.71 に示します。

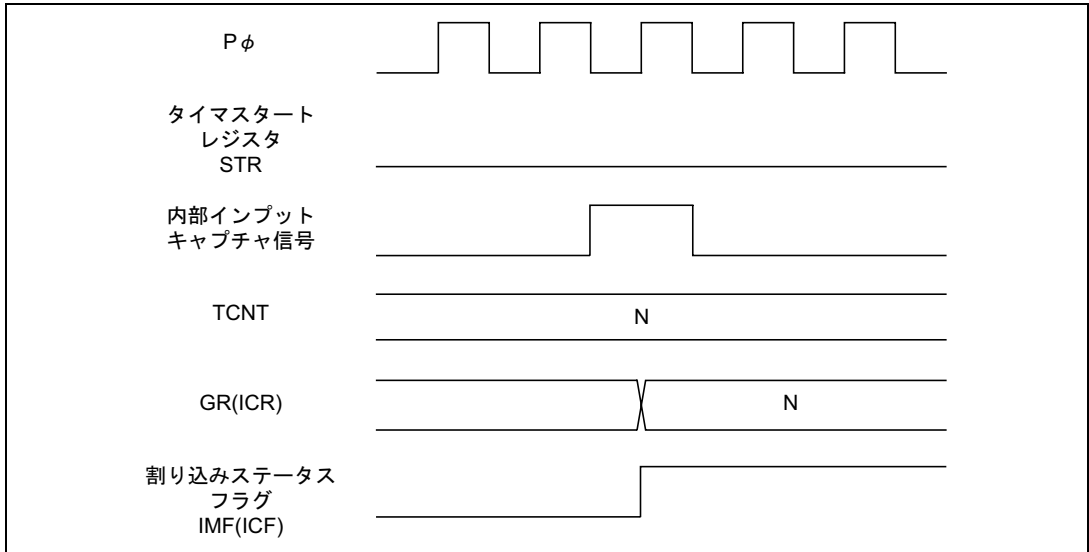


図 11.71 フリーランニングカウンタを動作させる前のインプットキャプチャ動作

(9) DCNTの書き込みとアンダフローによるカウンタ0クリアの競合

チャンネル8のダウンカウンタ(DCNT8A~8P)は、ダウンカウンタへのCPUライトサイクル中のT2ステートで、アンダフローが発生した場合、DCNTへのCPUからの書き込みが優先され、それによりDCNTのダウンカウントは継続されます。

このタイミングを図11.72に示します。これはDCNTにアンダフローのタイミングでH'5555の書き込みを行ったときの動作例です。

【注】 SH7055Fの場合は、DCNTへのCPUからの書き込みは行われず、H'0000保持を優先していました。動作が異なるので注意してください。

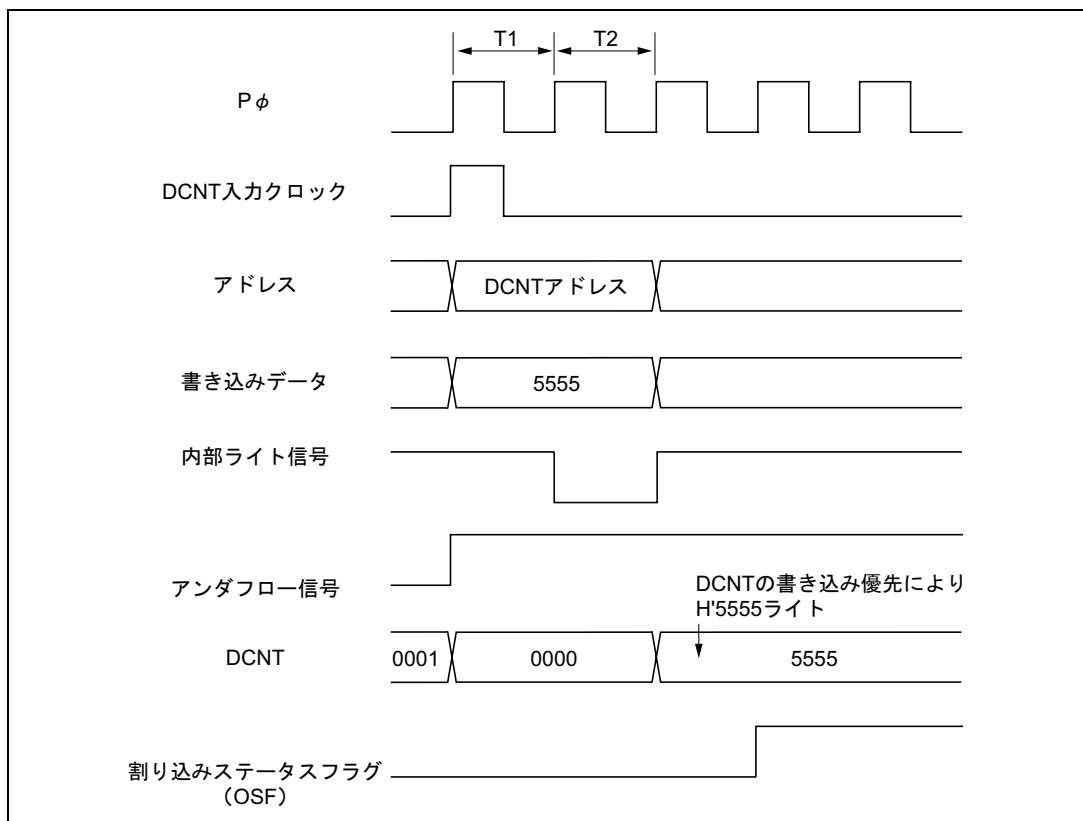


図 11.72 DCNTの書き込みとアンダフローの競合

(10) CPU からの DSTR の 1 セットとアンダフローによる 0 クリア競合

CPU からダウンカウントスタートレジスタ (DSTR) への 1 ライトサイクル中の T2 ステートで、アンダフローが発生すると、DSTR の対応するビットには 1 ライトされず、そのアンダフローによる 0 クリアが優先されます。

このタイミングを図 11.73 に示します。

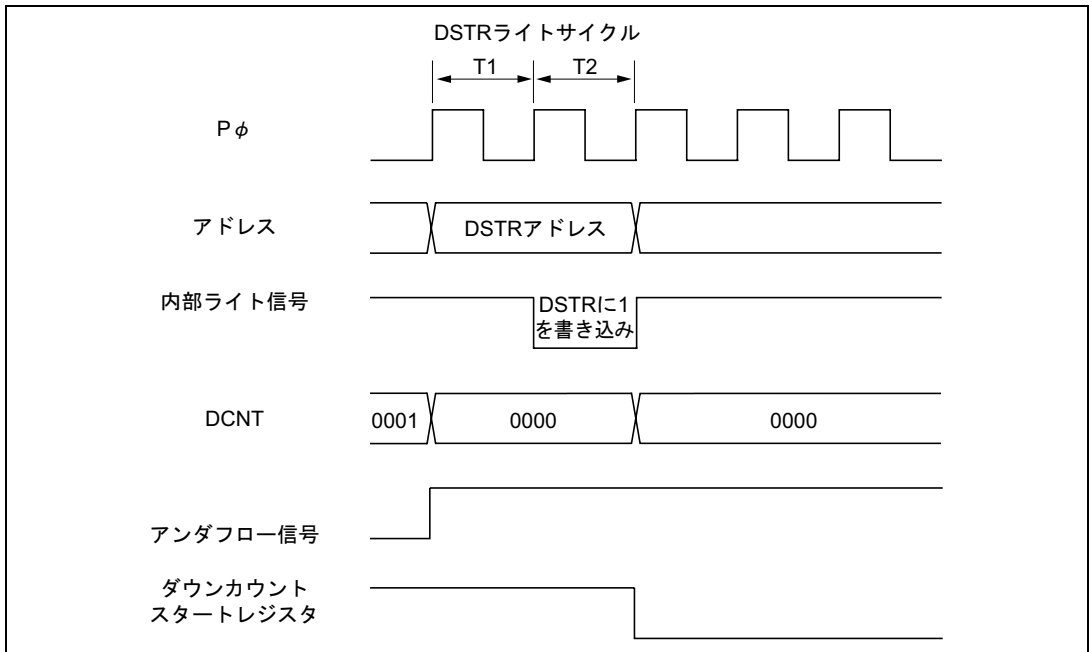


図 11.73 CPU からの DSTR の 1 セットとアンダフローによる 0 クリア競合

11. アドバンスタイマユニット-II (ATU-II)

(11) プリスケアラレジスタ (PSCR)、タイマコントロールレジスタ (TCR) およびタイマモードレジスタ (TMDR) の設定タイミング

プリスケアラレジスタ (PSCR)、タイマコントロールレジスタ (TCR) およびタイマモードレジスタ (TMDR) への設定は、カウンタを起動する以前に行ってください。カウンタ起動中に PSCR、TCR あるいは TMDR を変更すると、動作は保証できません。

また、PSCR1~4 設定後は P が 32 回入力されるまでカウンタを起動しないでください。

(12) 割り込みステータスフラグのクリア手順

割り込みステータスフラグを CPU から 0 クリアする際には、必ず一度リードしてから 0 を書き込んでください。リードせずに 0 書き込みを行うと、動作は保証できません。

(13) フリーランニングカウンタ 6A~6D、7A~7D (TCNT6A~6D、7A~7D) への H'0000 設定

チャンネル 6、7 のフリーランニングカウンタ (TCNT6A~6D、7A~7D) に H'0000 を書き込み、カウンタスタートすると、サイクルレジスタ (CYLR) およびデューティレジスタ (DTR) との最初のコンペアマッチまでの間隔が、TCNT 入力クロックで最大 1 クロック分、設定値より長くなります。それ以降のコンペアマッチでは、CYLR 値および DTR 値に対し正確な波形を出力します。

(14) フリーランニングカウンタ (TCNT) のカウント停止時の各レジスタ値

タイマスタートレジスタ (TSTR) 値を途中で 0 に設定すると、対応するフリーランニングカウンタ (TCNT) のカウントアップが停止するのみであり、当該フリーランニングカウンタ (TCNT) および ATU の全レジスタの初期化は行われません。なお、外部出力値は TSTR を 0 に設定した時点の値を出力し続けます。

(15) TCNT0 の書き込み時とインターバルタイマ動作

インターバルイントラプトリクエストレジスタ (ITVRR) を 1 に設定したビットと対応する、フリーランニングカウンタ 0 (TCNT0) のビットが 0 のときに、CPU プログラムから TCNT0 の当該ビットに 1 を書き込むと、結果として TCNT0 のビット 6~13 が 0 から 1 に変化したことを検出し、INTC への割り込み発生や A/D のサンプリングの起動を行います。このとき、タイマスタートレジスタ 1 (TSTR1) の STR0 ビットが 0 でカウント停止中でも、ビットが 0 から 1 に変化したことを検出しません。

(16) ATU からの DMAC 起動による TSR 自動クリア動作

TSR の自動クリアは、DMAC がバーストモードのときは転送終了後、サイクルスチールの場合は DMAC がバス権を返すたびにクリアを行います。

(17) 割り込みステータスフラグのセット/リセット動作

TSR は、ある特定のビットをクリアするために一度 1 リードした後に 0 ライトする前に、同ビットに重複してイベントが発生した場合でも、当ビットへの 0 ライトができません (重複して発生したイベントは受け付けません)。

(18) ソフトウェアスタンバイ時の外部出力値

ソフトウェアスタンバイによって ATU のレジスタと外部出力値は 0 にクリアされます。ただし、チャンネル 1、2、11 の外部端子 TIO1A~H、TIO2A~H、TIO11A、B の外部出力値はソフトウェアスタンバイ中は 1 出力でソフトウェアスタンバイ解除直後に 0 にクリアされます。それ以外の外部出力値およびすべてのレジスタはソフトウェアスタンバイ遷移直後に 0 にクリアされます。

また、ピンファンクションコントローラのポート B インバートレジスタ (PBIR)、ポート K インバートレジスタ (PKIR) で端子出力を反転させている場合、対応する端子は 1 にセットされます。

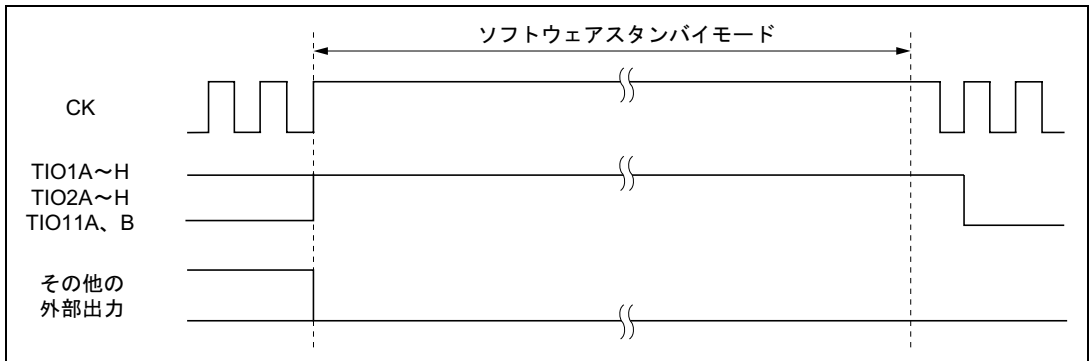


図 11.74 ソフトウェアスタンバイモード時の外部出力値の変化点

(19) チャンネル 10 からの TCNT クリアと TCNT オーバフローの競合

チャンネル 1、2 のフリーランニングカウンタ (TCNT1A ~ B、TCNT2A ~ B) は、オーバフローが発生すると H'0000 にクリアされます。このときチャンネル 10 の補正カウンタクリアレジスタ (TCCLR) からのクリア信号が同時に入ってもオーバフローによる割り込みステータスフラグ (OVF) の 1 セットは、通常のオーバフローと同様に行われます。

(20) チャンネル 10 のリロードレジスタへの転送タイミングと書き込みの競合

チャンネル 10 のリロードレジスタ (RLDR10C) に対し、インプットキャプチャレジスタ (ICR10A) からの逡倍出力転送と、当該レジスタへの CPU ライトタイミングが競合したとき、CPU ライトが優先され、逡倍出力は無視されます。

(21) チャンネル 10 のリロードタイミングと TCNT10C への書き込みの競合

チャンネル 10 のリロードレジスタ (RLDR10C) に対し、インプットキャプチャレジスタ (ICR10A) からの逡倍出力転送と、リロードカウンタ (TCNT10C) への CPU ライトが競合した場合、CPU ライトが優先され、逡倍出力は無視されます。

(22) ATU 端子の設定

ポートを ATU 端子機能に設定するとき、インプットキャプチャまたはカウント動作が発生する場合がありますため、以下のことに注意して設定してください。

インプットキャプチャ入力として使用するときは、対応する TIOR レジスタをインプットキャプチャ禁止の状態、ポートを設定してください。チャンネル 10 の TH10 入力については、TCR10 が TH10 入力禁止の状態、ポートを設定してください。外部クロック入力として使用するときは、対応するチャンネルの STR ビットがカウント動作停止の状態、ポートを設定してください。イベント入力として使用する場合は、対応する TCR レジスタがカウント動作禁止の状態、ポートを設定してください。

また、TCLKB、TH10 入力については複数端子に割り当てがありますが、TCLKB、TH10 入力を使用する場合は、1 つの端子のみ有効にして使用してください。

(23) ATU レジスタライト直後の ROM 領域へのライト

ATU レジスタのライトサイクルの直後に、アドレスのビット 11 = 0 かつビット 12 = 1 の ROM アドレス (H'00001000 ~ H'000017FF、H'00003000 ~ H'000037FF、H'00005000 ~ H'000057FF、……、H'0007F000 ~ H'0007F7FF、……、H'000FF000 ~ H'000FF7FF) へのライトサイクルが発生すると、ROM へライトした値またはその一部が ATU レジスタに書き込まれます。これを回避するため、以下の対策をお願いいたします。

- (a) ATU レジスタのライトサイクルの直後に CPU による ROM アドレスへの書き込みを行わないでください。

例えば、ATU に書き込む MOV 命令を偶ワードアドレス (4n 番地) に配置し、その直後に ROM

11. アドバンスドタイムユニット-II (ATU-II)

- エリアへの書き込みを行うMOV命令を配置するような命令配置は不具合条件に該当します。
- (b) ATUレジスタのライトサイクルの直後にAUDによる上記ROMアドレスへの書き込みを行わないでください。
例えば、RAMエミュレーション機能を使用している際のオーバーラップRAMへのライトは、オーバーラップしているROMエリアのアドレスではなく、内蔵RAMエリアのアドレスに対してライトを行ってください。
 - (c) ROMアドレスへの書き込み動作が発生する際は、DMACによるATUレジスタへの書き込みを行わないでください。

11.8 ATU-II のレジスタおよび端子の一覧表

表 11.4 レジスタおよび端子の一覧表

レジスタ名 ¹⁾	チャネル0	チャネル1	チャネル2	チャネル3	チャネル4	チャネル5	チャネル6	チャネル7	チャネル8	チャネル9	チャネル10	チャネル11
TSTR (3)				TSTR1			TSTR2				TSTR1	TSTR3
PSCR (4)				PSCR1			PSCR2				TSTR4	PSCR1
TCNT (25)	TCNT0H, TCNT0L	TCNT1A, TCNT1B	TCNT2A, TCNT2B	TCNT3	TCNT4	TCNT5	TCNT6A~ TCNT6D	TCNT7A~ TCNT7D			TCNT10AH, TCNT10AL, TCNT10B~ TCNT10H	PSCR4 TCNT11
DCNT (16)									DONT8A~ DONT8P			
ECNT (6)										ECNT9A~ ECNT9F		
TCR (17)		TCR1A, TCR1B	TCR2A, TCR2B	TCR3	TCR4	TCR5	TCR6A, TCR6B	TCR7A, TCR7B	TCR8	TCR9A~TCR9C	TCR10	TCR11
TIOR (17)		TIOR1A~ TIOR1D	TIOR2A~ TIOR2D	TIOR3A, TIOR3B	TIOR4A, TIOR4B	TIOR5A, TIOR5B					TIOR10	TIOR11
TSR (12)		TSR1A, TSR1B	TSR2A, TSR2B		TSR3		TSR6	TSR7	TSR8	TSR9	TSR10	TSR11
TIER (12)		TIER1A, TIER1B	TIER2A, TIER2B		TIER3		TIER6	TIER7	TIER8	TIER9	TIER10	TIER11
ITVRR (3)												
ITVRR2A ITVRR2B												
GR (37)		GR1A~GR1H	GR2A~GR2H	GR3A~GR3D	GR4A~GR4D	GR5A~GR5D				GR9A~GR9F	GR10G	GR11A, GR11B
ICR (5)											ICR10AH, ICR10AL	
OCR (11)		OCR1	OCR2A~OCR2H								OCR10AH, OCR10AL OCR10B	
OSBR (2)		OSBR1	OSBR2									
TRGMDR (1)		TRGMDR										
TMDR (1)					TMDR							
CYLR (8)							CYLR6A~ CYLR6D	CYLR7A~ CYLR7D				
BFR (8)							BFR6A~BFR6D	BFR7A~BFR7D				
DTR (8)							DTR6A~DTR6D	DTR7A~DTR7D				
PMDR (1)							PMDR					
RLDR (1)									RLDR			
OTR (1)									OTR			
DSTR (1)									DSTR			
RLDENR (1)									RLDENR			
RLD (1)											RLD10C	
NGR (1)											NGR10	
TCCLR (1)											TCCLR10	
端子 ²⁾	TIOA~D	TIO1A~H, TCLKA, TCLKB	TIO2A~H, TCLKA, TCLKB	TIO3A~D, TCLKA, TCLKB	TIO4A~D, TCLKA, TCLKB	TIO5A~D, TCLKA, TCLKB	TO6A~D	TO7A~D	TO8A~P	TIO9A~F	TCCLR10 TIO10	TIO11A, TIO11B, TCLKA, TCLKB

[注] *1 () 内はレジスタ数。ただし、32ビットレジスタは1本とします。
*2 端子は「第20章 ビンファンクションコントロール (PFC)」で機能を設定してください。

11. アドバンスドタイムユニット-II (ATU-II)

12. アドバンストパルスコントローラ (APC)

12.1 概要

本 LSI は、アドバンストタイマユニット-II (ATU-II) をタイムベースとして最大 8 本のパルス出力を行うアドバンストパルスコントローラ (APC) を内蔵しています。

12.1.1 特長

APC には、次のような特長があります。

最大8本のパルス出力

パルス出力する端子を8つの端子から選択できます。複数設定が可能です。

出力トリガはアドバンストタイマユニット-II (ATU-II) のチャンネル11

ATU-IIのチャンネル11のコンペアマッチレジスタから発生したコンペアマッチ信号をトリガとしてパルスの0出力、1出力を行います。

12. アドバンストパルスコントローラ (APC)

12.1.2 ブロック図

APC のブロック図を図 12.1 に示します。

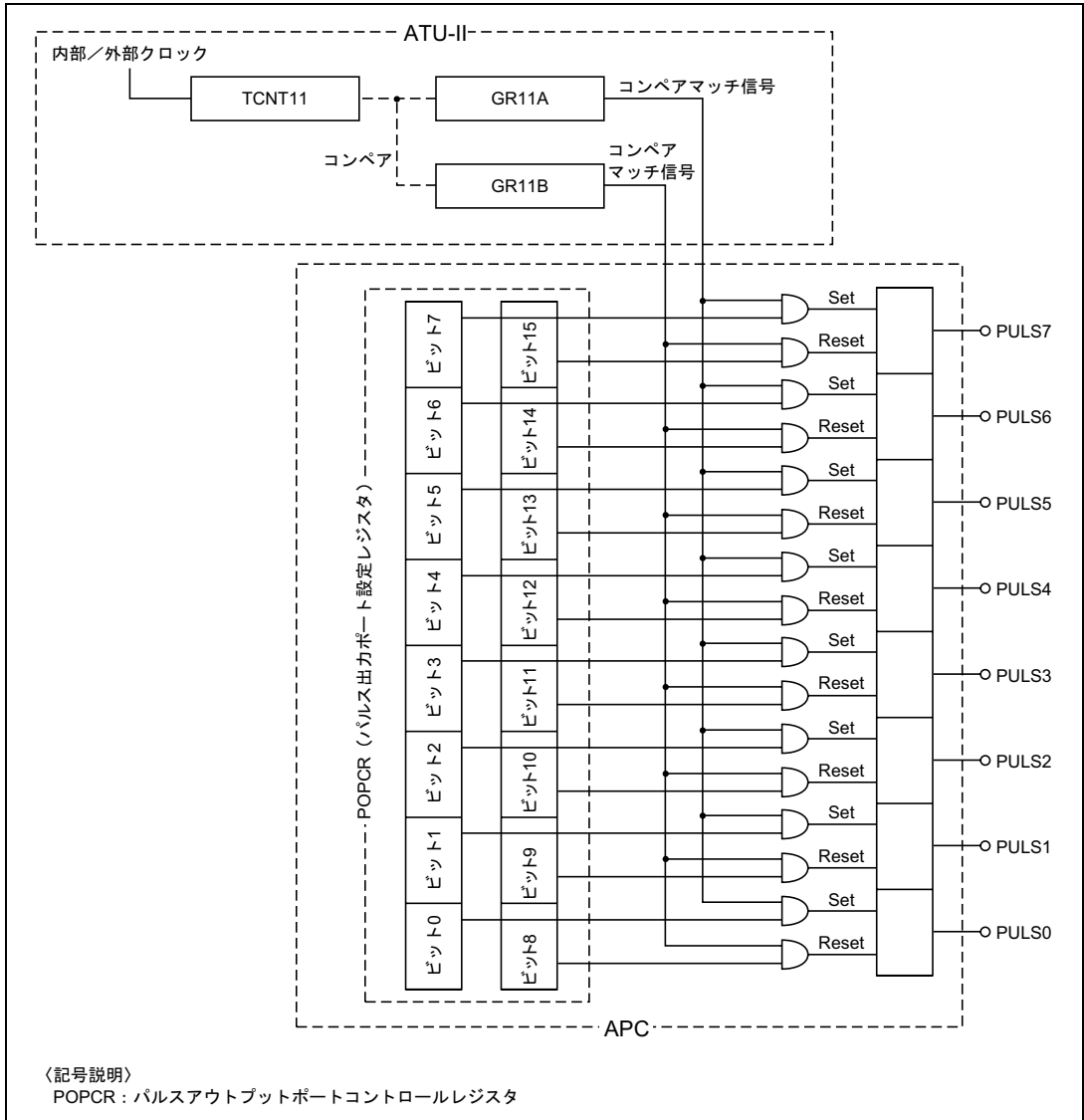


図 12.1 APC のブロック図

12.1.3 端子構成

APC の端子構成を表 12.1 に示します。

表 12.1 端子構成

名称	入出力	機能説明
PULS0	出力	APC パルス出力 0
PULS1	出力	APC パルス出力 1
PULS2	出力	APC パルス出力 2
PULS3	出力	APC パルス出力 3
PULS4	出力	APC パルス出力 4
PULS5	出力	APC パルス出力 5
PULS6	出力	APC パルス出力 6
PULS7	出力	APC パルス出力 7

12.1.4 レジスタ構成

APC のレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
パルスアウトポートコントロール レジスタ	POPCR	R/W	H'0000	H'FFFFFF700	8、16

【注】レジスタアクセスサイクルは 4 or 5 サイクルです。

12.2 レジスタの説明

12.2.1 パルスアウトポートコントロールレジスタ (POPCR)

パルスアウトポートコントロールレジスタ (POPCR) は読み出し / 書き込み可能な 16 ビットのレジスタです。

POPCR はパワーオンリセットおよびハードウェアスタンバイモード時に、H'0000 に初期化されません。ソフトウェアスタンバイモード時には初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PULS7 ROE	PULS6 ROE	PULS5 ROE	PULS4 ROE	PULS3 ROE	PULS2 ROE	PULS1 ROE	PULS0 ROE	PULS7 SOE	PULS6 SOE	PULS5 SOE	PULS4 SOE	PULS3 SOE	PULS2 SOE	PULS1 SOE	PULS0 SOE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~8 : PULS7~0 リセットアウトプットイネーブル (PULS7~0ROE)

APC パルス出力端子 (PULS7~0) への 0 出力の許可 / 禁止をビット単位で選択します。

ビット 15~8	説明
PULS7~0ROE	
0	APC パルス出力端子 (PULS7~0) への 0 出力を禁止 (初期値)
1	APC パルス出力端子 (PULS7~0) への 0 出力を許可

本ビットを 1 に設定すると、GR11B と TCNT11 の値がコンペアマッチしたとき、対応する端子から 0 が出力されます。

ビット 7~0 : PULS7~0 セットアウトプットイネーブル (PULS7~0SOE)

APC パルス出力端子 (PULS7~0) への 1 出力の許可 / 禁止をビット単位で選択します。

ビット 7~0	説明
PULS7~0SOE	
0	APC パルス出力端子 (PULS7~0) への 1 出力を禁止 (初期値)
1	APC パルス出力端子 (PULS7~0) への 1 出力を許可

本ビットを 1 に設定すると、GR11A と TCNT11 の値がコンペアマッチしたとき、対応する端子から 1 が出力されます。

12.3 動作説明

12.3.1 概要

APC パルス出力は、ピンファンクションコントローラ (PFC) でマルチプレクス端子を APC パルス出力に設定し、パルスアウトポートコントロールレジスタ (POPCR) の対応するビットを 1 にすることで許可状態になります。

その後、アドバンストタイムユニット-II (ATU-II) のジェネラルレジスタ 11A (GR11A) がコンペアマッチ信号を発生すると、POPCR のビット 7~0 で 1 に設定された端子から 1 が出力されます。また、ジェネラルレジスタ 11B (GR11B) がコンペアマッチ信号を発生すると、POPCR のビット 15~8 で 1 に設定された端子から 0 が出力されます。

出力許可状態から最初のコンペアマッチが発生するまでは 0 が出力されます。

APC 出力動作を図 12.2 に示します。

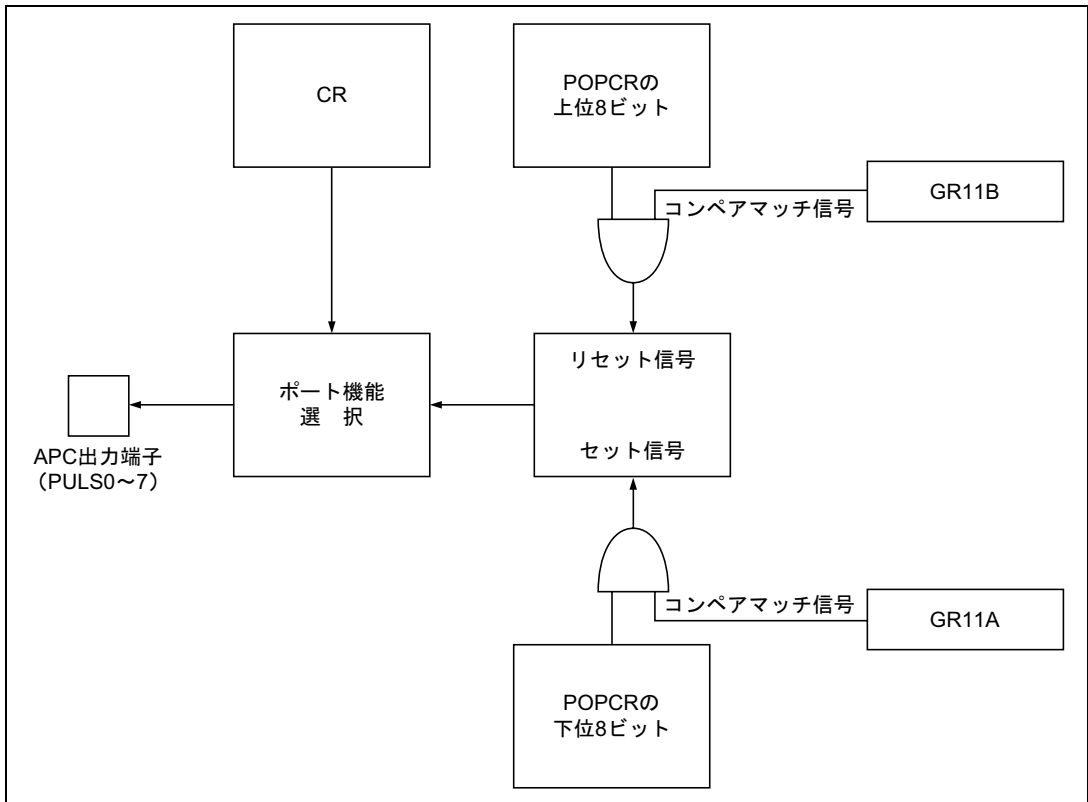


図 12.2 APC 出力動作

12.3.2 APC 出力動作

(1) APC 出力動作の設定手順例

APC 出力動作の設定手順例を図 12.3 に示します。

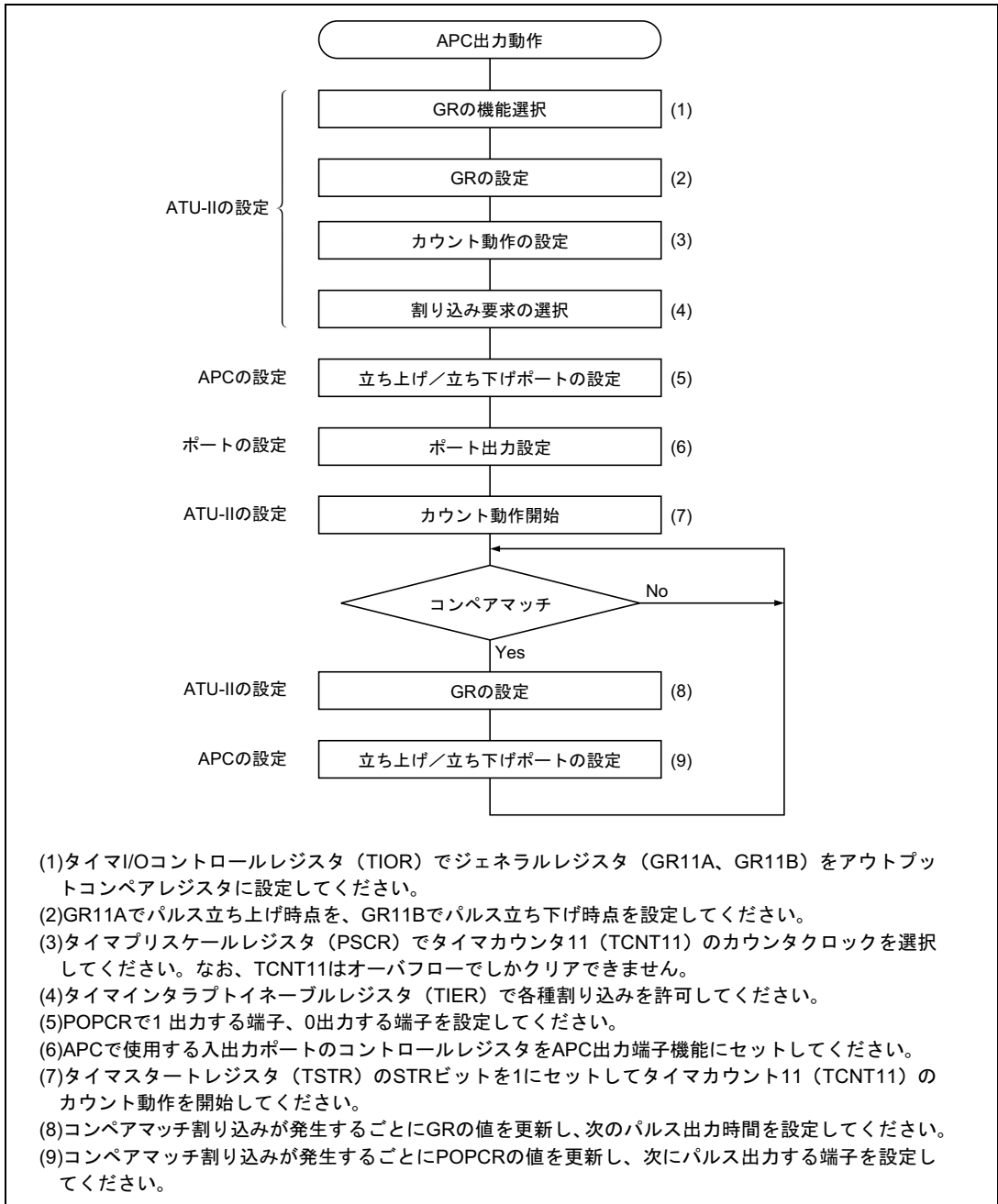


図 12.3 APC 出力動作の設定手順例

(2) APC 出力動作例

APC 出力動作例を図 12.4 に示します。

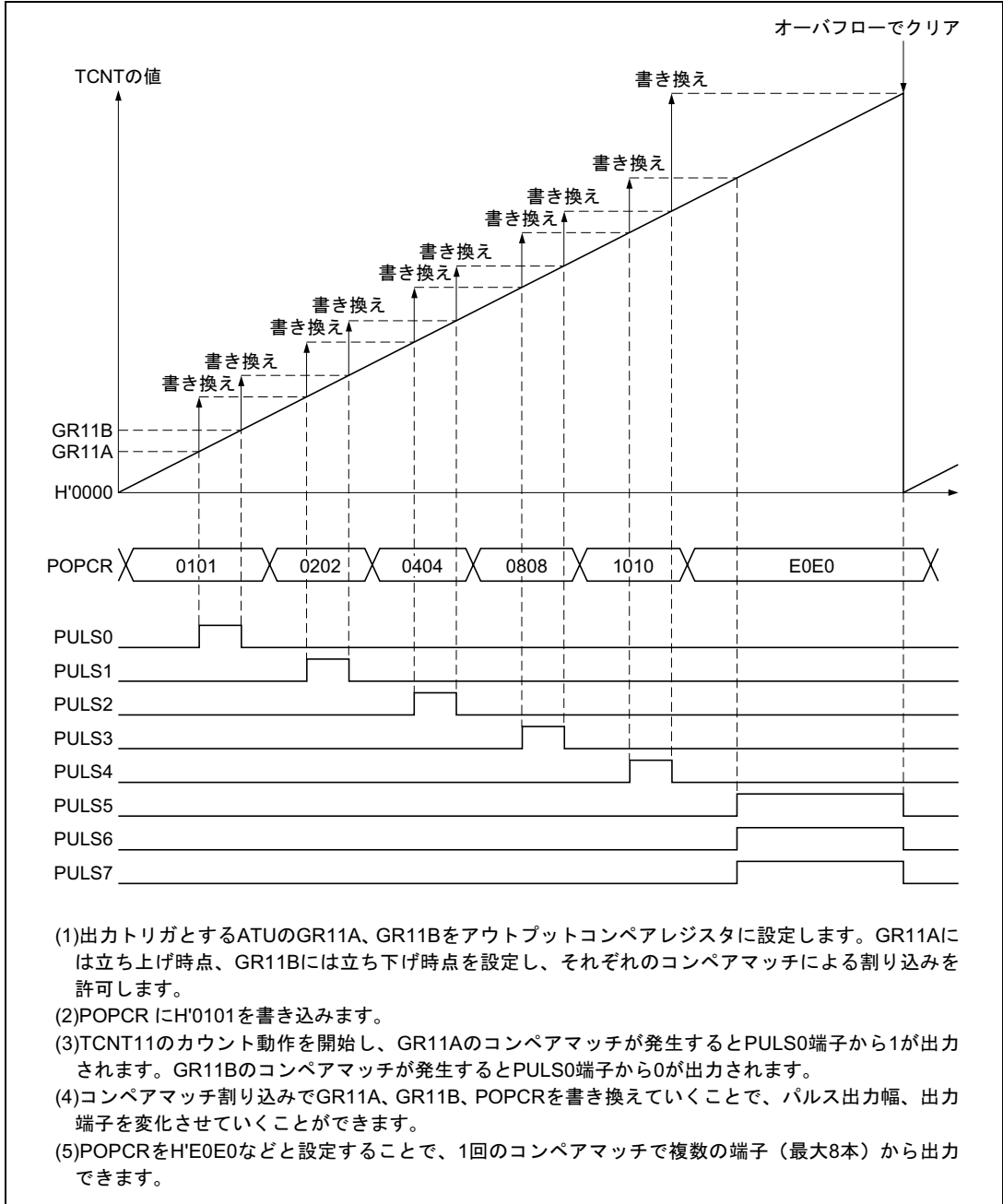


図 12.4 APC 出力動作例

12.4 使用上の注意

(1) コンペアマッチ信号の競合

GR11A と GR11B を同じ値に設定し、POPCR の設定で同一端子の 0 出力、1 出力を共に許可した場合、コンペアマッチ時の PULS0~7 端子は 0 出力が優先されます。

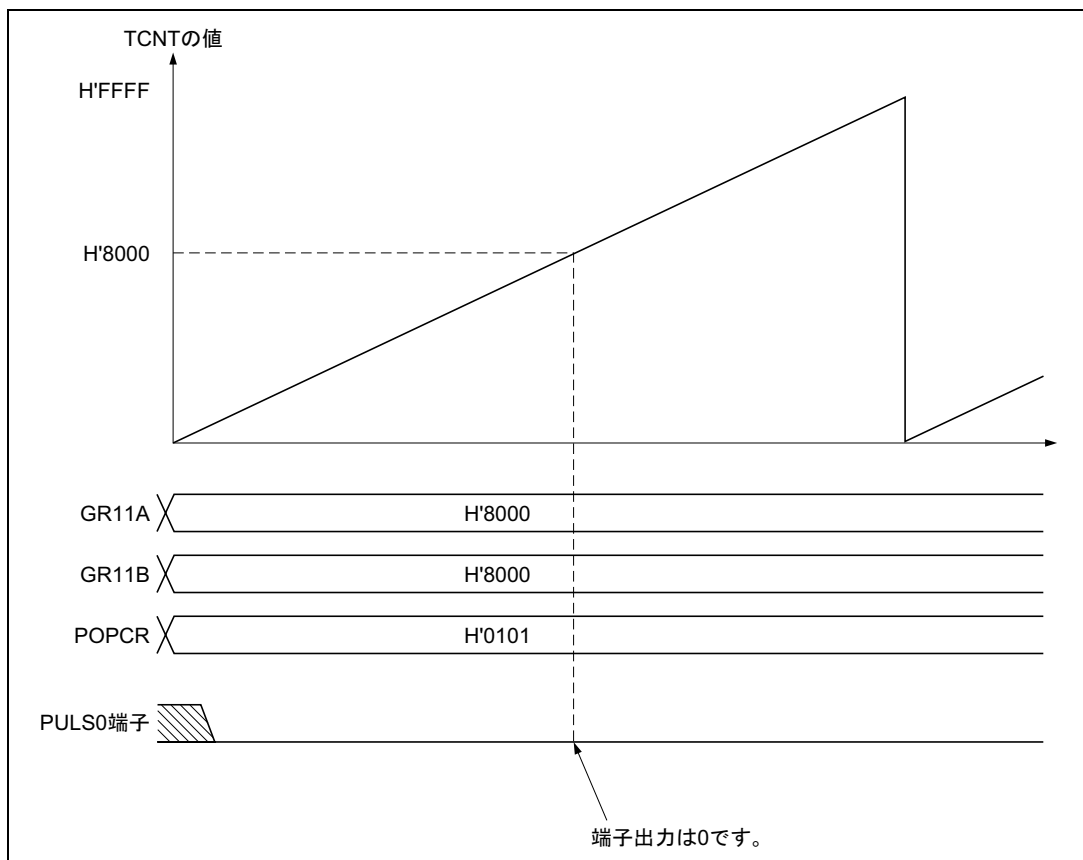


図 12.5 コンペアマッチ競合例

13. ウォッチドッグタイマ (WDT)

13.1 概要

ウォッチドッグタイマ (WDT) は 1 チャンネルのタイマで、システムの監視を行うことができます。WDT は、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

13.1.1 特長

WDT には次のような特長があります。

ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力

カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本 LSI内部をリセットするかどうか選択できます。この内部リセットは、パワーオンリセットまたは、マニュアルリセットを選択できます。

インターバルタイマモード時、割り込みを発生

カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。

8種類のカウンタ入力クロックを選択可能

13. ウォッチドッグタイマ (WDT)

13.1.2 ブロック図

WDTのブロック図を図 13.1 に示します。

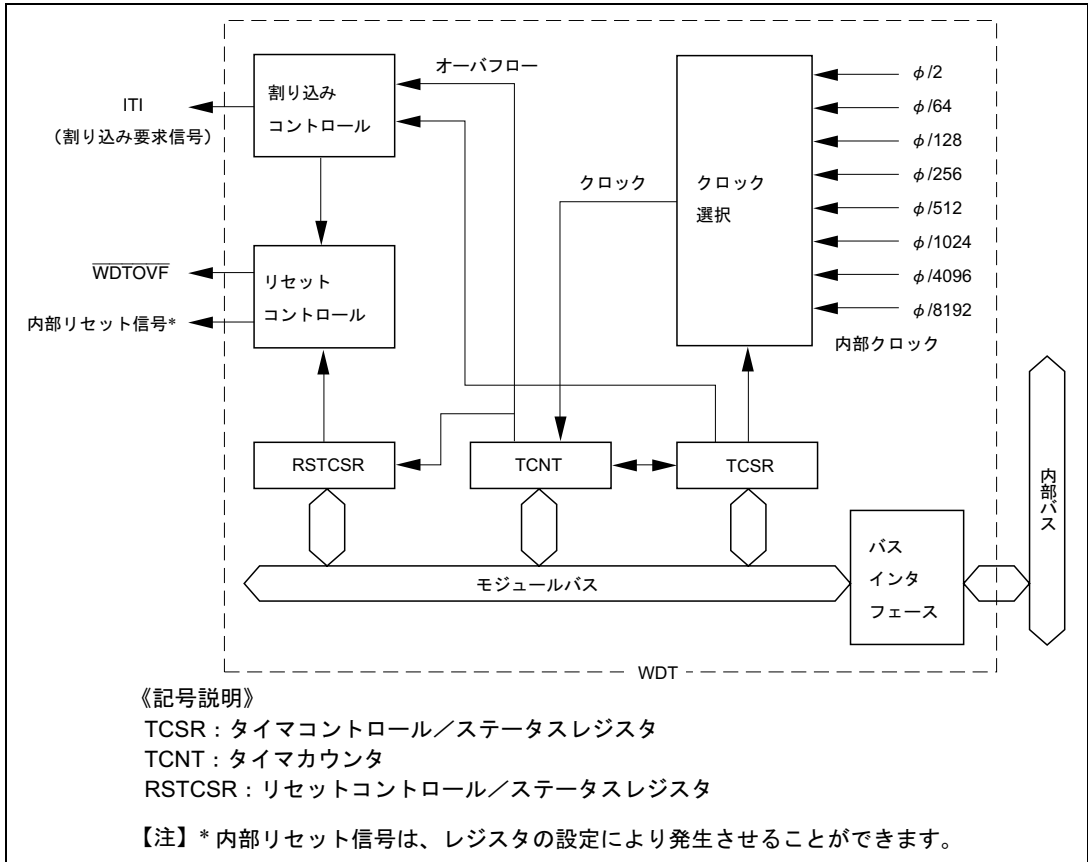


図 13.1 WDTのブロック図

13.1.3 端子構成

WDTの端子を表 13.1 に示します。

表 13.1 端子構成

名称	略称	入出力	機能
ウォッチドッグタイマオーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

13.1.4 レジスタ構成

WDT には、表 13.2 に示すように 3 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 13.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	
				書き込み* ¹	読み出し* ²
タイマコントロール / ステータスレジスタ	TCSR	R/(W)* ³	H'18	H'FFFFFFEC10	H'FFFFFFEC10
タイマカウンタ	TCNT	R/W	H'00		H'FFFFFFEC11
リセットコントロール / ステータスレジスタ	RSTCSR	R/(W)* ³	H'1F	H'FFFFFFEC12	H'FFFFFFEC13

【注】 レジスタアクセスはバイトアクセス時、ワードアクセス時ともに 3 サイクルです。

- *1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。
- *2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では正しい値を読み出すことができません。
- *3 ビット 7 には、フラグをクリアするために、0 のみ書き込むことができます。

13.2 レジスタの説明

13.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマカウンタ (TCNT) は、読み出し / 書き込み可能な*8 ビットのアップカウンタです。タイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) を 1 にすると、TCSR の CKS2 ~ CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバーフロー (H'FF H'00) すると、TCSR の WT/IT ビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 (WDTOVF) またはインターバルタイマ割り込み (ITI) が発生します。

TCNT は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、または TME ビットが 0 のとき、H'00 に初期化されます。

【注】* TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「13.2.4 レジスタアクセス時の注意」を参照してください。

13.2.2 タイマコントロール / ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R(W)*	R/W	R/W	R	R	R/W	R/W	R/W

【注】* OVF ビットは、1 リード後の 0 ライトのみ実行可能です。

タイマコントロール / ステータスレジスタ (TCSR) は、読み出し / 書き込み可能な*8 ビットのレジスタで、タイマカウンタ (TCNT) に入力するクロック、モードの選択などを行います。

TCSR は、パワーオンリセット、ハードウェアスタンバイモードおよびソフトウェアスタンバイモード時に H'00 に初期化されます。

【注】* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「13.2.4 レジスタアクセス時の注意」を参照してください。

ビット7: オーバフローフラグ (OVF)

インターバルタイマモードで、TCNT がオーバフロー (H'FF H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

ビット7	説明
OVF	
0	インターバルタイマモードで TCNT のオーバフローなし (初期値) [クリア条件] OVF を読み出してから 0 を書き込む
1	インターバルタイマモードで TCNT のオーバフロー発生

ビット6: タイマモードセレクト (WT/ \bar{IT})

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバフローしたとき、インターバルタイマ割り込み (ITI) が発生するか、 \overline{WDTOVF} 信号が発生するかが決まります。

ビット6	説明
WT/ \bar{IT}	
0	インターバルタイマモード: TCNT がオーバフローしたとき CPU ヘインターバルタイマ割り込み (ITI) を要求 (初期値)
1	ウォッチドッグタイマモード: TCNT がオーバフローしたとき \overline{WDTOVF} 信号を外部へ出力 *

【注】 * ウォッチドッグタイマモードのとき、TCNT がオーバフローした場合についての詳しくは、「13.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

ビット5: タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	タイマディスエーブル: TCNT を H'00 に初期化し、カウントアップを停止 (初期値)
1	タイマイネーブル: TCNT はカウントアップを開始。TCNT がオーバフローすると、 \overline{WDTOVF} 信号または割り込みが発生。

ビット4、3: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

13. ウォッチドッグタイマ (WDT)

ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

システムクロック () を分周して得られる 8 種類の内部クロックから、TCNT に入力するクロックを選択します。

ビット2	ビット1	ビット0	説 明	
CKS2	CKS1	CKS0	クロック	オーバーフロー周期* (=40MHz の場合)
0	0	0	/2 (初期値)	12.8 μs
		1	/64	409.6 μs
	1	0	/128	0.8ms
		1	/256	1.6 ms
1	0	0	/512	3.3 ms
		1	/1024	6.6 ms
	1	0	/4096	26.2 ms
		1	/8192	52.4 ms

【注】 * オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。

13.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R(W)*	R/W	R/W	R	R	R	R	R

【注】 * ビット7には、フラグをクリアするために、0のみ書き込むことができます。

リセットコントロール/ステータスレジスタ (RSTCSR) は、読み出し/書き込み可能な*8 ビットのレジスタで、タイマカウンタ (TCNT) のオーバーフローによる内部リセット信号の発生を制御します。

RSTCSR は、RES 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバーフローによる内部リセット信号では初期化されません。ハードウェアスタンバイモードおよびソフトウェアスタンバイモード時には、H'1F に初期化されます。

【注】 * RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「13.2.4 レジスタアクセス時の注意」を参照してください。

ビット7: ウォッチドッグタイマオーバーフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNT がオーバーフロー (H'FF H'00) したことを示します。インターバルタイマモードではセットされません。

ビット7	説 明
WOVF	
0	ウォッチドッグタイマモードで TCNT のオーバーフローなし (初期値) [クリア条件] WOVF を読み出してから WOVF に 0 を書き込む
1	ウォッチドッグタイマモードで TCNT のオーバーフロー発生

ビット6：リセットイネーブル (RSTE)

ウォッチドッグタイマモードで TCNT がオーバーフローしたとき、本 LSI 内部をリセットする信号を発生するかどうかを選択します。

ビット6 RSTE	説 明
0	TCNT がオーバーフローしたとき、内部リセットしない* (初期値)
1	TCNT がオーバーフローしたとき、内部リセットする

【注】 * 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。

ビット5：リセットセレクト(RSTS)

ウォッチドッグタイマモードで TCNT がオーバーフローして発生する内部リセットの種類を選択します。

ビット5 RSTS	説 明
0	パワーオンリセット (初期値)
1	マニュアルリセット

ビット4～0：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

13.2.4 レジスタアクセス時の注意

タイマカウンタ (TCNT)、タイマコントロール/ステータスレジスタ (TCSR)、リセットコントロール/ステータスレジスタ (RSTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出し/書き込みを行ってください。

(1) TCNT、TCSR への書き込み

TCNT、TCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

書き込み時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 13.2 に示すように、TCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。TCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へ書き込まれます。

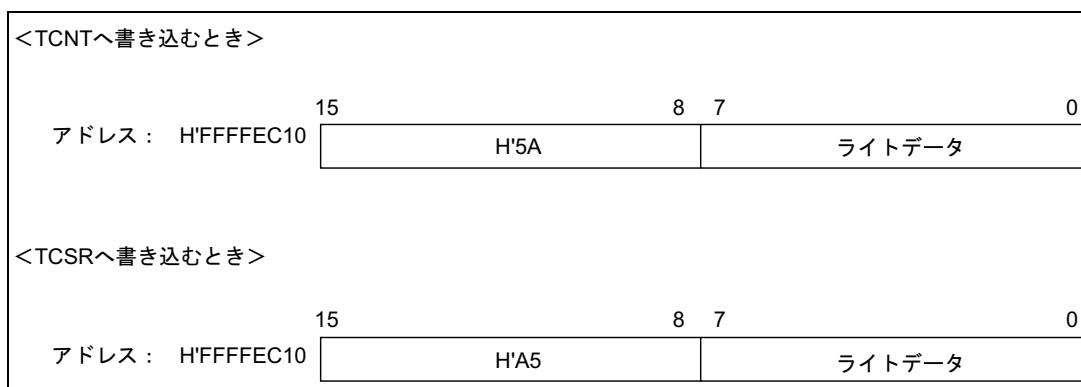


図 13.2 TCNT、TCSR への書き込み

(2) RSTCSR への書き込み

RSTCSR へ書き込むときは、アドレス H'FFFFEC12 に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 13.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

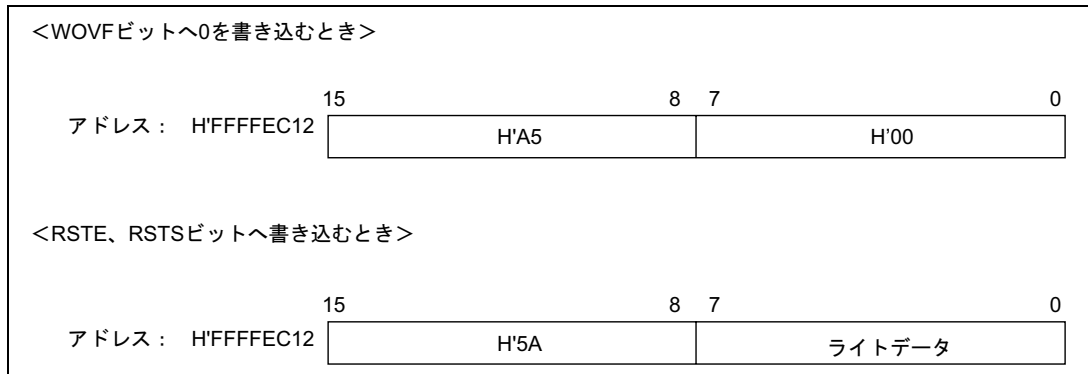


図 13.3 RSTCSR への書き込み

(3) TCNT、TCSR、RSTCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。TCSR は、アドレス H'FFFFEC10 に、TCNT は、アドレス H'FFFFEC11 に、RSTCSR は、アドレス H'FFFFEC13 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

13.3 動作説明

13.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、タイマコントロール/ステータスレジスタ (TCSR) の WT/\overline{IT} ビットと TME ビットの両方を 1 に設定してください。また、タイマカウンタ (TCNT) がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 \overline{WDTOVF} 信号が外部に出力されます。これを図 13.4 に示します。この \overline{WDTOVF} 信号を用いて、システムをリセットすることができます。 \overline{WDTOVF} 信号は、128 クロックの間出力されます。

リセットコントロール/ステータスレジスタ (RSTCSR) の RSTE ビットを 1 にセットしておくこと、TCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。このリセットは、RSTCSR の RSTS ビットの設定によってパワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、512 クロックの間出力されます。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

なお、WDT によるリセット信号により、(1) ピンファンクションコントローラ (PFC) のレジスタ、(2) I/O ポートのレジスタは初期化されません (外部からのパワーオンリセットのみで初期化されます)。

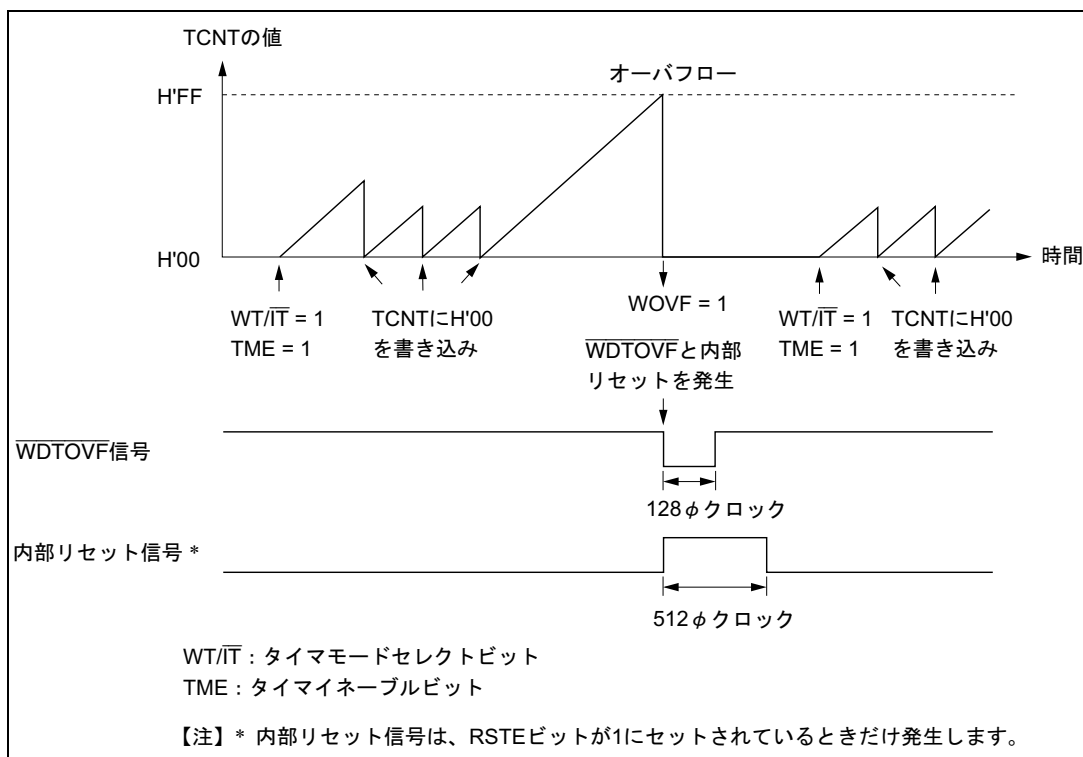


図 13.4 ウォッチドッグタイマモード時の動作

13.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときは、タイマコントロール/ステータスレジスタ (TCSR) の WT/\overline{IT} ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 13.5 に示すように、タイマカウンタ (TCNT) がオーバーフローするごとにインターバルタイマ割り込み (ITI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

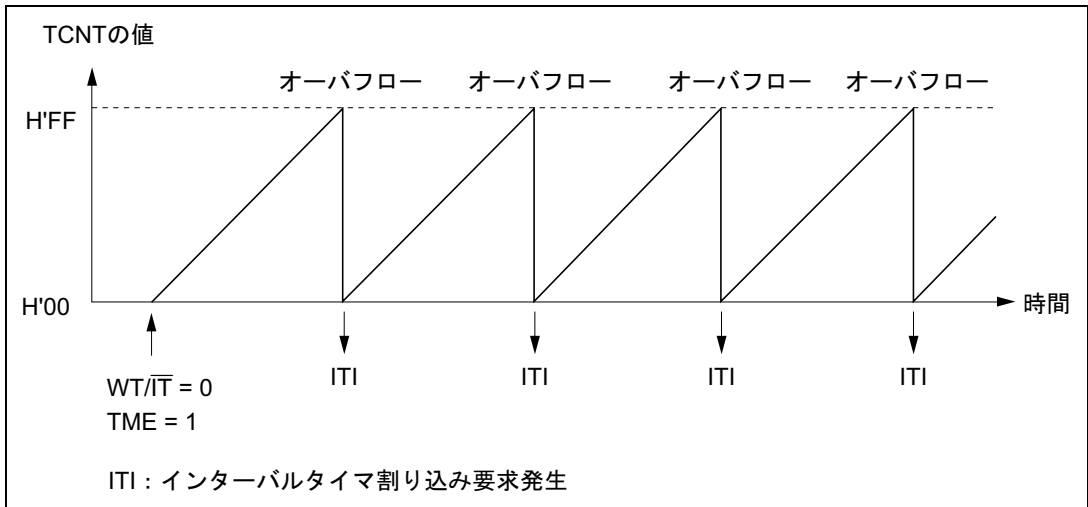


図 13.5 インターバルタイマモード時の動作

13.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでタイマカウンタ (TCNT) がオーバーフローすると、タイマコントロール/ステータスレジスタ (TCSR) の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (ITI) が要求されます。このタイミングを図 13.6 に示します。

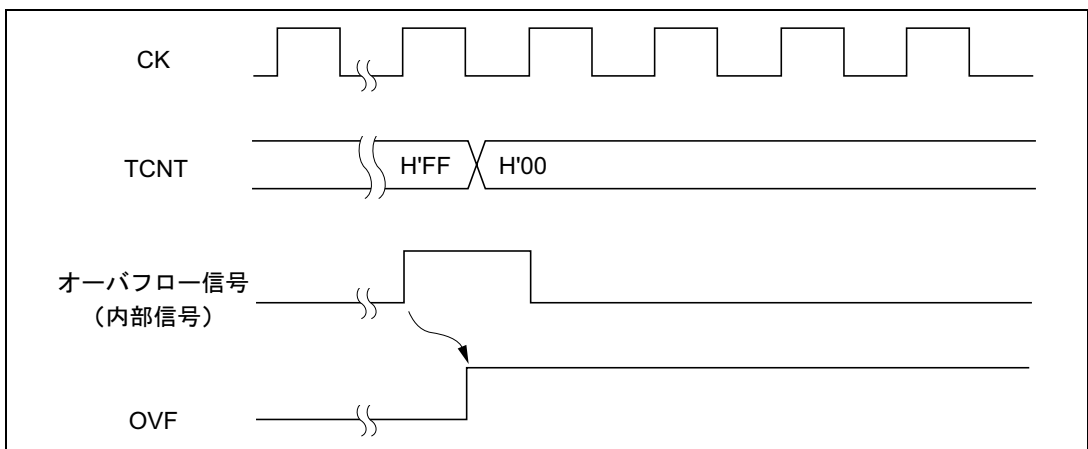


図 13.6 オーバフローフラグ (OVF) のセットタイミング

13.3.4 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでタイマカウンタ (TCNT) がオーバフローすると、リセットコントロール/ステータスレジスタ (RSTCSR) の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 13.7 に示します。

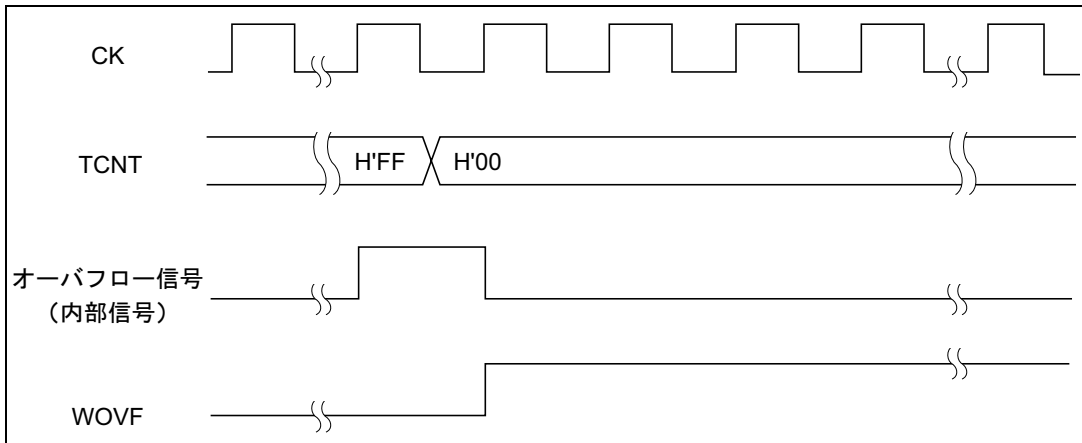


図 13.7 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

13.4 使用上の注意

13.4.1 タイマカウンタ (TCNT) の書き込みとカウントアップの競合

タイマカウンタ (TCNT) のライトサイクル中の T3 ステートでカウントアップが発生しても、TCNT へのデータ書き込みが優先され、カウントアップされません。これを図 13.8 に示します。

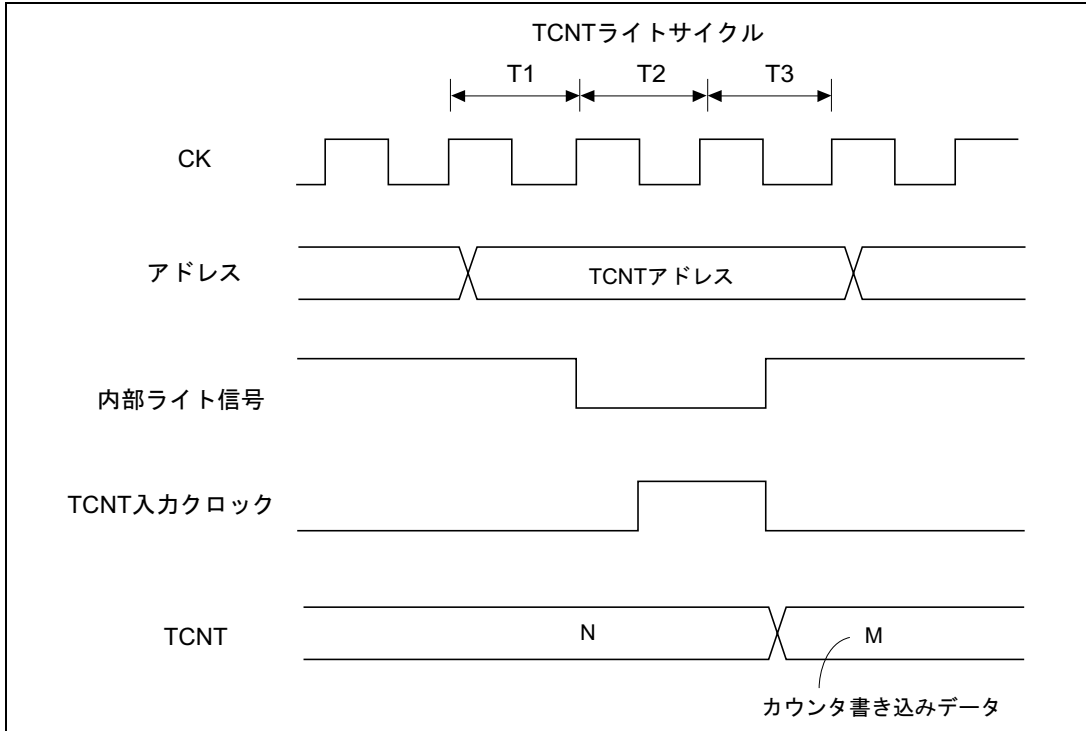


図 13.8 TCNT の書き込みとカウントアップの競合

13.4.2 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中にタイマコントロール/ステータスレジスタ (TCSR) の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

13.4.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

13.4.4 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 13.9 に示すような回路で行ってください。

13. ウォッチドッグタイマ (WDT)

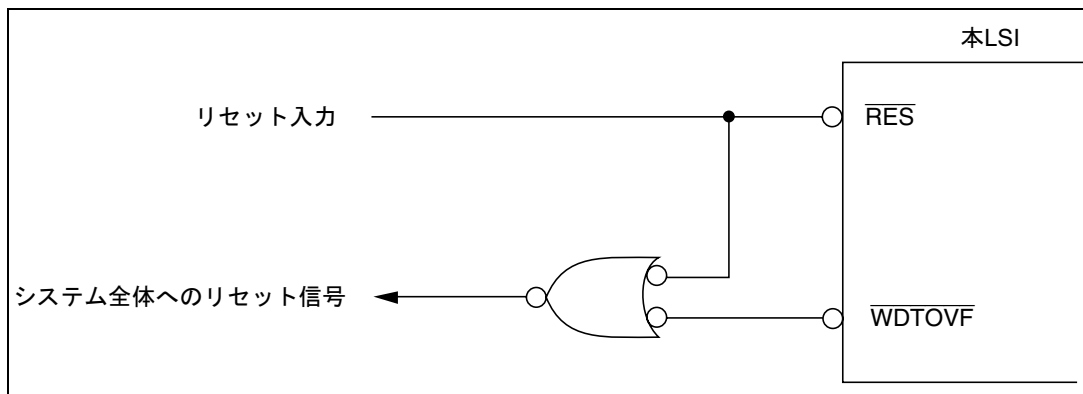


図 13.9 WDTOVF 信号によるシステムリセット回路例

13.4.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておく、TCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT 内の TCNT、TCSR はリセットされます。

このときシステムクロック (ϕ) を分周した内部クロックもリセットされるため、内部クロックを使用している SCI、A/D、CMT が正常に動作しない場合があります。そのため、これらを引き続き使用する場合は、初期化してから使用してください。

13.4.6 ウォッチドッグタイマモードでのマニュアルリセット

ウォッチドッグタイマモードで TCNT のオーバーフローにより、内部リセットしたとき、マニュアルリセット発生時のバスサイクル終了を待ってから、マニュアルリセット例外処理に移行します。したがって、マニュアルリセットによりバスサイクルは保持されますが、バス権解放中や DMAC バースト転送中等にマニュアルリセットが発生すると CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。ただし、マニュアルリセットが発生してから CPU がバス権を獲得するまでの期間が内部マニュアルリセット期間である 512 サイクル以上であると内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

14. コンペアマッチタイマ (CMT)

14.1 概要

本 LSI は、2 チャンルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

14.1.1 特長

CMT には、次のような特長があります。

4種類のカウント入力クロックを選択可能

4種類の内部クロック ($P\phi/8$ 、 $P\phi/32$ 、 $P\phi/128$ 、 $P\phi/512$) の中から各チャンネル独立に選択できます。

割り込み要因

コンペアマッチ割り込みを各チャンネル独立に要求することができます。

14.1.2 ブロック図

CMT のブロック図を図 14.1 に示します。

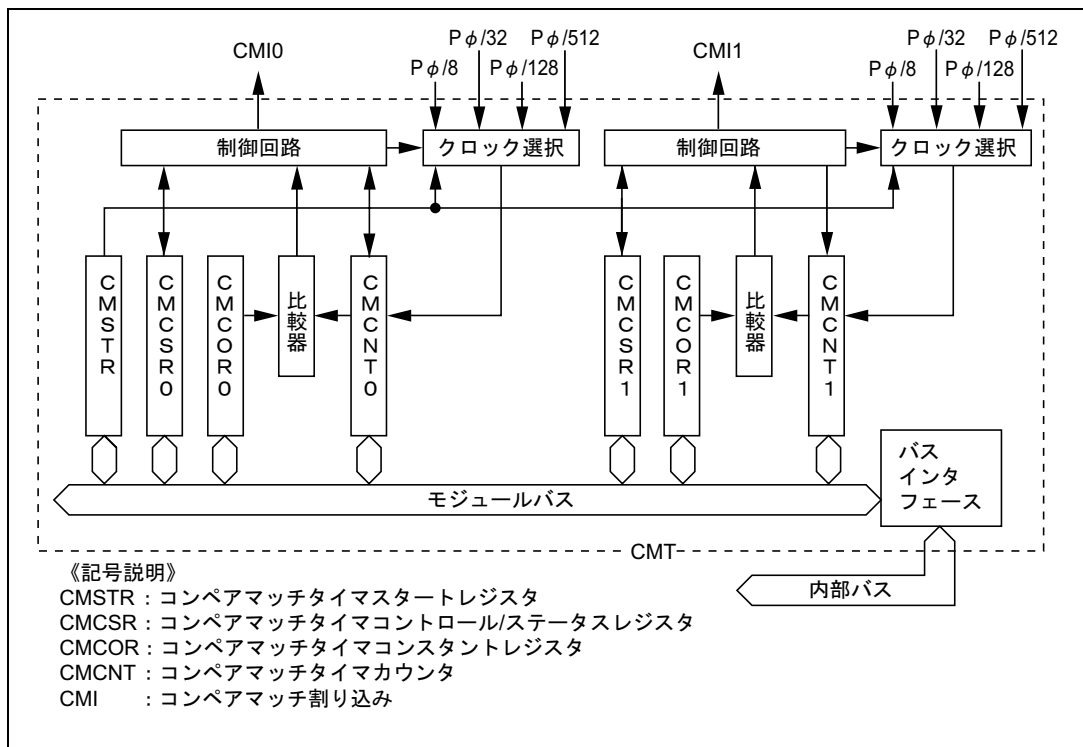


図 14.1 CMT のブロック図

14. コンペアマッチタイム (CMT)

14.1.3 レジスタ構成

CMT のレジスタ構成を表 14.1 に示します。

表 14.1 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ (ビット)
共通	コンペアマッチタイム スタートレジスタ	CMSTR	R/W	H'0000	H'FFFFFF710	8、16、32
0	コンペアマッチタイム コントロール/ ステータスレジスタ 0	CMCSR0	R/(W)*	H'0000	H'FFFFFF712	8、16、32
	コンペアマッチタイム カウンタ 0	CMCNT0	R/W	H'0000	H'FFFFFF714	8、16、32
	コンペアマッチタイム コンスタントレジスタ 0	CMCOR0	R/W	H'FFFF	H'FFFFFF716	8、16、32
1	コンペアマッチタイム コントロール/ ステータスレジスタ 1	CMCSR1	R/(W)*	H'0000	H'FFFFFF718	8、16、32
	コンペアマッチタイム カウンタ 1	CMCNT1	R/W	H'0000	H'FFFFFF71A	8、16、32
	コンペアマッチタイム コンスタントレジスタ 1	CMCOR1	R/W	H'FFFF	H'FFFFFF71C	8、16、32

【注】 アクセスサイズが、バイトアクセス、ワードアクセス時には 4 または 5 サイクル、ロングワードアクセス時には 8 または 9 サイクルとなります。

* CMCSR0、1 の CMF ビットは、フラグをクリアするための 0 ライトのみ可能です。

14.2 レジスタの説明

14.2.1 コンペアマッチタイムスタートレジスタ (CMSTR)

コンペアマッチタイムスタートレジスタ (CMSTR) はチャンネル 0、1 のカウンタ (CMCNT) を動作させるか、停止させるかの設定を行います。CMSTR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモード時に H'0000 に初期化されます。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	------	------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R/W R/W

ビット 15~2: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット1: カウントスタート1 (STR1)

コンペアマッチタイマカウンタ1を動作させるか、停止させるかを選択します。

ビット1	説明
STR1	
0	CMCNT1のカウンタ動作は停止 (初期値)
1	CMCNT1はカウンタ動作

ビット0: カウントスタート0 (STR0)

コンペアマッチタイマカウンタ0を動作させるか、停止させるかを選択します。

ビット0	説明
STR0	
0	CMCNT0のカウンタ動作は停止 (初期値)
1	CMCNT0はカウンタ動作

14.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) はコンペアマッチ発生の表示、割り込みの許可/禁止の設定、カウンタアップに用いられるクロックの設定を行います。CMCSRレジスタは16ビットのレジスタです。パワーオンリセットまたはスタンバイモード時にH'0000に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CMF	CMIE	—	—	—	—	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R(W)*R/W	R	R	R	R	R	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット15~8、5~2: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット7: コンペアマッチフラグ (CMF)

コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。

ビット7	説明
CMF	
0	CMCNT と CMCOR の値が一致していない [クリア条件] CMF の 1 を読み出してから 0 を書き込む (初期値)
1	CMCNT と CMCOR の値が一致した

14. コンペアマッチタイマ (CMT)

ビット 6 : コンペアマッチ割り込みイネーブル (CMIE)

CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。

ビット 6	説明
CMIE	
0	コンペアマッチ割り込み (CMI) を禁止 (初期値)
1	コンペアマッチ割り込み (CMI) を許可

ビット 1、0 : クロックセレクト 1、0 (CKS1、CKS0)

周辺クロック (P) を分周して得られる 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットを 1 にセットすると、CKS1、CKS0 で選択されたクロックにより CMCNT がカウントアップを開始します。

ビット 1	ビット 0	説明
CKS1	CKS0	
0	0	P / 8 (初期値)
	1	P / 32
1	0	P / 128
	1	P / 512

14.2.3 コンペアマッチタイマカウンタ (CMCNT)

コンペアマッチタイマカウンタ (CMCNT) は割り込み要求を発生させるためのアップカウンタとして使用します。

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR の STR ビットを 1 にセットすると、そのクロックによって CMCNT はカウントアップを開始します。CMCNT の値がコンペアマッチタイマコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ、CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。

CMCNT レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモード時に H'0000 に初期化されます。マニュアルリセットでは初期化されません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

コンペアマッチタイマコンスタントレジスタ (CMCOR) は CMCNT とのコンペアマッチ周期を設定します。

CMCOR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモード時に H'FFFF に初期化されます。マニュアルリセットでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3 動作説明

14.3.1 周期カウント動作

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR レジスタの STR ビットを 1 にセットすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。CMCNT カウンタの値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT カウンタは H'0000 にクリアされ、CMCSR レジスタの CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT カウンタは H'0000 から再びカウントアップ動作を再開します。

コンペアマッチカウンタの動作を図 14.2 に示します。

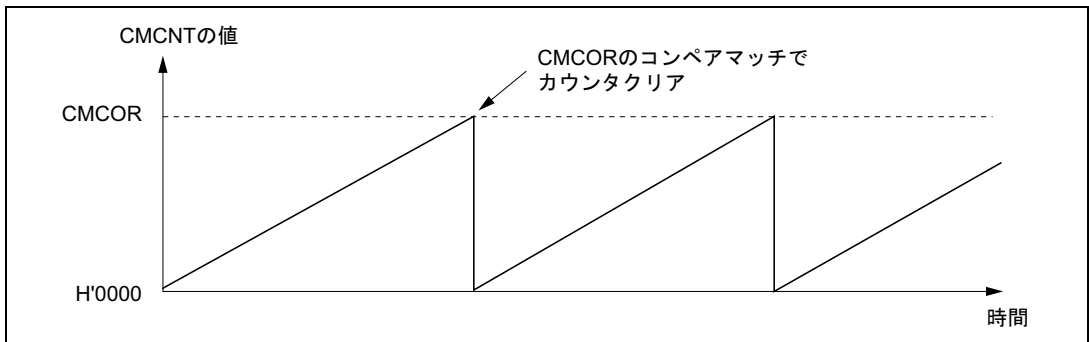


図 14.2 カウンタの動作

14.3.2 CMCNT のカウントタイミング

CMCSR の CKS1、CKS0 ビットにより、周辺クロック (P) を分周した 4 種類の内部クロック (P / 8、P / 32、P / 128、P / 512) が選択できます。このときのタイミングを図 14.3 に示します。

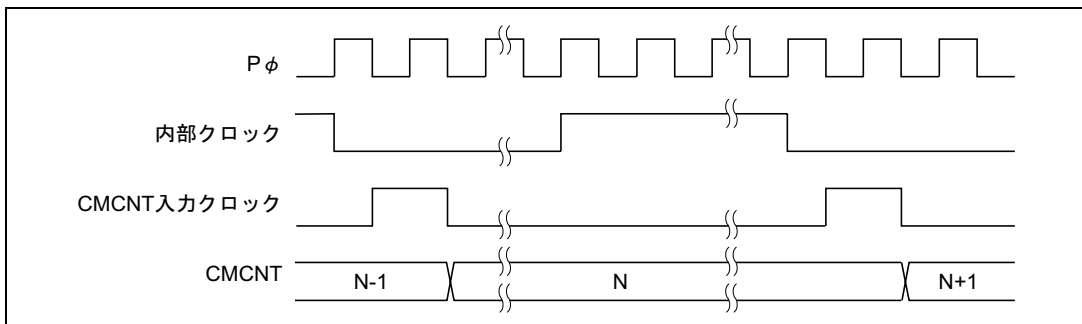


図 14.3 カウントタイミング

14.4 割り込み

14.4.1 割り込み要因

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「第 7 章 割り込みコントローラ (INTC)」を参照してください。

14.4.2 コンペアマッチフラグのセットタイミング

CMCSR レジスタの CMF ビットは、CMCOR レジスタと CMCNT カウンタが一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタと CMCOR レジスタが一致した後、CMCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF ビットのセットタイミングを図 14.4 に示します。

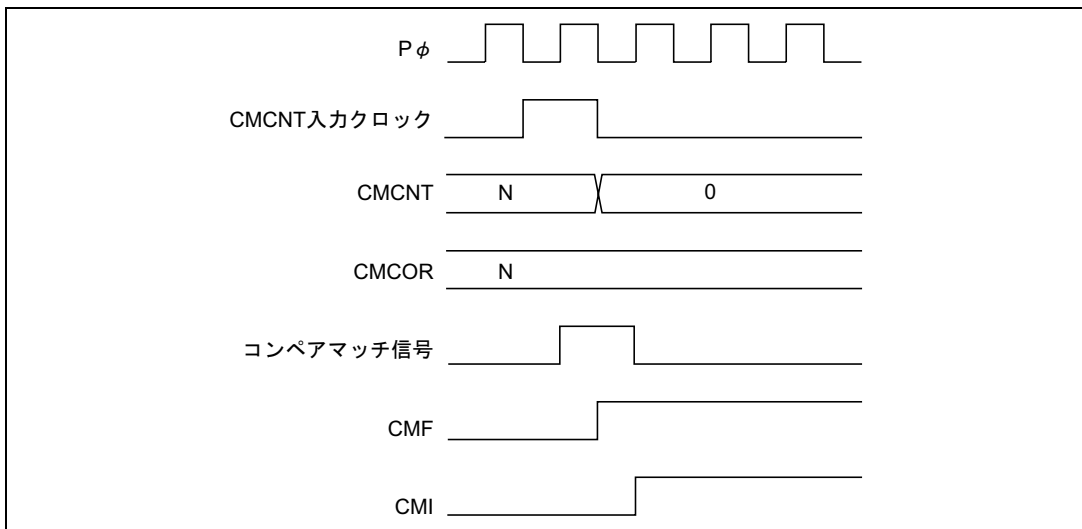


図 14.4 CMF のセットタイミング

14.4.3 コンペアマッチフラグのクリアタイミング

CMCSR レジスタの CMF ビットは、1 の状態を読み出したあとに 0 を書き込むことによりクリアされます。CPU による CMF ビットのクリアタイミングを図 14.5 に示します。

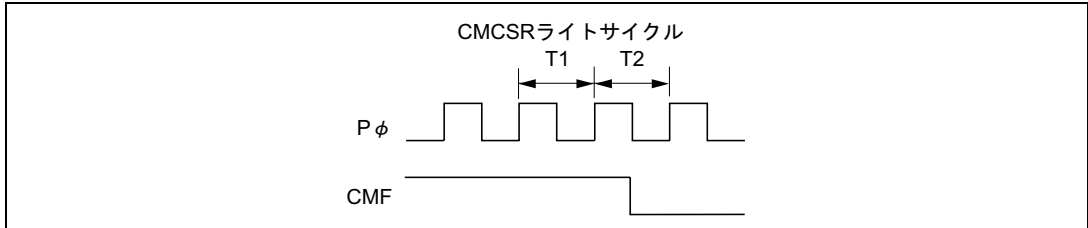


図 14.5 CPU による CMF のクリアタイミング

14.5 使用上の注意

CMT の動作中、次のような競合や動作が発生するので注意してください。

14.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 14.6 に示します。

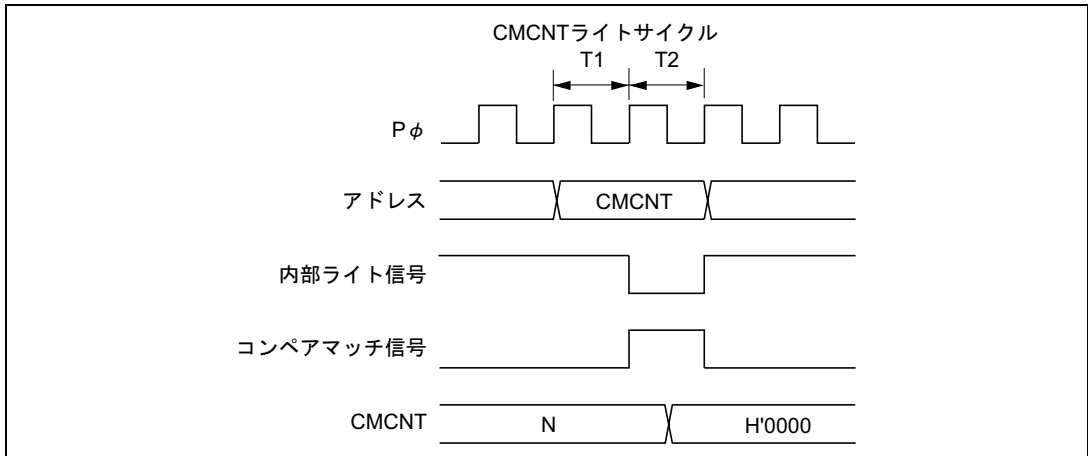


図 14.6 CMCNT の書き込みとコンペアマッチの競合

14.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 14.7 に示します。

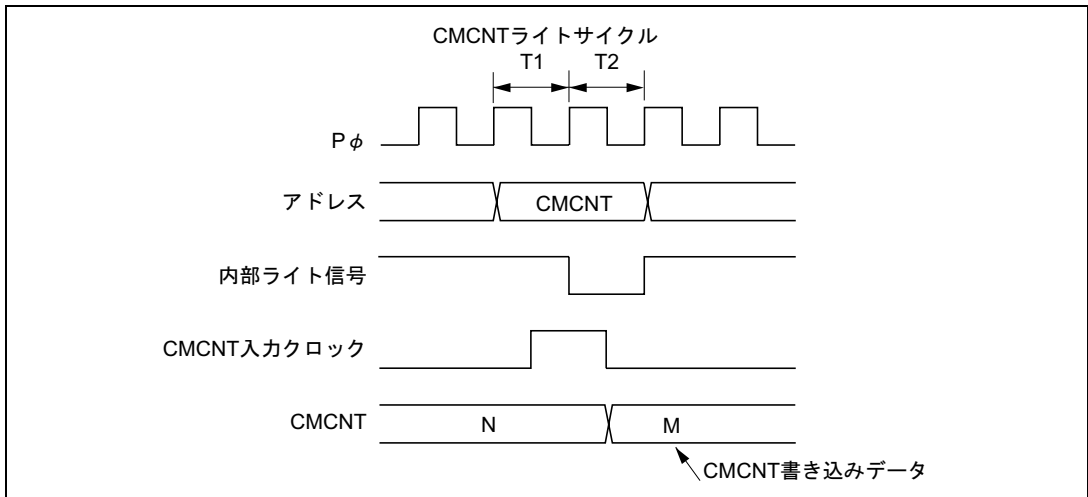


図 14.7 CMCNT のワード書き込みとカウントアップの競合

14.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 14.8 に示します。

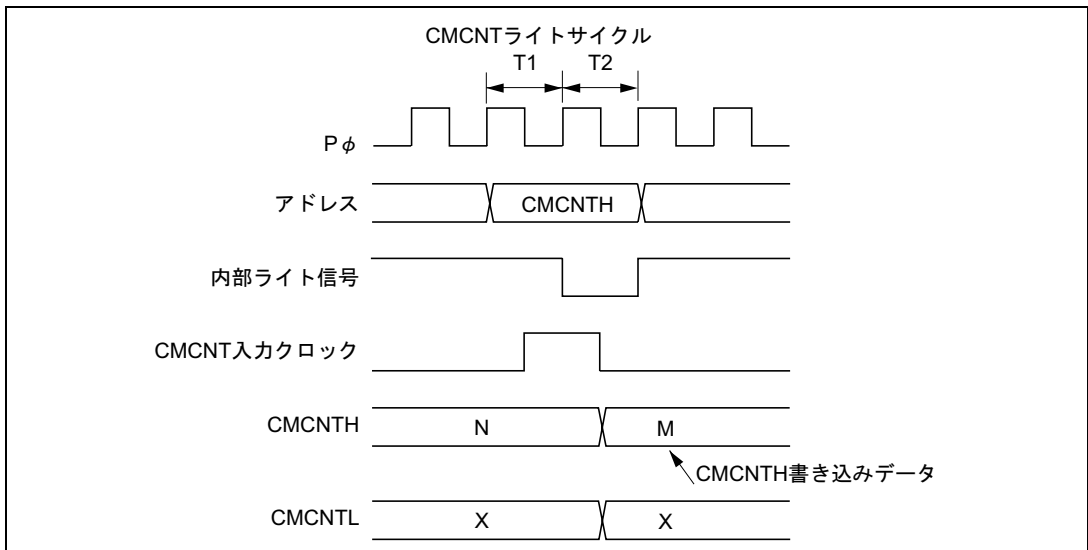


図 14.8 CMCNT のバイト書き込みとカウントアップの競合

15. シリアルコミュニケーションインタフェース (SCI)

15.1 概要

本 LSI は、独立した 5 チャンネルのシリアルコミュニケーションインタフェース (SCI) を備えています。

SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能)、クロック反転入出力機能を備えています。

15.1.1 特長

SCI には次のような特長があります。

シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能

- 調歩同期式モード
 - キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。
 - データ長：7 ビット、または 8 ビット
 - ストップビット長：1 ビット、または 2 ビット
 - パリティ：偶数パリティ、奇数パリティ、またはパリティなし
 - マルチプロセッサビット：1 または 0
 - 受信エラーの検出：
パリティエラー、オーバランエラー、フレーミングエラーを検出
 - ブレークの検出：
フレーミングエラー発生時に RxD 端子のレベルを直接読み出すことによりブレークを検出できます。
- クロック同期式モード
 - クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。
 - シリアルデータ通信フォーマットは 1 種類です。
 - データ長：8 ビット
 - 受信エラーの検出：オーバランエラーを検出
 - 同期クロック反転入出力

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

15. シリアルコミュニケーションインタフェース (SCI)

4種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割り込みと受信データフル割り込みによりダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

LSBファースト方式/MSBファースト方式の選択可能 (8ビット長)

通信モードによらず選択可能。*

【注】* 本章では、LSBファースト方式の例について説明します。

15.1.2 ブロック図

図 15.1 に SCI のブロック図を示します。

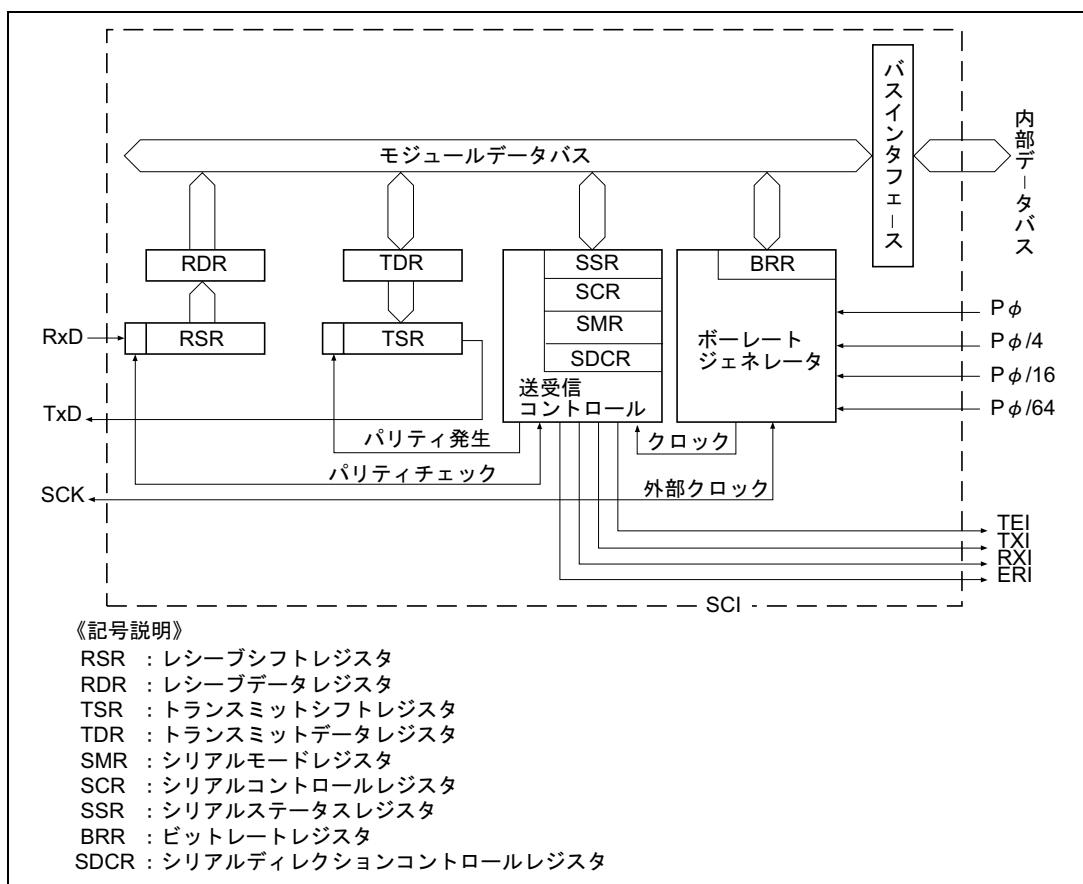


図 15.1 SCI のブロック図

15.1.3 端子構成

SCI は、チャンネルごとに表 15.1 に示すシリアル端子を持っています。

表 15.1 端子構成

チャンネル	名称	略称	入出力	機能
0	シリアルクロック端子	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子	TxD1	出力	SCI1 の送信データ出力
2	シリアルクロック端子	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子	RxD2	入力	SCI2 の受信データ入力
	トランスミットデータ端子	TxD2	出力	SCI2 の送信データ出力
3	シリアルクロック端子	SCK3	入出力	SCI3 のクロック入出力
	レシーブデータ端子	RxD3	入力	SCI3 の受信データ入力
	トランスミットデータ端子	TxD3	出力	SCI3 の送信データ出力
4	シリアルクロック端子	SCK4	入出力	SCI4 のクロック入出力
	レシーブデータ端子	RxD4	入力	SCI4 の受信データ入力
	トランスミットデータ端子	TxD4	出力	SCI4 の送信データ出力

【注】本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

15. シリアルコミュニケーションインタフェース (SCI)

15.1.4 レジスタ構成

SCIには、表 15.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 15.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス*2	アクセスサイズ
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FFFFFF00	8、16
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FFFFFF01	8、16
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FFFFFF02	8、16
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FFFFFF03	8、16
	シリアルステータスレジスタ 0	SSR0	R/(W)*1	H'84	H'FFFFFF04	8、16
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FFFFFF05	8、16
	シリアルディレクション コントロールレジスタ 0	SDCR0	R/W	H'F2	H'FFFFFF06	8
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FFFFFF008	8、16
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FFFFFF009	8、16
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FFFFFF00A	8、16
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FFFFFF00B	8、16
	シリアルステータスレジスタ 1	SSR1	R/(W)*1	H'84	H'FFFFFF00C	8、16
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FFFFFF00D	8、16
	シリアルディレクション コントロールレジスタ 1	SDCR1	R/W	H'F2	H'FFFFFF00E	8
2	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FFFFFF010	8、16
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FFFFFF011	8、16
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FFFFFF012	8、16
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FFFFFF013	8、16
	シリアルステータスレジスタ 2	SSR2	R/(W)*1	H'84	H'FFFFFF014	8、16
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FFFFFF015	8、16
	シリアルディレクション コントロールレジスタ 2	SDCR2	R/W	H'F2	H'FFFFFF016	8
3	シリアルモードレジスタ 3	SMR3	R/W	H'00	H'FFFFFF018	8、16
	ビットレートレジスタ 3	BRR3	R/W	H'FF	H'FFFFFF019	8、16
	シリアルコントロールレジスタ 3	SCR3	R/W	H'00	H'FFFFFF01A	8、16
	トランスミットデータレジスタ 3	TDR3	R/W	H'FF	H'FFFFFF01B	8、16
	シリアルステータスレジスタ 3	SSR3	R/(W)*1	H'84	H'FFFFFF01C	8、16
	レシーブデータレジスタ 3	RDR3	R	H'00	H'FFFFFF01D	8、16
	シリアルディレクション コントロールレジスタ 3	SDCR3	R/W	H'F2	H'FFFFFF01E	8

チャンネル	名称	略称	R/W	初期値	アドレス*2	アクセスサイズ
4	シリアルモードレジスタ 4	SMR4	R/W	H'00	H'FFFFFF020	8、16
	ビットレートレジスタ 4	BRR4	R/W	H'FF	H'FFFFFF021	8、16
	シリアルコントロールレジスタ 4	SCR4	R/W	H'00	H'FFFFFF022	8、16
	トランスミットデータレジスタ 4	TDR4	R/W	H'FF	H'FFFFFF023	8、16
	シリアルステータスレジスタ 4	SSR4	R/(W)*1	H'84	H'FFFFFF024	8、16
	レシーブデータレジスタ 4	RDR4	R	H'00	H'FFFFFF025	8、16
	シリアルディレクション コントロールレジスタ 4	SDCR4	R/W	H'F2	H'FFFFFF026	8

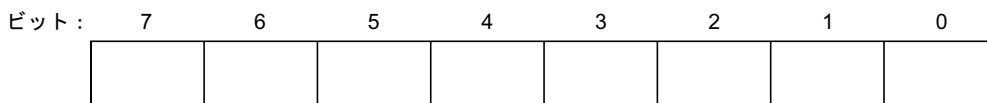
【注】 レジスタアクセスは、バイトアクセス時 4,5 サイクル、ワードアクセス時 8,9 サイクルとなります。

*1 フラグをクリアするために 0 のみ書き込むことができます。

*2 空きアドレスはアクセスしないでください。

15.2 レジスタの説明

15.2.1 レシーブシフトレジスタ (RSR)



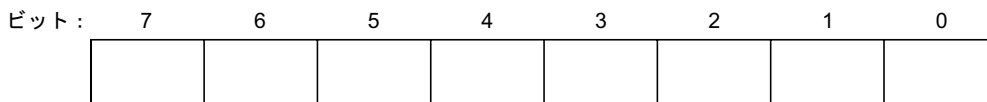
R/W: — — — — — — — —

レシーブシフトレジスタ (RSR) は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から直接 RSR の読み出し / 書き込みをすることはできません。

15.2.2 レシーブデータレジスタ (RDR)



初期値: 0 0 0 0 0 0 0 0

R/W: R R R R R R R R

レシーブデータレジスタ (RDR) は受信したシリアルデータを格納するレジスタです。

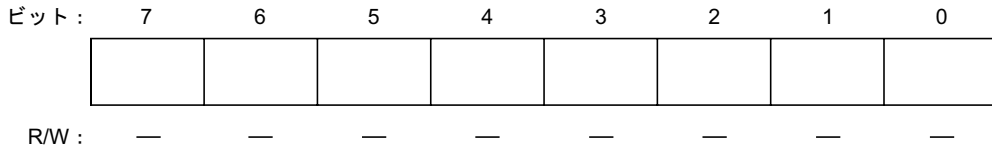
SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (RSR) から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファのため、連続した受信動作が可能です。

RDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

RDR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。

15.2.3 トランスミットシフトレジスタ (TSR)



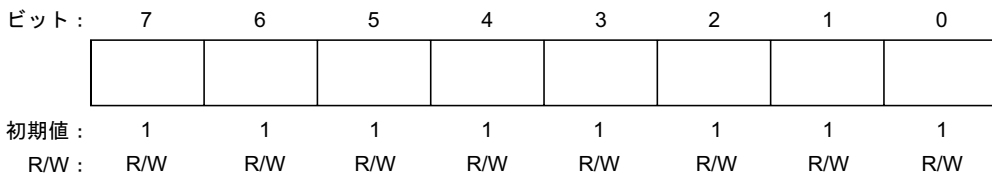
トランスミットシフトレジスタ (TSR) はシリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (TDR) から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR の読み出し / 書き込みをすることはできません。

15.2.4 トランスミットデータレジスタ (TDR)



トランスミットデータレジスタ (TDR) は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ (TSR) の空きを検出すると、TDR に書き込まれた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

TDR は、常に CPU による読み出し / 書き込みが可能です。

TDR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'FF に初期化されます。マニュアルリセットでは初期化されません。

15.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SMR) は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU による読み出し / 書き込みが可能です。

SMR は、パワーオンリセット、およびハードウェアスタンバイモードで H'00 に初期化されます。マニュアルリセット、およびソフトウェアスタンバイモードでは初期化されません。

ビット 7: コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット 6: キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。

クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、トランスミットデータレジスタ (TDR) の MSB (ビット 7) は送信されません。また、MSB ファーストの選択は行わないでください。

15. シリアルコミュニケーションインタフェース (SCI)

ビット5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードとマルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに 1 をセットすると、送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4：パリティモード (O/E)

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれかでを行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合とマルチプロセッサフォーマットでは、O/E ビットの設定は無効です。

ビット4	説明
O/E	
0	偶然パリティ*1 (初期値)
1	奇数パリティ*2

【注】 *1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。
*2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット3：ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを 1 ビット/2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1 ストップビット*1 (初期値)
1	2 ストップビット*2

【注】 *1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。
*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット 2：マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、「15.3.3 マルチプロセッサ通信機能」を参照してください。

ビット 2	説明
MP	
0	マルチプロセッサ機能を禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット 1、0：クロックセレクト 1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で P、P / 4、P / 16、P / 64 の 4 種類からクロックソースを選択できます。P は周辺クロックです。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「15.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット 1	ビット 0	説明
CKS1	CKS0	
0	0	P クロック (初期値)
	1	P / 4 クロック
1	0	P / 16 クロック
	1	P / 64 クロック

15.2.6 シリアルコントロールレジスタ (SCR)

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCR) は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU による読み出し / 書き込みが可能です。

SCR は、パワーオンリセット、およびハードウェアスタンバイモードで H'00 に初期化されます。マニュアルリセット、およびソフトウェアスタンバイモードでは初期化されません。

15. シリアルコミュニケーションインタフェース (SCI)

ビット7: トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) へシリアル送信データが転送されシリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット7	説明
TIE	
0	送信データエンプティ割り込み (TXI) 要求を禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求を許可

【注】 * TXI の解除は、TDRE ビットの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

ビット6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へ転送されて SSR の RDRF ビットが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF ビット、または FER、PER、ORER ビットの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット5: トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット5	説明
TE	
0	送信動作を禁止*1 (初期値)
1	送信動作を許可*2

【注】 *1 SSR の TDRE ビットは 1 に固定されます。

*2 この状態で、TDR に送信データを書き込んで、SSR の TDRE ビットを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SMR) の設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *¹ RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。

*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の実受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * MPB=0 を含む受信データを受信しているときは RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SSR の TDRE ビットの 1 を読み出した後、0 にクリアして TEND ビットを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

15. シリアルコミュニケーションインタフェース (SCI)

ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。このとき、ピンファンクションコントローラ (PFC) で、SCK 端子の機能を選択しておいてください。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。

SCI のクロックソースの選択については「15.3 動作説明」の表 15.9 を参照してください。

ビット 1	ビット 0	説 明*1	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入力端子 (入力信号は無視) または出力端子 (出力レベルは不定)*2
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力*2
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力*3
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力*4
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力*4
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 SCK 端子は他の機能とマルチプレクスされています。この端子を SCK の機能とし、かつその入出力方向を選択するためには、ピンファンクションコントローラ (PFC) を設定してください。

*2 初期値

*3 ビットレートと同じ周波数のクロックを出力

*4 ビットレートの 16 倍の周波数のクロックを入力

15.2.7 シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SSR) は、SCI の動作状態を示すステータスフラグと、マルチプロセッサフラグを内蔵した 8 ビットのレジスタです。

SSR は常に CPU から読み出し / 書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各ビットへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND ビット、および MPB ビットは読み出し専用であり、書き込むことはできません。

SSR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'84 に初期化されます。マニュアルリセットでは初期化されません。

ビット 7: トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) にデータ転送が行われ、TDR に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット 7	説明
TDRE	
0	TDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、0 を書き込んだとき (2) DMAC で TDR ヘデータを書き込んだとき
1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) TDR から TSR にデータ転送が行われ TDR にデータの書き込みが可能になったとき

15. シリアルコミュニケーションインタフェース (SCI)

ビット 6 : レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (RDR) に格納されていることを示します。

ビット 6	説 明
RDRF	
0	RDR に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) RDRF = 1 の状態を読み出した後、0 を書き込んだとき (3) DMAC で RDR のデータを読み出したとき
1	RDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCR) の RE ビットを 0 にクリアしたときには RDR および RDRF ビットは影響を受けず以前の状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

ビット 5 : オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5	説 明
ORER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示*2 [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*2 RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) FER=1の状態を読み出した後、0を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示*2 [セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき*2

【注】 *1 SCRのREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。

ビット3：パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) PER=1の状態を読み出した後、0を書き込んだとき
1	受信時にパリティエラーが発生したことを表示*2 [セット条件] 受信時の受信データとパリティビットを合わせた1の数が、シリアルモードレジスタ(SMR)のO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

【注】 *1 SCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。

15. シリアルコミュニケーションインタフェース (SCI)

ビット 2 : トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND ビットは読み出し専用ですので、書き込むことはできません。

ビット 2	説 明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき (2) DMAC で TDR ヘデータを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1 であったとき

ビット 1 : マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、読み出し専用ですので、書き込むことはできません。

ビット 1	説 明
MPB	
0	マルチプロセッサビットが 0 のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが 1 のデータを受信したことを表示

【注】 * マルチプロセッサフォーマットで SCR の RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット 0 : マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときには MPBT ビットの設定は無効です。

ビット 0	説 明
MPBT	
0	マルチプロセッサビットが 0 のデータを送信 (初期値)
1	マルチプロセッサビットが 1 のデータを送信

15.2.8 ビットレートレジスタ (BRR)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートレジスタ (BRR) は、シリアルモードレジスタ (SMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU による読み出し / 書き込みが可能です。

BRR は、パワーオンリセット、およびハードウェアスタンバイモードで H'FF に初期化されます。マニュアルリセット、およびソフトウェアスタンバイモードでは初期化されません。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 15.3 に調歩同期式モードの BRR の設定例を、表 15.4 にクロック同期式モードの BRR の設定例を示します。

15. シリアルコミュニケーションインタフェース (SCI)

表 15.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(1)

Pφ(MHz) ビット レート(bit/s)	10			11.0592			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	177	-0.25	2	195	0.19	2	212	0.03	2	217	0.08
150	2	129	0.16	2	143	0.00	2	155	0.16	2	159	0.00
300	2	64	0.16	2	71	0.00	2	77	0.16	2	79	0.00
600	1	129	0.16	1	143	0.00	1	155	0.16	1	159	0.00
1200	1	64	0.16	1	71	0.00	1	77	0.16	1	79	0.00
2400	0	129	0.16	0	143	0.00	0	155	0.16	0	159	0.00
4800	0	64	0.16	0	71	0.00	0	77	0.16	0	79	0.00
9600	0	32	-1.36	0	35	0.00	0	28	0.16	0	39	0.00
14400	0	21	-1.36	0	23	0.00	0	25	0.16	0	26	-1.23
19200	0	15	1.73	0	19	0.00	0	19	-2.34	0	19	0.00
28800	0	10	-1.36	0	11	0.00	0	12	0.16	0	12	2.56
31250	0	9	0.00	0	10	0.54	0	11	0.00	0	11	2.40
38400	0	7	1.73	0	8	0.00	0	9	-2.34	0	9	0.00

Pφ(MHz) ビット レート(bit/s)	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	55	0.00
14400	0	29	1.27	0	31	0.00	0	34	-0.79	0	36	0.90
19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	27	0.00
28800	0	14	1.27	0	15	0.00	0	16	2.12	0	18	-1.75
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	16	1.20
38400	0	10	3.57	0	11	0.00	0	12	0.16	0	13	0.00

表 15.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)

Pφ (MHz) ビット レート(bit/s)	18			18.432			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	-0.12	3	81	-0.22	3	86	0.31	3	88	-0.25
150	2	233	0.16	2	239	0.00	2	255	0.00	3	64	0.16
300	2	116	0.16	2	119	0.00	2	127	0.00	2	129	0.16
600	1	233	0.16	1	239	0.00	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	119	0.00	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	239	0.00	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	119	0.00	0	127	0.00	0	129	0.16
9600	0	58	-0.69	0	59	0.00	0	63	0.00	0	64	0.16
14400	0	38	0.16	0	39	0.00	0	42	-0.78	0	42	0.94
19200	0	28	1.02	0	29	0.00	0	31	0.00	0	32	-1.36
28800	0	19	-2.34	0	19	0.00	0	20	1.59	0	21	-1.36
31250	0	17	0.00	0	17	2.40	0	19	-1.70	0	19	0.00
38400	0	14	-2.34	0	14	0.00	0	15	0.00	0	15	1.73

表 15.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

Pφ (MHz) ビット レート(bit/s)	10		12		16		20	
	n	N	n	N	n	N	n	N
250	—	—	3	187	3	249		
500	—	—	3	93	3	124	—	—
1k	—	—	2	187	2	249	—	—
2.5k	1	249	2	74	2	99	2	124
5k	1	124	1	149	1	199	1	249
10k	0	249	1	74	1	99	1	124
25k	0	99	0	119	0	159	0	199
50k	0	49	0	59	0	79	0	99
100k	0	24	0	29	0	39	0	49
250k	0	9	0	11	0	15	0	19
500k	0	4	0	5	0	7	0	9
1M			0	2	0	3	0	4
2.5M	0	0*	0	0*	-	-	0	1
5M							0	0*

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がです。

* : 連続送信 / 受信はできません。

15. シリアルコミュニケーションインタフェース (SCI)

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{P \phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{P \phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 N 255)

P : 周辺モジュール動作周波数 (MHz) (システムクロックの 1/2 になります)

n : ボーレートジェネレータ入力クロック (n = 0、1、2、3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	P	0	0
1	P / 4	0	1
2	P / 16	1	0
3	P / 64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

15. シリアルコミュニケーションインタフェース (SCI)

表 15.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 15.6 と表 15.7 に外部クロック入力時の最大ビットレートを示します。

表 15.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート
(調歩同期式モード)

P (MHz)	最大ビットレート(bit/s)	設定値	
		n	N
10	312500	0	0
11.0592	345600	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
18.432	576000	0	0
19.6608	614400	0	0
20	625000	0	0

表 15.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

P (MHz)	外部入力クロック(MHz)	最大ビットレート(bit/s)
10	2.5000	156250
11.0592	2.7648	172800
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
18.432	4.6080	288000
19.6608	4.9152	307200
20	5.0000	312500

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

P (MHz)	外部入力クロック(MHz)	最大ビットレート(bit/s)
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3

15.2.9 シリアルディレクションコントロールレジスタ (SDCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	DIR	—	—	—
初期値:	1	1	1	1	0	0	1	0
R/W:	R	R	R	R	R/W	R	R	R

SDCR は、DIR ビットにより、LSB ファースト / MSB ファーストの選択を行います。シリアル通信モードによらず、8 ビット長の場合 LSB ファースト / MSB ファーストの選択が可能です。7 ビット長の場合 LSB ファーストを選択し、MSB ファーストの選択は行わないでください。本章の説明では、LSB ファーストの場合について説明しています。

SDCR は、パワーオンリセット、およびハードウェアスタンバイモードで HF2 に初期化されます。マニュアルリセット、およびソフトウェアスタンバイモードでは初期化されません。

ビット 7~4: 予約ビット

書き込む値は常に 1 にしてください。0 を書き込んだ場合、動作の保証はできません。

ビット 3: データトランスファディレクション (DIR)

シリアル / パラレル変換フォーマットを選択します。送信 / 受信フォーマットが 8 ビットの場合に有効です。

ビット 3	説 明
DIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストで RDR に格納

ビット 2: 予約ビット

書き込む値は常に 0 にしてください。1 を書き込んだ場合、動作の保証はできません。

ビット 1: 予約ビット

読み出すと常に 1 が読み出されます。書き込みは無効です。

ビット 0: 予約ビット

書き込む値は常に 0 にしてください。1 を書き込んだ場合、動作の保証はできません。

15.2.10 SCK 端子信号の反転

SCK 端子より入力される信号および SCK 端子より出力される信号は、ポートコントロールレジスタの設定により反転させることができます。詳細は「第 20 章 ピンファンクションコントローラ (PFC)」を参照してください。

15.3 動作説明

15.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SMR) で行います。これを表 15.8 に示します。また、SCI のクロックソースは、SMR の C/A ビットおよびシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 15.9 に示します。

(1) 調歩同期式モード

- データ長：7 ビット / 8 ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCI のクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合：
SCI はポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - 外部クロックを選択した場合：
ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

- 送信 / 受信フォーマット：8 ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCI のクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合：
SCI はポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - 外部クロックを選択した場合：
内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

15. シリアルコミュニケーションインタフェース (SCI)

表 15.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット					
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセッサビット	パリティビット	ストップビット長		
C/ \bar{A}	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式モード	8ビットデータ	なし	なし	1ビット		
				1					2ビット		
			1	0					1ビット		
				1					2ビット		
			1	0					7ビットデータ	なし	1ビット
				1					7ビットデータ	あり	2ビット
	1	0	1	*		0	調歩同期式モード (マルチプロセッサフォーマット)	8ビットデータ	あり	なし	1ビット
				*		1					2ビット
		1		*		0		7ビットデータ			1ビット
				*		1		7ビットデータ			2ビット
1	*	*	*	*	クロック同期式モード	8ビットデータ	なし	なし			

【注】 表中の*は Don't care であることを示します。

表 15.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック	
ビット7	ビット1	ビット0		クロックソース	SCK 端子の機能*
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力、 または同期クロック反転出力
		1			
	1	0		外部	同期クロックを入力、 または同期クロックを反転入力
		1			

【注】 * 「第 20 章 ピンファンクションコントローラ (PFC)」と合わせ、設定してください。

15.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (ハイレベル) に保たれています。SCI は通信回線を監視し、スペース (ローレベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット (ローレベル) から始まり、データ (LSB ファースト: 最下位ビットから)、パリティビット (ハイ / ローレベル)、最後にストップビット (ハイレベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

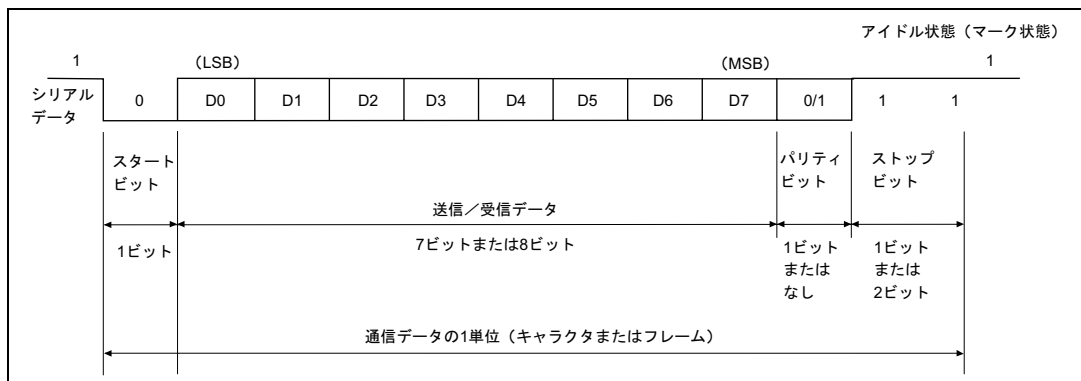


図 15.2 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビットの例)

15. シリアルコミュニケーションインタフェース (SCI)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 15.10 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SMR) の設定により選択できます。

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	*	1	0	S	8ビットデータ								MPB	STOP			
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	*	1	0	S	7ビットデータ							MPB	STOP				
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP			

《記号説明》

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

【注】 表中の*は Don't care であることを示します。

(2) クロック

SCI の送受信クロックは、SMR の $C\bar{A}$ ビットとシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 15.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 15.3 に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

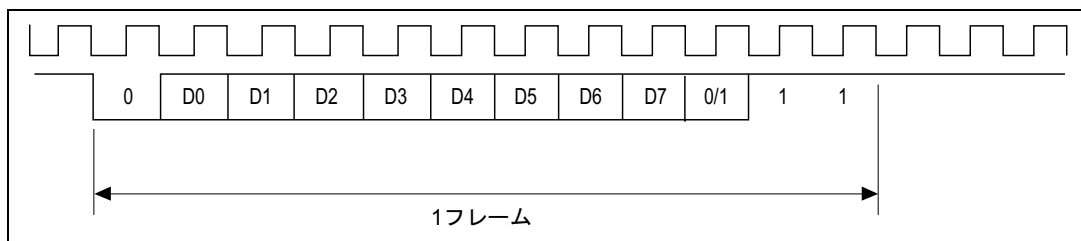


図 15.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

(a) SCI の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCR の TE ビットおよび、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合にも必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE ビットは、1 にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各ビットおよび、レシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 15.4 に SCI の初期化フローチャートの例を示します。

15. シリアルコミュニケーションインタフェース (SCI)

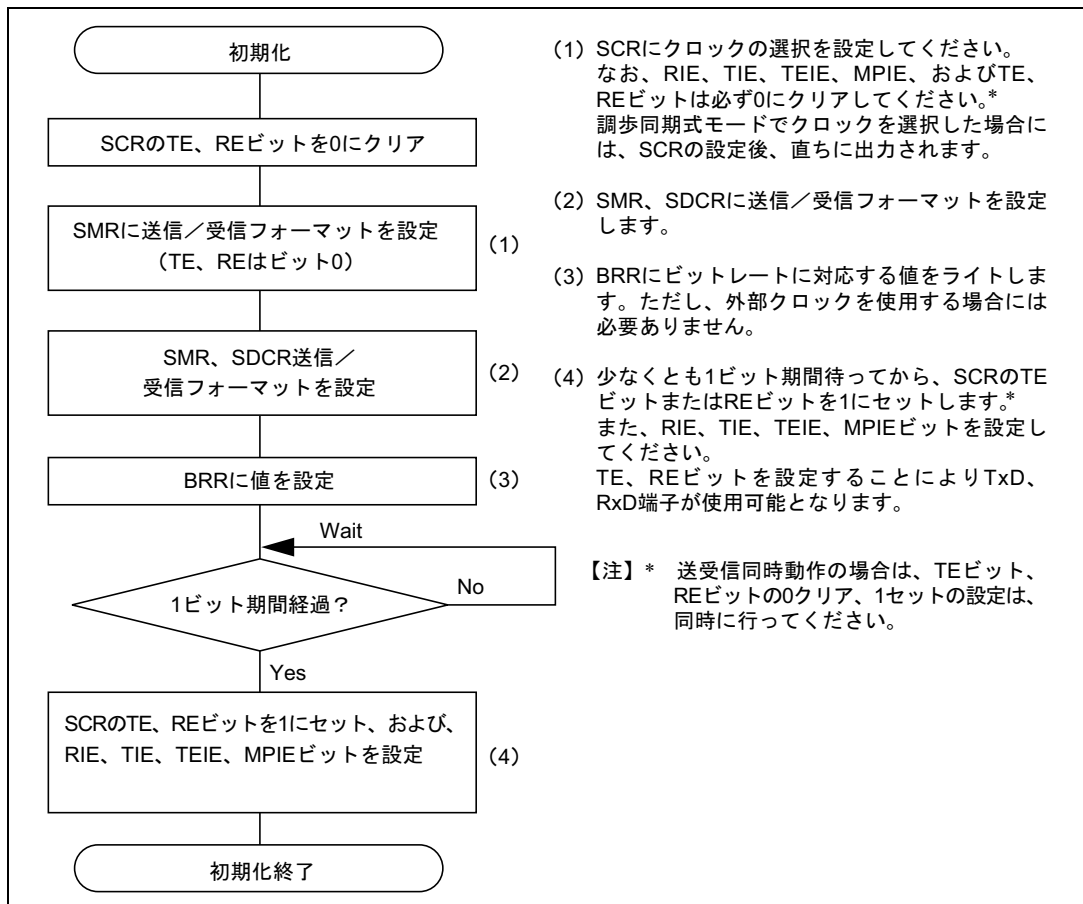


図 15.4 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (調歩同期式)

図 15.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

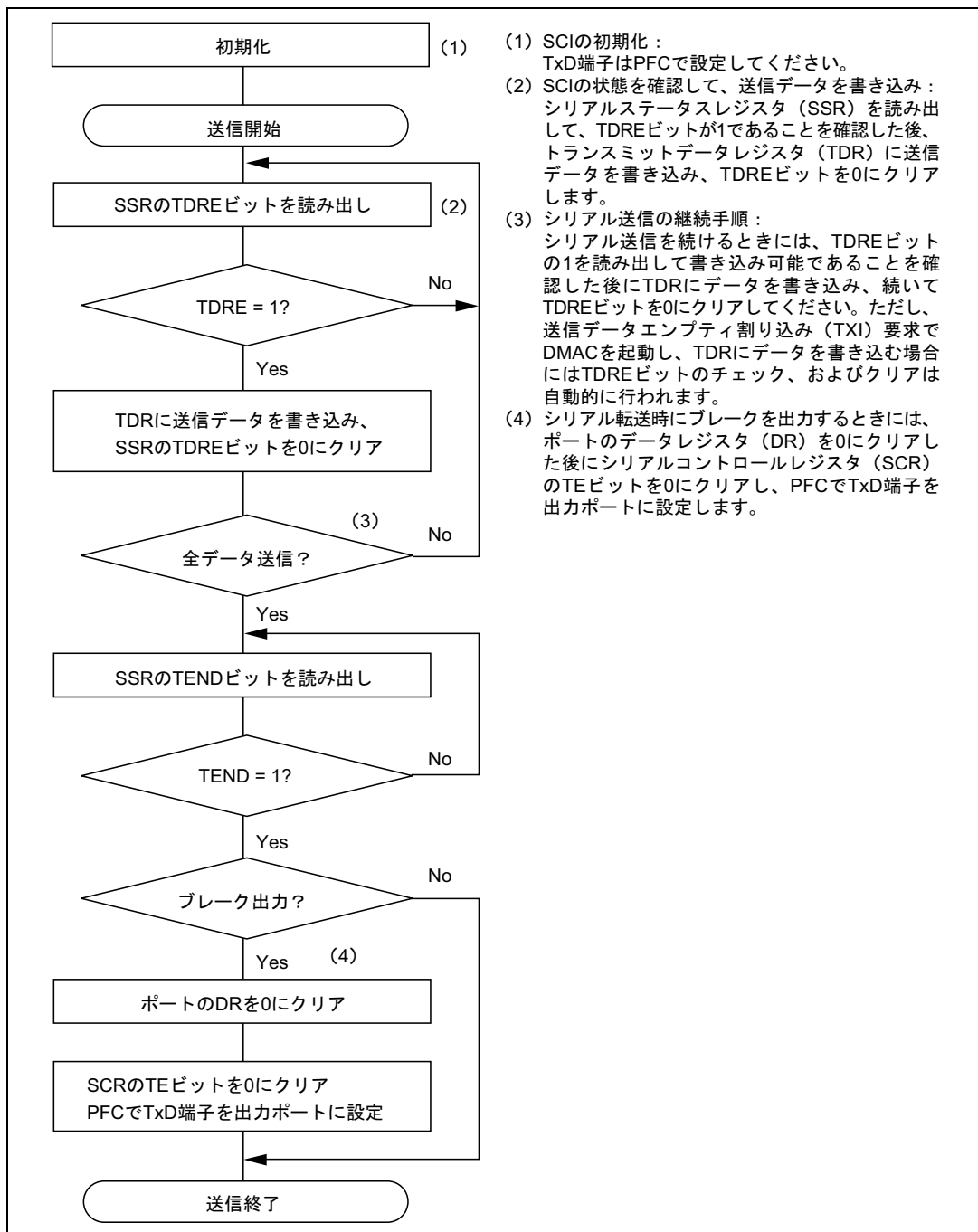


図 15.5 シリアル送信のフローチャートの例

15. シリアルコミュニケーションインタフェース (SCI)

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、シリアルステータスレジスタ (SSR) のTDREビットを監視し、0であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDRからトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、シリアルコントロールレジスタ (SCR) のTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送出するタイミングでTDREビットをチェックします。TDREビットが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。TDREビットが1であるとシリアルステータスレジスタ (SSR) のTENDビットに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 15.6 に示します。

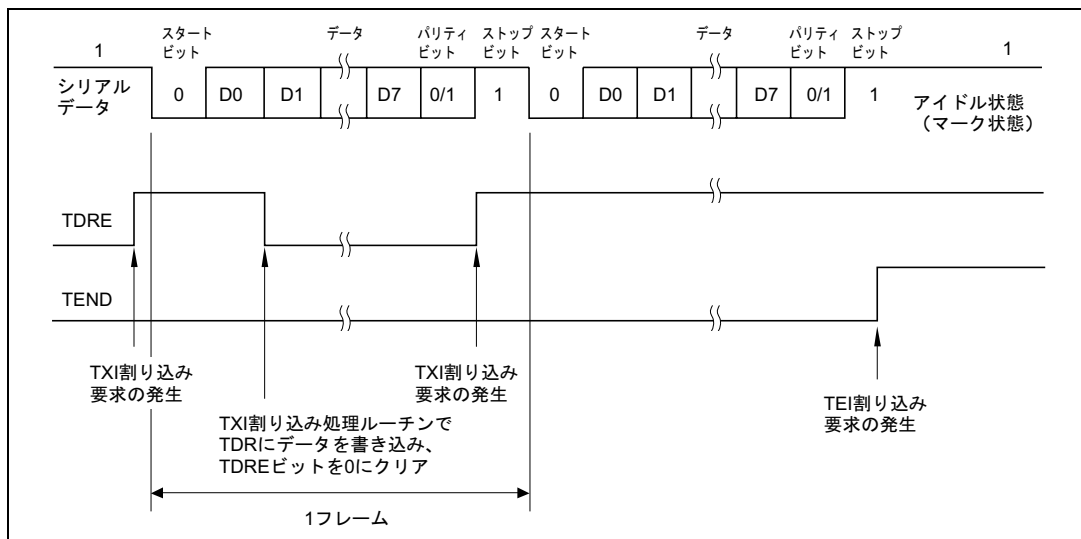


図 15.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 15.7、図 15.8 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。

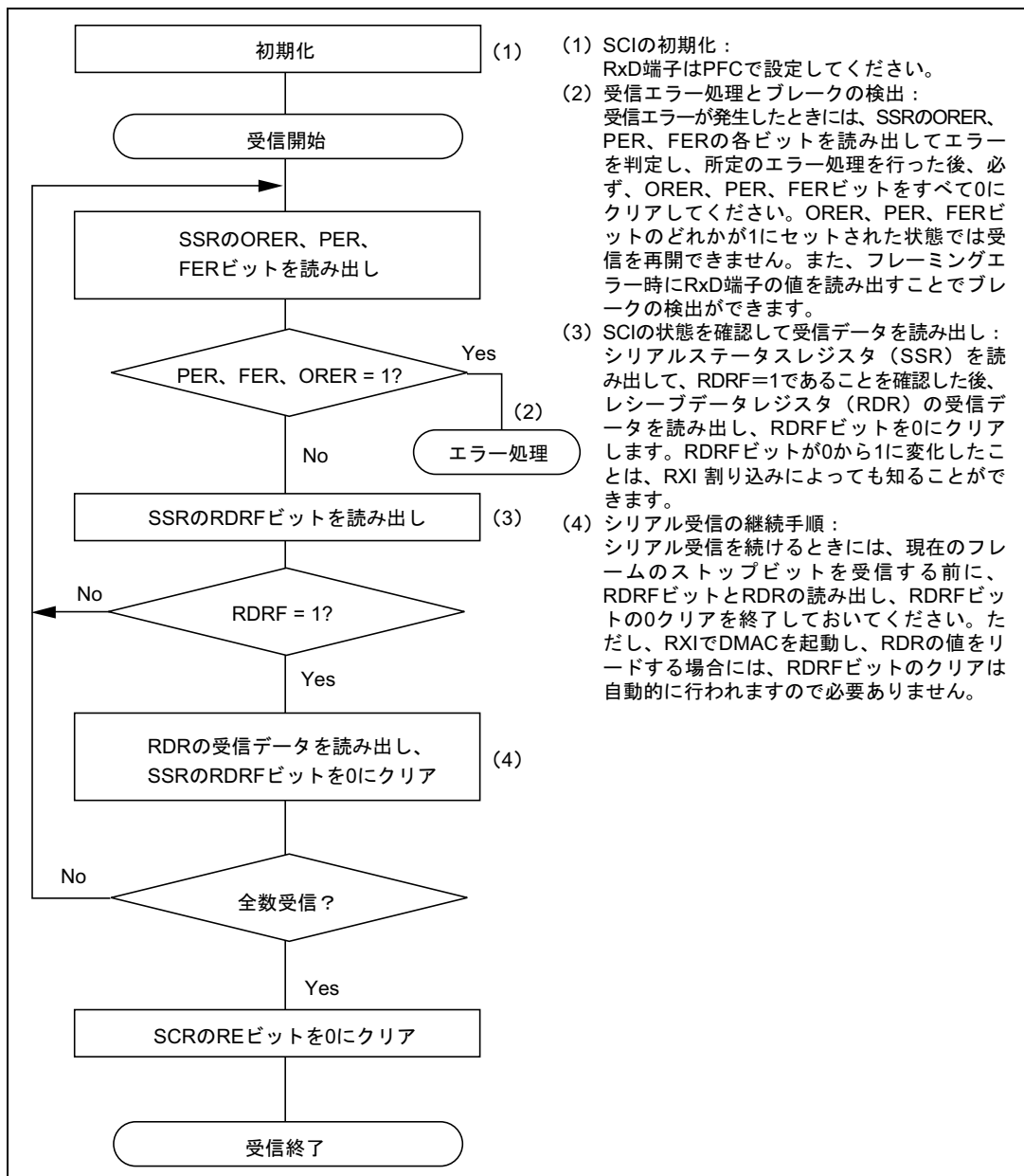


図 15.7 シリアル受信のフローチャートの例 (1)

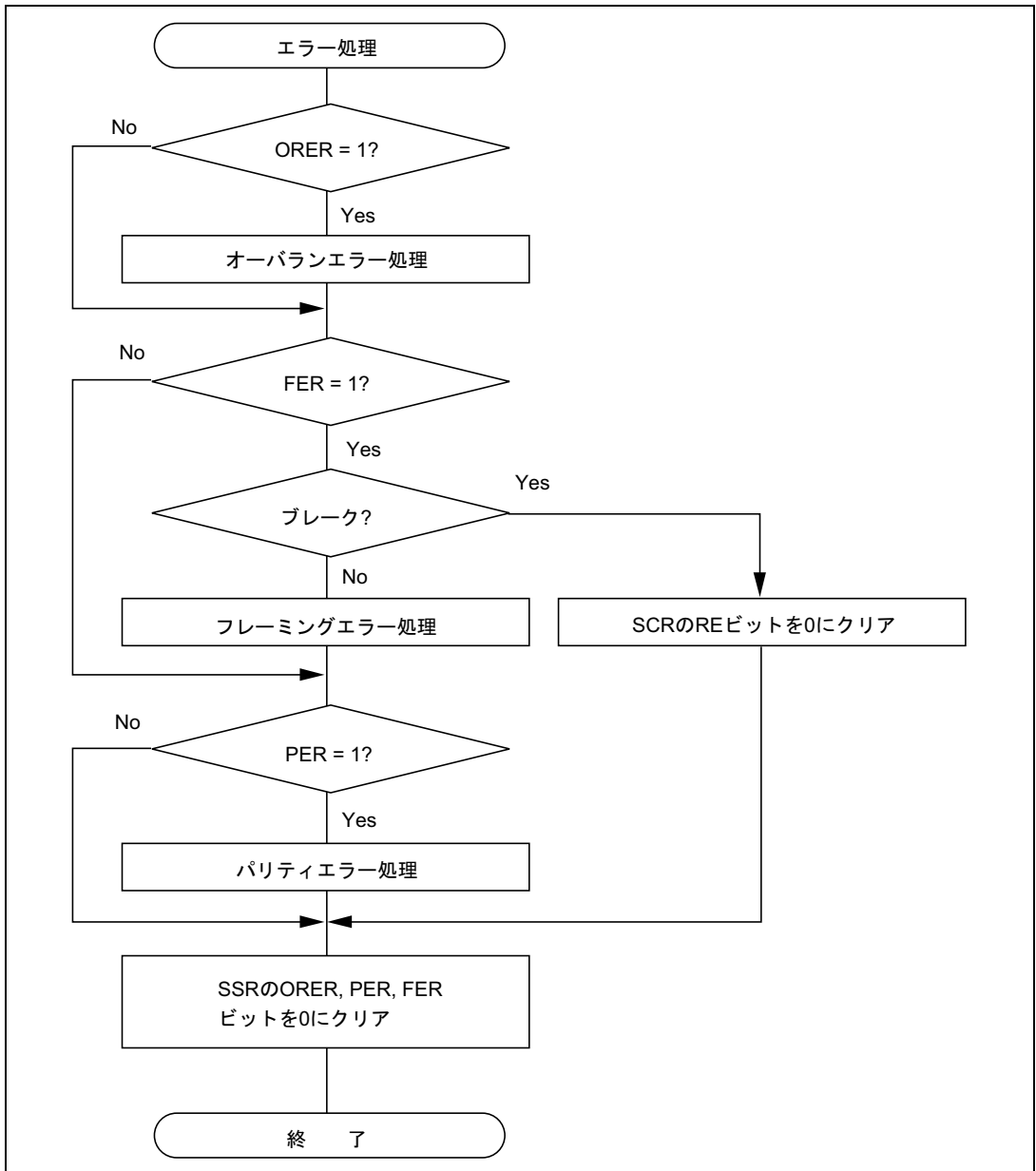


図 15.8 シリアル受信のフローチャートの例 (2)

SCI は受信時に以下のように動作します。

- (1) SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがシリアルモードレジスタ (SMR) の O/\bar{E} ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFビットが0であり、受信データをレシープシフトレジスタ(RSR) からRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラーが発生すると表 15.11 のように動作します。

- 【注】** 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF ビットが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。
- (4) RDRFビットが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORER、PER、FERビットのどれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

表 15.11 受信エラーと発生条件

受信エラー	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されません。

調歩同期モード受信時の動作例を図 15.9 に示します。

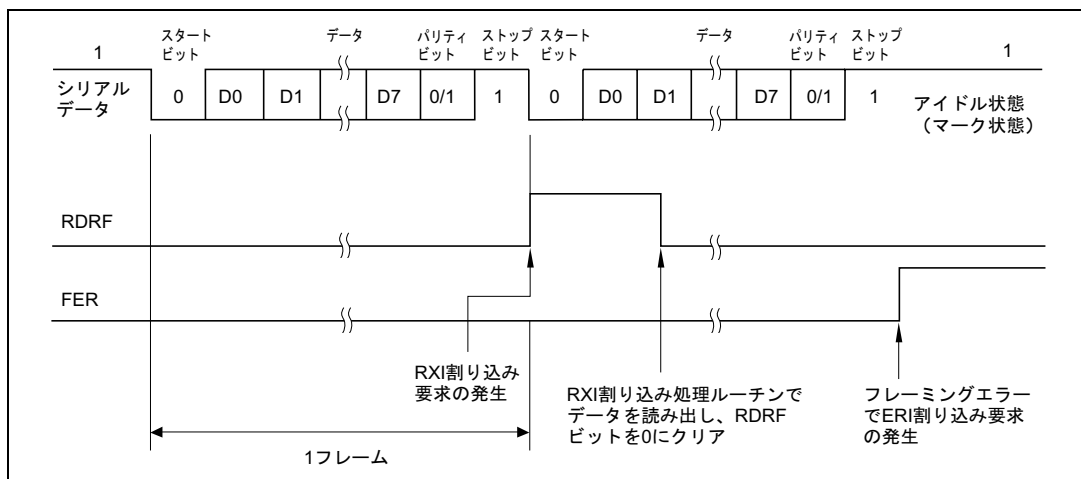


図 15.9 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

15.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 15.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 15.8 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

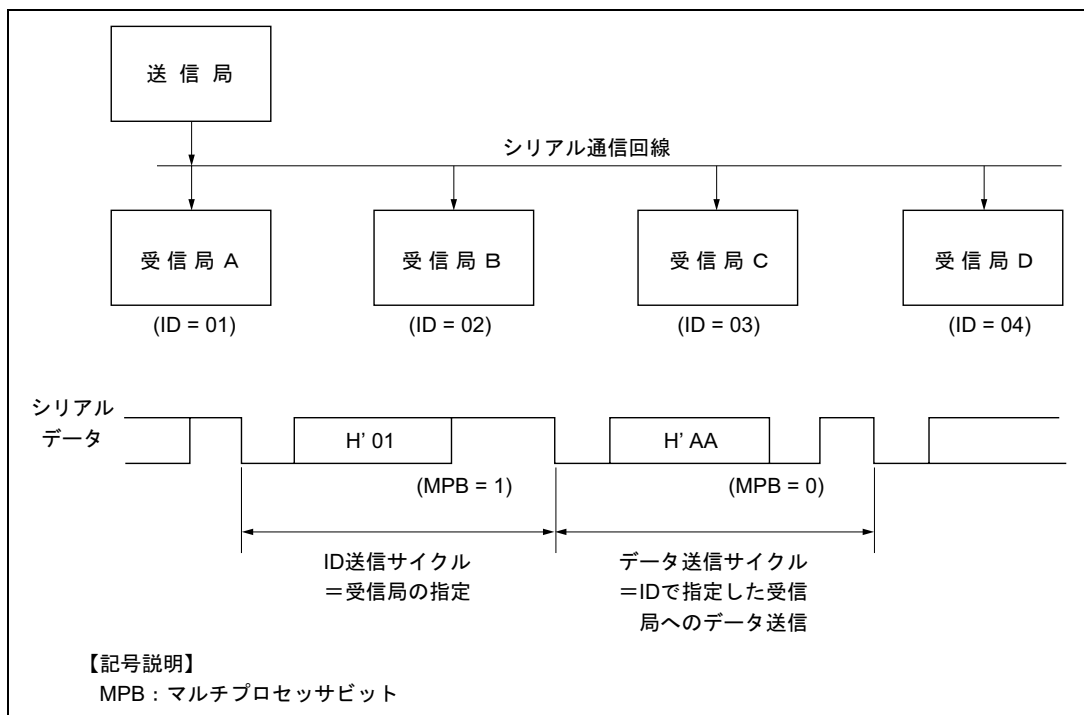


図 15.10 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

(a) マルチプロセッサシリアルデータ送信

図 15.11 にマルチプロセッサシリアル送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

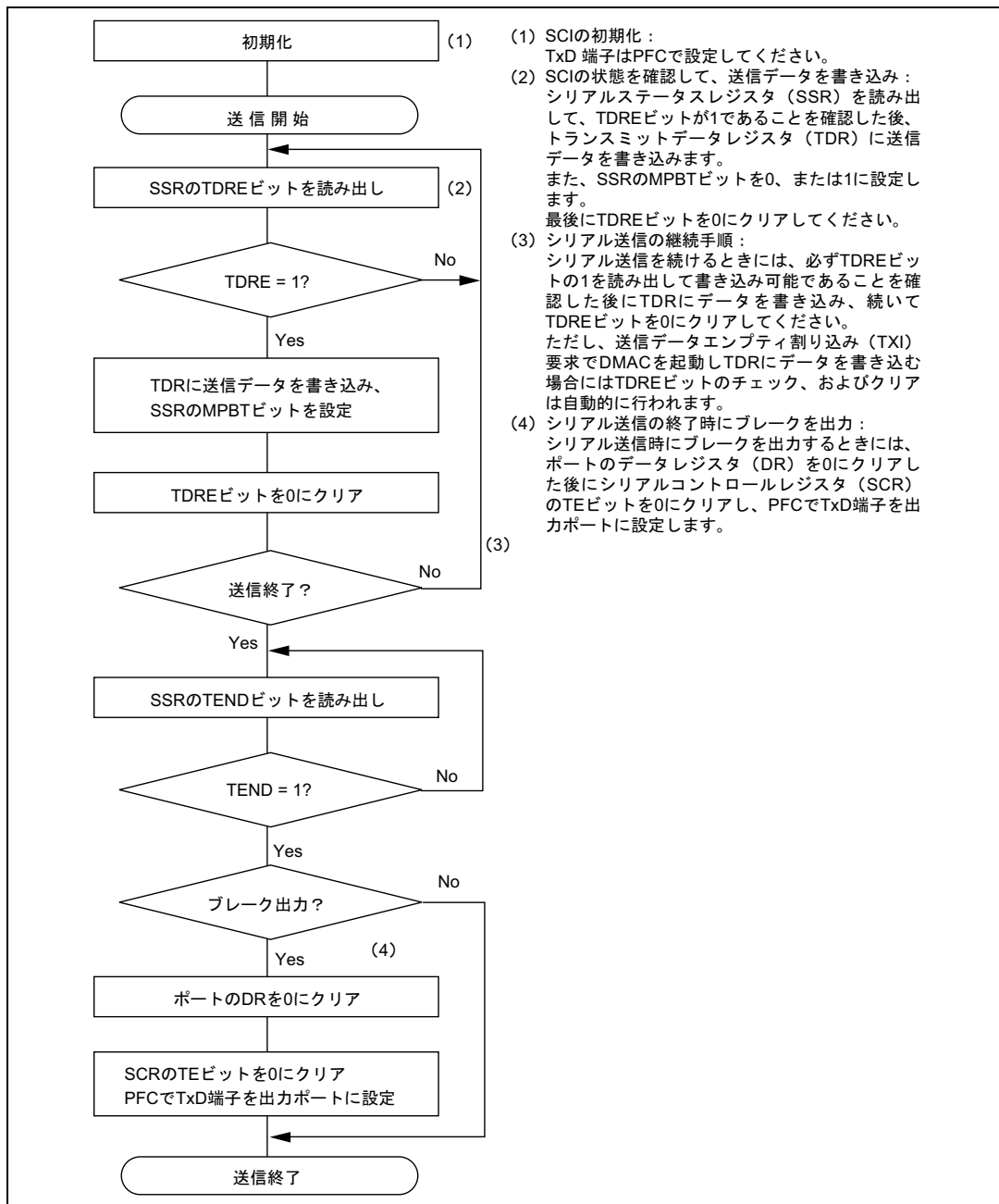


図 15.11 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREビットを監視し、0であるとTDRにデータが書き込まれたと認識し、TDRからトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、SCRの送信データエンピティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンピティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送りだされます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - (d) ストップビット：1ビット、または2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送り出すタイミングでTDREビットをチェックします。TDREビットが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。TDREビットが1であるとSSRのTENDビットを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 15.12 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

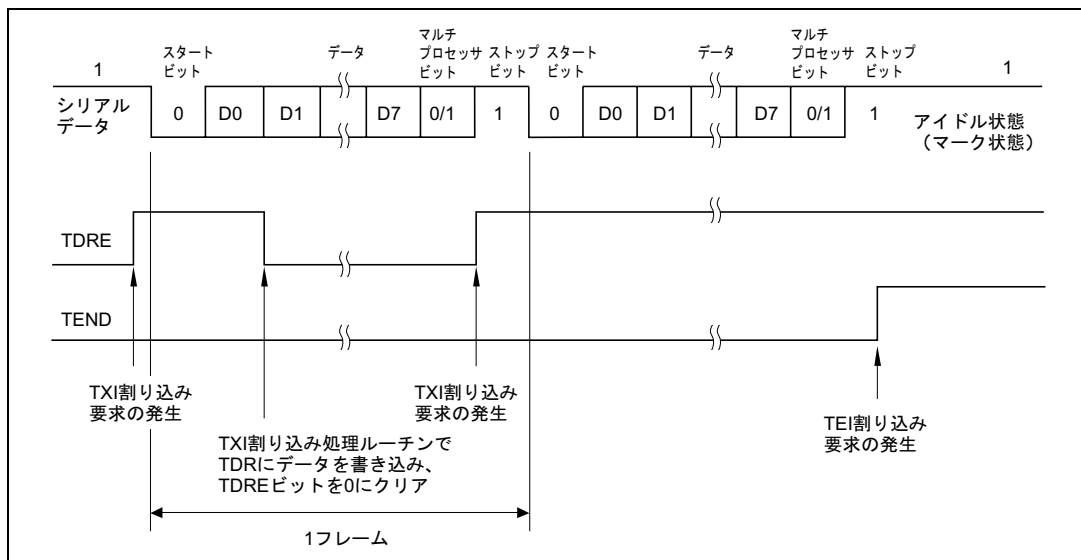


図 15.12 SCI の送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 15.13、図 15.14 にマルチプロセッサシリアル受信のフローチャートの例を示します。マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

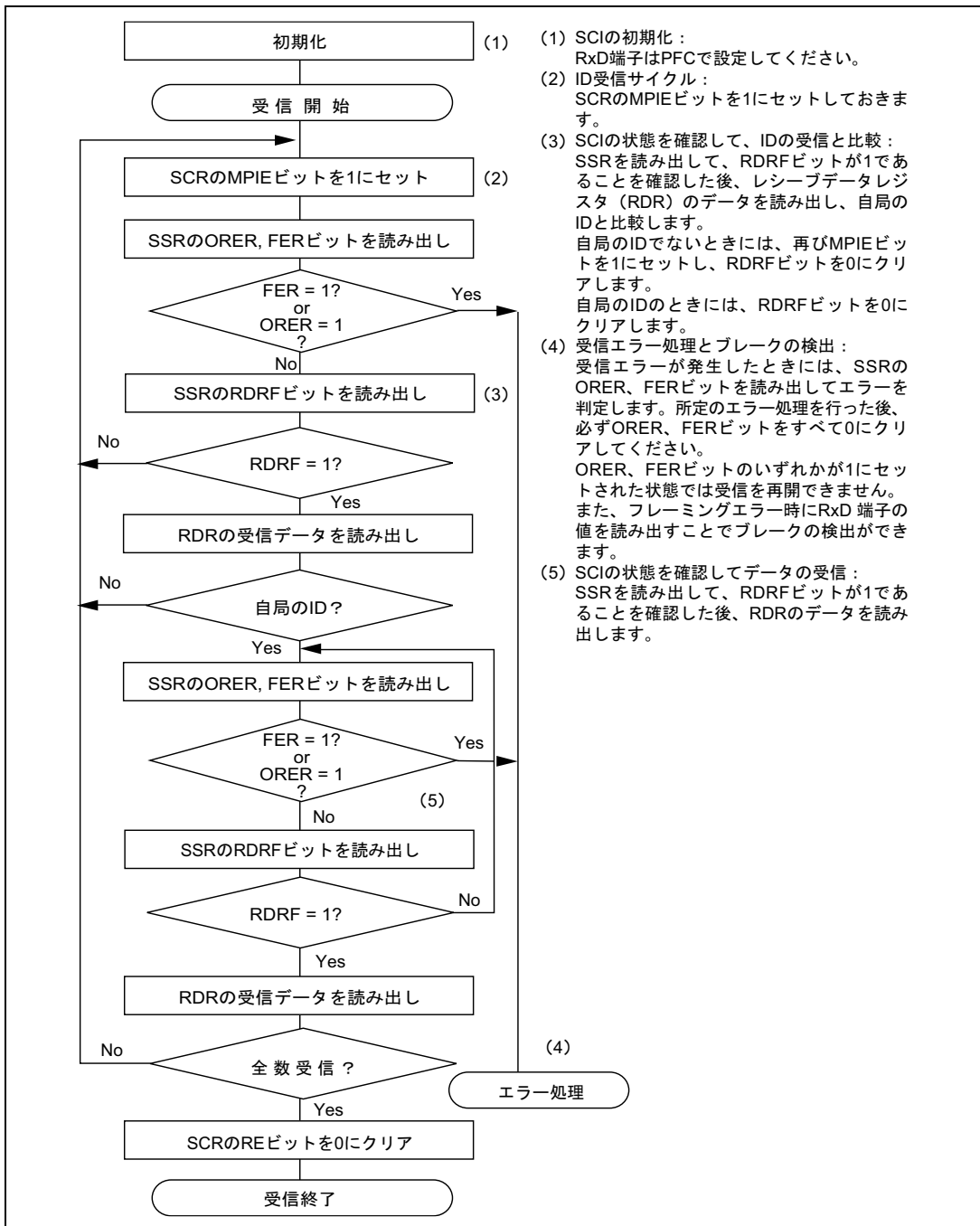


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

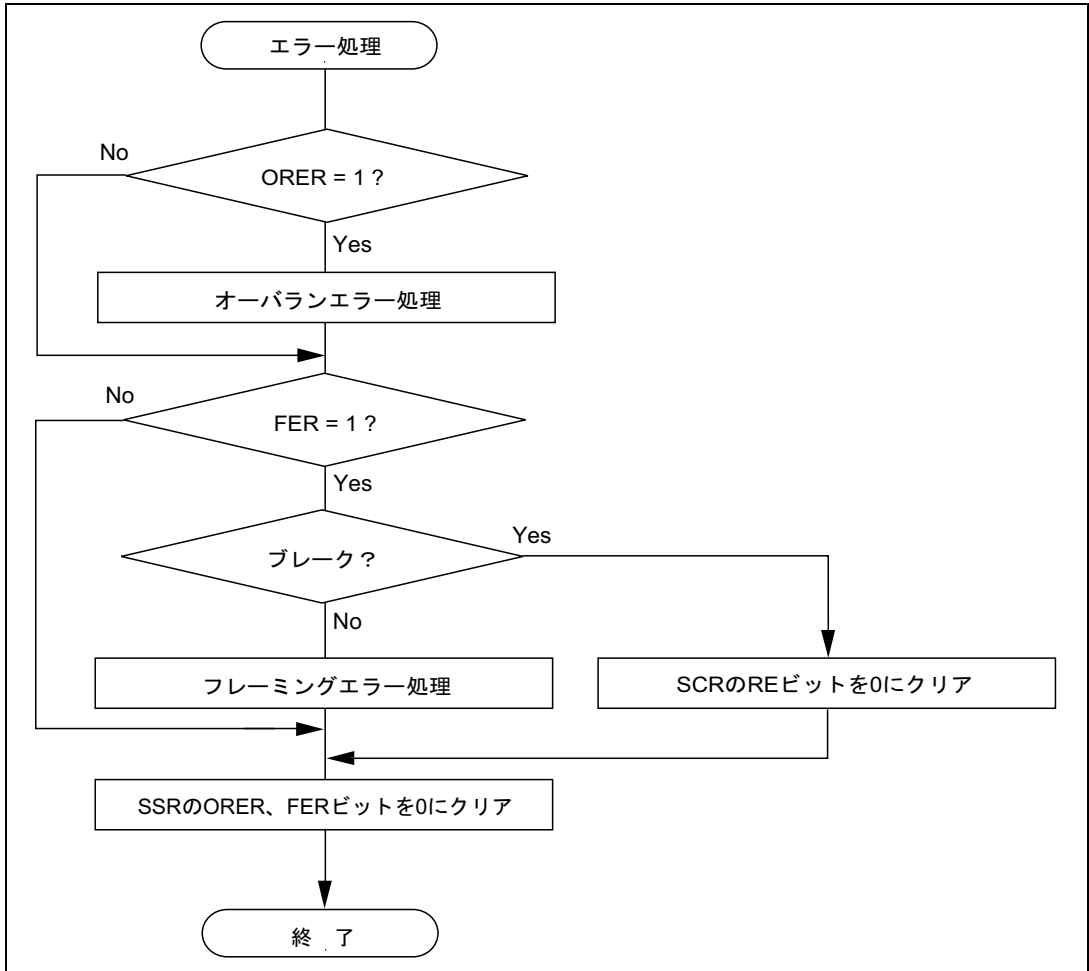


図 15.14 マルチプロセッサシリアル受信のフローチャートの例 (2)

15. シリアルコミュニケーションインタフェース (SCI)

図 15.15 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

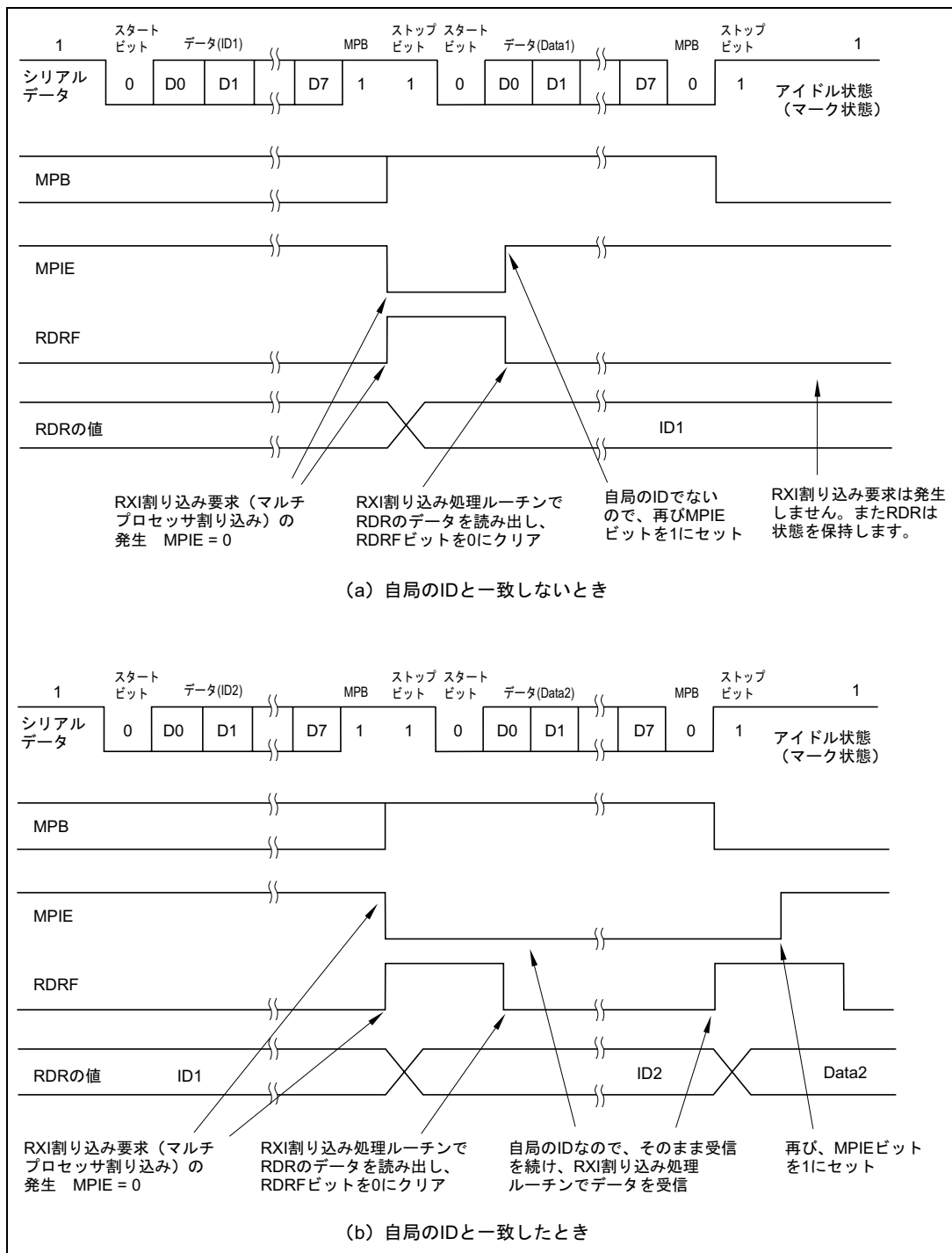


図 15.15 SCI の受信時の動作例

(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

15.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 15.16 に示します。

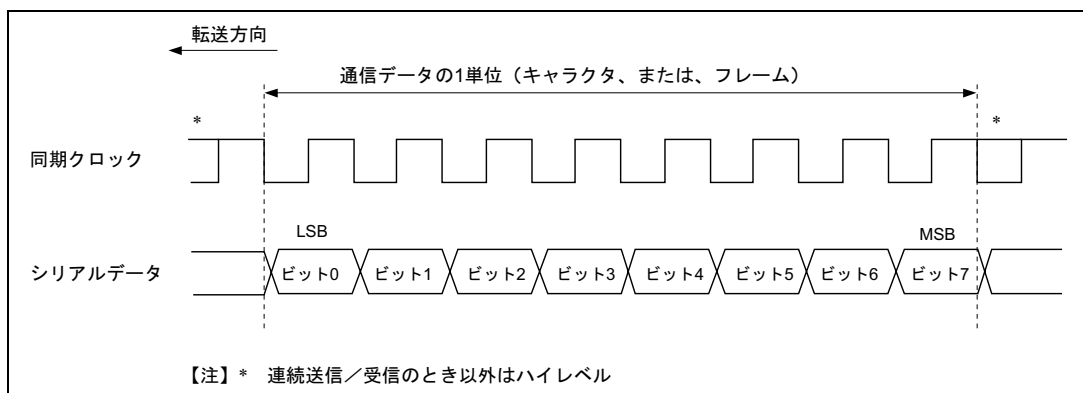


図 15.16 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 15.9を参照してください。

内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

(a) SCIのイニシャライズ（クロック同期式）

データの送信 / 受信前にシリアルコントロールレジスタ（SCR）のTE、およびREビットを0にクリアした後、以下の手順でSCIを初期化してください。

15. シリアルコミュニケーションインタフェース (SCI)

モードの変更、通信フォーマットの変更などの場合にも必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとTDREビットは1にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。

REビットを0にクリアしてもRDRF、PER、FER、ORERの各ビット、およびレシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

図 15.17 に SCI の初期化フローチャートの例を示します。

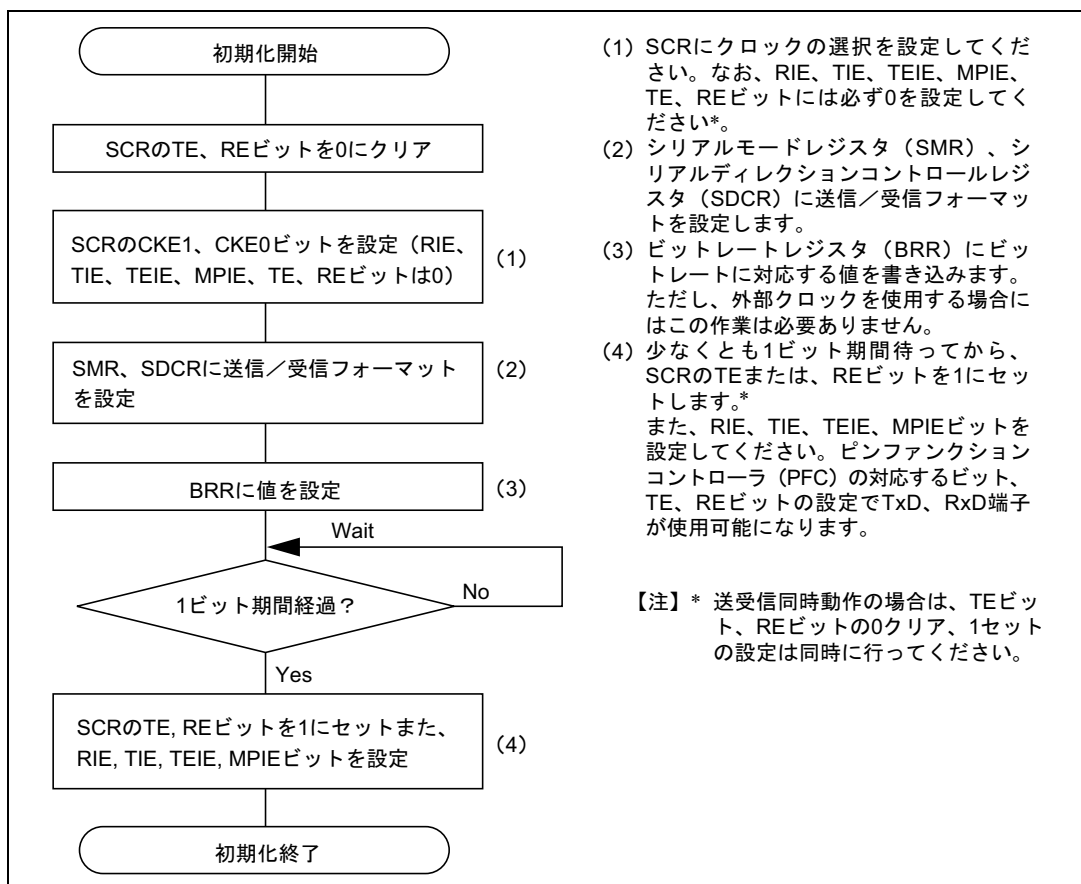


図 15.17 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 15.18 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順で行ってください。

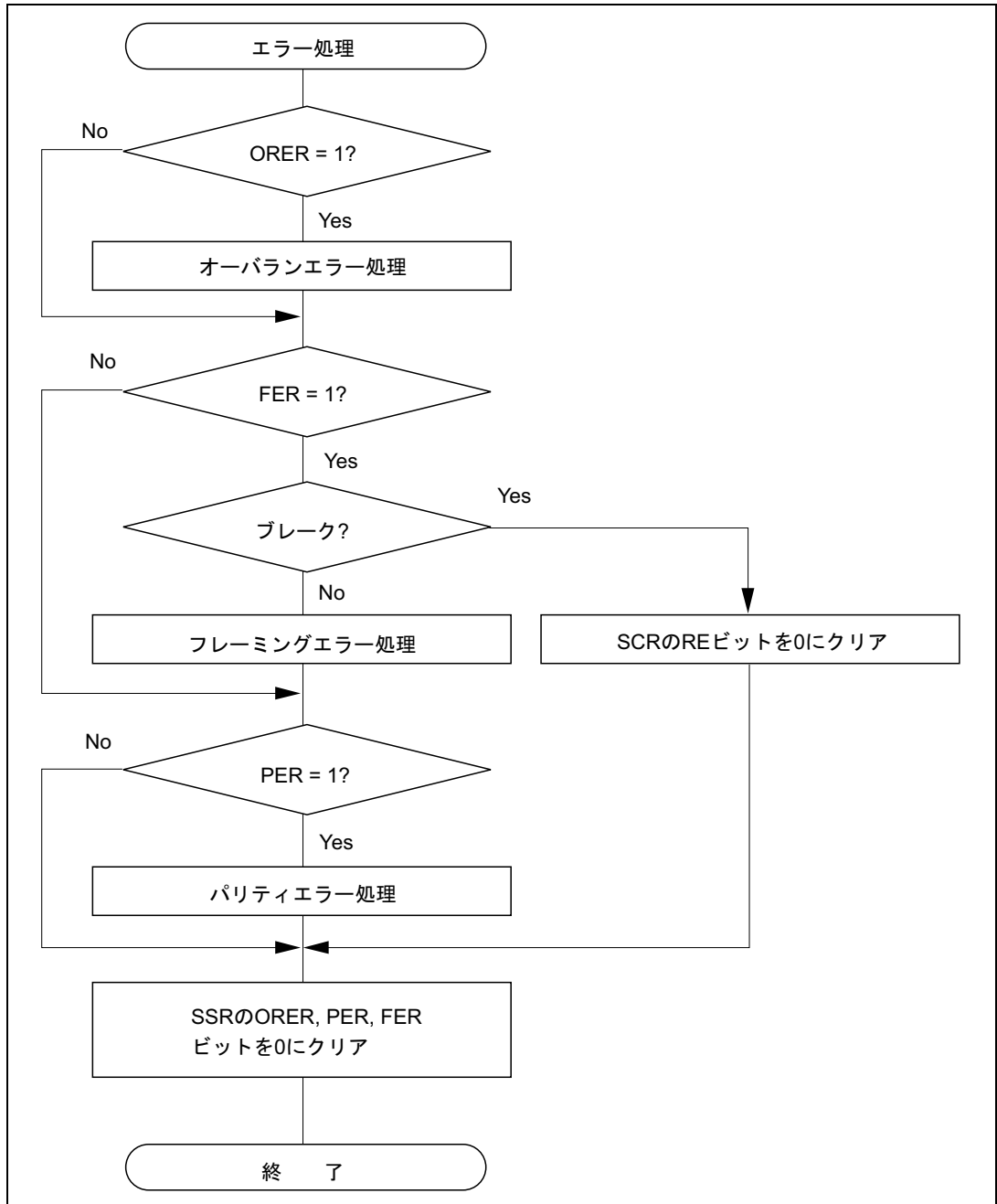


図 15.18 シリアル送信のフローチャートの例

図 15.19 に SCI の送信時の動作例を示します。

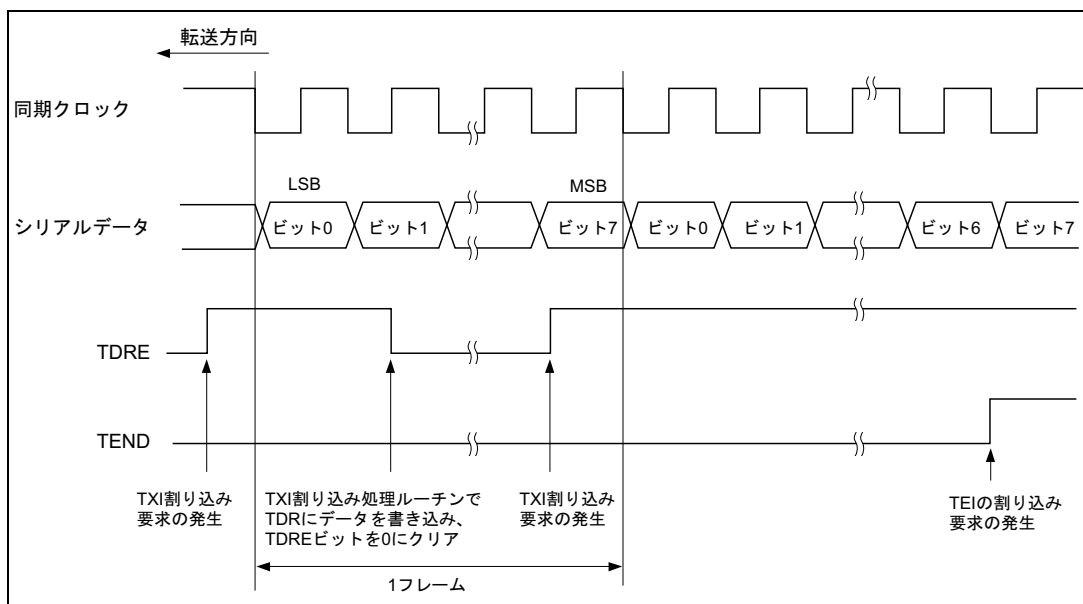


図 15.19 SCI の送信時の動作例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、シリアルステータスレジスタ (SSR) のTDREビットを監視し、0であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDRからトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、シリアルコントロールレジスタ (SCR) の送信データエンプティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
 クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。
 外部クロックに設定したときには、入力クロックに同期してデータを出力します。
 シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD端子から送り出されます。
- (3) SCIは、MSB (ビット7) を送り出すタイミングでTDREビットをチェックします。
 TDREビットが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。
 TDREビットが1であるとシリアルステータスレジスタ (SSR) のTENDビットを1にセットし、MSB (ビット7) を送り出した後、トランスミットデータ端子 (TxD端子) は状態を保持します。
 このときSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み要求 (TEI) を発生します。
- (4) シリアル送信終了後は、SCK端子はハイレベル固定になります。

(c) シリアルデータ受信 (クロック同期式)

図 15.20、図 15.21 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各ビットが 0 にクリアされていることを確認してください。

FER、PER ビットが 1 にセットされていると RDRF ビットがセットされません。また、送信 / 受信動作が行えません。

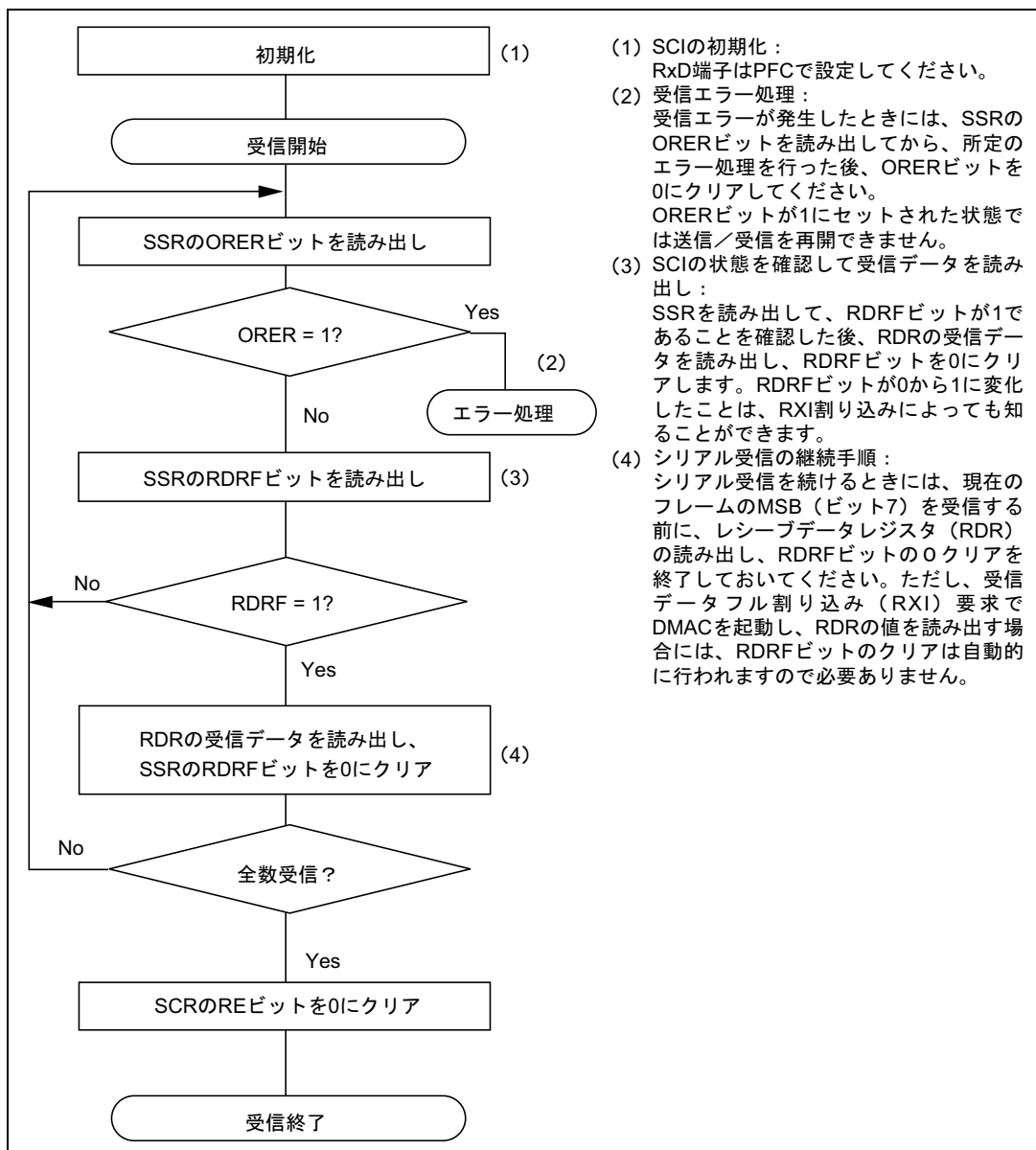


図 15.20 シリアルデータ受信フローチャートの例 (1)

15. シリアルコミュニケーションインタフェース (SCI)

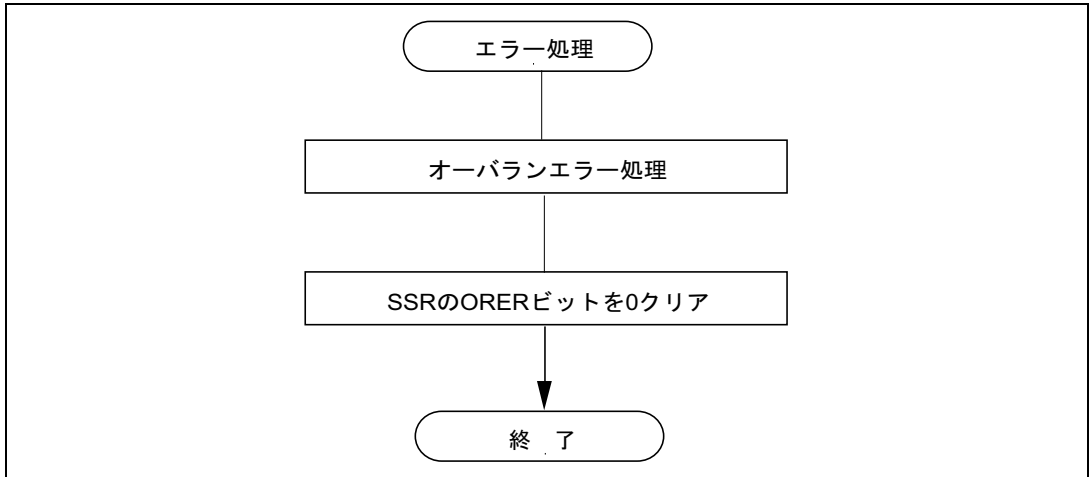


図 15.21 シリアルデータ受信フローチャートの例 (2)

図 15.22 に SCI の受信時の動作例を示します。

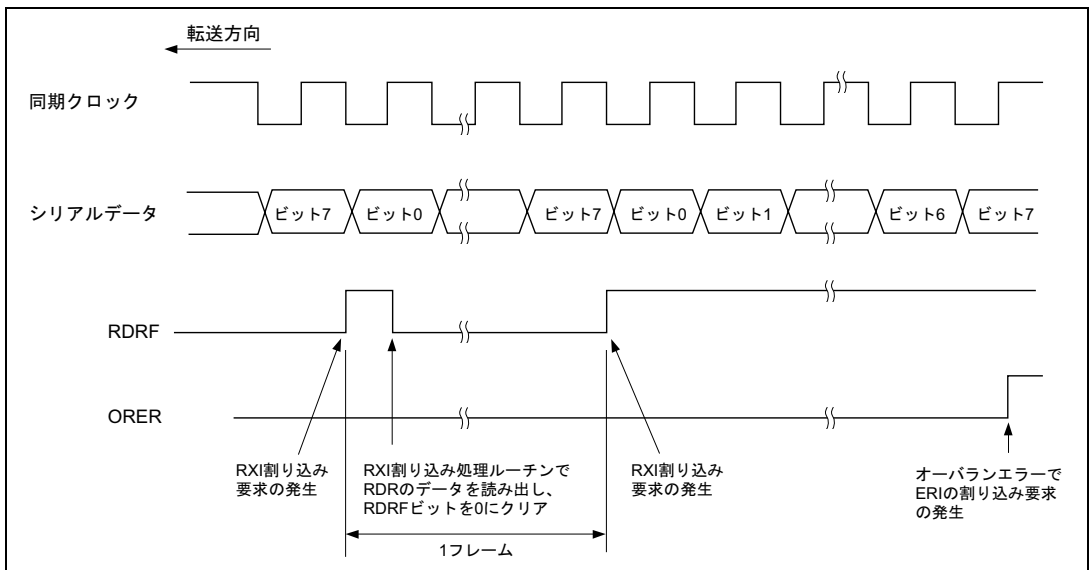


図 15.22 SCI の受信時の動作例

SCI は受信時に以下のように動作します。

- (1) SCIは同期クロックの入力または出力に同期して内部を初期化します。
- (2) 受信したデータをレシープシフトレジスタ (RSR) のLSBからMSBの順に格納します。
受信後、SCIはRDRFビットが0であり、受信データをRSRからレシープデータレジスタ(RDR)に転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFビットが1にセットされ、RDRに受信データが格納されます。
エラーチェックで受信エラーが発生すると表15.11のように動作し、この状態では以後の送信、受信動作ができません。
また、エラーフラグが1にセットされていると、RDRFビットが0にクリアしてあっても、受信時にRDRFビットが1にセットされません。受信を再開する際は必ずエラーフラグを0にクリアしてください。
- (3) RDRFビットが1になったとき、シリアルコントロールレジスタ (SCR) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORERビットが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 15.23 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従い行ってください。

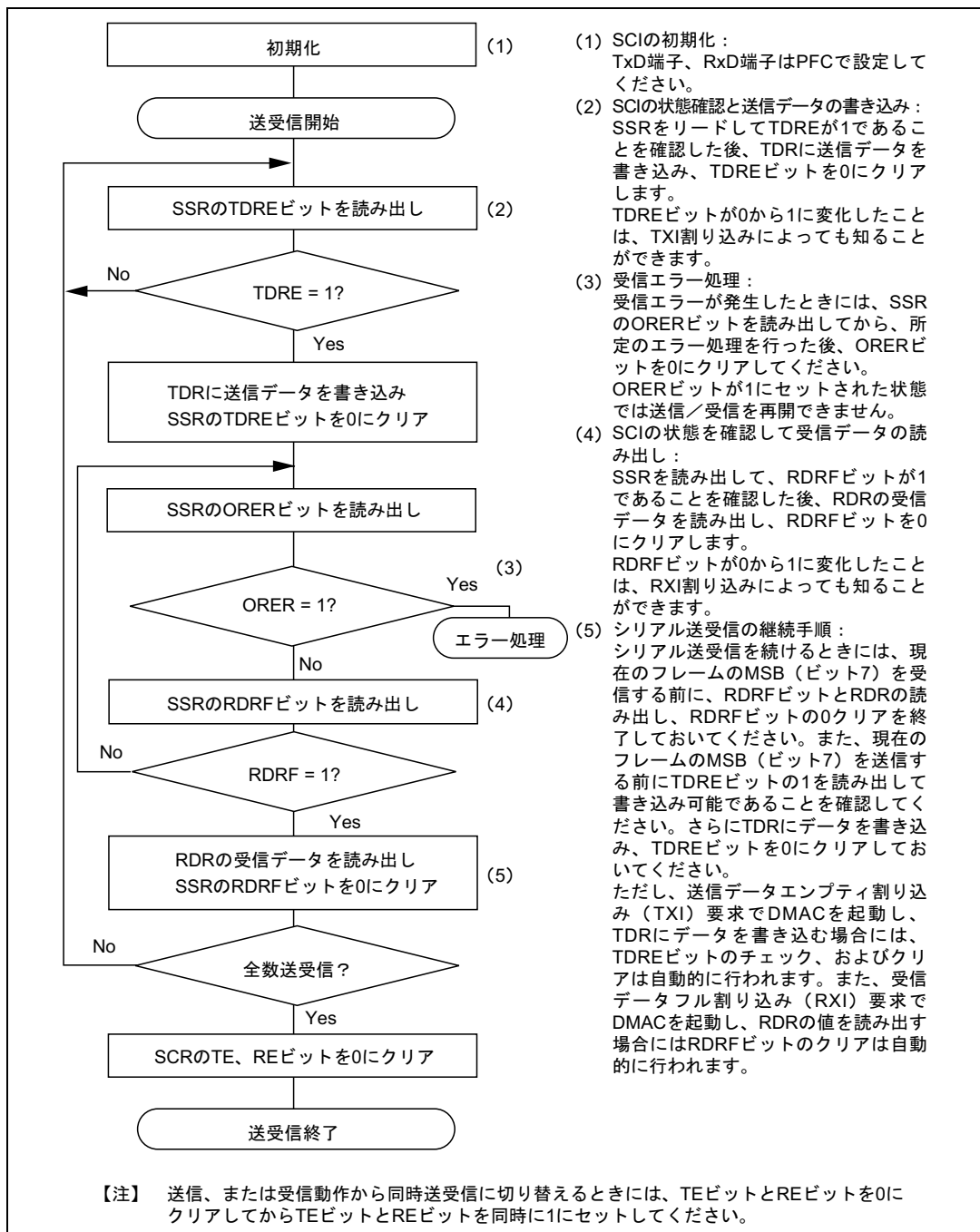


図 15.23 シリアルデータ送受信フローチャートの例

15.4 SCI の割り込み要因と DMAC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 15.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE、RIE、TEIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で、DMAC を起動してデータ転送を行うことができます。TDRE ビットは DMAC によるトランスミットデータレジスタ (TDR) への書き込みが行われると自動的に 0 にクリアされます。

SSR の RDRF ビットが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で、DMAC を起動して、データ転送を行うことができます。

RDRF ビットは DMAC によるレシーブデータレジスタ (RDR) の読み出しが行われると、自動的に 0 にクリアされます。

また、SSR の ORER、FER ビットまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DMAC の起動はできません。

さらに、SSR の TEND ビットが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で、DMAC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 15.12 SCI 割り込み要因

割り込み要因	内 容	DMAC の起動	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高 ▲ ▼ 低
RXI	受信データフル (RDRF) による割り込み	可	
TXI	送信データエンプティ (TDRE) による割り込み	可	
TEI	送信終了 (TEND) による割り込み	不可	

15.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

15.5.1 TDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SSR) の TDRE ビットはトランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE ビットが 1 にセットされます。

TDR へのデータの書き込みは、TDRE ビットの状態にかかわらず行うことができます。しかし、TDRE ビットが 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データの書き込みは、必ず TDRE ビットが 1 にセットされていることを確認してから行ってください。

15.5.2 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 15.13 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へのデータ転送は行われず、受信データは失われます。

表 15.13 SSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SSR のステータスフラグ				受信データ転送	
	RDRF	ORER	FER	PER	RSR	RDR
オーバランエラー	1	1	0	0	x	
フレーミングエラー	0	0	1	0		
パリティエラー	0	0	0	1		
オーバランエラー + フレーミングエラー	1	1	1	0	x	
オーバランエラー + パリティエラー	1	1	0	1	x	
フレーミングエラー + パリティエラー	0	0	1	1		
オーバランエラー + フレーミングエラー + パリティエラー	1	1	1	1	x	

【注】 : RSR RDR に受信データを転送します。

x : RSR RDR に受信データを転送しません。

15.5.3 ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER ビットがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER ビットを 0 にクリアしても再び 1 にセットされますので、注意してください。

15.5.4 ブレークの送り出し (調歩同期式モードのみ)

TxD 端子は、I/O ポートのデータレジスタ (DR) とピンファンクションコントローラ (PFC) のコントロールレジスタ (CR) により入出力方向とレベルが決まる汎用入出力端子になります。これを利用してブレークの送り出しができます。

PFC の設定を行うまではマーク状態を DR の値で代替します。このため、最初は 1 を出力する出力ポートに設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、PFC で TxD 端子を出力ポートに設定します。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化されます。

15.5.5 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

15.5.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 15.24 に示します。

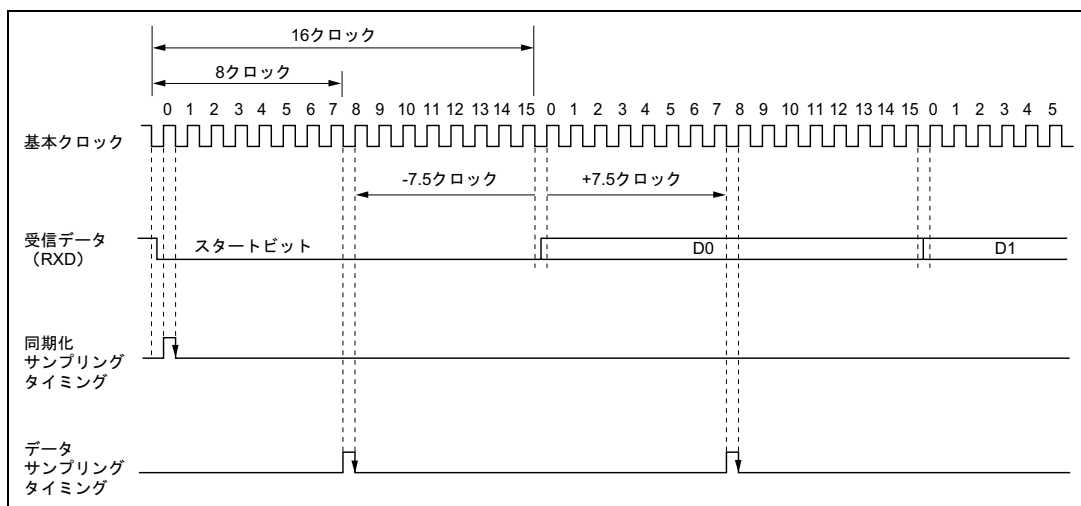


図 15.24 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \dots\dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = (0.5 - 1/(2 \times 16)) \times 100\% = 46.875\% \quad \dots\dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30%の余裕を持たせてください。

15.5.7 DMAC の使用上の注意事項

- (a) 同期クロックに外部クロックソースを使用する場合、DMACによるTDR の更新後、周辺クロック (P) で5クロック以上経過した後に、送信クロックを入力してください。TDR の更新後4クロック以内に送信クロックを入力すると、誤動作することがあります。(図15.25)
- (b) DMACにより、RDRの読み出しを行うときは必ず起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。

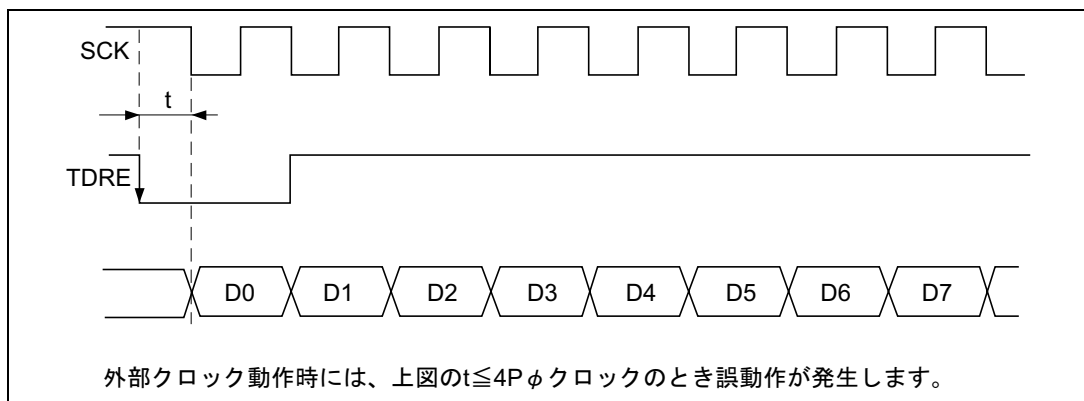


図 15.25 DMAC によるクロック同期式送信時の例

15.5.8 クロック同期外部クロックモード時の注意事項

- (a) $TE = RE = 1$ に設定するのは、必ず外部クロックSCKが1のときにしてください。
- (b) $TE = 1$ 、 $RE = 1$ に設定するのは、外部クロックSCKを0 → 1にしてから $4P$ クロック以上経過してからにしてください。
- (c) 受信時において、RxDのD7ビットのSCK入力の立ち上がりエッジから $2.5 \sim 3.5P$ クロック後に $RE = 0$ にすると $RDRF = 1$ になりますが、RDRへのコピーができませんので注意してください。

15.5.9 クロック同期内部クロックモード時の注意事項

受信時において、RxD の D7 ビットの SCK 出力の立ち上がりエッジから $1.5P$ クロック後に $RE = 0$ にすると $RDRF = 1$ になりますが、RDR へのコピーができませんので注意してください。

16. コントローラエリアネットワーク (HCAN)

16.1 概要

HCAN は自動車、および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。本 LSI には 2 チャンネルの HCAN モジュールが内蔵されています。

参考文献：「BOSCH CAN Specification Version 2.0 1991, Robert Bosch GmbH」

16.1.1 特長

CANバージョン：Bosch 2.0B active対応

- 通信方式：NRZ (Non-Return to Zero) 方式 (ビットスタッフ機能あり)
- ブロードキャスト通信方式
- 伝送路：双方向 2 線式シリアル通信
- 通信速度：最高 1Mbps (40MHz 動作時)
- データ長：0~8 バイト

チャンネル数：2チャンネル (HCAN0, HCAN1)

データバッファ：各チャンネル16本 (受信専用×1バッファ、送信/受信設定可能×15バッファ)

データ送信方式：2種類選択可能

- メールボックス (バッファ) の番号順 (昇順)
- メッセージ優先順位 (Identifier) の高い順

データ受信方式：2種類

- メッセージ Identifier の一致 (送信/受信設定バッファ)
- メッセージ Identifier マスクして受信 (受信専用)

CPU割り込み本数：4本独立割り込みベクタ

- エラー割り込み
- リセット処理割り込み
- メッセージ受信割り込み
- メッセージ送信割り込み

HCAN動作モード：各種モード対応

- ハードウェアリセット
- ソフトウェアリセット
- 通常状態 (エラーアクティブ、エラーパッシブ)
- パスオフ状態
- HCAN コンフィグレーションモード
- HCAN スリープモード
- HCAN HALT モード

HCAN接続方法：2種類の使用方法を選択可能

- 16 バッファ HCAN×2 チャンネル (送信端子×2本,受信端子×2本)
- 32 バッファ HCAN (Wired AND) ×1 チャンネル (送信端子×1本,受信端子×1本)

その他：

メッセージ受信 (HCAN0のメールボックス0のみ) メールボックスによりDMAC起動可能

16.1.2 ブロック図

HCAN のブロック図を図 16.1 に示します。

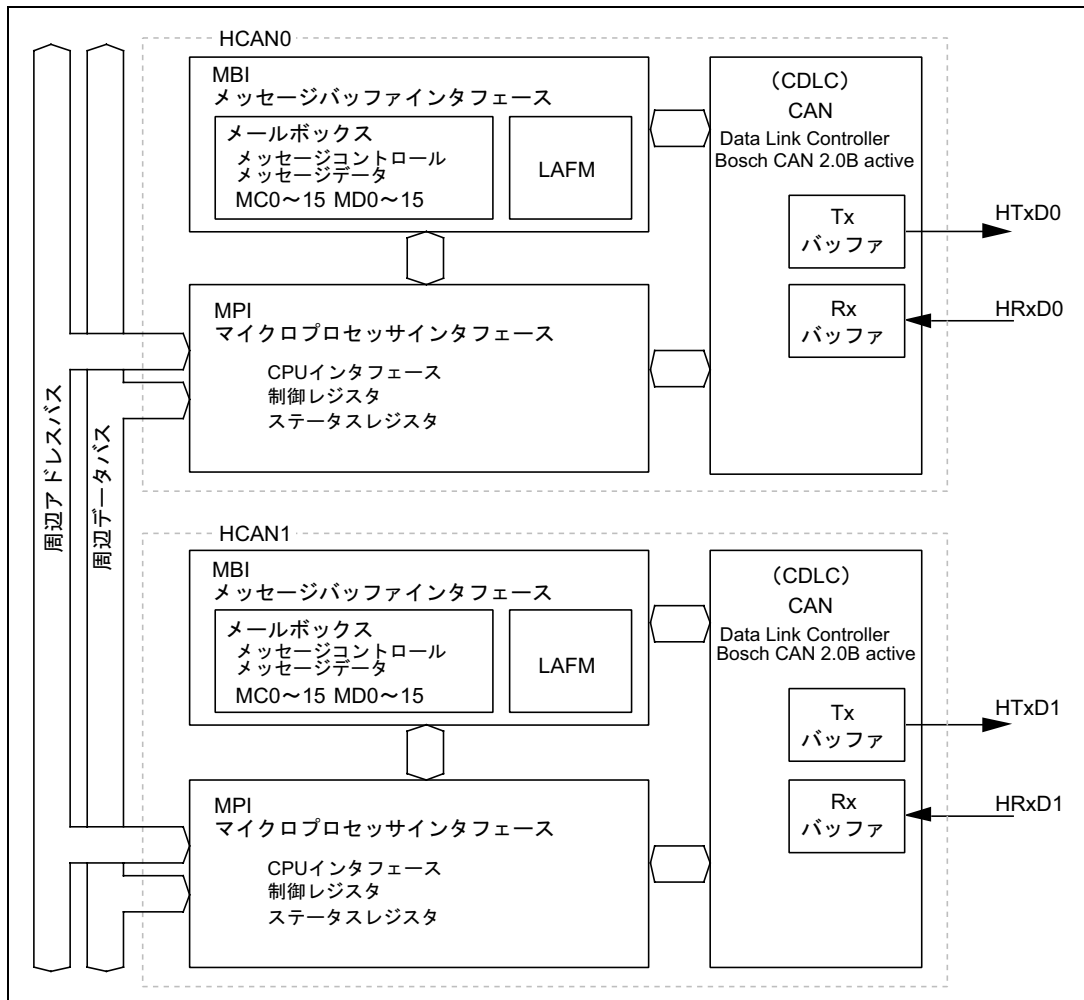


図 16.1 HCAN のブロック図

メッセージバッファインタフェース (Message Buffer Interface)

MBIはメールボックスとローカルアクセプタンスフィルタマスク (LAFM) より構成されており、CANの送信 / 受信メッセージ (Identifierおよびデータ等) を格納する部分です。送信メッセージはCPUから書き込みを行います。受信メッセージはCDLCで受信したデータを自動的に格納します。

マイクロプロセッサインタフェース (Micro Processor Interface)

MPIはCPUとのバスインタフェース、制御レジスタ、ステータスレジスタ等から構成されており、HCAN内のデータ、およびステータス等を制御する部分です。

CANデータリンクコントローラ (CAN Data Link Controller)

CDLCはBosch CAN ver.2.0B activeに準拠しており、メッセージ (データフレーム、リモートフレーム、エラーフレーム、オーバーロードフレーム、インタフレームスペーシング) の送受信、CRCチェック、バスアービトラージなどを行います。

16.1.3 端子構成

HCANの端子構成を表 16.1 に示します。これらの外部端子の機能を使用する際は、HCANの設定に合わせてピンファンクションコントローラ (PFC) も設定してください。

なお、HCAN端子を使用する際は、必ずHCANコンフィグレーションモード期間中 (初期設定期間: MCR0=1 かつ GSR3=1) に設定してください。

表 16.1 端子一覧表

チャンネル	名称	略称	入出力	機能
0	HCAN トランスミットデータ端子 0	HTxD0	出力	チャンネル0のCANバス送信用端子
	HCAN レシーブデータ端子 0	HRxD0	入力	チャンネル0のCANバス受信用端子
1	HCAN トランスミットデータ端子 1	HTxD1	出力	チャンネル1のCANバス送信用端子
	HCAN レシーブデータ端子 1	HRxD1	入力	チャンネル1のCANバス受信用端子

端子とCANバスの間にはバストランシーバICが必要になります。Philips PCA82C250 とコンパチブルなものを推奨します。

本端子は端子マルチプレックスされており、2種類の設定方法があります。

- 各チャンネルを独立なHCANとして設定 (16メッセージバッファHCAN×2チャンネル: 2本の送信端子、2本の受信端子)
- 2チャンネルの端子をWired ANDにして1チャンネルHCANとして設定 (32メッセージバッファHCAN×1チャンネル: 1本の送信端子、1本の受信端子)

詳しくは、「16.3 動作説明」をご参照ください。

チャンネルごとに設定可能なピン番号を表 16.2 に示します。

表 16.2 HCAN 端子設定可能なピン番号

	HCAN0	HCAN1	HCAN0,1 (Wired AND)
	16メッセージバッファ	16メッセージバッファ	32メッセージバッファ
HTxD	6,157,228	6,228	228
HRxD	158,170,229	170,229	229

16. コントローラエリアネットワーク (HCAN)

16.1.4 レジスタ一覧表

HCAN のレジスタ一覧表を表 16.3 に示します。

表 16.3 HCAN レジスタ一覧

チャンネル	レジスタ名	略 称	R/W	初期値	アドレス	アクセス サイズ	
0	マスタコントロールレジスタ	MCR	R/W	H'01	H'FFFF E400	8 ビット	16 ビット
	ジェネラルステータスレジスタ	GSR	R	H'0C	H'FFFF E401	8 ビット	
	ビットコンフィグレジスタ	BCR	R/W	H'0000	H'FFFF E402	8、16 ビット	
	メールボックスコンフィグレジスタ	MBCR	R/W	H'0100	H'FFFF E404	8、16 ビット	
	送信待ちレジスタ	TXPR	R/W	H'0000	H'FFFF E406	8、16 ビット	
	送信待ち取り消しレジスタ	TXCR	R/W	H'0000	H'FFFF E408	8、16 ビット	
	送信アクノレッジレジスタ	TXACK	R/W	H'0000	H'FFFF E40A	8、16 ビット	
	取り消しアクノレッジレジスタ	ABACK	R/W	H'0000	H'FFFF E40C	8、16 ビット	
	受信完了レジスタ	RXPR	R/W	H'0000	H'FFFF E40E	8、16 ビット	
	リモートリクエストレジスタ	RFPR	R/W	H'0000	H'FFFF E410	8、16 ビット	
	インタラプトレジスタ	IRR	R/W	H'0100	H'FFFF E412	8、16 ビット	
	メールボックスインタラプトマスクレジスタ	MBIMR	R/W	H'FFFF	H'FFFF E414	8、16 ビット	
	インタラプトマスクレジスタ	IMR	R/W	H'FEFF	H'FFFF E416	8、16 ビット	
	受信エラーカウンタ	REC	R	H'00	H'FFFF E418	8 ビット	16 ビット
	送信エラーカウンタ	TEC	R	H'00	H'FFFF E419	8 ビット	
	未読メッセージステータスレジスタ	UMSR	R/W	H'0000	H'FFFF E41A	8、16 ビット	
	ローカルアクセプタンスフィルタマスク L	LAFML	R/W	H'0000	H'FFFF E41C	8、16 ビット	
	ローカルアクセプタンスフィルタマスク H	LAFMH	R/W	H'0000	H'FFFF E41E	8、16 ビット	
	メッセージコントロール 0[1~8]	MC0[1~8]	R/W	不定	H'FFFF E420	8、16 ビット	
	メッセージコントロール 1[1~8]	MC1[1~8]	R/W	不定	H'FFFF E428	8、16 ビット	
	メッセージコントロール 2[1~8]	MC2[1~8]	R/W	不定	H'FFFF E430	8、16 ビット	
	メッセージコントロール 3[1~8]	MC3[1~8]	R/W	不定	H'FFFF E438	8、16 ビット	
	メッセージコントロール 4[1~8]	MC4[1~8]	R/W	不定	H'FFFF E440	8、16 ビット	
	メッセージコントロール 5[1~8]	MC5[1~8]	R/W	不定	H'FFFF E448	8、16 ビット	
	メッセージコントロール 6[1~8]	MC6[1~8]	R/W	不定	H'FFFF E450	8、16 ビット	
	メッセージコントロール 7[1~8]	MC7[1~8]	R/W	不定	H'FFFF E458	8、16 ビット	
	メッセージコントロール 8[1~8]	MC8[1~8]	R/W	不定	H'FFFF E460	8、16 ビット	
	メッセージコントロール 9[1~8]	MC9[1~8]	R/W	不定	H'FFFF E468	8、16 ビット	
	メッセージコントロール 10 [1~8]	MC10 [1~8]	R/W	不定	H'FFFF E470	8、16 ビット	
	メッセージコントロール 11 [1~8]	MC11 [1~8]	R/W	不定	H'FFFF E478	8、16 ビット	
メッセージコントロール 12 [1~8]	MC12 [1~8]	R/W	不定	H'FFFF E480	8、16 ビット		
メッセージコントロール 13 [1~8]	MC13 [1~8]	R/W	不定	H'FFFF E488	8、16 ビット		

16. コントローラエリアネットワーク (HCAN)

チャンネル	レジスタ名	略 称	R/W	初期値	アドレス	アクセス サイズ
0	メッセージコントロール 14 [1~8]	MC14 [1~8]	R/W	不定	H'FFFF E490	8、16 ビット
	メッセージコントロール 15 [1~8]	MC15 [1~8]	R/W	不定	H'FFFF E498	8、16 ビット
	メッセージデータ 0[1~8]	MD0[1~8]	R/W	不定	H'FFFF E4B0	8、16 ビット
	メッセージデータ 1[1~8]	MD1[1~8]	R/W	不定	H'FFFF E4B8	8、16 ビット
	メッセージデータ 2[1~8]	MD2[1~8]	R/W	不定	H'FFFF E4C0	8、16 ビット
	メッセージデータ 3[1~8]	MD3[1~8]	R/W	不定	H'FFFF E4C8	8、16 ビット
	メッセージデータ 4[1~8]	MD4[1~8]	R/W	不定	H'FFFF E4D0	8、16 ビット
	メッセージデータ 5[1~8]	MD5[1~8]	R/W	不定	H'FFFF E4D8	8、16 ビット
	メッセージデータ 6[1~8]	MD6[1~8]	R/W	不定	H'FFFF E4E0	8、16 ビット
	メッセージデータ 7[1~8]	MD7[1~8]	R/W	不定	H'FFFF E4E8	8、16 ビット
	メッセージデータ 8[1~8]	MD8[1~8]	R/W	不定	H'FFFF E4F0	8、16 ビット
	メッセージデータ 9[1~8]	MD9[1~8]	R/W	不定	H'FFFF E4F8	8、16 ビット
	メッセージデータ 10[1~8]	MD10 [1~8]	R/W	不定	H'FFFF E500	8、16 ビット
	メッセージデータ 11[1~8]	MD11 [1~8]	R/W	不定	H'FFFF E508	8、16 ビット
	メッセージデータ 12[1~8]	MD12 [1~8]	R/W	不定	H'FFFF E510	8、16 ビット
	メッセージデータ 13[1~8]	MD13 [1~8]	R/W	不定	H'FFFF E518	8、16 ビット
メッセージデータ 14[1~8]	MD14 [1~8]	R/W	不定	H'FFFF E520	8、16 ビット	
メッセージデータ 15[1~8]	MD15 [1~8]	R/W	不定	H'FFFF E528	8、16 ビット	
1	マスタコントロールレジスタ	MCR	R/W	H'01	H'FFFF E600	8 ビット 16 ビット
	ジェネラルステータスレジスタ	GSR	R	H'0C	H'FFFF E601	8 ビット
	ビットコンフィグレジスタ	BCR	R/W	H'0000	H'FFFF E602	8、16 ビット
	メールボックスコンフィグ レジスタ	MBCR	R/W	H'0100	H'FFFF E604	8、16 ビット
	送信待ちレジスタ	TXPR	R/W	H'0000	H'FFFF E606	8、16 ビット
	送信待ち取り消しレジスタ	TXCR	R/W	H'0000	H'FFFF E608	8、16 ビット
	送信アクノレッジレジスタ	TXACK	R/W	H'0000	H'FFFF E60A	8、16 ビット
	取り消しアクノレッジレジスタ	ABACK	R/W	H'0000	H'FFFF E60C	8、16 ビット
	受信完了レジスタ	RXPR	R/W	H'0000	H'FFFF E60E	8、16 ビット
	リモートリクエストレジスタ	RFPR	R/W	H'0000	H'FFFF E610	8、16 ビット
	インタラプトレジスタ	IRR	R/W	H'0100	H'FFFF E612	8、16 ビット
	メールボックスインタラプト マスクレジスタ	MBIMR	R/W	H'FFFF	H'FFFF E614	8、16 ビット
	インタラプトマスクレジスタ	IMR	R/W	H'FEFF	H'FFFF E616	8、16 ビット
	受信エラーカウンタ	REC	R	H'00	H'FFFF E618	8 ビット 16 ビット
	送信エラーカウンタ	TEC	R	H'00	H'FFFF E619	8 ビット
	未読メッセージステータス レジスタ	UMSR	R/W	H'0000	H'FFFF E61A	8、16 ビット

16. コントローラエリアネットワーク (HCAN)

チャンネル	レジスタ名	略 称	R/W	初期値	アドレス	アクセス サイズ
1	ローカルアクセプタンス フィルタマスク L	LAFML	R/W	H'0000	H'FFFF E61C	8、16 ビット
	ローカルアクセプタンス フィルタマスク H	LAFMH	R/W	H'0000	H'FFFF E61E	8、16 ビット
	メッセージコントロール 0[1~8]	MC0[1~8]	R/W	不定	H'FFFF E620	8、16 ビット
	メッセージコントロール 1[1~8]	MC1[1~8]	R/W	不定	H'FFFF E628	8、16 ビット
	メッセージコントロール 2[1~8]	MC2[1~8]	R/W	不定	H'FFFF E630	8、16 ビット
	メッセージコントロール 3[1~8]	MC3[1~8]	R/W	不定	H'FFFF E638	8、16 ビット
	メッセージコントロール 4[1~8]	MC4[1~8]	R/W	不定	H'FFFF E640	8、16 ビット
	メッセージコントロール 5[1~8]	MC5[1~8]	R/W	不定	H'FFFF E648	8、16 ビット
	メッセージコントロール 6[1~8]	MC6[1~8]	R/W	不定	H'FFFF E650	8、16 ビット
	メッセージコントロール 7[1~8]	MC7[1~8]	R/W	不定	H'FFFF E658	8、16 ビット
	メッセージコントロール 8[1~8]	MC8[1~8]	R/W	不定	H'FFFF E660	8、16 ビット
	メッセージコントロール 9[1~8]	MC9[1~8]	R/W	不定	H'FFFF E668	8、16 ビット
	メッセージコントロール 10 [1~8]	MC10 [1~8]	R/W	不定	H'FFFF E670	8、16 ビット
	メッセージコントロール 11 [1~8]	MC11 [1~8]	R/W	不定	H'FFFF E678	8、16 ビット
	メッセージコントロール 12 [1~8]	MC12 [1~8]	R/W	不定	H'FFFF E680	8、16 ビット
	メッセージコントロール 13 [1~8]	MC13 [1~8]	R/W	不定	H'FFFF E688	8、16 ビット
	メッセージコントロール 14 [1~8]	MC14 [1~8]	R/W	不定	H'FFFF E690	8、16 ビット
	メッセージコントロール 15 [1~8]	MC15 [1~8]	R/W	不定	H'FFFF E698	8、16 ビット
	メッセージデータ 0[1~8]	MD0[1~8]	R/W	不定	H'FFFF E6B0	8、16 ビット
	メッセージデータ 1[1~8]	MD1[1~8]	R/W	不定	H'FFFF E6B8	8、16 ビット
	メッセージデータ 2[1~8]	MD2[1~8]	R/W	不定	H'FFFF E6C0	8、16 ビット
	メッセージデータ 3[1~8]	MD3[1~8]	R/W	不定	H'FFFF E6C8	8、16 ビット
	メッセージデータ 4[1~8]	MD4[1~8]	R/W	不定	H'FFFF E6D0	8、16 ビット
	メッセージデータ 5[1~8]	MD5[1~8]	R/W	不定	H'FFFF E6D8	8、16 ビット
	メッセージデータ 6[1~8]	MD6[1~8]	R/W	不定	H'FFFF E6E0	8、16 ビット
	メッセージデータ 7[1~8]	MD7[1~8]	R/W	不定	H'FFFF E6E8	8、16 ビット
	メッセージデータ 8[1~8]	MD8[1~8]	R/W	不定	H'FFFF E6F0	8、16 ビット
	メッセージデータ 9[1~8]	MD9[1~8]	R/W	不定	H'FFFF E6F8	8、16 ビット
	メッセージデータ 10[1~8]	MD10 [1~8]	R/W	不定	H'FFFF E700	8、16 ビット
	メッセージデータ 11[1~8]	MD11 [1~8]	R/W	不定	H'FFFF E708	8、16 ビット
	メッセージデータ 12[1~8]	MD12 [1~8]	R/W	不定	H'FFFF E710	8、16 ビット
	メッセージデータ 13[1~8]	MD13 [1~8]	R/W	不定	H'FFFF E718	8、16 ビット
メッセージデータ 14[1~8]	MD14 [1~8]	R/W	不定	H'FFFF E720	8、16 ビット	

チャンネル	レジスタ名	略 称	R/W	初期値	アドレス	アクセス サイズ
1	メッセージデータ 15[1~8]	MD15 [1~8]	R/W	不定	H'FFFF E728	8、16 ビット

16.2 レジスタの説明

16.2.1 マスタコントロールレジスタ (MCR)

マスタコントロールレジスタ (MCR) は 8 ビットのレジスタです。

ビット:	7	6	5	4	3	2	1	0
	MCR7	—	MCR5	—	—	MCR2	MCR1	MCR0
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	R	R/W	R	R	R/W	R/W	R/W

マスタコントロールレジスタ (MCR) は 8 ビットの読み出し / 書き込み可能なレジスタで、CAN インタフェースを制御するためのものです。

ビット 7: HCAN スリープモード解除 (MCR7)

バス動作による HCAN スリープ解除の許可 / 禁止を選択します。

ビット 7	説 明
MCR7	
0	CAN バス動作による HCAN スリープモード解除を禁止 (初期値)
1	CAN バス動作による HCAN スリープモード解除を許可

ビット 6: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5: HCAN スリープモード (MCR5)

HCAN スリープモード遷移の許可 / 禁止を選択します。

ビット 5	説 明
MCR5	
0	HCAN スリープモード解除 (初期値)
1	HCAN スリープモードへの遷移を許可

ビット 4、3: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16. コントローラエリアネットワーク (HCAN)

ビット 2 : メッセージ送信方式 (MCR2)

送信メッセージの送信方式を選択します。

ビット 2	説 明
MCR2	
0	メッセージ Identifier の優先順位により送信の順番を決定 (初期値)
1	メールボックス (パuffa) 番号の優先順位により送信の順番を決定 (TXPR1 > TXPR15)

ビット 1 : HALT リクエスト (MCR1)

HCAN モジュールを HALT するための制御ビットです。

ビット 1	説 明
MCR1	
0	通常動作モード (初期値)
1	HALT モードへの遷移をリクエスト

ビット 0 : リセットリクエスト (MCR0)

HCAN モジュールをリセットするための制御ビットです。

ビット 0	説 明
MCR0	
0	通常動作モード (MCR0=0 かつ GSR3=0) [セット条件] HCAN のリセット終了時に 0 書き込み
1	リセットモードへの遷移をリクエスト (初期値)

なお、MCR0 に 0 を書き込んだ後 GSR3 が 1 0 に変化するためには、HCAN 内部がリセットされるまでの時間を必要とします。したがって、MCR0=0 後、GSR3=0 になるまでディレイが発生します。

16.2.2 ジェネラルステータスレジスタ (GSR)

ジェネラルステータスレジスタ (GSR) は 8 ビットレジスタです。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R

ジェネラルステータスレジスタ (GSR) は 8 ビットの読み出し可能なレジスタで、CAN バスのステータスを示すものです。

ビット 7~4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3: リセットステータスビット (GSR3)

HCAN モジュールが通常動作状態とリセット状態を示すためのビットです。書き込みは無効です。

ビット 3	説明
GSR3	
0	通常動作状態 [セット条件] HCAN 内部をリセット終了
1	コンフィグレーションモード (初期値) [リセット条件] MCR0 によるリセット状態およびスリープモード

ビット 2: メッセージ送信ステータスフラグ (GSR2)

メッセージ送信期間中か否かを示すフラグです。「メッセージ送信期間中」とはメッセージ送信開始 (SOF) から EOF (End Of Frame) 後の Intermission 3 ビットまでを表します。書き込みは無効です。

ビット 2	説明
GSR2	
0	メッセージ送信期間中
1	[リセット条件] アイドル期間 (初期値)

16. コントローラエリアネットワーク (HCAN)

ビット 1 : 送信 / 受信ワーニングフラグ (GSR1)

エラーワーニングを示すフラグです。書き込みは無効です。

ビット 1	説 明
GSR1	
0	[リセット条件] TEC < 96 かつ REC < 96 のとき TEC 256 (初期値)
1	TEC 96 または REC 96 のとき

ビット 0 : バスオフフラグ (GSR0)

バスオフ状態を示すフラグです。書き込みは無効です。

ビット 0	説 明
GSR0	
0	[リセット条件] バスオフからの復帰 (初期値)
1	TEC 256 のとき (バスオフ状態)

16.2.3 ビットコンフィグレジスタ (BCR)

ビットコンフィグレジスタ (BCR) は 16 ビットレジスタです。

ビット :	15	14	13	12	11	10	9	8
	BCR7	BCR6	BCR5	BCR4	BCR3	BCR2	BCR1	BCR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	BCR15	BCR 14	BCR13	BCR12	BCR11	BCR10	BCR9	BCR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットコンフィグレジスタ (BCR) は 16 ビットの読み出し / 書き込み可能なレジスタで、CAN のビットタイミングパラメータやポーレートプリスケアラを設定するためのものです。

ビット 15、14 : Re-Synchronization Jump Width (SJW)

ビット同期の最大範囲を設定します。

ビット 15	ビット 14	説 明
BCR7	BCR6	
0	0	最大ビット同期幅 1time quantum (初期値)
	1	最大ビット同期幅 2time quanta
1	0	最大ビット同期幅 3time quanta
	1	最大ビット同期幅 4time quanta

ビット 13~8 : ボーレートプリスケアラ (BRP)

CAN バスのボーレートを設定するためのものです。

ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	説 明
BCR5	BCR4	BCR3	BCR2	BCR1	BCR0	
0	0	0	0	0	0	2×システムクロック (初期値)
0	0	0	0	0	1	4×システムクロック
0	0	0	0	1	0	6×システムクロック
:	:	:	:	:	:	:
1	1	1	1	1	1	128×システムクロック

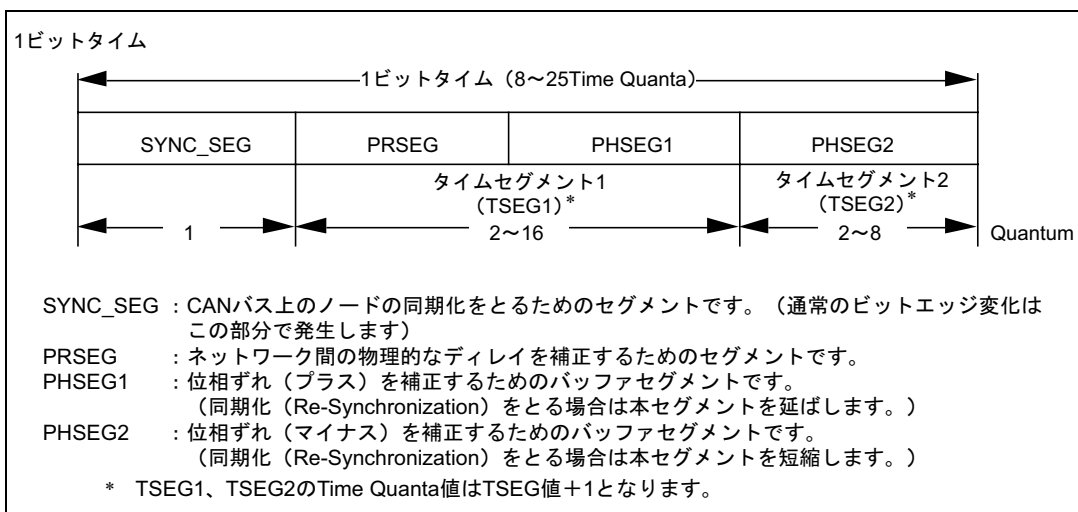


図 16.2 1ビットの詳細説明

16. コントローラエリアネットワーク (HCAN)

HCANのビットレート計算：

$$\text{ビットレート} = \frac{f_{\text{CLK}}}{2 \times (\text{BRP} + 1) \times (3 + \text{TSEG1} + \text{TSEG2})} \text{ [b/s]}$$

【注】 $f_{\text{CLK}} = P\phi$ (周辺クロック ($\phi/2$))
BRP、TSEG1、TSEG2はBCR値を使用。

BCR の設定制限

TSEG1 > TSEG2 SJW (SJW = 1~4)

3 + TSEG1 + TSEG2 = 8 ~ 25Time Quanta

TSEG2 > B'001 (BRP = B'000000)

TSEG2 > B'000 (BRP > B'000000)

上記制限により BCR の TSEG1、TSEG2 の設定可能な範囲を表 16.4 に示します。

表 16.4 BCR の TSEG1、TSEG2 の設定可能な範囲

		TSEG2 (BCR[14~12])						
		001	010	011	100	101	110	111
TSEG1 (BCR[11~8])	0011	×	○	×	×	×	×	×
	0100	○*	○	○	×	×	×	×
	0101	○*	○	○	○	×	×	×
	0110	○*	○	○	○	○	×	×
	0111	○*	○	○	○	○	○	×
	1000	○*	○	○	○	○	○	○
	1001	○*	○	○	○	○	○	○
	1010	○*	○	○	○	○	○	○
	1011	○*	○	○	○	○	○	○
	1100	○*	○	○	○	○	○	○
	1101	○*	○	○	○	○	○	○
	1110	○*	○	○	○	○	○	○
1111	○*	○	○	○	○	○	○	

【注】 TSEG1、TSEG2 の Time Quanta 値は TSEG 値 + 1 となります。

* BRP[13: 8] = B'000000 以外のみ設定可能

ビット7：ビットサンプルポイント (BSP)

データをサンプルリングするポイントを設定するためのものです。

ビット7	説明
BCR15	
0	1 箇所のビットサンプリング (タイムセグメント 1 (TSEG1) の終わり) (初期値)
1	3 箇所のビットサンプリング (タイムセグメント 1 (TSEG1) の終わりと前後 1time quantum)

ビット6~4: タイムセグメント2 (TSEG2)

1 ビットタイムの誤差を補正するためのセグメントで2~8まで設定可能です。

ビット6	ビット5	ビット4	説明
BCR14	BCR13	BCR12	
0	0	0	設定禁止 (初期値)
		1	TSEG2 (PHSEG2) =2time quanta
	1	0	TSEG2 (PHSEG2) =3time quanta
		1	TSEG2 (PHSEG2) =4time quanta
1	0	0	TSEG2 (PHSEG2) =5time quanta
		1	TSEG2 (PHSEG2) =6time quanta
	1	0	TSEG2 (PHSEG2) =7time quanta
		1	TSEG2 (PHSEG2) =8time quanta

ビット3~0: タイムセグメント1 (TSEG1)

出力バッファ、CANバス、入力バッファのディレイを吸収するためのセグメントで4~16まで設定可能です。

ビット3	ビット2	ビット1	ビット0	説明
BCR11	BCR10	BCR9	BCR8	
0	0	0	0	設定禁止 (初期値)
			1	設定禁止
		1	0	設定禁止
			1	TSEG1 (PRSEG+PHSEG1) =4time quanta
	1	0	0	TSEG1 (PRSEG+PHSEG1) =5time quanta
:	:	:	:	:
1	1	1	1	TSEG1 (PRSEG+PHSEG1) =16time quanta

16.2.4 メールボックスコンフィグレジスタ (MBCR)

メールボックスコンフィグレジスタ (MBCR) は 16 ビットのレジスタです。

ビット :	15	14	13	12	11	10	9	8
	MBCR7	MBCR6	MBCR5	MBCR4	MBCR3	MBCR2	MBCR1	—
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット :	7	6	5	4	3	2	1	0
	MBCR15	MBCR 14	MBCR13	MBCR12	MBCR11	MBCR10	MBCR9	MBCR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

メールボックスコンフィグレジスタ (MBCR) は 16 ビットの読み出し / 書き込み可能なレジスタで、メールボックス (バッファ) の送信 / 受信を設定するためのものです。

ビット 15~9、7~0 : メールボックス設定レジスタ (MBCR7~1、MBCR15~8)

対応するメールボックスの極性を設定します。

ビット x	説明
MBCRx	
0	対応するメールボックスを送信用に設定 (初期値)
1	対応するメールボックスを受信用に設定

ビット 8 : 予約ビット

読み出すと常に 1 が読み出されます。書き込みも常に 1 にしてください。

16.2.5 送信待ちレジスタ (TXPR)

送信待ちレジスタ (TXPR) は 16 ビットのレジスタです。

ビット :	15	14	13	12	11	10	9	8
	TXPR7	TXPR6	TXPR5	TXPR4	TXPR3	TXPR2	TXPR1	—

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R

ビット :	7	6	5	4	3	2	1	0
	TXPR15	TXPR 14	TXPR13	TXPR12	TXPR11	TXPR10	TXPR9	TXPR8

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

送信待ちレジスタ (TXPR) は 16 ビットの読み出し / 書き込み可能なレジスタで、送信メッセージをメールボックス (バッファ) に格納後の送信待ち (CAN バスアービトラクション待ち) を設定するためのものです。

ビット 15~9、7~0 : 送信待ちレジスタ (TXPR7~1、TXPR15~8)

対応するメールボックスの送信待ちを設定します。

ビット x	説 明
TXPRx	
0	対応するメールボックス内の送信メッセージアイドル状態 (初期値) [クリア条件] メッセージの送信完了および取り消し完了
1	対応するメールボックス内の送信メッセージの送信待ち (CAN バスアービトラクション)

X = 1 ~ 15

ビット 8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みも常に 0 にしてください。

16.2.6 送信待ち取り消しレジスタ (TXCR)

送信待ち取り消しレジスタ (TXCR) は 16 ビットのレジスタです。

ビット :	15	14	13	12	11	10	9	8
	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット :	7	6	5	4	3	2	1	0
	TXCR15	TXCR 14	TXCR13	TXCR12	TXCR11	TXCR10	TXCR9	TXCR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信待ち取り消しレジスタ (TXCR) は 16 ビットの読み出し / 書き込み可能なレジスタで、メールボックス (バッファ) 内送信待ちメッセージの取り消しを制御するためのものです。

ビット 15~9、7~0 : 送信待ち取り消しレジスタ (TXCR7~1、TXCR15~8)

HCAN の対応するメールボックス内送信待ちメッセージの取り消しを制御します。

ビット x	説 明
TXCRx	
0	対応するメールボックス内の送信メッセージ取り消しアイドル状態 (初期値) [クリア条件] TXPR のクリア完了 (送信メッセージを正常に取り消したとき)
1	対応するメールボックスの TXPR クリア (送信メッセージの取り消し)

ビット 8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みも常に 0 にしてください。

16.2.7 送信アクノレッジレジスタ (TXACK)

送信アクノレッジレジスタ (TXACK) は 16 ビットのレジスタです。

ビット :	15	14	13	12	11	10	9	8
	TXACK7	TXACK6	TXACK5	TXACK4	TXACK3	TXACK2	TXACK1	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット :	7	6	5	4	3	2	1	0
	TXACK15	TXACK 14	TXACK13	TXACK12	TXACK11	TXACK10	TXACK9	TXACK8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信アクノレッジレジスタ (TXACK) は 16 ビットの読み出し / 書き込み可能なレジスタで、メールボックス (バッファ) のメッセージが正常に送信完了したことを示すステータスフラグです。

ビット 15~9、7~0 : 送信アクノレッジレジスタ (TXACK7~1、TXACK15~8)

HCAN の対応するメールボックスのメッセージが正常に送信完了したことを示します。

ビット x	説明
TXACKx	
0	[クリア条件] 1 書き込み (初期値)
1	対応するメールボックスのメッセージ送信完了

ビット 8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みも常に 0 にしてください。

16.2.8 取り消しアクノレッジレジスタ (ABACK)

取り消しアクノレッジレジスタ (ABACK) は 16 ビットのレジスタです。

ビット :	15	14	13	12	11	10	9	8
	ABACK7	ABACK6	ABACK5	ABACK4	ABACK3	ABACK2	ABACK1	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット :	7	6	5	4	3	2	1	0
	ABACK15	ABACK14	ABACK13	ABACK12	ABACK11	ABACK10	ABACK9	ABACK8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

取り消しアクノレッジレジスタ (ABACK) は 16 ビットの読み出し / 書き込み可能なレジスタで、メールボックス (バッファ) 内送信メッセージが正常に取り消されたことを示すステータスフラグです。

ビット 15~9、7~0 : 取り消しアクノレッジレジスタ (ABACK7~1、ABACK15~8)

対応するメールボックス内送信メッセージが正常に取り消されたことを示します。

ビット x	説明
ABACKx	
0	[クリア条件] 1 書き込み (初期値)
1	対応するメールボックスの送信メッセージ取り消し完了

ビット 8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込みも常に 0 にしてください。

16.2.9 受信完了レジスタ (RXPR)

受信完了レジスタ (RXPR) は 16 ビットのレジスタです。

ビット :	15	14	13	12	11	10	9	8
	RXPR7	RXPR6	RXPR5	RXPR4	RXPR3	RXPR2	RXPR1	RXPR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	RXPR15	RXPR14	RXPR13	RXPR12	RXPR11	RXPR10	RXPR9	RXPR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

受信完了レジスタ (RXPR) は 16 ビットの読み出し / 書き込み可能なレジスタで、メールボックス (パッファ) にメッセージ (データフレームまたはリモートフレーム) が正常に受信されたことを示すステータスフラグです。

なお、リモートフレーム受信の場合は対応するリモートリクエストレジスタ (RFPR) も同時にセットされます。

ビット 15~0 : 受信完了レジスタ (RXPR7~0、RXPR15~8)

対応するメールボックスにメッセージが正常に受信されたことを示します。

ビット x	説明
RXPRx	
0	[クリア条件] 1 書き込み (初期値)
1	対応するメールボックスにメッセージ (データフレームまたはリモートフレーム) 受信完了

16.2.10 リモートリクエストレジスタ (RFPR)

リモートリクエストレジスタ (RFPR) は 16 ビットのレジスタです。

ビット :	15	14	13	12	11	10	9	8
	RFPR7	RFPR6	RFPR5	RFPR4	RFPR3	RFPR2	RFPR1	RFPR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	RFPR15	RFPR14	RFPR13	RFPR12	RFPR11	RFPR10	RFPR9	RFPR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リモートリクエストレジスタ (RFPR) は 16 ビットの読み出し / 書き込み可能なレジスタで、メールボックス (バッファ) にリモートフレームが正常に受信されたことを示すステータスフラグです。なお、本ビットがセットされると、対応する受信完了ビットが同時にセットされます。

ビット 15~0 : リモートリクエストレジスタ (RFPR7~0、RFPR15~8)

対応するメールボックス (バッファ) にリモートフレームが正常に受信されたことを示します。

ビット x	説 明
RFPRx	
0	[クリア条件] 1 書き込み (初期値)
1	対応するメールボックスにリモートフレーム受信完了

16.2.11 インタラプトレジスタ (IRR)

インタラプトレジスタ (IRR) は 16 ビットのレジスタです。

ビット :	15	14	13	12	11	10	9	8
	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R/W
ビット :	7	6	5	4	3	2	1	0
	—	—	—	IRR12	—	—	IRR9	IRR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R/W	R/W

インタラプトレジスタ (IRR) は 16 ビットの読み出し / 書き込み可能なレジスタで、各割り込み要因のステータスを示すフラグです。

ビット 15 : オーバロードフレーム割り込みフラグ (IRR7)

HCAN がオーバロードフレームを送信したことを示すステータスフラグです。

ビット 15	説明
IRR7	
0	[クリア条件] 1 書き込み (初期値)
1	オーバロードフレーム送信 [セット条件] エラーアクティブ / エラーパッシブ状態 ・オーバロードフレームを送信したとき

ビット 14 : バスオフ割り込みフラグ (IRR6)

送信エラーカウンタによるバスオフ状態を示すステータスフラグです。

ビット 14	説明
IRR6	
0	[クリア条件] 1 書き込み (初期値)
1	送信エラーによるバスオフ状態 [セット条件] TEC 256 になったとき

16. コントローラエリアネットワーク (HCAN)

ビット 13 : エラーパッシブ割り込みフラグ (IRR5)

送信 / 受信エラーカウンタによるエラーパッシブ状態を示すステータスフラグです。

ビット 13	説 明
IRR5	
0	[クリア条件] 1 書き込み (初期値)
1	送信 / 受信エラーによるエラーパッシブ状態 [セット条件] TEC 128 または REC 128 になったとき

ビット 12 : 受信オーバーロードワーニング割り込みフラグ (IRR4)

受信エラーカウンタによるエラーワーニング状態を示すステータスフラグです。

ビット 12	説 明
IRR4	
0	[クリア条件] 1 書き込み (初期値)
1	受信エラーによるエラーワーニング状態 [セット条件] REC 96 になったとき

ビット 11 : 送信オーバーロードワーニング割り込みフラグ (IRR3)

送信エラーカウンタによるエラーワーニング状態を示すステータスフラグです。

ビット 11	説 明
IRR3	
0	[クリア条件] 1 書き込み (初期値)
1	送信エラーによるエラーワーニング状態 [セット条件] TEC 96 になったとき

ビット 10 : リモートフレームリクエスト割り込みフラグ (IRR2)

メールボックスにリモートフレームを受信したことを示すステータスフラグです。

ビット 10	説 明
IRR2	
0	[クリア条件] RFPR (リモートリクエスト待ちレジスタ) の全ビットクリア (初期値)
1	リモートフレーム受信しメールボックスに格納 [セット条件] リモートフレームを受信完了したとき 対応する MBIMR=0 のとき

ビット 9 : 受信メッセージ割り込みフラグ (IRR1)

メールボックス受信メッセージを正常に受信したことを示すステータスフラグです。

ビット 9	説 明
IRR1	
0	[クリア条件] MBIMR が 0 のときの RXPR (受信完了レジスタ) の全ビットをクリア (初期値)
1	データフレーム、リモートフレーム受信しメールボックスに格納 [セット条件] データフレームおよびリモートフレームを受信完了したとき 対応する MBIMR=0 のとき

ビット 8 : リセット割り込みフラグ (IRR0)

HCAN モジュールがリセットされたことを示すステータスフラグです。

本ビットはインタラプトマスクレジスタ (IMR) ではマスク不可となっています。パワーオンリセット投入後およびソフトウェアスタンバイ復帰後、本ビットをクリアしない場合は、割り込みコントローラにて割り込み許可すると、直ちに割り込み処理を行います。

ビット 8	説 明
IRR0	
0	[クリア条件] 1 書き込み
1	パワーオンリセットおよびソフトウェアスタンバイ投入による割り込み要求 (OVR) (初期値) [セット条件] パワーオンリセットおよびソフトウェアスタンバイ投入後にリセット処理完了したとき

ビット 7~5、3、2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : バス動作割り込みフラグ (IRR12)

HCAN モジュールが HCAN スリープモード中にバス動作のよりドミナントビットの検出を示すステータスフラグです。

ビット 4	説 明
IRR12	
0	CAN バスアイドル状態 (初期値) [クリア条件] 1 書き込み
1	HCAN スリープモード中 CAN バスの動作あり [セット条件] HCAN スリープモード中のバス動作 (ドミナントビット検出) のとき

16. コントローラエリアネットワーク (HCAN)

ビット1：未読割り込みフラグ (IRR9)

受信メッセージが未読のままオーバライトされたことを示すステータスフラグです。

ビット1	説 明
IRR9	
0	[クリア条件] UMSR (未読メッセージステータスレジスタ) のすべてのビットクリア (初期値)
1	未読メッセージのオーバライト [セット条件] UMSR (未読メッセージステータスレジスタ) がセットされたとき

ビット0：メールボックス空き割り込みフラグ (IRR8)

メールボックスに次の送信メッセージを格納できることを示すステータスフラグです。

ビット0	説 明
IRR8	
0	[クリア条件] 1 書き込み (初期値)
1	送信メッセージが送信または取り消され新規メッセージ格納可能 [セット条件] TXPR (送信待ちレジスタ) が送信完了および送信取り消し完了によりクリアされたとき

16.2.12 メールボックスインタラプトマスクレジスタ (MBIMR)

メールボックスインタラプトマスクレジスタ (MBIMR) は 16 ビットのレジスタです。

ビット:	15	14	13	12	11	10	9	8
	MBIMR7	MBIMR6	MBIMR5	MBIMR4	MBIMR3	MBIMR2	MBIMR1	MBIMR0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	MBIMR15	MBIMR14	MBIMR13	MBIMR12	MBIMR11	MBIMR10	MBIMR9	MBIMR8
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

メールボックスインタラプトマスクレジスタ (MBIMR) は 16 ビットの読み出し / 書き込み可能なレジスタで、各メールボックス (バッファ) の割り込み要求を許可 / 禁止するフラグです。

ビット 15~0: メールボックスインタラプトマスク (MBIMR7~0、MBIMR15~8)

各メールボックスの割り込み要求を許可 / 禁止するフラグです。

ビット x	説明
MBIMRx	
0	[送信時] TXPR のクリアにより CPU へ割り込み要求 [受信時] RXPR のセットにより CPU へ割り込み要求
1	CPU への割り込み要求を禁止 (初期値)

16.2.13 インタラプトマスクレジスタ (IMR)

インタラプトマスクレジスタ (IMR) は 16 ビットのレジスタです。

ビット :	15	14	13	12	11	10	9	8
	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	—
初期値 :	1	1	1	1	1	1	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—
ビット :	7	6	5	4	3	2	1	0
	—	—	—	IMR12	—	—	IMR9	IMR8
初期値 :	1	1	1	1	1	1	1	1
R/W :	R	R	R	R/W	R	R	R/W	R/W

インタラプトマスクレジスタ (IMR) は 16 ビットの読み出し / 書き込み可能なレジスタで、各割り込み要因の要求を許可 / 禁止するフラグです。

ビット 15 : オーバロードフレーム割り込みマスク (IMR7)

オーバロードフレーム割り込み要求の許可 / 禁止を選択します。

ビット 15	説明
IMR7	
0	IRR7 による CPU へのオーバロードフレーム割り込み要求 (OVR) を許可
1	IRR7 による CPU へのオーバロードフレーム割り込み要求 (OVR) を禁止 (初期値)

ビット 14 : バスオフ割り込みマスク (IMR6)

送信エラーカウンタによるバスオフ割り込み要求の許可 / 禁止を選択します。

ビット 14	説明
IMR6	
0	IRR6 による CPU へのバスオフ割り込み要求 (ERS) を許可
1	IRR6 による CPU へのバスオフ割り込み要求 (ERS) を禁止 (初期値)

ビット 13 : エラーパッシブ割り込みマスク (IMR5)

送信 / 受信エラーカウンタによるエラーパッシブ割り込み要求の許可 / 禁止を選択します。

ビット 13	説明
IMR5	
0	IRR5 による CPU へのエラーパッシブ割り込み要求 (ERS) を許可
1	IRR5 による CPU へのエラーパッシブ割り込み要求 (ERS) を禁止 (初期値)

ビット 12：受信オーバーロードワーニング割り込みマスク (IMR4)

受信エラーカウンタによるエラーワーニング割り込み要求の許可 / 禁止を選択します。

ビット 12	説 明
IMR4	
0	IRR4 による CPU への REC エラーワーニング割り込み要求 (OVR) を許可
1	IRR4 による CPU への REC エラーワーニング割り込み要求 (OVR) を禁止 (初期値)

ビット 11：送信オーバーロードワーニングマスク (IMR3)

送信エラーカウンタによるエラーワーニング割り込み要求の許可 / 禁止を選択します。

ビット 11	説 明
IMR3	
0	IRR3 による CPU への TEC エラーワーニング割り込み要求 (OVR) を許可
1	IRR3 による CPU への TEC エラーワーニング割り込み要求 (OVR) を禁止 (初期値)

ビット 10：リモートフレームリクエスト割り込みマスク (IMR2)

リモートフレーム受信割り込み要求の許可 / 禁止を選択します。

ビット 10	説 明
IMR2	
0	IRR2 による CPU へのリモートフレーム受信割り込み要求 (OVR) を許可
1	IRR2 による CPU へのリモートフレーム受信割り込み要求 (OVR) を禁止 (初期値)

ビット 9：受信メッセージ割り込みマスク (IMR1)

メッセージ受信割り込み要求の許可 / 禁止を選択します。

ビット 9	説 明
IMR1	
0	IRR1 による CPU へのメッセージ受信割り込み要求 (RM) を許可
1	IRR1 による CPU へのメッセージ受信割り込み要求 (RM) を禁止 (初期値)

ビット 8：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7~5、3、2：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

16. コントローラエリアネットワーク (HCAN)

ビット4：バス動作割り込みマスク (IMR12)

スリープモード中のバス動作による割り込み要求の許可/禁止を選択します。

ビット4	説明
IMR12	
0	IRR12 による CPU へのバス動作割り込み要求 (OVR) を許可
1	IRR12 による CPU へのバス動作割り込み要求 (OVR) を禁止 (初期値)

ビット1：未読割り込みマスク (IMR9)

受信未読メッセージのオーバーライト割り込み要求の許可/禁止を選択します。

ビット1	説明
IMR9	
0	IRR9 による CPU への未読メッセージオーバーライト割り込み要求 (OVR) を許可
1	IRR9 による CPU への未読メッセージオーバーライト割り込み要求 (OVR) を禁止 (初期値)

ビット0：メールボックス空き割り込みマスク (IMR8)

メールボックス空き割り込み要求の許可/禁止を選択します。

ビット0	説明
IMR8	
0	IRR8 による CPU へのメールボックス空き割り込み要求 (SLE) を許可
1	IRR8 による CPU へのメールボックス空き割り込み要求 (SLE) を禁止 (初期値)

16.2.14 受信エラーカウンタ (REC)

受信エラーカウンタ (REC) は 8 ビットのレジスタです。

ビット：	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

受信エラーカウンタ (REC) は 8 ビットの読み出し可能なレジスタで、CAN バス上の受信メッセージエラーを示すカウンタです。カウント数は CAN プロトコルで規定されています。書き込みは無効です。

16.2.15 送信エラーカウンタ (TEC)

送信エラーカウンタ (TEC) は 8 ビットのレジスタです。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

送信エラーカウンタ (TEC) は 8 ビットの読み出し可能なレジスタで、CAN バスに送信するメッセージエラーを示すカウンタです。カウント数は CAN プロトコルで規定されています。書き込みは無効です。

16.2.16 未読メッセージステータスレジスタ (UMSR)

未読メッセージステータスレジスタ (UMSR) は 16 ビットのレジスタです。

ビット:	15	14	13	12	11	10	9	8
	UMSR7	UMSR6	UMSR5	UMSR4	UMSR3	UMSR2	UMSR1	UMSR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	7	6	5	4	3	2	1	0
	UMSR15	UMSR14	UMSR13	UMSR12	UMSR11	UMSR10	UMSR9	UMSR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

未読メッセージステータスレジスタ (UMSR) は 16 ビットの読み出し / 書き込み可能なレジスタで、各メールボックス (バッファ) で受信したメッセージを読み出す前に新たな受信メッセージによって上書きされたことを示すステータスレジスタです。

なお、新規受信メッセージにより上書きされた場合は古いデータは失われます。

ビット 15~0: 未読メッセージステータスフラグ (UMSR7~0、UMSR15~8)

受信未読メッセージをオーバーライトしたことを示すステータスフラグです。

ビット x	説明
UMSRx	
0	[クリア条件] 1 書き込み (初期値)
1	メッセージを受信後未読のまま新規メッセージをオーバーライト [セット条件] RXPR をクリアする前に新規メッセージを受信したとき

X = 0 ~ 15

16.2.17 ローカルアクセプタンスフィルタマスク (LAFML、LAFMH)

ローカルアクセプタンスフィルタマスク (LAFML、LAFMH) は 16 ビットのレジスタです。

LAFML

ビット :	15	14	13	12	11	10	9	8
	LAFML7	LAFML6	LAFML5	LAFML4	LAFML3	LAFML2	LAFML1	LAFML0

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 7 6 5 4 3 2 1 0

LAFML15	LAFML14	LAFML13	LAFML12	LAFML11	LAFML10	LAFML9	LAFML8
---------	---------	---------	---------	---------	---------	--------	--------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

LAFMH

ビット :	15	14	13	12	11	10	9	8
	LAFMH7	LAFMH6	LAFMH5	—	—	—	LAFMH1	LAFMH0

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R R R R/W R/W

ビット : 7 6 5 4 3 2 1 0

LAFMH15	LAFMH14	LAFMH13	LAFMH12	LAFMH11	LAFMH10	LAFMH9	LAFMH8
---------	---------	---------	---------	---------	---------	--------	--------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ローカルアクセプタンスフィルタ (LAFML、LAFMH) は 16 ビットの読み出し / 書き込み可能なレジスタで、受信専用メールボックス (MC0、MD0) に格納される受信メッセージを Identifier によってフィルタリングするものです。LAFMH15 (MSB) ~ LAFMH5 (LSB) はスタンダード / エクステンデッド Identifier 用 11 ビットに対応しています。また、LAFMH1 (MSB) ~ LAFML0 (LSB) はエクステンデッド Identifier 用 18 ビットに対応しています。

LAFMH ビット 15～13、7～0：11 ビット Identifier 用フィルタ (LAFMH7～5、LAFMH15～8)

受信メッセージ Identifier の初めの 11 ビット (スタンダード/エクステンデッド共用) 用のフィルタマスクです。

ビット X	説 明
LAFMHx	
0	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致により MC0、MD0 (受信専用メールボックス) に格納 (初期値)
1	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致にかかわらず MC0、MD0 (受信専用メールボックス) に格納

ビット 12～10：予約ビット

読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

LAFMH ビット 9、8、LAFML ビット 15～0：18 ビット Identifier 用フィルタ

(LAFMH1、0、LAFML7～0、LAFML15～8)

受信メッセージ Identifier の 18 ビット (エクステンデッド) 用のフィルタマスクです。

ビット X	説 明
LAFMHx LAFMLx	
0	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致により MC0 (受信専用メールボックス) に格納 (初期値)
1	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致にかかわらず MC0 (受信専用メールボックス) に格納

16.2.18 メッセージコントロール (MC0～MC15)

メッセージコントロール (MC0～MC15) は 8 ビット × 8 本 (MCx[1]～MCx[8]) のレジスタです。HCAN には本レジスタを 16 セット (MC0～MC15) あります。

本レジスタは読み出し書き込み可能なレジスタです。初期値は不定となりますので必ず初期設定(0 または 1 書き込み)をしてください。

16. コントローラエリアネットワーク (HCAN)

MCx[1]	7	6	5	4	3	2	1	0
ビット:					DLC3	DLC2	DLC1	DLC0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2]	7	6	5	4	3	2	1	0
ビット:								
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3]	7	6	5	4	3	2	1	0
ビット:								
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4]	7	6	5	4	3	2	1	0
ビット:								
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5]	7	6	5	4	3	2	1	0
ビット:	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6]	7	6	5	4	3	2	1	0
ビット:	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7]	7	6	5	4	3	2	1	0
ビット:	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8]	7	6	5	4	3	2	1	0
ビット:	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MCx[1]ビット7~4: 予約ビット

初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[1]ビット3~0: データ長コード (DLC3~0)

データフレームおよびリモートフレームでの要求のデータ長を示します。

ビット3	ビット2	ビット1	ビット0	説明
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	データ長: 0 バイト
			1	データ長: 1 バイト
		1	0	データ長: 2 バイト
			1	データ長: 3 バイト
	1	0	0	データ長: 4 バイト
			1	データ長: 5 バイト
		1	0	データ長: 6 バイト
			1	データ長: 7 バイト
1	*	*	*	データ長: 8 バイト

【注】 * don't care

MCx[2]ビット7~0: 予約ビット

初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[3]ビット7~0: 予約ビット

初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[4]ビット7~0: 予約ビット

初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[6]ビット7~0: スタンダード Identifier (STD_ID10~STD_ID3)

MCx[5]ビット7~5: スタンダード Identifier (STD_ID2~STD_ID0)

データフレーム、リモートフレームの Identifier (スタンダード Identifier) を設定します。

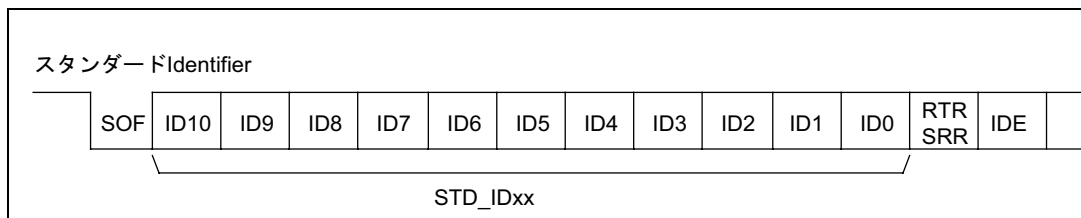


図 16.3 スタンダード Identifier

16. コントローラエリアネットワーク (HCAN)

MCx[5]ビット 4 : リモートトランスミッションリクエスト (RTR)
データフレームとリモートフレームを識別するためのものです。

ビット 4	説 明
RTR	
0	データフレーム
1	リモートフレーム

MCx[5]ビット 3 : Identifier エクステンション (IDE)

データフレーム、リモートフレームのスタンダードフォーマットおよびエクステンデッドフォーマットを識別するためのものです。

ビット 3	説 明
IDE	
0	スタンダードフォーマット
1	エクステンデッドフォーマット

MCx[5]ビット 2 : 予約ビット

初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[5]ビット 1、0 : エクステンデッド Identifier (EXD_ID17、EXD_ID16)

MCx[8]ビット 7~0 : エクステンデッド Identifier (EXD_ID15~EXD_ID8)

MCx[7]ビット 7~0 : エクステンデッド Identifier (EXD_ID7~EXD_ID0)

データフレーム、リモートフレームの Identifier (エクステンデッド Identifier) を設定します。

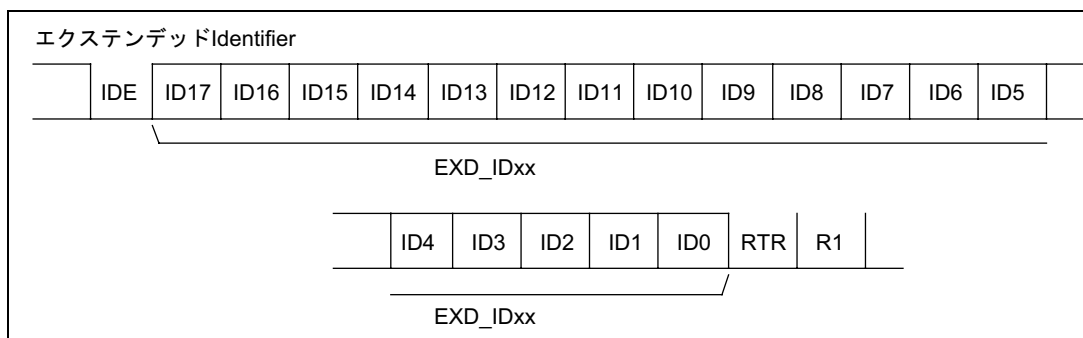


図 16.4 エクステンデッド Identifier

16.2.19 メッセージデータ (MD0~MD15)

メッセージデータ (MD0~MD15) は 8 ビット×8 本 (MDx[1]~MDx[8]) のレジスタです。HCAN には本レジスタが 16 セット (MD0~MD15) あります。

本レジスタは読み出し書き込み可能なレジスタです。初期値は不定となりますので必ず初期設定(0 または 1 書き込み) をしてください。

MDx[1]	メッセージデータ1							
ビット:	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MDx[2]	メッセージデータ2							
ビット:	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MDx[3]	メッセージデータ3							
ビット:	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MDx[4]	メッセージデータ4							
ビット:	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MDx[5]	メッセージデータ5							
ビット:	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MDx[6]	メッセージデータ6							
ビット:	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MDx[7]	メッセージデータ7							
ビット:	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MDx[8]	メッセージデータ8							
ビット:	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3 動作説明

本 LSI には 2 チャンネルの HCAN モジュールが内蔵しており各モジュールは独立に制御します。両モジュールの仕様は端子状態以外は同一です。したがって、制御方法も同じように行ってください。

16.3.1 ハードウェアリセットとソフトウェアリセット

HCAN をリセットする方法としてハードウェアリセットとソフトウェアリセットがあります。

(1) ハードウェアリセット (パワーオンリセット、ハードウェア/ソフトウェアスタンバイ)

HCAN 内の MCR のリセットリクエストビット (MCR0) と GSR のリセットステートビット (GSR3) を自動的にセットすることで初期化します (ハードウェアリセット)。同時に内部レジスタはすべて初期化されます。ただし、メールボックスは初期化されません。本リセットのフローを図 16.5 に示します。

(2) ソフトウェアリセット (MCR0 への書き込み)

通常動作時には MCR のリセットリクエストビット (MCR0) をセットすることで初期化します (ソフトウェアリセット)。本リセットでは CAN コントローラが通信動作中 (送信または受信) であった場合、そのメッセージを完全に終了するまで待って初期化状態に遷移します。初期化期間中は GSR のリセットステートビット (GSR3) をセットします。本初期化ではエラーカウンタ (TEC、REC) は初期化されますが、他のレジスタおよび RAM は初期化されません。本リセットのフローを図 16.6 に示します。

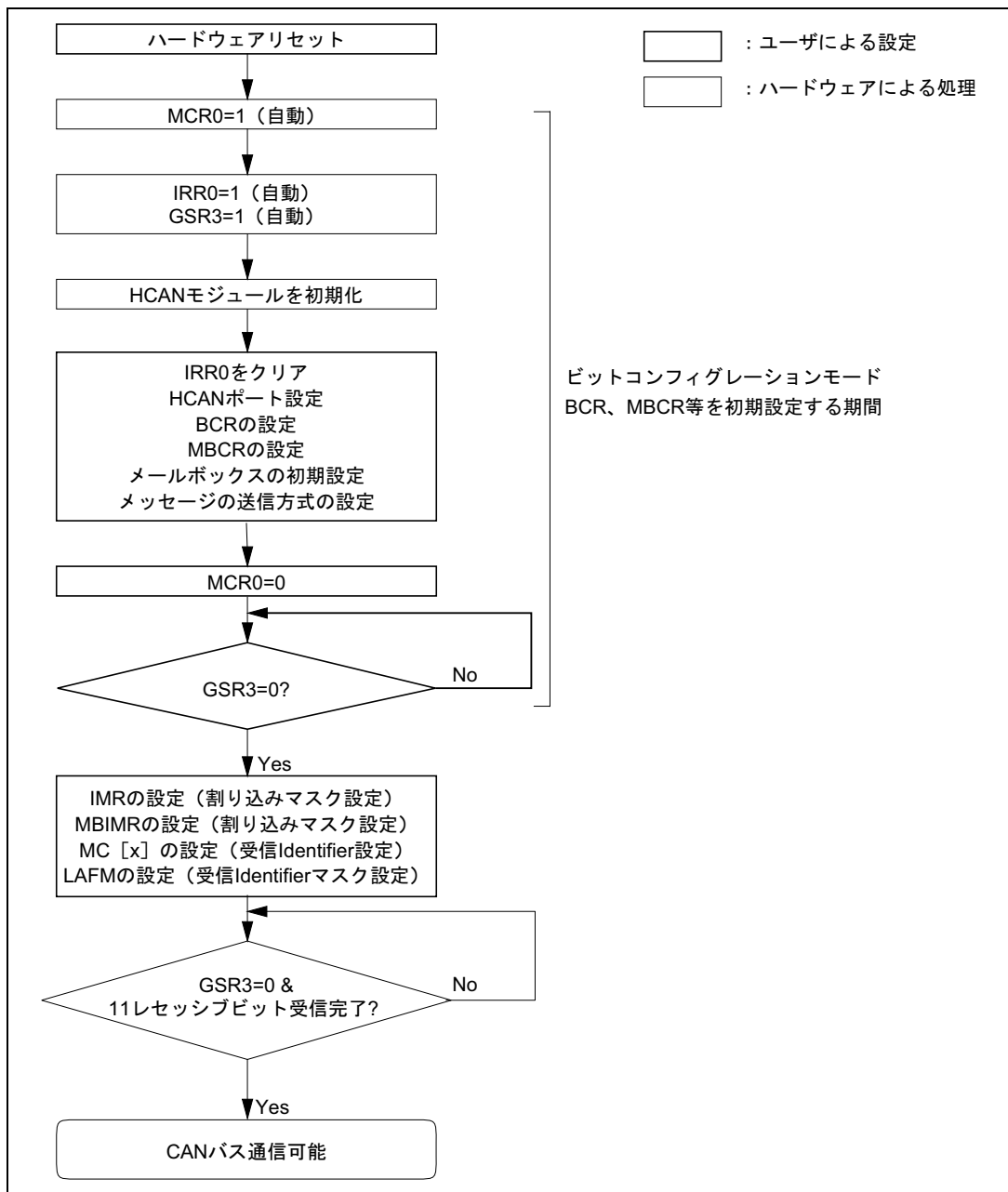


図 16.5 ハードウェアリセット時のフローチャート

16. コントローラエリアネットワーク (HCAN)

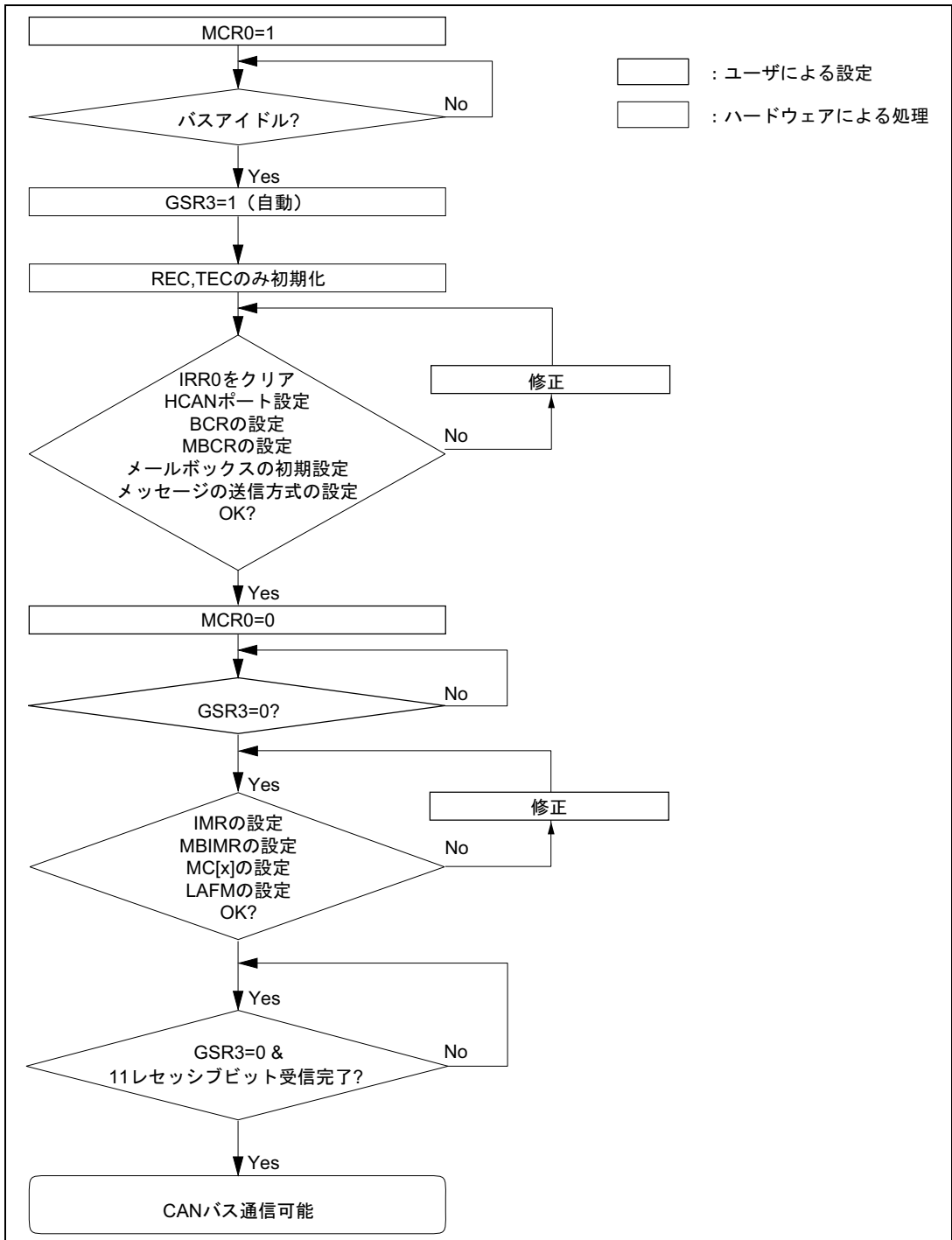


図 16.6 ソフトウェアリセット時のフローチャート

16.3.2 ハードウェアリセット後の初期設定

ハードウェアリセット後は、初期設定として下記の処理を行ってください。

- (1) インタラプトレジスタ (IRR) の IRR0 ビットのクリア
- (2) HCAN 端子のポート設定
- (3) ビットレートの設定
- (4) メールボックスの送信 / 受信の設定
- (5) メールボックス (バッファ) の初期設定
- (6) メッセージの送信方式の設定

なお、本初期設定は必ず HCAN がビットコンフィグレーションモード中に行ってください。コンフィグレーションモードとはマスタコントロールレジスタ (MCR) のリセットリクエストビット (MCR0) が 1 の状態からジェネラルステータスレジスタ (GSR) のリセットステータスビットが 1 (GSR3=1) の状態です。コンフィグレーションモードの解除は MCR のリセットリクエストビットを 0 クリアすることで行いますが、MCR0=0 とすることで HCAN は自動的にジェネラルステータスレジスタ (GSR) のリセットステータスビット (GSR3) をクリアします。その後パワーアップシーケンスに入り、終了した時点で CAN バスと通信可能になります。パワーアップシーケンスとは 11 ビット連続レセツピットを検出することです。

- (1) インタラプトレジスタ (IRR) の IRR0 ビットのクリア

パワーオンリセット投入後、およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。割り込み許可することで直ちに HCAN の割り込みが入るため、IRR0 をクリアしてください。

- (2) HCAN 端子ポート設定

HCAN ポート設定は必ず、ビットコンフィグレーション中またはそれ以前に行ってください。設定方法の詳細は「第 20 章 ピンファンクションコントローラ (PFC)」を参照ください。

本 LSI は 2 チャンネルの HCAN を内蔵しており、2 種類の使用方法があります。

- (1) 2チャンネルの16バッファHCAN
- (2) 1チャンネルの32バッファHCAN

図 16.7 に 2 チャンネル 16 バッファ独立、図 16.8 に 2 チャンネル 32 バッファの例を示します。

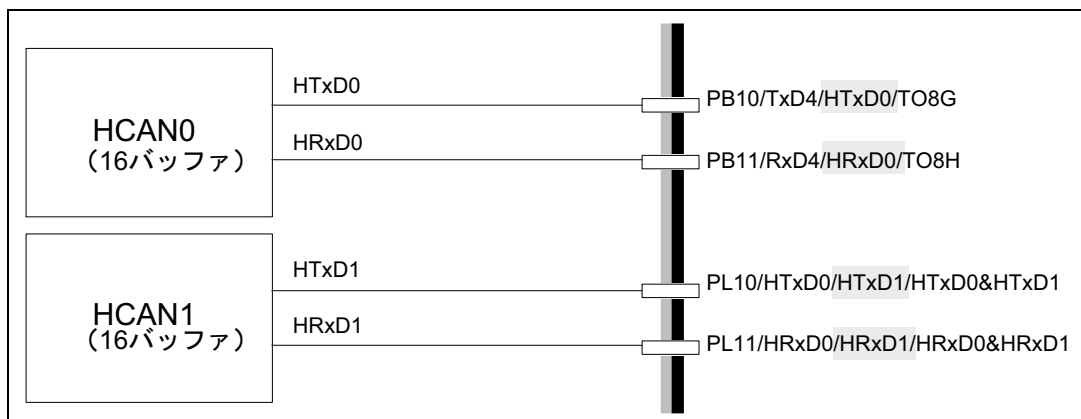


図 16.7 2 チャンネル 16 バッファ独立の例

16. コントローラエリアネットワーク (HCAN)

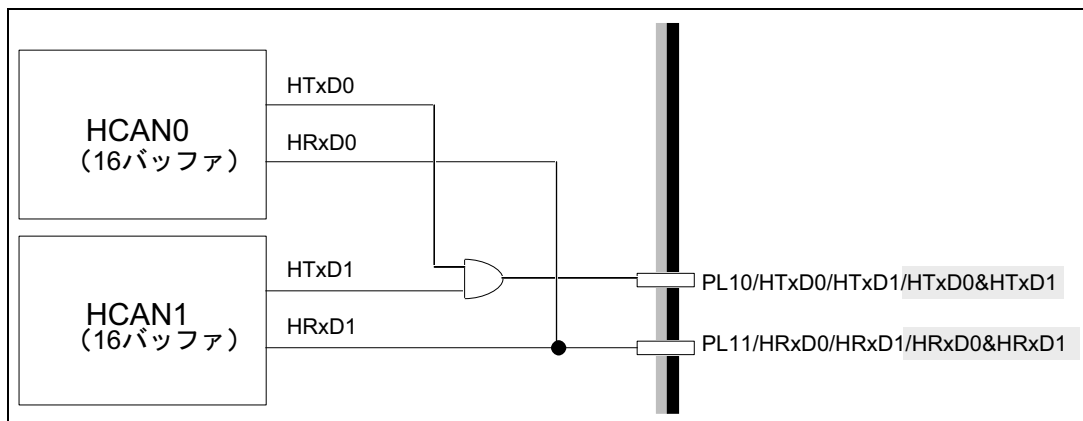


図 16.8 1チャンネル 32 バッファの例

(3) ビットレートの設定

ビットレート設定は CAN ノードが通信を開始するにあたりボーレートの設定およびビットタイミングを設定する必要があります。ボーレートの設定およびビットタイミング設定はビットコンフィグレーションレジスタ (BCR) によって行います。

(a) 注意事項

- BCR の書き込みは常に可能です。ただし、コンフィグレーションモード以外では変更しないでください。
- CAN バスに接続している CAN コントローラはすべて同一ボーレートおよび同一ビット幅となるよう設定してください。
- 設定可能な変数 (TSEG1、TSEG2、BRP、サンプルポイント、SJW) の制限を表 16.5 に示します。

表 16.5 BCR 設定での制限

名称	略称	Min. 値	Max. 値	単位
タイムセグメント 1	TSEG1	4	16	TQ
タイムセグメント 2	TSEG2	2	8	TQ
ボーレートプリスケアラ	BRP	2	128	システムクロック
サンプルポイント	SAM	1	3	ポイント
Re-Synchronization Jump Width	SJW	1	4	TQ

(b) 設定可能な変数の制限

- ビット幅とは設定可能な Time Quanta (TQ) の合計で構成されています。TQ (システムクロック数) はボーレートプリスケアラ (BRP) によって決まります。

$$TQ = (2 \times (BRP + 1)) / f_{CLK} \quad f_{CLK} = P$$

- SJW は CAN 仕様で規定されています。

$$4 \leq SJW \leq 1$$

- TSEG1 の最小値は CAN 仕様で規定されています。

TSEG1 > TSEG2

- TSEG2 の最小値は CAN 仕様で規定されています。

TSEG2 (1+SJW)

ボーレートの計算は下記の式を用いて計算を行います。

$$\text{ビットレート} = \frac{f_{\text{CLK}}}{2 \times (\text{BRP}+1) \times (3+\text{TSEG1}+\text{TSEG2})} \quad [\text{b/s}]$$

【注】 $f_{\text{CLK}} = P\phi$ (周辺クロック: $\phi/2$)
BRP、TSEG1、TSEG2はBCR値を使用。

例：ボーレートを 1Mb/s で入力クロックを 40MHz で設定した場合

$$1\text{Mb/s} = \frac{20\text{MHz}}{2 \times (0+1) \times (3+4+3)}$$

	設定値	実際値
f_{CLK}	40MHz/2	-
BRP	0 (B'000000)	システムクロック × 2
TSEG1	4 (B'0100)	5TQ
TSEG2	3 (B'011)	4TQ

(4) メールボックス送信 / 受信の設定

HCAN0、1 は各 16 本のメールボックスがあります。メールボックス 0 は受信専用で、メールボックス 1 ~ 15 は送信 / 受信設定可能です。送信 / 受信設定メールボックスに関しては通信開始する前にメールボックスを送信として使用するか受信として使用するかを設定します。なお、メールボックス 1 ~ 15 は初期状態では送信用となっております (メールボックス 0 は受信のみ)。ソフトウェアリセットではメールボックス送信 / 受信の設定は初期化されません。

(a) 送信用に設定

送信用メールボックスの設定 (メールボックス 1 ~ 15)

メールボックスコンフィグレジスタ (MBCR) の対応するメールボックスを 0 に設定することで指定のメールボックスを送信用に設定します。

なお、リセット後初期設定でメールボックスは送信用となるため設定は不要です。

(b) 受信用に設定

送信 / 受信メールボックスの設定 (メールボックス 1 ~ 15)

メールボックスコンフィグレジスタ (MBCR) の対応するメールボックスに 1 をセットすることで指定のメールボックスを受信用に設定します。

なお、受信用に設定する場合、メッセージ送信効率向上のために優先順位の高いメッセージをメールボックスの昇順 (優先順位: メールボックス 1 (MCx[1]) > メールボックス 15 (MCx[15])) に設定するようにしてください。

(c) 受信専用メールボックス (メールボックス 0)

設定は不要です。常時受信用となっております。

(5) メールボックス (メッセージコントロール / データ (MCx[x]、MDx[x])) の初期設定

電源供給後はレジスタおよびメールボックスすべて (メッセージコントロール / データ、コントロールレジスタ、ステータスレジスタ等) が初期化されます。メッセージコントロール / データ (MCx[x]、MDx[x]) だけは RAM であるため値は不定となります。したがってメールボックス内の値をすべて初期設定 (0 または 1 書き込み) してください。

(6) メッセージ送信方式の設定

メッセージの送信には 2 通りの送信方式があります。送信方式の設定はマスタコントロールレジスタ (MCR) のメッセージ送信方式ビット (MCR2) で行います。

(a) メールボックス番号の優先順位により送信の順番を決定

(b) メッセージ Identifier の優先順位により送信の順番を決定

(a) に設定した場合、複数メッセージを同時に送信待ち (TXPR=1) にするとメールボックス番号の昇順 (優先順位: メールボックス 1 > 15) でメッセージが送信バッファに格納されます。その後送信バッファ内のメッセージは CAN バスとアービトレーションを行い、バス権を獲得すればメッセージの送信を行います。

(b) に設定した場合、複数メッセージを同時に送信待ち (TXPR=1) にすると内部アービトレーションを行い、メッセージの Identifier (MCx[5] ~ [8]) に設定されている優先順位の最も高いメッセージが送信バッファに格納されます。その後送信バッファ内のメッセージは CAN バスとアービトレーションを行い、送信権を獲得すればメッセージの送信を行います。なお、TXPR をセットすることで、再度内部アービトレーションを行い優先順位の最も高いメッセージを探し、送信バッファに格納します。

16.3.3 送信モード

メッセージの送信はメールボックス 1~15 を用いて行います。送信方法は下記の手順で行います。図 16.9 に送信時のフローチャートを示します。

(1) 初期設定 (ハードウェアリセット後のみ)

- インタラプトレジスタ (IRR) の IRR0 ビットのクリア
- HCAN 端子のポート設定
- ビットレートの設定
- メールボックス送信 / 受信の設定
- メールボックスの初期設定
- メッセージ送信方式の設定

(2) 割り込みおよび送信データの設定

- 割り込みの設定
- アービトレーションフィールドの設定
- コントロールフィールドの設定
- データフィールドの設定

(3) メッセージ送信および割り込み

- メッセージ送信待ち
- メッセージ送信完了および割り込み
- メッセージ送信取り消し
- メッセージの再送信

(1) 初期設定 (ハードウェアリセット後のみ)

本設定は必ず HCAN がビットコンフィグレーションモードのときに行ってください。

(a) IRR0 をクリア

パワーオンリセット投入後、およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。割り込み許可することで直ちに HCAN の割り込みが入るため、IRR0 をクリアしてください。

(b) HCAN 端子のポート設定

CAN バスデータの誤認識を避けるために初めに HCAN 端子のポートを設定してください。詳しくは、「16.3.2(2) HCAN 端子ポート設定」および「第 20 章 ピンファンクションコントローラ (PFC)」を参照してください。

(c) ビットレートの設定

CAN バスでの通信速度および Re-Synchronization に関する値を設定してください。詳しくは、「16.3.2(3) ビットレートの設定」を参照してください。

(d) メールボックス送信 / 受信の設定

メールボックスの送信 / 受信のあらかじめ設定して使用します。送信用に設定可能なメールボックスは HCAN0, HCAN1 に各 1~15 の合計 30 本あります。送信に設定する場合はメールボックスコンフィグレジスタ (MBCR) の対応するビットを 0 に設定してください。詳しくは、「16.3.2(4) メールボックス送信 / 受信の設定」を参照してください。

(e) メールボックスの初期設定

メッセージコントロール/データ (MCx[x],MDx[x]) は RAM で構成されているため、電源投入後の初期値は不定です。そのため必ずビットを初期化する必要があります。メールボックスに 0 または 1 の値を書き込んでください。詳しくは、「16.3.2 (5) メールボックス (メッセージコントロール/データ (MCx[x], MDx[x])) の初期設定」を参照してください。

(f) メッセージ送信方式の設定

送信に設定したメールボックスの送信方式を設定します。送信方式として 2 種類あります。詳しくは、「16.3.2 (6) メッセージ送信方式の設定」を参照してください。

- メッセージ Identifier の優先順位により送信の順番を決定
- メールボックス番号の優先順位により送信の順番を決定

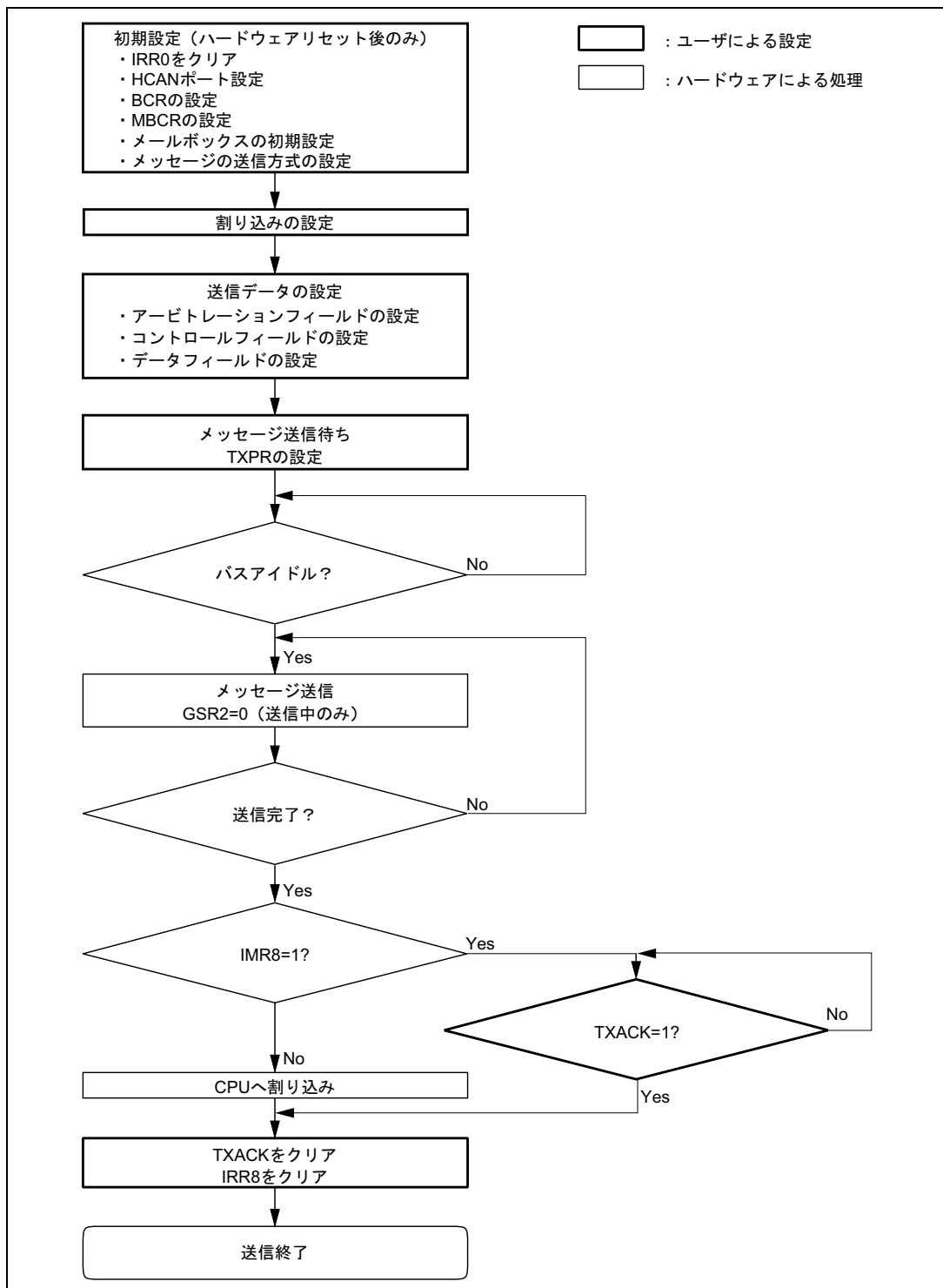


図 16.9 送信時のフローチャート

(2) 割り込みおよび送信データの設定

メールボックスの初期設定が終了すると次に CPU への割り込み要因の設定および送信するデータを設定します。割り込み要因の設定はメールボックスのメールボックスインタラプトマスクレジスタ (MBIMR)、インタラプトマスクレジスタ (IMR) で行い、送信データの設定は対応するメッセージコントロール (MCx[1] ~ [8]) およびメッセージデータ (MDx[1] ~ [8]) に下記の (b) (c) (d) のうち必要なデータを書き込みます。

(a) CPU への割り込み要因の設定

メールボックスインタラプトレジスタ (MBIMR) で各メールボックスに対応して、送信用の場合は送信アクノレッジおよび取り消しアクノレッジの割り込みをマスクすることができます。インタラプトマスクレジスタ (IMR) でインタラプトレジスタ (IRR) の割り込みをマスクすることができます。

(b) アービトレーションフィールド

アービトレーションフィールドでは、11 ビットの Identifier (STD_ID0 ~ 10) と RTR ビット (スタンダードフォーマット) または 29 ビットの Identifier (STD_ID0 ~ 10, EXT_ID0 ~ 17) と IDE, RTR ビット (エクステンデッドフォーマット) を設定します。設定するレジスタは MCx[5] ~ [8] です。

(c) コントロールフィールド

コントロールフィールドでは、送信するデータのバイト長を DLC0 ~ 3 に設定します。設定するレジスタは MCx[1] です。

(d) データフィールド

データフィールドでは、送信するデータを任意に 0 ~ 8 バイトの範囲でバイト単位で設定します。設定するレジスタは MDx[1] ~ [8] です。

なお、実際に送信されるデータのバイト数はコントロールフィールド内のデータ長コード (DLC) 値に依存します。データフィールドに DLC に設定している値より多く設定しても実際送信されるのは DLC のバイト数のみです。

(3) メッセージ送信および割り込み

(a) メッセージ送信待ち

メッセージコントロール (MCx[1] ~ [8])、メッセージデータ (MDx[1]1 ~ [8]) の設定終了後メッセージ送信する場合は送信待ちレジスタ (TXPR) の対応するメールボックスの送信待ちビット (TXPR1 ~ 15) を 1 にセットすることで送信開始されます。メッセージの送信には 2 通りの送信方式があります。

- (1) メッセージ Identifier の優先順位により送信の順番を決定
- (2) メールボックス番号の優先順位により送信の順番を決定

(1) に設定した場合、複数メッセージを同時に送信待ち (TXPR=1) にすると内部アービトレーションを行い、メッセージの Identifier (MCx[5] ~ [8]) に設定されている優先順位の最も高いメッセージが送信バッファに格納されます。その後送信バッファ内のメッセージは CAN バスとアービトレーションを行い、送信権を獲得すればメッセージの送信を行います。なお、TXPR をセットすることで、再度内部アービトレーションを行い優先順位の最も高いメッセージを探し、送信バッファに格納し、同様に CAN バスとアービトレーションを行い、送信権を獲得すればメッセージの送信を行います。

(2) に設定した場合、複数メッセージを同時に送信待ち (TXPR=1) にするとメールボックス番号の昇順 (優先順位: メールボックス 1 > 15) でメッセージが送信バッファに格納されます。その後送信バッファ内のメッセージは CAN バスとアービトレーションを行い、バス権を獲得すればメッセージの送信を行います。

(b) メッセージ送信完了および割り込み

上記の手順でメッセージが正常に送信されると、送信アクノレッジレジスタ (TXACK) の対応するアクノレッジビット (TXACK1 ~ 15) と送信待ちレジスタ (TXPR) の送信待ちビット (TXPR1 ~ 15) が自動的に初期化されます。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR1 ~ 15) とインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IRR8) が割り込み許可に設定されていると CPU への割り込みを発生することができます。

(c) メッセージ送信取り消し

メールボックスに送信待ちとして格納されたメッセージに対して、送信取り消しを指定することが可能です。送信待ちメッセージを取り消すためには送信待ち取り消しレジスタ (TXCR) の対応するメールボックスのビット (TXCR1 ~ 15) を 1 にセットします。取り消しが実行されると自動的に送信待ちレジスタ (TXPR) をリセットし、取り消しアクノレッジレジスタ (ABACK) の対応するビットが 1 にセットされます。CPU への割り込みを発生することができます。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR1 ~ 15) とインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IRR8) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。

ただし、下記条件では送信待ちメッセージを取り消すことはできません。

- 内部アービトレーションおよび CAN バスアービトレーション期間中
- データフレーム、リモートフレーム送信中

また、送信待ちレジスタ (TXPR) をクリアしても送信取り消しはできません。図 16.10 に送信メッセージの取り消しフローチャートを示します。

(d) メッセージの再送信

送信メッセージが下記条件で送信を中断すると自動的にメッセージの再送信が行われます。

- CAN バスアービトレーション負け (バス権獲得に失敗)
- 送信中のエラー (ビットエラー、スタッフエラー、CRC エラー、フレームエラー、ACK エラー)

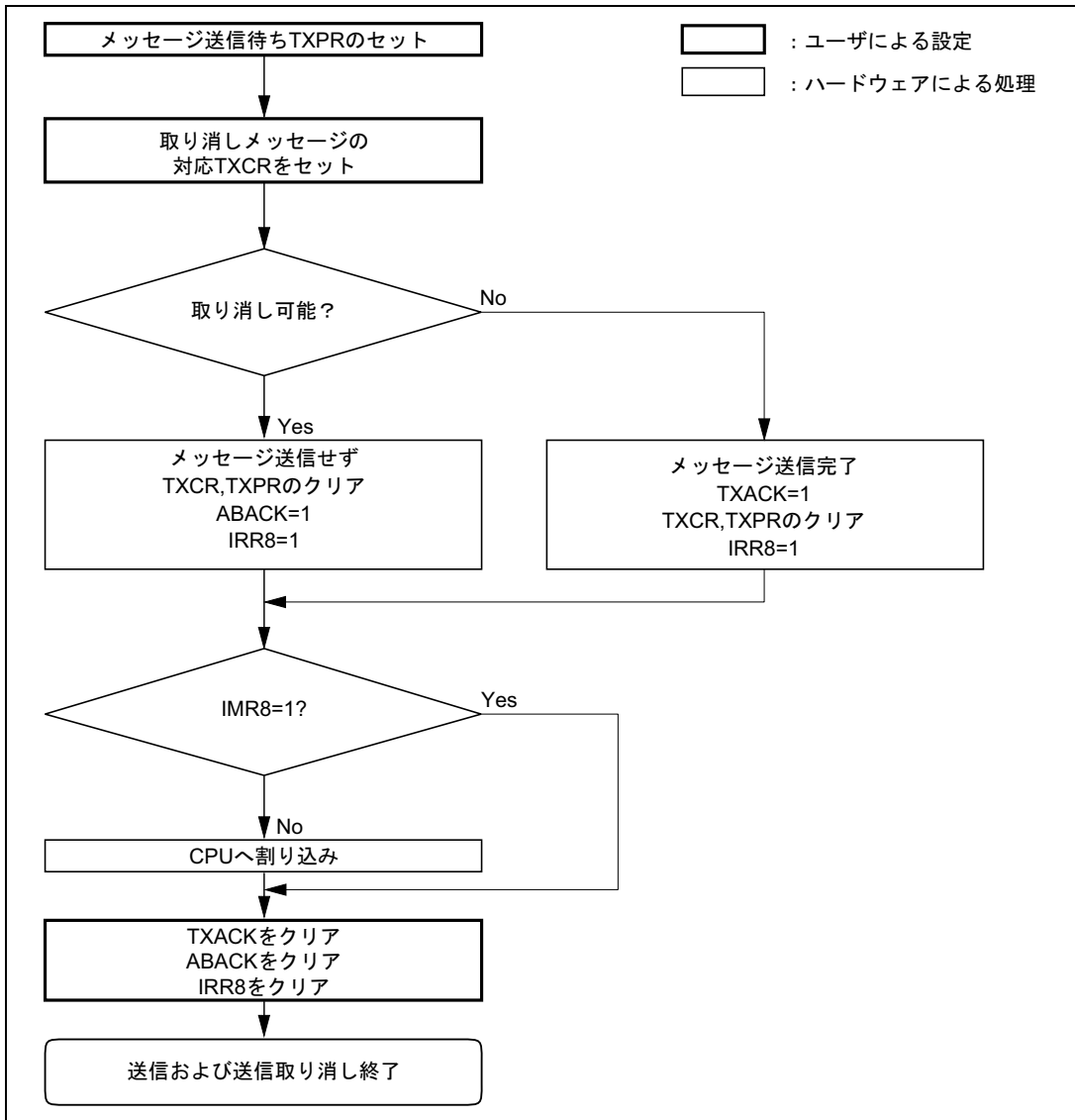


図 16.10 送信メッセージの取り消しのフローチャート

16.3.4 受信モード

メッセージの受信はメールボックス 0~15 を用いて行います。受信方法は下記の手順で行います。
 図 16.11 に受信時のフローチャートを示します。

- (1) 初期設定 (ハードウェアリセット後のみ)
 - インタラプトレジスタ (IRR) の IRR0 ビットのクリア
 - HCAN 端子のポート設定
 - ビットレートの設定
 - メールボックス送信 / 受信の設定
 - メールボックスの初期設定
- (2) 割り込みおよび受信メッセージの設定
 - 割り込みの設定
 - アービトレーションフィールドの設定
 - ローカルアクセプタンスフィルタマスク (LAFM) の設定
- (3) メッセージ受信および割り込み
 - メッセージ受信の CRC チェック
 - データフレーム受信
 - リモートフレーム受信
 - 未読メッセージ受信

(1) 初期設定 (ハードウェアリセット後のみ)

本設定は必ず HCAN がビットコンフィグレーションモードのときに行ってください。

(a) IRR0 をクリア

パワーオンリセット投入後、およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。割り込み許可することで直ちに HCAN の割り込みが入るため、IRR0 をクリアしてください。

(b) HCAN 端子のポート設定

CAN バスデータの誤認識を避けるために初めに HCAN 端子のポートを設定してください。詳しくは、「16.3.2(2) HCAN 端子ポート設定」および「第 20 章 ピンファンクションコントローラ (PFC)」を参照してください。

(c) ビットレートの設定

CAN バスでの通信速度および Re-Synchronization に関する値を設定してください。詳しくは、「16.3.2(3) ビットレートの設定」を参照してください。

(d) メールボックス送信 / 受信の設定

各チャンネルのメールボックス 0 は受信専用であり、その他受信用に設定可能なメールボックスは各チャンネル 15 の合計 32 本です。受信用に設定する場合はメールボックスコンフィグレーションレジスタ (MBCR) の対応するビットを 1 に設定してください。なお、メールボックスの初期値は 0 の送信用となっております。

詳しくは、「16.3.2(4) メールボックス送信 / 受信の設定」を参照してください。

(e) メールボックス (RAM) の初期設定

メッセージコントロール/データ (MCx[x],MDx[x]) はRAM で構成されているため、電源投入後の初期値は不定です。そのため必ずビットを初期化する必要があります。メールボックスに0または1の値を書き込んでください。詳しくは、「16.3.2 (5) メールボックス (メッセージコントロール/データ (MCx[x], MDx[x])) の初期設定」を参照してください。

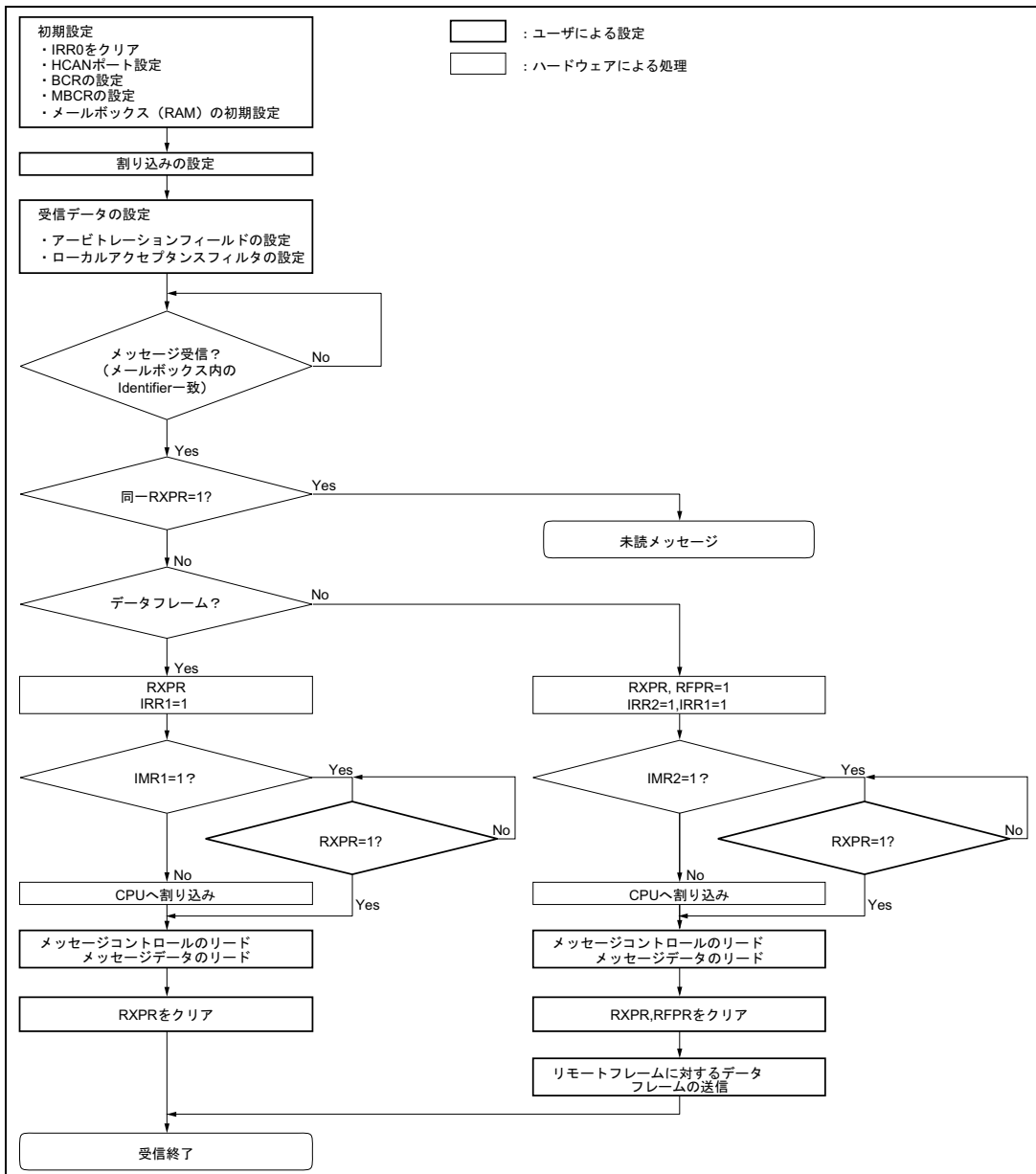


図 16.11 受信時のフローチャート

(2) 割り込みおよび受信メッセージの設定

メールボックスの初期設定が終了すると、次に CPU への割り込み要因の設定および受信するメッセージの指定を設定します。割り込み要因は、メールボックスのメールボックスインタラプトマスクレジスタ (MBIMR)、インタラプトマスクレジスタ (IMR) で設定します。メッセージを受信するためには、あらかじめ受信するメールボックスのメッセージコントロール (MCx[1] ~ [8]) 内の Identifier を設定する必要があります。メッセージを受信すると受信メッセージの Identifier のビットをすべて比較し 100% 一致すると一致したメールボックスに格納します。ただし、メールボックス 0 (MC0[x], MD0[x]) は Don't Care を設定できるローカルアクセプタンスフィルタマスク (LAFM) が設けてあります。

(a) CPU への割り込み要因の設定

メールボックスインタラプトマスクレジスタ (MBIMR) で、各メールボックスに対応して、送信用の場合は送信アクノレッジおよび取り消しアクノレッジの割り込みをマスクすることができます。また、受信用の場合は、データフレーム、リモートフレーム受信待ちの割り込みをマスクすることができます。インタラプトマスクレジスタ (IMR) で、インタラプトレジスタ (IRR) の割り込みをマスクすることができます。

(b) アービトレーションフィールドの設定

アービトレーションフィールドには受信するメッセージの Identifier (STD_ID0 ~ 10, EXT_ID0 ~ 17) を設定します。設定した Identifier の全ビットが一致しないとメールボックスには格納されません。

例：

メールボックス 1 010_1010_1010 (スタンダード Identifier)

MB1 に受信可能なメッセージ Identifier は 1 種類のみ

Identifier 1 : 010_1010_1010

(c) ローカルアクセプタンスフィルタマスク (LAFM) の設定

ローカルアクセプタンスフィルタマスクはメールボックス 0 (MC0[x], MD0[x]) のみ対応しており、受信する Identifier 全ビットに対して Don't Care の指定をすることができます。したがって、複数種類のメッセージを受信することが可能です。

例：

メールボックス 0 010_1010_1010 (スタンダード Identifier)

LAFM 000_0000_0011 (0 : Care, 1 : Don't Care)

MB0 に受信可能なメッセージ Identifier は合計 4 種類

Identifier 1 : 010_1010_1000

Identifier 2 : 010_1010_1001

Identifier 3 : 010_1010_1010

Identifier 4 : 010_1010_1011

(3) メッセージ受信および割り込み

(a) メッセージ受信の CRC チェック

メッセージを受信すると自動 (ハードウェア) で CRC チェックを行います。CRC チェックの結果正常であれば、メッセージの受信可否にかかわらず ACK を ACK フィールドで送信します。

(b) データフレーム受信

受信したメッセージが CRC チェック等でエラーのないことが確認されると、受信に設定されているメールボックス内の Identifier および LAFM (メールボックス 0 のみ) と受信メッセージの Identifier を比較し、完全に一致すれば一致したメールボックスに格納されます。メッセージ Identifier の比較はメールボックス 0 から開始し、メールボックス 15 まで順次 1 メールボックスずつ比較します。完全に一致したメッセージがあればその時点で比較を終了しメールボックス内に格納し、受信完了レジス

タ (RXPR) の対応する受信完了ビット (RXPR0 ~ 15) がセットされます。ただし、メールボックス 0 の LAFM と比較をして Identifier が一致してもメールボックスの比較は終了せず、引き続きメールボックス 1 以降と比較します。したがって、メールボックス 0 と同一メッセージを他のメールボックスで受信することができます (メールボックス 1 ~ 15 で 2 つ以上の同一メッセージを格納はできません)。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR0 ~ 15) とインタラプトマスクレジスタ (IMR) の受信メッセージ割り込みマスク (IMR1) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。

(c) リモートフレーム受信

メールボックスにはデータフレーム、リモートフレームの 2 種類のメッセージを格納することができます。データフレームとリモートフレームの相違点は、メッセージコントロール (MC[x]5) のリモートトランスミッションリクエストビット (RTR) と、データフィールドの内容が 0 バイトの 2 点です。コントロールフィールドのデータ長コード (DLC) には、データフレームで返信されるべきデータ長が格納されていなければなりません。

リモートフレーム (RTR=レセッシブ) を受信すると、リモートリクエスト待ちレジスタ (RFPR) の対応するビットがセットされます。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR0 ~ 15) と、インタラプトマスクレジスタ (IMR) のリモートフレームリクエスト割り込みマスク (IRR2) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。

(d) 未読メッセージ受信

受信したメッセージはメールボックス内の Identifier と一致すると、メールボックスに格納されます。このとき、CPU が読み出しを行う前にメッセージのオーバライトが発生すると、未読メッセージレジスタ (UMSR) の対応するビット (UMSR0 ~ 15) がセットされます。未読状態でのオーバライトは、受信完了レジスタ (RXPR) のビットがクリアされていない状態で新規メッセージを受信すると、未読メッセージレジスタ (UMSR) をセットします。また同時に、インタラプトマスクレジスタ (IMR) の未読割り込みフラグ (IRR9) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。図 16.12 に未読メッセージオーバライトのフローチャートを示します。

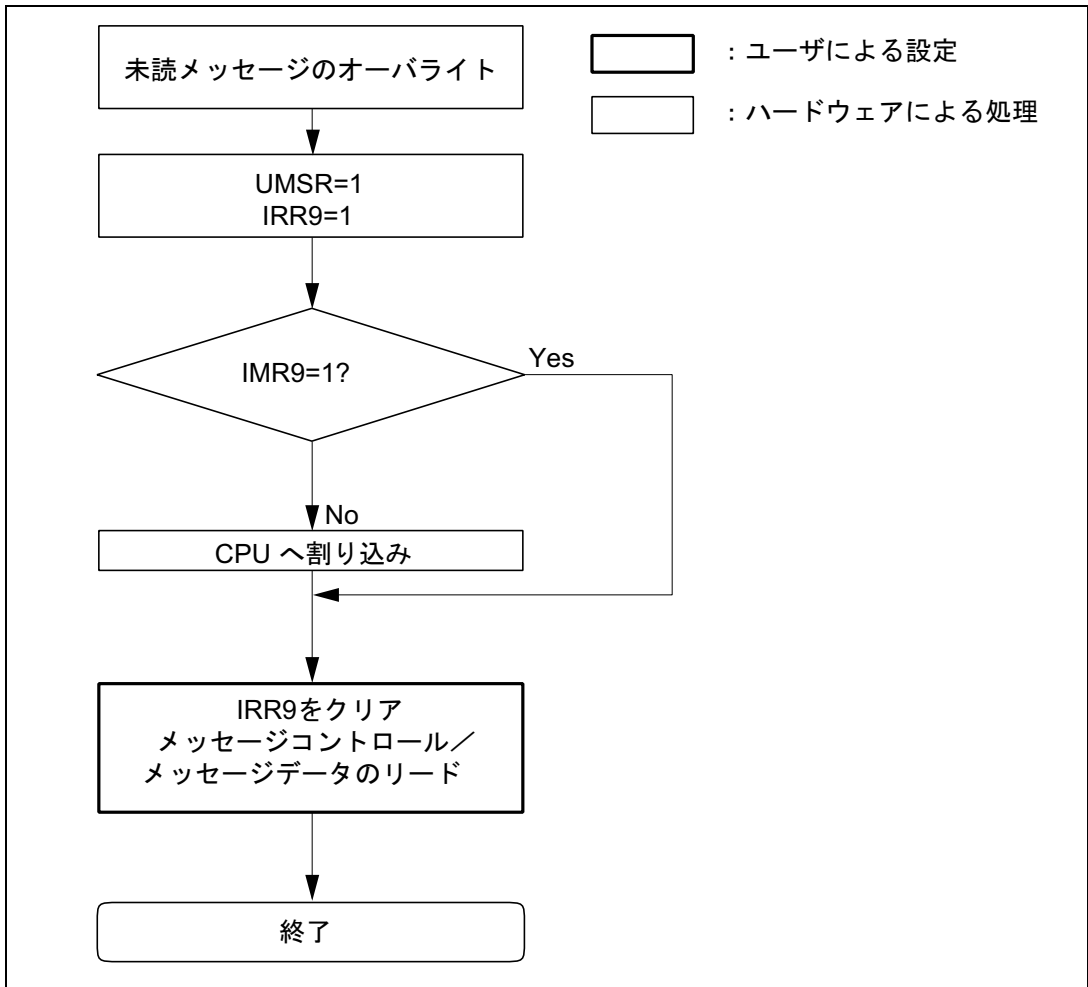


図 16.12 未読メッセージオーバーライトのフローチャート

16.3.5 HCAN スリープモード

HCAN には、消費電流を低減するために HCAN モジュールをスリープ状態にする HCAN スリープモードがあります。図 16.13 に HCAN スリープモードのフローチャートを示します。

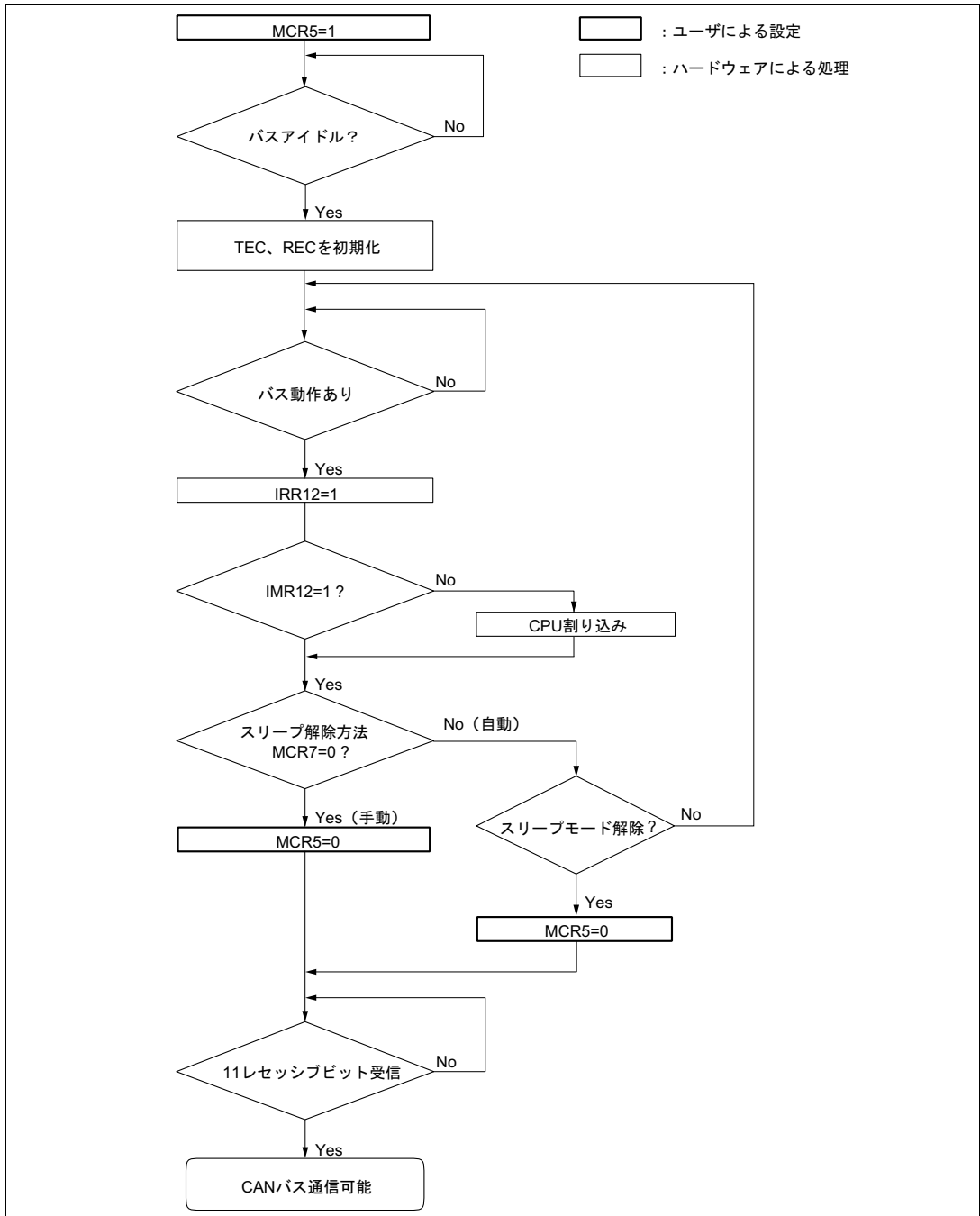


図 16.13 HCAN スリープモードのフローチャート

HCAN スリープモードへ遷移するにはマスタコントロールレジスタ (MCR) の HCAN スリープモードビット (MCR5) を 1 に設定します。ただし、CAN バスが動作をしているときは、バスアイドルになるまで待ってから HCAN スリープモードに遷移します。

HCAN スリープモードからの解除方法は 2 種類あります。解除方法の選択は MCR7 ビットにより設定します。

- (1) ソフトウェアにより解除
- (2) CANバス動作による解除

なお、HCAN スリープモードから再度 CAN バス通信可能になるためには、解除後 11 レセッシブビットの受信が必要です。

- (1) ソフトウェアによる解除

CPU により MCR5 へ 0 を書き込んでください。

- (2) CAN バス動作による解除

CAN バス動作による解除は、CAN バスが動作をし、その変化を検出すると自動的に行います。このとき 1 つ目のメッセージは、メールボックスに受信せず、次のメッセージから正常受信を開始します。CAN バスから HCAN スリープモード中に変化を検出したときにインタラプトレジスタ (IRR) のバス動作割り込みフラグ (IRR12) がセットされます。また同時に、インタラプトマスクレジスタ (IMR) のバス動作割り込みマスク (IMR12) が割り込み許可に設定されていると、CPU へ割り込みを発生することができます。

16.3.6 HCAN HALT モード

HCAN HALT モードは HCAN のハードウェアリセット、ソフトウェアリセットを行わずメールボックスの設定を変更するためのモードです。図 16.14 に HCAN HALT モードのフローチャートを示します。

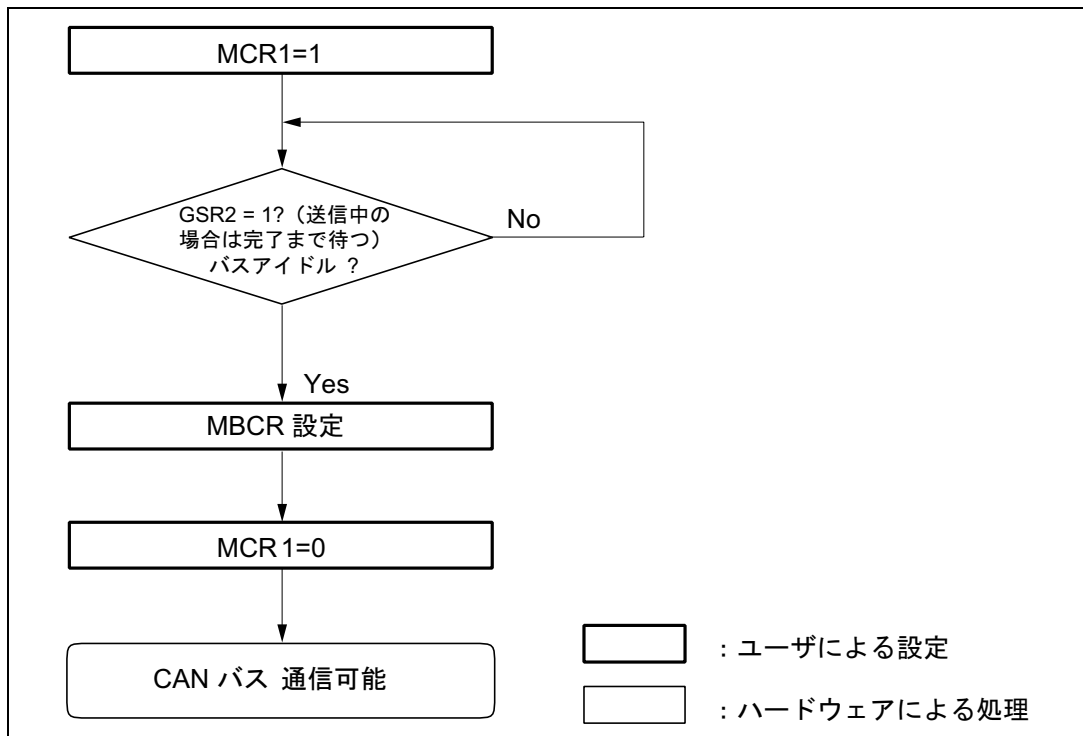


図 16.14 HCAN HALT モードのフローチャート

HCAN HALT モードはマスタコントロールレジスタ (MCR) の HALT リクエストビット (MCR1) を 1 に設定することで遷移します。ただし、CAN バスが動作をしているときはバスアイドルになるまで待ってから HCAN HALT モードに遷移します。

HCAN HALT モードからの解除は、MCR1 を 0 に設定することで行います。

16.3.7 割り込みインタフェース

HCAN の割り込み要因は各チャンネル 12 本あります。また、各チャンネルに対して 4 本の独立割り込みベクタが割り当てられています。表 16.6 に HCAN の割り込み要因を示します。

これらの要因はパワーオンリセットによるリセット処理割り込み (IRR0) を除きマスクすることができます。マスクはメールボックスインタラプトマスクレジスタ (MBIMR) およびインタラプトマスクレジスタ (IMR) を使用します。

表 16.6 HCAN の割り込み要因

モジュール	IPR ビット	ベクタ	ベクタ番号	IRR ビット	説明
HCAN0	IPRL(11~8) 割り込み 優先順位 0~15 (初期値:0)	ERS0	220	IRR5	エラーパッシブ割り込み (TEC 128 または REC 128)
				IRR6	バスオフ割り込み (TEC 256)
		OVR0	221	IRR0	パワーオンリセットによるリセット処理割り込み
				IRR2	リモートフレーム受信割り込み
				IRR3	エラーワーニング割り込み (TEC 96)
				IRR4	エラーワーニング割り込み (REC 96)
				IRR7	オーバーロードフレーム送信割り込み
				IRR9	未読メッセージのオーバーライト割り込み
				IRR12	HCAN スリープ中 CAN バス動作割り込み
				RM0	222
		IRR1	メールボックス 1~15 にメッセージ受信割り込み		
		SLE0	223	IRR8	メッセージ送信 / 取り消し割り込み
HCAN1	IPRL(3~0) 割り込み 優先順位 0~15 (初期値:0)	ERS1	228	IRR5	エラーパッシブ割り込み (TEC 128 または REC 128)
				IRR6	バスオフ割り込み (TEC 256)
		OVR1	229	IRR0	パワーオンリセットによるリセット処理割り込み
				IRR2	リモートフレーム受信割り込み
				IRR3	エラーワーニング割り込み (TEC 96)
				IRR4	エラーワーニング割り込み (REC 96)
				IRR7	オーバーロードフレーム送信割り込み
				IRR9	未読メッセージのオーバーライト割り込み
				IRR12	HCAN スリープ中 CAN バス動作割り込み
				RM1	230
		IRR1	メールボックス 1~15 にメッセージ受信割り込み		
		SLE1	231	IRR8	メッセージ送信 / 取り消し割り込み

16.3.8 DMAC インタフェース

HCAN0 のメールボックス 0 にメッセージを受信すると DMAC を起動することができます。なお、DMAC 起動を設定し DMAC による転送が終了すると自動的に RXPR0 と RFPR0 のフラグはクリアされます。このとき、HCAN からの受信割り込みで CPU への割り込みは発生しません。図 16.15 に DMAC の転送フローチャートを示します。

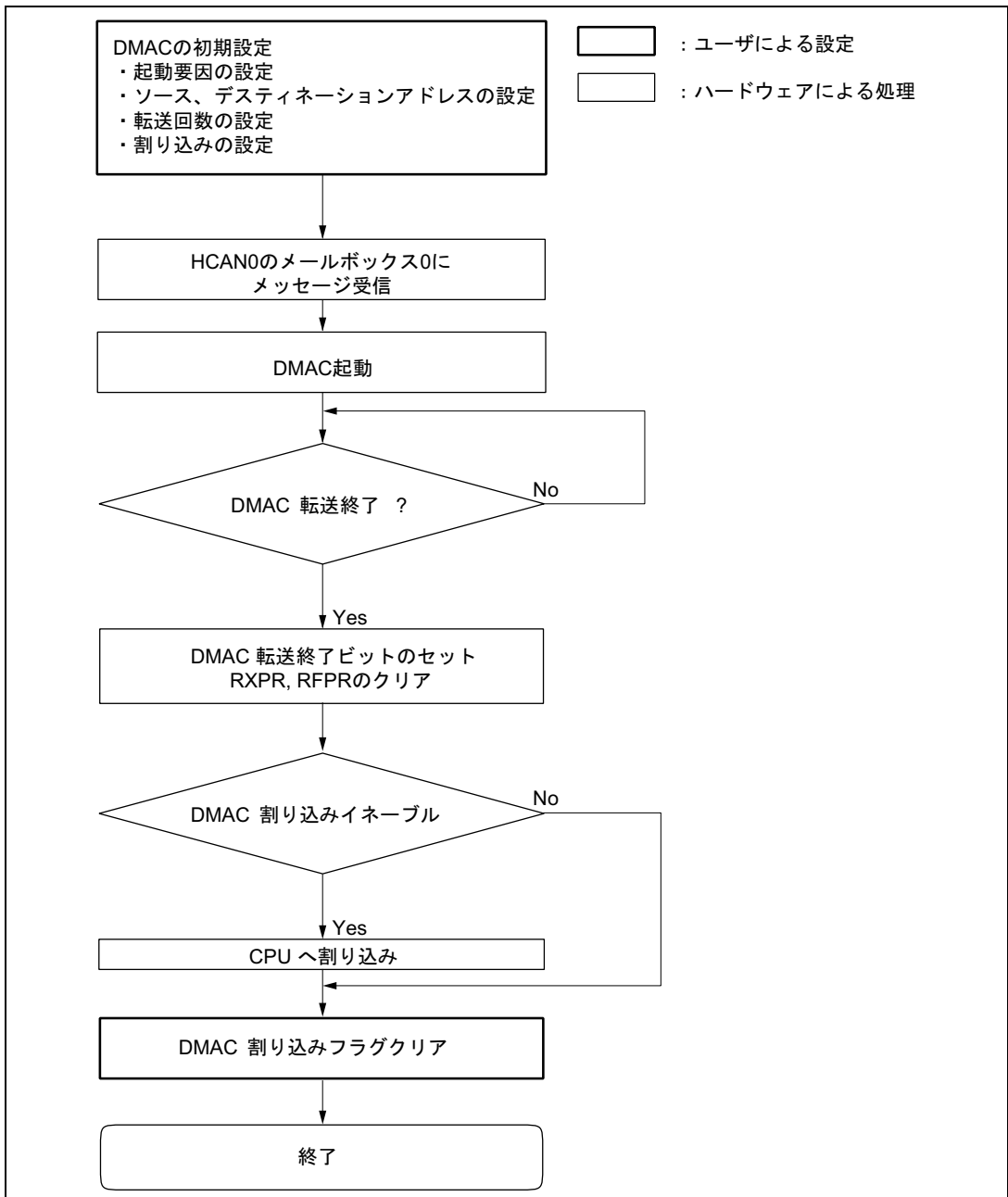


図 16.15 DMAC の転送フローチャート

16.4 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC は Philips 社 PCA82C250 デバイスを推奨します。PCA82C250 以外の製品を使用する場合は、PCA82C250 とコンパチブルな製品を使用してください。図 16.16 に接続例を示します。

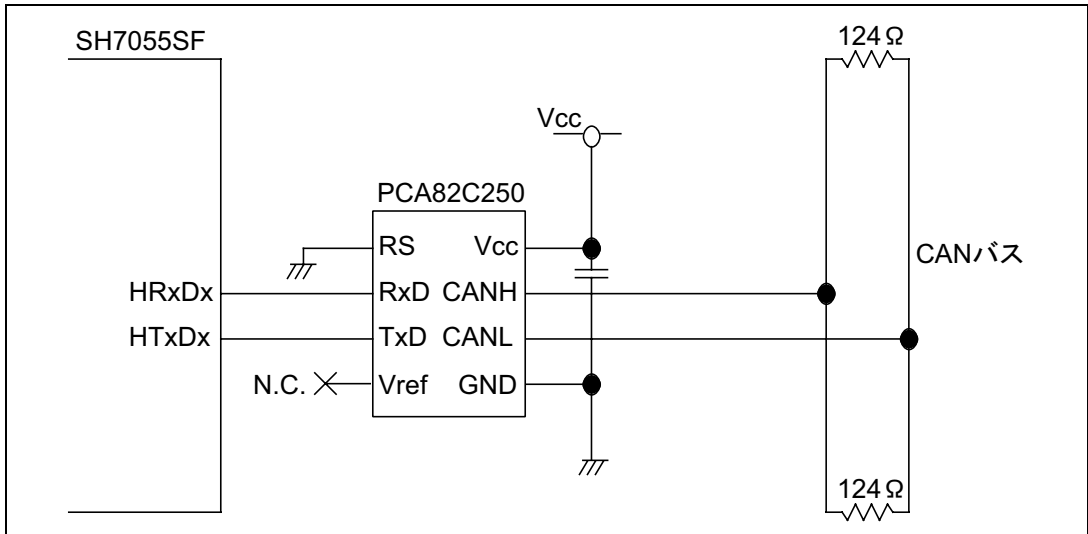


図 16.16 PCA82C250 を用いたハイスピードインタフェース例

16.5 使用上の注意

(1) リセット

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイにより HCAN はリセットされます。このときレジスタはすべて初期化されますが、メールボックス (メッセージコントロール (MCx[x]) / メッセージデータ (MDx[x])) は初期化されません。しかし、電源投入後メールボックス (メッセージコントロール (MCx[x]) / メッセージデータ (MDx[x])) は初期化され不定値になります。したがって、パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイ後は、必ずメールボックスを初期化してください。

また、パワーオンリセット投入後およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。本ビットはインタラプトマスクレジスタ (IMR) ではマスク不可のため、フラグをクリアせずに割り込みコントローラで HCAN の割り込み許可に設定すると、直ちに HCAN の割り込みが入ります。したがって、初期化時に IRR0 をクリアしてください。

(2) HCAN スリープモード

インタラプトレジスタ (IRR) のバス動作割り込みフラグ (IRR12) は HCAN スリープモード中の CAN バス動作によってセットされます。したがって、HCAN がスリープモード解除を示すフラグではありません。また、ジェネラルステータスレジスタ (GSR) のリセットステータスビット (GSR3) は HCAN スリープモード中もセットされます。

(3) ポート設定

HCAN を CAN バス通信を行う前に必ず PFC によってポート設定を行ってください。

HCAN 端子 2 本を 2 チャンネルで 32 バッファ (Wired AND) として使用する場合は必ず他の HCAN 端子 2 箇所を HCAN 以外に設定してください。

(4) DMAC 起動

HCAN0 のメールボックス 0 (受信専用) のメッセージ受信により DMAC を自動的に起動した場合、INTC への割り込み要求信号は発生しません。

(5) 割り込み

メールボックスインタラプトマスクレジスタ (MBIMR) をセットした場合、セットしたメールボックスの受信完了、送信完了、送信取り消しが発生してもインタラプトレジスタ (IRR8,2,1) はセットされません。

(6) エラーカウンタ

エラーアクティブ、エラーパッシブでは REC、TEC は通常にカウントアップ、カウントダウンをします。バスオフ中は 11 レセッシブビットを REC を使ってカウント (REC+1) します。REC=96 になると IRR4 と GSR1 がセットされます。

(7) レジスタアクセス

HCAN のすべてのレジスタはバイトおよびワードアクセスのみ可能です。ロングワードアクセスは行わないでください。

(8) スタンバイ時のレジスタ保持

HCAN はハードウェアスタンバイおよびソフトウェアスタンバイ時には、すべてのレジスタが初期化されます。

(9) HD64F7055 との相違点

(a) CAN バスショートによる HCAN の動作

従来の HD64F7055 では、HCAN がエラーアクティブ状態でメッセージ送信中またはメッセージ受信中に CAN バスがショート等をして受信端子 (HRxD) が "1" 固定になった場合 CAN の仕様と異

なる動作が発生していましたが、HD64F7055S ではその動作が CAN の仕様準拠しています。
内容

(1) 送信中の CAN バスショート (CAN バス “1” 固定) 発生時の現象

従来の HD64F7055 では、HCAN がエラーアクティブ状態でメッセージを送信中に CAN バスがショートした場合、バスオフに移るまでのエラーパッシブ中 “0” 連続出力となりますが、HD64F7055S では、“1” 連続出力となります。詳細を図 16.17 に示します。

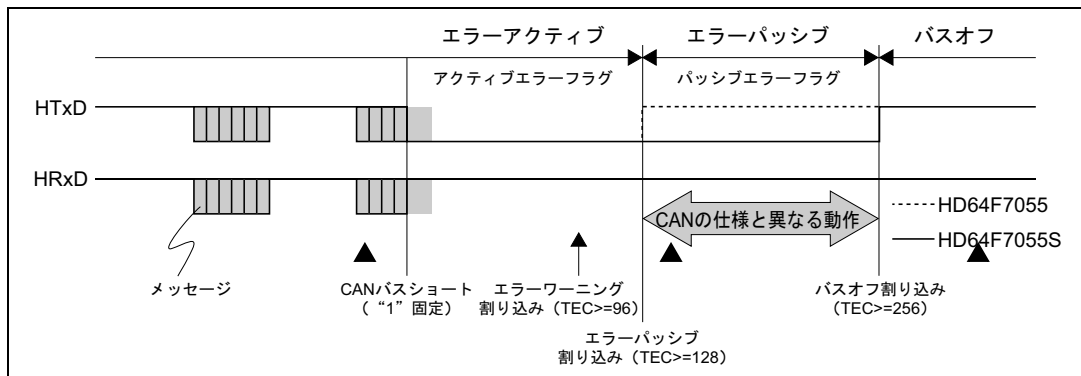


図 16.17 送信時に CAN バスが “1” 固定時の HCAN 動作

(2) 受信中の CAN バスショート (CAN バス “1” 固定) 発生時の現象

従来の HD64F7055 では、HCAN がエラーアクティブ状態でメッセージを受信中に CAN バスがショートした場合、エラーパッシブ中 “0” 連続出力となりますが、HD64F7055S では、“1” 連続出力となります。詳細を図 16.18 に示します。

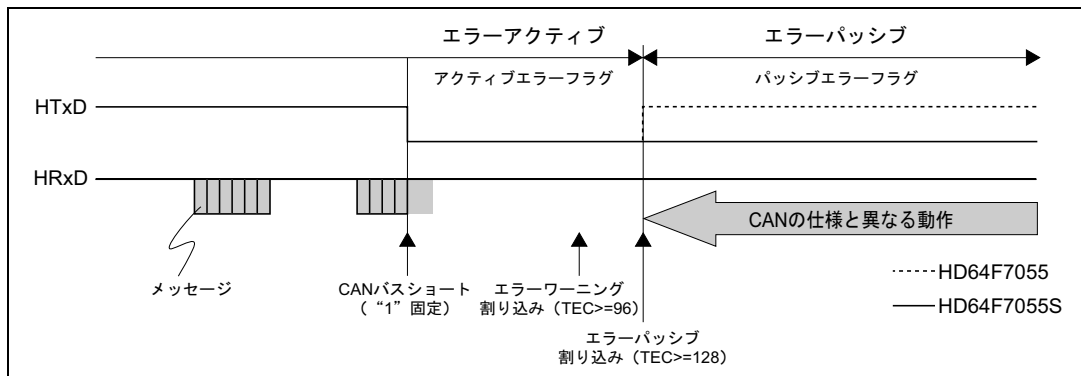


図 16.18 受信時に CAN バスが “1” 固定時の HCAN 動作

(a) バスオフ復帰後のインタラプトレジスタ (IRR7) の内容

HCAN のバスオフ状態からの復帰において、従来の HD64F7055 では、インタラプトレジスタ (IRR7) はセットされますが、HD64F7055S では、インタラプトレジスタ (IRR7) はセットされません。

17. A/D 変換器

17.1 概要

本 LSI は、逐次比較方式の 10 ビット A/D 変換器を内蔵しています。

A/D 変換器は、ソフトウェアにより最大 32 チャンネルのアナログ入力を選択ができます。

A/D 変換器は、独立した 3 つのモジュール (A/D0、A/D1、A/D2) より構成されています。さらに A/D0 は 3 つのグループ、A/D1 は 3 つのグループ、A/D2 は 2 つのグループで構成されています。

モジュール	アナロググループ	チャンネル
A/D0	アナロググループ 0	AN0 ~ 3
	アナロググループ 1	AN4 ~ 7
	アナロググループ 2	AN8 ~ 11
A/D1	アナロググループ 3	AN12 ~ 15
	アナロググループ 4	AN16 ~ 19
	アナロググループ 5	AN20 ~ 23
A/D2	アナロググループ 6	AN24 ~ 27
	アナロググループ 7	AN28 ~ 31

17.1.1 特長

A/D 変換器の特長を以下に示します。

10ビットの分解能

入力チャンネル32チャンネル (A/D0 : 12チャンネル、A/D1 : 12チャンネル、AD2 : 8チャンネル)

高速変換

変換時間 : 1チャンネル当たり最小13.4 μ s (= 40MHz動作時)

2種類の変換モード

- 単一モード : 1チャンネルの A/D 変換
- スキャンモード : 連続スキャンモード、1 サイクルスキャンモード (AN0 ~ 3、AN4 ~ 7、AN8 ~ 11、AN12 ~ 15、AN16 ~ 19、AN20 ~ 23、AN24 ~ 27、AN28 ~ 31)
 - 1 ~ 12チャンネルの連続A/D変換 (A/D0)
 - 1 ~ 12チャンネルの連続A/D変換 (A/D1)
 - 1 ~ 8チャンネルの連続A/D変換 (A/D2)

32本の10ビットA/Dデータレジスタ

32本の10ビットA/Dデータレジスタがあります。A/D変換した結果は、各チャンネルに対応した A/Dデータレジスタに転送され、保持されます。

サンプル&ホールド機能内蔵 (3個)

サンプル&ホールド回路を各々のA/D変換器 (A/D0、A/D1、A/D2) に内蔵していますので、外部アナログ入力回路が簡単に構成できます。

A/D変換割り込みとDMA機能をサポート

A/D変換終了時に、CPUに対してA/D変換割り込み要求（ADI）を発生することができます（ADI0：A/D0の割り込み要求、ADI1：A/D1の割り込み要求、ADI2：A/D2の割り込み要求）。

また、ADIでDMACの起動ができます。

2種類の変換の開始

- ソフトウェア / 外部トリガ（ADTRG0、ATU-II(ITVRR2A)）の選択が可能（A/D0）
- ソフトウェア / 外部トリガ（ADTRG0、ATU-II(ITVRR2B)）の選択が可能（A/D1）
- ソフトウェア / 外部トリガ（ADTRG1、ATU-II(ITVRR1)）の選択が可能（A/D2）

ADEND出力

ADEND出力端子によって、チャンネル31をスキャンモードで使用する場合の変換タイミングをモニタすることができます。

17.1.2 ブロック図

図 17.1 に A/D 変換器のブロック図を示します。

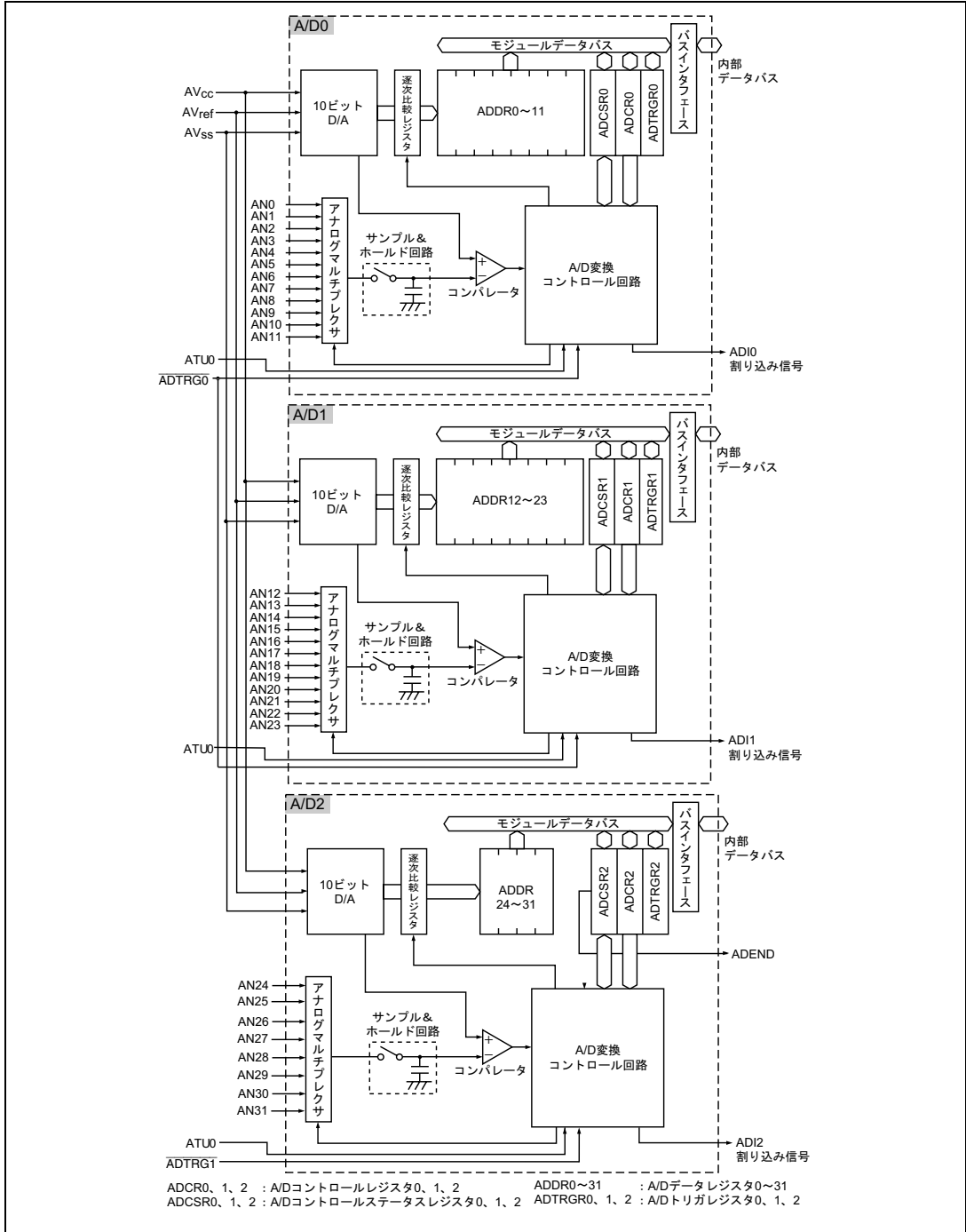


図 17.1 A/D 変換器のブロック図

17.1.3 端子構成

表 17.1 に A/D 変換器の入力端子の構成を示します。

アナログ入力端子は AN0 ~ AN31 の 32 本あります。AN0 ~ AN11 の 12 本は A/D0 のアナログ入力です。この 12 本のアナログ入力は、AN0 ~ AN3 (グループ 0)、AN4 ~ AN7 (グループ 1)、AN8 ~ AN11 (グループ 2) の 3 グループに分類されます。AN12 ~ AN23 の 12 本は A/D1 のアナログ入力です。AN12 ~ AN15 (グループ 3)、AN16 ~ 19 (グループ 4)、AN20 ~ 23 (グループ 5) の 3 グループに分類されます。AN24 ~ 31 の 8 本は A/D2 のアナログ入力です。AN24 ~ 27 (グループ 6)、AN28 ~ 31 (グループ 7) の 2 グループに分類されます。

ADTRG0、ADTRG1 端子は、LSI 外部から、A/D 変換開始タイミングを与えるための端子です。ADTRG0、ADTRG1 端子に Low レベルを印加すると、A/D0 ~ 2 は A/D 変換を開始します。

ADEND 端子は、チャンネル 31 をスキャンモードで使用する場合の変換タイミングをモニタする出力端子です。

AV_{CC}、AV_{SS} 端子は、A/D0 ~ 2 変換器内のアナログ部の電源電圧です。AV_{ref} 端子は、A/D0 ~ 2 変換の基準電圧端子です。

なお、LSI の信頼性確保のため、AV_{CC}、AV_{SS} と V_{CC}、V_{SS} との関係は、通常動作時は、AV_{CC} = 5V ± 0.5V、AV_{SS} = V_{SS} とし、さらに、A/D 変換器を使用しないときも AV_{CC}、AV_{SS} 端子を決してオープンにしないでください。

また、アナログ入力端子に印加する電圧は AV_{SS} ANn AV_{ref} の範囲としてください。

表 17.1 A/D 変換器の端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	A/D0 ~ 2 のアナログ部の電源
アナロググランド端子	AV _{SS}	入力	A/D0 ~ 2 のアナログ部のグランドおよび基準電圧
アナログリファレンス電源端子	AV _{ref}	入力	A/D0 ~ 2 のアナログ部の基準電圧
アナログ入力端子 0	AN0	入力	A/D0 のアナログ入力端子 0 ~ 3 (アナロググループ 0)
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	A/D0 のアナログ入力端子 4 ~ 7 (アナロググループ 1)
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
アナログ入力端子 8	AN8	入力	A/D0 のアナログ入力端子 8 ~ 11 (アナロググループ 2)
アナログ入力端子 9	AN9	入力	
アナログ入力端子 10	AN10	入力	
アナログ入力端子 11	AN11	入力	
アナログ入力端子 12	AN12	入力	A/D1 のアナログ入力端子 12 ~ 15 (アナロググループ 3)
アナログ入力端子 13	AN13	入力	
アナログ入力端子 14	AN14	入力	
アナログ入力端子 15	AN15	入力	
アナログ入力端子 16	AN16	入力	A/D1 のアナログ入力端子 16 ~ 19 (アナロググループ 4)
アナログ入力端子 17	AN17	入力	
アナログ入力端子 18	AN18	入力	
アナログ入力端子 19	AN19	入力	

端子名	略称	入出力	機能
アナログ入力端子 20	AN20	入力	A/D1 のアナログ入力端子 20 ~ 23 (アナロググループ 5)
アナログ入力端子 21	AN21	入力	
アナログ入力端子 22	AN22	入力	
アナログ入力端子 23	AN23	入力	
アナログ入力端子 24	AN24	入力	A/D2 のアナログ入力端子 24 ~ 27 (アナロググループ 6)
アナログ入力端子 25	AN25	入力	
アナログ入力端子 26	AN26	入力	
アナログ入力端子 27	AN27	入力	A/D2 のアナログ入力端子 27 ~ 31 (アナロググループ 7)
アナログ入力端子 28	AN28	入力	
アナログ入力端子 29	AN29	入力	
アナログ入力端子 30	AN30	入力	
アナログ入力端子 31	AN31	入力	
A/D 変換トリガ入力端子 0	$\overline{\text{ADTRG0}}$	入力	A/D0、1 の A/D 変換トリガ入力端子
A/D 変換トリガ入力端子 1	$\overline{\text{ADTRG1}}$	入力	A/D2 の A/D 変換トリガ入力端子
ADEND 出力端子	ADEND	出力	A/D2 のチャンネル 31 の変換タイミング モニタ出力端子

17.1.4 レジスタ構成

表 17.2 に A/D 変換器のレジスタ構成を示します。

表 17.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセス サイズ*1
A/D データレジスタ 0 (H/L)	ADDR0 (H/L)	R	H'0000	H'FFFFFF800	8、16
A/D データレジスタ 1 (H/L)	ADDR1 (H/L)	R	H'0000	H'FFFFFF802	8、16
A/D データレジスタ 2 (H/L)	ADDR2 (H/L)	R	H'0000	H'FFFFFF804	8、16
A/D データレジスタ 3 (H/L)	ADDR3 (H/L)	R	H'0000	H'FFFFFF806	8、16
A/D データレジスタ 4 (H/L)	ADDR4 (H/L)	R	H'0000	H'FFFFFF808	8、16
A/D データレジスタ 5 (H/L)	ADDR5 (H/L)	R	H'0000	H'FFFFFF80A	8、16
A/D データレジスタ 6 (H/L)	ADDR6 (H/L)	R	H'0000	H'FFFFFF80C	8、16
A/D データレジスタ 7 (H/L)	ADDR7 (H/L)	R	H'0000	H'FFFFFF80E	8、16
A/D データレジスタ 8 (H/L)	ADDR8 (H/L)	R	H'0000	H'FFFFFF810	8、16
A/D データレジスタ 9 (H/L)	ADDR9 (H/L)	R	H'0000	H'FFFFFF812	8、16
A/D データレジスタ 10 (H/L)	ADDR10 (H/L)	R	H'0000	H'FFFFFF814	8、16
A/D データレジスタ 11 (H/L)	ADDR11 (H/L)	R	H'0000	H'FFFFFF816	8、16
A/D データレジスタ 12 (H/L)	ADDR12 (H/L)	R	H'0000	H'FFFFFF820	8、16
A/D データレジスタ 13 (H/L)	ADDR13 (H/L)	R	H'0000	H'FFFFFF822	8、16
A/D データレジスタ 14 (H/L)	ADDR14 (H/L)	R	H'0000	H'FFFFFF824	8、16
A/D データレジスタ 15 (H/L)	ADDR15 (H/L)	R	H'0000	H'FFFFFF826	8、16
A/D データレジスタ 16 (H/L)	ADDR16 (H/L)	R	H'0000	H'FFFFFF828	8、16
A/D データレジスタ 17 (H/L)	ADDR17 (H/L)	R	H'0000	H'FFFFFF82A	8、16
A/D データレジスタ 18 (H/L)	ADDR18 (H/L)	R	H'0000	H'FFFFFF82C	8、16
A/D データレジスタ 19 (H/L)	ADDR19 (H/L)	R	H'0000	H'FFFFFF82E	8、16
A/D データレジスタ 20 (H/L)	ADDR20 (H/L)	R	H'0000	H'FFFFFF830	8、16
A/D データレジスタ 21 (H/L)	ADDR21 (H/L)	R	H'0000	H'FFFFFF832	8、16
A/D データレジスタ 22 (H/L)	ADDR22 (H/L)	R	H'0000	H'FFFFFF834	8、16
A/D データレジスタ 23 (H/L)	ADDR23 (H/L)	R	H'0000	H'FFFFFF836	8、16
A/D データレジスタ 24 (H/L)	ADDR24 (H/L)	R	H'0000	H'FFFFFF840	8、16
A/D データレジスタ 25 (H/L)	ADDR25 (H/L)	R	H'0000	H'FFFFFF842	8、16
A/D データレジスタ 26 (H/L)	ADDR26 (H/L)	R	H'0000	H'FFFFFF844	8、16
A/D データレジスタ 27 (H/L)	ADDR27 (H/L)	R	H'0000	H'FFFFFF846	8、16
A/D データレジスタ 28 (H/L)	ADDR28 (H/L)	R	H'0000	H'FFFFFF848	8、16
A/D データレジスタ 29 (H/L)	ADDR29 (H/L)	R	H'0000	H'FFFFFF84A	8、16
A/D データレジスタ 30 (H/L)	ADDR30 (H/L)	R	H'0000	H'FFFFFF84C	8、16
A/D データレジスタ 31 (H/L)	ADDR31 (H/L)	R	H'0000	H'FFFFFF84E	8、16
A/D コントロールステータス レジスタ 0	ADCSR0	R/(W)*2	H'00	H'FFFFFF818	8、16
A/D コントロールレジスタ 0	ADCR0	R/W	H'0F	H'FFFFFF819	8、16
A/D トリガレジスタ 0	ADTRGR0	R/W	H'FF	H'FFFFFF76E	8
A/D コントロールステータス レジスタ 1	ADCSR1	R/(W)*2	H'00	H'FFFFFF838	8、16
A/D コントロールレジスタ 1	ADCR1	R/W	H'0F	H'FFFFFF839	8、16
A/D トリガレジスタ 1	ADTRGR1	R/W	H'FF	H'FFFFFF72E	8

名称	略称	R/W	初期値	アドレス	アクセス サイズ*1
A/D コントロールステータス レジスタ 2	ADCSR2	R/(W)*2	H'08	H'FFFFFF858	8、16
A/D コントロールレジスタ 2	ADCR2	R/W	H'0F	H'FFFFFF859	8、16
A/D トリガレジスタ 2	ADTRGR2	R/W	H'FF	H'FFFFFF72F	8

【注】 レジスタアクセスは、バイトアクセス時 6 または 7 サイクル、ワードアクセス時 12 または 13 サイクルとなります。

*1 16 ビットのアクセスはワード境界のみ可能です。

*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

17.2 レジスタの説明

17.2.1 A/D データレジスタ 0~31 (ADDR0~31)

A/D データレジスタ 0~31 (ADDR0~31) はアナログ入力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

アナログ入力 0~31 (AN0~31) に対応するレジスタは 32 本あります。

ADDR はパワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'0000 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
ADDRnH (上位バイト)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
ADDRnL (下位バイト)	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

(n=0~15)

A/D 変換器はアナログ入力を 10 ビットのデジタル値に変換します。この 10 ビットデータのうち、上位 8 ビットが選択されたチャンネルに対応する ADDR の上位バイトに、下位 2 ビットが ADDR の下位バイトにそれぞれ格納されます。ADDR の下位バイトのデータは上位 2 ビットのみが有効です。

表 17.3 にアナログ入力チャンネルと ADDR の対応を示します。

表 17.3 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル	A/D データレジスタ	アナログ入力チャネル	A/D データレジスタ	アナログ入力チャネル	A/D データレジスタ	アナログ入力チャネル	A/D データレジスタ
AN0	ADDR0	AN8	ADDR8	AN16	ADDR16	AN24	ADDR24
AN1	ADDR1	AN9	ADDR9	AN17	ADDR17	AN25	ADDR25
AN2	ADDR2	AN10	ADDR10	AN18	ADDR18	AN26	ADDR26
AN3	ADDR3	AN11	ADDR11	AN19	ADDR19	AN27	ADDR27
AN4	ADDR4	AN12	ADDR12	AN20	ADDR20	AN28	ADDR28
AN5	ADDR5	AN13	ADDR13	AN21	ADDR21	AN29	ADDR29
AN6	ADDR6	AN14	ADDR14	AN22	ADDR22	AN30	ADDR30
AN7	ADDR7	AN15	ADDR15	AN23	ADDR23	AN31	ADDR31

17.2.2 A/D コントロールステータスレジスタ 0、1 (ADCSR0、1)

A/D コントロールステータスレジスタ 0、1 (ADCSR0、1) は、A/D0、1 の A/D 変換モードの選択などを行う 8 ビットの読み出し / 書き込み可能なレジスタです。

ADCSR0、1 は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット 7: A/D エンドフラグ (ADF)

A/D エンドフラグ (ADF) は、A/D 変換の終了を示すフラグです。

ビット 7	説明
ADF	
0	A/D0、1 が A/D 変換実行中、またはアイドル状態であることを示します。 (初期値) [クリア条件] (1) ADF = 1 の状態を読み出した後、0 を書き込んだとき (2) ADI0、1 により DMAC が起動されたとき
1	A/D0、1 が A/D 変換を終了し、デジタル値を ADDR に転送したことを示します。 [セット条件] (1) 単一モード: A/D 変換終了時 (2) スキャンモード: 設定されたすべてのアナログ変換が終了したとき

単一モードと、スキャンモードでは、ADF が 1 にセットされた後の A/D 変換器の動作が異なります。

単一モードのとき、A/D 変換器はデジタル値を ADDR に転送した後、ADF を 1 にセットしてアイドル状態になります。

スキャンモードのときには、設定されたすべての変換が終了した後に ADF を 1 にセットします。

例えば、12チャンネルスキャンの場合、AN8～AN11（グループ2）または、AN20～AN23（グループ5）の変換終了直後にADFが1にセットされます。ADFが1にセットされた後、連続スキャンでは、さらに変換を続けます。1サイクルスキャンでは、変換を終了します。

なお、ADFに1を書き込むことはできません。

ビット6：A/D インタラプトイネーブル（ADIE）

A/D インタラプトイネーブル（ADIE）は、A/D 割り込み（ADI）の発生を許可／禁止するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ずA/Dコントロールレジスタ0、1（ADCR0、1）のADSTが0の状態で行ってください。

ビット6	説明
ADIE	
0	A/D 割り込み（ADI0、1）の発生を禁止（初期値）
1	A/D 割り込み（ADI0、1）の発生を許可

A/D 変換を終了してADFが1にセットされたとき、ADIEが1にセットされているとA/D0、1のA/D 割り込み（ADI0、1）が発生します。ADFを0にクリアするか、ADIEを0にクリアすることで、ADI0、1のクリアが可能です。

ビット5、4：A/D モード1、0（ADM1、0）

A/D モード1、0（ADM1、0）は、A/D 変換を単一モード、4チャンネルスキャンモード、8チャンネルスキャンモード、12チャンネルスキャンモードから選択するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ずA/Dコントロールレジスタ1、0（ADCR1、0）のADSTが0の状態で行ってください。

ビット5	ビット4	説明
ADM1	ADM0	
0	0	単一モード（初期値）
	1	4チャンネルスキャンモード（アナロググループ0、1、2、3、4、5）
1	0	8チャンネルスキャンモード（アナロググループ0、1、3、4）
	1	12チャンネルスキャンモード（アナロググループ0、1、2、3、4、5）

ADM1、0を00に設定すると、単一モードになります。単一モードでは、ADCSRのCH3～0で選択されたアナログチャンネルを1回A/D変換して動作終了します。

ADM1、0を01に設定すると、4チャンネルスキャンモードになります。スキャンモードは、複数チャンネルのA/D変換を連続して行うモードです。スキャンモードでA/D変換を行うチャンネルはADCSR1、0のCH3～0で設定します。4チャンネルスキャンモードでは、アナロググループ0（AN0～3）、グループ1（AN4～7）、グループ2（AN8～11）、またはグループ3（AN12～15）、グループ4（AN16～19）、グループ5（AN20～23）のうちのいずれかのグループのチャンネルを連続して変換します。ADCSビットを0に設定してグループ内全チャンネルスキャンを選択（AN0～3、AN4～7、AN8～11または、AN12～15、AN16～19、AN20～23）した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル（最も番号の大きい）のA/D変換終了後、動作を停止します。

ADM1、0を10に設定すると、8チャンネルスキャンモードになります。8チャンネルスキャンモードでは、アナロググループ0（AN0～3）とグループ1（AN4～7）または、アナロググループ3（AN12～15）とグループ4（AN16～19）の8チャンネルのA/D変換を行います。ADCSビットを0に設定し

17. A/D 変換器

てグループ内全チャンネルスキャンを選択 (AN0~7) または、(AN12~19) した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル (最も番号の大きい) の A/D 変換終了後、動作を停止します。

ADM1、0 を 11 に設定すると、12 チャンネルスキャンモードになります。12 チャンネルスキャンモードでは、アナロググループ 0 (AN0~3) とグループ 1 (AN4~7) とグループ 2 (AN8~11) または、アナロググループ 3 (AN12~15) とグループ 4 (AN16~19) とグループ 5 (AN20~23) の 12 チャンネルの A/D 変換を行います。ADCS ビットを 0 に設定してグループ内全チャンネルスキャンを選択 (AN0~11 または、AN12~19) した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル (最も番号の大きい) の A/D 変換終了後、動作を停止します。

なお、単一モード/スキャンモードの動作については「17.4 動作説明」を参照してください。

ビット 3~0 : チャンネルセレクト 3~0 (CH3~0)

チャンネルセレクト 3~0 (CH3~0) は、ADM1、0 との組み合わせでアナログ入力チャンネルを選択するビットです。

誤動作を防ぐためアナログ入力チャンネル選択の切り替えは、必ず、A/D コントロールレジスタ 10 (ADCR1、0) の ADST が 0 の状態で行ってください。

ビット 3	ビット 2	ビット 1	ビット 0	アナログ入力チャンネル				
				単一モード		4 チャンネルスキャンモード		
CH3	CH2	CH1	CH0	A/D0	A/D1	A/D0	A/D1	
0	0	0	0	AN0 (初期値)	AN12 (初期値)	AN0	AN12	
			1	AN1	AN13	AN0、1	AN12、13	
			0	AN2	AN14	AN0~2	AN12~14	
		1	1	AN3	AN15	AN0~3	AN12~15	
			0	0	AN4	AN16	AN4	AN16
				1	AN5	AN17	AN4、5	AN16、17
	1	0*1	0	0	AN6	AN18	AN4~6	AN16~18
				1	AN7	AN19	AN4~7	AN16~19
			1	0	AN8	AN20	AN8	AN20
				1	AN9	AN21	AN8、9	AN20、21
1	0*1	1	0	AN10	AN22	AN8~10	AN20~22	
			1	AN11	AN23	AN8~11	AN20~23	

ビット 3	ビット 2	ビット 1	ビット 0	アナログ入力チャンネル			
CH3	CH2	CH1	CH0	8 チャンネルスキャンモード		12 チャンネルスキャンモード	
				A/D0	A/D1	A/D0	A/D1
0	0	0	0	AN0、4	AN12、16	AN0、4、8	AN12、16、20
			1	AN0、1、 4、5	AN12、13、 16、17	AN0、1、4、5、8、9	AN12、13、16、17、 20、21
		1	0	AN0~2、 4~6	AN12~14、 16~18	AN0~2、4~6、8~10	AN12~14、 16~18、20~22
			1	AN0~7	AN12~19	AN0~11	AN12~23
	1	0	0	AN0、4	AN12、16	AN0、4、8	AN12、16、20
			1	AN0、1、 4、5	AN12、13、 16、17	AN0、1、4、5、8、9	AN12、13、16、17、 20、21
		1	0	AN0~2、 4~6	AN12~14、 16~18	AN0~2、4~6、8~10	AN12~14、16~18、 20~22
			1	AN0~7	AN12~19	AN0~11	AN12~23
1	0*1	0	0	リザーブ*2	リザーブ*2	AN0、4、8	AN12、16、20
			1			AN0、1、4、5、8、9	AN12、13、16、17、 20、21
		1	0			AN0~2、4~6、8~10	AN12~14、16~18、 20~22
			1			AN0~11	AN12~23

【注】 *1 必ず0に設定してください。

*2 将来の拡張のためのモードです。使用しないでください。

17.2.3 A/D コントロールレジスタ 0、1、2 (ADCR0、1、2)

A/D コントロールレジスタ 0、1、2 (ADCR0、1、2) は、A/D0、1、2 の A/D 変換の開始制御、および動作クロックの選択を行う 8 ビットの読み出し/書き込み可能なレジスタです。

ADCR0、1、2 は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'0F に初期化されます。

なお、ADCR0、1、2 のビット 3~0 は予約ビットです。ビット 3~0 への書き込みはできません。また、読み出すと常に 1 が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	TRGE	CKS	ADST	ADCS	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R	R	R	R

ビット 7: トリガイネーブル (TRGE)

トリガイネーブル (TRGE) は、外部トリガ入力あるいは ATU-II トリガによる A/D 変換の開始を許可/禁止するビットです。

ビット 7	説明
TRGE	
0	外部トリガまたは ATU-II トリガによる A/D 変換の開始を禁止 (初期値)
1	外部トリガまたは ATU-II トリガによる A/D 変換の開始を許可

外部トリガあるいは ATU-II トリガの選択は、「17.2.5 A/D トリガレジスタ 0、1、2 (ADTRGR0、1、2)」を参照してください。

ATU-II トリガに設定した場合、ADTRGR0、1、2 レジスタのビット 7 を 0 にしてください。

外部トリガに設定した場合、TRGE を 1 にセットした後、 $\overline{\text{ADTRG0}}$ 、 $\overline{\text{ADTRG1}}$ 端子に Low レベルを入力すると、A/D 変換は Low レベルを検出し、ADCR の ADST ビットを 1 にセットします。この後は、ソフトウェアで ADST ビットに 1 をライトしたときと同じ動作をします。ただし、外部トリガ入力による A/D 変換の開始機能は ADST ビットが 0 にクリアされているときのみ有効です。

なお、外部トリガ開始機能を使用するとき、 $\overline{\text{ADTRG0}}$ 、 $\overline{\text{ADTRG1}}$ 端子に入力する Low レベル幅は 1.5 P クロック以上である必要があります。詳しくは「17.4.4 外部トリガによる A/D 変換器の起動」を参照してください。

ビット6：クロックセレクト（CKS）

クロックセレクト（CKS）は、A/D 変換時間の設定を行うビットです。CKS が 0 のとき 532 ステート（MAX）で、CKS が 1 のとき 268 ステート（MAX）で A/D 変換を行います。なお、誤動作を防ぐため A/D 変換時間の切り替えは、必ず、A/D コントロールレジスタ 0、1、2（ADCR0、1、2）の ADST が 0 の状態で行ってください。詳しくは、「17.4.3 アナログ入力 of サンプルングと A/D 変換時間」を参照してください。

ビット6	説 明
CKS	
0	変換時間 = 532 ステート（MAX） （初期値）
1	変換時間 = 268 ステート（MAX）

ビット5：A/D スタート（ADST）

A/D スタート（ADST）は、A/D 変換の開始 / 停止を制御するビットです。ADST を 1 にセットすると A/D 変換を開始し、0 にクリアすると停止します。

ビット5	説 明
ADST	
0	A/D 変換停止 （初期値）
1	A/D 変換実行中 [クリア条件] (1) 単一モード：A/D 変換終了時に自動的に 0 クリア (2) スキャンモード：設定した全チャンネルを一度変換終了後すると、自動的に 0 クリア（1 サイクルスキャン）

単一モードとスキャンモードでは、ADST ビットの動きが異なりますので注意してください。

単一モードでは、1 チャンネルの A/D 変換終了時に自動的に ADST を 0 にクリアします。また、スキャンモード（連続スキャン）では、選択したアナログ入力すべての変換が終わると、再度全チャンネルの A/D 変換を始めるため、ADST ビットは 1 のままです。したがって、スキャンモード（連続スキャン）では、変換時間の変更、アナログ入力チャンネルの選択を変更するときには、ADST ビットを 0 にクリアして A/D 変換を停止させてください。ただし、スキャンモード（1 サイクルスキャン）では設定した全チャンネルを一度変換終了すると、自動的に ADST ビットを 0 にクリアして A/D 変換を停止します。動作モードの切り替えは、必ず A/D コントロールレジスタ 0、1、2（ADCR0、1、2）の ADST ビットが 0 の状態で行ってください。なお、A/D インタラプトイネーブル（ADCSR0、1、2 の ADIE ビット）の変更、A/D 変換時間の変更（ADCR0、1、2 の CKS ビット）、動作モードの変更（ADCSR0、1、2 の ADM1、0 ビット）、およびアナログ入力チャンネル選択の変更（ADCSR0、1、2 の CH3～0）を行う前に、必ず、A/D 変換が停止していること（ADST が 0）を確認してください。これらの変更を A/D 変換器の動作中（ADST が 1）に行った場合、A/D データレジスタの内容は、保証されません。

17. A/D 変換器

ビット 4 : A/D コンティニューアスキャン (ADCS)

ビット 4	説 明
ADCS	
0	1 サイクルスキャン (初期値)
1	連続スキャン

A/D コンティニューアスキャン (ADCS) は、スキャンモード時の 1 サイクルスキャン / 連続スキャンを選択するビットです。スキャンモード時のみ有効です。なお、詳しくは「17.4.2 スキャンモード」を参照してください。

ビット 3~0 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

17.2.4 A/D コントロールステータスレジスタ 2 (ADCSR2)

A/D コントロールステータスレジスタ 2 (ADCSR2) は、A/D2 の A/D 変換モードの選択などを行う 8 ビットの読み出し / 書き込み可能なレジスタです。

ADCSR2 は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'08 に初期化されます。

ビット :	7	6	5	4	3	2	1	0
	ADF	ADIE	ADM1	ADM0	—	CH2	CH1	CH0
初期値 :	0	0	0	0	1	0	0	0
R/W :	R(W)*	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット 7 : A/D エンドフラグ (ADF)

A/D エンドフラグ (ADF) は、A/D 変換終了を示すフラグです。

ビット 7	説 明
ADF	
0	A/D2 が A/D 変換実行中、またはアイドル状態であることを示します。 (初期値) [クリア条件] (1) ADF = 1 の状態を読み出した後、0 を書き込んだとき (2) ADI2 により DMAC が起動されたとき
1	A/D2 が A/D 変換を終了し、デジタル値を ADDR に転送したことを示します。 [セット条件] (1) 単一モード : A/D 変換終了時 (2) スキャンモード : 設定されたすべてのアナログ変換が終了したとき

単一モードとスキャンモードでは、ADF が 1 にセットされた後の A/D 変換器の動作が異なります。単一モードのとき、A/D 変換器はデジタル値を ADDR に転送した後、ADF を 1 にセットしてアイドル状態になります。

スキャンモードのときには、設定されたすべての変換が終了した後に ADF を 1 にセットします。例えば、8 チャンルスキャンの場合、AN28 ~ AN31 (グループ 7) の変換終了直後に ADF が 1 にセットされます。ADF が 1 にセットされた後、連続スキャンではさらに変換を続けます。1 サイクルスキャンでは変換を終了します。

なお、ADF に 1 を書き込むことはできません。

ビット 6 : A/D インタラプトイネーブル (ADIE)

A/D インタラプトイネーブル (ADIE) は、A/D 割り込み (ADI) の発生を許可 / 禁止するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D コントロールレジスタ 2 (ADCSR2) の ADST が 0 の状態で行ってください。

ビット 6	説明
ADIE	
0	A/D 割り込み (ADI2) の発生を禁止 (初期値)
1	A/D 割り込み (ADI2) の発生を許可

A/D 変換を終了して ADCSR2 の ADF が 1 にセットされたとき、ADIE が 1 にセットされていると A/D2 の A/D 割り込み (ADI2) が発生します。ADF を 0 にクリアするか、ADIE を 0 にクリアすることで、ADI2 のクリアが可能です。

ビット 5, 4 : A/D モード 1, 0 (ADM1, 0)

A/D モード 1, 0 (ADM1, 0) は、A/D 変換を単一モード、4 チャンルスキャンモード、8 チャンルスキャンモードから選択するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D コントロールレジスタ 2 (ADCSR2) の ADST が 0 の状態で行ってください。

ビット 5	ビット 4	説明
ADM1	ADM0	
0	0	単一モード (初期値)
	1	4 チャンルスキャンモード (アナロググループ 6、7)
1	0	8 チャンルスキャンモード (アナロググループ 6、7)
	1	予約

ADM1, 0 を 00 に設定すると、単一モードになります。単一モードでは、ADCSR の CH2 ~ 0 で選択されたアナログチャンネルを 1 回 A/D 変換して動作終了します。

ADM1, 0 を 01 に設定すると、4 チャンルスキャンモードになります。スキャンモードは、複数チャンネルの A/D 変換を連続して行うモードです。スキャンモードで A/D 変換を行うチャンネルは ADCSR2 の CH2 ~ 0 で設定します。4 チャンルスキャンモードでは、アナロググループ 6 (AN24 ~ 27) またはグループ 7 (AN28 ~ 31) のうちいづれかのグループのチャンネルを連続して変換します。ADCS ビットを 0 に設定してグループ内全チャンネルスキャンを選択 (AN24 ~ 27、AN28 ~ 31) した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル (最も番号の大きい) の A/D 変換終了後変換を停止します。

ADM1, 0 を 10 に設定すると、8 チャンルスキャンモードになります。8 チャンルスキャンモードでは、アナロググループ 6 (AN24 ~ 27) とグループ 7 (AN28 ~ 31) の 8 チャンルの A/D 変換を行います。ADCS ビットを 0 に設定してグループ内全チャンネルスキャンを選択 (AN24 ~ 31) した場合は

17. A/D 変換器

一度グループ内のチャンネルを連続スキャンし、最後のチャンネル(最も番号の大きい)の A/D 変換終了後変換を停止します。

なお、単一モード/スキャンモードの動作については「17.4 動作説明」を参照してください。

ビット 3 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 2~0 : チャンネルセレクト 2~0 (CH2~0)

チャンネルセレクト 2~0 (CH2~0) は、ADM1、0 との組み合わせでアナログ入力チャンネルを選択するビットです。

誤動作を防ぐためアナログ入力チャンネル選択の切り替えは、必ず、A/D コントロールレジスタ 2 (ADCR2) の ADST が 0 の状態で行ってください。

ビット 2	ビット 1	ビット 0	アナログ入力チャンネル		
			単一モード	4 チャンネルスキャンモード	8 チャンネルスキャンモード
0	0	0	AN24 (初期値)	AN24	AN24、28
		1	AN25	AN24、25	AN24、25、28、29
	1	0	AN26	AN24~26	AN24~26、AN28~30
		1	AN27	AN24~27	AN24~31
1	0	0	AN28	AN28	AN24、28
		1	AN29	AN28、29	AN24、25、28、29
	1	0	AN30	AN28~30	AN24~26、AN28~30
		1	AN31	AN28~31	AN24~31

17.2.5 A/D トリガレジスタ 0、1、2 (ADTRGR0、1、2)

A/D トリガレジスタ (ADTRGR0、1、2) は、A/D0、1、2 のトリガの選択を行う 8 ビットの読み出し / 書き込み可能なレジスタです。外部端子 (ADTRG0、ADTRG1) か、ATU-II (ATU-II のインターバルタイム A/D 変換要求トリガ) のどちらかを選択します。

ADTRGR0、1、2 は、パワーオンリセット、およびハードウェアスタンバイモード時に HFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	EXTRG	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R	R	R	R	R	R	R

ビット 7: トリガイネーブル (EXTRG)

外部端子 (ADTRG0、ADTRG1) か、ATU-II のインターバルタイム A/D 変換要求のどちらかを選択します。

ビット 7	説明
EXTRG	
0	ATU-II のチャンネル 0 のインターバルタイム A/D 変換要求による起動を行います。
1	外部端子 (ADTRG) による起動を行います。 (初期値)

外部トリガあるいは ATU-II トリガの選択は、ADCR0、1、2 の TRGE ビットを 1 に設定する必要があります。詳しくは、「17.2.3 A/D コントロールレジスタ 0、1、2 (ADCR0、1、2)」を参照してください。

ビット 6~0: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

17.3 CPU とのインタフェース

A/D データレジスタ 0~31 (ADDR0~31) は 16 ビットのレジスタですが、CPU と結合しているチップ内バスは、8 ビット幅です。このため ADDR の上位 / 下位のデータは別々にしか読み出せません。

ADDR の上位 / 下位の 2 バイトのデータを読み出す間にデータが変化するのを避けるため、下位バイトのデータの読み出しは、テンポラリレジスタ (TEMP) を介して行います。なお、上位バイトの読み出しは直接行えます。

ADDR からのデータの読み出しは、次のようにして行います。まず、ADDR のデータの上位バイトを読み出します。このとき、上位バイトのデータは直接 CPU に読み込まれ、下位バイトのデータは A/D 変換器内の TEMP へ転送されます。次に下位バイトを読み出すと TEMP の内容が CPU に読み込まれます。

ADDR をバイトサイズで読み出す場合には、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみの読み出しは可能ですが、下位バイトのみの読み出しでは内容が保証されませんので注意してください。なお、ADDR をワードサイズで読み出すと、自動的に上位バイト、下位バイトの順で読み出されます。

図 17.2 に ADDR のリード時のデータの流れを示します。

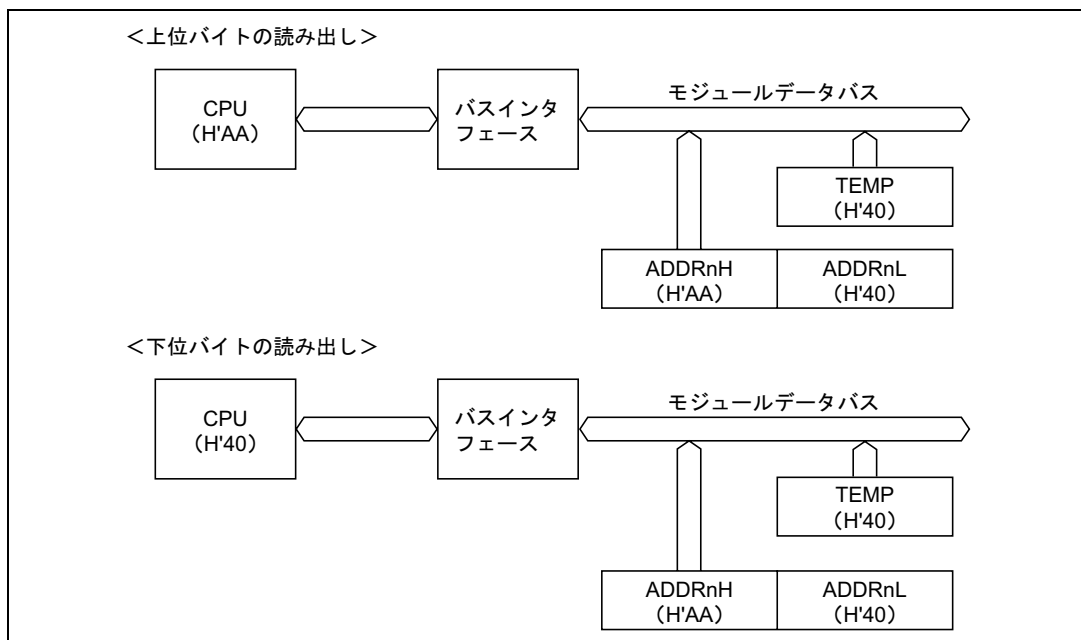


図 17.2 ADDR のアクセス動作 ((H'AA40) 読み出し時)

17.4 動作説明

A/D 変換器は、逐次比較方式で動作し、10 ビットの分解能を持っています。

A/D 変換の動作モードには、単一モードとスキャンモードの 2 種類の動作モードがあります。スキャンモードは連続スキャンモードと、1 サイクルスキャンモードがあります。単一モードは指定した 1 チャンネルを 1 回変換して終了するモードです。連続スキャンモードは指定した 1 チャンネル以上の A/D 変換を ADST ビットが 0 にクリアされるまで繰り返し行うモードです。1 サイクルスキャンは、1 チャンネル以上の A/D 変換を 1 回行って終了するモードです。

17.4.1 単一モード

単一モードは、1 チャンネルのみの A/D 変換を 1 回行うときに選択するモードです。

単一モードの選択は、A/D コントロールステータスレジスタ (ADCSR) の ADM1、0 ビットを 00 にすることで行います。この状態で A/D コントロールレジスタ (ADCR) の ADST ビットを 1 にセットすると単一モードで A/D 変換を開始します。

ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされません。

また、変換が終了すると ADCSR の ADF が 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 にセットされていると ADI 割り込み要求を発生します。ADF を 0 にクリアするときには、あらかじめ ADF の 1 を読んだ後、0 を書き込んでください。ただし、ADI 割り込みで DMAC を起動した場合には、自動的にクリアされます。

アナログ入力 1 チャンネル (AN1) を選択して、単一モードで A/D 変換を行う場合の動作例を次に示します。また、図 17.3 に動作タイミングを示します。

- (1) 動作モードを単一モードに (ADM1 = ADM0 = 0)、入力チャンネルを AN1 に (CH3 = CH2 = CH1 = 0、CH0 = 1)、A/D 割り込み要求許可 (ADIE = 1) を設定して、A/D 変換を開始 (ADST = 1) します。
- (2) A/D 変換が終了すると、A/D 変換結果が ADDR1 に転送されます。同時に、ADF = 1、ADST = 0 となり、A/D 変換器は変換待機となります。
- (3) ADF = 1、ADIE = 1 となっているため、ADI 割り込みを発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) ADF = 1 を読み出したのち、ADF に 0 を書き込みます。
- (6) A/D 変換結果 (ADDR1) を読み出して、処理します。
- (7) A/D 割り込み処理ルーチンの実行を終了します。

この後、ADST ビットを 1 にセットすると A/D 変換が開始され (2) ~ (7) を行います。

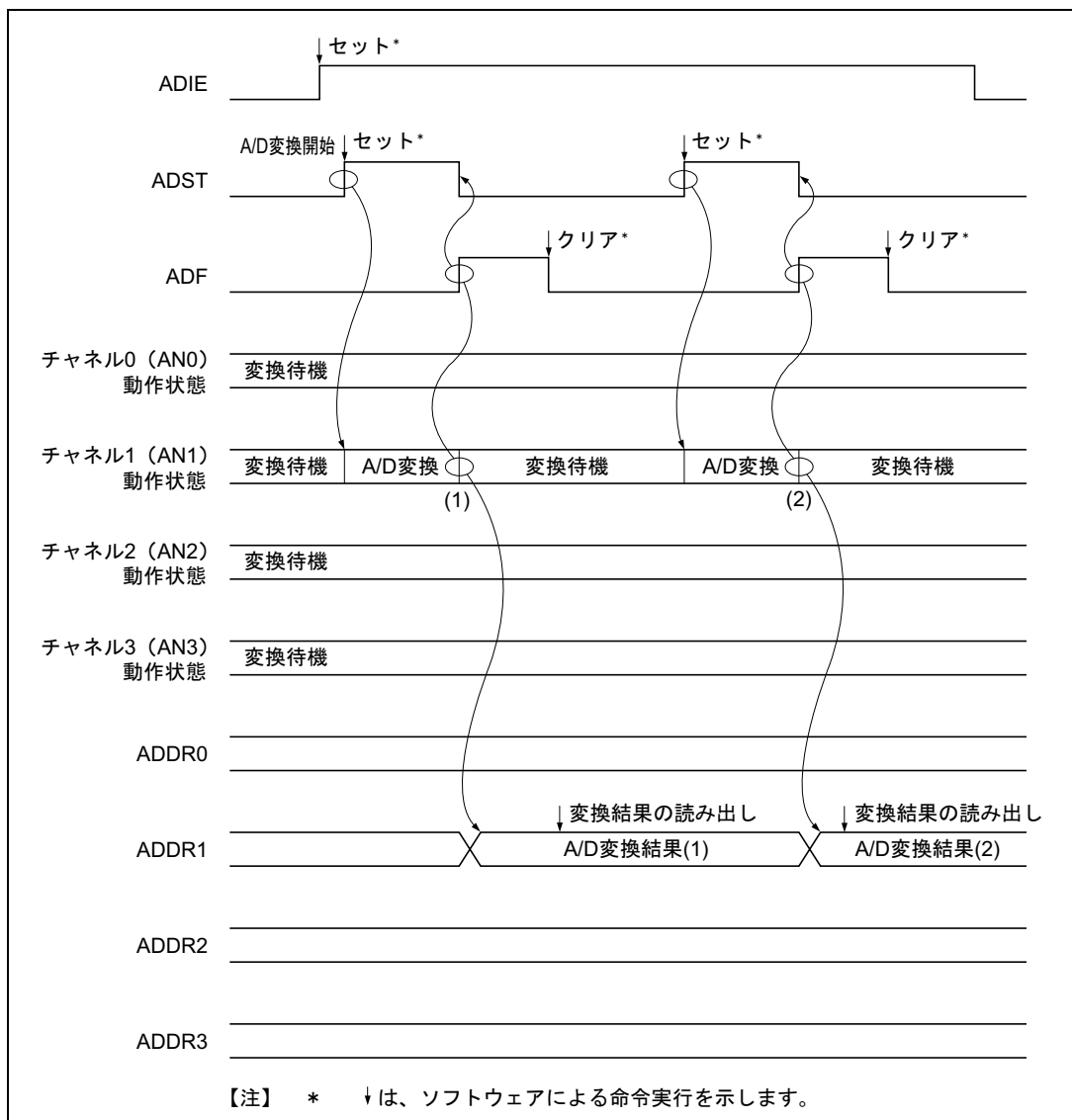


図 17.3 A/D 変換器の動作例 (単一モード チャンネル 1 選択時)

17.4.2 スキャンモード

スキャンモードは、1 チャンネル以上の複数チャンネルの A/D 変換を繰り返すとき (常時モニタしたいときなど) に選択するモードです。

スキャンモードの選択は、A/D0、1 の場合、A/D コントロールステータスレジスタ (ADCSR0、1) の ADM1、0 ビットを 01、10、または 11 にすることで行います。ADM1、0 ビットを 01 にすると 4 チャンネルスキャンモードに、10 にすると 8 チャンネルスキャンモードに、11 にすると 12 チャンネルスキャンモードになります。また、A/D2 の場合は A/D コントロールステータスレジスタ 2 (ADCSR2) の ADM1、0 ビットを 01、10 にすることで行います。ADM1、0 ビットを 01 にすると 4 チャンネルスキャンモードに、10 にすると 8 チャンネルスキャンモードになります。この状態で A/D コントロール

レジスタ (ADCR) の ADCS ビットを 0、ADST ビットを 1 に設定すると 1 サイクルスキャンを行います。ADCS ビットを 1、ADST ビットを 1 に設定すると連続スキャンを行います。

アナログ入力チャンネル番号の小さい順 (AN0,AN1...11、AN12,AN13...23、AN24,AN25...31) から A/D 変換を行います。

1 サイクルスキャンの場合、設定した全チャンネルを一度変換終了すると ADCSR の ADF を 1 にセットして、ADST ビットが自動的に 0 クリアされます。

連続スキャンの場合、設定した全チャンネルを変換終了すると、ADCSR の ADF を 1 にセットします。A/D 変換を停止する場合、ADST ビットに 0 を書き込んでください。

ADF が 1 にセットされたとき、ADCSR の ADIE ビットが 1 にセットされていると ADI 割り込み要求 (ADI0、1、2) を発生します。ADF を 0 クリアするときには、ADF の 1 を読み出した後、0 を書き込んでください。ただし、ADI 割り込みで DMAC を起動した場合には自動的に 0 クリアされます。

アナログ入力 0~11 (AN0~11) を選択して、12 チャンネルスキャンモードで A/D 変換を 1 サイクルスキャンを行う場合の動作例を次に示します。また、図 17.4 に動作タイミングを示します。

- (1) 動作モードを 12 チャンネルスキャンモードに (ADM1 = 1、ADM0 = 1)、スキャンサイクルを 1 サイクル (ADCS=0)、アナログ入力チャンネルを AN0~AN11 (CH3=0、CH2=0、CH1=1、CH0=1) に設定して、A/D 変換を開始します。
- (2) 第 0 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR0 に転送します。
次に、第 1 チャンネル (AN1) が自動的に選択され、変換を開始します。
- (3) 同様に第 11 チャンネル (AN11) まで、変換を行います。
- (4) 設定した全チャンネル (AN0~AN11) の変換が終了すると、ADF=1 をセットして、自動的に ADST ビットを 0 にクリアし、A/D 変換を停止します。このとき、ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。

アナログ入力 0~2、4~6 (AN0~2、AN4~6) を選択して、8 チャンネルスキャンモードで A/D 変換を連続スキャンを行う場合の動作例を次に示します。また、図 17.5 に動作タイミングを示します。

- (1) 動作モードを 8 チャンネルスキャンモードに (ADM1 = 1、ADM0 = 0)、スキャンサイクルを連続スキャン (ADCS=1)、アナログ入力チャンネルを AN0~2、AN4~6 (CH3=0、CH2=0、CH1=1、CH0=0) に設定して、A/D 変換を開始します。
- (2) 第 0 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR0 に転送します。
次に、第 1 チャンネル (AN1) が自動的に選択され、変換を開始します。
- (3) 同様に第 2 チャンネル (AN2) まで、変換を行います。
- (4) さらに第 4 チャンネル (AN4) が自動的に選択され、変換が行われます。
- (5) 同様に第 6 チャンネル (AN6) まで、変換を行います。
- (6) 設定した全チャンネル (AN0~2、AN4~6) の変換が終了すると、ADF=1 となります。このとき、ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。
- (7) ADST ビットが 1 にセットされている間は、(2)~(6) を繰り返します。
ADST ビットを 0 にクリアすると、A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 0 チャンネル (AN0) から、変換が行われます。

17. A/D 変換器

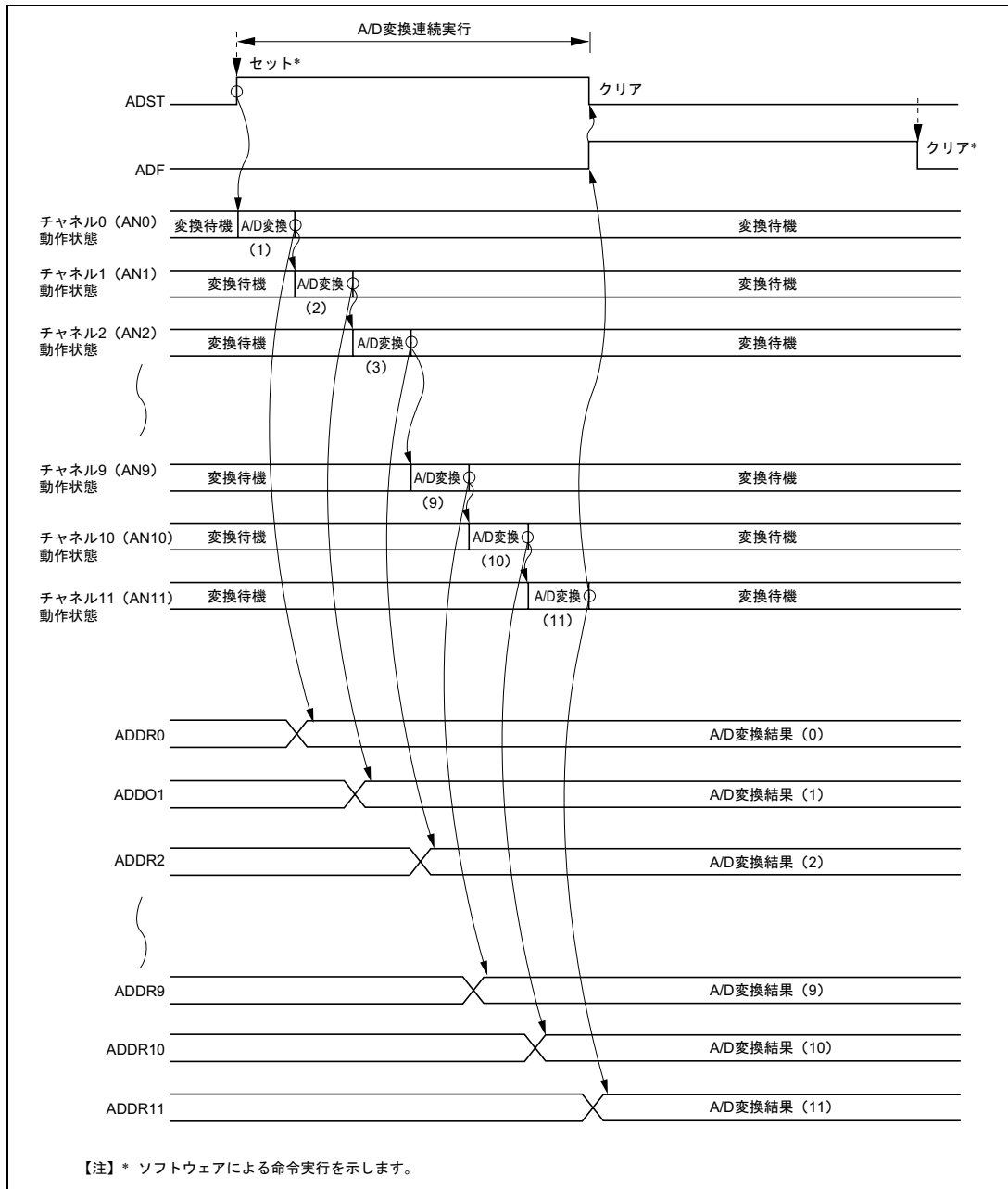


図 17.4 A/D 変換器の動作例
(スキャンモード(1 サイクルスキャン) チャンネル AN0 ~ 11 の選択時)

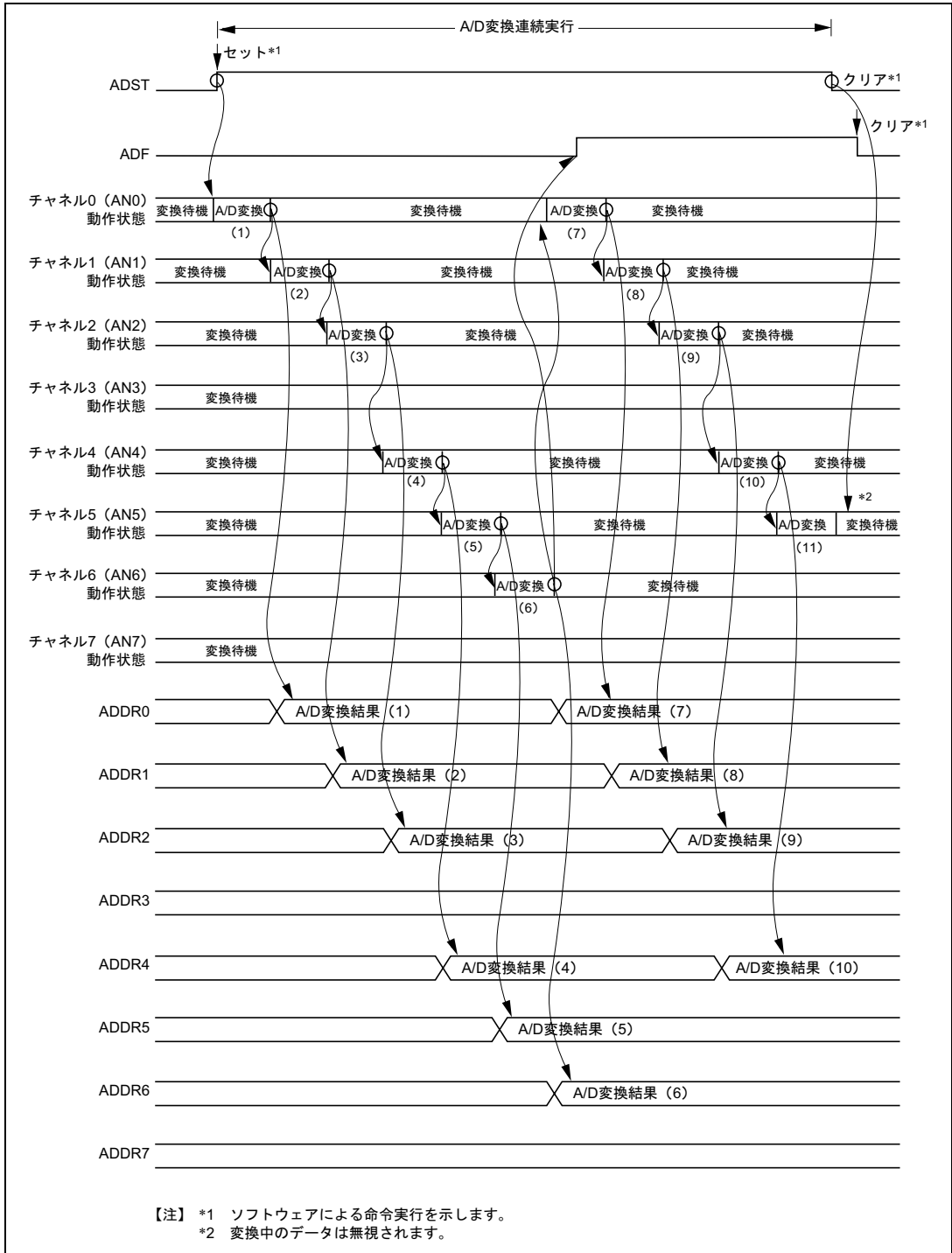


図 17.5 A/D 変換器の動作例
(スキャンモード (連続スキャン) チャンネル AN0~2、AN4~6 の選択時)

17.4.3 アナログ入力のサンプリングと A/D 変換時間

A/D 変換器には、A/D0、A/D1 と A/D2 にそれぞれ、サンプル&ホールド回路が内蔵されています。A/D 変換は、ADST ビットを 1 にセットしてから、A/D 変換開始遅延時間 (t_D) 後に、アナログ入力のサンプリングを行い、この後に、開始されます。図 17.6 に A/D 変換のタイミングを示します。

A/D 変換時間 (t_{CONV}) は t_D とアナログ入力サンプリング時間 (t_{SPL}) を含めた時間となります。なお、 t_D には、A/D 変換器動作を同期化するために要する時間が含まれますので一定時間にはなりません。このため、変換時間は表 17.4 に示す範囲で変化します。

スキャンモードの場合、表 17.4 に示す t_{CONV} は 1 回目の変換時間に相当します。2 回目以降は CKS = 0 の場合 $t_{CONV} = 512$ ステート (固定) に、CKS = 1 の場合 $t_{CONV} = 256$ ステート (固定) になります。

表 17.4 A/D 変換時間 (単一モード)

項目	記号	CKS = 0 : = 20 ~ 40MHz			CKS = 1 : = 20MHz			単位
		min	typ	max	min	typ	max	
A/D 変換開始遅延時間	t_D	20	-	34	12	-	18	ステート
入力サンプリング時間	t_{SPL}	-	128	-	-	64	-	(基準
A/D 変換時間	t_{CONV}	518	-	532	262	-	268	換算)

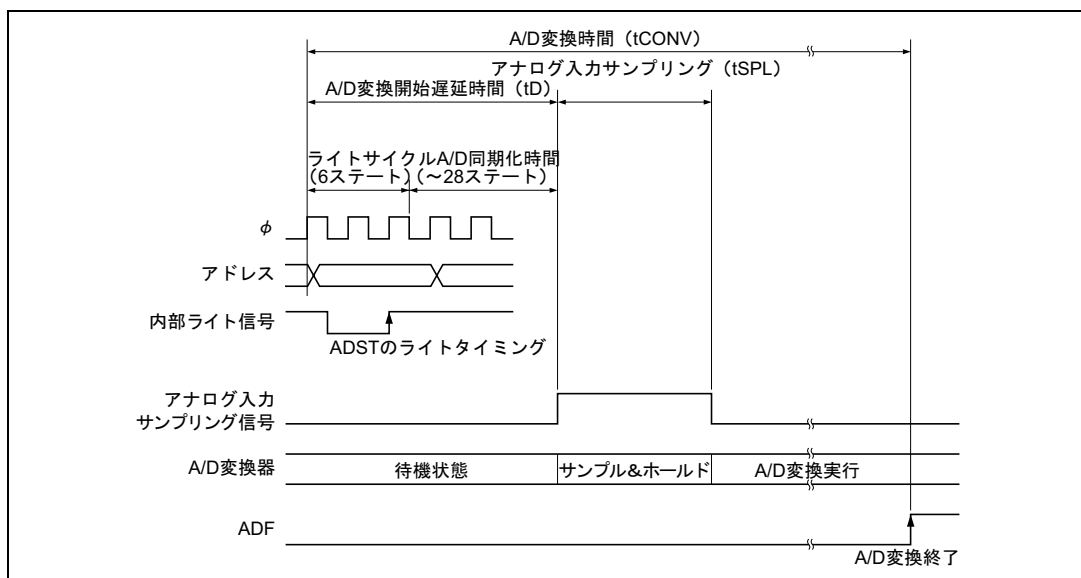


図 17.6 A/D 変換タイミング

17.4.4 外部トリガによる A/D 変換器の起動

外部 A/D 変換開始トリガの入力で、A/D 変換器を起動することができます。

外部トリガで A/D 変換器を起動するときには、PFC (ピンファンクションコントローラ) で端子機能を設定し、 $\overline{\text{ADTRG}}$ 端子に High レベルを入力した後、A/D コントロールレジスタ (ADCR) の TRGE ビットを 1 にセットし、ADST ビットを 0 にクリアします。さらに A/D トリガレジスタ (ADTRGR) の EXTRG ビットを 1 にします。この状態で $\overline{\text{ADTRG}}$ 端子に Low レベルを入力すると、A/D 変換器は、Low レベルを検出して ADST ビットを 1 にセットします。A/D 変換終了時、 $\overline{\text{ADTRG}}$ 端子に Low レベルが入力されていると、再度 ADST ビットが 1 にセットされて A/D 変換を開始します。図 17.7 に外部トリガ入力タイミングを示します。

ADST が 1 にセットされるタイミングは、A/D 変換器が $\overline{\text{ADTRG}}$ 端子の Low レベルをサンプリングしてから 2 ステートです。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

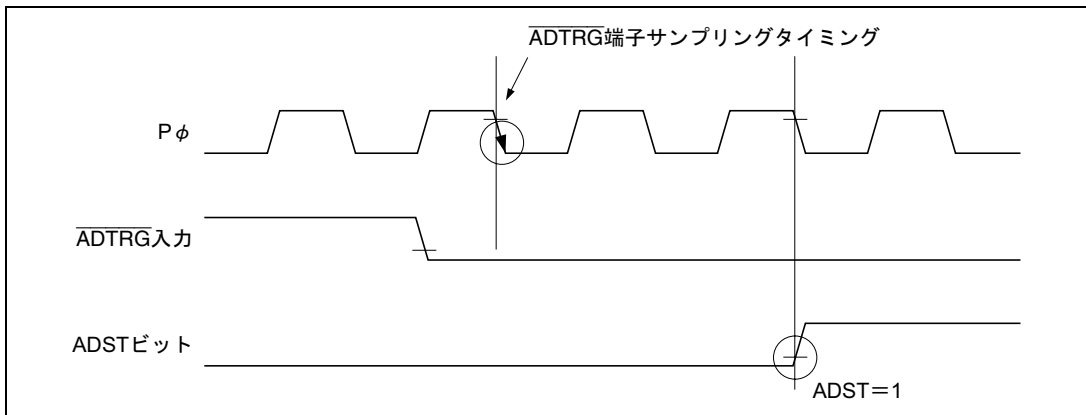


図 17.7 外部トリガ入力タイミング

17.4.5 ATU-II による A/D 変換器の起動

ATU-II のチャンネル 0 のインターバルタイマの A/D 変換要求によって、A/D0、1、2 変換器を独立に起動することができます。

ATU-II で A/D 変換器を起動するときには、A/D コントロールレジスタ (ADCR) の TRGE ビットを 1 にセットします。さらに A/D トリガレジスタ (ADTRGR) の EXTRG ビットを 0 にします。この状態で ATU-II のチャンネル 0 のインターバルタイマの A/D 変換要求が発生すると、ADST ビットを 1 にセットします。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

17.4.6 ADEND 出力端子

ADEND 出力端子によって、チャンネル 31 をスキャンモードで使用する場合の変換タイミングをモニタすることができます。

スキャンモードでチャンネル 31 のアナログ電圧取り込み終了して変換を開始した後に、ADEND 端子が High になります。その後、チャンネル 31 の変換が終了した時点で、ADEND 端子が Low になります。

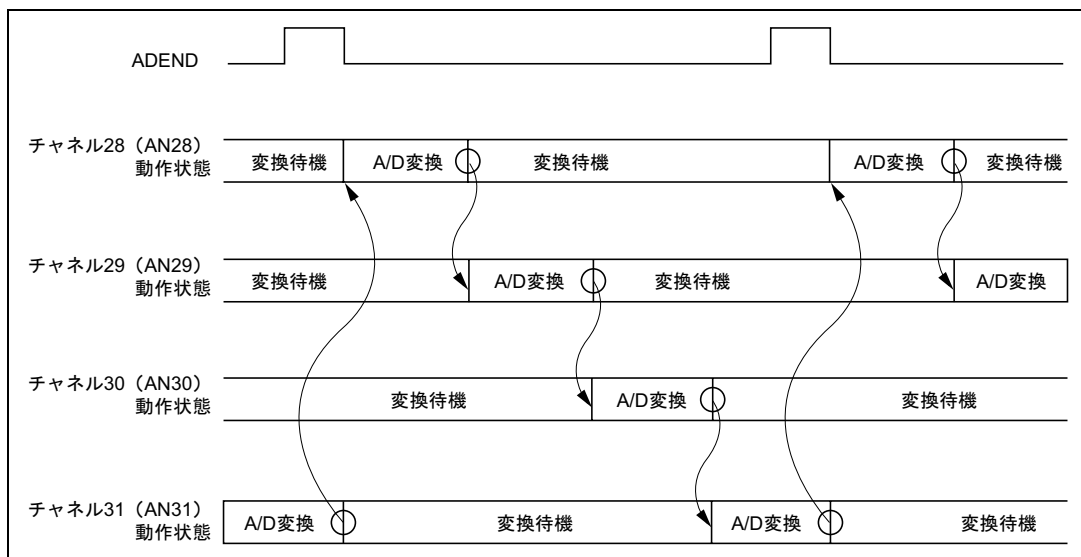


図 17.8 ADEND 出力タイミング

17.5 割り込み要因と DMA 転送要求

A/D 変換器は、A/D 変換終了割り込み要求 (ADI0、ADI1 または ADI2) を発生することができます。A/D コントロールステータスレジスタ (ADCSR) の ADIE ビットを 1 にセットすると ADI を許可、0 にクリアすると ADI を禁止することができます。

また、ADI 発生時に DMAC を起動することができます。このとき、CPU への割り込みは発生しません。

ADI で DMAC を起動する場合、DMAC によるデータ転送時に ADCSR の ADF ビットは自動的にクリアされます。

使用例は「10.4.2 A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン)」を参照してください。

17.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子に印加する電圧は AV_{SS} 、 AN_n 、 AV_{ref} の範囲としてください。

(2) AV_{SS} 、 AV_{CC} と V_{SS} 、 V_{CC} の関係

A/D 変換器を使用する場合、 AV_{SS} 、 AV_{CC} と V_{SS} 、 V_{CC} の関係は、 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{SS} = V_{SS}$ としてください。また、A/D 変換器を使用しないときは、 $AV_{SS} = V_{SS}$ 、 AV_{CC} 端子はオープンにしないでください。

(3) AV_{ref} 端子の設定範囲

$AV_{ref} = 4.5 \sim AV_{CC}$ (A/D 使用時)、 $AV_{ref} = AV_{CC}$ (A/D 未使用時)

以上のことが守られない場合、LSI の信頼性に悪影響を及ぼすことがあります。

(4) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。

また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN_n)、アナログ基準電圧 (AV_{ref})、アナログ電源 (AV_{CC}) は、アナロググランド (AV_{SS}) で、デジタル回路を必ず分離してください。さらに AV_{SS} は、ボード上の安定したデジタルグランド (V_{SS}) に一点接続してください。

(5) ノイズ対策上の注意

アナログ入力端子 (AN_n)、アナログ基準電圧 (AV_{ref}) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、図 17.9 に示すように $AV_{CC} - AV_{SS}$ 間に接続してください。

また、 AV_{CC} 、 AV_{ref} に接続するバイパスコンデンサ、 AN_n に接続するフィルタのコンデンサは、必ず AV_{SS} に接続してください。なお、図 17.9 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN_n) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数の決定については、十分ご検討ください。

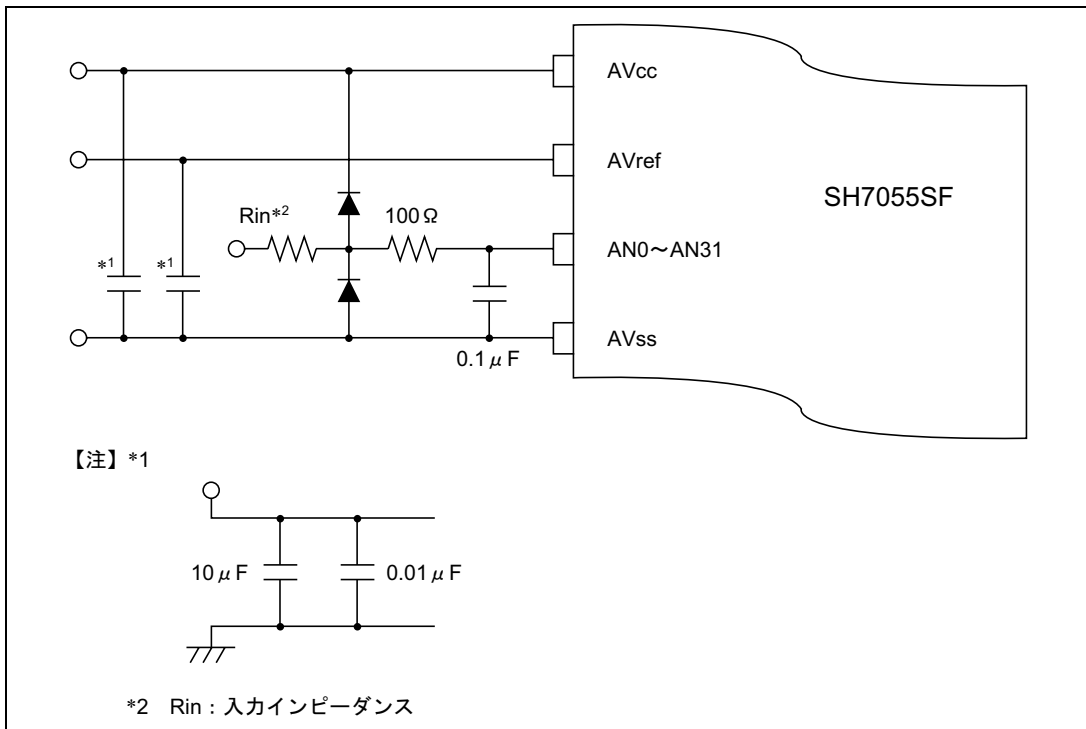


図 17.9 アナログ入力端子の保護回路例

表 17.5 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	3	k

17.6.1 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- ・ 分解能 …………… A/D変換器のデジタル変換出力コード数
- ・ オフセット誤差 … デジタル出力が最小電圧値000000000から000000001に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差。ただし、量子化誤差を含まない(図17.10)。
- ・ フルスケール誤差 … デジタル出力が111111110から111111111に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差。ただし、量子化誤差を含まない(図17.10)。
- ・ 量子化誤差 …………… A/D変換器が本質的に有する誤差であり、1/2LSBで与えられる(図17.10)。
- ・ 非直線性誤差 …………… ゼロ電圧からフルスケール誤差までのあいだの理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- ・ 絶対精度 …………… デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線性誤差を含む。

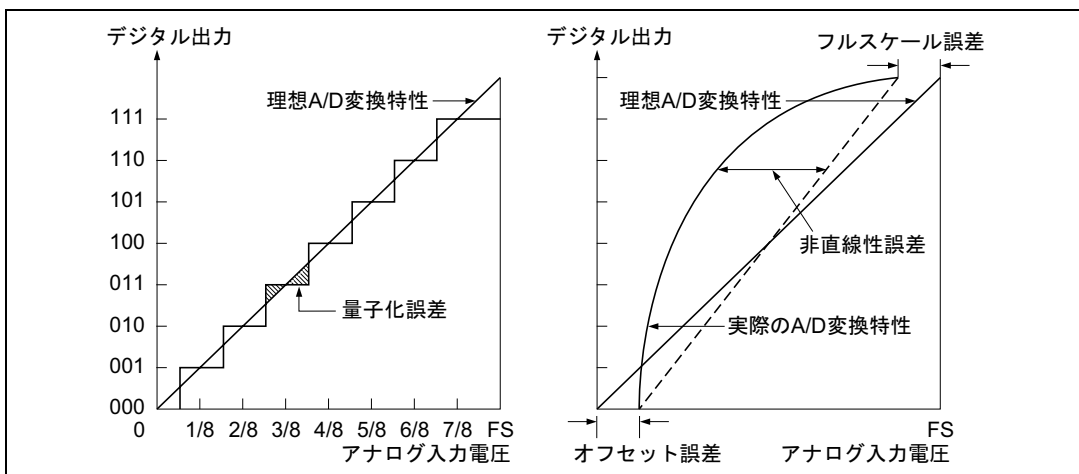


図 17.10 A/D 変換精度の定義

18. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

18.1 概要

ハイパフォーマンスユーザデバッグインタフェース (H-UDI) は、データ転送と割り込み要求の機能を備えています。H-UDI は、外部信号の制御でシリアル転送を行います。

18.1.1 特長

H-UDI は IEEE 1149.1 規格に対応した次の特長を持っています。

5本のテスト信号 (TCK、TDI、TDO、TMS、および $\overline{\text{TRST}}$)

TAPコントローラ

インストラクションレジスタ

データレジスタ

バイパスレジスタ

H-UDI は 2 つのインストラクションを備えています。

BYPASSモード

IEEE 1149.1に対応したテストモード

H-UDI割り込み

INTCへのH-UDI割り込みを要求

本 LSI では、BYPASS モード以外のテストモードはサポートしていません。

18.1.2 H-UDI ブロック図

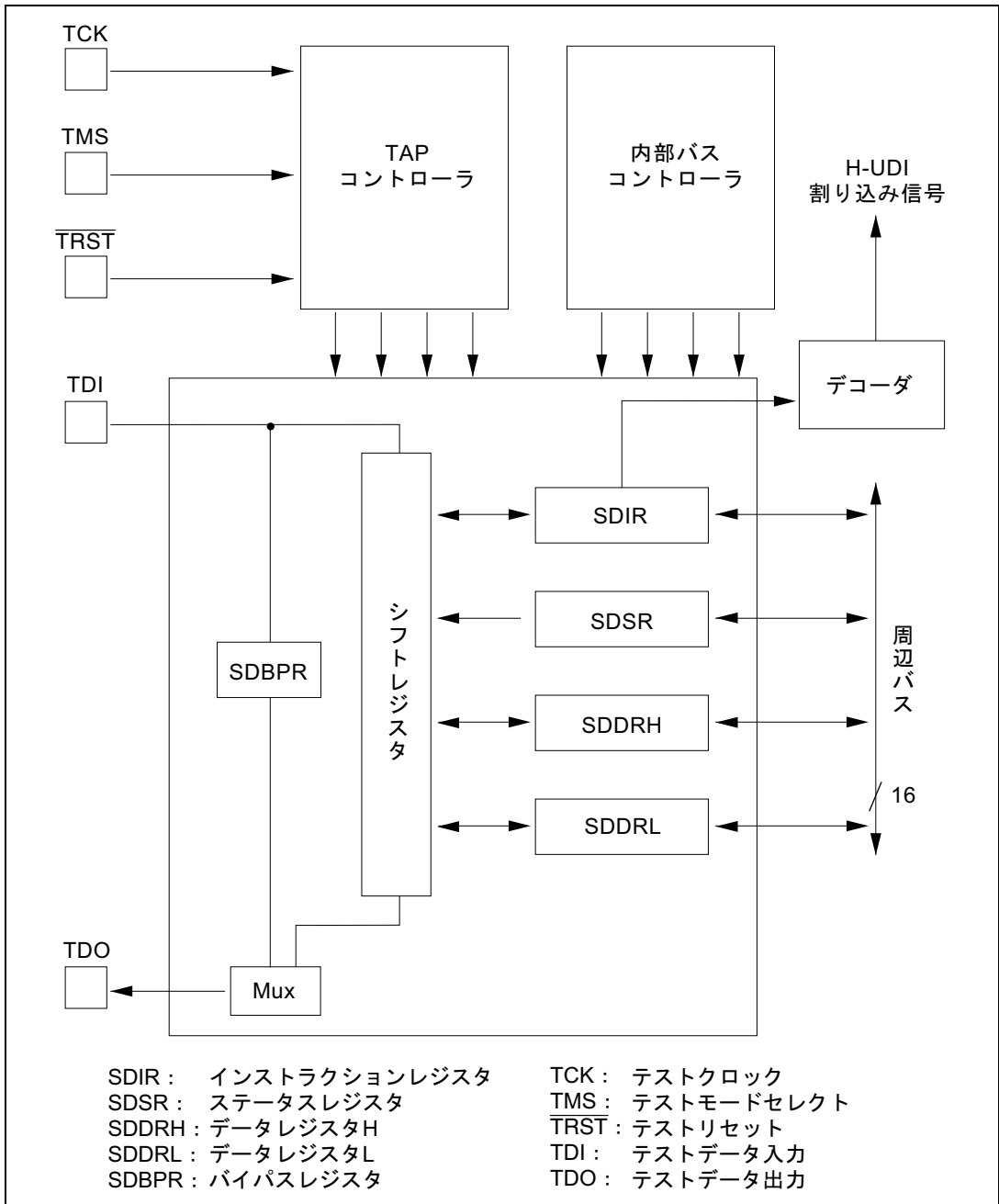


図 18.1 H-UDI ブロック図

18.1.3 端子構成

表 18.1 に H-UDI の端子構成を示します。

表 18.1 端子構成

名称	略称	入出力	機能
テストクロック	TCK	入力	テストクロック入力
テストモードセレクト	TMS	入力	テストモードセレクト入力信号
テストデータ入力	TDI	入力	シリアルデータ入力
テストデータ出力	TDO	出力	シリアルデータ出力
テストリセット	TRST	入力	テストリセット入力信号

18.1.4 レジスタ構成

表 18.2 に H-UDI のレジスタを示します。

表 18.2 レジスタ構成

レジスタ	略称	R/W*1	初期値*2	アドレス	アクセスサイズ (ビット)
インストラクションレジスタ	SDIR	R	H'F000	H'FFFFFFC0	8 / 16 / 32
ステータスレジスタ	SDSR	R/W	H'0201	H'FFFFFFC2	8 / 16 / 32
データレジスタ H	SDDRH	R/W	不定	H'FFFFFFC4	8 / 16 / 32
データレジスタ L	SDDRL	R/W	不定	H'FFFFFFC6	8 / 16 / 32
バイパスレジスタ	SDBPR	—	—	—	—

【注】 *1 CPU による読み出し / 書き込みが可能かどうかを示します。

*2 TRST 信号入力時の初期値。リセット (パワーオンリセット / マニュアルリセット) またはソフトウェアスタンバイモードでは初期化されません。

インストラクションとデータは、テストデータ入力端子 (TDI) からシリアル転送によりインストラクションレジスタ (SDIR) とデータレジスタ (SDDR) へ入力できます。SDIR、ステータスレジスタ (SDSR)、SDDR からのデータはテストデータ出力端子 (TDO) を通じて出力できます。バイパスレジスタ (SDBPR) は 1 ビットのレジスタで、BYPASS モード時 TDI と TDO はこのレジスタに接続されます。SDBPR を除くすべてのレジスタは CPU によるアクセスが可能です。

表 18.3 に各 H-UDI レジスタの可能なシリアル転送の種類を示します。

表 18.3 H-UDI レジスタのシリアル転送特性

レジスタ	シリアル入力	シリアル出力
SDIR	可能	可能
SDSR	不可	可能
SDDRH	可能	可能
SDDRL	可能	可能
SDBPR	可能	可能

18.2 外部信号

18.2.1 テストクロック (TCK)

テストクロック端子 (TCK) は、H-UDI に独立にクロックを供給します。TCK への入力クロックはそのまま H-UDI へ供給しているため、デューティ比 50% に近いクロック波形を入力してください (詳しくは「第 26 章 電気的特性」を参照してください)。何も入力されないと TCK は内部プルアップにより 1 に固定されます。

18.2.2 テストモードセレクト (TMS)

テストモードセレクト端子 (TMS) は、TCK の立ち上がりでサンプリングされます。TMS は TAP コントローラの内部ステートを制御します。何も入力されないと TMS は内部プルアップにより 1 に固定されます。

18.2.3 テストデータ入力 (TDI)

テストデータ入力端子 (TDI) は、H-UDI レジスタに対するインストラクションとデータのシリアル入力を行います。TDI は TCK の立ち上がりでサンプリングされます。何も入力されないと TDI は内部プルアップにより 1 に固定されます。

18.2.4 テストデータ出力 (TDO)

テストデータ出力端子 (TDO) は H-UDI レジスタからのインストラクションとデータのシリアル出力を行います。転送は TCK に同期して行われます。TDO は出力していない場合、ハイインピーダンス状態です。

18.2.5 テストリセット ($\overline{\text{TRST}}$)

テストリセット端子 ($\overline{\text{TRST}}$) は H-UDI を非同期に初期化する信号です。何も入力されないと $\overline{\text{TRST}}$ は内部プルアップにより 1 に固定されます。

18.3 レジスタ

18.3.1 インストラクションレジスタ (SDIR)

ビット	15	14	13	12	11	10	9	8
	TS3	TS2	TS1	TS0	—	—	—	—
初期値	1	1	1	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R
ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

インストラクションレジスタ (SDIR) は、CPU による読み出し専用の 16 ビットのレジスタです。H-UDI のインストラクションは、TDI からのシリアル入力によって SDIR に転送することができます。SDIR は $\overline{\text{TRST}}$ 信号によって初期化できますが、リセットまたはソフトウェアスタンバイモードでは初期化されません。

SDIR に転送するインストラクションは、4 ビット長でなければなりません。4 ビットを越えるインストラクションを入力すると SDIR にはシリアルデータの最後の 4 ビットを格納します。

ビット 15~12 : テストセットビット (TS3~TS0)

表 18.4 にインストラクション構成を示します。

表 18.4 インストラクション構成

TS3	TS2	TS1	TS0	インストラクション
0	0	0	0	予約
			1	予約
		1	0	予約
			1	予約
	1	0	0	予約
			1	予約
		1	0	予約
			1	予約
1	0	0	0	予約
			1	予約
		1	0	H-UDI 割り込み
			1	予約
	1	0	0	予約
			1	予約
		1	0	予約
			1	BYPASS モード (初期値)

ビット 11~0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.3.2 ステータスレジスタ (SDSR)

ビット	:	15	14	13	12	11	10	9	8
	:	—	—	—	—	—	—	—	—
初期値	:	0	0	0	0	0	0	1	0
R/W	:	R	R	R	R	R	R	R	R
ビット	:	7	6	5	4	3	2	1	0
	:	—	—	—	—	—	—	—	SDTRF
初期値	:	0	0	0	0	0	0	0	1
R/W	:	R	R	R	R	R	R	R	R/W

ステータスレジスタ (SDSR) は、CPU による読み出し / 書き込み可能な 16 ビットレジスタです。SDSR は TDO から出力可能ですが、シリアルデータは TDI を通じて SDSR に書き込むことはできません。SDTRF ビットは 1 ビットシフトによって出力されます。2 ビットシフトの場合、SDTRF ビットがまず出力され、続いて予約ビットが出力されます。

SDSR は $\overline{\text{TRST}}$ 信号入力によって初期化されますが、リセットまたはソフトウェアスタンバイモードでは初期化されません。

ビット 15~1 : 予約ビット

ビット 15~10、8~1 は、読み出すと常に 0 が読み出されます。書き込み値は常に 0 にしてください。

ビット 9 は読み出すと常に 1 が読み出されます。書き込み値は常に 1 にしてください。

ビット 0 : シリアルデータ転送制御フラグ (SDTRF)

H-UDI レジスタに対して CPU からアクセスできるかどうかを示します。SDTRF ビットは $\overline{\text{TRST}}$ 信号によってリセットされますが、リセットまたはソフトウェアスタンバイモードでは初期化されません。

ビット 0	説明
SDTRF	
0	SDDR へのシリアル転送終了。SDDR へのアクセス可能
1	SDDR へのシリアル転送中。 (初期値)

18.3.3 データレジスタ (SDDR)

データレジスタ (SDDR) は、データレジスタ H (SDDRH) とデータレジスタ L (SDDRL) から構成され、それぞれのレジスタは次のような構成を持っています。

ビット	:	15	14	13	12	11	10	9	8
初期値	:	—	—	—	—	—	—	—	—
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	:	7	6	5	4	3	2	1	0
初期値	:	—	—	—	—	—	—	—	—
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDDRH と SDDRL は、CPU による読み出し / 書き込み可能な 16 ビットレジスタです。SDDR は外部とのシリアルデータの転送のため TDO および TDI に接続されます。

32 ビットデータはシリアルデータ転送時に入力および出力されます。32 ビットより大きなデータが入力されると SDDR には最後の 32 ビットのみ格納されます。シリアルデータは SDDR の MSB (SDDRH の 15 ビット) から入力され、LSB (SDDRL の 0 ビット) から出力されます。

このレジスタはリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、および $\overline{\text{TRST}}$ 信号によって初期化されません。

18.3.4 バイパスレジスタ (SDBPR)

バイパスレジスタは 1 ビットシフトレジスタです。バイパスモードでは、SDBPR は TDI と TDO に接続され、ボードテストから本 LSI はバイパスされます。SDBPR は CPU による読み出し / 書き込みは行えません。

18.4 動作

18.4.1 H-UDI 割り込み

SDIR へ H-UDI 割り込みのインストラクションが、TDI を経由して転送されると割り込みが発生します。H-UDI 割り込みのサービスルーチンにより、データ転送を制御することが可能です。転送は SDDR を介して、行うことができます。

外部と H-UDI の間のデータ入出力制御は、外部と内部で SDSR の SDTRF ビットを観測することで行います。内部での SDTRF ビットの観測は、CPU で SDSR を読み出して行うことになります。

H-UDI 割り込みおよびシリアル転送の手順は次のとおりです。

- (1) インストラクションがシリアル転送により SDIR へ入力され、H-UDI 割り込み要求が発生します。
- (2) H-UDI 割り込み要求が発行された後、外部で SDSR の SDTRF ビットを観測します。SDTRF = 1 が TDO から出力されたことを観測した後、SDDR にシリアルデータを転送します。
- (3) SDDR へのシリアル転送が完了すると、SDTRF ビットが 0 にクリアされ、CPU による SDDR へのアクセスが可能となります。SDDR へのアクセス終了後、SDSR の SDTRF ビットを 1 に設定することで、SDDR のシリアル転送が可能となります。
- (4) 外部と内部で、常に SDSR の SDTRF ビットを観測することにより、外部と H-UDI のシリアルデータ転送が可能となります。

図 18.2、図 18.3、図 18.4 に外部と H-UDI 間のデータ転送のタイミングを示します。

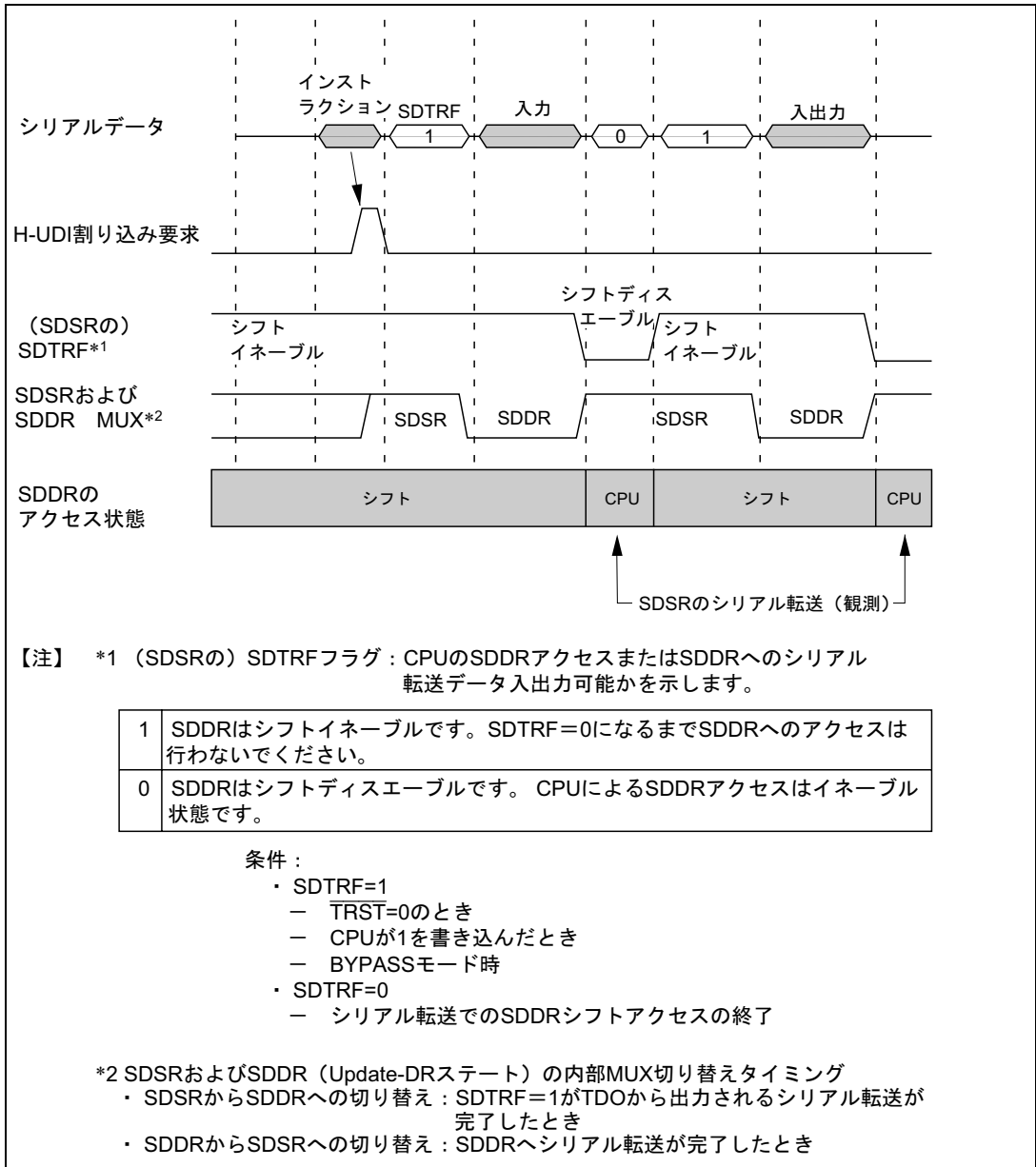


図 18.2 データ入出力タイミングチャート (1)

18. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

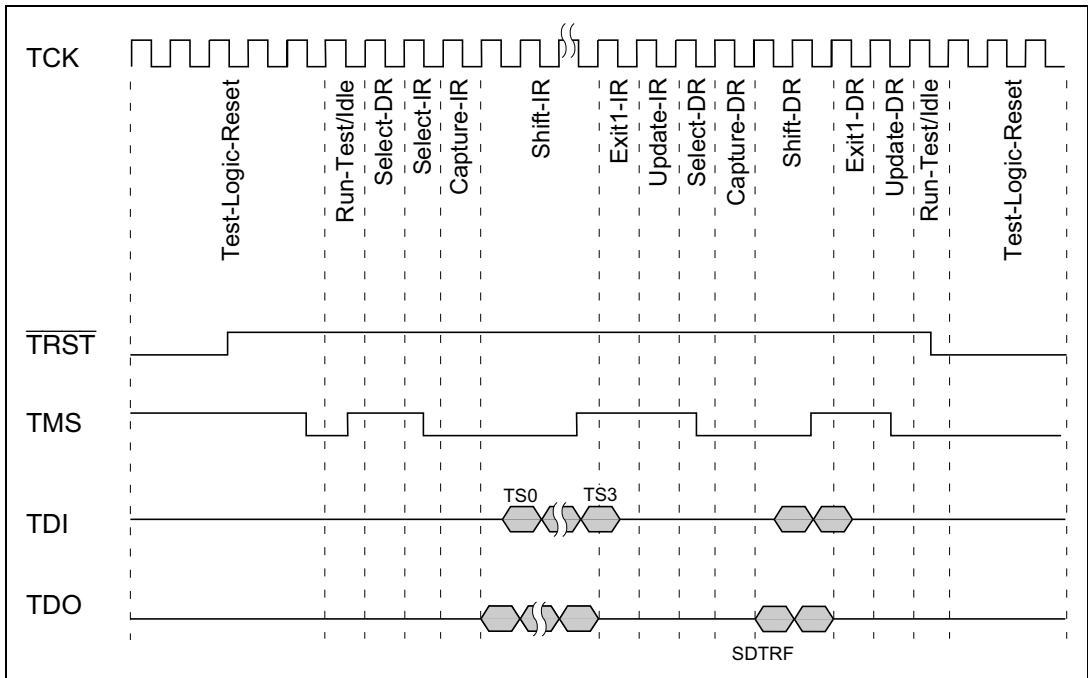


図 18.3 データ入出力タイミングチャート (2)

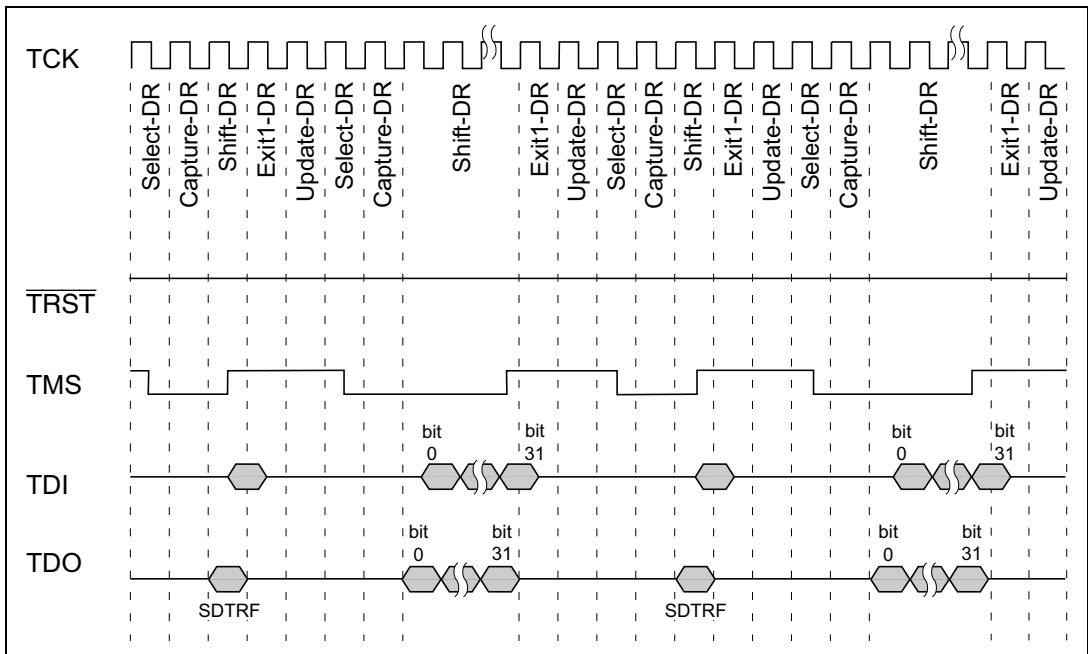


図 18.4 データ入出力タイミングチャート (3)

18.4.2 BYPASS モード

BYPASS モードは、バウンダリスキャンテスト時、本 LSI をバイパスするために利用できます。b'1111 を SDIR へ転送することによって BYPASS モードになります。BYPASS モードでは TDI と TDO には SDBPR が接続されます。

18.4.3 H-UDI のリセット

H-UDI は以下のときにリセットされます。

- $\overline{\text{TRST}}$ 信号を 0 に保持する。
- $\overline{\text{TRST}}=1$ のとき、TMS=1 の状態で 5 クロック以上の TCK を入力する。
- MSTCR レジスタの MSTOP2 を 1 にセットする。(24.2.3 参照)
- ハードウェアスタンバイ時。

18.5 使用上の注意事項

- H-UDI を起動する / しないにかかわらず、必ず $\overline{\text{TRST}}$ 信号を 0 にしてリセットしてください。この際、 $\overline{\text{TRST}}$ は TCK に対して 20 クロック分、Low レベルに保持してください。詳しくは「第 26 章 電気的特性」を参照してください。
- ソフトウェアスタンバイモードではレジスタは初期化されません。ソフトウェアスタンバイモード時に $\overline{\text{TRST}}$ を 0 に設定した場合、動作保証されません。SH7055F と動作が異なるのでご注意ください。
- TCK の周波数は周辺モジュールクロック (P) の周波数よりも低くなければなりません。詳しくは「第 26 章 電気的特性」を参照してください。
- シリアル転送時のデータ入出力は LSB から開始します。図 18.5 にシリアルデータ入出力を示します。
- H-UDI シリアル転送シーケンスがくずれた場合、必ず $\overline{\text{TRST}}$ のリセットを行ってください。このとき、転送動作にかかわらず、再度転送し直してください。
- TDO の出力タイミングは TCK の立ち上がりからになります。
- Shift-IR 時、TDO からの出力データ下位 2 ビット (IR ステータスワード) が 01 にならない場合があります。
- 32 ビット以上シリアル転送した場合、32 ビット分を超えて TDO から出力されるシリアルデータは無視してください。

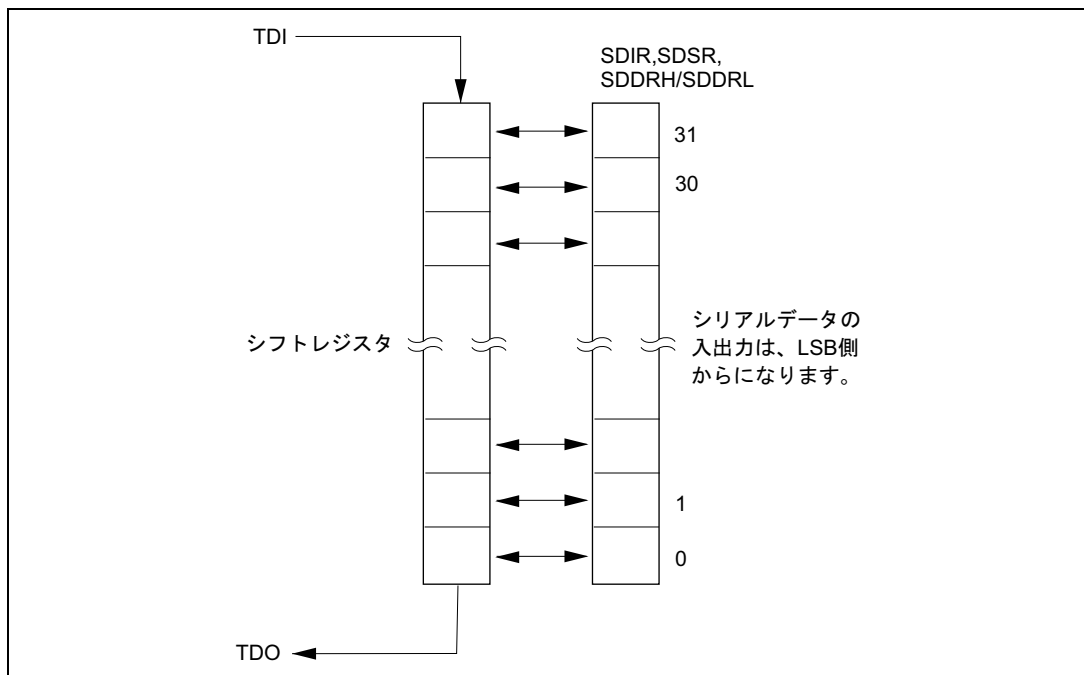


図 18.5 シリアルデータ入出力

19. アドバンストユーザデバッガ (AUD)

19.1 概要

本 LSI は、アドバンストユーザデバッガ (AUD) を搭載しています。AUD を用いてブランチトレースデータ取得や内蔵 RAM データのモニタリング/チューニング等簡易エミュレータを構築することが可能です。

19.1.1 特長

AUD には次のような特長があります。

8本の入出力端子

- データバス (AUDATA3~0)
- AUDリセット (AUDRST)
- AUD同期信号 (AUDSYNC)
- AUDクロック (AUDCK)
- AUDモード (AUDMD)

2つのモード

AUDMDを切り替えることで次の2つのモードが使用できます。

- ブランチトレースモード
 - RAM モニタモード
- (1) ブランチトレースモード
ユーザプログラムにおいてブランチ命令実行や割り込み発生によりPCが分岐すると、AUD はこれを検出し、AUDATAから分岐先アドレスを出力します。アドレスは前回出力したアドレスと比較され、上位アドレスの一致具合により、4/8/16/32ビット出力が自動的に選択されます。
 - (2) RAMモニタモード
外部からAUDATAにアドレスを書き込むと、そのアドレスに対応したデータを出力します。また、AUDATAにアドレスとデータを書き込むと、そのアドレスにデータが転送されます。

19. アドバンスユーザデバッガ (AUD)

19.1.2 ブロック図

図 19.1 に AUD のブロック図を示します。

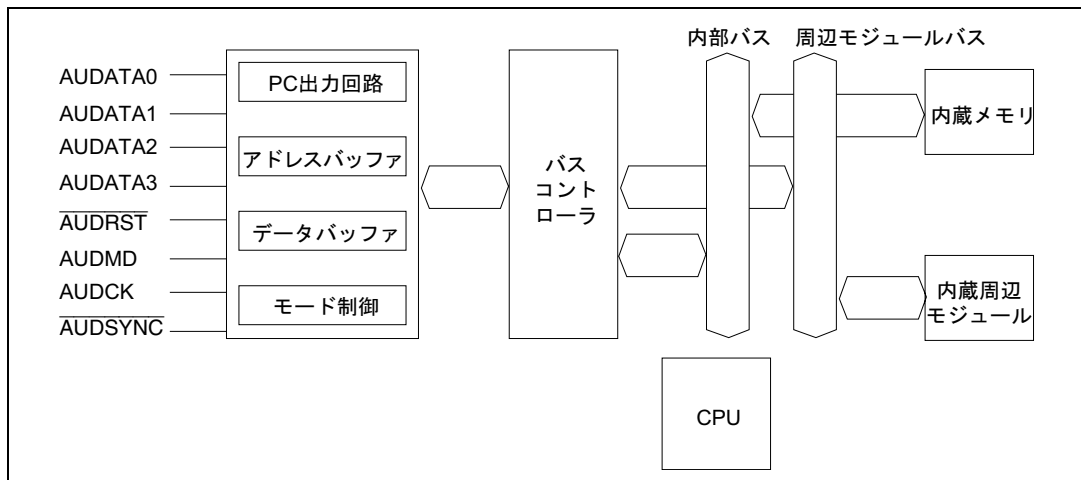


図 19.1 AUD ブロック図

19.2 端子構成

AUD は、表 19.1 に示す入出力端子を持っています。

表 19.1 端子構成

名称	略称	機能	
		ブランチトレースモード	RAM モニタモード
AUD データ	AUDATA3~0	分岐先アドレス出力	モニタアドレス/データ入出力
AUD リセット	AUDRST	AUD リセット入力	AUD リセット入力
AUD モード	AUDMD	モード選択入力 (L)	モード選択入力 (H)
AUD クロック	AUDCK	同期クロック (/2) 出力	同期クロック入力
AUD 同期信号	AUDSYNC	データ先頭位置認識信号出力	データ先頭位置認識信号入力

19.2.1 端子説明

(1) 共通に使用する端子

端子	説明
AUDMD	本端子への入力レベルを切り替えることにより、モードを選択します。 L : ブランチトレースモード H : RAM モニタモード 本端子の入力切り替えは ADRST が L の状態で実施してください。また、何も接続されないときは内部でプルアップします。
AUDRST	本端子に L を入力することで AUD 内のバッファ、ロジックの初期化を行います。 L 入力時は AUD がリセット状態となり、AUD 内のバッファおよびロジックはリセットされます。AUDMD のレベル確定後 H に戻すと選択されたモードで動作します。また、何も接続されないときは内部でプルダウンします。

(2) ブランチトレースモードでの端子説明

端子	説明										
AUDCK	本端子は動作周波数の 1/2 (/2) を出力します。 AUDATA の同期をとるためのクロックです。										
AUDSYNC	本端子は AUDATA からの出力が有効かどうかを示します。 H: 有効なデータを出力していないとき L: アドレスを出力しているとき										
AUDATA3 ~ AUDATA0	<p>(1) $\overline{\text{AUDSYNC}} = \text{L}$ のとき 内部でプログラム分岐または割り込み分岐が発生すると AUD は $\overline{\text{AUDSYNC}}$ をアサートし分岐先アドレスを出力します。出力は A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28 の順です。</p> <p>(2) $\overline{\text{AUDSYNC}} = \text{H}$ のとき 分岐先アドレス出力待ち状態時は常に 0011 を出力します。 分岐発生時は AUDATA3、2 = 10 を出力し、前回フル出力したアドレスと今回出力するアドレスとの比較により、4/8/16/32 ビットのアドレスをどれだけ出力するかを示します (下表参照)。</p> <table border="1" style="margin-left: 40px;"> <thead> <tr> <th colspan="2">AUDATA1、0</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>アドレスのA31~A4までが一致したことを示し、以下A3~0の4ビットのアドレスを出力することを示します。つまり出力回数は1回です。</td> </tr> <tr> <td>01</td> <td>アドレスのA31~A8までが一致したことを示し、以下A3~0、A7~4の8ビットのアドレスを出力することを示します。つまり出力回数は2回です。</td> </tr> <tr> <td>10</td> <td>アドレスのA31~A16までが一致したことを示し、以下A3~0、A7~4、A11~8、A15~12の16ビットのアドレスを出力することを示します。つまり出力回数は4回です。</td> </tr> <tr> <td>11</td> <td>上記のいずれにも該当しなかったを示し、以下A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28の32ビットのアドレスを出力することを示します。つまり出力回数は8回です。</td> </tr> </tbody> </table>	AUDATA1、0		00	アドレスのA31~A4までが一致したことを示し、以下A3~0の4ビットのアドレスを出力することを示します。つまり出力回数は1回です。	01	アドレスのA31~A8までが一致したことを示し、以下A3~0、A7~4の8ビットのアドレスを出力することを示します。つまり出力回数は2回です。	10	アドレスのA31~A16までが一致したことを示し、以下A3~0、A7~4、A11~8、A15~12の16ビットのアドレスを出力することを示します。つまり出力回数は4回です。	11	上記のいずれにも該当しなかったを示し、以下A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28の32ビットのアドレスを出力することを示します。つまり出力回数は8回です。
AUDATA1、0											
00	アドレスのA31~A4までが一致したことを示し、以下A3~0の4ビットのアドレスを出力することを示します。つまり出力回数は1回です。										
01	アドレスのA31~A8までが一致したことを示し、以下A3~0、A7~4の8ビットのアドレスを出力することを示します。つまり出力回数は2回です。										
10	アドレスのA31~A16までが一致したことを示し、以下A3~0、A7~4、A11~8、A15~12の16ビットのアドレスを出力することを示します。つまり出力回数は4回です。										
11	上記のいずれにも該当しなかったを示し、以下A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28の32ビットのアドレスを出力することを示します。つまり出力回数は8回です。										

(3) RAM モニタモードでの端子説明

端子	説明
AUDCK	本端子は外部クロック入力です。デバッグに使用するクロックを入力してください。入力できる周波数は動作周波数の 1/4 以下です。また、何も接続されないときは内部でプルアップします。
AUDSYNC	本端子は外部から AUDATA にコマンドが入力されて、必要なデータが準備できるまでアサートしないでください。詳しくは後述のプロトコルを参照してください。また、何も接続されないときは内部でプルアップします。
AUDATA3 ~ AUDATA0	外部からコマンドを入力すると Ready 送信後データを出力します。出力は $\overline{\text{AUDSYNC}}$ がネゲートされてから開始します。詳しくは後述のプロトコルを参照してください。また、何も接続されないときは内部でプルアップします。

19.3 ブランチトレースモード

19.3.1 概要

本モードは、ユーザプログラムにおいて分岐が発生したときに、分岐先アドレスを出力する機能です。分岐には分岐命令実行と割り込み / 例外処理による分岐がありますが、本機能はこれらを区別しません。

19.3.2 動作説明

$\overline{\text{AUDRST}}$ をアサートして AUDMD を L に設定してから $\overline{\text{AUDRST}}$ をネゲートするとブランチトレースモードで動作を開始します。

図 19.2 にデータ出力例を示します。

ユーザプログラムが分岐なしで実行されている場合、AUDATA は AUDCK に同期して常に 0011 を出力します。

分岐が発生した場合には、PC が分岐先アドレスから実行開始後、前回フル出力（途中で後に発生した分岐によって出力の中断がなかった場合の出力）したアドレスと今回の分岐アドレスの比較によって、AUDATA から 1000（4 ビット出力時） or 1001（8 ビット出力時） or 1010（16 ビット出力時） or 1011（32 ビット出力時）を 1 クロック分出力してから $\overline{\text{AUDSYNC}}$ をアサートして分岐先アドレスを出力します。なお、比較アドレスの初期値は H'00000000 です。

アドレスを出力するサイクルが終了すると、 $\overline{\text{AUDSYNC}}$ をネゲートし、同時に AUDATA から 0011 を出力します。

分岐先アドレス出力中に次の分岐が発生した場合には、後に発生した分岐を優先して出力します。このとき $\overline{\text{AUDSYNC}}$ をネゲートし AUDATA は再度 10xx を出力してからアドレスを出力します（図 19.3 分岐が連続した場合の出力例）。比較されるアドレスは前回フル出力されたアドレスであり、中断されたアドレスではないので注意してください。これは、中断されたアドレスでは上位アドレスを知ることができないためです。

なお、PC が分岐先アドレスの実行開始の AUDATA が 10xx を出力するまでの期間は AUDCK 基準で 1.5 or 2cyc です。

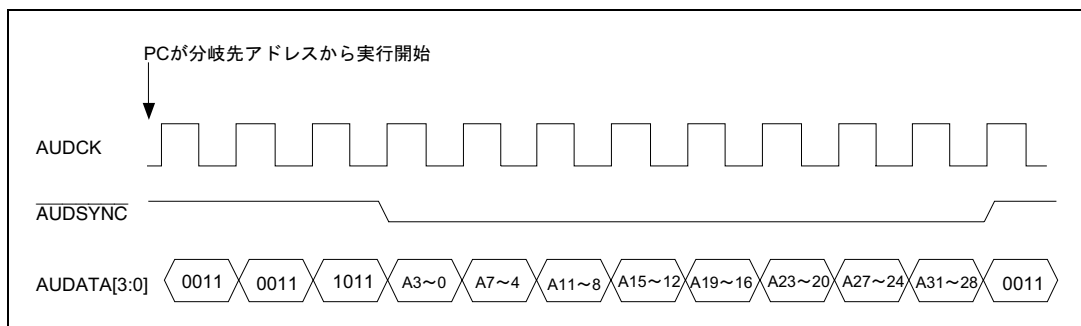


図 19.2 データ出力例（32 ビット出力）

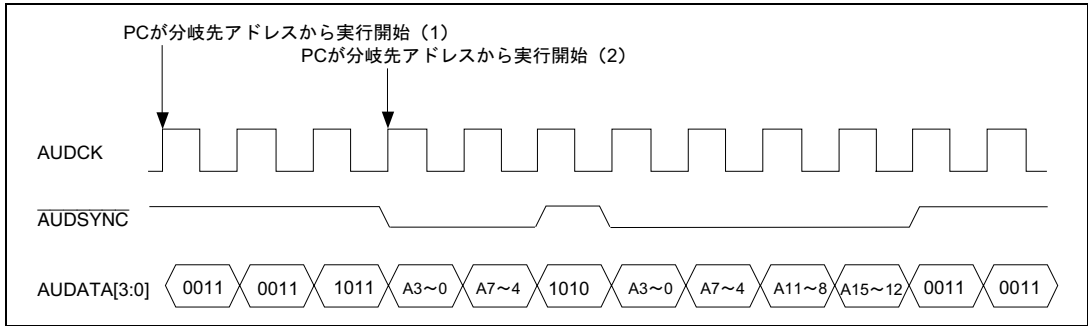


図 19.3 分岐が連続した場合の出力例

19.4 RAM モニタモード

19.4.1 概要

本モードは、SH7055SF 内部 / 外部バスに接続されているすべてのモジュールを読み出し / 書き込みする機能です。本機能により RAM モニタ / チューニングができます。

19.4.2 通信プロトコル

AUD は AUDSYNC がアサートされると AUDATA を取り込みます。AUDATA は以下のフォーマットで入力してください。

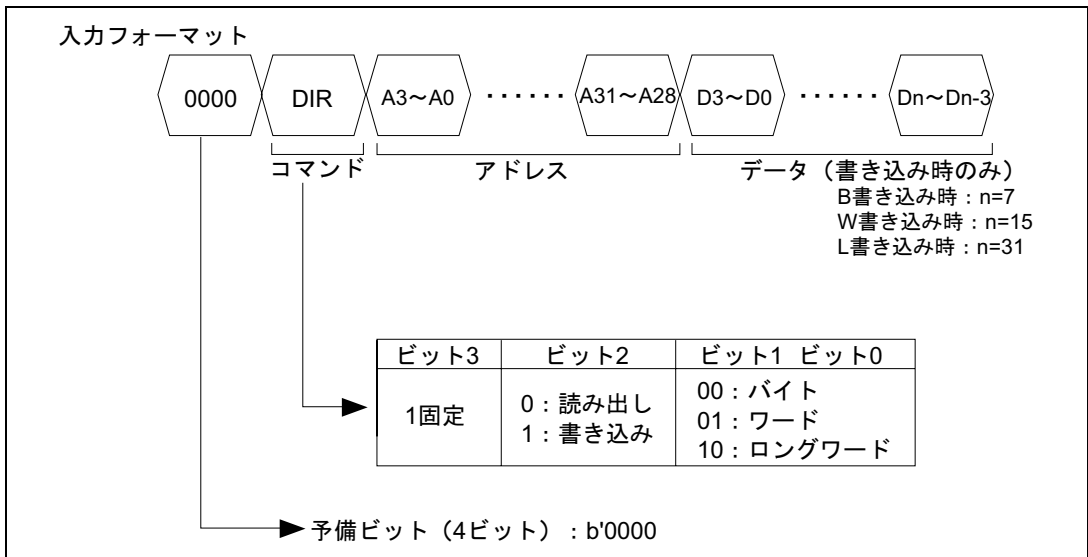


図 19.4 AUDATA 入力フォーマット

19.4.3 動作説明

AUDRST をアサートした状態で AUDMD を H にして AUDRST をネゲートすると、RAM モニタモードで動作を開始します。

図 19.5 にリード動作の例を、図 19.6 にライト動作の例を示します。

AUDSYNC がアサートされると、AUDATA から入力を開始します。図 19.4 に示すフォーマットでコマンド、アドレス、データ (書き込み時のみ) が入力されると、指定されたアドレスの読み出し

19. アドバンスユーザデバッグ (AUD)

／書き込みを実行を開始します。内部実行中は AUD は Not Ready (0000) を返します。実行が完了すると、Ready フラグ (0001) を返します (図 19.5、図 19.6)。表 19.2 に Ready フラグのフォーマットを示します。

読み出し時は、このフラグの検出後、 $\overline{\text{AUDSYNC}}$ をネゲートすると指定されたサイズのデータを出します (図 19.5)。

DIR に上記以外のコマンドが入力された場合、AUD はコマンドエラーとして処理を無効にし、Ready フラグ内のビット 1 を 1 にセットします。また、DIR 内で指定されたコマンドによる読み出し／書き込み動作がバスエラーを起こすとき、処理を無効にし Ready フラグ内ビット 2 を 1 にセットします (図 19.7)。

以下にバスエラー条件を示します。

- (1) $4n+1$ 、 $4n+3$ 番地にワードアクセス
- (2) $4n+1$ 、 $4n+2$ 、 $4n+3$ 番地にロングワードアクセス
- (3) 内蔵I/O 8bit空間をロングワードでアクセス
- (4) シングルチップモード時に外部空間をアクセス

表 19.2 Ready フラグフォーマット

ビット 3	ビット 2	ビット 1	ビット 0
0 固定	0 : 正常状態 1 : バスエラー発生	0 : 正常状態 1 : コマンドエラー発生	0 : not Ready 1 : Ready

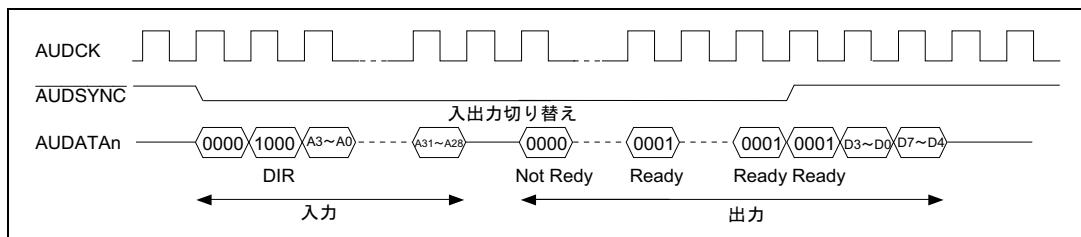


図 19.5 リード動作例 (バイトリード)

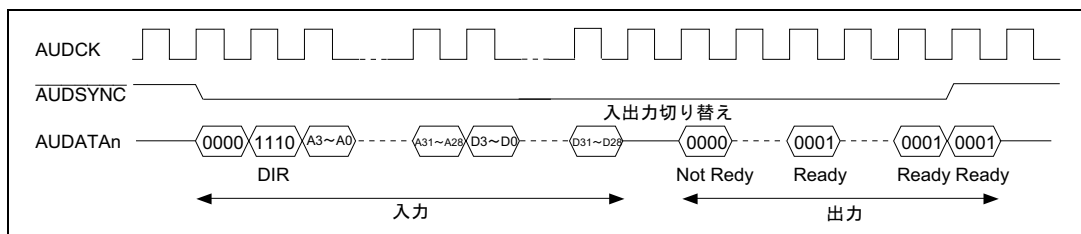


図 19.6 ライト動作例 (ロングワードライト)

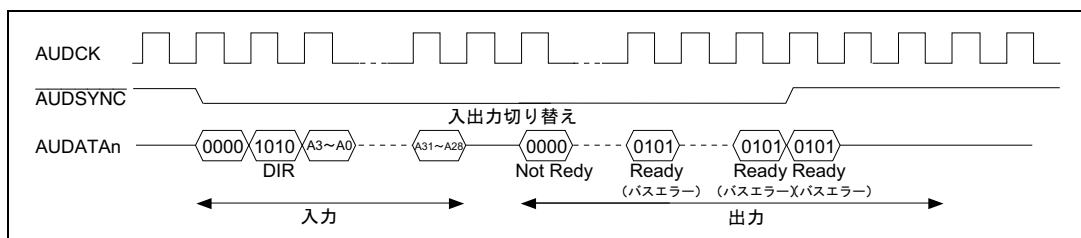


図 19.7 エラー発生例 (ロングワードリード)

19.5 使用上の注意事項

19.5.1 初期化

本デバッグに内蔵しているバッファおよび処理状態は、以下の条件に入ると初期化されます。

- (1) パワーオンリセット
- (2) ハードウェアスタンバイ
- (3) $\overline{\text{AUDRST}}$ 端子にLレベル印加
- (4) SYSCRレジスタのAUDSRSTビットに1をセットしたとき (24.2.2参照)
- (5) MSTCRレジスタのMSTOP3ビットに1をセットしたとき (24.2.3参照)

19.5.2 ソフトウェアスタンバイ時の動作

本デバッグはソフトウェアスタンバイでは初期化されません。ただし、ソフトウェアスタンバイ時はLSIの内部は止まっているので、

- (1) $\text{AUDMD}=\text{H}$ (RAMモニタ) 時: Readyが返らない。
ソフトウェアスタンバイ解除後の動作は、保証されないため、 $\overline{\text{AUDRST}}$ を入力し、再実行してください。
- (2) $\text{AUDMD}=\text{L}$ (PCトレース) 時: 停止。ただし、ソフトウェアスタンバイ解除で動作継続。

19.5.3 ブートモードとユーザブートモードの初期状態

ブートモード動作中と、ユーザブートモードの初期状態ではAUD動作はできません。ブートモード、ユーザブートモードにつきましては「第22章 ROM」を参照してください。

19.5.4 ソフトウェアスタンバイ/ハードウェアスタンバイ中のAUD入力信号動作禁止

ソフトウェアスタンバイ/ハードウェアスタンバイ中にAUDインタフェースの入力を変化させると著しく信頼性を低下させるおそれがあります。そのため、ソフトウェアスタンバイ/ハードウェアスタンバイ中は、AUD入力信号を変化させないように注意してください。

20. ピンファンクションコントローラ (PFC)

20.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 20.1 に本 LSI のマルチプレクス端子を示します。

表 20.1 マルチプレクス端子

256 ピン				
ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
A	PA0 入出力 (ポート)	TI0A 入力 (ATU-II)		
A	PA1 入出力 (ポート)	TI0B 入力 (ATU-II)		
A	PA2 入出力 (ポート)	TI0C 入力 (ATU-II)		
A	PA3 入出力 (ポート)	TI0D 入力 (ATU-II)		
A	PA4 入出力 (ポート)	TIO3A 入出力 (ATU-II)		
A	PA5 入出力 (ポート)	TIO3B 入出力 (ATU-II)		
A	PA6 入出力 (ポート)	TIO3C 入出力 (ATU-II)		
A	PA7 入出力 (ポート)	TIO3D 入出力 (ATU-II)		
A	PA8 入出力 (ポート)	TIO4A 入出力 (ATU-II)		
A	PA9 入出力 (ポート)	TIO4B 入出力 (ATU-II)		
A	PA10 入出力 (ポート)	TIO4C 入出力 (ATU-II)		
A	PA11 入出力 (ポート)	TIO4D 入出力 (ATU-II)		
A	PA12 入出力 (ポート)	TIO5A 入出力 (ATU-II)		
A	PA13 入出力 (ポート)	TIO5B 入出力 (ATU-II)		
A	PA14 入出力 (ポート)	TxD0 出力 (SCI)		
A	PA15 入出力 (ポート)	RxD0 入力 (SCI)		
B	PB0 入出力 (ポート)	TO6A 出力 (ATU-II)		
B	PB1 入出力 (ポート)	TO6B 出力 (ATU-II)		
B	PB2 入出力 (ポート)	TO6C 出力 (ATU-II)		
B	PB3 入出力 (ポート)	TO6D 出力 (ATU-II)		
B	PB4 入出力 (ポート)	TO7A 出力 (ATU-II)	TO8A 出力 (ATU-II)	
B	PB5 入出力 (ポート)	TO7B 出力 (ATU-II)	TO8B 出力 (ATU-II)	
B	PB6 入出力 (ポート)	TO7C 出力 (ATU-II)	TO8C 出力 (ATU-II)	
B	PB7 入出力 (ポート)	TO7D 出力 (ATU-II)	TO8D 出力 (ATU-II)	
B	PB8 入出力 (ポート)	TxD3 出力 (SCI)	TO8E 出力 (ATU-II)	
B	PB9 入出力 (ポート)	RxD3 入力 (SCI)	TO8F 出力 (ATU-II)	
B	PB10 入出力 (ポート)	TxD4 出力 (SCI)	HTxD0 出力 (HCAN)	TO8G 出力 (ATU-II)
B	PB11 入出力 (ポート)	RxD4 入力 (SCI)	HRxD0 入力 (HCAN)	TO8H 出力 (ATU-II)
B	PB12 入出力 (ポート)	TCLKA 入力 (ATU-II)	UBCTRG 出力 (UBC)	
B	PB13 入出力 (ポート)	SCK0 入出力 (SCI)		
B	PB14 入出力 (ポート)	SCK1 入出力 (SCI)	TCLKB 入力 (ATU-II)	TI10 入力 (ATU-II)

20. ピンファンクションコントローラ (PFC)

256 ピン				
ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
B	PB15 入出力 (ポート)	PULS5 出力 (APC)	SCK2 入出力 (SCI)	
C	PC0 入出力 (ポート)	TxD1 出力 (SCI)		
C	PC1 入出力 (ポート)	RxD1 入力 (SCI)		
C	PC2 入出力 (ポート)	TxD2 出力 (SCI)		
C	PC3 入出力 (ポート)	RxD2 入力 (SCI)		
C	PC4 入出力 (ポート)	$\overline{\text{IRQ0}}$ 入力 (INTC)		
D	PD0 入出力 (ポート)	TIO1A 入出力 (ATU-II)		
D	PD1 入出力 (ポート)	TIO1B 入出力 (ATU-II)		
D	PD2 入出力 (ポート)	TIO1C 入出力 (ATU-II)		
D	PD3 入出力 (ポート)	TIO1D 入出力 (ATU-II)		
D	PD4 入出力 (ポート)	TIO1E 入出力 (ATU-II)		
D	PD5 入出力 (ポート)	TIO1F 入出力 (ATU-II)		
D	PD6 入出力 (ポート)	TIO1G 入出力 (ATU-II)		
D	PD7 入出力 (ポート)	TIO1H 入出力 (ATU-II)		
D	PD8 入出力 (ポート)	PULS0 出力 (APC)		
D	PD9 入出力 (ポート)	PULS1 出力 (APC)		
D	PD10 入出力 (ポート)	PULS2 出力 (APC)		
D	PD11 入出力 (ポート)	PULS3 出力 (APC)		
D	PD12 入出力 (ポート)	PULS4 出力 (APC)		
D	PD13 入出力 (ポート)	PULS6 出力 (APC)	HTxD0 出力 (HCAN)	HTxD1 出力 (HCAN)
E	PE0 入出力 (ポート)	A0 出力 (BSC)		
E	PE1 入出力 (ポート)	A1 出力 (BSC)		
E	PE2 入出力 (ポート)	A2 出力 (BSC)		
E	PE3 入出力 (ポート)	A3 出力 (BSC)		
E	PE4 入出力 (ポート)	A4 出力 (BSC)		
E	PE5 入出力 (ポート)	A5 出力 (BSC)		
E	PE6 入出力 (ポート)	A6 出力 (BSC)		
E	PE7 入出力 (ポート)	A7 出力 (BSC)		
E	PE8 入出力 (ポート)	A8 出力 (BSC)		
E	PE9 入出力 (ポート)	A9 出力 (BSC)		
E	PE10 入出力 (ポート)	A10 出力 (BSC)		
E	PE11 入出力 (ポート)	A11 出力 (BSC)		
E	PE12 入出力 (ポート)	A12 出力 (BSC)		
E	PE13 入出力 (ポート)	A13 出力 (BSC)		
E	PE14 入出力 (ポート)	A14 出力 (BSC)		
E	PE15 入出力 (ポート)	A15 出力 (BSC)		
F	PF0 入出力 (ポート)	A16 出力 (BSC)		
F	PF1 入出力 (ポート)	A17 出力 (BSC)		
F	PF2 入出力 (ポート)	A18 出力 (BSC)		
F	PF3 入出力 (ポート)	A19 出力 (BSC)		
F	PF4 入出力 (ポート)	A20 出力 (BSC)		
F	PF5 入出力 (ポート)	A21 出力 (BSC)	$\overline{\text{POD}}$ 入力 (ポート)	

20. ピンファンクションコントローラ (PFC)

256 ピン				
ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
F	PF6 入出力 (ポート)	WRL 出力 (BSC)		
F	PF7 入出力 (ポート)	WRH 出力 (BSC)		
F	PF8 入出力 (ポート)	WAIT 入力 (BSC)		
F	PF9 入出力 (ポート)	RD 出力 (BSC)		
F	PF10 入出力 (ポート)	CS0 出力 (BSC)		
F	PF11 入出力 (ポート)	CS1 出力 (BSC)		
F	PF12 入出力 (ポート)	CS2 出力 (BSC)		
F	PF13 入出力 (ポート)	CS3 出力 (BSC)		
F	PF14 入出力 (ポート)	BACK 出力 (BSC)		
F	PF15 入出力 (ポート)	BREQ 入力 (BSC)		
G	PG0 入出力 (ポート)	PULS7 出力 (APC)	HRxD0 入力 (HCAN)	HRxD1 入力 (HCAN)
G	PG1 入出力 (ポート)	IRQ1 入力 (INTC)		
G	PG2 入出力 (ポート)	IRQ2 入力 (INTC)	ADEND 出力 (A/D)	
G	PG3 入出力 (ポート)	IRQ3 入力 (INTC)	ADTRG0 入力 (A/D)	
H	PH0 入出力 (ポート)	D0 入出力 (BSC)		
H	PH1 入出力 (ポート)	D1 入出力 (BSC)		
H	PH2 入出力 (ポート)	D2 入出力 (BSC)		
H	PH3 入出力 (ポート)	D3 入出力 (BSC)		
H	PH4 入出力 (ポート)	D4 入出力 (BSC)		
H	PH5 入出力 (ポート)	D5 入出力 (BSC)		
H	PH6 入出力 (ポート)	D6 入出力 (BSC)		
H	PH7 入出力 (ポート)	D7 入出力 (BSC)		
H	PH8 入出力 (ポート)	D8 入出力 (BSC)		
H	PH9 入出力 (ポート)	D9 入出力 (BSC)		
H	PH10 入出力 (ポート)	D10 入出力 (BSC)		
H	PH11 入出力 (ポート)	D11 入出力 (BSC)		
H	PH12 入出力 (ポート)	D12 入出力 (BSC)		
H	PH13 入出力 (ポート)	D13 入出力 (BSC)		
H	PH14 入出力 (ポート)	D14 入出力 (BSC)		
H	PH15 入出力 (ポート)	D15 入出力 (BSC)		
J	PJ0 入出力 (ポート)	TIO2A 入出力 (ATU-II)		
J	PJ1 入出力 (ポート)	TIO2B 入出力 (ATU-II)		
J	PJ2 入出力 (ポート)	TIO2C 入出力 (ATU-II)		
J	PJ3 入出力 (ポート)	TIO2D 入出力 (ATU-II)		
J	PJ4 入出力 (ポート)	TIO2E 入出力 (ATU-II)		
J	PJ5 入出力 (ポート)	TIO2F 入出力 (ATU-II)		
J	PJ6 入出力 (ポート)	TIO2G 入出力 (ATU-II)		
J	PJ7 入出力 (ポート)	TIO2H 入出力 (ATU-II)		
J	PJ8 入出力 (ポート)	TIO5C 入出力 (ATU-II)		
J	PJ9 入出力 (ポート)	TIO5D 入出力 (ATU-II)		
J	PJ10 入出力 (ポート)	TI9A 入力 (ATU-II)		
J	PJ11 入出力 (ポート)	TI9B 入力 (ATU-II)		

20. ピンファンクションコントローラ (PFC)

256 ピン				
ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
J	PJ12 入出力 (ポート)	TI9C 入力 (ATU-II)		
J	PJ13 入出力 (ポート)	TI9D 入力 (ATU-II)		
J	PJ14 入出力 (ポート)	TI9E 入力 (ATU-II)		
J	PJ15 入出力 (ポート)	TI9F 入力 (ATU-II)		
K	PK0 入出力 (ポート)	TO8A 出力 (ATU-II)		
K	PK1 入出力 (ポート)	TO8B 出力 (ATU-II)		
K	PK2 入出力 (ポート)	TO8C 出力 (ATU-II)		
K	PK3 入出力 (ポート)	TO8D 出力 (ATU-II)		
K	PK4 入出力 (ポート)	TO8E 出力 (ATU-II)		
K	PK5 入出力 (ポート)	TO8F 出力 (ATU-II)		
K	PK6 入出力 (ポート)	TO8G 出力 (ATU-II)		
K	PK7 入出力 (ポート)	TO8H 出力 (ATU-II)		
K	PK8 入出力 (ポート)	TO8I 出力 (ATU-II)		
K	PK9 入出力 (ポート)	TO8J 出力 (ATU-II)		
K	PK10 入出力 (ポート)	TO8K 出力 (ATU-II)		
K	PK11 入出力 (ポート)	TO8L 出力 (ATU-II)		
K	PK12 入出力 (ポート)	TO8M 出力 (ATU-II)		
K	PK13 入出力 (ポート)	TO8N 出力 (ATU-II)		
K	PK14 入出力 (ポート)	TO8O 出力 (ATU-II)		
K	PK15 入出力 (ポート)	TO8P 出力 (ATU-II)		
L	PL0 入出力 (ポート)	TI10 入力 (ATU-II)		
L	PL1 入出力 (ポート)	TIO11A 入出力 (ATU-II)	IRQ6 入力 (INTC)	
L	PL2 入出力 (ポート)	TIO11B 入出力 (ATU-II)	IRQ7 入力 (INTC)	
L	PL3 入出力 (ポート)	TCLKB 入力 (ATU-II)		
L	PL4 入出力 (ポート)	ADTRG0 入力 (A/D)		
L	PL5 入出力 (ポート)	ADTRG1 入力 (A/D)		
L	PL6 入出力 (ポート)	ADEND 出力 (A/D)		
L	PL7 入出力 (ポート)	SCK2 入出力 (SCI)		
L	PL8 入出力 (ポート)	SCK3 入出力 (SCI)		
L	PL9 入出力 (ポート)	SCK4 入出力 (SCI)	IRQ5 入力 (INTC)	
L	PL10 入出力 (ポート)	HTxD0 出力 (HCAN)	HTxD1 出力 (HCAN)	HTxD0&HTxD1(HCAN)
L	PL11 入出力 (ポート)	HRxD0 入力 (HCAN)	HRxD1 入力 (HCAN)	HRxD0&HRxD1(HCAN)
L	PL12 入出力 (ポート)	IRQ4 入力 (INTC)		
L	PL13 入出力 (ポート)	IRQOUT 出力 (INTC)	IRQOUT 出力 (INTC)	

20.2 レジスタ構成

PFC のレジスタを表 20.2 に示します。

表 20.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセス サイズ
ポート A・IO レジスタ	PAIOR	R/W	H'0000	H'FFFFFF720	8、16
ポート A コントロールレジスタ H	PACRH	R/W	H'0000	H'FFFFFF722	8、16
ポート A コントロールレジスタ L	PACRL	R/W	H'0000	H'FFFFFF724	8、16
ポート B・IO レジスタ	PBIOR	R/W	H'0000	H'FFFFFF730	8、16
ポート B コントロールレジスタ H	PBCRH	R/W	H'0000	H'FFFFFF732	8、16
ポート B コントロールレジスタ L	PBCRL	R/W	H'0000	H'FFFFFF734	8、16
ポート B インポートレジスタ	PBIR	R/W	H'0000	H'FFFFFF736	8、16
ポート C・IO レジスタ	PCIOR	R/W	H'0000	H'FFFFFF73A	8、16
ポート C コントロールレジスタ	PCCR	R/W	H'0000	H'FFFFFF73C	8、16
ポート D・IO レジスタ	PDIOR	R/W	H'0000	H'FFFFFF740	8、16
ポート D コントロールレジスタ H	PDCRH	R/W	H'0000	H'FFFFFF742	8、16
ポート D コントロールレジスタ L	PDCRL	R/W	H'0000	H'FFFFFF744	8、16
ポート E・IO レジスタ	PEIOR	R/W	H'0000	H'FFFFFF750	8、16
ポート E コントロールレジスタ	PECR	R/W	H'0000	H'FFFFFF752	8、16
ポート F・IO レジスタ	PFIOR	R/W	H'0000	H'FFFFFF748	8、16
ポート F コントロールレジスタ H	PFCRH	R/W	H'0015	H'FFFFFF74A	8、16
ポート F コントロールレジスタ L	PFCRL	R/W	H'5000	H'FFFFFF74C	8、16
ポート G・IO レジスタ	PGIOR	R/W	H'0000	H'FFFFFF760	8、16
ポート G コントロールレジスタ	PGCR	R/W	H'0000	H'FFFFFF762	8、16
ポート H・IO レジスタ	PHIOR	R/W	H'0000	H'FFFFFF728	8、16
ポート H コントロールレジスタ	PHCR	R/W	H'0000	H'FFFFFF72A	8、16
ポート J・IO レジスタ	PJIOR	R/W	H'0000	H'FFFFFF766	8、16
ポート J コントロールレジスタ H	PJCRH	R/W	H'0000	H'FFFFFF768	8、16
ポート J コントロールレジスタ L	PJCRL	R/W	H'0000	H'FFFFFF76A	8、16
ポート K・IO レジスタ	PKIOR	R/W	H'0000	H'FFFFFF770	8、16
ポート K コントロールレジスタ H	PKCRH	R/W	H'0000	H'FFFFFF772	8、16
ポート K コントロールレジスタ L	PKCRL	R/W	H'0000	H'FFFFFF774	8、16
ポート K インポートレジスタ	PKIR	R/W	H'0000	H'FFFFFF776	8、16
ポート L・IO レジスタ	PLIOR	R/W	H'0000	H'FFFFFF756	8、16
ポート L コントロールレジスタ H	PLCRH	R/W	H'0000	H'FFFFFF758	8、16
ポート L コントロールレジスタ L	PLCRL	R/W	H'0000	H'FFFFFF75A	8、16
ポート L インポートレジスタ	PLIR	R/W	H'0000	H'FFFFFF75C	8、16

20.3 レジスタ説明

20.3.1 ポート A・IO レジスタ (PAIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A・IO レジスタ (PAIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある 16 本の端子の入出力方向を選びます。PA15IOR ~ PA0IOR ビットが、それぞれ、PA15/RxD0 ~ PA0/TIOA 端子に対応しています。PAIOR はポート A の端子機能が汎用入出力 (PA15 ~ PA0) および ATU-II の入出力の場合に有効でそれ以外の場合は無効です。ただし、ビット 3 ~ 0 については、ATU-II のインプットキャプチャ入力を選択した場合には、PAIOR のビットを 0 にしてください。

ポート A の端子機能が PA15 ~ PA0 か ATU-II の入出力の場合、PAIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

20.3.2 ポート A コントロールレジスタ H、L (PACRH、PACRL)

ポート A コントロールレジスタ H、L (PACRH、PACRL) は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート A にある 16 本のマルチプレクス端子の機能を選びます。PACRH はポート A の上位 8 ビットの端子の機能を、PACRL はポート A の下位 8 ビットの端子の機能を選びます。

PACRH、PACRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート A コントロールレジスタ H (PACRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA15 MD	-	PA14 MD	-	PA13 MD	-	PA12 MD	-	PA11 MD	-	PA10 MD	-	PA9 MD	-	PA8 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PA15 モードビット (PA15MD)

PA15/RxD0 端子の機能を選びます。

ビット 14	説 明	
PA15MD		
0	汎用入出力 (PA15)	(初期値)
1	受信データ入力 (RxD0)	

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PA14 モードビット (PA14MD)

PA14/TxD0 端子の機能を選びます。

ビット 12	説 明	
PA14MD		
0	汎用入出力 (PA14)	(初期値)
1	送信データ出力 (TxD0)	

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PA13 モードビット (PA13MD)

PA13/TIO5B 端子の機能を選びます。

ビット 10	説 明	
PA13MD		
0	汎用入出力 (PA13)	(初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO5B)	

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PA12 モードビット (PA12MD)

PA12/TIO5A 端子の機能を選びます。

ビット 8	説 明	
PA12MD		
0	汎用入出力 (PA12)	(初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO5A)	

20. ピンファンクションコントローラ (PFC)

ビット7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6：PA11 モードビット (PA11MD)

PA11/TIO4D 端子の機能を選びます。

ビット6	説明
PA11MD	
0	汎用入出力 (PA11) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO4D)

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4：PA10 モードビット (PA10MD)

PA10/TIO4C 端子の機能を選びます。

ビット4	説明
PA10MD	
0	汎用入出力 (PA10) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO4C)

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2：PA9 モードビット (PA9MD)

PA9/TIO4B 端子の機能を選びます。

ビット2	説明
PA9MD	
0	汎用入出力 (PA9) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO4B)

ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0：PA8 モードビット (PA8MD)

PA8/TIO4A 端子の機能を選びます。

ビット0	説明
PA8MD	
0	汎用入出力 (PA8) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO4A)

(2) ポート A コントロールレジスタ L (PACRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA7 MD	-	PA6 MD	-	PA5 MD	-	PA4 MD	-	PA3 MD	-	PA2 MD	-	PA1 MD	-	PA0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: PA7 モードビット (PA7MD)

PA7/TIO3D 端子の機能を選びます。

ビット 14	説明
PA7MD	
0	汎用入出力 (PA7) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO3D)

ビット 13: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12: PA6 モードビット (PA6MD)

PA6/TIO3C 端子の機能を選びます。

ビット 12	説明
PA6MD	
0	汎用入出力 (PA6) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO3C)

ビット 11: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10: PA5 モードビット (PA5MD)

PA5/TIO3B 端子の機能を選びます。

ビット 10	説明
PA5MD	
0	汎用入出力 (PA5) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO3B)

ビット 9: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20. ピンファンクションコントローラ (PFC)

ビット 8 : PA4 モードビット (PA4MD)

PA4/TIO3A 端子の機能を選びます。

ビット 8	説 明
PA4MD	
0	汎用入出力 (PA4) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO3A)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
書き込み値が 1 の場合は動作保証されません。

ビット 6 : PA3 モードビット (PA3MD)

PA3/TIOD 端子の機能を選びます。

ビット 6	説 明
PA3MD	
0	汎用入出力 (PA3) (初期値)
1	ATU-II インプットキャプチャ入力 (TIOD)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
書き込み値が 1 の場合は動作保証されません。

ビット 4 : PA2 モードビット (PA2MD)

PA2/TIOC 端子の機能を選びます。

ビット 4	説 明
PA2MD	
0	汎用入出力 (PA2) (初期値)
1	ATU-II インプットキャプチャ入力 (TIOC)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
書き込み値が 1 の場合は動作保証されません。

ビット 2 : PA1 モードビット (PA1MD)

PA1/TIOB 端子の機能を選びます。

ビット 2	説 明
PA1MD	
0	汎用入出力 (PA1) (初期値)
1	ATU-II インプットキャプチャ入力 (TIOB)

ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
書き込み値が1の場合は動作保証されません。

ビット0：PA0 モードビット (PA0MD)

PA0/TIOA 端子の機能を選びます。

ビット1	説明
PA0MD	
0	汎用入出力 (PA0) (初期値)
1	ATU-II インพุットキャプチャ入力 (TIOA)

20.3.3 ポート B・IO レジスタ (PBIOR)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 IOR	PB14 IOR	PB13 IOR	PB12 IOR	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B・IO レジスタ (PBIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある 16 本の端子の入出力方向を選びます。PB15IOR ~ PB0IOR ビットが、それぞれ、PB15/PULS5/SCK2 端子 ~ PB0/TO6A 端子に対応しています。PBIOR はポート B の端子機能が汎用入出力 (PB15 ~ PB0) がシリアルクロック (SCK0、SCK1、SCK2) の場合に有効で、それ以外の場合は無効です。

ポート B の端子機能が PB15 ~ PB0 か SCK0、SCK1、SCK2 の場合、PBIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

20. ピンファンクションコントローラ (PFC)

20.3.4 ポート B コントロールレジスタ H、L (PBCRH、PBCRL)

ポート B コントロールレジスタ H、L (PBCRH、PBCRL) は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にある 16 本のマルチプレクス端子の機能を選びます。PBCRH はポート B の上位 8 ビットの端子の機能を、PBCRL はポート B の下位 8 ビットの端子の機能を選びます。

PBCRH、PBCRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート B コントロールレジスタ H (PBCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 MD1	PB15 MD0	PB14 MD1	PB14 MD0	-	PB13 MD	PB12 MD1	PB12 MD0	PB11 MD1	PB11 MD0	PB10 MD1	PB10 MD0	PB9 MD1	PB9 MD0	PB8 MD1	PB8 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15、14: PB15 モードビット 1、0 (PB15MD1、PB15MD0)

PB15/PULS5/SCK2 端子の機能を選びます。

ビット 15	ビット 14	説明
PB15MD1	PB15MD0	
0	0	汎用入出力 (PB15) (初期値)
	1	APC パルス出力 (PULS5)
1	0	シリアルクロック入出力 (SCK2)
	1	予約*

【注】 * 予約は設定はしないでください。

ビット 13、12: PB14 モードビット 1、0 (PB14MD1、PB14MD0)

PB14/SCK1/TCLKB/TI10 端子の機能を選びます。

ビット 13	ビット 12	説明
PB14MD1	PB14MD0	
0	0	汎用入出力 (PB14) (初期値)
	1	シリアルクロック入出力 (SCK1)
1	0	ATU-II クロック入力 (TCLKB)
	1	ATU-II エッジ入力 (TI10)

ビット 11: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PB13 モードビット (PB13MD)

PB13/SCK0 端子の機能を選びます。

ビット 10	説 明	
PB13MD		
0	汎用入出力 (PB13)	(初期値)
1	シリアルクロック入出力 (SCK0)	

ビット 9、8 : PB12 モードビット 1、0 (PB12MD1、PB12MD0)

PB12/TCLKA/ $\overline{\text{UBCTRG}}$ 端子の機能を選びます。

ビット 9	ビット 8	説 明	
PB12MD1	PB12MD0		
0	0	汎用入出力 (PB12)	(初期値)
	1	ATU-II クロック入力 (TCLKA)	
1	0	トリガ用パルス出力 ($\overline{\text{UBCTRG}}$)	
	1	予約*	

【注】 * 予約は設定はしないでください。

ビット 7、6 : PB11 モードビット 1、0 (PB11MD1、PB11MD0)

PB11/RxD4/HRxD0/TO8H 端子の機能を選びます。

ビット 7	ビット 6	説 明	
PB11MD1	PB11MD0		
0	0	汎用入出力 (PB11)	(初期値)
	1	受信データ入力 (RxD4)	
1	0	HCAN 受信データ入力 (HRxD0)	
	1	ATU-II ワンショットパルス出力 (TO8H)	

ビット 5、4 : PB10 モードビット 1、0 (PB10MD1、PB10MD0)

PB10/TxD4/HTxD0/TO8G 端子の機能を選びます。

ビット 5	ビット 4	説 明	
PB10MD1	PB10MD0		
0	0	汎用入出力 (PB10)	(初期値)
	1	送信データ出力 (TxD4)	
1	0	HCAN 送信データ出力 (HTxD0)	
	1	ATU-II ワンショットパルス出力 (TO8G)	

20. ピンファンクションコントローラ (PFC)

ビット 3、2 : PB9 モードビット 1、0 (PB9MD1、PB9MD0)

PB9/RxD3/TO8F 端子の機能を選びます。

ビット 3 PB9MD1	ビット 2 PB9MD0	説 明
0	0	汎用入出力 (PB9) (初期値)
	1	受信データ入力 (RxD3)
1	0	ATU-II ワンショットパルス出力 (TO8F)
	1	予約*

【注】 * 予約は設定しないでください。

ビット 1、0 : PB8 モードビット 1、0 (PB8MD1、PB8MD0)

PB8/TxD3/TO8E 端子の機能を選びます。

ビット 1 PB8MD1	ビット 0 PB8MD0	説 明
0	0	汎用入出力 (PB8) (初期値)
	1	送信データ出力 (TxD3)
1	0	ATU-II ワンショットパルス出力 (TO8E)
	1	予約*

【注】 * 予約は設定しないでください。

(2) ポート B コントロールレジスタ L (PBCRL)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	-	PB3 MD	-	PB2 MD	-	PB1 MD	-	PB0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15、14: PB7 モードビット 1、0 (PB7MD1、PB7MD0)

PB7/TO7D/TO8D 端子の機能を選びます。

ビット 15	ビット 14	説 明
PB7MD1	PB7MD0	
0	0	汎用入出力 (PB7) (初期値)
	1	ATU-II の PWM 出力 (TO7D)
1	0	ATU-II ワンショットパルス出力 (TO8D)
	1	予約*

【注】 * 予約は設定しないでください。

ビット 13、12: PB6 モードビット 1、0 (PB6MD1、PB6MD0)

PB6/TO7C/TO8C 端子の機能を選びます。

ビット 13	ビット 12	説 明
PB6MD1	PB6MD0	
0	0	汎用入出力 (PB6) (初期値)
	1	ATU-II の PWM 出力 (TO7C)
1	0	ATU-II ワンショットパルス出力 (TO8C)
	1	予約*

【注】 * 予約は設定しないでください。

ビット 11、10: PB5 モードビット 1、0 (PB5MD1、PB5MD0)

PB5/TO7B/TO8B 端子の機能を選びます。

ビット 11	ビット 10	説 明
PB5MD1	PB5MD0	
0	0	汎用入出力 (PB5) (初期値)
	1	ATU-II の PWM 出力 (TO7B)
1	0	ATU-II ワンショットパルス出力 (TO8B)
	1	予約*

【注】 * 予約は設定しないでください。

20. ピンファンクションコントローラ (PFC)

ビット 9、8 : PB4 モードビット 1、0 (PB4MD1、PB4MD0)

PB4/TO7A/TO8A 端子の機能を選びます。

ビット 9	ビット 8	説 明
PB4MD1	PB4MD0	
0	0	汎用入出力 (PB4) (初期値)
	1	ATU-II の PWM 出力 (TO7A)
1	0	ATU-II ワンショットパルス出力 (TO8A)
	1	予約*

【注】 * 予約は設定しないでください。

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PB3 モードビット (PB3MD)

PB3/TO6D 端子の機能を選びます。

ビット 6	説 明
PB3MD	
0	汎用入出力 (PB3) (初期値)
1	ATU-II の PWM 出力 (TO6D)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PB2 モードビット (PB2MD)

PB2/TO6C 端子の機能を選びます。

ビット 4	説 明
PB2MD	
0	汎用入出力 (PB2) (初期値)
1	ATU-II の PWM 出力 (TO6C)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PB1 モードビット (PB1MD)

PB1/TO6B 端子の機能を選びます。

ビット 2	説 明
PB1MD	
0	汎用入出力 (PB1) (初期値)
1	ATU-II の PWM 出力 (TO6B)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PB0 モードビット (PB0MD)

PB0/TO6A 端子の機能を選びます。

ビット 0	説 明
PB0MD	
0	汎用入出力 (PB0) (初期値)
1	ATU-II の PWM 出力 (TO6A)

20.3.5 ポート B インバートレジスタ (PBIR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 IR	PB14 IR	PB13 IR	-	PB11 IR	PB10 IR	PB9 IR	PB8 IR	PB7 IR	PB6 IR	PB5 IR	PB4 IR	PB3 IR	PB2 IR	PB1 IR	PB0 IR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B インバートレジスタ (PBIR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B の反転機能を設定します。PB15IR ~ PB13IR、PB11IR ~ PB0IR ビットが、それぞれ、PB15/PULS5/SCK2 ~ PB13/SCK0、PB11/RxD4/HRxD0/TO8H ~ PB0/TO6A 端子に対応しています。PBIR はポート B の端子機能が ATU-II の出力かシリアルクロックの場合に有効でそれ以外の場合は無効です。

ポート B の端子機能が ATU-II の出力かシリアルクロックの場合、PBIR のビットを 1 にすると、対応する端子の値は反転します。

PBIR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

PBnIR	説 明
0	値を反転しない (初期値)
1	値を反転する

n=15 ~ 13、11 ~ 0

20.3.6 ポート C・IO レジスタ (PCIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ポート C・IO レジスタ (PCIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある 5 本の端子の入出力方向を選びます。PC4IOR ~ PC0IOR ビットが、それぞれ、PC4/ $\overline{\text{IRQ0}}$ ~ PC0/TxD1 端子に対応しています。PCIOR はポート C の端子機能が汎用入出力 (PC4 ~ PC0) の場合に有効でそれ以外の場合は無効です。

ポート C の端子機能が PC4 ~ PC0 の場合、PCIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

20.3.7 ポート C コントロールレジスタ (PCCR)

ポート C コントロールレジスタ (PCCR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にある 5 本のマルチプレクス端子の機能を選びます。

PCCR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PC4 MD	-	PC3 MD	-	PC2 MD	-	PC1 MD	-	PC0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PC4 モードビット (PC4MD)

PC4/ $\overline{\text{IRQ0}}$ 端子の機能を選びます。

ビット 8	説明
PC4MD	
0	汎用入出力 (PC4) (初期値)
1	割り込み要求入力 (IRQ0)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PC3 モードビット (PC3MD)

PC3/RxD2 端子の機能を選びます。

ビット 6	説 明	
PC3MD		
0	汎用入出力 (PC3)	(初期値)
1	受信データ入力 (RxD2)	

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PC2 モードビット (PC2MD)

PC2/TxD2 端子の機能を選びます。

ビット 4	説 明	
PC2MD		
0	汎用入出力 (PC2)	(初期値)
1	送信データ出力 (TxD2)	

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PC1 モードビット (PC1MD)

PC1/RxD1 端子の機能を選びます。

ビット 2	説 明	
PC1MD		
0	汎用入出力 (PC1)	(初期値)
1	受信データ入力 (RxD1)	

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PC0 モードビット (PC0MD)

PC0/TxD1 端子の機能を選びます。

ビット 0	説 明	
PC0MD		
0	汎用入出力 (PC0)	(初期値)
1	送信データ出力 (TxD1)	

20.3.8 ポート D・IO レジスタ (PDIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PC8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D・IO レジスタ (PDIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある 14 本の端子の入出力方向を選びます。PD13IOR ~ PD0IOR ビットが、それぞれ、PD13/PULS6/HTxD0/ HTxD1 ~ PD0/TIO1A 端子に対応しています。PDIOR はポート D の端子機能が汎用入出力 (PD13 ~ PD0) およびタイマの入出力の場合に有効でそれ以外の場合は無効です。

ポート D の端子機能が PD13 ~ PD0 がタイマの入出力の場合、PDIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

20.3.9 ポート D コントロールレジスタ H、L (PDCRH、PDCRL)

ポート D コントロールレジスタ H、L (PDCRH、PDCRL) は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にある 14 本のマルチプレクス端子の機能を選びます。PDCRH はポート D の上位 6 ビットの端子の機能を、PDCRL はポート D の下位 8 ビットの端子の機能を選びます。

PDCRH、PDCRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート D コントロールレジスタ H (PDCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PD13 MD1	PD13 MD0	-	PD12 MD	-	PD11 MD	-	PD10 MD	-	PD9 MD	-	PD8 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15~12: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 11、10: PD13 モードビット 1、0 (PD13MD1、PD13MD0)

PD13/PULS6/HTxD0/ HTxD1 端子の機能を選びます。

ビット 11	ビット 10	説明
PD13MD1	PD13MD0	
0	0	汎用入出力 (PD13) (初期値)
	1	APC パルス出力 (PULS6)
1	0	HCAN 送信データ出力 (HTxD0)
	1	HCAN 送信データ出力 (HTxD1)

ビット 9: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8: PD12 モードビット (PD12MD)

PD12/PULS4 端子の機能を選びます。

ビット 8	説明
PD12MD	
0	汎用入出力 (PD12) (初期値)
1	APC パルス出力 (PULS4)

ビット 7: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20. ピンファンクションコントローラ (PFC)

ビット 6 : PD11 モードビット (PD11MD)

PD11/PULS3 端子の機能を選びます。

ビット 6	説 明
PD11MD	
0	汎用入出力 (PD11) (初期値)
1	APC パルス出力 (PULS3)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PD10 モードビット (PD10MD)

PD10/PULS2 端子の機能を選びます。

ビット 4	説 明
PD10MD	
0	汎用入出力 (PD10) (初期値)
1	APC パルス出力 (PULS2)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PD9 モードビット (PD9MD)

PD9/PULS1 端子の機能を選びます。

ビット 2	説 明
PD9MD	
0	汎用入出力 (PD9) (初期値)
1	APC パルス出力 (PULS1)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PD8 モードビット (PD8MD)

PD8/PULS0 端子の機能を選びます。

ビット 0	説 明
PD8MD	
0	汎用入出力 (PD8) (初期値)
1	APC パルス出力 (PULS0)

(2) ポート D コントロールレジスタ L (PDCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD7 MD	-	PD6 MD	-	PD5 MD	-	PD4 MD	-	PD3 MD	-	PD2 MD	-	PD1 MD	-	PD0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: PD7 モードビット (PD7MD)

PD7/TIO1H 端子の機能を選びます。

ビット 14	説明
PD7MD	
0	汎用入出力 (PD7) (初期値)
1	ATU-II インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO1H)

ビット 13: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12: PD6 モードビット (PD6MD)

PD6/TIO1G 端子の機能を選びます。

ビット 12	説明
PD6MD	
0	汎用入出力 (PD6) (初期値)
1	ATU-II インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO1G)

ビット 11: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10: PD5 モードビット (PD5MD)

PD5/TIO1F 端子の機能を選びます。

ビット 10	説明
PD5MD	
0	汎用入出力 (PD5) (初期値)
1	ATU-II インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO1F)

ビット 9: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20. ピンファンクションコントローラ (PFC)

ビット 8 : PD4 モードビット (PD4MD)

PD4/TIO1E 端子の機能を選びます。

ビット 8	説 明
PD4MD	
0	汎用入出力 (PD4) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO1E)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PD3 モードビット (PD3MD)

PD3/TIO1D 端子の機能を選びます。

ビット 6	説 明
PD3MD	
0	汎用入出力 (PD3) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO1D)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PD2 モードビット (PD2MD)

PD2/TIO1C 端子の機能を選びます。

ビット 4	説 明
PD2MD	
0	汎用入出力 (PD2) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO1C)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PD1 モードビット (PD1MD)

PD1/TIO1B 端子の機能を選びます。

ビット 2	説 明
PD1MD	
0	汎用入出力 (PD1) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO1B)

ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0：PD0 モードビット (PD0MD)

PD0/TIO1A 端子の機能を選びます。

ビット0	説明
PD0MD	
0	汎用入出力 (PD0) (初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO1A)

20.3.10 ポート E・IO レジスタ (PEIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 IOR	PE14 IOR	PE13 IOR	PE12 IOR	PE11 IOR	PE10 IOR	PE9 IOR	PE8 IOR	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E・IO レジスタ (PEIOR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート E にある 16 本の端子の入出力方向を選びます。PE15IOR ~ PE0IOR ビットが、それぞれ、PE15/A15 端子 ~ PE0/A0 端子の対応しています。PEIOR はポート E の端子機能が汎用入出力 (PE15 ~ PE0) の場合に有効でそれ以外の場合は無効です。

ポート E の端子機能が PE15 ~ PE0 の場合、PEIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

20.3.11 ポート E コントロールレジスタ (PECR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PE15	PE14	PE13	PE12	PE11	PE10	PE9	PE8	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート E コントロールレジスタ (PECR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にある 16 本のマルチプレクス端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。

- (a) 内蔵ROM無効拡張モード
ポートEの端子はアドレス出力端子となり、PECRの設定は無効です。
- (b) 内蔵ROM有効拡張モード
ポートEの端子はアドレス出力と汎用入出力の兼用端子となります。
PECRの設定は有効です。
- (c) シングルチップモード
ポートEの端子は汎用入出力端子となり、PECRの設定は無効です。

PECR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15 : PE15 モードビット (PE15MD)

PE15/A15 端子の機能を選びます。

ビット 15	説 明		
PE15MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A15) (初期値)	汎用入出力 (PE15) (初期値)	汎用入出力 (PE15) (初期値)
1	アドレス出力 (A15)	アドレス出力 (A15)	汎用入出力 (PE15)

ビット 14 : PE14 モードビット (PE14MD)

PE14/A14 端子の機能を選びます。

ビット 14	説 明		
PE14MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A14) (初期値)	汎用入出力 (PE14) (初期値)	汎用入出力 (PE14) (初期値)
1	アドレス出力 (A14)	アドレス出力 (A14)	汎用入出力 (PE14)

ビット 13 : PE13 モードビット (PE13MD)

PE13/A13 端子の機能を選びます。

ビット 13	説 明		
PE13MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A13) (初期値)	汎用入出力 (PE13) (初期値)	汎用入出力 (PE13) (初期値)
1	アドレス出力 (A13)	アドレス出力 (A13)	汎用入出力 (PE13)

ビット 12 : PE12 モードビット (PE12MD)

PE12/A12 端子の機能を選びます。

ビット 12	説 明		
PE12MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A12) (初期値)	汎用入出力 (PE12) (初期値)	汎用入出力 (PE12) (初期値)
1	アドレス出力 (A12)	アドレス出力 (A12)	汎用入出力 (PE12)

ビット 11 : PE11 モードビット (PE11MD)

PE11/A11 端子の機能を選びます。

ビット 11	説 明		
PE11MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A11) (初期値)	汎用入出力 (PE11) (初期値)	汎用入出力 (PE11) (初期値)
1	アドレス出力 (A11)	アドレス出力 (A11)	汎用入出力 (PE11)

ビット 10 : PE10 モードビット (PE10MD)

PE10/A10 端子の機能を選びます。

ビット 10	説 明		
PE10MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A10) (初期値)	汎用入出力 (PE10) (初期値)	汎用入出力 (PE10) (初期値)
1	アドレス出力 (A10)	アドレス出力 (A10)	汎用入出力 (PE10)

ビット 9 : PE9 モードビット (PE9MD)

PE9/A9 端子の機能を選びます。

ビット 9	説 明		
PE9MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A9) (初期値)	汎用入出力 (PE9) (初期値)	汎用入出力 (PE9) (初期値)
1	アドレス出力 (A9)	アドレス出力 (A9)	汎用入出力 (PE9)

20. ピンファンクションコントローラ (PFC)

ビット 8 : PE8 モードビット (PE8MD)

PE8/A8 端子の機能を選びます。

ビット 8	説 明		
PE8MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A8) (初期値)	汎用入出力 (PE8) (初期値)	汎用入出力 (PE8) (初期値)
1	アドレス出力 (A8)	アドレス出力 (A8)	汎用入出力 (PE8)

ビット 7 : PE7 モードビット (PE7MD)

PE7/A7 端子の機能を選びます。

ビット 7	説 明		
PE7MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A7) (初期値)	汎用入出力 (PE7) (初期値)	汎用入出力 (PE7) (初期値)
1	アドレス出力 (A7)	アドレス出力 (A7)	汎用入出力 (PE7)

ビット 6 : PE6 モードビット (PE6MD)

PE6/A6 端子の機能を選びます。

ビット 6	説 明		
PE6MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A6) (初期値)	汎用入出力 (PE6) (初期値)	汎用入出力 (PE6) (初期値)
1	アドレス出力 (A6)	アドレス出力 (A6)	汎用入出力 (PE6)

ビット 5 : PE5 モードビット (PE5MD)

PE5/A5 端子の機能を選びます。

ビット 5	説 明		
PE5MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A5) (初期値)	汎用入出力 (PE5) (初期値)	汎用入出力 (PE5) (初期値)
1	アドレス出力 (A5)	アドレス出力 (A5)	汎用入出力 (PE5)

ビット 4 : PE4 モードビット (PE4MD)

PE4/A4 端子の機能を選びます。

ビット 4	説 明		
PE4MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A4) (初期値)	汎用入出力 (PE4) (初期値)	汎用入出力 (PE4) (初期値)
1	アドレス出力 (A4)	アドレス出力 (A4)	汎用入出力 (PE4)

ビット3 : PE3 モードビット (PE3MD)

PE3/A3 端子の機能を選びます。

ビット3	説 明		
PE3MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A3) (初期値)	汎用入出力 (PE3) (初期値)	汎用入出力 (PE3) (初期値)
1	アドレス出力 (A3)	アドレス出力 (A3)	汎用入出力 (PE3)

ビット2 : PE2 モードビット (PE2MD)

PE2/A2 端子の機能を選びます。

ビット2	説 明		
PE2MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A2) (初期値)	汎用入出力 (PE2) (初期値)	汎用入出力 (PE2) (初期値)
1	アドレス出力 (A2)	アドレス出力 (A2)	汎用入出力 (PE2)

ビット1 : PE1 モードビット (PE1MD)

PE1/A1 端子の機能を選びます。

ビット1	説 明		
PE1MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A1) (初期値)	汎用入出力 (PE1) (初期値)	汎用入出力 (PE1) (初期値)
1	アドレス出力 (A1)	アドレス出力 (A1)	汎用入出力 (PE1)

ビット0 : PE0 モードビット (PE0MD)

PE0/A0 端子の機能を選びます。

ビット0	説 明		
PE0MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A0) (初期値)	汎用入出力 (PE0) (初期値)	汎用入出力 (PE0) (初期値)
1	アドレス出力 (A0)	アドレス出力 (A0)	汎用入出力 (PE0)

20.3.12 ポート F・IO レジスタ (PFIOR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PF15	PF14	PF13	PF12	PF11	PF10	PF9	PF8	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート F・IO レジスタ (PFIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F にある 16 本の端子の入出力方向を選びます。PF15IOR ~ PF0IOR ビットが、それぞれ、PF15/BREQ 端子 ~ PF0/A16 端子に対応しています。PFIOR はポート F の端子機能が汎用入出力 (PF15 ~ PF0) の場合に有効で、それ以外の場合は無効です。

ポート F の端子機能が PF15 ~ PF0 の場合、PFIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PFIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

20.3.13 ポート F コントロールレジスタ H、L (PFCRH、PFCRL)

ポート F コントロールレジスタ H、L (PFCRH、PFCRL) は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート F にある 16 本のマルチプレクス端子の機能および CK 端子の機能を選びます。PFCRH はポート F の上位 8 ビットの端子の機能を、PFCRL はポート F の下位 8 ビットの端子の機能を選びます。

PFCRH、PFCRL は、パワーオンリセットおよびハードウェアスタンバイモードでそれぞれ、H'0015、H'5000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート F コントロールレジスタ H (PFCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CKHIZ	PF15	-	PF14	-	PF13	-	PF12	-	PF11	-	PF10	-	PF9	-	PF8
		MD		MD		MD		MD		MD		MD		MD		MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1
R/W:	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : CKHIZ ビット

CK 端子の機能を選びます。

ビット 15	説 明	
CKHIZ		
0	CK 端子出力	(初期値)
1	CK 端子 Hi-Z	

ビット 14 : PF15 モードビット (PF15MD)

PF15/ $\overline{\text{BREQ}}$ 端子の機能を選びます。

ビット 14	説 明	
PF15MD	拡張モード	シングルチップモード
0	汎用入出力 (PF15) (初期値)	汎用入出力 (PF15) (初期値)
1	バス権要求入力 ($\overline{\text{BREQ}}$)	汎用入出力 (PF15)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PF14 モードビット (PF14MD)

PF14/ $\overline{\text{BACK}}$ 端子の機能を選びます。

ビット 12	説 明	
PF14MD	拡張モード	シングルチップモード
0	汎用入出力 (PF14) (初期値)	汎用入出力 (PF14) (初期値)
1	バス権要求アクノリッジ出力 ($\overline{\text{BACK}}$)	汎用入出力 (PF14)

20. ピンファンクションコントローラ (PFC)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PF13 モードビット (PF13MD)

PF13/ $\overline{\text{CS3}}$ 端子の機能を選びます。

ビット 10	説 明	
	拡張モード	シングルチップモード
0	汎用入出力 (PF13) (初期値)	汎用入出力 (PF13) (初期値)
1	チップセレクト出力 ($\overline{\text{CS3}}$)	汎用入出力 (PF13)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PF12 モードビット (PF12MD)

PF12/ $\overline{\text{CS2}}$ 端子の機能を選びます。

ビット 8	説 明	
	拡張モード	シングルチップモード
0	汎用入出力 (PF12) (初期値)	汎用入出力 (PF12) (初期値)
1	チップセレクト出力 ($\overline{\text{CS2}}$)	汎用入出力 (PF12)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PF11 モードビット (PF11MD)

PF11/ $\overline{\text{CS1}}$ 端子の機能を選びます。

ビット 6	説 明	
	拡張モード	シングルチップモード
0	汎用入出力 (PF11) (初期値)	汎用入出力 (PF11) (初期値)
1	チップセレクト出力 ($\overline{\text{CS1}}$)	汎用入出力 (PF11)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PF10 モードビット (PF10MD)

PF10/ $\overline{\text{CS0}}$ 端子の機能を選びます。

ビット 4	説 明	
	拡張モード	シングルチップモード
0	汎用入出力 (PF10)	汎用入出力 (PF10)
1	チップセレクト出力 ($\overline{\text{CS0}}$) (初期値)	汎用入出力 (PF10) (初期値)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PF9 モードビット (PF9MD)

PF9/ $\overline{\text{RD}}$ 端子の機能を選びます。

ビット 2	説 明	
PF9MD	拡張モード	シングルチップモード
0	汎用入出力 (PF9)	汎用入出力 (PF9)
1	リード出力 ($\overline{\text{RD}}$) (初期値)	汎用入出力 (PF9) (初期値)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PF8 モードビット (PF8MD)

PF8/ $\overline{\text{WAIT}}$ 端子の機能を選びます。

ビット 0	説 明	
PF8MD	拡張モード	シングルチップモード
0	汎用入出力 (PF8)	汎用入出力 (PF8)
1	ウエイトステート入力 ($\overline{\text{WAIT}}$) (初期値)	汎用入出力 (PF8) (初期値)

(2) ポート F コントロールレジスタ L (PFCRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PF7 MD	-	PF6 MD	PF5 MD1	PF5 MD0	-	PF4 MD	-	PF3 MD	-	PF2 MD	-	PF1 MD	-	PF0 MD
初期値 :	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PF7 モードビット (PF7MD)

PF7/ $\overline{\text{WRH}}$ 端子の機能を選びます。

ビット 14	説 明	
PF7MD	拡張モード	シングルチップモード
0	汎用入出力 (PF7)	汎用入出力 (PF7)
1	上位側ライト出力 ($\overline{\text{WRH}}$) (初期値)	汎用入出力 (PF7) (初期値)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20. ピンファンクションコントローラ (PFC)

ビット 12 : PF6 モードビット (PF6MD)

PF6/WRL 端子の機能を選びます。

ビット 12	説 明	
PF6MD	拡張モード	シングルチップモード
0	汎用入出力 (PF6)	汎用入出力 (PF6)
1	下位側ライト出力 (WRL) (初期値)	汎用入出力 (PF6) (初期値)

ビット 11、10 : PF5 モードビット 1、0 (PF5MD1、PF5MD0)

PF5/A21/POD 端子の機能を選びます。

ビット 11	ビット 10	説 明		
PF5MD1	PF5MD0	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	0	アドレス出力 (A21) (初期値)	汎用入出力 (PF5) (初期値)	汎用入出力 (PF5) (初期値)
	1	アドレス出力 (A21)	アドレス出力 (A21)	汎用入出力 (PF5)
1	0	アドレス出力 (A21)	ポートアウトブットディスエーブル入力 (POD)	ポートアウトブットディスエーブル入力 (POD)
	1	予約*	予約*	予約*

【注】 * 予約は設定しないでください。

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PF4 モードビット (PF4MD)

PF4/A20 端子の機能を選びます。

ビット 8	説 明		
PF4MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A20) (初期値)	汎用入出力 (PF4) (初期値)	汎用入出力 (PF4) (初期値)
1	アドレス出力 (A20)	アドレス出力 (A20)	汎用入出力 (PF4)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PF3 モードビット (PF3MD)

PF3/A19 端子の機能を選びます。

ビット 6	説 明		
PF3MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A19) (初期値)	汎用入出力 (PF3) (初期値)	汎用入出力 (PF3) (初期値)
1	アドレス出力 (A19)	アドレス出力 (A19)	汎用入出力 (PF3)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PF2 モードビット (PF2MD)

PF2/A18 端子の機能を選びます。

ビット 4	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A18) (初期値)	汎用入出力 (PF2) (初期値)	汎用入出力 (PF2) (初期値)
1	アドレス出力 (A18)	アドレス出力 (A18)	汎用入出力 (PF2)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PF1 モードビット (PF1MD)

PF1/A17 端子の機能を選びます。

ビット 2	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A17) (初期値)	汎用入出力 (PF1) (初期値)	汎用入出力 (PF1) (初期値)
1	アドレス出力 (A17)	アドレス出力 (A17)	汎用入出力 (PF1)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PF0 モードビット (PF0MD)

PF0/A16 端子の機能を選びます。

ビット 0	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A16) (初期値)	汎用入出力 (PF0) (初期値)	汎用入出力 (PF0) (初期値)
1	アドレス出力 (A16)	アドレス出力 (A16)	汎用入出力 (PF0)

20.3.14 ポート G・IO レジスタ (PGIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PG3 IOR	PG2 IOR	PG1 IOR	PG0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ポート G・IO レジスタ (PGIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート G にある 4 本の端子の入出力方向を選びます。PG3IOR ~ PG0IOR ビットが、それぞれ、PG3/IRQ3/ADTRG0 ~ PG0/PULS7/HRxD0/HRxD1 端子に対応しています。

PGIOR はポート G の端子機能が PG3 ~ PG0 の場合、PGIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PGIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

20.3.15 ポート G コントロールレジスタ (PGCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PG3 MD1	PG3 MD0	PG2 MD1	PG2 MD0	-	PG1 MD	PG0 MD1	PG0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ポート G コントロールレジスタ (PGCR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート G にある 4 本のマルチプレクス端子の機能を選びます。

PGCR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15~8: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット7、6 : PG3 モードビット 1、0 (PG3MD1、PG3MD0)

PG3/ $\overline{\text{IRQ3}}$ / $\overline{\text{ADTRG0}}$ 端子の機能を選びます。

ビット7	ビット6	説 明
PG3MD1	PG3MD0	
0	0	汎用入出力 (PG3) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ3}}$)
1	0	A/D 変換トリガ入力 ($\overline{\text{ADTRG0}}$)
	1	予約*

【注】 * 予約は設定しないでください。

ビット5、4 : PG2 モードビット 1、0 (PG2MD1、PG2MD0)

PG2/ $\overline{\text{IRQ2}}$ / $\overline{\text{ADEND}}$ 端子の機能を選びます。

ビット5	ビット4	説 明
PG2MD1	PG2MD0	
0	0	汎用入出力 (PG2) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ2}}$)
1	0	A/D 変換終了出力 (ADEND)
	1	予約*

【注】 * 予約は設定しないでください。

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PG1 モードビット (PG1MD)

PG1/ $\overline{\text{IRQ1}}$ 端子の機能を選びます。

ビット2	説 明
PG1MD	
0	汎用入出力 (PG1) (初期値)
1	割り込み要求入力 ($\overline{\text{IRQ1}}$)

ビット1、0 : PG0 モードビット 1、0 (PG0MD1、PG0MD0)

PG0/PULS7/HRxD0/HRxD1 端子の機能を選びます。

ビット1	ビット0	説 明
PG0MD1	PG0MD0	
0	0	汎用入出力 (PG0) (初期値)
	1	APC パルス出力 (PULS7)
1	0	HCAN 受信データ入力 (HRxD0)
	1	HCAN 受信データ入力 (HRxD1)

20.3.16 ポート H・IO レジスタ (PHIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 IOR	PH14 IOR	PH13 IOR	PH12 IOR	PH11 IOR	PH10 IOR	PH9 IOR	PH8 IOR	PH7 IOR	PH6 IOR	PH5 IOR	PH4 IOR	PH3 IOR	PH2 IOR	PH1 IOR	PH0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート H・IO レジスタ (PHIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート H にある 16 本の端子の入出力方向を選びます。PH15IOR ~ PH0IOR ビットが、それぞれ、PH15/D15 端子 ~ PH0/D0 端子に対応しています。PHIOR はポート H の端子機能が汎用入出力 (PH15 ~ PH0) の場合に有効でそれ以外の場合は無効です。

ポート H の端子機能が PH15 ~ PH0 の場合、PHIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PHIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

20.3.17 ポート H コントロールレジスタ (PHCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 MD	PH14 MD	PH13 MD	PH12 MD	PH11 MD	PH10 MD	PH9 MD	PH8 MD	PH7 MD	PH6 MD	PH5 MD	PH4 MD	PH3 MD	PH2 MD	PH1 MD	PH0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート H コントロールレジスタ (PHCR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート H にある 16 本のマルチプレクス端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。

- (a) 内蔵ROM無効拡張モード (エリア0: 8ビットバス)
ポートHの端子のうちD0 ~ D7はデータ入出力端子となり、PHCRの設定は無効です。
- (b) 内蔵ROM無効拡張モード (エリア0: 16ビットバス)
ポートHの端子はデータ入出力端子となり、PHCRの設定は無効です。
- (c) 内蔵ROM有効拡張モード
ポートHの端子はデータ入出力と汎用入出力の兼用端子となります。
PHCRの設定は有効です。
- (c) シングルチップモード
ポートHの端子は汎用入出力端子となり、PHCRの設定は無効です。

PHCR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15 : PH15 モードビット (PH15MD)

PH15/D15 端子の機能を選びます。

ビット 15	説 明			
PH15MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH15) (初期値)	データ入出力 (D15) (初期値)	汎用入出力 (PH15) (初期値)	汎用入出力 (PH15) (初期値)
1	データ入出力 (D15)	データ入出力 (D15)	データ入出力 (D15)	汎用入出力 (PH15)

ビット 14 : PH14 モードビット (PH14MD)

PH14/D14 端子の機能を選びます。

ビット 14	説 明			
PH14MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH14) (初期値)	データ入出力 (D14) (初期値)	汎用入出力 (PH14) (初期値)	汎用入出力 (PH14) (初期値)
1	データ入出力 (D14)	データ入出力 (D14)	データ入出力 (D14)	汎用入出力 (PH14)

ビット 13 : PH13 モードビット (PH13MD)

PH13/D13 端子の機能を選びます。

ビット 13	説 明			
PH13MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH13) (初期値)	データ入出力 (D13) (初期値)	汎用入出力 (PH13) (初期値)	汎用入出力 (PH13) (初期値)
1	データ入出力 (D13)	データ入出力 (D13)	データ入出力 (D13)	汎用入出力 (PH13)

ビット 12 : PH12 モードビット (PH12MD)

PH12/D12 端子の機能を選びます。

ビット 12	説 明			
PH12MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH12) (初期値)	データ入出力 (D12) (初期値)	汎用入出力 (PH12) (初期値)	汎用入出力 (PH12) (初期値)
1	データ入出力 (D12)	データ入出力 (D12)	データ入出力 (D12)	汎用入出力 (PH12)

20. ピンファンクションコントローラ (PFC)

ビット 11 : PH11 モードビット (PH11MD)

PH11/D11 端子の機能を選びます。

ビット 11	説 明			
PH11MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH11) (初期値)	データ入出力 (D11) (初期値)	汎用入出力 (PH11) (初期値)	汎用入出力 (PH11) (初期値)
1	データ入出力 (D11)	データ入出力 (D11)	データ入出力 (D11)	汎用入出力 (PH11)

ビット 10 : PH10 モードビット (PH10MD)

PH10/D10 端子の機能を選びます。

ビット 10	説 明			
PH10MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH10) (初期値)	データ入出力 (D10) (初期値)	汎用入出力 (PH10) (初期値)	汎用入出力 (PH10) (初期値)
1	データ入出力 (D10)	データ入出力 (D10)	データ入出力 (D10)	汎用入出力 (PH10)

ビット 9 : PH9 モードビット (PH9MD)

PH9/D9 端子の機能を選びます。

ビット 9	説 明			
PH9MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH9) (初期値)	データ入出力 (D9) (初期値)	汎用入出力 (PH9) (初期値)	汎用入出力 (PH9) (初期値)
1	データ入出力 (D9)	データ入出力 (D9)	データ入出力 (D9)	汎用入出力 (PH9)

ビット 8 : PH8 モードビット (PH8MD)

PH8/D8 端子の機能を選びます。

ビット 8	説 明			
PH8MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH8) (初期値)	データ入出力 (D8) (初期値)	汎用入出力 (PH8) (初期値)	汎用入出力 (PH8) (初期値)
1	データ入出力 (D8)	データ入出力 (D8)	データ入出力 (D8)	汎用入出力 (PH8)

ビット 7 : PH7 モードビット (PH7MD)

PH7/D7 端子の機能を選びます。

ビット 7	説 明		
PH7MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D7) (初期値)	汎用入出力 (PH7) (初期値)	汎用入出力 (PH7) (初期値)
1	データ入出力 (D7)	データ入出力 (D7)	汎用入出力 (PH7)

ビット 6 : PH6 モードビット (PH6MD)

PH6/D6 端子の機能を選びます。

ビット 6	説 明		
PH6MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D6) (初期値)	汎用入出力 (PH6) (初期値)	汎用入出力 (PH6) (初期値)
1	データ入出力 (D6)	データ入出力 (D6)	汎用入出力 (PH6)

ビット 5 : PH5 モードビット (PH5MD)

PH5/D5 端子の機能を選びます。

ビット 5	説 明		
PH5MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D5) (初期値)	汎用入出力 (PH5) (初期値)	汎用入出力 (PH5) (初期値)
1	データ入出力 (D5)	データ入出力 (D5)	汎用入出力 (PH5)

ビット 4 : PH4 モードビット (PH4MD)

PH4/D4 端子の機能を選びます。

ビット 4	説 明		
PH4MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D4) (初期値)	汎用入出力 (PH4) (初期値)	汎用入出力 (PH4) (初期値)
1	データ入出力 (D4)	データ入出力 (D4)	汎用入出力 (PH4)

ビット 3 : PH3 モードビット (PH3MD)

PH3/D3 端子の機能を選びます。

ビット 3	説 明		
PH3MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D3) (初期値)	汎用入出力 (PH3) (初期値)	汎用入出力 (PH3) (初期値)
1	データ入出力 (D3)	データ入出力 (D3)	汎用入出力 (PH3)

20. ピンファンクションコントローラ (PFC)

ビット 2 : PH2 モードビット (PH2MD)

PH2/D2 端子の機能を選びます。

ビット 2	説 明		
PH2MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D2) (初期値)	汎用入出力 (PH2) (初期値)	汎用入出力 (PH2) (初期値)
1	データ入出力 (D2)	データ入出力 (D2)	汎用入出力 (PH2)

ビット 1 : PH1 モードビット (PH1MD)

PH1/D1 端子の機能を選びます。

ビット 1	説 明		
PH1MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D1) (初期値)	汎用入出力 (PH1) (初期値)	汎用入出力 (PH1) (初期値)
1	データ入出力 (D1)	データ入出力 (D1)	汎用入出力 (PH1)

ビット 0 : PH0 モードビット (PH0MD)

PH0/D0 端子の機能を選びます。

ビット 0	説 明		
PH0MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D0) (初期値)	汎用入出力 (PH0) (初期値)	汎用入出力 (PH0) (初期値)
1	データ入出力 (D0)	データ入出力 (D0)	汎用入出力 (PH0)

20.3.18 ポート J・IO レジスタ (PJIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 IOR	PJ14 IOR	PJ13 IOR	PJ12 IOR	PJ11 IOR	PJ10 IOR	PJ9 IOR	PJ8 IOR	PJ7 IOR	PJ6 IOR	PJ5 IOR	PJ4 IOR	PJ3 IOR	PJ2 IOR	PJ1 IOR	PJ0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート J・IO レジスタ (PJIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート J にある 16 本の端子の入出力方向を選びます。PJ15IOR ~ PJ0IOR ビットが、それぞれ、PJ15/TI9F 端子 ~ PJ0/TIO2A 端子に対応しています。PJIOR はポート J の端子機能が汎用入出力 (PJ15 ~ PJ0) および ATU-II の入出力の場合に有効でそれ以外の場合は無効です。ただし、ビット 15 ~ 10 については、ATU-II のイベントカウンタ入力を選択した場合には、PJIOR のビットを 0 にしてください。

ポート J の端子機能が PJ15 ~ PJ0 が ATU-II の入出力の場合、PJIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PJIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

20.3.19 ポート J コントロールレジスタ H、L (PJCRH、PJCL)

ポート J コントロールレジスタ H、L (PJCRH、PJCL) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート J にある 16 本のマルチプレクス端子の機能を選びます。PJCRH は、ポート J の上位 8 ビットの端子の機能を、PJCL はポート J の下位 8 ビットの端子の機能を選びます。

PJCRH、PJCL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート J コントロールレジスタ H (PJCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ15 MD	-	PJ14 MD	-	PJ13 MD	-	PJ12 MD	-	PJ11 MD	-	PJ10 MD	-	PJ9 MD	-	PJ8 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: PJ15 モードビット (PJ15MD)

PJ15/TI9F 端子の機能を選びます。

ビット 14	説明
PJ15MD	
0	汎用入出力 (PJ15) (初期値)
1	ATU-II イベントカウンタ入力 (TI9F)

ビット 13: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12: PJ14 モードビット (PJ14MD)

PJ14/TI9E 端子の機能を選びます。

ビット 12	説明
PJ14MD	
0	汎用入出力 (PJ14) (初期値)
1	ATU-II イベントカウンタ入力 (TI9E)

ビット 11: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20. ピンファンクションコントローラ (PFC)

ビット 10 : PJ13 モードビット (PJ13MD)

PJ13/TI9D 端子の機能を選びます。

ビット 10	説 明
PJ13MD	
0	汎用入出力 (PJ13) (初期値)
1	ATU-II イベントカウンタ入力 (TI9D)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PJ12 モードビット (PJ12MD)

PJ12/TI9C 端子の機能を選びます。

ビット 8	説 明
PJ12MD	
0	汎用入出力 (PJ12) (初期値)
1	ATU-II イベントカウンタ入力 (TI9C)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PJ11 モードビット (PJ11MD)

PJ11/TI9B 端子の機能を選びます。

ビット 6	説 明
PJ11MD	
0	汎用入出力 (PJ11) (初期値)
1	ATU-II イベントカウンタ入力 (TI9B)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PJ10 モードビット (PJ10MD)

PJ10/TI9A 端子の機能を選びます。

ビット 4	説 明
PJ10MD	
0	汎用入出力 (PJ10) (初期値)
1	ATU-II イベントカウンタ入力 (TI9A)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PJ9 モードビット (PJ9MD)

PJ9/TIO5D 端子の機能を選びます。

ビット 2	説 明	
PJ9MD		
0	汎用入出力 (PJ9)	(初期値)
1	ATU-II インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO5D)	

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PJ8 モードビット (PJ8MD)

PJ8/TIO5C 端子の機能を選びます。

ビット 0	説 明	
PJ8MD		
0	汎用入出力 (PJ8)	(初期値)
1	ATU-II インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO5C)	

(2) ポート J コントロールレジスタ L (PJCR L)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PJ7 MD	-	PJ6 MD	-	PJ5 MD	-	PJ4 MD	-	PJ3 MD	-	PJ2 MD	-	PJ1 MD	-	PJ0 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PJ7 モードビット (PJ7MD)

PJ7/TIO2H 端子の機能を選びます。

ビット 14	説 明	
PJ7MD		
0	汎用入出力 (PJ7)	(初期値)
1	ATU-II インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO2H)	

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20. ピンファンクションコントローラ (PFC)

ビット 12 : PJ6 モードビット (PJ6MD)

PJ6/TIO2G 端子の機能を選びます。

ビット 12	説 明
PJ6MD	
0	汎用入出力 (PJ6) (初期値)
1	ATU-II インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO2G)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PJ5 モードビット (PJ5MD)

PJ5/TIO2F 端子の機能を選びます。

ビット 10	説 明
PJ5MD	
0	汎用入出力 (PJ5) (初期値)
1	ATU-II インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO2F)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PJ4 モードビット (PJ4MD)

PJ4/TIO2E 端子の機能を選びます。

ビット 8	説 明
PJ4MD	
0	汎用入出力 (PJ4) (初期値)
1	ATU-II インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO2E)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PJ3 モードビット (PJ3MD)

PJ3/TIO2D 端子の機能を選びます。

ビット 6	説 明
PJ3MD	
0	汎用入出力 (PJ3) (初期値)
1	ATU-II インพุットキャプチャ入力 / アウトプットコンペア出力 (TIO2D)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PJ2 モードビット (PJ2MD)

PJ2/TIO2C 端子の機能を選びます。

ビット 4	説 明
PJ2MD	
0	汎用入出力 (PJ2) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO2C)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PJ1 モードビット (PJ1MD)

PJ1/TIO2B 端子の機能を選びます。

ビット 2	説 明
PJ1MD	
0	汎用入出力 (PJ1) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO2B)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PJ0 モードビット (PJ0MD)

PJ0/TIO2A 端子の機能を選びます。

ビット 0	説 明
PJ0MD	
0	汎用入出力 (PJ0) (初期値)
1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO2A)

20.3.20 ポート K・IO レジスタ (PKIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK15 IOR	PK14 IOR	PK13 IOR	PK12 IOR	PK11 IOR	PK10 IOR	PK9 IOR	PK8 IOR	PK7 IOR	PK6 IOR	PK5 IOR	PK4 IOR	PK3 IOR	PK2 IOR	PK1 IOR	PK0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート K・IO レジスタ (PKIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート K にある 16 本の端子の入出力方向を選びます。PK15IOR ~ PK0IOR ビットが、それぞれ、PK15/TO8P 端子 ~ PK0/TO8A 端子に対応しています。PKIOR はポート K の端子機能が汎用入出力 (PK15 ~ PK0) の場合に有効でそれ以外の場合は無効です。

ポート K の端子機能が PK15 ~ PK0 の場合、PKIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PKIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

20.3.21 ポート K コントロールレジスタ H、L (PKCRH、PKCRL)

ポート K コントロールレジスタ H、L (PKCRH、PKCRL) は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート K にある 16 本のマルチプレクス端子の機能を選びます。PKCRH はポート K の上位 8 ビットの端子の機能を、PKCRL はポート K の下位 8 ビットの端子の機能を選びます。

PKCRH、PKCRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート K コントロールレジスタ H (PKCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PK15 MD	-	PK14 MD	-	PK13 MD	-	PK12 MD	-	PK11 MD	-	PK10 MD	-	PK9 MD	-	PK8 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: PK15 モードビット (PK15MD)

PK15/TO8P 端子の機能を選びます。

ビット 14	説明
PK15MD	
0	汎用入出力 (PK15) (初期値)
1	ATU-II ワンショットパルス出力 (TO8P)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PK14 モードビット (PK14MD)

PK14/TO8O 端子の機能を選びます。

ビット 12	説 明	
PK14MD		
0	汎用入出力 (PK14)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8O)	

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PK13 モードビット (PK13MD)

PK13/TO8N 端子の機能を選びます。

ビット 10	説 明	
PK13MD		
0	汎用入出力 (PK13)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8N)	

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PK12 モードビット (PK12MD)

PK12/TO8M 端子の機能を選びます。

ビット 8	説 明	
PK12MD		
0	汎用入出力 (PK12)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8M)	

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PK11 モードビット (PK11MD)

PK11/TO8L 端子の機能を選びます。

ビット 6	説 明	
PK11MD		
0	汎用入出力 (PK11)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8L)	

20. ピンファンクションコントローラ (PFC)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PK10 モードビット (PK10MD)

PK10/TO8K 端子の機能を選びます。

ビット 4	説 明
PK10MD	
0	汎用入出力 (PK10) (初期値)
1	ATU-II ワンショットパルス出力 (TO8K)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PK9 モードビット (PK9MD)

PK9/TO8J 端子の機能を選びます。

ビット 2	説 明
PK9MD	
0	汎用入出力 (PK9) (初期値)
1	ATU-II ワンショットパルス出力 (TO8J)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PK8 モードビット (PK8MD)

PK8/TO8I 端子の機能を選びます。

ビット 0	説 明
PK8MD	
0	汎用入出力 (PK8) (初期値)
1	ATU-II ワンショットパルス出力 (TO8I)

(2) ポート K コントロールレジスタ L (PKCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PK7 MD	-	PK6 MD	-	PK5 MD	-	PK4 MD	-	PK3 MD	-	PK2 MD	-	PK1 MD	-	PK0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: PK7 モードビット (PK7MD)

PK7/TO8H 端子の機能を選びます。

ビット 14	説明
PK7MD	
0	汎用入出力 (PK7) (初期値)
1	ATU-II ワンショットパルス出力 (TO8H)

ビット 13: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12: PK6 モードビット (PK6MD)

PK6/TO8G 端子の機能を選びます。

ビット 12	説明
PK6MD	
0	汎用入出力 (PK6) (初期値)
1	ATU-II ワンショットパルス出力 (TO8G)

ビット 11: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10: PK5 モードビット (PK5MD)

PK5/TO8F 端子の機能を選びます。

ビット 10	説明
PK5MD	
0	汎用入出力 (PK5) (初期値)
1	ATU-II ワンショットパルス出力 (TO8F)

ビット 9: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20. ピンファンクションコントローラ (PFC)

ビット 8 : PK4 モードビット (PK4MD)

PK4/TO8E 端子の機能を選びます。

ビット 8	説 明
PK4MD	
0	汎用入出力 (PK4) (初期値)
1	ATU-II ワンショットパルス出力 (TO8E)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PK3 モードビット (PK3MD)

PK3/TO8D 端子の機能を選びます。

ビット 6	説 明
PK3MD	
0	汎用入出力 (PK3) (初期値)
1	ATU-II ワンショットパルス出力 (TO8D)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PK2 モードビット (PK2MD)

PK2/TO8C 端子の機能を選びます。

ビット 4	説 明
PK2MD	
0	汎用入出力 (PK2) (初期値)
1	ATU-II ワンショットパルス出力 (TO8C)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PK1 モードビット (PK1MD)

PK1/TO8B 端子の機能を選びます。

ビット 2	説 明
PK1MD	
0	汎用入出力 (PK1) (初期値)
1	ATU-II ワンショットパルス出力 (TO8B)

ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0：PK0モードビット (PK0MD)

PK0/TO8A 端子の機能を選びます。

ビット0	説明
PK0MD	
0	汎用入出力 (PK0) (初期値)
1	ATU-II ワンショットパルス出力 (TO8A)

20.3.22 ポート K インバートレジスタ (PKIR)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PK15	PK14	PK13	PK12	PK11	PK10	PK9	PK8	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
IR	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR	IR

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート K インバートレジスタ (PKIR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート K の反転機能を設定します。PK15IR ~ PK0IR ビットが、それぞれ、PK15/TO8P ~ PK0/TO8A 端子に対応しています。PKIR はポート K の端子機能が ATU-II の出力の場合に有効でそれ以外の場合は無効です。

ポート K の端子機能が ATU-II の出力の場合、PKIR のビット 1 にすると、対応する端子の値は反転します。

PKIR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

PKnIR	説明
0	値を反転しない (初期値)
1	値を反転する

n = 15 ~ 0

20.3.23 ポート L・IO レジスタ (PLIOR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	-	PL13 IOR	PL12 IOR	PL11 IOR	PL10 IOR	PL9 IOR	PL8 IOR	PL7 IOR	PL6 IOR	PL5 IOR	PL4 IOR	PL3 IOR	PL2 IOR	PL1 IOR	PL0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート L・IO レジスタ (PLIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート L にある 14 本の端子の入出力方向を選びます。PL13IOR ~ PL0IOR ビットが、それぞれ、PL13/ $\overline{\text{IRQOUT}}$ 端子 ~ PL0/TI10 端子に対応しています。PLIOR はポート L の端子機能が汎用入出力 (PL13 ~ PL0) か タイマの入出力 (TIO11A、TIO11B) か シリアルクロック (SCK2、SCK3、SCK4) の場合に有効でそれ以外の場合は無効です。

ポート L の端子機能が PL13 ~ PL0 か TIO11A、TIO11B か SCK2、SCK3、SCK4 の場合、PLIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PLIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

20.3.24 ポートLコントロールレジスタ H、L (PLCRH、PLCRL)

ポートLコントロールレジスタ H、L (PLCRH、PLCRL) は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポートLにある 14 本のマルチプレクス端子の機能を選びます。PLCRH はポートLの上位 6 ビットの端子の機能を、PLCRL はポートLの下位 8 ビットの端子の機能を選びます。

PLCRH、PLCRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポートLコントロールレジスタ H (PLCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PL13 MD1	PL13 MD0	-	PL12 MD	PL11 MD1	PL11 MD0	PL10 MD1	PL10 MD0	PL9 MD1	PL9 MD0	-	PL8 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット 15~12: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 11、10: PL13 モードビット 1、0 (PL13MD1、PL13MD0)

PL13/ $\overline{\text{IRQOUT}}$ 端子の機能を選びます。

ビット 11	ビット 10	説明
PL13MD1	PL13MD0	
0	0	汎用入出力 (PL13) (初期値)
	1	$\overline{\text{IRQOUT}}$ は常にハイレベル ($\overline{\text{IRQOUT}}$)
1	0	$\overline{\text{IRQOUT}}$ は INTC の割り込み要求で出力 ($\overline{\text{IRQOUT}}$)
	1	予約*

【注】 * 予約は設定しないでください。

ビット 9: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8: PL12 モードビット (PL12MD)

PL12/ $\overline{\text{IRQ4}}$ 端子の機能を選びます。

ビット 8	説明
PL12MD	
0	汎用入出力 (PL12) (初期値)
1	割り込み要求入力 ($\overline{\text{IRQ4}}$)

20. ピンファンクションコントローラ (PFC)

ビット7、6 : PL11 モードビット1、0 (PL11MD1、 PL11MD0)

PL11/HRxD0/HRxD1 端子の機能を選びます。

ビット7	ビット6	説明
PL11MD1	PL11MD0	
0	0	汎用入出力 (PL11) (初期値)
	1	HCAN 受信データ入力 (HRxD0)
1	0	HCAN 受信データ入力 (HRxD1)
	1	HCAN 受信データ入力 (HRxD0 と HRxD1 の両方に入力)

ビット5、4 : PL10 モードビット1、0 (PL10MD1、 PL10MD0)

PL10/HTxD0/HTxD1 端子の機能を選びます。

ビット5	ビット4	説明
PL10MD1	PL10MD0	
0	0	汎用入出力 (PL10) (初期値)
	1	HCAN 送信データ出力 (HTxD0)
1	0	HCAN 送信データ出力 (HTxD1)
	1	HCAN 送信データ出力 (HTxD0 と HTxD1 の AND)

ビット3、2 : PL9 モードビット1、0 (PL9MD1、 PL9MD0)

PL9/SCK4/ $\overline{\text{IRQ5}}$ 端子の機能を選びます。

ビット3	ビット2	説明
PL9MD1	PL9MD0	
0	0	汎用入出力 (PL9) (初期値)
	1	シリアルクロック入出力 (SCK4)
1	0	割り込み要求入力 ($\overline{\text{IRQ5}}$)
	1	予約*

【注】 * 予約は設定しないでください。

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PL8 モードビット (PL8MD)

PL8/SCK3 端子の機能を選びます。

ビット0	説明
PL8MD	
0	汎用入出力 (PL8) (初期値)
1	シリアルクロック入出力 (SCK3)

(2) ポート L コントロールレジスタ L (PLCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PL7 MD	-	PL6 MD	-	PL5 MD	-	PL4 MD	-	PL3 MD	PL2 MD1	PL2 MD0	PL1 MD1	PL1 MD0	-	PL0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: PL7 モードビット (PL7MD)

PL7/SCK2 端子の機能を選びます。

ビット 14	説明
PL7MD	
0	汎用入出力 (PL7) (初期値)
1	シリアルクロック入出力 (SCK2)

ビット 13: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12: PL6 モードビット (PL6MD)

PL6/ADEND 端子の機能を選びます。

ビット 12	説明
PL6MD	
0	汎用入出力 (PL6) (初期値)
1	A/D 変換終了出力 (ADEND)

ビット 11: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10: PL5 モードビット (PL5MD)

PL5/ADTRG1 端子の機能を選びます。

ビット 10	説明
PL5MD	
0	汎用入出力 (PL5) (初期値)
1	A/D 変換トリガ入力 (ADTRG1)

ビット 9: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20. ピンファンクションコントローラ (PFC)

ビット 8 : PL4 モードビット (PL4MD)

PL4/ADTRG0 端子の機能を選びます。

ビット 8	説 明	
PL4MD		
0	汎用入出力 (PL4)	(初期値)
1	A/D 変換トリガ入力 (ADTRG0)	

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PL3 モードビット (PL3MD)

PL3/TCLKB 端子の機能を選びます。

ビット 6	説 明	
PL3MD		
0	汎用入出力 (PL3)	(初期値)
1	ATU-II クロック入力 (TCLKB)	

ビット 5、4 : PL2 モードビット 1、0 (PL2MD1、PL2MD0)

PL2/TIO11B/IRQ7 端子の機能を選びます。

ビット 5	ビット 4	説 明	
PL2MD1	PL2MD0		
0	0	汎用入出力 (PL2)	(初期値)
	1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO11B)	
1	0	割り込み要求入力 (IRQ7)	
	1	予約*	

【注】 * 予約は設定しないでください。

ビット 3、2 : PL1 モードビット 1、0 (PL1MD1、PL1MD0)

PL1/TIO11A/IRQ6 端子の機能を選びます。

ビット 3	ビット 2	説 明	
PL1MD1	PL1MD0		
0	0	汎用入出力 (PL1)	(初期値)
	1	ATU-II インプットキャプチャ入力 / アウトプットコンペア出力 (TIO11A)	
1	0	割り込み要求入力 (IRQ6)	
	1	予約*	

【注】 * 予約は設定しないでください。

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PL0 モードビット (PL0MD)

PL0/TI10 端子の機能を選びます。

ビット 0	説 明
PL0MD	
0	汎用入出力 (PL0) (初期値)
1	ATU-II エッジ入力 (TI10)

20.3.25 ポート L インバートレジスタ (PLIR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PL9 IR	PL8 IR	PL7 IR	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R

ポート L インバートレジスタ (PLIR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート L の反転機能を設定します。PL9IR ~ PL7IR ビットが、それぞれ、PL9/SCK4/IRQ5 ~ PL7/SCK2 端子に対応しています。PLIR はポート L の端子機能がシリアルクロックの場合に有効でそれ以外の場合は無効です。

ポート L の端子機能がシリアルクロックの場合、PLIR のビットを 1 にすると、対応する端子の値は反転します。

PLIR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

PLnIR	説 明
0	値を反転しない (初期値)
1	値を反転する

n = 9 ~ 7

21. I/O ポート

21.1 概要

ポートは、A、B、C、D、E、F、G、H、J、K、L の 11 本から構成されています。

ポート A、B、E、F、H、J、K は 16 ビット、ポート C は 5 ビット、ポート D、L は 14 ビット、ポート G は 4 ビットの入出力サポートです。

それぞれのポートの端子は、すべて、汎用入出力と、そのほかの機能とを兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ (PFC) で行います。

ポートはそれぞれ、端子のデータを格納するためのデータレジスタを 1 本ずつ持っています。

また、ポート A、B、D、J、L は、端子の値をリードするためのポートレジスタを 1 本ずつ持っています。

21.2 ポート A

ポート A は、図 21.1 に示すような、16 本の端子を持つ入出力ポートです。

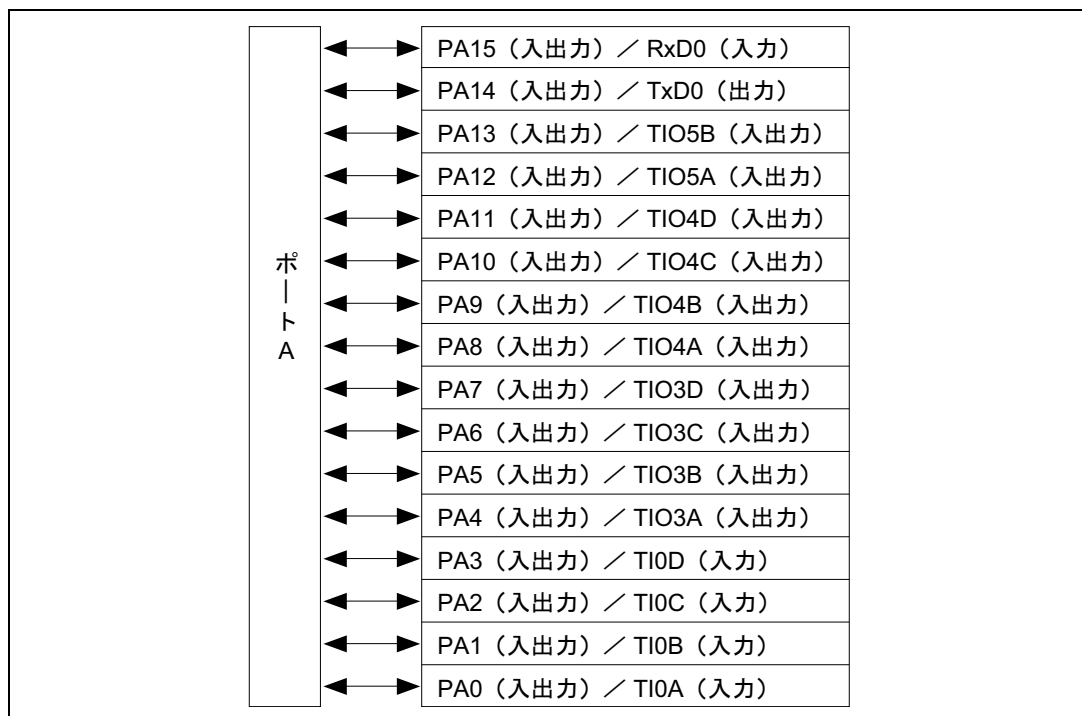


図 21.1 ポート A

21.2.1 レジスタ構成

ポート A のレジスタ構成を表 21.1 に示します。

表 21.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ	PADR	R/W	H'0000	H'FFFFFF726	8、16
ポート A ポートレジスタ	PAPR	R	ポート A 端子の値	H'FFFFFF780	8、16

【注】 レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

21.2.2 ポート A データレジスタ (PADR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15	PA14	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A データレジスタ (PADR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA15DR~PA0DR ビットは、それぞれ、PA15/RxD0~PA0/TIOA 端子に対応しています。

端子機能が汎用出力の場合には、PADR に値を書き込むと端子からその値が出力され、PADR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADR に値を書き込むと、PADR にその値を書き込めますが、端子の状態には影響しません。表 21.2 にポート A データレジスタの読み出し/書き込み動作を示します。

PADR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 21.2 ポート A データレジスタ (PADR) の読み出し/書き込み動作

ビット 15~0

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADR に書き込めるが、端子の状態に影響しない
1	汎用出力	PADR の値	書き込み値が端子から出力される
	汎用出力以外	PADR の値	PADR に書き込めるが、端子の状態に影響しない

21.2.3 ポート A ポートレジスタ (PAPR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15	PA14	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * PA15~PA0 端子がハイレベルのとき 1、ローレベルのとき 0

ポート A ポートレジスタ (PAPR) は、読み出し専用の 16 ビットのレジスタで、常にポート A の端子の値を格納しますので、CPU から書き込むことはできません。PA15PR~PA0PR ビットは、それぞれ、PA15/RxD0~PA0/TIOA 端子に対応しています。PAPR は読み出すと端子の値が読み出されません。

ビット 15~0: ポート A15~A0 ポートレジスタ (PA15PR~PA0PR)

PA15PR~PA0PR	説明
0	PA15~PA0 端子にローレベルが出力、または、入力されている。
1	PA15~PA0 端子にハイレベルが出力、または、入力されている。

21.3 ポート B

ポート B は、図 21.2 に示すような、16 本の端子を持つ入出力ポートです。

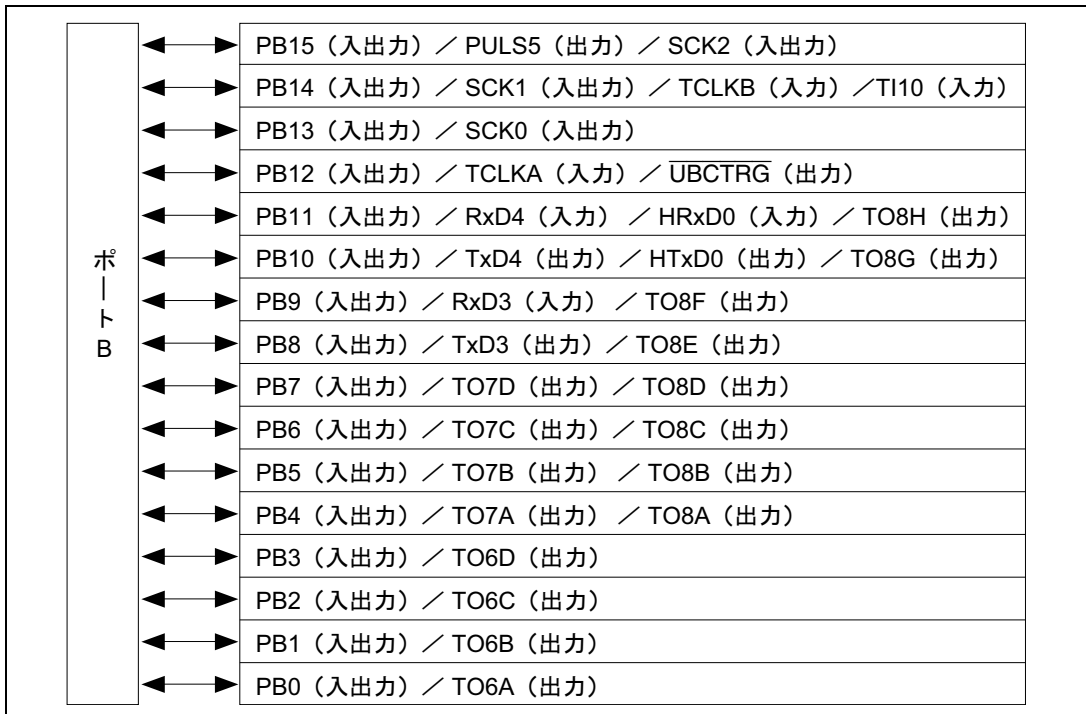


図 21.2 ポート B

21. I/O ポート

21.3.1 レジスタ構成

ポート B のレジスタ構成を表 21.3 に示します。

表 21.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ	PBDR	R/W	H'0000	H'FFFFFF738	8、16
ポート B ポートレジスタ	PBPR	R	ポート B 端子の値	H'FFFFFF782	8、16

【注】 レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

21.3.2 ポート B データレジスタ (PBDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15	PB14	PB13	PB12	PB11	PB10	PB9	PB8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B データレジスタ (PBDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB15DR~PB0DR ビットは、それぞれ、PB15/PULS5/SCK2~PB0/TO6A 端子に対応しています。

端子機能が汎用出力の場合には、PBDR に値を書き込むと端子からその値が出力され、PBDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR に値を書き込むと、PBDR にその値を書き込めますが、端子の状態には影響しません。表 21.4 にポート B データレジスタの読み出し/書き込み動作を示します。

PBDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 21.4 ポート B データレジスタ (PBDR) の読み出し/書き込み動作

ビット 15~0

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

21.3.3 ポート B ポートレジスタ (PBPR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 PR	PB14 PR	PB13 PR	PB12 PR	PB11 PR	PB10 PR	PB9 PR	PB8 PR	PB7 PR	PB6 PR	PB5 PR	PB4 PR	PB3 PR	PB2 PR	PB1 PR	PB0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
【注】 *	PB15~PB0 端子がハイレベルのとき 1、ローレベルのとき 0															

ポート B ポートレジスタ (PBPR) は、読み出し専用の 16 ビットのレジスタで、常にポート B の端子の値を格納しますので、CPU から書き込むことはできません。PB15PR~PB0PR ビットは、それぞれ、PB15/PULS5/SCK2~PB0/TO6A 端子に対応しています。PBPR は読み出すと端子の値が読み出されます。

ビット 15~0 : ポート B15~B0 ポートレジスタ (PB15PR~PB0PR)

PB15PR~PB0PR	説明
0	PB15~PB0 端子にローレベルが出力、または、入力されている。
1	PB15~PB0 端子にハイレベルが出力、または、入力されている。

21.4 ポート C

ポート C は、図 21.3 に示すような、5 本の端子を持つ入出力ポートです。

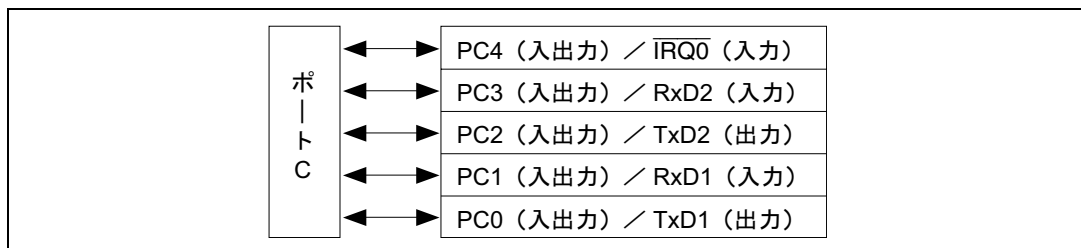


図 21.3 ポート C

21.4.1 レジスタ構成

ポート C のレジスタ構成を表 21.5 に示します。

表 21.5 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート C データレジスタ	PCDR	R/W	H'0000	H'FFFFFF73E	8、16

【注】 レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

21.4.2 ポート C データレジスタ (PCDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ポート C データレジスタ (PCDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC4DR~PC0DR ビットは、それぞれ、PC4/ $\overline{\text{IRQ0}}$ ~PC0/TxD1 端子に対応しています。

端子機能が汎用出力の場合には、PCDR に値を書き込むと端子からその値が出力され、PCDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDR に値を書き込むと、PCDR にその値を書き込めますが、端子の状態には影響しません。表 21.6 にポート C データレジスタの読み出し/書き込み動作を示します。

PCDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15~5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 21.6 ポート C データレジスタ (PCDR) の読み出し／書き込み動作
ビット 4~0

PCIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDR の値	書き込み値が端子から出力される
	汎用出力以外	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない

21.5 ポート D

ポート D は、図 21.4 に示すような、14 本の端子を持つ入出力ポートです。

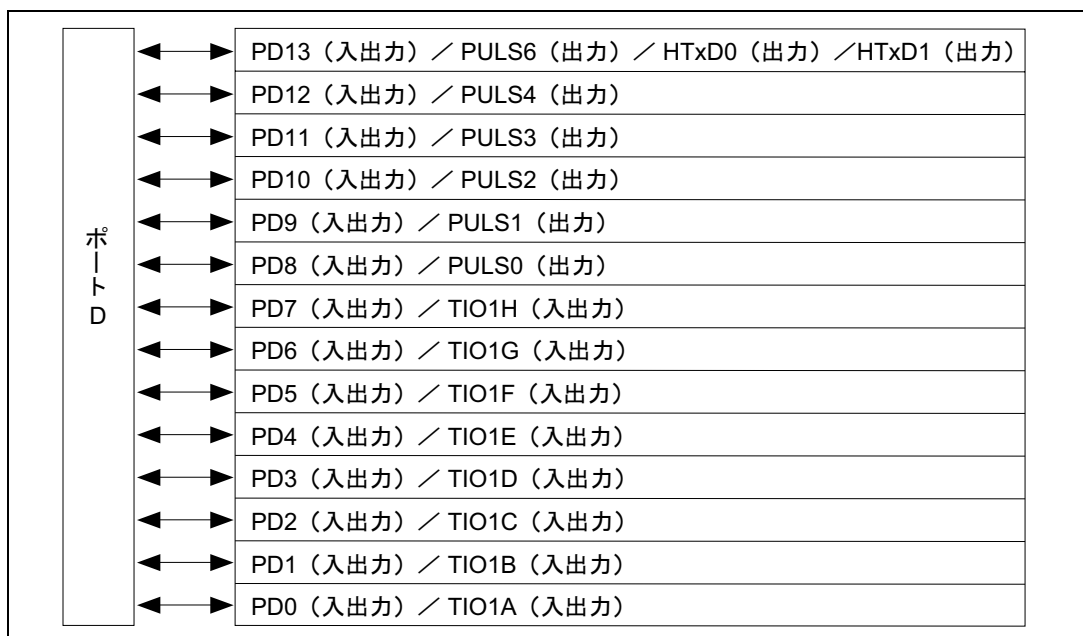


図 21.4 ポート D

21.5.1 レジスタ構成

ポート D のレジスタ構成を表 21.7 に示します。

表 21.7 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート D データレジスタ	PDDR	R/W	H'0000	H'FFFFFF746	8、16
ポート D ポートレジスタ	PDPR	R	ポート D 端子の値	H'FFFFFF784	8、16

【注】 レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

21.5.2 ポート D データレジスタ (PDDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D データレジスタ (PDDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD13DR~PD0DR ビットは、それぞれ、PD13/PULS6/HTxD0/HTxD1~PD0/TIO1A 端子に対応しています。

端子機能が汎用出力の場合には、PDDR に値を書き込むと端子からその値が出力され、PDDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDR に値を書き込むと、PDDR にその値を書き込めますが、端子の状態には影響しません。表 21.8 にポート D データレジスタの読み出し/書き込み動作を示します。

PDDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15、14: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 21.8 ポート D データレジスタ (PDDR) の読み出し/書き込み動作

ビット 13~0

PDIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDR の値	書き込み値が端子から出力される
	汎用出力以外	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない

21.5.3 ポート D ポートレジスタ (PDPR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PD13 PR	PD12 PR	PD11 PR	PD10 PR	PD9 PR	PD8 PR	PD7 PR	PD6 PR	PD5 PR	PD4 PR	PD3 PR	PD2 PR	PD1 PR	PD0 PR
初期値:	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * PD13~PD0 端子がハイレベルのとき 1、ローレベルのとき 0

ポート D ポートレジスタ (PDPR) は、読み出し専用の 16 ビットのレジスタで、常にポート D の端子の値を格納しますので、CPU から書き込むことはできません。PD13PR~PD0PR ビットは、それぞれ、PD13/PULS6/HTxD0/HTxD1~PD0/TIO1A 端子に対応しています。PDPR は読み出すと端子の値が読み出されます。

ビット 15、14 : 予約ビット

読み出すと常に 0 が読み出されます。

ビット 13~0 : ポート D13~D0 ポートレジスタ (PD13PR~PD0PR)

PD13PR~PD0PR	説明
0	PD13~PD0 端子にローレベルが出力、または、入力されている。
1	PD13~PD0 端子にハイレベルが出力、または、入力されている。

21.6 ポート E

ポート E は、図 21.5 に示すような、16 本の端子を持つ入出力ポートです。

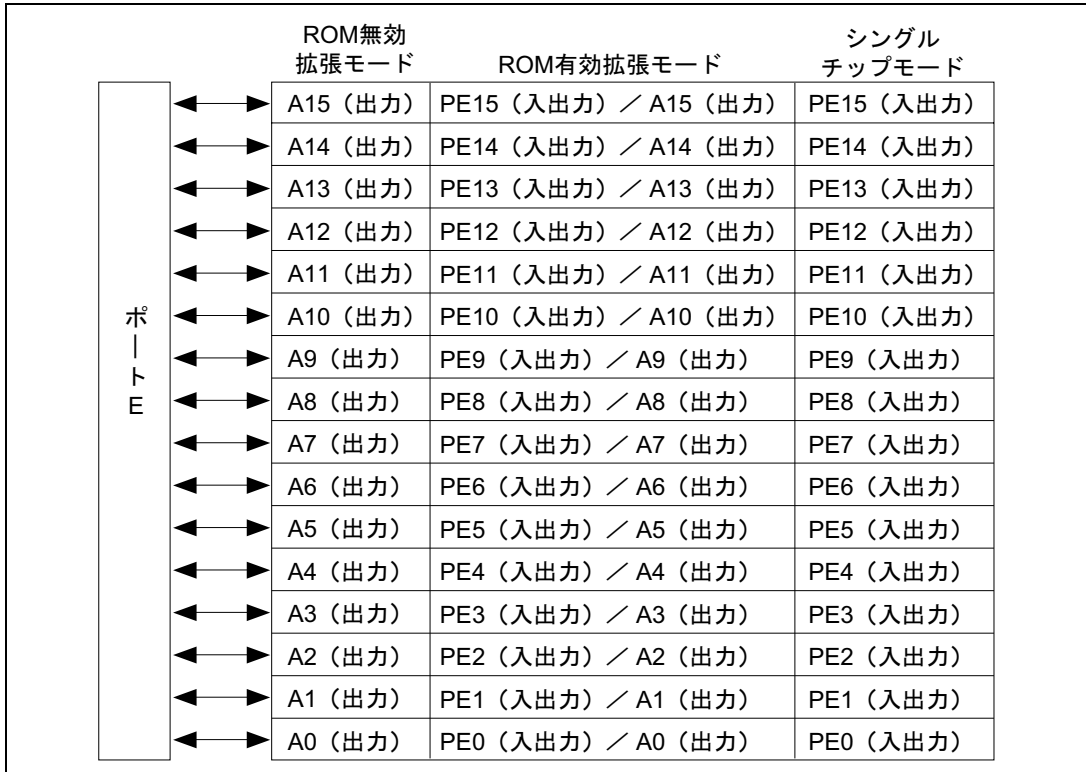


図 21.5 ポート E

21.6.1 レジスタ構成

ポート E のレジスタ構成を表 21.9 に示します。

表 21.9 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ	PEDR	R/W	H'0000	H'FFFFFF754	8、16

【注】 レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

21.6.2 ポート E データレジスタ (PEDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15	PE14	PE13	PE12	PE11	PE10	PE9	PE8	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E データレジスタ (PEDR) は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE15DR~PE0DR ビットは、それぞれ、PE15/A15~PE0/A0 端子に対応しています。

端子機能が汎用出力の場合には、PEDR に値を書き込むと端子からその値が出力され、PEDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。なお、 $\overline{\text{POD}}$ 端子をローにしたときには、汎用出力は PEDR の値にかかわらずハイインピーダンスになります。 $\overline{\text{POD}}$ 端子をハイにしたときは、書き込んだ値が端子から出力されます。

端子機能が汎用入力の場合には、PEDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDR に値を書き込むと、PEDR にその値を書き込めますが、端子の状態には影響しません。表 21.10 にポート E データレジスタの読み出し／書き込み動作を示します。

PEDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 21.10 ポート E データレジスタ (PEDR) の読み出し／書き込み動作

ビット 15~0

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDR の値	書き込み値が端子から出力される ($\overline{\text{POD}}$ 端子=ハイ) PEDR の値にかかわらずハイインピーダンス ($\overline{\text{POD}}$ 端子=ロー)
	汎用出力以外	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない

21.7 ポート F

ポート F は、図 21.6 に示すような、16 本の端子を持つ入出力ポートです。

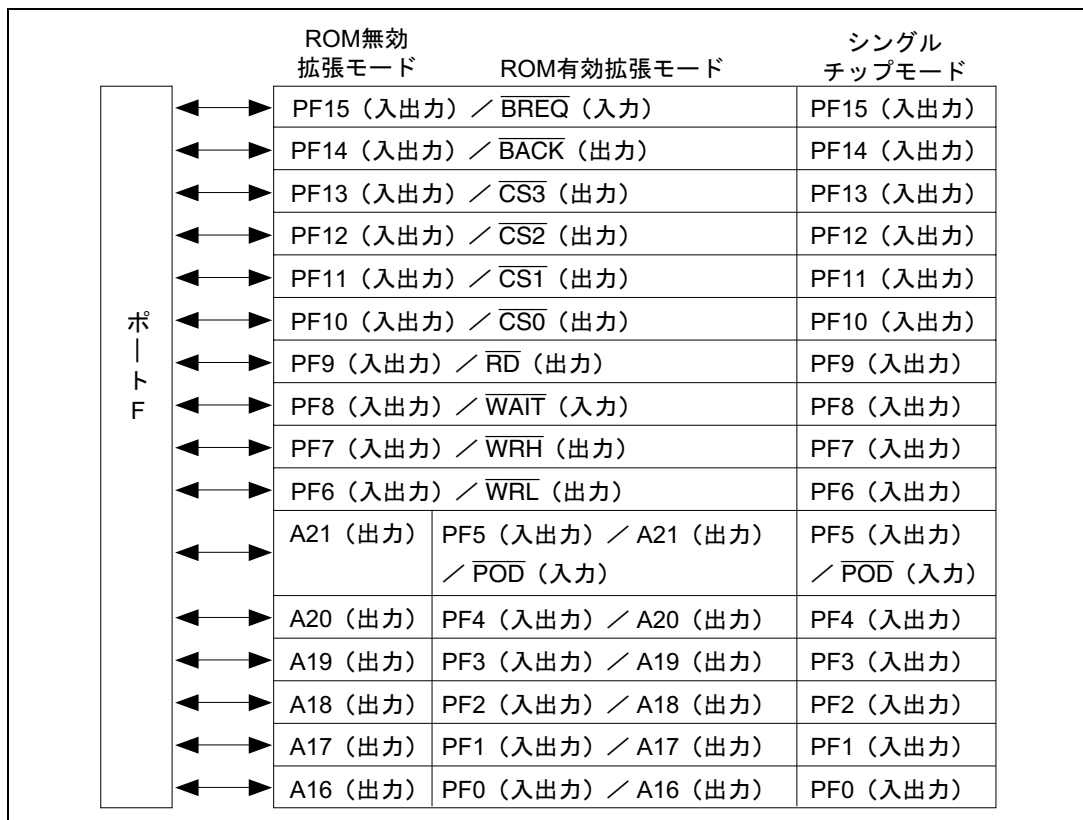


図 21.6 ポート F

21.7.1 レジスタ構成

ポート F のレジスタ構成を表 21.11 に示します。

表 21.11 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ	PFDR	R/W	H'0000	H'FFFFFF74E	8、16

【注】 レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

21.7.2 ポート F データレジスタ (PFDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15	PF14	PF13	PF12	PF11	PF10	PF9	PF8	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート F データレジスタ (PFDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート F のデータを格納します。PF15DR~PF0DR ビットは、それぞれ、PF15/BREQ~PF0/A16 端子に対応しています。

端子機能が汎用出力の場合には、PFDR に値を書き込むと端子からその値が出力され、PFDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。なお、PF0~PF4 は、 $\overline{\text{POD}}$ 端子をローにしたときには、汎用出力は PFDR の値にかかわらずハイインピーダンスになります。 $\overline{\text{POD}}$ 端子をハイにしたときは、書き込んだ値が端子から出力されます。

端子機能が汎用入力の場合には、PFDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PFDR に値を書き込むと、PFDR にその値を書き込みますが、端子の状態には影響しません。表 21.12 にポート F データレジスタの読み出し/書き込み動作を示します。

PFDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 21.12 ポート F データレジスタ (PFDR) の読み出し/書き込み動作

ビット 15~5

PFIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PFDR の値	書き込み値が端子から出力される
	汎用出力以外	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない

ビット 4~0

PFIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PFDR の値	書き込み値が端子から出力される (POD 端子=ハイ) PFDR の値にかかわらずハイインピーダンス (POD 端子=ロー)
	汎用出力以外	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない

21.8 ポート G

ポート G は、図 21.7 に示すような、4 本の端子を持つ入出力ポートです。

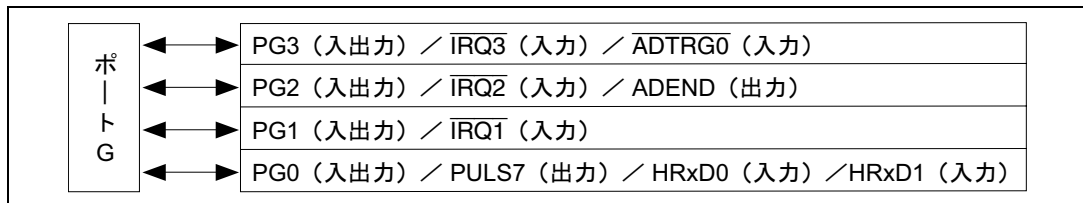


図 21.7 ポート G

21.8.1 レジスタ構成

ポート G のレジスタ構成を表 21.13 に示します。

表 21.13 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート G データレジスタ	PGDR	R/W	H'0000	H'FFFFFF64	8、16

【注】 レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

21.8.2 ポート G データレジスタ (PGDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PG3 DR	PG2 DR	PG1 DR	PG0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ポート G データレジスタ (PGDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート G のデータを格納します。PG3DR~PG0DR ビットは、それぞれ、PG3/ $\overline{\text{IRQ3}}$ / $\overline{\text{ADTRG0}}$ ~PG0/PULS7/HRxD0/HRxD1 端子に対応しています。

端子機能が汎用出力の場合には、PGDR に値を書き込むと端子からその値が出力され、PGDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PGDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PGDR に値を書き込むと、PGDR にその値を書き込めますが、端子の状態には影響しません。表 21.14 にポート G データレジスタの読み出し/書き込み動作を示します。

PGDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15~4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 21.14 ポート G データレジスタ (PGDR) の読み出し／書き込み動作

ビット 3~0

PGIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PGDR の値	書き込み値が端子から出力される
	汎用出力以外	PGDR の値	PGDR に書き込めるが、端子の状態に影響しない

21.9 ポート H

ポート H は、図 21.8 に示すような、16 本の端子を持つ入出力ポートです。

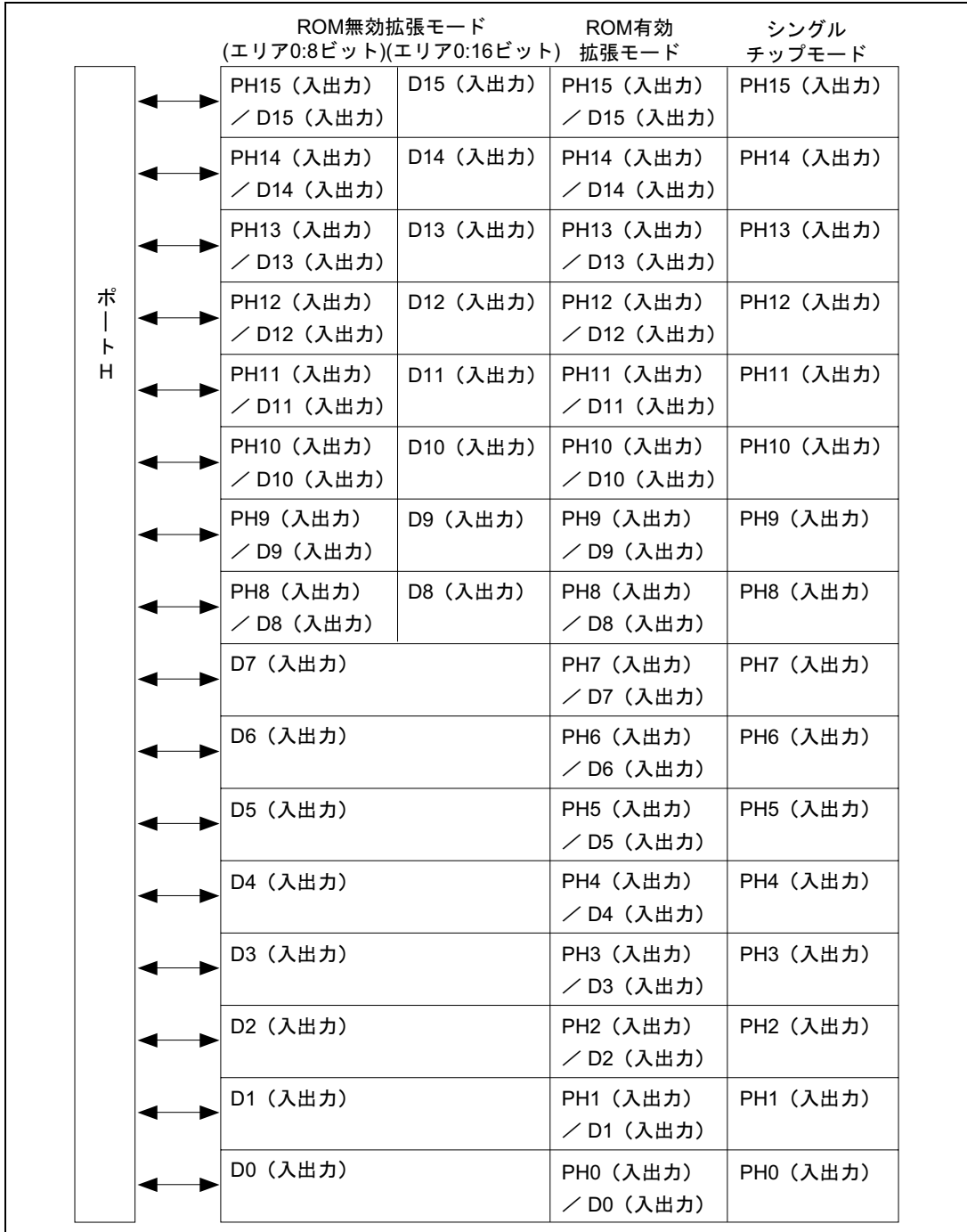


図 21.8 ポート H

21.9.1 レジスタ構成

ポート H のレジスタ構成を表 21.15 に示します。

表 21.15 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート H データレジスタ	PHDR	R/W	H'0000	H'FFFFFF72C	8、16

【注】 レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

21.9.2 ポート H データレジスタ (PHDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15	PH14	PH13	PH12	PH11	PH10	PH9	PH8	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート H データレジスタ (PHDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート H のデータを格納します。PH15DR~PH0DR ビットは、それぞれ、PH15/D15~PH0/D0 端子に対応しています。

端子機能が汎用出力の場合には、PHDR に値を書き込むと端子からその値が出力され、PHDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。なお、 $\overline{\text{POD}}$ 端子をローにしたときには、汎用出力は PHDR の値にかかわらずハイインピーダンスになります。 $\overline{\text{POD}}$ 端子をハイにしたときは、書き込んだ値が端子から出力されます。

端子機能が汎用入力の場合には、PHDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PHDR に値を書き込むと、PHDR にその値を書き込めますが、端子の状態には影響しません。表 21.16 にポート H データレジスタの読み出し/書き込み動作を示します。

PHDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 21.16 ポート H データレジスタ (PHDR) の読み出し/書き込み動作

ビット 15~0

PHIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PHDR の値	書き込み値が端子から出力される ($\overline{\text{POD}}$ 端子=ハイ) PHDR の値にかかわらずハイインピーダンス ($\overline{\text{POD}}$ 端子=ロー)
	汎用出力以外	PHDR の値	PHDR に書き込めるが、端子の状態に影響しない

21.10 ポート J

ポート J は、図 21.9 に示すような、16 本の端子を持つ入出力ポートです。

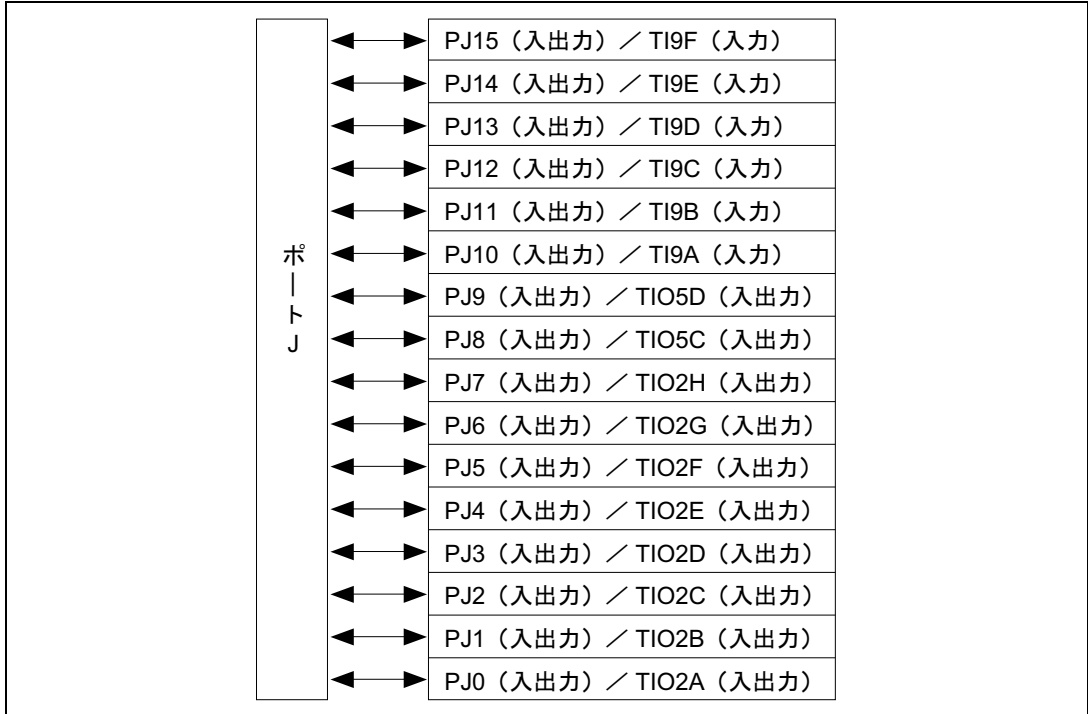


図 21.9 ポート J

21.10.1 レジスタ構成

ポート J のレジスタ構成を表 21.17 に示します。

表 21.17 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート J データレジスタ	PJDR	R/W	H'0000	H'FFFFFF76C	8、16
ポート J ポートレジスタ	PJPR	R	ポート J 端子の値	H'FFFFFF786	8、16

【注】 レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

21.10.2 ポート J データレジスタ (PJDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15	PJ14	PJ13	PJ12	PJ11	PJ10	PJ9	PJ8	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート J データレジスタ (PJDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート J のデータを格納します。PJ15DR~PJ0DR ビットは、それぞれ、PJ15/TI9F~PJ0/TIO2A 端子に対応しています。

端子機能が汎用出力の場合には、PJDR に値を書き込むと端子からその値が出力され、PJDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PJDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PJDR に値を書き込むと、PJDR にその値を書き込みますが、端子の状態には影響しません。表 21.18 にポート J データレジスタの読み出し/書き込み動作を示します。

PJDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 21.18 ポート J データレジスタ (PJDR) の読み出し/書き込み動作

ビット 15~0

PJIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PJDR の値	書き込み値が端子から出力される
	汎用出力以外	PJDR の値	PJDR に書き込めるが、端子の状態に影響しない

21.10.3 ポート J ポートレジスタ (PJPR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15	PJ14	PJ13	PJ12	PJ11	PJ10	PJ9	PJ8	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * PJ15~PJ0 端子がハイレベルのとき 1、ローレベルのとき 0

ポート J ポートレジスタ (PJPR) は、読み出し専用の 16 ビットのレジスタで、常にポート J の端子の値を格納しますので、CPU から書き込むことはできません。PJ15PR~PJ0PR ビットは、それぞれ、PJ15/TI9F~PJ0/TIO2A 端子に対応しています。PJPR は読み出すと端子の値が読み出されます。

ビット 15~0 : ポート J15~J0 ポートレジスタ (PJ15PR~PJ0PR)

PJ15PR~PJ0PR	説明
0	PJ15~PJ0 端子にローレベルが出力、または、入力されている。
1	PJ15~PJ0 端子にハイレベルが出力、または、入力されている。

21.11 ポート K

ポート K は、図 21.10 に示すような、16 本の端子を持つ入出力ポートです。

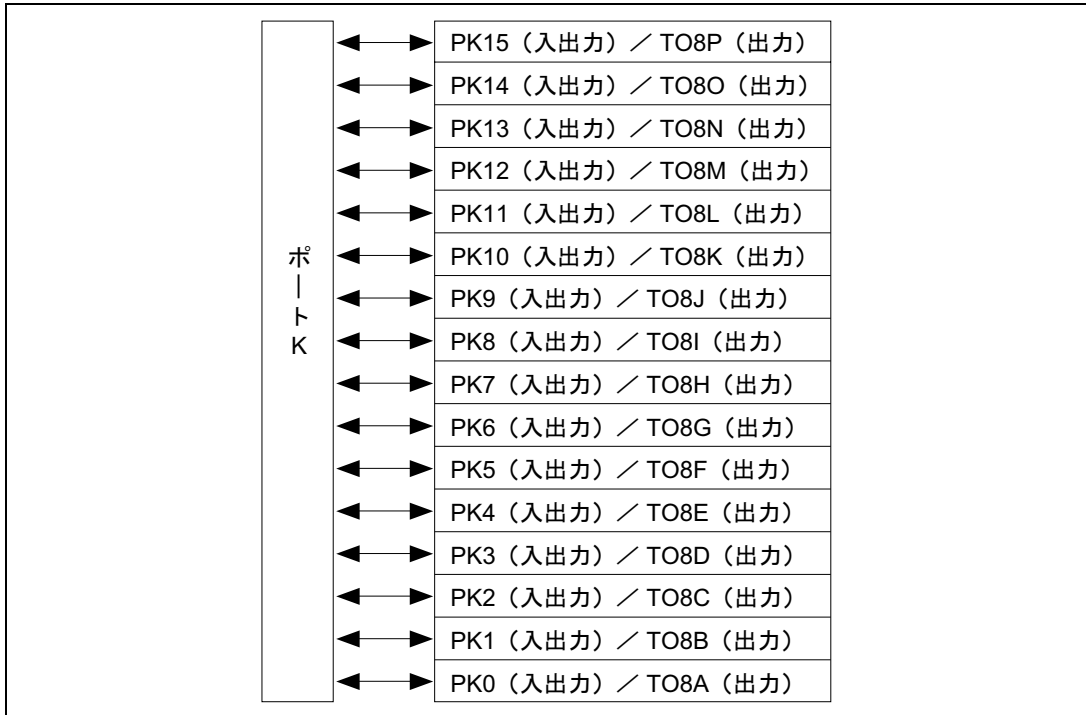


図 21.10 ポート K

21.11.1 レジスタ構成

ポート K のレジスタ構成を表 21.19 に示します。

表 21.19 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート K データレジスタ	PKDR	R/W	H'0000	H'FFFFFF78	8、16

【注】 レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

21.11.2 ポート K データレジスタ (PKDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK15	PK14	PK13	PK12	PK11	PK10	PK9	PK8	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート K データレジスタ (PKDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート K のデータを格納します。PK15DR~PK0DR ビットは、それぞれ、PK15/TO8P~PK0/TO8A 端子に対応しています。

端子機能が汎用出力の場合には、PKDR に値を書き込むと端子からその値が出力され、PKDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PKDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PKDR に値を書き込むと、PKDR にその値を書き込みますが、端子の状態には影響しません。表 21.20 にポート K データレジスタの読み出し/書き込み動作を示します。

PKDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 21.20 ポート K データレジスタ (PKDR) の読み出し/書き込み動作

ビット 15~0

PKIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PKDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PKDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PKDR の値	書き込み値が端子から出力される
	汎用出力以外	PKDR の値	PKDR に書き込めるが、端子の状態に影響しない

21.12 ポート L

ポート L は、図 21.11 に示すような、14 本の端子を持つ入出力ポートです。

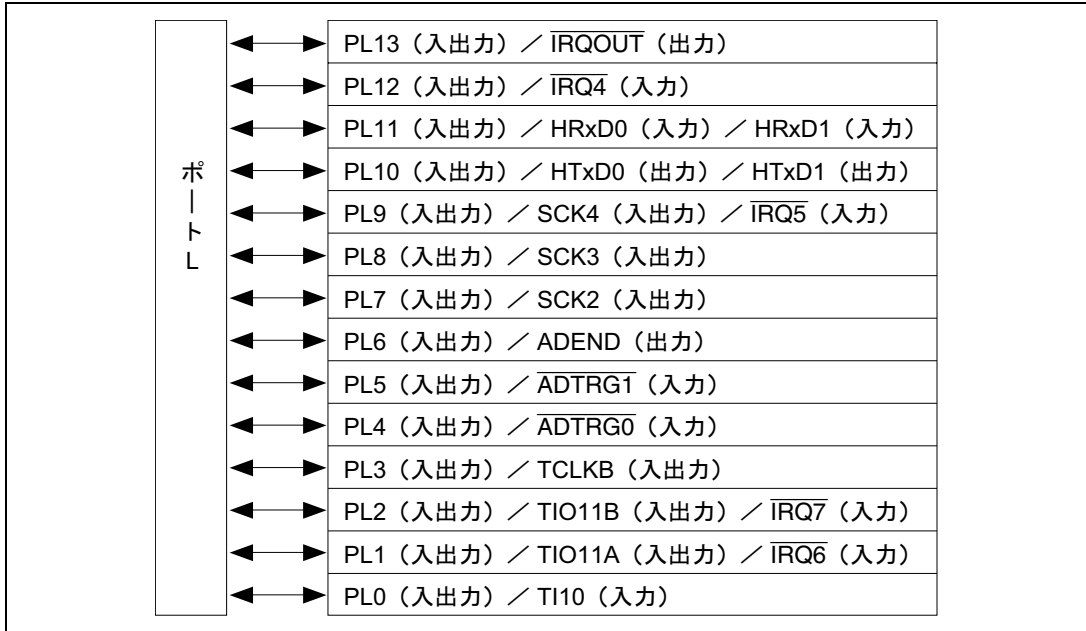


図 21.11 ポート L

21.12.1 レジスタ構成

ポート L のレジスタ構成を表 21.21 に示します。

表 21.21 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート L データレジスタ	PLDR	R/W	H'0000	H'FFFFFF75E	8、16
ポート L ポートレジスタ	PLPR	R	ポート L 端子の値	H'FFFFFF788	8、16

【注】 レジスタアクセスはアクセスサイズにかかわらず 4 サイクルまたは 5 サイクルです。

21.12.2 ポートL データレジスタ (PLDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PL13 DR	PL12 DR	PL11 DR	PL10 DR	PL9 DR	PL8 DR	PL7 DR	PL6 DR	PL5 DR	PL4 DR	PL3 DR	PL2 DR	PL1 DR	PL0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートL データレジスタ (PLDR) は、読み出し／書き込み可能な 16 ビットのレジスタで、ポートL のデータを格納します。PL13DR~PL0DR ビットは、それぞれ、PL13/I \overline{RQ} OUT~PL0/TI10 端子に対応しています。

端子機能が汎用出力の場合には、PLDR に値を書き込むと端子からその値が出力され、PLDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PLDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PLDR に値を書き込むと、PLDR にその値を書き込めますが、端子の状態には影響しません。表 21.22 にポートL データレジスタの読み出し／書き込み動作を示します。

PLDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15、14：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 21.22 ポートL データレジスタ (PLDR) の読み出し／書き込み動作

ビット 13~0

PLIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PLDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PLDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PLDR の値	書き込み値が端子から出力される
	汎用出力以外	PLDR の値	PLDR に書き込めるが、端子の状態に影響しない

21.12.3 ポート L ポートレジスタ (PLPR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PL13 PR	PL12 PR	PL11 PR	PL10 PR	PL9 PR	PL8 PR	PL7 PR	PL6 PR	PL5 PR	PL4 PR	PL3 PR	PL2 PR	PL1 PR	PL0 PR
初期値:	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * PL13~PL0 端子がハイレベルのとき 1、ローレベルのとき 0

ポート L ポートレジスタ (PLPR) は、読み出し専用の 16 ビットのレジスタで、常にポート L の端子の値を格納しますので、CPU から書き込むことはできません。PL13PR~PL0PR ビットは、それぞれ、PL13/IRQOUT~PL0/TH10 端子に対応しています。PLPR は読み出すと端子の値が読み出されます。

ビット 15、14 : 予約ビット

読み出すと常に 0 が読み出されます。

ビット 13~0 : ポート L13~L0 ポートレジスタ (PL13PR~PL0PR)

PL13PR~PL0PR	説明
0	PL13~PL0 端子にローレベルが出力、または、入力されている。
1	PL13~PL0 端子にハイレベルが出力、または、入力されている。

21.13 POD (ポートアウトプットディスエーブル)

$\overline{\text{POD}}$ (ポートアウトプットディスエーブル) 端子の入力レベルにより、アドレスバス端子 (A20~A0) およびデータバス端子 (D15~D0) の出力ポートのドライブバッファを制御できます。ただし、この機能はアドレスバス端子 (A20~A0) およびデータバス端子 (D15~D0) が汎用出力ポートに設定されているときのみ有効です。

$\overline{\text{POD}}$ による出力バッファの制御はバスサイクルとは非同期に行います。

$\overline{\text{POD}}$	アドレスバス (A20~A0) 端子とデータバス (D15~D0) 端子 (出力ポート設定時)
0	有効 (ハイインピーダンス)
1	無効 (汎用出力)

21.14 使用上の注意

- (1) SH7055FとSH7055SFとで表21.23の相違点があります。

表 21.23 相違点

	項目	SH7055F	SH7055SF	備考
PFC	PACRL ビット 7、5、3、1 : 予約ビット	書き込み値 1 の後の読み出しで 0 が読み出されません。	書き込み値 1 の後の読み出しで 1 が読み出されます。 20.3.2 (2) 参照	書き込み値は常に 0 にしてください。
I/O ポート	PAPR PBPR PDPR PJPR PLPR	—	ポートレジスタは読み出すと他のレジスタの設定に関係なく常に端子の値が読み出されます。 21.2.3 参照 21.3.3 参照 21.5.3 参照 21.10.3 参照 21.12.3 参照	ポートレジスタは、ATU-II および SCI の入出力機能の出力選択時に端子の値が読めます。*
電氣的 特性	DC 特性 PG0、PL11	VIH : 2.2V (min) VIL : 0.8V (max)	VIH : PVCC2 × 0.7V (min) VIL : PVCC2 × 0.3V (max) 表 26.4 参照	HCAN ポート特性

【注】 * データレジスタでは読めません。

- (2) 入出力機能以外の入力機能と出力機能は、ポートコントロールレジスタの設定で入力／出力の方向が決まります。(PJ15～10、PA4～0は、IOレジスタの設定もしてください。)

22. ROM

22.1 特長

本 LSI は 512kB のフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

LSI起動モードに合わせた2種類のフラッシュメモリマップ

内蔵しているフラッシュメモリには、同一アドレス空間に配置される2種類のメモリ空間(以下メモリマップと呼びます)があり、起動時のモード設定により、どちらのメモリマップから起動するかを選択できます。また、起動後もバンク切り替え方式でマップを切り替えることも可能です。

- ユーザモードでパワーオンリセット時に起動するユーザマップ：512kB
- ユーザブートモードでパワーオンリセット時に起動するユーザブートマップ：8kB

3種類のオンボードプログラミングモードと、1種類のオフボードプログラミングモード

- オンボードプログラミングモード
ブートモード

内蔵SCIインタフェースを使用するプログラムモードで、ユーザマップとユーザブートマップの書き換えができます。本モードでは、ホストと本LSI間のビットレートを自動で合わせることができます。

ユーザプログラムモード

任意のインタフェースで、ユーザマップの書き換えができます。

ユーザブートモード

任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマップの書き換えが可能です。

- オフボードプログラミングモード
ライターモード

PROMライターを用いたライターモードで、ユーザマップとユーザブートマップの書き換えが可能です。

内蔵プログラムのダウンロードによる書き込み/消去インタフェース

本LSIでは専用の書き込み/消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードした後、引数パラメータを設定するだけで書き込み/消去が可能です。さらに、ユーザブランチをサポートしています。

- ユーザブランチ

書き込み処理は128バイト単位で実施しますが、書き込みパルス印加、ベリファイ読み出しなどいくつかのステップから構成されています。消去も1分割ブロック単位で実施しますが、いくつかの処理ステップから構成されています。このステップの合間にユーザ処理ルーチンの実行が可能な設定を行うことができ、この設定をユーザブランチ付きと呼びます。

内蔵RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリと内蔵RAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

プロテクトモード

レジスタ設定によるソフトウェアプロテクトと、FWE端子によるハードウェアプロテクトの

2種類のモードがあり、フラッシュメモリの書き込み/消去に対するプロテクト状態を設定することができます。

また、書き込み/消去中の暴走などの異常発生を検出した場合、エラープロテクト状態に移移し、書き込み/消去処理を中断する機能があります。

書き込み/消去時間

フラッシュメモリの書き込み時間は、128バイト同時書き込みにて t_p ms (typ)、1バイト当たり換算にて $t_p/128$ ms、消去時間はブロック当たり t_e sです。

書き換え回数

フラッシュメモリの書き換えは、 N_{WEC} 回まで可能です。

22.2 概要

22.2.1 ブロック図

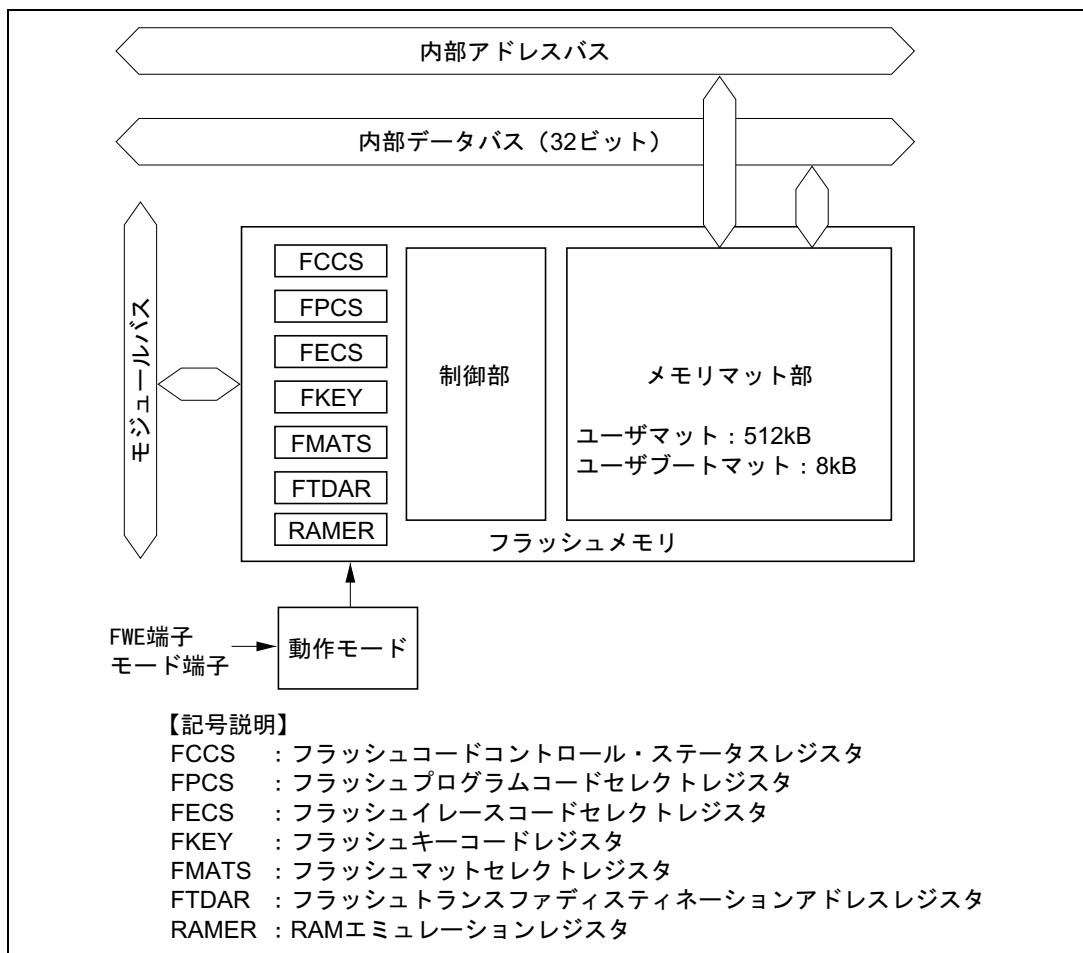


図 22.1 フラッシュメモリのブロック図

22.2.2 動作モード

リセット状態で各モード端子と FWE 端子を設定しリセットリリースすると、マイコンは図 22.2 に示すような各動作モードへ遷移します。各モード端子と FWE 端子の設定は、表 22.1 をご覧ください。

- (1) ROM無効モードではフラッシュメモリの読み出し / 書き込み / 消去はできません。また、書き込み / 消去インタフェースレジスタの書き込みはできません。読み出すと常にH'00が読み出されます。
- (2) ユーザモードではフラッシュメモリの読み出しはできますが、書き込み / 消去はできません。
- (3) オンボードでフラッシュメモリの読み出し / 書き込み / 消去ができるのは、ユーザプログラムモード、ユーザブートモード、ブートモードです。
- (4) ライタモードでは、PROMライタを利用してフラッシュメモリの読み出し / 書き込み / 消去を行います。

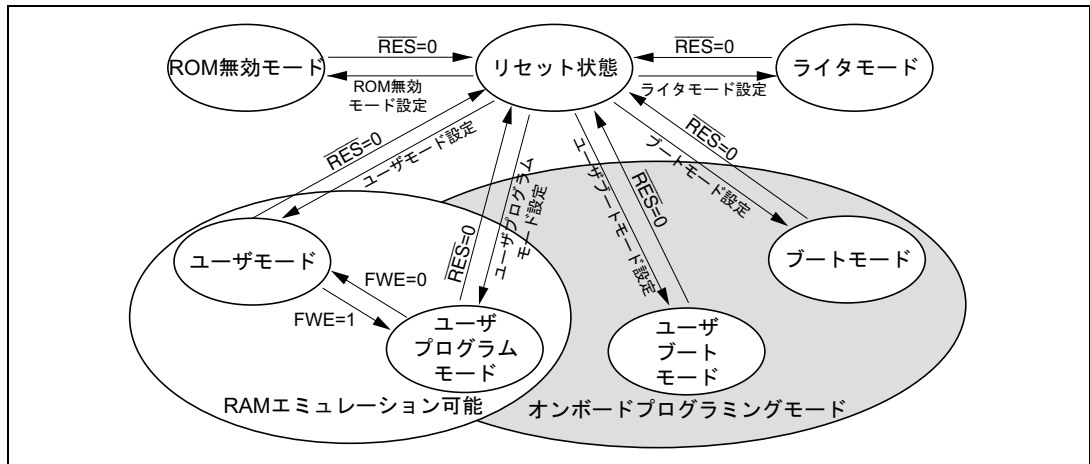


図 22.2 フラッシュメモリに関するモード遷移図

表 22.1 FWE 端子、MD 端子設定と動作モード

端子	モード						
	リセット状態	ROM 無効モード	ユーザモード	ユーザプログラムモード	ユーザブートモード	ブートモード	ライタモード
RES	0	1	1	1	1	1	1
FWE	0 / 1	0	0	1	1	1	0 / 1
MD0	0 / 1	0 / 1*1	0 / 1*2	0 / 1*2	0 / 1*2	0 / 1*2	1
MD1	0 / 1	0	1	1	0	0	1
MD2	0 / 1	1	1	1	0	1	0

【注】 *1 MD0=0 : 幅 8 bit の外部バス、MD0=1 : 幅 16 bit の外部バス

*2 MD0=0 : 外部バス使用可能、MD0=1 : シングルチップモード (外部バス使用不可)

22.2.3 モード比較

ブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードについての書き込み / 消去関連項目の比較表を表 22.2 に示します。

表 22.2 プログラミングモードの比較

	ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード
書き込み / 消去環境	オンボードプログラミング			オフボードプログラミング
書き込み / 消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット	ユーザマット ユーザブートマット
書き込み / 消去制御	コマンド方式	書き込み / 消去 インタフェース	書き込み / 消去 インタフェース	コマンド方式
全面消去	(自動)			(自動)
ブロック分割消去	*1			x
書き込みデータ転送	ホストから SCI 経由	任意のデバイス から RAM 経由	任意のデバイス から RAM 経由	ライター経由
ユーザーブランチ機能	x			x
RAM エミュレーション	x		x	x
リセットスタート時の起動マット	組み込みプログラム 格納マット	ユーザマット	ユーザブート マット*2	組み込みプログラム 格納マット
ユーザモードへの遷移	モード設定変更 & リセット	FWE 設定変更	モード設定変更 & リセット	

【注】 *1 いったん全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2 いったん組み込みプログラム格納マットから起動し、フラッシュ関連レジスタのチェックが実行された後、ユーザブートマットのリセットベクタから起動します。

- ユーザブートマットの書き込み / 消去は、ブートモードとライターモードでのみ可能です。
- ブートモードでは、いったんユーザマットとユーザブートマットが全面消去されます。その後、コマンド方式でユーザマットまたはユーザブートマットの書き込みができますが、この状態になるまではマット内容の読み出しはできません。
- ユーザブートマットだけ書き込んでユーザマットの書き換えはユーザブートモードで実施する、あるいは、ユーザブートモードは使用しないためユーザマットだけ書き換えるなどの使い方が可能です。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

22.2.4 フラッシュメモリ構成

本 LSI のフラッシュメモリは、512kB のユーザマットと 8kB のユーザブートマットから構成されています。

ユーザマットとユーザブートマットは先頭アドレスが同じアドレスに割り当てられていますので、2 つのマット間でプログラム実行またはデータアクセスがまたがる場合は、FMATS レジスタによるマット切り替えが必要です。

ユーザマット / ユーザブートマットの読み出しは ROM 有効モードであればどのモードでも可能ですが、ユーザブートマットの書き換えはブートモードとライターモードでのみ可能です。

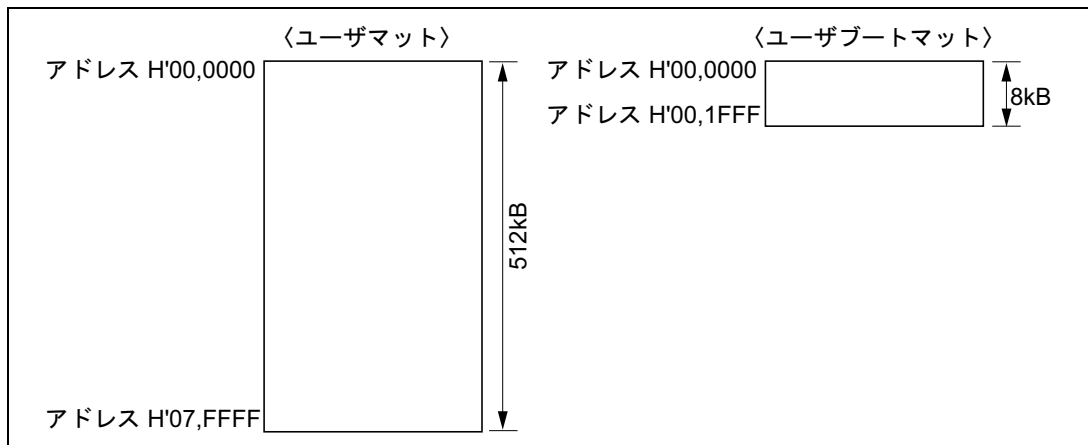


図 22.3 フラッシュメモリ構成図

ユーザマットとユーザブートマットはメモリサイズが異なります。8kB 以上の空間のユーザブートマットをアクセスしないようにしてください。8kB を超えるユーザブートマットを読み出した場合、不定値が読み出されます。

22.2.5 ブロック分割

ユーザマットは、図 22.4 に示すように 64kB (7 ブロック)、32kB (1 ブロック)、4kB (8 ブロック) に分割されています。この分割ブロック単位に消去ができ、消去時に EB0 ~ EB15 の消去ブロック番号で指定します。

4kB 分割の 8 ブロックが RAM エミュレーション可能な領域です。

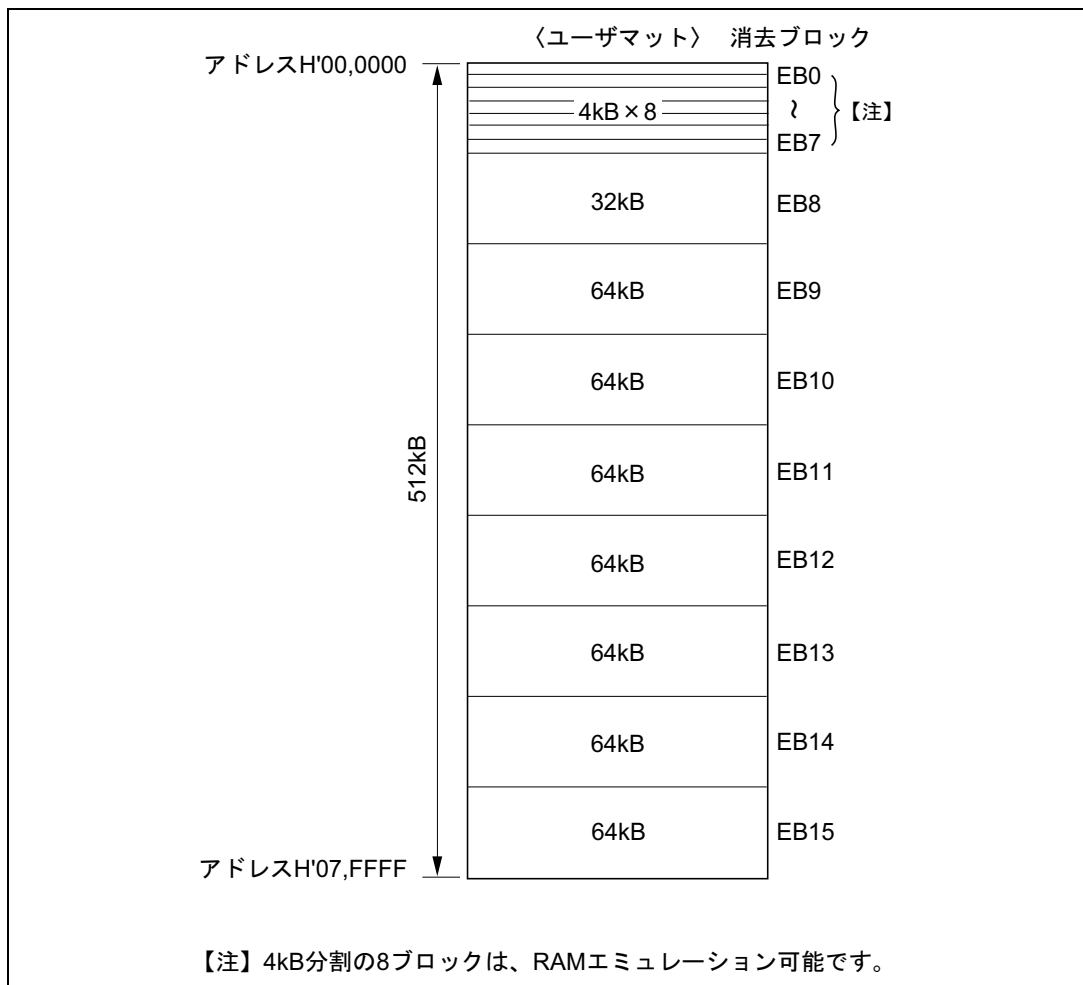


図 22.4 ユーザマットのブロック分割

22.2.6 書き込み/消去インターフェース

書き込み/消去の実行は内蔵されているプログラムを内蔵 RAM 上にダウンロードし、書き込みアドレス/データ、消去ブロックなどをインタフェースレジスタ/パラメータで指定して行います。

ユーザプログラムモード/ユーザブートモードでは、これらの一連の手続きプログラムはユーザで作成していただきます。手順の概要を以下に示します。なお、詳細は「22.5.2 ユーザプログラムモード」で説明します。

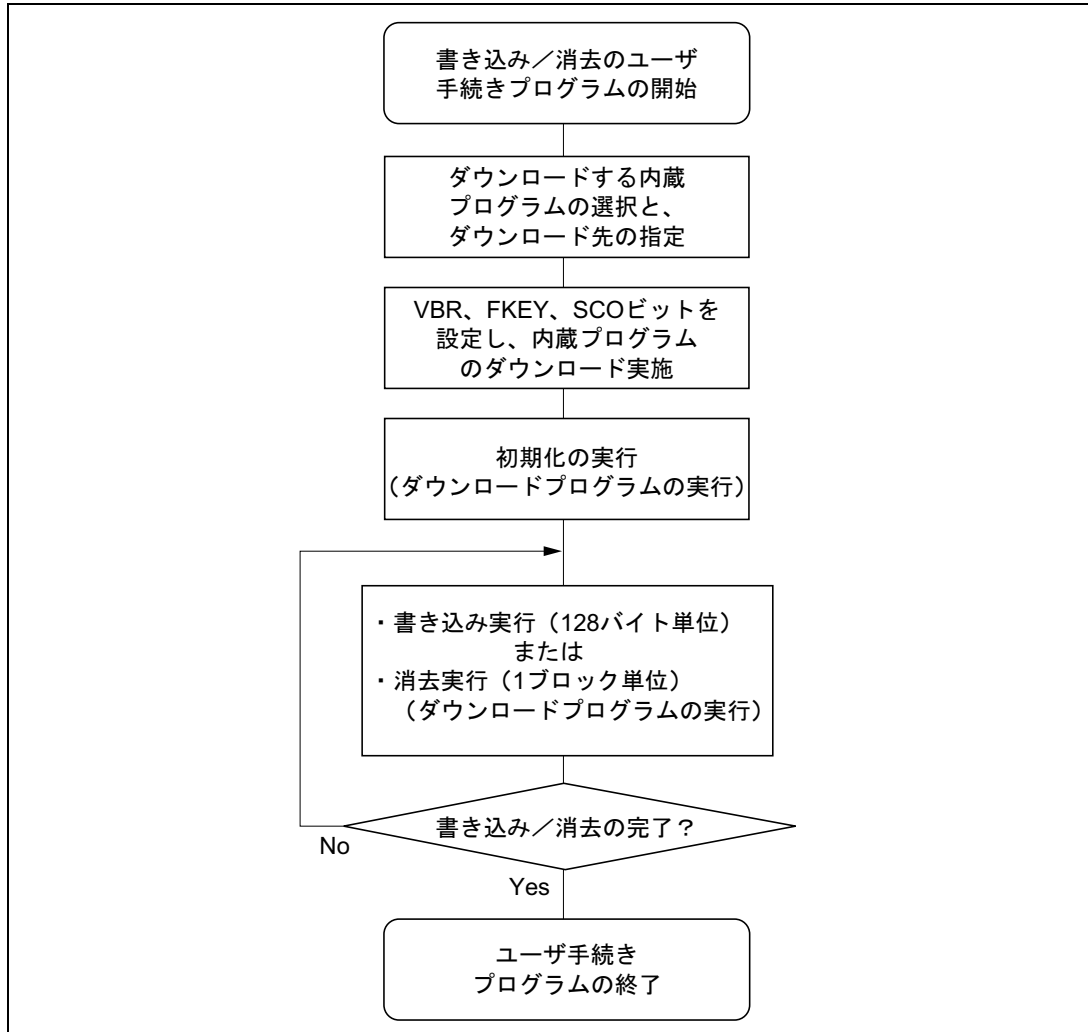


図 22.5 ユーザ手続きプログラムの概要

(1) ダウンロードする内蔵プログラムの選択とダウンロード先の指定

本 LSI には、書き込み関係 / 消去関係のプログラムが内蔵されており、内蔵 RAM 上へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み / 消去インタフェースレジスタの対応ビットをセットすることで行います。また、ダウンロード先のアドレスは FTDAR レジスタで指定することができます。

(2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、CPU の VBR レジスタを H'00000000 に設定後、書き込み / 消去インタフェースレジスタのフラッシュキーレジスタ FKEY とフラッシュコードコントロールステータスレジスタ FCCS の SCO ビットの設定を行うことで自動的に行われます。

ダウンロード中はフラッシュメモリマップが組み込みプログラム格納領域と入れ替わります。また、書き込み / 消去時はフラッシュメモリの読み出しはできないため、ダウンロード以降書き込み / 消去完了までの一連の手続きプログラムはフラッシュメモリ以外（内蔵 RAM 上など）で実行するようにしてください。

ダウンロードの結果は、書き込み / 消去インタフェースパラメータに戻されますので、正常にダウンロードできたかの確認ができます。

なお、VBR は、ダウンロード終了後には、変更可能です。

(3) 書き込み / 消去の初期化

書き込み / 消去の実行前に、動作周波数とユーザブランチの設定を行います。ユーザブランチ先は内蔵フラッシュメモリ領域以外かつダウンロードされた内蔵プログラム領域以外としてください。これらの設定は書き込み / 消去インタフェースパラメータで行います。

(4) 書き込み / 消去の実行

書き込み / 消去を実施するためには、FWE 端子をハイレベルに設定しユーザプログラムモードにする必要があります。

書き込みでは書き込みデータ / 書き込み先アドレスの指定を 128 バイト単位で行います。

消去では消去ブロックの指定を 1 消去ブロック単位で行います。

これらの指定を書き込み / 消去インタフェースパラメータで設定し、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み / 消去インタフェースパラメータに戻されます。

フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要があります。

書き込み / 消去処理中の割り込み処理については、制限・注意点があります。詳細は「22.8.2 書き込み / 消去手続き実行中の割り込み」をご覧ください。

(5) 引き続き、書き込み / 消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で処理が終わらない場合、書き込みアドレス / データ、消去ブロック番号を更新して書き込み / 消去を連続して行う必要があります。

ダウンロードした内蔵プログラムは処理終了後も内蔵 RAM 上に残っていますので、引き続き同じ処理を実行する場合はダウンロードと初期化の必要はありません。

22.3 端子構成

フラッシュメモリは表 22.3 に示す端子により制御されます。

表 22.3 端子構成

端子名	略称	入出力	機能
パワーオンリセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュ書き換えのハードウェアプロテクト
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力 (ブートモードで使用)
レシーブデータ	RxD1	入力	シリアル受信データ入力 (ブートモードで使用)

【注】 ライタモードの端子構成は「22.9 ライタモード」をご覧ください。

22.4 レジスタ構成

22.4.1 レジスタ一覧

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタ/パラメータを表 22.4 に示します。

フラッシュメモリのアクセスには読み出しモード/書き込みモードなどいくつかの動作モードがあります。また、メモリマップもユーザマップとユーザブートマップがあり、それぞれの動作モード、マップ選択で専用のレジスタ/パラメータが割り当てられています。動作モードと使用レジスタ/パラメータの対応表を表 22.5 に示します。

表 22.4 (1) レジスタ構成

レジスタ名称	略 称	R/W	初期値	アドレス	アクセスサイズ
フラッシュコードコントロールステータスレジスタ	FCCS	R、W*1	H'00*2 H'80*2	H'FFFFFFE800	8
フラッシュプログラムコードセレクトレジスタ	FPCS	R/W	H'00	H'FFFFFFE801	8
フラッシュイレースコードセレクトレジスタ	FECS	R/W	H'00	H'FFFFFFE802	8
フラッシュキーコードレジスタ	FKEY	R/W	H'00	H'FFFFFFE804	8
フラッシュマップセレクトレジスタ	FMATS	R/W	H'00*3 H'AA*3	H'FFFFFFE805	8
フラッシュトランスファディステーションアドレスレジスタ	FTDAR	R/W	H'00	H'FFFFFFE806	8
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFFFFEC26	8、16

【注】 RAMER レジスタを除くレジスタは、バイトアクセスのみ有効で、3 サイクルとなります。

RAMER レジスタは、バイト/ワードアクセスともに可能で、3 サイクルアクセスです。

*1 SCO ビット以外は、読み出し専用です。SCO ビットは、書き込み専用です (読み出しは、常に 0)。

*2 FWE 端子にローレベルが入力されているときの初期値は H'00 です。

FWE 端子にハイレベルが入力されているときの初期値は H'80 です。

*3 ユーザモード、ユーザプログラムモードで起動時の初期値は H'00 です。

ユーザブートモードで起動時の初期値は H'AA です。

表 22.4 (2) パラメータ構成

パラメータ名称	略称	R/W	初期値	割り当て	アクセスサイズ
ダウンロードパス・フェイルリザルト	DPFR	R/W	不定	内蔵 RAM*	8、16、32
フラッシュパス・フェイルリザルト	FPFR	R/W	不定	CPU の R0	8、16、32
フラッシュマルチパーバスアドレスエリア	FMPAR	R/W	不定	CPU の R5	8、16、32
フラッシュマルチパーバスデータ デスティネーションエリア	FMPDR	R/W	不定	CPU の R4	8、16、32
フラッシュイレースブロック セレクト	FEBS	R/W	不定	CPU の R4	8、16、32
フラッシュプログラム・イレース 周波数コントロール	FPEFEQ	R/W	不定	CPU の R4	8、16、32
フラッシュユーザブランチアドレスセット	FUBRA	R/W	不定	CPU の R5	8、16、32

【注】 * FTDAR レジスタで指定した内蔵 RAM エリアの先頭アドレスの 1 バイトが有効です。

表 22.5 使用レジスタ / パラメータと対象モード

		ダウ ン ロ ード	初 期 化	書 き 込 み	消 去	読 み 出 し	RAM エミ ュ レ ー シ ョ ン
書き込み / 消去 インタフェース レジスタ	FCCS						
	FPCS						
	PECS						
	FKEY						
	FMATS			(*1)	(*1)	(*2)	
	FTDAR						
書き込み / 消去 インタフェース パラメータ	DPFR						
	FPFR						
	FPEFEQ						
	FUBRA						
	FMPAR						
	FMPDR						
	FEBS						
RAM エミュ レ ー シ ョ ン	RAMER						

【注】 *1 ユーザブートモードでの、ユーザマットへの書き込み / 消去時に設定が必要です。

*2 起動モードと読み出し対象マットの組み合わせで設定が必要な場合があります。

22.4.2 書き込み / 消去インタフェースレジスタ

書き込み / 消去インタフェースレジスタについて説明します。すべて 8 ビットのレジスタでバイトアクセスのみ可能です。FCCS レジスタの FLER ビットと、FMATS レジスタを除き、これらのレジスタはパワーオンリセットとハードウェアスタンバイモード / ソフトウェアスタンバイモードで初期化されます。FLER ビットと、FMATS レジスタは、ソフトウェアスタンバイモードでは初期化されません。

(1) フラッシュコードコントロール・ステータスレジスタ (FCCS)

FCCS は、FWE 端子状態のモニタ、フラッシュメモリの書き込み / 消去実行中のエラー発生をモニタ、および内蔵プログラムのダウンロードを要求するビットから構成されています。

ビット :	7	6	5	4	3	2	1	0
	FWE	—	—	FLER	—	—	—	SCO
初期値 :	1/0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	(R) W

ビット 7 : フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み / 消去をハードウェアプロテクトする FWE 端子に入力されているレベルをモニタするビットです。初期値は、FWE 端子状態により 0 または 1 になります。

ビット 7	説明
FWE	
0	FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子にハイレベルが入力されているとき

ビット 6~5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : フラッシュメモリエラー (FLER)

フラッシュメモリへの書き込み / 消去実行中にエラーが発生したことを示すビットです。

FLER = 1 にセットさせると、フラッシュメモリはエラープロテクト状態に遷移します。

パワーオンリセットまたはハードウェアスタンバイモード遷移で初期化されます。

なお、FLER = 1 になった場合は、フラッシュメモリ内部に高電圧が印加されていますので、フラッシュメモリへのダメージを低減するために、通常より長い 100 μ s のリセット入力期間の後にリセットリリースしてください。

ビット 4	説明
FLER	
0	フラッシュメモリは正常に動作しています。 (初期値) フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) は無効 [クリア条件] パワーオンリセットまたはハードウェアスタンバイモードのとき
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「22.6.3 エラープロテクト」を参照してください。

ビット3~1：予約ビット

値 0 を設定してください。

ビット0：ソースプログラムコピーオペレーション（SCO）

内蔵の書き換え / 消去プログラムを、内蔵 RAM にダウンロードする要求ビットです。

本ビットに 1 を書き込むと、FPCS / FECS レジスタで選択した内蔵プログラムが、FTDAR レジスタで指定された内蔵 RAM の領域に自動的にダウンロードされます。

本ビットに 1 を書き込むためには、RAM エミュレーション状態の解除、FKEY レジスタへの H'A5 の書き込み、および内蔵 RAM 上での実行が必要です。

本ビットに 1 を書き込んだ直後には、4 個の NOP 命令を必ず実行するようにしてください。

ダウンロード中の割り込みについては「22.8.2 書き込み / 消去手続き中の割り込み」、ダウンロード時間については「22.8.3 その他のご注意」を参照ください。

なお、ダウンロード完了時点では本ビットは 0 クリアされているため、本ビットの 1 状態を読み出すことはできません。

SCO ビットによるダウンロードは、内蔵プログラム格納領域へのバンク切り替えを伴った特殊な割り込み処理を行いますので、ダウンロード要求（SCO = 1 にする）前に、VBR の値を H'00000000 に設定してください。VBR の設定を行わないと暴走します。ダウンロード完了が確認できたら、VBR の変更は可能です。

ビット0	説 明
SCO	
0	内蔵されている書き込み / 消去プログラムの内蔵 RAM へのダウンロードは行いません。 (初期値) [クリア条件] ダウンロードが完了するとクリアされます。
1	内蔵されている書き込み / 消去プログラムの内蔵 RAM へのダウンロードリクエストを発生します。 [セット条件] 以下の条件がすべて満足されている状態で、1 を書き込んだとき (1) FKEY レジスタに H'A5 が書かれていること (2) 内蔵 RAM 上で実行中であること (3) RAM エミュレーションモードでないこと (RAMER の RAMS = 0 であること)

(2) フラッシュプログラムコードセレクトレジスタ (FPCS)

FPCS は、ダウンロードする書き込み関係の内蔵プログラムを選択するレジスタです。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PPVS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット7~1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0: プログラムパルスベリファイ (PPVS)

書き込みプログラムを選択します。

ビット0	説明
PPVS	
0	内蔵の書き込みプログラムを選択しません。 [クリア条件]転送が終了するとクリアされます。 (初期値)
1	内蔵の書き込みプログラムを選択します。

(3) フラッシュイレースコードセレクトレジスタ (FECS)

FECS は、消去関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EPVB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット7~1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0: イレースパルスベリファイブロック (EPVB)

消去プログラムを選択します。

ビット0	説明
EPVB	
0	内蔵の消去プログラムを選択しません。 [クリア条件]転送が終了するとクリアされます。 (初期値)
1	内蔵の消去プログラムを選択します。

(4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロードとフラッシュメモリの書き込み / 消去を許可するソフトウェアプロテクトのレジスタです。内蔵プログラムのダウンロード実施のための SCO ビットへの 1 書き込み前、およびダウンロードした書き込み / 消去プログラム実行前に、キーコードを書き込まないとそれぞれの処理が実行できません。

ビット :	7	6	5	4	3	2	1	0
	K7	K6	K5	K4	K3	K2	K1	K0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7~0 : キーコード (K7~K0)

H'A5 を書き込んだ場合にのみ、SCO ビットを書き込みが有効になります。H'A5 以外の値が FKEY レジスタに書かれている場合、SCO ビットに 1 を書き込みできないため、内蔵 RAM へのダウンロードができません。

H'5A を書き込んだ場合にのみ、フラッシュメモリの書き込み / 消去が可能になります。内蔵の書き込み / 消去プログラムを実行しても、H'5A 以外の値が FKEY レジスタに書かれている場合はフラッシュメモリの書き込み / 消去はできません。

ビット 7~0	説明
K7~K0	
H'A5	SCO ビットを書き込みを許可します。(H'A5 以外では SCO ビットのセットはできません)
H'5A	書き込み / 消去を許可します。(H'5A 以外ではソフトウェアプロテクト状態)
H'00	初期値

(5) フラッシュマツトセレクトレジスタ (FMATS)

FMATS は、ユーザマツト/ユーザブツトマツトのどちらを選択するかを指定するレジスタです。

ビット :	7	6	5	4	3	2	1	0	
	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
初期値 :	0	0	0	0	0	0	0	0	(ユーザブツトモード以外の場合)
初期値 :	1	0	1	0	1	0	1	0	(ユーザブツトモードの場合)
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット7~0 : マツトセレクト (MS7~MS0)

H'AA 以外の場合にはユーザマツト選択状態、H'AA が書かれている状態はユーザブツトマツト選択状態です。

内蔵 RAM 上での命令で FMATS に値を書き込むことによりマツト切り替えが発生します。

マツト切り替えは、必ず「22.8.1 ユーザマツトとユーザブツトマツトの切り替え」に従ってください。

(ユーザプログラムモードでのユーザブツトマツトの書き換えは、FMATS でユーザブツトマツトを選択してもできません。ユーザブツトマツトの書き換えは、ブツトモードかライターモードで実施してください。)

ビット7~0	説明
MS7~MS0	
H'AA	ユーザブツトマツトを選択します。(H'AA 以外ではユーザマツト選択状態となります) ユーザブツトモードで起動した場合の初期値です。
H'00	ユーザブツトモード以外で起動した場合の初期値です。(ユーザマツト選択状態です)

【注】 [書き込み可能条件] 内蔵 RAM 上での実行状態であること

(6) フラッシュトランスファディステーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムのダウンロード先の内蔵 RAM 上のアドレスを指定するレジスタです。

FCCS レジスタの SCO ビットに 1 を書き込む前に、本レジスタの設定を行ってください。初期値は H'00 で、内蔵 RAM の先頭アドレス (H'FFF6000) を示しています。

ビット :	7	6	5	4	3	2	1	0
	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : トランスファディステーションアドレス設定エラー (TDER)

ビット 6~0 (TDA6~TDA0) で指定するダウンロード先頭アドレス指定にエラーがあった場合、1 がセットされます。アドレス指定のエラー判定は、FCCS レジスタの SCO ビットを 1 にして、ダウンロード処理が実行されたときに、TDA6~TDA0 の値が H'00~H'05 の範囲にあるかどうかを判定します。SCO ビットを 1 に設定する前に、FTDAR レジスタの値を本ビットの値を 0 にすることも含めて、H'00~H'05 の範囲に設定してください。

ビット 7	説明 (ダウンロード後の戻り値)
TDER	
0	TDA6~TDA0 の設定は、正常値 (初期値)
1	TDER、TDA6~TDA0 の設定値が H'06~H'FF であり、ダウンロードは中断したことを示します。

ビット 6~0 : トランスファディステーションアドレス (TDA6~TDA0)

ダウンロード先頭アドレスを指定します。設定可能な値は H'00~H'05 で、2kB 単位で内蔵 RAM 上のダウンロード先頭アドレスを指定できます。

H'06~H'7F の値を設定しないでください。この値が設定された場合、ダウンロード処理において、本レジスタのビット 7 : TDER を 1 に設定し、内蔵プログラムのダウンロードは実行されません。

ビット 6~0	説明
TDA6~TDA0	
H'00	ダウンロード先頭アドレスを H'FFF6000 に設定 (初期値)
H'01	ダウンロード先頭アドレスを H'FFF6800 に設定
H'02	ダウンロード先頭アドレスを H'FFF7000 に設定
H'03	ダウンロード先頭アドレスを H'FFF7800 に設定
H'04	ダウンロード先頭アドレスを H'FFF8000 に設定
H'05	ダウンロード先頭アドレスを H'FFF8800 に設定
H'06~H'7F	設定しないでください。設定された場合、ダウンロードにおいてビット 7 : TDER が 1 になり、ダウンロード処理は中断されます。

22.4.3 書き込み / 消去インタフェースパラメータ

書き込み / 消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、ユーザブランチ先アドレス、書き込みデータの格納場所、書き込み先アドレス、消去ブロックなどの指定および処理結果をやりとりするものです。このパラメータは、CPU の汎用レジスタ（R4、R5 と R0）や内蔵 RAM 領域を使用します。パワーオンリセット、ハードウェアスタンバイでの初期値は不定です。

ダウンロードではすべての CPU のレジスタは保存され、初期化、内蔵プログラム実行では、R0 以外の CPU のレジスタが保存されます。R0 は、処理結果の戻り値が記入されます。レジスタの保存やワーク領域としてスタック領域を使用しますので、処理開始においてはスタック領域の確保をお願いします。（使用スタック領域サイズは、最大 128 バイトです）

書き込み / 消去インタフェースパラメータは、次の 4 項目で使用します。

- (1) ダウンロード制御
- (2) 書き込み / 消去実行前の初期化実行
- (3) 書き込み実行
- (4) 消去実行

それぞれごとに使用するパラメータは異なります。対応表を、表 22.6 に示します。

ここで、FPFR パラメータは初期化処理、書き込み処理、消去処理において処理結果が戻されますが、処理内容によりビットの意味が異なります。各処理ごとの FPFR 説明の部分をご覧ください。

表 22.6 使用パラメータと対象モード

パラメータ名	略称	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
ダウンロードパス・フェイルリザルト	DPFR					R/W	不定	内蔵 RAM*
フラッシュパス・フェイルリザルト	FPFR					R/W	不定	CPU の R0
フラッシュプログラムイレース周波数コントロール	FPEFEQ					R/W	不定	CPU の R4
フラッシュユーザブランチアドレスセット	FUBRA					R/W	不定	CPU の R5
フラッシュマルチパーパスアドレスエリア	FMPAR					R/W	不定	CPU の R5
フラッシュマルチパーパスデータデスティネーションエリア	FMPDR					R/W	不定	CPU の R4
フラッシュイレースブロックセレクト	FEBS					R/W	不定	CPU の R4

【注】 * FTDAR レジスタで指定したダウンロード先の先頭アドレス 1 バイト

(1) ダウンロード制御

内蔵プログラムのダウンロードは、SCO ビットを 1 にセットすることで自動的に行われます。ダウンロードされる内蔵 RAM の領域は、FTDAR レジスタで指定した先頭アドレスから 2kB 分の領域です。内蔵 RAM のアドレスマップについては、図 22.10 を参照してください。

ダウンロード制御は先述の書き込み / 消去インタフェースレジスタで設定し、戻り値は DPFR パラメータで渡されます。

ダウンロードパスフェイルリザルトパラメータ (DPFR : FTDAR レジスタで指定した内蔵 RAM の先頭アドレス 1 バイト)

ダウンロード結果の戻り値です。ダウンロードが実行できたかどうかは、本パラメータの値で判断してください。SCO ビットを 1 にできたかの確認ができないため、ダウンロード開始前 (SCO ビットを 1 にセットする前) に、FTDAR レジスタで指定した内蔵 RAM の先頭アドレスの 1 バイトをダウンロードの戻り値以外 (H'FF など) にして、確実な判断ができるようにしてください。ダウンロード結果のチェック方法については「22.5.2 (2.5)」項もご覧ください。

ビット :	7	6	5	4	3	2	1	0
	0	0	0	0	0	SS	FK	SF

ビット 7~3 : 未使用ビット

値 0 が戻されます。

ビット 2 : ソースセレクトエラー検出ビット (SS)

1 回の操作では、ダウンロード可能な内蔵プログラムは 1 種類のみ指定できます。2 種類以上の選択を行った場合、選択されていない場合、およびマッピングされていない選択の場合にはエラーとなります。

ビット 2	説 明
SS	
0	ダウンロードプログラムの選択は正常
1	ダウンロードエラー発生 (多重選択または、マッピングされていない選択が行なわれた)

ビット 1 : フラッシュキーレジスタエラー検出ビット (FK)

FKEY レジスタの値が、H'A5 であるかどうかをチェックした結果を返すビットです。

ビット 1	説 明
FK	
0	FKEY レジスタの設定値は正常 (FKEY = H'A5)
1	FKEY レジスタの設定値エラー (FKEY は、H'A5 以外の値)

ビット0：サクセス/フェイルビット（SF）

ダウンロードが正常に終了したかどうかを戻すビットです。

ビット0	説明
SF	
0	ダウンロードは正常終了（エラーなし）
1	ダウンロードが異常終了（エラーが発生している）

(2) 書き込み/消去の初期化

ダウンロードされる書き込み/消去の内蔵プログラムには、初期化プログラムも含まれています。

書き込み/消去では決められた時間幅のウェイトループをCPU命令で構成しています。このため、CPUの動作周波数を設定する必要があります。また、ユーザブランチ機能をサポートしていますので、ユーザブランチ先アドレスの設定も必要です。

これらの設定をダウンロードした書き込み/消去プログラムのパラメータとして設定するのが初期化プログラムです。

(2.1) フラッシュプログラムイレース周波数コントロールパラメータ（FPEFEQ：CPUの汎用レジスタR4）

CPUの動作周波数を設定するパラメータです。

本LSIの動作周波数範囲は、「26.3.2 クロックタイミング」をご覧ください。

ビット：	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
ビット：	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
ビット：	15	14	13	12	11	10	9	8
	F15	F14	F13	F12	F11	F10	F9	F8
ビット：	7	6	5	4	3	2	1	0
	F7	F6	F5	F4	F3	F2	F1	F0

ビット31～16：未使用ビット

値0を設定してください。

ビット15～0：周波数設定ビット（F15～F0）

CPUの動作周波数を設定します。設定値は以下のように算出してください。

MHz単位で表現した動作周波数を小数点第3位で四捨五入し、小数点第2位までとする。

100倍した値を2進数に変換し、FPEFEQパラメータ（汎用レジスタR4）に書き込む。

具体例として、CPUの動作周波数が28.882MHzの場合には、以下のようになります。

28.882の小数点第3位を四捨五入し、28.88。

$28.88 \times 100 = 2888$ を2進数変換し、b'0000,1011,0100,1000（H'0B48）をR4に設定。

(2.2) フラッシュユーザブランチアドレスセットパラメータ(FUBRA:CPU の汎用レジスタ R5)

ユーザブランチ先のアドレスを設定するパラメータです。書き込み / 消去実行時のある決まった処理単位ごとに、設定したユーザプログラムを実行することができます。

ビット :	31	30	29	28	27	26	25	24
	UA31	UA30	UA29	UA28	UA27	UA26	UA25	UA24
ビット :	23	22	21	20	19	18	17	16
	UA23	UA22	UA21	UA20	UA19	UA18	UA17	UA16
ビット :	15	14	13	12	11	10	9	8
	UA15	UA14	UA13	UA12	UA11	UA10	UA9	UA8
ビット :	7	6	5	4	3	2	1	0
	UA7	UA6	UA5	UA4	UA3	UA2	UA1	UA0

ビット 31~0 : ユーザブランチ先アドレス (UA31~UA0)

ユーザブランチが必要ない場合には、0 番地 (H'00000000) を設定してください。

ユーザブランチ先は、内蔵フラッシュメモリ以外、内蔵プログラムが転送されている RAM 領域以外、または外部バス空間としてください。

実行コードのない領域にブランチして暴走しないように注意し、内蔵プログラムのダウンロード領域およびスタック領域を破壊しないようにしてください。暴走またはダウンロード領域 / スタック領域の破壊が発生した場合、フラッシュメモリの値の保証ができません。

ユーザブランチ先の処理では、内蔵プログラムのダウンロード、初期化、および書き込み / 消去プログラムを起動しないでください。ユーザブランチ先から復帰時の書き込み / 消去の保証ができません。また、すでに準備していた書き込みデータを書き換えしないでください。

汎用レジスタ R8 から R15 は保存してください。汎用レジスタ R0 から R7 は保存せずに使うことができます。

さらに、ユーザブランチ先の処理で、書き込み / 消去インタフェースレジスタの書き換え、および RAM エミュレーションモードへの遷移を行わないでください。

ユーザブランチ処理終了後は、RTS 命令で書き込み / 消去プログラムに戻ってください。

ユーザブランチ処理の実行間隔については「22.8.3 (2) ユーザブランチ処理の間隔」をご覧ください。

(2.3) フラッシュパスマフェイルリザルトパラメータ (FPFR : CPU の汎用レジスタ R0)

ここでは初期化処理結果の戻り値としての FPFR について説明します。

ビット :	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
ビット :	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
ビット :	7	6	5	4	3	2	1	0
	0	0	0	0	0	BR	FQ	SF

ビット 31~3 : 未使用ビット

値 0 が戻されます。

ビット 2 : ユーザブランチエラー検出ビット (BR)

指定されたユーザブランチ先アドレスが、ダウンロードされている書き込み / 消去関係プログラムの格納領域以外であるかをチェックした結果を戻します。

ビット 2	説明
BR	
0	ユーザブランチアドレス設定は正常値
1	ユーザブランチアドレス設定が異常値

ビット 1 : 周波数エラー検出ビット (FQ)

指定された CPU 動作周波数が、サポートしている動作周波数の範囲にあるかをチェックした結果を戻します。

ビット 1	説明
FQ	
0	動作周波数の設定は正常値
1	動作周波数の設定が異常値

ビット 0 : サクセス / フェイルビット (SF)

初期化が正常に終了したかどうかを戻すビットです。

ビット 0	説明
SF	
0	初期化は正常終了 (エラーなし)
1	初期化が異常終了 (エラーが発生している)

(3) 書き込み実行

フラッシュメモリへの書き込み実行においては、ユーザマット上の書き込み先アドレスと書き込みデータをダウンロードした書き込みプログラムに渡す必要があります。

ユーザマット上の書き込み先の先頭アドレスを汎用レジスタR5に設定してください。このパラメータをFMPAR（フラッシュマルチパースアドレスエリアパラメータ）と呼びます。

書き込みデータは常に128バイト単位ですので、ユーザマット上の書き込み先頭アドレスの境界はアドレスの下位8ビット（A7～A0）が、H'00またはH'80のいずれかとしてください。ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータはCPUのMOV.B命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。書き込みたいデータが128バイトに満たない場合でも、ダミーコード（H'FF）を埋め込んで128バイトの書き込みデータを準備してください。

準備した書き込みデータが格納されている領域の先頭アドレスを、汎用レジスタR4に設定してください。このパラメータをFMPDR（フラッシュマルチパースデータデスティネーションエリアパラメータ）と呼びます。

書き込み処理のための手続きの詳細については、「22.5.2 ユーザプログラムモード」で述べます。

(3.1) フラッシュマルチパースアドレスエリアパラメータ(FMPAR:CPUの汎用レジスタR5)

ユーザマット上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ空間以外のアドレスが設定されている場合、エラーとなります。

また、書き込み先の先頭アドレスは128バイト境界である必要があります。この境界条件になっていない場合も、エラーとなります。これらのエラーはFPFRパラメータのビット1:WAビットに反映されます。

ビット :	31	30	29	28	27	26	25	24
	MOA31	MOA30	MOA29	MOA28	MOA27	MOA26	MOA25	MOA24
ビット :	23	22	21	20	19	18	17	16
	MOA23	MOA22	MOA21	MOA20	MOA19	MOA18	MOA17	MOA16
ビット :	15	14	13	12	11	10	9	8
	MOA15	MOA14	MOA13	MOA12	MOA11	MOA10	MOA9	MOA8
ビット :	7	6	5	4	3	2	1	0
	MOA7	MOA6	MOA5	MOA4	MOA3	MOA2	MOA1	MOA0

ビット 31～0 : MOA31～MOA0

ユーザマット上の書き込み先の先頭アドレスを格納します。ここで指定されたユーザマットの先頭アドレスから連続128バイトの書き込みが行われます。よって、指定する書き込み先の先頭アドレスは128バイト境界となり、MOA6～MOA0は常に0になります。

(3.2) フラッシュマルチパースデータデスティネーションエリアパラメータ(FMPDR:CPUの汎用レジスタR4)

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。書き込みデータの格納先がフラッシュメモリ内の場合には、エラーとなります。このエラーは、FPFRパラメータのビット2:WDビットに反映されます。

ビット :	31	30	29	28	27	26	25	24
	MOD31	MOD30	MOD29	MOD28	MOD27	MOD26	MOD25	MOD24
ビット :	23	22	21	20	19	18	17	16
	MOD23	MOD22	MOD21	MOD20	MOD19	MOD18	MOD17	MOD16
ビット :	15	14	13	12	11	10	9	8
	MOD15	MOD14	MOD13	MOD12	MOD11	MOD10	MOD9	MOD8
ビット :	7	6	5	4	3	2	1	0
	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0

ビット 31~0 : MOD31~MOD0

ユーザマットへの書き込みデータが格納されている領域の先頭アドレスを格納します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマットに書き込まれます。

(3.3) フラッシュパスフェイルパラメータ (FPFR : CPU の汎用レジスタ R0)

ここでは書き込み処理結果の戻り値としての FPFR について説明します。

ビット :	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
ビット :	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
ビット :	7	6	5	4	3	2	1	0
	0	MD	EE	FK	0	WD	WA	SF

ビット 31~7 : 未使用ビット

値 0 が戻されます。

ビット 6 : 書き込みモード関連設定エラー検出ビット (MD)

FWE 端子への入力値がハイレベルであることと、エラープロテクト状態でないことのチェック結果を返します。

FWE 端子がローレベルであったり、エラープロテクト状態になっている場合、1 が書き込まれます。これらの状態は、FCCS レジスタのビット 7 : FWE や、ビット 4 : FLER の各ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「22.6.3 エラープロテクト」を参照してください。

22. ROM

ビット6	説明
MD	
0	FWE、FLER 状態は正常 (FWE=1、FLER=0)
1	FWE=0、または FLER=1 であり、書き込みできない状態

ビット5：書き込み実行時エラー検出ビット (EE)

ユーザマットが消去されていないために、指定データを書き込めなかったり、ユーザブランチ処理から戻った時点で、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。

これらが原因で、本ビットが1になった場合、ユーザマットは途中まで書き換えられている可能性が高いため、エラーになる原因を取り除いた後、消去から実施しなおしてください。

また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、書き換えられてはいません。

ユーザブートマットの書き込みは、ブートモードまたはライタモードで実施してください。

ビット5	説明
EE	
0	書き込み処理は正常終了
1	書き込み処理が異常終了 (書き込み結果は保証できない)

ビット4：フラッシュキーレジスタエラー検出ビット (FK)

書き込み処理開始前に FKEY レジスタの値をチェックした結果を戻します。

ビット4	説明
FK	
0	FKEY レジスタの設定値は正常 (FKEY = H'5A)
1	FKEY レジスタの設定値エラー (FKEY は、H'5A 以外の値)

ビット3：未使用ビット

値0が戻されます。

ビット2：ライトデータアドレスエラー検出ビット (WD)

書き込みデータの格納先の先頭アドレスとして、フラッシュメモリ領域のアドレスが指定された場合にはエラーとなります。

ビット2	説明
WD	
0	書き込みデータアドレス設定は正常値
1	書き込みデータアドレス設定が異常値

ビット1：ライトアドレスエラー検出ビット（WA）

書き込み先の先頭アドレスとして、以下が指定された場合にはエラーとなります。

フラッシュメモリ領域外が書き込み先アドレスとして指定された場合
指定されたアドレスが、128バイト境界でない（A6～A0が0でない）場合

ビット1	説明
WA	
0	書き込み先アドレスの設定は正常値
1	書き込み先アドレスの設定が異常値

ビット0：サクセス/フェイルビット（SF）

書き込み処理が正常に終了したかどうかを戻すビットです。

ビット0	説明
SF	
0	正常終了（エラーなし）
1	異常終了（エラーが発生している）

(4) 消去実行

フラッシュメモリの消去実行においては、ユーザマツト上の消去ブロック番号をダウンロードした消去プログラムに渡す必要があります。これを、FEBS パラメータ（汎用レジスタ R4）に設定します。0～15のブロック番号から1ブロックを指定します。

消去処理のための手続きの詳細については、「22.5.2 ユーザプログラムモード」で述べます。

(4.1) フラッシュイレースブロックセレクトパラメータ（FEBS：CPUの汎用レジスタ R4）

消去ブロック番号を指定します。複数のブロック番号の指定はできません。

ビット：	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
ビット：	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
ビット：	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
ビット：	7	6	5	4	3	2	1	0
	EBS7	EBS6	EBS5	EBS4	EBS3	EBS2	EBS1	EBS0

ビット31～8：未使用ビット

値0を設定してください。

ビット7~0：イレースブロック（EBS7~EBS0）

0~15の範囲で消去ブロック番号を設定します。0はEB0ブロック、15はEB15ブロックに対応します。0~15（H'00~H'0F）以外の設定ではエラーになります。

（4.2）フラッシュパスフェイルリザルトパラメータ（FPFR：CPUの汎用レジスタR0）

ここでは消去処理結果の戻り値としてのFPFRについて説明します。

ビット：	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
ビット：	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
ビット：	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
ビット：	7	6	5	4	3	2	1	0
	0	MD	EE	FK	EB	0	0	SF

ビット31~7：未使用ビット

値0が戻されます。

ビット6：消去モード関連設定エラー検出ビット（MD）

FWE端子への入力値がハイレベルであることと、エラープロテクト状態でないことのチェック結果を返します。

FWE端子がローレベルであったり、エラープロテクト状態になっている場合、1が書き込まれます。これらの状態は、FCCSレジスタのビット7：FWEや、ビット4：FLERの各ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「22.6.3 エラープロテクト」を参照してください。

ビット6	説明
MD	
0	FWE、FLER状態は正常（FWE=1、FLER=0）
1	FWE=0、またはFLER=1であり、消去できない状態

ビット5：消去実行時エラー検出ビット（EE）

ユーザマットの消去ができなかったり、ユーザブランチ処理から戻った時点で、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。

これらが原因で、本ビットが1になった場合、ユーザマットは途中まで消去されている可能性が高いため、エラーになる原因を取り除いた後、再度消去を実施しなおしてください。

また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、消去されてはなりません。

ユーザブートマットの消去は、ブートモードまたはライターモードで実施してください。

ビット5	説明
EE	
0	消去処理は正常終了
1	消去処理が異常終了（消去結果は保証できない）

ビット4：フラッシュキーレジスタエラー検出ビット（FK）

消去処理開始前に FKEY レジスタの値をチェックした結果を戻します。

ビット4	説明
FK	
0	FKEY レジスタの設定値は正常（FKEY = H'5A）
1	FKEY レジスタの設定値エラー（FKEY は、H'5A 以外の値）

ビット3：イレースブロックセレクトエラー検出ビット（EB）

指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかのチェック結果です。

ビット3	説明
EB	
0	消去ブロック番号の設定は正常値
1	消去ブロック番号の設定が異常値

ビット2～1：未使用ビット

値0が戻されます。

ビット0：サクセス/フェイルビット（SF）

消去処理が正常に終了したかどうかを戻すビットです。

ビット0	説明
SF	
0	正常終了（エラーなし）
1	異常終了（エラーが発生している）

22.4.4 RAM エミュレーションレジスタ (RAMER)

ユーザマットのリアルタイムな書き換えをエミュレートするときに、内蔵 RAM の一部と重ね合わせるユーザマットのエリアを設定するレジスタです。パワーオンリセット、またはハードウェアスタンバイモードのときに H'0000 に初期化されます。ソフトウェアスタンバイモードのときは、初期化されません。RAM エミュレーションはユーザモード、ユーザプログラムモードで行ってください。

ユーザマットエリアの分割法は、表 22.7 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象マットをアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

ビット :	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット 15~4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3 : RAM セレクト (RAMS)

RAM によるユーザマットのエミュレーション選択 / 非選択を設定するビットです。RAMS = 1 のときは、ユーザマット全ブロックが書き込み / 消去プロテクト状態となります。

ビット 3	説 明
RAMS	
0	エミュレーション非選択 ユーザマット全ブロックの書き込み / 消去プロテクト無効 (初期値)
1	エミュレーション選択 ユーザマット全ブロックの書き込み / 消去プロテクト有効

ビット 2、1、0 : ユーザマットエリア選択

ビット 3 と共に使用し、内蔵 RAM と重ね合わせるユーザマットのエリアを選択します。(表 22.7 参照)

表 22.7 RAM エリアとユーザマットエリアの重ね合わせ

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFFF6000 ~ H'FFFF6FFF	RAM エリア 4kB	0	*	*	*
H'00000000 ~ H'00000FFF	EB0 (4kB)	1	0	0	0
H'00001000 ~ H'00001FFF	EB1 (4kB)	1	0	0	1
H'00002000 ~ H'00002FFF	EB2 (4kB)	1	0	1	0
H'00003000 ~ H'00003FFF	EB3 (4kB)	1	0	1	1
H'00004000 ~ H'00004FFF	EB4 (4kB)	1	1	0	0
H'00005000 ~ H'00005FFF	EB5 (4kB)	1	1	0	1
H'00006000 ~ H'00006FFF	EB6 (4kB)	1	1	1	0
H'00007000 ~ H'00007FFF	EB7 (4kB)	1	1	1	1

* : Don't care

22.5 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去を行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはユーザプログラミングモードとユーザブートモード、ブートモードの3種類の動作モードがあります。

各モードへ遷移する端子の設定方法は、表 22.1 をご覧ください。また、フラッシュメモリに対する各モードへの状態遷移図は図 22.2 を参照してください。

22.5.1 ブートモード

ブートモードは、内蔵の SCI を使用してホストから制御コマンドや書き込みデータを送信する方式でユーザマットやユーザブートマットへの書き込み/消去を実行するモードです。ホスト上に制御コマンドを送信するためのツールと書き込みデータを準備しておく必要があります。使用する SCI 通信モードは調歩同期式モードに設定されています。本 LSI の端子をブートモードに設定後、リセットスタートするとあらかじめマイコン内部に組み込まれているブートプログラムを起動し、SCI ビットレートの自動調整実施後、制御コマンド方式でホストとの通信を行います。

図 22.6 にブートモード時のシステム構成図を示します。なお、ブートモードの端子設定は表 22.1 をご覧ください。ブートモードでの NMI およびその他の割り込みは無視されますが、発生させないようにしてください。また、ブートモード動作中は AUD は使用できませんのでご注意ください。

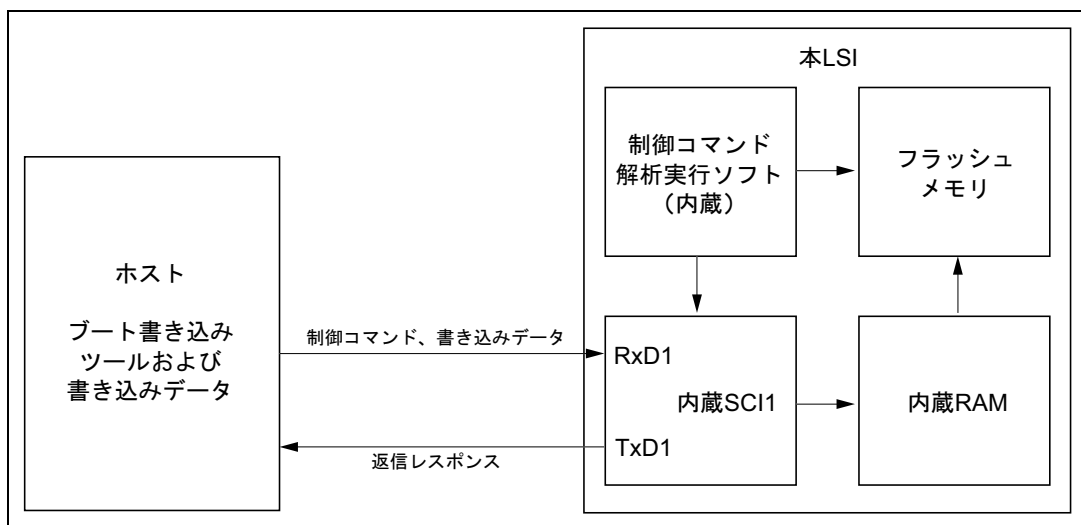


図 22.6 ブートモード時のシステム構成図

(1) ホストの SCI インタフェース設定

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 送信 / 受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図 (H'00 を 1 バイト) をホストへ送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 9,600bps または 19,200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 22.8 に示します。このシステムクロックの範囲内でブートモードを起動してください。



図 22.7 SCI ビットレートの自動合わせ込み動作

表 22.8 本 LSI の自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
9,600bps	20 ~ 40MHz (入力周波数 5 ~ 10MHz)
19,200bps	20 ~ 40MHz (入力周波数 5 ~ 10MHz)

(2) 状態遷移図

ブートモード起動後の、状態遷移図の概要を図 22.8 に示します。ブートモードについての詳細は、「22.10.1 ブートモードの標準シリアル通信インタフェース仕様」をご覧ください。

ビットレート合わせ込み

ブートモード起動後、ホストとのSCIインタフェースのビットレート合わせ込みを行います。

問い合わせ設定コマンド待ち

ユーザマットサイズ、ユーザマット構成、マット先頭アドレス、サポート状況などの問い合わせに対して、必要情報をホストに送信します。

全ユーザマットおよびユーザブートマットの自動消去

問い合わせ設定が完了し、書き込み消去ステータス遷移コマンドを送信すると、すべてのユーザマットとユーザブートマットを自動消去します。

書き込み / 消去コマンド待ち

- 「書き込み選択コマンド」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンドに続けて書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了時は、書き込み先頭アドレスを H'FFFFFFF と設定して送信してください。これにより書き込みデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。
- 「消去選択コマンド」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンドに続けて消去ブロック番号を送信してください。消去終了時は、消去ブロック番号を H'FF と設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。なお、消去の実行はブートモードでいったん書き込んだ後に、リセットスタートせずに特定のブロックのみを書き換える場合に使用してください。1 回の操作で書き込みができる場合には、書き込み / 消去 / 他コマンド待ち状態に遷移する前に全ブロックの消去が行われていますので、本消去操作は必要ありません。
- 書き込み / 消去以外に、ユーザマット / ユーザブートマットのサムチェック、ユーザマット / ユーザブートマットのブランクチェック (消去チェック)、ユーザマット / ユーザブートマットのメモリアド、および現在のステータス情報の取得のコマンドがあります。

ユーザマット / ユーザブートマットのメモリ読み出しは、すべてのユーザマット / ユーザブートマットを自動消去した後に書き込んだデータについての読み出ししかできませんので、ご注意ください。

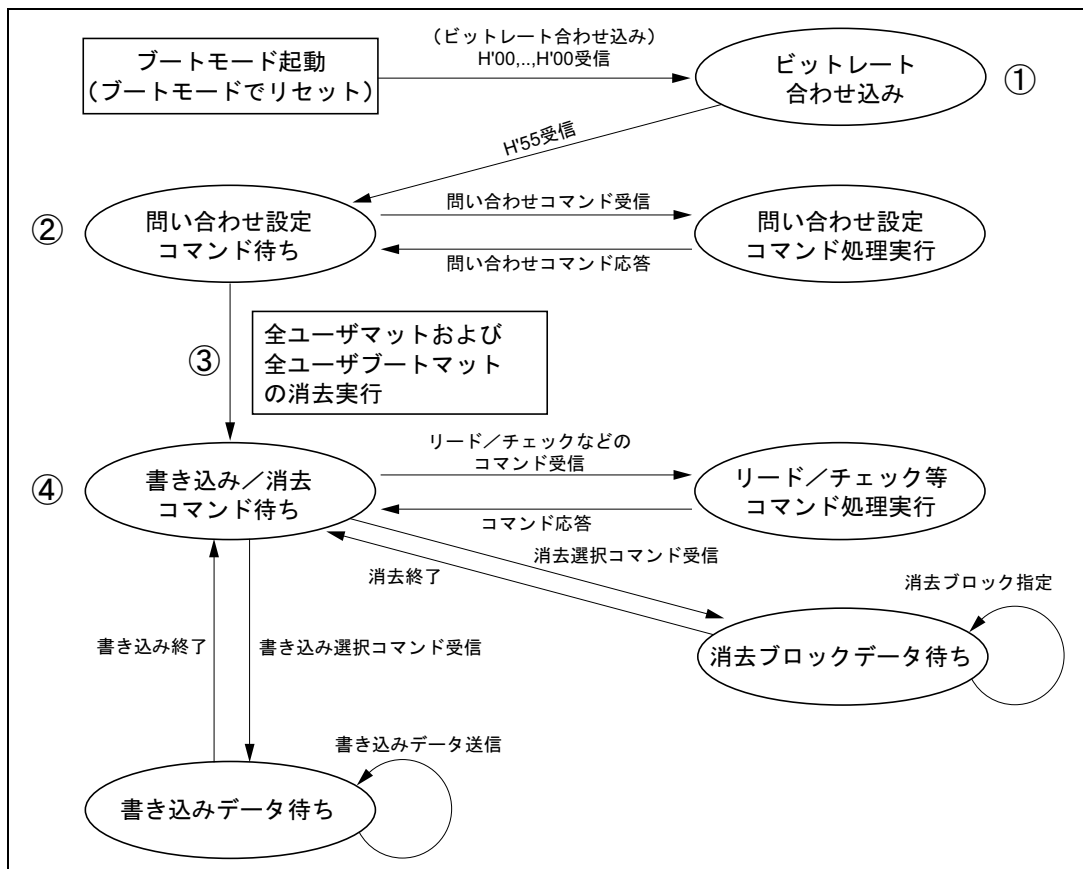


図 22.8 ブートモードの状態遷移の概略図

22.5.2 ユーザプログラムモード

ユーザプログラムモードでは、ユーザマットの書き込み/消去ができます。(ユーザブートマットの書き込み/消去はできません。)

あらかじめマイコン内に内蔵されているプログラムをダウンロードして書き込み/消去を実施します。

概略フローを図 22.9 に示します。

なお、書き込み/消去処理中はフラッシュメモリ内部には高電圧が印加されていますので、書き込み/消去処理中にはリセット、ハードウェアスタンバイへの遷移は行わないようにしてください。フラッシュメモリにダメージを与え破壊する可能性があります。誤って、リセットしてしまった場合は、100 μ s の通常より長いリセット入力期間のあとにリセットリリースしてください。

書き込み手順につきましては、後述「(2) ユーザプログラムモードでの書き込み手順」を、消去手順につきましては「(3) ユーザプログラムモードでの消去手順」をご覧ください。

また、FTDAR レジスタを使用して、書き込み/消去プログラムを別々の内蔵 RAM 領域にダウンロードして、消去と書き込みをくり返す処理についての概略を「(4) ユーザプログラムモードでの消去/書き込み手順」で説明します。

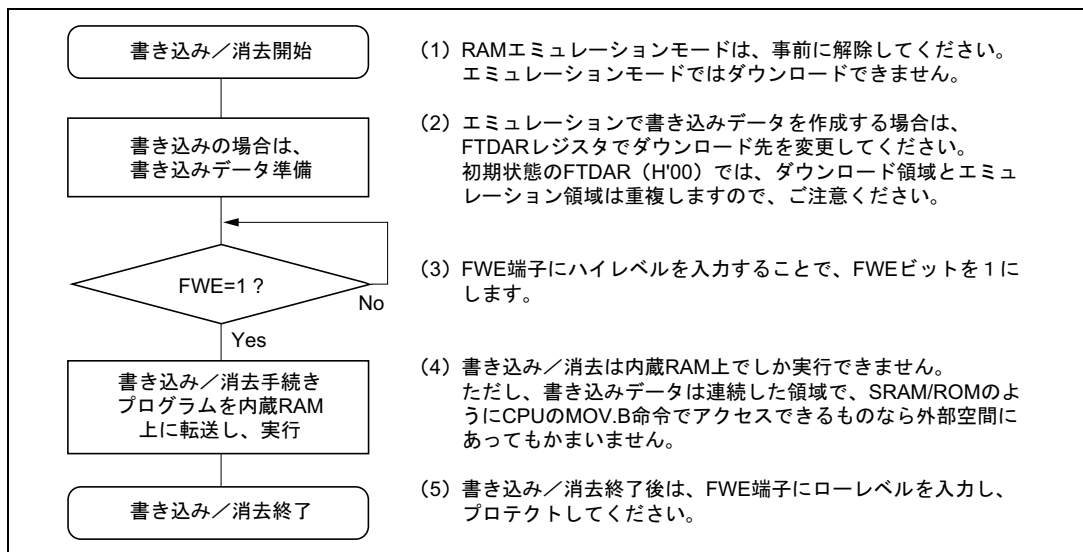


図 22.9 書き込み / 消去概略フロー

(1) 書き込み / 消去実行時の内蔵 RAM のアドレスマップ

ダウンロードの要求、書き込み / 消去の手順、結果の判定などのユーザで作成してもらう手続きプログラムの一部は必ず内蔵 RAM 上で実行する必要があります。また、ダウンロードされる内蔵プログラムはすべて内蔵 RAM 上に存在します。これらが重複する事のないように、内蔵 RAM 上の領域管理に気を付けてください。

図 22.10 にダウンロードされるプログラムの領域を示します。

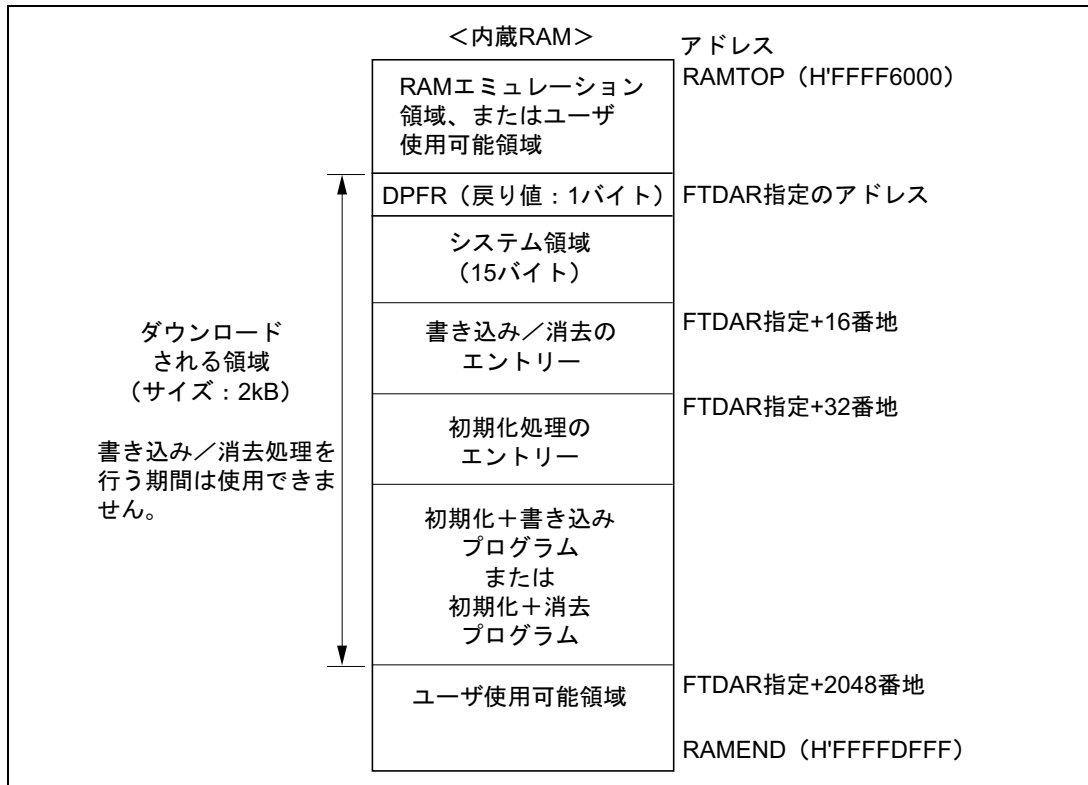


図 22.10 ダウンロード後の内蔵 RAM マップ

(2) ユーザプログラムモードでの書き込み手順

ダウンロード、初期化、書き込みの手順を図 22.11 に示します。

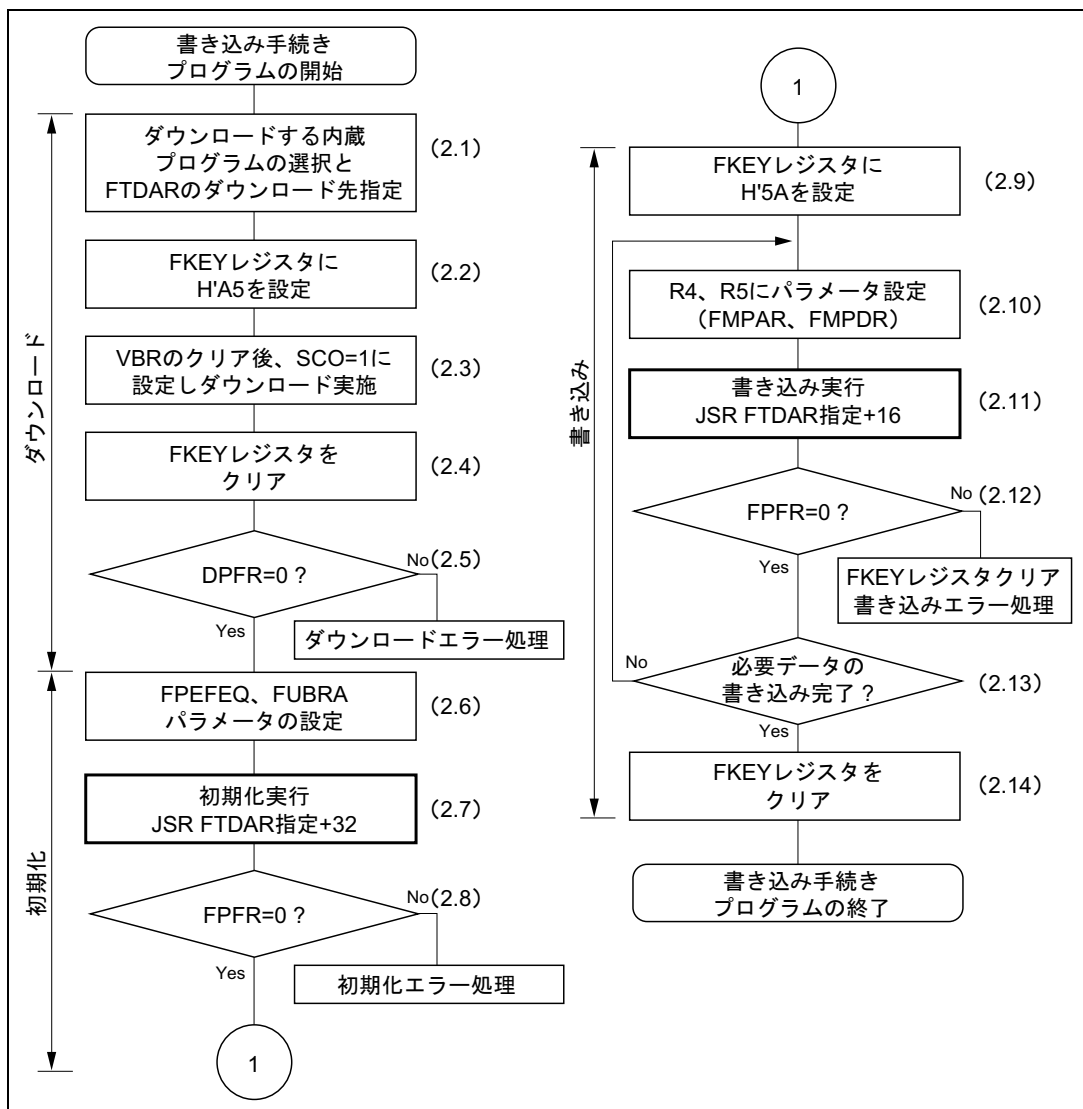


図 22.11 書き込み手順

書き込み手順の詳細を説明します。手続きプログラムは、書き込み対象のフラッシュメモリ以外で実行してください。特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で実行するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマツト、外部空間など）を「22.10.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

以下の説明は、ユーザマツト上の書き込み対象領域は消去されており、書き込みデータも連続領域に準備できているという前提です。消去ができていない場合は、書き込み前に消去を実施してください。

1 回の書き込み処理では 128 バイトの書き込みを行います。128 バイトを超える書き込みを行う場合は、書き込み先アドレス / 書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。

128 バイト未満の書き込みの場合も無効データを埋め込んで 128 バイトにそろえる必要があります。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

(2.1) ダウンロードする内蔵プログラムの選択とダウンロード先を指定します。

FPCS レジスタの PPVS ビットを 1 に設定すると書き込みプログラムが選択されます。

書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFR パラメータのソースセレクト検出ビット (SS) にダウンロードエラーが報告されます。

FTDAR レジスタにて、ダウンロード先の先頭アドレスを指定します。

(2.2) FKEY レジスタに H'A5 を書き込みます。

プロテクトのために FKEY レジスタに H'A5 を書き込まないとダウンロード要求の SCO ビットに 1 を書き込むことができません。

(2.3) VBR レジスタの 0 クリアと、FCCS レジスタの SCO ビットに 1 を書き込んで、ダウンロードを実行します。

SCO ビットのセットの前に必ず VBR レジスタを H'00000000 にクリアしてください。

SCO ビットに 1 を書き込むためには、以下の条件がすべて満足されている必要があります。

RAM エミュレーションモードが解除されていること。

FKEY レジスタに H'A5 が書き込まれていること。

SCO ビット書き込みが内蔵 RAM 上で実行されていること。

SCO ビットが 1 になると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきた時点では、SCO = 0 にクリアされていますので、ユーザ手続きプログラムでは SCO = 1 の確認ができません。

ダウンロード結果の確認は、DPFR パラメータの戻り値での確認のみとなりますので、SCO = 1 にする前に、DPFR パラメータとなる FTDAR で指定した内蔵 RAM の先頭の 1 バイトを戻り値以外 (H'FF など) に設定して誤判定の発生を防いでください。

ダウンロードの実行においては、マイコン内部処理として以下に示すようなバンク切り替えを伴った特殊な割り込み処理を行いますので、VBR は 0 クリアされている必要があります。また SCO = 1 を設定する命令の直後には 4 個の NOP 命令を実行してください。

ユーザマット空間を内蔵プログラム格納領域に切り替えます。

ダウンロードプログラム選択条件と、FTDAR での指定アドレスなどをチェック後、FTDAR で指定された内蔵 RAM への転送処理を行います。

FPCS レジスタ、FECS レジスタ、FCCS レジスタの SCO ビットを 0 クリアします。

DPFR パラメータに戻り値を設定します。

内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。

ダウンロードが完了し、ユーザ手続きプログラムに戻った後は、VBR の再設定は可能です。

ダウンロードにおける注意事項について以下に述べます。

ダウンロード処理では、CPU の汎用レジスタは値が保存されます。

ダウンロード処理中は、割り込み処理は実行されませんが、NMI、UBC、H-UDI の割り込み要求は保持されていますので、ユーザ手続きプログラムに戻った時点で、割り込み処理が発生することになります。ダウンロードと割り込みにつきましては「22.8.2 書き込み / 消去手続き実行中の割り込み」をご覧ください。

最大 128 バイトのスタック領域を使用しますので、SCO = 1 にする前に 128 バイト以上のスタック領域を確保しておいてください。

ダウンロード中に DMAC、AUD によるフラッシュメモリのアクセスが発生した場合は、動作保証ができませんので、DMAC、AUD によるアクセスが発生しないようにご注意ください。

(2.4) プロテクトのために、FKEY レジスタを H'00 にクリアします。

(2.5) DPFR パラメータの値をチェックしダウンロード結果を確認します。

ダウンロード結果の確認方法は、以下を推奨いたします。

DPFRパラメータ(FTDARで指定したダウンロード先の先頭アドレスの1バイト)の値をチェックします。値がH'00ならば、ダウンロードは正常に行われています。H'00以外の場合は、以下の手順でダウンロードが行われなかった原因を調査することができます。

DPFRパラメータの値が、ダウンロード実行前に設定した値(H'FFなど)と同じであった場合は、FTDARのダウンロード先アドレス設定の異常が考えられますので、FTDARのビット7:TDERビットを確認してください。

DPFRパラメータの値が、ダウンロード実行前の設定値と異っている場合は、DPFRパラメータのビット2:SSビットや、ビット1:FKビットにて、ダウンロードプログラムの選択やFKEYレジスタ設定が正常であったかの確認をしてください。

(2.6) 初期化のために FPEFEQ と FUBRA パラメータに動作周波数とユーザブランチ先を設定します。

FPEFEQパラメータ(汎用レジスタ:R4)に、現在のCPUクロックの周波数を設定します。

FPEFEQパラメータの設定可能範囲は、「26.3.2 クロックタイミング」をご覧ください。

この範囲以外の周波数が設定された場合、初期化プログラムのFPFRパラメータにエラーが報告され初期化は行われません。周波数の設定方法は、「22.4.3.(2.1) フラッシュプログラムイレース周波数コントロールパラメータ(FPEFEQ)」の説明をご覧ください。

FUBRAパラメータ(汎用レジスタ:R5)に、ユーザブランチ先の先頭アドレスを設定します。

ユーザブランチ処理が必要ない場合、FUBRAには値0を設定してください。

ユーザブランチを行う場合、ブランチ先は書き込み対象のフラッシュメモリ以外で実行するようにしてください。また、ダウンロードされた内蔵プログラムの領域への設定もできません。

ユーザブランチ処理からはRTS命令で書き込み処理に戻ってください。

「22.4.3(2.2) フラッシュユーザブランチアドレスセットパラメータ(FUBRA)」の説明をご覧ください。

(2.7) 初期化の実行

初期化プログラムは書き込みプログラムのダウンロード時に一緒に内蔵RAM上にダウンロードされています。FTDAR 設定のダウンロード先頭アドレス + 32 バイトからの領域に、初期化プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+32,R1	; エントリーアドレスを R1 に設定
JSR	@R1	; 初期化ルーチンをコール
NOP		

初期化プログラムではR0以外の汎用レジスタは保存されます。

R0はFPFRパラメータの戻り値です。

初期化プログラムではスタック領域を使用しますので、128バイト以上のスタック領域をRAM上に確保しておいてください。

初期化プログラム実行中の割り込み受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないようにしてください。

- (2.8) 初期化プログラムの戻り値 FPFR (汎用レジスタ R0) を判定します。
- (2.9) FKEY レジスタに H'5A を設定し、ユーザマットへの書き込みができるようにしてください。
- (2.10) 書き込みに必要なパラメータの設定を行います。

ユーザマットの書き込み先の先頭アドレス (FMPAR) を汎用レジスタ R5 に、書き込みデータ格納領域の先頭アドレス (FMPDR) を汎用レジスタの R4 に設定します。

FMPAR設定

FMPARは書き込み先頭アドレスの指定ですので、ユーザマットエリア以外のアドレスが指定された場合、書き込みプログラムを実行しても書き込みは実行されず、戻り値パラメータ FPFRにはエラーが報告されます。また、128バイト単位ですので下位8ビット (MOA7~MOA0) が、H'00かH'80の128バイト境界である必要があります。

FMPDR設定

書き込みデータの格納先がフラッシュメモリ上の場合、書き込み実行ルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合はいったん内蔵RAMに転送してから書き込むようにしてください。

- (2.11) 書き込み処理の実行

FTDARで指定したダウンロード先の先頭アドレス+16バイトからの領域に、書き込みプログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,R1	; エントリーアドレスを R1 に設定
JSR	@R1	; 書き込みルーチンをコール
NOP		

書き込みプログラムではR0以外の汎用レジスタは保存されません。

R0はFPFRパラメータの戻り値です。

書き込みプログラムではスタック領域を使用しますので、128バイト以上のスタック領域をRAM上に確保しておいてください。

- (2.12) 書き込みプログラムの戻り値 FPFR (汎用レジスタ R0) を判定します。

- (2.13) 必要データの書き込みが完了したかを判断します。

128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRの設定更新を行い上記(2.10)~(2.13)の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポイントの更新を正しく行ってください。書き込み済みのアドレスへの重複書き込みになると、書き込みエラーになるばかりでなく、フラッシュメモリにダメージを与えてしまいます。

- (2.14) 書き込みが終了したら FKEY レジスタをクリアして、ソフトウェアプロテクトを掛けてください。

ユーザマットへの書き込み完了直後、パワーオンリセットで再起動する場合は通常より長い100 μ s以上のリセット実施期間 ($\overline{\text{RES}}=0$ の期間) を設けてください。

(3) ユーザプログラムモードでの消去手順

ダウンロード、初期化、消去の手順を図 22.12 に示します。

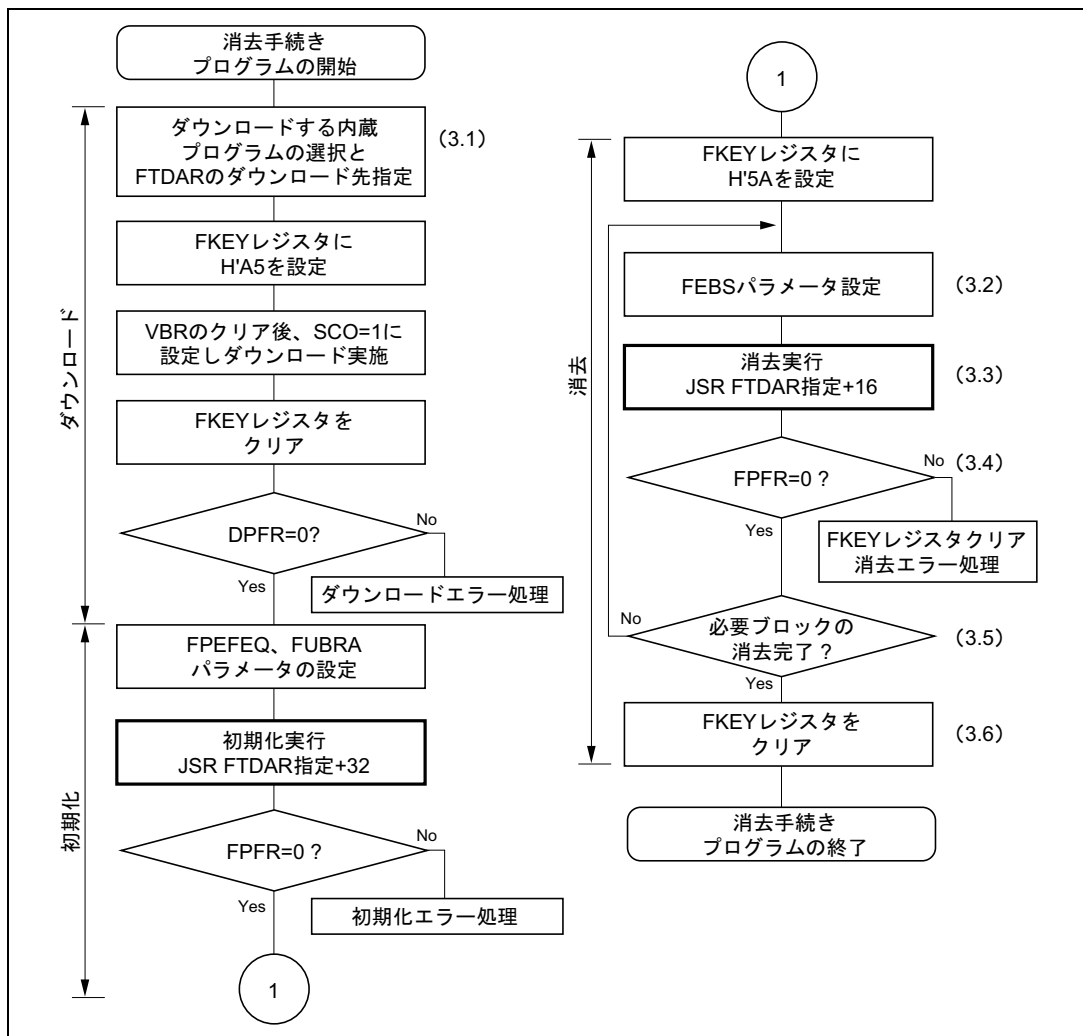


図 22.12 消去手順

消去手順の詳細を説明します。手順プログラムは、消去対象のフラッシュメモリ以外で実行してください。

特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で動作するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマツト、外部空間など）を「22.10.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

ダウンロードされる内蔵プログラムの領域については、図 22.10 のダウンロード後の内蔵 RAM マップを参照ください。

1 回の消去処理では 1 分割ブロックの消去を行います。ブロック分割については、図 22.4 を参照してください。2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

(3.1) ダウンロードする内蔵プログラムの選択とダウンロード先アドレスを指定します。

FECS レジスタの EPVB ビットを 1 に設定します。

書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFR パラメータのソースセレクトエラー検出ビット (SS) にダウンロードエラーが報告されます。

FTDAR レジスタにて、ダウンロード先の先頭アドレスを指定します。

FKEY レジスタの設定以降のダウンロード、初期化などの手続きは、書き込み手順と同じですので、「22.5.2 (2) ユーザプログラムモードでの書き込み手順」をご覧ください。

消去プログラム用のパラメータ設定以降を以下に示します。

(3.2) 消去に必要な FEBS パラメータの設定を行います。

ユーザマットの消去ブロック番号をフラッシュイレースブロックセレクトパラメータ FEBS (汎用レジスタ R4) に設定します。ユーザマットの分割ブロック番号以外の値が設定された場合、消去処理プログラムを実行しても消去はされず、戻り値パラメータ FPFR にエラーが報告されます。

(3.3) 消去処理の実行

書き込みと同様に、FTDAR で指定したダウンロード先の先頭アドレス + 16 バイトからの領域に、消去プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,R1	; エントリーアドレスを R1 に設定
JSR	@R1	; 消去ルーチンをコール
NOP		

消去プログラムでは R0 以外の汎用レジスタは保存されます。

R0 は FPFR パラメータの戻り値です。

消去プログラムではスタック領域を使用しますので、128 バイト以上のスタック領域を RAM 上に確保しておいてください。

(3.4) 消去プログラムの戻り値 FPFR (汎用レジスタ R0) を判定します。

(3.5) 必要ブロックの消去が完了したかを判断します。

複数ブロックの消去を実施する場合、FEBS パラメータの更新設定を行い上記 (3.2) ~ (3.5) の処理を繰り返します。消去済みブロックに対する消去は可能です。

(3.6) 消去が終了したら FKEY レジスタをクリアして、ソフトウェアプロテクトを掛けてください。

ユーザマットの消去完了直後、パワーオンリセットで再起動する場合は通常より長い 100 μ s 以上のリセット実施期間 (RES = 0 の期間) を設けてください。

(4) ユーザプログラムモードでの消去 / 書き込み手順

FTDAR レジスタで、ダウンロード先の内蔵 RAM アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードしておくことが可能です。

RAM エミュレーション、消去、書き込みを繰り返し実行する場合の使用例を図 22.13 に示します。

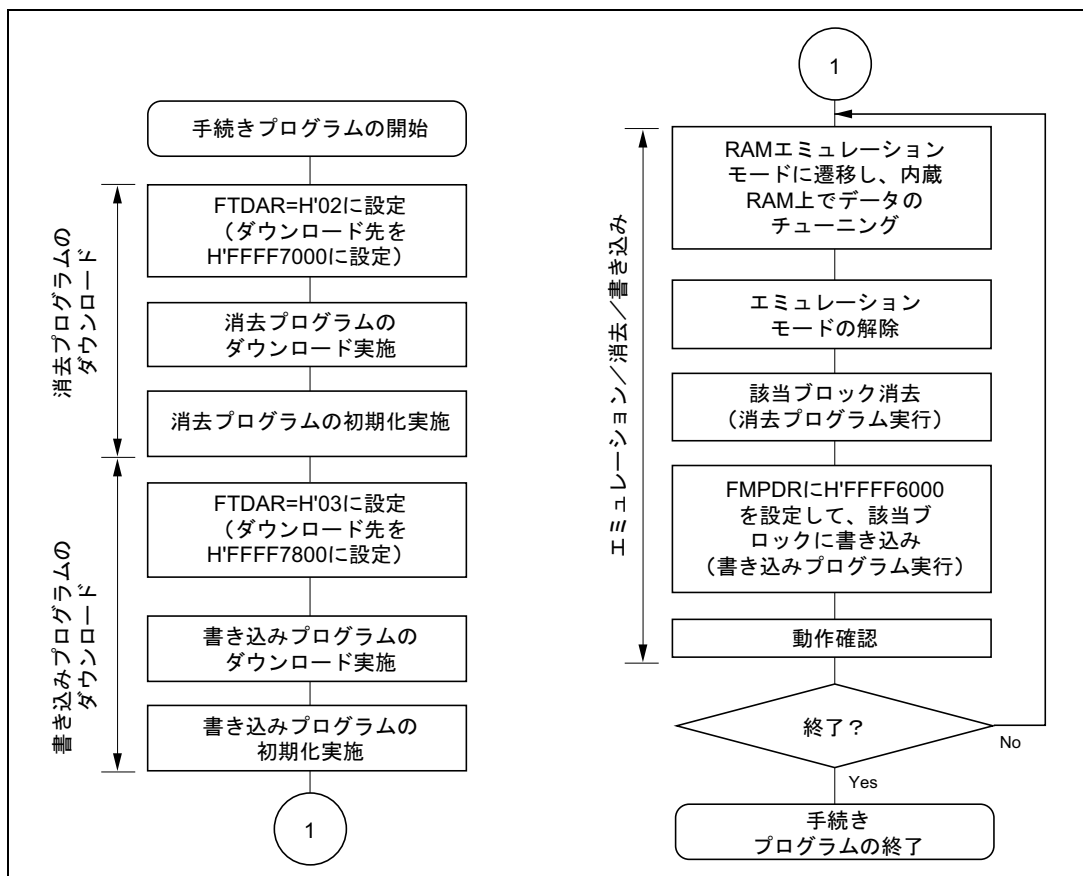


図 22.13 RAM エミュレーション、消去、書き込みの繰り返し例 (概要)

本例では、RAM エミュレーションを実施するため、内蔵 RAM 先頭からの 4kB (H'FFFF6000 ~ H'FFFF6FFF) を避けて、消去 / 書き込みプログラムをダウンロードしています。

また、ダウンロードと初期化は最初の 1 回だけ実施するようにしています。

本例のような手続きを行う場合、以下にご注意ください。

内蔵RAM領域の重複破壊にご注意ください。

RAMエミュレーション領域、消去プログラム領域、書き込みプログラム領域以外に、ユーザに作成していただく手順プログラムや、作業領域、スタック領域などが、内蔵RAM上に存在しますので、これらの領域を破壊しないようにしてください。

消去プログラムの初期化、書き込みプログラムの初期化を行ってください。

FPEFEQパラメータ、FUBRAパラメータを設定する初期化は、必ず、消去プログラム / 書き込みプログラムの両方に実行してください。初期化のエントリーアドレスは、消去プログラムのダウンロード先頭 + 32番地 (本例では、H'FFFF7020)、書き込みプログラムのダウンロード先頭 + 32番地 (本例では、H'FFFF7820) の両方に対して初期化してください。

22.5.3 ユーザブートモード

本 LSI にはユーザプログラムモード、ブートモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵 SCI を使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み/消去が可能なマットはユーザマットだけです。ユーザブートマットの書き込み/消去は、ブートモードまたはライターモードで行ってください。

(1) ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は「表 22.1 FWE 端子、MD 端子設定と動作モード」をご覧ください。

ユーザブートモードでリセットスタートすると、フラッシュ関連レジスタのチェックルーチンが走ります。このルーチンが使用する RAM 容量は H'FFFF6800 番地からの約 1.2kByte 分とスタックとして使用する H'FFFFDFFC 番地からの 4kByte 分です。この間の NMI およびその他の割り込みは受け付けられません。また、この間は AUD は使用できません。本期間は、40MHz の内部周波数で動作する場合、約 100 μ s です。

その後、ユーザブートマット上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マットはユーザブートマットになっていますので、フラッシュマットセレクトレジスタ FMATS には H'AA が設定されています。

(2) ユーザブートモードでのユーザマットの書き込み

ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATS レジスタによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および書き込み終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの書き込み手続きを図 22.14 に示します。

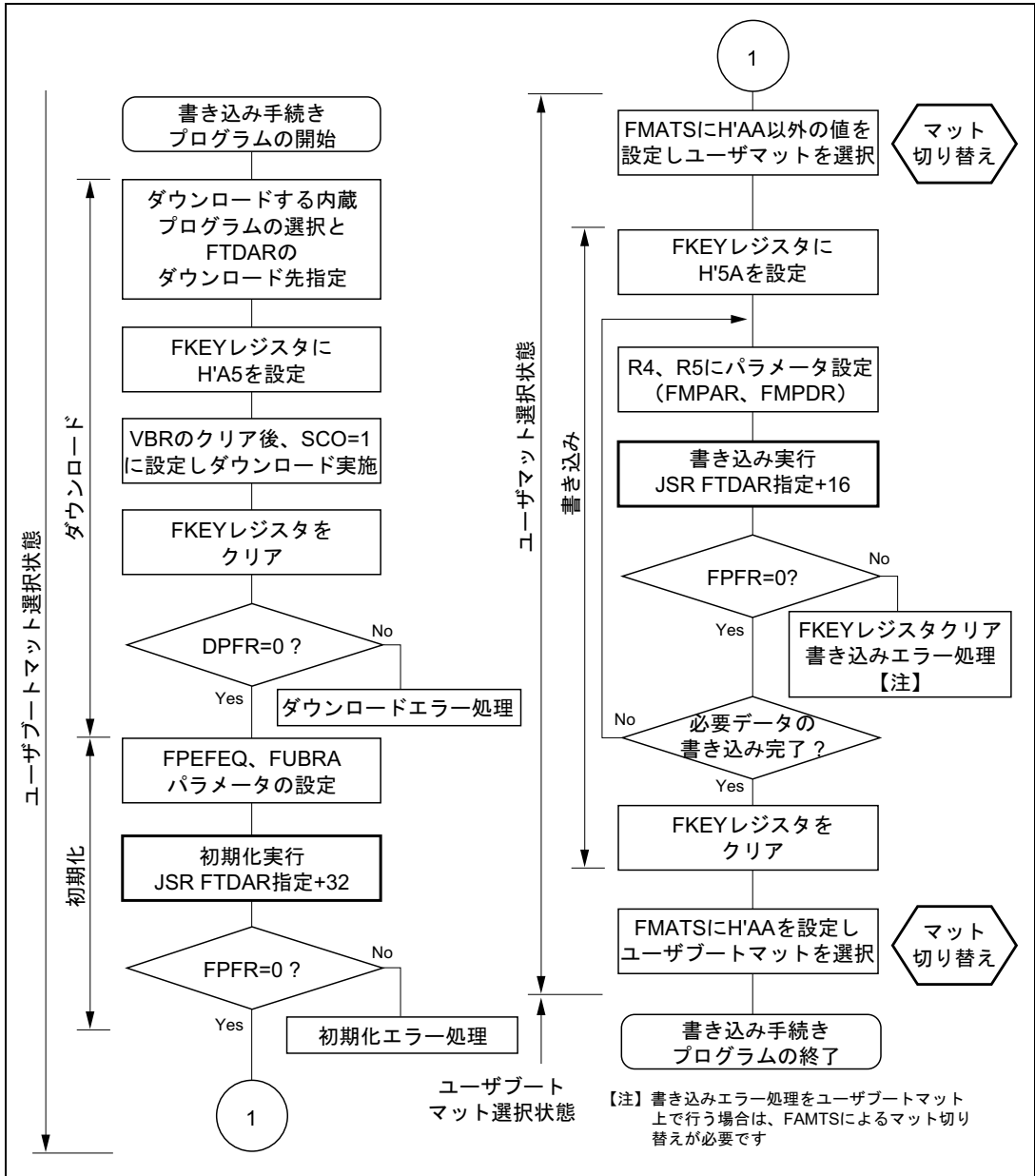


図 22.14 ユーザーブートモードでのユーザマットへの書き込み手順

図 22.14 に示したように、ユーザプログラムモードとユーザーブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザーブートモードでは、フラッシュメモリ空間にユーザーブートマットが見えていて、ユーザマットは「裏」に隠れている状態です。ユーザマットに書き込む処理の間だけ、ユーザマットとユーザーブートマットを切り替えます。書き込み処理中は、ユーザーブートマットは隠れており、かつユーザマットは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で実行させる必要があります。書き込み処理が終了したら、最初の状態に戻すために再度マット切り替えを行います。

マット切り替えは、FMATS レジスタへ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「22.8.1 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「22.10.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATS レジスタによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および消去終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを図 22.15 に示します。

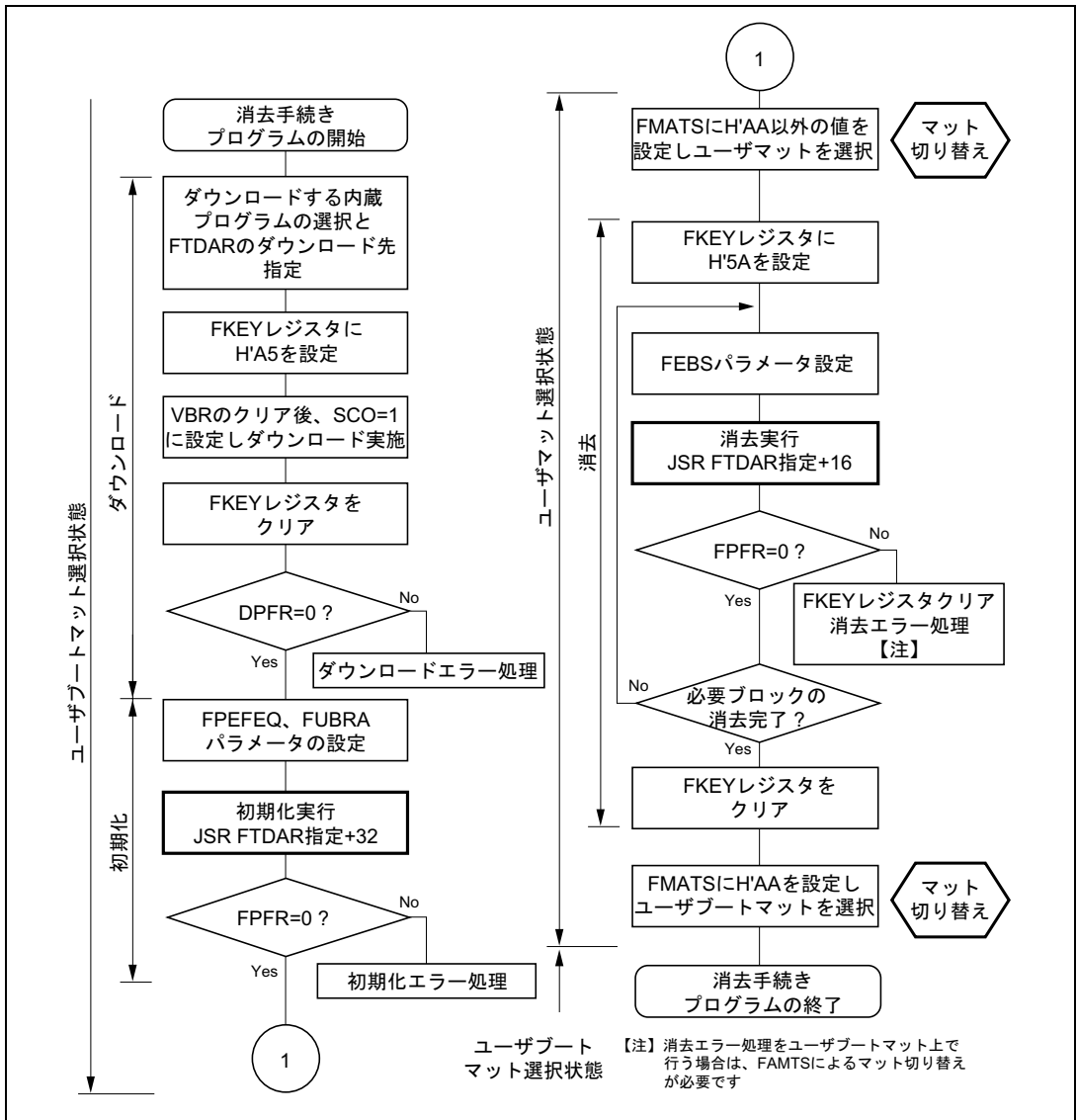


図 22.15 ユーザーブートモードでのユーザーマットの消去手順

図 22.15 に示したように、ユーザプログラムモードとユーザーブートモードでの消去手続きの違いは、マット切り替えを行うか否かです。

マット切り替えは、FMATS レジスタへ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「22.8.1 ユーザマットとユーザーブートマットの切り替え」の説明に従ってください。

マット切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「22.10.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

22.6 プロテクト

フラッシュメモリに対する書き込み/消去プロテクトは、ハードウェアプロテクトとソフトウェアプロテクトとエラープロテクトの3種類あります。

22.6.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことです。内蔵プログラムのダウンロードと初期化実行はできますが、書き込み/消去プログラムを起動してもユーザマットの書き込み/消去はできず、書き込み/消去エラーがFPFRパラメータで報告されます。

表 22.9 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
FWE 端子プロテクト	・ FWE 端子に Low レベルが入力されているときには、FCCS レジスタの FWE ビットがクリアされ、書き込み/消去プロテクト状態になります。		
リセット、スタンバイプロテクト	・ パワーオンリセット (WDT によるパワーオンリセットも含む) およびスタンバイ時は、書き込み/消去インタフェースレジスタが初期化され、書き込み/消去プロテクト状態になります。 ・ RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。書き込み/消去動作中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。		

22.6.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、内蔵の書き込み/消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクト、RAM エミュレーションレジスタによるプロテクトがあります。

表 22.10 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	・ FCCS レジスタの SCO ビットを 0 にクリアすることにより、書き込み/消去のプログラムのダウンロードができないため、書き込み/消去プロテクト状態になります。		
FKEY レジスタプロテクト	・ FKEY レジスタにキーコードを書き込まないと、ダウンロードと書き込み/消去ができません。ダウンロードと書き込み/消去では、異なるキーコードの設定が必要です。		
エミュレーションプロテクト	・ RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、書き込み/消去プロテクト状態になります。		

22.6.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や規定の書き込み/消去手順に沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FCCS レジスタの FLER ビットが 1 にセットされエラープロテクト状態に遷移し、書き込み/消去は中断されます。

FLER ビットのセット条件を以下に示します。

- (1) 書き込み/消去中にフラッシュメモリを読み出したとき（ベクタリードおよび命令フェッチを含む）
- (2) 書き込み/消去中に SLEEP 命令を実行したとき（ソフトウェアスタンバイを含む）

エラープロテクトの解除（FLER ビットのクリア）は、パワーオンリセットまたはハードウェアスタンバイのみで行われます。

なお、この場合のリセット入力期間は、通常より長い 100 μ s の期間のあとにリセットリリースしてください。フラッシュメモリには書き込み/消去中には高電圧が印加されているため、エラープロテクト状態への遷移時に、印加電圧が抜けきれない恐れがあります。このため、リセット期間を延長して印加電圧を抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 22.16 にエラープロテクト状態への状態遷移図を示します。

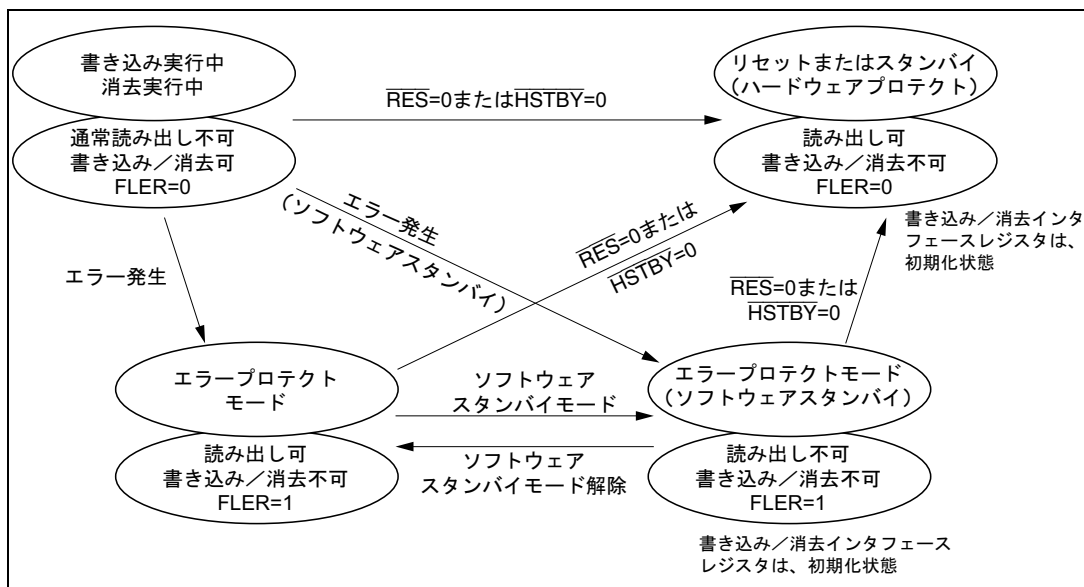


図 22.16 エラープロテクト状態への状態遷移図

22.7 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリ (ユーザマット) のエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後、ユーザマットのエリアとここに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモードおよびユーザプログラムモードです。

図 22.17 にユーザマットのリアルタイムな書き換えをエミュレートする例を示します。

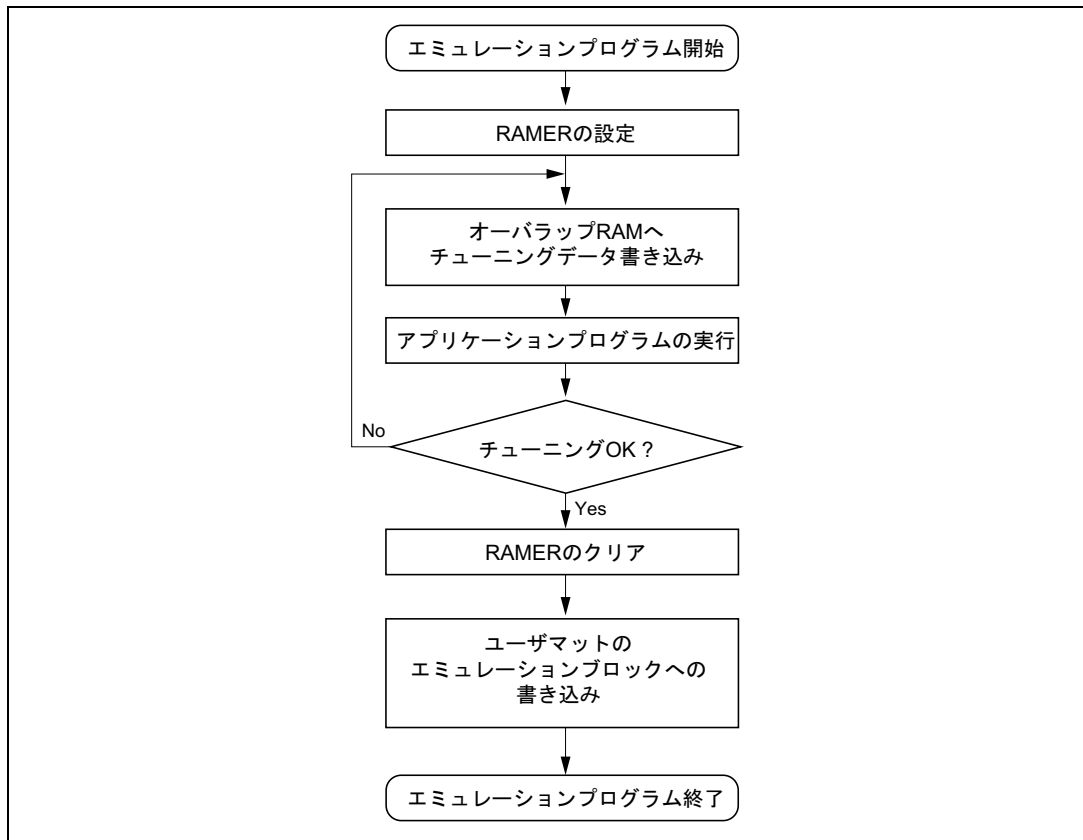


図 22.17 RAM によるエミュレーション

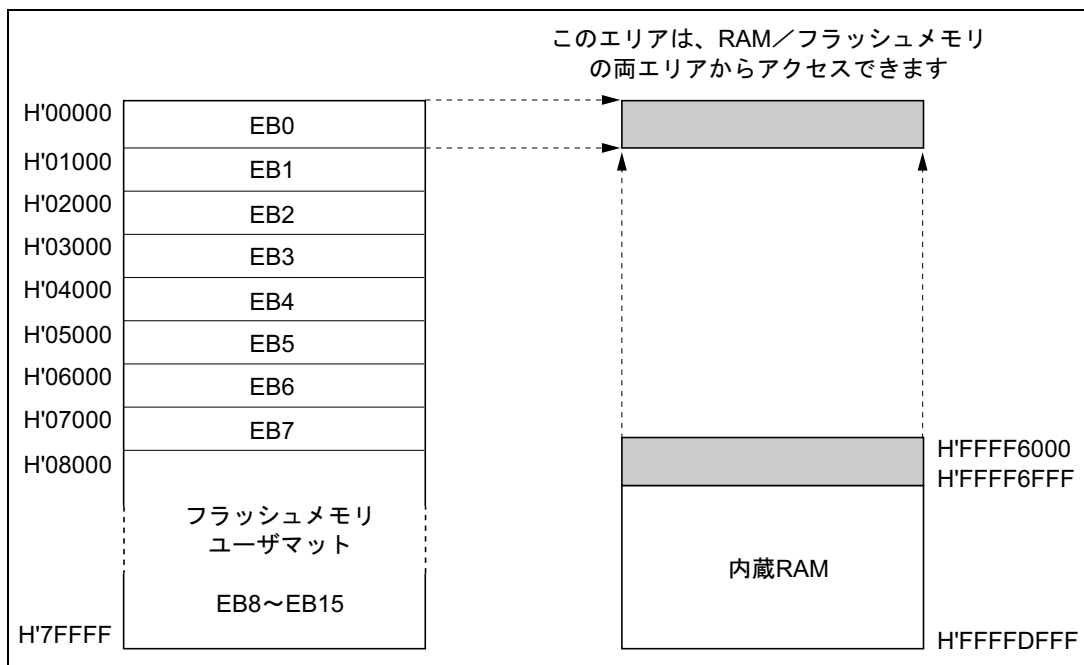


図 22.18 RAM のオーバーラップ動作例

図 22.18 にフラッシュメモリのブロックエリア EB0 をオーバーラップさせる例を示します。

エミュレーション可能なフラッシュメモリの領域は、ユーザマットの EB0 ~ EB7 の 8 エリアから RAMER レジスタの RAM2 ~ 0 ビットで選択した 1 エリアです。

- (1) リアルタイムな書き換えを必要とするエリア EB0 に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビットを 1、RAM2 ~ 0 ビットを 0、0、0 に設定してください。
- (2) リアルタイムな書き換えは、オーバーラップさせた RAM を使って行います。

ユーザマットへの書き込み / 消去実行においては、内蔵プログラムのダウンロードを含む一連の手続きプログラムの実行が必要です。このときに、オーバーラップしていた RAM 領域とダウンロードされる内蔵プログラムの領域が重複しないように、FTDAR レジスタを使用してダウンロード領域を設定してください。FTDAR レジスタが初期値 (H'00) のままですと、チューニング領域とダウンロード領域が重複しますので、事前に未使用領域に確定した書き換えデータの退避が必要になります。

図 22.19 に、エミュレーション完了後のデータをユーザマットの EB0 領域に書き込む例を示します。

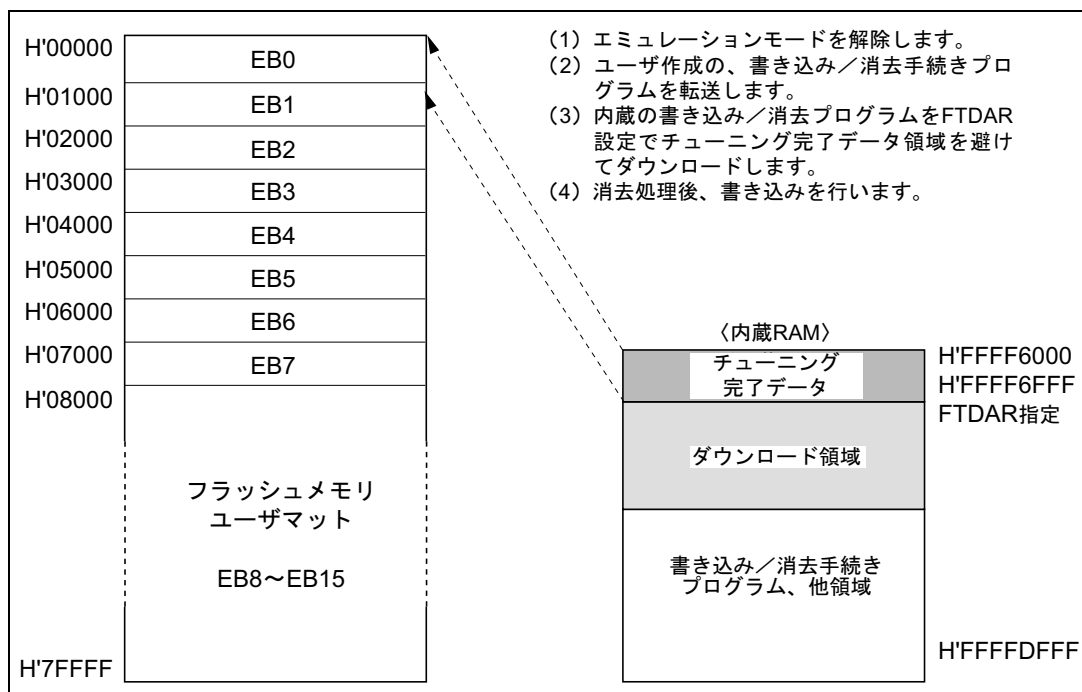


図 22.19 チューニング完了データの書き込み

- (1) 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。エミュレーションモードが解除され、エミュレーションプロテクトも解除されます。
- (2) ユーザ作成の書き込み/消去手続きプログラムをRAM上に転送します。
- (3) RAM上の書き込み/消去手続きプログラムを起動し、マイコン内蔵の書き込み/消去プログラムをRAM上にダウンロードします。
このとき、FTDARレジスタ設定により、チューニング完了データ領域とダウンロード領域が重複しないようにダウンロード先頭アドレスを指定してください。
- (4) ユーザマットのEB0エリアが消去されていない場合は、消去処理を行ったあとに書き込みを行ってください。書き込み処理のパラメータ FMPAR、FMPDRにチューニング完了データを指定して書き込み処理を行います。

【注】 RAMS ビットを 1 にすると RAM2~0 の値にかかわらず、フラッシュメモリの全ブロックが書き込み/消去プロテクト状態となります(エミュレーションプロテクト)。実際に書き込み/消去を実施する場合は RAMS ビットをクリアしてください。
 ユーザブートマット選択時にも RAM エミュレーションを行うことは可能ですが、ユーザブートマットの消去/書き込みはブートモード、またはライターモードでしか行うことができません。

22.8 使用上のご注意

22.8.1 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ0番地からのアドレスに割り当てられているため、以下の手順が必要です。

(ユーザブートマットに切り替えた状態での書き込み/消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライターモードで実施してください。)

- (1) FMATSレジスタによるマット切り替えは、必ず内蔵RAM上で実行してください。
SHマイコンでは実行命令のプリフェッチを行いますので、例えばユーザマット上でプログラム実行中にマット切り替えを行った場合、ユーザマット上の命令コードをプリフェッチするか、切り替え後のユーザブートマット上の命令をプリフェッチするかで不安定動作になることがあります。
- (2) 確実に切り替えを行った後で切り替え後のマットのアクセスをするために内蔵RAM上でのFMATSレジスタ書き換えの直後には、同じく内蔵RAM上で4個のNOP命令を実行してください。
(切り替えを行っている最中のフラッシュメモリをアクセスしないためです)
- (3) 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。
マット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、可能ならばマット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。
- (4) マット切り替え完了後は、各種割り込みのベクターテーブルエリアも切り替わっていますので注意してください。
マット切り替え前後で同じ割り込み処理を実施する場合や、割り込み発生を禁止できない場合は、内蔵RAM上に割り込み処理ルーチンを転送しておき、かつ割り込みベクターテーブルもVBRレジスタの設定により内蔵RAM上に設定するなどをお願いします。この場合、VBRレジスタの変更と割り込み発生との競合についてもご注意ください。
- (5) ユーザマットとユーザブートマットはメモリサイズが異なります。8kB以上の空間のユーザブートマットをアクセスしないようにしてください。8kB空間以上をアクセスした場合、不定値が読み出されます。

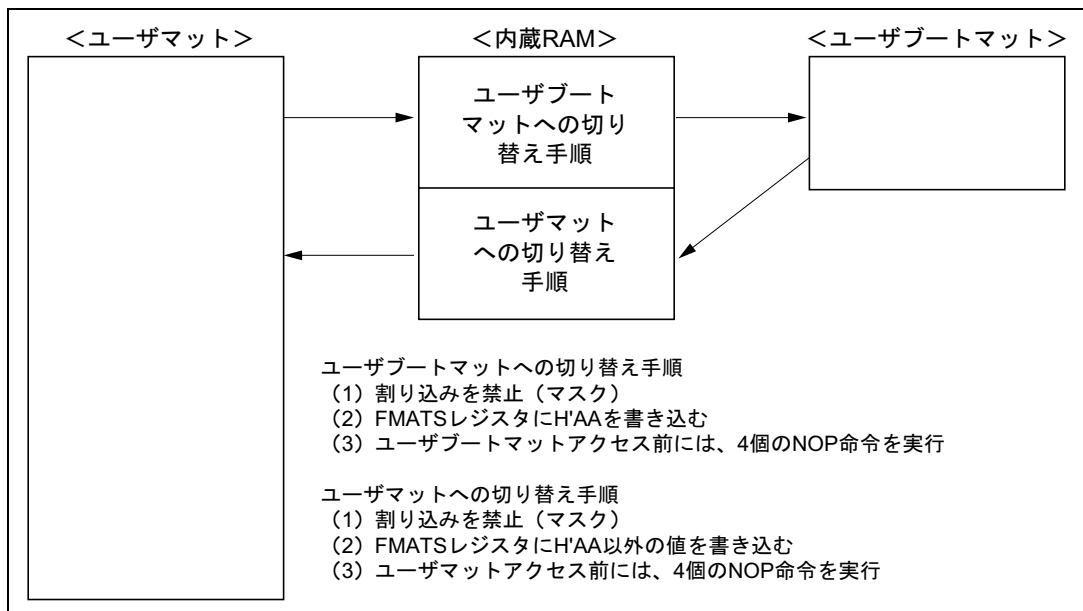


図 22.20 ユーザマット / ユーザブートマットの切り替え

22.8.2 書き込み / 消去手続き実行中の割り込み

(1) 内蔵プログラムのダウンロード実行

(1.1) VBR の変更

内蔵プログラムをダウンロードする前に、VBR レジスタを H'00000000（初期値）にする必要があります。VBR を初期値以外の設定で使用している場合、VBR を初期化すると割り込みベクタテーブルがユーザマット（FMATS = H'AA のとき）またはユーザブートマット（FMATS = H'AA のとき）になります。

また、VBR 変更と割り込み発生が競合した場合、VBR 変更前後のどちらのベクタテーブルが参照されるかで問題が発生する可能性があります。

よって、割り込みとの競合が発生する可能性のある場合、ユーザマットまたはユーザブートマットの先頭部分にも、VBR = H'00000000 のときに参照されるベクタテーブルを準備してください。

(1.2) SCO ダウンロード要求と割り込み要求

内蔵の書き込み / 消去プログラムを、FCCS レジスタの SCO ビットを 1 にしてダウンロードする操作は、マット切り替えを伴った特殊な割り込みを発生させます。SCO ダウンロード要求と割り込み要求の競合時の動作について説明します。

SCOダウンロード要求と割り込み要求の競合

FCCSレジスタのSCOビットを1に設定する命令の実行と、割り込み受け付けの競合タイミングを図22.21に示します。

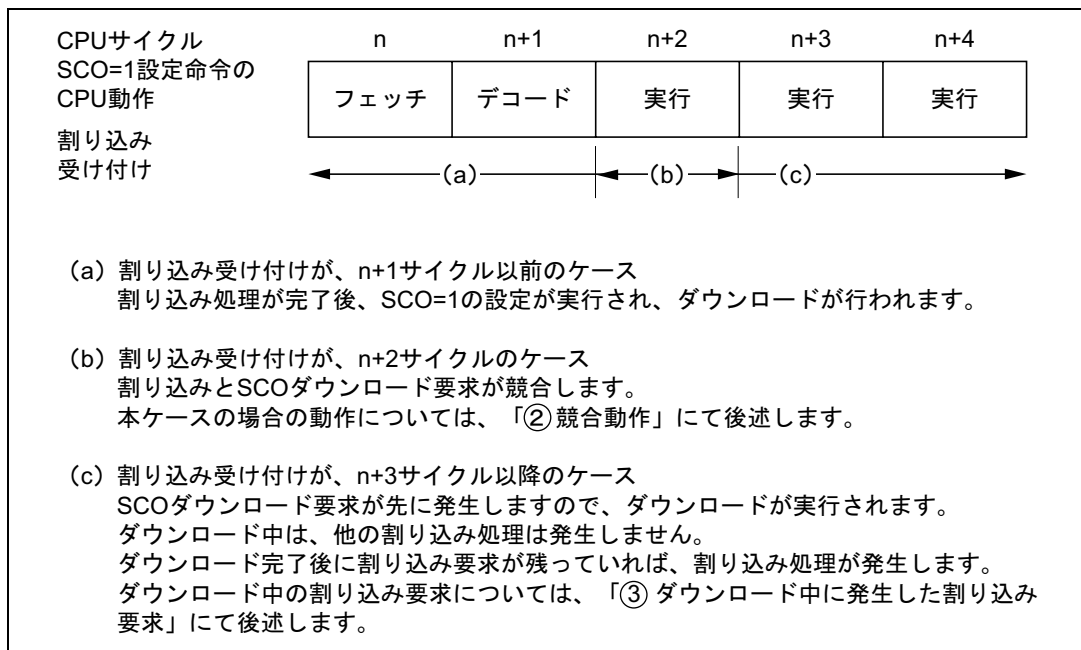


図 22.21 SCO ダウンロード要求と割り込み要求の競合タイミング

競合動作

競合した割り込みの種類によって、動作が異なります。

- NMI、UBC、H-UDI の割り込み要求
これらの割り込みと、SCOダウンロード要求が競合した場合は、以下の動作となります。

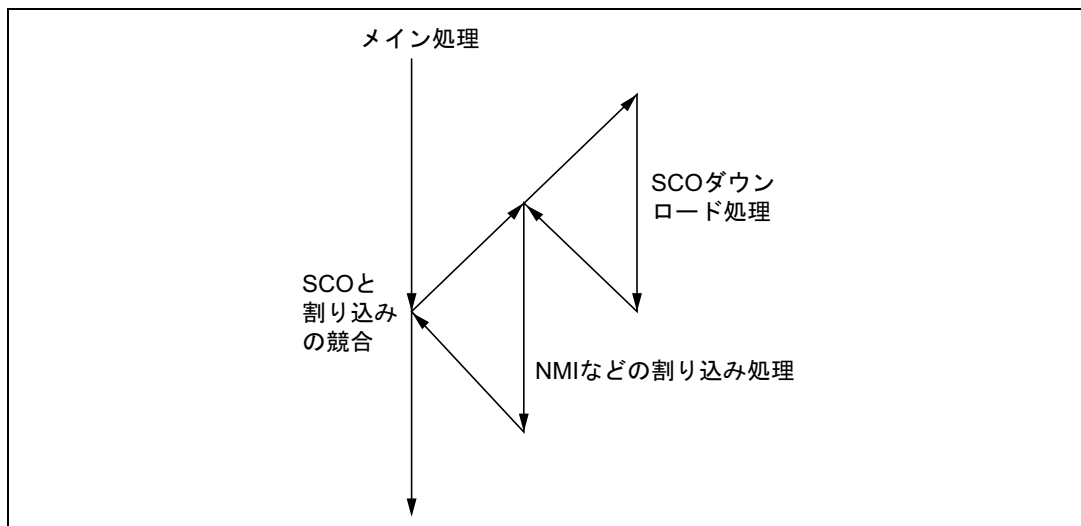


図 22.22 NMI などの割り込みとの競合

- NMI、UBC、H-UDI の割り込み処理が開始され、SR、PC の退避とベクタフェッチ、割り込み処理ルーチンの先頭命令のフェッチまで行われます。
- この時点で、優先順位の高い SCO ダウンロード要求が発生しているため、SCO ダウンロ

- ード処理が実行されます。
- ダウンロード処理が完了次第、以前の NMI などの割り込み処理ルーチン先頭の命令フェッチから再開されます。
- NMI 等の割り込み処理が完了し、メイン処理に戻ります。
- IRQ、内蔵周辺モジュールからの割り込み要求
これらの割り込みと、SCOダウンロード要求が競合した場合は、以下の動作となります。

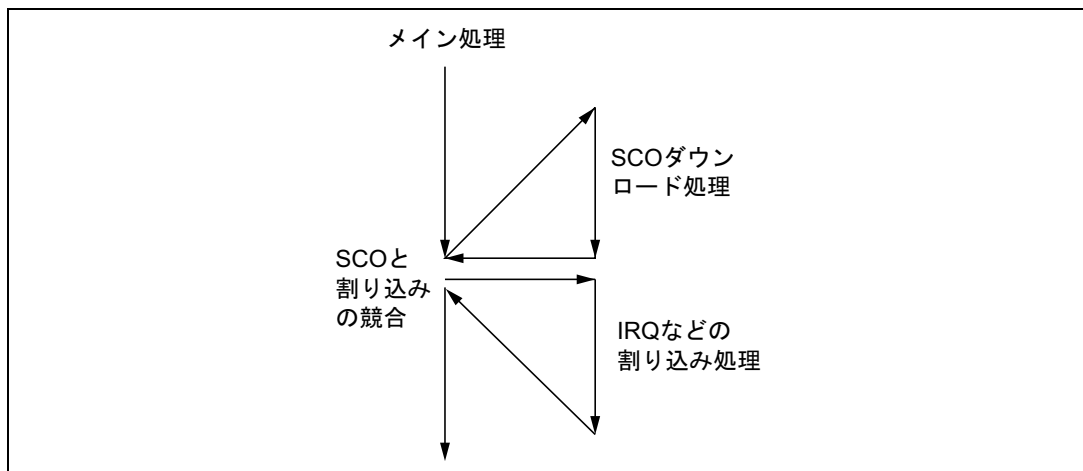


図 22.23 IRQ などの割り込みとの競合

- IRQ、内蔵周辺モジュールからの割り込みに、SCO ダウンロード要求が差し替えられて、ダウンロードが実行されます。
- ダウンロード処理が完了した時点で、IRQ、内蔵周辺モジュールからの割り込み要求が続いていれば、それらの割り込み処理が実行されます。ダウンロード処理中にこれらの割り込み要求が取り消されていると、メイン処理に戻ります。
- 割り込み要求が取り消されるケースは、IRQ をローレベル検出で使用する場合で、ダウンロード終了前にハイレベルに戻ってしまったケースがあてはまります。後述の「ダウンロード中に発生した割り込み要求」もご覧ください。

ダウンロード中に発生した割り込み要求

- SCO ダウンロード実行中に、割り込み要求が発生しても、ダウンロード完了までそれらの割り込み処理が実行されることはありません。ただし、割り込み要求は基本的に保持されていますので、ダウンロード完了後に、これらの割り込み処理が発生します。複数種類の割り込み要求があった場合は、割り込みコントローラ (INTC) にて優先順位判定が行われ、優先順位の高い割り込みから処理されます。
- NMI、UBC、H-UDI の割り込み要求
SCOダウンロード中に、これらの割り込み要求が発生した場合は、要因が保持されます。
- IRQ 割り込み
IRQ割り込みは、立ち下がりエッジ検出とローレベル検出が選択できます。
 - SCO ダウンロード中の IRQ の立ち下がりエッジ検出は、要因保持されます。
 - SCO ダウンロード中の IRQ のローレベル検出の場合は、ダウンロード終了時点でも、ローレベル入力保持されていると、割り込み処理が開始されます。ダウンロード終了時点で、ハイレベルが入力されていると、要因は取り消されたこととなります。
- 内蔵周辺モジュールからの割り込み
内蔵周辺モジュールからの割り込みは、レベル割り込みですが、フラグクリアなどの操作を行わない限り、割り込み信号を出しつづけるので割り込み要因は保持されていることになり

ます。

(2) 書き込み / 消去処理中の割り込み

ダウンロードした内蔵プログラムでの書き込み / 消去実行中の割り込み処理は、リアルタイムで可能ですが、以下の制限事項や注意事項があります。

書き込み / 消去中のフラッシュメモリは、ユーザマット / ユーザブートマットともにアクセスできません。割り込みベクタテーブルや割り込み処理ルーチンは、内蔵RAMや外部メモリなどに準備してください。割り込み処理ルーチンの中でも、書き込み / 消去中のフラッシュメモリをアクセスしないでください。フラッシュメモリを読み出した場合、読み出した値の保証はできません。また、この場合は、エラープロテクトに遷移しますので、書き込み / 消去処理は中断します。

FMPDRパラメータで指定している書き込みデータを変更しないでください。書き込みデータを割り込み処理で準備する場合は、別領域に準備し、書き込み完了の確認後にFMPDRの領域に移すかFMPDRを準備した別領域に変更する手順としてください。

割り込み処理ルーチンの中では、本章のフラッシュ関連レジスタや、ダウンロードした内蔵プログラム領域を破壊しないようにしてください。また、割り込み処理でRAMエミュレーションにしたり、SCO要求による内蔵プログラムのダウンロードや、書き込み / 消去を多重実行しないでください。

割り込み処理ルーチンの先頭で、CPUのレジスタを退避し、戻る前に復帰させてください。

割り込み処理ルーチンで、スリープ状態やソフトウェアスタンバイ状態に遷移すると、エラープロテクト状態となり、書き込み / 消去は中断されます。

また、リセット状態に遷移した場合は、フラッシュメモリへのダメージを低減するために、100 μ s以上のリセット状態の後で、リセットリリースしてください。

22.8.3 その他のご注意

(1) 内蔵プログラムのダウンロード実行時間

初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ 2kB 以内です。よって、CPU クロック周波数が、40MHz の場合、それぞれ最大で約 75 μ s のダウンロード時間となります。

(2) ユーザブランチ処理の間隔

ユーザブランチ処理が実行される間隔は、書き込み / 消去で異なります。また、処理フェーズによっても異なります。表 22.11 に、CPU クロック周波数 40MHz の場合の最大 / 最小起動間隔を示します。

表 22.11 ユーザブランチ処理の起動間隔

	最大間隔	最小間隔
書き込み処理	約 1ms	約 19 μ s
消去処理	約 5ms	約 19 μ s

ただし、CPU クロック 40MHz 動作時における最初のユーザブランチ処理までの時間の最大 / 最小値は表 22.12 のようになります。

表 22.12 初回ユーザブランチ処理時間

	最大	最小
書き込み処理	約 113 μ s	約 113 μ s
消去処理	約 85 μ s	約 45 μ s

(3) AUD、DMAC でのフラッシュ関連レジスタへの書き込み

ダウンロード要求の FCCS レジスタの SCO ビットや、マット切り替えの FMATS レジスタは、内蔵 RAM 上で命令実行中ならば、AUD、DMAC からでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行され RAM を破壊したり、マット切り替えが発生して暴走するなどの危険性がありますので、ご注意ください。

(4) AUD 動作不可状態、割り込み無視状態

以下のモード、または期間では、AUD はモジュールスタンバイ状態となり動作できません。また、NMI やマスカブル割り込みが発生しても無視され、実行も割り込み要因の保持もされません。

ブートモード動作中

ライターモード動作中

ユーザブートモード起動直後のフラッシュ関連レジスタチェック中

(リセットリリース後、40MHz の内部周波数で動作する場合、約 100 μ s の期間)

(5) 従来の F-ZTAT SH マイコンとの書き込み / 消去プログラムの互換性

SCO 転送要求による内蔵プログラムのダウンロード方式をサポートしていない、従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み / 消去プログラムは、本 LSI では動作しません。

本 LSI でのフラッシュメモリへの書き込み / 消去は、必ず内蔵プログラムをダウンロードして実施してください。

(6) WDT による暴走などのモニタ

従来の F-ZTAT SH マイコンと異なり、ダウンロードされる内蔵プログラムによる書き込み / 消去中は WDT による暴走などへの対応は、実施していません。

必要に応じて、書き込み / 消去の実行時間を考慮した WDT での対応を実施してください。(ユーザブランチルーチンの使用、定期的なタイマ割り込みの使用など)

22.9 ライタモード

プログラム/データの書き込み/消去が可能なモードとして、オンボードプログラミングモード以外にライタモードがあります。ライタモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしております。書き込み/消去対象マツトは、ユーザマツトとユーザブートマツトです。

自動書き込み/自動消去/ステータス読み出しのモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部状態を出力します。

ライタモードでは、モード端子を表 22.13 の設定とし、入力クロックとして 6MHz を入力してください。これにより本 LSI は 24MHz で動作します。

表 22.13 ライタモードの端子

端子名	設定
モード端子： MD2、MD1、MD0	0、1、1
FWE 端子	ハイレベルを入力（自動書き込み、自動消去時）
RES 端子	パワーオンリセット回路
EXTAL、XTAL、PLL _{VCC} 、PLL _{VSS} 、PLL _{CAP} 端子	発振回路、PLL 回路
V _{CL} 端子	内部降圧安定用コンデンサ

22.9.1 ソケットアダプタの端子対応図

図 22.25 に示すようなソケットアダプタを LSI に取り付けてください。これによって、40 ピンにピン変換することができます。内蔵 ROM のメモリマップを図 22.24 に、ソケットアダプタの端子対応図を図 22.25 に示します。

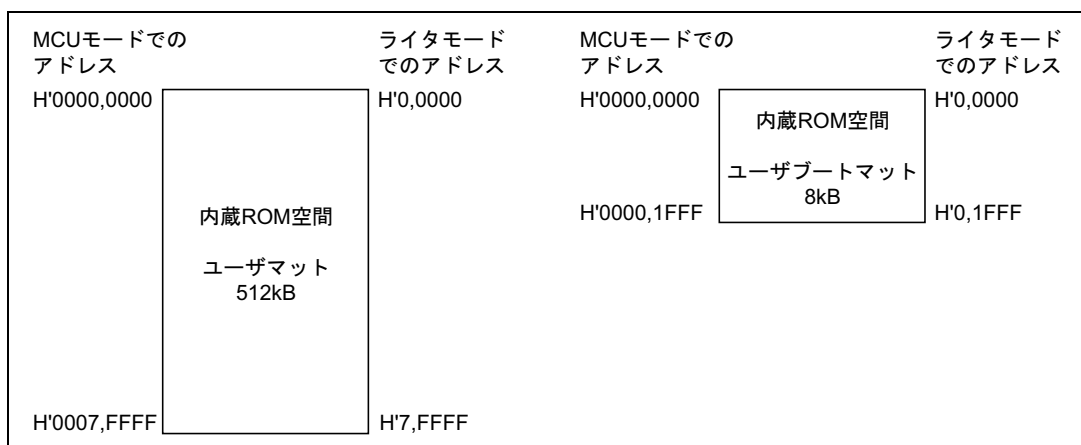


図 22.24 内蔵フラッシュのメモリマップ

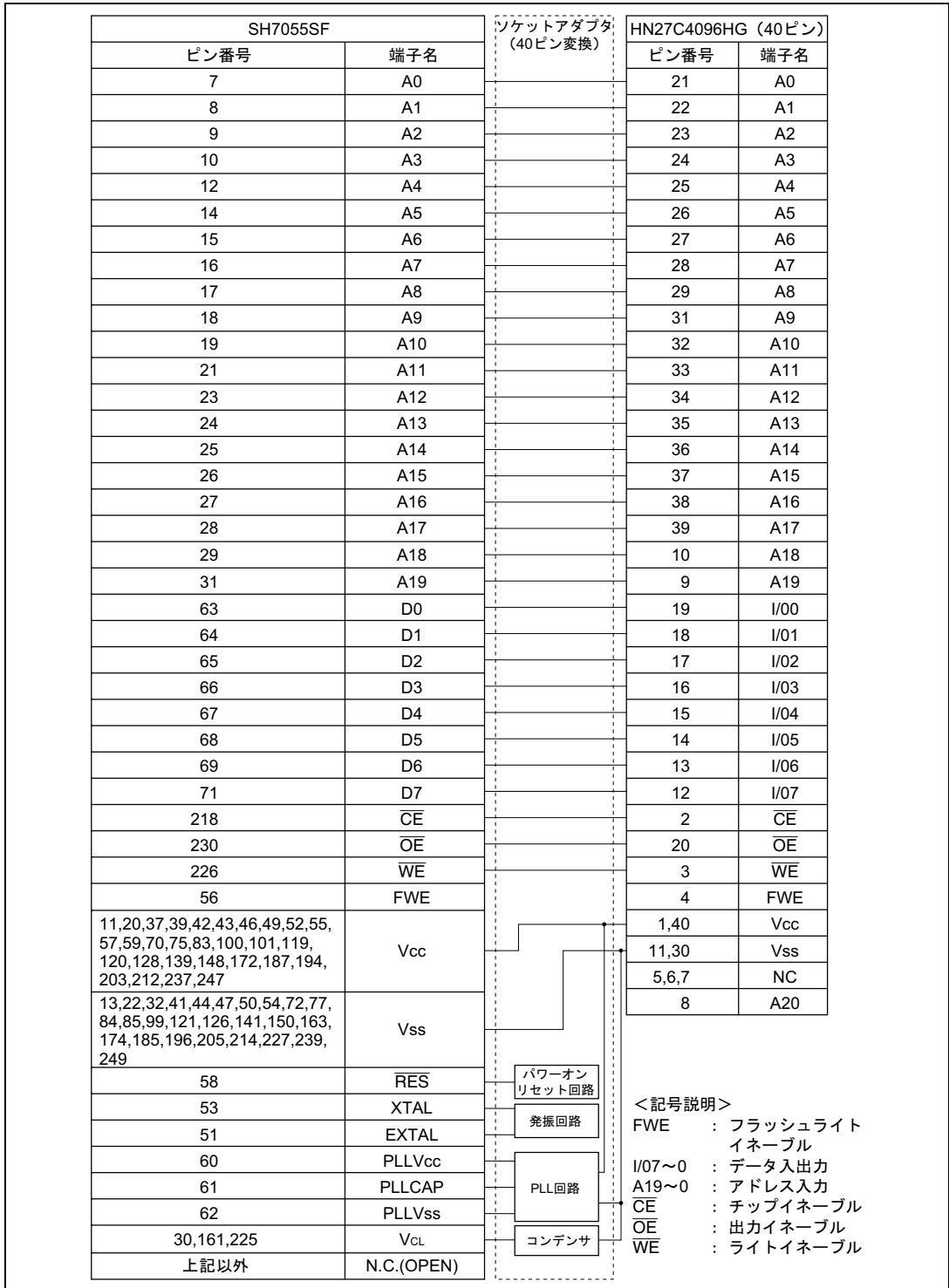


図 22.25 ソケットアダプタの端子対応図

22.9.2 ライタモードの動作

表 22.14 にライタモード時の各動作モードの設定方法、表 22.15 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

- メモリ読み出しモード
メモリ読み出しモードは、ユーザマットおよびユーザブートマットのバイト読み出しをサポートします。
- 自動書き込みモード
自動書き込みモードでは、ユーザマットおよびユーザブートマットへの128バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しています。
- 自動消去モード
自動消去モードでは、ユーザマットおよびユーザブートマットの全面自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しています。
- ステータス読み出しモード
自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認はI/O6の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 22.14 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	\overline{CE}	\overline{OE}	\overline{WE}	I/O7~0	A18~0
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-z	X
コマンド書き込み	H or L	L	H	L	データ入力	*Ain
チップディスエーブル	H or L	H	X	X	Hi-z	X

- 【注】
1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
 2. 自動書き込み / 消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。
- * Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

表 22.15 ライタモード時の各コマンド

コマンド名	サイクル数	対象メモリ マット	第1サイクル			第2サイクル		
			モード	アドレス	コマンド	モード	アドレス	データ
メモリ読み出しコマンド	1+n	ユーザマット	write	X	H'00	read	RA	Dout
		ユーザブート マット	write	X	H'05			
自動書き込みコマンド	129	ユーザマット	write	X	H'40	write	WA	Din
		ユーザブート マット	write	X	H'45			
自動消去コマンド	2	ユーザマット	write	X	H'20	write	X	H'20
		ユーザブート マット	write	X	H'25			H'25
ステータス読み出し コマンド	2	両マット共通	write	X	H'71	write	X	H'71

- 【注】 1. 自動書き込みモードでは、128バイト同時書き込みにより、コマンド書き込みが129サイクル必要となります。
2. メモリ読み出しモードでは、アドレス書き込みサイクル数(n)によって、サイクル数が変化します。
3. 自動消去コマンドは、第1サイクル、第2サイクルともに同じコマンドコードを入力してください。
(ユーザブートマットの消去の場合、第1サイクル、第2サイクルともにH'25)

22.9.3 メモリ読み出しモード

- (1) 自動書き込み/自動消去/ステータス読み出し終了時は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- (4) 電源投入後は、ユーザマットのメモリ読み出しモードに遷移します。
メモリ読み出しモード時のAC特性については、「22.10.2 ライタモードのAC特性、タイミング」をご覧ください。

22.9.4 自動書き込みモード

- (1) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (2) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) 転送するアドレスの下位7ビットは、ロー状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第2サイクルで行います。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。すでに書き込まれたアドレスブロックへの2回以上の追加書き込みは行えません。
- (7) 自動書き込み終了の確認には、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます。(I/O7のステータスポーリングは、自動書き込み終了判定用端子です)。
- (8) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出

し可能となります。

自動書き込みモード時のAC特性については、「22.10.2 ライタモードのAC特性、タイミング」をご覧ください。

22.9.5 自動消去モード

- (1) 自動消去モードでは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます。(I/O7のステータスポーリングは、自動消去終了判定用端子です)。
- (4) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、CE、OEをイネーブルにすることにより読み出し可能となります。

自動消去モード時のAC特性については、「22.10.2 ライタモードのAC特性、タイミング」をご覧ください。

22.9.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込み/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

ステータス読み出しモードのリターンコードを表 22.16 に示します。

ステータス読み出しモード時のAC特性については、「22.10.2 ライタモードのAC特性、タイミング」をご覧ください。

表 22.16 ステータス読み出しモードのリターンコード

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了判定	コマンドエラー	書き込みエラー	消去エラー	-	-	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了:0 異常終了:1	コマンド エラー:1 その他:0	書き込み エラー:1 その他:0	消去 エラー:1 その他:0	-	-	回数オーバ 時:1 その他:0	有効アドレス エラー:1 その他:0

【注】 I/O2、3は未定義です

22.9.7 ステータスポーリング

- (1) I/O7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) I/O6のステータスポーリングは、自動書き込み / 自動消去モード時の正常 / 異常終了を示すフラグです。

表 22.17 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O0~5	0	0	0	0

22.9.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ時間は、コマンドを受け付けることができません。ライターモードセットアップ時間後、メモリ読み出しモードに遷移します。「22.10.2 ライタモードのAC特性、タイミング」をご覧ください。

22.9.9 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
 - (2) オンボードプログラミングモードにて書き込み / 消去を行ったチップに対して、ライターモードを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。
 - (3) 書き込み / 消去実行中に、SHマイコンチップをPROMライターから取り外したり、リセットを入力することはやめてください。書き込み / 消去実行中はフラッシュメモリに高電圧が印加されているため、フラッシュメモリの永久破壊の可能性があります。
もし、誤ってリセット入力してしまった場合は、100 μ sの通常より長いリセット期間の後にリセットリリースしてください。
- 【注】
1. ルネサス出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1回のみとします。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。

22.10 付録

22.10.1 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストと LSI 内蔵の SCI を使って送受信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

ステータス

ブートプログラムは 3 つのステータスを持ちます。

- (1) ビットレート合わせ込みステータス
ホストと送受信するビットレートを合わせ込むステータスです。ブートモードで起動するとブートプログラムが起動し、ビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。
- (2) 問い合わせ選択ステータス
ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビットレートを選択します。選択が完了したら、書き込み消去ステータス遷移コマンドで書き込み消去ステータスに遷移します。書き込み消去ステータスに遷移する前に、ブートプログラムは消去プログラムを RAM 上に転送し、ユーザマットとユーザブートマットを消去します。
- (3) 書き込み消去ステータス
書き込み消去を行うステータスです。ホストからのコマンドに従って、書き込み / 消去プログラムを RAM に転送し、書き込み / 消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。

ブートプログラムの処理フローを図 22.26 に示します。

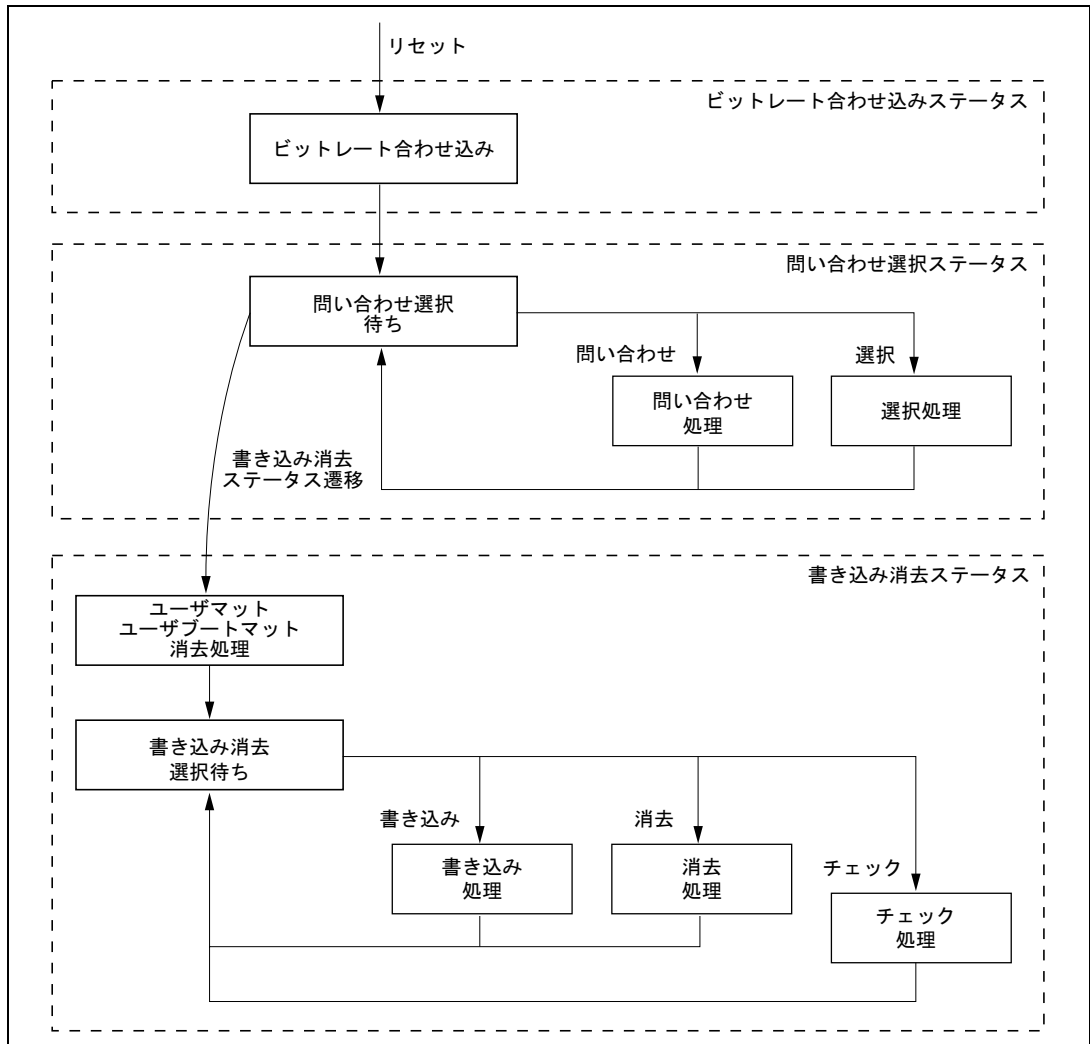


図 22.26 ブートプログラムの処理フロー

ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 22.27 に示します。



図 22.27 ビットレート合わせ込みのシーケンス

通信プロトコル

ビットレート合わせ込みが完了した後の、ホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

- (1) 1文字コマンドまたは1文字レスポンス
コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了のACKがありません。
- (2) n文字コマンドまたはn文字レスポンス
コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。
書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。
- (3) エラーレスポンス
コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。
- (4) 128バイト書き込み
サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。
- (5) メモリリードのレスポンス
サイズが4バイトのレスポンスです。

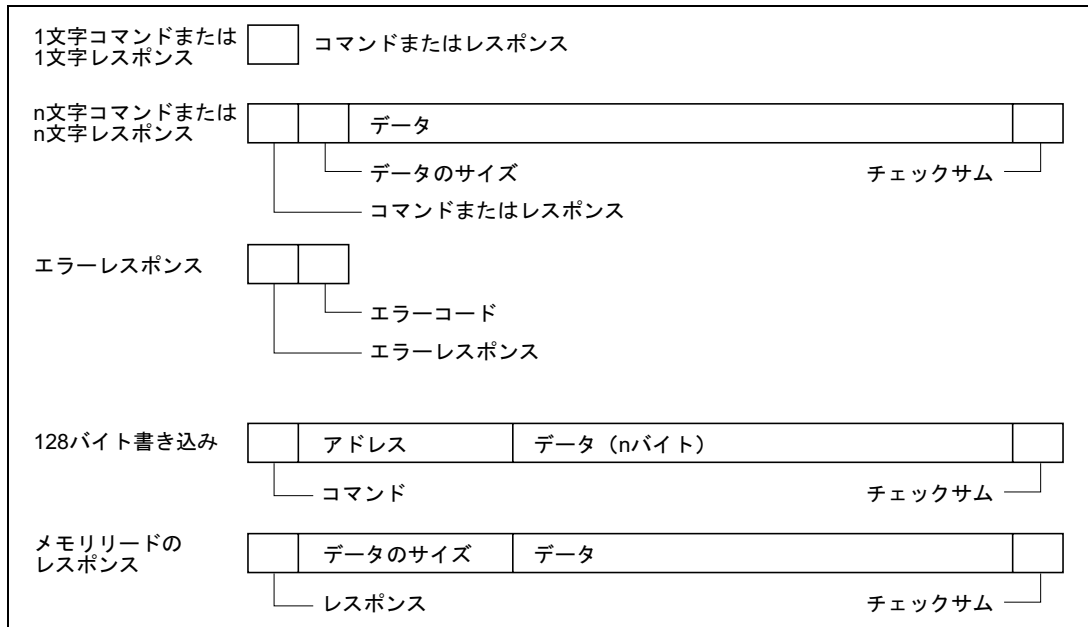


図 22.28 通信プロトコルフォーマット

- コマンド (1 バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1 バイト) : 問い合わせに対する応答
- サイズ (1 バイトまたは 2 バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ (n バイト) : コマンド、レスポンスの詳細データ
- チェックサム (1 バイト) : コマンドから SUM まで加算し、H'00 となるように設定
- エラーレスポンス (1 バイト) : コマンドに対するエラーレスポンス
- エラーコード (1 バイト) : 発生したエラーの種類
- アドレス (4 バイト) : 書き込みアドレス
- データ (n バイト) : 書き込みデータ。n は書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4 バイト) : メモリリードのレスポンスで 4 バイト長

問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュ ROM の情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を表 22.18 に示します。

表 22.18 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	逡倍比問い合わせ	逡倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'28	2面同時書き込み情報問い合わせ	2面同時書き込み可否の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択(H'10)、クロックモード選択(H'11)、新ビットレート選択(H'3F)の順にホストから送信してください。これらのコマンドは必ず必要です。同一選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ(H'4F)を除いて、書き込み消去ステータス遷移(H'40)を受け付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ(H'4F)は書き込み消去ステータス遷移(H'40)を受け付け後も有効です。

(1) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと品名を応答します。

コマンド

H'20

- コマンド「H'20」（1バイト）：サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」（1バイト）：サポートデバイス問い合わせに対する応答
- サイズ（1バイト）：コマンド、サイズ、チェックサムを除いた送受信データのサイズ。ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数（1バイト）：マイコン内のブートプログラムがサポートする品種数
- 文字数（1バイト）：デバイスコードとブートプログラム品名の文字数
- デバイスコード（4バイト）：サポートする品名の ASCII コード
- 品名（nバイト）：ブートプログラム型名（ASCII コード）
- SUM（1バイト）：サムチェック
コマンドからSUMまで加算し、H'00となるように設定

(2) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」（1バイト）：デバイス選択
- サイズ（1バイト）：デバイスコードの文字数（固定値で2）
- デバイスコード（4バイト）：サポートデバイス問い合わせで応答したデバイスコード（ASCII コード）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：デバイス選択に対する応答
- デバイスコードが一致したとき ACK

エラー

レスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」（1バイト）：デバイス選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'21：デバイスコード不一致エラー

(3) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード数	モード	...	SUM
------	-----	------	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モード数、モードの合計サイズ
- モード数（1バイト）：デバイスで選択可能なクロックモード数
H'00 の場合はクロックモードなし、またはデバイスがクロックモード読み取り可を示す

- モード (1 バイト) : 選択可能なクロックモード (例 : H'01 クロックモード 1)
- SUM (1 バイト) : サムチェック

(4) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたクロックモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」(1 バイト) : クロックモード選択
- サイズ (1 バイト) : モードの文字数 (固定値で 1)
- モード (1 バイト) : クロックモード問い合わせで応答されたクロックモード
- SUM (1 バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」(1 バイト) : クロックモード選択に対する応答
- クロックモードが一致したとき ACK

エラー

レスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」(1 バイト) : クロックモード選択に対するエラー応答
- ERROR : (1 バイト) : エラーコード
H'11 : サムチェックエラー
H'22 : クロックモード不一致エラー

クロックモード問い合わせでクロックモード数が H'00、H'01 の場合もそれぞれその値で、クロックモード選択をしてください。

(5) 逡倍比問い合わせ

逡倍比問い合わせに対して、ブートプログラムは選択可能な逡倍比または分周比を応答します。

コマンド

H'22

- コマンド「H'22」(1 バイト) : 逡倍比問い合わせ

レスポンス

H'32	サイズ	種別数					
逡倍比数	逡倍比	...					
...							
SUM							

- レスポンス「H'32」(1 バイト) : 逡倍比問い合わせに対する応答
- サイズ (1 バイト) : 種別数、逡倍比数、逡倍比の合計サイズ
- 種別数 (1 バイト) : デバイスで選択可能な逡倍比の種別の数 (メイン動作周波数と周辺モジュール動作周波数の 2 種類なら H'02)
- 逡倍比数 (1 バイト) : 各動作周波数で選択可能な逡倍比数
メインモジュール、周辺モジュールで選択可能な逡倍比数
- 逡倍比 (1 バイト)
逡倍比 : 逡倍する数値 (例 4逡倍 : H'04)
分周比 : 分周する数値、負の数 (例 2分周 : H'FE[- 2])
逡倍比を逡倍比数の数だけ繰り返し、逡倍比数と逡倍比の組み合わせを種別数の数だけ繰り返す。
- SUM (1 バイト) : サムチェック

(6) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス

H'33	サイズ	周波数の種類数
動作周波数最小値		動作周波数最大値
...		
SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の種類数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の種類数（1バイト）：デバイスに必要な動作周波数の種類数
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：逡倍あるいは分周されたクロックの最小値
動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 動作周波数最大値（2バイト）：逡倍あるいは分周されたクロックの最大値
動作周波数最大値、動作周波数最大値のデータが周波数の種類数だけ続く
- SUM（1バイト）：サムチェック

（7）ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド

H'24

- コマンド「H'24」（1バイト）：ユーザブートマット情報問い合わせ

レスポンス

H'34	サイズ	エリア数
エリア先頭アドレス		エリア最終アドレス
...		
SUM		

- レスポンス「H'34」（1バイト）：ユーザブートマット情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数（1バイト）：連続したユーザブートマットのエリアの数
ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：サムチェック

(8) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」(1バイト) : ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数	
	エリア先頭アドレス			エリア最終アドレス
	...			
	SUM			

- レスポンス「H'35」(1バイト) : ユーザマット情報問い合わせに対する応答
- サイズ(1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数(1バイト) : 連続したユーザマットのエリアの数
ユーザマットのエリアが連続の場合は H'01
- エリア先頭アドレス(4バイト) : エリアの先頭アドレス
- エリア最終アドレス(4バイト) : エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM(1バイト) : サムチェック

(9) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムはユーザマットの消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」(1バイト) : 消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」(1バイト) : 消去ブロック情報問い合わせに対する応答
- サイズ(2バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数(1バイト) : フラッシュメモリ消去ブロック数
- ブロック先頭アドレス(4バイト) : ブロックの先頭アドレス
- ブロック最終アドレス(4バイト) : ブロックの最終アドレス
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM(1バイト) : サムチェック

(10) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」(1バイト) : 書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM
-------	------	-----	---------	-----

- レスポンス「H'37」(1バイト) : 書き込みサイズ問い合わせに対する応答
- サイズ(1バイト) : 書き込み単位のサイズの文字数(固定値で2)
- 書き込みサイズ(2バイト) : 書き込み単位のサイズ
このサイズで書き込みデータを受け取る
- SUM(1バイト) : サムチェック

(11) 2面同時書き込み情報問い合わせ

2面同時書き込み情報問い合わせに対して、ブートプログラムは2面同時書き込み可能可否とその先頭アドレスを応答します。

コマンド

H'28

- コマンド「H'28」(1バイト) : 2面同時書き込み情報問い合わせ

レスポンス

H'38	サイズ	書き込み方式
1 面目マット先頭アドレス		2 面目マット先頭アドレス
SUM		

- レスポンス「H'38」(1バイト) : 2面同時書き込み情報問い合わせに対する応答
- サイズ(1バイト) : 書き込み方式、マット先頭アドレスの合計サイズ
書き込み方式が1面書き込みのとき5バイト、2面同時書き込みのとき9バイト
- 書き込み方式(1バイト) : H'01 = 1面書き込み
H'02 = 2面同時書き込み可能
- 1 面目マット先頭アドレス(4バイト) : 1 面目マットの先頭アドレス
- 2 面目マット先頭アドレス(4バイト) : 2 面目マットの先頭アドレス
2 面目マット先頭アドレスのデータは2面同時書き込み可能のときのみ
- SUM(1バイト) : サムチェック

(12) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド

H'3F	サイズ	ビットレート	入力周波数
逡倍比数	逡倍比 1	逡倍比 2	
SUM			

- コマンド「H'3F」(1バイト) : 新ビットレート選択
- サイズ(1バイト) : ビットレート、入力周波数、逡倍比数、逡倍比の合計サイズ
- ビットレート(2バイト) : 新ビットレート
1/100の値とする(たとえば、19200bpsのときは192とし、H'00C0とする)
- 入力周波数(2バイト) : ブートプログラムに入力されるクロック周波数
周波数(MHz)の小数点2位までの値とする(たとえば、28.882MHzのときは小数点2位までを100倍して2888とし、H'0B48とする)
- 逡倍比数(1バイト) : デバイスで選択可能な逡倍比数
通常はメイン動作周波数と周辺モジュール動作周波数で2
- 逡倍比 1(1バイト) : メイン動作周波数の逡倍比または分周比
逡倍比 : 逡倍する数値(例 4逡倍 : H'04)
分周比 : 分周する数値、負の数値(例 2分周 : H'FE[- 2])
- 逡倍比 2(1バイト) : 周辺動作周波数の逡倍比または分周比
逡倍比 : 逡倍する数値(例 4逡倍 : H'04)
分周比 : 分周する数値、負の数値(例 2分周 : H'FE[- 2])
- SUM(1バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : 新ビットレート選択に対する応答
- 選択可能なとき ACK

エラー

レスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」（1バイト）：新ビットレート選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'24：ビットレート選択不可エラー
指定されたビットレートが選択できない
 - H'25：入力周波数エラー
入力周波数が最小値と最大値の範囲にない
 - H'26：逡倍比エラー
逡倍比が一致しない
 - H'27：動作周波数エラー
動作周波数が最小値と最大値の範囲にない

受信したデータのチェック方法を以下に示します。

(1) 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ入力周波数エラーです。

(2) 逡倍比

受信した逡倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する逡倍比または分周比と一致するかどうかをチェックします。一致しなければ逡倍比エラーです。

(3) 動作周波数

受信した入力周波数と逡倍比または分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 × 逡倍比、または、

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ動作周波数エラーです。

(4) ビットレート

ペリフェラル動作周波数（ ）とビットレート（B）から、シリアルモードレジスタ（SMR）のクロックセレクト（CKS）の値（n）とビットレートレジスタ（BRR）の値（N）を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[\frac{\times 10^6}{(N + 1) \times B \times 64 \times 2^{2n - 1}} \right] - 1 \right\} \times 100$$

新ビットレート選択が可能な場合は、ACKを応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストがACKを送信し、ブートプログラムが新ビットレートで応答します。

確認

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答
- 新ビットレート選択のシーケンスを図 22.29 に示します。



図 22.29 新ビットレート選択のシーケンス

書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザマツト、ユーザブートマツトの順にデータを消去します。消去が完了すると、ACK を応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドでLSIのデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答。消去プログラムを転送した後、ユーザブートマツト、ユーザマツトが正常にデータを消去できたとき ACK

エラー

レスポンス

- エラーレスポンス「H'C0」（1バイト）：書き込み消去ステータス遷移に対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラーエラーが発生し消去できなかった

コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドを受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラー

レスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

- (1) サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
- (2) 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
- (3) クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
- (4) 応答されたクロックモードからクロックモードを選んで、クロックモード選択（H'11）をしてください。
- (5) デバイス選択、クロックモード選択が終わったら、逡倍比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
- (6) 逡倍比、動作周波数の情報に従って、新ボーレート選択（H'3F）をしてください。
- (7) デバイス選択、クロックモード選択が終わったら、ユーザブートマット情報問い合わせ（H'24）、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）、2面同時書き込み情報問い合わせ（H'28）で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
- (8) 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧を表 22.19 に示します。

表 22.19 書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの選択
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの選択
H'44	ユーザマット2面同時書き込み選択	ユーザマット2面同時書き込みプログラムの選択
H'50	128バイト書き込み	128バイト書き込み
H'48	消去選択	消去プログラムの選択
H'58	ブロック消去	ブロックデータの消去
H'52	メモリリード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し、書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 3 つがあります。

- (1) ユーザブートマット書き込み選択
- (2) ユーザマット書き込み選択
- (3) ユーザマット2面同時書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイト書き込みコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドと 128 バイト書き込みコマンドのシーケンスを図 22.30 に示します。



図 22.30 書き込みシーケンス

(1) ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド H'42

- コマンド「H'42」（1 バイト）：ユーザブートマット書き込み選択

レスポンス H'06

- レスポンス「H'06」（1 バイト）：ユーザブートマット書き込み選択に対する応答。書き込みプログラムを転送したとき ACK

エラー

レスポンス H'C2 ERROR

- エラーレスポンス「H'C2」（1 バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1 バイト）：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(2) ユーザマット書き込み選択

ユーザマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」(1バイト) : ユーザマット書き込み選択

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザマット書き込み選択に対する応答。書き込みプログラムを転送したとき ACK

エラー

レスポンス

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」(1バイト) : ユーザプログラム書き込み選択に対するエラー応答
- ERROR : (1バイト) : エラーコード
H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

(3) ユーザマット2面同時書き込み選択

ユーザマット2面同時書き込み選択に対して、ブートプログラムは、2面同時書き込みプログラムを転送します。書き込みは転送した2面同時書き込みプログラムで、ユーザマットに2面同時に書き込みます。ホスト側は2面同時書き込みを考慮し、2面マットに対応したアドレスとデータを交互に送信してください。ブートプログラムは1つの128バイト書き込みコマンドごとに「ACK」を返しますが、実際のデータの書き込みは2面分そろってから実施します。

コマンド

H'44

- コマンド「H'44」(1バイト) : ユーザマット2面同時書き込み選択

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザマット2面同時書き込み選択に対する応答。2面同時書き込みプログラムを転送したとき ACK

エラー

レスポンス

H'C4	ERROR
------	-------

- エラーレスポンス「H'C4」(1バイト) : ユーザマット2面同時書き込み選択に対するエラー応答
- ERROR : (1バイト) : エラーコード
H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

(4) 128バイト書き込み

128バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。選択コマンドが2面同時書き込みの場合は、2面のデータを受信した後書き込みを開始します。

コマンド	H'50	書き込みアドレス						
	データ	...						
	...							
	SUM							

- コマンド「H'50」(1バイト) : 128バイト書き込み
- 書き込みアドレス(4バイト) : 書き込み先頭アドレス
「書き込みサイズ問い合わせ」で応答したサイズの倍数、具体的には128バイト境界
例) H'00,H'01,H'00,H'00 : H'01000000
- 書き込みデータ(nバイト) : 書き込みデータ
書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ

- SUM (1 バイト) : サムチェック
- レスポンス

H'06

- レスポンス「H'06」(1 バイト) : 128 バイト書き込みに対する応答
書き込みが完了したとき ACK、ただし2面書き込みでは最初の1面はデータを受信したとき ACK

エラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」(1 バイト) : 128 バイト書き込みに対するエラー応答
- ERROR : (1 バイト) : エラーコード
H'11 : サムチェックエラー
H'2A : アドレスエラー (アドレスが指定のマットの範囲にない)
H'53 : 書き込みエラー (書き込みエラーが発生し書き込めない)

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位バイトを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータがない部分を H'FF に埋めて送信してください。

2面同時書き込みのときは、1面目マットアドレスのデータと2面目マットアドレスのデータを交互に送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。ただし、2面同時書き込みの場合は、最後に受け取ったデータが書き込まれていないときは書き込んでから書き込み処理を終了します。

コマンド

H'50	書き込みアドレス	SUM
------	----------	-----

- コマンド「H'50」(1 バイト) : 128 バイト書き込み
- 書き込みアドレス (4 バイト) : 終了コード (H'FF、H'FF、H'FF、H'FF)
- SUM (1 バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」(1 バイト) : 128 バイト書き込みに対する応答
- 書き込み処理が完了したとき ACK、ただし2面書き込みで最後の1面が書き込み未完のときは書き込み完了のとき ACK

エラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」(1 バイト) : 128 バイト書き込みに対するエラー応答
- ERROR : (1 バイト) : エラーコード
H'11 : サムチェックエラー
H'53 : 書き込みエラー
書き込みエラーが発生し書き込めない
(ただし2面書き込みで最後の1面が書き込み未完のとき)

消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 22.31 に示します。

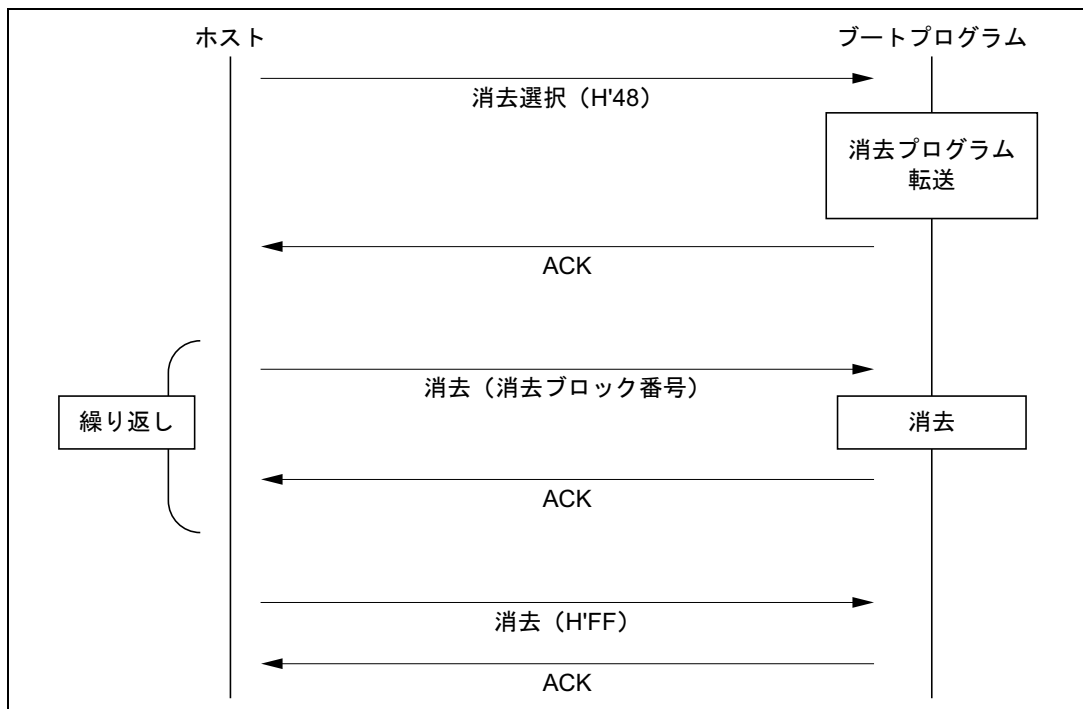


図 22.31 消去シーケンス

(1) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド

H'48

- コマンド「H'48」(1バイト)：消去選択

レスポンス

H'06

- レスポンス「H'06」(1バイト)：消去選択に対する応答
消去プログラムを転送したときACK

エラー

レスポンス

H'C8	ERROR
------	-------

- エラーレスポンス「H'C8」(1バイト)：消去選択に対するエラー応答
- ERROR：(1バイト)：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(2) ブロック消去

消去に対して、ブートプログラムは指定されたユーザマットのブロックを消去します。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」(1バイト)：消去
- サイズ(1バイト)：消去ブロック番号の文字数(固定値で1)
- ブロック番号(1バイト)：データを消去する消去ブロック番号
- SUM(1バイト)：サムチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト)：消去に対する応答

消去が完了したときACK

エラー

レスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'29：ブロック番号エラー
ブロック番号が正しくない
 - H'51：消去エラー
消去中にエラー発生

ブロック番号がH'FFに対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数（固定値で1）
- ブロック番号（1バイト）：H'FF（消去処理の終了コード）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去終了に対する応答 ACK

ブロック番号をH'FFで指定した後、再度、消去を行う場合は、消去選択から実行します。

メモリアード

メモリアードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド

H'52	サイズ	エリア	読み出し先頭アドレス
読み出しサイズ	SUM		

- コマンド「H'52」（1バイト）：メモリアード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）
 - H'00：ユーザブートマット
 - H'01：ユーザマット
 - エリアの指定が正しくないときはアドレスエラー
- 読み出し先頭アドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM（1バイト）：サムチェック

レスポンス

H'52	読み出しサイズ						
データ	...						
SUM							

- レスポンス「H'52」（1バイト）：メモリアードに対する応答
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- データ（nバイト）読み出しアドレスからの読み出しサイズ分のデータ
- SUM（1バイト）：サムチェック

エラー

レスポンス

H'D2	ERROR
------	-------

- エラーレスポンス「H'D2」（1バイト）：メモリリードに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'2A：アドレスエラー
読み出し先頭アドレスがマットの範囲にない
 - H'2B：サイズエラー
読み出しサイズがマットの範囲を超えている、読み出し先頭アドレスと読み出しサイズから計算された読み出し最終アドレスがマットの範囲にない、または読み出しサイズが0

ユーザブートマットのサムチェック

ユーザブートマットのサムチェックに対して、ブートプログラムはユーザブートマットのデータを加算してその結果を応答します。

コマンド

H'4A

- コマンド「H'4A」（1バイト）：ユーザブートマットのサムチェック
- レスポンス

H'5A	サイズ	マットのサムチェック	SUM
------	-----	------------	-----
- レスポンス「H'5A」（1バイト）：ユーザブートマットのサムチェックに対する応答
 - サイズ（1バイト）：サムチェックデータの文字数（固定値で4）
 - マットのサムチェック（4バイト）：ユーザブートマットのサムチェック値バイト単位で加算
 - SUM（1バイト）：サムチェック（送信データの）

ユーザマットのサムチェック

ユーザマットのサムチェックに対して、ブートプログラムはユーザマットのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」（1バイト）：ユーザマットのサムチェック
- レスポンス

H'5B	サイズ	マットのサムチェック	SUM
------	-----	------------	-----
- レスポンス「H'5B」（1バイト）：ユーザマットのサムチェックに対する応答
 - サイズ（1バイト）：サムチェックデータの文字数（固定値で4）
 - マットのサムチェック（4バイト）：ユーザマットのサムチェック値バイト単位で加算
 - SUM（1バイト）：サムチェック（送信データの）

ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- コマンド「H'4C」（1バイト）：ユーザブートマットのブランクチェック
- レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザブートマットのブランクチェックに対する応答。エリアがすべてブランク（H'FF）のとき ACK

エラー

レスポンス

H'CC	H'52
------	------

- エラーレスポンス「H'CC」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」（1バイト）：ユーザマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザマットのブランクチェックに対する応答。エリアがすべてブランク（H'FF）のとき ACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」（1バイト）：ユーザマットのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれでも有効です。

コマンド

H'4F

- コマンド「H'4F」（1バイト）：ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」（1バイト）：ブートプログラムステータス問い合わせに対する応答
- サイズ（1バイト）：データの文字数（固定値で2）
- STATUS（1バイト）：標準ブートプログラムのステータス
「表22.20 ステータスコード」をご覧ください。
- ERROR（1バイト）：エラー状態
ERROR = 0で正常
ERRORが0以外で異常
「表22.21 エラーコード」をご覧ください。
- SUM（1バイト）：サムチェック

表 22.20 ステータスコード

コード	内容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち（ビットレート選択完了）
H'31	ユーザマット、ユーザブートマット消去中
H'3F	書き込み消去選択待ち（消去完了）
H'4F	書き込みデータ受信待ち（書き込み完了）
H'5F	消去ブロック指定待ち（消去完了）

表 22.21 エラーコード

コード	内容
H'00	エラーなし
H'11	サムチェックエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	遅倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

22.10.2 ライタモードの AC 特性、タイミング

表 22.22 メモリ読み出しモード時の AC 特性

条件 : $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

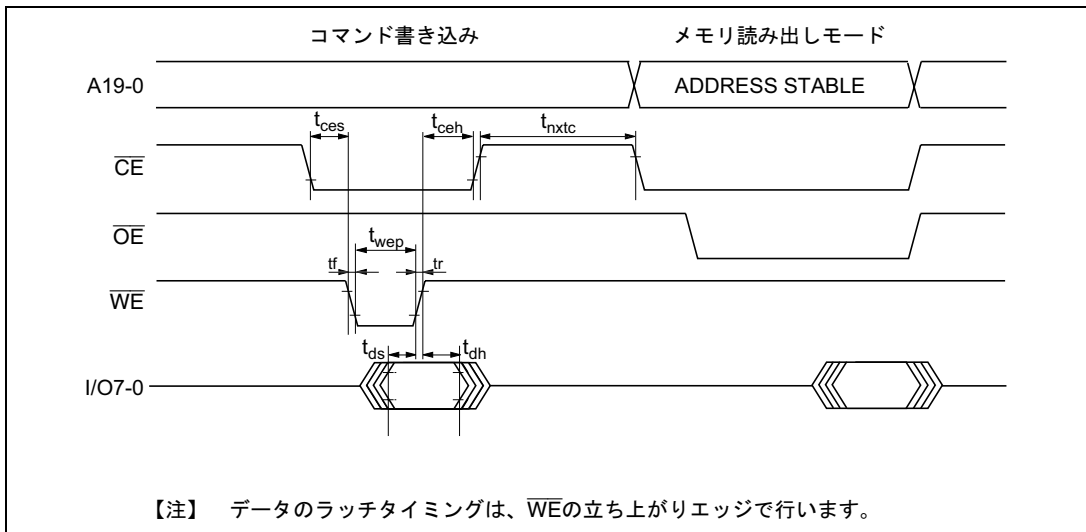


図 22.32 コマンド書き込み後メモリ読み出しタイミング図

表 22.23 メモリ読み出しモードから他のモードへ遷移時の AC 特性

条件 : $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

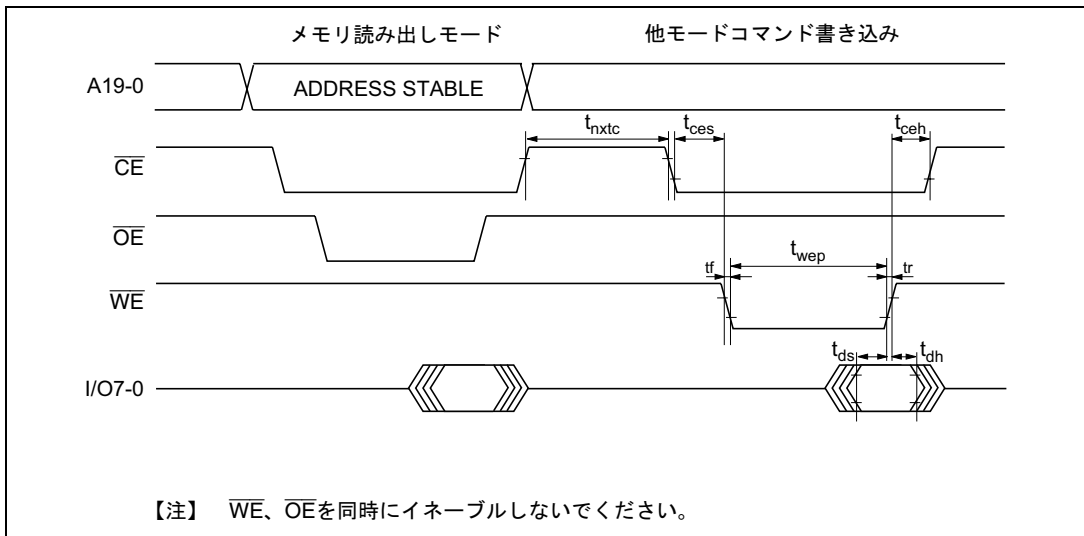


図 22.33 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 22.24 メモリ読み出しモード時の AC 特性

条件 : $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	特記
アクセス時間	t_{acc}		20	μs	
CE 出力遅延時間	t_{ce}		150	ns	
OE 出力遅延時間	t_{oe}		150	ns	
出力ディスエーブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

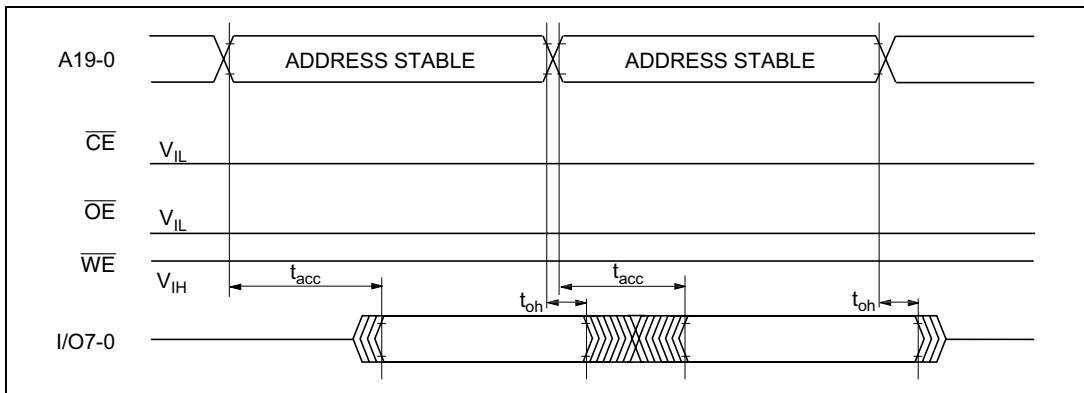


図 22.34 CE、OE イネーブル状態リード時のタイミング波形

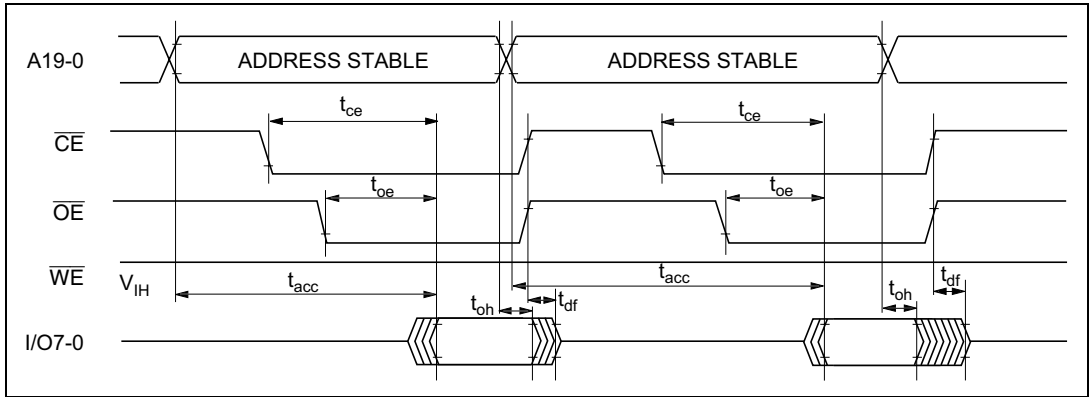
図 22.35 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

表 22.25 自動書き込みモード時の AC 特性

条件 : $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{wsts}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
アドレスセットアップ時間	t_{as}	0		ns	
アドレスホールド時間	t_{ah}	60		ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
書き込みセットアップ時間	t_{pns}	100		ns	
書き込み終了セットアップ時間	t_{pnh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

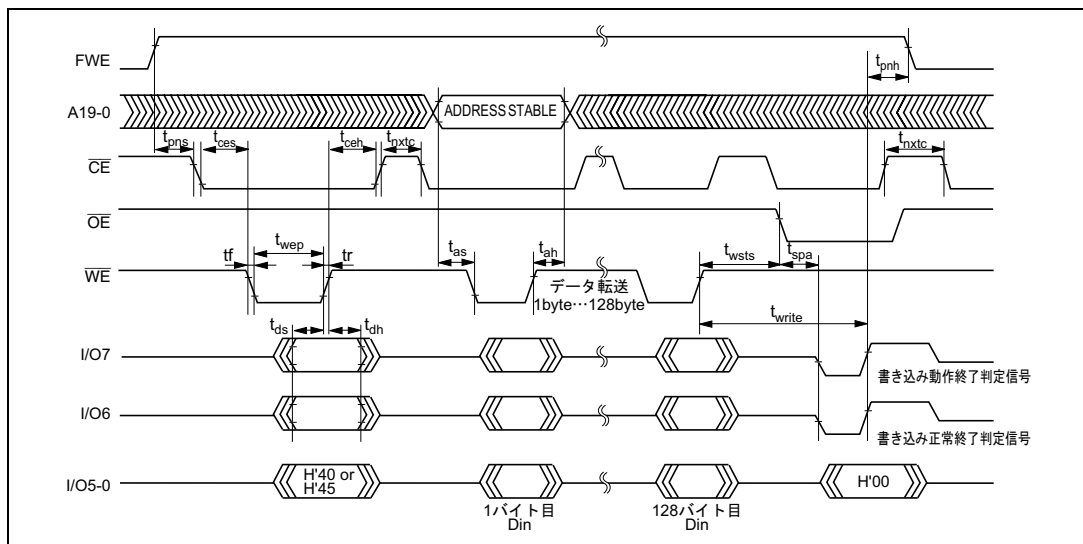


図 22.36 自動書き込みモードのタイミング波形

表 22.26 自動消去モード時の AC 特性

条件 : $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{ests}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
消去セットアップ時間	t_{ens}	100		ns	
消去終了セットアップ時間	t_{enh}	100		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

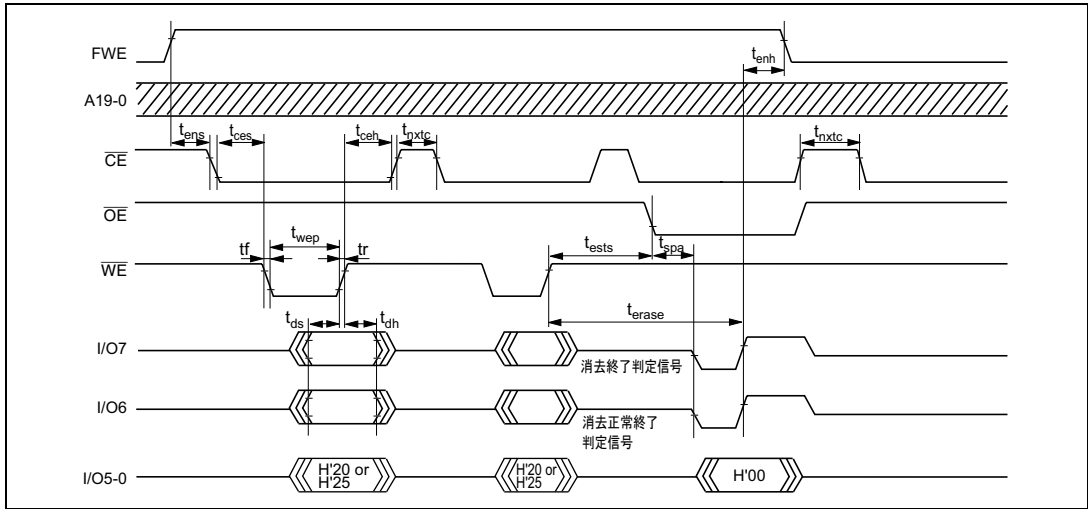


図 22.37 自動消去モードのタイミング波形

表 22.27 ステータス読み出しモード時の AC 特性

条件 : $V_{CC} = 3.3V \pm 0.3V$, $V_{SS} = 0V$, $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	特記
コマンド書き込み後読み出し時間	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
OE 出力遅延時間	t_{oe}		150	ns	
ディスエーブル遅延時間	t_{df}		100	ns	
CE 出力遅延時間	t_{ce}		150	ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

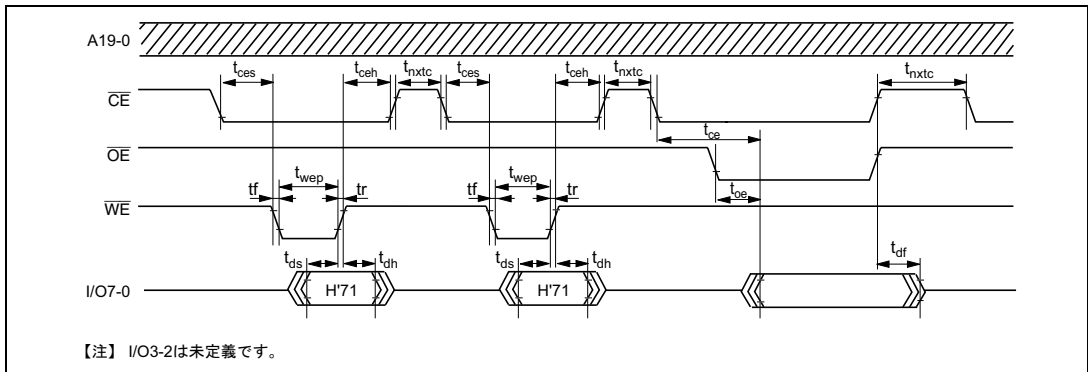


図 22.38 ステータス読み出しモードのタイミング波形

表 22.28 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	特記
スタンバイ解除（発振安定時間）	t_{osc1}	30		ms	
ライターモードセットアップ時間	t_{bmv}	10		ms	
V_{CC} ホールド時間	t_{dwn}	0		ms	

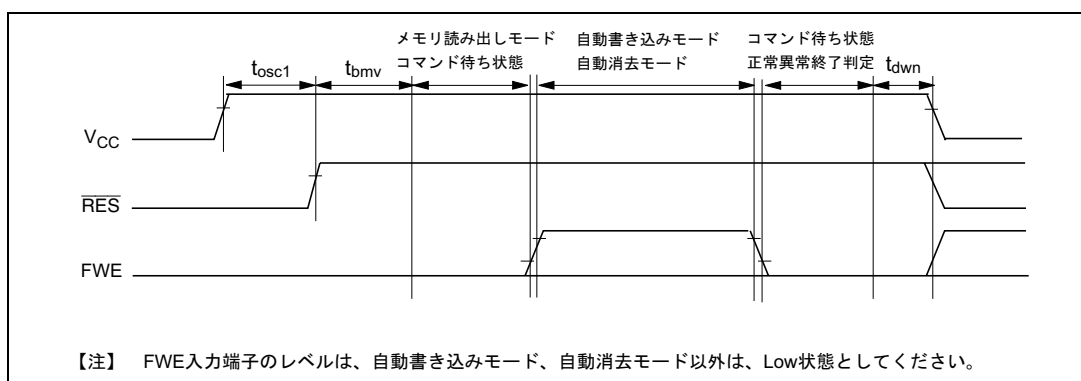


図 22.39 発振安定時間、ライターモードセットアップ時間、電源立ち下げシーケンス

22.10.3 手順プログラム、または書き込みデータの格納可能領域

本文中での書き込み / 消去手順プログラムおよび書き込みデータの格納可能領域は、内蔵 RAM 上に準備している例で示しましたが、以下の条件を守れば他の領域（外部空間領域など）で実行することができます。

- (1) 内蔵の書き込み / 消去実行プログラムは FTDAR レジスタで指定された内蔵 RAM のアドレスからダウンロードされ、実行されるのでここは使用不可能です。
- (2) 内蔵の書き込み / 消去実行プログラムでは、スタック領域を 128 バイト以上使用するので、確保してください。
- (3) SCO ビットを 1 にしてダウンロードの要求を行う処理では、マット切り替えが発生するので内蔵 RAM 上で実施してください。
- (4) 書き込み / 消去を開始する前（ダウンロード結果の判定まで）は、フラッシュメモリはアクセス可能です。シングルチップモードのように外部空間アクセスができないモードでは、この時点までに必要な手続きプログラム、割り込みベクタと割り込み処理ルーチン、ユーザランチ処理プログラムなどを内蔵 RAM に転送してください。
- (5) 書き込み / 消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵 RAM 上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、書き込み / 消去中のユーザランチ先のユーザプログラム、および割り込みのベクタテーブルと割り込み処理プログラムの実行領域も、フラッシュメモリ以外の内蔵 RAM や、外部バス空間にある必要があります。
- (6) 書き込み / 消去完了後の FKEY レジスタのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。
書き込み / 消去完了直後に、LSI モードを変更してリセット動作をさせる場合には、100 μ s 以上のリセット期間（ \overline{RES} = 0 とする期間）を設けてください。
なお、書き込み / 消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100 μ s の通常より長いリセット期間の後に、リセットリリースしてください。
- (7) ユーザブートモードでのユーザマットへの書き込み / 消去処理では、FMATS によるマット切

り替えが必要です。マット切り替えの実行は内蔵RAM上で実施してください。（「22.8.1 ユーザマットとユーザブートマットの切り替え」を参照ください）

- マットの切り替えにおいては、現在どちらのマットが選択されているかご注意ください。
- (8) 書き込み処理のパラメータFMPDRが示す書き込みデータ格納領域がフラッシュメモリ上にあると、エラーと判断しますので、いったん内蔵RAMに転送してFMPDRの示すアドレスはフラッシュメモリ空間以外としてください。

これらの条件を考慮し、各動作モード / 処理内容ごとの組み合わせでの、書き込みデータ格納エリアおよび実行が可能なエリアをあらわす表を示します。

表 22.29 実行可能マットまとめ

処理	起動モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 22.29 (1)	表 22.29 (3)
消去	表 22.29 (2)	表 22.29 (4)

【注】 * ユーザマットに対しての書き込み / 消去が可能です。

表 22.30 (1) ユーザプログラムモードでの書き込み処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット	
	内蔵 RAM	ユーザマット	外部空間 (MD0=0の 拡張時)	ユーザマット	組み込み プログラム 格納マット
書き込みデータの格納領域		× ^{*1}		-	-
ダウンロードする内蔵プログラムの選択処理					
キーレジスタへのH'A5書き込み処理					
FCCSのSCO=1書き込み実行(ダウンロード)		×	×		
キーレジスタクリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		×	×		
初期化結果の判定					
初期化エラー処理					
割り込み処理ルーチン		×			
キーレジスタへのH'A5書き込み処理					
書き込みパラメータの設定処置		×			
書き込み実行		×	×		
書き込み結果の判定		×			
書き込みエラー処理		×			
キーレジスタクリア処理		×			

【注】 *1 事前に内蔵 RAM に転送しておけば可能です。

表 22.30 (2) ユーザプログラムモードでの消去処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマツト	
	内蔵 RAM	ユーザマツト	外部空間 (MD0=0の 拡張時)	ユーザマツト	組み込み プログラム 格納マツト
ダウンロードする内蔵プログラムの選択処理					
キーレジスタへのH'A5書き込み処理					
FCCSのSCO=1書き込み実行(ダウンロード)		×	×		
キーレジスタクリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		×	×		
初期化結果の判定					
初期化エラー処理					
割り込み処理ルーチン		×			
キーレジスタへのH'5A書き込み処理					
消去パラメータの設定処置		×			
消去実行		×	×		
消去結果の判定		×			
消去エラー処理		×			
キーレジスタクリア処理		×			

消去手順



表 22.30 (3) ユーザブートモードでの書き込み処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブートマット	外部空間 (MD0=0の拡張時)	ユーザマット	ユーザブートマット	組み込みプログラム格納マット
書き込みデータの格納領域		× ^{*1}		-	-	-
ダウンロードする内蔵プログラムの選択処理						
キーレジスタへのH'A5書き込み処理						
FCCSのSCO=1書き込み実行 (ダウンロード)		×	×			
キーレジスタクリア処理						
ダウンロード結果の判定						
ダウンロードエラー処理						
初期化パラメータの設定処理						
初期化実行		×	×			
初期化結果の判定						
初期化エラー処理						
割り込み処理ルーチン		×				
FMATSによるマット切り替え		×	×			
キーレジスタへのH'5A書き込み処理		×				
書き込みパラメータの設定処置		×				
書き込み実行		×	×			
書き込み結果の判定		×				
書き込みエラー処理		× ^{*2}				
キーレジスタクリア処理		×				
FMATSによるマット切り替え		×	×			

【注】 *1 事前に内蔵 RAM に転送しておけば可能です。

*2 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

表 22.30 (4) ユーザブートモードでの消去処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブートマット	外部空間 (MD0=0の拡張時)	ユーザマット	ユーザブートマット	組み込みプログラム格納マット
ダウンロードする内蔵プログラムの選択処理						
キーレジスタへのH'A5書き込み処理						
FCCSのSCO=1書き込み実行 (ダウンロード)		×	×			
キーレジスタクリア処理						
ダウンロード結果の判定						
ダウンロードエラー処理						
初期化パラメータの設定処理						
初期化実行		×	×			
初期化結果の判定						
初期化エラー処理						
割り込み処理ルーチン		×				
FMATSによるマット切り替え		×	×			
キーレジスタへのH'5A書き込み処理		×				
消去パラメータの設定処理		×				
消去実行		×	×			
消去結果の判定		×				
消去エラー処理		×*2				
キーレジスタクリア処理		×				
FMATSによるマット切り替え		×	×			

【注】 *2 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

23. RAM

23.1 概要

23.1.1 概要

SH7055SF は 32k バイトの RAM を内蔵しています。内蔵 RAM は、32 ビット幅のデータバスを通して、CPU、ダイレクトメモリアクセスコントローラ (DMAC)、およびアドバンストユーザデバッグ (AUD) に接続されています (図 23.1)。

CPU、DMAC、AUD は 8、16 または 32 ビット幅で内蔵 RAM をアクセスすることができます。内蔵 RAM のデータは、常に 1 ステートでアクセスできます。したがって、高速アクセスが必要なプログラムエリア、あるいはスタックエリアやデータアクセスとしての使用に適しています。内蔵 RAM の内容はスリープモード、ソフトウェアスタンバイモードでは保持されます。後述の RAME ビットが 0 に設定されている場合、ハードウェアスタンバイモードでも保持されます。

内蔵 RAM は、アドレス H'FFFF6000 ~ H'FFFFDFFF に割り付けられています。

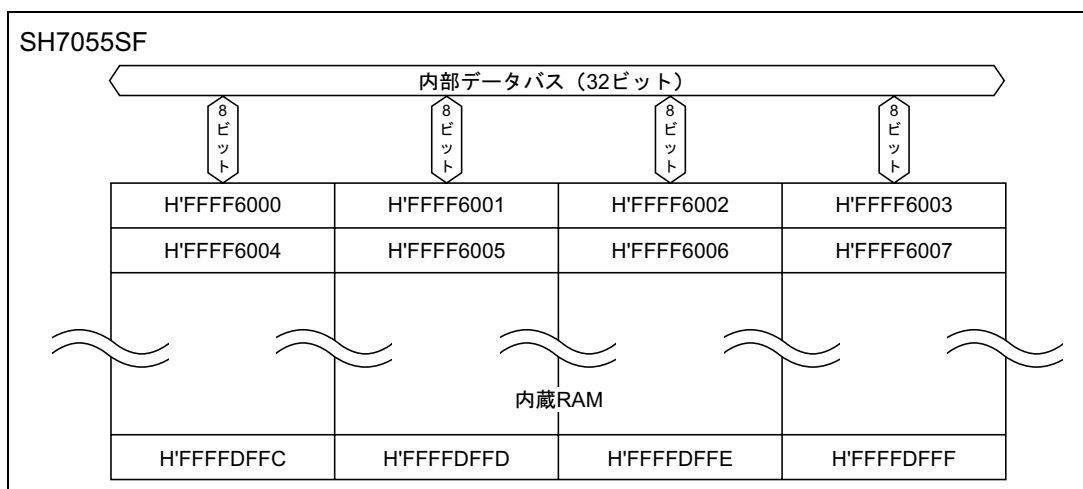


図 23.1 RAM のブロック図

23.2 動作説明

内蔵 RAM は、システムコントロールレジスタ (SYSCR) で制御されます。

SYSCR の RAME ビットを 1 にセットすると内蔵 RAM が有効になります。このときアドレス H'FFFF6000 ~ H'FFFFDFFF をアクセスすると内蔵 RAM がアクセスされます。

SYSCR の RAME ビットを 0 にクリアすると内蔵 RAM はアクセスされません。読み出すと不定値が読み出され、書き込みは無効です。SYSCR の RAME ビットを 0 にクリアした後、ハードウェアスタンバイモードに移移すると、内蔵 RAM の値は保持されます。

SYSCR についての詳しくは「第 24 章 低消費電力状態」の「24.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

24. 低消費電力状態

24.1 概要

低消費電力モードとして、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、スリープモードの3種類のモードおよび一部モジュールのモジュールストップ機能があります。LSIの消費電力を低減させたいアプリケーションにより、各スタンバイモードを選択することができます。

24.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモードがあります。

(1) ハードウェアスタンバイモード

RES、HSTBY端子の入力レベルによりハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイ中はLSIの全機能が停止します。この状態からは、パワーオンリセットにより復帰します。

(2) ソフトウェアスタンバイモード

ソフトウェア（CPUの命令）によってソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイ中はLSIの全機能が停止します。

この状態からは、パワーオンリセット、NMI割り込みにより復帰します。

(3) スリープモード

CPUの命令によってスリープモードに遷移します。基本的にCPU以外の内蔵周辺モジュールは動作します。この状態からは、パワーオンリセット、マニュアルリセット、割り込み、DMAアドレスエラーにより復帰します。

(4) モジュールスタンバイ機能

モジュールスタンバイ可能な内蔵周辺モジュール*について、クロックの供給を停止してそのモジュールの動作を停止させることができます。モジュールスタンバイコントロールレジスタ（MSTCR）の各ビットにより、それぞれのモジュールのクロック供給を制御できます。

【注】* AUD、H-UDI、FPU、UBC

24. 低消費電力状態

プログラム実行状態から、各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 24.1 に示します。

表 24.1 低消費電力状態

モード	遷移条件	状態						解除方法
		クロック	CPU	CPU レジスタ	内蔵周辺 モジュール	RAM	端子	
ハードウェア スタンバイ	HSTBY 端子に ローレベルを 入力	停止	停止	不定	停止	保持*2	初期化	HSTBY 端子にハ イレベルを入力し て、パワーオンリ セット
ソフトウェア スタンバイ	SBYCR の SSBY ビット が 1 の状態で SLEEP 命令を 実行	停止	停止	保持	停止*1	保持	保持また はハイイ ンピーダ ンス*3	(1)NMI 割り込み (2)パワーオンリ セット
スリープ	SBYCR の SSBY ビット が 0 の状態で SLEEP 命令を 実行	動作	停止	保持	動作	保持	保持	(1)割り込み (2)DMA アドレスエ ラー (3)パワーオン リセット (4)マニュアル リセット

SBYCR : スタンバイコントロールレジスタ

SSBY : ソフトウェアスタンバイビット

- 【注】 *1 内蔵周辺モジュールのレジスタの中には、ソフトウェアスタンバイモードによって初期化されるものとされないものがあります。「表 A.2 リセット、低消費電力状態でのレジスタ状態」および各周辺モジュールの「レジスタの説明」の項を参照してください。
- *2 プログラム実行状態からハードウェアスタンバイ状態に遷移する場合には、事前に SYSCR の RAME ビットを"0"にクリアする必要があります。
- *3 スタンバイモード時の I/O ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で設定します。「24.2.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。端子状態は、「付録 B. 端子状態」を参照してください。

24.1.2 端子構成

低消費電力モードに関連する端子を表 24.2 に示します。

表 24.2 端子構成

名称	略称	入出力	機能
ハードウェアスタンバイ入力端子	HSTBY	入力	入力レベルによりハードウェアスタンバイモードに遷移します。
パワーオンリセット入力端子	RES	入力	パワーオンリセット信号の入力端子です。

24.1.3 関連レジスタ

低消費電力モードに関連するレジスタを表 24.3 に示します。

表 24.3 レジスタ構成

名称	略称	R/W	初期値	アドレス		アクセス サイズ
				書き込み	読み出し	
スタンバイコントロールレジスタ	SBYCR	R/W	H'1F	H'FFFF EC14		8
システムコントロールレジスタ	SYSCR	R/W	H'01*3	H'FFFF F708		8
モジュールスタンバイコントロールレジスタ	MSTCR	R/W	H'01	H'FFFF F70A*1	H'FFFF F70B*2	8、16

【注】 レジスタアクセスは、SBYCR は 3 サイクル、SYSCR および MSTCR は 4~5 サイクルです。

- *1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。
- *2 読み出しは、バイト単位で行ってください。ワード単位およびロングワード単位では、正しい値を読み出すことができません。
- *3 SYSCR のビット 7 の初期値は不定です。

24.2 レジスタの説明

24.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット:	7	6	5	4	3	2	1	0
	SSBY	HIZ	—	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R	R	R	R	R	R

スタンバイコントロールレジスタ (SBYCR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、スタンバイモードへの遷移およびスタンバイモード時のポート状態を設定します。

SBYCR は、パワーオンリセットで H'1F に初期化されます。

ビット 7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

ウォッチドッグタイマ (WDT) の動作中 (WDT のタイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) が 1 のとき) には、SSBY ビットは 1 にセットできません。

ソフトウェアスタンバイモードへ遷移するときは、必ず TME ビットを 0 にクリアして WDT を停止させてから、SSBY ビットをセットしてください。

ビット 7	説明
SSBY	
0	SLEEP 命令の実行により、スリープモードへ遷移 (初期値)
1	SLEEP 命令の実行により、ソフトウェアスタンバイモードへ遷移

ビット 6: ポートハイインピーダンス (HIZ)

ソフトウェアスタンバイモード時に、I/O ポートの端子状態を保持するかハイインピーダンスにするかを選択します。

WDT の TCSR の TME ビットが 1 にセットされていると、HIZ ビットは 1 にセットできません。I/O ポートの端子状態をハイインピーダンスにするときは、必ず TME ビットを 0 にクリアしてから HIZ ビットをセットしてください。

ビット 6	説明
HIZ	
0	ソフトウェアスタンバイモード時に、端子状態を保持する (初期値)
1	ソフトウェアスタンバイモード時に、端子状態をハイインピーダンス

ビット 5: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4~0: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

24.2.2 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	AUDSRST	RAME
初期値:	—	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R/W	R/W

システムコントロールレジスタ (SYSCR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、AUD ソフトウェアリセット制御と、内蔵 RAM へのアクセスの許可 / 禁止を設定します。

SYSCR は、パワーオンリセットの立ち上がりエッジで H'01 に初期化されます。

ビット 7: 予約ビット

読み出す値は不定値です。書き込む値は常に 0 にしてください。

ビット 6~2: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1: AUD ソフトウェアリセット (AUDSRST)

AUD のリセットをソフトウェアで制御します。AUDSRST ビットを 1 にセットすると AUD モジュールはパワーオンリセット状態になります。

ビット 1	説明
AUDSRST	
0	AUD のリセットを解除する (初期値)
1	AUD をリセット状態にする

ビット 0: RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットを 1 にセットすると内蔵 RAM が有効になります。0 にクリアすると内蔵 RAM はアクセスできません。このとき、内蔵 RAM からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM へのライトは無視されます。初期値は 1 です。

なお、本ビットを 0 にクリアして内蔵 RAM を無効にする場合、SYSCR へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM を有効にする場合、SYSCR へのライト命令の直後に SYSCR のリード命令を置いてください。もし、SYSCR ライト命令の直後に内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

ビット 0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

24.2.3 モジュールスタンバイコントロールレジスタ (MSTCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	MSTOP3	MSTOP2	MSTOP1	MSTOP0
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

モジュールスタンバイコントロールレジスタ (MSTCR) は、読み出し/書き込み可能な 8 ビットのレジスタで、内蔵モジュールのうち AUD、H-UDI、FPU、UBC のスタンバイ制御をします。

MSTCR は、パワーオンリセットで H'01 に初期化されます。

【注】 MSTCR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「24.2.4 レジスタアクセス時の注意」を参照してください。

ビット 7~4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3: モジュールストップ 3 (MSTOP3)

内蔵周辺モジュールのうち AUD へのクロック供給停止を指定します。

MSTOP3 ビットに 1 をセットすると AUD へのクロック供給を停止します。

AUD へのクロック供給の停止を解除する場合は、システムコントロールレジスタ (SYSCR) の AUD ソフトウェアリセット (AUDSRST) を AUD リセット状態に設定してから解除してください。その後 AUD のリセットを解除することにより、AUD の使用が可能になります。

ビット 3	説明
MSTOP3	
0	AUD は動作 (初期値)
1	AUD へのクロック供給を停止

ビット 2: モジュールストップ 2 (MSTOP2)

内蔵周辺モジュールのうち H-UDI へのクロック供給停止を指定します。

MSTOP2 ビットに 1 をセットすると H-UDI へのクロック供給を停止します。

ビット 2	説明
MSTOP2	
0	H-UDI は動作 (初期値)
1	H-UDI へのクロック供給を停止

ビット1：モジュールストップ1（MSTOP1）

内蔵周辺モジュールのうち FPU へのクロック供給の停止を指定します。

MSTOP1 ビットに 1 をセットすると FPU へのクロック供給を停止します。

MSTOP1 ビットに 1 をセットした後、0 をライトしてクリアすることはできません。

つまり、MSTOP1 ビットに 1 をセットして FPU へのクロック供給をいったん停止した後、MSTOP1 ビットを 0 クリアして FPU へのクロック供給を再開することはできません。

FPU のクロック供給を停止した後、再開するには、LSI をパワーオンリセットしてください。

ビット1	説明
MSTOP1	
0	FPU は動作 (初期値)
1	FPU へのクロック供給を停止

ビット0：モジュールストップ0（MSTOP0）

内蔵周辺モジュールのうち UBC へのクロック供給停止を指定します。

MSTOP0 ビットを 0 にクリアすると UBC へのクロック供給を開始します。

UBC へのクロック供給を停止すると UBC のレジスタを含めた内部状態はリセットされます。

ビット0	説明
MSTOP0	
0	UBC は動作
1	UBC へのクロック供給を停止 (初期値)

24.2.4 レジスタアクセス時の注意

モジュールスタンバイコントロールレジスタ（MSTCR）は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。

MSTCR へ書き込むときは、必ずワード転送命令を使用してください、バイト転送命令では、書き込みません。図 24.1 に示すように上位バイトを H'3C にし、下位バイトを書き込みデータにして転送してください。

読み出しは、一般のレジスタと同様の方法で行うことができます。

MSTCR はアドレス H'FFFFFF70A に割り当てられています。読み出すときは必ずバイト転送命令を使用してください。

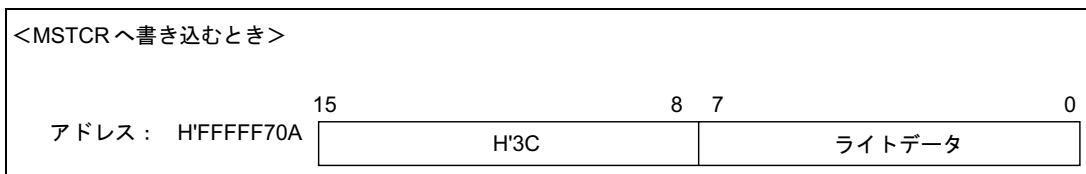


図 24.1 MSTCR への書き込み

24.3 ハードウェアスタンバイモード

24.3.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{HSTBY}}$ 端子および $\overline{\text{RES}}$ 端子にローレベルを入力するとハードウェアスタンバイモードに遷移します。モード設定端子は、「第4章 動作モード」に示す端子設定を行ってください。それ以外の端子設定の場合の動作は保障できません。

ハードウェアスタンバイモード中は LSI の全機能が停止するので、消費電力は著しく低減されます。この機能は、外部端子入力によりハードウェアスタンバイモードに遷移するため、現在の LSI の状態にかかわらず非同期にこのモードに遷移します。このため、ハードウェアスタンバイモードに遷移する前の LSI の状態は保持しません。ただし、内蔵 RAM のデータは、規定の電圧が与えられている限り保持することができます。内蔵 RAM を保持するためには、 $\overline{\text{HSTBY}}$ 端子をローレベルにする前に、システムコントロールレジスタ (SYSCR) の RAM イネーブルビット (RAME) を 0 にクリアしてください。ハードウェアスタンバイモード中のレジスタ状態については「付録 A.2 リセット、低消費電力状態でのレジスタ状態」を、端子状態については「付録 B. 端子状態」を参照してください。

24.3.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{HSTBY}}$ 端子および $\overline{\text{RES}}$ 端子で行われます。

$\overline{\text{RES}}$ 端子をローレベルにした状態で、 $\overline{\text{HSTBY}}$ 端子をハイレベルにすると、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は、必ずクロックの発振が安定するまでローレベルに保持してください。 $\overline{\text{RES}}$ 端子をハイレベルにすると、パワーオンリセット例外処理を経て、プログラム実行状態に遷移します。

24.3.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 24.2 に示します。

$\overline{\text{RES}}$ 端子をローレベルにした後、 $\overline{\text{HSTBY}}$ 端子をローレベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{HSTBY}}$ をハイレベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子をローレベルからハイレベルにすることで行われます。

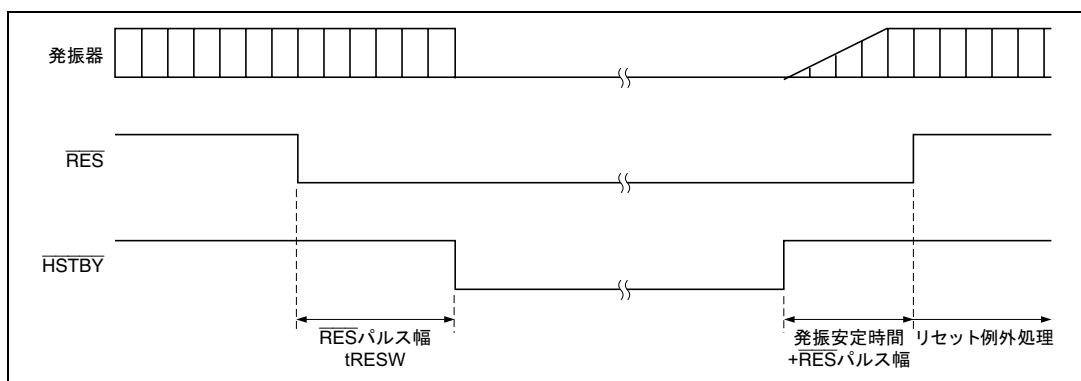


図 24.2 ハードウェアスタンバイモードのタイミング

24.4 ソフトウェアスタンバイモード

24.4.1 ソフトウェアスタンバイモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 1 にセットした後で SLEEP 命令を実行すると、本 LSI はプログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロック発振器や内蔵周辺モジュールも停止するため、消費電力が著しく低減されます。CPU のレジスタ内容と内蔵 RAM のデータ (ただし、SYSCR の RAME ビットが 0 のとき) は、規定の電圧が与えられている限り保持されます。内蔵周辺モジュールのレジスタの中には、初期化されるものとされないものがあります。レジスタの状態については「付録 A.2 リセット、低消費電力状態でのレジスタ状態」を参照してください。I/O ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で、保持またはハイインピーダンスを選択することができます。その他の端子状態については「付録 B. 端子状態」を参照してください。

24.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは NMI 割り込み、パワーオンリセットにより解除されます。

(1) NMI 割り込み入力による解除

NMI 端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) で選択) が検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタにだけ供給されます。

発振安定時間をカウントするカウンタは、入力クロックの周波数で $2^{16}-65536$ カウントするとオーバフローします。このカウントクロックは PLL 逡倍回路がロックインするまで周波数が不安定なため、絶対時間としては多少前後します。また、その間 CK 端子からのクロック出力はハイレベルとなります。

発振安定カウンタにより発振安定時間をカウントするとクロックが安定したと判断され、本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI 例外処理が開始されます。

なお、立ち下がりエッジに設定した NMI 端子で、ソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき (クロック停止時) の NMI 端子のレベルがハイレベルに、かつソフトウェアスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定した NMI 端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき (クロック停止時) の NMI 端子のレベルがローレベルに、かつソフトウェアスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがハイレベルになるようにしてください。

(2) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、ソフトウェアスタンバイモードは解除されます。

24.4.3 ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 24.3 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 1

24. 低消費電力状態

にセットして SLEEP 命令を実行すると、ソフトウェアスタンバイモードに移ります。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

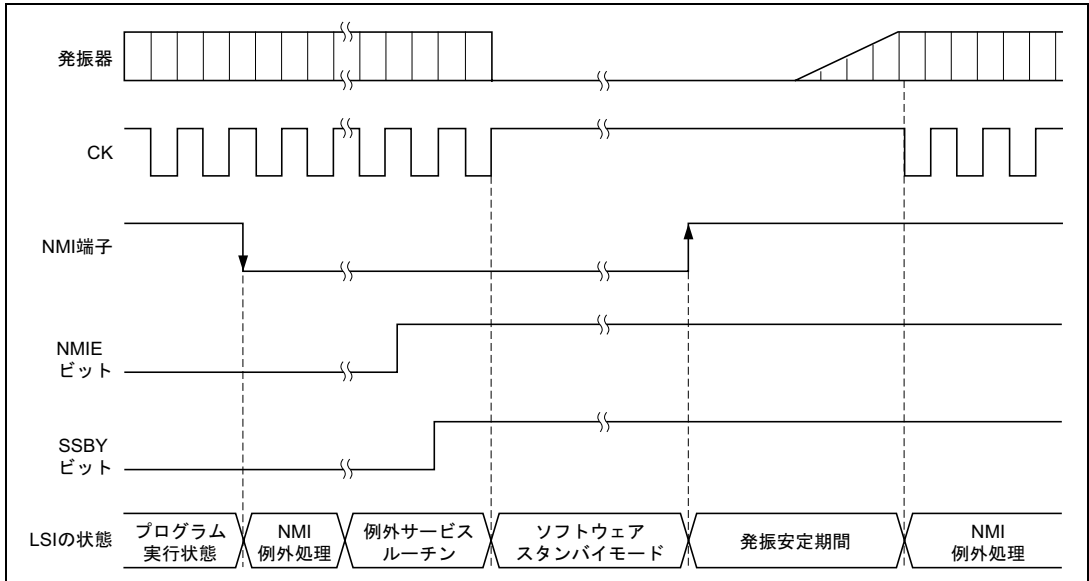


図 24.3 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

24.5 スリープモード

24.5.1 スリープモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 0 にクリアした後で SLEEP 命令を実行すると、本 LSI はプログラム実行状態からスリープモードに遷移します。

CPU は SLEEP 命令実行直後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。レジスタの状態については「付録 A.2 リセット、低消費電力状態でのレジスタ状態」を参照してください。

24.5.2 スリープモードの解除

(1) 割り込みにより解除

割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みが、モジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

(2) DMA アドレスエラーによる解除

DMA アドレスエラーが発生すると、スリープモードが解除され、DMA アドレスエラー例外処理が実行されます。

(3) マニュアルリセットによる解除

WDT による内部マニュアルリセットが発生し、内部マニュアルリセット期間中に CPU がバス権を獲得すると、本 LSI はマニュアルリセット状態に遷移し、スリープモードは解除されます。

(4) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルを入力するか、WDT による内部パワーオンリセットが発生すると、本 LSI はパワーオンリセット状態に遷移し、スリープモードは解除されます。

25. 信頼性について

25.1 信頼性について

半導体デバイスの信頼性指標は故障率（Failure Rate）で表します。この故障率は図 25.1 に示すように、時間に対してバスタブ（Bathtub）曲線を描くといわれています。この曲線は、故障の発生具合から初期故障期間、偶発故障期間（耐用寿命）、摩耗故障期間と呼ばれる三つの期間に分けられます。初期故障期間に発生する初期故障は、製造工程での異物の付着や局所的な化学汚染などが原因となっており、スクリーニングにより取り除かれます。摩耗故障期間に発生する摩耗故障は、長期間の使用により半導体デバイスを構成する材料が経時的に劣化することが原因となります。偶発故障期間に発生する偶発故障は、わずかな不具合を持った製品がスクリーニングで除去されずに出荷されお客様での製造工程やフィールドで故障に至るものや、製造時のばらつきにより摩耗故障期間で発生すべき故障が早めに発生するものと考えられます。したがって、半導体デバイスの信頼性は、初期故障低減のための適切なスクリーニングと摩耗故障の立ち上がりを抑える高信頼性設計により確保されます。製品の開発にあたっては、量産試作を行い大量データでの初期故障率の確認と、摩耗故障に対して実用時の使用環境を考慮した加速寿命試験により製品の信頼性を確認します。

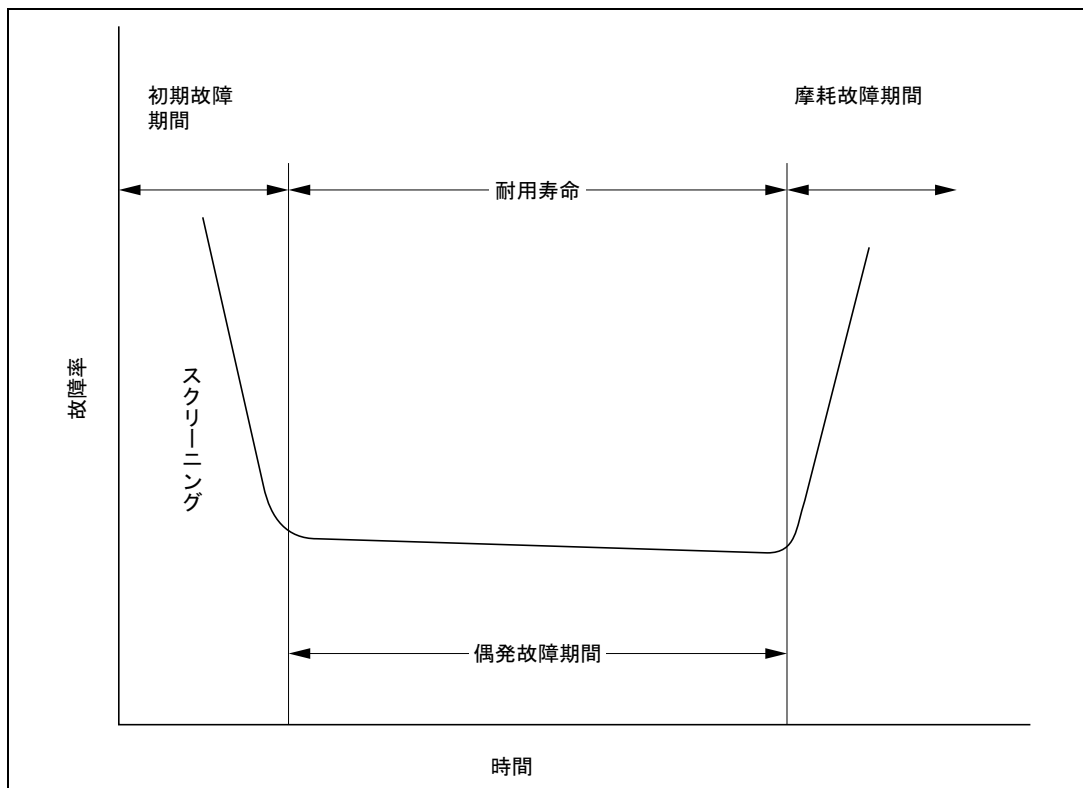


図 25.1 故障率曲線（バスタブカーブ）

25. 信頼性について

自動車分野で使用されることを目的に開発された製品については、民生および産業分野に比べ厳しい環境で使用されることを前提に信頼性の評価を行います。半導体デバイスの代表的な故障現象である酸化膜の絶縁破壊や配線のエレクトロマイグレーションなどは摩耗故障であり、故障のストレス要因としては実用時の電圧または電流と温度があげられます。従来から自動車用の製品については、動作保証温度が - 40 から 85 であることから、前述の故障現象に対し - 40 から 85 の範囲で動作したときの信頼性を加速寿命試験により確認しています。85 を超える動作においては、半導体デバイスの故障が温度に依存するため、故障が発生するまでの時間が大幅に減少します。摩耗故障の1つである酸化膜の絶縁破壊を例として、図 25.2 に半導体デバイスの寿命の温度依存性を示します。図 25.2 から 85 での寿命に対し 125 での寿命は 1/10 程度と予測され、フィールドで故障が発生する確率が高まります。したがって、85 を超える動作の保証に対しては、動作保証温度の上限での動作時間を 3000 時間と仮定した上で信頼性を確認しています。

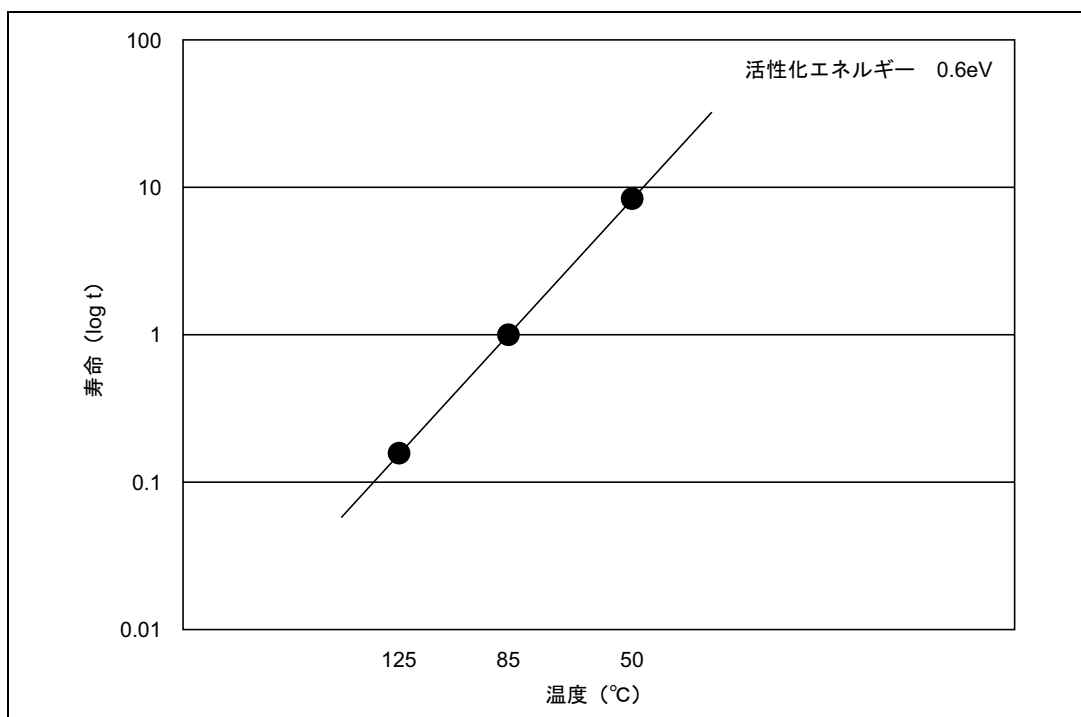


図 25.2 酸化膜の絶縁破壊の温度依存性

26. 電気的特性

26.1 絶対最大定格

絶対最大定格を表 26.1 に示します。

表 26.1 絶対最大定格

項目		記号	定格値	単位	備考
電源電圧*	端子名	V_{CC} $PLL_{V_{CC}}$	$-0.3 \sim +4.3$	V	PLLCAP、EXTAL、XTAL、CK、H-UDI 端子が該当。 (V_{CC} と $PLL_{V_{CC}}$ は同一電圧)
		PV_{CC1} PV_{CC2}	$-0.3 \sim +6.5$	V	PLLCAP、EXTAL、XTAL、CK、H-UDI 端子およびアナログ入力を除く
入力電圧	EXTAL、H-UDI 端子	V_{in}	$-0.3 \sim V_{CC}+0.3$	V	
	アナログ入力、EXTAL、H-UDI 端子以外の全端子	V_{in}	$-0.3 \sim PV_{CC}+0.3$	V	表 26.2 電源名と端子の対応を参照
アナログ電源電圧		AV_{CC}	$-0.3 \sim +7.0$	V	
アナログ基準電圧		AV_{ref}	$-0.3 \sim AV_{CC}+0.3$	V	
アナログ入力電圧		V_{AN}	$-0.3 \sim AV_{CC}+0.3$	V	
動作温度** (内蔵フラッシュメモリの W/E 除く)		T_{opr}	$-40 \sim +125$	°C	
動作温度 (内蔵フラッシュメモリの W/E)		TWE_{opr}	$-40 \sim +85$	°C	
保存温度		T_{stg}	$-55 \sim +125$	°C	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

PV_{CC} 、 V_{CC} の 5/3V 系の 2 電源電圧を同時に使用することがある製品です。マニュアルに規定する電源端子の接続、印加電源電圧の組み合わせ条件と、各端子に印加可能な電圧、出力される電圧の条件を守って使用してください。規定と異なる電源の接続や電圧での LSI の使用は LSI の永久破壊、LSI を実装したシステムへのダメージを生じる場合があります。

【注】 * V_{CL} ピンには電源電圧を印加しないでください。GND との間に外付けコンデンサ (0.33 ~ 0.47 μ F) を接続してください。

** -40 ~ 85 を超える環境下で使用する場合、動作時間は下記累積時間以内になります。

動作温度範囲	累積動作時間
85 ~ 125	3000 時間

26.2 DC 特性

電源名と端子の対応を表 26.2 に示します。

DC 特性を表 26.4 に示します。

表 26.2 電源名と端子の対応

ピン No.	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
1			PD8	PULS0			PV _{cc2}	PV _{cc2} +0.3	
2			PD9	PULS1			PV _{cc2}	PV _{cc2} +0.3	
3			PD10	PULS2			PV _{cc2}	PV _{cc2} +0.3	
4			PD11	PULS3			PV _{cc2}	PV _{cc2} +0.3	
5			PD12	PULS4			PV _{cc2}	PV _{cc2} +0.3	
6			PD13	PULS6	HTxD0	HTxD1	PV _{cc2}	PV _{cc2} +0.3	
7			PE0	A0			PV _{cc1}	PV _{cc1} +0.3	
8			PE1	A1			PV _{cc1}	PV _{cc1} +0.3	
9			PE2	A2			PV _{cc1}	PV _{cc1} +0.3	
10			PE3	A3			PV _{cc1}	PV _{cc1} +0.3	
11	V _{cc}								
12			PE4	A4			PV _{cc1}	PV _{cc1} +0.3	
13	V _{ss}								
14			PE5	A5			PV _{cc1}	PV _{cc1} +0.3	
15			PE6	A6			PV _{cc1}	PV _{cc1} +0.3	
16			PE7	A7			PV _{cc1}	PV _{cc1} +0.3	
17			PE8	A8			PV _{cc1}	PV _{cc1} +0.3	
18			PE9	A9			PV _{cc1}	PV _{cc1} +0.3	
19			PE10	A10			PV _{cc1}	PV _{cc1} +0.3	
20	PV _{cc1}								
21			PE11	A11			PV _{cc1}	PV _{cc1} +0.3	
22	V _{ss}								
23			PE12	A12			PV _{cc1}	PV _{cc1} +0.3	
24			PE13	A13			PV _{cc1}	PV _{cc1} +0.3	
25			PE14	A14			PV _{cc1}	PV _{cc1} +0.3	
26			PE15	A15			PV _{cc1}	PV _{cc1} +0.3	
27			PF0	A16			PV _{cc1}	PV _{cc1} +0.3	
28			PF1	A17			PV _{cc1}	PV _{cc1} +0.3	
29			PF2	A18			PV _{cc1}	PV _{cc1} +0.3	
30	V _{cl}								
31			PF3	A19			PV _{cc1}	PV _{cc1} +0.3	
32	V _{ss}								
33			PF4	A20			PV _{cc1}	PV _{cc1} +0.3	
34			PF5	A21	POD		PV _{cc1}	PV _{cc1} +0.3	
35			PF6	WRL			PV _{cc1}	PV _{cc1} +0.3	
36			PF7	WRH			PV _{cc1}	PV _{cc1} +0.3	
37			PF8	WAIT			PV _{cc1}	PV _{cc1} +0.3	
38			PF9	RD			PV _{cc1}	PV _{cc1} +0.3	
39	PV _{cc1}								

ピン No.	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
40			PF10	$\overline{CS0}$			PV _{cc1}	PV _{cc1} +0.3	
41	V _{ss}								
42			PF11	$\overline{CS1}$			PV _{cc1}	PV _{cc1} +0.3	
43			PF12	$\overline{CS2}$			PV _{cc1}	PV _{cc1} +0.3	
44			PF13	$\overline{CS3}$			PV _{cc1}	PV _{cc1} +0.3	
45			PF14	\overline{BACK}			PV _{cc1}	PV _{cc1} +0.3	
46			PF15	\overline{BREQ}			PV _{cc1}	PV _{cc1} +0.3	
47	V _{ss}								
48			CK				V _{cc}		
49	V _{cc}								
50		MD2						5.5+0.3	
51		EXTAL						V _{cc} +0.3	
52	V _{cc}								
53		XTAL					V _{cc}		
54	V _{ss}								
55		MD1						5.5+0.3	
56		FWE						5.5+0.3	
57		\overline{HSTBY}						5.5+0.3	
58		\overline{RES}						5.5+0.3	
59		MD0						5.5+0.3	
60	PLL _{V_{cc}}								
61		PLL _{CAP}							
62	PLL _{V_{ss}}								
63			PH0	D0			PV _{cc1}	PV _{cc1} +0.3	
64			PH1	D1			PV _{cc1}	PV _{cc1} +0.3	
65			PH2	D2			PV _{cc1}	PV _{cc1} +0.3	
66			PH3	D3			PV _{cc1}	PV _{cc1} +0.3	
67			PH4	D4			PV _{cc1}	PV _{cc1} +0.3	
68			PH5	D5			PV _{cc1}	PV _{cc1} +0.3	
69			PH6	D6			PV _{cc1}	PV _{cc1} +0.3	
70	PV _{cc1}								
71			PH7	D7			PV _{cc1}	PV _{cc1} +0.3	
72	V _{ss}								
73			PH8	D8			PV _{cc1}	PV _{cc1} +0.3	
74			PH9	D9			PV _{cc1}	PV _{cc1} +0.3	
75	V _{cc}								
76			PH10	D10			PV _{cc1}	PV _{cc1} +0.3	
77	V _{ss}								
78			PH11	D11			PV _{cc1}	PV _{cc1} +0.3	
79			PH12	D12			PV _{cc1}	PV _{cc1} +0.3	
80			PH13	D13			PV _{cc1}	PV _{cc1} +0.3	
81			PH14	D14			PV _{cc1}	PV _{cc1} +0.3	
82			PH15	D15			PV _{cc1}	PV _{cc1} +0.3	

26. 電気的特性

ピン No.	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
83	PV _{CC1}								
84		NMI						5.5+0.3	
85	V _{SS}								
86			AN0					AV _{CC} +0.3	
87			AN1					AV _{CC} +0.3	
88			AN2					AV _{CC} +0.3	
89			AN3					AV _{CC} +0.3	
90			AN4					AV _{CC} +0.3	
91			AN5					AV _{CC} +0.3	
92			AN6					AV _{CC} +0.3	
93			AN7					AV _{CC} +0.3	
94			AN8					AV _{CC} +0.3	
95			AN9					AV _{CC} +0.3	
96			AN10					AV _{CC} +0.3	
97			AN11					AV _{CC} +0.3	
98			AN12					AV _{CC} +0.3	
99	AV _{SS}								
100		AVref							
101	AV _{CC}								
102			AN13					AV _{CC} +0.3	
103			AN14					AV _{CC} +0.3	
104			AN15					AV _{CC} +0.3	
105			AN16					AV _{CC} +0.3	
106			AN17					AV _{CC} +0.3	
107			AN18					AV _{CC} +0.3	
108			AN19					AV _{CC} +0.3	
109			AN20					AV _{CC} +0.3	
110			AN21					AV _{CC} +0.3	
111			AN22					AV _{CC} +0.3	
112			AN23					AV _{CC} +0.3	
113			AN24					AV _{CC} +0.3	
114			AN25					AV _{CC} +0.3	
115			AN26					AV _{CC} +0.3	
116			AN27					AV _{CC} +0.3	
117			AN28					AV _{CC} +0.3	
118			AN29					AV _{CC} +0.3	
119	AV _{CC}								
120		AVref							
121	AV _{SS}								
122			AN30					AV _{CC} +0.3	
123			AN31					AV _{CC} +0.3	
124		WDTOVF					PV _{CC2}		
125			PA0	TIOA			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子

26. 電気的特性

ピン No.	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
126	V _{SS}								
127			PA1	TIOB			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
128	PV _{CC2}								
129			PA2	TIOC			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
130			PA3	TIOD			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
131			PA4	TIO3A			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
132			PA5	TIO3B			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
133			PA6	TIO3C			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
134			PA7	TIO3D			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
135			PA8	TIO4A			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
136			PA9	TIO4B			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
137			PA10	TIO4C			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
138			PA11	TIO4D			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
139	V _{CC}								
140			PA12	TIO5A			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
141	V _{SS}								
142			PA13	TIO5B			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
143			PA14	TxD0			PV _{CC2}	PV _{CC2} +0.3	
144			PA15	RxD0			PV _{CC2}	PV _{CC2} +0.3	
145			PB0	TO6A			PV _{CC2}	PV _{CC2} +0.3	
146			PB1	TO6B			PV _{CC2}	PV _{CC2} +0.3	
147			PB2	TO6C			PV _{CC2}	PV _{CC2} +0.3	
148	PV _{CC2}								
149			PB3	TO6D			PV _{CC2}	PV _{CC2} +0.3	
150	V _{SS}								
151			PB4	TO7A	TO8A		PV _{CC2}	PV _{CC2} +0.3	
152			PB5	TO7B	TO8B		PV _{CC2}	PV _{CC2} +0.3	
153			PB6	TO7C	TO8C		PV _{CC2}	PV _{CC2} +0.3	
154			PB7	TO7D	TO8D		PV _{CC2}	PV _{CC2} +0.3	
155			PB8	TxD3	TO8E		PV _{CC2}	PV _{CC2} +0.3	
156			PB9	RxD3	TO8F		PV _{CC2}	PV _{CC2} +0.3	
157			PB10	TxD4	HTxD0	TO8G	PV _{CC2}	PV _{CC2} +0.3	
158			PB11	RxD4	HRxD0	TO8H	PV _{CC2}	PV _{CC2} +0.3	
159			PB12	TCLKA	UBCTR _G		PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
160			PB13	SCK0			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
161	V _{CL}								
162			PB14	SCK1	TCLKB	TI10	PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
163	V _{SS}								
164			PB15	PULS5	SCK2		PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
165			PC0	TxD1			PV _{CC2}	PV _{CC2} +0.3	
166			PC1	RxD1			PV _{CC2}	PV _{CC2} +0.3	
167			PC2	TxD2			PV _{CC2}	PV _{CC2} +0.3	
168			PC3	RxD2			PV _{CC2}	PV _{CC2} +0.3	

26. 電気的特性

ピン No.	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
169			PC4	$\overline{\text{IRQ0}}$			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
170			PG0	PULS7	HRxD0	HRxD1	PV _{cc2}	PV _{cc2} +0.3	
171			PG1	$\overline{\text{IRQ1}}$			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
172	PV _{cc2}								
173			PG2	$\overline{\text{IRQ2}}$	ADEND		PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
174	V _{ss}								
175			PG3	$\overline{\text{IRQ3}}$	ADTRG0		PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
176			PJ0	TIO2A			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
177			PJ1	TIO2B			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
178			PJ2	TIO2C			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
179			PJ3	TIO2D			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
180			PJ4	TIO2E			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
181			PJ5	TIO2F			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
182			PJ6	TIO2G			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
183			PJ7	TIO2H			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
184			PJ8	TIO5C			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
185	V _{ss}								
186			PJ9	TIO5D			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
187	V _{cc}								
188			PJ10	TI9A			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
189			PJ11	TI9B			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
190			PJ12	TI9C			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
191			PJ13	TI9D			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
192			PJ14	TI9E			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
193			PJ15	TI9F			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
194	PV _{cc2}								
195			PK0	TO8A			PV _{cc2}	PV _{cc2} +0.3	
196	V _{ss}								
197			PK1	TO8B			PV _{cc2}	PV _{cc2} +0.3	
198			PK2	TO8C			PV _{cc2}	PV _{cc2} +0.3	
199			PK3	TO8D			PV _{cc2}	PV _{cc2} +0.3	
200			PK4	TO8E			PV _{cc2}	PV _{cc2} +0.3	
201			PK5	TO8F			PV _{cc2}	PV _{cc2} +0.3	
202			PK6	TO8G			PV _{cc2}	PV _{cc2} +0.3	
203	V _{cc}								
204			PK7	TO8H			PV _{cc2}	PV _{cc2} +0.3	
205	V _{ss}								
206			PK8	TO8I			PV _{cc2}	PV _{cc2} +0.3	
207			PK9	TO8J			PV _{cc2}	PV _{cc2} +0.3	
208			PK10	TO8K			PV _{cc2}	PV _{cc2} +0.3	
209			PK11	TO8L			PV _{cc2}	PV _{cc2} +0.3	
210			PK12	TO8M			PV _{cc2}	PV _{cc2} +0.3	
211			PK13	TO8N			PV _{cc2}	PV _{cc2} +0.3	

ピン No.	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
212	PV _{cc2}								
213			PK14	TO8O			PV _{cc2}	PV _{cc2} +0.3	
214	V _{ss}								
215			PK15	TO8P			PV _{cc2}	PV _{cc2} +0.3	
216			PL0	TI10			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
217			PL1	TIO11A	$\overline{\text{IRQ6}}$		PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
218			PL2	TIO11B	$\overline{\text{IRQ7}}$		PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
219			PL3	TCLKB			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
220			PL4	ADTRG0			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
221			PL5	ADTRG1			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
222			PL6	ADEND			PV _{cc2}	PV _{cc2} +0.3	
223			PL7	SCK2			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
224			PL8	SCK3			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
225	V _{cl}								
226			PL9	SCK4	$\overline{\text{IRQ5}}$		PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
227	V _{ss}								
228			PL10	HTxD0	HTxD1	HTxD0&1	PV _{cc2}	PV _{cc2} +0.3	
229			PL11	HRxD0	HRxD1	HRxD0&1	PV _{cc2}	PV _{cc2} +0.3	
230			PL12	$\overline{\text{IRQ4}}$			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
231			PL13	$\overline{\text{IRQOUT}}$	$\overline{\text{IRQWT}}$		PV _{cc2}	PV _{cc2} +0.3	
232			TMS					V _{cc} +0.3	
233			$\overline{\text{TRST}}$					V _{cc} +0.3	
234			TDI					V _{cc} +0.3	
235			TDO				V _{cc}		
236			TCK					V _{cc} +0.3	
237	V _{cc}								
238			AUDRST					PV _{cc2} +0.3	
239	V _{ss}								
240			AUDMD					PV _{cc2} +0.3	
241			AUDATA0				PV _{cc2}	PV _{cc2} +0.3	
242			AUDATA1				PV _{cc2}	PV _{cc2} +0.3	
243			AUDATA2				PV _{cc2}	PV _{cc2} +0.3	
244			AUDATA3				PV _{cc2}	PV _{cc2} +0.3	
245			AUDCK				PV _{cc2}	PV _{cc2} +0.3	
246			AUDSYNC				PV _{cc2}	PV _{cc2} +0.3	
247	PV _{cc2}								
248			PD0	TIO1A			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
249	V _{ss}								
250			PD1	TIO1B			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
251			PD2	TIO1C			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
252			PD3	TIO1D			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
253			PD4	TIO1E			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
254			PD5	TIO1F			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子

26. 電気的特性

ピン No.	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
255			PD6	TIO1G			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
256			PD7	TIO1H			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子

【使用上の注意】

LSI 動作時の電源電圧は下記に従い設定してください。

V_{cc} = PLLV_{cc} = 3.3V ± 0.3V、PV_{cc1} = 5.0V ± 0.5V/3.3V ± 0.3V、PV_{cc2} = 5.0V ± 0.5V、AV_{cc} = 5.0V ± 0.5V、
AV_{ref} = 4.5V ~ AV_{cc}、V_{ss} = PLLV_{ss} = AV_{ss} = 0V、PV_{cc1} = 3.3V ± 0.3V 時は V_{cc} = PV_{cc1}

ただし、PV_{cc1} の電源電圧は動作モードに合わせて以下ようになります。

これ以外の PV_{cc1} の電源電圧での動作の保証はできません。

表 26.3 動作モードと PV_{cc} 電圧の対応

動作モード番号	モード名	PV _{cc1} 電圧
モード 0、1、2	MCU 拡張モード	3.3V ± 0.3V
モード 3	シングルチップモード	5.0V ± 0.5V
モード 4	ブートモード	3.3V ± 0.3V
モード 5	ブートモード	5.0V ± 0.5V
モード 6	ユーザプログラムモード	3.3V ± 0.3V
モード 7	ユーザプログラムモード	5.0V ± 0.5V
モード 8	ユーザブートモード	3.3V ± 0.3V
モード 9	ユーザブートモード	5.0V ± 0.5V

表 26.4 DC 特性

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85$

項目	記号	min	typ	max	単位	測定条件	
入力ハイレベル電圧 (シュミットトリガ入力端子を除く)	RES、NMI、FWE、MD2~0、HSTBY	V_{IH}	$V_{CC} - 0.5$	-	5.8	V	$2.7V \leq V_{CC} \leq 3.6V$
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V	
	D15~D0、WAIT、BREQ (MCU 拡張モード時)		2.2	-	$PV_{CC1} + 0.3$	V	$PV_{CC1} = 3.3V \pm 0.3V$
	PE15~PE0、PF15~PF0、PH15~PH0 (MCU 拡張モード時)		2.2	-	$PV_{CC1} + 0.3$	V	$PV_{CC1} = 3.3V \pm 0.3V$
	TRST		$V_{CC} - 0.5$	-	$V_{CC} + 0.3$	V	
	TMS、TDI、TCK		2.2	-	$V_{CC} + 0.3$	V	
	AUDRST、AUDMD		$V_{CC} - 0.5$	-	$PV_{CC2} + 0.3$	V	
	PG0、PL11		$PV_{CC2} \times 0.7$	-	$PV_{CC2} + 0.3$	V	
	その他の入力端子		2.2	-	$PV_{CC} + 0.3$	V	
入力ローレベル電圧 (シュミットトリガ入力端子を除く)	RES、NMI、FWE、MD2~0、HSTBY、TRST、AUDRST、AUDMD	V_{IL}	-0.3	-	0.5	V	$2.7V \leq V_{CC} \leq 3.6V$
	PG0、PL11		-0.3	-	$PV_{CC2} \times 0.3$	V	
	その他の入力端子		-0.3	-	0.8	V	
シュミットトリガ入力電圧	TIOA~TIO0、TIO1A~TIO1H、TIO2A~TIO2H、TIO3A~TIO3D、TIO4A~TIO4D、TIO5A~TIO5D、TI9A~TI9F、TI10、TIO11A~TIO11B、TCLKA、TCLKB、ADTRG0、ADTRG1、SCK0~SCK4、IRQ0~IRQ7 および上記端子の I/O ポート入力機能選択時	(VIH) VT+	4.0	-	$(PV_{CC2} + 0.3)$	V	表 26.2 電源名と端子の対応参照
		(VIL) VT-	(-0.3)	-	1.0	V	
		VT+ - VT-	0.4	-	-	V	
入力リーク電流	RES、NMI、FWE、MD2~0、HSTBY	lin	-	-	3.0^{*1} 6.0^{*2}	μA	$V_{in} = 0.5 \sim 5.8V$
	EXTAL (スタンバイ時)		-	-	3.0^{*1} 6.0^{*2}		
	TMS、TRST、TDI、TCK (スタンバイ時)		-	-	3.0^{*1} 6.0^{*2}	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	AUDMD、AUDCK、AUDSYNC、AUDATA3~0 (スタンバイ時)		-	-	3.0^{*1} 6.0^{*2}		
	AUDRST (スタンバイ時)		-	-	3.0^{*1} 6.0^{*2}	μA	$V_{in} = 0.5 \sim PV_{CC2} - 0.5V$
	A/D ポート		-	-	0.2^{*1} 0.4^{*2}		
	D15~D0、WAIT、BREQ (MCU 拡張モード時)		lin	-	-	3.0^{*1} 6.0^{*2}	μA
	PE15~PE0、PF15~PF0、PH15~PH0 (MCU 拡張モード時)	-		-	3.0^{*1} 6.0^{*2}	μA	
	その他の入力端子	-		-	3.0^{*1} 6.0^{*2}		μA

26. 電氣的特性

項目		記号	min	typ	max	単位	測定条件
入力プルアップ MOS 電流	TMS、 $\overline{\text{TRST}}$ 、TDI、TCK (プルアップ特性)	-I _{pu}	-	-	350	μA	V _{in} = 0V
	AUDMD、AUDCK、 $\overline{\text{AUDSYNC}}$ 、AUDATA3~0 (プルアップ特性)		-	-	800	μA	V _{in} = 0V
入力プルダウン MOS 電流	AUDRST (プルダウン特性)	I _{pd}	-	-	500	μA	V _{in} = PV _{cc2}
スリートステートリーク電流 (オフ状態)	A21~A0、D15~D0、 $\overline{\text{CS3}}$ ~ $\overline{\text{CS0}}$ 、WRH、 $\overline{\text{WRL}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{BACK}}$ (MCU 拡張モード時)	I _{ts}	-	-	3.0* ¹	μA	V _{in} = 0.5 ~ PV _{cc1} - 0.5V PV _{cc1} = 3.3V ± 0.3V
			-	-	6.0* ²		
出力ハイレベル電圧	A21~A0、D15~D0、 $\overline{\text{CS3}}$ ~ $\overline{\text{CS0}}$ 、WRH、 $\overline{\text{WRL}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{BACK}}$ (MCU 拡張モード時)	V _{OH}	PV _{cc1}	-	-	V	I _{OH} = 200 μA PV _{cc1} = 3.3V ± 0.3V
	-0.5		-	-	V	I _{OH} = 200 μA PV _{cc1} = 3.3V ± 0.3V	
	PE15~PE0、PF15~PF0、PH15~PH0 (MCU 拡張モード時)		PV _{cc1}	-	-	V	I _{OH} = 200 μA PV _{cc1} = 3.3V ± 0.3V
	-0.5		-	-	V	I _{OH} = 200 μA	
	CK、TDO		V _{cc} -0.5	-	-	V	I _{OH} = 200 μA
その他の出力端子	PV _{cc}	-	-	V	I _{OH} = 200 μA		
-0.5	-	-	V	I _{OH} = 1mA			
出力ローレベル電圧	A21~A0、D15~D0、 $\overline{\text{CS3}}$ ~ $\overline{\text{CS0}}$ 、WRH、 $\overline{\text{WRL}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{BACK}}$ (MCU 拡張モード時)	V _{OL}	-	-	0.4	V	I _{OL} = 1.6mA PV _{cc1} = 3.3V ± 0.3V
	PE15~PE0、PF15~PF0、PH15~PH0 (MCU 拡張モード時)		-	-	0.4	V	I _{OL} = 1.6mA PV _{cc1} = 3.3V ± 0.3V
	その他の出力端子		-	-	0.4	V	I _{OL} = 1.6mA
	-		-	1.2	V	I _{OL} = 6mA	
入力容量	RES	C _{in}	-	-	60	pF	V _{in} = 0V
	NMI		-	-	30	pF	f = 1MHz
	その他の全入力端子		-	-	20	pF	T _a = 25
消費電流	通常動作時	I _{cc}	-	50	80	mA	f = 40MHz
	スリープ時		-	40	60	mA	
	スタンバイ時		-	50	200	μA	T _a = 50
			-	-	500		50 < T _a < 105
			-	-	1000		T _a > 105
	書き込み動作時		-	60	90	mA	V _{cc} = 3.3V f = 40MHz
アナログ電源電流	A/D 変換中	A _{I_{cc}}	-	1.2	5	mA	
	A/D 変換待機時、スタンバイ時		-	1.0	30	μA	
基準電源電流	A/D 変換中、A/D 変換待機時	A _{I_{ref}}	-	1.3	5	mA	AV _{ref} = 5V
	スタンバイ時		-	1.1	10	μA	
RAM スタンバイ電圧	V _{RAM}	2.7	-	-	V	V _{cc}	

【使用上の注意】

1. A/D 変換器を使用しないときに、AV_{cc}、AV_{ref}、AV_{ss} 端子を開放しないでください。
2. 消費電流は、V_{IH}min = V_{cc}-0.3V/PV_{cc}-0.3V、V_{IL} = 0.3V の条件で、すべての出力端子を無負荷状態にした場合の値です。
3. MCU 拡張モード時の電源 PV_{cc1} の動作保証電圧は PV_{cc1} = 3.3V ± 0.3V のみです。これ以外の電圧で使用しないでください。

4. MCU シングルチップモード時の電源 PV_{CC1} の動作保証電圧は $PV_{CC1} = 5.0V \pm 0.5V$ のみです。これ以外の電圧で使用しないでください。

*1 Ta 105

*2 Ta 105

表 26.5 出力許容電流値

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -40 \sim 125^\circ C$ 、 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	Min	typ	Max	単位
出力ローレベル許容電流 (1 端子当たり)	I_{OL}	-	-	6	mA
出力ローレベル許容電流 (総和)	I_{OL}	-	-	80	mA
出力ハイレベル許容電流 (1 端子当たり)	I_{OH}	-	-	2	mA
出力ハイレベル許容電流 (総和)	I_{OH}	-	-	25	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 26.5 の値を超えないようにしてください。

26.3 AC 特性

26.3.1 電源投入・切断タイミング

表 26.6 電源投入・切断タイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
V_{CC} 先行投入時間	t_{VCCS}	0	-	ms	図 26.1
PV_{CC} 切断時 V_{CC} ホールド時間	t_{VCH}	0	-	ms	

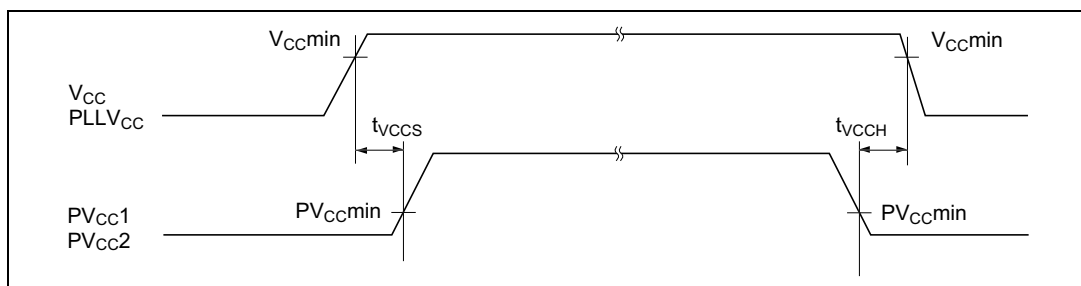


図 26.1 電源投入・切断タイミング

26.3.2 クロックタイミング

表 26.7 にクロックタイミングを示します。

表 26.7 クロックタイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	Max	単位	参照図
動作周波数	f_{op}	20	40	MHz	図 26.2
クロックサイクル時間	t_{cyc}	25	50	ns	
クロックローパルス幅	t_{CL}	4	-	ns	
クロックハイパルス幅	t_{CH}	4	-	ns	
クロック立ち上がり時間	t_{CR}	-	8	ns	
クロック立ち下がり時間	t_{CF}	-	8	ns	
EXTAL クロック入力周波数	f_{EX}	5	10	MHz	図 26.3
EXTAL クロック入力サイクル時間	t_{EXcyc}	100	200	ns	
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	30	-	ns	
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	30	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}	-	8	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}	-	8	ns	図 26.4
リセット発振安定時間	t_{OSC1}	30	-	ms	
スタンバイ復帰発振安定時間	t_{OSC2}	30	-	ms	

【使用上の注意】

EXTAL、XTAL、CK 端子は $V_{CC} = 3.3V \pm 0.3V$ 電源の回路です。DC 特性に規定されている入力、出力電圧の規格値で使用してください。

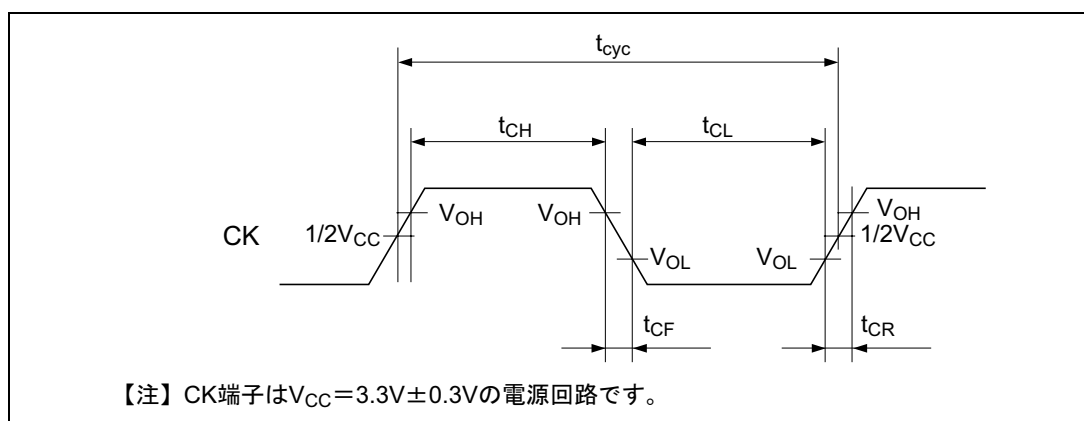


図 26.2 システムクロックタイミング

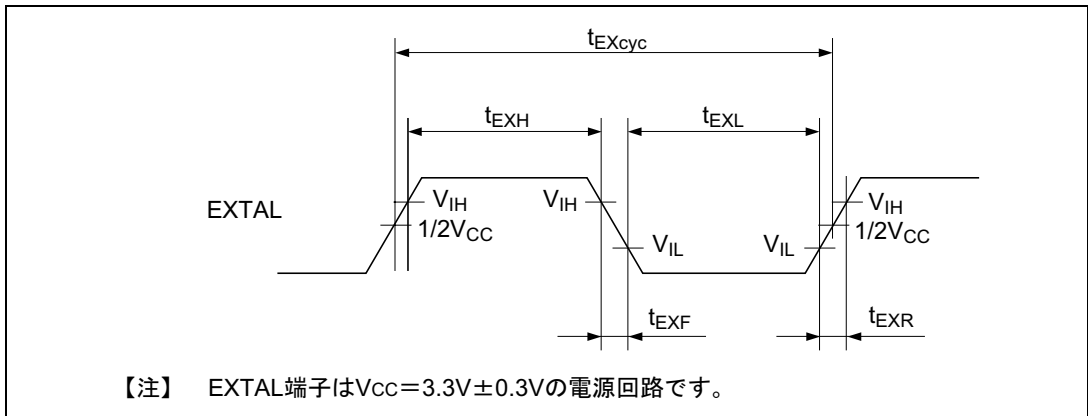


図 26.3 EXTAL クロック入力タイミング

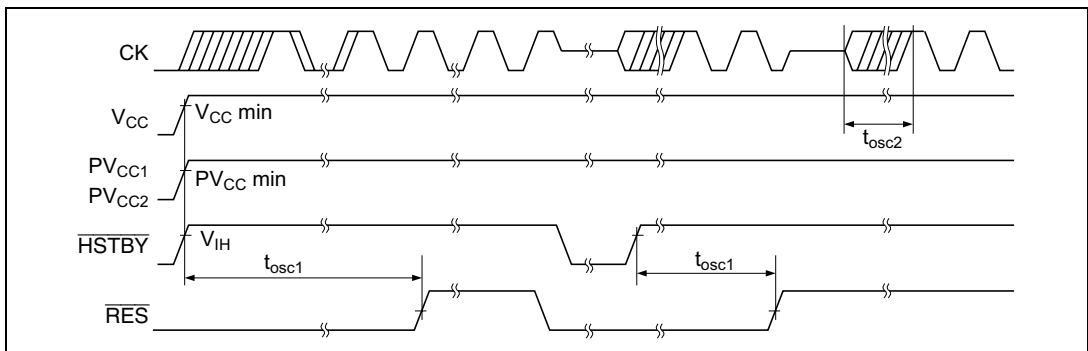


図 26.4 発振安定時間

26.3.3 制御信号タイミング

表 26.8 に制御信号タイミングを示します。

表 26.8 制御信号タイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	Min	Max	単位	参照図
RES パルス幅	t_{RESW}	20	-	tcyc	図 26.5
RES セットアップ時間	t_{RESS}	40	-	ns	
MD2 ~ MD0 セットアップ時間	t_{MDS}	20	-	tcyc	
NMI セットアップ時間	t_{NMIS}	24	-	ns	図 26.6
IRQ7 ~ IRQ0 セットアップ時間*1 (エッジ検出時)	t_{IRQES}	24	-	ns	
IRQ7 ~ IRQ0 セットアップ時間*1 (レベル検出時)	t_{IRQLS}	24	-	ns	
NMI ホールド時間	t_{NMIH}	24	-	ns	
IRQ7 ~ IRQ0 ホールド時間	t_{IRQEH}	24	-	ns	
IRQOUT 出力遅延時間	t_{IRQOD}	-	100	ns	図 26.7
バスリクエストセットアップ時間	t_{BRQS}	24	-	ns	図 26.8*2
バスアクノリッジ遅延時間 1	t_{BACKD1}	-	30	ns	
バスアクノリッジ遅延時間 2	t_{BACKD2}	-	30	ns	
バスリーステート遅延時間	t_{BZD}	-	30	ns	

【使用上の注意】

- *1 RES、NMI および IRQ7 ~ IRQ0 信号は非同期入力ですが、ここに示されたセットアップが守られた場合クロックの立ち下がりで変化が生じたものとして判定されます。セットアップを守れない場合次のクロック立ち下がりまで認識が遅れることがあります。
- *2 MCU 拡張モード時の電源 PV_{CC1} の動作保証電圧は $PV_{CC1} = 3.3V \pm 0.3V$ のみです。これ以外の電圧で使用しないでください。

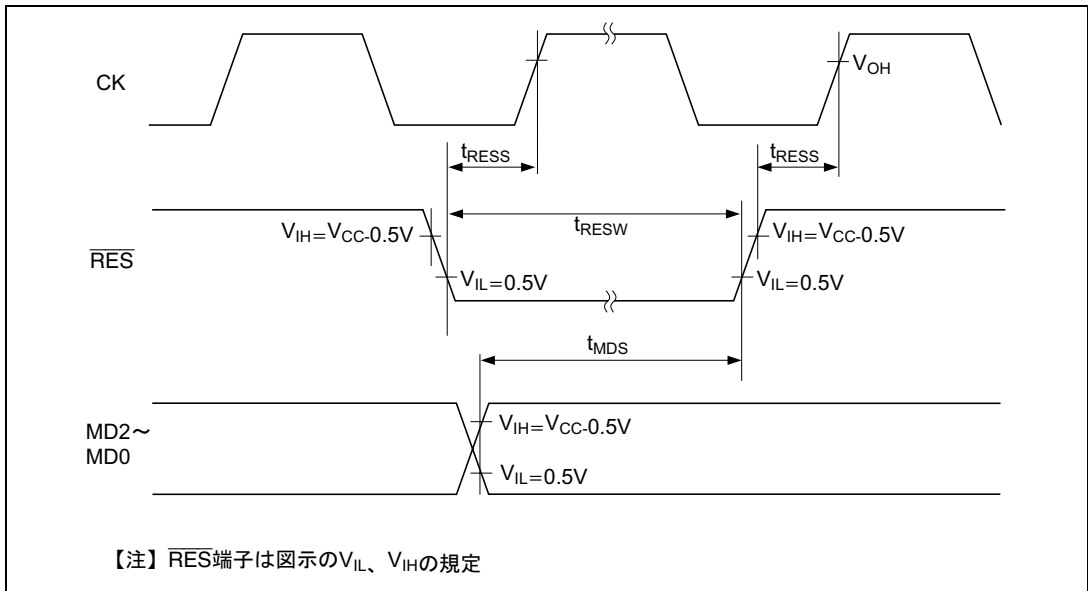


図 26.5 リセット入力タイミング

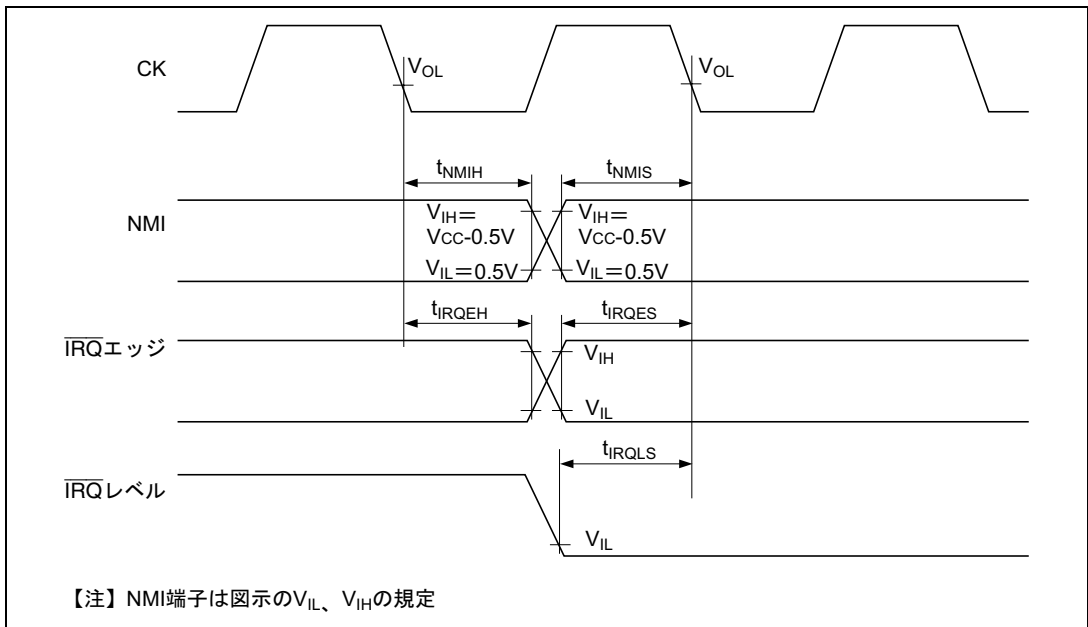


図 26.6 割り込み信号入力タイミング

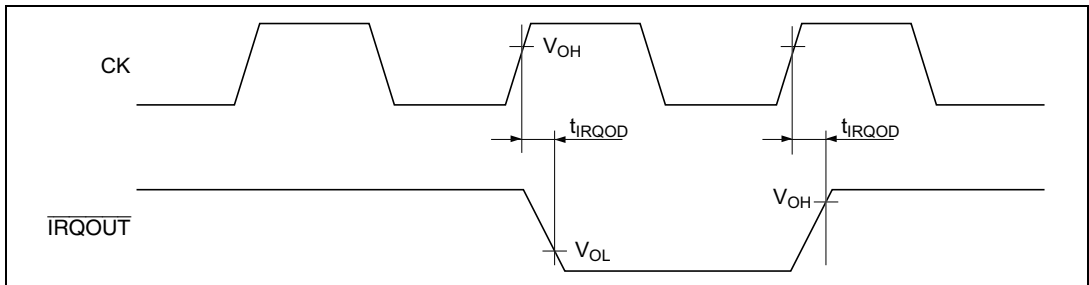


図 26.7 割り込み信号出力タイミング

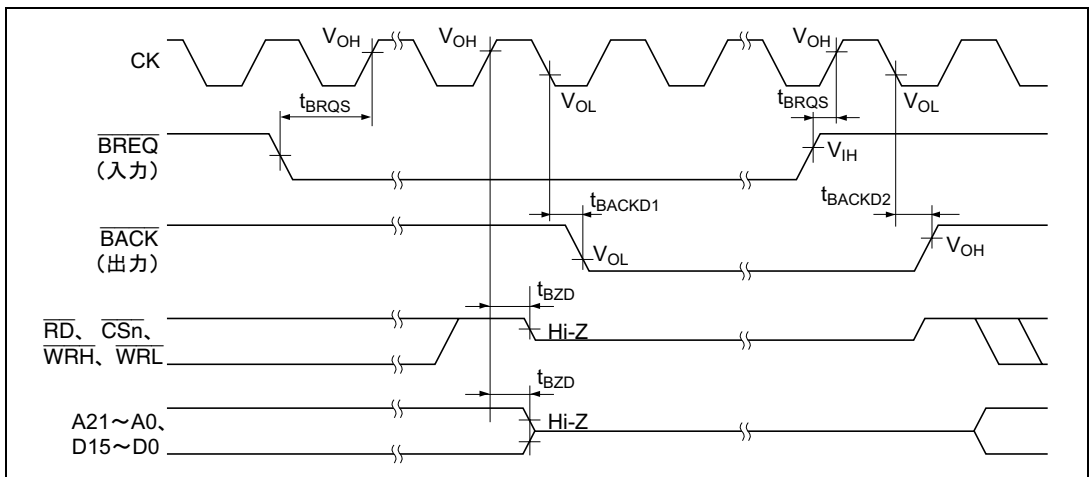


図 26.8 バス権解放タイミング

26.3.4 バスタイミング

表 26.9 にバスタイミングを示します。

表 26.9 バスタイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	Min	max	単位	参照図
アドレス遅延時間	t_{AD}	-	35	ns	図 26.9、10
CS 遅延時間 1	t_{CSD1}	-	30	ns	
CS 遅延時間 2	t_{CSD2}	-	30	ns	
リードストロブ遅延時間 1	t_{RSD1}	-	30	ns	
リードストロブ遅延時間 2	t_{RSD2}	-	30	ns	
リードデータセットアップ時間	t_{RDS}	15	-	ns	
リードデータホールド時間	t_{RDH}	0	-	ns	
ライトストロブ遅延時間 1	t_{WSD1}	-	30	ns	
ライトストロブ遅延時間 2	t_{WSD2}	-	30	ns	
ライトデータ遅延時間	t_{WDD}	-	30	ns	
ライトデータホールド時間	t_{WDH}	$t_{cyc} \times m$	-	ns	
WAIT セットアップ時間	t_{WTS}	15	-	ns	
WAIT ホールド時間	t_{WTH}	0	-	ns	
リードデータアクセス時間	t_{ACC}	$t_{cyc} \times (n+1.5) - 39$	-	ns	図 26.9、10
リードストロブからのアクセス時間	t_{OE}	$t_{cyc} \times (n+1.0) - 39$	-	ns	
書き込みアドレスセットアップ時間	t_{AS}	0	-	ns	
書き込みアドレス保持時間	t_{WR}	5	-	ns	

n : ウェイト数

m=1 : CS アサート拡張サイクル

m=0 : 通常サイクル (CS アサート非拡張サイクル)

【使用上の注意】

MCU 拡張モード時の電源 PV_{CC1} の動作保証電圧は $PV_{CC1} = 3.3V \pm 0.3V$ のみです。これ以外の電圧で使用しないでください。

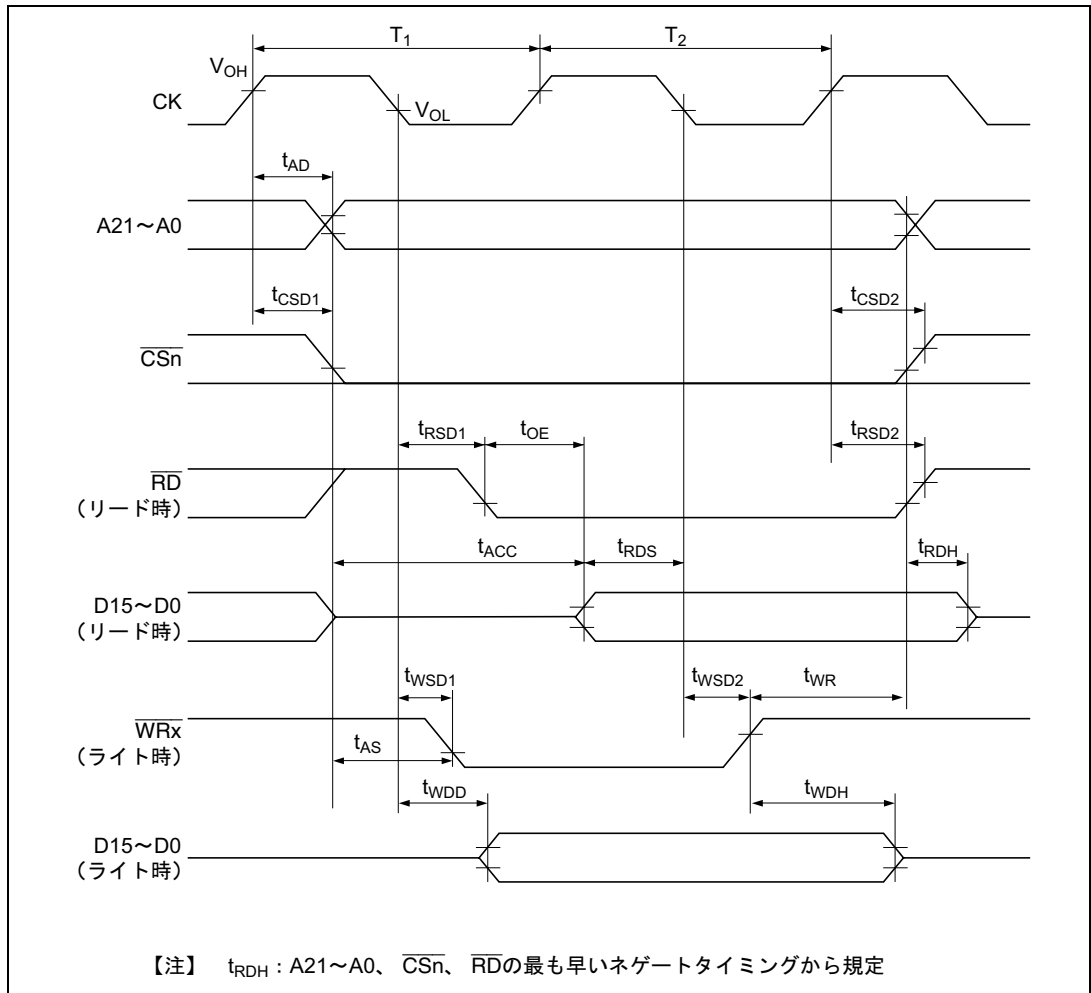


図 26.9 基本サイクル (ノーウェイト)

26. 電気的特性

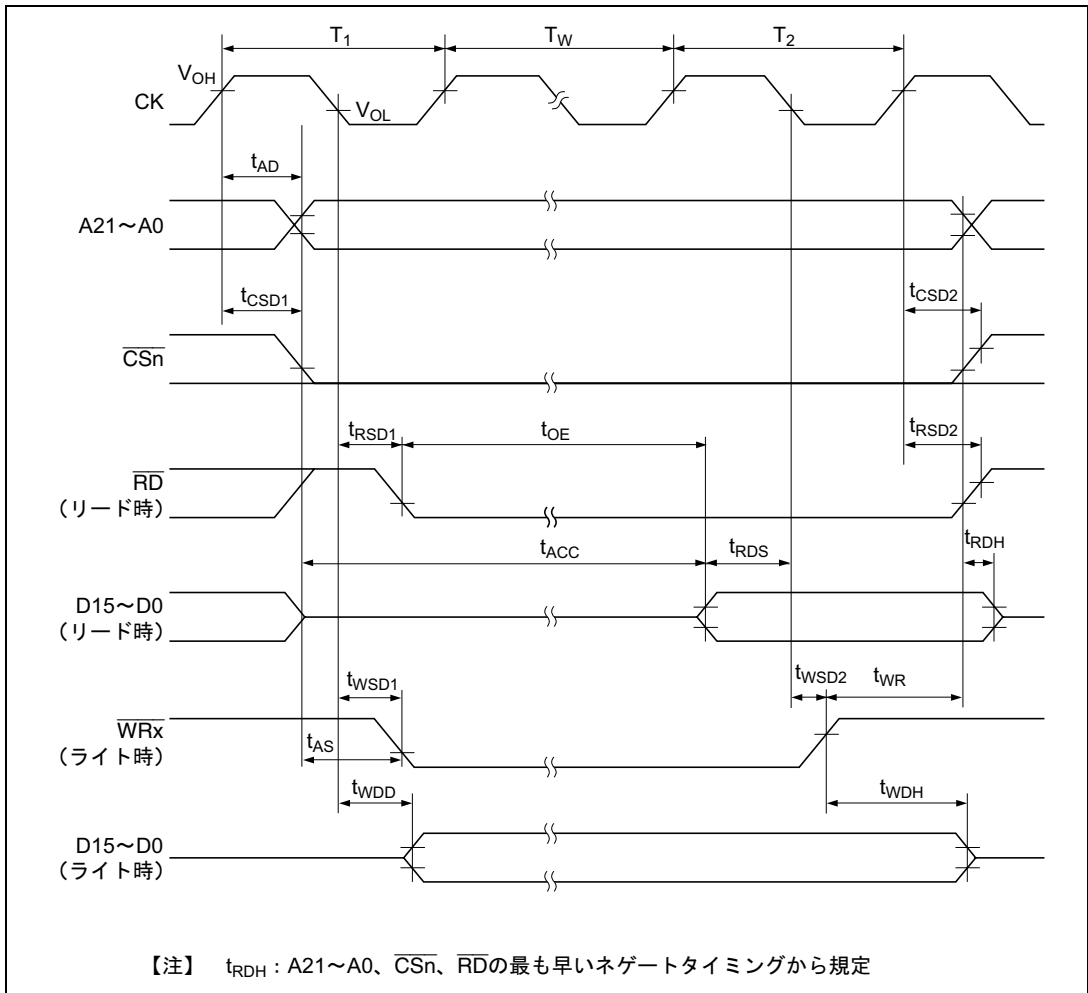
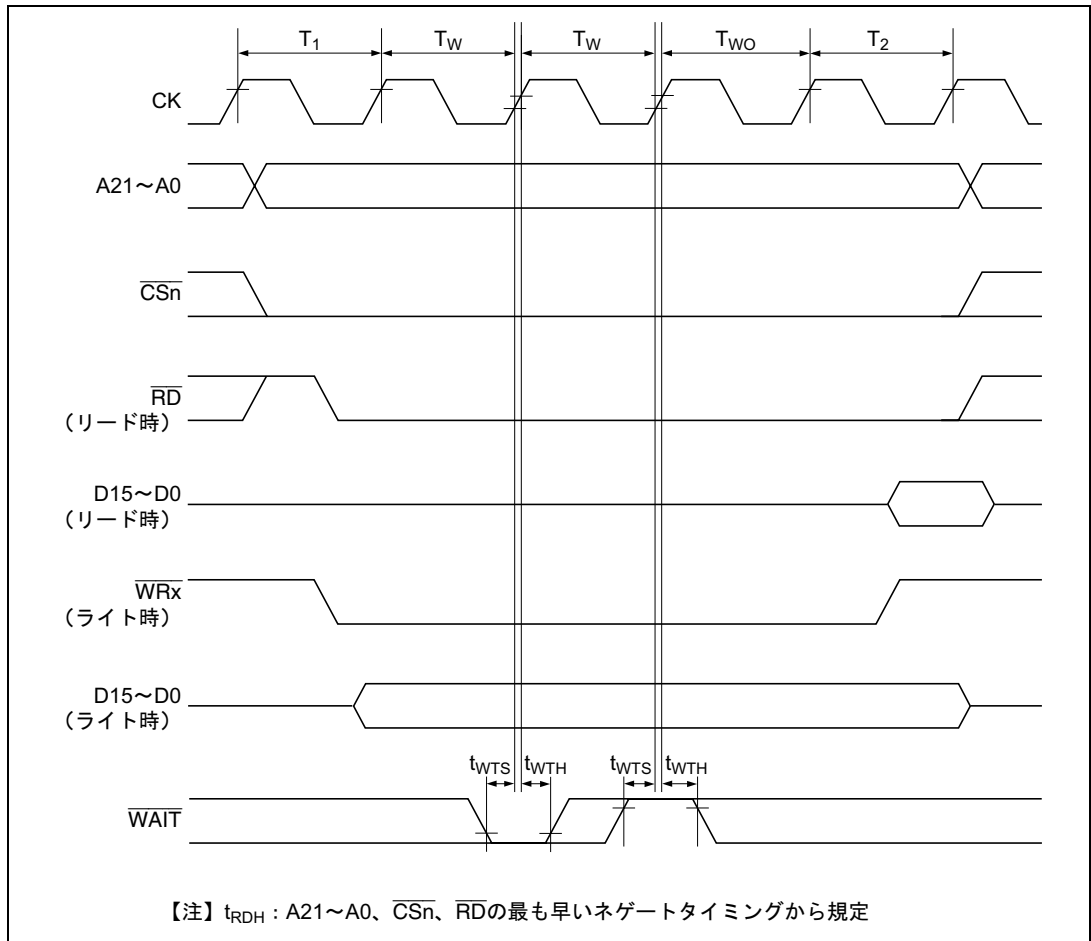


図 26.10 基本サイクル (1 ソフトウェアウェイト)

図 26.11 基本サイクル (2ソフトウェアウェイト + \overline{WAIT} 信号によるウェイト)

26.3.5 アドバンスドタイマユニットタイミング アドバンスドパルスコントローラタイミング

表 26.10 にアドバンスドタイマユニットタイミング、アドバンスドパルスコントローラタイミングを示します。

表 26.10 アドバンスドタイマユニットタイミング
アドバンスドパルスコントローラタイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	Max	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	-	100	ns	図 26.12
インプットキャプチャ入力セットアップ時間	t_{TICS}	24 $24 + t_{cyc}$	-	ns	
PULS 出力遅延時間	t_{PLSD}	-	100	ns	
タイマクロック入力セットアップ時間	t_{TCKS}	24 $24 + t_{cyc}$	-	ns	図 26.13
タイマクロックパルス幅 (単エッジ指定)	t_{TCKWHL}	3.0	-	tcyc	
タイマクロックパルス幅 (両エッジ指定)	t_{TCKWHL}	5.0	-	tcyc	

【使用上の注意】

- * タイマ入力信号およびタイマクロック入力信号は非同期ですが、図 26.12、図 26.13 に示す 2 ステート間隔のクロック立ち上がりで変化が生じたものとして判定されます。図示のセットアップを守れない場合は、それから 2 ステート後のクロック立ち上がりまで認識が遅れることがあります。

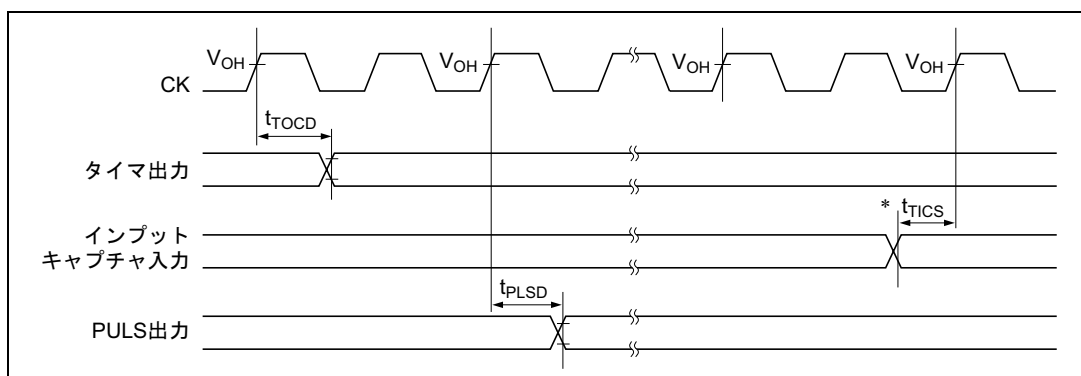


図 26.12 ATU 入出力タイミング、APC 出力タイミング

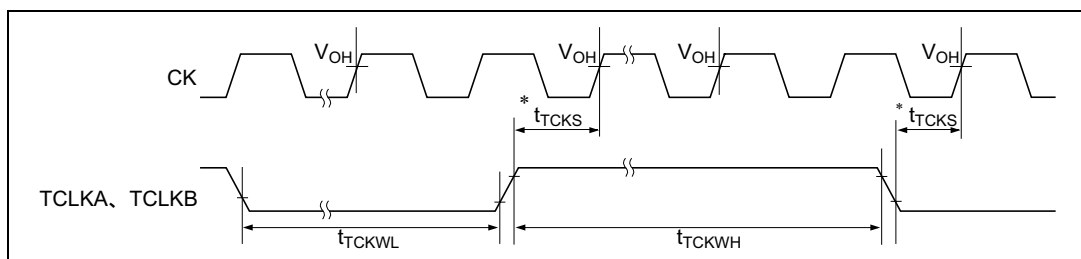


図 26.13 ATU クロック入力タイミング

26.3.6 I/O ポートタイミング

表 26.11 に I/O ポートタイミングを示します。

表 26.11 I/O ポートタイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	Max	単位	参照図
ポート出力データ遅延時間	t_{PWD}	-	100	ns	図 26.14
ポート入力ホールド時間	t_{PRH}	24 $24 + t_{cyc}$	-	ns	
ポート入力セットアップ時間	t_{PRS}	24 $24 + t_{cyc}$	-	ns	

【使用上の注意】

ポート入力信号およびタイマクロック入力信号は非同期ですが、図 26.14 に示す 2 ステート間隔のクロック立ち上がりで変化が生じたものとして判定されます。図示のセットアップを守れない場合は、それから 2 ステート後のクロック立ち上がりまで認識が遅れることがあります。

MCU シングルチップモード時の電源 PV_{CC1} の動作保証電圧は $PV_{CC1} = 5.0V \pm 0.5V$ のみです。これ以外の電圧で使用しないでください。

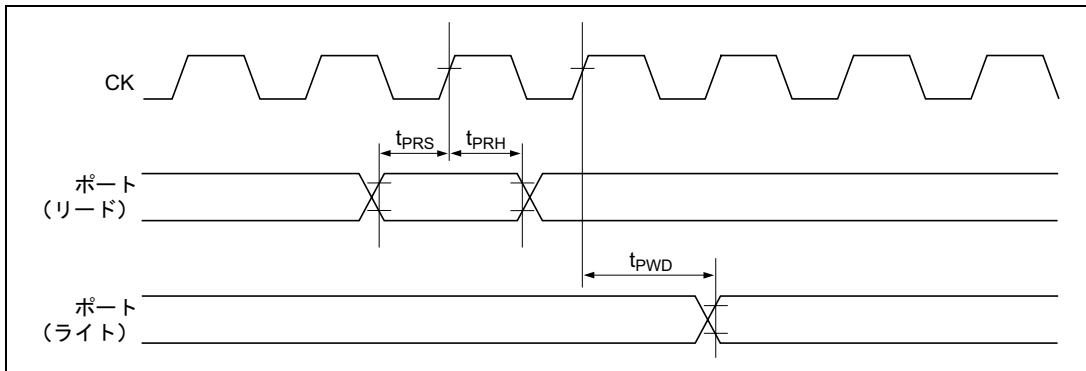


図 26.14 I/O ポート入出力タイミング

26.3.7 ウォッチドッグタイマタイミング

表 26.12 にウォッチドッグタイマタイミングを示します。

表 26.12 ウォッチドッグタイマタイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	Max	単位	参照図
WDTOVF 遅延時間	t_{WOVD}	-	100	ns	図 26.15

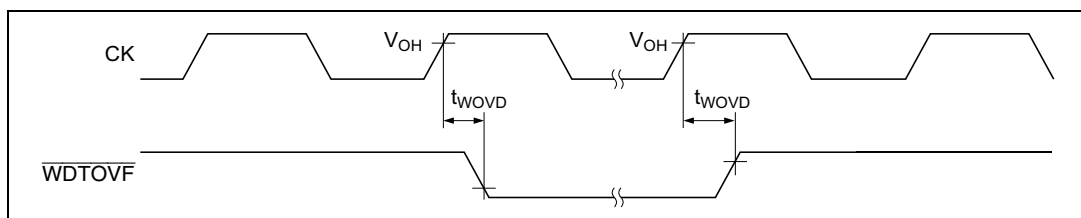


図 26.15 ウォッチドッグタイマタイミング

26.3.8 シリアルコミュニケーションインタフェースタイミング

表 26.13 にシリアルコミュニケーションインタフェースタイミングを示します。

表 26.13 シリアルコミュニケーションインタフェースタイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	Max	単位	参照図
クロックサイクル	t_{scyc}	8	-	t_{cyc}	図 26.16
クロックサイクル (クロック同期)	t_{scyc}	12	-	t_{cyc}	
クロックパルス幅	t_{sckw}	0.4	0.6	t_{scyc}	
入力クロック立ち上がり時間	t_{sckr}	-	3.0	t_{cyc}	
入力クロック立ち下がり時間	t_{sckf}	-	3.0	t_{cyc}	
送信データ遅延時間	t_{TXD}	-	100	ns	図 26.17
受信データセットアップ時間	t_{RXS}	100	-	ns	
受信データホールド時間	t_{RXH}	100	-	ns	

【使用上の注意】

調歩同期モードでは非同期入出力ですが、図 26.17 に示すように、受信データは CK クロックの立ち上がり (2 クロック間隔) で変化が生じたものとして判定され、送信信号は CK クロックの立ち上がり (2 クロック間隔) 基準に変化します。

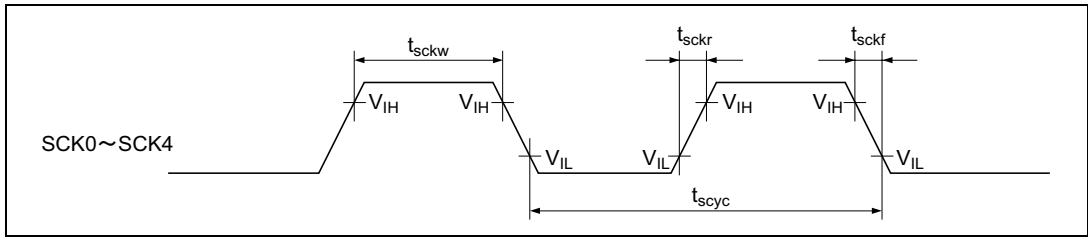


図 26.16 入力クロックタイミング

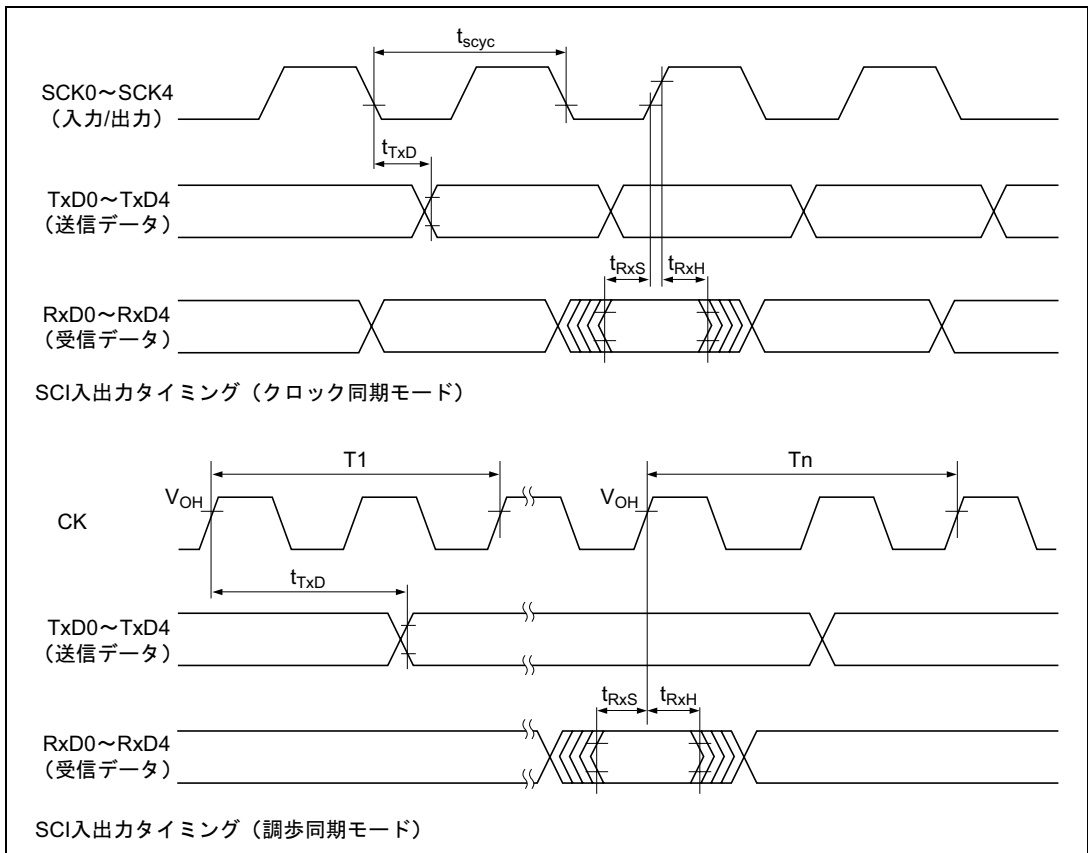


図 26.17 SCI 入出力タイミング

26.3.9 HCAN タイミング

表 26.14 に HCAN タイミングを示します。

表 26.14 HCAN タイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V - AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	Max	単位	参照図
送信データ遅延時間	t_{HTxD}	-	100	ns	図 26.18
受信データセットアップ時間	t_{HRxS}	100	-	ns	
受信データホールド時間	t_{HRxH}	100	-	ns	

【使用上の注意】

HCAN 入力信号は非同期ですが、下図に示された CK 立ち上がり(2 クロック間隔)で変化が生じたものとして判定されます。HCAN 出力信号は、下図に示された CK 立ち上がり(2 クロック間隔)を基準に変化します。

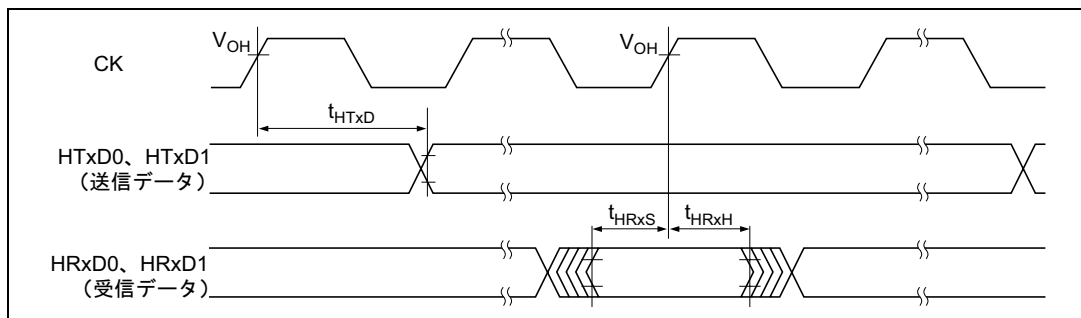


図 26.18 HCAN 入出力タイミング

26.3.10 A/D 変換器タイミング

表 26.15 に A/D 変換器タイミングを示します。

表 26.15 A/D 変換器タイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V - AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	CKS=0:fop=20 ~ 40MHz			CKS=1:fop=20MHz			単位	参照図
		min	Typ	Max	min	typ	Max		
外部トリガ入力開始 遅延時間	t_{TRGS}	50	-	-	50	-	-	ns	図 26.19
A/D 変換時間	t_{CONV}	518	-	532	262	-	268	t_{cyc}	図 26.20
A/D 変換開始遅延時間	t_D	20	-	34	12	-	18	t_{cyc}	
入力サンプリング時間	t_{SPL}	-	128	-	-	64	-	t_{cyc}	
ADEND 出力遅延時間	t_{ADENDD}	-	-	100	-	-	100	ns	

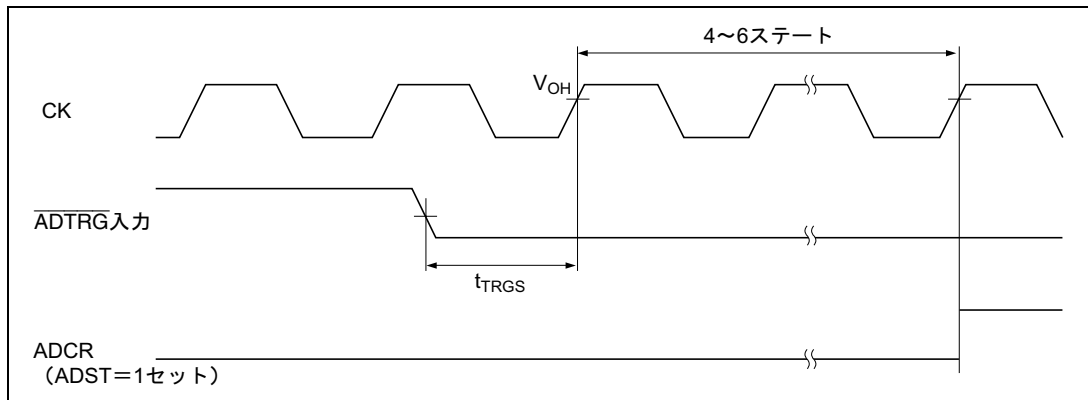


図 26.19 外部トリガ入力タイミング

26. 電気的特性

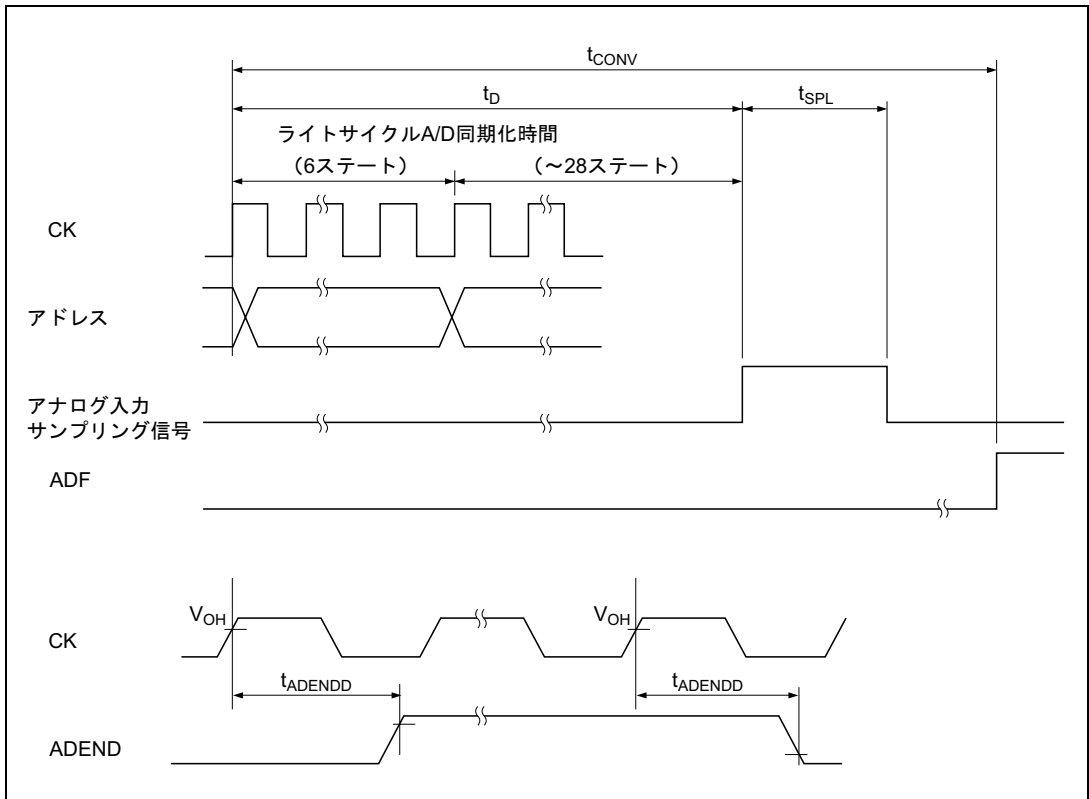


図 26.20 アナログ変換タイミング

26.3.11 H-UDI タイミング

表 26.16 に H-UDI タイミングを示します。

表 26.16 H-UDI タイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V - AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
TCK クロックサイクル	t_{tcyc}	4	-	t_{tcyc}	図 26.21
TCK クロックハイレベル幅	t_{TCKH}	0.4	0.6	t_{tcyc}	
TCK クロックローレベル幅	t_{TCKL}	0.4	0.6	t_{tcyc}	
TRST パルス幅	t_{TRSW}	20	-	t_{tcyc}	図 26.22
TRST セットアップ時間	t_{TRSS}	30	-	ns	
TMS セットアップ時間	t_{TMSs}	30	-	ns	図 26.23
TMS ホールド時間	t_{TMSH}	10	-	ns	
TDI セットアップ時間	t_{TDIS}	30	-	ns	
TDI ホールド時間	t_{TDIH}	10	-	ns	
TDO 遅延時間	t_{TDOD}	-	30	ns	

【使用上の注意】

H-UDI 端子は $V_{CC} = 3.3V \pm 0.3V$ 電源の回路です。DC 特性に規定されている入力、出力電圧の規定値で使用してください。

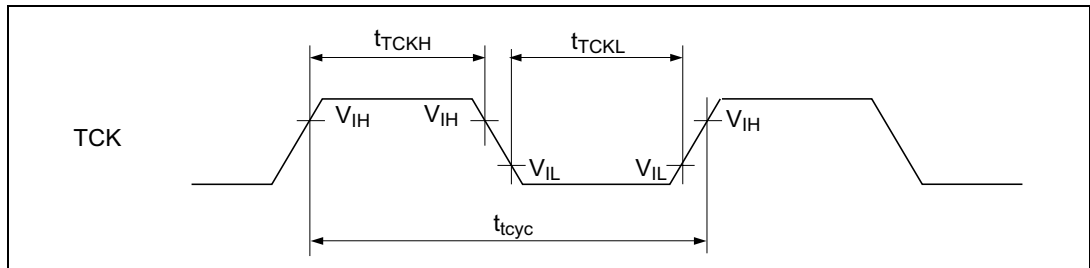


図 26.21 H-UDI クロックタイミング

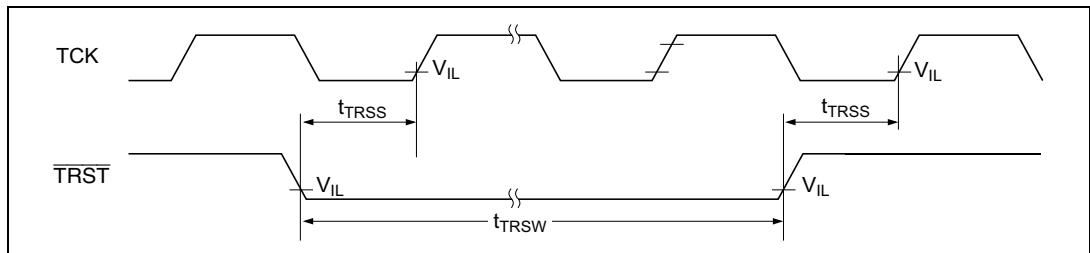


図 26.22 H-UDI TRST タイミング

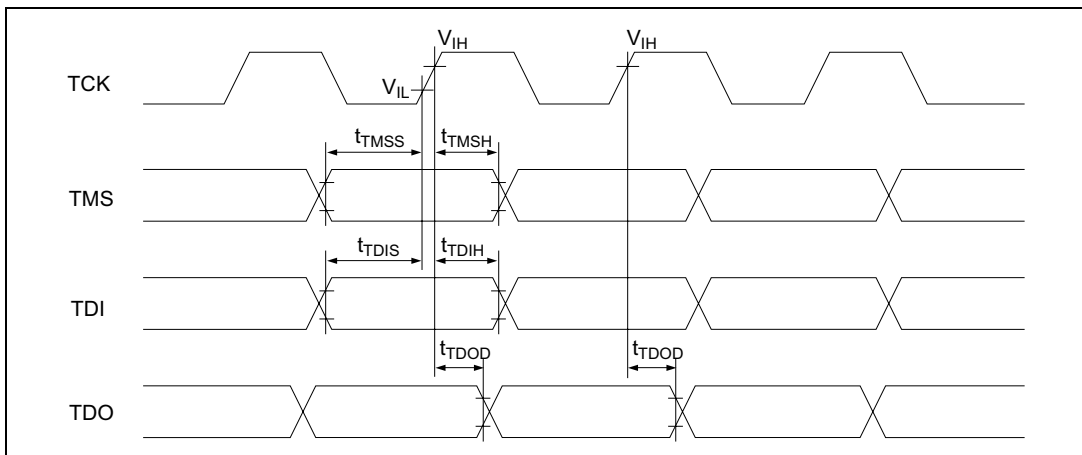


図 26.23 H-UDI 入出力タイミング

26.3.12 AUD タイミング

表 26.17 に AUD タイミングを示します。

表 26.17 AUD タイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V / 3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V - AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
AUDRST パルス幅 (ブランチトレース時)	$t_{AUDRSTW}$	20	-	t_{cyc}	図 26.24
AUDRST パルス幅 (RAM モニタ時)	$t_{AUDRSTW}$	5	-	t_{RMCYC}	
AUDMD セットアップ時間 (ブランチトレース時)	t_{AUDMDS}	20	-	t_{cyc}	
AUDMD セットアップ時間 (RAM モニタ時)	t_{AUDMDS}	5	-	t_{RMCYC}	
ブランチトレースクロックサイクル	t_{BTCYC}	2	2	t_{cyc}	図 26.25
ブランチトレースクロックデューティ	t_{BTCKW}	40	60	%	
ブランチトレースデータ遅延時間	t_{BTDD}	-	40	ns	
ブランチトレースデータホールド時間	t_{BTDH}	0	-	ns	
ブランチトレース SYNC 遅延時間	t_{BTSD}	-	40	ns	
ブランチトレース SYNC ホールド時間	t_{BTSH}	0	-	ns	
RAM モニタクロックサイクル	t_{RMCYC}	100	-	ns	図 26.26
RAM モニタクロック low パルス幅	t_{RMCKW}	45	-	ns	
RAM モニタ出力データ遅延時間	t_{RMDD}	7	$t_{RMCYC}-20$	ns	
RAM モニタ出力データホールド時間	t_{RMDHD}	5	-	ns	
RAM モニタ入力データセットアップ時間	t_{RMDS}	20	-	ns	
RAM モニタ入力データホールド時間	t_{RMDH}	5	-	ns	
RAM モニタ SYNC セットアップ時間	t_{RMSS}	20	-	ns	
RAM モニタ SYNC ホールド時間	t_{RMSH}	5	-	ns	

負荷条件： AUDCK (ブランチトレース時) : CL = 30pF、それ以外 CL = 100pF
 AUDSYNC : CL = 100pF
 AUDATA3~0 : CL = 100pF

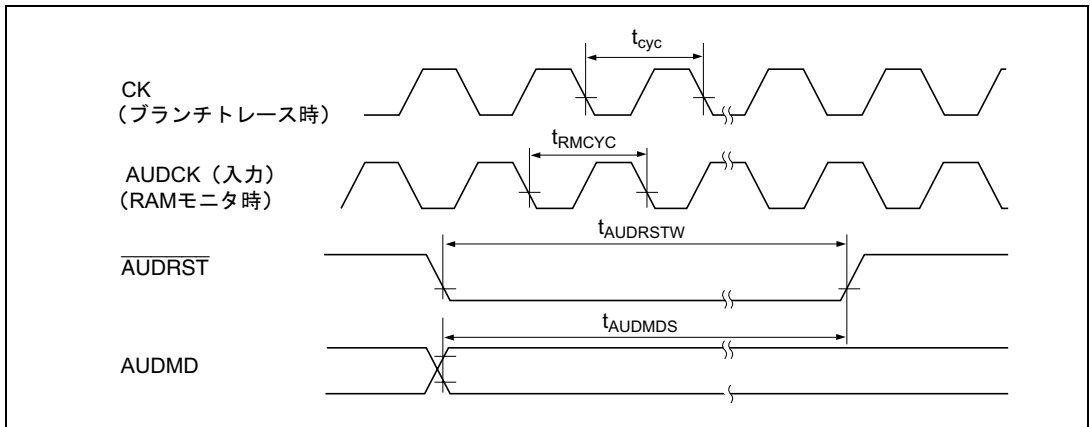


図 26.24 AUD リセットタイミング

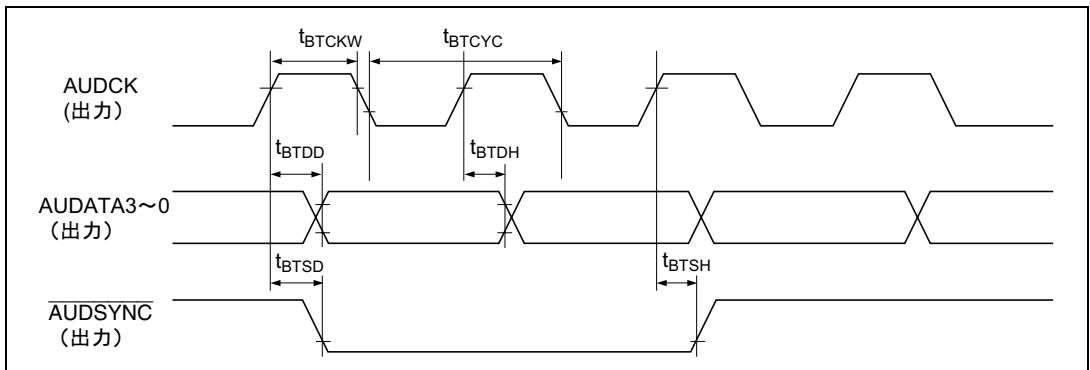


図 26.25 ブランチトレース時タイミング

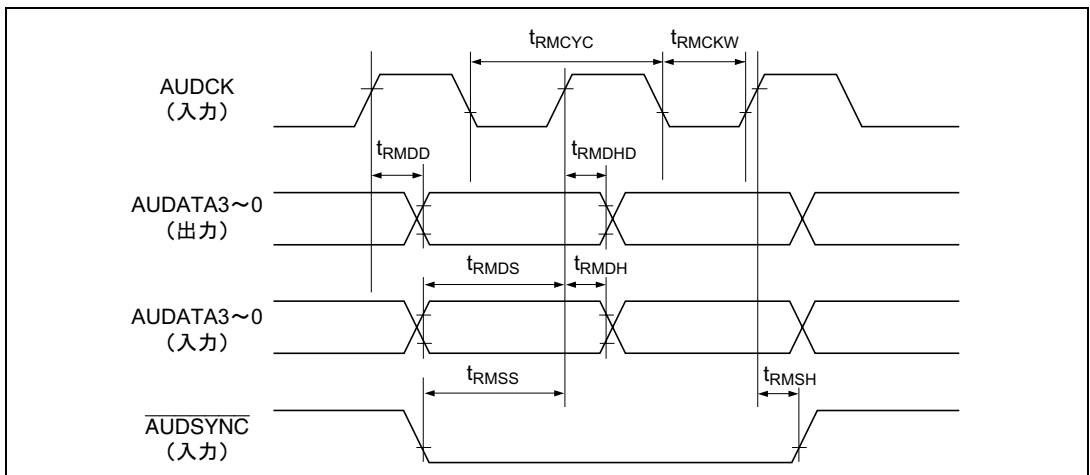


図 26.26 RAM モニタ時タイミング

26.3.13 UBC トリガタイミング

表 26.18 に UBC トリガタイミングを示します。

表 26.18 UBC トリガタイミング

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85$

項目	記号	Min	Max	単位	参照図
UBCTRG 遅延時間	t_{UBCTGD}	-	35	ns	図 26.27

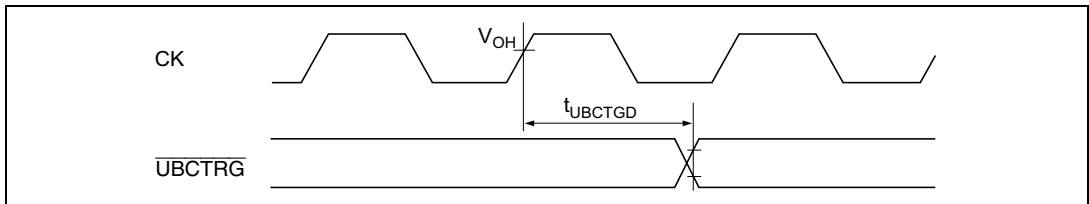


図 26.27 UBC トリガタイミング

26.3.14 AC 特性測定条件

入力参照レベル High レベル : V_{IH} min 値、Low レベル : V_{IL} max 値

出力参照レベル High レベル : 2.0V、Low レベル : 0.8V

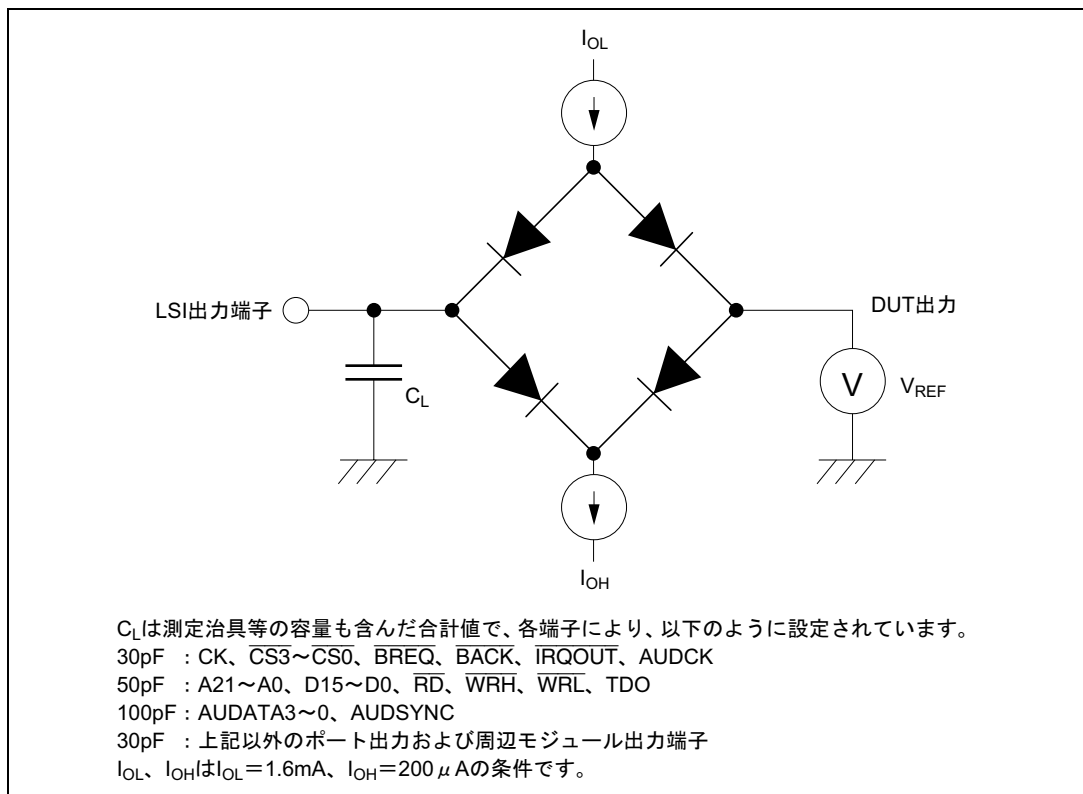


図 26.28 出力負荷回路

26.4 A/D 変換器特性

表 26.19 に A/D 変換器特性を示します。

表 26.19 A/D 変換器特性

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 125$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	CKS=0:fop=(10 ~ 20MHz)			CKS=1:fop=(10MHz)			単位
	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	ビット
A/D 変換時間	-	-	13.3	-	-	13.4	μs
アナログ入力容量	-	-	20	-	-	20	pF
許容アナログ信号源インピーダンス	-	-	3	-	-	3	k
非直線性誤差	-	-	$\pm 1.5^{*1}$	-	-	$\pm 1.5^{*1}$	LSB
			$\pm 2.5^{*2}$			$\pm 2.5^{*2}$	
オフセット誤差	-	-	$\pm 1.5^{*1}$	-	-	$\pm 1.5^{*1}$	LSB
			$\pm 2.5^{*2}$			$\pm 2.5^{*2}$	
フルスケール誤差	-	-	$\pm 1.5^{*1}$	-	-	$\pm 1.5^{*1}$	LSB
			$\pm 2.5^{*2}$			$\pm 2.5^{*2}$	
量子化誤差	-	-	± 0.5	-	-	± 0.5	LSB
絶対誤差	-	-	$\pm 2.0^{*1}$	-	-	$\pm 2.0^{*1}$	LSB
			$\pm 2.5^{*2}$			$\pm 2.5^{*2}$	

*1 $T_a = 105$

*2 $T_a > 105$

26.5 フラッシュメモリ特性

表 26.20 にフラッシュメモリ特性を示します。

表 26.20 フラッシュメモリ特性

条件： $V_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $PV_{CC1} = 5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2} = 5.0V \pm 0.5V$ 、
 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 105$ 、
 $PV_{CC1} = 3.3V \pm 0.3V$ 時は $V_{CC} = PV_{CC1}$ 、
 内蔵フラッシュメモリの W/E 時は $T_a = -40 \sim 85^\circ C$

項目	記号	min	typ	max	単位
書き込み時間 *1*2	t_P	-	20	200	ms/128 バイト
消去時間 *1*3	t_E	-	1	10	S ブロック
書き換え回数	N_{WEC}	-	-	100	回

【注】 *1 書き込み/消去は内蔵の書き込み/消去ルーチンを使用してください。

*2 all 0 書き込みの場合

*3 64kB ブロックの場合

26.6 使用上の注意

26.6.1 V_{CL} コンデンサ接続方法

SH7055SF では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (V_{CL} 端子) と V_{SS} 端子間には、内部電圧安定用のコンデンサ ($0.33 \sim 0.47 \mu\text{F}$) を接続する必要があります。外付けコンデンサ接続方法を図 26.29 に示します。外付けコンデンサは端子の近くに配置してください。 V_{CL} 端子には、電源電圧を印加しないでください。

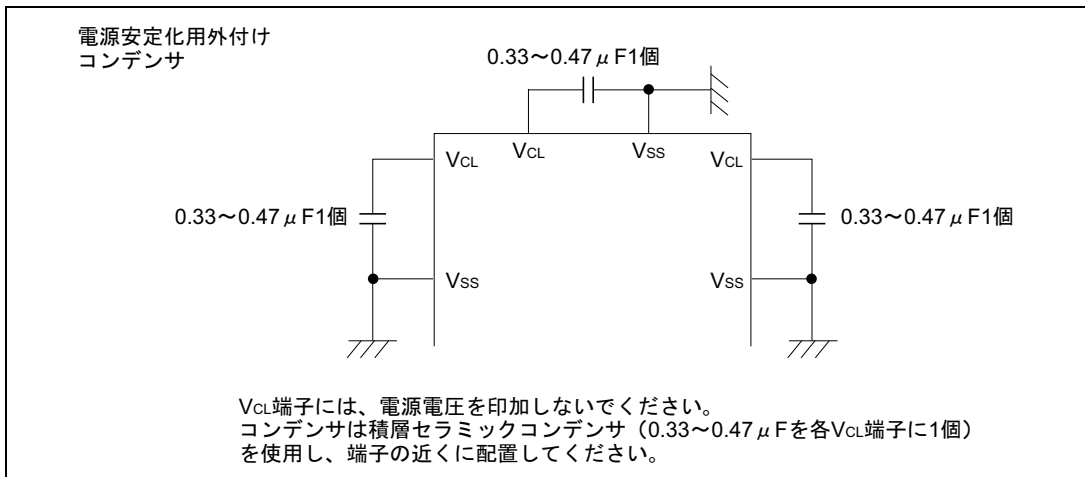


図 26.29 V_{CL} コンデンサ接続方法

26.6.2 モード端子入力に関する注意事項

電源投入時およびハードウェアスタンバイ時のモードセットアップ時間は、 t_{MDS1} で規定されます。

\overline{RES} 端子のみによるパワーオンリセット時のモードセットアップ時間は、FWE、MD2~0 端子にを入力する組み合わせにより規定が異なります。FWE、MD2~0 端子に、表 26.3 で規定しているモードを入力し動作している状態で \overline{RES} 端子にローレベルを入力した場合は、 t_{MDS2} で規定されますが、FWE、MD2~0 端子に、表 26.3 で規定している組み合わせ以外の組み合わせを入力した場合は、 t_{MDS1} で規定されます。

表 26.21 モード端子入力タイミング

項目	記号	min	typ	max	単位	備考
モードセットアップ時間 1	t_{MDS1}	30	-	-	ms	図 26.30
モードセットアップ時間 2	t_{MDS2}	10	-	-	t_{CYC}	

26. 電気的特性

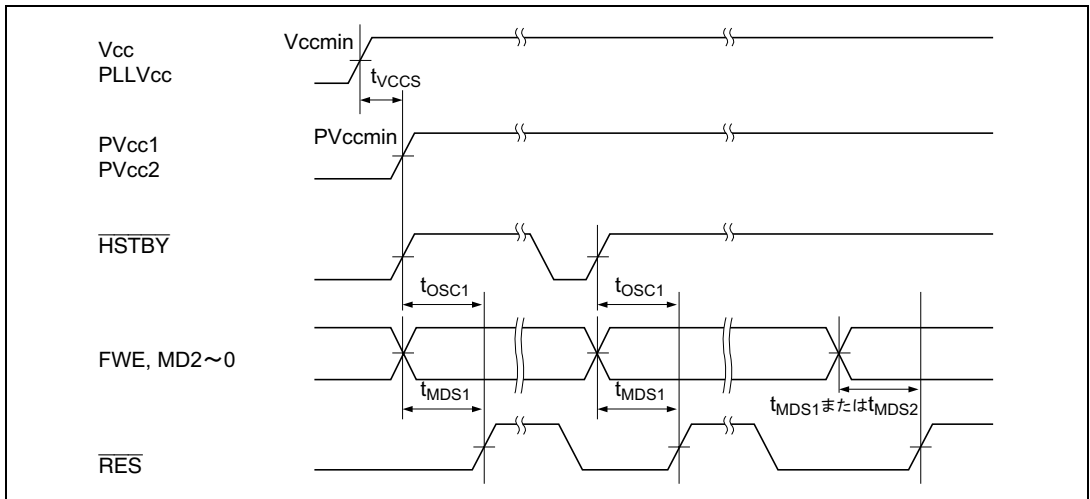


図 26.30 モード端子入力タイミング

付録

A. 内蔵周辺モジュールレジスタ

A.1 アドレス一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。
16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

表 A.1 アドレス一覧

アドレス	レジスタ 略称	ビット名								モジュール
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'FFFFFFE400	MCR	MCR7	-	MCR5	-	-	MCR2	MCR1	MCR0	HCAN (チャンネル 0)
H'FFFFFFE401	GSR	-	-	-	-	GSR3	GSR2	GSR1	GSR0	
H'FFFFFFE402	BCR	BCR7	BCR6	BCR5	BCR4	BCR3	BCR2	BCR1	BCR0	
H'FFFFFFE403		BCR15	BCR14	BCR13	BCR12	BCR11	BCR10	BCR9	BCR8	
H'FFFFFFE404	MBCR	MBCR7	MBCR6	MBCR5	MBCR4	MBCR3	MBCR2	MBCR1	-	
H'FFFFFFE405		MBCR15	MBCR14	MBCR13	MBCR12	MBCR11	MBCR10	MBCR9	MBCR8	
H'FFFFFFE406	TXPR	TXPR7	TXPR6	TXPR5	TXPR4	TXPR3	TXPR2	TXPR1	-	
H'FFFFFFE407		TXPR15	TXPR14	TXPR13	TXPR12	TXPR11	TXPR10	TXPR9	TXPR8	
H'FFFFFFE408	TXCR	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	-	
H'FFFFFFE409		TXCR15	TXCR14	TCR13	TXCR12	TXCR11	TSCR10	TXCR9	TXCR8	
H'FFFFFFE40A	TXACK	TXACK7	TXACK6	TXACK5	TXACK4	TXACK3	TXACK2	TXACK1	-	
H'FFFFFFE40B		TXACK15	TXACK14	TXACK13	TXACK12	TXACK11	TXACK10	TXACK9	TXACK8	
H'FFFFFFE40C	ABACK	ABACK7	ABACK6	ABACK5	ABACK4	ABACK3	ABACK2	ABACK1	-	
H'FFFFFFE40D		ABACK15	ABACK14	ABACK13	ABACK12	ABACK11	ABACK10	ABACK9	ABACK8	
H'FFFFFFE40E	RXPR	RXPR7	RXPR6	RXPR5	RXPR4	RXPR3	RXPR2	RXPR1	RXPR0	
H'FFFFFFE40F		RXPR15	RXPR14	RXPR13	RXPR12	RXPR11	RXPR10	RXPR9	RXPR8	
H'FFFFFFE410	RFPR	RFPR7	RFPR6	RFPR5	RFPR4	RFPR3	RFPR2	RFPR1	RFPR0	
H'FFFFFFE411		RFPR15	RFPR14	RFPR13	RFPR12	RFPR11	RFPR10	RFPR9	RFPR8	
H'FFFFFFE412	IRR	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
H'FFFFFFE413		-	-	-	IRR12	-	-	IRR9	IRR8	
H'FFFFFFE414	MBIMR	MBIMR7	MBIMR6	MBIMR5	MBIMR4	MBIMR3	MBIMR2	MBIMR1	MBIMR0	
H'FFFFFFE415		MBIMR15	MBIMR14	MBIMR13	MBIMR12	MBIMR11	MBIMR10	MBIMR9	MBIMR8	
H'FFFFFFE416	IMR	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	-	
H'FFFFFFE417		-	-	-	IMR12	-	-	IMR9	IMR8	
H'FFFFFFE418	REC									
H'FFFFFFE419	TEC									
H'FFFFFFE41A	UMSR	UMSR7	UMSR6	UMSR5	UMSR4	UMSR3	UMSR2	UMSR1	UMSR0	
H'FFFFFFE41B		UMSR15	UMSR14	UMSR13	UMSR12	UMSR11	UMSR10	UMSR9	UMSR8	
H'FFFFFFE41C	LAFML	LAFML7	LAFML6	LAFML5	LAFML4	LAFML3	LAFML2	LAFML1	LAFML0	
H'FFFFFFE41D		LAFML15	LAFML14	LAFML13	LAFML12	LAFML11	LAFML10	LAFML9	LAFML8	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE41E	LAFMH	LAFMH7	LAFMH6	LAFMH5	-	-	-	LAFMH1	LAFMH0	HCAN (チャンネル0)
H'FFFFE41F		LAFMH15	LAFMH14	LAFMH13	LAFMH12	LAFMH11	LAFMH10	LAFMH9	LAFMH8	
H'FFFFE420	MC0[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE421	MC0[2]									
H'FFFFE422	MC0[3]									
H'FFFFE423	MC0[4]									
H'FFFFE424	MC0[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE425	MC0[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE426	MC0[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE427	MC0[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE428	MC1[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE429	MC1[2]									
H'FFFFE42A	MC1[3]									
H'FFFFE42B	MC1[4]									
H'FFFFE42C	MC1[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE42D	MC1[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE42E	MC1[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE42F	MC1[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE430	MC2[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE431	MC2[2]									
H'FFFFE432	MC2[3]									
H'FFFFE433	MC2[4]									
H'FFFFE434	MC2[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE435	MC2[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE436	MC2[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE437	MC2[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE438	MC3[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE439	MC3[2]									
H'FFFFE43A	MC3[3]									
H'FFFFE43B	MC3[4]									
H'FFFFE43C	MC3[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE43D	MC3[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE43E	MC3[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE43F	MC3[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE440	MC4[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE441	MC4[2]									
H'FFFFE442	MC4[3]									
H'FFFFE443	MC4[4]									
H'FFFFE444	MC4[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE445	MC4[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE446	MC4[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE447	MC4[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE448	MC5[1]					DLC3	DLC2	DLC1	DLC0	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE449	MC5[2]									HCAN (チャンネル0)
H'FFFFE44A	MC5[3]									
H'FFFFE44B	MC5[4]									
H'FFFFE44C	MC5[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE44D	MC5[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE44E	MC5[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE44F	MC5[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE450	MC6[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE451	MC6[2]									
H'FFFFE452	MC6[3]									
H'FFFFE453	MC6[4]									
H'FFFFE454	MC6[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE455	MC6[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE456	MC6[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE457	MC6[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE458	MC7[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE459	MC7[2]									
H'FFFFE45A	MC7[3]									
H'FFFFE45B	MC7[4]									
H'FFFFE45C	MC7[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE45D	MC7[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE45E	MC7[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE45F	MC7[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE460	MC8[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE461	MC8[2]									
H'FFFFE462	MC8[3]									
H'FFFFE463	MC8[4]									
H'FFFFE464	MC8[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE465	MC8[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE466	MC8[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE467	MC8[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE468	MC9[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE469	MC9[2]									
H'FFFFE46A	MC9[3]									
H'FFFFE46B	MC9[4]									
H'FFFFE46C	MC9[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE46D	MC9[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE46E	MC9[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE46F	MC9[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE470	MC10[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE471	MC10[2]									
H'FFFFE472	MC10[3]									

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE473	MC10[4]									HCAN (チャンネル0)
H'FFFFE474	MC10[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE475	MC10[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE476	MC10[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE477	MC10[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE478	MC11[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE479	MC11[2]									
H'FFFFE47A	MC11[3]									
H'FFFFE47B	MC11[4]									
H'FFFFE47C	MC11[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE47D	MC11[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE47E	MC11[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE47F	MC11[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE480	MC12[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE481	MC12[2]									
H'FFFFE482	MC12[3]									
H'FFFFE483	MC12[4]									
H'FFFFE484	MC12[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE485	MC12[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE486	MC12[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE487	MC12[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE488	MC13[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE489	MC13[2]									
H'FFFFE48A	MC13[3]									
H'FFFFE48B	MC13[4]									
H'FFFFE48C	MC13[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE48D	MC13[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE48E	MC13[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE48F	MC13[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE490	MC14[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE491	MC14[2]									
H'FFFFE492	MC14[3]									
H'FFFFE493	MC14[4]									
H'FFFFE494	MC14[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE495	MC14[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE496	MC14[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE497	MC14[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE498	MC15[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE499	MC15[2]									
H'FFFFE49A	MC15[3]									
H'FFFFE49B	MC15[4]									

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE49C	MC15[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	HCAN (チャンネル0)
H'FFFFE49D	MC15[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE49E	MC15[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE49F	MC15[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE4A0	-	-	-	-	-	-	-	-	-	
H'FFFFE4AF										
H'FFFFE4B0	MD0[1]	MSG_DATA_1								
H'FFFFE4B1	MD0[2]	MSG_DATA_2								
H'FFFFE4B2	MD0[3]	MSG_DATA_3								
H'FFFFE4B3	MD0[4]	MSG_DATA_4								
H'FFFFE4B4	MD0[5]	MSG_DATA_5								
H'FFFFE4B5	MD0[6]	MSG_DATA_6								
H'FFFFE4B6	MD0[7]	MSG_DATA_7								
H'FFFFE4B7	MD0[8]	MSG_DATA_8								
H'FFFFE4B8	MD1[1]	MSG_DATA_1								
H'FFFFE4B9	MD1[2]	MSG_DATA_2								
H'FFFFE4BA	MD1[3]	MSG_DATA_3								
H'FFFFE4BB	MD1[4]	MSG_DATA_4								
H'FFFFE4BC	MD1[5]	MSG_DATA_5								
H'FFFFE4BD	MD1[6]	MSG_DATA_6								
H'FFFFE4BE	MD1[7]	MSG_DATA_7								
H'FFFFE4BF	MD1[8]	MSG_DATA_8								
H'FFFFE4C0	MD2[1]	MSG_DATA_1								
H'FFFFE4C1	MD2[2]	MSG_DATA_2								
H'FFFFE4C2	MD2[3]	MSG_DATA_3								
H'FFFFE4C3	MD2[4]	MSG_DATA_4								
H'FFFFE4C4	MD2[5]	MSG_DATA_5								
H'FFFFE4C5	MD2[6]	MSG_DATA_6								
H'FFFFE4C6	MD2[7]	MSG_DATA_7								
H'FFFFE4C7	MD2[8]	MSG_DATA_8								
H'FFFFE4C8	MD3[1]	MSG_DATA_1								
H'FFFFE4C9	MD3[2]	MSG_DATA_2								
H'FFFFE4CA	MD3[3]	MSG_DATA_3								
H'FFFFE4CB	MD3[4]	MSG_DATA_4								
H'FFFFE4CC	MD3[5]	MSG_DATA_5								
H'FFFFE4CD	MD3[6]	MSG_DATA_6								
H'FFFFE4CE	MD3[7]	MSG_DATA_7								
H'FFFFE4CF	MD3[8]	MSG_DATA_8								
H'FFFFE4D0	MD4[1]	MSG_DATA_1								
H'FFFFE4D1	MD4[2]	MSG_DATA_2								
H'FFFFE4D2	MD4[3]	MSG_DATA_3								
H'FFFFE4D3	MD4[4]	MSG_DATA_4								

付録

アドレス	レジスタ 略称	ビット名							モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1		ビット0
H'FFFFE4D4	MD4[5]								MSG_DATA_5	HCAN (チャンネル0)
H'FFFFE4D5	MD4[6]								MSG_DATA_6	
H'FFFFE4D6	MD4[7]								MSG_DATA_7	
H'FFFFE4D7	MD4[8]								MSG_DATA_8	
H'FFFFE4D8	MD5[1]								MSG_DATA_1	
H'FFFFE4D9	MD5[2]								MSG_DATA_2	
H'FFFFE4DA	MD5[3]								MSG_DATA_3	
H'FFFFE4DB	MD5[4]								MSG_DATA_4	
H'FFFFE4DC	MD5[5]								MSG_DATA_5	
H'FFFFE4DD	MD5[6]								MSG_DATA_6	
H'FFFFE4DE	MD5[7]								MSG_DATA_7	
H'FFFFE4DF	MD5[8]								MSG_DATA_8	
H'FFFFE4E0	MD6[1]								MSG_DATA_1	
H'FFFFE4E1	MD6[2]								MSG_DATA_2	
H'FFFFE4E2	MD6[3]								MSG_DATA_3	
H'FFFFE4E3	MD6[4]								MSG_DATA_4	
H'FFFFE4E4	MD6[5]								MSG_DATA_5	
H'FFFFE4E5	MD6[6]								MSG_DATA_6	
H'FFFFE4E6	MD6[7]								MSG_DATA_7	
H'FFFFE4E7	MD6[8]								MSG_DATA_8	
H'FFFFE4E8	MD7[1]								MSG_DATA_1	
H'FFFFE4E9	MD7[2]								MSG_DATA_2	
H'FFFFE4EA	MD7[3]								MSG_DATA_3	
H'FFFFE4EB	MD7[4]								MSG_DATA_4	
H'FFFFE4EC	MD7[5]								MSG_DATA_5	
H'FFFFE4ED	MD7[6]								MSG_DATA_6	
H'FFFFE4EE	MD7[7]								MSG_DATA_7	
H'FFFFE4EF	MD7[8]								MSG_DATA_8	
H'FFFFE4F0	MD8[1]								MSG_DATA_1	
H'FFFFE4F1	MD8[2]								MSG_DATA_2	
H'FFFFE4F2	MD8[3]								MSG_DATA_3	
H'FFFFE4F3	MD8[4]								MSG_DATA_4	
H'FFFFE4F4	MD8[5]								MSG_DATA_5	
H'FFFFE4F5	MD8[6]								MSG_DATA_6	
H'FFFFE4F6	MD8[7]								MSG_DATA_7	
H'FFFFE4F7	MD8[8]								MSG_DATA_8	
H'FFFFE4F8	MD9[1]								MSG_DATA_1	
H'FFFFE4F9	MD9[2]								MSG_DATA_2	
H'FFFFE4FA	MD9[3]								MSG_DATA_3	
H'FFFFE4FB	MD9[4]								MSG_DATA_4	
H'FFFFE4FC	MD9[5]								MSG_DATA_5	

アドレス	レジスタ 略称	ビット名							モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1		ビット0
H'FFFFE4FD	MD9[6]								MSG_DATA_6	HCAN (チャンネル0)
H'FFFFE4FE	MD9[7]								MSG_DATA_7	
H'FFFFE4FF	MD9[8]								MSG_DATA_8	
H'FFFFE500	MD10[1]								MSG_DATA_1	
H'FFFFE501	MD10[2]								MSG_DATA_2	
H'FFFFE502	MD10[3]								MSG_DATA_3	
H'FFFFE503	MD10[4]								MSG_DATA_4	
H'FFFFE504	MD10[5]								MSG_DATA_5	
H'FFFFE505	MD10[6]								MSG_DATA_6	
H'FFFFE506	MD10[7]								MSG_DATA_7	
H'FFFFE507	MD10[8]								MSG_DATA_8	
H'FFFFE508	MD11[1]								MSG_DATA_1	
H'FFFFE509	MD11[2]								MSG_DATA_2	
H'FFFFE50A	MD11[3]								MSG_DATA_3	
H'FFFFE50B	MD11[4]								MSG_DATA_4	
H'FFFFE50C	MD11[5]								MSG_DATA_5	
H'FFFFE50D	MD11[6]								MSG_DATA_6	
H'FFFFE50E	MD11[7]								MSG_DATA_7	
H'FFFFE50F	MD11[8]								MSG_DATA_8	
H'FFFFE510	MD12[1]								MSG_DATA_1	
H'FFFFE511	MD12[2]								MSG_DATA_2	
H'FFFFE512	MD12[3]								MSG_DATA_3	
H'FFFFE513	MD12[4]								MSG_DATA_4	
H'FFFFE514	MD12[5]								MSG_DATA_5	
H'FFFFE515	MD12[6]								MSG_DATA_6	
H'FFFFE516	MD12[7]								MSG_DATA_7	
H'FFFFE517	MD12[8]								MSG_DATA_8	
H'FFFFE518	MD13[1]								MSG_DATA_1	
H'FFFFE519	MD13[2]								MSG_DATA_2	
H'FFFFE51A	MD13[3]								MSG_DATA_3	
H'FFFFE51B	MD13[4]								MSG_DATA_4	
H'FFFFE51C	MD13[5]								MSG_DATA_5	
H'FFFFE51D	MD13[6]								MSG_DATA_6	
H'FFFFE51E	MD13[7]								MSG_DATA_7	
H'FFFFE51F	MD13[8]								MSG_DATA_8	
H'FFFFE520	MD14[1]								MSG_DATA_1	
H'FFFFE521	MD14[2]								MSG_DATA_2	
H'FFFFE522	MD14[3]								MSG_DATA_3	
H'FFFFE523	MD14[4]								MSG_DATA_4	
H'FFFFE524	MD14[5]								MSG_DATA_5	
H'FFFFE525	MD14[6]								MSG_DATA_6	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE526	MD14[7]	MSG_DATA_7								HCAN (チャンネル0)
H'FFFFE527	MD14[8]	MSG_DATA_8								
H'FFFFE528	MD15[1]	MSG_DATA_1								
H'FFFFE529	MD15[2]	MSG_DATA_2								
H'FFFFE52A	MD15[3]	MSG_DATA_3								
H'FFFFE52B	MD15[4]	MSG_DATA_4								
H'FFFFE52C	MD15[5]	MSG_DATA_5								
H'FFFFE52D	MD15[6]	MSG_DATA_6								
H'FFFFE52E	MD15[7]	MSG_DATA_7								
H'FFFFE52F	MD15[8]	MSG_DATA_8								
H'FFFFE530 ~ H'FFFFE5FF	-	-	-	-	-	-	-	-	-	-
H'FFFFE600	MCR	MCR7	-	MCR5	-	-	MCR2	MCR1	MCR0	HCAN (チャンネル1)
H'FFFFE601	GSR	-	-	-	-	GSR3	GSR2	GSR1	GSR0	
H'FFFFE602	BCR	BCR7	BCR6	BCR5	BCR4	BCR3	BCR2	BCR1	BCR0	
H'FFFFE603		BCR15	BCR14	BCR13	BCR12	BCR11	BCR10	BCR9	BCR8	
H'FFFFE604	MBCR	MBCR7	MBCR6	MBCR5	MBCR4	MBCR3	MBCR2	MBCR1	-	
H'FFFFE605		MBCR15	MBCR14	MBCR13	MBCR12	MBCR11	MBCR10	MBCR9	MBCR8	
H'FFFFE606	TXPR	TXPR7	TXPR6	TXPR5	TXPR4	TXPR3	TXPR2	TXPR1	-	
H'FFFFE607		TXPR15	TXPR14	TXPR13	TXPR12	TXPR11	TXPR10	TXPR9	TXPR8	
H'FFFFE608	TXCR	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	-	
H'FFFFE609		TXCR15	TXCR14	TCR13	TXCR12	TXCR11	TSCR10	TXCR9	TXCR8	
H'FFFFE60A	TXACK	TXACK7	TXACK6	TXACK5	TXACK4	TXACK3	TXACK2	TXACK1	-	
H'FFFFE60B		TXACK15	TXACK14	TXACK13	TXACK12	TXACK11	TXACK10	TXACK9	TXACK8	
H'FFFFE60C	ABACK	ABACK7	ABACK6	ABACK5	ABACK4	ABACK3	ABACK2	ABACK1	-	
H'FFFFE60D		ABACK15	ABACK14	ABACK13	ABACK12	ABACK11	ABACK10	ABACK9	ABACK8	
H'FFFFE60E	RXPR	RXPR7	RXPR6	RXPR5	RXPR4	RXPR3	RXPR2	RXPR1	RXPR0	
H'FFFFE60F		RXPR15	RXPR14	RXPR13	RXPR12	RXPR11	RXPR10	RXPR9	RXPR8	
H'FFFFE610	RFPR	RFPR7	RFPR6	RFPR5	RFPR4	RFPR3	RFPR2	RFPR1	RFPR0	
H'FFFFE611		RFPR15	RFPR14	RFPR13	RFPR12	RFPR11	RFPR10	RFPR9	RFPR8	
H'FFFFE612	IRR	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
H'FFFFE613		-	-	-	IRR12	-	-	IRR9	IRR8	
H'FFFFE614	MBIMR	MBIMR7	MBIMR6	MBIMR5	MBIMR4	MBIMR3	MBIMR2	MBIMR1	MBIMR0	
H'FFFFE615		MBIMR15	MBIMR14	MBIMR13	MBIMR12	MBIMR11	MBIMR10	MBIMR9	MBIMR8	
H'FFFFE616	IMR	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	-	
H'FFFFE617		-	-	-	IMR12	-	-	IMR9	IMR8	
H'FFFFE618	REC									
H'FFFFE619	TEC									
H'FFFFE61A	UMSR	UMSR7	UMSR6	UMSR5	UMSR4	UMSR3	UMSR2	UMSR1	UMSR0	
H'FFFFE61B		UMSR15	UMSR14	UMSR13	UMSR12	UMSR11	UMSR10	UMSR9	UMSR8	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE61C	LAFML	LAFML7	LAFML6	LAFML5	LAFML4	LAFML3	LAFML2	LAFML1	LAFML0	HCAN (チャンネル1)
H'FFFFE61D		LAFML15	LAFML14	LAFML13	LAFML12	LAFML11	LAFML10	LAFML9	LAFML8	
H'FFFFE61E	LAFMH	LAFMH7	LAFMH6	LAFMH5	-	-	-	LAFMH1	LAFMH0	
H'FFFFE61F		LAFMH15	LAFMH14	LAFMH13	LAFMH12	LAFMH11	LAFMH10	LAFMH9	LAFMH8	
H'FFFFE620	MC0[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE621	MC0[2]									
H'FFFFE622	MC0[3]									
H'FFFFE623	MC0[4]									
H'FFFFE624	MC0[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE625	MC0[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE626	MC0[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE627	MC0[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE628	MC1[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE629	MC1[2]									
H'FFFFE62A	MC1[3]									
H'FFFFE62B	MC1[4]									
H'FFFFE62C	MC1[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE62D	MC1[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE62E	MC1[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE62F	MC1[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE630	MC2[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE631	MC2[2]									
H'FFFFE632	MC2[3]									
H'FFFFE633	MC2[4]									
H'FFFFE634	MC2[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE635	MC2[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE636	MC2[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE637	MC2[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE638	MC3[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE639	MC3[2]									
H'FFFFE63A	MC3[3]									
H'FFFFE63B	MC3[4]									
H'FFFFE63C	MC3[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE63D	MC3[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE63E	MC3[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE63F	MC3[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE640	MC4[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE641	MC4[2]									
H'FFFFE642	MC4[3]									
H'FFFFE643	MC4[4]									
H'FFFFE644	MC4[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE645	MC4[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	HCAN (チャンネル1)
H'FFFFE646	MC4[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE647	MC4[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE648	MC5[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE649	MC5[2]									
H'FFFFE64A	MC5[3]									
H'FFFFE64B	MC5[4]									
H'FFFFE64C	MC5[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE64D	MC5[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE64E	MC5[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE64F	MC5[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE650	MC6[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE651	MC6[2]									
H'FFFFE652	MC6[3]									
H'FFFFE653	MC6[4]									
H'FFFFE654	MC6[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE655	MC6[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE656	MC6[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE657	MC6[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE658	MC7[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE659	MC7[2]									
H'FFFFE65A	MC7[3]									
H'FFFFE65B	MC7[4]									
H'FFFFE65C	MC7[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE65D	MC7[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE65E	MC7[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE65F	MC7[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE660	MC8[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE661	MC8[2]									
H'FFFFE662	MC8[3]									
H'FFFFE663	MC8[4]									
H'FFFFE664	MC8[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE665	MC8[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE666	MC8[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE667	MC8[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE668	MC9[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE669	MC9[2]									
H'FFFFE66A	MC9[3]									
H'FFFFE66B	MC9[4]									
H'FFFFE66C	MC9[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE66D	MC9[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE66E	MC9[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	HCAN (チャンネル1)
H'FFFFE66F	MC9[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE670	MC10[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE671	MC10[2]									
H'FFFFE672	MC10[3]									
H'FFFFE673	MC10[4]									
H'FFFFE674	MC10[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE675	MC10[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE676	MC10[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE677	MC10[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE678	MC11[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE679	MC11[2]									
H'FFFFE67A	MC11[3]									
H'FFFFE67B	MC11[4]									
H'FFFFE67C	MC11[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE67D	MC11[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE67E	MC11[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE67F	MC11[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE680	MC12[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE681	MC12[2]									
H'FFFFE682	MC12[3]									
H'FFFFE683	MC12[4]									
H'FFFFE684	MC12[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE685	MC12[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE686	MC12[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE687	MC12[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE688	MC13[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE689	MC13[2]									
H'FFFFE68A	MC13[3]									
H'FFFFE68B	MC13[4]									
H'FFFFE68C	MC13[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE68D	MC13[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	
H'FFFFE68E	MC13[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	
H'FFFFE68F	MC13[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8	
H'FFFFE690	MC14[1]					DLC3	DLC2	DLC1	DLC0	
H'FFFFE691	MC14[2]									
H'FFFFE692	MC14[3]									
H'FFFFE693	MC14[4]									
H'FFFFE694	MC14[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE		EXD_ID17	EXD_ID16	
H'FFFFE695	MC14[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3	

付録

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFE696	MC14[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0	HCAN (チャンネル1)	
H'FFFFE697	MC14[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'FFFFE698	MC15[1]					DLC3	DLC2	DLC1	DLC0		
H'FFFFE699	MC15[2]										
H'FFFFE69A	MC15[3]										
H'FFFFE69B	MC15[4]										
H'FFFFE69C	MC15[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	-	EXD_ID17	EXD_ID16		
H'FFFFE69D	MC15[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'FFFFE69E	MC15[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'FFFFE69F	MC15[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'FFFFE6A0	~	-	-	-	-	-	-	-	-		
H'FFFFE6AF											
H'FFFFE6B0	MD0[1]	MSG_DATA_1									
H'FFFFE6B1	MD0[2]	MSG_DATA_2									
H'FFFFE6B2	MD0[3]	MSG_DATA_3									
H'FFFFE6B3	MD0[4]	MSG_DATA_4									
H'FFFFE6B4	MD0[5]	MSG_DATA_5									
H'FFFFE6B5	MD0[6]	MSG_DATA_6									
H'FFFFE6B6	MD0[7]	MSG_DATA_7									
H'FFFFE6B7	MD0[8]	MSG_DATA_8									
H'FFFFE6B8	MD1[1]	MSG_DATA_1									
H'FFFFE6B9	MD1[2]	MSG_DATA_2									
H'FFFFE6BA	MD1[3]	MSG_DATA_3									
H'FFFFE6BB	MD1[4]	MSG_DATA_4									
H'FFFFE6BC	MD1[5]	MSG_DATA_5									
H'FFFFE6BD	MD1[6]	MSG_DATA_6									
H'FFFFE6BE	MD1[7]	MSG_DATA_7									
H'FFFFE6BF	MD1[8]	MSG_DATA_8									
H'FFFFE6C0	MD2[1]	MSG_DATA_1									
H'FFFFE6C1	MD2[2]	MSG_DATA_2									
H'FFFFE6C2	MD2[3]	MSG_DATA_3									
H'FFFFE6C3	MD2[4]	MSG_DATA_4									
H'FFFFE6C4	MD2[5]	MSG_DATA_5									
H'FFFFE6C5	MD2[6]	MSG_DATA_6									
H'FFFFE6C6	MD2[7]	MSG_DATA_7									
H'FFFFE6C7	MD2[8]	MSG_DATA_8									
H'FFFFE6C8	MD3[1]	MSG_DATA_1									
H'FFFFE6C9	MD3[2]	MSG_DATA_2									
H'FFFFE6CA	MD3[3]	MSG_DATA_3									
H'FFFFE6CB	MD3[4]	MSG_DATA_4									
H'FFFFE6CC	MD3[5]	MSG_DATA_5									

アドレス	レジスタ 略称	ビット名							モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1		ビット0
H'FFFFE6CD	MD3[6]								MSG_DATA_6	HCAN (チャンネル1)
H'FFFFE6CE	MD3[7]								MSG_DATA_7	
H'FFFFE6CF	MD3[8]								MSG_DATA_8	
H'FFFFE6D0	MD4[1]								MSG_DATA_1	
H'FFFFE6D1	MD4[2]								MSG_DATA_2	
H'FFFFE6D2	MD4[3]								MSG_DATA_3	
H'FFFFE6D3	MD4[4]								MSG_DATA_4	
H'FFFFE6D4	MD4[5]								MSG_DATA_5	
H'FFFFE6D5	MD4[6]								MSG_DATA_6	
H'FFFFE6D6	MD4[7]								MSG_DATA_7	
H'FFFFE6D7	MD4[8]								MSG_DATA_8	
H'FFFFE6D8	MD5[1]								MSG_DATA_1	
H'FFFFE6D9	MD5[2]								MSG_DATA_2	
H'FFFFE6DA	MD5[3]								MSG_DATA_3	
H'FFFFE6DB	MD5[4]								MSG_DATA_4	
H'FFFFE6DC	MD5[5]								MSG_DATA_5	
H'FFFFE6DD	MD5[6]								MSG_DATA_6	
H'FFFFE6DE	MD5[7]								MSG_DATA_7	
H'FFFFE6DF	MD5[8]								MSG_DATA_8	
H'FFFFE6E0	MD6[1]								MSG_DATA_1	
H'FFFFE6E1	MD6[2]								MSG_DATA_2	
H'FFFFE6E2	MD6[3]								MSG_DATA_3	
H'FFFFE6E3	MD6[4]								MSG_DATA_4	
H'FFFFE6E4	MD6[5]								MSG_DATA_5	
H'FFFFE6E5	MD6[6]								MSG_DATA_6	
H'FFFFE6E6	MD6[7]								MSG_DATA_7	
H'FFFFE6E7	MD6[8]								MSG_DATA_8	
H'FFFFE6E8	MD7[1]								MSG_DATA_1	
H'FFFFE6E9	MD7[2]								MSG_DATA_2	
H'FFFFE6EA	MD7[3]								MSG_DATA_3	
H'FFFFE6EB	MD7[4]								MSG_DATA_4	
H'FFFFE6EC	MD7[5]								MSG_DATA_5	
H'FFFFE6ED	MD7[6]								MSG_DATA_6	
H'FFFFE6EE	MD7[7]								MSG_DATA_7	
H'FFFFE6EF	MD7[8]								MSG_DATA_8	
H'FFFFE6F0	MD8[1]								MSG_DATA_1	
H'FFFFE6F1	MD8[2]								MSG_DATA_2	
H'FFFFE6F2	MD8[3]								MSG_DATA_3	
H'FFFFE6F3	MD8[4]								MSG_DATA_4	
H'FFFFE6F4	MD8[5]								MSG_DATA_5	
H'FFFFE6F5	MD8[6]								MSG_DATA_6	

付録

アドレス	レジスタ 略称	ビット名							モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1		ビット0
H'FFFFE6F6	MD8[7]								MSG_DATA_7	HCAN (チャンネル1)
H'FFFFE6F7	MD8[8]								MSG_DATA_8	
H'FFFFE6F8	MD9[1]								MSG_DATA_1	
H'FFFFE6F9	MD9[2]								MSG_DATA_2	
H'FFFFE6FA	MD9[3]								MSG_DATA_3	
H'FFFFE6FB	MD9[4]								MSG_DATA_4	
H'FFFFE6FC	MD9[5]								MSG_DATA_5	
H'FFFFE6FD	MD9[6]								MSG_DATA_6	
H'FFFFE6FE	MD9[7]								MSG_DATA_7	
H'FFFFE6FF	MD9[8]								MSG_DATA_8	
H'FFFFE700	MD10[1]								MSG_DATA_1	
H'FFFFE701	MD10[2]								MSG_DATA_2	
H'FFFFE702	MD10[3]								MSG_DATA_3	
H'FFFFE703	MD10[4]								MSG_DATA_4	
H'FFFFE704	MD10[5]								MSG_DATA_5	
H'FFFFE705	MD10[6]								MSG_DATA_6	
H'FFFFE706	MD10[7]								MSG_DATA_7	
H'FFFFE707	MD10[8]								MSG_DATA_8	
H'FFFFE708	MD11[1]								MSG_DATA_1	
H'FFFFE709	MD11[2]								MSG_DATA_2	
H'FFFFE70A	MD11[3]								MSG_DATA_3	
H'FFFFE70B	MD11[4]								MSG_DATA_4	
H'FFFFE70C	MD11[5]								MSG_DATA_5	
H'FFFFE70D	MD11[6]								MSG_DATA_6	
H'FFFFE70E	MD11[7]								MSG_DATA_7	
H'FFFFE70F	MD11[8]								MSG_DATA_8	
H'FFFFE710	MD12[1]								MSG_DATA_1	
H'FFFFE711	MD12[2]								MSG_DATA_2	
H'FFFFE712	MD12[3]								MSG_DATA_3	
H'FFFFE713	MD12[4]								MSG_DATA_4	
H'FFFFE714	MD12[5]								MSG_DATA_5	
H'FFFFE715	MD12[6]								MSG_DATA_6	
H'FFFFE716	MD12[7]								MSG_DATA_7	
H'FFFFE717	MD12[8]								MSG_DATA_8	
H'FFFFE718	MD13[1]								MSG_DATA_1	
H'FFFFE719	MD13[2]								MSG_DATA_2	
H'FFFFE71A	MD13[3]								MSG_DATA_3	
H'FFFFE71B	MD13[4]								MSG_DATA_4	
H'FFFFE71C	MD13[5]								MSG_DATA_5	
H'FFFFE71D	MD13[6]								MSG_DATA_6	
H'FFFFE71E	MD13[7]								MSG_DATA_7	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE71F	MD13[8]	MSG_DATA_8								HCAN (チャンネル1)
H'FFFFE720	MD14[1]	MSG_DATA_1								
H'FFFFE721	MD14[2]	MSG_DATA_2								
H'FFFFE722	MD14[3]	MSG_DATA_3								
H'FFFFE723	MD14[4]	MSG_DATA_4								
H'FFFFE724	MD14[5]	MSG_DATA_5								
H'FFFFE725	MD14[6]	MSG_DATA_6								
H'FFFFE726	MD14[7]	MSG_DATA_7								
H'FFFFE727	MD14[8]	MSG_DATA_8								
H'FFFFE728	MD15[1]	MSG_DATA_1								
H'FFFFE729	MD15[2]	MSG_DATA_2								
H'FFFFE72A	MD15[3]	MSG_DATA_3								
H'FFFFE72B	MD15[4]	MSG_DATA_4								
H'FFFFE72C	MD15[5]	MSG_DATA_5								
H'FFFFE72D	MD15[6]	MSG_DATA_6								
H'FFFFE72E	MD15[7]	MSG_DATA_7								
H'FFFFE72F	MD15[8]	MSG_DATA_8								
H'FFFFE730 ~ H'FFFFE7FF	-	-	-	-	-	-	-	-	-	-
H'FFFFE800	FCCS	FWE	-	-	FLER	-	-	-	SCO	FLASH
H'FFFFE801	FPCS	-	-	-	-	-	-	-	PPVS	
H'FFFFE802	FECS	-	-	-	-	-	-	-	EPVB	
H'FFFFE803	-	システム領域です。アクセスしないでください。								
H'FFFFE804	FKEY	K7	K6	K5	K4	K3	K2	K1	K0	
H'FFFFE805	FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
H'FFFFE806	FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0	
H'FFFFE807 ~ H'FFFFEBFF	-	システム領域です。アクセスしないでください。								
H'FFFFEC00	UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBC
H'FFFFEC01		UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16	
H'FFFFEC02	UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8	
H'FFFFEC03		UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0	
H'FFFFEC04	UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24	
H'FFFFEC05		UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16	
H'FFFFEC06	UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8	
H'FFFFEC07		UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0	
H'FFFFEC08	UBBR	-	-	-	-	-	-	-	-	
H'FFFFEC09		CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0	
H'FFFFEC0A	UBCR	-	-	-	-	-	-	-	-	
H'FFFFEC0B		-	-	-	-	-	CKS1	CKS0	UBID	

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFFFC0C ~ H'FFFFFFC0F	-	-	-	-	-	-	-	-	-	-	-
H'FFFFFFE10	TCSR *	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	WDT	
H'FFFFFFE11	TCNT *										
H'FFFFFFE12	-	-	-	-	-	-	-	-	-		
H'FFFFFFE13	RSTCSR *	WOVF	RSTE	RSTS	-	-	-	-	-		
H'FFFFFFE14	SBYCR	SSBY	HIZ	-	-	-	-	-	-	低消費電力 モード	
H'FFFFFFE15 ~ H'FFFFFFE1F	-	-	-	-	-	-	-	-	-	-	
H'FFFFFFE20	BCR1	-	-	-	-	-	-	-	-	BSC	
H'FFFFFFE21		-	-	-	-	A3SZ	A2SZ	A1SZ	A0SZ		
H'FFFFFFE22	BCR2	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00		
H'FFFFFFE23		CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0		
H'FFFFFFE24	WCR	W33	W32	W31	W30	W23	W22	W21	W20		
H'FFFFFFE25		W13	W12	W11	W10	W03	W02	W01	W00		
H'FFFFFFE26	RAMER	-	-	-	-	-	-	-	-		
H'FFFFFFE27		-	-	-	-	RAMS	RAM2	RAM1	RAM0		
H'FFFFFFE28 ~ H'FFFFFFEAF	-	-	-	-	-	-	-	-	-	-	

【注】 * 読み出し時のアドレスです。書き込み時のアドレスは、TCSR と TCNT が H'FFFFFFE10、RSTCSR が H'FFFFFFE12 です。
詳細は「13.2.4 レジスタアクセス時の注意」を参照してください。

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFFE0	DMAOR	-	-	-	-	-	-	-	-	DMAC (共通)
H'FFFFFFE1		-	-	-	-	-	AE	NMIF	DME	
H'FFFFFFE2	-	-	-	-	-	-	-	-	-	-
H'FFFFFFE3		-	-	-	-	-	-	-	-	
H'FFFFFFE4	SAR0									DMAC (チャンネル0)
H'FFFFFFE5										
H'FFFFFFE6										
H'FFFFFFE7										
H'FFFFFFE8	DAR0									
H'FFFFFFE9										
H'FFFFFFEA										
H'FFFFFFEB										
H'FFFFFFEC	DMATCR0	-	-	-	-	-	-	-	-	
H'FFFFFFED										
H'FFFFFFEE										
H'FFFFFFEF										
H'FFFFFFF0	CHCR0	-	-	-	-	-	-	-	-	
H'FFFFFFF1		-	-	-	RS4	RS3	RS2	RS1	RS0	
H'FFFFFFF2		-	-	SM1	SM0	-	-	DM1	DM0	
H'FFFFFFF3		-	-	TS1	TS0	TM	IE	TE	DE	
H'FFFFFFF4	SAR1									DMAC (チャンネル1)
H'FFFFFFF5										
H'FFFFFFF6										
H'FFFFFFF7										
H'FFFFFFF8	DAR1									
H'FFFFFFF9										
H'FFFFFFFA										
H'FFFFFFFB										
H'FFFFFFFC	DMATCR1	-	-	-	-	-	-	-	-	
H'FFFFFFFD										
H'FFFFFFFE										
H'FFFFFFFF										
H'FFFFFF00	CHCR1	-	-	-	-	-	-	-	-	
H'FFFFFF01		-	-	-	RS4	RS3	RS2	RS1	RS0	
H'FFFFFF02		-	-	SM1	SM0	-	-	DM1	DM0	
H'FFFFFF03		-	-	TS1	TS0	TM	IE	TE	DE	
H'FFFFFF04	SAR2									DMAC (チャンネル2)
H'FFFFFF05										
H'FFFFFF06										
H'FFFFFF07										

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFFE4	DAR2									DMAC (チャンネル2)
H'FFFFFFE5										
H'FFFFFFE6										
H'FFFFFFE7										
H'FFFFFFE8	DMATCR2	-	-	-	-	-	-	-	-	
H'FFFFFFE9										
H'FFFFFFEA										
H'FFFFFFEB										
H'FFFFFFEC	CHCR2	-	-	-	-	-	-	-	RO	
H'FFFFFFED		-	-	-	RS4	RS3	RS2	RS1	RS0	
H'FFFFFFEE		-	-	SM1	SM0	-	-	DM1	DM0	
H'FFFFFFEF		-	-	TS1	TS0	TM	IE	TE	DE	
H'FFFFFFF0	SAR3									DMAC (チャンネル3)
H'FFFFFFF1										
H'FFFFFFF2										
H'FFFFFFF3										
H'FFFFFFF4	DAR3									
H'FFFFFFF5										
H'FFFFFFF6										
H'FFFFFFF7										
H'FFFFFFF8	DMATCR3	-	-	-	-	-	-	-	-	
H'FFFFFFF9										
H'FFFFFFFA										
H'FFFFFFFB										
H'FFFFFFFC	CHCR3	-	-	-	DI	-	-	-	-	
H'FFFFFFFD		-	-	-	RS4	RS3	RS2	RS1	RS0	
H'FFFFFFFE		-	-	SM1	SM0	-	-	DM1	DM0	
H'FFFFFFFF		-	-	TS1	TS0	TM	IE	TE	DE	
H'FFFFFFD0	IPRA									INTC
H'FFFFFFD1										
H'FFFFFFD2	IPRB									
H'FFFFFFD3										
H'FFFFFFD4	IPRC									
H'FFFFFFD5										
H'FFFFFFD6	IPRD									
H'FFFFFFD7										
H'FFFFFFD8	IPRE									
H'FFFFFFD9										
H'FFFFFFDA	IPRF									
H'FFFFFFDB										
H'FFFFFFDC	IPRG									
H'FFFFFFDD										

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF0E	IPRH									INTC
H'FFFFFF0F										
H'FFFFFF10	IPRI									
H'FFFFFF11										
H'FFFFFF12	IPRJ									
H'FFFFFF13										
H'FFFFFF14	IPRK									
H'FFFFFF15										
H'FFFFFF16	IPRL									
H'FFFFFF17										
H'FFFFFF18	ICR	NMIL	-	-	-	-	-	-	NMIE	
H'FFFFFF19		IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S	
H'FFFFFF1A	ISR	-	-	-	-	-	-	-	-	
H'FFFFFF1B		IRQ0F	IRQ1F	IRQ2F	IRQ3F	IRQ4F	IRQ5F	IRQ6F	IRQ7F	
H'FFFFFF1C	-	-	-	-	-	-	-	-	-	
H'FFFFFF1F										
H'FFFFFF00	SMR0	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル0)
H'FFFFFF01	BRR0									
H'FFFFFF02	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFFFF03	TDR0									
H'FFFFFF04	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFFFF05	RDR0									
H'FFFFFF06	SDCR0	-	-	-	-	DIR	-	-	-	
H'FFFFFF07	-	-	-	-	-	-	-	-	-	
H'FFFFFF08	SMR1	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル1)
H'FFFFFF09	BRR1									
H'FFFFFF0A	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFFFF0B	TDR1									
H'FFFFFF0C	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFFFF0D	RDR1									
H'FFFFFF0E	SDCR1	-	-	-	-	DIR	-	-	-	
H'FFFFFF0F	-	-	-	-	-	-	-	-	-	
H'FFFFFF10	SMR2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル2)
H'FFFFFF11	BRR2									
H'FFFFFF12	SCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFFFF13	TDR2									
H'FFFFFF14	SSR2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFFFF15	RDR2									
H'FFFFFF16	SDCR2	-	-	-	-	DIR	-	-	-	
H'FFFFFF17	-	-	-	-	-	-	-	-	-	

付録

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFFF018	SMR3	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル3)	
H'FFFFFF019	BRR3										
H'FFFFFF01A	SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FFFFFF01B	TDR3										
H'FFFFFF01C	SSR3	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FFFFFF01D	RDR3										
H'FFFFFF01E	SDCR3	-	-	-	-	DIR	-	-	-		
H'FFFFFF01F	-	-	-	-	-	-	-	-	-		
H'FFFFFF020	SMR4	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0		SCI (チャンネル4)
H'FFFFFF021	BRR4										
H'FFFFFF022	SCR4	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FFFFFF023	TDR4										
H'FFFFFF024	SSR4	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FFFFFF025	RDR4										
H'FFFFFF026	SDCR4	-	-	-	-	DIR	-	-	-		
H'FFFFFF027 ~ H'FFFFFF3FF	-	-	-	-	-	-	-	-	-	-	
H'FFFFFF400	TSTR2	STR7D	STR7C	STR7B	STR7A	STR6D	STR6C	STR6B	STR6A	ATU-II (共通)	
H'FFFFFF401	TSTR1	STR10	STR5	STR4	STR3	STR1B,2B	STR2A	STR1A	STR0		
H'FFFFFF402	TSTR3	-	-	-	-	-	-	-	STR11		
H'FFFFFF403	-	-	-	-	-	-	-	-	-		
H'FFFFFF404	PSCR1	-	-	-	PSC1E	PSC1D	PSC1C	PSC1B	PSC1A		
H'FFFFFF405	-	-	-	-	-	-	-	-	-		
H'FFFFFF406	PSCR2				PSC2E	PSC2D	PSC2C	PSC2B	PSC2A		
H'FFFFFF407	-	-	-	-	-	-	-	-	-		
H'FFFFFF408	PSCR3	-	-	-	PSC3E	PSC3D	PSC3C	PSC3B	PSC3A		
H'FFFFFF409	-	-	-	-	-	-	-	-	-		
H'FFFFFF40A	PSCR4	-	-	-	PSC4E	PSC4D	PSC4C	PSC4B	PSC4A		
H'FFFFFF40B	-	-	-	-	-	-	-	-	-		
H'FFFFFF40C ~ H'FFFFFF41F	-	-	-	-	-	-	-	-	-		-
H'FFFFFF420	ICR0DH									ATU-II (チャンネル0)	
H'FFFFFF421											
H'FFFFFF422	ICR0DL										
H'FFFFFF423											
H'FFFFFF424	ITVRR1	ITVA9	ITVA8	ITVA7	ITVA6	ITVE9	ITVE8	ITVE7	TIVE6	ATU-II (チャンネル1)	
H'FFFFFF425	-	-	-	-	-	-	-	-	-		
H'FFFFFF426	ITVRR2A	ITVA13A	ITVA12A	ITVA11A	ITVA10A	ITVE13A	ITVE12A	ITVE11A	ITVE10A	ATU-II (チャンネル2)	
H'FFFFFF427	-	-	-	-	-	-	-	-	-		
H'FFFFFF428	ITVRR2B	ITVA13B	ITVA12B	ITVA11B	ITVA10B	ITVE13B	ITVE12B	ITVE11B	ITVE10B		
H'FFFFFF429	-	-	-	-	-	-	-	-	-		

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFFF42A	TIOR0	IO0D1	IO0D0	IO0C1	IO0C0	IO0B1	IO0B0	IO0A1	IO0A0	ATU-II (チャンネル0)	
H'FFFFFF42B	-	-	-	-	-	-	-	-	-		
H'FFFFFF42C	TSR0	-	-	-	-	-	-	-	-		
H'FFFFFF42D		IIF2B	IIF2A	IIF1	OVF0	ICF0D	ICF0C	ICF0B	ICF0A		
H'FFFFFF42E	TIER0	-	-	-	-	-	-	-	-		
H'FFFFFF42F		-	-	-	OVE0	ICE0D	ICE0C	ICE0B	ICE0A		
H'FFFFFF430	TCNT0H										
H'FFFFFF431											
H'FFFFFF432	TCNT0L										
H'FFFFFF433											
H'FFFFFF434	ICR0AH										
H'FFFFFF435											
H'FFFFFF436	ICR0AL										
H'FFFFFF437											
H'FFFFFF438	ICR0BH										
H'FFFFFF439											
H'FFFFFF43A	ICR0BL										
H'FFFFFF43B											
H'FFFFFF43C	ICR0CH										
H'FFFFFF43D											
H'FFFFFF43E	ICR0CL										
H'FFFFFF43F											
H'FFFFFF440	TCNT1A										ATU-II (チャンネル1)
H'FFFFFF441											
H'FFFFFF442	TCNT1B										
H'FFFFFF443											
H'FFFFFF444	GR1A										
H'FFFFFF445											
H'FFFFFF446	GR1B										
H'FFFFFF447											
H'FFFFFF448	GR1C										
H'FFFFFF449											
H'FFFFFF44A	GR1D										
H'FFFFFF44B											
H'FFFFFF44C	GR1E										
H'FFFFFF44D											
H'FFFFFF44E	GR1F										
H'FFFFFF44F											
H'FFFFFF450	GR1G										
H'FFFFFF451											
H'FFFFFF452	GR1H										
H'FFFFFF453											

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFF454	OCR1									ATU-II (チャンネル1)
H'FFFFF455										
H'FFFFF456	OSBR1									
H'FFFFF457										
H'FFFFF458	TIOR1B	-	IO1D2	IO1D1	IO1D0	-	IO1C2	IO1C1	IO1C0	
H'FFFFF459	TIOR1A	-	IO1B2	IO1B1	IO1B0	-	IO1A2	IO1A1	IO1A0	
H'FFFFF45A	TIOR1D	-	IO1H2	IO1H1	IO1H0	-	IO1G2	IO1G1	IO1G0	
H'FFFFF45B	TIOR1C	-	IO1F2	IO1F1	IO1F0	-	IO1E2	IO1E1	IO1E0	
H'FFFFF45C	TCR1B	-	-	CKEGB1	CKEGB0	CKSELB3	CKSELB2	CKSELB1	CKSELB0	
H'FFFFF45D	TCR1A	-	-	CKEGA1	CKEGA0	CKSELA3	CKSELA2	CKSELA1	CKSELA0	
H'FFFFF45E	TSR1A	-	-	-	-	-	-	-	OVF1A	
H'FFFFF45F		IMF1H	IMF1G	IMF1F	IMF1E	IMF1D	IMF1C	IMF1B	IMF1A	
H'FFFFF460	TSR1B	-	-	-	-	-	-	-	OVF1B	
H'FFFFF461		-	-	-	-	-	-	-	CMF1	
H'FFFFF462	TIER1A	-	-	-	-	-	-	-	OVE1A	
H'FFFFF463		IME1H	IME1G	IME1F	IME1E	IME1D	IME1C	IME1B	IME1A	
H'FFFFF464	TIER1B	-	-	-	-	-	-	-	OVE1B	
H'FFFFF465		-	-	-	-	-	-	-	CME1	
H'FFFFF466	TRGMDR	TRGMD	-	-	-	-	-	-	-	
H'FFFFF467 ~ H'FFFFF47F	-	-	-	-	-	-	-	-	-	-
H'FFFFF480	TSR3	-	OVF5	IMF5D	IMF5C	IMF5B	IMF5A	OVF4	IMF4D	ATU-II (チャンネル3、 4、5共通)
H'FFFFF481		IMF4C	IMF4B	IMF4A	OVF3	IMF3D	IMF3C	IMF3B	IMF3A	
H'FFFFF482	TIER3	-	OVE5	IME5D	IME5C	IME5B	IME5A	OVE4	IME4D	
H'FFFFF483		IME4C	IME4B	IME4A	OVE3	IME3D	IME3C	IME3B	IME3A	
H'FFFFF484	TMDR	-	-	-	-	-	T5PWM	T4PWM	T3PWM	
H'FFFFF485 ~ H'FFFFF49F	-	-	-	-	-	-	-	-	-	-
H'FFFFF4A0	TCNT3									ATU-II (チャンネル3)
H'FFFFF4A1										
H'FFFFF4A2	GR3A									
H'FFFFF4A3										
H'FFFFF4A4	GR3B									
H'FFFFF4A5										
H'FFFFF4A6	GR3C									
H'FFFFF4A7										
H'FFFFF4A8	GR3D									
H'FFFFF4A9										
H'FFFFF4AA	TIOR3B	CCI3D	IO3D2	IO3D1	IO3D0	CCI3C	IO3C2	IO3C1	IO3C0	
H'FFFFF4AB	TIOR3A	CCI3B	IO3B2	IO3B1	IO3B0	CCI3A	IO3A2	IO3A1	IO3A0	
H'FFFFF4AC	TCR3	-	-	CKEG1	CKEG0	CKSEL3	CKSEL2	CKSEL1	CKSEL0	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFF4AD ~ H'FFFFF4BF	-	-	-	-	-	-	-	-	-	-
H'FFFFF4C0	TCNT4									ATU-II (チャンネル4)
H'FFFFF4C1										
H'FFFFF4C2	GR4A									
H'FFFFF4C3										
H'FFFFF4C4	GR4B									
H'FFFFF4C5										
H'FFFFF4C6	GR4C									
H'FFFFF4C7										
H'FFFFF4C8	GR4D									
H'FFFFF4C9										
H'FFFFF4CA	TIOR4B	CCI4D	IO4D2	IO4D1	IO4D0	CCI4C	IO4C2	IO4C1	IO4C0	
H'FFFFF4CB	TIOR4A	CCI4B	IO4B2	IO4B1	IO4B0	CCI4A	IO4A2	IO4A1	IO4A0	
H'FFFFF4CC	TCR4	-	-	CKEG1	CKEG0	CKSEL3	CKSEL2	CKSEL1	CKSEL0	
H'FFFFF4CD ~ H'FFFFF4DF	-	-	-	-	-	-	-	-	-	-
H'FFFFF4E0	TCNT5									ATU-II (チャンネル5)
H'FFFFF4E1										
H'FFFFF4E2	GR5A									
H'FFFFF4E3										
H'FFFFF4E4	GR5B									
H'FFFFF4E5										
H'FFFFF4E6	GR5C									
H'FFFFF4E7										
H'FFFFF4E8	GR5D									
H'FFFFF4E9										
H'FFFFF4EA	TIOR5B	CCI5D	IO5D2	IO5D1	IO5D0	CCI5C	IO5C2	IO5C1	IO5C0	
H'FFFFF4EB	TIOR5A	CCI5B	IO5B2	IO5B1	IO5B0	CCI5A	IO5A2	IO5A1	IO5A0	
H'FFFFF4EC	TCR5	-	-	CKEG1	CKEG0	CKSEL3	CKSEL2	CKSEL1	CKSEL0	
H'FFFFF4ED ~ H'FFFFF4EF	-	-	-	-	-	-	-	-	-	-
H'FFFFF500	TCNT6A									ATU-II (チャンネル6)
H'FFFFF501										
H'FFFFF502	TCNT6B									
H'FFFFF503										
H'FFFFF504	TCNT6C									
H'FFFFF505										
H'FFFFF506	TCNT6D									
H'FFFFF507										

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF508	CYLR6A									ATU-II (チャンネル6)
H'FFFFFF509										
H'FFFFFF50A	CYLR6B									
H'FFFFFF50B										
H'FFFFFF50C	CYLR6C									
H'FFFFFF50D										
H'FFFFFF50E	CYLR6D									
H'FFFFFF50F										
H'FFFFFF510	BFR6A									
H'FFFFFF511										
H'FFFFFF512	BFR6B									
H'FFFFFF513										
H'FFFFFF514	BFR6C									
H'FFFFFF515										
H'FFFFFF516	BFR6D									
H'FFFFFF517										
H'FFFFFF518	DTR6A									
H'FFFFFF519										
H'FFFFFF51A	DTR6B									
H'FFFFFF51B										
H'FFFFFF51C	DTR6C									
H'FFFFFF51D										
H'FFFFFF51E	DTR6D									
H'FFFFFF51F										
H'FFFFFF520	TCR6B	-	CKSELD2	CKSELD1	CKSELD0	-	CKSELC2	CKSELC1	CKSELC0	
H'FFFFFF521	TCR6A	-	CKSELB2	CKSELB1	CKSELB0	-	CKSELA2	CKSELA1	CKSELA0	
H'FFFFFF522	TSR6	-	-	-	-	-	-	-	-	
H'FFFFFF523		UD6D	UD6C	UD6B	UD6A	CMF6D	CMF6C	CMF6B	CMF6A	
H'FFFFFF524	TIER6	-	-	-	-	-	-	-	-	
H'FFFFFF525		-	-	-	-	CME6D	CME6C	CME6B	CME6A	
H'FFFFFF526	PMDR	DTSELD	DTSELC	DTSELB	DTSELA	CNTSELD	CNTSELC	CNTSELB	CNTSELA	
H'FFFFFF527	-	-	-	-	-	-	-	-	-	
H'FFFFFF57F	-	-	-	-	-	-	-	-	-	
H'FFFFFF580	TCNT7A									ATU-II (チャンネル7)
H'FFFFFF581										
H'FFFFFF582	TCNT7B									
H'FFFFFF583										
H'FFFFFF584	TCNT7C									
H'FFFFFF585										
H'FFFFFF586	TCNT7D									
H'FFFFFF587										

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF588	CYLR7A									ATU-II (チャンネル7)
H'FFFFFF589										
H'FFFFFF58A	CYLR7B									
H'FFFFFF58B										
H'FFFFFF58C	CYLR7C									
H'FFFFFF58D										
H'FFFFFF58E	CYLR7D									
H'FFFFFF58F										
H'FFFFFF590	BFR7A									
H'FFFFFF591										
H'FFFFFF592	BFR7B									
H'FFFFFF593										
H'FFFFFF594	BFR7C									
H'FFFFFF595										
H'FFFFFF596	BFR7D									
H'FFFFFF597										
H'FFFFFF598	DTR7A									
H'FFFFFF599										
H'FFFFFF59A	DTR7B									
H'FFFFFF59B										
H'FFFFFF59C	DTR7C									
H'FFFFFF59D										
H'FFFFFF59E	DTR7D									
H'FFFFFF59F										
H'FFFFFF5A0	TCR7B	-	CKSELD2	CKSELD1	CKSELD0	-	CKSELC2	CKSELC1	CKSELC0	
H'FFFFFF5A1	TCR7A	-	CKSELB2	CKSELB1	CKSELB0	-	CKSELA2	CKSELA1	CKSELA0	
H'FFFFFF5A2	TSR7	-	-	-	-	-	-	-	-	
H'FFFFFF5A3		-	-	-	-	CMF7D	CMF7C	CMF7B	CMF7A	
H'FFFFFF5A4	TIER7	-	-	-	-	-	-	-	-	
H'FFFFFF5A5		-	-	-	-	CME7D	CME7C	CME7B	CME7A	
H'FFFFFF5A6 ~ H'FFFFFF5BF	-	-	-	-	-	-	-	-	-	-
H'FFFFFF5C0	TCNT11									ATU-II (チャンネル11)
H'FFFFFF5C1										
H'FFFFFF5C2	GR11A									
H'FFFFFF5C3										
H'FFFFFF5C4	GR11B									
H'FFFFFF5C5										
H'FFFFFF5C6	TIOR11	-	IO11B2	IO11B1	IO11B0	-	IO11A2	IO11A1	IO11A0	
H'FFFFFF5C7	-	-	-	-	-	-	-	-	-	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF5C8	TCR11	-	-	CKEG1	CKEG0	-	CKSELA2	CKSELA1	CKSELA0	ATU-II (チャンネル11)
H'FFFFFF5C9	-	-	-	-	-	-	-	-	-	
H'FFFFFF5CA	TSR11	-	-	-	-	-	-	-	OVF11	
H'FFFFFF5CB		-	-	-	-	-	-	IMF11B	IMF11A	
H'FFFFFF5CC	TIER11	-	-	-	-	-	-	-	OVE11	
H'FFFFFF5CD		-	-	-	-	-	-	IME11B	IME11A	
H'FFFFFF5CE	-	-	-	-	-	-	-	-	-	-
H'FFFFFF5FF		-	-	-	-	-	-	-	-	
H'FFFFFF600	TCNT2A									ATU-II (チャンネル2)
H'FFFFFF601										
H'FFFFFF602	TCNT2B									
H'FFFFFF603										
H'FFFFFF604	GR2A									
H'FFFFFF605										
H'FFFFFF606	GR2B									
H'FFFFFF607										
H'FFFFFF608	GR2C									
H'FFFFFF609										
H'FFFFFF60A	GR2D									
H'FFFFFF60B										
H'FFFFFF60C	GR2E									
H'FFFFFF60D										
H'FFFFFF60E	GR2F									
H'FFFFFF60F										
H'FFFFFF610	GR2G									
H'FFFFFF611										
H'FFFFFF612	GR2H									
H'FFFFFF613										
H'FFFFFF614	OCR2A									
H'FFFFFF615										
H'FFFFFF616	OCR2B									
H'FFFFFF617										
H'FFFFFF618	OCR2C									
H'FFFFFF619										
H'FFFFFF61A	OCR2D									
H'FFFFFF61B										
H'FFFFFF61C	OCR2E									
H'FFFFFF61D										
H'FFFFFF61E	OCR2F									
H'FFFFFF61F										

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF620	OCR2G									ATU-II (チャンネル2)
H'FFFFFF621										
H'FFFFFF622	OCR2H									
H'FFFFFF623										
H'FFFFFF624	OSBR2									
H'FFFFFF625										
H'FFFFFF626	TIOR2B	-	IO2D2	IO2D1	IO2D0	-	IO2C2	IO2C1	IO2C0	
H'FFFFFF627	TIOR2A	-	IO2B2	IO2B1	IO2B0	-	IO2A2	IO2A1	IO2A0	
H'FFFFFF628	TIOR2D	-	IO2H2	IO2H1	IO2H0	-	IO2G2	IO2G1	IO2G0	
H'FFFFFF629	TIOR2C	-	IO2F2	IO2F1	IO2F0	-	IO2E2	IO2E1	IO2E0	
H'FFFFFF62A	TCR2B	-	-	CKEGB1	CKEGB0	CKSELB3	CKSELB2	CKSELB1	CKSELB0	
H'FFFFFF62B	TCR2A	-	-	CKEGA1	CKEGA0	CKSELA3	CKSELA2	CKSELA1	CKSELA0	
H'FFFFFF62C	TSR2A	-	-	-	-	-	-	-	OVF2A	
H'FFFFFF62D		IMF2H	IMF2G	IMF2F	IMF2E	IMF2D	IMF2C	IMF2B	IMF2A	
H'FFFFFF62E	TSR2B	-	-	-	-	-	-	-	OVF2B	
H'FFFFFF62F		CMF2H	CMF2G	CMF2F	CMF2E	CMF2D	CMF2C	CMF2B	CMF2A	
H'FFFFFF630	TIER2A	-	-	-	-	-	-	-	OVE1A	
H'FFFFFF631		IME2H	IME2G	IME2F	IME2E	IME2D	IME2C	IME2B	IME2A	
H'FFFFFF632	TIER2B	-	-	-	-	-	-	-	OVE2B	
H'FFFFFF633		CME2H	CME2G	CME2F	CME2E	CME2D	CME2C	CME2B	CME2A	
H'FFFFFF634 ~ H'FFFFFF63F	-	-	-	-	-	-	-	-	-	-
H'FFFFFF640	DCNT8A									ATU-II (チャンネル8)
H'FFFFFF641										
H'FFFFFF642	DNCT8B									
H'FFFFFF643										
H'FFFFFF644	DNCT8C									
H'FFFFFF645										
H'FFFFFF646	DCNT8D									
H'FFFFFF647										
H'FFFFFF648	DCNT8E									
H'FFFFFF649										
H'FFFFFF64A	DCNT8F									
H'FFFFFF64B										
H'FFFFFF64C	DCNT8G									
H'FFFFFF64D										
H'FFFFFF64E	DCNT8H									
H'FFFFFF64F										
H'FFFFFF650	DCNT8I									
H'FFFFFF651										

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF652	DCNT8J									ATU-II (チャンネル8)
H'FFFFFF653										
H'FFFFFF654	DCNT8K									
H'FFFFFF655										
H'FFFFFF656	DCNT8L									
H'FFFFFF657										
H'FFFFFF658	DCNT8M									
H'FFFFFF659										
H'FFFFFF65A	DCNT8N									
H'FFFFFF65B										
H'FFFFFF65C	DCNT8O									
H'FFFFFF65D										
H'FFFFFF65E	DCNT8P									
H'FFFFFF65F										
H'FFFFFF660	RLDR8									
H'FFFFFF661										
H'FFFFFF662	TCNR	CN8P	CN8O	CN8N	CN8M	CN8L	CN8K	CN8J	CN8I	
H'FFFFFF663		CN8H	CN8G	CN8F	CN8E	CN8D	CN8C	CN8B	CN8A	
H'FFFFFF664	OTR	OTEP	OTEO	OTEN	OTEM	OTEL	OTEK	OTEJ	OTEI	
H'FFFFFF665		OTEH	OTEG	OTEF	OTEE	OTED	OTEC	OTEB	OTEA	
H'FFFFFF666	DSTR	DST8P	DST8O	DST8N	DST8M	DST8L	DST8K	DST8J	DST8I	
H'FFFFFF667		DST8H	DST8G	DST8F	DST8E	DST8D	DST8C	DST8B	DST8A	
H'FFFFFF668	TCR8	-	CKSELB2	CKSELB1	CKSELB0	-	CKSELA2	CKSELA1	CKSELA0	
H'FFFFFF669	-	-	-	-	-	-	-	-	-	
H'FFFFFF66A	TSR8	OSF8P	OSF8O	OSF8N	OSF8M	OSF8L	OSF8K	OSF8J	OSF8I	
H'FFFFFF66B		OSF8H	OSF8G	OSF8F	OSF8E	OSF8D	OSF8C	OSF8B	OSF8A	
H'FFFFFF66C	TIER8	OSE8P	OSE8O	OSE8N	OSE8M	OSE8L	OSE8K	OSE8J	OSE8I	
H'FFFFFF66D		OSE8H	OSE8G	OSE8F	OSE8E	OSE8D	OSE8C	OSE8B	OSE8A	
H'FFFFFF66E	RLDENR	RLDEN	-	-	-	-	-	-	-	
H'FFFFFF66F	-	-	-	-	-	-	-	-	-	
H'FFFFFF67F	-	-	-	-	-	-	-	-	-	
H'FFFFFF680	ECNT9A									ATU-II (チャンネル9)
H'FFFFFF681	-	-	-	-	-	-	-	-	-	
H'FFFFFF682	ECNT9B									
H'FFFFFF683	-	-	-	-	-	-	-	-	-	
H'FFFFFF684	ECNT9C									
H'FFFFFF685	-	-	-	-	-	-	-	-	-	
H'FFFFFF686	ECNT9D									
H'FFFFFF687	-	-	-	-	-	-	-	-	-	
H'FFFFFF688	ECNT9E									
H'FFFFFF689	-	-	-	-	-	-	-	-	-	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF68A	ECNT9F									ATU-II (チャンネル9)
H'FFFFFF68B	-	-	-	-	-	-	-	-	-	
H'FFFFFF68C	GR9A									
H'FFFFFF68D	-	-	-	-	-	-	-	-	-	
H'FFFFFF68E	GR9B									
H'FFFFFF68F	-	-	-	-	-	-	-	-	-	
H'FFFFFF690	GR9C									
H'FFFFFF691	-	-	-	-	-	-	-	-	-	
H'FFFFFF692	GR9D									
H'FFFFFF693	-	-	-	-	-	-	-	-	-	
H'FFFFFF694	GR9E									
H'FFFFFF695	-	-	-	-	-	-	-	-	-	
H'FFFFFF696	GR9F									
H'FFFFFF697	-	-	-	-	-	-	-	-	-	
H'FFFFFF698	TCR9A	-	TRG3BEN	EGSELB1	EGSELB0	-	TRG3AEN	EGSELA1	EGSELA0	
H'FFFFFF699	-	-	-	-	-	-	-	-	-	
H'FFFFFF69A	TCR9B	-	TRG3DEN	EGSELD1	EGSELD0	-	TRG3CEN	EGSELC1	EGSELC0	
H'FFFFFF69B	-	-	-	-	-	-	-	-	-	
H'FFFFFF69C	TCR9C	-	-	EGSELF1	EGSELF0	-	-	EGSELE1	EGSELE0	
H'FFFFFF69D	-	-	-	-	-	-	-	-	-	
H'FFFFFF69E	TSR9	-	-	-	-	-	-	-	-	
H'FFFFFF69F		-	-	CMF9F	CMF9E	CMF9D	CMF9C	CMF9B	CMF9A	
H'FFFFFF6A0	TIER9	-	-	-	-	-	-	-	-	
H'FFFFFF6A1		-	-	CME9F	CME9E	CME9D	CME9C	CME9B	CME9A	
H'FFFFFF6A2	-	-	-	-	-	-	-	-	-	
H'FFFFFF6BF	-	-	-	-	-	-	-	-	-	
H'FFFFFF6C0	TCNT10A H									ATU-II (チャンネル10)
H'FFFFFF6C1										
H'FFFFFF6C2	TCNT10A L									
H'FFFFFF6C3										
H'FFFFFF6C4	TCNT10B									
H'FFFFFF6C5	-	-	-	-	-	-	-	-	-	
H'FFFFFF6C6	TCNT10C									
H'FFFFFF6C7										
H'FFFFFF6C8	TCNT10D									
H'FFFFFF6C9	-	-	-	-	-	-	-	-	-	
H'FFFFFF6CA	TCNT10E									
H'FFFFFF6CB										
H'FFFFFF6CC	TCNT10F									
H'FFFFFF6CD										

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF6CE	TCNT10G									ATU-II (チャンネル10)
H'FFFFFF6CF										
H'FFFFFF6D0	ICR10AH									
H'FFFFFF6D1										
H'FFFFFF6D2	ICR10AL									
H'FFFFFF6D3										
H'FFFFFF6D4	OCR10AH									
H'FFFFFF6D5										
H'FFFFFF6D6	OCR10AL									
H'FFFFFF6D7										
H'FFFFFF6D8	OCR10B									
H'FFFFFF6D9	-	-	-	-	-	-	-	-	-	
H'FFFFFF6DA	RLD10C									
H'FFFFFF6DB										
H'FFFFFF6DC	GR10G									
H'FFFFFF6DD										
H'FFFFFF6DE	TCNT10H									
H'FFFFFF6DF	-	-	-	-	-	-	-	-	-	
H'FFFFFF6E0	NCR10									
H'FFFFFF6E1	-	-	-	-	-	-	-	-	-	
H'FFFFFF6E2	TIOR10	RLDEN	CCS	PIM1	PIM0	-	IO10G2	IO10G1	IO10G0	
H'FFFFFF6E3	-	-	-	-	-	-	-	-	-	
H'FFFFFF6E4	TCR10	TRG2BEN	TRG1BEN	TRG2AEN	TRG1AEN	TRG0DEN	NCE	CKEG1	CKEG0	
H'FFFFFF6E5	-	-	-	-	-	-	-	-	-	
H'FFFFFF6E6	TCCLR10									
H'FFFFFF6E7										
H'FFFFFF6E8	TSR10	-	-	-	-	-	-	-	-	
H'FFFFFF6E9		-	-	-	-	CMF10G	CMF10B	ICF10A	CMF10A	
H'FFFFFF6EA	TIER10	-	-	-	-	-	-	-	-	
H'FFFFFF6EB		-	-	-	IREG	CME10G	CME10B	ICE10A	CME10A	
H'FFFFFF6EC	-	-	-	-	-	-	-	-	-	
H'FFFFFF6FF	-	-	-	-	-	-	-	-	-	
H'FFFFFF700	POPCR	PULS7ROE	PULS6ROE	PULS5ROE	PULS4ROE	PULS3ROE	PULS2ROE	PULS1ROE	PULS0ROE	APC
H'FFFFFF701		PULS7SOE	PULS6SOE	PULS5SOE	PULS4SOE	PULS3SOE	PULS2SOE	PULS1SOE	PULS0SOE	
H'FFFFFF702	-	-	-	-	-	-	-	-	-	-
H'FFFFFF707	-	-	-	-	-	-	-	-	-	-
H'FFFFFF708	SYSCR	-	-	-	-	-	-	AUDSRST	RAME	低消費電力 モード
H'FFFFFF709	-	-	-	-	-	-	-	-	-	
H'FFFFFF70A	-	-	-	-	-	-	-	-	-	
H'FFFFFF70B	MSTCR *	-	-	-	-	MSTOP3	MSTOP2	MSTOP1	MSTOP0	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF70C ~ H'FFFFFF70F	-	-	-	-	-	-	-	-	-	-
H'FFFFFF710	CMSTR	-	-	-	-	-	-	-	-	CMT
H'FFFFFF711		-	-	-	-	-	-	STR1	STR0	
H'FFFFFF712	CMCSR0	-	-	-	-	-	-	-	-	
H'FFFFFF713		CMF	CMIE	-	-	-	-	CKS1	CKS0	
H'FFFFFF714	CMCNT0									

【注】 * 読み出し時のアドレスです。書き込み時のアドレスは H'FFFFFF70A です。詳細は「24.2.4 レジスタアクセス時の注意」を参照してください。

付録

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFFF715	CMCNT0									CMT	
H'FFFFFF716	CMCOR0										
H'FFFFFF717											
H'FFFFFF718	CMCSR1	-	-	-	-	-	-	-	-		
H'FFFFFF719		CMF	CMIE	-	-	-	-	CKS1	CKS0		
H'FFFFFF71A	CMCNT1										
H'FFFFFF71B											
H'FFFFFF71C	CMCOR1										
H'FFFFFF71D											
H'FFFFFF71E	-	-	-	-	-	-	-	-	-		
H'FFFFFF71F	-	-	-	-	-	-	-	-	-		
H'FFFFFF720	PAIOR	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR		ポート A
H'FFFFFF721		PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR		
H'FFFFFF722	PACRH	-	PA15MD	-	PA14MD	-	PA13MD	-	PA12MD		
H'FFFFFF723		-	PA11MD	-	PA10MD	-	PA9MD	-	PA8MD		
H'FFFFFF724	PACRL	-	PA7MD	-	PA6MD	-	PA5MD	-	PA4MD		
H'FFFFFF725		-	PA3MD	-	PA2MD	-	PA1MD	-	PA0MD		
H'FFFFFF726	PADR	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR		
H'FFFFFF727		PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR		
H'FFFFFF728	PHIOR	PH15IOR	PH14IOR	PH13IOR	PH12IOR	PH11IOR	PH10IOR	PH9IOR	PH8IOR	ポート H	
H'FFFFFF729		PH7IOR	PH6IOR	PH5IOR	PH4IOR	PH3IOR	PH2IOR	PH1IOR	PH0IOR		
H'FFFFFF72A	PHCR	PH15MD	PH14MD	PH13MD	PH12MD	PH11MD	PH10MD	PH9MD	PH8MD		
H'FFFFFF72B		PH7MD	PH6MD	PH5MD	PH4MD	PH3MD	PH2MD	PH1MD	PH0MD		
H'FFFFFF72C	PHDR	PH15DR	PH14DR	PH13DR	PH12DR	PH11DR	PH10DR	PH9DR	PH8DR		
H'FFFFFF72D		PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR		
H'FFFFFF72E	ADTRGR1	EXTRG	-	-	-	-	-	-	-		A/D
H'FFFFFF72F	ADTRGR2	EXTRG	-	-	-	-	-	-	-		
H'FFFFFF730	PBIOR	PB15IOR	PB14IOR	PB13IOR	PB12IOR	PB11IOR	PB10IOR	PB9IOR	PB8IOR		ポート B
H'FFFFFF731		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR		
H'FFFFFF732	PBCRH	PB15MD1	PB15MD0	PB14MD1	PB14MD0	-	PB13MD	PB12MD1	PB12MD0		
H'FFFFFF733		PB11MD1	PB11MD0	PB10MD1	PB10MD0	PB9MD1	PB9MD0	PB8MD1	PB8MD0		
H'FFFFFF734	PBCRL	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0		
H'FFFFFF735		-	PB3MD	-	PB2MD	-	PB1MD	-	PB0MD		
H'FFFFFF736	PBIR	PB15IR	PB14IR	PB13IR	-	PB11IR	PB10IR	PB9IR	PB8IR		
H'FFFFFF737		PB7IR	PB6IR	PB5IR	PB4IR	PB3IR	PB2IR	PB1IR	PB0IR		
H'FFFFFF738	PBDR	PB15DR	PB14DR	PB13DR	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR		
H'FFFFFF739		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
H'FFFFFF73A	PCIOR	-	-	-	-	-	-	-	-	ポート C	
H'FFFFFF73B		-	-	-	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR		
H'FFFFFF73C	PCCR	-	-	-	-	-	-	-	PC4MD		
H'FFFFFF73D		-	PC3MD	-	PC2MD	-	PC1MD	-	PC0MD		
H'FFFFFF73E	PCDR	-	-	-	-	-	-	-	-		
H'FFFFFF73F		-	-	-	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR		

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFFF740	PDIOR	-	-	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR	ポートD	
H'FFFFFF741		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR		
H'FFFFFF742	PDCRH	-	-	-	-	PD13MD1	PD13MD0	-	PD12MD		
H'FFFFFF743		-	PD11MD	-	PD10MD	-	PD9MD	-	PD8MD		
H'FFFFFF744	PDCRL	-	PD7MD	-	PD6MD	-	PD5MD	-	PD4MD		
H'FFFFFF745		-	PD3MD	-	PD2MD	-	PD1MD	-	PD0MD		
H'FFFFFF746	PDDR	-	-	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR		
H'FFFFFF747	PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR		
H'FFFFFF748	PFIOR	PF15IOR	PF14IOR	PF13IOR	PF12IOR	PF11IOR	PF10IOR	PF9IOR	PF8IOR		ポートF
H'FFFFFF749		PF7IOR	PF6IOR	PF5IOR	PF4IOR	PF3IOR	PF2IOR	PF1IOR	PF0IOR		
H'FFFFFF74A	PFCRH	CKHIZ	PF15MD	-	PF14MD	-	PF13MD	-	PF12MD		
H'FFFFFF74B		-	PF11MD	-	PF10MD	-	PF9MD	-	PF8MD		
H'FFFFFF74C	PFCRL	-	PF7MD	-	PF6MD	PF5MD1	PF5MD0	-	PF4MD		
H'FFFFFF74D		-	PF3MD	-	PF2MD	-	PF1MD	-	PF0MD		
H'FFFFFF74E	PFDR	PF15DR	PF14DR	PF13DR	PF12DR	PF11DR	PF10DR	PF9DR	PF8DR		
H'FFFFFF74F		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR		
H'FFFFFF750	PEIOR	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR	ポートE	
H'FFFFFF751		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR		
H'FFFFFF752	PECR	PE15MD	PE14MD	PE13MD	PE12MD	PE11MD	PE10MD	PE9MD	PE8MD		
H'FFFFFF753		PE7MD	PE6MD	PE5MD	PE4MD	PE3MD	PE2MD	PE1MD	PE0MD		
H'FFFFFF754	PEDR	PE15DR	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR		
H'FFFFFF755		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
H'FFFFFF756	PLIOR	-	-	PL13IOR	PL12IOR	PL11IOR	PL10IOR	PL9IOR	PL8IOR		
H'FFFFFF757		PL7IOR	PL6IOR	PL5IOR	PL4IOR	PL3IOR	PL2IOR	PL1IOR	PL0IOR		
H'FFFFFF758	PLCRH	-	-	-	-	PL13MD1	PL13MD0	-	PL12MD		
H'FFFFFF759		PL11MD1	PL11MD0	PL10MD1	PL10MD0	PL9MD1	PL9MD0	-	PL8MD		
H'FFFFFF75A	PLCRL	-	PL7MD	-	PL6MD	-	PL5MD	-	PL4MD		
H'FFFFFF75B		-	PL3MD	PL2MD1	PL2MD0	PL1MD1	PL1MD0	-	PL0MD0		
H'FFFFFF75C	PLIR	-	-	-	-	-	-	PL9IR	PL8IR		
H'FFFFFF75D		PL7IR	-	-	-	-	-	-	-		
H'FFFFFF75E	PLDR	-	-	PL13DR	PL12DR	PL11DR	PL10DR	PL9DR	PL8DR		
H'FFFFFF75F		PL7DR	PL6DR	PL5DR	PL4DR	PL3DR	PL2DR	PL1DR	PL0DR		
H'FFFFFF760	PGIOR	-	-	-	-	-	-	-	-	ポートG	
H'FFFFFF761		-	-	-	-	PG3IOR	PG2IOR	PG1IOR	PG0IOR		
H'FFFFFF762	PGCR	-	-	-	-	-	-	-	-		
H'FFFFFF763		PG3MD1	PG3MD0	PG2MD1	PG2MD0	-	PG1MD	PG0MD1	PG0MD0		
H'FFFFFF764	PGDR	-	-	-	-	-	-	-	-		
H'FFFFFF765		-	-	-	-	PG3DR	PG2DR	PG1DR	PG0DR		

付録

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFFF766	PJIOR	PJ15IOR	PJ14IOR	PJ13IOR	PJ12IOR	PJ11IOR	PJ10IOR	PJ9IOR	PJ8IOR	ポート J	
H'FFFFFF767		PJ7IOR	PJ6IOR	PJ5IOR	PJ4IOR	PJ3IOR	PJ2IOR	PJ1IOR	PJ0IOR		
H'FFFFFF768	PJCRH	-	PJ15MD	-	PJ14MD	-	PJ13MD	-	PJ12MD		
H'FFFFFF769		-	PJ11MD	-	PJ10MD	-	PJ9MD	-	PJ8MD		
H'FFFFFF76A	PJCRL	-	PJ7MD	-	PJ6MD	-	PJ5MD	-	PJ4MD		
H'FFFFFF76B		-	PJ3MD	-	PJ2MD	-	PJ1MD	-	PJ0MD		
H'FFFFFF76C	PJDR	PJ15DR	PJ14DR	PJ13DR	PJ12DR	PJ11DR	PJ10DR	PJ9DR	PJ8DR		
H'FFFFFF76D		PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR		
H'FFFFFF76E	ADTRG0	EXTRG	-	-	-	-	-	-	-		A/D
H'FFFFFF76F		-	-	-	-	-	-	-	-		
H'FFFFFF770	PKIOR	PK15IOR	PK14IOR	PK13IOR	PK12IOR	PK11IOR	PK10IOR	PK9IOR	PK8IOR	ポート K	
H'FFFFFF771		PK7IOR	PK6IOR	PK5IOR	PK4IOR	PK3IOR	PK2IOR	PK1IOR	PK0IOR		
H'FFFFFF772	PKCRH	-	PK15MD	-	PK14MD	-	PK13MD	-	PK12MD		
H'FFFFFF773		-	PK11MD	-	PK10MD	-	PK9MD	-	PK8MD		
H'FFFFFF774	PKCRL	-	PK7MD	-	PK6MD	-	PK5MD	-	PK4MD		
H'FFFFFF775		-	PK3MD	-	PK2MD	-	PK1MD	-	PK0MD		
H'FFFFFF776	PKIR	PK15IR	PK14IR	PK13IR	PK12IR	PK11IR	PK10IR	PK9IR	PK8IR		
H'FFFFFF777		PK7IR	PK6IR	PK5IR	PK4IR	PK3IR	PK2IR	PK1IR	PK0IR		
H'FFFFFF778	PKDR	PK15DR	PK14DR	PK13DR	PK12DR	PK11DR	PK10DR	PK9DR	PK8DR		
H'FFFFFF779	PKDR	PK7DR	PK6DR	PK5DR	PK4DR	PK3DR	PK2DR	PK1DR	PK0DR		
H'FFFFFF77A ~ H'FFFFFF77F	-	-	-	-	-	-	-	-	-	-	
H'FFFFFF780	PAPR	PA15PR	PA14PR	PA13PR	PA12PR	PA11PR	PA10PR	PA9PR	PA8PR	ポート A	
H'FFFFFF781		PA7PR	PA6PR	PA5PR	PA4PR	PA3PR	PA2PR	PA1PR	PA0PR		
H'FFFFFF782	PBPR	PB15PR	PB14PR	PB13PR	PB12PR	PB11PR	PB10PR	PB9PR	PB8PR	ポート B	
H'FFFFFF783		PB7PR	PB6PR	PB5PR	PB4PR	PB3PR	PB2PR	PB1PR	PB0PR		
H'FFFFFF784	PDPR	-	-	PD13PR	PD12PR	PD11PR	PD10PR	PD9PR	PD8PR	ポート D	
H'FFFFFF785		PD7PR	PD6PR	PD5PR	PD4PR	PD3PR	PD2PR	PD1PR	PD0PR		
H'FFFFFF786	PJPR	PJ15PR	PJ14PR	PJ13PR	PJ12PR	PJ11PR	PJ10PR	PJ9PR	PJ8PR	ポート J	
H'FFFFFF787		PJ7PR	PJ6PR	PJ5PR	PJ4PR	PJ3PR	PJ2PR	PJ1PR	PJ0PR		
H'FFFFFF788	PLPR	-	-	PL13PR	PL12PR	PL11PR	PL10PR	PL9PR	PL8PR	ポート L	
H'FFFFFF789		PL7PR	PL6PR	PL5PR	PL4PR	PL3PR	PL2PR	PL1PR	PL0PR		
H'FFFFFF78A ~ H'FFFFFF7BF	-	-	-	-	-	-	-	-	-	-	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF7C0	SDIR	TS3	TS2	TS1	TS0	-	-	-	-	H-UDI
H'FFFFFF7C1		-	-	-	-	-	-	-	-	
H'FFFFFF7C2	SDSR	-	-	-	-	-	-	-	-	
H'FFFFFF7C3		-	-	-	-	-	-	-	SDTRF	
H'FFFFFF7C4	SDDRH									
H'FFFFFF7C5										
H'FFFFFF7C6	SDDRL									
H'FFFFFF7C7										
H'FFFFFF7C8 ~ H'FFFFFF7FF	-	-	-	-	-	-	-	-	-	-
H'FFFFFF800	ADDR0H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
H'FFFFFF801	ADDR0L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF802	ADDR1H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF803	ADDR1L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF804	ADDR2H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF805	ADDR2L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF806	ADDR3H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF807	ADDR3L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF808	ADDR4H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF809	ADDR4L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF80A	ADDR5H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF80B	ADDR5L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF80C	ADDR6H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF80D	ADDR6L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF80E	ADDR7H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF80F	ADDR7L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF810	ADDR8H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF811	ADDR8L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF812	ADDR9H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF813	ADDR9L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF814	ADDR10H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF815	ADDR10L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF816	ADDR11H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF817	ADDR11L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF818	ADCSR0	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0	
H'FFFFFF819	ADCRO	TRGE	CKS	ADST	ADCS	-	-	-	-	
H'FFFFFF81A ~ H'FFFFFF81F	-	-	-	-	-	-	-	-	-	
H'FFFFFF820	ADDR12H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF821	ADDR12L	AD1	AD0	-	-	-	-	-	-	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF822	ADDR13H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
H'FFFFFF823	ADDR13L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF824	ADDR14H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF825	ADDR14L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF826	ADDR15H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF827	ADDR15L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF828	ADDR16H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF829	ADDR16L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF82A	ADDR17H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF82B	ADDR17L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF82C	ADDR18H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF82D	ADDR18L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF82E	ADDR19H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF82F	ADDR19L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF830	ADDR20H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF831	ADDR20L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF832	ADDR21H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF833	ADDR21L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF834	ADDR22H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF835	ADDR22L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF836	ADDR23H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF837	ADDR23L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF838	ADCSR1	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0	
H'FFFFFF839	ADCR1	TRGE	CKS	ADST	ADCS	-	-	-	-	
H'FFFFFF83A	-	-	-	-	-	-	-	-	-	
H'FFFFFF83F	-	-	-	-	-	-	-	-	-	
H'FFFFFF840	ADDR24H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF841	ADDR24L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF842	ADDR25H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF843	ADDR25L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF844	ADDR26H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF845	ADDR26L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF846	ADDR27H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF847	ADDR27L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF848	ADDR28H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF849	ADDR28L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF84A	ADDR29H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF84B	ADDR29L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF84C	ADDR30H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFFFF84D	ADDR30L	AD1	AD0	-	-	-	-	-	-	
H'FFFFFF84E	ADDR31H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF84F	ADDR31L	AD1	AD0	-	-	-	-	-	-	A/D
H'FFFFFF850 ~ H'FFFFFF857	-	-	-	-	-	-	-	-	-	
H'FFFFFF858	ADCSR2	ADF	ADIE	ADM1	ADM0	-	CH2	CH1	CH0	
H'FFFFFF859	ADCR2	TRGE	CKS	ADST	ADCS	-	-	-	-	
H'FFFFFF85A ~ H'FFFFFF85F	-	-	-	-	-	-	-	-	-	

A.2 リセット、低消費電力状態でのレジスタ状態

表 A.2 リセット、低消費電力状態でのレジスタ状態

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
CPU	R0 ~ R15	初期化	初期化	保持	保持
	SR				
	GBR				
	VBR				
	MACH,MACL				
	PR				
	PC				
FPU	FR0 ~ FR15	初期化	初期化	保持	保持
	FPUL				
	FPSCR				
割り込みコントローラ (INTC)	IPRA ~ IPRL	初期化	初期化	保持	保持
	ICR				
	ISR				
ユーザブ레이크コントローラ (UBC)	UBARH,UBARL	初期化	初期化	保持	保持
	UBAMRH,UBAMRL				
	UBBR				
	UBCR				
バスステートコントローラ (BSC)	BCR1,BCR2	初期化	初期化	保持	保持
	WCR				
ダイレクトメモリアクセスコントローラ (DMAC)	SAR0 ~ SAR3	不定	不定	不定	保持
	DAR0 ~ DAR3				
	DMATCR0 ~ DMATCR3	初期化	初期化	初期化	
	CHCR0 ~ CHCR3				
	DMAOR				
アドバンスドタイマユニット (ATU-II)	BFR6A-D,BFR7A-D	初期化	初期化	初期化	保持
	CYLR6A-D,CYLR7A-D				
	DCNT8A-P				
	DSTR				
	DTR6A-D,DTR7A-D				
	ECNT9A-F				
	GR1A-H,GR2A-H GR3A-D,GR4A-D GR5A-D,GR9A-F GR10G,GR11A,11B				
	ICR0A-D,ICR10A				
	ITVRR1,ITVRR2A,2B				
	NCR10				

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
アドバンスドタイマ ユニット (ATU-II)	OCR1,OCR2A-H OCR10AH,10AL OCR10B	初期化	初期化	初期化	保持
	OSBR1,OSBR2				
	OTR				
	PMDR				
	PSCR1-4				
	PSTR				
	RLD10C				
	RLDENR				
	RLDR8				
	TCCLR10				
	TCNR				
	TCNT0H,L TCNT1A,1B,TCNT2A,2B TCNT3-5 TCNT6A-D,TCNT7A-D TCNT10AH,10AL TCNT10B-H TCNT11				
	TCR1A,1B,TCR2A,2B, TCR3-5 TCR6A,6B,TCR7A,7B TCR8,TCR9A-C TCR10,TCR11				
	TIER0,TIER1A,1B TIER2A,2B,TIER3 TIER6-11				
	TIOR0,TIOR1A-D TIOR2A-D,TIOR3A,3B TIOR4A,4B,TIOR5A,5B TIOR10,11				
	TMDR				
TNCT10E					
TRGMDR					
TSR0,TSR1A,1B TSR2A,2B,TSR3 TSR6-11					
TSTR1-3					
アドバンスドパルス コントローラ (APC)	POPCR	初期化	初期化	保持	保持
ウォッチドッグ タイマ (WDT)	TCNT	初期化	初期化	初期化	保持
	TCSR				
	RSTCSR				

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
シリアルコミュニケーションインタフェース (SCI)	SMR0 ~ SMR4	初期化	初期化	保持	保持
	BRR0 ~ BRR4			初期化	
	SCR0 ~ SCR4				
	TDR0 ~ TDR4			保持	
	SSR0 ~ SSR4				
	RDR0 ~ RDR4				
	SDCR0 ~ SDCR4				
A/D 変換器	ADDR0 (H/L) ~ ADDR31 (H/L)	初期化	初期化	初期化	保持
	ADCSR0,ADCSR1 ADCSR2			保持	
	ADCR0,ADCR1 ADCR2				
	ADTRGR0,ADTRGR1 ADTRGR2				
コンペアマッチタイマ (CMT)	CMSTR	初期化	初期化	初期化	保持
	CMCSR0,CMCSR1				
	CMCNT0,CMCNT1				
	CMCOR0,CMCOR1				
ピンファンクションコントローラ (PFC)	PAIOR,PBIOR,PCIOR PDIOR,PEIOR,PFIOR PGIOR,PHIOR,PJIOR PKIOR,PLIOR	初期化	初期化	保持	保持
	PACRH,PACRL,PBCRH PBCRL,PBIR,PCCR PDCRH,PDCRL,PECR PFCRH,PFCL,PGCR PHCR,PJCRH,PJCRL PKCRH,PKCRL,PKIR PLCRH,PLCRL,PLIR				
I/O ポート	PADR,PBDR,PCDR PDDR,PEDR,PFDR PGDR,PHDR,PJDR PKDR,PLDR	初期化	初期化	保持	保持
	PAPR,PBPR,PDPR PJPR,PLPR	端子の値	保持	保持	端子の値
フラッシュ ROM	RAMER	初期化	初期化	保持	保持
	FCCS			初期化/保持*	
	FPCS			初期化	
	FECS			保持	
	FKEY				
	FMATS				
	FTDAR			初期化	

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
低消費電力状態関係	SBYCR	初期化	初期化	保持	保持
	SYSCR				
	MSTCR				
コントローラ エリアネットワーク (HCAN)	MCR	初期化	初期化	初期化	保持
	GSR				
	BCR				
	MBCR				
	TXPR				
	TXCR				
	TXACK				
	ABACK				
	RXPR				
	RFPR				
	IRR				
	MBIMR				
	IMR				
	REC				
	TEC				
	UMSR				
	LAFML				
LAFMH					
	MC0[1:8] ~ MC15[1:8]	不定	不定	不定	
	MD0[1:8] ~ MD15[1:8]				
ハイパフォーマンス ユーザデバッグ インタフェース (H-UDI)	SDIR	保持	保持	保持	
	SDSR				
	SDDRH,SDDRL				

【注】 * ビット7 (FLER) は保持、ビット0 (SCO) は初期化

B. 端子状態

表 B.1 表 B.2 表 B.3 に SH7055SF の端子状態を示します。

表 B.1 端子状態 (1)

分類	端子名	端子状態							バス権 解放状態
		リセット状態			低消費電力状態				
		パワーオン			ハードウェア	ソフトウェア	H-UDI	AUD	
		ROMなし 拡張	ROMあり 拡張	シングルチップ	スタンバイ	スタンバイ	モジュール スタンバイ	モジュール スタンバイ	
8ビット	16ビット								
クロック	CK*2	O			Z	H*1	O	O	O
	XTAL	O			L	L	O	O	O
	EXTAL	I			Z	I	I	I	I
	PLLCAP	I			I	I	I	I	I
システム制御	RES	I			Z	I	I	I	I
	FWE	I			I	I	I	I	I
	HSTBY	I			I	I	I	I	I
	MD0	I			I	I	I	I	I
	MD1	I			I	I	I	I	I
	MD2	I			I	I	I	I	I
	WDTOVF	O			Z	O*1	O	O	O
	BREQ				Z	Z	I	I	I
	BACK				Z	Z	O	O	L
割り込み	NMI	I			Z	I	I	I	I
	IRQ0 - IRQ7				Z	Z	I	I	I
	IRQOUT				Z	O*1	O	O	O
アドレスバス	A0 - A21	O			Z	Z	O	O	Z
データバス	D0 - D7	Z			Z	Z	I/O	I/O	Z
	D8 - D15		Z		Z	Z	I/O	I/O	Z
バス制御	WAIT	I			Z	Z	I	I	I
	WRH,WRL	H			Z	Z	O	O	Z
	RD	H			Z	Z	O	O	Z
	CS0	H			Z	Z	O	O	Z
	CS1 - CS3				Z	Z	O	O	Z
ポート制御	POD				Z	Z	I	I	I
ATU-II	TIOA ~ TIOD				Z	Z	I	I	I
	TIO1A ~ TIO1H				Z	K*1	I/O	I/O	I/O
	TIO2A ~ TIO2H				Z	K*1	I/O	I/O	I/O
	TIO3A ~ TIO3D				Z	K*1	I/O	I/O	I/O
	TIO4A ~ TIO4D				Z	K*1	I/O	I/O	I/O
	TIO5A ~ TIO5D				Z	K*1	I/O	I/O	I/O
	TO6A ~ TO6D				Z	O*1	O	O	O
	TO7A ~ TO7D				Z	O*1	O	O	O
	TO8A ~ TO8P				Z	O*1	O	O	O
	TIO9A ~ TIO9F				Z	Z	I	I	I
	TIO10				Z	Z	I	I	I

分類	端子名	端子状態							
		リセット状態			低消費電力状態				バス権 解放状態
		パワーオン			ハードウェア スタンバイ	ソフトウェア スタンバイ	H-UDI モジュール スタンバイ	AUD モジュール スタンバイ	
		ROMなし 拡張		ROMあり 拡張					
8ビット	16ビット								
ATU-II	TIO11A,TIO11B				Z	K ^{*1}	I/O	I/O	I/O
	TCLKA,TCLKB				Z	Z	I	I	I
SCI	SCK0 ~ SCK4				Z	K ^{*1}	I/O	I/O	I/O
	TxD0 ~ TxD4				Z	O ^{*1}	O	O	O
	RxD0 ~ RxD4				Z	Z	I	I	I
A/D 変換器	AN0 ~ AN31	Z			Z	Z	I	I	I
	ADTRG0,ADT RG1				Z	Z	I	I	I
	ADEND				Z	O ^{*1}	O	O	O
	AVref	I			I	I	I	I	I
APC	PULS0 ~ PULS7				Z	O ^{*1}	O	O	O
HCAN	HTxD0,HTxD1				Z	O ^{*1}	O	O	O
	HRxD0,HRxD1				Z	Z	I	I	I
UBC	UBCTRG				Z	O ^{*1}	O	Z	O
I/O ポート	PA0 ~ PA15	Z			Z	K ^{*1}	I/O	I/O	I/O
	PB0 ~ PB15	Z			Z	K ^{*1}	I/O	I/O	I/O
	PC0 ~ PC4	Z			Z	K ^{*1}	I/O	I/O	I/O
	PD0 ~ PD13	Z			Z	K ^{*1}	I/O	I/O	I/O
	PE0 ~ PE15			Z	Z	K ^{*1}	I/O	I/O	I/O
	PF0 ~ PF5			Z	Z	K ^{*1}	I/O	I/O	I/O
	PF6 ~ PF10			Z	Z	K ^{*1}	I/O	I/O	I/O
	PF11 ~ PF15	Z			Z	K ^{*1}	I/O	I/O	I/O
	PG0 ~ PG3	Z			Z	K ^{*1}	I/O	I/O	I/O
	PH0 ~ PH7			Z	Z	K ^{*1}	I/O	I/O	I/O
	PH8 ~ PH15	Z		Z	Z	K ^{*1}	I/O	I/O	I/O
	PJ0 ~ PJ15	Z			Z	K ^{*1}	I/O	I/O	I/O
	PK0 ~ PK15	Z			Z	K ^{*1}	I/O	I/O	I/O
PL0 ~ PL13	Z			Z	K ^{*1}	I/O	I/O	I/O	

表 B.2 端子状態 (2)

分類	端子名	端子状態								
		リセット状態			低消費電力状態				バス種 解放状態	何も 接続して いない
		パワーオン			ハードウェア	ソフトウェア	H-UDI	AUD		
		ROM なし 拡張 8ビット	ROM あり 拡張 16ビット	シングルチップ	スタンバイ	スタンバイ	モジュール スタンバイ	モジュール スタンバイ		
H-UDI	TMS	I			Z	I	Z	I	I	内部 プルアップ
	TRST	I			Z	I	Z	I	I	内部 プルアップ
	TDI	I			Z	I	Z	I	I	内部 プルアップ
	TDO	O/Z			Z	O/Z	Z	O/Z	O/Z	O/Z
	TCK	I			Z	I	Z	I	I	内部 プルアップ

表 B.3 端子状態 (3)

分類	端子名	端子状態			何も接続していない
		ハードウェアスタンバイ AUD モジュールスタンバイ	AUD リセット (AUDRST = L)	ソフトウェアスタンバイ AUDSRST = 1 / 通常動作	
AUD	AUDRST	Z	L 入力	H 入力	内部プルダウン
	AUDMD	Z	I	I	内部プルアップ
	AUDATA0 ~ AUDATA3	Z	AUDMD = H 時 : I AUDMD = L 時 : H (内部プルアップ)	AUDMD = H 時 : I/O AUDMD = L 時 : O	内部プルアップ
	AUDCK	Z	AUDMD = H 時 : I AUDMD = L 時 : H (内部プルアップ)	AUDMD = H 時 : I AUDMD = L 時 : O	内部プルアップ
	AUDSYNC	Z	AUDMD = H 時 : I AUDMD = L 時 : H (内部プルアップ)	AUDMD = H 時 : I AUDMD = L 時 : O	内部プルアップ

【記号説明】

- 初期値ではない
- I 入力
 - O 出力
 - H ハイレベル出力
 - L ローレベル出力
 - Z ハイインピーダンス
 - K 入力端子はハイインピーダンス、出力端子は状態保持

【注】 *1 スタンバイコントロールレジスタ (SBYCR) のポートインピーダンスビット (HIZ) を 1 にすると、出力端子は、ハイインピーダンスになります。

*2 PFCRH の CKHIZ ビットを 1 にセットすると、無条件で HIZ になります。

C. 型名一覧

表 C.1 SH7055S F-ZTAT 型名一覧

製品分類	製品型名	マーク型名	パッケージ
SH7055SF	F-ZTAT	HD64F7055S	256ピン (FP-256H)

D. 外形寸法図

SH7055SF の外形寸法図 (FP-256H) を図 D.1 に示します。

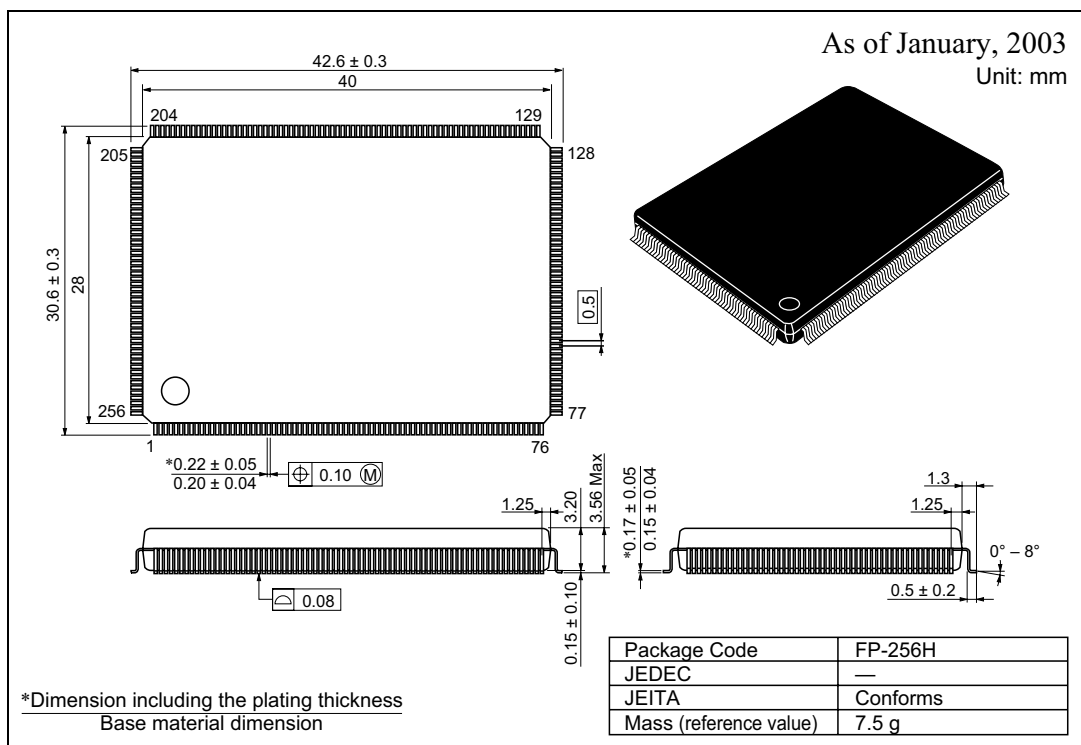


図 D.1 SH7055SF の外形寸法図 (FP-256H)

SH-2E SH7055S F-ZTAT™ ハードウェアマニュアル

発行年月 2002年2月 第1版

2003年7月14日 Rev.2.00

発行 株式会社ルネサス テクノロジ 営業企画統括部

〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサス小平セミコン 技術ドキュメント部

©2002, 2003 Renesas Technology Corp. All rights reserved. Printed in Japan.

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

SH-2E SH7055S F-ZTAT™
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0032-0200H