目次

1. 概要 3
1.1 特徴 3
1.2 システム構成 4
1.2.1 低コスト構成：外部送信ドライバなし（直接駆動） 4
1.2.2 高駆動構成：外部送信ドライバあり 4
2. 端子機能 5
2.1 端子配置 5
2.2 端子機能 6
2.2.1 システムクロック&リセット 6
2.2.2 BOOT I/F 6
2.2.3 PORT I/F 7
2.2.4 TX_PGA I/F 7
2.2.5 RX_PGA I/F 7
2.2.6 ADC I/F 8
2.2.7 Power/other 8
2.2.8 Debug I/F 8
3. 機能概要 9
3.1 内部機能ブロック図 9
3.2 ARM ドメイン 10
3.2.1 ARM M0+ 10
3.2.2 メモリ 10
3.3 DSP ドメイン 10
3.3.1 DSP 10
3.3.2 メモリ 10
3.4 AFE(Analog Front End)ドメイン 10
3.4.1 DAC 10
3.4.2 TX_PGA 10
3.4.3 RX_PGA 10
3.4.4 ADC 10
3.5 レギュレータ 11
3.5.1 DC-DC 11
4. 電気的特性 12
4.1 絶対最大定格 12
4.2 推奨動作条件 13
4.3 電源 ON/OFF シーケンス、及びリセット、クロック 14
4.3.1 電源 ON/OFF シーケンス 14
4.3.2 リセットシーケンス、各電源間における電源立上げ制約 14
4.3.3 システムクロック・タイミング 15

4.4 DC 特性 16
4.5 AC 特性 17
4.5.1 UART I/F 17
4.5.2 SPIs I/F 17
4.5.3 SerialROM I/F 18
4.5.4 Debug I/F 18
4.5.5 消費電流 19
4.6 アナログブロック特性 20
4.6.1 DC 特性 20
4.6.2 性能特性 20
4.7 ゼロクロス検出 22

5. パッケージ 23

6. 部品番号 24

7. 付録 25

1. 概要

R9A06G061 は、狭帯域向け電力線通信(Narrow Band PLC(Power Line Communication))用モデム LSI です。R9A06G061 は、性能・機能を最適化(小パッケージ、少電力、Low コスト)した製品であり、高性能 DSP をベースしたソフトウェアベースの PLC 向け変復調信号処理(物理層)と、MCU コア (ARM® Cortex™-M0+)による上位 MCU との通信処理(リンク層)により、柔軟かつ廉価な PLC ソリューションを提供します。

1.1 特徴

- 高性能 DSP
  - 電力線通信の PHY 層等を処理
  - 最大動作周波数:276MHz
  - IRAM : 128KB, DRAM: 128KB
  - ビタビ及びリードソロモン処理、AES128 暗号化/復号化処理、その他に対する専用命令
- MCU(ARM® Cortex™-M0+)
  - 上位 MCU インターフェースのプロトコル変換等を処理
  - 最大動作周波数:92MHz
  - RAM : 32KB
  - CRC 演算 H/W コア
- アナログフロントエンド(AFE)回路
  - DAC
    - ΔΣ型 DAC
    - ENOB:11bit
  - 出力可変アンプ
    - 114dBuVrms 出力(高出力モード、差動各端子 50Ω駆動)
    - 3dB ステップのゲイン可変
  - 受信可変アンプ
    - ダイナミックレンジ:-18dB ~ +60dB, 2dB ステップ
    - DSP 制御にて AGC 実現
  - ADC
    - ΔΣ型 ADC
    - ENOB:10bit
- 多様な外部 IO
    - UART(1ch), SPIs(1ch), Serial Flash IF(Single/Dual)
    - PORT(10ch)、但上記の Peripheral との排他利用
- レギュレータ内蔵: 入力 3.3V、出力 1.15V DC-DC コンバータ
- 電源電圧:3.3V
- PKG:40-pin QFN, 6mm□, 0.5mm pitch
- 動作温度範囲
  - R9A06G061GNP#AA0 : -40～+85℃
  - R9A06G061GNP#AAA : -40～+105℃

1.2 システム構成

R9A06G061 は、電力線通信ネットワークの形成において、お客様に高い通信性能とコストパフォーマンスに優れたソリューションを提供します。図 1.1 と図 1.2 は、R9A06G061 を用いた PLC モジュールのシステム構成例を示しています。

1.2.1 低コスト構成：外部送信ドライバなし（直接駆動）

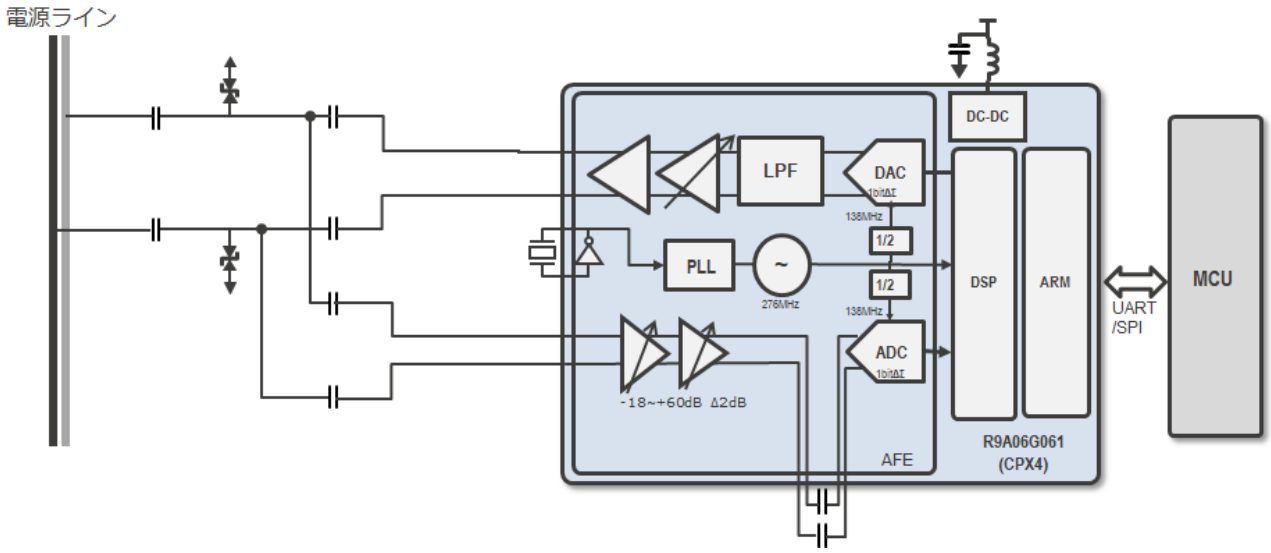


図 1.1 R9A06G061 のシステム構成例1

1.2.2 高駆動構成：外部送信ドライバあり

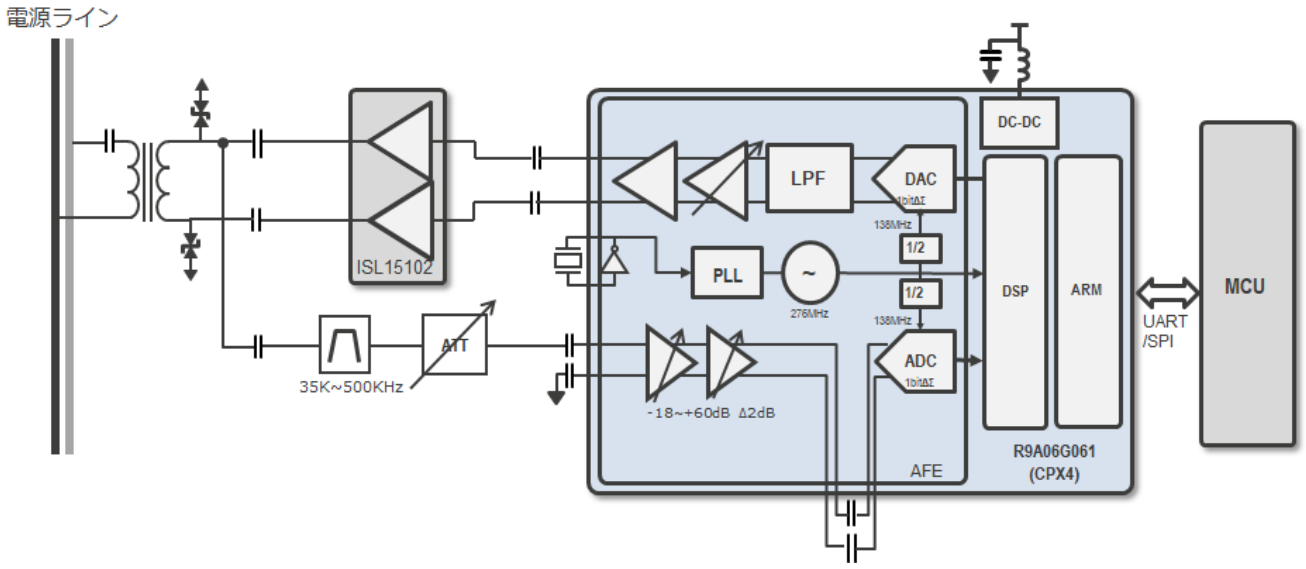


図 1.2 R9A06G061 のシステム構成例 2

2. 端子機能

2.1 端子配置

R9A06G061 の端子配置を図 2.1 に示します。

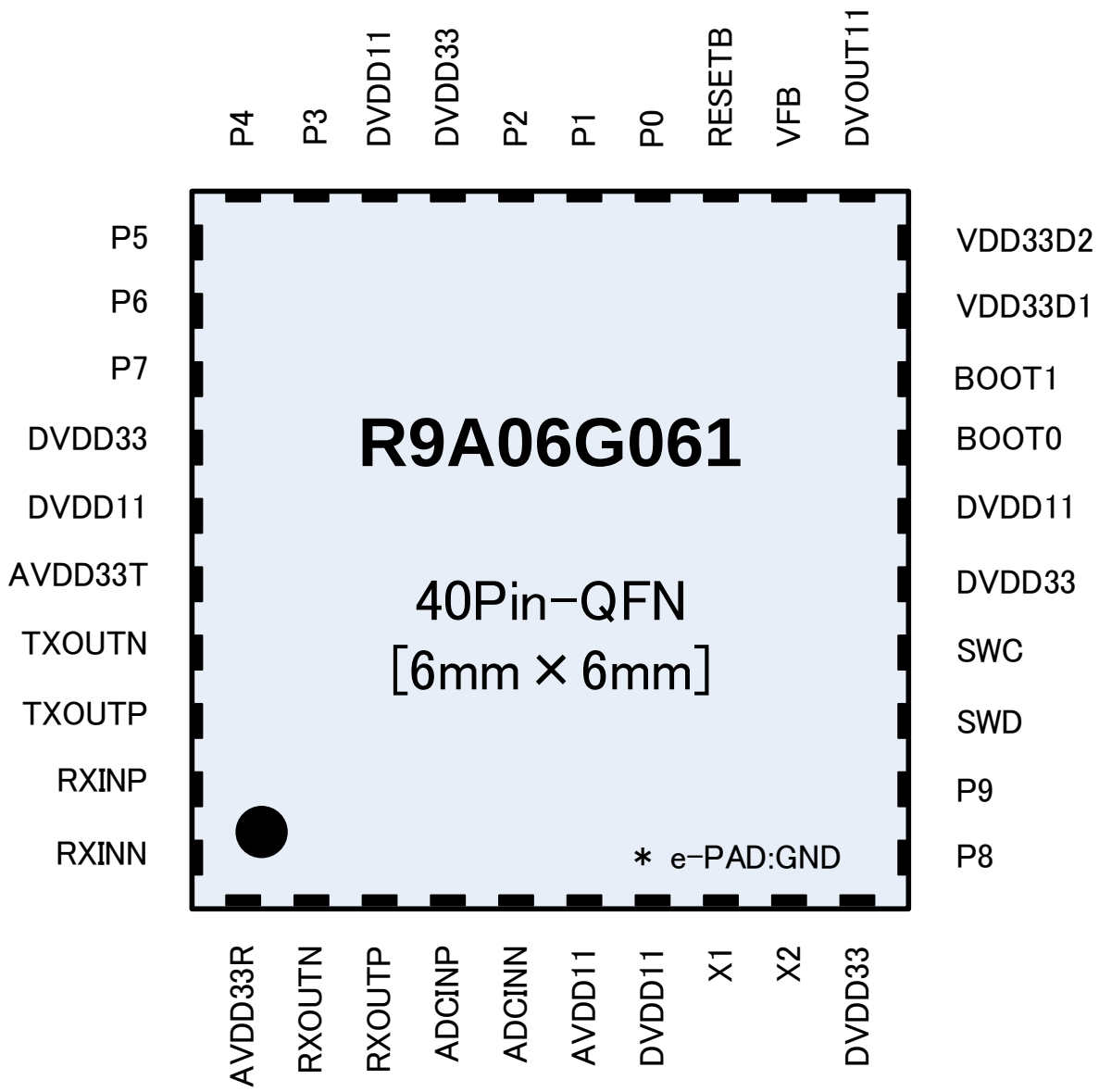


図 2.1 端子構成図

2.2 端子機能

2.2.1 システムクロック&リセット

端子名	I/O	BUFTYPE	Pin No	機能
X1	I	―	8	外部 X'tal 発振子入力 f=16MHz
X2	O	―	9	外部 X'tal 発振子出力
RESETB	I	Schmitt/PU	23	System Reset (PullUp 抵抗付)

PU: 50KΩpull up 抵抗付き

2.2.2 BOOT I/F

端子名	I/O	BUFTYPE	Pin No	機能
BOOT0	I	PU	17	・ブートモード選択 (PullUp 抵抗付)
BOOT1	I	PU	18	UART [BOOT1 =High, BOOT0=High] SPI [BOOT1 =Low, BOOT0=High] SROM [BOOT1 =High, BOOT0=Low] UART_S-IF RXD :P2 TXD :P1 SPI-IF SO :P1 SSB :P4 SCK :P3 SI :P2 REG :P5 SROM-IF SIO1/MISO :P9 SSB :P7 SCK :P8 SIO0/MOSI :P6

PU: 130KΩpull up 抵抗付き

2.2.3 PORT I/F

端子名	I/O	BUFTYPE	Pin No	機能
P0	I/O	B-4/8mA Schmitt/PU/PD	24	入出力 Port [0]
P1	I/O	B-4/8mA Schmitt/PU/PD	25	入出力 Port [1] ※1
P2	I/O	B-4/8mA Schmitt/PU/PD	26	入出力 Port [2] ※1
P3	I/O	B-4/8mA Schmitt/PU/PD	29	入出力 Port [3]
P4	I/O	B-4/8mA Schmitt/PU/PD	30	入出力 Port [4]
P5	I/O	B-4/8mA Schmitt/PU/PD	31	入出力 Port [5]
P6	I/O	B-4/8mA Schmitt/PU/PD	32	入出力 Port [6]
P7	I/O	B-4/8mA Schmitt/PU/PD	33	入出力 Port [7]
P8	I/O	B-4/8mA Schmitt/PU/PD	11	入出力 Port [8]
P9	I/O	B-4/8mA Schmitt/PU/PD	12	入出力 Port [9]

PD: 160KΩpull down 抵抗付き / PU: 130KΩpull up 抵抗付き。
P0-P9 のバッファタイプの初期設定は 8mA/PU(130KΩpull up 抵抗付き)。
PORT 端子は UART, SPI,Serial-ROM-IF(Single/Dual)及び PORT 機能から選択可能。
※1: P1, P2 は、リセット解除 (RESETB: Low→High) 時に Hi-Z(Open) または、High となるように設定してください。

2.2.4 TX_PGA I/F

端子名	I/O	BUFTYPE	Pin No	機能
TXOUTP	O	Analog	38	送信 PGA 信号出力(+)
TXOUTN	O	Analog	37	送信 PGA 信号出力(−)

2.2.5 RX_PGA I/F

端子名	I/O	BUFTYPE	Pin No	機能
RXINP	I	Analog	39	受信 PGA 信号入力(+)
RXINN	I	Analog	40	受信 PGA 信号入力(−)
RXOUTP	O	Analog	3	受信 PGA 信号出力(+)
RXOUTN	O	Analog	2	受信 PGA 信号出力(−)

2.2.6 ADC I/F

端子名	I/O	BUFTYPE	Pin No	機能
ADCINP	I	Analog	4	ADC 信号入力(＋)
ADCINN	I	Analog	5	ADC 信号入力(－)

2.2.7 Power/other

端子名	I/O	TYPE	Pin No	機能
DVDD33	I	－	10 15 27 34	IO buffer 電源 3.3V
DVDD11	I	－	7 16 28 35	内部 core 電源 1.15V （外部 LC 平滑フィルタを介して DCDC 出力 DVOUT11 より供給)
VDD33D1	I	－	19	DCDC 3.3V 電源(制御部)
VDD33D2	I	－	20	DCDC 3.3V 電源(出力段)
DVOUT11	O	－	21	DCDC 出力(3.3V PWM) (外部 LC 平滑フィルタで 1.15V 生成)
VFB	I	－	22	DCDC1.15V フィードバック (PWM 制御用)
AVDD33T	I	－	36	アナログ電源 3.3V(送信回路電源)
AVDD33R	I	－	1	アナログ電源 3.3V(受信・共通回路)
AVDD11	I	－	6	アナログ電源 1.15V （外部 LC 平滑フィルタを介して DCDC 出力 DVOUT11 より供給）
GND	I	－	-	共通グランド ※裏面 PAD

2.2.8 Debug I/F

端子名	I/O	BUFTYPE	Pin No	機能
SWC	I	Schmitt/PU	14	SWDCLK
SWD	I/O	Schmitt/PU	13	SWDIO

PU: 130KΩpull up 抵抗付き

3. 機能概要

3.1 内部機能ブロック図

図 3.1 に R9A06G061 の内部機能ブロック図を示します。R9A06G061 は ARM ドメイン、DSP ドメイン及び AFE ドメインからなります。また、PORT 及びレギュレータを内蔵します。

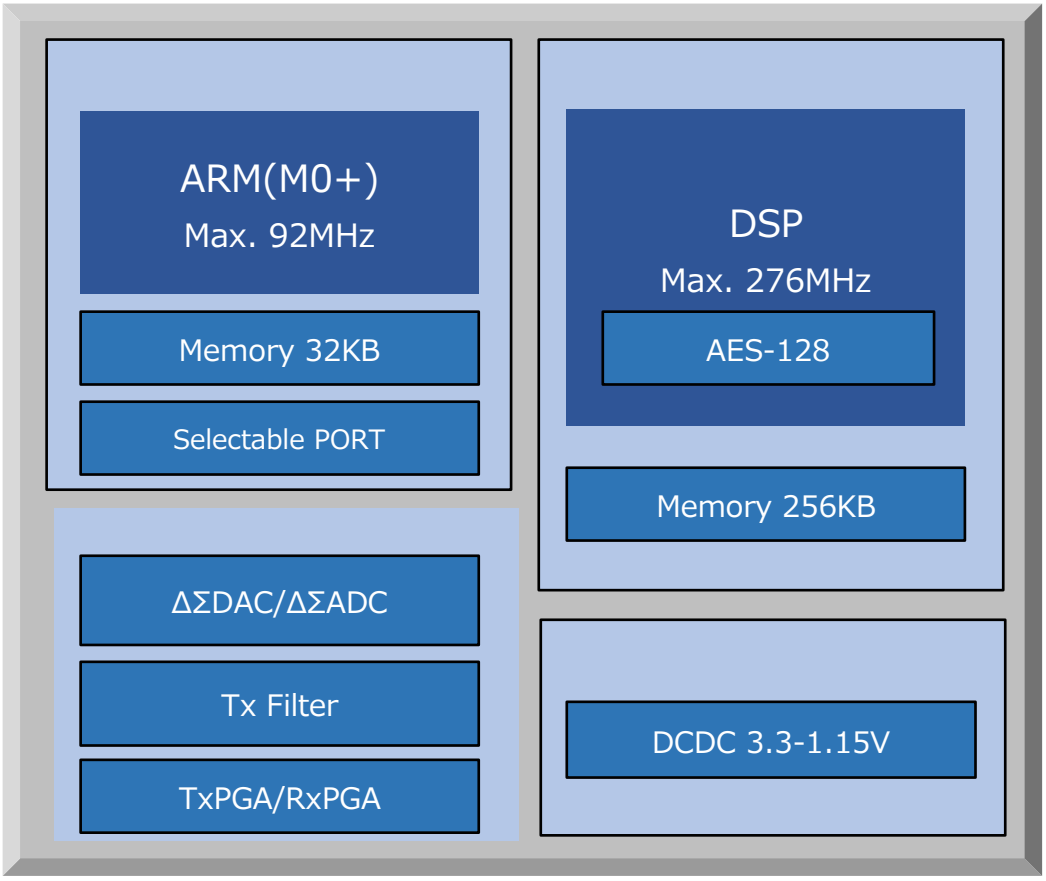


図 3.1 R9A06G061 の内部機能ブロック図

3.2 ARM ドメイン

3.2.1 ARM M0+

ARM ドメインは、CPU コアとして ARM® Cortex™-M0+を内蔵します。最大動作クロック周波数は 92MHz です。

3.2.2 メモリ

ARM ドメインは、32KBytes の RAM を保有します。MCU 上位 IF のプロトコル変換処理、及び ARM ドメインと DSP ドメインの間でのデータ受け渡しに利用されます。

3.3 DSP ドメイン

3.3.1 DSP

DSP ドメインは高性能 DSP コアを内蔵しています。本 DSP コアは AES128 暗号化・復号化、ビタビ、リードソロモンその他を効率よく処理するハードウェア専用命令を持ちます。これらのハードウェア専用命令を使い、様々な電力線通信規格の PHY レイヤの処理を効率的に処理できます。DSP コアは、最大 276MHz のクロック周波数で動作します。

3.3.2 メモリ

DSP ドメインは、DSP コアの命令用 RAM(128KB)及びデータ用 RAM(128KB)を持ちます。

3.4 AFE(Analog Front End)ドメイン

3.4.1 DAC

デルタシグマ型 DA コンバータ。サンプリング周波数 138MHz において、ENoB:11bit 精度を実現します。

3.4.2 TX_PGA

送信信号のゲイン調整のための可変アンプ。差動出力-3dB～+18dB(Step:3dB) の範囲で、送信信号の出力レベル調整を行うことができます。

3.4.3 RX_PGA

受信信号のゲイン調整のための可変アンプ。受信信号に対して、-18dB～+60dB の範囲で、2dB ステップ単位のゲイン調整が可能。DSP で受信信号レベルを算出し、本アンプのゲインを調整することで、受信信号の振幅を制御する AGC(Auto Gain Control)を実現します

3.4.4 ADC

デルタシグマ型の AD コンバータ。最大サンプリング周波数 276MHz。600KHz 以下の PLC 信号帯域で、ENoB:10bit 精度(SINAD:62dB）を実現します。

3.5 レギュレータ

3.5.1 DC-DC

スイッチングレギュレータ方式にて 3.3V から 1.15V 電源電圧発生します。デジタル・アナログ回路の 1.15V 電源への供給ができます

4. 電気的特性

4.1 絶対最大定格

パラメータ	略号	定格	最大定格	単位
電源電圧	VDD, AVDD	1.15V	-0.3～+1.6	V
		3.3V	-0.3～+4.2	V
入出力電圧	V_i/V_o	V_i/V_o<VDD+0.5V	-0.3～+4.2	V
出力電流 (3.3V バッファ)	I_o	4mA/8mA	8.7/16	mA
ジャンクション温度 (R9A06G061GNP#AA0)	T_j	-	-40～105	℃
ジャンクション温度 (R9A06G061GNP#AAA)	T_j	-	-40～125	℃

注意)
如何なる項目においても絶対最大定格を一瞬でも越えた場合、製品品質が影響を受ける可能性があります。つまり、絶対最大定格とは、製品に物理的な損傷を与えかねない基準を示しており、製品は絶対最大定格を超えていないことを保障する条件下で使用される必要があります。

電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

4.2 推奨動作条件

パラメータ	略号	定格	MIN.	TYP.	MAX.	単位
電源電圧 (デジタル)	VDD	3.3V	3.0	3.3	3.6	V
電源電圧 (アナログ)	AVDD	3.3V	3.0	3.3	3.6	V
ネガティブトリガ 入力電圧	V_N	3.3V 動作時	0.8		1.8	V
ポジティブトリガ 入力電圧	V_P	3.3V 動作時	1.1		2.4	V
ヒステリシス電圧	V_H	3.3V 動作時	0.15		1.1	V
ローレベル 入力電圧	V_{IL}	3.3V 動作時	-0.3		0.8	V
ハイレベル 入力電圧	V_{IH}	3.3V 動作時	2.4		VDD33+0.3	V
入力立ち上がり/ 立ち下がり時間 (データ)	t_{rid}	-	0		200	ns
	t_{fid}	-	0		200	ns
入力立ち上がり/ 立ち下がり時間 (クロック)	t_{ric}	-	0		4	ns
	t_{fic}	-	0		4	ns
入力立ち上がり/ 立ち下がり時間 (シュミット)	t_{ris}	-	0		1	ms
	t_{fis}	-	0		1	ms
動作周辺温度 (R9A06G061GNP#AA0)	T_a	-	-40		+85	℃
動作周辺温度 (R9A06G061GNP#AAA)	T_a	-	-40		+105	℃

4.3 電源 ON/OFF シーケンス、及びリセット、クロック

4.3.1 電源 ON/OFF シーケンス

図 4.1 に各電源 ON/OFF シーケンスを示します。電源 ON 時は、アナログ電源（AVDD33）、及び、I/O 電源（IO_VDD）のパワーアップの立ち上がりから安定までを 100ms 以内で行い、電源 OFF 時は、両電源のパワーダウンの立ち下がりから電源 OFF までを 100ms 以内に行うことを推奨します。なお、100ms は、0.1VDD から 0.95VDD までの時間を示しています。

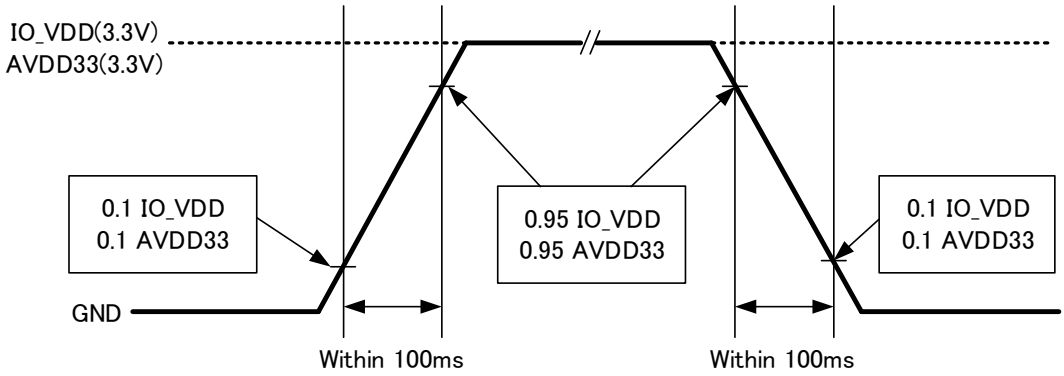


図 4.1 電源 ON/OFF シーケンスのタイミング図

4.3.2 リセットシーケンス、各電源間における電源立上げ制約

図 4.2 に R9A06G061 のリセットシーケンスのタイミング図を示します。リセット信号(RESETB)は、電源投入後、I/O 電源(IO_VDD)の電圧が 3.3V の 95%(0.95 IO_VDD)に達した時点から 1ms 以上、Low レベルを保持してから解除して下さい。
電源立ち上げ後は、リセット時は RESERTB を 200us 以上 Low レベルを保持してから解除してください。

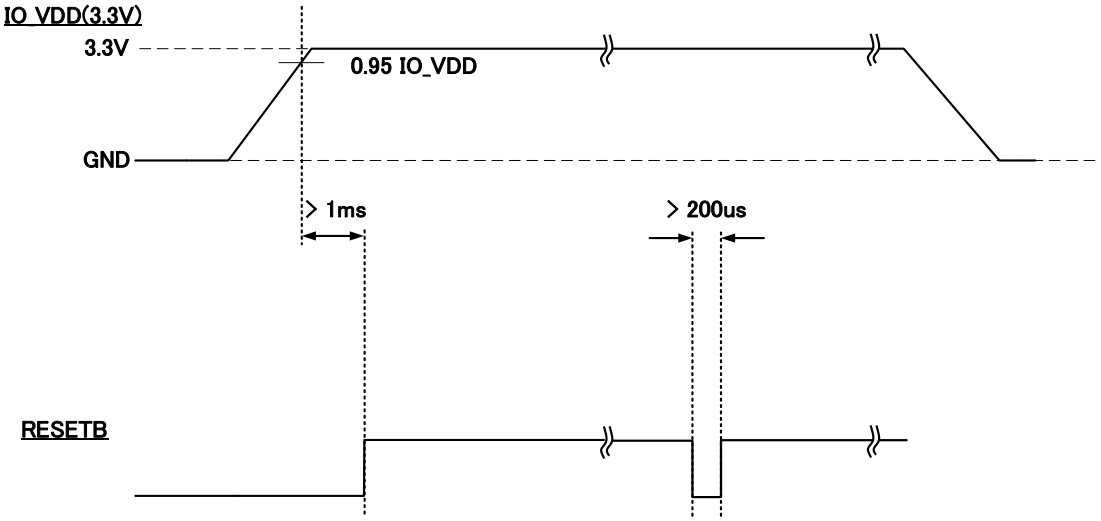


図 4.2 リセットシーケンス及び電源立上げ制約のタイミング図

4.3.3 システムクロック・タイミング

Symbol	Parameter	MIN	TYP	MAX	Units
FXTALcyc	X1/X2 X'tal クロック周波数		16 ±25ppm		MHz

Clock timing

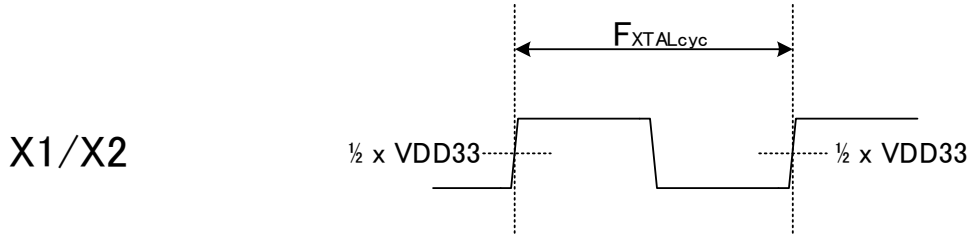


図 4.3 システムクロック・タイミング図

4.4 DC 特性

DC 特性 (VDD=3.3±0.3V,T_a = −40~+85 ℃)

パラメータ	略号	動作条件	MIN.	TYP.	MAX.	単位
入力リーク電流	I_{IL}	通常入力 V_{in}=GND	-	-	-10	μA
	I_{IH}	通常入力 V_{in}=IOVDD	-	-	10	μA
	I_{PU1} (RESETB 以外)	プルアップ抵抗 V_{in}=GND	-6.7	-	-200	μA
	I_{PD1} (RESETB 以外)	プルダウン抵抗 V_{in}=IOVDD	6.7	-	200	μA
	I_{PU2} (RESETB のみ)	プルアップ抵抗 V_{in}=GND	-30	-	-144	μA
出力リーク電流	I_{OZL}	V_o=GND	-	-	-10	μA
	I_{OZH}	V_o=IOVDD	-	-	10	μA
ローレベル出力電流	I_{OL}	V_{OL}=0.4V 4mA/8mA	4/8	-	-	mA
ハイレベル出力電流	I_{OH}	V_{OH}=IOVDD-0.4V 4mA/8mA	-4/-8	-	-	mA
プルアップ抵抗 1 (RESETB 以外)	R_{pu1}	V_{in}=GND	18	130	450	KΩ
プルダウン抵抗 1 (RESETB 以外)	R_{pd1}	V_{in}=IOVDD	18	160	450	KΩ
プルアップ抵抗 2 (RESETB のみ)	R_{pu2}	V_{in}=GND	25	50	100	KΩ
ローレベル出力電圧	V_{OL}	I_{ol}=0mA	-	-	0.1	V
ハイレベル出力電圧	V_{OH}	I_{oh}=0mA	IOVDD-0.1	-	-	V

4.5 AC 特性

4.5.1 UART I/F

図 4.4 に UART インターフェースのタイミング図を示します。

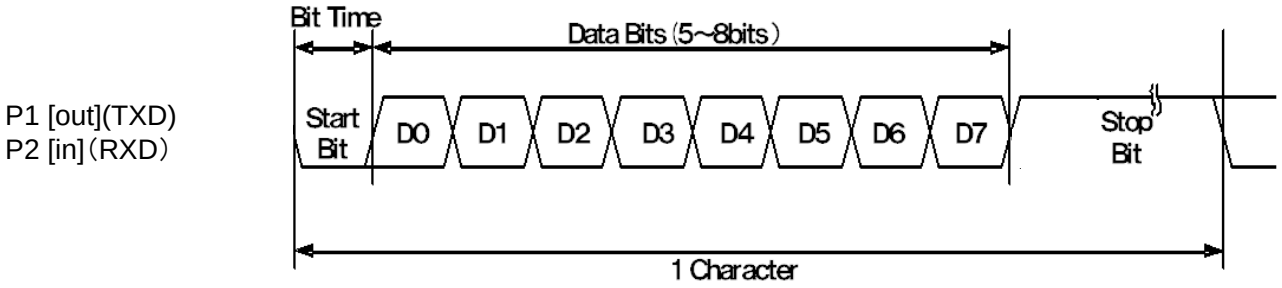


図 4.4 UART インターフェースのタイミング図

4.5.2 SPIs I/F

図 4.5 に SPIs インターフェースのタイミング図を示します。

Symbol	Parameter	MIN	TYP	MAX	Units
FCLK	通信クロック周波数			25 (TSCK = 40.0ns)	MHz
TSCKH, TSCKL	通信クロック ハイ・ロウ幅	TSCK×0.45		TSCK×0.55	ns
TDD	出力信号(SI,SO,SS) データ遅延時間 (P1)	0		9	ns
	出力信号(SI,SO,SS) データ遅延時間 (P6)	0		14	ns
TDS	入力信号(SI,SO) データセットアップ時間 (P2)	4.6			ns
	入力信号(SI,SO) データセットアップ時間 (P7)	5.6			ns
TDH	入力信号(SI,SO) データホールド時間	0			ns
TCS	SS 信号 インアクティブ時間	TSCK × 1.0			ns
TCSS	SS 信号 セットアップ時間	TSCK × 1.5			ns
TCSH	SS 信号 ホールド時間	TSCK × 1.5			ns

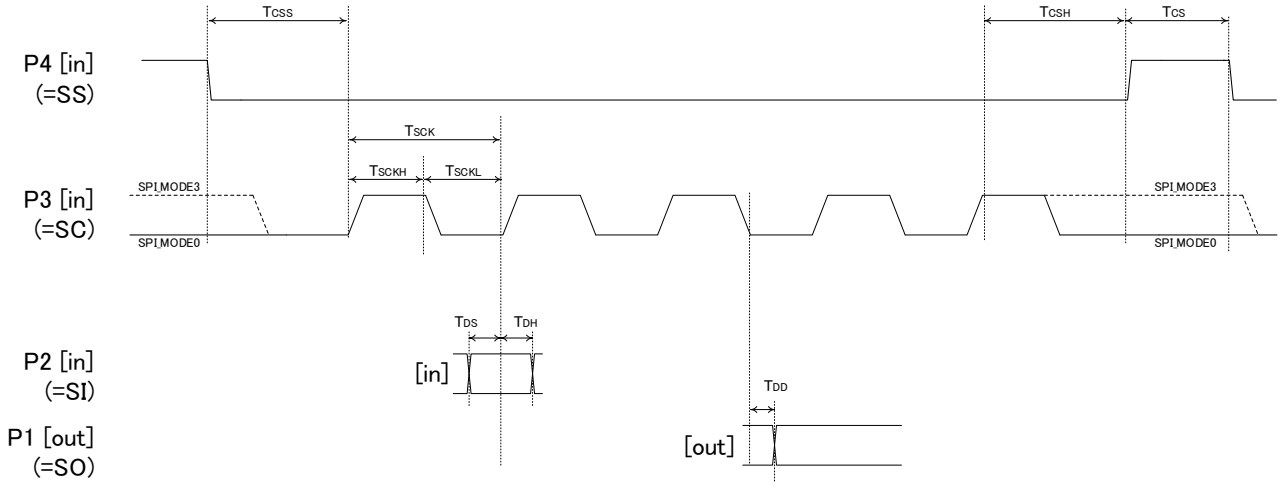


図 4.5 SPIs インターフェースのタイミング図

4.5.3 SerialROM I/F

図 4.6 に SerialROM インターフェースのタイミング図を示します。

Symbol	Parameter	MIN	TYP	MAX	Units
FCLK	通信クロック周波数	2.875 (T_{SCK} = 347.8ns)		46 (T_{SCK} = 21.7ns)	MHz
TSCKH, TSCKL	通信クロック ハイ・ロウ幅	T_{SCK}×0.45		T_{SCK}×0.55	ns
TDD	出力信号(SI,SO,SS) データ遅延時間	0		5	ns
TDS	入力信号(SI,SO) データセットアップ時間 (P1,P2)	6			ns
	入力信号(SI,SO) データセットアップ時間 (P6,P9)	7			ns
TDH	入力信号(SI,SO) データホールド時間	0			ns

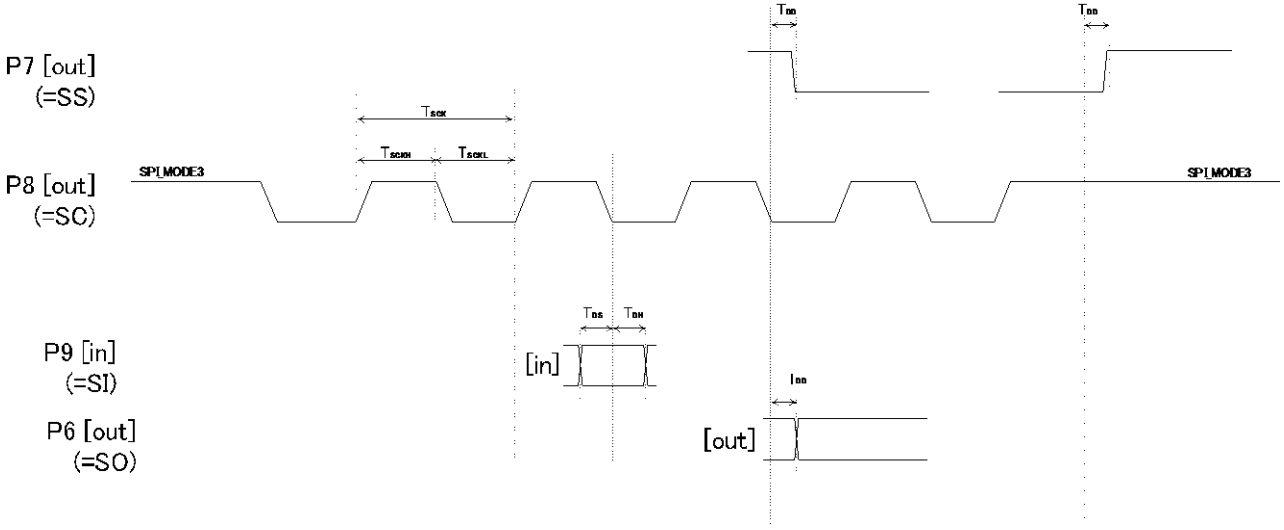


図 4.6 SerialROM インターフェースのタイミング図

4.5.4 Debug I/F

図 4.7 に SWD インターフェースのタイミング図を示します。

Symbol	Parameter	MIN	TYP	MAX	Units
FCLK	通信クロック周波数			50 (T_{SCK} = 20.0ns)	MHz
TSCKH, TSCKL	通信クロック ハイ・ロウ幅	T_{SCK}×0.45		T_{SCK}×0.55	ns
TDD	出力信号(SWD) データ遅延時間	4.0		14.0	ns
TDS	入力信号(SWD) データセットアップ時間	3.6			ns
TDH	入力信号(SWD) データホールド時間	0			ns

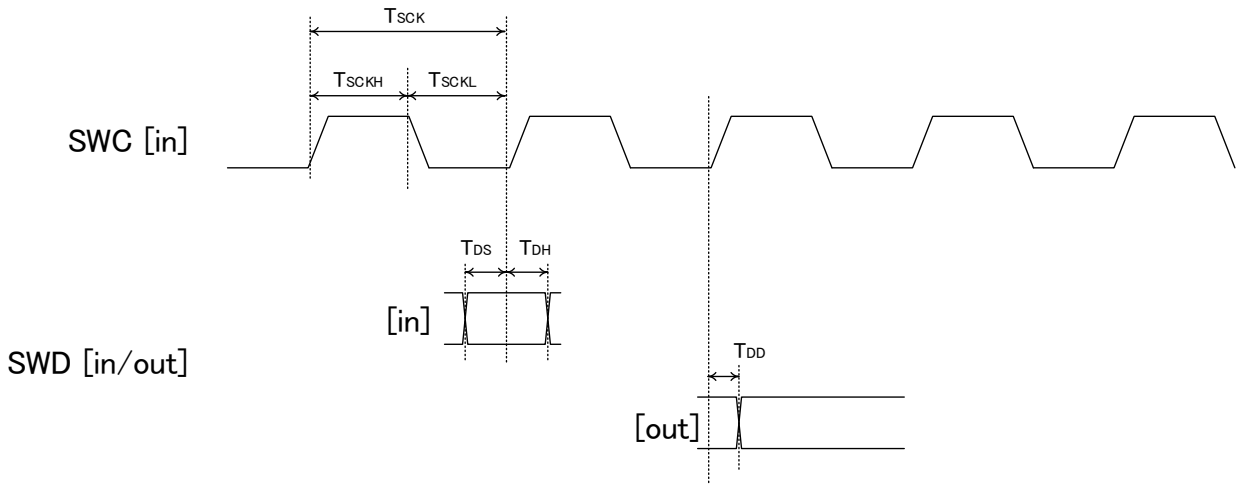


図 4.7 PWD インターフェースのタイミング図

4.5.5 消費電流

VDD	MIN.	TYP.	MAX.	単位
VDD33		38		mA

条件：VDD33=3.3±0.3V, VDD11 は内蔵 DC-DC コンバータにより生成
Renesas 評価ボード使用、DSP:276MHz、G3-FCC 受信利用時

4.6 アナログブロック特性

4.6.1 DC 特性

端子番号	パラメータ	動作条件	略号	MIN	TYP	MAX	単位
2	電源電圧(入力)		AVDD33T	3.0	3.3	3.6	V
12	電源電圧(入力)		AVDD33R	3.0	3.3	3.6	V

4.6.2 性能特性

4.6.2.1 受信ブロック

(a) RX_PGA インターフェース

パラメータ	条件	略号	MIN	TYP	MAX	単位
入力電圧範囲	差動動作	V_i	60u		3.0	Vp-p
入力周波数		F_{sig}	30		500	kHz
ダイナミックレンジ(電圧利得幅)		DR		78		dB
利得調整ステップ		D_{STEP}		2		dB
入力 1dB コンプレッション	G_V=-14dB,f_{sig}=30kHz、差動動作	$P_{in\ 1dB}$	2.8	3.3		Vp-p
最大電圧利得	f_{sig}=500kHz	G_{V_max}		60		dB
最小電圧利得	f_{sig}=500kHz	G_{V_min}		-18		dB
入力インピーダンス		Z_i		1		kΩ
出力負荷インピーダンス		R_L		20		kΩ

(b) ADC インターフェース

パラメータ	条件	略号	MIN	TYP	MAX	単位
入力電圧範囲	差動動作	V_{sig}			800	mVp-p
入力周波数		F_{SIG}			500	kHz
サンプリング周波数		F_{CLK}	-	138	-	MHz
有効ビット数		ENOB	-	10	-	bit
SINAD		SINAD	-	62	-	dB
入力インピーダンス		Z_i		20		kΩ

4.6.2.2 送信ブロック

(a) TX_PGA インターフェース

直接駆動(高出力)モード

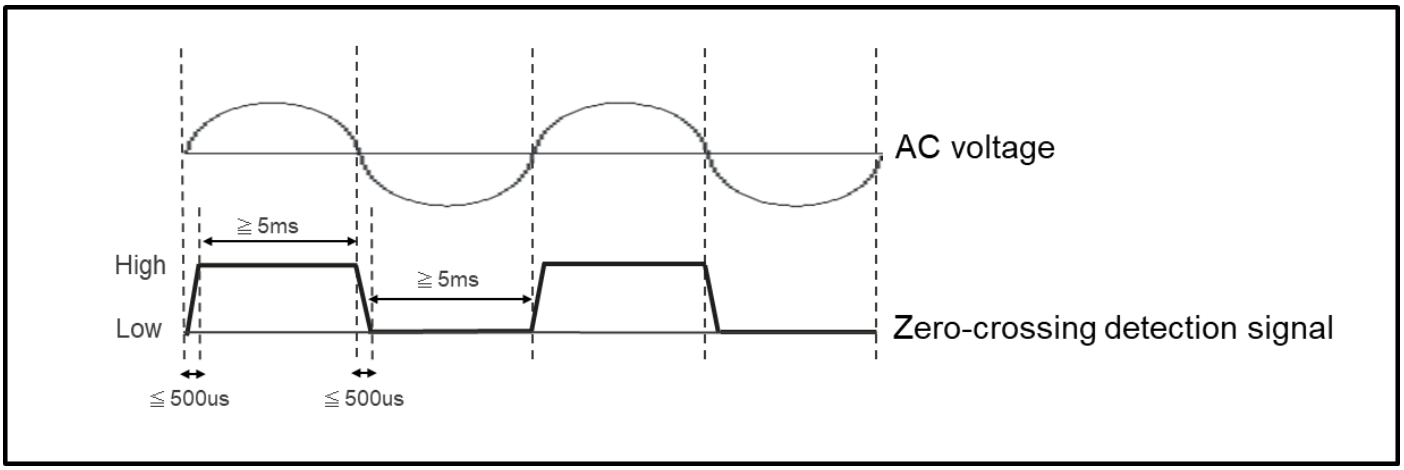
パラメータ	条件	略号	MIN	TYP	MAX	単位
出力周波数帯域		f_{sig}	30		500	kHz
ダイナミクスレンジ(電圧利得幅)		DR		21		dB
利得調整ステップ		D_{STEP}		3		
最大電圧利得	f_{sig}=500kHz, 差動出力	G_{v_max}		18		dB
最小電圧利得	f_{sig}=500kHz, 差動出力	G_{v_min}		-3		dB
出力-1dB コンプレッション	f_{sig}=500kHz, 差動出力 Z_L=50Ω (各端子), G_V=+3dB,	P_1	3			Vp-p
高調波歪	f_{sig}=100kHz, 1.4Vp-p 差動出力, Z_L=50Ω (各端子), G_V=+9dB,	HD	-	-70	-60	dBc
出力駆動負荷インピーダンス		Z_L		50		Ω

外部送信ドライバ(低出力)モード

パラメータ	条件	略号	MIN	TYP	MAX	単位
出力周波数帯域		f_{sig}	30		500	kHz
ダイナミクスレンジ(電圧利得幅)		DR		21		dB
利得調整ステップ		D_{STEP}		3		
最大電圧利得	f_{sig}=500kHz, 差動出力	G_{v_max}		18		dB
最小電圧利得	f_{sig}=500kHz, 差動出力	G_{v_min}		-3		dB
出力-1dB コンプレッション	f_{sig}=500kHz, 差動出力 Z_L=390Ω (各端子), G_V=+3dB,	P_1	2			Vp-p
高調波歪	f_{sig}=100kHz, 0.9Vp-p 差動出力, Z_L=390Ω (各端子), G_V=+3dB,	HD	-	-70	-60	dBc
出力駆動負荷インピーダンス		Z_L		390		Ω

4.7 ゼロクロス検出

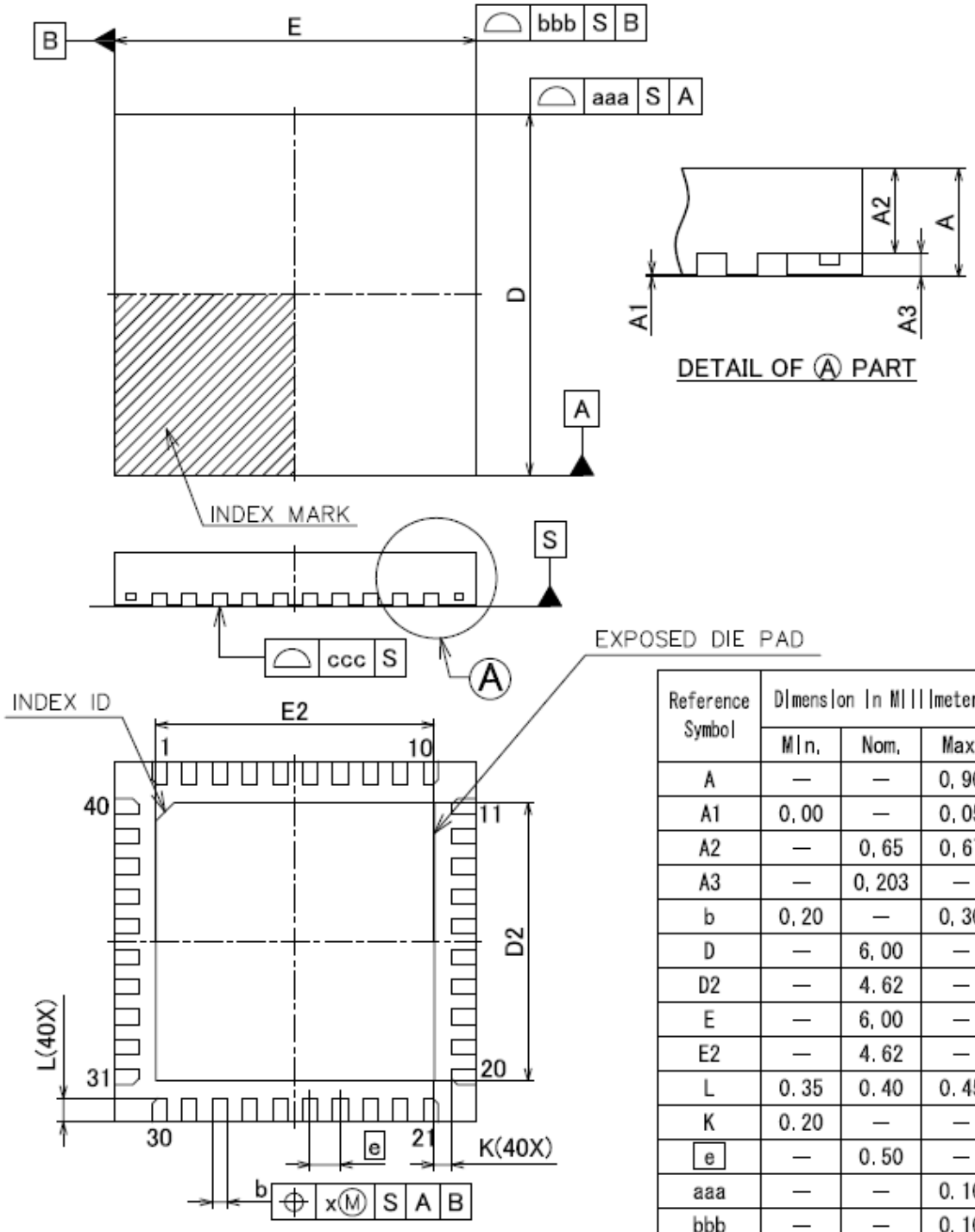
P3（UART または SROM ブート時）または、P6（SPI ブート時）に、以下に示すゼロクロス検出信号を入力することで、位相検知機能を利用することができます。



ゼロクロス検出信号の立ち上がり時間、立ち下り時間はチャタリング期間含め 500us 以内としてください。また信号立ち上がり後は 5ms 以上 High レベルを保持してください。同様に、信号立ち下り後は 5ms 以上 Low レベルを保持してください。

5. パッケージ

JEITA Package Code	RENESAS Code	MASS [Typ.]
P-HVQFN40-6×6-0.50	PVQN0040KK-A	0.10g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.90
A1	0.00	—	0.05
A2	—	0.65	0.67
A3	—	0.203	—
b	0.20	—	0.30
D	—	6.00	—
D2	—	4.62	—
E	—	6.00	—
E2	—	4.62	—
L	0.35	0.40	0.45
K	0.20	—	—
e	—	0.50	—
aaa	—	—	0.10
bbb	—	—	0.10
ccc	—	—	0.05
x	—	—	0.10

6. 部品番号

R9A06G061GNP#AA0
Ta: -40 ~ 85℃

R9A06G061GNP#AAA
Ta: -40 ~ 105℃

7. 付録

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
   標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2024 Renesas Electronics Corporation. All rights reserved.