

# R-IN32M3 シリーズ

## 産業イーサネット通信用 LSI

R18DS0007JJ0501

2021.1.12

## 1. 機能概要

### 1.1 概説

産業分野におけるイーサネット通信は従来と比較し、高速リアルタイム応答性や低消費電力化などの高性能な機能の要求が強くなっています。従来の方法（イーサネットワーク処理そのものをハードウェア化する方法、または高速ネットワーク処理専用 CPU を用いる方法）では必ずしも実現できるわけではありません。

ルネサス製イーサネット通信 LSI「R-IN32M3 シリーズ」は FA 分野におけるイーサネット通信で必要となる以下の機能を搭載しております。

- ・高速リアルタイム応答性、高精度通信制御（低ジッター通信）
- ・低消費電力
- ・Arm<sup>®</sup>社製 Cortex<sup>®</sup>-M3 コア内蔵
- ・リアルタイム OS（Real-Time OS）アクセラレータ内蔵（μITRON version4.0 相当）
- ・Gigabit EtherMAC（R-IN32M3-CL のみ）
- ・10/100Mbps EtherPHY（R-IN32M3-EC のみ）
- ・ネットワーク処理専用 DMA コントローラ及びバッファ
- ・リアルタイム OS アクセラレータによる低 CPU 負荷での高速通信処理
- ・タイマ、各種シリアル・インタフェース、汎用 I/O ポート（GPIO）、外部メモリ・インタフェース

### 1.2 製品ラインナップ

R-IN32M3 シリーズは下記2製品をラインアップしております。

表1.1 R-IN32M3 製品ラインナップ

| 製品名         | 特徴  |
|-------------|---|
| R-IN32M3-EC | EtherCAT <sup>®</sup> Slave Controller 対応版 R-IN32M3 |
| R-IN32M3-CL | CC-Link IE Field（インテリジェントデバイス局）対応版 R-IN32M3         |

## 1.3 機能概要

表1.2 R-IN32M3 の機能概要 (1/2)

| 項目                             | 品名 | R-IN32M3  |
|--------------------------------|----|---|
| CPU コア                         |    | Arm 社 Cortex-M3 32 ビット RISC CPU<br>+ Real-Time OS Accelerator (Hardware Real-Time OS)   |
| 動作周波数                          |    | 100MHz  |
| 命令セット                          |    | Thumb <sup>®</sup> -2 命令 Armv7-M アーキテクチャ  |
| 命令 RAM                         |    | 768K バイト (ECC 対応)   |
| データ RAM                        |    | 512K バイト (ECC 対応)   |
| バッファ RAM                       |    | 64K バイト (ECC 対応)  |
| 内部システム・バス                      |    | ・ 32 ビット・システム・バス 100MHz<br>・ 128 ビット・コミュニケーション・バス 100MHz  |
| DMA 機能                         |    | ・ 4 チャンネル+1 チャンネル (リアルタイム・ポート用)<br>・ ソフトウェア・トリガ、各種割り込み信号からの DMA 起動が可能   |
| ブート・モード                        |    | ・ シリアル・フラッシュ ROM ブート<br>・ 外部メモリ・ブート<br>・ 外部マイコン・ブート   |
| 外部メモリ・アクセス機能                   |    | ・ バス・サイジング機能 (16 ビット/32 ビット)<br>・ ページ ROM/ROM/SRAM インタフェース<br>・ 同期式バースト・メモリ・インタフェース<br>・ スタティック・メモリ用チップ・セレクト信号 : 4 本<br>・ 外部メモリ空間 : 合計 256M バイト (最大時)<br>・ プログラマブル・ウエイト機能 |
| 外部マイコン・インタフェース                 |    | ・ バス・サイジング機能 (16 ビット/32 ビット)<br>・ スタティック・メモリ用の汎用インタフェース<br>・ アドレス空間 : 2M バイト (Instruction RAM, Data RAM, レジスタ領域)  |
| シリアル・フラッシュ ROM<br>メモリ・コントローラ機能 |    | ・ 各社 SPI 互換シリアル・インタフェース対応<br>・ シリアル・メモリ・デバイスから直接ブート可能<br>・ Fast Read, Fast Read Dual Output, Fast Read Dual I/O モードに対応<br>・ メモリ空間に直接割り付け                                  |
| 割り込み                           |    | ・ 外部割り込み 29 本   |
| 内蔵周辺機能                         |    |   |
| I/O ポート                        |    | CMOS 入出力 : 最大 96 本  |
| タイマ (3 系統搭載)                   |    | ・ ハードウェア RTOS 内蔵タイマ<br>・ CPU 内蔵タイマ<br>・ 4 チャンネル・タイマ・アレイ<br>・ 32 ビット・カウンタおよび 32 ビット・データ・レジスタ<br>・ 外部信号によるカウント機能  |
| ウォッチドッグ・タイマ                    |    | ・ 1チャンネル<br>・ ソフトウェア・トリガ・スタート・モード<br>・ エラー時の動作<br>- NMI要求の生成<br>- リセット要求の生成   |

表 1.2 R-IN32M3 の機能概要 (2/2)

| 項目                                      | 品名 | R-IN32M3  |
|---|----|---|
| 内蔵周辺機能                                  |    |   |
| アシンクロナス・シリアル・インタフェース                    |    | <ul style="list-style-type: none"> <li>・2チャンネル</li> <li>・全二重通信</li> <li>・受信FIFO (10ビット×16)、送信FIFO (8ビット×16) 内蔵</li> <li>・受信エラーとステータス出力機能</li> <li>・キャラクタ長: 7, 8ビット、</li> <li>・パリティ機能: 奇数、偶数、0、なし</li> <li>・送信ストップ・ビット: 1, 2ビット</li> </ul> |
| I2Cシリアル・インタフェース                         |    | <ul style="list-style-type: none"> <li>・2チャンネル</li> <li>・動作モード (標準モード、高速モード)</li> <li>・転送モード (シングル転送モード、連続転送モード)</li> <li>・通信データ長: 8ビット</li> </ul>  |
| CANコントローラ                               |    | <ul style="list-style-type: none"> <li>・2チャンネル</li> <li>・ISO11898に準拠</li> <li>・標準フレームと拡張フレームの送受信が可能</li> <li>・転送速度: 最大1Mbps</li> </ul>  |
| クロック同期式シリアル・インタフェース                     |    | <ul style="list-style-type: none"> <li>・2チャンネル</li> <li>・3線式シリアル同期データ転送</li> <li>・マスタ・モードまたはスレーブ・モードを選択可能</li> <li>・ポーレート・ジェネレータを内蔵</li> <li>・通信データ長: 7ビット~16ビット</li> </ul>   |
| CC-Link                                 |    | <ul style="list-style-type: none"> <li>・インテリジェントデバイス局<sup>注3</sup></li> <li>・リモートデバイス局</li> </ul>   |
| 10/100/1000Mbps Ether MAC <sup>注1</sup> |    | <ul style="list-style-type: none"> <li>・1チャンネル</li> <li>・スイッチ機能 (2ポート)</li> <li>・GMII/MIIインタフェース</li> </ul>   |
| 10/100Mbps EtherPHY <sup>注2, 注4</sup>   |    | <ul style="list-style-type: none"> <li>・2ポート</li> <li>・10BaseT, 100BaseTX/FX対応</li> </ul>   |
| CC-Link IE <sup>注1</sup>                |    | CC-Link IE Field (インテリジェントデバイス局)  |
| EtherCAT <sup>注2</sup>                  |    | EtherCAT Slave controller   |
| オンチップ・デバッグ機能                            |    | <ul style="list-style-type: none"> <li>・シリアルワイヤもしくはJTAGの選択</li> <li>・フル・トレース機能 (ETM内蔵)</li> </ul>   |
| 内蔵PLL                                   |    | 25MHz入力で、各クロックを内蔵PLLで生成   |
| 電源電圧                                    |    | 端子電源用: VDD33 = 3.3±0.3V<br>内部電源用: VDD10 = 1.0±0.1V<br>内蔵PHY用電源 <sup>注2</sup> : VDD15 = 1.5±0.15V (内蔵レギュレータ使用可能)   |

注 1. R-IN32M3-CL のみ対応します。

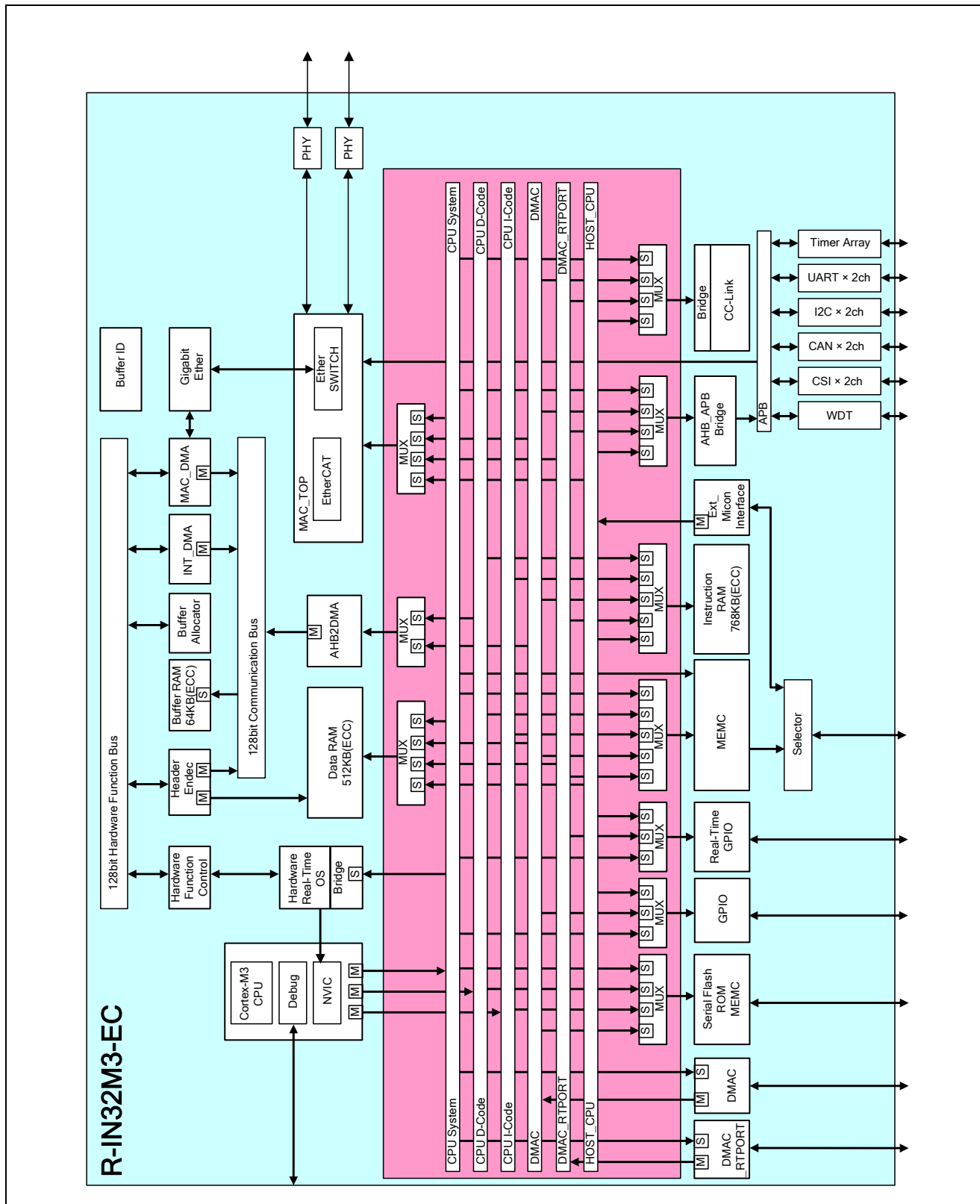
2. R-IN32M3-EC のみ対応します。

3. 詳細は弊社にお問い合わせください。

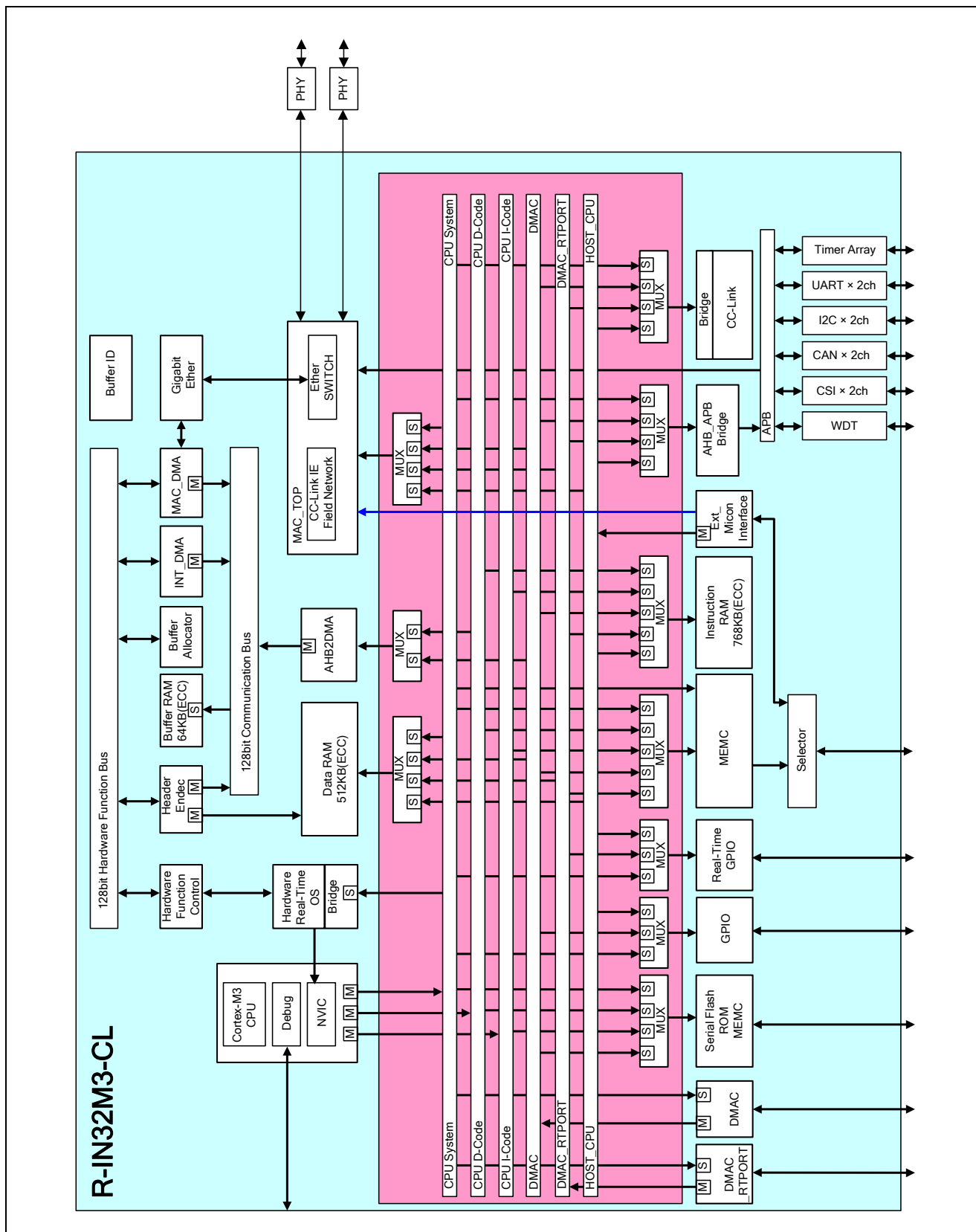
4. EtherCAT P には対応していません。★

1.4 機能ブロック図

1.4.1 R-IN32M3-EC



1.4.2 R-IN32M3-CL



1.5 メモリ・マップ

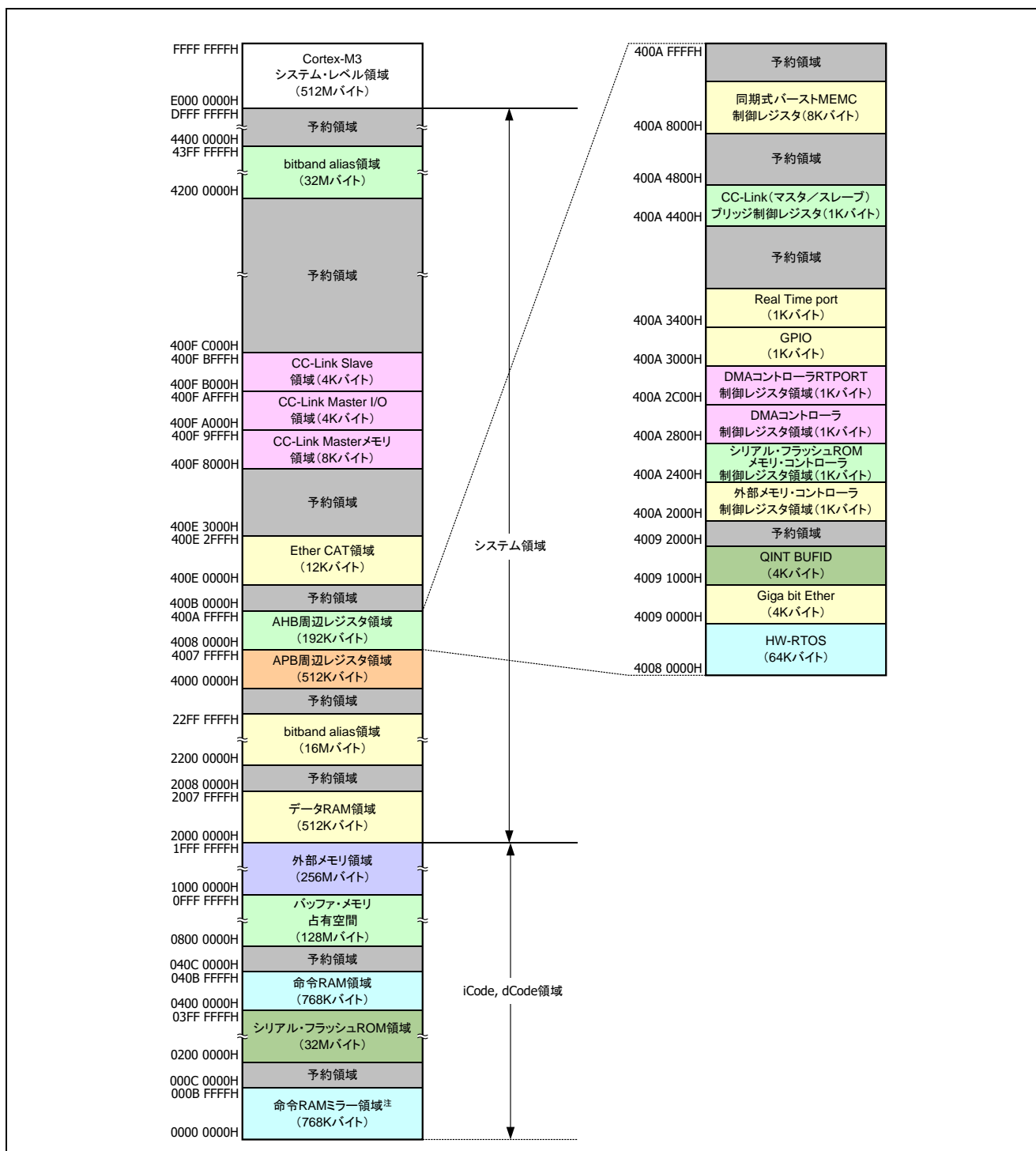


図1.1 メモリ・マップ (全体) (R-IN32M3-EC)

注. 上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生するアドレスが変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」を参照してください。

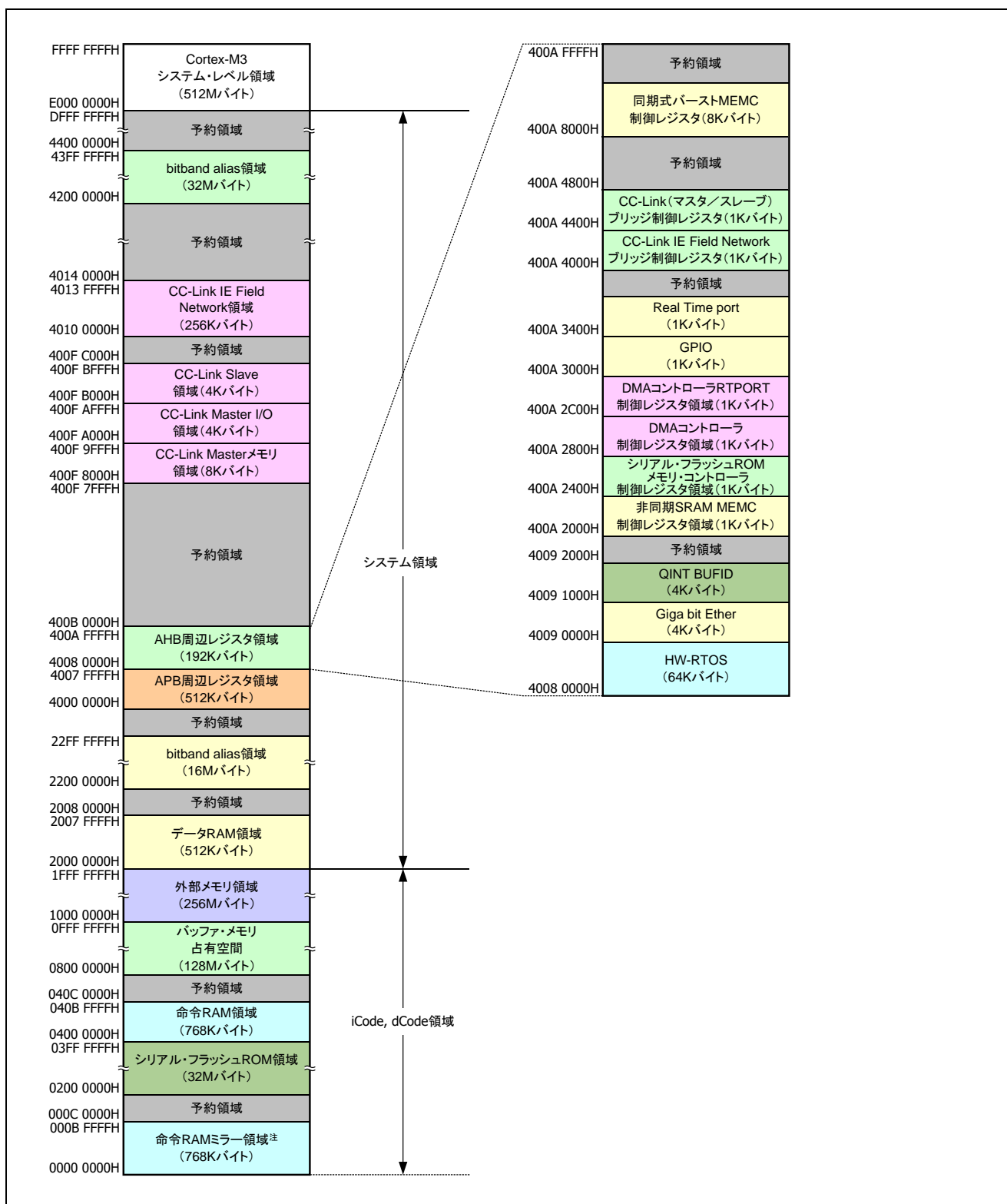


図1.2 メモリ・マップ (全体) (R-IN32M3-CL)

注. 上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生するアドレスが変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」を参照してください。

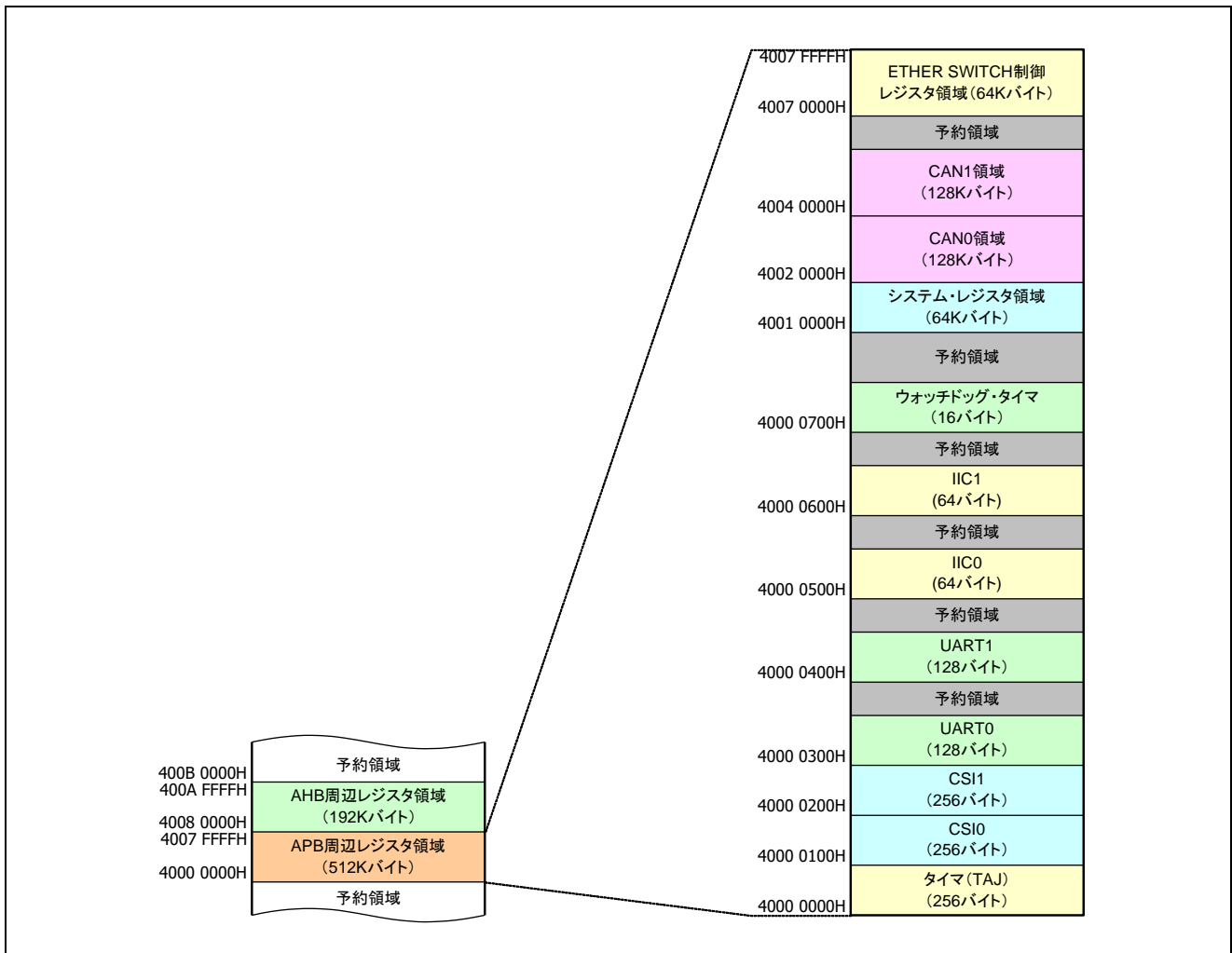


図1.3 メモリ・マップ (APB 周辺レジスタ領域) (R-IN32M3-EC/CL 共通)



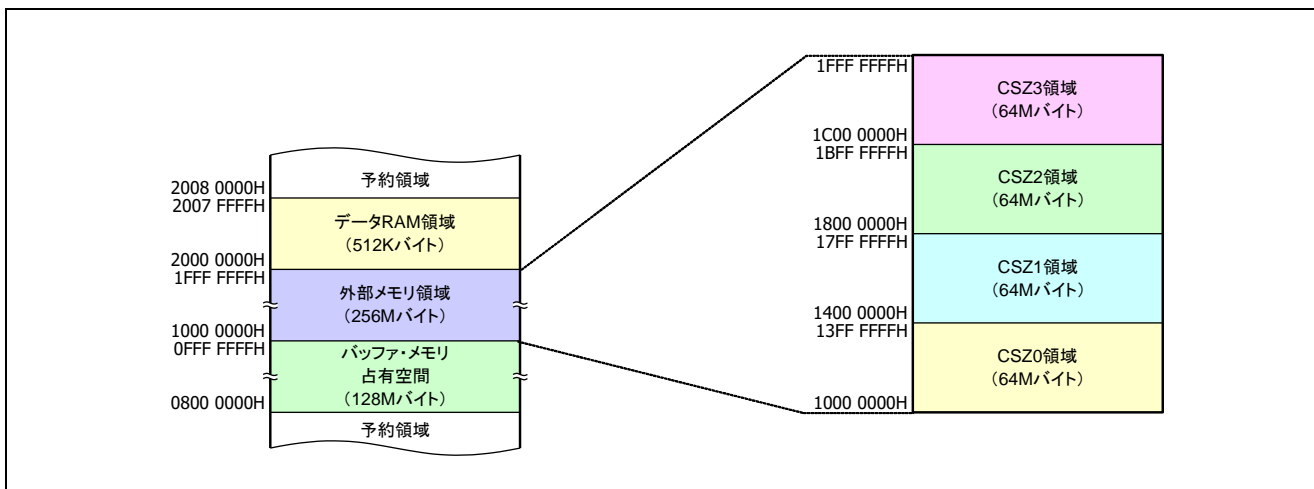


図1.4 メモリ・マップ (外部メモリ領域) (R-IN32M3-EC/CL 共通)

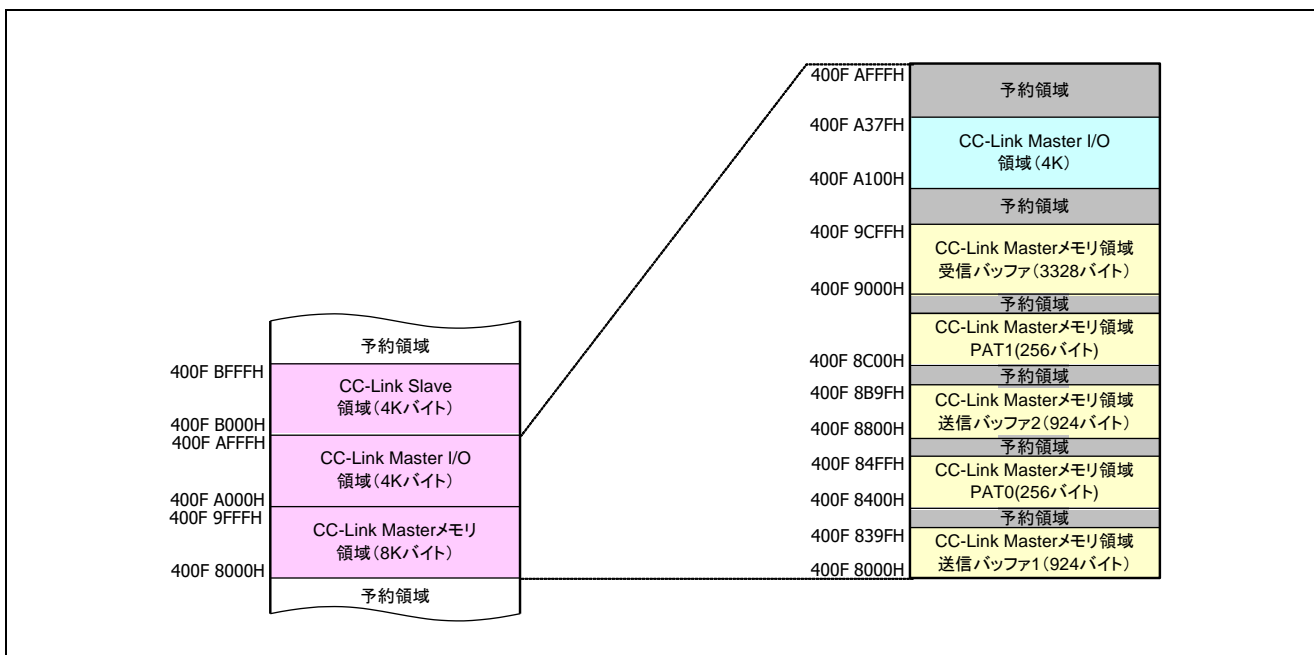


図1.5 メモリ・マップ (CC-Link マスタ領域) (R-IN32M3-EC/CL 共通)

**注意 1. CC-Link Master とは、インテリジェントデバイス局の機能ブロックを示します。**  
**2. CC-Link Slave とは、リモートデバイス局の機能ブロックを示します。**

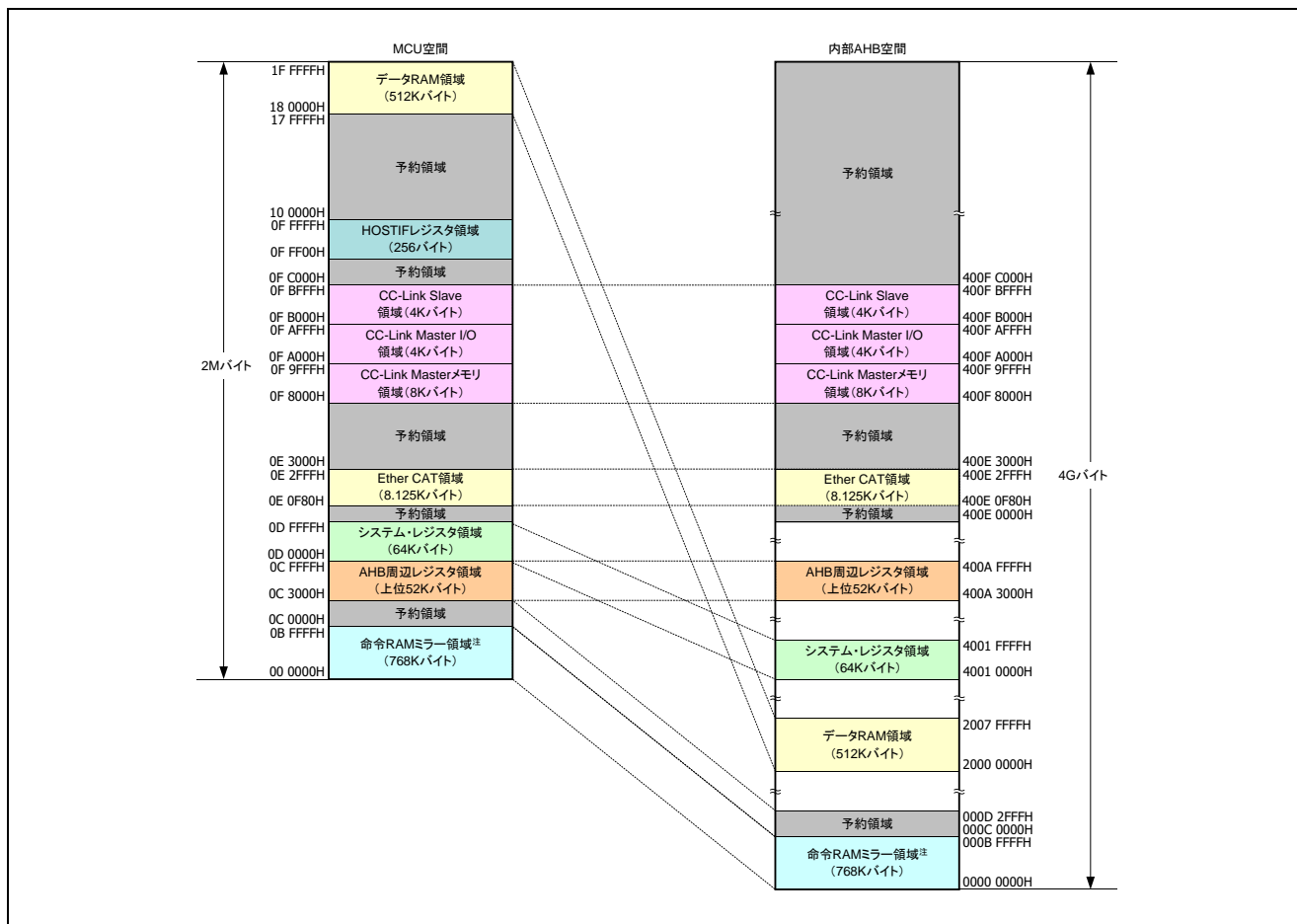


図1.6 外部マイコン・インタフェース空間 (R-IN32M3-EC)

注. 上記命令 RAM ミラー領域(768K バイト)は、ブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。

| BOOT1 | BOOT0 | ブート・モード              | アクセス先領域   | 備考                  |
|-------|-------|----------------------|-----------|---------------------|
| 0     | 0     | 外部メモリ・ブート            | —         | 外部マイコン・インタフェースの使用不可 |
| 0     | 1     | 外部シリアル・フラッシュ ROM ブート | 予約領域      | アクセス不可              |
| 1     | 0     | 外部マイコン・ブート           | 命令 RAM 領域 | —                   |
| 1     | 1     | 命令 RAM ブート           | 命令 RAM 領域 | デバッグ時のみ使用可          |

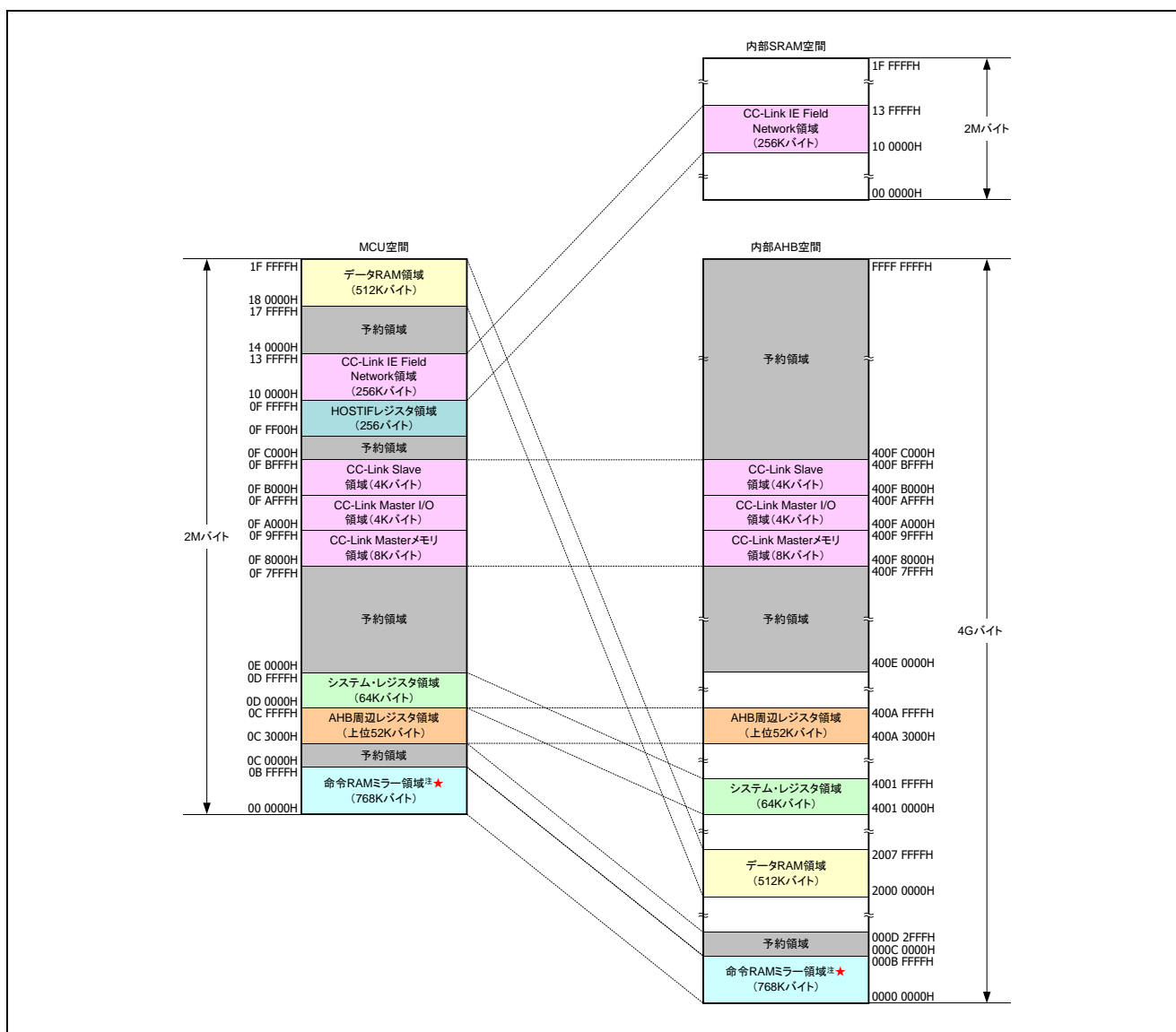


図1.7 外部マイコン・インタフェース空間 (R-IN32M3-CL)

注. 上記命令 RAM ミラー領域(768K バイト)は、ブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。

| BOOT1 | BOOT0 | ブート・モード              | アクセス先領域   | 備考                  |
|-------|-------|----------------------|-----------|---------------------|
| 0     | 0     | 外部メモリ・ブート            | —         | 外部マイコン・インタフェースの使用不可 |
| 0     | 1     | 外部シリアル・フラッシュ ROM ブート | 予約領域      | アクセス不可              |
| 1     | 0     | 外部マイコン・ブート           | 命令 RAM 領域 | —                   |
| 1     | 1     | 命令 RAM ブート           | 命令 RAM 領域 | デバッグ時のみ使用可          |

## 2. 端子機能

### 2.1 端子配置図 (R-IN32M3-EC TOP View)

|             |         |           |             |             |           |            |          |         |               |             |              |              |       |      |       |          |       |     |
|-------------|---------|-----------|-------------|-------------|-----------|------------|----------|---------|---------------|-------------|--------------|--------------|-------|------|-------|----------|-------|-----|
| 18          | 17      | 16        | 15          | 14          | 13        | 12         | 11       | 10      | 9             | 8           | 7            | 6            | 5     | 4    | 3     | 2        | 1     | V   |
| GND         | D2      | D4        | D6          | D13         | RP23      | RP25       | P0_RD_N  | P0_SD_N | VDD15         | P0_TD_OUT_N | P0_FX_EN_OUT | RP34         | RP36  | RP37 | RP11  | RP13     | GND   | GND |
| A10         | A11     | A12       | A9          | A16         | D8        | GND        | TMC1     | GND     | VDD33         | GND         | GND          | GND          | VDD33 | P77  | P76   | P75      | RP00  |     |
| A6          | A7      | A8        | A5          | A15         | A14       | GND        | VDD33    | GND     | VDD10         | VDD10       | VDD10        | VDD10        | VDD33 | P72  | P71   | P70      | TEST3 |     |
| BUSCLK      | WRSTBZ  | WRZ0      | WRZ1        | CSZ0        | P43       | GND        | VDD10    | GND     | VDD10         | VDD10       | VDD10        | VDD10        | VDD33 | P60  | TEST2 | AGND_REG | FB    |     |
| P0VDD_ARXTX | AGND    | GND       | GND         | P43         | P44       | GND        | VDD10    | GND     | GND           | GND         | VDD10        | GND          | VDD33 | P60  | TEST2 | AGND_REG | FB    |     |
| P0_RX_N     | P0_RX_P | VDD15     | RDZ         | P40         | P40       | VDD33      | VDD10    | GND     | GND           | GND         | VDD10        | GND          | VDD33 | P62  | TEST1 | GND      | LX    |     |
| P0_TX_N     | P0_TX_P | VDD33_ESD | P41         | P44         | P44       | GND        | VDD10    | GND     | GND           | GND         | VDD10        | GND          | P65   | P63  | GND   | GND      | BVDD  |     |
| VDD_ACB     | EXT_RES | ATP       | P45         | TMODE_2     | VDD33     | GND        | VDD10    | VDD10   | VDD10         | VDD10       | VDD10        | VDD33        | TRSTZ | P00  | P06   | P05      | P07   |     |
| P1_RX_N     | P1_RX_P | VDD15     | P46         | TMODE_1     | GND       | GND        | VDD33    | GND     | GND           | GND         | VDD33        | GND          | TDO   | P20  | P01   | P03      | P04   |     |
| P1VDD_ARXTX | AGND    | GND       | NMIZ        | TRACE_DATA3 | BUS32_EN  | HIF_SYNC   | HWRZ_SEL | VDD33   | GND           | P17         | P10          | GND          | VDD15 | P27  | P26   | P25      | P24   |     |
| P50         | P51     | P52       | TRACE_DATA1 | JTAG_SEL    | PONRZ     | VDD15      | GND      | VDD15   | VDDQ_PEC_L_B1 | P11         | P16          | P15          | OSCTH | P34  | P36   | GND      | XT1   |     |
| P56         | P55     | P54       | TRACE_DATA2 | RST_OUTZ    | MEM_IFSEL | BOOT_0     | GND      | GND     | GND           | GND         | P14          | P14          | P13   | P30  | P33   | P37      | XT2   |     |
| GND         | P53     | TRACE_CLK | TRACE_DATA0 | RESETZ      | BOOT1     | CCM_CLK80M | VDD33    | P1_RD_N | P1_SD_N       | VDD33       | P1_TD_OUT_N  | P1_FX_EN_OUT | P12   | P31  | P32   | P35      | GND   |     |
| 18          | 17      | 16        | 15          | 14          | 13        | 12         | 11       | 10      | 9             | 8           | 7            | 6            | 5     | 4    | 3     | 2        | 1     | V   |

2.2 端子配置図 (R-IN32M3-CL TOP View)

|               |             |             |             |            |             |           |           |           |           |           |             |           |           |           |           |             |      |
|---------------|-------------|-------------|-------------|------------|-------------|-----------|-----------|-----------|-----------|-----------|-------------|-----------|-----------|-----------|-----------|-------------|------|
| 18            | 17          | 16          | 15          | 14         | 13          | 12        | 11        | 10        | 9         | 8         | 7           | 6         | 5         | 4         | 3         | 2           | 1    |
| V             | U           | T           | R           | P          | N           | M         | L         | K         | J         | H         | G           | F         | E         | D         | C         | B           | A    |
| GND           | P53         | P54         | P52         | P66        | P62         | P76       | GND       | P47       | P43       | BUSCLK    | RDZ         | WRZ1      | A5        | A9        | A13       | A17         | GND  |
| TRACE CLK     | NMIZ        | P55         | P57         | P67        | P63         | P77       | P73       | P70       | P44       | P42       | CSZ0        | A2        | A6        | A10       | A14       | A18         | A20  |
| TRACE DATA2   | TRACE DATA1 | TRACE DATA0 | P56         | P50        | P64         | P60       | P74       | P71       | P45       | P41       | WRSTBZ      | A3        | A7        | A11       | A15       | A19         | D0   |
| RESETZ        | RST OUTZ    | JTAG SEL    | TRACE DATA3 | P51        | P65         | P61       | P75       | P72       | P46       | P40       | WRZ0        | A4        | A8        | A12       | A16       | D1          | D2   |
| CC1CLK 2_097M | HWRZ SEL    | MEMIF SEL   | PONRZ       | BUS32 EN   | HOT RESETZ  | TMODE 0   | TMODE 1   | TMODE 2   | GND       | GND       | GND         | GND       | GND       | D3        | D4        | D5          | D6   |
| CGM_CL K80M   | BOOT0       | BOOT1       | HIF SYNC    | TMC2       | GND         | VDD33     | GND       | GND       | VDD33     | GND       | VDD33       | GND       | GND       | D7        | D8        | D9          | D10  |
| P03           | P02         | P01         | P00         | ADMUX MODE | VDD33       | GND       | VDD10     | VDD10     | VDD10     | VDD10     | GND         | VDD33     | GND       | D11       | D12       | D13         | D14  |
| P07           | P06         | P05         | P04         | MEMC SEL   | GND         | VDD10     | GND       | GND       | GND       | GND       | VDD10       | GND       | GND       | TMC1      | D15       | RP22        | RP23 |
| P23           | P22         | P21         | P20         | GND        | VDD33       | VDD10     | GND       | GND       | GND       | GND       | VDD10       | GND       | GND       | RP20      | RP21      | RP24        | RP25 |
| P24           | P25         | P26         | P27         | GND        | GND         | VDD10     | GND       | GND       | GND       | GND       | VDD10       | VDD33     | GND       | RP31      | RP30      | RP27        | RP26 |
| P10           | P11         | P12         | P13         | GND        | GND         | VDD10     | GND       | GND       | GND       | GND       | VDD10       | GND       | GND       | RP35      | RP34      | RP33        | RP32 |
| P14           | P15         | P16         | TDI         | PLL_VDD    | VDD33       | GND       | VDD10     | VDD10     | VDD10     | VDD10     | GND         | VDD33     | GND       | RP12      | RP11      | RP37        | RP36 |
| P17           | P30         | P31         | TMS         | PLL_GND    | GND         | VDDQ_MII  | GND       | VDDQ_MII  | GND       | GND       | VDDQ_MII    | GND       | GND       | RP16      | RP15      | RP14        | RP13 |
| P32           | P33         | P34         | TDO         | OSCTH      | GND         | GND       | VDD33     | GND       | GND       | VDD33     | GND         | GND       | GND       | RP06      | RP07      | RP10        | RP17 |
| GND           | P35         | P36         | ETH1_RXD3   | ETH1_RXDV  | TRSTZ       | TCK       | ETH1_TXD0 | ETH1_TXD4 | ETH0_RXD4 | ETH0_RXD0 | ETH_MDC     | ETH0_CRS  | ETH0_TXD0 | ETH0_TXD3 | RP03      | RP04        | RP05 |
| XT2           | P37         | ETH1_RXD6   | ETH1_RXD2   | ETH1_RXER  | ETH1_COL    | ETH1_TXER | ETH1_TXD1 | ETH1_TXD5 | ETH0_RXD5 | ETH0_RXD1 | ETH0_GE_INT | ETH0_COL  | ETH0_TXEN | ETH0_TXD2 | ETH0_TXD6 | RP01        | RP02 |
| XT1           | ETH1_RXD7   | ETH1_RXD5   | ETH1_RXD1   | ETH1_CRS   | ETH1_GE_INT | ETH1_TXEN | ETH1_TXD2 | ETH1_TXD6 | ETH0_RXD6 | ETH0_RXD2 | ETH0_MDIO   | ETH0_TXER | ETH0_TXER | ETH0_TXD1 | ETH0_TXD7 | ETH0_TXD7   | RP00 |
| GND           | CLKOUT 25M1 | ETH1_RXD4   | ETH1_RXD0   | ETH1_RXC   | ETH1_TXC    | ETH1_GTXC | ETH1_TXD3 | ETH1_TXD7 | ETH0_RXD7 | ETH0_RXD3 | ETH0_RXDV   | ETH0_TXC  | ETH0_RXC  | ETH0_GTXC | ETH0_TXD4 | CLKOUT 25M0 | GND  |
| V             | U           | T           | R           | P          | N           | M         | L         | K         | J         | H         | G           | F         | E         | D         | C         | B           | A    |

### 2.3 端子機能一覧

本章における端子表の各項目および記号・略号の意味を以下に示します。

表2.1 端子一覧における項目の意味

| 項目    | 意味   |
|-------|--|
| 端子名称  | 「2.1 端子配置図 (R-IN32M3-EC TOP View)」、<br>「2.2 端子配置図 (R-IN32M3-CL TOP View)」で示した端子名称です。 |
| 入出力   | 対象端子の入出力方向です。  |
| 機能    | 対象端子の機能概略です。   |
| アクティブ | 対象端子のアクティブレベルです。   |
| リセット中 | RSTOUTZ = Low 期間の端子状態を示します。<br>詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」を参照して下さい。          |

表2.2 端子一覧における記号・略号の意味

| 対象    | 記号・略号       | 意味  |
|-------|-------------|---|
| 端子名称  | — (ハイフン)    | ポート兼用がない専用端子です。                               |
| 入出力   | — (ハイフン)    | 電源/GND など入出力方向がない端子です。                        |
| アクティブ | — (ハイフン)    | アクティブレベルがないことを示しています。<br>(クロック/データ/アドレス)      |
|       | High        | アクティブレベルは High です。                            |
|       | Low         | アクティブレベルは Low です。                             |
| リセット中 | — (ハイフン)    | リセット初期値がない入力専用端子です。                           |
|       | High        | リセット中の端子状態は、High です。                          |
|       | Low         | リセット中の端子状態は、Low です。                           |
|       | Hi-Z (High) | リセット中の端子状態は、内蔵 Pull-up 抵抗による Hi-Z (High) です。  |
|       | Hi-Z (Low)  | リセット中の端子状態は、内蔵 Pull-down 抵抗による Hi-Z (Low) です。 |

## 2.3.1 イーサネット端子

## (1) PHY インタフェース端子 (R-IN32M3-CL のみ)

注意 R-IN32M3-CL に搭載している端子です。R-IN32M3-EC には本端子はありません。

| 端子名称                                 | 入出力 | 機能  | アクティブ    | リセット中 |
|--------------------------------------|-----|---|----------|-------|
| ETH0_TXC                             | 入力  | Ethernet 0 10M/100M 送信クロック (2.5MHz/25MHz) | —        | —     |
| ETH0_GTXC <sup>注</sup>               | 出力  | Ethernet 0 1G 送信クロック (125MHz)             | —        | High  |
| ETH0_TXEN <sup>注</sup>               | 出力  | Ethernet 0 送信イネーブル出力信号                    | High     | Low   |
| ETH0_TXER <sup>注</sup>               | 出力  | Ethernet 0 送信エラー出力信号                      | High     | Low   |
| ETH0_TXD0-<br>ETH0_TXD7 <sup>注</sup> | 出力  | Ethernet 0 送信データ出力信号                      | —        | Low   |
| ETH0_GE_INT                          | 入力  | Ethernet 0 PHY 割り込み信号                     | High/Low | —     |
| ETH0_RXC                             | 入力  | Ethernet 0 受信クロック                         | —        | —     |
| ETH0_RXDV                            | 入力  | Ethernet 0 受信データ・イネーブル入力信号                | High     | —     |
| ETH0_RXER                            | 入力  | Ethernet 0 受信データ・エラー入力信号                  | High     | —     |
| ETH0_RXD0-<br>ETH0_RXD7              | 入力  | Ethernet 0 受信データ入力信号                      | —        | —     |
| ETH0_CRS                             | 入力  | Ethernet 0 キャリアセンス入力信号                    | High     | —     |
| ETH0_COL                             | 入力  | Ethernet 0 衝突検出出力信号                       | High     | —     |
| ETH1_TXC                             | 入力  | Ethernet 1 10M/100M 送信クロック (2.5MHz/25MHz) | —        | —     |
| ETH1_GTXC <sup>注</sup>               | 出力  | Ethernet 1 1G 送信クロック (125MHz)             | —        | High  |
| ETH1_TXEN <sup>注</sup>               | 出力  | Ethernet 1 送信イネーブル出力信号                    | High     | Low   |
| ETH1_TXER <sup>注</sup>               | 出力  | Ethernet 1 送信エラー出力信号                      | High     | Low   |
| ETH1_TXD0-<br>ETH1_TXD7 <sup>注</sup> | 出力  | Ethernet 1 送信データ出力信号                      | —        | Low   |
| ETH1_GE_INT                          | 入力  | Ethernet 1 PHY 割り込み信号                     | High/Low | —     |
| ETH1_RXC                             | 入力  | Ethernet 1 受信クロック                         | —        | —     |
| ETH1_RXDV                            | 入力  | Ethernet 1 受信データ・イネーブル入力信号                | High     | —     |
| ETH1_RXER                            | 入力  | Ethernet 1 受信データ・エラー入力信号                  | High     | —     |
| ETH1_RXD0-<br>ETH1_RXD7              | 入力  | Ethernet 1 受信データ入力信号                      | —        | —     |
| ETH1_CRS                             | 入力  | Ethernet 1 キャリアセンス入力信号                    | High     | —     |
| ETH1_COL                             | 入力  | Ethernet 1 衝突検出出力信号                       | High     | —     |
| ETH_MDC                              | 出力  | Ethernet マネージメント・インタフェース・クロック             | —        | Low   |
| ETH_MDIO                             | 入出力 | Ethernet マネージメント・データ信号                    | —        | Hi-Z  |

注. ETHDRCTRL レジスタの設定によりドライブ機能の切り替えが可能です。

詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」を参照してください。

## (2) メディア・インタフェース (R-IN32M3-EC のみ)

注意. R-IN32M3-EC に搭載している端子です。R-IN32M3-CL には本端子はありません。

| 端子名称         | 入出力 | 機能   | アクティブ | リセット中 |
|--------------|-----|--|-------|-------|
| P0_RX_P      | 入力  | PHY0 受信データ入力 (+)                                   | —     | —     |
| P0_RX_N      | 入力  | PHY0 受信データ入力 (—)                                   | —     | —     |
| P1_RX_P      | 入力  | PHY1 受信データ入力 (+)                                   | —     | —     |
| P1_RX_N      | 入力  | PHY1 受信データ入力 (—)                                   | —     | —     |
| P0_TX_P      | 出力  | PHY0 送信データ出力 (+)                                   | —     | —     |
| P0_TX_N      | 出力  | PHY0 送信データ出力 (—)                                   | —     | —     |
| P1_TX_P      | 出力  | PHY1 送信データ出力 (+)                                   | —     | —     |
| P1_TX_N      | 出力  | PHY1 送信データ出力 (—)                                   | —     | —     |
| P0_SD_P      | 入力  | PHY0 100BASE-FX 信号検出 (+)                           | High  | —     |
| P0_SD_N      | 入力  | PHY0 100BASE-FX 信号検出 (—)                           | Low   | —     |
| P1_SD_P      | 入力  | PHY1 100BASE-FX 信号検出 (+)                           | High  | —     |
| P1_SD_N      | 入力  | PHY1 100BASE-FX 信号検出 (—)                           | Low   | —     |
| P0_RD_P      | 入力  | PHY0 100BASE-FX 受信データ入力 (+)                        | —     | —     |
| P0_RD_N      | 入力  | PHY0 100BASE-FX 受信データ入力 (—)                        | —     | —     |
| P1_RD_P      | 入力  | PHY1 100BASE-FX 受信データ入力 (+)                        | —     | —     |
| P1_RD_N      | 入力  | PHY1 100BASE-FX 受信データ入力 (—)                        | —     | —     |
| P0_TD_OUT_P  | 出力  | PHY0 100BASE-FX 送信データ出力 (+)                        | —     | —     |
| P0_TD_OUT_N  | 出力  | PHY0 100BASE-FX 送信データ出力 (—)                        | —     | —     |
| P1_TD_OUT_P  | 出力  | PHY1 100BASE-FX 送信データ出力 (+)                        | —     | —     |
| P1_TD_OUT_N  | 出力  | PHY1 100BASE-FX 送信データ出力 (—)                        | —     | —     |
| P0_FX_EN_OUT | 出力  | PHY0 100BASE-FX FX イネーブル通知出力<br>1 : 100BASE-FX モード | High  | —     |
| P1_FX_EN_OUT | 出力  | PHY1 100BASE-FX FX イネーブル通知出力<br>1 : 100BASE-FX モード | High  | —     |

備考. 100BASE-FX モードでなく、MDI-X で使用する場合には、RXP/RXN と TXP/TXN の入出力属性が入れ替わります。



## (3) その他の端子

| 端子名称                  | 入出力 | 機能  | 兼用ポート   | アクティブ | リセット中       |             |
|-----------------------|-----|---|---------|-------|-------------|-------------|
| PHYLINK0,<br>PHYLINK1 | 入力  | PHY Link 入力 <sup>注1</sup><br>(EtherSwitch 用)                      | P06-P07 | High  | Hi-Z (High) |             |
| P0LINKLEDZ            | 出力  | 内蔵 PHY0 リンク・ステータス LED 出力 <sup>注2</sup>                            | P06     | Low   | Hi-Z        |             |
| P1LINKLEDZ            | 出力  | 内蔵 PHY1 リンク・ステータス LED 出力 <sup>注2</sup>                            | P07     | Low   |             |             |
| ETHSWSECOUT           | 出力  | EtherSwitch の 1 秒毎のイベント出力   | P24     | High  | 注 3         |             |
| P0DUPLEXLEDZ          | 出力  | 内蔵 PHY0 半二重転送ステータス LED 出力 <sup>注2</sup><br>0 : 全二重転送<br>1 : 半二重転送 | P70     | —     |             |             |
| P0SPEED100LEDZ        | 出力  | 内蔵 PHY0 100-BASE ステータス LED 出力 <sup>注2</sup>                       | P72     | Low   |             |             |
| P0SPEED10LEDZ         | 出力  | 内蔵 PHY0 10-BASE ステータス LED 出力 <sup>注2</sup>                        | P73     | Low   |             |             |
| P1DUPLEXLEDZ          | 出力  | 内蔵 PHY1 半二重転送ステータス LED 出力 <sup>注2</sup><br>0 : 全二重転送<br>1 : 半二重転送 | P74     | —     |             |             |
| P1SPEED100LEDZ        | 出力  | 内蔵 PHY1 100-BASE ステータス LED 出力 <sup>注2</sup>                       | P76     | Low   |             |             |
| P1SPEED10LEDZ         | 出力  | 内蔵 PHY1 10-BASE ステータス LED 出力 <sup>注2</sup>                        | P77     | Low   |             |             |
| P0ACTLEDZ             | 出力  | 内蔵 PHY0 ACT LED 出力 <sup>注2</sup>                                  | RP02    | Low   |             | Hi-Z (High) |
| P1ACTLEDZ             | 出力  | 内蔵 PHY1 ACT LED 出力 <sup>注2</sup>                                  | RP04    | Low   |             |             |

注 1. R-IN32M3-CL のみ使用可能。

注 2. R-IN32M3-EC のみ使用可能。

注 3. R-IN32M3-EC では Hi-Z、R-IN32M3-CL では Hi-Z (High)

## 2.3.2 EtherCAT Slave Controller 端子 (R-IN32M3-EC のみ)

注意. R-IN32M3-EC に搭載している端子です。R-IN32M3-CL には本端子はありません。

| 端子名称                        | 入出力 | 機能                              | 兼用ポート   | アクティブ | リセット中       |
|-----------------------------|-----|---------------------------------|---------|-------|-------------|
| CATLEDRUN                   | 出力  | EtherCAT RUN LED 出力             | P00     | High  | Hi-Z        |
| CATIRQ                      | 出力  | EtherCAT IRQ 出力                 | P01     | High  |             |
| CATLEDSTER                  | 出力  | EtherCAT Dual-color ステート LED 出力 | P02     | High  |             |
| CATLEDERR                   | 出力  | EtherCAT Error LED 出力           | P03     | High  |             |
| CATLINKACT0,<br>CATLINKACT1 | 出力  | EtherCAT Link / Activity LED 出力 | P04-P05 | High  |             |
| CATSYNC1                    | 出力  | EtherCAT SYNC1 出力               | P10     | High  | Hi-Z (High) |
| CATSYNC0                    | 出力  | EtherCAT SYNC0 出力               | P11     | High  | Hi-Z (Low)  |
| CATLATCH1                   | 入力  | EtherCAT LATCH1 入力              | P10     | High  | Hi-Z (High) |
| CATLATCH0                   | 入力  | EtherCAT LATCH0 入力              | P11     | High  | Hi-Z (Low)  |
| CATI2CCLK                   | 出力  | EtherCAT EEPROM I2C クロック出力      | P22     | —     | Hi-Z        |
| CATI2CDATA                  | 入出力 | EtherCAT EEPROM I2C データ         | P23     | —     |             |
| CATRESTOUT                  | 出力  | EtherCAT PHY RESETOUT           | P56     | —     | Hi-Z (High) |

## 2.3.3 外部メモリ・インタフェース

| 端子名称  | 入出力 | 機能                   | 兼用端子                             | 兼用ポート                          | アクティブ | リセット中       |
|---|-----|----------------------|----------------------------------|--------------------------------|-------|-------------|
| BUSCLK  | 出力  | バス・クロック出力            | —                                | —                              | —     | クロック出力      |
| CSZ0  | 出力  | チップ・セレクト信号出力         | HCSZ                             | —                              | Low   | Hi-Z (High) |
| CSZ1  | 出力  |                      | HPGCSZ                           | P44                            |       |             |
| CSZ2  | 出力  |                      | —                                | P51                            |       |             |
| CSZ3  | 出力  |                      | —                                | P50                            |       |             |
| A1 / MA0 <sup>注4</sup>                                | 出力  | アドレス出力               | HA1                              | P40                            | —     | Hi-Z (High) |
| A2-A20 /<br>MA1-MA19 <sup>注4</sup>                    | 出力  |                      | HA2-HA20                         | —                              |       | Hi-Z (Low)  |
| A21-A27 /<br>MA20-MA26 <sup>注4</sup>                  | 出力  |                      | —                                | RP21-<br>RP27                  |       |             |
| D0-D15 /<br>MD0-MD15 /<br>MA0-MA15 <sup>注1,4</sup>    | 入出力 | データ・バス               | HD0-HD15                         | —                              | —     | Hi-Z (High) |
| D16-D31 /<br>MD16-MD31 /<br>MA16-MA31 <sup>注1,4</sup> | 入出力 |                      | HD16-HD31                        | RP30-<br>RP37<br>RP10-<br>RP17 |       |             |
| RDZ   | 出力  | リード・ストロブ出力           | HRDZ                             | —                              | Low   | Hi-Z (High) |
| WRSTBZ  | 出力  | ライト・ストロブ出力           | HWRSTBZ                          | —                              | Low   |             |
| WRZ0, WRZ1/<br>BENZ0, BENZ1                           | 出力  | 有効バイト・レーン・スト<br>ロブ出力 | HWRZ0, HWRZ1 /<br>HBENZ0, HBENZ1 | —                              | Low   |             |
| WRZ2, WRZ3/<br>BENZ2, BENZ3                           | 出力  |                      | HWRZ2, HWRZ3 /<br>HBENZ2, HBENZ3 | RP06,<br>RP07                  |       |             |
| WAITZ   | 入力  | ウェイト入力               | HWAITZ                           | P41                            | Low   | Hi-Z (High) |
| WAITZ1-WAITZ3<br><sup>注2</sup>                        | 入力  | ウェイト入力               | —                                | P45-<br>P47                    | Low   |             |
| BCYSTZ / ADVZ <sup>注3</sup>                           | 出力  | アドレス・バリッド出力          | HBCYSTZ                          | RP20                           | Low   | Hi-Z (High) |

備考. 外部メモリ・インタフェース端子の BUSCLK 以外の端子は、内部リセット信号 (HRESETZ) のアクティブ期間中は、入力信号になります。

注 1. 同期式バースト・アクセス MEMC 使用時に、ADMUXMODE 端子が High レベルの場合、アドレス端子と兼用になります。

ADMUXMODE = 0 : MD0-MD31 (アドレス/データ分離)

ADMUXMODE = 1 : MD0-MD31/MA0-MA31 (アドレス/データ多重)

2. 同期式バースト・アクセス MEMC 使用時のみ有効です。

3. 非同期 SRAM MEMC 使用時には、BCYSTZ 機能として、同期式バースト・アクセス MEMC 使用時には、ADVZ 機能として動作します。

4. 非同期 SRAM MEMC 使用時には、A1-A27、D0-D31 機能として動作します。

同期式バースト・アクセス MEMC 使用時には、MA0-MA26、MD0-MD31 として動作します。

## 2.3.4 外部マイコン・インタフェース

| 端子名称                            | 入出力 | 機能                  | 兼用端子                        | 兼用ポート                          | アクティブ | リセット中       |
|---------------------------------|-----|---------------------|-----------------------------|--------------------------------|-------|-------------|
| HBUSCLK                         | 入力  | バス・クロック入力<br>(ホスト用) | INTPZ11                     | P43                            | —     | Hi-Z (High) |
| HCSZ                            | 入力  | チップ・セレクト入力          | CSZ0                        | —                              | Low   |             |
| HPGCSZ                          | 入力  | ページROMモード・チップセレクト入力 | CSZ1                        | P44                            | Low   |             |
| HWAITZ                          | 出力  | ウェイト信号出力            | WAITZ                       | P41                            | Low   |             |
| HA1                             | 入力  | アドレス信号入力            | A1                          | P40                            | —     | Hi-Z (High) |
| HA2-HA20                        | 入力  |                     | A2-A20                      | —                              | —     | Hi-Z (Low)  |
| HD0-HD15                        | 入出力 | データ・バス              | D0-D15                      | —                              | —     | Hi-Z (High) |
| HD16-HD31                       | 入出力 |                     | D16-D31                     | RP30-<br>RP37<br>RP10-<br>RP17 | —     |             |
| HRDZ                            | 入力  | リード・ストロブ入力          | RDZ                         | —                              | Low   | Hi-Z (High) |
| HWRSTBZ                         | 入力  | ライト・ストロブ入力          | WRSTBZ                      | —                              | Low   |             |
| HWRZ0, HWRZ1/<br>HBENZ0, HBENZ1 | 入力  | 有効バイト・レーン・ストロブ入力    | WRZ0, WRZ1/<br>BENZ0, BENZ1 | —                              | Low   |             |
| HWRZ2, HWRZ3/<br>HBENZ2, HBENZ3 | 入力  |                     | WRZ2, WRZ3/<br>BENZ2, BENZ3 | RP06,<br>RP07                  | —     |             |
| HERROUTZ                        | 出力  | エラー割り込み出力           | SLEEPING                    | P42                            | Low   | High        |
| HBCYSTZ                         | 入力  | バス・サイクル入力           | BCYSTZ / ADVZ               | RP20                           | Low   | Hi-Z (High) |

**注意.** 非同期モードを使用する時は、HBUSCLK 端子には Low を入力してください。

**備考.** 外部マイコン・インタフェース端子は、リセット期間中でも外部マイコン・インタフェース端子として動作します。

## 2.3.5 ポート端子、リアルタイム・ポート端子

ポートは、8ビット・ポートが12セットあります。

このうち、ポート0-3、ポート4-7、リアルタイム・ポート0-3は、4ポートをまとめて32ビット・アクセスも可能です。

(1/4)

|    | ポート名 | 兼用1                     | 兼用2                       | 兼用3   | 兼用4        | リセット中       |
|----|------|-------------------------|---------------------------|---|------------|-------------|
| P0 | P00  | INTPZ0                  | CATLEDRUN <sup>注1</sup>   | CCI_RUNLEDZ <sup>注2</sup>                             | —          | 注3          |
|    | P01  | INTPZ1                  | CATIRQ <sup>注1</sup>      | —   | —          |             |
|    | P02  | INTPZ2                  | CATLEDSTER <sup>注1</sup>  | CCI_DLINKLEDZ <sup>注2</sup>                           | —          |             |
|    | P03  | INTPZ3                  | CATLEDERR <sup>注1</sup>   | CCI_ERRLEDZ <sup>注2</sup>                             | CCS_MON5   |             |
|    | P04  | INTPZ4                  | CATLINKACT0 <sup>注1</sup> | CCI_LERR1LEDZ <sup>注2</sup>                           | CCS_MON6   |             |
|    | P05  | INTPZ5                  | CATLINKACT1 <sup>注1</sup> | CCI_LERR2LEDZ <sup>注2</sup>                           | CCS_MON7   |             |
|    | P06  | PHYLINK0 <sup>注2</sup>  | P0LINKLEDZ <sup>注1</sup>  | CCI_SDLEDZ <sup>注2</sup>                              | CCS_MON0   |             |
|    | P07  | PHYLINK1 <sup>注2</sup>  | P1LINKLEDZ <sup>注1</sup>  | CCI_RDLEDZ <sup>注2</sup>                              | CCS_RESOUT |             |
| P1 | P10  | CATLATCH1 <sup>注1</sup> | CATSYNC1 <sup>注1</sup>    | —   | CCS_REFSTB | Hi-Z (High) |
|    | P11  | CATLATCH0 <sup>注1</sup> | CATSYNC0 <sup>注1</sup>    | —   | CCS_MON4   | Hi-Z (Low)  |
|    | P12  | INTPZ6                  | —                         | CCI_NMIZ <sup>注2</sup>                                | —          | Hi-Z (High) |
|    | P13  | INTPZ7                  | —                         | CCI_WDTIZ <sup>注2</sup> /<br>CCS_WDTZ /<br>CCM_WDTENZ | —          |             |
|    | P14  | SMSCK                   | —                         | —   | —          |             |
|    | P15  | SMSI                    | —                         | —   | —          |             |
|    | P16  | SMSO                    | —                         | —   | —          |             |
|    | P17  | SMCSZ                   | —                         | —   | —          |             |
| P2 | P20  | RXD0                    | —                         | CCM_LINKERRZ  | —          | 注3          |
|    | P21  | TXD0                    | —                         | CCM_ERRZ  | —          |             |
|    | P22  | INTPZ8                  | CATI2CCLK <sup>注1</sup>   | CCS_IOTENSU   | —          |             |
|    | P23  | INTPZ9                  | CATI2CDATA <sup>注1</sup>  | CCS_SENYU0  | —          |             |
|    | P24  | INTPZ10                 | ETHSWSECOUT               | CCS_SENYU1  | —          |             |
|    | P25  | WDTOUTZ                 | —                         | CCS_ERRZ  | —          |             |
|    | P26  | TIN1                    | TOUT1                     | CCM_RUNZ /<br>CCS_RUNZ                                | —          |             |
|    | P27  | TIN0                    | TOUT0                     | —   | —          |             |

注1. R-IN32M3-ECのみ使用。

2. R-IN32M3-CLのみ使用。

3. R-IN32M3-ECではHi-Z、R-IN32M3-CLではHi-Z (High)

(2/4)

|    | ポート名 | 兼用 1     | 兼用 2                        | 兼用 3                         | 兼用 4     | リセット中       |
|----|------|----------|-----------------------------|------------------------------|----------|-------------|
| P3 | P30  | RXD1     | —                           | —                            | —        | Hi-Z (High) |
|    | P31  | TXD1     | —                           | —                            | —        |             |
|    | P32  | DMAREQZ1 | —                           | —                            | CCS_MON1 |             |
|    | P33  | DMAACKZ1 | CCI_WAITEDGEH <sup>注2</sup> | —                            | CCS_MON2 |             |
|    | P34  | DMATCZ1  | CCI_WRLLENH <sup>注2</sup>   | —                            | CCS_MON3 |             |
|    | P35  | CSISCK1  | INTPZ22                     | CCM_IRLZ                     | —        |             |
|    | P36  | CSISI1   | INTPZ23                     | CCS_FUSEZ                    | —        |             |
|    | P37  | CSISO1   | INTPZ24                     | CCM_MSTZ                     | —        |             |
| P4 | P40  | A1 / MA0 | HA1                         | —                            | —        | Hi-Z (High) |
|    | P41  | WAITZ    | HWAITZ                      | —                            | —        |             |
|    | P42  | SLEEPING | HERROUTZ                    | CCM_SDGCZ                    | —        |             |
|    | P43  | INTPZ11  | HBUSCLK                     | —                            | —        |             |
|    | P44  | CSZ1     | HPGCSZ                      | —                            | —        |             |
|    | P45  | CSISCK0  | WAITZ1                      | —                            | —        |             |
|    | P46  | CSISI0   | WAITZ2                      | —                            | —        |             |
|    | P47  | CSISO0   | WAITZ3                      | —                            | —        |             |
| P5 | P50  | CSZ3     | —                           | CCM_LNKRUNZ /<br>CCS_LNKRUNZ | —        |             |
|    | P51  | CSZ2     | —                           | CCM_RDLEDZ /<br>CCS_RDLEDZ   | —        |             |
|    | P52  | TIN3     | TOUT3                       | CCS_SDGATEON                 | —        | Hi-Z (Low)  |
|    | P53  | CRXD0    | CCS_RD                      | CCM_RD                       | —        | Hi-Z (High) |
|    | P54  | CTXD0    | CCS_SD                      | CCM_SD                       | —        |             |
|    | P55  | CRXD1    | —                           | —                            | —        |             |
|    | P56  | CTXD1    | CATRESTOUT <sup>注1</sup>    | CCI_PHYREZ1 <sup>注2</sup>    | —        |             |
|    | P57  | TIN2     | TOUT2                       | CCI_PHYREZ0 <sup>注2</sup>    | —        |             |

注 1. R-IN32M3-EC のみ使用。

注 2. R-IN32M3-CL のみ使用。

(3/4)

|    | ポート名 | 兼用 1      | 兼用 2                  | 兼用 3                            | 兼用 4 | リセット中 |
|----|------|-----------|-----------------------|---------------------------------|------|-------|
| P6 | P60  | SCL0      | —                     | —                               | —    | 注 3   |
|    | P61  | SDA0      | —                     | —                               | —    |       |
|    | P62  | RTDMAREQZ | —                     | CCM_MDIN0                       | —    |       |
|    | P63  | RTDMAACKZ | —                     | CCM_MDIN1                       | —    |       |
|    | P64  | RTDMATCZ  | —                     | CCM_MDIN2                       | —    |       |
|    | P65  | DMAREQZ0  | —                     | CCM_MDIN3                       | —    |       |
|    | P66  | DMAACKZ0  | —                     | CCI_INTZ 注2                     | —    |       |
|    | P67  | DMATCZ0   | —                     | —                               | —    |       |
| P7 | P70  | CSICS00   | P0DUPLEXLEDZ<br>注 1   | CCS_STATION_NO_0 /<br>CCM_SNIN0 | —    |       |
|    | P71  | CSICS01   | —                     | CCS_STATION_NO_1 /<br>CCM_SNIN1 | —    |       |
|    | P72  | CSICS10   | P0SPEED100LEDZ<br>注 1 | CCS_STATION_NO_2 /<br>CCM_SNIN2 | —    |       |
|    | P73  | CSICS11   | P0SPEED10LEDZ<br>注 1  | CCS_STATION_NO_3 /<br>CCM_SNIN3 | —    |       |
|    | P74  | INTPZ12   | P1DUPLEXLEDZ<br>注 1   | CCS_STATION_NO_4 /<br>CCM_SNIN4 | —    |       |
|    | P75  | INTPZ13   | —                     | CCS_STATION_NO_5 /<br>CCM_SNIN5 | —    |       |
|    | P76  | INTPZ14   | P1SPEED100LEDZ<br>注 1 | CCS_STATION_NO_6 /<br>CCM_SNIN6 | —    |       |
|    | P77  | INTPZ15   | P1SPEED10LEDZ<br>注 1  | CCS_STATION_NO_7 /<br>CCM_SNIN7 | —    |       |

注 1. R-IN32M3-EC のみ使用。

2. R-IN32M3-CL のみ使用。

3. R-IN32M3-EC では Hi-Z、R-IN32M3-CL では Hi-Z (High)

RP0x-RP3xは、リアルタイム・ポートとして動作します。リアルタイム・ポート専用のDMAコントローラにより、32ビット単位でDMA転送トリガに同期して、ポートの入出力が行えます。

(4/4)

|     | ポート名 | 兼用 1          | 兼用 2                   | 兼用 3                    | 兼用 4 | リセット中       |
|-----|------|---------------|------------------------|-------------------------|------|-------------|
| RP0 | RP00 | INTPZ16       | SCL1                   | CCM_SDLEDZ / CCS_SDLEDZ | —    | Hi-Z (High) |
|     | RP01 | INTPZ17       | SDA1                   | CCM_SMSTZ               | —    |             |
|     | RP02 | INTPZ18       | P0ACTLEDZ <sup>注</sup> | CCS_BS1                 | —    |             |
|     | RP03 | INTPZ19       | —                      | CCS_BS2                 | —    |             |
|     | RP04 | INTPZ20       | P1ACTLEDZ <sup>注</sup> | CCS_BS4                 | —    |             |
|     | RP05 | INTPZ21       | —                      | CCS_BS8                 | —    |             |
|     | RP06 | WRZ2/BENZ2    | HWRZ2/HBENZ2           | —                       | —    |             |
|     | RP07 | WRZ3/BENZ3    | HWRZ3/HBENZ3           | —                       | —    |             |
| RP1 | RP10 | D24/MD24/HD24 | —                      | —                       | —    | Hi-Z (High) |
|     | RP11 | D25/MD25/HD25 | —                      | —                       | —    |             |
|     | RP12 | D26/MD26/HD26 | —                      | —                       | —    |             |
|     | RP13 | D27/MD27/HD27 | —                      | —                       | —    |             |
|     | RP14 | D28/MD28/HD28 | —                      | —                       | —    |             |
|     | RP15 | D29/MD29/HD29 | —                      | —                       | —    |             |
|     | RP16 | D30/MD30/HD30 | —                      | —                       | —    |             |
|     | RP17 | D31/MD31/HD31 | —                      | —                       | —    |             |
| RP2 | RP20 | BCYSTZ/ADVZ   | HBCYSTZ                | —                       | —    | Hi-Z (High) |
|     | RP21 | A21/MA20      | —                      | —                       | —    | Hi-Z (Low)  |
|     | RP22 | A22/MA21      | —                      | —                       | —    |             |
|     | RP23 | A23/MA22      | —                      | —                       | —    |             |
|     | RP24 | A24/MA23      | INTPZ25                | —                       | —    |             |
|     | RP25 | A25/MA24      | INTPZ26                | —                       | —    |             |
|     | RP26 | A26/MA25      | INTPZ27                | —                       | —    |             |
|     | RP27 | A27/MA26      | INTPZ28                | —                       | —    |             |
| RP3 | RP30 | D16/MD16/HD16 | —                      | —                       | —    | Hi-Z (High) |
|     | RP31 | D17/MD17/HD17 | —                      | —                       | —    |             |
|     | RP32 | D18/MD18/HD18 | —                      | —                       | —    |             |
|     | RP33 | D19/MD19/HD19 | —                      | —                       | —    |             |
|     | RP34 | D20/MD20/HD20 | —                      | —                       | —    |             |
|     | RP35 | D21/MD21/HD21 | —                      | —                       | —    |             |
|     | RP36 | D22/MD22/HD22 | —                      | —                       | —    |             |
|     | RP37 | D23/MD23/HD23 | —                      | —                       | —    |             |

**注. R-IN32M3-EC のみ使用。**



### 2.3.6 シリアル・フラッシュ ROM インタフェース

シリアル・フラッシュROMメモリ・コントローラの端子です。

Fast Read, Fast Read Dual Output, Fast Read Dual I/Oモードに対応しています。

| 端子名称  | 入出力 | 機能   | 兼用ポート | アクティブ | リセット中       |
|-------|-----|--|-------|-------|-------------|
| SMSCK | 出力  | シリアル・フラッシュ ROM 用<br>シリアル・クロック出力信号                          | P14   | —     | Hi-Z (High) |
| SMSI  | 入出力 | シリアル・フラッシュ ROM 用<br>シリアル・データ入出力信号<br>(シリアル ROM の SO 端子に接続) | P15   | High  |             |
| SMSO  | 入出力 | シリアル・フラッシュ ROM 用<br>シリアル・データ入出力信号<br>(シリアル ROM の SI 端子に接続) | P16   | High  |             |
| SMCSZ | 出力  | シリアル・フラッシュ ROM 用<br>チップ・セレクト出力                             | P17   | Low   |             |

### 2.3.7 DMA インタフェース端子

内蔵AHBバス用DMAコントローラのインタフェース端子です。

DMAコントローラは、2個搭載しています。1個目のDMAコントローラは4チャンネル内蔵しますが、外部端子には2チャンネル分のインタフェースのみ接続しています。2個目のDMAコントローラは、1チャンネル内蔵し、外部端子には1チャンネルのインタフェースを接続しています。

| 端子名称      | 入出力 | 機能                  | 兼用ポート | アクティブ | リセット中       |
|-----------|-----|---------------------|-------|-------|-------------|
| RTDMAREQZ | 入力  | RTDMAC DMA 転送要求入力   | P62   | Low   | 注           |
| RTDMAACKZ | 出力  | RTDMAC DMA アクノリッジ出力 | P63   | Low   |             |
| RTDMATCZ  | 出力  | RTDMAC ターミナル・カウント出力 | P64   | Low   |             |
| DMAREQZ0  | 入力  | DMA 転送要求入力 0        | P65   | Low   |             |
| DMAACKZ0  | 出力  | DMA アクノリッジ出力 0      | P66   | Low   |             |
| DMATCZ0   | 出力  | ターミナル・カウント出力 0      | P67   | Low   |             |
| DMAREQZ1  | 入力  | DMA 転送要求入力 1        | P32   | Low   | Hi-Z (High) |
| DMAACKZ1  | 出力  | DMA アクノリッジ出力 1      | P33   | Low   |             |
| DMATCZ1   | 出力  | ターミナル・カウント出力 1      | P34   | Low   |             |

**注意. 各インタフェースは、各チャンネル固定で、任意のチャンネルには割り当てられません。**

注. R-IN32M3-EC では Hi-Z、R-IN32M3-CL では Hi-Z (High)

### 2.3.8 外部割込み入力端子

1本のノンマスクابل割り込みと、29本のマスクابل割り込み入力端子があります。

| 端子名称            | 入出力 | 機能               | 兼用ポート     | アクティブ | リセット中       |
|-----------------|-----|------------------|-----------|-------|-------------|
| NMIZ            | 入力  | ノンマスクابل外部割り込み入力 | —         | Low   | Hi-Z (High) |
| INTPZ0-INTPZ5   | 入力  | 外部割り込み入力         | P00-P05   | Low   | 注           |
| INTPZ6, INTPZ7  |     |                  | P12,P13   | Low   | Hi-Z (High) |
| INTPZ8-INTPZ10  |     |                  | P22-P24   | Low   | 注           |
| INTPZ11         |     |                  | P43       | Low   | Hi-Z (High) |
| INTPZ12-INTPZ15 |     |                  | P74-P77   | Low   | 注           |
| INTPZ16-INTPZ21 |     |                  | RP00-RP05 | Low   | Hi-Z (High) |
| INTPZ22-INTPZ24 |     |                  | P35-P37   |       |             |
| INTPZ25-INTPZ28 |     |                  | RP24-RP27 |       |             |

注. R-IN32M3-EC では Hi-Z、R-IN32M3-CL では Hi-Z (High)

## 2.3.9 タイマ入出力端子

| 端子名称         | 入出力 | 機能              | 兼用ポート | アクティブ | リセット中       |
|--------------|-----|-----------------|-------|-------|-------------|
| TIN0 / TOUT0 | 入出力 | タイマ TAUJ0 入出力端子 | P27   | —     | 注           |
| TIN1 / TOUT1 | 入出力 | タイマ TAUJ1 入出力端子 | P26   | —     |             |
| TIN2 / TOUT2 | 入出力 | タイマ TAUJ2 入出力端子 | P57   | —     | Hi-Z (High) |
| TIN3 / TOUT3 | 入出力 | タイマ TAUJ3 入出力端子 | P52   | —     | Hi-Z (Low)  |

注. R-IN32M3-EC では Hi-Z、R-IN32M3-CL では Hi-Z (High)

## 2.3.10 ウォッチドッグ・タイマ出力端子

| 端子名称    | 入出力 | 機能              | 兼用ポート | アクティブ | リセット中 |
|---------|-----|-----------------|-------|-------|-------|
| WDTOUTZ | 出力  | ウォッチドッグ・タイマ出力端子 | P25   | Low   | 注     |

注. R-IN32M3-EC では Hi-Z、R-IN32M3-CL では Hi-Z (High)

## 2.3.11 トレース端子

| 端子名称                      | 入出力 | 機能              | アクティブ | リセット中  |
|---------------------------|-----|-----------------|-------|--------|
| TRACECLK                  | 出力  | トレース・ポート・クロック出力 | —     | クロック出力 |
| TRACEDATA0-<br>TRACEDATA3 | 出力  | トレース・ポート・データ出力  | —     | Low    |

## 2.3.12 CPU パワー制御端子

| 端子名称     | 入出力 | 機能                  | 兼用端子 | アクティブ | リセット中       |
|----------|-----|---------------------|------|-------|-------------|
| SLEEPING | 出力  | CPU コアの SLEEP モード出力 | P42  | High  | Hi-Z (High) |

## 2.3.13 シリアル・インタフェース端子

| 端子名称            | 入出力 | 機能                           | 兼用ポート    | アクティブ | リセット中       |
|-----------------|-----|------------------------------|----------|-------|-------------|
| TXD0            | 出力  | UART0 シリアル・データ出力             | P21      | —     | 注           |
| RXD0            | 入力  | UART0 シリアル・データ入力             | P20      | —     |             |
| TXD1            | 出力  | UART1 シリアル・データ出力             | P31      | —     | Hi-Z (High) |
| RXD1            | 入力  | UART1 シリアル・データ入力             | P30      | —     |             |
| CSISCK0         | 入出力 | CSI0 シリアル・クロック入出力            | P45      | —     |             |
| CSISI0          | 入力  | CSI0 シリアル・データ入力              | P46      | —     |             |
| CSISO0          | 出力  | CSI0 シリアル・データ出力              | P47      | —     | 注           |
| CSICS00,CSICS01 | 出力  | CSI0 チップ・セレクト出力 0,1          | P70, P71 | Low   |             |
| CSISCK1         | 入出力 | CSI1 シリアル・クロック入出力            | P35      | —     | Hi-Z (High) |
| CSISI1          | 入力  | CSI1 シリアル・データ入力              | P36      | —     |             |
| CSISO1          | 出力  | CSI1 シリアル・データ出力              | P37      | —     | 注           |
| CSICS10,CSICS11 | 出力  | CSI1 チップ・セレクト出力 0,1          | P72, P73 | Low   |             |
| SCL0            | 入出力 | I2C0 シリアル・クロック               | P60      | —     |             |
| SDA0            | 入出力 | I2C0 シリアル・データ                | P61      | —     |             |
| SCL1            | 入出力 | I2C1 シリアル・クロック               | RP00     | —     | Hi-Z (High) |
| SDA1            | 入出力 | I2C1 シリアル・データ                | RP01     | —     |             |
| CRXD0           | 入力  | CAN0 受信データ入力<br>(5V トレラント対応) | P53      | —     |             |
| CTXD0           | 出力  | CAN0 送信データ出力                 | P54      | —     |             |
| CRXD1           | 入力  | CAN1 受信データ入力<br>(5V トレラント対応) | P55      | —     | 注           |
| CTXD1           | 出力  | CAN1 送信データ出力                 | P56      | —     |             |

注. R-IN32M3-EC では Hi-Z、R-IN32M3-CL では Hi-Z (High)

## 2.3.14 CC-Link IE Field（インテリジェントデバイス局）端子（R-IN32M3-CLのみ）

| 端子名称               | 入出力 | 機能   | 兼用ポート | アクティブ | リセット中       |   |
|--------------------|-----|--|-------|-------|-------------|---|
| CCI_RUNLEDZ        | 出力  | 運転状態出力   | P00   | Low   | Hi-Z (High) |   |
| CCI_DLINKLEDZ      | 出力  | サイクリック交信状態出力   | P02   | Low   |             |   |
| CCI_ERRLEDZ        | 出力  | フィールド・ネットワーク・エラー状態出力                                 | P03   | Low   |             |   |
| CCI_LERR1LEDZ      | 出力  | リンクエラー状態出力 1   | P04   | Low   |             |   |
| CCI_LERR2LEDZ      | 出力  | リンクエラー状態出力 2   | P05   | Low   |             |   |
| CCI_SDLEDZ         | 出力  | 送信状態出力   | P06   | Low   |             |   |
| CCI_RDLEDZ         | 出力  | ポート受信状態出力  | P07   | Low   |             |   |
| CCI_NMIZ           | 出力  | マイコンへの NMI 割り込み出力                                    | P12   | Low   | Hi-Z (High) |   |
| CCI_WDTIZ          | 入力  | 外部 WDT からの入力   | P13   | Low   |             |   |
| CCI_WAITEDGEH<br>注 | 入出力 | ウェイト同期エッジ設定<br>0：立ち下がりモード<br>1：立ち上がりモード              | P33   | —     |             |   |
| CCI_WRLLENH 注      | 入出力 | WRL 信号イネーブル設定<br>0：書き込みバイトイネーブル動作<br>1：通常のバイトイネーブル動作 | P34   | —     |             |   |
| CCI_PHYREZ1        | 出力  | PHY リセット出力 1   | P56   | Low   |             |   |
| CCI_PHYREZ0        | 出力  | PHY リセット出力 0   | P57   | Low   |             |   |
| CCI_INTZ           | 出力  | マイコンへの割り込み出力   | P66   | Low   |             |   |
| CCI_CLK2_097M      | 入力  | 2.097152MHz クロック(水晶発振器)                              | —     | —     |             | — |

注. 外部メモリ・ブート、外部シリアル・フラッシュ ROM ブート、命令 RAM ブートでブートする際、リセット中に P33 端子（CCI\_WAITEDGEH の兼用）と P34 端子（CCI\_WRLLENH の兼用）に Low レベルを入力しないでください。

P33-P34 端子は、リセット中はオープンか High レベル入力としてください。リセット中に P33-P34 端子に Low レベルを入力すると、R-IN32M3 内の CPU から CC-Link IE Field にアクセスできません。

## 2.3.15 CC-Link (インテリジェントデバイス局)

| 端子名称                    | 入出力 | 機能                     | 兼用ポート   | アクティブ | リセット中       |
|-------------------------|-----|------------------------|---------|-------|-------------|
| CCM_LINKERRZ            | 出力  | リンクエラーLED 制御出力         | P20     | Low   | 注           |
| CCM_ERRZ                | 出力  | 未使用                    | P21     | Low   |             |
| CCM_RUNZ                | 出力  | RUN LED 制御出力           | P26     | Low   |             |
| CCM_MDIN0-<br>CCM_MDIN3 | 入力  | 伝送速度設定入力               | P62-P65 | —     |             |
| CCM_SNIN0-<br>CCM_SNIN7 | 入力  | 局番設定スイッチ入力             | P70-P77 | —     |             |
| CCM_LNKRUNZ             | 出力  | リンク RUN LED 制御出力       | P50     | Low   | Hi-Z (High) |
| CCM_RDLEDZ              | 出力  | 受信データ LED 制御出力         | P51     | Low   |             |
| CCM_SDLEDZ              | 出力  | 送信データ LED 制御出力         | RP00    | Low   |             |
| CCM_IRLZ                | 出力  | 通信回路からの割り込み信号出力        | P35     | Low   |             |
| CCM_WDTENZ              | 入力  | ウォッチドック・タイマ・エラー入力      | P13     | Low   |             |
| CCM_MSTZ                | 出力  | 未使用                    | P37     | Low   |             |
| CCM_SMSTZ               | 出力  | 未使用                    | RP01    | Low   |             |
| CCM_RD                  | 入力  | 通信回路 データ受信端子           | P53     | —     |             |
| CCM_SD                  | 出力  | 通信回路 データ送信端子           | P54     | —     |             |
| CCM_SDGCZ               | 出力  | 通信回路 送信データ・ゲート制御端子     | P42     | Low   |             |
| CCM_CLK80M              | 入力  | CC-Link クロック入力 (80MHz) | —       | —     | —           |

注. R-IN32M3-EC では Hi-Z、R-IN32M3-CL では Hi-Z (High)

## 2.3.16 CC-Link (リモートデバイス局)

**注意.** リモートデバイス局を使用する場合は、CCS\_REFSTB (P10) 端子を、外部割り込み機能 (INTPZ) を持ついずれかのポート端子に接続する必要があります。

| 端子名称                                  | 入出力 | 機能                     | 兼用ポート   | アクティブ | リセット中       |
|---------------------------------------|-----|------------------------|---------|-------|-------------|
| CCS_MON1-<br>CCS_MON3                 | 出力  | モニタ信号                  | P32-P34 | —     | Hi-Z (High) |
| CCS_MON4                              | 出力  | モニタ信号                  | P11     | —     | Hi-Z (Low)  |
| CCS_MON0                              | 出力  | モニタ信号                  | P06     | —     | 注 1         |
| CCS_MON5-<br>CCS_MON7                 | 出力  | モニタ信号                  | P03-P05 | —     |             |
| CCS_RESOUT                            | 出力  | リセット出力信号               | P07     | High  |             |
| CCS_IOTENSU                           | 入力  | 初期設定端子                 | P22     | —     |             |
| CCS_SENYU0                            | 入力  | 初期設定端子                 | P23     | —     |             |
| CCS_SENYU1                            | 入力  | 初期設定端子                 | P24     | —     |             |
| CCS_ERRZ                              | 出力  | 動作確認用 LED              | P25     | Low   |             |
| CCS_RUNZ                              | 出力  | 動作確認用 LED              | P26     | Low   |             |
| CCS_STATION_NO_0-<br>CCS_STATION_NO_7 | 入力  | 局番設定スイッチ入力端子           | P70-P77 | —     |             |
| CCS_LNKRUNZ                           | 出力  | リンク RUN LED 制御出力       | P50     | Low   |             |
| CCS_REFSTB                            | 出力  | 割り込み信号                 | P10     | High  |             |
| CCS_WDTZ                              | 入力  | WDT 入力                 | P13     | Low   |             |
| CCS_RDLEDZ                            | 出力  | 受信データ LED 制御出力         | P51     | Low   |             |
| CCS_RD                                | 入力  | 通信回路データ受信端子            | P53     | —     |             |
| CCS_SD                                | 出力  | 通信回路データ送信端子            | P54     | —     |             |
| CCS_SDLEDZ                            | 出力  | 動作確認用 LED              | RP00    | Low   |             |
| CCS_SDGATEON                          | 出力  | 通信回路 送信データ・ゲート制御端子     | P52     | High  |             |
| CCS_BS1                               | 入力  | ポーレート設定 SW 入力端子        | RP02    | —     |             |
| CCS_BS2                               | 入力  | ポーレート設定 SW 入力端子        | RP03    | —     |             |
| CCS_BS4                               | 入力  | ポーレート設定 SW 入力端子        | RP04    | —     |             |
| CCS_BS8                               | 入力  | ポーレート設定 SW 入力端子        | RP05    | —     |             |
| CCS_FUZEZ                             | 入力  | ヒューズ断入力信号              | P36     | Low   | Hi-Z (High) |
| CCM_CLK80M <sup>注2</sup>              | 入力  | CC-Link クロック入力 (80MHz) | —       | —     |             |

注 1. R-IN32M3-EC では Hi-Z、R-IN32M3-CL では Hi-Z (High)

2. 本端子は、CC-Link (インテリジェントデバイス局) と共用です。

## 2.3.17 システム端子

| 端子名称                       | 入出力 | 機能   | アクティブ | リセット中    |
|----------------------------|-----|--|-------|----------|
| XT1                        | 入力  | クロック入力端子   | —     | —        |
| XT2                        | 入出力 | OSCTH = 1 : 発振器使用時です。<br>XT1 を GND、XT2 に発振器を接続。<br>OSCTH = 0 : 発振器使用時です。<br>XT1/XT2 に発振器に接続。 | —     | —        |
| RESETZ                     | 入力  | リセット入力   | Low   | —        |
| HOTRESETZ <sup>注1</sup>    | 入力  | ホット・リセット入力   | Low   | —        |
| PONRZ                      | 入力  | 内蔵 RAM 用パワー・オン・リセット入力  | Low   | —        |
| OSCTH                      | 入力  | 外部クロック入力モード設定<br>0 : 発振器使用モード<br>1 : 外部クロック入力モード   | High  | —        |
| JTAGSEL                    | 入力  | JTAG 端子の動作モード設定<br>0 : Cortex-M3 JTAG モード<br>1 : B-SCAN JTAG モード                             | —     | —        |
| RSTOUTZ                    | 出力  | 外部へのリセット出力   | Low   | Low      |
| CLKOUT25M0 <sup>注1</sup>   | 出力  | PHY 用クロック出力  | —     | 発振源スルー出力 |
| CLKOUT25M1 <sup>注1</sup>   | 出力  | PHY 用クロック出力  | —     | —        |
| PLL_VDD                    | —   | PLL 電源 (VDD) (1.0V)  | —     | —        |
| PLL_GND                    | —   | PLL グランド電位 (GND)   | —     | —        |
| VDD33                      | —   | I/O 電源 (3.3V)  | —     | —        |
| VDD10                      | —   | 内部電源 (1.0V)  | —     | —        |
| GND                        | —   | I/O 電源用グランド電位 (GND)  | —     | —        |
| VDDQ_MII <sup>注1</sup>     | —   | Ethernet I/O 電源 (3.3V)   | —     | —        |
| LX <sup>注2</sup>           | 出力  | 内蔵レギュレータ 1.5V 出力   | —     | —        |
| EXTRES <sup>注2</sup>       | —   | PHY 用リファレンス抵抗接続端子  | —     | —        |
| P0VDDARXTX <sup>注2</sup>   | —   | Rx/Tx 端子用アナログ電源 (1.5V) - Port 0  | —     | —        |
| P1VDDARXTX <sup>注2</sup>   | —   | Rx/Tx 端子用アナログ電源 (1.5V) - Port 1  | —     | —        |
| VDDACB <sup>注2</sup>       | —   | PHY 用アナログ電源 (3.3V)   | —     | —        |
| AGND <sup>注2</sup>         | —   | PHY 用アナログ・グランド電位 (GND)   | —     | —        |
| VDD15 <sup>注2</sup>        | —   | PHY 用電源 (1.5V)   | —     | —        |
| VDDAPLL <sup>注2</sup>      | —   | PHY 用アナログ・コア電源 (1.5V)  | —     | —        |
| VSSAPLLCB <sup>注2</sup>    | —   | PHY 用アナログ・コア・グランド電位 (GND)  | —     | —        |
| VDD33ESD <sup>注2</sup>     | —   | PHY 用アナログ・テスト電源 (3.3V)   | —     | —        |
| AVDD_REG <sup>注2</sup>     | —   | レギュレータ用アナログ電源 (3.3V)   | —     | —        |
| AGND_REG <sup>注2</sup>     | —   | レギュレータ用アナログ・グランド電位 (GND)   | —     | —        |
| BVDD <sup>注2</sup>         | —   | レギュレータ用電源 (3.3V)   | —     | —        |
| BGND <sup>注2</sup>         | —   | レギュレータ用グランド電位 (GND)  | —     | —        |
| FB <sup>注2</sup>           | 入力  | レギュレータ用フィードバック入力   | —     | —        |
| VDDQ_PECL_B0 <sup>注2</sup> | —   | PECL バッファ電源 (3.3V)   | —     | —        |
| VDDQ_PECL_B1 <sup>注2</sup> | —   | PECL バッファ電源 (3.3V)   | —     | —        |

注 1. R-IN32M3-CL のみ使用。

2. R-IN32M3-EC のみ使用。



## 2.3.18 テスト端子

| 端子名称                  | 入出力 | 機能                 | アクティブ | リセット中 |
|-----------------------|-----|--------------------|-------|-------|
| TMODE0-TMODE2         | 入力  | テスト・モード選択端子        | —     | —     |
| TMS                   | 入出力 | モード・セレクト信号         | —     | —     |
| TDI                   | 入力  | シリアル・データ入力         | —     | —     |
| TDO                   | 出力  | シリアル・データ出力         | —     | —     |
| TRSTZ                 | 入力  | リセット信号             | Low   | —     |
| TCK                   | 入力  | クロック信号 (JTAG クロック) | —     | —     |
| TMC1                  | 入力  | ルネサス・テスト端子         | —     | —     |
| TMC2                  | 入力  |                    | —     | —     |
| ATP <sup>注</sup>      | 入力  |                    | —     | —     |
| TEST1 <sup>注</sup>    | 入力  |                    | —     | —     |
| TEST2 <sup>注</sup>    | 入力  |                    | —     | —     |
| TEST3 <sup>注</sup>    | 入力  |                    | —     | —     |
| TESTOUT5 <sup>注</sup> | 出力  |                    | —     | —     |

注. R-IN32M3-EC のみ使用。

## 2.3.19 動作モード設定端子

| 端子名称        | 入出力 | 機能  | アクティブ | リセット中 |
|-------------|-----|---|-------|-------|
| BOOT1-BOOT0 | 入力  | ブート・モード選択<br>00: 外部メモリ・ブート<br>01: 外部シリアル・フラッシュ ROM ブート<br>10: 外部マイコン・ブート<br>11: 命令 RAM ブート (デバッグのみ使用可能) | —     | —     |
| MEMIFSEL    | 入力  | 外部メモリ・インタフェース種別選択<br>0: スレーブ・メモリ・インタフェース<br>1: 外部マイコン・インタフェース   | —     | —     |
| BUS32EN     | 入力  | 外部メモリ・インタフェース・バス幅選択<br>0: 16 ビット・バス<br>1: 32 ビット・バス   | —     | —     |
| HIFSYNC     | 入力  | 外部マイコン・インタフェースの動作モード<br>0: 非同期式 SRAM インタフェース<br>1: 同期式 SRAM インタフェース                                     | —     | —     |
| HWRZSEL     | 入力  | 外部マイコン・インタフェース HWRZ/HBENZ の選択<br>0: HBENZ として使用<br>1: HWRZ として使用  | —     | —     |
| MEMCSEL     | 入力  | 内蔵するメモリ・コントローラの選択<br>0: 非同期式 SRAM MEMC<br>1: 同期式バースト・アクセス MEMC  | —     | —     |
| ADMUXMODE   | 入力  | アドレス/データのマルチプレクス設定<br>0: セパレート<br>1: アドレス/データのマルチプレクス   | —     | —     |

本製品において使用可能な動作モード設定端子の組み合わせは下表の通りです。

| ブート・モード<br>外部メモリ I/F | 外部メモリ・ブート    |       |       |       | 外部マイコン・ブート |       |       |       | 外部シリアル・フラッシュ ROM ブート |       |       |       |            |       |       |       |
|----------------------|--------------|-------|-------|-------|------------|-------|-------|-------|----------------------|-------|-------|-------|------------|-------|-------|-------|
|                      | スレーブ・メモリ I/F |       |       |       | 外部マイコン I/F |       |       |       | スレーブ・メモリ I/F         |       |       |       | 外部マイコン I/F |       |       |       |
|                      | MEMC タイプ     |       | 外部バス幅 |       | 非同期        |       | 同期式   |       | 非同期                  |       | 同期式   |       | 非同期        |       | 同期式   |       |
|                      | 16bit        | 32bit | 16bit | 32bit | 16bit      | 32bit | 16bit | 32bit | 16bit                | 32bit | 16bit | 32bit | 16bit      | 32bit | 16bit | 32bit |
| BOOT1-0              | 00           | 00    | 00    | 00    | 10         | 10    | 10    | 10    | 01                   | 01    | 01    | 01    | 01         | 01    | 01    | 01    |
| MEMIFSEL             | 0            | 0     | 0     | 0     | 1          | 1     | 1     | 1     | 0                    | 0     | 0     | 0     | 1          | 1     | 1     | 1     |
| MEMCSEL              | 0            | 0     | 1     | 1     | 0          | 0     | 1     | 1     | 0                    | 0     | 1     | 1     | 0          | 0     | 1     | 1     |
| BUS32EN              | 0            | 1     | 0     | 1     | 0          | 1     | 0     | 1     | 0                    | 1     | 0     | 1     | 0          | 1     | 0     | 1     |
| HIFSYNC              | 0            | 0     | 0     | 0     | 注1         | 注1    | 1     | 1     | 0                    | 0     | 0     | 0     | 注1         | 注1    | 1     | 1     |
| HWRZSEL              | 0            | 0     | 0     | 0     | 注2         | 注2    | 0     | 0     | 0                    | 0     | 0     | 0     | 注2         | 注2    | 0     | 0     |
| ADMUXMODE            | 0            | 0     | 1     | 1     | 0          | 0     | 1     | 1     | 0                    | 0     | 1     | 1     | 0          | 0     | 1     | 1     |

**注意. 動作モード設定端子は、上記以外の組み合わせは設定禁止です。**

**注 1. HIFSYNC 端子によって外部マイコン・インタフェース機能を選択可能です。**

**HIFSYNC = 0 : 非同期 SRAM インタフェース・モード**

**HIFSYNC = 1 : 同期 SRAM インタフェース・モード**

詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編 11. 外部マイコン・インタフェース」を参照して下さい。

**2. HWRZSEL 端子によって外部マイコン・インタフェース HWRZ/HBENZ を選択可能です。**

詳細は「2.3.3 外部メモリ・インタフェース」を参照して下さい。

**備考 1. 命令 RAM ブート (BOOT1-0 = 11) で使用可能な動作モード設定端子の組み合わせは、外部メモリ・ブート (BOOT1-0 = 00) と同様です。**

**2. 非同期 : 非同期式 SRAM MEMC (MEMCSEL = 0) 、**

**同期式 : 同期式パースト・アクセス MEMC (MEMCSEL = 1) を示します。**

## 2.4 バッファタイプと未使用端子処理

## 2.4.1 イーサネット端子

## (1) PHY インタフェース端子

**注意. R-IN32M3-CL に搭載している端子です。R-IN32M3-EC には本端子はありません。**

| 端子名称        | 入出力 | インタフェース                                  | 未使用時の推奨接続方法 |
|-------------|-----|--|-------------|
| ETH0_TXC    | 入力  | Input Buffer (3.3V)                      | GND に接続     |
| ETH0_GTXC   | 出力  | BID_BUF(3.3V_GMII_MII)_with_IOLH_Control | オープン        |
| ETH0_TXEN   |     |  |             |
| ETH0_TXER   |     |  |             |
| ETH0_TXD0-  |     |  |             |
| ETH0_TXD7   |     |  |             |
| ETH0_GE_INT | 入力  | Input Buffer (3.3V)                      | GND に接続     |
| ETH0_RXC    | 入力  | BID_BUF(3.3V_GMII_MII)_with_IOLH_Control | GND に接続     |
| ETH0_RXDV   |     |  |             |
| ETH0_RXER   |     |  |             |
| ETH0_RXD0-  |     |  |             |
| ETH0_RXD7   |     |  |             |
| ETH0_CRS    | 入力  | Input Buffer (3.3V)                      | GND に接続     |
| ETH0_COL    |     |  |             |
| ETH1_TXC    |     |  |             |
| ETH1_GTXC   | 出力  | BID_BUF(3.3V_GMII_MII)_with_IOLH_Control | オープン        |
| ETH1_TXEN   |     |  |             |
| ETH1_TXER   |     |  |             |
| ETH1_TXD0-  |     |  |             |
| ETH1_TXD7   |     |  |             |
| ETH1_GE_INT | 入力  | Input Buffer (3.3V)                      | GND に接続     |
| ETH1_RXC    | 入力  | BID_BUF(3.3V_GMII_MII)_with_IOLH_Control | GND に接続     |
| ETH1_RXDV   |     |  |             |
| ETH1_RXER   |     |  |             |
| ETH1_RXD0-  |     |  |             |
| ETH1_RXD7   |     |  |             |
| ETH1_CRS    | 入力  | Input Buffer (3.3V)                      | GND に接続     |
| ETH1_COL    |     |  |             |
| ETH_MDC     | 出力  | Output Buffer (3.3V) 6mA                 | オープン        |
| ETH_MDIO    | 入出力 | I/O Buffer (3.3V) 6mA                    | GND に接続     |

## (2) メディア・インタフェース

**注意. R-IN32M3-EC に搭載している端子です。R-IN32M3-CL には本端子はありません。**

| 端子名称         | 入出力 | インタフェース                            | 未使用時の推奨接続方法 |
|--------------|-----|------------------------------------|-------------|
| P0_RX_P      | 入力  | Management Data Interface (Analog) | オープン        |
| P0_RX_N      | 入力  |                                    |             |
| P1_RX_P      | 入力  |                                    |             |
| P1_RX_N      | 入力  |                                    |             |
| P0_TX_P      | 出力  | Management Data Interface (Analog) | オープン        |
| P0_TX_N      | 出力  |                                    |             |
| P1_TX_P      | 出力  |                                    |             |
| P1_TX_N      | 出力  |                                    |             |
| P0_SD_P      | 入力  | 3.3V PECL Input Buffer             | GND に接続     |
| P0_SD_N      | 入力  |                                    |             |
| P1_SD_P      | 入力  |                                    |             |
| P1_SD_N      | 入力  |                                    |             |
| P0_RD_P      | 入力  |                                    |             |
| P0_RD_N      | 入力  |                                    |             |
| P1_RD_P      | 入力  |                                    |             |
| P1_RD_N      | 入力  |                                    |             |
| P0_TD_OUT_P  | 出力  | 3.3V PECL Output Buffer            | オープン        |
| P0_TD_OUT_N  | 出力  |                                    |             |
| P1_TD_OUT_P  | 出力  |                                    |             |
| P1_TD_OUT_N  | 出力  |                                    |             |
| P0_FX_EN_OUT | 出力  | Output Buffer (3.3V) 12mA          | オープン        |
| P1_FX_EN_OUT | 出力  |                                    |             |

## 2.4.2 外部メモリ／外部マイコン・インタフェース端子

| 端子名称                 | 入出力 | インタフェース                              | 未使用時の推奨接続方法 |
|----------------------|-----|--------------------------------------|-------------|
| BUSCLK               | 出力  | Output Buffer (3.3V) 9mA             | オープン        |
| CSZ0 / HCSZ          | 入出力 | I/O Buffer (3.3V) 6mA 50kΩ Pull-up   | オープン        |
| A2-A20 / HA2-HA20    | 入出力 | I/O Buffer (3.3V) 6mA 50kΩ Pull-down | オープン        |
| D0-D15 / HD0-HD15    |     |                                      |             |
| RDZ / HRDZ           | 入出力 | I/O Buffer (3.3V) 6mA 50kΩ Pull-up   | オープン        |
| WRSTBZ / HWRSTBZ     |     |                                      |             |
| WRZ0, WRZ1 / BENZ0,  |     |                                      |             |
| BENZ1 / HWRZ0, HWRZ1 |     |                                      |             |

## 2.4.3 システム端子

| 端子名称      | 入出力 | インタフェース   | 未使用時の推奨接続方法      |
|-----------|-----|---|------------------|
| NMIZ      | 入力  | Input Buffer (3.3V) Schmitt in<br>50kΩ Pull-up    | VDD33 (3.3V) に接続 |
| XT1       | 入力  | Oscillator with EN                                | GND に接続          |
| XT2       | 入出力 |   | —                |
| RSTOUTZ   | 出力  | Output Buffer (3.3V) 6mA                          | オープン             |
| RESETZ    | 入力  | Input Buffer (3.3V) Schmitt in                    | —                |
| PONRZ     |     |   |                  |
| HOTRESETZ |     |   | VDD33 (3.3V) に接続 |
| OSCTH     | 入力  | Input Buffer (3.3V) Schmitt in,<br>50kΩ Pull-down | 動作モードに応じて設定      |
| JTAGSEL   |     |   |                  |

## 2.4.4 テスト端子

| 端子名称                   | 入出力 | インタフェース   | 未使用時の接続方法 (必須) |
|------------------------|-----|---|----------------|
| TMODE0-TMODE2          | 入力  | Input Buffer (3.3V) Schmitt in,<br>50kΩ Pull-down | GND に接続        |
| TMS                    | 入出力 | I/O Buffer (3.3V) 6mA 50kΩ Pull-up                | オープン           |
| TDI                    | 入力  | Input Buffer (3.3V) , 50kΩ Pull-up                | オープン           |
| TDO                    | 出力  | 3-state Output Buffer (3.3V) 6mA                  | オープン           |
| TRSTZ                  | 入力  | Input Buffer (3.3V) Schmitt in<br>50kΩ Pull-up    | オープン           |
| TCK                    | 入力  | Input Buffer (3.3V) , 50kΩ Pull-down              | オープン           |
| TMC1                   | 入力  | (TMC1) Input Buffer (3.3V) for TMC Terminal       | GND に接続        |
| TMC2                   | 入力  | (TMC2) Input Buffer (3.3V) for TMC Terminal       | GND に接続        |
| ATP <sup>注</sup>       | 入力  | Input Buffer (3.3V)                               | オープン           |
| TEST1 <sup>注</sup>     | 入力  | Input Buffer (3.3V)                               | GND に接続        |
| TEST2 <sup>注</sup>     | 入力  | Input Buffer (3.3V)                               |                |
| TEST3 <sup>注</sup>     | 入力  | Input Buffer (3.3V)                               |                |
| TESTDOUT5 <sup>注</sup> | 出力  | Output Buffer (3.3V)                              | オープン           |

注. R-IN32M3-EC のみ使用。

## 2.4.5 ポート端子

(1/2)

| 端子名称           | 入出力 | インタフェース  | 未使用時の推奨接続方法                                 |
|----------------|-----|--|---|
| P00-P07        | 入出力 | [R-IN32M3-EC]<br>I/O Buffer (3.3V) (6mA)<br>[R-IN32M3-CL]<br>Programmable I/O Buffer (3.3V)<br>駆動能力選択機能<br>(6mA, 12mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less) | R-IN32M3-EC は、GND に接続<br>R-IN32M3-CL は、オープン |
| P10            | 入出力 | Programmable I/O Buffer (3.3V)<br>駆動能力選択機能<br>(6mA, 12mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less)  | オープン  |
| P11-P17        | 入出力 | Programmable I/O Buffer (3.3V)(6mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less)  | オープン  |
| P20-21, P25-26 | 入出力 | [R-IN32M3-EC]<br>I/O Buffer (3.3V) (6mA)<br>[R-IN32M3-CL]<br>Programmable I/O Buffer (3.3V)<br>駆動能力選択機能<br>(6mA, 12mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less) | R-IN32M3-EC は、GND に接続<br>R-IN32M3-CL は、オープン |
| P22-24, 27     | 入出力 | [R-IN32M3-EC]<br>I/O Buffer (3.3V) (6mA)<br>[R-IN32M3-CL]<br>Programmable I/O Buffer (3.3V)(6mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less)                       |   |
| P30, P31       | 入出力 | Programmable I/O Buffer (3.3V)<br>駆動能力選択機能<br>(6mA, 12mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less)  | オープン  |
| P32-P36        | 入出力 | Programmable I/O Buffer (3.3V)(6mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less)  |   |
| P37            | 入出力 | Programmable I/O Buffer (3.3V)<br>駆動能力選択機能<br>(6mA, 12mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less)  |   |

(2/2)

| 端子名称         | 入出力 | インターフェース  | 未使用時の推奨接続方法                                 |
|--------------|-----|---|---|
| P40-P47      | 入出力 | Programmable I/O Buffer (3.3V)(6mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less)   | オープン  |
| P50-P52      | 入出力 | Programmable I/O Buffer (3.3V)<br>駆動能力選択機能<br>(6mA, 12mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less)   |   |
| P53-P56      | 入出力 | 5V-tolerant I/O Buffer 4mA<br>50kΩ Pull-up  |   |
| P57          | 入出力 | Programmable I/O Buffer (3.3V)(6mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less)   |   |
| P60, P65-P67 | 入出力 | [R-IN32M3-EC]<br>I/O Buffer (3.3V)(6mA)<br>[R-IN32M3-CL]<br>Programmable I/O Buffer (3.3V)(6mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less)                       | R-IN32M3-EC は、GND に接続<br>R-IN32M3-CL は、オープン |
| P61-P64      | 入出力 | [R-IN32M3-EC]<br>I/O Buffer (3.3V)(6mA)<br>[R-IN32M3-CL]<br>Programmable I/O Buffer (3.3V)<br>駆動能力選択機能<br>(6mA, 12mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less) |   |
| P70-P77      | 入出力 | [R-IN32M3-EC]<br>I/O Buffer (3.3V)(6mA)<br>[R-IN32M3-CL]<br>Programmable I/O Buffer (3.3V)(6mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less)                       | R-IN32M3-EC は、GND に接続<br>R-IN32M3-CL は、オープン |
| RP00-RP07    | 入出力 | Programmable I/O Buffer (3.3V)<br>駆動能力選択機能<br>(6mA, 12mA)<br>抵抗選択機能<br>(50kΩ Pull-up or 50kΩ Pull-down or less)   | オープン  |
| RP10-RP17    |     |   |   |
| RP20-RP27    |     |   |   |
| RP30-RP37    |     |   |   |



## 2.4.6 動作モード設定端子

| 端子名称         | 入出力 | インタフェース                        | 未使用時の推奨接続方法 |
|--------------|-----|--------------------------------|-------------|
| BOOT0, BOOT1 | 入力  | Input Buffer (3.3V) Schmitt in | 動作モードに応じて設定 |
| MEMIFSEL     |     |                                |             |
| BUS32EN      |     |                                |             |
| HIFSYNC      |     |                                |             |
| HWRZSEL      |     |                                |             |
| MEMCSEL      |     |                                |             |
| ADMUXMODE    |     |                                |             |

## 2.4.7 CC-Link IE Field (インテリジェントデバイス局) 端子 (R-IN32M3-CL のみ)

| 端子名称          | 入出力 | インタフェース             | 未使用時の推奨接続方法        |
|---------------|-----|---------------------|--------------------|
| CCI_CLK2_097M | 入力  | Input Buffer (3.3V) | 2.097152MHz クロック入力 |

**注意. 本端子は CC-Link IE Field 機能を未使用の場合でも、クロック入力が必要です。**

## 2.4.8 CC-Link (インテリジェントデバイス局、リモートデバイス局)

| 端子名称       | 入出力 | インタフェース             | 未使用時の推奨接続方法 |
|------------|-----|---------------------|-------------|
| CCM_CLK80M | 入力  | Input Buffer (3.3V) | GND に接続     |

## 2.4.9 トレース端子

| 端子名称                      | 入出力 | インタフェース                  | 未使用時の推奨接続方法 |
|---------------------------|-----|--------------------------|-------------|
| TRACECLK                  | 出力  | Output Buffer (3.3V) 6mA | オープン        |
| TRACEDATA0-<br>TRACEDATA3 |     |                          |             |

### 3. 詳細仕様

#### 3.1 CPU 機能 (Cortex-M3)

R-IN32M3 は、高性能 32 ビット・プロセッサ (Arm 社 Cortex-M3 コア) を内蔵しています。  
ここでは、R-IN32M3 製品固有の情報について説明します。

##### 3.1.1 CPU コア情報

R-IN32M3 で使用している Cortex-M3 コアのリビジョンは以下の通りです。  
CPU コア部、アーキテクチャなどの詳細は、Arm 社の下記 URL を参照してください。  
<http://infocenter.arm.com/help/topic/com.arm.doc.set.cortexm/index.html>

| 製品名           | コア・リビジョン       |
|---------------|----------------|
| R-IN32M3 シリーズ | Cortex-M3 r2p1 |

### 3.1.2 CPU コアのコンフィギュレーション情報

R-IN32M3 の Cortex-M3 は、以下のコンフィギュレーションを採用しています。

| カテゴリ         | コンフィギュレーション項目 | 設定値    | 備考                          |
|--------------|---------------|--------|-----------------------------|
| 割込み          | NUM_IRQ       | 128    | IRQ 本数を入力 1~240 (NMI は別に搭載) |
| 割込み優先度       | LVL_WIDTH     | 4      | 優先度ビット数 3~8 (8~256 段階)      |
| MPU          | MPU_PRESENT   | あり     | メモリ保護ユニット有無                 |
| デバッグ・レベル     | DEBUG_LVL     | 3      | デバッグ・レベル 1~3                |
| トレース・レベル     | TRACE_LVL     | 2      | トレース・レベル 0~2                |
| SW/SWJ-DP 選択 | JTAG_PRESENT  | SWJ-DP | JTAG アクセス回路搭載時は SWJ-DP を選択  |
| ビットバンド領域     | BB_PRESENT    | あり     | ビットバンド機能有無                  |

| デバッグ・レベル    | 1                        | 2                         | 3 (R-IN32M3 の設定)          |
|-------------|--------------------------|---------------------------|---------------------------|
| 機能概略        | 最小デバッグ構成                 | フルデバッグ構成<br>(データ・マッチングなし) | フルデバッグ構成<br>(データ・マッチングあり) |
| デバッグホルト     | あり                       | あり                        | あり                        |
| ブレーク・ポイント   | 2 (命令)                   | 6 (命令)<br>2 (リテラル)        | 6 (命令)<br>2 (リテラル)        |
| DWT コンパレータ数 | 1 (データ・マッチング機能<br>は利用不可) | 4 (データ・マッチング機能<br>は利用不可)  | 4                         |
| フラッシュ・パッチ機能 | なし                       | あり                        | あり                        |

| トレース・レベル       | 0      | 1           | 2 (R-IN32M3 の設定) |
|----------------|--------|-------------|------------------|
| 機能概略           | トレースなし | スタンダード・トレース | フル・トレース          |
| ITM, TPIU 機能   | なし     | あり          | あり               |
| DWT トリガとカウンタ機能 | なし     | あり          | あり               |
| ETM 機能         | なし     | なし          | あり               |

**注意.** R-IN32M3 は SLEEPDEEP モードには対応していません。

**SCR レジスタの SLEEPDEEP ビットはセット (1) しないでください。**

## 3.2 Giga bit Ether MAC

### 3.2.1 特徴

- ポート数：1ポート（2ポート・スイッチ機能搭載）
- 10BASE、100BASE、1000BASE MAC 機能
- 1000BASE-X PCS 対応
- 全二重通信と半二重通信対応
- 自動ポーズ・パケット送信機能
- ポーズ・パケット受信による自動送信サスペンド機能
- OMII/GMII インタフェース対応

### 3.2.2 スイッチ機能

以下の機能を保有しています。

- 2ポート
- ハードウェア・スイッチング、ルックアップ、フィルタリング機能
- フレーム優先順位分類のある QoS 対応
- 優先順位を再配置可能な VLAN Priority (IEEE802.1q)に基づく優先順位制御機能
- Ipv4 DiffServ Code Point Field, Ipv6 Class of Service に基づく分類及び優先順位割り当て機能
- 4つの優先順位のあるキューを実装
- マルチキャスト及びブロードキャスト対応
- VLAN フレーム対応
- カット・スルー、ハブ機能対応
- デバイス・レベル・リング (DLR) 対応

### 3.3 EtherCAT 機能 (R-IN32M3-EC のみ)

EtherCAT Slave Controller (ESC) は、Beckhoff 社製の「EtherCAT Slave Controller IP Core」を使用します。

EtherCAT Slave Controller (ESC) は、EtherCAT フィールドバスと Slave アプリケーションの間のインタフェースとして、EtherCAT 通信処理を行います。

表3.1 EtherCAT Slave Controller の特徴

| 特徴                          | R-IN32M3-EC              | ET1100                   |
|-----------------------------|--------------------------|--------------------------|
| ポート数                        | 2                        | 2-4                      |
| FMMU                        | 8                        | 8                        |
| Sync Manager                | 8                        | 8                        |
| プロセスデータ RAM [Kbyte]         | 8                        | 8                        |
| 分散クロック (Distributed Clocks) | 64bit                    | 64bit                    |
| EBus                        | 無し                       | 有り(0-4)                  |
| プロセスデータインタフェース (PDI)        |                          |                          |
| Digital I/O                 | 無し                       | —                        |
| SPI Slave                   | 無し                       | —                        |
| HOST CPU I/F                | On-chip Bus (外部マイコン I/F) | 8bit/16bit, async./sync. |

**注意.** レジスタ領域 (0E\_0000H-0E\_0F7FH) は、外部マイコン・インタフェース (HOST CPU I/F) からはアクセスできません。

### 3.4 CC-Link IE Field（インテリジェントデバイス局）機能（R-IN32M3-CLのみ）

CC-Link IE Field インテリジェントデバイス局機能は、三菱電機株式会社の専用通信 LSI「CP220」相当の機能を有しています。

CC-Link IE フィールドネットワークの概略仕様は以下のとおりです。CC-Link IE フィールドネットワークに関する詳細仕様については CC-Link 協会の下記 URL を参照してください。

<http://www.cc-link.org/jp/cclink/cclinkie/index.html>

表3.2 CC-Link IE Field 概略仕様

| 項目       | 仕様                        |
|----------|---------------------------|
| イーサネット規格 | IEEE802.3ab(1000BASE-T)準拠 |
| 通信速度     | 1Gbps                     |
| トポロジ     | ライン、スター、リング               |
| 最大接続台数   | 254 台                     |
| 最大局間距離   | 100m                      |

## 3.5 汎用 DMA コントローラ

### 3.5.1 特徴

- チャンネル数：4 チャンネル（各チャンネルは独立）
- 転送データ・サイズ
  - ソースとデスティネーションに、それぞれ独立にサイズ設定可能
  - 設定可能サイズ：8 ビット-512 ビット
- 最大転送バイト数： $2^{32}-1$
- チャンネル優先順位制御
  - 優先順位固定モード
  - ラウンドロビン・モード（直前に転送を行ったチャンネルを最低優先にシフト）
- 転送設定値割り込み方式

DMA 転送に使用する設定データは、以下の 2 種類の方法により、内部レジスタに設定されます。

  - レジスタ・モード

CPU から設定した DMA コントローラ内部の制御レジスタに従って DMA 転送を行います。従来の一般的な DMA 転送をサポートしています。
  - リンク・モード

データ RAM、外部メモリに配置したディスクリプタに従って DMA 転送を行います。多様な DMA 転送を実現できます。ただし、DMA 転送ごとにディスクリプタのアクセスが発生するため、応答性はレジスタ・モードに劣ります。
- スキップ機能

DMA 転送でアクセスする領域に対し、連続アクセス・サイズとスキップ空間サイズをそれぞれ設定可能です。連続アクセス・サイズで設定サイズ分アクセスしたあと、次にアクセスするアドレスをスキップ空間サイズで設定サイズ分スキップできます。
- バッファ内データ掃き出し機能

DMA を強制停止した際、バッファ内データを掃き出して停止することができます。掃き出し後、引き続き DMA 転送を継続します。
- サスペンド機能

DMA トランザクション実行中に、実行中の DMA トランザクションを一時停止できます。
- DMA 転送間隔設定機能

バス占有率を調整するため、DMA 転送間隔を指定できます。
- 転送モード
  - シングル転送モード

DMA 転送要求が発生するとバス使用权を獲得し、1 回の転送ごとにバスを解放します。その後 DMA 転送の要求があるごとに、制御レジスタで指定した転送回数分の転送を終了するまで、この動作を繰り返します。
  - ブロック転送モード

DMA 転送要求が発生するとバス使用权を獲得し、制御レジスタで指定した回数分の転送が終了するまでデータ転送を繰り返します。ただし、バスは占有しません。

**注意. 512 ビット転送時は、512 ビットでデータがアラインされている必要があります。**

## 3.6 リアルタイム・ポート用 DMA コントローラ

### 3.6.1 特徴

- チャンネル数：1チャンネル
- 転送データ・サイズ
  - ソースとデスティネーションに、それぞれ独立にサイズ設定可能
  - 設定可能サイズ：8ビット-128ビット
- 最大転送バイト数： $2^{32}-1$
- 転送設定値割り込み方式

DMA 転送に使用する設定データは、以下の2種類の方法により、内部レジスタに設定されます。

  - レジスタ・モード

CPU から設定した DMA コントローラ内部の制御レジスタに従って DMA 転送を行います。従来の一般的な DMA 転送をサポートしています。
  - リンク・モード

データ RAM、外部メモリに配置したディスクリプタに従って DMA 転送を行います。多様な DMA 転送を実現しています。ただし、DMA 転送ごとにディスクリプタのアクセスが発生するため、応答性はレジスタ・モードに劣ります。
- スキップ機能

DMA 転送でアクセスする領域に対し、連続アクセス・サイズとスキップ空間サイズをそれぞれ設定可能です。連続アクセス・サイズで設定サイズ分アクセスしたあと、次にアクセスするアドレスをスキップ空間サイズで設定サイズ分スキップできます。
- バッファ内データ掃き出し機能

DMA を強制停止した際、バッファ内データを掃き出して停止することができます。掃き出し後、引き続き DMA 転送を継続します。
- サスペンド機能

DMA トランザクション実行中に、実行中の DMA トランザクションを一時停止できます。
- DMA 転送間隔設定機能

バス占有率を調整するため、DMA 転送間隔を指定できます。
- 転送モード
  - シングル転送モード

DMA 転送要求が発生するとバス使用权を獲得し、1回の転送ごとにバスを解放します。その後 DMA 転送の要求があるごとに、制御レジスタで指定した転送回数分の転送を終了するまで、この動作を繰り返します。
  - ブロック転送モード

DMA 転送要求が発生するとバス使用权を獲得し、制御レジスタで指定した回数分の転送が終了するまでデータ転送を繰り返します。ただし、バスは占有しません。

**注意. 128 ビット転送時は、128 ビットでデータがアラインされている必要があります。**



## 3.7 ウィンドウ・ウォッチドッグ・タイマ

### 3.7.1 機能概要

- 起動オプションに基づいたリセット後の構成
- ソフトウェア・トリガ・スタート・モード固定
- エラー・モード
  - エラー検出時の NMI 要求の生成
  - エラー検出時のリセットの生成
- ウィンドウ機能
- オーバ・フロー時間
  - 25MHz 動作時 : 163  $\mu$ s $\sim$ 5.36s

### 3.8 タイマ・アレイ・ユニット

#### 3.8.1 機能概要

- 1 ユニット (4 チャンネル)
- チャンネルごとの 32 ビット・カウンタおよび 32 ビット・データ・レジスタ
- チャンネル単体動作
- チャンネル連動動作 (マスタおよびスレーブ動作)
- 異なる種類の出力信号の生成
- 外部信号によるカウントの開始
- 割り込み発生

| 単体動作機能             | 連動動作機能      |
|--------------------|-------------|
| チャンネル単体動作機能        | チャンネル連動動作機能 |
| インターバル・タイマ機能       | PWM 出力機能    |
| 外部入力インターバル・タイマ機能   | /           |
| 外部イベントカウント機能       |             |
| チャンネル単体信号測定機能      |             |
| オーバ・フロー割り込み出力機能    |             |
| 外部入力期間カウント検出機能     |             |
| 外部入力パルス・インターバル判定機能 |             |
| 外部入力信号幅判定機能        |             |
| その他チャンネル単体機能       |             |
| 外部入力位置検出機能         |             |

#### ○補足

タイマ・カウンタ・クロックとして使用するクロックは、外部からのクロック以外に 4 系統を選択できます。4 系統のクロックは、レジスタ設定により内部 PCLK の  $2^0 \sim 2^5$  分周 (PCLK = 100MHz) から選択します。4 系統のクロックのうち 1 系統は、レジスタ設定により、さらに 1~256 分周して使用できます。

## 3.9 アシクロナス・シリアル・インタフェース

### 3.9.1 機能概要

- 内蔵の受信 FIFO と送信 FIFO を介した全二重通信
  - 10 ビット×16 受信データ FIFO 内蔵
  - 8 ビット×16 送信データ FIFO 内蔵
- 2 端子構成
  - 送信データ出力端子
  - 受信データ出力端子
- 豊富なエラー検出機能
  - 受信パリティ・エラー
  - 受信フレーミング・エラー
  - 送信データ一貫性エラー
- 送信 FIFO オーバフローエラー
  - 受信 FIFO オーバラン・エラー
  - 受信タイムアウト・エラー
  - 受信 BF 受信エラー
- 豊富な FIFO ステータス情報
  - 受信 FIFO フル/エンプティ・ステータス
  - 送信 FIFO フル/エンプティ・ステータス
  - 受信 FIFO 格納データ数
  - 送信 FIFO 格納データ数
- 割り込み要求：3 種類
  - 送信割り込み
  - 受信割り込み
  - ステータス割り込み
- キャラクタ長：7, 8 ビット
- パリティ機能：奇数、偶数、0、なし
- 送信ストップ・ビット：1, 2 ビット
- MSB ファースト/LSB ファーストを切り替え可能
- 送信/受信データの出力/入力の反転が可能
- LIN (Local Interconnect Network) 通信フォーマットの BF (ブレイク・フィールド) を 13~20 ビットに設定可能
  - LIN 通信フォーマットの BF 受信で 11 ビット以上の認識可能
  - BF 受信フラグあり
- データ通信中に BF 受信の検出が可能
- 送信データのデータ一貫性を保つバス・モニタ機能
- サポートするボー・レート：300~12,500,000bps

表3.3 ボー・レート・ジェネレータ設定例 (PCLK : 100MHz)

| ボー・レート (bps) | プリスケラ クロック (PRCLK)<br>URTJnPRS | ボー・レート クロック (BRCLK)<br>URTJnBRS | ERR (%) |
|--------------|--------------------------------|---------------------------------|---------|
| 300          | 6                              | 2604                            | 0.01    |
| 600          | 5                              | 2604                            | 0.01    |
| 1200         | 4                              | 2604                            | 0.01    |
| 2400         | 3                              | 2604                            | 0.01    |
| 4800         | 2                              | 2604                            | 0.01    |
| 9600         | 1                              | 2604                            | 0.01    |
| 19200        | 0                              | 2604                            | 0.01    |
| 31250        | 0                              | 1600                            | 0.01    |
| 38400        | 0                              | 1302                            | 0.01    |
| 76800        | 0                              | 651                             | 0.01    |
| 115200       | 0                              | 434                             | 0.01    |
| 153600       | 0                              | 326                             | -0.15   |
| 312500       | 0                              | 160                             | 0.00    |
| 1000000      | 0                              | 50                              | 0.00    |
| 2000000      | 0                              | 25                              | 0.00    |
| 2500000      | 0                              | 20                              | 0.00    |
| 5000000      | 0                              | 10                              | 0.00    |
| 6250000      | 0                              | 8                               | 0.00    |
| 10000000     | 0                              | 5                               | 0.00    |
| 12500000     | 0                              | 4                               | 0.00    |

## 3.10 クロック同期シリアル・インタフェース

### 3.10.1 機能概要

- 3 線式シリアル同期データ転送
- マスタ・モードまたはスレーブ・モードを選択可能
- 設定可能な2個のチップ・セレクト出力信号を備えているため、複数スレーブ構成と RCB (Recessive Configuration for Broadcasting) が可能
- ボー・レート・ジェネレータを内蔵
- ボー・レートが調整可能。スレーブ・モードでは入力クロックによってボー・レートを決定
- 最大転送速度：R-IN32M3 が 100MHz 動作の時
  - マスタ・モード：PCLK/4 (25MHz)
  - スレーブ・モード：PCLK/6 (16.6MHz)
- クロックとデータの位相を選択可能
- MSB ファーストまたは LSB ファーストでのデータ転送を選択可能
- 7 ビットから 16 ビットまでの転送データ長を 1 ビット単位で選択可能
- 16 ビットを上回るデータを転送するための EDL (Extended Data Length：拡張データ長) 機能
- 以下の3つの転送モードを選択可能：
  - 送信モード
  - 受信モード
  - 送受信モード
- エラー検出 (データ一貫性チェック、パリティ、タイムアウト、オーバ・フロー、オーバラン)
- ジョブ概念のフル・サポート
- 128 ワードの I/O バッファ・メモリ
- メモリ・モードを選択可能 (FIFO、デュアル・バッファ、送信オンリー・バッファ、ダイレクト・アクセス)
- 4 個の割り込み要求信号
  - 通信割り込み
  - 受信割り込み
  - エラー割り込み
  - ジョブ完了割り込み
- 自己テスト用の LBM (ループ・バック・モード) 機能

## 3.11 I2C バス

### 3.11.1 機能概要

- 動作モード
  - 標準モード (シリアル・クロック周波数 : Max : 100kHz)
  - 高速モード (シリアル・クロック周波数 : Max : 400kHz)
- 転送モード
  - シングル転送モード
  - 連続転送モード
- 端子構成
  - シリアル・クロック端子
  - シリアル送受信データ端子
- 割り込み要求信号
  - データ送受信割り込み要求信号
  - ステータス割り込み要求信号
- 通信データ長
  - 8ビット
- マルチマスタ対応
  - 複数のマスタが同時にバスを制御することが可能
- シリアル・クロックのレベル幅変更可能
  - シリアル・クロック信号のハイ・レベル幅/ロー・レベル幅の設定を変更可能
- 自動検出可能
  - スタート・コンディションおよびストップ・コンディションの自動検出が可能

### 3.12 CC-Link 機能

CC-Link の概略仕様は以下のとおりです。CC-Link に関する詳細仕様については CC-Link 協会の下記 URL を参照してください。

<http://www.cc-link.org/jp/cclink/index.html>

表3.4 CC-Link 概略仕様

| 項目           | 仕様   |
|--------------|--|
| 対応バージョン      | Ver.1.10 / Ver.2.00  |
| 対応局種類        | インテリジェントデバイス局<br>リモートデバイス局   |
| 最大リンク点数      | リモート入出力 : 各 8192 点、リモートレジスタ : 2048 ワード   |
| 総スレーブ局数      | 64 局   |
| 通信速度とケーブル総延長 | 10Mbps : 100m<br>5Mbps : 160m<br>2.5Mbps : 400m<br>625kbps : 900m<br>156kbps : 1200m |
| 通信方式         | ブロードキャストポーリング  |

**注意.** リモートデバイス局を使用する場合は、CCS\_REFSTB (P10) 端子を、外部割り込み機能(INTPZ)を持ついずれかのポート端子に接続する必要があります。

### 3.13 CAN コントローラ

#### 3.13.1 機能概要

- ISO11898 に準拠
- 標準フレームと拡張フレームの送受信が可能
- 転送速度：最大 1Mbps
- 1 チャンネルにつき 64 個のメッセージ・バッファ
- 送受信履歴・リスト機能（各メッセージ・バッファにて個別に設定可能）
- 自動ブロック送信機能
- マルチ・バッファ受信ブロック機能
- データ・フレームおよびリモート・フレームに適用可能な 8 パターンのマスクをチャンネルごとに設定可能
- データ・ビット・タイム、通信ポー・レート、サンプル・ポイントを制御可能
  - 例として 66.7%, 70.0%, 75.0%, 80.0%, 81.3%, 85.0%, 87.5%
  - 10kbps～1Mbps のポー・レートを設定可能
- 拡張機能：
  - 個々のメッセージ・バッファを送信メッセージ・バッファまたは受信メッセージ・バッファとして動作するように設定可能
  - 対象となるメッセージ・バッファの送信要求フラグをクリアすることで、送信要求を中断可能。中断が成功した場合の送信中断割り込みに対応。
  - 自動ブロック送信動作モード（ABT）
  - タイマ・キャプチャ・チャンネルと連携するタイム・スタンプ機能
  - 一元管理されるグローバル・データ更新ビット・モニタ・レジスタの採用により、一箇所ですべてのデータ更新ビットを確認可能



### 3.14 外部マイコン・インタフェース

外部のマイコンを接続するためのインタフェースです。外部メモリ/IO と接続用インタフェースを兼用しています。外部マイコン・インタフェースは、外部メモリ・インタフェースと端子を兼用しており、MEMIFSEL 端子がハイ・レベルのときに、外部マイコン・インタフェースとして使用できます。MEMIFSEL 端子のレベルは、電源投入後、リセット解除までに確定してください。ダイナミックな切り替えには対応していません。

#### 3.14.1 機能概要

##### (1) 外部マイコン・インタフェース

###### ○インタフェース方式

- ウェイト制御機能付き非同期 SRAM 系（読み出し、書き込み）
- ウェイト制御機能付きページ ROM 読み出し

###### ○同期関係（HIFSYNC 端子で設定）

- HBUSCLK 同期モード（MAX. 50MHz）、非同期モード

**注意. 非同期モードを使用する時は、HBUSCLK 端子には Low を入力してください。**

###### ○バス幅

- 32 ビット、16 ビット（BUS32EN 端子で選択）

**備考. 8 ビット・バス幅には対応していません。**

###### ○転送データ・サイズ

- 32 ビット、16 ビット、8 ビット

###### ○バッファ機能

- ライト・バッファ：2 段（同期選択時）または 1 段（非同期選択時）
- リード・バッファ：最大 32 バイト先読み可能

###### ○転送タイプ

- シングル転送
- ページ・リード転送

###### ○タイミング調整機能

## (2) AHB マスタ・ポート仕様

- AMBA Ver2.0 準拠
  - 32ビット AHB-Lite
  - リトル・エンディアン固定
- アドレス変換
  - 4GByte の AHB 空間内資源を 2Mbyte の外部マイコン・インタフェース空間に対応付け
- バス・サイジング機能
  - 外部 16 ビット→32 ビット
- エラー応答対応
  - エラー応答受信時に割り込み要求 (HERROUTZ) を出力
  - エラー要因のアクセス情報をレジスタに格納

## (3) ステータス確認機能

- 各種ステータスの確認
  - 内部リセット状態 (非同期/同期 SRAM インタフェース・モード時のみ使用可能)
  - HIFSYNC 端子、BUS32EN 端子の状態

### 3.15 非同期式 SRAM MEMC

非同期式 SRAM MEMC は、32/16 ビット・バスで外部にページ ROM/ROM/SRAM を接続できます。また、SRAM インタフェースに準ずる周辺デバイスも接続できます。

非同期式 SRAM MEMC は、同期式バースト・アクセス MEMC と外部マイコン・インタフェースと端子兼用しており、MEMCSEL 端子および MEMIFSEL 端子がともにロー・レベルに設定のときに外部メモリ・インタフェースとして使用できます。

BOOT0 端子がロー・レベル、BOOT1 端子がハイ・レベルのときに、CSZ0 に接続されたメモリからブート動作を行います。

#### 3.15.1 機能概要

- ページ ROM、ROM、SRAM 対応メモリ・コントローラ
- 32/16 ビット・データ・バス
- スタティック・メモリ制御機能
  - ◇ SRAM、外部 I/O 接続機能
  - ◇ ページ ROM 接続機能 (CSZ0 のみ)
  - ◇ 4 本のチップ・セレクト信号が利用可能 (CSZ0-CSZ3)
    - CSZ0 : ページ ROM/SRAM 対応 : 1000 0000H-13FF\_FFFFH (64M バイト)
    - CSZ1 : SRAM のみ対応 : 1400 0000H-17FF\_FFFFH (64M バイト)
    - CSZ2 : SRAM のみ対応 : 1800 0000H-1BFF\_FFFFH (64M バイト)
    - CSZ3 : SRAM のみ対応 : 1C00 0000H-1FFF\_FFFFH (64M バイト)
  - ◇ プログラマブル・ウェイト機能
    - ーアドレス設定ウェイト
    - ーデータ・ウェイト
    - ーライト・リカバリ・ウェイト
    - ーアイドル・ウェイト

### 3.16 同期式バースト・アクセス MEMC

同期式バースト・アクセス MEMC は、32/16 ビット・バスで外部にページ ROM/ROM/SRAM/PSRAM/NOR-Flash のほか、SRAM インタフェースに準ずる周辺デバイスも接続できます。

また、ADMUXMODE 端子をハイ・レベルに設定することで、データ端子にアドレス信号をマルチプレクスして出力することができます。

同期式バースト・アクセス MEMC は、非同期式 SRAM MEMC と、外部マイコン・インタフェースと端子兼用しており、MEMCSEL 端子がハイ・レベル、MEMIFSEL 端子がロー・レベルのときに、同期式バースト・アクセス MEMC が選択されます。

BOOT0 端子がロー・レベル、BOOT1 端子がハイ・レベルのときに、CSZ0 に接続されたメモリからブート動作を行います。

#### 3.16.1 特徴

- ページ ROM、ROM、SRAM（同期、非同期）、PSRAM、NOR-Flash 対応メモリ・コントローラ
- 32/16 ビット・データ・バス
- アドレス/データ・マルチプレクス機能

**備考. ページ・アクセスは、非同期アクセスのセパレート・モード時のみ対応**

- スタティック・メモリ制御機能
  - ・ SRAM（同期、非同期）及び SRAM インタフェースに準ずる周辺デバイスの外部接続機能
  - ・ 4 本のチップ・セレクト信号が利用可能（CSZ0-CSZ3）
    - CSZ0 : 1000 0000H-13FF\_FFFFH (64M バイト)
    - CSZ1 : 1400 0000H-17FF\_FFFFH (64M バイト)
    - CSZ2 : 1800 0000H-1BFF\_FFFFH (64M バイト)
    - CSZ3 : 1C00 0000H-1FFF\_FFFFH (64M バイト)

**備考. SMADSEL レジスタにて、各チップ・セレクト領域は 1000 0000H-1FFF\_FFFFH の間でプログラマブルに設定可能です。（16M バイト単位で設定可能）**

- ・プログラマブル・ウェイト機能
- ・メモリ・アクセス周波数設定機能（100MHz の 1/2～1/6 分周でアクセス）
- ・最大 4 本のウェイト信号を使用可能（WAITZ、WAITZ1～WAITZ3）

### 3.17 命令 RAM

命令 RAM は、I-code AHB、D-code AHB、DMAC、外部マイコンからアクセス可能な、768k バイトの RAM です。

#### 3.17.1 機能概要

- 128bit (32bit×4) のリード・バッファ付
- レイテンシ：リード・アクセス 2  
ライト・アクセス 1  
ただし、リード・バッファ内で HIT した場合は、レイテンシ 1
- AHB バス幅：32bit
- RAM データ・バス幅：128bit (ECC 除く)
- 転送サイズ：16bit 32bit 転送に対応
- バースト転送：シングル、不定長バースト、固定長バースト (INCR4/8/16、WRAP4/8/16) に対応
- リトル・エンディアン固定
- ECC 対応：1bit エラー補正、2bit エラー検出

#### 3.17.2 リード・バッファ機能

- 128bit (32bit×4) のリード・バッファ
- リード・バッファ内で HIT した場合は、0 ウェイトで AHB へ応答。
- 2bit ECC エラーが発生した場合には、リード・バッファの内容をクリア
- リード応答時の 2bit ECC エラーは、ECC エラー割り込みを発生させる。

#### 3.17.3 ライト・インタフェース

- 16 ビットでのライト・アクセスが発生した場合、2 回アクセス分をまとめて 32 ビット単位で RAM へライトする。
- 8 ビットでのライト・アクセスが発生した場合にはエラー応答する。

**注意.** 外部マイコンから 16bit 単位での RAM へのライト・アクセスが発生する場合があります。  
RAM へのアクセスは、必ず連続で 2 回発生する (32 ビットのデータとしてライトする) ことを前提とした仕様とします。

### 3.18 データ RAM

内蔵データ RAM は、512k バイトの RAM です。Header Endec (Communication-BUS) と AHB の双方からのアクセスが可能です。

#### 3.18.1 機能概要

- AHB レイテンシ：リード・アクセス/ライト・アクセス共にレイテンシ 1  
ただし、ライト・アクセス直後のリード・アクセスのみレイテンシ 2
- Communication-BUS レイテンシ：リード・アクセス/ライト・アクセス共にレイテンシ 1
- 競合時のアクセスのアービトレーション：ラウンドロビン
- AHB バス幅：32bit
- Communication-BUS バス幅：128bit
- RAM バス幅：128bit (ECC 除く)
- AHB 転送サイズ：8/16/32bit 転送に対応
- Communication-BUS 転送サイズ：8/16/32/128bit 転送に対応
- バースト転送：シングル、不定長バースト、固定長バースト(INCR4/8/16、WRAP4/8/16)に対応
- リトル・エンディアン固定
- ECC 対応：1bit エラー補正、2bit エラー検出

### 3.19 バッファ RAM

バッファ RAM は、64k バイトの RAM です。AHB および Communication-BUS からのアクセスが可能です。

#### 3.19.1 機能概要

- Communication-BUS レイテンシ：リード・アクセス/ライト・アクセス共にレイテンシ 1
- 競合時のアクセスのアービトレーション：固定優先式（Communication-BUS が優先）
- Communication-BUS バス幅：128bit
- RAM バス幅：128bit（ECC 回路除く）
- Communication-BUS 転送サイズ：8/16/32/128bit 転送に対応
- ECC 対応：1bit エラー補正、2bit エラー検出

## 3.20 ハードウェア・リアルタイム OS

ハードウェア・リアルタイム OS はイベント、セマフォ、メールボックス、等 30 種類のシステム・コールをサポートします。

### 3.20.1 機能概要

#### ○Task Scheduler

- Hardware ISR : 128 本の割り込み要因から 32 本を選択
- CONTEXT 数 : 64 個
- Semaphore 識別子 : 128 個
- Event 識別子 : 64 個
- Mailbox 識別子 : 64 個
- Mailbox エlement数 : 192 個
- CONTEXT 優先順位 : 16 段階

#### ○Hardware Function Manager

#### ○Internal DMA

#### ○Buffer Allocator

#### ○Header EnDec

**備考.** ハードウェア・リアルタイム OS は、サンプル・ドライバにて提供する  $\mu$ ITRON のシステム・コールにて制御することができます。ドライバの使用方法は、R-IN32M3 シリーズ プログラミング・マニュアル OS 編を参照ください。



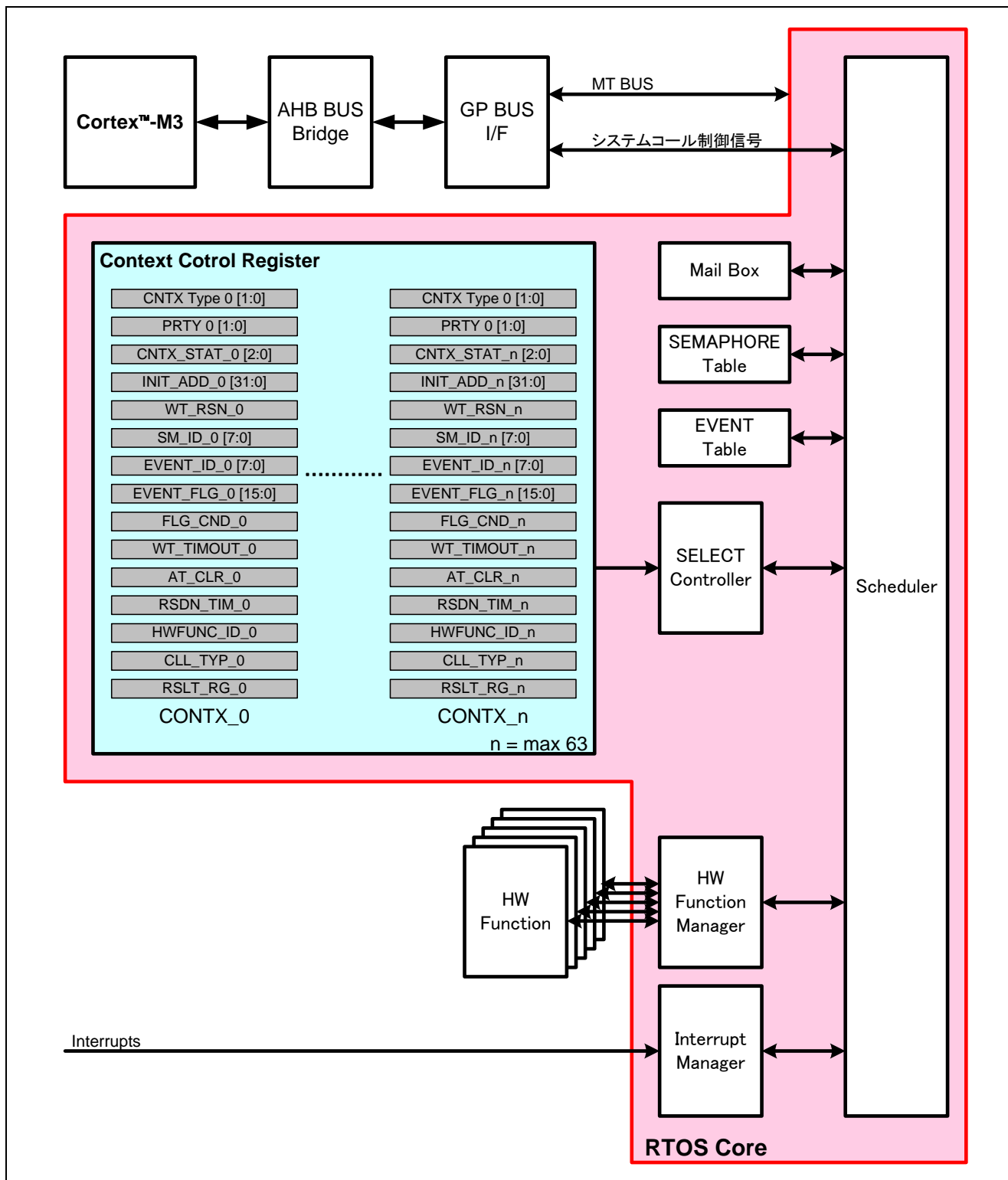


図3.1 ハードウェア・リアルタイム OS 全体構成

## 3.21 ポート機能

### 3.21.1 特徴

- 入出力ポート：96 本
- ほかの周辺機能の入出力端子と兼用
- ビット単位で入力／出力指定可能

**注意 1.** ポートと兼用している内蔵周辺機能の信号は、兼用機能の切り替えを行うと、直前の端子状態などによりスパイクが発生する可能性があります。

- 内蔵機能の動作が停止している間に切り替える。
- 割り込み信号との兼用端子は、いったん割り込み要求フラグをクリアしてからマスクを解除する。
- 出力値を確定させてから、モードを切り替える。

など、一般的なスパイク対策をソフトウェアで行ってください。

**2.** 入力バッファは、貫通電流対策を行っていないため、外部から中間電位を与えないでください。

### 3.21.2 ポートの構成

3 ステート入出力ポートを 8 ポートとリアルタイムに制御を行うポートを 4 ポート内蔵しています。ポートは 1 ビット単位に入出力指定が可能です。ポートの基本構造は 8 ビット単位ですが、P0x-P3x、P4x-P7x、RP0x-RP3x (x=0-7) をアラインした 32 ビット単位でのリード／ライトが可能な構成になっています。また、リアルタイムポート (RP00-RP37) は、割り込み信号に同期した入出力が可能な構成です。

各ポートは、レジスタ設定により、8/16/32 ビット単位でのアクセスが可能になります。

## 4. 電気的特性

### 4.1 用語説明

表4.1 絶対最大体格に関する用語

| 項目     | 略号                | 意味  |
|--------|-------------------|---|
| 電源電圧   | V <sub>DD</sub>   | V <sub>DD</sub> 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。      |
| 入力電圧   | V <sub>I</sub>    | 入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。                    |
| 出力電圧   | V <sub>O</sub>    | 出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。                    |
| 出力電流   | I <sub>O</sub>    | 出力端子から流し出しても、また流し込んでも、破壊や信頼性低下を生じない DC 電流の許容絶対値を示します。 |
| 動作周囲温度 | T <sub>A</sub>    | 正常な論理動作をする周囲温度範囲を示します。                                |
| 保存温度   | T <sub>Sgt.</sub> | 電圧、電流を印加しない状態で、破壊や信頼性低下を生じない素子温度範囲を示します。              |

表4.2 推奨動作範囲に関する用語

| 項目          | 略号  | 意味  |
|-------------|---|---|
| 電源電圧        | V <sub>DD</sub>   | V <sub>SS</sub> = 0V としたときに正常な論理動作をする電圧範囲を示します。   |
| ハイ・レベル入力電圧  | V <sub>IH</sub>   | R-IN32M3 の入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示します。<br>● MIN 値以上の電圧を印加すれば、入力電圧がハイ・レベルであることを保証します。  |
| ロー・レベル入力電圧  | V <sub>IL</sub>   | R-IN32M3 の入力に印加する電圧で、入力バッファが正常に動作するロー・レベル状態の電圧を示します。<br>● MAX 値以下の電圧を印加すれば、入力電圧がロー・レベルであることを保証します。  |
| ポジティブ・トリガ電圧 | V <sub>P</sub>  | R-IN32M3 の入力をロー・レベル側からハイ・レベル側に変化させたときに、出力レベルが反転する入力レベルです。   |
| ネガティブ・トリガ電圧 | V <sub>N</sub>  | R-IN32M3 の入力をハイ・レベル側からロー・レベル側に変化させたときに、出力レベルが反転する入力レベルです。   |
| ヒステリシス電圧    | V <sub>H</sub>  | ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差です。  |
| 入力立ち上がり時間   | t <sub>ried</sub> ,<br>t <sub>ric</sub> ,<br>t <sub>ris</sub> | R-IN32M3 の入力に印加する入力電圧が 10% から 90% に立ち上がる時間の制限値を示します。t <sub>ried</sub> , t <sub>ric</sub> , t <sub>ris</sub> は、それぞれデータ・クロック、シュミット・バッファの入力立ち上がり時間を示します。 |
| 入力立ち下がり時間   | t <sub>rid</sub> ,<br>t <sub>ric</sub> ,<br>t <sub>ris</sub>  | R-IN32M3 の入力に印加する入力電圧が 90% から 10% に立ち下がる時間の制限値を示します。t <sub>rid</sub> , t <sub>ric</sub> , t <sub>ris</sub> は、それぞれデータ・クロック、シュミット・バッファの入力立ち下がり時間を示します。  |

表4.3 DC 特性に関する用語

| 項目         | 略号              | 意味  |
|------------|-----------------|---|
| オフステート出力電流 | IoZ             | 3 ステート出力で出力がハイ・インピーダンスのとき、規定された電圧において出力端子を流れる電流を示します。 |
| 出力短絡電流     | IoS             | 出力ハイ・レベルのときに、出力端子を GND と短絡した場合に流れ出す電流を示します。           |
| 入力リーク電流    | I <sub>LI</sub> | 入力端子に電圧を印加したときに、入力端子を流れる電流を示します。                      |
| ロー・レベル出力電流 | I <sub>OL</sub> | 規定されたロー・レベル出力電圧において、出力端子へ流れ込む電流を示します。                 |
| ハイ・レベル出力電流 | I <sub>OH</sub> | 規定されたハイ・レベル出力電圧において、出力端子から流れ出す電流を示します。                |
| ロー・レベル出力電圧 | V <sub>OL</sub> | ロー・レベル状態にある、出力オープン時の出力電圧を示します。                        |
| ハイ・レベル出力電圧 | V <sub>OH</sub> | ハイ・レベル状態にある、出力オープン時の出力電圧を示します。                        |

## 4.2 絶対最大定格

表4.4 絶対最大定格

| 項目                      | 略号                             | 条件   | 定格          | 単位 |
|-------------------------|--------------------------------|--|-------------|----|
| 電源電圧                    | V <sub>DD</sub>                | 1.0V 系   | -0.5 ~ +1.4 | V  |
|                         |                                | 1.5V 系   | -0.5 ~ +2.0 | V  |
|                         |                                | 3.3V 系   | -0.5 ~ +4.6 | V  |
| 入出力電圧                   | V <sub>I</sub> /V <sub>O</sub> | 3.3V バッファ V <sub>I</sub> /V <sub>O</sub> < V <sub>DD</sub> + 0.5V        | -0.5 ~ +4.6 | V  |
|                         |                                | 5V-Tolerant バッファ V <sub>I</sub> /V <sub>O</sub> < V <sub>DD</sub> + 3.0V | -0.5 ~ +6.6 | V  |
| 出力電流 (3.3V バッファ)        | I <sub>O</sub>                 | 6mA タイプ  | 15          | mA |
|                         |                                | 12mA タイプ   | 25          | mA |
| 出力電流 (5V-Tolerant バッファ) | I <sub>O</sub>                 | 4mA タイプ  | 10.35       | mA |
| 動作周囲温度                  | T <sub>A</sub>                 | —  | -40 ~ +85   | °C |
| 保存温度                    | T <sub>.Sgt.</sub>             | —  | -65 ~ +125  | °C |

**注意.** 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

**備考.** 入出力端子への 3.3V 電圧の印加は、必ず電源電圧が確定してから行ってください。

## 4.3 推奨動作範囲

表4.5 推奨動作範囲

| 項目                      | 略号                | 条件               | MIN. | TYP. | MAX.                  | 単位 |
|-------------------------|-------------------|------------------|------|------|-----------------------|----|
| 電源電圧                    | V <sub>DD</sub>   | 1.0V 電源          | 0.9  | 1.0  | 1.1                   | V  |
|                         |                   | 1.5V 電源          | 1.35 | 1.5  | 1.65                  | V  |
|                         |                   | 3.3V 電源          | 3.0  | 3.3  | 3.6                   | V  |
| ネガティブ・トリガ電圧             | V <sub>N</sub>    | 3.3V バッファ        | 0.6  | —    | 1.8                   | V  |
|                         |                   | 5V-Tolerant バッファ | 0.8  | —    | 1.1                   | V  |
| ポジティブ・トリガ電圧             | V <sub>P</sub>    | 3.3V バッファ        | 1.2  | —    | 2.4                   | V  |
|                         |                   | 5V-Tolerant バッファ | 1.7  | —    | 2.2                   | V  |
| ヒステリシス電圧                | V <sub>H</sub>    | 3.3V バッファ        | 0.3  | —    | 1.5                   | V  |
|                         |                   | 5V-Tolerant バッファ | 0.9  | —    | 1.1                   | V  |
| ロー・レベル入力電圧              | V <sub>IL</sub>   | 3.3V バッファ        | -0.3 | —    | 0.8                   | V  |
|                         |                   | 5V-Tolerant バッファ | 0    | —    | 0.8                   | V  |
| ハイ・レベル入力電圧              | V <sub>IH</sub>   | 3.3V バッファ        | 2.0  | —    | V <sub>DD</sub> + 0.3 | V  |
|                         |                   | 5V-Tolerant バッファ | 2.0  | —    | 5.5                   | V  |
| 入力立ち上がり／立ち下がり時間         | t <sub>ried</sub> | —                | 0    | —    | 200                   | ns |
|                         | t <sub>fid</sub>  | —                | 0    | —    | 200                   | ns |
| 入力立ち上がり／立ち下がり時間 (クロック)  | t <sub>ric</sub>  | —                | 0    | —    | 4                     | ns |
|                         | t <sub>fic</sub>  | —                | 0    | —    | 4                     | ns |
| 入力立ち上がり／立ち下がり時間 (シュミット) | t <sub>ris</sub>  | —                | 0    | —    | 1                     | ms |
|                         | t <sub>fis</sub>  | —                | 0    | —    | 1                     | ms |
| 動作周囲温度                  | T <sub>A</sub>    | —                | -40  | —    | 85                    | °C |

## 4.4 DC 特性

表4.6 DC 特性 ( $V_{DD} = 3.3 \pm 0.3V$ ,  $T_A = -40 \sim +85^\circ C$ ) (1/2)

| 項目                            | 略号              | 条件                                      |                      | MIN.  | TYP.  | MAX.   | 単位 |
|-------------------------------|-----------------|---|----------------------|-------|-------|--------|----|
| 動作消費電流<br>(R-IN32M3-EC)       | I <sub>DD</sub> | V <sub>I</sub> = V <sub>DD</sub> or GND | 内蔵レギュレータ使用           | —     | —     | —      |    |
|                               |                 |   | 1.0V                 | —     | 270   | 880    | mA |
|                               |                 |   | 3.3V                 | —     | 210   | 220    | mA |
|                               |                 | 内蔵レギュレータ未使用                             | 1.0V                 | —     | 270   | 880    | mA |
|                               |                 |   | 3.3V                 | —     | 120   | 130    | mA |
|                               |                 |   | 1.5V                 | —     | 150   | 170    | mA |
| 動作消費電流<br>(R-IN32M3-CL)       | I <sub>DD</sub> | V <sub>I</sub> = V <sub>DD</sub> or GND | 1.0V                 | —     | 280   | 890    | mA |
|                               |                 |   | 3.3V                 | —     | 45    | 50     | mA |
| オフステート電流                      | I <sub>OZ</sub> | V <sub>I</sub> = V <sub>DD</sub> or GND | 3.3V 出力              | —     | —     | ±10    | μA |
|                               |                 |   | 5V-Tolerant バッファ     | —     | —     | ±10    | μA |
| 出力短絡電流 <sup>※</sup>           | I <sub>OS</sub> | V <sub>O</sub> = GND                    |                      | —     | —     | —250   | mA |
| 入力リーク電流<br>(3.3V バッファ)        | I <sub>I</sub>  | V <sub>I</sub> = V <sub>DD</sub> or GND | 通常入力                 | —     | —     | ±10    | μA |
|                               |                 | V <sub>I</sub> = GND                    | プルアップ抵抗付き<br>(50 kΩ) | −28.9 | −65.7 | −129.8 | μA |
|                               |                 | V <sub>I</sub> = V <sub>DD</sub>        | プルダウン抵抗付き<br>(50 kΩ) | 10.2  | 43.4  | 83.9   | μA |
| 入力リーク電流<br>(5V-Tolerant バッファ) | I <sub>I</sub>  | V <sub>I</sub> = GND                    | プルアップ抵抗付き<br>(50 kΩ) | 39.0  | —     | 100.9  | μA |

注. 出力短絡電流は 1 秒以下で、1 端子のみ。

備考. 表中の+, −は電流の方向を示しています。デバイスに流れ込む場合が+, 流れ出す場合が−です。

表4.7 DC 特性 ( $V_{DD} = 3.3 \pm 0.3V$ ,  $T_A = -40 \sim +85^\circ C$ ) (2/2)

| 項目                               | 略号              | 条件                     |                  | MIN.                 | TYP. | MAX. | 単位 |
|----------------------------------|-----------------|------------------------|------------------|----------------------|------|------|----|
| ロー・レベル出力電流<br>(3.3V バッファ)        | I <sub>OL</sub> | V <sub>OL</sub> = 0.4V | 6mA タイプ          | 6.0                  | —    | —    | mA |
|                                  |                 |                        | 12mA タイプ         | 12.0                 | —    | —    | mA |
| ロー・レベル出力電流<br>(5V-Tolerant バッファ) | I <sub>OL</sub> | V <sub>OL</sub> = 0.4V | 4mA タイプ          | 4.0                  | —    | —    | mA |
| ハイ・レベル出力電流<br>(3.3V バッファ)        | I <sub>OH</sub> | V <sub>OH</sub> = 2.4V | 6mA タイプ          | −6.0                 | —    | —    | mA |
|                                  |                 |                        | 12mA タイプ         | −12.0                | —    | —    | mA |
| ハイ・レベル出力電流<br>(5V-Tolerant バッファ) | I <sub>OH</sub> | V <sub>OH</sub> = 2.4V | 4mA タイプ          | −4.0                 | —    | —    | mA |
| ロー・レベル出力電圧                       | V <sub>OL</sub> | I <sub>OL</sub> = 0mA  | 3.3V バッファ        | —                    | —    | 0.1  | V  |
|                                  |                 |                        | 5V-Tolerant バッファ | —                    | —    | 0.1  | V  |
| ハイ・レベル出力電圧                       | V <sub>OH</sub> | I <sub>OH</sub> = 0mA  | 3.3V バッファ        | V <sub>DD</sub> −0.1 | —    | —    | V  |
|                                  |                 |                        | 5V-Tolerant バッファ | V <sub>DD</sub> −0.1 | —    | —    | V  |

## 4.5 プルアップ／プルダウン抵抗値

表4.8 プルアップ／プルダウン抵抗値 ( $V_{DD} = 3.3 \pm 0.3V$ ,  $T_A = -40 \sim +85^\circ C$ )

| 項目                         | ライブラリ表現      | MIN. | TYP. | MAX.  | 単位         |
|----------------------------|--------------|------|------|-------|------------|
| プルアップ抵抗 (3.3V バッファ)        | 50k $\Omega$ | 27.7 | 50.2 | 103.9 | k $\Omega$ |
| プルアップ抵抗 (5V-Tolerant バッファ) | 50k $\Omega$ | 35.7 | 51.2 | 77.0  | k $\Omega$ |
| プルダウン抵抗 (3.3V バッファ)        | 50k $\Omega$ | 42.9 | 76.1 | 295.5 | k $\Omega$ |

## 4.6 端子容量

表4.9 端子容量

| 項目      | 略号             | MIN. | TYP. | MAX. | 単位 |
|---------|----------------|------|------|------|----|
| 入力バッファ  | C <sub>B</sub> | 5.0  | —    | 7.0  | pF |
| 出力バッファ  |                | 5.0  | —    | 7.0  | pF |
| 入出力バッファ |                | 5.0  | —    | 7.0  | pF |

#### 4.7 電源投入／遮断手順

R-IN32M3 シリーズは、内部電源（VDD10 : 1.0V）、I/O 電源（VDD33 : 3.3V）、PHY 電源（VDD15 : 1.5V）で構成されています。（PHY 電源は、R-IN32M3-EC のみ対象です。）

電源投入順序については、特に規定はありませんが、推奨として、電源投入は内部電源を投入した後に I/O 電源を投入してください。逆に電源遮断は、I/O 電源を遮断した後に、内部電源を遮断してください。（図4.1 参照）

I/O 電源を先に投入後、内部電源を投入した場合は、I/O 電源が立ち上がってから内部電源が立ち上がるまでの期間、I/O バッファモードが確定せず、入力モード／出力モード関係なく不定出力となりますので、ご注意ください。なお、入出力端子への 3.3V 電圧の印加は、必ず電源電圧が確定してから行ってください。

電源投入／遮断時間差は、電源投入順序にかかわらず、内部あるいは入出力電源のどちらか先に立ち上がる方の電源の立ち上がり開始時から、両方の電源が安定するポイントまでの時間差が 100ms 以内であることを推奨します。時間を測定する際の電圧は、 $0.1V_{DD}$ - $0.9V_{DD}$  の期間とします

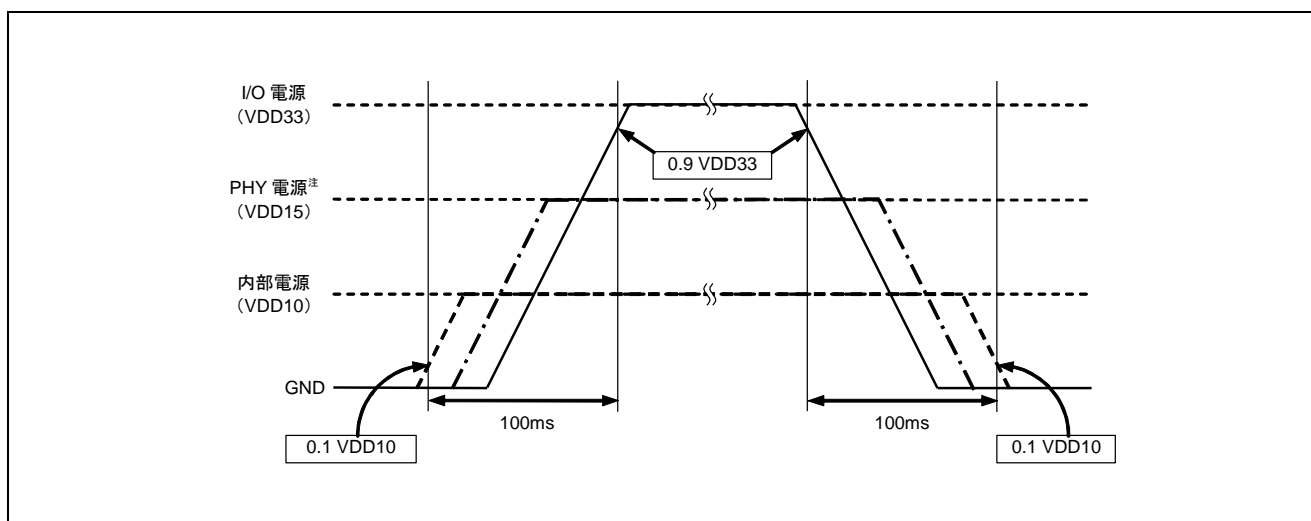


図4.1 電源投入／遮断 推奨順序

注. PHY 電源（VDD15）は、R-IN32M3-EC の内蔵レギュレータ未使用時のみ、上記タイミングを守ってください。



## 4.8 AC 特性

## 4.8.1 クロック端子

## (1) 入力クロック

| 項目                   | 略号       | 条件       | MIN             | MAX  | 単位  |
|----------------------|----------|----------|-----------------|------|-----|
| XT1, XT2             | tSYSCLK  | —        | 25±50ppm        |      | MHz |
| ETH0_TXC, ETH1_TXC 注 | tTXC     | —        | —               | 25   | MHz |
| ETH0_RXC, ETH1_RXC 注 | tRXC     | —        | —               | 125  | MHz |
| CCM_CLK80M           | tCCLCLK  | —        | 80±50ppm        |      | MHz |
| CCI_CLK2_097M 注      | tCCIECLK | —        | 2.097152±100ppm |      | MHz |
| HBUSCLK              | tHBUSCLK | —        | —               | 50   | MHz |
| CSISCK0, CSISCK1     | tCSISSCK | スレーブ・モード | —               | 16.6 | MHz |
| TCK                  | tTCK     | —        | —               | 50   | MHz |

注. R-IN32M3-CL に搭載している端子です。R-IN32M3-EC には本端子はありません。

## (2) 出力クロック

| 項目                    | 略号        | 条件                   | MIN                           | MAX                           | 単位  |
|-----------------------|-----------|----------------------|-------------------------------|-------------------------------|-----|
| BUSCLK 出力周期           | tBUSCLK   | CL = 15pF            | 10                            | —                             | ns  |
| BUSCLK ハイ・レベル幅        | tBCKH     |                      | $0.5 \times t_{BUSCLK} - 2.0$ | $0.5 \times t_{BUSCLK} + 2.0$ | ns  |
| BUSCLK ロー・レベル幅        | tBCKL     |                      | $0.5 \times t_{BUSCLK} - 2.0$ | $0.5 \times t_{BUSCLK} + 2.0$ | ns  |
| BUSCLK 立ち上がり時間        | tBCKR     |                      | —                             | 1.2                           | ns  |
| BUSCLK 立ち下がり時間        | tBCKF     |                      | —                             | 1.2                           | ns  |
| CLKOUT25Mn 注1 出力周期    | tCO25M    | CL = 15pF            | 40                            | —                             | ns  |
| CLKOUT25Mn 注1 ハイ・レベル幅 | tCO25MH   |                      | $0.5 \times t_{BUSCLK} - 5.3$ | $0.5 \times t_{BUSCLK} + 5.3$ | ns  |
| CLKOUT25Mn 注1 ロー・レベル幅 | tCO25ML   |                      | $0.5 \times t_{BUSCLK} - 5.3$ | $0.5 \times t_{BUSCLK} + 5.3$ | ns  |
| CLKOUT25Mn 注1 立ち上がり時間 | tCO25MR   |                      | —                             | 3.4                           | ns  |
| CLKOUT25Mn 注1 立ち下がり時間 | tCO25MF   |                      | —                             | 3.4                           | ns  |
| ETHn_GTXC 注1 出力周波数    | tGTXC     | CL = 13pF            | —                             | 125                           | MHz |
| CSISCKn 出力周波数         | tCSIMSCK  | マスタ・モード<br>CL = 15pF | —                             | 25                            | MHz |
| SCLn 出力周波数            | tSCL      | 高速モード<br>CL = 30pF   | —                             | 400                           | KHz |
| SMSCK 出力周波数           | tSMSCK    | CL = 15pF            | —                             | 50                            | MHz |
| CATI2CCLK 注2 出力周波数    | tECIICCLK | CL = 30pF            | —                             | 148.8                         | KHz |
| TRACECLK 出力周波数        | tTRACECLK | CL = 15pF            | —                             | 50                            | MHz |

注 1. R-IN32M3-CL に搭載している端子です。R-IN32M3-EC には本端子はありません。

2. R-IN32M3-EC に搭載している端子です。R-IN32M3-CL には本端子はありません。

備考. n = 0, 1

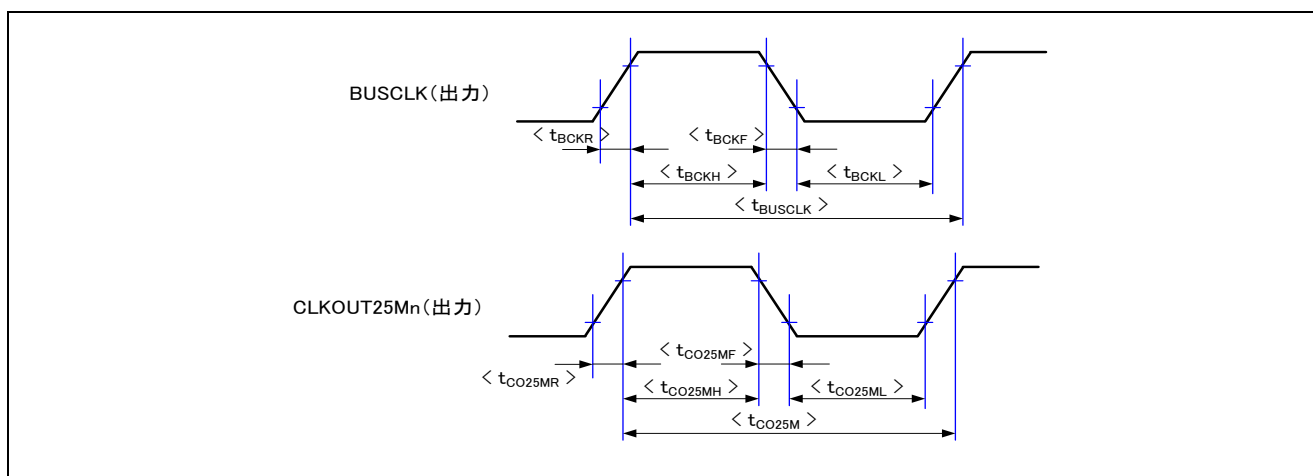


図4.2 出カクロック・タイミング

備考 1. その他のクロックは、各インターフェースの AC 特性を参照してください。

2.  $n = 0, 1$

## 4.8.2 リセット端子

| 項目                                   | 略号          | 条件 | MIN                                   | MAX | 単位 |
|--------------------------------------|-------------|----|---------------------------------------|-----|----|
| RESETZ 端子入力ロー・レベル幅                   | $t_{WRSL}$  | —  | (外部発振回路の発振安定時間+1 $\mu$ sec)を確保してください。 | —   | ns |
| HOTRESETZ <sup>注</sup> 端子入力ロー・レベル幅   | $t_{WHRSL}$ | —  |                                       | —   | ns |
| PONRZ 端子入力ロー・レベル幅                    | $t_{WPRSL}$ | —  |                                       | —   | ns |
| PONRZ 入力タイミング (対 RESETZ $\uparrow$ ) | $t_{SKPR}$  | —  | 0                                     | —   | ns |

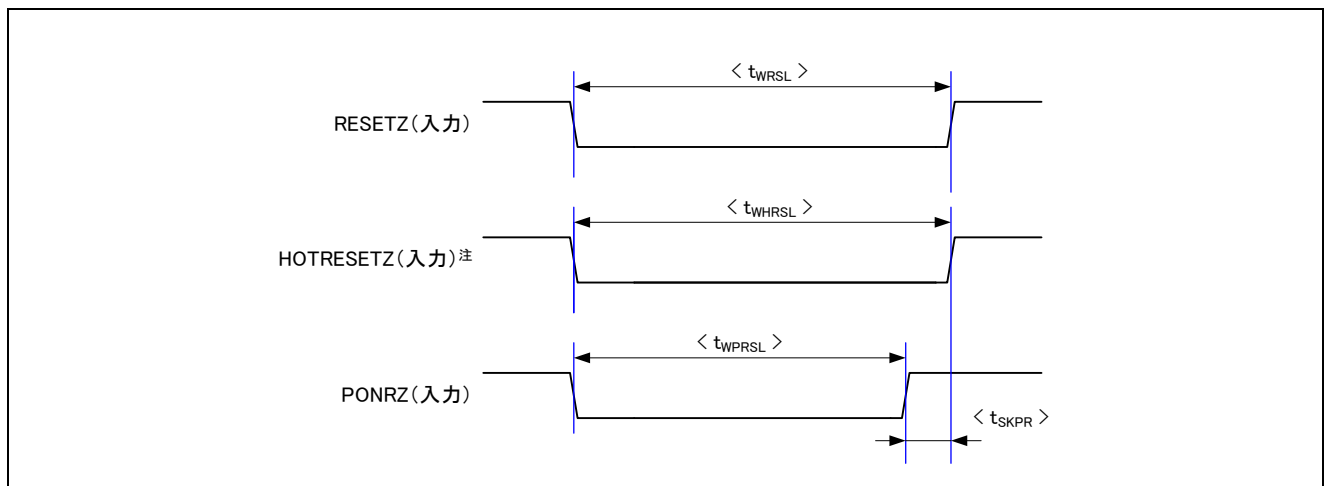


図4.3 リセット・タイミング

注. R-IN32M3-CL に搭載している端子です。R-IN32M3-EC には本端子はありません。

## 4.8.3 外部メモリ・インタフェース端子

## (1) 外部負荷による遅延値計算方法

R-IN32M3 の外部メモリ・インタフェース端子は、負荷条件がユーザにおいて異なることを考慮し、負荷 0pF の値を記載しています。ユーザの負荷条件に応じて、タイミングを算出してください。また、基板上的配線遅延もユーザにて考慮いただく必要があります。

| ドライブ能力 | 1pF あたりの遅延値 (ns) |       |
|--------|------------------|-------|
|        | MIN.             | MAX.  |
| 6mA    | 0.026            | 0.067 |
| 12mA   | 0.012            | 0.034 |

計算例)

アドレス端子 (6mA 出力バッファ) に、30pF の負荷がある場合、実際の遅延情報は以下のようになります。

$$\text{MIN. } 1.0\text{ns (0pF 時の MIN 遅延値)} + (0.026 \times 30) \text{ ns} = 1.78\text{ns}$$

$$\text{MAX. } 7.0\text{ns (0pF 時の MAX 遅延値)} + (0.067 \times 30) \text{ ns} = 9.01\text{ns}$$

## (2) 非同同期式 SRAM MEMC アクセス・タイミング

| 項目   | 略号                 | MIN             | MAX             | 単位 |
|--|--------------------|-----------------|-----------------|----|
| アドレス、CSZ0-CSZ3 出力遅延時間 (対 BUSCLK↑)                    | t <sub>DKA</sub>   | 1.0<br>(1.78) 注 | 7.0<br>(9.01) 注 | ns |
| RDZ 出力遅延時間 (対 BUSCLK↑)                               | t <sub>DKRD</sub>  | 1.0<br>(1.78) 注 | 7.0<br>(9.01) 注 | ns |
| WRZ0-WRZ3 (BENZ0-BENZ3)、WRSTBZ<br>出力遅延時間 (対 BUSCLK↑) | t <sub>DKWR</sub>  | 1.0<br>(1.78) 注 | 7.0<br>(9.01) 注 | ns |
| BCYSTZ 出力遅延時間 (対 BUSCLK↑)                            | t <sub>DKBSL</sub> | 1.0<br>(1.78) 注 | 7.0<br>(9.01) 注 | ns |
| WAITZ 入力設定時間 (対 BUSCLK↓)                             | t <sub>SKW</sub>   | 4.0             | —               | ns |
| WAITZ 入力保持時間 (対 BUSCLK↓)                             | t <sub>HKW</sub>   | 0               | —               | ns |
| データ入力設定時間 (対 BUSCLK↑)                                | t <sub>SKID</sub>  | 4.0             | —               | ns |
| データ入力保持時間 (対 BUSCLK↑)                                | t <sub>HKID</sub>  | 0               | —               | ns |
| データ出力遅延時間 (対 BUSCLK↑)                                | t <sub>DKOD</sub>  | 1.0<br>(1.78) 注 | 7.0<br>(9.01) 注 | ns |
| データ・フロート遅延時間 (対 BUSCLK↑)                             | t <sub>HKOD</sub>  | 1.0<br>(1.78) 注 | 7.0<br>(9.01) 注 | ns |

注. カッコ内は、30pF 負荷の場合の計算結果です。

## (a) リード・タイミング

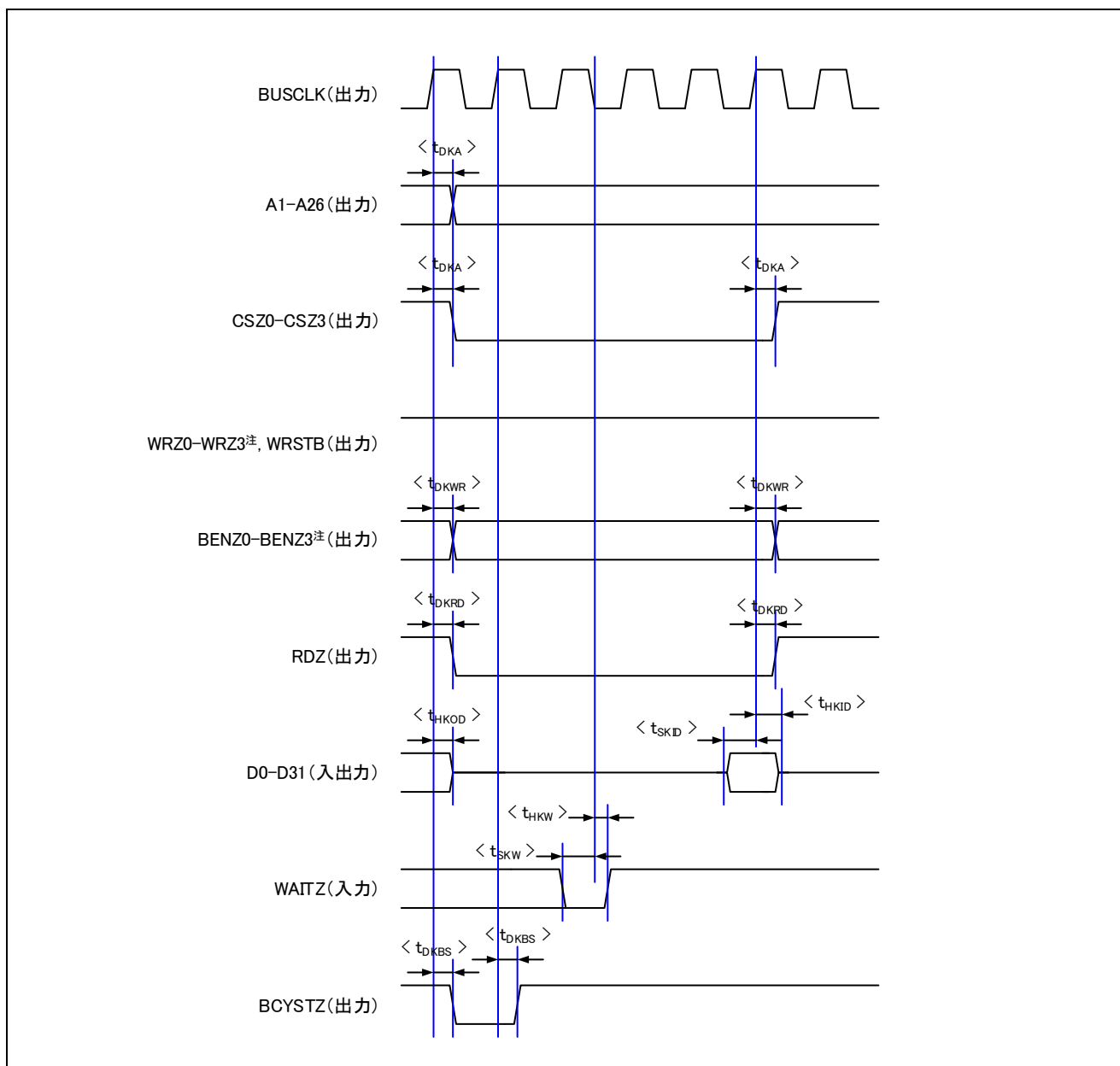


図4.4 メモリ・コントローラ・リード・タイミング（非同期メモリ）

注. WRZ0-WRZ3 と BENZ0-BENZ3 は兼用されています。端子名称は WRZ0-WRZ3 です。  
 リセット時は、WRZ0-WRZ3 が選択されています。ライト・イネーブル切り替えレジスタ（WREN）  
 で切り替えられます。  
 レジスタの詳細は、「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編 9.3.5 ライト・  
 イネーブル切り替えレジスタ（WREN）」を参照して下さい。

備考. SMCn レジスタによるアイドル・ウェイト数/ライト・リカバリ・ウェイト数/アドレス設定ウェイト数  
 が0、データ・ウェイト数が3の場合のタイミングです。

## (b) ライト・タイミング

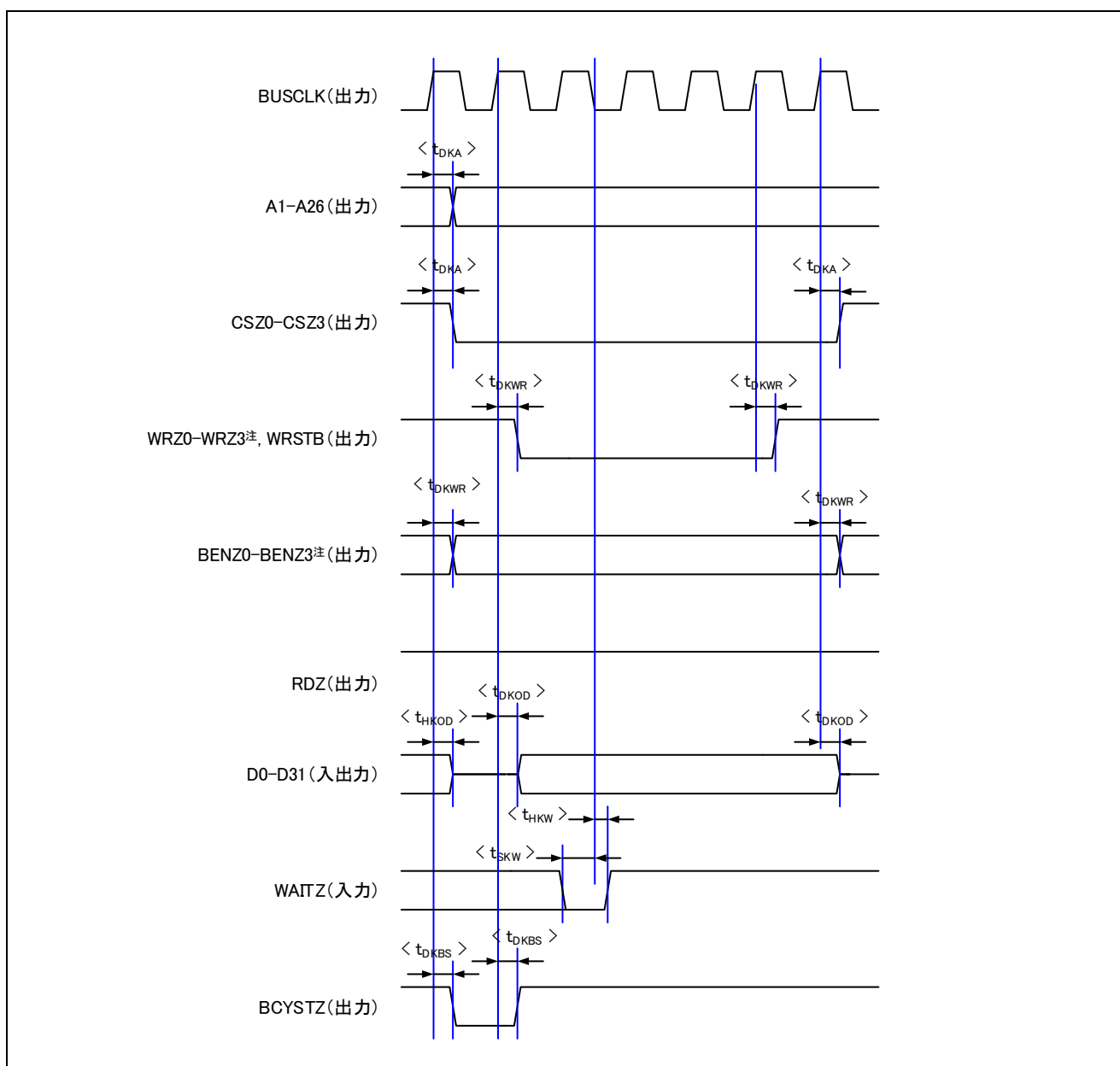


図4.5 メモリ・コントローラ・ライト・タイミング (非同期メモリ)

**注.** WRZ0-WRZ3 と BENZ0-BENZ3 は兼用されています。端子名称は WRZ0-WRZ3 です。  
 リセット時は、WRZ0-WRZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。  
 レジスタの詳細は、「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編 9.3.5 ライト・イネーブル切り替えレジスタ (WREN)」を参照して下さい。

**備考.** SMCn レジスタによるアイドル・ウェイト数/ライト・リカバリ・ウェイト数/アドレス設定ウェイト数が0、データ・ウェイト数が3の場合のタイミングです。

## (3) 同期式バースト・アクセス MEMC アクセス・タイミング

| 項目                                       | 略号                  | MIN             | MAX             | 単位  |
|--|---------------------|-----------------|-----------------|-----|
| BUSCLK 出力周波数                             | t <sub>BUSCLK</sub> | —               | 50              | MHz |
| アドレス、CSZ0-CSZ3 出力遅延時間                    | t <sub>DKA</sub>    | 1.0<br>(1.78) 注 | 7.8<br>(9.81) 注 | ns  |
| RDZ 出力遅延時間                               | t <sub>DKRD</sub>   | 1.0<br>(1.78) 注 | 7.8<br>(9.81) 注 | ns  |
| WRZ0-WRZ3 (BENZ0-BENZ3)、WRSTBZ<br>出力遅延時間 | t <sub>DKWR</sub>   | 1.0<br>(1.78) 注 | 7.8<br>(9.81) 注 | ns  |
| ADVZ 出力遅延時間                              | t <sub>DKBSL</sub>  | 1.0<br>(1.78) 注 | 7.8<br>(9.81) 注 | ns  |
| WAITZ 入力設定時間                             | t <sub>SKW</sub>    | 5.3             | —               | ns  |
| WAITZ 入力保持時間                             | t <sub>HKW</sub>    | 0               | —               | ns  |
| データ入力設定時間                                | t <sub>SKID</sub>   | 5.3             | —               | ns  |
| データ入力保持時間                                | t <sub>HKID</sub>   | 0               | —               | ns  |
| データ出力遅延時間                                | t <sub>DKOD</sub>   | 1.0<br>(1.78) 注 | 7.8<br>(9.81) 注 | ns  |
| データ・フロート遅延時間                             | t <sub>HKOD</sub>   | 1.0<br>(1.78) 注 | 7.8<br>(9.81) 注 | ns  |

注. カッコ内は、30pF 負荷の場合の計算結果です。

(a) リード・タイミング

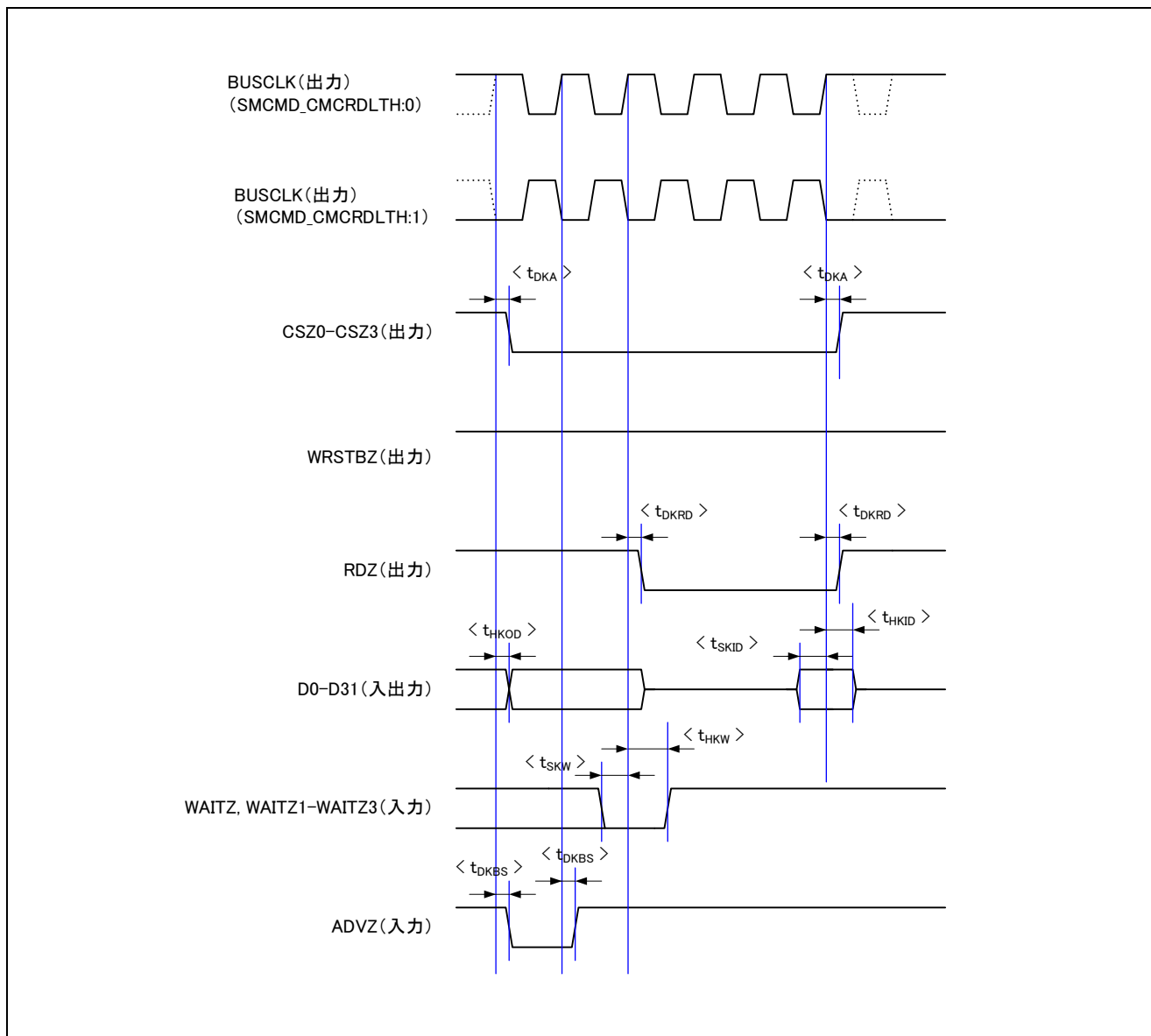


図4.6 メモリ・コントローラ・リード・タイミング (クロック同期式メモリ)

備考.  $t_{ceoe}$  が 2、 $t_{rc}$  が 4 の場合のタイミングです。



(b) ライト・タイミング

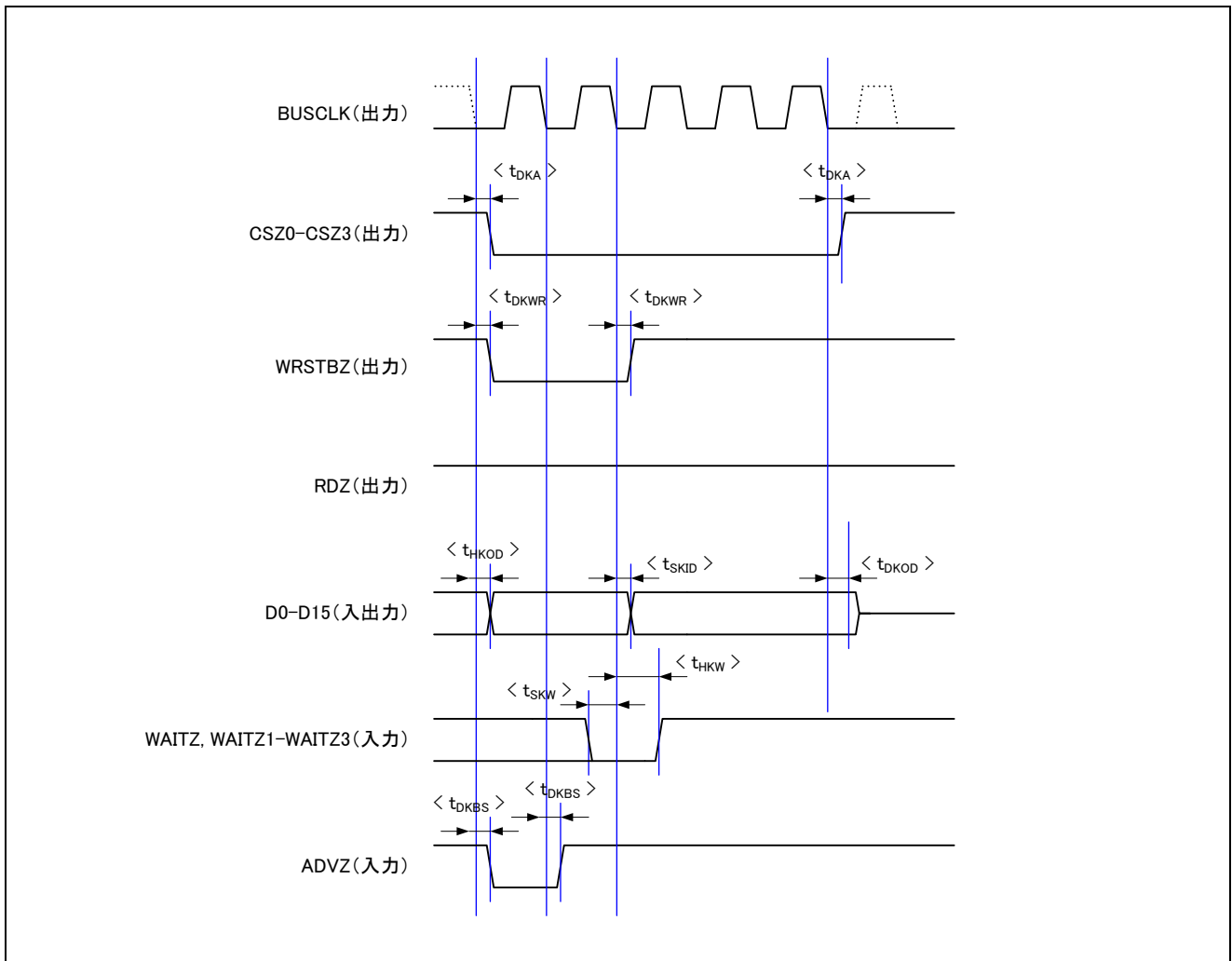


図4.7 メモリ・コントローラ・ライト・タイミング (クロック同期式メモリ)

備考  $t_{wp}$  が 2、 $t_{wc}$  が 5 の場合のタイミングです。

## 4.8.4 外部マイコン・インタフェース端子

外部マイコン・インタフェース端子の負荷条件は、65pF (HD 端子)、35pF (HWAITZ 端子) です。

## (1) 同期モード

| 番号 | 項目  | 略号            | MIN                  | MAX                  | 単位 |
|----|---|---------------|----------------------|----------------------|----|
| 1  | HBUSCLK ハイ・レベル幅   | $t_{HBHIGH}$  | $0.5t_{HBUSCLK}-2.1$ | $0.5t_{HBUSCLK}+2.1$ | ns |
| 2  | HBUSCLK ロー・レベル幅   | $t_{HBLow}$   | $0.5t_{HBUSCLK}-2.1$ | $0.5t_{HBUSCLK}+2.1$ | ns |
| 3  | HBUSCLK 入力周期  | $t_{HBUSCLK}$ | 20                   | —                    | ns |
| 4  | アドレス、HCSZ, HPGCSZ 入力設定時間 (対 HBUSCLK ↑)                        | $t_{SKHA}$    | 4.0                  | —                    | ns |
| 5  | HBENZ0-HBENZ3 (HWRZ0-HWRZ3) ,<br>HWRSTBZ 入力設定時間 (対 HBUSCLK ↑) | $t_{SKHWR}$   | 4.0                  | —                    | ns |
| 6  | アドレス、HCSZ, HPGCSZ 入力保持時間 (対 HBUSCLK ↑)                        | $t_{HKHA}$    | 1.0                  | —                    | ns |
| 7  | HBENZ0-HBENZ3 (HWRZ0-HWRZ3) ,<br>HWRSTBZ 入力保持時間 (対 HBUSCLK ↑) | $t_{HKHWR}$   | 1.0                  | —                    | ns |
| 8  | HWRZ0-HWRZ3, HWRSTBZ リカバリ時間 (ハイ幅)                             | $t_{WHWR}$    | 35.0                 | —                    | ns |
| 9  | データ入力設定時間 (対 HBUSCLK ↑)                                       | $t_{SKIHD}$   | 4.0                  | —                    | ns |
| 10 | データ入力保持時間 (対 HBUSCLK ↑)                                       | $t_{HKIHD}$   | 1.0                  | —                    | ns |
| 11 | HWAITZ 出力遅延時間 (対 HCSZ, HPGCSZ ↓)                              | $t_{DKHD}$    | 2.0                  | —                    | ns |
| 12 | HWAITZ 出力遅延時間 (対 HWRSTBZ, HWRZ0- HWRZ3 ↓)                     | $t_{DKHWT}$   | 2.0                  | —                    | ns |
| 13 | HWAITZ 有効データ出力遅延時間 (対 HBUSCLK ↑)                              | $t_{DKHWTV}$  | 2.0                  | 10.0                 | ns |
| 14 | HWAITZ 有効データ保持期間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↑)                   | $t_{HKHWTV}$  | 3.0                  | —                    | ns |
| 15 | HWAITZ 出力保持期間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↑)                      | $t_{HKWTVR}$  | —                    | 13.6                 | ns |
| 16 | データ、HWAITZ の出力保持時間 (対 HCSZ, HPGCSZ ↑)                         | $t_{HKWTVCS}$ | —                    | 13.6                 | ns |
| 17 | アドレス、HCSZ, HPGCSZ 入力設定時間 (対 HRDZ ↓)                           | $t_{SKHAHR}$  | 4.3                  | —                    | ns |
| 18 | ページ・アクセス時のアドレス入力保持時間 (対 HRDZ ↑)                               | $t_{HKHAHR}$  | 4.3                  | —                    | ns |
| 19 | HRDZ リカバリ時間 (ハイ幅)   | $t_{WHRD}$    | 35.0                 | —                    | ns |
| 20 | データ、HWAITZ 出力遅延時間 (対 HRDZ ↓)                                  | $t_{DKHDHR}$  | 2.0                  | —                    | ns |
| 21 | HWAITZ 有効データ出力遅延時間 (対 HRDZ ↓)                                 | $t_{DKWTVHR}$ | —                    | 16.4                 | ns |
| 22 | データ確定時間 (対 HWAITZ ↑)  | $t_{SKHDHWT}$ | $t_{HBUSCLK}-10$     | —                    | ns |
| 23 | データ、HWAITZ 有効データ出力保持時間 (対 HRDZ ↑)                             | $t_{HKHWTHR}$ | 3.0                  | —                    | ns |
| 24 | データ、HWAITZ 出力保持時間 (対 HRDZ ↑)                                  | $t_{HKOHD}$   | —                    | 13.6                 | ns |
| 25 | オンページ・アクセス時のデータ、HWAITZ 出力遅延時間<br>(対アドレス)                      | $t_{DKPON}$   | 3.0                  | 16.4                 | ns |
| 26 | オフページ・アクセス時のデータ、HWAITZ 出力遅延時間<br>(対アドレス)                      | $t_{DKPOFF}$  | 3.0                  | 16.4                 | ns |
| 27 | HWAITZ 有効データ出力遅延時間<br>(対 HCSZ, HPGCSZ ↓)                      | $t_{DKWTVCS}$ | —                    | 16.4                 | ns |
| 28 | HRDZ 入力設定時間 (対 HBUSCLK ↑)                                     | $t_{SKHRD}$   | 4.0                  | —                    | ns |
| 29 | HRDZ 入力保持時間 (対 HBUSCLK ↑)                                     | $t_{HKHRD}$   | 1.0                  | —                    | ns |

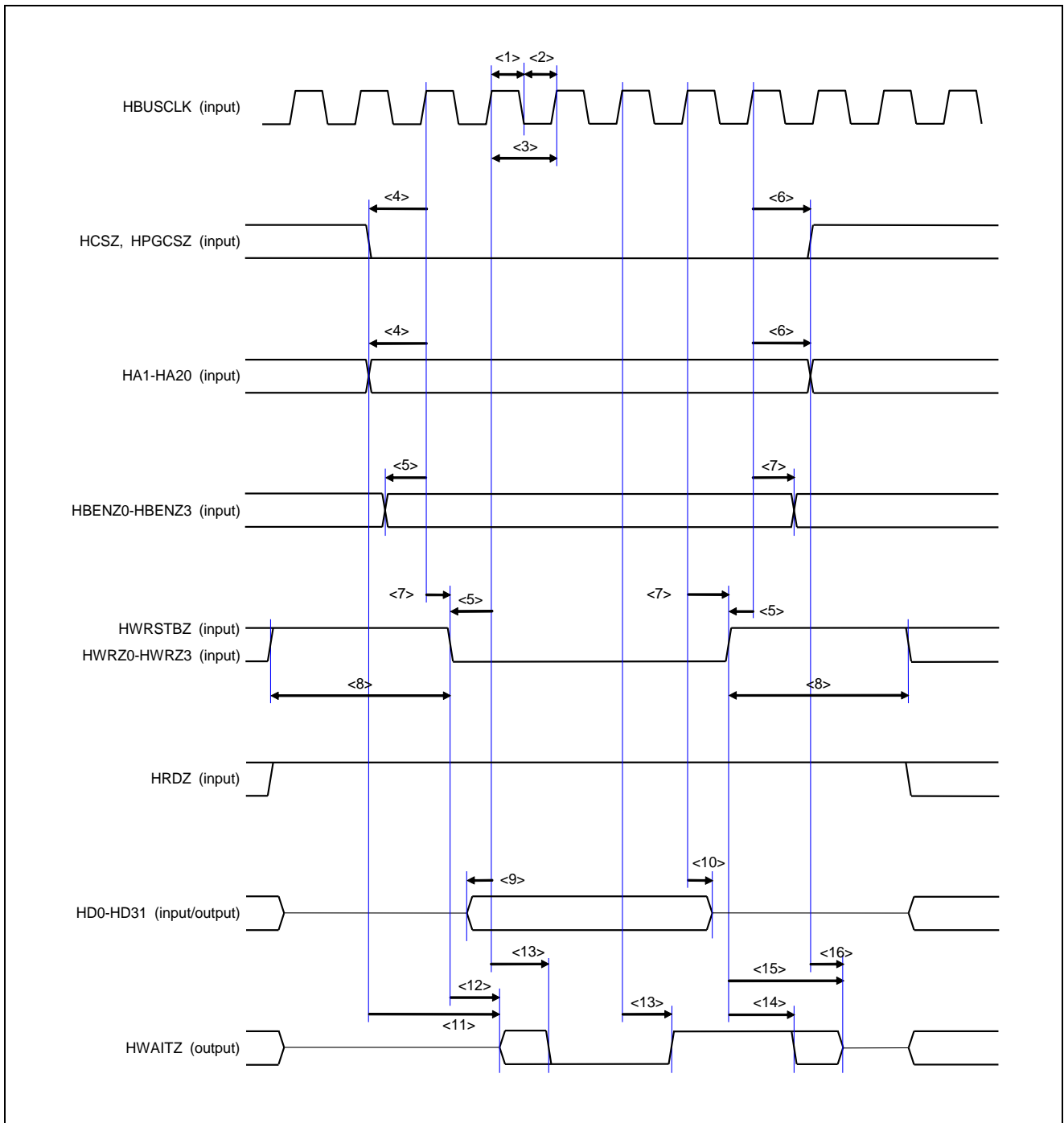


図4.8 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=L, HIFSYNC=H)

**注意.** アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

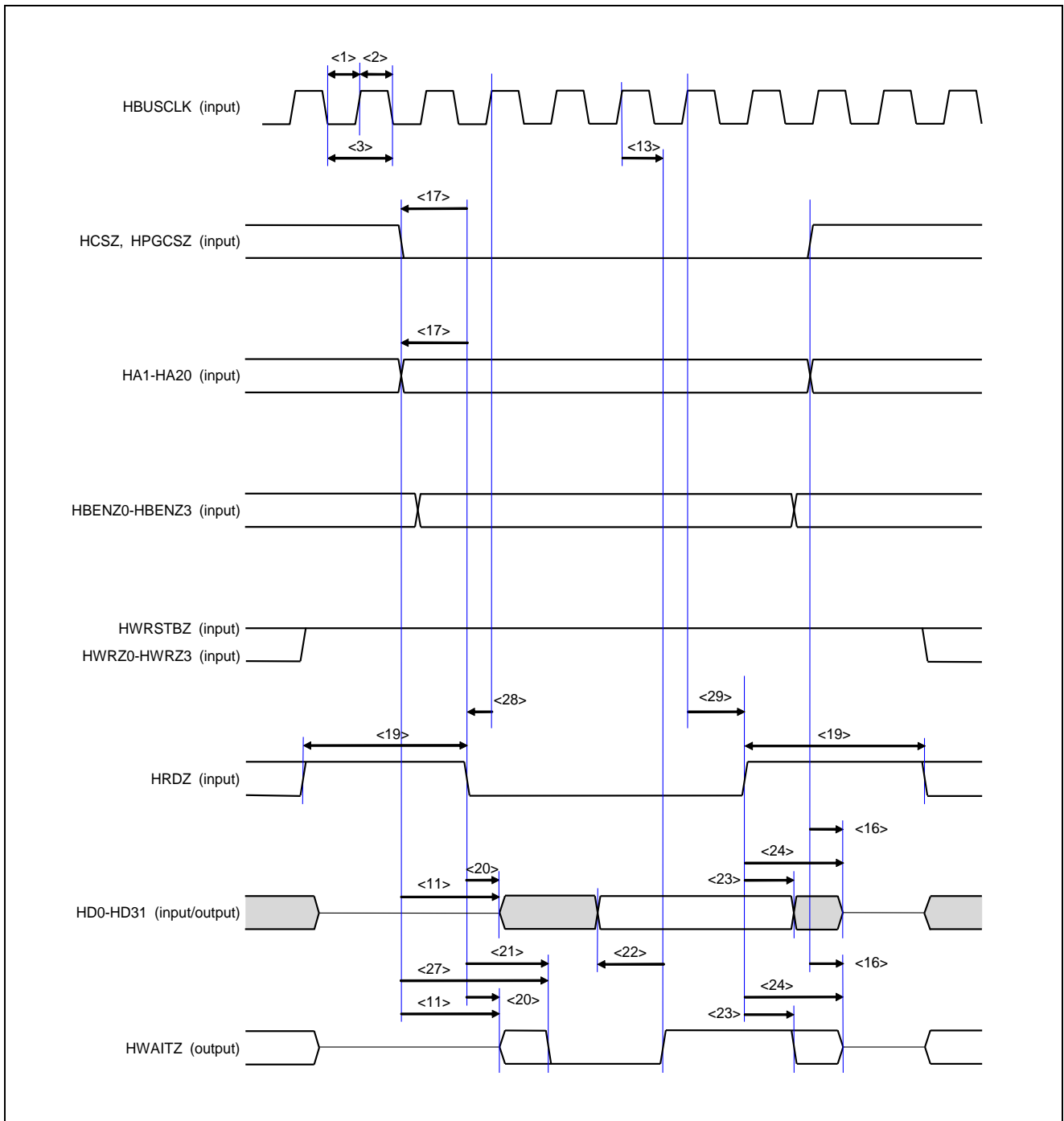


図4.9 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=L, HIFSYNC=H)

**注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。**

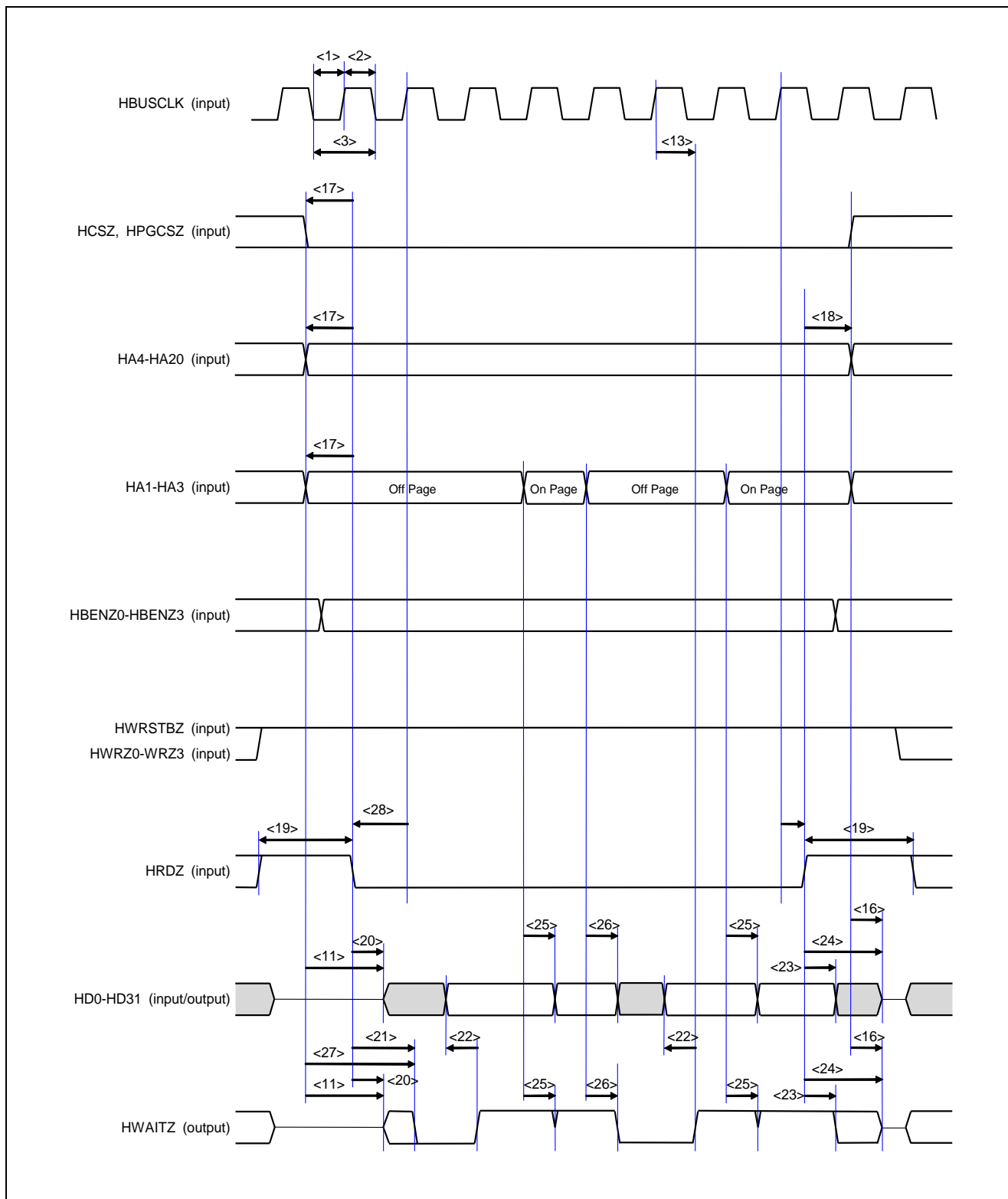


図4.10 外部マイコン・インタフェース・ページ・リード・タイミング (MEMCSEL=L, HIFSYNC=H)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

## (2) 同期モード (CC-Link IE Field)

| 番号 | 項目   | 略号            | MIN                    | MAX   | 単位 |
|----|--|---------------|------------------------|---|----|
| 1  | HBUSCLK ハイ・レベル幅  | $t_{HBHIGH}$  | $0.5t_{HBUSCLK}-2.1$   | $0.5t_{HBUSCLK}+2.1$                        | ns |
| 2  | HBUSCLK ロー・レベル幅  | $t_{HBLow}$   | $0.5t_{HBUSCLK}-2.1$   | $0.5t_{HBUSCLK}+2.1$                        | ns |
| 3  | HBUSCLK 入力周期   | $t_{HBUSCLK}$ | 20                     | —   | ns |
| 4  | アドレス、HCSZ, HPGCSZ, 入力設定時間 (対 HBUSCLK ↓)  | $t_{SKHCS}$   | 5.0                    | —   | ns |
| 5  | HBENZ0-HBENZ3 (HWRZ0-HWRZ3),<br>HWRSTBZ 入力設定時間 (対 HBUSCLK ↓)                                   | $t_{SKHWR}$   | 5.0                    | —   | ns |
| 6  | アドレス、HCSZ, HPGCSZ, HBENZ0-HBENZ3, データ<br>入力保持時間 (対 HRDZ, HWRSTBZ, HWRZ0-HWRZ3 ↑)               | $t_{HKHA}$    | 0                      | —   | ns |
| 7  | HWRZ0-HWRZ3, HWRSTBZ リカバリ時間 (ハイ幅)  | $t_{WHWR}$    | $t_{HBUSCLK} \times 1$ | —   | ns |
| 8  | データ入力設定時間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↓)   | $t_{SKIHd}$   | 0                      | —   | ns |
| 9  | HWAITZ 出力遅延時間 (対 HCSZ, HPGCSZ ↓)   | $t_{DKHD}$    | 2.0                    | —   | ns |
| 10 | HWAITZ 出力遅延時間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↓)   | $t_{DKHWT}$   | 2.0                    | —   | ns |
| 11 | HWAITZ 有効データ出力遅延時間 (対 HBUSCLK ↑)<br>HWAITZ 出力は HBUSCLK ↑ 同期モード                                 | $t_{DKHWTv}$  | 3.0                    | 11.0  | ns |
|    | HWAITZ 有効データ出力遅延時間 (対 HBUSCLK ↓)<br>HWAITZ 出力は HBUSCLK ↓ 同期モード                                 | $t_{DKHWTv}$  | 3.0                    | 11.0  | ns |
| 12 | HWAITZ 有効データ保持期間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↑)  | $t_{HKHWTv}$  | 3.0                    | —   | ns |
| 13 | HWAITZ 出力保持期間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↑)   | $t_{HKWtwr}$  | —                      | 13.6  | ns |
| 14 | データ、HWAITZ の出力保持時間 (対 HCSZ, HPGCSZ ↑)  | $t_{HKWtcs}$  | —                      | 13.6  | ns |
| 15 | HRDZ リカバリ時間 (ハイ幅)  | $t_{WHRd}$    | $t_{HBUSCLK} \times 1$ | —   | ns |
| 16 | データ、HWAITZ 出力遅延時間 (対 HRDZ ↓)   | $t_{DKHDHR}$  | 2.0                    | —   | ns |
| 17 | HWAITZ 有効データ出力遅延時間 (対 HRDZ, HWRSTBZ,<br>HWRZ0 - HWRZ3 のラッチタイミング)<br>HWAITZ 出力は HBUSCLK ↑ 同期モード | $t_{DKWTVHR}$ | —                      | $t_{HBUSCLK}/2$<br>+ 11.0                   | ns |
|    | HWAITZ 有効データ出力遅延時間 (対 HRDZ, HWRSTBZ,<br>HWRZ0 - HWRZ3 のラッチタイミング)<br>HWAITZ 出力は HBUSCLK ↓ 同期モード | $t_{DKWTVHR}$ | —                      | $t_{HBUSCLK}$<br>+ 11.0                     | ns |
| 18 | データ確定時間 (対 HWAITZ ↑)<br>HWAITZ 出力は HBUSCLK ↑ 同期モード   | $t_{SKHDHWT}$ | —                      | 10 <sup>注</sup><br>- $t_{HBUSCLK} \times n$ | ns |
|    | データ確定時間 (対 HWAITZ ↓)<br>HWAITZ 出力は HBUSCLK ↓ 同期モード   | $t_{SKHDHWT}$ | —                      | 0 <sup>注</sup><br>- $t_{HBUSCLK} \times n$  | ns |
| 19 | データ、HWAITZ 有効データ出力保持時間 (対 HRDZ ↑)  | $t_{HKHWthR}$ | 3.0                    | —   | ns |
| 20 | データ、HWAITZ 出力保持時間 (対 HRDZ ↑)   | $t_{HKOHd}$   | —                      | 13.6  | ns |
| 21 | HRDZ 入力設定時間 (対 HBUSCLK ↓)  | $t_{SKHRd}$   | 5.0                    | —   | ns |

備考. CIEWAITDLY レジスタに 100B 以外を設定した場合は、  
“HWAITZ 出力の HBUSCLK ↑ 同期モード” の値を参照してください。

注. CIEWAITDLY レジスタの値が 100B の場合です。n: 000<sub>B</sub> = 4, 001<sub>B</sub> = 3, 010<sub>B</sub> = 2, 011<sub>B</sub> = 1

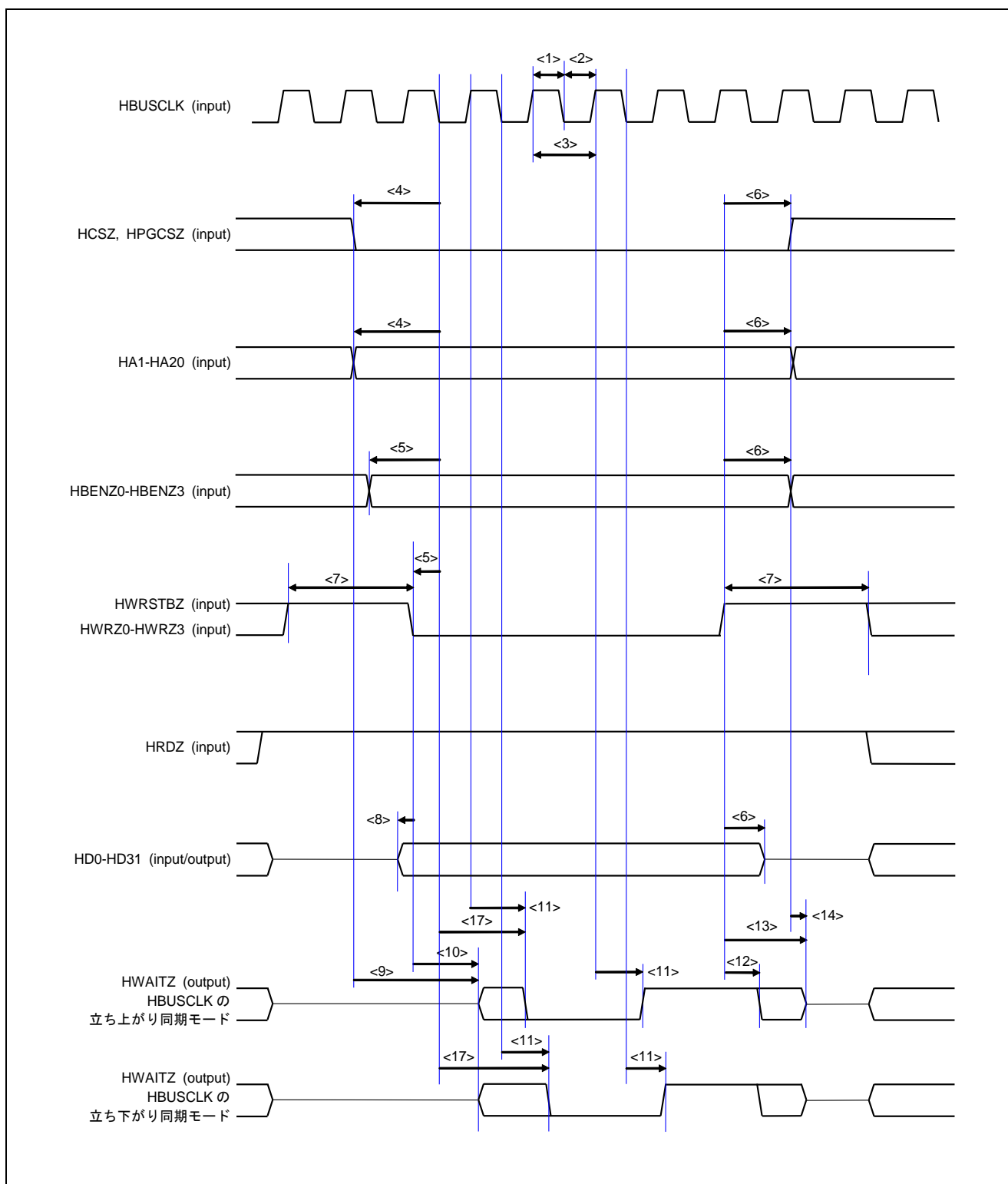


図4.11 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=L, HIFSYNC=H)

**注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。**

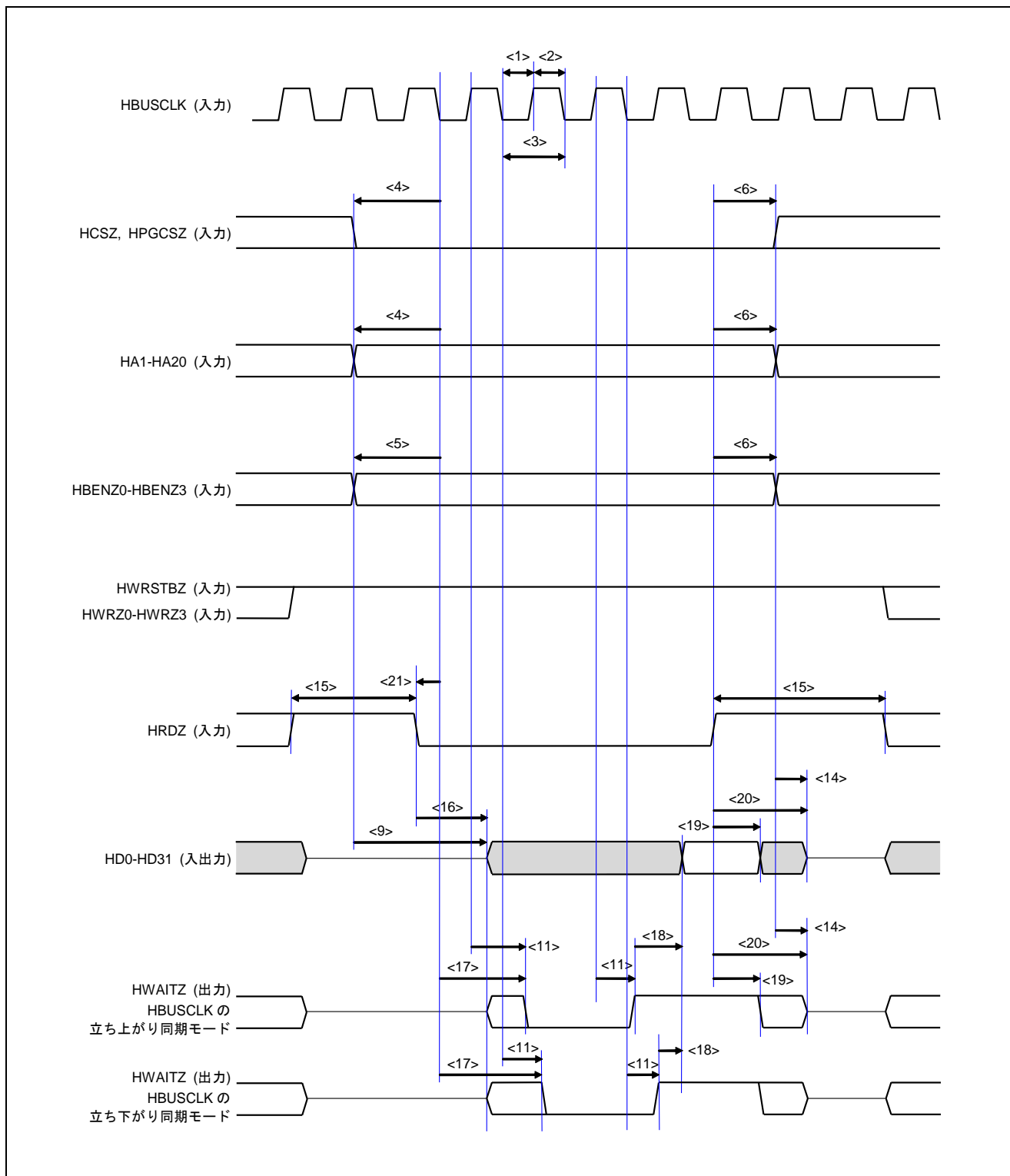


図4.12 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=L, HIFSYNC=H)

**注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。**



## (3) 非同期モード

| 番号 | 項目  | 略号            | MIN                           | MAX                           | 単位 |
|----|---|---------------|-------------------------------|-------------------------------|----|
| 1  | アドレス、HCSZ/HPGCSZ、HBENZ0-HBENZ3<br>入力設定時間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↓) | $t_{ADDWRS}$  | 4.8 <sup>注1</sup><br>- 10 × n | —                             | ns |
| 2  | HWRZ0-HWRZ3, HWRSTBZ リカバリ時間 (ハイ幅)                                   | $t_{WRW}$     | 35.0                          | —                             | ns |
| 3  | データ入力設定時間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↓)                                | $t_{WRS}$     | 4.8 <sup>注1</sup><br>- 10 × n | —                             | ns |
| 4  | データ入力保持時間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↑)                                | $t_{WRH}$     | 4.8                           | —                             | ns |
| 5  | HWAITZ 出力遅延時間 (対 HCSZ or HPGCSZ ↓)                                  | $t_{CLZ}$     | 2.0                           | —                             | ns |
| 6  | HWAITZ 出力遅延時間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↓)                            | $t_{WAITD}$   | 2.0                           | —                             | ns |
| 7  | HWAITZ 有効データ出力遅延時間<br>(対 HWRSTBZ, HWRZ0-HWRZ3 ↓)                    | $t_{RWAITF}$  | —                             | 16.4                          | ns |
| 8  | HWAITZ 有効データ出力保持時間<br>(対 HWRSTBZ, HWRZ0-HWRZ3 ↑)                    | $t_{WAITVH}$  | 3.0                           | —                             | ns |
| 9  | HWAITZ 出力保持時間 (対 HWRZ0-3, HWRSTBZ ↑)                                | $t_{WAITH}$   | —                             | 13.6                          | ns |
| 10 | データ、HWAITZ 出力保持時間<br>(対 HCSZ、HPGCSZ ↑)                              | $t_{CHZ}$     | —                             | 13.6                          | ns |
| 11 | アドレス、HCSZ、HPGCSZ 入力設定時間 (対 HRDZ ↓)                                  | $t_{ADDRDS}$  | 4.3 <sup>注2</sup><br>- 10 × n | —                             | ns |
| 12 | ページ・アクセス時のアドレス入力保持時間 (対 HRDZ ↑)                                     | $t_{ADDRDH}$  | 4.3                           | —                             | ns |
| 13 | HRDZ リカバリ時間 (ハイ幅)   | $t_{RDW}$     | 35.0                          | —                             | ns |
| 14 | データ、HWAITZ 出力遅延時間 (対 HRDZ ↓)  | $t_{RDLZ}$    | 2.0                           | —                             | ns |
| 15 | HWAITZ 有効データ出力遅延時間 (対 HRDZ ↓)                                       | $t_{RDWAITF}$ | —                             | 16.4                          | ns |
| 16 | データ確定時間 (対 HWAITZ ↑)  | $t_{WAITR}$   | —                             | -7.5 <sup>注3</sup><br>+10 × n | ns |
| 17 | データ、HWAITZ 有効データ出力保持時間 (対 HRDZ ↑)                                   | $t_{DATAOH}$  | 3.0                           | —                             | ns |
| 18 | データ、HWAITZ 出力保持時間 (対 HRDZ ↑)  | $t_{RDHZ}$    | —                             | 13.6                          | ns |
| 19 | オンページ・アクセス時のデータ、HWAITZ 出力遅延時間<br>(対アドレス)                            | $t_{PAGEOND}$ | 3.0                           | 16.4                          | ns |
| 20 | オフページ・アクセス時のデータ、HWAITZ 出力遅延時間<br>(対アドレス)                            | $t_{PAGEOFD}$ | 3.0                           | 16.4                          | ns |
| 21 | HWAITZ 有効データ出力遅延時間<br>(対 HCSZ, HPGCSZ ↓)                            | $t_{WAITVD}$  | —                             | 16.4                          | ns |
| 22 | 先読み機能有効時のアドレス入力保持時間 (対 HRDZ ↑)                                      | $t_{ADDRDHP}$ | 4.3                           | —                             | ns |

注 1. HIFBTC レジスタの WRSTD2-WRSTD0 の値が 000B の場合です。

n : WRSTD2-WRSTD0 の設定値

2. HIFBTC レジスタの RDSTD1-RDSTD0 の値が 00B の場合です。

n : RDSTD1-RDSTD0 の設定値

3. HIFBTC レジスタの RDDTS1-RDDTS0 の値が 00B の場合です。

n : RDDTS1-RDDTS0 の設定値

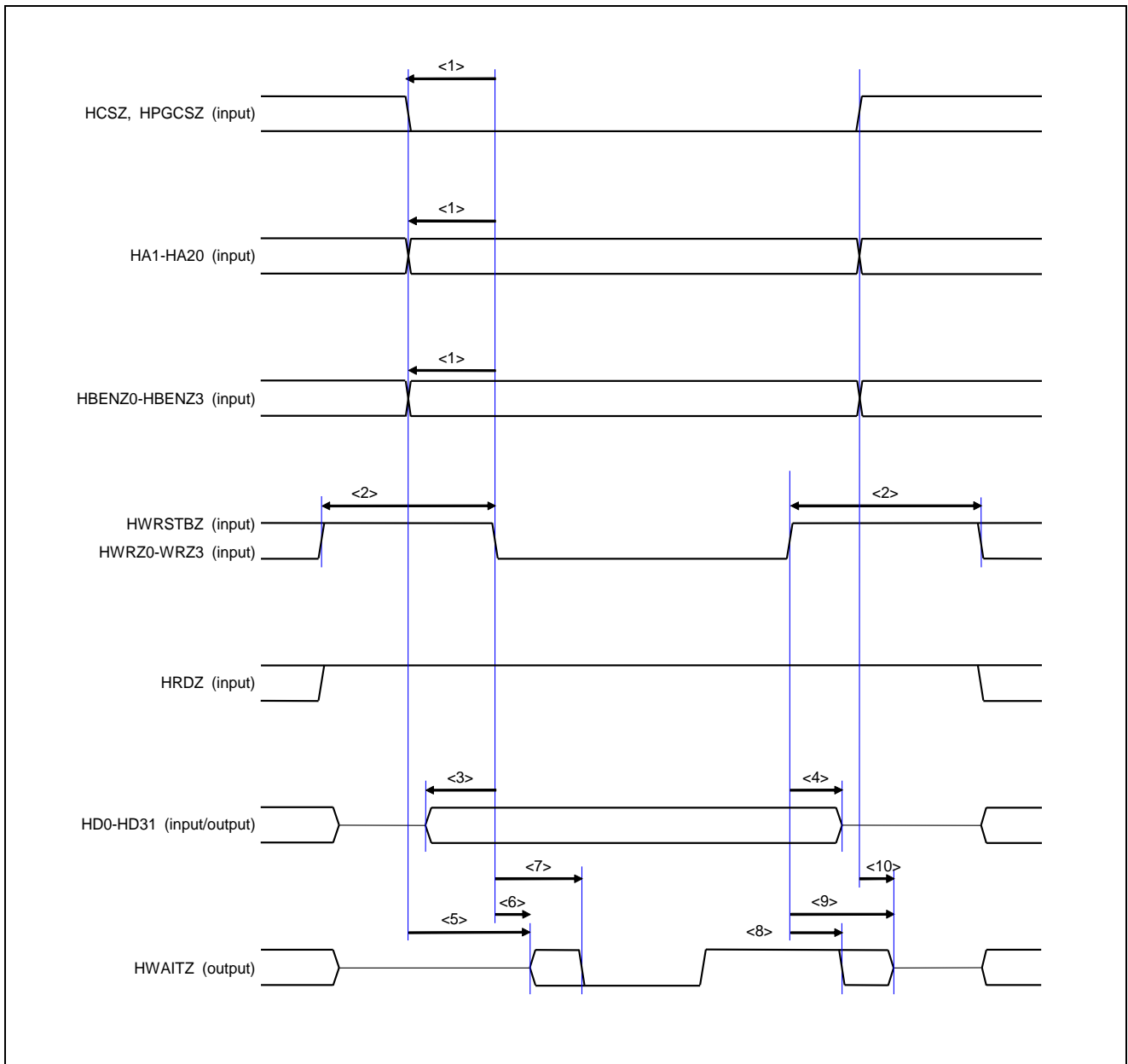


図4.13 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=L, HIFSYNC=L)

**注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。**

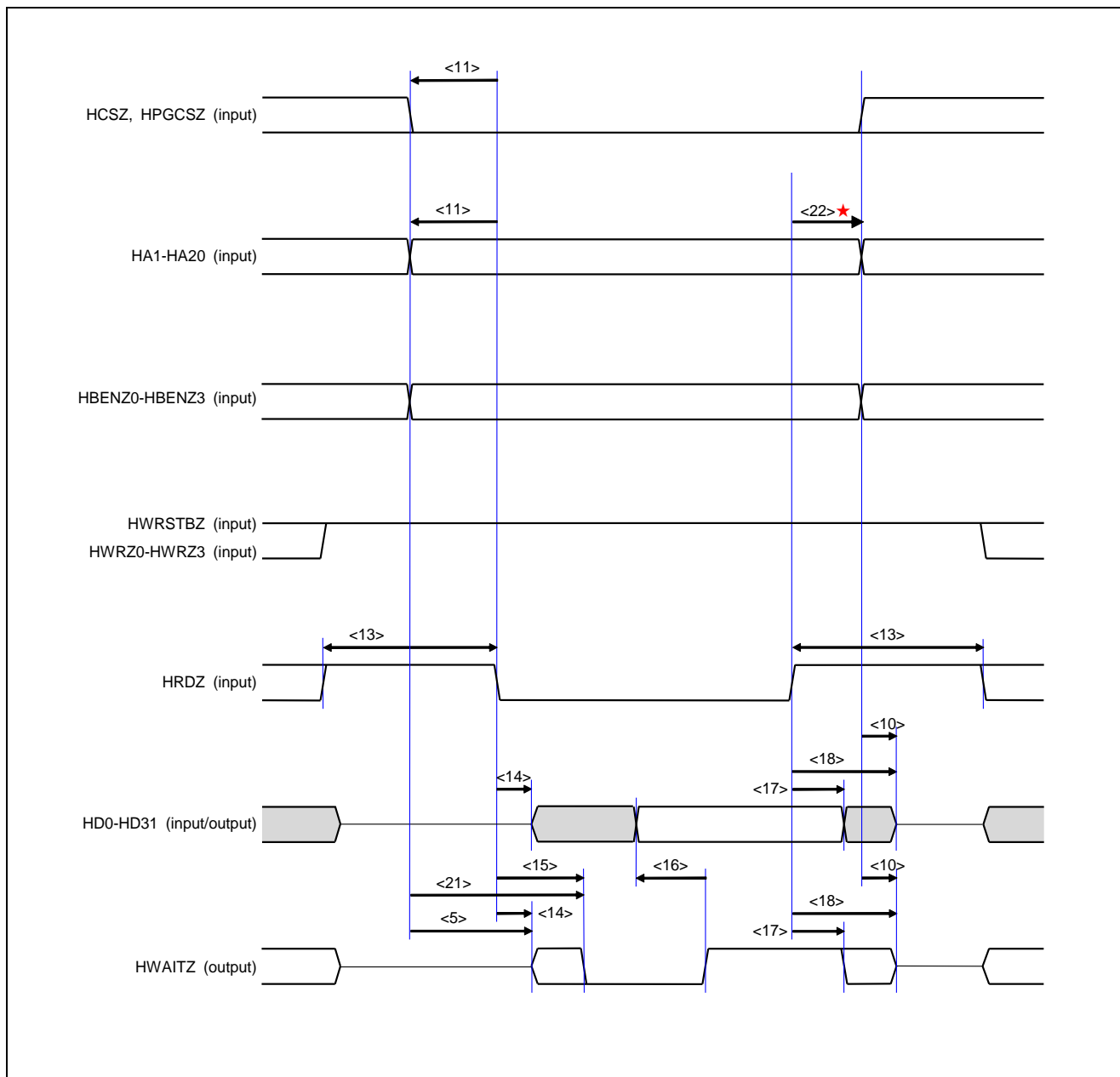


図4.14 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=L, HIFSYNC=L)

**注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。**

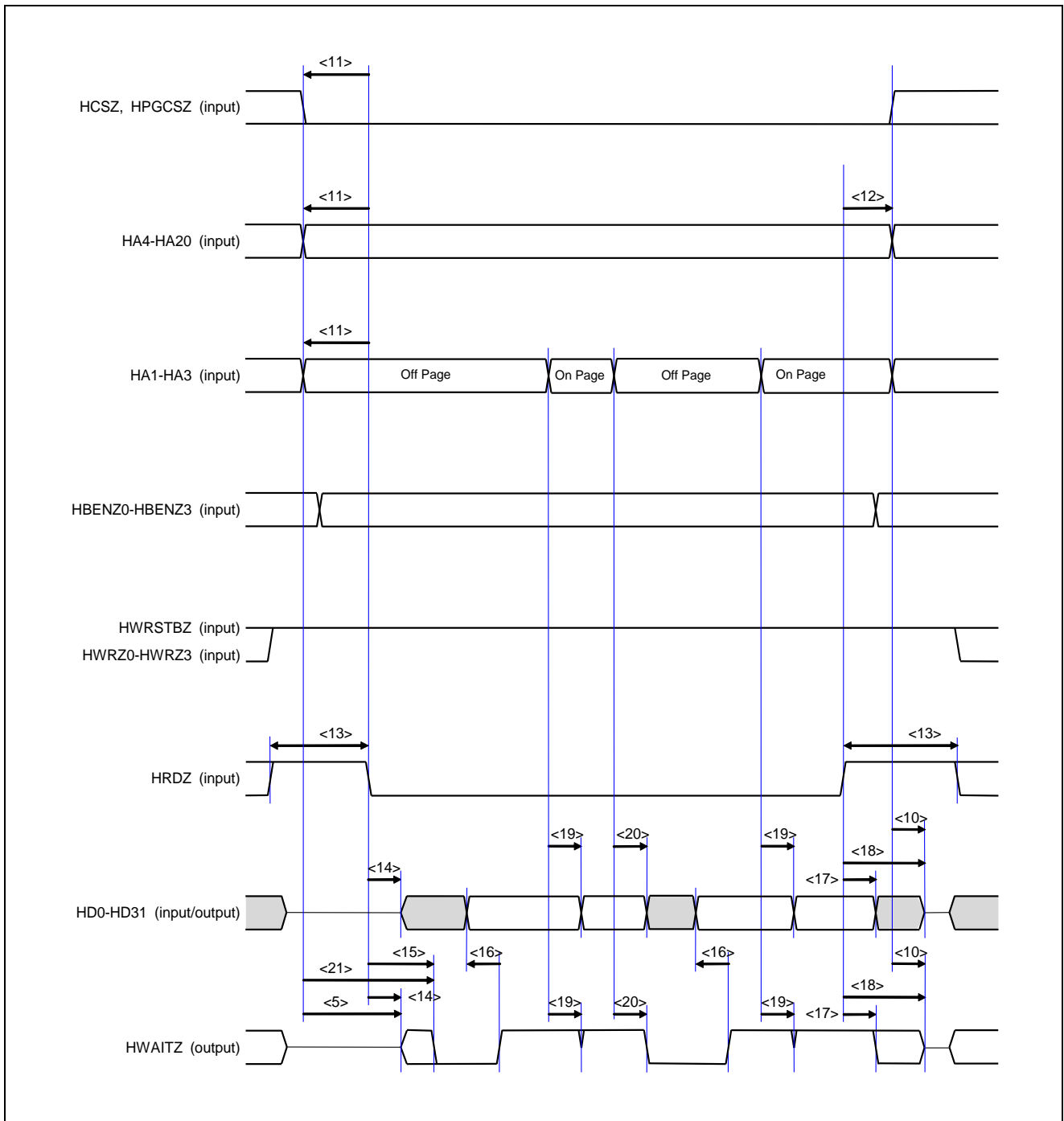


図4.15 外部マイコン・インタフェース・ページ・リード・タイミング (MEMCSEL=L, HIFSYNC=L)

**注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。**

## (4) 同期式 SRAM タイプ転送モード

| 番号 | 項目  | 略号                   | MIN                         | MAX                         | 単位 |
|----|---|----------------------|-----------------------------|-----------------------------|----|
| 1  | HBUSCLK ハイ・レベル幅                           | $t_{\text{HBHIGH}}$  | $0.5t_{\text{HBUSCLK}}-2.1$ | $0.5t_{\text{HBUSCLK}}+2.1$ | ns |
| 2  | HBUSCLK ロー・レベル幅                           | $t_{\text{HBLow}}$   | $0.5t_{\text{HBUSCLK}}-2.1$ | $0.5t_{\text{HBUSCLK}}+2.1$ | ns |
| 3  | HBUSCLK 入力周期                              | $t_{\text{HBUSCLK}}$ | 20                          | —                           | ns |
| 4  | アドレス、HCSZ/HPGCSZ 入力設定時間<br>(対 HBUSCLK ↑)  | $t_{\text{SKPHA}}$   | 4.0                         | —                           | ns |
| 5  | アドレス、HCSZ/HPGCSZ 入力保持時間<br>(対 HBUSCLK ↑)  | $t_{\text{HKPCS}}$   | 1.0                         | —                           | ns |
| 6  | アドレス、HCSZ/HPGCSZ 入力設定時間<br>(対 HBUSCLK ↓)  | $t_{\text{SKNHA}}$   | 4.0                         | —                           | ns |
| 7  | アドレス、HCSZ, HPGCSZ 入力保持時間<br>(対 HBUSCLK ↓) | $t_{\text{HKNHA}}$   | 1.0                         | —                           | ns |
| 8  | HWRZ0-HWRZ3 入力設定時間 (対 HBUSCLK ↑)          | $t_{\text{SKPHWR}}$  | 4.0                         | —                           | ns |
| 9  | HWRZ0-HWRZ3 入力保持時間 (対 HBUSCLK ↑)          | $t_{\text{HKPHWR}}$  | 1.0                         | —                           | ns |
| 10 | HWRZ0-HWRZ3 入力設定時間 (対 HBUSCLK ↓)          | $t_{\text{SKNHWR}}$  | 4.0                         | —                           | ns |
| 11 | HWRZ0-HWRZ3 入力保持時間 (対 HBUSCLK ↓)          | $t_{\text{HKNHWR}}$  | 1.0                         | —                           | ns |
| 12 | HBCYSTZ, HWRSTBZ 入力設定時間 (対 HBUSCLK ↑)     | $t_{\text{SKPHBCY}}$ | 4.0                         | —                           | ns |
| 13 | HBCYSTZ, HWRSTBZ 入力保持時間 (対 HBUSCLK ↑)     | $t_{\text{HKPHBCY}}$ | 1.0                         | —                           | ns |
| 14 | HBCYSTZ, HWRSTBZ 入力設定時間 (対 HBUSCLK ↓)     | $t_{\text{SKNHBCY}}$ | 4.0                         | —                           | ns |
| 15 | HBCYSTZ, HWRSTBZ 入力保持時間 (対 HBUSCLK ↓)     | $t_{\text{HKNHBCY}}$ | 1.0                         | —                           | ns |
| 16 | HRDZ 入力設定時間 (対 HBUSCLK ↑)                 | $t_{\text{SKPHRD}}$  | 4.0                         | —                           | ns |
| 17 | HRDZ 入力保持時間 (対 HBUSCLK ↑)                 | $t_{\text{HKPHRD}}$  | 1.0                         | —                           | ns |
| 18 | HRDZ 入力設定時間 (対 HBUSCLK ↓)                 | $t_{\text{SKNHRD}}$  | 4.0                         | —                           | ns |
| 19 | HRDZ 入力保持時間 (対 HBUSCLK ↓)                 | $t_{\text{HKNHRD}}$  | 1.0                         | —                           | ns |
| 20 | データ入力設定時間 (対 HBUSCLK ↑)                   | $t_{\text{SKPHD}}$   | 4.0                         | —                           | ns |
| 21 | データ入力保持時間 (対 HBUSCLK ↑)                   | $t_{\text{HKPHD}}$   | 1.0                         | —                           | ns |
| 22 | データ入力設定時間 (対 HBUSCLK ↓)                   | $t_{\text{SKNHd}}$   | 4.0                         | —                           | ns |
| 23 | データ入力保持時間 (対 HBUSCLK ↓)                   | $t_{\text{HKNHD}}$   | 1.0                         | —                           | ns |
| 24 | データ出力遅延時間 (対 HRDZ ↓)                      | $t_{\text{DKNHRD}}$  | 2.0                         | —                           | ns |
| 25 | データ出力保持時間 (対 HRDZ ↑)                      | $t_{\text{HKPHRD}}$  | —                           | 13.6                        | ns |
| 26 | データ出力遅延時間 (対 HBUSCLK ↑)                   | $t_{\text{DKPHD}}$   | 2.0                         | 10.0                        | ns |
| 27 | データ出力遅延時間 (対 HBUSCLK ↓)                   | $t_{\text{DKNHd}}$   | 2.0                         | 10.0                        | ns |
| 28 | HWAITZ 出力遅延時間 (対 HBUSCLK ↑)               | $t_{\text{DKPHWT}}$  | 2.0                         | 10.0                        | ns |
| 29 | HWAITZ 出力遅延時間 (対 HBUSCLK ↓)               | $t_{\text{DKNHWT}}$  | 2.0                         | 10.0                        | ns |
| 30 | データ出力保持時間 (対 HCSZ/HPGCSZ ↑)               | $t_{\text{HKPHCS}}$  | —                           | 13.6                        | ns |

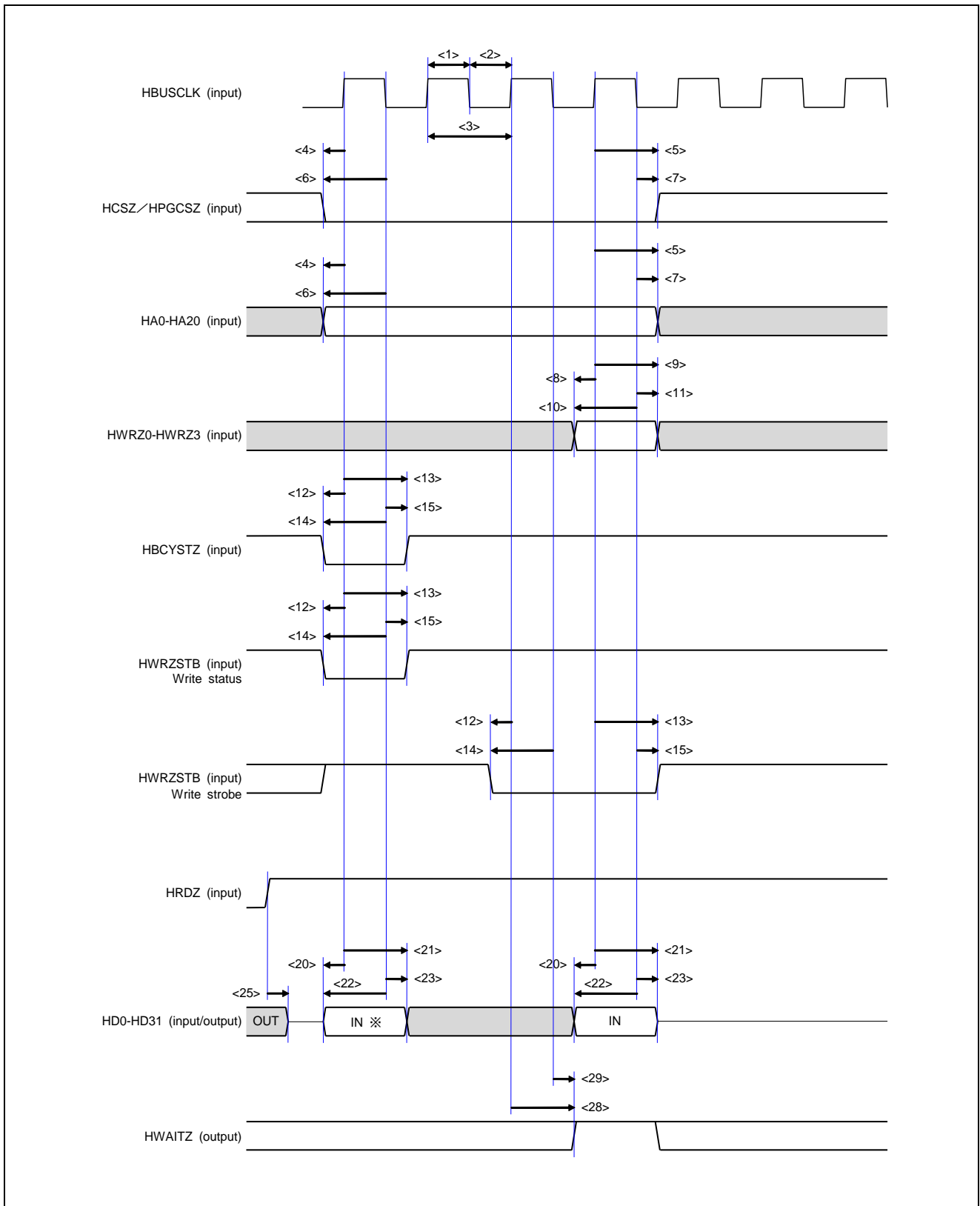


図4.16 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=H, ADMUXMODE=H)

備考. ※ : A/D 多重モードにおけるアドレス入力です。

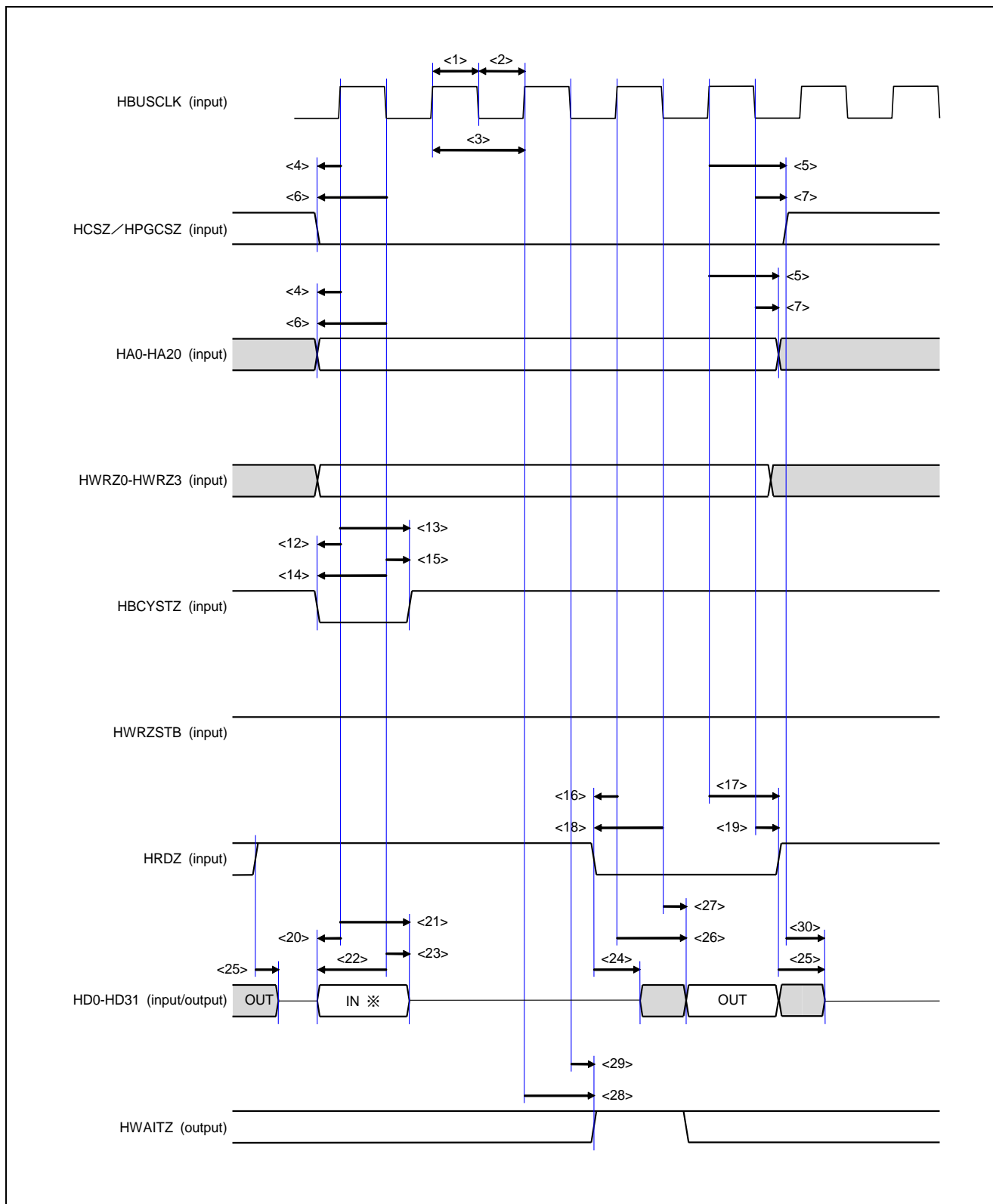


図4.17 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=H, ADMUXMODE=H)

備考. ※ : A/D 多重モードにおけるアドレス入力です。

4.8.5 シリアル・フラッシュ ROM インタフェース

| 項目                                   | 略号            | 条件                           | MIN                    | MAX                    | 単位 |
|--------------------------------------|---------------|------------------------------|------------------------|------------------------|----|
| SMSCK 出力周期                           | $t_{SFRCYC}$  | $C_L = 15pF$                 | 20                     | —                      | ns |
| SMSCK ハイ・レベル幅                        | $t_{SMCKH}$   | $C_L = 15pF$                 | $0.5 t_{SFRCYC} - 2.0$ | $0.5 t_{SFRCYC} + 2.0$ | ns |
| SMSCK ロー・レベル幅                        | $t_{SMCKL}$   |                              | $0.5 t_{SFRCYC} - 2.0$ | $0.5 t_{SFRCYC} + 2.0$ | ns |
| SMSCK 立ち上がり時間                        | $t_{SMCKR}$   |                              | —                      | 1.9                    | ns |
| SMSCK 立ち下がり時間                        | $t_{SFRCYC}$  | —                            | —                      | 1.9                    | ns |
| SMCSZ の立ち下りから SMSCK の立ち上がりまでの遅延時間    | $t_{DSMCSCK}$ | $C_L = 15pF$<br>Freq = 50MHz | 6.0 注                  | —                      | ns |
| SMSCK の立ち上がりに対する SMCSZ の立ち上がりまでの保持時間 | $t_{DSMCKCS}$ | $C_L = 15pF$<br>Freq = 50MHz | 9.0 注                  | —                      | ns |
| SMCSZ のハイ幅                           | $t_{SMCSH}$   | $C_L = 15pF$                 | 14 注                   | —                      | ns |
| SMSI 入力設定時間 (対 SMSCK ↓)              | $t_{SSMI}$    | —                            | 6.0                    | —                      | ns |
| SMSI 入力保持時間 (対 SMSCK ↓)              | $t_{HSMI}$    | —                            | 0                      | —                      | ns |
| SMSI 出力遅延時間 (対 SMSCK ↓)              | $t_{DSMI}$    | $C_L = 15pF$                 | -1.0                   | 5.0                    | ns |
| SMSO 入力設定時間 (対 SMSCK ↓)              | $t_{SSMO}$    | —                            | 6.0                    | —                      | ns |
| SMSO 入力保持時間 (対 SMSCK ↓)              | $t_{HSMO}$    | —                            | 0                      | —                      | ns |
| SMSO 出力遅延時間 (対 SMSCK ↓)              | $t_{DSMO}$    | $C_L = 15pF$                 | -1.0                   | 5.0                    | ns |

注. SFMSSC レジスタの設定により、タイミングを延ばせます。

詳細は、R-IN32M3 シリーズ 周辺機能編の「12.2.2 チップ選択制御レジスタ (SFMSSC)」を参照してください。

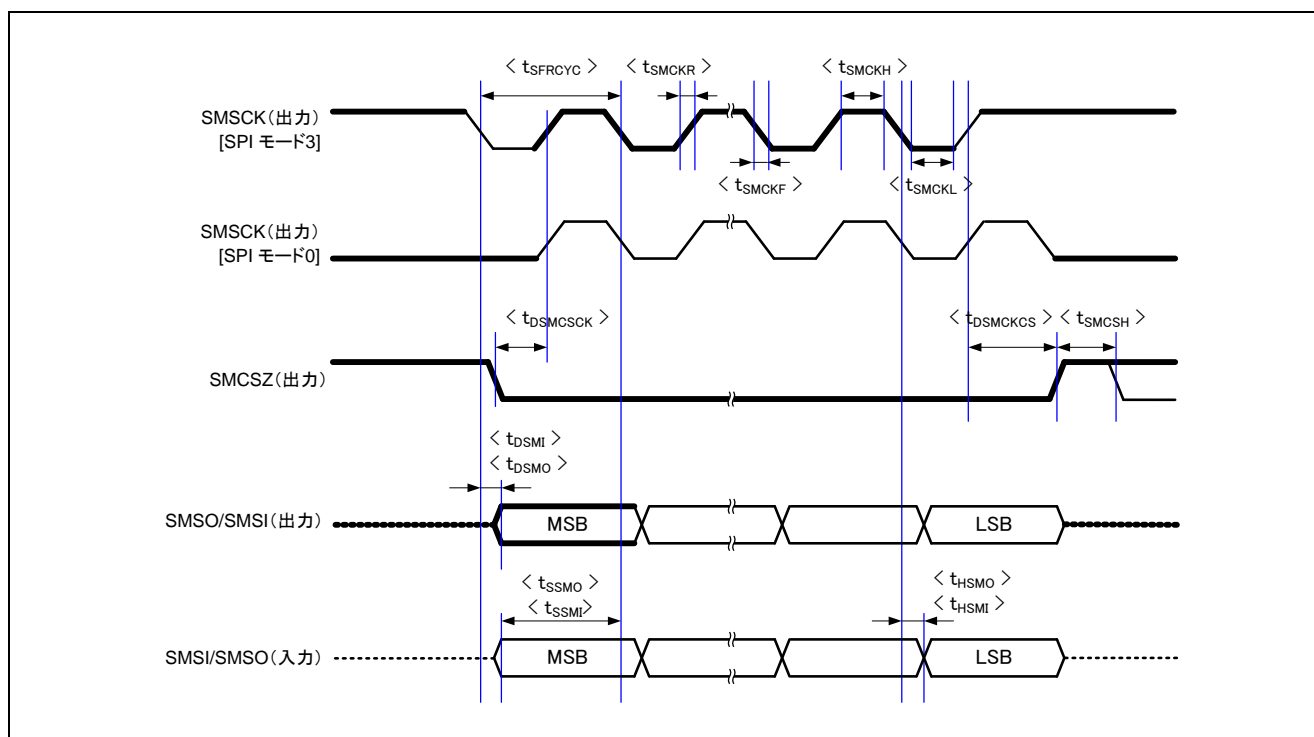


図4.18 シリアル Flash メモリ・アクセス・タイミング



## 4.8.6 外部 DMA インタフェース

| 項目   | 略号                 | 条件                    | MIN   | MAX   | 単位 |
|--|--------------------|-----------------------|---|---|----|
| DMAREQ <sub>n</sub> , RTDMAREQZ<br>入力設定時間 (対 BUSCLK ↑)   | t <sub>SKDR</sub>  | —                     | 7.0   | —   | ns |
| DMAREQ <sub>n</sub> , RTDMAREQZ<br>入力保持時間 1              | t <sub>HKDR1</sub> | —                     | DMAACK <sub>Zn</sub> ↓,<br>RTDMAACKZ ↓<br>まで            | —   | ns |
| DMAREQ <sub>n</sub> , REDMAREQZ<br>入力保持時間 2 (対 BUSCLK ↑) | t <sub>HKDR2</sub> | —                     | —   | t <sub>BUSCLK</sub> <sup>注1</sup> × m <sup>注2</sup> - 7.0 | ns |
| DMAACK <sub>Zn</sub> , RTDMAACKZ<br>出力遅延時間 (対 BUSCLK ↑)  | t <sub>DKDA</sub>  | C <sub>L</sub> = 30pF | 2.0   | 10.0  | ns |
| DMAACK <sub>Zn</sub> , RTDMAACKZ<br>出力ロー・レベル幅            | t <sub>WDAL</sub>  | —                     | t <sub>BUSCLK</sub> <sup>注1</sup> × m <sup>注2</sup> - 8 | t <sub>BUSCLK</sub> <sup>注1</sup> × m <sup>注2</sup> + 8   | ns |
| DMATC <sub>Zn</sub> , RTDMATCZ 出力遅延時間<br>(対 BUSCLK ↑)    | t <sub>DKTC</sub>  | C <sub>L</sub> = 30pF | 2.0   | 10.0  | ns |

注 1. t<sub>BUSCLK</sub> は BUSCLK の周期 (10ns) です。

2. n = 0-1, m = 1-31 (DMAIFC0, DMAIFC1, RTMDAIFC レジスタ設定)。

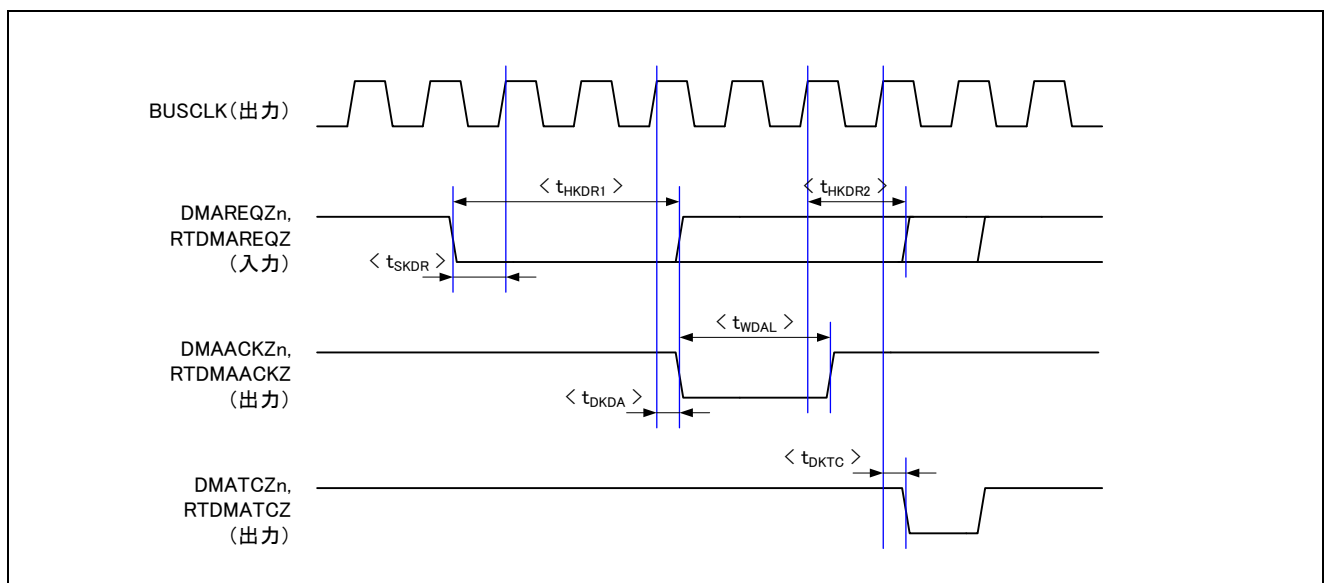


図4.19 外部 DMA アクセス・タイミング

備考. n = 0, 1

## 4.8.7 CSI インタフェース

CSI (クロック同期式シリアル・インタフェース) は、マスタ・モードとスレーブ・モードがあります。

## (1) マスタ・モード

| 項目                          | 略号            | 条件           | MIN                            | MAX | 単位 |
|-----------------------------|---------------|--------------|--------------------------------|-----|----|
| CSISCKn 出力周期                | $t_{CSIMSCK}$ | $C_L = 15pF$ | 40                             | —   | ns |
| CSISCKn 出力ハイ・レベル幅           | $t_{WSKH}$    | $C_L = 15pF$ | $t_{CSIMSCK} \times 0.5 - 5.0$ | —   | ns |
| CSISCKn 出力ロー・レベル幅           | $t_{WSKL}$    | $C_L = 15pF$ | $t_{CSIMSCK} \times 0.5 - 5.0$ | —   | ns |
| CSISIn 入力設定時間 (対 CSISCKn ↑) | $t_{SMSI}$    | —            | 8.5                            | —   | ns |
| CSISIn 入力設定時間 (対 CSISCKn ↓) | $t_{SMSI}$    | —            | 8.5                            | —   | ns |
| CSISIn 入力保持時間 (対 CSISCKn ↑) | $t_{HMSI}$    | —            | 7.0                            | —   | ns |
| CSISIn 入力保持時間 (対 CSISCKn ↓) | $t_{HMSI}$    | —            | 7.0                            | —   | ns |
| CSISOn 出力遅延時間 (対 CSISCKn ↑) | $t_{DMSO}$    | $C_L = 15pF$ | —                              | 7.0 | ns |
| CSISOn 出力遅延時間 (対 CSISCKn ↓) | $t_{DMSO}$    |              | —                              | 7.0 | ns |
| CSISOn 出力保持時間 (対 CSISCKn ↑) | $t_{HMSO}$    |              | $t_{CSIMSCK} \times 0.5 - 5.0$ | —   | ns |
| CSISOn 出力保持時間 (対 CSISCKn ↓) | $t_{HMSO}$    |              | $t_{CSIMSCK} \times 0.5 - 5.0$ | —   | ns |

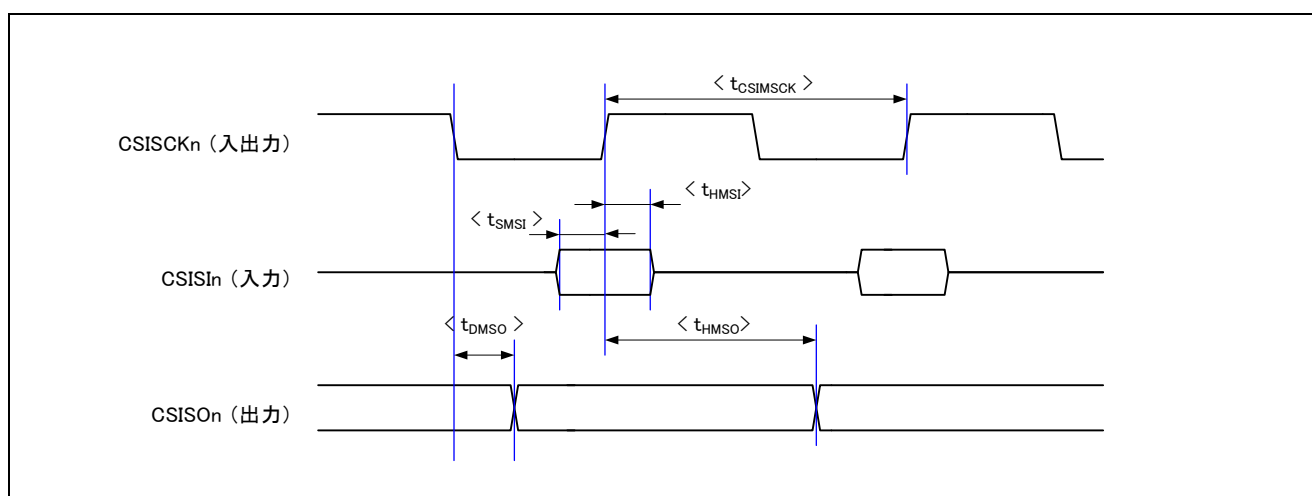


図4.20 CSI アクセス・タイミング (マスタ・モード)

備考 1.  $n = 0, 1$

2. 上図は「対 CSISCKn ↓」のデータ出力、「対 CSISCKn ↑」のデータ入力を例にしたタイミング図となっています。動作モードに合わせて、参照タイミングを読み替えて下さい。

(2) スレーブ・モード

| 項目                          | 略号                   | 条件                    | MIN                              | MAX  | 単位 |
|-----------------------------|----------------------|-----------------------|----------------------------------|------|----|
| CSISCKn 入力周期                | t <sub>CSISSCK</sub> | —                     | 60                               | —    | ns |
| CSISCKn 入力ハイ・レベル幅           | t <sub>WSKH</sub>    | —                     | t <sub>CSISSCK</sub> ×0.5 - 5.0  | —    | ns |
| CSISCKn 入力ロー・レベル幅           | t <sub>WSKL</sub>    | —                     | t <sub>CSISSCK</sub> ×0.5 - 5.0  | —    | ns |
| CSISIn 入力設定時間 (対 CSISCKn ↑) | t <sub>SSSI</sub>    | —                     | 10.0                             | —    | ns |
| CSISIn 入力設定時間 (対 CSISCKn ↓) | t <sub>SSSI</sub>    | —                     | 10.0                             | —    | ns |
| CSISIn 入力保持時間 (対 CSISCKn ↑) | t <sub>HSSI</sub>    | —                     | 15                               | —    | ns |
| CSISIn 入力保持時間 (対 CSISCKn ↓) | t <sub>HSSI</sub>    | —                     | 15                               | —    | ns |
| CSISOn 出力遅延時間 (対 CSISCKn ↑) | t <sub>DSSO</sub>    | C <sub>L</sub> = 15pF | —                                | 10.0 | ns |
| CSISOn 出力遅延時間 (対 CSISCKn ↓) | t <sub>DSSO</sub>    | C <sub>L</sub> = 15pF | —                                | 10.0 | ns |
| CSISOn 出力保持時間 (対 CSISCKn ↑) | t <sub>HSSO</sub>    | C <sub>L</sub> = 15pF | t <sub>CSISSCK</sub> × 0.5 - 5.0 | —    | ns |
| CSISOn 出力保持時間 (対 CSISCKn ↓) | t <sub>HSSO</sub>    | C <sub>L</sub> = 15pF | t <sub>CSISSCK</sub> × 0.5 - 5.0 | —    | ns |

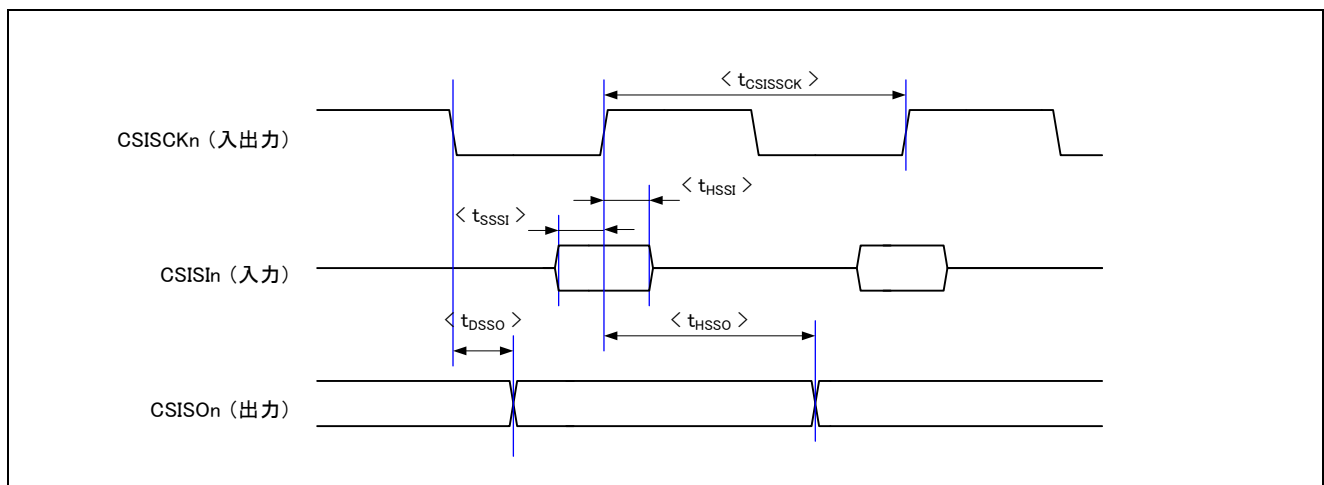


図4.21 CSI アクセス・タイミング (スレーブ・モード)

備考 1. n = 0, 1  
 2. 上図は「対 CSISCKn ↓」のデータ出力、「対 CSISCKn ↑」のデータ入力を例にした  
 タイミング図となっています。動作モードに合わせて、参照タイミングを読み替えて下さい。

4.8.8 I2C インタフェース

| 項目                                     | 略号                   | 条件           | 標準モード |      | 高速モード       |     | 単位      |
|--|----------------------|--------------|-------|------|-------------|-----|---------|
|  |                      |              | MIN   | MAX  | MIN         | MAX |         |
| SCL 入出力周波数                             | $t_{SCL}$            | $C_L = 30pF$ | 0     | 100  | 0           | 400 | kHz     |
| ストップ・コンディションとスタート・コンディションの間のバス・フリー・タイム | $t_{BUF}$            |              | 4.7   | —    | 1.3         | —   | $\mu s$ |
| ホールド・タイム                               | $t_{HSTA}$           |              | 4.0   | —    | 0.6         | —   | $\mu s$ |
| SCL クロックのロー・レベル幅                       | $t_{SCLL}$           |              | 4.7   | —    | 1.3         | —   | $\mu s$ |
| SCL クロックのハイ・レベル幅                       | $t_{SCLH}$           |              | 4.0   | —    | 0.6         | —   | $\mu s$ |
| スタート・コンディションおよびリスタート・コンディションのセットアップ時間  | $t_{SSTA}$           |              | 4.7   | —    | 0.6         | —   | $\mu s$ |
| データ・ホールド・タイム                           | CBUS 互換マスタ<br>I2C バス | $t_{HDAT}$   | 5.0   | —    | —           | —   | $\mu s$ |
|  |                      |              | 0     | —    | 0           | 0.9 | $\mu s$ |
| データ・セットアップ・タイム                         | $t_{SDAT}$           |              | 250   | —    | 100         | —   | ns      |
| SDA および SCL の立ち上がり時間                   | $t_{SCLR}$           |              | —     | 1000 | $20+0.1C_b$ | 300 | ns      |
| SDA および SCL の立ち下がり時間                   | $t_{SCLF}$           |              | —     | 300  | $20+0.1C_b$ | 300 | ns      |
| ストップ・コンディションのセットアップ・タイム                | $t_{SSTO}$           |              | 4.0   | —    | 0.6         | —   | $\mu s$ |
| 入力フィルタによって抑制されるスパイクのパルス幅               | $t_{SP}$             |              | —     | —    | 0           | 50  | ns      |
| 各バス・ラインの容量性負荷                          | $C_b$                | —            | —     | 400  | —           | 400 | pF      |

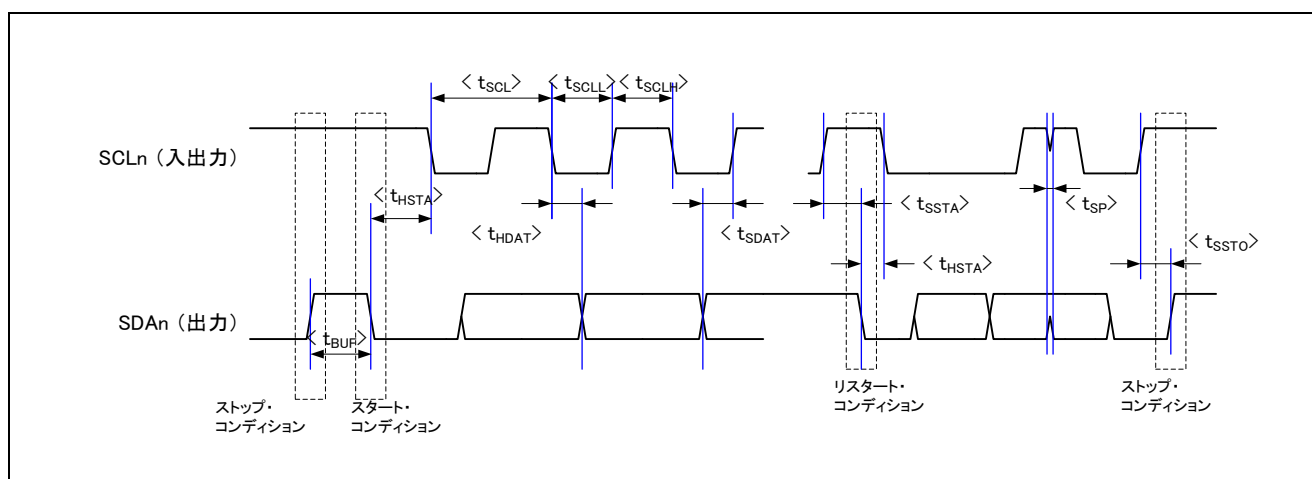


図4.22 I2C アクセス・タイミング

備考.  $n = 0, 1$   
 $t_{SCLR}$ 、 $t_{SCLF}$  の記載は省略します。

### 4.8.9 CAN インタフェース

| 項目     | 略号                | 条件                    | MIN | MAX | 単位 |
|--------|-------------------|-----------------------|-----|-----|----|
| 内部遅延時間 | t <sub>NODE</sub> | C <sub>L</sub> = 30pF | —   | 75  | ns |

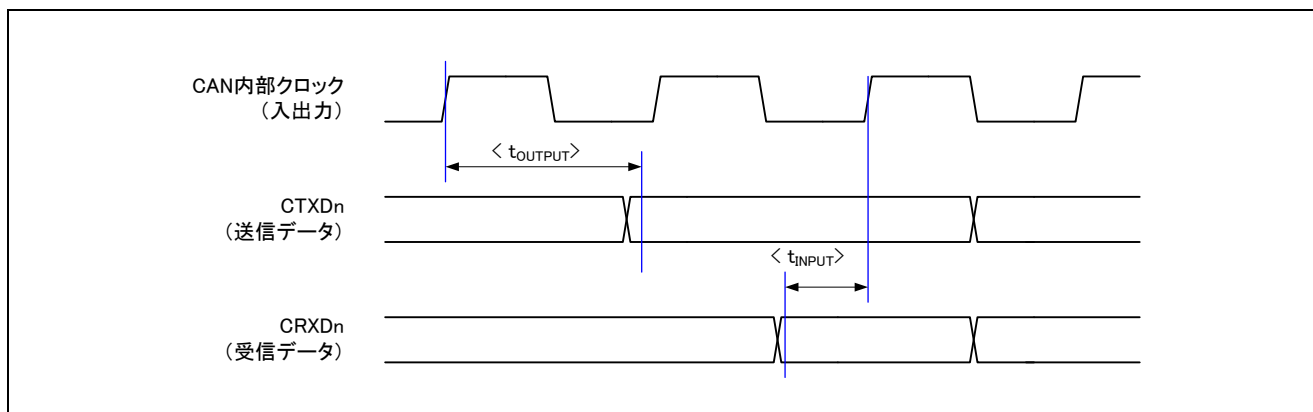


図4.23 CAN アクセス・タイミング

内部遅延時間 (t<sub>NODE</sub>) = 内部送信遅延時間 (t<sub>OUTPUT</sub>) + 内部受信遅延時間 (t<sub>INPUT</sub>)

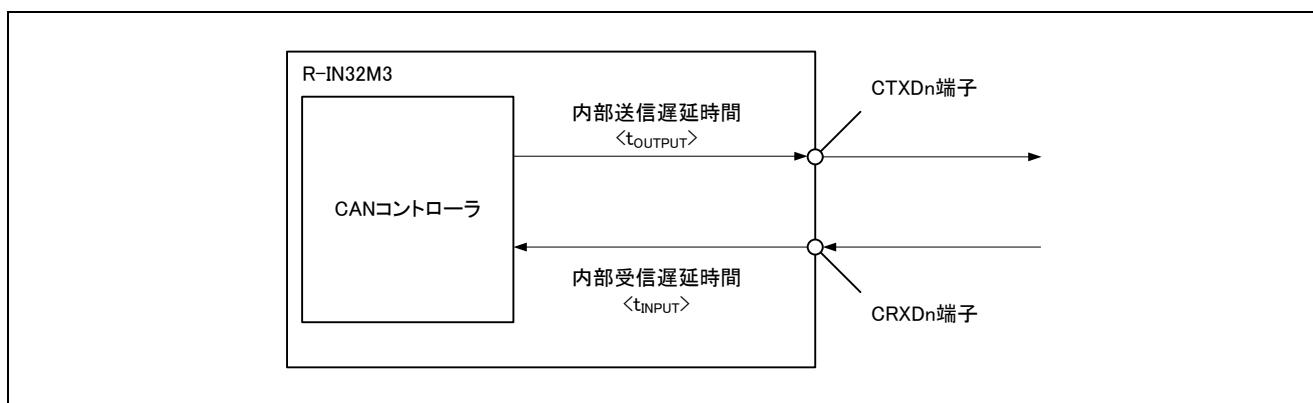


図4.24 CAN アクセス・タイミング (補足)

- 備考 1. CAN 内部クロック (f<sub>CAN</sub>) : CAN ボー・レート・クロック
- 2. n = 0, 1

## 4.8.10 Ethernet インタフェース (R-IN32M3-CL のみ)

## (1) GMII インタフェース

| 項目  | 略号                  | 条件                    | MIN | MAX | 単位 |
|---|---------------------|-----------------------|-----|-----|----|
| ETHn_GTXC 出力周期                              | t <sub>GTXC</sub>   | C <sub>L</sub> = 13pF | 8   | —   | ns |
| ETHn_RXC 入力周期                               | t <sub>GRXC</sub>   | —                     | 8   | —   | ns |
| ETHn_TXDm 出力遅延時間 (対 ETHn_GTXC ↑)            | t <sub>DGTKTD</sub> | C <sub>L</sub> = 13pF | 0.5 | 5.5 | ns |
| ETHn_TXEN, ETHn_TXER 出力遅延時間 (対 ETHn_GTXC ↑) | t <sub>DGKTKE</sub> | C <sub>L</sub> = 13pF | 0.5 | 5.5 | ns |
| ETHn_RXDm 入力設定時間 (対 ETHn_RXC ↑)             | t <sub>SGRDRK</sub> | —                     | 2.0 | —   | ns |
| ETHn_RXDm 入力保持時間 (対 ETHn_RXC ↑)             | t <sub>HGRDRK</sub> | —                     | 0   | —   | ns |
| ETHn_RXDV, ETHn_RXER 入力設定時間 (対 ETHn_RXC ↑)  | t <sub>SGRVRK</sub> | —                     | 2.0 | —   | ns |
| ETHn_RXDV, ETHn_RXER 入力保持時間 (対 ETHn_RXC ↑)  | t <sub>HGRVRK</sub> | —                     | 0   | —   | ns |

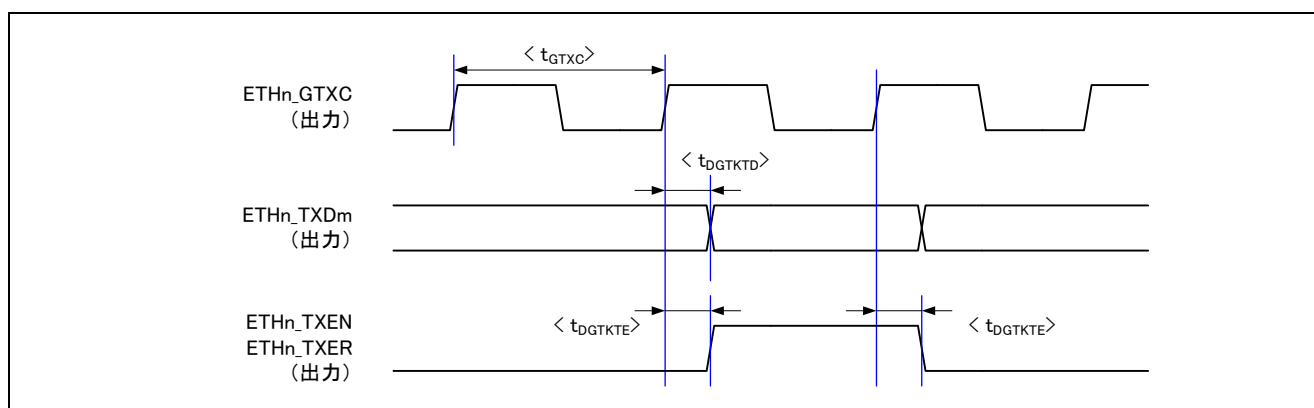


図4.25 Ethernet アクセス・タイミング (GMII 送信)

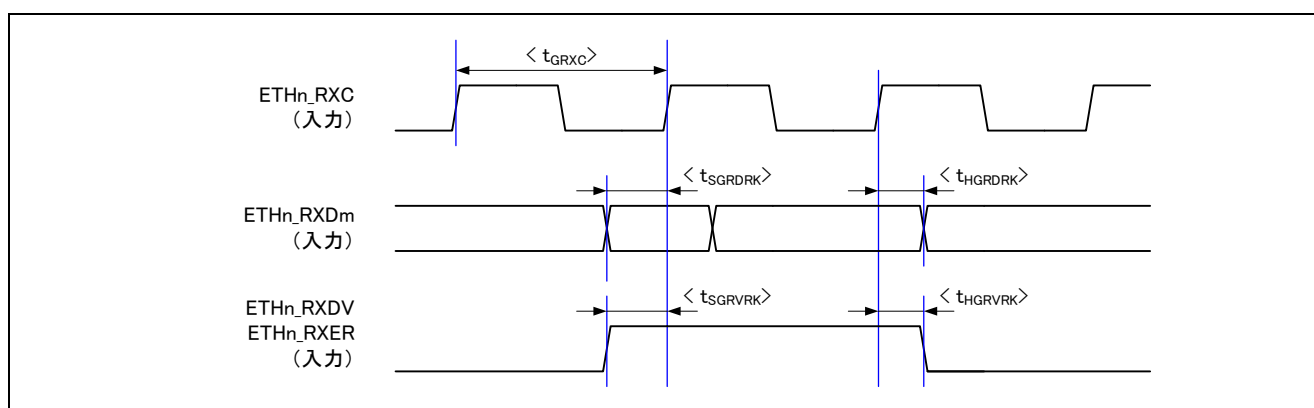


図4.26 Ethernet アクセス・タイミング (GMII 受信)

備考 n = 0, 1, m = 0-7

(2) MII インタフェース

| 項目   | 略号                 | 条件                    | MIN | MAX | 単位 |
|--|--------------------|-----------------------|-----|-----|----|
| ETHn_TXC 入力周期                              | t <sub>TXC</sub>   | —                     | 40  | —   | ns |
| ETHn_RXC 入力周期                              | t <sub>RXC</sub>   | —                     | 40  | —   | ns |
| ETHn_TXDm 出力遅延時間 (対 ETHn_TXC ↑)            | t <sub>DTKTD</sub> | C <sub>L</sub> = 30pF | 0   | 25  | ns |
| ETHn_TXEN, ETHn_TXER 出力遅延時間 (対 ETHn_TXC ↑) | t <sub>DTKTE</sub> | C <sub>L</sub> = 30pF | 0   | 25  | ns |
| ETHn_RXDm 入力設定時間 (対 ETHn_RXC ↑)            | t <sub>SRDRK</sub> | —                     | 10  | —   | ns |
| ETHn_RXDm 入力保持時間 (対 ETHn_RXC ↑)            | t <sub>HRDRK</sub> | —                     | 10  | —   | ns |
| ETHn_RXDV, ETHn_RXER 入力設定時間 (対 ETHn_RXC ↑) | t <sub>SRVRK</sub> | —                     | 10  | —   | ns |
| ETHn_RXDV, ETHn_RXER 入力保持時間 (対 ETHn_RXC ↑) | t <sub>HRVRK</sub> | —                     | 10  | —   | ns |

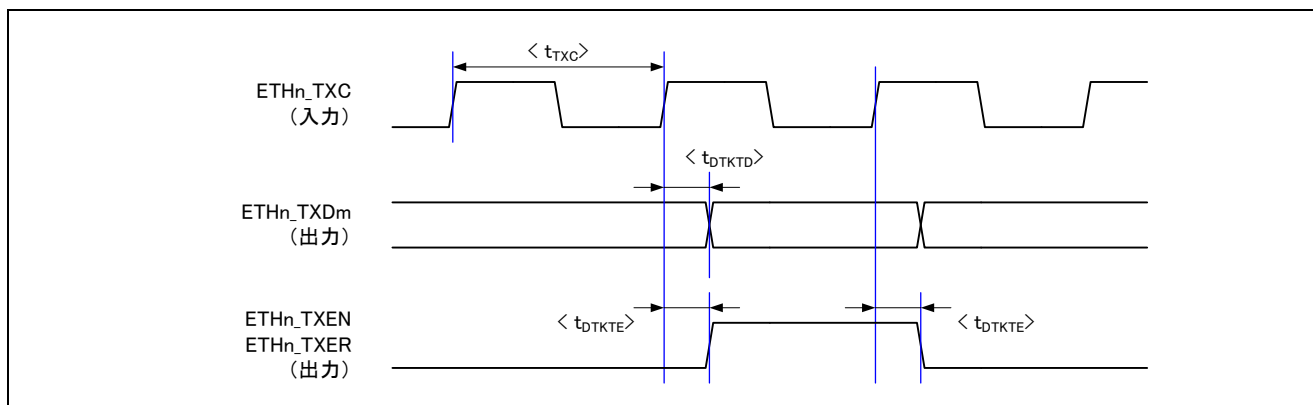


図4.27 Ethernet アクセス・タイミング (MII 送信)

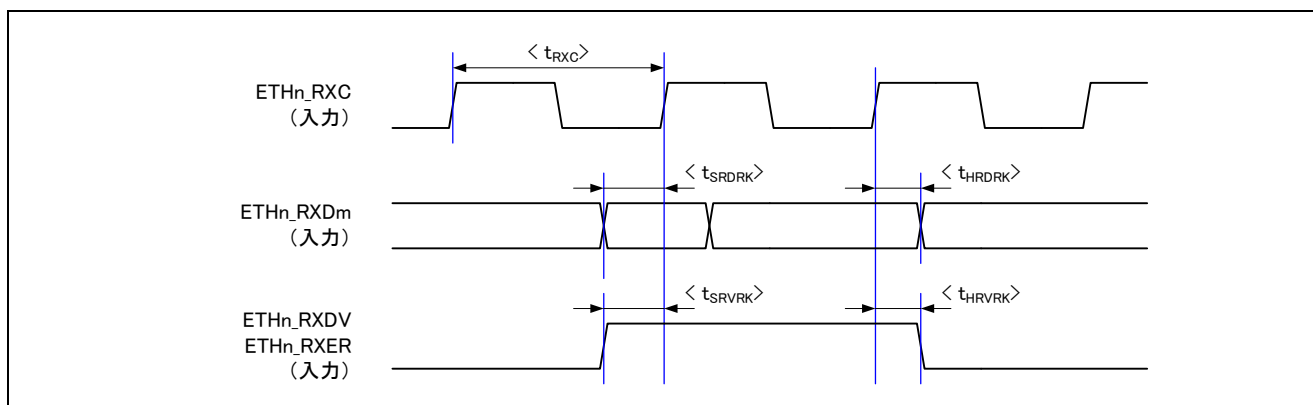


図4.28 Ethernet アクセス・タイミング (MII 受信)

備考 n = 0, 1, m = 0-7

## (3) シリアル・マネージメント・インタフェース

| 項目                            | 略号          | 条件                  | MIN | MAX | 単位 |
|-------------------------------|-------------|---------------------|-----|-----|----|
| ETH_MDC 出力周期                  | $t_{MDC}$   | $C_L = 30\text{pF}$ | 80  | —   | ns |
| ETH_MDIO 入力設定時間 (対 ETH_MDC ↑) | $t_{SMDIO}$ |                     | 10  | —   | ns |
| ETH_MDIO 入力保持時間 (対 ETH_MDC ↑) | $t_{HMDIO}$ |                     | 0   | —   | ns |
| ETH_MDIO 出力遅延時間 (対 ETH_MDC ↑) | $t_{DMDIO}$ |                     | 20  | —   | ns |

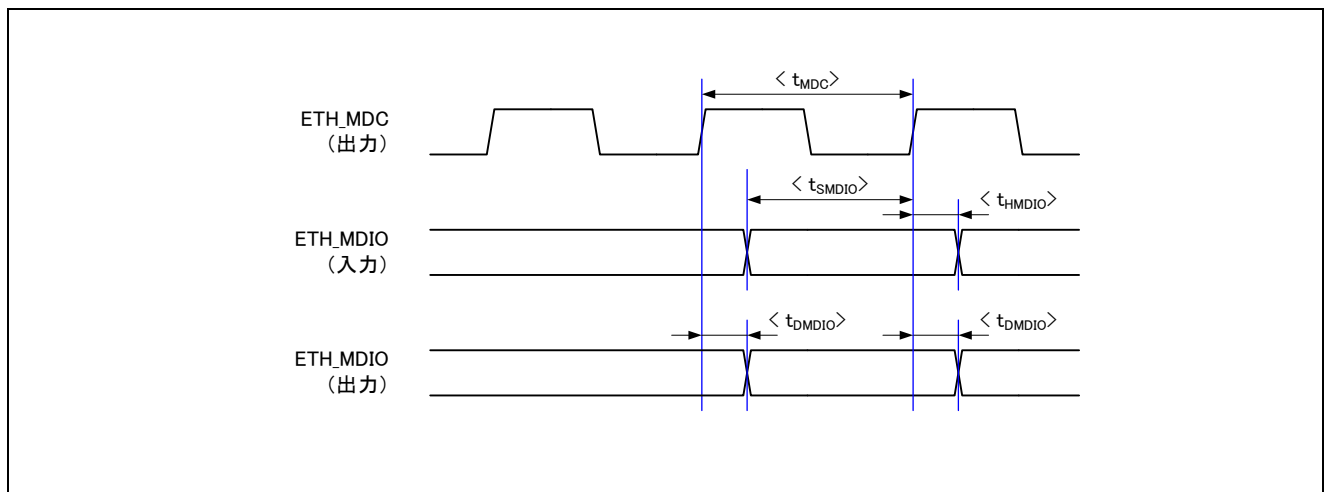


図4.29 Ethernet アクセス・タイミング (シリアル・マネージメント)



## 4.8.11 デバッグ・インタフェース

## (1) デバッグ・シリアル・インタフェース

| 項目                  | 略号         | 条件                  | MIN | MAX  | 単位 |
|---------------------|------------|---------------------|-----|------|----|
| TCK 入力周期            | $t_{TCK}$  | —                   | 20  | —    | ns |
| TMS 入力設定時間 (対 TCK↑) | $t_{STMS}$ | —                   | 6.5 | —    | ns |
| TMS 入力保持時間 (対 TCK↑) | $t_{HTMS}$ | —                   | 0   | —    | ns |
| TDI 入力設定時間 (対 TCK↑) | $t_{STDI}$ | —                   | 6.5 | —    | ns |
| TDI 入力保持時間 (対 TCK↑) | $t_{HTDI}$ | —                   | 0   | —    | ns |
| TDO 出力遅延時間 (対 TCK↓) | $t_{DTDO}$ | $C_L = 30\text{pF}$ | 3.0 | 13.0 | ns |

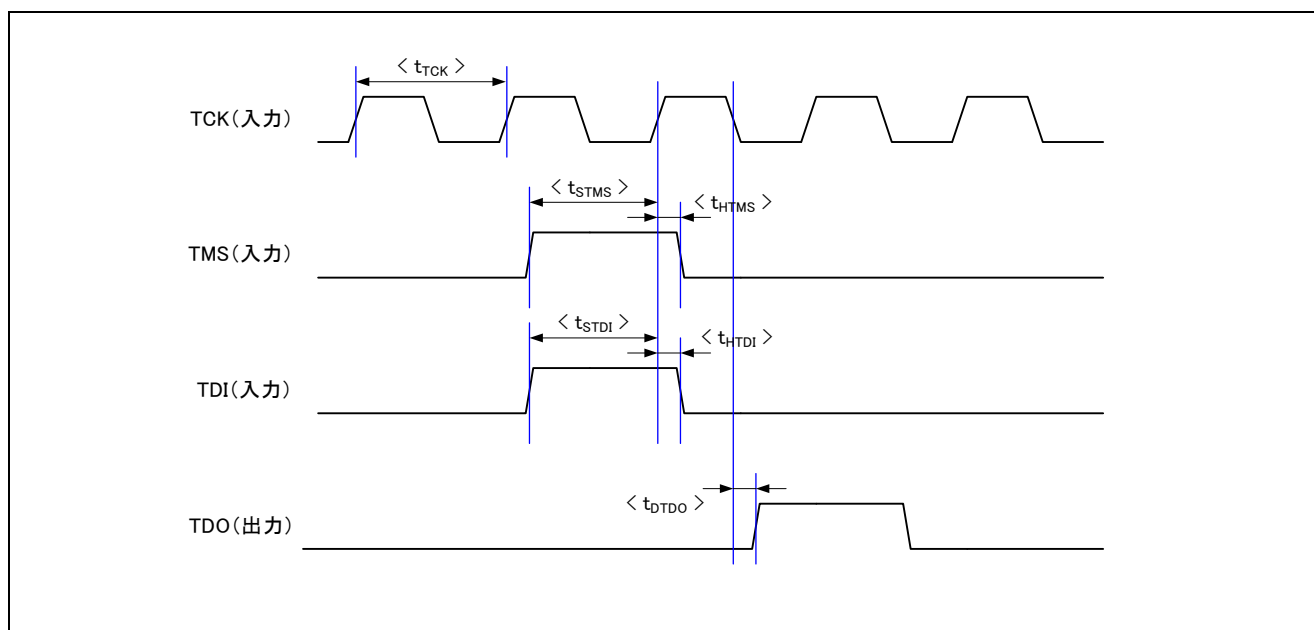


図4.30 デバッグ・シリアル・インタフェース

## (2) トレース・インタフェース

| 項目                            | 略号                   | 条件                    | MIN  | MAX  | 単位 |
|-------------------------------|----------------------|-----------------------|------|------|----|
| TRACECLK 出力周期                 | t <sub>TRCCLK</sub>  | C <sub>L</sub> = 15pF | 20   | —    | ns |
| TRACEDATA 出力遅延時間 (対 TRACECLK) | t <sub>DTRCDAT</sub> | C <sub>L</sub> = 15pF | 0.26 | 8.43 | ns |

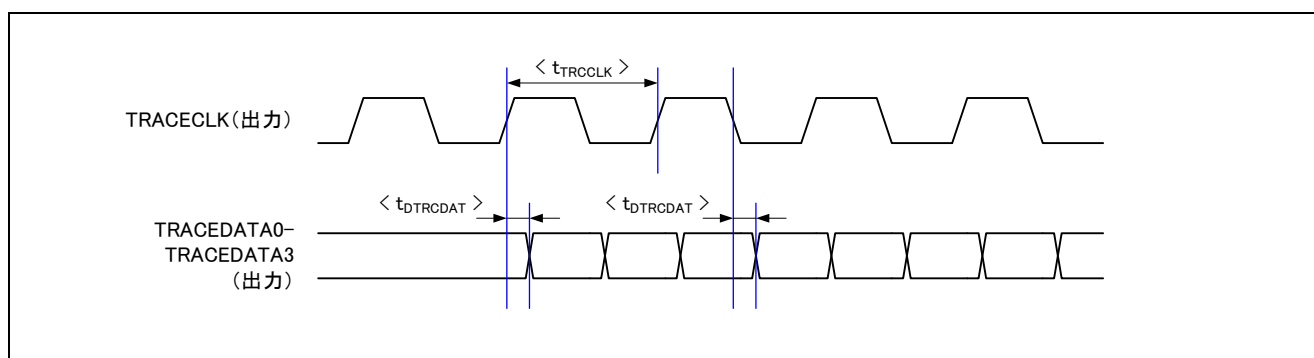
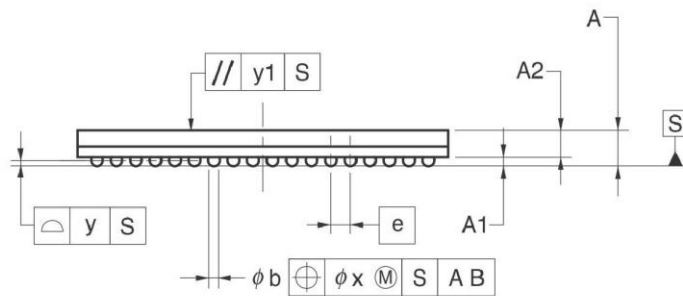
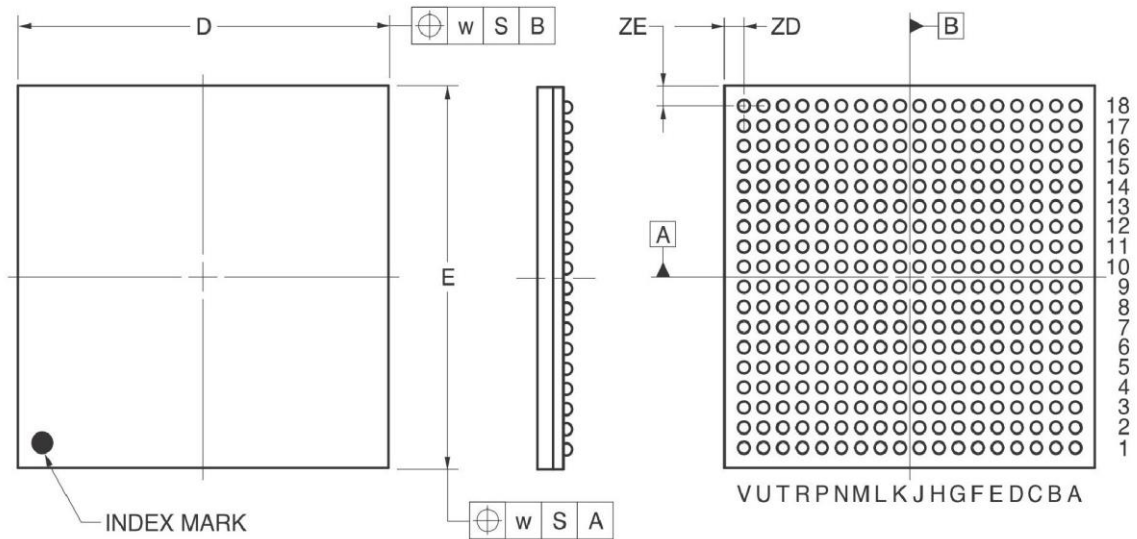


図4.31 トレース・インタフェース

5. パッケージ外形図

324-PIN PLASTIC BGA (19x19)



(UNIT:mm)

| ITEM | DIMENSIONS |
|------|------------|
| D    | 19.00±0.10 |
| E    | 19.00±0.10 |
| w    | 0.30       |
| e    | 1.00       |
| A    | 1.83±0.12  |
| A1   | 0.50±0.10  |
| A2   | 1.33       |
| b    | 0.60±0.10  |
| x    | 0.10       |
| y    | 0.15       |
| y1   | 0.35       |
| ZD   | 1.00       |
| ZE   | 1.00       |

P324F1-100-HN4-1

## 改訂記録

## R-IN32M3 シリーズ データシート

| Rev.    | 発行日                                 | 改訂内容  |  |
|---------|-------------------------------------|-------|--|
|         |                                     | ページ   | ポイント   |
| 暫定 1.00 | 2012.10.19                          | —     | 初版発行   |
| 暫定 2.00 | 2012.12.03                          | 全体    | 「CC-Link IE Field network」 → 「CC-Link IE Field」に変更                             |
|         |                                     | 12-13 | 「2.1 端子配置図」新規追加  |
|         |                                     | 14-16 | 「2.3.1 イーサネット端子」情報修正   |
|         |                                     | 20    | 「2.3.5 ポート端子、リアルタイム・ポート端子」一部端子名変更  |
|         |                                     | 26    | 「2.3.9 タイマ入出力端子」リセット中の状態を修正  |
|         |                                     | 28    | 「2.3.14 システム端子」情報追加  |
|         |                                     | 29    | 「2.3.15 テスト端子」情報追加   |
|         |                                     | 30    | 「2.3.16 動作モード設定端子」情報追加   |
|         |                                     | 36    | 「2.4.4 テスト端子」情報追加  |
|         |                                     | 39-62 | 「3 詳細仕様」新規追加   |
|         |                                     | 62-65 | 「4 電気的特性」出力バッファを駆動能力の表記のみに変更。  |
|         |                                     | 67    | 「4.6 電源投入／遮断手順」新規追加  |
|         |                                     | 68-87 | 「4.7 AC 特性」新規追加  |
| 暫定 3.00 | 2013.1.17                           | 2     | 「1.3 機能概要」外部メモリ・アクセス機能修正   |
|         |                                     | 3     | 「1.3 機能概要」CC-Link 対応局種の状況修正<br>「1.3 機能概要」EtherPHY 追加                           |
|         |                                     | 4     | 「1.4 機能ブロック図」R-IN32M3-EC のブロック図修正  |
|         |                                     | 5     | 「1.4 機能ブロック図」R-IN32M3-CL のブロック図修正  |
|         |                                     | 14    | 「2.3.1 イーサネット端子」PHY インタフェース端子一覧修正  |
|         |                                     | 16    | 「2.3.1 イーサネット端子」PHYLINK0/1 のリセット中の状態を修正  |
|         |                                     | 17    | 「2.3.2 EtherCAT Slave Controller 端子」CATSYNC1 のリセット中の状態を修正                      |
|         |                                     | 18    | 「2.3.3 外部メモリ・インタフェース」WAITZ1-WAITZ3 追加及び注意事項追加                                  |
|         |                                     | 25    | 「2.3.8 外部割込み端子」リセット中の状態を修正   |
|         |                                     | 26    | 「2.3.9 タイマ入出力端子」TIN2/TOUT2 のリセット中の状態を修正<br>「2.3.10 ウォッチドック・タイマ出力端子」リセット中の状態を修正 |
|         |                                     | 30    | 「2.3.16 CC-Link (リモートデバイス局)」リセット中の状態を修正  |
|         |                                     | 31    | 「2.3.17 システム端子」PECL バッファ電源を追加  |
|         |                                     | 34    | 「2.4.1 イーサネット端子」ETH0_TXC の未使用時の処理を GND に接続に修正                                  |
|         |                                     | 36    | 「2.4.4 テスト端子」TRSTZ の未使用時の処理をオープンに修正  |
|         |                                     | 62    | 「3.20 ハードウェア・リアルタイム OS」全体構成図追加   |
| 63      | 「3.20 ハードウェア・リアルタイム OS」サービス・コール一覧追加 |       |  |

| Rev. | 発行日   | 改訂内容  |  |
|------|---|-------|--|
|      |   | ページ   | ポイント   |
| 1.00 | 2013.3.29   | 全体    | 「CC-Link IE Field」 → 「CC-Link IE Field (インテリジェントデバイス局)」に変更                                   |
|      |   | 全体    | 「CC-Link(Slave)」 → 「CC-Link (リモートデバイス局)」に変更  |
|      |   | 1     | 「1.1 概説」内容修正   |
|      |   | 14    | 「2.3.1 イーサネット端子」(1)内の ETH_MDC のリセット中の状態変更<br>「2.3.1 イーサネット端子」(1)の「注」記載内容変更                   |
|      |   | 18    | 「2.3.3 外部メモリ・インタフェース」BUSCLK のリセット中の状態変更  |
|      |   | 19    | 「2.3.4 外部マイコン・インタフェース」HD0-HD15 のリセット中の状態変更   |
|      |   | 31    | 「2.3.17 システム端子」HOTRESETZ, VDDQ_MII, CLKOUT25M0, CLKOUT25M1 を追加<br>「2.3.17 システム端子」PONRZ の機能変更 |
|      |   | 53    | 「3.12 CC-Link 機能」対応局種類の対応状況を変更   |
|      |   | 76    | 「4.7.3 外部メモリ・インタフェース端子」の(1)内の計算例内の数値に説明を追加   |
|      |   | 76    | 「4.7.3 外部メモリ・インタフェース端子」の(2)内の MIN 値の 30pF 時の計算結果を修正  |
|      |   | 79    | 「4.7.3 外部メモリ・インタフェース端子」の(3)内の MIN 値の 30pF 時の計算結果を修正  |
|      |   | 82    | 「4.7.4 外部マイコン・インタフェース端子」を追加  |
|      |   | 2.00  | 2013.12.9  |
| 3    | 「表 1.2 R-IN32M3 の機能概要」スタンバイモード削除  |       |  |
| 6-10 | 「1.5 メモリ・マップ」の EtherCAT のアクセス可能領域を修正。   |       |  |
| 28   | 「2.3.14 CC-Link IE Field (インテリジェントデバイス局) 端子」端子機能を追記                           |       |  |
| 31   | 「2.3.17 システム端子」VDD15 の機能変更<br>「2.3.17 システム端子」VDDQ_MII に「注」追加                  |       |  |
| 44   | 「3.4 CC-Link IE Field (インテリジェントデバイス局) 機能」説明を追記                                |       |  |
| 47   | 「3.7 ウォッチドッグ・タイマ」のオーバ・フロー時間を 163 $\mu$ s-5.36s に修正                            |       |  |
| 71   | 「4.4 DC 特性」動作消費電力値を追加   |       |  |
| 73   | 「4.6 電源投入/遮断手順」内容修正   |       |  |
| 80   | 「4.7.3 外部メモリ・インタフェース端子」の(3)内の記述修正   |       |  |
| 81   | 「図 4.6 メモリ・コントローラ・リード・タイミング (クロック同期式メモリ)」内容修正                                 |       |  |
| 86   | 「図5.1シリアル・フラッシュ ROM アクセス・タイミング」SMCSZ(入力)→SMCSZ(出力)に修正                         |       |  |
| 92   | 「4.7.10 Ethernet インタフェース」の(1)内の ETHn_TXDm/ETHn_TXEN, ETHn_TXER 出力遅延時間 MAX 値修正 |       |  |
| 2.01 | 2014.02.07  | 6, 10 | 「1.5 メモリ・マップ」の EtherCAT のアクセス可能領域を修正。  |
|      |   | 30    | 「2.3.16 CC-Link (リモートデバイス局)」の端子一覧に CCM_CLK80M を追加  |
|      |   | 33    | 「2.3.19 動作モード設定端子」ブート・モード選択の修正   |
|      |   | 37    | 「2.4.5 ポート端子」Pull Up/Down の抵抗値追記   |
|      |   | 39    | 「2.4.8 CC-Link (インテリジェントデバイス局、リモートデバイス局)」に修正   |
|      |   | 72    | 「4.5 プルアップ/プルダウン抵抗値」5k $\Omega$ 行の記載削除   |
|      |   | 71    | 表 4.6 DC 特性に TYP 電流追記  |
| 86   | 「4.7.5 シリアル・フラッシュ ROM インタフェース」追記  |       |  |

| Rev.  | 発行日  | 改訂内容   |  |
|-------|--|--------|--|
|       |  | ページ    | ポイント   |
| 2.02  | 2014.04.18   | 20, 30 | CC-Link 端子(リモートデバイス局)の見直し  |
|       |  | 39     | 「2.4.7 CC-Link IE Field 端子」CCI_CLK2_097M 端子の未使用時の接続方法の記載修正、注記追加。   |
| 2.03  | 2014.5.30  | 73     | 「4.6 電源投入／遮断手順」の注意事項追記   |
| 2.04  | 2014.12.25   | 3      | 「1.3 機能概要」CC-Link インテリジェントデバイス局の対応状況を変更  |
|       |  | 6-10   | 「1.5 メモリ・マップ」の EtherCAT のアクセス可能領域を修正。  |
|       |  | 31     | 「2.3.17 システム端子」FB 端子の属性を“-”から入力に変更   |
|       |  | 76     | 「4.7.2 リセット端子」ロー・レベル幅の MIN 値表記を変更 (+1usec を追加)   |
|       |  | 86     | 「4.7.4 外部マイコン・インタフェース端子」非同期モード記載追加   |
| 3.00  | 2015.8.31  | 83-93  | 「4.7.4 外部マイコン・インタフェース端子」タイミング情報修正  |
| 3.01  | 2015.9.18  | 87-90  | 「4.7.4 外部マイコン・インタフェース端子」に「(2) 同期モード(CC-Link IE Field)」を追加  |
| 4.00  | 2015.11.30   | 14-35  | 「2.3 端子機能一覧」<br>・表 2.1、表 2.2 を追加し、略号表記を統一<br>・外部メモリ・インタフェース端子に同期式バースト・アクセス MEMC の機能を明記(MA0-MA26、MD0-MD31)      |
|       |  | 15     | 「2.3.1 (1) PHY インタフェース端子」<br>ETHn_GTXC、ETHn_TXEN、ETHn_TXER、ETHn_TXD0-7 (n : 0-1) のリセット中にドライブ能力切替機能に関する「注」を追加   |
|       |  | 19     | 「2.3.3 外部メモリ・インタフェース」<br>・BUSCLK のリセット中をクロック出力に修正<br>・「注 1」に ADMUXMODE 端子設定時の機能を明記                             |
|       |  | 27     | 「2.3.11 トレース端子」TRACECLK のリセット中をクロック出力に修正   |
|       |  | 29     | 「2.3.14 CC-Link IE Field (インテリジェントデバイス局) 端子」<br>・CCI_WAITEDGEH、CCI_WRLLENH に「注」を追加                             |
|       |  | 30     | 「2.3.15 CC-Link (インテリジェントデバイス局)」<br>CCM_CLK80M の機能説明を修正  |
|       |  | 31     | 「2.3.16 CC-Link (リモートデバイス局)」<br>・CCM_CLK80M の機能説明を修正<br>・CCM_CLK80M は、インテリジェントデバイス局と共用である旨を「注」で明記              |
|       |  | 32     | 「2.3.17 システム端子」<br>・XT1/XT2、OSCTH、JTAGESEL の機能説明を修正<br>・OSCTH のアクティブレベルを修正<br>・RSTOUTZ、CLKOUT25Mn0/1 のリセット中を修正 |
|       |  | 35     | 「2.3.19 動作モード設定端子」使用可能な動作モードの組み合わせを明記  |
|       |  | 38     | 「2.4.3 システム端子」OSCTH、JTAGESEL の未使用時の推奨接続方法を修正   |
|       |  | 41     | 「2.4.6 動作モード設定端子」未使用時の推奨接続方法を修正  |
|       |  | 45     | 「3.3 EtherCAT 機能」表 3.1 を修正   |
|       |  | 50     | 「3.8.1 機能概要」外部イベントカウント機能を追記  |
| 64-65 | 「3.20 ハードウェア・リアルタイム OS」<br>・QINT 表記を修正<br>・「3.20.2 サービス・コール」をプログラミング・マニュアル OS 編に集約するため削除し、備考として、参照先を追記 |        |  |

| Rev. | 発行日  | 改訂内容    |  |
|------|--|---------|--|
|      |  | ページ     | ポイント   |
| 4.00 | 2015.11.30   | 70      | 「4.6 端子容量」を追加  |
|      |  | 73      | 「4.8.1 (1) 入力クロック」<br>CCI_CLK2_097M の MIN/MAX 表記を修正。   |
|      |  | 77-81   | 「4.8.3 外部メモリ・インタフェース」<br>・図 4.4、図 4.5 の注に WREN レジスタの参照先を追記<br>・図 4.6、図 4.7 に WAITZ1-WAITZ3 を追記 |
|      |  | 97      | 「4.8.6 外部 DMA インタフェース」<br>・twdal の誤記を修正 (twDAH→twdal)<br>・「注 2」に n=0-1 を追記                     |
|      |  | 98-99   | 「4.8.7 CSI インタフェース」<br>・CSISCKn のハイ/ロー幅を追記<br>・タイミングチャートが例示である旨を備考で明記                          |
|      |  | 102-103 | 「4.8.10 Ethernet インタフェース」<br>データ端子の添え字 m を追記   |
|      |  | 106     | 「4.8.11 (2) トレース・インタフェース」<br>・TRACADATA 出力遅延時の表記を修正<br>・TRACADATA 出力遅延時の MAX 表記を修正             |
| 4.01 | 2017.2.28  | 30      | 「2.3.15 CC-Link (インテリジェントデバイス局)」<br>CCM_MDIN0-3 信号の機能説明を修正。(補足)                                |
|      |  | 57      | 「3.14.1(1) 外部マイコン・インタフェース」<br>インタフェース方式、同期関係、バッファ機能の説明を修正。(補足)                                 |
|      |  | 58      | 「3.14.1(2) AHB マスタ・ポート仕様」<br>アドレス空間の表記を修正。(表記変更)   |
|      |  |         | 「3.14.1(3) ステータス確認機能」<br>ステータス確認可能なモードを明記。(補足)   |
|      |  | 59      | 「3.15.1 機能概要」<br>ウエイト機能の表記 (ステート→ウエイト) を修正。(表記変更)  |
|      |  | 60      | 「3.16.1 特徴」<br>ウエイト信号の端子名を変更。(誤記訂正)  |
|      |  | 61      | 「3.17.1 機能概要」 ECC エラー割り込み機能を追加。(機能追加)  |
|      |  |         | 「3.17.2 リード・バッファ機能」<br>2bit ECC エラー発生時の AHB バス動作説明を修正。(誤記訂正)                                   |
|      |  | 62      | 「3.18 データ RAM」 Header Endec の表記を修正。(表記変更)  |
|      |  |         | 「3.18.1 機能概要」 ECC エラー割り込み機能を追加。(機能追加)  |
| 63   | 「3.19.1 機能概要」 ECC エラー割り込み機能を追加。(機能追加)  |         |  |
| 64   | 「3.20.1 機能概要」<br>サポート機能として Internal DMA/Buffer Allocator/Header EnDec 追加。(機能追加)                    |         |  |
| 70   | 「4.4 DC 特性」<br>表 4.6 入力リーク電流の条件から 5kΩ 抵抗の項目を削除。(誤記訂正)<br>表 4.7 ハイ・レベル出力電圧のシンボル (IoL→IoH) 変更。(誤記訂正) |         |  |

| Rev. | 発行日        | 改訂内容      |  |
|------|------------|-----------|--|
|      |            | ページ       | ポイント   |
| 5.00 | 2018.12.28 | 3         | 「1.3 機能概要」<br>表 1.2 R-IN32M3 の機能概要(2/2)に内蔵 PHY 用電源を追加。   |
|      |            | 6,7,10,11 | 「1.5 メモリ・マップ」<br>以下のメモリ・マップそれぞれに対し、命令 RAM 領域(768K バイト)はブート・モードによりアクセス発生アドレスが変化する注意を追加。<br>図 1.1 メモリ・マップ (全体) (R-IN32M3-EC)<br>図 1.2 メモリ・マップ (全体) (R-IN32M3-CL)<br>図 1.6 外部マイコン・インタフェース空間 (R-IN32M3-EC)<br>図 1.7 外部マイコン・インタフェース空間 (R-IN32M3-CL) |
|      |            | 6,7       | 「1.5 メモリ・マップ」<br>以下のメモリ・マップの命令 RAM 領域と命令 RAM ミラー領域の入れ替わりを修正<br>図 1.1 メモリ・マップ (全体) (R-IN32M3-EC)<br>図 1.2 メモリ・マップ (全体) (R-IN32M3-CL)  |
|      |            | 10,11     | 「1.5 メモリ・マップ」<br>以下のメモリ・マップの命令 RAM 領域を命令 RAM ミラー領域へ修正<br>図 1.6 外部マイコン・インタフェース空間 (R-IN32M3-EC)<br>図 1.7 外部マイコン・インタフェース空間 (R-IN32M3-CL)  |
|      |            | 22        | 「2.3.5 ポート端子、リアルタイム・ポート端子」<br>端子名を変更(CCM_IRZ→CCM_IRLZ)   |
|      |            | 30        | 「2.3.15 CC-Link (インテリジェントデバイス局)」<br>端子名を変更(CCM_IRZ→CCM_IRLZ)<br>CCM_MDIN0-3、CCM_IRLZ の機能説明を修正<br>CCM_ERRZ、CCM_MSTZ、CCM_SMSTZ の機能説明を未使用に変更  |
|      |            | 68        | 「4.2 絶対最大定格」<br>表 4.4 絶対最大定格へ 1.5V 系を追加  |
|      |            | 69        | 「4.3 推奨動作範囲」<br>表 4.5 推奨動作範囲へ 1.5V 電源を追加   |
|      |            | 77,78     | 「4.8.3 外部メモリ・インタフェース端子」<br>タイミング図中の BCYSTZ 端子の端子方向を修正(入力→出力)   |
|      |            | 89        | 「4.8.4 外部マイコン・インタフェース端子 (3)非同期モード」<br>番号 22 へ先読み機能有効時のアドレス入力保持時間を追加。   |
|      |            | 91        | 「4.8.4 外部マイコン・インタフェース端子 (3)非同期モード」<br>図 4.14 外部マイコン・インタフェース・リード・タイミング(MEMCSEL=L、HIFSYNC=L)へ番号 22 を追加。  |
|      |            | 96        | 「4.8.5 シリアル・フラッシュ ROM インタフェース」<br>tdSMCCK、tdSMCKCS のスペックを変更  |
|      |            | 5.01      | 2021.1.12  |
| 5.01 | 2021.1.12  | 3         | 「1.3 機能概要」<br>EtherCA P 未サポートについての注記を追加  |



## 製品ご使用上の注意事項

ここでは、CMOS デバイスの一般的注意事項について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイ・インピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、切り替えからリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワー・オン・リセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

○Arm® およびCortex® は、Arm Limited（またはその子会社）のEUまたはその他の国における登録商標です。 All rights reserved.

○Ethernetおよびイーサネットは、富士ゼロックス株式会社の登録商標です。

○IEEEは、the Institute of Electrical and Electronics Engineers, Inc. の登録商標です。

○TRONは” The Real-time Operation system Nucleus” の略称です。

○ITRONは” Industrial TRON” の略称です。

○ $\mu$  ITRONは” Micro Industrial TRON” の略称です。

○TRON、ITRON、および $\mu$  ITRONは、特定の商品ないし商品群を指す名称ではありません。

○EtherCAT®,およびTwinCAT®は、ドイツBeckhoff Automation GmbHによりライセンスされた特許取得済み技術であり登録商標です。

○CC-Link及びCC-Link IE Fieldは、CC-Link協会 (CC-Link Partner Association: CLPA)の登録商標です。

○その他、本資料中の製品名やサービス名は全てそれぞれの所有者に属する商標または登録商標です。