

---

## RL78/G12

シリアル・インタフェース IICA（マスタ送受信） CC-RL

R01AN2987JJ0100

Rev. 1.00

2015.10.20

---

### 要旨

本アプリケーションノートでは、シリアル・インタフェース IICA によるマスタ送受信機能の使用方法を説明します。IICA を使用してシングルマスタ・システムでのマスタ動作（アドレス送信、データ送受信）を行います。

### 対象デバイス

RL78/G12

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

## 目次

1. 仕様	3
2. 動作確認条件	18
3. 関連アプリケーションノート	18
4. ハードウェア説明	19
4.1 ハードウェア構成例	19
4.2 使用端子一覧	19
5. ソフトウェア説明	20
5.1 動作概要	20
5.2 オプション・バイトの設定一覧	21
5.3 定数一覧	21
5.4 変数一覧	22
5.5 関数（サブルーチン）一覧	23
5.6 関数仕様	24
5.7 フローチャート	26
5.7.1 CPU 初期化関数	27
5.7.2 入出力ポート設定	28
5.7.3 クロック発生回路の設定	29
5.7.4 TAU0 の初期設定	30
5.7.5 IICA0 の初期設定	31
5.7.6 メイン処理	39
5.7.7 10ms インターバル・タイマ起動処理	42
5.7.8 マスタ通信開始処理	43
5.7.9 スタート・コンディション発行処理	45
5.7.10 ストップ・コンディション発行処理	46
5.7.11 IICA0 割り込み処理	47
5.7.12 IICA0 マスタ通信処理	48
6. サンプルコード	52
7. 参考ドキュメント	52

1. 仕様

本アプリケーションノートは、シリアル・インタフェース IICA を使用してシングルマスタ・システムでのマスタ送受信（アドレス送信、データ送受信）を行う方法を説明します。

表 1.1に使用する周辺機能と用途を図 1.1 に IIC 通信の概要を示します。

図 1.2 から図 1.8 に IIC 通信のタイミング・チャートを示します。

表 1.1 使用する周辺機能と用途

周辺機能	用途
シリアル・インタフェース IICA	シングルマスタ・システムでの IIC マスタ送受信を行う。 (SCLA0 端子と SDAA0 端子を使用)

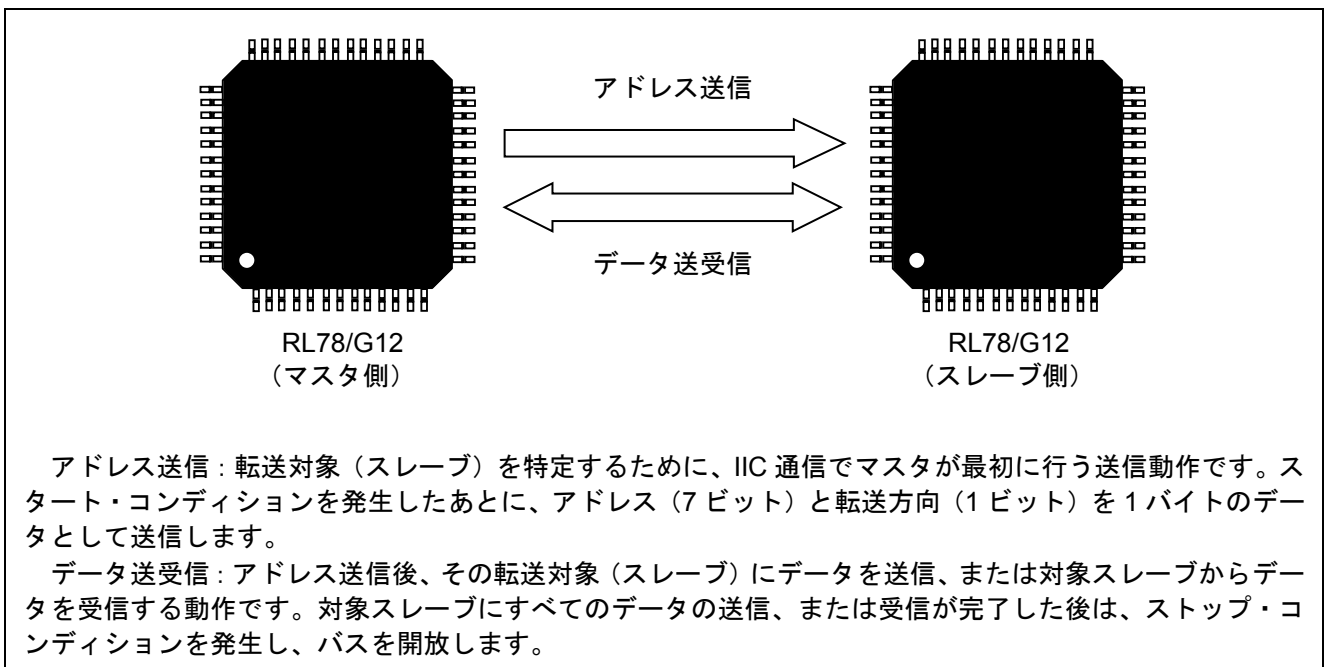


図 1.1 IIC 通信の概要

(1) マスタ→スレーブ通信 1 (スタート・コンディション～アドレス～データ)

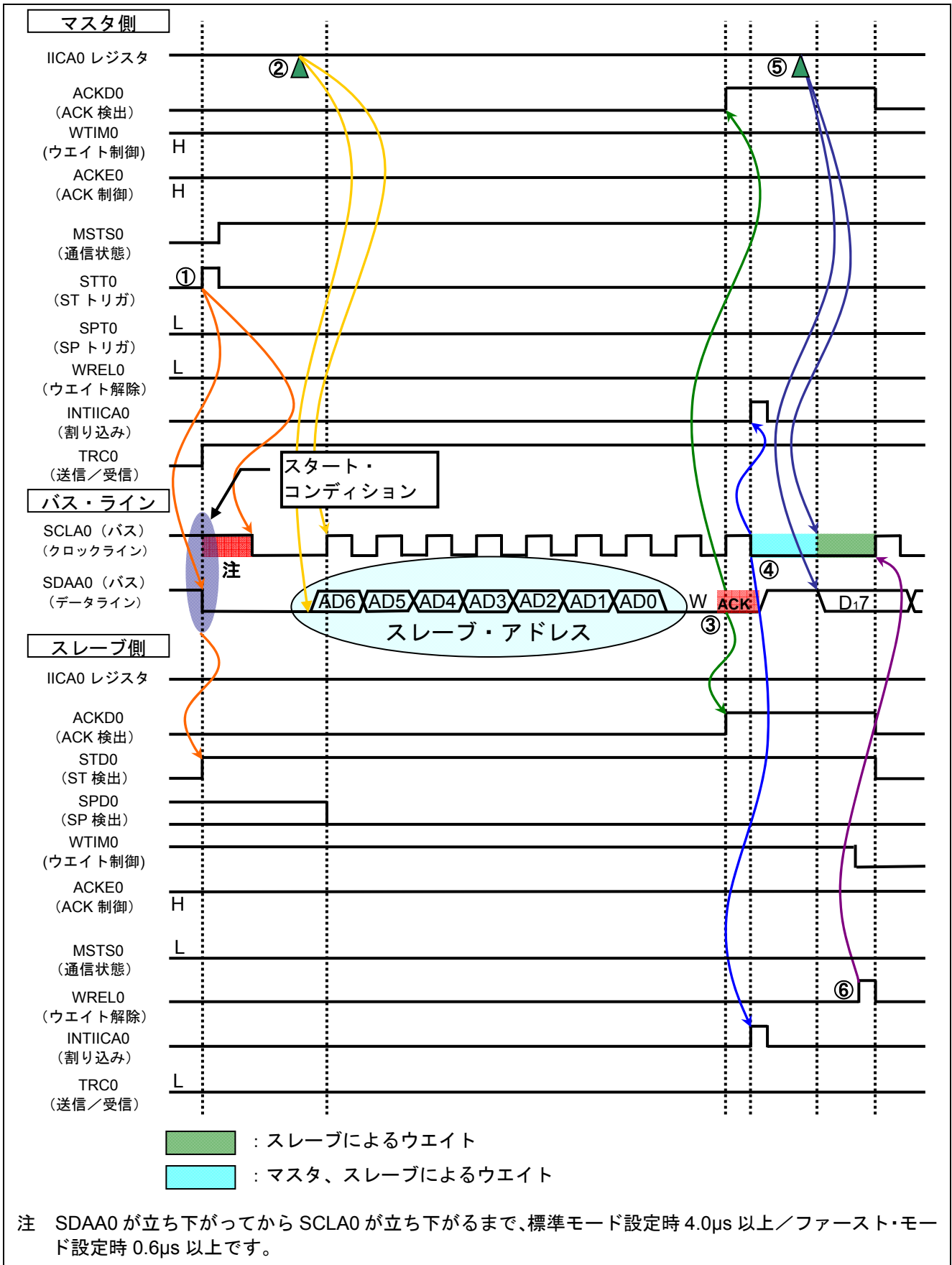


図 1.2 IIC 通信タイミング・チャート (マスタ→スレーブ通信例) (1/4)

- ① マスタ側でスタート・コンディション・トリガがセット（STT0=1）されると、SDAA0 ラインが立ち下がり、スタート・コンディションが生成されます。その後、スタート・コンディションを検出（STD0=1）すると、マスタ側はマスタ通信状態（MSTS0=1）になります。ホールド時間経過後、SCLA0 ラインが立ち下がり、通信準備が完了となります。
- ② マスタ側で IICA0 レジスタにアドレス+データ方向ビット W（送信）が書き込まれると、スレーブ・アドレスが送信されます。
- ③ 受信したアドレスとスレーブのアドレスが一致した場合<sup>注</sup>、スレーブ側のハードウェアより ACK0 がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKD0=1）されます。
- ④ 9 クロック目の立ち下がり、マスタ側の割り込み（INTIICA0:アドレス送信完了の割り込み）が発生し、スレーブはアドレスが一致した場合、割り込み（INTIICA0:アドレス一致の割り込み）が発生します。さらに、マスタ側およびアドレスが一致したスレーブ側はウェイト（SCLA0 ライン：ロウ・レベル）を発生させます<sup>注</sup>。
- ⑤ マスタ側が IICA0 レジスタに送信データを書き込み、マスタ側はウェイトを解除します。
- ⑥ スレーブ側は受信動作となるため、8 クロック・ウェイト（WTIM0=0）を選択します。スレーブ側がウェイトを解除（WREL0=1）すると、マスタ側からスレーブ側にデータ転送が開始されます。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しませんが（NACK）。また、スレーブ側の INTIICA0 割り込み（アドレス一致の割り込み）は発生せず、スレーブ側のウェイトは入りません。ただし、マスタ側は ACK、NACK のどちらの場合でも、INTIICA0 割り込み（アドレス送信完了の割り込み）が発生します。

(2) マスタ→スレーブ通信 2 (アドレス~データ~データ)

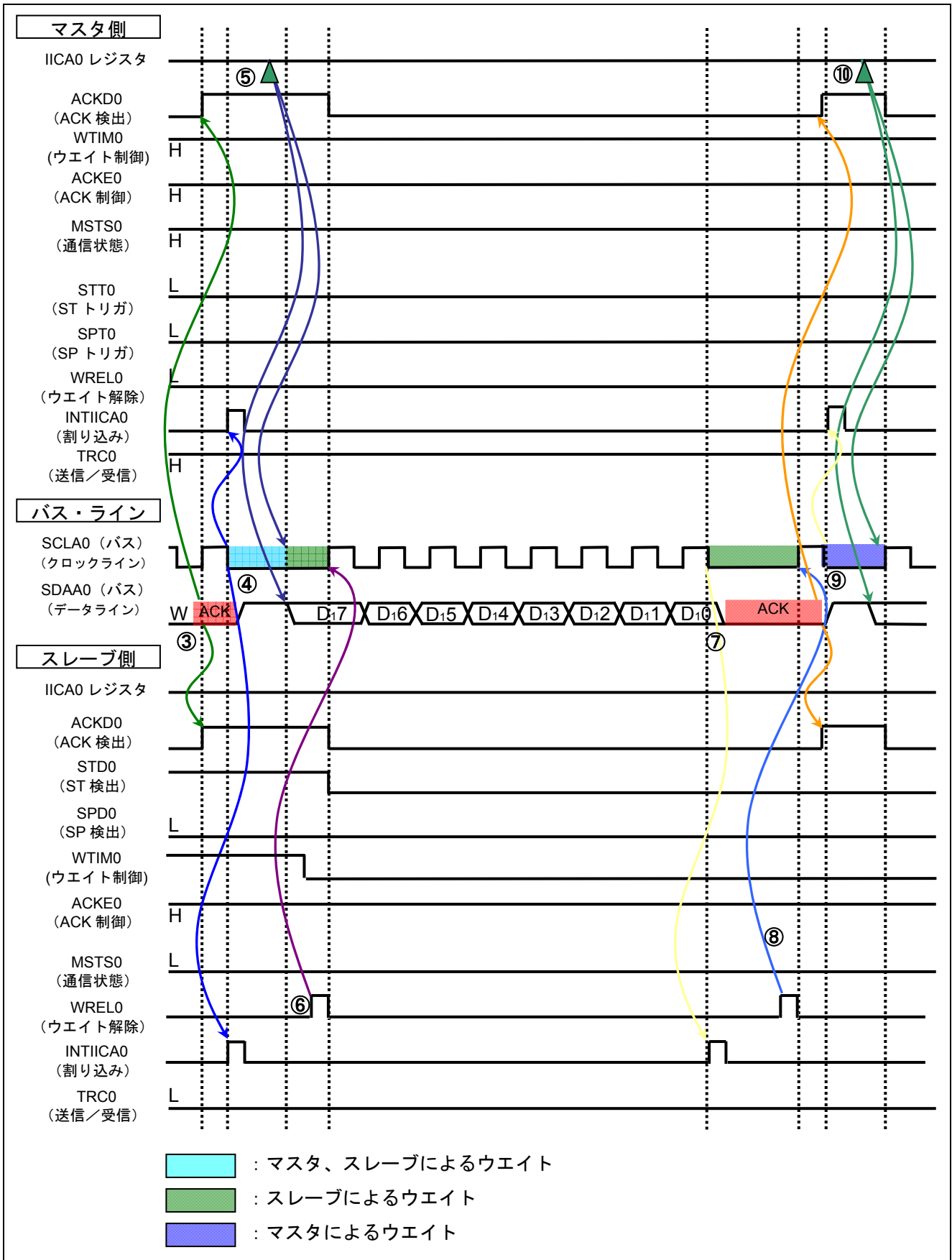


図 1.3 IIC 通信タイミング・チャート (マスタ→スレーブ通信例) (2/4)

- ③ 受信したアドレスとスレーブのアドレスが一致した場合<sup>注</sup>、スレーブ側のハードウェアより **ACK** がマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側で **ACK** が検出 (**ACKD0=1**) されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み (**INTIICA0**:アドレス送信完了の割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (**INTIICA0**:アドレス一致の割り込み) が発生します。さらに、マスタ側およびアドレスが一致したスレーブ側はウェイト (**SCLA0** ライン:ロウ・レベル) を発生させます。
- ⑤ マスタ側が **IICA0** レジスタに送信データを書き込み、マスタ側にはよるウェイトを解除します。
- ⑥ スレーブ側は受信動作となるため、8クロック・ウェイト (**WTIM0=0**) を選択します。スレーブ側がウェイトを解除 (**WREL0=1**) すると、マスタ側からスレーブ側にデータ転送が開始されます。
- ⑦ データ転送完了後、8クロック目の立ち下がり時にスレーブ側のハードウェアによるウェイト (**SCLA0** ライン:ロウ・レベル) が発生し、スレーブ側で割り込み (**INTIICA0**:転送完了割り込み) が発生します。
- ⑧ スレーブ側が受信データを読み出して、ウェイトを解除 (**WREL0=1**) すると、**ACK** がマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側で **ACK** が検出 (**ACKD0=1**) されます。
- ⑨ 9クロック目の立ち下がり、マスタ側によるウェイト (**SCLA0** ライン:ロウ・レベル) が発生し、マスタ側で割り込み (**INTIICA0**:転送完了割り込み) が発生します。
- ⑩ マスタ側が **IICA0** レジスタに送信データを書き込み、マスタ側がウェイトを解除すると、マスタ側からスレーブ側にデータ転送が開始されます。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は **ACK** をマスタ側へ返しませんが (**NACK**)。また、スレーブ側の **INTIICA0** 割り込み (アドレス一致の割り込み) は発生せず、スレーブ側のウェイトは入りません。ただし、マスタ側は **ACK**、**NACK** のどちらの場合でも、**INTIICA0** 割り込み (アドレス送信完了の割り込み) が発生します。

(3) マスタ→スレーブ通信 3 (データ～データ～ストップ・コンディション)

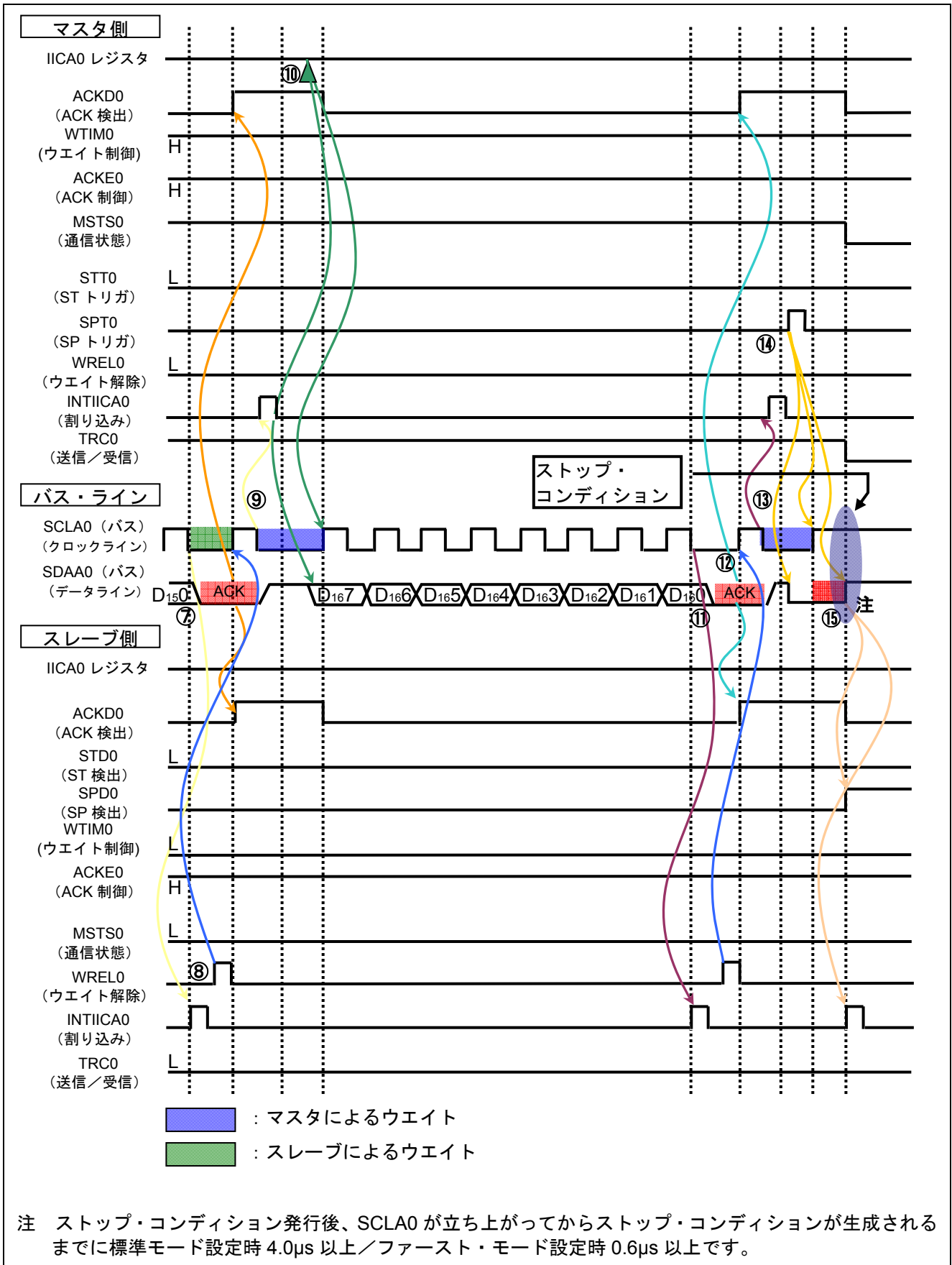


図 1.4 IIC 通信タイミング・チャート (マスタ→スレーブ通信例) (3/4)



- ⑦ データ転送完了後、8クロック目の立ち下がり時にスレーブ側のハードウェアによるウェイト（SCLA0ライン：ロウ・レベル）が発生し、スレーブ側で割り込み（INTIICA0:転送完了割り込み）が発生します。
- ⑧ スレーブ側が受信データを読み出して、ウェイトを解除（WREL0=1）すると、ACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出（ACKD0=1）されます。
- ⑨ 9クロック目の立ち下がり時、マスタ側によるウェイト（SCLA0ライン：ロウ・レベル）が発生し、マスタ側の割り込み（INTIICA0:アドレス送信完了の割り込み）が発生します。
- ⑩ マスタ側がIICA0レジスタに送信データを書き込み、マスタ側はウェイトを解除すると、マスタ側からスレーブ側にデータ転送が開始されます。
- ⑪ データ転送完了後、8クロック目の立ち下がり時にスレーブ側のハードウェアによるウェイト（SCLA0ライン：ロウ・レベル）が発生し、スレーブ側で割り込み（INTIICA0:転送完了割り込み）が発生します。
- ⑫ スレーブ側が受信データを読み出して、ウェイトを解除（WREL0=1）すると、ACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出（ACKD0=1）されます。
- ⑬ 9クロック目の立ち下がり時、マスタ側によるウェイト（SCLA0ライン：ロウ・レベル）が発生し、マスタ側で割り込み（INTIICA0:転送完了の割り込み）が発生します。
- ⑭ ストップ・コンディション・トリガをセット（SPT0=1）すると、SDAA0ラインを立ち下げ、SCLA0ラインを立ち上げ、ストップ・コンディションセットアップ時間経過後、SDAA0ラインを立ち上げることでストップ・コンディションが生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され（SPD0=1）、スレーブ側でIICA0割り込み（ストップ・コンディションの割り込み）が発生します。

(4) マスタ→スレーブ通信 4 (データ～リスタート・コンディション～アドレス)

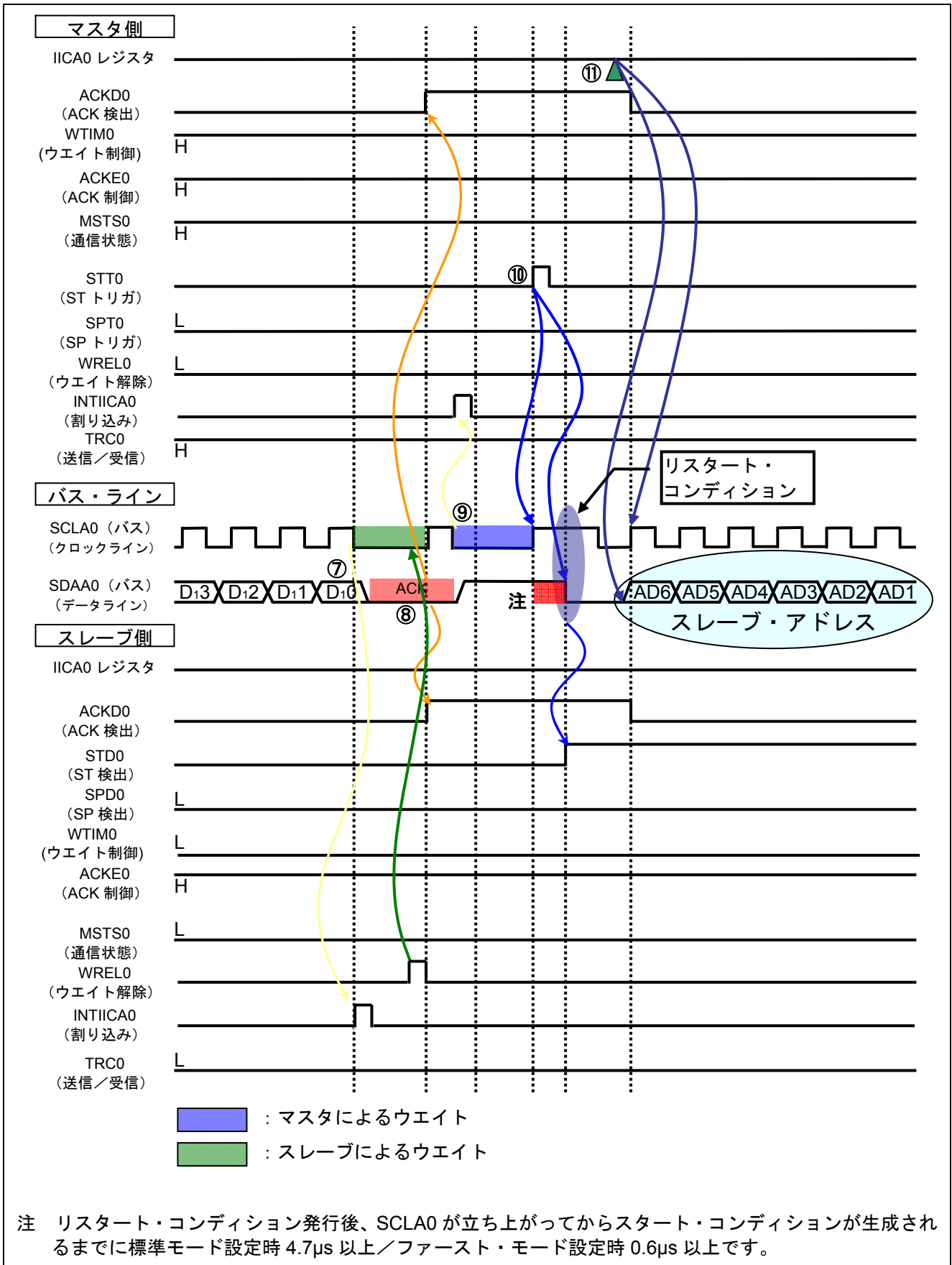


図 1.5 IIC 通信タイミング・チャート (マスタ→スレーブ通信例) (4/4)

- ⑦ データ転送完了後、8クロック目の立ち下がり時にスレーブ側のハードウェアによるウェイト (SCLA0ライン:ロウ・レベル) が発生し、スレーブ側で割り込み (INTIICA0:転送完了割り込み) が発生します。
- ⑧ スレーブ側が受信データを読み出して、ウェイトを解除 (WREL0=1) すると、ACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD0=1) されます。
- ⑨ 9クロック目の立ち下がり、マスタ側によるウェイト (SCLA0ライン:ロウ・レベル) が発生し、マスタ側で割り込み (INTIICA0:転送完了の割り込み) が発生します。
- ⑩ マスタ側で再度スタート・コンディション・トリガがセット (STT0=1) されると、SCLA0ラインが立ち上がり、リスタート・コンディションセットアップ時間後、SDAA0ラインが立ち下がり、スタート・コンディションが生成されます。その後、スタート・コンディションを検出 (STD0=1) すると、ホールド時間経過後、バス・クロックラインが立ち下がり、通信準備が完了となります。
- ⑪ マスタ側がIICA0レジスタにスレーブ・アドレスを書き込み、マスタ側からスレーブ側にアドレス転送が開始されます。

(5) スレーブ→マスタ通信 1 (スタート・コンディション～アドレス～データ)

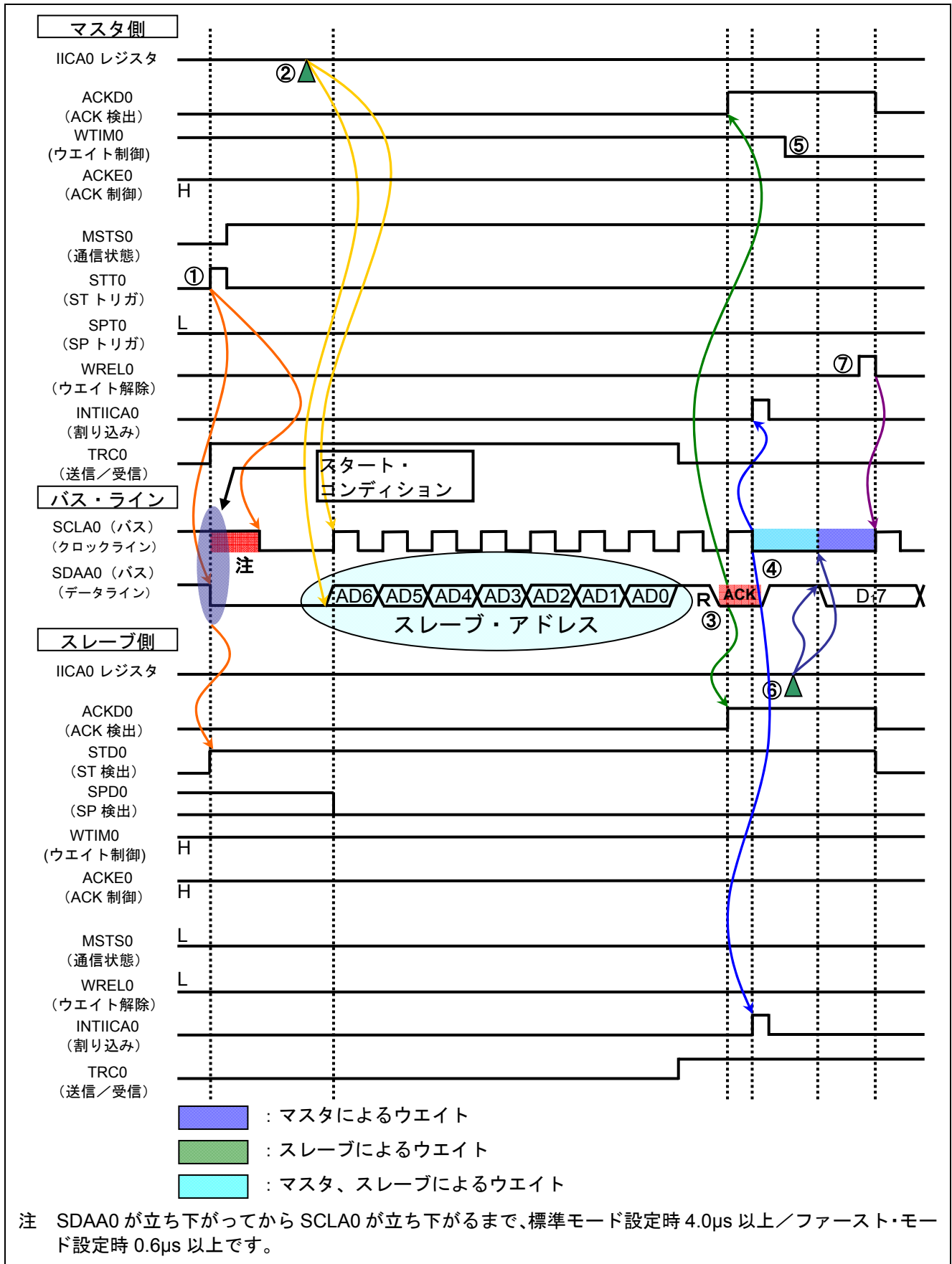


図 1.6 IIC 通信タイミング・チャート (スレーブ→マスタ通信例) (1/3)

- ① マスタ側でスタート・コンディション・トリガがセット（STT0=1）されると、SDAA0 ラインが立ち下がり、スタート・コンディションが生成されます。その後、スタート・コンディションを検出（STD0=1）すると、マスタ側はマスタ通信状態（MSTS0=1）になります。ホールド時間経過後、SCLA0 ラインが立ち下がり、通信準備が完了となります。
- ② マスタ側で IICA0 レジスタにアドレス+データ方向ビット R（受信）が書き込まれると、スレーブ・アドレスが送信されます。
- ③ 受信したアドレスとスレーブのアドレスが一致した場合<sup>注</sup>、スレーブ側のハードウェアより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKD0=1）されます。
- ④ 9 クロック目の立ち下がり、マスタ側の INTIICA0 割り込み（アドレス送信完了の割り込み）が発生し、スレーブはアドレスが一致した場合、INTIICA0 割り込み（アドレス一致の割り込み）が発生します。さらに、マスタ側およびアドレスが一致したスレーブ側はウェイト（SCLA0 ライン：ロウ・レベル）を発生させます。
- ⑤ マスタ側は受信動作となるため、8 クロック・ウェイト（WTIM0=0）を選択します。
- ⑥ スレーブ側が IICA0 レジスタに送信データを書き込み、スレーブ側はウェイトを解除します。
- ⑦ マスタ側がウェイトを解除（WREL0=1）すると、スレーブ側からマスタ側にデータ転送が開始されます。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しません（NACK）。また、スレーブ側の INTIICA0 割り込み（アドレス一致の割り込み）は発生せず、スレーブ側のウェイトも入りません。ただし、マスタ側は ACK、NACK のどちらの場合でも、INTIICA0 割り込み（アドレス送信完了の割り込み）が発生します。

(6) スレーブ→マスタ通信 2 (アドレス~データ~データ)

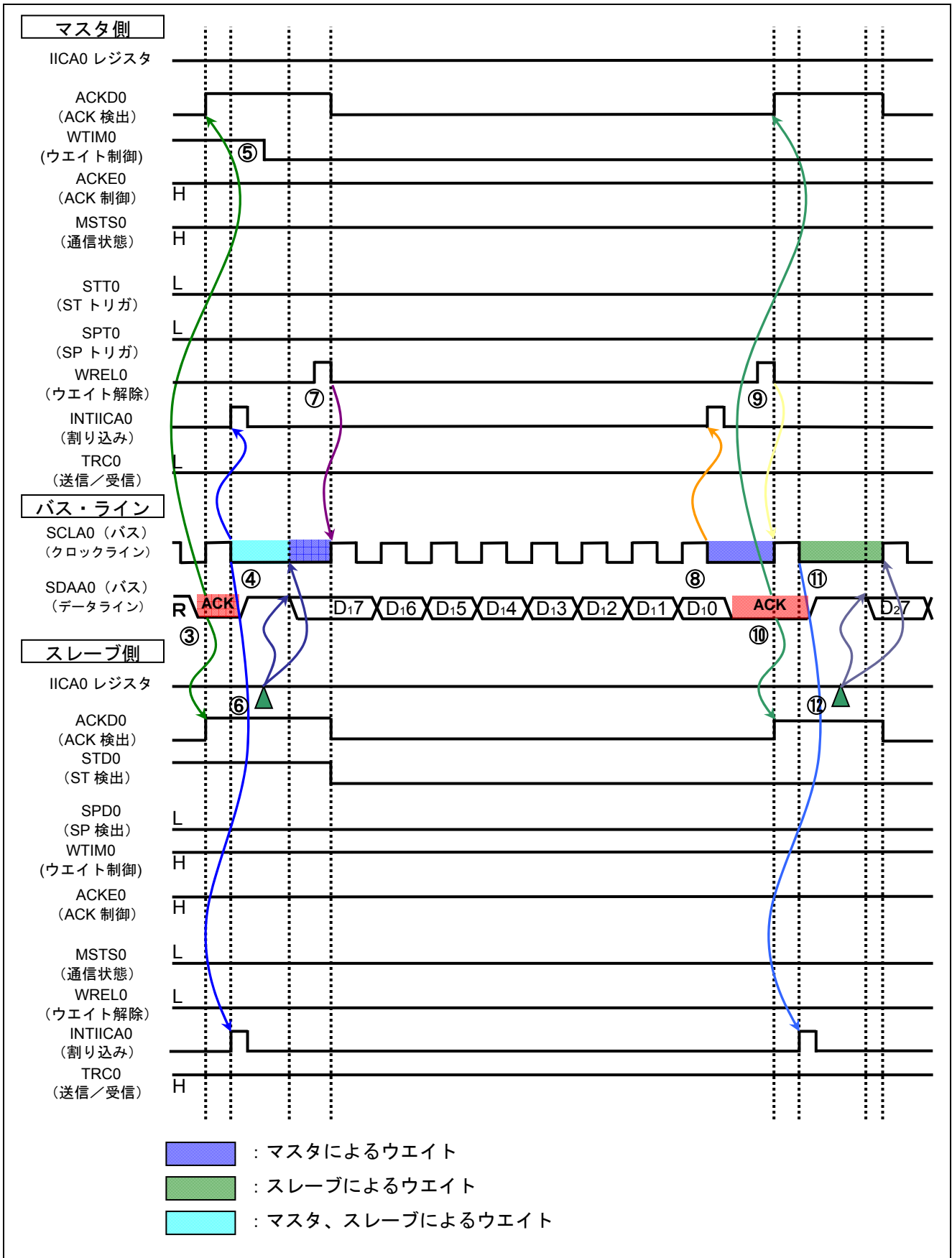


図 1.7 IIC 通信タイミング・チャート (スレーブ→マスタ通信例) (2/3)

- ③ 受信したアドレスとスレーブのアドレスが一致した場合<sup>注</sup>、スレーブ側のハードウェアより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKD0=1) されます。
- ④ 9 クロック目の立ち下がり、マスタ側の INTIICA0 割り込み (アドレス送信完了の割り込み) が発生し、スレーブはアドレスが一致した場合、INTIICA0 割り込み (アドレス一致の割り込み) が発生します。さらに、マスタ側とアドレスが一致したスレーブ側によるウェイト (SCLA0 ライン: ロウ・レベル) を発生させます。
- ⑤ マスタ側は受信動作となるため、8 クロック・ウェイト (WTIM0=0) を選択します。
- ⑥ スレーブ側が IICA0 レジスタに送信データを書き込み、スレーブ側はウェイトを解除します。
- ⑦ マスタ側がウェイトを解除 (WREL0=1) すると、スレーブ側からマスタ側にデータ転送が開始されます。
- ⑧ 8 クロック目の立ち下がり、マスタ側によるウェイト (SCLA0 ライン: ロウ・レベル) が発生し、マスタ側の INTIICA0 割り込み (転送完了の割り込み) が発生します。また、マスタ側のハードウェアより ACK がスレーブ側へ送信されます。
- ⑨ マスタ側は受信データを読み出して、ウェイトを解除 (WREL0=1) します。
- ⑩ 9 クロック目の立ち上がり時に、スレーブ側で ACK が検出 (ACKD0=1) されます。
- ⑪ 9 クロック目の立ち下がり、スレーブ側によるウェイト (SCLA0 ライン: ロウ・レベル) が発生し、スレーブ側は INTIICA0 割り込み (転送完了の割り込み) が発生します。
- ⑫ スレーブ側の IICA0 レジスタに送信データを書き込むと、スレーブ側のウェイトは解除され、スレーブ側からマスタ側にデータ転送が開始されます。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しませんが (NACK)。また、スレーブ側の INTIICA0 割り込み (アドレス一致の割り込み) は発生せず、スレーブ側のウェイトも入りません。ただし、マスタ側は ACK、NACK のどちらの場合でも、INTIICA0 割り込み (アドレス送信完了の割り込み) が発生します。

(7) スレーブ→マスタ通信 3 (データ～データ～ストップ・コンディション)

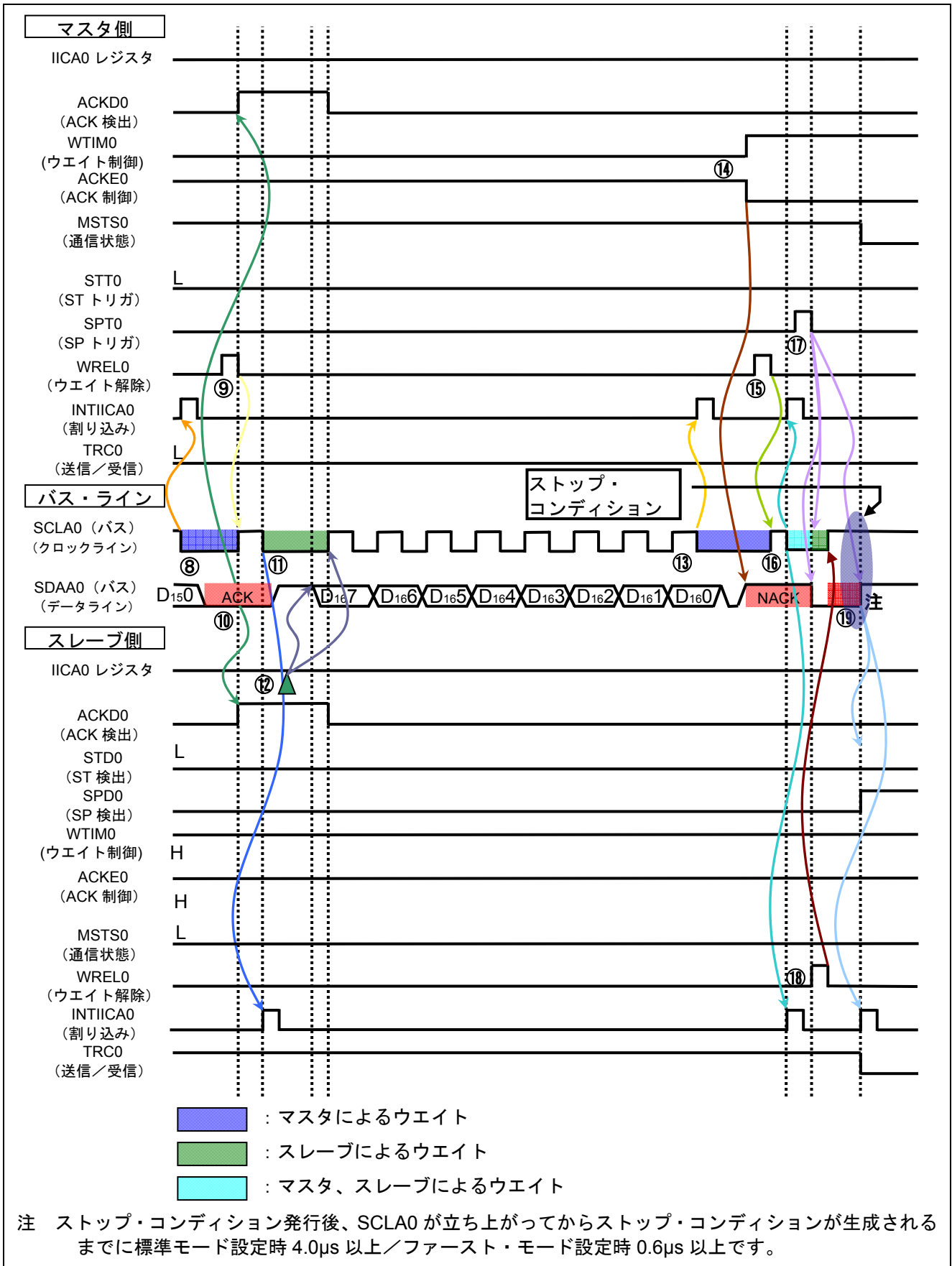


図 1.8 IIC 通信タイミング・チャート (スレーブ→マスタ通信例) (3/3)



- ⑧ 8クロック目の立ち下がりで、マスタ側によるウェイト (SCLA0 ライン:ロウ・レベル) が発生し、マスタ側の INTIICA0 割り込み (転送完了の割り込み) が発生します。さらに、マスタ側のハードウェアより ACK がスレーブ側へ送信されます。
- ⑨ マスタ側は受信データを読み出して、ウェイトを解除 (WREL0=1) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側で ACK が検出 (ACKD0=1) されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるウェイト (SCLA0 ライン:ロウ・レベル) が発生し、スレーブ側は INTIICA0 割り込み (転送完了の割り込み) が発生します。
- ⑫ スレーブ側の IICA0 レジスタに送信データを書き込むと、スレーブ側のウェイトは解除され、スレーブ側からマスタ側にデータ転送が開始されます。
- ⑬ 8クロック目の立ち下がりで、マスタ側 INTIICA0 の割り込み (転送完了の割り込み) が発生し、マスタ側によるウェイト (SCLA0 ライン:ロウ・レベル) が発生します。また、マスタ側のハードウェアより ACK がスレーブ側へ送信されます。
- ⑭ マスタ側はスレーブ側に最終データであること (通信終了) を通知するため、NACK 応答に設定 (ACKE0=0) し、ウェイト・タイミングを 9クロック・ウェイト (WTIM0=1) に変更します。
- ⑮ マスタ側がウェイトを解除 (WREL0=1) すると、スレーブ側は 9クロック目の立ち上がりで NACK を検出 (ACKD0=0) します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるウェイト (SCLA0 ライン:ロウ・レベル) が発生し、マスタ側とスレーブ側で INTIICA0 割り込み (転送完了の割り込み) が発生します。
- ⑰ マスタ側でストップ・コンディション発行 (SPT0=1) すると、SDAA0 ラインが立ち下がり、マスタ側のウェイトが解除されます。その後、マスタ側は SCLA0 ラインが立ち上がるまで待機します。
- ⑱ スレーブ側は通信を終了するためにウェイトを解除 (WREL0=1) します。スレーブによるウェイトが解除されると、SCLA0 ラインが立ち上がります。
- ⑲ マスタ側は SCLA0 ラインが立ち上がったことを確認すると、ストップ・コンディションセットアップ時間経過後、SDAA0 ラインを立ち上げ、ストップ・コンディションを発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出 (SPD0=1) され、マスタ側、スレーブ側で INTIICA0 割り込み (ストップ・コンディションの割り込み) が発生します。

## 2. 動作確認条件

本アプリケーションノートのサンプルコードは、下記の条件で動作を確認しています。

表 2.1 動作確認条件

項目	内容
使用マイコン	RL78/G12 (R5F1026A)
動作周波数	<ul style="list-style-type: none"> <li>● 高速オンチップオシレータ (HOCO) クロック : 24MHz</li> <li>● CPU/周辺ハードウェア・クロック : 24MHz</li> </ul>
動作電圧	5.0V (2.9V~5.5V で動作可能) LVD 動作 ( $V_{LVD}$ ) : リセット・モード 2.81V (2.76V~2.87V)
統合開発環境 (CS+)	ルネサス エレクトロニクス製 CS+ for CC V3.01.00
アセンブラ (CS+)	ルネサス エレクトロニクス製 CC-RL V1.01.00
統合開発環境 (e <sup>2</sup> studio)	ルネサス エレクトロニクス製 e <sup>2</sup> studio V4.0.2.008
アセンブラ (e <sup>2</sup> studio)	ルネサス エレクトロニクス製 CC-RL V1.01.00
使用ボード	RL78/G12 ターゲット・ボード (QB-R5F1026A-TB)

## 3. 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。併せて参照してください。

RL78/G12 初期設定 (R01AN2582J) アプリケーションノート

RL78/G12 IICA スレーブ送受信 (R01AN2988J) アプリケーションノート

## 4. ハードウェア説明

### 4.1 ハードウェア構成例

図 4.1 に本アプリケーションノートで使用するハードウェア構成例を示します。

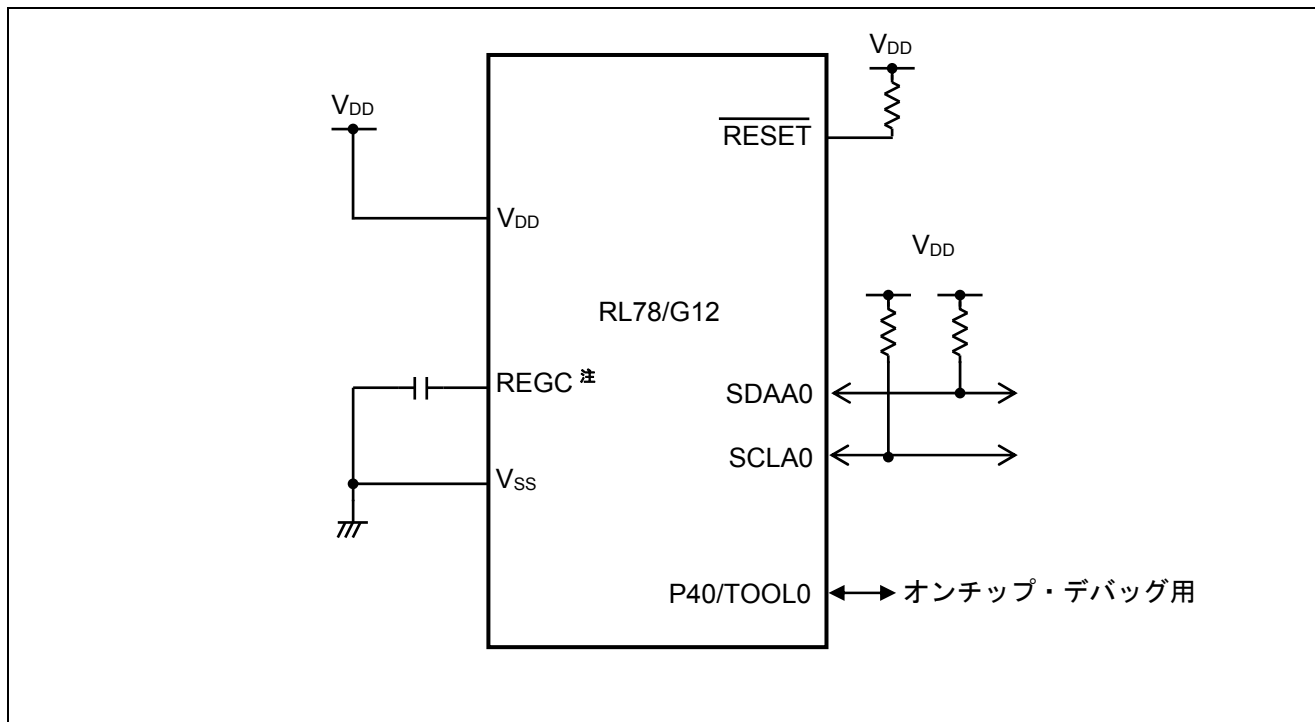


図 4.1 ハードウェア構成

注 30ピン製品のみ

注意 1 この回路イメージは接続の概要を示す為に簡略化しています。実際に回路を作成される場合は、端子処理などを適切に行い、電気的特性を満たすように設計してください（入力専用ポートは個別に抵抗を介してVDD又はVSSに接続して下さい）。

2 VDDはLVDにて設定したリセット解除電圧（V<sub>LVD</sub>）以上にしてください。

### 4.2 使用端子一覧

表 4.1に使用端子と機能を示します。

表 4.1 使用端子と機能

端子名	入出力	内容
P60/KR4/SCLA0	入出力	シリアル・クロック入出力端子
P61/KR5/SDAA0	入出力	シリアル・データ送受信端子

## 5. ソフトウェア説明

### 5.1 動作概要

本アプリケーションノートでは、シリアル・インタフェース IICA による、IICA マスタ送受信（アドレス・フィールド送信、データ送信/データ受信）動作を行います。

- (1) シリアル・インタフェース IICA の初期設定を行います。

<設定条件>

- 動作モードをファースト・モードに設定します。
  - 転送クロックを 400kHz に設定します。
  - 自局アドレスを 0x50 に設定します。
  - デジタル・フィルタの動作をオンに設定します。
  - アクノリッジ許可に設定します。
  - 9 クロック目で割り込み発生に設定します。
  - ストップ・コンディション割り込み禁止に設定します。
  - P60/ KR4/SCLA0 端子を転送クロック入出力用に、P61/ KR5/SDAA0 端子をデータ送信/受信用に設定します。
- (2) 通信バッファ（送信用と受信用で各 16 バイト）を準備し、初期値を設定します。また、通信の基準時間(10ms)を生成するタイマを起動し、通信のためのパラメータを構造体 FCB に設定します。
  - (3) タイマ割り込み発生後、構造体 FCB に内容に従って、スレーブ側にデータ（16 バイト）を送信します。通信完了後、次の通信のためのパラメータを構造体 FCB に設定し、タイマ割り込みを待ちます。
  - (4) タイマ割り込み発生後、スレーブ側からのデータを受信します。受信データ（16 バイト）は、順次、通信バッファに格納されます。通信完了後、次の通信のためのパラメータを構造体 FCB に設定し、タイマ割り込みを待ちます。
  - (5) 上記 (3) ~ (4) を繰り返します。

注意 本サンプルコードは、RL78/G12 IICA スレーブ送受信（R01AN2988J）アプリケーションノートに対応しています。

スレーブ・アドレス送信（マスタ→スレーブ）時とデータ送信（マスタ→スレーブ）時に、スレーブ側から応答がない（NACK）場合は、NACK 発生回数が合計 3 回までは、再度スタート・コンディションからデータを再送します。NACK が合計 4 回以上発生すると、データ通信を終了（ストップ・コンディション発行）し、タイマ割り込みを待ちます。タイマ割り込み発生後、データ通信を再開します。

## 5.2 オプション・バイトの設定一覧

図 5.1 にオプション・バイト設定を示します。

表 5.1 オプション・バイト設定

アドレス	設定値	内容
000C0H	01101110B	ウォッチドッグ・タイマ 動作停止 (リセット解除後、カウント停止)
000C1H	01111111B	LVD リセット・モード 2.81V (2.76V~2.87V)
000C2H	11100000B	HS モード、HOCO : 24MHz
000C3H	1000101B	オンチップ・デバッグ許可

## 5.3 定数一覧

表 5.2 にサンプルコードで使用する定数を示します。

表 5.2 サンプルコードで使用する定数

定数名	設定値	内容
BAUDRATE	400	kbps 単位の転送速度 (FAST モードの 400kbps)
FHOCO	24	MHz 単位の HOCO 発振周波数 (24MHz)
OPCLK	FHOCO/2	MHz 単位の IICA0 動作クロック (12MHz)
RATE	OPCLK * 1000/400	転送レートに対するクロック分周比
DIICWL	RATE*52/100+1	IICWL0 レジスタ設定値 (16)
RISETIME	100	信号立ち上がり時間 (100ns)
FALLTIME	100	信号立ち下がり時間 (100ns)
TERMHIGH	48000/(BAUDRATE/10)	SCLA0 のロウ以外の時間 (ns)
WIDTHHIGH	TERMHIGH - (RISETIME + FALLTIME)	SCLA0 ハイ・レベル幅
DIICWH	(WIDTHHIGH * OPCLK)/1000 + 1	IICWH0 レジスタ設定値 (13)
CSLFADDR	50H	マスタ自身のアドレス
CRETRYCNT	4	IIC 送信エラー回数
SLAVEADDR	A0H	スレーブ・アドレス
BUFSIZE	16	送受信するデータ数
CWRITEMODE	40H	マスタ送信モード・コマンド
CINWRITE	80H	マスタ送信動作中
CREADMODE	41H	マスタ受信モード・コマンド
CINREAD	81H	マスタ受信動作中
CSUCCESSW	00H	マスタ送信正常終了
CSUCCESSR	01H	マスタ受信正常終了
CBUSBUSY	11H	IIC バス・エラー
CSLAVEBUSY	12H	スレーブ・ビジー
CNOACK	13H	データ送信エラー
CCOMERROR	1FH	コマンド・エラー
RB2C	FEEAH	レジスタ・バンク 2 の C レジスタのアドレス
INTERVAL	10	インターバル・タイマ用設定値
PERIOD	24000/4*INTERVAL	TDR00 レジスタ設定値

## 5.4 変数一覧

表 5.3 にグローバル変数を示します。

表 5.3 グローバル変数

Type	Variable Name	Contents	Function Used
8 ビット	RCOMSTAT	構造体 FCB のメンバで、通信指示コマンド／通信状態を示すフラグ ビット7 : 通信状態 0 : アイドル状態 1 : 通信中 ビット4 : エラーフラグ 0 : 正常終了 1 : エラー ビット0 : 通信方向 0 : マスタ送信 1 : マスタ受信 <コマンド> 40H : マスタ送信コマンド 41H : マスタ受信コマンド <ステータス> 80H : 送信動作中 81H : 受信動作中 00H : 送信正常終了 01H : 受信正常終了 11H : IIC バス・エラー 12H : スレーブ・ビジー (アドレスに NACK) 13H : データ送信エラー (データに NACK) 1FH : コマンド・エラー	main, SSTTRX
8 ビット	RSLVADDR	構造体 FCB のメンバで、スレーブ・アドレス	main, SSTTRX
16 ビット	RBUFFADDR	構造体 FCB のメンバで、転送データの格納領域先頭アドレス	main, SSTTRX
8 ビット	RDTNUM	構造体 FCB のメンバで、転送データ数	main, SSTTRX
8 ビット×16 配列	RRCVBUF	受信データ・バッファ領域	main, SINTIICA0
8 ビット×16 配列	RTRSBUF	送信データ・バッファ領域	main, SINTIICA0

## 5.5 関数（サブルーチン）一覧

表 5.4 に関数（サブルーチン）一覧を示します。

表 5.4 関数（サブルーチン）一覧

関数名	概要
STARTIICA0	IICA0 の初期設定を行い、通信待機状態にします。
SINITAU0	TAU0 チャンネル 0 を 10ms のインターバル・タイマに設定します。
SSTARTINTV	TAU0 チャンネル 0 のタイマ・カウント開始
SSTTRX	マスタ通信開始処理
IINTIICA0	IICA0 割り込み処理
SINTIICA0	IICA0 マスタ通信処理
SDATATRNS	SINTIICA0 のデータ通信処理部（受信）
SIICATXDT	SINTIICA0 のデータ通信処理部（送信）
STARTCOND	スタート・コンディション発行
STOPCOND	ストップ・コンディション発行





---

**[関数名] SDATATRNS**

---

概要	IICA0 の割り込みハンドラのデータ受信処理
説明	INTIICA0 の割り込みによるデータ受信処理の処理部分です。
引数	なし
リターン値	なし
備考	なし

---

**[関数名] SIICATXDT**

---

概要	IICA0 の割り込みハンドラのデータ送信処理
説明	INTIICA0 の割り込みによるデータ送信処理の処理部分です。
引数	なし
リターン値	なし
備考	なし

---

**[関数名] STARTCOND**

---

概要	IIC バスへのスタート・コンディション発行処理
説明	IIC バスにスタート・コンディションを発行し、検出するまで待ちます。
引数	なし
リターン値	なし
備考	なし

---

**[関数名] STOPCOND**

---

概要	IIC バスへのストップ・コンディション発行処理
説明	IIC バスにストップ・コンディションを発行し、検出するまで待ちます。
引数	なし
リターン値	なし
備考	なし

## 5.7 フローチャート

図 5.1 に本アプリケーションノートの全体フローを示します。

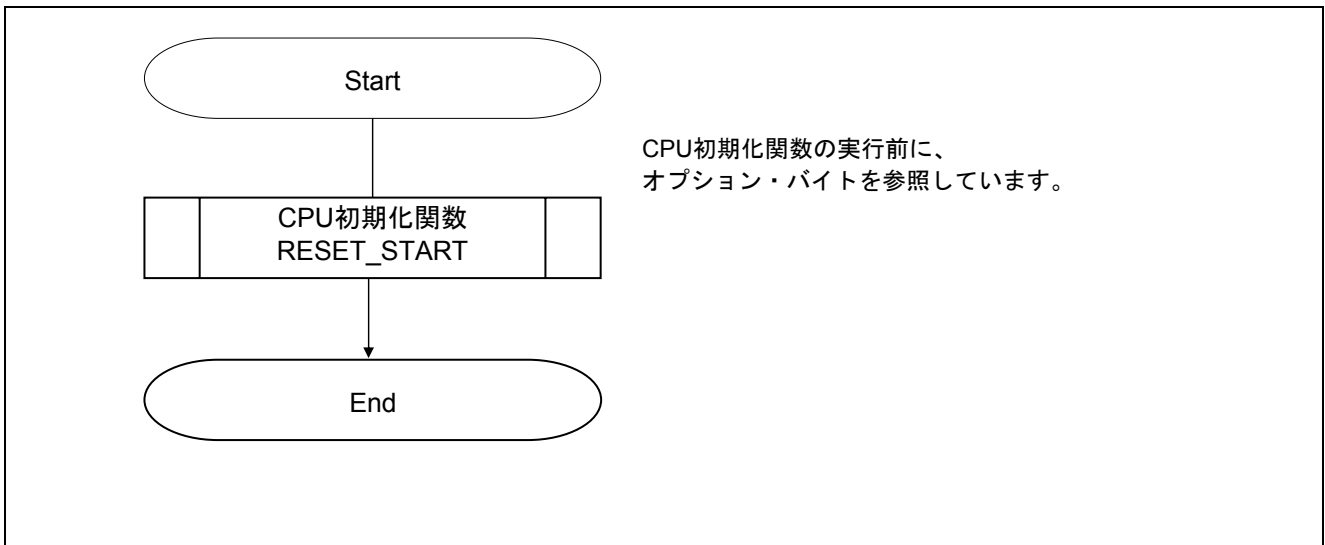


図 5.1 全体フロー

5.7.1 CPU 初期化関数

図 5.2 に CPU 初期化関数のフローチャートを示します。

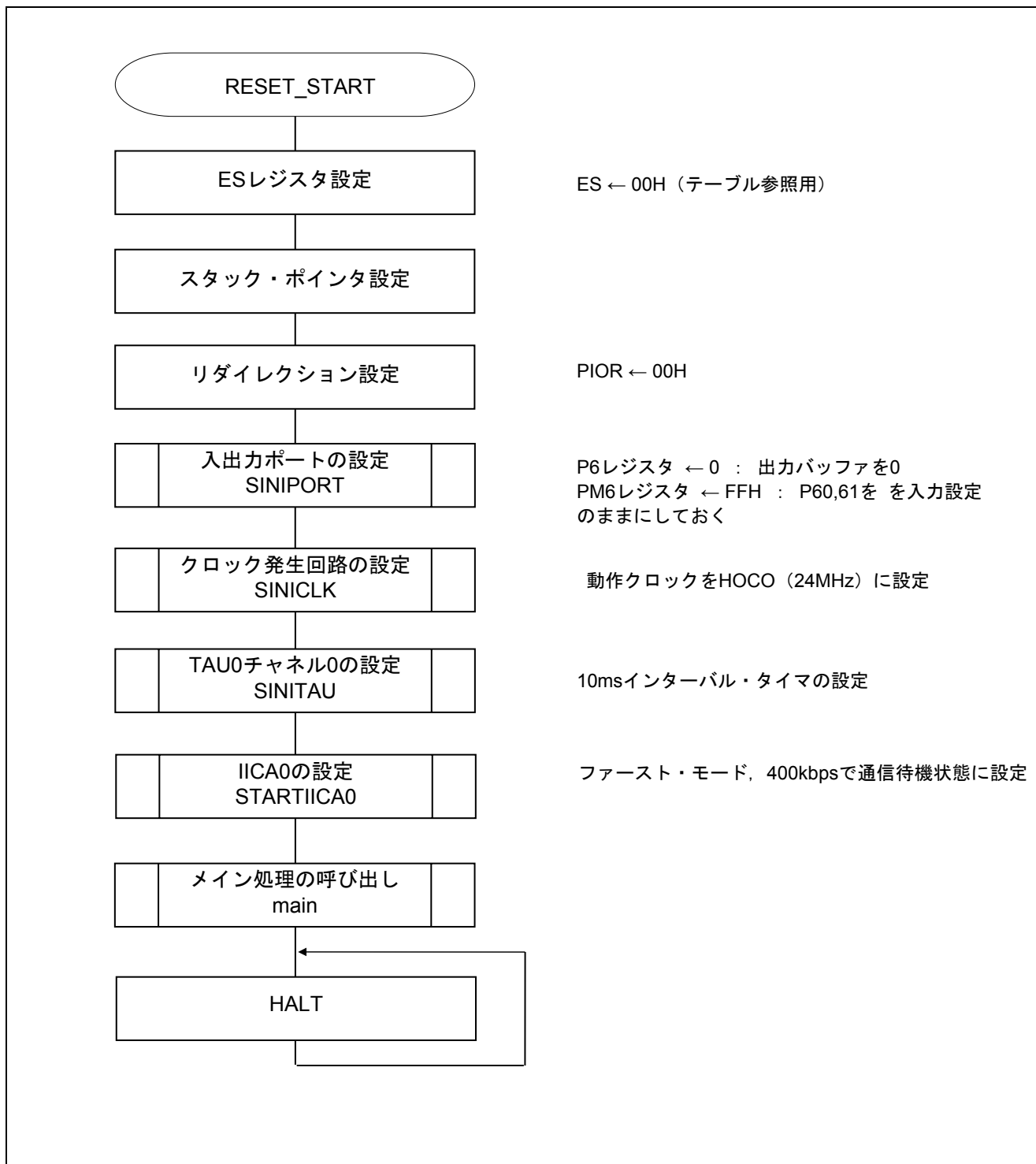


図 5.2 CPU 初期化関数

## 5.7.2 入出力ポート設定

図 5.3 に入出力ポート設定のフローチャートを示します。

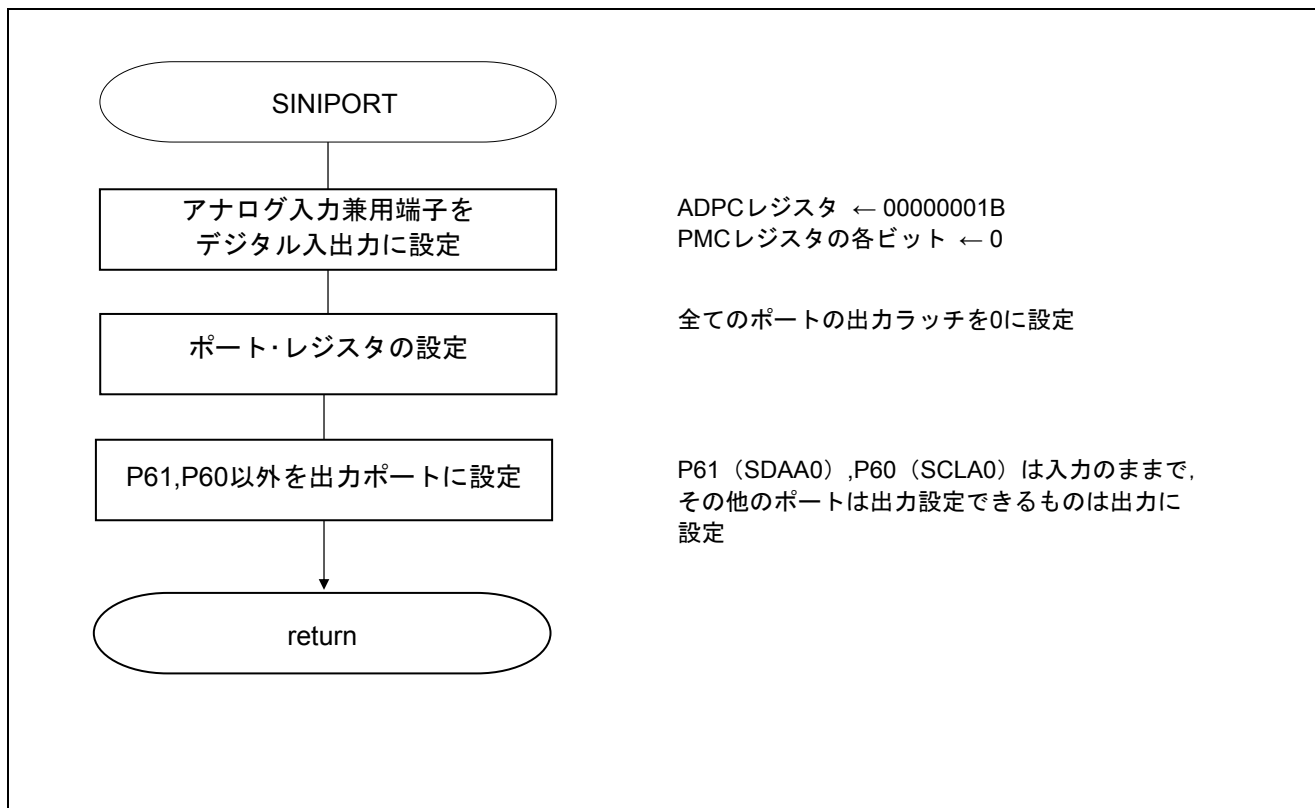


図 5.3 入出力ポート設定

注 未使用ポートの設定については、RL78/G12 初期設定 (R01AN2582J) アプリケーションノート“フローチャート”を参照して下さい。

注意 未使用のポートは、端子処理などを適切に行い、電気的特性を満たすように設計してください。また、未使用の入力専用ポートは個別に抵抗を介して VDD 又は VSS に接続して下さい。

5.7.3 クロック発生回路の設定

図 5.4 にクロック発生回路の設定のフローチャートを示します。

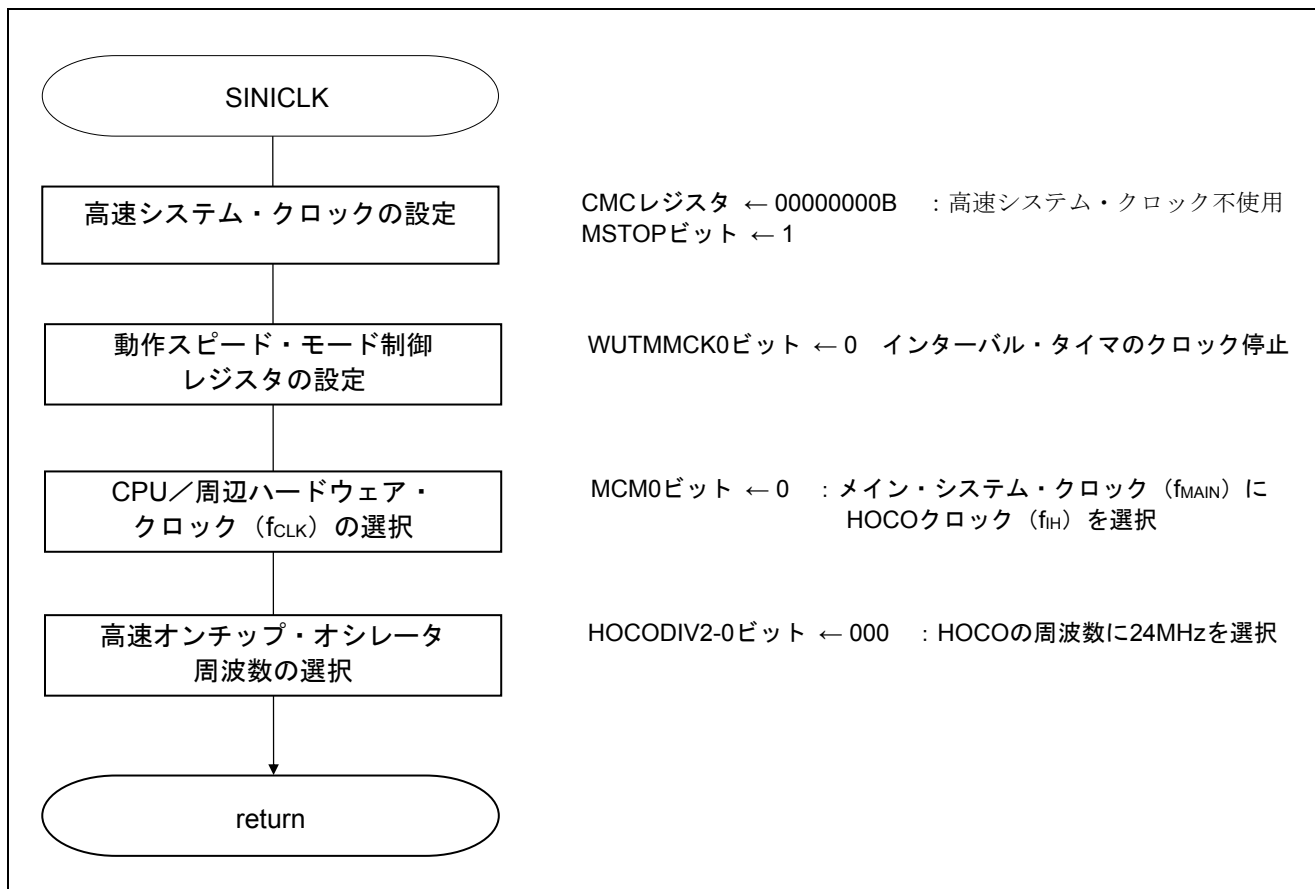


図 5.4 クロック発生回路の設定

5.7.4 TAU0 の初期設定

図 5.5 に TAU0 の初期設定のフローチャートを示します。

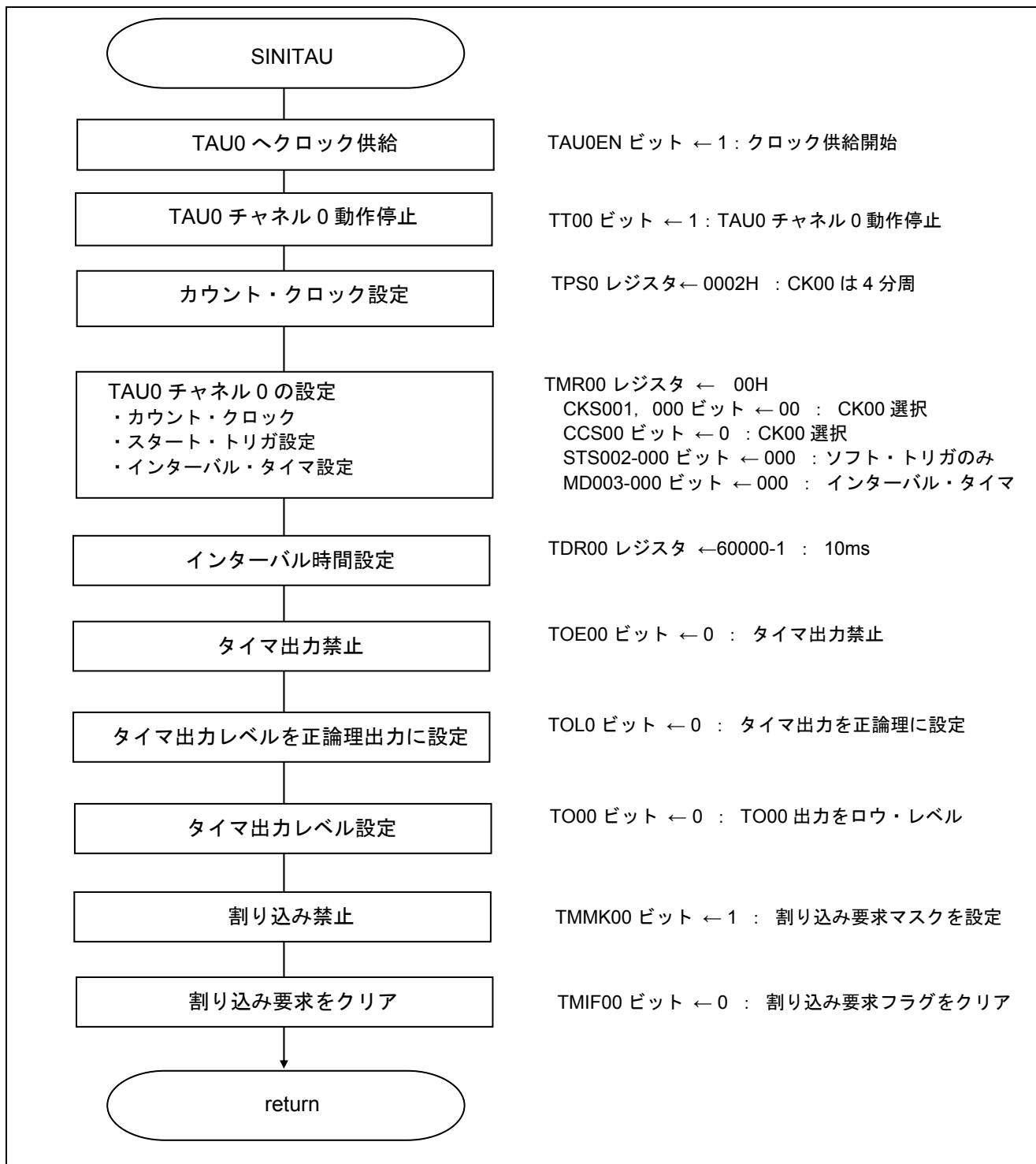


図 5.5 TAU0 の初期設定

## 5.7.5 IICA0 の初期設定

図 5.6 に IICA0 の初期設定のフローチャートを示します。

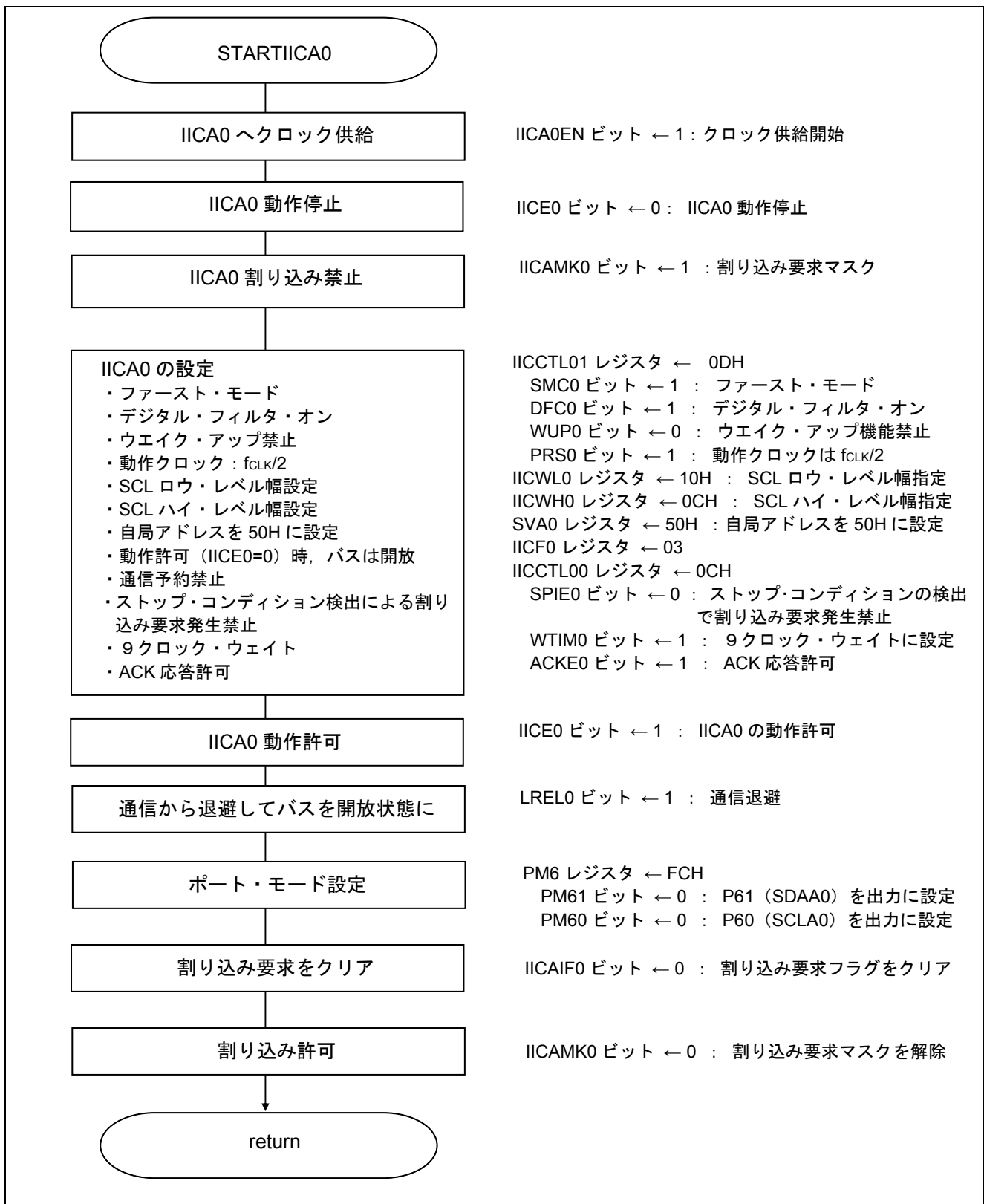


図 5.6 IICA0 の初期設定

## シリアル・インタフェース IICA0 へのクロック供給開始

- ・周辺イネーブル・レジスタ 0 (PER0)

IICAEN を操作し、IICA0 へのクロック供給を開始します。

略号 : PER0

7	6	5	4	3	2	1	0
RTCEN	IICA1EN	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN
x	x	x	<b>1</b>	x	x	x	x

## ビット 4

IICA0EN	シリアル・インタフェース IICA0 の入カクロックの制御
0	入カクロック供給停止
<b>1</b>	<b>入カクロック供給</b>

注意 レジスタ設定の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。



## IICA0 の動作モード設定

・ IICA コントロール・レジスタ 01 (IICCTL01)

動作クロック設定

デジタル・フィルタ動作設定

ファースト・モード動作設定

ウエイク・アップ機能動作停止設定

略号 : IICCTL01

7	6	5	4	3	2	1	0
WUP0	0	CLD0	DAD0	SMC0	DFC0	0	PRS0
<b>0</b>	0	x	x	<b>1</b>	<b>1</b>	0	<b>1</b>

ビット7

WUP0	アドレス一致ウエイク・アップの制御
<b>0</b>	<b>STOP モード時のアドレス一致ウエイク・アップ機能動作停止</b>
1	STOP モード時のアドレス一致ウエイク・アップ機能動作許可

ビット3

SMC0	動作モードの切り替え
0	標準モードで動作
<b>1</b>	<b>ファースト・モードで動作</b>

ビット2

DFC0	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ。
<b>1</b>	<b>デジタル・フィルタ・オン</b>

ビット0

PRS0	動作クロックの分周動作制御
0	動作クロックに $f_{CLK}$ を選択
<b>1</b>	<b>動作クロックに <math>f_{CLK}/2</math> を選択</b>

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

### 転送クロックの設定

- ・ IICA ロウ・レベル幅設定レジスタ 0 (IICWL0)
  - ・ IICA ハイ・レベル幅設定レジスタ 0 (IICWH0)
- SCLA0 端子信号のロウ・レベル幅、ハイ・レベル幅を設定

略号 : IICWL0

7	6	5	4	3	2	1	0
0	0	0	1	0	0	0	0

略号 : IICWH0

7	6	5	4	3	2	1	0
0	0	0	0	1	1	0	1

### 自局アドレスの設定

- ・ スレーブ・アドレス・レジスタ 0 (SVA0)
- 自局アドレスの設定

略号 : SVA0

7	6	5	4	3	2	1	0
0	1	0	1	0	0	0	0

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

## 通信開始条件の設定

- ・ IICA フラグ・レジスタ 0 (IICF0)  
スタート・コンディションの生成条件設定  
通信予約の許可設定

略号 : IICF0

	7	6	5	4	3	2	1	0
STCF0	IICBSY0	0	0	0	0	0	STCEN0	IICRSV0
x	x	0	0	0	0	0	<b>1</b>	<b>1</b>

## ビット 1

STCEN0	初期スタート許可トリガ
0	動作許可(IICE0=1)後、ストップ・コンディションの検出により、スタート・コンディションを生成許可
<b>1</b>	<b>動作許可(IICE0=1)後、ストップ・コンディションの検出せずに、スタート・コンディションを生成許可</b>

## ビット 0

IICRSV0	通信予約機能禁止ビット
0	通信予約許可
<b>1</b>	<b>通信予約禁止</b>

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

## IICA の動作設定

- ・ IICA コントロール・レジスタ 00 (IICCTL00)
  - I<sup>2</sup>C の動作許可
  - ストップ・コンディション割り込みを禁止
  - ウェイトおよび割り込み要求発生タイミングの設定
  - アクノリッジ出力許可

略号 : IICCTL00

7	6	5	4	3	2	1	0
IICE0	LRELO	WRELO	SPIE0	WTIMO	ACKE0	STT0	SPT0
1	1	0	0	0/1	0/1	x	x

## ビット 7

IICE0	I <sup>2</sup> C の動作許可
0	動作停止
1	動作許可

## ビット 6

LRELO	通信退避
0	通常動作
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。

## ビット 4

SPIE0	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可

## ビット 3

WTIMO	ウェイトおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。
1	9クロック目の立ち下がりで割り込み要求発生。

## ビット 2

ACKE0	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中に SDAA0 ラインをロウ・レベルにする。

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

## IICA 端子の設定

- ・ポート・レジスタ 6 (P6)
  - ・ポート・モード・レジスタ 6 (PM6)
- P60 を SCLA0、P61 を SDAA0 として出力モードで使します。

略号 : P6

7	6	5	4	3	2	1	0
P67	P66	P65	P64	P63	P62	P61	P60
x	x	x	x	x	x	<b>0</b>	<b>0</b>

ビット 1

P61	出力データの制御
<b>0</b>	<b>0</b> を出力
1	1 を出力

ビット 0

P60	出力データの制御
<b>0</b>	<b>0</b> を出力
1	1 を出力

略号 : PM6

7	6	5	4	3	2	1	0
PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60
x	x	x	x	x	x	<b>0</b>	<b>0</b>

ビット 1

PM61	P61 の入出力モードの選択
<b>0</b>	<b>出力モード (出力バッファ・オン)</b>
1	入力モード (出力バッファ・オフ)

ビット 0

PM60	P60 の入出力モードの選択
<b>0</b>	<b>出力モード (出力バッファ・オン)</b>
1	入力モード (出力バッファ・オフ)

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

## 割り込みの設定

- ・割り込み要求フラグ・レジスタ (IF0H : 20/24 ピン製品, IF1L : 30 ピン製品)  
割り込み要求フラグのクリア
- ・割り込みマスク・フラグ・レジスタ (MK0H : 20/24 ピン製品, MK1L : 30 ピン製品)  
割り込みマスク解除

略号 : IF0H (24 ピン製品)

7	6	5	4	3	2	1	0
TMIF01	TMIF00	IICAIFO	TMIF03H	TMIF01H	SREIF0	SRIF0 CSIF01 IICIF01	STIF0 CSIF00 IICIF00
x	x	<b>0</b>	x	x	x	x	x

ビット 5

IICAIFO	割り込み要求フラグ
<b>0</b>	割り込み要求信号が発生していない
<b>1</b>	割り込み要求信号が発生し、割り込み要求状態

略号 : MK0H (24 ピン製品)

7	6	5	4	3	2	1	0
TMMK01	TMMK00	IICAMK0	TMMK03H	TMMK01H	SREMK0	SRMK0 CSIMK01 IICMK01	STMK0 CSIMK00 IICMK00
x	x	x	x	<b>1/0</b>	x	x	x

ビット 5

IICAMK0	割り込み処理の制御
<b>0</b>	割り込み処理許可
<b>1</b>	割り込み処理禁止

略号 : IF1L (30 ピン製品)

7	6	5	4	3	2	1	0
TMIF03	TMIF02	TMIF01	TMIF00	IICAIFO	SREIF1 TMIF03H	SRIF1 CSIF11 IICIF11	STIF1 CSIF10 IICIF10
x	x	x	x	<b>0</b>	x	x	x

ビット 3

IICAIFO	割り込み要求フラグ
<b>0</b>	割り込み要求信号が発生していない
<b>1</b>	割り込み要求信号が発生し、割り込み要求状態

略号 : MK1L (30 ピン製品)

7	6	5	4	3	2	1	0
TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1 TMMK03 H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10
x	x	x	x	<b>1/0</b>	x	x	x

ビット 3

IICAMK0	割り込み処理の制御
<b>0</b>	割り込み処理許可
<b>1</b>	割り込み処理禁止

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

5.7.6 メイン処理

図 5.7, 図 5.8 にメイン処理のフローチャートを示します。

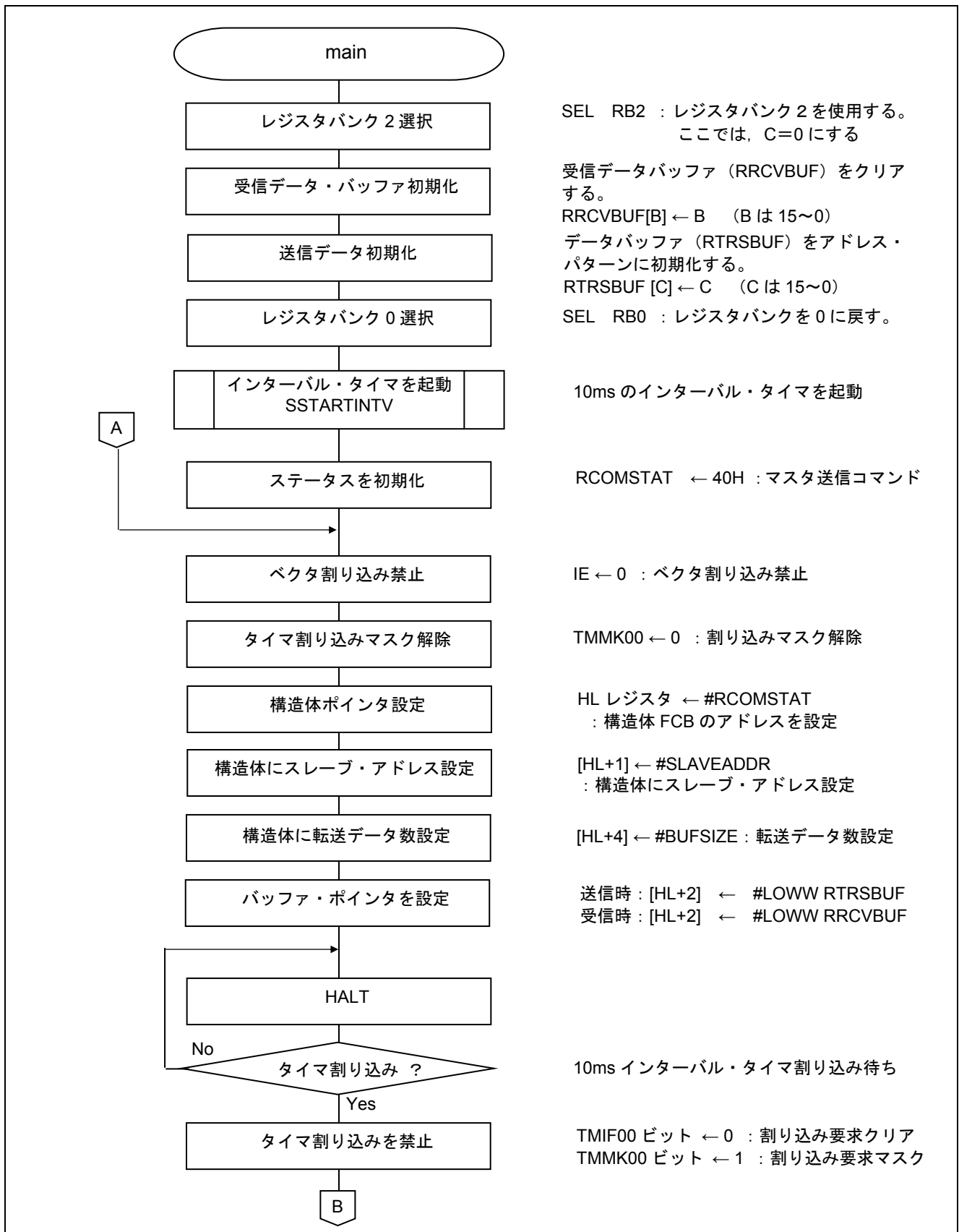


図 5.7 メイン関数 (1/2)

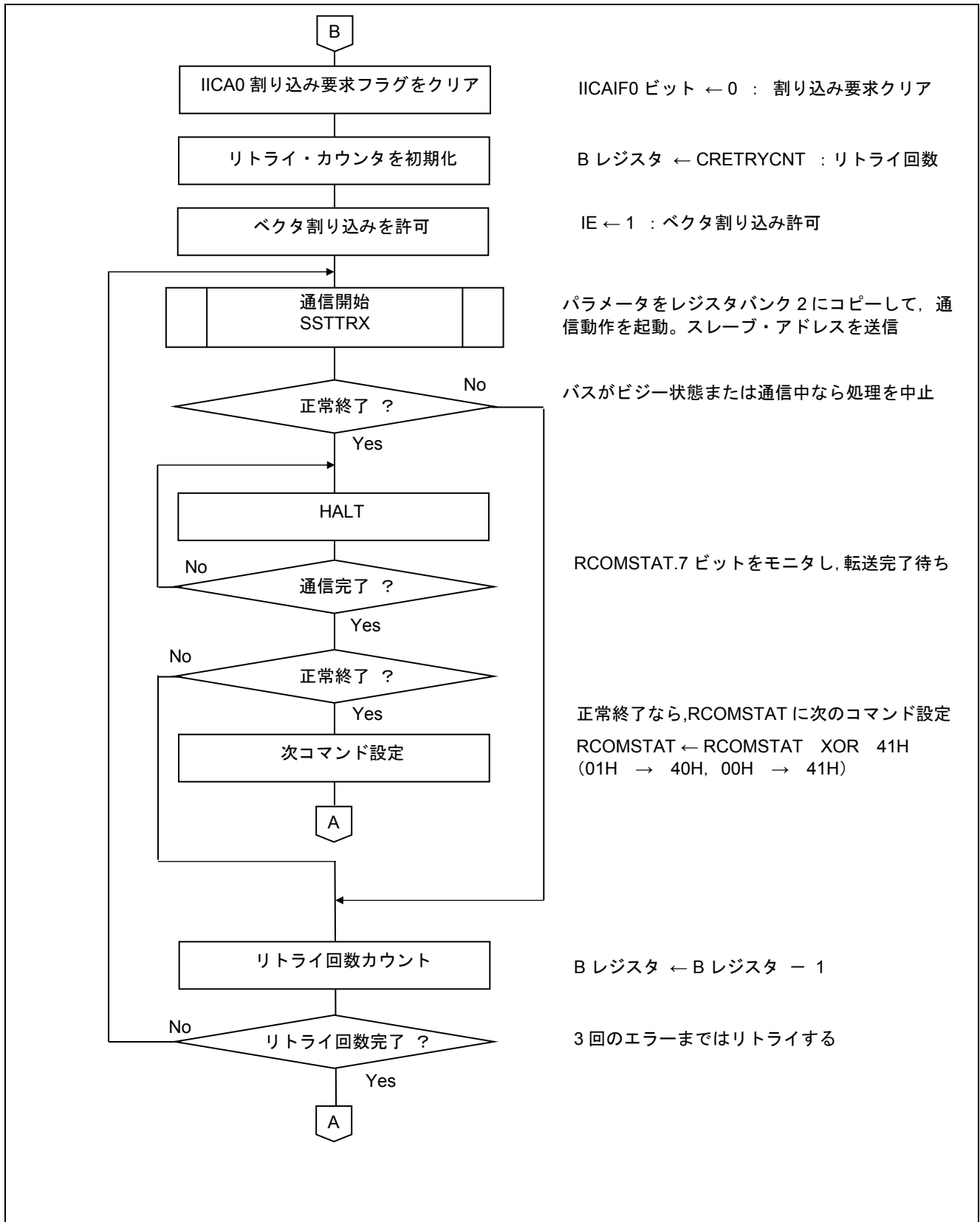


図 5.8 メイン関数 (2/2)



## 割り込みの設定

- ・割り込み要求フラグ・レジスタ (IF0H : 20/24 ピン製品, IF1L : 30 ピン製品)  
割り込み要求フラグのクリア

略号 : IF0H (24 ピン製品)

7	6	5	4	3	2	1	0
TMIF01	TMIF00	IICAIF0	TMIF03H	TMIF01H	SREIF0	SRIF0 CSIIF01 IICIF01	STIF0 CSIIF00 IICIF00
x	x	<b>0</b>	x	x	x	x	x

ビット5

IICAIF0	割り込み要求フラグ
<b>0</b>	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

略号 : IF1L (30 ピン製品)

7	6	5	4	3	2	1	0
TMIF03	TMIF02	TMIF01	TMIF00	IICAIF0	SREIF1 TMIF03H	SRIF1 CSIIF11 IICIF11	STIF1 CSIIF10 IICIF10
x	x	x	x	<b>0</b>	x	x	x

ビット3

IICAIF0	割り込み要求フラグ
<b>0</b>	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

## 5.7.7 10ms インターバル・タイマ起動処理

図 5.9 に 10ms インターバル・タイマ起動処理のフローチャートを示します。

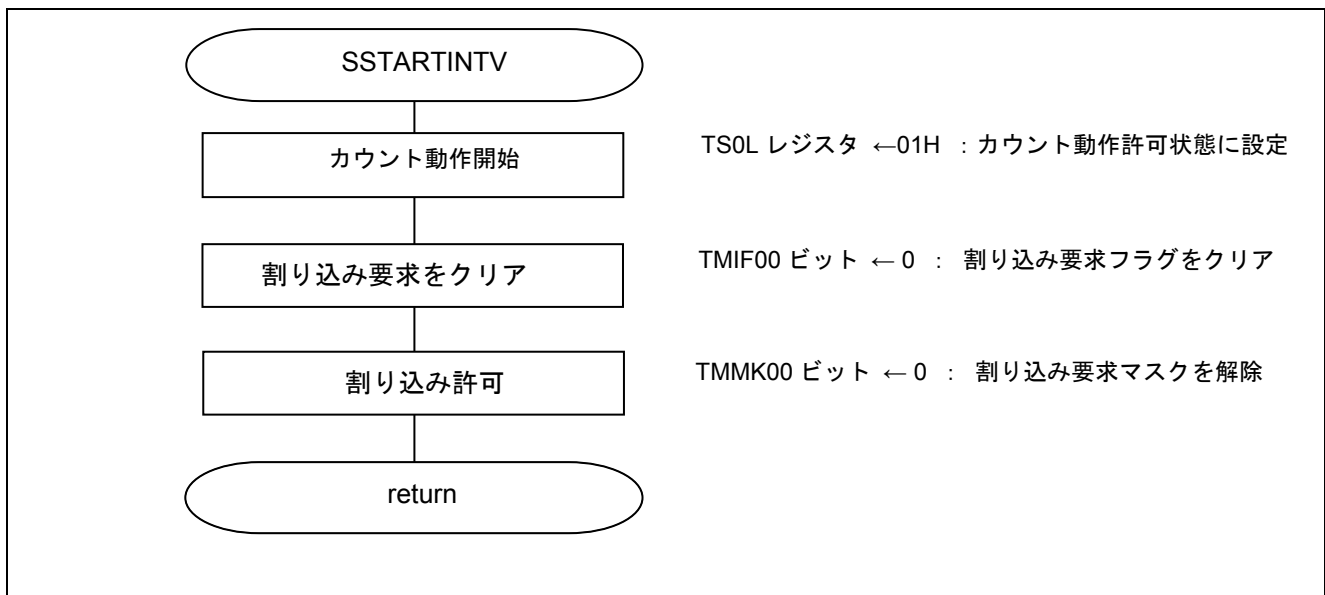


図 5.9 10ms インターバル・タイマ起動処理

5.7.8 マスタ通信開始処理

図 5.10, 図 5.11 にマスタ通信開始処理のフローチャートを示します。

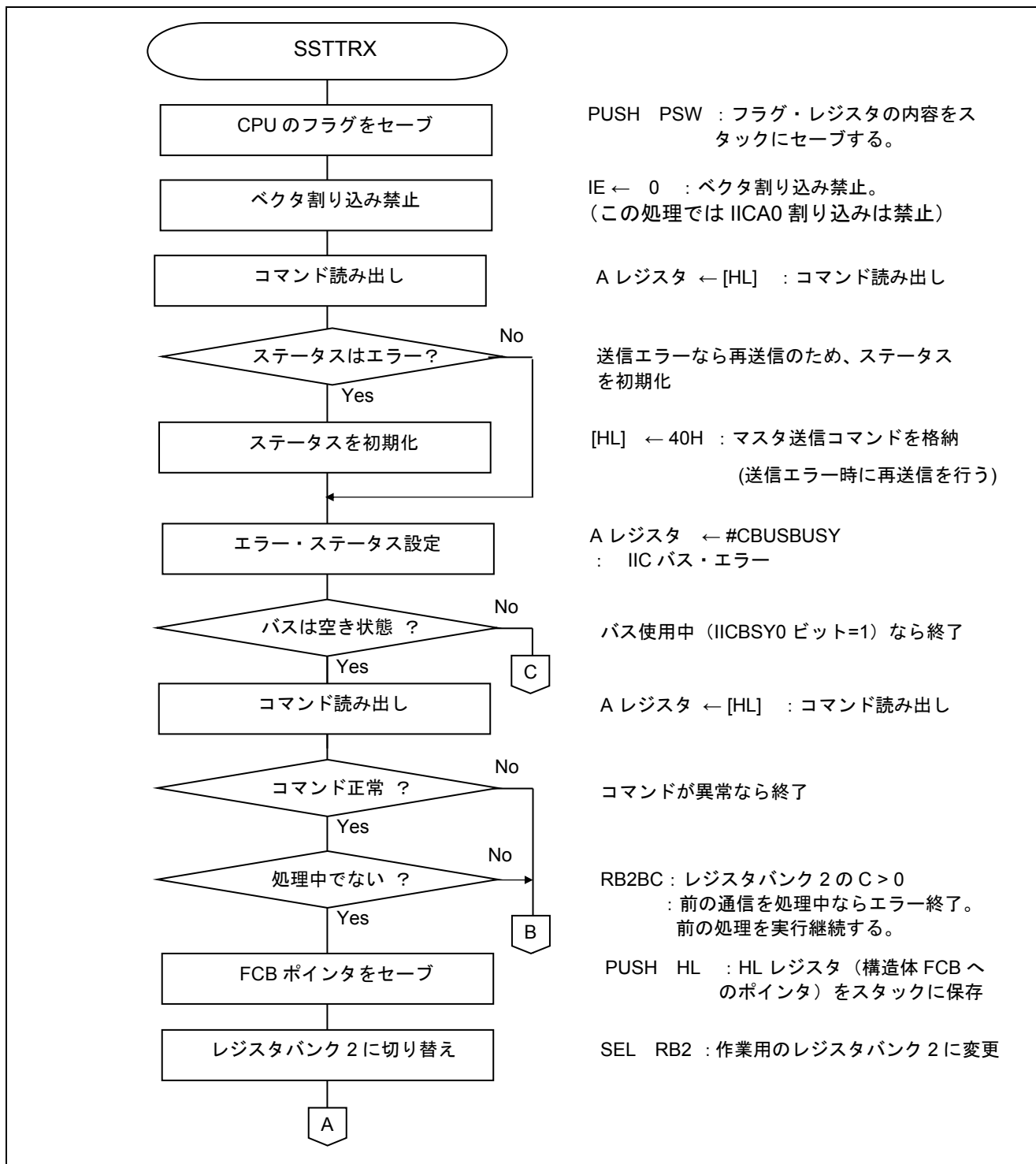


図 5.10 マスタ通信開始処理 (1/2)

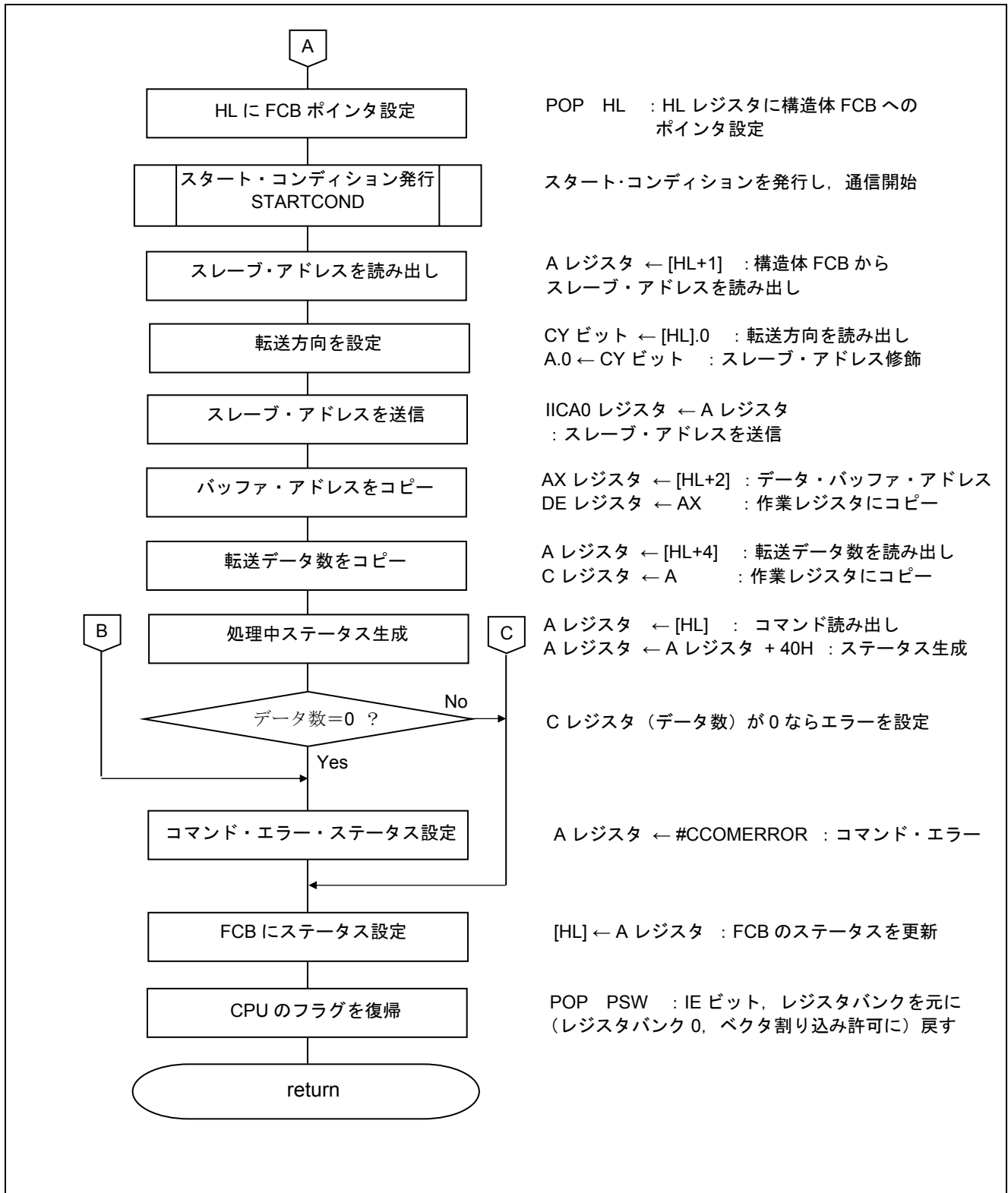


図 5.11 マスタ通信開始処理 (2/2)

5.7.9 スタート・コンディション発行処理

図 5.12 にスタート・コンディション発行処理のフローチャートを示します。

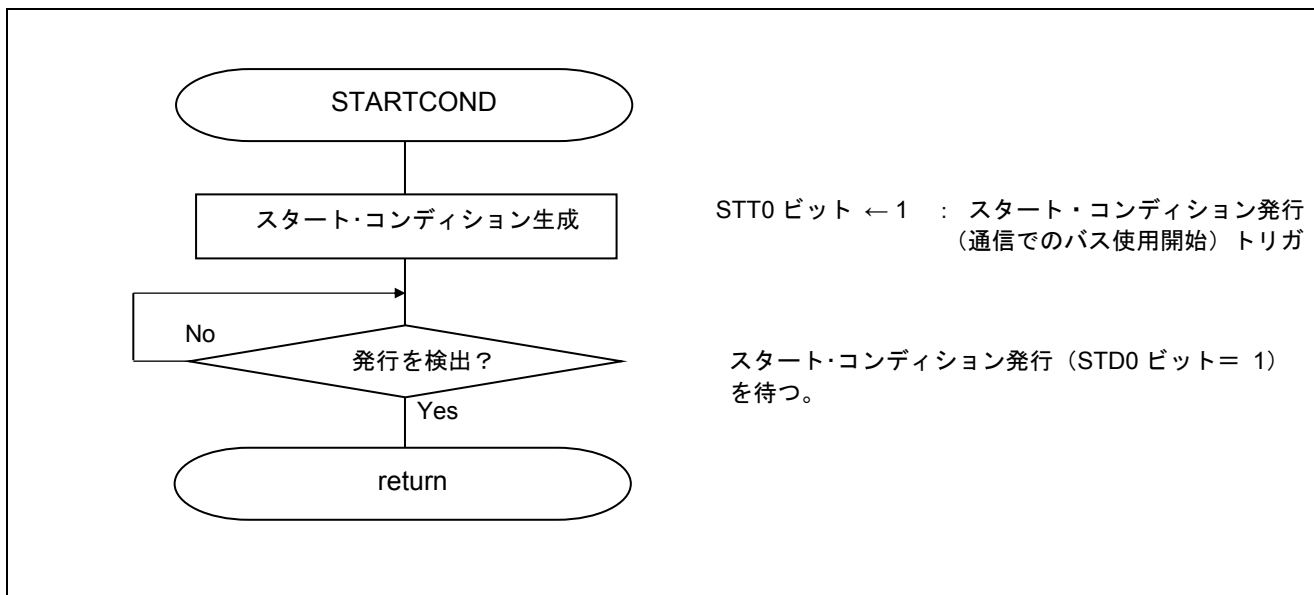


図 5.12 スタート・コンディション発行処理

スタート・コンディションの生成

- ・IICA コントロール・レジスタ 00 (IICCTL00)  
スタート・コンディション生成設定

略号 : IICCTL00

7	6	5	4	3	2	1	0
IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0
x	x	x	x	x	x	1	0

ビット 1

STT0	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	スタート・コンディションを生成する (マスタとして転送開始)。

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

5.7.10 ストップ・コンディション発行処理

図 5.13 にストップ・コンディション発行処理のフローチャートを示します。

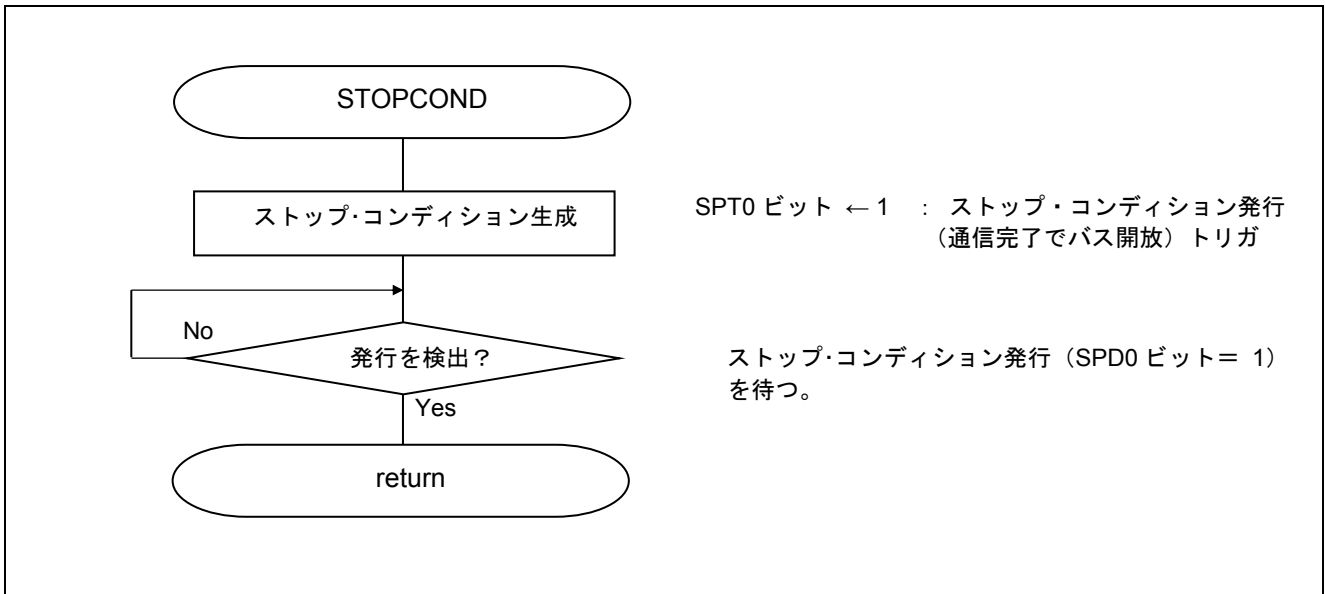


図 5.13 ストップ・コンディション発行処理

ストップ・コンディションの生成

- ・IICA コントロール・レジスタ 00 (IICCTL00)  
ストップ・コンディション生成設定

略号 : IICCTL00

7	6	5	4	3	2	1	0
IICE0	LREL0	WREL0	SPIE0	WTIM0	ACKE0	STT0	SPT0
x	x	x	x	x	x	0	1

ビット 0

SPT0	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する (マスタとしての転送終了)。

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

## 5.7.11 IICA0 割り込み処理

図 5.14 に IICA0 割り込み処理のフローチャートを示します。

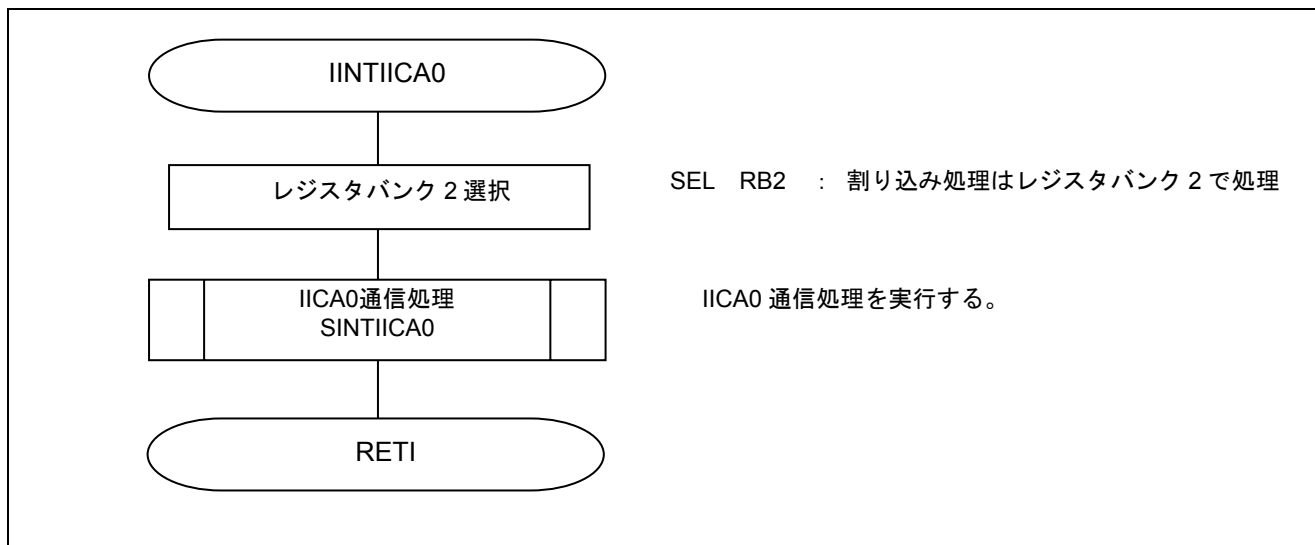


図 5.14 IICA0 割り込み処理

5.7.12 IICA0 マスタ通信処理

図 5.15~図 5.17 に IICA0 マスタ通信処理のフローチャートを示します。

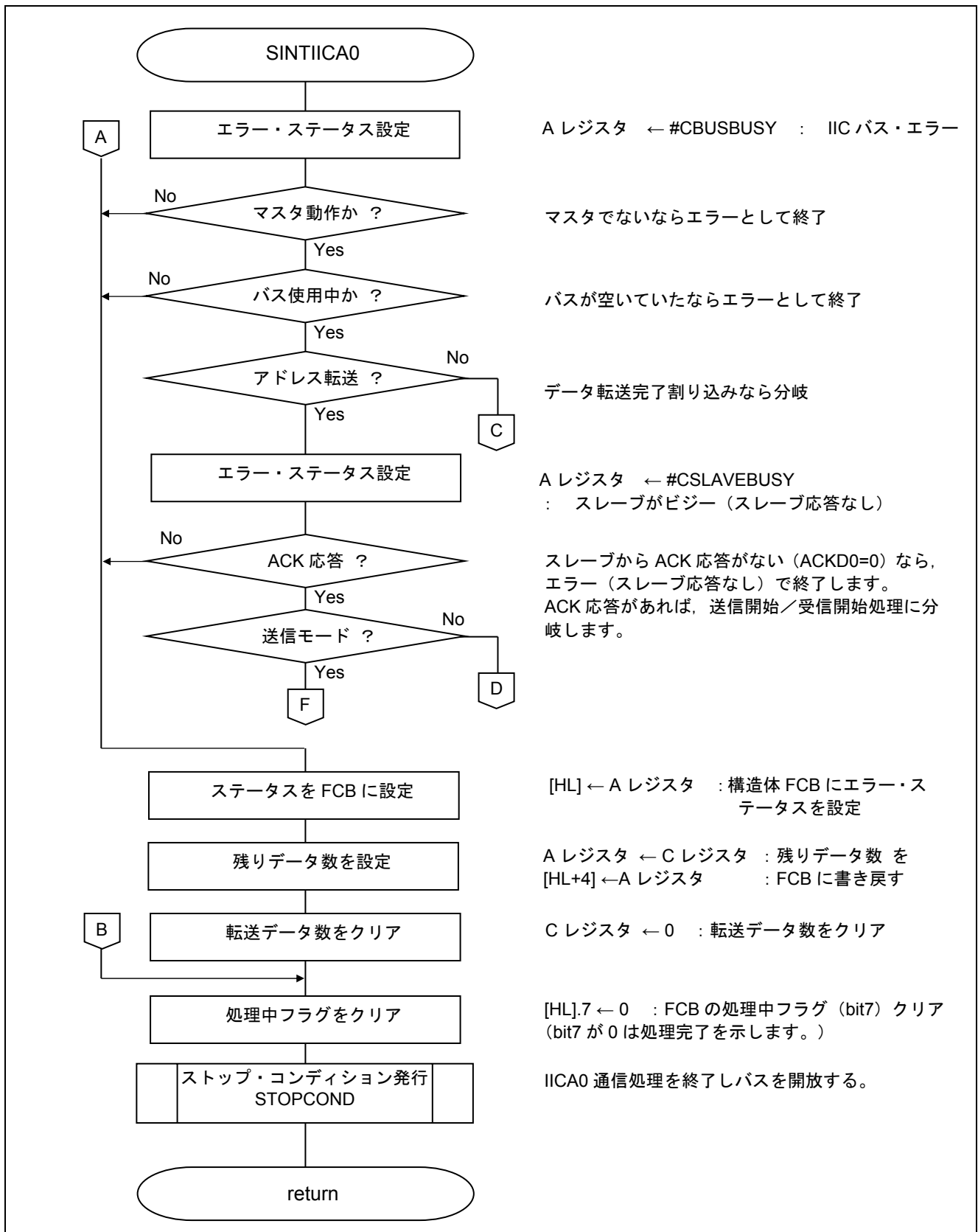


図 5.15 IICA0 マスタ通信処理 (1/3)



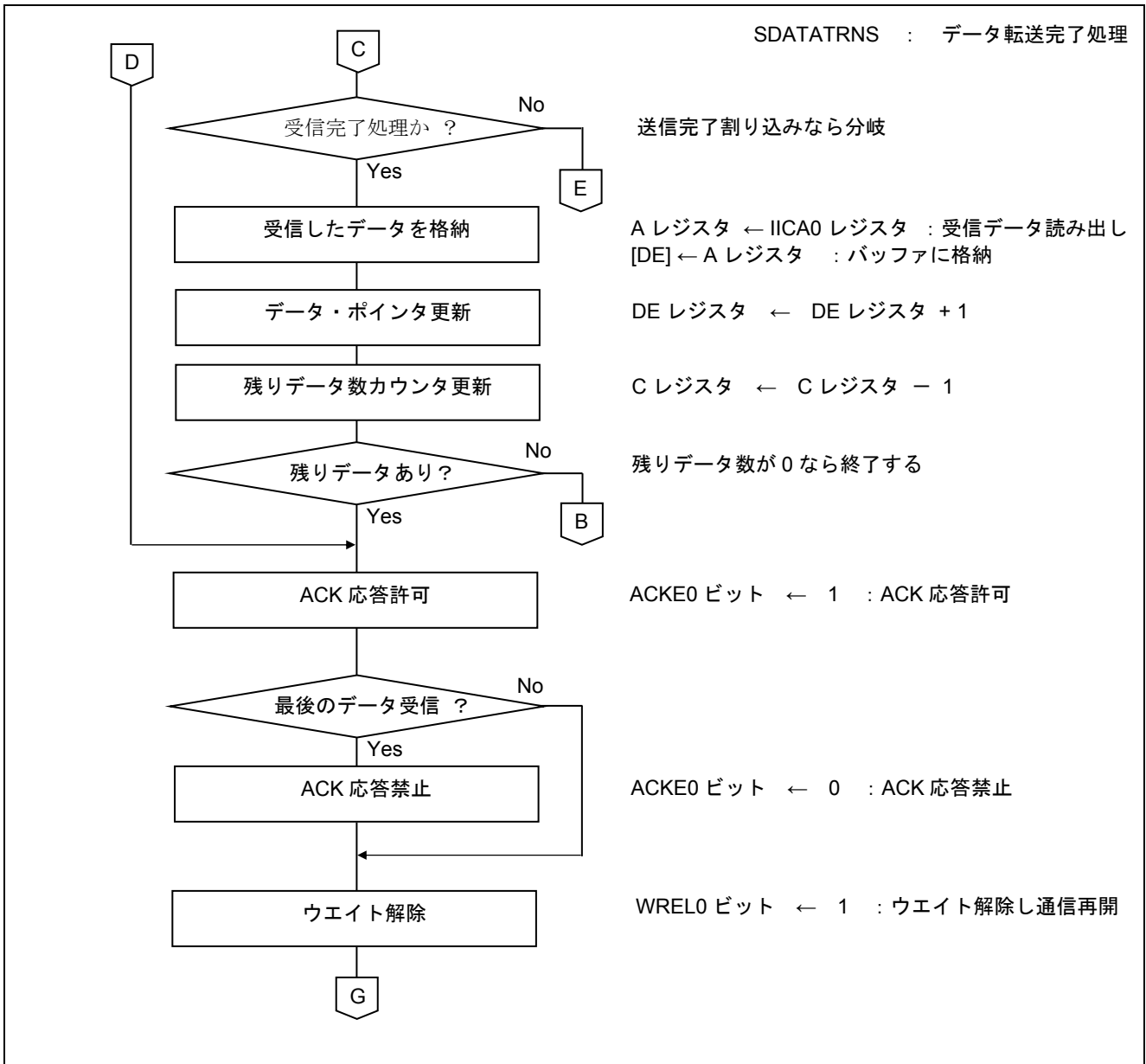


図 5.16 IICA0 マスタ通信処理 (2/3)

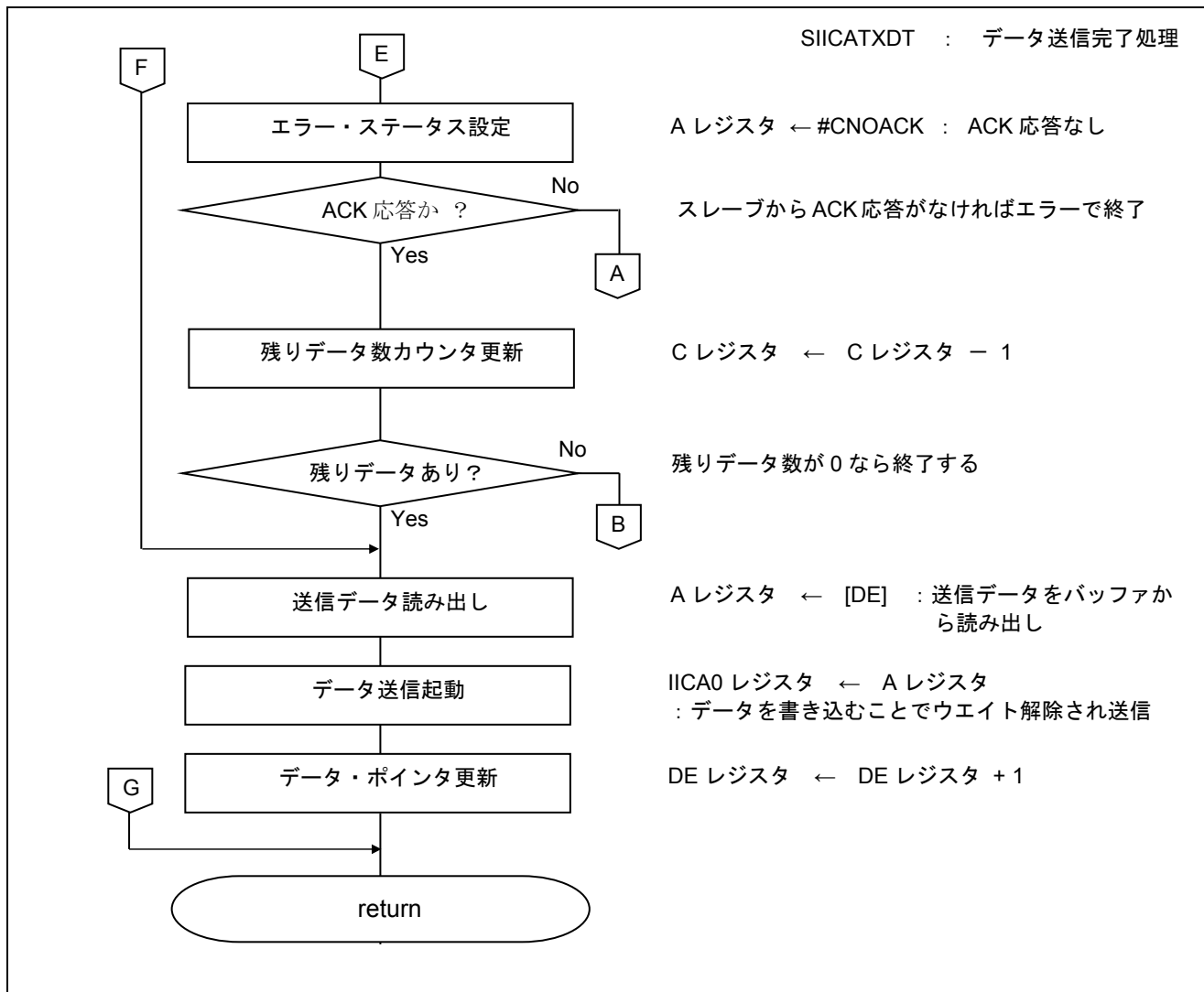


図 5.17 IICA0 マスタ通信処理 (3/3)

## 送信データの設定

## ・ IICA シフト・レジスタ 0 (IICA0)

マスタ通信開始時：通信先のアドレスを書き込み（ビット 0 は送信時には 0、受信時には 1）

データ送信時：送信データ書き込み

データ受信時：受信データ読み出し

略号：IICA0

7	6	5	4	3	2	1	0

## 通信ステータスの確認

## ・ IICA ステータス・レジスタ 0 (IICS0)

マスタ通信状態の確認

転送方向の確認

アクノリッジ検出

略号：IICS0

7	6	5	4	3	2	1	0
MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0
0/1	x	x	x	0/1	0/1	0/1	0/1

ビット 7

MSTS0	マスタの状態
0	スレーブ状態または通信待機状態
1	マスタ通信状態

ビット 3

TRC0	送信／受信状態検出
0	受信状態（送信状態以外）
1	送信状態

ビット 2

ACKD0	アクノリッジ検出
0	アクノリッジを検出していない
1	アクノリッジを検出している

ビット 1

STD0	スタート・コンディション検出
0	スタート・コンディションを検出していない
1	スタート・コンディションを検出している

ビット 0

SPD0	ストップ・コンディション検出
0	ストップ・コンディションを検出していない
1	ストップ・コンディションを検出している

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

## 6. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

## 7. 参考ドキュメント

RL78/G12 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0200J)

RL78 ファミリ ユーザーズマニュアル ソフトウェア編 Rev.1.00 (R01US0015J)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

## ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

改訂記録	RL78/G12 シリアル・インタフェース IICA (マスタ送受信) CC-RL
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.10.20	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

営業お問い合わせ窓口

<http://www.renesas.com>

営業お問い合わせ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問い合わせ窓口：<http://japan.renesas.com/contact/>