

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	システムLSI	発行番号	TN-RIN-A011A/J	Rev.	第1版
題名	R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編 (Rev.8.00→Rev.9.00) 主な改訂内容：誤記訂正、新規機能追加など		情報分類	技術情報	
適用製品	下記参照	対象ロット等 全ロット	関連資料	R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編 ・ R-IN32M3-EC ・ R-IN32M3-CL Rev.9.00 (R18UZ0006JJ0900)	

R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編・R-IN32M3-EC・R-IN32M3-CL Rev.9.00 (R18UZ0006JJ0900) をリリースいたしました。詳細については「2. 改訂内容」を参照願います。なお、「※要注意」マークがついている項目は、デバイスを動作させる上で重要な項目ですので、ご確認をお願い致します。

1 適用製品

製品分類		マーク型名	製品型名
R-IN32M3-EC	旧製品	MC-10287F1	MC-10287F1-HN4-A MC-10287F1-HN4-M1-A
	現行品	MC-10287BF1	MC-10287BF1-HN4-A MC-10287BF1-HN4-M1-A
R-IN32M3-CL	旧製品	D60510F1	UPD60510F1-HN4-A UPD60510F1-HN4-M1-A
	現行品	D60510BF1	UPD60510BF1-HN4-A UPD60510BF1-HN4-M1-A

2 改訂内容

(1/2)

No	訂正箇所 (Rev9.00 見出し番号)	該当ページ (Rev9.00 番号)	内容
1	3.4.2 リード・バッファ機能	p.3-3	誤記訂正
2	4. バス構成	p.4-1	誤記訂正
3	7.3.1(4) ハードウェア・ファンクション・コール・レジスタ	p.7-5	機能追加
4	7.3.2.1 MAC セレクト・レジスタ (MACSEL)	p.7-6	誤記訂正
5	7.3.4.6 TX MODE レジスタ (GMAC_TXMODE)	p.7-13	補足
6	7.3.5 ハードウェア・ファンクション・コールレジスタ	p.7-24	補足
7	7.3.5.1 ハードウェア・ファンクション・システム・コールレジスタ (SYSC)	p.7-24	機能追加
8	7.3.5.2 ハードウェア・ファンクション・引数レジスタ (R4-7)	p.7-25	補足
9	7.3.5.3 ハードウェア・ファンクション・動作モード制御レジスタ (CMD)	p.7-26	機能追加
10	7.3.5.4 ハードウェア・ファンクション・戻り値レジスタ (R0, R1)	p.7-26	補足
11	7.3.5.5 ハードウェア・ファンクション・タイプレジスタ (CNTX_TYPE0)	p.7-27	機能追加
12	7.3.5.6 ハードウェア・ファンクション・状態レジスタ (CNTX_STAT0)	p.7-27	機能追加
13	7.4.1 ハードウェア・ファンクション	p.7-28~7-50	機能追加
14	7.4.2 割り込み機能	p.7-51, 7-52.	機能追加
15	7.4.4.5 受信データ・フォーマット※要注意	p.7-60, 7-61	誤記訂正
16	9.2(1)(a) SRAM, 外部 I/O 接続機能	p.9-2	誤記訂正
17	9.2(1)(b) ページ ROM 接続機能	p.9-2	誤記訂正
18	10.4.2 同期アクセス・タイミング	p.10-44	補足
19	11. 外部マイコン・インタフェース	p.11-1	補足
20	11.3.4(2) HOSTIF 同期 SRAM 制御レジスタ 0 (HIFEXT0)	p.11-29	補足
21	11.3.4(3) HOSTIF 同期式 SRAM 制御レジスタ 1 (HIFEXT1)	p.11-30	補足
22	12.4.6(3) 直接通信での SPI バス・サイクル生成	p.12-29	補足
23	13.1.1 概要	p.13-4	補足
24	16.4(2) UARTJn 制御レジスタ 1 (URTJnCTL1)	p.16-9	誤記訂正
25	16.4(5) UARTJn ステータス・レジスタ 0 (URTJnSTR0)	p.16-15	補足
26	16.4(6) UARTJn ステータス・レジスタ 1 (URTJnSTR1)	p.16-16, 16-17	補足
27	16.5.3 ステータス割り込み要求 INTUAJnTIS ※要注意	p.16-31	誤記訂正
28	16.6.6(2) 受信の開始と停止	p.16-47	補足

(2/2)

No	訂正箇所 (Rev9.00 見出し番号)	該当ページ (Rev9.00 番号)	内容
29	16.7 ボー・レート・ジェネレータ	p.16-54	補足
30	18.3(6)(a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法	p.18-16	誤記訂正
31	18.9.1(1) シングル転送モード時のマスター動作設定手順	p.18-119	誤記訂正
32	18.9.2(1) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時のシングル転送モード設定手順	p.18-123,18-124	誤記訂正
33	18.9.2(2) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時のシングル転送モード設定手順	p.18-125	補足
34	18.9.2(3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順	p.18-127,18-128	補足
35	18.9.2(4) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時の連続転送モード設定手順	p.18-129	補足
36	18.9.2(4) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時の連続転送モード設定手順	p.18-130	誤記訂正
37	19.14.1 初期化	p.19-116	誤記訂正
38	19.14.2 メッセージの送信	p.19-132	補足
39	21.1 レジスタ一覧	p.21-2	機能追加
40	21.15 SRAMブリッジ選択レジスタ (SRAMBRSEL)	P21-32	機能追加

No.	V8.00		V9.00	
	ページ	記載内容	ページ	改訂内容
1	14	【3.4.2 リード・バッファ機能】 リード応答時の 2bit ECC エラーは、AHB のエラー応答として扱うのと同時に、ECC エラー割り込みを発生させる。	3-3	【3.4.2 リード・バッファ機能】 リード応答時の 2bit ECC エラーは、 AHB のエラー応答として扱うのと同時に、 ECC エラー割り込みを発生させる。
2	17	【4. バス構成】 [表 4.1 R-IN32M3 の AHB 内部バス]	4-1	【4. バス構成】 [表 4.1 R-IN32M3 の AHB 内部バス] スレーブとして CC-Link の記載が不足していたため追加。
3	35	【7.3.1(4) ハードウェア・ファンクション・コールレジスタ】	7-5	【7.3.1(4) ハードウェア・ファンクション・コールレジスタ】 後述のハードウェア・ファンクション機能追加に伴い、必要な CMD、CNTX_TYPE0、CNTX_STAT0 レジスタを追加
4	36	【7.3.2.1 MAC セレクト・レジスタ(MACSEL)】 レジスタ設定値：“010”の場合、 Port0: 使用不可 Port1: 汎用 Ethernet ポート 1 (Ethernet スイッチ無し)	7-6	【7.3.2.1 MAC セレクト・レジスタ(MACSEL)】 レジスタ設定値：“011”の場合、 Port0: 使用不可 Port1: 汎用 Ethernet ポート 1 (Ethernet スイッチ無し)
5	43	【7.3.4.6 TX MODE レジスタ(GMAC_TXMODE)】	7-13	【7.3.4.6 TX MODE レジスタ(GMAC_TXMODE)】 LPTXEN ビットに注釈を追記
6	53	【7.3.5 ハードウェア・ファンクション・コールレジスタ】	7-24	【7.3.5 ハードウェア・ファンクション・コールレジスタ】 当該機能の詳細説明をしている参照先を示すために下記一文を追記 ハードウェア・ファンクション・コールレジスタの設定については「7.4.1 ハードウェア・ファンクション」を参照してください。
7	53	【7.3.5.1 ハードウェア・ファンクション・システム・コールレジスタ(SYSC)】	7-24	【7.3.5.1 ハードウェア・ファンクション・システム・コールレジスタ(SYSC)】 公開機能拡充(レジスタ設定可能値を拡充)および表記修正(11種類の機能を新規公開)
8	54	【7.3.5.2 ハードウェア・ファンクション・引数レジスタ(R4-7)】	7-25	【7.3.5.2 ハードウェア・ファンクション・引数レジスタ(R4-7)】 当該機能の詳細説明をしている参照先を示すために下記一文を追記 詳細については「7.4 機能説明」を参照してください。

No.	V8.00		V9.00	
	ページ	記載内容	ページ	改訂内容
9		記載なし	7-26	【7.3.5.3 ハードウェア・ファンクション・動作モード制御レジスタ(CMD)】 新規公開
10	55	【7.3.5.3 ハードウェア・ファンクション・戻り値レジスタ(R0, R1)】	7-26	【7.3.5.4 ハードウェア・ファンクション・戻り値レジスタ(R0, R1)】 当該機能の詳細説明をしている参照先を示すために下記一文を追記 詳細については「7.4 機能説明」を参照してください。
11		記載なし	7-27	【7.3.5.5 ハードウェア・ファンクション・タイプレジスタ(CNTX_TYPE0)】 新規公開
12		記載なし	7-27	【7.3.5.6 ハードウェア・ファンクション・状態レジスタ(CNTX_STAT0)】 新規公開
13		記載なし	7-28～ 7-50	【7.4.1 ハードウェア・ファンクション】 新規公開
14		記載なし	7-51～ 7-52	【7.4.2 割り込み機能】 新規公開

No.	V8.00		V9.00	
	ページ	記載内容	ページ	改訂内容
15	64	【7.4.2.6 受信データ・フォーマット】 [図 7.6 受信データ・フォーマット] Padding 領域: 0~3Byte	7-60	【7.4.4.5 受信データ・フォーマット】 [図 7.15 受信データ・フォーマット(TCP/IP、UDP/IP パケットではないフレームの場合)] Padding 領域: 0~7Byte
	64	【7.4.2.6 受信データ・フォーマット】 [図 7.6 受信データ・フォーマット] 図タイトルに条件の記載なし	7-60	【7.4.4.5 受信データ・フォーマット】 [図 7.15 受信データ・フォーマット(TCP/IP、UDP/IP パケットではないフレームの場合)] 図タイトルに「TCP/IP、UDP/IP パケットではないフレームの場合」という条件を追記(受信データ・フォーマットの図を2つに場合分けしたため)
		記載なし	7-61	【7.4.4.5 受信データ・フォーマット】 [図 7.16 受信データ・フォーマット(TCP/IP、UDP/IP パケットを含むフレームの場合)] 新規公開
16	175	【9.2(1)(a) SRAM, 外部 I/O 接続機能】 ・レジスタ設定により、最大 15×BUSCLK のアイドル・ウェイトを挿入可能	9-2	【9.2(1)(a) SRAM, 外部 I/O 接続機能】 ・レジスタ設定により、最大 16×BUSCLK のアイドル・ウェイトを挿入可能
17	175	【9.2(1)(b) ページ ROM 接続機能】 ・レジスタ設定により、最大 15×BUSCLK のアイドル・ウェイトを挿入可能	9-2	【9.2(1)(b) ページ ROM 接続機能】 ・レジスタ設定により、最大 16×BUSCLK のアイドル・ウェイトを挿入可能
18	238	【10.4.2 同期アクセス・タイミング】 注意書きなし	10-44	【10.4.2 同期アクセス・タイミング】 下記文を注意書きとして追記。 注意 MEMIFSEL 端子、MEMCSEL 端子等の動作モード設定端子は、動作中に変更しないでください。 リセット解除前に確定させてください。

No.	V8.00		V9.00	
	ページ	記載内容	ページ	改訂内容
19	239	【11. 外部マイコン・インタフェース】 注意書きなし	11-1	【11. 外部マイコン・インタフェース】 下記文を注意書きとして追加 注意 MEMIFSEL 端子、MEMCSEL 端子等の動作モード設定端子は、動作中に変更しないでください。 リセット解除前に確定させてください。
20	267	【11.3.4(2) HOSTIF 同期 SRAM 制御レジスタ 0(HIFEXT0)】 注意書きなし	11-29	【11.3.4(2) HOSTIF 同期 SRAM 制御レジスタ 0(HIFEXT0)】 下記文を注意書きとして追加 注意 0 固定表記のビットには 0 以外を書き込まないで下さい。 0 以外を書き込んだ場合、誤動作の原因となる可能性があります。
21	268	【11.3.4(3) HOSTIF 同期式 SRAM 制御レジスタ 1(HIFEXT1)】 注意書きなし	11-30	【11.3.4(3) HOSTIF 同期式 SRAM 制御レジスタ 1(HIFEXT1)】 下記文を注意書きとして追加 注意 0 固定表記のビットには 0 以外を書き込まないで下さい。 0 以外を書き込んだ場合、誤動作の原因となる可能性があります。
22	301	【12.4.6(3) 直接通信での SPI バス・サイクル生成】 注意書きなし	12-29	【12.4.6(3) 直接通信での SPI バス・サイクル生成】 下記文を注意書きとして追加 注意 2 SFMCMD 以外のレジスタ領域への書き込みによる SPI バス・サイクルの終了は、正式な機能としては保障されません。

No.	V8.00		V9.00	
	ページ	記載内容	ページ	改訂内容
23	305	<p>【13.1.1 概要】 [表 13.3 DMA ユニット／チャンネルと外部 DMA インタフェース端子の関係]</p>	13-4	<p>【13.1.1 概要】 [表 13.3 DMA ユニット／チャンネルと外部 DMA インタフェース端子の関係] 下記文を注意書きとして追加</p> <p>注意 2 転送バイト数は 32 ビット (= 1 ワード = 4 バイト) で割り切れるバイト数を設定してください。</p>
24	580	<p>【16.4(2) UARTJn 制御レジスタ 1 (URTJnCTL1)】 BF 長 15 ビット時の URTJnBLG2-0 ビット設定値が“110”</p>	16-9	<p>【16.4(2) UARTJn 制御レジスタ 1 (URTJnCTL1)】 BF 長 15 ビット時の URTJnBLG2-0 ビット設定値が“111”</p>
25	586	<p>【16.4(5) UARTJn ステータス・レジスタ 0 (URTJnSTR0)】 注釈なし注意書きなし</p>	16-15	<p>【16.4(5) UARTJn ステータス・レジスタ 0 (URTJnSTR0)】 下記文を注釈として追加</p> <p>注 1 このビットは、URTJnCTL0.URTJnRXE = 0 によって受信が禁止されたときにも初期化されます。</p> <p>注 2 これらのビットは、URTJnCTL0.URTJnTXE = 0 によって送信が禁止されたときにも初期化されます。</p>

No.	V8.00		V9.00	
	ページ	記載内容	ページ	改訂内容
26	587	【16.4(6) UARTJn ステータス・レジスタ 1 (URTJnSTR1)】 注釈なし	16-16	【16.4(6) UARTJn ステータス・レジスタ 1 (URTJnSTR1)】 下記文を注釈として追加 注 1 これらのビットは、URTJnCTL0.URTJnRXE = 0 によって受信が禁止されたときも初期化されます。 注 2 このビットは、URTJnCTL0.URTJnTXE = 0 によって送信が禁止されたときも初期化されます。
	588	【16.4(6) UARTJn ステータス・レジスタ 1 (URTJnSTR1)】 注釈なし		16-17
27	602	【16.5.3 ステータス割り込み要求 INTUAJnTIS】 [図 16.4 オーバラン・エラー判定フロー] "URTJnDCE = 1(送受信データを不一致を検出)"の時、受信オーバランエラー判定処理を行わない。	16-31	【16.5.3 ステータス割り込み要求 INTUAJnTIS】 [図 16.4 オーバラン・エラー判定フロー] "URTJnDCE = 1(送受信データを不一致を検出)"の時、受信オーバランエラー判定処理を行う。
28	818	【16.6.6(2) 受信の開始と停止】 [図 16.15 ポインタ値設定時]	16-47	【16.6.6(2) 受信の開始と停止】 [図 16.15 ポインタ値設定時] 補足説明として下記一文を追記 c) BF 受信後にデータを受信する場合には、設定してください。
29		記載なし	16-54	【16.7 ボーレート・ジェネレータ】 ボーレート誤差算出方法を新規追加

No.	V8.00		V9.00	
	ページ	記載内容	ページ	改訂内容
30	775	【18.3(6)(a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法】	18-16	【18.3(6)(a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法】 転送クロック算出式の表記を変更。
31	878	【18.9.1(1) シングル転送モード時のマスタ動作設定手順】 [図 18.14 シングル転送モード時のマスタ動作設定手順(シングルマスタ環境)]	18-119	【18.9.1(1) シングル転送モード時のマスタ動作設定手順】 [図 18.14 シングル転送モード時のマスタ動作設定手順(シングルマスタ環境)] ”最終データ送信完了”において No 判定後の分岐先を修正
32	882, 883	【18.9.2(1) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0)時のシングル転送モード設定手順】 [通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0)時のシングル転送モード設定手順(マルチマスタ環境)]	18-123, 18-124	【18.9.2(1) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0)時のシングル転送モード設定手順】 [通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0)時のシングル転送モード設定手順(マルチマスタ環境)] フローの結合子記号(A~F)を見直し
33	884	【18.9.2(2) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1)時のシングル転送モード設定手順】 [図 18.19 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1)時のシングル転送モード設定手順(マルチマスタ環境)(1/2)]	18-125	【18.9.2(2) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1)時のシングル転送モード設定手順】 [図 18.19 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1)時のシングル転送モード設定手順(マルチマスタ環境)(1/2)] 通信開始判定処理(“通信を開始する?”)の分岐先に“No”を追記

No.	V8.00		V9.00	
	ページ	記載内容	ページ	改訂内容
34	886	<p>【18.9.2(3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0)時の連続転送モード設定手順】 [図 18.20 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0)時の連続転送モード設定手順(マルチマスタ環境)(1/2)]</p>	18-127	<p>【18.9.2(3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0)時の連続転送モード設定手順】 [図 18.20 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0)時の連続転送モード設定手順(マルチマスタ環境)(1/2)]</p> <p>通信開始判定処理(“通信を開始する?”)の分岐先に“No”を追記</p>
	887	<p>【18.9.2(3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0)時の連続転送モード設定手順】 [図 18.20 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0)時の連続転送モード設定手順(マルチマスタ環境)(2/2)]</p>	18-128	<p>【18.9.2(3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0)時の連続転送モード設定手順】 [図 18.20 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0)時の連続転送モード設定手順(マルチマスタ環境)(2/2)]</p> <p>受信/送信割り込み発生(“IICBTIA_n発生?”)後の分岐先に“Yes”を追記</p>
35	888	<p>【18.9.2(4) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1)時の連続転送モード設定手順】 [図 18.21 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1)時の連続転送モード設定手順(マルチマスタ環境)(1/2)]</p>	18-129	<p>【18.9.2(4) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1)時の連続転送モード設定手順】 [図 18.21 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1)時の連続転送モード設定手順(マルチマスタ環境)(1/2)]</p> <p>フローの結合子記号(A~G)を見直し</p>
36	889	<p>【18.9.2(4) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1)時の連続転送モード設定手順】 [図 18.21 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1)時の連続転送モード設定手順(マルチマスタ環境)(2/2)]</p>	18-130	<p>【18.9.2(4) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1)時の連続転送モード設定手順】 [図 18.21 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1)時の連続転送モード設定手順(マルチマスタ環境)(2/2)]</p> <p>①フローの結合子記号(A~G)を見直し ②拡張コード/アドレス一致判定(“拡張コード検出? or アドレス一致?”)前の処理を削除</p>

No.	V8.00		V9.00	
	ページ	記載内容	ページ	改訂内容
37	1005	【19.14.1 初期化】 [図 19.14 ソフトウェア・リセット機能を利用しない再初期化]	19-116	【19.14.1 初期化】 [図 19.14 ソフトウェア・リセット機能を利用しない再初期化] ①FCNnGMCLPWOM レジスタのクリア確認後の再設定を追加 ②FCNnCMCLERCF レジスタの設定を追加
38	1021	【19.14.2 メッセージの送信】 [図 19.28 送信完了フラグを利用した ABT 送信要求中断処理(ABT 付き通常動作モード)]	19-132	【19.14.2 メッセージの送信】 [図 19.28 送信完了フラグを利用した ABT 送信要求中断処理(ABT 付き通常動作モード)] 送信中断に成功可否を判定する処理を追加
39	1043	【21.1 レジスタ一覧】	21-2	【21.1 レジスタ一覧】 “SRAM ブリッジ選択レジスタ(SRAMBRSEL)”を追加。
40		記載なし	21-32	【21.15 SRAM ブリッジ選択レジスタ(SRAMBRSEL)】 新規追加