

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	システムLSI	発行番号	TN-ECL-A005A/J	Rev.	第1版
題名	EC-1ユーザーズマニュアル 外部端子割り込みの立下りエッジ使用時の注意事項		情報分類	技術情報	
適用製品	EC-1	対象ロット等	関連資料	EC-1 ユーザーズマニュアル ハードウェア編 Rev1.1 R01UH0691JJ0110 Rev.1.10	
		全ロット			

外部端子割り込み (IRQ/ETH0\_INT/ETH1\_INT) を立下りエッジで使用する場合において、ユーザーズマニュアル「12.3.3 外部端子割り込み」の通りに設定しますと、設定後に不要な割り込みが発生する場合がありますと判明致しました。

つきましては、ユーザーズマニュアルの修正内容を以下に記載致します。

本内容についてご配慮の上、ご使用くださいますようお願い致します。

## ■マニュアル修正内容

以下の章を使用上の注意事項として追記します。

### 12.5.1 外部端子割り込みを立ち下がりエッジ、または両エッジで使用する場合

リセット後の外部端子割り込みの内部レベルは、**High** となっているため、端子の初期入力レベルが **Low** かつ立ち下がりエッジ、または両エッジで使用される場合は、以下の手順で設定してください。

その他の条件で使用する場合は、「12.3.3 外部端子割り込み」の手順で設定してください。

また、本設定完了前に外部端子割り込みへ立ち下がりエッジが入力されないようにしてください。

#### [IRQ 端子の場合]

- 該当する IEN<sub>n</sub> ビットを”0”にする(IEC<sub>n</sub> ビットをセットする)。
- I/O ポートのポート方向レジスタ (PDR) P<sub>mn</sub> 方向制御ビットに、”10b (入力)”を設定する。
- I/O ポート (P<sub>mn</sub>PFS.ISEL ビット) の設定、および確認を行う (P<sub>mn</sub>PFS レジスタをリードする)。
- IRQFLTE.FLTEN<sub>i</sub> ビットを”0”にする。(注 1)
- IRQFLTC.FCLKSEL[1:0]でデジタルノイズフィルタのサンプリングクロックを設定する。(注 1)
- IRQFLTE.FLTEN<sub>i</sub> ビットを”1”にする。(注 1)
- IRQCRi.IRQMD[1:0]ビットで立ち下がりエッジ、または両エッジに設定。
- 該当する PIC<sub>n</sub> レジスタを”1”にする (エッジ検出の場合)。
- 該当する IEN<sub>n</sub> ビットを”1”にする。

注1. デジタルノイズフィルタを使用する場合のみ設定が必要

[ETH0\_INT/ETH1\_INT 端子] の場合

1. 該当する IENn ビットを“0”にする (IECn ビットをセットする)。
2. I/O ポートのポート方向レジスタ (PDR) Pmn 方向制御ビットに、“10b (入力)” を設定する。
3. I/O ポート (PmnPFS.PSEL[5:0] ビットおよび PMR レジスタ) の設定、および確認を行う (PmnPFS レジスタをリードする)。
4. EPHYFLTE.EFLTENi ビットを“0”にする。(注 1)
5. EPHYFLTC.EFCLKSEL[1:0] でデジタルノイズフィルタのサンプリングクロックを設定する。(注 1)
6. EPHYFLTE.EFLTENi ビットを“1”にする。(注 1)
7. EPHYCRi.EPHYMD[1:0] ビットで立ち下がりエッジ、または両エッジに設定。
8. 該当する PICn レジスタを“1”にする (エッジ検出の場合)。
9. 該当する IENn ビットを“1”にする。

注 1. デジタルノイズフィルタを使用する場合のみ設定が必要

以上