

RZ/N1D グループ、 RZ/N1S グループ、 RZ/N1L グループ

ユーザーズマニュアル
R-IN Engine ・ イーサネット機能編

RZ ファミリ
RZ/N シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

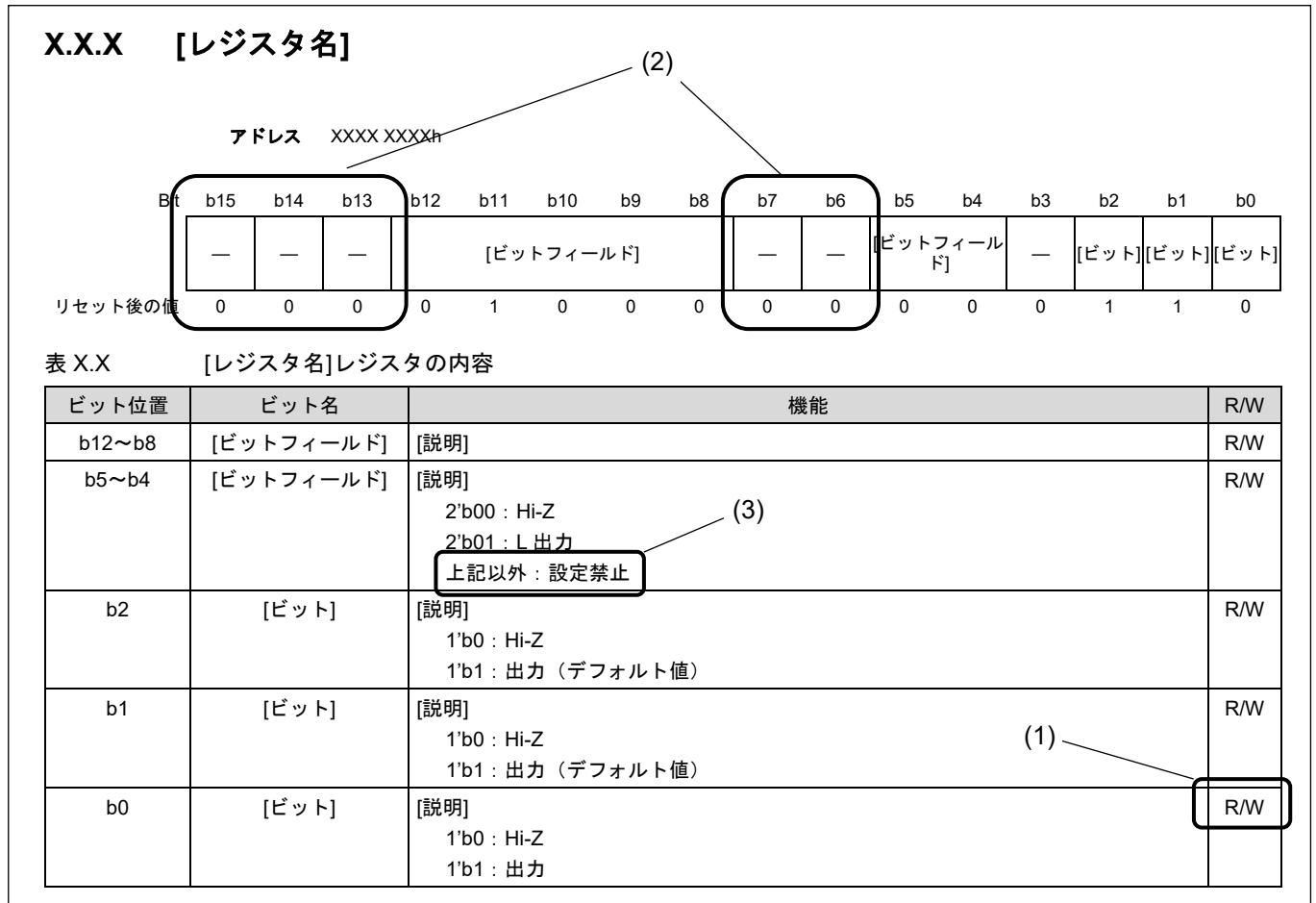
RZ/N1 グループでは次のドキュメントを用意しています。

■ RZ/N1 関連ドキュメント一覧

ドキュメント名	資料番号
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ データシート	R01DS0323JJ****
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル アーキテクチャ・製品データ編	R01UH0750JJ****
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル システム・周辺機能 1 編	R01UH0751JJ****
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル 周辺機能 2 編	R01UH0752JJ****
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル R-IN Engine・イーサネット機能編	R01UH0753JJ**** (本ユーザーズマニュアル)
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル PWMTimer	R01UH0913JJ****

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。



(1) R/W : 読み出し／書き込みとも有効です。

R/(W) : 読み出し／書き込みとも有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。

R : 読み出しのみ有効です。書き込みは無効になります。

W : 書き込みのみ有効です。読み出した値は保証されません。

(2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定以外の値を書き込んだ場合の動作は保証されません。

(3) 設定禁止。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語／略称	フルスペル
AHB	Arm Advanced High-performance Bus
APB	Arm Advanced Peripheral Bus
AXI	Arm Advanced eXtensible Interface
bps	bits per second
CA7	Arm Cortex-A7 module
CM3	Arm Cortex-M3 module
CRC	Cyclic Redundancy Check
DMA	Direct Memory Access
DMAC	Direct Memory Access Controller
Hi-Z	High Impedance
HSR	High-availability Seamless Redundancy
HW-RTOS	Hard Ware Real Time OS
I/O	Input/Output
LSB	Least Significant Bit
MSB	Most Significant Bit
NC	Non-Connect
NoC	Network-on-Chip
PLL	Phase Locked Loop
PWM	Pulse Width Modulation
UART	Universal Asynchronous Receiver/Transmitter
OTP	One Time Programmable ROM
PTP	Precision Time Protocol
PRP	Parallel Redundancy Protocol
SoC	System On Chip

4. アクセスサイズの表記

アクセスサイズ：

8 ビット＝バイト

16 ビット＝ハーフワード

32 ビット＝ワード

EtherCAT はドイツ Beckhoff Automation GmbH によりライセンスされた特許取得済み技術であり、商標登録です。

Sercos は Sercos International e.V の登録商標です。

ETHERNET Powerlink は、ETHERNET Powerlink Standardization Group (EPSG) の登録商標です。

Arm は Arm Limited (またはその子会社) の EU およびその他地域における登録商標です。

全ての商標・登録商標は各所有者の財産です。

目次

第 1 章	R-IN Engine 概略	32
1.1	概要	32
第 2 章	ハードウェアリアルタイム OS (HW-RTOS)	34
2.1	概要	34
第 3 章	ギガビットイーサネット MAC (HW-RTOS GMAC)	35
3.1	概要	35
3.2	信号インタフェース	36
3.3	レジスタマップ	37
3.3.1	HW-RTOS HWFC (ハードウェアファンクションコール) レジスタマップ	37
3.3.2	HW-RTOS GMAC (ギガビットイーサネット MAC) レジスタマップ	37
3.4	レジスタの説明	38
3.4.1	HW-RTOS HWFC (ハードウェアファンクションコール) レジスタの説明	38
3.4.1.1	C0TYPE – ハードウェアファンクションタイプレジスタ	38
3.4.1.2	C0STAT – ハードウェアファンクションステータスレジスタ	38
3.4.1.3	SYSC – ハードウェアファンクションシステムコールレジスタ	39
3.4.1.4	R4 – ハードウェアファンクション引数レジスタ 4	40
3.4.1.5	R5 – ハードウェアファンクション引数レジスタ 5	40
3.4.1.6	R6 – ハードウェアファンクション引数レジスタ 6	41
3.4.1.7	R7 – ハードウェアファンクション引数レジスタ 7	41
3.4.1.8	CMD – ハードウェアファンクションコマンドレジスタ	42
3.4.1.9	R0 – ハードウェアファンクション戻り値レジスタ 0	42
3.4.1.10	R1 – ハードウェアファンクション戻り値レジスタ 1	43
3.4.2	HW-RTOS GMAC (ギガビットイーサネット MAC) レジスタの説明	44
3.4.2.1	GMAC_TXID – TX ID レジスタ	44
3.4.2.2	GMAC_TXRESULT – TX RESULT レジスタ	44
3.4.2.3	GMAC_MODE – MODE レジスタ	45
3.4.2.4	GMAC_RXMODE – RX MODE レジスタ	46
3.4.2.5	GMAC_TXMODE – TX MODE レジスタ	48
3.4.2.6	GMAC_RESET – RESET レジスタ	49
3.4.2.7	GMAC_PAUSE[m] – PAUSE パケットデータレジスタ[m] (m=1~5)	50
3.4.2.8	GMAC_FLWCTL – RX フローコントロールレジスタ	50
3.4.2.9	GMAC_PAUSPKT – PAUSE パケットレジスタ	51
3.4.2.10	GMAC_MIIM – MIIM レジスタ	52
3.4.2.11	GMAC_ADR[m]A – MAC アドレスレジスタ[m]A (m=1~16)	53
3.4.2.12	GMAC_ADR[m]B – MAC アドレスレジスタ[m]B (m=1~16)	53
3.4.2.13	GMAC_RXFIFO – RX FIFO ステータスレジスタ	54
3.4.2.14	GMAC_TXFIFO – TX FIFO ステータスレジスタ	55
3.4.2.15	GMAC_ACC – TCPIPACC レジスタ	56
3.4.2.16	GMAC_RXMAC_ENA – RX MAC ENABLE レジスタ	57
3.4.2.17	BUFID – 受信バッファ情報レジスタ	58
3.5	動作説明	59
3.5.1	初期設定	59
3.5.2	ハードウェアファンクション (HWF)	61

3.5.2.1	処理フロー	62
3.5.2.2	バッファアロケータ	63
3.5.2.3	MAC DMA コントローラ	69
3.5.2.4	バッファ RAM DMA コントローラ	81
3.5.3	割り込み	85
3.5.4	イーサネットフレーム送信機能	87
3.5.4.1	送信バッファの獲得	87
3.5.4.2	送信データの作成	87
3.5.4.3	送信ディスクリプタの作成	93
3.5.4.4	送信の開始	94
3.5.4.5	送信の完了	94
3.5.5	イーサネットフレーム受信機能	95
3.5.5.1	受信 MAC の有効化	95
3.5.5.2	受信 DMA の有効化	95
3.5.5.3	フレームの受信とバッファの取得	95
3.5.5.4	受信バッファ情報の取得	95
3.5.5.5	受信データのフォーマット	95
3.5.6	TCPIP アクセラレータ機能	104
3.6	使用上の注意事項	106
3.6.1	ギガビットイーサネット MAC (HW-RTOS GMAC) コントロールレジスタ	106
3.6.1.1	MIIM レジスタ (GMAC_MIIM)	106
3.6.1.2	TX ID レジスタ (GMAC_TXID)	106
3.6.1.3	TX RESULT レジスタ (GMAC_TXRESULT)	106
3.6.1.4	TX MODE レジスタ (GMAC_TXMODE)	107
3.6.1.5	RESET レジスタ (GMAC_RESET)	107
3.6.1.6	PAUSE パケットデータレジスタ[m] (GMAC_PAUSE[m])	107
3.6.2	ハードウェアファンクションコールレジスタ	108
3.6.3	管理 TAG コントロール	108
3.6.4	注意	109
3.6.4.1	送信フレーム内の MAC ヘッダに追加されるパディング	109
3.6.4.2	特定のフレーム受信時のチェックサム検証に関する誤判定	109
3.6.4.3	受信 FIFO オーバーフロー発生時の受信フレーム情報の誤り	109
3.6.4.4	パディングを含め 64 バイトを超えるフレームの受信時の受信フレーム情報の エラー	115
3.6.4.5	ジャンボフレームについて	116
第 4 章	アドバンスド 5 ポートスイッチ (A5PSW)	117
4.1	概要	117
4.2	信号インタフェース	121
4.3	レジスタマップ	122
4.4	レジスタの説明	128
4.4.1	REVISION – スイッチコアバージョン	128
4.4.2	SCRATCH – スクラッチレジスタ	128
4.4.3	PORT_ENA – ポートイネーブルレジスタ	129
4.4.4	UCAST_DEFAULT_MASK – ユニキャストデフォルトマスクレジスタ	130
4.4.5	VLAN_VERIFY – VLAN ドメイン検証	130
4.4.6	BCAST_DEFAULT_MASK – ブロードキャストデフォルトマスクレジスタ	131

4.4.7	MCAST_DEFAULT_MASK	— マルチキャストデフォルトマスクレジスタ	131
4.4.8	INPUT_LEARN_BLOCK	— 入力ラーニングブロックレジスタ	132
4.4.9	MGMT_CONFIG	— 管理コンフィグレーションレジスタ	133
4.4.10	MODE_CONFIG	— モードコンフィグレーションレジスタ	134
4.4.11	VLAN_IN_MODE	— VLAN 入力操作モードレジスタ	135
4.4.12	VLAN_OUT_MODE	— VLAN 出力操作モードレジスタ	136
4.4.13	VLAN_IN_MODE_ENA	— VLAN 入力モードイネーブルレジスタ	137
4.4.14	VLAN_TAG_ID	— VLAN タグ ID レジスタ	137
4.4.15	BCAST_STORM_LIMIT	— ブロードキャストストーム保護レジスタ	138
4.4.16	MCAST_STORM_LIMIT	— マルチキャストストーム保護レジスタ	138
4.4.17	MIRROR_CONTROL	— ポートミラーリングコンフィグレーションレジスタ	139
4.4.18	MIRROR_EG_MAP	— ポートミラーリング Egress ポート定義	140
4.4.19	MIRROR_ING_MAP	— ポートミラーリング Ingress ポート定義	140
4.4.20	MIRROR_ISRC_0	— ミラーフィルタリング 0 用 Ingress 送信元 MAC アドレス	141
4.4.21	MIRROR_ISRC_1	— ミラーフィルタリング 1 用 Ingress 送信元 MAC アドレス	141
4.4.22	MIRROR_IDST_0	— ミラーフィルタリング 0 用 Ingress 宛先 MAC アドレス	142
4.4.23	MIRROR_IDST_1	— ミラーフィルタリング 1 用 Ingress 宛先 MAC アドレス	142
4.4.24	MIRROR_ESRC_0	— ミラーフィルタリング 0 用 Egress 送信元 MAC アドレス	143
4.4.25	MIRROR_ESRC_1	— ミラーフィルタリング 1 用 Egress 送信元 MAC アドレス	143
4.4.26	MIRROR_EDST_0	— ミラーフィルタリング 0 用 Egress 宛先 MAC アドレス	144
4.4.27	MIRROR_EDST_1	— ミラーフィルタリング 1 用 Egress 宛先 MAC アドレス	144
4.4.28	MIRROR_CNT	— ミラーフィルタリングカウント値レジスタ	145
4.4.29	QMGR_ST_MINCELLS	— 出力キュー最小メモリ統計レジスタ	145
4.4.30	QMGR_RED_MIN4	— RED 最小しきい値レジスタ	146
4.4.31	QMGR_RED_MAX4	— RED 最大しきい値レジスタ	146
4.4.32	QMGR_RED_CONFIG	— RED コンフィグレーションレジスタ	147
4.4.33	IMC_STATUS	— 入力メモリコントローラステータスレジスタ	148
4.4.34	IMC_ERR_FULL	— 入力ポートメモリフル切り捨て表示	149
4.4.35	IMC_ERR_IFACE	— 入力ポートメモリエラー表示	150
4.4.36	IMC_ERR_QOFLOW	— 出力ポートキューオーバーフロー表示	151
4.4.37	IMC_CONFIG	— 入力メモリコントローラコンフィグレーションレジスタ	151
4.4.38	GPARSER[n]	— 第 1 ブロックの n 番目のパーサ (n=0~3)	152
4.4.39	GARITH[n]	— 第 1 ブロックの演算ステージ n 番目のスヌープコンフィグレーション (n=0~3)	154
4.4.40	GPARSER[n]	— 第 2 ブロックの n-4 番目のパーサ (n=4~7)	155
4.4.41	GARITH[n]	— 第 2 ブロックの演算ステージ n-4 番目の スヌープコンフィグレーション (n=4~7)	157
4.4.42	VLAN_PRIORITY[n]	— VLAN プライオリティレジスタ[n] (n=0~4)	158
4.4.43	IP_PRIORITY[n]	— IP プライオリティレジスタ[n] (n=0~4)	159
4.4.44	PRIORITY_CFG[n]	— プライオリティコンフィグレーションレジスタ[n] (n=0~4)	160
4.4.45	PRIORITY_TYPE1	— プライオリティタイプレジスタ 1	161
4.4.46	PRIORITY_TYPE2	— プライオリティタイプレジスタ 2	162
4.4.47	MGMT_ADDR0_lo	— ブリッジプロトコルフレームの下位 MAC アドレス	163

4.4.48	MGMT_ADDR0_hi	ブリッジプロトコルフレームの上位 MAC アドレス	164
4.4.49	SYSTEM_TAGINFO[n]	VLAN 入力操作のための 1 つの VLAN ID (n=0~4)	165
4.4.50	AUTH_PORT[n]	ポート[n]認証のコントロールとコンフィグレーション (n=0~4)	166
4.4.51	VLAN_RES_TABLE[n]	32 個の VLAN ドメインエントリ (n=0~31)	169
4.4.52	TOTAL_DISC	廃棄フレーム総数レジスタ	170
4.4.53	TOTAL_BYT_DISC	廃棄フレーム総バイト数レジスタ	170
4.4.54	TOTAL_FRM	処理済みフレーム総数レジスタ	171
4.4.55	TOTAL_BYT_FRM	処理済みフレーム総バイト数レジスタ	171
4.4.56	ODISC[n]	ポート[n]出力フレーム廃棄カウントレジスタ (n=0~4)	172
4.4.57	IDISC_VLAN[n]	ポート[n]VLAN タグ付き入力フレーム廃棄カウントレジスタ (n=0~4)	172
4.4.58	IDISC_UNTAGGED[n]	ポート[n]VLAN タグなし入力フレーム廃棄カウントレジスタ (n=0~4)	173
4.4.59	IDISC_BLOCKED[n]	ポート[n]ブロックされた入力フレーム廃棄カウントレジスタ (n=0~4)	173
4.4.60	IMC_QLEVEL_P[n]	ポート[n]キューイング中フレームカウントレジスタ (n=0~4)	174
4.4.61	LK_CTRL	ラーニング/ルックアップ機能グローバルコンフィグレーション レジスタ	175
4.4.62	LK_STATUS	ステータスビットとテーブルオーバーフローカウンタ	177
4.4.63	LK_ADDR_CTRL	アドレステーブルトランザクションコントロールと読み込み/ 書き込みアドレス	178
4.4.64	LK_DATA_LO	ルックアップメモリエントリの下位 32 ビットデータ	180
4.4.65	LK_DATA_HI	ルックアップメモリエントリの上位 26 ビットデータ	180
4.4.66	LK_LEARNCOUNT	ラーニングアドレスカウントレジスタ	181
4.4.67	LK_AGETIME	エイジングタイマの時間	182
4.4.68	MGMT_TAG_CONFIG	管理タグコンフィグレーションレジスタ	183
4.4.69	PEERDELAY[n]	ポート[n]ピア遅延値 (n=0~3)	184
4.4.70	PORT[n]_CTRL	ポート[n]タイムスタンプコントロール/ステータス (n=0~3)	185
4.4.71	PORT[n]_TIME	ポート[n]記憶送信タイムスタンプ (n=0~3)	186
4.4.72	INT_CONFIG	割り込み許可コンフィグレーションレジスタ	187
4.4.73	INT_STAT_ACK	割り込みステータス/ACK レジスタ	189
4.4.74	MDIO_CFG_STATUS	MDIO コンフィグレーションおよびステータスレジスタ	191
4.4.75	MDIO_COMMAND	MDIO PHY コマンドレジスタ	192
4.4.76	MDIO_DATA	MDIO データレジスタ	192
4.4.77	REV_P[n]	ポート[n] MAC コアリビジョン (n=0~4)	193
4.4.78	COMMAND_CONFIG_P[n]	ポート[n]コマンドコンフィグレーションレジスタ (n=0~4)	194
4.4.79	MAC_ADDR_0_P[n]	ポート[n] MAC アドレスレジスタ 0 (n=0~3)	196
4.4.80	MAC_ADDR_1_P[n]	ポート[n] MAC アドレスレジスタ 1 (n=0~3)	196
4.4.81	FRM_LENGTH_P[n]	ポート[n]最大フレーム長レジスタ (n=0~4)	197
4.4.82	PAUSE_QUANT_P[n]	ポート[n] MAC 中断時間 (n=0~4)	197
4.4.83	PTPClockIdentity1_P[n]	ポート[n] PTP クロック ID1 レジスタ (n=0~3)	198

4.4.84	PTPClockIdentity2_P[n] – ポート[n] PTP クロック ID2 レジスタ (n=0~3)	198
4.4.85	PTPAutoResponse_P[n] – ポート[n] PTP 自動レスポンスレジスタ (n=0~3)	199
4.4.86	STATUS_P[n] – ポート[n]ポートステータスレジスタ (n=0~4)	200
4.4.87	TX_IPG_LENGTH_P[n] – ポート[n]送信 IPG 長レジスタ (n=0~4)	201
4.4.88	EEE_CTL_STAT_P[n] – ポート[n] MAC EEE 機能のコントロールとステータス (n=0~3)	202
4.4.89	EEE_IDLE_TIME_P[n] – ポート[n] EEE アイドル時間レジスタ (n=0~3)	204
4.4.90	EEE_TWSYS_TIME_P[n] – ポート[n] EEE ウェークアップ時間レジスタ (n=0~3)	204
4.4.91	IDLE_SLOPE_P[n] – ポート[n] MAC トラフィックシェイパ帯域幅コントロール (n=0~4)	205
4.4.92	aFramesTransmittedOK_P[n] – ポート[n] MAC 送信済み有効フレームカウント レジスタ (n=0~4)	205
4.4.93	aFramesReceivedOK_P[n] – ポート[n] MAC 受信済み有効フレームカウントレジスタ (n=0~4)	206
4.4.94	aFrameCheckSequenceErrors_P[n] – ポート[n] MAC FCS エラーフレームカウント レジスタ (n=0~4)	206
4.4.95	aAlignmentErrors_P[n] – ポート[n] MAC アライメントエラーフレームカウント レジスタ (n=0~4)	207
4.4.96	aOctetsTransmittedOK_P[n] – ポート[n] MAC 送信済み有効フレームオクテット レジスタ (n=0~4)	207
4.4.97	aOctetsReceivedOK_P[n] – ポート[n] MAC 受信済み有効フレームオクテット レジスタ (n=0~4)	208
4.4.98	aTxPAUSEMACCtrlFrames_P[n] – ポート[n] MAC 送信済み PAUSE フレームカウント レジスタ (n=0~4)	208
4.4.99	aRxPAUSEMACCtrlFrames_P[n] – ポート[n] MAC 受信済み PAUSE フレームカウント レジスタ (n=0~4)	209
4.4.100	ifInErrors_P[n] – ポート[n] MAC 入力エラーカウントレジスタ (n=0~4)	209
4.4.101	ifOutErrors_P[n] – ポート[n] MAC 出力エラーカウントレジスタ (n=0~4)	210
4.4.102	ifInUcastPkts_P[n] – ポート[n] MAC 受信済みユニキャストフレームカウントレジスタ (n=0~4)	210
4.4.103	ifInMulticastPkts_P[n] – ポート[n] MAC 受信済みマルチキャストフレームカウント レジスタ (n=0~4)	211
4.4.104	ifInBroadcastPkts_P[n] – ポート[n] MAC 受信済みブロードキャストフレームカウント レジスタ (n=0~4)	211
4.4.105	ifOutDiscards_P[n] – ポート[n] MAC アウトバウンド廃棄フレームカウントレジスタ (n=0~4)	212
4.4.106	ifOutUcastPkts_P[n] – ポート[n] MAC 送信済みユニキャストフレームカウント レジスタ (n=0~4)	212
4.4.107	ifOutMulticastPkts_P[n] – ポート[n] MAC 送信済みマルチキャストフレームカウント レジスタ (n=0~4)	213
4.4.108	ifOutBroadcastPkts_P[n] – ポート[n] MAC 送信済みブロードキャストフレーム カウントレジスタ (n=0~4)	213

4.4.109	etherStatsDropEvents_P[n] – ポート[n] MAC ドロップフレームカウントレジスタ (n=0~4)	214
4.4.110	etherStatsOctets_P[n] – ポート[n] MAC 全フレームオクテットレジスタ (n=0~4) ..	214
4.4.111	etherStatsPkts_P[n] – ポート[n] MAC 全フレームカウントレジスタ (n=0~4)	215
4.4.112	etherStatsUndersizePkts_P[n] – ポート[n] MAC アンダーサイズフレームカウント レジスタ (n=0~4)	215
4.4.113	etherStatsOversizePkts_P[n] – ポート[n] MAC オーバーサイズフレームカウント レジスタ (n=0~4)	216
4.4.114	etherStatsPkts64Octets_P[n] – ポート[n] MAC 64 オクテットフレームカウント レジスタ (n=0~4)	216
4.4.115	etherStatsPkts65to127Octets_P[n] – ポート[n] MAC 65~127 オクテットフレーム カウントレジスタ (n=0~4)	217
4.4.116	etherStatsPkts128to255Octets_P[n] – ポート[n] MAC 128~255 オクテットフレーム カウントレジスタ (n=0~4)	217
4.4.117	etherStatsPkts256to511Octets_P[n] – ポート[n] MAC 256~511 オクテットフレーム カウントレジスタ (n=0~4)	218
4.4.118	etherStatsPkts512to1023Octets_P[n] – ポート[n] MAC 512~1023 オクテット フレームカウントレジスタ (n=0~4)	218
4.4.119	etherStatsPkts1024to1518Octets_P[n] – ポート[n] MAC 1024~1519 オクテット フレームカウントレジスタ (n=0~4)	219
4.4.120	etherStatsPkts1519toXOctets_P[n] – ポート[n] MAC 1519 超オクテットフレーム カウントレジスタ (n=0~4)	219
4.4.121	etherStatsJabbers_P[n] – ポート[n] MAC ジャバースフレームカウントレジスタ (n=0~4)	220
4.4.122	etherStatsFragments_P[n] – ポート[n] MAC フラグメントフレームカウントレジスタ (n=0~4)	220
4.4.123	VLANReceivedOK_P[n] – ポート[n] MAC 受信済み VLAN タグ付きフレームカウント レジスタ (n=0~4)	221
4.4.124	VLANTransmittedOK_P[n] – ポート[n] MAC 送信済み VLAN タグ付きフレームカウントレ ジスタ (n=0~4)	221
4.4.125	FramesRetransmitted_P[n] – ポート[n] MAC 再送信フレームカウントレジスタ (n=0~4)	222
4.4.126	STATS_HIWORD_P[n] – ポート[n] MAC 統計カウンタ上位ワードレジスタ (n=0~4)	223
4.4.127	STATS_CTRL_P[n] – ポート[n] MAC 統計コントロールレジスタ (n=0~4)	224
4.4.128	STATS_CLEAR_VALUELO_P[n] – ポート[n] MAC 統計クリア値下位レジスタ (n=0~4)	225
4.4.129	STATS_CLEAR_VALUEHI_P[n] – ポート[n] MAC 統計クリア値上位レジスタ (n=0~4)	225
4.4.130	aDeferred_P[n] – ポート[n] MAC デフォードカウントレジスタ (n=0~3)	226
4.4.131	aMultipleCollisions_P[n] – ポート[n] MAC 複数コリジョンカウントレジスタ (n=0~3)	226

4.4.132	aSingleCollisions_P[n] – ポート[n] MAC 単一コリジョンカウントレジスタ (n=0~3)	227
4.4.133	aLateCollisions_P[n] – ポート[n] MAC 遅延コリジョンカウントレジスタ (n=0~3)	227
4.4.134	aExcessiveCollisions_P[n] – ポート[n] MAC 過剰コリジョンカウントレジスタ (n=0~3)	228
4.4.135	aCarrierSenseErrors_P[n] – ポート[n] MAC キャリアセンスエラーカウントレジスタ (n=0~3)	228
4.4.136	DLR_CONTROL – DLR コントロールレジスタ	229
4.4.137	DLR_STATUS – DLR ステータスレジスタ	230
4.4.138	DLR_ETH_TYP – DLR イーサネットタイプレジスタ	231
4.4.139	DLR_IRQ_CONTROL – DLR 割り込みコントロールレジスタ	232
4.4.140	DLR_IRQ_STAT_ACK – DLR 割り込みステータス/ACK レジスタ	233
4.4.141	DLR_LOC_MAClo – DLR ローカル MAC アドレス下位レジスタ	235
4.4.142	DLR_LOC_MACHi – DLR ローカル MAC アドレス上位レジスタ	235
4.4.143	DLR_SUPR_MAClo – DLR スーパーバイザ MAC アドレス下位レジスタ	236
4.4.144	DLR_SUPR_MACHi – DLR スーパーバイザ MAC アドレス上位レジスタ	236
4.4.145	DLR_STATE_VLAN – DLR リングステータス/VLAN レジスタ	237
4.4.146	DLR_BEC_TMOU – DLR ビーコンタイムアウトレジスタ	237
4.4.147	DLR_BEC_INTRVL – DLR ビーコンインターバルレジスタ	238
4.4.148	DLR_SUPR_IPADR – DLR スーパーバイザ IP アドレスレジスタ	238
4.4.149	DLR_ETH_STYP_VER – DLR サブタイプ/プロトコルバージョンレジスタ	239
4.4.150	DLR_INV_TMOU – DLR ビーコンタイムアウトタイムレジスタ	239
4.4.151	DLR_SEQ_ID – DLR シーケンス ID レジスタ	240
4.4.152	DLR_DSTlo – DLR ビーコン宛先アドレス下位レジスタ	240
4.4.153	DLR_DSTHi – DLR ビーコン宛先アドレス上位レジスタ	241
4.4.154	DLR_RX_STAT0 – DLR 受信フレーム統計レジスタ 0	241
4.4.155	DLR_RX_ERR_STAT0 – DLR 受信フレームエラー統計レジスタ 0	242
4.4.156	DLR_TX_STAT0 – DLR 送信フレーム統計レジスタ 0	242
4.4.157	DLR_RX_STAT1 – DLR 受信フレーム統計レジスタ 1	243
4.4.158	DLR_RX_ERR_STAT1 – DLR 受信フレームエラー統計レジスタ 1	243
4.4.159	DLR_TX_STAT1 – DLR 送信フレーム統計レジスタ 1	244
4.4.160	PRP_CONFIG – PRP コンフィグレーションレジスタ	245
4.4.161	PRP_GROUP – PRP ポートグループレジスタ	248
4.4.162	PRP_SUFFIX – PRP RCT サフィックス	249
4.4.163	PRP_LANID – PRP LAN 識別子	249
4.4.164	DUP_W – PRP 最大重複検出ウィンドウサイズ	250
4.4.165	PRP_AGETIME – PRP エイジング時間定義レジスタ	251
4.4.166	PRP_IRQ_CONTROL – PRP 割り込みコントロールレジスタ	252
4.4.167	PRP_IRQ_STAT_ACK – PRP 割り込みステータス/ACK レジスタ	253
4.4.168	RM_ADDR_CTRL – PRP 履歴メモリトランザクションコントロールレジスタ	254
4.4.169	RM_DATA – PRP メモリデータレジスタ	255
4.4.170	RM_STATUS – PRP メモリコントローラステータス表示	255
4.4.171	TxSeqTooLate – PRP フレーム送信での誤りシーケンス番号の取り出し	256

4.4.172	CntErrWrongLanA – PRP 誤 ID LAN-A カウントレジスタ	256
4.4.173	CntErrWrongLanB – PRP 誤 ID LAN-B カウントレジスタ	257
4.4.174	CntDupLanA – PRP 重複 LAN-A カウントレジスタ	257
4.4.175	CntDupLanB – PRP 重複 LAN-B カウントレジスタ	258
4.4.176	CntOutOfSeqLowA – PRP シーケンスエラー低 LAN-A カウントレジスタ	258
4.4.177	CntOutOfSeqLowB – PRP シーケンスエラー低 LAN-B カウントレジスタ	259
4.4.178	CntOutOfSeqA – PRP シーケンスエラーLAN-A カウントレジスタ	259
4.4.179	CntOutOfSeqB – PRP シーケンスエラーLAN-B カウントレジスタ	260
4.4.180	CntAcceptA – PRP 有効フレーム LAN-A カウントレジスタ	260
4.4.181	CntAcceptB – PRP 有効フレーム LAN-B カウントレジスタ	261
4.4.182	CntMissing – PRP 喪失履歴調整カウント	261
4.4.183	HUB_CONFIG – ハブコンフィグレーションレジスタ	262
4.4.184	HUB_GROUP – ハブポートグループレジスタ	263
4.4.185	HUB_DEFPORT – ハブデフォルトポート選択レジスタ	264
4.4.186	HUB_TRIGGER_IMMEDIATE – ハブ送信トリガイミディエイトレジスタ	265
4.4.187	HUB_TRIGGER_AT – ハブ特定時間送信トリガレジスタ	266
4.4.188	HUB_TTIME – ハブ送信時間定義レジスタ	266
4.4.189	HUB_IRQ_CONTROL – ハブ割り込みコントロールレジスタ	267
4.4.190	HUB_IRQ_STAT_ACK – ハブ割り込みステータス/ACK レジスタ	268
4.4.191	HUB_STATUS – ハブステータスレジスタ	269
4.4.192	HUB_OPORT_STATUS – ハブ出力ポートステータスレジスタ	270
4.4.193	RXMATCH_CONFIG[n] – ポート[n]の RX パターンマッチャコンフィグレーション (n=0~4)	270
4.4.194	PATTERN_CTRL[n] – パターン[n]の RX パターンマッチャ機能コントロール (n=0~7)	271
4.4.195	PTN_IRQ_CONTROL – RX パターンマッチャ割り込みコントロールレジスタ	273
4.4.196	PTN_IRQ_STAT_ACK – RX パターンマッチャ割り込みステータス/ACK レジスタ	274
4.4.197	PATTERN_SEL – RX パターン番号選択レジスタ	274
4.4.198	PTRN_CMP_30 – パターン比較値バイト 3~0	275
4.4.199	PTRN_CMP_74 – パターン比較値バイト 7~4	275
4.4.200	PTRN_CMP_118 – パターン比較値バイト 11~8	276
4.4.201	PTRN_MSK_30 – バイト 3~0 のパターンマスク	276
4.4.202	PTRN_MSK_74 – バイト 7~4 のパターンマスク	277
4.4.203	PTRN_MSK_118 – バイト 11~8 のパターンマスク	277
4.4.204	TDMA_CONFIG – TDMA コンフィグレーションレジスタ	278
4.4.205	TDMA_PORTS – TDMA スケジューリング許可レジスタ	279
4.4.206	TDMA_START – TDMA 開始時間設定レジスタ	279
4.4.207	TDMA_MODULO – TDMA システムタイマモジュロ	280
4.4.208	TDMA_CYCLE – TDMA 周期サイクル設定レジスタ	280
4.4.209	TDMA_T1 – TDMA 第 1 時間オフセット	281
4.4.210	TDMA_T2 – TDMA 第 2 時間オフセット	281
4.4.211	TDMA_T3 – TDMA 第 3 時間オフセット	282
4.4.212	QUEUES_TS – TDMA 第 1 スロット送信許可	283

4.4.213	QUEUES_T1 – TDMA 第 2 スロット送信許可	284
4.4.214	QUEUES_T2 – TDMA 第 3 スロット送信許可	284
4.4.215	QUEUES_T3 – TDMA 最終スロット送信許可	285
4.4.216	QUEUES_START – TDMA 第 1 サイクル送信許可	286
4.4.217	TIME_LOAD_NEXT – TDMA 次回読み込み時刻計算値	286
4.4.218	TDMA_IRQ_CONTROL – TDMA 割り込みコントロールレジスタ	287
4.4.219	TDMA_IRQ_STAT_ACK – TDMA 割り込みステータス/ACK レジスタ	288
4.5	動作説明	289
4.5.1	イーサネットフレームフォーマットの概要	289
4.5.1.1	概要	289
4.5.1.2	MAC アドレスの概要	291
4.5.1.3	VLAN タグの概要	291
4.5.1.4	PAUSE フレーム	292
4.5.2	IP フレームフォーマット	293
4.5.2.1	定義	293
4.5.2.2	イーサネットタイプ	293
4.5.2.3	IPv4 データグラムのフォーマット	293
4.5.2.4	IPv6 データグラムのフォーマット	294
4.5.3	スイッチ機能の説明	296
4.5.3.1	概要	296
4.5.3.2	VLAN 入力処理機能	296
4.5.3.3	VLAN 出力処理機能	298
4.5.3.4	フレームスヌープ	299
4.5.3.5	フレームクラス分けとプライオリティ解決	304
4.5.3.6	入力ポート選択	307
4.5.3.7	レイヤ 2 ルックアップエンジン	307
4.5.3.8	レイヤ 2 ルックアップエンジンの処理の説明	309
4.5.3.9	フレーム転送タスク	312
4.5.3.10	ブロードキャストストーム保護	319
4.5.3.11	マルチキャストストーム保護	319
4.5.3.12	出力フレームキューイング	319
4.5.3.13	出力ポート輻輳管理	320
4.5.4	タイムスタンプ機能 (TSM)	322
4.5.4.1	概要	322
4.5.4.2	IEEE 1588 メッセージヘッダ構造	322
4.5.4.3	タイムスタンプ処理	323
4.5.4.4	トランスペアレントクロックのサポート	324
4.5.4.5	管理ポートでワンステップ更新を使用	326
4.5.4.6	ピア遅延リクエストメッセージへの自動レスポンス	327
4.5.5	管理ポート特有のフレームタグ付与	330
4.5.5.1	タグ付きフレームのフォーマット	330
4.5.5.2	バイトオーダー	331
4.5.5.3	送信処理 (スイッチから CPU)	331
4.5.5.4	受信処理 (CPU からスイッチ)	331
4.5.5.5	モジュールの設定	333
4.5.6	MAC EEE のサポート	334
4.5.6.1	概要	334
4.5.6.2	EEE のための PHY インタフェースのエンコード	335
4.5.7	MAC 送信レートコントロール	336

4.5.7.1	概要	336
4.5.7.2	構成設定	337
4.5.8	ポートベースのアクセスコントロール (802.1X)	338
4.5.8.1	概要	338
4.5.8.2	用語と定義	338
4.5.8.3	機能説明	338
4.5.8.4	転送判断	339
4.5.8.5	使用上の考慮点	340
4.5.9	割り込み	341
4.5.10	PHY マネージメントインタフェース (MDIO マスタ)	342
4.5.10.1	概要	342
4.5.10.2	MDIO フレームフォーマット	342
4.5.10.3	ターンアラウンド信号	343
4.5.10.4	MDIO コントロールレジスタ	343
4.5.10.5	トランザクションタイプ	343
4.5.11	DLR 拡張モジュール	344
4.5.11.1	概要	344
4.5.11.2	ビーコンフレームのフォーマット	345
4.5.11.3	リングノード機能の説明	348
4.5.12	並列冗長プロトコル (PRP)	351
4.5.12.1	概要	351
4.5.12.2	A5PSW 機能の概要	353
4.5.12.3	スイッチの転送動作	355
4.5.12.4	MAC アドレスラーニングの拡張	357
4.5.13	統合ハブモジュール	359
4.5.13.1	概要	359
4.5.13.2	機能の説明	360
4.5.13.3	ハブ特有の転送ルール	361
4.5.13.4	ハブグループクロック	362
4.5.13.5	PHY の要件	362
4.5.13.6	使用上の注意事項	362
4.5.14	RX パターンマッチャ	363
4.5.14.1	機能の説明	363
4.5.14.2	使用上の注意事項	363
4.5.15	TDMA の動作	364
4.5.15.1	概要	364
4.5.15.2	出力キュースケジューリング	364
4.5.15.3	スケジューリングの例	364
4.5.15.4	スタートアップシーケンス	366
4.5.15.5	使用上の注意事項	366
4.5.16	A5PSW の初期化	367
4.6	使用上の注意事項	368
4.6.1	制約事項	368
4.6.2	参考資料	370
第 5 章	EtherCAT スレーブコントローラ	371
5.1	概要	371
5.1.1	ブロック図	373
5.1.2	機能	374

5.2	信号インターフェース	375
5.3	レジスタマップ.....	376
5.4	レジスタの説明.....	379
5.4.1	TYPE – タイプレジスタ	379
5.4.2	REVISION – リビジョンレジスタ	379
5.4.3	BUILD – ビルドレジスタ	380
5.4.4	FMMU_NUM – FMMU サポートレジスタ	380
5.4.5	SYNC_MANAGER – SyncManager サポートレジスタ	380
5.4.6	RAM_SIZE – RAM サイズレジスタ	381
5.4.7	PORT_DESC – ポートディスクリプタレジスタ	382
5.4.8	FEATURE – ESC 機能サポートレジスタ	383
5.4.9	STATION_ADR – 設定済みステーションアドレスレジスタ	384
5.4.10	STATION_ALIAS – 設定済みステーションエイリアスレジスタ	384
5.4.11	WR_REG_ENABLE – レジスタ書き込みイネーブルレジスタ	385
5.4.12	WR_REG_PROTECT – レジスタ書き込み保護レジスタ	385
5.4.13	ESC_WR_ENABLE – ESC 書き込みイネーブルレジスタ	386
5.4.14	ESC_WR_PROTECT – ESC 書き込み保護レジスタ	386
5.4.15	ESC_RESET_ECATCH – ESC リセット EtherCAT レジスタ	387
5.4.16	ESC_RESET_PDI – ESC リセット PDI レジスタ	388
5.4.17	ESC_DL_CONTROL – ESC DL コントロールレジスタ	389
5.4.18	PHYSICAL_RW_OFFSET – 物理読み出し/書き込みオフセットレジスタ	391
5.4.19	ESC_DL_STATUS – ESC DL ステータスレジスタ	392
5.4.20	AL_CONTROL – AL コントロールレジスタ	394
5.4.21	AL_STATUS – AL ステータスレジスタ	395
5.4.22	AL_STATUS_CODE – AL ステータスコードレジスタ	396
5.4.23	RUN_LED_OVERRIDE – RUN LED オーバーライドレジスタ	397
5.4.24	ERR_LED_OVERRIDE – ERR LED オーバーライドレジスタ	398
5.4.25	PDI_CONTROL – PDI コントロールレジスタ	399
5.4.26	ESC_CONFIG – ESC コンフィグレーションレジスタ	400
5.4.27	PDI_CONFIG – PDI コンフィグレーションレジスタ	401
5.4.28	SYNC_LATCH_CONFIG – SYNC/LATCH PDI コンフィグレーションレジスタ	402
5.4.29	EXT_PDI_CONFIG – 拡張 PDI コンフィグレーションレジスタ	403
5.4.30	ECATCH_EVENT_MASK – EtherCAT イベントマスクレジスタ	403
5.4.31	AL_EVENT_MASK – AL イベントマスクレジスタ	404
5.4.32	ECATCH_EVENT_REQ – EtherCAT イベント要求レジスタ	405
5.4.33	AL_EVENT_REQ – AL イベント要求レジスタ	407
5.4.34	RX_ERR_COUNT[n] – Rx エラーカウンタ[n]レジスタ (n=0~2)	409
5.4.35	FWD_RX_ERR_COUNT[n] – 転送済み Rx エラーカウンタ[n]レジスタ (n=0~2)	410
5.4.36	ECATCH_PROC_ERR_COUNT – EtherCAT 処理ユニットエラー カウンタレジスタ	410
5.4.37	PDI_ERR_COUNT – PDI エラーカウンタレジスタ	411
5.4.38	LOST_LINK_COUNT[n] – ロストリンクカウンタ[n]レジスタ (n=0~2)	411
5.4.39	WD_DIVIDE – ウォッチドッグ分周値レジスタ	412
5.4.40	WDT_PDI – ウォッチドッグ時間 PDI レジスタ	412

5.4.41	WDT_DATA – ウォッチドッグ時間プロセスデータレジスタ	413
5.4.42	WDS_DATA – ウォッチドッグステータスプロセスデータレジスタ	413
5.4.43	WDC_DATA – ウォッチドッグカウンタプロセスデータレジスタ	414
5.4.44	WDC_PDI – ウォッチドッグカウンタ PDI レジスタ	414
5.4.45	EEP_CONF – EEPROM コンフィグレーションレジスタ	415
5.4.46	EEP_STATE – EEPROM PDI アクセスステートレジスタ	416
5.4.47	EEP_CONT_STAT – EEPROM コントロール/ステータスレジスタ	417
5.4.48	EEP_ADR – EEPROM アドレスレジスタ	419
5.4.49	EEP_DATA – EEPROM データレジスタ	420
5.4.50	MII_CONT_STAT – MII マネージメントコントロール/ステータスレジスタ	421
5.4.51	PHY_ADR – PHY アドレスレジスタ	422
5.4.52	PHY_REG_ADR – PHY レジスタアドレスレジスタ	423
5.4.53	PHY_DATA – PHY データレジスタ	423
5.4.54	MII_ECAC_ACS_STAT – MII マネージメント EtherCAT アクセスステートレジスタ	424
5.4.55	MII_PDI_ACS_STAT – MII マネージメント PDI アクセスステートレジスタ	425
5.4.56	PHY_STATUS[n] – PHY ポートステータス[n]レジスタ (n=0~2)	426
5.4.57	FMMU[n]_L_START_ADR – FMMU 論理開始アドレス[n]レジスタ (n=0~7)	427
5.4.58	FMMU[n]_LEN – FMMU 長さ[n]レジスタ (n=0~7)	427
5.4.59	FMMU[n]_L_START_BIT – FMMU 論理スタートビット[n]レジスタ (n=0~7)	428
5.4.60	FMMU[n]_L_STOP_BIT – FMMU 論理ストップビット[n]レジスタ (n=0~7)	428
5.4.61	FMMU[n]_P_START_ADR – FMMU 物理開始アドレス[n]レジスタ (n=0~7)	429
5.4.62	FMMU[n]_P_START_BIT – FMMU 物理スタートビット[n]レジスタ (n=0~7)	429
5.4.63	FMMU[n]_TYPE – FMMU タイプ[n]レジスタ (n=0~7)	430
5.4.64	FMMU[n]_ACT – FMMU 有効化[n]レジスタ (n=0~7)	430
5.4.65	SM[n]_P_START_ADR – SyncManager 物理開始アドレス[n]レジスタ (n=0~7)	431
5.4.66	SM[n]_LEN – SyncManager 長さ[n]レジスタ (n=0~7)	431
5.4.67	SM[n]_CONTROL – SyncManager コントロール[n]レジスタ (n=0~7)	432
5.4.68	SM[n]_STATUS – SyncManager ステータス[n]レジスタ (n=0~7)	433
5.4.69	SM[n]_ACT – SyncManager 有効化[n]レジスタ (n=0~7)	434
5.4.70	SM[n]_PDI_CONT – SyncManager PDI コントロール[n]レジスタ (n=0~7)	435
5.4.71	DC_RCV_TIME_PORT0 – 受信時刻ポート 0 レジスタ	436
5.4.72	DC_RCV_TIME_PORT1 – 受信時刻ポート 1 レジスタ	437
5.4.73	DC_RCV_TIME_PORT2 – 受信時刻ポート 2 レジスタ	437
5.4.74	DC_SYS_TIME – システム時刻レジスタ	438
5.4.75	DC_RCV_TIME_UNIT – 受信時刻 EtherCAT 処理ユニットレジスタ	439
5.4.76	DC_SYS_TIME_OFFSET – システム時刻オフセットレジスタ	440
5.4.77	DC_SYS_TIME_DELAY – システム時刻遅延レジスタ	441
5.4.78	DC_SYS_TIME_DIFF – システム時間差レジスタ	441
5.4.79	DC_SPEED_COUNT_START – スピードカウンタスタートレジスタ	442
5.4.80	DC_SPEED_COUNT_DIFF – スピードカウンタ差分レジスタ	442
5.4.81	DC_SYS_TIME_DIFF_FIL_DEPTH – システム時間差フィルタ深度レジスタ	443
5.4.82	DC_SPEED_COUNT_FIL_DEPTH – スピードカウンタフィルタ深度レジスタ	443
5.4.83	DC_CYC_CONT – 周期ユニットコントロールレジスタ	444

5.4.84	DC_ACT – 有効化レジスタ	445
5.4.85	DC_PULSE_LEN – Sync 信号パルス長レジスタ	446
5.4.86	DC_ACT_STAT – 有効化ステータスレジスタ	447
5.4.87	DC_SYNC0_STAT – SYNC0 ステータスレジスタ	447
5.4.88	DC_SYNC1_STAT – SYNC1 ステータスレジスタ	448
5.4.89	DC_CYC_START_TIME – 開始時刻周期動作/次回 SYNC0 パルスレジスタ	449
5.4.90	DC_NEXT_SYNC1_PULSE – 次回 SYNC1 パルスレジスタ	450
5.4.91	DC_SYNC0_CYC_TIME – SYNC0 サイクル時間レジスタ	451
5.4.92	DC_SYNC1_CYC_TIME – SYNC1 サイクル時間レジスタ	451
5.4.93	DC_LATCH0_CONT – ラッチ 0 コントロールレジスタ	452
5.4.94	DC_LATCH1_CONT – ラッチ 1 コントロールレジスタ	452
5.4.95	DC_LATCH0_STAT – ラッチ 0 ステータスレジスタ	453
5.4.96	DC_LATCH1_STAT – ラッチ 1 ステータスレジスタ	454
5.4.97	DC_LATCH0_TIME_POS – ラッチ 0 時刻ポジティブエッジレジスタ	455
5.4.98	DC_LATCH0_TIME_NEG – ラッチ 0 時刻ネガティブエッジレジスタ	456
5.4.99	DC_LATCH1_TIME_POS – ラッチ 1 時刻ポジティブエッジレジスタ	457
5.4.100	DC_LATCH1_TIME_NEG – ラッチ 1 時刻ネガティブエッジレジスタ	458
5.4.101	DC_ECAT_CNG_EV_TIME – バッファ変更イベント時刻レジスタ	459
5.4.102	DC_PDI_START_EV_TIME – PDI バッファ開始イベント時刻レジスタ	459
5.4.103	DC_PDI_CNG_EV_TIME – PDI バッファ変更イベント時刻レジスタ	460
5.4.104	PRODUCT_ID – 製品 ID レジスタ	461
5.4.105	VENDOR_ID – ベンダ ID レジスタ	462
5.4.106	USER_RAM – ユーザ RAM	463
5.4.107	DATA_RAM – プロセスデータ RAM	464
5.5	動作説明	465
5.5.1	初期化	465
5.6	使用上の注意事項	467
5.6.1	制限事項	467
5.6.2	リセット回路	467
第 6 章	イーサネット MAC 10/100/1000 (GMAC)	469
6.1	概要	469
6.2	信号インタフェース	471
6.3	レジスタマップ	472
6.3.1	GMAC1 レジスタマップ	472
6.3.2	GMAC2 レジスタマップ	475
6.4	レジスタの説明	478
6.4.1	MAC_Configuration – MAC コンフィグレーションレジスタ	478
6.4.2	MAC_Frame_Filter – MAC フレームフィルタレジスタ	482
6.4.3	GMII_Address – GMII アドレスレジスタ	485
6.4.4	GMII_Data – GMII データレジスタ	487
6.4.5	Flow_Control – フローコントロールレジスタ	488

6.4.6	VLAN_Tag – VLAN タグレジスタ	490
6.4.7	Version – バージョンレジスタ	491
6.4.8	Debug – デバッグレジスタ	492
6.4.9	Remote_Wake_Up_Frame_Filter – リモートウェイクアップフレームフィルタ レジスタ	494
6.4.10	PMT_Control_Status – PMT コントロール&ステータスレジスタ	495
6.4.11	LPI_Control_Status – LPI コントロール&ステータスレジスタ	497
6.4.12	LPI_Timers_Control – LPI タイマコントロールレジスタ	499
6.4.13	Interrupt_Status – 割り込みステータスレジスタ	500
6.4.14	Interrupt_Mask – 割り込みマスクレジスタ	502
6.4.15	MAC_Address0_High – MAC アドレス 0 上位レジスタ	503
6.4.16	MAC_Address0_Low – MAC アドレス 0 下位レジスタ	503
6.4.17	MAC_Address[n]_High – MAC アドレス[n]上位レジスタ (n=1~17)	504
6.4.18	MAC_Address[n]_Low – MAC アドレス[n]下位レジスタ (n=1~17)	505
6.4.19	WDog_Timeout – ウォッチドッグタイムアウトレジスタ	506
6.4.20	MMC_Control – MMC コントロールレジスタ	507
6.4.21	MMC_Receive_Interrupt – MMC 受信割り込みレジスタ	509
6.4.22	MMC_Transmit_Interrupt – MMC 送信割り込みレジスタ	511
6.4.23	MMC_Receive_Interrupt_Mask – MMC 受信割り込みマスクレジスタ	513
6.4.24	MMC_Transmit_Interrupt_Mask – MMC 送信割り込みマスクレジスタ	515
6.4.25	Tx_Octet_Count_Good_Bad – 正常フレームおよび不良フレームの送信オクテット数	517
6.4.26	Tx_Frame_Count_Good_Bad – 正常フレームおよび不良フレームの送信フレーム数	517
6.4.27	Tx_Broadcast_Frames_Good – 正常ブロードキャストフレームの送信フレーム数	518
6.4.28	Tx_Multicast_Frames_Good – 正常マルチキャストフレームの送信フレーム数	518
6.4.29	Tx_64Octets_Frames_Good_Bad – 64 バイトの正常フレームおよび不良フレームの 送信オクテット数	519
6.4.30	Tx_65To127Octets_Frames_Good_Bad – 65~127 バイトの正常フレームおよび 不良フレームの送信オクテット数	519
6.4.31	Tx_128To255Octets_Frames_Good_Bad – 128~255 バイトの正常フレームおよび 不良フレームの送信オクテット数	520
6.4.32	Tx_256To511Octets_Frames_Good_Bad – 256~511 バイトの正常フレームおよび 不良フレームの送信オクテット数	520
6.4.33	Tx_512To1023Octets_Frames_Good_Bad – 512~1023 バイトの正常フレームおよび 不良フレームの送信オクテット数	521
6.4.34	Tx_1024ToMaxOctets_Frames_Good_Bad – 1024~最大サイズバイトの正常フレーム および不良フレームの送信オクテット数	521
6.4.35	Tx_Unicast_Frames_Good_Bad – 正常ユニキャストフレームおよび 不良ユニキャストフレームの送信フレーム数	522
6.4.36	Tx_Multicast_Frames_Good_Bad – 正常マルチキャストフレームおよび 不良マルチキャストフレームの送信フレーム数	522
6.4.37	Tx_Broadcast_Frames_Good_Bad – 正常ブロードキャストフレームおよび 不良ブロードキャストフレームの送信フレーム数	523
6.4.38	Tx_Underflow_Error_Frames – アンダーフローエラーフレームの送信フレーム数	523

6.4.39	Tx_Single_Collision_Good_Frames – 単一コリジョン後に送信されたフレームの送信フレーム数	524
6.4.40	Tx_Multiple_Collision_Good_Frames – 複数コリジョン後に送信されたフレームの送信フレーム数	524
6.4.41	Tx_Deferred_Frames – 延期フレームの送信フレーム数	525
6.4.42	Tx_Late_Collision_Frames – 遅れコリジョンエラーフレームの送信フレーム数	525
6.4.43	Tx_Excessive_Collision_Frames – 過剰コリジョンエラーフレームの送信フレーム数	526
6.4.44	Tx_Carrier_Error_Frames – キャリアセンスエラーフレームの送信フレーム数	526
6.4.45	Tx_Octet_Count_Good – 正常フレームの送信オクテット数	527
6.4.46	Tx_Frame_Count_Good – 正常フレームの送信フレーム数	527
6.4.47	Tx_Excessive_Deferral_Error – 過剰延期エラーフレームの送信フレーム数	528
6.4.48	Tx_Pause_Frames – 正常 PAUSE フレームの送信フレーム数	528
6.4.49	Tx_VLAN_Frames_Good – 正常 VLAN フレームの送信フレーム数	529
6.4.50	Tx_OSize_Frames_Good – 正常オーバーサイズフレームの送信フレーム数	529
6.4.51	Rx_Frames_Count_Good_Bad – 正常フレームおよび不良フレームの受信フレーム数	530
6.4.52	Rx_Octet_Count_Good_Bad – 正常フレームおよび不良フレームの受信オクテット数	530
6.4.53	Rx_Octet_Count_Good – 正常フレームの受信オクテット数	531
6.4.54	Rx_Broadcast_Frames_Good – 正常ブロードキャストフレームの受信フレーム数	531
6.4.55	Rx_Multicast_Frames_Good – 正常マルチキャストフレームの受信フレーム数	532
6.4.56	Rx_CRC_Error_Frames – CRC エラーフレームの受信フレーム数	532
6.4.57	Rx_Alignment_Error_Frames – アライメントエラーフレームの受信フレーム数	533
6.4.58	Rx_Runt_Error_Frames – ラントエラーフレームの受信フレーム数	533
6.4.59	Rx_Jabber_Error_Frames – ジャババーエラーフレームの受信フレーム数	534
6.4.60	Rx_Undersize_Frames_Good – アンダーサイズフレームの受信フレーム数	534
6.4.61	Rx_Oversize_Frames_Good – オーバーサイズフレームの受信フレーム数	535
6.4.62	Rx_64Octets_Frames_Good_Bad – 64 バイトの正常フレームおよび不良フレームの受信フレーム数	535
6.4.63	Rx_65To127Octets_Frames_Good_Bad – 65~127 バイトの正常フレームおよび不良フレームの受信フレーム数	536
6.4.64	Rx_128To255Octets_Frames_Good_Bad – 128~255 バイトの正常フレームおよび不良フレームの受信フレーム数	536
6.4.65	Rx_256To511Octets_Frames_Good_Bad – 256~511 バイトの正常フレームおよび不良フレームの受信フレーム数	537
6.4.66	Rx_512To1023Octets_Frames_Good_Bad – 512~1,023 バイトの正常フレームおよび不良フレームの受信フレーム数	537
6.4.67	Rx_1024ToMaxOctets_Frames_Good_Bad – 1,024~最大サイズバイトの正常フレームおよび不良フレームの受信フレーム数	538
6.4.68	Rx_Unicast_Frames_Good – 正常ユニキャストフレームの受信フレーム数	538
6.4.69	Rx_Length_Error_Frames – 長さエラーフレームの受信フレーム数	539
6.4.70	Rx_Out_Of_Range_Type_Frames – 範囲外フレームの受信フレーム数	539
6.4.71	Rx_PAUSE_Frames – PAUSE フレームの受信フレーム数	540
6.4.72	Rx_FIFO_Overflow_Frames – FIFO オーバーフローフレームの受信フレーム数	540

6.4.73	Rx_VLAN_Frames_Good_Bad – 正常 VLAN フレームおよび不良 VLAN フレームの受信フレーム数	541
6.4.74	Rx_Watchdog_Error_Frames – ウォッチドッグエラーフレームの受信フレーム数	541
6.4.75	Rx_Receive_Error_Frames – 受信エラーフレームの受信フレーム数	542
6.4.76	Rx_Control_Frames_Good – 正常コントロールフレームの受信フレーム数	542
6.4.77	Hash_Table_Reg[n] – ハッシュテーブルレジスタ[n] (n=0~7)	543
6.4.78	VLAN_Hash_Table_Reg – VLAN ハッシュテーブルレジスタ	543
6.4.79	Timestamp_Control – タイムスタンプコントロールレジスタ	544
6.4.80	Sub_Second_Increment – サブセカンドインクリメントレジスタ	546
6.4.81	System_Time_Seconds – システム時間 - 秒レジスタ	546
6.4.82	System_Time_Nanoseconds – システム時間 - ナノ秒レジスタ	547
6.4.83	System_Time_Seconds_Update – システム時間 - 秒更新レジスタ	547
6.4.84	System_Time_Nanoseconds_Update – システム時間 - ナノ秒更新レジスタ	548
6.4.85	Timestamp_Addend – タイムスタンプ加数レジスタ	548
6.4.86	Target_Time_Seconds – ターゲット時間 - 秒レジスタ	549
6.4.87	Target_Time_Nanoseconds – ターゲット時間 - ナノ秒レジスタ	550
6.4.88	Timestamp_Status – タイムスタンプステータスレジスタ	551
6.4.89	PPS_Control – PPS コントロールレジスタ	553
6.4.90	Auxiliary_Timestamp_Nanoseconds – 補助タイムスタンプ - ナノ秒レジスタ	556
6.4.91	Auxiliary_Timestamp_Seconds – 補助タイムスタンプ - 秒レジスタ	556
6.4.92	PPS0_Interval – PPS0 インターバルレジスタ	557
6.4.93	PPS0_Width – PPS0 幅レジスタ	557
6.4.94	PPS1_Target_Time_Seconds – PPS1 ターゲット時間 - 秒レジスタ	558
6.4.95	PPS1_Target_Time_Nanoseconds – PPS1 ターゲット時間 - ナノ秒レジスタ	559
6.4.96	PPS1_Interval – PPS1 インターバルレジスタ	560
6.4.97	PPS1_Width – PPS1 幅レジスタ	560
6.4.98	Bus_Mode – バスモードレジスタ	561
6.4.99	Transmit_Poll_Demand – 送信ポーリング要求レジスタ	563
6.4.100	Receive_Poll_Demand – 受信ポーリング要求レジスタ	563
6.4.101	Receive_Descriptor_List_Address – 受信ディスクリプタリストアドレスレジスタ	564
6.4.102	Transmit_Descriptor_List_Address – 送信ディスクリプタリストアドレスレジスタ	564
6.4.103	Status – ステータスレジスタ	565
6.4.104	Operation_Mode – 動作モードレジスタ	569
6.4.105	Interrupt_Enable – 割り込み許可レジスタ	572
6.4.106	Missed_Frame_And_Buffer_Overflow_Counter – 欠落フレームおよびバッファオーバーフローカウンタレジスタ	574
6.4.107	Receive_Interrupt_Watchdog_Timer – 受信割り込みウォッチドッグタイマレジスタ	575
6.4.108	AXI_Bus_Mode – AXI バスモードレジスタ	576
6.4.109	AXI_Status – AXI ステータスレジスタ	578
6.4.110	Current_Host_Transmit_Descriptor – カレントホスト送信ディスクリプタレジスタ	578
6.4.111	Current_Host_Receive_Descriptor – カレントホスト受信ディスクリプタレジスタ	579
6.4.112	Current_Host_Transmit_Buffer_Address – カレントホスト送信バッファアドレスレジスタ	579

6.4.113	Current_Host_Receive_Buffer_Address – カレントホスト受信バッファアドレスレジスタ	580
6.4.114	HW_Feature – HW 機能レジスタ	581
6.5	動作説明	582
6.5.1	初期化	582
6.5.1.1	初期化動作	583
6.5.2	DMA の初期化	584
6.5.3	GMAC の初期化	586
6.5.4	通常の受信および送信動作の実行	587
6.5.5	送信の停止と開始	587
6.5.6	GMII リンク遷移のプログラミングガイドライン	588
6.5.6.1	リンクがダウンしているときに送信および受信クロックが実行中の場合	588
6.5.6.2	リンクがダウンしているときに送信および受信クロックが停止している場合	588
6.5.7	IEEE 1588 タイムスタンプ生成のプログラミングガイドライン	589
6.5.7.1	システム時間生成の初期化ガイドライン	589
6.5.7.2	システム時間補正	590
6.5.8	システム時間レジスタモジュール	591
6.5.9	省電カイーサネット (EEE) のプログラミングガイドライン	594
6.5.9.1	Tx LPI モードの開始と終了	594
6.5.9.2	LPI モードでの CSR クロックのゲートオフ	595
6.5.10	フレキシブル PPS (1 秒間当たりのパルス数) 出力のプログラミングガイドライン (GMAC1 のみ)	596
6.5.10.1	PPS でのシングルパルスの生成	596
6.5.10.2	PPS でのパルストレインの生成	597
6.5.10.3	PPS への影響なしでの割り込みの生成	598
6.5.11	エンハンスドディスクリプタ	599
6.5.11.1	送信ディスクリプタ	600
6.5.11.2	受信ディスクリプタ	605
6.6	使用上の注意事項	610
6.6.1	構成	610
6.6.2	制約事項	610
6.6.2.1	イーサネット MAC	610
6.6.3	MAC マネージメントカウンタ	611
6.6.3.1	アドレスの割り当て	611
6.6.4	MMC レジスタ	613
6.6.4.1	MMC コントロールレジスタ (MMC_Control)	613
6.6.4.2	MMC 受信割り込みレジスタ (MMC_Receive_Interrupt)	613
6.6.4.3	MMC 送信割り込みレジスタ (MMC_Transmit_Interrupt)	613
6.6.4.4	MMC 受信割り込みマスクレジスタ (MMC_Receive_Interrupt_Mask)	613
6.6.4.5	MMC 送信割り込みマスクレジスタ (MMC_Transmit_Interrupt_Mask)	613
6.6.5	パワーマネージメントブロック	614
6.6.5.1	PMT ブロックの説明	615
6.6.6	DMA レジスタ	618
6.6.6.1	バスモードレジスタ (Bus_Mode)	618
6.6.6.2	送信ポーリング要求レジスタ (Transmit_Poll_Demand)	618
6.6.6.3	受信ポーリング要求レジスタ (Receive_Poll_Demand)	618

6.6.6.4	受信ディスクリプタリストアドレスレジスタ (Receive_Descriptor_List_Address)	618
6.6.6.5	送信ディスクリプタリストアドレスレジスタ (Transmit_Descriptor_List_Address)	619
6.6.6.6	ステータスレジスタ (Status)	619
6.6.6.7	動作モードレジスタ (Operation_Mode)	619
6.6.6.8	割り込み許可レジスタ (Interrupt_Enable)	619
6.6.6.9	欠落フレームおよびバッファオーバーフローカウンタレジスタ (Missed_Frame_And_Buffer_Overflow_Counter)	619
6.6.6.10	受信割り込みウォッチドッグタイマレジスタ (Receive_Interrupt_Watchdog_Timer)	619
6.6.6.11	AXI バスモードレジスタ (AXI_Bus_Mode)	620
6.6.6.12	AXI ステータスレジスタ (AXI_Status)	620
6.6.6.13	カレントホスト送信ディスクリプタレジスタ (Current_Host_Transmit_Descriptor)	620
6.6.6.14	カレントホスト受信ディスクリプタレジスタ (Current_Host_Receive_Descriptor)	620
6.6.6.15	カレントホスト送信バッファアドレスレジスタ (Current_Host_Transmit_Buffer_Address)	620
6.6.6.16	カレントホスト受信バッファアドレスレジスタ (Current_Host_Receive_Buffer_Address)	620
6.6.6.17	HW 機能レジスタ (HW_Feature)	620
6.6.7	MAC レジスタ	621
6.6.7.1	MAC コンフィグレーションレジスタ (MAC_Configuration)	621
6.6.7.2	MAC フレームフィルタレジスタ (MAC_Frame_Filter)	621
6.6.7.3	GMII アドレスレジスタ (GMII_Address)	621
6.6.7.4	GMII データレジスタ (GMII_Data)	622
6.6.7.5	フローコントロールレジスタ (Flow_Control)	622
6.6.7.6	VLAN タグレジスタ (VLAN_Tag)	622
6.6.7.7	バージョンレジスタ (Version)	622
6.6.7.8	デバッグレジスタ (Debug)	622
6.6.7.9	LPI コントロール&ステータスレジスタ (LPI_Control_Status)	622
6.6.7.10	LPI タイマコントロールレジスタ (LPI_Timers_Control)	622
6.6.7.11	割り込みステータスレジスタ (Interrupt_Status)	622
6.6.7.12	割り込みマスクレジスタ (Interrupt_Mask)	623
6.6.7.13	MAC アドレス 0 上位レジスタ (MAC_Address0_High)	623
6.6.7.14	MAC アドレス 0 下位レジスタ (MAC_Address0_Low)	623
6.6.7.15	MAC アドレス 1 上位レジスタ (MAC_Address1_High)	623
6.6.7.16	MAC アドレス 1 下位レジスタ (MAC_Address2_Low)	623
6.6.7.17	ウォッチドッグタイムアウトレジスタ (WDog_Timeout)	623
6.6.7.18	ハッシュテーブルレジスタ 0 (Hash_Table_Reg0)	624
6.6.7.19	VLAN ハッシュテーブルレジスタ (VLAN_Hash_Table_Reg)	625
6.6.8	IEEE 1588 タイムスタンプレジスタ	626
6.6.8.1	タイムスタンプコントロールレジスタ (Timestamp_Control)	626
6.6.8.2	サブセカンドインクリメントレジスタ (Sub_Second_Increment)	626
6.6.8.3	システム時間 - 秒レジスタ、ナノ秒レジスタ (System_Time_Seconds、System_Time_Nanoseconds)	626
6.6.8.4	システム時間 - 秒更新レジスタ、ナノ秒更新レジスタ (System_Time_Seconds_Update、System_Time_Nanoseconds_Update)	627
6.6.8.5	タイムスタンプ加数レジスタ (Timestamp_Addend)	627
6.6.8.6	ターゲット時間 - 秒レジスタ、ターゲット時間 - ナノ秒レジスタ (Target_Time_Seconds、Target_Time_Nanoseconds)	627

6.6.8.7	タイムスタンプステータスレジスタ (Timestamp_Status)	627
6.6.8.8	PPS コントロールレジスタ (PPS_Control)	627
6.6.8.9	補助タイムスタンプ - ナノ秒レジスタ (Auxiliary_Timestamp_Nanoseconds)	627
6.6.8.10	PPS0 インターバルレジスタ (PPS0_Interval)	627
6.6.8.11	PPS0 幅レジスタ (PPS0_Width)	628
6.6.8.12	PPS1 ターゲット時間 - 秒レジスタ (PPS1_Target_Time_Seconds)	628
6.6.8.13	PPS1 ターゲット時間 - ナノ秒レジスタ (PPS1_Target_Time_Nanoseconds)	628

第 7 章	HSR スイッチ	629
7.1	概要	629
7.1.1	HSR RedBox	631
7.2	信号インタフェース	632
7.3	レジスタマップ	633
7.4	レジスタの説明	635
7.4.1	RCI_WCONFIG - 送信コンフィグレーションレジスタ	635
7.4.2	RCI_RCONFIG - 受信コンフィグレーションレジスタ	636
7.4.3	RCI_INT - 割り込みレジスタ	637
7.4.4	RCI_TXRX_DATA[n] - フレームデータ送信/受信レジスタ (n=0~508)	638
7.4.5	R_MACADL - 自 MAC アドレス Low レジスタ	639
7.4.6	R_MACADH - 自 MAC アドレス High レジスタ	639
7.4.7	R_TST1 - アライブテスト 1 レジスタ	640
7.4.8	R_TST2 - アライブテスト 2 レジスタ	640
7.4.9	R_PEN - ポートイネーブルレジスタ	641
7.4.10	R_PNT_AGT - プロキシノードテーブルエージングタイムレジスタ	643
7.4.11	R_DD_AGT - 重複検出エージングタイムレジスタ	643
7.4.12	R_MACFLT_I[m]L - フィルタ MAC アドレスインターリンク[m] Low レジスタ (m=1~8)	644
7.4.13	R_MACFLT_I[m]H - フィルタ MAC アドレスインターリンク[m] High レジスタ (m=1~8)	644
7.4.14	R_MACFLT_C[m]L - フィルタ MAC アドレス CPU[m] Low レジスタ (m=1~6)	645
7.4.15	R_MACFLT_C[m]H - フィルタ MAC アドレス CPU[m] High レジスタ (m=1~6)	645
7.4.16	R_VER - HSR バージョンレジスタ	646
7.4.17	R_RAM_STA - RAM ステータスレジスタ	646
7.4.18	R_UFMC - 使用フレームメモリカウントレジスタ	647
7.4.19	R_FRA_ALL_ARX - 受信フレーム A レジスタ	647
7.4.20	R_FRA_TAG_ARX - タグ付き受信フレーム A レジスタ	648
7.4.21	R_FRA_NLL_ARX - 非リンクローカル受信フレーム A レジスタ	648
7.4.22	R_FRA_ERR_ARX - 受信エラーフレーム A レジスタ	649
7.4.23	R_FRA_WRO_ARX - LAN 誤りフレーム A レジスタ	649
7.4.24	R_FRA_ALL_ATX - 送信フレーム A レジスタ	650
7.4.25	R_FRA_TAG_ATX - タグ付き送信フレーム A レジスタ	650
7.4.26	R_FRA_NLL_ATX - 非リンクローカル送信フレーム A レジスタ	651
7.4.27	R_FRA_ALL_BRX - 受信フレーム B レジスタ	651

7.4.28	R_FRA_TAG_BRX	タグ付き受信フレーム B レジスタ	652
7.4.29	R_FRA_NLL_BRX	非リンクローカル受信フレーム B レジスタ	652
7.4.30	R_FRA_ERR_BRX	受信エラー B レジスタ	653
7.4.31	R_FRA_WRO_BRX	LAN 誤りカウント B レジスタ	653
7.4.32	R_FRA_ALL_BTX	送信フレーム B レジスタ	654
7.4.33	R_FRA_TAG_BTX	タグ付き送信フレーム B レジスタ	654
7.4.34	R_FRA_NLL_BTX	非リンクローカル送信フレーム B レジスタ	655
7.4.35	R_FRA_ALL_CRX	受信フレーム C レジスタ	655
7.4.36	R_FRA_TAG_CRX	タグ付き受信フレーム C レジスタ	656
7.4.37	R_FRA_NLL_CRX	非リンクローカル受信フレーム C レジスタ	656
7.4.38	R_FRA_ERR_CRX	受信エラー C レジスタ	657
7.4.39	R_FRA_WRO_CRX	LAN 誤りカウント C レジスタ	657
7.4.40	R_FRA_ALL_CTX	送信フレーム C レジスタ	658
7.4.41	R_FRA_TAG_CTX	タグ付き送信フレーム C レジスタ	658
7.4.42	R_FRA_NLL_CTX	非リンクローカル送信フレーム C レジスタ	659
7.4.43	R_FREE_FRA_M	空きフレームメモリカウント	659
7.4.44	R_DBG_RPT1	内部デバッグレポートレジスタ 1	660
7.4.45	R_DBG_RPT2	内部デバッグレポートレジスタ 2	661
7.4.46	R_PNT_S	プロキシノードテーブルステータスレジスタ	663
7.4.47	R_PNT_D	プロキシノードテーブルデータレジスタ	664
7.4.48	RPTP_ID	PTP コア ID レジスタ	664
7.4.49	RPTP_TST	PTP コアテストレジスタ	665
7.4.50	RPTP_VER	PTP バージョンレジスタ	665
7.4.51	RPTP_GPO	汎用レジスタ	666
7.4.52	RPTP_INT	PTP 割り込みレジスタ	667
7.4.53	RPTP_INT_MSK	PTP 割り込みマスクレジスタ	668
7.4.54	RPTP_TS_STAT[m]	タイムスタンプステータスレジスタ P[m] (m=1~4)	669
7.4.55	RPTP_TS_RD[m]	タイムスタンプリードレジスタ P[m] (m=1~4)	670
7.4.56	RPTP_PORT_CONF[m]	ポートコンフィグレーションレジスタ P[m] (m=1~4)	671
7.4.57	RPTP_P_DELAY[m]	ピア遅延レジスタ P[m] (m=1~4)	671
7.4.58	RPTP_PHY_DLY_TX[m]	PHY TX 遅延レジスタ P[m] (m=1~4)	672
7.4.59	RPTP_PHY_DLY_RX[m]	PHY RX 遅延レジスタ P[m] (m=1~4)	672
7.4.60	RPTP_BUF_STAT	バッファステータスレジスタ	673
7.5	動作説明		674
7.5.1	HSR 初期化フロー		674
7.5.1.1	初期化		674
7.5.1.2	HSR_IP_INIT		676
7.6	使用上の注意事項		677
7.6.1	制約事項		677
第 8 章	Sercos III スレーブコントローラ		678
8.1	概要		678
8.2	信号インタフェース		680

8.3	レジスタマップ	681
8.4	レジスタの説明	683
8.4.1	IDR – 識別レジスタ	683
8.4.2	GCSFR – グローバルコントロール/ステータス/機能レジスタ	684
8.4.3	IER0 – 割り込み許可レジスタ	685
8.4.4	IMR0 – 割り込みマルチプレクスレジスタ	685
8.4.5	IRR0 – 割り込みリセット/ステータスレジスタ	686
8.4.6	DFCSR – データフローコントロール/ステータスレジスタ	687
8.4.7	PHASESR – フェーズステータスレジスタ	689
8.4.8	TGSR1 – テレグラムリセット/ステータスレジスタ (ポート 1)	690
8.4.9	TGSR2 – テレグラムリセット/ステータスレジスタ (ポート 2)	691
8.4.10	DESCR – ディスクリプタコントロールレジスタ	692
8.4.11	STRBR – システムタイマリードバックレジスタ	692
8.4.12	TCSR – タイミングコントロール/ステータスレジスタ	693
8.4.13	TRDLY – リング遅延レジスタ	694
8.4.14	TDMST1 – 時間遅延 MST (ポート 1)	694
8.4.15	TDMST2 – 時間遅延 MST (ポート 2)	695
8.4.16	SCR1 – 同期時間レジスタ (ポート 1)	695
8.4.17	SCR2 – 同期時間レジスタ (ポート 2)	696
8.4.18	SVCCSR – SVC コントロール/ステータス	696
8.4.19	DTDIVCLK – DIV_CLK の遅延時間	697
8.4.20	TDIV_NDIVCLK – DIV_CLK 時間/カウントレジスタ	697
8.4.21	S3LED – Sercos III LED コントロール	698
8.4.22	WDCSR – ウォッチドッグコントロール&ステータス	699
8.4.23	WDCNT – ウォッチドッグカウンタ	699
8.4.24	SFCR – Sercos フレームコントロール	700
8.4.25	MIICSR – MDIO コントロール/ステータスレジスタ	701
8.4.26	DBGOCR – デバッグ出力制御	702
8.4.27	SEQCNT – シーケンスカウンタ	702
8.4.28	MAC1P1_0 – MAC アドレス 0	703
8.4.29	MAC1P1_1 – MAC アドレス 1	703
8.4.30	IPCSR1 – IP ステータス/コントロールレジスタ (ポート 1)	704
8.4.31	IPCSR2 – IP ステータス/コントロールレジスタ (ポート 2)	705
8.4.32	IPRRS1 – IP Rx RAM セグメント (ポート 1)	706
8.4.33	IPRRS2 – IP Rx RAM セグメント (ポート 2)	706
8.4.34	IPRXS1 – IP 受信スタック (ポート 1)	707
8.4.35	IPRXS2 – IP 受信スタック (ポート 2)	707
8.4.36	IPTSX1 – IP 送信スタック (ポート 1)	708
8.4.37	IPTSX2 – IP 送信スタック (ポート 2)	708
8.4.38	IPLASTFL – 残りフレーム長	709
8.4.39	IPFRXOK – IP aFramesReceivedOK	709
8.4.40	IPFTXOK – IP aFramesTransmittedOK	710
8.4.41	IPFCSEERR – IP aFCSErrors	710

8.4.42	IPALGNERR – IP aAlignmentErrors	711
8.4.43	IPDISRXB – IP aDiscardResRxBuf.....	711
8.4.44	IPDISCLB – IP aDiscardResColBuf	712
8.4.45	IPCHVIOL – IP aIPChannelViolation.....	712
8.4.46	aSercosErrorCount – Sercos III エラーカウンタ	713
8.4.47	MSTLMAX – 最大連続 MST ロス数.....	713
8.4.48	MSTLSUM – MST ロス数の合計.....	714
8.4.49	MSTLACT – 実際の連続 MST ロス数.....	714
8.4.50	TMDSCCL – タイミングディスクリプタ下位	715
8.4.51	TMDSCU – タイミングディスクリプタ上位.....	715
8.4.52	TMDSCSEL – タイミングディスクリプタ選択	716
8.4.53	PTMDSCCL – ポートタイミングディスクリプタ下位.....	716
8.4.54	PTMDSCU – ポートタイミングディスクリプタ上位	717
8.4.55	PTMDSCSEL – ポートタイミングディスクリプタ選択	717
8.4.56	STNS – システム時間 (ナノ秒)	718
8.4.57	STSEC – システム時間 (秒)	718
8.4.58	STNSTSR – システム時間 TSRef (ナノ秒)	719
8.4.59	STSECTSR – システム時間 TSRef (秒)	719
8.4.60	SCCAB – サブサイクルカウンタコントロール&ステータス.....	720
8.4.61	SCCMDT – サブサイクルカウンタ MDT	720
8.4.62	RXBUF[n]_P1A – ポート 1 かつバッファシステム A の受信バッファ[n]の ベースアドレス (n=0~2)	721
8.4.63	RXBUF[n]_P1B – ポート 1 かつバッファシステム B の受信バッファ[n]の ベースアドレス (n=0~2)	721
8.4.64	RXBUF_P1SVC – ポート 1 のサービスチャネルデータの受信バッファの ベースアドレス.....	722
8.4.65	RXBUF[n]_P2A – ポート 2 かつバッファシステム A の受信バッファ[n]の ベースアドレス (n=0~2)	722
8.4.66	RXBUF[n]_P2B – ポート 2 かつバッファシステム B の受信バッファ[n]の ベースアドレス (n=0~2)	723
8.4.67	RXBUF_P2SVC – ポート 2 のサービスチャネルデータの受信バッファの ベースアドレス.....	723
8.4.68	TXBUF[n]_A – バッファシステム A の送信バッファ[n]のベースアドレス (n=0~3)	724
8.4.69	TXBUF[n]_B – バッファシステム B の送信バッファ[n]のベースアドレス (n=0~3)	724
8.4.70	TXBUF_P1 – ポート 1 のみの送信バッファのベースアドレス	725
8.4.71	TXBUF_P2 – ポート 2 のみの送信バッファのベースアドレス	725
8.4.72	TXBUF_SVC – サービスチャネルデータの送信バッファのベースアドレス	726
8.4.73	RXBUFCSR_A – 受信バッファコントロール (バッファシステム A)	727
8.4.74	RXBUFTV_A – 受信バッファテレグラム有効 (バッファシステム A)	728
8.4.75	RXBUFTR_A – 受信バッファテレグラム要求 (バッファシステム A)	729
8.4.76	TXBUFCSR_A – 送信バッファコントロール (バッファシステム A)	730
8.4.77	RXBUFCSR_B – 受信バッファコントロール (バッファシステム B)	731
8.4.78	RXBUFTV_B – 受信バッファテレグラム有効 (バッファシステム B)	732

8.4.79	RXBUFTR_Bー受信バッファテレグラム要求 (バッファシステム B)	733
8.4.80	TXBUFCSR_Bー送信バッファコントロール (バッファシステム B)	734
8.5	動作説明	735
8.5.1	初期化フロー	735
8.5.1.1	初期化	735
8.5.1.2	SERCOS3_IP_INIT	736
8.5.1.3	SERCOS3_DSC_INIT	737
8.5.1.4	SERCOS3_TCNT_INIT_START	738
8.5.2	通信フロー	739
8.5.2.1	送信	739
8.5.2.2	受信	739
8.5.3	割り込みコントロール	740
8.5.4	スレーブタイミングコントロール	742
8.5.4.1	タイミングコントロール/ステータスレジスタ (TCSR)	743
8.5.4.2	システムタイマリードバックレジスタ (STRBR)	743
8.5.4.3	中央タイマ TCNT	744
8.5.4.4	通信タイマ TCNT [ポート 1/ポート 2]	746
8.5.4.5	システムタイマ	749
8.5.4.6	サブサイクルカウンタ	750
8.5.5	スレーブ MST 処理	751
8.5.5.1	スレーブ MST 処理のレジスタインタフェース	752
8.5.6	DIV_CLK 機能	753
8.5.6.1	DIV_CLK モード 0ー1 通信サイクル内に n 回	753
8.5.6.2	DIV_CLK モード 1ーn 回の通信サイクル後に 1 回	754
8.5.7	データフローコントロール	755
8.5.7.1	データフローコントロール/ステータスレジスタ (DFCSR)	755
8.5.7.2	ディスクリプタコントロールレジスタ (DESCR)	755
8.5.7.3	シーケンスカウンタレジスタ (SEQCNT)	756
8.5.7.4	テレグラムステータスレジスタ (TGSR1/TGSR2)	756
8.5.7.5	通信フェーズの管理ーフェーズステータスレジスタ (PHASESR)	757
8.5.8	Tx MAC の動作	758
8.5.8.1	Tx MAC の基本的構造	758
8.5.8.2	AT 内のテレグラムデータのソース	758
8.5.8.3	送信ディスクリプタ	759
8.5.8.4	Tx RAM ポインタ	760
8.5.8.5	送信ディスクリプタエンジンの概要	760
8.5.8.6	Tx MAC 処理の説明	761
8.5.8.7	Tx MAC のクアドバッファリング	761
8.5.9	Rx MAC の動作	762
8.5.9.1	受信ディスクリプタ	762
8.5.9.2	Rx RAM ポインタ	763
8.5.9.3	Rx MAC のトリプルバッファリング	763
8.5.10	スレーブサービスチャネル動作	764
8.5.10.1	SVC コントロール&ステータスレジスタ (SVCCSR)	764
8.5.10.2	サービスコンテナ	765
8.5.10.3	サービスコンテナポインタ	765
8.5.10.4	サービスコンテナコントロールワード	767
8.5.10.5	サービスプロセッサ動作の詳細	768
8.5.10.6	SVC テレグラムデータ	770
8.5.10.7	テレグラム内のデータのバイトオーダ	771

8.5.11	ハードウェアウォッチドッグ	771
8.5.12	MST モニタリング	772
8.5.13	IP チャンネル動作	773
8.5.13.1	MAC アドレスレジスタ	773
8.5.13.2	IP コントロール&ステータスレジスタ (IPCSR 1/2)	773
8.5.13.3	コリジョンバッファの動作	774
8.5.13.4	IP テレグラムの送信	775
8.5.13.5	IP フレームの受信	777
8.5.13.6	残りフレーム長 (IPLASTFL)	779
8.5.13.7	フレームカウンタおよびエラーカウンタ	780
8.5.14	MDIO コントロール	781
8.5.15	デバッグ出力コントロール	781
8.5.16	Sercos III LED コントロール	782
8.5.16.1	S3LED	782
8.5.16.2	アクティブ LED	783
第 9 章	R-IN Engine アクセサリレジスタ	784
9.1	レジスタマップ	784
9.2	レジスタの説明	785
9.2.1	IDCODE – IDCODE レジスタ	785
9.2.2	SCRATCH[n] – スクラッチレジスタ[n] (n = 0~3)	785
9.2.3	RINSPCMD – R-IN システムプロテクトコマンドレジスタ	786
9.2.4	RTOSRST – HW-RTOS および HW-RTOS GMAC リセットレジスタ	786
9.3	使用上の注意事項	787
9.3.1	R-IN Engine アクセサリレジスタ	787
9.3.1.1	R-IN システムプロテクトコマンドレジスタ (RINSPCMD)	787
9.3.1.2	HW-RTOS リセットレジスタ (RTOSRST)	788
第 10 章	イーサネットアクセサリレジスタ	789
10.1	レジスタマップ	789
10.2	レジスタの説明	790
10.2.1	PRCMD – イーサネットプロテクトレジスタ	790
10.2.2	ESIDCODE – イーサネット機能 IDCODE レジスタ	790
10.2.3	MODCTRL – モードコントロールレジスタ	791
10.2.4	PTPMCTRL – PTP モードコントロールレジスタ	791
10.2.5	PHYLNK – イーサネット PHY リンクモードレジスタ	792
10.2.6	PTCTRL – ポートトリガコントロールレジスタ	793
10.2.7	DMACTRL – DMAC コントロールレジスタ	794
10.2.8	CONVCTRL[m] – RGMII/RMII コンバータ[m]コントロールレジスタ (m=1~5)	795
10.2.9	CONVRST – RGMII/RMII コンバータリセットコントロールレジスタ	796
10.2.10	ECATOFFADR – EtherCAT PHY オフセットアドレスレジスタ	797
10.2.11	ECATOPMOD – EtherCAT オペレーションモードレジスタ	797
10.2.12	ECATDBGC – EtherCAT デバッグコントロールレジスタ	798
10.2.13	SCINTCON – SERCOS 割り込みコントロールレジスタ	799
10.2.14	SWCTRL – A5PSW コントロールレジスタ	800

10.2.15	SWDUPC – A5PSW デュプレックスモードレジスタ	801
10.2.16	RMTAGCTRL – HW-RTOS GMAC 管理 TAG コントロールレジスタ	801
10.2.17	HSRMODE – HSR モード表示レジスタ	802
10.3	動作説明	803
10.4	使用上の注意事項	804
10.4.1	イーサネットプロテクトレジスタ	804
10.4.2	ポートトリガコントロールレジスタ	806
10.4.3	イーサネット PHY リンクモードレジスタ	806
10.4.4	DMAC コントロールレジスタ	807
第 11 章	MDIO インタフェース.....	808
11.1	概要.....	808
11.2	信号インタフェース	810
11.3	動作説明	811

第1章 R-IN Engine 概略

1.1 概要

表 1.1 RZ/N1 用 R-IN Engine

項目	内容
CPU コア	Arm® 32 ビット CPU Cortex®-M3 (リビジョン r2p1) <ul style="list-style-type: none"> 最大動作周波数は 125MHz
ネスト型ベクタ割り込みコントローラ (NVIC)	<ul style="list-style-type: none"> 128 の割り込み
オンチップデバック機能	CoreSight®インタフェース
内部 SRAM	命令 1M バイト (ECC あり)、データ 1M バイト (ECC あり)
内部システムバス	<ul style="list-style-type: none"> 32 ビットシステムバス (最大 125MHz) 128 ビット通信バス (最大 125MHz)
ハードウェアリアルタイム OS アクセラレータ (HW-RTOS)	<ul style="list-style-type: none"> RTOS システムコール タスクスケジューリングおよび Tick オフローディング バッファアロケータ、内部 DMA コントローラ、HW-RTOS GMAC 用のハードウェア機能マネージャ ハードウェア割り込みサービスルーチン (HWISR)
専用ギガビットイーサ MAC (HW-RTOS GMAC)	<ul style="list-style-type: none"> 1 チャンネル GMII インタフェース イーサネットアクセラレータ機能 128K バイトバッファ RAM (HSR と共有)

表 1.2 RZ/N1 用イーサネット周辺

項目	内容
独立ギガビットイーサ MAC (GMAC)	<ul style="list-style-type: none"> 2 チャンネル GMII / MII インタフェース
HSR (オプション) ^{注1}	IEC62439-3 section5 に準拠した HSR <ul style="list-style-type: none"> 3 ポート (内部リンクポート 1 つを含む) 144K バイトフレームバッファ (HW-RTOS GMAC と共有)
アドバンスド 5 ポートスイッチ (A5PSW)	<ul style="list-style-type: none"> 5 ポート (管理ポート 1 つを含む) PRP 機能 (オプション) ^{注1} Hub 機能搭載
SercosIII スレーブコントローラ	<ul style="list-style-type: none"> 2 ポート
EtherCAT スレーブコントローラ	<ul style="list-style-type: none"> 3 ポート
RGMII/RMII コンバータ	<ul style="list-style-type: none"> MAC の MIII と PHY の RMII 間 MAC の MIII と PHY の RGMII 間 MAC の GMII と PHY の RGMII 間 MAC の MII と PHY の MII 間 (スルーモード)

注1. サポート製品は、『RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル アーキテクチャ・製品データ編』の『1.4 製品一覧』を参照してください。

表 1.3 参照文献 (規格)

規格名	規格番号
イーサネット	IEEE802.3
EtherCAT®	IEC 62407
Sercos®III	IEC 61491
HSR	IEC 62439-3 Clause 5
PRP	IEC 62439-3 Clause 4
PTP	IEEE1588

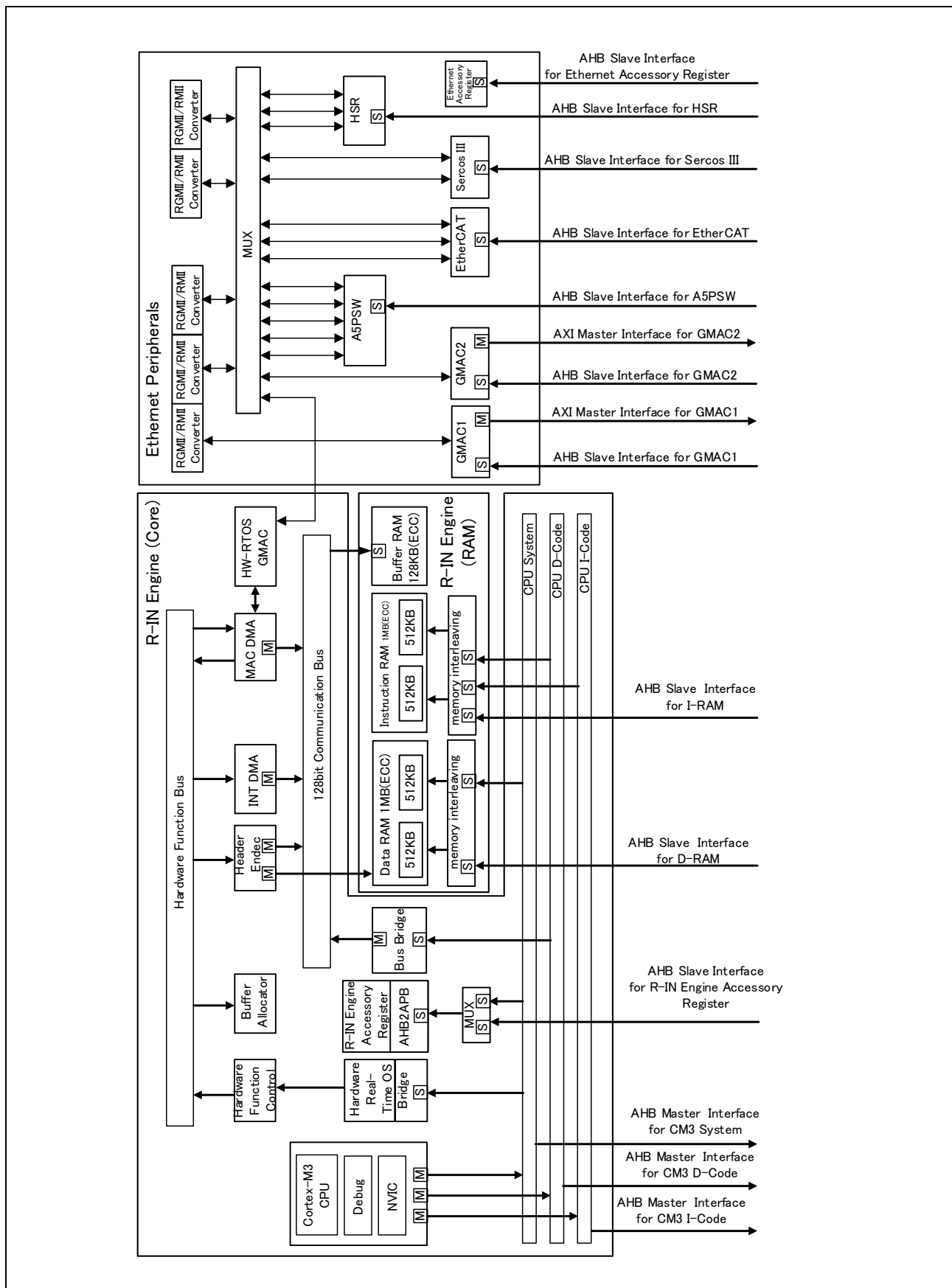


図 1.1 R-IN Engine とイーサネット周辺のブロック図

第2章 ハードウェアリアルタイム OS (HW-RTOS)

2.1 概要

ハードウェアリアルタイム OS には、イベント、セマフォおよびメールボックスを含む 30 種類のシステムコールがあります。

- ITRON ライクな各種システムコール
 - イベント、セマフォ、およびメールボックスといったエレメント用の 30 種類のシステムコール
- タスクスケジューラ
 - ハードウェア ISR : 128 の割り込みから最大 32 個を選択可能
 - コンテキスト : 64
 - セマフォ : 128
 - イベント : 64
 - メールボックス : 64
 - メールボックスエレメント : 192
 - コンテキスト優先度 : 16
- ハードウェアファンクションマネージャ

注 意

Cortex-A7 から HW-RTOS にアクセスすることはできません。

第3章 ギガビットイーサネット MAC (HW-RTOS GMAC)

3.1 概要

R-IN Engine はギガビットイーサネット MAC (HW-RTOS GMAC) を内蔵しています。

- ポート数 : 1
- 1000Mbps
- 全二重通信
- アドバンスド 5 ポートスイッチ (A5PSW) のマネージメントタグ制御機能

注 意

A5PSW への接続に GMII が使用されるため、HW-RTOS GMAC には 1Gbps および全二重を設定する必要があります。Cortex-A7 から HW-RTOS GMAC にアクセスすることはできません。

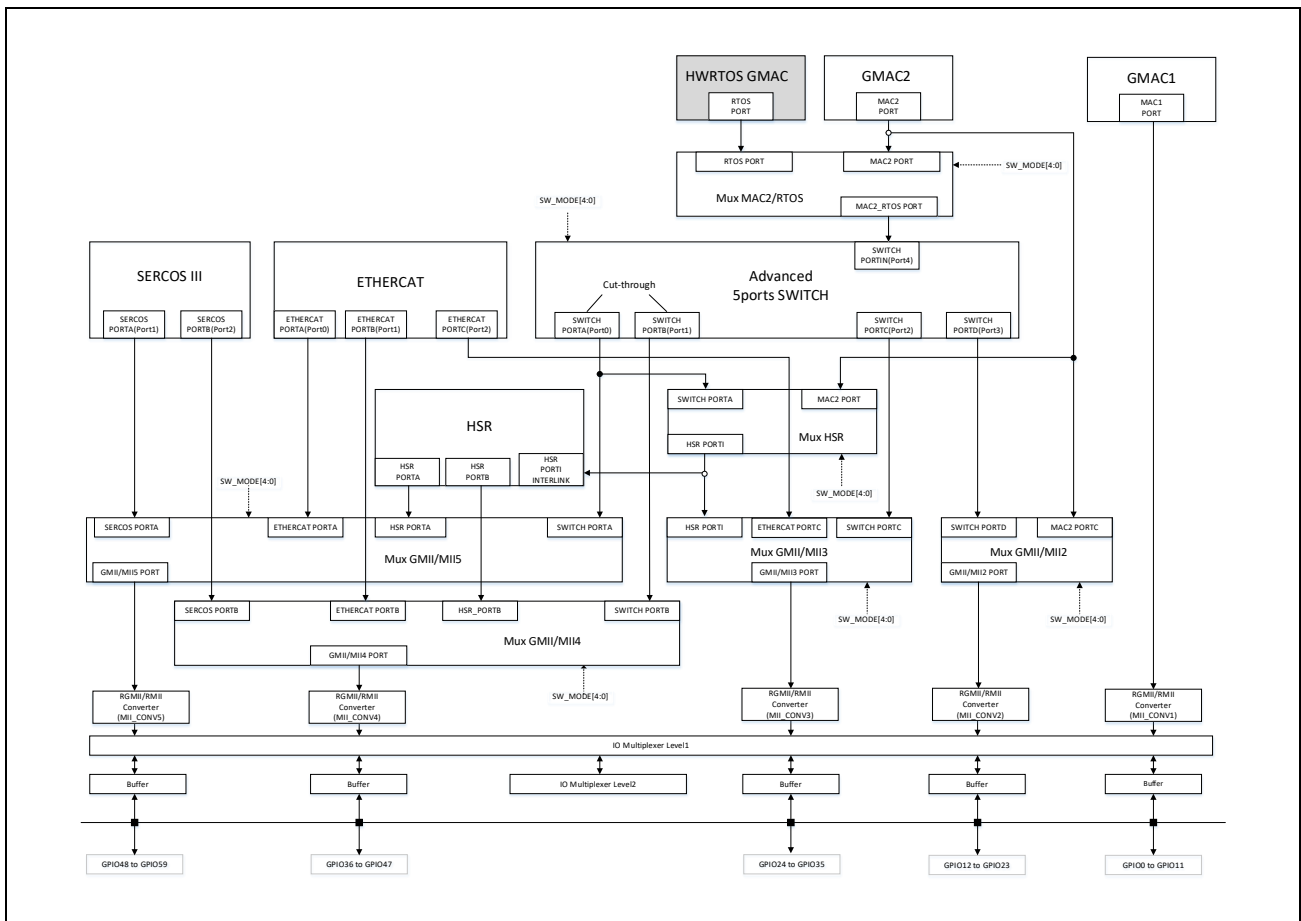


図 3.1 HW-RTOS GMAC のブロック図

3.2 信号インタフェース

信号名	入出力	説明	アクティブ
クロック			
HWRTOS_CLK	入力	HW-RTOS クロック	
HWRTOS_MDCCLK	入力	HW-RTOS GMAC MDC クロック	
関連クロック			
RINBUS_HCLK	—	R-IN Engine クロック。HW-RTOS GMAC は R-IN Engine に属しているため、このクロックが供給される必要があります。	
割り込み			
HWRTOS_ETHTFIU_Int	出力	HW-RTOS GMAC TX FIFO アンダーフロー、パルス検出	High
HWRTOS_ETHTFIE_Int	出力	HW-RTOS GMAC TX FIFO エラー割り込み、パルス検出	High
HWRTOS_ETHDTIE_Int	出力	HW-RTOS GMAC MACDMA 送信エラー、パルス検出	High
HWRTOS_ETHDMAIT_Int	出力	HW-RTOS GMAC MACDMA 送信完了、パルス検出	High
HWRTOS_ETHIT_Int	出力	HW-RTOS GMAC 送信完了割り込み、パルス検出	High
HWRTOS_ETHDMAIR_Int	出力	HW-RTOS GMAC MACDMA 受信完了、レベル検出	High
HWRTOS_ETHDRIE_Int	出力	HW-RTOS GMAC MACDMA 受信エラー、パルス検出	High
HWRTOS_ETHRFI_Int	出力	HW-RTOS GMAC MACDMA 有効フレーム受信完了、レベル検出	High
HWRTOS_ETHRFE_Int	出力	HW-RTOS GMAC MACDMA エラーフレーム受信完了、レベル検出	High
HWRTOS_ETHRFIV_Int	出力	HW-RTOS GMAC RX FIFO オーバーフロー、パルス検出	High
HWRTOS_ETHMMAI_Int	出力	HW-RTOS GMAC MII マネージメントアクセス完了割り込み、パルス検出	High
HWRTOS_ETHPPIT_Int	出力	HW-RTOS GMAC ポーズパケット送信完了、パルス検出	High
HWRTOS_BUFDMA_Int	出力	HW-RTOS GMAC バッファ間 DMA 転送完了、パルス検出	High
HWRTOS_BUFDMAERR_Int	出力	HW-RTOS GMAC バッファ間 DMA エラー、パルス検出	High
HWRTOS_BRAMERR_Int	出力	HW-RTOS GMAC バッファ RAM エリアアクセスエラー、パルス検出	High

3.3 レジスタマップ

3.3.1 HW-RTOS HWFC（ハードウェアファンクションコール）レジスタマップ

表 3.1 HW-RTOS HWFC（ハードウェアファンクションコール）レジスタマップ

アドレス	レジスタシンボル	レジスタ名
400E 0000h	C0TYPE	ハードウェアファンクションタイプレジスタ
400E 0008h	C0STAT	ハードウェアファンクションステータスレジスタ
400E F000h	SYSC	ハードウェアファンクションシステムコールレジスタ
400E F004h	R4	ハードウェアファンクション引数レジスタ 4
400E F008h	R5	ハードウェアファンクション引数レジスタ 5
400E F00Ch	R6	ハードウェアファンクション引数レジスタ 6
400E F010h	R7	ハードウェアファンクション引数レジスタ 7
400E F014h	CMD	ハードウェアファンクションコマンドレジスタ
400E F020h	R0	ハードウェアファンクション戻り値レジスタ 0
400E F024h	R1	ハードウェアファンクション戻り値レジスタ 1

3.3.2 HW-RTOS GMAC（ギガビットイーサネット MAC）レジスタマップ

表 3.2 HW-RTOS GMAC（ギガビットイーサネット MAC）レジスタマップ

アドレス	レジスタシンボル	レジスタ名
400F 000Ch	GMAC_TXID	TX ID レジスタ
400F 0010h	GMAC_TXRESULT	TX RESULT レジスタ
400F 0020h	GMAC_MODE	MODE レジスタ
400F 0024h	GMAC_RXMODE	RX MODE レジスタ
400F 0028h	GMAC_TXMODE	TX MODE レジスタ
400F 0030h	GMAC_RESET	RESET レジスタ
400F 0080h + 4h × (m - 1)	GMAC_PAUSE[m] (m=1~5)	PAUSE パケットデータレジスタ[m]
400F 0098h	GMAC_FLWCTL	RX フローコントロールレジスタ
400F 009Ch	GMAC_PAUSPKT	PAUSE パケットレジスタ
400F 00A0h	GMAC_MIIM	MIIM レジスタ
400F 0100h + 8h × (m - 1)	GMAC_ADR[m]A (m=1~16)	MAC アドレスレジスタ[m]A
400F 0104h + 8h × (m - 1)	GMAC_ADR[m]B (m=1~16)	MAC アドレスレジスタ[m]B
400F 0200h	GMAC_RXFIFO	RX FIFO ステータスレジスタ
400F 0204h	GMAC_TXFIFO	TX FIFO ステータスレジスタ
400F 0208h	GMAC_ACC	TCPIPACC レジスタ
400F 0220h	GMAC_RXMAC_ENA	RX MAC ENABLE レジスタ
400F 1100h	BUFID	受信バッファ情報レジスタ

3.4 レジスタの説明

3.4.1 HW-RTOS HWFC（ハードウェアファンクションコール）レジスタの説明

3.4.1.1 C0TYPE — ハードウェアファンクションタイプレジスタ

アドレス 400E 0000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	C0TYPEB															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	C0TYPEB															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.3 C0TYPE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	C0TYPEB	ハードウェアファンクションのタイプを設定します。	R/W

3.4.1.2 C0STAT — ハードウェアファンクションステータスレジスタ

アドレス 400E 0008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	C0STATB															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	C0STATB															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.4 C0STAT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	C0STATB	ハードウェアファンクションのステータスを設定します。	R/W

3.4.1.3 SYSC — ハードウェアファンクションシステムコールレジスタ

SYSC レジスタにコマンドを書き込むことで、対応した機能が実行されます。

アドレス		400E F000h															
ビット		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値		X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
		SYSC															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.5 SYSC レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R/W
b15~b0	SYSC	使用するハードウェアファンクションを指定します。以下のいずれかの機能を指定することが可能です。 5000h : ロングバッファの獲得 5006h : ショートバッファの獲得 5001h : バッファ領域全体の解放 5002h : バッファの一部解放 5101h : 受信 MAC の DMA の有効化 5102h : 受信 MAC の DMA の無効化 510Bh : 受信 MACDMAC の割り込み制御 510Dh : 受信 MACDMAC のエラー要因取得 5100h : 送信 MACDMAC の転送開始 510Ch : 送信 MACDMAC のエラー要因取得 5211h : バッファ RAM とデータ RAM 間の DMA 転送開始 5212h : バッファ RAM またはデータ RAM のデータ置換開始 5104h : バッファ RAM とバッファ RAM 間の DMA 転送開始 5114h : バッファ RAM とバッファ RAM 間の DMA 転送開始 (ディスクリプタ) 上記以外 : 設定禁止	R/W

3.4.1.4 R4 — ハードウェアファンクション引数レジスタ 4

アドレス 400E F004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	R4B															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	R4B															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.6 R4 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	R4B	ハードウェアファンクションに渡す引数を指定します。	R/W

3.4.1.5 R5 — ハードウェアファンクション引数レジスタ 5

アドレス 400E F008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	R5B															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	R5B															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.7 R5 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	R5B	ハードウェアファンクションに渡す引数を指定します。	R/W

3.4.1.6 R6 — ハードウェアファンクション引数レジスタ 6

アドレス 400E F00Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	R6B															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	R6B															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.8 R6 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	R6B	ハードウェアファンクションに渡す引数を指定します。	R/W

3.4.1.7 R7 — ハードウェアファンクション引数レジスタ 7

アドレス 400E F010h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	R7B															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	R7B															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.9 R7 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	R7B	ハードウェアファンクションに渡す引数を指定します。	R/W

3.4.1.8 CMD — ハードウェアファンクションコマンドレジスタ

本レジスタは、ハードウェアファンクションを有効にするのに使用されます。

アドレス		400E F014h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CMDB															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMDB															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.10 CMD レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CMDB	ハードウェアファンクションのコマンドを設定します。 0x0000 8004 : ハードウェアファンクションおよびハードウェアリアルタイム OS を有効にします。	R/W

3.4.1.9 R0 — ハードウェアファンクション戻り値レジスタ 0

アドレス		400E F020h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	R0B															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	R0B															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.11 R0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	R0B	ハードウェアファンクションコールの戻り値	R/W

3.4.1.10 R1 — ハードウェアファンクション戻り値レジスタ 1

アドレス 400E F024h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	R1B															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	R1B															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.12 R1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	R1B	ハードウェアファンクションコールの戻り値	R/W

3.4.2 HW-RTOS GMAC (ギガビットイーサネット MAC) レジスタの説明

3.4.2.1 GMAC_TXID — TX ID レジスタ

アドレス 400F 000Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TXID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.13 GMAC_TXID レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXID	GMAC_TXRESULT レジスタに対応する送信フレームの ID を示します。	R

3.4.2.2 GMAC_TXRESULT — TX RESULT レジスタ

アドレス 400F 0010h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TCMP	TABT	—	—	—	—	OVERFW	UNDERFW	—	—	—	—	—	FIFOUFLOW
リセット後の値	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.14 GMAC_TXRESULT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b14	予約ビット	読むと 0 が読み出されます。	R
b13	TCMP	送信完了	R
b12	TABT	送信アボートが発生しました。	R
b11~b8	予約ビット	読むと 0 が読み出されます。	R
b7	OVERFW	1518 オクテットより長いフレームが送信 FIFO に書き込まれました。	R
b6	UNDERFW	最小フレーム長より短いフレームが送信 FIFO に書き込まれました。	R
b5~b1	予約ビット	読むと 0 が読み出されます。	R
b0	FIFOUFLOW	送信中に FIFO アンダーフローが発生しました。	R

3.4.2.3 GMAC_MODE — MODE レジスタ

GMAC_MODE レジスタは、HW-RTOS GMAC の動作モードを制御するのに使用されます。

アドレス 400F 0020h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ETHMODE	DUPMODE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.15 GMAC_MODE レジスタの内容

ビット位置	ビット名	機能	R/W
b31	ETHMODE	1: HW-RTOS GMAC はギガビットイーサネットモードで動作します。アドバンスド5ポートスイッチに接続するには、このモードを使用してください。 0: 使用しません。	R/W
b30	DUPMODE	1: HW-RTOS GMAC は全二重モードで動作します。アドバンスド5ポートスイッチに接続するには、このモードを使用してください。 0: 使用しません。	R/W
b29~b0	予約ビット	読むと0が読み出されます。書く場合、0としてください。	R

3.4.2.4 GMAC_RXMODE — RX MODE レジスタ

本レジスタは、フレーム受信動作を制御するレジスタです。受信 FIFO の 1 ワードは 64 ビット、容量は 4KB です。

アドレス 400F 0024h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AFILLTEREN	MFILLTEREN	SFRXFIFO	RAMASKEN	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	1	0	X	X	X	X	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	REMPH		RFULLTH		RRTTH			—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	X	X	X	X	X	X	X	X	X

表 3.16 GMAC_RXMODE レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	AFILLTEREN	1: アドレスフィルタリングを有効にします ^{注1} 0: フレームの宛先アドレスを無視することによって、すべてのフレームを取り込みます	R/W
b30	MFILLTEREN	1: MAC アドレスレジスタ (GMAC_ADR[m]A および GMAC_ADR[m]B) に登録されていないマルチキャストアドレスフレームを廃棄します (m=1~16) 0: すべてのマルチキャストアドレスフレームを取り込みます	R/W
b29	SFRXFIFO	1: スタア&フォワードモード フレームの最後のデータまで RX FIFO に書き込まれなければ、受信 DMA コントローラは動作を開始しません。 0: カットスルーモード RX FIFO に RRTTH[2:0]ビットで設定したワード数が書き込まれると受信 DMA コントローラが動作を開始します。	R/W
b28	RAMASKEN	1: GMAC_ADR[m]B レジスタの BITMSK[7:0]ビットで設定可能な機能 (宛先アドレス[7:0]の一致比較マスク機能) を有効にします (m=1~16) 0: 上記機能を無効にします	R/W
b27~b16	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R
b15、b14	REMPH	FIFO 内のデータワード数が下記の値に満たない場合、GMAC_RXFIFO レジスタの REMP ビットが “1” になります。 00b: 4 ワード 01b: 8 ワード 10b: 16 ワード 11b: 32 ワード	R/W
b13、b12	RFULLTH	FIFO 内の空きスペースが下記の値に満たない場合、GMAC_RXFIFO レジスタの RFULL ビットが “1” になります。 00b: 4 ワード 01b: 8 ワード 10b: 16 ワード 11b: 32 ワード	R/W

表 3.16 GMAC_RXMODE レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b11~b9	RRTTH	FIFO 内のデータワード数が下記の値を超えた場合、GMAC_RXFIFO レジスタの RRT ビットが“1”になります。 000b : 4 ワード 001b : 8 ワード 010b : 16 ワード 011b : 32 ワード 100b : 64 ワード 101b : 128 ワード 110b : 256 ワード 111b : 512 ワード	R/W
b8~b0	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R

注1. アドレスフィルタリングを有効にした場合でも、MAC アドレスレジスタへの登録の有無に関わらず MAC Control Frame (Pause Packet 等) は常に受信されます。MAC Control Frame は Destination アドレスが 01-80-C2-00-00-01 のフレームです。

3.4.2.5 GMAC_TXMODE — TX MODE レジスタ

本レジスタは、フレーム送信動作を制御するレジスタです。送信 FIFO の 1 ワードは 64 ビット、容量は 4KB です。

アドレス 400F 0028h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	LPTXEN	SF	SPTXEN	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TEMPH			TFULLTH		—	TRBMODE		—	—	—	—	—	—
リセット後の値	X	X	0	0	0	0	0	X	0	0	X	X	X	X	X	X

表 3.17 GMAC_TXMODE レジスタの内容

ビット位置	ビット名	機能	R/W
b31	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R/W
b30	LPTXEN	1 : IEEE802.3 の規格より長いフレームの送信を許可します。VLAN タグまたはマネージメントタグがフレームに含まれる場合、本ビットをセットしてください。 0 : IEEE802.3 の規格より長いフレームの送信を禁止します	R/W
b29	SF	1 : フレームの最後のデータまで TX FIFO に書き込まれてから送信を開始します。必ず 1 を設定してください。 0 : 使用しません	R/W
b28	SPTXEN	1 : IEEE802.3 の規格より短いフレームの送信を許可します 0 : IEEE802.3 の規格より短いフレームの送信を禁止します	R/W
b27~b14	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R
b13~b11	TEMPH	TX FIFO バッファ内のデータワード数がこれらのビットで指定された値より少ない場合、GMAC_TXFIFO レジスタの TEMP ビットが 1 になります。 000b : 4 ワード 001b : 8 ワード 010b : 16 ワード 011b : 32 ワード 100b : 64 ワード 101b : 128 ワード 110b : 256 ワード 111b : 512 ワード	R/W
b10、b9	TFULLTH	TX FIFO バッファ内の空きスペースがこれらのビットで指定された値に満たない場合、GMAC_TXFIFO の TFULL ビットが 1 になります。 00b : 4 ワード 01b : 8 ワード 10b : 16 ワード 11b : 32 ワード	R/W
b8	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R
b7、b6	TRBMODE	GMAC_TXRESULT レジスタに送信結果を書き込む方法を制御します。 00b : 常時書き込み 01b : エラー時のみ書き込み 10b : 書き込みを行わない 上記以外 : 設定禁止	R/W
b5~b0	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R

3.4.2.6 GMAC_RESET — RESET レジスタ

アドレス 400F 0030h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ALLRST	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXRST	RXRST	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.18 GMAC_RESET レジスタの内容

ビット位置	ビット名	機能	R/W
b31	ALLRST	HW-RTOS GMAC レジスタが含まれる HW-RTOS GMAC モジュールをリセットします。 0 : 何もしません 1 : モジュールをリセットします	W
b30~b16	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R
b15	TXRST	TX MAC モジュール、TX FIFO モジュールをリセットします。 0 : 何もしません 1 : モジュールをリセットします	W
b14	RXRST	RX MAC モジュール、RX FIFO モジュールをリセットします。 0 : 何もしません 1 : モジュールをリセットします	W
b13~b0	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R

3.4.2.7 GMAC_PAUSE[m] — PAUSE パケットデータレジスタ[m] (m=1~5)

本レジスタは、送信される PAUSE パケットの指定を行うレジスタです。

アドレス 400F 0080h+4h×(m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PPDATA[m]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PPDATA[m]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.19 GMAC_PAUSE[m]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PPDATA[m]	送信する PAUSE パケットの 4×m バイト目~4×m-3 バイト目を指定します。LSB から順にデータが送信されます。	R/W

3.4.2.8 GMAC_FLWCTL — RX フローコントロールレジスタ

GMAC_FLWCTL レジスタは、PAUSE パケット受信機能を制御するのに使用されます。

アドレス 400F 0098h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PPRXEN	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.20 GMAC_FLWCTL レジスタの内容

ビット位置	ビット名	機能	R/W
b31	PPRXEN	1 : PAUSE パケットの受信に応じた自動送信サスペンドを有効にします 0 : PAUSE パケットの受信に応じた自動送信サスペンドを無効にします	R/W
b30~b0	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R

3.4.2.9 GMAC_PAUSPKT — PAUSE パケットレジスタ

本レジスタは、PAUSE パケットの送信を制御するレジスタです。

PPR ビットに 1 が書き込まれると、GMAC_PAUSE[m]で指定された PAUSE パケットの送信が開始します。送信が完了すると、PPR ビットは自動的に 0 になります。

アドレス 400F 009Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PPR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.21 GMAC_PAUSPKT レジスタの内容

ビット位置	ビット名	機能	R/W
b31	PPR	PAUSE パケットの送信を制御します。 0 : 何もしません 1 : PAUSE パケットの送信を開始します	R/W
b30~b0	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R

3.4.2.10 GMAC_MIIM — MIIM レジスタ

アドレス 400F 00A0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	RWDV	PHYADDR				REGADDR					
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DATA															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.22 GMAC_MIIM レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b27	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R
b26	RWDV	本ビットに以下の値を書き込むことにより、読み出し／書き込み動作が開始します。他のビットも同時に設定してください。 1：書き込み動作を開始 0：読み出し動作を開始 読み出し／書き込み動作が開始した後、本ビットの値を読み出すことにより、動作のステータスを確認することが可能です。 ^{注1} 1：動作が完了（DATA ビットが有効です） 0：動作の完了待ち	R/W
b25~b21	PHYADDR	アクセスする PHY のアドレスを指定します。 書き込み専用のビットのため、読み出し値は不定です。	W
b20~b16	REGADDR	アクセスする PHY のレジスタアドレスを指定します。 書き込み専用のビットのため、読み出し値は不定です。	W
b15~b0	DATA	書き込みデータまたは読み出しデータを示します。	R/W

注1. リセット解除後、RWDV ビットは 1 になります。ただし、この時点で DATA[15:0] ビットに保持されている値は有効ではありません。RWDV ビットで正確にステータスを確認するためには、動作開始後に RWDV ビットから値を読み出すようにしてください。

3.4.2.11 GMAC_ADR[m]A — MAC アドレスレジスタ[m]A (m=1~16)

GMAC_ADR[m]A レジスタおよび GMAC_ADR[m]B レジスタは、MAC アドレスを設定するレジスタです。最大 16 アドレスを登録することが可能です。GMAC_ADR[m]B レジスタの BITMSK[7:0] ビットにより、複数のアドレスをフィルタリングすることが可能です。

アドレス		400F 0100h+8h×(m-1)														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MADDR4B								MADDR3B							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MADDR2B								MADDR1B							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.23 GMAC_ADR[m]A レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	MADDR4B	取り込む MAC アドレスの先頭から 4 バイト目を示します。	R/W
b23~b16	MADDR3B	取り込む MAC アドレスの先頭から 3 バイト目を示します。	R/W
b15~b8	MADDR2B	取り込む MAC アドレスの先頭から 2 バイト目を示します。	R/W
b7~b0	MADDR1B	取り込む MAC アドレスの 1 バイト目を示します。	R/W

3.4.2.12 GMAC_ADR[m]B — MAC アドレスレジスタ[m]B (m=1~16)

アドレス		400F 0104h+8h×(m-1)														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	BITMSK							
リセット後の値	X	X	X	X	X	X	X	X	1	1	1	1	1	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MADDR6B								MADDR5B							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.24 GMAC_ADR[m]B レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	読み出すと、不定値が返されます。書く場合、0としてください。	R
b23~b16	BITMSK	宛先アドレス[7:0]の一致比較にビットごとにマスクします。ビット[23:16]が宛先アドレス[7:0]に対応します。0になっているビットは一致比較の対象から外されます。たとえば、マスクレジスタのビット BITMSK[2:0]が 0 の場合、宛先アドレス[2:0]は一致比較の対象から外されます。つまり、宛先アドレス[47:3]ビットのみが一致していれば、このフレームは取り込まれます。	R/W
b15~b8	MADDR6B	取り込む MAC アドレスの先頭から 6 バイト目を示します。	R/W
b7~b0	MADDR5B	取り込む MAC アドレスの先頭から 5 バイト目を示します。	R/W

3.4.2.13 GMAC_RXFIFO — RX FIFO ステータスレジスタ

GMAC_RXFIFO レジスタは、受信 FIFO のステータスを示すステータスレジスタです。

アドレス 400F 0200h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	RFULL	REMP	RRT	RSW											—		
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	

表 3.25 GMAC_RXFIFO レジスタの内容

ビット位置	ビット名	機能	R/W
b31	RFULL	RX FIFO 内の空きワード数が RFULLTH 以下になったとき、本ビットは 1 になります (RFULLTH は GMAC_RXMODE レジスタで設定されます)。	R
b30	REMP	RX FIFO 内のワード数が REMPTH 以下になったとき、本ビットは 1 になります (REMPH は GMAC_RXMODE レジスタで設定されます)。	R
b29	RRT	RX FIFO バッファ内のワード数が RRTTH を超えたとき、本ビットは 1 になります (RRTTH は GMAC_RXMODE レジスタで設定されます)。	R
b28~b17	RSW	RX FIFO 内のデータワード数を示します。	R
b16~b0	予約ビット	読み出すと、不定値が返されます。書く場合、0としてください。	R

3.4.2.14 GMAC_TXFIFO — TX FIFO ステータスレジスタ

GMAC_TXFIFO レジスタは、送信 FIFO のステータスを示すステータスレジスタです。

アドレス 400F 0204h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TFULL	TEMP	TSTATUS			TRBFR			—	—	—	—	—	—	—	—
リセット後の値	0	1	1	0	0	0	0	0	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 3.26 GMAC_TXFIFO レジスタの内容

ビット位置	ビット名	機能	R/W
b31	TFULL	TX FIFO バッファ内の空きスペースが GMAC_TXMODE レジスタの TFULLTH[1:0] ビットで設定されたしきい値に満たないとき、本ビットは 1 になります。	R
b30	TEMP	TX FIFO 内のデータワード数が GMAC_TXMODE レジスタの TEMP[2:0] ビットで設定されたしきい値以下になったとき、本ビットは 1 になります。	R
b29~b27	TSTATUS	TX FIFO のステータスを示します。ビットの設定の意味は以下のとおりです。 100b : ACC NEW FR : TX FIFO が新しいフレームを受け付けることができる状態にあります 101b : WRITE ENABLE : TX FIFO がフレームのデータを継続して受付可能な状態にあります 110b : CMPLT : 1 つのフレームの取り込みが完了しました 111b : FULL : TX FIFO がフル状態になっています 000b~011b : STOP : TX FIFO は停止状態（または初期化中）です	R
b26~b24	TRBFR	送信結果バッファに存在するフレーム数を示します。	R
b23~b0	予約ビット	読むと 0 が読み出されます。	R

3.4.2.15 GMAC_ACC — TCPIPACC レジスタ

本レジスタは、TCP/IP アクセラレータの動作を制御するレジスタです。

アドレス 400F 0208h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTCP IPACC	TTCPI PEN	RTCP IPEN
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	1	1

表 3.27 GMAC_ACC レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b3	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R
b2	RTCP/IPACC	1 : RX TCPIPACC オフ RX TCPIP アクセラレータのチェックサム支援を無効にします。MAC ヘッダのパディングは挿入されます。 0 : RX TCPIP アクセラレータのチェックサム支援は有効（初期値）。	R/W
b1	TTCPI/PEN	1 : TX TCPIP 有効 TX TCPIP アクセラレータを有効にします。 0 : TX TCPIP 無効 TX TCPIP アクセラレータを無効にします。MAC ヘッダのパディングも無効になります。つまり、送信フレームにパッドを挿入する必要はありません。	R/W
b0	RTCP/IPEN	1 : RX TCPIP 有効 RX TCPIP アクセラレータを有効にします。 0 : RX TCPIP 無効 RX TCPIP アクセラレータを無効にします。MAC ヘッダ部のパディングは挿入されません。	R/W

3.4.2.16 GMAC_RXMAC_ENA — RX MAC ENABLE レジスタ

本レジスタは、受信用 MAC の動作を制御するレジスタです。

アドレス 400F 0220h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RMACEN
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1

表 3.28 GMAC_RXMAC_ENA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b1	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R
b0	RMACEN	1 : 受信を有効にします (初期値) 0 : 受信を無効にします	R/W

3.4.2.17 BUFID — 受信バッファ情報レジスタ

BUFID レジスタは、受信バッファ情報（データの有無、データを保持しているバッファのアドレス、およびデータのワード数）を示します。受信 MACDMAC がデータ転送を完了すると、受信バッファ情報は本レジスタに書き込まれ、最大 64 個保持されます。受信バッファにデータが存在する場合、イーサネット MACDMA 受信完了割り込み（HWRTOS_ETHDMAIR_Int）が発生します。本割り込みは、受信バッファが空きになる（つまり、受信バッファ情報が読み出され、NOEMP ビットが 0 になる）までアクティブ状態を保持します。

ADDR[15:0] :

ADDR ビットは、32 ビットアドレス空間のアドレスを示すことができません。したがって、メモリマップされたバッファにアクセスするには、0800 0000h でオフセットを行います。

<受信バッファアドレスの算出方法>

1. ADDR ビットの値を取得
2. 値を 11 ビット左シフト
3. 0800 0000h のオフセットを加える

WORD[11:0] :

WORD ビットで示されるワード数には、受信フレーム情報のワード数が含まれます。したがって、受信フレーム情報の開始アドレスは、以下の手順で算出します。

<受信フレーム情報の開始アドレスの算出方法>

1. WORD ビットの値を取得
2. 値を 16 ビット右シフト
3. 受信バッファアドレスに上記 2. でシフト済みのワード数をオフセットとして加える
4. 2 ワード（受信フレーム情報のサイズ）分の値をマイナスにオフセット

アドレス 400F 1100h	
ビット	b31 b30 b29 b28 b27 b26 b25 b24 b23 b22 b21 b20 b19 b18 b17 b16
	NOEMP — VALID WORD
リセット後の値	0 X X 0 0 0 0 0 0 0 0 0 0 0 0 0
ビット	b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0
	ADDR
リセット後の値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

表 3.29 BUFID レジスタの内容

ビット位置	ビット名	機能	R/W
b31	NOEMP	1: 受信バッファにデータあり 0: 受信バッファにデータなし	R
b30、b29	予約ビット	読むと 0 が読み出されます。書く場合、0 としてください。	R
b28	VALID	1: 受信データは有効 0: 受信データは無効	R
b27~b16	WORD	受信データのワード数（受信 MAC 情報を含む）	R
b15~b0	ADDR	受信バッファアドレス（ビット 26~11）	R

3.5 動作説明

3.5.1 初期設定

本項の初期設定シーケンスは、以下の構成で HW-RTOS GMAC を使用するためのシステム環境の準備に関する例です。

[この例の HW-RTOS GMAC 構成]

- HW-RTOS GMAC は、アドバンスト 5 ポートスイッチ (A5PSW) の管理ポートに接続されています。

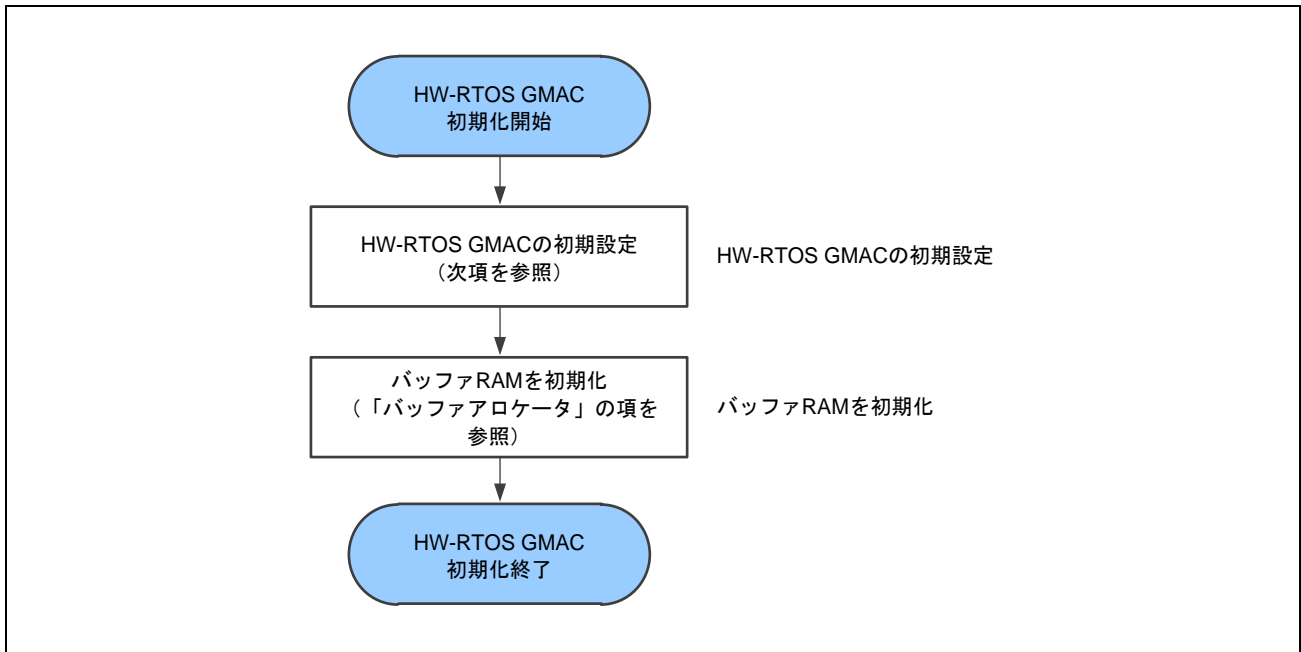


図 3.2 HW-RTOS GMAC の初期設定 (フローチャート)

(1) HW-RTOS GMAC の初期設定

まず最初に、R-IN Engine アクセサリレジスタの HW-RTOS および HW-RTOS GMAC リセットレジスタ (RTOSRST) を使用してリセット状態を解除します。

以下に示す手順を実行して、ハードウェアファンクションを設定します。

<HW-RTOS GMAC の設定手順>

1. R-IN Engine アクセサリレジスタの RINSPCMD レジスタにより RTOSRST レジスタの保護を解除
2. RTOSRST レジスタにより HW-RTOS および HW-RTOS GMAC モジュールのリセットを解除
3. RINSPCMD レジスタにより RTOSRST レジスタの保護を取得
4. C0TYPE レジスタに 0000 0003h を設定
5. C0STAT レジスタに 0000 0003h を設定
6. CMD レジスタに 0000 8004h を設定
7. R0 レジスタから 8000 0000h が読み出されるまで待つ。その後、R1 レジスタをダミーリード
8. GMAC_RESET レジスタに 8000 0000h を設定して、HW-RTOS GMAC をリセット

注 意

ハードウェア OS アクセラレータ機能を使用する場合、この機能は OS アクセラレータ機能のセットアップで制御されるため、上記の 1~7 の設定は不要です。

設定完了後、以下のレジスタの初期設定を行います。

- MAC アドレスレジスタ
- MODE レジスタ
- TX MODE レジスタ
- RX MODE レジスタ

3.5.2 ハードウェアファンクション (HWF)

ハードウェアファンクション (HWF) は、CPU の負荷を軽減するための機能 (DMAC やイーサネット通信アクセラレータなど) として定義されます。

HWF は機能別に分割されたハードウェアモジュールの組み合わせで構成されます。

ハードウェアファンクションとして定義される機能は、以下の3つです。

- バッファアロケータ
- MAC DMA コントローラ
- バッファ RAM DMA コントローラ

これらのハードウェアファンクション周辺のブロック図を以下に示します。図中の実線はデータの流れ、破線はハードウェアファンクションのコマンドインタフェースを示します。

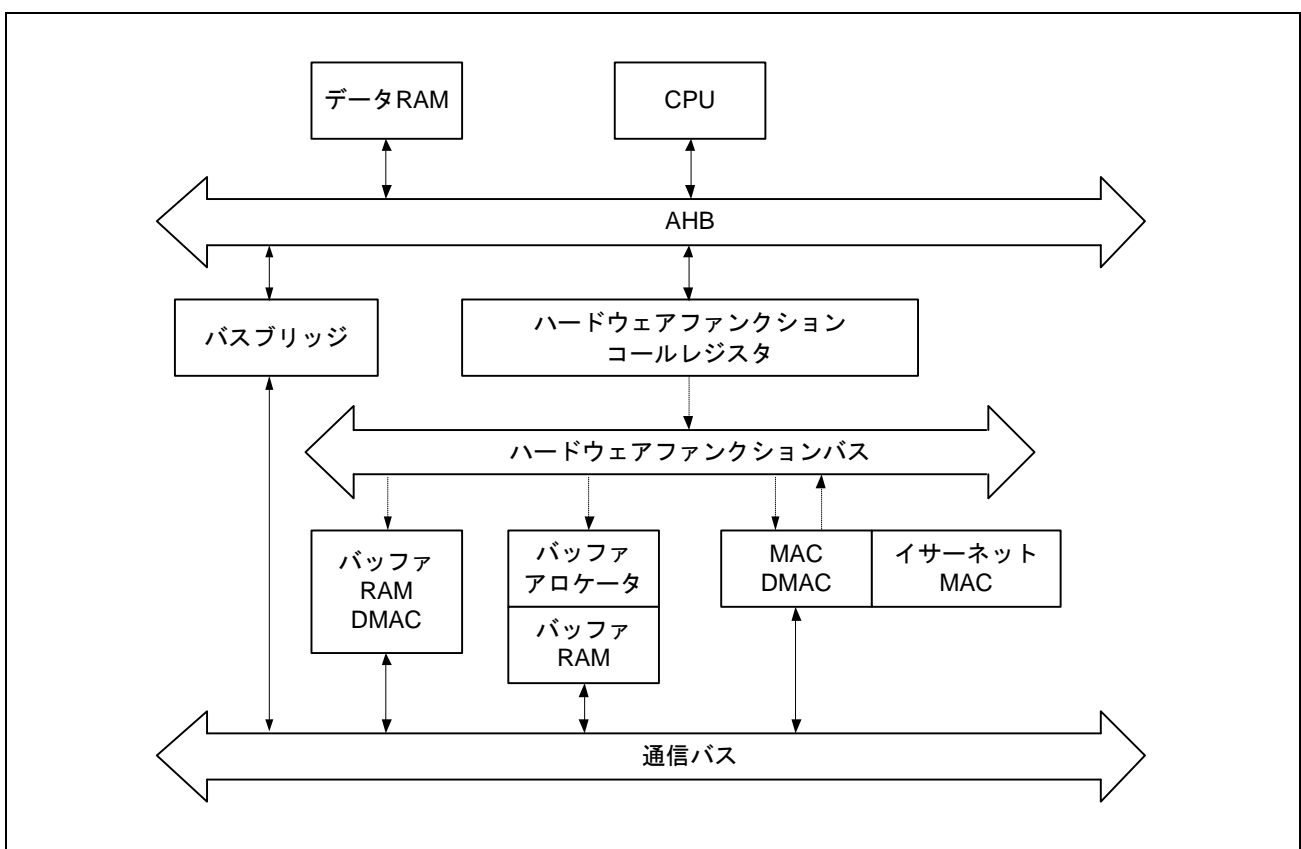


図 3.3 ハードウェアファンクションのブロック図

3.5.2.1 処理フロー

(1) ハードウェアファンクションコール発行処理フロー

ハードウェアファンクションを使用する際には、以下のフローチャートに従ってハードウェアファンクションコールの発行を行ってください。

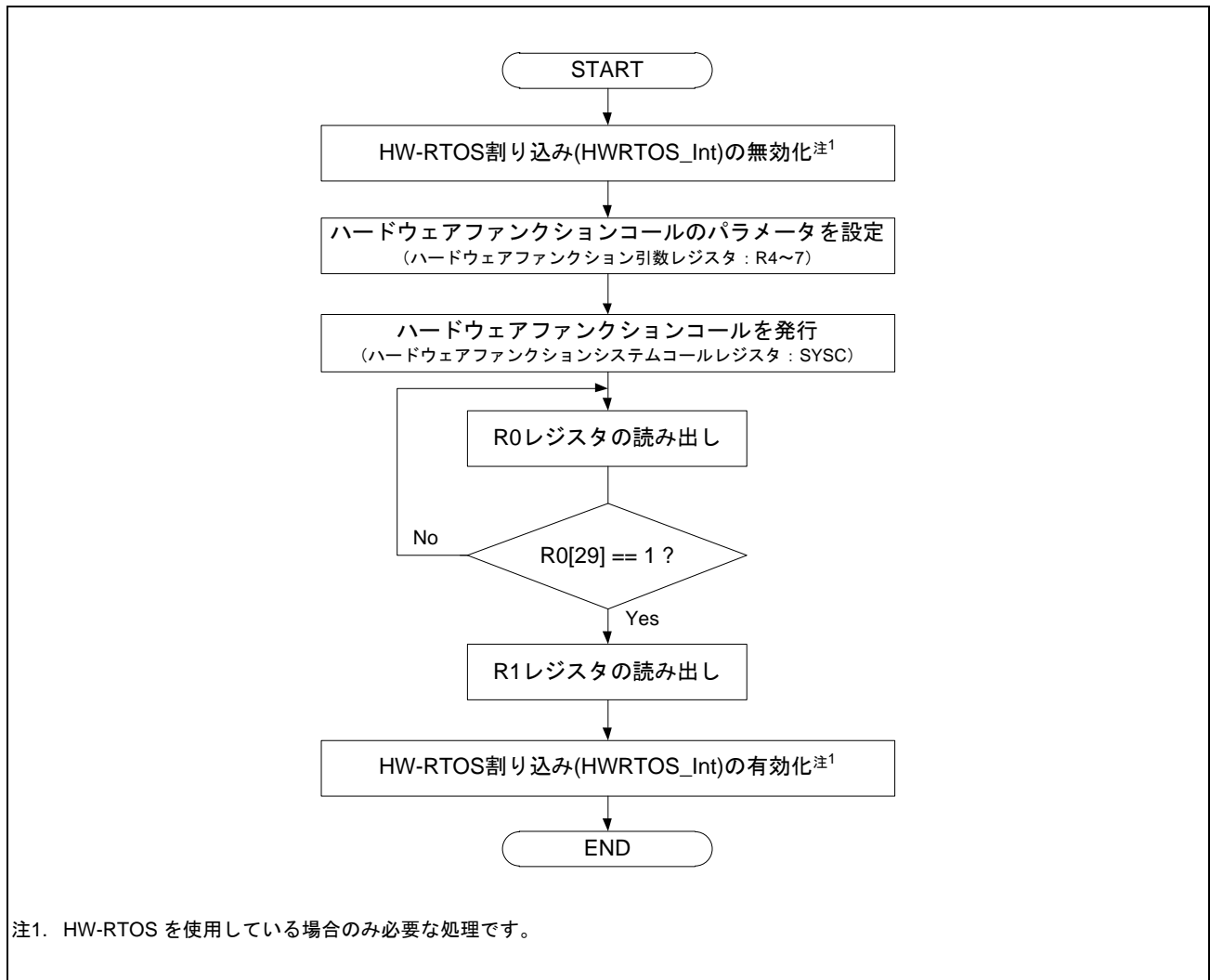


図 3.4 ハードウェアファンクションコール発行処理フロー

注 意

ハードウェアリアルタイム OS がディスパッチを禁止されている場合、ハードウェアファンクションコールは正常に実行されません。

この場合、戻り値レジスタ R0 のビット[15:0]は FFE7h を示します。

3.5.2.2 バッファアロケータ

(1) 機能概要

バッファアロケータは、バッファ RAM の管理を行うモジュールです。

バッファ RAM は、イーサネット転送のスループットを向上させるための通信用バッファです。バッファ RAM のサイズは 128K バイトですが、バッファアロケータにより動的にメモリ空間の確保および解放を行うため、論理空間としては 128M バイトの領域を使用しています。

バッファ RAM を使用するには、必要な領域（以下「バッファ」）をあらかじめ確保した上で、バッファアロケータに提供されるハードウェアファンクションコールを発行します。確保していない領域に書き込みを行った場合、CPU と MAC DMA コントローラからのアクセスは割り込みを発生します。バッファ RAM DMA コントローラからのアクセスの場合は、ハードウェアファンクションコールの種類により、割り込みを発生するタイプと、戻り値レジスタ R0 に例外を返すタイプがあります。

バッファを確保した後に再利用するには、使用後にバッファを解放する必要があります。

機能概要は以下のとおりです。

- 最大 2048 バイトのロングバッファおよび最大 512 バイトのショートバッファを利用可能
- バッファを確保する際、バイト単位でサイズの指定が可能
- バッファを解放する際、サイズは領域全体に対して指定することが可能です。または、バイト位置として指定することも可能です（バッファの後方から解放）。

バッファを構成する各セグメントは 128 バイトです。バッファアロケータはこれらの 128 バイトの各セグメントを管理し、ハードウェアファンクションコールに応じてこれらのセグメントを接続し、バッファとして提供します。接続されたセグメントは、連続したアドレスに見えます。

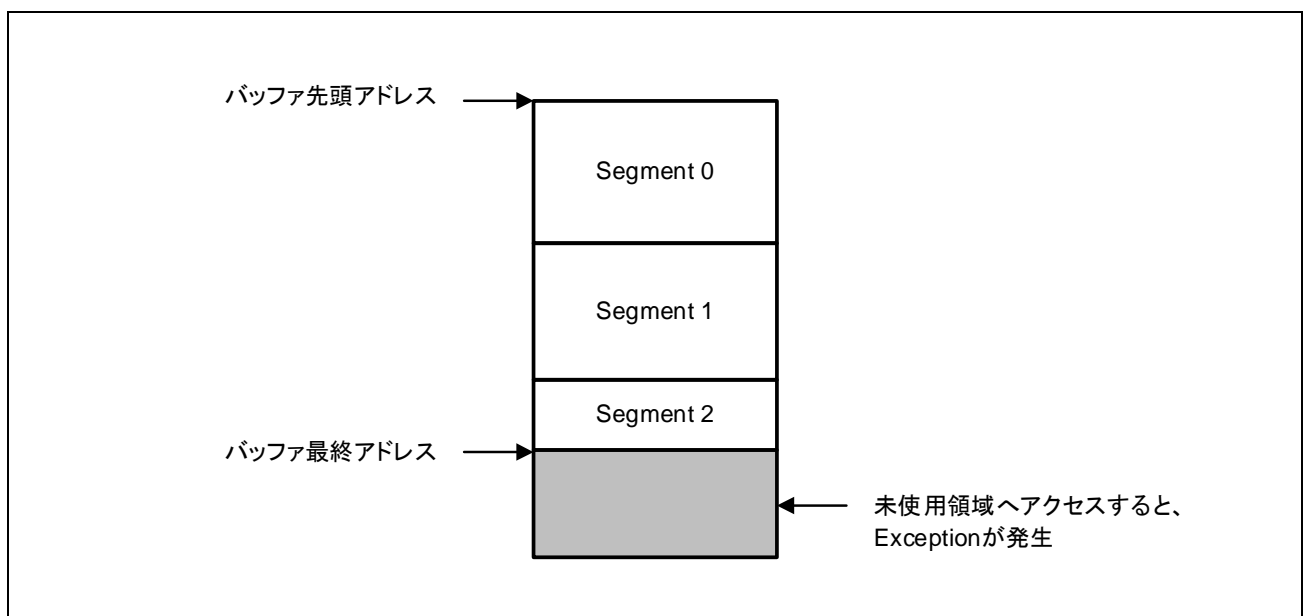


図 3.5 バッファの管理方法

(2) 初期化

ECC 回路の通常動作では、バッファ RAM を初期化する必要があります。

RAM の初期化 :

バッファ RAM を初期化する前に、ECC 誤り訂正を有効にすることはできません。

以下の初期化シーケンスを終了した後に、RAMEDC レジスタの ECC_ENABLE ビットを 1 にして ECC 誤り訂正を有効にします。

＜バッファ RAM の初期化シーケンス＞

1. HWFNC_LongBuffer_Get により 2048 バイトのバッファを獲得します。
2. ロングバッファ領域からデータを読み出します。
3. 読み出したデータを同じアドレスに書き込みます。
4. 上記 1.~3.の処理を 64 回繰り返して、128K バイト領域の ECC のシンδροーム値をリフレッシュします。
5. HWFNC_Buffer_Release により 2048 バイトのバッファを解放します。
6. 上記 5.を繰り返して、すべてのバッファを解放します。

(3) バッファ制御動作

本項では、ショートバッファとロングバッファを「バッファ」と総称します。ショートバッファは最大 4 個のセグメント、ロングバッファは最大 16 個のセグメントで構成されています。

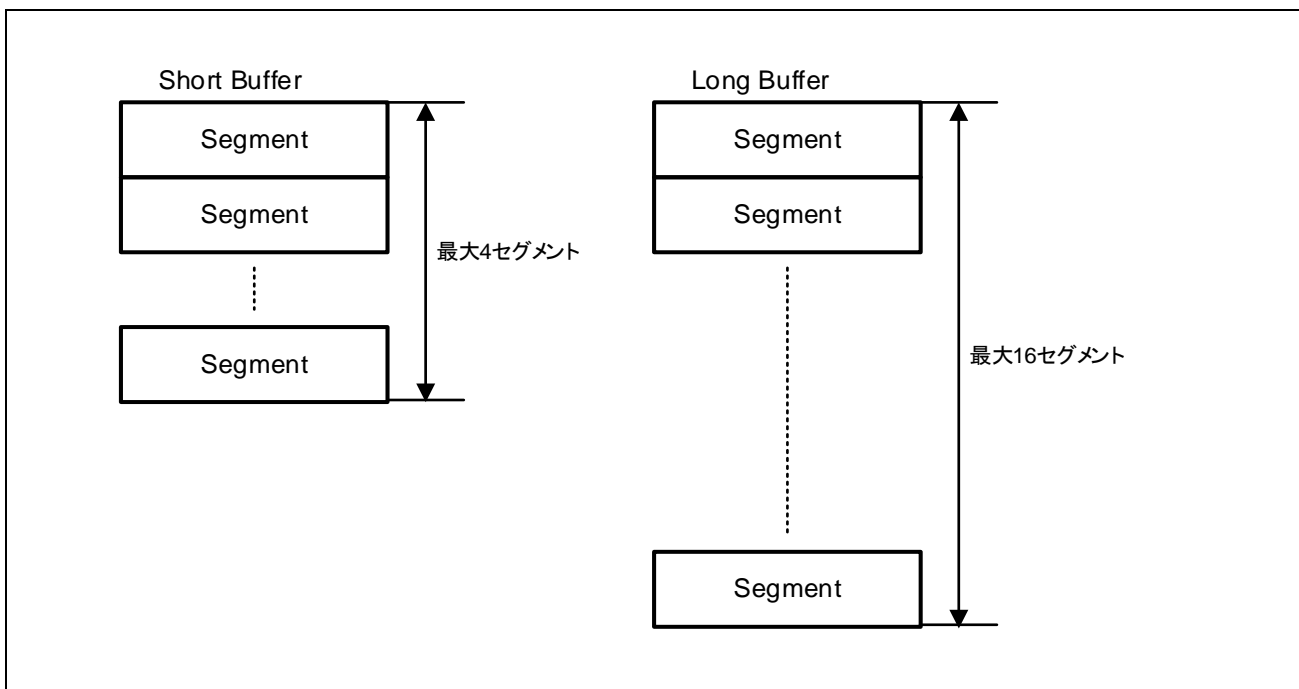


図 3.6 バッファの構造

(a) バッファの獲得 (HWFNC_ShortBuffer_Get、HWFNC_LongBuffer_Get)

HWFNC_ShortBuffer_Get ハードウェアファンクションコールまたは HWFNC_LongBuffer_Get ハードウェアファンクションコールを発行することにより、バッファを獲得することが可能です。

バッファのサイズは、これらのハードウェアファンクションコール時にバイト単位で指定されます。バイト数は、セグメント境界に達する必要はありません。戻り値はバッファの開始アドレスになります。

ショートバッファとロングバッファの獲得可能な最大個数は表 3.30 に示すとおりです。獲得したショートバッファとロングバッファがそれぞれ最大個数に満たない場合でも、両者の合計がバッファ RAM の最大サイズ 128KB を超える場合には、バッファの獲得に失敗します。

表 3.30 バッファの獲得可能な個数

バッファタイプ	バッファの獲得可能な最大個数	備考
ショートバッファ	128	最大 512 セグメント (=64KB)
ロングバッファ	64	最大 1024 セグメント (=128KB)

バッファのアドレス構造を以下に示します。バッファを獲得すると、ロングバッファの場合は 0C00 0000h ~0FFF FFFFh のアドレス、ショートバッファの場合は 0800 0000h~0BFF FFFFh のアドレスが該当のハードウェアファンクションから返されます。

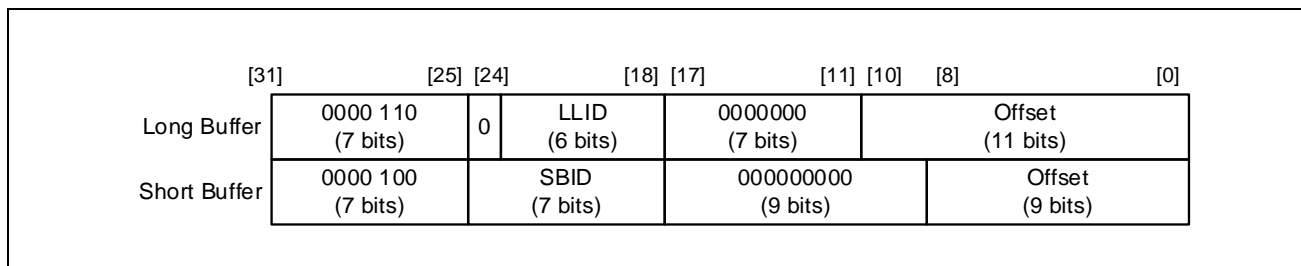


図 3.7 バッファの構造

ショートバッファを獲得した場合、ビット[24:18]に SBID (ショートバッファ ID) が与えられ、バッファの識別子として使用されます。オフセットフィールド=0 をバッファの開始アドレスとして、バッファ領域が割り当てられます。

ロングバッファを獲得した場合、ビット[23:18]に LLID (リンクされたロングバッファ ID) が与えられ、バッファの識別子として使用されます。オフセットフィールド=0 をバッファの開始アドレスとして、バッファ領域が割り当てられます。

(b) バッファの解放 (HWFNC_Buffer_Release)

HWFNC_Buffer_Release ハードウェアファンクションをコールすることにより、獲得したバッファの領域全体を解放することが可能です。ハードウェアファンクションコール時、解放する獲得済みバッファの開始アドレスを指定します。

(c) バッファの一部解放 (HWFNC_Buffer_Return)

HWFNC_Buffer_Return ハードウェアファンクションをコールすることにより、獲得したバッファ内のバイト位置以降の任意バイトを解放することが可能です。これは、空間を効率的に利用するために提供されています。たとえば、フレームの受信時に、受信フレームデータの終了以降の領域を解放することにより得られた領域を別のリソースで利用することが可能です。このシステムコールを実行する際には、バッファの開始アドレスと解放する空間の開始アドレスを引数として与える必要があります。

(d) メモリのテストとバッファの初期化

バッファ RAM は、リセット時に割り当てられないため、そのような状況では書き込みも読み出しもできません。したがって、メモリをテストするには、HWFNC_LongBuffer_Get システムコールなどを実行することで、バッファ RAM の全容量を確保し、メモリをアクセス可能にします。これにより、その後のメモリチェックおよびメモリ内容の初期化が可能になります。

(e) ハードウェアファンクションコールの一覧

以下の表にハードウェアファンクションコールの一覧を示します。

ハードウェアファンクションコールの引数が無効な場合には、無効なシステムコールのエラーコードが戻り値レジスタ R0 に返されます。

表 3.31 HWFNC_LongBuffer_Get

名称	HWFNC_LongBuffer_Get	
機能	フレームの送受信に使用するロングバッファを獲得します。バッファは 1~2048 バイトの任意のサイズで獲得することが可能です。ロングバッファは主にフレームのデータ部を保持するために使用されます。獲得したバッファの開始アドレスが戻り値として R1 に返されます。	
コマンドレジスタ		
OMOD[15:0]	5000h	
引数レジスタ		
R4[8:15:0]	バッファ長	必要なバッファ長。単位：バイト。1~2048
R4[23:16]	予約ビット	常に 0
R4[31:24]	未使用	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[1:0]	結果	00b または 01b、かつ R0[29]=1 のとき：成功 10b：無効なシステムコール 11b：バッファ不足
R0[28:2]	未使用	すべて 0
R0[29]	完了	0：ハードウェアファンクションコール未了 1：ハードウェアファンクションコール完了
R0[31:30]	未使用	すべて 0
R1[31:0]	バッファの先頭論理アドレス	[31:27]：00001b [26:24]：100b [23:18]：LLID [17:0]：0

表 3.32 HWFNC_ShortBuffer_Get

名称	HWFNC_ShortBuffer_Get	
機能	フレームの送受信に使用するショートバッファを獲得します。バッファは1~512バイトの任意のサイズで獲得することが可能です。ショートバッファは主にフレームのヘッダ部、ICMP および MAC 管理フレームのデータ部などを保持するために使用されます。獲得したバッファの開始アドレスが戻り値として R1 に返されます。	
コマンドレジスタ		
SYSC[15:0]	5006h	
引数レジスタ		
R4[15:0]	バッファ長	必要なバッファ長。単位：バイト。1~512
R4[31:16]	予約ビット	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[1:0]	結果	00b, 01b : 成功 10b : 無効なシステムコール 11b : バッファ不足
R0[28:2]	未使用	すべて 0
R0[29]	完了	0 : ハードウェアファンクションコール未了 1 : ハードウェアファンクションコール完了
R0[31:30]	未使用	すべて 0
R1[31:0]	バッファの先頭論理アドレス	[31:27] : 00001b [26:25] : 00b [24:18] : SBID [17:0] : 0

表 3.33 HWFNC_Buffer_Release

名称	HWFNC_Buffer_Release	
機能	獲得したロングバッファまたはショートバッファを解放します。	
コマンドレジスタ		
SYSC[15:0]	5001h	
引数レジスタ		
R4[8:31:0]	バッファ長	解放するバッファの先頭論理アドレス以下のファンクションコール後に値が R1 に返されます。 HWFNC_LongBuffer_Get または HWFNC_ShortBuffer_Get
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[1:0]	結果	00b, 01b : 成功 10b : 無効なシステムコール 11b : 対象アドレスはバッファ未定義
R0[28:2]	未使用	すべて 0
R0[29]	完了	0 : ハードウェアファンクションコール未了 1 : ハードウェアファンクションコール完了
R0[31:30]	未使用	すべて 0
R1[31:0]	未使用	すべて 0

表 3.34 HWFNC_Buffer_Return

名称		HWFNC_Buffer_Return	
機能	獲得したショートバッファまたはロングバッファの後半の一部を解放します。解放するアドレス範囲の開始位置を指定すると、そのアドレス以降のバッファが解放されます。アドレスは任意のバイトとして設定することが可能です。この HWF は、たとえば受信フレームが短いときに、バッファ資源の有効利用に使用されます。		
コマンドレジスタ			
SYSC[15:0]	5002h		
引数レジスタ			
R4[31:0]	バッファの先頭論理アドレス	解放するバッファの先頭論理アドレス 以下のファンクションコール後に値が R1 に返され ます。 HWFNC_LongBuffer_Get または HWFNC_ShortBuffer_Get	
R5[31:0]	解放されるバッファ部分の先頭論理アドレス	解放されるバッファ部分の先頭論理アドレス（この アドレス以降のアドレスにあるバッファが解放され ます）	
R6[31:0]	未使用		
R7[31:0]	未使用		
戻り値レジスタ			
R0[2:0]	結果	000b, 001b : 成功 010b : 無効なシステムコール 011b : R4 で指定したアドレスはバッファ未定義 100b : R5 で指定したアドレスはバッファ解放済 み	
R0[28:3]	未使用		すべて 0
R0[29]	完了	0 : ハードウェアファンクションコール未了 1 : ハードウェアファンクションコール完了	
R0[31:30]	未使用		すべて 0
R1[31:0]	未使用		すべて 0

3.5.2.3 MAC DMA コントローラ

(1) 機能概要

MAC DMA コントローラは、バッファ RAM とイーサネット MAC 間のデータ転送に使用されます。

送信時には、DMAC はバッファ RAM から送信されるデータをイーサネット MAC に転送します。受信時には、DMAC はイーサネット MAC で受信されたデータをバッファ RAM に転送します。

これにより、通信のスループットを向上させることが可能です。

MACDMA 周辺と各種割り込み信号のブロック図を以下に示します。

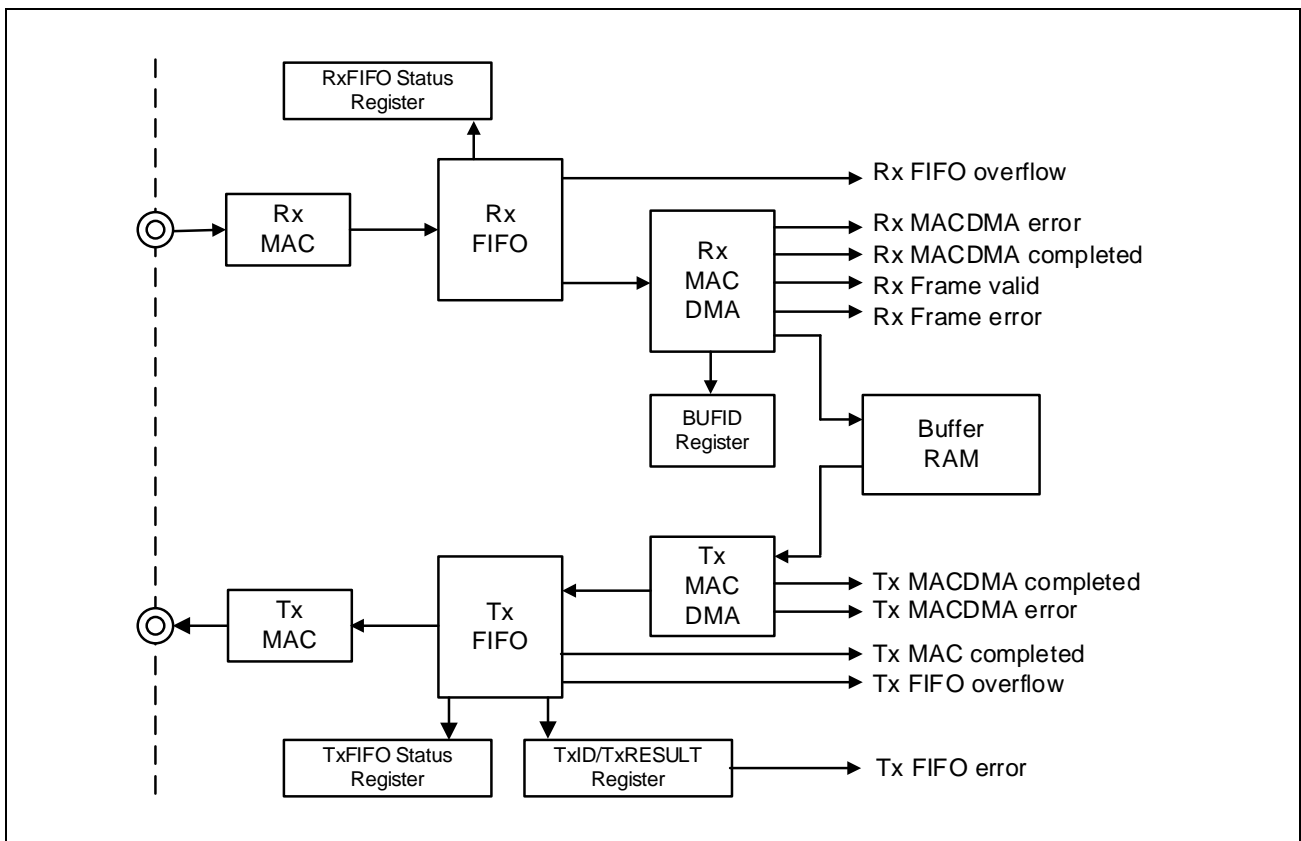


図 3.8 MACDMA 周辺と割り込み信号のブロック図

(2) 受信 MACDMAC の DMA

受信 MACDMAC の処理概要を下図に示します。受信 MACDMAC の動作を有効にするには、ハードウェアファンクションコール (HWFNC_MACDMA_RX_Enable) を発行する必要があります。受信 MACDMAC は、HWFNC_MACDMA_RX_Disable が発行されるまでアクティブのままです。

アクティブになっている間、受信 MACDMAC は常に MAC 受信 FIFO の状態を監視しています。FIFO に受信フレームが存在するとき、受信 MACDMAC はロングバッファ (2048 バイト) の獲得要求をバッファアロケータに送信します。ロングバッファを獲得した後、受信 MACDMAC は MAC 受信 FIFO からデータを読み出し、獲得したロングバッファの先頭から順次データを書き込みます。

1 フレームすべての転送が完了すると、受信 MACDMAC は受信情報として受信ワード数 (1 ワード 32 ビット) およびバッファの先頭論理アドレスを BUFID レジスタに書き込みます。BUFID に書き込まれる情報については、「受信バッファ情報レジスタ (BUFID)」の項を参照してください。

CPU から BUFID を読み出すことが可能です。また、BUFID は最大 64 個の情報を保持することが可能です。

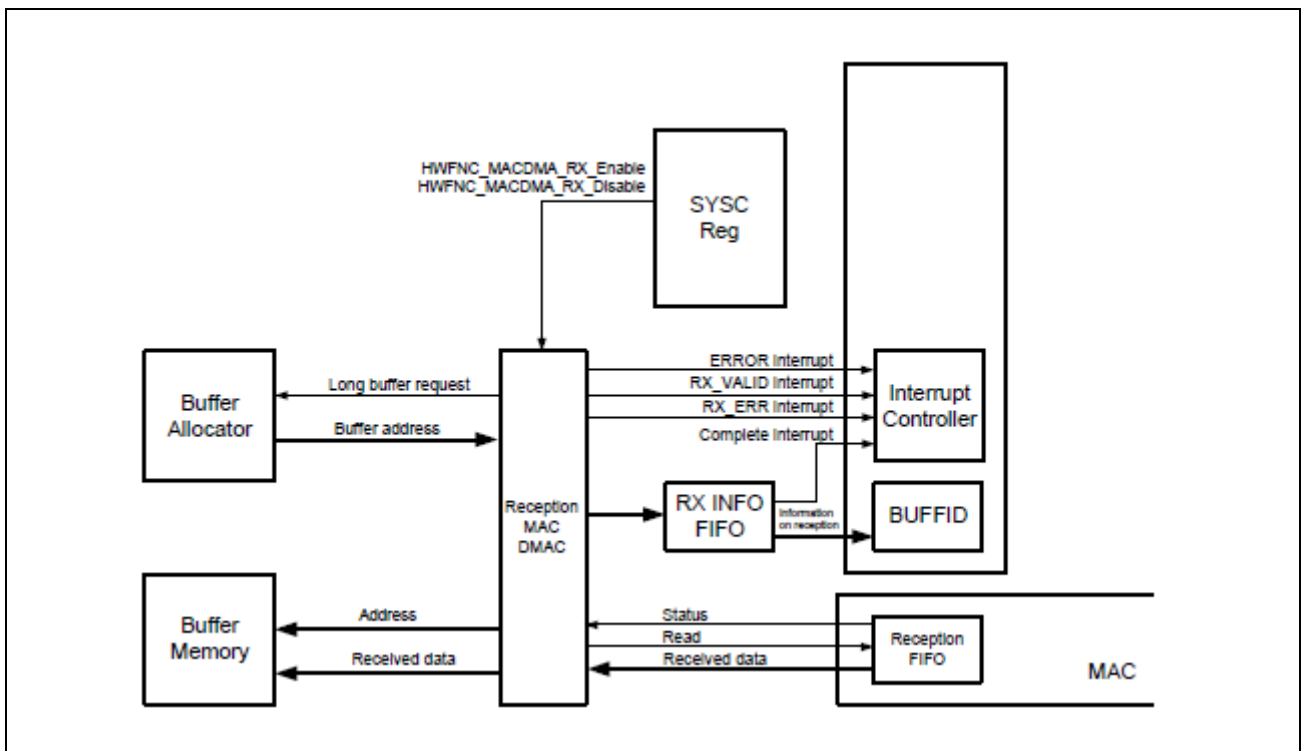


図 3.9 受信 MACDMAC の処理概要

(a) MAC DMA コントローラの各機能の説明

● バッファ空間の一部解放

受信 MACDMAC は、最後に獲得したバッファ内で受信データが入っていない未使用領域を自動的に解放します（バッファ返却ファンクションコール）。ただし、未使用領域が 128 バイト（1 セグメント）以内の場合、バッファ返却は実行されません。バッファ返却は確保したバッファ領域の一部を解放するファンクションコールであり、確保したバッファ領域全体を解放するバッファ解放ファンクションコールとは異なります。

● バッファの全解放

以下のいずれかの条件が成り立つ場合、受信 MACDMAC は獲得したバッファを自動的に解放します（バッファ解放ファンクションコール）。

- (1) バッファ獲得要求のファンクションコールを実行した結果、失敗に終わった（バッファに未使用領域がない）。
- (2) 受信フレーム情報を解析した結果、受信フレームが HWFNC_MACDMA_RX_Control により無効化されている。
- (3) 受信ワード数が 4092 ワード以下であるという条件で、HWFNC_MACDMA_RX_Disable が実行されている。

上記 (1) および (2) の場合、受信フレームはすべて廃棄され、バッファが解放されます。(3) の場合、受信フレームは廃棄されず（MAC 受信 FIFO にデータが残存したまま）、バッファの解放のみが実行され、その後ただちに受信 MACDMAC は無効になります。(1)、(2)、(3) のいずれの場合も、受信結果は BUFID に書き込まれません。

● エラー割り込みの発生

受信 MACDMAC が何らかの理由で受信動作を継続できなくなったか、またはデータが正常に受信されなかったことが検出された場合、エラー割り込みが発行されます。エラー割り込みの要因は、ハードウェアファンクションコール HWFNC_MACDMA_RX_Errstat を実行して確認することが可能です。詳細は、「ハードウェアファンクションコールの一覧」を参照してください。

● 受信完了割り込みの発生

BUFID に 1 フレーム以上の受信情報が存在する場合、受信完了割り込みがアクティブレベルになります。BUFID レジスタが空きでないかぎり、つまり、BUFID レジスタに 1 フレーム以上の受信情報があるかぎり、受信完了割り込みはアクティブのままです。BUFID が読み出されて空きになると、受信完了割り込みはデアサートされます。

● 受信フレームの有効/無効判定

受信フレームの有効/無効を判定することにより、HWRTOS_ETHRFI_Int（有効フレーム受信）割り込みまたは HWRTOS_ETHRFE_Int（無効フレーム受信）割り込みが発行されます。各割り込みには複数の要因があり、初期状態ではすべての要因で割り込みの発生が許可されています。HWFNC_MACDMA_RX_Control を実行することにより、指定した要因を禁止することが可能です。禁止した要因に該当するフレームは、バッファの全解放により廃棄されます。

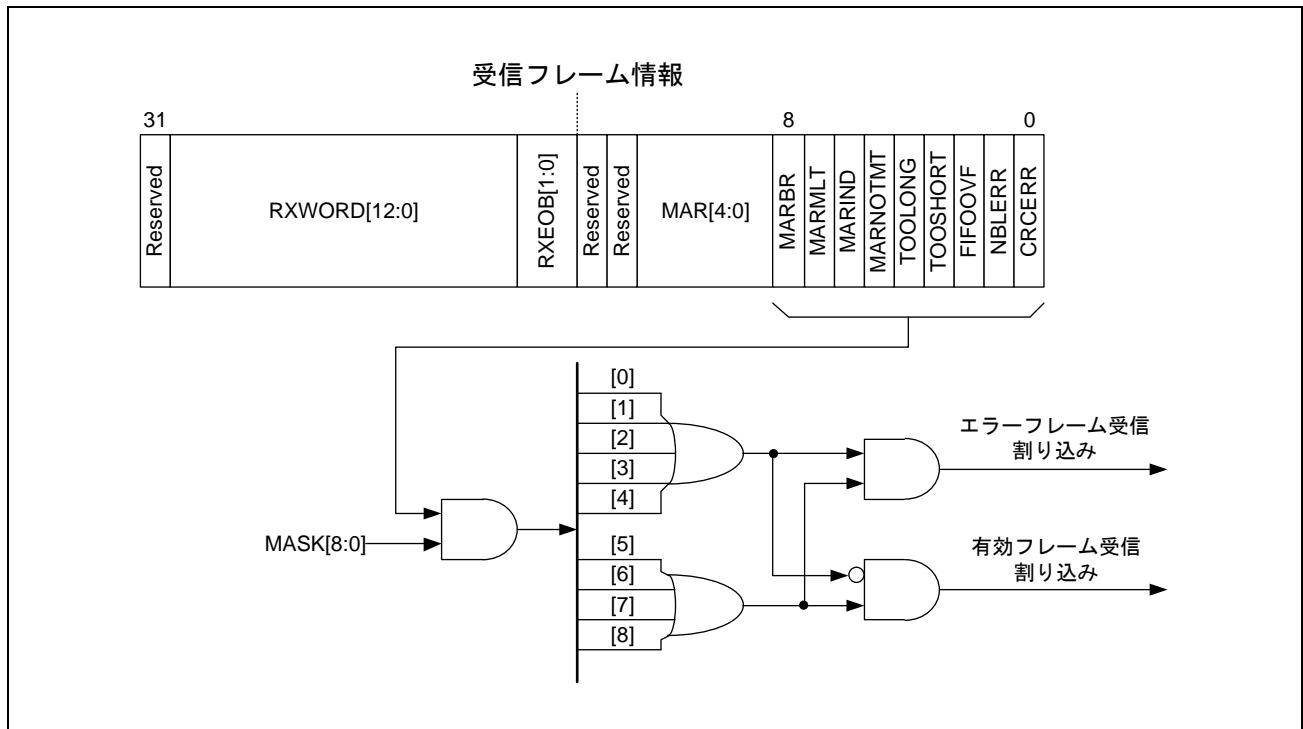


図 3.10 受信フレームの有効/無効判定の概念図

(b) 使用方法

● バッファの読み出しと解放手順

受信データが入ったバッファは、使用後に必ず解放しなければなりません。その手順の例を以下に示します。

[バッファの読み出しと解放の例]

- (1) BUFID レジスタを読み出します。
- (2) BUFID から読み出したビット[27:16]を 16 ビット右シフトして、受信ワード数を取得します。
- (3) BUFID から読み出したビット[15:0]は、獲得したバッファの開始アドレスのビット[26:11]です。獲得したバッファの開始アドレスの各ビットは、以下のように構成されます。

[31:27] : 00001b

[26:11] : BUFID のビット[15:0]に相当

[10:0] : 常に 0

- (4) バッファの使用後、開始アドレスを引数として指定し、バッファ解放ファンクションコールを発行してバッファを解放します。

● エラー割り込みに対応する処理手順

エラー割り込みに対応する推奨処理手順の例を以下に示します。

HWFNC_MACDMA_RX_Errstat ファンクションコールで得られる値 (R0[7:0]) は、以後、エラー状態読み出し結果のビット[7:0]と呼びます。

- (1) エラー状態読み出し結果のビット[3]=1

MACDMA 受信を強制終了するファンクションコールが実行されました。

- (a) エラー状態読み出し結果のビット[0]=1 場合、(3) に進みます。

- (b) エラー状態読み出し結果のビット[2:0]に値 4 または 0 がある場合、割り込み要因は受信中の強制終了のため問題ありません。受信フレームはすべて廃棄され、BUFID に情報は書き

込まれないため、何も行われずに通常の処理に戻ります。受信 MAC FIFO には受信されたフレームデータが残っている可能性があります。そうしたデータは次回の受信開始前にハードウェアにより自動的に廃棄されます。

- (2) エラー状態読み出し結果のビット[2]=1
フレームサイズが 4096 ワード以上です。
 - (a) エラー状態読み出し結果のビット[0]=1 場合、(3)に進みます。
 - (b) 受信データはすべて格納されています。BUFID を読み出すことにより、開始アドレスが取得されます。
 - (c) 不要になったバッファは例（上記の「バッファの読み出しと解放手順」）として示された方法で解放されます。
 - (d) 通常の処理に戻ります。
- (3) エラー状態読み出し結果のビット[0]=1
バッファの残量が不足しています。
 - (a) エラー状態読み出し結果のビット[2]=1（受信フレームサイズが 4096 ワード以上）が同時に成立している場合、一時的にバッファ容量が不足していると考えられるため、何も行われません。
 - (b) バッファ容量が不足していると考えられる場合、空きを作成するためにバッファが解放されます。
 - (c) 通常の処理に戻ります。この間、受信フレームが失われている可能性があることに注意してください。

(c) ハードウェアファンクションコールの一覧

以下の表にハードウェアファンクションコールの一覧を示します。

ハードウェアファンクションコールの引数が無効な場合には、無効なシステムコールのエラーコードが戻り値レジスタ R0 に返されます。

ハードウェアファンクションコールの動作中に異常が発生した場合は、MACDMA 受信エラー割り込みが発生します。

表 3.35 HWFNC_MACDMA_RX_Enable

名称	HWFNC_MACDMA_RX_Enable	
機能	受信 MAC の DMA (FIFO からバッファメモリへのデータ転送) を有効にします。受信 DMAC が有効になっている場合、MAC 内の FIFO に受信フレームが収集されると、自動的に転送が開始します。また、このとき DMA が Get Buffer を実行するため自動的にバッファを獲得します。	
コマンドレジスタ		
SYSC[15:0]	5101h	
引数レジスタ		
R4[31:0]	未使用	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	予約ビット	常に 0
戻り値レジスタ		
R0[0]	結果	0 : 成功 1 : 無効なシステムコール ^{注1}
R0[28:1]	未使用	すべて 0
R0[29]	完了	0 : ハードウェアファンクションコール未了 1 : ハードウェアファンクションコール完了
R0[31:30]	未使用	すべて 0
R1[31:0]	未使用	すべて 0

注1. 無効でない状態（このファンクションコールがすでに実行されている状態）で、このハードウェアファンクションがコールされた場合、または受信中断後にバッファ返却／解除が動作している状態でこのハードウェアファンクションがコールされた場合、結果は無効なシステムコールとなります。

表 3.36 HWFNC_MACDMA_RX_Disable

名称		HWFNC_MACDMA_RX_Disable	
機能	受信 MAC の DMA を無効にします。 強制リセットが有効になっている場合、受信中のデータは廃棄され、受信情報は BUFID レジスタに格納されません。この時点で、バッファは自動的に解放されます。 強制リセットが無効になっている場合、バッファは自動的に解放されません。		
コマンドレジスタ			
SYSC[15:0]	5102h		
引数レジスタ			
R4[0]	強制リセット	0: 受信中の場合、このファンクションは無効 1: 受信 DMAC が有効になっている場合、受信中であるかどうかにかかわらず、このファンクションは無効（受信 DMAC は強制リセットされます） すでに受信 DMAC が無効になっている場合は何も行われません。	
R4[31:1]	未使用		
R5[31:0]	未使用		
R6[31:0]	未使用		
R7[31:0]	予約ビット		常に 0
戻り値レジスタ			
R0[1:0]	結果	00b: 成功 01b: 無効なシステムコール（バッファが使用中であるか、または受信が中断されます） 10b: 受信中のため、この機能を無効にすることはできません（強制リセットが有効になっている場合のみ） 11b: この機能はすでに無効になっています（強制リセットが有効になっている場合のみ）	
R0[28:2]	未使用		すべて 0
R0[29]	完了	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了	
R0[31:30]	未使用		すべて 0
R1[31:0]	未使用		すべて 0

表 3.37 HWFNC_MACDMA_RX_Control

名称	HWFNC_MACDMA_RX_Control	
機能	受信フレーム情報のビット[8:0]に対応する割り込み要因の許可/禁止を制御します。	
コマンドレジスタ		
SYSC[15:0]	510Bh	
引数レジスタ		
R4[8:0]	割り込み要因	各ビットに対応する割り込み要因の許可/禁止を制御します。 0 : 割り込み禁止 1 : 割り込み許可 (初期値)
R4[31:9]	未使用	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[0]	結果	0 : 成功 1 : 無効なシステムコール
R0[28:1]	未使用	すべて 0
R0[29]	完了	0 : ハードウェアファンクションコール未了 1 : ハードウェアファンクションコール完了
R0[31:30]	未使用	すべて 0
R1[31:0]	未使用	すべて 0

表 3.38 HWFNC_MACDMA_RX_Errstat

名称	HWFNC_MACDMA_RX_Errstat	
機能	受信 MACDMAC のエラー割り込み要因を取得します。	
コマンドレジスタ		
SYSC[15:0]	510Dh	
引数レジスタ		
R4[31:0]	未使用	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[3:0]	結果	[0] : バッファ獲得に失敗しました [1] : 常に 0 [2] : 受信データサイズが 4096 ワード (16KB) を超えています [3] : 強制リセット有効で HWFNC_MACDMA_Rx_Disable が発行された
R0[28:4]	未使用	すべて 0
R0[29]	完了	0 : ハードウェアファンクションコール未了 1 : ハードウェアファンクションコール完了
R0[31:30]	未使用	すべて 0
R1[31:0]	未使用	すべて 0

(3) 送信 MAC の DMA

(a) 使用方法

送信 MACDMA はディスクリプタを使用します。ディスクリプタはバッファメモリに配置されます。つまり、DMA を設定する前に、ソフトウェアはハードウェアファンクションコールを使用してディスクリプタ用のバッファを獲得する必要があります。このバッファはロングバッファでもショートバッファでもかまいません。また、一つのバッファに複数のディスクリプタが存在してもかまいません。

送信ディスクリプタの詳細を下図 (図 3.11) に示します。なお、ディスクリプタの開始アドレスは 64 ビット境界でなければなりません。64 ビット境界でない場合、ディスクリプタを使おうとすると、無効なシステムコールとなります。

ディスクリプタはアドレスと転送バイト数が 32 ビットずつ連続して形成されます。アドレス FFFF FFFFh はディスクリプタの最後を示します。ディスクリプタのアドレスフィールドは送信開始アドレスを示し、バイト数はそのアドレスから転送するバイト数を示します。

DMAC はディスクリプタの最初のアドレスとバイト数のペアを読み出し、指定されたデータを送信 MAC FIFO に書き込みます。その後、DMAC はディスクリプタの次のアドレスとバイト数のペアを読み出し、指定されたデータを送信 MAC FIFO に書き込みます。DMAC はこの処理をディスクリプタの最後 (FFFF FFFFh) まで繰り返します。

ディスクリプタの転送元開始アドレスはバイト単位で指定することが可能です。送信するデータのサイズはバイト単位で指定することが可能です。送信 FIFO のデータ書き込みポイントがワード境界でない場合、DMAC は自動的にパディングを挿入します。

送信 MACDMA は、ハードウェアファンクションコール HWFNC_MACDMA_TX_Start が発行されときに開始します。このファンクションコールの発行時、引数レジスタ R4 に送信ディスクリプタの開始アドレスを指定する必要があります。

なお、アドレスフィールドが FFFF FFFFh ではなく、かつディスクリプタのバイト数フィールドに 0 が指定された場合には、DMAC はアドレスフィールドを無視し、送信を実行しません。この場合、DMA は次のディスクリプタを読み出します。

アドレスフィールドが不正な場合 (たとえば、アドレスがバッファ領域外にある場合)、または転送バイト数が不正な場合 (たとえば、継続的なアクセスのためにバッファ領域がオーバーフローした場合)、MACDMA 送信エラー割り込みが発生します。

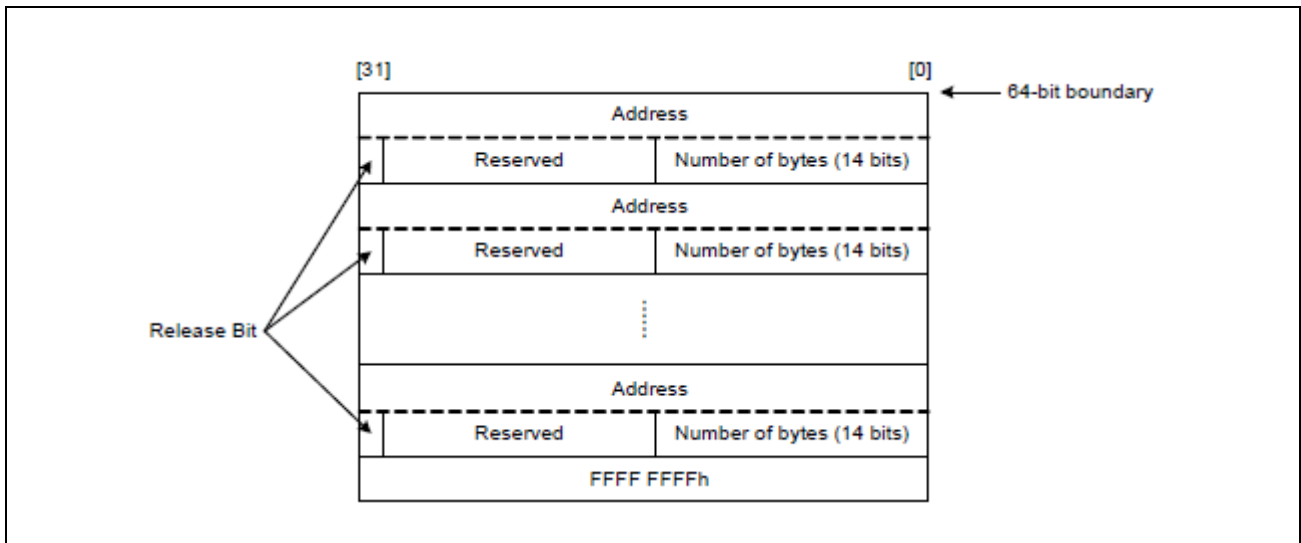


図 3.11 送信ディスクリプタ

(b) バッファの自動解放

送信ディスクリプタの解放ビットが 0 の場合、バッファの解放は行いません。

解放ビットが 1 の場合、送信完了後に、送信 MACDMAC はバッファ解放ファンクションコールを使用して、該当のディスクリプタで示される開始アドレスを持つバッファ領域から自動的にバッファを解放します。

(c) 動作例

下図は、送信 MACDMAC で使用するために複数のバッファを結合して送信する動作例です。

バッファ 1 およびバッファ 2 という 2 つの独立したバッファは、連続する 64 ビット境界アドレスに送信ディスクリプタを割り当てることにより、送信 MACDMA で結合して送信されます。

「未使用」と表示されている領域は、データがセグメントの途中で終わっている（つまり、128 バイト境界で終わっていない）ことを意味します。

転送時に、データの開始アドレスは必ずしもバッファの開始である必要はありません。

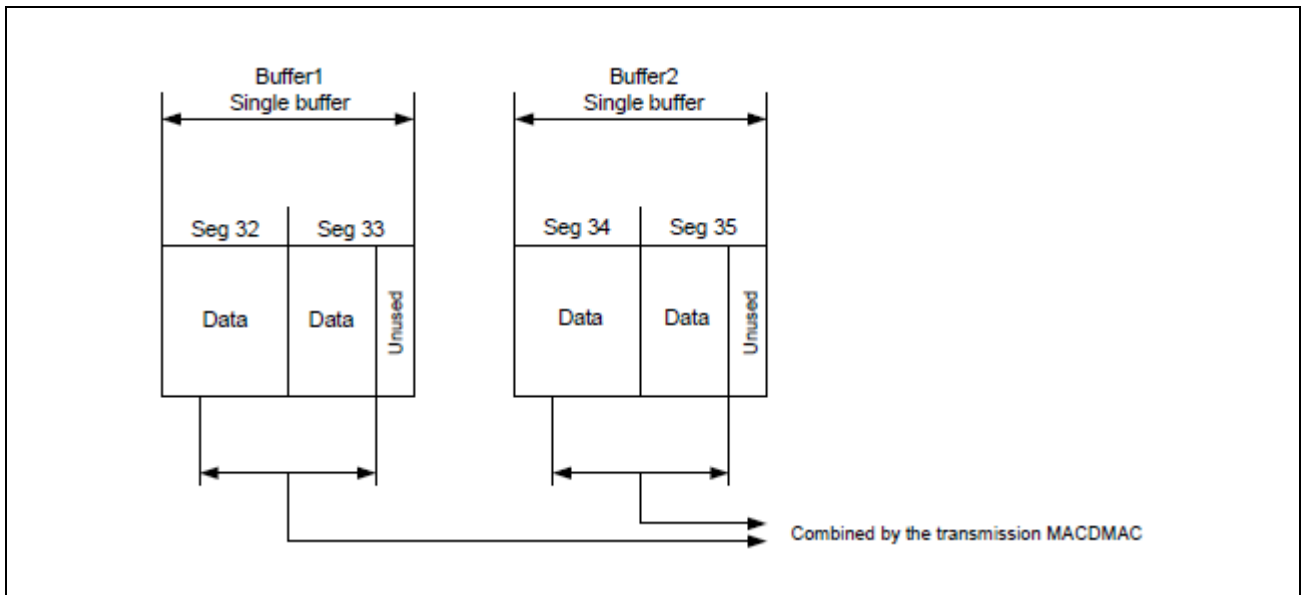


図 3.12 複数バッファを結合して1つのフレームとして送信する例

(d) ハードウェアファンクションコールの一覧

以下の表にハードウェアファンクションコールの一覧を示します。

ハードウェアファンクションコールの引数が無効な場合には、無効なシステムコールのエラーコードが戻り値レジスタ R0 に返されます。

ハードウェアファンクションコールの動作中に異常が発生した場合は、MACDMA 送信エラー割り込みが発生します。

表 3.39 HWFNC_MACDMA_TX_Start

名称	HWFNC_MACDMA_TX_Start	
機能	バッファメモリからイーサネット MAC の FIFO にデータを転送します。送信ディスクリプタの開始アドレスは R4 に設定されます。転送が終了すると、割り込みが発生します。一度に転送されるバイト数は 1~2048 バイトです。	
コマンドレジスタ		
SYSC[15:0]	5100h	
引数レジスタ		
R4[31:0]	ディスクリプタのアドレス	送信ディスクリプタのアドレス
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	予約ビット	常に 0
戻り値レジスタ		
R0[1:0]	結果	0 : 成功 1 : 無効なシステムコール
R0[28:2]	未使用	すべて 0
R0[29]	完了	0 : ハードウェアファンクションコール未了 1 : ハードウェアファンクションコール完了
R0[31:30]	未使用	すべて 0
R1[31:0]	未使用	すべて 0

表 3.40 HWFNC_MACDMA_TX_Errstat

名称		HWFNC_MACDMA_TX_Errstat
機能	送信 MACDMAC のエラー割り込み要因を取得します。	
コマンドレジスタ		
SYSC[15:0]	510Ch	
引数レジスタ		
R4[31:0]	未使用	
R5[31:0]	未使用	
R6[31:0]	未使用	
R7[31:0]	未使用	
戻り値レジスタ		
R0[1:0]	結果	[0]: メモリアクセス違反 (ディスクリプタのアドレスフィールドがバッファの範囲外、または転送バイト数が不正、またはディスクリプタが 64 ビット境界で設定されていない) [1]: メモリアクセスタイムアウト、または有効なディスクリプタが見つからない、またはバッファの自動解放エラー
R0[28:2]	未使用	すべて 0
R0[29]	完了	0: ハードウェアファンクションコール未了 1: ハードウェアファンクションコール完了
R0[31:30]	未使用	すべて 0
R1[31:0]	未使用	すべて 0

3.5.2.4 バッファ RAM DMA コントローラ

(1) 機能概要

バッファ RAM DMA コントローラは、バッファ RAM とデータ RAM 間またはバッファ RAM とバッファ RAM 間でデータを転送します。MAC DMAC で送信されるデータをバッファ RAM に転送したり、MAC DMAC で受信されたデータをデータ RAM に転送したりする場合に使用されます。

(2) DMA 転送

転送方式ごとにバッファ RAM DMA コントローラの制御方法を以下に説明します。

(a) バッファ RAM とデータ RAM 間の転送

バッファ RAM とデータ RAM 間の転送は、HWFNC_Direct_Memory_Transfer ハードウェアファンクションをコールすることで開始されます。ファンクションコール後は、R0 レジスタのビット 29 を読み出してファンクションコールの完了を確認してください。この時点で、DMA 転送は完了しています。

(b) バッファ RAM またはデータ RAM のデータ置換

ハードウェアファンクション HWFNC_Direct_Memory_Replace を実行することにより、バッファ RAM またはデータ RAM 内の領域を任意の 32 ビットデータパターンで上書きすることが可能です。

書き込む領域の開始と終了は 128 ビット境界でなければなりません。したがって、書き込むデータ量は 128 ビットの倍数である必要があります。ファンクションコール後は、R0 レジスタのビット 29 を読み出してファンクションコールの完了を確認してください。この時点で、データパターンの書き込みは完了しています。

(c) バッファ RAM からバッファ RAM への転送

ハードウェアファンクション HWFNC_INTBUFF_DMA_Start または HWFNC_INTBUFF_DMA_Start (ディスクリプタ) を実行することにより、バッファ RAM からバッファ RAM にデータを転送することが可能です。ファンクションコール後は、R0 レジスタのビット 29 を読み出してファンクションコールの完了を確認してください。ただし、この時点では DMA 転送は完了していません。バッファ間 DMA 転送完了割り込みによって DMA 転送の完了を確認してください。

(d) ハードウェアファンクションコールの一覧

以下の表にハードウェアファンクションコールの一覧を示します。

ハードウェアファンクションコールの引数が無効な場合には、無効なシステムコールのエラーコードが戻り値レジスタ R0 に返されます。

ハードウェアファンクションコールの動作中異常が発生した場合は、HWFNC_Direct_Memory_Transfer および HWFNC_Direct_Memory_Replace は例外コードを戻り値レジスタ R0 に返し、HWFNC_INTBUFF_DMA_Start および HWFNC_INTBUFF_DMA_Start (ディスクリプタ) は例外による割り込みが発生します。

表 3.41 HWFNC_Direct_Memory_Transfer

名称	HWFNC_Direct_Memory_Transfer	
機能	データ RAM からバッファ RAM に、またはバッファ RAM からデータ RAM にデータを転送します。バッファ RAM からバッファ RAM にデータを転送することはできません。バッファ RAM からバッファ RAM への転送には、HWFNC_INTBUFF_DMA_Start を使用します (ただし、データ RAM からデータ RAM へのデータ転送は可能です)。	
コマンドレジスタ		
SYSC[15:0]	5211h	
引数レジスタ		
R4[31:0]	転送元アドレス	転送元領域の開始アドレスを指定します。
R5[31:0]	転送先アドレス	転送先領域の開始アドレスを指定します。
R6[31:0]	転送サイズ	転送バイト数を指定します。
R7[31:0]	未使用	
戻り値レジスタ		
R0[1:0]	結果	00b : 成功 01b : 無効なシステムコール (バッファ RAM からバッファ RAM への転送が指定された) 10b : 例外の発生あり
R0[28:2]	未使用	すべて 0
R0[29]	完了	0 : ハードウェアファンクションコール未了 1 : ハードウェアファンクションコール完了
R0[31:30]	未使用	すべて 0
R1[31:0]	例外が発生したアドレス	例外が発生した場合、これは例外が発生したアドレスになります。その他の場合は、すべて 0 です。

表 3.42 HWFNC_Direct_Memory_Replace

名称	HWFNC_Direct_Memory_Replace	
機能	データ RAM またはバッファ RAM の指定されたメモリ領域を定義されたデータパターンに置き換えます。書き込みワード数は 4 ワード以上でなければなりません。	
コマンドレジスタ		
SYSC[15:0]	5212h	
引数レジスタ		
R4[31:0]	データパターン	書き込むデータパターンを指定します。
R5[31:0]	開始アドレス	書き込み先領域の開始アドレスを指定します。
R6[31:0]	ワード数	書き込むワード数を指定します。
R7[31:0]	未使用	
戻り値レジスタ		
R0[1:0]	結果	00b : 成功 01b : 無効なシステムコール 設定したアドレスがバイト単位で指定されたか、または転送ワード数の設定が 3 ワード以下です。 10b : 例外の発生あり
R0[28:2]	未使用	すべて 0
R0[29]	完了	0 : ハードウェアファンクションコール未了 1 : ハードウェアファンクションコール完了
R0[31:30]	未使用	すべて 0
R1[31:0]	例外が発生したアドレス	例外が発生した場合、これは例外が発生したアドレスになります。その他の場合は、すべて 0 です。

表 3.43 HWFNC_INTBUFF_DMA_Start

名称	HWFNC_INTBUFF_DMA_Start	
機能	バッファメモリ内でデータを転送します。転送元領域の開始アドレスは R4 に、転送先領域の開始アドレスは R5 に、転送バイト数は R6 に、それぞれ設定されます。転送が終了すると、割り込みが発生します。	
コマンドレジスタ		
SYSC[15:0]	5104h	
引数レジスタ		
R4[31:0]	転送元アドレス	転送元領域の開始アドレスを指定します。
R5[31:0]	転送先アドレス	転送先領域の開始アドレスを指定します。
R6[15:0]	転送バイト数	転送バイト数を指定します。
R6[31:16]	未使用	
R7[31:0]	予約ビット	常に 0
戻り値レジスタ		
R0[0]	結果	0 : 成功 1 : 無効なシステムコール
R0[28:1]	未使用	すべて 0
R0[29]	完了	0 : ハードウェアファンクションコール未了 1 : ハードウェアファンクションコール完了
R0[31:30]	未使用	すべて 0
R1[31:0]	未使用	すべて 0

表 3.44 HWFNC_INTBUFF_DMA_Start (ディスクリプタ)

名称	HWFNC_INTBUFF_DMA_Start (ディスクリプタ)	
機能	バッファメモリ内でデータを転送します。 転送が終了すると、割り込みが発生します。このファンクションには引数としてアドレスとサイズではなくディスクリプタが必要です。	
コマンドレジスタ		
SYSC[15:0]	5114h	
引数レジスタ		
R4[31:0]	転送元ディスクリプタの開始アドレス	転送元ディスクリプタの開始アドレスを指定します。
R5[31:0]	転送先ディスクリプタの開始アドレス	転送先ディスクリプタの開始アドレスを指定します。
R6[31:0]	未使用	
R7[31:0]	予約ビット	常に 0
戻り値レジスタ		
R0[0]	結果	0 : 成功 1 : 無効なシステムコール
R0[28:1]	未使用	すべて 0
R0[29]	完了	0 : ハードウェアファンクションコール未了 1 : ハードウェアファンクションコール完了
R0[31:30]	未使用	すべて 0
R1[31:0]	未使用	すべて 0

注 意

- ディスクリプタの構造は MACDMAC の場合と同じですが、このファンクションはバッファを自動的に解放しません。
- 転送元ディスクリプタと転送先ディスクリプタで、書き込まれる転送サイズが異なる場合、転送元ディスクリプタ側が優先されます。転送元と転送先でサイズ指定が異なる場合は、以下のような動作になります。
 - － 転送元ディスクリプタの転送サイズ < 転送先ディスクリプタの転送サイズ → 転送元ディスクリプタのサイズが問題なく使用されます。
 - － 転送元ディスクリプタの転送サイズ > 転送先ディスクリプタの転送サイズ → 例外が発生する可能性があります。

3.5.3 割り込み

イーサネット MAC により発生する割り込みを以下に説明します。

表 3.45 送信動作に関する割り込み

割り込み名称	シンボル	割り込みをアサートおよびデアサートする条件
TX FIFO アンダーフロー	HWRTOS_ETHTFIU_Int	本割り込みは、ディスクリプタと送信フレーム制御情報で指定された送信サイズが異なる場合に発生します。この時点で、送信は行われません。ディスクリプタと送信フレーム情報の設定を修正し、再度送信を行ってください。 本割り込みはパルスとして発生するため、割り込み要因をデアサートする必要はありません。
TX FIFO エラー割り込み	HWRTOS_ETHTFIE_Int	本割り込みは、GMAC_TXID/GMAC_TXRESULT レジスタが最大個数（4 個）の情報を保持している状態で、さらに情報が更新された場合に発生します。このエラーが発生した時点で、保持されている情報のうち最も古いものが上書きされることに注意してください。 GMAC_TXFIFO.TRBFR ビットの値が 0 になるまで GMAC_TXID/GMAC_TXRESULT レジスタを読み出すことにより、保持されている情報がクリアされて通常動作に戻ります。
MACDMA 送信エラー	HWRTOS_ETHDTIE_Int	本割り込みは、送信 MACDMA 動作中に異常が起きた場合に発生します。 エラー要因は複数あり HWFNC_MACDMA_TX_Errstat でエラー要因を取得します。送信ディスクリプタの設定などを修正後、再送信してください。 本割り込みはパルスとして発生するため、割り込み要因をデアサートする必要はありません。
MACDMA 送信完了	HWRTOS_ETHDMAIT_Int	本割り込みは、バッファ RAM から送信 MAC FIFO への DMA 転送が完了した場合に発生します。この時点で、DMA 転送は完了していますが、送信 MAC の送信はまだ完了していません。 本割り込みはパルスとして発生するため、割り込み要因をデアサートする必要はありません。
送信完了割り込み	HWRTOS_ETHIT_Int	本割り込みは、送信 MAC による通信動作が完了した場合に発生します。 本割り込みはパルスとして発生するため、割り込み要因をデアサートする必要はありません。

表 3.46 受信動作に関する割り込み

割り込み名称	シンボル	割り込みをアサートおよびデアサートする条件
MACDMA 受信完了	HWRTOS_ETHDMAIR_Int	本割り込みは、受信 MACDMA 動作が正常に完了した場合に発生します。 BUFID レジスタの受信情報が空になるまでアクティブのままです。 割り込み要因は、BUFID が読み出されて空になった場合にデアサートされます。
MACDMA 受信エラー	HWRTOS_ETHDRIE_Int	本割り込みは、受信 MACDMAC 動作時にエラーが発生したことを示します。 複数のエラー要因を示す場合があるため、HWFNC_MACDMA_RX_Errstat を使用して正確なエラー要因を取得します。 本割り込みはパルスとして発生するため、割り込み要因をデアサートする必要はありません。
MACDMA 有効フレーム受信完了	HWRTOS_ETHRFI_Int	本割り込みは、受信 MACDMAC による動作が正常に終了し、かつ受信フレームが有効である場合に発生します。受信フレーム情報を参照することにより、割り込み要因を特定することが可能です。 BUFID レジスタの受信情報が空になるまでアクティブのままです。 割り込み要因は、BUFID が読み出されて空になった場合にデアサートされます。
MACDMA エラーフレーム受信完了	HWRTOS_ETHRFE_Int	本割り込みは、受信 MACDMAC による動作が正常に終了し、かつ受信フレームにエラーがある場合に発生します。 受信フレーム情報を参照することにより、割り込み要因を特定することが可能です。 BUFID レジスタの受信情報が空になるまでアクティブのままです。 割り込み要因は、BUFID が読み出されて空になった場合にデアサートされます。
RX FIFO オーバーフロー	HWRTOS_ETHRFIV_Int	本割り込みは、バッファに十分な空きがない状態でデータが受信された場合に発生します。 本エラーが発生した場合、すでに受信データが廃棄されている可能性があります。正常な状態に戻すには、バッファを解放します。 本割り込みはパルスとして発生するため、割り込み要因をデアサートする必要はありません。

表 3.47 その他の動作に関する割り込み

割り込み名称	シンボル	割り込みをアサートおよびデアサートする条件
MII マネージメントアクセス完了割り込み	HWRTOS_ETHMMAI_Int	本割り込みは、MII マネージメントバスからの読み出しまたは MII マネージメントバスへの書き込みが完了した場合に発生します。本割り込みはパルスとして発生するため、割り込み要因をデアサートする必要はありません。
ポーズパケット送信完了	HWRTOS_ETHPPIT_Int	本割り込みは、PAUSE パケットレジスタによる送信が完了した場合に発生します。本割り込みはパルスとして発生するため、割り込み要因をデアサートする必要はありません。
バッファ間 DMA 転送完了	HWRTOS_BUFDMA_Int	本割り込みは、バッファ RAM 間の DMA 転送が完了した場合に発生します。 本割り込みはパルスとして発生するため、割り込み要因をデアサートする必要はありません。
バッファ間 DMA 転送エラー	HWRTOS_BUFDMAERR_Int	本割り込みは、バッファ RAM 間の転送中に、割り当てられていないバッファ領域に DMA アクセスが到達した場合に発生します。 本割り込みはパルスとして発生するため、割り込み要因をデアサートする必要はありません。
バッファ RAM エリアアクセスエラー	HWRTOS_BRAMERR_Int	本割り込みは、獲得されていないバッファ領域に CPU がアクセスした場合に発生します。 本割り込みはパルスとして発生するため、割り込み要因をデアサートする必要はありません。

3.5.4 イーサネットフレーム送信機能

本項では、イーサネットフレームの送信について説明します。イーサネット MAC の場合、イーサネットフレームは以下のシーケンスで送信されます。

- (1) 初期設定（「3.5.1 初期設定」を参照）
- (2) 送信バッファの獲得
- (3) 送信フレーム制御情報の作成
- (4) イーサネットフレームデータの作成
- (5) 送信ディスクリプタの作成
- (6) HWFNC_MACDMA_TX_Start コマンド実行により DMA 起動
- (7) 送信ディスクリプタに従ってバッファ RAM から TX FIFO へ DMA 転送
- (8) 送信データに含まれる送信フレーム制御情報に従って、MAC がイーサネット送信を開始
- (9) 送信完了割り込みの発生
- (10) ステータスチェックなど、送信完了後の処理
- (11) 送信バッファの解放（任意）

上記の手順について、以降の各項で説明します。

3.5.4.1 送信バッファの獲得

HWFNC_LongBuffer_Get コールにより、送信バッファを獲得します。

3.5.4.2 送信データの作成

送信フレーム制御情報フォーマットを以下に示します。送信ディスクリプタは、このフレームの開始アドレス指します。

ギガビットイーサネット MAC (HW-RTOS GMAC) では、通常のイーサネットフレームデータの前に 64 ビットの送信フレーム制御情報を付加することで、送信フレームサイズや各種制御の指示を行います。

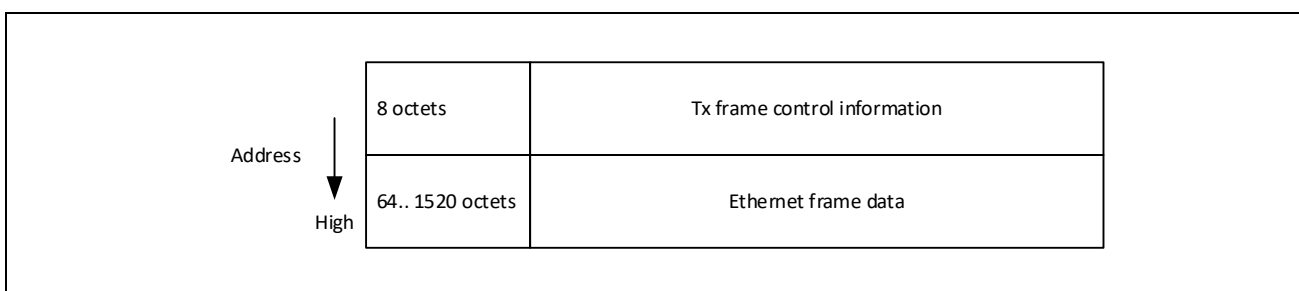


図 3.13 TX データフォーマット

注 意

TX データが上記のフォーマットに準拠していることを確認してください。

(1) 送信フレーム制御情報

RMTAGCTRL.MGMT_ENB=1 の場合、送信フレーム制御情報は以下のようになります。

表 3.48 送信フレーム制御情報フォーマット (RMTAGCTRL.MGMT_ENB=1)

		31	30	...	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
TX フレーム制御情報		TX_WORD[12:0]			TX_EOB[1:0]		指定された PRP シーケンス番号の使用	PRP トレーラ附加の強制	PRP トレーラ附加の抑止	one-step 訂正フィールドの更新	送信タイムスタンプ	予約ビット (常に0)	強制転送 (フィルタリングを含む)	強制転送	予約ビット (常に0)	TCPIP ACC OFF	ITAG	ICRC	APAD	予約ビット (常に0)				0
		制御データ 2 [31:16] (RCT の SEQ ID)						予約ビット			制御データ 2 [3:0] (ポート [3:0])			フレーム ID [7:0]						1				

RMTAGCTRL.MGMT_ENB=0 の場合、送信フレーム制御情報は以下のようになります。

表 3.49 送信フレーム制御情報フォーマット (RMTAGCTRL.MGMT_ENB=0)

		31	30	...	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
TX フレーム制御情報		TX_WORD[12:0]			TX_EOB[1:0]		予約ビット (常に0)										TCPIP ACC OFF	ITAG	ICRC	APAD	予約ビット (常に0)				0
		フレーム ID [31:0]																							1

送信フレーム制御情報のフィールドを以下に説明します。

表 3.50 送信フレーム制御情報

フィールド名	機能
TX_WORD[12:0]	送信イーサネットフレームのワード数。最終ワード内で有効なバイト数は TX_EOB[1:0] で指示されます。
TX_EOB[1:0]	このフレームの最終ワード内で有効なオクテット数 00b : 1 バイト有効 01b : 2 バイト有効 10b : 3 バイト有効 11b : 4 バイト有効
RCT の SEQ ID ^{注1}	「指定された PRP トレーラシーケンス番号の使用」ビットが 1 の場合、冗長制御トレーラ (RCT) の付加時に使用される 16 ビットシーケンス番号。それ以外の場合は予約ビットです。
ポート[3] ^{注1}	イーサネットスイッチの強制転送機能はポート 3 で許可されます。
ポート[2] ^{注1}	イーサネットスイッチの強制転送機能はポート 2 で許可されます。
ポート[1] ^{注1}	イーサネットスイッチの強制転送機能はポート 1 で許可されます。
ポート[0] ^{注1}	イーサネットスイッチの強制転送機能はポート 0 で許可されます。
指定された PRP トレーラシーケンス番号の使用 ^{注1}	RCT の付加が RCT の SEQ ID で見つかったときに使用されるフレームのシーケンス番号を示します。本ビットは、PRP トレーラ付加の強制=1 の場合のみ有効です。それ以外の場合、本ビットは無視されます。
PRP トレーラ付加の強制 ^{注1}	PRP グループに定義されたポートでフレームを送信するときに、トランスミッタが冗長制御トレーラ (RCT) を付加する必要があることを示します。本ビットは、PRP トレーラ付加の抑止=0 の場合のみ有効です。それ以外の場合、本ビットは無視されます。
PRP トレーラ付加の抑止 ^{注1}	PRP グループに定義されたポートでフレームを送信する (つまり、RedBox 機能をバイパスする) ときに、冗長制御トレーラ (RCT) を追加するスイッチを抑止します。通常のポートで送信が発生した場合、本ビットは有効ではありません。
one-step 訂正フィールドの更新 ^{注1}	有効になっている場合、フレームの訂正フィールドは送信時に送信タイムスタンプから減算され、その結果で置き換えられます。
送信タイムスタンプ ^{注1}	送信フレームのタイムスタンプ機能は、イーサネットスイッチの使用時に有効になります。
強制転送 (フィルタリングを含む) ^{注1}	強制転送とともに設定された場合、転送先ポートマスクの通常のフィルタリングが適用されます (つまり、無効なポートはリストから削除されます)。0 の場合、フレームは無効なポートにも転送されます。 備考) これは BPDU フレームのみに適用されます。通常のフレームは常にフィルタリングされます (つまり、無効なポートに送信することはできません)。
強制転送 ^{注1}	イーサネットスイッチの強制転送機能が有効になります。この機能が有効になっている場合、スイッチのフィルタ設定に関係なく指定ポートからフレームが出力されます。
TCPIP ACC OFF	1 : TCPIP アクセラレータを無効 0 : TCPIP アクセラレータを有効
ITAG	このフレームに VLAN タグが含まれていることを示します。
ICRC	FIFO に書き込まれたフレームはすでに CRC に含まれていることを示します。本ビットがセットされた場合、APAD は無視されます。
APAD	フレーム長が 64 オクテットに満たない場合にそのフレームは自動的にパディングされることを示します。
フレーム ID[31:0]	フレーム識別子を指定します。

注1. これらの機能を利用できるのは、イーサネットスイッチマネージメントタグコントロールレジスタ (RMTAGCTRL および MGMT_TAG_CONFIG) によりマネージメントタグの挿入が許可されている場合のみです。マネージメントタグの挿入が許可されていない場合には、これらのフィールドは無効になります。

TX_WORD[12:0]と TX_EOB[1:0]を結合して TX_LENGTH[14:0] (15 ビット) とした場合、イーサネットフレームサイズ (バイト単位) に基づいて TX_LENGTH[14:0]を以下の式で算出することが可能です。
TCPIPACC パッドサイズは、送信 TCPIPACC が有効 (GMAC_ACC.TTCPIPEN=1) の場合は2、無効の場合は0です。

$$TX_LENGTH [14:0] = (TX \text{ frame size} - TCPIPACC \text{ Pad Size} + 3)(\text{bytes})$$

(2) イーサネットフレーム

送信イーサネットフレームデータフォーマットとフィールドの機能を以下に示します。

表 3.51 送信イーサネットフレーム

フィールド名	機能
宛先 MAC アドレス	宛先の MAC アドレス
送信元 MAC アドレス	送信元の MAC アドレス
タイプ/長さ	イーサネットのタイプまたは長さ
TPID	タグプロトコル識別子。本フィールドは、VLAN タグが含まれている場合に利用することが可能です。
VLAN 情報	タグ制御情報。本フィールドは、VLAN タグが含まれている場合に利用することが可能です。
フレームペイロード	ペイロード

(a) 送信 TCPIP アクセラレータが有効の場合

送信 TCPIP アクセラレータ機能が有効 (GMAC_ACC.TTCPIPEN=1) の場合、イーサネットフレームデータではタイプ/長さフィールドとペイロードの間に2バイトのパディングが必要です。

表 3.52 送信イーサネットフレームデータフォーマット — TCPIPACC 有効、VLAN タグなし

	31	30	...	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
データフレームフォーマット	宛先 MAC アドレス (6バイト)																				2		
	送信元 MAC アドレス (6バイト)																				3		
	パディング (2バイト)										タイプ/長さ (2バイト)										4		
	フレームペイロード (最大 1500 バイト)																				5		
																					6 : : N		

表 3.53 送信イーサネットフレームデータフォーマット — TCPIPACC 有効、VLAN タグあり

		31	30	...	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
イーサネットフレームデータ		宛先 MAC アドレス (6 バイト)																				2		
		送信元 MAC アドレス (6 バイト)																				3		
		宛先 MAC アドレス (6 バイト)																				4		
		パディング (2 バイト)										TPID (2 バイト)										5		
		タイプ/長さ (2 バイト)										VLAN 情報 (2 バイト)										6		
		フレームペイロード (最大 1500 バイト)																						7 : : N

注 意

パディング (2 バイト) は任意の値にすることが可能です。

パディング (2 バイト) はイーサネットフレームの指定サイズ (TX_WORD[12:0], TX_EOB[1:0]) には含まれません。

(b) 送信 TCPIP アクセラレータが無効の場合

送信 TCPIP アクセラレータ機能が無効 (GMAC_ACC.TCPIPEN=0) の場合のイーサネットフレームデータフォーマットを以下に示します。

表 3.54 送信イーサネットフレームデータフォーマット — TCPIPACC 無効、VLAN タグなし

		31	30	...	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
イーサネットフレームデータ		宛先 MAC アドレス (6 バイト)																				2	
		送信元 MAC アドレス (6 バイト)																				3	
		タイプ/長さ (2 バイト)																				4	
		タイプ/長さ (2 バイト)																				5	
		フレームペイロード (最大 1500 バイト)																				6 : : N	

表 3.55 送信イーサネットフレームデータフォーマット — TCPIPACC 無効、VLAN タグあり

		31	30	...	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
イーサネットフレームデータ		宛先 MAC アドレス (6 バイト)																				2	
		送信元 MAC アドレス (6 バイト)																				3	
		送信元 MAC アドレス (6 バイト)																				4	
		VLAN 情報 (2 バイト)				TPID (2 バイト)																5	
		タイプ/長さ (2 バイト)																				6	
		フレームペイロード (最大 1500 バイト)																				7 : : N	

3.5.4.3 送信ディスクリプタの作成

送信 MAC 用 DMA コントローラが使用するディスクリプタを以下に示します。

ディスクリプタの作成後に、送信 DMA を起動することにより送信動作が開始します。

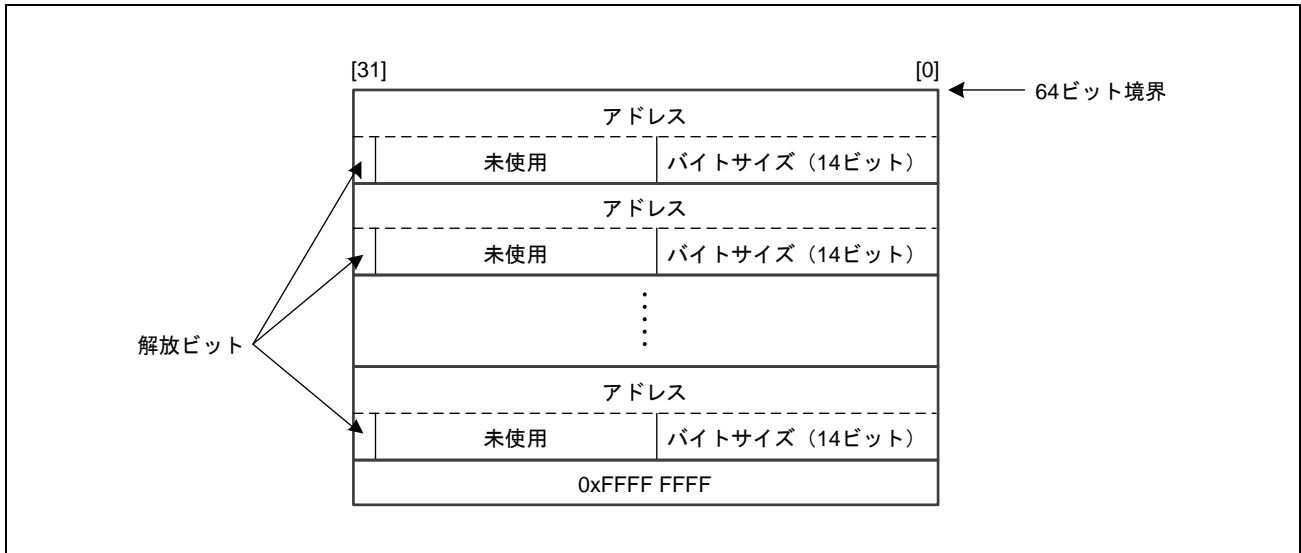


図 3.14 TX ディスクリプタフォーマット

ディスクリプタの開始アドレスは 64 ビット境界 ([2:0]=0) でなければなりません。64 ビット境界でない場合、戻り値レジスタ R0 にエラーが格納されます。

ディスクリプタはアドレスと転送バイト数が 32 ビットずつ連続して形成されます。アドレス FFFF FFFFh はディスクリプタの最後を示します。ディスクリプタのアドレスフィールドは送信開始アドレスを示し、バイト数はそのアドレスから転送するバイト数を示します。DMAC はディスクリプタの最初のアドレスとバイト数のペアを読み出し、指定されたデータを送信 MAC FIFO に書き込みます。その後、DMAC はディスクリプタの次のアドレスとバイト数のペアを読み出し、指定されたデータを送信 MAC FIFO に書き込みます。DMAC はこの処理をディスクリプタの最後 (FFFF FFFFh) まで繰り返します。

ディスクリプタの転送元開始アドレスはバイト単位で指定することが可能です。送信するデータのサイズはバイト単位で指定することが可能です。送信 FIFO のデータ書き込みポイントがワード境界でない場合、DMAC は自動的にパディングを挿入します。

送信 MACDMAC は、「送信動作の開始」がハードウェアファンクションコールとして発行された場合に開始します。このファンクションコールの発行時、送信ディスクリプタの開始アドレスを R4 レジスタに指定する必要があります。

なお、アドレスフィールドが FFFF FFFFh ではなく、かつディスクリプタのバイト数フィールド (14 ビット) に 0 が指定された場合には、DMAC はアドレスフィールドを無視し、送信を実行しません。この場合、DMAC は次のディスクリプタを読み出します。

アドレスフィールドが不正な場合 (たとえば、アドレスがバッファ領域外にある場合)、または転送バイト数が不正な場合 (たとえば、継続的なアクセスのためにバッファ領域がオーバーフローした場合)、エラー割り込みが発生します。

解放ビットが 1 の場合、送信完了後に、送信 MACDMAC はバッファ解放ファンクションコールを使用して、該当のディスクリプタで示される開始アドレスを持つバッファ領域から自動的にバッファを解放します。解放ビットが 0 の場合、バッファの解放は行いません。

3.5.4.4 送信の開始

HWFNC_MACDMA_TX_Start コールにより、送信を開始します。

3.5.4.5 送信の完了

DMA 転送が完了するとイーサネット MACDMA 送信完了割り込みが発生し、MAC の送信が完了するとイーサネット送信完了割り込みが発生します。

すでに獲得した送信バッファを次の送信に再利用する場合は、送信バッファの獲得は不要です。

3.5.5 イーサネットフレーム受信機能

本項では、イーサネットフレームの受信について説明します。イーサネット MAC の場合、イーサネットフレームは以下のシーケンスで受信されます。

- (12) 初期設定（「3.5.1 初期設定」を参照）
- (13) 受信 MAC の有効化
- (14) 受信 DMA の有効化
- (15) フレームの受信とバッファの取得
- (16) 受信完了割り込み発生
- (17) 受信バッファ情報の取得
- (18) 受信バッファ情報のフレームステータスをチェック
- (19) イーサネットフレームデータの取得
- (20) 受信バッファの解放

3.5.5.1 受信 MAC の有効化

受信許可レジスタ（GMAC_RXMAC_ENA）を 1 にし、受信 MAC を有効にします。

3.5.5.2 受信 DMA の有効化

HWFNC_MACDMA_RX_Enable コールにより、受信 DMA を有効にします。

3.5.5.3 フレームの受信とバッファの取得

フレーム受信が発生すると、受信 DMA コントローラは自動的に HWFNC_LongBuffer_Get コールを起動することにより受信バッファを取得します。

3.5.5.4 受信バッファ情報の取得

受信完了割り込みが発生した後、受信データ用のバッファのアドレスとサイズを取得するために、受信バッファ情報レジスタ（BUFID）を読み出します。

アドレスを参照すると、受信フレーム情報とイーサネットフレームデータを取得します。

受信データのフォーマットについては、次項を参照してください。

3.5.5.5 受信データのフォーマット

ギガビットイーサネット MAC でフレームを受信する場合、フレームデータの後ろに 64 ビットの受信フレーム情報が付加されます。この情報は、イーサネットフレームのサイズ、エラーなど、受信のステータスを示します。

受信フレーム情報は 64 ビット境界から始まるため、イーサネットフレームに続くパディングのサイズはフレームサイズに応じて変化します。

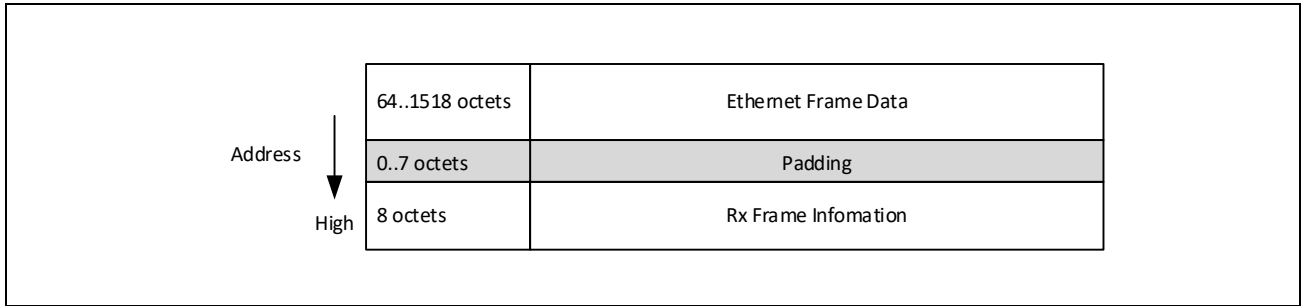


図 3.15 受信データフォーマット

(1) 受信フレーム情報

受信フレーム情報に含まれる各フィールドの配置と説明を以下に示します。

表 3.56 受信フレーム情報

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
受信フレーム情報 (ワードアドレス: N ~ (N+2))	予約ビット (常に0)															RX_WORD[12:0]										RX_EOB[1:0]		予約ビット (常に0)		予約ビット (常に0)		MAR[4:0]				MARBR	MARMLT	MARIND	MARNOTMT	TOOLONG	TOOSHORT	FIFOOVF	NBLERR	CRCERR
	SESSION_ID[15:0]															予約ビット (常に0)		予約ビット (常に0)		予約ビット (常に0)		予約ビット (常に0)		予約ビット (常に0)		MARSTAT[2:0]				IPNG	TCPNG	IPV6NG	OUT_OF_LIST	TYPEIP	MAACL	PPPOE	VTAG							

表 3.57 受信フレーム情報 (1/2)

フィールド名	機能
SESSION_ID[15:0]	本フィールドが“1”の場合、PPPoE セッションステージのセッション ID を示します。
MARSTAT[2:0]	MARSTAT[2]: 本フィールドが“1”の場合、ブロードキャストアドレスを示します。 MARSTAT[1]: 本フィールドが“1”の場合、マルチキャストアドレスを示します。 MARSTAT[0]: 本フィールドが“1”の場合、個別アドレスを示します。
IPNG ^{注2}	本フィールドが“1”の場合、IPv4 ヘッダのチェックサムが TCPIP アクセラレータの計算結果と合わないことを示します。
TCPNG ^{注2}	本フィールドが“1”の場合、TCP ヘッダまたは UDP ヘッダのチェックサムが TCPIP アクセラレータの計算結果と合わないことを示します。
IPV6NG ^{注2}	本フィールドが“1”の場合、IPv6 拡張ヘッダの解析がルーティング、ホップバイホップ、または Destination Opt であり、かつ、ヘッダ長フィールドの値が不正であることを示します。
OUT_OF_LIST ^{注2}	IPv6 の使用時に本フィールドが“1”の場合、拡張ヘッダで下記以外のプロトコル番号が検出されたことを示します。 0x06 (TCP ヘッダ) 0x11 (UDP ヘッダ) 0x00 (ホップバイホップ) 0x3C (Destination Opt) 0x2C (フラグメント) 0x2B (ルーティング) 0x3B (ノーネクストヘッダ) 0x32 (ESP ヘッダ) 0x33 (AH ヘッダ)
TYPEIP ^{注2}	本フィールドが“1”の場合、IP パケットが受信されたことを示します。
MAACL ^{注2}	本フィールドが“1”の場合、802.3 (LLC/SNAP) パケットが受信されたことを示します。
PPPOE ^{注2}	本フィールドが“1”の場合、PPPoE パケットが受信されたことを示します。
VTAG ^{注2}	本フィールドが“1”の場合、VTAG を含むパケットが受信されたことを示します。
RX_WORD[12:0]	イーサネットフレームワード数

表 3.57 受信フレーム情報 (2/2)

フィールド名	機能
RX_EOB[1:0]	このフレームの最後のワード内で有効なバイト数を示します ^{注1} 00b : 1 バイト有効 01b : 2 バイト有効 10b : 3 バイト有効 11b : 4 バイト有効
MAR[4:0]	MAR[4:1] : 未使用 (0 固定) MAR[0] : PAUSE パケットの宛先アドレスが受信されたことを示します。
MARBR	本フィールドが“1”の場合、受信フレームがブロードキャストアドレスであることを示します。
MARMLT	本フィールドが“1”の場合、受信フレームがマルチキャストアドレスであることを示します。
MARIND	本フィールドが“1”の場合、受信フレームが MAC アドレスレジスタに登録されたアドレスからのパケットであることを示します。
MARNOTMT	受信フレームが本ステーション向けアドレスでない場合、本フィールドは“1”になります。
TOOLONG	本フィールドが“1”の場合、受信フレームが最大フレーム長 (1518 オクテット) より長いことを示します。 マネージメントタグの挿入を許可している場合、8 バイトのタグがイーサネットフレームに挿入されます。したがって、この場合には受信フレーム長が 1510 オクテットより長いと本フィールドが“1”になります。
TOOSHORT	本フィールドが“1”の場合、受信フレームが最小フレーム長 (64 オクテット) より短いことを示します。TOOSHORT パケットは自動的に廃棄されるため、本 MAC では TOOSHORT が“1”のパケットを受信することはありません。
FIFOOVF	本フィールドが“1”の場合、フレーム受信中に RX FIFO バッファがオーバーフローしたことを示します。本ビットがセットされると、受信データは無効になる可能性があります。
NBLERR	本フィールドが“1”の場合、受信フレーム内のワードにエラー (符号化エラーなど) があることを示します。
CRCERR	本フィールドが“1”の場合、受信フレームに CRC エラーがあることを示します。

注1. イーサネットフレームの FCS (4 バイト) および受信 TCP/IP アクセラレータ機能が挿入する MAC ヘッダのパディング (2 バイト) も受信バイト数に含まれます。

注2. 受信 TCP/IP アクセラレータが無効になっている場合、これらのフィールドは無効です。

RX_WORD[12:0]と RX_EOB[1:0]を結合して RX_LENGTH[14:0]とした場合 (RX_WORD[12:0]を上位ビット、RX_EOB[1:0]を下位ビットとして使用します)、受信フレームのバイト数は以下の式で計算することが可能です。

$$(\text{Number of receive bytes in the Ethernet frame}) = \text{RX_LENGTH} [14:0] - 3$$

【例】

- 受信データが 1 バイトの場合 → RX_WORD=0x1 RX_EOB=0x0 → 4-3=1 (バイト)
- 受信データが 8 バイトの場合 → RX_WORD=0x2 RX_EOB=0x3 → 11-3=8 (バイト)
- 受信データが 5 バイトの場合 → RX_WORD=0x2 RX_EOB=0x0 → 8-3=5 (バイト)
- 受信データが 9 バイトの場合 → RX_WORD=0x3 RX_EOB=0x0 → 12-3=9 (バイト)

(2) イーサネットフレーム

受信イーサネットフレームのデータフォーマットを以下に示します。

表 3.58 受信イーサネットフレームのデータフォーマット

項目	説明
宛先 MAC アドレス	宛先の MAC アドレス イーサネットスイッチ管理タグコントロールレジスタ (RMTAGCTRL) で、管理タグの挿入が許可されている場合には、管理タグ情報が格納されます。
送信元 MAC アドレス	送信元の MAC アドレス
TPID	タグプロトコル識別子。本フィールドは、VLAN タグが含まれている場合に利用することが可能です。
VLAN 情報	タグ制御情報。本フィールドは、VLAN タグが含まれている場合に利用することが可能です。
タイプ/長さ	イーサネットのタイプまたは長さ
フレームペイロード	ペイロード
FCS	フレームチェックシーケンス 受信 TCP/IP アクセラレータ機能が有効で、受信パケットに TCP/UDP が含まれる場合には、FCS フィールドが TCP/UDP のチェックサムで上書きされます。このチェックサムは、フラグメント化された TCP/UDP パケットの合計チェックサム値の計算に利用できます。

(a) マネージメントタグの挿入が許可されている場合

イーサネットスイッチマネージメントタグコントロールレジスタ (RMTAGCTRL) で、マネージメントタグの挿入が許可されている場合、宛先 MAC アドレス[47:0]のフィールドは以下のように使用されます。

表 3.59 宛先 MAC アドレスフィールド (マネージメントタグの挿入が許可されている場合)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
イーサネットフレーム	タイムスタンプ[31:0]																送信元アドレス[15:0]							宛先アドレス[7:0]							ポート番号[3:0]			MAC 追加エントリ[3:0]		

表 3.60 宛先 MAC アドレスフィールドの説明

項目	説明
タイムスタンプ[31:0]	フレームの受信タイムスタンプ
MAC 追加エントリ[3:0]	受信フレームに対応する MAC アドレスレジスタ (GMAC_ADR(n+1)A, GMAC_ADR(n+1)B, n = 0~15) のインデックス番号 例) 値=5 フレームの宛先アドレスは GMAC_ADR6A および GMAC_ADR6B の設定に対応します。
ポート番号[3:0]	フレームが受信されたポート番号
宛先 MAC アドレス	宛先の MAC アドレス
送信元 MAC アドレス	送信元の MAC アドレス

注 意

GMAC_RXMODE レジスタの AFILLTEREN ビットが 1 の場合、MAC 追加エントリフィールドが無効であるため、宛先 MAC アドレスの復元はできません。

(b) 受信 TCPIP アクセラレータが有効で、フレームに TCP/UDP パケットが含まれない場合

表 3.61 受信イーサネットフレームのフォーマット — TCPIPACC 有効、VLAN タグなし、TCP/UDP パケットなし

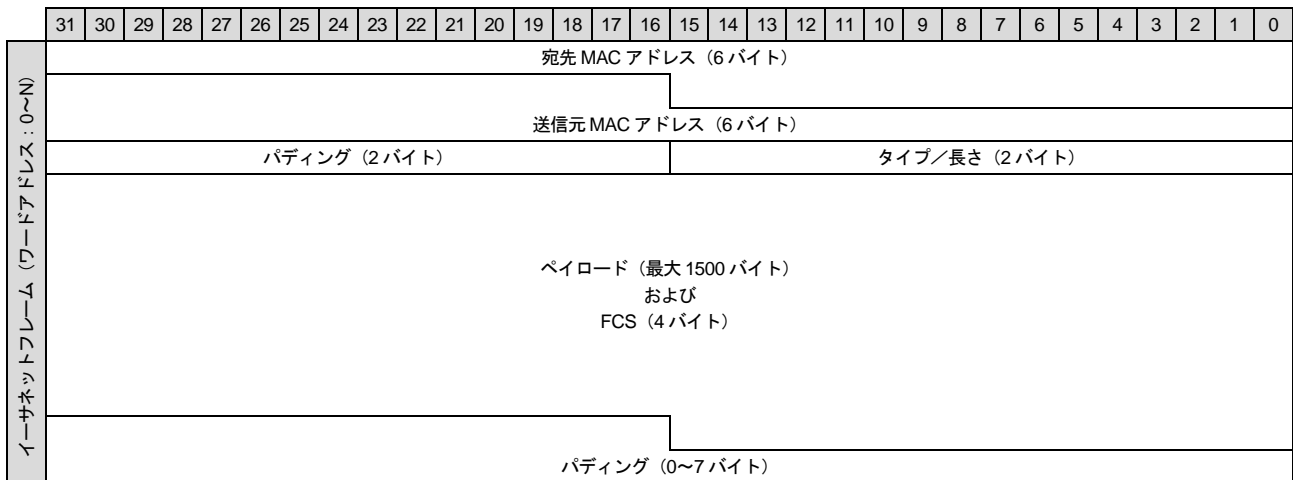
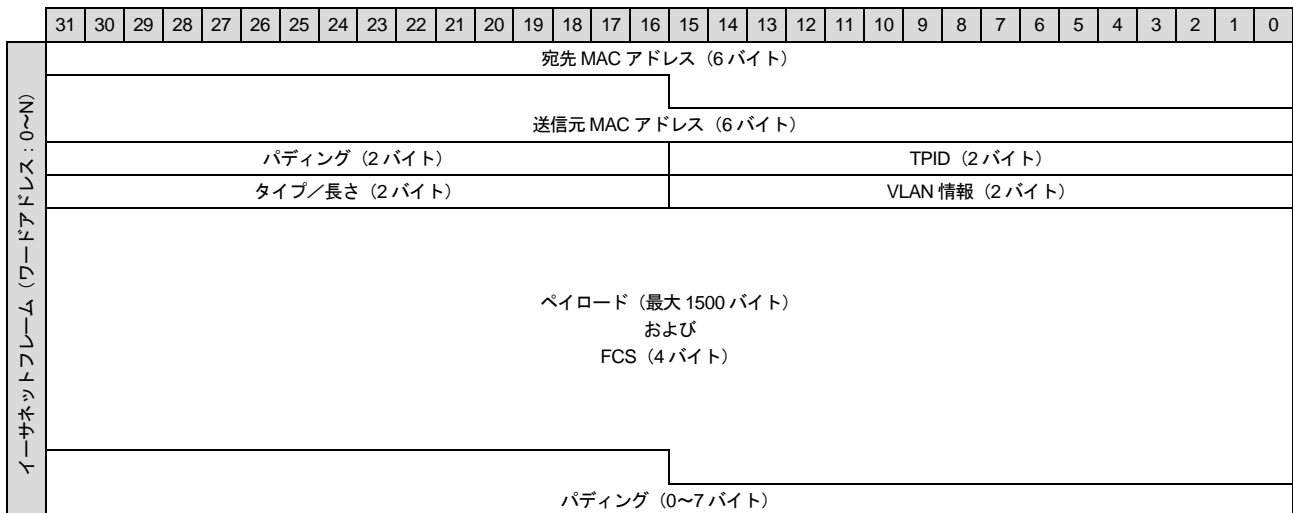


表 3.62 受信イーサネットフレームのフォーマット — TCPIPACC 有効、VLAN タグあり、TCP/UDP パケットなし



(c) 受信 TCPIP アクセラレータが有効で、フレームに TCP/UDP パケットが含まれる場合

表 3.63 受信イーサネットフレームのフォーマット — TCPIPACC 有効、VLAN タグなし、TCP/UDP パケットあり

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
イーサネットフレーム (ワードアドレス: 0~N)	宛先 MAC アドレス (6 バイト)																															
	送信元 MAC アドレス (6 バイト)																															
	パディング (2 バイト)															タイプ/長さ (2 バイト)																
	ペイロード (最大 1500 バイト)																															
	パディング (0~3 バイト)																					TCP/UDP チェックサム (2 バイト)										
	パディング (2 バイトまたは 6 バイト)																															

表 3.64 受信イーサネットフレームのフォーマット — TCPIPACC 有効、VLAN タグあり、TCP/UDP パケットあり

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
イーサネットフレーム (ワードアドレス: 0~N)	宛先 MAC アドレス (6 バイト)																															
	送信元 MAC アドレス (6 バイト)																															
	パディング (2 バイト)															TPID (2 バイト)																
	タイプ/長さ (2 バイト)															VLAN 情報 (2 バイト)																
	ペイロード (最大 1500 バイト)																															
	パディング (0~3 バイト)																					TCP/UDP チェックサム (2 バイト)										
パディング (2 バイトまたは 6 バイト)																																

(d) 受信 TCPIP アクセラレータが無効の場合

表 3.65 受信イーサネットフレームのフォーマット — TCPIPACC 無効、VLAN タグなし

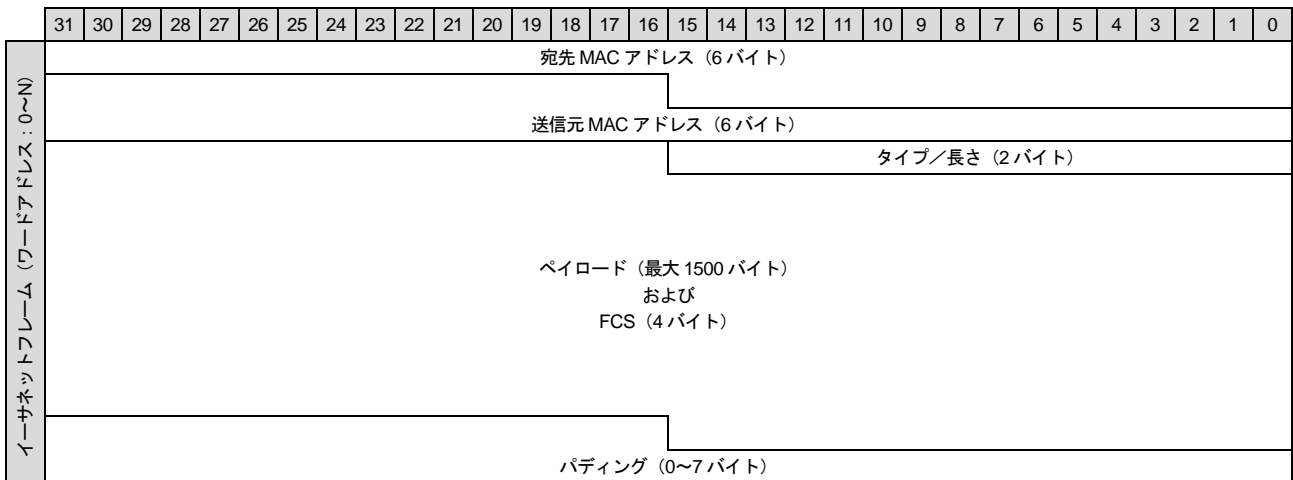
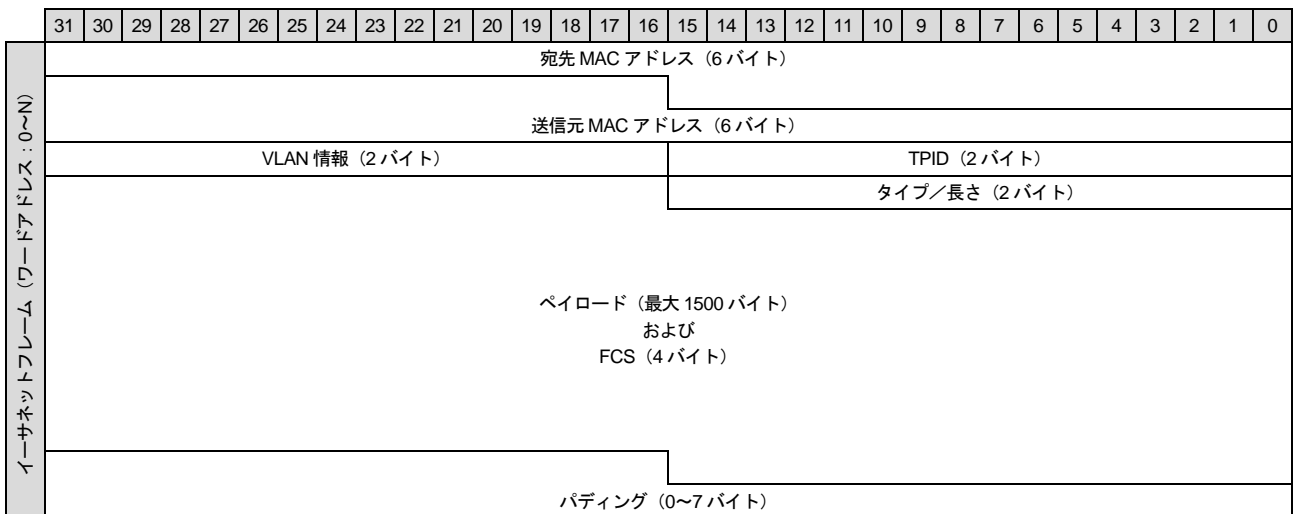


表 3.66 受信イーサネットフレームのフォーマット — TCPIPACC 無効、VLAN タグあり



3.5.6 TCPIP アクセラレータ機能

TCPIP アクセラレータ機能が有効になっている場合、パケットの送受信のチェックサムをハードウェアで計算することが可能です。チェックサム計算の対象となるのは、以下の3種類のプロトコルです。

- IPv4 ヘッダチェックサム
- TCP チェックサム
- UDP チェックサム

本項では、TCPIP アクセラレータを送受信に使用する方法を説明します。

(1) TCPIP アクセラレータによる送信

GMAC_ACC レジスタの TTCPIPEN ビットが1の場合、送信 TCPIP アクセラレータが有効になります。TCPIP アクセラレータが有効な状態で、IPv4、TCP/IP、または UDP/IP を含むパケットが送信された場合、ハードウェアが自動的にチェックサムを計算し、それをパケットのチェックサムフィールドに書き込みます。TCPIP アクセラレータでは、MAC ヘッダ内に2バイトのパディングが必要です。

また、送信フレーム制御情報の TCPIP ACC OFF フィールドが1の場合、パケットごとに送信 TCPIP アクセラレータ機能がオフに切り替えられます。

ハードウェアは、フラグメント化されたパケットの TCP/UDP チェックサムを計算しません。ソフトウェアでチェックサムを計算する必要があります。

GMAC_ACC レジスタの TTCPIPEN ビットが0の場合、送信 TCPIP アクセラレータが無効になります。

表 3.67 GMAC_ACC レジスタ設定と送信 TCPIP アクセラレータの動作

GMAC_ACC.TTCPIPEN	送信フレーム制御情報 TCPIP ACC OFF	チェックサム計算 (送信)	TCPIPACC 用のパディング (送信)
0	0	不可	不要
0	1	不可	不要
1	0	可能	要
1	1	不可	要

備 考

ハードウェアで計算された送信パケットの UDP チェックサムが 0x0000 の場合には、このパケットで UDP ヘッダのチェックサムフィールドが 0xFFFF に変更されます。

注 意

IPv4 ヘッダ内の長さフィールド値が実際のフレーム長と一致していない場合、送信が正常に完了しない可能性があります。IPv4 ヘッダには必ず適切な値を設定してください。

(2) TCPIP アクセラレータによる受信

GMAC_ACC レジスタの RTCPIPEN ビットが1の場合、受信 TCPIP アクセラレータ機能が有効になります。受信 TCPIP アクセラレータが有効な状態で、IPv4、TCP/IP、または UDP/IP を含むパケットが受信された場合、ハードウェアが自動的にパケットのチェックサムを計算します。この計算結果がパケット内のチェックサムフィールド値と一致しない場合、受信フレーム情報の IPNG フィールドまたは TCPNG フィールドにエラー情報が格納されます。

TCPIPACC が有効な状態で、受信フレームの MAC ヘッダに TCPIPACC 用の2バイトのパディングが挿入されます。

受信 TCPIP アクセラレータ機能が有効で、受信パケットに TCP/UDP が含まれる場合には、FCS フィールドが TCP/UDP のチェックサムで上書きされます。このチェックサムは、フラグメント化された TCP/UDP パケットの合計チェックサムの計算に利用できます。

受信フレーム情報の IPNG、IPV6NG、または OUT_OF_LIST のいずれかのフィールドが 1 を示している場合、その時点でハードウェアは受信フレームのチェックサムを計算しません。また、IPv6 拡張ヘッダにフラグメント、ESP、または AH プロトコルが含まれる場合にも、TCP/UDP チェックサム計算は行われません。

GMAC_ACC レジスタの RTCPIPACC ビットが 1 の場合、チェックサム計算は行われませんが、TCPIPACC 用のパディングは受信フレームに挿入されます。

GMAC_ACC レジスタの RTCPIPEN ビットが 0 の場合、受信 TCPIP アクセラレータ機能が無効になります。この場合、TCPIPACC 用のパディングは受信フレームに挿入されません。

表 3.68 GMAC_ACC レジスタ設定と受信 TCPIP アクセラレータの動作

GMAC_ACC. RTCPIPEN	GMAC_ACC. RTCPIPACC	チェックサム計算 (受信)	TCPIPACC 用の パディング (受信)	ハードウェアによって計算された チェックサムで FCS フィールドを上書き
0	0	なし	なし	なし
0	1	なし	なし	なし
1	0	あり	あり	あり
1	1	なし	あり	なし

備 考

受信パケットの UDP チェックサムフィールドが 0x0000 の場合、ハードウェアはチェックサムを検証しません。

3.6 使用上の注意事項

3.6.1 ギガビットイーサネット MAC (HW-RTOS GMAC) コントロールレジスタ

3.6.1.1 MIIM レジスタ (GMAC_MIIM)

GMAC_MIIM レジスタは、各イーサネット PHY へのレジスタアクセスを制御するのに使用されます。本レジスタにアクセスするには、以下の手順に従います。

<書き込みアクセスの場合>

- 書き込み動作の開始：
RWDV ビットを 1 に、PHYADDR[4:0] ビットを PHY アドレスに、REGADDR[4:0] ビットを PHY レジスタアドレスに、DATA[15:0] ビットを書き込みデータに、それぞれ設定します。
- 動作の終了待ち：
RWDV ビットから 1 が読み出されるまで待ちます。
- 動作の終了：
RWDV ビットから 1 が読み出されると、書き込み動作が終了します。

<読み出しアクセスの場合>

- 読み出し動作の開始：
RWDV ビットを 0 に、PHYADDR[4:0] ビットを PHY アドレスに、REGADDR[4:0] ビットを PHY レジスタアドレスに、それぞれ設定します。
- 動作の終了待ち：
RWDV ビットから 1 が読み出されるまで待ちます。
- 動作の終了：
RWDV ビットから 1 が読み出され、DATA[15:0] ビットから有効なデータが読み出されると、読み出し動作が終了します。

3.6.1.2 TX ID レジスタ (GMAC_TXID)

GMAC_TXID レジスタは、GMAC_TXRESULT レジスタに対応する送信フレームの ID を示すのに使用されます。この ID は、送信フレーム制御情報のフレーム ID フィールドで指定されます。

送信フレーム結果 ID を確認するには、必ず GMAC_TXRESULT レジスタの読み出しより前に本レジスタを読み出してください。GMAC_TXRESULT レジスタを先に読み出した場合は、送信フレーム結果が更新されます。したがって、更新された送信フレーム ID が GMAC_TXID レジスタから読み出されます。

RMTAGCTRL.MGMT_ENB=1 の場合、GMAC_TXID はビット 7~0 のみが有効です。

3.6.1.3 TX RESULT レジスタ (GMAC_TXRESULT)

GMAC_TXRESULT レジスタは、送信フレーム結果を示すのに使用されます。

送信フレーム結果は、本レジスタが読み出されたときに更新されます。更新された送信フレーム結果は、次回読み出すことが可能です。

本レジスタは送信フレーム結果を示します。送信フレーム結果を利用できるのは、GMAC_TXMODE.TRBMODE[1:0] ビットが 00b または 01b の場合のみです。

送信フレーム結果は、イーサネット送信完了割り込み (HWRTOS_ETHIT_In) が発生した時点で送信結果バッファに格納されます。送信結果バッファは 4 フレーム分の情報を保持することが可能です。本レジスタを

読み出すと、送信結果バッファからフレーム情報が削除されます。このバッファに格納されているフレーム数は GMAC_TXFIFO.TRBFR ビットから取得することが可能です。

送信結果バッファに4フレームが保持されている状態で送信が開始した場合、送信が無効になり、TX-FIFO エラー割り込み (HWRTOS_ETHTFIE_Int) が発生します。本レジスタが利用可能な場合、エラーが発生しないように適宜読み出しを行ってください。

3.6.1.4 TX MODE レジスタ (GMAC_TXMODE)

GMAC_TXMODE レジスタは、フレーム送信を制御するのに使用されます。

フレームサイズが最大サイズの 1518 バイトを超える場合には、LPTXEN を 1 にする必要があります。たとえば、イーサネットスイッチのマネージメントタグ挿入が有効 (RMTAGCTRL レジスタの MGMT_ENB ビットが 1) になっている場合などです。

3.6.1.5 RESET レジスタ (GMAC_RESET)

GMAC_RESET レジスタは、ソフトウェアで HW-RTOS GMAC モジュールをリセットするのに使用されるトリガレジスタです。モジュールは、ALLRST ビットに 1 を設定することによりリセットされます。

リセットが完了するまでの待機時間は、以下のとおり MAC の動作モードに依存します。

1Gbps (125MHz) 動作時 : 60ns

3.6.1.6 PAUSE パケットデータレジスタ[m] (GMAC_PAUSE[m])

本レジスタは、送信する PAUSE パケットを指定するのに使用されます。

送信パケットフォーマットを以下に示します。

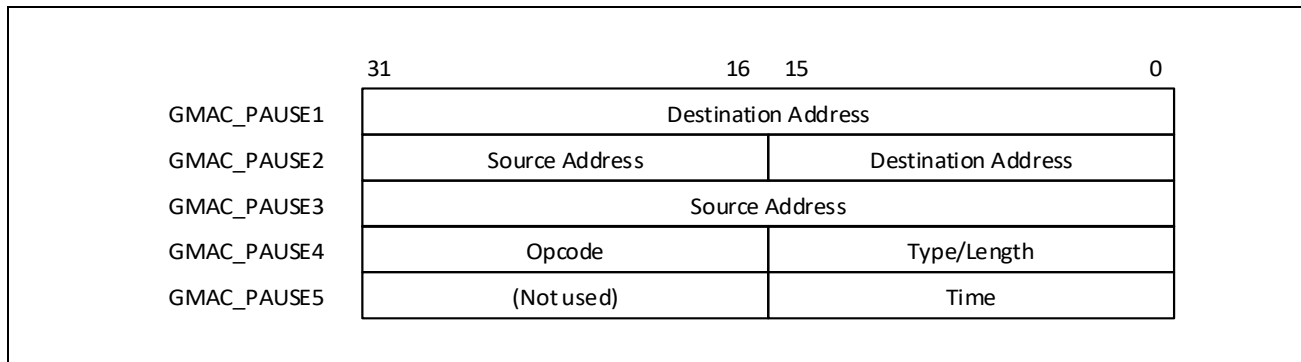


図 3.16 GMAC_PAUSE[m]レジスタによる送信パケットフォーマット

3.6.2 ハードウェアファンクションコールレジスタ

ハードウェアファンクションコールレジスタは、バッファを獲得するのに使用されます。本レジスタは送受信の開始にも使用されます。引数レジスタ (R4~R7) の設定後、システムコールレジスタ (SYSC) にコマンドを書き込むことにより、ハードウェアファンクションが実行されます。ハードウェアファンクションコールレジスタの設定方法については、「ハードウェアファンクション」の項を参照してください。

備 考

ハードウェアファンクション関連のレジスタは、ハードウェアリアルタイム OS の制御にも使用されます。

3.6.3 管理 TAG コントロール

A5PSW の MGMT_TAG_CONFIG レジスタで管理 Tag 機能が有効になっている場合、イーサネットアクセサリレジスタの RMTAGCTRL の設定により、HWRITOS GMAC と Advanced 5ports SWITCH (A5PSW) の管理ポートとの間で、イーサネットフレームのデータ内の管理 Tag を使用するか (フレームパターン B)、以下の情報フィールドの構成内容を変更するか (フレームパターン C) を選択します。

- 送信側の送信フレーム制御情報フィールド
- 受信側の宛先 MAC アドレスフィールド

表 3.69 MGMT_TAG_CONFIG と RMTAGCTRL レジスタ設定時のフレームパターン

MGMT_TAG_CONFIG	RMTAGCTRL	フレームパターン	備考
0	0	A	Tag 機能無効、Tag データ挿入無し
0	1	—	(未使用)
1	0	B	Tag 機能有効、Tag データ挿入有り
1	1	C	Tag 機能有効、Tag データ挿入無し

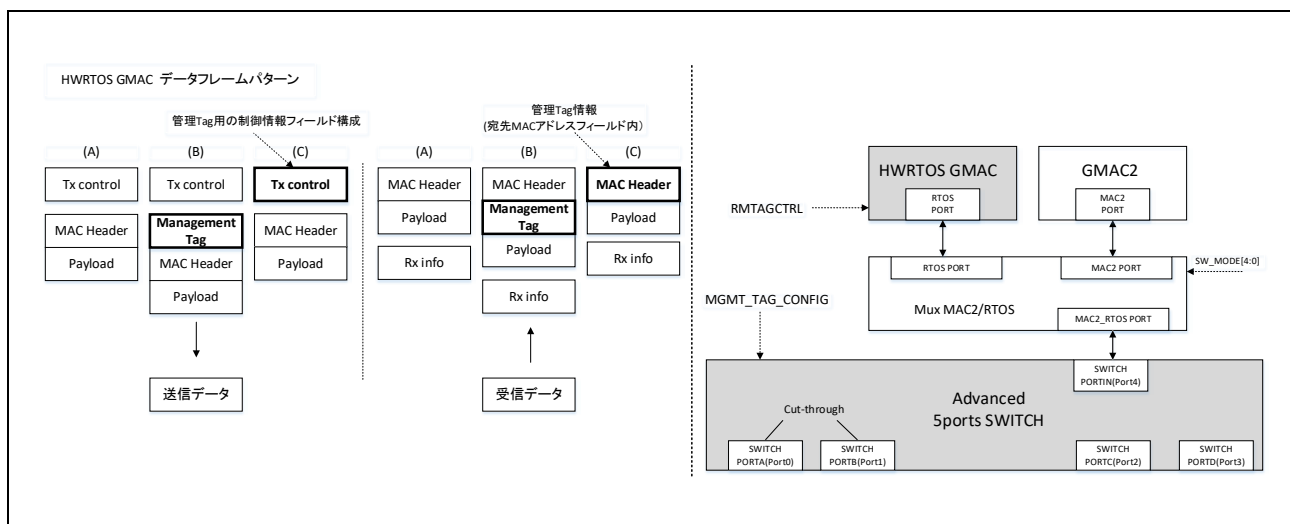


図 3.17 管理 TAG の構成

3.6.4 注意

3.6.4.1 送信フレーム内の MAC ヘッダに追加されるパディング

ギガビットイーサネット MAC では、TCPIP アクセラレータがデータを扱うために、通常 14 バイトの MAC ヘッダに 2 バイトのパディングを加えて、送信フレームを構成しています。

ただし、実際にはこのパディングが送信されることはありません。したがって、送信フレームのデータサイズにも含まれないことに注意してください。

詳細は、「3.5.6(1) TCPIP アクセラレータによる送信」を参照してください。

3.6.4.2 特定のフレーム受信時のチェックサム検証に関する誤判定

(1) フレームタイプ : Ethernet II または IEEE 802.3+IEEE 802.2 (LLC+SNAP)

以下のいずれかの条件を満たすフレームが受信された場合、受信パケットが有効であるにもかかわらず、受信フレーム情報の IPNG フィールドまたは TCPNG フィールドが 1 になる可能性があります。その場合は、ソフトウェアでチェックサムを確認してください。

- IPv4、および TCP ヘッダ内のチェックサムフィールド値が 0x0000 または 0xFFFF
- FCS を除いたイーサネットフレーム長が 60 バイト以上、IPv6 の TCP または UDP のペイロードサイズが 1 バイト、かつペイロード以降のデータ（基本的に FCS）が 0 以外
- IPv6 の TCP または UDP の疑似ヘッダのチェックサム値が 21 ビット以上

(2) フレームタイプ : IEEE 802.3+IEEE 802.2 (LLC)

SNAP を持たない IEEE802.3+IEEE802.2 (LLC) フレームが受信された場合、IP パケットが含まれていないにもかかわらず、受信フレーム情報の TYPEIP フィールドおよび IPNG フィールドが 1 になる可能性があります。その場合は、ソフトウェアで SNAP が含まれているかどうかを確認してください。SNAP が含まれていない場合は、有効な受信フレームと見なしてください。

3.6.4.3 受信 FIFO オーバーフロー発生時の受信フレーム情報の誤り

受信 TCPIP アクセラレータが有効な状態で、受信 FIFO がオーバーフローした場合、以下のように受信フレーム情報にエラーが含まれている可能性があります。

- 正常な受信フレームのフレーム情報に前回のエラーフレームに関連するエラー情報が含まれています。
- オーバーフローが発生したフレームが有効と認識され、受信フレーム情報に不正な値が格納される可能性があります。

この問題を回避するには、以下のいずれかの方法に従います。

- (A) MAC ヘッダへのパディング挿入を含む受信 TCPIP アクセラレータを無効にします。具体的には、GMAC_ACC レジスタのビット 0 をクリアします。
- (B) 受信 FIFO がオーバーフローしたときに、受信 FIFO およびバッファ RAM に残っている受信フレームをすべて廃棄します。具体的には、以下の手順に従います。
 - (1) 受信 MAC を無効にします。
 - (2) 受信 FIFO 内のフレームをすべて廃棄します。
 - (3) バッファ RAM 内のフレームをすべて廃棄します。
 - (4) 受信 MAC を有効にします。

(5) BUFID レジスタの VALID ビット=1 のフレームを 1 つ以上廃棄します。これは、FIFO をオーバーフローさせたフレームが FIFO に残っている場合でも、FIFO エンプティ状態を読み出すことが可能であるためです。正常なフレームをいったん受信することにより、残っている異常なフレームを廃棄します。

- ハードウェアリアルタイム OS を使用する場合

「**図 3.18** : 受信 FIFO オーバーフロー処理タスクのフローチャート」

「**図 3.19** : 受信処理のフローチャート」

- ハードウェアリアルタイム OS を使用しない場合

「**図 3.20** : 受信 FIFO オーバーフロー割り込み処理のフローチャート」

「**図 3.21** : 受信処理のフローチャート」

注 意

- FIFO に残っている異常なフレームは、受信処理で廃棄されます。オーバーフロー復帰処理フラグがセットされたときに、有効なデータをいったん廃棄します。
- オーバーフロー復帰処理フラグはグローバル変数です。
- BUFID を読み出してオーバーフロー復帰処理フラグをチェックするまでの間、オーバーフロー割り込みは禁止されません。

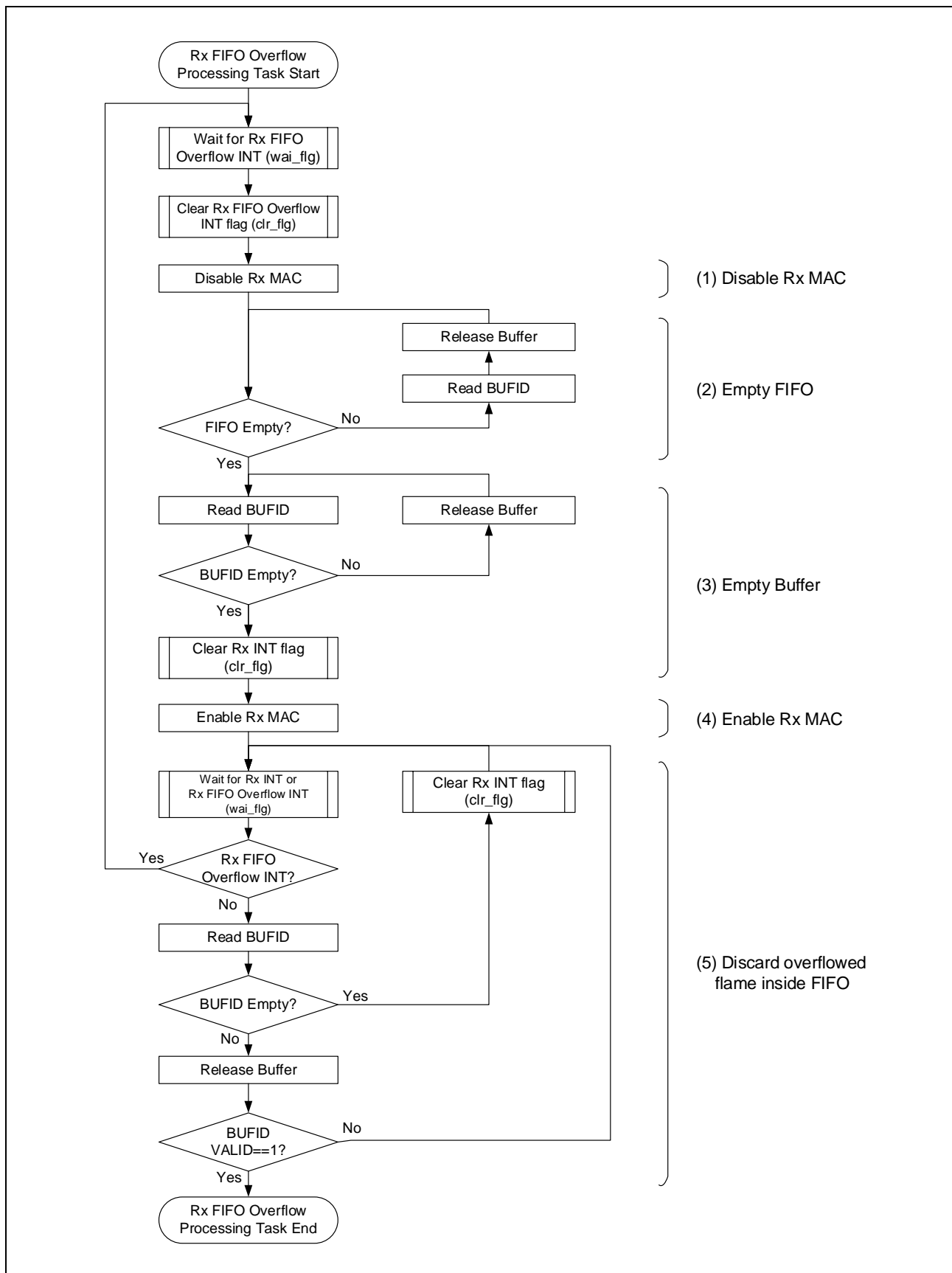


図 3.18 受信 FIFO オーバーフロー処理タスクのフローチャート（ハードウェアリアルタイム OS を使用する場合）

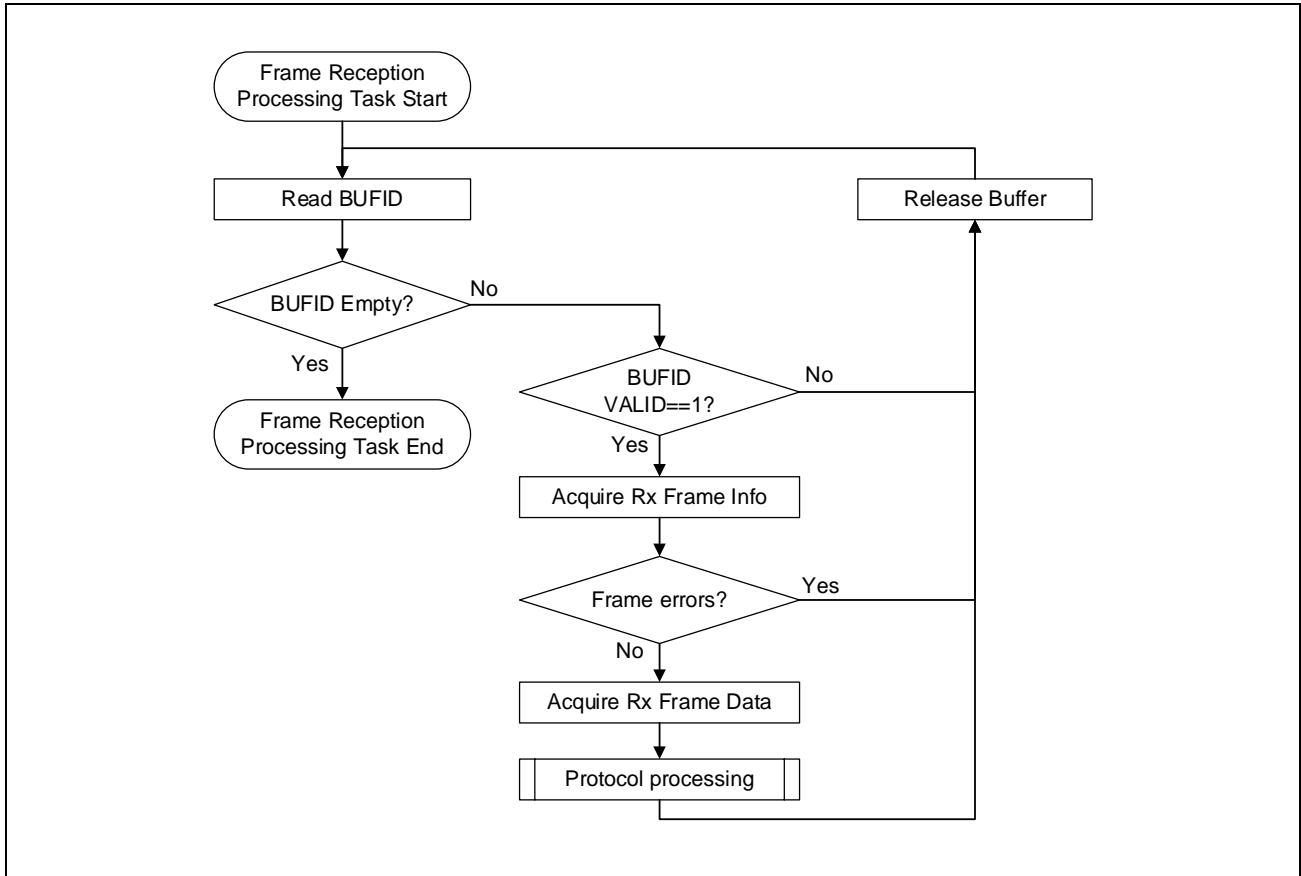


図 3.19 受信処理タスクのフローチャート（ハードウェアリアルタイム OS を使用する場合）

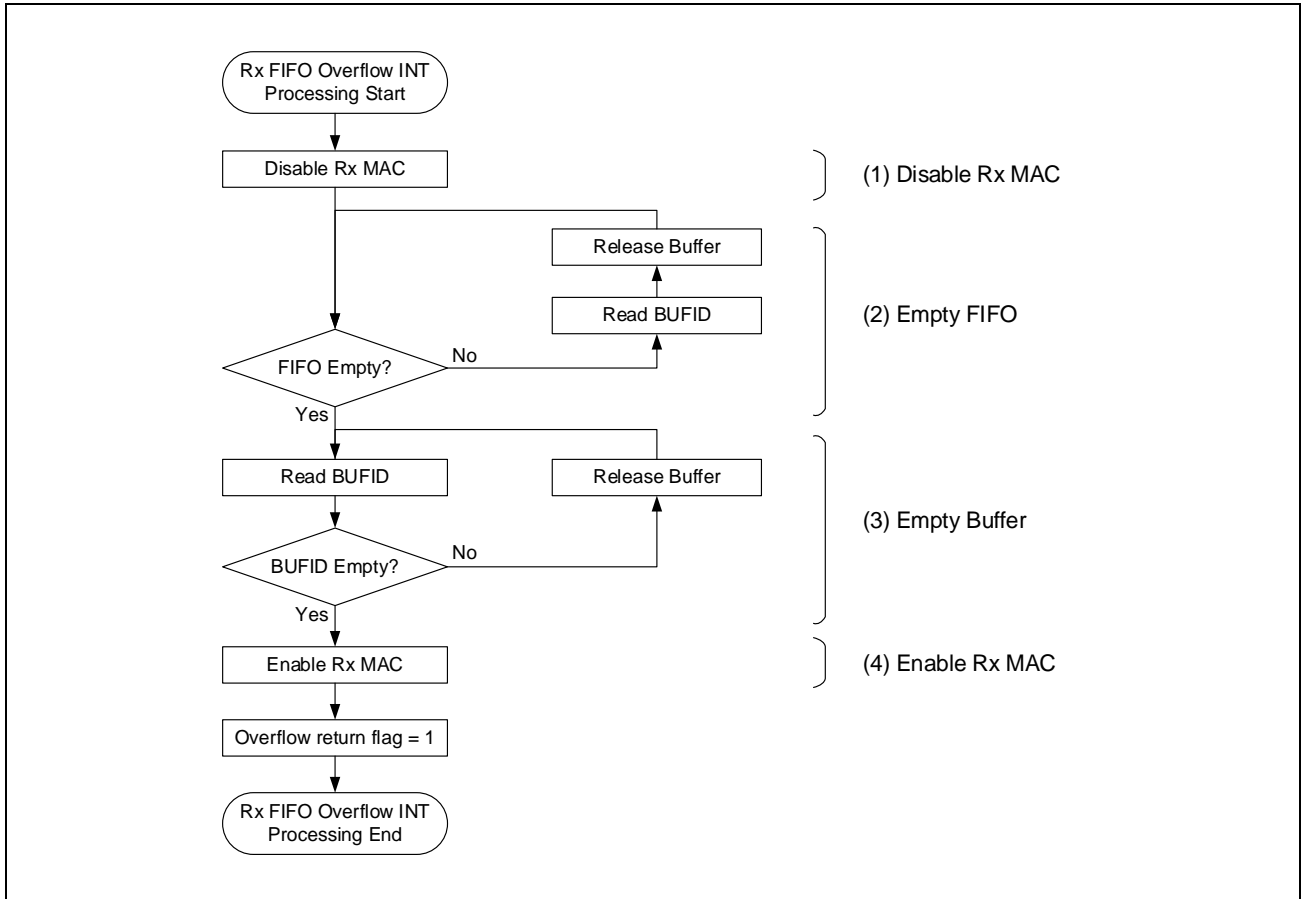


図 3.20 受信 FIFO オーバーフロー割り込み処理のフローチャート（ハードウェアリアルタイム OS を使用しない場合）

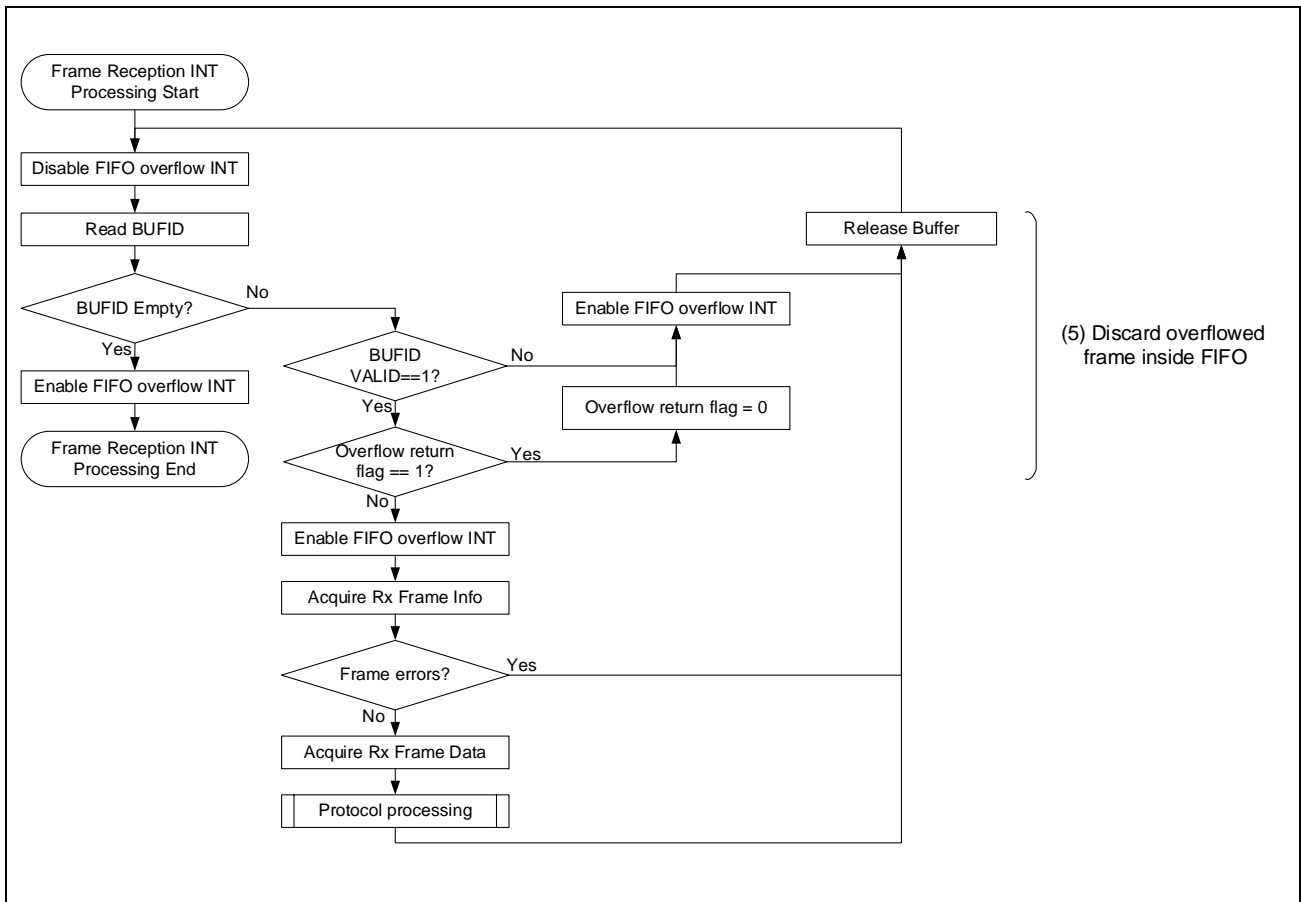


図 3.21 受信処理のフローチャート（ハードウェアリアルタイム OS を使用しない場合）

3.6.4.4 パディングを含め 64 バイトを超えるフレームの受信時の受信フレーム情報のエラー

受信 TCPIP アクセラレータが有効な状態で、フレームが以下の条件をすべて満たしている場合、受信フレーム情報の受信ワードサイズ (RX_WORD[12:0]) が正しいサイズと比較して 1 ワード (4 バイト) 増加するか、または 1 ワード減少する可能性があります。1 ワード減少した場合、RX_WORD は IP パケットの欠損が生じるデータサイズを示す可能性があります。ただし、IP パケット自体が欠損するわけではありません。

- FCS を含むフレームサイズが 64 バイトを超える。
- TCP/IP パケットまたは UDP/IP パケットを含む。
- IP パケットと FCS の間にパディング (トレーラ) が含まれている。

この問題を回避するには、以下のいずれかの方法に従います。

- (A) 受信 TCPIP アクセラレータを無効にします。具体的には、GMAC_ACC レジスタのビット 0 をクリアするか、またはビット 2 をセットします。
- (B) IP パケットの欠損を回避するには、受信ワード数を 1 ワード増やし、そのサイズをプロトコルスタックに転送します。プロトコルスタックでは、IP ヘッダの合計長フィールドのサイズに基づいてペイロードデータを抽出し、その他のデータは廃棄する必要があります。図 3.22 は、これに関する回避方法のフローチャートです。

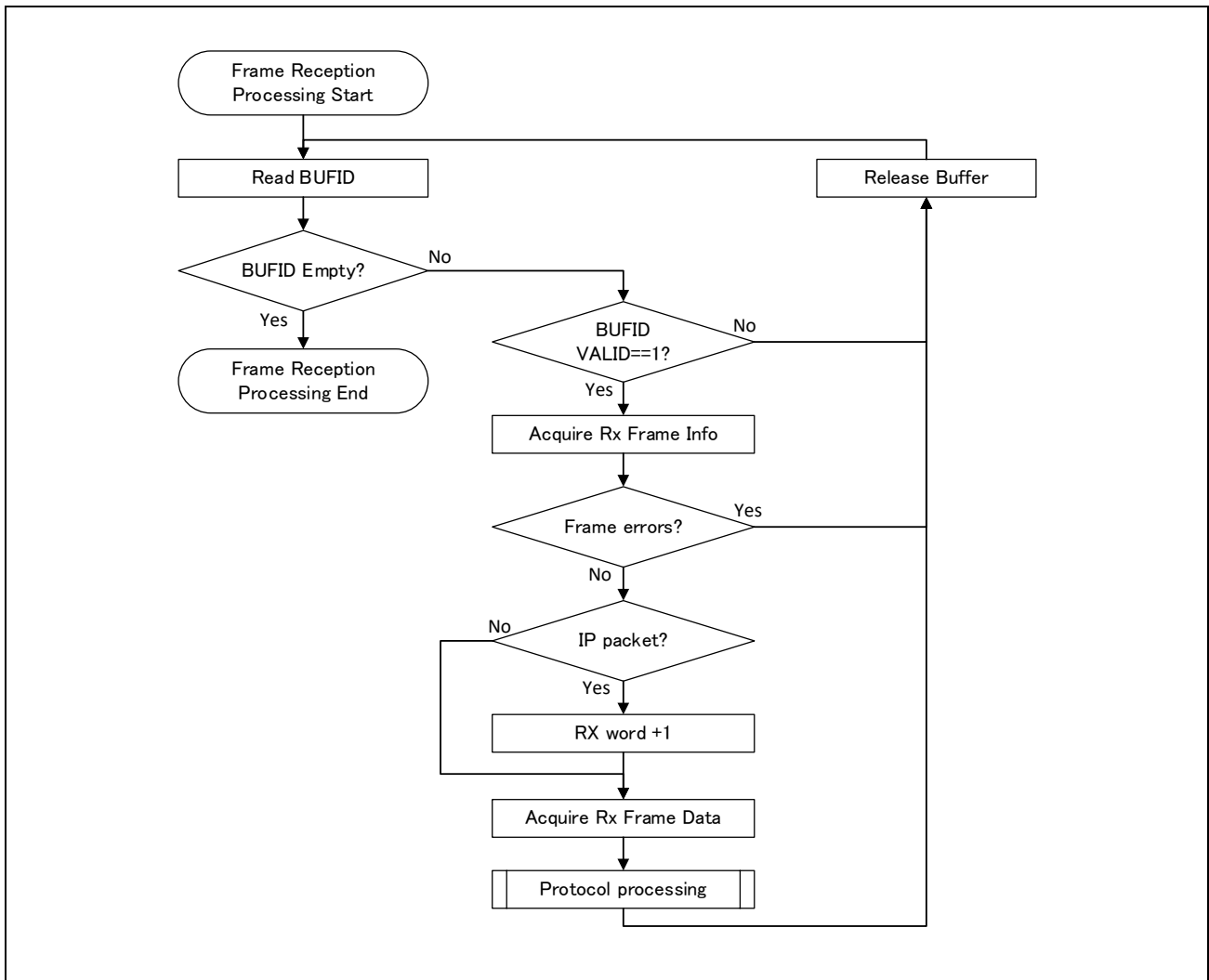


図 3.22 受信処理のフローチャート

3.6.4.5 ジャンボフレームについて

HW-RTOS GMAC はジャンボフレームは非対応です。

第4章 アドバンスト 5 ポートスイッチ (A5PSW)

4.1 概要

- 5 ポートスイッチ
 - マルチプレクサで 1 ポートが管理ポート (ポート 4) として CPU に接続され 1000Mbps 全二重モードでのみ有効
 - 1) IEEE 1588-2008 タイマ付きギガビットイーサネット MAC2 (GMAC2) 1000/100 を介して接続
 - 2) または HW-RTOS GMAC
 - スイッチシステムクロック (A5PSW_SXCLK) の周波数がポート速度に影響
 - 1) 1000Mbps ですべてのポートを使用する場合は 200MHz を推奨
これは 4 回線ポートと 1 つの管理ポートで 1000Mbps が使用可能なことを意味します。
 - 2) 1000Mbps の 3 ポートと 100Mbps の 2 ポートを使用する場合は 166.6MHz で十分
これは 1000Mbps の 2 回線ポートと 100Mbps の 2 回線ポートと 1000Mbps の 1 つの管理ポートが使用可能なことを意味します。
- サポート対象の通信モード
 - 10Mbps 半二重および全二重
 - 100Mbps 半二重および全二重
 - 1000Mbps 全二重のみ
- ポートごとの MAC ベース RMON (リモートネットワークモニタリング) 統計カウンタ
 - 半二重カウンタ
FCS (フレームチェックシーケンス) の Error、Deferred、Single、Multiple、Excessive、Late の各カウンタ
- ポートごとのポート統計 (集約なし)
- 8192 MAC アドレス (静的アドレスとラーニングアドレスの合計) のラーニング容量を備えたハードウェアスイッチングルックアップメカニズムを実装
 - 静的または動的 (ラーニング、エイジング) スイッチングテーブルによるプログラマブルファームウェア動作
- パケットバッファサイズ: 1Mbit (リーキーバケット、QoS などで重要)
- 各 QoS レベルの 4 キュー。フレキシブルな出力キューハンドリングのためのフレームプライオリティクラス分けのサポート。
- ポート番号、MAC アドレス、IPv4 DiffServ Code Point (DSCP) フィールド、IPv6 Traffic Class、および VLAN プライオリティ (IEEE 802.1Q) に基づくクラス分けとプライオリティ割り当て
 - 固定重み付け 1-2-4-8 の重み付け均等化キューイング (WFQ) によるアービトレーション管理 (オプション)
- 不要なフレーム複製を回避するためのフラグディング制御を備えたイーサネットのマルチキャストおよびブロードキャストフレームのサポート
- 各マルチキャストアドレスでのフレーム複製を制限するためのプログラマブルマルチキャスト宛先ポートマスク
- 通常クロック、境界クロック、またはトランスペアレントクロックを実装する IEEE 1588 アプリケーションを可能にするフレームタイムスタンプ転送のための IEEE 1588-2008 のサポート
 - 1 ステップピアツーピア (P2P) のサポート (レイヤ 2 のみ)

- 1 ステップエンドツーエンド (E2E) のサポート (レイヤ 2 のみ)
- 最大 32 個の VLAN の厳格な分離を実現する VLAN ドメインフィルタリングを備えたマルチキャストとブロードキャストの解決
- VLAN フレームの受信と送信のサポート
- プログラマブルな Ingress (入口) VLAN タグと Egress (出口) VLAN タグの追加、削除、および操作。各ポートでのシングルタグ VLAN フレームとダブルタグ VLAN フレームをサポート
- DA (宛先アドレス) が未知の場合は、かならず、VLAN で列挙されているポートにのみにフラッディングを実施
- 標準フレームサイズ (1536 バイト)、1700 バイトまでの拡張フレームサイズ、および最大 10K バイトのジャンボフレームをサポート
- スイッチシステムクロックが 200MHz の時のスイッチ転送遅延
 - パケット終了からパケット開始まで (64 バイト) → 1.6 μ s
 - パケット終了からパケット開始まで (1518 バイト) → 2.8 μ s

備 考

すべてスイッチの MII で計測されたものです。PHY 遅延とインタフェース変換遅延 (RMII、RGMII など) がこれら数値に追加されます。

- スイッチシステムクロックが 200MHz の時の伝搬時間とポート遅延 (8 バイトのプリアンブルを考慮)
 - 100Mbps でパケット開始からパケット開始まで (64 バイト) → $72 \times 80\text{ns} + 1.6\mu\text{s}$ → 約 7.4 μ s
 - 100Mbps でパケット開始からパケット開始まで (1518 バイト) → $1526 \times 80\text{ns} + 2.8\mu\text{s}$ → 約 125 μ s

備 考

すべてスイッチの MII で計測されたものです。PHY 遅延とインタフェース変換遅延 (RMII、RGMII など) がこれら数値に追加されます。

- 各ポートでポートミラーリングがプログラム可能
- RSTP ポート状態 (RSTP に 3 個、STP に 5 個)
 - RSTP ポートのラーニング状態、廃棄中状態、転送中状態がポートごとに設定可能
 - BPDU フレームのサポート
 - ソフトウェアによる MSTP BPDU フレームのサポート
- 管理モードでスイッチをスタートさせるように設定 (CPU が設定されるまですべてのポートがオフ)
- フレームスヌープエンジン
 - ソフトウェアで IGMP スヌープが可能
- スタンドアロンの Energy Efficient Ethernet (EEE) 管理
 - ポートごとのレジスタの有効化と設定
 - 各ポートに 2 個のハードウェアタイマ
 - 2 つのモード
 - 1) 完全自動動作
 - 2) ソフトウェアコントロール動作

- ポートごとの Egress レート制限
 - 10%~80%の帯域幅でプログラム可能
- ポートごとのプログラマブルな Ingress ブロードキャストストーム保護
 - MAC インタフェースへのブロードキャストストームによるネットワークやメモリの輻輳を回避するために、すべてのポートに対して一定期間内のブロードキャストフレーム数に制限を設定できます。
 - 各 MAC インタフェース受信ポートにカウンタが実装され、ブロードキャストフレームを受信するたびにそのカウンタ値が 1 つ加算されます。カウンタはタイムアウト時にクリアされます。
 - カウンタ値が制限値に達すると、それ以降のブロードキャストフレームは廃棄されます。
- ポートごとのプログラマブルな Ingress マルチキャストストーム保護
 - MAC インタフェースへのマルチキャストストームによるネットワークやメモリの輻輳を回避するために、すべてのポートに対して一定期間内のマルチキャストフレーム数に制限を設定できます。
 - 各 MAC インタフェース受信ポートにカウンタが実装され、マルチキャストフレームを受信するたびにそのカウンタ値が 1 つ加算されます。カウンタはタイムアウト時にクリアされます。
 - カウンタ値が制限値に達すると、それ以降のマルチキャストフレームは廃棄されます。
- 802.1X の送信元アドレス認証のサポート
- 802.1X のゲスト VLAN のサポート
- PRP 機能 (IEC 62439-3 edition 2.0 - 2012)
- DLR モジュール (ポート A とポート B)
- カットスルー
 - カットスルーの 2 ポート間でジャンボフレーム機能が使用可能
 - カットスルー転送遅延はリンクスピードとスイッチシステムクロック周波数に依存します。スイッチシステムクロック周波数が 200MHz の時は以下になります。

リンクスピード	転送遅延 (SFD から SFD、PHY 遅延なし)
10Mbps	~35 μ s
100Mbps	3.2 ... 3.8 μ s (アクティブなパターンマッチャなし) 3.5 ... 3.9 μ s (パターンマッチャがアクティブ)
1Gbps	550 ... 800ns (パターンマッチャがアクティブ)

 - パターンマッチャは、カットスルー判断を若干遅らせる (最大 4 バイト) ことによってアンダーフローを回避し、その結果フレーム破壊を防ぎます。
- TDMA (時分割多重アクセス)
 - 時分割アクセスを定義して複数のトラフィッククラスのための帯域を確保するネットワークインフラストラクチャをサポートできます。スイッチはポートの一部またはすべてを動作させるように設定できます。
- 8 チャンネルのパターンマッチャ
- SNMP と RMON/MIB によるリモートモニタリング
- インタフェース
 - ネイティブモード GMII/MII
 - RMII/RGMII コンバータによって管理される非ネイティブの RMII と RGMII (外部端子上に接続)

- ポート A、ポート B、ポート C、およびポート D 上のハブ
 - スイッチングハブ機能

1つのMACだけがハブポートに送信できるように制御し、送信していない複数のポートが受信する際のグローバルコリジョンを検出するスケジューラ (IEEE 802.3 の第 27 項の動作に準拠)
 - PHY インタフェースハブ機能

最小遅延要件を満たすために、スイッチを経由せずに PHY インタフェース間ですべてのフレームをコピー

RMII でのみサポート

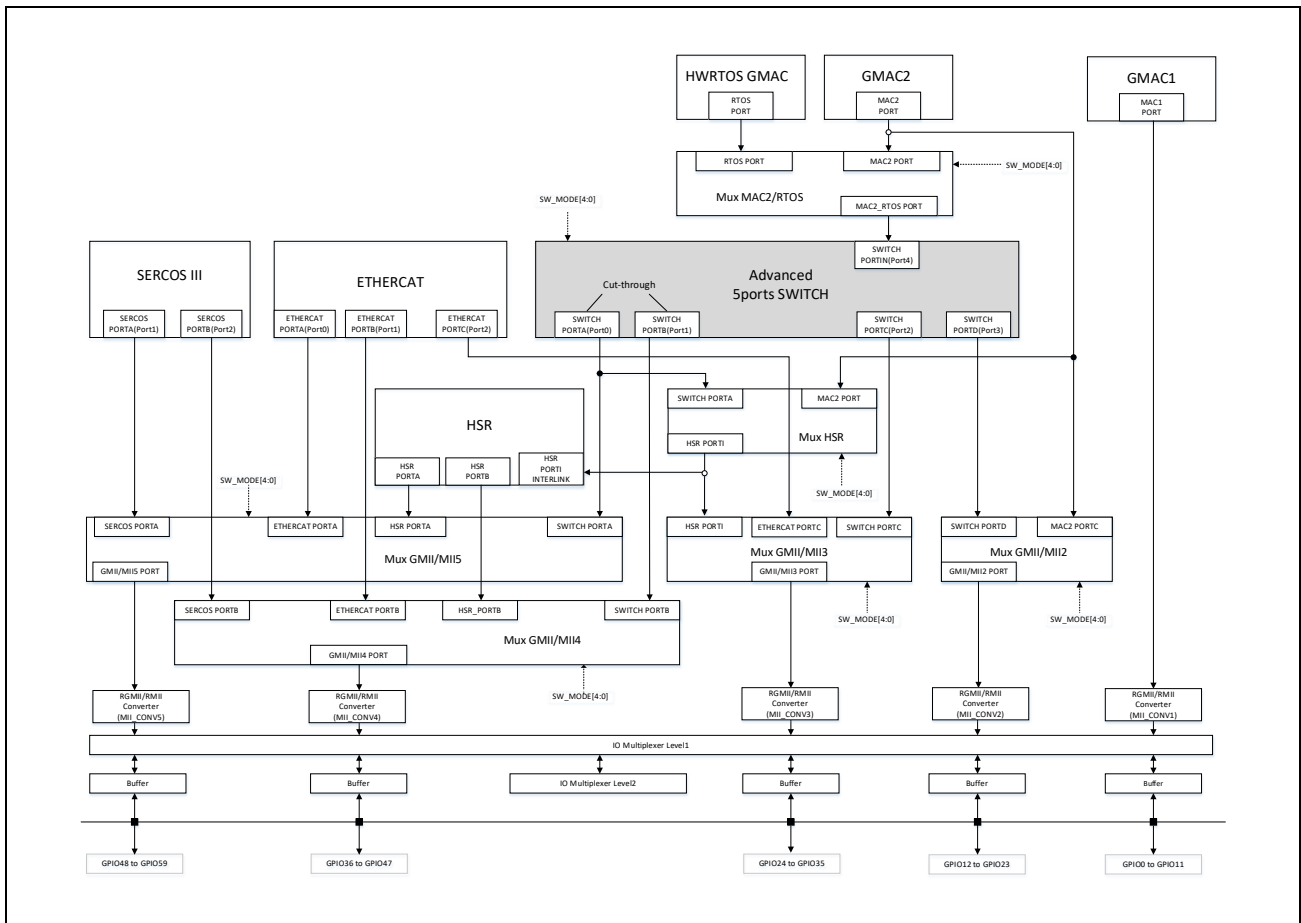


図 4.1 A5PSW ブロック図

4.2 信号インターフェース

表 4.1 A5PSW の信号インターフェース (PHY MII ピンを除く)

信号名	入出力	説明	アクティブ
クロック			
A5PSW_HCLK	入力	レジスタインターフェースに使用される AHB クロック	
A5PSW_SXCLK	入力	スイッチシステムクロック	
PTP 用信号			
A5PSW_TSCLK	入力	タイマモジュールクロック。すべてのタイムスタンプ関連機能はこのクロックで動作します。クロック供給元は PTP モードコントロールレジスタによって選択されます。	
A5PSW_TS_NS_IN[31:0]	入力	タイムスタンプ機能用の現在時刻 (ナノ秒単位)	
割り込み			
A5PSW_Int	出力	A5PSW 割り込み、レベル検出	High
A5PSW_PRP_Int	出力	A5PSW — PRP 割り込み、レベル検出	High
A5PSW_HUB_Int	出力	A5PSW — 内蔵 Hub モジュール、レベル検出	High
A5PSW_PTRN_Int	出力	A5PSW — RX パターンマッチャ、レベル検出	High
A5PSW_DLR_Int	出力	A5PSW — DLR 割り込み、レベル検出	High
外部信号			
SWITCH_MII_LINK[5]	入力	PHY からのリンク状態 (ポート A) (A5PSW のポート 0)	High 注1
SWITCH_MII_LINK[4]	入力	PHY からのリンク状態 (ポート B) (A5PSW のポート 1)	High 注1
SWITCH_MII_LINK[3]	入力	PHY からのリンク状態 (ポート C) (A5PSW のポート 2)	High 注1
SWITCH_MII_LINK[2]	入力	PHY からのリンク状態 (ポート D) (A5PSW のポート 3)	High 注1

注1. SWITCH_MII_LINK[5:2]のアクティブレベルはイーサネット PHY リンクモードレジスタによって制御されます。

4.3 レジスタマップ

表 4.2 A5PSW レジスタマップ (1/6)

アドレス	レジスタシンボル	レジスタ名
4405 0000h	REVISION	スイッチコアバージョン
4405 0004h	SCRATCH	スクラッチレジスタ
4405 0008h	PORT_ENA	ポートイネーブルレジスタ
4405 000Ch	UCAST_DEFAULT_MASK	ユニキャストデフォルトマスクレジスタ
4405 0010h	VLAN_VERIFY	VLAN ドメイン検証
4405 0014h	BCAST_DEFAULT_MASK	ブロードキャストデフォルトマスクレジスタ
4405 0018h	MCAST_DEFAULT_MASK	マルチキャストデフォルトマスクレジスタ
4405 001Ch	INPUT_LEARN_BLOCK	入力ラーニングブロックレジスタ
4405 0020h	MGMT_CONFIG	管理コンフィグレーションレジスタ
4405 0024h	MODE_CONFIG	モードコンフィグレーションレジスタ
4405 0028h	VLAN_IN_MODE	VLAN 入力操作モードレジスタ
4405 002Ch	VLAN_OUT_MODE	VLAN 出力操作モードレジスタ
4405 0030h	VLAN_IN_MODE_ENA	VLAN 入力モードイネーブルレジスタ
4405 0034h	VLAN_TAG_ID	VLAN タグ ID レジスタ
4405 0038h	BCAST_STORM_LIMIT	ブロードキャストストーム保護レジスタ
4405 003Ch	MCAST_STORM_LIMIT	マルチキャストストーム保護レジスタ
4405 0040h	MIRROR_CONTROL	ポートミラーリングコンフィグレーションレジスタ
4405 0044h	MIRROR_EG_MAP	ポートミラーリング Egress ポート定義
4405 0048h	MIRROR_ING_MAP	ポートミラーリング Ingress ポート定義
4405 004Ch	MIRROR_ISRC_0	ミラーフィルタリング 0 用 Ingress 送信元 MAC アドレス
4405 0050h	MIRROR_ISRC_1	ミラーフィルタリング 1 用 Ingress 送信元 MAC アドレス
4405 0054h	MIRROR_IDST_0	ミラーフィルタリング 0 用 Ingress 宛先 MAC アドレス
4405 0058h	MIRROR_IDST_1	ミラーフィルタリング 1 用 Ingress 宛先 MAC アドレス
4405 005Ch	MIRROR_ESRC_0	ミラーフィルタリング 0 用 Egress 送信元 MAC アドレス
4405 0060h	MIRROR_ESRC_1	ミラーフィルタリング 1 用 Egress 送信元 MAC アドレス
4405 0064h	MIRROR_EDST_0	ミラーフィルタリング 0 用 Egress 宛先 MAC アドレス
4405 0068h	MIRROR_EDST_1	ミラーフィルタリング 1 用 Egress 宛先 MAC アドレス
4405 006Ch	MIRROR_CNT	ミラーフィルタリングカウント値レジスタ
4405 0088h	QMGR_ST_MINCELLS	出力キュー最小メモリ統計レジスタ
4405 0094h	QMGR_RED_MIN4	RED 最小しきい値レジスタ
4405 0098h	QMGR_RED_MAX4	RED 最大しきい値レジスタ
4405 009Ch	QMGR_RED_CONFIG	RED コンフィグレーションレジスタ
4405 00A0h	IMC_STATUS	入力メモリコントローラステータスレジスタ
4405 00A4h	IMC_ERR_FULL	入力ポートメモリフル切り捨て表示
4405 00A8h	IMC_ERR_IFACE	入力ポートメモリエラー表示
4405 00ACh	IMC_ERR_QOFLOW	出力ポートキューオーバーフロー表示
4405 00B0h	IMC_CONFIG	入力メモリコントローラコンフィグレーションレジスタ
4405 00C0h+4h×n	GPARSER[n] (n=0~3)	第 1 ブロックの n 番目のパーサ
4405 00D0h+4h×n	GARITH[n] (n=0~3)	第 1 ブロックの演算ステージ n 番目のスヌープコンフィグレーション
4405 00E0h+4h×(n-4)	GPARSER[n] (n=4~7)	第 2 ブロックの n-4 番目のパーサ
4405 00F0h+4h×(n-4)	GARITH[n] (n=4~7)	第 2 ブロックの演算ステージ n-4 番目のスヌープコンフィグレーション
4405 0100h+4h×n	VLAN_PRIORITY[n] (n=0~4)	VLAN プライオリティレジスタ[n]

表 4.2 A5PSW レジスタマップ (2/6)

アドレス	レジスタシンボル	レジスタ名
4405 0140h+4h×n	IP_PRIORITY[n] (n=0~4)	IP プライオリティレジスタ[n]
4405 0180h+4h×n	PRIORITY_CFG[n] (n=0~4)	プライオリティコンフィグレーションレジスタ[n]
4405 01B8h	PRIORITY_TYPE1	プライオリティタイプレジスタ 1
4405 01BCh	PRIORITY_TYPE2	プライオリティタイプレジスタ 2
4405 01C0h	MGMT_ADDR0_lo	ブリッジプロトコルフレームの下位 MAC アドレス
4405 01C4h	MGMT_ADDR0_hi	ブリッジプロトコルフレームの上位 MAC アドレス
4405 0200h+4h×n	SYSTEM_TAGINFO[n] (n=0~4)	VLAN 入力操作のための 1 つの VLAN ID
4405 0240h+4h×n	AUTH_PORT[n] (n=0~4)	ポート[n]認証のコントロールとコンフィグレーション
4405 0280h+4h×n	VLAN_RES_TABLE[n] (n=0~31)	32 個の VLAN ドメインエントリ
4405 0300h	TOTAL_DISC	廃棄フレーム総数レジスタ
4405 0304h	TOTAL_BYT_DISC	廃棄フレーム総バイト数レジスタ
4405 0308h	TOTAL_FRM	処理済みフレーム総数レジスタ
4405 030Ch	TOTAL_BYT_FRM	処理済みフレーム総バイト数レジスタ
4405 0310h+10h×n	ODISC[n] (n=0~4)	ポート[n]出力フレーム廃棄カウントレジスタ
4405 0314h+10h×n	IDISC_VLAN[n] (n=0~4)	ポート[n]VLAN タグ付き入力フレーム廃棄カウントレジスタ
4405 0318h+10h×n	IDISC_UNTAGGED[n] (n=0~4)	ポート[n]VLAN タグなし入力フレーム廃棄カウントレジスタ
4405 031Ch+10h×n	IDISC_BLOCKED[n] (n=0~4)	ポート[n]ブロックされた入力フレーム廃棄カウントレジスタ
4405 03C0h+4h×n	IMC_QLEVEL_P[n] (n=0~4)	ポート[n]キューイング中フレームカウントレジスタ
4405 0400h	LK_CTRL	ラーニング/ルックアップ機能グローバルコンフィグレーションレジスタ
4405 0404h	LK_STATUS	ステータスピットとテーブルオーバーフローカウンタ
4405 0408h	LK_ADDR_CTRL	アドレステーブルトランザクションコントロールと読み込み/書き込みアドレス
4405 040Ch	LK_DATA_LO	ルックアップメモリエントリの下位 32 ビットデータ
4405 0410h	LK_DATA_HI	ルックアップメモリエントリの上位 26 ビットデータ
4405 0414h	(予約)	
4405 0418h	LK_LEARNCOUNT	ラーニングアドレスカウントレジスタ
4405 041Ch	LK_AGETIME	エイジングタイマの時間
4405 0480h	MGMT_TAG_CONFIG	管理タグコンフィグレーションレジスタ
4405 050Ch+4h×n	PEERDELAY[n] (n=0~3)	ポート[n]ピア遅延値
4405 0520h+8h×n	PORT[n]_CTRL (n=0~3)	ポート[n]タイムスタンプコントロール/ステータス
4405 0524h+8h×n	PORT[n]_TIME (n=0~3)	ポート[n]記憶送信タイムスタンプ
4405 0600h	INT_CONFIG	割り込み許可コンフィグレーションレジスタ
4405 0604h	INT_STAT_ACK	割り込みステータス/ACK レジスタ
4405 0700h	MDIO_CFG_STATUS	MDIO コンフィグレーションおよびステータスレジスタ
4405 0704h	MDIO_COMMAND	MDIO PHY コマンドレジスタ
4405 0708h	MDIO_DATA	MDIO データレジスタ
4405 0800h+400h×n	REV_P[n] (n=0~4)	ポート[n] MAC コアリビジョン
4405 0808h+400h×n	COMMAND_CONFIG_P[n] (n=0~4)	ポート[n]コマンドコンフィグレーションレジスタ
4405 080Ch+400h×n	MAC_ADDR_0_P[n] (n=0~3)	ポート[n] MAC アドレスレジスタ 0
4405 0810h+400h×n	MAC_ADDR_1_P[n] (n=0~3)	ポート[n] MAC アドレスレジスタ 1
4405 0814h+400h×n	FRM_LENGTH_P[n] (n=0~4)	ポート[n]最大フレーム長レジスタ
4405 0818h+400h×n	PAUSE_QUANT_P[n] (n=0~4)	ポート[n] MAC 中断時間
4405 0830h+400h×n	PTPClockIdentity1_P[n] (n=0~3)	ポート[n] PTP クロック ID1 レジスタ

表 4.2 A5PSW レジスタマップ (3/6)

アドレス	レジスタシンボル	レジスタ名
4405 0834h+400h × n	PTPClockIdentity2_P[n] (n=0~3)	ポート[n] PTP クロック ID2 レジスタ
4405 0838h+400h × n	PTPAutoResponse_P[n] (n=0~3)	ポート[n] PTP 自動レスポンスレジスタ
4405 0840h+400h × n	STATUS_P[n] (n=0~4)	ポート[n]ポートステータスレジスタ
4405 0844h+400h × n	TX_IPG_LENGTH_P[n] (n=0~4)	ポート[n]送信 IPG 長レジスタ
4405 0848h+400h × n	EEE_CTL_STAT_P[n] (n=0~3)	ポート[n] MAC EEE 機能のコントロールとステータス
4405 084Ch+400h × n	EEE_IDLE_TIME_P[n] (n=0~3)	ポート[n] EEE アイドル時間レジスタ
4405 0850h+400h × n	EEE_TWSYS_TIME_P[n] (n=0~3)	ポート[n] EEE ウェークアップ時間レジスタ
4405 0854h+400h × n	IDLE_SLOPE_P[n] (n=0~4)	ポート[n] MAC トラフィックシェイパ帯域幅コントロール
4405 0868h+400h × n	aFramesTransmittedOK_P[n] (n=0~4)	ポート[n] MAC 送信済み有効フレームカウントレジスタ
4405 086Ch+400h × n	aFramesReceivedOK_P[n] (n=0~4)	ポート[n] MAC 受信済み有効フレームカウントレジスタ
4405 0870h+400h × n	aFrameCheckSequenceErrors_P[n] (n=0~4)	ポート[n] MAC FCS エラーフレームカウントレジスタ
4405 0874h+400h × n	aAlignmentErrors_P[n] (n=0~4)	ポート[n] MAC アライメントエラーフレームカウントレジスタ
4405 0878h+400h × n	aOctetsTransmittedOK_P[n] (n=0~4)	ポート[n] MAC 送信済み有効フレームオクテットレジスタ
4405 087Ch+400h × n	aOctetsReceivedOK_P[n] (n=0~4)	ポート[n] MAC 受信済み有効フレームオクテットレジスタ
4405 0880h+400h × n	aTxPAUSEMACCtrlFrames_P[n] (n=0~4)	ポート[n] MAC 送信済み PAUSE フレームカウントレジスタ
4405 0884h+400h × n	aRxPAUSEMACCtrlFrames_P[n] (n=0~4)	ポート[n] MAC 受信済み PAUSE フレームカウントレジスタ
4405 0888h+400h × n	ifInErrors_P[n] (n=0~4)	ポート[n] MAC 入力エラーカウントレジスタ
4405 088Ch+400h × n	ifOutErrors_P[n] (n=0~4)	ポート[n] MAC 出力エラーカウントレジスタ
4405 0890h+400h × n	ifInUcastPkts_P[n] (n=0~4)	ポート[n] MAC 受信済みユニキャストフレームカウントレジスタ
4405 0894h+400h × n	ifInMulticastPkts_P[n] (n=0~4)	ポート[n] MAC 受信済みマルチキャストフレームカウントレジスタ
4405 0898h+400h × n	ifInBroadcastPkts_P[n] (n=0~4)	ポート[n] MAC 受信済みブロードキャストフレームカウントレジスタ
4405 089Ch+400h × n	ifOutDiscards_P[n] (n=0~4)	ポート[n] MAC アウトバウンド廃棄フレームカウントレジスタ (未提供)
4405 08A0h+400h × n	ifOutUcastPkts_P[n] (n=0~4)	ポート[n] MAC 送信済みユニキャストフレームカウントレジスタ
4405 08A4h+400h × n	ifOutMulticastPkts_P[n] (n=0~4)	ポート[n] MAC 送信済みマルチキャストフレームカウントレジスタ
4405 08A8h+400h × n	ifOutBroadcastPkts_P[n] (n=0~4)	ポート[n] MAC 送信済みブロードキャストフレームカウントレジスタ
4405 08Ach+400h × n	etherStatsDropEvents_P[n] (n=0~4)	ポート[n] MAC ドロップフレームカウントレジスタ
4405 08B0h+400h × n	etherStatsOctets_P[n] (n=0~4)	ポート[n] MAC 全フレームオクテットレジスタ
4405 08B4h+400h × n	etherStatsPkts_P[n] (n=0~4)	ポート[n] MAC 全フレームカウントレジスタ
4405 08B8h+400h × n	etherStatsUndersizePkts_P[n] (n=0~4)	ポート[n] MAC アンダーサイズフレームカウントレジスタ
4405 08BCh+400h × n	etherStatsOversizePkts_P[n] (n=0~4)	ポート[n] MAC オーバーサイズフレームカウントレジスタ
4405 08C0h+400h × n	etherStatsPkts64Octets_P[n] (n=0~4)	ポート[n] MAC 64 オクテットフレームカウントレジスタ
4405 08C4h+400h × n	etherStatsPkts65to127Octets_P[n] (n=0~4)	ポート[n] MAC 65~127 オクテットフレームカウントレジスタ
4405 08C8h+400h × n	etherStatsPkts128to255Octets_P[n] (n=0~4)	ポート[n] MAC 128~255 オクテットフレームカウントレジスタ
4405 08CCh+400h × n	etherStatsPkts256to511Octets_P[n] (n=0~4)	ポート[n] MAC 256~511 オクテットフレームカウントレジスタ
4405 08D0h+400h × n	etherStatsPkts512to1023Octets_P[n] (n=0~4)	ポート[n] MAC 512~1023 オクテットフレームカウントレジスタ

表 4.2 A5PSW レジスタマップ (4/6)

アドレス	レジスタシンボル	レジスタ名
4405 08D4h+400h×n	etherStatsPkts1024to1518Octets_P[n] (n=0~4)	ポート[n] MAC 1024~1519 オクテットフレームカウントレジスタ
4405 08D8h+400h×n	etherStatsPkts1519toXOctets_P[n] (n=0~4)	ポート[n] MAC 1519 超オクテットフレームカウントレジスタ
4405 08DCh+400h×n	etherStatsJabbers_P[n] (n=0~4)	ポート[n] MAC ジャバフレームカウントレジスタ
4405 08E0h+400h×n	etherStatsFragments_P[n] (n=0~4)	ポート[n] MAC フラグメントフレームカウントレジスタ
4405 08E8h+400h×n	VLANReceivedOK_P[n] (n=0~4)	ポート[n] MAC 受信済み VLAN タグ付きフレームカウントレジスタ
4405 08F4h+400h×n	VLANTransmittedOK_P[n] (n=0~4)	ポート[n] MAC 送信済み VLAN タグ付きフレームカウントレジスタ
4405 08F8h+400h×n	FramesRetransmitted_P[n] (n=0~4)	ポート[n] MAC 再送信フレームカウントレジスタ
4405 0900h+400h×n	STATS_HIWORD_P[n] (n=0~4)	ポート[n] MAC 統計カウンタ上位ワードレジスタ
4405 0904h+400h×n	STATS_CTRL_P[n] (n=0~4)	ポート[n] MAC 統計コントロールレジスタ
4405 0908h+400h×n	STATS_CLEAR_VALUELO_P[n] (n=0~4)	ポート[n] MAC 統計クリア値下位レジスタ
4405 090Ch+400h×n	STATS_CLEAR_VALUEHI_P[n] (n=0~4)	ポート[n] MAC 統計クリア値上位レジスタ
4405 0910h+400h×n	aDeferred_P[n] (n=0~3)	ポート[n] MAC デフェードカウントレジスタ
4405 0914h+400h×n	aMultipleCollisions_P[n] (n=0~3)	ポート[n] MAC 複数コリジョンカウントレジスタ
4405 0918h+400h×n	aSingleCollisions_P[n] (n=0~3)	ポート[n] MAC 単一コリジョンカウントレジスタ
4405 091Ch+400h×n	aLateCollisions_P[n] (n=0~3)	ポート[n] MAC 遅延コリジョンカウントレジスタ
4405 0920h+400h×n	aExcessiveCollisions_P[n] (n=0~3)	ポート[n] MAC 過剰コリジョンカウントレジスタ
4405 0924h+400h×n	aCarrierSenseErrors_P[n] (n=0~3)	ポート[n] MAC キャリアセンスエラーカウントレジスタ
4405 3C00h	DLR_CONTROL	DLR コントロールレジスタ
4405 3C04h	DLR_STATUS	DLR ステータスレジスタ
4405 3C08h	DLR_ETH_TYP	DLR イーサネットタイプレジスタ
4405 3C0Ch	DLR_IRQ_CONTROL	DLR 割り込みコントロールレジスタ
4405 3C10h	DLR_IRQ_STAT_ACK	DLR 割り込みステータス/ACK レジスタ
4405 3C14h	DLR_LOC_MAClo	DLR ローカル MAC アドレス下位レジスタ
4405 3C18h	DLR_LOC_MACHi	DLR ローカル MAC アドレス上位レジスタ
4405 3C20h	DLR_SUPR_MAClo	DLR スーパーバイザ MAC アドレス下位レジスタ
4405 3C24h	DLR_SUPR_MACHi	DLR スーパーバイザ MAC アドレス上位レジスタ
4405 3C28h	DLR_STATE_VLAN	DLR リングステータス/VLAN レジスタ
4405 3C2Ch	DLR_BEC_TMOU	DLR ビーコンタイムアウトレジスタ
4405 3C30h	DLR_BEC_INTRVL	DLR ビーコンインターバルレジスタ
4405 3C34h	DLR_SUPR_IPADR	DLR スーパーバイザ IP アドレスレジスタ
4405 3C38h	DLR_ETH_STYP_VER	DLR サブタイプ/プロトコルバージョンレジスタ
4405 3C3Ch	DLR_INV_TMOU	DLR ビーコンタイムアウトタイムレジスタ
4405 3C40h	SEQ_ID	DLR シーケンス ID レジスタ
4405 3C58h	DLR_DSTlo	DLR ビーコン宛先アドレス下位レジスタ
4405 3C5Ch	DLR_DSTHi	DLR ビーコン宛先アドレス上位レジスタ
4405 3C60h	DLR_RX_STAT0	DLR 受信フレーム統計レジスタ 0
4405 3C64h	DLR_RX_ERR_STAT0	DLR 受信フレームエラー統計レジスタ 0
4405 3C68h	DLR_TX_STAT0	DLR 送信フレーム統計レジスタ 0
4405 3C70h	DLR_RX_STAT1	DLR 受信フレーム統計レジスタ 1
4405 3C74h	DLR_RX_ERR_STAT1	DLR 受信フレームエラー統計レジスタ 1
4405 3C78h	DLR_TX_STAT1	DLR 送信フレーム統計レジスタ 1

表 4.2 A5PSW レジスタマップ (5/6)

アドレス	レジスタシンボル	レジスタ名
4405 3D00h	PRP_CONFIG	PRP コンフィグレーションレジスタ
4405 3D04h	PRP_GROUP	PRP ポートグループレジスタ
4405 3D08h	PRP_SUFFIX	PRP RCT サフィックス
4405 3D0Ch	PRP_LANID	PRP LAN 識別子
4405 3D10h	DUP_W	PRP 最大重複検出ウィンドウサイズ
4405 3D14h	PRP_AGETIME	PRP エイジング時間定義レジスタ
4405 3D18h	PRP_IRQ_CONTROL	PRP 割り込みコントロールレジスタ
4405 3D1Ch	PRP_IRQ_STAT_ACK	PRP 割り込みステータス/ACK レジスタ
4405 3D20h	RM_ADDR_CTRL	PRP 履歴メモリトランザクションコントロールレジスタ
4405 3D24h	RM_DATA	PRP メモリデータレジスタ
4405 3D2Ch	RM_STATUS	PRP メモリコントローラステータス表示
4405 3D30h	TxSeqTooLate	PRP フレーム送信での誤りシーケンス番号の取り出し
4405 3D34h	CntErrWrongLanA	PRP 誤 ID LAN-A カウントレジスタ
4405 3D38h	CntErrWrongLanB	PRP 誤 ID LAN-B カウントレジスタ
4405 3D3Ch	CntDupLanA	PRP 重複 LAN-A カウントレジスタ
4405 3D40h	CntDupLanB	PRP 重複 LAN-B カウントレジスタ
4405 3D44h	CntOutOfSeqLowA	PRP シーケンスエラー低 LAN-A カウントレジスタ
4405 3D48h	CntOutOfSeqLowB	PRP シーケンスエラー低 LAN-B カウントレジスタ
4405 3D4Ch	CntOutOfSeqA	PRP シーケンスエラーLAN-A カウントレジスタ
4405 3D50h	CntOutOfSeqB	PRP シーケンスエラーLAN-B カウントレジスタ
4405 3D54h	CntAcceptA	PRP 有効フレーム LAN-A カウントレジスタ
4405 3D58h	CntAcceptB	PRP 有効フレーム LAN-B カウントレジスタ
4405 3D5Ch	CntMissing	PRP 喪失履歴調整カウント
4405 3E00h	HUB_CONFIG	ハブコンフィグレーションレジスタ
4405 3E04h	HUB_GROUP	ハブポートグループレジスタ
4405 3E08h	HUB_DEFPORT	ハブデフォルトポート選択レジスタ
4405 3E0Ch	HUB_TRIGGER_IMMEDIATE	ハブ送信トリガイミディエイトレジスタ
4405 3E10h	HUB_TRIGGER_AT	ハブ特定時間送信トリガレジスタ
4405 3E14h	HUB_TTIME	ハブ送信時間定義レジスタ
4405 3E18h	HUB_IRQ_CONTROL	ハブ割り込みコントロールレジスタ
4405 3E1Ch	HUB_IRQ_STAT_ACK	ハブ割り込みステータス/ACK レジスタ
4405 3E20h	HUB_STATUS	ハブステータスレジスタ
4405 3E24h	HUB_OPORT_STATUS	ハブ出力ポートステータスレジスタ
4405 3E80h+4h×n	RXMATCH_CONFIG[n] (n=0~4)	ポート[n]の RX パターンマッチャコンフィグレーション
4405 3EB0h+4h×n	PATTERN_CTRL[n] (n=0~7)	パターン[n]の RX パターンマッチャ機能コントロール
4405 3ED0h	PTN_IRQ_CONTROL	RX パターンマッチャ割り込みコントロールレジスタ
4405 3ED4h	PTN_IRQ_STAT_ACK	RX パターンマッチャ割り込みステータス/ACK レジスタ
4405 3EDCh	PATTERN_SEL	RX パターン番号選択レジスタ
4405 3EE0h	PTRN_CMP_30	パターン比較値バイト 3~0
4405 3EE4h	PTRN_CMP_74	パターン比較値バイト 7~4
4405 3EE8h	PTRN_CMP_118	パターン比較値バイト 11~8
4405 3EF0h	PTRN_MSK_30	バイト 3~0 のパターンマスク
4405 3EF4h	PTRN_MSK_74	バイト 7~4 のパターンマスク
4405 3EF8h	PTRN_MSK_118	バイト 11~8 のパターンマスク
4405 3F00h	TDMA_CONFIG	TDMA コンフィグレーションレジスタ

表 4.2 A5PSW レジスタマップ (6/6)

アドレス	レジスタシンボル	レジスタ名
4405 3F04h	TDMA_PORTS	TDMA スケジューリング許可レジスタ
4405 3F08h	TDMA_START	TDMA 開始時間設定レジスタ
4405 3F0Ch	TDMA_MODULO	TDMA システムタイマモジュロ
4405 3F10h	TDMA_CYCLE	TDMA 周期サイクル設定レジスタ
4405 3F14h	TDMA_T1	TDMA 第 1 時間オフセット
4405 3F18h	TDMA_T2	TDMA 第 2 時間オフセット
4405 3F1Ch	TDMA_T3	TDMA 第 3 時間オフセット
4405 3F20h	QUEUES_TS	TDMA 第 1 スロット送信許可
4405 3F24h	QUEUES_T1	TDMA 第 2 スロット送信許可
4405 3F28h	QUEUES_T2	TDMA 第 3 スロット送信許可
4405 3F2Ch	QUEUES_T3	TDMA 最終スロット送信許可
4405 3F30h	QUEUES_START	TDMA 第 1 サイクル送信許可
4405 3F34h	TIME_LOAD_NEXT	TDMA 次回読み込み時刻計算値
4405 3F38h	TDMA_IRQ_CONTROL	TDMA 割り込みコントロールレジスタ
4405 3F3Ch	TDMA_IRQ_STAT_ACK	TDMA 割り込みステータス/ACK レジスタ

4.4 レジスタの説明

4.4.1 REVISION — スイッチコアバージョン

アドレス 4405 0000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	REV															
リセット後の値	0	1	0	1	0	0	0	0	0	0	0	0	0	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	REV															
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0

表 4.3 REVISION レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	REV	リビジョン	R

4.4.2 SCRATCH — スクラッチレジスタ

アドレス 4405 0004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SCRATCH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCRATCH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.4 SCRATCH レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	SCRATCH	SCRATCH レジスタはレジスタアクセスをテストするためのメモリロケーションを提供します。 書き込まれたすべてのデータを反転して返却します。	R/W

4.4.3 PORT_ENA — ポートイネーブルレジスタ

イネーブルビット（両方ともポートごとのビット）のリセットデフォルト値は SWCTRL レジスタの STRAP_SX_ENB ビットと STRAP_HUB_ENB ビットで制御されます。

STRAP_SX_ENB=0、STRAP_HUB_ENB=0 : RXENA=0h、TXENA=0h。

STRAP_SX_ENB=0、STRAP_HUB_ENB=1 : RXENA=3h、TXENA=3h。

STRAP_SX_ENB=1、STRAP_HUB_ENB=0 : RXENA=fh、TXENA=fh。

STRAP_SX_ENB=1、STRAP_HUB_ENB=1 : RXENA=1fh、TXENA=1fh。

STRAP_SX_ENB と STRAP_HUB_ENB については「**10.2.14 SWCTRL — A5PSW コントロールレジスタ**」を参照してください。

アドレス 4405 0008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	RXENA				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット												TXENA				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 4.5 PORT_ENA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b21	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b20~b16	RXENA	受信許可マスク ポートごとに 1 ビットです。 スイッチはこのマスクで許可されている入力ポートだけを対象に動作します。	R/W
b15~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4~b0	TXENA	送信許可マスク ポートごとに 1 ビットです。 スイッチはこのマスクで許可されているポートにだけフレームを送信します。禁止されたポートに向けられたフレームは廃棄されます。管理ポートから送信された BPDU フレームはすべて例外です。これらフレームにはこのマスクが適用されず、禁止されたポートにもフレームが送信されます（「4.4.9 MGMT_CONFIG — 管理コンフィグレーションレジスタ」参照）。	R/W

4.4.4 UCAST_DEFAULT_MASK — ユニキャストデフォルトマスクレジスタ

アドレス 4405 000Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	UCASTDM				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	1	1	1	1	1

表 4.6 UCAST_DEFAULT_MASK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	書き込み時は 0 を書き込みます。読み出しは無視してください。	R
b4~b0	UCASTDM	デフォルトのユニキャスト解決ポートごとに 1 ビットです。 ユニキャストフレームのフラッディング解決で使用されます。MAC ルックアップテーブルに宛先アドレスが見つからなかった場合のデフォルト出力ポートリストです。	R/W

4.4.5 VLAN_VERIFY — VLAN ドメイン検証

アドレス 4405 0010h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	VLANDISC				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	VLANVERI				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0

表 4.7 VLAN_VERIFY レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b21	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b20~b16	VLANDISC	ポートごとに 1 ビット (ビット 16=ポート 0) : 未知は廃棄 本ビットがセットされている場合、未知の VLAN ID のフレームまたは VLAN タグがないフレームの受信時、そのフレームは廃棄され転送されません (つまりデフォルトブロードキャストは無視)。	R/W
b15~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4~b0	VLANVERI	ポートごとに 1 ビット (ビット 0=ポート 0) : VLAN ドメインを検証 本ビットが有効 (1) の場合、該当フレームが VLAN ドメインのメンバーの場合にだけそのフレームが有効フレームとしてポートから受け付けられます。 本ビットが無効 (0) の場合、VLAN ドメインのチェックを行わずにフレームが転送されます。	R/W

4.4.6 BCAST_DEFAULT_MASK — ブロードキャストデフォルトマスクレジスタ

アドレス 4405 0014h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	BCASTDM				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	1	1	1	1	1

表 4.8 BCAST_DEFAULT_MASK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4~b0	BCASTDM	デフォルトのブロードキャスト解決ポートごとに 1 ビットです。 ブロードキャストのフラッディング解決のためのデフォルト出力ポートリストです。	R/W

4.4.7 MCAST_DEFAULT_MASK — マルチキャストデフォルトマスクレジスタ

アドレス 4405 0018h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	MCASTDM				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	1	1	1	1	1

表 4.9 MCAST_DEFAULT_MASK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4~b0	MCASTDM	デフォルトのマルチキャスト解決ポートごとに 1 ビットです。 マルチキャストのフラッディング解決のために使用されます。受信したフレームにマルチキャストアドレスが設定されている場合に BCAST_DEFAULT_MASK の代わりにデフォルト出力ポートリストが使用されます。	R/W

4.4.8 INPUT_LEARN_BLOCK — 入力ラーニングブロックレジスタ

ポートに対してブロックが有効（ビット値が 1）の場合、そのポートにはブリッジプロトコルデータユニットのみが入力として受け付けられ、他のフレームはすべて廃棄されます。

ポートに対してラーニングが無効（ビット値が 1）の場合、送信元アドレスルックアップが行われず、ラーニングも行われません。

両機能は互いに独立に動作します。

備 考

これらの設定にかかわらず、受信 BPDU フレームの送信元アドレスに対してラーニングは実行されません（ループなどの場合のテーブル更新を回避するため）。

アドレス 4405 001Ch																	
ビット	b31 b30 b29 b28 b27 b26 b25 b24 b23 b22 b21 b20 b19 b18 b17 b16																
	<table border="1" style="width:100%; text-align:center;"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td colspan="5">LEARNDIS</td> </tr> </table>	—	—	—	—	—	—	—	—	—	—	—	LEARNDIS				
—	—	—	—	—	—	—	—	—	—	—	LEARNDIS						
リセット後の値	X X X X X X X X X X X 0 0 0 0 0																
ビット	b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0																
	<table border="1" style="width:100%; text-align:center;"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td colspan="5">BLOCKEN</td> </tr> </table>	—	—	—	—	—	—	—	—	—	—	—	BLOCKEN				
—	—	—	—	—	—	—	—	—	—	—	BLOCKEN						
リセット後の値	X X X X X X X X X X X 0 0 0 0 0																

表 4.10 INPUT_LEARN_BLOCK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b21	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b20~b16	LEARNDIS	各ポートに対して 1 ビットでラーニングを無効化（ビット 16=ポート 0）	R/W
b15~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4~b0	BLOCKEN	各ポートに対して 1 ビットでブロックを有効化（ビット 0=ポート 0）	R/W

4.4.9 MGMT_CONFIG — 管理コンフィグレーションレジスタ

ブリッジプロトコルフレームを受信する管理ポートを有効にして定義します。

アドレス 4405 0020h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	portmask				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	priority			—	—	—	—	—	discard	enable	message_transmitted	—	Port			
リセット後の値	0	0	0	X	X	X	X	X	1	0	0	X	0	1	0	0

表 4.11 MGMT_CONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b21	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b20~b16	portmask	管理フレームの送信のためのポートマスク 管理ポートがスイッチへフレームを送信するとき、フレームはこのポートマスクのすべてのポートへ転送されます。(ビット 16 はポート 0、ビット 17 はポート 1、...、ビット 20 はポート 4) マスクがすべて 0 のとき、フレームは通常どおり転送されます。(すなわち、MAC アドレスルックアップまたはマルチキャストフラッディングによる転送) 備考) 強制転送はこのポートマスクより優先であり、有効である場合は管理フレームは強制転送のポートマスクで示されたとおりに転送されます。強制転送の使用時は、このポートマスクにはすべて 0 を書き込まなければなりません。	R/W
b15~b13	priority	0 でない場合、送信 BPDU フレームに使用するプライオリティ 0 の場合はこの設定は無視されます。(すなわち、通常のプライオリティ解決を実行します) これは、たとえば、高速配送のための高優先出力キューに管理フレームを入れることに利用できます。	R/W
b12~b8	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b7	discard	セットされている場合、BPDU を常に廃棄します。enable ビットがセットされている場合、本ビットの設定は無視されます。	R/W
b6	enable	本ビットがセットされている場合、ビット 3~0 で定義されている管理ポートにブリッジプロトコルフレーム (BPDU) がすべて転送されます。管理ポートで受信した BPDU フレームは本レジスタの portmask で示されたポートに転送されます。このとき、通常転送の判定 (強制転送を除く) はバイパスされます。 本ビットがクリアされている場合、ブリッジプロトコルフレーム (BPDU) は他のフレームと同様に転送されます。または、discard ビットがセットされている場合には破棄されます。	R/W
b5	message_transmitted	管理ポートから任意の出力ポートに BPDU メッセージが送信されたときにセット (ラッチ) されます。上記 portmask ビットが使用されたことを示すハンドシェイクに利用でき、0 にセットするなどの再設定が可能です。 通常のフレームではアサートされません。 本ビットはレジスタへの書き込みでリセットされます。	R/W
b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3~b0	Port	管理ポートのポート番号。初期値のまま使用してください。	R/W

4.4.10 MODE_CONFIG — モードコンフィグレーションレジスタ

アドレス 4405 0024h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	StatsReset	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	Cut_Through_Enable				Options								
リセット後の値	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.12 MODE_CONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b31	StatsReset	統計カウンタリセットコマンド 書き込み中にセットされると、すべての統計カウンタはクリアされます。 セットされたとき、他のすべてのビットの書き込みは無視され、レジスタに現在格納されている値には影響しません。(すなわち、コマンドを書き込む前にレジスタの内容を読み出し/保存しておく必要はありません) またこれは、ビット 31 が 0 のときのみ他のビットに書き込めることを意味します。	W
b30~b13	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b12~b8	Cut_Through_Enable	ポートカットスルーの有効化 ポートごとに 1 ビットです。 ビット 8=ポート 0、ビット 9=ポート 1、ビット 10=ポート 2、 ビット 11=ポート 3、ビット 12=ポート 4。 ポートに対してカットスルーが有効になると、フレームの受信が完了する前に受信フレームが宛先に転送されます。カットスルーは両方のポート（フレームを受信するポートと転送先のポート）のカットスルービットがセットされている場合にのみ可能です。そうでない場合は、フレームは通常の保存転送動作で転送されます。	R/W
b7~b0	Options	未使用の予約ビット。常に 0 を書いてください。	R

4.4.11 VLAN_IN_MODE — VLAN 入力操作モードレジスタ

アドレス 4405 0028h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	P4VLANINMD	P3VLANINMD	P2VLANINMD	P1VLANINMD	P0VLANINMD					
リセット後の値	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0

表 4.13 VLAN_IN_MODE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b10	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b9、b8	P4VLANINMD	ポート 4 の VLAN 入力操作機能の動作定義 00b : Mode 1 01b : Mode 2 10b : Mode 3 11b : Mode 4	R/W
b7、b6	P3VLANINMD	ポート 3 の VLAN 入力操作機能の動作定義 00b : Mode 1 01b : Mode 2 10b : Mode 3 11b : Mode 4	R/W
b5、b4	P2VLANINMD	ポート 2 の VLAN 入力操作機能の動作定義 00b : Mode 1 01b : Mode 2 10b : Mode 3 11b : Mode 4	R/W
b3、b2	P1VLANINMD	ポート 1 の VLAN 入力操作機能の動作定義 00b : Mode 1 01b : Mode 2 10b : Mode 3 11b : Mode 4	R/W
b1、b0	P0VLANINMD	ポート 0 の VLAN 入力操作機能の動作定義 00b : Mode 1 01b : Mode 2 10b : Mode 3 11b : Mode 4	R/W

4.4.12 VLAN_OUT_MODE — VLAN 出力操作モードレジスタ

アドレス 4405 002Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	P4VLANOUTMD	P3VLANOUTMD	P2VLANOUTMD	P1VLANOUTMD	P0VLANOUTMD					
リセット後の値	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0

表 4.14 VLAN_OUT_MODE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b10	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b9、b8	P4VLANOUTMD	ポート4のVLAN出力操作機能の動作定義 00b: 出力操作なし 01b: モード1、ストリップモード 10b: モード2、タグスルー 11b: モード3、トランスペアレント	R/W
b7、b6	P3VLANOUTMD	ポート3のVLAN出力操作機能の動作定義 00b: 出力操作なし 01b: モード1、ストリップモード 10b: モード2、タグスルー 11b: モード3、トランスペアレント	R/W
b5、b4	P2VLANOUTMD	ポート2のVLAN出力操作機能の動作定義 00b: 出力操作なし 01b: モード1、ストリップモード 10b: モード2、タグスルー 11b: モード3、トランスペアレント	R/W
b3、b2	P1VLANOUTMD	ポート1のVLAN出力操作機能の動作定義 00b: 出力操作なし 01b: モード1、ストリップモード 10b: モード2、タグスルー 11b: モード3、トランスペアレント	R/W
b1、b0	P0VLANOUTMD	ポート0のVLAN出力操作機能の動作定義 00b: 出力操作なし 01b: モード1、ストリップモード 10b: モード2、タグスルー 11b: モード3、トランスペアレント	R/W

4.4.13 VLAN_IN_MODE_ENA — VLAN 入力モードイネーブルレジスタ

ポートに対する VLAN_IN_MODE に基づく入力処理を有効にします（各ポートに 1 ビット）。無効になっているときは（ビット値が 0）、ポートに対する VLAN_IN_MODE の設定は無視されフレームは変更なしで処理されます。

アドレス 4405 0030h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	VLANINMDEN				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0

表 4.15 VLAN_IN_MODE_ENA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4~b0	VLANINMDEN	ポートに対する VLAN_IN_MODE に基づく入力処理を有効にします（各ポートに 1 ビット）。	R/W

4.4.14 VLAN_TAG_ID — VLAN タグ ID レジスタ

アドレス 4405 0034h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VLANTAGID															
リセット後の値	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

表 4.16 VLAN_TAG_ID レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	VLANTAGID	VLAN タグ付きのフレームと識別するための VLAN タイプフィールド（TPID）の値 デフォルト値は 0x8100 です。	R

4.4.15 BCAST_STORM_LIMIT — ブロードキャストストーム保護レジスタ

アドレス 4405 0038h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BCASTLIMIT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMOUT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.17 BCAST_STORM_LIMIT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	BCASTLIMIT	タイムアウト期間中にポートに対して受け付け可能なブロードキャストフレーム数（-1）。この値を超えた場合は廃棄されます。カウンタはポートごとに個別に実装されていますが、制限値は全ポート共通です。 0 の場合は制限されません。 1 小さい値を設定します。（例えば、10 フレーム許可するには 9 を設定）	R/W
b15~b0	TMOUT	65536 スイッチシステムクロック周期単位のタイムアウト値	R/W

4.4.16 MCAST_STORM_LIMIT — マルチキャストストーム保護レジスタ

アドレス 4405 003Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MCASTLIMIT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 4.18 MCAST_STORM_LIMIT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	MCASTLIMIT	タイムアウト期間中にポートに対して受け付け可能なマルチキャストフレーム数（-1）。この値を超えた場合は廃棄されます。カウンタはポートごとに個別に実装されていますが、制限値は全ポート共通です。 0 の場合は制限されません。	R/W
b15~b0	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R/W

4.4.17 MIRROR_CONTROL — ポートミラーリングコンフィグレーションレジスタ

アドレス 4405 0040h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	eg_da_match	eg_sa_match	ing_da_match	ing_sa_match	eg_map_enable	ing_map_enable	mirror_enable	Mirror_Port			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.19 MIRROR_CONTROL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b11	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b10	eg_da_match	セットされた場合、MIRROR_EDST レジスタの設定値と一致する宛先アドレスを持つフレームが Egress ポート上に送信された場合にのみミラーリングされます。他のフレームはミラーリングされません。	R/W
b9	eg_sa_match	セットされた場合、MIRROR_ESRC レジスタの設定値と一致する送信元アドレスを持つフレームが Egress ポート上に送信された場合にのみミラーリングされます。他のフレームはミラーリングされません。	R/W
b8	ing_da_match	セットされた場合、MIRROR_IDST レジスタの設定値と一致する宛先アドレスを持つフレームが Ingress ポート上で受信された場合にのみミラーリングされます。他のフレームはミラーリングされません。	R/W
b7	ing_sa_match	セットされた場合、MIRROR_ISRC レジスタの設定値と一致する送信元アドレスを持つフレームが Ingress ポート上で受信された場合にのみミラーリングされます。他のフレームはミラーリングされません。	R/W
b6	eg_map_enable	セットされた場合、Egress マップが有効 (MIRROR_EG_MAP)	R/W
b5	ing_map_enable	セットされた場合、Ingress マップが有効 (MIRROR_ING_MAP)	R/W
b4	mirror_enable	0 : ミラーリング無効 1 : ミラーリング有効	R/W
b3~b0	Mirror_Port	ミラーポートとしてすべてのミラーリングされたフレームを受信するポートのポート番号。有効な設定値の範囲は0~4です。	R/W

4.4.18 MIRROR_EG_MAP — ポートミラーリング Egress ポート定義

アドレス 4405 0044h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	EMAP				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0

表 4.20 MIRROR_EG_MAP レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4~b0	EMAP	ポートミラーリング Egress ポート定義 ポートごとに 1 ビットです。有効になると（ビット値が 1）該当ポートに向けられたフレームはミラーポートにミラーリングされます。	R/W

4.4.19 MIRROR_ING_MAP — ポートミラーリング Ingress ポート定義

アドレス 4405 0048h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	IMAP				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0

表 4.21 MIRROR_ING_MAP レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4~b0	IMAP	ポートミラーリング Ingress ポート定義 ポートごとに 1 ビットです。有効になると（ビット値が 1）該当ポートからのフレームはミラーポートにミラーリングされます。	R/W

4.4.20 MIRROR_ISRC_0 — ミラーフィルタリング 0 用 Ingress 送信元 MAC アドレス

アドレス 4405 004Ch



表 4.22 MIRROR_ISRC_0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ISRC	ミラーフィルタリング用の Ingress 送信元 MAC アドレス アドレスの下位 32 ビットです。	R/W

4.4.21 MIRROR_ISRC_1 — ミラーフィルタリング 1 用 Ingress 送信元 MAC アドレス

アドレス 4405 0050h

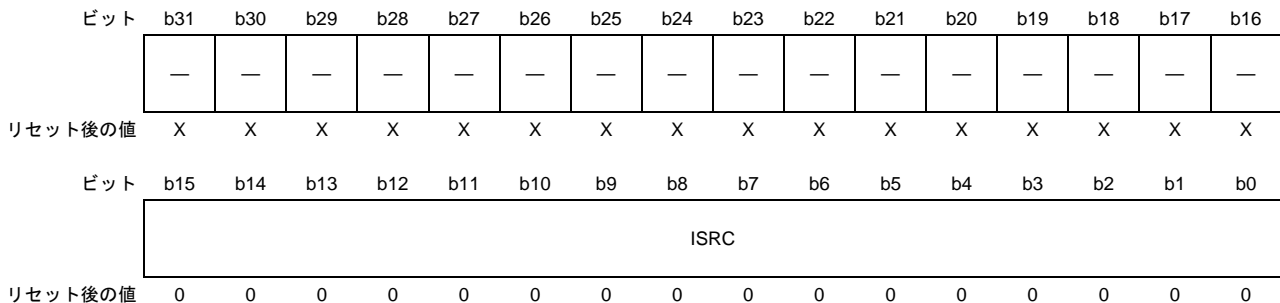


表 4.23 MIRROR_ISRC_1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	ISRC	ミラーフィルタリング用の Ingress 送信元 MAC アドレス アドレスの上位 16 ビットです。	R/W

4.4.22 MIRROR_IDST_0 — ミラーフィルタリング 0 用 Ingress 宛先 MAC アドレス

アドレス 4405 0054h

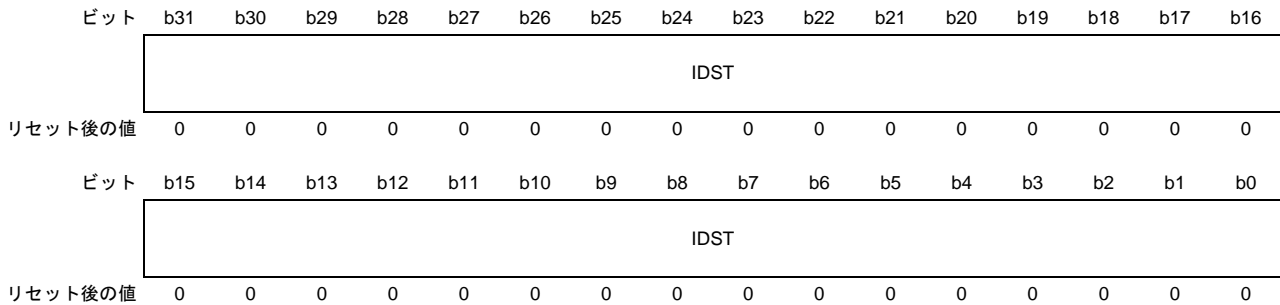


表 4.24 MIRROR_IDST_0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	IDST	ミラーフィルタリング用の Ingress 宛先 MAC アドレス アドレスの下位 32 ビットです。	R/W

4.4.23 MIRROR_IDST_1 — ミラーフィルタリング 1 用 Ingress 宛先 MAC アドレス

アドレス 4405 0058h

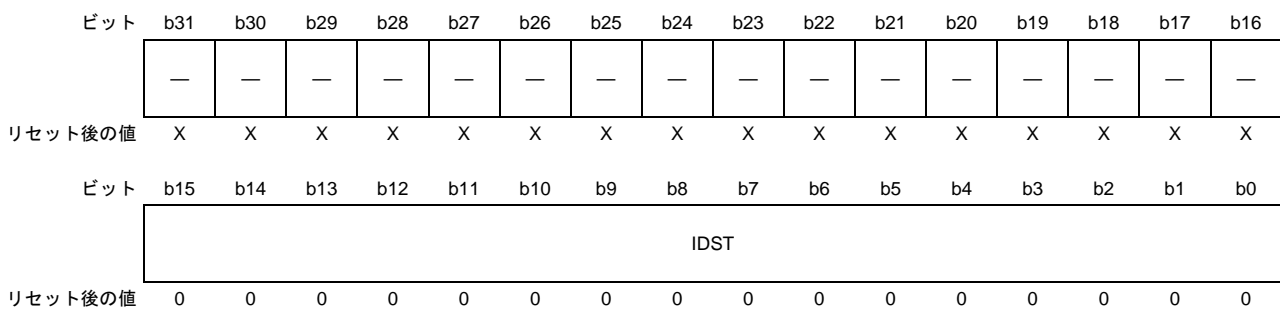


表 4.25 MIRROR_IDST_1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	IDST	ミラーフィルタリング用の Ingress 宛先 MAC アドレス アドレスの上位 16 ビットです。	R/W

4.4.24 MIRROR_ESRC_0 — ミラーフィルタリング 0 用 Egress 送信元 MAC アドレス

アドレス 4405 005Ch

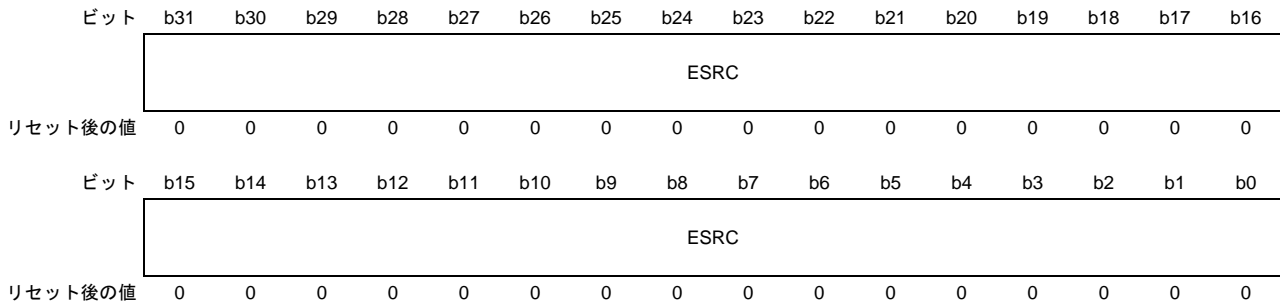


表 4.26 MIRROR_ESRC_0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ESRC	ミラーフィルタリング用の Egress 送信元 MAC アドレス アドレスの下位 32 ビットです。	R/W

4.4.25 MIRROR_ESRC_1 — ミラーフィルタリング 1 用 Egress 送信元 MAC アドレス

アドレス 4405 0060h

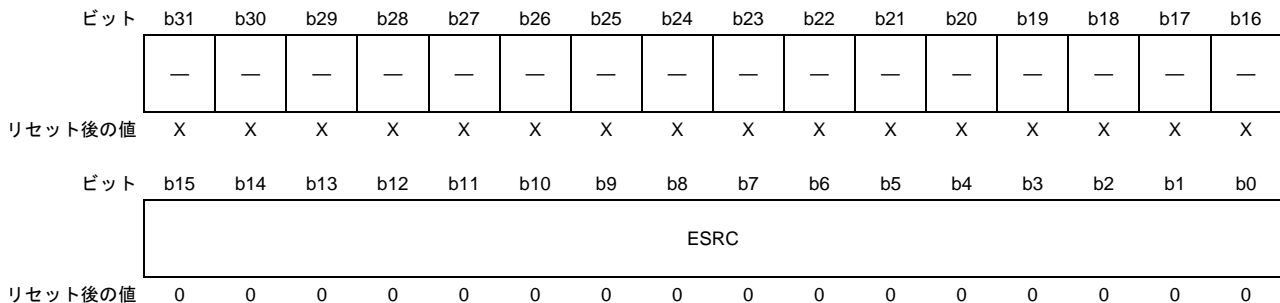


表 4.27 MIRROR_ESRC_1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	ESRC	ミラーフィルタリング用の Egress 送信元 MAC アドレス アドレスの上位 16 ビットです。	R/W

4.4.26 MIRROR_EDST_0 — ミラーフィルタリング 0 用 Egress 宛先 MAC アドレス

アドレス 4405 0064h

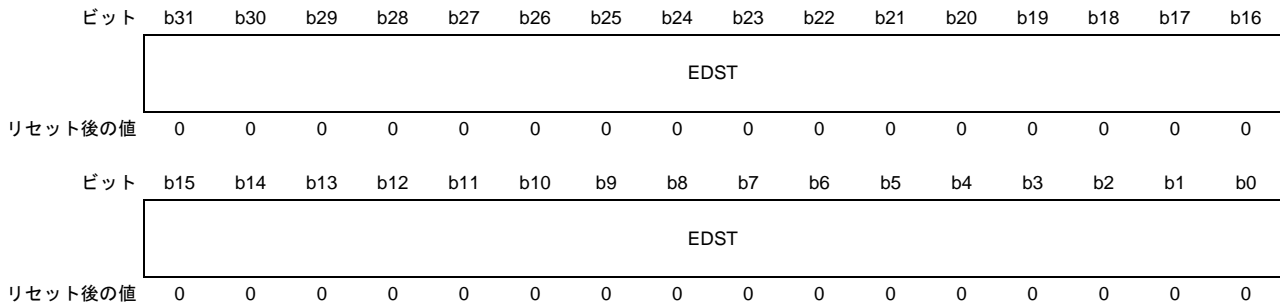


表 4.28 MIRROR_EDST_0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	EDST	ミラーフィルタリング用の Egress 宛先 MAC アドレス アドレスの下位 32 ビットです。	R/W

4.4.27 MIRROR_EDST_1 — ミラーフィルタリング 1 用 Egress 宛先 MAC アドレス

アドレス 4405 0068h

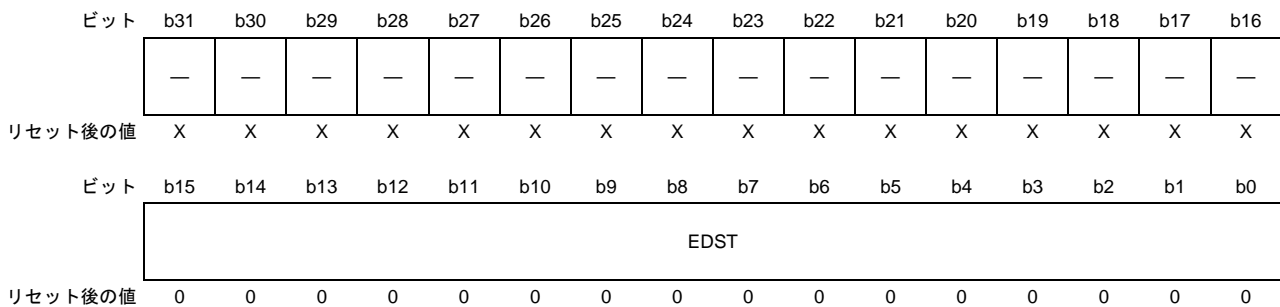


表 4.29 MIRROR_EDST_1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	EDST	ミラーフィルタリング用の Egress 宛先 MAC アドレス アドレスの上位 16 ビットです。	R/W

4.4.28 MIRROR_CNT — ミラーフィルタリングカウント値レジスタ

アドレス 4405 006Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CNT							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0

表 4.30 MIRROR_CNT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b7~b0	CNT	ミラーフィルタリングのカウント値 有効になっている場合、n フレームごとにミラーポートに転送されます。値が1または0の場合はすべてのフレームを意味します。	R/W

4.4.29 QMGR_ST_MINCELLS — 出力キュー最小メモリ統計レジスタ

アドレス 4405 0088h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	M_CELLS_MIN										
リセット後の値	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0

表 4.31 QMGR_ST_MINCELLS レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b11	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b10~b0	M_CELLS_MIN	この値がクリアされた後の動作における、メモリ内の空きセルの最小数を示す統計値です。この値はレジスタに任意の値が書き込まれたときに最大値にリセットされません。	R/W

4.4.30 QMGR_RED_MIN4 — RED 最小しきい値レジスタ

アドレス 4405 0094h

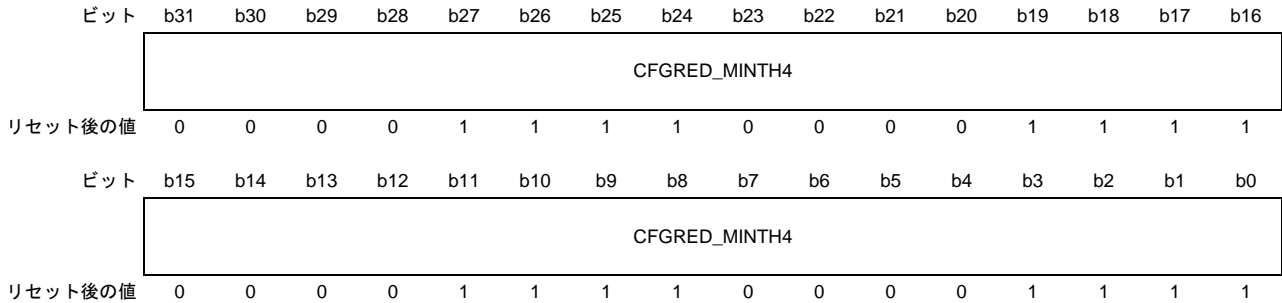


表 4.32 QMGR_RED_MIN4 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CFGRED_MINTH4	キュー0~3のランダム早期検出 (Random Early Detection : RED) 最小しきい値 8ビット値が各キューにあり、すべてのポートに適用されます。 CFGRED_MINTH4[7:0] : キュー0 CFGRED_MINTH4[15:8] : キュー1 CFGRED_MINTH4[23:16] : キュー2 CFGRED_MINTH4[31:24] : キュー3	R/W

4.4.31 QMGR_RED_MAX4 — RED 最大しきい値レジスタ

アドレス 4405 0098h

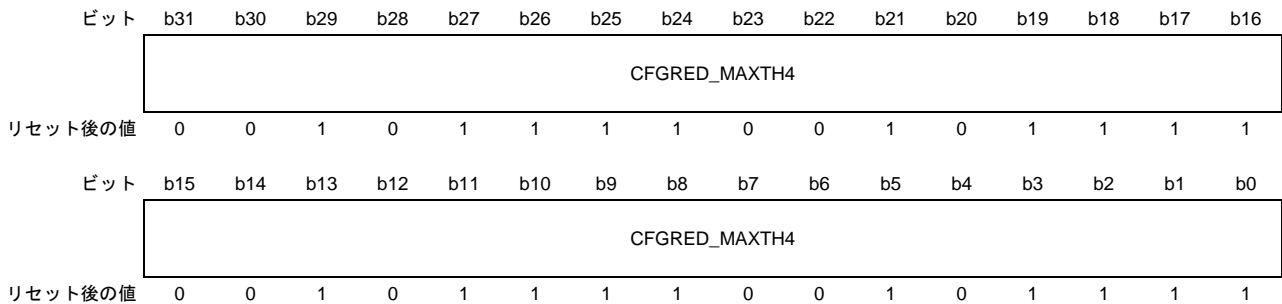


表 4.33 QMGR_RED_MAX4 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CFGRED_MAXTH4	キュー0~3のランダム早期検出 (Random Early Detection : RED) 最大しきい値 8ビット値が各キューにあり、すべてのポートに適用されます。 CFGRED_MAXTH4[7:0] : キュー0 CFGRED_MAXTH4[15:8] : キュー1 CFGRED_MAXTH4[23:16] : キュー2 CFGRED_MAXTH4[31:24] : キュー3	R/W

4.4.32 QMGR_RED_CONFIG — RED コンフィグレーションレジスタ

アドレス 4405 009Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	GACTIVITY_EN	—	—	—	—	QUEUE_RED_EN			
リセット後の値	X	X	X	X	X	X	X	0	X	X	X	X	0	0	0	0

表 4.34 QMGR_RED_CONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b9	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b8	GACTIVITY_EN	平均化をグローバルスイッチアクティビティに対して有効 (1) またはポートローカルアクティビティのみに有効 (0) にします。	R/W
b7~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3~b0	QUEUE_RED_EN	キューに対してランダム早期検出 (Random Early Detection : RED) (1) またはテールドロップ (0) 輻輳管理を有効にします。 各キューに 1 ビット : ビット 0=キュー0、ビット 1=キュー1、… キューごとの設定ですが、すべてのポートのキューに対して適用されます。	R/W

4.4.33 IMC_STATUS — 入力メモリコントローラステータスレジスタ

メモリ初期化が完了したときに本レジスタの読み出し値が 0x08000400 になります。

アドレス		4405 00A0h																			
ビット		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16				
		—	—	—	—	mem_full	de_init	de_error	cf_error	cells_available											
リセット後の値		X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0			
ビット		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0				
		cells_available																			
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				

表 4.35 IMC_STATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b28	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b27	mem_full	メモリが現在フルまたは過去にフルであったことを示します。メモリ内のすべてのセルが割り当てられたときにセットされます（メモリ輻輳）。結果としてフレームが廃棄されます。これはエラーではありません。 備考 本ビットは読み出されるとクリアされます。	R
b26	de_init	メモリの初期化中にセットされます（割り当て解除モジュール）。メモリ初期化中にリセットされてもすぐにセットされます。その後メモリの通常動作の準備が完了するとクリアされます。 備考 メモリの動作準備が完了する前にスイッチを有効化してはいけません。	R
b25	de_error	割り当て解除エラーです。メモリセルの割り当て解除ができなく、以降使用できなくなったことを示します。 メモリリークを意味するため、通常動作中に発生してはならない致命的エラーです。 備考 本ビットは読み出されるとクリアされます。	R
b24	cf_error	セルフファクトリ枯渇エラーです。メモリオーバーフローが発生したことを示します。使用可能な量よりも多くのメモリが要求されました。通常動作中に発生してはならない致命的エラーです（メモリリークの可能性あり）。 備考 本ビットは読み出されるとクリアされます。	R
b23~b0	cells_available	共有メモリ内のメモリセル（128 バイト単位）の総数（リアルタイム）	R

4.4.34 IMC_ERR_FULL — 入力ポートメモリフル切り捨て表示

アドレス 4405 00A4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	ipc_err_trunc				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	ipc_err_full				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0

表 4.36 IMC_ERR_FULL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b21	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b20~b16	ipc_err_trunc	フレームを受信してメモリに書き込み中にメモリがフルになりました。フレームは途中で切り捨てられ廃棄されました。共有メモリへの入力に輻輳が発生したことを示します。本ビットは読み出しによりクリアされます。 各ポートに 1 ビットです（ビット 0=ポート 0、ビット 1=ポート 1、...）。	R
b15~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4~b0	ipc_err_full	フレーム受信開始時にメモリがフルでした。フレームは廃棄されました。共有メモリへの入力に輻輳が発生したことを示します。本ビットは読み出しによりクリアされず。 各ポートに 1 ビットです（ビット 0=ポート 0、ビット 1=ポート 1、...）。	R

4.4.35 IMC_ERR_IFACE — 入力ポートメモリエラー表示

アドレス 4405 00A8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	wbuf_oflow				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	ipc_err_iface				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0

表 4.37 IMC_ERR_IFACE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b21	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b20~b16	wbuf_oflow	入力書き込みバッファにオーバーフローが発生したことをメモリコントローラ（各 MAC RX の小さな分離 FIFO）に示すエラーです。 通常動作で発生してはならないエラーです。このエラーは受信フレームの破損を意味し、最終的にメモリコントローラによってエラーとして廃棄されます。通常動作で発生した場合、スイッチシステム周波数が遅すぎることを示します（つまり MAC 受信レートがメモリ書き込み帯域よりも高い）。本ビットは読み出しによりクリアされず。 各ポートに 1 ビットです（ビット 0=ポート 0、ビット 1=ポート 1、...）。	R
b15~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください	R
b4~b0	ipc_err_iface	フレームが途中で切り捨てられ廃棄されたことを示すメモリ入力（MAC から受信）エラーです。これは通常動作でも発生する場合があります。たとえばフレームのメモリへの書き込みが開始した後に入力ルールによってフレームが廃棄された場合などに発生します（宛先ポートマスクがすべてゼロ、VLAN ドメイン検証で失敗、送信元アドレスが見つからないときに廃棄する設定が有効の場合など）。メモリアクセス失敗時の（致命的な）内部エラーの場合もあります。アクティブな入力ルールがないにもかかわらず本ビットがセットされた場合は、スイッチシステムクロック周波数が遅すぎることを示します（すなわち MAC からの入力レートが高すぎてメモリヘータを書き込めない）。本ビットは読み出しによりクリアされます。 各ポートに 1 ビットです（ビット 0=ポート 0、ビット 1=ポート 1、...）。	R

4.4.36 IMC_ERR_QOFLOW — 出力ポートキューオーバーフロー表示

アドレス 4405 00ACh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	op_error				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0

表 4.38 IMC_ERR_QOFLOW レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4~b0	op_error	キューFIFO オーバフロー（フル状態の FIFO への書き込み）が原因で、フレームをポートの出力キューに保存できませんでした。フレームは無視されますがメモリへ保存されたままの状態になります。通常動作で発生してはならないエラーです。該当フレームに割り当てられたメモリが解放されないため（結果としてメモリリークになる）、これは致命的なエラーです。これは輻輳機能のエラーであることを示します。キューがフレームを受け付けできないときには、通常は輻輳機能がフレームのキューへの書き込みを回避する必要があります。本ビットは読み出しによりクリアされます。 各ポートに 1 ビットです（ビット 0=ポート 0、ビット 1=ポート 1、...）。	R

4.4.37 IMC_CONFIG — 入力メモリコントローラコンフィグレーションレジスタ

アドレス 4405 00B0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	wfq_able
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0

表 4.39 IMC_CONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b1	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b0	wfq_enable	重み付け均等化キューイング（1）または絶対優先（0、デフォルト）出力キュースケジューリングを有効にします。キュー 4 個が実装されています。wfq_enable がセットされている場合は出力キュー 0、1、2、3 に対してそれぞれ 1、2、4、8 の重み付けが設定されます（キュー 3 が最高プライオリティ）。高い重み付けを持つキューは高プライオリティで処理されることとなります。 備考） TDMA スケジューリングが使用されているときは 0 をセットする必要があります。	R/W

4.4.38 GPARSER[n] — 第 1 ブロックの n 番目のパーサ (n=0~3)

ポートスヌープ機能のパーサコンフィグレーション。

アドレス 4405 00C0h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	cmp_mask_or	offset_plus2	compare16	ipprotocol	ipdata	skipvlan	valid	offset_DA	—	offset					
リセット後の値	X	0	0	0	0	0	0	0	0	X	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	compare_value								mask_value2							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.40 GPARSER[n]レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b30	cmp_mask_or	マスクバイト[7:0]を第 2 比較値として使用します。本ビットがセットされているときは、指定されたオフセットのバイトが比較値[15:8]またはマスク値[7:0]と一致したときにパーサがそのことを知らせます。 compare16=0 の場合のみに使用可能です。	R/W
b29	offset_plus2	オフセットでの比較で一致しなかった場合にオフセット+2 で比較を繰り返します。compare16=1 の場合のみに使用可能です。 これを UDP または TCP のポート番号の比較に使用して、該当ポート番号が送信元ポート番号フィールドまたは宛先ポート番号フィールドに設定されていることをチェックできます。	R/W
b28	compare16	本ビットがセットされている場合、マスク[7:0]が 16 ビット比較のための値として使用されます。レジスタのビット[15:8]は指定されたオフセットのバイトに対応し、ビット[7:0]はオフセット+1 のバイトに対応します。これはネットワークでの 16 ビットフィールドのバイトオーダとマッチします。(たとえば比較値を 0x0800 に設定しオフセットを 0 に設定すると IP フレームに一致します。) このモードではマスクは使用できません。 本ビットがクリアされると、1 バイトデータだけが比較され、マスク値は各ビットのマスクのために使用できます。	R/W
b27	ipprotocol	本ビットがセットされている場合、IPv4 フレームと IPv6 フレーム両方に対して、比較値が IP ヘッダのプロトコルフィールドと比較されます。これは暗黙的に skipvlan=1 として動作し、VLAN タグがあってもスキップします。オフセット設定は意味がなくなり無視されます。 本ビットがセットされているときは、IPv4/v6 以外のフレームに対してはパーサは「一致なし」と報告してフレームのチェックを止めます。本ビットがクリアされているときはすべてのフレームに対してオフセットが通常通りに使用されます。 備考) 本ビットがセットされているときはビット 25、26、28、29、30 は意味を持ちません。0 に設定してください。マスク[7:0]が適用されるため、完全一致のためには 0xff と設定する必要があります。	R/W

表 4.40 GPARSER[n]レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b26	ipdata	<p>本ビットがセットされている場合、IP フレームの処理に対してはオフセットの開始位置が IP ヘッダの次のバイトになります。次のフィールドはスキップされます。</p> <ul style="list-style-type: none"> ・ VLAN タグ (暗黙的に skipvlan=1 として動作) ・ IPv4 についてはヘッダとヘッダオプション ・ IPv6 についてはベースヘッダのみ <p>本ビットがセットされているときは、暗黙的にフレームは IP フレームである必要があります。IP 以外のフレームに対してはパーサは「一致なし」と報告してフレームのチェックを止めます。本ビットがクリアされていると、オフセットは MAC 送信元アドレスの次のデータから開始します。(skipvlan の設定により許される場合は VLAN タグはスキップされます。)</p> <p>備考) 本ビットがセットされているときは、skipvlan は意味を持ちません。どの値をセットしてもかまいません。</p>	R/W
b25	skipvlan	<p>本ビットがセットされている場合、フレーム内のオプションの VLAN タグはスキップされ、パーサは VLAN タグの次のバイトから処理を開始します。本ビットがクリアされている場合は、パーサは送信元 MAC アドレスの次のバイトから開始します。</p> <p>備考) 0 の場合、比較対象の最初のデータはタイプ/長さフィールドの最初のバイトになるため、イーサタイプのチェックが可能です。</p>	R/W
b24	valid	<p>このエントリが有効 (1) であり使用すべきであることを示します。0 の場合、パーサ結果は常に「一致なし」となり、他のビットは関係なくなります。</p>	R/W
b23	offset_DA	<p>本ビットがセットされている場合、オフセットは MAC 宛先アドレスの最初のバイトからカウントされます。</p> <p>備考) 本ビットがセットされている場合は、skipvlan ビット、ipdata ビット、および ipprotocol は 0 である必要があります。</p>	R/W
b22	予約ビット	<p>書き込み時は 0 を書き込んでください。読み出しは無視してください。</p>	R
b21~b16	offset	<p>フレーム内の比較対象データの位置を示すバイト単位のオフセットです。オフセット値が 0 の場合は、オフセットのカウントが開始する最初のバイトを示します。オフセット開始位置はフレームのタイプ/長さフィールド (この場合、0 はタイプ/長さフィールドの最初のバイト) または IP ヘッダ (ipdata ビットの説明を参照) の後のバイトロードです。有効値は 0~60 です。</p>	R/W
b15~b8	compare_value	<p>フレームの指定オフセット位置のデータと比較する値</p>	R/W
b7~b0	mask_value2	<p>1 バイト比較の際のマスク、第 2 比較値 (ビット 30=1 の場合)、または 16 ビット比較 (ビット 28=1 の場合) の際の下位 16 ビットです。マスクとして使用される場合 (ビット 28 とビット 30 が 0 の場合) は、フレームから抽出したデータとマスクの AND が比較値と比較されます。マスクで 1 になっているすべてのビットがフレーム内のデータと比較されます。マスクで 0 になっているビットは比較の際には 0 になります。そのためこれらのビットについては比較値も 0 である必要があります。</p>	R/W

4.4.39 GARITH[n] — 第 1 ブロックの演算ステージ n 番目のスヌープコンフィグレーション (n=0~3)

アドレス 4405 00D0h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	snoopmode	—	—	result_invert	operation	
リセット後の値	X	X	X	X	X	X	X	X	X	X	0	0	X	X	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	select_arith2	select_arith1	select_arith0	select_match				—	—	—	—	not_input			
リセット後の値	X	0	0	0	0	0	0	0	X	X	X	X	0	0	0	0

表 4.41 GARITH[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b22	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b21、b20	snoopmode	00b : 無効、スヌープなし (転送のみ) 01b : 管理ポートのみに転送 10b : 通常通り転送して管理ポートにコピー 11b : フレームを廃棄 備考) <ul style="list-style-type: none"> 両方の演算ブロック (0 および 1) が同時に一致しそれらのモード設定が異なる場合、値の小さいモードが選択されます。(一方の機能が 01b に設定され他方の機能が 11b に設定されている場合、01b の機能が実行されます。) このビットは GARITH3 レジスタのみに存在します。他のレジスタではこのビットへの書き込みはできません。 	R/W
b19、b18	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b17	result_invert	0 : 出力をそのまま使用 1 : このステージの出力を反転	R/W
b16	operation	0 : すべての選択された入力の AND 1 : すべての選択された入力の OR	R/W
b15	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b14	select_arith2	ステージ 3 でのみ使用可能です。本ビットがセットされると、パーサ結果に加えて演算ステージ 2 の結果が選択されます。	R/W
b13	select_arith1	ステージ 2~3 でのみ使用可能です。本ビットがセットされると、パーサ結果に加えて演算ステージ 1 の結果が選択されます。	R/W
b12	select_arith0	ステージ 1~3 でのみ使用可能です。本ビットがセットされると、パーサ結果に加えて演算ステージ 0 の結果が選択されます。	R/W
b11~b8	select_match	どのパーサ結果がこのステージに関係するかを指定します。パーサごとに 1 ビットです。 ビット 8=パーサ 0、...、ビット 11=パーサ 3 1 にセットされているビットに対応するパーサのマッチ結果がこのステージで使用されます。他のパーサ結果は無視されます。	R/W
b7~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3~b0	not_input	どのパーサのマッチ結果が反転して使用されるかを指定します。パーサごとに 1 ビットです。 ビット 0=パーサ 0、ビット 1=パーサ 1、...、ビット 3=パーサ 3 1 にセットされているビットに対応するパーサのマッチ結果が反転され、このステージで使用されます。	R/W

4.4.40 GPARSER[n] — 第 2 ブロックの n-4 番目のパーサ (n=4~7)

ポートスヌープ機能のパーサコンフィグレーション。

アドレス 4405 00E0h+4h×(n-4)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	cmp_mask_or	offset_plus2	compare16	ipprotocol	ipdata	skipvlan	valid	offset_D A	—	offset					
リセット後の値	X	0	0	0	0	0	0	0	0	X	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	compare_value								mask_value2							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.42 GPARSER[n]レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b30	cmp_mask_or	マスクバイト[7:0]を第 2 比較値として使用します。本ビットがセットされているときは、指定されたオフセットのバイトが比較値[15:8]またはマスク値[7:0]と一致したときにパーサがそのことを知らせます。 compare16=0 の場合のみに使用可能です。	R/W
b29	offset_plus2	オフセットでの比較で一致しなかった場合にオフセット+2 で比較を繰り返します。compare16=1 の場合のみに使用可能です。 これを UDP または TCP のポート番号の比較に使用して、該当ポート番号が送信元ポート番号フィールドまたは宛先ポート番号フィールドに設定されていることをチェックできます。	R/W
b28	compare16	本ビットがセットされている場合、マスク[7:0]が 16 ビット比較のための値として使用されます。レジスタのビット[15:8]は指定されたオフセットのバイトに対応し、ビット[7:0]はオフセット+1 のバイトに対応します。これはネットワークでの 16 ビットフィールドのバイトオーダとマッチします。(たとえば比較値を 0x0800 に設定しオフセットを 0 に設定すると IP フレームに一致します。) このモードではマスクは使用できません。 本ビットがクリアされると、1 バイトデータだけが比較され、マスク値は各ビットのマスクのために使用できます。	R/W
b27	ipprotocol	本ビットがセットされている場合、IPv4 フレームと IPv6 フレーム両方に対して、比較値が IP ヘッダのプロトコルフィールドと比較されます。これは暗黙的に skipvlan=1 として動作し、VLAN タグがあってもスキップします。オフセット設定は意味がなくなり無視されます。 本ビットがセットされているときは、IPv4/v6 以外のフレームに対してはパーサは「一致なし」と報告してフレームのチェックを止めます。本ビットがクリアされているときはすべてのフレームに対してオフセットが通常通りに使用されます。 備考) 本ビットがセットされているときはビット 25,26,28,29,30 は意味を持ちません。0 に設定してください。マスク[7:0]が適用されるため、完全一致のためには 0xff と設定する必要があります。	R/W

表 4.42 GPARSER[n]レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b26	ipdata	<p>本ビットがセットされている場合、IP フレームの処理に対してはオフセットの開始位置が IP ヘッダの次のバイトになります。次のフィールドはスキップされます。</p> <ul style="list-style-type: none"> ・ VLAN タグ (暗黙的に skipvlan=1 として動作) ・ IPv4 についてはヘッダとヘッダオプション ・ IPv6 についてはベースヘッダのみ <p>本ビットがセットされているときは、暗黙的にフレームは IP フレームである必要があります。IP 以外のフレームに対してはパーサは「一致なし」と報告してフレームのチェックを止めます。本ビットがクリアされていると、オフセットは MAC 送信元アドレスの次のデータから開始します。(skipvlan の設定により許される場合は VLAN タグはスキップされます。)</p> <p>備考) 本ビットがセットされているときは、skipvlan は意味を持ちません。どの値をセットしてもかまいません。</p>	R/W
b25	skipvlan	<p>本ビットがセットされている場合、フレーム内のオプションの VLAN タグはスキップされ、パーサは VLAN タグの次のバイトから処理を開始します。本ビットがクリアされている場合は、パーサは送信元 MAC アドレスの次のバイトから開始します。</p> <p>備考) 0 の場合、比較対象の最初のデータはタイプ/長さフィールドの最初のバイトになるため、イーサタイプのチェックが可能です。</p>	R/W
b24	valid	<p>このエントリが有効 (1) であり使用すべきであることを示します。0 の場合、パーサ結果は常に「一致なし」となり、他のビットは関係なくなります。</p>	R/W
b23	offset_DA	<p>本ビットがセットされている場合、オフセットは MAC 宛先アドレスの最初のバイトからカウントされます。</p> <p>備考) 本ビットがセットされている場合は、skipvlan ビット、ipdata ビット、および ipprotocol は 0 である必要があります。</p>	R/W
b22	予約ビット	<p>書き込み時は 0 を書き込んでください。読み出しは無視してください。</p>	R
b21~b16	offset	<p>フレーム内の比較対象データの位置を示すバイト単位のオフセットです。オフセット値が 0 の場合は、オフセットのカウントが開始する最初のバイトを示します。オフセット開始位置はフレームのタイプ/長さフィールド (この場合、0 はタイプ/長さフィールドの最初のバイト) または IP ヘッダ (ipdata ビットの説明を参照) の後のバイトロードです。有効値は 0~60 です。</p>	R/W
b15~b8	compare_value	<p>フレームの指定オフセット位置のデータと比較する値</p>	R/W
b7~b0	mask_value2	<p>1 バイト比較の際のマスク、第 2 比較値 (ビット 30=1 の場合)、または 16 ビット比較 (ビット 28=1 の場合) の際の下位 16 ビットです。マスクとして使用される場合 (ビット 28 とビット 30 が 0 の場合) は、フレームから抽出したデータとマスクの AND が比較値と比較されます。マスクで 1 になっているすべてのビットがフレーム内のデータと比較されます。マスクで 0 になっているビットは比較の際には 0 になります。そのためこれらのビットについては比較値も 0 である必要があります。</p>	R/W

4.4.41 GARITH[n] — 第 2 ブロックの演算ステージ n-4 番目のスヌープコンフィグレーション (n=4~7)

アドレス 4405 00F0h+4h×(n-4)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	snoopmode	—	—	result_invert	operation	
リセット後の値	X	X	X	X	X	X	X	X	X	X	0	0	X	X	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	select_arith2	select_arith1	select_arith0	select_match				—	—	—	—	not_input			
リセット後の値	X	0	0	0	0	0	0	0	X	X	X	X	0	0	0	0

表 4.43 GARITH[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b22	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b21、b20	snoopmode	00b : 無効、スヌープなし (転送のみ) 01b : 管理ポートのみに転送 10b : 通常通り転送して管理ポートにコピー 11b : フレームを廃棄 備考) • 両方の演算ブロック (0 および 1) が同時に一致しそれらのモード設定が異なる場合、値の小さいモードが選択されます。(一方の機能が 01b に設定され他方の機能が 11b に設定されている場合、01b の機能が実行されます。) • このビットは GARITH7 レジスタのみに存在します。他のレジスタではこのビットへの書き込みはできません。	R/W
b19、b18	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b17	result_invert	0 : 出力をそのまま使用 1 : このステージの出力を反転	R/W
b16	operation	0 : すべての選択された入力の AND 1 : すべての選択された入力の OR	R/W
b15	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b14	select_arith2	ステージ 3 でのみ使用可能です。本ビットがセットされると、パーサ結果に加えて演算ステージ 2 の結果が選択されます。	R/W
b13	select_arith1	ステージ 2~3 でのみ使用可能です。本ビットがセットされると、パーサ結果に加えて演算ステージ 1 の結果が選択されます。	R/W
b12	select_arith0	ステージ 1~3 でのみ使用可能です。本ビットがセットされると、パーサ結果に加えて演算ステージ 0 の結果が選択されます。	R/W
b11~b8	select_match	どのパーサ結果がこのステージに関係するかを指定します。パーサごとに 1 ビットです。 ビット 8=パーサ 4、...、ビット 11=パーサ 7 1 にセットされているビットに対応するパーサのマッチ結果がこのステージで使用されます。他のパーサ結果は無視されます。	R/W
b7~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3~b0	not_input	どのパーサのマッチ結果が反転して使用されるかを指定します。パーサごとに 1 ビットです。 ビット 0=パーサ 4、ビット 1=パーサ 5、...、ビット 3=パーサ 7 1 にセットされているビットに対応するパーサのマッチ結果が反転され、このステージで使用されます。	R/W

4.4.42 VLAN_PRIORITY[n] — VLAN プライオリティレジスタ[n] (n=0~4)

VLAN_PRIORITY_n レジスタは 3 ビットから 2 ビットへの VLAN プライオリティマッピングを実装します。各ポートに 1 つのレジスタが割り当てられます。フレームの 3 ビットの VLAN プライオリティフィールドがインデックスとして使用され、対応するプライオリティがレジスタの対応する個所から取り出されます。このプライオリティによってフレームが最終的にクラス分けされます。

プライオリティ 0 が最も低いプライオリティです。

アドレス 4405 0100h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	PRIOIN7	—	PRIOIN6	—	PRIOIN5	—	PRIOIN5
リセット後の値	X	X	X	X	X	X	X	X	X	1	1	X	1	1	X	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRIOIN5	—	PRIOIN4	—	PRIOIN3	—	PRIOIN2	—	PRIOIN1	—	PRIOIN0	—	PRIOIN0	—	PRIOIN0	—
リセット後の値	1	X	1	1	X	1	1	X	1	0	X	0	1	X	0	0

表 4.44 VLAN_PRIORITY[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b23	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b22, b21	PRIOIN7	本フィールドはフレームの 3 ビットの VLAN プライオリティフィールドが 7 のときにプライオリティキュー番号として使用されます。	R/W
b20	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b19, b18	PRIOIN6	本フィールドはフレームの 3 ビットの VLAN プライオリティフィールドが 6 のときにプライオリティキュー番号として使用されます。	R/W
b17	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b16, b15	PRIOIN5	本フィールドはフレームの 3 ビットの VLAN プライオリティフィールドが 5 のときにプライオリティキュー番号として使用されます。	R/W
b14	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b13, b12	PRIOIN4	本フィールドはフレームの 3 ビットの VLAN プライオリティフィールドが 4 のときにプライオリティキュー番号として使用されます。	R/W
b11	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b10, b9	PRIOIN3	本フィールドはフレームの 3 ビットの VLAN プライオリティフィールドが 3 のときにプライオリティキュー番号として使用されます。	R/W
b8	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b7, b6	PRIOIN2	本フィールドはフレームの 3 ビットの VLAN プライオリティフィールドが 2 のときにプライオリティキュー番号として使用されます。	R/W
b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4, b3	PRIOIN1	本フィールドはフレームの 3 ビットの VLAN プライオリティフィールドが 1 のときにプライオリティキュー番号として使用されます。	R/W
b2	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b1, b0	PRIOIN0	本フィールドはフレームの 3 ビットの VLAN プライオリティフィールドが 0 のときにプライオリティキュー番号として使用されます。	R/W

4.4.43 IP_PRIORITY[n] — IP プライオリティレジスタ[n] (n=0~4)

アドレス 4405 0140h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	read	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	priority	IPV6_select	Address								
リセット後の値	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0

表 4.45 IP_PRIORITY[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31	read	テーブルに値を書き込むときは本ビットをクリアする必要があります。レジスタに書き込み中に本ビットがセットされると、IPV6_select ビットと address ビットがレジスタに書き込まれるだけで、priority ビットは無視されて対象テーブルに書き込まれません。レジスタが読み出される時、priority ビットは常にテーブルから読み出された値を示します。	R/W
b30~b11	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b10、b9	priority	対象テーブルエントリに書き込むプライオリティ情報です。レジスタから読み出したときは、このビットは対象テーブルエントリから読み出した値を示します（最後の書き込み動作のアドレス）。	R/W
b8	IPV6_select	書き込み中に本ビットがセットされると、IPV6 テーブルがアクセスされます。有効アドレス値は 0~255 です。 本ビットがクリアされると、IPV4 テーブルがアクセスされます。有効アドレス値は 0~63 です。	R/W
b7~b0	Address	ポート[n]で受信したフレームの、読み出し対象または書き込み対象のプライオリティエントリのアドレスです。 IPV4 テーブルには 64 のエントリがあります。IPV6 テーブルには 256 のエントリがあります。	R/W

4.4.44 PRIORITY_CFG[n] — プライオリティコンフィグレーションレジスタ[n] (n=0~4)

アドレス 4405 0180h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	default_priority	TYPE_en	MAC_en	IP_en	VLAN_en	
リセット後の値	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0	0

表 4.46 PRIORITY_CFG[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b6	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b5、b4	default_priority	ポート[n]で受信したフレームに対してどのプライオリティ解決でもフレームのプライオリティが決まらない場合のデフォルトプライオリティです。	R/W
b3	TYPE_en	ポート[n]で受信したフレームのタイプベースプライオリティ解決を有効にします。本ビットがセットされていると、フレームのタイプ/長さフィールド (VLAN タグの次にある) が PRIORITY_TYPE のすべての設定値と比較されます。いずれかの値と一致すると、そのタイプ値のプライオリティ情報が使用されます。本ビットがクリアされていると、タイプフィールドは無視されます。	R/W
b2	MAC_en	ポート[n]で受信したフレームの MAC ベースプライオリティ解決を有効にします。本ビットがセットされていると、MAC アドレステーブル (静的エントリ) 内のプライオリティ情報が使用されます。本ビットがクリアされていると、MAC プライオリティは無視されます。	R/W
b1	IP_en	ポート[n]で受信したフレームの IP プライオリティ解決を有効にします。本ビットがセットされていると、IP の DiffServ/TrafficClass フィールドが使用され、プライオリティはポートに対する IP_PRIORITY[n]の設定に基づいて解決されず。本ビットがクリアされていると、IP の DiffServ/TrafficClass フィールドは無視されます。	R/W
b0	VLAN_en	ポート[n]で受信したフレームの VLAN プライオリティ解決を有効にします。本ビットがセットされていると、フレームの VLAN タグフィールドがチェックされ、そのフレームを受信したポートの VLAN_PRIORITY[n]の設定に基づいてプライオリティが解決されます。本ビットがクリアされていると、VLAN プライオリティは無視されます。	R/W

4.4.45 PRIORITY_TYPE1 — プライオリティタイプレジスタ 1

アドレス 4405 01B8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	priority	valid	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	typevalue															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.47 PRIORITY_TYPE1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b19	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b18~b17	priority	一致した場合に使用するプライオリティ値 備考) ポートの PRIORITY_CFG[n].TYPE_en ビットが、このプライオリティの利用を制御します。	R/W
b16	valid	本ビットがセットされている場合、本レジスタのデータが有効 クリアされている場合（デフォルト）、本レジスタのデータは無効です。 備考) 管理ポートの特別なフレームタグの使用しているときは、valid ビットは無関係です。MGMT_TAG_CONFIG レジスタで許可されている場合にタイプが比較されます。これにより、管理タグ専用のタイプに利用でき、同時にプライオリティ解決を可能にします。（たとえば、IEEE 1588 フレームに有用）	R/W
b15~b0	typevalue	フレーム受信時にフレームのタイプ/長さフィールドと比較する 16 ビット値（たとえば値 0x88f7 が IEEE 1588 フレームに一致します。） すべての PRIORITY_TYPE レジスタは同時にサーチされ、いずれかの比較が成功するとタイプの一致が生じます。 valid ビットがセットされている場合のみこの値が関係します（比較に用いられません）。 備考) この値は常にいずれかの VLAN タグに続くフレームのタイプ/長さフィールドと比較されます。VLAN タグは 2 つまでフレームに存在できます。 管理ポートで特別なフレームタグが使用される場合（MGMT_TAG_CONFIG レジスタ参照）、VLAN タグはタグ挿入判定のためには利用できません。つまり、管理ポートのタグは、フレーム内で最初に見つかったタグである場合のみ挿入されます。同時に、プライオリティ定義用に VLAN タグはサポートされます。	R/W

4.4.46 PRIORITY_TYPE2 — プライオリティタイプレジスタ 2

アドレス 4405 01BCh

	ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
		—	—	—	—	—	—	—	—	—	—	—	—	—	priority	valid	
リセット後の値		X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0
	ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
		typevalue															
リセット後の値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.48 PRIORITY_TYPE2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b19	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b18、b17	priority	一致した場合に使用するプライオリティ値 備考) ポートの PRIORITY_CFG[n].TYPE_en ビットが、このプライオリティの利用を制御します。	R/W
b16	valid	本ビットがセットされている場合、本レジスタのデータが有効 クリアされている場合（デフォルト）、本レジスタのデータは無効です。 備考) 管理ポートの特別なフレームタグを使用しているときは、valid ビットは無関係です。MGMT_TAG_CONFIG レジスタで許可されている場合にタイプが比較されます。これにより、管理タグ専用のタイプに利用でき、同時にプライオリティ解決を可能にします。（たとえば、IEEE 1588 フレームに有用）	R/W
b15~b0	typevalue	フレーム受信時にフレームのタイプ/長さフィールドと比較する 16 ビット値（たとえば値 0x88f7 が IEEE 1588 フレームに一致します。） すべての PRIORITY_TYPE レジスタは同時にサーチされ、いずれかの比較が成功するとタイプの一致が生じます。 valid ビットがセットされている場合のみこの値が関係します（比較に用いられません）。 備考) この値は常にいずれかの VLAN タグに続くフレームのタイプ/長さフィールドと比較されます。VLAN タグは 2 つまでフレームに存在できます。 管理ポートで特別なフレームタグが使用される場合（MGMT_TAG_CONFIG レジスタ参照）、VLAN タグはタグ挿入判定のためには利用できません。つまり、管理ポートのタグは、フレーム内で最初に見つかったタグである場合のみ挿入されます。同時に、プライオリティ定義用に VLAN タグはサポートされます。	R/W

4.4.47 MGMT_ADDR0_lo — ブリッジプロトコルフレームの下位 MAC アドレス

MAC アドレスの最初の 4 バイトです。

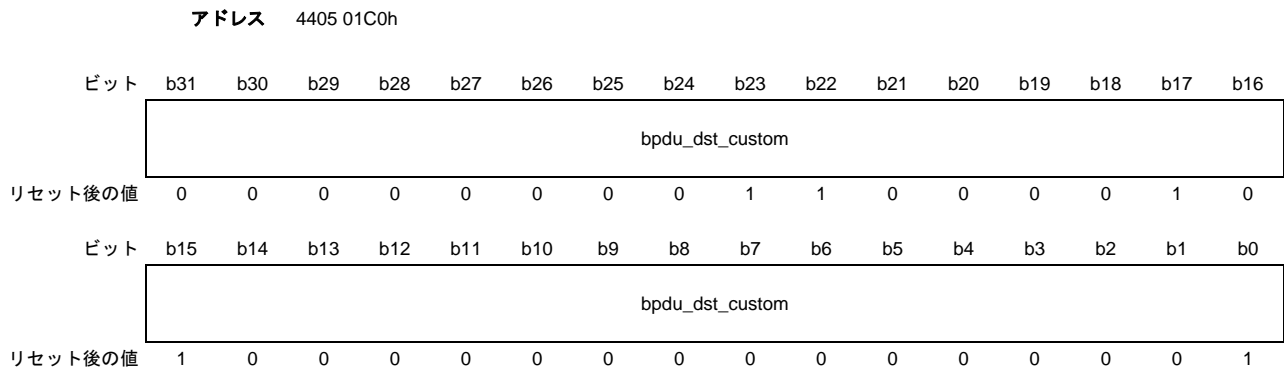


表 4.49 MGMT_ADDR0_lo レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	bpdu_dst_custom	ブリッジプロトコルフレーム (BPDU) を定義する追加の MAC アドレスであり、通常のアドレスに加えて指定されます。 MAC アドレスの 4 バイトが、ビット[7:0]=1 番目、[15:8]=2 番目、[23:16]=3 番目、[31:24]=4 番目の順に指定されます。	R/W

4.4.48 MGMT_ADDR0_hi — ブリッジプロトコルフレームの上位 MAC アドレス

MAC アドレスの最後の 2 バイトとマスク（有効ビット）です。

備 考

比較は常に実行されます。無効にするにはデフォルト値を設定してください。リセットするとデフォルト値として 01-80-c2-00-00-00 とマスク fff がセットされます。

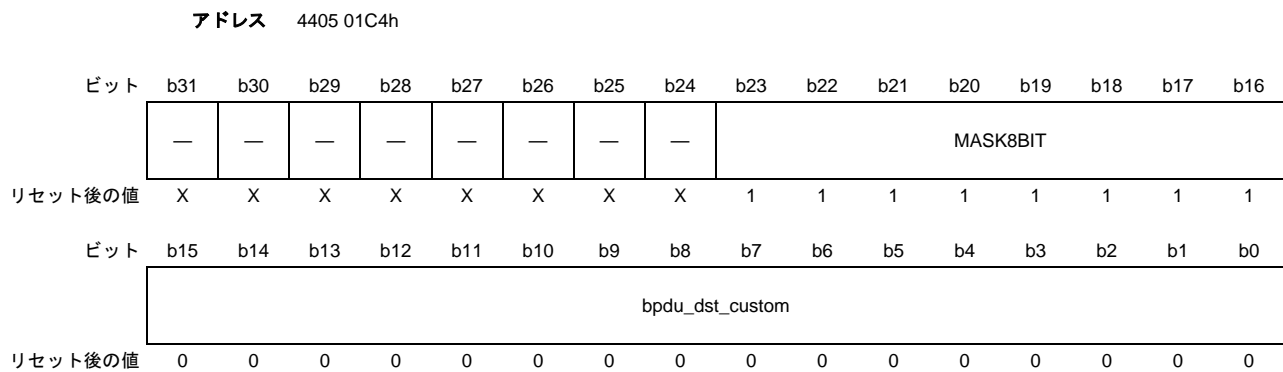


表 4.50 MGMT_ADDR0_hi レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b23~b16	MASK8BIT	MAC アドレスの最終バイトの比較に使用される 8 ビットのマスクです。マスクで “1” になっているビットが比較対象です。比較の前に MAC アドレス（フレーム内の 6 バイト）の最終バイトとマスクの AND が演算されます。マスクに 0xff をセットするとすべてのビットが比較されます。マスクに 0x00 をセットすると MAC アドレスの最終バイトが無視され、任意の値が一致と判断されます。マスクに 0 をセットしたビットについては対応する MAC アドレスビット（レジスタ内のビット[15:8]）にも 0 をセットする必要がありますので注意してください。	R/W
b15~b0	bpdu_dst_custom	ビット[7:0]が第 5 バイトでビット[15:8]が第 6 バイト（最終バイト）です。	R/W

4.4.49 SYSTEM_TAGINFO[n] — VLAN 入力操作のための 1 つの VLAN ID (n=0~4)

アドレス 4405 0200h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSVLANINFO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.51 SYSTEM_TAGINFO[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	SYSVLANINFO	ポート[n]のシステム VLAN 情報 (prio/cfi/vid)	R/W

4.4.50 AUTH_PORT[n] — ポート[n]認証のコントロールとコンフィグレーション (n = 0~4)

イネーブルビット (両方ともポートごとのビット) のリセットデフォルト値は SWCTRL レジスタの STRAP_SX_ENB ビットと STRAP_HUB_ENB ビットで制御されます。

STRAP_SX_ENB=0、STRAP_HUB_ENB=0 : AUTH_PORT[4:0].authorized=0h。

STRAP_SX_ENB=0、STRAP_HUB_ENB=1 : AUTH_PORT[4:0].authorized=3h。

STRAP_SX_ENB=1、STRAP_HUB_ENB=0 : AUTH_PORT[4:0].authorized=fh。

STRAP_SX_ENB=1、STRAP_HUB_ENB=1 : AUTH_PORT[4:0].authorized=1fh。

STRAP_SX_ENB と STRAP_HUB_ENB については「10.2.14 SWCTRL — A5PSW コントロールレジスタ」を参照してください。

アドレス 4405 0240h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	guest_mask				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EAPOL_port_number			Auto_Change_Unauthorized	—	—	—	—	—	EAPOL_unicast_enable	BPDU_enable	guest_enable	EAPOL_enabled	controlled_both	authorized	
リセット後の値	0	1	0	0	0	X	X	X	X	X	0	0	0	0	0	X

表 4.52 AUTH_PORT[n]レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b31~b21	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b20~b16	guest_mask	<p>該当ポートが認証されておらずゲストとして有効にされている場合に、該当ポートから非 EAPOL フレームを受信できる宛先ポートマスクです。</p> <p>ビット 16=ポート 0、ビット 17=ポート 1、...</p> <p>備考)</p> <ul style="list-style-type: none"> すべてのビットが0の場合、ゲストとして有効にされていてもすべてのフレームが廃棄されます。 このリストの宛先ポートが認証されておらず controlled_both ビットがセットされている場合、その宛先ポートは転送中にこのリストから自動的に削除されます。 このリスト内の宛先ポートが認証されている場合はこのリストから削除されません。したがって認証されていないポートから認証されているポートへのフレームの転送が可能です。このような構成は、認証されたポートに接続された外部サーバ DHCP を実装する場合などに、意図的に使用場合があります。ポートが認証されたときに、認証されていないポートからそのポートにフレームが転送されないようにすべてのポートのゲストマスクを更新する必要がありますが、この更新はアプリケーションの責任において実施されます。 	R/W

表 4.52 AUTH_PORT[n]レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b15~b12	EAPOL_port_number	<p>EAPOL フレームの送信先の 4 ビットポート番号です。通常は管理ポート（ポート番号=4）ですが、必要に応じて外部ポートにすることも可能です（制限については以下参照）。すべてのポートに対して同じ設定にする必要があります。</p> <p>備考)</p> <ul style="list-style-type: none"> この設定を変更することは推奨しません。この設定を変更して、ビット 2 の EAPOL_enable ビットがセットされていない状態でポートが認証されると、EAPOL フレームが通常の BPDU フレームとして扱われます。その結果、EAPOL ログオフメッセージがこのビットで設定されたポートに届かず管理ポートに転送されます。 認証されているポートのポート番号がこの番号と一致する場合も、この設定は有効です。たとえば controlled_both がセットされていても、このポートが受信したフレームを認証されていないポートへ転送することが可能です。 	R/W
b11	Auto_Change_Unauthorized	<p>本ビットを 1 にセットすると、ポートを自動的に未認証の状態にすることが許可されます。これが許可されている場合、ポートが未知の送信元からフレームを受信すると本レジスタの authorized ビットがクリアされます。その結果ポートは未認証状態に変化します。アプリケーションによってポートを再度認証して最終的に authorized ビットをセットすることが可能です。本ビットはポートのラーニングが無効（「4.4.8 INPUT_LEARN_BLOCK — 入力ラーニングブロックレジスタ」参照）であり未知の送信元のフレームを廃棄するように設定されている（「4.4.61 LK_CTRL — ラーニング/ルックアップ機能グローバルコンフィグレーションレジスタ」参照）場合にのみ効果をもちます。</p> <p>備考) 割り込み(INT_CONFIG.LK_NEW_SRC)は、アプリケーションにこのイベントを通知するために利用できます。</p>	R/W
b10~b6	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b5	EAPOL_unicast_enable	<p>通常 EAPOL フレームは専用の EAPOL マルチキャスト宛先アドレスを使用する必要があります。ただし、本ビットがセットされ、かつ、ユニキャスト宛先アドレスが見つかった場合、そのアドレスがポートの MAC アドレス（MAC の ADDR レジスタに設定）に一致する場合にだけフレームが受け付けられます。その後フレームはビット[15:12]（上記参照）で指定される EAPOL 宛先ポート番号に転送されます。</p>	R/W
b4	BPDU_enable	<p>BPDU フレームの受信を許可（1）または禁止（0）します。</p> <p>本ビットが許可設定かつポートが未認証の場合、BPDU フレームは通常通り管理ポートに転送されます。そうでない場合、BPDU フレームは廃棄されます。</p> <p>備考) EAPOL フレームは BPDU マルチキャストアドレスを使用していますが、本ビットを 0 にセットしても廃棄されません。</p>	R/W
b3	guest_enable	<p>非 EAPOL フレームの受信を許可（1）または禁止（0）します。</p> <p>本ビットが許可設定かつポートが未認証の場合、これらフレームは指定されたゲストポートマスクに基づいてのみ転送されます。</p> <p>備考) ゲストが有効の場合、必要に応じて通常の VLAN 操作機能（VLAN 挿入）が使用できます。</p>	R/W
b2	EAPOL_enable	<p>EAPOL フレームの受信を許可（1）または禁止（0）します。</p> <p>許可した場合、EAPOL フレームは EAPOL 宛先ポート番号（上記参照）で指定されたポートに転送されます。これは authorized の状態には依存しません。</p> <p>禁止した場合：</p> <p>ポート未認証：EAPOL フレームは廃棄</p> <p>ポート認証：EAPOL フレームは BPDU フレームとして管理ポートへ転送</p> <p>備考) 認証ステートマシンの HELD 状態を実装するためには、本ビットを禁止に設定することになります。HELD 状態とはポートが未認証で EAPOL フレームも受け付けできない状態です。</p>	R/W

表 4.52 AUTH_PORT[n]レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b1	controlled_both	<p>本ビットが 1 にセットされていると、ポートは方向コントロールモードの「both」で動作します。EAPOL 宛先ポートとして指定されているポート以外はこのポートにトラフィック送信できません。</p> <p>本ビットが 0 にセットされていると、ポートは方向コントロールモードの「in」で動作します。この場合、他のポートからこのポートにフレームを転送してから送信することが可能ですが受信は規制されます。</p> <p>備考) 4.6.2 (4)、6.5 の OperControlledDirections を意味します。</p>	R/W
b0	authorized	<p>本ビットが 1 にセットされていると、ポートが認証状態にあり、制限なく通常動作します。このレジスタのビット[15:12]とビット 2 を除く他のビットは無効になります。</p> <p>本ビットが 0 にセットされていると、ポートが未認証状態にあり、このレジスタで設定されているルールに基づいて転送が制限されます。</p>	R/W

4.4.51 VLAN_RES_TABLE[n] — 32 個の VLAN ドメインエントリ (n=0~31)

アドレス 4405 0280h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	write_p ortmask	write_ta gmask	read_ta gmask	—	—	—	—	—	—	—	—	—	—	—	VLANid
リセット後の値	X	0	0	0	X	X	X	X	X	X	X	X	X	X	X	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VLANid											Portmask				
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

表 4.53 VLAN_RES_TABLE[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b30	write_portmask	本レジスタの書き込み時に本ビットがセットされると、該当ドメインに対してのみビット[4:0]がポートマスクに保存されます。タグ付きのビットマスクは変更されません。書き込み時に VLANid もセットする必要があります。 備考) 書き込み時にビット 29 とビット 30 の両方が 0 または 1 の場合、ビット[4:0]は常にポートマスクとタグビットマスクの両方に保存されます。	R/W
b29	write_tagmask	本レジスタの書き込み時に本ビットがセットされると、該当ドメインに対してのみビット[4:0]がタグビットマスクに保存されます。ポートマスクは変更されません。書き込み時に VLANid もセットする必要があります。 タグビットマスクによって、各ポートから送信されるフレームにタグを付与する（ビット=1）か付与しない（ビット=0）かを指定できます。ポートにタグを付与しない場合、そのポートから送信されるフレームから VLAN タグが削除されます。このタグビットマスクは、出力操作モード 3 で動作するすべてのポートの出力操作機能によって解釈されます。 備考) 書き込み時にビット 29 とビット 30 の両方が 0 または 1 の場合、ビット[4:0]は常にポートマスクとタグビットマスクの両方に保存されます。	R/W
b28	read_tagmask	レジスタを読み出し時、マスクビット[4:0]の内容を選択します。レジスタへの書き込み時に本ビットがセットされると、その他すべての書き込みビット（30、29、[16:0]）が無視され、レジスタのビット 28 が反転します（1→0 または 0→1）。書き込みは、テーブル内容を変更せずにビット 28 のみを変更するために行います。本レジスタを読み出すとき、本ビットはビット[4:0]の内容を示します。 0：ポートマスクを返却 1：タグビットマスクを返却 ビット 28=0 で本レジスタに書き込むと本ビットがクリアされます。	R/W
b27~b17	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b16~b5	VLANid	エントリの 12 ビットの VLAN 識別子	R/W
b4~b0	Portmask	値が 1 のビットに対応するポートが VLAN のメンバです。ビット 28 またはビット 29 がセットされている場合は、代わりにタグビットマスクが読み出し、または、書き込みされます。	R/W

4.4.52 TOTAL_DISC — 廃棄フレーム総数レジスタ

アドレス 4405 0300h

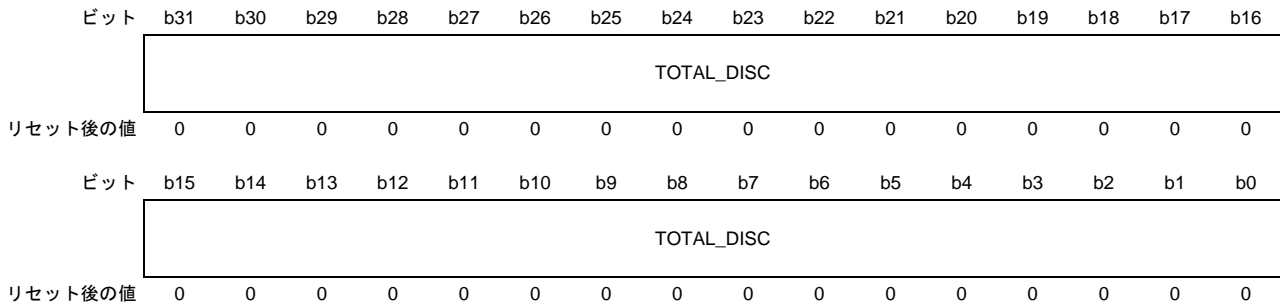


表 4.54 TOTAL_DISC レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TOTAL_DISC	MAC RX によって受け付けられたがスイッチによって廃棄された受信フレームの総数	R

4.4.53 TOTAL_BYT_DISC — 廃棄フレーム総バイト数レジスタ

アドレス 4405 0304h

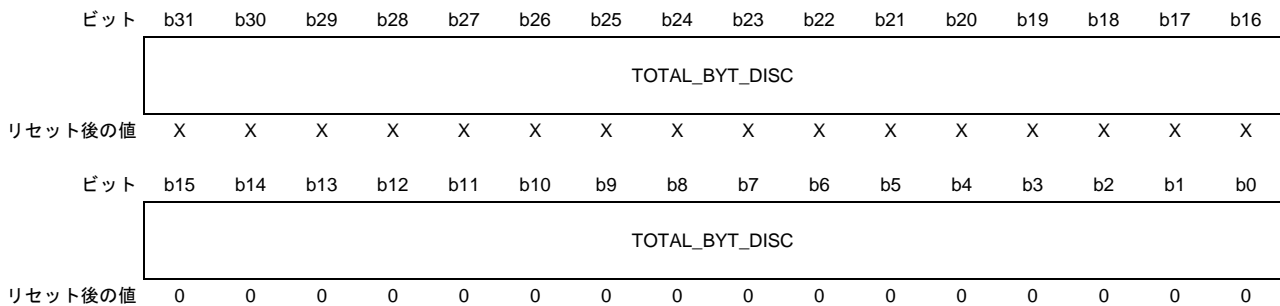


表 4.55 TOTAL_BYT_DISC レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TOTAL_BYT_DISC	TOTAL_DISC でカウントされたフレームバイト数合計	R

4.4.54 TOTAL_FRM — 処理済みフレーム総数レジスタ

備 考

この値は、カットスルー転送が使用されている場合に無効 CRC を持つフレームを受信した場合も転送時にカウントアップされます。ただし MAC の ifOutError が転送されたエラーフレーム数を示します。

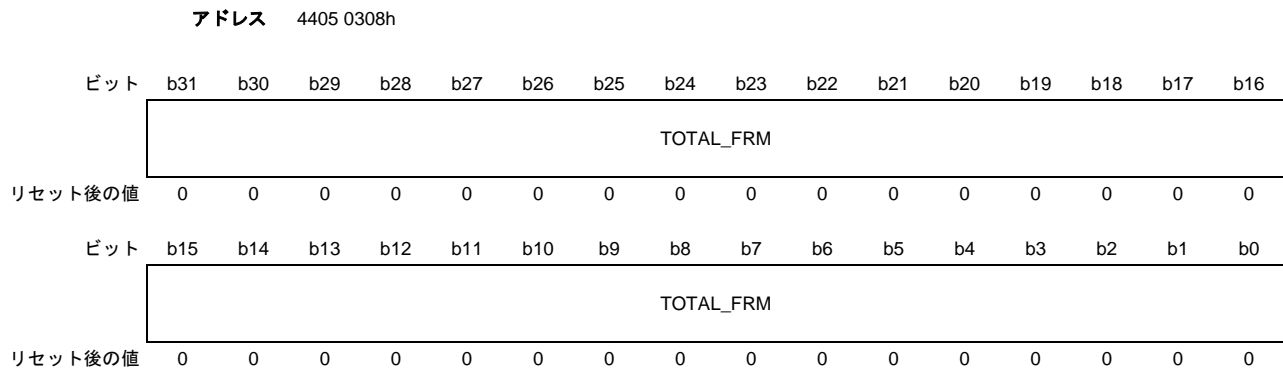


表 4.56 TOTAL_FRM レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TOTAL_FRM	スイッチによって処理された受信フレームの総数	R

4.4.55 TOTAL_BYT_FRM — 処理済みフレーム総バイト数レジスタ

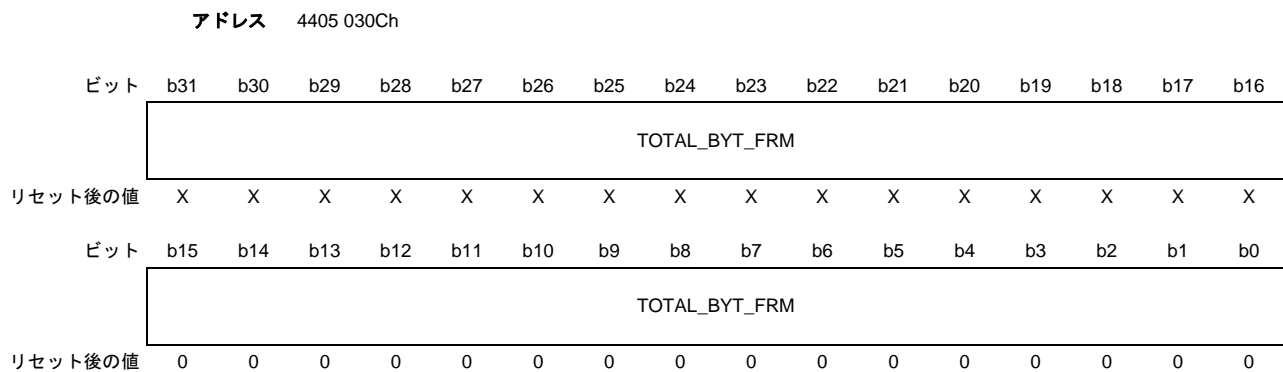


表 4.57 TOTAL_BYT_FRM レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TOTAL_BYT_FRM	TOTAL_FRM でカウントされたフレームバイト数合計	R

4.4.56 ODISC[n] — ポート[n]出力フレーム廃棄カウントレジスタ (n=0~4)

アドレス 4405 0310h+10h×n

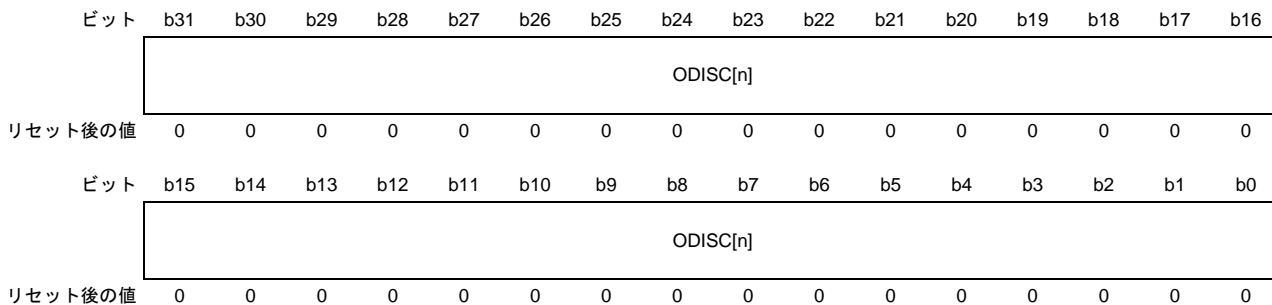


表 4.58 ODISC[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ODISC[n]	出力キューの輻輳が原因で廃棄された、ポート[n]の出力フレーム数	R

4.4.57 IDISC_VLAN[n] — ポート[n]VLAN タグ付き入力フレーム廃棄カウントレジスタ (n=0~4)

アドレス 4405 0314h+10h×n

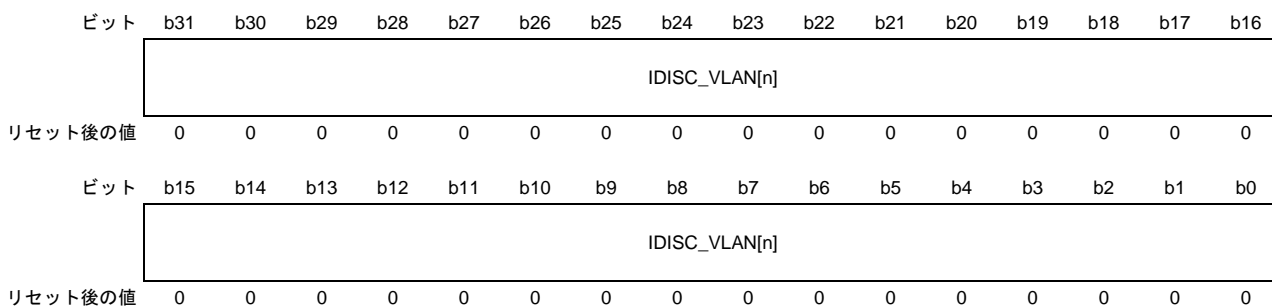


表 4.59 IDISC_VLAN[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	IDISC_VLAN[n]	VLAN 検証有効時に VLAN 不一致または VLAN 欠落によって廃棄された、ポート[n]の入力フレーム数	R

4.4.58 IDISC_UNTAGGED[n] — ポート[n]VLAN タグなし入力フレーム廃棄カウントレジスタ (n=0~4)

アドレス 4405 0318h+10h×n

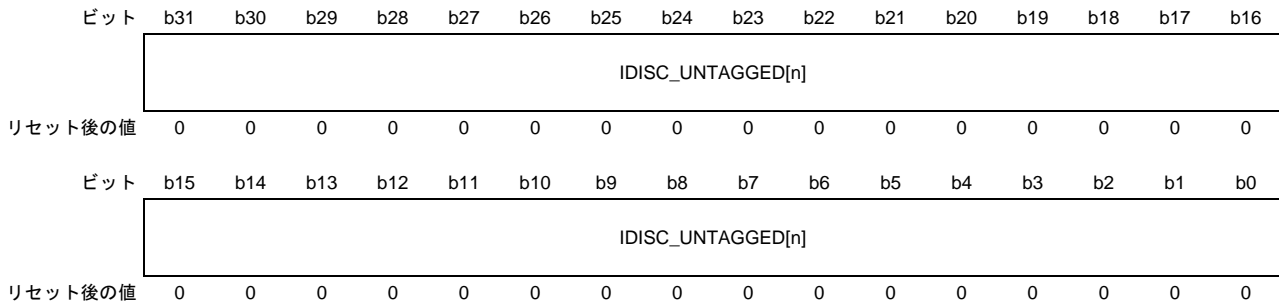


表 4.60 IDISC_UNTAGGED[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	IDISC_UNTAGGED[n]	VLAN タグの欠落が原因で廃棄された、ポート[n]の入力フレーム数	R

4.4.59 IDISC_BLOCKED[n] — ポート[n]ブロックされた入力フレーム廃棄カウントレジスタ (n=0~4)

アドレス 4405 031Ch+10h×n

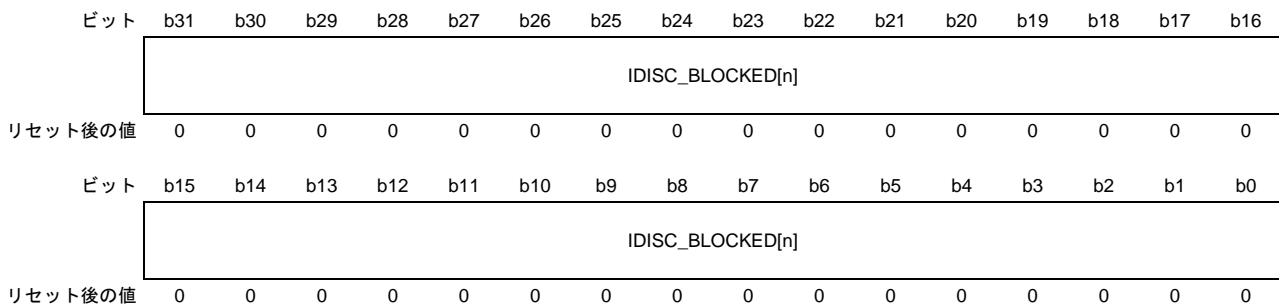


表 4.61 IDISC_BLOCKED[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	IDISC_BLOCKED[n]	ポートがブロックモードに設定されていることが原因で（ラーニング後に）廃棄されたポート[n]の入力フレーム数	R

4.4.60 IMC_QLEVEL_P[n] — ポート[n]キューイング中フレームカウントレジスタ (n = 0~4)

アドレス 4405 03C0h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Queue3				Queue2				Queue1				Queue0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.62 IMC_QLEVEL_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b12	Queue3	キュー3に保存されているフレーム数を示すキュー単位の 4 ビット値 キューに 15 を超えるフレームが保存されても値は 15 のままです。	R
b11~b8	Queue2	キュー2に保存されているフレーム数を示すキュー単位の 4 ビット値 キューに 15 を超えるフレームが保存されても値は 15 のままです。	R
b7~b4	Queue1	キュー1に保存されているフレーム数を示すキュー単位の 4 ビット値 キューに 15 を超えるフレームが保存されても値は 15 のままです。	R
b3~b0	Queue0	キュー0に保存されているフレーム数を示すキュー単位の 4 ビット値 キューに 15 を超えるフレームが保存されても値は 15 のままです。	R

4.4.61 LK_CTRL — ラーニング/ルックアップ機能グローバルコンフィグレーションレジスタ

備 考

通常のスイッチ動作ではビット[3:0]は 1111b にセットされます。

アドレス 4405 0400h																
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	Discard_Unknown_Source				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	Clear_able	—	Discard_Unknown_Destination	Allow_Migration	Enable_Aging	Enable_Learning	Enable_Lookup
リセット後の値	X	X	X	X	X	X	X	X	X	0	X	0	1	1	1	1

表 4.63 LK_CTRL レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b21	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b20~b16	Discard_Unknown_Source	送信元アドレスが見つからない場合にフレームを廃棄する、ポートごとの設定です。 ビット 16=ポート 0、ビット 17=ポート 1、... 有効にする (1) と、受信フレームの送信元アドレスが見つからない場合にフレームが廃棄されます。ラーニングが許可されていても (INPUT_LEARN_BLOCK) 送信元のラーニングが行われません。このような廃棄イベントはスイッチのポートごとの入力統計である IDISC_BLOCKED にカウントされます。 無効にする (0) と、このようなフレームは通常通り受け付けられます。 BPDU フレームはこの設定に影響されず、常に受け付けられます。 この設定とは関係なく、未知送信元割り込みのトリガは発生します。新規のアドレスは内部に保存され、LK_ADDR_CTRL.GETLASTNEW コマンドによって取り出すことができます。 備考) この機能は、ギガビットポートが遅すぎるシステム周波数を使用している場合に性能に悪影響を及ぼすことがあります。(短いフレームの欠落が発生する可能性があります。)	R/W
b15~b7	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b6	Clear_Table	すべてのテーブルエントリに 0 を書き込みます。本ビットが “1” にセットされると、この機能が完了するまで 1 のままです。その期間中はルックアップが停止し、スイッチはすべてのフレームをフラッシングします。LK_ADDR_CTRL レジスタの BUSY ビットもこの機能が完了するまでセットされた状態のままになります。 備考) リセット後はテーブルをフラッシュするために本ビットがセットされます。フラッシュ中はソフトウェアで本ビットを読み出すと 1 が読み出されることがあります。この値が 0 になるまでスイッチを無効状態にしておく必要があります。	R/W
b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4	Discard_Unknown_Destination	有効にする (1) と、宛先アドレスが見つからない場合にフレームが廃棄されます。BPDU フレームはこの設定に影響されず、常に受け付けられます。無効にする (0) と、このようなフレームは通常通りフラッシングされます。	R/W
b3	Allow_Migration	有効にする (1) と、ルックアップテーブルにあるダイナミックエントリは、エントリの送信元ポートが変更されたときに更新されます。ラーニング (ビット 1) が有効になっている必要があります。無効にする (0) と、受信ポート番号が変更されても、ダイナミックエントリは更新されません。	R/W

表 4.63 LK_CTRL レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b2	Enable_Aging	有効にする (1) と、エイジング処理が常にテーブルをスキャンし、古くなったエントリがあれば削除します。 無効にする (0) と、エイジングは行われません。	R/W
b1	Enable_Learning	有効にする (1) と、フレームの送信元アドレスがルックアップメモリ内で見つからなければ、ハードウェアによって自動的に追加されます。送信元ルックアップに続いて保存処理が実行され、ルックアップメモリ内の次の空きアドレスに MAC アドレスが保存されます。無効にする (0) と、未知の送信元アドレスが自動的にメモリに追加されることはなく、テーブルエントリの管理はソフトウェアによって行われます。	R/W
b0	Enable_Lookup	ルックアップコントローラを有効化 ルックアップコントローラはホスト CPU によって有効または無効になります。無効にする (0) と、スイッチの転送エンジンはルックアップを行わず、アドレスが見つからなかった場合と同様にすべての受信フレームをフラッディングします。	R/W

4.4.62 LK_STATUS — ステータスビットとテーブルオーバーフローカウンタ

アドレス 4405 0404h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	learnevent	—	overflows													
リセット後の値	0	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ageaddress															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.64 LK_STATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b31	learnevent	新規の送信元アドレスが見つかったことを示します。本ビットは、ルックアップタスクが MAC アドレステーブルに受信フレームの送信元アドレスを見つけることができなかったときにセットされます。本ビットのクリアは、本ビットに 1 を書き込んだとき、または LK_ADDR_CTRL に対して GETLASTNEW コマンドを発行して最後のエントリを取り出したときに行われます。本ビットは、自動ラーニングや廃棄オプションの設定とは関係なく、送信元アドレスが新しくラーニングされるたびにアサートされます。前のイベントで本ビットがセットされている場合、セットされたままになります。	R/W
b30	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b29~b16	overflows	発生したテーブルオーバーフロー数をカウントします。（テーブルオーバーフローとは、新規のアドレスがラーニングされたがテーブルに空きがないため古いエントリが削除されることです。）ビット 16=1 の値を本レジスタに書き込むとカウンタがクリアされます。	R/W
b15~b0	ageaddress	エイジングタイムが次にタイムアウトしたときにエイジング処理がチェックするアドレスです。	R

4.4.63 LK_ADDR_CTRL — アドレステーブルトランザクションコントロールと読み込み/書き込みアドレス

アドレス 4405 0408h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	DELETE_PORT	CLEAR	LOOKUP	WAIT_COMPLETE	READ	WRITE	GETLATESTNEW	CLEAR_STATIC	CLEAR_DYNAMIC	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	address_mask												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.65 LK_ADDR_CTRL レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	BUSY	トランザクションビジー表示 コントローラがビジーです。コントローラがビジーのときは対応するコマンドビットがセットされています。再びビジーでなくなったとき、すべてのコマンドビットがクリアされます。	R
b30	DELETE_PORT	テーブル全体をスキャンして、指定されたポート（複数の場合あり）を宛先ポートマスクとして含む有効なダイナミックエントリがあれば、そのポートまたはエントリ全体を削除します。ポートマスクは本レジスタに書き込むときに address_mask フィールド[12:0]として提供されます（各ポートに1ビット。ビット0=ポート0、ビット1=ポート1など）。 備考) <ul style="list-style-type: none"> 指定されたポートマスクは各エントリのポートマスクと AND 演算されます。結果が0でない場合はエントリが処理されます。0の場合は無視されます。エントリが処理されると、マスクで指定されたビットは、エントリのポートマスク内でクリアされます。結果としてポートマスクのビットがすべて0になると、そのエントリがテーブルから削除されます（つまり、有効なビット=0）。 この機能はダイナミックエントリのみが対象でありスタティックエントリには影響しません。 テーブルのスキャンが完了するまで、本ビットは BUSY 表示と共に1のままです。 	R/W
b29	CLEAR	指定アドレスで選択されたエントリにすべて0を書き込みます。LOOKUP と共にセットすると、まずルックアップが実行され、ルックアップが成功するとエントリが削除されます。LK_DATA_LO レジスタと LK_DATA_HI レジスタもクリアされます。本レジスタ内のメモリアドレスがルックアップ結果に基づいてセットされます。ルックアップが失敗するとクリアコマンドが無視されます（その場合メモリアドレスは任意）。	R/W
b28	LOOKUP	LK_DATA_LO と LK_DATA_HI 内に指定される MAC アドレスについてルックアップが実行されます。ルックアップが完了すると、見つかったエントリから読み出された対応するビットによって LK_DATA_HI の上位 16 ビットが更新されます。本レジスタの address_mask フィールドはエントリが見つかったアドレスを示します。MAC アドレスが見つからない場合、LK_DATA_HI の有効ビット（ビット16）が0になりビット[31~17]は任意です。本レジスタのアドレスフィールドは正しい空きメモリアドレスに変更され、そこに新規のエントリの書き込みが可能です（つまり、MAC アドレスに対して計算されたハッシュ、および8エントリのブロック内の空きエントリのオフセットが返却されます）。本機能が完了するまで、本ビットは BUSY 表示と共に1のままです。	R/W
b27	WAIT_COMPLETE	トランザクションが完了するまでプロセッサバスをストールさせるよう指示します。これによって、さまざまなコマンドによる本レジスタへの書き込みを、busy ビットを参照することなく連続して行うことができます。	R/W
b26	READ	シングルリードトランザクションを実行します。 データは LK_DATA_LO レジスタと LK_DATA_HI レジスタに返却されます。	R/W

表 4.65 LK_ADDR_CTRL レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b25	WRITE	シングルライトトランザクションを実行します。 トランザクションを開始する前に LK_DATA_LO レジスタと LK_DATA_HI レジスタを設定する必要があります。	R/W
b24	GETLASTNEW	テーブル内に見つからなかった最後の送信元アドレスを取り出して LK_DATA_LO レジスタと LK_DATA_HI レジスタに書き込みます。エントリの有効ビット (LK_DATA_HI(16)) は、最後のコマンド実行後にアドレスが新しくなったか (1) ならなかったか (0) を示します。 ポートマスクは、新規のアドレスをどのポートから受信したかを示します。ラーニングタスクが未知の送信元アドレスを検出すると、このコマンドで取り出すことが可能な内部ストレージにそのアドレスを保存します。これはラーニングが有効にされているかどうかにかかわらず、すべての新規の送信元アドレスに対して実行されます。また、このアドレス保存処理は送信元廃棄機能が有効になっていなくても実行されます。エントリは 1 つだけ保存されます。データが読み出される前に別の新規のアドレスが見つかったと、既存のデータが上書きされます。	R/W
b23	CLEAR_STATIC	テーブル全体をスキャンして有効なスタティックエントリがあれば削除します (エントリにすべて 0 を書き込みます)。機能が完了すると本ビットはクリアされます。	R/W
b22	CLEAR_DYNAMIC	テーブル全体をスキャンして有効なダイナミックエントリがあれば削除します (エントリにすべて 0 を書き込みます)。機能が完了すると本ビットはクリアされます。	R/W
b21~b13	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b12~b0	address_mask	読み出しトランザクションと書き込みトランザクションのためのメモリアドレスです。これは 64 ビットエントリのアドレスです。DELETE_PORT 機能に対しては、これらのビットはアドレスではなくポートマスクを意味します。ビット 0 がポート 0、ビット 1 がポート 1 という具合にビットとポートが対応します。LOOKUP 機能が実行されてアドレスが見つかったと (LK_DATA_HI(16)=1)、エントリのメモリアドレスが返却されます。LOOKUP 機能が実行されてアドレスが見つからなかった場合 (LK_DATA_HI(16)=0)、空きエントリの有効なメモリアドレスが返却され、必要に応じてそこに新しいデータを保存できます。(サイズが 8192 のテーブルの場合、ビット[12:3]にはハッシュ値の計算結果が保存され、ビット[2:0]には 8 エントリのブロック内のオフセットが保存されます。)	R/W

4.4.64 LK_DATA_LO — ルックアップメモリエントリの下位 32 ビットデータ

アドレス 4405 040Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MEMDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MEMDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.66 LK_DATA_LO レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	MEMDATA	メモリデータ[31:0] メモリエントリの下位 32 ビットデータです。MAC アドレスを書き込むときは、最初のバイトがビット[7:0]で 4 番目のバイトがビット[31:24]です。読み出すと、最後の読み出しトランザクションでキャプチャされたデータが返却されます。	R/W

4.4.65 LK_DATA_HI — ルックアップメモリエントリの上位 26 ビットデータ

アドレス 4405 0410h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	MEMDATA									
リセット後の値	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MEMDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.67 LK_DATA_HI レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b25~b0	MEMDATA	メモリデータ[57:32] メモリエントリの次の 26 ビットデータです。MAC アドレスを書き込むときは、5 番目のバイトがビット[7:0]で 6 番目のバイトがビット[15:8]です。上位 10 ビットはメモリのビット[57:48]です。	R/W

4.4.66 LK_LEARNCOUNT — ラーニングアドレスカウントレジスタ

ソフトウェアがメモリに MAC アドレスを追加したときに LEARNCOUNT の値をカウントアップする場合があります。またエントリを削除したときにこの値をカウントダウンする場合があります。

カウントアップ／カウントダウンビット (`write_mode`) によってカウンタに対するアトミックオペレーションが保証されます。リードモディファイライト方式では途中でハードウェアが値を変更する可能性があるので不整合が発生する場合がありますが、これが回避されます。

アドレス		4405 0418h																								
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16										
	write_mode		—	—	—	—	—	—	—	—	—	—	—	—	—	—										
リセット後の値	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X										
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0										
	—	—	LEARNCOUNT																							
リセット後の値	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0										

表 4.68 LK_LEARNCOUNT レジスタの内容

ビット位置	ビット名	機能	R/W
b31、b30	write_mode	これらのビットは、本レジスタに書き込みを行ったときにどのように LEARNCOUNT 値が変更されるかを指定します。 00b : LEARNCOUNT を指定された値に設定 01b : LEARNCOUNT を 1 つカウントアップ (アトミック) 10b : LEARNCOUNT を 1 つカウントダウン (アトミック) 11b : 予約されています。書き込んでも LEARNCOUNT は変更されません。	R/W
b29~b14	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b13~b0	LEARNCOUNT	ラーニングされたアドレスの数	R/W

4.4.67 LK_AGETIME — エイジングタイマの時間

1024 スイッチシステムクロックサイクルごとにタイマがカウントダウンされ、0 になったときにこの値が再度読み込まれます。エイジングタイマがタイムアウトするとテーブルエントリが 1 つ検査されます。

したがってエイジングの総タイムアウト時間は、このレジスタで指定される時間にルックアップメモリのサイズ（エントリ数）をかけ合わせた値になります。

デフォルト：

16384（たとえば 200MHz のスイッチシステムクロックを使用している場合、8192 エントリのテーブルでは最長 11.5 分になります： $n \times 1024 \times \text{時間} \times \text{テーブルサイズ} = 16384 \times 1024 \times 5\text{ns} \times 8192$ ）

アドレス		4405 041Ch																		
ビット		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16			
		—	—	—	—	—	—	—	—	LK_AGETIME										
リセット後の値		X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0			
ビット		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0			
		LK_AGETIME																		
リセット後の値		0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

表 4.69 LK_AGETIME レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b23~b0	LK_AGETIME	24 ビットのタイマ値	R/W

4.4.68 MGMT_TAG_CONFIG — 管理タグコンフィグレーションレジスタ

アドレス 4405 0480h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Tagfield															
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	enable_type2	enable_type1	—	—	all_frames	enable
リセット後の値	X	X	X	X	X	X	X	X	X	X	0	0	X	X	0	0

表 4.70 MGMT_TAG_CONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	Tagfield	フレーム内の最初のタイプ/長さフィールドで見つかったタグの値です。フレーム内に制御情報があるかどうかを識別します。(ビット[31:24]=最初のオクテット、ビット[23:16]=2番目のオクテット)	R/W
b15~b6	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b5	enable_type2	本ビットがセットされると、PRIORITY_TYPE2[15:0]レジスタの値と一致するタイプフィールドを持つフレームは制御タグが挿入されます。この挿入処理は BPDU フレームへの挿入に加えて実行されます。(BPDU フレームには常にタグが挿入されません。) 備考 PRIORITY_TYPE2 レジスタの valid ビット (16) はこのタイプチェックに影響を与えません。有効性は enable_type2 ビットがセットされていることによって示されます。	R/W
b4	enable_type1	本ビットがセットされると、PRIORITY_TYPE1[15:0]レジスタの値と一致するタイプフィールドを持つフレームは制御タグが挿入されます。この挿入処理は BPDU フレームへの挿入に加えて実行されます。(BPDU フレームには常にタグが挿入されません。) 備考 PRIORITY_TYPE1 レジスタの valid ビット (16) はこのタイプチェックに影響を与えません。有効性は enable_type1 ビットがセットされていることによって示されます。 PRIORITY_TYPE レジスタ ^{注1} の記述も参照してください。	R/W
b3、b2	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b1	all_frames	すべてのフレームに対するタグ挿入を有効化 本ビットがセットされると、本機能は管理ポートから送信されるすべてのフレームに制御タグを挿入します。したがって CPU には、通常のフレームについては少なくとも 1526 バイト (1518+8) のフレーム、VLAN タグ付きのフレームについては 1530 バイトのフレームを受信する能力が必要になります。0 (リセットデフォルト) の場合、管理フレーム (BPDU フレーム) のみに追加の制御情報のタグが挿入されます。他のフレームは操作されません。 備考 この設定とは関係なく、入力処理 (受信、CPU から A5PSW へ) が有効であれば (ビット 0=1) 常に行われます。	R/W
b0	enable	管理ポートタグ挿入モジュールの有効化 本ビットがセットされると、本機能は管理ポートから送信されるフレームにタグを追加し、受信したフレームからタグを削除します。0 (リセットデフォルト) の場合、フレームは操作されません。 備考 有効になっている場合、フレームが操作されたときに CRC の再計算が必要になります。したがってすべての MAC は受信フレームから CRC を削除し、送信フレームに CRC を追加するように設定されている必要があります。	R/W

注1. 「4.4.45 PRIORITY_TYPE1 — プライオリティタイプレジスタ 1」および「4.4.46 PRIORITY_TYPE2 — プライオリティタイプレジスタ 2」を参照してください。

4.4.69 PEERDELAY[n] — ポート[n]ピア遅延値 (n=0~3)

備 考

本レジスタは回線ポート[n]の値になります。本レジスタは SYNC メッセージを受信するポートの遅延を測定してからアプリケーションによって設定する必要があります。

アドレス		4405 050Ch+4h×n														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	PEERDELAY[n]													
リセット後の値	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PEERDELAY[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.71 PEERDELAY[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b30	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b29~b0	PEERDELAY[n]	ポートで測定されたピア遅延値 暫定時間補正が実施される場合に、受信したフレームの correction フィールドにこの値が加算されます。この時間値は、ポートのピア遅延測定を実施した後にアプリケーションによって設定されます。この設定はネットワークが Peer-to-Peer Transparent Clock を使用している場合にのみ必要です。End-to-End Transparent Clock を実装するには値を 0 にする必要があります。単位はナノ秒であり、値は 10 ⁹ 未満である必要があります。	R/W

4.4.70 PORT[n]_CTRL — ポート[n]タイムスタンプコントロール/ステータス (n=0~3)

アドレス 4405 0520h+8h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TS_KE EP	TS_OV R	TS_VAL ID
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0

表 4.72 PORT[n]_CTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b3	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b2	TS_KEEP	コンフィグレーションビットです。送信タイムスタンプレジスタの最後のタイムスタンプを保存します。本ビットがクリアされている場合（デフォルト）、保存されていた値が新しいタイムスタンプによって上書きされます。本ビットがセットされている場合、最初に保存されたタイムスタンプが残り、ソフトウェアがそのタイムスタンプを処理するまで（本レジスタに書き込みを行い、TS_VALID ビットをクリアするまで）その後のタイムスタンプは無視されます。	R/W
b1	TS_OVR	新しいタイムスタンプによって最後に保存されたタイムスタンプが上書きされたことを示します。これは、有効なタイムスタンプを保存した（TS_VALID=1）後に、ソフトウェアがその値を読み出して TS_VALID ビットをクリアする前に別のタイムスタンプを受信した場合に発生します。本ビットは、本レジスタへの（任意の値の）書き込みによってクリアされます。コンフィグレーションビット TS_KEEP がセットされている場合、本ビットはタイムスタンプを受信して無視したことを示します。（すなわち TS_VALID=1 の状態の時に新しいタイムスタンプを受信したことを示します。）	R/W
b0	TS_VALID	有効なタイムスタンプがあることを示します。本ビットは、本レジスタへの（任意の値の）書き込みによってクリアされます。	R/W

4.4.71 PORT[n]_TIME — ポート[n]記憶送信タイムスタンプ (n=0~3)

アドレス 4405 0524h+8h×n

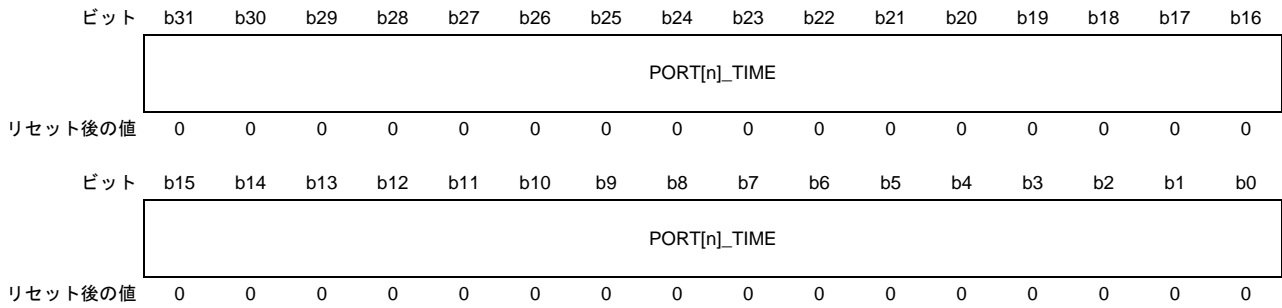


表 4.73 PORT[n]_TIME レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PORT[n]_TIME	ポート[n]記憶送信タイムスタンプ	R

4.4.72 INT_CONFIG — 割り込み許可コンフィグレーションレジスタ

アドレス 4405 0600h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PATTE RN_INT	TDMA_I NT	—	—	IRQ_MAC_EEE				—	—	—	—	IRQ_TSM_TX			
リセット後の値	0	0	X	X	0	0	0	0	X	X	X	X	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	IRQ_LINK				HUB_IN T	PRP_IN T	DLR_IN T	IRQ_TE ST	LK_NE W_SRC	—	MDIO1	IRQ_EN
リセット後の値	X	X	X	X	0	0	0	0	0	0	0	0	0	0	X	0

表 4.74 INT_CONFIG レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	PATTERN_INT	本ビットがセットされている場合、RX パターンマッチャモジュールの割り込み出力がホストの割り込み信号 (A5PSW_Int) に接続 (OR) されます。本ビットがセットされているときにパターン割り込みがアサートされると、ホスト割り込みもアサートされます。ラッチは発生せず、INT_STAT_ACK レジスタのビット 31 に書き込みを行っても効果はありません。割り込みをクリアするには、代わりに PTN_IRQ_STAT_ACK レジスタに書き込む必要があります。 備考) A5PSW_PTRN_Int 信号の機能には影響ありません。	R/W
b30	TDMA_INT	本ビットがセットされている場合、TDMA スケジューラの割り込みがホストの割り込み信号 (A5PSW_Int) に接続 (OR) されます。本ビットがセットされているときに TDMA 割り込みがアサートされると、ホスト割り込みがアサートされます。ラッチは発生せず、グローバル INT_STAT_ACK レジスタのビット 30 に書き込みを行っても効果はありません。割り込みをクリアするには、代わりに TDMA_IRQ_STAT_ACK レジスタに書き込む必要があります。	R/W
b29~b28	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b27~b24	IRQ_MAC_EEE	回線ポートごとの MAC 割り込み これらのビットがセットされていると、ポートの EEE 機能の状態が変化したときに割り込みが発生します。 ビット 24=ポート 0、ビット 25=ポート 1、ビット 26=ポート 2、ビット 27=ポート 3	R/W
b23~b20	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b19~b16	IRQ_TSM_TX	回線ポートごとの送信タイムスタンプキャプチャ割り込みイネーブル これらのビットがセットされていると、ポートの送信タイムスタンプレジスタに新しいタイムスタンプが保存されたときに割り込みが発生します (TSM モジュールを参照)。各回線ポートに 1 ビットが割り当てられます。ビット 16=ポート 0、ビット 17=ポート 1、ビット 18=ポート 2、ビット 19=ポート 3 です。	R/W
b15~b12	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b11~b8	IRQ_LINK	回線ポートごとの PHY リンク変更割り込みイネーブル これらのビットがセットされていると、ポートの PHY から入力されるリンク状態が変化したときに割り込みが発生します。各回線ポートに 1 ビットが割り当てられます。ビット 8=ポート 0、ビット 9=ポート 1、ビット 10=ポート 2、ビット 11=ポート 3 です。	R/W

表 4.74 INT_CONFIG レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b7	HUB_INT	<p>本ビットがセットされている場合、ハブモジュールの割り込み出力 (A5PSW_HUB_Int) がホストの割り込み信号 (A5PSW_Int) に接続 (OR) されます。本ビットがセットされているときに A5PSW_HUB_Int がアサートされると、ホスト割り込みもアサートされます。ラッチは発生せず、INT_STAT_ACK レジスタのビット 7 に書き込みを行っても効果はありません。割り込みをクリアするには、代わりに HUB_IRQ_STAT_ACK レジスタに書き込む必要があります。</p> <p>備考) A5PSW_HUB_Int 信号の機能には影響ありません。</p>	R/W
b6	PRP_INT	<p>本ビットがセットされている場合、PRP モジュールの割り込み出力 (A5PSW_PRP_Int) がホストの割り込み信号 (A5PSW_Int) に接続 (OR) されます。本ビットがセットされているときに A5PSW_PRP_Int がアサートされると、ホスト割り込みもアサートされます。ラッチは発生せず、本レジスタのビット 6 に書き込みを行っても効果はありません。割り込みをクリアするには、代わりに PRP_IRQ_STAT_ACK レジスタに書き込む必要があります。</p> <p>備考) 本ビットは A5PSW_PRP_Int 信号の機能には影響ありません。</p>	R/W
b5	DLR_INT	<p>本ビットがセットされている場合、DLR モジュールの割り込み出力 (A5PSW_DLR_Int) がホストの割り込み信号 (A5PSW_Int) に接続 (OR) されます。本ビットがセットされているときに A5PSW_DLR_Int がアサートされると、ホスト割り込みもアサートされます。ラッチは発生せず、INT_STAT_ACK レジスタのビット 5 に書き込みを行っても効果はありません。割り込みをクリアするには、代わりに DLR_IRQ_STAT_ACK レジスタに書き込む必要があります。これは、すべての割り込み処理を 1 つの割り込み信号 (A5PSW_Int) によって実行し、別の A5PSW_DLR_Int 信号を使用しない場合に利用できます。</p> <p>(DLR_IRQ_CONTROL と DLR_IRQ_STAT_ACK も参照してください。)</p> <p>備考) 本ビットは A5PSW_DLR_Int 信号の機能には影響ありません。</p>	R/W
b4	IRQ_TEST	<p>本ビットがセットされると即座に割り込みが発生します。テスト目的でソフトウェア制御の割り込みを発生させるときに使用できます。</p>	R/W
b3	LK_NEW_SRC	<p>新送信元アドレス割り込み許可</p> <p>本ビットがセットされていると、ルックアップ処理で新規の (未知の) 送信元アドレスがポートで検出されたときに割り込みが発生します。</p> <p>備考) 割り込みは、ラーニング (INPUT_LEARN_BLOCK) や送信元の廃棄 (LK_CTRL) が有効にされているかどうかにかかわらず、未知の送信元が検出されたときにかかわらず発生します。</p>	R/W
b2	予約ビット	<p>書き込み時は 0 を書き込んでください。読み出しは無視してください。</p>	R
b1	MDIO1	<p>MDIO コントローラのトランザクション終了での割り込みを許可</p>	R/W
b0	IRQ_EN	<p>割り込みのグローバル許可</p> <p>本ビットがセットされ、かつ、いずれかの割り込みイベントが発生し、その割り込みが許可されている場合、割り込み信号がアサート (1) されます。</p>	R/W

4.4.73 INT_STAT_ACK — 割り込みステータス/ACK レジスタ

本レジスタは割り込みの現在の状態を示し、本レジスタを使用して 1 つまたはすべての割り込みをクリアまたはアクノリッジできます。割り込み信号は対応する割り込みが INT_CONFIG レジスタ内で許可されている場合にのみアサートされます。本レジスタの interrupt_latches の各ビットは、INT_CONFIG の許可設定と関係なく、割り込みイベントが発生したときにアサートされます。

アドレス 4405 0604h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PATTERN_INT	TDMA_INT	interrupt_latches													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	interrupt_latches								HUB_INT	PRP_INT	DLR_INT	IRQ_TEST	LK_NEW_SRC	—	MDIO1	IRQ_PEND
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.75 INT_STAT_ACK レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	PATTERN_INT	RX パターンマッチャモジュールからの割り込み保留ステータス モジュールの割り込みレジスタに保留されている割り込みがある場合にアサートされます（すべての RX パターンマッチャモジュールの割り込み出力の OR を示します）。割り込みをクリアするにはパターンモジュールのステータス/アクノリッジレジスタに書き込む必要があります。本ビットに対する書き込みは無効です。 PTN_IRQ_STAT_ACK の説明を参照してください。	R
b30	TDMA_INT	TDMA スケジューラからの割り込み保留ステータス TDMA 割り込みが許可され、保留されているときにアサートされます。 割り込みをクリアするには TDMA_IRQ_STAT_ACK レジスタを使用する必要があります。本ビットに対する書き込みは無効です。	R
b29~b8	interrupt_latches	INT_CONFIG[29:8]レジスタによって定義されている各ビットのラッチ割り込みステータスビットに 1 を書き込むと割り込みがクリアされます。	R/W
b7	HUB_INT	ハブモジュールからの割り込み保留ステータス ハブモジュールの割り込みレジスタに保留されている割り込みがある場合にアサートされます（A5PSW_HUB_Int 信号のステータスを示します）。割り込みをクリアするにはハブモジュールのステータス/アクノリッジレジスタに書き込む必要があります。本ビットに対する書き込みは無効です。 HUB_IRQ_STAT_ACK の説明を参照してください。	R
b6	PRP_INT	PRP モジュールからの割り込み保留ステータス PRP モジュールの割り込みレジスタに保留されている割り込みがある場合にアサートされます（A5PSW_PRP_Int 信号のステータスを示します）。割り込みをクリアするには PRP モジュールのステータス/アクノリッジレジスタに書き込む必要があります。本ビットに対する書き込みは無効です。	R
b5	DLR_INT	DLR モジュールからの割り込み保留ステータス DLR モジュールの割り込みレジスタに保留されている割り込みがある場合にアサートされます（A5PSW_DLR_Int 信号のステータスを示します）。割り込みをクリアするには DLR モジュールのステータス/アクノリッジレジスタに書き込む必要があります。本ビットに対する書き込みは無効です。	R
b4	IRQ_TEST	IRQ_TEST の割り込みステータス INT_CONFIG.IRQ_TEST が 1 である場合にセットされます。割り込みをクリアするには INT_CONFIG.IRQ_TEST をクリアする必要があります。	R
b3	LK_NEW_SRC	LK_NEW_SRC のラッチ割り込みステータス 本ビットに 1 を書き込むとラッチがクリアされます。	R/W
b2	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R

表 4.75 INT_STAT_ACK レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b1	MDIO1	MDIO1 のラッチ割り込みステータス 本ビットに 1 を書き込むとラッチがクリアされます。	R/W
b0	IRQ_PEND	割り込み保留ステータス 許可されていてかつ保留されている割り込みが存在する場合にアサートされます。本レジスタの interrupt_latches の各ビットは、INT_CONFIG の許可設定と関係なく、割り込みイベントが発生したときにアサートされます。しかし IRQ_PEND はラッチビットとそれに対応する許可ビットの両方がセットされているイベントがある場合にのみアサートされます。 備考) セットされている場合、割り込み信号 (A5PSW_Int) はグローバルイネーブルビットである INT_CONFIG[0]がセットされたときにアサートされます。	R

4.4.74 MDIO_CFG_STATUS — MDIO コンフィグレーションおよびステータスレジスタ

アドレス 4405 0700h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CLKDIV								—	DISPREAM	HOLD			READERR	BUSY	
リセット後の値	0	0	0	1	0	1	0	0	0	X	0	0	0	0	0	0

表 4.76 MDIO_CFG_STATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b7	CLKDIV	MDIO クロック除数 5~511 の値が設定可能です。周波数は(AHB クロック周波数)/((2×除数)+1)です。リセットデフォルト値は 40 です。除数を 0 に設定すると MDC が無効になります。	R/W
b6	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b5	DISPREAM	0 : プリアンブル有効 1 : プリアンブル無効	R/W
b4~b2	HOLD	MDIO ホールド時間設定 000b : 1AHB クロックサイクル (デフォルト) 001b : 3AHB クロックサイクル 010b : 5AHB クロックサイクル 011b : 7AHB クロックサイクル 100b : 9AHB クロックサイクル 101b : 11AHB クロックサイクル 110b : 13AHB クロックサイクル 111b : 15AHB クロックサイクル	R/W
b1	READERR	MDIO 読み出しエラー (読み込み専用ビット) 本ビットがセットされている場合、最後の読み出しトランザクションに対して PHY からの応答がなく、データ読み出しが無効である可能性があります。このエラーは PHY アドレスが MDIO バス上のどの PHY にも一致しない場合に発生することがあります。	R
b0	BUSY	MDIO ビジー (読み出し専用ビット) 本ビットがセットされている場合は MDIO トランザクションが実行中です。クリアされている場合はアプリケーションが他のレジスタにアクセスすることが可能です。	R

4.4.75 MDIO_COMMAND — MDIO PHY コマンドレジスタ

アドレス 4405 0704h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TRANINIT	—	—	—	—	—	PHYADDR				REGADDR					
リセット後の値	0	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0

表 4.77 MDIO_COMMAND レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15	TRANINIT	1 を書き込むと読み出しトランザクションが起動されます。	R/W
b14~b10	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b9~b5	PHYADDR	PHY アドレス	R/W
b4~b0	REGADDR	レジスタアドレス	R/W

4.4.76 MDIO_DATA — MDIO データレジスタ

アドレス 4405 0708h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MDIO_DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.78 MDIO_DATA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	MDIO_DATA	<ul style="list-style-type: none"> 書き込み時 PHY への書き込みトランザクションを起動します。MDIO_COMMAND レジスタが初期化されている必要があります。ビジーステータスビットが即座にセットされ、書き込みトランザクションが終了するとクリアされます。 <ul style="list-style-type: none"> 読み出し時 読み出しトランザクションが終了した後に PHY レジスタから読み出したデータが返却されます。(MDIO_COMMAND レジスタに書き込むことによって起動されません。)	R/W

4.4.77 REV_P[n] — ポート[n] MAC コアリビジョン (n=0~4)

アドレス 4405 0800h+400h×n

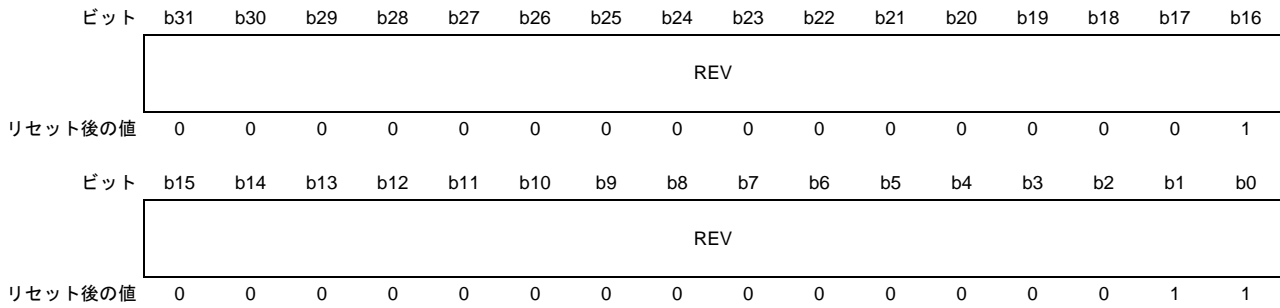


表 4.79 REV_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	REV	リビジョン	R

4.4.78 COMMAND_CONFIG_P[n] — ポート[n]コマンドコンフィグレーションレジスタ (n=0~4)

アドレス 4405 0808h+400h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	ENA_10	NO_LGTH_CHECK	CNTL_FRM_ENA	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	0	1	0	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LOOP_ENA	—	SW_RESET	—	TX_CRC_APPEND	HD_ENA	TX_ADDR_INS	PAUSE_IGNORE	PAUSE_FWD	CRC_FWD	PAD_EN	PROMIS_EN	ETH_SPEED	—	RX_ENA	TX_ENA
リセット後の値	0	0	0	X	1	0	0	0	0	0	0	1	0	X	1	1

表 4.80 COMMAND_CONFIG_P[n]レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b25	ENA_10	本ビットは STATUS_P[n]レジスタの PHYSPEED ビット以外には影響しません。HUB 機能で動作させる場合は、STATUS_P[n].PHYSPEED に適切に反映されるように設定してください。速度設定は、STATUS_P[n].PHYSPEED を参照ください。	R/W
b24	NO_LGTH_CHECK	ペイロード長さチェック無効化 “0”にセットすると、コアがフレームの長さ/タイプフィールドによってフレームペイロード長をチェックします。“1”にセットするとペイロード長チェックが無効になります。	R/W
b23	CNTL_FRM_ENA	MAC コントロールフレーム有効化 “0”にセットすると、opcode が 0x0001 (PAUSE フレーム) 以外の MAC コントロールフレーム (type=0x8808) が廃棄され、廃棄されたことは通知されません。“1”にセットすると、opcode が 0x0001 以外の MAC コントロールフレームが受け付けられ、クライアントインタフェースに転送されます。	R/W
b22~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15	LOOP_ENA	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R/W
b14	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b13	SW_RESET	セルフクリアリセットコマンドビット 1 を書き込むと、統計レジスタがクリアされ、MAC の送受信データパスが無効になります。 備考) 本ビットは MAC ポート 0 レジスタで書き込まれた場合のみ、すべてのポートのすべての統計をクリアします。他ポートのレジスタの本ビットへの書き込みは統計カウンタに影響を与えません。	R/W
b12	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b11	TX_CRC_APPEND	送信時の CRC の付加を許可 セット (1) されると、TX がすべての送信フレームに CRC を付加します。スイッチ内でフレーム操作が有効になっている場合、すべての MAC は受信時に CRC を削除し (CRC_FWD ビット=0)、送信時に CRC を付加するように設定されている必要があります。スイッチ内でフレーム操作が設定されていない場合、CRC をフレームと共にスイッチ内で転送することが可能です。(つまりすべての MAC の設定で CRC_FWD=1 および TX_CRC_APPEND=0 とすることが可能です。)	R/W
b10	HD_ENA	自動全二重/半二重動作 (1) または全二重のみ (0) を有効にします。 半二重を設定するには、本ビットを 1 にセットし、イーサネットアクセサリレジスタの SWDUPC レジスタの PHY_DUPLEX ビットを 0 にセットします。その他の設定では全二重が選択されます。	R/W
b9	TX_ADDR_INS	書き込みができないビットです。常に 0 です。	R

表 4.80 COMMAND_CONFIG_P[n]レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b8	PAUSE_IGNORE	PAUSE フレーム時間を無視 有効になっている場合 (“1” にセット)、MAC は受信した PAUSE フレームを無視します。無効になっている場合 (リセット値の “0” にセット)、PAUSE フレームで受信した中断時間が指定する時間だけ、送信処理が停止します。	R/W
b7	PAUSE_FWD	PAUSE フレームを終端/転送 有効になっている場合 (“1” にセット)、PAUSE フレームがユーザアプリケーションに転送されます。通常モード (リセット値の “0” にセット) では PAUSE フレームは MAC で終端され削除されます。 本ビットは常に 0 固定です。	R
b6	CRC_FWD	受信 CRC の終端/転送 有効になっている (1) 場合、受信フレームの CRC フィールドはフレームと共にユーザアプリケーションに転送されます。無効になっている場合 (リセット値の “0” にセット)、CRC フィールドがフレームから削除されます。	R/W
b5	PAD_EN	受信時のフレームパディング削除の有効化/無効化 有効になっている (1) 場合、受信フレームのパディングはフレームをユーザアプリケーションに渡す前に削除されます。無効になっている場合 (リセット値の “0” にセット)、MAC は受信時にパディングを削除しません。 本ビットは常に 0 固定です。	R
b4	PROMIS_EN	MAC プロミスキャスオペレーション有効化/無効化 アサート (“1” にセット) されている場合は、すべてのフレームがユニキャストアドレスフィルタリングなしで受信されます。 本ビットは常に 1 固定です。	R
b3	ETH_SPEED	10/100 動作モード (0) またはギガビット動作モード (1) を指定します。	R/W
b2	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b1	RX_ENA	MAC 受信バス有効化/無効化 “0” にセットすると、MAC 受信機能が無効になります。“1” にセットすると、MAC 受信機能が有効になります。	R/W
b0	TX_ENA	MAC 送信バス有効化/無効化 “0” にセットすると、MAC 送信機能が無効になります。“1” にセットすると、MAC 送信機能が有効になります。	R/W

4.4.79 MAC_ADDR_0_P[n] — ポート[n] MAC アドレスレジスタ 0 (n=0~3)

アドレス 4405 080Ch+400h×n



表 4.81 MAC_ADDR_0_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	MAC_ADDR	ポートの MAC アドレスの最初の 4 バイトです。最初のバイトはビット[7:0]です。この MAC アドレスは内部で生成されるフレーム（PAUSE フレーム、ピア遅延応答など）に使用されます。	R/W

4.4.80 MAC_ADDR_1_P[n] — ポート[n] MAC アドレスレジスタ 1 (n=0~3)

アドレス 4405 0810h+400h×n



表 4.82 MAC_ADDR_1_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	MAC_ADDR	ポートの MAC アドレスの最後の 2 バイトです。ビット[7:0]が第 5 バイトでビット[15:8]が第 6 バイトです。	R/W

4.4.81 FRM_LENGTH_P[n] — ポート[n]最大フレーム長レジスタ (n=0~4)

備 考

管理ポートが特殊管理タグを含むフレームを受付できるようにするために、該当ポートでの許容される長さを 8 増加する必要があります。

アドレス		4405 0814h+400h × n															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	FRM_LENGTH														
リセット後の値	X	X	0	0	0	1	0	1	1	1	1	1	1	1	1	0	

表 4.83 FRM_LENGTH_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b14	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b13~b0	FRM_LENGTH	最大フレーム長 (RW) MAC 受信ロジックがフレームをチェックするときに使用する 14 ビットの最大フレーム長を指定します。 これは許容される最大のフレーム全長です。したがって VLAN フレームがサポートされる場合は、サポートされる VLAN タグが 1 個の場合と 2 個の場合に応じてこの値を 1522 または 1526 にする必要があります。	R/W

4.4.82 PAUSE_QUANT_P[n] — ポート[n] MAC 中断時間 (n=0~4)

アドレス		4405 0818h+400h × n															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	PAUSE_QUANT																
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

表 4.84 PAUSE_QUANT_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	PAUSE_QUANT	中断時間 リモートイーサネットデバイスに送信される各 PAUSE フレームで使用する中断時間を 512 イーサネットビット時間単位で設定する 16 ビット値です。	R

4.4.83 PTPClockIdentity1_P[n] — ポート[n] PTP クロック ID1 レジスタ (n=0~3)

アドレス 4405 0830h+400h×n

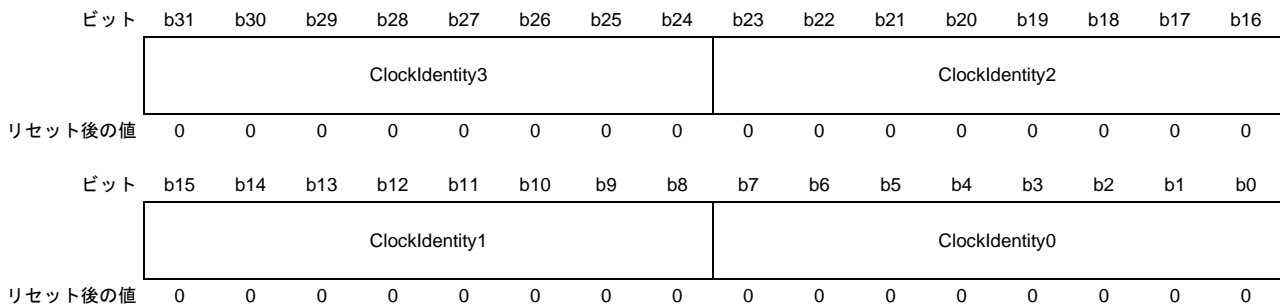


表 4.85 PTPClockIdentity1_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	ClockIdentity3	23, portIdentity.ClockIdentity[3]	R/W
b23~b16	ClockIdentity2	22, portIdentity.ClockIdentity[2]	R/W
b15~b8	ClockIdentity1	21, portIdentity.ClockIdentity[1]	R/W
b7~b0	ClockIdentity0	20, portIdentity.ClockIdentity[0]	R/W

4.4.84 PTPClockIdentity2_P[n] — ポート[n] PTP クロック ID2 レジスタ (n=0~3)

アドレス 4405 0834h+400h×n

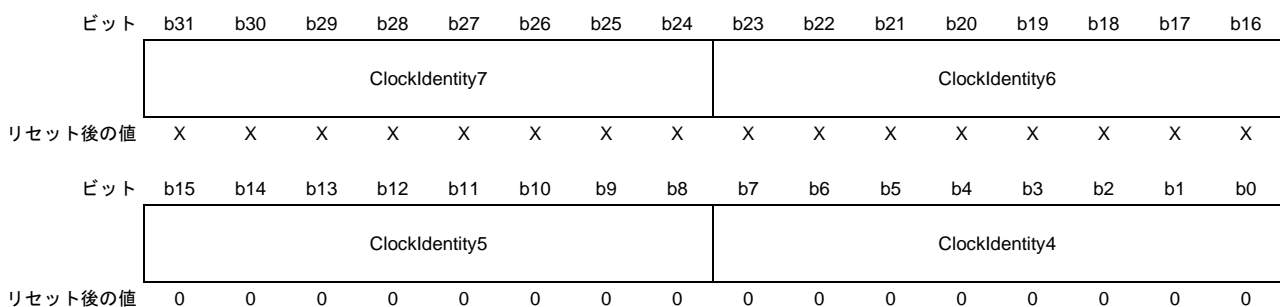


表 4.86 PTPClockIdentity2_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	ClockIdentity7	27, portIdentity.ClockIdentity[7]	R/W
b23~b16	ClockIdentity6	26, portIdentity.ClockIdentity[6]	R/W
b15~b8	ClockIdentity5	25, portIdentity.ClockIdentity[5]	R/W
b7~b0	ClockIdentity4	24, portIdentity.ClockIdentity[4]	R/W

4.4.85 PTPAutoResponse_P[n] — ポート[n] PTP 自動レスポンスレジスタ (n=0~3)

アドレス 4405 0838h+400h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PortNumber1								PortNumber0							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AutoRespEnable
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0

表 4.87 PTPAutoResponse_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	PortNumber1	28, portIdentity.PortNumber[0] (最上位ビット)	R/W
b23~b16	PortNumber0	29, portIdentity.PortNumber[1] (最下位ビット)	R/W
b15~b1	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b0	AutoRespEnable	IEEE 1588v2 のレイヤ 2 ピア遅延レスポンス (PDELAY_RESP) メッセージの自動生成を有効にします。 1 の場合、MAC は PDELAY_REQ メッセージを検出して自動的に PDELAY_RESP を返信します。0 の場合、MAC は自動レスポンス生成を行いません。 備考) PRIORITY_TYPE レジスタを使用してレスポンスフレームの優先順位を指定できます。	R/W

4.4.86 STATUS_P[n] — ポート[n]ポートステータスレジスタ (n=0~4)

アドレス 4405 0840h+400h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PHYDU PLEX	PHYLIN K	PHYSPEED	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	1	0	X	X

表 4.88 STATUS_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b3	PHYDUPLEX	PHY インタフェースから通知されるデュプレックスステータスです (1=全二重、0=半二重)。この情報は PHYLINK=1 の場合にのみ有効です。その他の場合の値は任意です。 備考) これはイーサネットアクセサリレジスタの SWDUPC レジスタの PHY_DUPLEX ビットを直接表示したものです。したがって実際の PHY ステータスはこれとは異なる場合があります。	R
b2	PHYLINK	PHY インタフェースから通知されるリンク状態 (1=リンクがアップ、0=リンクがダウン) 備考) これは PHY から入力されるリンク状態を直接表示したものです。	R
b1、b0	PHYSPEED	現在稼働中の PHY インタフェースの速度 00b=10Mbps 01b=100Mbps 10b=1Gbps 11b=予約されています。使用されていません。 各ポートの設定ビットの論理和を定義します。(n: ポート) mode10=論理和 (COMMAND_CONFIG_P[n].ENA_10, SWCTRL.SET10[n]) mode1000=論理和 (COMMAND_CONFIG_P[n].ETH_SPEED, SWCTRL.SET1000[n]) 速度設定は、以下のように決定されます。 mode1000=1 かつ mode10=x: 1Gbps mode1000=0 かつ mode10=0: 100Mbps mode1000=0 かつ mode10=1: 10Mbps 備考) この情報はリンクがアップ状態 (PHYLINK=1) の場合にのみ有効です。その他の場合の値は任意です。	R

4.4.87 TX_IPG_LENGTH_P[n] — ポート[n]送信 IPG 長レジスタ (n=0~4)

アドレス 4405 0844h+400h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	TX_IPG_LENGTH				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	1	1	0	0

表 4.89 TX_IPG_LENGTH_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b4~b0	TX_IPG_LENGTH	送信時のパケット間のギャップをオクテット単位で指定します。値の有効範囲は8~31です。	R/W

4.4.88 EEE_CTL_STAT_P[n] — ポート[n] MAC EEE 機能のコントロールとステータス (n=0~3)

アドレス 4405 0848h+400h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	STLH_LPI_IND	—	STLH_TXBUSY	STLH_LPI_TXHOLD	STLH_LPI_REQ
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	X	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ST_LPI_IND	ST_TXAVAIL	ST_TXBUSY	ST_LPI_TXHOLD	ST_LPI_REQ	—	—	—	—	—	LPI_TXHOLD	LPI_REQ	EEE_AUTO
リセット後の値	X	X	X	0	0	0	0	0	X	X	X	X	X	0	0	0

表 4.90 EEE_CTL_STAT_P[n]レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b21	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b20	STLH_LPI_IND	受信 LPI (ST_LPI_IND) のステータス (ラッチ High) レジスタを読み出したときに本ビットがクリアされます。	R
b19	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b18	STLH_TXBUSY	MAC が送信しているまたは送信したことを示すステータス (ラッチ High) レジスタを読み出したときに本ビットがクリアされます。	R
b17	STLH_LPI_TXHOLD	MAC の内部 LPI_TXHOLD のステータス (ラッチ High) レジスタを読み出したときに本ビットがクリアされます。	R
b16	STLH_LPI_REQ	MAC の内部 LPI_REQ のステータス (ラッチ High) レジスタを読み出したときに本ビットがクリアされます。	R
b15~b13	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b12	ST_LPI_IND	受信 LPI のステータス (リアルタイム) MAC の RS レイヤが受信インタフェースで LPI シーケンスを検出しているときにアサートされます。	R
b11	ST_TXAVAIL	MAC の送信 FIFO に送信データがあるかどうかを示すステータス (リアルタイム)	R
b10	ST_TXBUSY	MAC が送信中であるかどうかを示すステータス (リアルタイム)	R
b9	ST_LPI_TXHOLD	MAC の内部 LPI_TXHOLD のステータス (リアルタイム) MAC が停止し、フレームを処理していないことを示します。本ビットは、LPI_REQ ビットまたは LPI_TXHOLD ビットへ書き込んだとき、または自動モードが有効になっていて MAC がまだフレーム送信を許可されていないときにアサートされます。	R
b8	ST_LPI_REQ	MAC の内部 LPI_REQ のステータス (リアルタイム) 本ビットは、LPI_REQ ビットへ書き込んだとき、または自動モードが有効になっていてアイドル時間がタイムアウトしたときにアサートされます。	R
b7~b3	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b2	LPI_TXHOLD	MAC 送信保留 1 の場合、MAC は現在送信中のフレームがあればその送信を続け、その後送信 FIFO / キューのフレームの読み出しを停止します。LPI の後に MAC をアイドル状態に移させるために、LPI_REQ をクリアする前に本ビットをセットする必要があります。その後、(アプリケーション制御の) ウェイク時間がタイムアウトすると LPI_TXHOLD がクリアされ、MAC が再びフレームを通常通りに送信できるようになります。 備考) LPI_REQ と LPI_TXHOLD による制御を行うためには、アプリケーションで対応する沈黙タイムとウェイクタイムを実装する必要があります。 通常動作を行うときまたは EEE_AUTO が使用されているときは 0 にセットします。	R/W

表 4.90 EEE_CTL_STAT_P[n]レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b1	LPI_REQ	<p>MAC がアイドルになったとき LPI 送信を要求します。</p> <p>1 の場合、MAC は出力キューにあるフレームの送信を続けた後に LPI シーケンスを送信します。LPI に遷移すると ST_LPI_REQ ステータスビットがアサートされません。LPI 状態の間、MAC は出力キューに新たに到着したフレームを処理しません。LPI_REQ=1 と LPI_TXHOLD=0 を書き込んでおくと、LPI 状態になる前に送信キューのすべてのフレームが送信されます。LPI_TXHOLD が LPI_REQ と共にセットされていると、MAC は送信中のフレームを送信したら即座に停止し、出力キューの掃き出しを行いません。</p> <p>LPI 削除後に MAC が（ウェイク時間を無視して）即座にフレームを送信しないように、LPI_REQ をクリアする前に LPI_TXHOLD ビットをセットする必要があります。したがってアプリケーション制御による通常の電源切断シーケンスは次のようになります：LPI_REQ=1 → ST_LPI_REQ=1 になるまで待つ → LPI_TXHOLD=1 → 沈黙タイムアウトまたはデータを待つ → LPI_REQ=0 → ウェイクタイムアウトを待つ → LPI_TXHOLD=0。</p> <p>本ビットはいつでもセットできます（EEE_AUTO=1 の場合も含む）。0 をセットすると通常動作になります。</p>	R/W
b0	EEE_AUTO	<p>EEE 自動動作モードです。1 の場合、MAC は EEE_IDLE_TIME_P[n] レジスタに設定されている時間だけアイドルになった後に LPI シーケンスの送信を開始します。本ビットはタイマレジスタ（EEE_IDLE_TIME_P[n] と EEE_TWSYS_TIME_P[n]）の初期化の後に 1 に設定する必要があります。0 の場合、MAC は自動 LPI 送信を行いません。</p>	R/W

4.4.89 EEE_IDLE_TIME_P[n] — ポート[n] EEE アイドル時間レジスタ (n=0~3)

アドレス 4405 084Ch+400h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EEE_IDLE_TIME_P[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EEE_IDLE_TIME_P[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.91 EEE_IDLE_TIME_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	EEE_IDLE_TIME_P[n]	LPI 送信が始まる前にトランスミッタがアイドルになる必要がある時間 (-1) です。32 スイッチシステムクロックサイクル単位の 32 ビット値です。値が 0 のときはタイマが無効です。1 少ない値に設定する必要があります。	R/W

4.4.90 EEE_TWSYS_TIME_P[n] — ポート[n] EEE ウェークアップ時間レジスタ (n=0~3)

アドレス 4405 0850h+400h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EEE_TWSYS_TIME_P[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EEE_TWSYS_TIME_P[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.92 EEE_TWSYS_TIME_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	EEE_TWSYS_TIME_P[n]	PHY ウェイクアップ後に MAC が最初のフレームを送信することを再許可されるまでの時間 (-1) です。スイッチシステムクロックサイクル単位の 32 ビット値です。値が 0 のときはタイマが無効です。1 少ない値に設定する必要があります。	R/W

4.4.91 IDLE_SLOPE_P[n] — ポート[n] MAC トラフィックシェイパ帯域幅コントロール (n=0~4)

アドレス 4405 0854h+400h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IDLE_SLOPE										
リセット後の値	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0

表 4.93 IDLE_SLOPE_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b11	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b10~b0	IDLE_SLOPE	トラフィックシェイパ帯域幅コントロール 0 以外の値がセットされているときはシェイパが有効であり、帯域幅を制御します。 0 のときはシェイパが無効です。有効値は 2~2046 です。	R/W

4.4.92 aFramesTransmittedOK_P[n] — ポート[n] MAC 送信済み有効フレームカウントレジスタ (n=0~4)

アドレス 4405 0868h+400h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	aFramesTransmittedOK_P[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	aFramesTransmittedOK_P[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.94 aFramesTransmittedOK_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aFramesTransmittedOK_P[n]	ポート[n] MAC で有効送信（中断を含む）されたフレーム数を示します。	R

4.4.93 aFramesReceivedOK_P[n] — ポート[n] MAC 受信済み有効フレームカウントレジスタ (n=0~4)

アドレス 4405 086Ch+400h×n

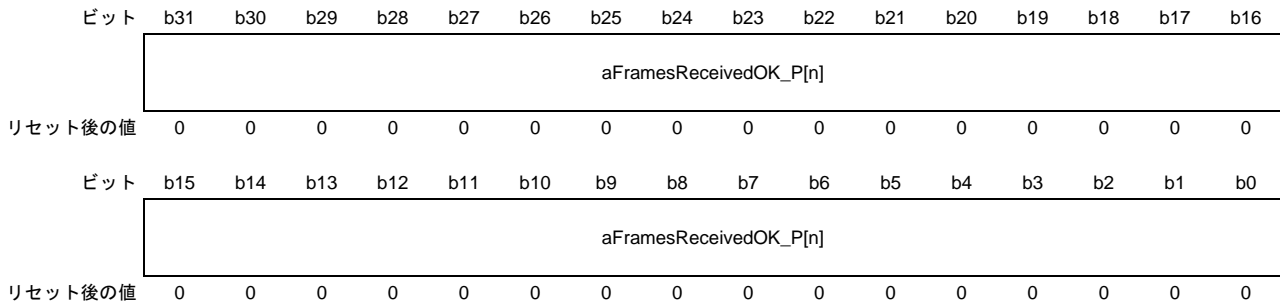


表 4.95 aFramesReceivedOK_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aFramesReceivedOK_P[n]	ポート[n] MAC で有効受信（中断を含む）されたフレーム数を示します。	R

4.4.94 aFrameCheckSequenceErrors_P[n] — ポート[n] MAC FCS エラーフレームカウントレジスタ (n=0~4)

アドレス 4405 0870h+400h×n

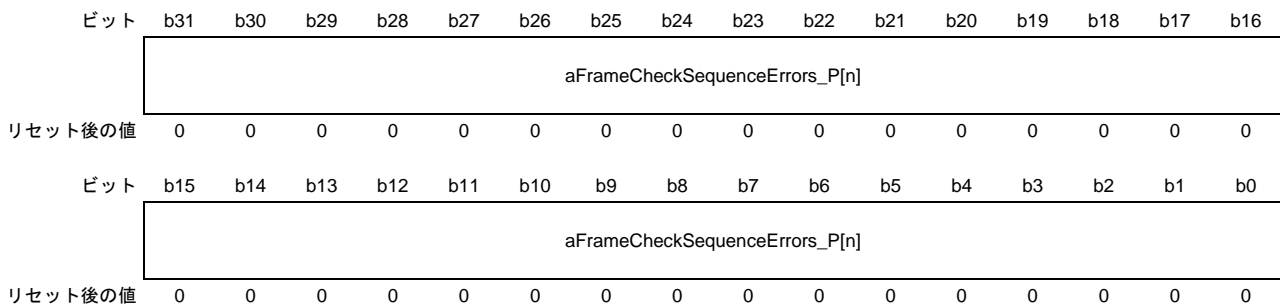


表 4.96 aFrameCheckSequenceErrors_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aFrameCheckSequenceErrors_P[n]	ポート[n] MAC で有効なフレーム長だったが、CRC エラーとなったフレーム数を示します。	R

4.4.95 aAlignmentErrors_P[n] — ポート[n] MAC アライメントエラーフレームカウントレジスタ (n=0~4)

アドレス 4405 0874h+400h×n

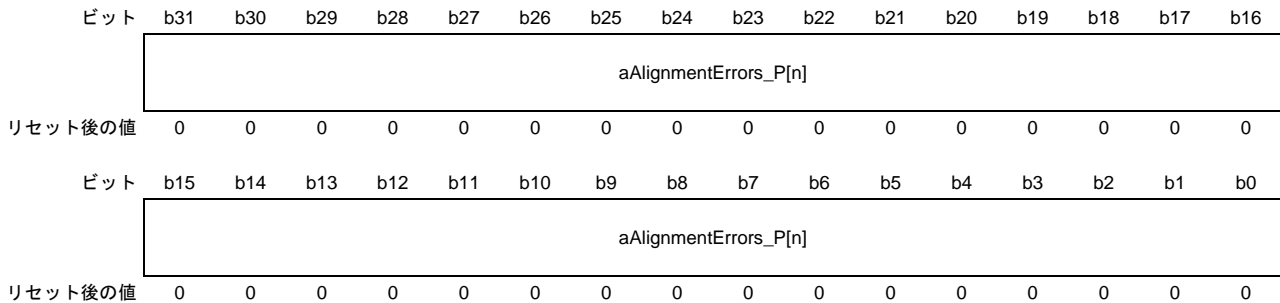


表 4.97 aAlignmentErrors_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aAlignmentErrors_P[n]	ポート[n] MAC の奇数ニブル (MII) 受信されたフレーム数を示します。	R

4.4.96 aOctetsTransmittedOK_P[n] — ポート[n] MAC 送信済み有効フレームオクテットレジスタ (n=0~4)

アドレス 4405 0878h+400h×n

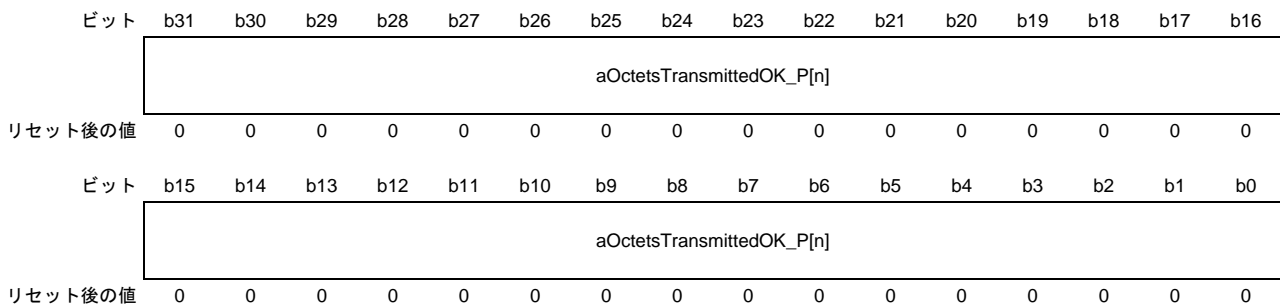


表 4.98 aOctetsTransmittedOK_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aOctetsTransmittedOK_P[n]	ポート[n] MAC で有効送信されたフレームのオクテット数を示します。	R

4.4.97 aOctetsReceivedOK_P[n] — ポート[n] MAC 受信済み有効フレームオクテットレジスタ (n=0~4)

アドレス 4405 087Ch+400h×n

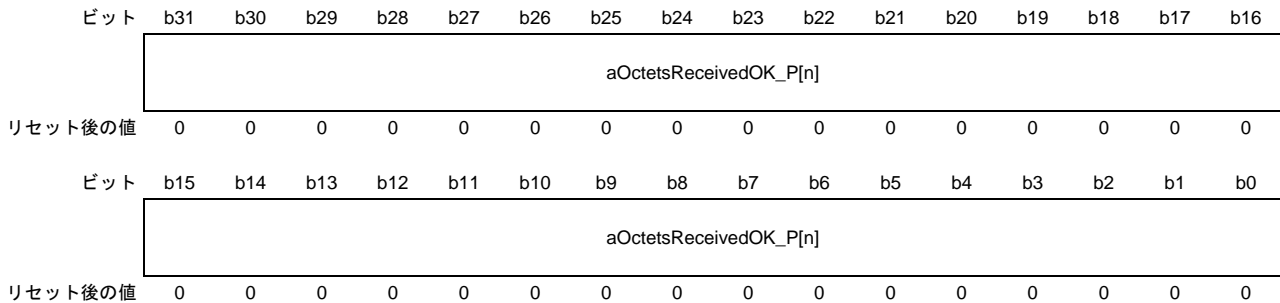


表 4.99 aOctetsReceivedOK_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aOctetsReceivedOK_P[n]	ポート[n] MAC で有効受信されたフレームのオクテット数を示します。	R

4.4.98 aTxPAUSEMACCtrlFrames_P[n] — ポート[n] MAC 送信済み PAUSE フレームカウントレジスタ (n=0~4)

アドレス 4405 0880h+400h×n

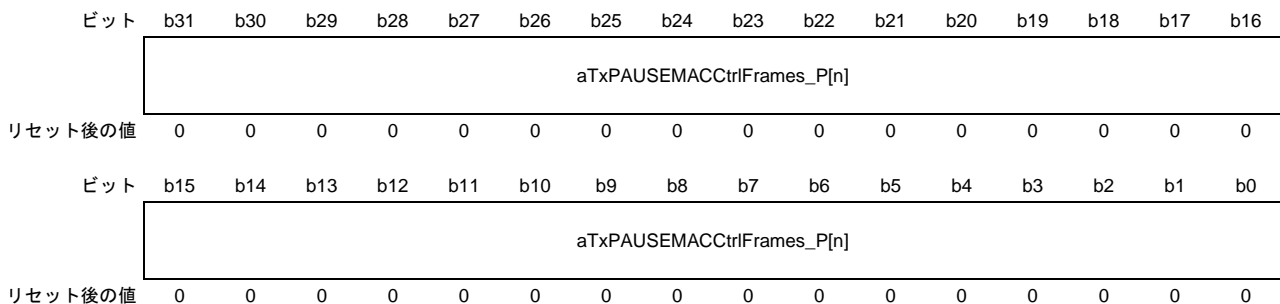


表 4.100 aTxPAUSEMACCtrlFrames_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aTxPAUSEMACCtrlFrames_P[n]	ポート[n] MAC で有効送信された PAUSE フレームの数を示します。	R

4.4.99 aRxPAUSEMACCtrlFrames_P[n] — ポート[n] MAC 受信済み PAUSE フレームカウントレジスタ (n=0~4)

アドレス 4405 0884h+400h×n

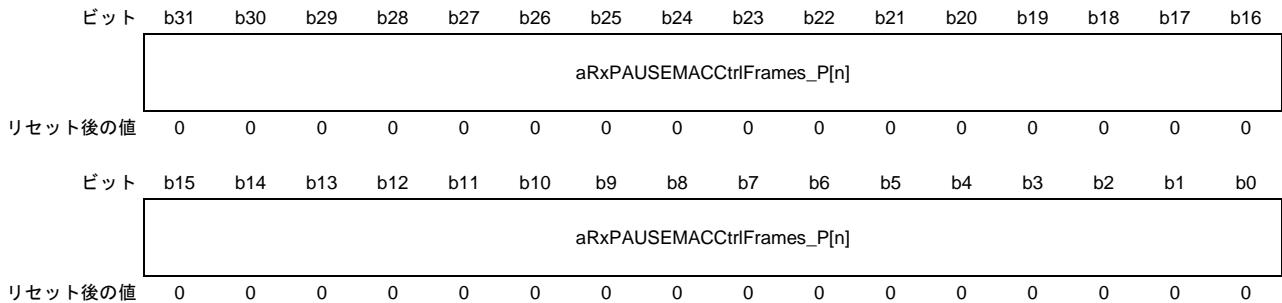


表 4.101 aRxPAUSEMACCtrlFrames_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aRxPAUSEMACCtrlFrames_P[n]	ポート[n] MAC で有効受信された PAUSE フレームの数を示します。	R

4.4.100 iflnErrors_P[n] — ポート[n] MAC 入力エラーカウントレジスタ (n=0~4)

アドレス 4405 0888h+400h×n

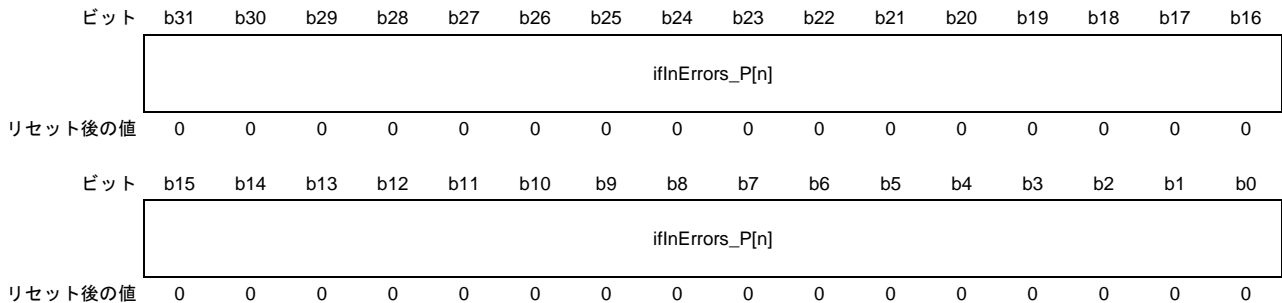


表 4.102 iflnErrors_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	iflnErrors_P[n]	ポート[n] MAC ですべての受信中エラー（CRC、長さ、PHY エラー、受信 FIFO オーバーフロー）となったフレームの数を示します。	R

4.4.101 ifOutErrors_P[n] — ポート[n] MAC 出力エラーカウントレジスタ (n=0~4)

内部エラー時 (TX FIFO のアンダーフローなど) またはカットスルー転送を使用してエラーを含むフレームを受信した場合にカウントアップされます。

備 考

アポートされたフレーム (半二重のコリジョンなど) はカウントされません。

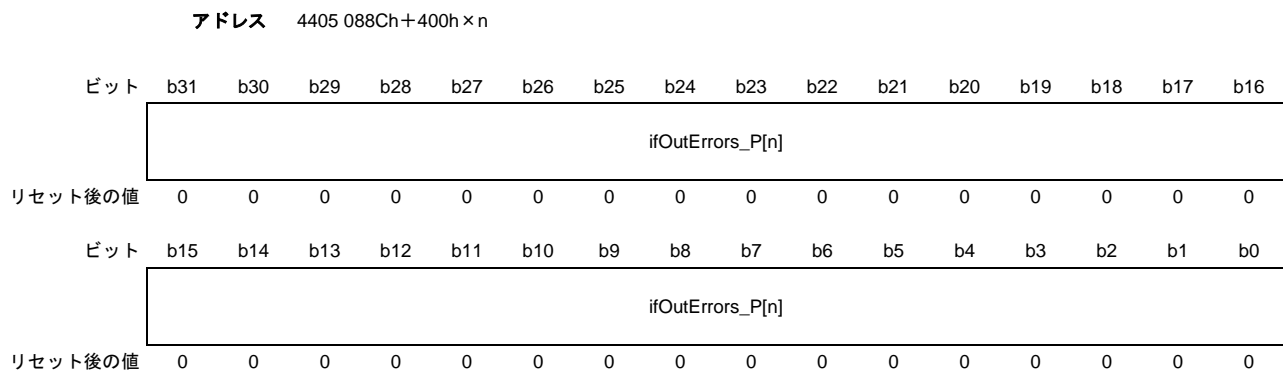


表 4.103 ifOutErrors_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ifOutErrors_P[n]	ポート[n] MAC で PHY エラーを伴い送信されたフレームの数を示します。	R

4.4.102 ifInUcastPkts_P[n] — ポート[n] MAC 受信済みユニキャストフレームカウントレジスタ (n=0~4)

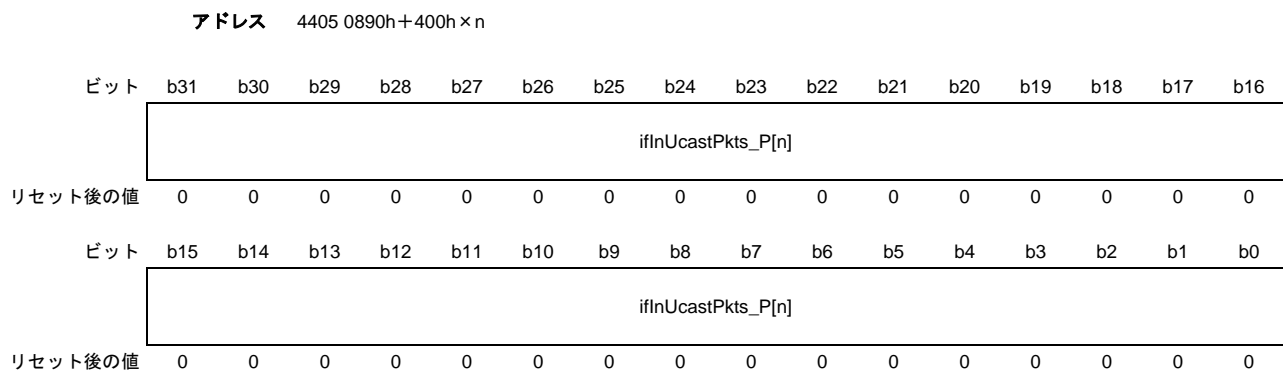


表 4.104 ifInUcastPkts_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ifInUcastPkts_P[n]	ポート[n] MAC で有効受信されたユニキャストフレームの数を示します。	R

4.4.103 ifInMulticastPkts_P[n] — ポート[n] MAC 受信済みマルチキャストフレームカウントレジスタ (n=0~4)

アドレス 4405 0894h+400h×n

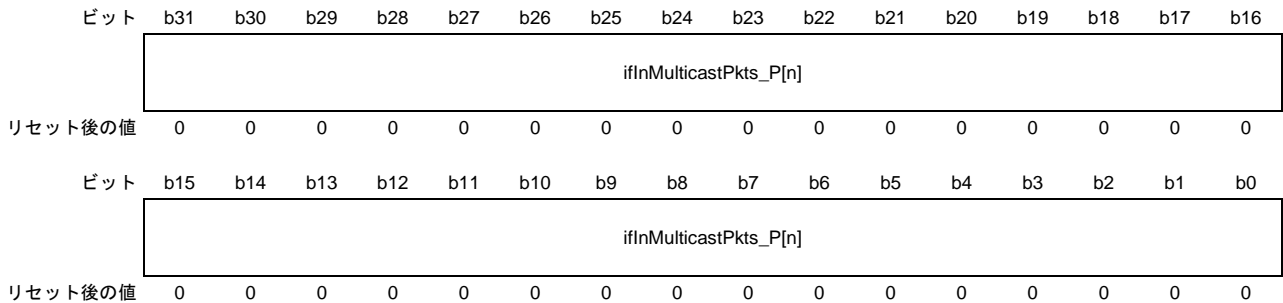


表 4.105 ifInMulticastPkts_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ifInMulticastPkts_P[n]	ポート[n] MAC で有効受信されたマルチキャストフレームの数を示します。	R

4.4.104 ifInBroadcastPkts_P[n] — ポート[n] MAC 受信済みブロードキャストフレームカウントレジスタ (n=0~4)

アドレス 4405 0898h+400h×n

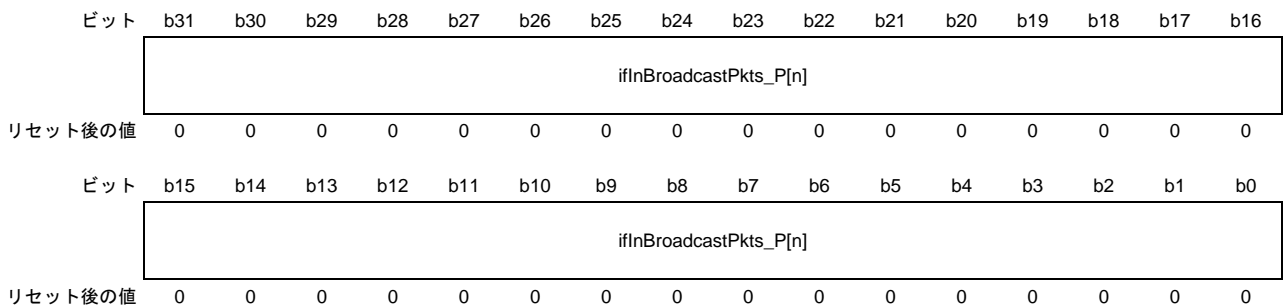


表 4.106 ifInBroadcastPkts_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ifInBroadcastPkts_P[n]	ポート[n] MAC で有効受信されたブロードキャストフレームの数を示します。	R

4.4.105 ifOutDiscards_P[n] — ポート[n] MAC アウトバウンド廃棄フレームカウントレジスタ (n=0~4)

アドレス 4405 089Ch+400h×n

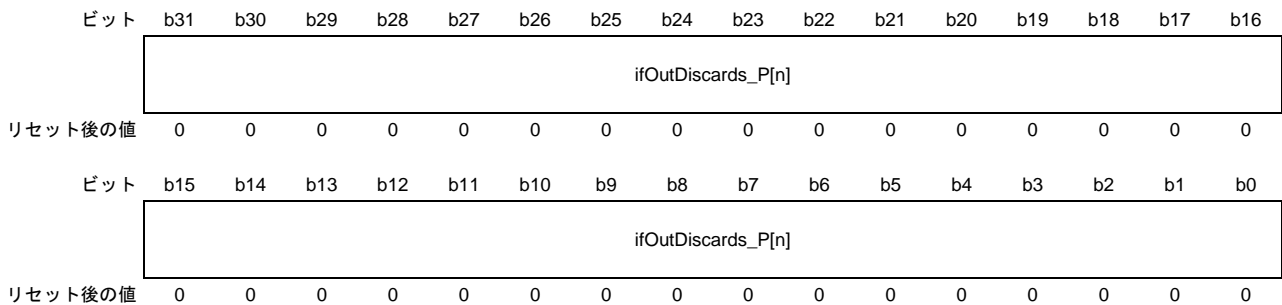


表 4.107 ifOutDiscards_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ifOutDiscards_P[n]	(未提供)	R

4.4.106 ifOutUcastPkts_P[n] — ポート[n] MAC 送信済みユニキャストフレームカウントレジスタ (n=0~4)

アドレス 4405 08A0h+400h×n

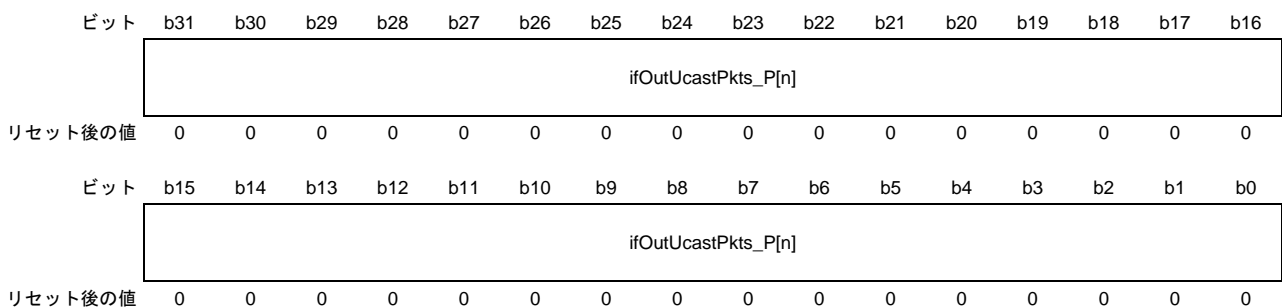


表 4.108 ifOutUcastPkts_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ifOutUcastPkts_P[n]	ポート[n] MAC で有効送信されたユニキャストフレームの数を示します。	R

4.4.107 ifOutMulticastPkts_P[n] — ポート[n] MAC 送信済みマルチキャストフレーム カウントレジスタ (n=0~4)

アドレス 4405 08A4h+400h×n

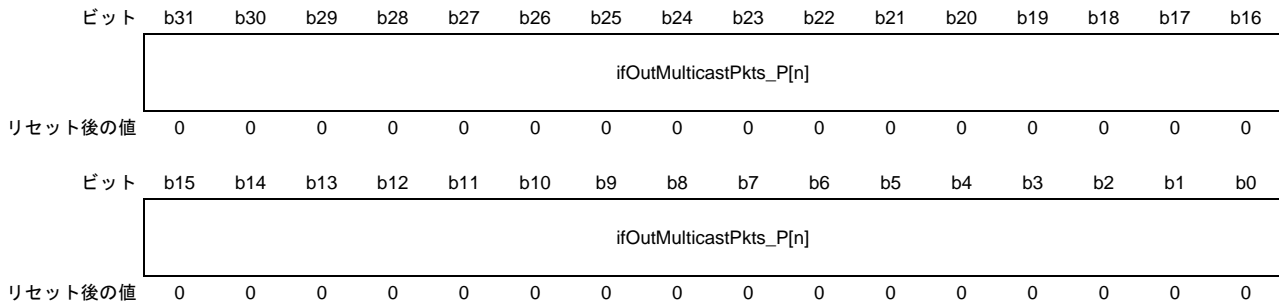


表 4.109 ifOutMulticastPkts_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ifOutMulticastPkts_P[n]	ポート[n] MAC で有効送信されたマルチキャストフレームの数を示します。	R

4.4.108 ifOutBroadcastPkts_P[n] — ポート[n] MAC 送信済みブロードキャストフ レームカウントレジスタ (n=0~4)

アドレス 4405 08A8h+400h×n

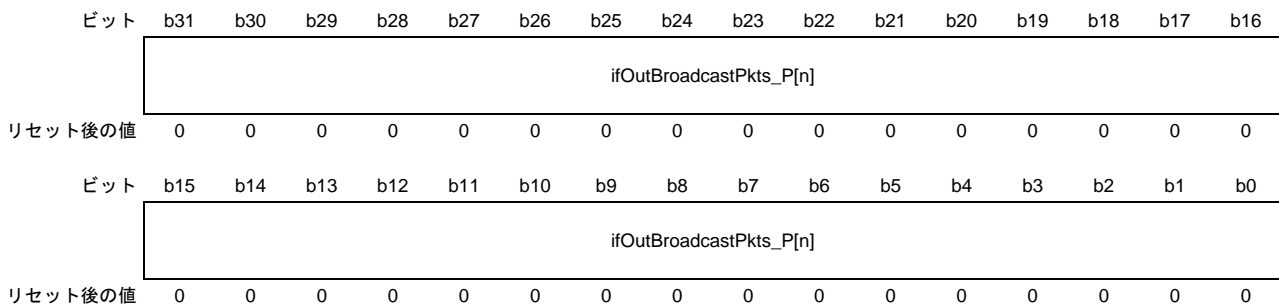


表 4.110 ifOutBroadcastPkts_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ifOutBroadcastPkts_P[n]	ポート[n] MAC で有効送信されたブロードキャストフレームの数を示します。	R

4.4.109 etherStatsDropEvents_P[n] — ポート[n] MAC ドロップフレームカウントレジスタ (n=0~4)

アドレス 4405 08ACh+400h×n

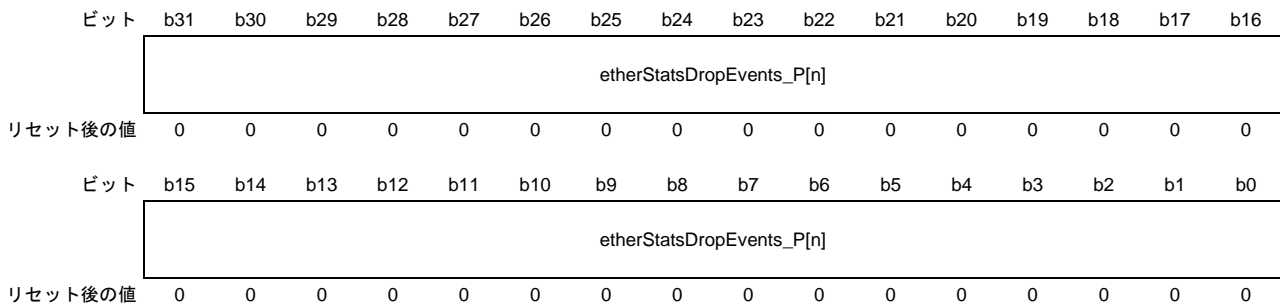


表 4.111 etherStatsDropEvents_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsDropEvents_P[n]	ポート[n] MAC でフレーム開始時受信 FIFO フルでドロップされたフレームの数を示します。	R

4.4.110 etherStatsOctets_P[n] — ポート[n] MAC 全フレームオクテットレジスタ (n=0~4)

アドレス 4405 08B0h+400h×n

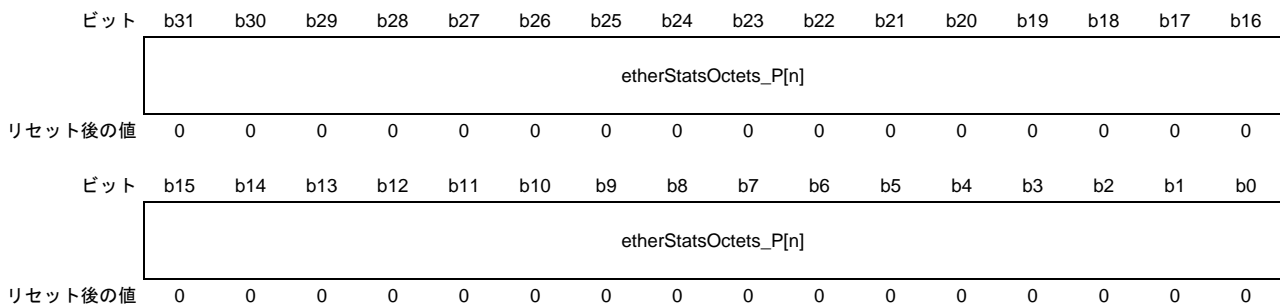


表 4.112 etherStatsOctets_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsOctets_P[n]	ポート[n] MAC の正常/不正 (最大サイズ超フレーム、最小サイズ未滿フレームを含む) のフレームのオクテット数の合計を示します。	R

4.4.111 etherStatsPkts_P[n] — ポート[n] MAC 全フレームカウントレジスタ (n=0~4)

アドレス 4405 08B4h+400h×n

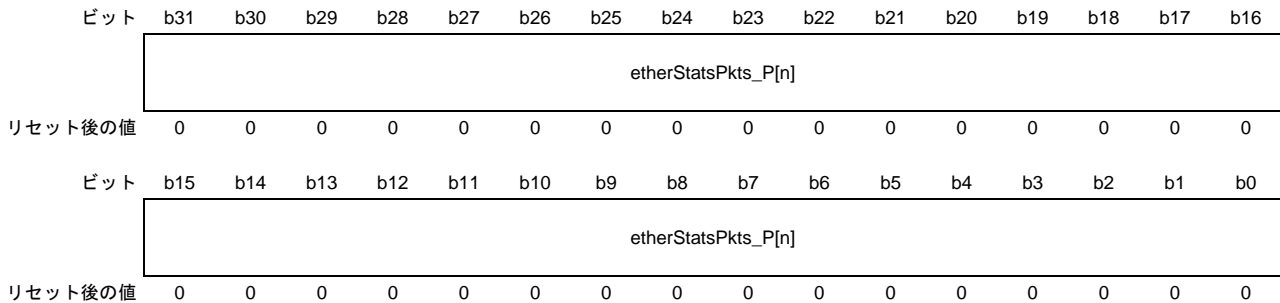


表 4.113 etherStatsPkts_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsPkts_P[n]	ポート[n] MAC の正常/不正 (最大サイズ超フレーム、最小サイズ未だフレームを含む) のフレーム数の合計を示します。	R

4.4.112 etherStatsUndersizePkts_P[n] — ポート[n] MAC アンダーサイズフレームカウントレジスタ (n=0~4)

アドレス 4405 08B8h+400h×n

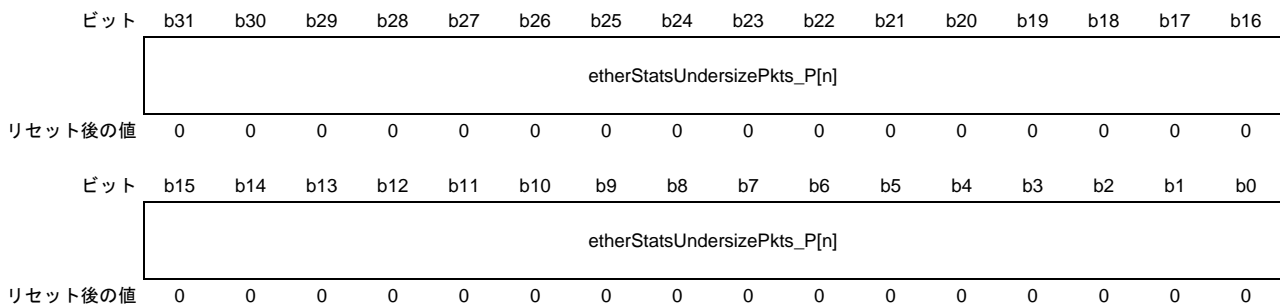


表 4.114 etherStatsUndersizePkts_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsUndersizePkts_P[n]	ポート[n] MAC で最小サイズ未だだが、CRC 正常だったフレームの数を示します。	R

4.4.113 etherStatsOversizePkts_P[n] — ポート[n] MAC オーバーサイズフレームカウントレジスタ (n=0~4)

アドレス 4405 08BCh+400h×n

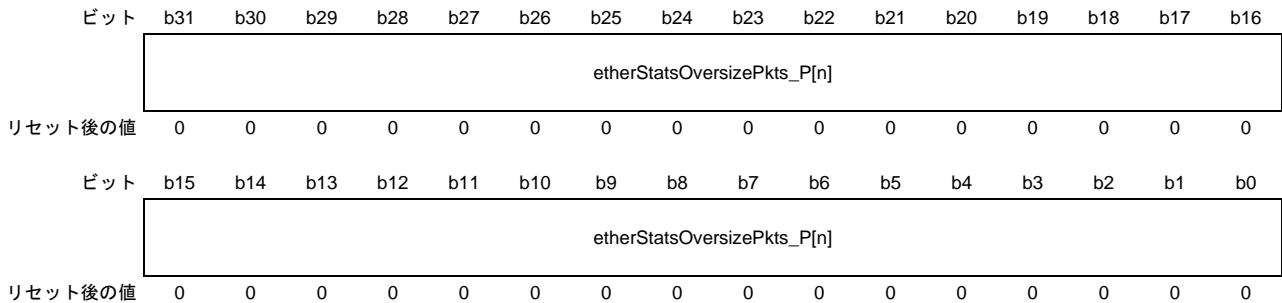


表 4.115 etherStatsOversizePkts_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsOversizePkts_P[n]	ポート[n] MAC で最大サイズ超だが、CRC 正常だったフレームの数を示します。	R

4.4.114 etherStatsPkts64Octets_P[n] — ポート[n] MAC 64 オクテットフレームカウントレジスタ (n=0~4)

アドレス 4405 08C0h+400h×n

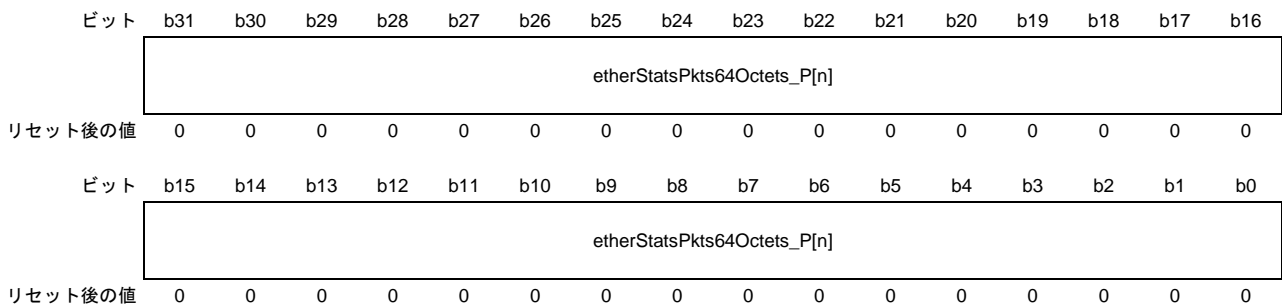


表 4.116 etherStatsPkts64Octets_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsPkts64Octets_P[n]	ポート[n] MAC の正常/不正 (パケットサイズ: 64 バイト) のフレーム数の合計を示します。	R

4.4.115 etherStatsPkts65to127Octets_P[n] — ポート[n] MAC 65~127 オクテットフレームカウントレジスタ (n=0~4)

アドレス 4405 08C4h+400h×n

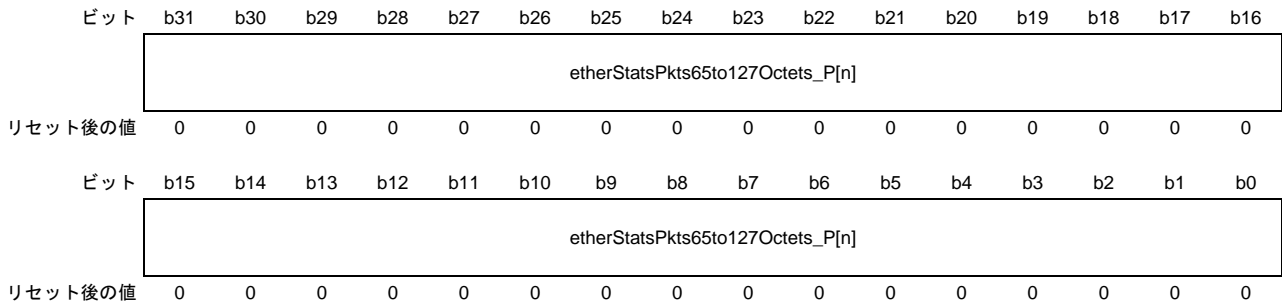


表 4.117 etherStatsPkts65to127Octets_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsPkts65to127Octets_P[n]	ポート[n] MAC の正常/不正 (パケットサイズ: 65~127 バイト) のフレーム数の合計を示します。	R

4.4.116 etherStatsPkts128to255Octets_P[n] — ポート[n] MAC 128~255 オクテットフレームカウントレジスタ (n=0~4)

アドレス 4405 08C8h+400h×n

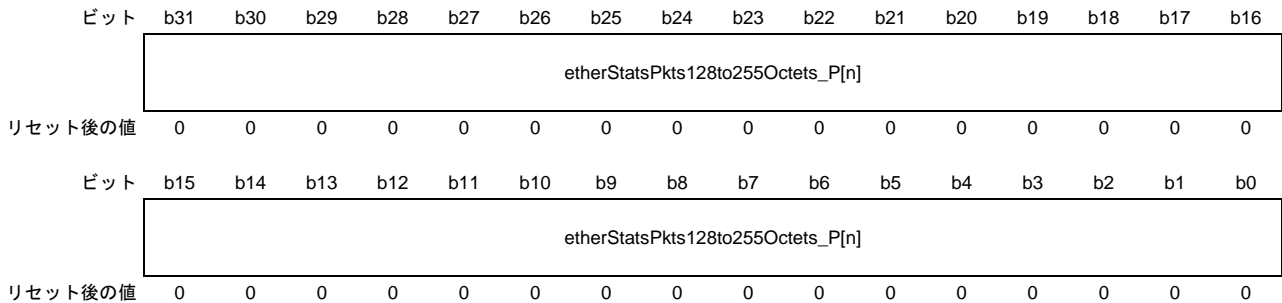


表 4.118 etherStatsPkts128to255Octets_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsPkts128to255Octets_P[n]	ポート[n] MAC の正常/不正 (パケットサイズ: 128~255 バイト) のフレーム数の合計を示します。	R

4.4.117 etherStatsPkts256to511Octets_P[n] — ポート[n] MAC 256~511 オクテット フレームカウントレジスタ (n=0~4)

アドレス 4405 08CCh+400h×n

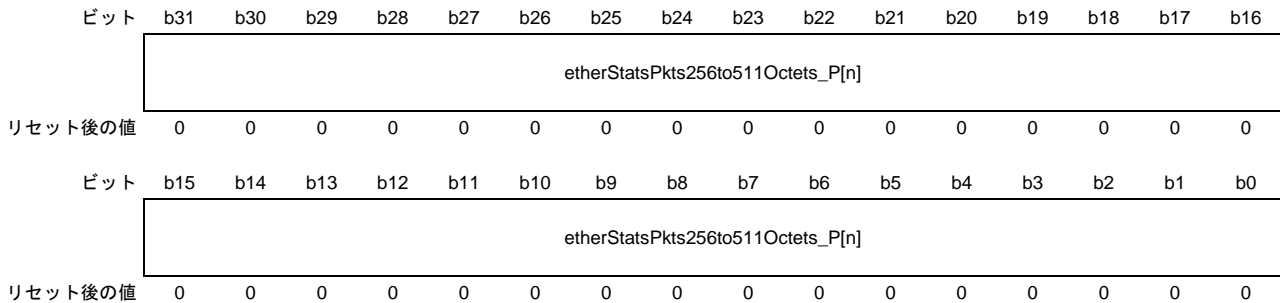


表 4.119 etherStatsPkts256to511Octets_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsPkts256to511Octets_P[n]	ポート[n] MAC の正常/不正 (パケットサイズ: 256~511 バイト) のフレーム数の合計を示します。	R

4.4.118 etherStatsPkts512to1023Octets_P[n] — ポート[n] MAC 512~1023 オクテット フレームカウントレジスタ (n=0~4)

アドレス 4405 08D0h+400h×n

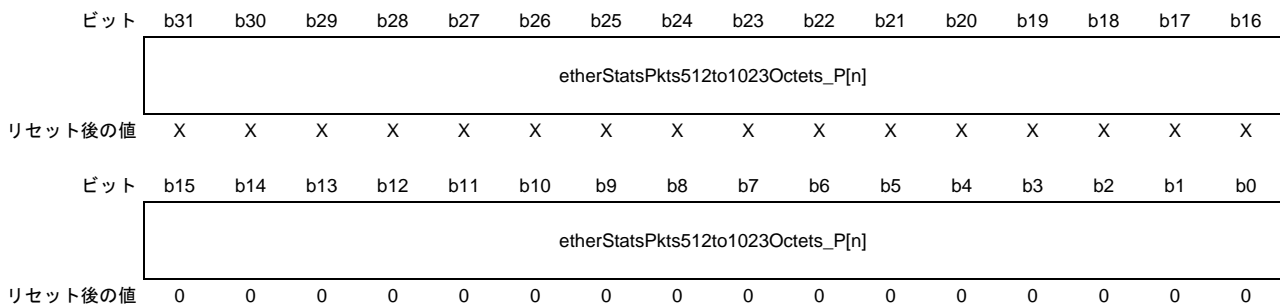


表 4.120 etherStatsPkts512to1023Octets_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsPkts512to1023Octets_P[n]	ポート[n] MAC の正常/不正 (パケットサイズ: 512~1023 バイト) のフレーム数の合計を示します。	R

4.4.119 etherStatsPkts1024to1518Octets_P[n] — ポート[n] MAC 1024~1519 オクテットフレームカウントレジスタ (n=0~4)

アドレス 4405 08D4h+400h×n

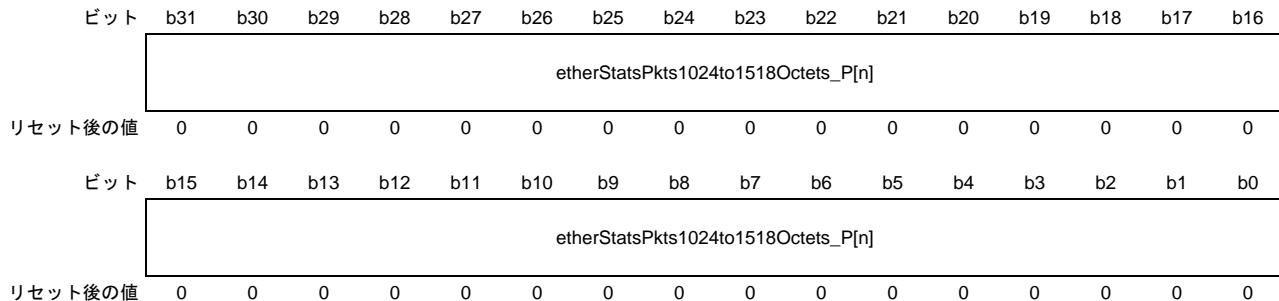


表 4.121 etherStatsPkts1024to1518Octets_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsPkts1024to1518Octets_P[n]	ポート[n] MAC の正常/不正 (パケットサイズ: 1024~1518 バイト) のフレーム数の合計を示します。	R

4.4.120 etherStatsPkts1519toXOctets_P[n] — ポート[n] MAC 1519 超オクテットフレームカウントレジスタ (n=0~4)

アドレス 4405 08D8h+400h×n

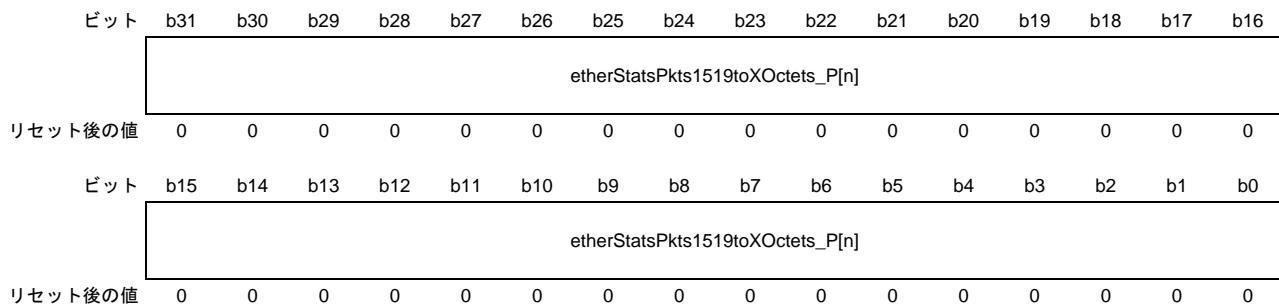


表 4.122 etherStatsPkts1519toXOctets_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsPkts1519toXOctets_P[n]	ポート[n] MAC の正常/不正 (パケットサイズ: 1519 バイト~TX_IPG_LENGTH_P[n]) のフレーム数の合計を示します。	R

4.4.121 etherStatsJabbers_P[n] — ポート[n] MAC ジャバーフレームカウントレジスタ (n=0~4)

アドレス 4405 08DCh+400h×n

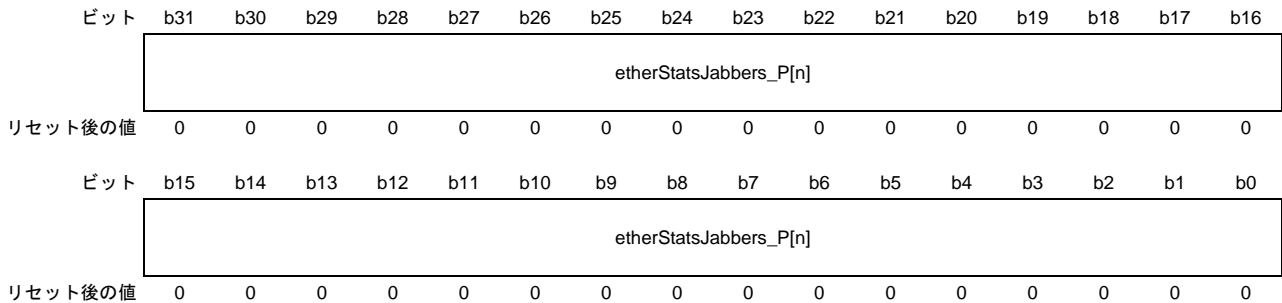


表 4.123 etherStatsJabbers_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsJabbers_P[n]	ポート[n] MAC で最大サイズ超、かつ、CRC エラーとなったフレーム数を示します。	R

4.4.122 etherStatsFragments_P[n] — ポート[n] MAC フラグメントフレームカウントレジスタ (n=0~4)

アドレス 4405 08E0h+400h×n

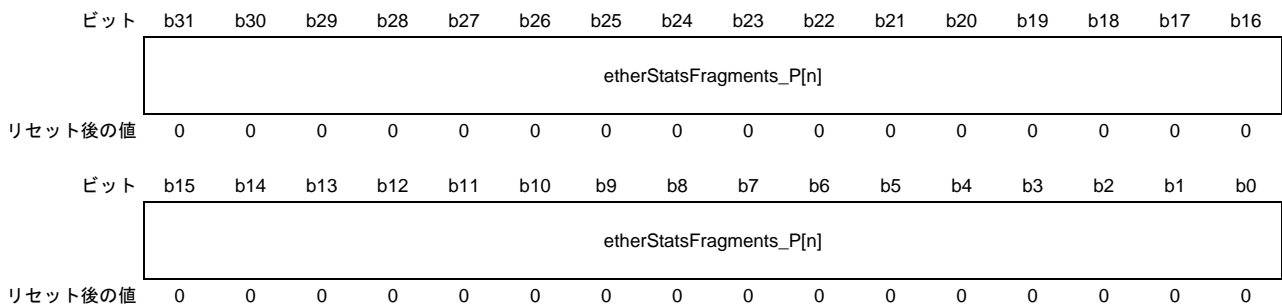


表 4.124 etherStatsFragments_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	etherStatsFragments_P[n]	ポート[n] MAC で最小サイズ未満、かつ、CRC エラーとなったフレーム数を示します。	R

4.4.123 VLANReceivedOK_P[n] — ポート[n] MAC 受信済み VLAN タグ付きフレーム カウントレジスタ (n=0~4)

アドレス 4405 08E8h+400h×n

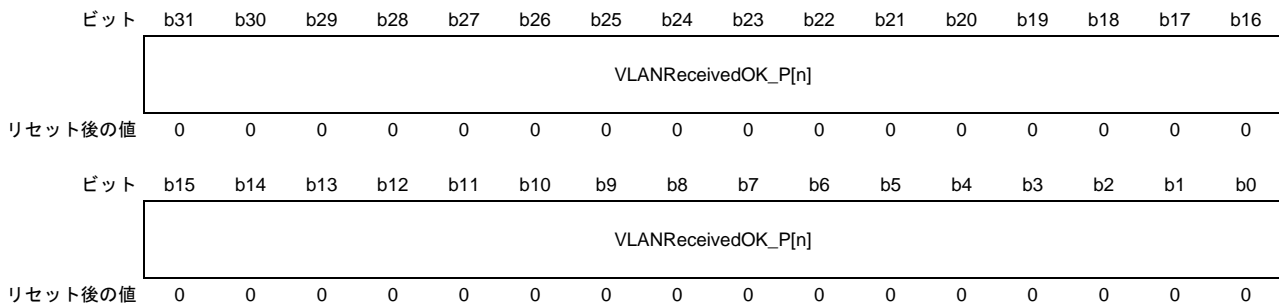


表 4.125 VLANReceivedOK_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	VLANReceivedOK_P[n]	ポート[n]で受信された VLAN タグ付き正常フレーム数を示します。	R

4.4.124 VLANTransmittedOK_P[n] — ポート[n] MAC 送信済み VLAN タグ付きフレーム カウントレジスタ (n=0~4)

アドレス 4405 08F4h+400h×n

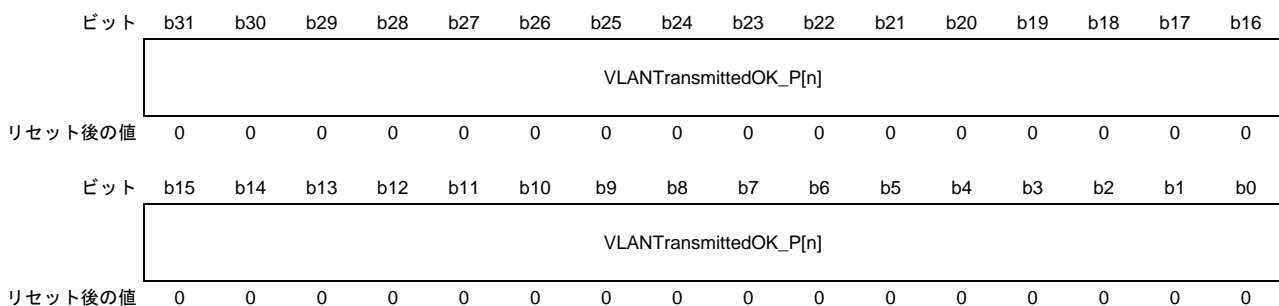


表 4.126 VLANTransmittedOK_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	VLANTransmittedOK_P[n]	ポート[n]で送信された VLAN タグ付き正常フレーム数を示します。	R

4.4.125 FramesRetransmitted_P[n] — ポート[n] MAC 再送信フレームカウンタレジスタ (n=0~4)

備 考

- ハブモードの再送が無効の場合（「4.4.183 HUB_CONFIG — ハブコンフィグレーションレジスタ」参照）、コリジョンが発生したことにより通常は再送されるフレームが廃棄されたときに、カウンタがカウントアップされます。
- 再送が多すぎることやハブ再送が無効になっていることが原因でフレームが廃棄された場合、カウンタは次にフレームが送信されたときにカウントアップされます。

アドレス 4405 08F8h+400h×n

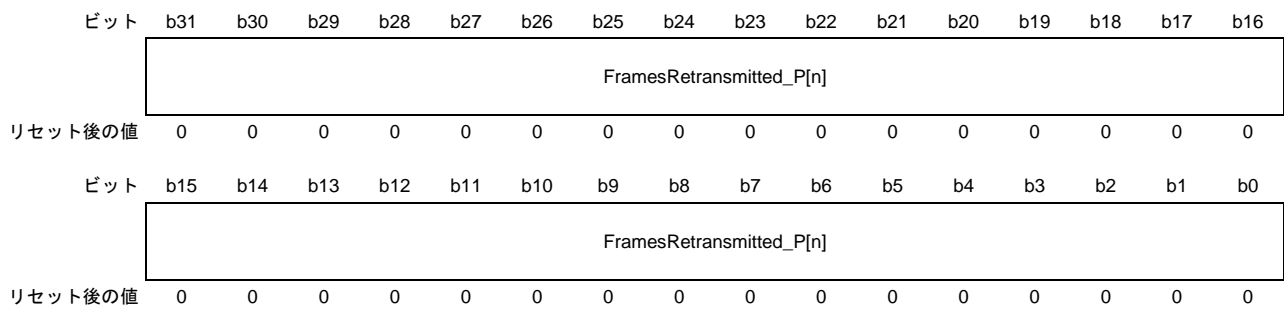


表 4.127 FramesRetransmitted_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	FramesRetransmitted_P[n]	ポート[n]でコリジョン後に再送された送信フレーム数 再送試行回数にかかわらず各フレームに対して1回カウントアップされます（16回の試行の後にフレームが廃棄された場合も含む）。 遅れコリジョンの場合はカウントアップされません。	R

4.4.126 STATS_HIWORD_P[n] — ポート[n] MAC 統計カウンタ上位ワードレジスタ (n=0~4)

本レジスタは 1 つだけ存在しグローバルです。任意の MAC ページにおいて、本レジスタを読み出すと同じグローバルレジスタから読み出されます。また、これは本レジスタが任意の MAC ページから読み出されるすべての統計カウンタに対してラッチすることを意味します。

アドレス 4405 0900h+400h×n

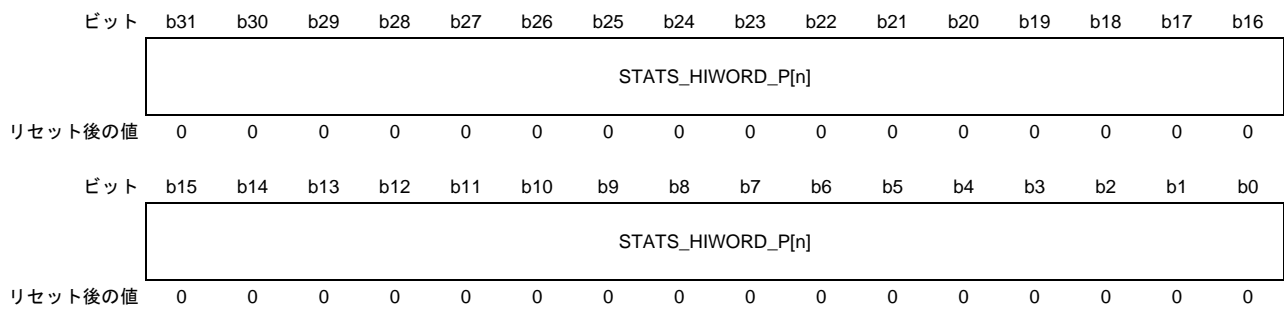


表 4.128 STATS_HIWORD_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	STATS_HIWORD_P[n]	最後に読み出された 64 ビット MAC 統計カウンタのラッチされた上位 32 ビット 任意の MAC ページの最後にアクセスされたカウンタから、ラッチされたビット [63:32]を返却します。	R

4.4.127 STATS_CTRL_P[n] — ポート[n] MAC 統計コントロールレジスタ (n=0~4)

アドレス 4405 0904h+400h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ClearBusy	ClearALL
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0

表 4.129 STATS_CTRL_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b2	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b1	ClearBusy	クリア処理中表示（読み出しのみ） 本ビットはクリアコマンドが発行されたとき（ClearAll コントロールビットへの書き込みまたは COMMAND_CONFIG_P[n]レジスタへのソフトリセット書き込みを契機とする）にセットされます。本ビットはすべてのカウンタが初期化されたときにクリアされます。	R
b0	ClearALL	セルフクリアカウンタ初期化コマンド 本ビットは即座に自動的にリセットされるため、読み出し値は常に 0 です。 1 を書き込むと、すべての MAC のすべての統計カウンタが STATS_CLEAR_VALUELO/HI で指定されている値に初期化されます。 テスト目的でクリア値は設定可能であり、カウンタの wrap-around やその他のカウンタ関連のメモリテストを実行できます。 通常動作ではすべて 0 にセットする必要があります。 備考 クリアには多くのスイッチシステムクロックサイクル（最大 30×ポート数サイクル）が必要です。	R/W

4.4.128 STATS_CLEAR_VALUELO_P[n] — ポート[n] MAC 統計クリア値下位レジスタ (n=0~4)

アドレス 4405 0908h+400h×n

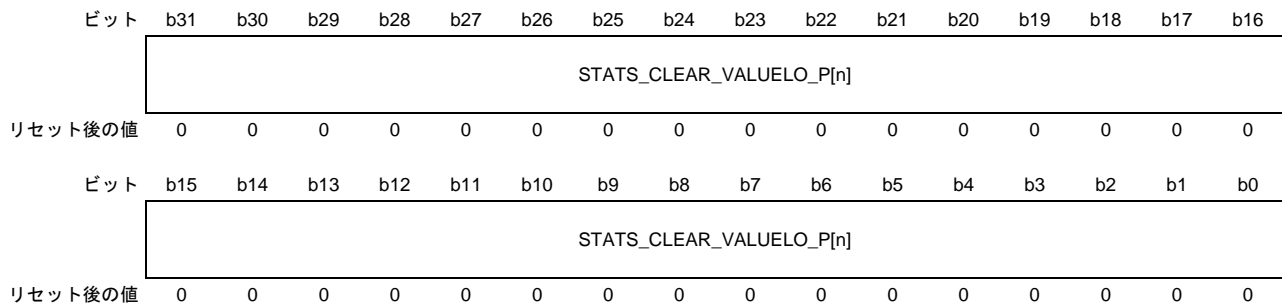


表 4.130 STATS_CLEAR_VALUELO_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	STATS_CLEAR_VALUELO_P[n]	テスト目的でポート[n]の STATS_CTRL_P[n].ClearAll コマンドによってすべてのカウンタをクリアしたときにすべてのカウンタに読み込まれる 64 ビット値の下位 32 ビットです。通常は 0 です。	R/W

4.4.129 STATS_CLEAR_VALUEHI_P[n] — ポート[n] MAC 統計クリア値上位レジスタ (n=0~4)

アドレス 4405 090Ch+400h×n

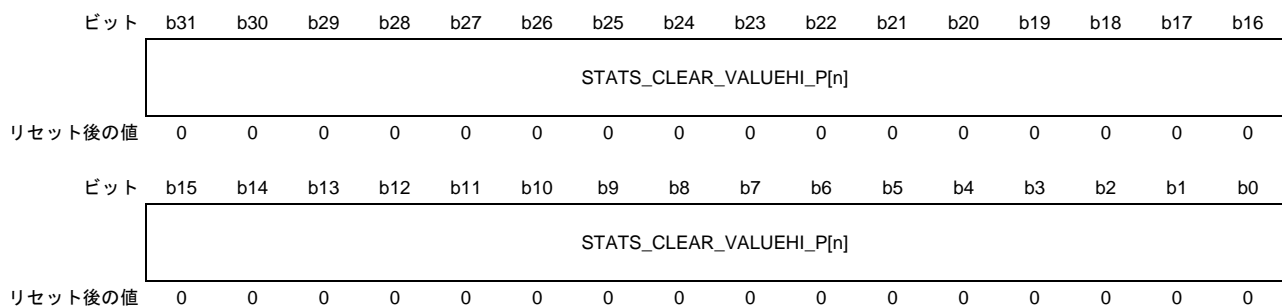


表 4.131 STATS_CLEAR_VALUEHI_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	STATS_CLEAR_VALUEHI_P[n]	テスト目的でポート[n]の STATS_CTRL_P[n].ClearAll コマンドによってすべてのカウンタをクリアしたときにすべてのカウンタに読み込まれる 64 ビット値の上位 32 ビットです。通常は 0 です。	R/W

4.4.130 aDeferred_P[n] — ポート[n] MAC デファードカウントレジスタ (n=0~3)

アドレス 4405 0910h+400h×n

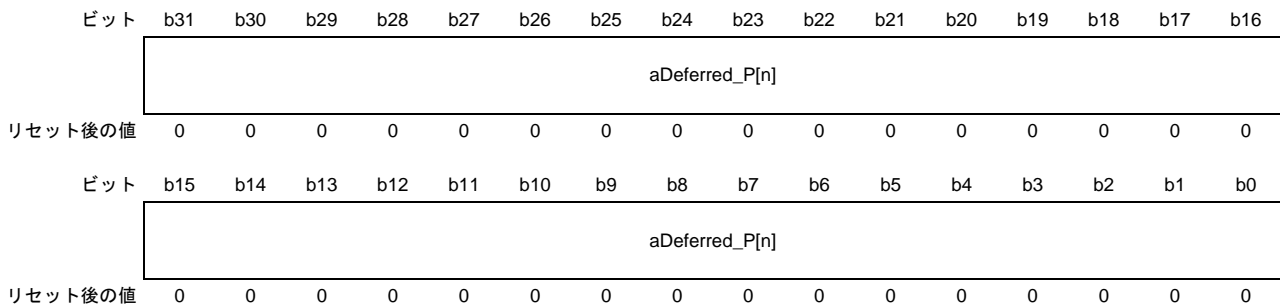


表 4.132 aDeferred_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aDeferred_P[n]	ポート[n]でコリジョンせずに送信されたが最初は延期 (deferred) されたフレーム数を示します。	R

4.4.131 aMultipleCollisions_P[n] — ポート[n] MAC 複数コリジョンカウントレジスタ (n=0~3)

アドレス 4405 0914h+400h×n

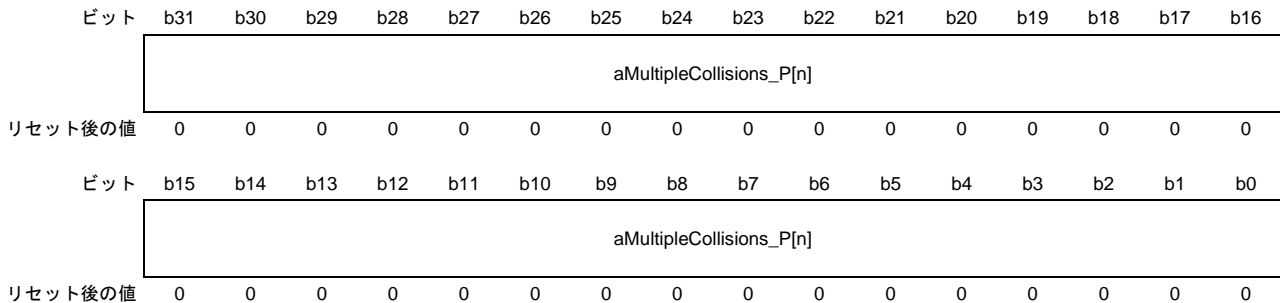


表 4.133 aMultipleCollisions_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aMultipleCollisions_P[n]	ポート[n]で複数回のコリジョンの後に送信された正常フレーム数を示します。	R

4.4.132 aSingleCollisions_P[n] — ポート[n] MAC 単一コリジョンカウントレジスタ (n=0~3)

アドレス 4405 0918h+400h×n

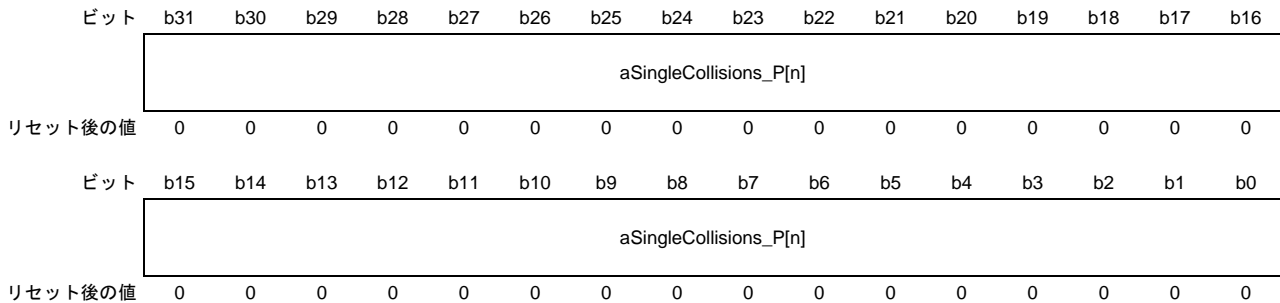


表 4.134 aSingleCollisions_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aSingleCollisions_P[n]	ポート[n]で1回のコリジョンの後に送信された正常フレーム数を示します。	R

4.4.133 aLateCollisions_P[n] — ポート[n] MAC 遅延コリジョンカウントレジスタ (n=0~3)

アドレス 4405 091Ch+400h×n

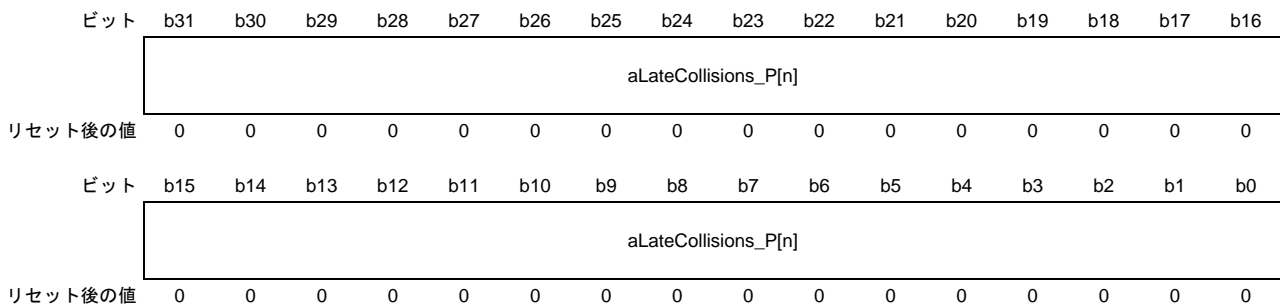


表 4.135 aLateCollisions_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aLateCollisions_P[n]	ポート[n]で遅すぎるコリジョンとなったフレーム数を示します。フレームはアポートされ再送信されません。	R

4.4.134 aExcessiveCollisions_P[n] — ポート[n] MAC 過剰コリジョンカウントレジスタ (n=0~3)

アドレス 4405 0920h+400h×n

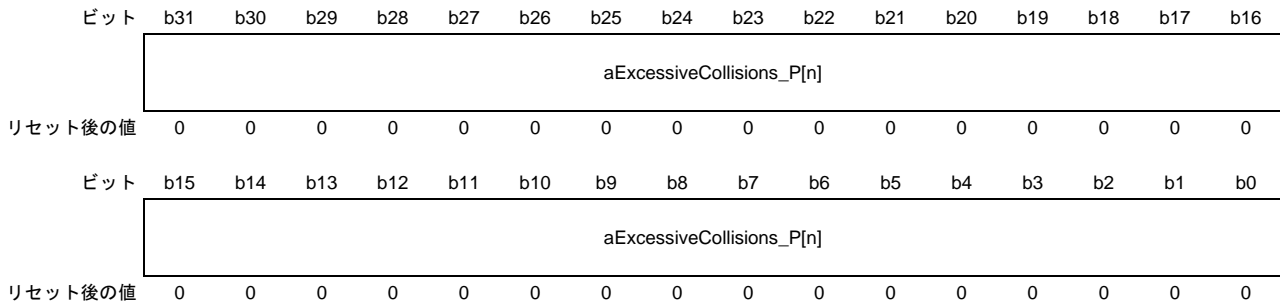


表 4.136 aExcessiveCollisions_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aExcessiveCollisions_P[n]	ポート[n]で 16 回の連続コリジョンによって廃棄されたフレーム数を示します。	R

4.4.135 aCarrierSenseErrors_P[n] — ポート[n] MAC キャリアセンスエラーカウントレジスタ (n=0~3)

アドレス 4405 0924h+400h×n

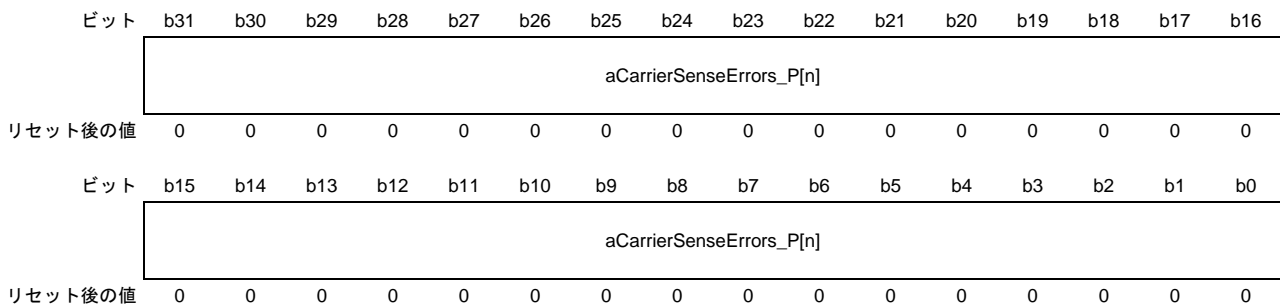


表 4.137 aCarrierSenseErrors_P[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	aCarrierSenseErrors_P[n]	ポート[n]でコリジョンせずに送信された PHY キャリアセンス信号 (RX_CRSS) が喪失した、またはアサートされなかった場合にカウントアップ	R

4.4.136 DLR_CONTROL — DLR コントロールレジスタ

アドレス 4405 3C00h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16							
	—	—	—	—	—	—	—	—	—	—	—	—	US_TIME										
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0							
ビット	b15								b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	US_TIME								—	—	—	—	—	—	—	—	—	—	—	—	AUTOFLUSH	ENABLE	
リセット後の値	0								1	1	0	0	1	0	0	X	X	X	0	X	X	0	0

表 4.138 DLR_CONTROL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b20	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b19~b8	US_TIME	スイッチシステムクロックにおいて 1 マイクロ秒に相当するクロックサイクル数。デフォルト値はシステムクロックが 100MHz となっている場合のもので、実際のスイッチシステムクロックの周波数に応じて変更する必要があります。	R/W
b7~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4	IGNORE_INVTM	無効タイムアウトタイムを持つビーコンフレームの無視を有効化。有効になると (1)、200 マイクロ秒~500 ミリ秒の範囲にないタイムアウトタイムを持つフレームが無視され、パラメータはシステムに保存されず状態遷移のトリガとしても考慮されません。本ビットの値にかかわらず、タイムアウトタイム値は常に DLR_INV_TMOUT レジスタに保存されます。無視されたフレームは通常通りに転送されます。	R/W
b3, b2	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b1	AUTOFLUSH	リング再構成が発生すると、アドレステーブル内のユニキャストエントリの自動フラッシュを有効化 (DLR_IRQ_CONTROL レジスタの IRQ_flush_macaddr_ena ビットも参照)。本ビットがセットされている場合にテーブルフラッシュイベントが発生すると、ルックアップエンジンコマンドの LK_ADDR_CTRL.DELETE_PORT がマスク 0x03 で実行されます。このコマンドによって、ポート 0 とポート 1 へ転送されるべく書き込まれたテーブル内の動的エントリはすべて削除されます。(リング内のラーニングされたユニキャストがすべて削除されます。)	R/W
b0	ENABLE	DLR 拡張モジュールを有効化。本ビットがセットされると、DLR モジュールがアクティブになります。またこれによってループフィルタも有効になります。本ビットがクリアされると、DLR フレームが検出されなくなり、すべての DLR モジュール統計レジスタがクリアされます。	R/W

4.4.137 DLR_STATUS — DLR ステータスレジスタ

アドレス 4405 3C04h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TOPOLOGY								—	—	—	—	—	—	LINK_STATUS	
リセット後の値	0	0	0	0	0	0	0	0	X	X	X	X	X	X	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NODE_STATE								—	—	—	—	—	—	LastBcnRcvPort	
リセット後の値	0	0	0	0	0	0	0	0	X	X	X	X	X	X	0	0

表 4.139 DLR_STATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	TOPOLOGY	現在のネットワークポロジ 0x00 : ローカルノードが IDLE 状態の時にリニアトポロジ 0x01 : ローカルノードが IDLE 状態でない時にリングトポロジ	R
b23~b18	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b17~b16	LINK_STATUS	リンクステータス ビット 16 : ポート 0 のリンクがアップの場合にセットされます。 ビット 17 : ポート 1 のリンクがアップの場合にセットされます。 備考) これは PHY から入力されるリンクステータスを直接表現したものです。	R
b15~b8	NODE_STATE	ローカルノードの現在の状態 0x00 : IDLE_STATE 0x01 : NORMAL_STATE 0x02 : FAULT_STATE その他 : 未使用	R
b7~b2	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b1~b0	LastBcnRcvPort	最後にビーコンを受信したポート ビット 0 : アクティブなスーパバイザからのビーコンフレームをポート 0 で受信した場合にセットされます。 ビット 1 : アクティブなスーパバイザからのビーコンフレームをポート 1 で受信した場合にセットされます。	R

4.4.138 DLR_ETH_TYP — DLR イーサネットタイプレジスタ

アドレス 4405 3C08h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DLR_ETH_TYP															
リセット後の値	1	0	0	0	0	0	0	0	1	1	1	0	0	0	0	1

表 4.140 DLR_ETH_TYP レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	DLR_ETH_TYP	DLR フレーム検出のためのイーサネットタイプ	R/W

4.4.139 DLR_IRQ_CONTROL — DLR 割り込みコントロールレジスタ

アドレス 4405 3C0Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	atomic_AND	atomic_OR	low_int_en	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQ_frm_dscr_d1	IRQ_frm_dscr_d0	IRQ_bec_rcv1_ena	IRQ_bec_rcv0_ena	IRQ_inv_alid_tmr_ena	IRQ_ip_addr_chng_ena	IRQ_sup_ignord_ena	IRQ_link_chng1_ena	IRQ_link_chng0_ena	IRQ_supr_chng_ena	IRQ_bec_tmr1_exp_ena	IRQ_bec_tmr0_exp_ena	IRQ_stop_nbchk1_ena	IRQ_stop_nbchk0_ena	IRQ_flush_macaddr_ena	IRQ_state_chng_ena
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.141 DLR_IRQ_CONTROL レジスタの内容

ビット位置	ビット名	機能	R/W
b31	atomic_AND	レジスタへの書き込み中にセットされると、イネーブルビット (*_ena) と現在のレジスタ設定値が AND されます (ビットのクリア)。	R/W
b30	atomic_OR	レジスタへの書き込み中にセットされると、イネーブルビット (*_ena) と現在のレジスタ設定値が OR されます (ビットのセット)。	R/W
b29	low_int_en	アクティブ Low 割り込みを許可します。アサートされるとアクティブ High 割り込み信号の代わりにアクティブ Low 割り込み信号が使用されます。	R/W
b28~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15	IRQ_frm_dscr_d1	送信元アドレスがポート 1 のローカルアドレスと一致したことによりフレームが廃棄されたときの割り込みを許可します。	R/W
b14	IRQ_frm_dscr_d0	送信元アドレスがポート 0 のローカルアドレスと一致したことによりフレームが廃棄されたときの割り込みを許可します。	R/W
b13	IRQ_bec_rcv1_ena	ポート 1 でビーコンフレームを検出したときの割り込みを許可します。	R/W
b12	IRQ_bec_rcv0_ena	ポート 0 でビーコンフレームを検出したときの割り込みを許可します。	R/W
b11	IRQ_inv_alid_tmr_ena	ビーコンタイムアウトタイム値が無効範囲にあることを検出したときの割り込みを許可します。	R/W
b10	IRQ_ip_addr_chng_ena	リングスーパーバイザからのビーコンフレーム内の IP アドレスが変更されたことを検出したときの割り込みを許可します。	R/W
b9	IRQ_sup_ignord_ena	現在のリングスーパーバイザよりも優先順位が低いスーパーバイザからのビーコンフレームを検出したとき、または優先順位は同じだが MAC アドレス値が小さいスーパーバイザからのビーコンフレームを検出したときの割り込みを許可します。	R/W
b8	IRQ_link_chng1_ena	ポート 1 のリンク変更割り込みイベントを許可します。	R/W
b7	IRQ_link_chng0_ena	ポート 0 のリンク変更割り込みイベントを許可します。	R/W
b6	IRQ_supr_chng_ena	リングスーパーバイザの変更による割り込みを許可します。	R/W
b5	IRQ_bec_tmr1_exp_ena	ポート 1 でビーコンタイムアウトタイムがタイムアウトしたときの割り込みを許可します。	R/W
b4	IRQ_bec_tmr0_exp_ena	ポート 0 でビーコンタイムアウトタイムがタイムアウトしたときの割り込みを許可します。	R/W
b3	IRQ_stop_nbchk1_ena	ポート 1 の隣接チェックタイムアウトタイムの停止割り込みを許可します。	R/W
b2	IRQ_stop_nbchk0_ena	ポート 0 の隣接チェックタイムアウトタイムの停止割り込みを許可します。	R/W
b1	IRQ_flush_macaddr_ena	ローカル MAC アドレステーブルのフラッシュ割り込みを許可します。許可されている場合、ユニキャスト MAC アドレスラーニングテーブルをフラッシュする際に割り込みが生成されます。	R/W
b0	IRQ_state_chng_ena	状態変化の割り込みを許可します。許可されている場合、ローカルビーコンベースの DLR リングノードの状態が変化したときに割り込みが生成されます。	R/W

4.4.140 DLR_IRQ_STAT_ACK — DLR 割り込みステータス/ACK レジスタ

アドレス 4405 3C10h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.142 DLR_IRQ_STAT_ACK レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15	frm_dscrd1_IRQ_pending	送信元アドレスがポート 1 のローカルアドレスと一致したことによりフレームが廃棄されたときのラッチイベントです (ループフィルタ)。ラッチをクリアするには本ビットに “1” を書き込みます。 備考 ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 15 とは関係なく動作します。	R/W
b14	frm_dscrd0_IRQ_pending	送信元アドレスがポート 0 のローカルアドレスと一致したことによりフレームが廃棄されたときのラッチイベントです (ループフィルタ)。ラッチをクリアするには本ビットに “1” を書き込みます。 備考 ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 14 とは関係なく動作します。	R/W
b13	bec_rcv1_IRQ_pending	ポート 1 でビーコンフレームを検出したときのラッチイベントです。ラッチをクリアするには本ビットに “1” を書き込みます。 備考 ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 13 とは関係なく動作します。	R/W
b12	bec_rcv0_IRQ_pending	ポート 0 でビーコンフレームを検出したときのラッチイベントです。ラッチをクリアするには本ビットに “1” を書き込みます。 備考 ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 12 とは関係なく動作します。	R/W
b11	invalid_tmr_IRQ_pending	ポート 0 またはポート 1 で、ビーコンフレーム内のビーコンタイムアウトタイム値が無効であることを検出したときのラッチイベントです。ラッチをクリアするには本ビットに “1” を書き込みます。 備考 ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 11 とは関係なく動作します。	R/W
b10	ip_chng_IRQ_pending	IP アドレス変更のラッチイベントです。ラッチをクリアするには本ビットに “1” を書き込みます。 備考 ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 10 とは関係なく動作します。	R/W
b9	sup_ignord_IRQ_pending	無視されたスーパーバイザからのビーコンフレームを検出したときのラッチイベントです。優先順位が低いスーパーバイザからのビーコンフレームを検出したとき、または優先順位は同じだが MAC アドレス値が小さいスーパーバイザからのビーコンフレームを検出したときにアサートされます。ラッチをクリアするには本ビットに “1” を書き込みます。 備考 ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 9 とは関係なく動作します。	R/W

表 4.142 DLR_IRQ_STAT_ACK レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b8	Link1_IRQ_pending	リンクステータスが変わったときのラッチイベントです。ポート1でリンクステータスの変化が検出されたときにアサートされます。ラッチをクリアするには本ビットに“1”を書き込みます。 備考) ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 8 とは関係なく動作します。	R/W
b7	Link0_IRQ_pending	リンクステータスが変わったときのラッチイベントです。ポート0でリンクステータスの変化が検出されたときにアサートされます。ラッチをクリアするには本ビットに“1”を書き込みます。 備考) ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 7 とは関係なく動作します。	R/W
b6	supr_chng_IRQ_pending	スーパーバイザ変更時のラッチイベントです。DLR リングのリングスーパーバイザが変更されたときにアサートされます。ラッチをクリアするには本ビットに“1”を書き込みます。 備考) ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 6 とは関係なく動作します。	R/W
b5	bec_tmr1_IRQ_pending	ポート1でビーコンタイムアウトタイマがタイムアウトしたときの割り込みです。ポート1でビーコンタイムアウトタイマがタイムアウトしたときにアサートされます。ラッチをクリアするには本ビットに“1”を書き込みます。 備考) ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 5 とは関係なく動作します。	R/W
b4	bec_tmr0_IRQ_pending	ポート0でビーコンタイムアウトタイマがタイムアウトしたときの割り込みです。ポート0でビーコンタイムアウトタイマがタイムアウトしたときにアサートされます。ラッチをクリアするには本ビットに“1”を書き込みます。 備考) ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 4 とは関係なく動作します。	R/W
b3	nbchk1_IRQ_pending	ポート1の隣接チェックタイムアウトタイマの停止イベントです。アサートされると隣接チェックタイムアウトタイマが停止します。ラッチをクリアするには本ビットに“1”を書き込みます。 備考) ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 3 とは関係なく動作します。	R/W
b2	nbchk0_IRQ_pending	ポート0の隣接チェックタイムアウトタイマの停止イベントです。アサートされると隣接チェックタイムアウトタイマが停止します。ラッチをクリアするには本ビットに“1”を書き込みます。 備考) ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 2 とは関係なく動作します。	R/W
b1	flush_IRQ_pending	MAC アドレスラーニングテーブルフラッシュ時のラッチイベントです。アサートされると MAC アドレスラーニングテーブルがフラッシュされます。ラッチをクリアするには本ビットに“1”を書き込みます。 備考) ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 1 とは関係なく動作します。	R/W
b0	state_chng_IRQ_pending	状態が変わったときのラッチイベントです。ローカルビーコンベースの DLR ノードの状態が変わったときにアサートされます。ラッチをクリアするには本ビットに“1”を書き込みます。 備考) ラッチは DLR_IRQ_CONTROL レジスタの許可ビット 0 とは関係なく動作します。	R/W

4.4.141 DLR_LOC_MACIo — DLR ローカル MAC アドレス下位レジスタ

アドレス 4405 3C14h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LOC_MAC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LOC_MAC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.143 DLR_LOC_MACIo レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	LOC_MAC	ループフィルタのローカル MAC アドレスの最初の 4 オクテット ビット[7:0]がアドレスの第 1 バイトで、 ビット[31:24]がアドレスの第 4 バイトです。	R/W

4.4.142 DLR_LOC_MACHi — DLR ローカル MAC アドレス上位レジスタ

アドレス 4405 3C18h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LOC_MAC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.144 DLR_LOC_MACHi レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	LOC_MAC	ループフィルタのローカル MAC アドレスの最後の 2 オクテット ビット[7:0]がローカル MAC アドレスの第 5 バイトです。 ビット[15:8]がローカル MAC アドレスの第 6 (最終) バイトです。	R/W

4.4.143 DLR_SUPR_MACIo — DLR スーパーバイザ MAC アドレス下位レジスタ

アドレス 4405 3C20h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SUPR_MAC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SUPR_MAC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.145 DLR_SUPR_MACIo レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	SUPR_MAC	ビーコンフレーム内の送信元アドレスフィールドから抽出したアクティブリングスーパーバイザの MAC アドレスの最初の 4 オクテット ビット[7:0]がアドレスの第 1 バイトで、 ビット[31:24]がアドレスの第 4 バイトです。	R

4.4.144 DLR_SUPR_MACHi — DLR スーパーバイザ MAC アドレス上位レジスタ

アドレス 4405 3C24h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	PRECE							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SUPR_MAC															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.146 DLR_SUPR_MACHi レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b23~b16	PRECE	ビット[23:16]はビーコンフレーム内のスーパーバイザ優先順位フィールドから抽出したリングスーパーバイザの優先順位値です。	R
b15~b0	SUPR_MAC	ビーコンフレーム内の送信元アドレスフィールドから抽出したアクティブリングスーパーバイザの MAC アドレスの最後の 2 オクテット ビット[7:0]が第 5 バイトでビット[15:8]が第 6 バイトです。	R

4.4.145 DLR_STATE_VLAN — DLR リングステータス/VLAN レジスタ

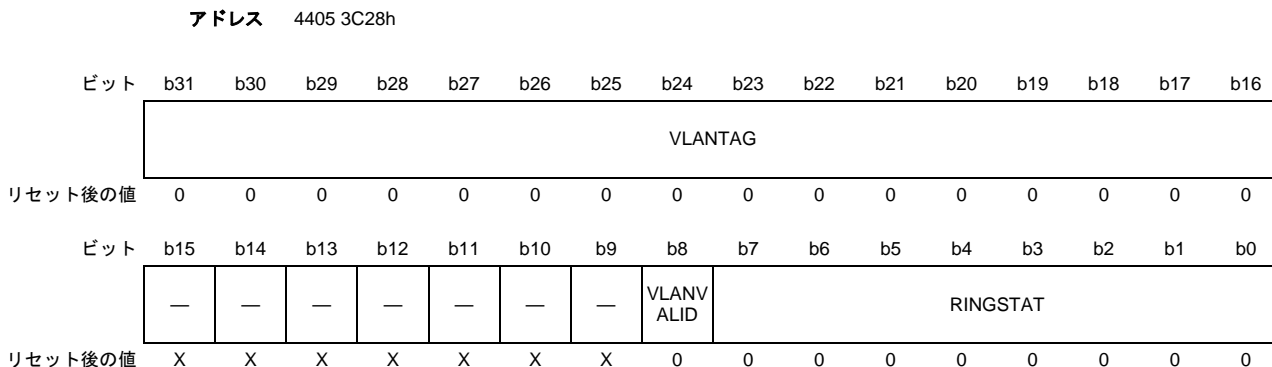


表 4.147 DLR_STATE_VLAN レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	VLANTAG	ビット[31:16]はビーコンフレーム内の VLAN 情報フィールドから抽出した 802.1Q VLAN タグコントロールフィールドです。	R
b15~b9	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b8	VLANVALID	VLAN 有効 アサートされている場合、現在の VLAN タグコントロールフィールド（ビット [31:16]）には有効な VLAN ID が保存されています。	R
b7~b0	RINGSTAT	ビーコンフレーム内のリング状態フィールドから抽出した DLR リング状態です。 0x1 : RING_NORMAL_STATE 0x2 : RING_FAULT_STATE その他 : 未使用	R

4.4.146 DLR_BEC_TMOUT — DLR ビーコンタイムアウトレジスタ

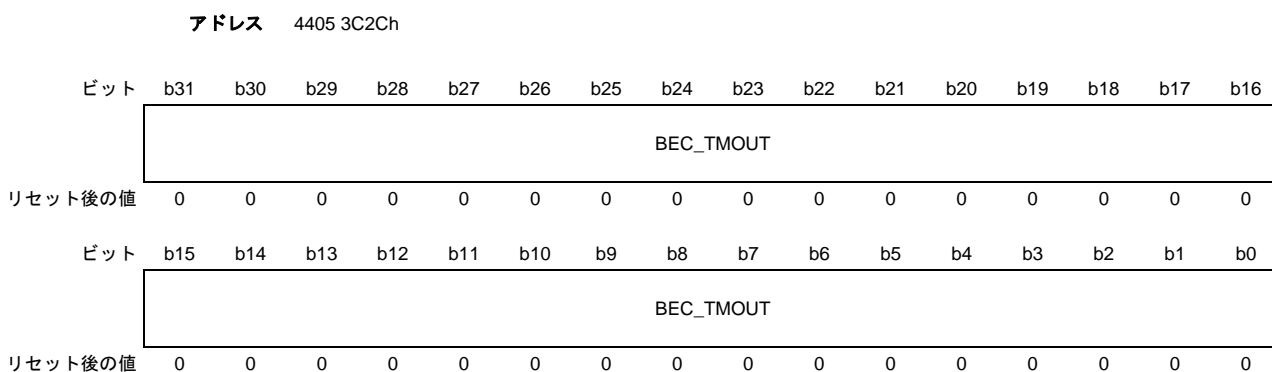


表 4.148 DLR_BEC_TMOUT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	BEC_TMOUT	ビーコンフレーム内のマイクロ秒単位のビーコンタイムアウトフィールドから抽出したビーコンタイムアウトタイム値です。 無効なタイムアウトタイム値は本レジスタに書き込まれません。またコントロールレジスタのビット 8 によって無視されるようになっている場合は状態遷移のトリガとしても考慮されません。値の想定範囲は 200 マイクロ秒（最小）～500 ミリ秒（最大）です。この値は通常 1960 マイクロ秒です。	R

4.4.147 DLR_BEC_INTRVL — DLR ビーコンインターバルレジスタ

アドレス 4405 3C30h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BEC_INTRVL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BEC_INTRVL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.149 DLR_BEC_INTRVL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	BEC_INTRVL	ビーコンフレーム内の Beacon Interval フィールドから抽出したビーコンインターバルです。値の想定範囲は 100 マイクロ秒（最小）～100 ミリ秒（最大）です。この値は通常 400 マイクロ秒です。	R

4.4.148 DLR_SUPR_IPADR — DLR スーパーバイザ IP アドレスレジスタ

アドレス 4405 3C34h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SUPR_IPADR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SUPR_IPADR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.150 DLR_SUPR_IPADR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	SUPR_IPADR	ビーコンフレーム内の送信元 IP アドレスフィールドから抽出したリングスーパーバイザの IP アドレスです。スーパーバイザが IP アドレスを持たない場合は値として 0x0 を受信する可能性があります。	R

4.4.149 DLR_ETH_STYP_VER — DLR サブタイプ/プロトコルバージョンレジスタ

アドレス 4405 3C38h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	SPORT							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PROTVR								SUBTYPE							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.151 DLR_ETH_STYP_VER レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b23~b16	SPORT	ビーコンフレーム内の送信元ポートフィールドから抽出した送信元ポート	R
b15~b8	PROTVR	ビーコンフレーム内のリングプロトコルバージョンフィールドから抽出した DLR リングプロトコルバージョン	R
b7~b0	SUBTYPE	ビーコンフレーム内のリングサブタイプフィールドから抽出した DLR リングイーササブタイプ 想定値は 0x02 です。	R

4.4.150 DLR_INV_TMOUT — DLR ビーコンタイムアウトタイマレジスタ

アドレス 4405 3C3Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	INV_TMOUT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INV_TMOUT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.152 DLR_INV_TMOUT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	INV_TMOUT	任意のポートでビーコンフレームから抽出した最終範囲外ビーコンタイムアウトタイマ値 有効範囲は 200 マイクロ秒~500 ミリ秒です。無効値を新たに受信するたびに本レジスタに書き込まれます。DLR_IRQ_STAT_ACK レジスタのビット 11 がアサートされている場合は有効値が含まれています。	R

4.4.151 DLR_SEQ_ID — DLR シーケンス ID レジスタ

アドレス 4405 3C40h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SEQ_ID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SEQ_ID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.153 DLR_SEQ_ID レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	SEQ_ID	ポート 0 またはポート 1 でビーコンフレーム内のシーケンス ID フィールドから抽出された最終ビーコンフレームのシーケンス ID です。無視されたフレームのシーケンス ID は保存されません。	R

4.4.152 DLR_DSTIo — DLR ビーコン宛先アドレス下位レジスタ

アドレス 4405 3C58h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DLR_DST															
リセット後の値	0	0	0	0	0	0	0	0	0	1	1	0	1	1	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DLR_DST															
リセット後の値	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	1

表 4.154 DLR_DSTIo レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	DLR_DST	ビーコンフレーム宛先マルチキャストアドレス (01-21-6C-00-00-01) の最初の 4 オクテット ビット[7:0]がアドレスの第 1 バイトで、 ビット[31:24]がアドレスの第 4 バイトです。	R/W

4.4.153 DLR_DSThi — DLR ビーコン宛先アドレス上位レジスタ

アドレス 4405 3C5Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DLR_DST															
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

表 4.155 DLR_DSThi レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	DLR_DST	ビーコンフレーム宛先マルチキャストアドレス (01-21-6C-00-00-01) の最後の 2 オクテット ビット[7:0]が第 5 バイトで、ビット[15:8]が第 6 バイトです。	R/W

4.4.154 DLR_RX_STAT0 — DLR 受信フレーム統計レジスタ 0

アドレス 4405 3C60h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RX_STAT0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RX_STAT0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.156 DLR_RX_STAT0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RX_STAT0	ポート 0 で受信したビーコンフレームの数 宛先 MAC アドレス、イーサタイプ、DLR フレームタイプ、および CRC が一致したビーコンフレームに対してカウンタがカウントアップされます。タイプの不一致または CRC エラーによって無視されたフレームはカウントされません。カウンタは DLR モジュールが無効になったときにクリアされます。	R

4.4.155 DLR_RX_ERR_STAT0 — DLR 受信フレームエラー統計レジスタ 0

アドレス 4405 3C64h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RX_ERR_STAT0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RX_ERR_STAT0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.157 DLR_RX_ERR_STAT0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RX_ERR_STAT0	ポート 0 で受信した CRC エラーのビーコンフレームの数 宛先 MAC アドレス、イーサタイプ、および DLR フレームタイプが一致した CRC エラーを持つビーコンフレームに対してカウンタがカウントアップされます。カウンタは DLR モジュールが無効になったときにクリアされます。	R

4.4.156 DLR_TX_STAT0 — DLR 送信フレーム統計レジスタ 0

アドレス 4405 3C68h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TX_STAT0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TX_STAT0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.158 DLR_TX_STAT0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TX_STAT0	ポート 1 からポート 0 へ転送されたビーコンフレームの数（ポート 0 送信） カウンタは DLR モジュールが無効になったときにクリアされます。 備考） 使用できません。常に 0 です。	R

4.4.157 DLR_RX_STAT1 — DLR 受信フレーム統計レジスタ 1

アドレス 4405 3C70h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RX_STAT1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RX_STAT1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.159 DLR_RX_STAT1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RX_STAT1	ポート 1 で受信したビーコンフレームの数 宛先 MAC アドレス、イーサタイプ、DLR フレームタイプ、および CRC が一致したビーコンフレームに対してカウンタがカウントアップされます。タイプの不一致または CRC エラーによって無視されたフレームはカウントされません。カウンタは DLR モジュールが無効になったときにクリアされます。	R

4.4.158 DLR_RX_ERR_STAT1 — DLR 受信フレームエラー統計レジスタ 1

アドレス 4405 3C74h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RX_ERR_STAT1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RX_ERR_STAT1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.160 DLR_RX_ERR_STAT1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RX_ERR_STAT1	ポート 1 で受信した CRC エラーのビーコンフレームの数 宛先 MAC アドレス、イーサタイプ、および DLR フレームタイプが一致した CRC エラーを持つビーコンフレームに対してカウンタがカウントアップされます。カウンタは DLR モジュールが無効になったときにクリアされます。	R

4.4.159 DLR_TX_STAT1 — DLR 送信フレーム統計レジスタ 1

アドレス 4405 3C78h

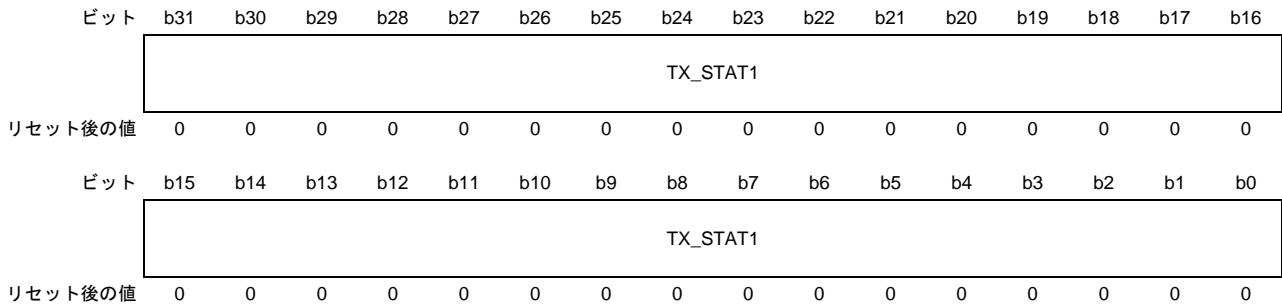


表 4.161 DLR_TX_STAT1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TX_STAT1	ポート 0 からポート 1 へ転送されたビーコンフレームの数（ポート 1 送信） カウンタは DLR モジュールが無効になったときにクリアされます。 備考） 使用できません。常に 0 です。	R

4.4.160 PRP_CONFIG — PRP コンフィグレーションレジスタ

アドレス 4405 3D00h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PRP_A GE_EN A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TX_RC T_1588	TX_RC T_UNK NOWN	TX_RC T_MUL TICAST	TX_RCT_ BROADC AST	TX_RCT_MODE	RX_RE MOVE_ RCT	RX_DU P_ACC EPT	PRP_E NA	
リセット後の値	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 4.162 PRP_CONFIG レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b31~b17	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b16	PRP_AGE_ENA	履歴メモリエイジングタイム有効化 タイム値は PRP_AGETIME レジスタによって設定されます。	R/W
b15~b9	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b8	TX_RCT_1588	1: IEEE 1588 フレーム (イーサタイプ 0x88f7) への RCT の付加を許可。これらのフレームが他のフレームと同様に下記の TX_RCT_xxx の設定に基づいて扱われます。 0: IEEE 1588 フレームに RCT を付加しない。複製している場合も付加しません。 これはスイッチ経由で (RedBox として使用される場合など) 両方の PRP_GROUP ポートに転送される IEEE 1588 フレームに影響します。ローカルに生成される IEEE 1588 フレーム (ピア遅延リクエスト/レスポンスなど) には影響しません。 備考) IEEE 1588 フレームは重複検出 (IEC 62439-3 : A.4.4.) の対象として考慮すべきではないため、通常は 0 にしてください。	R/W
b7	TX_RCT_UNKNOWN	1: 未知の宛先のためフラッディングされるフレームに RCT を付加することを許可 0: 宛先が未知のためフラッディングされるフレームに RCT を付加しない。これによってさらにモード 00b、01b、11b が規制されます。 備考) 通常は 1 にしてください。	R/W
b6	TX_RCT_MULTICAST	1: マルチキャストフレームに RCT を付加することを許可 0: マルチキャストフレームに RCT を付加しない。これによってさらにモード 00b、01b、11b が規制されます。 備考) 通常は 1 にしてください。	R/W
b5	TX_RCT_BROADCAST	1: ブロードキャストフレームに RCT を付加することを許可 0: ブロードキャストフレームに RCT を付加しない。これによってさらにモード 00b、01b、11b が規制されます。 備考) 通常は 1 にしてください。	R/W

表 4.162 PRP_CONFIG レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b4、b3	TX_RCT_MODE	冗長ポートで送信されるフレームへの RCT の付加を制御します。 以下のモードがあります[4:3]。 00b : グループのみの場合に RCT を付加 : PRP_GROUP レジスタで指定されている一連のポートすべてに対してだけフレームが複製される場合に RCT が付加されます。これらポートのうち 1 ポートにだけフレームが送信される場合や他のポートにもフラッディングされる場合などには RCT が付加されません。 01b : グループに常に RCT を付加 : PRP_GROUP で指定されているポートのうち少なくとも 2 ポートにフレームが複製される場合は常に RCT を付加します。フラッディングされるフレームにも付加されます。これは PRP_GROUP で指定されていない他のポートに送信される場合も含まれます。PRP_GROUP ポートのうち 1 ポートにしか送信されないフレームには RCT は付加されません。 10b : RCT の付加を禁止 : PRP_GROUP ポートにフレームが複製される場合もトランスミッタは RCT を付加しません。(これは IEC 62439-3:4.2.6 の重複受入動作 (Duplicate Accept) モードに相当します。) 11b : 常に強制的に RCT を付加 : 複製されたかどうか、あるいはフラッディングされたかどうかにかかわらず、任意の PRP_GROUP ポートから送信されるすべてのフレームにトランスミッタが RCT を付加します。 通常これらのビットは 00b または 01b にセットしてください。これにより PRP LAN セグメント内のシングルアタッチノード (SAN) とダブルアタッチノード (DAN) が可能になり、RCT は DAN に送信されるフレームにのみ追加されます。 備考) 本設定とは関係なく、BPDU フレームに RCT が付加されることはありません (IEC:4.2.7.5.1)。 たとえあるフレームが RCT を付加できる PRP_GROUP へ複製される場合でも、これと同時に PRP_GROUP 外のポートへ転送されるフレームには RCT が付加されることはありません。	R/W
b2	RX_REMOVE_RCT	PRP ポート RX が RCT を削除することを許可 1 の場合、PRP ポートで受信したフレームが転送される前にそのフレームから RCT が削除されます。他のポートには影響ありません。 0 の場合 RCT が削除されません。 この設定とは関係なく重複検出は通常通り行われます。 BPDU フレームと IEEE 1588 レイヤ 2 フレームはこの設定の影響を受けず、常にそのまま受信されます。 備考) RCT は、(アドレステーブル内に両方のポートを含んだポートマスクを持っていることから) 送信元ノードが DAN であることがわかっており、LAN ID が受信したポートに一致する場合にのみ削除されます。	R/W
b1	RX_DUP_ACCEPT	受信時の重複受入動作モードを許可 1 の場合、レシーバは重複検出を行わず、受信したすべてのフレームをそのまま転送します。 0 の場合、レシーバは重複を検出し廃棄しようと試みます。 通常動作の場合は 0 にしてください。 備考) 0 の場合でも、BPDU と IEEE 1588 フレームは常に重複チェックをせずに受け入れます。 受信時の重複受入の利用は、ハードウェアではなくアプリケーションで重複検出を行うことに利用できます。この用法とは別で、重複受入動作モードは試験設定 (IEC:4.2.6) であり、通常動作中の使用は意図されていません。PRP をサポートしていない製品では、本ビットは 1 固定になります。	R/W

表 4.162 PRP_CONFIG レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b0	PRP_ENA	PRP 動作を許可 本ビットをセットする前に他のすべてのコンフィグレーションレジスタを正しく設定しておく必要があります。 本ビットをクリアすると統計カウンタもクリアされます。 備考) 本ビットを再許可に設定する前にメモリの RM_ADDR_CTRL.CLEAR_MEMORY コマンドによって履歴メモリをクリアする必要があります。	R/W

4.4.161 PRP_GROUP — PRP ポートグループレジスタ

アドレス 4405 3D04h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	LANB_MASK			
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PRP_GROUP			
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.163 PRP_GROUP レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b20	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b19~b16	LANB_MASK	<p>どちらのポートを LAN B ポートとするかを指定します。指定されたポートの RCT には LAN B 識別子が含まれるようになります。他方のポートの RCT には LAN A 識別子が使用されるようになります。PRP_GROUP で指定した 2 ビットのうちのいずれかと一致するように 1 ビットだけをセットする必要があります。</p> <p>ビット 16=ポート 0、ビット 17=ポート 1、...</p> <p>備考) 本設定は動作中いつでも変更できます。たとえばポートが誤ったネットワークに接続されていることを管理側が検出した場合、本レジスタで LAN A と LAN B の指定を入れ替えるだけでよく、物理的に接続を変更する必要がありません。</p>	R/W
b15~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3~b0	PRP_GROUP	<p>どの 2 ポートを PRP のための冗長ポートとして扱うかを指定します。マスク内の 2 ビットのみをセットする必要があります。回線ポートのみがサポートされています。</p> <p>ビット 0=ポート 0、ビット 1=ポート 1、...</p> <p>備考) セットしたビット数が 2 ビットでなかった場合、予期しない動作が起こることがあります。</p>	R/W

4.4.162 PRP_SUFFIX — PRP RCT サフィックス

アドレス 4405 3D08h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRP_SUFFIX															
リセット後の値	1	0	0	0	1	0	0	0	1	1	1	1	1	0	1	1

表 4.164 PRP_SUFFIX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	PRP_SUFFIX	冗長コントロールレーラ (RCT) サフィックス	R/W

4.4.163 PRP_LANID — PRP LAN 識別子

アドレス 4405 3D0Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	LANBID			LANAID				
リセット後の値	X	X	X	X	X	X	X	X	1	0	1	1	1	0	1	0

表 4.165 PRP_LANID レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b7~b4	LANBID	LAN B 識別子	R/W
b3~b0	LANAID	LAN A 識別子	R/W

4.4.164 DUP_W — PRP 最大重複検出ウィンドウサイズ

アドレス 4405 3D10h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DUP_W								
リセット後の値	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0

表 4.166 DUP_W レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b9	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b8~b0	DUP_W	<p>最大重複検出ウィンドウサイズ</p> <p>現在のフレームのシーケンス番号が期待したウィンドウの範囲内であれば重複（つまり古いシーケンス番号）と見なされます。ウィンドウの範囲外のシーケンス番号が見つかったと、そのフレームは受け付けられ CntOutOfSeqLow がカウントアップされません。有効値は 2~255 です。推奨値：>50</p> <p>備考） 値を 0 または 1 にセットすると、受信済みシーケンス番号の最小値よりも小さいシーケンス番号を持つすべてのフレームは、シーケンスエラー表示が付与されて受け付けられません。</p>	R/W

4.4.165 PRP_AGETIME — PRP エイジング時間定義レジスタ

アドレス 4405 3D14h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	PRP_AGETIME							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRP_AGETIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.167 PRP_AGETIME レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b23~b0	PRP_AGETIME	<p>重複履歴データのエイジングコントロールのための 32 スイッチシステムクロックサイクル単位のタイムアウト値</p> <p>各エイジングタイムで履歴テーブルの 1 エントリが無効であるかどうかチェックされます。エイジング用に 1 ビットしか使用されていないため、最大でテーブルを 2 周すれば各エントリが削除されます。テーブル全体が EntryForgetTime/2 (200ms) で網羅できるようにタイムアウト値を選択する必要があります。24 ビット値が使用できます。値が 0 のときはエイジング処理が無効です。</p> <p>備考) 8192 エントリのテーブルに対して 200ms の設定にするためには、スイッチシステムクロックが 200MHz (5ns) で動作する場合、エイジングタイム = $200\text{ms} / (8192 \times 5\text{ns}) / 32 = 152$ となります。</p>	R/W

4.4.166 PRP_IRQ_CONTROL — PRP 割り込みコントロールレジスタ

いずれかの割り込み許可ビットがセットされているときに対応するイベントが発生すると、グローバル INT_STAT_ACK 割り込みステータスレジスタの PRP 割り込みがアサートされます。さらに割り込み信号の A5PSW_PRP_Int がアサートされます。割り込みをクリアするには PRP_IRQ_STAT_ACK レジスタへの書き込みが必要です。

アドレス 4405 3D18h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SEQMISSING	OUTOFSEQ	WRONGLAN	MEMTOOLATE
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.168 PRP_IRQ_CONTROL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3	SEQMISSING	受信フレームが受け付けられ、そのことによって履歴内の未受信シーケンス番号がスキップされたとき（つまり、欠落したシーケンス番号が無視され廃棄の対象となったとき）の割り込みを許可します。 本イベントによって CntMissing 統計値もカウントアップされます。	R/W
b2	OUTOFSEQ	受信フレームが受け付けられたが想定外のシーケンス番号であった場合の割り込みを許可します。本イベントによって CntOutOfSeq 統計値もカウントアップされます。	R/W
b1	WRONGLAN	本ビットは使用できません。0 に固定してください。	R/W
b0	MEMTOOLATE	メモリエラー表示の際の割り込みを許可します。本ビットが有効になっていると、フレームに対するメモリトランザクションが時間内に終了しなかった場合に割り込みが発生します。送信の場合、RCT を付加しないでフレームが送信されたことを意味します。受信の場合、RCT のチェックができなかったがフレームが受け付けられたことを意味します。 備考) この割り込みは発生してはならない割り込みです。この割り込みが発生する事態としては、スイッチシステム周波数が低すぎるときにすべてのギガビットポートが同時にメモリルックアップを要求した場合が考えられます。この現象はシステム周波数が低すぎるとを示している可能性があります。	R/W

4.4.167 PRP_IRQ_STAT_ACK — PRP 割り込みステータス/ACK レジスタ

割り込みをクリアするには PRP_IRQ_STAT_ACK レジスタへの書き込みが必要です。

アドレス 4405 3D1Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SEQMISSING	OUTOFSEQ	WRONGLAN	MEMTOOLATE
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.169 PRP_IRQ_STAT_ACK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3	SEQMISSING	PRP_IRQ_CONTROL で定義されているビットに対応する割り込み保留表示ビットです。イベントが発生すると対応するビットが High にラッチされます。本ビットをクリアするには“1”を書き込みます。 備考) ラッチは PRP_IRQ_CONTROL レジスタとは関係なく動作します。つまり、割り込みが禁止されていてもイベント発生をチェックが可能です。	R/W
b2	OUTOFSEQ	PRP_IRQ_CONTROL で定義されているビットに対応する割り込み保留表示ビットです。イベントが発生すると対応するビットが High にラッチされます。本ビットをクリアするには“1”を書き込みます。 備考) ラッチは PRP_IRQ_CONTROL レジスタとは関係なく動作します。つまり、割り込みが禁止されていてもイベント発生をチェックが可能です。	R/W
b1	WRONGLAN	本ビットは使用できません。0 に固定してください。	R/W
b0	MEMTOOLATE	PRP_IRQ_CONTROL で定義されているビットに対応する割り込み保留表示ビットです。イベントが発生すると対応するビットが High にラッチされます。本ビットをクリアするには“1”を書き込みます。 備考) ラッチは PRP_IRQ_CONTROL レジスタとは関係なく動作します。つまり、割り込みが禁止されていてもイベント発生をチェックが可能です。	R/W

4.4.168 RM_ADDR_CTRL — PRP 履歴メモリトランザクションコントロールレジスタ

アドレス 4405 3D20h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	—	CLEAR	—	—	READ	WRITE	—	CLEAR_MEMORY	CLEAR_DYNAMIC	—	—	—	—	—	—
リセット後の値	0	X	0	X	X	0	0	X	0	0	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	address												
リセット後の値	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.170 RM_ADDR_CTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	トランザクションビジー表示 コントローラがビジーです。コントローラがビジーのときは対応するコマンドビットがセットされています。再びビジーでなくなったとき、すべてのコマンドビットがクリアされます。BUSY=1 のときはその他のすべてのコマンドが禁止されます。ビジー中は本レジスタへの書き込みを回避する必要があります。	R
b30	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b29	CLEAR	指定アドレスで選択されたエントリにすべて 0 を書き込みます。本ビットを使用することによって、データレジスタに 0 を書き込む必要がなくなります。機能が完了すると本ビットはクリアされます。	R/W
b28、b27	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b26	READ	1 にセットすると、読み出しトランザクションを一度実行します。データは RM_DATA レジスタに格納されます。機能が完了すると本ビットはクリアされます。	R/W
b25	WRITE	1 にセットすると、書き込みトランザクションを一度実行します。トランザクションを開始する前に RM_DATA レジスタを設定する必要があります。機能が完了すると本ビットはクリアされます。	R/W
b24	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b23	CLEAR_MEMORY	すべてのメモリロケーションに 0 を書き込みます。機能が完了すると本ビットはクリアされます。 備考 リセット時に本ビットがセットされメモリがクリアされます。メモリのクリアが終了すると本ビットがクリアされます。	R/W
b22	CLEAR_DYNAMIC	テーブル全体をスキャンして有効なダイナミック履歴エントリがあれば削除します（エントリにすべて 0 を書き込む）。 非冗長ローカルポートに対応する送信元アドレスに対して保存されているシーケンス番号（送信 RCT の生成用）は変更されません。機能が完了すると本ビットはクリアされます。	R/W
b21~b13	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b12~b0	address	読み出しトランザクションと書き込みトランザクション用のメモリアドレス これはエントリのアドレスです。 このアドレスは MAC アドレスルックアップテーブルのエントリのアドレスと同じです。したがって特定の MAC アドレスのデータを見つけるには、最初に MAC アドレステーブルを検索（ルックアップ）してエントリのアドレスを取り出す必要があります。	R/W

4.4.169 RM_DATA — PRP メモリデータレジスタ

アドレス 4405 3D24h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RM_DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RM_DATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.171 RM_DATA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RM_DATA	RM_ADDR_CTRL によって制御されている読み出し/書き込みトランザクション用のメモリデータレジスタ	R/W

4.4.170 RM_STATUS — PRP メモリコントローラステータス表示

アドレス 4405 3D2Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ageaddress															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.172 RM_STATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	ageaddress	エイジングタイムが次にタイムアウトしたときにエイジング処理がチェックするアドレスです。	R

4.4.171 TxSeqTooLate — PRP フレーム送信での誤りシーケンス番号の取り出し

アドレス 4405 3D30h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	TxSeqTooLate				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0

表 4.173 TxSeqTooLate レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4~b0	TxSeqTooLate	<p>シーケンス番号の取り出しに失敗しました。RCT の付加なしでフレームが送信され複製されました。</p> <p>各ポートに 1 ビットです。このようなイベントが発生すると High にラッチされます。本レジスタの対応するビット位置に “1” を書き込むとラッチがクリアされます。この現象は、ポートから冗長ポートへ送信するため、RedBox 機能が（送信元アドレスに基づいて）フレームのシーケンス番号の取り出しを要求する場合に発生することがあります。送信元アドレスのルックアップに時間がかかり、ルックアップの完了前にフレームが転送されると、フレームは RCT を付加しないで送信されます（フレームの複製は行われます）。これが発生する事態としては、スイッチシステム周波数が低すぎる時にすべてのギガビットポートが短いフレームに対して同時にアドレスルックアップを要求した場合が考えられます。</p> <p>備考) PRP_CONFIG.PRP_ENA=0 に設定された場合もラッチがクリアされます。</p>	R/W

4.4.172 CntErrWrongLanA — PRP 誤 ID LAN-A カウントレジスタ

アドレス 4405 3D34h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CntErrWrongLanA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CntErrWrongLanA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.174 CntErrWrongLanA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CntErrWrongLanA	本ビットは使用できません。	R

4.4.173 CntErrWrongLanB — PRP 誤 ID LAN-B カウントレジスタ

アドレス 4405 3D38h

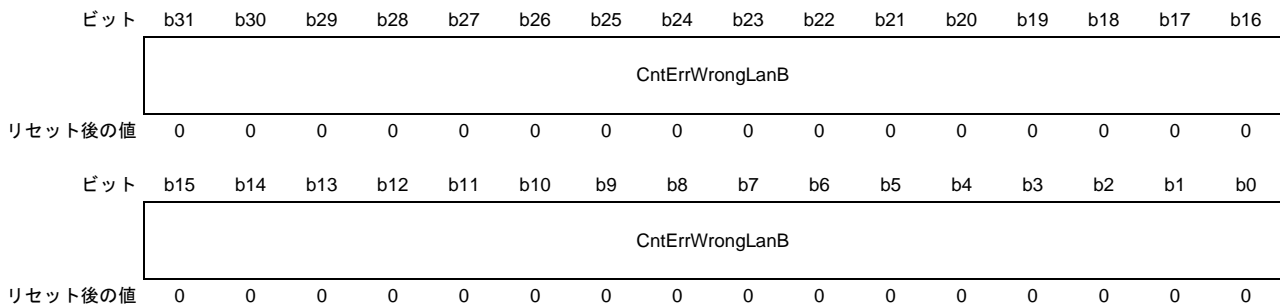


表 4.175 CntErrWrongLanB レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CntErrWrongLanB	本ビットは使用できません。	R

4.4.174 CntDupLanA — PRP 重複 LAN-A カウントレジスタ

アドレス 4405 3D3Ch

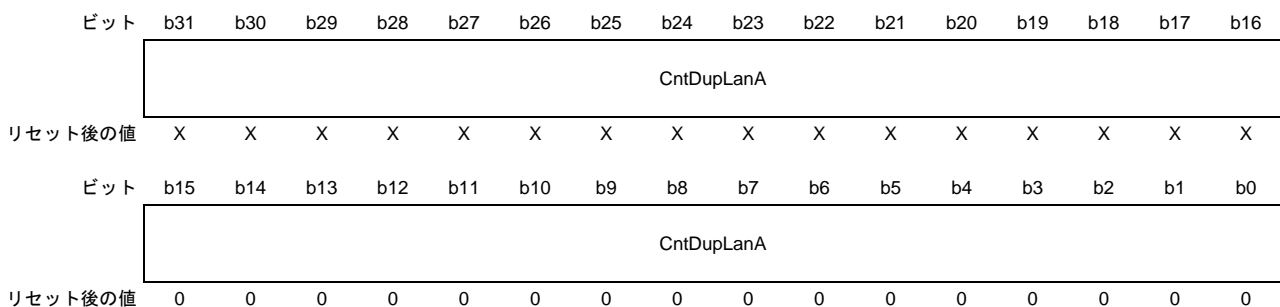


表 4.176 CntDupLanA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CntDupLanA	LAN A で受信したが重複検出により廃棄された有効フレーム数	R

4.4.175 CntDupLanB — PRP 重複 LAN-B カウントレジスタ

アドレス 4405 3D40h

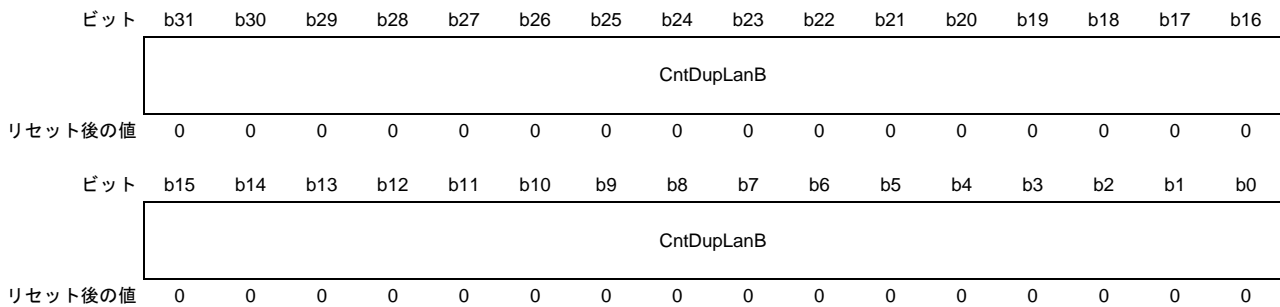


表 4.177 CntDupLanB レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CntDupLanB	LAN B で受信したが重複検出により廃棄された有効フレーム数	R

4.4.176 CntOutOfSeqLowA — PRP シーケンスエラー低 LAN-A カウントレジスタ

アドレス 4405 3D44h

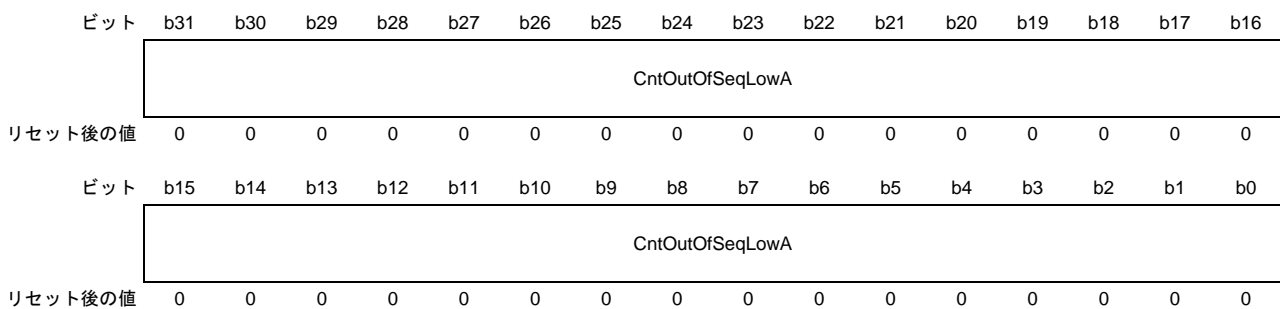


表 4.178 CntOutOfSeqLowA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CntOutOfSeqLowA	LAN A で受信したが、シーケンス番号が最後のウィンドウ (DUP_W) より小さく、有効かつ受け付けられたフレーム数	R

4.4.177 CntOutOfSeqLowB — PRP シーケンスエラー低 LAN-B カウントレジスタ

アドレス 4405 3D48h

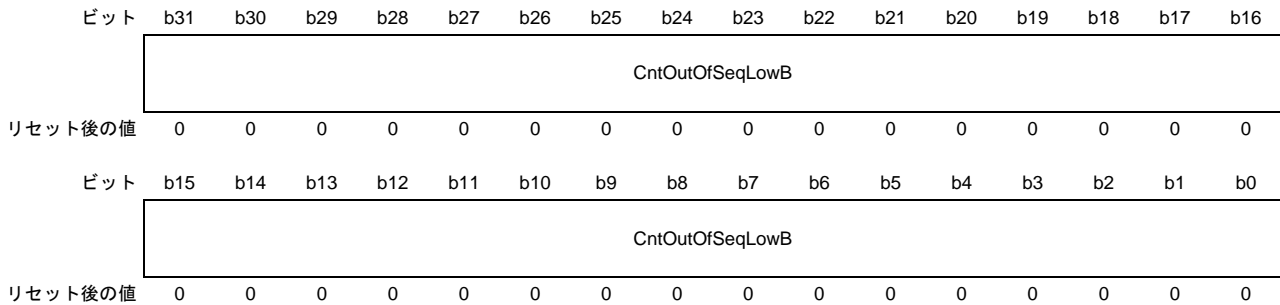


表 4.179 CntOutOfSeqLowB レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CntOutOfSeqLowB	LAN B で受信したが、シーケンス番号が最後のウィンドウ (DUP_W) より小さく、有効かつ受け付けられたフレーム数	R

4.4.178 CntOutOfSeqA — PRP シーケンスエラーLAN-A カウントレジスタ

備考

CntOutOfSeqLowA もカウントアップされます。

アドレス 4405 3D4Ch

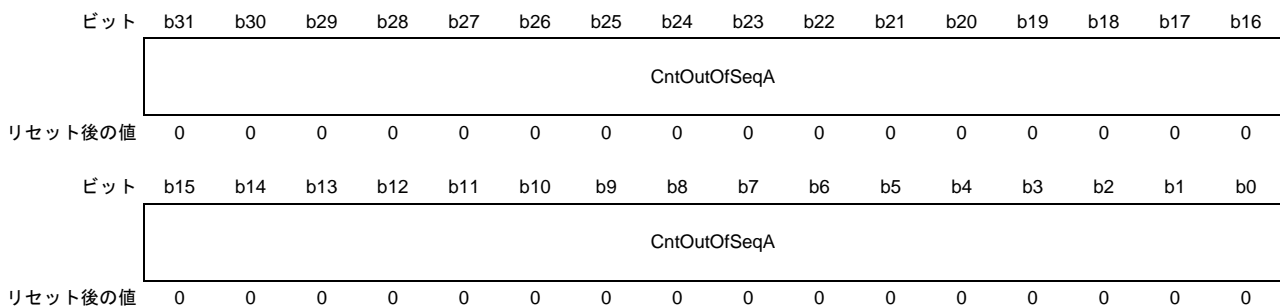


表 4.180 CntOutOfSeqA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CntOutOfSeqA	LAN A で受信したが、想定外のシーケンス番号を持つ、有効であるとして受け付けられたフレーム数	R

4.4.179 CntOutOfSeqB — PRP シーケンスエラーLAN-B カウントレジスタ

備 考

CntOutOfSeqLowB もカウントアップされます。

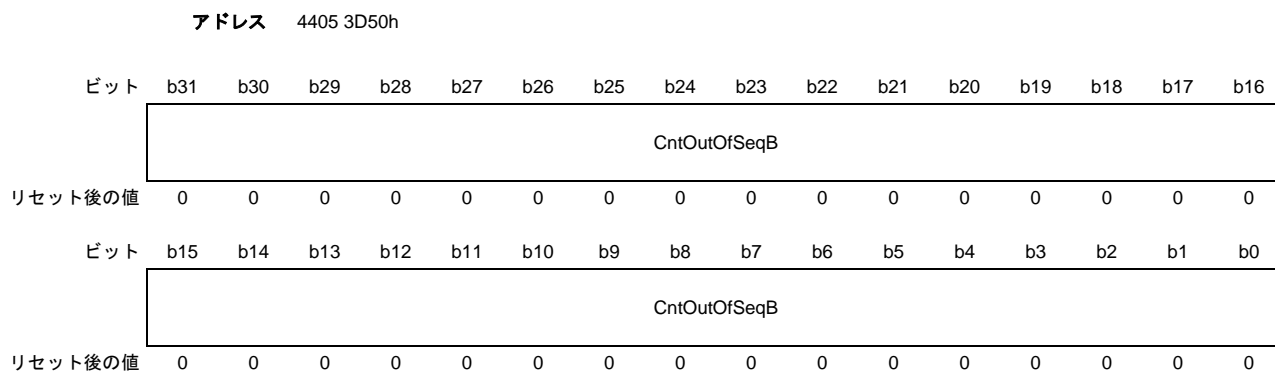


表 4.181 CntOutOfSeqB レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CntOutOfSeqB	LAN B で受信したが、想定外のシーケンス番号を持つ、有効であるとして受け付けられたフレーム数	R

4.4.180 CntAcceptA — PRP 有効フレーム LAN-A カウントレジスタ

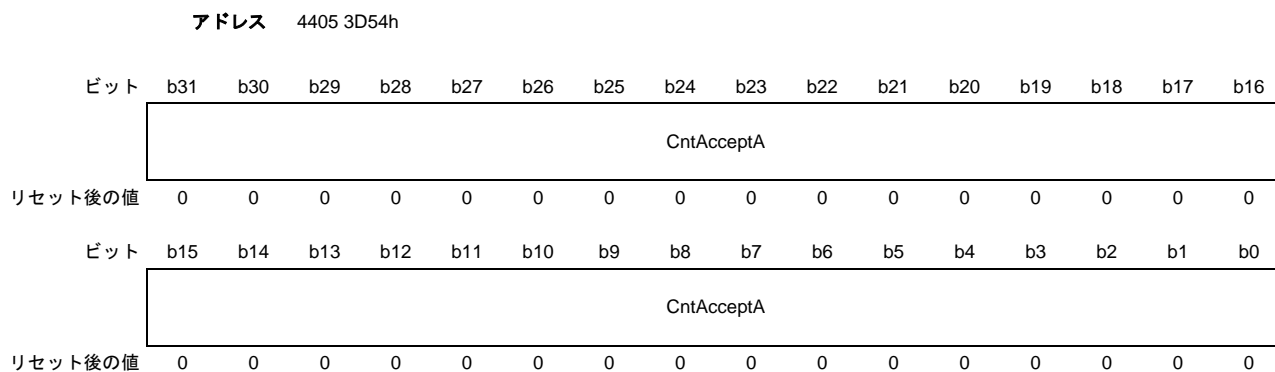


表 4.182 CntAcceptA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CntAcceptA	LAN A で受信し、想定範囲内の有効シーケンス番号を持つ有効フレーム数	R

4.4.181 CntAcceptB — PRP 有効フレーム LAN-B カウントレジスタ

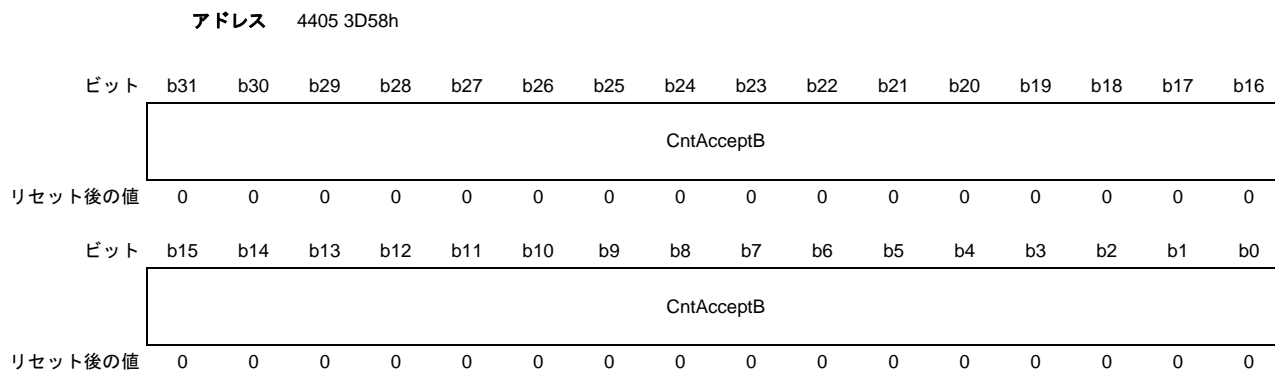


表 4.183 CntAcceptB レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CntAcceptB	LAN B で受信し、想定範囲内の有効シーケンス番号を持つ有効フレーム数	R

4.4.182 CntMissing — PRP 喪失履歴調整カウント

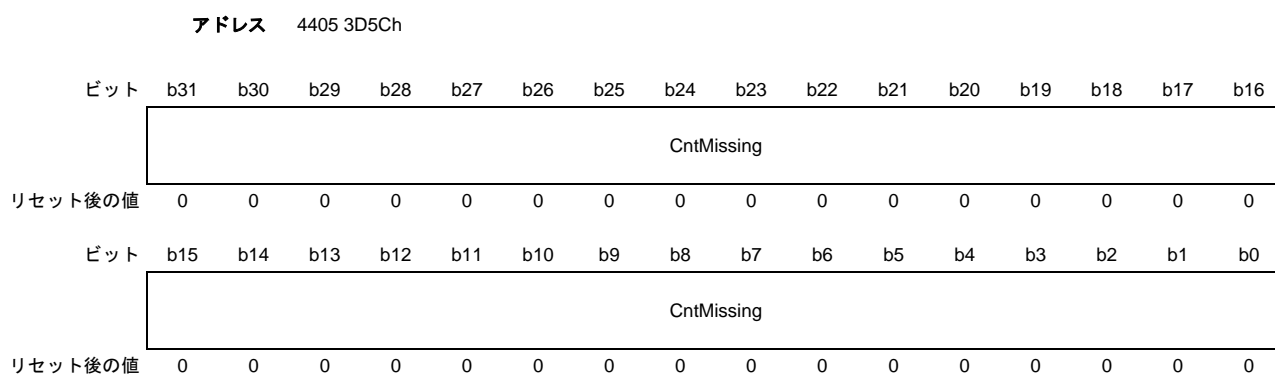


表 4.184 CntMissing レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CntMissing	期待値+履歴+1のシーケンス番号を持つフレームを受信したことにより喪失履歴の調整が行われたことを示します。これは、両方のLANセグメントで同じフレームが喪失されたため（1つのシーケンス番号が抜ける）、履歴がそのシーケンス番号より後ろに拡張された（そのシーケンス番号の喪失が許可された）ときに発生します。	R

4.4.183 HUB_CONFIG — ハブコンフィグレーションレジスタ

アドレス 4405 3E00h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	HUB_ISOLATE	TRIGGER_MODE	RETRANSMIT_ENA	HUB_ENA
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.185 HUB_CONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3	HUB_ISOLATE	すべてのハブポートをスイッチの他のポートから隔離し、管理ポートとの通信のみを許可。必要に応じて他のポートへのブリッジを実装する場合は管理ポートのアプリケーションによって実装します。 1 の場合、ハブポートで受信したフレームは常に管理ポートに転送されます。ルックアップやフラディングは発生しません。また、ハブグループ外のポートからのフレームのうち通常はハブグループに転送する必要があるフレームも、すべて管理ポートに転送されます。 この設定は、ハブポート以外のポート間の転送、管理ポートからの転送、および管理ポートへの転送には影響しません。 0 の場合、通常の転送が実行され、他のポートからハブグループへトラフィックを転送するときは HUB_DEFPORT マスクが使用されます。 備考) この設定はスイッチ内の転送のみが制御対象です。 ハブの PHY コピー機能はこの設定の影響を受けません。	R/W
b2	TRIGGER_MODE	単一フレームトリガモードを有効化 トリガイベントによって許可されたときのみ、ハブが単一のフレームを送信します（単一 MAC 送信）。トリガイベントは HUB_TRIGGER_x レジスタの設定によって各ポート個別に生成されます。 備考) トリガモードが有効の場合は RETRANSMIT_ENA が 0 である必要があります。	R/W
b1	RETRANSMIT_ENA	ハブの再送信能力を有効化 1 の場合、ハブグループの MAC からの送信中にコリジョンが発生すると、その MAC は可能であれば再送を許可されます（IEEE 802.3 の半二重バックオフルールに基づく）。 0 の場合、コリジョンが発生すると MAC はフレームを再送せずフレームが廃棄されます。 備考) TRIGGER_MODE=1 の場合は 0 にする必要があります。	R/W
b0	HUB_ENA	統合ハブ動作を許可。本ビットをセットする前に他のすべてのコンフィグレーションレジスタを正しく設定しておく必要があります。 本ビットをクリアするとハブ統計カウンタもクリアされます。	R/W

4.4.184 HUB_GROUP — ハブポートグループレジスタ

備 考

1 つのポートを設定するだけでそのポートでトリガ機能を使用できるようになります。

アドレス 4405 3E04h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	HUB_GROUP			
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.186 HUB_GROUP レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3~b0	HUB_GROUP	<p>ハブグループに含めるポートをすべて指定。ポートマスクの少なくとも 1 ビットがセットされます（通常は 2 ビットがセットされます）。管理ポートは使用できません（書き込みは無視されます）。</p> <p>ハブグループの MAC は同一速度の半二重モードに設定する必要があります。</p> <p>このグループはスイッチの他の有効なグループ設定（DLR、PRP など）と重ならないようにする必要があります。重なると予期しない動作が発生する可能性があります。</p>	R/W

4.4.185 HUB_DEFPORT — ハブデフォルトポート選択レジスタ

備 考

管理ポートの強制転送を、グループ内の他のポートへフレームを転送するために使用できます。

アドレス 4405 3E08h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	HUB_DEFPORT				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.187 HUB_DEFPORT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3~b0	HUB_DEFPORT	グループ外のポートからのすべてのトラフィックの転送先となる、ハブグループ内のデフォルトポートです。ハブポートのいずれかに転送すべきフレームはこのポートだけに転送されます。ハブのコピー機能によって、最終的にはフレームがグループのすべての PHY インタフェースにコピーされます。 ポートマスクはハブグループの 1 ビットだけをセットしてください。	R/W

4.4.186 HUB_TRIGGER_IMMEDIATE — ハブ送信トリガイミディエイトレジスタ

備 考

本レジスタへの書き込み時にポートで待機しているフレームがない場合、フレームが到着するまでトリガが有効であり続けます。フレームが到着すると送信されレジスタがクリアされます。

アドレス		4405 3E0Ch															
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	HUB_TRIGGER_IMMEDIATE				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.188 HUB_TRIGGER_IMMEDIATE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3~b0	HUB_TRIGGER_IMMEDIATE	<p>ハブグループの特定のポートからの単一フレームの送信をトリガ</p> <p>ポートマスクは最大で 1 ビットだけセットします。ハブグループに含まれていないポートのビットをセットしても効果がありません（レジスタへの書き込みは無視されます）。</p> <p>書き込まれると、指定されたポートからフレームを（即座に）1 つ送信することが許可されます。</p> <p>送信が開始すると本レジスタがクリアされ、割り込みの生成が可能になります。</p>	R/W

4.4.187 HUB_TRIGGER_AT — ハブ特定時間送信トリガレジスタ

備 考

トリガ時に送信するフレームがポートにない場合も本レジスタがクリアされます。その場合トリガ割り込みが発生しレジスタがクリアされますが、フレームの送信は行われません。トリガ時刻後に到着したフレームは送信されません（この点はトリガイミディエイト機能とは対照的です）。

アドレス		4405 3E10h																											
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16													
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—													
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X													
ビット													b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
													—	—	—	—	—	—	—	—	—	—	—	—	HUB_TRIGGER_AT				
リセット後の値													X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.189 HUB_TRIGGER_AT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3~b0	HUB_TRIGGER_AT	<p>特定時刻に単一フレームを送信するトリガ</p> <p>ポートマスクは最大で 1 ビットだけセットします。ハブグループに含まれていないポートのビットをセットしても効果がありません（レジスタへの書き込みは無視されます）。</p> <p>古いタイマ値または無効なタイマ値によって想定外のトリガが発生しないように、HUB_TTIME レジスタへの書き込みを最初に行う必要があります。</p> <p>送信が開始すると本レジスタがクリアされ、割り込みの生成が可能になります。</p>	R/W

4.4.188 HUB_TTIME — ハブ送信時間定義レジスタ

アドレス		4405 3E14h																										
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16												
	HUB_TTIME																											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0												
ビット													b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
													HUB_TTIME															
リセット後の値													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.190 HUB_TTIME レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	HUB_TTIME	<p>トリガを発生させる時間を指定します。</p> <p>32 ビット値がタイマと比較されます。</p> <p>この値はハードウェアタイマ（入力 A5PSW_TS_NS_IN[31:0]）と比較されます。タイマがこの値に到達（または超過）したら、HUB_TRIGGER_AT で指定されるポートから 1 フレームを送信できます。</p>	R/W

4.4.189 HUB_IRQ_CONTROL — ハブ割り込みコントロールレジスタ

いずれかの割り込み許可ビットがセットされているときに対応するイベントが発生すると、グローバル INT_STAT_ACK 割り込みステータスレジスタのハブ割り込みがアサートされます。割り込みをクリアするには HUB_IRQ_STAT_ACK レジスタへの書き込みが必要です。

アドレス 4405 3E18h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	TRIGGER_TIMER_ACK	TRIGGER_IMMEDIATE_ACK	CHANGE_DET	RX_TRIGGER			
リセット後の値	X	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0

表 4.191 HUB_IRQ_CONTROL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b7	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b6	TRIGGER_TIMER_ACK	HUB_TRIGGER_AT レジスタへの書き込み後にハブ送信が開始してタイムアウト値 (HUB_TTIME レジスタ) に達したときの割り込みを許可します。 このイベントは送信が開始して HUB_TRIGGER_AT レジスタがクリアされたときに発生します。	R/W
b5	TRIGGER_IMMEDIATE_ACK	HUB_TRIGGER_IMMEDIATE レジスタへの書き込み後にハブ送信が開始したときの割り込みを許可します。 このイベントは、送信が開始して HUB_TRIGGER_IMMEDIATE レジスタがクリアされ新しいコマンドを受け取れるようになったときに発生します。	R/W
b4	CHANGE_DET	ハブ TX ステートマシンのポート状態変更要求が検出されたときの割り込みを許可します。 本ビットは HUB_STATUS レジスタの TX_Change_Pending ビットがアサートされたときにアサートされます。	R/W
b3~b0	RX_TRIGGER	RX パターン一致トリガ機能の割り込みを許可します。 ポートごとに 1 ビットです。 ビット 0=ポート 0、ビット 1=ポート 1、...ビット 3=ポート 3 許可されている場合、該当ポートでの RX パターンマッチャによってハブから 1 フレームの送信 (トリガモード) が開始したときに割り込みが発生します。 備考) この割り込みは、PATTERN_CTRL レジスタによって許可できる一致割り込み機能とは別の割り込みです。通常このトリガ割り込みはパターン一致割り込みの発生後まもなく発生します (たとえば 100Mbps ポートの場合 1 μ s 以内。これはフレーム受信後 IPG 遅延時間を経て送信が開始するまでの時間に相当します)。したがって両方が許可されている場合、システム内で同じイベントに対して 2 つの異なる割り込みが発生し、余計な処理オーバーヘッドになる可能性があります。	R/W

4.4.190 HUB_IRQ_STAT_ACK — ハブ割り込みステータス/ACK レジスタ

割り込みをクリアするには HUB_IRQ_STAT_ACK レジスタへの書き込みが必要です。

アドレス 4405 3E1Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	TRIGGER_TIMER_ACK	TRIGGER_IMMEDIATE_ACK	CHANGE_DET	RX_TRIGGER			
リセット後の値	X	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0

表 4.192 HUB_IRQ_STAT_ACK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b7	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b6	TRIGGER_TIMER_ACK	割り込み保留表示 HUB_IRQ_CONTROL で定義されるビットに対応するビットです。 イベントが発生すると対応するビットが High にラッチされます。本ビットをクリアするには “1” を書き込みます。 備考) ラッチは HUB_IRQ_CONTROL レジスタとは関係なく動作します。つまり、割り込みが禁止されていてもイベント発生をチェックが可能です。	R/W
b5	TRIGGER_IMMEDIATE_ACK	割り込み保留表示 HUB_IRQ_CONTROL で定義されるビットに対応するビットです。 イベントが発生すると対応するビットが High にラッチされます。本ビットをクリアするには “1” を書き込みます。 備考) ラッチは HUB_IRQ_CONTROL レジスタとは関係なく動作します。つまり、割り込みが禁止されていてもイベント発生をチェックが可能です。	R/W
b4	CHANGE_DET	割り込み保留表示 HUB_IRQ_CONTROL で定義されるビットに対応するビットです。 イベントが発生すると対応するビットが High にラッチされます。本ビットをクリアするには “1” を書き込みます。 備考) ラッチは HUB_IRQ_CONTROL レジスタとは関係なく動作します。つまり、割り込みが禁止されていてもイベント発生をチェックが可能です。	R/W
b3~b0	RX_TRIGGER	割り込み保留表示 HUB_IRQ_CONTROL で定義されるビットに対応するビットです。 イベントが発生すると対応するビットが High にラッチされます。本ビットをクリアするには “1” を書き込みます。 備考) ラッチは HUB_IRQ_CONTROL レジスタとは関係なく動作します。つまり、割り込みが禁止されていてもイベント発生をチェックが可能です。	R/W

4.4.191 HUB_STATUS — ハブステータスレジスタ

アドレス 4405 3E20h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TX_Change_Pending	Speed_OK	TX_BUSY	TX_ACTIVE	—	—	—	—	—	PORTS_ACTIVE			
リセット後の値	X	X	X	0	0	0	0	X	X	X	X	X	0	0	0	0

表 4.193 HUB_STATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b13	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b12	TX_Change_Pending	<p>ハブトランスミッタにおいて保留された変更要求を示します。この変更要求は解決できずにハブ動作が停止（送信停止）する原因となったものです。</p> <p>状態変更要求はハブグループのポートの動作モードが予期せず変化したとき（リンク障害、MAC 速度変化）に発生します。本ビットは、ハブが送信中に無効化要求を受け、送信が正常に完了してから無効になる場合など（最終的に TX ACTIVE がクリア）にもアサートされます。</p> <p>本ビットは設定ミスが解消しハブが送信を実行できるようになるとクリアされます。本ビットがセットされているときはハブが動作できません。設定ミスを解消するにはアプリケーションの介入が必要な場合があります（速度不一致の継続など）。</p>	R
b11	Speed_OK	<p>すべてのグループポートのポート速度が一致していることを示します。TX ステートマシンがアクティブ状態になるには本ビットが 1 である必要があります。また、本ビットは設定ミスやリンク障害によってポートに接続された PHY の速度が変更されたことを示す場合があります。</p> <p>ハブグループ内のすべての PHY は、リンクが切断されている場合でも、いつでも同じ MAC インタフェース速度で動作することが重要です（たとえばリンクの切断後に PHY の MAC インタフェース速度を 100Mbps から 10Mbps に変更しないでください）。</p> <p>本ビットが 0 のときは、ハブは動作不能（送信なし）でありアクティブ状態にはなりません。本ビットはハブグループが（HUB_GROUP で）定義され（HUB_CONFIG で）有効になると即有効になります。TX ACTIVE がセットされない理由を示している場合もあります。</p>	R
b10	TX_BUSY	現在ローカルデバイスがハブグループのすべてのポートにデータを送信していることを示します。本ビットは簡略式であり通常動作中に切り替わります。	R
b9	TX_ACTIVE	<p>ハブグローバル送信ステートマシンが正常にハブモードに移行し、ハブグループを制御していることを示します。</p> <p>本ビットは HUB_CONFIG/HUB_GROUP レジスタへの書き込み後に一定時間遅れて反応し、ハブ動作モードへ正常遷移またはハブ動作モードから正常遷移します。</p> <p>HUB_CONFIG レジスタによって有効になっても、ポートがデータの送信中であつたり設定ミス（速度の相違、グループ未定義など）があつたりするとステートマシンがハブモードに移行しない場合があります。</p>	R
b8~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3~b0	PORTS_ACTIVE	<p>送信が許可されているハブグループの現在アクティブなポートを示します。ポートが無効にされている場合またはリンクがない場合などには HUB_GROUP の設定と異なる可能性があります。</p> <p>ポートごとに 1 ビットです。ビット 0=ポート 0、ビット 1=ポート 1、...</p>	R

4.4.192 HUB_OPORT_STATUS — ハブ出力ポートステータスレジスタ

アドレス 4405 3E24h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	HUB_OPORT_STATUS				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.194 HUB_OPORT_STATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3~b0	HUB_OPORT_STAT US	出力ポートごとのデータ存在状態 ポートごとに 1 ビットです。各ビットは 1 の時に出力ポートに送信データがあることを示します（ポートのいずれかのキューにデータが存在）。 ハブポートだけではなく、スイッチのすべての回線ポートのリアルタイムな表示です。	R

4.4.193 RXMATCH_CONFIG[n] — ポート[n]の RX パターンマッチャコンフィグレーション (n=0~4)

アドレス 4405 3E80h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PATTERN_EN							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0

表 4.195 RXMATCH_CONFIG[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b7~b0	PATTERN_EN	ポート (RX) 上のパターンを有効にします。パターンごとに 1 ビットです。 ビット x がセットされている場合、該当ポートが受信するフレーム内で対応するパターンが検索されます。実行されるパターン一致機能は各 PATTERN_CTRL レジスタで定義されます。 同時に複数のパターンを有効にすることができます（いずれの一致も許可）。 備考 複数のパターンを有効にするときはそれらパターンが互いに異なっている必要があります。同時に複数のパターンが一致したときは、それらのコントロールが異なる場合はどのような機能が実行されるか予測できません。	R/W

4.4.194 PATTERN_CTRL[n] — パターン[n]の RX パターンマッチャ機能コントロール (n=0~7)

設定されたパターンデータ 1 つにつき 1 つのパターンコントロールレジスタがあり、そのレジスタはパターンが受信フレームに一致した場合に実行される機能を定義します。ポートで受信したトラフィックにパターンを適用するかどうかは、各 RXMATCH_CONFIG レジスタによって制御されます。

各コントロールビットは互いに独立して振舞うことに注意してください。したがって複数のビットがセットされた場合は、それらに対応するすべての機能が同時実行されフレームに影響を与えます。

アドレス 4405 3EB0h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	PORTMASK				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PRIORITY	—	—	—	HUBTRIGGER	—	—	—	—	—	SET_PRIO	DISCARD	MGMTFWD	MATCH_NOT
リセット後の値	X	X	0	0	X	X	X	0	X	X	X	X	0	0	0	0

表 4.196 PATTERN_CTRL[n]レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b21	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b20~b16	PORTMASK	下記のコントロールビット (HUBTRIGGER 等) に応じて使用されるポートマスク 各ポートに 1 ビットです (ビット 16=ポート 0、ビット 17=ポート 1、...)。	R/W
b15、b14	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b13、b12	PRIORITY	SET_PRIO がセットされているときに使用されるフレームのプライオリティです。プライオリティはポートの対応する出力キューにフレームを転送するときに使用されず、高い値は高いプライオリティを示します。	R/W
b11~b9	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b8	HUBTRIGGER	セットされている場合、PORTMASK (上記参照) で指定されているポートから 1 フレームを送信できます。 ハブがトリガモードで動作するように設定されている場合にハブモードでのみ使用可能です。 備考) ポートマスクには、ハブグループ内の単一のポートのみを含める必要があります。 ハブトリガはグローバルイベントであり、有効ポートがフレームを送信するまでに 1 回しか発生できません。したがって複数のパターンが同時に一致した場合、1 つのトリガしか実行されません (どれが実行されるかは不明)。 保留トリガが処理されない (つまりフレーム送信がまだ開始していない) 限り、後続のその他のすべてのトリガは無視されます。	R/W
b7~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3	SET_PRIO	通常のクラス分けを上書きしてフレームプライオリティをセットします。 一致が発生すると PRIORITY ビットの値がフレームのプライオリティとしてセットされます (上記参照)。 このプライオリティは、フレームを受信したポートの PRIORITY_CFG[n]レジスタの設定より優先されます (設定を無視)。	R/W
b2	DISCARD	セットされている場合はフレームが廃棄されます。	R/W
b1	MGMTFWD	セットされていると、フレームが管理ポートのみに転送されます (宛先アドレスルックアップは行われません)。 備考) パターンが管理ポートに適用される場合、この設定は無効です。	R/W

表 4.196 PATTERN_CTRL[n]レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b0	MATCH_NOT	<p>セットされていると、一致が報告されます。パターンが一致しない場合はこのコントロール機能が実行されます。</p> <p>クリア（デフォルト）されていると、パターンが受信フレームと一致したときに上記の制御が実行されます。</p> <p>本ビットは PATTERN_CTRL0 のみで使用できます。その他のすべてのパターンコントロールレジスタでは、本ビットは無視され、また値が 0 である必要があります。セットされている場合、どのパターン（PATTERN_CTRL0 を含む）からも一致が報告されずポートに対して PATTERN_CTRL0 が有効になっている場合に PATTERN_CTRL0 が使用されます。</p>	R/W

4.4.195 PTN_IRQ_CONTROL — RX パターンマッチャ割り込みコントロールレジスタ

任意のパターンが（グローバルに）一致し、パターンモジュールの割り込み許可ビットがセットされている場合、グローバル INT_STAT_ACK 割り込みステータスレジスタの PATTERN 割り込みがアサートされます。割り込みをクリアするには PTN_IRQ_STAT_ACK レジスタへの書き込みが必要です。

アドレス 4405 3ED0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MATCHINT							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0

表 4.197 PTN_IRQ_CONTROL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b7~b0	MATCHINT	<p>RX パターン一致時に割り込みを許可 パターンごとに 1 ビットです。 ビット 0=パターン 0、...、ビット 7=パターン 7</p> <p>セットされている場合、（任意のポートで）受信フレームを処理しているときに対応するパターンに一致すると割り込みが発生します。割り込みがクリアされていない限り、対応する割り込み信号(A5PSW_PTRN_Int)もアサートされます。</p> <p>備考) 割り込みは MAC RX によるフレームの CRC チェックの後に発生します。他のルールが原因で最終的にスイッチによってフレームが廃棄される場合でも、一致の割り込みが発生する場合があります（フレームが MAC によって廃棄された場合は発生しません）。</p>	R/W

4.4.196 PTN_IRQ_STAT_ACK — RX パターンマッチャ割り込みステータス/ACK レジスタ

アドレス 4405 3ED4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MATCHINT							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0

表 4.198 PTN_IRQ_STAT_ACK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b7~b0	MATCHINT	対応するパターン一致イベントに対する割り込み保留表示です (PTN_IRQ_CONTROL を参照)。 イベントが発生すると対応するビットが High にラッチされます。本ビットをクリアするには “1” を書き込みます。 備考) ラッチは PTN_IRQ_CONTROL レジスタとは関係なく動作します。つまり、割り込みが禁止されていてもイベント発生をチェックが可能です。	R/W

4.4.197 PATTERN_SEL — RX パターン番号選択レジスタ

アドレス 4405 3EDCh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PATTERN_SEL		
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0

表 4.199 PATTERN_SEL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b3	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b2~b0	PATTERN_SEL	PTRN_CMP_*レジスタと PTRN_MSK_*レジスタによる読み出し/書き込みのために選択されるパターン番号を指定します。 PTRN_CMP レジスタおよび PTRN_MSK レジスタの読み出しまたは書き込みは本レジスタで選択したパターンに影響します。 特定のパターンデータセットを設定するには、最初に本選択レジスタに目的のパターン番号を設定する必要があります。	R/W

4.4.198 PTRN_CMP_30 — パターン比較値バイト 3~0

アドレス 4405 3EE0h

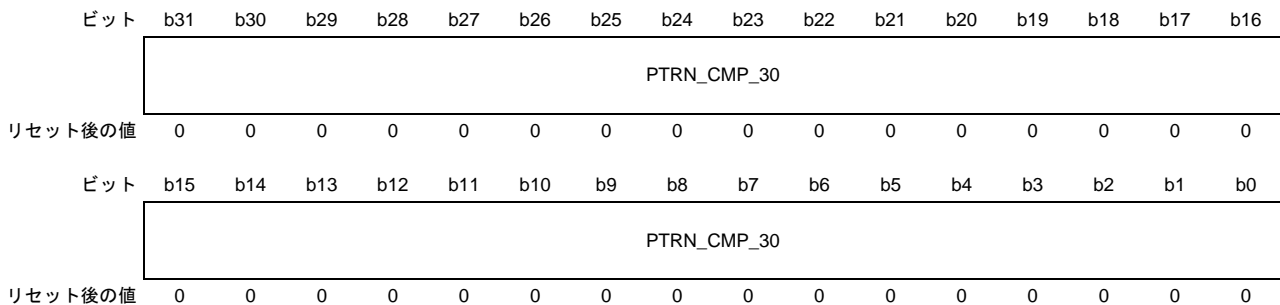


表 4.200 PTRN_CMP_30 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PTRN_CMP_30	パターン比較値バイト 3~0 第 1 バイト (バイト 0) はビット[7:0]です。 第 4 バイト (バイト 3) はビット[31:24]です。	R/W

4.4.199 PTRN_CMP_74 — パターン比較値バイト 7~4

アドレス 4405 3EE4h



表 4.201 PTRN_CMP_74 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PTRN_CMP_74	パターン比較値バイト 7~4 第 1 バイト (バイト 4) はビット[7:0]です。 第 4 バイト (バイト 7) はビット[31:24]です。	R/W

4.4.200 PTRN_CMP_118 — パターン比較値バイト 11~8

アドレス 4405 3EE8h

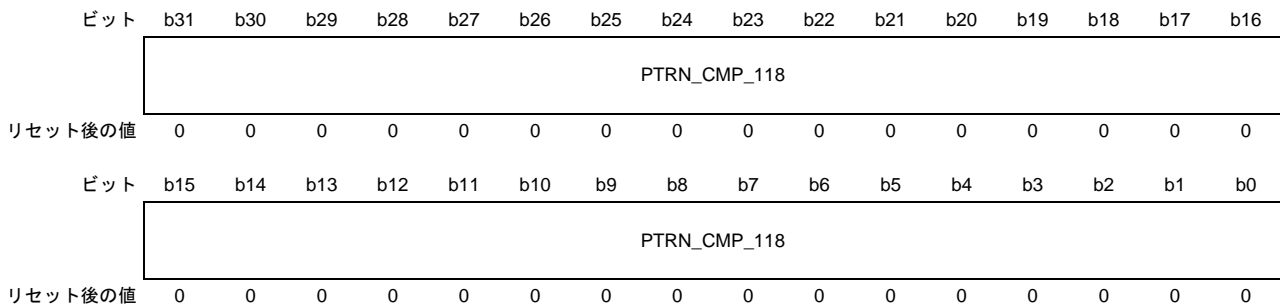


表 4.202 PTRN_CMP_118 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PTRN_CMP_118	パターン比較値バイト 11~8 第 1 バイト (バイト 8) はビット[7:0]です。 第 4 バイト (バイト 11) はビット[31:24]です。	R/W

4.4.201 PTRN_MSK_30 — バイト 3~0 のパターンマスク

アドレス 4405 3EF0h

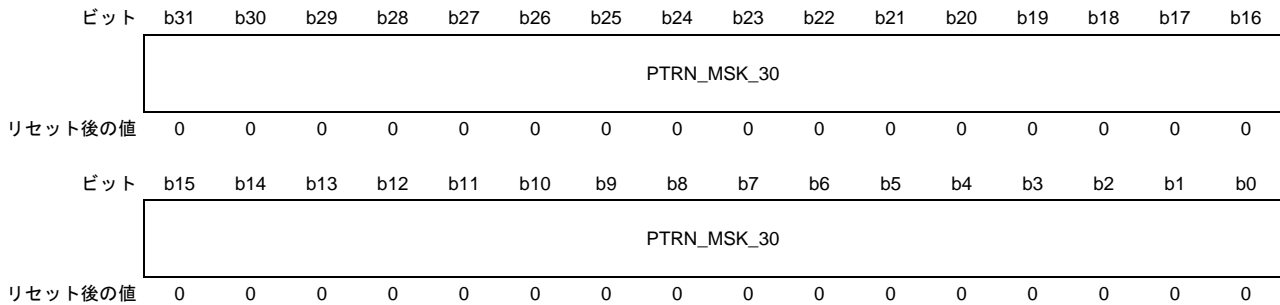


表 4.203 PTRN_MSK_30 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PTRN_MSK_30	バイト 3~0 のパターンマスク	R/W

4.4.202 PTRN_MSK_74 — バイト 7~4 のパターンマスク

アドレス 4405 3EF4h

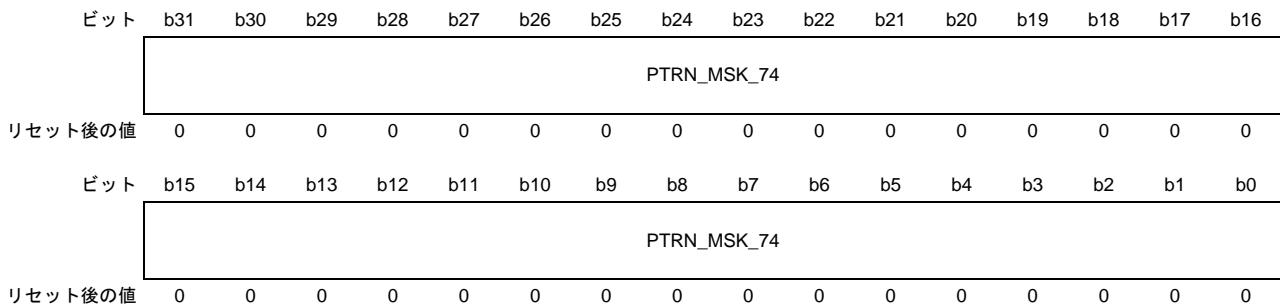


表 4.204 PTRN_MSK_74 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PTRN_MSK_74	バイト 7~4 のパターンマスク	R/W

4.4.203 PTRN_MSK_118 — バイト 11~8 のパターンマスク

アドレス 4405 3EF8h

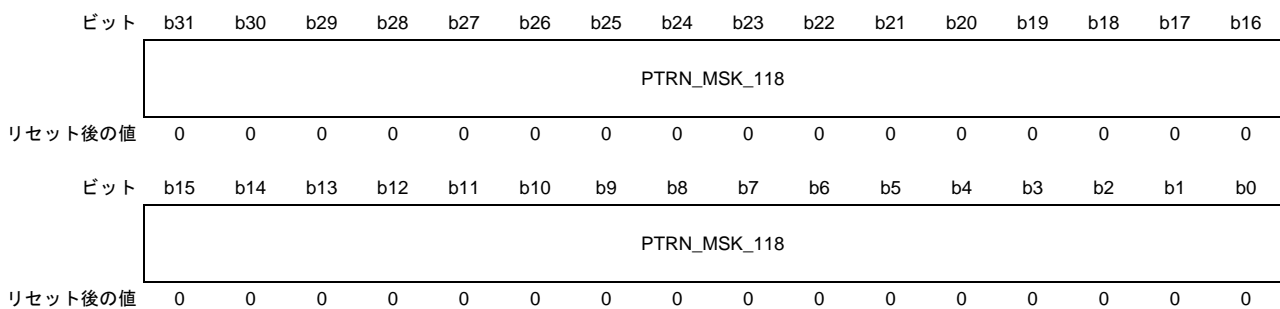


表 4.205 PTRN_MSK_118 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PTRN_MSK_118	バイト 11~8 のパターンマスク	R/W

4.4.204 TDMA_CONFIG — TDMA コンフィグレーションレジスタ

アドレス 4405 3F00h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WAIT_S TART	TDMA_ ENA
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0

表 4.206 TDMA_CONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b2	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b1	WAIT_START	本ビットは、スケジューラが有効になっているが TDMA_START レジスタで指定されている時間に到達していない場合にセットされているステータスビットです。 本ビットは、開始時間になりスケジューラの最初のサイクルが開始したときにクリアされます。	R
b0	TDMA_ENA	TDMA スケジューラの有効化 本ビットは、他のすべての TDMA スケジューラ設定レジスタが正しく設定されてからセットする必要があります。 セットされると、スケジューラは TDMA_START で指定された時間に最初のサイクルを開始します。この時間に到達する前は、QUEUES_START で指定されているキューが有効にされます。 本ビットはいつでもクリア可能です。クリアすると TDMA スケジューラが無効になり、再びすべてのポートでの通常の送信が可能になります。 注意) タイマが TDMA_START で指定されている値に到達する前にスケジューラを有効にする必要があります。有効にするのが遅すぎると、タイマが一周した後に開始値に到達した時点でスケジューラが開始することになります。	R/W

4.4.205 TDMA_PORTS — TDMA スケジューリング許可レジスタ

アドレス 4405 3F04h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	port4	port3	port2	port1	port0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0

表 4.207 TDMA_PORTS レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b4	port4	TDMA スケジューリングを使用するポートを指定します（ポート 4）。	R/W
b3	port3	TDMA スケジューリングを使用するポートを指定します（ポート 3）。	R/W
b2	port2	TDMA スケジューリングを使用するポートを指定します（ポート 2）。	R/W
b1	port1	TDMA スケジューリングを使用するポートを指定します（ポート 1）。	R/W
b0	port0	TDMA スケジューリングを使用するポートを指定します（ポート 0）。	R/W

4.4.206 TDMA_START — TDMA 開始時間設定レジスタ

アドレス 4405 3F08h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDMA_START															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDMA_START															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.208 TDMA_START レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TDMA_START	システムの初期化が完了した後の最初のサイクルの開始時間を設定します。システム時間がこの値と比較され、到達（超過）したときにスケジューラが最初のサイクルを開始します。第 2 サイクルは TDMA_START+TDMA_CYCLE になります。	R/W

4.4.207 TDMA_MODULO — TDMA システムタイマモジュール

備考

A5PSW_TS_NS_IN[31:0]の値が連続的にカウントアップされるとは限りません。本設定が意味するのは値の有効範囲のみです。

アドレス		4405 3F0Ch														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDMA_MODULO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDMA_MODULO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.209 TDMA_MODULO レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TDMA_MODULO	システムタイマモジュール タイマ入力 (A5PSW_TS_NS_IN[31:0]) が到達できる最大時間値+1 を指定します。 この値に到達すると折り返します。値を 0 にセットすると、折り返しが 2^{32} で発生することを意味します。	R/W

4.4.208 TDMA_CYCLE — TDMA 周期サイクル設定レジスタ

サイクル時間は TDMA の動作中にいつでも操作が可能であり、ずれたシステムタイマを補正することができます (ただしシステムタイマは通常マスタクロックに合わせておく必要があります)。

アドレス		4405 3F10h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDMA_CYCLE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDMA_CYCLE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.210 TDMA_CYCLE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TDMA_CYCLE	スケジューラの周期サイクル時間 システムタイマ時間によって指定されます。	R/W

4.4.209 TDMA_T1 — TDMA 第 1 時間オフセット

備 考

10 タイマ値ステップよりも大きい値を設定する必要があります（つまり 10 タイマモジュールクロックサイクルごとのカウントアップよりも大きくしてください）。

アドレス		4405 3F14h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDMA_T1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDMA_T1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.211 TDMA_T1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TDMA_T1	サイクル開始からの最初の時間オフセット-1 システムタイマ時間によって指定されます。各サイクルでの最初のスロットの終了点を指定します。	R/W

4.4.210 TDMA_T2 — TDMA 第 2 時間オフセット

備 考

T1 から少なくとも 10 タイマ値ステップより大きい値を設定する必要があります（つまり 10 タイマモジュールクロックサイクルごとのカウントアップよりも大きくしてください）。

T2 と T3 が不要でないときは T2 を 0 にセットできません（つまり T2 が 0 の場合は T3 は無視）。

アドレス		4405 3F18h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDMA_T2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDMA_T2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.212 TDMA_T2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TDMA_T2	サイクル開始からの 2 番目の時間オフセット-1 システムタイマ時間によって指定されます。2 番目のスロットの終了点を指定します。	R/W

4.4.211 TDMA_T3 — TDMA 第 3 時間オフセット

備 考

T2 から少なくとも 10 タイマ値ステップより大きい値を設定する必要があります（つまり 10 タイマモジュールクロックサイクルごとのカウントアップよりも大きくしてください）。

周期時間の最大値から 10 タイマ値ステップより小さい値を設定してください。

T3 が不要ないときは 0 にセットできます。

アドレス		4405 3F1Ch																												
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	TDMA_T3													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TDMA_T3													
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	TDMA_T3													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TDMA_T3													

表 4.213 TDMA_T3 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TDMA_T3	サイクル開始からの 3 番目の時間オフセット-1 システムタイマ時間によって指定されます。3 番目のスロットの終了点を指定します。	R/W

4.4.212 QUEUES_TS — TDMA 第 1 スロット送信許可

複数のビットをセットできます。また 1 ビットもセットしなくてもかまいません。複数のビットをセットしたときは、選択したプライオリティは有効なキューに対して適用され、プライオリティが最も高いキューのフレームが最初に送信されます。どのビットもセットされなかった場合はスロット内でキューからの送信が行われません。

備 考

本設定は、TDMA_PORTS レジスタで TDMA モードに設定されたすべてのポートに対して適用されます。

アドレス 4405 3F20h	
ビット	b31 b30 b29 b28 b27 b26 b25 b24 b23 b22 b21 b20 b19 b18 b17 b16
	— — — — — — — — — — — — — — —
リセット後の値	X X X X X X X X X X X X X X X X
ビット	b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0
	— — — — — — — — — — — — queue3 queue2 queue1 queue0
リセット後の値	X X X X X X X X X X X X 0 0 0 0

表 4.214 QUEUES_TS レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3	queue3	キュー3 がサイクル開始時に送信可能 (T1 まで)	R/W
b2	queue2	キュー2 がサイクル開始時に送信可能 (T1 まで)	R/W
b1	queue1	キュー1 がサイクル開始時に送信可能 (T1 まで)	R/W
b0	queue0	キュー0 がサイクル開始時に送信可能 (T1 まで)	R/W

4.4.213 QUEUES_T1 — TDMA 第 2 スロット送信許可

アドレス 4405 3F24h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	queue3	queue2	queue1	queue0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.215 QUEUES_T1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3	queue3	キュー3 が T1 から T2 までの時間で送信可能 (第 2 スロット)	R/W
b2	queue2	キュー2 が T1 から T2 までの時間で送信可能 (第 2 スロット)	R/W
b1	queue1	キュー1 が T1 から T2 までの時間で送信可能 (第 2 スロット)	R/W
b0	queue0	キュー0 が T1 から T2 までの時間で送信可能 (第 2 スロット)	R/W

4.4.214 QUEUES_T2 — TDMA 第 3 スロット送信許可

アドレス 4405 3F28h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	queue3	queue2	queue1	queue0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.216 QUEUES_T2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3	queue3	キュー3 が T2 から T3 までの時間で送信可能 (第 3 スロット)	R/W
b2	queue2	キュー2 が T2 から T3 までの時間で送信可能 (第 3 スロット)	R/W
b1	queue1	キュー1 が T2 から T3 までの時間で送信可能 (第 3 スロット)	R/W
b0	queue0	キュー0 が T2 から T3 までの時間で送信可能 (第 3 スロット)	R/W

4.4.215 QUEUES_T3 — TDMA 最終スロット送信許可

アドレス 4405 3F2Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	queue3	queue2	queue1	queue0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.217 QUEUES_T3 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3	queue3	キュー3 が T3 からサイクル終了までの時間で送信可能（次のサイクルが開始する前の最終スロット）	R/W
b2	queue2	キュー2 が T3 からサイクル終了までの時間で送信可能（次のサイクルが開始する前の最終スロット）	R/W
b1	queue1	キュー1 が T3 からサイクル終了までの時間で送信可能（次のサイクルが開始する前の最終スロット）	R/W
b0	queue0	キュー0 が T3 からサイクル終了までの時間で送信可能（次のサイクルが開始する前の最終スロット）	R/W

4.4.216 QUEUES_START — TDMA 第 1 サイクル送信許可

アドレス 4405 3F30h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	queue3	queue2	queue1	queue0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.218 QUEUES_START レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込みます。読み出しは無視してください。	R
b3	queue3	スケジューラが有効になってから、TDMA_START によって指定された最初のサイクル時間にシステムタイマが到達するまでの時間で、キュー 3 が送信可能	R/W
b2	queue2	スケジューラが有効になってから、TDMA_START によって指定された最初のサイクル時間にシステムタイマが到達するまでの時間で、キュー 2 が送信可能	R/W
b1	queue1	スケジューラが有効になってから、TDMA_START によって指定された最初のサイクル時間にシステムタイマが到達するまでの時間で、キュー 1 が送信可能	R/W
b0	queue0	スケジューラが有効になってから、TDMA_START によって指定された最初のサイクル時間にシステムタイマが到達するまでの時間で、キュー 0 が送信可能	R/W

4.4.217 TIME_LOAD_NEXT — TDMA 次回読み込み時刻計算値

アドレス 4405 3F34h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TIME_LOAD_NEXT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TIME_LOAD_NEXT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 4.219 TIME_LOAD_NEXT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TIME_LOAD_NEXT	現在の実行スロットが終了した後での、スケジューラによる内部比較レジスタへの読み込み時刻（計算された時刻）を示すステータスです（つまり現在のスロットの終了時刻を示しているわけではありません）。	R

4.4.218 TDMA_IRQ_CONTROL — TDMA 割り込みコントロールレジスタ

アドレス 4405 3F38h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	T3_EN	T2_EN	T1_EN	CYCLE_EN
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.220 TDMA_IRQ_CONTROL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3	T3_EN	TDMA サイクルの T3 オフセットに到達したときの割り込みを許可します。この割り込みは各サイクルで発生します。	R/W
b2	T2_EN	TDMA サイクルの T2 オフセットに到達したときの割り込みを許可します。この割り込みは各サイクルで発生します。	R/W
b1	T1_EN	TDMA サイクルの T1 オフセットに到達したときの割り込みを許可します。この割り込みは各サイクルで発生します。	R/W
b0	CYCLE_EN	TDMA サイクルが開始したときの割り込みを許可します。この割り込みは各サイクルで発生します。 備考 スケジューラを有効にした後に最初のサイクルが開始したとき（つまり TDMA_START の時点）もアサートされます。	R/W

4.4.219 TDMA_IRQ_STAT_ACK — TDMA 割り込みステータス/ACK レジスタ

アドレス 4405 3F3Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	T3_EN	T2_EN	T1_EN	CYCLE_EN
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 4.221 TDMA_IRQ_STAT_ACK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3	T3_EN	対応するイベントの割り込み保留表示です。 ^{注1} TDMA サイクル T3 オフセットに到達すると対応するビットが High にラッチされます。本ビットをクリアするには“1”を書き込みます。 備考) ラッチは TDMA_IRQ_CONTROL レジスタとは関係なく動作します。つまり、割り込みが禁止されていてもイベント発生をチェックが可能です。	R/W
b2	T2_EN	対応するイベントの割り込み保留表示です。 ^{注1} TDMA サイクル T2 オフセットに到達すると対応するビットが High にラッチされます。本ビットをクリアするには“1”を書き込みます。 備考) ラッチは TDMA_IRQ_CONTROL レジスタとは関係なく動作します。つまり、割り込みが禁止されていてもイベント発生をチェックが可能です。	R/W
b1	T1_EN	対応するイベントの割り込み保留表示です。 ^{注1} TDMA サイクル T1 オフセットに到達すると対応するビットが High にラッチされます。本ビットをクリアするには“1”を書き込みます。 備考) ラッチは TDMA_IRQ_CONTROL レジスタとは関係なく動作します。つまり、割り込みが禁止されていてもイベント発生をチェックが可能です。	R/W
b0	CYCLE_EN	TDMA サイクルが開始したときの割り込みを許可します。 この割り込みは各サイクルで発生します。 備考) スケジューラを有効にした後に最初のサイクルが開始したとき（つまり TDMA_START の時点）もアサートされます。	R/W

注1. 「4.4.218 TDMA_IRQ_CONTROL — TDMA 割り込みコントロールレジスタ」を参照してください。

4.5 動作説明

4.5.1 イーサネットフレームフォーマットの概要

4.5.1.1 概要

IEEE 802.3 規格によってイーサネットフレームフォーマットが定義されています。プリアンブルと SFD バイトを除いて、1つのイーサネットフレームの最小長は 64 バイト、最大長は 1518 バイトです。各イーサネットフレームは以下のフィールドで構成されています。

- 7 バイトのプリアンブル
- スタートフレームデリミタ (SFD)
- 2つのアドレスフィールド
- 長さ/タイプフィールド
- データフィールド
- フレームチェックシーケンス (CRC 値)
- 半二重の実装専用に拡張フィールドが定義されていますがサポートされていません。

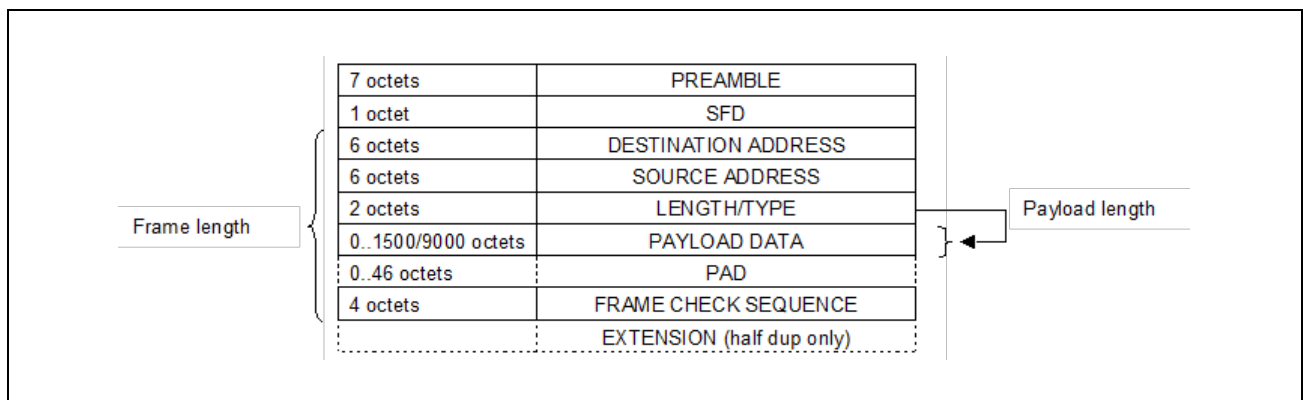


図 4.2 MAC フレームフォーマットの概要

オプションで MAC フレームには VLAN タグを付加できます。その場合、追加の 4 バイトフィールド (TPID と VLAN 情報) が MAC 送信元アドレスとタイプ/長さフィールドの間に挿入されます。VLAN タグは IEEE P802.1Q 仕様で定義されています。VLAN タグが付加されたフレームの最大長はプリアンブルと SFD バイトを除いて 1522 バイト (タグ付きの標準フレーム) または 9022 バイト (タグ付きのジャンボフレーム) です。

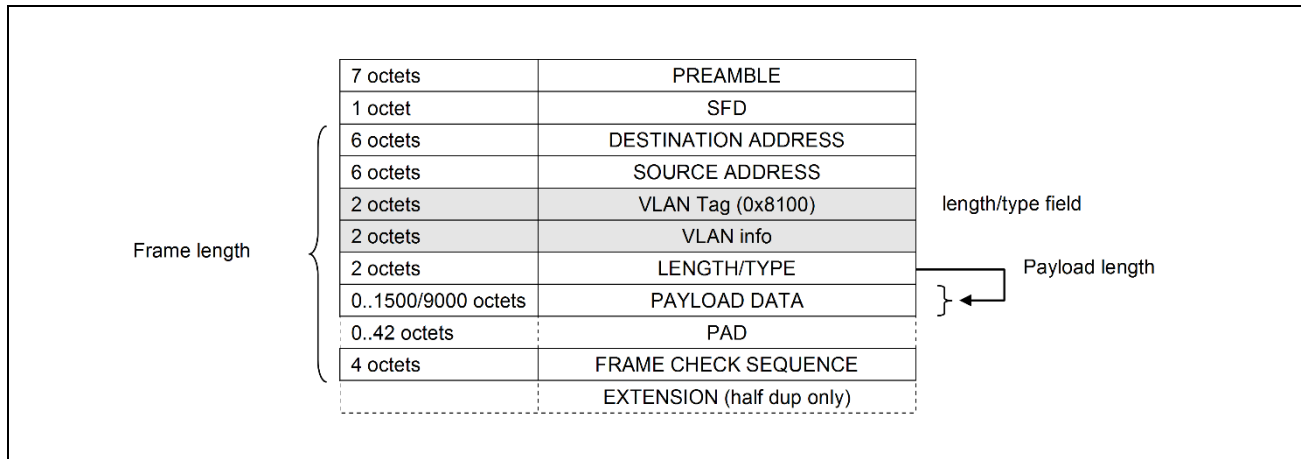


図 4.3 VLAN タグ付き MAC フレームフォーマットの概要

表 4.222 MAC フレームの定義

用語	説明
フレーム長	プリアンブルと SFD を除いたフレーム全体の長さをオクテット単位で示します。フレーム長は、64 オクテット以上であり設定された最大長 (通常 1518) を超えていなければ有効です。
ペイロード長	長さ/タイプフィールドはフレームのペイロード部の長さまたはフレームのタイプを示します。最上位バイトが最初に送受信されます。 <ul style="list-style-type: none"> 長さ/タイプフィールドが 1536 (0x600) よりも小さい値に設定されると、長さフィールドであると認識され、後続のペイロードのオクテット数を示します。 <p>備考) 長さ/タイプフィールドが 46 未満の場合、最小フレーム長要件 (64 バイト) を満たすためにペイロードがパディングされていることを意味します。VLAN タグが付加されたフレームの場合は、値が 42 未満の場合にフレームがパディングされています。</p> <ul style="list-style-type: none"> 長さ/タイプフィールドが 1536 (0x600) 以上の値に設定されると、タイプフィールドと認識されます。
宛先アドレスと送信元アドレス	48 ビットの MAC アドレスです。最下位のバイトが最初に送受信されます。MAC アドレスの最初の 2 ビット (最下位の 2 ビット) は MAC フレームを区別するために使用されます。

通常のイーサネットスイッチングアプリケーションでは、MAC はフレームを受信するとすべて受け付け (プロミスキャスモード)、フレームの FCS をチェックしてから FCS を変更せずに FCS フィールドを付けてフレームをスイッチに転送するようにプログラムしてください。送信時は、MAC はスイッチから受け取った送信元 MAC アドレスを上書きせず、スイッチから受け取った FCS を付加してフレームを送信するようにプログラムしてください。

ただしスイッチ内のフレーム操作機能を使用する場合は、CRC を MAC レシーバによって削除してください。MAC トランスミッタが CRC を付加します。

4.5.1.2 MACアドレスの概要

宛先アドレスのビット0はマルチキャストアドレスとユニキャストアドレスを区別するために使用されま

す。

- ビット0が“0”にセットされている場合は、MACアドレスは個別の（ユニキャスト）アドレスです。
- ビット0が“1”にセットされている場合は、MACアドレスはグループアドレス（マルチキャストアドレス）です。
- MACアドレスの48ビットすべてが“1”にセットされている場合は、ブロードキャストアドレスです。

また、MACアドレスの最初の24ビットはベンダIDです。

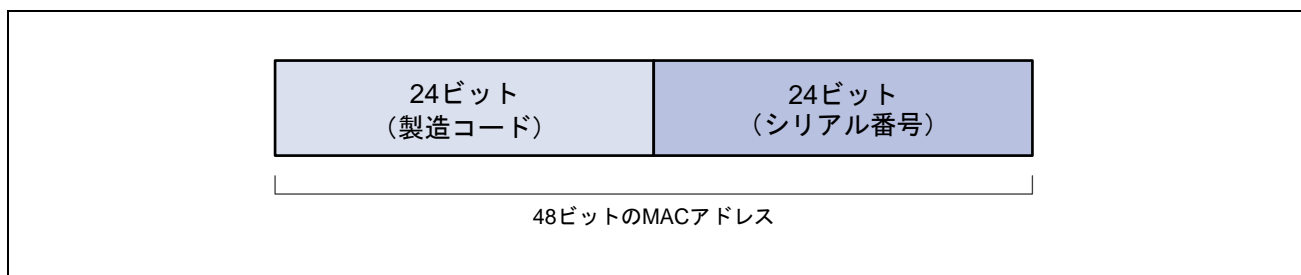


図 4.4 MACアドレスの概要

4.5.1.3 VLAN タグの概要

VLAN タグが付加されたフレームには16ビットのVLAN情報フィールドが含まれています。VLANプライオリティ解決（「4.5.3.5(2) VLANプライオリティルックアップ」参照）のために、スイッチはVLAN情報フィールドの最初のワード（オクテット）の上位4ビットを使用します。つまり3ビットのプライオリティフィールドと1ビットのCFIフィールドを使用してプライオリティクラス分けを行います。

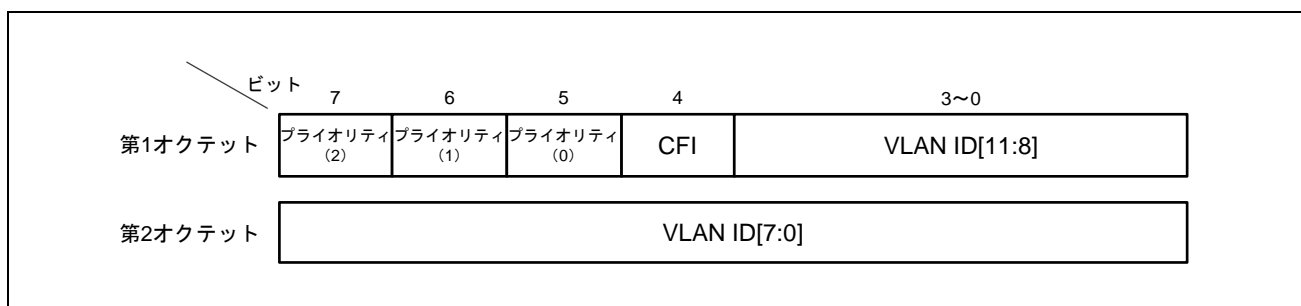


図 4.5 VLAN情報フィールド

4.5.1.4 PAUSE フレーム

受信デバイスが PAUSE フレームを生成して送信デバイスに輻輳状態を通知すると送信デバイスはデータの送信を停止します。

長さ/タイプフィールドに 0x8808 を設定すると PAUSE フレームになります。タイプに続く PAUSE フレームの最初の 2 バイトは 16 ビットの opcode フィールドであり、その値は常に 0x0001 です。16 ビットの中断時間はフレームペイロードのバイト 2 (P1 バイト) とバイト 3 (P2 バイト) で以下の表のように指定されています。中断時間の P1 バイトが最上位バイトです。

表 4.223 PAUSE フレームのフォーマット (値は 16 進数)

1	2	3	4	5	6	7	8	9	10	11	12	13	14
55	55	55	55	55	55	55	D5	01	80	C2	00	00	01
プリアンブル							SFD	マルチキャスト宛先アドレス					
15	16	17	18	19	20	21	22	23	24	25	26	27 - 68	
00	00	00	00	00	00	88	08	00	01	上位	下位	00	
送信元アドレス						タイプ		Opcode		P1	P2	パッド (42)	
69	70	71	72										
xx	xx	xx	xx										
CRC-32													

PAUSE フレームにはペイロード長フィールドがありません。また PAUSE フレームには常に 42 バイトのパディング (0x00) が付加されます。0 よりも大きい中断値 (XOFF 状態) を持つ PAUSE フレームを受信すると、MAC は送信中フレームの送信終了後すぐにデータ送信を停止します。MAC は中断時間で指定された時間だけデータ送信を停止します。中断時間の 1 単位は 512 ビット時間に相当します。

PAUSE フレームは MAC レイヤで終端し、スイッチによって転送されません。

4.5.2 IP フレームフォーマット

4.5.2.1 定義

以降の項では「データグラム」はコンテナエンティティのペイロード部分にあるプロトコル特有のデータユニットを意味します。

たとえば IP データグラムはイーサネットフレームのペイロード部分を意味します。また TCP データグラムは IP データグラム内のペイロード部分を意味します。

4.5.2.2 イーサネットタイプ

IP データグラムはイーサネットフレームのペイロード部分で送信されます。イーサネットフレームのタイプ / 長さフィールドはデータグラムタイプを区別するために使用されます。次の表に主なタイプを列挙します。

表 4.224 イーサネットタイプ値の例

タイプ	説明
8100h	VLAN タグが付加されたフレーム。実際のタイプはフレーム内の 4 オクテット先に設定されています。
0800h	IPv4
86DDh	IPv6
8808h	MAC コントロールフレーム (遅いプロトコル、フローコントロール)

4.5.2.3 IPv4 データグラムのフォーマット

下の図 4.6 に IP データグラムの先頭にある IP バージョン 4 (IPv4) のヘッダを示します。32 ビットのワード単位で構成されています。下の図で示されているように、最上位ビットはビット 31 です。最初に送受信されるバイトは最初のワードの左側のバイトです (バージョンフィールド、IHL フィールド)。

IP ヘッダにはさらにオプションを含めることができます。ヘッダに続くペイロードが 32 ビット境界から開始するように、必要な場合は常にヘッダにパディングが付加されます。

IP ヘッダの直後からペイロードが続きます。ペイロードにはプロトコルフィールド値に応じて TCP や UDP などのプロトコルヘッダをさらに含めることができます。IP データグラム全体がイーサネットフレームのペイロード部分で送信されます。

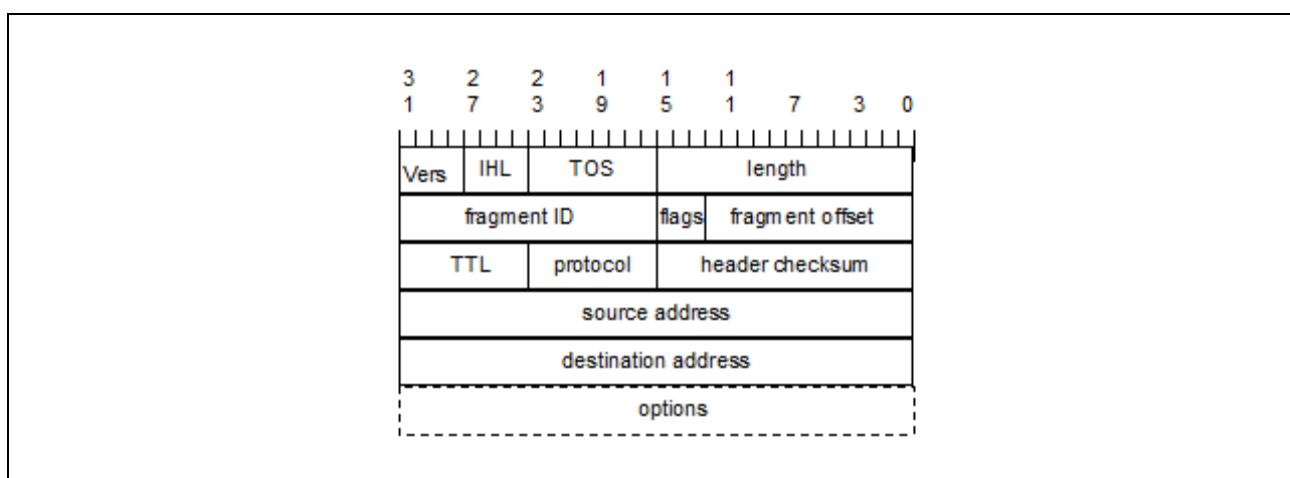


図 4.6 IPv4 ヘッダフォーマット

表 4.225 IPv4 ヘッダフィールド

フィールド名	説明
Vers	4 ビットの IP バージョン情報です。IPv4 フレームの場合は 4 です。
IHL	4 ビットの IP ヘッダ長情報です。IP ヘッダ内の 32 ビットワードの数を示します。オプションが含まれない場合のデフォルト値は 5 です。
TOS	サービスタイプ/DiffServ フィールド
Length	バイト単位のデータグラム全体の長さです。ヘッダとペイロードのすべてのオクテットが含まれます。
Fragment ID, flags, fragment offset	IP フラグメンテーションに使用されるフィールドです。
TTL	生存時間。0 の場合はデータグラムを廃棄する必要があります。
プロトコル	データグラム内に続くペイロードプロトコルのプロトコル識別子です。
Header checksum	全 IP ヘッダフィールドのチェックサムです。
転送元アドレス	送信元 IP アドレス
転送先アドレス	宛先 IP アドレス

4.5.2.4 IPv6 データグラムのフォーマット

下の図 4.7 に IP データグラムの先頭にある IP バージョン 6 (IPv6) のヘッダを示します。32 ビットのワード単位で構成され、その長さは 10 ワード (40 バイト) 固定です。

next header フィールドは IPv6 ヘッダに続くヘッダのタイプを示します。IPv4 のプロトコル識別子と同様に定義されていますが、いわゆる拡張ヘッダを指定するための新しい定義が追加されています。拡張ヘッダは IPv6 ヘッダとプロトコルヘッダの間に挿入され、その際プロトコルヘッダは後ろにずれます。

下の図で示されているように、最上位ビットはビット 31 です。最初に送受信されるバイトは最初のワードの左側のバイトです (バージョンフィールド、トラフィッククラスフィールド)。

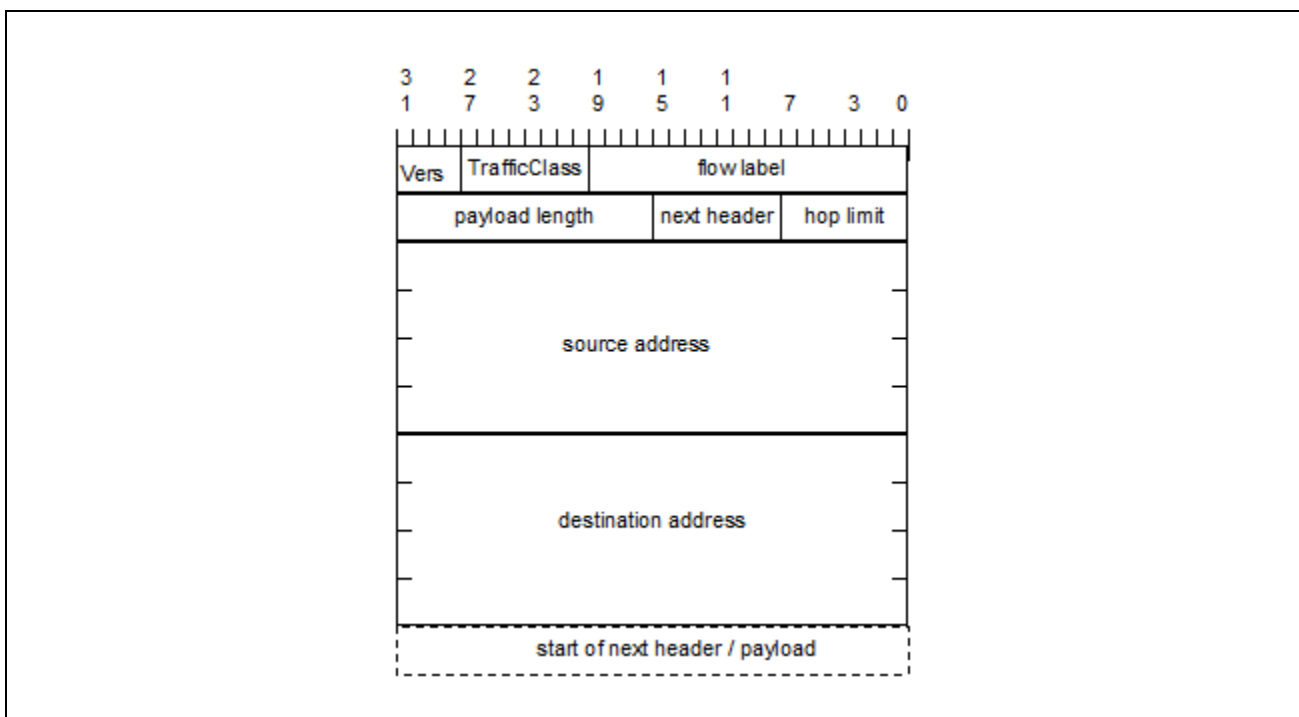


図 4.7 IPv6 ヘッダフォーマット

表 4.226 IPv6 ヘッダフィールド

フィールド名	説明
Vers	4 ビットの IP バージョン情報です。IPv6 フレームの場合は常に 6 です。
Traffic Class	トラフィッククラスを指定する 8 ビットフィールドです。
Flow Label	同じフロー内のフレームを識別するための 20 ビットのフローラベルです。
ペイロード長	データグラムペイロードの長さをバイト単位で示す 16 ビットフィールドです。IPv6 ヘッダに続くすべてのオクテットが含まれます。
Next Header	IPv6 ヘッダに続く次のヘッダを示します。プロトコルヘッダまたは IPv6 で定義された任意の拡張ヘッダです。
Hop limit	ホップカウンタです。ステーションからフレームが転送されるごとに 1 つカウントダウンされます。Hop limit が 0 になるとフレームを廃棄する必要があります。
送信元アドレス	128 ビットの IPv6 送信元アドレス
宛先アドレス	128 ビットの IPv6 宛先アドレス

4.5.3 スイッチ機能の説明

4.5.3.1 概要

本スイッチには次の主要機能が実装されています。

- VLAN 入出力処理
- 入力フレームの解析とプライオリティ抽出
- 入力ポート選択
- 出力ポート解決
- フレームキューイング
- 出力キュースケジューリング

ファームウェアとスイッチングハードウェアの組み合わせによって完全なイーサネットスイッチングソリューションが提供されます。

4.5.3.2 VLAN 入力処理機能

(1) 概要

VLAN 入力処理機能はスイッチに入力されるフレームの VLAN タグを各スイッチ入力ポートごとにチェックして操作するために使用します。下記の機能を実行します。

- 入力フレームの解析
- VLAN タグの挿入と操作

入力処理機能の情報に基づいて、フレームは対応する出力ポートにスイッチングされるか、あるいは廃棄されます。

VLAN 入力処理は BPDU フレームに対しては実行されません。

(2) 用語と定義

- VLAN 情報 フレーム内で VLAN タイプフィールドに続く 16 ビットフィールドです。
- VLAN ID VLAN 情報フィールドの下位 12 ビットです。
- VLAN プライオリティ VLAN 情報フィールドの上位 3 ビットです。受信フレームの優先度設定に使用されます。0 の値は最も低いプライオリティであり、7 の値が最も高いプライオリティです。

(3) 設定情報

スイッチ管理機能には機能動作を設定し制御するための以下の情報があります。

- SYSTEM_TAGINFO[n] 16 ビットの値です。タグ挿入処理で使用される VLAN 情報フィールド (VLAN ID とプライオリティ) です。
- 動作モード さまざまな動作モードがあり、ポートで受信したフレームをどのように処理するかを規定します。この機能は各ポート個別に有効にして設定できます。VLAN_IN_MODE^{注1}レジスタと VLAN_IN_MODE_ENA^{注2}レジスタの説明を参照してください。

注1. 「4.4.11 VLAN_IN_MODE — VLAN 入力操作モードレジスタ」を参照してください。

注2. 「4.4.13 VLAN_IN_MODE_ENA — VLAN 入力モードイネーブルレジスタ」を参照してください。

注 意

VLAN 入力処理機能が有効になっていない場合（ポートの VLAN_IN_MODE_ENA ビット=0）、モード設定をしても無効です。

(4) 動作モード

VLAN 入力処理機能はフレームがスイッチングエンジンに入る前にフレームに変更を加えます。つまり、VLAN タグが挿入されていると、スイッチは挿入された VLAN タグ（プライオリティなど）のみを処理し、変更前のフレーム内の元のタグは、たとえ存在していても、スイッチ内で効力を発揮しません。

さらに、ポートで VLAN 検証が有効になっている場合（「4.4.5 VLAN_VERIFY — VLAN ドメイン検証」を参照）、タグが挿入されているフレームをスイッチが受け付けるには、グローバル VLAN 解決テーブル（「4.4.51 VLAN_RES_TABLE[n] — 32 個の VLAN ドメインエントリ (n=0~31)」を参照）に挿入された VLAN ID (SYSTEM_TAGINFO[n]) が設定されている必要があります。

いずれのモードにおいても、タグが挿入される場合は常に最初（外側）のタグとして挿入され、その情報フィールドはフレームを受信したポート[n]に対応する SYSTEM_TAGINFO[n]レジスタの設定に従って設定されます。

入力操作はポートごとに VLAN_IN_MODE_ENA レジスタによって有効にすることが可能であり、ポートごとのモードは VLAN_IN_MODE レジスタによって設定されます。

表 4.227 入力操作モード

モード	VLAN_IN_MODE のビット[1:0]	説明
1	00b	単一タグ付加、パススルー/VID 上書き タグがないフレームにタグを挿入します。 タグがあり VID>0 の場合はフレームを変更しません。 タグがあり VID=0 の場合（プライオリティタグ）、SYSTEM_TAGINFO の VID によって VID を上書きし、プライオリティはそのままにします。
2	01b	単一タグ付加、入れ替え タグがない場合はタグを追加し、タグが1つある場合は上書きします。
3	10b	常にタグ付加 常にタグを挿入します。その結果、タグがないフレームの受信時は単一タグフレームになり、単一タグフレームの受信時は二重タグフレームになります（二重タグフレームの受信時は三重タグフレームになります）。
4	11b	予約されています。 このモードは実装されていません。設定しないでください。

4.5.3.3 VLAN 出力処理機能

(1) 概要

VLAN 出力処理機能はスイッチから送信されるフレームの VLAN タグを操作するためにスイッチ出力ポートで使用します。フレームは出力処理モードとフレームに含まれるタグの数に基づいて処理されます。

VLAN 出力処理は BPDU フレームに対しては実行されません。

(2) 設定情報

スイッチ管理機能には機能動作を設定し制御するための動作モード情報があります。3つの動作モードがあり、それぞれが送信フレームの処理の方法を規定します。

(3) 動作モード

VLAN 出力処理機能は次のモードのうちいずれかで動作するように設定されます。モードは送信フレームの扱い方を規定します。

(a) モード 0：無効

フレーム操作は行われません。

(b) モード 1：ストリップモード

ストリップモードではすべてのタグ（単一でも二重でも）がフレームから削除されます。

(c) モード 2：タグスルーモード

常に最初のタグだけをフレームから削除します。タグスルーモードでは、二重タグフレームの内側のタグはそのまま転送され、外側のタグが削除されます。次のルールが適用されます。

- 単一タグフレームの受信時はタグをフレームから削除します。
- 二重タグフレームの受信時は外側のタグをフレームから削除します。

(d) モード 3：VLAN ドメインモード／トランスペアレントモード

VLAN ドメインモードでは、ポートに対して VLAN がタグなしと指定されている場合、フレームの最初のタグが削除されます（モード 2 と同じ）。次のルールが適用されます。

- VLAN テーブル（「4.5.3.9(3)(b) VLAN ドメイン解決/VLAN テーブル」を参照）内にフレームの VLAN ID が見付き、ポートで VLAN 用にタグを付与するように指定されている場合、フレームは変更されません。
- VLAN テーブル内にフレームの VLAN ID が見付き、ポートで VLAN 用にタグを付与しないように指定されている場合、最初の VLAN タグがフレームから削除されます。
- VLAN テーブル内にフレームの VLAN ID が見つからない場合、フレームは変更されません。

注 意

VLAN テーブルは第 2 ポートマスクによって拡張され、各ポートの各エントリに対して（メンバポートマスクのほか）にタグ付きビットを保存します。このタグ付きビットマスクは、VLAN_RES_TABLE レジスタに書き込むときにコントロールビット[30:28]を使用してアクセスします。

4.5.3.4 フレームスヌープ

(1) 概要

管理目的でさまざまなプロトコルの特定のフレームを検査するために、フレームにマークを付けてスヌープすることができるプログラマブル汎用フレームパーサモジュールが実装されています。スヌープによって、たとえば検査用に管理ポートにフレームのコピーを送信し、フレーム自体は通常通り転送するなど、いくつかの機能が実現できます。

汎用的アプローチでは、フレーム内で複数の任意長のパターンを検索し、スヌープしたいフレームを特定（一致するものを見つける）ことが可能です。以下に汎用パーサの使い方例をいくつか列挙します。

- 特定のイーサネットタイプのフレームにマークを付ける
- 特定のペイロード内容のフレームにマークを付ける
- 任意の IP プロトコルおよびサブプロトコル（拡張ヘッダ）値の IP フレームにマークを付ける
- 特定のポート番号の TCP/IP フレームまたは UDP/IP フレームにマークを付ける
- ...

スヌープのためにフレームにマークが付けられると、そのフレーム自体が管理ポートに転送されたり、コピーが管理ポートに転送されたり、あるいはそのフレームが廃棄されます。

設定されたルールに一致しないフレームは通常通り処理されます。管理ポート自身から出力されたフレームに対してはスヌープルールが無視されます（フレームが管理ポートへ再びルーティングされるのを回避するため）。ただし必要であれば管理ポートに強制転送メカニズムを使用して、すべてのフレームを特定の出力ポートに転送することも可能です。

この機能はレジスタマップの GPARSER[n] レジスタと GARITH[n] レジスタによって設定され、管理ポートは MGMT_CONFIG レジスタによって定義されます。

(2) スヌープデータフローの説明

下の図はスヌープのためにフレームにマークを付けるための機能を示します。すべてのフレームが、個別に設定できる最大 8 個のパーサによって平行して検査されます。これらパーサはフレーム内の特定の位置で 1～16 ビットの特定のパターンとの比較を行い、パターンと一致した場合に報告します。

各パーサの一致結果が演算ブロックに渡され、演算ブロックが最大 4 個のパーサの結果に対してブール演算を実行して最終一致結果を導き出します。2 個の演算モジュールがあり、個別に設定できます。

どちらかの演算ブロックが一致を報告すると、転送元スイッチに対してフレームの最終的なスヌープ判断が提供されます。

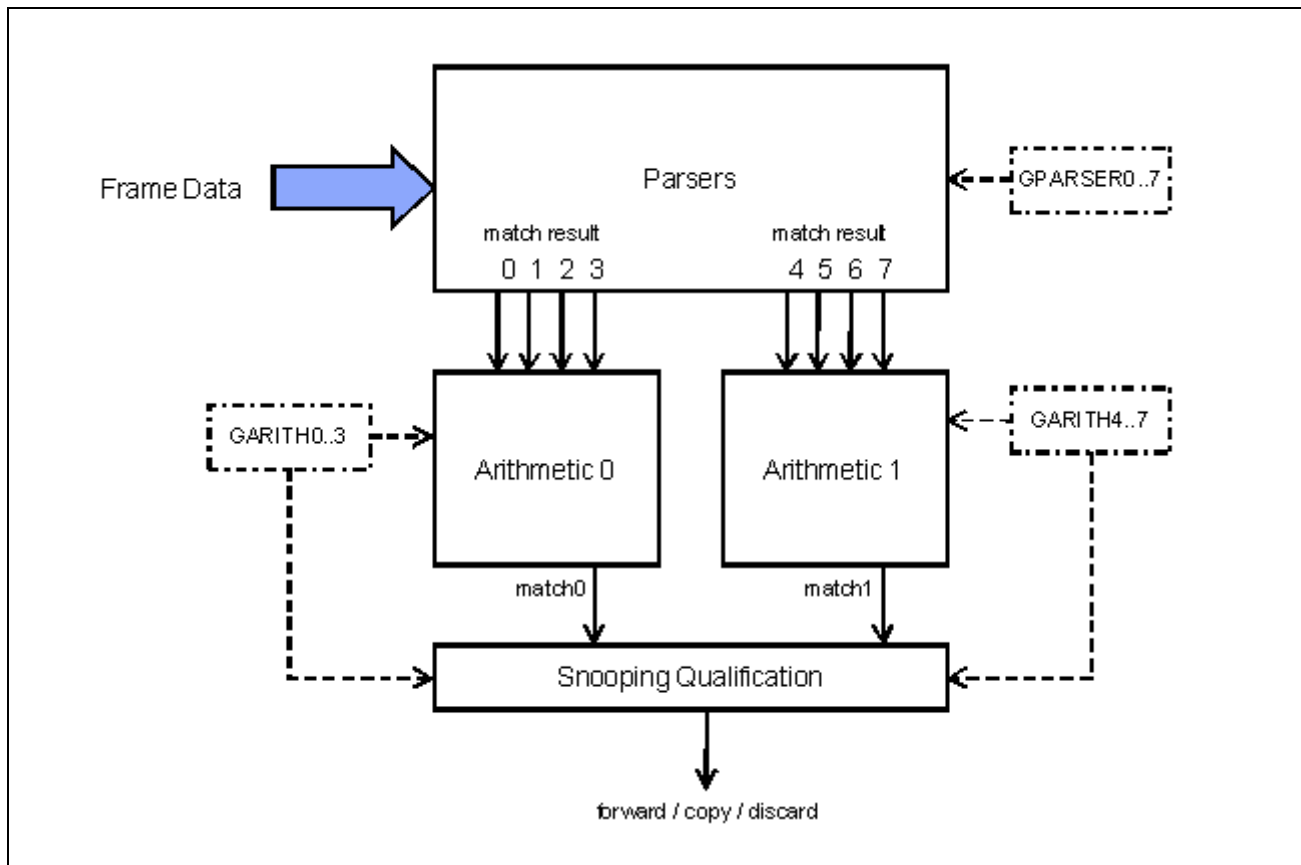


図 4.8 スヌープ機能の概要

(3) 汎用パーサ

各パーサは GPARSER[n] レジスタ (n=0~7) の設定に従ってフレームを検査できます。下図で各設定の意味を示します。

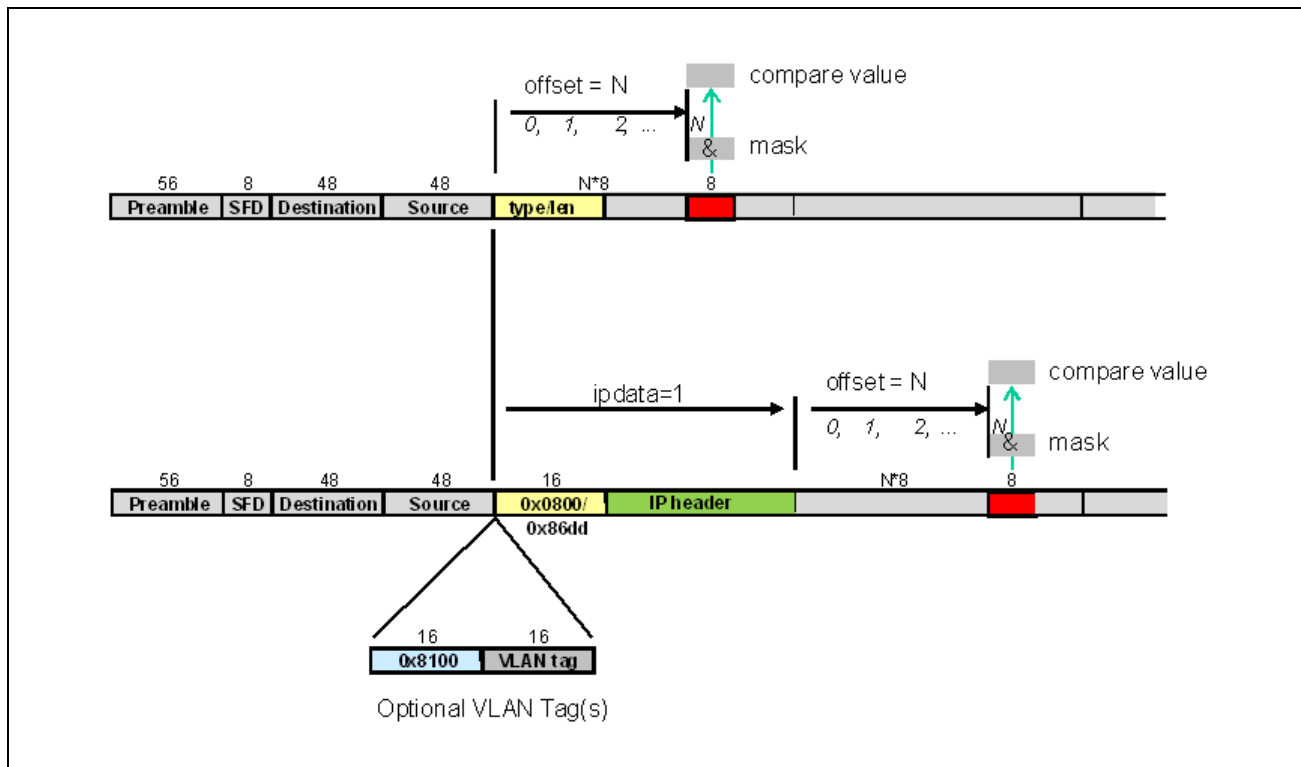


図 4.9 汎用パーサの設定パラメータ

パーサは次のように動作します。

1. フレームの指定オフセットからバイトデータを抽出します。オフセットの開始位置として、MAC 送信元アドレスの後、オプションの VLAN タグの後、または IP ヘッダの後を指定できます。
2. 次にバイトデータに対してビットマスク (AND) を適用し、無視するビットを除外します。
3. 次にその結果を指定されたパターン (比較値) と比較します。パターンと一致した場合、一致表示が作成されます。

マスクして比較する機能の代わりに、別の比較オプションとして、16 ビット値 (タイプの比較など) と比較することができ、あるいは 2 つの異なるバイト値と交互に (OR) 比較することもできます。

(4) パーサの制限

パーサがフレームを検査するときに制限があります。制限に達するとパーサが非アクティブの場合と同様に無視され、フレームは通常通り転送されます (「不一致」として扱われます)。

制限は以下のとおりです。

- 検査対象となりうるバイトは、最大でフレームの宛先アドレスの最初のバイトの後ろの 67 番目の位置までです。オフセットと VLAN タグなどを合わせてこの制限を超えると、フレームに対してスヌープが機能しなくなる可能性があります。
- フレームの最後の 8 バイト内のバイトは検査できません。つまり、CRC フィールドの最終バイトが比較対象バイトの次のバイトから数えて 8 バイト以内の場合です。

(5) 演算機能

4つのパーサの一致結果が演算モジュールに接続され、演算モジュールがパーサの結果を組み合わせて最終一致判断を行います。

演算機能には4つのステージ（下の図の arith0、1、2、3）があり、各ステージのブール演算によってパーサの結果を複雑に組み合わせることができます。各ステージで以下の項目を設定できます。

- パーサの一致結果（一致）またはその反転（不一致）を選択
- 前のステージの結果を選択（後ろの3ステージ（arith1、2、3）のみ）
- 選択した入力を OR で組み合わせるか AND で組み合わせるかを指定、またその結果を反転するかどうかを指定

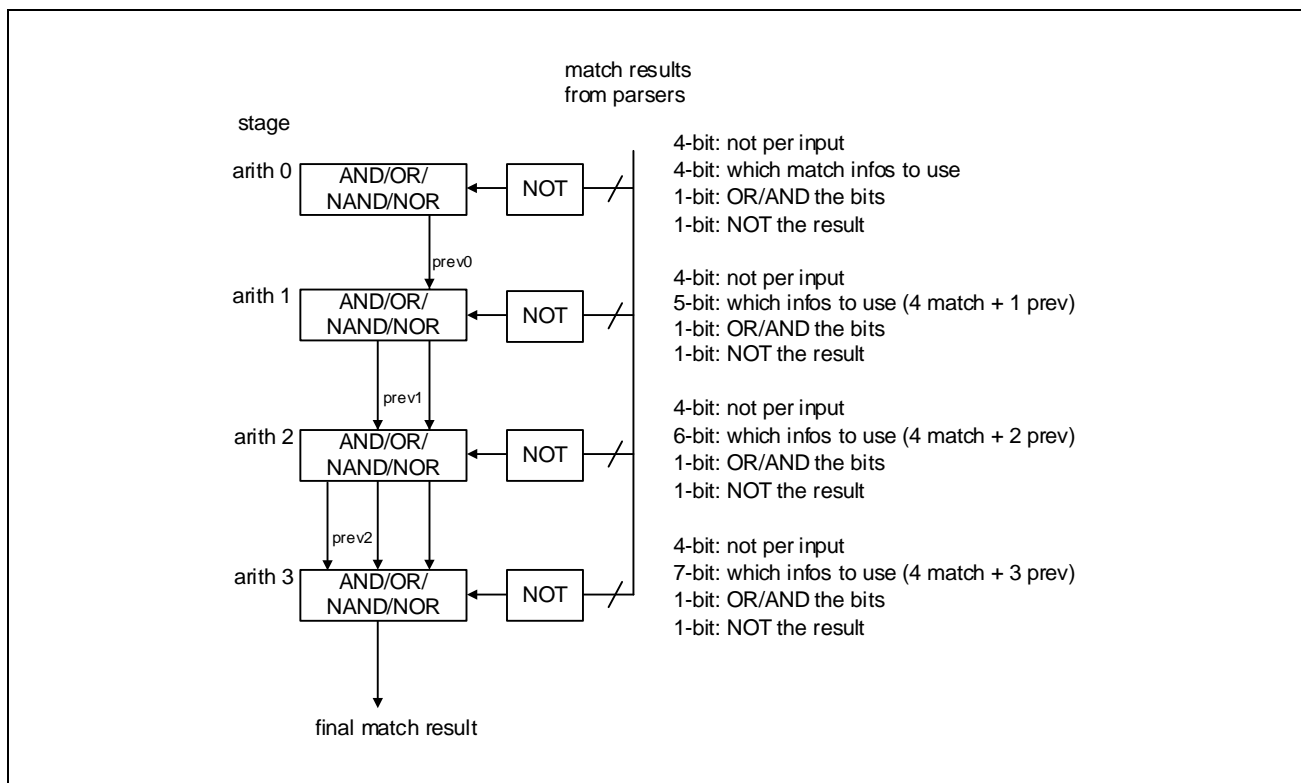


図 4.10 スヌープ演算機能

最初の4パーサ（0～3）の演算機能はGARITH0～3レジスタで設定します。次の4パーサ（4～7）の演算機能はGARITH4～7レジスタで設定します。

最終ステージ（arith3、GARITH3レジスタまたはGARITH7レジスタ）の設定にはスヌープ機能の設定ビットも含まれています。この設定によってフレームを最終的に管理ポートに転送するか、コピーするか、あるいは廃棄するかが指定されます。

(6) スヌープ評価

演算モジュールの後の最終ステージで両方の演算機能の結果を評価し、スイッチがフレームをどのように処理すべきかについての最終判断を行います。

1. フレームを管理ポートのみに転送
2. フレームを通常通り転送し管理ポートにもコピー
3. フレームを廃棄

1つのフレームに対して両方の演算機能が一致したが設定されているスヌープ処理が異なる場合、番号が小さいほうの処理が実行されます（管理ポートのみに転送、コピー、廃棄の順）。

4.5.3.5 フレームクラス分けとプライオリティ解決

(1) 概要

入力ポートがフレームを受信すると、イーサネット MAC アドレス、VLAN タグ、IP ヘッダなど、フレームからいくつかの情報を抽出してフレームタイプを特定し、関連するクラス分け動作を実行します。

さらに、スイッチ管理で MAC アドレステーブルが設定されていると（静的エントリ）、MAC アドレステーブルによって宛先 MAC アドレスに対するプライオリティが指定されます。

フレームは高プライオリティフレームまたは低プライオリティフレームにクラス分けされ、出力ポートの対応するプライオリティのキューに入れられます。キュー番号が大きいほどプライオリティが高くなります。

(2) VLAN プライオリティルックアップ

各ポートに対して 8 エントリのプログラマブルなプライオリティテーブルが実装されています。

VLAN_PRIORITY[n]レジスタにポート[n]のプライオリティマッピングが含まれています。スイッチは VLAN タグ情報の 3 ビット（3 ビットの VLAN プライオリティ。「4.5.1.3 VLAN タグの概要」を参照）を使用してテーブルから対応するビットを抽出し、このビットによってフレームの最終的なプライオリティが決まります。

マッピングテーブルのインデックスは VLAN タグデータの最初のオクテットの 3 ビットです。ビット 5

（Prio0）が LSB でビット 7（Prio(2)）が MSB です（VLAN タグの詳細については「4.5.1.3 VLAN タグの概要」を参照）。

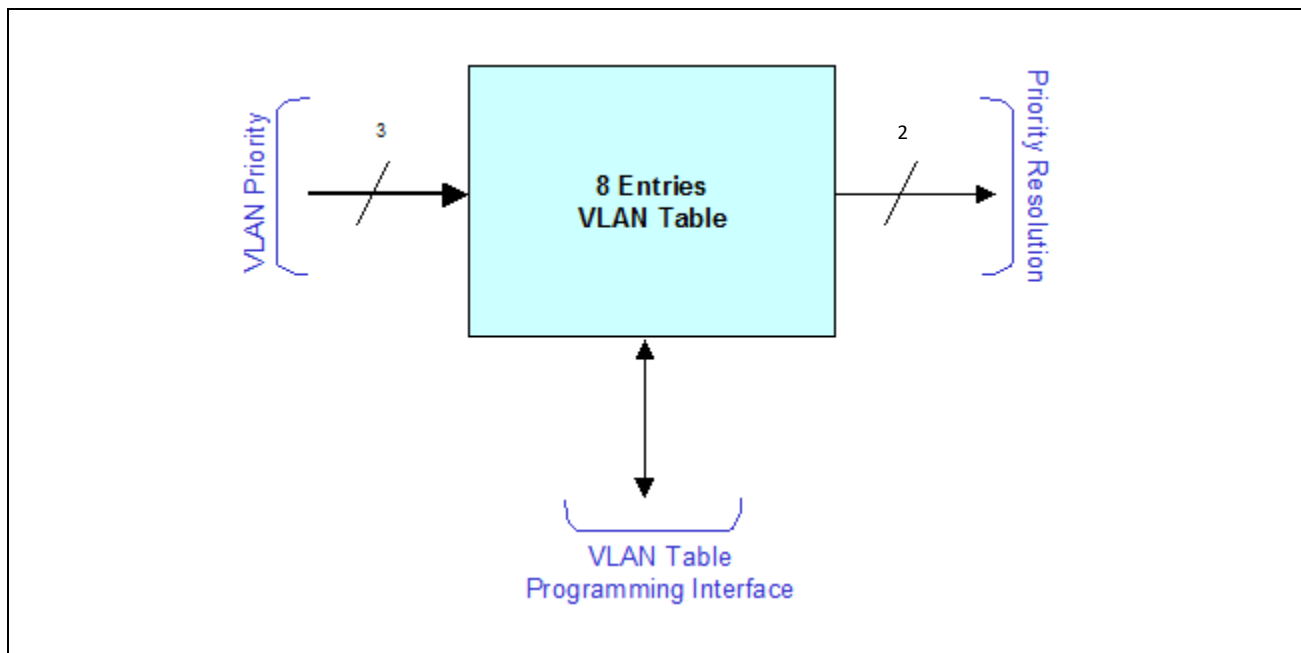


図 4.11 VLAN テーブルの概要

(3) IPv4 と IPv6 のプライオリティルックアップ

スイッチは IPv4 と IPv6 の両方のフレームをクラス分けできます。IPv4 フレームのクラス分けについては 64 エントリのテーブル、IPv6 フレームのクラス分けについては 256 エントリのテーブルが各ポートに実装されています (IP クラス分けテーブル) (「4.4.43 IP_PRIORITY[n] — IP プライオリティレジスタ[n] (n=0~4)」を参照)。

IPv4 クラス分けテーブルのエントリにはフレームの 6 ビットの DiffServ フィールドがあり、テーブルから 2 ビットのプライオリティ情報が返却されます。

IPv6 クラス分けテーブルのエントリにはフレームの 8 ビットの Traffic Class フィールドがあり、テーブルから 2 ビットのプライオリティ情報が返却されます。

注 意

テーブル内の 2 ビットによってキュー 0~3 が指定されます。

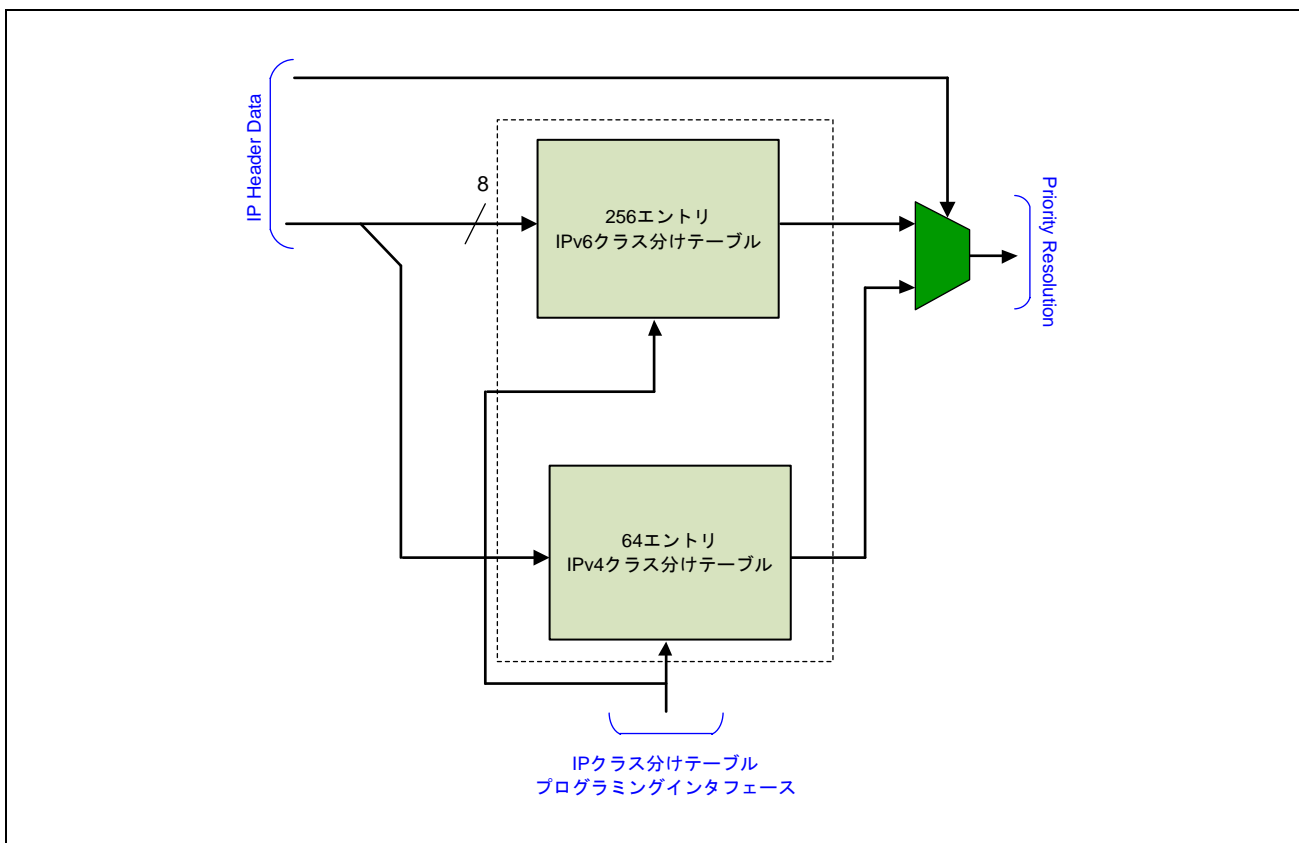


図 4.12 IP クラス分けテーブルの概要

(4) プライオリティ解決

ポート[n]のプライオリティ解決機能は各ポート独立に PRIORITY_CFG[n]レジスタによって設定可能であり、VLAN、IP アドレス、MAC アドレス、またはタイプに基づくクラス分けが有効または無効にされません。

さらにオプションの RX パターンマッチャ（「4.5.14 RX パターンマッチャ」を参照）を使用して、これをクラス分けよりも優先させることが可能です。

プライオリティ解決は、どのクラス分けが有効になっているか（PRIORITY_CFG[n]）およびフレームからのフィールドが見つかったかによって、以下の一連のルール（および順番）に従って実行されます。

- パターンマッチャのクラス分けが有効（PATTERN_CTRL[n].SET_PRIO）にされていて一致したとき、PATTERN_CTRL レジスタで指定されているプライオリティが使用され PRIORITY_CFG[n]の設定は無視されます。
- 上記に該当しない場合、IP クラス分けが有効になっていて IP ヘッダが見つかったとき → IP_PRIORITY テーブルに基づくプライオリティをマッピング
- 上記に該当しない場合、VLAN クラス分けが有効になっていて VLAN タグが見つかったとき → VLAN_PRIORITY テーブルに基づいてプライオリティをマッピング
- 上記に該当しない場合、MAC クラス分けが有効になっていて MAC アドレスが見つかったとき → アドレステーブルからプライオリティを取得
- 上記に該当しない場合、タイプクラス分けが有効になっていてフレームのタイプ（VLAN タグの後ろ）が PRIORITY_TYPE のエントリで指定されている値と一致したときは、一致した PRIORITY_TYPE からプライオリティを使用
- 上記に該当しない場合、管理ポートから BPDU フレームが送信され MGMT_CONFIG レジスタのプライオリティ設定が 0 でない場合、そのプライオリティを使用
- 上記に該当しない場合、PRIORITY_CFG で指定されているデフォルトプライオリティを使用

(5) ブリッジコントロールプロトコル識別

スパニングツリープロトコルなどのブリッジコントロールプロトコルを実装するために、スイッチに入力されるすべての管理フレーム（ブリッジプロトコルデータユニット、BPDU）にマークを付加する入力モジュールが実装されています。このマークを入力ポートブロック機能（「4.5.3.9(6)(b) 入力ポートのブロック」）で使用することによって、アドレスラーニング後にフレームを廃棄できます。

さらにこの機能の設定によって、すべてのフレームを通過させる、または管理フレームだけを通過させて（スパニングツリーポート状態の「ブロック」、「リスニング」、「ラーニング」など）他のすべてのフレームを廃棄するようにできます。

4.5.3.6 入力ポート選択

ポート選択機能は常時すべての入力ポートをチェック（ポーリング）し、データがないかを確認します。もしデータがあればそのポートを選択してフレームデータを読み出します。すべての入力は多重アクセスによって同時に処理され、フレームデータが共有メモリに保存されます。受信 FIFO がないため受信 FIFO から出力キューへのコピーが不要であり、転送遅延が非常に小さくなっています。

4.5.3.7 レイヤ 2 ルックアップエンジン

(1) 概要

スイッチはルックアップメモリを使用してアドレスを調べ、フレームの転送先ポートを判断します。ポート番号の代わりにポートマスクを使用することによって、フレームを 1 つまたは複数の宛先ポートに転送可能です（マルチキャストなど）。たとえばソフトウェアによって静的マルチキャストアドレス（複数）を追加し、そのマルチキャストドメインに登録したポートだけにトラフィックが転送されるようにできます。

宛先ルックアップとは別に、各受信フレームの送信元アドレスが検索され、送信元アドレスが見つかった場合、エントリの対応するエイジングビットがセットされます。エイジングビットは、エイジング処理によって使用されます。エイジング処理は本ビットによってエントリをメモリから削除するかどうかを判断します。エイジング処理は定期的に各エントリのエイジングビットをクリアし、エイジングビットがその後またセットされるかどうかをチェックします。ビットがセットされない場合、エントリが古くなったと考えられ、ルックアップメモリから削除することが可能です。

(2) ハッシュベースのルックアップ

ハッシュコードはフレームの宛先 MAC アドレスを使用して算出されます。ハッシュコードはテーブルのエントリ（アドレス）として使用されます。このテーブルには各ハッシュ値に対して宛先ポートマスクや有効性情報と共に MAC アドレスが格納されます。

1 つのハッシュコード値が複数の MAC アドレスに対応する場合がありますため、メモリは各ハッシュ値に対して最大 8 個の MAC アドレスエントリを実装します。これら MAC アドレスはリニアに検索されます。

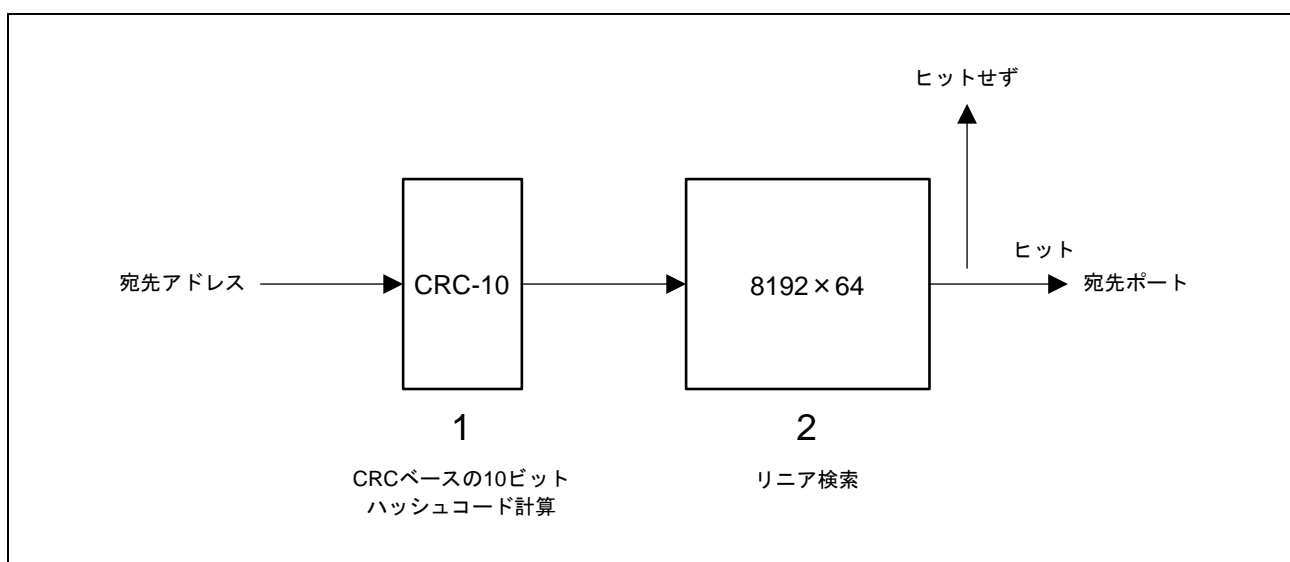


図 4.13 ポートルックアップの概要

(3) ハッシュコード

8192 エントリの MAC アドレステーブルのために、10 ビットのハッシュ値が 48 ビットの MAC アドレスから算出されます。ハッシュコードには CRC-10 を使用します。

$$x^{10} + x^9 + x^5 + x^4 + x + 1 \text{ (233h)}$$

(4) アドレスメモリ

アドレスメモリはブロックに分割されます。各ブロックには 8 レコードが含まれ、それぞれのレコードに 58 ビットの情報が含まれています。各レコードには 48 ビットの MAC アドレス（最初のバイトはビット [7:0]）、および転送、プライオリティ、またはエイジングに関する必要情報が含まれています。

レコードタイプとして以下の 2 つが定義されています。

- ダイナミックレコード

ダイナミックエントリには MAC アドレス、宛先ポート番号、およびエイジング情報が含まれています。これらエントリは受信フレームに対するラーニング機能によって作成されます。ダイナミックエントリは、更新されない場合はエイジング機能によって削除されます。

- スタティックなマルチポート／プライオリティレコード

スイッチ管理機能はテーブルにスタティックエントリを書き込むこともできます。スタティックエントリにはプライオリティ情報と転送のための複数の宛先ポートを含めることができます。MAC アドレスはユニキャストの場合とマルチキャストの場合があります。これらレコードは、特定のマルチキャストドメインに所属するポートを指定したり、フレームに MAC アドレスベースのプライオリティを割り当てるために使用できます。エイジング機能とラーニング機能はスタティックレコードを無視します。

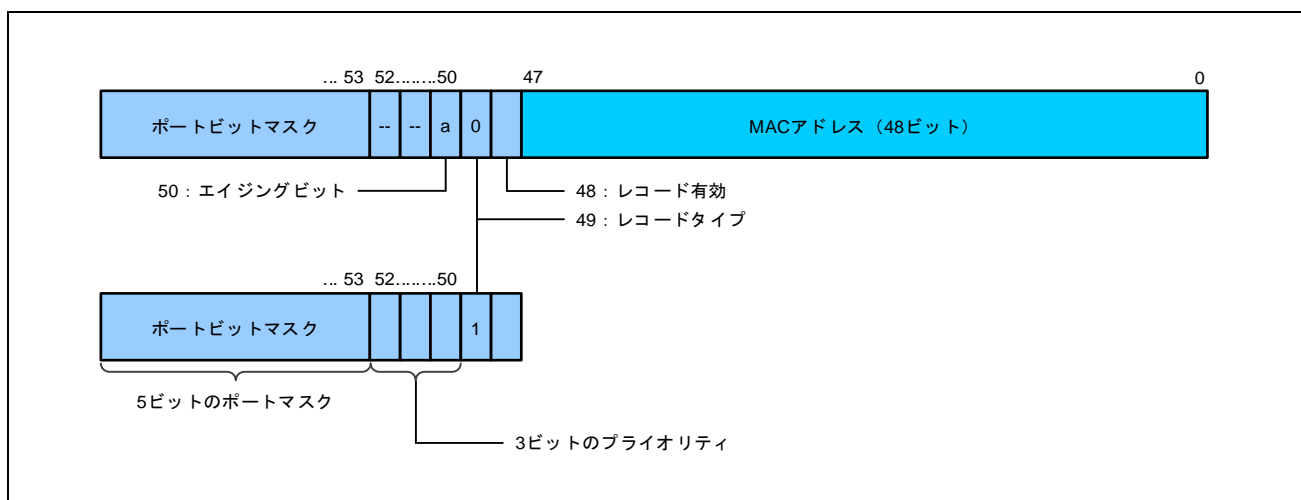


図 4.14 アドレスメモリレコードタイプ

レコードのビット 49 はテーブルで見つかったレコードがどちらのタイプであることを示します。

- 0 の場合はダイナミックエントリであり、その場合ビット 50 はエイジングビットになります。ビット 53 ~ 57 はどのポートで該当アドレスを受信したかを示します。
- 1 の場合はスタティックエントリであり、エントリ内には 3 ビットのプライオリティフィールドがあり、その後にはポートビットマスクが続きます（プライオリティは 4 段階のためビット 52 は無視されます）。

レコードのビット 53 はポート 0 を示し、ビット 54 はポート 1 を示します（以下同様）。フレームはポートビットマスクが 1 になっているすべてのポートに転送されます。送信元ポートは転送中にビットマスクから動的に削除されます（フレームは送信元ポートには決して転送されません）。

4.5.3.8 レイヤ 2 ルックアップエンジンの処理の説明

(1) 概要

ホスト CPU を使用してルックアップオプションを設定できます。スイッチはリセット後にアドレステーブルを自己初期設定して通常動作に戻ります。ルックアップとラーニングはプロセッサの関与なしにハードウェアによって完全自律的に実行されます。

プロセッサからのアドレステーブルへのいかなるメモリトランザクションもハードウェアの時間を消費しません。その結果フレーム転送に必要なルックアップのための時間が犠牲になることに注意してください。したがってスイッチ全般のパフォーマンスに影響するため、動作中は最小限に抑えるべきです。

(2) メモリ書き込み

メモリへの書き込みは 2 つのステップで実施されます。

1. LK_DATA_LO/HI レジスタに書き込みデータがセットされます。
2. LK_ADDR_CTRL レジスタに書き込むことによってトランザクションが開始します。

(LK_ADDR_CTRL への書き込みによって) トランザクションが開始すると、インタフェースコントローラはトランザクションが完了するまで一定の時間を必要とします。ソフトウェアは、レジスタに書き込むときに、LK_ADDR_CTRL レジスタのビジービットをポーリングするかまたは WAIT_COMPLETE ビットをセットできます。WAIT_COMPLETE ビットを使用するとトランザクションが完了するまで CPU がレジスタにアクセスできなくなります (プロセッサバスが待機状態になりプロセッサが動作できなくなります)。

(3) メモリ読み出し

メモリからの読み出しは書き込みと類似した 2 つのステップで実行されます。ただし最初にトランザクションが実行され、完了するとデータが LK_DATA_LO/HI レジスタに格納されます。

1. LK_ADDR_CTRL レジスタに書き込むことによって読み出しトランザクションが開始します。
2. トランザクションが完了するとデータが LK_DATA_LO/HI にセットされます。

(4) パワーオン初期化

パワーオンリセットの後でスイッチはルックアップテーブル機能のセルフ初期化を実行し、自動ラーニングを有効にします。ホスト CPU は必要に応じてスタティックテーブルエントリの追加などの他の設定を実行する場合があります。ラーニング機能と他のオプションはルックアップコントロール用の LK_CTRL レジスタで設定されます。

(5) MAC 宛先アドレスルックアップ

各フレームの 48 ビットの宛先 MAC アドレスが抽出されます。フレームがユニキャストフレームまたはマルチキャストフレーム（定義については「**4.5.1.2 MAC アドレスの概要**」を参照）の場合、ルックアップ機能の結果として 3 つの結果があり、それぞれにスイッチハードウェアが実行する異なる処理が関連付けられています。

1. テーブル内にアドレスが見つかった場合
スイッチはエントリのポートマスクが示すポートにフレームを転送します。
2. テーブル内にアドレスが見つかったがそのアドレスがアドレスを受信したポートに関連付けられている場合
スイッチはフレームを廃棄し、どのポートにも転送しません。
3. テーブル内にアドレスが見つからない場合
スイッチエンジンは、宛先アドレスのタイプに応じて以下に列挙されているすべてのポートへ受信フレームを送信します（フラッドイング）。
 - ユニキャストフレームについては UCAST_DEFAULT_MASK
 - マルチキャストフレームについては MCAST_DEFAULT_MASK

ブロードキャストフレームは常に BCAST_DEFAULT_MASK に列挙されているすべてのポートに送信されます。

どのデフォルトマスクもすべて 0 に設定するとフレームが廃棄されることに注意してください。

すべての場合において、フレームを受信したポートは最終的な転送ポートマスクから自動的に削除されます。

注 意

フラッドイングと追加のフレームフィルタリングは「**4.5.3.9(3) ブロードキャスト/マルチキャスト/VLAN ドメイン解決**」で説明されている仕組みによってさらに制御可能です。

(6) 自動ラーニング/マイグレーション

ハードウェアは受信フレームの送信元アドレスに対して自動ラーニングを実行できます。任意のポートからのフレーム受信時、前述の宛先アドレスのルックアップのほか、送信元アドレスがルックアップメモリで検索されます。

ラーニングが有効になっている場合（「**4.4.61 LK_CTRL — ラーニング/ルックアップ機能グローバルコンフィグレーションレジスタ**」を参照）、ハードウェアによって以下の処理が実行されます。

- スwitchの INPUT_LEARN_BLOCK レジスタをチェックします。ポートに対してラーニングが無効になっている場合は受信フレームの送信元アドレスが無視されます。
- フレームが管理フレーム（BPDU、「**4.5.3.9(6) ブリッジプロトコルフレーム解決**」を参照）のマーク付けをされている場合、送信元アドレスがラーニングされることはありません（INPUT_LEARN_BLOCK とは無関係）。
- 送信元のルックアップが成功すると、ポートマスクとフレームを受信したポート番号が比較されます。一致しない場合、転送ポートマスクが更新（マイグレーション）されます。ただしこれはエントリがダイナミックエントリの場合のみです。スタティックエントリは変更されません。
 - 冗長ポートの場合、ポートマスクの更新によって冗長ポートが既存のポートマスクに追加されます（OR 演算）。これによってシングルアタッチノードとダブルアタッチノードの自動ラーニングが可能になります（「**4.5.12 並列冗長プロトコル (PRP)**」を参照）。

- 送信元ルックアップが失敗すると、新規のアドレスがルックアップメモリに追加されます (LK_CTRL の設定で許可されている場合)。テーブルに空きがない場合、新規のエントリが任意のエントリと入れ替わり、マッチング用のハッシュ値は引き継がれます (つまりハッシュ値に対する 8 エントリのうち 1 つが削除)。
- エントリのエイジングビットがセットされます。エイジング機能は常にテーブルを走査してビットをクリアすることによって古いエントリを検出します。
- テーブル内に送信元アドレスが見つからない場合は割り込みが生成されます (これはラーニングによってアドレスが書き込まれたかどうかには依存しません)。「4.4.62 LK_STATUS — ステータスビットとテーブルオーバーフローカウンタ」を参照してください。

自動ラーニングが無効になっている場合、フレームの送信元アドレスはチェックされません。この場合、ルックアップメモリへのアドレスの設定 (スタティックな設定) はソフトウェア次第です。新規アドレス受信時は依然としてラーニング割り込みが発生します。

管理フレーム (BPDU、「4.5.3.9(6) ブリッジプロトコルフレーム解決」を参照) に対してはハードウェアによるラーニングは行われません。必要な場合はソフトウェアによって管理フレームの送信元アドレスを追加します。

(7) エイジング

エイジングとはテーブル内の古いエントリを削除することを意味します。エイジングは、次のように動作します。

1. 各エントリにエイジングビットが実装されています。受信フレーム内に送信元アドレスが見つかったときにこのビットがセットされます。
2. エイジング処理 (タイマ) はエントリをチェックするときエイジングビットをクリアします。エイジングビットがすでに 0 であるエントリを見つけるとそのエントリを削除します。
3. スタティックエントリはエイジング処理の影響を受けず常にそのまま残ります。

この処理は 1 度に 1 エントリずつバックグラウンドで継続的に実行されます。エイジング時間は秒単位から数分までの範囲で設定可能です (「4.4.67 LK_AGETIME — エイジングタイマの時間」を参照)。エイジングはソフトウェアによって完全に無効にすることも可能です。

4.5.3.9 フレーム転送タスク

(1) 概要

入力ポートが選択されると、フレームは必要に応じて対応する出力ポートに転送されます。出力ポート解決とスイッチングは、2 ステージの MAC 宛先アドレスルックアップの情報と、続いて実行される一連の解決機能に基づいて実行されます。これら機能はフレーム複製とフラッディングを制御する機能であり、後続の項で説明します。

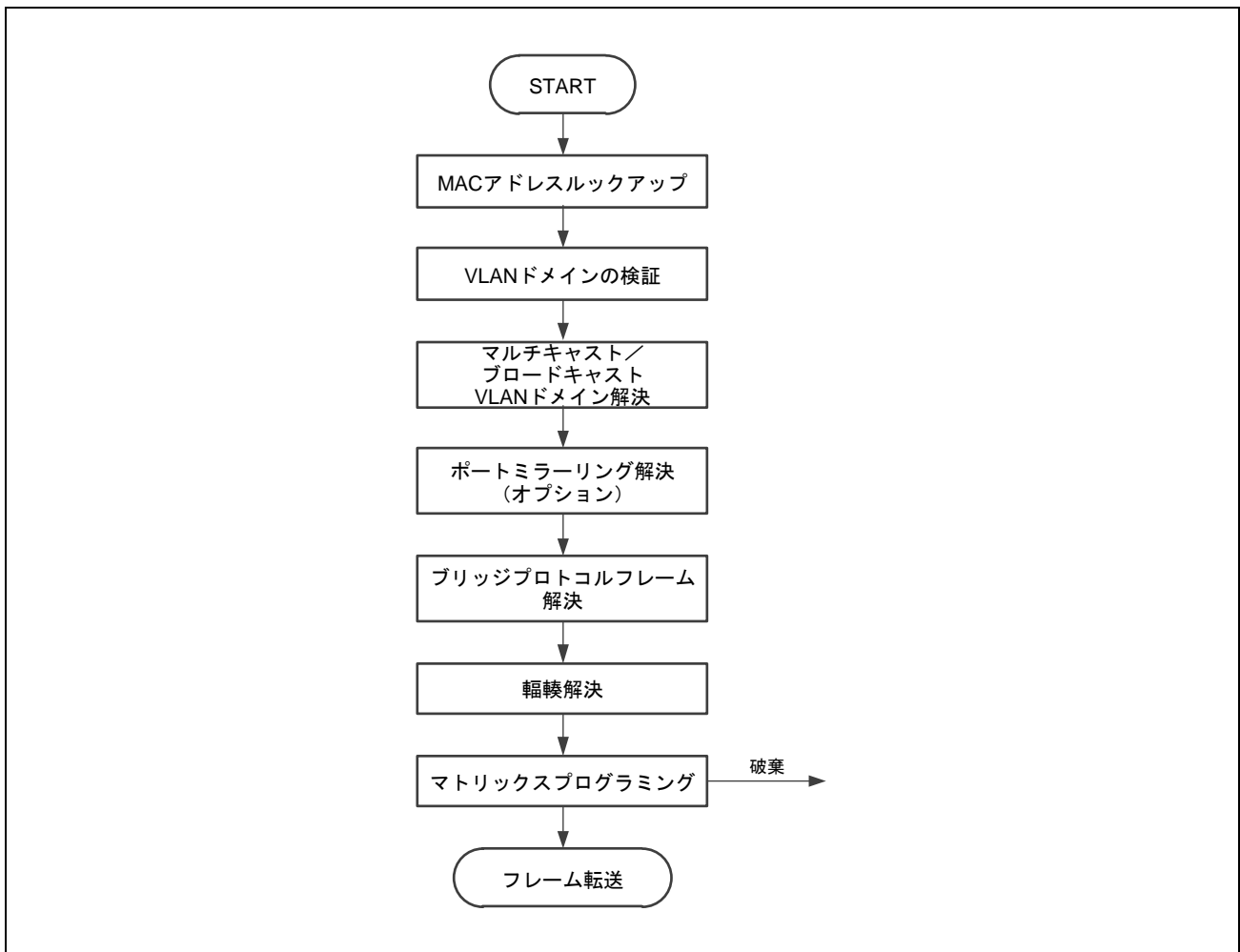


図 4.15 フレーム転送タスクの概要

(2) VLAN ドメインの検証

ポートでのフレーム受信時、それが正しい VLAN ドメイン内にあるかどうかを検証できます。VLAN_VERIFY レジスタによって入力検証を実行するかどうかを指定します。出力検証は VLAN 解決機能によって常に暗黙的に実行されます。VLAN 解決機能によって、VLAN テーブルで指定された VLAN メンバポートのみにフレームが転送されます（「4.5.3.9(3)(b) VLAN ドメイン解決/VLAN テーブル」を参照）。ポートに対する VLAN_VERIFY レジスタの検証ビットが「有効」に設定されている場合、次のルールが適用されます。

- フレームの VLAN ID がテーブル内に見つかり入力ポートが VLAN ドメインのメンバである場合、フレームは通常通り転送されます。
- フレームの VLAN ID がテーブル内に見つかったが入力ポートが VLAN ドメインのメンバでない場合、フレームは無効とされ最終的に廃棄されます。
- フレームの VLAN ID が VLAN テーブル内に見つからない場合、またはフレームに VLAN タグが含まれていない場合、フレームは通常通り転送されます。またはポートの廃棄ビット（VLAN_VERIFY レジスタ内）がセットされている場合はフレームが廃棄されます。

注 意

VLAN_VERIFY が入力検証を実行しないように設定されている場合でも出力検証（VLAN ドメイン解決）は常に有効です。VLAN ドメインが使用されていない場合に予期しない動作を回避するためには、VLAN_RES_TABLE 全体ですべてのエントリのポートマスクをすべて 1 にセットしてください。

(3) ブロードキャスト/マルチキャスト/VLAN ドメイン解決

(a) 概要

VLAN チャンネル内のトラフィックを常に正しいポートにルーティングし、たとえばネットワークでの重要情報の重複を回避するために、スイッチには解決メカニズムが実装されています。この解決メカニズムは複数のポートにスイッチングされるどのフレームについても、該当のフレームの VLAN ID をチェックします。

VLAN 解決メカニズムは VLAN 解決テーブルを検索（「4.4.51 VLAN_RES_TABLE[n] — 32 個の VLAN ドメインエントリ (n=0~31)」を参照）します。このテーブルには 32 個のユニークな VLAN ID が保存され、それぞれがポートビットマスクに関連付けられています。このメカニズムはフレームを VLAN ドメインのメンバポートのみに転送するために使用されます。

(b) VLAN ドメイン解決/VLAN テーブル

VLAN 解決テーブル（VLAN_RES_TABLE レジスタ）によって、最大 32 個の VLAN に対してユニークな VLAN ID とポートビットマスクが対応付けられます。また、デフォルトエントリ（BCAST_DEFAULT_MASK レジスタ）によって追加のポートビットマスクが提供されます。ポートビットマスクでは各ポートに 1 ビットが実装されています。

各ポートビットは、“1” にセットされている場合、そのポートが VLAN のメンバであり、対応する VLAN ID を持つフレームがそのポートにスイッチングできることを示します。ポートビットが“0”にセットされている場合、対応する VLAN ID を持つフレームがそのポートにスイッチングされないことを示します。どの VLAN ID とも一致しない場合、デフォルトマスクが適用されます。

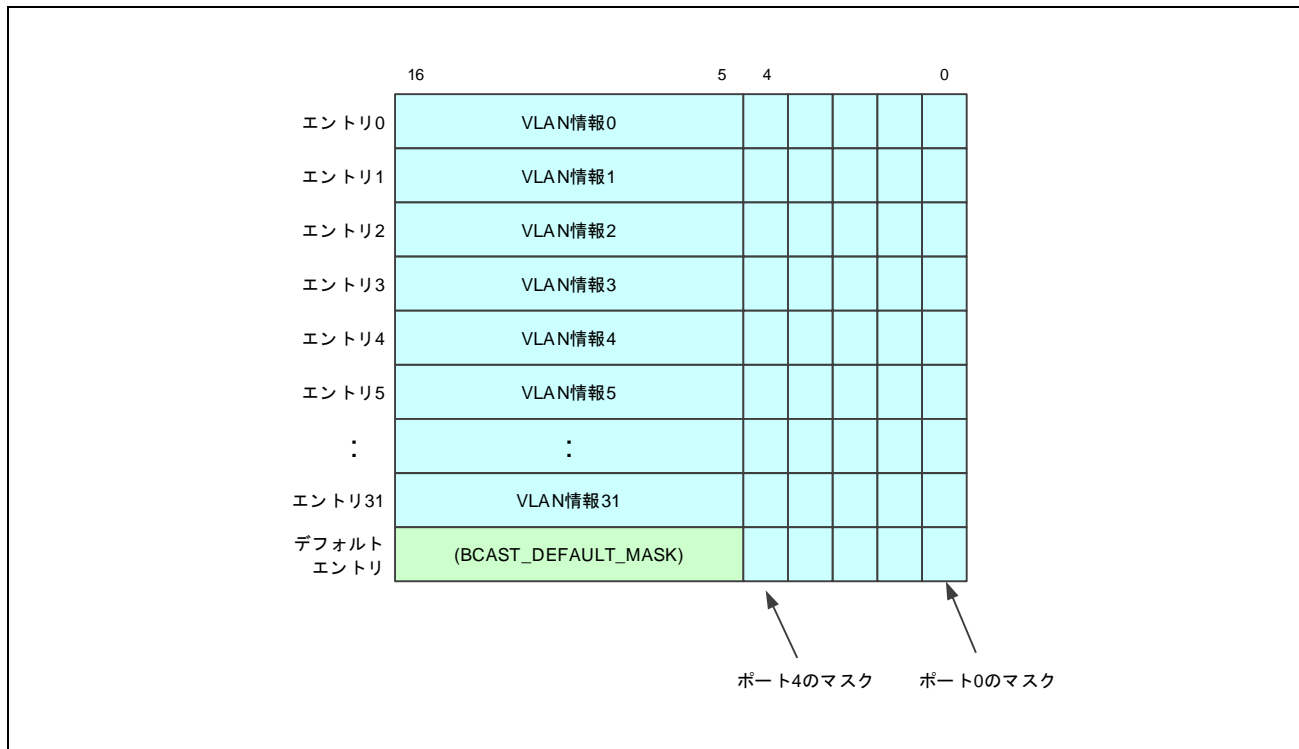


図 4.16 VLAN 解決テーブルの概要

注 意

ポートマスクはビット[4:0]、VLAN 情報はビット[16:5]です。

VLAN テーブルは無効にできないことに注意してください。VLAN ドメインが使用されていない場合に予期しない動作を回避するためには、テーブルのすべてのエントリ（すべての VLAN_RES_TABLE レジスタ）のポートマスクをすべて 1（リセットデフォルト）にセットしてください。

(c) VLAN スイッチング/解決の仕組み

VLAN テーブルは VLAN ドメインの検証（「4.5.3.9(2) VLAN ドメインの検証」を参照）と VLAN 解決の両方のために使用されます。フレームが VLAN ドメイン検証に合格すると（つまり検証機能によって廃棄されない場合）、転送解決が適用されます。

- 宛先 MAC アドレス（ユニキャストまたはマルチキャスト）が MAC アドレステーブル内に見つかった場合
 - － フレームに含まれている VLAN タグが VLAN テーブル内で見つければ、そのフレームは VLAN ドメイン内のポートにのみ転送できます。宛先ポートが VLAN ドメインのメンバでない場合はフレームは廃棄されます。
 - － フレームに含まれている VLAN タグが VLAN テーブル内で見つからない、またはフレームに VLAN タグが含まれていない場合、そのフレームはルックアップテーブルの指定に従って転送されます（VLAN ドメイン検証は、有効になっていれば、フレームを廃棄するように設定できることに注意してください）。
- 宛先 MAC アドレス（ユニキャストまたはマルチキャスト）が MAC アドレステーブル内に見つからない、または宛先アドレスがブロードキャストアドレスの場合、次のルールに従ってフレームが転送されます。

- アドレスがユニキャスト、マルチキャスト、またはブロードキャストのいずれであるかに応じて、該当する U/M/BCAST_DEFAULT_MASK レジスタから宛先ポートマスクが読み込まれます。その後このマスクに対して以下のフィルタリングが行われます。
 - フレームに VLAN タグが含まれている場合、VLAN 解決テーブルで一致する VLAN ID が検索され、フレームはその VLAN ID に対応付けられているポートのみに送信されます。
 - フレームに VLAN タグが含まれているが VLAN ID が VLAN 解決テーブルのどのエントリとも一致しない場合、あるいはフレームに VLAN タグが含まれていない場合、フレームはデフォルトマスクで有効になっているすべてのポートに転送されます。
 - フレームをどの VLAN グループとも対応付けることができず、かつデフォルトグループがすべて 0 に設定されている場合、フレームは廃棄されます。

VLAN 解決を無効にするにはすべての VLAN ID を 0x000 に設定し、すべてのポートマスクビットを“1”にセットします。VLAN 解決が無効になっている場合は、「4.5.3.8(5) MAC 宛先アドレスルックアップ」に説明されている通常のポートフラッドイングが実行されます。デフォルトエントリは、すべて“1”に設定されていない場合は、フラッドイングを専用ポートのみに制限するために使用できます。

(4) ポートミラーリング

専用のミラーポートにトラフィックを複製するオプション機能があります。どのポートもミラーポートとして割り当てることができます (MIRROR_CONTROL レジスタ)。

ミラーポートは常に出力ポートリストに追加できます。したがって処理中のフレームが次のルールのもれかと一致したときにフレームのコピーを受信します。

- Ingress ポート番号一致
ポート[n]でフレームを受信し、MIRROR_ING_MAP レジスタの対応するビットが 1 にセットされている場合、フレームが複製されます。
- Egress ポート番号一致
ポート[n]にフレームが転送され、MIRROR_EG_MAP レジスタの対応するビットが 1 にセットされている場合、フレームが複製されます。
- MAC Ingress SA 一致
Ingress ポート番号が一致し (上記参照)、MAC 送信元アドレスが MIRROR_ISRC に一致した場合、フレームが複製されます。
- MAC Ingress DA 一致
Ingress ポート番号が一致し (上記参照)、MAC 宛先アドレスが MIRROR_IDST に一致した場合、フレームが複製されます。
- MAC Egress SA 一致
Egress ポート番号が一致し (上記参照)、MAC 送信元アドレスが MIRROR_ESRC に一致した場合、フレームが複製されます。
- MAC Egress DA 一致
Egress ポート番号が一致し (上記参照)、MAC 宛先アドレスが MIRROR_EDST に一致した場合、フレームが複製されます。

また、カウンタが実装されており (レジスタ MIRROR_CNT)、このカウンタによって上記条件のいずれかに一致する N 個目ごとのフレームのみ複製されるように指定できます。このカウンタが 1 または 0 にセットされると、上記条件のいずれかに一致するすべてのフレームが複製されます。

(5) 輻輳解決

(a) 概要

使用できない出力ポートがありそのポートにデータを送信する必要があるときに、輻輳解決機能が使用されます。出力ポートは、有効になっていて (PORT_ENA.TXENA レジスタのビット n ($n=0\sim 4$) が “1”) かつ出力キューがフルでないときに「使用可能」として定義されます。ポートが無効になっている場合 (PORT_ENA.TXENA レジスタのビット n ($n=0\sim 4$) が “0”)、そのポートは使用不可でありそのポートにフレームをスイッチングすることはできません。

輻輳解決機能はフレームをさらに処理するか、それとも廃棄するかを、以下のルールに従って判断します。

(b) 1 つの宛先 (1 つの入力から 1 つの出力へ)

出力ポートが有効になっていてフレームを受け付け可能な場合、フレームは通常通りに転送されます。その他のすべての場合、フレームは廃棄されます。

(c) 複数の宛先 (フラッディング)

ブロードキャスト解決またはフラッディング解決の後に、フレームを複数の出力ポートにスイッチングする必要があります。

- 出力無効
すべての無効になっているポートが出力リストから削除されます。
- 出力輻輳
出力ポートのうちフレームを受け付けできないポートがある場合 (ポートの出力キュー管理によって示される実装固有のもの)、そのポートも出力リストから削除されます。

削除の結果、出力リストに出力ポートがなくなった場合、入力ポートからフレームが読み出され廃棄されます。このイベントはポートごとの ODISC 統計カウンタにカウントされます。

(6) ブリッジプロトコルフレーム解決

スパニングツリープロトコルなどのブリッジコントロールプロトコルを実装するために、ブリッジプロトコルフレーム解決機能によって以下のコントロール機能が実行されます。

(a) 管理フレーム (BPDU) の識別

宛先アドレスが以下のいずれかの場合、ブリッジプロトコルフレームと識別されます。

- 01-80-c2-00-00-00~01-80-c2-00-00-0F (『スパニングツリー、IEEE 802.1D、表 7-9』)
- 01-80-c2-00-00-10 (『ブリッジ管理アドレス、IEEE 802.1D、表 7-10』)
- 01-80-c2-00-00-20~01-80-c2-00-00-2F (『ジェネリックアトリビュートレジストレーションプロトコル、IEEE 802.1D、表 12-1』)

さらに、次の機能によってフレームをブリッジプロトコルフレームとして指定できます。その場合、指定されたフレームはスイッチ内で他の BPDU と同様に扱われます。

- カスタムアドレス
他のプロトコルや規格をサポートするために、スイッチで追加のアドレスを 1 つ指定できます (「4.4.47 MGMT_ADDR0_lo — ブリッジプロトコルフレームの下位 MAC アドレス」と「4.4.48 MGMT_ADDR0_hi — ブリッジプロトコルフレームの上位 MAC アドレス」を参照)。そのアドレスは上記と同様に扱われ、該当するフレームが管理フレーム (BPDU) としてマーク付けされます。

IEEE 802.1X 認証をサポートするために、宛先アドレス 01-80-c2-00-00-00 を EAPOL フレームによって使用し、BPDU フレームとは異なる扱いにできます（「**4.5.8 ポートベースのアクセスコントロール (802.1X)**」を参照）。

(b) 入力ポートのブロック

入力ポートブロック機能は、アドレスラーニングを実施した後でフレームを転送しないようにするために使用します。ファームウェアでの INPUT_LEARN_BLOCK レジスタの設定により、ブロック（ブロックビット n=1）されているポート[n]でブリッジプロトコルフレームではないフレームの受信時、そのフレームを「廃棄」とマークして出力ポートに転送しないようにできます。

(c) 入力ポートラーニングの無効化

ファームウェアからの処理負荷を軽減するために、ポートをラーニングの対象外に設定できます（「**4.4.8 INPUT_LEARN_BLOCK — 入力ラーニングブロックレジスタ**」を参照）。ポートでのラーニングが無効にされると、受信フレームからの送信元アドレスの抽出が行われなくなります。

この設定に関係なく、受信 BPDU フレームの送信元アドレスが抽出されることはなく、またラーニング処理へ転送されることもありません。必要に応じて、アプリケーション（管理ポート）は受信 BPDU から送信元アドレスをスタティックエントリなどとしてルックアップテーブルに追加する必要があります。

(d) 管理フレームの転送

管理ポート以外のポートから管理フレーム（BPDU フレーム）を受信し、管理ポートが有効になっている場合（「**4.4.9 MGMT_CONFIG — 管理コンフィグレーションレジスタ**」を参照）、そのフレームは管理ポートのみに転送され、宛先アドレスルックアップは無視されます。

管理ポート自身で管理フレームを受信した場合（つまりホスト CPU がスイッチに管理フレームを送信）、それらフレームは MGMT_CONFIG コンフィグレーションレジスタで指定されているポートマスクに従って転送されます。ハンドシェイクの仕組みが実装されており、プロトコルソフトウェアがその仕組みを使って管理フレームに対して宛先ポートマスクをフレームごとに設定できます。

また、MGMT_CONFIG で指定されているポートマスクには通常のトラフィックに対しては無効に（PORT_ENA.TXENA レジスタで設定）されているポートも含めることができます。したがって通常のトラフィックに対しては無効になっているポートでも管理フレームを送信できます。

強制転送が使用されている場合、管理フレームは強制転送マスクで指定されているポートへ転送され、MGMT_CONFIG で指定されているポートマスクは無視されます。

備 考

スイッチが管理フレームを廃棄しないようにするために、管理ポートに対しては VLAN ドメイン検証/廃棄（「**4.4.5 VLAN_VERIFY — VLAN ドメイン検証**」を参照）をオフにしておく必要があります。

(7) 強制転送

強制転送が使用される場合は他の転送判断は無視され、強制転送マスクで指定されているすべてのポートにフレームが転送されます。

強制フィルタリングが無効 (0) にされている場合、無効になっているポートにも転送されます（PORT_ENA より優先）。フレームの送信元ポートのみがポートマスクから自動的に削除されます（つまりフレームの送信元ポートにはそのフレームを送信できません）。

ミラーリング機能とスヌープ機能は継続して強制転送フレームをチェックできます。

(8) カットスルー転送

通常、スイッチはいわゆるストア&フォワードモードで動作しています。すべてのフレームは完全に受信し保存されてから出力ポートに転送されます。これによりエラーを検出してエラーのあるフレームをスイッチ内で廃棄できます。また速度の異なるリンク間の通信も可能です。

このモード以外に、スイッチはカットスルーモードで動作することができます。このモードではフレームが完全に受信される前に出力ポートに転送され送信されます。これにより待ち時間を減らすことができ、フレームのサイズは関係ありません。ただしエラーチェックが行われる前にフレームが転送されるため、エラーのあるフレームが送信されてしまいます（ただしスイッチはそれらフレームのエラーを認識し無効なCRCを付加して送信します）。

カットスルー動作はMODE_CONFIGレジスタによってポートごとに設定できます。このレジスタではカットスルーで動作するポートグループを指定でき、他のポートでは通常のストア&フォワードで送信させることができます。

カットスルー転送が有効になっている場合、以下の条件がすべて成立する場合に限ってフレームがカットスルーで転送されます。その他の場合はフレームがストア&フォワードで転送されます。

- 宛先ルックアップの結果、宛先ポートが1つだけ決まる（ブロードキャストやフラッドイングによって複数の宛先ポートに転送する必要がない）
- 送信元ポートと宛先ポートの両方でカットスルーモードビットがセットされている
- ブロードキャストフレームでも、BPDUフレームでも、IEEE 1588 PDELAY_REQフレーム（自動レスポンス）でもない
- 送信元ポートと宛先ポートが同じリンク速度で動作している

これは1対1で転送されるフレームだけがカットスルーの対象であることを意味します。カットスルーができないフレームは通常通りストア&フォワードで転送されます。

カットスルー転送の遅延はリンク速度とスイッチシステムクロック周波数により異なります。スイッチシステムクロックが最大200MHzの場合については、以下の転送遅延が発生する可能性があります。

表 4.228 リンク速度と転送遅延

リンク速度	転送遅延（SFD から SFD、PHY 待ち時間なし）
10Mbps	最大 35 μ s
100Mbps	3.2~3.8 μ s（アクティブなパターンマッチャなし） 3.5~3.9 μ s（パターンマッチャがアクティブ）
1Gbps ^{注1}	550~800ns（パターンマッチャがアクティブ）

注1. ギガビットポートでカットスルーを使用するとTX FIFOアンダーフローが発生して出力フレームが破損します。これを回避するには、ギガビットポートに対しては少なくとも1つのRXパターンマッチャを有効にします。これによってカットスルーの判断が若干（4バイト以下）遅れ、アンダーフローを回避できます。この際パターンは関係なく、まったく一致しなくてもかまいません（たとえばパターンビットがすべて0でマスクビットがすべて1の場合、一致がまったく発生しません）。それでも必要な時間だけ転送判断を遅らせることができます。

(9) スイッチング

出力ポートが決まると、スイッチコントロールによってスイッチマトリックス内の対応するパスが有効になり、フレームが出力キューに転送されます。

同様に、フレームを複数のポートにスイッチングする場合（ブロードキャストなど）、スイッチコントロールによってスイッチマトリックス内の対応する複数のパスが有効になり、フレームがすべての宛先出力ポートに転送されます。複製は、最終的に出力ポートでメモリから同じフレームを複数回読み出すことによって行われます。

4.5.3.10 ブロードキャストストーム保護

ブロードキャストストームによるネットワークやメモリの輻輳を回避するために、スイッチエンジンに対して一定期間内のブロードキャストフレーム数に制限を設定できます。

各受信ポートにカウンタが実装され、ブロードキャストフレームを受信するたびにそのカウンタ値が 1 つ加算されます。すべてのポートのカウンタはタイムアウト時にクリアされます。

ポートのカウンタが制限値に達すると、それ以降にこのポートで受信されるブロードキャストフレームは廃棄されます。

BCAST_STORM_LIMIT レジスタを使用して定期的タイムアウトとすべてのポートに適用されるカウンタ上限値を設定します。

4.5.3.11 マルチキャストストーム保護

マルチキャストストームによるネットワークやメモリの輻輳を回避するために、スイッチエンジンに対して一定期間内のマルチキャストフレーム数に制限を設定できます。

動作はブロードキャストストーム保護と同じですが、各ポートにマルチキャストストーム保護専用のカウンタがあります。

MCAST_STORM_LIMIT レジスタを使用してすべてのポートに適用するカウンタ上限値を設定します。カウンタのリセットには BCAST_STORM_LIMIT レジスタによる定期的タイムアウトが使用されます。

4.5.3.12 出力フレームキューイング

下の図は複数のキューをサポートする出力キュー管理機能の概念図です。

キュー0（最低プライオリティ）からキュー3（最高プライオリティ）の 4 本のキューが実装されています。

出力キュー（FIFO）が各出力ポートに個別に実装されています。入力処理が終了すると、フレームのプライオリティ解決の結果に基づいて対応する出力ポートのキューにフレームが保存されます（クラス分けについては「4.5.3.5(4) プライオリティ解決」を参照）。

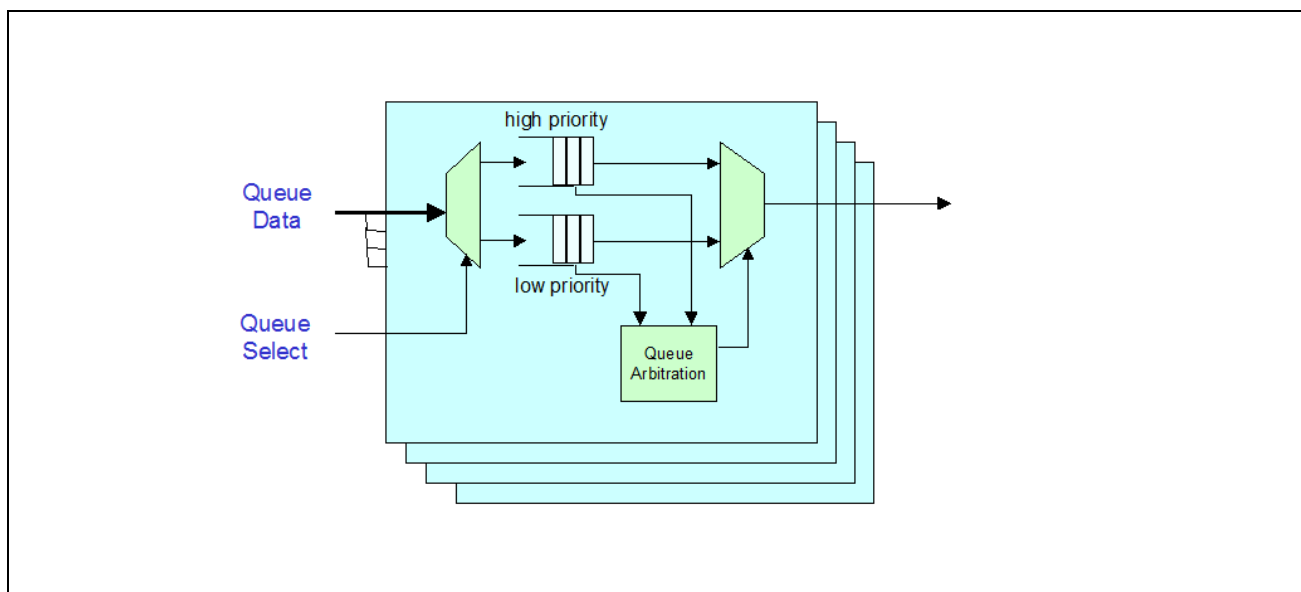


図 4.17 出力キューイング

キューアービトレーションは適切なキューを選択した上で出力インタフェースへのデータが存在するかどうかを示し、最終的に出力インタフェースからフレームが送信されます。番号が大きいキューは番号が小さいキューよりも優先されます。

キューアービトレーションには絶対優先制御が実装されています。重み付け均等化キューイングも使用可能です（「4.4.37 IMC_CONFIG — 入力メモリコントローラコンフィグレーションレジスタ」を参照）。

また、オプションの TDMA スケジューラは特定のタイミングだけでキューからの読み出しを許可するため、アービトレーションに影響があります（「4.5.15 TDMA の動作」を参照）。

最終的にはポートのデータインタフェースに接続されている MAC がそのローカル送信ポートの速度に基づいてフレームをキューから取り出します。

4.5.3.13 出力ポート輻輳管理

出力キューの制御方式によっては、キューがフルになるとスイッチ（内部）で輻輳表示が生成されます。輻輳したキューにフレームを転送する必要が生じると、そのフレームが廃棄され、対応するエラーカウンタ（スイッチ統計 ODISC）がカウントアップされます。

(1) テールドロップ

デフォルトでは、キューがフルになったとき、または共有スイッチメモリが枯渇したときのみフレームの廃棄が発生します。輻輳状態が続く限りフレームは廃棄され続けます。

各ポートの各キューに最大 58 個のフレームを保存できます。フレームサイズは問いません。

(2) ランダム早期検出

テールドロップとは別の方法として、RFC 2309 で規定されているランダム早期検出（RED）による有効キュー管理があります（「4.6.2 参考資料」の(1)を参照）。この機能はキューごとに有効にできますが、すべてのポートに対して共通です（QMGR_RED_MIN4^{注1}/MAX4^{注2}/CONFIG^{注3}の各レジスタを参照）。

RED アルゴリズムでは各キュー内のフレーム数を時間で平均します。現在の平均値によって廃棄する確率が算出され、キューがフルになる前にフレームが廃棄されます。フルになるとテールドロップが発生します。フレームを早めに廃棄することによって、上位プロトコル（主に TCP）が使用可能なリンク帯域幅に合わせて調整しやすくなります。このアルゴリズムは 2 つのしきい値によって設定されます。これらしきい値によってキューの容量制限に達する前にフレームを廃棄するためのウィンドウが規定されます。下限しきい値より低い場合は廃棄が発生せず、上限しきい値に達するとすべてのフレームが廃棄されます（結果としてテールドロップの動作と同じ）。下限から上限に向けてフレームを廃棄する確率が増大します。つまりキュー内のフレーム数が増えると廃棄されるフレームが多くなり、理想的には上限に達したためにフレームが連続的に廃棄される事態が回避されます。

現在のキュー内フレーム数が算出済平均値よりも下がると、そのフレーム数がキューの平均値として即座に設定されます。このアルゴリズムによって、キューが再び空になっているにもかかわらず平均値が高いレベルを示し続けているために対応が遅れ、その結果不必要にフレームが廃棄されるという事態が回避されません。

注1. 「4.4.30 QMGR_RED_MIN4 — RED 最小しきい値レジスタ」を参照してください。

注2. 「4.4.31 QMGR_RED_MAX4 — RED 最大しきい値レジスタ」を参照してください。

注3. 「4.4.32 QMGR_RED_CONFIG — RED コンフィグレーションレジスタ」を参照してください。

下の図にアルゴリズムの挙動を示します。

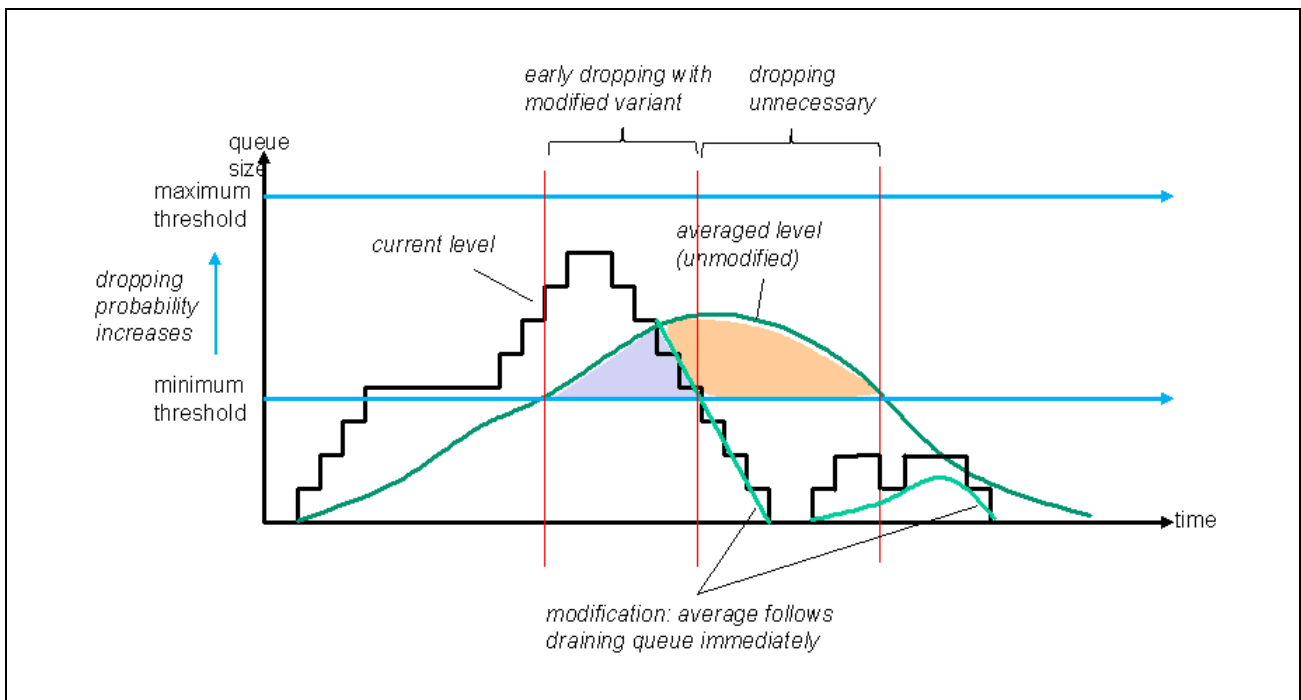


図 4.18 ランダム早期検出アルゴリズムの実装

このアルゴリズムでは、キュー内のフレーム数が減少している場合、すなわち出力が入力よりも速いため、フレームを廃棄すべきではない場合に、フレームが廃棄されなくなります。このアルゴリズムによって、キュー内フレーム数の一時的なピークが吸収され、使用可能な保存容量を有効利用でき、理想的には（不必要な）廃棄処理が行われなくなります。

4.5.4 タイムスタンプ機能 (TSM)

4.5.4.1 概要

タイムスタンプモジュール (TSM) には以下の機能が実装されています。

- すべての回線ポートにおいて受信フレームのタイムスタンプを収集
- すべての回線ポートにおいて送信フレームのタイムスタンプを収集し割り込みを生成
- IEEE 1588 レイヤ 2 イベントのフレームを処理し、即座に (1 ステップで) correction フィールドを経過時間によって更新

4.5.4.2 IEEE 1588 メッセージヘッダ構造

注 意

以下の記述は簡単な要約です。詳細と使用シナリオについては規格書を参照してください。

IEEE 1588 のメッセージは、たとえばイーサネットフレーム (L2) のペイロードまたは UDP/IP のペイロードなど、さまざまなカプセル化プロトコルによって送信できます。次の図にすべての IEEE 1588 バージョン 2 メッセージに共通するメッセージヘッダを示します。MAC は、イーサネットタイプフィールドが 0x88f7 であるレイヤ 2 フレームを使用している場合、送信中に correction フィールドを更新できます。他のカプセル化はサポートされません。correction フィールドの更新はイベントメッセージ (messageId < 4) でのみ発生します。

すべてのフィールドはネットワークバイトオーダーに従います。すなわち複数バイトフィールドの中で最初に送信されるバイトは最上位バイト (左端) です。下の表に簡単な概要を示します。各フィールドの詳細については IEEE 1588 仕様書「**4.6.2 参考資料**」の(2)を参照してください。

表 4.229 IEEE 1588v2 メッセージヘッダ (PTPv2)

ビット								オクテット数	オフセット
7	6	5	4	3	2	1	0		
transportSpecific				messageId				1	0
予約				versionPTP=0x2				1	1
messageLength								2	2
domainNumber								1	4
予約								1	5
flags								2	6
correctionField								8	8
予約								4	16
sourcePortIdentity								10	20
sequenceId								2	30
control								1	32
logMeanMessageInterval								1	33
以降メッセージ特有フィールド								n	34

メッセージタイプは messageId フィールドで以下のようにコーディングされます（略式）。

表 4.230 PTPv2 メッセージタイプ識別

messageId	メッセージ名	メッセージ
00h	SYNC	イベントメッセージ
01h	DELAY_REQ	イベントメッセージ
02h	PDELAY_REQ	イベントメッセージ
03h	PDELAY_RESP	イベントメッセージ
04h~07h		予約
08h	FOLLOW_UP	一般メッセージ
09h	DELAY_RESP	一般メッセージ
0Ah	PDELAY_RESP_FOLLOW_UP	一般メッセージ
0Bh	ANNOUNCE	一般メッセージ
0Ch	SIGNALING	一般メッセージ
0Dh	MANAGEMENT	一般メッセージ

4.5.4.3 タイムスタンプ処理

(1) 受信タイムスタンプ処理

ポートでフレームを受信すると、タイマの現在の時間に基づいてタイムスタンプがキャプチャされます。キャプチャのタイミングはフレームデリミタの開始（SFD）を PHY インタフェースで検出した時点になります。タイムスタンプはフレームと共にスイッチエンジン内で転送され、管理ポートにおいて PTP（Precision Time Protocol）などを実装するために使用できます。

管理ポートに転送されるフレームの場合、受信タイムスタンプが独自のタグ情報内に格納されます（「4.5.5 管理ポート特有のフレームタグ付与」を参照）。

(2) 送信タイムスタンプ処理

フレームがポートの PHY に送信される時もタイムスタンプがキャプチャされます。送信タイムスタンプは各ポートのポート個別タイムスタンプレジスタ（PORT[n]_TIME）に保存できます。タイムスタンプはすべてのフレームに対してではなく特定のイベントフレームのみに対してキャプチャする必要があります。そのため管理ポートには、特殊な制御情報によって送信タイムスタンプキャプチャの対象となるフレームを識別する機能が備わっています。

4.5.4.4 トランスペアレントクロックのサポート

(1) 概要

ハードウェアには、いわゆるトランスペアレントクロック (TC) を実装するために必要な機能が備わっており、以下の両方がサポートされます。

- a) エンドツーエンド
- b) ピアツーピア

エンドツーエンド TC は PEERDELAY レジスタが 0 にセットされているときのデフォルト動作です。

ピアツーピアトランスペアレントクロックが実装されている場合、マスタが接続されているポート (SYNC メッセージを受信するポート) でのピア遅延を PTP ソフトウェアによって特定する必要があります。この値は PEERDELAY レジスタに設定されます。この設定は、新たにピア測定が行われたとき、あるいはマスタポートが変更されたときに更新する必要があります。

(2) correction フィールド更新の実装

実装ではレイヤ 2 PTP フレーム (タイプが 0x88f7 のフレーム) の correction フィールドのみを更新できます。UDP/IP フレーム内の PTP メッセージは考慮されていません。

更新モジュールはイベントメッセージのみを処理します。更新モジュールはイベントメッセージを、PTP ヘッダ内のメッセージタイプフィールド (タイプ < 4) から自動的に検出します。つまり更新モジュールは後続フレーム (イベントフレームではない) は処理しません。したがって correction フィールドの更新は対応する SYNC フレーム内にあります。これによりスイッチに接続されているワンステップとツーステップのマスタノードとスレーブノードがサポートされます。

エンドツーエンドトランスペアレントクロックの実装では、SYNC メッセージと DELAY_REQ メッセージの correction フィールドが経過時間 (出力時間 - 入力時間) によって更新されます。

ピアツーピアトランスペアレントクロックの実装では、correction フィールドの更新には (フレームを受信したポートの) PEERDELAY レジスタの値を経過時間に加算する処理が含まれます。ハードウェアには常にこの値の加算が実装されています。したがってエンドツーエンド処理が選択されるか (PEERDELAY=0) ピアツーピア処理が選択されるか (PEERDELAY>0) は、PEERDELAY の設定のみに依存します。すべてのポートで PDELAY_REQ/PDELAY_RESP メッセージを交換してピア遅延値を測定するかどうかは PTP ソフトウェア次第です。

correction フィールドの更新は外部 (回線) ポートの間でやり取りされるフレームに対してのみ行われません。管理ポートから転送されるフレームと管理ポートへ転送されるフレームは修正されません。

次の図に回線ポート間で転送されるフレームの処理を示します。

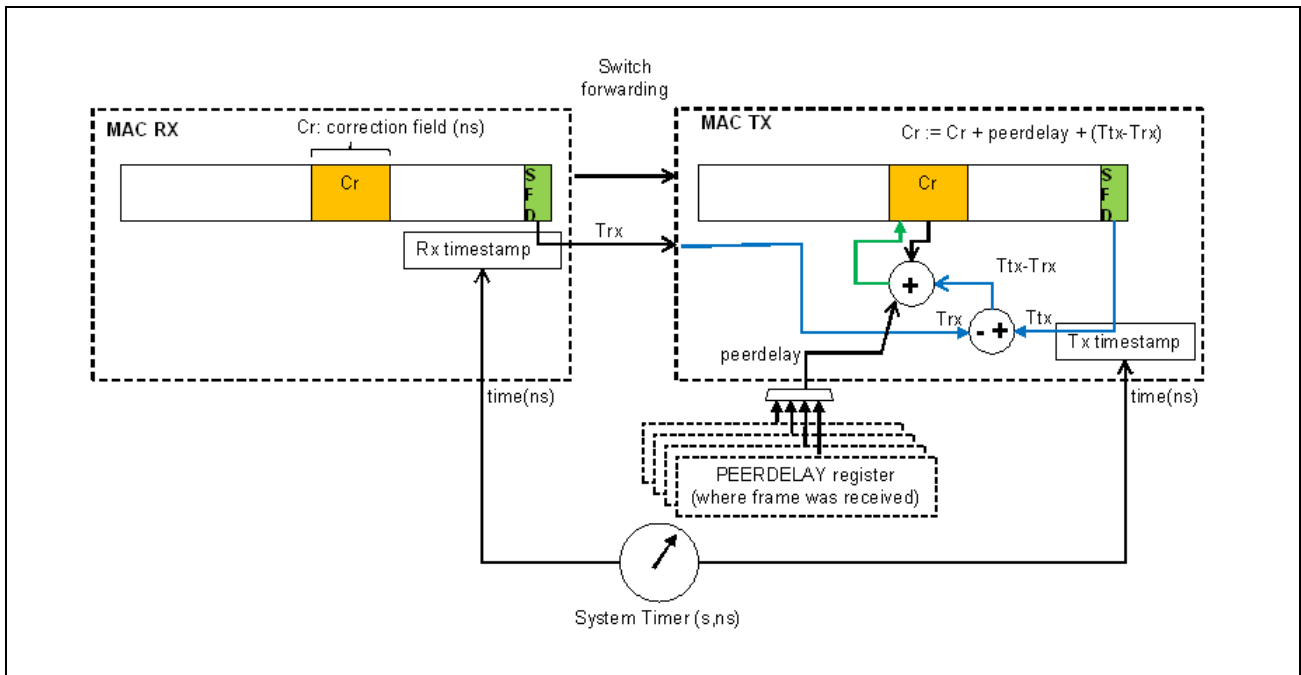


図 4.19 ワンステップの correction フィールド更新

注 意

(PEERDELAY レジスタと正しく動作するタイマ以外は) 特別な設定は不要です。本機能は常に有効になっており、IEEE 1588v2 レイヤ 2 イベントフレームを自動的に検出して処理します。

4.5.4.5 管理ポートでワンステップ更新を使用

管理ポートを介したスイッチへのフレーム送信時は、このインタフェースには「受信」タイムスタンプという概念がないため、通常の correction フィールド更新は行われません。

ただし、ローカルに生成されたイベントフレーム（SYNC メッセージなど）に対してワンステップ高精度タイムスタンプを使用するマスタクロックまたはバウンダリクロックを実装するためには、管理タグワンステップ更新機能が使用できます（「4.5.5.4 受信処理（CPU からスイッチ）」の ControlData[4]を参照）。

この機能を使用するには、アプリケーションによってイベントフレームに特殊な準備を行う必要があります。すなわち correction フィールドを originTime フィールドのナノ秒値と同じ値に設定する必要があります。フレームのワンステップ更新の準備をするときに、アプリケーションで次の手順を実行する必要があります。

- ハードウェアタイマから現在の時間（秒、ナノ秒）を読み出します。
- イベントフレーム（SYNC メッセージなど）を作成して、タイマから取り出した時間値をフレームの originTime フィールドにコピーします。originTime フィールドには、秒フィールドとナノ秒フィールドがあります。
- フレームの correction フィールドのナノ秒値を originTime フィールドのナノ秒値と同じ値に設定します（秒は correction フィールドには関係ありません）。
- 管理タグ機能を使用してフレームをスイッチに転送し ControlData[4]を 1 にセットします（「4.5.5.4 受信処理（CPU からスイッチ）」を参照）。

MAC のトランスミッタはフレーム送信時に、送信タイムスタンプと correction フィールド値の差分によって correction フィールドを書き直します。この機能は correction フィールドに加算しないことに注意してください。実際は値を読み出し、送信時間から読み出した値を差し引き、（1 秒モジュロを実行してから）引き算の結果を correction フィールドに書き込みます。PEERDELAY レジスタの設定は無視されます。下の図に動作の原理を示します。

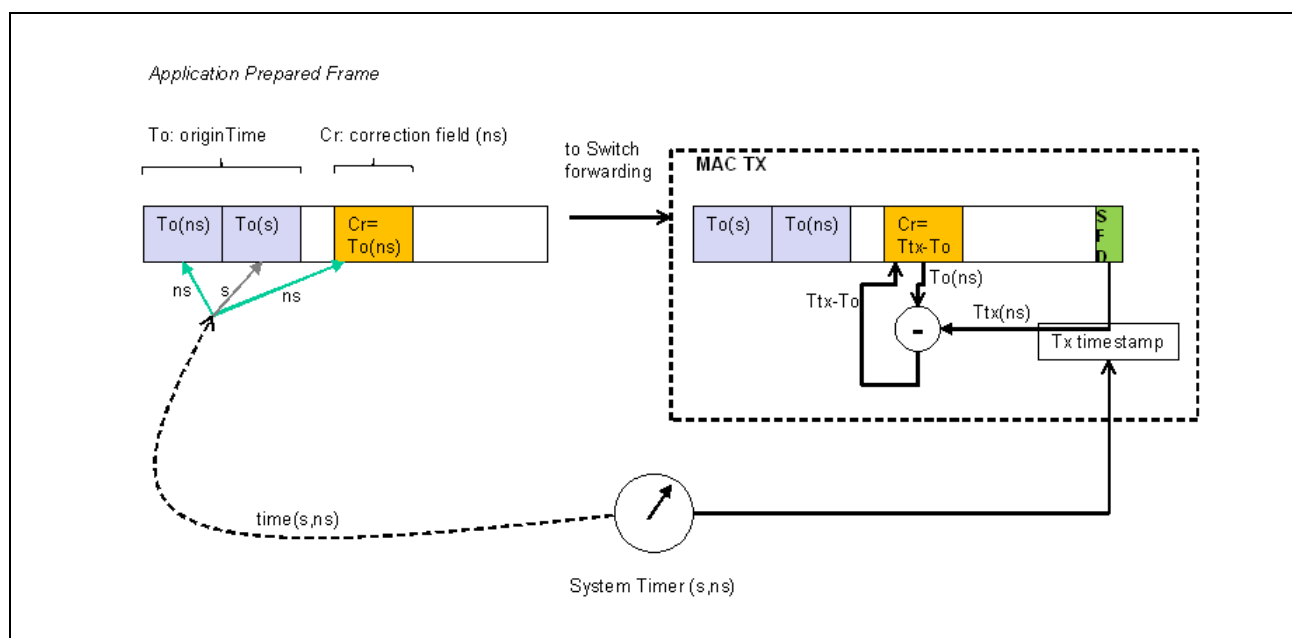


図 4.20 管理ポートワンステップ送信機能

レシーバは常に correction フィールド値を originTime フィールドの値に加算します。したがって次のように正確なフレーム送信時間が得られます。

$$T = T_o + Cr, \text{ すなわち } T_o + T_{tx} - T_o = T_{tx}$$

注 意

更新機能はフレーム内の秒値を変更しません。したがってハードウェアタイマ値の読み出しからスイッチ出力ポートでの実際のフレーム送信までの遅延が 1 秒未満であることを、アプリケーションによって保証する必要があります。

4.5.4.6 ピア遅延リクエストメッセージへの自動レスポンス

(1) 概要

各回線ポートの MAC は、受信したピア遅延リクエスト (PDELAY_REQ) メッセージに自動的に返信するように設定できます。このメッセージはピアツーピアクロックの実装で隣接ノード間のリンク遅延を測定するために使用されます。リンクの両ノードが定期的に PDELAY_REQ メッセージを互いに送信し、両ノードでリンク遅延を測定します。

PDELAY_REQ メッセージを受信したノードは PDELAY_RESP メッセージを返信します。これによってリクエスト側の装置がパス遅延を計算できます。

スイッチ管理アプリケーションが定期的に PDELAY_REQ メッセージを発行して各回線ポートのリンク遅延を測定し各ポートの PEERDELAY レジスタを設定します。PEERDELAY レジスタは、スイッチを介して SYNC フレームを転送するときにトランスペアレントクロックによって使用されます (「4.5.4.4 トランスペアレントクロックのサポート」を参照)。

また、スイッチは接続されているすべての隣接ノードから PDELAY_REQ メッセージを受信し、各ポートで PDELAY_RESP メッセージによって応答する必要があります。管理アプリケーションを使用してこのレスポンスメッセージを作成できますが、受信するリクエストはローカルシステムに関係しないので処理オーバーヘッドが増えるだけです。

(2) レスポンスの生成

オーバーヘッドを減らすために、各回線ポートの MAC の設定によって、受信 PDELAY_REQ メッセージに対して自動的に PDELAY_RESP メッセージで応答するようにできます。受信リクエストはレスポンスに変換されてからスイッチ内をルーティングされますが、リクエストを受信したポートだけで送信されます (MAC ローカルレスポンスのエミュレーション)。この機能は一連のポート MAC 関連レジスタの 1 つである PTPAutoResponse_P[n] レジスタによって有効にされます。

自動レスポンスが有効になっているときは以下の機能が実行されます。

- PDELAY_REQ メッセージが IEEE 1588v2 レイヤ 2 フレーム (タイプが 88f7h) の messageId=2 として識別されます (PTP ヘッダの最初のオクテット。「4.5.4.2 IEEE 1588 メッセージヘッダ構造」を参照)。

以下のステップは PDELAY_REQ が見つかった場合にだけ実行されます。

- フレームの宛先アドレスがユニキャストの場合は、受信フレームの送信元アドレスがフレームの宛先アドレスにコピーされます。その他の場合は宛先アドレスは変更されません (隣接ノードがマルチキャストのリクエストを送信してきたときはレスポンスが同じマルチキャストへ返信されます)。
- フレームの送信元アドレスとしてポートの MAC アドレス (MAC_ADDR_[01]_P[n] レジスタ) が設定されます。

- このフレームに対してはアドレスルックアップとラーニングは実行されません。フレームはスイッチに転送され、同じポートへ転送するように特別にマークされます（通常の転送ルールでは同じポートへは転送しません。これは例外です）。他のフレームと同様に通常の統計処理などが実行されます。
- フレームが転送される時、「**4.6.2 参考資料**」の(2) *11.4.3 b* に従い MAC トランスミッタによってワンステップ PDELAY_RESP に変換されます。手順は以下のとおりです。
 - messageId が 3 (PDELAY_RESP) に変更されます。
 - ヘッダの flags フィールドの twoStepFlag ビットがクリアされ（最初のオクテットのビット 1。「**4.6.2 参考資料**」の(2) *13.3.2.6* を参照）、ワンステップレスポンスであることが示されます。
 - correction フィールドに経過時間が加算されます（つまりポートの PEERDELAY[n]レジスタの値は考慮されません）。
 - sourcePortIdentity が PTPClockIdentity1_P[n]レジスタ、PTPClockIdentity2_P[n]レジスタ、PTPAutoResponse_P[n][31:16]レジスタの値に基づいて以下のように設定されます。

表 4.231 PTP の AutoResponse ヘッダの SourcePortIdentity のマッピング

レジスタ [オクテット]	PTP ヘッダでのオクテットオフセット、名前
PTPClockIdentity1_P[n][7:0]	20, portIdentity.ClockIdentity[0]
PTPClockIdentity1_P[n][15:8]	21, portIdentity.ClockIdentity[1]
PTPClockIdentity1_P[n][23:16]	22, portIdentity.ClockIdentity[2]
PTPClockIdentity1_P[n][31:24]	23, portIdentity.ClockIdentity[3]
PTPClockIdentity2_P[n][7:0]	24, portIdentity.ClockIdentity[4]
PTPClockIdentity2_P[n][15:8]	25, portIdentity.ClockIdentity[5]
PTPClockIdentity2_P[n][23:16]	26, portIdentity.ClockIdentity[6]
PTPClockIdentity2_P[n][31:24]	27, portIdentity.ClockIdentity[7]
PTPAutoResponse_P[n][31:24]	28, portIdentity.PortNumber[0] (msb)
PTPAutoResponse_P[n][23:16]	29, portIdentity.PortNumber[1] (lsb)

- requestReceiptTimestamp フィールド（オフセット 34 からの 10 オクテット）が 0 にセットされます。
- フレームの元の sourcePortIdentity フィールドが requestingPortIdentity フィールド（オフセット 44 からの 10 オクテット）にコピーされます。
- リクエストのその他のすべてのビットとフィールドは、変更しないでそのままレスポンスメッセージにコピーされます。
- メッセージの CRC が適切な値に入れ替えられます。

(3) 使用上の注意事項

- 自動レスポンス生成はレイヤ 2 フレームのみが対象です（UDP/IP は対象外）。
- 自動レスポンスでは MAC RX が CRC を削除します。TX が新しい CRC を付加します。COMMAND_CONFIG_P[n].CRC_FWD の設定は無視されます。
- 推奨 PTP マルチキャスト宛先アドレス (01-80-c2-00-00-0e) を使用するときは、MGMT_CONFIG レジスタで管理を有効にする、あるいは少なくとも BPDU 廃棄ビットをクリアする必要があります。これを行っておかないと、BPDU アドレスなのでフレームが廃棄されます。
- 通常のプライオリティ解決機能がフレームを転送するときに適用されます。PRIORITY_TYPE レジスタを使用してレイヤ 2 PTP メッセージのプライオリティを設定できます。
- 宛先 MAC アドレスが MAC RX によって変更されます。したがってミラーリングが有効になっている場合、ミラーリングされたフレームでは宛先アドレスが変更済です。

- PTP では必須ではありませんが、PTP メッセージにシングル VLAN タグがサポートされています。
- ポートで VLAN 入出力操作機能が有効になっている場合、レスポンスの生成時にそれら設定は無視されます。
- PRP グループポートに対して自動レスポンスがサポートされています（レスポンスがリンクローカルであるためトレーラ処理や複製は実行されません）。

4.5.5 管理ポート特有のフレームタグ付与

CPU を通常のネットワークインタフェース (GMII) でサポートする場合、管理プロトコルを実装するために必要ないくつかの特殊なサイドバンド情報を CPU とスイッチの間で交換されるフレームに追加する必要があります。この機能は MAC が実装されている専用管理ポートでのみ使用できます。

管理フレームは、宛先アドレスまたはタイプによって、「4.5.3.9(6) ブリッジプロトコルフレーム解決」で定義されているいわゆるブリッジプロトコルデータユニット (BPDU) として識別されます (宛先: 01-80-c2-00-00-xx)。

管理フレームだけを対象とする代わりに、オプションで、スイッチから CPU に転送されるすべてのフレームにサイドバンド情報を含めるように機能を設定できます。

CPU はスイッチに転送する任意のフレームに制御情報を挿入できます。ハードウェアは管理ポートで受信したすべてのフレームをチェックし、必要に応じて不要なデータを削除します。

4.5.5.1 タグ付きフレームのフォーマット

追加の制御情報がプログラマブルな (独自) イーサタイプ (ControlTag) でマークされ、フレーム送信元アドレスの後ろに追加されます。タグが存在する場合、常にフレームの先頭 (つまり VLAN タグの前) に存在します。

次の情報が追加されます。

- ControlTag
フレーム内に制御データが存在することを示す識別子 (デフォルト: E001h)
- ControlData
ControlTag に続く 2 オクテットで、その内容は制御情報
- ControlData2
送信か受信かによって 32 ビットのフレームタイムスタンプまたは宛先ポートマスクを格納するために使用される追加の 4 オクテット

ControlData2 に続くデータはすべて元のフレームの内容です。たとえば VLAN タグはフレームのこの位置に設定されます。制御タグがフレームに含まれる場合、常にフレームの最初のタグになります。

表 4.232 タグ付き管理ポートフレームのフォーマット

7 オクテット	プリアンブル
1 オクテット	SFD
6 オクテット	宛先アドレス
6 オクテット	送信元アドレス
2 オクテット	ControlTag (デフォルト: E001h)
2 オクテット	ControlData
4 オクテット	ControlData2 (タイムスタンプ、ポートマスク)
2 オクテット	type/length
0~1500/9000 オクテット	PAYLOAD DATA
0~42 オクテット	PAD
4 オクテット	FRAME CHECK SEQUENCE

フレームが 8 バイト拡張されていることに注意してください。必要に応じて受信 MAC がこのような拡張フレームを受け付けできるようにしておく必要があります。

タグ機能によってフレーム内容が変わるため、受信ポートで CRC を削除するように MAC を設定する必要があります。最終的に管理ポートのトランスミッタが新たに CRC を付加します。

4.5.5.2 バイトオーダ

16 ビットデータフィールドの ControlData の第 1 オクテットが MSB (ビット[15:8]) で、ControlData の第 2 オクテットが LSB (ビット[7:0]) です。

32 ビットデータフィールドの ControlData2 の第 1 オクテットが MSB (ビット[31:24]) で、ControlData2 の第 4 オクテットが LSB (ビット[7:0]) です。

4.5.5.3 送信処理 (スイッチから CPU)

スイッチが管理ポートを介してホスト CPU にフレームを転送するとき、次の情報が管理フレーム (またはすべてのフレーム) に追加されます。

表 4.233 管理フレーム送信時のタグ付与

フィールド	ビット番号	機能
ControlData	b3~b0	フレームの送信元のポート番号 ポートは 0 から 3 まで列挙されます。
	b15~b4	未使用の予約ビット
ControlData2	b31~b0	フレームの受信タイムスタンプ フレームを受信したポートでスタートフレームデリミタ (SFD) を検出した時点を示す 32 ビットのナノ秒値です。

4.5.5.4 受信処理 (CPU からスイッチ)

CPU がスイッチにフレームを送信すると、タグ機能がフレームをチェックし、オプションの制御タグ情報がフレーム内にあれば削除します。CPU は、特別な処理を必要としない通常のフレームに対して、必要に応じてタグを追加してもしなくてもかまいません。

タグ機能が制御タグを検出すると、フレームをスイッチに渡す前に 8 オクテットすべてをフレームから削除します。

受信フレームの制御タグ情報には以下の情報が含まれます。

表 4.234 管理フレーム受信時のタグフィールド (1/2)

フィールド	ビット番号	機能
ControlData	b0	強制転送 セットされている場合、フレームは ControlData2 に定義されている宛先ポートマスクで指定されているすべてのポートに転送されます。 0 の場合、転送マスクが無視され、フレームは通常通りに転送されます。
	b1	強制転送、フィルタリングあり 強制転送と共にセットされている場合、宛先ポートマスクの通常のフィルタリングが適用されます (つまり無効になっているポートがリストから削除されます)。0 の場合、無効になっているポートにもフレームが転送されます。 備考) これは BPDU フレームのみに適用されます。通常のフレームは常にフィルタリングされます (つまり無効になっているポートには転送されません)。
	b2	未使用、常に 0 にセット。
	b3	フレームに送信タイムスタンプを付加 セットされている場合、フレームの送信時に、フレーム送信タイムスタンプが対応するポートの送信タイムスタンプレジスタにラッチされます。タイムスタンプ機能の詳細については、「4.5.4 タイムスタンプ機能 (TSM)」を参照してください。
	b4	フレームの特殊ワンステップ修正フィールドを更新 (オプション) 有効になっていると、送信時の送信タイムスタンプからフレームの correction フィールド値を引いた結果が correction フィールドに再設定されます。トランスベアレントクロックのサポートに関する章で説明されているこの更新方式を使用するには、アプリケーションが特別にフレームを作成する必要があります。

表 4.234 管理フレーム受信時のタグフィールド (2/2)

フィールド	ビット番号	機能
ControlData	b5	PRP トレーラの付加を無効にします。 1 の場合、PRP グループで定義したポートでのフレーム送信時に、スイッチは冗長コントロールトレラ (RCT) を付加しません (つまり RedBox 機能を使用しません)。通常ポートでの送信については本ビットは影響しません。 0 の場合、スイッチは必要に応じて RCT を付加できます。 ControlData[6]=1 の場合は 0 にセットする必要があります。
	b6	強制的に PRP トレーラを付加します。 1 の場合、PRP グループで定義したポートでのフレーム送信時に、トランスミッタは冗長コントロールトレラ (RCT) を付加する必要があります。これによって、フレームが両方の冗長ネットワークに複製されない場合でも強制的にトレラが付加されます。ビット 7 の設定によって、スイッチがシーケンス番号を生成するか、あるいはアプリケーションによって使用するシーケンス番号を提供できます。通常ポートでの送信については本ビットは影響しません。 0 の場合、トレラ付加リクエストは行われません。 本ビットは ControlData[5]=0 の場合にだけ有効で、それ以外の場合は無視されます。
	b7	提供されたシーケンス番号を PRP トレーラに使用します。 1 の場合、RCT を付加するときにフレームに使用するシーケンス番号が ControlData2[31:16] に設定されています。 0 の場合、フレームを PRP ポートに転送するときにスイッチが自動的にシーケンス番号を生成します。このためには、フレームの送信元アドレスが MAC アドレステーブルに保存されている必要があります (ダイナミックエントリまたはスタティックエントリとして)。 本ビットは ControlData[6]=1 の場合にだけ有効で、それ以外の場合は無視されます。 提供されたシーケンス番号を使用するとき (ビット[6:7]=11b) は、シーケンス番号と履歴メモリが更新されません。したがって後続のフレームがこの方式を使用しないで送信される場合は、メモリからの任意あるいは古いシーケンス番号が付加されます (これはシーケンスの乱れをテストする場合に役に立ちます)。
	b15~b8	未使用、常に 0 にセット。
ControlData2	b3~b0	宛先ポートマスクです。 ControlData 強制転送ビット (ビット 0) がセットされている場合のみ関連があります。セットされている場合、フレームの転送先ポートリストを示します。 ポートごとに 1 ビットです。ビットが 1 にセットされていると該当するポートにフレームが転送されます。ビット 0=ポート 0、ビット 1=ポート 1、...。 スイッチでの転送時に管理ポートビットがリストから自動的に削除されます。したがってフレームは管理ポート自身には送り返すことはできません。
	b15~b4	未使用の予約ビット
	b31~b16	ControlData[7]=1 の場合に冗長コントロールトレラ (RCT) を付加するフレームに対して使用する、16 ビットのシーケンス番号です。 その他の場合は使用されません。

備 考

タグフィールドはネットワークバイトオーダーでフレームに挿入されます。つまり ControlData[15:8]の次が ControlData[7:0]、その後最初に ControlData2[31:24]が来て最後が ControlData2[7:0]になります。

4.5.5.5 モジュールの設定

タグモジュールは MGMT_TAG_CONFIG レジスタによって設定されます。

このモジュールによる制御情報の挿入は、ホスト CPU に送信されるすべてのフレームに対して、あるいは専用の管理フレーム (BPDU) のみに対して実施できます。

すべてのフレームに挿入しない場合は、BPDU フレームのほかに 2 つのタイプのフレーム

(PRIORITY_TYPE1/2) にタグ挿入を実施することもできます。この機能を使用するときは、タイプフィールドの比較がフレーム内の最初のタイプフィールドのみに対して行われます (つまりタグ挿入の判断をするデータパスにおいて、この時点では VLAN タグをスキップできません)。

CPU がスイッチにフレーム送信するときに必要に応じて制御情報を挿入できます。各フレームを個別に扱うことができ、各フレームに対して最適な実装になるようにソフトウェアが決定できます。

管理タグ機能を使用するときは、受信フレームから CRC を削除するように回線ポートを設定する必要があります (COMMAND_CONFIG_P[n].CRC_FWD=0)。

4.5.6 MAC EEE のサポート

4.5.6.1 概要

Energy Efficient Ethernet (EEE) は IEEE 802.3az で規定されています。この規格はバックプレーンアプリケーションの省エネモードを規定し、リンクがアイドルのときに PHY デバイスによってリンクの電源が切断されます。

MAC コアには、PHY へ低電力アイドル信号 (LPI) を送るために必要な機能が実装されています。

MAC には以下の使用シナリオに必要なタイマとコントロールレジスタが実装されています。

1. 完全自律動作

アイドル時間に達すると、MAC に備わっているタイマがアイドル状態を検出し、LPI の送信を起動してリンクの電源を切断します。また Tw_sys_tx ウェイクアップ遅延タイマを自動的に起動してトラフィックの送信開始を遅らせます。

2. ソフトウェア制御動作

MAC 内のコントロールレジスタ (EEE_CTL_STAT_P[n]) で LPI の送信 (lpi_req) とウェイクアップ期間 (lpi_txhold) 中のトランスミッタの停止を制御します。この機能によって、アイドル状態の検出とウェイクアップタイマをソフトウェアによって実装できます。

下の図に MAC コアの実装を示します。

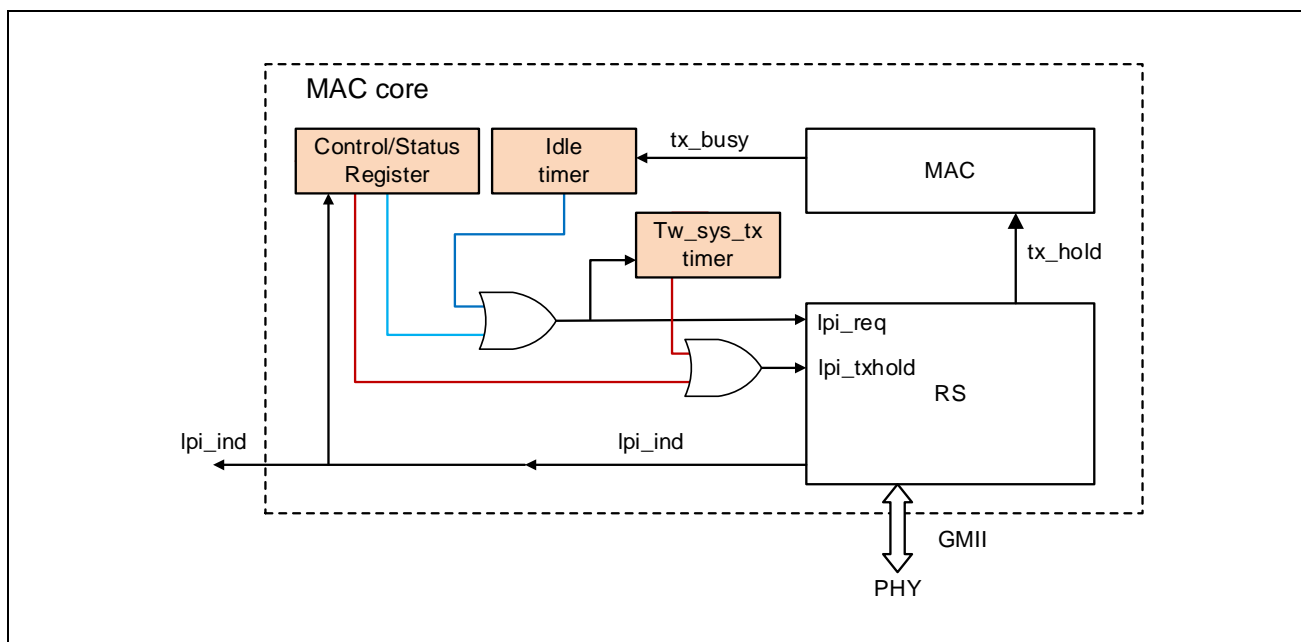


図 4.21 自律 EEE 動作のための MAC の拡張

以下の 3 機能が各回線ポートの MAC コアに統合されています。

- コントロール/ステータスレジスタ。このレジスタによってソフトウェアが動作モード (タイマによる完全自律モードまたはソフトウェア制御モード) を設定し、受信した LPI 指示状態をチェックできます。
- アイドルタイマ。設定された期間に MAC がデータを送信しなかった場合、このタイマによって lpi_req がアサートされます。アサートされると RS レイヤで LPI が送信されます。
- ウェイクアップタイマ (Tw_sys_tx)。このタイマはウェイクアップ後の一定期間、MAC トランスミッタがトラフィックを送信しないようにします。lpi_req のアサート解除後、lpi_txhold 信号をアサート状態に保ちます。

すべてのタイマはソフトウェアからレジスタを制御することによって設定可能です。

4.5.6.2 EEE のための PHY インタフェースのエンコード

MAC の汎用 PHY インタフェースは、必要に応じて PHY インタフェースコンバータを使用することによって任意の PHY インタフェースに接続できます。下の表に、MAC と PHY の間で低電力アイドル (LPI) シーケンスを送信するための標準 GMII と MII のエンコードを示します。

(1) EEE のための GMII エンコード

次の表にインタフェースのエンコードを示します。インタフェースにフレームが転送されない場合、GMII 上で特定のアイドルシーケンスをエンコードすることによってデータバリッドがロウになっている間にエラー信号をアサートできます。

表 4.235 EEE のための GMII エンコード

rxdv/txen	rxer/txer	rxd/txd[7:0]	説明
1	x	xxh	通常フレーム転送
0	0	xxh	通常のパケット間ギャップ (アイドル)
0	1	01h	低電力アイドル表示
0	1	0Fh / 1Fh	キャリア拡張/半二重動作時のエラーのみ (サポートされていません)
0	1	その他	予約されています

(2) EEE のための MII エンコード

次の表にインタフェースのエンコードを示します。インタフェースにフレームが転送されない場合、MII 上で特定のアイドルシーケンスをエンコードすることによってデータバリッドがロウになっている間にエラー信号をアサートできます。

表 4.236 EEE のための MII エンコード

rxdv/txen	rxer/txer	rxd/txd[3:0]	説明
1	x	xh	通常フレーム転送
0	0	xh	通常のパケット間ギャップ (アイドル)
0	1	1h	低電力アイドル表示
0	1	その他	予約されています

4.5.7 MAC 送信レートコントロール

4.5.7.1 概要

各 MAC には、リンク上の平均送信トラフィック量を減少させることができる、レートコントロール機能が実装されています。有効になっている場合、送信帯域幅として、使用可能なリンク帯域幅の 1%~80%を使用するように設定できます。無効になっているときはリンク帯域幅の 100%が使用されます。

実装されているアルゴリズムは「**4.6.2 参考資料**」の(3)で定義されているクレジットベースのシェーパを使用します。アルゴリズムは、MAC で送信されるトラフィックに対するクレジットカウンタを維持します。カウンタはフレームが送信待ちのときにカウントアップされます。またカウンタ値がマイナスのときもカウントアップされます。カウンタのカウントダウンはフレームが送信されたときに行われます。フレームの送信はクレジットカウンタ値 ≥ 0 の時だけ可能です。待ち状態のフレームがなくクレジットカウンタが >0 のとき、カウンタは 0 にリセットされます。

カウンタのカウントアップレートはアイドルスロープによって決まります。カウンタのカウントダウンレートは送信スロープによって決まります。アイドルスロープはプログラマブルであり、トラフィックに割り当てることができる帯域幅を示します。送信スロープはリンク速度によって決まります。

4.5.7.2 構成設定

送信スロープはリンクの送信速度（10Mbps、100Mbps、1000Mbps など）に依存し、MAC の現在の動作モードによって決まります。アイドルスロープはトラフィックに割り当てられるべき（相対）帯域幅に依存し、構成（「4.4.91 IDLE_SLOPE_P[n] — ポート[n] MAC トラフィックシェイパ帯域幅コントロール（n=0～4）」を参照）ごとに指定されます。

アイドルスロープは 1/64 ビットの粒度で設定できます。つまり、増分量が 512 (8×64) になったときに、クレジットカウンタが 1 バイトカウントアップします。実装ではインタフェースのバイト/クロック比率によって粒度に制限が加わる可能性があります。計算は常に 1/64 ビットのステップに基づいて行われます。つまりアイドルスロープによって、リンク容量の 0.2% (1/(1+512)) 単位で帯域幅使用量を指定できます。11 ビット値を使用することによって 0.2%～80% の帯域幅割り当てを設定できます。

結果的に、帯域幅は以下のように計算されます。

$$\text{帯域幅[\%]} = 1 / (1 + 64 / \text{アイドルスロープ} \times 8) = 1 / (1 + 512 / \text{アイドルスロープ})$$

$$\text{アイドルスロープ} = (512 \times \text{帯域幅}) / (1 - \text{帯域幅})$$

表 4.237 クレジットベースのシェーパ帯域幅設定例

アイドルスロープ値	割り当てられる帯域幅	備考
2	$1 / (1 + 32 \times 8) = 0.4\%$	1 バイト送信されるたびにカウンタが 8 ビットだけカウントダウンされます。アイドル時はバイトクロックごとに 2/64 ビットカウントアップされます。したがって 1 バイトカウントアップするには 32×8 バイトクロックサイクルが必要です。
4	$1 / (1 + 16 \times 8) = 0.77\%$	アイドル時はバイトクロックごとに 4/64 ビットカウントアップされます。したがって 16×8 バイトクロックサイクルが必要です。
6	$1 / (1 + 10.6 \times 8) = 1.1\%$	アイドル時はバイトクロックごとに 6/64 ビットカウントアップされます。したがって 10.6×8 バイトクロックサイクルが必要です。
64	$1 / (1 + 8) = 11\%$	送信クロックサイクルごとにカウンタが 8 ビットだけカウントダウンされます。アイドル時は送信クロックサイクルごとに 1 ビットカウントアップされます。したがって 8 クロックサイクルが必要です。
57	$1 / 10 = 10\%$	
73	$1 / 8 = 12.5\%$	
170	$1 / (1 + 3) = 25\%$	
256	$1 / (1 + 0.25 \times 8) = 33\%$	
512	$1 / (1 + 1) = 50\%$	
1536	$1 / (1 + 0.04 \times 8) = 75\%$	
2046	80%	

4.5.8 ポートベースのアクセスコントロール (802.1X)

4.5.8.1 概要

IEEE 802.1X 規格で、上位レイヤの認証機能によって認証されるまでスイッチのポートをネットワークから外す手順が規定されています。

IEEE 802.1X の動作は、通常は管理ポート経由で接続されている、アプリケーション (ソフトウェア) によって完全に制御されています。アプリケーションは、スイッチの回線ポートに接続されているデバイスとの認証メッセージの交換をスイッチを介して行います。スイッチはメッセージの解釈を行わず、認証関連フレーム (EAPOL) を検出し認証されていないポートへの転送を制限するだけです。

ポートの認証は AUTH_PORT[n] コンフィグレーションレジスタによって各ポート個別に制御されます。

4.5.8.2 用語と定義

- PAE (Port Access Entity)
ポートアクセスエンティティ。関連する認証プロトコルを実装するポートに関連付けられているエンティティです。
- EAP (Extensible Authentication Protocol)
拡張可能認証プロトコル。フレーム内にカプセル化される、PAE 間でやり取りされるメッセージです。
- EAPOL (EAP Over LAN)
EAP オーバー LAN。IEEE 802.3 での EAP フレームのカプセル化は、IEEE 802.1X で以下のように規定されています。
 - 宛先 MAC アドレスは PAE グループアドレスである 01-80-c2-00-00-03 またはポートの MAC に設定されたポートの定義済みユニキャストアドレスです。
 - イーサタイプとして PAE のイーサネットタイプが設定されます : 888eh
 - フレームには VLAN タグ (VID!=0) が付加されませんが、プライオリティタグを付加することが可能です。
- ポート制御方向。認証されていないポートは、制御方向の「in」または「both」で動作できます。
 - 制御方向の「in」を使用しているときは、ポートは受信トラフィックだけを規制し、他のポートが自身へ送信トラフィックを転送することは許可します。制御方向が「both」の場合、他のポートがトラフィックを転送することは許可されません。
 - この規則の例外として専用 EAPOL 管理ポートがあります。必要な認証プロトコルを実装するために、このポートからは EAPOL (または他の) フレームを制御方向が「both」のポートへも転送することを許可する必要があります。

4.5.8.3 機能説明

ポートが「未認証」と設定されている場合は、MAC/スイッチポートの受信処理は以下のように変更されます。

- EAPOL フレームを受け付けし、これを指定されたポート (いわゆる EAPOL ポート。通常これは管理ポートです) だけに転送します。
- EAPOL フレームでないフレームは廃棄されるか、あるいは特定のグループのポート (ゲスト VLAN) への転送だけに制限されます。たとえば認証の前に DHCP が許可されます。
- 他のポートから受信し、該当ポートで送信するために転送予定の非 EAPOL フレームを許可または廃棄します (制御方向が「in」または「both」)。
- BPDU フレームを許可または廃棄します。

ポートが「認証」と設定されている場合は、通常の宛先ルックアップと転送解決が実行されます。ただしその際、制御方向の「both」に対して設定されている未認証宛先ポートを除外するフィルタリングが追加で行われます。

4.5.8.4 転送判断

ポートの認証ステータスに応じて、フレームの宛先ポートを特定する、あるいはフレームを廃棄するために、各ポートの受信データパスに次の判断処理が実装されています。

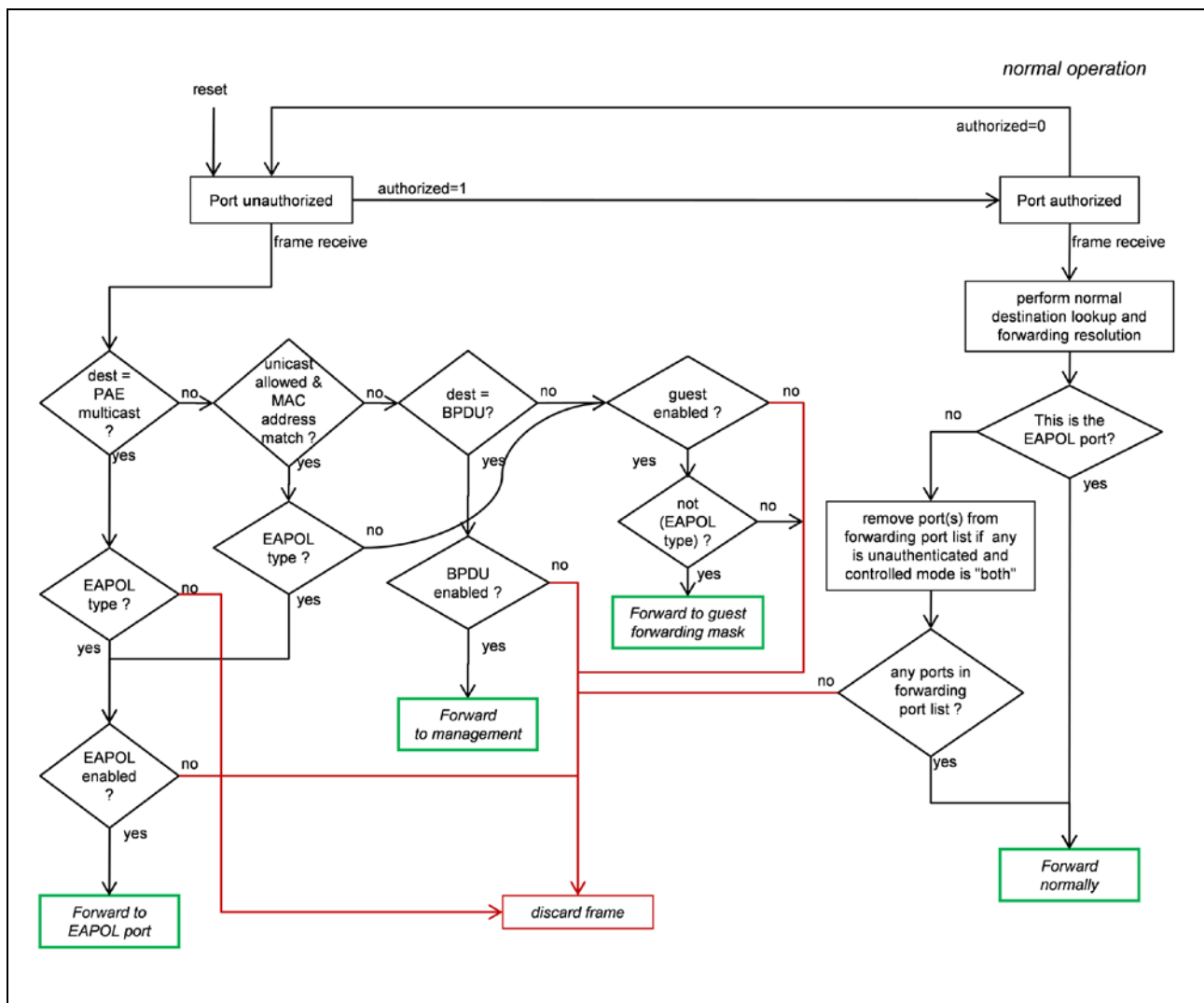


図 4.22 IEEE 802.1X の転送判断フロー

4.5.8.5 使用上の考慮点

認証アプリケーションを実装するときは次の点を考慮する必要があります。

- 無効なアドレスが MAC アドレステーブルに登録されること、および MAC アドレステーブルを上書きすること (MAC アドレス詐称) を防ぐために、認証されていないポート (「**4.4.8 INPUT_LEARN_BLOCK — 入カラーニングブロックレジスタ**」を参照) に対しては送信元アドレスラーニングを無効にする必要があります。リモートデバイスが認証されたら、認証アプリケーションはスイッチアドレステーブルにアドレスを登録する必要があります。
- 認証されていないポートに対してラーニングが無効になっていて、かつゲストトラフィックが許可されている場合、送信元アドレスはスイッチのアドレステーブルに登録されません。したがって他のポート (レスポンスポート) からこのような認証されていないポートに送信されたトラフィックはすべてフラッディングされます。フラッディングは (レスポンス) ポートが認証されていない場合はポートのゲストポートマスクに限定され、ポートが認証されている場合は通常のユニキャスト、マルチキャスト、ブロードキャストのフラッディングマスクに対して行われます。管理ポートは例外です。管理ポートからは強制転送によって目的のポートだけにフレームを転送できます。
- EAPOL の受信を許可するには、管理ポート機能を有効にする必要があります。つまり **MGMT_CONFIG** レジスタのビット 6 (enable) を 1、ビット 7 (discard) を 0 にする必要があります。このように設定しないと EAPOL チェックを実行する前にフレームが廃棄されます。
- ポートが認証されていない場合、そのポートのカットスルービットをクリアして無効なフレームがスイッチに入り込まないようにする必要があります。カットスルーは認証されているポートだけで有効にしてください。

4.5.9 割り込み

割り込みには次のようなものがあり、INT_CONFIG レジスタによって割り込みを個別に許可できます。

INT_STAT_ACK レジスタによって各割り込みステータスをチェックできます。また該当ビットに“1”を書き込んで割り込みラッチをクリアすることで、保留状態の各割り込みを確認済みにできます。

表 4.238 割り込み要因

要因	INT_CONFIG レジスタでのビット名	説明	コントロールレジスタステータス/ACK レジスタ	割り込み信号
MDIO	MDIO1	MDIO マスタトランザクションの完了	—	—
ルックアップ元	LK_NEW_SRC	未知の送信元 MAC アドレスを持つフレームを受信	—	—
PHY リンク変化	IRQ_LINK[3:0]	PHY リンクステータスの変化	—	—
TX タイムスタンプ	IRQ_TSM_TX[3:0]	回線ポートごとの送信フレームタイムスタンプ有りの表示	—	—
MAC EEE	IRQ_MAC_EEE[3:0]	電源状態が変化したときに、省電力イーサネット (EEE) を管理する MAC 統合機能が割り込みを生成可能	—	—
DLR モジュール	DLR_INT	デバイスレベルリング (DLR) によって生成されたイベント	DLR_IRQ_CONTROL DLR_IRQ_STAT_ACK	A5PSW_DLR_Int
PRP モジュール	PRP_INT	冗長ネットワークサポート機能 (PRP) によって生成されたイベント	PRP_IRQ_CONTROL PRP_IRQ_STAT_ACK	A5PSW_PRP_Int
ハブモジュール	HUB_INT	ハブモジュールによって生成されたイベント	HUB_IRQ_CONTROL HUB_IRQ_STAT_ACK	A5PSW_HUB_Int
パターンマッチャモジュール	PATTERN_INT	パターンマッチャモジュールによって生成されたイベント	PTN_IRQ_CONTROL PTN_IRQ_STAT_ACK	A5PSW_PTRN_Int
TDMA スケジューラモジュール	TDMA_INT	TDMA スケジューラモジュールによって生成されたイベント	TDMA_IRQ_CONTROL TDMA_IRQ_STAT_ACK	—

4.5.10 PHY マネージメントインタフェース (MDIO マスタ)

4.5.10.1 概要

MDIO マネージメントインタフェースは 2 線式のマネージメントインタフェースです。このインタフェースによって、標準的方法で PHY デバイスの内部管理レジスタにアクセスできます。バスプロトコルは IEEE 802.3 の 22 項によって規定されています。

4.5.10.2 MDIO フレームフォーマット

フレーム全長は 64 ビットです (プリアンブルが 32 ビット、コマンドが 14 ビット、バス方向変更用に 2 ビット、データが 16 ビット)。各ビットは MDIO クロック (MDC 信号) の立ち上がりエッジで転送されます。

表 4.239 MDIO フレームフォーマット (読み出し/書き込み)

種類	PRE	コマンド				TA	データ MSB LSB	アイドル
		ST MSB LSB	OP MSB LSB	Addr1 MSB.LSB	Addr2 MSB.LSB			
読み出し	1 ... 1	01b	10b	xxxxxb	xxxxxb	Z0b	xxxxxxxxxxxxxxxxxb	Z
書き込み	1 ... 1	01b	01b	xxxxxb	xxxxxb	10b	xxxxxxxxxxxxxxxxxb	Z

表 4.240 MDIO フレームのフィールドの説明

名称	説明
PRE	プリアンブル：各トランザクションの前に送信される、値がすべて論理値“1”の 32 ビット
ST	開始表示：“01b”
OP	オペレーションコードは読み出し操作を実行するのか書き込み操作を実行するのかを指定します。 1. “10b” の場合は読み出し操作が実行されます。 2. “01b” の場合は書き込み操作が実行されます。
Addr1	PHY のデバイスアドレス (PHYADDR)。最大 32 個のデバイスアドレスを指定できます。
Addr2	レジスタアドレス。各 PHY は最大 32 個のレジスタを実装できます。
TA	ターンアラウンド時間。読み出し操作のためにデータバスを書き込みから読み出しへ切り替える時間として 2 ビット時間が予約されています。PHY デバイスはレジスタ内容をデータフェーズで提供し、ターンアラウンドフェーズの第 2 ビットからバスを駆動します。
データ	PHY へ書き込むまたは PHY から読み出す 16 ビットデータです。
アイドル	フレーム間は MDIO データ信号がトライステートになります。

4.5.10.3 ターンアラウンド信号

読み出し操作では指定された PHY がデータバスを駆動する必要があります。この方向変更はフレームの 2 ビット時間の TA フェーズで実行されます。

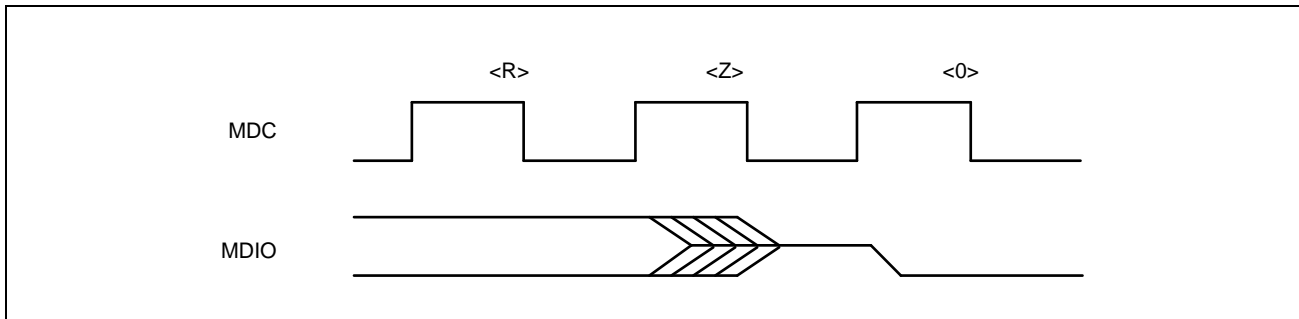


図 4.23 MDIO ターンアラウンドシーケンス

TA フェーズの直前のビット（上図の<R>）が PHY に送信されると、トランスミッタによって MDIO データ信号がトライステート（<Z>）に切り換えられます。1 クロックサイクルが経過すると、PHY が MDIO データ信号を 0（<0>）に駆動し始めます。その後、指定されたレジスタから 16 ビットのデータを出力します。PHY によって 16 ビットデータがすべて転送されると、MDIO が再びトライステートになります。

4.5.10.4 MDIO コントロールレジスタ

MDIO_CFG_STATUS コンフィグレーションレジスタはすべての MDIO トランザクションについて動作パラメータを設定するために使用されます。このレジスタはトランザクションが発生する前に初期化する必要があります。

コントロールレジスタは、オフセットの 0700h に位置します。

4.5.10.5 トランザクションタイプ

MDIO には 2 種類のトランザクションがあります。すなわち読み出しトランザクションと書き込みトランザクションです。トランザクションには PHY デバイスアドレスとレジスタアドレスが含まれていて、最大 32 個のレジスタによってバス上で最大 32 個のデバイスを指定できます。

トランザクションは MDIO_CFG_STATUS が初期化された後に実行できるようになります。

(1) 読み出しトランザクション

PHY からのレジスタの読み出しは次の手順で行います。

1. 目的の PHY デバイスとレジスタアドレスを MDIO_COMMAND に設定し、ビット 15 をセットして読み出しトランザクションを起動します。
2. トランザクションが完了するまで待機します（MDIO_CFG_STATUS をチェック）。
3. MDIO_DATA からデータを読み出します。

(2) 書き込みトランザクション

PHY レジスタへの書き込みは次の手順で行います。

1. 目的の PHY デバイスとレジスタアドレスを MDIO_COMMAND に設定します。
2. MDIO_DATA にデータを書き込みます。これによって書き込みトランザクションが起動されます。

3. トランザクションが完了するまで待機します (MDIO_CFG_STATUS をチェック)。

4.5.11 DLR 拡張モジュール

4.5.11.1 概要

A5PSW のデバイスレベルリング (DLR) 拡張によって、スイッチの 2 つの回線ポート、ポート 0 とポート 1 において、受信時にビーコンフレーム処理が可能になります。

DLR 拡張モジュールはポートの MAC 受信部とスイッチ入力部の間で処理を実行します。ビーコンフレームを検出し、フレームパラメータを解釈した上でローカルに保存し、ソフトウェアからアクセスできるようにします。

スイッチはビーコンフレームを通常通りに転送します (使用できる場合はカットスルーを使用)。MAC アドレステーブル内のスタティックアドレスエントリを使用して、ビーコンフレームの転送先を DLR が有効になっている 2 ポートのみ制限できます。これによって、スイッチの管理ポートまたは他の回線ポートにビーコントラフィックが送信されることを防ぎ、不必要な処理負荷を回避できます。

さらに各受信データパスにループフィルタが挿入され、受信フレームの送信元アドレスがローカルステーションの MAC アドレスに等しいかどうかを検出されます。このようなフレームを廃棄することによって、再構成時にローカルデバイスからリングに送信されたフレームによってループが形成されるのを回避できます。ローカルノードの MAC アドレスは DLR_LOC_MAClo/hi コンフィグレーションレジスタによって設定できます。

ビーコンベースのノード実装におけるリングステータスの変化は、割り込みステータスによってプロセッサに通知されます。受信ビーコンフレームのパラメータはいつでも読み出すことができます。処理済ビーコンフレーム数を計上する統計カウンタが実装されています。

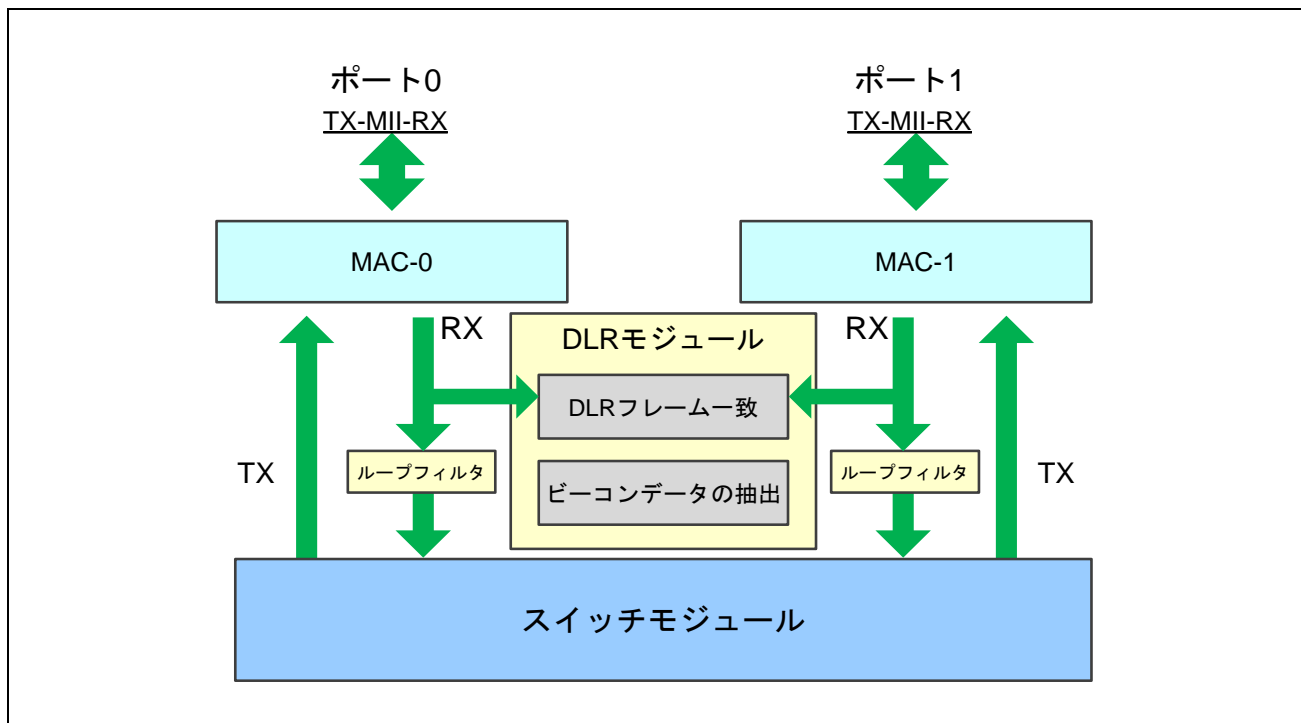


図 4.24 DLR 拡張モジュール付きスイッチ

4.5.11.2 ビーコンフレームのフォーマット

DLR ネットワーク内でビーコン周期（デフォルトでは 400 マイクロ秒）ごとに 1 回、アクティブリング スーパーバイザがビーコンフレームを両イーサネットポートを介して送信します。DLR フレームフォーマットとして IEEE 802.1Q のフレームフォーマットが使用されます。フレームは最高プライオリティ（7）で送信されます。ビーコンフレームはプリアンブルと SFD のバイトを除いて 64 バイト長の DLR フレームです。ビーコンフレームは以下のフィールドによって構成されています。

- 7 バイトのプリアンブル
- スタートフレームデリミタ (SFD)
- 6 バイトの宛先 MAC アドレス : 01-21-6C-00-00-01
- 6 バイトの送信元 MAC アドレス
- TPID (0x8100) と VLAN 情報
- リングイーサタイプ : 0x80E1
- リングサブタイプ : 0x02
- リングプロトコルバージョン : 0x01
- フレームタイプ : 0x01
- 送信元ポート : 0x00
- 送信元 IP アドレス
- シーケンス ID
- リング状態
- スーパーバイザ優先順位
- ビーコンインターバル
- ビーコンタイムアウト
- フレームチェックシーケンス (CRC 値)

表 4.241 ビーコンフレームのフォーマット

フレーム長	共通 DLR プロトコルヘッダ	7 オクテット	プリアンブル
		1 オクテット	SFD
		6 オクテット	宛先アドレス
		6 オクテット	送信元アドレス
		2 オクテット	TPID (0x8100)
		2 オクテット	VLAN 情報 (0xE000+VLAN ID)
		2 オクテット	リングイーサタイプ (0x80E1)
		1 オクテット	リングサブタイプ (0x02)
		1 オクテット	リングプロトコルバージョン (0x01)
		1 オクテット	フレームタイプ (0x01)
	1 オクテット	送信元ポート (0x00)	
	4 オクテット	送信元 IP アドレス (送信元に IP アドレスがない場合は 0x00)	
	4 オクテット	シーケンス ID	
	1 オクテット	リング状態	
	1 オクテット	スーパーバイザ優先順位	
	4 オクテット	ビーコンインターバル	
	4 オクテット	ビーコンタイムアウト (マイクロ秒)	
	20 オクテット	予約	
	4 オクテット	フレームチェックシーケンス	

ビーコンフレームが処理され、ソフトウェアからアクセスできるようにパラメータがローカルに保存されま
す。次の表にビーコンフレームフィールドを示します。

表 4.242 ビーコンフレームのフィールド定義

用語	説明
宛先アドレス	ビーコンフレームの宛先 MAC アドレスはマルチキャストアドレスの 01-21-6C-00-00-01 に固定されています。 このアドレスはビーコンフレーム専用の MAC アドレスです。したがってこのアドレスと一致する場合はカットスルー転送が使用できます。
送信元アドレス	スーパーバイザの送信元 MAC アドレスです。48 ビットのアドレスが 2 つの異なるレジスタに保存されています。
TPID	DLR メッセージには、IEEE 802.1Q に従い送信元 MAC アドレスの後に 2 オクテットの TPID (0x8100) が含まれています。
VLAN 情報	16 ビットの情報フィールドにはプライオリティフィールドと VLAN ID が含まれています。 VLAN ID はリングスーパーバイザに設定されており、リングノードによって受信されます。VLAN ID が ない場合の VLAN ID のデフォルト値は 0 です。リング内で商用スイッチが使用されていない限り、 デフォルト VLAN ID を変更する必要はありません。
リングイーサタイプ	DLR フレームのイーサタイプは 0x80E1 です。
リングサブタイプ	DLR メッセージのリングサブタイプ値は常に 0x02 です。
リングプロトコルバージョン	DLR メッセージのプロトコルバージョンです。
フレームタイプ	ビーコンフレームのフレームタイプ値は常に 0x01 です。
送信元ポート	ビーコンフレームの送信元ポート値は常に 0x0 です。
送信元 IP アドレス	スーパーバイザの IP アドレスです。 IP アドレスがない場合の IP アドレスのデフォルト値は 0 です。
シーケンス ID	フレームのシーケンス識別番号です。
リング状態	リングスーパーバイザによって送信されるリングネットワークの状態です。
スーパーバイザ優先順位	リングスーパーバイザ優先順位値には、ユーザがリングスーパーバイザに対して指定した優先順位値が 含まれています。複数のスーパーバイザが有効になっている場合、優先順位値によってユーザは優先順位 が一番高いスーパーバイザを 1 つ選択できます。 リングスーパーバイザ優先順位値として 0~255 の範囲内の任意の値を指定できます。値が高いほうが 優先順位が高くなります。
ビーコンインターバル	リングスーパーバイザがビーコンフレームを送信するマイクロ秒単位の間隔です。 値の有効範囲は最小 100 マイクロ秒~最大 100 ミリ秒です。この値は通常 400 マイクロ秒です。
ビーコンタイムアウト	マイクロ秒単位のビーコンフレーム受信タイムアウト時間です。ノードがこの時間だけ待ってもビー コンフレームを受信しない場合は適切な処理を実行します。 値の有効範囲は最小 200 マイクロ秒~最大 500 ミリ秒です。この値は通常 1960 マイクロ秒です。
フレームチェックシーケンス	フレームの CRC 値です。

4.5.11.3 リングノード機能の説明

ビーコンフレームはハードウェアによって検出され解釈されます。したがってリングノードの実装によって、プロセッサにビーコンフレームを処理する負担がかかることはありません。ビーコンベースのノード実装におけるリングステータスの変化は、割り込みステータスによってプロセッサに通知されます。受信ビーコンフレームのパラメータはいつでも読み出すこともできます。処理済ビーコンフレーム数を示す統計カウンタも実装されています。

(1) 設定

以下に DLR モジュールを設定するための手順を示します。

- ポートマスクのビット 0 とビット 1 だけをセットして、ビーコン宛先アドレス (01-21-6C-00-00-01) をスタティックエントリとして MAC アドレステーブルに入力します (「4.5.3.8 レイヤ 2 ルックアップエンジンの処理の説明」も参照)。これによって、ビーコンフレームはスイッチ内の 2 つの DLR 可能ポート間だけで転送されるようになります。
- ビーコン宛先アドレス (01-21-6C-00-00-01) を DLR モジュール内に設定して検出できるようにします (「4.5.11.3(2) ビーコンフレームの検出」も参照)。
 - DLR_DSTlo レジスタをリセット値でもある 0x006c2101 に設定
 - DLR_DSThi レジスタをリセット値でもある 0x0100 に設定
- ループフィルタが使用するローカルデバイスの MAC アドレスを設定します。
 - MAC アドレスの先頭の 4 バイトを DLR_LOC_MAClo レジスタに設定
 - MAC アドレスの最後の 2 バイトを DLR_LOC_MACHi レジスタに設定
- DLR イーサネットタイプ値である 80E1h を DLR_ETH_TYP レジスタに設定します。この値はリセット値でもあります。
- DLR_CONTROL レジスタによって DLR モジュールを有効にした上で制御します。タイムアウトカウンタが使用するタイマ定数 (1 μ s に相当するサイクル数) もこのレジスタで指定されます。
- Neighbor_Check_xxx メッセージと Sign_On メッセージの宛先アドレス (01-21-6C-00-00-02) を設定することによって、常に管理ポートだけに転送され回線ポート間では転送されないようにします。これを行う別の方法として以下の 2 つがあります。
 - アドレスを追加の BPDU レジスタである MGMT_ADDR0_lo/hi に設定
 - スタティックアドレスとしてアドレステーブルに追加する。その際、ポートマスクで管理ポートのビットだけ 1 にセット
- 必要に応じ、ソフトウェアによって任意の割り込みビットを DLR_IRQ_CONTROL レジスタで許可/禁止できます。

(2) ビーコンフレームの検出

受信フレームは以下のルールに該当する場合にのみ DLR モジュールによってチェックされます。その他の場合、DLR モジュールはフレームを無視します。

- 宛先アドレスが DLR_DSTlo/hi レジスタで指定されるアドレスと一致
- イーサネットタイプが DLR_ETH_TYP レジスタで指定される値と一致

上記のルールの両方が該当する場合、ポートのラーニングが有効になっていてもフレームの送信元アドレスのラーニングが行われません (リングスーパーバイザのエントリが入れ替わることによって常にアドレステーブルが更新されることを回避するため)。

受け付けられた DLR フレームはビーコンフレーム処理機能 (DLR モジュール内) に転送され、この機能がフレームのペイロードをさらにチェックしてビーコン情報を抽出します。ただし、この機能は次のルールが該当する場合にだけフレームを受け付けます。

- DLR ペイロードフレームタイプフィールド (ペイロードの 3 バイト目) の値が 0x01 である。

DLR ペイロードフレームタイプがこの値でない場合、そのフレームはビーコン処理機能によって無視されます。ただしこの場合でも送信元アドレスのラーニングは行われません (ペイロードには依存しないため)。

DLR モジュール機能がフレームをチェックしたかどうかにかかわらず、スイッチは常にフレームを通常通り処理します (回線ポート間で転送)。

(3) スタートアップ

リングノードがスタートアップされると、状態が IDLE_STATE になり、ネットワークがリニアトポロジモードであるという前提で動作します。ローカルリングノードの現在の状態とその他のステータスビットが DLR_STATUS レジスタに保存され、ソフトウェアからこの情報にアクセスできます。

DLR_CONTROL レジスタによって無視動作が有効になっている場合、無効なタイム値と共に受信されたビーコンフレームは無視されます。DLR_CONTROL レジスタによって無視動作が有効になっているかどうかにかかわらず、ビーコンフレームの無効なタイムアウトタイム値は常に DLR_INV_TMOUT レジスタに保存されます。DLR_IRQ_CONTROL で有効になっている場合、無効なタイムアウトタイム値を持つビーコンフレームを受信すると割り込みが生成されます。

どちらかのポートからビーコンフレームを受信すると、ノードは FAULT_STATE 状態に遷移します。この状態ではノードはネットワークがリングトポロジモードになっているとの前提で動作します。

DLR_IRQ_CONTROL レジスタで有効になっている場合、プロセッサに対して割り込みが生成されます。この割り込みは MAC アドレスラーニングテーブルをフラッシュする必要があることと、状態の変化を示します。すべてのリングスーパーバイザパラメータがレジスタに保存され、ソフトウェアからアクセスできます。IDLE_STATE から FAULT_STATE に遷移する間だけ以下のパラメータが保存されます。

- スーパーバイザの MAC アドレスが DLR_SUPR_MAClo レジスタと DLR_SUPR_MACHi レジスタに保存されます。
- スーパーバイザの優先順位値が DLR_SUPR_MACHi レジスタに保存されます。
- VLAN ID が DLR_STATE_VLAN レジスタに保存されます。
- ビーコンタイムアウトタイム値が DLR_BEC_TMOUT レジスタに保存されます。

スーパーバイザの IP アドレスはいつでも受け付けられ、変更されます。常に新規の IP アドレスによって古い IP アドレスが入れ替えられ、DLR_IRQ_CONTROL で有効になっている場合は IP アドレスの変更を示す割り込みが生成されます。

別のスーパーバイザからビーコンフレームを受信し、そのスーパーバイザの優先順位値がより高い場合、あるいは優先順位値が同じで MAC アドレス値がより大きい場合、新規のビーコンフレームパラメータによって古い値がすべて入れ替えられます。DLR_IRQ_CONTROL レジスタで有効になっている場合、スーパーバイザの変更を示す割り込みが生成されます。ノード状態は FAULT_STATE のままです。

別のスーパーバイザからビーコンフレームを受信し、そのスーパーバイザの優先順位値がより低い場合、あるいは優先順位値が同じで MAC アドレス値がより小さい場合、ビーコンフレームは無視されます。

DLR_IRQ_CONTROL レジスタで有効になっている場合、無視されたビーコンフレームを示す割り込みが生成されます。ノード状態は FAULT_STATE のままです。

リングスーパーバイザは通常はビーコンフレーム内のパラメータを変更しません。パラメータの変更が必要な場合は、スーパーバイザは新規のパラメータを持つビーコンフレームを送信する前に、少なくともビーコンタイムアウト時間の 2 倍の時間だけビーコンフレームの送信を停止することが求められます。

DLR_IRQ_CONTROL レジスタで有効になっている場合、両ポートでビーコンタイムアウトタイムアウトすることによってローカルノード状態が **IDLE_STATE** に戻ったときに割り込みが生成されます。現在の割り込みステータスはソフトウェアからアクセスできます。このステータスは、両ポートでビーコンタイムアウトタイムアウトがアサートされていること、**MAC** アドレスラーニングテーブルをフラッシュする必要があること、および割り込みステータスレジスタである **DLR_IRQ_STAT_ACK** で状態が変化したことを示します。

両ポートからビーコンフレームの受信時、および両ポートのいずれかでリング状態フィールドが **RING_NORMAL_STATE** に設定されているアクティブリングスーパーバイザからビーコンフレームの受信後、ローカルノードは **NORMAL_STATE** 状態に遷移します。割り込みステータスビットは、状態が変化したこと、ユニキャスト **MAC** アドレスラーニングテーブルをフラッシュする必要があること、および隣接チェックタイムアウトタイムアウトがソフトウェア内でアクティブのときこれを停止する必要があることを示します。

備 考

隣接チェック処理（「4.6.2 参考資料」の(5)を参照）の隣接チェックタイムアウトタイムアウト（100 ミリ秒）はソフトウェアで実装する必要があります。ソフトウェアは割り込みステータスレジスタの隣接チェックタイムアウトタイムアウト停止ビットを使用してタイムアウトを停止できます。

(4) 障害検出

いくつかの発生する可能性があるイベントのうちいずれかが発生すると、リングノードが **NORMAL_STATE** から別の状態に遷移します。

- 状態パラメータが **RING_FAULT_STATE** に設定されたビーコンフレームの受信。割り込みステータスがノード状態の変化を示し、割り込みが許可されている場合は割り込みが発生します。
- 現在のアクティブリングスーパーバイザよりも優先順位が高く、異なる **MAC** アドレスを持つビーコンフレームの受信。状態の変化に加え、割り込みステータスレジスタ内のスーパーバイザ変更ビットがアサートされます。
- ビーコンタイムアウト時間で指定された期間において両ポートでビーコンフレームを受信しなかった場合、ノードが **IDLE_STATE** に遷移します。状態の変化に加え、両ポートに対して割り込みステータスレジスタのビーコンタイムアウトタイムアウト満了ビットがアサートされます。
- ビーコンタイムアウト時間で指定された期間において 1 ポートでビーコンフレームを受信しなかった場合、ノードが **FAULT_STATE** に遷移します。状態の変化に加え、対応するポートに対して割り込みステータスレジスタのビーコンタイムアウトタイムアウト満了ビットがアサートされます。

(5) エラー処理

DLR ノードモジュールはいくつかのエラー状態に対処できます。

- **CRC** エラーがあるビーコンフレームは、検出されますが **DLR** ノード実装関連の解釈は行われず、スイッチに入る前に廃棄されます。エラーのあるビーコンフレームのパラメータは保存されません。**CRC** エラーのあるビーコンフレーム数がカウントされ、ポート 0 とポート 1 に対してそれぞれ **DLR** 統計レジスタである **DLR_RX_ERR_STAT0** と **DLR_RX_ERR_STAT1** に保存されます。
- ビーコンフレームタイムアウトタイムアウト値の有効範囲は 200 マイクロ秒～500 ミリ秒です。**DLR_CONTROL** レジスタで設定されている場合、無効なビーコンタイムアウト値を持つスーパーバイザからビーコンフレームを受信しても無視され、処理されません（ただしスイッチによって通常通り転送されます）。無効なタ

タイムアウト値を持つビーコンフレームは DLR_CONTROL レジスタの設定にかかわらず常に検出され、無効なタイムアウト値は DLR_INV_TMOUT レジスタに保存されます。DLR_IRQ_CONTROL レジスタで有効になっている場合は割り込みも生成されます。

(6) ビーコンフレームパラメータの抽出

パラメータはビーコンフレームに入れられて、リングスーパーバイザによって送信され、ノードによって抽出されて読み出し専用レジスタに保存されます。ビーコンフレームのパラメータはキャプチャされ保存される時間に応じて3種類に分類されます。

- タイプ1

通常動作中に変更できないパラメータ。通常動作中の予期しない変更を回避するためです。パラメータは常に抽出されステートマシン評価のために比較されますが、パラメータが保存されるのは IDLE 状態のとき、または受信したビーコンフレームが前に受信したビーコンフレームよりも優先順位が高い場合だけです。

- タイプ2

常に変更が許可されるパラメータ。これらパラメータは、現在のリングスーパーバイザからビーコンフレームを受信した場合、ノードが IDLE 状態である場合、または受信したビーコンフレームが前に受信したビーコンフレームよりも優先順位が高い場合は常に抽出され保存されます。

- タイプ3

どのポートで受信したビーコンフレームからも常に抽出されレジスタに保存されるパラメータ。状態にも、スーパーバイザにも、優先順位にも依存しません。デバッグ目的のみに有効です。

4.5.12 並列冗長プロトコル (PRP)

4.5.12.1 概要

本スイッチは IEC 62439-3 の4項（「4.6.2 参考資料」の(6)を参照）に基づく冗長ネットワークインフラストラクチャ内で使用できます。並列冗長プロトコル (PRP) によって、すべてのノード間で並列して運用される、2つの完全に独立したネットワークにより構成されるネットワークインフラストラクチャが規定されています。2つのネットワーク間には互いに通信がなく、片方のネットワークで障害が発生してももう一方のネットワークの運用に影響しないように構築されています。各ネットワークは冗長インフラストラクチャ内での自分の役割を認識していません。また通常のイーサネットネットワーク機器で構築されています。

冗長ネットワークインフラストラクチャに接続されている各ノードは2つの個別のネットワークインタフェースを使用して両ネットワークに同時に接続されています。これらノードはダブルアタッチノード (DAN) と呼ばれています。すべての DAN は両ネットワークに同じフレームを送り込み、受信側のノードが冗長フレームを識別して2つのフレームのうち片方のフレームだけを処理できるようにする冗長コントロールトレラ (RCT) を付加します。したがって片方のネットワークに障害が発生してもすべてのデータが冗長ネットワークを通過するため、通信は中断されません。

インフラストラクチャには柔軟性があり、1つのネットワークインタフェースしか持たない既存のネットワークコンポーネント (シングルアタッチノード (SAN)) をネットワークに接続することが可能です。SAN には冗長性のメリットはありません。また SAN は同じネットワーク上の DAN または SAN のみと通信できます。

冗長ネットワークインフラストラクチャの利点を SAN にももたらすためには、いわゆる冗長ボックス (RedBox) 装置を介して SAN を接続します。RedBox 装置は SAN と冗長ネットワークの間で転送されるすべてのトラフィックに対して必要なフレーム複製機能を実行します。ネットワークおよび他のすべてのノードから見て、RedBox の背後にある SAN は DAN と同様に振る舞います。このような SAN は仮想 DAN (VDAN) と呼ばれます。

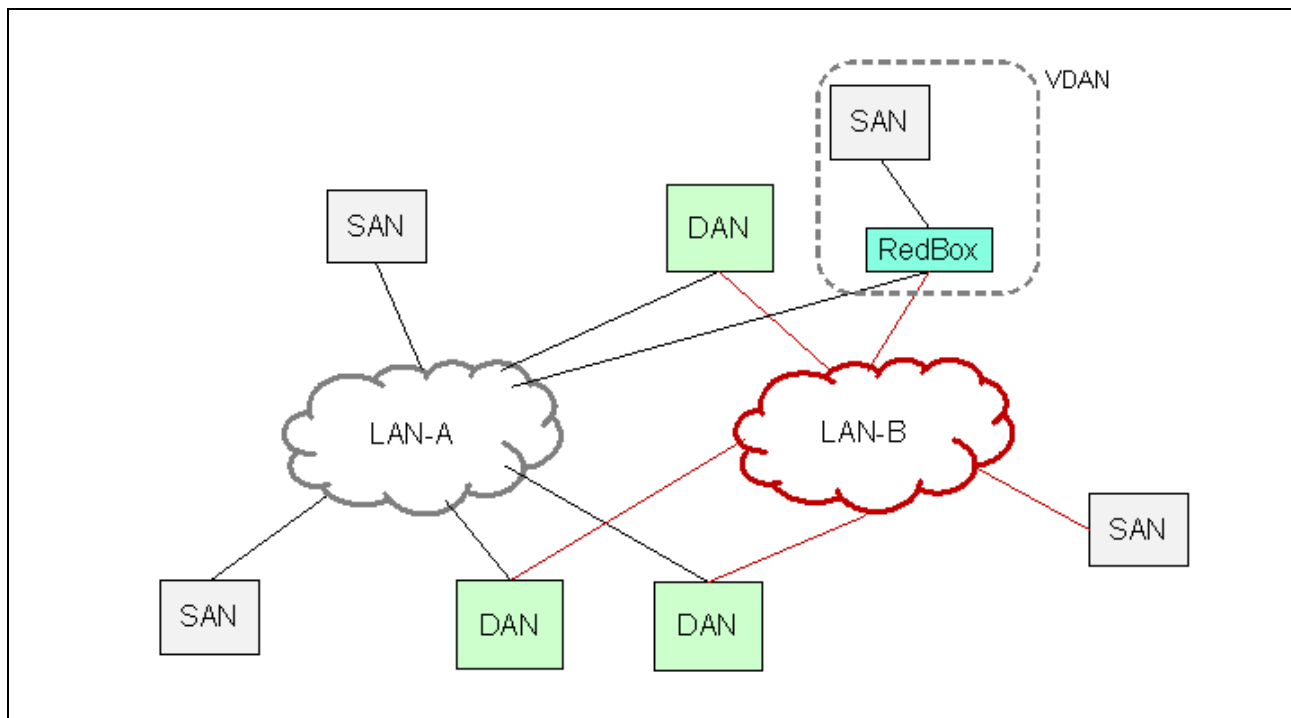


図 4.25 PRP ネットワークインフラストラクチャの概要

4.5.12.2 A5PSW 機能の概要

2つのポートを「PRPグループ」として束ねた上でこのような冗長ネットワークインフラストラクチャに接続することにより、A5PSWに非常に柔軟な機器機能を実装できます。PRPグループポートに入出力されるすべてのトラフィックにはフレーム複製、トレーラ付加、重複検出などの冗長処理が施されます。

また同時にA5PSWの他のポートは通常のSANや他のローカルネットワーク（冗長性なし）に接続できます。スイッチはPRPグループと他のポートの間でトラフィックを転送するときにRedBox機能を実行します。次の図は混合インフラストラクチャの例の中でのA5PSWのさまざまな役割を示します。

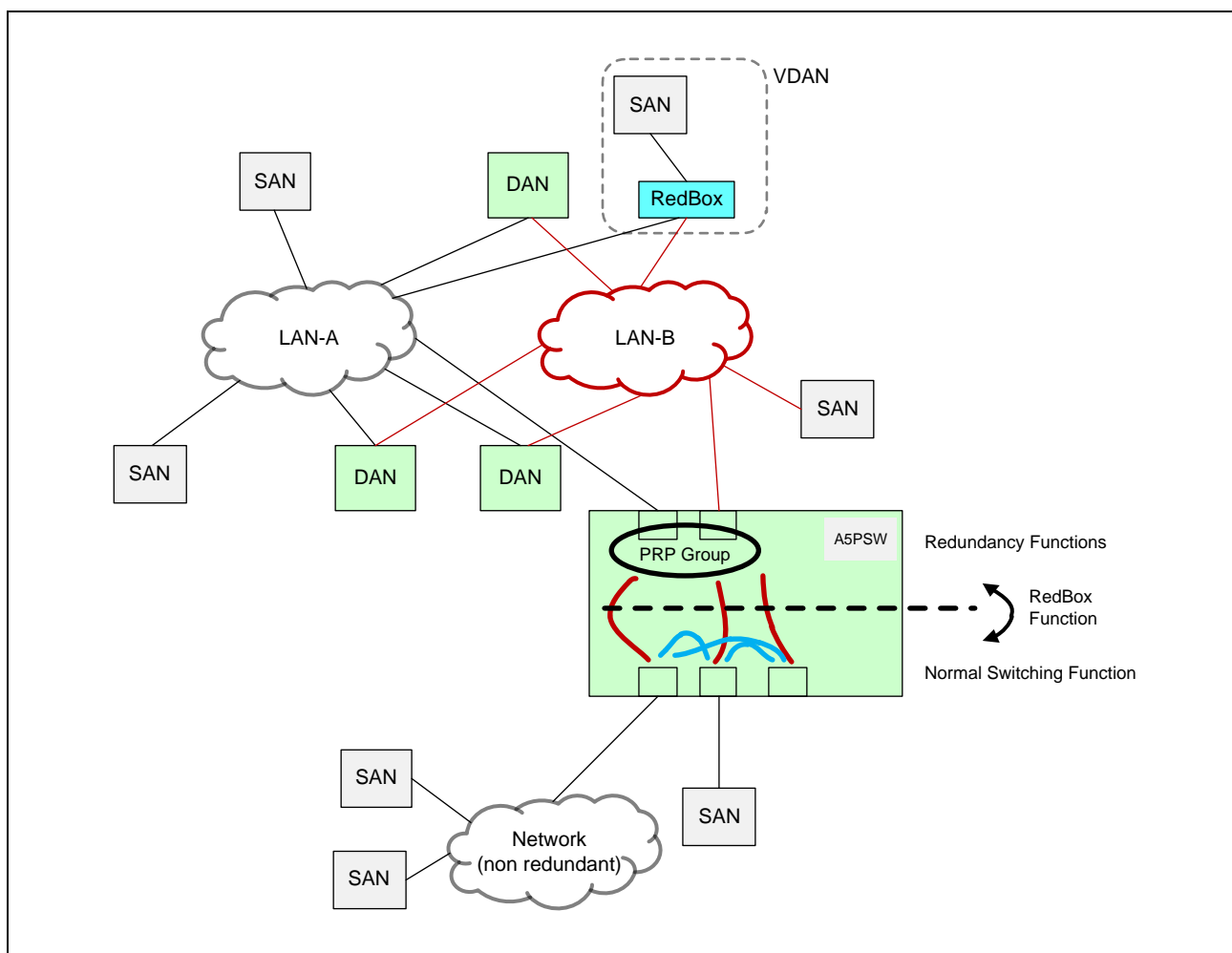


図 4.26 PRP インフラストラクチャ内での A5PSW

実装には柔軟性があり、以下の機能が実現されます。

- 任意の2つの回線ポートを冗長グループとして束ねることができます（グループを1つ作成可能）。
- 宛先がダブルアタッチノード（DAN）のフレームをPRPグループポートへ送信するときに、そのフレームを複製してRCTを付加します。
- 冗長ネットワークから受信したフレームの重複を検出し、任意で重複フレームを廃棄します。
- 宛先がシングルアタッチノード（SAN）であることがわかっている場合はフレームの複製とRCTの付加を行いません。

- スイッチの転送機能がルックアップテーブルを参照することにより、**DAN** と **SAN** を完全に自動的に区別します。**DAN** に対しては **PRP** グループの両ポートが宛先として登録されています。**SAN** に対しては **PRP** グループの 1 ポートだけが宛先として登録されています。
- **PRP** グループポートを介してノードから冗長トラフィックの受信時に **DAN** を自動的に検出するようにラーニング機能が拡張されています。
- または管理機能によって転送テーブルを設定して **DAN** と **SAN** を定義できます。
- トレーラの付加機能、重複の検出機能、および非冗長ポートへの転送時にオプションで **RCT** を自動的に削除する機能の設定について、いくつかの選択肢があります。
- ローカルノードをネットワークに接続する特殊ローカルスイッチ管理ポート（内部ポート）によって、必要なネットワーク監視（ソフトウェア）と管理サービスの運用が可能です。また管理ポート自身が冗長ネットワークに接続された **DAN** として振舞うことができます。
- **PRP** グループポートと他のスイッチポートの間でトラフィックを転送するときのトランスペアレント **RedBox** 機能。

4.5.12.3 スイッチの転送動作

(1) 冗長ネットワークへの転送

柔軟なアーキテクチャと完全なスイッチが設置されているという利点があるため、専用の冗長レイヤは存在しません。そのかわりに既存のスイッチ転送メカニズムとフレームの複製機能（ブロードキャストやフラディングなどに使用）が使用されます。PRP グループポート（PRP_GROUP レジスタで指定）にフレームを転送するとき、スイッチはフレームに追加情報を付加することによって MAC トランスミッタに対して必要に応じて冗長トレーラを付加するように指示します。この方法によって、冗長トラフィックと非冗長トラフィックをネットワーク上でトランスペアレントに共存させることができます。たとえば BPDU 管理フレームのようなリンクローカルトラフィックは、宛先が SAN のフレームと同様、転送される際に複製されず、冗長トレーラも付加されません。

下の図にフレームのフロー、および非冗長ポートから冗長ポートへ転送されるとき経路での振舞いを示します。これは実質的に RedBox 機能に相当します。

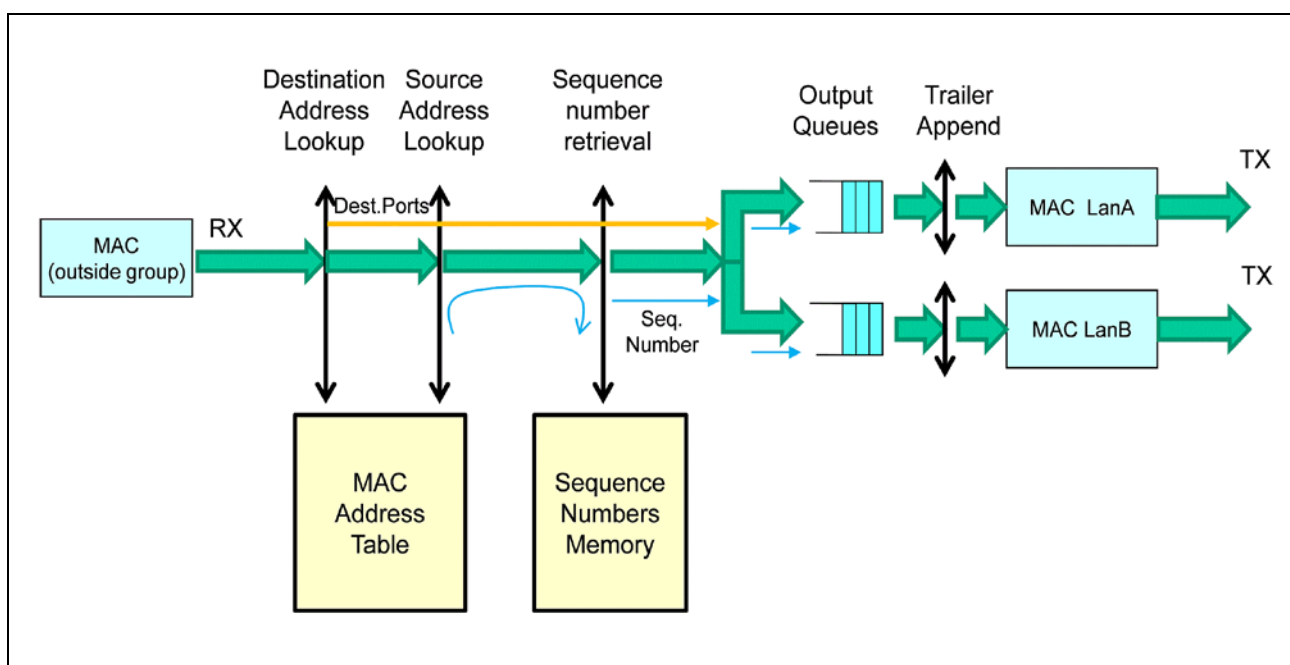


図 4.27 冗長ポートへの転送 (RedBox)

これはスイッチの出力キューはそれ自身がすでに冗長ネットワークインフラストラクチャの一部であることも意味し、複製フレームの冗長ネットワークへの送信は同時に発生しない可能性があります。たとえば冗長ポートの片方が SAN へフレームを送信している場合など、冗長ポートのキュー内のフレーム数がキューごとに異なることがあります。すると 2 つの複製フレームのうち最初のフレームは即座に送信されますが、2 番目のフレームは他方のポートで実行中の送信が完了するまで待機する必要があります。

受信側の DAN で重複を検出できるようにするための自動シーケンス番号生成をサポートするために、スイッチの MAC アドレステーブルを第 2 のメモリによって拡張し、各 MAC アドレスに対して現在のシーケンス番号を保存できるようになっています。このような MAC アドレスから受信したフレームが非冗長ポートから冗長ポートに転送され、その際フレームが複製されてトレーラが付加されたときに、シーケンス番号が自動的にカウントアップされます。同じ送信元が SAN と通信するときは、シーケンス番号は取り出されず変更もされません。

(2) 冗長ネットワークからの受信

冗長ネットワークからのトラフィック受信時、履歴メモリを使用して受信シーケンス番号を追跡するオプションがあります。履歴メモリによって、受信済みのフレームと同じフレームを同じ送信元から受信したことがわかる場合は、そのフレームを廃棄できます。2つのフレームのうち最初のフレームは通常通りに転送され、その際任意で冗長コントロールトレラを削除できます。

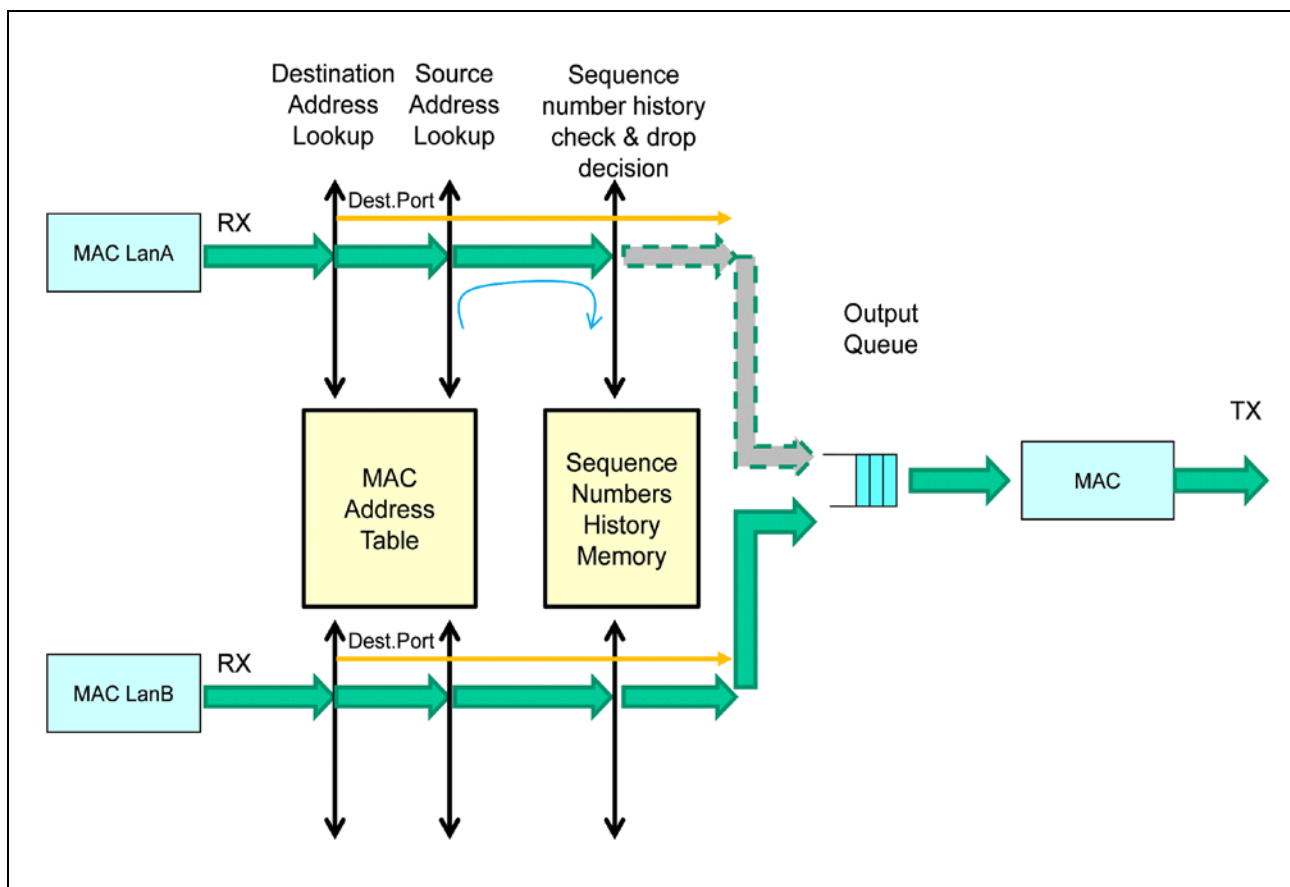


図 4.28 冗長ネットワークからの受信

この図は上の経路で重複フレームが（MAC LAN A から）削除される例を示します。各ポートはフレーム受信時に重複を検出するため、シーケンス番号履歴メモリをチェックします。重複している場合、スイッチはそのフレームに廃棄マークを付け、転送しません。

履歴メモリは特定のアトミック機能を提供しており、複数のフレームを同時に受信しても常にメモリ内に一貫したデータセットが生成されるよう保証します。これによって冗長フレームのうち片方だけを廃棄するよう判断できます。

シーケンス番号が未知または履歴の管理可能範囲内でない場合、重複は検出されず両方のフレームが出力キューに転送されます。したがって重複フレームが廃棄されるとは限らないので、上位レイヤプロトコルは重複したフレームを受信した場合に対処できる必要があります。疑いがある場合は、むしろ両フレームを転送することによってデータが失われないようにしています。

4.5.12.4 MAC アドレスラーニングの拡張

ハードウェア MAC アドレステーブル管理によって、フレーム受信時に送信元アドレスの自動ラーニングが可能で（「4.5.3.8(6) 自動ラーニング/マイグレーション」も参照）。冗長ネットワークをサポートするために、ハードウェア MAC アドレステーブル管理は両方の冗長ポートに同じ送信元アドレスが現れることを許可するように拡張されています。つまり、両方の冗長ポートで受信した各フレームの送信元アドレスフィールドに同じ MAC アドレスが見つかった場合、テーブル内のエントリの対応するポートマスクには PRP グループ（PRP_GROUP レジスタ）として定義されたものと同じ 2 ビットが含まれることとなります。

このことによって、フレームを両方の冗長ネットワークに接続されているノード（DAN）に送信する場合、スイッチはフレームを両方の冗長ポートに複製して転送します。同じ仕組みにより、テーブルのアドレスエントリに両ビットが設定されていない場合はリモートデバイスは SAN であると認識され、複製が行われません。

さらに、ダイナミックエントリはビット 51 とビット 52 によって 2 ポートのうちいずれかからフレームを受信したことを示します（これらビットは他の用途では使用されません）。ハードウェアは、指定された LAN A または LAN B のポート（PRP_GROUP レジスタで指定）からフレーム受信時だけ、対応するビットをセットします。必要に応じてこれらビットをクリアするかどうかは管理機能（ソフトウェア）次第です。これは DAN からのトラフィックを両方のポートで受信したことを検証する場合などに使用でき、冗長ネットワークのうち 1 つにネットワーク障害が発生した場合にそのことを検出できます。

下の図は冗長運用が有効になっている場合のダイナミックエントリの拡張フォーマットを示します（「**図 4.14 アドレスメモリレコードタイプ**」も参照）。通常使用されないビット 51 とビット 52 が使用され、冗長ネットワークの対応するポートからの受信を示します。

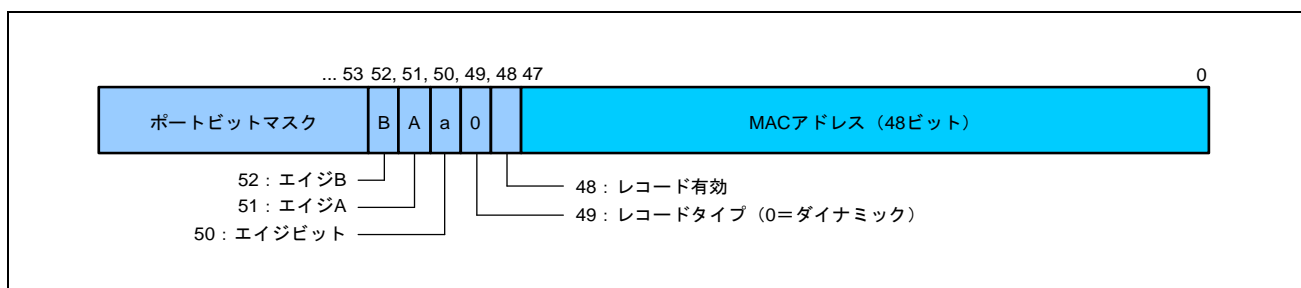


図 4.29 冗長化対応のために拡張されたダイナミックアドレステーブルエントリ

ラーニング機能を無効にすると（LK_CTRL レジスタ）、ソフトウェアがスタティックな方法でアドレステーブルを制御できます。ただしその場合でも、ネットワーク監視の目的で DAN のアドレスを追加してビット 51 とビット 52 の自動更新を有効にするときは、ダイナミックエントリを使用（ビット 49=0）する必要があります。エイジング機能とマイグレーション機能は無効にできます。その場合、エントリのこれら 2 ビットを更新（設定）する場合以外は、ダイナミックエントリがハードウェアによって変更されることがありません。

注 意

通常のエイジングビット（ビット 50）も、フレームの送信元のポートに関係なく、常にハードウェアによってセットされます。

表 4.243 PRP サポート関連のレジスタ

レジスタ	備考
PRP_GROUP	<p>どの 2 つの回線ポートを使用して冗長ネットワークに接続するかを示します。管理ポート（A5PSW の内部ポート 4）を割り当てることはできません。</p> <p>スイッチが PRP グループのポートにフレームを転送するときは、自動的にフレームを複製して冗長コントロールトレラ（RCT）を付加します。既知の各（送信元）MAC アドレスの現在のシーケンス番号を保存するために専用メモリが使用されます。このシーケンス番号は複製とトレラ付加が必要な冗長ネットワークへノードからフレーム送信するときに自動的にカウントアップされます。</p> <p>フレームの複製は通常の MAC アドレステーブルエントリ（「4.5.3.7 レイヤ 2 ルックアップエンジン」を参照）によって制御されています。テーブルにアドレスが挿入されると、ポートビットマスクに両方のポートを含めるよう設定することによって DAN であることが示されます。MAC トランスミッタがこの情報を使用してトレラを付加すべきかどうかを判断します。反対に 1 ポートしか登録されていない場合はフレームは他のポートへ転送される場合と同様に転送され、複製処理とトレラ付加は行われません。</p> <p>備考） PRP グループ内のポートを使用するときは、VLAN タグごとのマスクに依存する VLAN 入出力操作機能は使用できません。</p>
PRP_CONFIG	<p>すべての冗長化機能を有効にし、どんな場合に冗長トレラを付加したり、重複を検出して自動的にトレラを削除したりするのにかつての設定を行います。</p>
PRP_IRQ_CONTROL	<p>ネットワーク監視機能を実装するときに管理アプリケーションに係する複数の割り込みを許可できるようにします。</p>
RM_ADDR_CTRL	<p>履歴（RX）の読み出しと書き込みのためのアクセス機能、および各 MAC アドレスのシーケンス番号（TX）のメモリエントリです。</p> <p>メモリには MAC ルックアップテーブルメモリ（LK_ADDR_CTRL）と同じ数のエントリがあるので、各 MAC アドレスについてシーケンス番号またはシーケンス番号履歴を保存できます。</p> <p>どの種類の情報が保存されているかは MAC アドレスに関連付けられているポートに依存します。冗長ポートに関連付けられている場合（つまり DAN の送信元アドレス）は重複を検出できるように履歴が保存されます。MAC アドレスがスイッチのその他のポートに関連付けられている場合はシーケンス番号が保存され、このシーケンス番号は DAN に転送されるフレームに RCT を付加するために使用されます。</p> <p>備考） 履歴とシーケンス番号メモリはスイッチのハードウェアによって自動的に更新され管理されます。通常はアプリケーションがエントリを変更することはありません。ただし初期化やネットワークの再構成などのシナリオでテーブルをクリアしたり修正したりすることは考えられます。</p>
LK_CTRL	<p>ルックアップ機能を使用してアドレスを自動的にラーニングできます。その際、冗長ネットワーク内の DAN と SAN の検出も自動的に行われます。</p> <p>ダイナミックエントリが拡張され、ノードから冗長ポートの片方または両方を介してフレームを受信したかどうかを示す表示が（新たに）提供されます。</p> <p>または、ネットワーク構成がわかっている場合は管理機能によってアドレステーブルを設定できます。もしくはその他の方法によってアドレステーブルを制御する必要があります。</p> <p>管理機能（ソフトウェア）によってグローバルなラーニング機能とエイジング機能を無効にした上で（LK_CTRL のビット 1、2、3）、テーブル管理レジスタ（LK_ADDR_CTRL）を使用して必要に応じてアドレスを追加および削除できます。</p> <p>スタティックなテーブルを設定した場合でも、DAN と SAN のエントリは、ハードウェアによって LAN A ビットと LAN B ビットを更新できるようにするため、ダイナミックエントリのフォーマットに従う必要があります（「図 4.14 アドレスメモリレコードタイプ」を参照）。LAN A ビットと LAN B ビットはソフトウェアによってクリアできます。またこれらビットは冗長ポートのいずれかから受信したフレーム内で対応する送信元 MAC アドレスが見つかった場合は常にスイッチのハードウェアによって設定されます。この方法によってソフトウェアで制御されたエイジング機能または追加の監視機能を実装し、たとえば DAN に接続されたネットワークのいずれかに障害があった場合に検出することが可能です。</p>

4.5.13 統合ハブモジュール

4.5.13.1 概要

スイッチにはフレキシブルな統合ハブ機能が実装されています。このハブ機能は IEEE 802.3 第 27 項クラス 2 のリピータに類似した機能をエミュレートし、複数の半二重ポートを接続して共有ネットワークインフラストラクチャを構築します。

ハブ機能の基本的な仕事はすべてのポート間のすべてのフレームを瞬時に（460ns 未満）横断的にコピーすることです。各時点で 1 つのポートしか受信できず、データは常に他のすべてのポートにコピーされます。半二重動作のみが可能です。複数のポートで同時に受信した場合はコリジョンが発生し、データが破損します。

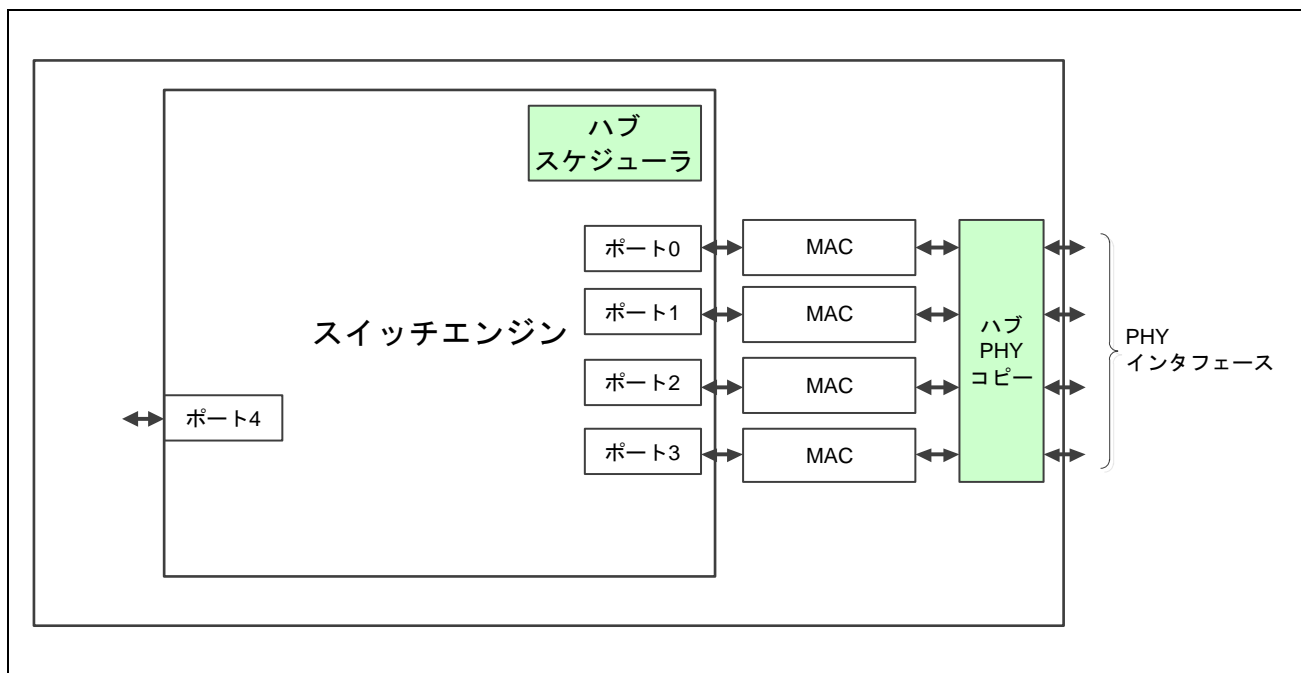


図 4.30 統合ハブ機能の概要

スイッチ統合ハブ機能によって任意の回線ポートを柔軟に割り当てて、いわゆるハブグループを作成できます。ハブグループでは MAC と PHY インタフェースの間にコピーレイヤが挿入されており、以下の機能を提供します。

- PHY インタフェースにおいて、ハブグループのすべてのポート間のデータをコピー
- グループ内の 1 つの MAC からの MAC 送信データをハブグループのすべての PHY インタフェースにコピー
- PHY インタフェースで受信したデータを対応する MAC ポートでトランスペアレントに受信（つまり複数の MAC レシーバにコピーしない）

ハブモードがアクティブの場合は以下のスイッチ機能も使用できます。

- コリジョン時のフレーム再送（MAC 送信時）（任意）
- 常にハブグループの 1 つの MAC だけが送信できるようにするハブスケジューラ
- アプリケーションまたは受信フレーム（パターン一致）によって制御される追加の MAC 送信許可

4.5.13.2 機能の説明

スイッチは、ハブグループのいずれかの MAC を使用して転送（送信）できます。MAC がハブグループへ送信すると、データがグループ内のすべての PHY インタフェースにコピーされます。ハブグループの PHY インタフェースのいずれかでのデータ受信時は、スイッチは通常通りポートに接続された MAC レイヤを介してそのデータを受信します（複数の MAC レシーバへのコピーは行われません）。

スイッチによる転送動作が変更され、各時点で送信できるのはハブグループ内の 1 つの MAC だけに限定されます。ハブグループの MAC は半二重動作に設定する必要があります。

(1) データフロー例

下の図にポート 0 とポート 1 によって構成されるハブグループの例を示します。

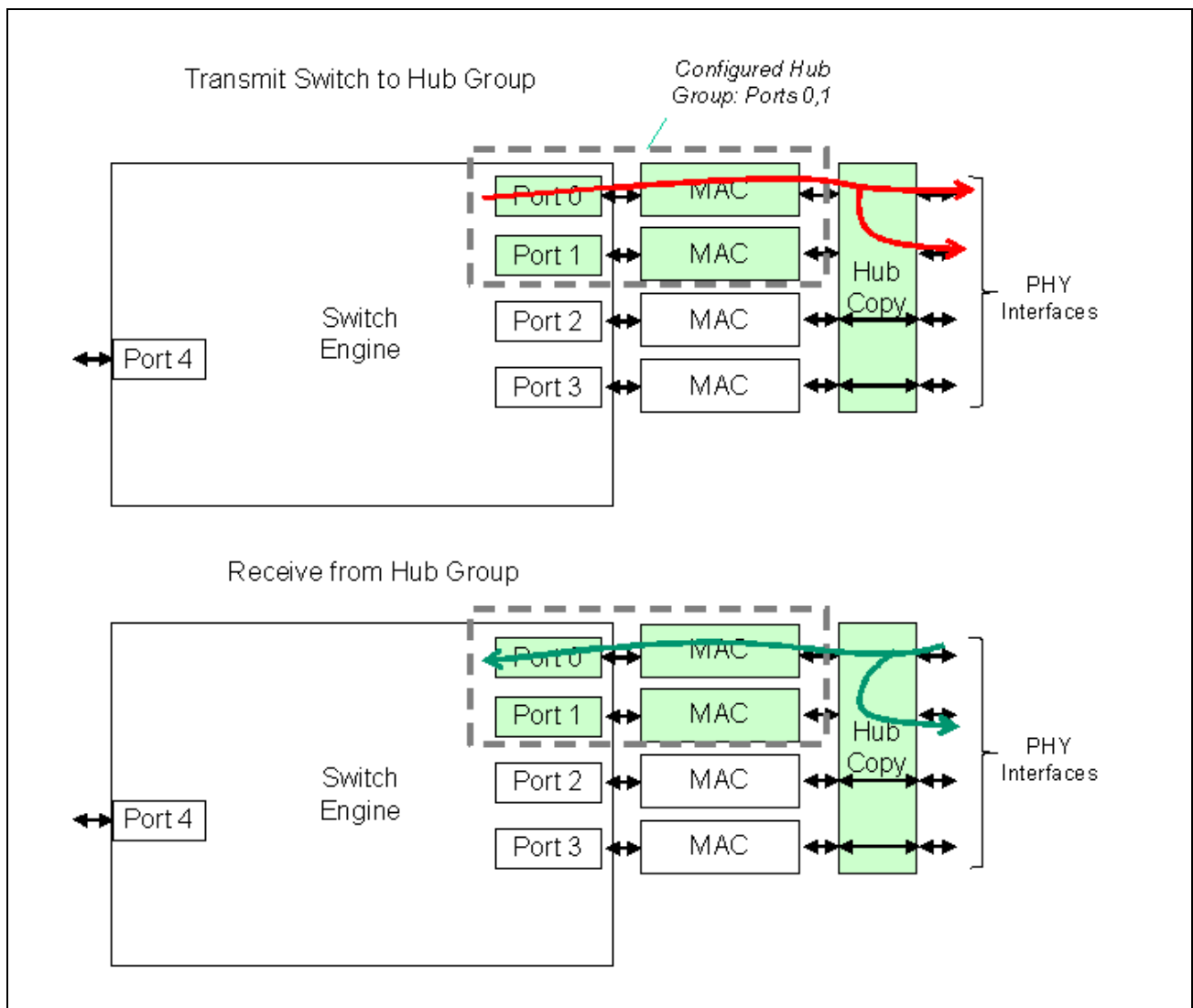


図 4.31 統合ハブのコピー機能の例

(2) ハブグループへの送信

ハブグループ内のスイッチポート（上の例のポート 0）から送信する場合、MAC 送信データはグループ内のすべての PHY インタフェースに同時にコピーされます。グループ内のどの MAC からでもグループ内に独立に送信できることに注意してください（その際すべての PHY インタフェースにコピーされます）。スイッチ内のハブスケジューラ機能が各時点で出力ポートのうち 1 つだけがグループ内に送信することを保証し、これによりコリジョンが回避されます。

ハブグループに所属しないポートは互いに完全に独立しています。これらポートの PHY インタフェースはコピー機能を使用せずに対応する MAC に直接接続され、それぞれ別の速度で動作できます。

(3) ハブグループからの受信

ハブグループ内 PHY でのデータ受信時、グループ内の他のすべての PHY インタフェースおよび対応する MAC にデータがコピーされます（つまり PHY0 から MAC0、PHY1 から MAC1）。スイッチの転送機能はハブグループのポートで受信したフレームがハブグループの他のポートに転送されないことを保証し、これによってフレームの重複が回避されます（ループも回避）。

ラーニングについては、ポートでフレームを受信した際に、そのポートで受信フレームから MAC アドレスをラーニングします（通常のスイッチモードと同じ）。ただし、ハブポートのいずれかでラーニングされた MAC に転送するときは、ハブグループの（設定された）専用デフォルトポートだけ使用します。

4.5.13.3 ハブ特有の転送ルール

ハブグループが存在するときのスイッチによる転送に関する判断については、フレームの重複を回避するためにグループと他のすべてのポート間でのフレーム転送に特別な考慮が必要です。ハブグループ内の各 MAC はグループ内のすべての PHY インタフェースに送信を行います。したがってフレームが（フラッディングやブロードキャスト等により）複数のスイッチ出力ポートに保存されている場合、そのフレームは複数回送信されることになります。

スイッチの転送判断を変更して、常にハブグループ内の 1 つの MAC（デフォルトグループポート）だけにフレームを送信するようにします。ハブグループのポートからのフレーム受信時、そのフレームはグループ内の他のポートには転送されません（ハブコピー機能で実施済みのため）。

ハブが有効になっている場合は次の転送ルールが適用されます。

- ハブグループ内からフレームを受信した場合
 - 隔離モード（HUB_CONFIG.HUB_ISOLATE=1）の場合は唯一の宛先として管理ポートを指定します。
 - そうでない場合は通常の宛先ルックアップによって宛先が決まり（フラッディングも含む）、ハブグループのすべてのポートは最終宛先マップから削除されます。
- 管理ポートからフレームを受信した場合
 - 宛先ルックアップが失敗、ブロードキャスト、または BPDU の場合：ハブデフォルトポートのみへフラッディングを許可します。
 - 宛先ルックアップが成功しスタティックエントリの場合：通常通り転送します（スタティックテーブルエントリによってどのハブグループポートも完全に制御できます。しかもフィルタリングは行われません）。
 - 宛先ルックアップが成功しダイナミックエントリの場合：
 - ・宛先がハブグループのポートである場合、ハブデフォルトポートのみに転送
 - ・そうでない場合（ハブポート以外へのトラフィック）は通常通り転送
 - 強制転送に制限はありません（ハブグループ内の 2 ポートに送信しないようにするのはアプリケーションの責任です）。

- その他のポート（ハブグループポートでも管理ポートでもないポート）からフレームを受信した場合
 - 宛先ルックアップによってハブ以外の宛先のみになった場合は通常通り転送します。
 - 宛先がハブグループ内の場合（ルックアップまたはフラッディングによる）
 - 隔離モードの場合はすべてのハブグループポートを削除して管理ポートを追加
 - そうでない場合はすべてのハブグループポートを削除してデフォルトハブポートのみを追加

これらルールの基本コンセプトは、ハブグループ外のポートからのトラフィックはすべて 1 つの MAC の出力ポート（デフォルトハブポート）だけを介してハブインフラストラクチャに送信するという事です。したがってハブグループ内の他のポートはデフォルトでは送信に使用されません。ただしこれらポートは完全に動作可能です。またスイッチ統合ハブスケジューラによって、いつでもハブグループ内の 1 つの MAC だけがハブインフラストラクチャへ送信を行うよう保証されています。

これら使用されない送信 MAC は管理ポート（アプリケーション）から使用でき、管理ポートは強制転送またはスタティックアドレステーブルエントリを使用してこれらポートにトラフィックを送信できます。

たとえば、デフォルトポートをすべての非同期トラフィックのために使用し、応答時間を保証する必要があるすべてのアイソクロナストラフィックとプロトコル特有フレームについては管理ポートが別のポートを使用できます。

4.5.13.4 ハブグループクロック

ハブモードを使用するときは、「RMII 半二重 100Mbps REF_CLK 出力 (RMII_100M_HALF_RO)」モードを「RGMIIRMII コンバータ[m]コントロールレジスタ (m=1~5)」に設定します。

4.5.13.5 PHY の要件

ハブモードがアクティブのときに適切に動作するためには、ハブグループとして使用するポートと共に使用する PHY が以下の機能を備えている必要があります。

1. 半二重で動作する場合、PHY は送信データを受信インタフェースに返送してはいけません。
2. トラフィックのどのような動作にもキャリアセンス (CRS) 信号がアサートする必要があります (標準動作)。
3. 両 (TX と RX) PHY インタフェース (キャリアセンス信号を含む) が共通クロックドメインに同期している必要があります (「4.5.13.4 ハブグループクロック」を参照)。
4. PHY は常に 100Mbps で動作する必要があります。特にリンクがない場合に 10Mbps 動作にフォールバックすることを防ぐ必要があります。ポートの速度の設定を誤るとハブが動作しなくなる可能性があります、グループ内のポートすべてに影響します (「4.4.191 HUB_STATUS — ハブステータスレジスタ」も参照)。

最初の 2 つの要件は、スイッチポートにアタッチされて半二重動作で使用される PHY の一般的要件であることに注意してください。

4.5.13.6 使用上の注意事項

- ハブグループはいつでも有効にできますが、クロック要件の変更により、発生する可能性があるリセットシーケンスと PHY の初期化について特別な注意が必要です。
- 他のグループモードで使用されているポートを同時にハブグループで使用することはできません (DLR グループや PRP グループなどのポート)。
- ハブグループ内で使用されるすべてのポートは 100Mbps の半二重動作に設定する必要があります (COMMAND_CONFIG_P[n])。

4.5.14 RX パターンマッチャ

4.5.14.1 機能の説明

どのポートにも、フレームの送信元アドレスフィールドの後の 12 バイト以内でパターン検索ができる追加の RX パターンマッチャを実装しています。

パターン比較はフレームの 13 バイト目から開始し、最大 24 番目のバイトまでチェックできます（プリアンブルと SFD は除く）。したがってフレームの長さ/タイプフィールドと最大 10 バイトのペイロードが対象になります（フレームフォーマットについては「[図 4.2 MAC フレームフォーマットの概要](#)」も参照）。バイトごとに個別の比較値とビットマスクを使って個別の長さパターンを定義できます。

パターンによって比較値（PTRN_CMP^{注1} レジスタを参照）とマスク値（PTRN_MSK^{注2} レジスタを参照）が定義されます。マスク値をフレームデータと AND 演算し、その結果を比較値と比較して一致するかどうかを判断します。したがって関係しないビットはマスクと比較値に対してすべて 0 に設定します。

パターンマッチャを統合ハブモジュール（「[4.5.13 統合ハブモジュール](#)」を参照）と組み合わせて使用することにより、特定フレーム受信時に MAC 送信を起動できます。このようにして、ノードからネットワークへの送信の制御を、中央マスタノードからの特定のフレームの受信によって実施するプロトコルなどを実装できます。

ただし、パターンマッチャはハブモジュールだけではなくどのアプリケーションも使用できます。

注1. 「[4.4.198 章](#)～[4.4.200 章](#)」を参照してください。

注2. 「[4.4.201 章](#)～[4.4.203 章](#)」を参照してください。

4.5.14.2 使用上の注意事項

- 全体で最大 8 パターンを使用できます（PTRN_CMP_xx^{注1} レジスタ、PTRN_MSK_xx^{注2} レジスタ、および PATTERN_SEL^{注3} レジスタを参照）。
- 受信フレームがパターンに一致したときに実行される機能はパターンごとのコントロールレジスタである PATTERN_CTRL[n]（n=0～7）によって設定されます。
- 特定のポートにおいて受信したトラフィックに対してパターンが適用されるかどうか、およびどのパターンが適用されるかは、ポート個別の RXMATCH_CONFIG[n] レジスタによってポートごとに設定できます。1 つのポートに対して複数のパターンを有効にしてそれらを論理 OR で結合できます（つまりいずれかのパターンに一致したときに対応する機能が実行されます）。
- 各パターンについて、一致したときに割り込みを発生させることができます。これは各パターンについてグローバルでありポート個別ではありません。ただし最低 1 つのポートに対してパターンを有効にする必要があります。パターンによる割り込みはモジュール固有の PTN_IRQ_CONFIG レジスタと PTN_IRQ_STAT_ACK レジスタによって許可されます。

注1. 「[4.4.198 章](#)～[4.4.200 章](#)」を参照してください。

注2. 「[4.4.201 章](#)～[4.4.203 章](#)」を参照してください。

注3. 「[4.4.197 章](#)」を参照してください。

4.5.15 TDMA の動作

4.5.15.1 概要

時分割アクセスを定義して複数の異なるトラフィッククラスのための帯域幅を確保するネットワークインフラストラクチャをサポートするために、ポートの一部またはすべてを TDMA (Time Division Multiple Access : 時分割多重アクセス) モードで動作させるようにスイッチを設定できます。

このようなスケジューリングの典型的な使用形態として、リアルタイムトラフィックや遅延に厳しいトラフィックの送信のために帯域幅を確保して時間枠 (タイムスロット) を指定することが挙げられます。その他のトラフィックはそれ以外の時間枠のみでネットワークを使用できます。この方法によって、遅延が一定の幅に抑えられているアイソクロナス (リアルタイム) トラフィックチャネルを実装しながら、同時にネットワークで他のベストエフォートトラフィックを共存させることが可能です。

このようなインフラストラクチャを適切に運用するには、ネットワークに接続されているすべてのノードとスイッチが同期されたクロック (IEEE 1588 を使用するなど) で動作し、なんらかのネットワーク管理プロトコルによってタイムスロットの割り当てについてノード・スイッチ間で合意している必要があります。

4.5.15.2 出力キュースケジューリング

1 組のポート (すべてのポートの場合もあり) を TDMA モードで動作するように割り当てられます。各ポートの複数の出力キューを異なるタイムスロットに任意に割り当て、各キューに許可されたタイムスロット内だけでそのキューから送信することができます。タイムスロットの割り当ては周期的に行われるため、使用可能な帯域幅が分割され、各ポートの異なるプライオリティのキューに保存されている異なるネットワークトラフィッククラスに分割された帯域幅が振り分けられます。

TDMA スケジューラによって、定期的に繰り返される時間間隔 (サイクル間隔) 内に 4 タイムスロットが割り当てられます。1 タイムスロットにつき 1 セットのキュー (キューが 0 個の場合を含む) からの送信を許可できます。キューに振り分けられた受信フレームは、そのキューに許可された送信時間枠があれば即座に送信されます。

1 つのタイムスロット内で複数のキューが有効になっている場合、それらの有効キューの間で通常のプライオリティ解決が行われ、プライオリティの 1 番高いキューが最初に処理されます (絶対優先)。

4 つのタイムスロットを使用することによって柔軟性がもたらされ、各時間枠に異なるキューを割り当てたり、スロット間にガード時間を設けてその間に新たな送信が開始しないようにできます。ガードスロットによって直前のスロットのすべての送信処理と受信処理を次のスロットの開始前に必ず終了させることが可能です。

TDMA がアクティブの場合、受信はまったく制限されないことに注意してください。フレームは完全に非同期的にスイッチに到着しますが、保存され、フレームのクラスに応じて送信タイムスロットに振り分けられます (プライオリティ解決)。

4.5.15.3 スケジューリングの例

下の図にスイッチを TDMA 動作に設定するとき適用される方針と定義を示します。この例では 2 つのアクティブなタイムスロット (区間 : $T_s \sim T_1$ と $T_2 \sim T_3$) と送信の開始が禁止される 2 つのガードスロット (区間 : $T_1 \sim T_2$ と $T_3 \sim T_s + 1$) があります。

各サイクルの開始 (T_s) で、 T_1 、 T_2 、 T_3 の設定に基づいてスロットのオフセットが計算されます。4 時点 (T_s 、 T_1 、 T_2 、 T_3) のおのおの異なるキューの集合に対して送信許可が与えられます。

下の図の例では、キュー 3 がサイクル開始 (T_s) から T_1 まで許可され、その他のキュー 0、1、2 は T_2 から T_3 まで許可されます。その他のすべてのタイムスロットではどのキューも許可されていません。したがってフレームは以下のようにスケジューリングされます。

1. サイクルの開始時点 (T_s) でキュー3 に保存されているフレームが送信されます (前のサイクル中にローカルノードで作成され、送信できなかったデータなど)。 T_1 に達するまで、キュー3 に振り分けられた受信フレームは即座に転送されます (オレンジのフレーム 2 など)。
2. T_1 の時点でキューからの新たな送信が禁止されます。実行中の送信処理と受信処理は完了するまで継続します (1 最大フレーム時間)。
3. T_2 の時点でキュー0、1、2 が有効になります。キュー1 のプライオリティがキュー0 よりも高いのでキュー1 から最初のフレームが送信されます。最後にキュー0 からフレームが送信されます。このサイクルではキュー2 にデータがありませんでしたが、もしあればキュー1 よりも先にスケジューリングされます。
4. T_3 の時点でキューからの新たな送信が再び禁止されます。実行中の送信処理と受信処理は完了するまで実行されますが新たな送信は開始しません。

T_s+1 の時点で次のサイクルが開始すると、キュー3 の送信許可からこのシーケンスが再び繰り返されます。許可された送信時間枠内においてキューに送信データがない場合は、該当のポートは何もしません (つまり確保された帯域幅は使用されません)。

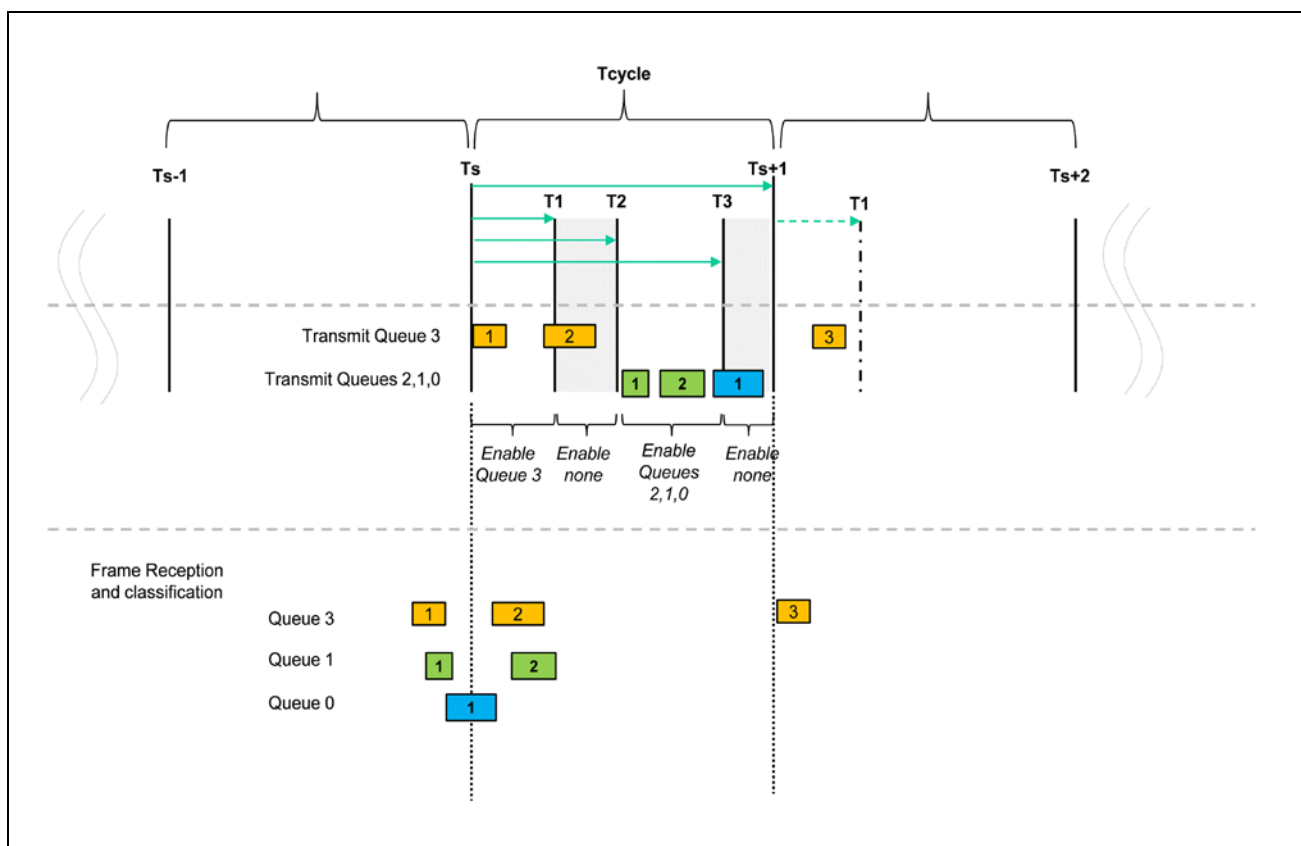


図 4.32 TDMA スケジューリングの例

TDMA の周期サイクル設定レジスタおよび各時間のオフセットレジスタによって 4 つの値が指定されます。Tcycle は周期サイクルを指定し、T1 はサイクル開始からの最初のオフセットを指定し、T2 は 2 番目のオフセットを指定し、T3 は最後のオフセットを指定します。

サイクル開始時点および指定された各オフセットごとに、任意の使用可能なキューの集合に対して送信権を付与できます (それらキューはタイマが次のオフセット境界に到達するまで有効な状態が保たれます)。

4.5.15.4 スタートアップシーケンス

アプリケーションが使用するサイクルとスロットについてのすべての情報を決定し、システムタイマがネットワークインフラストラクチャ内のマスタクロックにロックされると（したがって正確に動作）、TDMA スケジューラを開始できます。

TDMA スケジューラを開始するには、アプリケーションにより TDMA_START レジスタを設定して最初のサイクルを開始する絶対時間を指定します。そしてアプリケーションが TDMA_CONFIG レジスタに書き込んで（ビット 0=1）スケジューラを有効にします。

注 意

アプリケーションはタイマが TDMA_START の値に到達する前に TDMA_CONFIG に書き込む必要があります。もしタイマが開始値を過ぎてからアプリケーションがスケジューラを有効にすると、タイマが折り返して、1 タイマ期間が完全に過ぎたあと開始値に再び到達するまでスケジューラは待機します。しかしながらこれは意図する動作ではありません。

このようにすることでタイマが設定された開始時間に到達したとき即座に TDMA スケジューラが動作を開始するようになります。最初のサイクルを待機している間に QUEUES_START レジスタによって特定のキューの集合を有効にできます（1 つも有効にしなくてもかまいません）。

最初のサイクルが開始すると、サイクル割り込みが許可されていれば割り込みが発生します（「**4.4.218 TDMA_IRQ_CONTROL — TDMA 割り込みコントロールレジスタ**」を参照）。

TDMA スケジューラは TDMA_CONFIG レジスタをクリアすることによっていつでも無効にできます。この設定は即座に有効になり、通常動作のようにすべてのキューが再び有効になります。

4.5.15.5 使用上の注意事項

- TDMA スケジューラを使用しているときは絶対優先度制御方式を設定する必要があります（「**4.4.37 IMC_CONFIG — 入力メモリコントローラコンフィグレーションレジスタ**」を参照）。その他の方式は許可されておらず、使用した場合は予想外の結果になる可能性があります。
- 予期しない送信遅延を回避するために、TDMA が有効になっているすべてのポートに対して MAC レートリミッタは無効にする必要があります（「**4.4.91 IDLE_SLOPE_P[n] — ポート[n] MAC トラフィックシェイパ帯域幅コントロール (n=0~4)**」を参照）。
- 受信トラフィックを対応する出力キューに振り分けるための方法としていくつかの方法が使用でき、それらを組み合わせることもできます（「**4.5.3.5(4) プライオリティ解決**」も参照）。
 - PRIORITY_CFG[n] レジスタによるポートごとの設定に基づく振り分け
 - VLAN_PRIORITY[n] レジスタによるポートごとの VLAN プライオリティのマッピングの指定
 - パターンマッチャによる一致したフレームのプライオリティの指定

振り分けはフレームの受信時に行われるため、TDMA が有効になっているポートだけではなくスイッチのすべてのポートを矛盾なく設定する必要があります。

- スケジューラで時間オフセットの T2 と T3 を無効にすることによって、サイクルごとに 2 スロットまたは 3 スロットだけを使用することが可能です。T2 を 0 に設定すると T2 と T3 が無視され、T1 を境とする 2 つのスロットにサイクルが分割されます。T3 を 0 に設定すると T3 が無視され、T1 と T2 を境とする 3 つのスロットにサイクルが分割されます。T1 を無効にすることはできません。

4.5.16 A5PSW の初期化

本項の初期化シーケンスは、以下の構成で A5PSW を使用するためのシステム環境の準備に使用される例です。

Ethernet の初期化については、『RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル アーキテクチャ・製品データ編』の『8.3.1 初期化』を参照ください。

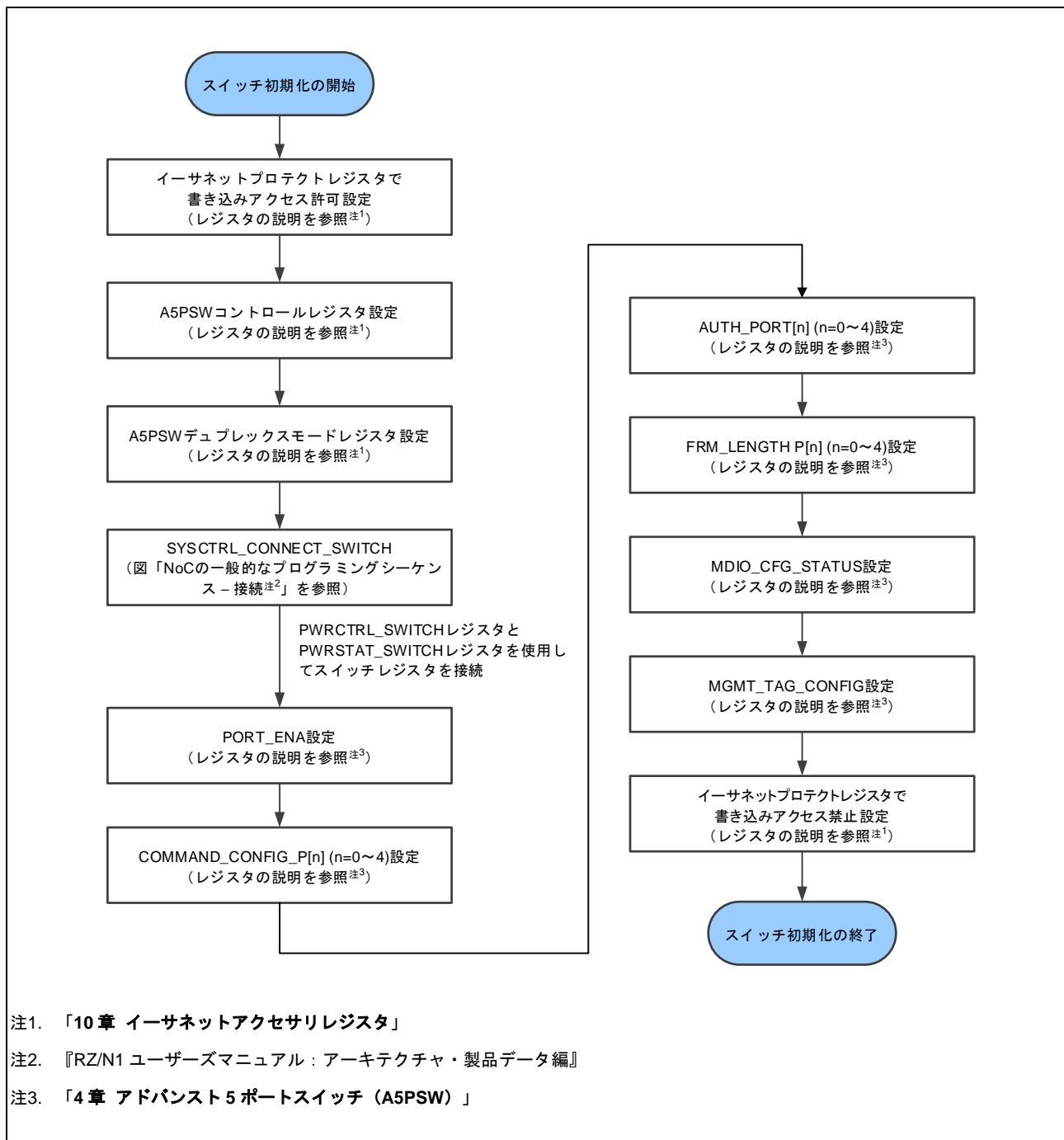


図 4.33 A5PSW の初期化フローチャート

4.6 使用上の注意事項

4.6.1 制約事項

- イーサネットポートがハブモードで使用される場合、ポートを「RGMII/RMII コンバータ[m]コントロールレジスタ (CONVCTRL[m]) (m=1~5)」で「RMII 半二重 100Mbps REF_CLK 出力 (RMII_100M_HALF_RO)」モードに設定する必要があります。ハブモードのイーサネットポートで接続される PHY は REF_CLK として供給される共通クロックを必要とするためです。
- 半二重モードとして A5PSW のポートを設定するには、A5PSW デュプレックスモードレジスタ (SWDUPC) の PHY_DUPLEX をクリアし、ポート[n]コマンドコンフィグレーションレジスタ (COMMAND_CONFIG_P[n]) の HD_ENA をセットする必要があります。
- ラーニングテーブルの初期化では、LK_CTRL レジスタの Clear_Table ビットがクリアされるまで待機してください。
- IP クラス分けテーブルは自動的に初期化されません。したがってソフトウェアによってすべてのエリアを初期化する必要があります。IP クラス分けテーブルへのアクセス手順については IP_PRIORITY[n] レジスタの説明を参照してください。
- PHY は半二重モード動作時、送信データを受信インタフェースに折り返さないようにしてください。
- TDMA スケジューラは特定の条件下でラップアラウンド後停止することがあります。これは、タイマがラップアラウンド (モジュロ) した後の比較値がタイムスタンプ粒度より小さくなる場合に該当します。これを防ぐため、タイムスロットの設定は以下のルールを考慮する必要があります。また、タイムスタンプ補正は Fine 法を使用してください。
 - GMAC1 から入力される A5PSW_TS_NS_IN[31:0]のタイムスタンプ粒度以上のオフセットを設定して動作を開始してください。A5PSW_TS_NS_IN は PTP モジュレーションに関係しており、タイムスタンプ粒度 (=加算サイズ) は GMAC1 の Sub_Second_Increment レジスタの設定値に依存します。A5PSW_TS_NS_IN の接続に関しては、『RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル アーキテクチャ・製品データ編』の『8.2.2 PTP 用クロックの選択』を参照してください。
 - すべての TDMA スケジューリング時間 (T1、T2 および T3) は制約回避オフセット値が消えないように考慮する必要があります。

例)

タイムスタンプ粒度	: 20ns (=GMAC1 の Sub_Second_Increment レジスタの設定値)
タイマモジュロ	: 1s
制約回避オフセット値	: 20ns (≧タイムスタンプ粒度)

レジスタ値の上記設定例は以下のようになります。

TDMA_MODULO	= 1,000,000,000	(1second timer modulo)
TDMA_CYCLE	= 20,000,000	(20ms)
TDMA_T1	= 5,000,000	(5ms)
TDMA_T2	= 15,000,000	(15ms)
TDMA_T3	= 18,000,000	(18ms)
TDMA_START	= 100,000,000+20	(100ms+20ns、ここで制約回避オフセット値が適用されます)

- ブロードキャストおよびフラッディングにより転送されるパケットは、PRP ポート間でも転送されます。これを抑制したい場合は、次のように設定してください。
 - デフォルトマスクレジスタ (UCAST/MCAST/BCAST_DEFAULT_MASK) で PRP ポートへの転送を禁止
 - 転送されるパケットを一度管理ポート経由で CPU で受信し、その後強制転送機能を使って PRP ポートへ送信
- RedBox の NodeTable 機能は本ハードウェアには実装されていません。NodeTable はソフトウェアで管理してください。
- PRP グループ内でポートを使用するときは、VLAN 入力処理機能および VLAN 出力処理機能は使用できません。
- ハブモジュールを使用するとき、A5PSW から出力されるフレームのプリアンプルは、入力されるフレームのプリアンプルに対して伸張されます (下図参照)。これはコリジョンを避けるためにできるだけ早くに次のデバイスにフレームの送信があることを示すために使用されています。プリアンプルの伸張はイーサネットとして許可されていますが、一部の POWERLINK サポートの装置で受信時に問題となることが判明しています。従って、POWERLINK をサポートする場合、ハブモジュールによる転送は使用しないでください。

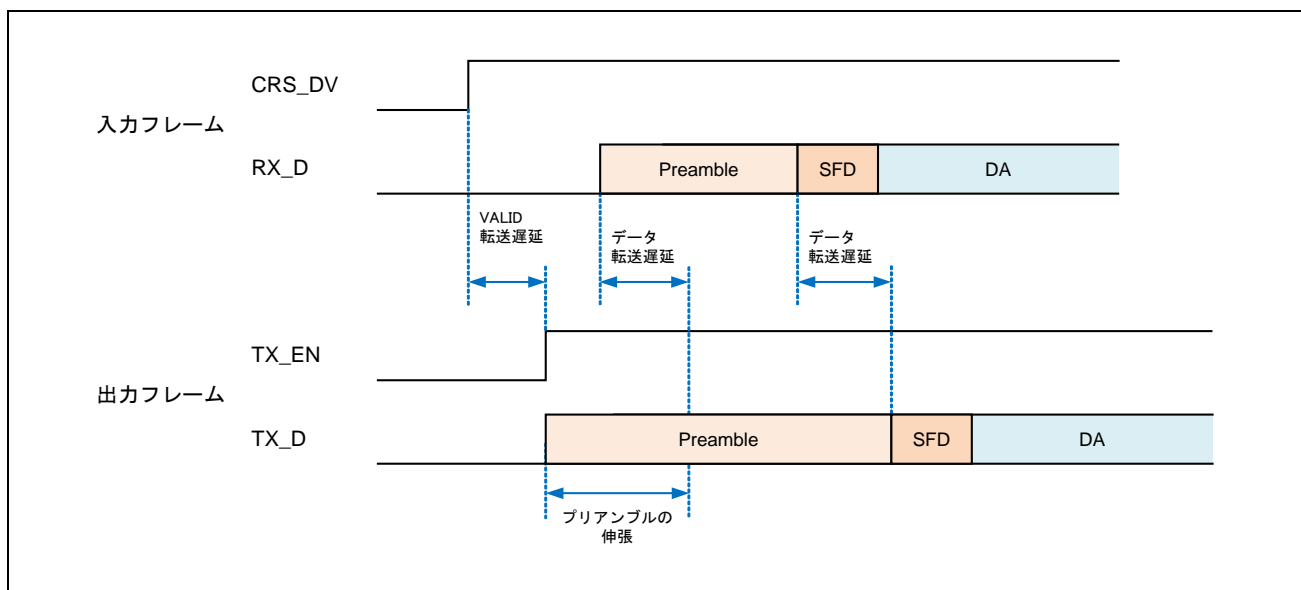


図 4.34 ハブモジュール使用時の入出力フレームのタイミング

- PRP 誤 ID LAN-A/B カウントレジスタ (CntErrWrongLanA および CntErrWrongLanB) は使用できません。必要に応じて、ソフトウェアでの実装を検討してください。実装例を以下に示します。
 1. PRP ポートで受信するパケットを、LAN A と LAN B のどちらで受信したかを識別できるように管理用タグを付与させて管理ポートにミラー転送してください。
 2. ホスト CPU は管理ポートに転送されたパケットの LAN ID が正しいか否かをソフトウェアで確認し、もし正しくなければソフトウェアで該当するフレーム数をカウントしてください。

CPU の負荷を下げるために、ミラーリングするパケットの数を MIRROR_CNT レジスタにより減らすことが可能です。

例えば、以下のように状況に応じて設定を使い分ける事も可能です。

- 立ち上げ時： 全パケットをミラーリングすることで、全数チェックを実施。正確に誤りを検出可能。
- 量産時： MIRROR_CNT レジスタに N を設定することで、ミラーリングするパケットを通常の 1/N にする。これにより検出感度は低下するものの、CPU 負荷も 1/N に削減可能。

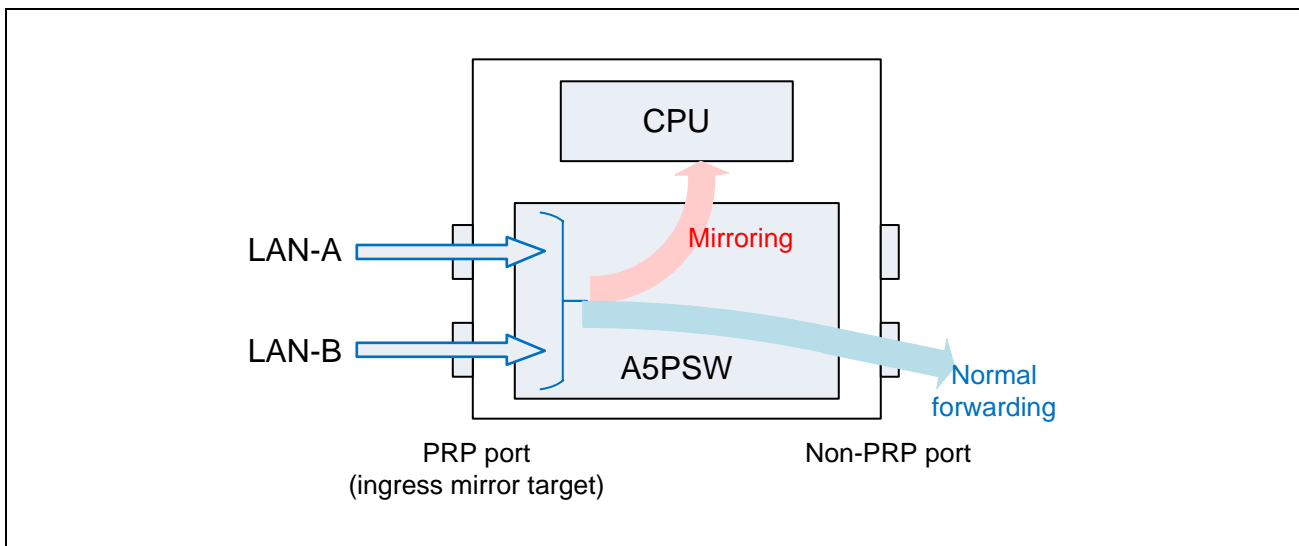


図 4.35 ミラーリングによるフレームの転送

4.6.2 参考資料

- (1) RFC 2309 : Recommendations on Queue Management and Congestion Avoidance in the Internet; IETF, 1998
- (2) IEEE Standard for a Precision Clock Synchronization Protocol for Networked Measurement and Control Systems; IEEE Std 1588-2008.
- (3) IEEE 802.1Qav : Virtual Bridged Local Area Networks, Amendment 12: Forwarding and Queuing Enhancements for Time Sensitive Streams; 2009.
- (4) IEEE 802.1X : Port Based Network Access Control; 2004.
- (5) The CIP Networks Library, Volume 2, Ethernet/IP Adaptation of CIP. Edition 1.9, April 2009.
- (6) IEC 62439-3 : Industrial communication networks — High availability automation networks — Part 3: Parallel Redundancy Protocol (PRP) and High availability Seamless Redundancy (HSR); Edition 2.0; 2012 07.

第5章 EtherCAT スレーブコントローラ

5.1 概要

EtherCAT スレーブコントローラの通常機能およびサポート対象の機能を以下に示します。EtherCAT および EtherCAT スレーブコントローラ (ESC) の詳細な仕様については、EtherCAT テクノロジーグループ (ETG) 提供の資料 (ETG.1000 EtherCAT 仕様書など)、およびベッコフオートメーション提供の EtherCAT スレーブコントローラ IP コア (v2.04) データシートを参照してください。

表 5.1 EtherCAT スレーブコントローラの通常機能およびサポート対象の機能 (1/3)

機能	機能説明	サポート
EtherCAT プロトコル	以下のフレームの処理 : <ul style="list-style-type: none"> • EtherType が 0x88A4 のイーサネットフレーム • UDP/IP でカプセル化された EtherCAT フレーム • VLAN タグを含む EtherCAT フレーム • 通常のイーサネットフレーム 	○
アドレッシングモード	デバイスのアドレッシング <ul style="list-style-type: none"> • 自動インクリメントアドレス • 設定済みステーションアドレス • ブロードキャストアドレス 	○
	論理アドレッシング	○
ワーキングカウンタ	デバイスとの間の読み出し/書き込み数のカウンタ	○
EtherCAT コマンドタイプ	マスタが各アドレッシングモードに対応するようスレーブに要求するコマンドの処理	○
ループ制御	ESC におけるループ制御とループ状態	○
シャドーバッファ	レジスタの読み出し/書き込み時のシャドーバッファ機能	○
循環フレーム	故障時の循環フレームの処理	○
リンク検出	リンク MII 信号 (PHY リンク信号)	○
	MI リンクの検出とコンフィグレーション (マネージメントインタフェースによる PHY レジスタの監視)	—
	拡張リンク検出 (MII RX エラーモニタによる転送状態の監視)	○
FIFO サイズ縮小	伝搬遅延の低減による RX FIFO サイズの縮小	○
イーサネット物理層	MII	○
	EBUS	—
	MII の Back-to-Back 接続	○
	MII マネージメントインタフェース	○
	MII マネージメントインタフェースによる PHY レジスタの読み出し/書き込み	○
	PHY アドレスオフセット	○
	手動 TX クロックシフト補償	○
自動 TX クロックシフト補償	○	
FMMU	論理アドレスと物理アドレスのマッピング	○
SyncManager	バッファモード	○
	メールボックスモード	○
	バッファが完全かつ正常に書き込みまたは読み出しされたときの割り込みおよびラッチイベントの生成	○
	メールボックス通信の繰り返し	○
	PDI による SyncManager 無効化	○

表 5.1 EtherCAT スレーブコントローラの通常機能およびサポート対象の機能 (2/3)

機能	機能説明	サポート	
ディストリビュートクロック	伝搬遅延およびドリフト補償を考慮したクロック同期化	○	
	同期出力信号 (SYNC0 および SYNC1 信号) の生成 <ul style="list-style-type: none"> ● サイクリックモード ● シングルショットモード ● 周期アクノリッジモード ● シングルショットアクノリッジモード 	○	
	入カイベント (LATCH0 および 1 の信号) の正確なタイムスタンプ <ul style="list-style-type: none"> ● シングルイベントモード ● 連続モード ● SyncManager イベントモード (デバッグ用) 	○	
	同期割り込みの生成	○	
	同期デジタル出力の更新/同期デジタル入力のサンプリング	—	
	EtherCAT および PDI の SYNC 信号と LATCH 信号に対する排他制御	○	
	PDI によるシステム時刻制御	—	
	通信タイミング <ul style="list-style-type: none"> ● フリーラン ● 出カイベントへの同期化 ● SYNC 信号への同期化 	○	
	EtherCAT ステートマシン	ステートマシンの制御/ステータスとエラーコードの表示	○
		デバイスエミュレーション	—
SII (スレーブ情報インタフェース) EEPROM	SII EEPROM コマンド	○	
	SII EEPROM エラー表示	○	
	SII EEPROM アクセスインタフェース	○	
	EEPROM サイズ選択	○	
	EEPROM エミュレーション	—	
割り込み	AL イベント要求 (PDI 割り込み)	○	
	EtherCAT イベント要求 (EtherCAT 割り込み)	○	
ウォッチドッグ	プロセスデータウォッチドッグ	○	
	PDI ウォッチドッグ	○	
エラーカウンタ	ポートエラーカウンタ	○	
	転送 RX エラーカウンタ	○	
	EtherCAT 処理ユニットエラーカウンタ	○	
	PDI エラーカウンタ	○	
	ロストリンクカウンタ	○	
	ウォッチドッグカウンタプロセスデータ	○	
	ウォッチドッグカウンタ PDI	○	
LED 信号	RUN LED 信号	○	
	ERR LED 信号	○	
	STATE LED 信号および STATE_RUN LED 信号	○	
	LINK/ACT LED 信号	○	
	ポートエラーLED 信号	—	
	RUN/ERR LED オーバーライド	○	

表 5.1 EtherCAT スレーブコントローラの通常機能およびサポート対象の機能 (3/3)

機能	機能説明	サポート
プロセステータインタフェース (PDI)	デジタル I/O	—
	SPI スレーブ	—
	8 ビット/16 ビット同期式/非同期式 MCU インタフェース	—
	オンチップバス	○
	汎用 I/O	—
ライトプロテクション	レジスタ領域 (0000h~0FFFh) の書き込み禁止	○
	ユーザ RAM およびプロセステータ RAM (0000h~2FFFh) を含む領域全体の書き込み禁止	○
ESC リセット	マスタまたは PDI からの ESC リセット	○

5.1.1 ブロック図

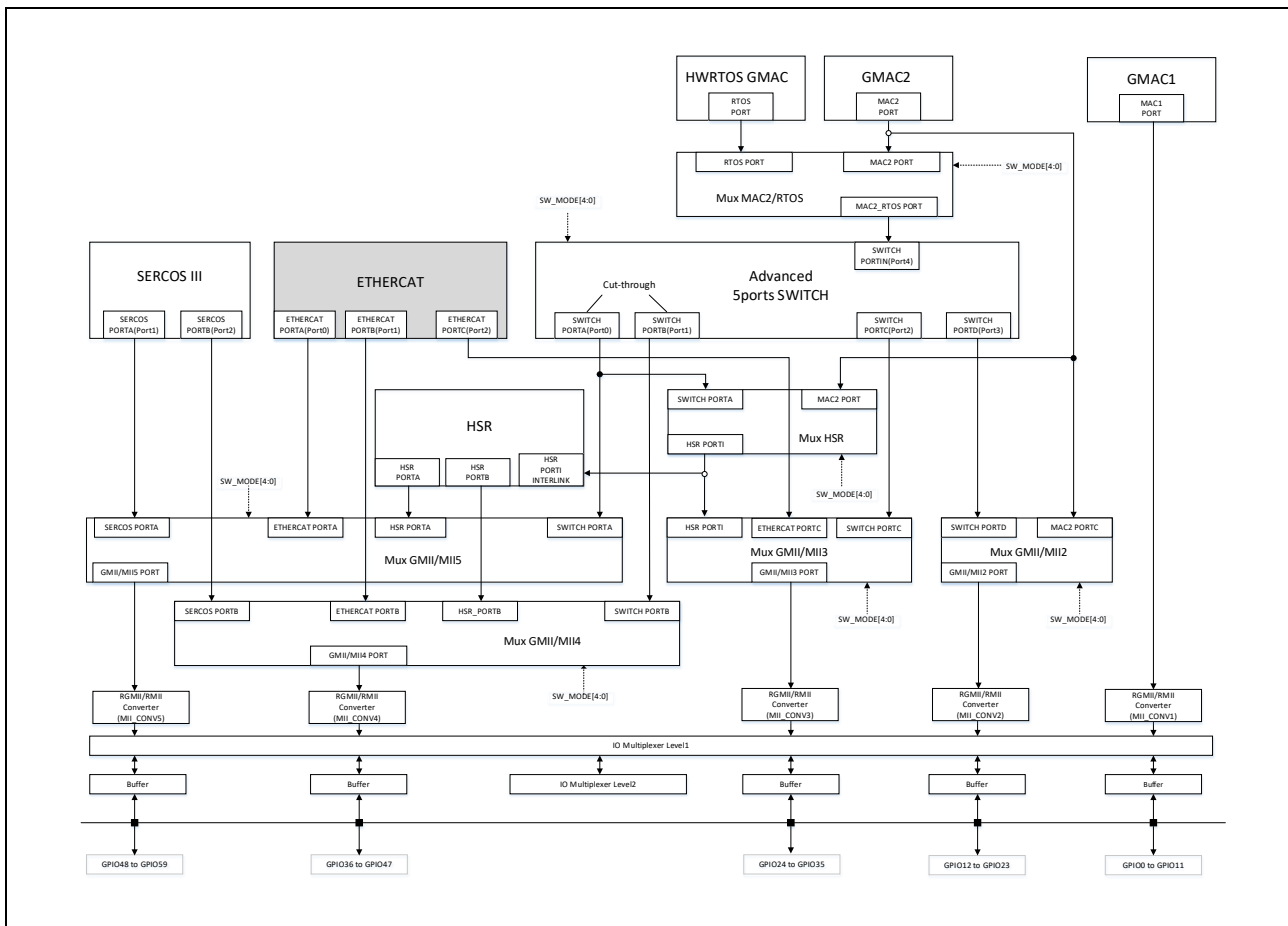


図 5.1 EtherCAT スレーブ接続

5.1.2 機能

- 最大 3 ポート
- 自動 TX シフト
- 拡張リンク検出
- 8 個の FMMU
- 8 個の SyncManager
- 8K バイトのプロセスデータ RAM
- 64 ビットのディストリビュートクロック
- グローバル IRQ へのマッピング
- 読み出し/書き込みオフセット
- ライトプロテクション
- AL ステータスコードレジスタ
- 拡張ウォッチドッグ
- AL イベントマスクレジスタ
- ウォッチドッグカウンタ
- SyncManager イベント時刻
- EPU (EtherCAT Processing Unit) および PDI エラーカウンタ
- ロストリンクカウンタ
- 外部 EEPROM のための I2C インタフェース
- EtherCAT マスタまたは CPU によるスレーブのリセット
- RUN LED
- 拡張 RUN/ERR LED
- PDI としての PLB v4.6 (追加のブリッジモジュールにより AHB に変換)
- インタフェース
 - ネイティブモード MII
 - RMII/RGMII コンバータ (外部端子で接続) で管理される非ネイティブ RMII

5.2 信号インタフェース

表 5.2 EtherCAT スレーブコントローラの信号インタフェース (PHY MII 端子を除く)

信号名	入出力	説明	アクティブ
クロック			
ECAT_HCLK	入力	AHB clock	
ECAT_CLK100	入力	100MHz for EtherCAT	
ECAT_CLK25	入力	25MHz for EtherCAT	
割り込み			
ETHCAT_RST_Int	出力	ETHERCAT リセット割り込み, レベル検出	High
ETHCAT_SYNC_Int[0]	出力	ETHERCAT Sync0 割り込み, パルス検出	High
ETHCAT_SYNC_Int[1]	出力	ETHERCAT Sync1 割り込み, パルス検出	High
ETHCAT_WDT_Int	出力	ETHERCAT WDT 割り込み, パルス検出	High
ETHCAT_EOF_Int	出力	ETHERCAT EOF 割り込み, パルス検出	High
ETHCAT_SOF_Int	出力	ETHERCAT SOF 割り込み, パルス検出	High
ETHCAT_Int	出力	ETHERCAT 割り込み, レベル検出	High
外部信号			
CAT_LEDRUN	出力	EtherCAT RUN LED ポート	High
CAT_LEDSTER	出力	EtherCAT 二色ステート LED ポート	High
CAT_LEDERR	出力	EtherCAT エラー LED ポート	High
CAT_LINKACT0	出力	EtherCAT リンク/アクティビティ LED ポート (ポート A) (ESC のポート 0)	High
CAT_LINKACT1	出力	EtherCAT リンク/アクティビティ LED ポート (ポート B) (ESC のポート 1)	High
CAT_LINKACT2	出力	EtherCAT リンク/アクティビティ LED ポート (ポート C) (ESC のポート 2)	High
CAT_SYNC0	出力	EtherCAT SYNC0 ポート	High
CAT_SYNC1	出力	EtherCAT SYNC1 ポート	High
CAT_LATCH0	入力	EtherCAT LATCH0 ポート	立ち上がり/立ち下がり (両エッジ)
CAT_LATCH1	入力	EtherCAT LATCH1 ポート	立ち上がり/立ち下がり (両エッジ)
CAT_MII_LINK[0]	入力	リンクを示す EtherCAT PHY (ポート A) (ESC のポート 0)	High ^{注1}
CAT_MII_LINK[1]	入力	リンクを示す EtherCAT PHY (ポート B) (ESC のポート 1)	High ^{注1}
CAT_MII_LINK[2]	入力	リンクを示す EtherCAT PHY (ポート C) (ESC のポート 2)	High ^{注1}
CAT_RESETOUT_N	出力	EtherCAT リセット出力	Low
CAT_I2CCLK	出力	EtherCAT EEPROM I2C クロックポート	—
CAT_I2CDATA	入出力	EtherCAT EEPROM I2C データポート	—

注1. CAT_MII_LINK[2:0]アクティブレベルは、イーサネット PHY リンクモードレジスタにより制御されます。

5.3 レジスタマップ

表 5.3 EtherCAT レジスタマップ (1/3)

アドレス	レジスタシンボル	レジスタ名
4401 0000h	TYPE	タイプレジスタ
4401 0001h	REVISION	リビジョンレジスタ
4401 0002h	BUILD	ビルドレジスタ
4401 0004h	FMMU_NUM	FMMU サポートレジスタ
4401 0005h	SYNC_MANAGER	SyncManager サポートレジスタ
4401 0006h	RAM_SIZE	RAM サイズレジスタ
4401 0007h	PORT_DESC	ポートディスクリプタレジスタ
4401 0008h	FEATURE	ESC 機能サポートレジスタ
4401 0010h	STATION_ADR	設定済みステーションアドレスレジスタ
4401 0012h	STATION_ALIAS	設定済みステーションエイリアスレジスタ
4401 0020h	WR_REG_ENABLE	レジスタ書き込みイネーブルレジスタ
4401 0021h	WR_REG_PROTECT	レジスタ書き込み保護レジスタ
4401 0030h	ESC_WR_ENABLE	ESC 書き込みイネーブルレジスタ
4401 0031h	ESC_WR_PROTECT	ESC 書き込み保護レジスタ
4401 0040h	ESC_RESET_ECATCH	ESC リセット EtherCAT レジスタ
4401 0041h	ESC_RESET_PDI	ESC リセット PDI レジスタ
4401 0100h	ESC_DL_CONTROL	ESC DL コントロールレジスタ
4401 0108h	PHYSICAL_RW_OFFSET	物理読み出し/書き込みオフセットレジスタ
4401 0110h	ESC_DL_STATUS	ESC DL ステータスレジスタ
4401 0120h	AL_CONTROL	AL コントロールレジスタ
4401 0130h	AL_STATUS	AL ステータスレジスタ
4401 0134h	AL_STATUS_CODE	AL ステータスコードレジスタ
4401 0138h	RUN_LED_OVERRIDE	RUN LED オーバーライドレジスタ
4401 0139h	ERR_LED_OVERRIDE	ERR LED オーバーライドレジスタ
4401 0140h	PDI_CONTROL	PDI コントロールレジスタ
4401 0141h	ESC_CONFIG	ESC コンフィグレーションレジスタ
4401 0150h	PDI_CONFIG	PDI コンフィグレーションレジスタ
4401 0151h	SYNC_LATCH_CONFIG	SYNC/LATCH PDI コンフィグレーションレジスタ
4401 0152h	EXT_PDI_CONFIG	拡張 PDI コンフィグレーションレジスタ
4401 0200h	ECATCH_EVENT_MASK	EtherCAT イベントマスクレジスタ
4401 0204h	AL_EVENT_MASK	AL イベントマスクレジスタ
4401 0210h	ECATCH_EVENT_REQ	EtherCAT イベント要求レジスタ
4401 0220h	AL_EVENT_REQ	AL イベント要求レジスタ
4401 0300h+2h×n	RX_ERR_COUNT[n] (n=0~2)	Rx エラーカウンタ[n]レジスタ
4401 0308h+1h×n	FWD_RX_ERR_COUNT[n] (n=0~2)	転送済み Rx エラーカウンタ[n]レジスタ
4401 030Ch	ECATCH_PROC_ERR_COUNT	EtherCAT 処理ユニットエラーカウンタレジスタ
4401 030Dh	PDI_ERR_COUNT	PDI エラーカウンタレジスタ
4401 0310h+1h×n	LOST_LINK_COUNT[n] (n=0~2)	ロストリンクカウンタ[n]レジスタ
4401 0400h	WD_DIVIDE	ウォッチドッグ分周値レジスタ
4401 0410h	WDT_PDI	ウォッチドッグ時間 PDI レジスタ
4401 0420h	WDT_DATA	ウォッチドッグ時間プロセスデータレジスタ
4401 0440h	WDS_DATA	ウォッチドッグステータスプロセスデータレジスタ
4401 0442h	WDC_DATA	ウォッチドッグカウンタプロセスデータレジスタ
4401 0443h	WDC_PDI	ウォッチドッグカウンタ PDI レジスタ

表 5.3 EtherCAT レジスタマップ (2/3)

アドレス	レジスタシンボル	レジスタ名
4401 0500h	EEP_CONF	EEPROM コンフィグレーションレジスタ
4401 0501h	EEP_STATE	EEPROM PDI アクセスステートレジスタ
4401 0502h	EEP_CONT_STAT	EEPROM コントロール/ステータスレジスタ
4401 0504h	EEP_ADR	EEPROM アドレスレジスタ
4401 0508h	EEP_DATA	EEPROM データレジスタ
4401 0510h	MII_CONT_STAT	MII マネージメントコントロール/ステータスレジスタ
4401 0512h	PHY_ADR	PHY アドレスレジスタ
4401 0513h	PHY_REG_ADR	PHY レジスタアドレスレジスタ
4401 0514h	PHY_DATA	PHY データレジスタ
4401 0516h	MII_ECAC_ACS_STAT	MII マネージメント EtherCAT アクセスステートレジスタ
4401 0517h	MII_PDI_ACS_STAT	MII マネージメント PDI アクセスステートレジスタ
4401 0518h+1h×n	PHY_STATUS[n] (n=0~2)	PHY ポートステータス[n]レジスタ
4401 0600h+10h×n	FMMU[n]_L_START_ADR (n=0~7)	FMMU 論理開始アドレス[n]レジスタ
4401 0604h+10h×n	FMMU[n]_LEN (n=0~7)	FMMU 長さ[n]レジスタ
4401 0606h+10h×n	FMMU[n]_L_START_BIT (n=0~7)	FMMU 論理スタートビット[n]レジスタ
4401 0607h+10h×n	FMMU[n]_L_STOP_BIT (n=0~7)	FMMU 論理ストップビット[n]レジスタ
4401 0608h+10h×n	FMMU[n]_P_START_ADR (n=0~7)	FMMU 物理開始アドレス[n]レジスタ
4401 060Ah+10h×n	FMMU[n]_P_START_BIT (n=0~7)	FMMU 物理スタートビット[n]レジスタ
4401 060Bh+10h×n	FMMU[n]_TYPE (n=0~7)	FMMU タイプ[n]レジスタ
4401 060Ch+10h×n	FMMU[n]_ACT (n=0~7)	FMMU 有効化[n]レジスタ
4401 0800h+8h×n	SM[n]_P_START_ADR (n=0~7)	SyncManager 物理開始アドレス[n]レジスタ
4401 0802h+8h×n	SM[n]_LEN (n=0~7)	SyncManager 長さ[n]レジスタ
4401 0804h+8h×n	SM[n]_CONTROL (n=0~7)	SyncManager コントロール[n]レジスタ
4401 0805h+8h×n	SM[n]_STATUS (n=0~7)	SyncManager ステータス[n]レジスタ
4401 0806h+8h×n	SM[n]_ACT (n=0~7)	SyncManager 有効化[n]レジスタ
4401 0807h+8h×n	SM[n]_PDI_CONT (n=0~7)	SyncManager PDI コントロール[n]レジスタ
4401 0900h	DC_RCV_TIME_PORT0	受信時刻ポート 0 レジスタ
4401 0904h	DC_RCV_TIME_PORT1	受信時刻ポート 1 レジスタ
4401 0908h	DC_RCV_TIME_PORT2	受信時刻ポート 2 レジスタ
4401 0910h	DC_SYS_TIME	システム時刻レジスタ
4401 0918h	DC_RCV_TIME_UNIT	受信時刻 EtherCAT 処理ユニットレジスタ
4401 0920h	DC_SYS_TIME_OFFSET	システム時刻オフセットレジスタ
4401 0928h	DC_SYS_TIME_DELAY	システム時刻遅延レジスタ
4401 092Ch	DC_SYS_TIME_DIFF	システム時間差レジスタ
4401 0930h	DC_SPEED_COUNT_START	スピードカウンタスタートレジスタ
4401 0932h	DC_SPEED_COUNT_DIFF	スピードカウンタ差分レジスタ
4401 0934h	DC_SYS_TIME_DIFF_FIL_DEPTH	システム時間差フィルタ深度レジスタ
4401 0935h	DC_SPEED_COUNT_FIL_DEPTH	スピードカウンタフィルタ深度レジスタ
4401 0980h	DC_CYC_CONT	周期ユニットコントロールレジスタ
4401 0981h	DC_ACT	有効化レジスタ
4401 0982h	DC_PULSE_LEN	Sync 信号パルス長レジスタ
4401 0984h	DC_ACT_STAT	有効化ステータスレジスタ
4401 098Eh	DC_SYNC0_STAT	SYNC0 ステータスレジスタ
4401 098Fh	DC_SYNC1_STAT	SYNC1 ステータスレジスタ
4401 0990h	DC_CYC_START_TIME	開始時刻周期動作/次回 SYNC0 パルスレジスタ

表 5.3 EtherCAT レジスタマップ (3/3)

アドレス	レジスタシンボル	レジスタ名
4401 0998h	DC_NEXT_SYNC1_PULSE	次回 SYNC1 パルスレジスタ
4401 09A0h	DC_SYNC0_CYC_TIME	SYNC0 サイクル時間レジスタ
4401 09A4h	DC_SYNC1_CYC_TIME	SYNC1 サイクル時間レジスタ
4401 09A8h	DC_LATCH0_CONT	ラッチ 0 コントロールレジスタ
4401 09A9h	DC_LATCH1_CONT	ラッチ 1 コントロールレジスタ
4401 09AEh	DC_LATCH0_STAT	ラッチ 0 ステータスレジスタ
4401 09AFh	DC_LATCH1_STAT	ラッチ 1 ステータスレジスタ
4401 09B0h	DC_LATCH0_TIME_POS	ラッチ 0 時刻ポジティブエッジレジスタ
4401 09B8h	DC_LATCH0_TIME_NEG	ラッチ 0 時刻ネガティブエッジレジスタ
4401 09C0h	DC_LATCH1_TIME_POS	ラッチ 1 時刻ポジティブエッジレジスタ
4401 09C8h	DC_LATCH1_TIME_NEG	ラッチ 1 時刻ネガティブエッジレジスタ
4401 09F0h	DC_ECAC_CNG_EV_TIME	バッファ変更イベント時刻レジスタ
4401 09F8h	DC_PDI_START_EV_TIME	PDI バッファ開始イベント時刻レジスタ
4401 09FCh	DC_PDI_CNG_EV_TIME	PDI バッファ変更イベント時刻レジスタ
4401 0E00h	PRODUCT_ID	製品 ID レジスタ
4401 0E08h	VENDOR_ID	ベンダ ID レジスタ

表 5.4 EtherCAT メモリマップ

アドレス	レジスタシンボル	レジスタ名
4401 0F80h~4401 0FFFh	USER_RAM	ユーザ RAM
4401 1000h~4401 2FFFh	DATA_RAM	プロセスデータ RAM

5.4 レジスタの説明

5.4.1 TYPE — タイプレジスタ

本レジスタは、EtherCAT スレーブコントローラのタイプを示します。

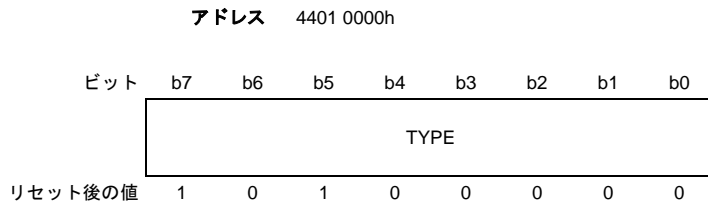


表 5.5 TYPE レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	TYPE	EtherCAT スレーブコントローラのタイプ EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.2 REVISION — リビジョンレジスタ

本レジスタは、EtherCAT スレーブコントローラのリビジョンを示します。

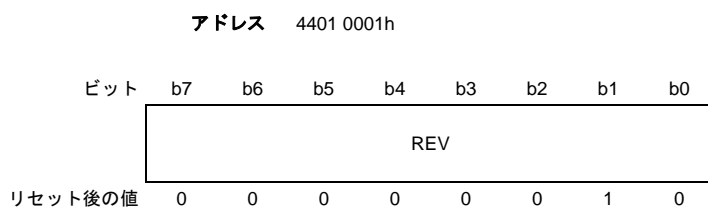


表 5.6 REVISION レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	REV	EtherCAT スレーブコントローラのリビジョン EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.3 BUILD — ビルドレジスタ

本レジスタは、EtherCAT スレーブコントローラのビルド番号を示します。



表 5.7 BUILD レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	BUILD	EtherCAT スレーブコントローラのビルド番号 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.4 FMMU_NUM — FMMU サポートレジスタ

本レジスタは、EtherCAT スレーブコントローラでサポートされる FMMU チャンネルの数を示します。

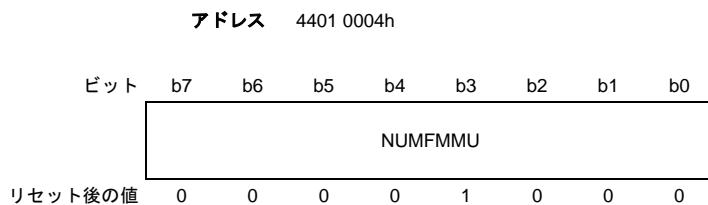


表 5.8 FMMU_NUM レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	NUMFMMU	EtherCAT スレーブコントローラでサポートされる FMMU チャンネルの数 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.5 SYNC_MANAGER — SyncManager サポートレジスタ

本レジスタは、EtherCAT スレーブコントローラでサポートされる SyncManager チャンネルの数を示します。



表 5.9 SYNC_MANAGER レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	NUMSYNC	EtherCAT スレーブコントローラでサポートされる SyncManager チャンネルの数 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.6 RAM_SIZE — RAM サイズレジスタ

本レジスタは、EtherCAT スレーブコントローラでサポートされるプロセスデータ RAM サイズ (K バイト) を示します。

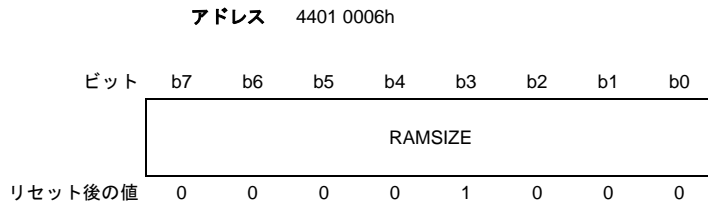


表 5.10 RAM_SIZE レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	RAMSIZE	EtherCAT スレーブコントローラでサポートされるプロセスデータ RAM サイズ (単位: K バイト) EtherCAT マスタからのアクセス時: 読み出し専用	R

5.4.7 PORT_DESC — ポートディスクリプタレジスタ

本レジスタは、ポートの構成を示します。

アドレス 4401 0007h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	P3		P2		P1		P0	

リセット後の値 0 0 1 1 1 1 1 1

表 5.11 PORT_DESC レジスタの内容

ビット位置	ビット名	機能	R/W
b7、b6	P3	ポート 3 の構成：本 LSI はポート 3 を実装していません。 本 LSI では (00b) 固定です。 00b：実装なし 01b：設定なし (SII EEPROM) 10b：EBUS 11b：MII EtherCAT マスタからのアクセス時：読み出し専用	R
b5、b4	P2	ポート 2 の構成：本 LSI では MII 接続 (11b) に固定されています。 00b：実装なし 01b：設定なし (SII EEPROM) 10b：EBUS 11b：MII EtherCAT マスタからのアクセス時：読み出し専用	R
b3、b2	P1	ポート 1 の構成：本 LSI では MII 接続 (11b) に固定されています。 00b：実装なし 01b：設定なし (SII EEPROM) 10b：EBUS 11b：MII EtherCAT マスタからのアクセス時：読み出し専用	R
b1、b0	P0	ポート 0 の構成：本 LSI では MII 接続 (11b) に固定されています。 00b：実装なし 01b：設定なし (SII EEPROM) 10b：EBUS 11b：MII EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.8 FEATURE — ESC 機能サポートレジスタ

アドレス 4401 0008h

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	FSCONFIG	RWSUPP	LRW	DCSYNC	FCS	LINKDECMII	—	—	DCWID	DC	—	FMMU
リセット後の値	X	X	X	X	0	0	0	1	1	1	X	X	1	1	X	0

表 5.12 FEATURE レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b15~b12	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b11	FSCONFIG	固定の FMMU/SyncManager 構成 0：可変構成 1：固定構成 EtherCAT マスタからのアクセス時：読み出し専用	R
b10	RWSUPP	EtherCAT リード/書き込みコマンドサポート (BRW、APRW、FPRW) 0：サポートあり 1：サポートなし EtherCAT マスタからのアクセス時：読み出し専用	R
b9	LRW	EtherCAT LRW コマンドサポート 0：サポートあり 1：サポートなし EtherCAT マスタからのアクセス時：読み出し専用	R
b8	DCSYNC	拡張 DC SYNC 有効化 0：使用不可 1：使用可能 EtherCAT マスタからのアクセス時：読み出し専用	R
b7	FCS	FCS エラーの個別処理 0：サポートなし 1：サポートあり。誤った FCS と追加のニブルを含むフレームは、転送済み Rx エラーカウンタで別途カウントされます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b6	LINKDECMII	MII の拡張リンク検出 0：使用不可 1：使用可能 EtherCAT マスタからのアクセス時：読み出し専用	R
b5、b4	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタ：読み出し専用	R
b3	DCWID	ディストリビュートクロック (幅) 0：32 ビット 1：64 ビット EtherCAT マスタからのアクセス時：読み出し専用	R
b2	DC	ディストリビュートクロック 0：使用不可 1：使用可能 EtherCAT マスタからのアクセス時：読み出し専用	R
b1	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R

表 5.12 FEATURE レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b0	FMMU	FMMU 動作 0 : ビット単位 1 : バイト単位 EtherCAT マスタからのアクセス時 : 読み出し専用	R

5.4.9 STATION_ADR — 設定済みステーションアドレスレジスタ

アドレス 4401 0010h

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NODADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.13 STATION_ADR レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	NODADDR	ノードアドレッシングに使用されるアドレス (FPxx コマンド) EtherCAT マスタからのアクセス時 : 読み出し専用	R/W

5.4.10 STATION_ALIAS — 設定済みステーションエイリアスレジスタ

本レジスタは、ノードアドレッシング (FPxx コマンド) に使用されるエイリアスアドレスを示します。

備 考

EEPROM がロードされるまで初期値の 0 が保持されます。その後、値は EEPROM のアドレス 0004h に格納されている値になります。この値は、電源投入後またはリセット後、最初の EEPROM ロード時のみ EEPROM から取り込まれます。

アドレス 4401 0012h

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NODALIADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.14 STATION_ALIAS レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	NODALIADDR	ノードアドレッシング (FPxx コマンド) に使用されるエイリアスアドレス このエイリアスの使用は、ESC DL コントロールレジスタ (0100h の ESC_DL_CONTROL) のビット 24 を 1 にすることで有効化されます。 EtherCAT マスタからのアクセス時 : R/W	R

5.4.11 WR_REG_ENABLE — レジスタ書き込みイネーブルレジスタ

本レジスタは、レジスタが書き込み保護されているときに書き込み保護を一時的に解除するために使用されます。

アドレス		4401 0020h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	ENABL E
リセット後の値	X	X	X	X	X	X	X	X	0

表 5.15 WR_REG_ENABLE レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b1	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：R/W	R
b0	ENABLE	現在、レジスタが書き込み保護されており（0021h のレジスタ書き込み保護レジスタ WR_REG_PROTECT のビット 0 が 1 になっている場合）、ある特定のノードのレジスタへの自由な書き込みを許可する必要があるときは、本レジスタへの書き込みによってそうした許可を行う動作は同じイーサネットフレームで実行し、レジスタへの他の任意の書き込みに先行する必要があります。フレーム時間が経過すると、書き込み保護が再開します（レジスタ書き込み保護レジスタの値が変更された場合を除く）。 EtherCAT マスタからのアクセス時：R/W	R

5.4.12 WR_REG_PROTECT — レジスタ書き込み保護レジスタ

本レジスタは、レジスタを書き込み保護するために使用されます。領域 4401 0000h~4401 0FFFh のレジスタが書き込み保護されます（WR_REG_ENABLE レジスタ（0020h）および ESC_WR_ENABLE レジスタ（0030h）を除く）。

アドレス		4401 0021h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	PROTE CT
リセット後の値	X	X	X	X	X	X	X	X	0

表 5.16 WR_REG_PROTECT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b1	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b0	PROTECT	レジスタへの書き込み保護 0：保護無効 1：保護有効 EtherCAT マスタからのアクセス時：R/W	R

5.4.13 ESC_WR_ENABLE — ESC 書き込みイネーブルレジスタ

本レジスタは、レジスタおよびメモリが ESC 書き込み保護によって書き込み保護されているときに書き込み保護を一時的に解除するために使用されます。

アドレス		4401 0030h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	ENABL E	
リセット後の値	X	X	X	X	X	X	X	0	

表 5.17 ESC_WR_ENABLE レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b1	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b0	ENABLE	現在、レジスタが ESC 書き込み保護によって書き込み保護されている場合（0031h の ESC 書き込み保護レジスタ ESC_WR_PROTECT のビット 0 が 1 になっている場合）、ある特定のノードのレジスタへの自由な書き込みを許可する必要があるときは、本レジスタへの書き込みによってそうした許可を行う動作は同じイーサネットフレームで実行し、レジスタへの他の任意の書き込みに先行する必要があります。フレーム時間が経過すると、書き込み保護が再開します（ESC 書き込み保護レジスタの値が変更された場合を除く）。 EtherCAT マスタからのアクセス時：R/W	R

5.4.14 ESC_WR_PROTECT — ESC 書き込み保護レジスタ

本レジスタは、レジスタを書き込み保護にするために使用されます。プロセスデータ RAM を含む領域 4401 0000h~4401 2FFFh のレジスタおよびメモリが書き込み保護されます（WR_REG_ENABLE レジスタ（0020h）および ESC_WR_ENABLE レジスタ（0030h）を除く）。

アドレス		4401 0031h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	PROTE CT	
リセット後の値	X	X	X	X	X	X	X	0	

表 5.18 ESC_WR_PROTECT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b1	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b0	PROTECT	レジスタおよびプロセスメモリへの書き込み保護 0：保護無効 1：保護有効 EtherCAT マスタからのアクセス時：R/W	R

5.4.15 ESC_RESET_ECAT — ESC リセット EtherCAT レジスタ

本レジスタは、EtherCAT スレーブコントローラを EtherCAT (マスタ) からソフトウェアでリセットするために使用されます。



表 5.19 ESC_RESET_ECAT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	RESET_ECAT	<p>書き込み時 (ESC_RESET_ECAT_W) :</p> <ul style="list-style-type: none"> ビット[7:0] RESET_ECAT 本レジスタに 52h (“R”)、45h (“E”)、および 53h (“S”) を連続的に書き込んだ後にリセットが有効になります。 EtherCAT マスタからのアクセス時 : R/W <p>読み出し時 (ESC_RESET_ECAT_R) :</p> <ul style="list-style-type: none"> ビット[7:2]予約 読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時 : 読み出し専用 ビット[1:0] RESET_ECAT リセット手順の進捗 01b : 52h の書き込み終了 10b : 45h の書き込み終了 (52h が既に書き込まれている場合) 00b : その他 EtherCAT マスタからのアクセス時 : R/W 	R

5.4.16 ESC_RESET_PDI — ESC リセット PDI レジスタ

本レジスタは、EtherCAT スレーブコントローラを PDI（スレーブ）からソフトウェアでリセットするために使用されます。



表 5.20 ESC_RESET_PDI レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	RESET_PDI	<p>書き込み時 (ESC_RESET_PDI_W) :</p> <ul style="list-style-type: none"> ビット[7:0] RESET_PDI 本レジスタに 52h (“R”)、45h (“E”)、および 53h (“S”) を連続的に書き込んだ後にリセットが有効になります。 EtherCAT マスタからのアクセス時 : 読み出し専用 <p>読み出し時 (ESC_RESET_PDI_R) :</p> <ul style="list-style-type: none"> ビット[7:2]予約 読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 CPU および EtherCAT マスタからのアクセス時 : 読み出し専用 ビット[1:0] RESET_PDI リセット手順の進捗 01b : 52h の書き込み終了 10b : 45h の書き込み終了 (52h が既に書き込まれている場合) 00b : その他 EtherCAT マスタからのアクセス時 : 読み出し専用 	R/W

5.4.17 ESC_DL_CONTROL — ESC DL コントロールレジスタ

本レジスタは、EtherCAT スレーブコントローラのループを制御し、RX FIFO サイズとステーションエイリアスを設定するために使用されます。

ループ構成の変更は、ポートを通して現在行われているフレームの送信または受信が完了するまで遅延しません。

RX FIFO サイズの縮小は、精度の高いクロックソースを持つ EtherCAT と同じネットワークに接続されたすべてのマスタおよびスレーブに依存します。すべてのクロックの精度が 100ppm かそれよりも高ければ、RX FIFO サイズ 7（デフォルト）で十分です。精度が 25ppm かそれよりも高ければ、RX FIFO サイズ 0~3 が可能です。

アドレス 4401 0100h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	STAALIAS	—	—	—	—	—	RXFIFO		
リセット後の値	X	X	X	X	X	X	X	0	X	X	X	X	X	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LP3		LP2		LP1		LP0		—	—	—	—	—	—	TEMPULSE	FWDRULE
リセット後の値	1	1	0	0	0	0	0	0	X	X	X	X	X	X	0	1

表 5.21 ESC_DL_CONTROL レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b25	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b24	STAALIAS	ステーションエイリアス 0：ステーションエイリアスを無視 1：すべての設定済みアドレスコマンドタイプ（FPRD、FPWR など）にエイリアスを使用可能 EtherCAT マスタからのアクセス時：R/W	R
b23~b19	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b18~b16	RXFIFO	RX FIFO サイズを設定します。FIFO サイズの縮小により転送時間を短縮することが可能です。 0~3：40ns 短縮 4~6：変更なし 7：デフォルト EtherCAT マスタからのアクセス時：R/W	R
b15、b14	LP3	ループポート 3 の構成（本 LSI ではポート 3 を利用できません） 00b：オート 01b：オートクローズ 10b：オープン 11b：クローズ EtherCAT マスタからのアクセス時：R/W	R

表 5.21 ESC_DL_CONTROL レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b13、b12	LP2	ループポート 2 の構成 00b : オート 01b : オートクローズ 10b : オープン 11b : クローズ EtherCAT マスタからのアクセス時 : R/W	R
b11、b10	LP1	ループポート 1 の構成 00b : オート 01b : オートクローズ 10b : オープン 11b : クローズ EtherCAT マスタからのアクセス時 : R/W	R
b9、b8	LP0	ループポート 0 の構成 00b : オート 01b : オートクローズ 10b : オープン 11b : クローズ EtherCAT マスタからのアクセス時 : R/W	R
b7~b2	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b1	TEMPUSE	ビット 15~8 の設定の一時使用 0 : 常に使用 1 : 約 1 秒間使用後に前の設定に戻す EtherCAT マスタからのアクセス時 : R/W	R
b0	FWDRULE	転送ルール 0 : EtherCAT フレームは処理されます。EtherCAT ではないフレームは処理せずに転送します。 1 : EtherCAT フレームは処理されます。EtherCAT ではないフレームは破棄されます。 転送ルールにかかわらず、送信元 MAC アドレスはフレームごとに変化します (SOURCE_MAC[1]が 1 (ローカルで管理されるアドレス) になります)。 EtherCAT マスタからのアクセス時 : R/W	R

5.4.18 PHYSICAL_RW_OFFSET — 物理読み出し／書き込みオフセットレジスタ

本レジスタは、R/W コマンドの読み出しアドレスと書き込みアドレス間のオフセットを設定するために使用されます。

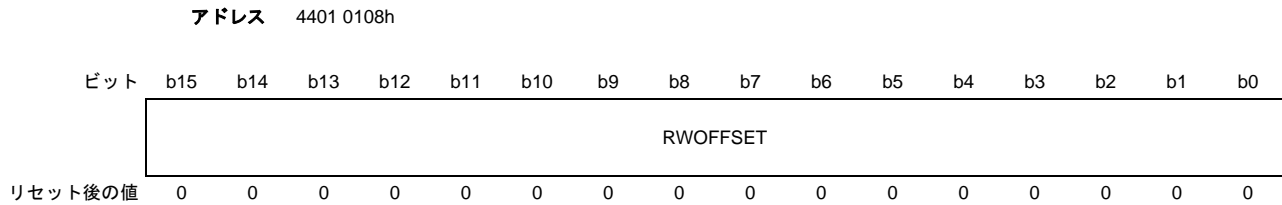


表 5.22 PHYSICAL_RW_OFFSET レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	RWOFFSET	読み出しアドレスと書き込みアドレス間の R/W コマンド (FPRW、APRW) のオフセットです。 つまり、読み出しの場合は、RD_ADR=ADR になります (指定アドレスが読み出されます)。 書き込みの場合は、WR_ADR=ADR+R/W オフセットになります (本レジスタに設定されたオフセットを指定アドレスに追加して得られたアドレスに対して書き込みます)。 EtherCAT マスタからのアクセス時 : R/W	R

5.4.19 ESC_DL_STATUS — ESC DL ステータスレジスタ

本レジスタは、EtherCAT スレーブコントローラの状態を示します。

EtherCAT から本レジスタを読み出すと、EtherCAT イベント要求レジスタ (0210h の ECAT_EVENT_REQ) のビット 2 がクリアされます。

アドレス 4401 0110h

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	COMP3	LP3	COMP2	LP2	COMP1	LP1	COMP0	LP0	PHYP3	PHYP2	PHYP1	PHYP0	—	ENHLIN KD	PDIWD ST	PDIOP E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	X	1	0	0

表 5.23 ESC_DL_STATUS レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b15	COMP3	ポート 3 での通信 (本 LSI ではポート 3 を利用できません) 0: 安定した通信なし 1: 通信確立済み EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b14	LP3	ループポート 3 (本 LSI ではポート 3 を利用できません) 0: オープン 1: クローズ EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b13	COMP2	ポート 2 での通信 0: 安定した通信なし 1: 通信確立済み EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b12	LP2	ループポート 2 0: オープン 1: クローズ EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b11	COMP1	ポート 1 での通信 0: 安定した通信なし 1: 通信確立済み EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b10	LP1	ループポート 1 0: オープン 1: クローズ EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b9	COMP0	ポート 0 での通信 0: 安定した通信なし 1: 通信確立済み EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b8	LP0	ループポート 0 0: オープン 1: クローズ EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b7	PHYP3	ポート 3 の物理リンク (本 LSI ではポート 3 を利用できません) 0: リンクなし 1: リンク検出 EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R

表 5.23 ESC_DL_STATUS レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b6	PHYP2	ポート 2 の物理リンク 0: リンクなし 1: リンク検出 EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b5	PHYP1	ポート 1 の物理リンク 0: リンクなし 1: リンク検出 EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b4	PHYP0	ポート 0 の物理リンク 0: リンクなし 1: リンク検出 EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b3	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b2	ENHLINKD	拡張リンク検出 0: 全ポートで無効 1: 少なくとも 1 つのポートで有効 備考) 本ビットは、最初の電源投入後またはリセット後に初めて EEPROM がロードされたときに EEPROM のアドレス 0000h のビット 9 の値になります。 EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b1	PDIWDST	PDI ウォッチドッグタイムステータス 0: ウォッチドッグタイムのタイムアウト 1: ウォッチドッグタイムリロード済み EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R
b0	PDIOPE	PDI 動作/EEPROM ロード状態 0: EEPROM がロードされておらず、PDI は動作不可 (プロセスデータ RAM にアクセス不可) 1: EEPROM が適切にロードされ、PDI は動作可能 (プロセスデータ RAM にアクセス可能) EtherCAT マスタからのアクセス時: 読み出し専用 (ACK)	R

5.4.20 AL_CONTROL — AL コントロールレジスタ

本レジスタは、デバイスステートマシンの状態遷移を変更し、エラー表示をアクノリッジするために使用されます。

EtherCAT が AL コントロールレジスタを書き込んだ後に、PDI がその AL コントロールレジスタを読み出す必要があります。このようにしないと、EtherCAT は AL コントロールレジスタに再度書き込めなくなります。PDI から AL コントロールレジスタを読み出すと、AL イベント要求レジスタ (0220h の AL_EVENT_REQ) のビット 0 がクリアされます。

アドレス		4401 0120h															
ビット		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
		—	—	—	—	—	—	—	—	—	—	DEVICE ID	ERRINDACK	INISTATE			
リセット後の値		X	X	X	X	X	X	X	X	X	X	0	0	0	0	0	1

表 5.24 AL_CONTROL レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b6	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：R(/W)	R
b5	DEVICEID	デバイス ID 要求 0：要求なし 1：要求あり EtherCAT マスタからのアクセス時：R(/W)	R (クリア)
b4	ERRINDACK	エラー表示アクノリッジ（応答） 0：AL ステータスレジスタのエラー表示をアクノリッジしない 1：AL ステータスレジスタのエラー表示をアクノリッジする EtherCAT マスタからのアクセス時：R(/W)	R (クリア)
b3~b0	INISTATE	デバイスステートマシンの状態遷移を変更します。 1：Initial ステート要求 3：Bootstrap ステート要求 2：Pre-Operational ステート要求 4：Safe-Operational ステート要求 8：Operational ステート要求 EtherCAT マスタからのアクセス時：R(/W)	R (クリア)

5.4.21 AL_STATUS — AL ステータスレジスタ

本レジスタは、スレーブアプリケーションの状態を示します。

EtherCAT マスタから本レジスタを読み出すと、EtherCAT イベント要求レジスタ（0210h の ECAT_EVENT_REQ）のビット 3 がクリアされます。

アドレス 4401 0130h

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	DEVICE ID	ERR	ACTSTATE			
リセット後の値	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0	1

表 5.25 AL_STATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b6	予約ビット	読み出すと、不定値が返されます。本フィールドへの書き込み時は 0 を書いてください。 EtherCAT マスタからのアクセス時：読み出し専用（ACK）	R/W
b5	DEVICEID	デバイス ID 読み込みの状態 0：デバイス ID 読み込み失敗 1：デバイス ID 読み込み成功 EtherCAT マスタからのアクセス時：読み出し専用（ACK）	R/W
b4	ERR	エラー表示部 0：デバイスが要求通りのステートになっているか、またはフラグがコマンドによってクリアされた 1：デバイスが要求されたステートになっていないか、または状態がローカルの動作によって変更された EtherCAT マスタからのアクセス時：読み出し専用（ACK）	R/W
b3~b0	ACTSTATE	デバイスステートマシンの実際のステート 1：Initial ステート 3：Request Bootstrap ステート 2：Pre-Operational ステート 4：Safe-Operational ステート 8：Operational ステート EtherCAT マスタからのアクセス時：読み出し専用（ACK）	R/W

5.4.22 AL_STATUS_CODE — AL ステータスコードレジスタ

本レジスタは、スレーブアプリケーションからのエラーコードを示します。

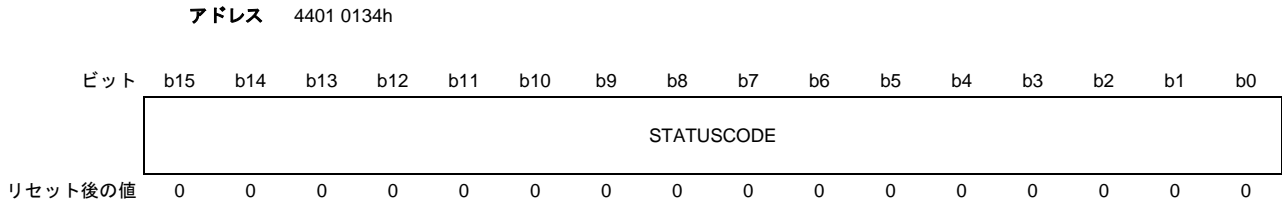


表 5.26 AL_STATUS_CODE レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	STATUSCODE	AL ステータスコード EtherCAT マスタからのアクセス時 : R	R/W

5.4.23 RUN_LED_OVERRIDE — RUN LED オーバーライドレジスタ

本レジスタは、RUN LED 端子の制御をオーバーライドするために使用されます。

AL ステータスレジスタの値を適切な値に変更すると、ビット 4（オーバーライド有効）がクリアされます。

通常、RUN LED は AL ステータスレジスタ（130h の AL_STATUS）によって自動的に制御されます。一般的なステートマシンの状態を示すために RUN LED をオーバーライドする必要はありません。

たとえば、本レジスタを使用して、特定のスレーブの位置を示す特別な照明パターンを実行することが可能です。

アドレス	4401 0138h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OVERR IDEEN	LEDCODE			
リセット後の値	X	X	X	0	0	0	0	0

表 5.27 RUN_LED_OVERRIDE レジスタの内容

ビット位置	ビット名	機能	R/W
b7、b5	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：R/W	R
b4	OVERRIDEEN	オーバーライド有効 0：オーバーライド無効 1：オーバーライド有効 EtherCAT マスタからのアクセス時：R/W	R/W
b3～b0	LEDCODE	LED コード 0h：消灯 1h～Ch：フラッシュ 1x～12x Dh：点滅 Eh：ちらつき Fh：点灯 EtherCAT マスタからのアクセス時：R/W	R/W

5.4.24 ERR_LED_OVERRIDE — ERR LED オーバーライドレジスタ

本レジスタは、エラーLED 端子の制御をオーバーライドするために使用されます。

新たなエラーが発生すると、ビット 4（オーバーライド有効）がクリアされます。

ESC は以下の条件でエラーLED を自動的に制御します。その他のエラーについては、アプリケーションにより本レジスタを使用してエラーLED を制御する必要があります。

- SII EEPROM ロードエラー
- PDI ウォッチドッグタイムアウト

アドレス 4401 0139h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OVERR IDEEN	LEDCODE			

リセット後の値 X X X 0 0 0 0 0

表 5.28 ERR_LED_OVERRIDE レジスタの内容

ビット位置	ビット名	機能	R/W
b7、b5	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：R/W	R
b4	OVERRIDEEN	オーバーライド有効 0：オーバーライド無効 1：オーバーライド有効 EtherCAT マスタからのアクセス時：R/W	R/W
b3～b0	LEDCODE	LED コード 0h：消灯 1h～Ch：フラッシュ 1x～12x Dh：点滅 Eh：ちらつき Fh：点灯 EtherCAT マスタからのアクセス時：R/W	R/W

5.4.25 PDI_CONTROL — PDI コントロールレジスタ

本レジスタは、PDI のタイプを示します。

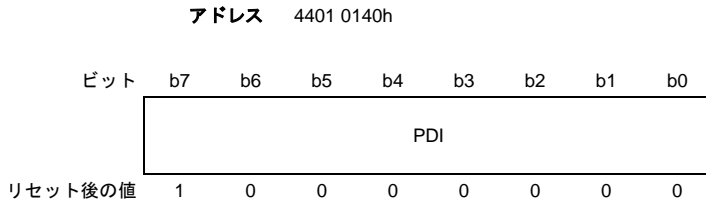


表 5.29 PDI_CONTROL レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	PDI	プロセスデータインタフェース。本 LSI では、以下の値が示されます。 80h : オンチップバス EtherCAT マスタからのアクセス時 : 読み出し専用	R

5.4.26 ESC_CONFIG — ESC コンフィグレーションレジスタ

本レジスタは、EtherCAT スレーブコントローラの構成を示します。

アドレス 4401 0141h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	ENLP3	ENLP2	ENLP1	ENLP0	DCLAT CH	DCSYN C	ENLALL P	DEVEM U
リセット後の値	0	0	0	0	1	1	0	0

表 5.30 ESC_CONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b7	ENLP3	ポート 3 の拡張リンク検出の設定（本 LSI ではポート 3 を利用できません） 0：無効（EEPROM のアドレス 0 のビット 9=0 の場合） 1：有効 EtherCAT マスタからのアクセス時：読み出し専用	R
b6	ENLP2	ポート 2 の拡張リンク検出の設定 0：無効（EEPROM のアドレス 0 のビット 9=0 の場合） 1：有効 EtherCAT マスタからのアクセス時：読み出し専用	R
b5	ENLP1	ポート 1 の拡張リンク検出の設定 0：無効（EEPROM のアドレス 0 のビット 9=0 の場合） 1：有効 EtherCAT マスタからのアクセス時：読み出し専用	R
b4	ENLP0	ポート 0 の拡張リンク検出の設定 0：無効（EEPROM のアドレス 0 のビット 9=0 の場合） 1：有効 EtherCAT マスタからのアクセス時：読み出し専用	R
b3	DCLATCH	ディストリビュートクロックのラッチ入力ユニットの設定（本 LSI では 1 に固定されています） 0：無効（省電力） 1：有効 EtherCAT マスタからのアクセス時：読み出し専用	R
b2	DCSYNC	ディストリビュートクロックの SYNC 出力ユニットの設定（本 LSI では 1 に固定されています） 0：無効（省電力） 1：有効 EtherCAT マスタからのアクセス時：読み出し専用	R
b1	ENLALLP	全ポートの拡張リンク検出の設定 0：無効（EEPROM のアドレス 0 のビット 15~12=0 の場合） 1：全ポートで有効 EtherCAT マスタからのアクセス時：読み出し専用	R
b0	DEVEMU	デバイスエミュレーション（AL ステータスの制御） 0：AL ステータスレジスタは PDI で設定される必要がある 1：AL ステータスレジスタは AL コントロールレジスタに書き込まれた値に設定される EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.27 PDI_CONFIG — PDI コンフィグレーションレジスタ

本レジスタは、PDI の構成を示します。

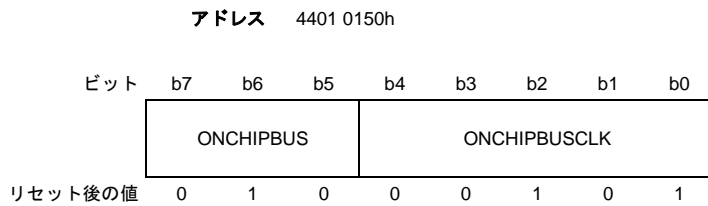


表 5.31 PDI_CONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b5	ONCHIPBUS	オンチップバスのタイプを示します。本 LSI では常に 010b です。 EtherCAT マスタからのアクセス時：読み出し専用	R
b4~b0	ONCHIPBUSCLK	オンチップバスクロックの周波数を示します。本 LSI では常に 5 (125MHz に対応) です。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.28 SYNC_LATCH_CONFIG — SYNC/LATCH PDI コンフィグレーションレジスタ

本レジスタは、SYNC 出力および LATCH 入力の構成を示します。

アドレス 4401 0151h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC1 MAP	SYNCL AT1	SYNC1OUT	SYNC0 MAP	SYNCL AT0	SYNC0OUT		
リセット後の値	1	1	1	0	1	1	1	0

表 5.32 SYNC_LATCH_CONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b7	SYNC1MAP	SYNC1 の状態と AL イベント要求レジスタ (0220h の AL_EVENT_REQ) のビット 3 へのマッピングの有効/無効を示します。本 LSI では常に有効です。このため、示される値は常に 1 (有効) です。 0 : 無効 1 : 有効 EtherCAT マスタからのアクセス時：読み出し専用	R
b6	SYNCLAT1	SYNC1/LATCH1 の構成を示します。本 LSI では常に 1 です。 この値は SYNC 出力を示しますが、ラッチ入力も利用可能です。SYNC 出力から LATCH 入力への切り替えおよびその逆の切り替えには IO マルチプレキシング機能を使用します。 0 : LATCH1 入力 1 : SYNC1 出力 EtherCAT マスタからのアクセス時：読み出し専用	R
b5、b4	SYNC1OUT	SYNC1 出力ドライバ/極性を示します。本 LSI では常に 10b (プッシュプルアクティブ High) です。 EtherCAT マスタからのアクセス時：読み出し専用	R
b3	SYNC0MAP	SYNC0 の状態と AL イベント要求レジスタ (0220h の AL_EVENT_REQ) のビット 2 へのマッピングの有効/無効を示します。本 LSI では常に有効です。このため、示される値は常に 1 (有効) です。 0 : 無効 1 : 有効 EtherCAT マスタからのアクセス時：読み出し専用	R
b2	SYNCLAT0	SYNC0/LATCH0 の構成を示します。本 LSI では常に 1 です。 この値は SYNC 出力を示しますが、ラッチ入力も利用可能です。SYNC 出力から LATCH 入力への切り替えおよびその逆の切り替えには IO マルチプレキシング機能を使用します。 0 : LATCH0 入力 1 : SYNC0 出力 EtherCAT マスタからのアクセス時：読み出し専用	R
b1、b0	SYNC0OUT	SYNC0 出力ドライバ/極性を示します。本 LSI では常に 10b (プッシュプルアクティブ High) です。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.29 EXT_PDI_CONFIG — 拡張 PDI コンフィグレーションレジスタ

本レジスタは、PDI の構成を示します。

アドレス		4401 0152h															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATABUSWID		
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0

表 5.33 EXT_PDI_CONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b2	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b1, b0	DATABUSWID	PDI のデータバス幅を示します。本 LSI では常に 0 (4 バイト) です。 00b : 4 バイト 01b : 1 バイト 10b : 2 バイト 11b : 予約 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.30 ECAT_EVENT_MASK — EtherCAT イベントマスクレジスタ

EtherCAT イベント要求 (EtherCAT 割り込み) は、EtherCAT マスタにスレーブイベントを送信するために使用されます。本レジスタは、EtherCAT イベント要求レジスタ (0210h の ECAT_EVENT_REQ) の各イベントにマスクを設定するために使用されます。EtherCAT イベント要求レジスタの各該当ビットと本レジスタの対応するビットとの論理積が取られ、その結果から割り込み信号が生成されます。

アドレス		4401 0200h														
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECATEVMASK															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.34 ECAT_EVENT_MASK レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	ECATEVMASK	0 : EtherCAT イベント要求レジスタ (0210h の ECAT_EVENT_REQ) の対応するビットがマッピングされない 1 : EtherCAT イベント要求レジスタの対応するビットがマッピングされる EtherCAT マスタからのアクセス時：R/W	R

5.4.31 AL_EVENT_MASK — AL イベントマスクレジスタ

AL イベント要求 (PDI 割り込み) は、スレーブアプリケーションに ESC 割り込みを送信するために使用されます。本レジスタは、AL イベント要求レジスタ (0220h の AL_EVENT_REQ) の各イベントにマスクを設定するために使用されます。AL イベント要求レジスタの各該当ビットと本レジスタの対応するビットとの論理積が取られ、その結果から割り込み信号が生成されます。

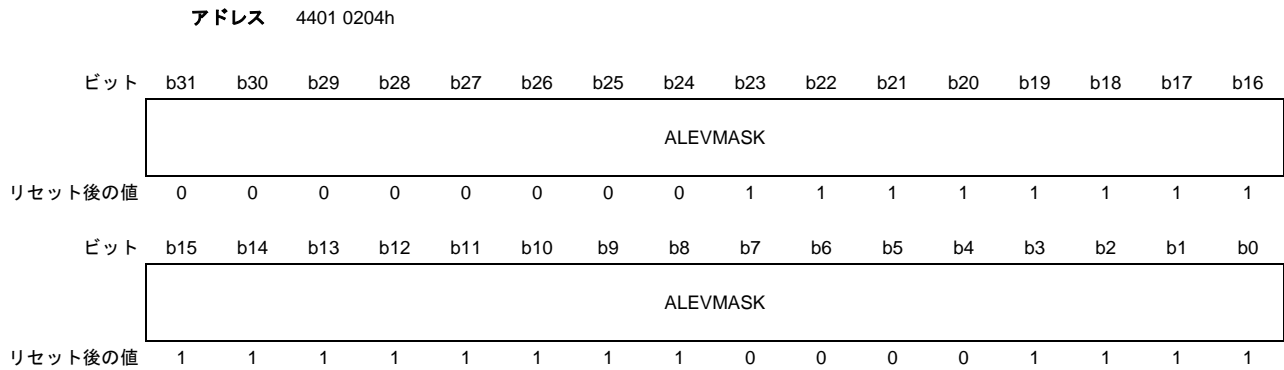


表 5.35 AL_EVENT_MASK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ALEVMASK	0 : AL イベント要求レジスタ (0220h の AL_EVENT_REQ) の対応するビットがマッピングされない 1 : AL イベント要求レジスタの対応するビットがマッピングされる EtherCAT マスタからのアクセス時 : 読み出し専用	R/W

5.4.32 ECAT_EVENT_REQ — EtherCAT イベント要求レジスタ

本レジスタは、EtherCAT イベント要求（EtherCAT 割り込み）の要因を示します。

アドレス 4401 0210h

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SMSTA 7	SMSTA 6	SMSTA 5	SMSTA 4	SMSTA 3	SMSTA 2	SMSTA 1	SMSTA 0	ALSTA	DLSTA	—	DCLAT CH
リセット後の値	X	X	X	X	0	0	0	0	0	0	0	0	0	0	X	0

表 5.36 ECAT_EVENT_REQ レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b15~b12	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b11	SMSTA7	SyncManager7 ステータスのミラー値 0 : Sync チャンネル7 イベントなし 1 : Sync チャンネル7 イベント保留中 EtherCAT マスタからのアクセス時：読み出し専用	R
b10	SMSTA6	SyncManager6 ステータスのミラー値 0 : Sync チャンネル6 イベントなし 1 : Sync チャンネル6 イベント保留中 EtherCAT マスタからのアクセス時：読み出し専用	R
b9	SMSTA5	SyncManager5 ステータスのミラー値 0 : Sync チャンネル5 イベントなし 1 : Sync チャンネル5 イベント保留中 EtherCAT マスタからのアクセス時：読み出し専用	R
b8	SMSTA4	SyncManager4 ステータスのミラー値 0 : Sync チャンネル4 イベントなし 1 : Sync チャンネル4 イベント保留中 EtherCAT マスタからのアクセス時：読み出し専用	R
b7	SMSTA3	SyncManager3 ステータスのミラー値 0 : Sync チャンネル3 イベントなし 1 : Sync チャンネル3 イベント保留中 EtherCAT マスタからのアクセス時：読み出し専用	R
b6	SMSTA2	SyncManager2 ステータスのミラー値 0 : Sync チャンネル2 イベントなし 1 : Sync チャンネル2 イベント保留中 EtherCAT マスタからのアクセス時：読み出し専用	R
b5	SMSTA1	SyncManager1 ステータスのミラー値 0 : Sync チャンネル1 イベントなし 1 : Sync チャンネル1 イベント保留中 EtherCAT マスタからのアクセス時：読み出し専用	R
b4	SMSTA0	SyncManager0 ステータスのミラー値 0 : Sync チャンネル0 イベントなし 1 : Sync チャンネル0 イベント保留中 EtherCAT マスタからのアクセス時：読み出し専用	R

表 5.36 ECAT_EVENT_REQ レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b3	ALSTA	AL ステータスイベント 0 : AL ステータス変更なし 1 : AL ステータス変更あり EtherCAT から AL ステータスレジスタ (0130h または 0131h の AL_STATUS) を読み出すことにより、本ビットはクリアされます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b2	DLSTA	DL ステータスイベント 0 : DL ステータス変更なし 1 : DL ステータス変更あり EtherCAT から DL ステータスレジスタ (0110h または 0111h の ESC_DL_STATUS) を読み出すことにより、本ビットはクリアされます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b1	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b0	DCLATCH	DC ラッチイベント 0 : DC ラッチ入力変更なし 1 : 少なくとも 1 回の DC ラッチ入力変更あり EtherCAT で制御されるラッチユニットの EtherCAT マスタから DC ラッチイベント時刻を読み出すことにより、本ビットはクリアされます。このため、ラッチ 0 および 1 ステータスレジスタ (09AEh および 09AFh の DC_LATCH0_STAT および DC_LATCH1_STAT) はイベントを 1 つも示しません。 EtherCAT マスタからのアクセス時 : 読み出し専用	R

5.4.33 AL_EVENT_REQ — AL イベント要求レジスタ

本レジスタは、AL イベント要求（PDI 割り込み）の要因を示します。

アドレス 4401 0220h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SMINT7	SMINT6	SMINT5	SMINT4	SMINT3	SMINT2	SMINT1	SMINT0	—	WDPD	—	SYNCACT	DCSYNCT1STA	DCSYNCT0STA	DCLATCH	ALCTRL
リセット後の値	0	0	0	0	0	0	0	0	X	0	X	0	0	0	0	0

表 5.37 AL_EVENT_REQ レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b15	SMINT7	SyncManager7 割り込み（SyncManager ステータス 7 レジスタ（083Dh）のビット 0 または 1） 0：SyncManager7 割り込みなし 1：SyncManager7 割り込み保留中 EtherCAT マスタからのアクセス時：読み出し専用	R
b14	SMINT6	SyncManager6 割り込み（SyncManager ステータス 6 レジスタ（0835h）のビット 0 または 1） 0：SyncManager6 割り込みなし 1：SyncManager6 割り込み保留中 EtherCAT マスタからのアクセス時：読み出し専用	R
b13	SMINT5	SyncManager5 割り込み（SyncManager ステータス 5 レジスタ（082Dh）のビット 0 または 1） 0：SyncManager5 割り込みなし 1：SyncManager5 割り込み保留中 EtherCAT マスタからのアクセス時：読み出し専用	R
b12	SMINT4	SyncManager4 割り込み（SyncManager ステータス 4 レジスタ（0825h）のビット 0 または 1） 0：SyncManager4 割り込みなし 1：SyncManager4 割り込み保留中 EtherCAT マスタからのアクセス時：読み出し専用	R
b11	SMINT3	SyncManager3 割り込み（SyncManager ステータス 3 レジスタ（081Dh）のビット 0 または 1） 0：SyncManager3 割り込みなし 1：SyncManager3 割り込み保留中 EtherCAT マスタからのアクセス時：読み出し専用	R
b10	SMINT2	SyncManager2 割り込み（SyncManager ステータス 2 レジスタ（0815h）のビット 0 または 1） 0：SyncManager2 割り込みなし 1：SyncManager2 割り込み保留中 EtherCAT マスタからのアクセス時：読み出し専用	R

表 5.37 AL_EVENT_REQ レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b9	SMINT1	SyncManager1 割り込み (SyncManager ステータス 1 レジスタ (080Dh) のビット 0 または 1) 0 : SyncManager1 割り込みなし 1 : SyncManager1 割り込み保留中 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b8	SMINT0	SyncManager0 割り込み (SyncManager ステータス 0 レジスタ (0805h) のビット 0 または 1) 0 : SyncManager0 割り込みなし 1 : SyncManager0 割り込み保留中 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b7	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b6	WDPD	ウォッチドッグプロセスデータ 0 : 有効 1 : タイムアウト PDI からウォッチドッグステータスプロセスデータレジスタ (0440h の WDS_DATA) を読み出すことにより、本ビットはクリアされます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b5	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b4	SYNCACT	SyncManager 有効化[n]レジスタ (0806h+8h×n の SM[n]_ACT) の変更 0 : SyncManager 変更なし 1 : 少なくとも 1 つの SyncManager 変更あり PDI から SyncManager 有効化[n]レジスタを読み出すことにより、本ビットはクリアされます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b3	DCSYNC1STA	DC SYNC1 の状態 PDI から SYNC1 ステータスレジスタ (098Fh の DC_SYNC1_STAT) を読み出すことにより、本ビットはクリアされます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b2	DCSYNC0STA	DC SYNC0 の状態 PDI から SYNC0 ステータスレジスタ (098Eh の DC_SYNC0_STAT) を読み出すことにより、本ビットはクリアされます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b1	DCLATCH	DC ラッチイベント 0 : DC ラッチ入力変更なし 1 : 少なくとも 1 つの DC ラッチ入力変更あり PDI 制御ラッチユニットに対して PDI から DC ラッチイベント時刻を読み出すことにより、本ビットはクリアされます。このため、ラッチ 0 および 1 ステータスレジスタ (09AEh および 09AFh の DC_LATCH0_STAT および DC_LATCH1_STAT) はイベントを 1 つも示しません。 EtherCAT マスタからのアクセス時 : 読み出し専用	R

表 5.37 AL_EVENT_REQ レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b0	ALCTRL	AL コントロールイベント 0 : AL コントロールレジスタ変更なし 1 : AL コントロールレジスタ書き込み済み PDI から AL コントロールレジスタ (0120h または 0121h の AL_CONTROL) を読み出すことにより、本ビットはクリアされます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R

5.4.34 RX_ERR_COUNT[n] — Rx エラーカウンタ[n]レジスタ (n=0~2)

本レジスタは、RX フレームエラーをカウントします。

(ESC のポート 0 → ポート A、ESC のポート 1 → ポート B、ESC のポート 2 → ポート C)

アドレス 4401 0300h+2h×n

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXERRCNT								INVFRMCNT							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.38 RX_ERR_COUNT[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b8	RXERRCNT	ポート[n]のRXエラーのカウンタ値 FFhに達すると、カウントが停止します。MII インタフェースのRXエラーの数がカウントされます。 RXエラーカウンタ (RX_ERR_COUNT[n]、FWD_RX_ERR_COUNT[n]) のいずれかが書き込まれた場合、これらのビットはクリアされます。 EtherCAT マスタからのアクセス時 : R/W (クリア)	R
b7~b0	INVFRMCNT	ポート[n]の無効フレームのカウンタ値 FFhに達すると、カウントが停止します。 RXエラーカウンタ (RX_ERR_COUNT[n]、FWD_RX_ERR_COUNT[n]) のいずれかが書き込まれた場合、これらのビットはクリアされます。 EtherCAT マスタからのアクセス時 : R/W (クリア)	R

5.4.35 FWD_RX_ERR_COUNT[n] — 転送済み Rx エラーカウンタ[n]レジスタ (n=0~2)

本レジスタは、転送済み RX フレームエラーをカウントします。

(ESC のポート 0 → ポート A、ESC のポート 1 → ポート B、ESC のポート 2 → ポート C)

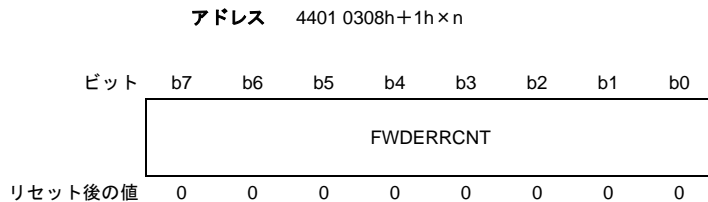


表 5.39 FWD_RX_ERR_COUNT[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	FWDERRCNT	ポート[n]の転送済み RX エラーフレームのカウンタ値 FFh に達すると、カウントが停止します。 RX エラーカウンタ (RX_ERR_COUNT[n]、FWD_RX_ERR_COUNT[n]) のいずれかが書き込まれた場合、これらのビットはクリアされます。 EtherCAT マスタからのアクセス時：R/W (クリア)	R

5.4.36 ECAT_PROC_ERR_COUNT — EtherCAT 処理ユニットエラーカウンタレジスタ

本レジスタは、EtherCAT 処理ユニットを通過するフレームエラーをカウントします。

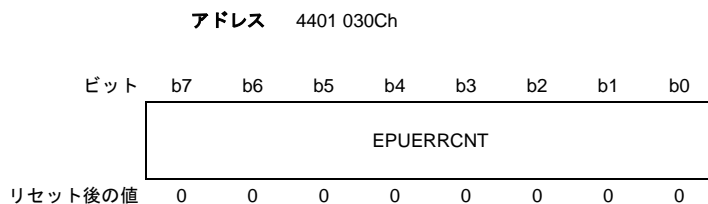


表 5.40 ECAT_PROC_ERR_COUNT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	EPUERRCNT	EtherCAT 処理ユニットエラーカウンタ値 FFh に達すると、カウントが停止します。 本レジスタは、処理ユニットを通過するフレームのエラーをカウントします。 本レジスタに書き込むと、本レジスタはクリアされます。 EtherCAT マスタからのアクセス時：R/W (クリア)	R

5.4.37 PDI_ERR_COUNT — PDI エラーカウンタレジスタ

本レジスタは、PDI アクセスエラーをカウントします。

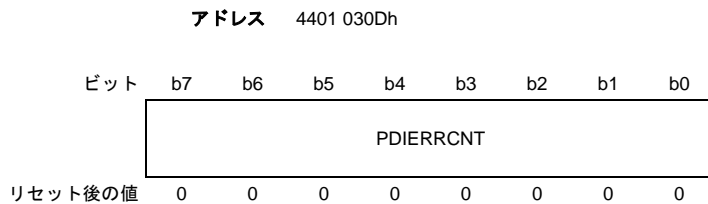


表 5.41 PDI_ERR_COUNT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	PDIERRCNT	PDI エラーカウンタ値 FFh に達すると、カウントが停止します。PDI へのアクセスによりインタフェースエラーが発生すると、カウントします。 本レジスタに書き込むと、本レジスタはクリアされます。 EtherCAT マスタからのアクセス時：R/W（クリア）	R

5.4.38 LOST_LINK_COUNT[n] — ロストリンクカウンタ[n]レジスタ (n=0~2)

本レジスタは、ポート[n]のロストリンクをカウントします。

(ポート 0 → ポート A、ポート 1 → ポート B、ポート 2 → ポート C)

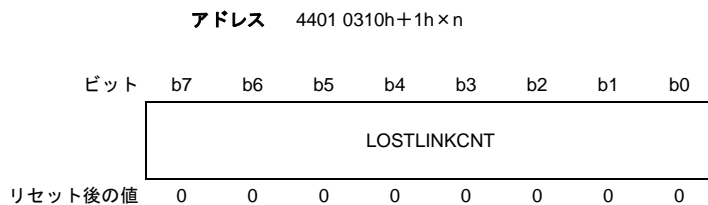


表 5.42 LOST_LINK_COUNT[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	LOSTLINKCNT	ポート[n]のロストリンクカウンタ値 FFh に達すると、カウントが停止します。 ポートループがオートまたはオートクローズの場合のみカウントします。 オープンポートのロストリンクのみがカウントされます。 ロストリンクカウンタレジスタのいずれかに書き込むと、そのレジスタはクリアされます。 EtherCAT マスタからのアクセス時：R/W（クリア）	R

5.4.39 WD_DIVIDE — ウォッチドッグ分周値レジスタ

本レジスタは、ウォッチドッグタイマをインクリメントする基本周期を求めるための 25MHz 分周比を設定するために使用されます。

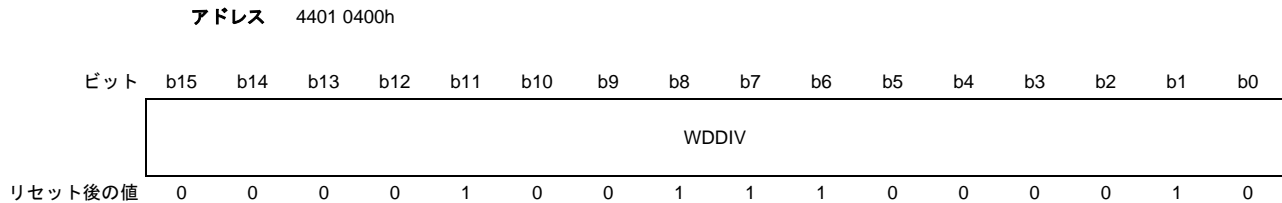


表 5.43 WD_DIVIDE レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	WDDIV	25MHz 単位でウォッチドッグタイマによりカウントを駆動するクロックの分周値を設定します。 ウォッチドッグタイマでカウントするクロックは、本レジスタの値+2 で 25MHz を除算することで得られます。デフォルト値は 2498 です。これは 100 μ s の周期に対応します。 EtherCAT マスタからのアクセス時 : R/W	R

5.4.40 WDT_PDI — ウォッチドッグ時間 PDI レジスタ

本レジスタは、PDI ウォッチドッグタイマがオーバーフローするまでの時間を設定するために使用されません。

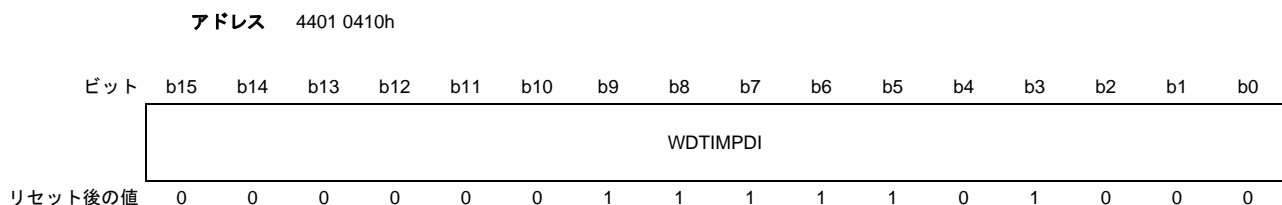


表 5.44 WDT_PDI レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	WDTIMPDI	PDI ウォッチドッグタイマがオーバーフローするまでの時間をウォッチドッグのインクリメント回数として設定します。 これらのビットのデフォルト値およびウォッチドッグ分周値の設定では、1 回のインクリメントの時間は 100 μ s です。このとき、100 μ s \times 1000 = 100ms が経過すると、ウォッチドッグタイマがオーバーフローします。 これらのビットを 0 にすると、ウォッチドッグタイマが無効になります。PDI にアクセスすると、ウォッチドッグタイマがリスタートします。 EtherCAT マスタからのアクセス時 : R/W	R

5.4.41 WDT_DATA — ウォッチドッグ時間プロセスデータレジスタ

本レジスタは、プロセスデータウォッチドッグタイマがオーバーフローするまでの時間を設定するために使用されます。

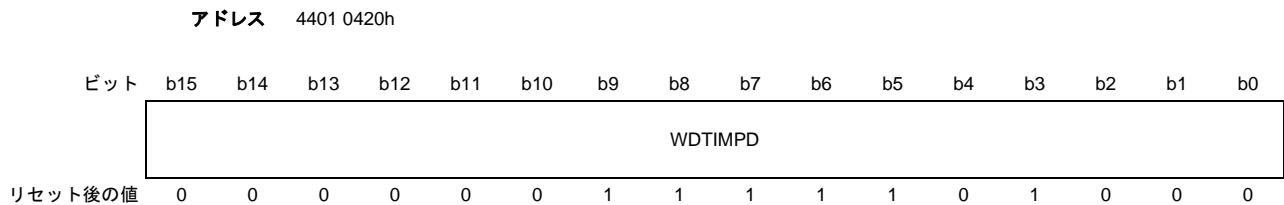


表 5.45 WDT_DATA レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	WDTIMPD	<p>プロセスデータウォッチドッグタイマがオーバーフローするまでの時間をウォッチドッグのインクリメント回数として設定します。</p> <p>これらのビットのデフォルト値およびウォッチドッグ分周値の設定では、1回のインクリメントの時間は 100μs です。このとき、100μs\times1000=100ms が経過すると、ウォッチドッグタイマがオーバーフローします。</p> <p>すべての SyncManager に対してウォッチドッグは共用です。</p> <p>これらのビットを 0 にすると、ウォッチドッグタイマが無効になります。</p> <p>SyncManager のウォッチドッグトリガインネブルビットにアクセスすると、ウォッチドッグタイマがリスタートします。</p> <p>EtherCAT マスタからのアクセス時：R/W</p>	R

5.4.42 WDS_DATA — ウォッチドッグステータスプロセスデータレジスタ

本レジスタは、プロセスデータウォッチドッグタイマの状態を示します。

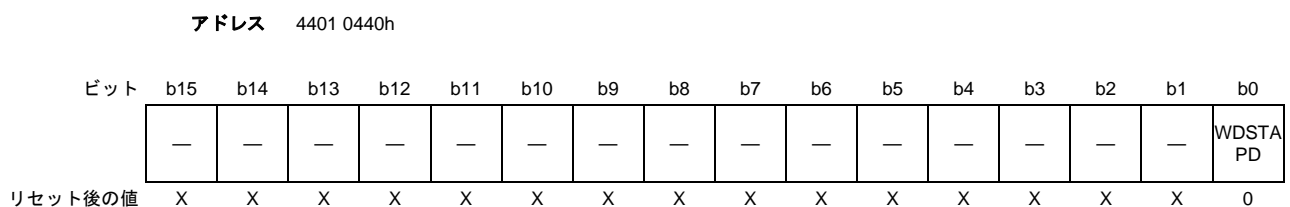


表 5.46 WDS_DATA レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b1	予約ビット	<p>読み出すと、不定値が返されます。</p> <p>EtherCAT マスタからのアクセス時：読み出し専用</p>	R (ACK)
b0	WDSTAPD	<p>SyncManager によって開始されるプロセスデータウォッチドッグタイマの状態を示します。</p> <p>0：プロセスデータウォッチドッグタイマがタイムアウト</p> <p>1：プロセスデータウォッチドッグタイマが動作中または無効</p> <p>本レジスタを読み出すと、AL イベント要求レジスタ (0220h の AL_EVENT_REQ) のビット 6 がクリアされます。</p> <p>EtherCAT マスタからのアクセス時：読み出し専用</p>	R (ACK)

5.4.43 WDC_DATA — ウォッチドッグカウンタプロセスデータレジスタ

本レジスタは、プロセスデータウォッチドッグタイマのタイムアウトカウンタ値を示します。

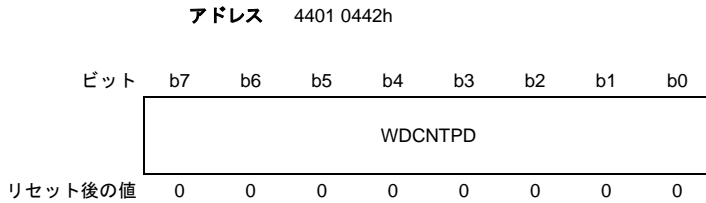


表 5.47 WDC_DATA レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	WDCNTPD	プロセスデータウォッチドッグタイマのカウンタ値 FFh に達すると、カウントが停止します。プロセスデータウォッチドッグタイマのタイムアウト時にカウントします。 ウォッチドッグカウンタレジスタ（0442h および 0443h の WDC_DATA、WDC_PDI）のいずれかに書き込むと、カウンタがクリアされます。 EtherCAT マスタからのアクセス時：R/W（クリア）	R

5.4.44 WDC_PDI — ウォッチドッグカウンタ PDI レジスタ

本レジスタは、PDI ウォッチドッグタイマのタイムアウトカウンタ値を示します。

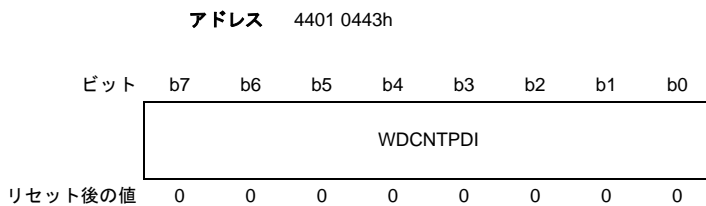


表 5.48 WDC_PDI レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b0	WDCNTPDI	PDI ウォッチドッグタイマのカウンタ値 FFh に達すると、カウントが停止します。PDI ウォッチドッグタイマのタイムアウト時にカウントします。 ウォッチドッグカウンタレジスタ（0442h および 0443h の WDC_DATA、WDC_PDI）のいずれかに書き込むと、カウンタがクリアされます。 EtherCAT マスタからのアクセス時：R/W（クリア）	R

5.4.45 EEP_CONF — EEPROM コンフィグレーションレジスタ

EEPROM コンフィグレーションレジスタ EEP_CONF.CTRLPDI (0500h) =0 かつ EEPROM PDI アクセスステートレジスタ EEP_STATE.PDIACCEES (0501h) =0 の場合、EtherCAT が SII EEPROM インタフェースを制御し、それ以外の場合、PDI が EEPROM インタフェースを制御します。

アドレス 4401 0500h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FORCE ECAT	CTRLP DI
リセット後の値	X	X	X	X	X	X	0	0

表 5.49 EEP_CONF レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b2	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b1	FORCEECAT	EtherCAT による EEPROM へのアクセス権を強制的に変更します。 0：変更なし 1：EEPROM PDI アクセスステートレジスタ (0501h の EEP_STATE) のビット 0 を 0 にリセット。つまり、PDI による EEPROM へのアクセスを禁止します。 EtherCAT マスタからのアクセス時：R/W	R
b0	CTRLPDI	EEPROM コントロールが PDI に提供されるかどうかを指定します。 0：PDI に EEPROM コントロールなし 1：PDI に EEPROM コントロールあり EtherCAT マスタからのアクセス時：R/W	R

5.4.46 EEP_STATE — EEPROM PDI アクセスステートレジスタ

本レジスタは、PDI による EEPROM へのアクセス権を設定するために使用されます。

アドレス		4401 0501h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	PDIAC CEES
リセット後の値	X	X	X	X	X	X	X	X	0

表 5.50 EEP_STATE レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b1	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b0	PDIACCEES	EEPROM へのアクセス権を設定します。 0 : PDI による EEPROM へのアクセス禁止 1 : PDI による EEPROM へのアクセス可能 PDI からのライトアクセスが可能になるのは、EEPROM コンフィグレーションレジスタ (0500h の EEP_CONF) のビット 0 およびビット 1 が 0 の場合のみです。 EtherCAT マスタからのアクセス時：読み出し専用	R(W)

5.4.47 EEP_CONT_STAT — EEPROM コントロール/ステータスレジスタ

本レジスタは、EEPROM へのアクセスを制御してステータスを示すために使用されます。

ライトアクセスは、EEPROM インタフェースの割り当て (EtherCAT/PDI) に依存します。EEPROM インタフェースがビジー (ビット 15=1) の場合、一般的にライトアクセスはブロックされます。

アドレス 4401 0502h

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BUSY	WRENERR	ACKCMDERR	LOADSTA	CKSUMERR	COMMAND			PROMISE	READBYTE	—	—	—	—	—	ECATWREN
リセット後の値	0	0	0	0	0	0	0	0	0	0	X	X	X	X	X	0

表 5.51 EEP_CONT_STAT レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b15	BUSY	EEPROM インタフェースのビジー状態を示します。 0 : EEPROM インタフェースはアイドル 1 : EEPROM インタフェースはビジー EtherCAT マスタからのアクセス時 : 読み出し専用	R
b14	WRENERR	ライトイネーブルのエラーを示します。 コマンド (ビット 10~8) に 000b (または有効なコマンド) を書き込むことにより、エラービットはクリアされます。 0 : エラーなし 1 : ライトイネーブルなしの書き込みコマンド EtherCAT マスタからのアクセス時 : 読み出し専用	R
b13	ACKCMDERR	以下のようにアクノリッジ/コマンドのエラーを示します。 コマンド (ビット 10~8) に 000b (または有効なコマンド) を書き込むことにより、エラービットはクリアされます。 0 : エラーなし 1 : EEPROM アクノリッジ欠落または無効なコマンド EtherCAT マスタからのアクセス時 : 読み出し専用	R
b12	LOADSTA	EEPROM ロードステータスを示します。 0 : EEPROM はロードされ、デバイス情報に問題なし 1 : EEPROM はまだロードされておらず、デバイス情報を利用できない (EEPROM はロード中か、または異常終了した) EtherCAT マスタからのアクセス時 : 読み出し専用	R
b11	CKSUMERR	ESC 構成領域のチェックサムエラーを示します。 0 : チェックサムエラーなし 1 : チェックサムエラーあり EtherCAT マスタからのアクセス時 : 読み出し専用	R

表 5.51 EEP_CONT_STAT レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b10~b8	COMMAND	<p>コマンド</p> <p>EtherCAT ライトイネーブルビット (ビット 0) は次のフレームの SOF でセルフクリアされます。コマンドが実行された後 (EEPROM ビジーが終了した後)、コマンドビット (ビット 10~8) もセルフクリアされます。</p> <p>コマンド (ビット 10~8) に 000b を書き込むと、エラービット (ビット 14 および 13) もクリアされます。アクリッジ/コマンドのエラービット (ビット 13) が 1 の場合、コマンドビット (ビット 10~8) は無視されます。</p> <p>【書き込み】以下のコマンドを開始します。</p> <p>【読み出し】現在実行中のコマンドを示します。</p> <p>コマンド:</p> <ul style="list-style-type: none"> 000b: コマンドなし/EEPROM アイドル (エラービットをクリア) 001b: 読み出し 010b: 書き込み 100b: リロード その他: 予約/無効なコマンド (発行禁止) <p>EtherCAT マスタからのアクセス時: R(W)</p>	R(W)
b7	PROMSIZE	<p>選択された EEPROM アルゴリズムを示します。</p> <ul style="list-style-type: none"> 0: 1 アドレスバイト (1Kbit~16Kbit EEPROM) 1: 2 アドレスバイト (32Kbit~4Mbit EEPROM) <p>EtherCAT マスタからのアクセス時: 読み出し専用</p>	R
b6	READBYTE	<p>サポートされる EEPROM 読み出しバイトを示します。</p> <ul style="list-style-type: none"> 0: 4 バイト 1: 8 バイト <p>EtherCAT マスタからのアクセス時: 読み出し専用</p>	R
b5~b1	予約ビット	<p>読み出すと、不定値が返されます。</p> <p>EtherCAT マスタからのアクセス時: 読み出し専用</p>	R
b0	ECATWREN	<p>EtherCAT ライトイネーブル</p> <p>EtherCAT ライトイネーブルビット (ビット 0) は次のフレームの SOF でセルフクリアされます。コマンドが実行された後 (EEPROM ビジーが終了した後)、コマンドビット (ビット 10~8) もセルフクリアされます。</p> <p>コマンドビット (ビット 10~8) に 000b を書き込むと、エラービット (ビット 14 および 13) もクリアされます。アクリッジ/コマンドのエラービット (ビット 13) が 1 の場合、コマンドビット (ビット 10~8) は無視されます。</p> <ul style="list-style-type: none"> 0: 書き込み要求無効 1: 書き込み要求有効 <p>PDI に EEPROM コントロールがある場合、本ビットは常に 1 です。</p> <p>EtherCAT マスタからのアクセス時: R(W)</p>	R

5.4.48 EEP_ADR — EEPROM アドレスレジスタ

本レジスタは、アクセスする EEPROM アドレスを設定するために使用されます。

ライトアクセスは、EEPROM インタフェースの割り当て (EtherCAT/PDI) に依存します。EEPROM インタフェースがビジー (EEPROM コントロール/ステータスレジスタ (0502h の EEP_CONT_STAT) のビット 15 が 1) の場合、一般的にライトアクセスはブロックされます。

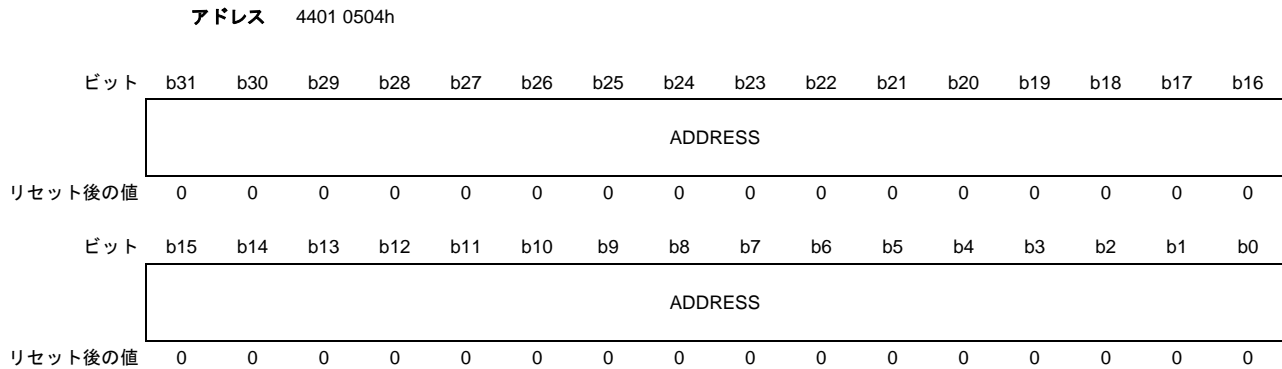


表 5.52 EEP_ADR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ADDRESS	EEPROM アドレス 0 : 第 1 ワード (= 16 ビット) 1 : 第 2 ワード : 実際に使用される EEPROM アドレスビット : [9:0] : 最大 16Kbit の EEPROM サイズ [17:0] : 32Kbit~4Mbit の EEPROM サイズ EtherCAT マスタからのアクセス時 : R(W)	R(W)

5.4.49 EEP_DATA — EEPROM データレジスタ

本レジスタは、EEPROM へのライトデータを設定するのに使用され、EEPROM からの読み出しデータを示します。書き込みは 1 ワード (2 バイト) 単位、読み出しは 2 ワード (4 バイト) 単位で可能です。

ライトアクセスは、EEPROM インタフェースの割り当て (EtherCAT/PDI) に依存します。EEPROM インタフェースがビジー (EEPROM コントロール/ステータスレジスタ (0502h の EEP_CONT_STAT) のビット 15 が 1) の場合、一般的にライトアクセスはブロックされます。

アドレス		4401 0508h																														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	HIDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LODATA															
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	LODATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LODATA															

表 5.53 EEP_DATA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	HIDATA	EEPROM から読み出されたデータ (上位 2 バイト) EtherCAT マスタからのアクセス時: 読み出し専用	R
b15~b0	LODATA	EEPROM に書き込むデータまたは EEPROM から読み出されたデータ (下位 2 バイト) EtherCAT マスタからのアクセス時: R(W)	R(W)

5.4.50 MII_CONT_STAT — MII マネージメントコントロール/ステータスレジスタ

本レジスタは、MII マネージメントインタフェースを制御し、ステータスを示すために使用されます。

ライトアクセスは、マネージメントインタフェースの割り当て (EtherCAT/PDI) に依存します。マネージメントインタフェースがビジー (本レジスタのビット 15=1) の場合、一般的にライトアクセスはブロックされます。

備 考

ライトイネーブルビット (ビット 0) は次のフレームの SOF でセルフクリアされます。コマンドが実行された後 (ビジーが終了した後)、コマンドビット (ビット 9~8) もセルフクリアされます。

コマンドビットに 00b を書き込むと、エラービット (ビット 14 および 13) もクリアされます。コマンドが実行された後、コマンドビットはクリアされます。

アドレス		4401 0510h														
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BUSY	CMDERR	READERR	—	—	—	COMMAND	PHYOFFSET			MILINK	PDICTRL	WREN			
リセット後の値	0	0	0	X	X	X	0	0	0	0	0	0	0	0	1	0

表 5.54 MII_CONT_STAT レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b15	BUSY	MII マネージメントインタフェースがビジーであることを示します。 0 : MII マネージメントインタフェースはアイドル 1 : MII マネージメントインタフェースはビジー EtherCAT マスタからのアクセス時 : 読み出し専用	R
b14	CMDERR	コマンドエラーが発生したかどうかを示します。 0 : 最後のコマンドが成功した 1 : 無効なコマンドまたは書き込みコマンド (ライトイネーブルなし) 有効なコマンドを実行するか、またはコマンドビット (ビット 9 および 8) に 00b を書き込むことにより、本ビットはクリアされます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b13	READERR	リードエラーが発生したかどうかを示します。 0 : リードエラーなし 1 : リードエラー発生 (PHY またはレジスタを利用できない) 本レジスタに書き込むことにより、本ビットはクリアされます。 EtherCAT マスタからのアクセス時 : R(W)	R(W)
b12~b10	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b9、b8	COMMAND	コマンド [書き込み] 以下のコマンドを開始します。 [読み出し] 現在実行中のコマンドを示します。 コマンド : 00b : コマンドなし/MI アイドル (エラービットをクリア) 01b : 読み出し 10b : 書き込み その他 : 予約/無効なコマンド (発行禁止) EtherCAT マスタからのアクセス時 : R(W)	R(W)

表 5.54 MII_CONT_STAT レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b7~b3	PHYOFFSET	PHY アドレスオフセットを示します。 EtherCAT マスタからのアクセス時：読み出し専用	R
b2	MILINK	MI リンク検出 0：使用不可 1：使用可能 EtherCAT マスタからのアクセス時：読み出し専用	R
b1	PDICTRL	MII マネージメントインタフェースを PDI で制御できるかどうかを示します。 0：EtherCAT による制御のみ 1：PDI による制御可能 MII マネージメント EtherCAT アクセスステートレジスタ (0516h の MII_ECAC_ACS_STAT) および MII マネージメント PDI アクセスステートレジスタ (0517h の MII_PDI_ACS_STAT) により、インタフェースが制御されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b0	WREN	ライトイネーブル 0：無効 1：有効 PDI が MII マネージメントインタフェースを制御する場合、本ビットは常に 1 です。 EtherCAT マスタからのアクセス時：R(W)	R

5.4.51 PHY_ADR — PHY アドレスレジスタ

本レジスタは、PHY アドレスを設定するために使用されます。

ライトアクセスは、マネージメントインタフェースの割り当て (EtherCAT/PDI) に依存します。マネージメントインタフェースがビジー (MII マネージメントコントロール/ステータスレジスタ (0510h の MII_CONT_STAT) のビット 15 が 1) の場合、一般的にライトアクセスはブロックされます。

アドレス 4401 0512h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PHYADDR				

リセット後の値 X X X 0 0 0 0 0

表 5.55 PHY_ADR レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b5	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b4~b0	PHYADDR	PHY アドレス EtherCAT マスタからのアクセス時：R(W)	R(W)

5.4.52 PHY_REG_ADR — PHY レジスタアドレスレジスタ

本レジスタは、PHY レジスタアドレスを設定するために使用されます。

ライトアクセスは、マネージメントインタフェースの割り当て (EtherCAT/PDI) に依存します。マネージメントインタフェースがビジー (MII マネージメントコントロール/ステータスレジスタ (0510h の MII_CONT_STAT) のビット 15 が 1) の場合、一般的にライトアクセスはブロックされます。

アドレス 4401 0513h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PHYREGADDR				
リセット後の値	X	X	X	0	0	0	0	0

表 5.56 PHY_REG_ADR レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b5	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b4~b0	PHYREGADDR	PHY レジスタのアドレス EtherCAT マスタからのアクセス時：R(W)	R(W)

5.4.53 PHY_DATA — PHY データレジスタ

本レジスタは、PHY レジスタに書き込むデータを設定するか、または PHY レジスタから読み出されたデータを示すために使用されます。

ライトアクセスは、マネージメントインタフェースの割り当て (EtherCAT/PDI) に依存します。マネージメントインタフェースがビジー (MII マネージメントコントロール/ステータスレジスタ (0510h の MII_CONT_STAT) のビット 15 が 1) の場合、一般的にライトアクセスはブロックされます。

アドレス 4401 0514h

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PHYREGDATA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.57 PHY_DATA レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	PHYREGDATA	PHY レジスタのリード/ライトデータ EtherCAT マスタからのアクセス時：R(W)	R(W)

5.4.54 MII_ECAT_ACS_STAT — MII マネージメント EtherCAT アクセスステートレジスタ

本レジスタは、PDI による MII マネージメントインタフェースへのアクセス権を設定するために使用されません。

ライトアクセスが可能になるのは、MII マネージメント PDI アクセスステートレジスタ（0517h の MII_PDI_ACS_STAT）のビット 0 が 1 の場合のみです。

アドレス	4401 0516h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ACSMII
リセット後の値	X	X	X	X	X	X	X	0

表 5.58 MII_ECAT_ACS_STAT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b1	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b0	ACSMII	MII マネージメントインタフェースへのアクセス権 0：PDI による MII マネージメントインタフェースへのアクセス有効 1：EtherCAT による MII マネージメントインタフェースへの排他アクセス EtherCAT マスタからのアクセス時：R(W)	R

5.4.55 MII_PDI_ACS_STAT — MII マネージメント PDI アクセスステートレジスタ

本レジスタは、PDI による MII マネージメントインタフェースへのアクセス権を設定するために使用されま
す。

アドレス		4401 0517h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	FORPDI	ACSMII	
リセット後の値	X	X	X	X	X	X	0	0	

表 5.59 MII_PDI_ACS_STAT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b2	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b1	FORPDI	PDI によるアクセスの強制変更（ビット 0 の強制変更） 0：ビット 0 の値は変更なし 1：ビット 0 の値を 0 にリセット（アクセス権は EtherCAT に変更） EtherCAT マスタからのアクセス時：R/W	R
b0	ACSMII	MII マネージメントインタフェースへのアクセス権 0：PDI による MII マネージメントインタフェースへのアクセス 1：EtherCAT による MII マネージメントインタフェースへのアクセス EtherCAT マスタからのアクセス時：読み出し専用 PDI からビット 0 へのライトアクセスが可能になるのは、以下の 2 つの条件が満たされた場合のみです。 <ul style="list-style-type: none"> • MII マネージメント EtherCAT アクセスステートレジスタ（0516h の MII_ECAC_ACS_STAT）のビット 0 が 0 • MII マネージメント PDI アクセスステートレジスタ（0517h の MII_PDI_ACS_STAT）のビット 1 が 0 	R(/W)

5.4.56 PHY_STATUS[n] — PHY ポートステータス[n]レジスタ (n=0~2)

本レジスタは、各ポートの PHY ステータスを示します。

(ESC のポート 0 → ポート A、ESC のポート 1 → ポート B、ESC のポート 2 → ポート C)

アドレス 4401 0518h+1h×n

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PHYCONFIG	LINKPARTERR	READERR	LINKSTAERR	LINKSTA	PHYLINKSTA
リセット後の値	X	X	0	0	0	0	0	0

表 5.60 PHY_STATUS[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b7、b6	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタ：読み出し専用	R
b5	PHYCONFIG	PHY 構成の更新 0：更新なし 1：PHY 構成の更新あり PHY ポートステータス[n]レジスタ (PHY_STATUS[n]) の少なくともいずれか 1 つに値を書き込むことにより、本ビットはクリアされます。 EtherCAT マスタ：R(W/クリア)	R(W/クリア)
b4	LINKPARTERR	リンク先エラー 0：エラー検出なし 1：リンク先エラー EtherCAT マスタ：読み出し専用	R
b3	READERR	リードエラー 0：リードエラー発生なし 1：リードエラー発生あり PHY ポートステータス[n]レジスタ (PHY_STATUS[n]) の少なくともいずれか 1 つに値を書き込むことにより、本ビットはクリアされます。 EtherCAT マスタ：R(W/クリア)	R(W/クリア)
b2	LINKSTAERR	リンクステータスエラー 0：エラーなし 1：リンクエラーまたはリンク禁止 EtherCAT マスタ：読み出し専用	R
b1	LINKSTA	リンクステータス (100Mbit/s、全二重、オートネゴシエーション) 0：上記の条件を満たすリンクなし 1：上記の条件を満たすリンク検出 EtherCAT マスタ：読み出し専用	R
b0	PHYLINKSTA	物理リンクステータス (PHY レジスタ 1 (ステータスレジスタ) のビット 2) 0：物理リンク停止 1：物理リンク稼働 EtherCAT マスタ：読み出し専用	R

5.4.57 FMMU[n]_L_START_ADR — FMMU 論理開始アドレス[n]レジスタ (n=0~7)

本レジスタは、FMMU[n]の EtherCAT アドレス空間内の論理開始アドレスを設定するために使用されます。

アドレス 4401 0600h+10h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LSTAADR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LSTAADR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.61 FMMU[n]_L_START_ADR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	LSTAADR	EtherCAT アドレス空間内の論理開始アドレスを設定します。 EtherCAT マスタからのアクセス時 : R/W	R

5.4.58 FMMU[n]_LEN — FMMU 長さ[n]レジスタ (n=0~7)

本レジスタは、FMMU[n]領域の長さをバイト単位で設定するために使用されます。

アドレス 4401 0604h+10h×n

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FMMULEN															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.62 FMMU[n]_LEN レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	FMMULEN	領域サイズをバイト単位で設定します。 FMMU[n]で設定された論理アドレス範囲の終了アドレス-FMMU[n]で設定された論理アドレス範囲の開始アドレス+1になります。 EtherCAT マスタからのアクセス時 : R/W	R

5.4.59 FMMU[n]_L_START_BIT — FMMU 論理スタートビット[n]レジスタ (n=0~7)

本レジスタは、FMMU[n]の論理開始アドレスのスタートビットを設定するために使用されます。

アドレス 4401 0606h+10h×n

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LSTABIT		
リセット後の値	X	X	X	X	X	0	0	0

表 5.63 FMMU[n]_L_START_BIT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b3	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b2~b0	LSTABIT	FMMU[n]の論理開始アドレスのスタートビットを設定します。 EtherCAT マスタからのアクセス時：R/W	R

5.4.60 FMMU[n]_L_STOP_BIT — FMMU 論理ストップビット[n]レジスタ (n=0~7)

本レジスタは、FMMU[n]の論理終了アドレスの最終ビットを設定するために使用されます。

アドレス 4401 0607h+10h×n

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LSTPBIT		
リセット後の値	X	X	X	X	X	0	0	0

表 5.64 FMMU[n]_L_STOP_BIT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b3	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b2~b0	LSTPBIT	FMMU[n]の論理終了アドレスの最終ビットを設定します。 EtherCAT マスタからのアクセス時：R/W	R

5.4.61 FMMU[n]_P_START_ADR — FMMU 物理開始アドレス[n]レジスタ (n=0~7)

本レジスタは、論理開始アドレスが FMMU[n]によってマッピングされる ESC の物理開始アドレスを設定するために使用されます。



表 5.65 FMMU[n]_P_START_ADR レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	PHYSTAADR	論理開始アドレスがマッピングされる ESC の物理開始アドレスを設定します。このアドレスはベースアドレス (4401 0000h) からのオフセットとして設定されます。 EtherCAT マスタからのアクセス時 : R/W	R

5.4.62 FMMU[n]_P_START_BIT — FMMU 物理スタートビット[n]レジスタ (n=0~7)

本レジスタは、論理開始アドレスのスタートビットが FMMU[n]によってマッピングされる ESC の物理開始アドレスのスタートビットを設定するために使用されます。

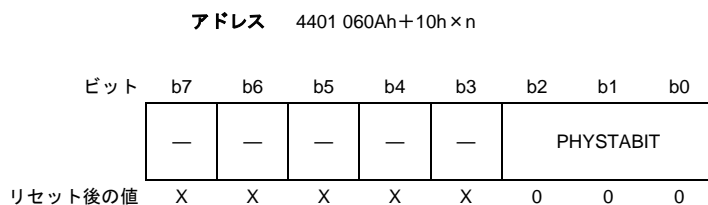


表 5.66 FMMU[n]_P_START_BIT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b3	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時 : 読み出し専用	R
b2~b0	PHYSTABIT	論理開始アドレスのスタートビットがマッピングされる ESC の物理開始アドレスのスタートビットを設定します。 EtherCAT マスタからのアクセス時 : R/W	R

5.4.63 FMMU[n]_TYPE — FMMU タイプ[n]レジスタ (n=0~7)

本レジスタは、FMMU[n]アクセスのタイプを設定するために使用されます。

アドレス 4401 060Bh+10h×n

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	WRITE	READ
リセット後の値	X	X	X	X	X	X	0	0

表 5.67 FMMU[n]_TYPE レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b2	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b1	WRITE	ライトアクセスに対するマッピングを設定します。 0：無効 1：有効 EtherCAT マスタからのアクセス時：R/W	R
b0	READ	リードアクセスに対するマッピングを設定します。 0：無効 1：有効 EtherCAT マスタからのアクセス時：R/W	R

5.4.64 FMMU[n]_ACT — FMMU 有効化[n]レジスタ (n=0~7)

本レジスタは、FMMU[n]を有効または無効にするために使用されます。

アドレス 4401 060Ch+10h×n

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ACTIVATE
リセット後の値	X	X	X	X	X	X	0	0

表 5.68 FMMU[n]_ACT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b1	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b0	ACTIVATE	FMMU[n]を有効または無効にします。 0：無効 1：有効 EtherCAT マスタからのアクセス時：R/W	R

5.4.65 SM[n]_P_START_ADR — SyncManager 物理開始アドレス[n]レジスタ (n=0~7)

本レジスタは、SyncManager[n]に割り当てられる領域の物理開始アドレスを設定するために使用されます。本レジスタが書き込み可能になるのは、SyncManager が無効 (SyncManager 有効化[n]レジスタ (0806h+8h×n の SM[n]_ACT) のビット 0 が 0) の場合のみです。

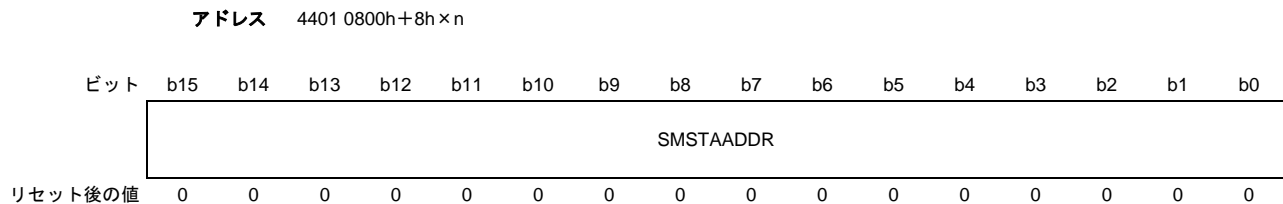


表 5.69 SM[n]_P_START_ADR レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	SMSTAADDR	SyncManager[n]に割り当てられる領域の物理開始アドレスを指定します。 EtherCAT マスタからのアクセス時：R(W)	R

5.4.66 SM[n]_LEN — SyncManager 長さ[n]レジスタ (n=0~7)

本レジスタは、SyncManager[n]に割り当てられる領域のサイズを設定するために使用されます。本レジスタが書き込み可能になるのは、SyncManager が無効 (SyncManager 有効化[n]レジスタ (0806h+8h×n の SM[n]_ACT) のビット 0 が 0) の場合のみです。

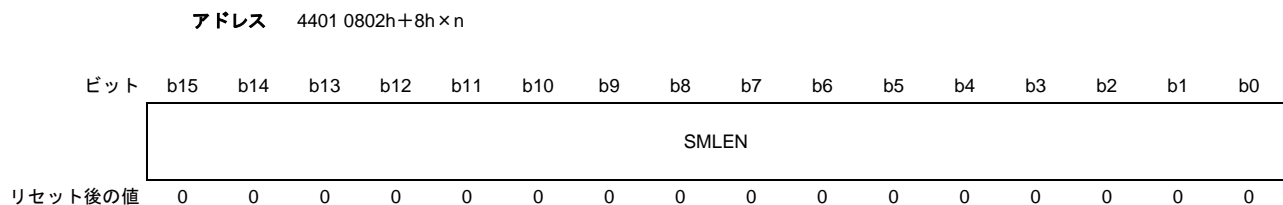


表 5.70 SM[n]_LEN レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	SMLEN	SyncManager に割り当てられるバイト数を設定します。1 より大きな値を設定してください。それ以外の値では、SyncManager は有効化しません。 EtherCAT マスタからのアクセス時：R(W)	R

5.4.67 SM[n]_CONTROL — SyncManager コントロール[n]レジスタ (n=0~7)

本レジスタは、SyncManager[n]の動作を設定するために使用されます。

本レジスタが書き込み可能になるのは、SyncManager が無効 (SyncManager 有効化[n]レジスタ (0806h+8h×n の SM[n]_ACT) のビット 0 が 0) の場合のみです。

アドレス 4401 0804h+8h×n

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	WDTR GEN	IRQPDI	IRQEC AT	DIR		OPEMODE	
リセット後の値	X	0	0	0	0	0	0	0

表 5.71 SM[n]_CONTROL レジスタの内容

ビット位置	ビット名	機能	R/W
b7	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b6	WDTRGEN	ウォッチドッグトリガを有効または無効にします。 0：無効 1：有効 EtherCAT マスタからのアクセス時：R(W)	R
b5	IRQPDI	AL イベント要求レジスタ (0220h の AL_EVENT_REQ) による割り込み (PDI 割り込み) を許可または禁止します。 0：禁止 1：許可 EtherCAT マスタからのアクセス時：R(W)	R
b4	IRQECAT	EtherCAT イベント要求レジスタ (0210h の ECAT_EVENT_REQ) による割り込み (ECAT 割り込み) を許可または禁止します。 0：禁止 1：許可 EtherCAT マスタからのアクセス時：R(W)	R
b3、b2	DIR	転送方向 00b：読み出し (EtherCAT マスタ：リードアクセス、PDI：ライトアクセス) 01b：書き込み (EtherCAT マスタ：ライトアクセス、PDI：リードアクセス) その他：予約 EtherCAT マスタからのアクセス時：R(W)	R
b1、b0	OPEMODE	動作モード 00b：バッファモード (3 バッファモード) 10b：メールボックスモード (シングルバッファモード) その他：予約 EtherCAT マスタからのアクセス時：R(W)	R

5.4.68 SM[n]_STATUS — SyncManager ステータス[n]レジスタ (n=0~7)

本レジスタは、SyncManager[n]の状態を示します。

アドレス 4401 0805h+8h×n

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	WRBUF	RDBUF	BUFFERED	MAILBOX	—	INTRD	INTWR	
リセット後の値	0	0	1	1	0	X	0	0

表 5.72 SM[n]_STATUS レジスタの内容

ビット位置	ビット名	機能	R/W
b7	WRBUF	バッファの書き込み中であることを示します。 EtherCAT マスタからのアクセス時：読み出し専用	R
b6	RDBUF	バッファの読み出し中であることを示します。 EtherCAT マスタからのアクセス時：読み出し専用	R
b5、b4	BUFFERED	バッファモードのバッファステータス（最後に書き込まれたバッファ）を示します。 00b：第 1 バッファ 01b：第 2 バッファ 10b：第 3 バッファ 11b：バッファ書き込みなし 本ビットはメールボックスモードでは使用されません。 EtherCAT マスタからのアクセス時：読み出し専用	R
b3	MAILBOX	メールボックスモードのメールボックスステータスを示します。 0：メールボックスはエンプティ 1：メールボックスはフル 本ビットはバッファモードでは使用されません。 EtherCAT マスタからのアクセス時：読み出し専用	R
b2	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタ：読み出し専用	R
b1	INTRD	読み出し完了割り込みを示します。 1：バッファの 1 バイト目が書き込まれた（割り込みがクリアされた）ことを示す 0：バッファが正常に読み出されたことを示す EtherCAT マスタからのアクセス時：読み出し専用	R
b0	INTWR	書き込み完了割り込みを示します。 1：バッファの 1 バイト目が読み出された（割り込みがクリアされた）ことを示す 0：バッファが正常に書き込まれたことを示す EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.69 SM[n]_ACT — SyncManager 有効化[n]レジスタ (n=0~7)

本レジスタは、SyncManager[n]の動作を設定するために使用されます。

有効化を変更したすべての SyncManager の PDI から本レジスタを読み出すと、AL イベント要求レジスタ (0220h の AL_EVENT_REQ) のビット 4 がクリアされます。

アドレス 4401 0806h+8h×n

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	LATCH PDI	LATCH ECAT	—	—	—	—	REPEA TREQ	SMEN
リセット後の値	0	0	X	X	X	X	0	0

表 5.73 SM[n]_ACT レジスタの内容

ビット位置	ビット名	機能	R/W
b7	LATCHPDI	PDI ラッチイベント 0: なし 1: PDI がバッファをスイッチするか、またはバッファ開始アドレスにアクセスした場合にラッチイベントを生成 EtherCAT マスタからのアクセス時: R/W	R (ACK)
b6	LATHECAT	ECAT ラッチイベント 0: なし 1: EtherCAT マスタがバッファをスイッチした場合にラッチイベントを生成 EtherCAT マスタからのアクセス時: R/W	R (ACK)
b5~b2	予約ビット	予約/読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時: 読み出し専用	R (ACK)
b1	REPEATREQ	リピート要求 リピート要求信号のトグルは、メールボックスのリトライが必要であることを意味します (主に ECAT メールボックスの読み出しと併用されます)。 EtherCAT マスタからのアクセス時: R/W	R (ACK)
b0	SMEN	SyncManager を有効または無効にします。 0: 無効。SyncManager なしでメモリにアクセスされます。 EtherCAT マスタからのアクセス時: R/W	R (ACK)

5.4.70 SM[n]_PDI_CONT — SyncManager PDI コントロール[n]レジスタ (n=0~7)

本レジスタは、PDI から SyncManager[n]の動作を設定するために使用されます。

アドレス 4401 0807h+8h×n

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	REPEATACK	DEACTIVE
リセット後の値	X	X	X	X	X	X	0	0

表 5.74 SM[n]_PDI_CONT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b2	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b1	REPEATACK	リピートアクリッジ 本ビットが SyncManager 有効化[n]レジスタ (SM[n]_ACT) のビット 1 (リピート要求) で設定されたのと同じ値になっている場合、PDI は設定済みリピート要求の実行をアクリッジします。 EtherCAT マスタからのアクセス時：読み出し専用	R/W
b0	DEACTIVE	SyncManager を停止します。 [読み出し] 0 : 通常動作。SyncManager は有効化しています。 1 : SyncManager は無効化およびリセットされています。SyncManager はメモリ領域へのアクセスをロックします。 [書き込み] 0 : SyncManager 有効化 1 : SyncManager 無効化 備考) 1 の書き込みは、現在処理中のフレームが終了するまで遅延します。 EtherCAT マスタからのアクセス時：読み出し専用	R/W

5.4.71 DC_RCV_TIME_PORT0 — 受信時刻ポート 0 レジスタ

本レジスタに書き込むと、全ポートでフレームの受信時刻がラッチされ、本レジスタを読み出すと、ポート 0（ポート A）でラッチされたフレームの受信時刻が示されます。

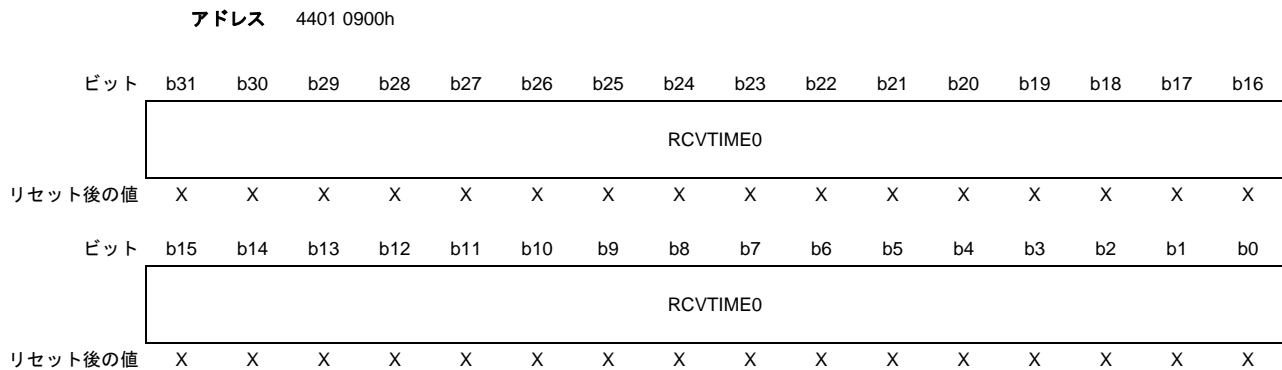


表 5.75 DC_RCV_TIME_PORT0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RCVTIME0	<p>[書き込み]</p> <ul style="list-style-type: none"> BWR、APWR（任意のアドレス）、または FPWR（設定済みアドレス）コマンドによる本レジスタへのライトアクセスでは、各ポートがフレーム（プリアンブルの最初のスタートビット）の受信を開始したローカル時刻がラッチされます。 <p>[読み出し]</p> <ul style="list-style-type: none"> 本レジスタへのライトアクセスを含む最終フレームの受信開始時のローカル時刻を示します。 <p>備考） 本レジスタが書き込まれたのと同じフレームのタイムスタンプを読み出すことはできません。</p> <p>EtherCAT マスタからのアクセス時：R/W</p>	R

5.4.72 DC_RCV_TIME_PORT1 — 受信時刻ポート 1 レジスタ

本レジスタは、ポート 1（ポート B）でラッチされたフレームの受信時刻を示します。

アドレス		4401 0904h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RCVTIME1															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVTIME1															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 5.76 DC_RCV_TIME_PORT1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RCVTIME1	受信時刻ポート 0 レジスタ（0900h の DC_RCV_TIME_PORT0）に対する BWR、APWR、または FPWR コマンドを含むフレーム（プリアンプルの最初のスタートビット）の受信をポート 1 が開始したローカル時刻を示します。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.73 DC_RCV_TIME_PORT2 — 受信時刻ポート 2 レジスタ

本レジスタは、ポート 2（ポート C）でラッチされたフレームの受信時刻を示します。

アドレス		4401 0908h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RCVTIME2															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVTIME2															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 5.77 DC_RCV_TIME_PORT2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RCVTIME2	受信時刻ポート 0 レジスタ（0900h の DC_RCV_TIME_PORT0）に対する BWR、APWR、または FPWR コマンドを含むフレーム（プリアンプルの最初のスタートビット）の受信をポート 2 が開始したローカル時刻を示します。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.74 DC_SYS_TIME — システム時刻レジスタ

本レジスタは、システム時刻のローカルコピーを示します。

アドレス		4401 0910h														
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.78 DC_SYS_TIME レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b0	SYSTIME	ECAT からのアクセス [読み出し] <ul style="list-style-type: none"> フレームがリファレンスクロック（システム時刻遅延を含む）を通過したときのシステム時刻のローカルコピーを示します。フレームの開始（SOF）時にラッチされた時刻が示されます。 [書き込み] <ul style="list-style-type: none"> 書き込まれた値はシステム時刻のローカルコピーと比較されます。その結果が時刻制御ループユニットに入力されます。 EtherCAT マスタからのアクセス時：R/W PDI からのアクセス [読み出し] <ul style="list-style-type: none"> システム時刻のローカルコピーを示します。本レジスタの 1 バイト目が読み出されたときにラッチされた時刻が示されます。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.75 DC_RCV_TIME_UNIT — 受信時刻 EtherCAT 処理ユニットレジスタ

本レジスタは、EtherCAT 処理ユニットでラッチされたフレームの受信時刻を示します。

アドレス		4401 0918h														
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	RCVTIMEEPU															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	RCVTIMEEPU															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RCVTIMEEPU															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVTIMEEPU															
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 5.79 DC_RCV_TIME_UNIT レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b0	RCVTIMEEPU	本レジスタは、受信時刻ポート 0 レジスタ（0900h の DC_RCV_TIME_PORT0）へのライトアクセスを含むフレーム（プリアンプルの最初のスタートビット）が EtherCAT 処理ユニットで受信開始したときのローカル時刻を示します。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.76 DC_SYS_TIME_OFFSET — システム時刻オフセットレジスタ

本レジスタは、ローカル時刻とシステム時刻との差（オフセット）を示すために使用されます。

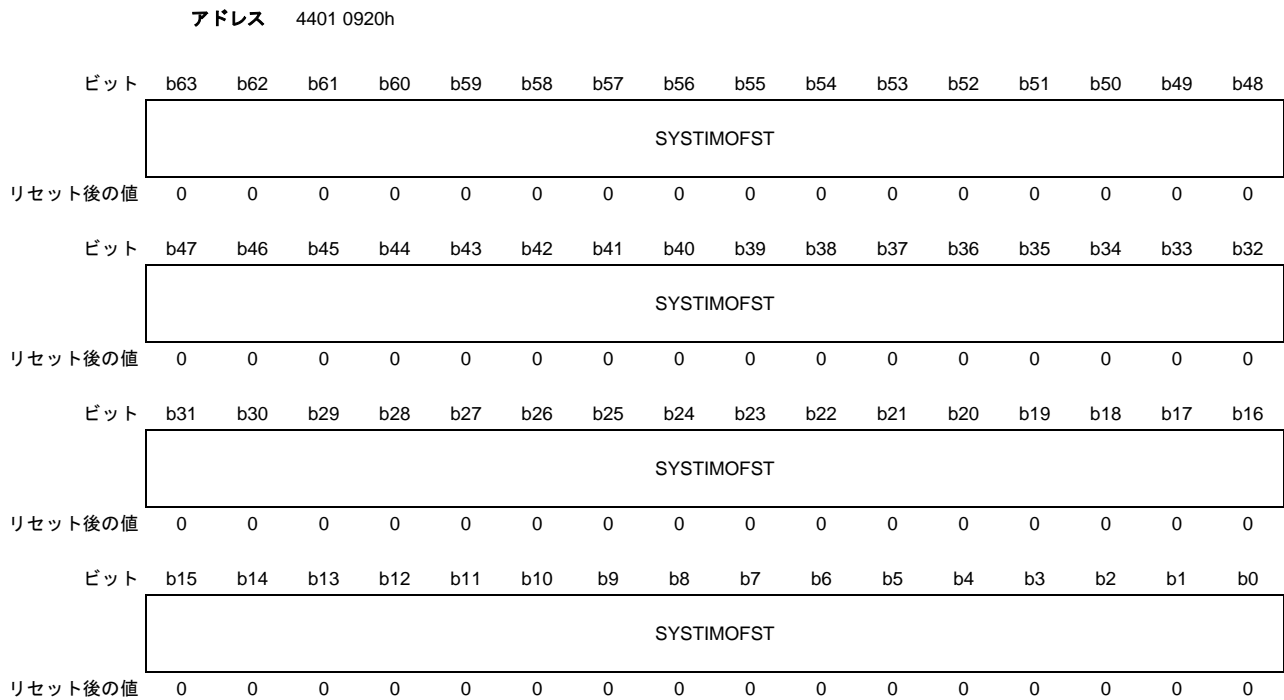


表 5.80 DC_SYS_TIME_OFFSET レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b0	SYSTIMOFST	ローカル時刻とシステム時刻との差を示します。このオフセットをローカル時刻に加算して、ローカルシステム時刻を求めます。 EtherCAT マスタ : R/W	R

5.4.77 DC_SYS_TIME_DELAY — システム時刻遅延レジスタ

本レジスタは、リファレンスクロックとスレーブ（ESC）間の伝搬遅延を示します。

アドレス		4401 0928h														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYSTIMDLY															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSTIMDLY															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.81 DC_SYS_TIME_DELAY レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	SYSTIMDLY	リファレンスクロックと ESC 間の遅延を示します。 EtherCAT マスタからのアクセス時：R/W	R

5.4.78 DC_SYS_TIME_DIFF — システム時間差レジスタ

本レジスタは、システム時刻のローカルコピーと受信したシステム時刻との平均差を示します。

アドレス		4401 092Ch														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LOCAL COPY	DIFF														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DIFF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.82 DC_SYS_TIME_DIFF レジスタの内容

ビット位置	ビット名	機能	R/W
b31	LOCALCOPY	システム時刻のローカルコピーとシステム時刻の最新受信コピーの大小関係を示します。 0：システム時刻のローカルコピーは受信したシステム時刻以上 1：システム時刻のローカルコピーは受信したシステム時刻未満 EtherCAT マスタからのアクセス時：読み出し専用	R
b30~b0	DIFF	システム時刻のローカルコピーと受信したシステム時刻間の平均差を示します。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.79 DC_SPEED_COUNT_START — スピードカウンタスタートレジスタ

本レジスタは、システム時刻のローカルコピーのドリフト補正用帯域幅を設定するために使用されます。

アドレス 4401 0930h

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPDCNTSTRT														
リセット後の値	X	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

表 5.83 DC_SPEED_COUNT_START レジスタの内容

ビット位置	ビット名	機能	R/W
b15	予約ビット	読み出すと、不定値が返されます。本ビットに書き込む場合、0を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b14~b0	SPDCNTSTRT	システム時刻のローカルコピーの調整用帯域幅を示します（より大きい値の設定により、帯域幅が小さくなり、スムーズな調整）。 ライトアクセスにより、システム時間差レジスタ（092Ch の DC_SYS_TIME_DIFF）およびスピードカウンタ差分レジスタ（0932h の DC_SPEED_COUNT_DIFF）はリセットされます。 有効範囲：0080h~3FFFh EtherCAT マスタからのアクセス時：R/W	R

5.4.80 DC_SPEED_COUNT_DIFF — スピードカウンタ差分レジスタ

本レジスタは、ローカルクロック周期とリファレンスクロックのクロック周期との偏差を示します。

アドレス 4401 0932h

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SPDCNTDIFF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.84 DC_SPEED_COUNT_DIFF レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	SPDCNTDIFF	ローカルクロック周期とリファレンスクロックのクロック周期との偏差を示します（2の補数で表されます）。 範囲：±（スピードカウンタスタート値-7Fh） EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.81 DC_SYS_TIME_DIFF_FIL_DEPTH — システム時間差フィルタ深度レジスタ

本レジスタは、受信したシステム時刻の偏差を平均化するためのフィルタ深度を設定するために使用されます。

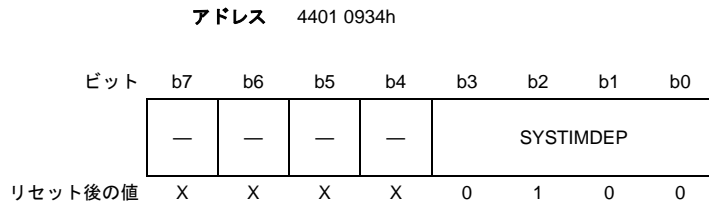


表 5.85 DC_SYS_TIME_DIFF_FIL_DEPTH レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b4	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b3~b0	SYSTMDEP	受信したシステム時刻の偏差を平均化するためのフィルタ深度を設定します。 ライトアクセスにより、システム時間差レジスタ（092Ch の DC_SYS_TIME_DIFF）はリセットされます。 EtherCAT マスタからのアクセス時：R/W	R

5.4.82 DC_SPEED_COUNT_FIL_DEPTH — スピードカウンタフィルタ深度レジスタ

本レジスタは、クロック周期偏差を平均化するためのフィルタ深度を設定するために使用されます。

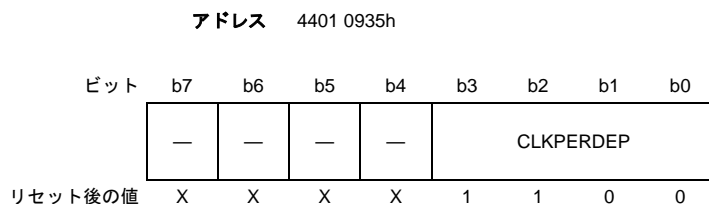


表 5.86 DC_SPEED_COUNT_FIL_DEPTH レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b4	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：R/W	R
b3~b0	CLKPERDEP	クロック周期偏差を平均化するためのフィルタ深度を設定します。 ライトアクセスにより、内部スピードカウンタフィルタはリセットされます。 EtherCAT マスタからのアクセス時：R/W	R

5.4.83 DC_CYC_CONT — 周期ユニットコントロールレジスタ

本レジスタは、SYNC ユニットおよびラッチユニットを ECAT と PDI のどちらで制御するかを設定します。

アドレス 4401 0980h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LATCH 1	LATCH 0	—	—	—	SYNCO UT
リセット後の値	X	X	0	0	X	X	X	0

表 5.87 DC_CYC_CONT レジスタの内容

ビット位置	ビット名	機能	R/W
b7、b6	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタからのアクセス時：読み出し専用	R
b5	LATCH1	ラッチ入力ユニット 1 の制御を設定します。 0：EtherCAT による制御 1：PDI による制御 備考） ラッチ割り込みは、この設定に従って ECAT または PDI にルーティングされます。 EtherCAT マスタからのアクセス時：R/W	R
b4	LATCH0	ラッチ入力ユニット 0 の制御を設定します。 0：EtherCAT による制御 1：PDI による制御 備考） ラッチ割り込みは、この設定に従って ECAT または PDI にルーティングされます。 EtherCAT マスタからのアクセス時：R/W	R
b3～b1	予約ビット	読み出すと、不定値が返されます。これらのビットに書き込む場合、0 を書き込んでください。 EtherCAT マスタ：読み出し専用	R
b0	SYNCO UT	SYNC 出力ユニットの制御を設定します。 0：EtherCAT による制御 1：PDI による制御 EtherCAT マスタからのアクセス時：R/W	R

5.4.84 DC_ACT — 有効化レジスタ

本レジスタは、Sync 出力ユニットを有効化するために使用されます。

本レジスタへの書き込みは、周期ユニットコントロールレジスタ（0980h の DC_CYC_CONT）のビット 0 の設定に依存します。

アドレス 4401 0981h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	DBGPULSE	NEARFUTURE	STARTTIME	EXTSTARTTIME	AUTOACT	SYNC1	SYNC0	SYNCACT
リセット後の値	0	0	0	0	0	0	0	0

表 5.88 DC_ACT レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b7	DBGPULSE	Sync 信号デバッグパルスを設定します。 0 : 無効化 1 : 本レジスタのビット 2 および 1 の設定に従って、SYNC0 端子と SYNC1 端子に対して 1 回のデバッグ ping を即時生成 本ビットはセルフクリアされるため、読むと常に 0 が読み出されます。 EtherCAT マスタからのアクセス時 : R(W)	R(W)
b6	NEARFUTURE	ニアフューチャー範囲を設定します。 0 : 2 ⁶³ ns の範囲 (DC 幅の 1/2) 1 : 2 ³¹ ns の範囲 (約 2.1s) EtherCAT マスタからのアクセス時 : R(W)	R(W)
b5	STARTTIME	開始時刻の妥当性チェックおよび妥当でない開始時刻への応答を実行するかどうかを選択します。 0 : 無効。開始時刻になると、Sync 信号が生成されます。 1 : 開始時刻がニアフューチャー範囲にない場合、ただちに Sync 信号が生成されます。 EtherCAT マスタからのアクセス時 : R(W)	R(W)
b4	EXTSTARTTIME	開始時刻周期動作を拡張します。 0 : 拡張なし 1 : 32 ビットで書き込まれた開始時刻を 64 ビットに拡張 EtherCAT マスタからのアクセス時 : R(W)	R(W)
b3	AUTOACT	開始時刻周期動作レジスタ (0990h の DC_CYC_START_TIME) に書き込むことにより、Sync 出力ユニットを自動的に有効化するかどうかを設定します。 0 : 無効化 1 : 有効化。開始時刻が書き込まれた後、本レジスタのビット 0 は自動的に 1 になります。 EtherCAT マスタからのアクセス時 : R(W)	R(W)
b2	SYNC1	SYNC1 出力を設定します。 0 : 無効化 1 : SYNC1 パルス出力生成 EtherCAT マスタからのアクセス時 : R(W)	R(W)
b1	SYNC0	SYNC0 出力を設定します。 0 : 無効化 1 : SYNC0 パルス出力生成 EtherCAT マスタからのアクセス時 : R(W)	R(W)

表 5.88 DC_ACT レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b0	SYNCACT	Sync 出力ユニットを有効化します。 0 : 無効化 1 : 有効化 備考) 開始時刻が書き込まれた後に 1 を書き込んでください。 EtherCAT マスタからのアクセス時 : R(W)	R(W)

5.4.85 DC_PULSE_LEN — Sync 信号パルス長レジスタ

本レジスタは、SYNC 信号のパルス長を示します。

アドレス 4401 0982h

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PULSELEN															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.89 DC_PULSE_LEN レジスタの内容

ビット位置	ビット名	機能	R/W
b15~b0	PULSELEN	SYNC 信号のパルス長 (単位 : 10ns) を示します。 0 : アクノリッジモード。本モードでは、SYNC0 または SYNC1 ステータスレジスタ (098Eh、098Fh の DC_SYNC0/1_STAT) を読み出すことにより、SYNC 信号はクリアされます。 EtherCAT マスタからのアクセス時 : 読み出し専用	R

5.4.86 DC_ACT_STAT — 有効化ステータスレジスタ

本レジスタは、SYNC 出力信号の有効化ステータスを示します。

アドレス 4401 0984h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	START TIME	SYNC1 ACT	SYNC0 ACT
リセット後の値	X	X	X	X	X	0	0	0

表 5.90 DC_ACT_STAT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b3	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b2	STARTTIME	Sync 出力ユニットが有効化している状態で、開始時刻周期動作レジスタ（0990h の DC_CYC_START_TIME）に対する妥当性チェックの結果を示します。 0：開始時刻はニアフューチャーにあった 1：開始時刻はニアフューチャーになかった EtherCAT マスタからのアクセス時：読み出し専用	R
b1	SYNC1ACT	SYNC1 の有効化状態を示します。 0：最初の SYNC1 パルスは保留中ではない 1：最初の SYNC1 パルスは保留中である EtherCAT マスタからのアクセス時：読み出し専用	R
b0	SYNC0ACT	SYNC0 の有効化状態を示します。 0：最初の SYNC0 パルスは保留中ではない 1：最初の SYNC0 パルスは保留中である EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.87 DC_SYNC0_STAT — SYNC0 ステータスレジスタ

本レジスタは、SYNC0 出力の状態を示します。アクノリッジモードでのみ使用されます。

アドレス 4401 098Eh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SYNC0 STA
リセット後の値	X	X	X	X	X	X	X	0

表 5.91 DC_SYNC0_STAT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b1	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b0	SYNC0STA	アクノリッジモードに対する SYNC0 の状態を示します。PDI から本レジスタを読み出すことにより、アクノリッジモードの SYNC0 はクリアされます。本ビットはアクノリッジモードでのみ使用されます。 EtherCAT マスタからのアクセス時：読み出し専用	R (ACK)

5.4.88 DC_SYNC1_STAT — SYNC1 ステータスレジスタ

本レジスタは、SYNC1 出力の状態を示します。アクノリッジモードでのみ使用されます。

アドレス 4401 098Fh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SYNC1 STA
リセット後の値	X	X	X	X	X	X	X	0

表 5.92 DC_SYNC1_STAT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b1	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b0	SYNC1STA	アクノリッジモードに対する SYNC1 の状態を示します。PDI から本レジスタを読み出すことにより、アクノリッジモードの SYNC1 はクリアされます。本ビットはアクノリッジモードでのみ使用されます。 EtherCAT マスタからのアクセス時：読み出し専用	R (ACK)

5.4.89 DC_CYC_START_TIME — 開始時刻周期動作/次回 SYNC0 パルスレジスタ

本レジスタに書き込むと、周期動作の開始時刻が設定されます。本レジスタを読み出すと、次回 SYNC0 パルスのシステム時刻が示されます。

本レジスタへの書き込みは、周期ユニットコントロールレジスタ（0980h の DC_CYC_CONT）のビット 0 の設定に依存します。書き込み可能になるのは、SYNC 有効化レジスタ（0981h の DC_ACT）のビット 0 が 0 の場合のみです。

自動有効化が有効のとき、下位 32 ビットのみが 1 つのフレーム内で書き込まれた場合、上位 32 ビットは自動的に拡張されます。

アドレス		4401 0990h														
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	STATIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	STATIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	STATIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	STATIM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.93 DC_CYC_START_TIME レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b0	STATIM	[書き込み] ● 周期動作の開始時刻（システム時刻）を ns 単位で設定します。 [読み出し] ● 次回 SYNC0 パルスのシステム時刻を ns 単位で示します。	R/(W)
EtherCAT マスタからのアクセス時：R/(W)			

5.4.90 DC_NEXT_SYNC1_PULSE — 次回 SYNC1 パルスレジスタ

本レジスタは、次回 SYNC1 パルスのシステム時刻を示します。

アドレス 4401 0998h

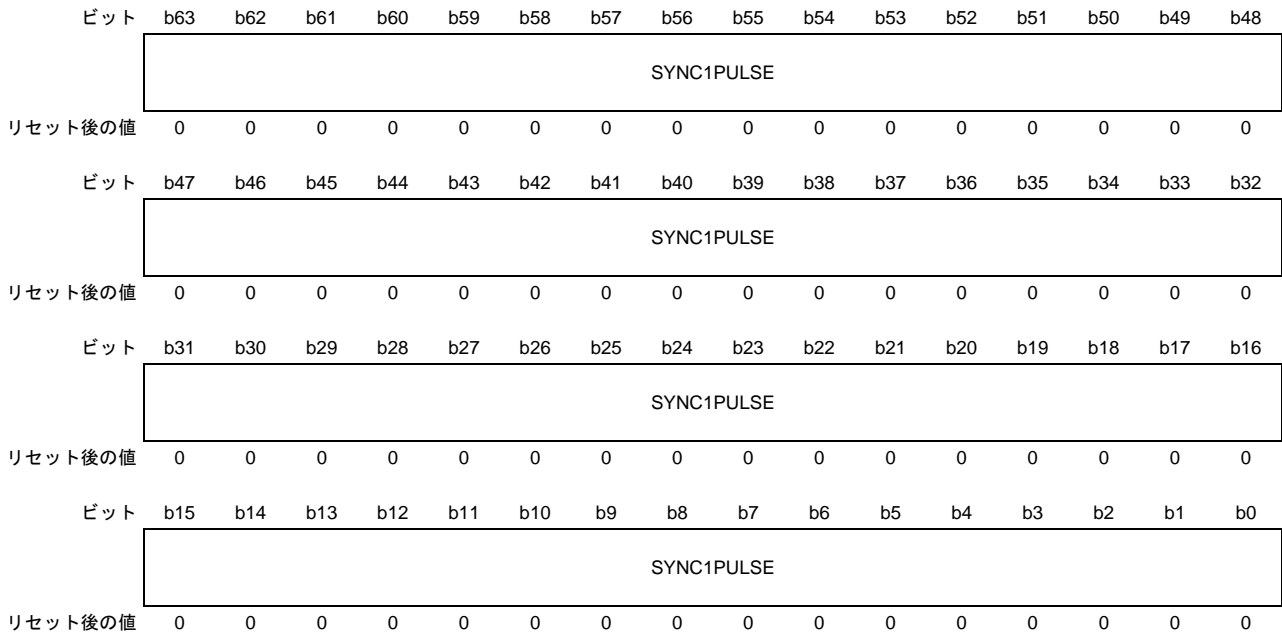


表 5.94 DC_NEXT_SYNC1_PULSE レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b0	SYNC1PULSE	次回 SYNC1 パルスのシステム時刻を ns 単位で示します。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.91 DC_SYNC0_CYC_TIME — SYNC0 サイクル時間レジスタ

本レジスタは、連続する 2 つの SYNC0 パルス間の時間を設定するために使用されます。

本レジスタへの書き込みは、周期ユニットコントロールレジスタ（0980h の DC_CYC_CONT）のビット 0 の設定に依存します。

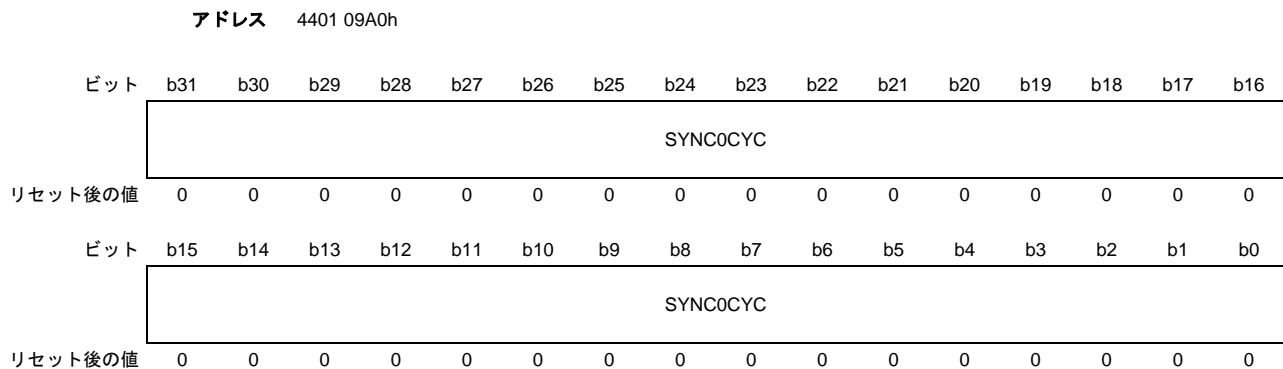


表 5.95 DC_SYNC0_CYC_TIME レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	SYNC0CYC	連続する 2 つの SYNC0 パルス間の時間を ns 単位で設定します。 0 : シングルショットモード。シングルショットモードでは 1 つの SYNC0 パルスしか生成されません。 EtherCAT マスタからのアクセス時 : R(W)	R(W)

5.4.92 DC_SYNC1_CYC_TIME — SYNC1 サイクル時間レジスタ

本レジスタは、SYNC1 パルスと SYNC0 パルス間の時間を設定するために使用されます。

本レジスタへの書き込みは、周期ユニットコントロールレジスタ（0980h の DC_CYC_CONT）のビット 0 の設定に依存します。

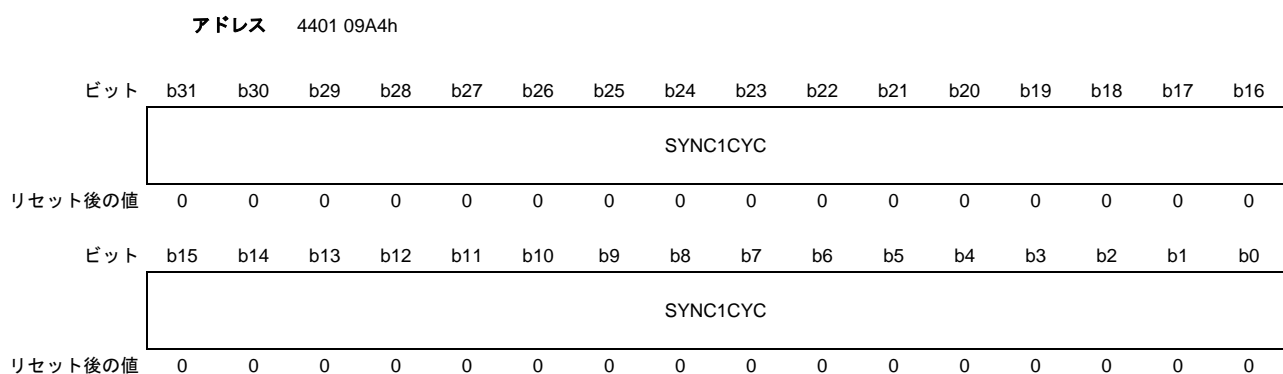


表 5.96 DC_SYNC1_CYC_TIME レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	SYNC1CYC	SYNC1 パルスと SYNC0 パルス間の時間を ns 単位で設定します。 EtherCAT マスタからのアクセス時 : R(W)	R(W)

5.4.93 DC_LATCH0_CONT — ラッチ 0 コントロールレジスタ

本レジスタは、ラッチ 0 入力信号のエッジ機能を制御するために使用されます。

アドレス 4401 09A8h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NEGEDGE	POSEDGE
リセット後の値	X	X	X	X	X	X	0	0

表 5.97 DC_LATCH0_CONT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b2	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b1	NEGEDGE	ラッチ 0 入力信号の立ち下がりエッジの機能を設定します。 0：連続ラッチアクティブ 1：シングルイベント（最初のイベントのみアクティブ） EtherCAT マスタからのアクセス時：R(W)	R(W)
b0	POSEDGE	ラッチ 0 入力信号の立ち上がりエッジの機能を設定します。 0：連続ラッチアクティブ 1：シングルイベント（最初のイベントのみアクティブ） EtherCAT マスタからのアクセス時：R(W)	R(W)

5.4.94 DC_LATCH1_CONT — ラッチ 1 コントロールレジスタ

本レジスタは、ラッチ 1 入力信号のエッジ機能を制御するために使用されます。

アドレス 4401 09A9h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NEGEDGE	POSEDGE
リセット後の値	X	X	X	X	X	X	0	0

表 5.98 DC_LATCH1_CONT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b2	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b1	NEGEDGE	ラッチ 1 入力信号の立ち下がりエッジの機能を設定します。 0：連続ラッチアクティブ 1：シングルイベント（最初のイベントのみアクティブ） EtherCAT マスタからのアクセス時：R(W)	R(W)
b0	POSEDGE	ラッチ 1 入力信号の立ち上がりエッジの機能を設定します。 0：連続ラッチアクティブ 1：シングルイベント（最初のイベントのみアクティブ） EtherCAT マスタからのアクセス時：R(W)	R(W)

5.4.95 DC_LATCH0_STAT — ラッチ 0 ステータスレジスタ

本レジスタは、ラッチ 0 入力信号の状態を示します。

アドレス 4401 09AEh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PINSTATE	EVENTNEG	EVENTPOS
リセット後の値	X	X	X	X	X	0	0	0

表 5.99 DC_LATCH0_STAT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b3	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b2	PINSTATE	ラッチ 0 入力端子の状態を示します。 EtherCAT マスタからのアクセス時：読み出し専用	R
b1	EVENTNEG	イベントラッチ 0 信号の立ち下がりエッジの検出を示します。 0：立ち下がりエッジ検出なし、または連続モード 1：立ち下がりエッジ検出あり、およびモードはシングルイベント ラッチ 0 時刻ネガティブエッジレジスタ (09B8h の DC_LATCH0_TIME_NEG) を読み出すことにより、本フラグはクリアされます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b0	EVENTPOS	イベントラッチ 0 信号の立ち上がりエッジの検出を示します。 0：立ち上がりエッジ検出なし、または連続モード 1：立ち上がりエッジ検出あり、およびモードはシングルイベント ラッチ 0 時刻ポジティブエッジレジスタ (09B0h の DC_LATCH0_TIME_POS) を読み出すことにより、本フラグはクリアされます。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.96 DC_LATCH1_STAT — ラッチ 1 ステータスレジスタ

本レジスタは、ラッチ 1 入力信号の状態を示します。

アドレス 4401 09AFh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PINSTA TE	EVENT NEG	EVENT POS
リセット後の値	X	X	X	X	X	0	0	0

表 5.100 DC_LATCH1_STAT レジスタの内容

ビット位置	ビット名	機能	R/W
b7~b3	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b2	PINSTATE	ラッチ 1 入力端子の状態を示します。 EtherCAT マスタからのアクセス時：読み出し専用	R
b1	EVENTNEG	イベントラッチ 1 信号の立ち下がりエッジの検出を示します。 0：立ち下がりエッジ検出なし、または連続モード 1：立ち下がりエッジ検出あり、およびモードはシングルイベント ラッチ 1 時刻ネガティブエッジレジスタ（09C8h の DC_LATCH1_TIME_NEG を読み出すことにより、本フラグはクリアされます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b0	EVENTPOS	イベントラッチ 1 信号の立ち上がりエッジの検出を示します。 0：立ち上がりエッジ検出なし、または連続モード 1：立ち上がりエッジ検出あり、およびモードはシングルイベント ラッチ 1 時刻ポジティブエッジレジスタ（09C0h の DC_LATCH1_TIME_POS を読み出すことにより、本フラグはクリアされます。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.97 DC_LATCH0_TIME_POS — ラッチ 0 時刻ポジティブエッジレジスタ

本レジスタは、ラッチ 0 入力信号の立ち上がりエッジでのシステム時刻を示します。

ビット 7~0 が読み出されると、ビット 63~8 は内部的に (ECAT/PDI とは独立に) ラッチされます。これにより、整合性のとれた値の読み出しが保証されます。

ラッチ 0 ステータスフラグ機能のクリアは、周期ユニットコントロールレジスタ (0980h の DC_CYC_CONT) のビット 4 の設定に依存します。

アドレス		4401 09B0h														
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.101 DC_LATCH0_TIME_POS レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b0	SYSTIME	ラッチ 0 入力信号の立ち上がりエッジでキャプチャされたシステム時刻を示します。 本レジスタを読み出すと、ラッチ 0 ステータスレジスタ (09AEh の DC_LATCH0_STAT) のビット 0 がクリアされます。 EtherCAT マスタからのアクセス時：読み出し専用 (ACK)	R (ACK)

5.4.98 DC_LATCH0_TIME_NEG — ラッチ 0 時刻ネガティブエッジレジスタ

本レジスタは、ラッチ 0 入力信号の立ち下がりエッジでのシステム時刻を示します。

ビット 7~0 が読み出されると、ビット 63~8 は内部的に (ECAT/PDI とは独立に) ラッチされます。これにより、整合性のとれた値の読み出しが保証されます。

ラッチ 0 ステータスフラグ機能のクリアは、周期ユニットコントロールレジスタ (0980h の DC_CYC_CONT) のビット 4 の設定に依存します。

アドレス		4401 09B8h														
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.102 DC_LATCH0_TIME_NEG レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b0	SYSTIME	ラッチ 0 入力信号の立ち下がりエッジでキャプチャされたシステム時刻を示します。 本レジスタを読み出すと、ラッチ 0 ステータスレジスタ (09AEh の DC_LATCH0_STAT) のビット 1 がクリアされます。 EtherCAT マスタからのアクセス時：読み出し専用 (ACK)	R (ACK)

5.4.99 DC_LATCH1_TIME_POS — ラッチ 1 時刻ポジティブエッジレジスタ

本レジスタは、ラッチ 1 入力信号の立ち上がりエッジでのシステム時刻を示します。

ビット 7~0 が読み出されると、ビット 63~8 は内部的に (ECAT/PDI とは独立に) ラッチされます。これにより、整合性のとれた値の読み出しが保証されます。

ラッチ 1 ステータスフラグ機能のクリアは、周期ユニットコントロールレジスタ (0980h の DC_CYC_CONT) のビット 5 の設定に依存します。

アドレス	4401 09C0h
ビット	b63 b62 b61 b60 b59 b58 b57 b56 b55 b54 b53 b52 b51 b50 b49 b48
	SYSTIME
リセット後の値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
ビット	b47 b46 b45 b44 b43 b42 b41 b40 b39 b38 b37 b36 b35 b34 b33 b32
	SYSTIME
リセット後の値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
ビット	b31 b30 b29 b28 b27 b26 b25 b24 b23 b22 b21 b20 b19 b18 b17 b16
	SYSTIME
リセット後の値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
ビット	b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0
	SYSTIME
リセット後の値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

表 5.103 DC_LATCH1_TIME_POS レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b0	SYSTIME	ラッチ 1 入力信号の立ち上がりエッジでキャプチャされたシステム時刻を示します。 本レジスタを読み出すと、ラッチ 1 ステータスレジスタ (09AFh の DC_LATCH1_STAT) のビット 0 がクリアされます。 EtherCAT マスタからのアクセス時：読み出し専用 (ACK)	R (ACK)

5.4.100 DC_LATCH1_TIME_NEG — ラッチ 1 時刻ネガティブエッジレジスタ

本レジスタは、ラッチ 1 入力信号の立ち下がりエッジでのシステム時刻を示します。

ビット 7～0 が読み出されると、ビット 63～8 は内部的に（ECAT/PDI とは独立に）ラッチされます。これにより、整合性のとれた値の読み出しが保証されます。

ラッチ 1 ステータスフラグ機能のクリアは、周期ユニットコントロールレジスタ（0980h の DC_CYC_CONT）のビット 5 の設定に依存します。

アドレス		4401 09C8h														
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYSTIME															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.104 DC_LATCH1_TIME_NEG レジスタの内容

ビット位置	ビット名	機能	R/W
b63～b0	SYSTIME	ラッチ 1 入力信号の立ち下がりエッジでキャプチャされたシステム時刻を示します。 本レジスタを読み出すと、ラッチ 1 ステータスレジスタ（09AFh の DC_LATCH1_STAT）のビット 1 がクリアされます。 EtherCAT マスタからのアクセス時：読み出し専用（ACK）	R (ACK)

5.4.101 DC_ECATCHANGE_EV_TIME — バッファ変更イベント時刻レジスタ

本レジスタは、SyncManager が EtherCAT イベント（バッファのスイッチ）を生成するフレームの開始時のローカル時刻を示します。

ビット 7～0 が読み出されると、ビット 31～8 は内部的に（ECAT/PDI とは独立に）ラッチされます。これにより、整合性のとれた値の読み出しが保証されます。

アドレス 4401 09F0h																
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ECATCHANGE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECATCHANGE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.105 DC_ECATCHANGE_EV_TIME レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	ECATCHANGE	少なくとも 1 つの SyncManager が ECAT イベント（バッファのスイッチ）を生成するフレームの開始時のローカル時刻を示します。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.102 DC_PDISTART_EV_TIME — PDI バッファ開始イベント時刻レジスタ

本レジスタは、SyncManager が PDI イベント（バッファの開始アドレスへのアクセス）を生成したローカル時刻を示します。

ビット 7～0 が読み出されると、ビット 31～8 は内部的に（ECAT/PDI とは独立に）ラッチされます。これにより、整合性のとれた値の読み出しが保証されます。

アドレス 4401 09F8h																
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PDISTART															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PDISTART															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.106 DC_PDISTART_EV_TIME レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	PDISTART	少なくとも 1 つの SyncManager が PDI イベント（バッファの開始アドレスへのアクセス）を生成したローカル時刻を示します。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.103 DC_PDI_CNG_EV_TIME — PDI バッファ変更イベント時刻レジスタ

本レジスタは、SyncManager が PDI イベント（バッファのスイッチ）を生成したローカル時刻を示します。

ビット 7～0 が読み出されると、ビット 31～8 は内部的に（ECAT/PDI とは独立に）ラッチされます。これにより、整合性のとれた値の読み出しが保証されます。

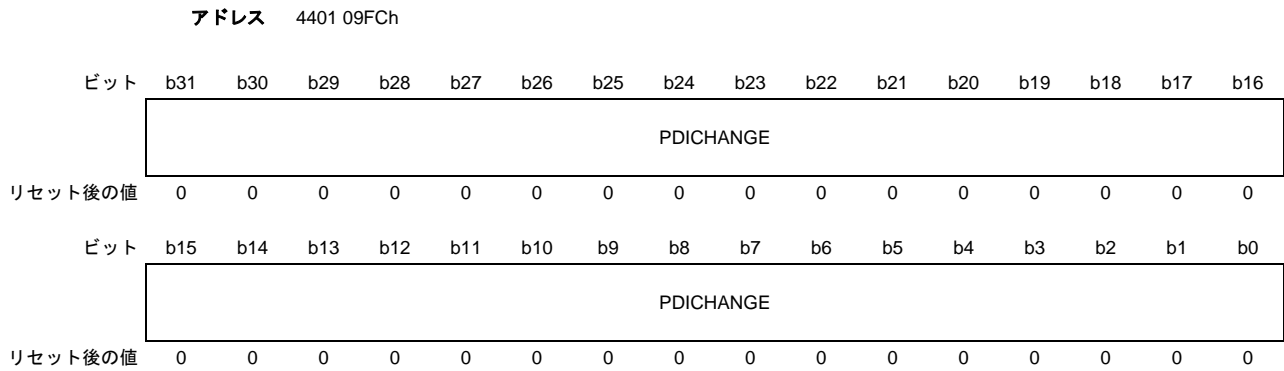


表 5.107 DC_PDI_CNG_EV_TIME レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	PDICHANGE	少なくとも 1 つの SyncManager が PDI イベント（バッファの独立）を生成したローカル時刻を示します。 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.104 PRODUCT_ID — 製品 ID レジスタ

本レジスタは、製品 ID を示します。

アドレス 4401 0E00h																
ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	PROID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	PROID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PROID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PROID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.108 PRODUCT_ID レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b0	PROID	製品 ID (RZ/N1D) 0x0003_0000_0000_0000 (RZ/N1S、RZ/N1L) 0x0004_0000_0000_0000 EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.105 VENDOR_ID — ベンダ ID レジスタ

本レジスタは、ベンダ ID を示します。

アドレス 4401 0E08h

ビット	b63	b62	b61	b60	b59	b58	b57	b56	b55	b54	b53	b52	b51	b50	b49	b48
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b47	b46	b45	b44	b43	b42	b41	b40	b39	b38	b37	b36	b35	b34	b33	b32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	VENDORID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VENDORID															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.109 VENDOR_ID レジスタの内容

ビット位置	ビット名	機能	R/W
b63~b32	予約ビット	読み出すと、不定値が返されます。 EtherCAT マスタからのアクセス時：読み出し専用	R
b31~b0	VENDORID	ベンダ ID EtherCAT マスタからのアクセス時：読み出し専用	R

5.4.106 USER_RAM — ユーザ RAM

RAM の本領域は、IP コアのコンフィグレーションに依存するサポート対象の機能を示し、4401 0F80h～4401 0FFFh の 128 ビットを占めています。初期値の 1 は、対応する機能を本モジュールの実装がサポートすることを意味します。ただし、ビット 7～0 の場合を除きます。これらのビットはユーザ RAM に定義されるビット数を示し、本モジュールの初期値は 33h です。

表 5.110 ユーザ RAM レジスタメモリ機能

ビット位置	機能	初期値
7～0	拡張機能を定義するためのビット数。本モジュールの値は 51 (33h) です。	33h
8	DL コントロールレジスタの上位 2 バイト (0102h : 0103h)	1
9	AL ステータスコードレジスタ (0134h : 0135h)	1
10	ECAT イベントマスク (0200h : 0201h)	1
11	設定済みステーションエイリアス (0012h : 0013h)	1
12	汎用入力 (0F18h : 0F1Fh)	0
13	汎用出力 (0F10h : 0F17h)	0
14	AL イベントマスク (0204h : 0207h)	1
15	物理読み出し／書き込みオフセット (0108h : 0109h)	1
16	ウォッチドッグ分周値書き込み可能 (0400h : 0401h) およびウォッチドッグ PDI (0410h : 0F11h)	1
17	ウォッチドッグカウンタ (0442h : 0443h)	1
18	書き込み保護 (0020h : 0031h)	1
19	リセット (0040h : 0041h)	1
20	予約されています。	0
21	DC SyncManager イベント時刻 (09F0h : 09FFh)	1
22	ECAT 処理ユニット／PDI エラーカウンタ (030Ch : 030Dh)	1
23	EEPROM サイズ設定可能 (0502h のビット 7) 0 : EEPROM サイズは最大 16Kbit に固定 1 : EEPROM サイズは変更可能	1
26～24	予約されています。	0
27	ロストリンクカウンタ (0310h : 0313h)	1
28	MII マネージメントインタフェース (0510h : 0515h)	1
29	拡張リンク検出 MII	1
30	拡張リンク検出 EBUS	0
31	RUN LED	1
32	リンク／アクティビティ LED	1
33	予約されています。	0
35、34	予約されています。	1
36	予約されています。	0
37	予約されています。	1
38	PDI に割り当てられた DC 時刻ループ制御	0
39	MI によるリンクの検出と構成	0
40	PDI による MI 制御	1
41	自動 TX シフト	1
42	EEPROM エミュレーション	0
49～43	予約されています。	0
50	ERR LED、RUN/ERR LED オーバーライド	1

5.4.107 DATA_RAM — プロセスデータ RAM

プロセスデータ RAM は、プロセスデータおよびメールボックスに使用され、4401 1000h～4401 2FFFh の 8K バイトを占めています。本 RAM にアクセスできるのは、EEPROM が正常にロードされている場合（つまり、ESC DL ステータスレジスタ（0110h の ESC_DL_STATUS）のビット 0 が 1 の場合）のみです。

5.5 動作説明

5.5.1 初期化

本項の初期化シーケンスは、以下の構成で EtherCAT を使用するためのシステム環境の準備に使用される例です。

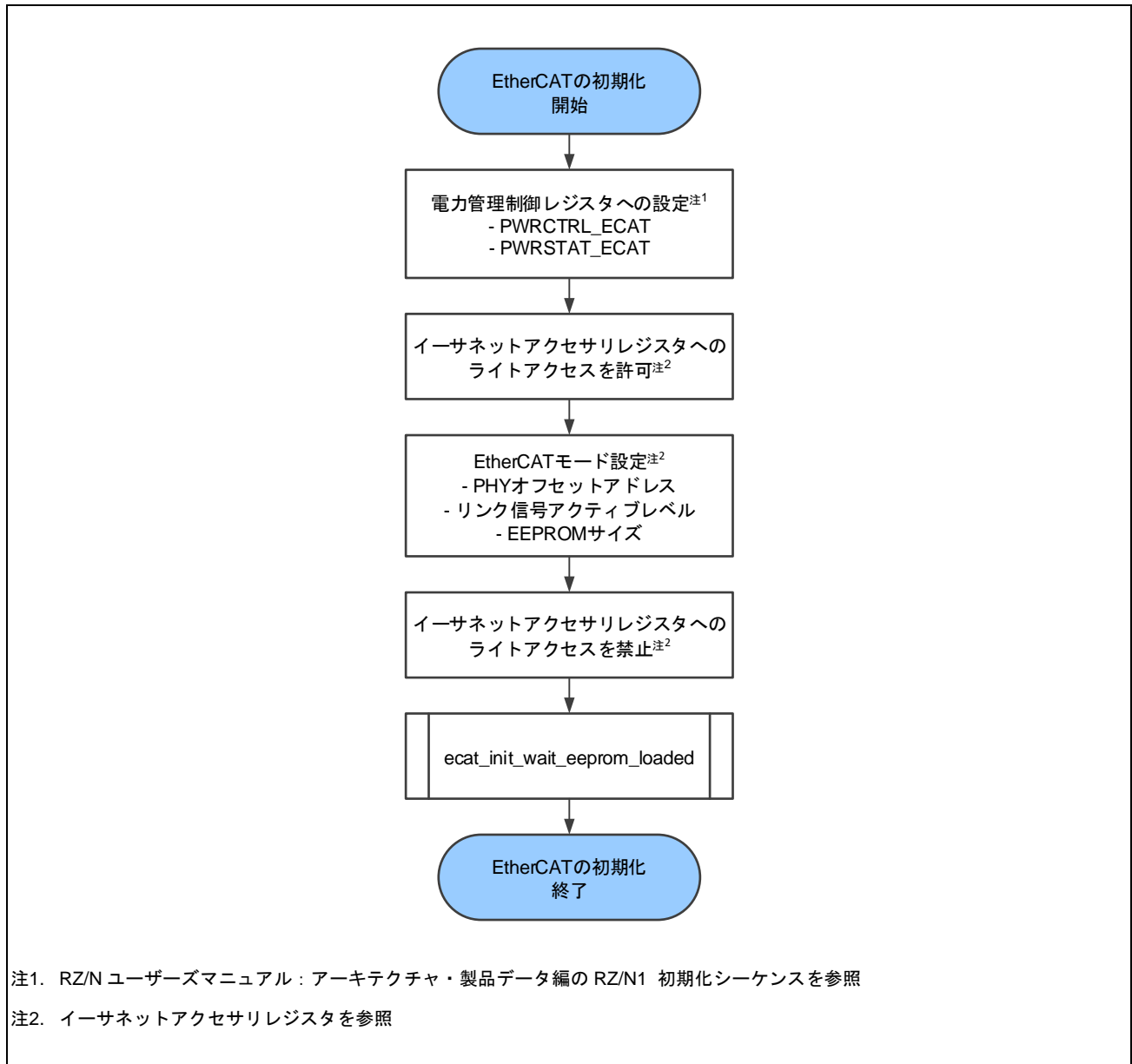


図 5.2 初期化フローチャート

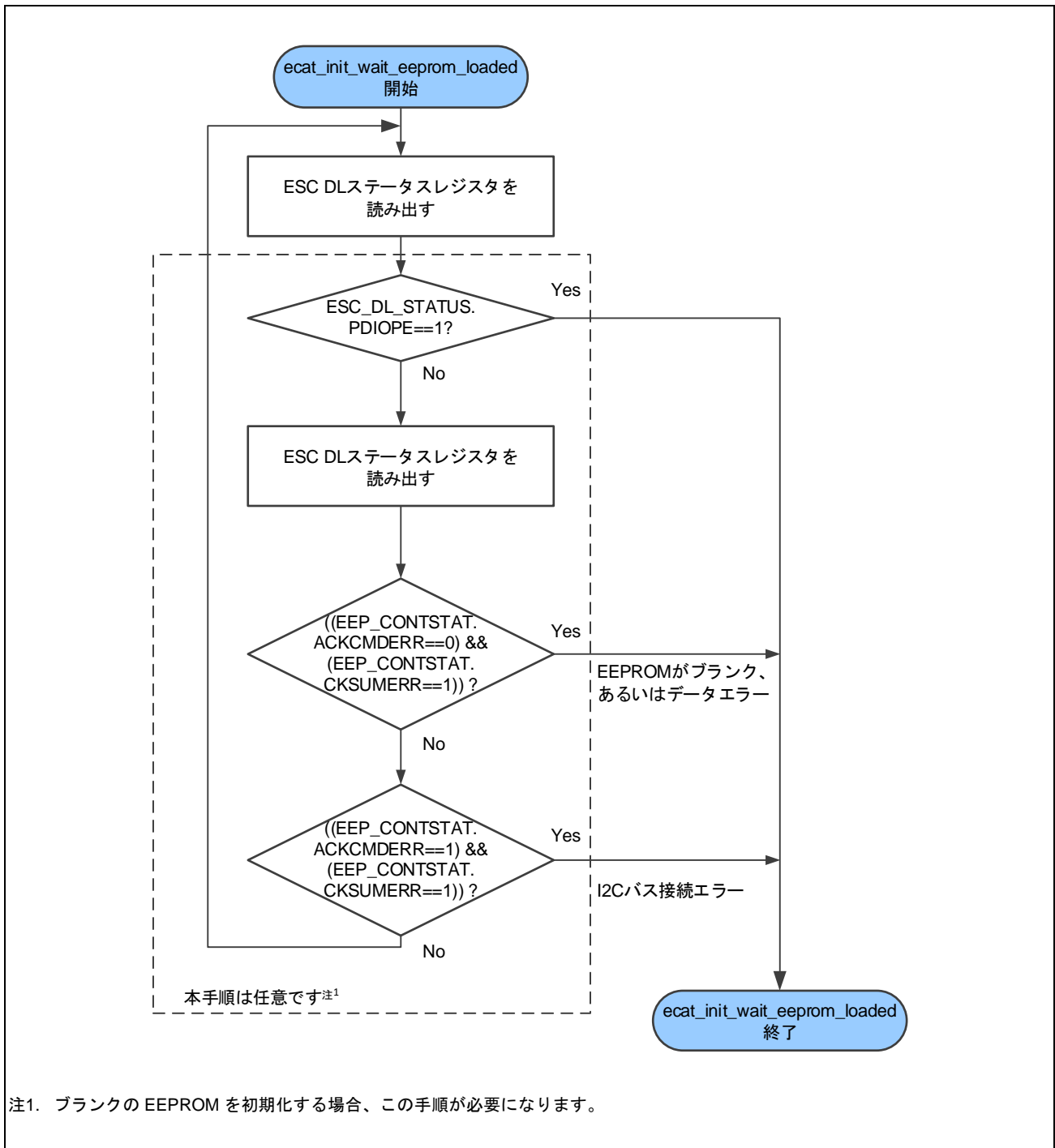


図 5.3 初期化フローチャート（続き）

5.6 使用上の注意事項

5.6.1 制限事項

EtherCAT およびベッコフ ESC には、イーサネット PHY に関する一般要件がいくつかあります。

ベッコフオートメーション提供の EtherCAT スレーブコントローラ IP コア (v2.04) データシートの『5.1 Requirements to Ethernet PHYs』の項を参照してください。

RMII に比べて PHY 遅延 (および遅延ジッタ) が小さいため、MII が推奨されます。

RMII PHY では、TX FIFO が含まれるため、EtherCAT スレーブデバイスの転送遅延に加えてジッタも増加します。これらの理由により、RMII は推奨されません。

5.6.2 リセット回路

図 5.4 は EtherCAT スレーブコントローラのリセット回路です。ESC_RESET_ECAC (0x0040) もしくは ESC_RESET_PDI (0x0041) によりリセット要求されると、ESC は停止し、ESC から出力されるリセットが 1 になります。同時に、ETHCAT_RST_Int が生成され、CAT_RESETOUT_N 信号が Low レベルになります。

ESC のリセット状態を解除するには、ETHCAT_RST_Int が検出された後、PWRCTRL_ECAC レジスタの RSTN_B ビットを 1→0→1 と変化させる必要があります。ESC に入力されたリセットが解除されると、ESC から出力されるリセットが 0 になり、同時に ESC が EEPROM を読み込みリブートされます。EEPROM 読み込みが完了するまで約 1msec かかります。イーサネット PHY のリセット期間が十分確保されるように、PWRCTRL_ECAC レジスタの RSTN_B ビットのクリアタイミングを調整してください。タイミングチャートの例を図 5.5 に示します。

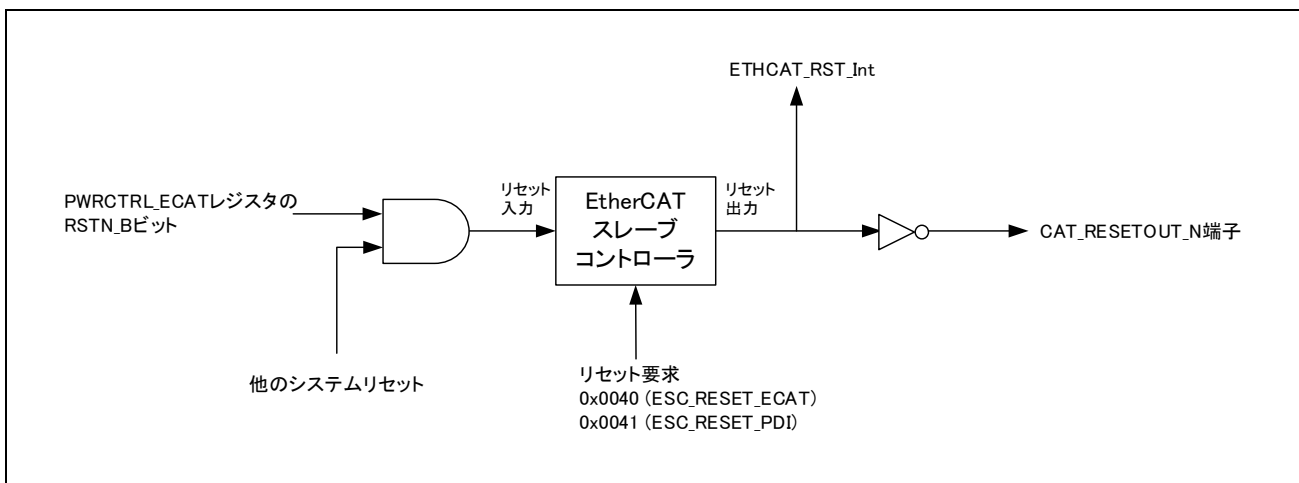


図 5.4 EtherCAT スレーブコントローラのリセット回路

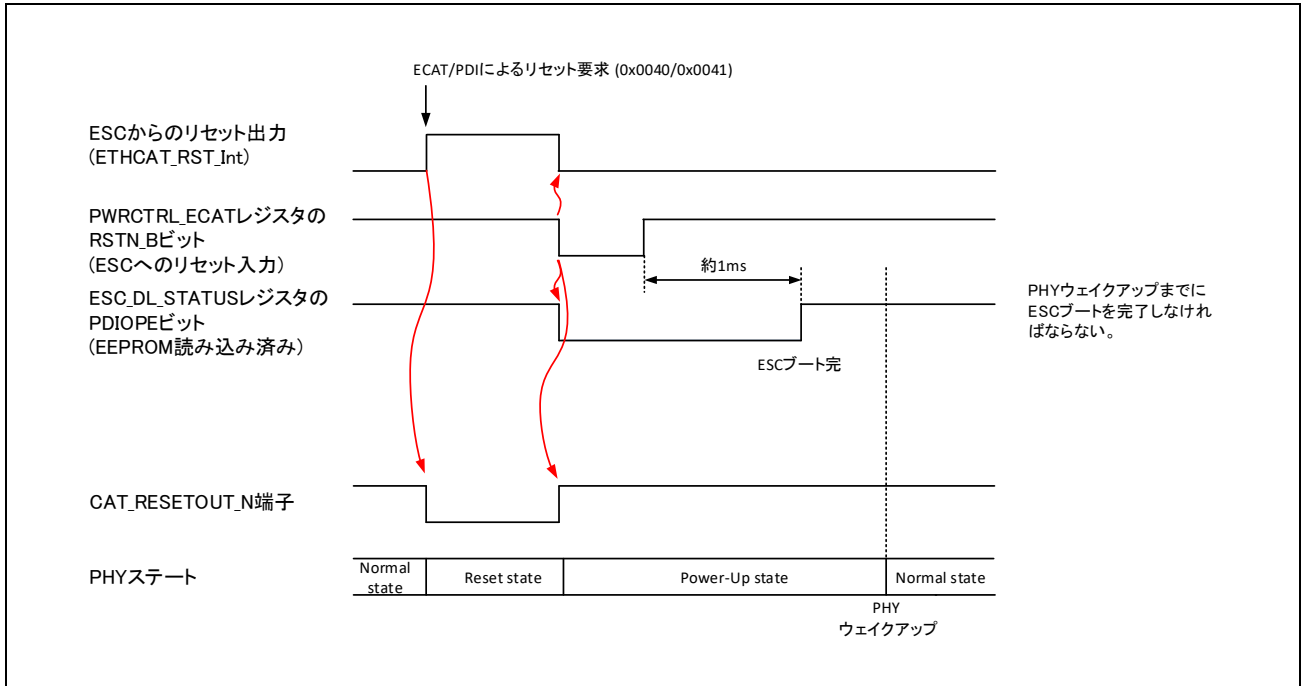


図 5.5 EtherCAT スレーブコントローラのリセットタイミング

第6章 イーサネット MAC 10/100/1000 (GMAC)

Portions Copyright © 2014 Synopsys. 許可なく使用することを禁止します。All rights reserved. Synopsys および DesignWare は Synopsys の登録商標です。

6.1 概要

- 2つの MAC インスタンス (GMAC1、GMAC2)
- 以下の規格に準拠
 - イーサネット MAC、GMII (Gigabit Media Independent Interface) 、および MII (Media Independent Interface) を規定する IEEE 802.3-2008
 - 高精度ネットワーククロック同期を規定する IEEE 1588-2008 v2 規格 (IEEE 1588-2008 v2 は IEEE-C37.238 電力プロファイルに準拠)
 - 省電力型イーサネット (EEE) を規定する IEEE 802.3-az、バージョン D2.0
- 10/100/1000Mbps のデータ転送レートをサポート
- 半二重および全二重両方の動作をサポート
- プログラマブルなフレーム長により、標準のイーサネットフレームと最大 16K バイトの「ジャンボ」イーサネットフレーム (16K バイト-1) の両方をサポート
 - ジャンボモードは、カットスルーモードでのみサポート (送信および受信 FIFO サイズのため、ストア & フォワードでは使用できません)
- アドレスフィルタブロックのための 17 個の MAC アドレスレジスタ
- さまざまな種類の柔軟なアドレスフィルタリングモードをサポート
 - 各バイトにマスクのある完全な (全ビット対象の) 宛先アドレス (DA) フィルタ
 - 各バイトにマスクのある送信元アドレス (SA) 比較チェック
 - マルチキャストおよびユニキャストアドレス (DA) 用の 256 ビットハッシュフィルタ
 - すべてのマルチキャストアドレスフレームをパスさせるオプション
 - ネットワークモニタ用に、すべてのフレームをフィルタなしでパスさせるプロミスキャストモードをサポート
 - ステータスレポート (フィルタごと) 付きで受信したすべてのパケットをパス
- シンプルかつ独立したチャンネルを持つ送信エンジンおよび受信エンジンを備えたネイティブ DMA
 - 1つの受信チャンネル、受信チャンネルの FIFO サイズは 4kB
 - 1つの送信チャンネル、送信チャンネルの FIFO サイズは 2kB
 - DMA はデュアルバッファ (リング) またはリンクリスト (チェーン) ディスクリプタチューニングを実装
- IEEE 1588-2002 および 2008 の高度なイーサネットフレームタイムスタンプ機能をサポート
 - 25MHz または 125MHz のリファレンスクロック (GMII と同じソース) を使用する IEEE 1588 タイムベース情報
 - IEEE 1588 の外部スナップショット
- PPS (1 秒間当たりのパルス数) 出力信号を柔軟に制御 (GMAC1 のみ)
- プログラマブルな CRC の生成およびチェック

- RMON 統計をサポート (L2 層のみ)
- ステーション管理ブロック、MDIO インタフェース
- IEEE 802.3az-2010 に準拠した Energy Efficient Ethernet 機能
 - Magic Packet およびパケットフィルタ機能で Wake-On-LAN をサポート
 - Energy Efficient 機能 (LPI モード) をサポート
 - ウェイクアップ機能
- インタフェース
 - ネイティブモード GMII (内部使用専用)、MII
 - (外部端子に接続された) RMII/RGMII コンバータによって管理される非ネイティブ RMII、RGMII

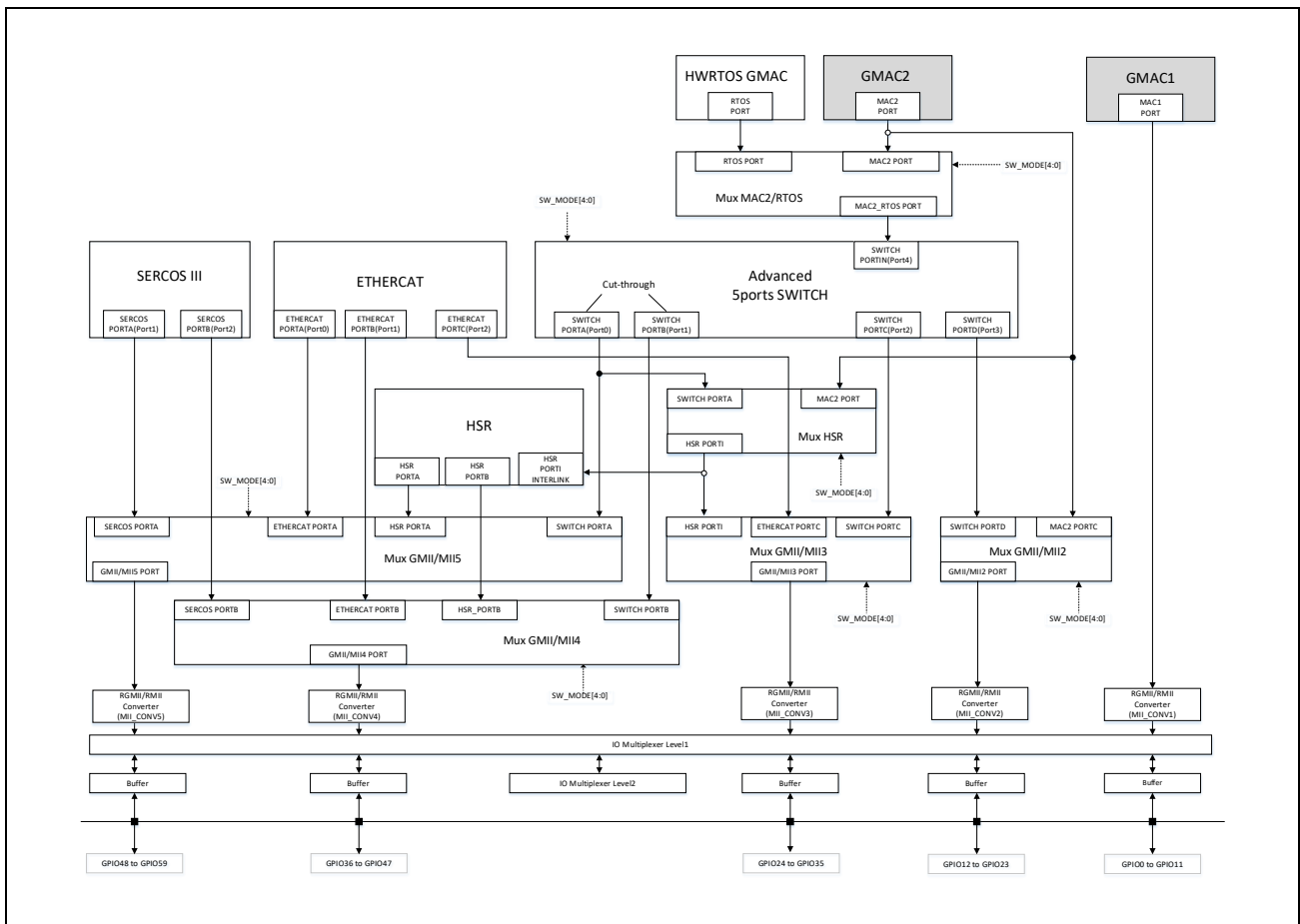


図 6.1 GMAC のブロック図

6.2 信号インタフェース

表 6.1 GMAC の信号インタフェース (PHY MII 端子を除く)

信号名	入出力	説明	アクティブ
クロック			
GMAC[m]_HCLK	入力	レジスタインタフェース用 AHB クロック	
GMAC[m]_XCLK	入力	AXI クロック	
割り込み			
GMAC[m]_SBD_Int	出力	GMAC[m] 汎用, レベル検出	High
GMAC[m]_LPI_Int	出力	GMAC[m] 省電力, レベル検出	High
GMAC[m]_PMT_Int	出力	GMAC[m] パワーマネージメント, レベル検出	High
PTP 用の信号			
GMAC_PTP_REFCLK_I	入力	PTP 用のリファレンスクロック	
GMAC1_PTP_TIMESTAMP_O[63:0]	出力	PTP 用のタイムスタンプ値出力	
GMAC2_PTP_TIMESTAMP_I[63:0]	入力	PTP 用のタイムスタンプ値入力	
外部信号			
MAC_PPS[0]	出力	PPS (1 秒間当たりのパルス数) 出力 (GMAC1 の PPS0)	High
MAC_PPS[1]	出力	PPS (1 秒間当たりのパルス数) 出力 (GMAC1 の PPS1)	High
MAC_TRIG[1]	入力	補助タイムスタンプトリガ入力 (GMAC1)	立ち上がり
MAC_TRIG[2]	入力	補助タイムスタンプトリガ入力 (GMAC2)	立ち上がり

注: m=1 or 2

6.3 レジスタマップ

6.3.1 GMAC1 レジスタマップ

表 6.2 GMAC1 レジスタマップ (1/3)

アドレス	レジスタシンボル	レジスタ名
4400 0000h	MAC_Configuration	MAC コンフィグレーションレジスタ
4400 0004h	MAC_Frame_Filter	MAC フレームフィルタレジスタ
4400 0010h	GMII_Address	GMII アドレスレジスタ
4400 0014h	GMII_Data	GMII データレジスタ
4400 0018h	Flow_Control	フローコントロールレジスタ
4400 001Ch	VLAN_Tag	VLAN タグレジスタ
4400 0020h	Version	バージョンレジスタ
4400 0024h	Debug	デバッグレジスタ
4400 0028h	Remote_Wake_Up_Frame_Filter	リモートウェイクアップフレームフィルタレジスタ
4400 002Ch	PMT_Control_Status	PMT コントロール&ステータスレジスタ
4400 0030h	LPI_Control_Status	LPI コントロール&ステータスレジスタ
4400 0034h	LPI_Timers_Control	LPI タイマコントロールレジスタ
4400 0038h	Interrupt_Status	割り込みステータスレジスタ
4400 003Ch	Interrupt_Mask	割り込みマスクレジスタ
4400 0040h+8h×n	MAC_Address[n]_High (n=0~15)	MAC アドレス[n]上位レジスタ
4400 0044h+8h×n	MAC_Address[n]_Low (n=0~15)	MAC アドレス[n]下位レジスタ
4400 00DCh	WDog_Timeout	ウォッチドッグタイムアウトレジスタ
4400 0100h	MMC_Control	MMC コントロールレジスタ
4400 0104h	MMC_Receive_Interrupt	MMC 受信割り込みレジスタ
4400 0108h	MMC_Transmit_Interrupt	MMC 送信割り込みレジスタ
4400 010Ch	MMC_Receive_Interrupt_Mask	MMC 受信割り込みマスクレジスタ
4400 0110h	MMC_Transmit_Interrupt_Mask	MMC 送信割り込みマスクレジスタ
4400 0114h	Tx_Octet_Count_Good_Bad	正常フレームおよび不良フレームの送信オクテット数
4400 0118h	Tx_Frame_Count_Good_Bad	正常フレームおよび不良フレームの送信フレーム数
4400 011Ch	Tx_Broadcast_Frames_Good	正常ブロードキャストフレームの送信フレーム数
4400 0120h	Tx_Multicast_Frames_Good	正常マルチキャストフレームの送信フレーム数
4400 0124h	Tx_64Octets_Frames_Good_Bad	64 バイトの正常フレームおよび不良フレームの送信オクテット数
4400 0128h	Tx_65To127Octets_Frames_Good_Bad	65~127 バイトの正常フレームおよび不良フレームの送信オクテット数
4400 012Ch	Tx_128To255Octets_Frames_Good_Bad	128~255 バイトの正常フレームおよび不良フレームの送信オクテット数
4400 0130h	Tx_256To511Octets_Frames_Good_Bad	256~511 バイトの正常フレームおよび不良フレームの送信オクテット数
4400 0134h	Tx_512To1023Octets_Frames_Good_Bad	512~1023 バイトの正常フレームおよび不良フレームの送信オクテット数
4400 0138h	Tx_1024ToMaxOctets_Frames_Good_Bad	1024~最大サイズバイトの正常フレームおよび不良フレームの送信オクテット数
4400 013Ch	Tx_Unicast_Frames_Good_Bad	正常ユニキャストフレームおよび不良ユニキャストフレームの送信フレーム数
4400 0140h	Tx_Multicast_Frames_Good_Bad	正常マルチキャストフレームおよび不良マルチキャストフレームの送信フレーム数
4400 0144h	Tx_Broadcast_Frames_Good_Bad	正常ブロードキャストフレームおよび不良ブロードキャストフレームの送信フレーム数

表 6.2 GMAC1 レジスタマップ (2/3)

アドレス	レジスタシンボル	レジスタ名
4400 0148h	Tx_Underflow_Error_Frames	アンダーフローエラーフレームの送信フレーム数
4400 014Ch	Tx_Single_Collision_Good_Frames	単一コリジョン後に送信されたフレームの送信フレーム数
4400 0150h	Tx_Multiple_Collision_Good_Frames	複数コリジョン後に送信されたフレームの送信フレーム数
4400 0154h	Tx_Deferred_Frames	延期フレームの送信フレーム数
4400 0158h	Tx_Late_Collision_Frames	遅れコリジョンエラーフレームの送信フレーム数
4400 015Ch	Tx_Excessive_Collision_Frames	過剰コリジョンエラーフレームの送信フレーム数
4400 0160h	Tx_Carrier_Error_Frames	キャリアセンスエラーフレームの送信フレーム数
4400 0164h	Tx_Octet_Count_Good	正常フレームの送信オクテット数
4400 0168h	Tx_Frame_Count_Good	正常フレームの送信フレーム数
4400 016Ch	Tx_Excessive_Deferral_Error	過剰延期エラーフレームの送信フレーム数
4400 0170h	Tx_Pause_Frames	正常 PAUSE フレームの送信フレーム数
4400 0174h	Tx_VLAN_Frames_Good	正常 VLAN フレームの送信フレーム数
4400 0178h	Tx_OSize_Frames_Good	正常オーバーサイズフレームの送信フレーム数
4400 0180h	Rx_Frames_Count_Good_Bad	正常フレームおよび不良フレームの受信フレーム数
4400 0184h	Rx_Octet_Count_Good_Bad	正常フレームおよび不良フレームの受信オクテット数
4400 0188h	Rx_Octet_Count_Good	正常フレームの受信オクテット数
4400 018Ch	Rx_Broadcast_Frames_Good	正常ブロードキャストフレームの受信フレーム数
4400 0190h	Rx_Multicast_Frames_Good	正常マルチキャストフレームの受信フレーム数
4400 0194h	Rx_CRC_Error_Frames	CRC エラーフレームの受信フレーム数
4400 0198h	Rx_Alignment_Error_Frames	アライメントエラーフレームの受信フレーム数
4400 019Ch	Rx_Runt_Error_Frames	ラントエラーフレームの受信フレーム数
4400 01A0h	Rx_Jabber_Error_Frames	ジャババーエラーフレームの受信フレーム数
4400 01A4h	Rx_Undersize_Frames_Good	アンダーサイズフレームの受信フレーム数
4400 01A8h	Rx_Oversize_Frames_Good	オーバーサイズフレームの受信フレーム数
4400 01ACh	Rx_64Octets_Frames_Good_Bad	64 バイトの正常フレームおよび不良フレームの受信フレーム数
4400 01B0h	Rx_65To127Octets_Frames_Good_Bad	65~127 バイトの正常フレームおよび不良フレームの受信フレーム数
4400 01B4h	Rx_128To255Octets_Frames_Good_Bad	128~255 バイトの正常フレームおよび不良フレームの受信フレーム数
4400 01B8h	Rx_256To511Octets_Frames_Good_Bad	256~511 バイトの正常フレームおよび不良フレームの受信フレーム数
4400 01BCh	Rx_512To1023Octets_Frames_Good_Bad	512~1,023 バイトの正常フレームおよび不良フレームの受信フレーム数
4400 01C0h	Rx_1024ToMaxOctets_Frames_Good_Bad	1,024~最大サイズバイトの正常フレームおよび不良フレームの受信フレーム数
4400 01C4h	Rx_Unicast_Frames_Good	正常ユニキャストフレームの受信フレーム数
4400 01C8h	Rx_Length_Error_Frames	長さエラーフレームの受信フレーム数
4400 01CCh	Rx_Out_Of_Range_Type_Frames	範囲外フレームの受信フレーム数
4400 01D0h	Rx_Pause_Frames	PAUSE フレームの受信フレーム数
4400 01D4h	Rx_FIFO_Overflow_Frames	FIFO オーバーフローフレームの受信フレーム数
4400 01D8h	Rx_VLAN_Frames_Good_Bad	正常 VLAN フレームおよび不良 VLAN フレームの受信フレーム数
4400 01DCh	Rx_Watchdog_Error_Frames	ウォッチドッグエラーフレームの受信フレーム数
4400 01E0h	Rx_Receive_Error_Frames	受信エラーフレームの受信フレーム数
4400 01E4h	Rx_Control_Frames_Good	正常コントロールフレームの受信フレーム数
4400 0500h+4h×n	Hash_Table_Reg[n] (n=0~7)	ハッシュテーブルレジスタ[n]

表 6.2 GMAC1 レジスタマップ (3/3)

アドレス	レジスタシンボル	レジスタ名
4400 0588h	VLAN_Hash_Table_Reg	VLAN ハッシュテーブルレジスタ
4400 0700h	Timestamp_Control	タイムスタンプコントロールレジスタ
4400 0704h	Sub_Second_Increment	サブセカンドインクリメントレジスタ
4400 0708h	System_Time_Seconds	システム時間 - 秒レジスタ
4400 070Ch	System_Time_Nanoseconds	システム時間 - ナノ秒レジスタ
4400 0710h	System_Time_Seconds_Update	システム時間 - 秒更新レジスタ
4400 0714h	System_Time_Nanoseconds_Update	システム時間 - ナノ秒更新レジスタ
4400 0718h	Timestamp_Addend	タイムスタンプ加数レジスタ
4400 071Ch	Target_Time_Seconds	ターゲット時間 - 秒レジスタ
4400 0720h	Target_Time_Nanoseconds	ターゲット時間 - ナノ秒レジスタ
4400 0728h	Timestamp_Status	タイムスタンプステータスレジスタ
4400 072Ch	PPS_Control	PPS コントロールレジスタ
4400 0730h	Auxiliary_Timestamp_Nanoseconds	補助タイムスタンプ - ナノ秒レジスタ
4400 0734h	Auxiliary_Timestamp_Seconds	補助タイムスタンプ - 秒レジスタ
4400 0760h	PPS0_Interval	PPS0 インターバルレジスタ
4400 0764h	PPS0_Width	PPS0 幅レジスタ
4400 0780h	PPS1_Target_Time_Seconds	PPS1 ターゲット時間 - 秒レジスタ
4400 0784h	PPS1_Target_Time_Nanoseconds	PPS1 ターゲット時間 - ナノ秒レジスタ
4400 0788h	PPS1_Interval	PPS1 インターバルレジスタ
4400 078Ch	PPS1_Width	PPS1 幅レジスタ
4400 0800h	MAC_Address16_High	MAC アドレス 16 上位レジスタ
4400 0804h	MAC_Address16_Low	MAC アドレス 16 下位レジスタ
4400 0808h	MAC_Address17_High	MAC アドレス 17 上位レジスタ
4400 080Ch	MAC_Address17_Low	MAC アドレス 17 下位レジスタ
4400 1000h	Bus_Mode	バスモードレジスタ
4400 1004h	Transmit_Poll_Demand	送信ポーリング要求レジスタ
4400 1008h	Receive_Poll_Demand	受信ポーリング要求レジスタ
4400 100Ch	Receive_Descriptor_List_Address	受信ディスクリプタリストアドレスレジスタ
4400 1010h	Transmit_Descriptor_List_Address	送信ディスクリプタリストアドレスレジスタ
4400 1014h	Status	ステータスレジスタ
4400 1018h	Operation_Mode	動作モードレジスタ
4400 101Ch	Interrupt_Enable	割り込み許可レジスタ
4400 1020h	Missed_Frame_And_Buffer_Overflow_Counter	欠落フレームおよびバッファオーバーフローカウンタレジスタ
4400 1024h	Receive_Interrupt_Watchdog_Timer	受信割り込みウォッチドッグタイマレジスタ
4400 1028h	AXI_Bus_Mode	AXI バスモードレジスタ
4400 102Ch	AXI_Status	AXI ステータスレジスタ
4400 1048h	Current_Host_Transmit_Descriptor	カレントホスト送信ディスクリプタレジスタ
4400 104Ch	Current_Host_Receive_Descriptor	カレントホスト受信ディスクリプタレジスタ
4400 1050h	Current_Host_Transmit_Buffer_Address	カレントホスト送信バッファアドレスレジスタ
4400 1054h	Current_Host_Receive_Buffer_Address	カレントホスト受信バッファアドレスレジスタ
4400 1058h	HW_Feature	HW 機能レジスタ

6.3.2 GMAC2 レジスタマップ

表 6.3 GMAC2 レジスタマップ (1/3)

アドレス	レジスタシンボル	レジスタ名
4400 2000h	MAC_Configuration	MAC コンフィグレーションレジスタ
4400 2004h	MAC_Frame_Filter	MAC フレームフィルタレジスタ
4400 2010h	GMII_Address	GMII アドレスレジスタ
4400 2014h	GMII_Data	GMII データレジスタ
4400 2018h	Flow_Control	フローコントロールレジスタ
4400 201Ch	VLAN_Tag	VLAN タグレジスタ
4400 2020h	Version	バージョンレジスタ
4400 2024h	Debug	デバッグレジスタ
4400 2028h	Remote_Wake_Up_Frame_Filter	リモートウェイクアップフレームフィルタレジスタ
4400 202Ch	PMT_Control_Status	PMT コントロール&ステータスレジスタ
4400 2030h	LPI_Control_Status	LPI コントロール&ステータスレジスタ
4400 2034h	LPI_Timers_Control	LPI タイマコントロールレジスタ
4400 2038h	Interrupt_Status	割り込みステータスレジスタ
4400 203Ch	Interrupt_Mask	割り込みマスクレジスタ
4400 2040h+8h×n	MAC_Address[n]_High (n=0~15)	MAC アドレス[n]上位レジスタ
4400 2044h+8h×n	MAC_Address[n]_Low (n=0~15)	MAC アドレス[n]下位レジスタ
4400 20DCh	WDog_Timeout	ウォッチドッグタイムアウトレジスタ
4400 2100h	MMC_Control	MMC コントロールレジスタ
4400 2104h	MMC_Receive_Interrupt	MMC 受信割り込みレジスタ
4400 2108h	MMC_Transmit_Interrupt	MMC 送信割り込みレジスタ
4400 210Ch	MMC_Receive_Interrupt_Mask	MMC 受信割り込みマスクレジスタ
4400 2110h	MMC_Transmit_Interrupt_Mask	MMC 送信割り込みマスクレジスタ
4400 2114h	Tx_Octet_Count_Good_Bad	正常フレームおよび不良フレームの送信オクテット数
4400 2118h	Tx_Frame_Count_Good_Bad	正常フレームおよび不良フレームの送信フレーム数
4400 211Ch	Tx_Broadcast_Frames_Good	正常ブロードキャストフレームの送信フレーム数
4400 2120h	Tx_Multicast_Frames_Good	正常マルチキャストフレームの送信フレーム数
4400 2124h	Tx_64Octets_Frames_Good_Bad	64 バイトの正常フレームおよび不良フレームの送信オクテット数
4400 2128h	Tx_65To127Octets_Frames_Good_Bad	65~127 バイトの正常フレームおよび不良フレームの送信オクテット数
4400 212Ch	Tx_128To255Octets_Frames_Good_Bad	128~255 バイトの正常フレームおよび不良フレームの送信オクテット数
4400 2130h	Tx_256To511Octets_Frames_Good_Bad	256~511 バイトの正常フレームおよび不良フレームの送信オクテット数
4400 2134h	Tx_512To1023Octets_Frames_Good_Bad	512~1023 バイトの正常フレームおよび不良フレームの送信オクテット数
4400 2138h	Tx_1024ToMaxOctets_Frames_Good_Bad	1024~最大サイズバイトの正常フレームおよび不良フレームの送信オクテット数
4400 213Ch	Tx_Unicast_Frames_Good_Bad	正常ユニキャストフレームおよび不良ユニキャストフレームの送信フレーム数
4400 2140h	Tx_Multicast_Frames_Good_Bad	正常マルチキャストフレームおよび不良マルチキャストフレームの送信フレーム数
4400 2144h	Tx_Broadcast_Frames_Good_Bad	正常ブロードキャストフレームおよび不良ブロードキャストフレームの送信フレーム数
4400 2148h	Tx_Underflow_Error_Frames	アンダーフローエラーフレームの送信フレーム数
4400 214Ch	Tx_Single_Collision_Good_Frames	単一コリジョン後に送信されたフレームの送信フレーム数

表 6.3 GMAC2 レジスタマップ (2/3)

アドレス	レジスタシンボル	レジスタ名
4400 2150h	Tx_Multiple_Collision_Good_Frames	複数コリジョン後に送信されたフレームの送信フレーム数
4400 2154h	Tx_Deferred_Frames	延期フレームの送信フレーム数
4400 2158h	Tx_Late_Collision_Frames	遅れコリジョンエラーフレームの送信フレーム数
4400 215Ch	Tx_Excessive_Collision_Frames	過剰コリジョンエラーフレームの送信フレーム数
4400 2160h	Tx_Carrier_Error_Frames	キャリアセンスエラーフレームの送信フレーム数
4400 2164h	Tx_Octet_Count_Good	正常フレームの送信オクテット数
4400 2168h	Tx_Frame_Count_Good	正常フレームの送信フレーム数
4400 216Ch	Tx_Excessive_Deferral_Error	過剰延期エラーフレームの送信フレーム数
4400 2170h	Tx_Pause_Frames	正常 PAUSE フレームの送信フレーム数
4400 2174h	Tx_VLAN_Frames_Good	正常 VLAN フレームの送信フレーム数
4400 2178h	Tx_OSize_Frames_Good	正常オーバーサイズフレームの送信フレーム数
4400 2180h	Rx_Frames_Count_Good_Bad	正常フレームおよび不良フレームの受信フレーム数
4400 2184h	Rx_Octet_Count_Good_Bad	正常フレームおよび不良フレームの受信オクテット数
4400 2188h	Rx_Octet_Count_Good	正常フレームの受信オクテット数
4400 218Ch	Rx_Broadcast_Frames_Good	正常ブロードキャストフレームの受信フレーム数
4400 2190h	Rx_Multicast_Frames_Good	正常マルチキャストフレームの受信フレーム数
4400 2194h	Rx_CRC_Error_Frames	CRC エラーフレームの受信フレーム数
4400 2198h	Rx_Alignment_Error_Frames	アライメントエラーフレームの受信フレーム数
4400 219Ch	Rx_Runt_Error_Frames	ラントエラーフレームの受信フレーム数
4400 21A0h	Rx_Jabber_Error_Frames	ジャバエラーフレームの受信フレーム数
4400 21A4h	Rx_Undersize_Frames_Good	アンダーサイズフレームの受信フレーム数
4400 21A8h	Rx_Oversize_Frames_Good	オーバーサイズフレームの受信フレーム数
4400 21ACh	Rx_64Octets_Frames_Good_Bad	64 バイトの正常フレームおよび不良フレームの受信フレーム数
4400 21B0h	Rx_65To127Octets_Frames_Good_Bad	65~127 バイトの正常フレームおよび不良フレームの受信フレーム数
4400 21B4h	Rx_128To255Octets_Frames_Good_Bad	128~255 バイトの正常フレームおよび不良フレームの受信フレーム数
4400 21B8h	Rx_256To511Octets_Frames_Good_Bad	256~511 バイトの正常フレームおよび不良フレームの受信フレーム数
4400 21BCh	Rx_512To1023Octets_Frames_Good_Bad	512~1,023 バイトの正常フレームおよび不良フレームの受信フレーム数
4400 21C0h	Rx_1024ToMaxOctets_Frames_Good_Bad	1,024~最大サイズバイトの正常フレームおよび不良フレームの受信フレーム数
4400 21C4h	Rx_Unicast_Frames_Good	正常ユニキャストフレームの受信フレーム数
4400 21C8h	Rx_Length_Error_Frames	長さエラーフレームの受信フレーム数
4400 21CCh	Rx_Out_Of_Range_Type_Frames	範囲外フレームの受信フレーム数
4400 21D0h	Rx_Pause_Frames	PAUSE フレームの受信フレーム数
4400 21D4h	Rx_FIFO_Overflow_Frames	FIFO オーバーフローフレームの受信フレーム数
4400 21D8h	Rx_VLAN_Frames_Good_Bad	正常 VLAN フレームおよび不良 VLAN フレームの受信フレーム数
4400 21DCh	Rx_Watchdog_Error_Frames	ウォッチドッグエラーフレームの受信フレーム数
4400 21E0h	Rx_Receive_Error_Frames	受信エラーフレームの受信フレーム数
4400 21E4h	Rx_Control_Frames_Good	正常コントロールフレームの受信フレーム数
4400 2500h+4h×n	Hash_Table_Reg[n] (n=0~7)	ハッシュテーブルレジスタ[n]
4400 2588h	VLAN_Hash_Table_Reg	VLAN ハッシュテーブルレジスタ
4400 2700h	Timestamp_Control	タイムスタンプコントロールレジスタ

表 6.3 GMAC2 レジスタマップ (3/3)

アドレス	レジスタシンボル	レジスタ名
4400 2728h	Timestamp_Status	タイムスタンプステータスレジスタ
4400 2730h	Auxiliary_Timestamp_Nanoseconds	補助タイムスタンプ - ナノ秒レジスタ
4400 2734h	Auxiliary_Timestamp_Seconds	補助タイムスタンプ - 秒レジスタ
4400 2800h	MAC_Address16_High	MAC アドレス 16 上位レジスタ
4400 2804h	MAC_Address16_Low	MAC アドレス 16 下位レジスタ
4400 2808h	MAC_Address17_High	MAC アドレス 17 上位レジスタ
4400 280Ch	MAC_Address17_Low	MAC アドレス 17 下位レジスタ
4400 3000h	Bus_Mode	バスモードレジスタ
4400 3004h	Transmit_Poll_Demand	送信ポーリング要求レジスタ
4400 3008h	Receive_Poll_Demand	受信ポーリング要求レジスタ
4400 300Ch	Receive_Descriptor_List_Address	受信ディスクリプタリストアドレスレジスタ
4400 3010h	Transmit_Descriptor_List_Address	送信ディスクリプタリストアドレスレジスタ
4400 3014h	Status	ステータスレジスタ
4400 3018h	Operation_Mode	動作モードレジスタ
4400 301Ch	Interrupt_Enable	割り込み許可レジスタ
4400 3020h	Missed_Frame_And_Buffer_Overflow_Counter	欠落フレームおよびバッファオーバーフローカウンタレジスタ
4400 3024h	Receive_Interrupt_Watchdog_Timer	受信割り込みウォッチドッグタイマレジスタ
4400 3028h	AXI_Bus_Mode	AXI バスモードレジスタ
4400 302Ch	AXI_Status	AXI ステータスレジスタ
4400 3048h	Current_Host_Transmit_Descriptor	カレントホスト送信ディスクリプタレジスタ
4400 304Ch	Current_Host_Receive_Descriptor	カレントホスト受信ディスクリプタレジスタ
4400 3050h	Current_Host_Transmit_Buffer_Address	カレントホスト送信バッファアドレスレジスタ
4400 3054h	Current_Host_Receive_Buffer_Address	カレントホスト受信バッファアドレスレジスタ
4400 3058h	HW_Feature	HW 機能レジスタ

6.4 レジスタの説明

6.4.1 MAC_Configuration — MAC コンフィグレーションレジスタ

アドレス GMAC1 : 4400 0000h

GMAC2 : 4400 2000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	TWOKPE	—	CST	—	WD	JD	BE	JE		IFG		DCRS
リセット後の値	X	X	X	X	0	X	0	X	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PS	FES	DO	LM	DM	IPC	DR	—	ACS		BL	DC	TE	RE		PRELEN
リセット後の値	0	0	0	0	0	0	0	X	0	0	0	0	0	0	0	0

表 6.4 MAC_Configuration レジスタの内容 (1/4)

ビット位置	ビット名	機能	R/W
b31~b28	予約ビット	予約されています。	R
b27	TWOKPE	2K パケットのための IEEE 802.3as サポート 本ビットをセットすると、GMAC はすべてのフレーム（最大 2,000 バイト長）を通常のパケットとみなします。 ビット 20（JE）がセットされていないとき、GMAC は 2K バイトを超えるすべての受信フレームをジャイアントフレームとみなします。本ビットがリセットされ、ビット 20（JE）がセットされていないとき、GMAC は 1,518 バイト（タグ付きの場合 1,522 バイト）を超えるすべての受信フレームをジャイアントフレームとみなします。ビット 20 がセットされているときに本ビットをセットしてもジャイアントフレームのステータスは影響を受けません。	R/W
b26	予約ビット	予約されています。	R
b25	CST	タイプフレームの CRC 除去 本ビットがセットされると、フレームをアプリケーションに転送する前に、Ether タイプ（長さ/タイプフィールドが 1,536 以上）のすべてのフレームの最後の 4 バイト（FCS）が除去され、ドロップされます。	R/W
b24	予約ビット	予約されています。	R
b23	WD	ウォッチドッグディスエーブル 本ビットがセットされると、GMAC はレシーバのウォッチドッグタイマを無効にします。GMAC は、最大 16,384 バイトのフレームを受信できるようになります。 本ビットがリセットされると、GMAC は 2,048 バイト（JE が High にセットされている場合は 10,240 バイト）を超える受信フレーム、または、ウォッチドッグタイムアウトレジスタ（WDog_Timeout）でプログラムされた値を超える受信フレームを許可しません。 GMAC は、ウォッチドッグのバイト数制限後に受信したバイトを切り捨てます。	R/W
b22	JD	ジャババー無効 本ビットがセットされると、GMAC はトランスミッタのジャババータイマを無効にします。GMAC は、最大 16,384 バイトのフレームを送信できるようになります。 本ビットがリセットされると、送信中にアプリケーションが 2,048 バイト（JE が High にセットされている場合は 10,240 バイト）を超えるデータを送出した場合に、GMAC はトランスミッタを停止します。	R/W
b21	BE	フレームバーストイネーブル 本ビットがセットされると、GMAC は、GMII 半二重モードで送信中にフレームバーストを許可します。	R/W
b20	JE	ジャンボフレームイネーブル 本ビットがセットされると、GMAC は 9,018 バイト（VLAN タグ付きフレームでは 9,022 バイト）のジャンボフレームを許可し、受信フレームステータスにジャイアントフレームエラーを報告しません。	R/W

表 6.4 MAC_Configuration レジスタの内容 (2/4)

ビット位置	ビット名	機能	R/W
b19~b17	IFG	<p>フレーム間ギャップ</p> <p>これらのビットは、送信中のフレーム間の最小 IFG（フレーム間ギャップ）を制御します。</p> <p>3'b000 : 96 ビット時間 3'b001 : 88 ビット時間 3'b010 : 80 ビット時間 : 3'b111 : 40 ビット時間</p> <p>半二重モードでは、最小 IFG は 64 ビット時間（IFG=3'b100）のみ設定できます。それより低い値は考慮されません。1000Mbps モードでは、サポートされる最小 IFG は 80 ビット時間（およびそれ以上）です。</p> <p>バックプレッシャの起動により JAM パターンが送信されているときは、GMAC は最小 IFG を考慮しません。</p>	R/W
b16	DCRS	<p>送信中キャリアセンスを無効化</p> <p>本ビットが High にセットされると、GMAC トランスミッタは、半二重モードでフレーム送信中、(G) MII CRS 信号を無視します。本リクエストにより、そのような送信中にキャリア消失またはキャリア未検出によるエラーが発生しなくなります。本ビットが Low にセットされると、GMAC トランスミッタはキャリア消失またはキャリア未検出によるエラーを生成するようになり、送信をアボートすることもあります。</p>	R/W
b15	PS	<p>ポート選択</p> <p>本ビットは、イーサネットの回線スピードを選択します。</p> <p>0 : 1000Mbps 動作 1 : 10Mbps または 100Mbps 動作</p> <p>10Mbps または 100Mbps 動作では、本ビットと FES ビットで正確な回線スピードを選択します。</p>	R/W
b14	FES	<p>スピード</p> <p>本ビットは、MII インタフェースのスピードを選択します。</p> <p>0 : 10Mbps 1 : 100Mbps</p>	R/W
b13	DO	<p>自己受信の無効化</p> <p>本ビットがセットされると、半二重モードで送信データインエーブルがアサートされたときに、GMAC はフレームの受信を無効にします。</p> <p>本ビットがリセットされると、GMAC は送信中に PHY から来るすべてのパケットを受信します。</p> <p>GMAC が全二重モードで動作しているときは、本ビットは適用されません。</p>	R/W
b12	LM	<p>ループバックモード</p> <p>本ビットがセットされると、GMAC は GMII または MII に対してループバックモードで動作します。送信クロックは内部的にループバックされないため、ループバックが正常に動作するには、受信クロックが必要です。</p>	R/W
b11	DM	<p>デュプレックスモード</p> <p>本ビットがセットされると、GMAC は全二重モードで動作します。全二重モードでは、送信と受信を同時に行うことができます。</p>	R/W
b10	IPC	<p>チェックサムオフロード</p> <p>本ビットがセットされると、GMAC は受信したすべてのイーサネットフレームペイロードの 1 の補数和の 1 の補数（16 ビット）を計算します。また、受信したフレームの IPv4 ヘッダのチェックサム（受信したイーサネットフレームのバイト 25~26 または 29~30（VLAN タグ付きの場合）と想定）が正しいかどうかをチェックし、そのステータスを受信ステータスワードに格納します。</p> <p>本ビットがリセットされると、この機能は無効になります。</p> <p>本ビットがセットされると、IPv4 ヘッダチェックサムチェックと、IPv4 または IPv6 の TCP、UDP、または ICMP ペイロードチェックサムチェックを有効にします。本ビットがリセットされると、レシーバの COE 機能は無効にされ、対応するペイロードチェックサムエラーおよび IP ヘッダチェックサムエラーのステータスビットが常にクリアされます。</p>	R/W

表 6.4 MAC_Configuration レジスタの内容 (3/4)

ビット位置	ビット名	機能	R/W
b9	DR	リトライを無効化 本ビットがセットされると、GMAC は 1 回だけ送信します。GMII または MII インタフェースでコリジョンが発生した場合、GMAC は現在のフレーム送信を無視し、送信フレームステータスとして過剰コリジョンエラーによるフレームアボートを通知します。 本ビットがリセットされると、GMAC は BL フィールド (ビット[6:5]) の設定に従ってリトライします。本ビットは半二重モードのときにのみ適用されます。	R/W
b8	予約ビット	予約されています。	R
b7	ACS	パディングまたは CRC の自動除去 本ビットがセットされると、GMAC は、長さフィールドの値が 1,536 バイト未満のとき、受信フレームのパディングフィールドまたは FCS フィールドを除去します。長さフィールドが 1,536 バイト以上であるすべての受信フレームは、パディングフィールドまたは FCS フィールドを除去することなく、アプリケーションに受け渡します。 本ビットがリセットされると、GMAC は、受信したすべてのフレームを変更なしでホストに受け渡します。	R/W
b6、b5	BL	バックオフリミット バックオフリミットは、スロット時間遅延をランダムな整数 (r) で設定します (1000Mbps の場合は 4,096 ビット時間、10/100Mbps の場合は 512 ビット時間)。これは、コリジョンの後のリトライ中に、GMAC が送信を再スケジュールするまで待機する時間です。本ビットは半二重モードのときにのみ適用されます。 $2^b00 : k = \min (n, 10)$ $2^b01 : k = \min (n, 8)$ $2^b10 : k = \min (n, 4)$ $2^b11 : k = \min (n, 1)$ ここで、n は再送信の回数です。ランダムな整数 r は、 $0 \leq r < 2$ の k 乗の範囲の値を取ります。	R/W
b4	DC	延期チェック 本ビットがセットされると、GMAC で延期チェック機能が有効になります。10Mbps または 100Mbps モードで送信ステートマシンが 24,288 ビット時間を超えて延期されると、GMAC はフレームアボートステータスを発行するとともに、送信フレームステータスに過剰延期エラービットをセットします。 GMAC が 1000Mbps 動作モードに設定されているか、10Mbps または 100Mbps モードでジャンボフレームモードが有効になっている場合、延期のしきい値は 155,680 ビット時間になります。トランスミッタが送信可能状態であるにもかかわらず、GMII または MII でアクティブなキャリアセンス信号 (CRS) があるために送信できないとき、延期が発生します。 延期時間は累積ではありません。たとえば、CRS 信号がアクティブであったためにトランスミッタが 10,000 ビット時間延期された後、CRS 信号が非アクティブになったので、トランスミッタが送信を行い、コリジョンが発生したとします。コリジョンが発生したため、トランスミッタはバックオフする必要があります。そして、バックオフの完了後、もう一度延期します。このような場合、延期時間は 0 にリセットされて再開されます。 本ビットがリセットされると、延期チェック機能が無効になり、GMAC は CRS 信号が非アクティブになるまで延期します。本ビットは半二重モードのときにのみ適用されます。	R/W
b3	TE	トランスミッタイネーブル 本ビットがセットされると、GMAC の送信ステートマシンの GMII または MII における送信が有効になります。本ビットがリセットされると、現在のフレームの送信完了後に GMAC の送信ステートマシンが無効になり、それ以降は、フレームを送信しません。	R/W
b2	RE	レシーバイネーブル 本ビットがセットされると、GMAC の受信ステートマシンの GMII または MII からのフレーム受信が有効になります。本ビットがリセットされると、現在のフレームの受信完了後に GMAC の受信ステートマシンが無効になり、それ以降は、GMII または MII からのフレームを受信しません。	R/W

表 6.4 MAC_Configuration レジスタの内容 (4/4)

ビット位置	ビット名	機能	R/W
b1、b0	PRELEN	送信フレームのプリアンブル長 これらのビットは、各送信フレームの先頭に追加されるプリアンブルのバイト数を制御します。プリアンブルの短縮は、GMAC が全二重モードで動作しているときのみ行われます。 2'b00 : プリアンブルの 7 バイト 2'b01 : プリアンブルの 5 バイト 2'b10 : プリアンブルの 3 バイト 2'b11 : 予約	R/W

6.4.2 MAC_Frame_Filter — MAC フレームフィルタレジスタ

アドレス GMAC1 : 4400 0004h
GMAC2 : 4400 2004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RA	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VTFE
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	HPF	SAF	SAIF	PCF	DBF	PM	DAIF	HMC	HUC	PR	
リセット後の値	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0

表 6.5 MAC_Frame_Filter レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b31	RA	すべて受信 本ビットがセットされると、GMAC レシーバモジュールは、フレームがアドレスフィルタをパスしたかどうかにかかわらず、受信したすべてのフレームをアプリケーションに受け渡します。SA または DA フィルタの結果（パスまたはフェイル）により、受信ステータスワードの対応するビットが更新されます。 本ビットがリセットされると、レシーバモジュールは SA または DA アドレスフィルタをパスしたフレームのみをアプリケーションに受け渡します。	R/W
b30~b17	予約ビット	予約されています。	R
b16	VTFE	VLAN タグフィルタイネーブル 本ビットがセットされると、VLAN タグ比較にマッチしない VLAN タグ付きのフレームをドロップする機能が GMAC で有効になります。 本ビットがリセットされると、GMAC は VLAN タグのマッチの状態にかかわらず、すべてのフレームを転送します。	R/W
b15~b11	予約ビット	予約されています。	R
b10	HPF	ハッシュフィルタまたは完全なフィルタ 本ビットがセットされると、フレームは、HMC ビットまたは HUC ビットによってセットされる完全なフィルタリングまたはハッシュフィルタリングのいずれかとマッチする場合に、アドレスフィルタをパスします。 本ビットが Low で、HUC ビットまたは HMC ビットがセットされている場合、フレームはハッシュフィルタにマッチする場合のみ転送されます。	R/W
b9	SAF	送信元アドレスフィルタイネーブル 本ビットがセットされると、GMAC は、受信フレームの SA フィールドと、イネーブルされている SA レジスタにプログラムされている値を比較します。比較がフェイルの場合、GMAC はフレームをドロップします。 本ビットがリセットされると、GMAC は、SA アドレスの比較結果に基づいて受信ステータスの SAF ビットを更新してから、受信フレームをアプリケーションに転送します。 備考) IEEE の仕様によれば、SA のビット 47 は予約ビットで、0 にセットされません。しかし、GMAC は 48 ビットすべてを比較します。ソフトウェアドライバは、SA の MAC アドレスレジスタをプログラムするとき、このことを考慮する必要があります。	R/W
b8	SAIF	SA の反転フィルタリング 本ビットがセットされると、SA アドレスの比較のために、アドレスチェックブロックが反転フィルタリングモードで動作します。SA が SA レジスタとマッチしたフレームが、SA アドレスフィルタをフェイルしたとしてマークされます。 本ビットがリセットされると、SA が SA レジスタとマッチしないフレームが、SA アドレスフィルタをフェイルしたとしてマークされます。	R/W

表 6.5 MAC_Frame_Filter レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b7、b6	PCF	<p>バス制御フレーム</p> <p>これらのビットは、すべての制御フレーム（ユニキャストおよびマルチキャスト PAUSE フレームを含む）の転送を制御します。</p> <p>2'b00 : GMAC は、すべての制御フレームをフィルタし、アプリケーションに到達しないようにします</p> <p>2'b01 : GMAC は、PAUSE 制御フレームを除くすべての制御フレームを、アドレスフィルタをパスしなかった場合でも、アプリケーションに転送します</p> <p>2'b10 : GMAC は、すべての制御フレームを、アドレスフィルタをパスしなかった場合でも、アプリケーションに転送します</p> <p>2'b11 : GMAC は、アドレスフィルタをパスした制御フレームを転送します</p> <p>PAUSE 制御フレームの処理を行うためには、次の条件が真である必要があります。</p> <ul style="list-style-type: none"> 条件 1 : GMAC が全二重モードで、フローコントロールレジスタ (Flow_Control) のビット 2 (RFE) を 1 にセットすることによってフローコントロールが有効になっている。 条件 2 : フローコントロールレジスタ (Flow_Control) のビット 3 (UP) がセットされており、受信フレームの宛先アドレス (DA) が特別なマルチキャストアドレスまたは MAC アドレス 0 と一致する。 条件 3 : 受信フレームのタイプフィールドが 0x8808 で、OPCODE フィールドが 0x0001 である。 <p>備考) 本フィールドは、条件 1 が真であるとき、つまり GMAC が全二重モードで動作するようプログラムされており、RFE ビットが有効になっている場合のみ、2'b01 にセットします。そうでない場合は、PAUSE フレームのフィルタリングに不整合が生じることがあります。条件 1 が偽である場合、PAUSE フレームは汎用の制御フレームとみなされます。そのため、全二重モードでフローコントロールが有効になっていないときに、すべての制御フレーム (PAUSE 制御フレームを含む) をパスさせるには、PCF フィールドを 2'b10 または 2'b11 (アプリケーションの要件による) にセットする必要があります。</p>	R/W
b5	DBF	<p>ブロードキャストフレームを無効化</p> <p>本ビットがセットされると、AFM モジュールは、受信したすべてのブロードキャストフレームをフィルタリングします。さらに、その他のフィルタ設定はすべてオーバーライドされます。</p> <p>本ビットがリセットされると、AFM モジュールは受信したすべてのブロードキャストフレームをパスさせます。</p>	R/W
b4	PM	<p>すべてのマルチキャストをパス</p> <p>本ビットがセットされると、マルチキャスト宛先アドレス (宛先アドレスフィールドの最初のビットが "1") を持つすべての受信フレームをパスさせます。</p> <p>本ビットがリセットされると、マルチキャストフレームのフィルタリングは HMC ビットによって決まります。</p>	R/W
b3	DAIF	<p>DA の反転フィルタリング</p> <p>本ビットがセットされると、ユニキャストフレームとマルチキャストフレームの両方に対し、DA アドレスの比較のために、アドレスチェックブロックが反転フィルタリングモードで動作します。</p> <p>本ビットがリセットされると、通常のフレームフィルタリングが実行されます。</p>	R/W
b2	HMC	<p>ハッシュマルチキャスト</p> <p>本ビットがセットされると、GMAC は、受信したマルチキャストフレームの宛先アドレスフィルタリングをハッシュテーブルに従って実行します。</p> <p>本ビットがリセットされると、GMAC はマルチキャストフレームに対して、完全な宛先アドレスフィルタリングを実行します。つまり、DA フィールドと DA レジスタにプログラムされている値を比較します。</p>	R/W

表 6.5 MAC_Frame_Filter レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b1	HUC	ハッシュユニキャスト 本ビットがセットされると、GMAC は、ユニキャストフレームの宛先アドレスフィルタリングをハッシュテーブルに従って実行します。 本ビットがリセットされると、GMAC はユニキャストフレームに対して、完全な宛先アドレスフィルタリングを実行します。つまり、DA フィールドと DA レジスタにプログラムされている値を比較します。	R/W
b0	PR	プロミスキャスモード 本ビットがセットされると、アドレスフィルタモジュールは、宛先アドレスおよび送信元アドレスにかかわらず、すべての受信フレームをパスさせます。PR がセットされると、受信ステータスワードの SA フィルタまたは DA フィルタのフェイルステータスビットは、常にクリアされます。	R/W

6.4.3 GMII_Address — GMII アドレスレジスタ

アドレス GMAC1 : 4400 0010h
GMAC2 : 4400 2010h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PA					GR					CR			GW	GB	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.6 GMII_Address レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b11	PA	物理層アドレス 本フィールドは、アクセス可能な 32 個の PHY デバイスのうちどれにアクセスするかを示します。	R/W
b10~b6	GR	GMII レジスタ これらのビットは、選択した PHY デバイス内の目的の GMII レジスタを選択します。	R/W

表 6.6 GMII_Address レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b5~b2	CR	<p>CSR クロック範囲</p> <p>CSR クロック (GMAC[m]_HCLK) 範囲を選択することで、CSR クロック周波数に従って、MDC クロックの周波数を決定します。</p> <p>各値に適用される CSR クロック周波数の推奨範囲を利用すると (ビット[5]=0 のとき)、MDC クロックはおおよそ 1.0MHz~2.5MHz の周波数範囲に収まります。</p> <p>4'b0000 : CSR クロックの周波数が 60~100MHz で、MDC クロックは CSR クロック/42</p> <p>4'b0001 : CSR クロックの周波数が 100~150MHz で、MDC クロックは CSR クロック/62</p> <p>4'b0010 : CSR クロックの周波数が 20~35MHz で、MDC クロックは CSR クロック/16</p> <p>4'b0011 : CSR クロックの周波数が 35~60MHz で、MDC クロックは CSR クロック/26</p> <p>4'b0100 : CSR クロックの周波数が 150~250MHz で、MDC クロックは CSR クロック/102</p> <p>4'b0100 : CSR クロックの周波数が 250~300MHz で、MDC クロックは CSR クロック/124</p> <p>4'b0110 および 4'b0111 : 予約</p> <p>ビット 5 がセットされたとき、MDC クロックの周波数を周波数上限の 2.5MHz (IEEE 規格 802.3 で規定) より高くして、低い値のクロック分周器を設定できません。たとえば、CSR クロックの周波数が 100MHz で、これらのビットを 4'b1010 に設定した場合、MDC クロックは 12.5MHz となり、IEEE 802.3 で規定された範囲を超えます。</p> <p>次の値は、接続されているチップが高速な MDC クロックをサポートしている場合のみ、設定してください。</p> <p>4'b1000 : CSR クロック/4</p> <p>4'b1001 : CSR クロック/6</p> <p>4'b1010 : CSR クロック/8</p> <p>4'b1011 : CSR クロック/10</p> <p>4'b1100 : CSR クロック/12</p> <p>4'b1101 : CSR クロック/14</p> <p>4'b1110 : CSR クロック/16</p> <p>4'b1111 : CSR クロック/18</p>	R/W
b1	GW	<p>GMII 書き込み</p> <p>本ビットがセットされると、PHY に対し、本動作が GMII データレジスタを使用した書き込み動作であることを示します。本ビットがセットされないとき、本動作は読み出し動作 (データを GMII データレジスタに格納) であることを示します。</p>	R/W
b0	GB	<p>GMII ビジー</p> <p>GMII アドレスレジスタ (GMII_Address) および GMII データレジスタ (GMII_Data) に書き込みを行う前に、本ビットの値が 0 である必要があります。</p> <p>PHY レジスタへのアクセス中、ソフトウェアは本ビットを 1'b1 にセットすることで、読み出しまたは書き込みアクセスが進行中であることを示します。</p> <p>本ビットが GMAC によってクリアされるまで、GMII データレジスタ (GMII_Data) は無効になります。そのため、PHY 書き込み動作中は、GMAC が本ビットをクリアするまで、GMII データレジスタ (GMII_Data) は有効に保たれる必要があります。同様に、読み出し動作においては、本ビットがクリアされるまで GMII データレジスタ (GMII_Data) の内容は無効です。</p> <p>以降の読み出し動作または書き込み動作は、前の動作が完了して初めて実行可能になります。読み出し動作または書き込み動作が完了した後、PHY から GMAC へのアクセスは存在しないため、PHY が存在しない場合でも、本ビットの機能に変化はありません。</p>	R/W

6.4.4 GMII_Data — GMII データレジスタ

アドレス GMAC1 : 4400 0014h
GMAC2 : 4400 2014h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GD															
リセット後の値	0	0	0	0	0	0	0	X	X	X	X	X	X	X	X	X

表 6.7 GMII_Data レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	GD	GMII データ 本フィールドには、管理読み出し動作後に PHY から読み出される 16 ビットのデータ値、または管理書き込み動作前に PHY に書き込まれる 16 ビットのデータ値が格納されます。	R/W

6.4.5 Flow_Control — フローコントロールレジスタ

アドレス GMAC1 : 4400 0018h
GMAC2 : 4400 2018h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	DZPQ	—	PLT	UP	RFE	TFE	FCA_B PA	
リセット後の値	X	X	X	X	X	X	X	X	0	X	0	0	0	0	0	0

表 6.8 Flow_Control レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b16	PT	PAUSE 時間 本フィールドは、送信制御フレームの PAUSE 時間フィールドで使用される値を保持します。本レジスタへの連続書き込みは、宛先クロックドメインで少なくとも 4 クロックサイクル経過してから行う必要があります。	R/W
b15~b8	予約ビット	予約されています。	R
b7	DZPQ	Zero-Quanta PAUSE の無効化 本ビットがセットされると、FIFO 層からのフローコントロール信号がデアサートされたときの Zero-Quanta PAUSE 制御フレームの自動生成が無効になります。 本ビットがリセットされると、Zero-Quanta PAUSE 制御フレームの自動生成の通常動作が有効になります。	R/W
b6	予約ビット	予約されています。	R
b5、b4	PLT	PAUSE の低しきい値 本フィールドは、PAUSE フレームの自動再送信について入力フローコントロール信号をチェックするときの PAUSE タイマのしきい値を設定します。 本しきい値は、ビット[31:16]で設定された PAUSE 時間よりも常に小さい値である必要があります。たとえば、PT=100h (256 スロット時間) で、PLT=2'b01 の場合、最初の PAUSE フレームが送信されてから 228 (256-28) スロット時間後にフローコントロール信号がアサートされると、2 つ目の PAUSE フレームが自動的に送信されます。 次のリストは、各値に対応するしきい値を示します。 2'b00 : しきい値は PAUSE 時間から 4 スロット時間引いた値 (PT-4 スロット時間) 2'b01 : しきい値は PAUSE 時間から 28 スロット時間引いた値 (PT-28 スロット時間) 2'b10 : しきい値は PAUSE 時間から 144 スロット時間引いた値 (PT-144 スロット時間) 2'b11 : しきい値は PAUSE 時間から 256 スロット時間引いた値 (PT-256 スロット時間) スロット時間は、GMII または MII インタフェースで 512 ビット (64 バイト) を送信するのにかかる時間として定義されます。	R/W

表 6.8 Flow_Control レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b3	UP	<p>ユニキャスト PAUSE フレーム検出</p> <p>IEEE 規格 802.3 で規定された固有のマルチキャストアドレスであるとき、PAUSE フレームは処理されます。本ビットがセットされると、GMAC は、ステーションのユニキャストアドレスを持つ PAUSE フレームも検出できます。このユニキャストアドレスは、MAC アドレス 0 上位レジスタおよび MAC アドレス 0 下位レジスタで指定する必要があります。</p> <p>本ビットがリセットされると、GMAC は固有のマルチキャストアドレスを持つ PAUSE フレームのみを検出します。</p> <p>備考) 受信したフレームのマルチキャストアドレスが固有のマルチキャストアドレスと異なるとき、GMAC は PAUSE フレームを処理しません。</p>	R/W
b2	RFE	<p>受信フローコントロールイネーブル</p> <p>本ビットがセットされると、GMAC は受信した PAUSE フレームをデコードし、指定された (PAUSE) 時間、そのトランスミッタを無効にします。本ビットがリセットされると、PAUSE フレームのデコード機能は無効になります。</p>	R/W
b1	TFE	<p>送信フローコントロールイネーブル</p> <p>全二重モードでは、本ビットがセットされると、GMAC はフローコントロール動作を有効にし、PAUSE フレームを送信します。本ビットがリセットされると、GMAC のフローコントロール動作が無効になり、GMAC は PAUSE フレームを送信しなくなります。</p> <p>半二重モードでは、本ビットがセットされると、GMAC はバックプレッシャ動作を有効にします。本ビットがリセットされると、バックプレッシャ機能は無効になります。</p>	R/W
b0	FCA_BPA	<p>フローコントロールビジーまたはバックプレッシャ有効化</p> <p>本ビットは全二重モードで PAUSE 制御フレームを開始し、半二重モードで TFE ビットがセットされているときにバックプレッシャ機能を有効にします。</p> <p>全二重モードでは、フローコントロールレジスタへの書き込みの前に本ビットの値が 1'b0 である必要があります。PAUSE 制御フレームを開始するには、アプリケーションは本ビットを 1'b1 にセットする必要があります。制御フレームの送信中、本ビットはセットされたままになり、フレーム送信が進行中であることを示します。PAUSE 制御フレームの送信完了後、GMAC は本ビットを 1'b0 にリセットします。本ビットがクリアされるまで、フローコントロールレジスタへの書き込みはできません。</p> <p>半二重モードでは、本ビットがセットされると (かつ TFE もセット)、バックプレッシャが GMAC によってアサートされます。バックプレッシャ中に GMAC が新しいフレームを受信したとき、トランスミッタは JAM パターンの送信を開始し、その結果、コリジョンが発生します。本コントロールレジスタビットは、バックプレッシャ機能のために、フローコントロール入力信号と論理和が取られます。GMAC が全二重モードに設定されると、バックプレッシャは自動的に無効にされます。</p>	R/W

6.4.6 VLAN_Tag — VLAN タグレジスタ

アドレス GMAC1 : 4400 001Ch
GMAC2 : 4400 201Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	VTHM	ESVL	VTIM	ETV
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.9 VLAN_Tag レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b20	予約ビット	予約されています。	R
b19	VTHM	VLAN タグハッシュテーブルマッチイネーブル 本ビットがセットされると、VLAN タグの CRC の最上位 4 ビットが、VLAN ハッシュテーブルレジスタ (VLAN_Hash_Table_Reg) の内容のインデックスとして使用されます。インデックスに対応する VLAN ハッシュテーブルレジスタの値が 1 の場合、フレームが VLAN ハッシュテーブルにマッチしたことを示します。 ビット 16 (ETV) がセットされると、12 ビット VLAN 識別子 (VID) の CRC が比較に使用されます。一方、ETV がリセットされると、16 ビット VLAN タグの CRC が比較に使用されます。 本ビットがリセットされると、VLAN ハッシュマッチ動作は行われません。	R/W
b18	ESVL	S-VLAN を有効化 本ビットがセットされると、GMAC トランスミッタおよびレシーバは S-VLAN (タイプ=0x88A8) フレームも有効な VLAN タグ付きのフレームとみなします。	R/W
b17	VTIM	VLAN タグ反転マッチイネーブル 本ビットがセットされると、VLAN タグの反転マッチングを有効にします。一致する VLAN タグがないフレームが、マッチとしてマークされます。 本ビットがリセットされると、VLAN タグの完全なマッチングを有効にします。一致する VLAN タグがあるフレームが、マッチとしてマークされます。	R/W
b16	ETV	12 ビット VLAN タグ比較を有効化 本ビットがセットされると、完全な 16 ビット VLAN タグの代わりに、12 ビット VLAN 識別子が比較とフィルタリングに使用されます。VLAN タグのビット[11:0] が、受信された VLAN タグ付きフレームの対応フィールドと比較されます。同様に、有効になっているとき、受信したフレームの VLAN タグの 12 ビットのみがハッシュベースの VLAN フィルタリングに使用されます。 本ビットがリセットされると、受信した VLAN フレームの第 15~16 バイト目の 16 ビットすべてが比較と VLAN ハッシュフィルタリングに使用されます。	R/W
b15~b0	VL	受信フレーム用 VLAN タグ識別子 本フィールドには、VLAN フレームを識別する IEEE 802.1Q VLAN タグが格納され、VLAN フレームで受信されたフレームの第 15~16 バイト目と比較されます。次のリストで、本フィールドのビットを説明します。 ビット[15:13] : ユーザのプライオリティ ビット 12 : CFI (Canonical Format Indicator) または DEI (Drop Eligibility Indicator) ビット[11:0] : VLAN タグの VLAN 識別子 (VID) フィールド ETV ビットがセットされているとき、VID (ビット[11:0]) のみが比較に使用されません。 VL (ETV がセットされているときは VL[11:0]) がすべて 0 の場合、GMAC は VLAN タグの比較のために第 15~16 バイト目をチェックせず、タイプフィールド値が 0x8100 または 0x88a8 であるすべてのフレームを VLAN フレームとして宣言しません。	R/W

6.4.7 Version — バージョンレジスタ

アドレス GMAC1 : 4400 0020h
GMAC2 : 4400 2020h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VER															
リセット後の値	0	0	1	0	0	0	0	X	0	0	1	1	0	1	1	1

表 6.10 Version レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	VER	バージョン (GMAC1 : 0x2037、GMAC2 : 0x2137)	R

6.4.8 Debug — デバッグレジスタ

アドレス GMAC1 : 4400 0024h
GMAC2 : 4400 2024h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	TXSTS FSTS	TXFST S	—	TWCST S	TRCSTS	TXPAU SED	TFCSTS	TPEST S		
リセット後の値	X	X	X	X	X	X	0	0	X	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RXFSTS	—	RRCSTS	RWCST S	—	RFCFCSTS	RPEST S			
リセット後の値	X	X	X	X	X	X	0	0	X	0	0	0	X	0	0	0

表 6.11 Debug レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	予約されています。	R
b25	TXSTSFSTS	MTL 送信ステータス FIFO フルステータス 本ビットが High のとき、MTL (MAC Transaction Layer) 送信ステータス FIFO がフルです。そのため、MTL はそれ以上送信するフレームを受け付けることができません。	R
b24	TXFSTS	MTL 送信 FIFO 非エンプティステータス 本ビットが High のとき、MTL 送信 FIFO がエンプティではなく、送信するデータが残っていることを示します。	R
b23	予約ビット	予約されています。	R
b22	TWCSTS	MTL 送信 FIFO 書き込みコントローラアクティブステータス 本ビットが High のとき、MTL 送信 FIFO 書き込みコントローラが動作中で、送信 FIFO にデータを転送していることを示します。	R
b21、b20	TRCSTS	MTL 送信 FIFO 読み出しコントローラステータス 本フィールドは、送信 FIFO 読み出しコントローラの状態を示します。 2'b00 : アイドル状態 2'b01 : 読み出し状態 (データを GMAC トランスミッタに転送中) 2'b10 : GMAC トランスミッタからの送信ステータスを待機中 2'b11 : 受信した送信ステータスを書き込み中または送信 FIFO をフラッシュ中	R
b19	TXPAUSED	GMAC トランスミッタが PAUSE 中 本ビットが High のとき、GMAC トランスミッタが PAUSE 状態 (全二重モードのみの場合) であり、送信するフレームをスケジュールしないことを示します。	R
b18、b17	TFCSTS	GMAC 送信フレームコントローラステータス 本フィールドは、GMAC 送信フレームコントローラモジュールの状態を示します。 2'b00 : アイドル状態 2'b01 : 前のフレームの状態または IFG またはバックオフ期間の終了を待機中 2'b10 : PAUSE 制御フレームを生成中または送信中 (全二重モードの場合) 2'b11 : 送信のための入力フレームを転送中	R
b16	TPESTS	GMAC GMII または MII 送信プロトコルエンジンステータス 本ビットが High のとき、GMAC GMII または MII 送信プロトコルエンジンがデータをアクティブに転送中で、アイドル状態ではないことを示します。	R
b15~b10	予約ビット	予約されています。	R

表 6.11 Debug レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b9、b8	RXFSTS	MTL 受信 FIFO のフィルレベルステータス 本フィールドは受信 FIFO のフィルレベルを示します。 2'b00 : 受信 FIFO がエンプティである 2'b01 : 受信 FIFO のフィルレベルはフローコントロール非活性化しきい値を下回る 2'b10 : 受信 FIFO のフィルレベルはフローコントロール活性化しきい値を上回る 2'b11 : 受信 FIFO がフルである	R
b7	予約ビット	予約されています。	R
b6、b5	RRCSTS	MTL 受信 FIFO 読み出しコントローラの状態 本フィールドは、受信 FIFO 読み出しコントローラの状態を示します。 2'b00 : アイドル状態 2'b01 : フレームデータを読み出し中 2'b10 : フレームステータス (またはタイムスタンプ) を読み出し中 2'b11 : フレームデータおよびステータスをフラッシュ中	R
b4	RWCSTS	MTL 受信 FIFO 書き込みコントローラアクティブステータス 本ビットが High のとき、MTL 受信 FIFO 書き込みコントローラがアクティブで、受信したフレームを FIFO に転送していることを示します。	R
b3	予約ビット	予約されています。	R
b2、b1	RFCFCSTS	GMAC 受信フレームコントローラ FIFO ステータス High のとき、本フィールドは GMAC 受信フレームコントローラモジュールの小さい FIFO 読み出しおよび書き込みコントローラのアクティブ状態を示します。	R
b0	RPESTS	GMAC GMII または MII 受信プロトコルエンジンステータス 本ビットが High のとき、GMAC GMII または MII 受信プロトコルエンジンがデータを受信中で、アイドル状態ではないことを示します。	R

6.4.9 Remote_Wake_Up_Frame_Filter — リモートウェイクアップフレームフィルタレジスタ

アドレス GMAC1 : 4400 0028h
GMAC2 : 4400 2028h

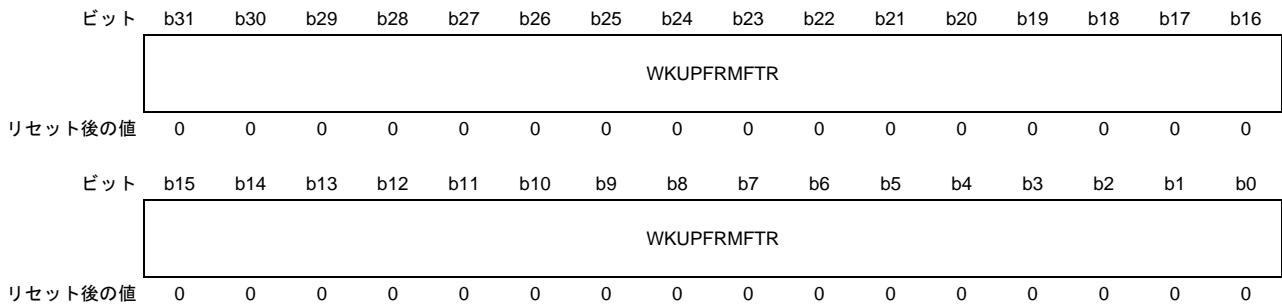


表 6.12 Remote_Wake_Up_Frame_Filter レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	WKUPFRMFTR	リモートウェイクアップフレームフィルタ	R/W

6.4.10 PMT_Control_Status — PMT コントロール&ステータスレジスタ

アドレス GMAC1 : 4400 002Ch
GMAC2 : 4400 202Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RWKFILTRST	—	—	—	—	RWKPTR			—	—	—	—	—	—	—	—
リセット後の値	0	X	X	X	X	0	0	0	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	GLBLUCAST	—	—	RWKPRCVD	MGKPRCVD	—	—	RWKPKTEN	MGKPKTEN	PWRDWN
リセット後の値	X	X	X	X	X	0	0	X	X	0	0	X	X	0	0	0

表 6.13 PMT_Control_Status レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	RWKFILTRST	ウェイクアップフレームフィルタレジスタポインタリセット 本ビットがセットされると、リモートウェイクアップフレームフィルタレジスタポインタが 3'b000 にリセットされます。1 クロックサイクル後、自動的にクリアされます。	R/W
b30~b27	予約ビット	予約されています。	R
b26~b24	RWKPTR	リモートウェイクアップ FIFO ポインタ リモートウェイクアップフレームフィルタレジスタポインタの現在の値 (0~7) を示します。本ポインタの値が 7 のときに、リモートウェイクアップフレームフィルタレジスタに書き込みが発生すると、そのレジスタの内容が受信クロックドメインに転送されます。	R
b23~b11	予約ビット	予約されています。	R
b10	予約ビット	初期値を保持してください。	R/W
b9	GLBLUCAST	グローバルユニキャスト 本ビットがセットされると、GMAC アドレス認識 (DA フィルタ) でフィルタリングされたユニキャストパケットをウェイクアップフレームとします。	R/W
b8、b7	予約ビット	予約されています。	R
b6	RWKPRCVD	ウェイクアップフレーム受信 本ビットがセットされると、ウェイクアップフレームの受信によって、パワー管理イベントが生成されたことを示します。本ビットは、本レジスタを読み出すことでクリアされます。	R
b5	MGKPRCVD	Magic Packet 受信 本ビットがセットされると、Magic Packet の受信によって、パワー管理イベントが生成されたことを示します。本ビットは、本レジスタを読み出すことでクリアされます。	R
b4、b3	予約ビット	予約されています。	R
b2	RWKPKTEN	ウェイクアップフレームイネーブル 本ビットがセットされると、ウェイクアップフレームの受信によるパワー管理イベントの生成が有効になります。	R/W
b1	MGKPKTEN	Magic Packet イネーブル 本ビットがセットされると、Magic Packet の受信によるパワー管理イベントの生成が有効になります。	R/W

表 6.13 PMT_Control_Status レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b0	PWRDWN	<p>パワーダウン</p> <p>本ビットがセットされると、期待した Magic Packet またはウェイクアップフレームを受信するまで、GMAC レシーバは受信したすべてのフレームをドロップします。その後、本ビットは自己クリアされ、パワーダウンモードは無効になります。期待した Magic Packet またはウェイクアップフレームを受信する前に、ソフトウェアで本ビットをクリアすることもできます。本ビットがクリアされた後に GMAC が受信したフレームは、アプリケーションに転送されます。本ビットは、Magic Packet イネーブル、グローバルユニキャスト、またはウェイクアップフレームイネーブルビットが High にセットされているときのみ、セットしてください。</p> <p>備考) パワーダウンモード中、CSR クロック (GMAC[m]_HCLK) をゲートオフすることが可能です。しかし、CSR クロックがゲートオフされると、本レジスタに読み出しまたは書き込み動作を行うことはできなくなります。そのため、ソフトウェアで本ビットをクリアできなくなります。</p>	R/W

6.4.11 LPI_Control_Status — LPI コントロール&ステータスレジスタ

アドレス GMAC1 : 4400 0030h
GMAC2 : 4400 2030h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	LPITXA	—	PLS	LPIEN
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	X	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RLPIST	TLPIST	—	—	—	—	RLPIEX	RLPIEN	TLPIEX	TLPIEN
リセット後の値	X	X	X	X	X	X	0	0	X	X	X	X	0	0	0	0

表 6.14 LPI_Control_Status レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b20	予約ビット	予約されています。	R
b19	LPITXA	LPI 送信自動化 本ビットは、GMAC が送信側で LPI モードに入るとき、または LPI モードを終了するときの GMAC の動作を制御します。 LPITXA および LPIEN ビットが 1 にセットされている場合、GMAC は、すべての未解決フレーム（コア内）および保留中フレーム（アプリケーションインタフェース内）が送信されてからのみ、LPI モードに入ります。GMAC は、アプリケーションが送信フレームを送信したとき、またはアプリケーションが TX FIFO Flush コマンドを発行したとき、LPI モードを終了します。さらに、GMAC は LPI ステートを終了するとき、LPIEN ビットを自動的にクリアします。GMAC が LPI モードのときに動作モードレジスタ（Operation_Mode）の送信 FIFO フラッシュ（ビット 20）がセットされると、GMAC は LPI モードを終了します。 本ビットが 0 のとき、LPI モードを開始または終了するときの GMAC の動作は、LPIEN ビットによって直接制御されます。	R/W
b18	予約ビット	予約されています。	R
b17	PLS	PHY リンクステータス 本ビットは、PHY のリンクステータスを示します。GMAC トランスミッタは、リンクステータスが LPI LS TIMER によって指定された時間以上の間アップ（OK）になっているときにのみ、LPI パターンをアサートします。 本ビットがセットされると、リンクは OK（アップ）とみなされます。本ビットがリセットされると、リンクはダウンとみなされます。	R/W
b16	LPIEN	LPI イネーブル 本ビットがセットされると、GMAC トランスミッタに LPI ステートに入るよう指示します。本ビットがリセットされると、GMAC が LPI ステートを終了し、通常の送信を再開するよう指示します。 本ビットは、LPITXA ビットがセットされ、新しい送信パケットの到着により GMAC が LPI ステートを終了すると、クリアされます。	R/W
b15~b10	予約ビット	予約されています。	R
b9	RLPIST	受信 LPI ステート 本ビットがセットされると、GMAC が GMII または MII インタフェース上で LPI パターンを受信していることを示します。	R
b8	TLPIST	送信 LPI ステート 本ビットがセットされると、GMAC が GMII または MII インタフェース上で LPI パターンを送信していることを示します。	R
b7~b4	予約ビット	予約されています。	R

表 6.14 LPI_Control_Status レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b3	RLPIEX	<p>受信 LPI 終了</p> <p>本ビットがセットされると、GMAC レシーバが GMII または MII インタフェース上で LPI パターンの受信を停止し、LPI ステートを終了し、通常の受信を再開したことを示します。本ビットは、本レジスタを読み出すことでクリアされます。</p> <p>備考) GMAC が LPI パターンの受信をごく短い時間 (たとえば、CSR クロックの 3 クロックサイクル未満) 停止した場合、本ビットはセットされないことがあります。</p>	R
b2	RLPIEN	<p>受信 LPI 開始</p> <p>本ビットがセットされると、GMAC レシーバが LPI パターンを受信し、LPI ステートに入ったことを示します。本ビットは、本レジスタを読み出すことでクリアされます。</p> <p>備考) GMAC が LPI パターンの受信をごく短い時間 (たとえば、CSR クロックの 3 クロックサイクル未満) 停止した場合、本ビットはセットされないことがあります。</p>	R
b1	TLPIEX	<p>送信 LPI 終了</p> <p>本ビットがセットされると、ユーザが LPIEN ビットをクリアし、LPI TW タイマが時間切れになった後、GMAC トランスミッタが LPI ステートを終了したことを示します。本ビットは、本レジスタを読み出すことでクリアされます。</p>	R
b0	TLPIEN	<p>送信 LPI 開始</p> <p>本ビットがセットされると、LPIEN ビットがセットされたことによって GMAC トランスミッタが LPI ステートに入ったことを示します。本ビットは、本レジスタを読み出すことでクリアされます。</p>	R

6.4.12 LPI_Timers_Control — LPI タイマコントロールレジスタ

アドレス GMAC1 : 4400 0034h
GMAC2 : 4400 2034h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	LST									
リセット後の値	X	X	X	X	X	X	1	1	1	1	1	0	1	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TWT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.15 LPI_Timers_Control レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	予約されています。	R
b25~b16	LST	LPI LS タイマ 本フィールドは、LPI パターンを PHY に送信するために、PHY からのリンクステータスがアップ (OK) になっていなければならない最小時間 (単位: ミリ秒) を指定します。LPIEN ビットがセットされていても、LPI LS タイマがプログラムされたターミナルカウントに到達しない限り、GMAC は LPI パターンを送信しません。LPI LS タイマの既定値は、IEEE 規格に準じる 1000 (1 秒) です。	R/W
b15~b0	TWT	LPI TW タイマ 本フィールドは、GMAC が PHY への LPI パターンの送信を停止してから通常の送信を再開するまでの待機時間の最小時間 (単位: マイクロ秒) を指定します。このタイマが時間切れになった後、TLPIEX ステータスビットがセットされます。	R/W

6.4.13 Interrupt_Status — 割り込みステータスレジスタ

アドレス GMAC1 : 4400 0038h
GMAC2 : 4400 2038h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LPIIS	TSIS	—	MMCR XIPIS	MMCTX IS	MMCR XIS	MMCIS	PMTIS	—	—	—
リセット後の値	X	X	X	X	X	0	0	X	0	0	0	0	0	X	X	X

表 6.16 Interrupt_Status レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b11	予約ビット	予約されています。	R
b10	LPIIS	LPI 割り込みステータス 本ビットは、GMAC トランスミッタまたはレシーバの LPI ステートの開始または終了によりセットされます。本ビットは、LPI コントロール&ステータスレジスタ (LPI_Control_Status) のビット 0 の読み出しによってクリアされます。	R
b9	TSIS	タイムスタンプ割り込みステータス 本ビットは、以下のいずれかの条件を満たすにセットされます。 <ul style="list-style-type: none"> システム時間の値がターゲット時間 - 秒レジスタおよびターゲット時間 - ナノ秒レジスタによる指定値以上 秒レジスタのオーバーフロー発生 補助スナップショットトリガがアサート 本ビットは、タイムスタンプステータスレジスタ (Timestamp_Status) のビット 0 の読み出しによってクリアされます。 既定の設定で、タイムスタンプ機能が有効な場合、本ビットがセットされると、システム時間の値がターゲット時間レジスタで指定された値と同じかそれ以上であることを示します。本モードでは、本ビットの読み出しが完了すると、本ビットはクリアされます。	R
b8	予約ビット	予約されています。	R
b7	MMCRXIPIS	MMC 受信チェックサムオフロード割り込みステータス 本ビットは、MMC 受信チェックサムオフロード割り込みレジスタで割り込みが生成されたとき、High にセットされます。本ビットは、この割り込みレジスタのすべてのビットがクリアされたときにクリアされます。	R
b6	MMCTXIS	MMC 送信割り込みステータス 本ビットは、MMC 送信割り込みレジスタで割り込みが生成されたとき、High にセットされます。本ビットは、この割り込みレジスタのすべてのビットがクリアされたときにクリアされます。	R
b5	MMCRXIS	MMC 受信割り込みステータス 本ビットは、MMC 受信割り込みレジスタで割り込みが生成されたとき、High にセットされます。本ビットは、この割り込みレジスタのすべてのビットがクリアされたときにクリアされます。	R
b4	MMCIS	MMC 割り込みステータス 本ビットは、ビット[7:5]のいずれかのビットが High にセットされたときに High にセットされ、これらのビットすべてが Low になったときのみクリアされます。	R

表 6.16 Interrupt_Status レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b3	PMTIS	PMT 割り込みステータス 本ビットは、パワーダウンモードで Magic Packet または Wake-On-LAN フレームを受信したときにセットされます (PMT コントロール&ステータスレジスタのビット 5 および 6 を参照)。本ビットは、PMT コントロール&ステータスレジスタへの読み出し動作によってビット[6:5]の両ビットがクリアされたときにクリアされます。	R
b2~b0	予約ビット	予約されています。	R

6.4.14 Interrupt_Mask — 割り込みマスクレジスタ

アドレス GMAC1 : 4400 003Ch
GMAC2 : 4400 203Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LPIIM	TSIM	—	—	—	—	—	PMTIM	—	—	—
リセット後の値	X	X	X	X	X	0	0	X	X	X	X	X	0	X	X	X

表 6.17 Interrupt_Mask レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b11	予約ビット	予約されています。	R
b10	LPIIM	LPI 割り込みマスク 本ビットがセットされると、割り込みステータスレジスタ (Interrupt_Status) で LPI 割り込みステータスビットがセットされたことによる割り込み信号のアサートが禁止されます。	R/W
b9	TSIM	タイムスタンプ割り込みマスク 本ビットがセットされると、割り込みステータスレジスタ (Interrupt_Status) でタイムスタンプ割り込みステータスビットがセットされたことによる割り込み信号のアサートが禁止されます。	R/W
b8~b4	予約ビット	予約されています。	R
b3	PMTIM	PMT 割り込みマスク 本ビットがセットされると、割り込みステータスレジスタ (Interrupt_Status) で PMT 割り込みステータスビットがセットされたことによる割り込み信号のアサートが禁止されます。	R/W
b2~b0	予約ビット	予約されています。	R

6.4.15 MAC_Address0_High — MAC アドレス 0 上位レジスタ

アドレス GMAC1 : 4400 0040h
GMAC2 : 4400 2040h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDRHI															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

表 6.18 MAC_Address0_High レジスタの内容

ビット位置	ビット名	機能	R/W
b31	AE	アドレスイネーブル 本ビットは常に 1 にセットされます。	R
b30~b16	予約ビット	予約されています。	R
b15~b0	ADDRHI	MAC アドレス 0 [47:32] 本フィールドには、1 番目の 6 バイト MAC アドレスの上位 16 ビット (47:32) が格納されます。 GMAC は本フィールドを使用して、受信したフレームをフィルタリングし、送信フローコントロール (PAUSE) フレームに MAC アドレスを挿入します。	R/W

6.4.16 MAC_Address0_Low — MAC アドレス 0 下位レジスタ

アドレス GMAC1 : 4400 0044h
GMAC2 : 4400 2044h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ADDRLO															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDRLO															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

表 6.19 MAC_Address0_Low レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ADDRLO	MAC アドレス 0 [31:0] 本フィールドには、1 番目の 6 バイト MAC アドレスの下位 32 ビットが格納されま ず。GMAC はこれを使用して、受信したフレームをフィルタリングし、送信フロー コントロール (PAUSE) フレームに MAC アドレスを挿入します。	R/W

6.4.17 MAC_Address[n]_High — MAC アドレス[n]上位レジスタ (n=1~17)

アドレス GMAC1 : 4400 0040h+8h×n (n=1~15)、4400 0800h (n=16)、4400 0808h (n=17)
 GMAC2 : 4400 2040h+8h×n (n=1~15)、4400 2800h (n=16)、4400 2808h (n=17)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AE	SA	MBC						—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDRHI															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

表 6.20 MAC_Address[n]_High レジスタの内容

ビット位置	ビット名	機能	R/W
b31	AE	アドレスイネーブル 本ビットがセットされると、アドレスフィルタモジュールは[n]番目の MAC アドレスを使用して完全なフィルタリングを実行します。 本ビットがリセットされると、アドレスフィルタモジュールはフィルタリング時にアドレスを無視します。	R/W
b30	SA	送信元アドレス 本ビットがセットされると、MAC アドレス[n][47:0]を受信フレームの SA フィールドとの比較に使用します。 本ビットがリセットされると、MAC アドレス[n][47:0]を受信フレームの DA フィールドとの比較に使用します。	R/W
b29~b24	MBC	マスクバイト制御 これらのビットは、各 MAC アドレスバイトの比較のためのマスク制御ビットです。High にセットされると、GMAC は受信した DA または SA の対応するバイトを MAC アドレス 1 レジスタの内容と比較しません。各ビットは、以下のようにバイトのマスクを制御します。 ビット 29 : MAC_Address[n]_High [15:8] ビット 28 : MAC_Address[n]_High [7:0] ビット 27 : MAC_Address[n]_Low [31:24] ... ビット 24 : MAC_Address[n]_Low [7:0] アドレスの 1 つ以上のバイトをマスクすることで、アドレスのグループをフィルタすること（グループアドレスフィルタリングとして知られる）が可能です。	R/W
b23~b16	予約ビット	予約されています。	R
b15~b0	ADDRHI	MAC アドレス[n] [47:32] 本フィールドには、[n]番目の 6 バイト MAC アドレスの上位 16 ビット (47:32) が格納されます。	R/W

6.4.18 MAC_Address[n]_Low — MAC アドレス[n]下位レジスタ (n=1~17)

アドレス GMAC1 : 4400 0044h+8h×n (n=1~15)、4400 0804h (n=16)、4400 080Ch (n=17)
 GMAC2 : 4400 2044h+8h×n (n=1~15)、4400 2804h (n=16)、4400 280Ch (n=17)

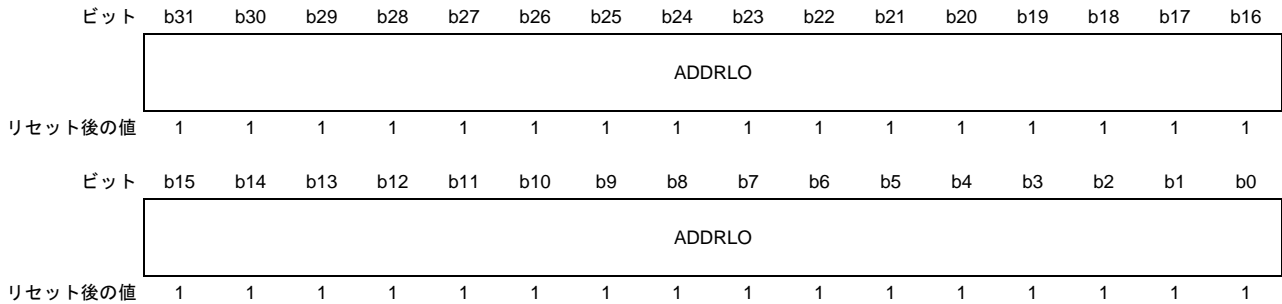


表 6.21 MAC_Address[n]_Low レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ADDRLO	MAC アドレス[n] [31:0] 本フィールドには、[n]番目の 6 バイト MAC アドレスの下位 32 ビットが格納されます。本フィールドの内容は、初期化プロセスの後、アプリケーションによってロードされるまで未定義状態です。	R/W

6.4.19 WDog_Timeout — ウォッチドッグタイムアウトレジスタ

アドレス GMAC1 : 4400 00DCh
GMAC2 : 4400 20DCh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PWE
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	WTO													
リセット後の値	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.22 WDog_Timeout レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b17	予約ビット	予約されています。	R
b16	PWE	<p>プログラマブルウォッチドッグイネーブル</p> <p>本ビットがセットされ、MAC コンフィグレーションレジスタ (MAC_Configuration) のビット 23 (WD) がリセットされると、WTO フィールド (ビット[13:0]) が受信フレームのウォッチドッグタイムアウトとして使用されます。</p> <p>本ビットがクリアされると、受信フレームのウォッチドッグタイムアウトは、MAC コンフィグレーションレジスタ (MAC_Configuration) のビット 23 (WD) およびビット 20 (JE) の設定によって制御されます。</p>	R/W
b15~b14	予約ビット	予約されています。	R
b13~b0	WTO	<p>ウォッチドッグタイムアウト</p> <p>ビット 16 (PWE) がセットされ、MAC コンフィグレーションレジスタ (MAC_Configuration) のビット 23 (WD) がリセットされると、本フィールドが受信フレームのウォッチドッグタイムアウトとして使用されます。受信したフレームの長さが本フィールドの値を超過した場合、そのフレームは停止され、エラーフレームとして宣言されます。</p> <p>備考) ビット 16 (PWE) をセットするとき、本フィールドの値は 1,522 (0x05F2) より大きい必要があります。そうでない場合、IEEE 802.3 規格で規定された有効なタグ付きフレームがエラーフレームとして宣言され、ドロップされてしまいます。</p>	R/W

6.4.20 MMC_Control — MMC コントロールレジスタ

アドレス GMAC1 : 4400 0100h
GMAC2 : 4400 2100h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	UCDBC	—	—	CNTPRSTLVL	CNTPRST	CNTFREEZ	RSTONRD	CNTSTOPRO	CNTSTOPRO
リセット後の値	X	X	X	X	X	X	X	0	X	X	0	0	0	0	0	0

表 6.23 MMC_Control レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b9	予約ビット	予約されています。	R
b8	UCDBC	ドロップされたブロードキャストフレームの MMC カウンタを更新 本ビットがセットされると、GMAC は、MAC フレームフィルタレジスタの DBF ビット（ブロードキャストフレームを無効化）のセットによってドロップされたブロードキャストフレームについて、関連するすべての MMC カウンタをオフセット 0x0004 で更新します。 本ビットがリセットされると、ドロップされたブロードキャストフレームについて MMC カウンタは更新されません。	R/W
b7、b6	予約ビット	予約されています。	R
b5	CNTPRSTLVL	フル/ハーフプリセット 本ビットが Low で、ビット 4 がセットされている場合、すべての MMC カウンタはほぼ半分（ハーフ）の値にプリセットされます。すべてのオクテットカウンタは 0x7FFF_F800（半分 - 2K バイト）にプリセットされ、すべてのフレームカウンタは 0x7FFF_FFF0（半分 - 16）にプリセットされます。 本ビットが High で、ビット 4 がセットされている場合、すべての MMC カウンタはほぼフルの値にプリセットされます。すべてのオクテットカウンタは 0xFFFF_F800（フル - 2K バイト）にプリセットされ、すべてのフレームカウンタは 0xFFFF_FFF0（フル - 16）にプリセットされます。 16 ビットカウンタの場合、関連するオクテットカウンタのほぼ半分のプリセット値は 0x7800、フレームカウンタでは 0x7FF0 です。同様に、16 ビットカウンタのほぼフルのプリセット値は、それぞれ、0xF800 および 0xFFFF0 です。	R/W
b4	CNTPRST	カウンタプリセット 本ビットがセットされると、すべてのカウンタが初期化されるか、ビット 5 に従ってほぼフルまたはほぼ半分の値にプリセットされます。1 クロックサイクル後に、本ビットは自動的にクリアされます。本ビットとビット 5 により MMC カウンタが半分またはフルになるため、これらのビットは割り込みアサートのデバッグおよびテストに役立ちます。	R/W
b3	CNTFREEZ	MMC カウンタフリーズ 本ビットがセットされると、すべての MMC カウンタがそれぞれの現在の値のまま停止します。本ビットが 0 にリセットされるまで、いかなる送信フレームまたは受信フレームによっても MMC カウンタは更新されません。読み出し時リセットビットがセットされた状態で MMC カウンタが読み出された場合、このモードでもそのカウンタがクリアされます。	R/W
b2	RSTONRD	読み出し時リセット 本ビットがセットされると、MMC カウンタは読み出し後に 0 にリセットされます（リセット後に自己クリア）。これらのカウンタは、最下位バイトレーン（ビット [7:0]）が読み出されたときにクリアされます。	R/W
b1	CNTSTOPRO	カウンタストップロールオーバー 本ビットがセットされると、カウンタは最大値に到達した後、0 に戻りません。	R/W

表 6.23 MMC_Control レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b0	CNTRST	カウンタリセット 本ビットがセットされると、すべてのカウンタがリセットされます。1 クロックサイクル後に、本ビットは自動的にクリアされます。	R/W

6.4.21 MMC_Receive_Interrupt — MMC 受信割り込みレジスタ

アドレス GMAC1 : 4400 0104h
GMAC2 : 4400 2104h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	RXCTRLFIS	RXRCVERRFIS	RXWDOGFIS	RXVLANGBFIS	RXFOVFIS	RXPAUSFIS	RXORANGEFIS	RXLENERFIS	RXUCGFIS	RX1024TMAXOCTGBFIS
リセット後の値	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RX512T1023OCTGBFIS	RX256T511OCTGBFIS	RX128T255OCTGBFIS	RX65T127OCTGBFIS	RX64OCTGBFIS	RXOSIZEGFIS	RXUSIZEGFIS	RXJABERFIS	RXRUNTFIS	RXALGNERFIS	RXCRCERFIS	RXMCGFIS	RXBCGFIS	RXGOC TIS	RXGBOCTIS	RXGBFRMS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.24 MMC_Receive_Interrupt レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	予約されています。	R
b25	RXCTRLFIS	MMC 受信制御フレームカウンタ割り込みステータス 本ビットは、Rx_Control_Frames_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b24	RXRCVERRFIS	MMC 受信エラーフレームカウンタ割り込みステータス 本ビットは、Rx_Receive_Error_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b23	RXWDOGFIS	MMC 受信ウォッチドッグエラーフレームカウンタ割り込みステータス 本ビットは、Rx_Watchdog_Error_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b22	RXVLANGBFIS	MMC 受信 VLAN 正常/不良フレームカウンタ割り込みステータス 本ビットは、Rx_VLAN_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b21	RXFOVFIS	MMC 受信 FIFO オーバーフローフレームカウンタ割り込みステータス 本ビットは、Rx_FIFO_Overflow_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b20	RXPAUSFIS	MMC 受信 PAUSE フレームカウンタ割り込みステータス 本ビットは、Rx_Pause_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b19	RXORANGEFIS	MMC 受信範囲外エラーフレームカウンタ割り込みステータス 本ビットは、Rx_Out_Of_Range_Type_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b18	RXLENERFIS	MMC 受信長さエラーフレームカウンタ割り込みステータス 本ビットは、Rx_Length_Error_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b17	RXUCGFIS	MMC 受信ユニキャスト正常フレームカウンタ割り込みステータス 本ビットは、Rx_Unicast_Frames_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b16	RX1024TMAXOCTGBFIS	MMC 受信 1024~最大オクテット正常/不良フレームカウンタ割り込みステータス 本ビットは、Rx_1024ToMaxOctets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b15	RX512T1023OCTGBFIS	MMC 受信 512~1023 オクテット正常/不良フレームカウンタ割り込みステータス 本ビットは、Rx_512To1023Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b14	RX256T511OCTGBFIS	MMC 受信 256~511 オクテット正常/不良フレームカウンタ割り込みステータス 本ビットは、Rx_256To511Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R

表 6.24 MMC_Receive_Interrupt レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b13	RX128T255OCTGBFIS	MMC 受信 128~255 オクテット正常/不良フレームカウンタ割り込みステータス 本ビットは、Rx_128To255Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b12	RX65T127OCTGBFIS	MMC 受信 65~127 オクテット正常/不良フレームカウンタ割り込みステータス 本ビットは、Rx_65To127Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b11	RX64OCTGBFIS	MMC 受信 64 オクテット正常/不良フレームカウンタ割り込みステータス 本ビットは、Rx_64Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b10	RXOSIZEGFIS	MMC 受信オーバーサイズ正常フレームカウンタ割り込みステータス 本ビットは、Rx_Oversize_Frames_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b9	RXUSIZEGFIS	MMC 受信アンダーサイズ正常フレームカウンタ割り込みステータス 本ビットは、Rx_Undersize_Frames_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b8	RXJABERFIS	MMC 受信ジャバエラーフレームカウンタ割り込みステータス 本ビットは、Rx_Jabber_Error_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b7	RXRUNTFIS	MMC 受信ラントフレームカウンタ割り込みステータス 本ビットは、Rx_Runt_Error_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b6	RXALGNERFIS	MMC 受信アライメントエラーフレームカウンタ割り込みステータス 本ビットは、Rx_Alignment_Error_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b5	RXCRCERFIS	MMC 受信 CRC エラーフレームカウンタ割り込みステータス 本ビットは、Rx_CRC_Error_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b4	RXMCGFIS	MMC 受信マルチキャスト正常フレームカウンタ割り込みステータス 本ビットは、Rx_Multicast_Frames_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b3	RXBCGFIS	MMC 受信ブロードキャスト正常フレームカウンタ割り込みステータス 本ビットは、Rx_Broadcast_Frames_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b2	RXGOCTIS	MMC 受信正常オクテットカウンタ割り込みステータス 本ビットは、Rx_Octet_Count_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b1	RXGBOCTIS	MMC 受信正常/不良オクテットカウンタ割り込みステータス 本ビットは、Rx_Octet_Count_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b0	RXGBFRMIS	MMC 受信正常/不良フレームカウンタ割り込みステータス 本ビットは、Rx_Frames_Count_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R

6.4.22 MMC_Transmit_Interrupt — MMC 送信割り込みレジスタ

アドレス GMAC1 : 4400 0108h
GMAC2 : 4400 2108h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	TXOSIZ EGFIS	TXVLA NGFIS	TXPAU SFIS	TXEXD EFFIS	TXGFR MIS	TXGOC TIS	TXCAR ERFIS	TXEXC OLFIS	TXLAT COLFIS	TXDEF FIS
リセット後の値	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXMCO LGFIS	TXSCO LGFIS	TXUFL OWERF IS	TXBCG BFIS	TXMCG BFIS	TXUCG BFIS	TX1024T MAXOCT GBFIS	TX512T 1023OC TGBFIS	TX256T 511OC TGBFIS	TX128T 255OC TGBFIS	TX65T1 27OCT GBFIS	TX64O CTGBFI S	TXMCG FIS	TXBCG FIS	TXGBF RMIS	TXGBO CTIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.25 MMC_Transmit_Interrupt レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	予約されています。	R
b25	TXOSIZEGFIS	MMC 送信オーバーサイズ正常フレームカウンタ割り込みステータス 本ビットは、Tx_OSize_Frames_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b24	TXVLANGFIS	MMC 送信 VLAN 正常フレームカウンタ割り込みステータス 本ビットは、Tx_VLAN_Frames_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b23	TXPAUSFIS	MMC 送信 PAUSE フレームカウンタ割り込みステータス 本ビットは、Tx_Pause_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b22	TXEXDEFFIS	MMC 送信過剰延期フレームカウンタ割り込みステータス 本ビットは、Tx_Excessive_Deferral_Error カウンタが最大値の半分または最大値に到達するとセットされます。	R
b21	TXGFRMIS	MMC 送信正常フレームカウンタ割り込みステータス 本ビットは、Tx_Frame_Count_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b20	TXGOCTIS	MMC 送信正常オクテットカウンタ割り込みステータス 本ビットは、Tx_Octet_Count_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b19	TXCARERFIS	MMC 送信キャリアエラーフレームカウンタ割り込みステータス 本ビットは、Tx_Carrier_Error_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b18	TXEXCOLFIS	MMC 送信過剰コリジョンフレームカウンタ割り込みステータス 本ビットは、Tx_Excessive_Collision_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b17	TXLATCOLFIS	MMC 送信遅れコリジョンフレームカウンタ割り込みステータス 本ビットは、Tx_Late_Collision_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b16	TXDEFFIS	MMC 送信延期フレームカウンタ割り込みステータス 本ビットは、Tx_Deferred_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b15	TXMCOLGFIS	MMC 送信複数コリジョン正常フレームカウンタ割り込みステータス 本ビットは、Tx_Multiple_Collision_Good_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b14	TXSCOLGFIS	MMC 送信単一コリジョン正常フレームカウンタ割り込みステータス 本ビットは、Tx_Single_Collision_Good_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R

表 6.25 MMC_Transmit_Interrupt レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b13	TXUFLOWERFIS	MMC 送信アンダーフローエラーフレームカウンタ割り込みステータス 本ビットは、Tx_Underflow_Error_Frames カウンタが最大値の半分または最大値に到達するとセットされます。	R
b12	TXBCGBFIS	MMC 送信ブロードキャスト正常/不良フレームカウンタ割り込みステータス 本ビットは、Tx_Broadcast_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b11	TXMCGBFIS	MMC 送信マルチキャスト正常/不良フレームカウンタ割り込みステータス 本ビットは、Tx_Multicast_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b10	TXUCGBFIS	MMC 送信ユニキャスト正常/不良フレームカウンタ割り込みステータス 本ビットは、Tx_Unicast_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b9	TX1024TMAXOCTGBFIS	MMC 送信 1024~最大オクテット正常/不良フレームカウンタ割り込みステータス 本ビットは、Tx_1024ToMaxOctets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b8	TX512T1023OCTGBFIS	MMC 送信 512~1023 オクテット正常/不良フレームカウンタ割り込みステータス 本ビットは、Tx_512To1023Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b7	TX256T511OCTGBFIS	MMC 送信 256~511 オクテット正常/不良フレームカウンタ割り込みステータス 本ビットは、Tx_256To511Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b6	TX128T255OCTGBFIS	MMC 送信 128~255 オクテット正常/不良フレームカウンタ割り込みステータス 本ビットは、Tx_128To255Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b5	TX65T127OCTGBFIS	MMC 送信 65~127 オクテット正常/不良フレームカウンタ割り込みステータス 本ビットは、Tx_65To127Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b4	TX64OCTGBFIS	MMC 送信 64 オクテット正常/不良フレームカウンタ割り込みステータス 本ビットは、Tx_64Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b3	TXMCGFIS	MMC 送信マルチキャスト正常フレームカウンタ割り込みステータス 本ビットは、Tx_Multicast_Frames_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b2	TXBCGFIS	MMC 送信ブロードキャスト正常フレームカウンタ割り込みステータス 本ビットは、Tx_Broadcast_Frames_Good カウンタが最大値の半分または最大値に到達するとセットされます。	R
b1	TXGBFRMIS	MMC 送信正常/不良フレームカウンタ割り込みステータス 本ビットは、Tx_Frame_Count_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R
b0	TXGBOCTIS	MMC 送信正常/不良オクテットカウンタ割り込みステータス 本ビットは、Tx_Octet_Count_Good_Bad カウンタが最大値の半分または最大値に到達するとセットされます。	R

6.4.23 MMC_Receive_Interrupt_Mask — MMC 受信割り込みマスクレジスタ

アドレス		GMAC1 : 4400 010Ch														
		GMAC2 : 4400 210Ch														
ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	RXCTRLFIM	RXRRCVERRFIM	RXWDOGFIM	RXVLANGBFIM	RXFOVFIM	RXPAUSFIM	RXORANGEFIM	RXLENERFIM	RXUCGFIM	RX1024TMAXOCTGBFIM
リセット後の値	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RX512T1023OCTGBFIM	RX256T511OCTGBFIM	RX128T255OCTGBFIM	RX65T127OCTGBFIM	RX64OCTGBFIM	RXOSIZEGFIM	RXUSIZEGFIM	RXJABERFIM	RXRUNTFIM	RXALGNERFIM	RXCRCERFIM	RXMCGFIM	RXBCGFIM	RXGOCCTIM	RXGBOCTIM	RXGBFRMIM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.26 MMC_Receive_Interrupt_Mask レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	予約されています。	R/W
b25	RXCTRLFIM	MMC 受信制御フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Control_Frames_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b24	RXRRCVERRFIM	MMC 受信エラーフレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Receive_Error_Frames エラーカウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b23	RXWDOGFIM	MMC 受信ウォッチドッグエラーフレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Watchdog_Error_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b22	RXVLANGBFIM	MMC 受信 VLAN 正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_VLAN_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b21	RXFOVFIM	MMC 受信 FIFO オーバーフローフレームカウンタ割り込みマスク 本ビットをセットすると、Rx_FIFO_Overflow_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b20	RXPAUSFIM	MMC 受信 PAUSE フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Pause_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b19	RXORANGEFIM	MMC 受信範囲外エラーフレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Out_Of_Range_Type_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b18	RXLENERFIM	MMC 受信長さエラーフレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Length_Error_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b17	RXUCGFIM	MMC 受信ユニキャスト正常フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Unicast_Frames_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b16	RX1024TMAXOCTGBFIM	MMC 受信 1024~最大オクテット正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_1024ToMaxOctets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b15	RX512T1023OCTGBFIM	MMC 受信 512~1023 オクテット正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_512To1023Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W

表 6.26 MMC_Receive_Interrupt_Mask レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b14	RX256T511OCTGBFIM	MMC 受信 256~511 オクテット正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_256To511Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b13	RX128T255OCTGBFIM	MMC 受信 128~255 オクテット正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_128To255Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b12	RX65T127OCTGBFIM	MMC 受信 65~127 オクテット正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_65To127Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b11	RX64OCTGBFIM	MMC 受信 64 オクテット正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_64Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b10	RXOSIZEGFIM	MMC 受信オーバーサイズ正常フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Oversize_Frames_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b9	RXUSIZEGFIM	MMC 受信アンダーサイズ正常フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Undersize_Frames_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b8	RXJABERFIM	MMC 受信ジャバエラーフレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Jabber_Error_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b7	RXRUNTFIM	MMC 受信ラントフレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Runt_Error_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b6	RXALGNERFIM	MMC 受信アライメントエラーフレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Alignment_Error_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b5	RXCRCERFIM	MMC 受信 CRC エラーフレームカウンタ割り込みマスク 本ビットをセットすると、Rx_CRC_Error_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b4	RXMCGFIM	MMC 受信マルチキャスト正常フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Multicast_Frames_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b3	RXBCGFIM	MMC 受信ブロードキャスト正常フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Broadcast_Frames_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b2	RXGOCTIM	MMC 受信正常オクテットカウンタ割り込みマスク 本ビットをセットすると、Rx_Octet_Count_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b1	RXGBOCTIM	MMC 受信正常/不良オクテットカウンタ割り込みマスク 本ビットをセットすると、Rx_Octet_Count_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b0	RXGBFRMIM	MMC 受信正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Rx_Frames_Count_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W

6.4.24 MMC_Transmit_Interrupt_Mask — MMC 送信割り込みマスクレジスタ

アドレス GMAC1 : 4400 0110h
GMAC2 : 4400 2110h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	TXOSIZ EGFIM	TXVLA NGFIM	TXPAU SFIM	TXEXD EFFIM	TXGFR MIM	TXGOC TIM	TXCAR ERFIM	TXEXC OLFIM	TXLAT COLFI M	TXDEF FIM
リセット後の値	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXMCO LGFIM	TXSCO LGFIM	TXUFL OWERF IM	TXBCG BFIM	TXMCG BFIM	TXUCG BFIM	TX1024T MAXOCT GBFIM	TX512T1 023OCTG BFIM	TX256T5 11OCTG BFIM	TX128T2 55OCTG BFIM	TX65T1 27OCT GBFIM	TX64O CTGBFI M	TXMCG FIM	TXBCG FIM	TXGBF RMIM	TXGBO CTIM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.27 MMC_Transmit_Interrupt_Mask レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	予約されています。	R/W
b25	TXOSIZEGFIM	MMC 送信オーバーサイズ正常フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_OSize_Frames_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b24	TXVLANGFIM	MMC 送信 VLAN 正常フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_VLAN_Frames_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b23	TXPAUSFIM	MMC 送信 PAUSE フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Pause_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b22	TXEXDEFFIM	MMC 送信過剰延期フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Excessive_Deferral_Error カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b21	TXGFRMIM	MMC 送信正常フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Frame_Count_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b20	TXGOCTIM	MMC 送信正常オクテットカウンタ割り込みマスク 本ビットをセットすると、Tx_Octet_Count_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b19	TXCARERFIM	MMC 送信キャリアエラーフレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Carrier_Error_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b18	TXEXCOLFIM	MMC 送信過剰コリジョンフレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Excessive_Collision_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b17	TXLATCOLFIM	MMC 送信遅れコリジョンフレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Late_Collision_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b16	TXDEFFIM	MMC 送信延期フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Deferred_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b15	TXMCOLGFIM	MMC 送信複数コリジョン正常フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Multiple_Collision_Good_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b14	TXSCOLGFIM	MMC 送信単一コリジョン正常フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Single_Collision_Good_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W

表 6.27 MMC_Transmit_Interrupt_Mask レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b13	TXUFLOWERFIM	MMC 送信アンダーフローエラーフレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Underflow_Error_Frames カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b12	TXBCGBFIM	MMC 送信ブロードキャスト正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Broadcast_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b11	TXMCGBFIM	MMC 送信マルチキャスト正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Multicast_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b10	TXUCGBFIM	MMC 送信ユニキャスト正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Unicast_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b9	TX1024TMAXOCTGBFIM	MMC 送信 1024~最大オクテット正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_1024ToMaxOctets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b8	TX512T1023OCTGBFIM	MMC 送信 512~1023 オクテット正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_512To1023Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b7	TX256T511OCTGBFIM	MMC 送信 256~511 オクテット正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_256To511Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b6	TX128T255OCTGBFIM	MMC 送信 128~255 オクテット正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_128To255Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b5	TX65T127OCTGBFIM	MMC 送信 65~127 オクテット正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_65To127Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b4	TX64OCTGBFIM	MMC 送信 64 オクテット正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_64Octets_Frames_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b3	TXMCGFIM	MMC 送信マルチキャスト正常フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Multicast_Frames_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b2	TXBCGFIM	MMC 送信ブロードキャスト正常フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Broadcast_Frames_Good カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b1	TXGBFRMIM	MMC 送信正常/不良フレームカウンタ割り込みマスク 本ビットをセットすると、Tx_Frame_Count_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W
b0	TXGBOCTIM	MMC 送信正常/不良オクテットカウンタ割り込みマスク 本ビットをセットすると、Tx_Octet_Count_Good_Bad カウンタが最大値の半分または最大値に到達したときに生成される割り込みをマスクします。	R/W

6.4.25 Tx_Octet_Count_Good_Bad — 正常フレームおよび不良フレームの送信オクテット数

アドレス GMAC1 : 4400 0114h
GMAC2 : 4400 2114h



表 6.28 Tx_Octet_Count_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXOCTGB	本フィールドは、送信した正常フレームおよび不良フレームのバイト数を示します（プリアンブルとリトライしたバイト数を除く）。	R

6.4.26 Tx_Frame_Count_Good_Bad — 正常フレームおよび不良フレームの送信フレーム数

アドレス GMAC1 : 4400 0118h
GMAC2 : 4400 2118h



表 6.29 Tx_Frame_Count_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXFRMGB	本フィールドは、送信した正常フレームおよび不良フレームの数を示します（リトライしたフレームを除く）。	R

6.4.27 Tx_Broadcast_Frames_Good — 正常ブロードキャストフレームの送信フレーム数

アドレス GMAC1 : 4400 011Ch
GMAC2 : 4400 211Ch



表 6.30 Tx_Broadcast_Frames_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXBCASTG	本フィールドは、送信した正常ブロードキャストフレームの数を示します。	R

6.4.28 Tx_Multicast_Frames_Good — 正常マルチキャストフレームの送信フレーム数

アドレス GMAC1 : 4400 0120h
GMAC2 : 4400 2120h

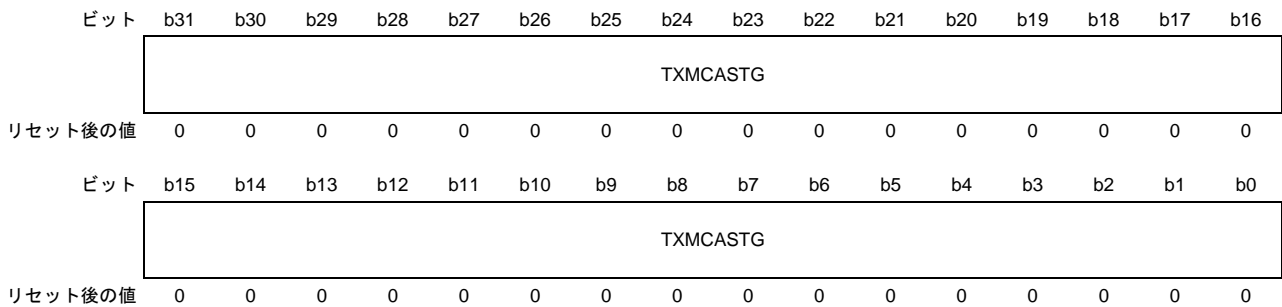


表 6.31 Tx_Multicast_Frames_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXMCASTG	本フィールドは、送信した正常マルチキャストフレームの数を示します。	R

6.4.29 Tx_64Octets_Frames_Good_Bad — 64 バイトの正常フレームおよび不良フレームの送信オクテット数

アドレス GMAC1 : 4400 0124h
GMAC2 : 4400 2124h



表 6.32 Tx_64Octets_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TX64OCTGB	本フィールドは、送信した正常フレームおよび不良フレームのうち、長さが 64 バイトのフレームの数を示します（プリアンブルとリトライしたフレームを除く）。	R

6.4.30 Tx_65To127Octets_Frames_Good_Bad — 65~127 バイトの正常フレームおよび不良フレームの送信オクテット数

アドレス GMAC1 : 4400 0128h
GMAC2 : 4400 2128h

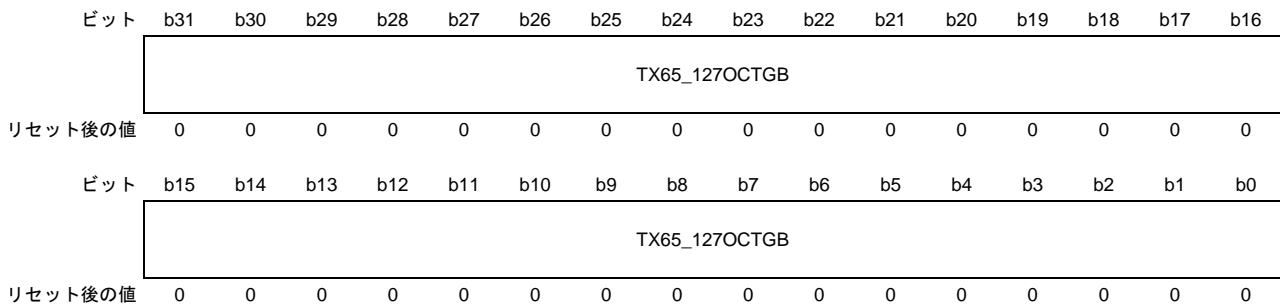


表 6.33 Tx_65To127Octets_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TX65_127OCTGB	本フィールドは、送信した正常フレームおよび不良フレームのうち、長さが 65 バイト~127 バイトのフレームの数を示します（プリアンブルとリトライしたフレームを除く）。	R

6.4.31 Tx_128To255Octets_Frames_Good_Bad — 128～255 バイトの正常フレームおよび不良フレームの送信オクテット数

アドレス GMAC1 : 4400 012Ch
GMAC2 : 4400 212Ch



表 6.34 Tx_128To255Octets_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	TX128_255OCTGB	本フィールドは、送信した正常フレームおよび不良フレームのうち、長さが 128 バイト～255 バイトのフレームの数を示します（プリアンブルとリトライしたフレームを除く）。	R

6.4.32 Tx_256To511Octets_Frames_Good_Bad — 256～511 バイトの正常フレームおよび不良フレームの送信オクテット数

アドレス GMAC1 : 4400 0130h
GMAC2 : 4400 2130h



表 6.35 Tx_256To511Octets_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	TX256_511OCTGB	本フィールドは、送信した正常フレームおよび不良フレームのうち、長さが 256 バイト～511 バイトのフレームの数を示します（プリアンブルとリトライしたフレームを除く）。	R

6.4.33 Tx_512To1023Octets_Frames_Good_Bad — 512～1023 バイトの正常フレームおよび不良フレームの送信オクテット数

アドレス GMAC1 : 4400 0134h
GMAC2 : 4400 2134h

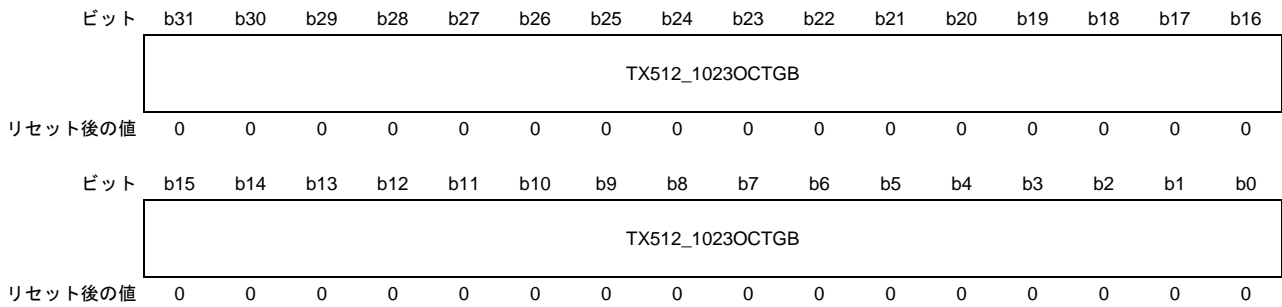


表 6.36 Tx_512To1023Octets_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	TX512_1023OCTGB	本フィールドは、送信した正常フレームおよび不良フレームのうち、長さが 512 バイト～1,023 バイトのフレームの数を示します（プリアンブルとリトライしたフレームを除く）。	R

6.4.34 Tx_1024ToMaxOctets_Frames_Good_Bad — 1024～最大サイズバイトの正常フレームおよび不良フレームの送信オクテット数

アドレス GMAC1 : 4400 0138h
GMAC2 : 4400 2138h



表 6.37 Tx_1024ToMaxOctets_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	TX1024_MAXOCTGB	本フィールドは、送信した正常フレームおよび不良フレームのうち、長さが 1,024 バイト～最大サイズのフレームの数を示します（プリアンブルとリトライしたフレームを除く）。	R

6.4.35 Tx_Unicast_Frames_Good_Bad — 正常ユニキャストフレームおよび不良ユニキャストフレームの送信フレーム数

アドレス GMAC1 : 4400 013Ch
GMAC2 : 4400 213Ch

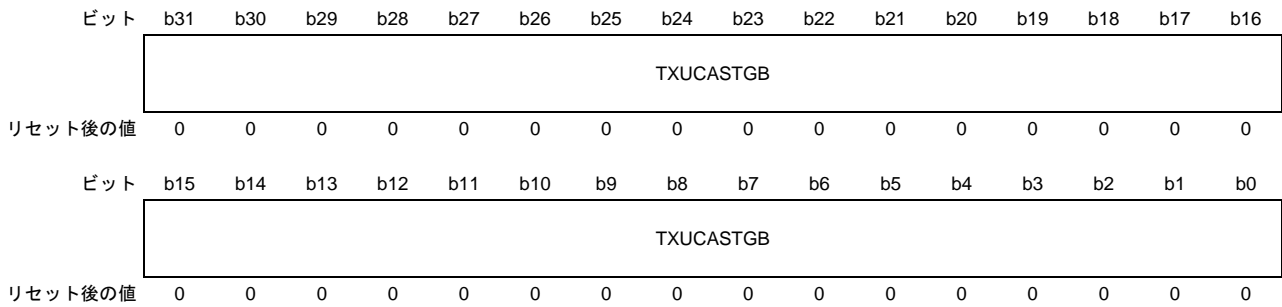


表 6.38 Tx_Unicast_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXUCASTGB	本フィールドは、送信した正常ユニキャストフレームおよび不良ユニキャストフレームの数を示します。	R

6.4.36 Tx_Multicast_Frames_Good_Bad — 正常マルチキャストフレームおよび不良マルチキャストフレームの送信フレーム数

アドレス GMAC1 : 4400 0140h
GMAC2 : 4400 2140h



表 6.39 Tx_Multicast_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXMCASTGB	本フィールドは、送信した正常マルチキャストフレームおよび不良マルチキャストフレームの数を示します。	R

6.4.37 Tx_Broadcast_Frames_Good_Bad — 正常ブロードキャストフレームおよび不良ブロードキャストフレームの送信フレーム数

アドレス GMAC1 : 4400 0144h
GMAC2 : 4400 2144h



表 6.40 Tx_Broadcast_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXBCASTGB	本フィールドは、送信した正常ブロードキャストフレームおよび不良ブロードキャストフレームの数を示します。	R

6.4.38 Tx_Underflow_Error_Frames — アンダーフローエラーフレームの送信フレーム数

アドレス GMAC1 : 4400 0148h
GMAC2 : 4400 2148h

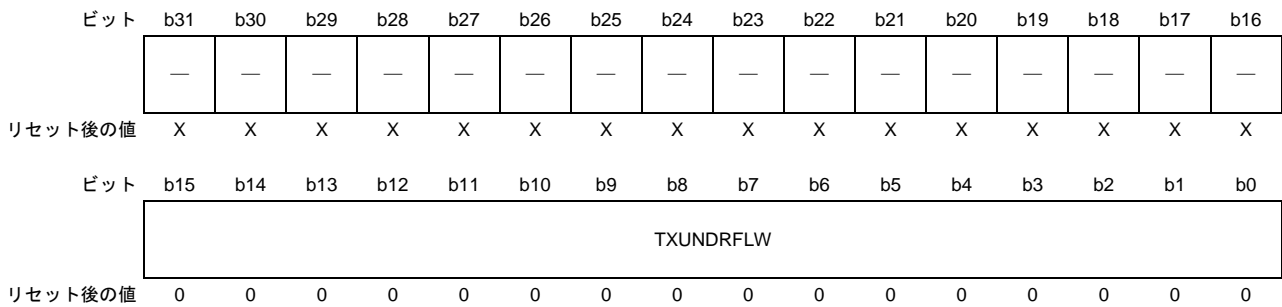


表 6.41 Tx_Underflow_Error_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	TXUNDRFLW	本フィールドは、フレームアンダーフローエラーによってアボートされたフレームの数を示します。	R

6.4.39 Tx_Single_Collision_Good_Frames — 単一コリジョン後に送信されたフレームの送信フレーム数

アドレス GMAC1 : 4400 014Ch
GMAC2 : 4400 214Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXSNGLCOLG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.42 Tx_Single_Collision_Good_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	TXSNGLCOLG	本フィールドは、半二重モードで、1 回のコリジョン後に正常に送信されたフレームの数を示します。	R

6.4.40 Tx_Multiple_Collision_Good_Frames — 複数コリジョン後に送信されたフレームの送信フレーム数

アドレス GMAC1 : 4400 0150h
GMAC2 : 4400 2150h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXMULTCOLG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.43 Tx_Multiple_Collision_Good_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	TXMULTCOLG	本フィールドは、半二重モードで、複数回のコリジョン後に正常に送信されたフレームの数を示します。	R

6.4.41 Tx_Deferred_Frames — 延期フレームの送信フレーム数

アドレス GMAC1 : 4400 0154h
GMAC2 : 4400 2154h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXDEFRD															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.44 Tx_Deferred_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	TXDEFRD	本フィールドは、半二重モードで、延期の後に正常に送信されたフレームの数を示します。	R

6.4.42 Tx_Late_Collision_Frames — 遅れコリジョンエラーフレームの送信フレーム数

アドレス GMAC1 : 4400 0158h
GMAC2 : 4400 2158h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXLATECOL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.45 Tx_Late_Collision_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	TXLATECOL	本フィールドは、遅れコリジョンエラーによってアボートされたフレームの数を示します。	R

6.4.43 Tx_Excessive_Collision_Frames — 過剰コリジョンエラーフレームの送信フレーム数

アドレス GMAC1 : 4400 015Ch
GMAC2 : 4400 215Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXEXSCOL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.46 Tx_Excessive_Collision_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	TXEXSCOL	本フィールドは、過剰（16回）コリジョンエラーによってアボートされたフレームの数を示します。	R

6.4.44 Tx_Carrier_Error_Frames — キャリアセンスエラーフレームの送信フレーム数

アドレス GMAC1 : 4400 0160h
GMAC2 : 4400 2160h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXCARR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.47 Tx_Carrier_Error_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	TXCARR	本フィールドは、キャリアセンスエラー（キャリアなしまたはキャリア消失）によってアボートされたフレームの数を示します。	R

6.4.45 Tx_Octet_Count_Good — 正常フレームの送信オクテット数

アドレス GMAC1 : 4400 0164h
GMAC2 : 4400 2164h

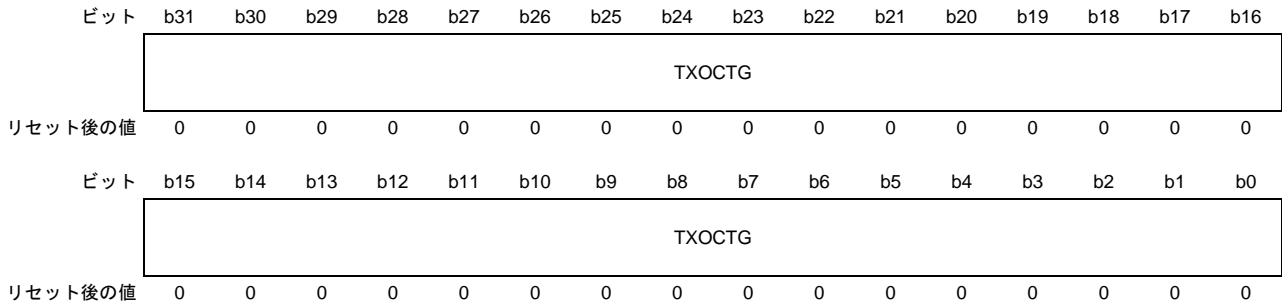


表 6.48 Tx_Octet_Count_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXOCTG	本フィールドは、送信した正常フレームのバイト数を示しています（プリアンブルを除く）。	R

6.4.46 Tx_Frame_Count_Good — 正常フレームの送信フレーム数

アドレス GMAC1 : 4400 0168h
GMAC2 : 4400 2168h



表 6.49 Tx_Frame_Count_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXFRMG	本フィールドは、送信した正常フレームの数を示します（プリアンブルを除く）。	R

6.4.47 Tx_Excessive_Deferral_Error — 過剰延期エラーフレームの送信フレーム数

アドレス GMAC1 : 4400 016Ch
GMAC2 : 4400 216Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXEXSDEF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.50 Tx_Excessive_Deferral_Error レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	TXEXSDEF	本フィールドは、過剰延期エラーによってアボートされたフレーム（最大サイズフレーム時間の 2 倍を超えて延期されたフレーム）の数を示します。	R

6.4.48 Tx_Pause_Frames — 正常 PAUSE フレームの送信フレーム数

アドレス GMAC1 : 4400 0170h
GMAC2 : 4400 2170h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXPAUSE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.51 Tx_Pause_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	TXPAUSE	本フィールドは、送信した正常 PAUSE フレームの数を示します。	R

6.4.49 Tx_VLAN_Frames_Good — 正常 VLAN フレームの送信フレーム数

アドレス GMAC1 : 4400 0174h
GMAC2 : 4400 2174h

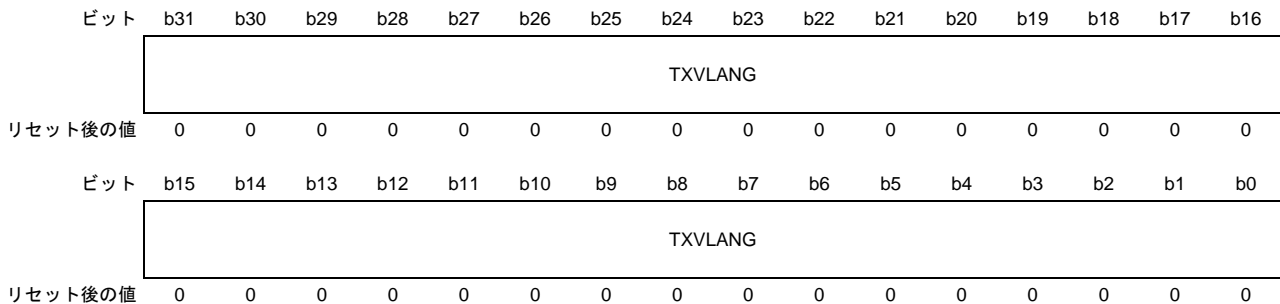


表 6.52 Tx_VLAN_Frames_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXVLANG	本レジスタは、送信した正常 VLAN フレームの数を保持します（リトライしたフレームを除く）。	R

6.4.50 Tx_OSize_Frames_Good — 正常オーバーサイズフレームの送信フレーム数

アドレス GMAC1 : 4400 0178h
GMAC2 : 4400 2178h



表 6.53 Tx_OSize_Frames_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	TXOSIZG	本フィールドは、エラーなしで送信されたフレームのうち、フレーム長が最大サイズ（1,518 バイト、または VLAN タグ付きのフレームの場合は 1,522 バイト、MAC コンフィグレーションレジスタ（MAC_Configuration）のビット 27 でイネーブルされている場合は 2000 バイト）より長いフレームの数を示します。	R

6.4.51 Rx_Frames_Count_Good_Bad — 正常フレームおよび不良フレームの受信フレーム数

アドレス GMAC1 : 4400 0180h
GMAC2 : 4400 2180h

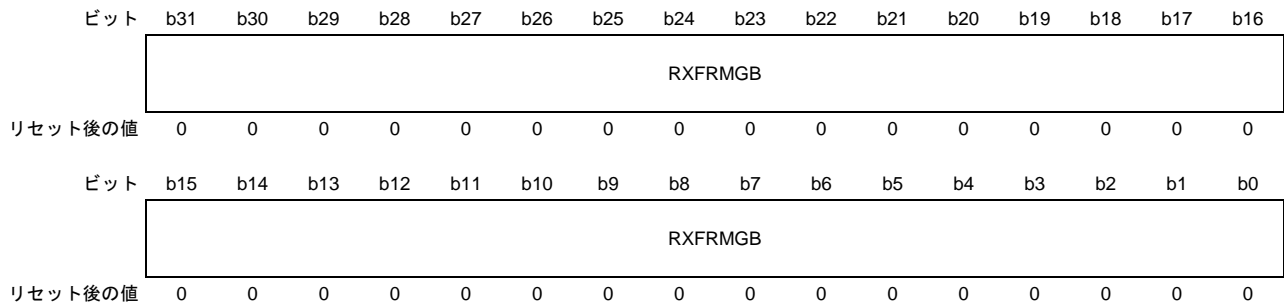


表 6.54 Rx_Frames_Count_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXFRMGB	本フィールドは、受信した正常フレームおよび不良フレームの数を示します。	R

6.4.52 Rx_Octet_Count_Good_Bad — 正常フレームおよび不良フレームの受信オクテット数

アドレス GMAC1 : 4400 0184h
GMAC2 : 4400 2184h

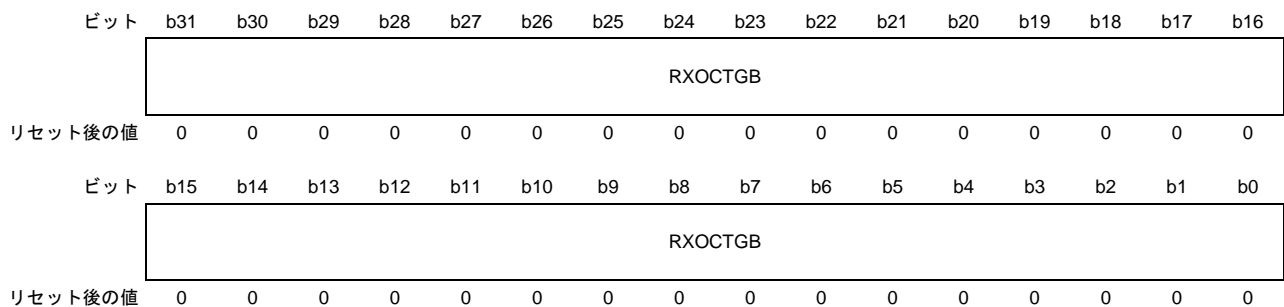


表 6.55 Rx_Octet_Count_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXOCTGB	本フィールドは、受信した正常フレームおよび不良フレームのバイト数を示しています（プリアンブルを除く）。	R

6.4.53 Rx_Octet_Count_Good — 正常フレームの受信オクテット数

アドレス GMAC1 : 4400 0188h
GMAC2 : 4400 2188h



表 6.56 Rx_Octet_Count_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXOCTG	本フィールドは、受信した正常フレームのみのバイト数を示しています（プリアンブルを除く）。	R

6.4.54 Rx_Broadcast_Frames_Good — 正常ブロードキャストフレームの受信フレーム数

アドレス GMAC1 : 4400 018Ch
GMAC2 : 4400 218Ch

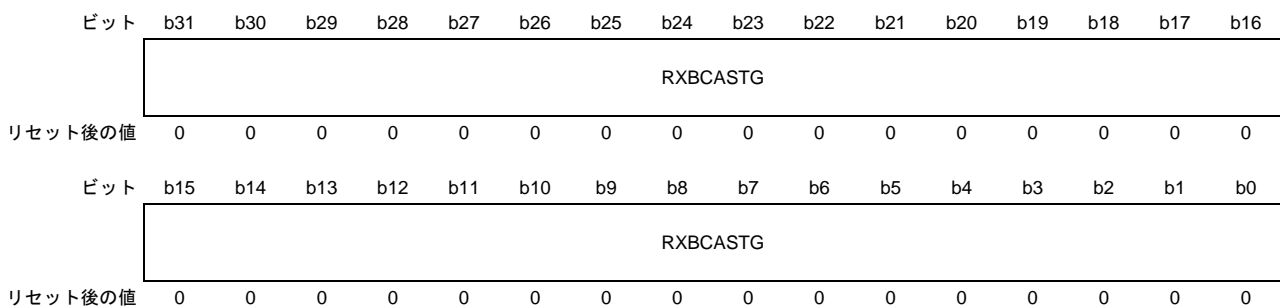


表 6.57 Rx_Broadcast_Frames_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXBCASTG	本フィールドは、受信した正常ブロードキャストフレームの数を示します。	R

6.4.55 Rx_Multicast_Frames_Good — 正常マルチキャストフレームの受信フレーム数

アドレス GMAC1 : 4400 0190h
GMAC2 : 4400 2190h



表 6.58 Rx_Multicast_Frames_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXMCASTG	本フィールドは、受信した正常マルチキャストフレームの数を示します。	R

6.4.56 Rx_CRC_Error_Frames — CRC エラーフレームの受信フレーム数

アドレス GMAC1 : 4400 0194h
GMAC2 : 4400 2194h

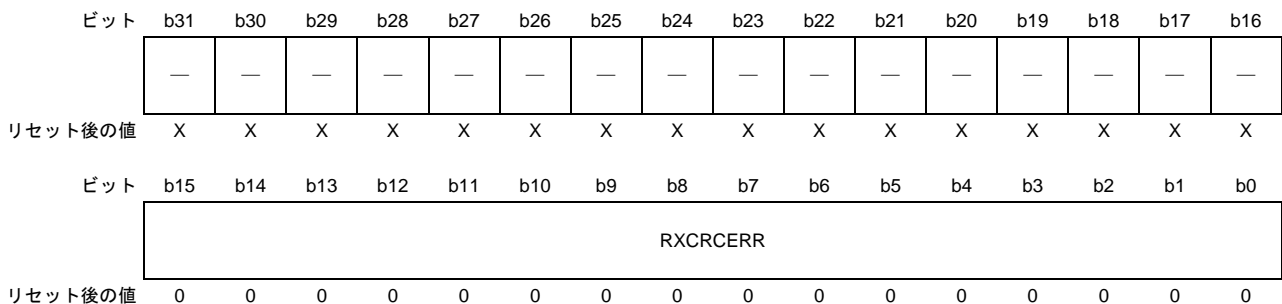


表 6.59 Rx_CRC_Error_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	RXCRCERR	本フィールドは、CRC エラーありで受信したフレームの数を示します。	R

6.4.57 Rx_Alignment_Error_Frames — アライメントエラーフレームの受信フレーム数

アドレス GMAC1 : 4400 0198h
GMAC2 : 4400 2198h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXALGNERR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.60 Rx_Alignment_Error_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	RXALGNERR	本フィールドは、アライメント（ドリブル）エラーありで受信したフレームの数を示します。本フィールドは、10Mbps または 100Mbps モードでのみ有効です。	R

6.4.58 Rx_Runt_Error_Frames — ラントエラーフレームの受信フレーム数

アドレス GMAC1 : 4400 019Ch
GMAC2 : 4400 219Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXRUNTERR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.61 Rx_Runt_Error_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	RXRUNTERR	本フィールドは、ラントエラー（64 バイト未満で CRC エラー）ありで受信したフレームの数を示します。	R

6.4.59 Rx_Jabber_Error_Frames — ジャバエラーフレームの受信フレーム数

アドレス GMAC1 : 4400 01A0h
GMAC2 : 4400 21A0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXJABERR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.62 Rx_Jabber_Error_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	RXJABERR	本フィールドは、長さ（CRC を含む）が 1,518 バイト（VLAN タグ付きの場合 1,522 バイト）を超え、CRC エラーありで受信したジャイアントフレームの数を示します。ジャンボフレームモードが有効である場合、長さが 9,018 バイト（VLAN タグ付きの場合は 9,022 バイト）を超えるフレームはジャイアントフレームとみなされません。	R

6.4.60 Rx_Undersize_Frames_Good — アンダーサイズフレームの受信フレーム数

アドレス GMAC1 : 4400 01A4h
GMAC2 : 4400 21A4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXUNDERSZG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.63 Rx_Undersize_Frames_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	RXUNDERSZG	本フィールドは、エラーなしで受信した、長さ 64 バイト未満のフレームの数を示します。	R

6.4.61 Rx_Oversize_Frames_Good — オーバーサイズフレームの受信フレーム数

アドレス GMAC1 : 4400 01A8h
GMAC2 : 4400 21A8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXOVERSZG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.64 Rx_Oversize_Frames_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	RXOVERSZG	本フィールドは、エラーなしで受信されたフレームのうち、フレーム長が最大サイズ（1,518 バイト、または VLAN タグ付きのフレームの場合は 1,522 バイト、MAC コンフィグレーションレジスタ（MAC_Configuration）のビット 27 でイネーブルされている場合は 2,000 バイト）より長いフレームの数を示します。	R

6.4.62 Rx_64Octets_Frames_Good_Bad — 64 バイトの正常フレームおよび不良フレームの受信フレーム数

アドレス GMAC1 : 4400 01ACh
GMAC2 : 4400 21ACh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RX64OCTGB															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RX64OCTGB															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.65 Rx_64Octets_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RX64OCTGB	本フィールドは、受信した正常フレームおよび不良フレームのうち、（プリアンブルを除く）長さが 64 バイトのフレームの数を示します。	R

6.4.63 Rx_65To127Octets_Frames_Good_Bad — 65～127 バイトの正常フレームおよび不良フレームの受信フレーム数

アドレス GMAC1 : 4400 01B0h
GMAC2 : 4400 21B0h



表 6.66 Rx_65To127Octets_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	RX65_127OCTGB	本フィールドは、受信した正常フレームおよび不良フレームのうち、（プリアンブルを除く）長さが 65 バイト～127 バイトのフレームの数を示します。	R

6.4.64 Rx_128To255Octets_Frames_Good_Bad — 128～255 バイトの正常フレームおよび不良フレームの受信フレーム数

アドレス GMAC1 : 4400 01B4h
GMAC2 : 4400 21B4h

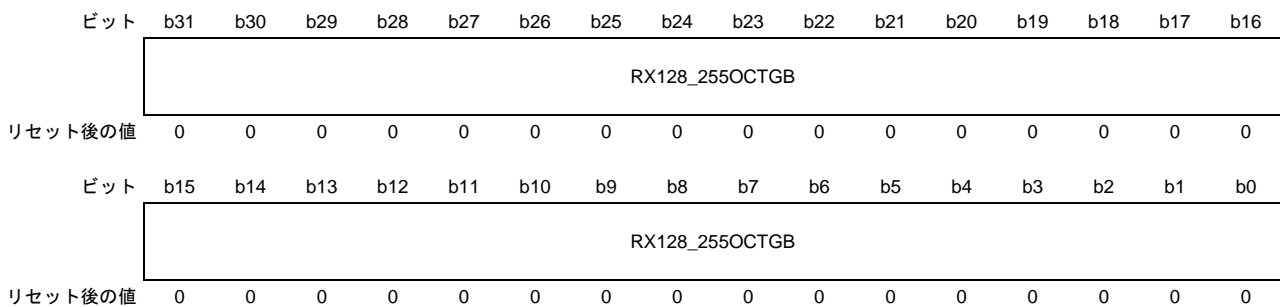


表 6.67 Rx_128To255Octets_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	RX128_255OCTGB	本フィールドは、受信した正常フレームおよび不良フレームのうち、（プリアンブルを除く）長さが 128 バイト～255 バイトのフレームの数を示します。	R

6.4.65 Rx_256To511Octets_Frames_Good_Bad — 256～511 バイトの正常フレームおよび不良フレームの受信フレーム数

アドレス GMAC1 : 4400 01B8h
GMAC2 : 4400 21B8h

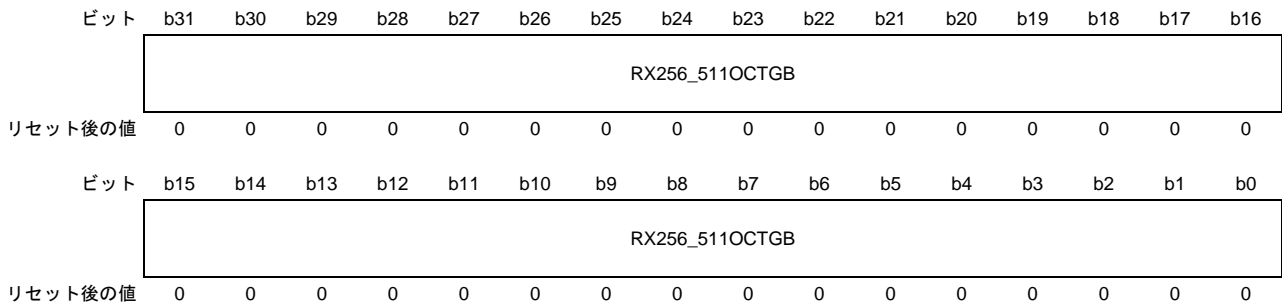


表 6.68 Rx_256To511Octets_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	RX256_511OCTGB	本フィールドは、受信した正常フレームおよび不良フレームのうち、（プリアンブルを除く）長さが 256 バイト～511 バイトのフレームの数を示します。	R

6.4.66 Rx_512To1023Octets_Frames_Good_Bad — 512～1,023 バイトの正常フレームおよび不良フレームの受信フレーム数

アドレス GMAC1 : 4400 01BCh
GMAC2 : 4400 21BCh

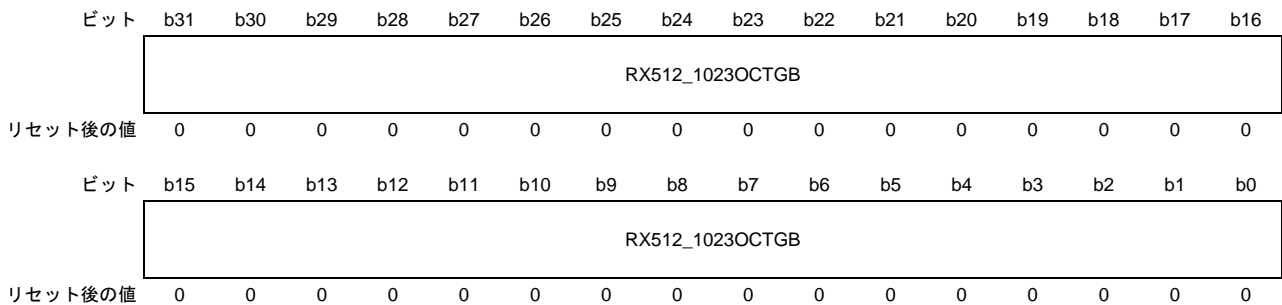


表 6.69 Rx_512To1023Octets_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	RX512_1023OCTGB	本フィールドは、受信した正常フレームおよび不良フレームのうち、（プリアンブルを除く）長さが 512 バイト～1,023 バイトのフレームの数を示します。	R

6.4.67 Rx_1024ToMaxOctets_Frames_Good_Bad — 1,024～最大サイズバイトの正常フレームおよび不良フレームの受信フレーム数

アドレス GMAC1 : 4400 01C0h
GMAC2 : 4400 21C0h

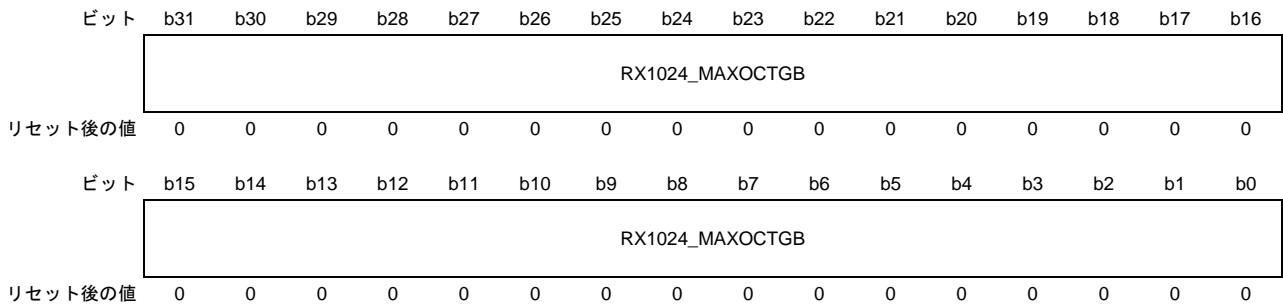


表 6.70 Rx_1024ToMaxOctets_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	RX1024_MAXOCTGB	本フィールドは、受信した正常フレームおよび不良フレームのうち、長さが 1,024 バイト～最大サイズのフレームの数を示します（プリアンブルとリトライしたフレームを除く）。	R

6.4.68 Rx_Unicast_Frames_Good — 正常ユニキャストフレームの受信フレーム数

アドレス GMAC1 : 4400 01C4h
GMAC2 : 4400 21C4h

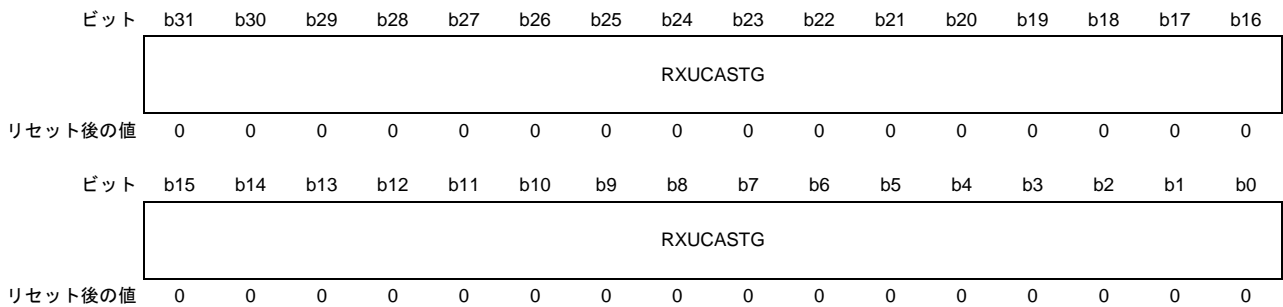


表 6.71 Rx_Unicast_Frames_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	RXUCASTG	本フィールドは、受信した正常ユニキャストフレームの数を示します。	R

6.4.69 Rx_Length_Error_Frames — 長さエラーフレームの受信フレーム数

アドレス GMAC1 : 4400 01C8h
GMAC2 : 4400 21C8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXLENERR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.72 Rx_Length_Error_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	RXLENERR	本フィールドは、受信した有効な長さフィールドを持つすべてのフレームのうち、長さエラー（長さタイプフィールド=フレームサイズでない）が発生したフレームの数を示します。	R

6.4.70 Rx_Out_Of_Range_Type_Frames — 範囲外フレームの受信フレーム数

アドレス GMAC1 : 4400 01CCh
GMAC2 : 4400 21CCh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXOUTOFRNG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.73 Rx_Out_Of_Range_Type_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	RXOUTOFRNG	本フィールドは、受信したフレームのうち、長さフィールドが有効なフレームサイズ（1,500 より大きく 1,536 より小さい）に合致しないフレームの数を示します。	R

6.4.71 Rx_PAUSE_Frames — PAUSE フレームの受信フレーム数

アドレス GMAC1 : 4400 01D0h
GMAC2 : 4400 21D0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXPAUSEFRM															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.74 Rx_PAUSE_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	RXPAUSEFRM	本フィールドは、受信した正常かつ有効な PAUSE フレームの数を示します。	R

6.4.72 Rx_FIFO_Overflow_Frames — FIFO オーバーフローフレームの受信フレーム数

アドレス GMAC1 : 4400 01D4h
GMAC2 : 4400 21D4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXFIFOOVFL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.75 Rx_FIFO_Overflow_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	RXFIFOOVFL	本フィールドは、FIFO オーバーフローによって欠落した受信フレームの数を示します。	R

6.4.73 Rx_VLAN_Frames_Good_Bad — 正常 VLAN フレームおよび不良 VLAN フレームの受信フレーム数

アドレス GMAC1 : 4400 01D8h
GMAC2 : 4400 21D8h

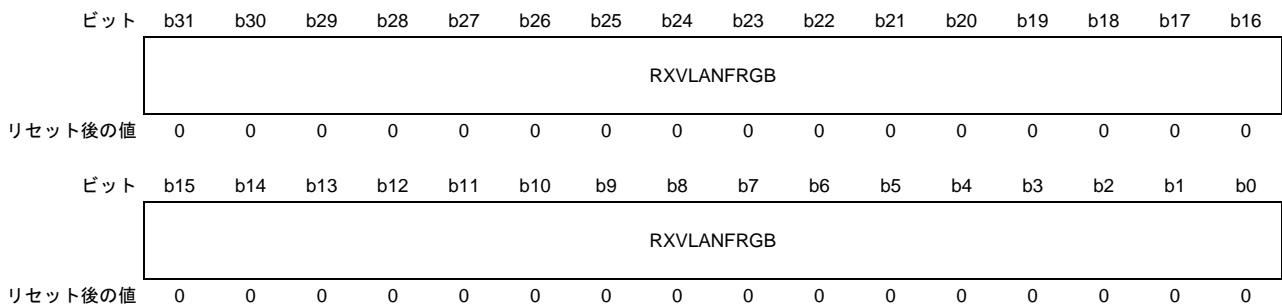


表 6.76 Rx_VLAN_Frames_Good_Bad レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXVLANFRGB	本フィールドは、受信した正常 VLAN フレームおよび不良 VLAN フレームの数を示します。	R

6.4.74 Rx_Watchdog_Error_Frames — ウォッチドッグエラーフレームの受信フレーム数

アドレス GMAC1 : 4400 01DCh
GMAC2 : 4400 21DCh

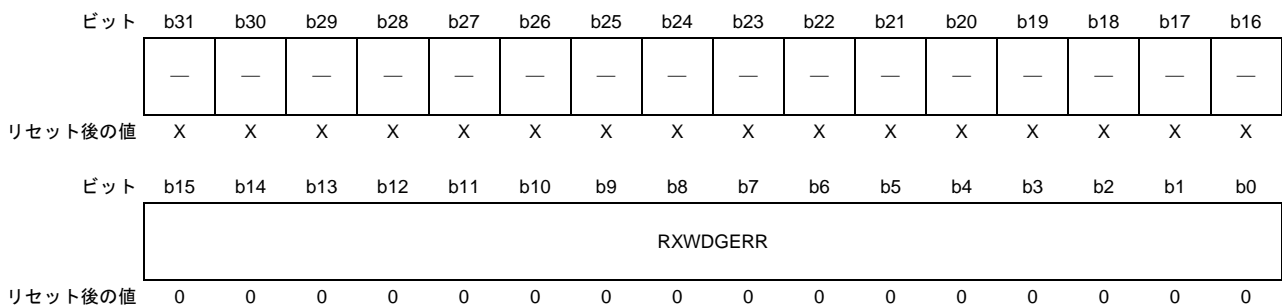


表 6.77 Rx_Watchdog_Error_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	RXWDGERR	本フィールドは、ウォッチドッグタイムアウトエラー（2,048 バイトまたはウォッチドッグタイムアウトレジスタ（WDog_Timeout）でプログラムされた値を超えるフレーム）によりエラーありで受信したフレームの数を示します。	R

6.4.75 Rx_Receive_Error_Frames — 受信エラーフレームの受信フレーム数

アドレス GMAC1 : 4400 01E0h
GMAC2 : 4400 21E0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXRCVERR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.78 Rx_Receive_Error_Frames レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	RXRCVERR	本フィールドは、GMII/MII RXER エラーまたは GMII におけるフレーム拡張エラーによってエラーありで受信したフレームの数を示します。	R

6.4.76 Rx_Control_Frames_Good — 正常コントロールフレームの受信フレーム数

アドレス GMAC1 : 4400 01E4h
GMAC2 : 4400 21E4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RXCTRLG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXCTRLG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.79 Rx_Control_Frames_Good レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXCTRLG	本フィールドは、受信した正常制御フレームの数を示します。	R

6.4.77 Hash_Table_Reg[n] — ハッシュテーブルレジスタ[n] (n=0~7)

アドレス GMAC1 : 4400 0500h+4h×n
GMAC2 : 4400 2500h+4h×n

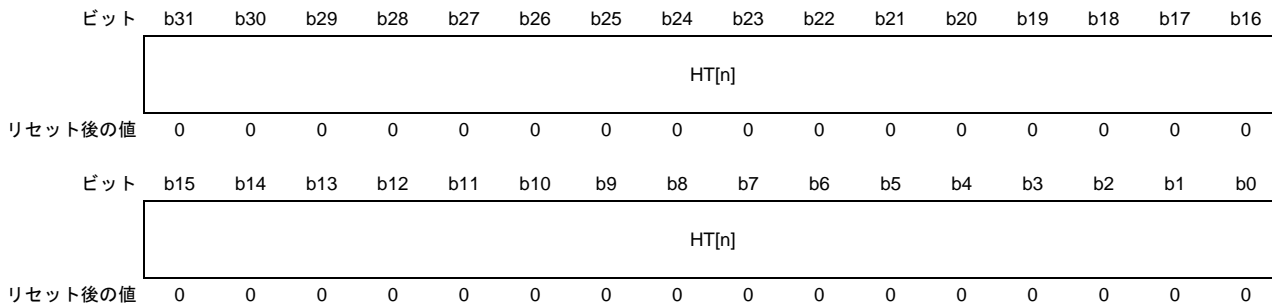


表 6.80 Hash_Table_Reg[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	HT[n]	本フィールドには、ハッシュテーブルの[n]番目の 32 ビット (31:0) が格納されま す。	R/W

6.4.78 VLAN_Hash_Table_Reg — VLAN ハッシュテーブルレジスタ

アドレス GMAC1 : 4400 0588h
GMAC2 : 4400 2588h

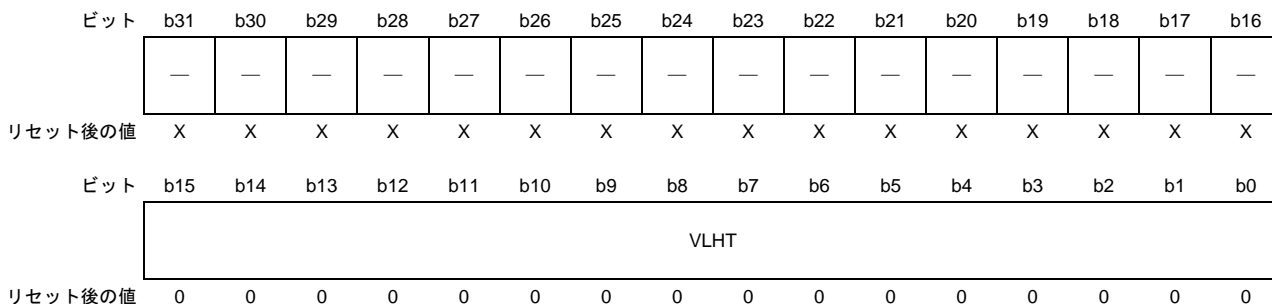


表 6.81 VLAN_Hash_Table_Reg レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R/W
b15~b0	VLHT	VLAN ハッシュテーブル 本フィールドには、16 ビット VLAN ハッシュテーブルが格納されます。	R/W

6.4.79 Timestamp_Control — タイムスタンプコントロールレジスタ

アドレス GMAC1 : 4400 0700h
GMAC2 : 4400 2700h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	ATSEN 0	ATSFC	—	—	—	—	—	TSEN MACADD R	SNAPTYPSEL	
リセット後の値	X	X	X	X	X	X	0	0	X	X	X	X	X	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TSMST RENA	TSEVN TENA	TSIPV4 ENA	TSIPV6 ENA	TSIPEN A	TSVER 2ENA	TSCTR LSSR	TSENA LL	—	—	TSADD REG	TSTRIG	TSUPD T	TSINIT	TSCFU PDT	TSENA
リセット後の値	0	0	1	0	0	0	0	0	X	X	0	0	0	0	0	0

表 6.82 Timestamp_Control レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	予約されています。	R/W
b25	ATSEN0	補助スナップショット 0 イネーブル 本フィールドは、補助スナップショットトリガ 0 のキャプチャを制御します。本ビットがセットされると、MAC_TRIG[m] (GMAC1 : m=1、GMAC2 : m=2) 入力上のイベントの補助スナップショットが有効になります。本ビットがリセットされると、MAC_TRIG[m]入力上のイベントは無視されます。	R/W
b24	ATSFC	補助スナップショット FIFO クリア 本ビットがセットされると、補助スナップショット FIFO のポインタをリセットします。本ビットは、ポインタがリセットされ、FIFO がエンptyになったときにクリアされます。本ビットが High のとき、補助スナップショットが FIFO に格納されず。	R/W
b23~b19	予約ビット	予約されています。	R/W
b18	TSENMACADDR	PTP フレームフィルタリングで MAC アドレスを有効化 本ビットがセットされると、PTP がイーサネット上に直接送信されたとき、(任意の MAC アドレスレジスタとマッチする) DA MAC アドレスを使用して PTP フレームをフィルタリングします。	R/W
b17、b16	SNAPTYPSEL	スナップショットを取得する PTP パケットを選択 本ビットと、ビット 15 およびビット 14 は、スナップショットを取る必要がある PTP パケットタイプのセットを決定します。	R/W
b15	TSMSTRENA	マスタに関連するメッセージでスナップショットを有効化 本ビットがセットされると、マスタノードに関連するメッセージのスナップショットだけが取得されるようになります。本ビットがセットされない場合、スレーブノードに関連するメッセージでスナップショットが取得されます。	R/W
b14	TSEVNTENA	イベントメッセージでタイムスタンプスナップショットを有効化 本ビットがセットされると、イベントメッセージ (SYNC、Delay_Req、Pdelay_Req、または Pdelay_Resp) のタイムスタンプスナップショットだけが取得されるようになります。本ビットがリセットされると、Announce、Management、Signaling を除くすべてのメッセージでスナップショットが取得されます。	R/W
b13	TSIPV4ENA	IPv4-UDP で送信される PTP フレームの処理を有効化 本ビットがセットされると、GMAC レシーバは UDP over IPv4 パケットでカプセル化された PTP パケットを処理します。本ビットがクリアされると、GMAC は UDP-IPv4 パケットで伝送された PTP を無視します。既定の設定では、本ビットはセットされています。	R/W
b12	TSIPV6ENA	IPv6-UDP で送信される PTP フレームの処理を有効化 本ビットがセットされると、GMAC レシーバは UDP over IPv6 パケットでカプセル化された PTP パケットを処理します。本ビットがクリアされると、GMAC は UDP-IPv6 パケットで伝送された PTP を無視します。	R/W

表 6.82 Timestamp_Control レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b11	TSIPENA	PTP over Ethernet フレームの処理を有効化 本ビットがセットされると、GMAC レシーバはイーサネットフレームで直接カプセル化された PTP パケットを処理します。本ビットがクリアされると、GMAC は PTP over Ethernet パケットを無視します。	R/W
b10	TSVER2ENA	バージョン 2 フォーマットの PTP パケットの処理を有効化 本ビットがセットされると、IEEE 1588 バージョン 2 のフォーマットを使用して PTP パケットを処理します。本ビットがセットされない場合、バージョン 1 のフォーマットを使用して PTP パケットを処理します。	R/W
b9	TSCTRLSSR	タイムスタンプデジタルまたはバイナリロールオーバーコントロール 本ビットがセットされると、タイムスタンプ下位レジスタは、0x3B9A_C9FF の値 (1 ナノ秒の精度) になった後ロールオーバーし、タイムスタンプ (High) の秒数をインクリメントします。本ビットがリセットされると、サブセカンドレジスタのロールオーバー値は 0x7FFF_FFFF となります。秒未満のインクリメントは、PTP のリファレンスクロック周波数と本ビットの値に従って正確にプログラムしてください。	R/W
b8	TSEBALL	すべてのフレームでタイムスタンプを有効化 本ビットがセットされると、GMAC で受信したすべてのフレームについてタイムスタンプスナッチショットが有効にします。	R/W
b7、b6	予約ビット	予約されています。	R/W
b5	TSADDREG	加数レジスタ更新 本ビットがセットされると、Fine 補正のためにタイムスタンプ加数レジスタの内容が PTP ブロック内で更新されます。更新が完了したとき、本ビットはクリアされます。本レジスタビットは、セットする前に 0 にする必要があります。本ビットは GMAC1 のみ利用可能です。GMAC2 では予約ビットです。	R/W
b4	TSTRIG	タイムスタンプ割り込みトリガ許可 本ビットがセットされると、システム時間がターゲット時間レジスタに書き込まれている値より大きくなったとき、タイムスタンプ割り込みが生成されます。タイムスタンプトリガ割り込みの生成後、本ビットはリセットされます。 本ビットは GMAC1 のみ利用可能です。GMAC2 では予約ビットです。	R/W
b3	TSUPDT	タイムスタンプ更新 本ビットがセットされると、システム時間は、システム時間 - 秒更新レジスタ (System_Time_Seconds_Update) およびシステム時間 - ナノ秒更新レジスタ (System_time_Nanoseconds_Update) によって指定された値で更新 (加算または減算) されます。 更新する前に本ビットの値が 0 である必要があります。ハードウェアで更新が完了すると、本ビットはリセットされます。 本ビットは GMAC1 のみ利用可能です。GMAC2 では予約ビットです。	R/W
b2	TSINIT	タイムスタンプ初期化 本ビットがセットされると、システム時間は、システム時間 - 秒更新レジスタ (System_Time_Seconds_Update) およびシステム時間 - ナノ秒更新レジスタ (System_time_Nanoseconds_Update) によって指定された値で初期化 (上書き) されます。 更新する前に本ビットの値が 0 である必要があります。初期化が完了すると、本ビットはリセットされます。 本ビットは GMAC1 のみ利用可能です。GMAC2 では予約ビットです。	R/W
b1	TSCFUPDT	タイムスタンプの Fine 更新または Coarse 更新 本ビットがセットされると、システム時間の更新が Fine 更新法を使って行われず。本ビットがリセットされると、システム時間の更新が Coarse 更新法を使って行われます。 本ビットは GMAC1 のみ利用可能です。GMAC2 では予約ビットです。	R/W
b0	TSENA	タイムスタンプイネーブル 本ビットがセットされると、送信フレームおよび受信フレームにタイムスタンプが追加されます。本ビットが無効にされると、送信フレームおよび受信フレームにタイムスタンプは追加されず、タイムスタンプジェネレータも停止されます。本モードを有効にした後、タイムスタンプ (システム時間) を初期化する必要があります。 受信側では、本ビットがセットされているときのみ、GMAC は IEEE 1588 フレームを処理します。	R/W

6.4.80 Sub_Second_Increment — サブセカンドインクリメントレジスタ

アドレス GMAC1 : 4400 0704h
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SSINC							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0

表 6.83 Sub_Second_Increment レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	予約ビット	予約されています。	R/W
b7~b0	SSINC	サブセカンドインクリメント値 本フィールドでプログラムされた値は、クロックサイクル (GMAC_PTP_REFCLK_I) ごとに、サブセカンドレジスタの内容により累積されます。たとえば、PTP クロックが 50MHz (周期が 20ns) で、システム時間ナノ秒レジスタの精度が 1ns (TCTRLSSR ビットがセットされている) の場合、20 (0x14) をプログラムしてください。TCTRLSSR がクリアされると、ナノ秒レジスタの分解能は約 0.465ns になります。その場合は、43 (0x2B) の値 (20ns/0.465 で計算される) をプログラムしてください。	R/W

6.4.81 System_Time_Seconds — システム時間 - 秒レジスタ

アドレス GMAC1 : 4400 0708h
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TSS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.84 System_Time_Seconds レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TSS	タイムスタンプ秒 本フィールドの値は、GMAC に保持されているシステム時間の秒の現在値を示します。	R

6.4.82 System_Time_Nanoseconds — システム時間 - ナノ秒レジスタ

アドレス GMAC1 : 4400 070Ch
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSSS															
リセット後の値	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TSSS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.85 System_Time_Nanoseconds レジスタの内容

ビット位置	ビット名	機能	R/W
b31	予約ビット	予約されています。	R
b30~b0	TSSS	タイムスタンプサブセカンド 本フィールドの値は、時間の秒未満の表現であり、精度は 0.46ns です。タイムスタンプコントロールレジスタ (Timestamp_Control) でビット 9 (TSCTRLSSR) がセットされているとき、各ビットは 1ns を表し、最大値は 0x3B9A_C9FF で、それを超えるとロールオーバーして 0 に戻ります。	R

6.4.83 System_Time_Seconds_Update — システム時間 - 秒更新レジスタ

アドレス GMAC1 : 4400 0710h
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TSS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.86 System_Time_Seconds_Update レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TSS	タイムスタンプ秒 本フィールドの値は、初期化またはシステム時間に追加される秒単位の時間を示します。	R/W

6.4.84 System_Time_Nanoseconds_Update — システム時間 - ナノ秒更新レジスタ

アドレス GMAC1 : 4400 0714h
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ADDSUB	TSSS														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TSSS															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.87 System_Time_Nanoseconds_Update レジスタの内容

ビット位置	ビット名	機能	R/W
b31	ADDSUB	時間の加算または減算 本ビットがセットされると、時間値から更新レジスタの内容が減算されます。本ビットがリセットされると、時間値に更新レジスタの内容が加算されます。	R/W
b30~b0	TSSS	タイムスタンプサブセカンド 本フィールドの値は、時間の秒未満の表現であり、精度は 0.46ns です。タイムスタンプコントロールレジスタ (Timestamp_Control) でビット 9 (TSCTRLSSR) がセットされているとき、各ビットは 1ns を表し、プログラムする値は 0x3B9A_C9FF を超えてはいけません。	R/W

6.4.85 Timestamp_Addend — タイムスタンプ加数レジスタ

アドレス GMAC1 : 4400 0718h
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSAR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TSAR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.88 Timestamp_Addend レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TSAR	タイムスタンプ加数レジスタ 本フィールドは、時間同期のためにアキュムレータに加算される 32 ビットの時間値を示します。	R/W

6.4.86 Target_Time_Seconds — ターゲット時間 - 秒レジスタ

アドレス GMAC1 : 4400 071Ch
GMAC2 : 予約

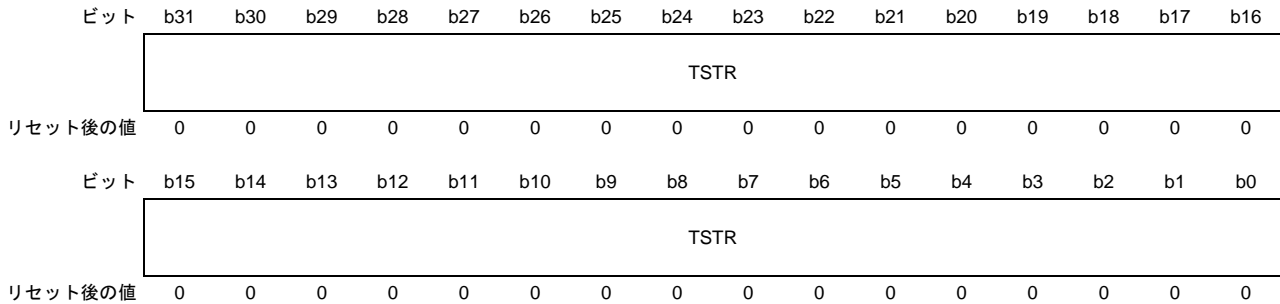


表 6.89 Target_Time_Seconds レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TSTR	ターゲット時間 - 秒レジスタ 本レジスタは、時間を秒単位で保存します。タイムスタンプ値が両方のターゲットタイムスタンプレジスタの値と一致するかそれを超えているとき、PPS コントロールレジスタ (PPS_Control) のビット[6:5]に基づいて、GMAC は PPS 信号出力を開始または停止して、(許可されている場合) 割り込みを生成します。	R/W

6.4.87 Target_Time_Nanoseconds — ターゲット時間 - ナノ秒レジスタ

アドレス GMAC1 : 4400 0720h
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TRGTBUSY	TTSLO														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TTSLO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.90 Target_Time_Nanoseconds レジスタの内容

ビット位置	ビット名	機能	R/W
b31	TRGTBUSY	<p>ターゲット時間レジスタビジー</p> <p>PPS コントロールレジスタ (PPS_Control) の PPSCMD フィールド (ビット[3:0]) が 3'b010 または 3'b011 にプログラムされているとき、GMAC は本ビットをセットします。PPSCMD フィールドを 3'b010 または 3'b011 にプログラムすることで、ターゲット時間レジスタを PTP クロックドメインに同期するよう、GMAC に指示することができます。</p> <p>ターゲット時間レジスタを PTP クロックドメインに同期した後、GMAC は本ビットをクリアします。本ビットの値が 1 であるとき、アプリケーションはターゲット時間レジスタを更新しないでください。もし更新した場合、前にプログラムされた時間の同期が壊れてしまいます。</p>	R
b30~b0	TTSLO	<p>ターゲットタイムスタンプ下位レジスタ</p> <p>本レジスタは、時間を (符号付き) ナノ秒で格納します。タイムスタンプの値が両方のターゲットタイムスタンプレジスタの値と一致している場合、PPS コントロールレジスタ (PPS_Control) の TRGTMODSEL0 フィールド (ビット[6:5]) に基づいて、GMAC は PPS 信号出力を開始または停止して、(許可されている場合) 割り込みを生成します。</p> <p>タイムスタンプコントロールレジスタで TSCTRLSSR がセットされているとき、本値は 0x3B9A_C9FF を超えてはいけません。PPS 信号出力の実際の開始時間および停止時間は、サブセカンドインクリメント値の 1 単位分までの誤差マージンを持つことがあります。</p>	R/W

6.4.88 Timestamp_Status — タイムスタンプステータスレジスタ

アドレス GMAC1 : 4400 0728h
GMAC2 : 4400 2728h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ATSNS				ATSSTM	—	—	—	—	ATSSTN				
リセット後の値	X	X	0	0	0	0	0	0	X	X	X	X	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	TSTRG TERR1	TSTAR GT1	TSTRG TERR	AUXTS TRIG	TSTAR GT	TSSOV F
リセット後の値	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0	0

表 6.91 Timestamp_Status レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット	予約されています。	R
b29~b25	ATSNS	補助タイムスタンプスナップショット数 本フィールドは、FIFO で利用できるスナップショットの数を示します。値が選択した FIFO 容量 (4) に等しい場合、補助スナップショット FIFO がフルであることを示します。補助スナップショット FIFO クリアビットがセットされると、これらのビットは (5'b00000) にクリアされます。	R
b24	ATSSTM	補助タイムスタンプスナップショットトリガ失敗 本ビットがセットされるのは、補助タイムスタンプスナップショット FIFO がフルで、外部トリガがセットされたときです。これは、最新のスナップショットが FIFO に格納されていないことを示します。	R
b23~b20	予約ビット	予約されています。	R
b19~b16	ATSSTN	補助タイムスタンプスナップショットトリガ識別子 これらのビットは、補助スナップショットレジスタで利用可能なタイムスタンプが適用可能な補助トリガ入力を識別します。2 つ以上のビットが同時にセットされた場合、対応する補助トリガが同じクロックでサンプリングされたことを示します。これらのビットは、補助スナップショットが 2 以上の場合のみ有効です。次のリストに示すように、各トリガに 1 つのビットが割り当てられています。 ビット 16 : 補助トリガ 0 ビット 17 : 補助トリガ 1 (未使用) ビット 18 : 補助トリガ 2 (未使用) ビット 19 : 補助トリガ 3 (未使用) ソフトウェアは本レジスタを読み出すことで、タイムスタンプ取得時にセットされているトリガを検索できます。	R
b15~b6	予約ビット	予約されています。	R
b5	TSTRGTERR1	タイムスタンプターゲット時間エラー PPS1 ターゲット時間 - 秒レジスタ (PPS1_Target_Time_Seconds) および PPS1 ターゲット時間 - ナノ秒レジスタ (PPS1_Target_Time_Nanoseconds) でプログラムされたターゲット時間が既に経過したとき、本ビットはセットされます。本ビットはアプリケーションによって読み出されるとクリアされます。 本ビットは GMAC1 のみ利用可能です。GMAC2 では予約ビットです。	R
b4	TSTARGT1	ターゲット時間 PPS1 のタイムスタンプターゲット時間到達 本ビットがセットされると、システム時間の値が PPS1 ターゲット時間 - 秒レジスタ (PPS1_Target_Time_Seconds) および PPS1 ターゲット時間 - ナノ秒レジスタ (PPS1_Target_Time_Nanoseconds) で指定された値を超えているか、またはそれと一致していることを示します。 本ビットは GMAC1 のみ利用可能です。GMAC2 では予約ビットです。	R

表 6.91 Timestamp_Status レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b3	TSTRGTERR	タイムスタンプターゲット時間エラー 本ビットは、ターゲット時間レジスタでプログラムされたターゲット時間が既に経過したときにセットされます。本ビットはアプリケーションによって読み出されるとクリアされます。 本ビットは GMAC1 のみ利用可能です。GMAC2 では予約ビットです。	R
b2	AUXSTRIG	補助タイムスタンプトリガスナップショット 本ビットは、補助スナップショットが FIFO に書き込まれると High にセットされません。	R
b1	TSTARGT	タイムスタンプターゲット時間到達 本ビットがセットされると、システム時間の値がターゲット時間 - 秒レジスタ (Target_Time_Seconds) およびターゲット時間 - ナノ秒レジスタ (Target_Time_Nanoseconds) で指定された値を超えているか、またはそれと一致していることを示します。 本ビットは GMAC1 のみ利用可能です。GMAC2 では予約ビットです。	R
b0	TSSOVF	タイムスタンプ秒オーバーフロー 本ビットがセットされると、(バージョン 2 フォーマットをサポートしているとき) タイムスタンプの秒の値が 32'hFFFF_FFFF を超えてオーバーフローしたことを示します。 本ビットは GMAC1 のみ利用可能です。GMAC2 では予約ビットです。	R

6.4.89 PPS_Control — PPS コントロールレジスタ

アドレス GMAC1 : 4400 072Ch
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TRGTMODSEL3	—	—	—	PPSCMD3	—	—	—	TRGTMODSEL2	—	—	—	—	PPSCMD2	
リセット後の値	X	0	0	X	X	0	0	0	X	0	0	X	X	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	TRGTMODSEL1	—	—	—	PPSCMD1	—	—	—	TRGTMODSEL0	PPSEN0	0	—	—	PPSCTRL_PPSCMD	
リセット後の値	X	0	0	X	X	0	0	0	X	0	0	0	0	0	0	0

表 6.92 PPS_Control レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b31	予約ビット	予約されています。	R
b30~b29	TRGTMODSEL3	PPS3 出力のターゲット時間レジスタモード 本フィールドは使用されません。	R
b28、b27	予約ビット	予約されています。	R
b26~b24	PPSCMD3	フレキシブル PPS3 出力コントロール 本フィールドは使用されません。	R
b23	予約ビット	予約されています。	R
b22、b21	TRGTMODSEL2	PPS2 出力のターゲット時間レジスタモード 本フィールドは使用されません。	R
b20、b19	予約ビット	予約されています。	R
b18~b16	PPSCMD2	フレキシブル PPS2 出力コントロール 本フィールドは使用されません。	R
b15	予約ビット	予約されています。	R
b14、b13	TRGTMODSEL1	PPS1 出力のターゲット時間レジスタモード 本フィールドは、PPS1 出力信号のターゲット時間レジスタモードを示します。 本フィールドは、TRGTMODSEL0 フィールドと同様です。	R/W
b12、b11	予約ビット	予約されています。	R
b10~b8	PPSCMD1	フレキシブル PPS1 出力コントロール 本フィールドは、フレキシブル PPS1 出力 (MAC_PPS[1]) 信号を制御します。本フィールドは、機能的に PPSCMD0[2:0]と同様です。	R/W
b7	予約ビット	予約されています。	R
b6、b5	TRGTMODSEL0	PPS0 出力のターゲット時間レジスタモード 本フィールドは、PPS0 出力信号のターゲット時間レジスタモードを示します。 2'b00 : ターゲット時間レジスタが割り込みイベント生成のみのためにプログラムされていることを示します。 2'b01 : 予約 2'b10 : ターゲット時間レジスタが割り込みイベントを生成するため、および PPS0 出力信号の生成を開始または停止するためにプログラムされていることを示します。 2'b11 : ターゲット時間レジスタが PPS0 出力信号の生成の開始または停止のみのためにプログラムされていることを示します。割り込みはアサートされません。	R/W
b4	PPSEN0	フレキシブル PPS 出力モードイネーブル Low にセットされると、ビット[3:0]は PPSCTRL として機能します (下位互換)。 High にセットされると、ビット[3:0]は PPSCMD として機能します。	R/W

表 6.92 PPS_Control レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b3~b0	PPSCTRL_PPSCMD	<p>PPSCTRL0 または PPSCMD0</p> <p>PPSCTRL0 : PPS0 出力周波数コントロール</p> <p>本フィールドは、PPS0 出力 (MAC_PPS[0]) 信号の周波数を制御します。PPSCTRL のデフォルト値は 4'b0000 で、PPS 出力は毎秒 (幅 GMAC_PTP_REFCLK_I) の 1 パルスです。PPSCTRL が他の値のときは、PPS 出力は次の周波数の生成クロックになります。</p> <p>4'b0001 : バイナリロールオーバーは 2Hz、デジタルロールオーバーは 1Hz です。</p> <p>4'b0010 : バイナリロールオーバーは 4Hz、デジタルロールオーバーは 2Hz です。</p> <p>4'b0011 : バイナリロールオーバーは 8Hz、デジタルロールオーバーは 4Hz です。</p> <p>4'b0100 : バイナリロールオーバーは 16Hz、デジタルロールオーバーは 8Hz です。</p> <p>...</p> <p>4'b1111 : バイナリロールオーバーは 32.768KHz、デジタルロールオーバーは 16.384KHz です。</p> <p>備考)</p> <p>バイナリロールオーバーモードでは、これらの周波数における PPS 出力 (MAC_PPS) のデューティサイクルは 50% です。デジタルロールオーバーモードでは、PPS 出力周波数は平均値です。実際のクロックは周波数が異なり、1 秒ごとに同期されます。</p> <p>【例】</p> <ul style="list-style-type: none"> PPSCTRL=4'b0001 のとき、PPS (1Hz) は Low 期間が 537ms で、High 期間が 463ms です。 PPSCTRL=4'b0010 のとき、PPS (2Hz) は以下のシーケンスになります。 <ul style="list-style-type: none"> 1 つ目のクロックは 50% デューティサイクル、期間が 537ms 2 つ目のクロックは期間が 463ms (Low 期間が 268ms、High 期間が 195ms) PPSCTRL=4'b0011 のとき、PPS (4Hz) は以下のシーケンスになります。 <ul style="list-style-type: none"> 3 つ目のクロックは、50% デューティサイクル、期間が 268ms 4 つ目のクロックは期間が 195ms (Low 期間が 134ms、High 期間が 61ms) <p>この動作は、システム時間 - ナノ秒レジスタ (System_Time_Nanoseconds) でのデジタルロールオーバーモードにおけるビットのノンリニアなトグルによるものです。</p> <p>PPSCMD0 : フレキシブル PPS0 出力 (MAC_PPS[0]) コントロール</p> <p>これらのビットを 0 以外の値にプログラムすることで、GMAC にイベントを開始するよう命令できます。コマンドが転送されるか、PTP クロックドメインに同期されると、これらのビットは自動的にクリアされます。これらのビットがすべて 0 のときのみ、ソフトウェアがこれらのビットをプログラムするように注意してください。以下のリストは PPSCMD0 の値を説明します。</p> <p>4'b0000 : コマンドなし</p> <p>4'b0001 : シングルパルス開始</p> <p>本コマンドは、ターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) で定義された開始点から、PPS0 幅レジスタで定義された時間だけ立ち上がるシングルパルスを生成します。</p> <p>4'b0010 : パルストレイン開始</p> <p>本コマンドは、ターゲット時間レジスタで定義された開始点から、PPS0 幅レジスタで定義された時間だけ立ち上がり、PPS インターバルレジスタで定義された間隔で繰り返すパルストレインを生成します。デフォルトでは、PPS パルストレインは「パルストレインを時間に停止」コマンドまたは「パルストレインを即時停止」コマンドで停止されない限り、フリーラン状態となります。</p> <p>4'b0011 : 開始をキャンセル</p> <p>本コマンドは、システム時間がプログラムされた開始時間を過ぎていない場合に、シングルパルス開始コマンドおよびパルストレイン開始コマンドをキャンセルします。</p>	R/W

表 6.92 PPS_Control レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
		<p>4'b0100 : パルストレインを時間に停止 本コマンドは、ターゲット時間レジスタでプログラムされた時間が経過した後、パルストレイン開始コマンド (PPSCMD=0010) で開始されたパルストレインを停止します。4'b0101 : パルストレインを即時停止 本コマンドは、パルストレイン開始コマンド (PPSCMD=0010) で開始されたパルストレインを即時停止します。</p> <p>4'b0110 : パルストレイン停止をキャンセル 本コマンドは、プログラムされた停止時間が経過していない場合に、パルストレインを時間に停止コマンドをキャンセルします。このコマンドが正常に実行されると、PPS パルストレインはフリーラン状態となります。</p> <p>4'b0111-4'b1111 : 予約</p>	

6.4.90 Auxiliary_Timestamp_Nanoseconds — 補助タイムスタンプ - ナノ秒レジスタ

アドレス GMAC1 : 4400 0730h
GMAC2 : 4400 2730h



表 6.93 Auxiliary_Timestamp_Nanoseconds レジスタの内容

ビット位置	ビット名	機能	R/W
b31	予約ビット	予約されています。	R
b30~b0	AUXTSLO	補助タイムスタンプの下位 32 ビット (ナノ秒フィールド) を含みます。	R

6.4.91 Auxiliary_Timestamp_Seconds — 補助タイムスタンプ - 秒レジスタ

アドレス GMAC1 : 4400 0734h
GMAC2 : 4400 2734h

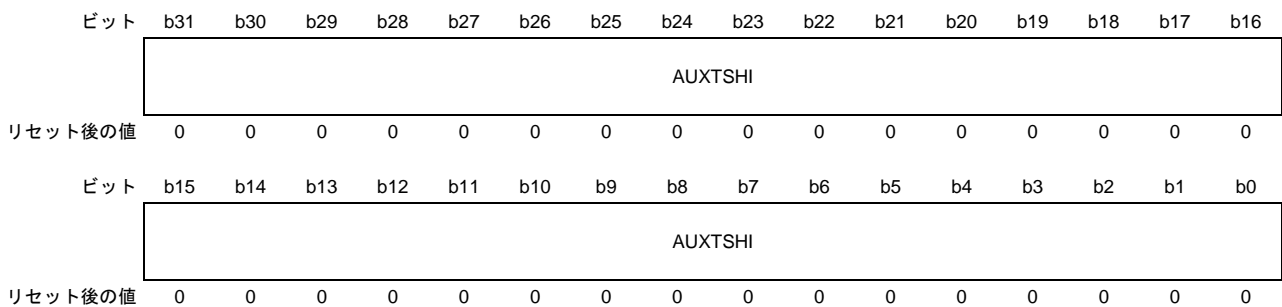


表 6.94 Auxiliary_Timestamp_Seconds レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	AUXTSHI	補助タイムスタンプの上位 32 ビット (秒フィールド) を含みます。	R

6.4.92 PPS0_Interval — PPS0 インターバルレジスタ

アドレス GMAC1 : 4400 0760h
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PPSINT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PPSINT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.95 PPS0_Interval レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PPSINT	PPS0 出力信号の間隔 これらのビットは、PPS0 信号出力の立ち上がりエッジ間の間隔をサブセカンドインクリメント値として格納します。 要求される間隔よりも 1 つ小さい値をプログラムしてください。たとえば、PTP リファレンスクロックが 50MHz（周期が 20ns）で、要求される PPS0 信号出力の立ち上がりエッジ間の間隔が 100ns（つまり、サブセカンドインクリメント値の 5 単位分）の場合、本レジスタには値 4（5-1）をプログラムしてください。	R/W

6.4.93 PPS0_Width — PPS0 幅レジスタ

アドレス GMAC1 : 4400 0764h
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PPSWIDTH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PPSWIDTH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.96 PPS0_Width レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PPSWIDTH	PPS0 出力信号の幅 これらのビットは、PPS0 信号出力の立ち上がりエッジと対応する立ち下がりエッジ間の幅をサブセカンドインクリメント値として格納します。 要求される間隔よりも 1 つ小さい値をプログラムしてください。たとえば、PTP リファレンスクロックが 50MHz（周期が 20ns）で、要求される PPS0 信号出力の立ち上がりエッジと立ち下がりエッジ間の幅が 80ns（つまり、サブセカンドインクリメント値の 4 単位分）の場合、本レジスタには値 3（4-1）をプログラムしてください。 備考 本レジスタには、PPS0 インターバルレジスタ（PPS0_Interval）にプログラムした値よりも小さい値をプログラムする必要があります。	R/W

6.4.94 PPS1_Target_Time_Seconds — PPS1 ターゲット時間 - 秒レジスタ

アドレス GMAC1 : 4400 0780h
GMAC2 : 予約

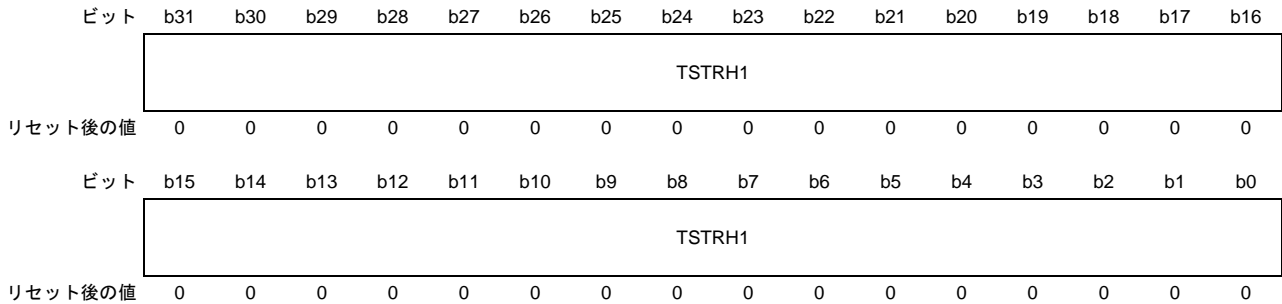


表 6.97 PPS1_Target_Time_Seconds レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TSTRH1	PPS1 ターゲット時間 - 秒レジスタ 本レジスタは、時間を秒単位で保存します。タイムスタンプ値が両方のターゲットタイムスタンプレジスタの値と一致するかそれを超えているとき、PPS コントロールレジスタ (PPS_Control) のビット[14:13]、TRGTMODSEL1 に基づいて、GMAC は PPS 信号出力を開始または停止して、(許可されている場合) 割り込みを生成します。	R/W

6.4.95 PPS1_Target_Time_Nanoseconds — PPS1 ターゲット時間 - ナノ秒レジスタ

アドレス GMAC1 : 4400 0784h
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TRGTBUSY1	TTSL1														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TTSL1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.98 PPS1_Target_Time_Nanoseconds レジスタの内容

ビット位置	ビット名	機能	R/W
b31	TRGTBUSY1	PPS1 ターゲット時間レジスタ ビジー PPS コントロールレジスタ (PPS_Control) の PPSCMD1 フィールド (ビット [10:8]) が 3'b010 または 3'b011 にプログラムされているとき、GMAC は本ビットをセットします。 PPSCMD1 フィールドを 3'b010 または 3'b011 にプログラムすることで、ターゲット時間レジスタを PTP クロックドメインに同期するよう、GMAC に指示することができます。 ターゲット時間レジスタを PTP クロックドメインに同期した後、GMAC は本ビットをクリアします。本ビットの値が 1 であるとき、アプリケーションはターゲット時間レジスタを更新しないでください。もし更新した場合、前にプログラムされた時間の同期が壊れてしまいます。	R/W
b30~b0	TTSL1	PPS1 レジスタのターゲット時間 Low 本レジスタは、時間を (符号付き) ナノ秒で格納します。タイムスタンプの値が両方のタイムスタンプレジスタの値と一致している場合、PPS コントロールレジスタ (PPS_Control) の TRGTMODSEL1 フィールド (ビット [14:13]) に基づいて、GMAC は PPS 信号出力を開始または停止して、(許可されている場合) 割り込みを生成します。 タイムスタンプコントロールレジスタ (Timestamp_Control) でビット 9 (TCTRLSSR) がセットされているとき、本値は 0x3B9A_C9FF を超えてはいけません。 PPS 信号出力の実際の開始時間および停止時間は、サブセカンドインクリメント値の 1 単位分までの誤差マージンを持つことがあります。	R/W

6.4.96 PPS1_Interval — PPS1 インターバルレジスタ

アドレス GMAC1 : 4400 0788h
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PPSINT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PPSINT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.99 PPS1_Interval レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PPSINT	PPS1 出力信号の間隔 これらのビットは、PPS1 信号出力の立ち上がりエッジ間の間隔をサブセカンドインクリメント値として格納します。 要求される間隔よりも 1 つ小さい値をプログラムしてください。たとえば、PTP リファレンスクロックが 50MHz（周期が 20ns）で、要求される PPS1 信号出力の立ち上がりエッジ間の間隔が 100ns（つまり、サブセカンドインクリメント値の 5 単位分）の場合、本レジスタには値 4（5-1）をプログラムしてください。	R/W

6.4.97 PPS1_Width — PPS1 幅レジスタ

アドレス GMAC1 : 4400 078Ch
GMAC2 : 予約

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PPSWIDTH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PPSWIDTH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.100 PPS1_Width レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PPSWIDTH	PPS1 出力信号の幅 これらのビットは、PPS1 信号出力の立ち上がりエッジと対応する立ち下がりエッジ間の幅をサブセカンドインクリメント値として格納します。 要求される間隔よりも 1 つ小さい値をプログラムしてください。たとえば、PTP リファレンスクロックが 50MHz（周期が 20ns）で、要求される PPS1 信号出力の立ち上がりエッジと立ち下がりエッジ間の幅が 80ns（つまり、サブセカンドインクリメント値の 4 単位分）の場合、本レジスタには値 3（4-1）をプログラムしてください。 備考 本レジスタには、PPS1 インターバルレジスタ（PPS1_Interval）にプログラムした値よりも小さい値をプログラムする必要があります。	R/W

6.4.98 Bus_Mode — バスモードレジスタ

アドレス GMAC1 : 4400 1000h
GMAC2 : 4400 3000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RIB	—	PRWG	TXPR	MB	AAL	PBLx8	USP	RPBL						FB	
リセット後の値	0	X	0	0	0	0	0	0	0	0	0	0	0	0	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PR		PBL					ATDS	DSL					DA	SWR	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

表 6.101 Bus_Mode レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	RIB	INCRx パーストを再構築 本フィールドは予約されており、読み出し専用 (RO) です。	R
b30	予約ビット	予約されています。	R
b29、b28	PRWG	チャンネルプライオリティの重み 本フィールドは予約されており、読み出し専用 (RO) です。	R
b27	TXPR	送信優先 本ビットは予約ビットで、読み出し専用 (RO) です。	R
b26	MB	混合パースト 本ビットは予約ビットで、読み出し専用 (RO) です。	R
b25	AAL	アドレスアライメントビット 本ビットが High にセットされ、FB ビットが 1 のとき、AXI インタフェースは、すべてのパーストを開始アドレスの LS ビットにアライメントさせます。FB ビットが 0 の場合、(データバッファの開始アドレスにアクセスする) 最初のパーストはアライメントされませんが、後続のパーストはアドレスにアライメントされます。	R/W
b24	PBLx8	PBLx8 モード 本ビットが High にセットされると、プログラムされた PBL 値 (ビット[22:17]およびビット[13:8]) を 8 倍にします。そのため、DMA は、PBL 値に従って 8、16 ビートでデータを転送します。動作の最大は 16 ビートとなります。	R/W
b23	USP	個別の PBL を使用 本ビットが High にセットされると、ビット[22:17]で設定されている値を PBL として使用するよう Rx DMA を設定します。ビット[13:8]の PBL 値は、Tx DMA 動作にのみ適用されます。 本ビットが Low にリセットされると、ビット[13:8]の PBL 値が両方の DMA エンジンに適用されます。	R/W
b22~b17	RPBL	Rx DMA の PBL 本フィールドは、1 回の Rx DMA トランザクションで転送されるビートの最大数を示します。これは、シングルブロックの読み出しまたは書き込みで使用される最大値です。 Rx DMA は、ホストバス上でパースト転送を開始するたびに、常に RPBL ビットで指定されたとおりパーストを試みます。RPBL は、1、2、4、8、および 16 の値にプログラム可能です。これ以外の値を指定したときの動作は未定義です。 本フィールドは、USP が High にセットされたときのみ有効で、適用可能です。	R/W
b16	FB	固定長パースト 本ビットは、AXI マスタインタフェースが固定長パースト転送を行うかどうかを制御します。本ビットがセットされると、AXI インタフェースは、通常のパースト転送の開始中に、SINGLE、INCR4、INCR8、または INCR16 のみを使用します。本ビットがリセットされると、AXI インタフェースは SINGLE および INCR パースト転送動作を使用します。 詳細については、AXI バスモードレジスタのビット 0 (UNDEF) を参照してください。	R/W

表 6.101 Bus_Mode レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b15、b14	PR	プライオリティ比 これらのビットは予約ビットで、読み出し専用 (RO) です。	R
b13~b8	PBL	プログラマブルバースト長 これらのビットは、1 回の DMA トランザクションで転送されるビートの最大数を示します。これは、シングルブロックの読み出しまたは書き込みで使用される最大値です。DMA は、ホストバス上でバースト転送を開始するたびに、常に PBL で指定されたとおりバーストを試みます。PBL はプログラム可能で、許容される値は 1、2、4、8、および 16 です。これ以外の値を指定したときの動作は未定義です。USP が High にセットされているとき、本 PBL 値は Tx DMA トランザクションのみに適用されます。	R/W
b7	ATDS	エンハンスドディスクリプタサイズ 本ビットがセットされると、エンハンスドディスクリプタのサイズが 32 バイト (8 DWORD) に増加します。 本ビットがリセットされると、ディスクリプタサイズは 4 DWORD (16 バイト) に戻ります。	R/W
b6~b2	DSL	ディスクリプタスキップ長 本ビットは、2 つのチェーンされていないディスクリプタの間でスキップする Word (32 ビット) の数を指定します。アドレススキップは、現在のディスクリプタの終わりから、次のディスクリプタの始めまで行われます。リングモードで、DSL 値が 0 のとき、DMA はディスクリプタテーブルが隣接しているものとみなします。	R/W
b1	DA	DMA アービトレーションスキーム このビットは予約ビットで、読み出し専用 (RO) です。	R
b0	SWR	ソフトウェアリセット 本ビットがセットされると、MAC DMA コントローラは GMAC のロジックおよびすべての内部レジスタをリセットします。本ビットは、すべての GMAC クロックドメインでリセット動作が完了した後、自動的にクリアされます。GMAC のいずれかのレジスタを再プログラムするときは、本ビットの値が 0 である必要があります。 備考) <ul style="list-style-type: none"> ソフトウェアリセット機能は本ビットによって動作します。 リセット動作は、すべてのアクティブクロックドメインにおけるすべてのリセットがデアサートされたときのみ完了します。したがって、ソフトウェアリセットが完了するためには、(選択した PHY インタフェースに適用される) すべての PHY 入カクロックが存在することが不可欠です。 ソフトウェアリセット動作を完了するまでにかかる時間は、最も低速なアクティブクロックの周波数によって決まります。 	R/W

6.4.99 Transmit_Poll_Demand — 送信ポーリング要求レジスタ

アドレス GMAC1 : 4400 1004h
GMAC2 : 4400 3004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TPD															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TPD															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.102 Transmit_Poll_Demand レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TPD	送信ポーリング要求 これらのビットに何らかの値が書き込まれたとき、DMA はカレントホスト送信ディスクリプタレジスタ (Current_Host_Transmit_Descriptor) によって指示されている現在のディスクリプタを読み出します。そのディスクリプタが利用できない場合 (ホストによって所有されている場合)、送信は Suspend ステートに戻り、ステータスレジスタ (Status) のビット 2 (TU) がアサートされます。ディスクリプタが利用できる場合、送信が再開されます。	R/W

6.4.100 Receive_Poll_Demand — 受信ポーリング要求レジスタ

アドレス GMAC1 : 4400 1008h
GMAC2 : 4400 3008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RPD															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RPD															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.103 Receive_Poll_Demand レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RPD	受信ポーリング要求 これらのビットに何らかの値が書き込まれたとき、DMA はカレントホスト受信ディスクリプタレジスタ (Current_Host_Receive_Descriptor) によって指示されている現在のディスクリプタを読み出します。そのディスクリプタが利用できない場合 (ホストによって所有されている場合)、受信は Suspend ステートに戻り、ステータスレジスタ (Status) のビット 7 (RU) はアサートされません。ディスクリプタが利用できる場合、Rx DMA はアクティブ状態に戻ります。	R/W

6.4.101 Receive_Descriptor_List_Address — 受信ディスクリプタリストアドレスレジスタ

アドレス GMAC1 : 4400 100Ch
GMAC2 : 4400 300Ch

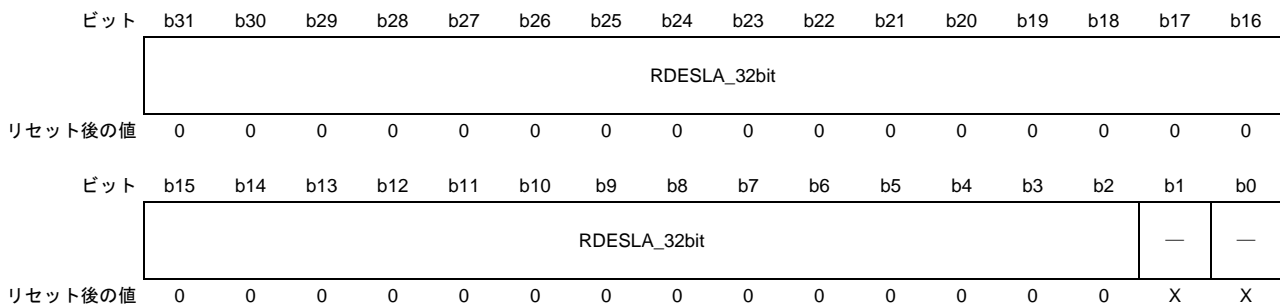


表 6.104 Receive_Descriptor_List_Address レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b2	RDESLA_32bit	受信リストの開始 本フィールドには、受信ディスクリプタリスト内の最初のディスクリプタのベースアドレスが含まれます。	R/W
b1、b0	予約ビット	32 ビットバス幅の LSB ビット (1:0) は無視され、DMA はこれを内部的にすべて 0 であるものとみなします。したがって、これらの LSB ビットは読み出し専用 (RO) となります。	R

6.4.102 Transmit_Descriptor_List_Address — 送信ディスクリプタリストアドレスレジスタ

アドレス GMAC1 : 4400 1010h
GMAC2 : 4400 3010h

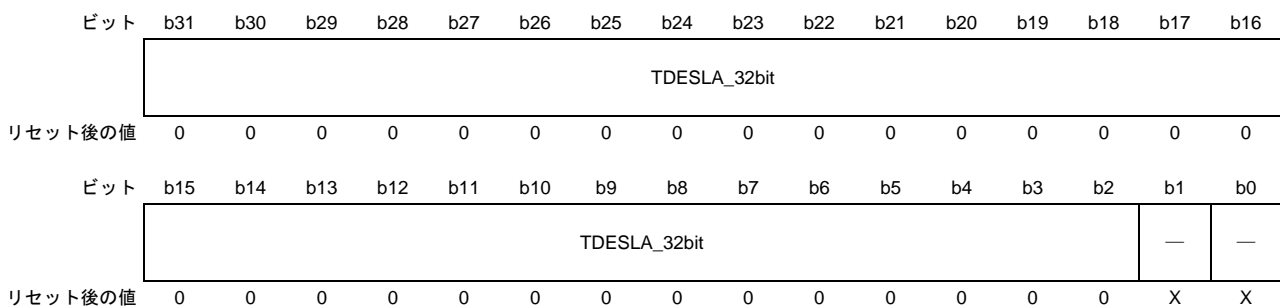


表 6.105 Transmit_Descriptor_List_Address レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b2	TDESLA_32bit	送信リストの開始 本フィールドには、送信ディスクリプタリスト内の最初のディスクリプタのベースアドレスが含まれます。	R/W
b1、b0	予約ビット	32 ビットバス幅の LSB ビット (1:0) は無視され、DMA はこれを内部的にすべて 0 であるものとみなします。したがって、これらの LSB ビットは読み出し専用 (RO) となります。	R

6.4.103 Status — ステータスレジスタ

アドレス GMAC1 : 4400 1014h
GMAC2 : 4400 3014h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	GLPII	TTI	GPI	GMI	—	EB		TS		RS		NIS			
リセット後の値	X	0	0	0	0	X	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AIS	ERI	FBI	—	—	ETI	RWT	RPS	RU	RI	UNF	OVF	TJT	TU	TPS	TI
リセット後の値	0	0	0	X	X	0	0	0	0	0	0	0	0	0	0	0

表 6.106 Status レジスタの内容 (1/4)

ビット位置	ビット名	機能	R/W
b31	予約ビット	予約されています。	R
b30	GLPII	GMAC LPI 割り込み 本ビットは、GMAC の LPI ロジック内の割り込みイベントを示します。本ビットを 1'b0 にリセットするには、ソフトウェアは GMAC 内の対応するレジスタを読み出し、割り込みの正確な原因を突き止め、その原因を除去してください。本ビットが High のとき、GMAC からの割り込み信号 (GMAC[m]_SBD_Int) も High になります。	R
b29	TTI	タイムスタンプトリガ割り込み 本ビットは、GMAC のタイムスタンプジェネレータブロック内の割り込みイベントを示します。本ビットを 1'b0 にリセットするには、ソフトウェアは GMAC 内の対応するレジスタを読み出し、割り込みの正確な原因を突き止め、その原因を除去してください。本ビットが High のとき、GMAC サブシステムからの割り込み信号 (GMAC[m]_SBD_Int) も High になります。	R
b28	GPI	GMAC PMT 割り込み 本ビットは、GMAC の PMT モジュール内の割り込みイベントを示します。本ビットを 1'b0 にリセットするには、ソフトウェアは GMAC 内の PMT コントロール&ステータスレジスタを読み出し、割り込みの正確な原因を突き止め、その原因を除去してください。本ビットが High のとき、GMAC サブシステムからの割り込み信号 (GMAC[m]_SBD_Int) も High になります。 備考) GPI および GMAC[m]_PMT_Int 割り込みは、異なるクロックドメインで生成されます。	R
b27	GMI	GMAC MMC 割り込み 本ビットは、GMAC の MMC モジュール内の割り込みイベントを反映します。本ビットを 1'b0 にするには、ソフトウェアは GMAC 内の対応するレジスタを読み出し、割り込みの正確な原因を突き止め、その割り込み原因を除去してください。本ビットが High のとき、GMAC サブシステムからの割り込み信号 (GMAC[m]_SBD_Int) も High になります。	R
b26	予約ビット	予約されています。	R

表 6.106 Status レジスタの内容 (2/4)

ビット位置	ビット名	機能	R/W
b25~b23	EB	<p>エラービット</p> <p>本フィールドは、バスエラー (AXI インタフェース上のエラー応答など) の原因となったエラーのタイプを示します。本フィールドは、ビット 13 (FBI) がセットされているときのみ有効です。本フィールドは割り込みを生成しません。</p> <p>3'b000 : Rx DMA 書き込みデータ転送中のエラー 3'b001 および 3'b010 : 予約 3'b011 : Tx DMA 読み出しデータ転送中のエラー 3'b100 : Rx DMA ディスクリプタ書き込みアクセス中のエラー 3'b101 : Tx DMA ディスクリプタ書き込みアクセス中のエラー 3'b110 : Rx DMA ディスクリプタ読み出しアクセス中のエラー 3'b111 : Tx DMA ディスクリプタ読み出しアクセス中のエラー</p>	R
b22~b20	TS	<p>送信プロセスのステート</p> <p>本フィールドは、送信 DMA の FSM 状態を示します。本フィールドは割り込みを生成しません。</p> <p>3'b000 : Stopped - リセットまたは送信停止コマンドの発行 3'b001 : Running - 送信転送ディスクリプタ取り込み中 3'b010 : Running - ステータス待ち 3'b011 : Running - ホストメモリバッファからのデータを読み出しおよび送信バッファ (Tx FIFO) へのキューイング 3'b100 : TIME_STAMP 書き込みステート 3'b101 : 将来のため予約 3'b110 : Suspended - 送信ディスクリプタ利用不能または送信バッファアンダーフロー 3'b111 : Running - 送信ディスクリプタ終了中</p>	R
b19~b17	RS	<p>受信プロセスのステート</p> <p>本フィールドは、受信 DMA の FSM 状態を示します。本フィールドは割り込みを生成しません。</p> <p>3'b000 : Stopped - リセットまたは受信停止コマンドの発行 3'b001 : Running - 受信転送ディスクリプタ取り込み中 3'b010 : 将来のため予約 3'b011 : Running - 受信パケット待ち 3'b100 : Suspended : 受信ディスクリプタ利用不能 3'b101 : Running - 受信ディスクリプタ終了中 3'b110 : TIME_STAMP 書き込みステート 3'b111 : Running - 受信バッファからホストメモリへ受信パケットデータ転送中</p>	R
b16	NIS	<p>正常割り込みサマリ</p> <p>正常割り込みサマリのビット値は、対応する割り込みビットが割り込み許可レジスタ (Interrupt_Enable) で有効になっているときの次のビットの論理和です。</p> <ul style="list-style-type: none"> Interrupt_Enable [0] : 送信割り込み Interrupt_Enable [2] : 送信バッファ利用不能 Interrupt_Enable [6] : 受信割り込み Interrupt_Enable [14] : 早期受診割り込み <p>マスクされていないビット (割り込み許可レジスタ (Interrupt_Enable) で割り込み許可がセットされている割り込み) のみが、正常割り込みサマリビットに影響します。</p> <p>これはスティッキービットであり、NIS がセットされる原因となった対応するビットをクリアするたびに、(本ビットに 1 を書き込んで) クリアしてください。</p>	R/W

表 6.106 Status レジスタの内容 (3/4)

ビット位置	ビット名	機能	R/W
b15	AIS	<p>異常割り込みサマリ</p> <p>異常割り込みサマリのビット値は、対応する割り込みビットが割り込み許可レジスタ (Interrupt_Enable) で許可されているときの次のビットの論理和です。</p> <ul style="list-style-type: none"> • Interrupt_Enable [1]: 送信プロセス停止 • Interrupt_Enable [3]: 送信ジャバertimeアウト • Interrupt_Enable [4]: 受信 FIFO オーバーフロー • Interrupt_Enable [5]: 送信アンダーフロー • Interrupt_Enable [7]: 受信バッファ利用不能 • Interrupt_Enable [8]: 受信プロセス停止 • Interrupt_Enable [9]: 受信ウォッチドッグタイムアウト • Interrupt_Enable [10]: 早期送信割り込み • Interrupt_Enable [13]: 致命的バスエラー <p>マスクされていないビットのみが異常割り込みサマリビットに影響します。 これはスティッキービットであり、AIS がセットされる原因となった対応するビットをクリアするたびに、クリアしてください。</p>	R/W
b14	ERI	<p>早期受信割り込み</p> <p>本ビットは、DMA がパケットの最初のデータバッファを充填したことを示します。本ビットは、ソフトウェアが本ビットに 1 を書き込んだとき、または本レジスタのビット 6 (RI) がセットされたとき、(いずれか先に発生した方によって) クリアされます。</p>	R/W
b13	FBI	<p>致命的バスエラー割り込み</p> <p>本ビットは、ビット[25:23]に示すバスエラーが発生したことを示します。本ビットがセットされると、対応する DMA エンジンに、そのすべてのバスアクセスを無効にします。</p>	R/W
b12、b11	予約ビット	予約されています。	R
b10	ETI	<p>早期送信割り込み</p> <p>本ビットは、送信するフレームが MTL 送信 FIFO に完全に転送されたことを示します。</p>	R/W
b9	RWT	<p>受信ウォッチドッグタイムアウト</p> <p>本ビットがセットされると、現在のフレームを受信中に受信ウォッチドッグタイムの期限が切れ、現在のフレームはウォッチドッグタイムアウト後切り捨てられることを示します。</p>	R/W
b8	RPS	<p>受信プロセス停止</p> <p>本ビットは、受信プロセスが Stopped ステートに入るとアサートされます。</p>	R/W
b7	RU	<p>受信バッファ利用不能</p> <p>本ビットは、受信リスト内の次のディスクリプタがホストによって所有されているため、DMA がそれを取得できないことを示します。受信プロセスは Suspended ステートになります。受信ディスクリプタの処理を再開するには、ホストがディスクリプタの所有権を変更し、受信ポーリング要求コマンドを発行する必要があります。受信ポーリング要求が発行されない場合、受信プロセスは、次の受信フレームが受信されたときに再開します。本ビットは、前の受信ディスクリプタが DMA によって所有されている場合のみセットされます。</p>	R/W
b6	RI	<p>受信割り込み</p> <p>本ビットは、フレーム受信が完了したことを示します。受信が完了すると、最後のディスクリプタで RDES1 (完了時割り込み禁止) のビット 31 がリセットされ、そのディスクリプタで特定のフレームステータス情報が更新されます。 受信は Running ステートのままです。</p>	R/W
b5	UNF	<p>送信アンダーフロー</p> <p>本ビットは、送信バッファがフレーム送信中にアンダーフローになったことを示します。送信は中断され、アンダーフローエラー TDES0[1]がセットされます。</p>	R/W
b4	OVF	<p>受信オーバーフロー</p> <p>本ビットは、受信バッファがフレーム受信中にオーバーフローになったことを示します。部分フレームがアプリケーションに転送された場合、RDES0[11]にオーバーフローステータスがセットされます。</p>	R/W

表 6.106 Status レジスタの内容 (4/4)

ビット位置	ビット名	機能	R/W
b3	TJT	送信ジャバertimeアウト 本ビットは、送信ジャバertimeの期限が切れたことを示します。これは、フレームサイズが 2,048 (ジャンボフレーム有効時 10,240 バイト) を超えたときに起こりません。ジャバertimeアウトが発生すると、送信プロセスはアボートされ、Stopped ステートになります。それによって、送信ジャバertimeアウト TDES0[14]フラグがアサートされます。	R/W
b2	TU	送信バッファ利用不能 本ビットは、送信リスト内の次のディスクリプタがホストによって所有されているため、DMA がそれを取得できないことを示します。送信は中断されます。ビット [22:20]が送信プロセスの状態遷移を示します。 送信ディスクリプタの処理を再開するには、ホストが TDES0[31]をセットしてディスクリプタの所有権を変更してから、送信ポーリング要求コマンドを発行する必要があります。	R/W
b1	TPS	送信プロセス停止 本ビットは、送信が停止されたときにセットされます。	R/W
b0	TI	送信割り込み 本ビットは、フレーム送信が完了したことを示します。送信が完了すると、TDES0 のビット 31 (OWN) がリセットされ、ディスクリプタで特定のフレームステータス情報が更新されます。	R/W

6.4.104 Operation_Mode — 動作モードレジスタ

アドレス GMAC1 : 4400 1018h
GMAC2 : 4400 3018h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	DT	RSF	—	—	—	TSF	FTF	—	—	—	TTC
リセット後の値	X	X	X	X	X	0	0	X	X	X	0	0	X	X	X	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TTC	ST	RFD	RFA	EFC	FEF	FUF	DGF	RTC	OSF	SR	—				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X

表 6.107 Operation_Mode レジスタの内容 (1/3)

ビット位置	ビット名	機能	R/W
b31~b27	予約ビット	予約されています。	R
b26	DT	TCP/IP チェックサムエラーフレームのドロップをディスエーブル 本ビットがセットされると、GMAC は受信チェックサムオフロードエンジンによるエラー検出のみのフレームをドロップしません。このようなフレームは、GMAC が受信したイーサネットフレーム内には（FCS エラーも含め）いかなるエラーも含まず、カプセル化されたペイロードにのみエラーが含まれています。本ビットがリセットされると、FEF ビットがリセットされている場合にすべてのエラーフレームがドロップされます。	R/W
b25	RSF	受信ストア&フォワード 本ビットがセットされると、フレーム全体が Rx FIFO に書き込まれた後のみ、MTL は Rx FIFO からフレームを読み出し、RTC ビットを無視します。本ビットがリセットされると、Rx FIFO はカットスルーモードで動作し、RTC ビットによって指定されたしきい値に従います。	R/W
b24~b22	予約ビット	予約されています。	R/W
b21	TSF	送信ストア&フォワード 本ビットがセットされると、フレーム全体が MTL 送信 FIFO にあるときに送信が開始されます。本ビットがセットされると、ビット[16:14]に指定された TTC 値は無視されます。本ビットは、送信が停止されたときのみ変更できます。	R/W
b20	FTF	送信 FIFO フラッシュ 本ビットがセットされると、送信 FIFO コントローラロジックがそのデフォルト値にリセットされ、それにより Tx FIFO 内のすべてのデータが消失、またはフラッシュされます。本ビットは、フラッシュ動作が完了したときに内部的にクリアされます。本ビットがクリアされるまでは動作モードレジスタに書き込みを行わないでください。GMAC トランスミッタによって既に受け付けられたデータはフラッシュされません。これが送信用にスケジュールされることで、アンダーフローが起こり、ラントフレームが送信されます。 備考) フラッシュ動作は、Tx FIFO の内容がエンプティになり、送信フレームのすべての保留中送信ステータスがホストによって受け付けられたときにのみ完了します。このフラッシュ動作を完了するには、PHY 送信クロックがアクティブになっている必要があります。	R/W
b19~b17	予約ビット	予約されています。	R

表 6.107 Operation_Mode レジスタの内容 (2/3)

ビット位置	ビット名	機能	R/W
b16~b14	TTC	<p>送信しきい値コントロール</p> <p>これらのビットは、MTL 送信 FIFO のしきい値レベルを制御します。MTL 送信 FIFO 内のフレームサイズがしきい値よりも大きいとき、送信が開始されます。また、全体の長さがしきい値より短いフレームも送信されます。これらのビットは、ビット 21 (TSF) がリセットされているときのみ使用されます。</p> <p>3'b000 : 64 3'b001 : 128 3'b010 : 192 3'b011 : 256 3'b100 : 40 3'b101 : 32 3'b110 : 24 3'b111 : 16</p>	R/W
b13	ST	<p>送信開始または停止コマンド</p> <p>本ビットがセットされると、送信が Running ステートに入り、DMA が、送信するフレームの現在の位置で送信リストをチェックします。リスト内の現在の位置 (送信ディスクリプタリストアドレスレジスタ (Transmit_Descriptor_List_Address) によって設定される送信リストベースアドレス)、または前に送信が停止したときに保持された位置のいずれかから、ディスクリプタ取得が試みられます。現在のディスクリプタが DMA によって所有されていない場合、送信は Suspended ステートに入り、ステータスレジスタ (Status) のビット 2 (送信バッファ利用不能) がセットされず。送信開始コマンドは、送信が停止されているときのみ有効です。送信ディスクリプタリストアドレスレジスタ (Transmit_Descriptor_List_Address) をセットする前に本コマンドが発行された場合の DMA の動作は予測不能です。</p> <p>本ビットがリセットされると、現在のフレームの送信完了後、送信プロセスは Stopped ステートに入ります。送信リスト内の次のディスクリプタの位置が保存され、それが送信再開時の現在の位置になります。リストアドレスを変更するには、本ビットがリセットされているときに、送信ディスクリプタリストアドレスレジスタ (Transmit_Descriptor_List_Address) に新しい値をプログラムする必要があります。その新しい値は、本ビットが再びセットされたときに考慮されます。送信停止コマンドは、現在のフレームの送信が完了済みか、送信が Suspended ステートであるときのみ有効です。</p>	R/W
b12, b11	RFD	<p>フローコントロール非アクティブ化しきい値 (半二重および全二重)</p> <p>これらのビットは、フローコントロールをアクティブ後にデアサートするしきい値 (Rx FIFO のフィルレベル) を制御します。</p> <p>2'b00 : フルより 1KB 小さい値、つまり、FULL-1KB 2'b01 : フルより 2KB 小さい値、つまり、FULL-2KB 2'b10 : フルより 3KB 小さい値、つまり、FULL-3KB 2'b11 : フルより 4KB 小さい値、つまり、FULL-4KB</p> <p>デアサートはフローコントロールがアサートされた後のみ有効です。</p> <p>備考) フローコントロールを適切に行うため、RFD フィールドにプログラムする値は、RFA フィールドにプログラムする値と同じか、それより大きくしてください。</p>	R/W
b10, b9	RFA	<p>フローコントロールアクティブ化しきい値 (半二重および全二重)</p> <p>これらのビットは、フローコントロールをアクティブ化するしきい値 (Rx FIFO のフィルレベル) を制御します。</p> <p>2'b00 : フルより 1KB 小さい値、つまり、FULL-1KB 2'b01 : フルより 2KB 小さい値、つまり、FULL-2KB 2'b10 : フルより 3KB 小さい値、つまり、FULL-3KB 2'b11 : 設定禁止</p> <p>これらの値は、ビット 8 (EFC) が High にセットされているときのみ適用されません。</p>	R/W
b8	EFC	<p>HW フローコントロールをイネーブル</p> <p>本ビットがセットされると、Rx FIFO のフィルレベルに基づくフローコントロール信号動作が有効になります。本ビットがリセットされると、フローコントロール動作が無効になります。</p>	R/W

表 6.107 Operation_Mode レジスタの内容 (3/3)

ビット位置	ビット名	機能	R/W
b7	FEF	エラーフレームを転送 本ビットがリセットされると、Rx FIFO はエラーステータス (CRC エラー、コリジョンエラー、GMII_RXER、ジャイアントフレーム、ウォッチドッグタイムアウト、またはオーバーフロー) が付いているフレームをドロップします。ただし、フレームの開始バイト (書き込み) ポインタが (しきい値モードで) 既に読み出しコントローラ側に転送されている場合、フレームはドロップされません。 FEF ビットがセットされると、ラントエラーフレームを除くすべてのフレームが DMA に転送されます。ビット 25 (RSF) がセットされ、部分フレームの書き込みにより Rx FIFO がオーバーフローした場合は、FEF ビットの設定にかかわらず、フレームはドロップされます。ただし、ビット 25 (RSF) がリセットされ、部分フレームの書き込みにより Rx FIFO がオーバーフローした場合は、部分フレームが DMA に転送されることがあります。	R/W
b6	FUF	アンダーサイズ正常フレームの転送 セットされると、Rx FIFO は、パディングバイトと CRC を含むアンダーサイズフレーム (エラーを含まず、長さが 64 バイト未満のフレーム) を転送します。 リセットされると、受信しきい値の値が小さいために (例: RTC=2'b01) フレームが既に転送されていない限り、Rx FIFO は 64 バイト未満のすべてのフレームをドロップします。	R/W
b5	DGF	ジャイアントフレームをドロップ セットされると、GMAC は Rx FIFO で受信したジャイアントフレーム (計算されたジャイアントフレーム制限よりも大きなフレーム) をドロップします。リセットされると、GMAC は Rx FIFO 内のジャイアントフレームをドロップしません。	R/W
b4、b3	RTC	受信しきい値コントロール この 2 ビットは、MTL 受信 FIFO のしきい値レベルを制御します。MTL 受信 FIFO 内のフレームサイズがしきい値よりも大きいとき、DMA への転送 (リクエスト) が開始されます。また、全体の長さがしきい値より短いフレームも自動的に転送されません。 これらのビットは、RSF ビットが 0 のときのみ有効で、RSF ビットが 1 にセットされているときは無視されます。 2'b00 : 64 2'b01 : 32 2'b10 : 96 2'b11 : 128	R/W
b2	OSF	2 番目のフレームで動作 本ビットがセットされると、最初のフレームのステータスがまだ取得されていない場合でも、送信データの 2 番目のフレームを処理するよう DMA に指示します。	R/W
b1	SR	受信開始または停止 本ビットがセットされると、受信プロセスが Running ステートに入ります。DMA は、受信リストからディスクリプタを取得し、受信フレームの処理を試みます。リスト内の現在の位置 (受信ディスクリプタリストアドレスレジスタ (Receive_Descriptor_List_Address) によって設定されるアドレス) または前に受信プロセスが停止したときに保持された位置から、ディスクリプタ取得が試みられます。ディスクリプタが DMA によって所有されていない場合、受信は中断され、ステータスレジスタ (Status) のビット 7 (受信バッファ利用不能) がセットされます。受信開始コマンドは、受信が停止されているときのみ有効です。受信ディスクリプタリストアドレスレジスタ (Receive_Descriptor_List_Address) をセットする前に本コマンドが発行された場合の DMA の動作は予測不能です。 本ビットがクリアされると、現在のフレームの転送後に、Rx DMA 動作が停止されません。受信リスト内の次のディスクリプタの位置が保存され、それが受信プロセス再開時の現在の位置になります。受信停止コマンドは、受信プロセスが Running ステート (受信パケット待ち) もしくは Suspended ステートのいずれかのときのみ有効です。	R/W
b0	予約ビット	予約されています。	R

6.4.105 Interrupt_Enable — 割り込み許可レジスタ

アドレス GMAC1 : 4400 101Ch
GMAC2 : 4400 301Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NIE
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AIE	ERE	FBE	—	—	ETE	RWE	RSE	RUE	RIE	UNE	OVE	TJE	TUE	TSE	TIE
リセット後の値	0	0	0	X	X	0	0	0	0	0	0	0	0	0	0	0

表 6.108 Interrupt_Enable レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b17	予約ビット	予約されています。	R
b16	NIE	正常割り込みサマリ許可 本ビットがセットされると、正常割り込みサマリが許可されます。本ビットがリセットされると、正常割り込みサマリが禁止されます。本ビットは、ステータスレジスタで次の割り込みを許可します。 <ul style="list-style-type: none"> ステータス [0] : 送信割り込み ステータス [2] : 送信バッファ利用不能 ステータス [6] : 受信割り込み ステータス [14] : 早期受信割り込み 	R/W
b15	AIE	異常割り込みサマリ許可 本ビットがセットされると、異常割り込みサマリが許可されます。本ビットがリセットされると、異常割り込みサマリが禁止されます。本ビットは、ステータスレジスタで次の割り込みを許可します。 <ul style="list-style-type: none"> ステータス [1] : 送信プロセス停止 ステータス [3] : 送信ジャバertimeアウト ステータス [4] : 受信オーバーフロー ステータス [5] : 送信アンダーフロー ステータス [7] : 受信バッファ利用不能 ステータス [8] : 受信プロセス停止 ステータス [9] : 受信ウォッチドッグタイムアウト ステータス [10] : 早期送信割り込み ステータス [13] : 致命的バスエラー 	R/W
b14	ERE	早期受信割り込み許可 正常割り込みサマリ許可（ビット 16）とともに本ビットがセットされると、早期受信割り込みが許可されます。本ビットがリセットされると、早期受信割り込みが禁止されます。	R/W
b13	FBE	致命的バスエラー許可 異常割り込みサマリ許可（ビット 15）とともに本ビットがセットされると、致命的バスエラー割り込みが許可されます。本ビットがリセットされると、致命的バスエラー割り込みが禁止されます。	R/W
b12, b11	予約ビット	予約されています。	R
b10	ETE	早期送信割り込み許可 異常割り込みサマリ許可（ビット 15）とともに本ビットがセットされると、早期送信割り込みが許可されます。本ビットがリセットされると、早期送信割り込みが禁止されます。	R/W
b9	RWE	受信ウォッチドッグタイムアウト許可 異常割り込みサマリ許可（ビット 15）とともに本ビットがセットされると、受信ウォッチドッグタイムアウト割り込みが許可されます。本ビットがリセットされると、受信ウォッチドッグタイムアウト割り込みが禁止されます。	R/W

表 6.108 Interrupt_Enable レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b8	RSE	受信停止許可 異常割り込みサマリ許可（ビット 15）とともに本ビットがセットされると、受信停止割り込みが許可されます。本ビットがリセットされると、受信停止割り込みが禁止されます。	R/W
b7	RUE	受信バッファ利用不能許可 異常割り込みサマリ許可（ビット 15）とともに本ビットがセットされると、受信バッファ利用不能割り込みが許可されます。本ビットがリセットされると、受信バッファ利用不能割り込みが禁止されます。	R/W
b6	RIE	受信割り込み許可 正常割り込みサマリ許可（ビット 16）とともに本ビットがセットされると、受信割り込みが許可されます。本ビットがリセットされると、受信割り込みが禁止されます。	R/W
b5	UNE	アンダーフロー割り込み許可 異常割り込みサマリ許可（ビット 15）とともに本ビットがセットされると、送信アンダーフロー割り込みが許可されます。本ビットがリセットされると、アンダーフロー割り込みが禁止されます。	R/W
b4	OVE	オーバーフロー割り込み許可 異常割り込みサマリ許可（ビット 15）とともに本ビットがセットされると、受信オーバーフロー割り込みが許可されます。本ビットがリセットされると、オーバーフロー割り込みが禁止されます。	R/W
b3	TJE	送信ジャバertimeアウト許可 異常割り込みサマリ許可（ビット 15）とともに本ビットがセットされると、送信ジャバertimeアウト割り込みが許可されます。本ビットがリセットされると、送信ジャバertimeアウト割り込みが禁止されます。	R/W
b2	TUE	送信バッファ利用不能許可 正常割り込みサマリ許可（ビット 16）とともに本ビットがセットされると、送信バッファ利用不能割り込みが許可されます。本ビットがリセットされると、送信バッファ利用不能割り込みが禁止されます。	R/W
b1	TSE	送信停止許可 異常割り込みサマリ許可（ビット 15）とともに本ビットがセットされると、送信停止割り込みが許可されます。本ビットがリセットされると、送信停止割り込みが禁止されます。	R/W
b0	TIE	送信割り込み許可 正常割り込みサマリ許可（ビット 16）とともに本ビットがセットされると、送信割り込みが許可されます。本ビットがリセットされると、送信割り込みが禁止されます。	R/W

6.4.106 Missed_Frame_And_Buffer_Overflow_Counter — 欠落フレームおよびバッファオーバーフローカウンタレジスタ

アドレス GMAC1 : 4400 1020h
GMAC2 : 4400 3020h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	OVFC NTOVF	OVFFRMCNT											MISCN TOVF
リセット後の値	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MISFRMCNT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.109 Missed_Frame_And_Buffer_Overflow_Counter レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b29	予約ビット	予約されています。	R
b28	OVFCNTOVF	FIFO オーバーフローカウンタのオーバーフロービット 本ビットは、オーバーフローフレームカウンタ（ビット[27:17]）がオーバーフローするたびにセットされます。このとき、オーバーフローフレームカウンタが最大値になると Rx FIFO はオーバーフローします。そのような場合、オーバーフローフレームカウンタはすべて 0 にリセットされ、本ビットはロールオーバーが発生したことを示します。	R
b27~b17	OVFFRMCNT	オーバーフローフレームカウンタ 本フィールドはアプリケーションで失われたフレームの数を示します。本カウンタは、MTL FIFO がオーバーフローするたびにインクリメントされます。本ビットが読み出されると、カウンタはクリアされます。	R
b16	MISCNTOVF	欠落フレームカウンタのオーバーフロービット 本ビットは、欠落フレームカウンタ（ビット[15:0]）がオーバーフローするたびにセットされます。このとき、欠落フレームカウンタが最大値に達してホスト受信バッファが有効でないため、DMA は受信フレームを破棄します。そのような場合、欠落フレームカウンタはすべて 0 にリセットされ、本ビットはロールオーバーが発生したことを示します。	R
b15~b0	MISFRMCNT	欠落フレームカウンタ 本フィールドは、ホスト受信バッファが有効でないためにコントローラで失われたフレームの数を示します。本カウンタは、DMA が受信フレームを破棄するたびにインクリメントされます。本ビットが読み出されると、カウンタはクリアされます。	R

6.4.107 Receive_Interrupt_Watchdog_Timer — 受信割り込みウォッチドッグタイマレジスタ

アドレス GMAC1 : 4400 1024h
GMAC2 : 4400 3024h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RIWT							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0

表 6.110 Receive_Interrupt_Watchdog_Timer レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b8	予約ビット	予約されています。	R
b7~b0	RIWT	RI ウォッチドッグタイマカウンタ 本ビットは、ウォッチドッグタイマがセットされているシステムクロックサイクルを 256 倍した値です。ウォッチドッグタイマは、Rx DMA がフレームの転送を完了した後、プログラムされた値でトリガされます（対応するディスクリプタ RDES1[31]の設定により RI ステータスビットがセットされていない場合）。ウォッチドッグタイマが期限切れになると、RI ビットがセットされ、タイマが停止します。すべての受信フレームにおける RDES1[31]に基づく RI の自動設定により、RI ビットが High にセットされると、ウォッチドッグタイマはリセットされます。	R/W

6.4.108 AXI_Bus_Mode — AXI バスモードレジスタ

アドレス GMAC1 : 4400 1028h
GMAC2 : 4400 3028h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EN_LPI	LPI_XIT_FRM	—	—	—	—	—	—	—	—	WR_OSR_LMT	—	—	RD_OSR_LMT		
リセット後の値	0	0	X	X	X	X	X	X	X	X	0	1	X	X	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ONEKBBE	AXI_AAL	—	—	—	—	—	—	—	—	BLEN16	BLEN8	BLEN4	UNDEF
リセット後の値	X	X	0	0	X	X	X	X	X	X	X	X	0	0	0	1

表 6.111 AXI_Bus_Mode レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	EN_LPI	低消費電力インタフェース (LPI) イネーブル 本ビットが 1 にセットされると、LPI モードが有効になり、AXI システムクロックコントローラからの LPI 要求を受け付けるようになります。 本ビットが 0 にセットされると、LPI モードは無効になり、AXI システムクロックコントローラからの LPI 要求は常に拒否されます。	R/W
b30	LPI_XIT_FRM	Magic Packet またはリモートウェイクアップフレームでアンロック 本ビットが 1 にセットされると、Magic Packet またはリモートウェイクアップパケットを受信したときのみ、GMAC-AXI を有効にして LPI モードを終了します。 本ビットが 0 にセットされると、何らかのフレームが受信されたときに GMAC-AXI を有効にして LPI モードを終了します。	R/W
b29~b22	予約ビット	予約されています。	R
b21, b20	WR_OSR_LMT	AXI 書き込み Outstanding リクエスト上限 本値は、AXI 書き込みインタフェース上の Outstanding リクエストの最大数を制限します。 Outstanding リクエストの最大数=WR_OSR_LMT+1	R/W
b19, b18	予約ビット	予約されています。	R
b17, b16	RD_OSR_LMT	AXI 読み出し Outstanding リクエスト上限 本値は、AXI 読み出しインタフェース上の Outstanding リクエストの最大数を制限します。 Outstanding リクエストの最大数=RD_OSR_LMT+1	R/W
b15, b14	予約ビット	予約されています。	R
b13	ONEKBBE	GMAC-AXI マスタの 1KB 境界通過イネーブル 本ビットがセットされると、GMAC-AXI マスタは、1KB 境界をまたがないバースト転送を実行します。本ビットがリセットされると、GMAC-AXI マスタは、4KB 境界を通過しないバースト転送を実行します。	R/W
b12	AXI_AAL	アドレスアライメントビット 本ビットは読み出し専用ビットで、バスモードレジスタ (Bus_Mode) のビット 25 (AAL) を反映します。 本ビットが 1 にセットされると、GMAC-AXI は、読み出しチャンネルと書き込みチャンネルの両方でアドレスアライメントされたバースト転送を実行します。	R
b11~b4	予約ビット	予約されています。	R
b3	BLEN16	AXI パースト長 16 本ビットが 1 にセットされるか、UNDEF が 1 にセットされていると、GMAC-AXI は AXI マスタインタフェース上で 16 のパースト長を選択可能になります。	R/W

表 6.111 AXI_Bus_Mode レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b2	BLEN8	AXI パースト長 8 本ビットが 1 にセットされると、GMAC-AXI は AXI マスタインタフェース上で 8 のパースト長を選択可能になります。 UNDEF が 1 にセットされているときは、本ビットをセットしても影響はありません。	R/W
b1	BLEN4	AXI パースト長 4 本ビットが 1 にセットされると、GMAC-AXI は AXI マスタインタフェース上で 4 のパースト長を選択可能になります。 UNDEF が 1 にセットされているときは、本ビットをセットしても影響はありません。	R/W
b0	UNDEF	AXI 不定パースト長 本ビットは読み出し専用ビットで、バスモードレジスタ (Bus_Mode[16]) のビット 16 (FB) の補数 (反転) 値を示します。 <ul style="list-style-type: none"> 本ビットが 1 にセットされている場合、GMAC-AXI は、ビット[3]にプログラムされた最大許容パースト長に等しいか、それより短い任意のパースト長を実行可能になります。 本ビットが 0 にセットされている場合、GMAC-AXI は、BLEN16、BLEN8、または BLEN4、またはパースト長 1 で示される固定パースト長のみを実行可能になります。 	R

6.4.109 AXI_Status — AXI ステータスレジスタ

アドレス GMAC1 : 4400 102Ch
GMAC2 : 4400 302Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXIRDSTS	AXWHSTS
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0

表 6.112 AXI_Status レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b2	予約ビット	予約されています。	R
b1	AXIRDSTS	AXI マスタ読み出しチャンネルステータス High にセットされると、AXI マスタの読み出しチャンネルがアクティブでデータを転送中であることを示します。	R
b0	AXWHSTS	AXI マスタ書き込みチャンネルステータス High にセットされると、AXI マスタの書き込みチャンネルがアクティブでデータを転送中であることを示します。	R

6.4.110 Current_Host_Transmit_Descriptor — カレントホスト送信ディスクリプタレジスタ

アドレス GMAC1 : 4400 1048h
GMAC2 : 4400 3048h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CURTDESAPTR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CURTDESAPTR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.113 Current_Host_Transmit_Descriptor レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CURTDESAPTR	ホスト送信ディスクリプタアドレスポインタ リセット時にクリアされます。ポインタは、動作中に DMA によって更新されます。	R

6.4.111 Current_Host_Receive_Descriptor — カレントホスト受信ディスクリプタレジスタ

アドレス GMAC1 : 4400 104Ch
GMAC2 : 4400 304Ch

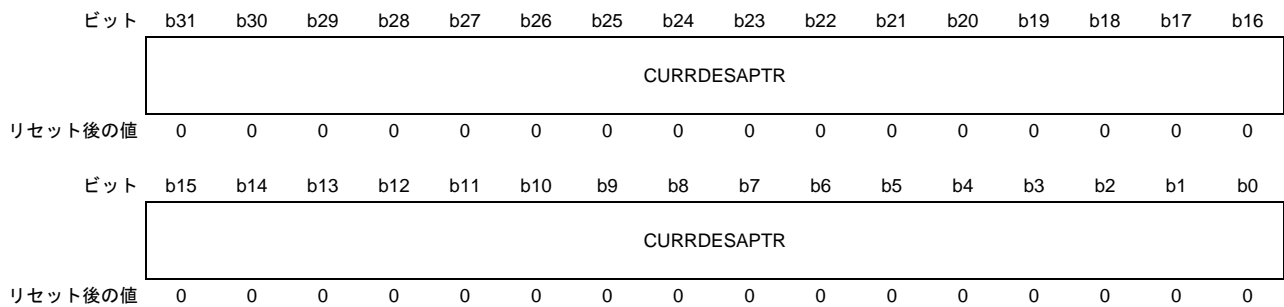


表 6.114 Current_Host_Receive_Descriptor レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CURRDESAPTR	ホスト受信ディスクリプタアドレスポインタ リセット時にクリアされます。ポインタは、動作中に DMA によって更新されます。	R

6.4.112 Current_Host_Transmit_Buffer_Address — カレントホスト送信バッファアドレスレジスタ

アドレス GMAC1 : 4400 1050h
GMAC2 : 4400 3050h

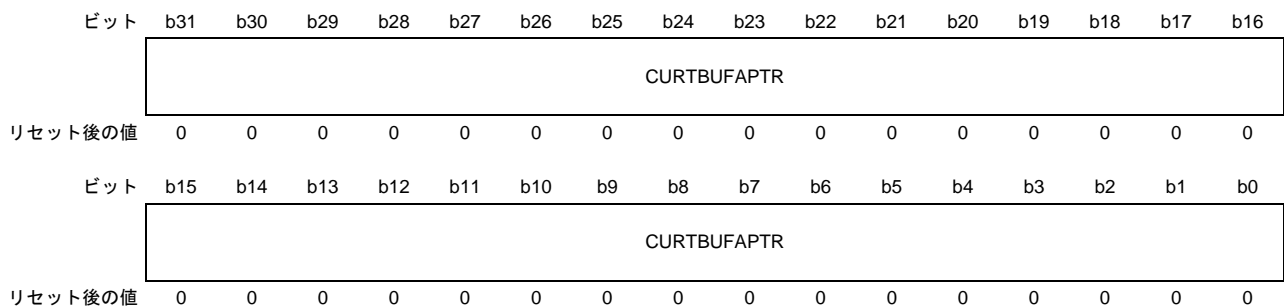


表 6.115 Current_Host_Transmit_Buffer_Address レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CURTBUFAPTR	ホスト送信バッファアドレスポインタ リセット時にクリアされます。ポインタは、動作中に DMA によって更新されます。	R

6.4.113 Current_Host_Receive_Buffer_Address — カレントホスト受信バッファアドレスレジスタ

アドレス GMAC1 : 4400 1054h
GMAC2 : 4400 3054h

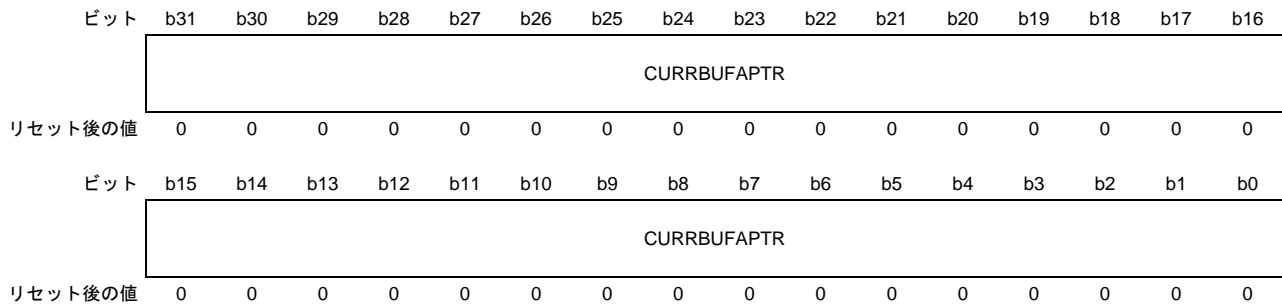


表 6.116 Current_Host_Receive_Buffer_Address レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	CURRBUFAPTR	ホスト受信バッファアドレスポインタ リセット時にクリアされます。ポインタは、動作中に DMA によって更新されます。	R

6.4.114 HW_Feature — HW 機能レジスタ

アドレス GMAC1 : 4400 1058h
GMAC2 : 4400 3058h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	ACTPHYIF			SAVLANINS	FLEXIPSEN	INTTSEN	ENHDESSEL	TXCHCNT	RXCHCNT	RXFIFOSIZE	RXTYP2COE	RXTYP1COE	TXCOESEL		
リセット後の値	X	0	0	0	0	1/0	1	1	0	0	0	0	1	1	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AVSEL	EEESEL	TSVER2SEL	TSVER1SEL	MMCSEL	MGKSEL	RWKSEL	SMASEL	L3L4FLTREN	—	ADDMACADRSEL	HASHSEL	EXTHASHEN	HDSEL	GMIISEL	MIISEL
リセット後の値	0	1	1	0	1	1	1	1	0	0	1	1	1	1	1	1

表 6.117 HW_Feature レジスタの内容

ビット位置	ビット名	機能	R/W
b31	予約ビット	予約されています。	R
b30~b28	ACTPHYIF	アクティブまたは選択された PHY インタフェース 3'b000 : GMII または MII その他すべて : 予約	R
b27	SAVLANINS	転送元アドレスまたは VLAN 挿入	R
b26	FLEXIPSEN	フレキシブル PPS (1 秒間当たりのパルス数) 出力 (GMAC1 : 1, GMAC2 : 0)	R
b25	INTTSEN	内部システム時間によるタイムスタンプ	R
b24	ENHDESSEL	エンハンストディスクリプタ	R
b23、b22	TXCHCNT	追加送信チャンネルの数	R
b21、b20	RXCHCNT	追加受信チャンネルの数	R
b19	RXFIFOSIZE	受信 FIFO > 2,048 バイト	R
b18	RXTYP2COE	受信の IP チェックサムオフロード (タイプ 2)	R
b17	RXTYP1COE	受信の IP チェックサムオフロード (タイプ 1)	R
b16	TXCOESEL	送信のチェックサムオフロード	R
b15	AVSEL	AV 機能	R
b14	EEESEL	省電カイーサネット (EEE)	R
b13	TSVER2SEL	IEEE 1588-2008 高度タイムスタンプ	R
b12	TSVER1SEL	IEEE 1588-2002 のみのタイムスタンプ	R
b11	MMCSEL	RMON モジュール	R
b10	MGKSEL	PMT Magic Packet	R
b9	RWKSEL	PMT リモートウェイクアップ	R
b8	SMASEL	SMA (MDIO) インタフェース	R
b7	L3L4FLTREN	レイヤ 3 およびレイヤ 4 フィルタ機能	R
b6	予約ビット	予約されています。	R
b5	ADDMACADRSEL	複数の MAC アドレスレジスタ	R
b4	HASHSEL	HASH フィルタ	R
b3	EXTHASHEN	拡張 DA ハッシュフィルタ	R
b2	HDSEL	半二重サポート	R
b1	GMIISEL	1000Mbps サポート	R
b0	MIISEL	10Mbps または 100Mbps サポート	R

6.5 動作説明

本章では、DMA または GMAC レジスタを適切なシーケンスで初期化する方法を説明します。

6.5.1 初期化

本項の初期化シーケンスは、以下のような設定で GMAC を使用するためにシステム環境を準備する際の 1 つの例です。

本例の GMAC 構成：

- GMAC1 は RGMII/RMII コンバータを介して外部ポート 1 に接続
- GMAC2 は RGMII/RMII コンバータを介して外部ポート 2 に接続

本項のシーケンスの後に、「DMA の初期化」および「GMAC の初期化」のシーケンスが続きます。

6.5.1.1 初期化動作

初期化動作を行うには、以下のフローチャートを実行します。

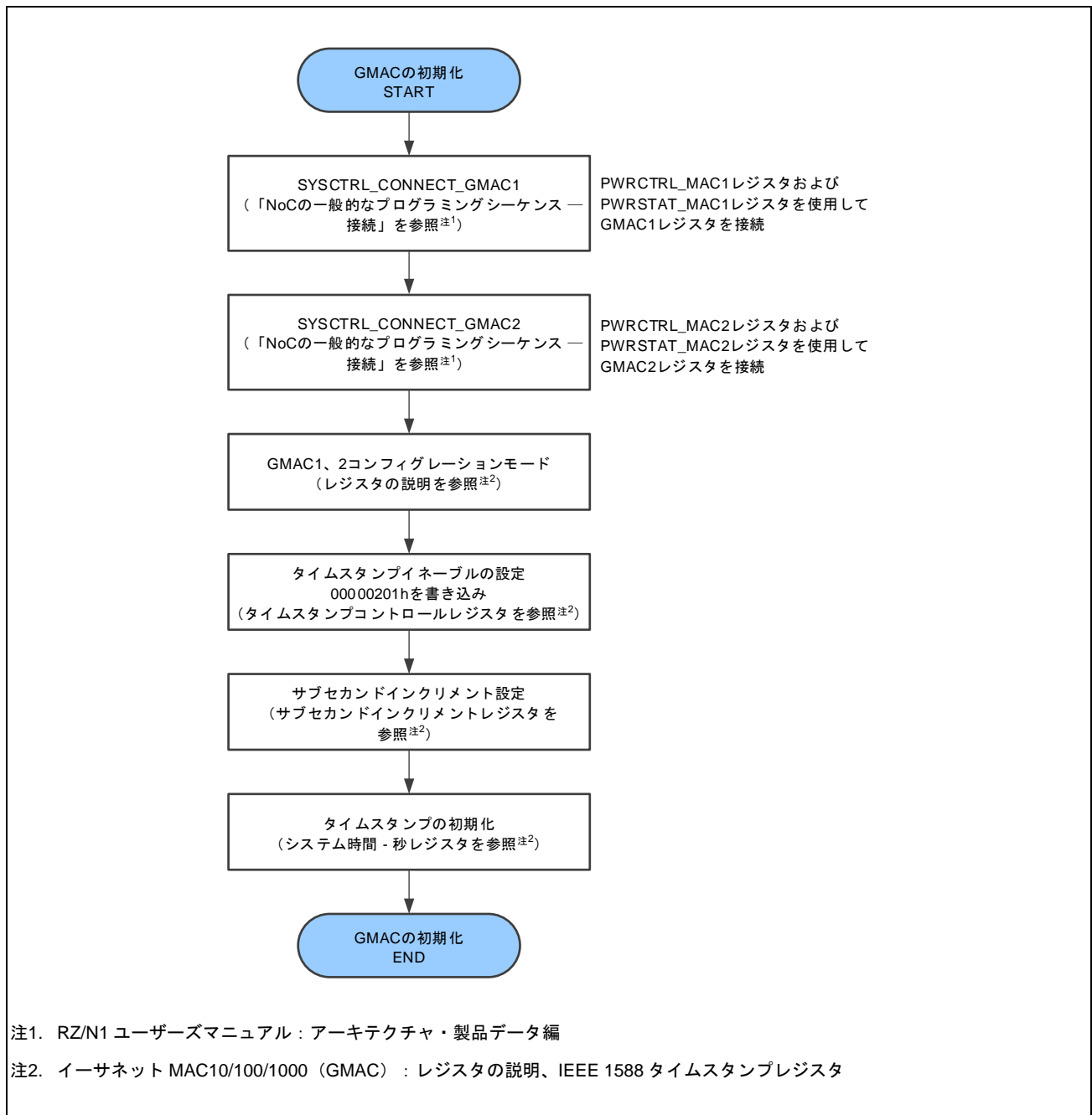


図 6.2 初期化フローチャート

6.5.2 DMA の初期化

本項に記載する初期化シーケンスは、GMAC 設定に使用されます。

DMA を初期化するには、次の手順を完了させてください。

1. ソフトウェアリセットを実行します。これによって、GMAC 内部レジスタおよびロジックがすべてリセットされます (バスモードレジスタ (Bus_Mode) - ビット 0)。
2. リセットプロセスが完了するまで待ちます (バスモードレジスタ (Bus_Mode) のビット 0 をポーリングします。このビットはリセット動作が完了した後のみクリアされます)。
3. AXI ステータスレジスタ (AXI_Status) のビットをポーリングし、前に開始していた (ソフトリセット前)、または現在進行中の AXI トランザクションが完了していることを確認します。

注 意

ソフトリセット後に (性能上の理由で) アプリケーションが AXI ステータスレジスタ (AXI_Status) をポーリングできない場合、次のステップに進んでから、DMA の動作をトリガする前に、もう一度本レジスタをチェックすることを推奨します (ステップ 11 の説明を参照)。

4. バスモードレジスタに値を設定することによって、以下のフィールドをプログラムします。
 - AAL
 - 固定長バーストまたは不定長バースト
 - バースト長の値およびバーストモードの値
 - ディスクリプタの長さ
5. AXI バスモードレジスタ (AXI_Bus_Mode) で AXI インタフェースオプションをプログラムします。
6. 送信および受信のための適切なディスクリプタチェーンを作成します。さらに、受信ディスクリプタが DMA によって所有されている (ディスクリプタのビット 31 がセットされている) ことを確認します。OSF モード使用時は、少なくとも 2 つのディスクリプタが必要です。
7. いずれかのディスクリプタを再利用する前に、ソフトウェアがチェーン内に 3 つ以上の異なる送信または受信ディスクリプタを作成していることを確認してください。
8. 受信および送信ディスクリプタリストアドレスを、送信および受信ディスクリプタ (それぞれ受信ディスクリプタリストアドレスレジスタ (Receive_Descriptor_List_Address) および送信ディスクリプタリストアドレスレジスタ (Transmit_Descriptor_List_Address)) のベースアドレスによって初期化します。
9. 動作モードレジスタ (Operation_Mode) に値を設定することで以下のフィールドをプログラムします。
 - 受信および送信ストア&フォワード
 - 受信および送信しきい値コントロール (RTC および TTC)
 - ハードウェアフローコントロールイネーブル
 - MTL 受信および送信 FIFO (RFA および RFD) のフローコントロールのアクティブ化と
 - 非アクティブ化しきい値
 - エラーフレームおよびアンダーサイズ正常フレーム転送イネーブル
 - OSF モード

10. 割り込み許可レジスタ (Interrupt_Enable) をプログラムして、割り込みを許可します。

注 意

ステップ 11 は、ステップ 3 を実行しなかった場合のみ実行してください。

11. AXI ステータスレジスタ (AXI_Status) を読み出し、前の AXI トランザクションがすべて完了していることを確認します。

注 意

AXI ステータスレジスタを読み出したときに、前のトランザクションが1つでも進行中の場合、GMAC の AXI マスタインタフェースによってアドレス指定されているスレーブコンポーネントを確認することを強く推奨します。

12. 動作モードレジスタ (Operation_Mode) の SR (ビット 1) および ST (ビット 13) をセットして、受信および送信 DMA を開始します。

6.5.3 GMAC の初期化

DMA の初期化を行った後に、以下の GMAC 初期化動作を行うことが可能になります。DMA をセットアップする前に GMAC の初期化を行う場合は、GMAC レシーバのイネーブル（以下のシーケンスの最後のステップ）は、DMA がアクティブ化された後にのみ行ってください。そうしない場合、受信したフレームによって Rx FIFO がフルになり、オーバーフローが発生します。

1. 外部 PHY のマネージメントサイクルを制御するため、GMII アドレスレジスタ (GMII_Address) をプログラムします。たとえば、物理層アドレス PA (ビット 15~11) などです。さらに、PHY への書き込みおよび PHY からの読み出しのために、ビット 0 (GMII ビジー) をセットします。
2. GMII アドレスレジスタ (GMII_Address) のビット 15~11 に適切なアドレス値を指定して、リンクアップ、動作速度、動作モードについて PHY から GMII データレジスタ (GMII_Data) の 16 ビットデータを読み出します。
3. MAC Address0 上位レジスタ (MAC_Address0_High) および MAC Address0 下位レジスタ (MAC_Address0_Low) の MAC アドレスを提供します。
4. MAC フレームフィルタレジスタで受信フレームに適切なフィルタを設定するため、以下のフィールドをプログラムします。
 - すべて受信
 - プロミスキャスモード
 - ハッシュフィルタまたは完全なフィルタ
 - ユニキャスト、マルチキャスト、ブロードキャスト、および制御フレームフィルタ設定
5. 適切なフローコントロールを行うため、フローコントロールレジスタ (Flow_Control) で以下のフィールドをプログラムします。
 - PAUSE 時間およびその他の PAUSE フレームコントロールビット
 - 受信および送信フローコントロールビット
 - フローコントロールビジー/バックプレッシャアクティブ化
6. 割り込みマスクレジスタビットを必要に応じてプログラムします。
7. MAC コンフィグレーションレジスタ (MAC_Configuration) で適切なフィールドをプログラムします。たとえば、送信中のフレーム間ギャップや、ジャバーディスエーブルなどです。自動ネゴシエーションに基づき、二重モード (ビット 11) またはポート選択 (ビット 15) をセットできます。
8. MAC コンフィグレーションレジスタ (MAC_Configuration) で、ビット 3 (TE) およびビット 2 (RE) をセットします。

注 意

GMAC が送信中または受信中のとき、設定（二重モード、速度、ポート、またはループバックなど）を変更しないでください。GMAC トランスマッタおよびレシーバが動作中でないときのみ、ソフトウェアはこれらのパラメータを変更できます。

6.5.4 通常の受信および送信動作の実行

通常の動作では、以下のステップを行います。

1. 通常の送信および受信割り込みが発生した場合、割り込みステータスを読み出します。次に、ディスクリプタをポーリングし、ホストが所有しているディスクリプタのステータス（送信か受信のいずれか）を読み出します。
2. ディスクリプタに適切な値を設定します。このとき、データの送信および受信を再開するために、送信および受信ディスクリプタが DMA によって所有されていることを確認します。
3. ディスクリプタが DMA によって所有されていない場合（または利用可能なディスクリプタがない場合）、DMA は Suspend ステートに入ります。送信または受信を再開するには、ディスクリプタを解放し、Tx/Rx ポーリング要求（送信ポーリング要求レジスタ（Transmit_Poll_Demand）および受信ポーリング要求レジスタ（Receive_Poll_Demand））に 0 を書き込むことによって、ポーリング要求を発行します。
4. デバッグ処理用に、カレントホストトランスミッタまたはレシーバディスクリプタアドレスポインタの値（カレントホスト送信ディスクリプタレジスタ（Current_Host_transmit_Descriptor）およびカレントホスト受信ディスクリプタレジスタ（Current_Host_Receive_Descriptor））を読み出すことが可能です。
5. デバッグ処理用に、カレントホスト送信バッファアドレスポインタおよび受信バッファアドレスポインタの値（カレントホスト送信バッファアドレスレジスタ（Current_Host_Transmit_Buffer_Address）およびカレントホスト受信バッファアドレスレジスタ（Current_Host_Receive_Buffer_Address））を読み出すことが可能です。

6.5.5 送信の停止と開始

送信を一時的に停止するには、以下のステップを行います。

1. 動作モードレジスタ（Operation_Mode）のビット 13（ST）をクリアすることで、送信 DMA（該当する場合）を無効にします。
2. 前のフレーム送信が完了するまで待ちます。これは、デバッグレジスタ（Debug）の適切なビットを読み出すことでチェック可能です。
3. MAC コンフィグレーションレジスタ（MAC_Configuration）でビット 3（TE）およびビット 2（RE）をクリアすることによって、GMAC トランスミッタおよび GMAC レシーバを無効にします。
4. （デバッグレジスタ（Debug）を読み出すことによって）Rx FIFO 内のデータがシステムメモリに転送されたことを確認してから、受信 DMA（該当する場合）を無効にします。
5. Tx FIFO と Rx FIFO の両方がエンプティであることを確認します。
6. 動作を再開するには、まず DMA を開始してから、GMAC トランスミッタおよびレシーバを有効にします。

6.5.6 GMII リンク遷移のプログラミングガイドライン

6.5.6.1 リンクがダウンしているときに送信および受信クロックが実行中の場合

リンクがダウンしているが、送信および受信クロックが実行中の場合、以下のステップを行います。

1. 動作モードレジスタ (Operation_Mode) のビット 13 (ST) をクリアすることによって、送信 DMA (該当する場合) を無効にします。
2. MAC コンフィグレーションレジスタ (MAC_Configuration) のビット 2 (RE) をクリアすることによって、GMAC レシーバを無効にします。
3. Tx FIFO からの前のフレーム送信が完了するまで待ちます。これは、デバッグレジスタ (Debug) の適切なビットを読み出すことで可能です。
または
より素早くエンプティにするには、Tx FIFO をフラッシュします。
4. MAC コンフィグレーションレジスタ (MAC_Configuration) のビット 3 (TE) をクリアすることによって、GMAC トランスミッタを無効にします。
5. リンクが確立されたら、PHY レジスタを読み出して、最新の構成を把握し、それに従って GMAC レジスタをプログラムします。
6. 動作を再開するには、Tx DMA を開始してから、GMAC トランスミッタおよびレシーバを有効にします。

Rx DMA を無効にする必要はありません。レシーバが無効にされるため、Rx FIFO には何もデータが入りません。

6.5.6.2 リンクがダウンしているときに送信および受信クロックが停止している場合

リンクがダウンして、送信および受信クロックが停止している場合、以下のステップを行います。

1. リンクが確立し、送信および受信クロックがアクティブになるまで待ちます。
送信および受信クロックが停止している場合、送信または受信動作を無効にしても影響はありません。そのため、ソフトウェアはリンクが再確立されるまで待機してください。
2. 動作モードレジスタ (Operation_Mode) のビット 13 (ST) をクリアすることで、送信 DMA (該当する場合) を無効にします。
3. MAC コンフィグレーションレジスタ (MAC_Configuration) のビット 2 (RE) をクリアすることによって、GMAC レシーバを無効にします。
4. Tx FIFO からの前のフレーム送信が完了するまで待ちます。これは、デバッグレジスタ (Debug) の適切なビットを読み出すことで可能です。
または
より素早くエンプティにするには、Tx FIFO をフラッシュします。
5. MAC コンフィグレーション (MAC_Configuration) のビット 3 (TE) をクリアすることによって、GMAC トランスミッタを無効にします。
6. リンクが確立されたら、PHY レジスタを読み出して、最新の構成を把握し、それに従って GMAC レジスタをプログラムします。
7. 動作を再開するには、Tx DMA を開始してから、GMAC トランスミッタおよびレシーバを有効にします。

6.5.7 IEEE 1588 タイムスタンプ生成のプログラミングガイドライン

6.5.7.1 システム時間生成の初期化ガイドライン

タイムスタンプ機能は、タイムスタンプコントロールレジスタのビット 0 をセットすることで有効にできません。ただし、このビットをセットした後にタイムスタンプカウンタの初期化が必ず必要です。GMAC 初期化中に以下のステップを行います。

1. 割り込みマスクレジスタ (Interrupt_Mask) のビット 9 をセットして、タイムスタンプトリガ割り込みをマスクします。
2. タイムスタンプコントロールレジスタ (Timestamp_Control) のビット 0 をプログラムして、タイムスタンプを有効にします。
3. サブセカンドインクリメントレジスタ (Sub_Second_Increment) を PTP クロック周波数に基づいてプログラムします。
4. Fine 補正アプローチを使用する場合、タイムスタンプ加数レジスタ (Timestamp_Addend) をプログラムし、タイムスタンプコントロールレジスタ (Timestamp_Control) のビット 5 をセットします。
5. ビット 5 がクリアされるまで、タイムスタンプコントロールレジスタをポーリングします。
6. タイムスタンプコントロールレジスタ (Timestamp_Control) のビット 1 をプログラムし、Fine 更新法を選択します (必要な場合)。
7. システム時間 - 秒更新レジスタ (System_Time_Seconds_Update) およびシステム時間 - ナノ秒更新レジスタ (System_Time_Nanoseconds_Update) を適切な時間値でプログラムします。
8. タイムスタンプコントロールレジスタ (Timestamp_Control) のビット 2 をセットします。タイムスタンプカウンタは、タイムスタンプ更新レジスタに書き込まれた値によって初期化され、すぐに動作を開始します。
9. 適切なタイムスタンプ生成のため、GMAC レシーバおよびトランスミッタを有効にします。

注 意

タイムスタンプ動作が、タイムスタンプコントロールレジスタ (Timestamp_Control) のビット 0 のクリアによって無効にされた場合、タイムスタンプ動作を再開するには、上記のステップをすべて繰り返してください。

6.5.7.2 システム時間補正

1 回のプロセスでシステム時間を同期または更新するには (Coarse 補正法)、以下のステップを実行します。

1. タイムスタンプ更新レジスタ (システム時間 - 秒更新レジスタ (System_Time_Seconds_Update) およびシステム時間 - ナノ秒更新レジスタ (System_Time_Nanoseconds_Update)) にオフセット (正または負) をセットします。
2. タイムスタンプコントロールレジスタ (Timestamp_Control) のビット 3 (TSUPDT) をセットします。TSUPDT ビットがクリアされると、タイムスタンプ更新レジスタの値がシステム時間に加算されるか、またはシステム時間から減算されます。

システム時間のジッタを減らすためにシステム時間を同期または更新するには (Fine 補正法)、以下のステップを実行します。

1. 「6.5.8 システム時間レジスタモジュール」で説明しているアルゴリズムを用いて、システム時間インクリメントを遅くする、または早くするときのレートを計算します。
2. タイムスタンプ加数レジスタ (Timestamp_Addend) を新しい値で更新し、タイムスタンプコントロールレジスタ (Timestamp_Control) のビット 5 をセットします。
3. 加数レジスタの新しい値がアクティブになるまで待ちます。これは、システム時間がターゲット値に達した後に、タイムスタンプトリガ割り込みを許可することで可能です。
4. ターゲット時間 - 秒レジスタ (Target_Time_Seconds) およびターゲット時間 - ナノ秒レジスタ (Target_Time_Nanoseconds) に必要なターゲット時間をプログラムします。
5. 割り込みマスクレジスタ (Interrupt_Mask) のビット 9 をクリアし、タイムスタンプ割り込みマスクを解除します。
6. タイムスタンプコントロールレジスタ (Timestamp_Control) のビット 4 をセットします。
7. このトリガによって割り込みが発生したら、割り込みステータスレジスタ (Interrupt_Status) を読み出します。
8. タイムスタンプ加数レジスタ (Timestamp_Addend) を古い値で再プログラムし、もう一度ビット 5 をセットします。

6.5.8 システム時間レジスタモジュール

64 ビット時間は、本モジュールに保持され、入力リファレンスクロック (GMAC_PTP_REFCLK_I) を使用して更新されます。この時間は、GMII で送信または受信中のイーサネットフレームのスナッチショット (タイムスタンプ) を取得するためのソースとなります。

システム時間カウンタは、Coarse 補正法を使用して初期化または補正できます。この方法では、初期値またはオフセット値がタイムスタンプ更新レジスタに書き込まれます (「6.6.8 IEEE 1588 タイムスタンプレジスタ」を参照)。初期化の場合は、システム時間カウンタにタイムスタンプ更新レジスタ内の値が書き込まれ、システム時間補正の場合は、システム時間にオフセット値が加算または減算されます。

Fine 補正法の場合、スレーブクロック (GMAC_PTP_REFCLK_I) のマスタクロックに対する周波数ドリフト (IEEE 1588 で定義) が、Coarse 補正法のように 1 クロック内ではなく、一定期間にわたり補正されません。これは、リニアタイムを管理するのに役立ち、PTP Sync メッセージ間隔間でリファレンス時間が大幅に変動する (またはジッタが大きくなる) ことがなくなります。この方法では、アキュムレータは加数レジスタの内容を集計します。アキュムレータが生成する算術的桁上がりがあり、システム時間カウンタをインクリメントするためのパルスとして使用されます。アキュムレータと加数レジスタは 32 ビットレジスタです。ここで、アキュムレータは高精度な周波数通倍器または分周器として動作します。

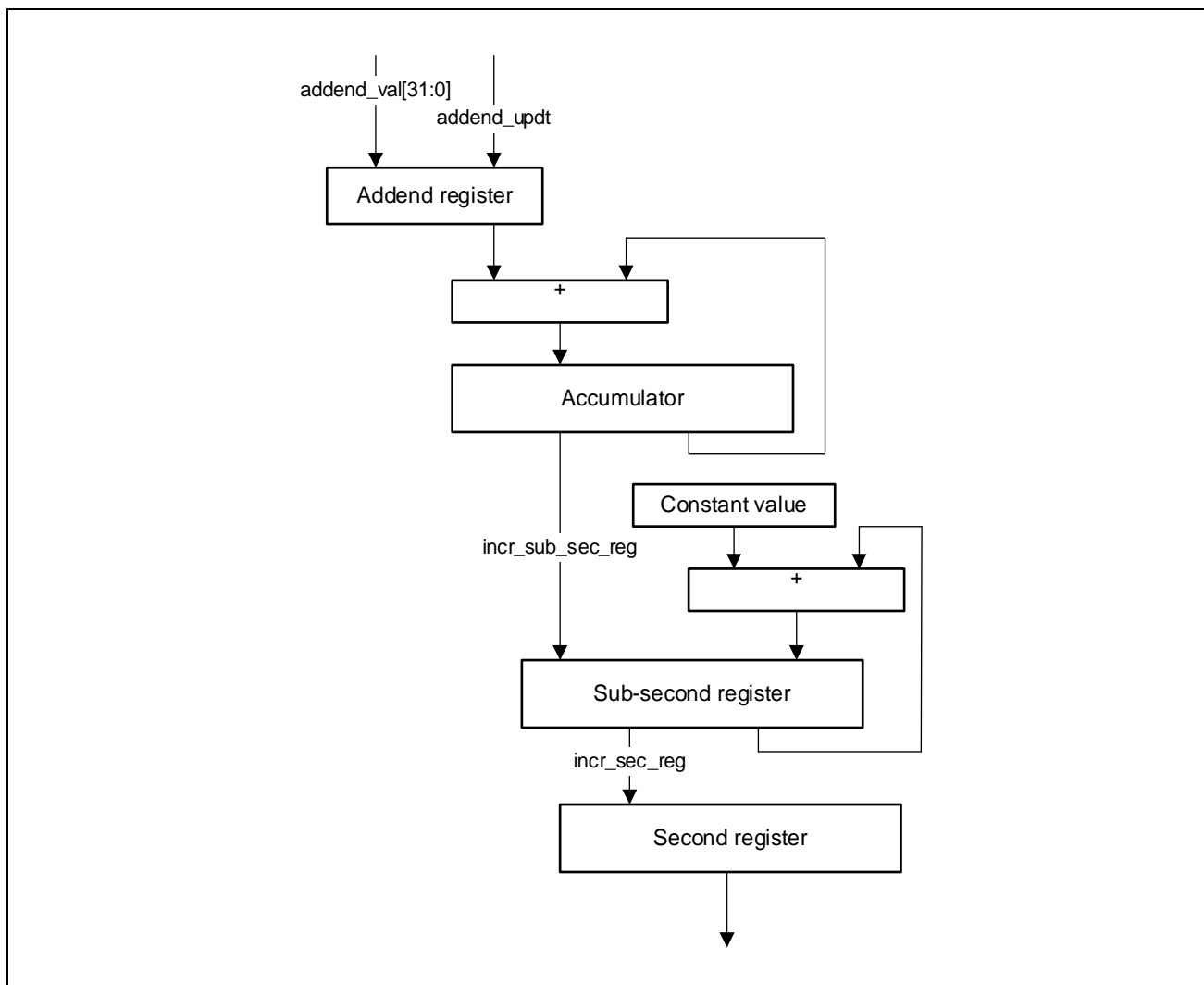


図 6.3 Fine 法を使用したシステム時間更新

システム時間更新ロジックは、20ns の精度を実現するために 50MHz のクロック周波数を必要とします。周波数分割はリファレンスクロック周波数の、要求されるクロック周波数に対する比です。したがって、リファレンスクロック (GMAC_PTP_REFCLK_I) がたとえば 66MHz のとき、この比は $66\text{MHz}/50\text{MHz}=1.32$ となります。そのため、レジスタでセットするデフォルトの加数値は、 $2^{32}/1.32$ 、0xC1F07C1F です。

リファレンスクロックが低い値にドリフトする場合、たとえば 65MHz の場合、この比は $65/50$ 、すなわち 1.3 となり、加数レジスタにセットする値は $2^{32}/1.30$ 、すなわち 0xC4EC4EC4 となります。クロックが高い値にドリフトする場合、たとえば 67MHz の場合、加数レジスタは 0xBF0B7672 をセットしてください。クロックのドリフトが 0 の場合、デフォルトの加数値である 0xC1F07C1F ($2^{32}/1.32$) をプログラムしてください。

「**図 6.3 Fine 法を使用したシステム時間更新**」において、サブセカンドレジスタを累積するために使用される定数値は 10 進数の 43 で、これはシステム時間で 20ns の精度を実現します (別の言葉で言えば、20ns 刻みでインクリメントされます)。外部時間更新が有効になっているとき、オプションのシステム時間モジュールは利用できません。選択した構成に応じて、システム時間レジスタの更新に 2 つの異なる手法が使用されます。

ソフトウェアは、Sync メッセージを元にして周波数のドリフトを計算し、それに基づいて加数レジスタを更新してください。

最初、スレーブクロックは、加数レジスタに FreqCompensationValue0 をセットします。本値は以下のとおりです。

$$\text{FreqCompensationValue0} = \frac{2^{32}}{\text{FreqDivisionRatio}}$$

最初は MasterToSlaveDelay が連続する Sync メッセージで同一であると仮定して、以下に説明するアルゴリズムを適用してください。いくつかの同期サイクル後、周波数ロックが発生します。このときはじめて、スレーブクロックは正確な MasterToSlaveDelay 値を決定することができ、新しい値でマスタと再同期します。

アルゴリズムは以下のとおりです。

- MasterSyncTime(n)の時刻に、マスタはスレーブクロックに Sync メッセージを送信します。スレーブはそのローカルクロックが SlaveClockTime(n)のときにこのメッセージを受信し、MasterClockTime(n)を次のように計算します。

$$\text{MasterClockTime}(n) = \text{MasterSyncTime}(n) + \text{MasterToSlaveDelay}(n)$$

- マスタクロックは現在の Sync サイクルをカウントします。MasterClockCount(n)は以下の式によって求められます。

$$\text{MasterClockCount}(n) = \text{MasterClockTime}(n) - \text{MasterClockTime}(n - 1)$$

(MasterToSlaveDelay が Sync サイクル n と n - 1 で同一であると仮定します)

- スレーブクロックは現在の Sync サイクルをカウントします。SlaveClockCount(n)は以下の式によって求められます。

$$\text{SlaveClockCount}(n) = \text{SlaveClockTime}(n) - \text{SlaveClockTime}(n - 1)$$

- 現在の Sync サイクルのマスタクロックカウントとスレーブクロックカウントの差、ClockDiffCount(n)は、以下の式で求められます。

$$\text{ClockDiffCount}(n) = \text{MasterClockCount}(n) - \text{SlaveClockCount}(n)$$

- スレーブクロックの周波数スケール係数、FreqScaleFactor(n)は、以下の式で求められます。

$$\text{FreqScaleFactor}(n) = \frac{\text{MasterClockCount}(n) + \text{ClockDiffCount}(n)}{\text{SlaveClockCount}(n)}$$

- 加数レジスタの周波数補正值、FreqCompensationValue(n)は、以下の式で求められます。

$$\text{FreqCompensationValue}(n) = \text{FreqScaleFactor}(n) \times \text{FreqCompensationValue}(n - 1)$$

理論上は、本アルゴリズムによって 1 つの Sync サイクルでロックが得られますが、ネットワーク伝播遅延や動作条件の変動によって、いくつかのサイクルが必要になる場合があります。

本アルゴリズムは自己補正型です。何らかの理由で、スレーブクロックが最初に正しくないマスタからの値をセットされた場合、本アルゴリズムはより多くの Sync サイクルを犠牲にしてそれを訂正します。

6.5.9 省電力イーサネット (EEE) のプログラミングガイドライン

6.5.9.1 Tx LPI モードの開始と終了

GMAC の初期化中に以下のステップを実行します。

1. MDIO インタフェースを通じて PHY レジスタを読み出し、リモートエンドに EEE 機能があるかを調べ、タイマ値をネゴシエーションします。
2. MDIO インタフェースを通じて PHY レジスタをプログラムします (LPI モードで受信クロックを停止するかどうかを PHY に指示する RX_CLK_stoppable ビットを含む)。
3. LPI タイマコントロールレジスタ (LPI_Timers_Control) のビット[26:16]とビット[15:0]をプログラムします。
4. MDIO インタフェースを使用して PHY チップのリンクステータスを読み出し、それによって LPI コントロール&ステータスレジスタ (LPI_Control_Status) のビット 17 を更新します。この更新は、PHY チップのリンクステータスが変化するたびに行ってください。
5. LPI コントロール&ステータスレジスタ (LPI_Control_Status) のビット 16 をセットして、GMAC を LPI ステートに遷移させます。
進行中の送信が完了した後、GMAC は LPI モードに入り、ビット 0 をセットします。

注 意

- Tx FIFO のキューに入っているすべてのフレームの送信が完了した後のみ、GMAC が LPI ステートに入るようにするには、LPI コントロール&ステータスレジスタ (LPI_Control_Status) のビット 19 をセットする必要があります。
- LPI ステート中に CSR クロック (GMAC[m]_HCLK) またはシステムの他の部分の電源をオフに切り替えるには、LPI コントロール&ステータスレジスタ (LPI_Control_Status) の TLPIEN 割り込みが生成されるまで待つ必要があります。LPI ステートを終了するときに、ステップ 6 を実行する前にクロックを復元します。

6. LPI コントロール&ステータスレジスタ (LPI_Control_Status) のビット 16 をリセットして、GMAC の LPI ステートを終了します。
GMAC はビット[15:0]にプログラムされている時間待機してから、TLPIEX 割り込みステータスビットをセットし、送信を再開します。

6.5.9.2 LPI モードでの CSR クロックのゲートオフ

GMAC が低消費電力アイドル (LPI) モードのとき、CSR クロック (GMAC[m]_HCLK) をゲートオフして電力を節減できます。

(1) Rx LPI モードでの CSR クロックのゲートオフ

GMAC が PHY から LPI パターンを受信するとき、以下の動作を実行します。

1. MAC RX が LPI モードに入り、Rx LPI エントリ割り込みステータス[LPI コントロール&ステータスレジスタ (LPI_Control_Status) の RLPIEN 割り込み]がセットされます。
2. 割り込み信号 (GMAC[m]_SBD_Int) がアサートされます。ホストが LPI コントロール&ステータスレジスタ (LPI_Control_Status) を読み出すと、GMAC[m]_SBD_Int 割り込みがクリアされます。

GMAC[m]_SBD_Int 割り込みがアサートされ、MAC TX も LPI モードに入ると、CSR クロックをゲートオフできます。CSR クロックをゲートオフするときに、MAC TX が LPI モードに入っていない場合、GMAC トランスミッタのイベントは CSR で通知または更新されません。

CSR クロックを復元するには、GMAC が GMAC[m]_LPI_Int で (受信クロックに同期させて) LPI 終了割り込みをアサートした後に、LPI 終了表示が PHY から届くまで待機します。LPI_Control_Status が読み出されると、GMAC[m]_LPI_Int 割り込みはクリアされます。

(2) Tx LPI モードでの CSR クロックのゲートオフ

LPI コントロール&ステータスレジスタ (LPI_Control_Status) のビット 16 (LPIEN) がセットされると、以下の動作が実行されます。

1. 送信 LPI エントリ割り込み (レジスタ LPI_Control_Status の TLPIEN ビット) がセットされます。
2. 割り込み信号 (GMAC[m]_SBD_Int) がアサートされます。ホストが LPI_Control_Status レジスタを読み出すと、GMAC[m]_SBD_Int 割り込みがクリアされます。

GMAC[m]_SBD_Int 割り込みがアサートされ、MAC RX も LPI モードに入ると、CSR クロックをゲートオフできます。CSR クロックをゲートオフするときに、MAC RX が LPI モードに入っていない場合、GMAC レシーバのイベントは CSR で通知または更新されません。

CSR クロックを復元するには、GMAC が TX LPI モードから抜け出すときに CSR クロックをオンにします。CSR クロックが再開した後、LPI コントロール&ステータスレジスタ (LPI_Control_Status) のビット 16 (LPIEN) をリセットして、GMAC の LPI モードを終了します。

6.5.10 フレキシブル PPS (1 秒間当たりのパルス数) 出力のプログラミングガイドライン (GMAC1 のみ)

6.5.10.1 PPS でのシングルパルスの生成

PPS でシングルパルスを生成するには、以下を実行します。

1. PPS コントロールレジスタ (PPS_Control) のビット[6:5]、TRGTMODSEL に 2'b11 または 2'b10 (割り込み用) をプログラムします。これは、PPS 信号出力の開始時間としてターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) を使用するよう GMAC に指示します。
2. ターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) に開始時間値をプログラムします。
3. PPS0 幅レジスタ (PPS0_Width) に PPS 信号出力の幅をプログラムします。
4. PPS コントロールレジスタ (PPS_Control) のビット[3:0]、PPSCMD を 4'b0001 にプログラムします。これは、ターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) でプログラムされた時間に PPS 信号出力でシングルパルスを生成するよう GMAC に指示します。

PPSCMD が実行されると (PPSCMD ビット=0)、プログラムされた開始時間が経過する前に開始キャンセルコマンド (PPSCMD=4'b0011) を与えることで、パルス生成をキャンセルすることが可能です。また、次のパルスの動作を前もってプログラムすることも可能です。次のパルスをプログラムするには、以下のようになります。

1. ターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) に、次のパルスの開始時間値をプログラムします。この時間は、前のパルスの立ち下がりエッジが起こる時間よりも長い必要があります。
2. PPS0 幅レジスタ (PPS0_Width) に、次の PPS 信号出力の幅をプログラムします。
3. PPS コントロールレジスタ (PPS_Control) のビット[3:0]、PPSCMD をプログラムして、前のパルスがデアサートされた時間の後に、シングルパルスを生成します。これは、ターゲット時間レジスタでプログラムされた時間に PPS 信号出力でシングルパルスを生成するよう GMAC に指示します。

前のパルスが Low になる前にこのコマンドを与えると、新しいコマンドが前のコマンドを上書きして、GMAC は 1 つの拡張されたパルスのみを生成する可能性があります。

6.5.10.2 PPS でのパルストレインの生成

PPS でパルストレインを生成するには、以下のようにします。

1. PPS コントロールレジスタ (PPS_Control) のビット[6:5]、TRGTMODSEL に 2'b11 または 2'b10 (割り込み用) をプログラムします。これは、PPS 信号出力の開始時間としてターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) を使用するよう GMAC に指示します。
2. ターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) に開始時間値をプログラムします。
3. PPS0 幅レジスタ (PPS0_Width) に、PPS 信号出力におけるパルストレイン間の間隔の値をプログラムします。
4. PPS0 幅レジスタ (PPS0_Width) に PPS 信号出力の幅をプログラムします。
5. PPS コントロールレジスタ (PPS_Control) のビット[3:0]、PPSCMD を 4'b0010 にプログラムします。これは、ターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) でプログラムされた開始時間に PPS 信号出力でパルストレインを生成するよう GMAC に指示します。

デフォルトでは、PPS パルストレインは「パルストレインを時間に停止」コマンドまたは「パルストレインを即時停止」コマンドで停止されない限り、フリーラン状態となります。

6. ターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) に停止値をプログラムします。ターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) を再度プログラムする前に、ターゲット時間 - ナノ秒レジスタ (Target_Time_Nanoseconds) のビット 31 (TRGTBUSY) がリセットされていることを確認してください。
7. PPS コントロールレジスタ (PPS_Control) の PPSCMD フィールド (ビット 3:0) を 4'b0100 にプログラムします。これにより、ステップ 6 でプログラムした停止時間が経過した後、PPS 信号出力のパルストレインが停止します。

パルストレインは、PPSCMD フィールドに 4'b0101 をプログラムすることで、いつでも停止できます。同様に、パルストレイン停止コマンド (ステップ 7 で発行) をキャンセルするには、(ステップ 6 でプログラムした) 時間が過ぎる前に PPSCMD フィールドに 4'b0110 をプログラムします。パルストレインの生成をキャンセルするには、(ステップ 2 で) プログラムした開始時間が過ぎる前に PPSCMD フィールドに 4'b0011 をプログラムします。

6.5.10.3 PPS への影響なしでの割り込みの生成

PPS コントロールレジスタ (PPS_Control) のビット[6:5]、TRGTMODSEL を使用すると、ターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) で以下のいずれかを実行するようプログラムできます。

- (1) 割り込みのみを生成
- (2) 割り込みと PPS 開始時間および停止時間を生成
- (3) PPS 開始時間および停止時間のみを生成

割り込みイベントのみを生成するためにターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) をプログラムするには、以下のようにします。

1. PPS コントロールレジスタ (PPS_Control) のビット[6:5]、TRGTMODSEL に 2'b00 (割り込み用) をプログラムします。これは、ターゲット時間割り込みにターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) を使用するよう GMAC に指示します。
2. ターゲット時間レジスタ (Target_Time_Seconds および Target_Time_Nanoseconds) にターゲット時間値をプログラムします。これは、ターゲット時間が経過したときに割り込みを生成するよう GMAC に指示します。

(たとえば PPS を制御するために) ビット[6:5]、TRGTMODSEL が変更されたとき、割り込み生成は新しいモードと新しくプログラムされたターゲット時間レジスタ値で上書きされます。

6.5.11 エンハンスドディスクリプタ

統合された DMA はディスクリプタに関連付けられたリストに基づいてデータを転送します。ディスクリプタはシステムメモリ中に作成されます。ディスクリプタは2つのバッファ、2つのバイトカウントバッファ、2つのアドレスポインタ、を含んでおり、これらは様々なタイプのメモリ管理方法と互換したアダプタポートを可能にします。

注 意

1つのフレームに使用するディスクリプタの数は無制限です。

エンハンスドディスクリプタ構造は8つの DWRODS (32 バイト) を持つことができます。

エンハンスドディスクリプタの特徴：

- エンハンスドディスクリプタ構造は8K バイトまでのバッファをサポートするように実装されています。(ジャンボフレームに有効)
- 制御および状態ビットは TDES0, TDES1, RDES0, RDES1 に割り当てられています。
- 送信ディスクリプタは TDES6 と TDES7 にタイムスタンプを格納します。
- 受信ディスクリプタ構造は、拡張ステータス (RDES4) とタイムスタンプ (RDES6 と RDES7) を格納する用途にも用いられます。
- ディスクリプタ構造は次の中から選択：
 - タイムスタンプコントロールレジスタ (Timestamp_Control) においてタイムスタンプを有効にした場合、または、MAC コンフィグレーションレジスタ (MAC_Configuration) においてチェックサムオフロードを有効にした場合、ソフトウェアは各ディスクリプタ用に 32 バイト (8 DWORDS) を確保する必要があります。このためには、ソフトウェアはバスモードレジスタ (Bus_Mode) のビット 7 (エンハンスドディスクリプタ Size) をセットする必要があります。
 - タイムスタンプとチェックサムオフロードが無効の場合、拡張されたディスクリプタ (DES4 から DES7) は不要です。したがって、ソフトウェアはデフォルトサイズである 16 バイト (4 DWORDS) でエンハンスドディスクリプタを使用できます。このためには、ソフトウェアはバスモードレジスタ (Bus_Mode) のビット 7 (エンハンスドディスクリプタサイズ) を 0 にリセットする必要があります。

6.5.11.1 送信ディスクリプタ

送信ディスクリプタ構造は以下の表で示されます。アプリケーションソフトウェアはディスクリプタの初期化中にコントロールビットである TDES0[31:18]を設定しなくてはなりません。DMA がディスクリプタを更新する際、OWN ビットを除くすべてのコントロールビットをクリアし、ステータスビット[7:0]を更新します。送信ディスクリプタのワード 0 (TDES0) からワード 3 (TDES3) の中身を、それぞれ表 6.120 から表 6.123 に示します。

アドバンスドタイムスタンプサポートに関して、あるフレームに対してタイムスタンプのスナップショットを取得することを、TDES0 のビット 25 (TTSE) の設定で許可することができます。ディスクリプタがクローズされたとき (つまり、OWN ビットがクリアされたとき)、そのタイムスタンプは TDES6 と TDES7 に書き込まれます。これは以下の表中の TDES0 のステータスビット 17 (TTSS) で示されます。TDES6 と TDES7 の内容は表 6.124 と表 6.125 で説明します。

注 意

アドバンスドタイムスタンプ機能を有効にする場合、ソフトウェアはバスモードレジスタ (Bus_Mode) のビット 7 をセットする必要があります。これにより DMA が拡張ディスクリプタのサイズで動作します。この制御ビットがリセットされた場合、TDES4 から TDES7 までのディスクリプタ空間は無効です。

表 6.118 送信ディスクリプタフィールド — エンハンスドフォーマット

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDES0	OWN		Ctrl [30:26]				TTSE	Ctrl [24:18]				TTSS	Status [16:7]						Ctrl/Status [6:3]			Status [2:0]										
TDES1	予約		Buffer 2 Byte Count [28:16]								予約		Buffer 1 Byte Count [12:0]																			
TDES2	Buffer 1 Address [31:0]																															
TDES3	Buffer 2 Address [31:0] or Next Descriptor Address [31:0]																															
TDES4	予約																															
TDES5	予約																															
TDES6	Transmit Timestamp Low [31:0]																															
TDES7	Transmit Timestamp High [31:0]																															

DMA は常に 4 つの DWORD をシステムメモリからリードおよびフェッチします。システムメモリはバッファとコントロール情報を獲得します。コントロール情報を以下の表に示します。

表 6.119 エンハンスドディスクリプタ用送信ディスクリプタフェッチ (リード)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDES0	OWN		Ctrl [30:26]				TTSE	Ctrl [24:18]				Status [17:7]用に予約						予約			Status [2:0]用に予約											
TDES1	予約		Buffer 2 Byte Count [28:16]								予約		Buffer 1 Byte Count [12:0]																			
TDES2	Buffer 1 Address [31:0]																															
TDES3	Buffer 2 Address [31:0] または Next Descriptor Address [31:0]																															

表 6.120 送信ディスクリプタワード 0 (TDES0) (1/3)

ビット位置	ビット名	説明
b31	OWN	Own Bit セットされると、ディスクリプタは DMA が所有していることを示します。リセットされたとき、ディスクリプタはホストが所有していることを示します。フレームの送信が完了したとき、または、ディスクリプタ中に確保されたバッファが完全に読み出されたとき、DMA は本ビットをクリアします。フレームの先頭のディスクリプタの OWN ビットは、その同じフレームに属するすべての連続したディスクリプタが設定された後でセットしなくてはなりません。これは、ディスクリプタのフェッチと、ドライバによる OWN ビットのセットとの間での競合の可能性を避けるためです。
b30	IC	Interrupt on Completion セットされると、現在のフレームの送信が完了した後に送信割り込み（ステータスレジスタのビット 0）がセットされます。これは LS ビット（TDES0[29]）がセットされているときのみ有効です。
b29	LS	Last Segment セットされると、バッファがフレームの最終セグメントを含むことを示します。このビットがセットされると、TDES1 の TBS1 または TBS2 フィールドはゼロ以外の値である必要があります。
b28	FS	First Segment セットされると、バッファがフレームの先頭セグメントを含むことを示します。
b27	DC	Disable CRC セットされると、GMAC は送信フレームの最後に巡回冗長検査（CRC）を付与しません。これは FS ビット（TDES0[28]）がセットされたときのみ有効です。
b26	DP	Disable Pad セットされると、GMAC は 64 バイトより短いフレームに自動的にパディングを追加しません。本ビットがリセットされたとき、DMA は GMAC は 64 バイトより短いフレームに自動的にパディングと CRC を追加します。この CRC フィールドは DC ビット（TDES0[27]）に関係なく追加されます。本ビットは FS ビット（TDES0[28]）がセットされているときのみ有効です。
b25	TTSE	Transmit Timestamp Enable セットされると、ディスクリプタが参照している送信フレーム用に IEEE 1588 ハードウェアタイムスタンプを許可します。本ビットは FS ビット（TDES0[28]）がセットされているときのみ有効です。
b24	予約	予約
b23~b22	CIC	Checksum Insertion Control これらのビットはチェックサム計算と挿入を制御します。ビットエンコーディングは以下のリストの通りです。 2'b00 : チェックサム挿入無効化 2'b01 : IP ヘッダチェックサムのみ計算を挿入を許可 2'b10 : IP ヘッダチェックサムとペイロードチェックサムの計算と挿入を許可。ただし、疑似ヘッダのチェックサムはハードウェアでは計算しない。 2'b11 : IP ヘッダチェックサムとペイロードチェックサムの計算と挿入を許可。疑似ヘッダのチェックサムもハードウェアで計算。 本フィールドは FS ビット（TDES0[28]）がセットされているときのみ有効です。
b21	TER	Transmit End of Ring セットされると、ディスクリプタリストがその最後のディスクリプタに到達したことを示します。DMA はそのリストのベースアドレスに戻り、ディスクリプタリングを作ります。
b20	TCH	Second Address Chained セットされると、ディスクリプタ中の 2 番目のアドレスが 2 番目のバッファアドレスではなく、次のディスクリプタアドレスであることを示します。TDES0[20]がセットされると、TBS2（TDES1[28:16]）は無視されます。TDES0[21]は TDES0[20]よりも優先されます。
b19~b18	予約	予約
b17	TTSS	Transmit Timestamp Status 本フィールドは指定された送信フレーム用のタイムスタンプが取得されたことを示します。本ビットがセットされると、TDES2 と TDES3 はその送信フレーム用に取得されたタイムスタンプ値を持ちます。本フィールドはディスクリプタの LS ビット（TDES0[29]）がセットされたときのみ有効です。

表 6.120 送信ディスクリプタワード 0 (TDES0) (2/3)

ビット位置	ビット名	説明
b16	IHE	<p>IP Header Error</p> <p>セットされると、GMAC の送信が IP データグラムヘッダ中のエラーを検出したことを示します。送信はアプリケーションから受け取ったヘッダのバイト数に対して、IPv4 パケットのヘッダ長をチェックし、不一致があった場合にはエラーを通知します。IPv6 フレームでは、メインヘッダ長が 40 バイト以外の場合にヘッダエラーが通知されます。さらにいえば、IPv4 または IPv6 用のイーサネット長さ/タイプフィールドの値は、パケットで受け取った IP ヘッダバージョンと一致してはいけません。IPv4 フレームでは、ヘッダ長フィールドが 0x5 より小さい値の場合もエラーステータスが通知されます。</p> <p>COE が IP ヘッダエラーを検出した場合でも、イーサネットタイプフィールドが IPv4 ペイロードを示していれば COE は IPv4 ヘッダチェックサムを挿入します。</p>
b15	ES	<p>Error Summary</p> <p>以下のビットの論理和を示します。</p> <ul style="list-style-type: none"> TDES0[14] : ジャバertimeアウト TDES0[13] : フレームフラッシュ TDES0[11] : キャリア消失 TDES0[10] : キャリアなし TDES0[9] : 遅れコリジョン TDES0[8] : 過剰コリジョン TDES0[2] : 過剰延期 TDES0[1] : アンダーフロー TDES0[16] : IP ヘッダエラー TDES0[12] : IP ペイロードエラー
b14	JT	<p>Jabber Timeout</p> <p>セットされると、GMAC の送信はジャバertimeアウトが経験したことを示します。本ビットは MAC コンフィグレーションレジスタ (MAC_Configuration) のビット 22 (Jabber Disable) がセットされていないときのみ有効です。</p>
b13	FF	<p>Frame Flushed</p> <p>セットされると、CPU から与えられたソフトウェアフラッシュコマンドにより、DMA または MTL がフレームをフラッシュしたことを示します。</p>
b12	IPE	<p>IP Payload Error</p> <p>セットされると、GMAC の送信は TCP、UDP、または ICMP の IP データグラムペイロードにおいてエラーを検出したことを示します。</p> <p>送信は、アプリケーションから受け取った実際の TCP、UDP、または ICMP パケットのバイト数に対して、IPv4 または IPv6 ヘッダ中のペイロード長をチェックし、不一致の場合はエラーを発行します。</p>
b11	LOC	<p>Loss of Carrier</p> <p>セットされると、フレーム送信中にキャリア消失が発生したことを示します (つまり、フレーム送信中に 1 以上の送信クロック期間だけ CRC 信号が非アクティブになった)。本ビットは GMAC が半二重モードで動作しており、コリジョンなしでフレームを送信したときのみ有効です。</p>
b10	NC	<p>No Carrier</p> <p>セットされると、送信中に PHY からのキャリアセンス信号がアサートされなかったことを示します。</p>
b9	LC	<p>Late Collision</p> <p>セットされると、コリジョンウィンドウ (MII モードのときはプリアンプルを含む 64 バイトの時間、GMII モードの時はプリアンプルとキャリア拡張を含む 512 バイトの時間) の後でのコリジョン発生が原因でフレーム送信が中断されたことを示します。本ビットはアンダーフローエラービットがセットされたときは無効です。</p>
b8	EC	<p>Excessive Collision</p> <p>セットされると、現在のフレームの送信を試行中に 16 の連続コリジョンが発生した後、送信が中断されたことを示します。MAC コンフィグレーションレジスタ (MAC_Configuration) のビット 9 (Disable Retry ビット) がセットされる場合、本ビットは最初のコリジョン後にセットされ、フレームの送信は中断されます。</p>
b7	VF	<p>VLAN Frame</p> <p>セットされると、送信フレームは VLAN タイプフレームであることを示します。</p>

表 6.120 送信ディスクリプタワード 0 (TDES0) (3/3)

ビット位置	ビット名	説明
b6~b3	CC	Collision Count (Status field) このステータスフィールドは、フレームが送信される前に発生したコリジョンの回数を示します。EC ビット (TDES0[8]) がセットされると、このカウントは無効です。半二重モード時のみ本ステータスフィールドは更新されます。
b2	ED	Excessive Deferral セットされると、MAC コンフィグレーションレジスタのビット 4 (Deferral Check ビット) がセットされていた場合に、24,288 ビット時間 (1000Mbps モード時は 155,680 ビット時間、またはジャンボフレームが有効) を超える過剰延期が原因で送信が終了してしまったことを示します。
b1	UF	Underflow Error セットされると、ホストメモリからのデータの到着が遅れたために、GMAC がフレームを中断したことを示します。アンダーフローエラーは、フレームの送信中に DMA が空の送信バッファに直面したことを示します。送信プロセスはサスペンド状態に入り、ステータスレジスタ (Status) のビット 5 (Transmit Underflow ビット) とビット 0 (Transmit Interrupt ビット) の両方がセットされます。
b0	DB	Deferred Bit セットされると、GMAC はキャリアが存在するせいで送信前に引き延ばしをしたことを示します。本ビットは半二重モード時のみ有効です。

表 6.121 送信ディスクリプタワード 1 (TDES1)

ビット位置	ビット名	説明
b31~b29	予約	予約
b28~b16	TBS2	Transmit Buffer 2 Size 本フィールドは 2 番目のデータバッファサイズをバイト単位で示します。本フィールドは TDES0[20] がセットされている場合は無効です。 送信 DMA は正確なバイト数 (TDES1 のバッファサイズフィールドで指定) を GMAC にへ転送します。ディスクリプタが先頭としてマークされた (TDES1 の FS ビットがセットされた) 場合、DMA はバッファからの最初の転送をフレームの先頭としてマークします。ディスクリプタが末尾としてマークされた (TDES1 の LS ビットがセットされた) 場合、DMA はバッファからの最後の転送を MTL への最終フレームとしてマークします。
b15~b13	予約	予約
b12~b0	TBS1	Transmit Buffer 1 Size これらのビットは 1 番目のデータバッファサイズをバイト単位で示します。本フィールドが 0 の場合、TCH (TDES0[20]) の値次第で、DMA はこのバッファを無視してバッファ 2 を使用するか、または次のディスクリプタを使用します。

表 6.122 送信ディスクリプタワード 2 (TDES2)

ビット位置	ビット名	説明
b31~b0	Buffer 1 Address Pointer	Buffer 1 Address Pointer これらのビットはバッファ 1 の物理アドレスを示します。バッファアドレスアラインメント上では制限はありません。

表 6.123 送信ディスクリプタワード 3 (TDES3)

ビット位置	ビット名	説明
b31~b0	Buffer 2 Address Pointer or Next Descriptor Address	Buffer 2 Address Pointer (Next Descriptor Address) ディスクリプタリング構造を使用時、バッファ 2 の物理アドレスを示します。TCH ビット (TDES0[20]) がセットされる場合、このアドレスは次のディスクリプタの存在する物理メモリへのポインタを含みます。TDES0[20] がセットされる時のみ、バッファアドレスポインタはバス幅でアラインされなくてはなりません。(内部的には LSB の数ビットは無視されます)

表 6.124 送信ディスクリプタワード 6 (TDES6)

ビット位置	ビット名	説明
b31~b0	TTSL	Transmit Frame Timestamp Low 本フィールドは、対応する送信フレーム用に取得されたタイムスタンプの下位 32 ビットが DMA により更新されます。本フィールドはディスクリプタの LS ビットがセットされかつ TTSS ビットがセットされている場合にのみタイムスタンプを持ちます。

表 6.125 送信ディスクリプタワード 7 (TDES7)

Bit Position	Bit Name	Description
b31~b0	TTSH	Transmit Frame Timestamp High 本フィールドは、対応する送信フレーム用に取得されたタイムスタンプの上位 32 ビットが DMA により更新されます。本フィールドはディスクリプタの LS ビットがセットされかつ TTSS ビットがセットされている場合にのみタイムスタンプを持ちます。

6.5.11.2 受信ディスクリプタ

受信ディスクリプタの構造を以下に表で示します。これは 32 バイトのディスクリプタデータ（8 つの DWORD）をもちます。

注 意

DMA が拡張ディスクリプタサイズで動作するためには、ソフトウェアがバスモードレジスタ（Bus_Mode）のビット 7 をセットする必要があります。この制御ビットがリセットされるとき、RDES0[0]は常にクリアされ、RDES4 から RDES7 のディスクリプタ空間は無効です。

表 6.126 受信ディスクリプタフィールド — エンハンスドフォーマット

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDES0	OWN Status [30:0]																															
RDES1	CTRL		RES [30:29]		Buffer 2 Byte Count [28:16]												CTRL [15:14]		予約		Buffer 1 Byte Count [12:0]											
RDES2	Buffer 1 Address [31:0]																															
RDES3	Buffer 2 Address [31:0] or Next Descriptor Address [31:0]																															
RDES4	Extended Status [31:0]																															
RDES5	予約																															
RDES6	Receive Timestamp Low [31:0]																															
RDES7	Receive Timestamp High [31:0]																															

RDES0 の内容は表 6.127 で認識されます。RDES1 から RDES3 は表 6.128 から表 6.130 でそれぞれ認識されます。

注 意

LS ビットがセットされているときはステータスビットが有効です。したがって、単一のフレームに複数のディスクリプタを使用しているときは、末尾のディスクリプタ（つまり、LS ビットのセットされたディスクリプタ）のステータスビットだけが有効です。

表 6.127 受信ディスクリプタフィールド 0 (RDES0) (1/3)

ビット位置	ビット名	説明
b31	OWN	Own Bit セットされると、ディスクリプタは GMAC の DMA が所有していることを示します。本ビットがリセットされると、ディスクリプタはホストが所有していることを示します。フレームの受信完了またはディスクリプタに関連したバッファがフルの場合、DMA は本ビットをクリアします。
b30	AFM	Destination Address Filter Fail セットされると、GMAC の DA フィルタでフェイルしたフレームを示します。
b29~b16	FL	Frame Length これらのビットは、ホストメモリに転送された受信フレームのバイト長を示します。本ビットは、LS ビット（RDES0[8]）がセットされており、DE ビット（RDES0[14]）または OE ビット（RDES[11]）のいずれかがリセットされているときに有効です。 本ビットは LS ビット（RDES0[8]）がセットされたときに有効です。LS ビットも ES ビット（RDES0[15]）もセットされていないとき、本フィールドは現在のフレームにおける転送済みの累積バイト数を示します。フレーム長に CRC 長を含めるかどうかは、MAC コンフィグレーションレジスタ（MAC_Configuration）ビット 7 とビット 25 の設定に依存します。

表 6.127 受信ディスクリプタフィールド 0 (RDES0) (2/3)

ビット位置	ビット名	説明
b15	ES	<p>Error Summary</p> <p>以下のビットの論理和を示します。</p> <p>RDES0[1]: CRC エラー</p> <p>RDES0[3]: 受信エラー</p> <p>RDES0[4]: ウォッチドッグタイムアウト</p> <p>RDES0[6]: 遅れコリジョン</p> <p>RDES0[7]: ジャイアントフレーム</p> <p>RDES4[4:3]: IP ヘッダまたはペイロードエラー</p> <p>RDES0[11]: オーバフローエラー</p> <p>RDES0[14]: ディスクリプタエラー</p> <p>本フィールドは LS ビット (RDES0[8]) がセットされたときのみ有効です。</p>
b14	DE	<p>Descriptor Error</p> <p>セットされると、フレームが現在のディスクリプタのバッファに適さず、DMA は次のディスクリプタを所有していないことが原因で、フレームの切り捨てが発生したことを示します。そのフレームは切り捨てられます。本フィールドは LS ビット (RDES0[8]) がセットされたときのみ有効です。</p>
b13	SAF	<p>Source Address Filter Fail</p> <p>セットされると、フレームの SA フィールドが GMAC の SA フィルタでフェイルしたことを示します。</p>
b12	LE	<p>Length Error</p> <p>セットされると、実際に受信したフレームの長さとそのフレームの長さ/タイプフィールドが一致しないことを示します。本ビットは FT ビット (RDES0[5]) がリセットされているときのみ有効です。</p>
b11	OE	<p>Overflow Error</p> <p>セットされると、MTL 内のバッファオーバーフローにより受信フレームが破損したことを示します。</p> <p>備考) 本ビットは DMA が部分的なフレームをアプリケーションに転送するときのみセットされます。これは RX FIFO がしきい値モードで動作しているときのみ発生します。ストアアンドフォワードモードでは、すべての部分的なフレームは RX FIFO 内で完全にドロップされます。</p>
b10	VLAN	<p>VLAN Tag</p> <p>セットされると、ディスクリプタが指しているフレームは GMAC によりタグ付けされた VLAN フレームであることを示します。VLAN のタグ付けは、VLAN タグレジスタ (VLAN_Tag) の設定に基づいた受信フレームの VLAN フィールドのチェックに依存します。</p>
b9	FS	<p>First Descriptor</p> <p>セットされると、このディスクリプタはフレームの最初のバッファを含んでいることを示します。最初のバッファのサイズが 0 の場合、2 番目のバッファがフレームの先頭を含みます。2 番目のバッファのサイズも 0 の場合、次のディスクリプタがフレームの先頭を含みます。</p>
b8	LS	<p>Last Descriptor</p> <p>セットされると、このディスクリプタが指すバッファはフレームの最終バッファであることを示します。</p>
b7	Timestamp Available or Giant Frame	<p>Timestamp Available or Giant Frame</p> <p>セットされると、ディスクリプタのワード 6 (RDES6) とワード 7 (RDES7) にタイムスタンプのスナップショットが書き込まれたことを示します。これは LS ビット (RDES0[8]) がセットされているときのみ有効です。それ以外の場合はジャイアントフレームステータスを示します。ジャイアントフレームは、1518 バイト (または VLAN では 1522 バイト、あるいは MAC コンフィグレーションレジスタのビット 27 がセットされているときの 2000 バイト) の通常フレームよりも大きく、ジャンボフレーム処理が有効のときの 9018 バイト (VLAN では 9022 バイト) よりも大きいフレームです。</p>
b6	LC	<p>Late Collision</p> <p>セットされると、半二重モードでフレームを受信中に遅れコリジョンが発生したことを示します。</p>

表 6.127 受信ディスクリプタフィールド 0 (RDES0) (3/3)

ビット位置	ビット名	説明
b5	FT	Frame Type セットされると、受信フレームはイーサネットタイプのフレーム（長さ/タイプフィールドが 1536 以上）であることを示します。本ビットがリセットされると、受信フレームは IEE 802.3 フレームであることを示します。本ビットは 14 バイト未満のラントフレームでは無効です。
b4	RWT	Receive Watchdog Timeout セットされると、現在のフレームを受信中に受信ウォッチドッグタイマの期限が切れたことを示します。ウォッチドッグタイムアウト後、現在のフレームは切り捨てられます。
b3	RE	Receive Error セットされると、フレームの受信中に GMII/MII RXDV 信号がアサートされ、その一方で GMII/MII RXER 信号がアサートされたことを示します。このエラーには GMII かつ半二重モードでのキャリア拡張エラーも含まれます。エラーは、拡張が少ないまたは無い、または拡張している間のエラー（RXD != 0xf）、でも起こり得ます。
b2	DE	Dribble Bit Error セットされると、受信フレームが非整数の倍数バイト（奇数ニブル）であることを示します。本ビットは MII モード時のみ有効です。
b1	CE	CRC Error セットされると、受信フレーム上で巡回冗長検査（CRC）エラーが起きていることを示します。本ビットは LS ビット（RDES0[8]）がセットされている時のみ有効です。
b0	Extended Status Available	Extended Status Available セットされると、ディスクリプタワード 4（RDES4）中の拡張ステータスが有効であることを示します。本ビットは LS ビット（RDES0[8]）がセットされている時のみ有効です。本ビットはビット 30 がセットされているときは無効です。 本ビットは IP チェックサムオフロードエンジンが受信フレームをバイパスしたときでもセットされます。このバイパスは、非 IP フレームまたは非 TCP/UDP/ICMP ペイロードを持つ IP フレームが要因で起こり得ます。

表 6.128 受信ディスクリプタフィールド 1 (RDES1)

ビット位置	ビット名	説明
b31	DIC	Disable Interrupt on Completion セットされると、ディスクリプタで指定されたバッファ内に受信フレームが行きついたときでも、ステータスレジスタの RI ビット（ビット 6）がセットされません。この結果、そのフレームに対する RI が要因の割り込みがホストへアサートされるのを禁止します。 備考 本ビットは LS ビット（RDES[8]）がセットされている時のみ有効です。
b30~b29	予約	予約
b28~b16	RBS2	Receive Buffer 2 Size これらのビットは 2 番目のデータバッファサイズをバイト単位で示します。バッファサイズは、たとえ RDES3（バッファ 2 アドレスポインタ）がバス幅にアラインされていなくても、4 の倍数でなくてはなりません。バッファサイズが適切な 4 の倍数でない場合、その結果の振る舞いは未定義です。本フィールドは RDES1[14] ビットがセットされている場合は無効です。
b15	RER	Receive End of Ring セットされると、ディスクリプタリストはその最後のディスクリプタに到達したことを示します。DMA はそのリストのベースアドレスに戻り、ディスクリプタリングを作ります。
b14	RCH	Second Address Chained セットされると、ディスクリプタの 2 番目のアドレスは、2 番目のバッファのアドレスよりむしろ次のディスクリプタであることを示します。本ビットがセットされると、RBS2（DES1[28:16]）は無視されます。RDES1[15] は RDES1[14] よりも優先されます。
b13	予約	予約
b12~b0	RBS1	Receive Buffer 1 Size 1 番目のデータバッファのサイズをバイト単位で示します。バッファサイズは、たとえ RDES2（バッファ 1 アドレスポインタ）の値がアラインされていなくても、4 の倍数でなくてはなりません。バッファサイズが 4 の倍数でない場合、その結果の振る舞いは未定義です。本フィールドが 0 の場合、DMA はこのバッファを無視し、RCH（ビット 14）の値に従いバッファ 2 または次のディスクリプタを使用します。

表 6.129 受信ディスクリプタフィールド 2 (RDES2)

ビット位置	ビット名	説明
b31~b0	Buffer 1 Address Pointer	Buffer 1 Address Pointer これらのビットはバッファ 1 の物理アドレスを示します。以下の条件を除けば、バッファアドレスのアラインメントにおける制限はありません：DMA は、RDES2 の値がフレームの先頭を格納するために使われるとき、そのアドレス生成用に設定された値を使用します。DMA は、フレームの先頭の転送中、RDES2[1:0] ビットを 0 として書き込み動作を行います。しかし、フレームデータは実際の各バッファアドレスポインタに従って移動されます。アドレスポインタがフレームの中間または最後の部分を格納したバッファを指している場合、DMA は RDES2[1:0] を無視します。

表 6.130 受信ディスクリプタフィールド 3 (RDES3)

ビット位置	ビット名	説明
b31~b0	Buffer 2 Address Pointer or Next Descriptor Address	Buffer 2 Address Pointer (Next Descriptor Address) これらのビットは、ディスクリプタリング構造を使用時、バッファ 2 の物理アドレスを示します。RCH ビット (RDES1[14]) がセットされたとき、このアドレスは次のディスクリプタが存在している物理アドレスへのポインタを含みます。 RDES1[14] ビットがセットされた場合、バッファ (次のディスクリプタ) アドレスポインタはバス幅にアライン (RDES3[1:0]=0) されていなければなりません。しかしながら、RDES1[14] がリセットされたとき、以下の条件を除けば RDES3 の値に制限はありません：RDES3 がフレームの先頭を格納するために使われたとき、DMA はそのバッファアドレス生成用に設定された値を使用します。フレームの中間または最後の部分が格納されたバッファをアドレスポインタが指している場合、DMA は RDES3[1:0] を無視します。

拡張ステータスは以下のテーブルで示されます。拡張ステータスは、IPC またはタイムスタンプに関連するステータスが利用可能であるときにのみ書き込まれます。拡張ステータスが利用できることは RDES0 のビット 0 で示されます。

表 6.131 受信ディスクリプタフィールド 4 (RDES4) (1/2)

ビット位置	ビット名	説明
b31~b15	予約	予約
b14	Timestamp Dropped	Timestamp Dropped セットされると、タイムスタンプがこのフレーム用に取得されたが、オーバフローによりそのタイムスタンプは MTL Rx FIFO 内でドロップされたことを示します。
b13	PTP Version	PTP Version セットされると、受信した PTP メッセージは IEEE 1588 バージョン 2 フォーマットであることを示します。リセットされるときは、バージョン 1 フォーマットです。
b12	PTP Frame Type	PTP Frame Type セットされると、PTP メッセージはイーサネット上で直接送信されたことを示します。本ビットがセットされておらずかつメッセージタイプが 0 ではないとき、PTP メッセージは UDP-IPv4 または UDP-IPv6 上で送信されたことを示します。IPv4 または IPv6 に関する情報はビット 6 またはビット 7 から得られます。
b11~b8	Message Type	Message Type これらのビットは受信したメッセージのタイプを与えるためにエンコードされます。 4'b0000 : PTP メッセージは受信していない 4'b0001 : SYNC (すべてのクロックタイプ) 4'b0010 : Follow_Up (すべてのクロックタイプ) 4'b0011 : Delay_Req (すべてのクロックタイプ) 4'b0100 : Delay_Resp (すべてのクロックタイプ) 4'b0101 : Pdelay_Req (ピアツーピアのトランスペアレントクロック) 4'b0110 : Pdelay_Resp (ピアツーピアのトランスペアレントクロック) 4'b0111 : Pdelay_Resp_Follow_Up (ピアツーピアのトランスペアレントクロック) 4'b1000 : Announce 4'b1001 : Management 4'b1010 : Signaling 4'b1011~4'b1110 : 予約 4'b1111 : Reserved メッセージタイプを持つ PTP パケット

表 6.131 受信ディスクリプタフィールド 4 (RDES4) (2/2)

ビット位置	ビット名	説明
b7	IPv6 Packet Received	IPv6 Packet Received セットされると、受信パケットが IPv6 であることを示します。本ビットは MAC コンフィグレーションレジスタのビット 10 (IPC) がセットされたときのみ更新されます。
b6	IPv4 Packet Received	IPv4 Packet Received セットされると、受信パケットが IPv4 であることを示します。本ビットは MAC コンフィグレーションレジスタのビット 10 (IPC) がセットされたときのみ更新されます。
b5	IP Checksum Bypassed	IP Checksum Bypassed セットされると、チェックサムオフロードエンジンはバイパスされていることを示します。
b4	IP Payload Error	IP Payload Error セットされると、計算された 16 ビットの IP ペイロードチェックサム (つまり、TCP、UDP、または ICMP のチェックサム) が受信セグメント内の対応するチェックサムフィールドと一致しないことを示します。また、本ビットは TCP、UDP、または ICMP セグメント長が IP ヘッダフィールド内のペイロード長の値と一致しない場合にもセットされます。本ビットはビット 7 またはビット 6 がセットされるときに有効です。
b3	IP Header Error	IP Header Error セットされると、計算された 16 ビットの IPv4 ヘッダチェックサムが受信されたチェックサムのバイト列と一致しない、または IP データグラムバージョンがイーサネットタイプ値と整合性がない、ことを示します。本ビットはビット 7 またはビット 6 がセットされるときに有効です。
b2~b0	IP Payload Type	IP Payload Type これらのビットは、受信チェックサムオフロードエンジン (COE) により処理された IP データグラム中にカプセル化されたペイロードのタイプを示します。また、IP ヘッダエラーやフラグメント化された IP により IP データグラムのペイロードを処理しないには、COE はこれらのビットに 3'b000 をセットします。 3'b000 : 不明または IP ペイロードを処理しなかった 3'b001 : UDP 3'b010 : TCP 3'b011 : ICMP 3'b1xx : 予約 本ビットはビット 7 またはビット 6 がセットされるときに有効です。

RDES6 と RDES7 はタイムスタンプのスナップショットを含みます。RDES6 と RDES7 におけるタイムスタンプのスナップショットが有効であることは、RDES0 ディスクリプタのビット 7 で示されます。RDES6 と RDES7 の内容は表 6.132 と表 6.133 でそれぞれ認識されます。

表 6.132 受信ディスクリプタフィールド 6 (RDES6)

ビット位置	ビット名	説明
b31~b0	RTSL	Receive Frame Timestamp Low 本フィールドは、対応する受信フレームのために取得されたタイムスタンプの下位 32 ビットで DMA により更新されます。本フィールドは受信フレームの最終ディスクリプタに対してのみ DMA により更新されます。最終ディスクリプタは LS ビット (RDES0[8]) で示されません。

表 6.133 受信ディスクリプタフィールド 7 (RDES7)

ビット位置	ビット名	説明
b31~b0	RTSH	Receive Frame Timestamp High 本フィールドは、対応する受信フレームのために取得されたタイムスタンプの上位 32 ビットで DMA により更新されます。本フィールドは受信フレームの最終ディスクリプタに対してのみ DMA により更新されます。最終ディスクリプタは LS ビット (RDES0[8]) で示されません。

6.6 使用上の注意事項

6.6.1 構成

構成は、以下に示すインプリメンテーションに依存します。

クロック

- CSR クロック : AHB クロック (GMAC[m]_HCLK)

機能

- システムインタフェース構成 : GMAC-AXI
- IEEE 1588 タイムスタンプ機能 : 有効
- IEEE 1588 補助スナップショット機能 : 有効
- 高度タイムスタンプ機能 : 有効
- フレキシブル PPS (1 秒間当たりのパルス数) 出力機能 : GMAC1 のみで有効
- IP チェックサムオフロード機能 : 有効
- フルチェックサムオフロード (タイプ 2) 機能 : 有効
- パワーマネージメント機能 : 有効
- AV 機能 : 無効
- ハッシュテーブル幅 : 256

HW_Feature レジスタにも、現在の構成を示します。

6.6.2 制約事項

6.6.2.1 イーサネット MAC

書き込み動作後にレジスタの何らかの内容が異なるクロックドメインに転送される場合、最初の書き込みが更新されるまでは、同じ場所にさらに書き込みを行わないでください。同じ場所にさらに書き込みを行うと、2 回目の書き込み動作は宛先クロックドメインに更新されません。そのため、同じレジスタ位置に対する 2 回の書き込み間の遅延は、宛先クロック (PHY 受信クロック、PHY 送信クロック、または PTP クロック) の少なくとも 4 サイクル以上必要です。

送信および受信データバッファは、開始アドレスのアライメントについて制約がありません。たとえば、32 ビットメモリのシステムでは、バッファの開始アドレスを 4 つのバイトのどこにでもアライメントできます。しかし、DMA は常に、バス幅にアライメントされたアドレスに、有効でないバイトレーンがダミーデータ (古いデータ) を使って、書き込み転送を開始します。これは、通常、イーサネットフレームの先頭または末尾を転送する際に発生します。ソフトウェアドライバは、バッファの開始アドレスとフレームのサイズに基づいて、ダミーバイトを廃棄してください。

6.6.3 MAC マネージメントカウンタ

MAC マネージメントカウンタ (MMC) モジュール内のカウンタは、CSR (コントロール&ステータスレジスタ) モジュールのレジスタアドレス空間の拡張とみなすことができます。MMC モジュールは、受信および送信フレームの統計を収集するためのレジスタセットを管理します。レジスタセットには、レジスタの動作を制御するためのコントロールレジスタ、生成された割り込み (受信および送信) を格納する 2 つの 32 ビットレジスタ、割り込みレジスタ (受信および送信) のマスクを格納する 2 つの 32 ビットレジスタが含まれます。これらのレジスタは、MAC コントロールインタフェース (MCI) を通じてアプリケーションからアクセス可能です。各レジスタは 32 ビット幅です。書き込みデータは、対応するバイトイネーブル信号によって限定されます。そのため、アドレスがワードアライメントである限り、32 ビット以外のアクセスも許容されます。MMC は、CSR アドレス空間にアクセスするときと同じように、トランザクションを使用してアクセスします。

MMC カウンタはフリーランニングです。カウンタを開始するための個別のイネーブルはありません。対応するフレームが受信または送信されると、カウンタを開始します。アドレスフィルタ (AFM) ブロックによってフレームが受け渡されると、受信 MMC カウンタが更新されます。AFM モジュールによってドロップされたフレームの統計は、6 バイト未満のラントフレーム (DA バイトが完全には受信されない) でない限り更新されません。すべてのフレームの統計を得るには、MAC_Frame_Filter レジスタ (MAC フレームフィルタレジスタ) のビット 0 をセットする必要があります。

6.6.3.1 アドレスの割り当て

次の定義は、用語を定義します。

- 送信したフレームは、正常に送信されると「正常」とみなされます。言い換えれば、送信フレームは、以下のいずれかのエラーによってフレーム送信がアボートされない場合、「正常」となります。
 - ジャバertimeアウト
 - キャリアなしまたはキャリア消失
 - 遅れコリジョン
 - フレームアンダーフロー
 - 過剰延期
 - 過剰コリジョン
- 受信したフレームは、次のいずれのエラーも存在しない場合、「正常」とみなされます。
 - CRC エラー
 - ラントフレーム (長さが 64 バイト未満)
 - アライメントエラー (10/100Mbps のみ)
 - 長さエラー (タイプではないフレームのみ)
 - 範囲外 (タイプではないフレームのみ、1518 バイトより長い)
 - GMII_RXER 入力エラー
- 最大フレームサイズは、以下のように、フレームタイプに依存します。
 - タグなしフレームの最大サイズ=1518
 - VLAN フレームの最大サイズ=1522
 - エンベロップフレームの最大サイズ=2000 (MAC コンフィグレーションレジスタ (MAC_Configuration) のビット 27 でプログラムされているとき)

注 意

次のオフセットアドレスの MMC カウンタレジスタは、読み出し専用タイプで、デフォルト値 0 を持ちます。

- 0x0114~0x0178
- 0x0180~0x01E4
- 0x0210~0x0244
- 0x0250~0x0284

RX MMC カウンタと RX IPC MMC カウンタは、MMC コントロールレジスタ (MMC_Control) のビット 8 (UCDBC) がブロードキャストフレームにセットされているときを除き、宛先アドレスフィルタをパスするフレームについてのみ更新されます。

6.6.4 MMC レジスタ

MMC レジスタは 4400 0100h~4400 01E4h (GMAC1)、4400 2100h~4400 21E4h (GMAC2) に配置されます。(「6.3 レジスタマップ」を参照)

6.6.4.1 MMC コントロールレジスタ (MMC_Control)

MMC コントロールレジスタは、マネージメントカウンタの動作モードを確立します。

注 意

ビット 0 (カウンタリセット) は、ビット 4 (カウンタプリセット) より優先されます。そのため、ソフトウェアが両ビットを同じ書き込みサイクルでセットしようとする、すべてのカウンタがクリアされ、ビット 4 はセットされません。

6.6.4.2 MMC 受信割り込みレジスタ (MMC_Receive_Interrupt)

MMC 受信割り込みレジスタは、以下が発生したときに生成された割り込みを保持します。

- 受信統計カウンタが最大値の半分 (32 ビットカウンタでは 0x8000_0000、16 ビットカウンタでは 0x8000) に到達。
- 受信統計カウンタが最大値 (32 ビットカウンタでは 0xFFFF_FFFF、16 ビットカウンタでは 0xFFFF) を超過。

カウンタストップロールオーバーがセットされているとき、割り込みはセットされますが、カウンタはすべて 1 のままになります。MMC 受信割り込みレジスタは、32 ビット幅のレジスタです。割り込みの原因となった対応する MMC カウンタが読み出されると、割り込みビットはクリアされます。割り込みビットをクリアするには、対応するカウンタの最下位バイトレーン (ビット[7:0]) を読み出してください。

6.6.4.3 MMC 送信割り込みレジスタ (MMC_Transmit_Interrupt)

MMC 送信割り込みレジスタは、送信統計カウンタが最大値の半分 (32 ビットカウンタでは 0x8000_0000、16 ビットカウンタでは 0x8000) に到達したときと最大値 (32 ビットカウンタでは 0xFFFF_FFFF、16 ビットカウンタでは 0xFFFF) を超過したときに生成される割り込みを管理します。カウンタストップロールオーバーがセットされているとき、割り込みはセットされますが、カウンタはすべて 1 のままになります。MMC 送信割り込みレジスタは、32 ビット幅のレジスタです。割り込みの原因となった対応する MMC カウンタが読み出されると、割り込みビットはクリアされます。割り込みビットをクリアするには、対応するカウンタの最下位バイトレーン (ビット[7:0]) を読み出してください。

6.6.4.4 MMC 受信割り込みマスクレジスタ (MMC_Receive_Interrupt_Mask)

MMC 受信割り込みマスクレジスタは、受信統計カウンタが最大値の半分または最大値に到達したときに生成される割り込みのマスクを管理します。本レジスタは 32 ビット幅です。

6.6.4.5 MMC 送信割り込みマスクレジスタ (MMC_Transmit_Interrupt_Mask)

MMC 送信割り込みマスクレジスタは、送信統計カウンタが最大値の半分または最大値に到達したときに生成される割り込みのマスクを管理します。本レジスタは 32 ビット幅です。

6.6.5 パワーマネージメントブロック

PMT レジスタは 4400 0028h~4400 002Ch (GMAC1) 、4400 2028h~4400 202Ch (GMAC2) に配置されます。(「6.3 レジスタマップ」を参照)

パワーマネージメント (PMT) ブロックは、ネットワーク (リモート) ウェイクアップフレームおよび Magic Packet フレームの受信をサポートします。PMT ブロックは、クロックゲート機能をサポートしていませんが、GMAC が受信したリモートウェイクアップフレームと Magic Packet について割り込みを生成しません。

注 意

- Magic Packet 機能は、『Magic Packet Technology』ホワイトペーパーに基づいてインプリメントされています。
- リモートウェイクアップフレーム機能は、デバイスクラスのパワーマネージメントリファレンス仕様と、さまざまなインプリメンテーション特化のホワイトペーパーに基づいてインプリメントされています。

PMT ブロックでパワーダウンモードを有効にすると、GMAC は受信したすべてのフレームをドロップして、MTL RxFIFO またはアプリケーションにフレームを一切転送しません。Magic Packet またはリモートウェイクアップフレームを受信し、対応する検出が有効になっているときのみ、GMAC はパワーダウンモードから抜けます。

PMT ブロックは、GMAC の受信経路で利用できます。両方のタイプのパワーマネージメントフレーム (リモートウェイクアップフレームと Magic Packet) を選択できます。PMT コントロール&ステータスレジスタ (PMT_Control_Status) のビット 2 およびビット 1 を使用して、パワーマネージメントイベントを生成できます。アプリケーションはこれらのビットをプログラムする必要があります。PMT レジスタには、GMAC CSR レジスタにアクセスするのと同様の方法でアクセス可能です。マッピング情報については、リモートウェイクアップフレームフィルタレジスタ (Remot_Wake_Up_Frame_Filter) と PMT コントロール&ステータスレジスタ (PMT_Control_Status) を参照してください。

6.6.5.1 PMT ブロックの説明

(1) リモートウェイクアップフレームフィルタレジスタ (Remote_Wake_Up_Frame_Filter)

Remote_Wake_Up_Frame_Filter レジスタ (アドレス : 0028h) は、ウェイクアップフレームフィルタレジスタ (wkupfmfilter_reg[n] n=0~7) にアクセスします。ウェイクアップフレームフィルタレジスタに書き込む場合は、8 回連続で wkupfmfilter_reg0、wkupfmfilter_reg1、... wkupfmfilter_reg7 の順番で 0028h に書き込みます。読み込みも同様の方法で行えます。GMAC は、PMT コントロール&ステータスレジスタ (PMT_Control_Status) のビット[26:24]で、wkupfmfilter_reg[n]レジスタの現在のポインタ値を更新します。

注 意

- これらのレジスタにバイトモードまたはハーフワードモードでアクセスする際、適切な wkupfmfilter_reg にアクセスするための内部カウンタは、CPU がレーン 3 にアクセスしたときにインクリメントされます。
- 書き込み動作後にレジスタの何らかの内容が異なるクロックドメインに転送される場合、最初の書き込みが更新されるまでは、同じ場所にさらに書き込みを行わないでください。同じ場所にさらに書き込みを行った場合、2 回目の書き込み動作は宛先クロックドメインに更新されません。そのため、同じレジスタ位置に対する 2 回の書き込み間の遅延は、宛先クロック (PHY 受信クロック、PHY 送信クロック、または PTP クロック) の少なくとも 4 サイクル以上必要です。

表 6.134 ウェイクアップフレームフィルタレジスタ

wkupfmfilter_reg0	フィルタ 0 バイトマスク							
wkupfmfilter_reg1	フィルタ 1 バイトマスク							
wkupfmfilter_reg2	フィルタ 2 バイトマスク							
wkupfmfilter_reg3	フィルタ 3 バイトマスク							
wkupfmfilter_reg4	RSVD	フィルタ 3 コマンド	RSVD	フィルタ 2 コマンド	RSVD	フィルタ 1 コマンド	RSVD	フィルタ 0 コマンド
wkupfmfilter_reg5	フィルタ 3 オフセット		フィルタ 2 オフセット		フィルタ 1 オフセット		フィルタ 0 オフセット	
wkupfmfilter_reg6	フィルタ 1 CRC-16				フィルタ 0 CRC-16			
wkupfmfilter_reg7	フィルタ 3 CRC-16				フィルタ 2 CRC-16			

フィルタ i バイトマスク

フィルタ i バイトマスクレジスタは、フレームがリモートウェイクアップフレームであるかを特定するために、フィルタ i (0、1、2、および 3) でフレームのどのバイトを調べるかを定義します。MSB (31 番目のビット) は 0 である必要があります。

ビット j [30:0] はバイトマスクです。バイトマスクのビット j (バイト番号) がセットされた場合、CRC ブロックは受信フレームのフィルタ i オフセット + j を処理します。バイトマスクのビット j がセットされない場合は、フィルタ i オフセット + j は無視されます。

フィルタ i コマンド

4 ビットのフィルタ i コマンドはフィルタ i を制御します。

- ビット 3 (CAST) はアドレスタイプを指定し、パターンの宛先アドレスタイプを定義します。ビットがセットされた場合、パターンはマルチキャストパケットのみに適用されます。ビットがリセットされた場合、パターンはユニキャストパケットのみに適用されます。
- ビット 2 (INV) は、セットされる場合、CRC16 ハッシュ関数信号の論理を反転し、CRC_16 値に一致するパケットを拒絶します。ビット 2 はビット 1 に連動し、"パターン 1 AND NOT パターン 2" のようなフィルタ回路を生成することで、リモートウェイクアップパケットのサブセットを拒絶させることができます。

- ビット 1 (And_Previous) はブール論理を実現します。
セットされた場合、現在のエントリの結果は前回のフィルタの結果との論理和となります。この論理和はマスクを 2~4 のフィルタに分割することで、32 バイトより長いフィルタパターンを許可します。これは And_Previous ビットがセットされたフィルタの数に依存します。
And_Previous ビットは一つ以上のフィルタ動作に適用可能であり、このフィルタの結果は前回のフィルタ結果と論理和されます。例えば、フィルタ 1 で And_Previous ビットがセットされた場合、フィルタ 0 とフィルタ 1 の両方が表 6.135 で示されるリモートウェイクアップパケット検出と割り込み生成の条件を満たす場合にのみ、リモートウェイクアップパケットが検出されて PMT 割り込みが生成されます。

備 考

- And_Previous ビットの設定は 4 セットのフィルタ内で有効です。
 - 4 セットのフィルタのうち最下位番号のフィルタの And_Previous ビットは何も影響しません。例えば、フィルタ 0 の And_Previous ビットの場合は影響しません。
 - And_Previous ビットがあるフィルタでセットされ、さらにその前のフィルタが無効であった場合、And_Previous の設定は何も影響しません。例えば、フィルタ 2 の And_Previous ビットがセットされているが、フィルタ 1 が無効（フィルタ 1 のコマンドのビット 0 がリセットされた）の場合、フィルタ 1 の結果だけが考慮されます。
-
- ビット 0 (EN) はフィルタ i のイネーブルです。ビット 0 がセットされていない場合、フィルタ i は無効です。

フィルタ i オフセット

フィルタ i オフセットレジスタは、フィルタ i がフレームのどこから調べるかの（フレーム内の）オフセットを定義します。8 ビットパターンのこのオフセットは、チェックするフィルタ i の最初のバイトのオフセットです。最小許容オフセットは 12 で、これはフレームの 13 バイト目にあたります。オフセット値 0 は、フレームの最初のバイトを表します。

フィルタ i CRC-16

フィルタ i CRC-16 レジスタには、パターンから計算された CRC_16 値と、ウェイクアップフィルタレジスタブロックにプログラムされたバイトマスクが含まれています。

16 ビット CRC の計算は次の多項式を使います。

$$G(x) = x^{16} + x^{15} + x^2 + 1$$

ハッシュ関数計算で使用される各マスクは、そのマスクに関連付けられた 16 ビット値と比較されます。各フィルタは以下を保持します。

- 32 ビットマスク: マスクの各ビットは検出されたパケット内の一つのバイトに対応します。ビットが 1 の場合、対応するバイトが CRC16 計算に取り込まれます。
- 8 ビットオフセットポインタ: CRC16 計算の開始バイトを指定します。

ポインタとマスクは CRC16 計算で使用されるバイト位置を特定するために一緒に使用されます。

表 6.135 に PMT 割り込みが発生するリモートウェイクアップのシナリオ一覧を示します。

表 6.135 リモートウェイクアップと PMT 割り込み生成

フィルタ i コマンド			フレームタイプと CRC の状態		割り込み生成
CAST	INV	EN	受信フレームのキャスト型	CRC の状態	RWK INTR
0	0	1	ユニキャスト	一致	リモートウェイクアップパケットは検出され、PMT 割り込みが生成されます。
0	1	1	ユニキャスト	不一致	リモートウェイクアップパケットは検出され、PMT 割り込みが生成されます。
1	0	1	マルチキャスト	一致	リモートウェイクアップパケットは検出され、PMT 割り込みが生成されます。
1	1	1	マルチキャスト	不一致	リモートウェイクアップパケットは検出され、PMT 割り込みが生成されます。

注： 他のすべての組み合わせでは、リモートウェイクアップパケットは検出されず、PMT 割り込みは生成されません。

6.6.6 DMA レジスタ

本項は、各 DMA レジスタのビットを定義します。DMA レジスタへの書き込みデータ入力は、対応するバイトイネーブル信号入力（MCI インタフェース）によって限定されます。そのため、アドレスがワードアライメントである限り、32 ビット以外のアクセスも許容されます。バイト、ハーフワード、またはワードアクセスが可能です。

DMA レジスタは 4400 1000h～4400 1058h（GMAC1）、4400 3000h～4400 3058h（GMAC2）に配置されます。（「6.3 レジスタマップ」を参照）

6.6.6.1 バスモードレジスタ（Bus_Mode）

バスモードレジスタは、DMA のバス動作モードを確立します。

6.6.6.2 送信ポーリング要求レジスタ（Transmit_Poll_Demand）

送信ポーリング要求レジスタを使用すると、現在のディスクリプタが DMA によって所有されているかどうかを Tx DMA がチェックできるようになります。Suspend モードの場合、送信ポーリング要求コマンドは、Tx DMA をウェイクアップさせるために発行されます。Tx DMA は、送信フレームにおけるアンダーフローエラーや、所有するディスクリプタが利用不能である場合に Suspend モードに入ることがあります。このコマンドはいつでも発行できます。また、Tx DMA がホストメモリから現在のディスクリプタを再び取り込み始めると、このコマンドは Tx DMA によってリセットされます。本レジスタは読み出されると、常に 0 に戻ります。

6.6.6.3 受信ポーリング要求レジスタ（Receive_Poll_Demand）

受信ポーリング要求レジスタを使用すると、Rx DMA が新しいディスクリプタをチェックできるようになります。本コマンドは、Rx DMA を Suspend ステートからウェイクアップさせるために発行されます。Rx DMA は、所有するディスクリプタが利用不能であるときのみ、Suspend ステートに入ることができます。本レジスタは読み出されると、常に 0 に戻ります。

6.6.6.4 受信ディスクリプタリストアドレスレジスタ（Receive_Descriptor_List_Address）

受信ディスクリプタリストアドレスレジスタは、受信ディスクリプタリストの先頭を示します。ディスクリプタリストは、ホストの物理メモリ空間に存在し、Word（32 ビットデータバス用）でアライメントされている必要があります。DMA は、対応する LS ビットを Low にすることで、内部的にこれをバス幅にアライメントされたアドレスに変換します。本レジスタへの書き込みは、受信が停止しているときのみ許可されます。停止しているとき、受信開始コマンドが発行される前に、本レジスタに書き込んでください。

本レジスタに書き込みができるのは、Rx DMA が停止しているとき、つまり、動作モードレジスタ（Operation_Mode）のビット 1（SR）が 0 にセットされているときのみです。停止しているとき、本レジスタに新しいディスクリプタリストアドレスを書き込むことができます。SR ビットを 1 にセットすると、DMA は新しくプログラムされたディスクリプタのベースアドレスを取得します。

SR ビットが 0 にセットされたときに本レジスタが変更されない場合、DMA は前に停止したところのディスクリプタアドレスを取得します。

6.6.6.5 送信ディスクリプタリストアドレスレジスタ (Transmit_Descriptor_List_Address)

送信ディスクリプタリストアドレスレジスタは、送信ディスクリプタリストの先頭を示します。ディスクリプタリストは、ホストの物理メモリ空間に存在し、Word (32 ビットデータバス用) でアライメントされている必要があります。DMA は、対応する LSB を Low にすることで、内部的にこれをバス幅にアライメントされたアドレスに変換します。

本レジスタに書き込みができるのは、Tx DMA が停止しているとき、つまり、動作モードレジスタ (Operation_Mode) のビット 13 (ST) が 0 にセットされているときのみです。停止しているとき、本レジスタに新しいディスクリプタリストアドレスを書き込むことができます。

ST ビットを 1 にセットすると、DMA は新しくプログラムされたディスクリプタのベースアドレスを取得します。

ST ビットが 0 にセットされたときに本レジスタが変更されない場合、DMA は前に停止したところのディスクリプタアドレスを取得します。

6.6.6.6 ステータスレジスタ (Status)

ステータスレジスタには、DMA がホストにレポートするすべてのステータスビットが含まれます。ソフトウェアドライバは、割り込みサービスルーチンまたはポーリング中に本レジスタを読み出します。本レジスタのフィールドのほとんどは、ホストに割り込みを起こさせます。本レジスタのビットは、読み出し時にクリアされません。本レジスタの (予約されていない) ビット[16:0]に 1'b1 を書き込むと、これらのビットがクリアされます。1'b0 を書き込んで影響はありません。各フィールド (ビット[16:0]) は、割り込み許可レジスタ (Interrupt_Enable) の該当するビットをマスクすることによりマスクできます。

6.6.6.7 動作モードレジスタ (Operation_Mode)

動作モードレジスタは、送信および受信動作モードおよびコマンドを確立します。本レジスタは、DMA 初期化の一部として書き込まれる最後の CSR である必要があります。

6.6.6.8 割り込み許可レジスタ (Interrupt_Enable)

割り込み許可レジスタは、ステータスレジスタ (Status) によって通知された割り込みを許可します。ビットを 1'b1 にセットすることで、該当する割り込みを許可します。ハードウェアリセットまたはソフトウェアリセット後、すべての割り込みが禁止されます。

6.6.6.9 欠落フレームおよびバッファオーバーフローカウンタレジスタ (Missed_Frame_And_Buffer_Overflow_Counter)

DMA は 2 つのカウンタを管理し、受信中に失われたフレームの数をトラッキングします。本レジスタは、カウンタの現在値を通知します。本カウンタは診断目的で使用されます。ビット[15:0]は、ホストバッファが利用不能であったために欠落したフレームを示します。ビット[27:17]はバッファオーバーフロー条件 (MTL および MAC) によって欠落したフレームおよび MTL によってドロップされたラントフレーム (64 バイト未満の正常フレーム) を示します。

6.6.6.10 受信割り込みウォッチドッグタイマレジスタ (Receive_Interrupt_Watchdog_Timer)

本レジスタに 0 以外の値を書き込むと、ステータスレジスタ (Status) の受信割り込み (ビット 6) のウォッチドッグタイマが有効になります。

6.6.6.11 AXI バスモードレジスタ (AXI_Bus_Mode)

AXI バスモードレジスタは、AXI マスタの動作を制御します。これは、主にバーストのスプリットと Outstanding リクエストの数を制御するために使用されます。

6.6.6.12 AXI ステータスレジスタ (AXI_Status)

本レジスタは、AXI マスタインタフェースの読み出しおよび書き込みチャネルのアクティブステータスを提供します。本レジスタは、デバッグ目的で役立ちます。

6.6.6.13 カレントホスト送信ディスクリプタレジスタ (Current_Host_Transmit_Descriptor)

カレントホスト送信ディスクリプタレジスタは、DMA によって読み出される現在の送信ディスクリプタの開始アドレスを示します。

6.6.6.14 カレントホスト受信ディスクリプタレジスタ (Current_Host_Receive_Descriptor)

カレントホスト受信ディスクリプタレジスタは、DMA によって読み出される現在の受信ディスクリプタの開始アドレスを示します。

6.6.6.15 カレントホスト送信バッファアドレスレジスタ (Current_Host_Transmit_Buffer_Address)

カレントホスト送信バッファアドレスレジスタは、DMA によって読み出される現在の送信バッファアドレスを示します。

6.6.6.16 カレントホスト受信バッファアドレスレジスタ (Current_Host_Receive_Buffer_Address)

カレントホスト受信バッファアドレスレジスタは、DMA によって読み出される現在の受信バッファアドレスを示します。

6.6.6.17 HW 機能レジスタ (HW_Feature)

本レジスタは、GMAC のオプション機能が存在することを示します。ソフトウェアドライバは、本レジスタを使用してオプションブロックに関連するプログラムを動的にイネーブルまたはディスエーブルすることが可能です。

6.6.7 MAC レジスタ

MAC レジスタは 4400 0000h~4400 080Ch (GMAC1)、4400 2000h~4400 280Ch (GMAC2) に配置されます。(「6.3 レジスタマップ」を参照)

6.6.7.1 MAC コンフィグレーションレジスタ (MAC_Configuration)

MAC コンフィグレーションレジスタは、受信および送信動作モードを確立します。

次の表は、MAC コンフィグレーションレジスタのビット 27 およびビット 20 の設定がジャイアントフレームのステータスにどう影響するかを示しています。

表 6.136 ビット 27 およびビット 20 に基づくジャイアントフレームのステータス

長さ/タイプフィールド	受信したフレーム長	ビット 27 (TWOKPE)	ビット 20 (JE)	ジャイアントフレームの ステータス
タグなしパケット	>1,518	0	0	1
	>2,000	1	0	1
	>9,018	x	1	1
VLAN タグ付きのパケット	>1,522	0	0	1
	>2,000	1	0	1
	>9,022	x	1	1

注： その他すべての組み合わせでは、ジャイアントフレームステータスは 0 になります。

次の表は、MAC コンフィグレーションレジスタ (MAC_Configuration) のビット 7 およびビット 25 が、フレーム長に CRC の長さを含めるかどうかによってどう影響するかを示しています。

注 意

タイプ/長さフィールドが 1,536 未満の場合、CST フィールドは動作に影響を与えません。同様に、タイプ/長さフィールドが 1,536 より大きい場合、ACS フィールドは動作に影響を与えません。

表 6.137 ビット 7 およびビット 25 に基づくフレーム長

受信チェックサム オフロードエンジン	タイプ/長さフィールド	ビット 7 (ACS)	ビット 25 (CST)	FCS 除去
COE タイプ 2	<1,536	0	x	なし
		1	x	あり
	≥1,536	x	0	なし
		x	1	あり

6.6.7.2 MAC フレームフィルタレジスタ (MAC_Frame_Filter)

MAC フレームフィルタレジスタには、受信したフレームに対するフィルタコントロールが含まれます。本レジスタのコントロールの一部は、GMAC のアドレスチェックブロックに進み、そこでアドレスフィルタリングの最初のレベルを実行します。フィルタリングの 2 番目のレベルは、受信フレームに対して、パスバンドフレームやパスコントロールフレームなどの他のコントロールをベースとして実行されます。

6.6.7.3 GMII アドレスレジスタ (GMII_Address)

GMII アドレスレジスタは、マネージメントインタフェースを通じて、外部 PHY へのマネージメントサイクルを制御します。

6.6.7.4 GMII データレジスタ (GMII_Data)

GMII データレジスタは、GMII アドレスレジスタ (GMII_Address) で指定されたアドレスに存在する PHY レジスタに書き込まれる書き込みデータを格納します。本レジスタは、GMII_Address によって指定されるアドレスに存在する PHY レジスタからの読み出しデータも格納します。

6.6.7.5 フローコントロールレジスタ (Flow_Control)

フローコントロールレジスタは、GMAC のフローコントロールモジュールによるコントロール (PAUSE コマンド) フレームの生成と受信を制御します。ビジービットを 1 にセットしてレジスタに書き込むと、フローコントロールブロックがトリガされ、PAUSE フレームが生成されます。IEEE 802.3x 仕様で規定されたコントロールフレームのフィールドが選択され、本レジスタからの PAUSE 時間値が、コントロールフレームの PAUSE 時間フィールドに使用されます。コントロールフレームがケーブルに転送されるまで、ビジービットはセットされたままになります。ホストは、レジスタに書き込む前に、ビジービットがクリアされていることを確認してください。

6.6.7.6 VLAN タグレジスタ (VLAN_Tag)

VLAN タグレジスタには、VLAN フレームを識別するための IEEE 802.1Q VLAN タグが含まれます。GMAC は、受信したフレーム (長さ/タイプ) の 13 バイト目と 14 バイト目を 16'h8100 と比較し、次の 2 つのバイトを VLAN タグと比較します。一致した場合、GMAC は受信した VLAN ビットを受信フレームステータスにセットします。フレームの公式な長さは、1,518 バイトから 1,522 バイトへと増えます。

本レジスタへの連続書き込みは、宛先クロックドメインで少なくとも 4 クロックサイクル経過してから行う必要があります。

6.6.7.7 バージョンレジスタ (Version)

バージョンレジスタは、GMAC のバージョンを識別します。

6.6.7.8 デバッグレジスタ (Debug)

デバッグレジスタは、送信および受信データパスおよび FIFO のすべてのメインモジュールのステータスを提供します。すべて 0 のステータスは、GMAC がアイドルステート (および FIFO がエンプティ) であることを示し、データパス上でアクティビティが行われていないことを示します。

注 意

デバッグレジスタのリセット値は、リセット動作中にクロックが存在するときのみ有効です。

6.6.7.9 LPI コントロール&ステータスレジスタ (LPI_Control_Status)

LPI コントロール&ステータスレジスタは、LPI 機能を制御し、LPI 割り込みステータスを提供します。本レジスタを読み出すと、ステータスビットがクリアされます。

6.6.7.10 LPI タイマコントロールレジスタ (LPI_Timers_Control)

LPI タイマコントロールレジスタは、LPI ステートのタイムアウト値を制御します。GMAC が LPI パターンを送信する時間と、GMAC が通常の送信を再開するまでに待機する時間を指定します。

6.6.7.11 割り込みステータスレジスタ (Interrupt_Status)

割り込みステータスレジスタは、GMAC 内で割り込みを生成するイベントを識別します。

6.6.7.12 割り込みマスクレジスタ (Interrupt_Mask)

割り込みマスクレジスタビットを使用すると、割り込みステータスレジスタの対応するイベントにより、割り込み信号をマスクできます。

6.6.7.13 MAC アドレス 0 上位レジスタ (MAC_Address0_High)

MAC アドレス 0 上位レジスタは、ステーションの MAC アドレスの先頭 6 バイトの上位 16 ビットを保持しています。(G) MII インタフェースで受信される最初の DA バイトは、MAC アドレス下位レジスタの LS バイト (ビット[7:0]) に対応します。たとえば、(G) MII の宛先アドレスとして 0x112233445566 が受信された場合 (最初の列のレーン 0 に 0x11) MAC アドレス 0 レジスタ [47:0] は 0x665544332211 と比較されます。

MAC アドレス 0 下位レジスタのビット[31:24]が書き込まれたときのみ、同期化が実施されます。適切な同期更新を行うには、本アドレス下位レジスタへの連続書き込みは、宛先クロックドメインで少なくとも 4 クロックサイクル経過してから行う必要があります。

6.6.7.14 MAC アドレス 0 下位レジスタ (MAC_Address0_Low)

MAC アドレス 0 下位レジスタは、ステーションの MAC アドレスの先頭 6 バイトの下位 32 ビットを保持しています。

6.6.7.15 MAC アドレス 1 上位レジスタ (MAC_Address1_High)

MAC アドレス 1 上位レジスタは、ステーションの MAC アドレスの 2 番目の 6 バイトの上位 16 ビットを保持しています。

MAC アドレス 1 下位レジスタのビット[31:24]が書き込まれたときのみ、同期化が実施されます。適切な同期更新を行うには、本アドレス下位レジスタへの連続書き込みは、宛先クロックドメインで少なくとも 4 クロックサイクル経過してから行う必要があります。

6.6.7.16 MAC アドレス 1 下位レジスタ (MAC_Address2_Low)

MAC アドレス 1 下位レジスタは、ステーションの MAC アドレスの 2 番目の 6 バイトの下位 32 ビットを保持しています。

注 意

- MAC アドレス 2 上位レジスタから MAC アドレス 15 上位レジスタまでの説明は、MAC アドレス 1 上位レジスタの説明と同じです。
- MAC アドレス 2 下位レジスタから MAC アドレス 15 下位レジスタまでの説明は、MAC アドレス 1 下位レジスタの説明と同じです。
- MAC アドレス 16 上位レジスタから MAC アドレス 17 上位レジスタまでの説明は、MAC アドレス 1 上位レジスタの説明と同じです。
- MAC アドレス 16 下位レジスタから MAC アドレス 17 下位レジスタまでの説明は、MAC アドレス 1 下位レジスタの説明と同じです。

6.6.7.17 ウォッチドッグタイムアウトレジスタ (WDog_Timeout)

本レジスタは、受信したフレームのウォッチドッグタイムアウトを制御します。

6.6.7.18 ハッシュテーブルレジスタ 0 (Hash_Table_Reg0)

本レジスタには、ハッシュテーブルの最初の 32 ビットが含まれます。

256 ビットのハッシュテーブルは、グループアドレスフィルタリングに用いられます。ハッシュフィルタリングでは、受信フレームの宛先アドレスの内容が CRC ロジックに受け渡され、CRC レジスタの上位 8 ビットがハッシュテーブル内容のインデックスとして使用されます。最上位ビットは、使用するレジスタを決定し (ハッシュテーブルレジスタ X)、最下位の 5 ビットはレジスタ内のビットを決定します。

値 8b'10111111 はハッシュテーブルレジスタ 5 のビット 31 を選択します。

宛先アドレスのハッシュ値は、次の方法で計算されます。

1. DA の 32 ビット CRC を計算します (計算手順については、『IEEE 802.3』の『セクション 3.2.8』を参照してください)。
2. ステップ 1 で得られた値をビット反転します。
3. ステップ 2 で得られた値から上位 7 (または 8) ビットを取り出します。

レジスタの対応するビット値が 1'b1 の場合、フレームは受け入れられます。そうでない場合、フレームは拒否されます。MAC フレームフィルタレジスタ (MAC_Frame_Filter) でビット 1 (すべてのマルチキャストをパス) がセットされている場合、マルチキャストハッシュ値にかかわらず、すべてのマルチキャストフレームが受け入れられます。

ハッシュテーブルレジスタ X のビット[31:24]が書き込まれたときのみ、同期化が実施されます。

注 意

- 本レジスタへの連続書き込みは、宛先クロックドメインで少なくとも 4 クロックサイクル経過してから行う必要があります。
- ハッシュテーブルレジスタ 1~7 は、ハッシュテーブルレジスタ 0 と同様です。

6.6.7.19 VLAN ハッシュテーブルレジスタ (VLAN_Hash_Table_Reg)

16 ビットハッシュテーブルは、VLAN タグレジスタ (VLAN_Tag) のビット 19 (VTHM) がセットされているとき、VLAN タグに基づくグループアドレスフィルタリングに使用されます。ハッシュフィルタリングでは、受信フレームの 16 ビットの VLAN タグまたは 12 ビットの VLAN 識別子 (VLAN タグレジスタのビット 16 (ETV) に基づく) の内容が CRC ロジックに受け渡され、計算された CRC の上位 4 ビットが VLAN ハッシュテーブル内容をインデックスするために使用されます。たとえば、ハッシュ値 4b'1000 は、VLAN ハッシュテーブルのビット 8 を選択します。

宛先アドレスのハッシュ値は、次の方法で計算されます。

1. VLAN タグまたは ID の 32 ビット CRC を計算します (CRC32 を計算する手順については、『IEEE 802.3』の『セクション 3.2.8』を参照してください)。
2. ステップ 1 で得られた値をビット反転します。
3. ステップ 2 で得られた値から上位 4 ビットを取り出します。

レジスタの対応するビット値が 1'b1 の場合、フレームは受け入れられます。そうでない場合、フレームは拒否されます。本レジスタのビット[15:8]が書き込まれたときのみ、同期がトリガされます。

注 意

本レジスタへの連続書き込みは、宛先クロックドメインで少なくとも 4 クロックサイクル経過してから行う必要があります。

6.6.8 IEEE 1588 タイムスタンプレジスタ

本項は、IEEE 1588 の機能をサポートするために必要な更新されたレジスタについて説明します。

IEEE 1588 タイムスタンプレジスタは 4400 0700h~4400 078Ch (GMAC1) 、4400 2700h~4400 2734h (GMAC2) に配置されます。(「6.3 レジスタマップ」を参照)

6.6.8.1 タイムスタンプコントロールレジスタ (Timestamp_Control)

本レジスタは、システム時間ジェネレータの動作と、レシーバのタイムスタンプ生成のための PTP パケットの処理を制御します。

注 意

- 外部タイムスタンプ入力機能が有効になったとき、ビット[5:1]は予約ビットです。(GMAC2 が該当)
- 次の表は、タイムスタンプコントロールレジスタ (Timestamp_Control) のビット[17:14] (SNAPTYPSEL) に応じてスナップショットが取得される、PTP メッセージを示します。

表 6.138 レジスタビットとタイムスタンプスナップショットの依存関係

SNAPTYPSEL (ビット 17:16)	TSMSTRENA (ビット 15)	TSEVNTENA (ビット 14)	PTP メッセージ
2'b00	X	0	SYNC、Follow_Up、Delay_Req、Delay_Resp
2'b00	0	1	SYNC
2'b00	1	1	Delay_Req
2'b01	X	0	SYNC、Follow_Up、Delay_Req、Delay_Resp、Pdelay_Req、Pdelay_Resp、Pdelay_Resp_Follow_Up
2'b01	0	1	SYNC、Pdelay_Req、Pdelay_Resp
2'b01	1	1	Delay_Req、Pdelay_Req、Pdelay_Resp
2'b10	X	X	SYNC、Delay_Req
2'b11	X	X	Pdelay_Req、Pdelay_Resp

6.6.8.2 サブセカンドインクリメントレジスタ (Sub_Second_Increment)

本レジスタは、IEEE 1588 タイムスタンプ機能が、外部タイムスタンプ入力なしで選択されているときのみ存在します。Coarse 更新モード (タイムスタンプコントロールレジスタ (Timestamp_Control) の TSCFUPDT ビット) では、GMAC_PTP_REFCLK_I のクロックサイクルごとに、本レジスタの値がシステム時間に加算されます。Fine 更新モードでは、アキュムレータがオーバーフローするたびに、本レジスタの値がシステム時間に加算されます。

本レジスタは、GMAC1 にのみ存在します。

6.6.8.3 システム時間 - 秒レジスタ、ナノ秒レジスタ (System_Time_Seconds、System_Time_Nanoseconds)

システム時間秒レジスタとシステム時間ナノ秒レジスタは、GMAC によって管理されているシステム時間の現在の値を示します。連続的に更新されますが、(GMAC_PTP_REFCLK_I から CSR クロック (GMAC[m]_HCLK) への) クロックドメイン転送レイテンシによって、実際の時間からいくらか遅延します。

これらのレジスタ (システム時間 - 秒およびシステム時間 - ナノ秒) は、IEEE 1588 タイムスタンプ機能が、外部タイムスタンプ入力なしで選択されたときのみ存在します。

本レジスタは、GMAC1 にのみ存在します。

6.6.8.4 システム時間 - 秒更新レジスタ、ナノ秒更新レジスタ (System_Time_Seconds_Update、System_Time_Nanoseconds_Update)

システム時間秒更新レジスタとシステム時間ナノ秒更新レジスタは、GMAC によって保持されているシステム時間を初期化または更新します。タイムスタンプコントロールレジスタの TSINIT または TSUPDT ビットをセットする前に、これら両方のレジスタに書き込んでください。

本レジスタは、GMAC1 にのみ存在します。

6.6.8.5 タイムスタンプ加数レジスタ (Timestamp_Addend)

本レジスタは、IEEE 1588 タイムスタンプ機能が、外部タイムスタンプ入力なしで選択されているときのみ存在します。本レジスタの値は、システム時間が Fine 更新モード (タイムスタンプコントロールレジスタ (Timestamp_Control) の TSCFUPDT ビット) に構成されているときのみ使用されます。本レジスタの内容は、GMAC_PTP_REFCLK_I のクロックサイクルごとに 32 ビットアキュムレータに加算され、システム時間はアキュムレータがオーバーフローするたびに更新されます。

本レジスタは、GMAC1 にのみ存在します。

6.6.8.6 ターゲット時間 - 秒レジスタ、ターゲット時間 - ナノ秒レジスタ (Target_Time_Seconds、Target_Time_Nanoseconds)

ターゲット時間 - 秒レジスタとターゲット時間 - ナノ秒レジスタは、システム時間がこれらのレジスタでプログラムされた値を超えたとき、割り込みイベント (高度タイムスタンプが有効なとき Timestamp_Status[1]、そうでないとき Interrupt_Status[9] の TSIS 割り込みビット) をスケジュールするために使用されます。

本レジスタは、GMAC1 にのみ存在します。

6.6.8.7 タイムスタンプステータスレジスタ (Timestamp_Status)

ホストが本レジスタを読み出すと、ビット[27:25]を除くすべてのビットがクリアされます。

6.6.8.8 PPS コントロールレジスタ (PPS_Control)

本レジスタは、GMAC1 にのみ存在します。

6.6.8.9 補助タイムスタンプ - ナノ秒レジスタ (Auxiliary_Timestamp_Nanoseconds)

本レジスタと補助タイムスタンプ - 秒レジスタ (Auxiliary_Timestamp_Seconds) は、補助スナップショットとして保存される 64 ビットタイムスタンプを提供します。これら 2 つのレジスタを合わせて、64 ビット幅、容量 4 の FIFO の読み出しポートを構成します。この FIFO には、複数のスナップショットを保存できます。タイムスタンプステータスレジスタの ATSNS ビットは、この FIFO のフィルレベルを示します。FIFO の最上部は、補助タイムスタンプ - 秒レジスタの最後のバイトが読み出されたときのみ除去されます。つまり、ビット[31:24]が読み出されたときです。

6.6.8.10 PPS0 インターバルレジスタ (PPS0_Interval)

PPS0 インターバルレジスタには、PPS0 信号出力 (MAC_PPS[0]) の立ち上がりエッジ間のサブセカンドインクリメント値の単位数が含まれます。

本レジスタは、GMAC1 にのみ存在します。

6.6.8.11 PPS0 幅レジスタ (PPS0_Width)

PPS0 幅レジスタには、PPS0 信号出力 (MAC_PPS[0]) の立ち上がりエッジと対応する立ち下がりエッジ間のサブセカンドインクリメント値の単位数が含まれます。

本レジスタは、GMAC1 にのみ存在します。

6.6.8.12 PPS1 ターゲット時間 - 秒レジスタ (PPS1_Target_Time_Seconds)

PPS1 ターゲット時間秒レジスタと PPS1 ターゲット時間 - ナノ秒レジスタは、システム時間がこれらのレジスタでプログラムされた値を超えたとき、割り込みイベント (タイムスタンプステータスレジスタ (Timestamp_Status) のビット 1 (TSTARGT)) をスケジュールするために使用されます。

本レジスタは、GMAC1 にのみ存在します。

6.6.8.13 PPS1 ターゲット時間 - ナノ秒レジスタ (PPS1_Target_Time_Nanoseconds)

本レジスタは、GMAC1 にのみ存在します。

注 意

- PPS1 インターバルレジスタ (PPS1_Interval) は、PPS0 インターバルレジスタ (PPS0_Interval) と同様です。
- PPS1 幅レジスタ (PPS1_Width) は、PPS0 幅レジスタ (PPS0_Width) と同様です。

第7章 HSR スイッチ

7.1 概要

- HSR 機能 (IEC 62439-3 Edition 2.0 - 2012)
 - DANH : 2 ポート使用
 - 冗長ボックス (Red Box) : 3 ポート使用 (1 ポートはシングルアタッチノード)
 - 冗長送信フレームの生成
 - 重複した受信フレームのフィルタリング
 - 冗長ヘッダの生成および検出
 - 受信フレームの状況を把握するためのテーブル
- 100Mbps の全二重イーサネットのみサポート
- 動的フレームバッファ割り当て (ページ管理)
- 128 のプロキシノード (VDAN) をサポート
- フレーム送受信用の CPU インタフェース
- リンクローカルプロトコルのサポート (CPU は特定ポートのみに送信、受信ポートは CPU により識別)
- 重複検出メモリ
- MAC アドレスフィルタリング (インターリンクポート用 8 フィルタマスク、CPU 用 6 フィルタマスク)
- 1 つの VLAN タグをサポート
- ポートごとのポート統計情報 (集約なし)
 - ホストポート経由で SNMP を介した MIB サブセットへのアクセス
- フレームバッファサイズ : 144K バイト
 - HW-RTOS GMAC との静的共有メモリ (HSR 機能および HW-RTOS GMAC 機能で排他)
- IEEE 1588-2008 のサポート
 - ポート A、ポート B、インターリンク上の PTPv2 タイムスタンプ
 - 通常クロック (OC) / 境界クロック (BC)
 - ポート A とポート B 間のトランスペアレントクロック (TC)
 - MII パススルー (ワンステップモードまたはツーステップオペレーションが可能)
 - 低レイテンシ (100Mbps で 960ns)
 - BC/OC クロックおよび TC クロックそれぞれに独立したタイムスタンプ
 - PTP フレームで認識されるヘッダ : HSR、VLAN
- PTP インタフェース
 - 32 ビット入力 (現在秒値)
 - 30 ビット入力 (現在ナノ秒値)
 - 信号の再同期化のための PTP クロック
- フラッドイング制御を伴うイーサネットマルチキャストフレームをサポート
拡張フレームサイズ : 最大 2000 バイト (ジャンボフレームは未サポート)

- インタフェース
 - ネイティブモード MII
 - (外部端子で接続される) RMII/RGMII コンバータが管理する非ネイティブ RMII
- 1つの HSR ループに最小 16 ノードをサポート
- ターゲットは HSR ループ内で 65M ビットの帯域幅を持つ 10 ノード

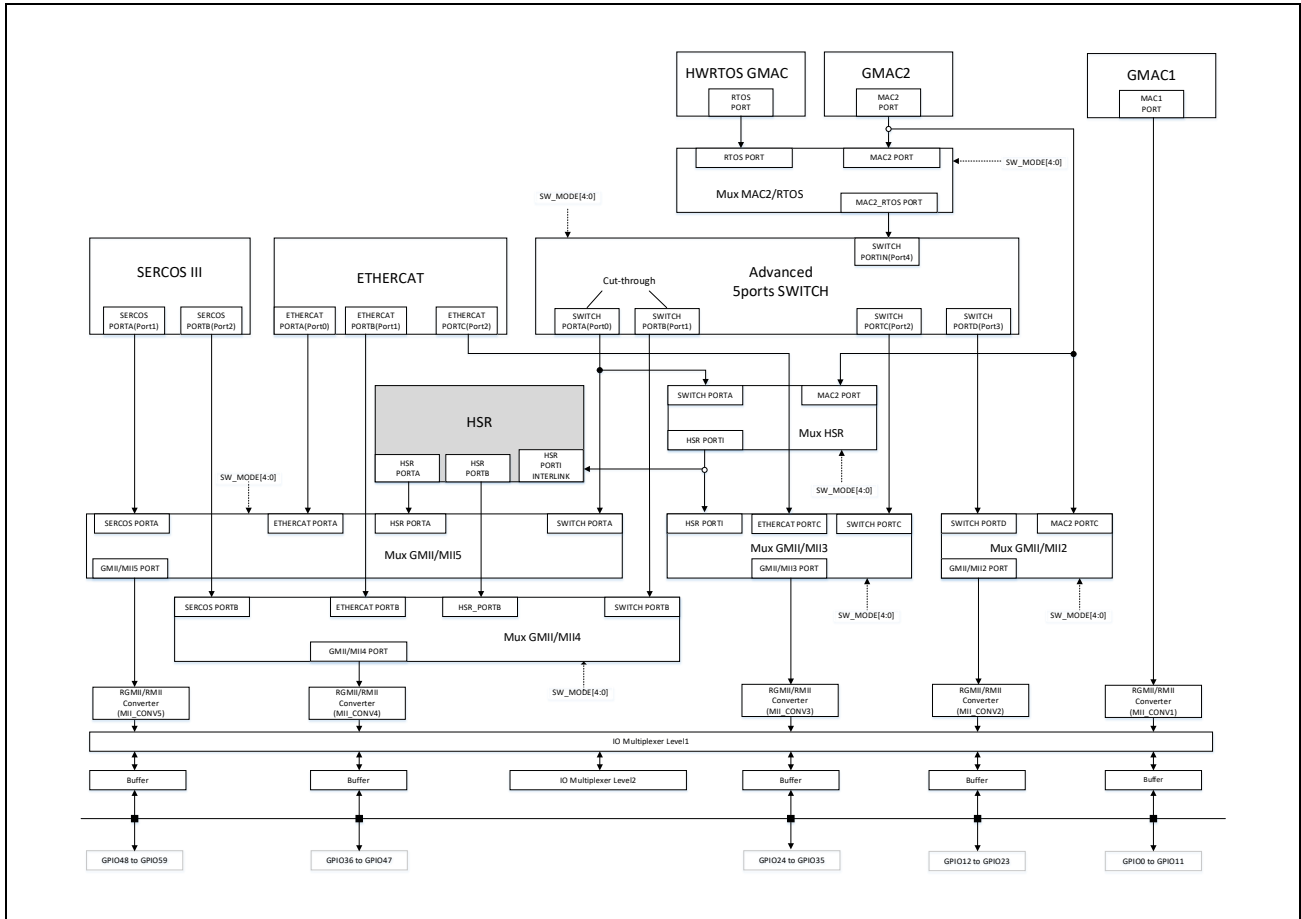


図 7.1 HSR のブロック図

7.1.1 HSR RedBox

HSR-SAN モードでは、HSR コアは標準イーサネットフレームをインターリンクポートから受信します。HSR コアは HSR ヘッダを付与し、複製を双方のリングポートに送信します。リングからの各フレームは HSR ヘッダなしでインターリンクポートに転送されます。重複は、HSR シーケンス番号とフレーム送信元アドレスの組み合わせを使用して廃棄されます。

HSR-HSR モードでは、RedBox を使用して 2 つの HSR リング接続が可能です。異なるリングからの 2 つの RedBox は、インターリンクポートを介して接続され、1 つの QuadBox を形成します。2 つの QuadBox を使用して冗長遷移を行います。

RedBox とは別に、HSR リングはネイティブ HSR をサポートした二重接続のノード (DANH) も含むことができます。これらのノードは、インターリンクポートからのソース MAC アドレスを 1 つのみサポートしません。

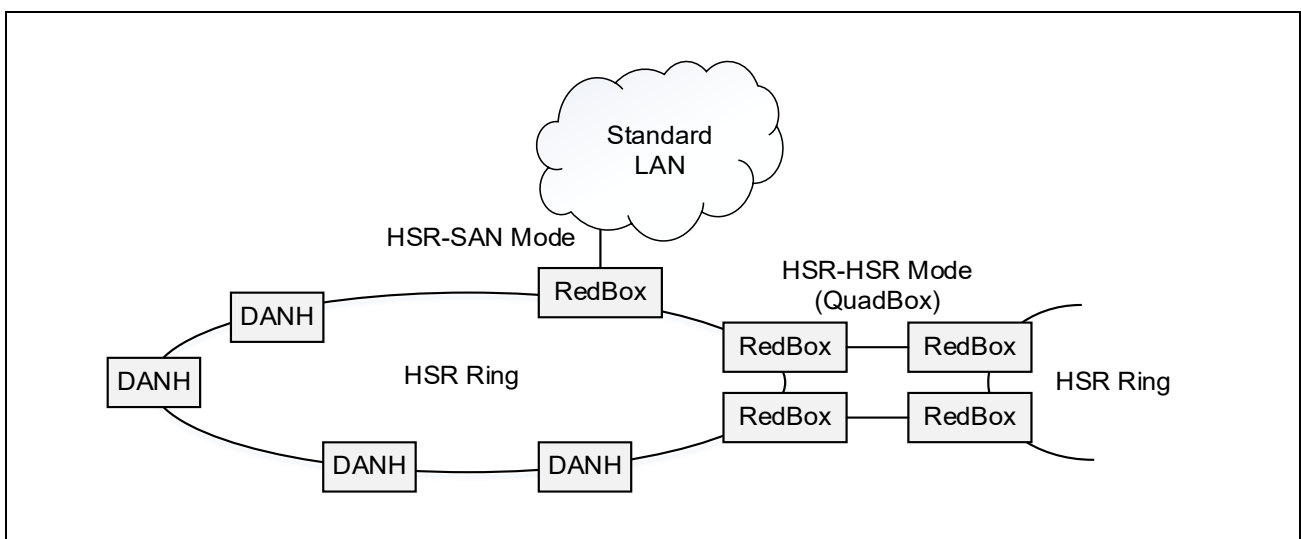


図 7.2 HSR リングおよびノードタイプ

7.2 信号インタフェース

信号名	入出力	説明	アクティブ
クロック			
HSR_HCLK	入力	AHB クロック	
HSR_CLK100	入力	100 MHz クロック	
HSR_CLK50	入力	50 MHz クロック	
割り込み			
HSR_CPU_I_IRQ	出力	CPU インタフェース割り込み、レベル検出	High
HSR_PTP_I_IRQ	出力	PTP インタフェース割り込み、レベル検出	High

7.3 レジスタマップ

表 7.1 HSR レジスタマップ (1/2)

アドレス	レジスタシンボル	レジスタ名
4404 0000h	RCI_WCONFIG	送信コンフィグレーションレジスタ
4404 0004h	RCI_RCONFIG	受信コンフィグレーションレジスタ
4404 0008h	RCI_INT	割り込みレジスタ
4404 000Ch+4h×n	RCI_TXRX_DATA[n] (n=0~508)	フレームデータ送信レジスタ/フレームデータ受信レジスタ
4404 8000h	R_MACADL	自 MAC アドレス Low レジスタ
4404 8004h	R_MACADH	自 MAC アドレス High レジスタ
4404 8008h	R_TST1	アライブテスト 1 レジスタ
4404 800Ch	R_TST2	アライブテスト 2 レジスタ
4404 8010h	R_PEN	ポートイネーブルレジスタ
4404 8014h	R_PNT_AGT	プロキシノードテーブルエージングタイムレジスタ
4404 8018h	R_DD_AGT	重複検出エージングタイムレジスタ
4404 801Ch+8h×(m-1)	R_MACFLT_I[m]L (m=1~8)	フィルタ MAC アドレスインターリンク[m] Low レジスタ
4404 8020h+8h×(m-1)	R_MACFLT_I[m]H (m=1~8)	フィルタ MAC アドレスインターリンク[m] High レジスタ
4404 805Ch+8h×(m-1)	R_MACFLT_C[m]L (m=1~6)	フィルタ MAC アドレス CPU[m] Low レジスタ
4404 8060h+8h×(m-1)	R_MACFLT_C[m]H (m=1~6)	フィルタ MAC アドレス CPU[m] High レジスタ
4404 808Ch	R_VER	HSR バージョンレジスタ
4404 8090h	R_RAM_STA	RAM ステータスレジスタ
4404 8094h	R_UFMC	使用フレームメモリカウントレジスタ
4404 8098h	R_FRA_ALL_ARX	受信フレーム A レジスタ
4404 809Ch	R_FRA_TAG_ARX	タグ付き受信フレーム A レジスタ
4404 80A0h	R_FRA_NLL_ARX	非リンクローカル受信フレーム A レジスタ
4404 80A4h	R_FRA_ERR_ARX	受信エラーフレーム A レジスタ
4404 80A8h	R_FRA_WRO_ARX	LAN 誤りフレーム A レジスタ
4404 80ACh	R_FRA_ALL_ATX	送信フレーム A レジスタ
4404 80B0h	R_FRA_TAG_ATX	タグ付き送信フレーム A レジスタ
4404 80B4h	R_FRA_NLL_ATX	非リンクローカル送信フレーム A レジスタ
4404 80B8h	R_FRA_ALL_BRX	受信フレーム B レジスタ
4404 80BCh	R_FRA_TAG_BRX	タグ付き受信フレーム B レジスタ
4404 80C0h	R_FRA_NLL_BRX	非リンクローカル受信フレーム B レジスタ
4404 80C4h	R_FRA_ERR_BRX	受信エラー B レジスタ
4404 80C8h	R_FRA_WRO_BRX	LAN 誤りカウント B レジスタ
4404 80CCh	R_FRA_ALL_BTX	送信フレーム B レジスタ
4404 80D0h	R_FRA_TAG_BTX	タグ付き送信フレーム B レジスタ
4404 80D4h	R_FRA_NLL_BTX	非リンクローカル送信フレーム B レジスタ
4404 80D8h	R_FRA_ALL_CRX	受信フレーム C レジスタ
4404 80DCh	R_FRA_TAG_CRX	タグ付き受信フレーム C レジスタ
4404 80E0h	R_FRA_NLL_CRX	非リンクローカル受信フレーム C レジスタ
4404 80E4h	R_FRA_ERR_CRX	受信エラー C レジスタ
4404 80E8h	R_FRA_WRO_CRX	LAN 誤りカウント C レジスタ
4404 80ECh	R_FRA_ALL_CTX	送信フレーム C レジスタ
4404 80F0h	R_FRA_TAG_CTX	タグ付き送信フレーム C レジスタ
4404 80F4h	R_FRA_NLL_CTX	非リンクローカル送信フレーム C レジスタ
4404 80F8h	R_FREE_FRA_M	空きフレームメモリカウント
4404 80FCh	R_DBG_RPT1	内部デバッグレポートレジスタ 1

表 7.1 HSR レジスタマップ (2/2)

アドレス	レジスタシンボル	レジスタ名
4404 8100h	R_DBG_RPT2	内部デバッグレポートレジスタ 2
4404 8104h	R_PNT_S	プロキシノードテーブルステータスレジスタ
4404 8108h	R_PNT_D	プロキシノードテーブルデータレジスタ
4404 C000h	RPTP_ID	PTP コア ID レジスタ
4404 C004h	RPTP_TST	PTP コアテストレジスタ
4404 C008h	RPTP_VER	PTP バージョンレジスタ
4404 C00Ch	RPTP_GPO	汎用レジスタ
4404 C014h	RPTP_INT	PTP 割り込みレジスタ
4404 C018h	RPTP_INT_MSK	PTP 割り込みマスクレジスタ
4404 C01Ch~4404 C040h	(予約)	
4404 C044h+18h×(m-1)	RPTP_TS_STAT_[m] (m=1~4)	タイムスタンプステータスレジスタ P[m]
4404 C048h+18h×(m-1)	RPTP_TS_RD_[m] (m=1~4)	タイムスタンプリードレジスタ P[m]
4404 C04Ch+18h×(m-1)	RPTP_PORT_CONF_[m] (m=1~4)	ポートコンフィグレーションレジスタ P[m]
4404 C050h+18h×(m-1)	RPTP_P_DELAY_[m] (m=1~4)	ピア遅延レジスタ P[m]
4404 C054h+18h×(m-1)	RPTP_PHY_DLY_TX_[m] (m=1~4)	PHY TX 遅延レジスタ P[m]
4404 C058h+18h×(m-1)	RPTP_PHY_DLY_RX_[m] (m=1~4)	PHY RX 遅延レジスタ P[m]
4404 C0A4h	RPTP_BUF_STAT	バッファステータスレジスタ

7.4 レジスタの説明

7.4.1 RCI_WCONFIG — 送信コンフィグレーションレジスタ

アドレス 4404 0000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SB	—	—	END	—	—	—	—	PTH			TAG	B	A	I	
リセット後の値	0	X	X	0	X	X	X	X	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	WFS											
リセット後の値	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0

表 7.2 RCI_WCONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b31	SB	送信ビット 1にセットされている場合にフレーム送信を開始します。 本ビットはフレームの送信後、自動的に0にセットされます。	R/W
b30、b29	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b28	END	エンディアンスワップ 有効な場合、書き込まれたフレームデータはリトルエンディアンと解釈されます（最下位バイトがワイヤ上の1バイト目となります）。	R/W
b27～b24	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b23～b20	PTH	バス HSR タグのバスフィールドです。	R/W
b19	TAG	タグ付き送信 セットされている場合、フレームはタグおよびシーケンス番号と共にポート A またはポート B で送信されます。セットされていない場合、フレームはタグなしで送信されます。	R/W
b18	B	ポート B に送信 TAG ビットに従ってポート B にフレームを送信します。	R/W
b17	A	ポート A に送信 TAG ビットに従ってポート A にフレームを送信します。	R/W
b16	I	インターリンクに送信 インターリンクにフレームを送信します。通常はタグなしで、TAG ビットを無視します。HSR-HSR または HSR-PRP モードの HSR RedBox については TAG ビットに従います。	R/W
b15～b12	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b11～b0	WFS	書き込みフレームサイズ プリアンブル、SFD および FCS を除く送信フレームサイズです。	R/W

7.4.2 RCI_RCONFIG — 受信コンフィグレーションレジスタ

アドレス 4404 0004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RFD	FP	—	END	—	—	—	—	—	—	—	—	TAG		RPT	
リセット後の値	0	0	X	0	X	X	X	X	X	X	X	X	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	RFS											
リセット後の値	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0

表 7.3 RCI_RCONFIG レジスタの内容

ビット位置	ビット名	機能	R/W
b31	RFD	フレーム読み出し完了 CPU からバッファへのハンドシェイクビットです。 1 にセットされている場合、ハードウェアはフレームバッファを解放します。	W
b30	FP	フレーム保留中 0 : これ以上はフレームなし 1 : バッファに受信フレームあり CPU への他のフレームを読み出し中に次のフレームが受信されたかどうかをチェックするため、各フレームの読み出し後に本ビットを読んでください。よって次の読み出しが必要となります。	R
b29	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b28	END	エンディアンスワップ 有効な場合、フレームはリトルエンディアンとして読み出されます（最下位バイトがワイヤ上の 1 バイト目となります）。	R/W
b27~b20	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b19、b18	TAG	タグ付き受信 00b : RX ポートでタグの検出なし 01b : HSR ヘッダ 10b : PRP-1 トレーラ 11b : 予約	R
b17、b16	RPT	受信ポート 00b : 予約 01b : インターリンク 10b : ポート A 11b : ポート B	R
b15~b12	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b11~b0	RFS	読み出しフレームサイズ プリアンブル、SFD および FCS を除く受信フレームサイズです。	R

7.4.3 RCI_INT — 割り込みレジスタ

アドレス 4404 0008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TXI	RXI
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0

表 7.4 RCI_INT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b2	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b1	TXI	TX 割り込み スイッチへのフレーム送信が完了すると、割り込みは1になります。ビットは読むとクリアされます。	R
b0	RXI	RX 割り込み スイッチからのフレーム受信が完了すると、割り込みは1になります。ビットは読むとクリアされます。	R

7.4.4 RCI_TXRX_DATA[n] — フレームデータ送信/受信レジスタ (n=0~508)

アドレス 4404 000Ch+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BYTE4								BYTE3							
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BYTE2								BYTE1							
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 7.5 RCI_TXRX_DATA[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	BYTE4	バイト[4+4×n] 読み出し：受信データバイト ^{注1} 書き込み：送信データバイト ^{注2}	R/W
b23~b16	BYTE3	バイト[3+4×n] 読み出し：受信データバイト ^{注1} 書き込み：送信データバイト ^{注2}	R/W
b15~b8	BYTE2	バイト[2+4×n] 読み出し：受信データバイト ^{注1} 書き込み：送信データバイト ^{注2}	R/W
b7~b0	BYTE1	バイト[1+4×n] 読み出し：受信データバイト ^{注1} 書き込み：送信データバイト ^{注2}	R/W

注1. プリアンブル、SFD および FCS は本レジスタには格納されません。有効なバイトレーン、BYTE[m] (m=1、2、3、…、RFS) です。BYTE[k] (k=RFS+1、RFS+2、…) は無効です。

注2. プリアンブル、SFD および FCS を本レジスタに書き込まないで下さい。有効なバイトレーン、BYTE[m] (m=1、2、3、…、WFS) です。BYTE[k] (k=WFS+1、WFS+2、…) は無効です。

7.4.5 R_MACADL — 自 MAC アドレス Low レジスタ

アドレス 4404 8000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.6 R_MACADL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	MAL	MAC アドレス Low デバイス MAC アドレス（リトルエンディアン）の下位 4 バイトです。	R/W

7.4.6 R_MACADH — 自 MAC アドレス High レジスタ

アドレス 4404 8004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MLE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MAH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.7 R_MACADH レジスタの内容

ビット位置	ビット名	機能	R/W
b31	MLE	MAC 学習有効 デバイス MAC アドレスの学習を有効にします。 有効な場合、デバイスはデバッグ「インターリンク」ポートで受信した最初のソース MAC アドレスを自 MAC アドレスとみなします。 1: 有効 0: 無効 DANH 実装時のみ使用されます。	R/W
b30~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	MAH	MAC アドレス High デバイス MAC アドレスの上位 2 バイトです。 リトルエンディアン	R/W

7.4.7 R_TST1 — アライブテスト1レジスタ

アドレス 4404 8008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TS1															
リセット後の値	1	0	1	0	1	1	0	0	1	1	0	0	1	1	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TS1															
リセット後の値	0	1	0	1	0	1	0	1	1	1	1	0	1	1	0	1

表 7.8 R_TST1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TS1	テスト1 デバイスが起動中かつ実行中の場合、本レジスタを読むと値 0xACCE55ED が返されます。	R

7.4.8 R_TST2 — アライブテスト2レジスタ

アドレス 4404 800Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TS2															
リセット後の値	1	0	1	0	1	1	0	0	1	1	0	0	1	1	1	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TS2															
リセット後の値	0	1	0	1	0	1	0	1	1	1	1	0	1	1	0	1

表 7.9 R_TST2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TS2	テスト2 本レジスタには任意の値を書き込みます。次の読み出しで値 0xACCE55ED と XOR を取った値が返されます。	R/W

7.4.9 R_PEN — ポートイネーブルレジスタ

アドレス 4404 8010h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RBM			HPC				HPI			NOM			—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CUP	BTE	ATE	ITE	CTE	BRE	ARE	IRE	CRE
リセット後の値	X	X	X	X	X	X	X	1	0	0	0	0	0	0	0	0

表 7.10 R_PEN レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b29	RBM	RedBox オペレーションモード 000b : HSR-SAN モード 001b : HSR-PRP A モード 010b : HSR-PRP B モード 011b : HSR-HSR モード	R/W
b28~b25	HPC	HSR パス CPU CPU インタフェースから受信したフレームに HSR タグをセットするためのパスフィールドです。	R/W
b24~b21	HPI	HSR パスインターリンク インターリンクポートから受信したフレームに HSR タグをセットするためのパスフィールドです。本ビット群の上位 3 ビットは HSR 標準で「ネットワーク識別子」といわれています。PRP A モードまたは PRP B モードの RedBox の場合、本ネットワーク識別子にマッチするフレームは HSR リングポートからインターリンクに転送されません。	R/W
b20~b18	NOM	ノード動作モード 000b : HSR タグ付き転送 (モード H) 001b : 転送なし (モード N) 010b : 透過的全転送 (モード T) 100b : ユニキャスト転送 (モード U)	R/W
b17~b9	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b8	CUP	PRP トレーラを削除 1 : PRP トレーラを削除 0 : PRP トレーラを削除しない	R/W
b7	BTE	ポート B TX 許可 1 : フレーム送信許可 0 : 禁止	R/W
b6	ATE	ポート A TX 許可 1 : フレーム送信許可 0 : 禁止	R/W
b5	ITE	インターリンク TX 許可 1 : フレーム送信許可 0 : 禁止	R/W
b4	CTE	CPU TX 許可 1 : フレーム送信許可 0 : 禁止	R/W

表 7.10 R_PEN レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b3	BRE	ポート B RX 許可 1: フレーム受信許可 0: 禁止	R/W
b2	ARE	ポート A RX 許可 1: フレーム受信許可 0: 禁止	R/W
b1	IRE	インターリンク RX 許可 1: フレーム受信許可 0: 禁止	R/W
b0	CRE	CPU RX 許可 1: フレーム受信許可 0: 禁止	R/W

7.4.10 R_PNT_AGT — プロキシノードテーブルエージングタイムレジスタ

アドレス 4404 8014h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AT															
リセット後の値	0	0	0	0	1	0	1	1	0	0	1	0	1	1	0	1

表 7.11 R_PNT_AGT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b15~b0	AT	エージングタイム プロキシノードテーブルのエージングタイムです。 初期値は60秒です。本レジスタの値は以下の式で計算されます。 $T_{aging} / (64 \times N_{proxy_nodes_max}^2 \times aging_clock_duration)$ ここでは、 T_{aging} は60秒、 $N_{proxy_nodes_max}$ は128、 $aging_clock_duration$ は20ナノ秒です。	R/W

7.4.11 R_DD_AGT — 重複検出エージングタイムレジスタ

アドレス 4404 8018h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DIS	LEN				—	—	—	—	—	—	—	—	—	AT	
リセット後の値	0	0	1	0	0	X	X	X	X	X	X	X	X	X	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

表 7.12 R_DD_AGT レジスタの内容

ビット位置	ビット名	機能	R/W
b31	DIS	エージング無効 重複テーブルのエージングを無効にするには、本ビットを1にしてください。	R/W
b30~b27	LEN	LENGTH 重複検出の長さは $256 \times LEN$ です。	R
b26~b18	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b17~b0	AT	エージングタイム ダミーの重複エントリが書き込まれた後、一番古いエントリを上書きするクロック数。最小値は2であり、40ns 毎に1エントリをクリアします。新規の重複エントリは、およそ $20ns \times AT \times 256 \times LEN$ 後にエージングによってクリアされます。	R/W

7.4.12 R_MACFLT_I[m]L — フィルタ MAC アドレスインターリンク[m] Low レジスタ (m=1~8)

アドレス 4404 801Ch + 8h × (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FML															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FML															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.13 R_MACFLT_I[m]L レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	FML	MAC アドレス Low 最初の MAC フィルタの MAC アドレス[m]の下位 4 バイトです。 リトルエンディアン	R/W

7.4.13 R_MACFLT_I[m]H — フィルタ MAC アドレスインターリンク[m] High レジスタ (m=1~8)

アドレス 4404 8020h + 8h × (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FBM												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FMH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.14 R_MACFLT_I[m]H レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b20	FBM	フィルタビットマスク 各ビットで MAC フィルタの MAC アドレス[m]の 1 ニブルを有効にします。	R/W
b19~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	FMH	MAC アドレス High 最初の MAC フィルタの MAC アドレス[m]の上位 2 バイトです。 リトルエンディアン	R/W

7.4.14 R_MACFLT_C[m]L — フィルタ MAC アドレス CPU[m] Low レジスタ (m=1~6)

アドレス 4404 805Ch + 8h × (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FML															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FML															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.15 R_MACFLT_C[m]L レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	FML	MAC アドレス Low CPU MAC フィルタの MAC アドレス[m]の低位 4 バイトです。 リトルエンディアン	R/W

7.4.15 R_MACFLT_C[m]H — フィルタ MAC アドレス CPU[m] High レジスタ (m=1~6)

アドレス 4404 8060h + 8h × (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FBM												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FMH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.16 R_MACFLT_C[m]H レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b20	FBM	フィルタビットマスク 各ビットで MAC フィルタの MAC アドレス[m]の 1 ニブルを有効にします。	R/W
b19~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	FMH	MAC アドレス High MAC-フィルタの MAC アドレス[m]の上位 2 バイトです。 リトルエンディアン	R/W

7.4.16 R_VER — HSR バージョンレジスタ

アドレス 4404 808Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NT	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CVM							CVS								
リセット後の値	0	0	0	0	0	1	0	0	0	1	1	1	0	0	1	0

表 7.17 R_VER レジスタの内容

ビット位置	ビット名	機能	R/W
b31、b30	NT	ノードタイプ HSR コアのノードタイプを指定します。 (MIB と同様、2=HSR)	R
b29~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b8	CVM	コアバージョンメイン メインリリース番号です。	R
b7~b0	CVS	コアバージョンサブ サブリリース番号です。	R

7.4.17 R_RAM_STA — RAM ステータスレジスタ

アドレス 4404 8090h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FP															
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FH															
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

表 7.18 R_RAM_STA レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	FP	空きページ 空きのデータページ数です。	R
b15~b0	FH	空きヘッダ 空きのヘッダ RAM エントリ数です。	R

7.4.18 R_UFMC — 使用フレームメモリカウントレジスタ

アドレス 4404 8094h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	UF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	UF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.19 R_UFMC レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	UF	使用済みフレーム データ RAM に書き込まれた全フレームの合計です。 したがって、「空きフレームメモリカウントレジスタ」と同値になります。	R

7.4.19 R_FRA_ALL_ARX — 受信フレーム A レジスタ

アドレス 4404 8098h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ALL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.20 R_FRA_ALL_ARX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ALL	受信済みフレーム ポート A で受信されたフレームの数です。	R

7.4.20 R_FRA_TAG_ARX — タグ付き受信フレーム A レジスタ

アドレス 4404 809Ch

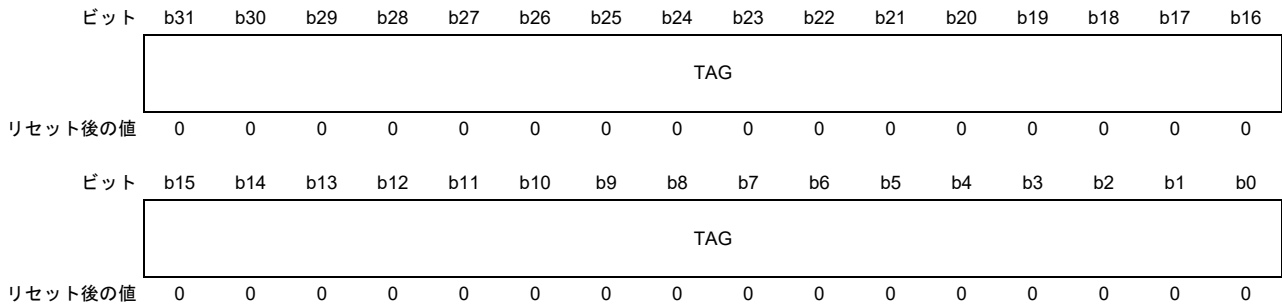


表 7.21 R_FRA_TAG_ARX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TAG	タグ付き受信フレーム ポート A で受信されたタグ付きフレームの数です。	R

7.4.21 R_FRA_NLL_ARX — 非リンクローカル受信フレーム A レジスタ

アドレス 4404 80A0h

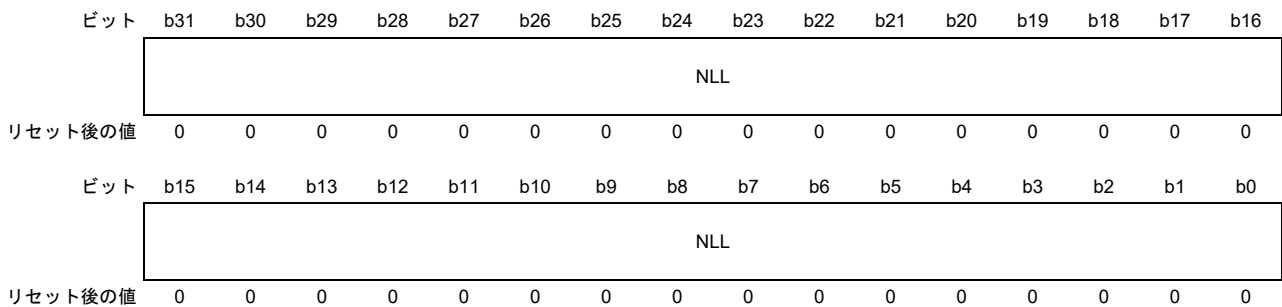


表 7.22 R_FRA_NLL_ARX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	NLL	非リンクローカル受信フレーム ポート A で受信された非リンクローカルフレームの数です。	R

7.4.22 R_FRA_ERR_ARX — 受信エラーフレーム A レジスタ

アドレス 4404 80A4h

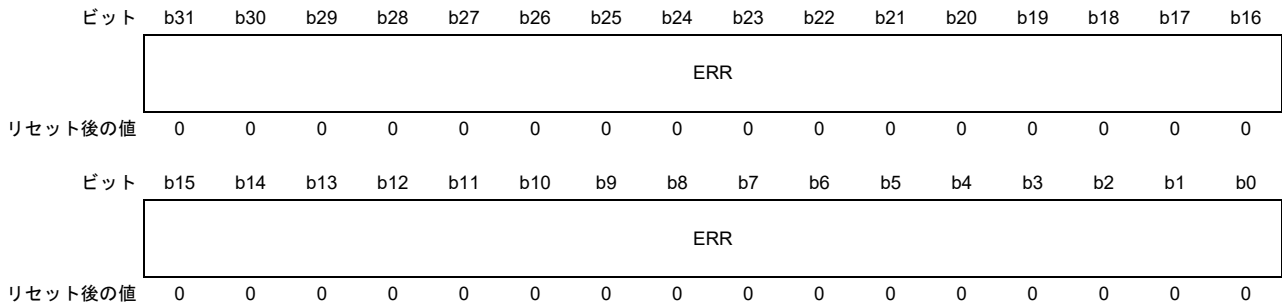


表 7.23 R_FRA_ERR_ARX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ERR	受信フレームエラー ポート A で受信中に発生したフレームエラー数です。	R

7.4.23 R_FRA_WRO_ARX — LAN 誤りフレーム A レジスタ

アドレス 4404 80A8h

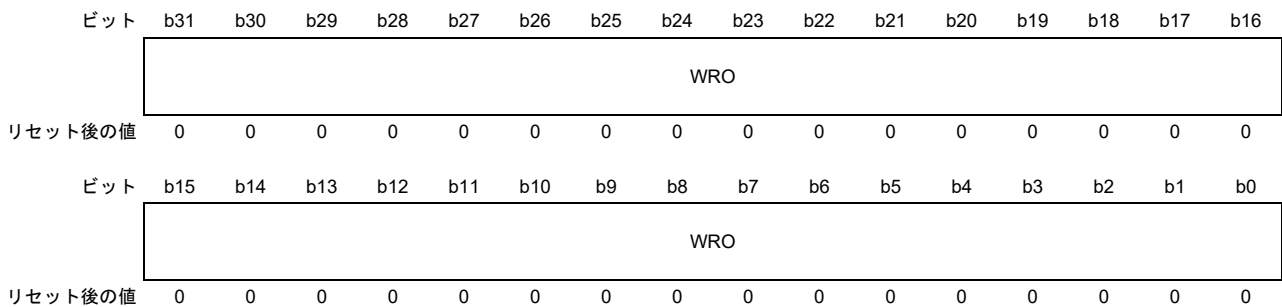


表 7.24 R_FRA_WRO_ARX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	WRO	LAN 誤りフレーム (PRP-1 RedBox のみ) ポート A で受信された、誤った LAN ID を含む PRP-1 トレーラ付きフレームの数です。	R

7.4.24 R_FRA_ALL_ATX — 送信フレーム A レジスタ

アドレス 4404 80ACh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ALL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.25 R_FRA_ALL_ATX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ALL	送信フレーム ポート A で送信されたフレームの数です。	R

7.4.25 R_FRA_TAG_ATX — タグ付き送信フレーム A レジスタ

アドレス 4404 80B0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TAG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TAG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.26 R_FRA_TAG_ATX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TAG	タグ付き送信フレーム ポート A で送信されたタグ付きフレームの数です。	R

7.4.26 R_FRA_NLL_ATX — 非リンクローカル送信フレーム A レジスタ

アドレス 4404 80B4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NLL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NLL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.27 R_FRA_NLL_ATX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	NLL	送信フレーム ポート A で送信された非リンクローカルフレームの数です。	R

7.4.27 R_FRA_ALL_BRX — 受信フレーム B レジスタ

アドレス 4404 80B8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ALL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.28 R_FRA_ALL_BRX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ALL	受信フレーム ポート B で受信されたフレームの数です。	R

7.4.28 R_FRA_TAG_BRX — タグ付き受信フレーム B レジスタ

アドレス 4404 80BCh

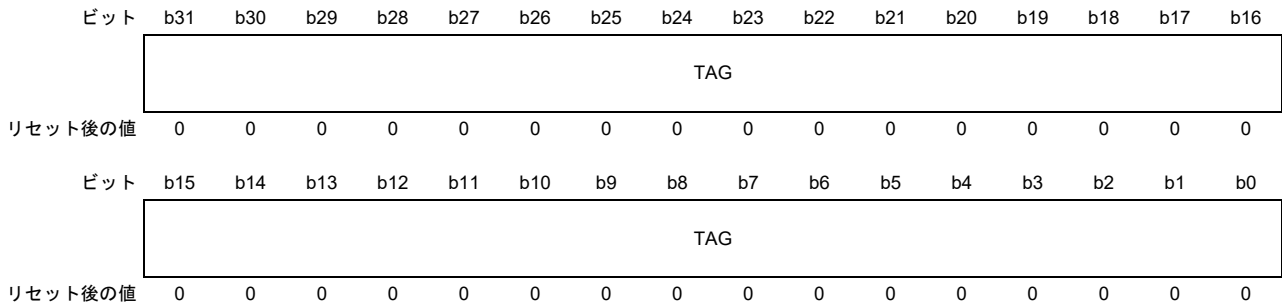


表 7.29 R_FRA_TAG_BRX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TAG	タグ付き受信フレーム ポート B で受信されたタグ付きフレームの数です。	R

7.4.29 R_FRA_NLL_BRX — 非リンクローカル受信フレーム B レジスタ

アドレス 4404 80C0h

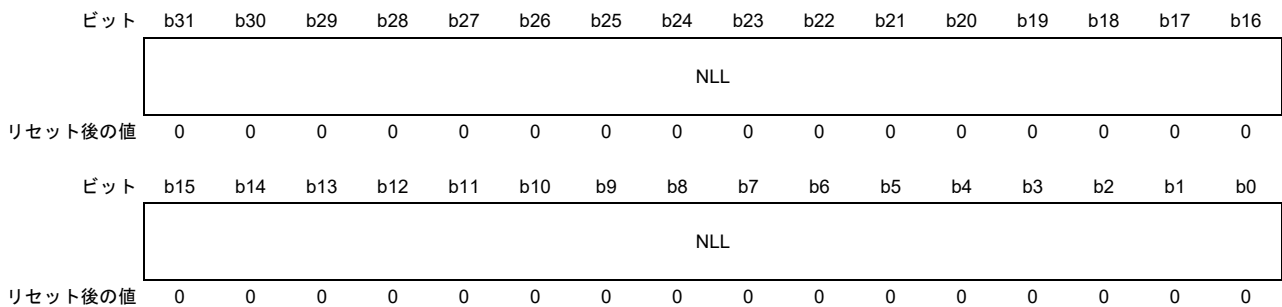


表 7.30 R_FRA_NLL_BRX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	NLL	非リンクローカル受信フレーム ポート B で受信された非リンクローカルフレームの数です。	R

7.4.30 R_FRA_ERR_BRX — 受信エラーB レジスタ

アドレス 4404 80C4h

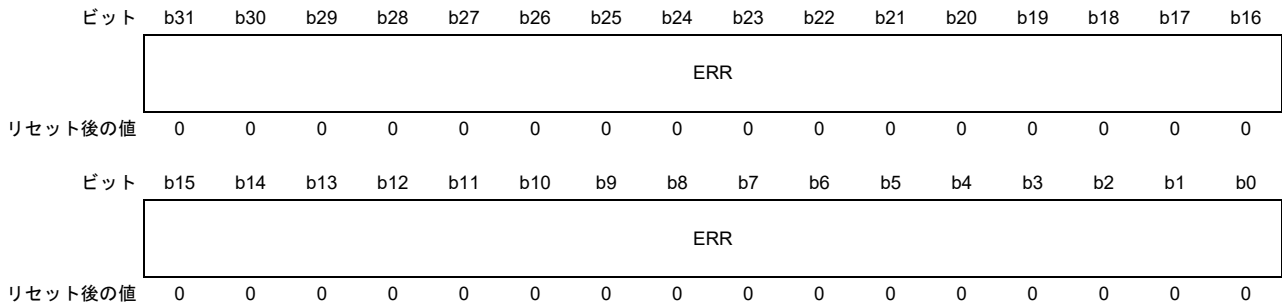


表 7.31 R_FRA_ERR_BRX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ERR	受信フレームエラー ポート B で受信中に発生したフレームエラー数です。	R

7.4.31 R_FRA_WRO_BRX — LAN 誤りカウント B レジスタ

アドレス 4404 80C8h

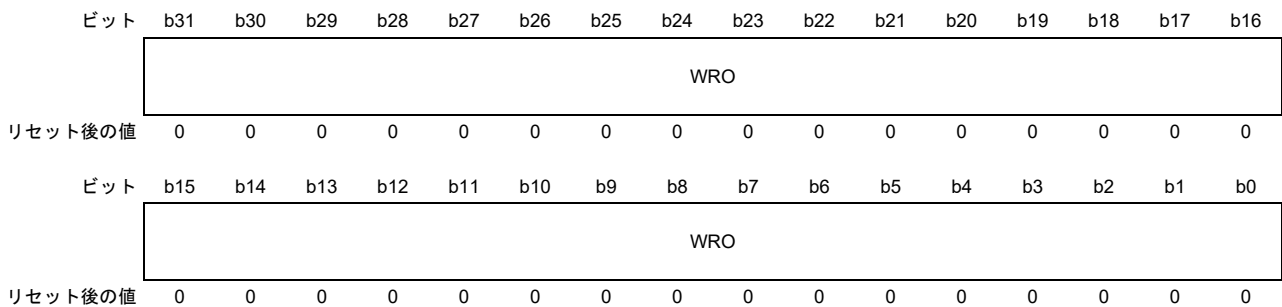


表 7.32 R_FRA_WRO_BRX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	WRO	LAN 誤りフレーム (PRP-1 RedBox のみ) ポート B で受信された、誤った LAN ID を含む PRP-1 トレーラ付きフレームの数です。	R

7.4.32 R_FRA_ALL_BTX — 送信フレーム B レジスタ

アドレス 4404 80CCh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ALL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.33 R_FRA_ALL_BTX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ALL	送信フレーム ポート B で送信されたフレームの数です。	R

7.4.33 R_FRA_TAG_BTX — タグ付き送信フレーム B レジスタ

アドレス 4404 80D0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TAG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TAG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.34 R_FRA_TAG_BTX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TAG	タグ付き送信フレーム ポート B で送信されたタグ付きフレームの数です。	R

7.4.34 R_FRA_NLL_BTX — 非リンクローカル送信フレーム B レジスタ

アドレス 4404 80D4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NLL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NLL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.35 R_FRA_NLL_BTX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	NLL	送信フレーム ポート B で送信された非リンクローカルフレームの数です。	R

7.4.35 R_FRA_ALL_CRX — 受信フレーム C レジスタ

アドレス 4404 80D8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ALL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.36 R_FRA_ALL_CRX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ALL	受信フレーム インターリンクポートで受信されたフレームの数です。	R

7.4.36 R_FRA_TAG_CRX — タグ付き受信フレーム C レジスタ

アドレス 4404 80DCh

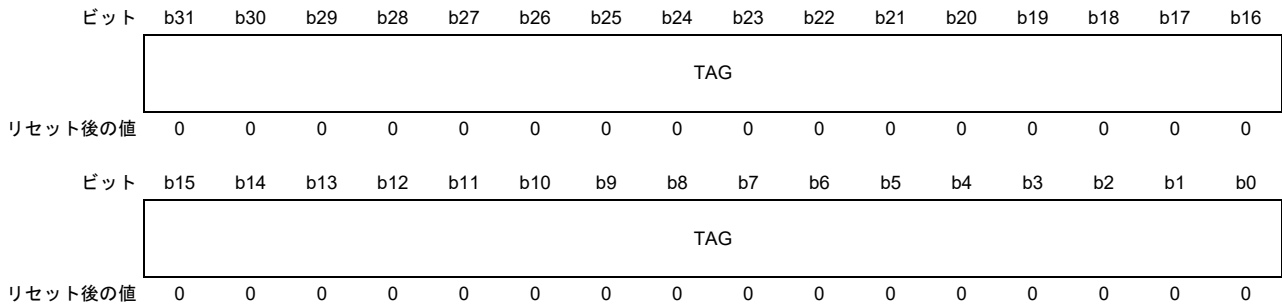


表 7.37 R_FRA_TAG_CRX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TAG	タグ付き受信フレーム インターリンクポートで受信されたタグ付きフレームの数です。	R

7.4.37 R_FRA_NLL_CRX — 非リンクローカル受信フレーム C レジスタ

アドレス 4404 80E0h

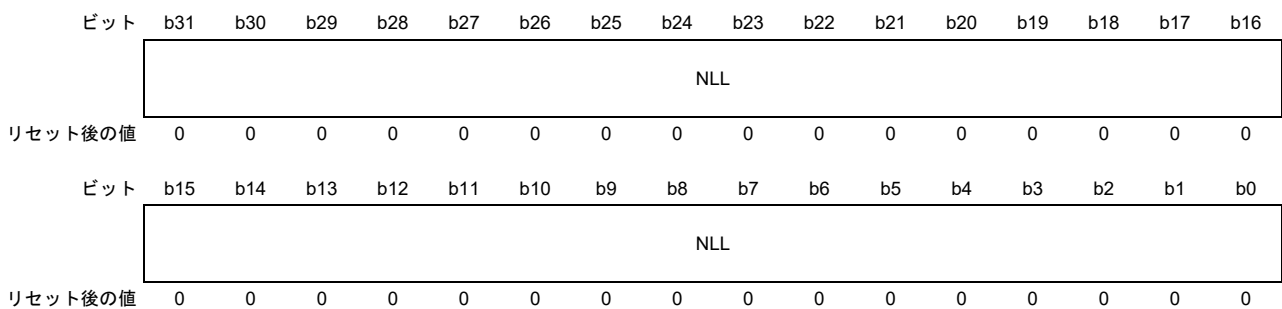


表 7.38 R_FRA_NLL_CRX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	NLL	非リンクローカル受信フレーム インターリンクポートで受信された非リンクローカルフレームの数です。	R

7.4.38 R_FRA_ERR_CRX — 受信エラーC レジスタ

アドレス 4404 80E4h

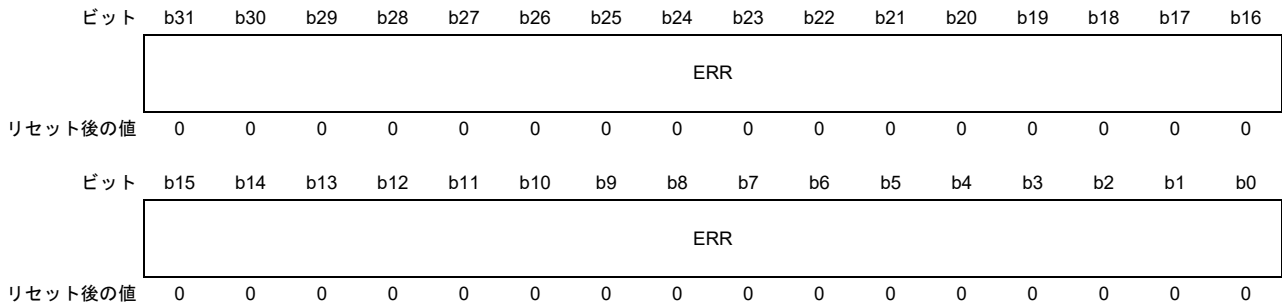


表 7.39 R_FRA_ERR_CRX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ERR	受信フレームエラー インターリンクポートで受信中に発生したフレームエラー数です。	R

7.4.39 R_FRA_WRO_CRX — LAN 誤りカウント C レジスタ

アドレス 4404 80E8h

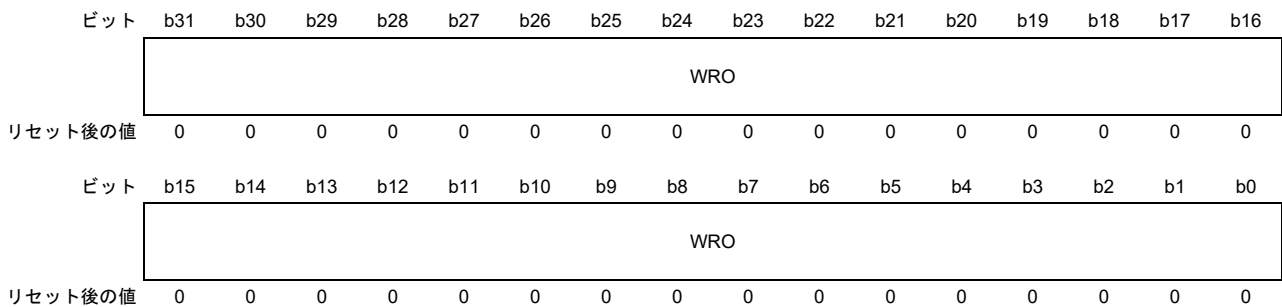


表 7.40 R_FRA_WRO_CRX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	WRO	LAN 誤りフレーム (PRP-1 RedBox のみ) インターリンクポートで受信された、誤った LAN ID を含む PRP-1 トレーラ付きフレームの数です。	R

7.4.40 R_FRA_ALL_CTX — 送信フレーム C レジスタ

アドレス 4404 80ECh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ALL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.41 R_FRA_ALL_CTX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ALL	送信フレーム インターリンクポートで送信されたフレームの数です。	R

7.4.41 R_FRA_TAG_CTX — タグ付き送信フレーム C レジスタ

アドレス 4404 80F0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TAG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TAG															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.42 R_FRA_TAG_CTX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TAG	タグ付き送信フレーム インターリンクポートで送信したタグ付きフレームの数です。	R

7.4.42 R_FRA_NLL_CTX — 非リンクローカル送信フレーム C レジスタ

アドレス 4404 80F4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NLL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NLL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.43 R_FRA_NLL_CTX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	NLL	送信フレーム インターリンクポートで送信された非リンクローカルフレームの数です。	R

7.4.43 R_FREE_FRA_M — 空きフレームメモリカウント

アドレス 4404 80F8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.44 R_FREE_FRA_M レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	FF	解放済みフレーム データ RAM 中の解放済みの全フレーム数の合計です。 したがって、「使用フレームメモリカウントレジスタ」と同値になります。	R

7.4.44 R_DBG_RPT1 — 内部デバッグレポートレジスタ 1

アドレス 4404 80FCh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RES															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RES			D44	D43	D42	D41	D40	D39	D38	D37	D36	D35	D34	D33	D32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.45 R_DBG_RPT1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b13	RES	書き込み時は0を書き込んでください。読み出しは無視してください。	R/W
b12	D44	内部エラー	R/W
b11	D43	非常に短いRX フレーム	R/W
b10	D42	RX SFD 欠落	R/W
b9	D41	内部エラー	R/W
b8	D40	内部エラー	R/W
b7	D39	内部エラー	R/W
b6	D38	内部エラー	R/W
b5	D37	内部エラー	R/W
b4	D36	内部エラー	R/W
b3	D35	内部エラー	R/W
b2	D34	内部エラー	R/W
b1	D33	RX フレーム解放中	R/W
b0	D32	RX CRC エラー	R/W

7.4.45 R_DBG_RPT2 — 内部デバッグレポートレジスタ 2

アドレス 4404 8100h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.46 R_DBG_RPT2 レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	D31	RX フレームエラー 注意) RX コントローラ : PHY からレポートされた frame_error	R/W
b30	D30	RX サイズ超過フレーム 注意) RX コントローラ : 2000 バイトより長いフレームを受信	R/W
b29	D29	短い RX フレーム 注意) RX コントローラ : 64 バイトより短いフレームを受信	R/W
b28	D28	RX デストロイフレーム 備考) RX コントローラ : スイッチより DESTROY_FRAME コマンドを受信	R/W
b27	D27	RX スイッチ Not Ready 備考) RX コントローラ : スイッチ Not Ready、フレームを廃棄	R/W
b26	D26	RX データ RAM フル 注意) RX コントローラ : データ RAM フル、フレームを廃棄	R/W
b25	D25	TX 切り詰め 注意) TX コントローラ : フレームを切り捨て、無効な FCS を生成	R/W
b24	D24	内部エラー	R/W
b23	D23	内部エラー	R/W
b22	D22	内部エラー	R/W
b21	D21	内部エラー	R/W
b20	D20	CPU キューフル 注意) CPU の TX キューがフル	R/W
b19	D19	ポート A キューフル 注意) ポート A の TX キューがフル	R/W
b18	D18	ポート B キューフル 注意) ポート B の TX キューがフル	R/W
b17	D17	インターリンクキューフル 注意) インターリンクの TX キューがフル	R/W
b16	D16	予約されています。 書き込み時は 0 を書き込んでください。読み出しは無視してください。	R/W

表 7.46 R_DBG_RPT2 レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b15	D15	データ RAM フル 注意) データ RAM フル	R/W
b14	D14	予約されています。 書き込み時は 0 を書き込んでください。読み出しは無視してください。	R/W
b13	D13	予約されています。 書き込み時は 0 を書き込んでください。読み出しは無視してください。	R/W
b12	D12	内部エラー	R/W
b11	D11	内部エラー	R/W
b10	D10	内部エラー	R/W
b9	D9	ヘッダ RAM フル 注意) ヘッダ RAM フル	R/W
b8	D8	TX スキップフレーム 備考) TX コントローラ: フレームをスキップ (フレームは廃棄対象としてマーク済み)	R/W
b7	D7	TX 重複廃棄 備考) TX コントローラ: 重複を廃棄	R/W
b6	D6	内部エラー	R/W
b5	D5	READY が High を維持 備考) プロキシノードテーブル: 短いフレーム、サーチ中に address_ready が High	R/W
b4	D4	内部エラー	R/W
b3	D3	プロキシノードテーブルフル 注意) プロキシノードテーブルフル、新規ノードをドロップ	R/W
b2	D2	プロキシノードエントリなし 備考) 受信フレームがタグ付きであったためプロキシノードテーブルエントリなし	R/W
b1	D1	内部エラー	R/W
b0	D0	内部エラー	R/W

7.4.46 R_PNT_S — プロキシノードテーブルステータスレジスタ

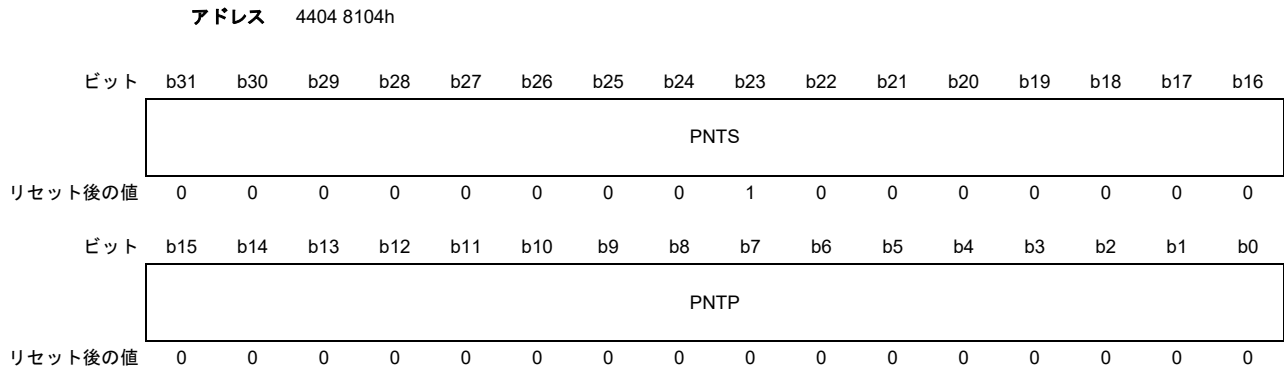


表 7.47 R_PNT_S レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	PNTS	プロキシノードテーブルサイズ 最大プロキシノードテーブルサイズを返します。	R
b15~b0	PNTP	プロキシノードテーブルポインタ データレジスタにどのエレメントが含まれるかを返します。R_PNT_D レジスタを読み出す毎にインクリメントします。読み出し専用。所望の値を本フィールドにセットするには、R_PNT_D を複数回読み出す必要があります。	R

7.4.47 R_PNT_D — プロキシノードテーブルデータレジスタ

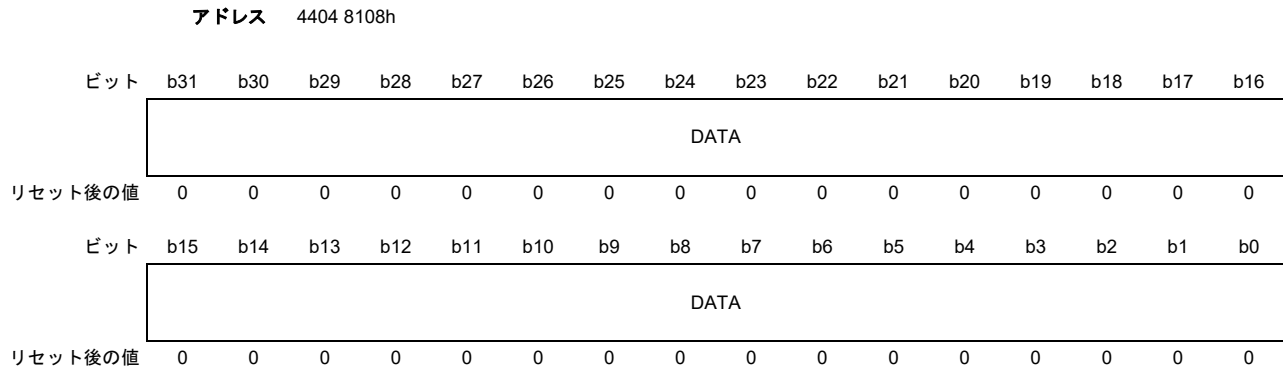


表 7.48 R_PNT_D レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	DATA	プロキシノードテーブルデータ R_PNT_S レジスタの PNTTP フィールドが指し示すプロキシノードテーブルの 32 ビットの内容。本レジスタを読み出す毎に、PNTTP フィールドがインクリメントされます。1つのプロキシノードエントリは 64 ビット長です。最初の 32 ビットは MAC アドレスの下位部分で、次の 32 ビットは MAC アドレスの上位部分および valid ビット（ビット 16）です。	R

7.4.48 RPTP_ID — PTP コア ID レジスタ

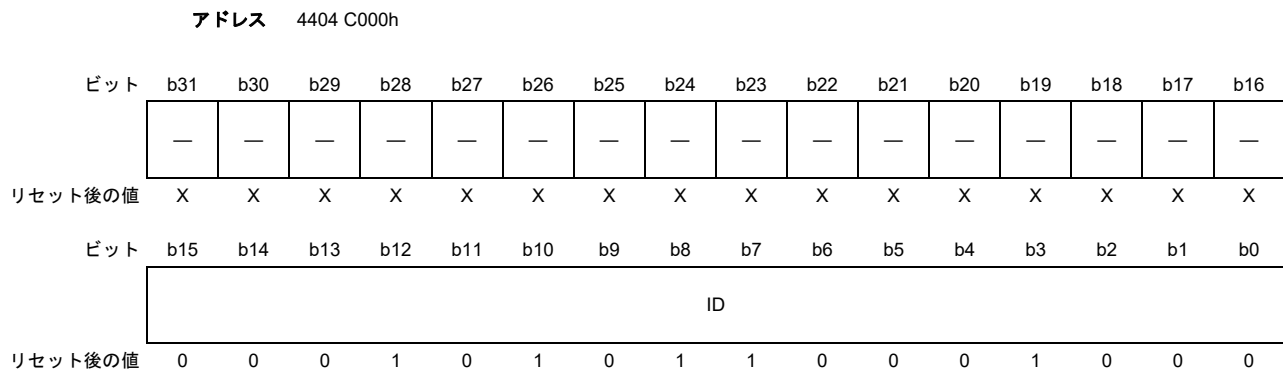


表 7.49 RPTP_ID レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	ID	ID デバイスが起動しかつ実行中の場合、本レジスタを読むと値 0x1588 が返されます。	R

7.4.49 RPTP_TST — PTP コアテストレジスタ

アドレス 4404 C004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TST															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.50 RPTP_TST レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b15~b0	TST	テスト2 本レジスタには任意の値を書き込みます。次の読み出しで値 0x1588 と XOR を取った値が返されます。	R/W

7.4.50 RPTP_VER — PTP バージョンレジスタ

アドレス 4404 C008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IJV			IIV				FJV				FIV				
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	1

表 7.51 RPTP_VER レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b15~b12	IJV	インタフェースメジャーバージョン	R
b11~b8	IIV	インタフェースマイナーバージョン	R
b7~b4	FJV	PTP メジャーバージョン	R
b3~b0	FIV	PTP マイナーバージョン	R

7.4.51 RPTP_GPO — 汎用レジスタ

アドレス 4404 C00Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OSE	PDN								—	RPT
リセット後の値	X	X	X	X	X	0	0	0	0	0	0	0	0	0	X	0

表 7.52 RPTP_GPO レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b11	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b10	OSE	ワンステップ有効 0: ツーステップ動作 1: ワンステップ動作有効 本ビットの変更中にフレームを受信すると、無効なタイムスタンプが得られる場合があります。変更後はソフトリセットを推奨します。	R/W
b9~b2	PDN	PTPv2 ドメイン番号 255 はすべての PTP ドメインを受信することを示します。すべての PTP ドメインについて、TC が Sync レジデンスタイムを補正することを推奨します。	R/W
b1	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R/W
b0	RPT	PTP をリセット 0: 無効 1: PTP のソフトリセット	R/W

7.4.52 RPTP_INT — PTP 割り込みレジスタ

アドレス 4404 C014h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	B	A	I	CPU
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 7.53 RPTP_INT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b3	B	ポート B 割り込み 1=割り込み発生 (読み出してクリア)	R
b2	A	ポート A 割り込み 1=割り込み発生 (読み出してクリア)	R
b1	I	インターリンク割り込み 1=割り込み発生 (読み出してクリア)	R
b0	CPU	CPU 割り込み 1=割り込み発生 (読み出してクリア)	R

7.4.53 RPTP_INT_MSK — PTP 割り込みマスクレジスタ

アドレス 4404 C018h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	B	A	I	CPU
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 7.54 RPTP_INT_MSK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b3	B	ポート B 割り込み 0: 割り込み禁止 1: 割り込み許可	R/W
b2	A	ポート A 割り込み 0: 割り込み禁止 1: 割り込み許可	R/W
b1	I	インターリンク割り込み 0: 割り込み禁止 1: 割り込み許可	R/W
b0	CPU	CPU 割り込み 0: 割り込み禁止 1: 割り込み許可	R/W

7.4.54 RPTP_TS_STAT_[m] — タイムスタンプステータスレジスタ P[m] (m=1~4)

アドレス 4404 C044h + 18h × (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EN	—	—	TRP				DE				—	—	—	—	
リセット後の値	0	X	X	0	0	0	0	0	0	0	0	0	X	X	X	X

表 7.55 RPTP_TS_STAT_[m]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b15	EN	タイムスタンプ有効 タイムスタンプを有効にします。	R/W
b14、b13	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b12~b8	TRP	タイムスタンプ読み出し位置 タイムスタンプの読み出し位置を示すポインタです。	R
b7~b4	DE	廃棄イベント メモリ不足のために廃棄されたタイムスタンプの数を示します。本レジスタの読み出し後は0にセットされます。	R
b3~b0	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R

7.4.55 RPTP_TS_RD_[m] — タイムスタンプリードレジスタ P[m] (m=1~4)

アドレス 4404 C048h + 18h × (m-1)

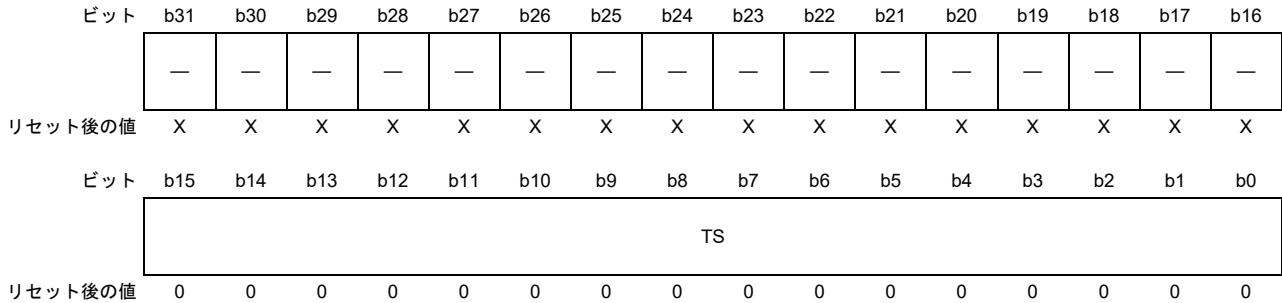


表 7.56 RPTP_TS_RD_[m]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	TS	タイムスタンプ タイムスタンプリードレジスタ (16 ビット×11 読み出し=176 ビット) ● MSB ファースト ビット 175~173 メッセージ種別 000b : 無効な PTP フレーム 001b : PTP Sync メッセージ 010b : PTP Pdelay_Req メッセージ 011b : PTP Pdelay_Resp メッセージ 100b : PTP Delay_Req メッセージ ビット 172~171 タイムスタンプ受信ソースポート ビット 170~166 TC タイムスタンプ (5 ビット 秒) ビット 165~136 TC タイムスタンプ (30 ビット ナノ秒) ビット 135~126 BC タイムスタンプ (10 ビット 秒) ビット 125~96 BC タイムスタンプ (30 ビット ナノ秒) ビット 95~16 PTP テレグラムより抽出されたソースポート ID ビット 15~0 PTP テレグラムより抽出されたシーケンス ID	R

7.4.56 RPTP_PORT_CONF_[m] — ポートコンフィグレーションレジスタ P[m] (m =1~4)

アドレス 4404 C04Ch + 18h × (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PDP		—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	X	X

表 7.57 RPTP_PORT_CONF_[m]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b3、b2	PDP	ピア遅延位置 タイムスタンプの読み出し位置を示すポインタです。	R
b1、b0	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R/W

7.4.57 RPTP_P_DELAY_[m] — ピア遅延レジスタ P[m] (m=1~4)

アドレス 4404 C050h + 18h × (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PED															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.58 RPTP_P_DELAY_[m]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は 0 を書き込んでください。読み出しは無視してください。	R
b15~b0	PED	ピア遅延 P2P 遅延ライトレジスタ (16 ビット×4 書き込み=64 ビット) (PTP の Correction フィールドと同様の時間フォーマット)	R/W

7.4.58 RPTP_PHY_DLY_TX_[m] — PHY TX 遅延レジスタ P[m] (m=1~4)

アドレス 4404 C054h + 18h × (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PDT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.59 RPTP_PHY_DLY_TX_[m]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b15~b0	PDT	PHY 遅延 (TX) 取得時間が早すぎたためタイムスタンプに加算が必要となる時間 (ナノ秒) です。符号付き 16 ビット整数値です。	R/W

7.4.59 RPTP_PHY_DLY_RX_[m] — PHY RX 遅延レジスタ P[m] (m=1~4)

アドレス 4404 C058h + 18h × (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 7.60 RPTP_PHY_DLY_RX_[m]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b15~b0	PDR	PHY 遅延 (RX) 取得時間が遅すぎたためタイムスタンプから減算が必要となる時間 (ナノ秒) です。符号付き 16 ビット整数値です。	R/W

7.4.60 RPTP_BUF_STAT — バッファステータスレジスタ

アドレス 4404 C0A4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	B	A	I	CPU
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 7.61 RPTP_BUF_STAT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	書き込み時は0を書き込んでください。読み出しは無視してください。	R
b3	B	ポート B タイムスタンプ READY 本ポートのタイムスタンプが実行可能です。	R
b2	A	ポート A タイムスタンプ READY 本ポートのタイムスタンプが実行可能です。	R
b1	I	インターリンクタイムスタンプ READY 本ポートのタイムスタンプが実行可能です。	R
b0	CPU	CPU タイムスタンプ READY 本ポートのタイムスタンプが実行可能です。	R

7.5 動作説明

7.5.1 HSR 初期化フロー

7.5.1.1 初期化

本項では、以下の設定で HSR を使用するためのシステム環境準備に関する初期化手順の例を示します。

本例での HSR 設定

- 2つのポートが MII コンバータを介して外部ポートに接続
- インターリンクポートが GMAC2 に接続
- GMAC1 の GMAC1_PTP_TIMESTAMP_O 信号を使用

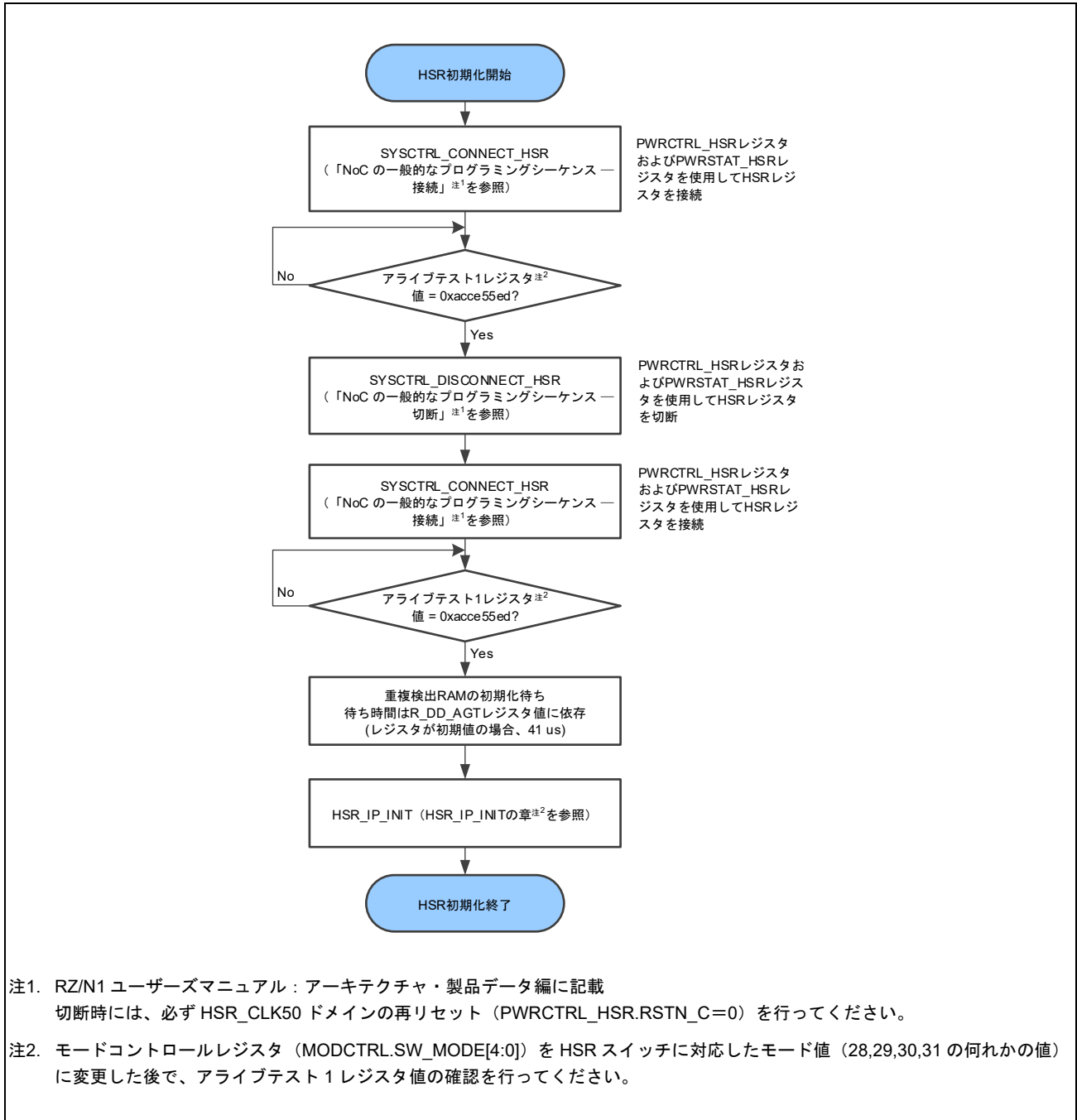


図 7.3 初期化フロー図

7.5.1.2 HSR_IP_INIT

HSR_IP_INIT シーケンスを使用して HSR を初期化します。

HSR_IP_INIT 動作では以下のフローを完了させて下さい。

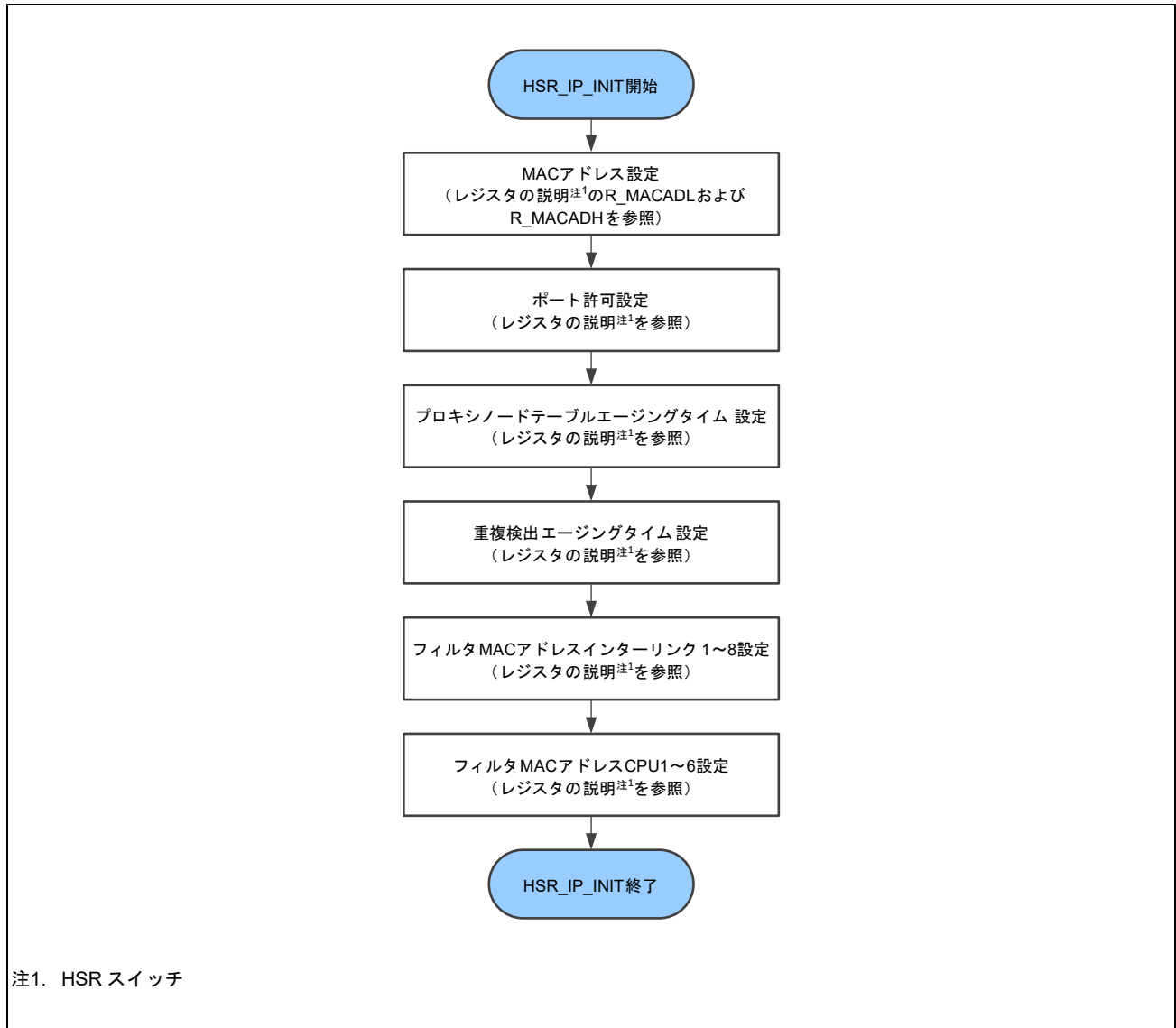


図 7.4 HSR_IP_INIT フロー図

7.6 使用上の注意事項

7.6.1 制約事項

- HW-RTOS GMAC と HSR を同時に使用することはできません。
- HSR は RZ/N1D のみで使用可能です。
- A フレームおよび B フレーム（ともに HSR TAG 付き）を送信する場合、A フレームと B フレームは双方とも完全に同一となります（HSR TAG の LAN ID フィールドも同一）。
→ A フレームと B フレームで異なる PathID を持つことはできません。標準仕様には、PathID フィールドの LSB（LaneID ビット）を使用することによりフレームを受信したポートを記録することが可能である旨が提案されていますが、これはオプションであり本モジュールには実装されていません。

第8章 Sercos III スレーブコントローラ

8.1 概要

- ハードウェアスレーブコントローラ : Sercos III IP バージョン 4.12.0
- 2 ポート
- シリアルインタフェースは 100Mbaud で動作します。
- 制御データおよび通信データ用デュアルポート RAM を搭載しています。
- 自動送信のテレグラム処理および同期テレグラムおよびデータテレグラムのモニタリング。特定のインタフェースユーザ宛ての送信データのみを処理します。送信済みデータは、内部 RAM に格納されます。複数の通信サイクルにわたるサービスチャネル情報の送信は、自動的に実行されます。
- マルチプレクサによる、Sercos プロトコルと標準イーサネットプロトコル間の切り替え機能を備えています。
- 受信したデータストリームをモニタしてフレームタイプを検出し、Sercos III フレームタイプを検出すると動作を開始します。
- テレグラムタイプ (MST/MDT または AT) および動作モードに基づいて、SRAM とのデータ転送 (読み/書き) を処理します。
- インタフェース
 - ネイティブモード MII
 - (外部端子に接続された) RMII/RGMII コンバータによって管理される、非ネイティブ RMII

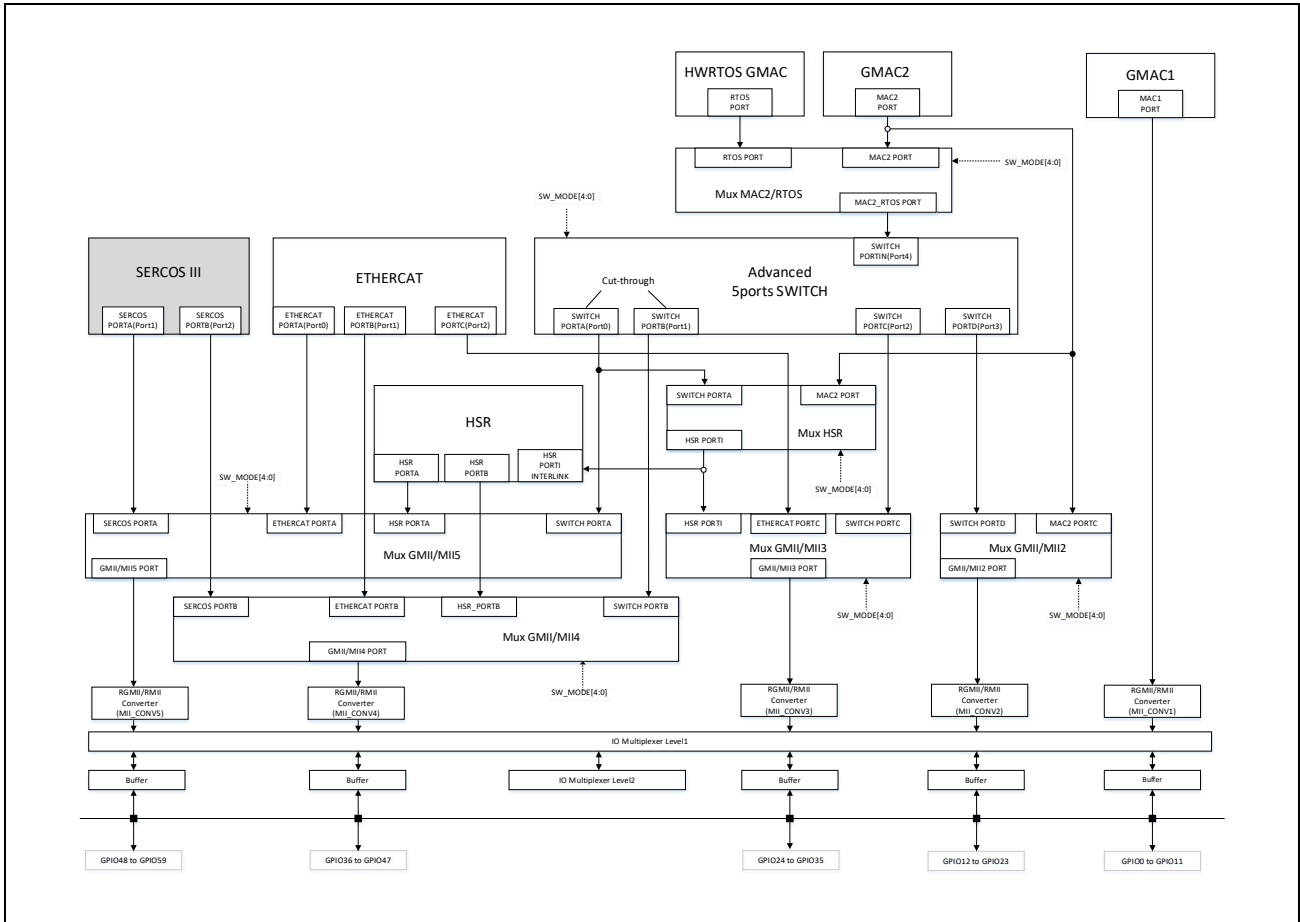


図 8.1 Sercos3 のブロック図

8.2 信号インタフェース

表 8.1 Sercos III スレーブコントローラの信号インタフェース (PHY MII 端子を除く)

信号名	入出力	説明	アクティブ
クロック			
SERCOS_HCLK	入力	AHB クロック	
SERCOS_CLK100	入力	100 MHz クロック	
SERCOS_CLK50	入力	50MHz クロック	
割り込み			
SERCOS3_DIVCLK_Int	出力	分周通信クロック出力、パルス検出	High
SERCOS3_CONCLK_Int	出力	通信同期制御クロック出力、パルス検出	High
SERCOS3_int[0]	出力	ポート 1 割り込み、レベル検出	High
SERCOS3_int[1]	出力	ポート 2 割り込み、レベル検出	High
外部信号			
S3_LED_GN	出力	LED 用 SERCOS3 駆動出力 (緑)	High
S3_LED_RD	出力	LED 用 SERCOS3 駆動出力 (赤)	High
S3_ACTLEDP[1]	出力	アクティビティ LED 用 SERCOS3 駆動出力 (ポート A) (SERCOS3 モジュールのポート 1)	High
S3_ACTLEDP[2]	出力	アクティビティ LED 用 SERCOS3 駆動出力 (ポート B) (SERCOS3 モジュールのポート 2)	High
S3_LINKLEDP[1]	出力	リンク LED 用 SERCOS3 駆動出力 (ポート A) (SERCOS3 モジュールのポート 1)	High
S3_LINKLEDP[2]	出力	リンク LED 用 SERCOS3 駆動出力 (ポート B) (SERCOS3 モジュールのポート 2)	High
S3_CONCLK	出力	SERCOS3 通信同期制御クロック (CON_CLK) 出力	—
S3_DIVCLK	出力	SERCOS3 分周通信クロック (DIV_CLK) 出力	—
S3_MII_LINKP[1]	入力	SERCOS3 リンク信号入力 (ポート A) (SERCOS3 モジュールのポート 1)	High ^{注1}
S3_MII_LINKP[2]	入力	SERCOS3 リンク信号入力 (ポート B) (SERCOS3 モジュールのポート 2)	High ^{注1}
S3_PHY_RESET_N	出力	SERCOS3 PHY リセット	Low
S3_TESTPIN[n] (n=1~2)	出力	SERCOS3 テスト信号出力	—

注1. S3_MII_LINKP[2:1]のアクティブレベルは、イーサネット PHY リンクモードレジスタで制御されます。

8.3 レジスタマップ

表 8.2 Sercos III レジスタマップ (1/2)

アドレス	レジスタシンボル	レジスタ名
4402 0000h	IDR	識別レジスタ
4402 0004h	GCSFR	グローバルコントロール/ステータス/機能レジスタ
4402 0008h	IER0	割り込み許可レジスタ
4402 0010h	IMR0	割り込みマルチプレクスレジスタ
4402 0018h	IRR0	割り込みリセット/ステータスレジスタ
4402 0020h	DFCSR	データフローコントロール/ステータスレジスタ
4402 0024h	PHASESR	フェーズステータスレジスタ
4402 0028h	TGSR1	テレグラムリセット/ステータスレジスタ (ポート 1)
4402 002Ch	TGSR2	テレグラムリセット/ステータスレジスタ (ポート 2)
4402 0030h	DESCR	ディスクリプタコントロールレジスタ
4402 0034h	STRBR	システムタイマリードバックレジスタ
4402 0038h	TCSR	タイミングコントロール/ステータスレジスタ
4402 003Ch	TRDLY	リング遅延レジスタ
4402 0040h	TDMST1	時間遅延 MST (ポート 1)
4402 0044h	TDMST2	時間遅延 MST (ポート 2)
4402 0048h	SCR1	同期時間レジスタ (ポート 1)
4402 004Ch	SCR2	同期時間レジスタ (ポート 2)
4402 0050h	SVCCSR	SVC コントロール/ステータス
4402 0054h	DTDIVCLK	DIV_CLK の遅延時間
4402 0058h	TDIV_NDIVCLK	DIV_CLK 時間/カウントレジスタ
4402 005Ch	S3LED	Sercos III LED コントロール
4402 0060h	ASCR0	アドレスセグメントコントロールレジスタ 0 (未使用)
4402 0064h	ASCR1	アドレスセグメントコントロールレジスタ 1 (未使用)
4402 0068h	WDCSR	ウォッチドッグコントロール&ステータス
4402 006Ch	WDCNT	ウォッチドッグカウンタ
4402 0070h	SFCR	Sercos フレームコントロール
4402 0074h	MIICSR	MDIO コントロール/ステータスレジスタ
4402 0078h	DBGOCR	デバッグ出力制御
4402 007Ch	SEQCNT	シーケンスカウンタ
4402 0080h	MAC1P1_0	MAC アドレス 0
4402 0084h	MAC1P1_1	MAC アドレス 1
4402 0090h	IPCSR1	IP ステータス/コントロールレジスタ (ポート 1)
4402 0094h	IPCSR2	IP ステータス/コントロールレジスタ (ポート 2)
4402 0098h	IPRRS1	IP Rx RAM セグメント (ポート 1)
4402 009Ch	IPRRS2	IP Rx RAM セグメント (ポート 2)
4402 00A0h	IPRXS1	IP 受信スタック (ポート 1)
4402 00A4h	IPRXS2	IP 受信スタック (ポート 2)
4402 00A8h	IPTXS1	IP 送信スタック (ポート 1)
4402 00ACh	IPTXS2	IP 送信スタック (ポート 2)
4402 00B0h	IPLASTFL	残りフレーム長
4402 00C0h	IPFRXOK	IP aFramesReceivedOK
4402 00C4h	IPFTXOK	IP aFramesTransmittedOK
4402 00C8h	IPFCSEERR	IP aFCSErrors
4402 00CCh	IPALGNERR	IP aAlignmentErrors

表 8.2 SERCOS III レジスタマップ (2/2)

アドレス	レジスタシンボル	レジスタ名
4402 00D0h	IPDISRXB	IP aDiscardResRxBuf
4402 00D4h	IPDISCLB	IP aDiscardResColBuf
4402 00D8h	IPCHVIOL	IP alPChannelViolation
4402 00DCh	aSercosErrorCount	Sercos III エラーカウンタ
4402 00E0h	MSTLMAX	最大連続 MST ロス数
4402 00E4h	MSTLSUM	MST ロス数の合計
4402 00E8h	MSTLACT	実際の連続 MST ロス数
4402 0100h	TMDSCCL	タイミングディスクリプタ下位
4402 0104h	TMDSCU	タイミングディスクリプタ上位
4402 0108h	TMDSCSEL	タイミングディスクリプタ選択
4402 0110h	PTMDSCL	ポートタイミングディスクリプタ下位
4402 0114h	PTMDSU	ポートタイミングディスクリプタ上位
4402 0118h	PTMDSSEL	ポートタイミングディスクリプタ選択
4402 0120h	PLLCSR	PLL 制御&ステータスレジスタ (未使用)
4402 0124h	TCNTCYCR	TCNT サイクル時間 (未使用)
4402 0130h	STNS	システム時間 (ナノ秒)
4402 0134h	STSEC	システム時間 (秒)
4402 0138h	STNSTSR	システム時間 TSRef (ナノ秒)
4402 013Ch	STSECTSR	システム時間 TSRef (秒)
4402 0140h	SCCAB	サブサイクルカウンタコントロール&ステータス
4402 0150h	SCCMDT	サブサイクルカウンタ MDT
4402 0180h+4h×n	RXBUF[n]_P1A (n=0~2)	ポート 1 かつバッファシステム A の受信バッファ[n]のベースアドレス
4402 0190h+4h×n	RXBUF[n]_P1B (n=0~2)	ポート 1 かつバッファシステム B の受信バッファ[n]のベースアドレス
4402 019Ch	RXBUF_P1SVC	ポート 1 のサービスチャンネルデータの受信バッファのベースアドレス
4402 01A0h+4h×n	RXBUF[n]_P2A (n=0~2)	ポート 2 かつバッファシステム A の受信バッファ[n]のベースアドレス
4402 01B0h+4h×n	RXBUF[n]_P2B (n=0~2)	ポート 2 かつバッファシステム B の受信バッファ[n]のベースアドレス
4402 01BCh	RXBUF_P2SVC	ポート 2 のサービスチャンネルデータの受信バッファのベースアドレス
4402 01C0h+4h×n	TXBUF[n]_A (n=0~3)	バッファシステム A の送信バッファ[n]のベースアドレス
4402 01D0h+4h×n	TXBUF[n]_B (n=0~3)	バッファシステム B の送信バッファ[n]のベースアドレス
4402 01F0h	TXBUF_P1	ポート 1 のみの送信バッファのベースアドレス
4402 01F4h	TXBUF_P2	ポート 2 のみの送信バッファのベースアドレス
4402 01FCh	TXBUF_SVC	サービスチャンネルデータの送信バッファのベースアドレス
4402 0200h	RXBUFCSR_A	受信バッファコントロール (バッファシステム A)
4402 0204h	RXBUFTV_A	受信バッファテレグラム有効 (バッファシステム A)
4402 0208h	RXBUFTR_A	受信バッファテレグラム要求 (バッファシステム A)
4402 020Ch	TXBUFCSR_A	送信バッファコントロール (バッファシステム A)
4402 0210h	RXBUFCSR_B	受信バッファコントロール (バッファシステム B)
4402 0214h	RXBUFTV_B	受信バッファテレグラム有効 (バッファシステム B)
4402 0218h	RXBUFTR_B	受信バッファテレグラム要求 (バッファシステム B)
4402 021Ch	TXBUFCSR_B	送信バッファコントロール (バッファシステム B)

8.4 レジスタの説明

8.4.1 IDR — 識別レジスタ

アドレス 4402 0000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	S3FrameType															
リセット後の値	1	0	0	0	1	0	0	0	1	1	0	0	1	1	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DeviceType			Testversion			Version				Release					
リセット後の値	0	0	1	0	0	0	0	0	1	0	0	0	1	1	0	0

表 8.3 IDR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	S3FrameType	Sercos III イーサネットタイプ (0x88CD)	R
b15~b13	DeviceType	0 : マスタデバイス 1 : スレーブデバイス	R
b12~b10	Testversion	テストバージョン。製品バージョンはここが0になります。0 より大きい値は、テスト用のみに使用します。	R
b9~b5	Version	デバイスバージョン	R
b4~b0	Release	デバイスリリース	R

8.4.2 GCSFR — グローバルコントロール/ステータス/機能レジスタ

アドレス 4402 0004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	HardwareVersionBus								—	—	—	—	Size_of_memory_banks				
リセット後の値	0	0	0	0	0	1	0	0	X	X	X	X	0	1	1	0	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	Line_break_mode	—	—	—	Line_break_sensitivity				—	—	—	DescriptorFeedback	BCastDis	BCastRed	PHYReset	SR	
リセット後の値	0	X	X	X	0	1	0	1	X	X	X	0	0	0	1	0	

表 8.4 GCSFR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	HardwareVersionBus	バスインタフェースのハードウェアバージョンを示します。	R
b23~b20	予約ビット	予約されています。	R
b19~b16	Size_of_memory_banks	アドレス空間がセグメント化されているときに、メモリバンクのサイズを示します。サイズは $2^{(8+n)}$ (バイト) です。	R
b15	Line_break_mode	MST ロスイベント後に、ラインブレイク検出を遅延させます。	R/W
b14~b12	予約ビット	予約されています。	R
b11~b8	Line_break_sensitivity	ラインブレイク感度 (RxErr および MII 不正キャリア)。ラインブレイク検出速度を定義します。インクリメント値。8 ビットラインブレイクのアップ/ダウンカウンタ。カウント周波数は 12.5MHz。ラインブレイクは、カウンタのオーバーフロー時に検出されます。	R/W
b7~b5	予約ビット	予約されています。	R
b4	DescriptorFeedback	DFCSR 内のディスクリプタインネブルフィードバックステータスビットの使用を有効にします (互換性のために起動)。	R/W
b3	BCastDis	NRT 中、およびループバックスレーブの非アクティブポートへの Sercos III フレームの転送を無効にします (アイソレーションモード)。	R/W
b2	BCastRed	ループバックスレーブの非アクティブポートへの Sercos III フレームの転送量を削減します。MST ヘッダウィンドウをオープンするためのポートタイムイベントが必要です。	R/W
b1	PHYReset	PHY リセット。1 を書き込むと、接続された S3_PHY_RESET_N のリセットが起動されます。リセットにかかる時間は、65ms~130ms です。本ビットは、さらに 200ms 経過した後、自動的にクリアされます。これは、PHY レジスタへのアクセシビリティを確保するためです。	R/W
b0	SR	ソフトウェアリセット。1 を書き込むと、SERCOS3 モジュールでソフトウェアリセットを起動します。リセットにかかる時間は約 2 マイクロ秒です。本ビットを読み出すと、デバイスのリセットステータスが反映されます。1 が読み出されたとき、リセットはまだアクティブです。モジュールリセットがアクティブなときも、本ビットがセットされます。	R/W

8.4.3 IER0 — 割り込み許可レジスタ

アドレス 4402 0008h

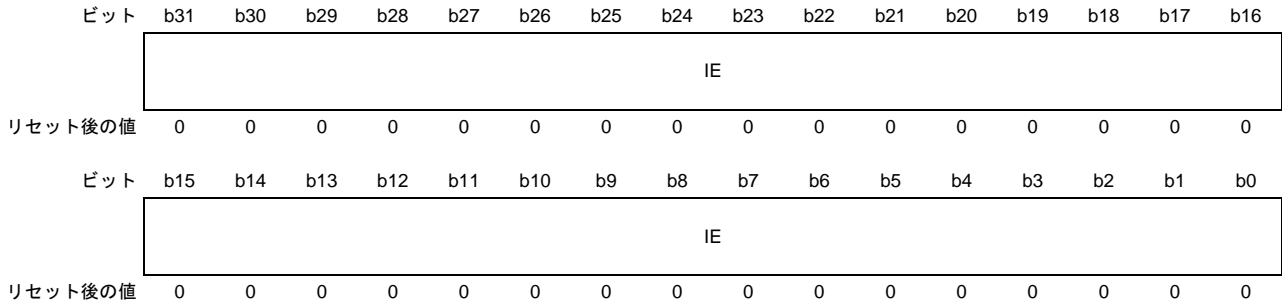


表 8.5 IER0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	IE	割り込み要因を許可します。	R/W

8.4.4 IMR0 — 割り込みマルチプレクスレジスタ

アドレス 4402 0010h

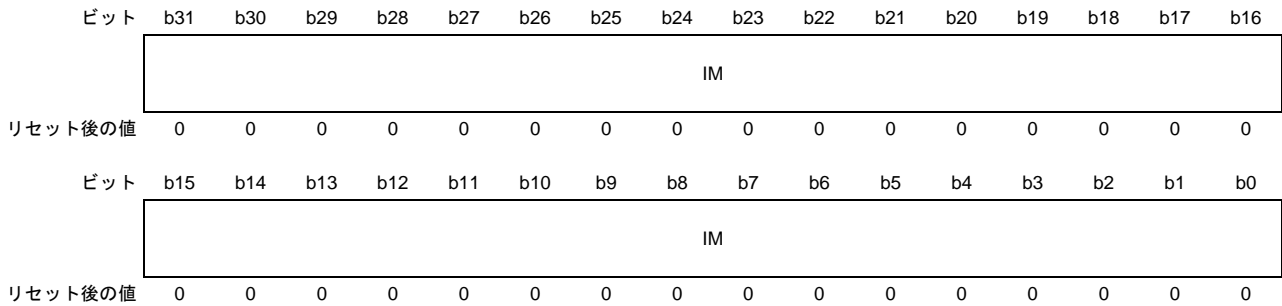


表 8.6 IMR0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	IM	割り込み出力に割り込み要因を割り当てます。	R/W

8.4.5 IRR0 — 割り込みリセット/ステータスレジスタ

アドレス 4402 0018h

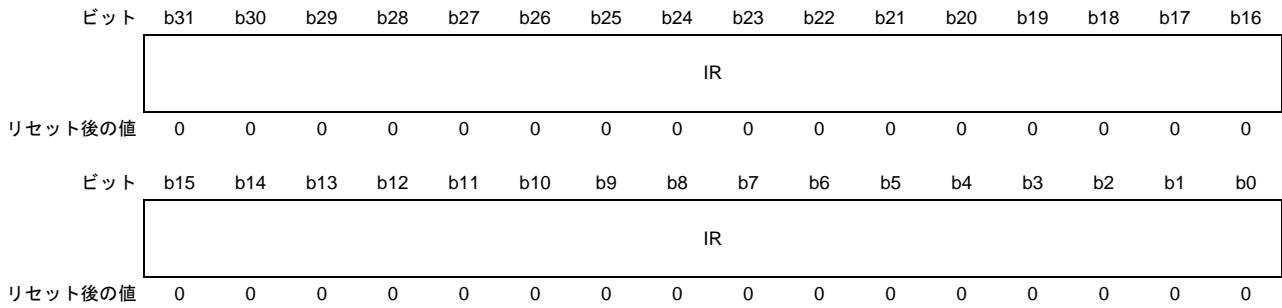


表 8.7 IRR0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	IR	(読み出し) 割り込み要因のステータス (書き込み) 割り込み要因をリセット	R/W

8.4.6 DFCSR — データフローコントロール/ステータスレジスタ

アドレス 4402 0020h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RxEnableFeedback	TxEnableFeedback	—	—	P2_Rx_all_done	P2_Tx_all_done	P1_Rx_all_done	P1_Tx_all_done	Swap_Counters	Line_Topology	NRT_Forward	Ring_Topology	Port2_Link	Port1_Link	Port2_Line_Status	Port1_Line_Status
リセット後の値	0	0	X	X	0	1	0	1	0	0	1	0	0	0	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Topology_address_increment				Tx_MDT_Enable	DisableLengthCtrl	Rx_Enable	Tx_Enable	Topology_Write_Mode	Automatic_topology_detection	Topology_Primary_Secondary		State_of_Inactive_Port		Topology_Port	
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	1

表 8.8 DFCSR レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31	RxEnableFeedback	受信ディスクリプタユニットの内部イネーブルのフィードバック 0: ディスクリプタユニット無効 1: ディスクリプタユニット有効 (ディスクリプタリストとバッファオフセットは変更しないでください)	R
b30	TxEnableFeedback	送信ディスクリプタユニットの内部イネーブルのフィードバック 0: ディスクリプタユニット無効 1: ディスクリプタユニット有効 (ディスクリプタリストとバッファオフセットは変更しないでください)	R
b29~b28	予約ビット	予約されています。	R
b27	P2_Rx_all_done	全システムで、受信バッファの変更が完了	R
b26	P2_Tx_all_done	全システムで、送信バッファの変更が完了	R
b25	P1_Rx_all_done	全システムで、受信バッファの変更が完了	R
b24	P1_Tx_all_done	全システムで、送信バッファの変更が完了	R
b23	Swap_Counters	0: P/S の解釈がポート 1/ポート 2 と等しい 1: P/S の解釈がポート 1/ポート 2 の逆	R
b22	Line_Topology	0: リングトポロジまたは MST なし 1: P-MST または S-MST を両ポートで受信	R
b21	NRT_Forward	0: トポロジが 3 かつリングトポロジかつ CP>0 (コリジョンバッファをディスエーブルする情報) 1: コリジョンバッファをイネーブルする情報	R
b20	Ring_Topology	0: ライントポロジまたは MST なし 1: P-MST および S-MST を異なるポートで受信	R
b19	Port2_Link	リンクが接続されている	R
b18	Port1_Link	リンクが接続されている	R
b17	Port2_Line_Status	0: ライン上にエラーなし 1: エラー検出	R
b16	Port1_Line_Status	0: ライン上にエラーなし 1: エラー検出	R
b15~b12	Topology_address_increment	本値は、トポロジアドレスフィールドに追加されます。 ファストフォワードポートおよび非アクティブポートで、トポロジアドレスを 1~15 の値でインクリメントします。ループバックポートでは、インクリメント値は 2 倍 - 1 (1~29) になります (複数スレーブ)。	R/W
b11	Tx_MDT_Enable	MDT の生成イネーブル。 本ビットがセットされている場合、AT リストポイントの後に 4 つの新しいディスクリプタリストポイントが存在します。	R/W
b10	DisableLengthCtrl	パケット長チェックを無効化	R/W

表 8.8 DFCSR レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b9	Rx_Enable	受信ディスクリプタユニットを有効化	R/W
b8	Tx_Enable	送信ディスクリプタユニットを有効化	R/W
b7	Topology_Write_Mode	トポロジ更新モード 0 : ポートモードに新しいトポロジを設定 1 : P/S モードに新しいトポロジを設定	R/W
b6	Automatic_topology_detection	自動トポロジ検出を有効にします。CP0 に類似のメカニズムです。1 回の MST ロス後に、ポートを非アクティブ化します。	R/W
b5、b4	Topology_Primary_Secondary	トポロジを設定 (書き込み) 現在のトポロジを取得 (読み出し) 0 : 両ポートでファストフォワード 1 : P テレグラムフォワードでループバック 2 : S テレグラムフォワードでループバック 3 : NRT モード (ストア&フォワード)	R/W
b3、b2	State_of_Inactive_Port	デバイスステータス 0 : 非アクティブポートにリンクなし 1 : 非アクティブポートにリンクあり 2 : 非アクティブポートに P テレグラム 3 : 非アクティブポートに S テレグラム	R/W
b1、b0	Topology_Port	トポロジを設定 (書き込み) 現在のトポロジを取得 (読み出し) 0 : ポート 1 をポート 2 に、ポート 2 をポート 1 に転送します。エラー発生時に変化します。(RT モード) 1 : ポート 2 でループバックし、ポート 1 に転送します。エラー発生時に変化しません (RT モード) 2 : ポート 1 でループバックし、ポート 2 に転送します。エラー発生時に変化しません (RT モード) 3 : ポート 1 をポート 2 に、ポート 2 をポート 1 に転送します。エラー発生時に変化しません。(NRT モード)	R/W

8.4.7 PHASESR — フェーズステータスレジスタ

アドレス 4402 0024h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Valid	—	—	—	—	—	—	—	CPS	—	—	—	MST_Phase			
リセット後の値	0	X	X	X	X	X	X	X	0	X	X	X	0	0	0	0

表 8.9 PHASESR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15	Valid	ビット 0~3 およびビット 7 が有効（書き込み後に 0 にリセット）	R/W
b14~b8	予約ビット	予約されています。	R
b7	CPS	MST に現在セットされているフェーズ切り替えビット	R
b6~b4	予約ビット	予約されています。	R
b3~b0	MST_Phase	MST の現在のフェーズ情報	R

8.4.8 TGSR1 — テレグラムリセット/ステータスレジスタ (ポート 1)

アドレス 4402 0028h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	First_MST	CycCnt_valid	Cycle_count			—	—	—	—	—	—	—	—
リセット後の値	X	X	X	0	0	0	0	0	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AT0_mi sss	MST_d ouble_ miss	MST_mi ss	MST_wi ndow_e rror	Primary _Seco ndary	MST_va lide	AT3	AT2	AT1	AT0	MDT3	MDT2	MDT1	MDT0
リセット後の値	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.10 TGSR1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b29	予約ビット	予約されています。	R
b28	First_MST	最初の MST が本ポートに到着したことを示します。	R
b27	CycCnt_valid	MDT0 の MST ヘッダからのサイクル数有効ビット	R
b26~b24	Cycle_count	MDT0 の MST ヘッダからのサイクル数	R
b23~b14	予約ビット	予約されています。	R
b13	AT0_mi sss	AT0 ウィンドウ内で AT0 が欠落したか、CRC が無効	R/W
b12	MST_d ouble_ miss	MST が 2 回連続で欠落	R/W
b11	MST_mi ss	MST 欠落または CRC 無効	R/W
b10	MST_wi ndow_e rror	MST 受信、CRC 有効だが、MST の受信ウィンドウ外	R/W
b9	Primary _Seco ndary	プライマリ/セカンダリテレグラム	R
b8	MST_va lide	MST 受信、CRC 有効	R/W
b7	AT3	AT 3 受信、FCS 有効	R/W
b6	AT2	AT 2 受信、FCS 有効	R/W
b5	AT1	AT 1 受信、FCS 有効	R/W
b4	AT0	AT 0 受信、FCS 有効	R/W
b3	MDT3	MDT 3 受信、FCS 有効	R/W
b2	MDT2	MDT 2 受信、FCS 有効	R/W
b1	MDT1	MDT 1 受信、FCS 有効	R/W
b0	MDT0	MDT 0 受信、FCS 有効	R/W

8.4.9 TGSR2 — テレグラムリセット/ステータスレジスタ (ポート 2)

アドレス 4402 002Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	First_MST	CycCnt_valid	Cycle_count			—	—	—	—	—	—	—	—
リセット後の値	X	X	X	0	0	0	0	0	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AT0_mi sss	MST_d ouble_ miss	MST_mi ss	MST_wi ndow_e rror	Primary _Seco ndary	MST_va lide	AT3	AT2	AT1	AT0	MDT3	MDT2	MDT1	MDT0
リセット後の値	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.11 TGSR2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b29	予約ビット	予約されています。	R
b28	First_MST	最初の MST が本ポートに到着したことを示します。	R
b27	CycCnt_valid	MDT0 の MST ヘッダからのサイクル数有効ビット	R
b26~b24	Cycle_count	MDT0 の MST ヘッダからのサイクル数	R
b23~b14	予約ビット	予約されています。	R
b13	AT0_mi sss	AT0 ウィンドウ内で AT0 が欠落したか、CRC が無効	R/W
b12	MST_d ouble_ miss	MST が 2 回連続で欠落	R/W
b11	MST_mi ss	MST 欠落または CRC 無効	R/W
b10	MST_wi ndow_e rror	MST 受信、CRC 有効だが、MST の受信ウィンドウ外	R/W
b9	Primary _Seco ndary	プライマリ/セカンダリテレグラム	R
b8	MST_va lide	MST 受信、CRC 有効	R/W
b7	AT3	AT3 受信、FCS 有効	R/W
b6	AT2	AT2 受信、FCS 有効	R/W
b5	AT1	AT1 受信、FCS 有効	R/W
b4	AT0	AT0 受信、FCS 有効	R/W
b3	MDT3	MDT3 受信、FCS 有効	R/W
b2	MDT2	MDT2 受信、FCS 有効	R/W
b1	MDT1	MDT1 受信、FCS 有効	R/W
b0	MDT0	MDT0 受信、FCS 有効	R/W

8.4.10 DESCR — ディスクリプタコントロールレジスタ

アドレス 4402 0030h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	Tx_IDXTBL_Offset										—	—	
リセット後の値	X	X	X	0	0	0	0	0	0	0	0	0	0	0	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	Rx_IDXTBL_Offset										—	—	
リセット後の値	X	X	X	0	0	0	0	0	0	0	0	0	0	0	X	X

表 8.12 DESCR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b29	予約ビット	予約されています。	R
b28~b18	Tx_IDXTBL_Offset	Tx RAM 内のオフセットリストへのポインタです。このリストの各エントリは、AT0~AT3 の異なる Sercos III フレームに割り当てられます。	R/W
b17~b13	予約ビット	予約されています。	R
b12~b2	Rx_IDXTBL_Offset	Rx RAM 内のオフセットリストへのポインタです。このリストの各エントリは、MDT0~AT3 の異なる Sercos III フレームに割り当てられます。	R/W
b1、b0	予約ビット	予約されています。	R

8.4.11 STRBR — システムタイマリードバックレジスタ

アドレス 4402 0034h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	TCNT									
リセット後の値	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TCNT															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.13 STRBR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	予約されています。	R
b25~b0	TCNT	TCNT のカウンタ値	R/W

8.4.12 TCSR — タイミングコントロール/ステータスレジスタ

アドレス 4402 0038h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SysTimeUpdate	—	—	—	—	—	—	—	—	—	—	—	—	—	P2_MST_Dis	P1_MST_Dis
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TimeSync_Enable	DivOD	DivClkPol	DivClk_mode	—	CONOE	CON_Pol	CON_En	—	—	—	—	ET3	—	ET1_2	ET0
リセット後の値	0	0	0	0	X	0	0	0	0	0	0	0	0	0	0	0

表 8.14 TCSR レジスタの内容

ビット位置	ビット名	機能	R/W
b31	SysTimeUpdate	システム時間更新情報 0 : 前回のアクノリッジ以降、システム時間が更新されていない 1 : 前回のアクノリッジ以降、システム時間が更新された アクノリッジを行うには、本ビットに 1 を書き込みます。	R/W
b30~b18	予約ビット	予約されています。	R
b17	P2_MST_Dis	ポート 2 の MST ディスエーブル 0 : ポート 2 の MST 信号は同期に使用される 1 : ポート 2 の MST 信号は同期に使用されない	R/W
b16	P1_MST_Dis	ポート 1 の MST ディスエーブル 0 : ポート 1 の MST 信号は同期に使用される 1 : ポート 1 の MST 信号は同期に使用されない	R/W
b15	TimeSync_Enable	システム時間の同期を有効化	R/W
b14	DivOD	DIV_CLK の出力禁止 (未使用)	R/W
b13	DivClkPol	DIV_CLK の極性 0 : 立ち上がりエッジで DIV_CLK がアクティブ 1 : 立ち下がりエッジで DIV_CLK がアクティブ	R/W
b12	DivClk_mode	DIV_CLK のモード 0 : DIV_CLK モード 0 1 : DIV_CLK モード 1	R/W
b11	予約ビット	予約されています。	R
b10	CONOE	CON_CLK 出力の出カインエーブル (未使用)	R/W
b9	CON_Pol	CON_CLK 出力の極性 0 : アクティブ High 1 : アクティブ Low	R/W
b8	CON_En	CON_CLK のイネーブル	R/W
b7~b4	予約ビット	予約されています。	R
b3	ET3	システム時間インクリメントを有効化	R/W
b2	予約ビット	予約されています。	R
b1	ET1_2	ポート 1/2 でタイマを有効化	R/W
b0	ET0	メインタイマ TCNT を有効化	R/W

8.4.13 TRDLY — リング遅延レジスタ

アドレス 4402 003Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	Ringdelay			
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Ringdelay															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.15 TRDLY レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b20	予約ビット	予約されています。	R
b19~b0	Ringdelay	Sercos III のリング遅延	R/W

8.4.14 TDMST1 — 時間遅延 MST (ポート 1)

アドレス 4402 0040h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	Time_Delay_MST			
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Time_Delay_MST															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.16 TDMST1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b20	予約ビット	予約されています。	R
b19~b0	Time_Delay_MST	時間遅延 MST (ポート 1)	R/W

8.4.15 TDMST2 — 時間遅延 MST (ポート 2)

アドレス 4402 0044h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	Time_Delay_MST			
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Time_Delay_MST															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.17 TDMST2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b20	予約ビット	予約されています。	R
b19~b0	Time_Delay_MST	時間遅延 MST (ポート 2)	R/W

8.4.16 SCR1 — 同期時間レジスタ (ポート 1)

アドレス 4402 0048h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	Sync_Count			
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Sync_Count															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.18 SCR1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b20	予約ビット	予約されています。	R
b19~b0	Sync_Count	同期時間レジスタ (ポート 1)	R

8.4.17 SCR2 — 同期時間レジスタ（ポート 2）

アドレス 4402 004Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	Sync_Count			
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Sync_Count															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.19 SCR2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b20	予約ビット	予約されています。	R
b19~b0	Sync_Count	同期時間レジスタ（ポート 2）	R

8.4.18 SVCCSR — SVC コントロール/ステータス

アドレス 4402 0050h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SVC_Busy	Process_error	Process_start	—	—	—	MDT_select	Port_select	SVC_enable	
リセット後の値	X	X	X	X	X	X	0	0	0	X	X	X	0	0	0	0

表 8.20 SVCCSR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b10	予約ビット	予約されています。	R
b9	SVC_Busy	SVC マシンがビジー状態です。	R/W
b8	Process_error	MDT 処理中に処理エラー発生（読み出し） 処理エラーをクリア（書き込み）	R/W
b7	Process_start	ビット位置の立ち上がりエッジで SVC マシンを手動起動（デバッグ用）	R/W
b6~b4	予約ビット	予約されています。	R
b3、b2	MDT_select	関連する SVC データを含む最後の MDT	R/W
b1	Port_select	ポート 1（0）またはポート 2（1）から SVC マシンを起動します。	R/W
b0	SVC_enable	サービスチャネル動作を有効化	R/W

8.4.19 DTDIVCLK — DIV_CLK の遅延時間

アドレス 4402 0054h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	DTDIVCLK									
リセット後の値	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DTDIVCLK															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.21 DTDIVCLK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b26	予約ビット	予約されています。	R
b25~b0	DTDIVCLK	DIV_CLK の遅延時間 (単位 : ns)	R/W

8.4.20 TDIV_NDIVCLK — DIV_CLK 時間／カウントレジスタ

アドレス 4402 0058h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NDIVCLK								TDIVCLK							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDIVCLK															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.22 TDIV_NDIVCLK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	NDIVCLK	DIV_CLK の数	R/W
b23~b0	TDIVCLK	DIV_CLK の時間 (単位 : ns)	R/W

8.4.21 S3LED — Sercos III LED コントロール

アドレス 4402 005Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	Color_6	—	—	Color_5	—	CycSkip	flash_2 Hz	—	CycSplit					
リセット後の値	X	X	0	0	X	X	0	0	X	0	0	0	X	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	Color_4	—	—	Color_3	—	—	Color_2	—	—	Color_1				
リセット後の値	X	X	0	0	X	X	0	0	X	X	0	0	X	X	0	0

表 8.23 S3LED レジスタの内容

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット	予約されています。	R
b29、b28	Color_6	ウォッチドッグ用の 6 番目の色です。ウォッチドッグがアクティブのときは書き込み禁止です。 (暗 : 0、緑 : 1、赤 : 2、オレンジ : 3)	R/W
b27、b26	予約ビット	予約されています。	R
b25、b24	Color_5	ウォッチドッグ用の 5 番目の色です。ウォッチドッグがアクティブのときは書き込み禁止です。 (暗 : 0、緑 : 1、赤 : 2、オレンジ : 3)	R/W
b23	予約ビット	予約されています。	R
b22、b21	CycSkip	スキップされるサイクル数の半分	R/W
b20	flash_2Hz	LED の点滅速度が 4Hz ではなく約 2Hz になります。	R/W
b19	予約ビット	予約されています。	R
b18~b16	CycSplit	Color_3 および Color_4 アクティビティのサイクル数	R/W
b15、b14	予約ビット	予約されています。	R
b13、b12	Color_4	2 番目の期間用の 4 番目の色 (暗 : 0、緑 : 1、赤 : 2、オレンジ : 3)	R/W
b11、b10	予約ビット	予約されています。	R
b9、b8	Color_3	2 番目の期間用の 3 番目の色 (暗 : 0、緑 : 1、赤 : 2、オレンジ : 3)	R/W
b7、b6	予約ビット	予約されています。	R
b5、b4	Color_2	2 番目の色 (暗 : 0、緑 : 1、赤 : 2、オレンジ : 3)	R/W
b3、b2	予約ビット	予約されています。	R
b1、b0	Color_1	1 番目の色 (暗 : 0、緑 : 1、赤 : 2、オレンジ : 3)	R/W

8.4.22 WDCSR — ウォッチドッグコントロール&ステータス

アドレス 4402 0068h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	alarm	active
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	magic_pattern															
リセット後の値	1	0	0	0	1	0	0	0	1	1	0	0	1	1	0	1

表 8.24 WDCSR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b18	予約ビット	予約されています。	R
b17	alarm	実際のカウントが0のとき、ウォッチドッグアラーム	R/W
b16	active	ウォッチドッグがアクティブ（リセット後のデフォルトは非アクティブ）	R/W
b15~b0	magic_pattern	ウォッチドッグをトリガするマジックパターン（マジックパターンを書き込むとウォッチドッグがトリガされる）（逆のマジックパターンを書き込むとウォッチドッグが無効になる）	R/W

8.4.23 WDCNT — ウォッチドッグカウンタ

アドレス 4402 006Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	actual_count															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	reset_count															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.25 WDCNT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	actual_count	ウォッチドッグカウンタの実際の値	R
b15~b0	reset_count	ウォッチドッグがトリガされるカウンタリセット値	R/W

8.4.24 SFCR — Sercos フレームコントロール

アドレス 4402 0070h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	Frame_type2	PortSelect2	—	—	FrameNumber2	—	—	FrameType1	PortSelect1	—	—	FrameNumber1		
リセット後の値	X	X	0	0	X	X	0	0	X	X	0	0	X	X	0	0

表 8.26 SFCR レジスタの内容

ビット位置	ビット名	機能	R/W
b31、b14	予約ビット	予約されています。	R
b13	Frame_type2	割り込み 6 のフレームタイプ (MDT、AT)	R/W
b12	PortSelect2	割り込み 6 の受信ポート	R/W
b11、b10	予約ビット	予約されています。	R
b9、b8	FrameNumber2	割り込み 6 の Sercos III フレーム番号	R/W
b7、b6	予約ビット	予約されています。	R
b5	FrameType1	割り込み 5 のフレームタイプ (MDT、AT)	R/W
b4	PortSelect1	割り込み 5 の受信ポート	R/W
b3、b2	予約ビット	予約されています。	R
b1、b0	FrameNumber1	割り込み 5 の Sercos III フレーム番号	R/W

8.4.25 MIICSR — MDIO コントロール/ステータスレジスタ

アドレス 4402 0074h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MDIO_En_P2	MDIO_P2	MDC_P2	—	—	—	—	—	MDIO_En_P1	MDIO_P1	MDC_P1
リセット後の値	X	X	X	X	X	0	1	0	X	X	X	X	X	0	1	0

表 8.27 MIICSR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b11	予約ビット	予約されています。	R
b10	MDIO_En_P2	本ビットは MDIO の方向を選択します。0 は入力を選択し（MDIO 読み出し）、1 は出力を選択します（MDIO 書き込み）。	R/W
b9	MDIO_P2	本ビットには 2 つの機能があります。MDIO_En_P2 が Low のとき、本ビットは MDIO 端子の状態を反映します。MDIO_En_P2 が High のとき、本ビットは出力レベルの状態を反映します。	R/W
b8	MDC_P2	本ビットは、PHY MII MDC 端子への直接出力です。	R/W
b7~b3	予約ビット	予約されています。	R
b2	MDIO_En_P1	本ビットは MDIO の方向を選択します。0 は入力を選択し（MDIO 読み出し）、1 は出力を選択します（MDIO 書き込み）。	R/W
b1	MDIO_P1	本ビットには 2 つの機能があります。MDIO_En_P1 が Low のとき、本ビットは MDIO 端子の状態を反映します。MDIO_En_P1 が High のとき、本ビットは出力レベルの状態を反映します。	R/W
b0	MDC_P1	本ビットは、PHY MII MDC 端子への直接出力です。	R/W

8.4.26 DBGOCR — デバッグ出力制御

アドレス 4402 0078h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TS2				—	—	—	TS1					
リセット後の値	X	X	X	0	0	0	0	0	X	X	X	0	0	0	0	0

表 8.28 DBGOCR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b13	予約ビット	予約されています。	R
b12~b8	TS2	テスト端子 S3_TESTPIN2 に出力される信号を選択します。	R/W
b7~b5	予約ビット	予約されています。	R
b4~b0	TS1	テスト端子 S3_TESTPIN1 に出力される信号を選択します。	R/W

8.4.27 SEQCNT — シーケンスカウンタ

アドレス 4402 007Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SEQCNT_P2															
リセット後の値	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SEQCNT_P1															
リセット後の値	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1

表 8.29 SEQCNT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	SEQCNT_P2	ポート 2 における MST のシーケンスカウンタフィールドの値	R/W
b15~b0	SEQCNT_P1	ポート 1 における MST のシーケンスカウンタフィールドの値	R/W

8.4.28 MAC1P1_0 — MAC アドレス 0

アドレス 4402 0080h

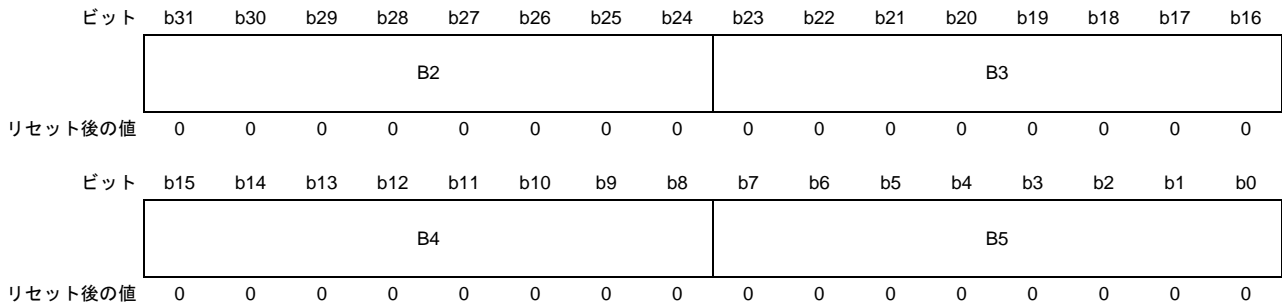


表 8.30 MAC1P1_0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	B2	MAC アドレス	R/W
b23~b16	B3	MAC アドレス	R/W
b15~b8	B4	MAC アドレス	R/W
b7~b0	B5	MAC アドレス	R/W

8.4.29 MAC1P1_1 — MAC アドレス 1

アドレス 4402 0084h

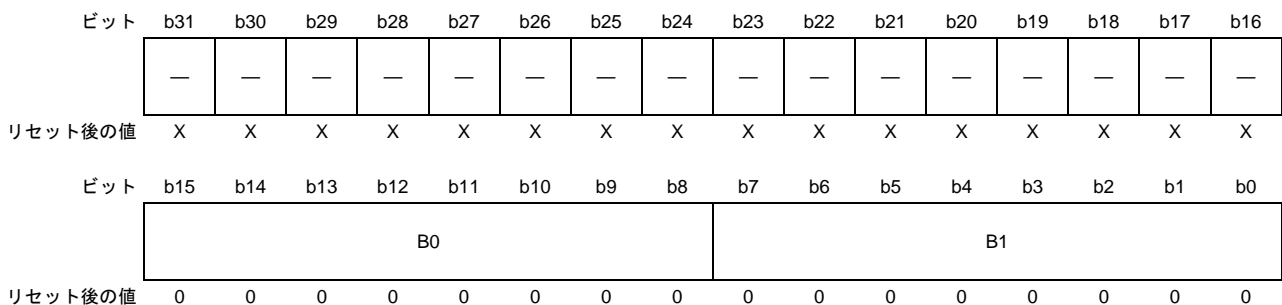


表 8.31 MAC1P1_1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b8	B0	MAC アドレス	R/W
b7~b0	B1	MAC アドレス	R/W

8.4.30 IPCSR1 — IP ステータス/コントロールレジスタ (ポート 1)

アドレス 4402 0090h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Link	—	—	—	—	—	—	—	—	—	—	—	IPTxBufEmpty	IPTxBufRdy	IPRxBufFull	IPRxRdy
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	IPTxBufEmptyIntEn	IPTxBufRdyIntEn	IPRxBufFullIntEn	IPRxRdyIntEn	—	Promiscuous	ColBufDisable	MulticastDisable	BroadcastDisable	S3FrameFilter	IPRxEn	IPTxEn
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

表 8.32 IPCSR1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31	Link	ポート 1 にリンクが存在	R
b30~b20	予約ビット	予約されています。	R
b19	IPTxBufEmpty	ポート 1 の IP 送信バッファがエンプティのときセットされます。	R
b18	IPTxBufRdy	各フレーム送信後、IP 送信バッファがホストからのフレームを受け付け可能になるとセットされます。	R
b17	IPRxBufFull	ポート 1 の IP 受信バッファがフルのときにセットされます。	R
b16	IPRxRdy	ポート 1 で IP イーサネットフレームをエラーなく受信したときにセットされます。	R
b15~b13	予約ビット	予約されています。	R
b12	予約ビット	0 を設定してください。	R/W
b11	IPTxBufEmptyIntEn	1 にすると、イベント IPTxBufEmpty で割り込み Int_IPIntPort1 が許可されます。	R/W
b10	IPTxBufRdyIntEn	1 にすると、イベント IPTxBufRdy で割り込み Int_IPIntPort1 が許可されます。	R/W
b9	IPRxBufFullIntEn	1 にすると、イベント IPRxBufFull で割り込み Int_IPIntPort1 が許可されます。	R/W
b8	IPRxRdyIntEn	1 にすると、イベント IPRxRdy で割り込み Int_IPIntPort1 が許可されます。	R/W
b7	予約ビット	予約されています。	R
b6	Promiscuous	宛先アドレスをチェックせずに、すべてのフレームを受信します。	R/W
b5	ColBufDisable	コリジョンバッファを無効にします。フレームは反対側のポートに転送されません。	R/W
b4	MulticastDisable	IP チャンネルにおけるマルチキャストフレームの受信を禁止します。転送には影響しません。	R/W
b3	BroadcastDisable	IP チャンネルにおけるブロードキャストフレームの受信を禁止します。転送には影響しません。	R/W
b2	S3FrameFilter	通信フェーズ (CP) が 0 より大きい Sercos III フレームをフィルタします。これらのフレームは、NRT 状態中、反対側のポートに転送されません。	R/W
b1	IPRxEn	ポート 1 の受信イネーブル。受信ポートを無効にすることにより内部ステートマシンをリセットし、レジスタ値 (IPRRS1) から受信バッファポインタをセットします。そのため、先に IPRRS1 をセットしてから、IPRxEn をアクティブ化する必要があります。コリジョンバッファの転送には影響しません。	R/W
b0	IPTxEn	ポート 1 の送信イネーブル。送信ポートの無効にすることにより内部ステートマシンをリセットし、内部 IP フレームの送信を禁止します。コリジョンバッファの転送には影響しません。そのフレームを送信中に本ビットがリセットされると、そのフレームは壊れます。	R/W

8.4.31 IPCSR2 — IP ステータス/コントロールレジスタ (ポート 2)

アドレス 4402 0094h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Link	—	—	—	—	—	—	—	—	—	—	—	IPTxBufEmpty	IPTxBufRdy	IPRxBufFull	IPRxRdy
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	IPTxBufEmptyIntEn	IPTxBufRdyIntEn	IPRxBufFullIntEn	IPRxRdyIntEn	—	Promiscuous	ColBufDisable	MulticastDisable	BroadcastDisable	S3FrameFilter	IPRxEn	IPTxEn
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

表 8.33 IPCSR2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31	Link	ポート 2 にリンクが存在	R
b30~b20	予約ビット	予約されています。	R
b19	IPTxBufEmpty	ポート 2 の IP 送信バッファがエンプティのときセットされます。	R
b18	IPTxBufRdy	各フレーム送信後、IP 送信バッファがホストからのフレームを受け付け可能になるとセットされます。	R
b17	IPRxBufFull	ポート 2 の IP 受信バッファがフルのときにセットされます。	R
b16	IPRxRdy	ポート 2 で IP イーサネットフレームをエラーなく受信したときにセットされます。	R
b15~b13	予約ビット	予約されています。	R
b12	予約ビット	0 を設定してください。	R/W
b11	IPTxBufEmptyIntEn	1 にすると、イベント IPTxBufEmpty で割り込み Int_IPIntPort2 が許可されます。	R/W
b10	IPTxBufRdyIntEn	1 にすると、イベント IPTxBufRdy で割り込み Int_IPIntPort2 が許可されます。	R/W
b9	IPRxBufFullIntEn	1 にすると、イベント IPRxBufFull で割り込み Int_IPIntPort2 が許可されます。	R/W
b8	IPRxRdyIntEn	1 にすると、イベント IPRxRdy で割り込み Int_IPIntPort2 が許可されます。	R/W
b7	予約ビット	予約されています。	R
b6	Promiscuous	宛先アドレスをチェックせずに、すべてのフレームを受信します。	R/W
b5	ColBufDisable	コリジョンバッファを無効にします。フレームは反対側のポートに転送されません。	R/W
b4	MulticastDisable	IP チャンネルにおけるマルチキャストフレームの受信を禁止します。転送には影響しません。	R/W
b3	BroadcastDisable	IP チャンネルにおけるブロードキャストフレームの受信を禁止します。転送には影響しません。	R/W
b2	S3FrameFilter	通信フェーズ (CP) が 0 より大きい Sercos III フレームをフィルタします。これらのフレームは、NRT 状態中、反対側のポートに転送されません。	R/W
b1	IPRxEn	ポート 2 の受信イネーブル。受信ポートを無効にすることにより内部ステートマシンをリセットし、レジスタ値 (IPRRS2) から受信バッファポインタをセットします。そのため、先に IPRRS2 をセットしてから、IPRxEn をアクティブ化する必要があります。コリジョンバッファの転送には影響しません。	R/W
b0	IPTxEn	ポート 2 の送信イネーブル。送信ポートの無効にすることにより内部ステートマシンをリセットし、内部 IP フレームの送信を禁止します。コリジョンバッファの転送には影響しません。そのフレームを送信中に本ビットがリセットされると、そのフレームは壊れます。	R/W

8.4.32 IPRRS1 — IP Rx RAM セグメント (ポート 1)

アドレス 4402 0098h



表 8.34 IPRRS1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	Ram_segment_Last	IP データを格納する Rx RAM 内の最後のセグメント	R/W
b15~b0	Ram_segment_First	IP データを格納する Rx RAM 内の最初のセグメント	R/W

8.4.33 IPRRS2 — IP Rx RAM セグメント (ポート 2)

アドレス 4402 009Ch

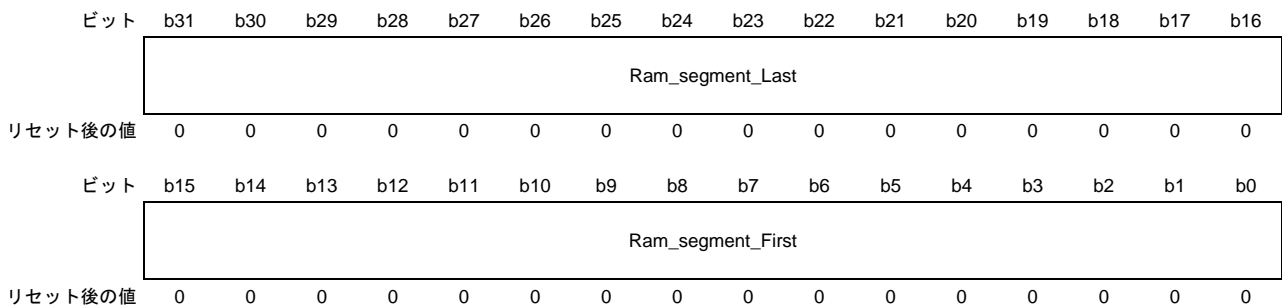


表 8.35 IPRRS2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	Ram_segment_Last	IP データを格納する Rx RAM 内の最後のセグメント	R/W
b15~b0	Ram_segment_First	IP データを格納する Rx RAM 内の最初のセグメント	R/W

8.4.34 IPRXS1 — IP 受信スタック（ポート 1）

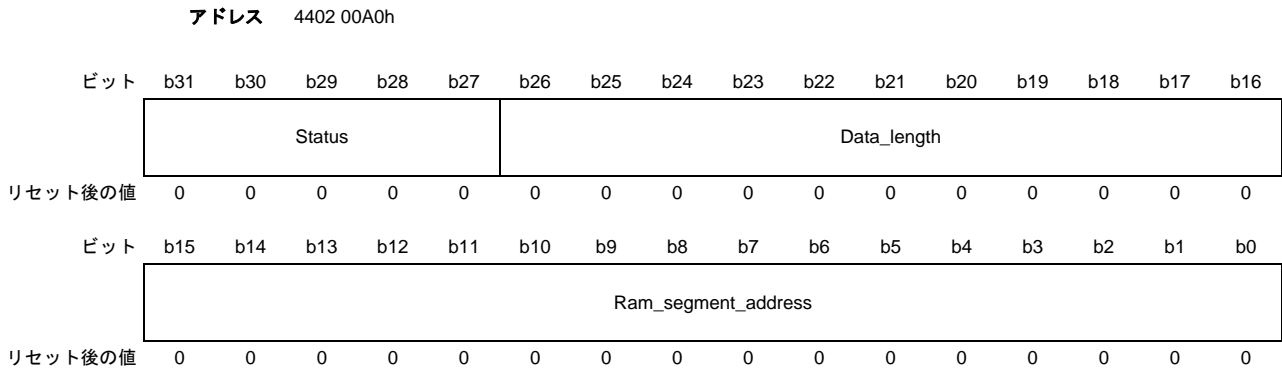


表 8.36 IPRXS1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b27	Status	将来のために予約されています。	R/W
b26~b16	Data_length	受信したデータのバイト数を定義します。	R/W
b15~b0	Ram_segment_address	受信したデータの Rx RAM 内のセグメント位置を定義します。	R/W

8.4.35 IPRXS2 — IP 受信スタック（ポート 2）

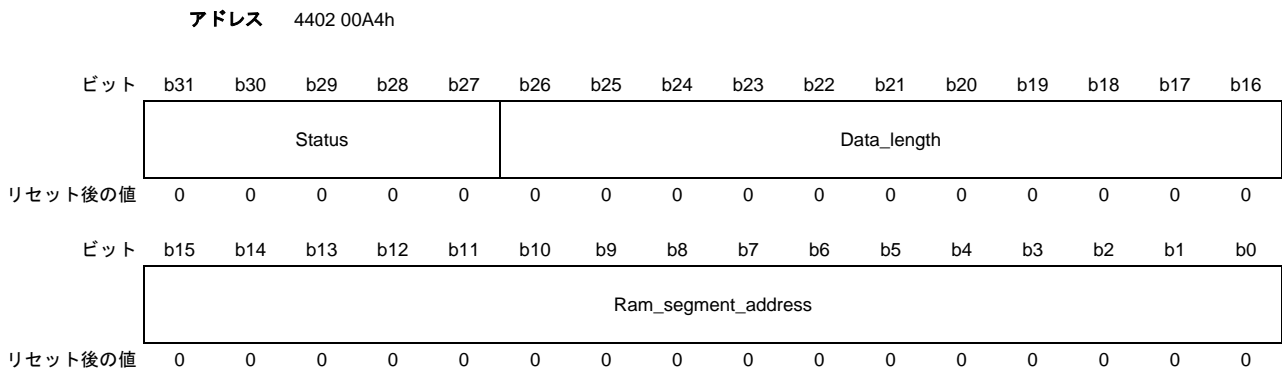


表 8.37 IPRXS2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b27	Status	将来のために予約されています。	R/W
b26~b16	Data_length	受信したデータのバイト数を定義します。	R/W
b15~b0	Ram_segment_address	受信したデータの Rx RAM 内のセグメント位置を定義します。	R/W

8.4.36 IPTXS1 — IP 送信スタック（ポート 1）

アドレス 4402 00A8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	Count			—	Data_length										
リセット後の値	X	0	0	0	X	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Ram_segment_address															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.38 IPTXS1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31	予約ビット	予約されています。	R
b30~b28	Count	スタックに格納されたフレームの数	R/W
b27	予約ビット	予約されています。	R
b26~b16	Data_length	送信するデータのバイト数を定義します。	R/W
b15~b0	Ram_segment_address	送信データの Tx RAM 内のセグメント位置を定義します。	R/W

8.4.37 IPTXS2 — IP 送信スタック（ポート 2）

アドレス 4402 00ACh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	Count			—	Data_length										
リセット後の値	X	0	0	0	X	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Ram_segment_address															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.39 IPTXS2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31	予約ビット	予約されています。	R
b30~b28	Count	スタックに格納されたフレームの数	R/W
b27	予約ビット	予約されています。	R
b26~b16	Data_length	送信するデータのバイト数を定義します。	R/W
b15~b0	Ram_segment_address	送信データの Tx RAM 内のセグメント位置を定義します。	R/W

8.4.38 IPLASTFL — 残りフレーム長

アドレス 4402 00B0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	length										
リセット後の値	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0

表 8.40 IPLASTFL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b11	予約ビット	予約されています。	R
b10~b0	length	最終送信イベント後に残っているフレーム長	R/W

8.4.39 IPFRXOK — IP aFramesReceivedOK

アドレス 4402 00C0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	aFramesReceivedOK_2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	aFramesReceivedOK_1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.41 IPFRXOK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	aFramesReceivedOK_2	ポート 2 でエラーなく受信したすべてのフレームの数をカウントします（転送されたフレームおよびリソース不足により廃棄されたフレームを含む）。	R
b15~b0	aFramesReceivedOK_1	ポート 1 でエラーなく受信したすべてのフレームの数をカウントします（転送されたフレームおよびリソース不足により廃棄されたフレームを含む）。	R

8.4.40 IPFTXOK — IP aFramesTransmittedOK

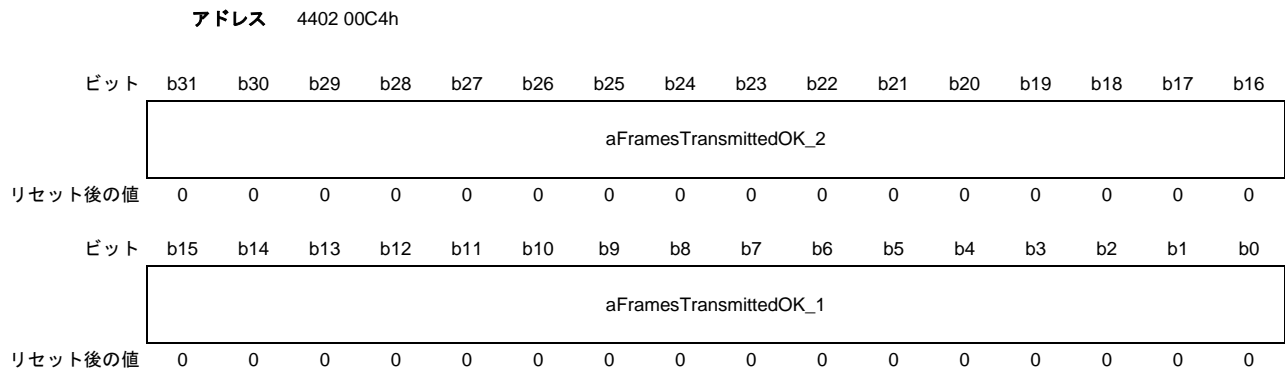


表 8.42 IPFTXOK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	aFramesTransmittedOK_2	ポート 2 で送信されたすべてのフレームの数をカウントします（転送されたフレームを含む）。	R
b15~b0	aFramesTransmittedOK_1	ポート 1 で送信されたすべてのフレームの数をカウントします（転送されたフレームを含む）。	R

8.4.41 IPFCSERR — IP aFCSErrors

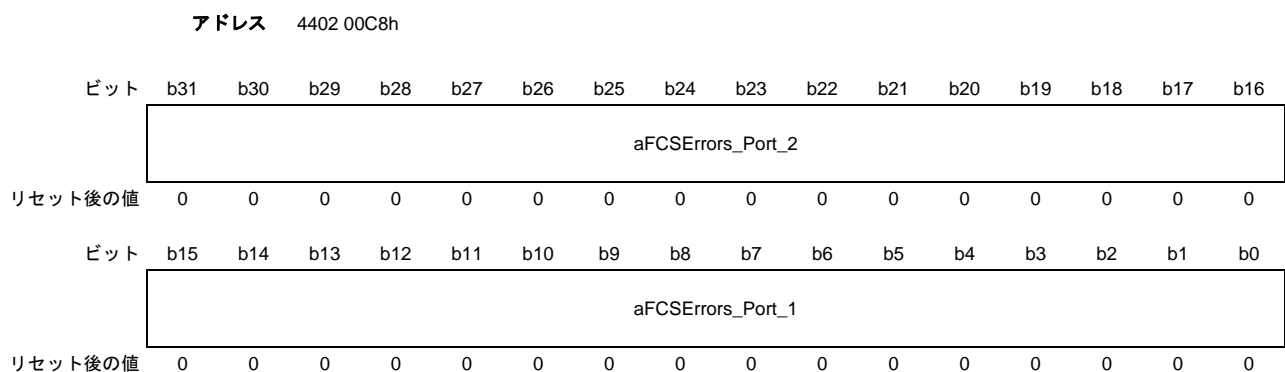


表 8.43 IPFCSERR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	aFCSErrors_Port_2	ポート 2 で不正な FCS（フレームチェックシーケンス）または RxER を示す受信イーサネットフレームの数をカウントします。	R
b15~b0	aFCSErrors_Port_1	ポート 1 で不正な FCS（フレームチェックシーケンス）または RxER を示す受信イーサネットフレームの数をカウントします。	R

8.4.42 IPALGNERR — IP aAlignmentErrors

アドレス 4402 00CCh

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	aFrameErrors_Port_2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	aFrameErrors_Port_1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.44 IPALGNERR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	aFrameErrors_Port_2	本カウンタは、ポート 2 で不正なイーサネットフレームが検出されるとインクリメントされます。不正なフレームとは、アライメントエラーのあるフレームです。	R
b15~b0	aFrameErrors_Port_1	本カウンタは、ポート 1 で不正なイーサネットフレームが検出されるとインクリメントされます。不正なフレームとは、アライメントエラーのあるフレームです。	R

8.4.43 IPDISRXB — IP aDiscardResRxBuf

アドレス 4402 00D0h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	aDiscardResRxBuf_Port_2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	aDiscardResRxBuf_Port_1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.45 IPDISRXB レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	aDiscardResRxBuf_Port_2	本カウンタは、ポート 2 で受信バッファリソース不足により廃棄された受信イーサネットフレームの数をカウントします。	R
b15~b0	aDiscardResRxBuf_Port_1	本カウンタは、ポート 1 で受信バッファリソース不足により廃棄された受信イーサネットフレームの数をカウントします。	R

8.4.44 IPDISCLB — IP aDiscardResColBuf

アドレス 4402 00D4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	aDiscardResColBuf_Port_2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	aDiscardResColBuf_Port_1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.46 IPDISCLB レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	aDiscardResColBuf_Port_2	本カウンタは、ポート 2 でコリジョンバッファリソース不足により廃棄された転送イーサネットフレームの数をカウントします。	R
b15~b0	aDiscardResColBuf_Port_1	本カウンタは、ポート 1 でコリジョンバッファリソース不足により廃棄された転送イーサネットフレームの数をカウントします。	R

8.4.45 IPCHVIOL — IP aIPChannelViolation

アドレス 4402 00D8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	aIPChannelViolation_Port_2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	aIPChannelViolation_Port_1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.47 IPCHVIOL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	aIPChannelViolation_Port_2	本カウンタは、ポート 2 で IP チャンネルの時間境界に違反しているイーサネットフレームを検出するとインクリメントします。	R
b15~b0	aIPChannelViolation_Port_1	本カウンタは、ポート 1 で IP チャンネルの時間境界に違反しているイーサネットフレームを検出するとインクリメントします。	R

8.4.46 aSercosErrorCount — Sercos III エラーカウンタ

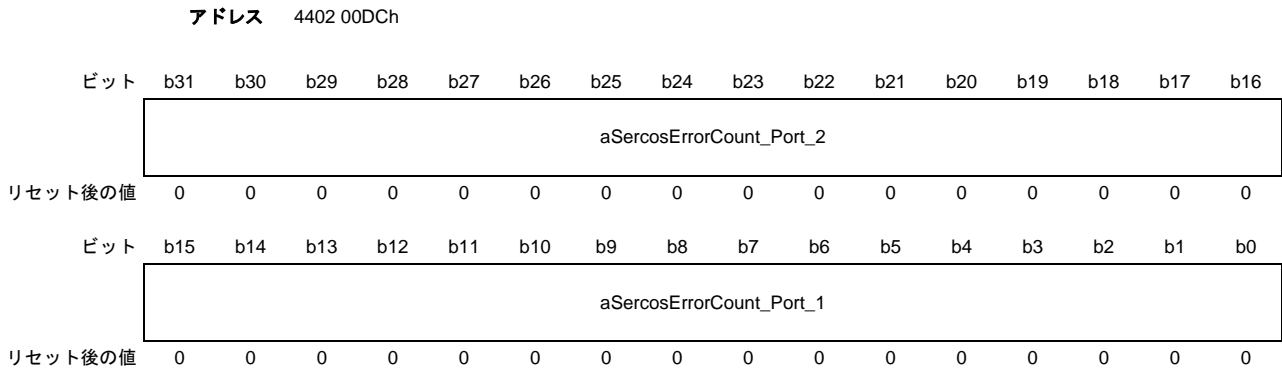


表 8.48 aSercosErrorCount レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	aSercosErrorCount_Port_2	本カウンタは、ポート 2 で FCS が不正、またはアライメントが不正な Sercos III イーサネットフレームの数をカウントします。 本カウンタは 0xFFFF で飽和するため、0xFFFF を書き込むとタイマをクリアすることが可能です。	R
b15~b0	aSercosErrorCount_Port_1	本カウンタは、ポート 1 で FCS が不正、またはアライメントが不正な Sercos III イーサネットフレームの数をカウントします。 本カウンタは 0xFFFF で飽和するため、0xFFFF を書き込むとタイマをクリアすることが可能です。	R

8.4.47 MSTLMAX — 最大連続 MST ロス数

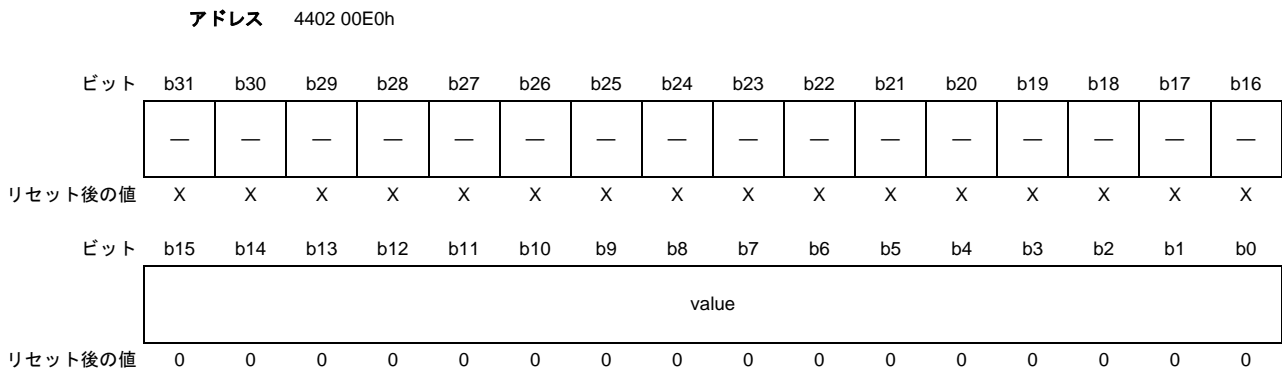


表 8.49 MSTLMAX レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	value	割り込み 10 および 11 の連続 MST ロス数	R/W

8.4.48 MSTLSUM — MST ロス数の合計

アドレス 4402 00E4h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	value															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.50 MSTLSUM レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	value	連続 MST ロス数の合計	R/W

8.4.49 MSTLACT — 実際の連続 MST ロス数

アドレス 4402 00E8h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	value															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.51 MSTLACT レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	予約ビット	予約されています。	R
b15~b0	value	実際の連続 MST ロス数	R/W

8.4.50 TMDSC_L — タイミングディスクリプタ下位

アドレス 4402 0100h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	Event_TCNT_Value										
リセット後の値	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Event_TCNT_Value															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.52 TMDSC_L レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b27	予約ビット	予約されています。	R
b26~b0	Event_TCNT_Value	TCNT イベントのナノ秒値	R/W

8.4.51 TMDSC_U — タイミングディスクリプタ上位

アドレス 4402 0104h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	Event_type					—	—	—	—	—	—	SCC_Select	
リセット後の値	X	X	0	0	0	0	0	0	X	X	X	X	X	X	0	0	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	SCC_Value								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	

表 8.53 TMDSC_U レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b28	予約ビット	予約されています。	R
b27~b24	Event_type	イベントのタイプ	R/W
b23~b18	予約ビット	予約されています。	R
b17、b16	SCC_Select	サブサイクルカウンタの選択 0 : Sercos III サイクル 1 : サブサイクルカウンタ A 2 : サブサイクルカウンタ B 3 : サイクルカウンタ MDT	R/W
b15~b8	予約ビット	予約されています。	R
b7~b0	SCC_Value	イベントをイネーブルするサブサイクルカウンタ	R/W

8.4.52 TMDSCSEL — タイミングディスクリプタ選択

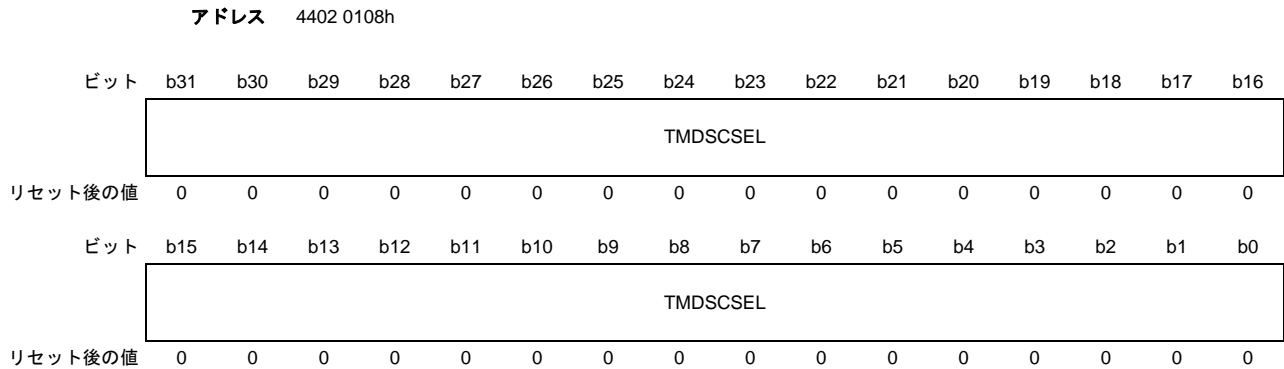


表 8.54 TMDSCSEL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TMDSCSEL	タイミングディスクリプタ選択 (0~15)	R/W

8.4.53 PTMDSCL — ポートタイミングディスクリプタ下位

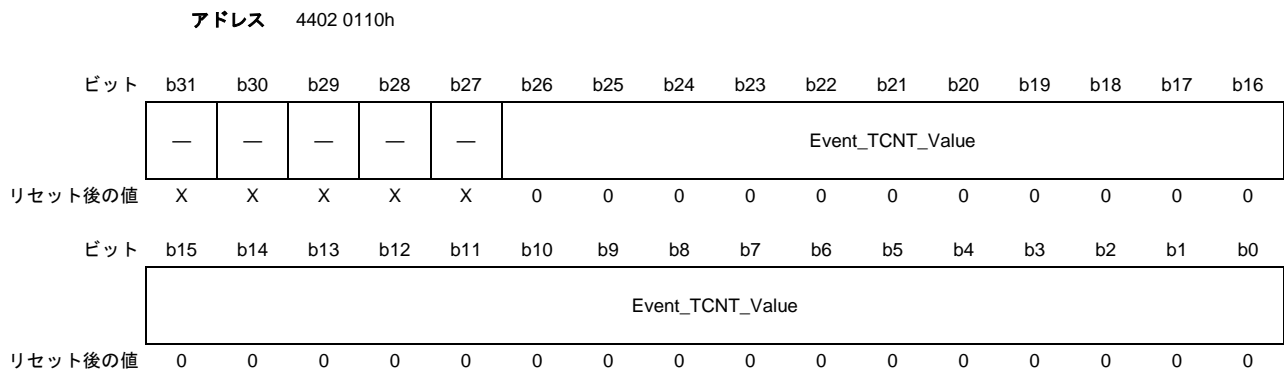


表 8.55 PTMDSCL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b27	予約ビット	予約されています。	R
b26~b0	Event_TCNT_Value	TCNT イベントのナノ秒値	R/W

8.4.54 PTMDSCU — ポートタイミングディスクリプタ上位

アドレス 4402 0114h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	Event_type				—	—	—	—	—	—	—	—	SCC_Select
リセット後の値	X	X	X	X	0	0	0	0	X	X	X	X	X	X	0	0	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	SCC_Value								
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	

表 8.56 PTMDSCU レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b28	予約ビット	予約されています。	R
b27~b24	Event_type	イベントのタイプ	R/W
b23~b18	予約ビット	予約されています。	R
b17、b16	SCC_Select	サブサイクルカウンタの選択 0 : Sercos III サイクル 1 : サブサイクルカウンタ A 2 : サブサイクルカウンタ B 3 : サイクルカウンタ MDT	R/W
b15~b8	予約ビット	予約されています。	R
b7~b0	SCC_Value	イベントをイネーブルするサブサイクルカウント	R/W

8.4.55 PTMDSCSEL — ポートタイミングディスクリプタ選択

アドレス 4402 0118h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PTMDSCSEL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PTMDSCSEL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.57 PTMDSCSEL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	PTMDSCSEL	タイミングディスクリプタ選択 (0~15)	R/W

8.4.56 STNS — システム時間（ナノ秒）

アドレス 4402 0130h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	Nanoseconds													
リセット後の値	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Nanoseconds															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.58 STNS レジスタの内容

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット	予約されています。	R
b29～b0	Nanoseconds	システム時間のナノ秒値。1 秒までカウントアップします。	R

8.4.57 STSEC — システム時間（秒）

アドレス 4402 0134h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Seconds															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Seconds															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.59 STSEC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	Seconds	システム時間の秒（UNIX 時間）	R

8.4.58 STNSTSR — システム時間 TSRef (ナノ秒)

アドレス 4402 0138h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	Nanoseconds													
リセット後の値	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Nanoseconds															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.60 STNSTSR レジスタの内容

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット	予約されています。	R
b29～b0	Nanoseconds	前回の TSRef におけるシステム時間のナノ秒値。	R

8.4.59 STSECTSR — システム時間 TSRef (秒)

アドレス 4402 013Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	Seconds															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	Seconds															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.61 STSECTSR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	Seconds	前回の TSRef におけるシステム時間の秒 (UNIX 時間)	R

8.4.60 SCCAB — サブサイクルカウンタコントロール&ステータス

アドレス 4402 0140h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ScValueB								ScValueA							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ScMaxB								ScMaxA							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.62 SCCAB レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	ScValueB	サブサイクルカウンタ B のサブサイクル値	R
b23~b16	ScValueA	サブサイクルカウンタ A のサブサイクル値	R
b15~b8	ScMaxB	サブサイクルカウンタ B の最大値	R/W
b7~b0	ScMaxA	サブサイクルカウンタ A の最大値	R/W

8.4.61 SCCMDT — サブサイクルカウンタ MDT

アドレス 4402 0150h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	Actual_counter													
リセット後の値	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	Maximum_count													
リセット後の値	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 8.63 SCCMDT レジスタの内容

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット	予約されています。	R
b29~b16	Actual_counter	タイミングプロセッサ内でアクティブな実際の値	R
b15、b14	予約ビット	予約されています。	R
b13~b0	Maximum_count	内部カウンタが本値を超えるか、MDT0 のサイクルカウンタが 0 になると、内部カウンタはリセットされます。	R/W

8.4.62 RXBUF[n]_P1A — ポート 1 かつバッファシステム A の受信バッファ[n]のベースアドレス (n=0~2)

アドレス 4402 0180h+4h×n

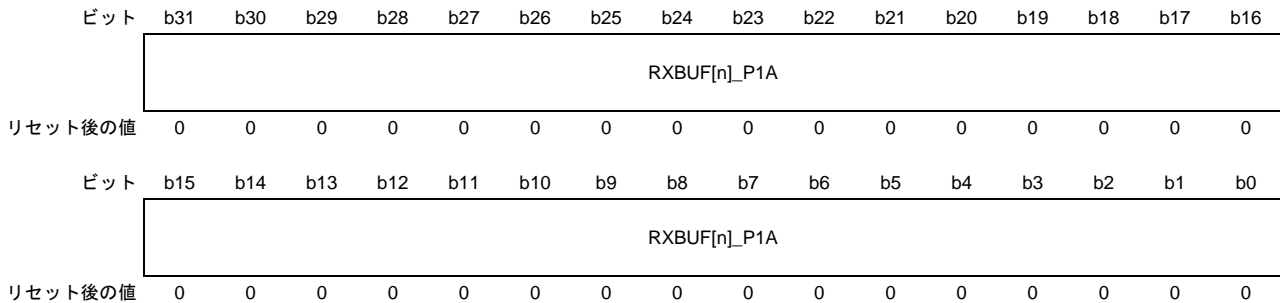


表 8.64 RXBUF[n]_P1A レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXBUF[n]_P1A	ポート 1 かつバッファシステム A の受信バッファ[n]のベースアドレス	R/W

8.4.63 RXBUF[n]_P1B — ポート 1 かつバッファシステム B の受信バッファ[n]のベースアドレス (n=0~2)

アドレス 4402 0190h+4h×n

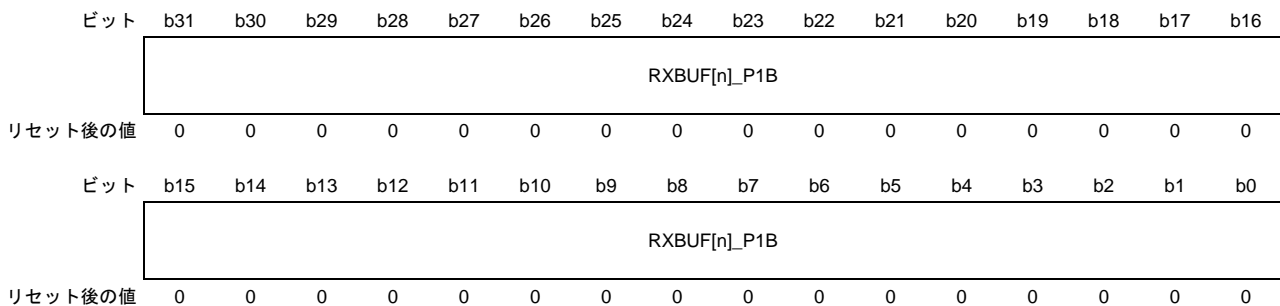


表 8.65 RXBUF[n]_P1B レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXBUF[n]_P1B	ポート 1 かつバッファシステム B の受信バッファ[n]のベースアドレス	R/W

8.4.64 RXBUF_P1SVC — ポート 1 のサービスチャネルデータの受信バッファのベースアドレス

アドレス 4402 019Ch

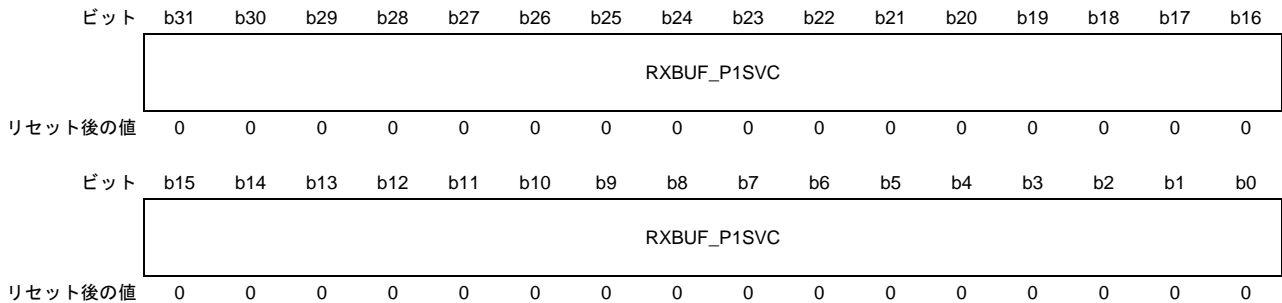


表 8.66 RXBUF_P1SVC レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXBUF_P1SVC	ポート 1 のサービスチャネルデータの受信バッファのベースアドレス	R/W

8.4.65 RXBUF[n]_P2A — ポート 2 かつバッファシステム A の受信バッファ[n]のベースアドレス (n=0~2)

アドレス 4402 01A0h+4h×n

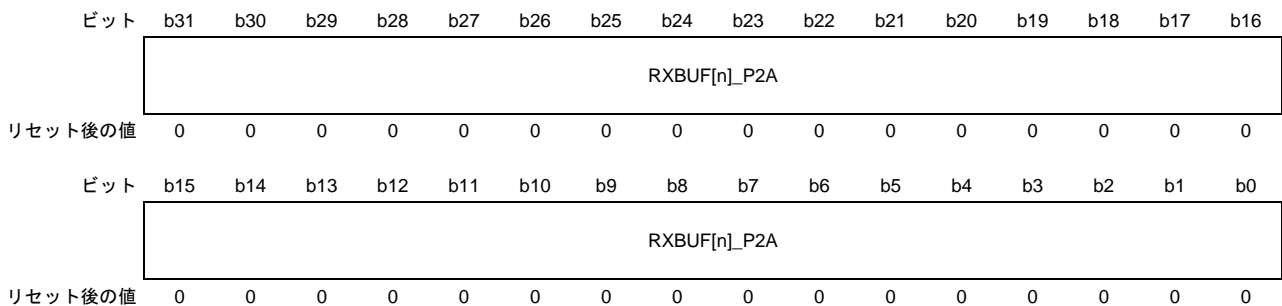


表 8.67 RXBUF[n]_P2A レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXBUF[n]_P2A	ポート 2 かつバッファシステム A の受信バッファ[n]のベースアドレス	R/W

8.4.66 RXBUF[n]_P2B — ポート 2 かつバッファシステム B の受信バッファ[n]のベースアドレス (n=0~2)

アドレス 4402 01B0h+4h×n

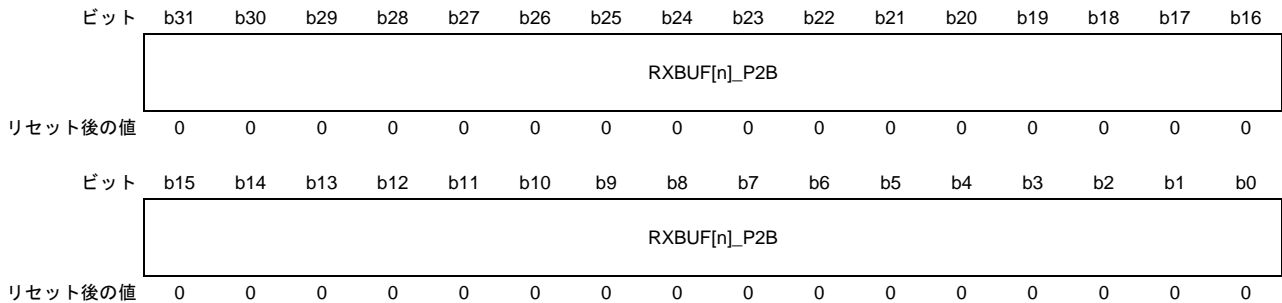


表 8.68 RXBUF[n]_P2B レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXBUF[n]_P2B	ポート 2 かつバッファシステム B の受信バッファ[n]のベースアドレス	R/W

8.4.67 RXBUF_P2SVC — ポート 2 のサービスチャネルデータの受信バッファのベースアドレス

アドレス 4402 01BCh

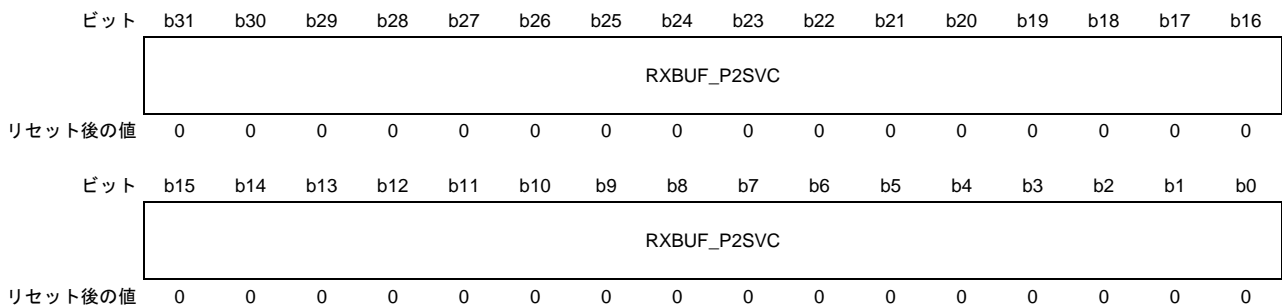


表 8.69 RXBUF_P2SVC レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	RXBUF_P2SVC	ポート 2 のサービスチャネルデータの受信バッファのベースアドレス	R/W

8.4.68 TXBUF[n]_A — バッファシステム A の送信バッファ[n]のベースアドレス (n=0~3)

アドレス 4402 01C0h+4h×n

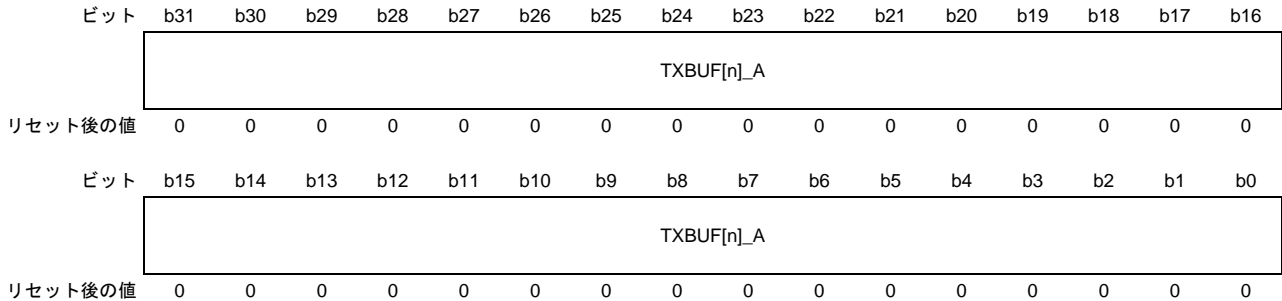


表 8.70 TXBUF[n]_A レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXBUF[n]_A	バッファシステム A の送信バッファ[n]のベースアドレス	R/W

8.4.69 TXBUF[n]_B — バッファシステム B の送信バッファ[n]のベースアドレス (n=0~3)

アドレス 4402 01D0h+4h×n

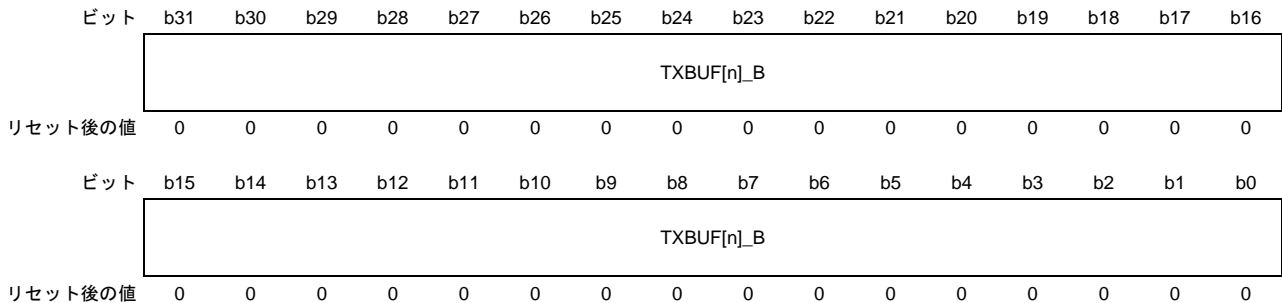


表 8.71 TXBUF[n]_B レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXBUF[n]_B	バッファシステム B の送信バッファ[n]のベースアドレス	R/W

8.4.70 TXBUF_P1 — ポート 1 のみの送信バッファのベースアドレス

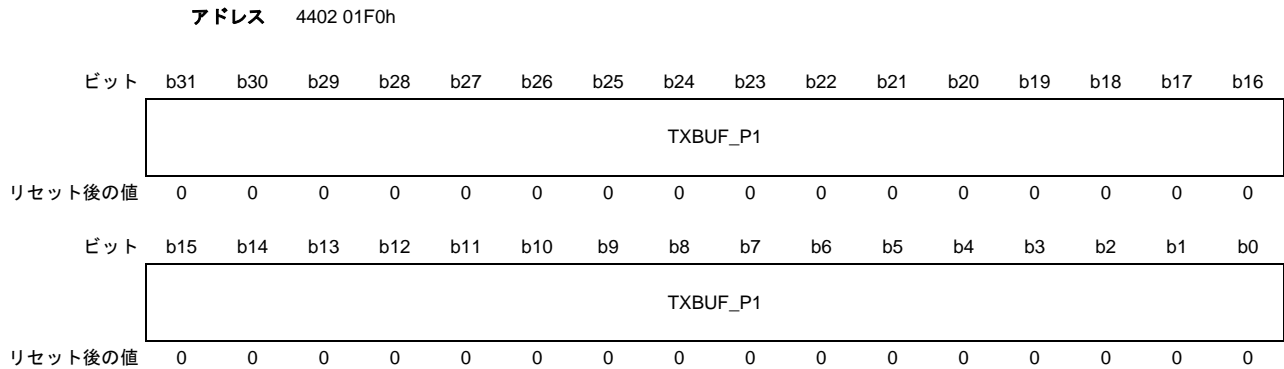


表 8.72 TXBUF_P1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXBUF_P1	ポート 1 のみの送信バッファのベースアドレス	R/W

8.4.71 TXBUF_P2 — ポート 2 のみの送信バッファのベースアドレス

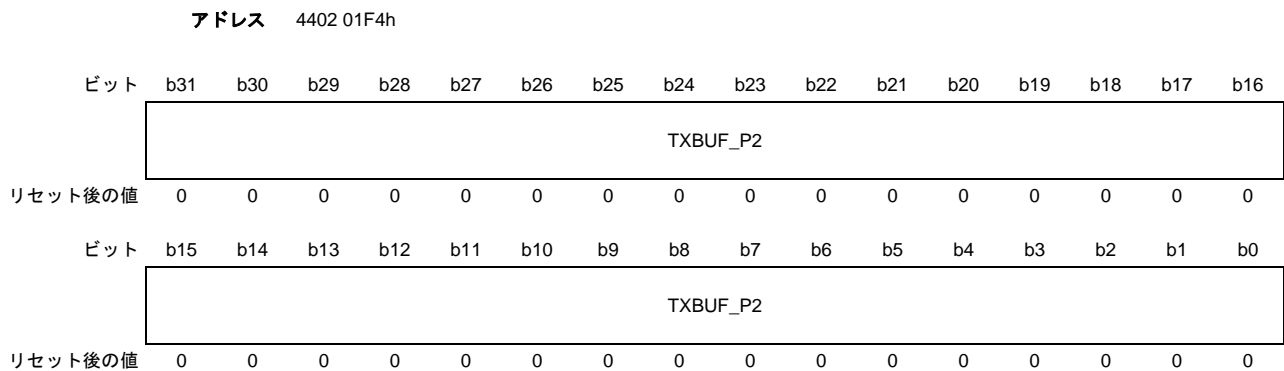


表 8.73 TXBUF_P2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXBUF_P2	ポート 2 のみの送信バッファのベースアドレス	R/W

8.4.72 TXBUF_SVC — サービスチャネルデータの送信バッファのベースアドレス

アドレス 4402 01FCh

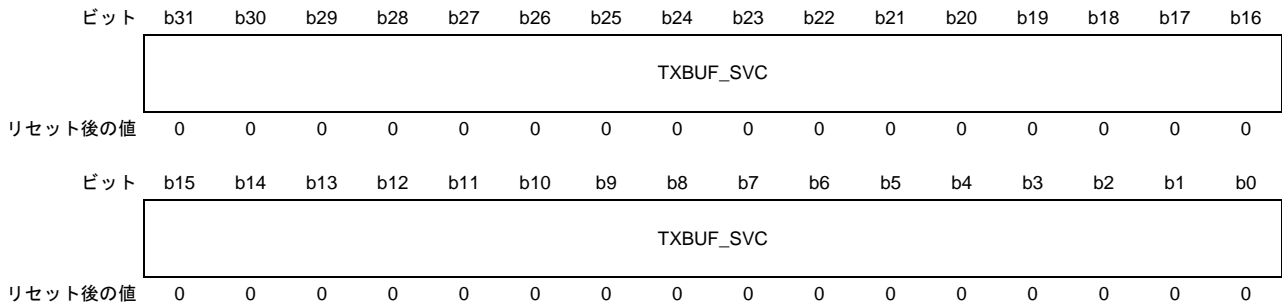


表 8.74 TXBUF_SVC レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	TXBUF_SVC	サービスチャネルデータの送信バッファのベースアドレス	R/W

8.4.73 RXBUFCSR_A — 受信バッファコントロール (バッファシステム A)

アドレス 4402 0200h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RxRequest	—	Port_2_Overflow	Port_2_New_Data	—	—	RxBuf_Port_2	—	—	Port_1_Overflow	Port_1_New_Data	—	—	RxBuf_Port_1		
リセット後の値	1	X	0	0	X	X	0	1	X	X	0	0	X	X	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	Buffer_Count	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	0

表 8.75 RXBUFCSR_A レジスタの内容

ビット位置	ビット名	機能	R/W
b31	RxRequest	バッファシステムが利用可能 (読み出し) / 最新の受信バッファを要求 (書き込み)	R/W
b30	予約ビット	予約されています。	R
b29	Port_2_Overflow	直前の 2 回の受信バッファ要求の間にポート 2 でデータオーバーフロー	R
b28	Port_2_New_Data	ポート 2 の実際の受信バッファに新しい有効データが含まれています。	R
b27、b26	予約ビット	予約されています。	R
b25、b24	RxBuf_Port_2	ポート 2 の実際の受信バッファ (システムバッファ)	R
b23、b22	予約ビット	予約されています。	R
b21	Port_1_Overflow	直前の 2 回の受信バッファ要求の間にポート 1 でデータオーバーフロー	R
b20	Port_1_New_Data	ポート 1 の実際の受信バッファに新しい有効データが含まれています。	R
b19、b18	予約ビット	予約されています。	R
b17、b16	RxBuf_Port_1	ポート 1 の実際の受信バッファ (システムバッファ)	R
b15~b2	予約ビット	予約されています。	R
b1、b0	Buffer_Count	00b : シングルバッファシステム 01b : ダブルバッファシステム 10b : トリプルバッファシステム 11b : 未定義	R/W

8.4.74 RXBUFTV_A — 受信バッファテレグラム有効 (バッファシステム A)

アドレス 4402 0204h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	Port_2_AT3	Port_2_AT2	Port_2_AT1	Port_2_AT0	—	—	—	—	Port_2_MDT3	Port_2_MDT2	Port_2_MDT1	Port_2_MDT0
リセット後の値	X	X	X	X	0	0	0	0	X	X	X	X	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	Port_1_AT3	Port_1_AT2	Port_1_AT1	Port_1_AT0	—	—	—	—	Port_1_MDT3	Port_1_MDT2	Port_1_MDT1	Port_1_MDT0
リセット後の値	X	X	X	X	0	0	0	0	X	X	X	X	0	0	0	0

表 8.76 RXBUFTV_A レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b28	予約ビット	予約されています。	R
b27	Port_2_AT3	バッファにポート 2 からの有効な AT3 データが含まれています。	R
b26	Port_2_AT2	バッファにポート 2 からの有効な AT2 データが含まれています。	R
b25	Port_2_AT1	バッファにポート 2 からの有効な AT1 データが含まれています。	R
b24	Port_2_AT0	バッファにポート 2 からの有効な AT0 データが含まれています。	R
b23~b20	予約ビット	予約されています。	R
b19	Port_2_MDT3	バッファにポート 2 からの有効な MDT3 データが含まれています。	R
b18	Port_2_MDT2	バッファにポート 2 からの有効な MDT2 データが含まれています。	R
b17	Port_2_MDT1	バッファにポート 2 からの有効な MDT1 データが含まれています。	R
b16	Port_2_MDT0	バッファにポート 2 からの有効な MDT0 データが含まれています。	R
b15~b12	予約ビット	予約されています。	R
b11	Port_1_AT3	バッファにポート 1 からの有効な AT3 データが含まれています。	R
b10	Port_1_AT2	バッファにポート 1 からの有効な AT2 データが含まれています。	R
b9	Port_1_AT1	バッファにポート 1 からの有効な AT1 データが含まれています。	R
b8	Port_1_AT0	バッファにポート 1 からの有効な AT0 データが含まれています。	R
b7~b4	予約ビット	予約されています。	R
b3	Port_1_MDT3	バッファにポート 1 からの有効な MDT3 データが含まれています。	R
b2	Port_1_MDT2	バッファにポート 1 からの有効な MDT2 データが含まれています。	R
b1	Port_1_MDT1	バッファにポート 1 からの有効な MDT1 データが含まれています。	R
b0	Port_1_MDT0	バッファにポート 1 からの有効な MDT0 データが含まれています。	R

8.4.75 RXBUFTR_A — 受信バッファテレグラム要求 (バッファシステム A)

アドレス 4402 0208h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AT3_re quired	AT2_re quired	AT1_re quired	AT0_re quired	—	—	—	—	MDT3_r equired	MDT2_r equired	MDT1_r equired	MDT0_r equired
リセット後の値	X	X	X	X	0	0	0	0	X	X	X	X	0	0	0	0

表 8.77 RXBUFTR_A レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b12	予約ビット	予約されています。	R
b11	AT3_required	AT3 が有効なときのみ、バッファが変更されます。	R/W
b10	AT2_required	AT2 が有効なときのみ、バッファが変更されます。	R/W
b9	AT1_required	AT1 が有効なときのみ、バッファが変更されます。	R/W
b8	AT0_required	AT0 が有効なときのみ、バッファが変更されます。	R/W
b7~b4	予約ビット	予約されています。	R
b3	MDT3_required	MDT3 が有効なときのみ、バッファが変更されます。	R/W
b2	MDT2_required	MDT2 が有効なときのみ、バッファが変更されます。	R/W
b1	MDT1_required	MDT1 が有効なときのみ、バッファが変更されます。	R/W
b0	MDT0_required	MDT0 が有効なときのみ、バッファが変更されます。	R/W

8.4.76 TXBUFCSR_A — 送信バッファコントロール (バッファシステム A)

アドレス 4402 020Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	TxRequest	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TxBuf	
リセット後の値	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	Buffer_Count	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1

表 8.78 TXBUFCSR_A レジスタの内容

ビット位置	ビット名	機能	R/W
b31	TxRequest	バッファシステムが利用可能 (読み出し) / 最新の送信バッファを要求 (書き込み)	R/W
b30~b18	予約ビット	予約されています。	R
b17、b16	TxBuf	実際の送信バッファ (システムバッファ)	R/W
b15~b2	予約ビット	予約されています。	R
b1、b0	Buffer_Count	00b : シングルバッファシステム 01b : ダブルバッファシステム 10b : トリプルバッファシステム 11b : クアッドバッファシステム	R/W

8.4.77 RXBUFCSR_B — 受信バッファコントロール (バッファシステム B)

アドレス 4402 0210h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RxRequest	—	Port_2_Overflow	Port_2_New_Data	—	—	RxBuf_Port_2	—	—	Port_1_Overflow	Port_1_New_Data	—	—	RxBuf_Port_1		
リセット後の値	1	X	0	0	X	X	0	1	X	X	0	0	X	X	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	Buffer_Count	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1

表 8.79 RXBUFCSR_B レジスタの内容

ビット位置	ビット名	機能	R/W
b31	RxRequest	バッファシステムが利用可能 (読み出し) / 最新の送信バッファを要求 (書き込み)	R/W
b30	予約ビット	予約されています。	R
b29	Port_2_Overflow	直前の 2 回の受信バッファ要求の間にポート 2 でデータオーバーフロー	R
b28	Port_2_New_Data	ポート 2 の実際の受信バッファに新しい有効データが含まれています。	R
b27、b26	予約ビット	予約されています。	R
b25、b24	RxBuf_Port_2	ポート 2 の実際の受信バッファ (システムバッファ)	R
b23、b22	予約ビット	予約されています。	R
b21	Port_1_Overflow	直前の 2 回の受信バッファ要求の間にポート 1 でデータオーバーフロー	R
b20	Port_1_New_Data	ポート 1 の実際の受信バッファに新しい有効データが含まれています。	R
b19、b18	予約ビット	予約されています。	R
b17、b16	RxBuf_Port_1	ポート 1 の実際の受信バッファ (システムバッファ)	R
b15~b2	予約ビット	予約されています。	R
b1、b0	Buffer_Count	00b : シングルバッファシステム 01b : ダブルバッファシステム 10b : トリプルバッファシステム 11b : 未定義	R/W

8.4.78 RXBUFTV_B — 受信バッファテレグラム有効 (バッファシステム B)

アドレス 4402 0214h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	Port_2_AT3	Port_2_AT2	Port_2_AT1	Port_2_AT0	—	—	—	—	Port_2_MDT3	Port_2_MDT2	Port_2_MDT1	Port_2_MDT0
リセット後の値	X	X	X	X	0	0	0	0	X	X	X	X	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	Port_1_AT3	Port_1_AT2	Port_1_AT1	Port_1_AT0	—	—	—	—	Port_1_MDT3	Port_1_MDT2	Port_1_MDT1	Port_1_MDT0
リセット後の値	X	X	X	X	0	0	0	0	X	X	X	X	0	0	0	0

表 8.80 RXBUFTV_B レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b28	予約ビット	予約されています。	R
b27	Port_2_AT3	バッファにポート 2 からの有効な AT3 データが含まれています。	R
b26	Port_2_AT2	バッファにポート 2 からの有効な AT2 データが含まれています。	R
b25	Port_2_AT1	バッファにポート 2 からの有効な AT1 データが含まれています。	R
b24	Port_2_AT0	バッファにポート 2 からの有効な AT0 データが含まれています。	R
b23~b20	予約ビット	予約されています。	R
b19	Port_2_MDT3	バッファにポート 2 からの有効な MDT3 データが含まれています。	R
b18	Port_2_MDT2	バッファにポート 2 からの有効な MDT2 データが含まれています。	R
b17	Port_2_MDT1	バッファにポート 2 からの有効な MDT1 データが含まれています。	R
b16	Port_2_MDT0	バッファにポート 2 からの有効な MDT0 データが含まれています。	R
b15~b12	予約ビット	予約されています。	R
b11	Port_1_AT3	バッファにポート 1 からの有効な AT3 データが含まれています。	R
b10	Port_1_AT2	バッファにポート 1 からの有効な AT2 データが含まれています。	R
b9	Port_1_AT1	バッファにポート 1 からの有効な AT1 データが含まれています。	R
b8	Port_1_AT0	バッファにポート 1 からの有効な AT0 データが含まれています。	R
b7~b4	予約ビット	予約されています。	R
b3	Port_1_MDT3	バッファにポート 1 からの有効な MDT3 データが含まれています。	R
b2	Port_1_MDT2	バッファにポート 1 からの有効な MDT2 データが含まれています。	R
b1	Port_1_MDT1	バッファにポート 1 からの有効な MDT1 データが含まれています。	R
b0	Port_1_MDT0	バッファにポート 1 からの有効な MDT0 データが含まれています。	R

8.4.79 RXBUFTR_B — 受信バッファテレグラム要求 (バッファシステム B)

アドレス 4402 0218h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AT3_re quired	AT2_re quired	AT1_re quired	AT0_re quired	—	—	—	—	MDT3_r equired	MDT2_r equired	MDT1_r equired	MDT0_r equired
リセット後の値	X	X	X	X	0	0	0	0	X	X	X	X	0	0	0	0

表 8.81 RXBUFTR_B レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b12	予約ビット	予約されています。	R
b11	AT3_required	AT3 が有効なときのみ、バッファが変更されます。	R/W
b10	AT2_required	AT2 が有効なときのみ、バッファが変更されます。	R/W
b9	AT1_required	AT1 が有効なときのみ、バッファが変更されます。	R/W
b8	AT0_required	AT0 が有効なときのみ、バッファが変更されます。	R/W
b7~b4	予約ビット	予約されています。	R
b3	MDT3_required	MDT3 が有効なときのみ、バッファが変更されます。	R/W
b2	MDT2_required	MDT2 が有効なときのみ、バッファが変更されます。	R/W
b1	MDT1_required	MDT1 が有効なときのみ、バッファが変更されます。	R/W
b0	MDT0_required	MDT0 が有効なときのみ、バッファが変更されます。	R/W

8.4.80 TXBUFCSR_B — 送信バッファコントロール (バッファシステム B)

アドレス 4402 021Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	TxRequest	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TxBuf	
リセット後の値	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	Buffer_Count	
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1

表 8.82 TXBUFCSR_B レジスタの内容

ビット位置	ビット名	機能	R/W
b31	TxRequest	バッファシステムが利用可能 (読み出し) / 最新の送信バッファを要求 (書き込み)	R/W
b30~b18	予約ビット	予約されています。	R
b17、b16	TxBuf	実際の送信バッファ (システムバッファ)	R/W
b15~b2	予約ビット	予約されています。	R
b1、b0	Buffer_Count	00b : シングルバッファシステム 01b : ダブルバッファシステム 10b : トリプルバッファシステム 11b : クアッドバッファシステム	R/W

8.5 動作説明

8.5.1 初期化フロー

8.5.1.1 初期化

本項の初期化シーケンスは、以下のような構成で Sercos III を使用するためにシステム環境を準備する際の 1 つの例です。

本例の Sercos III 構成

- 2 つのポートが MII コンバータを介して外部ポートに接続

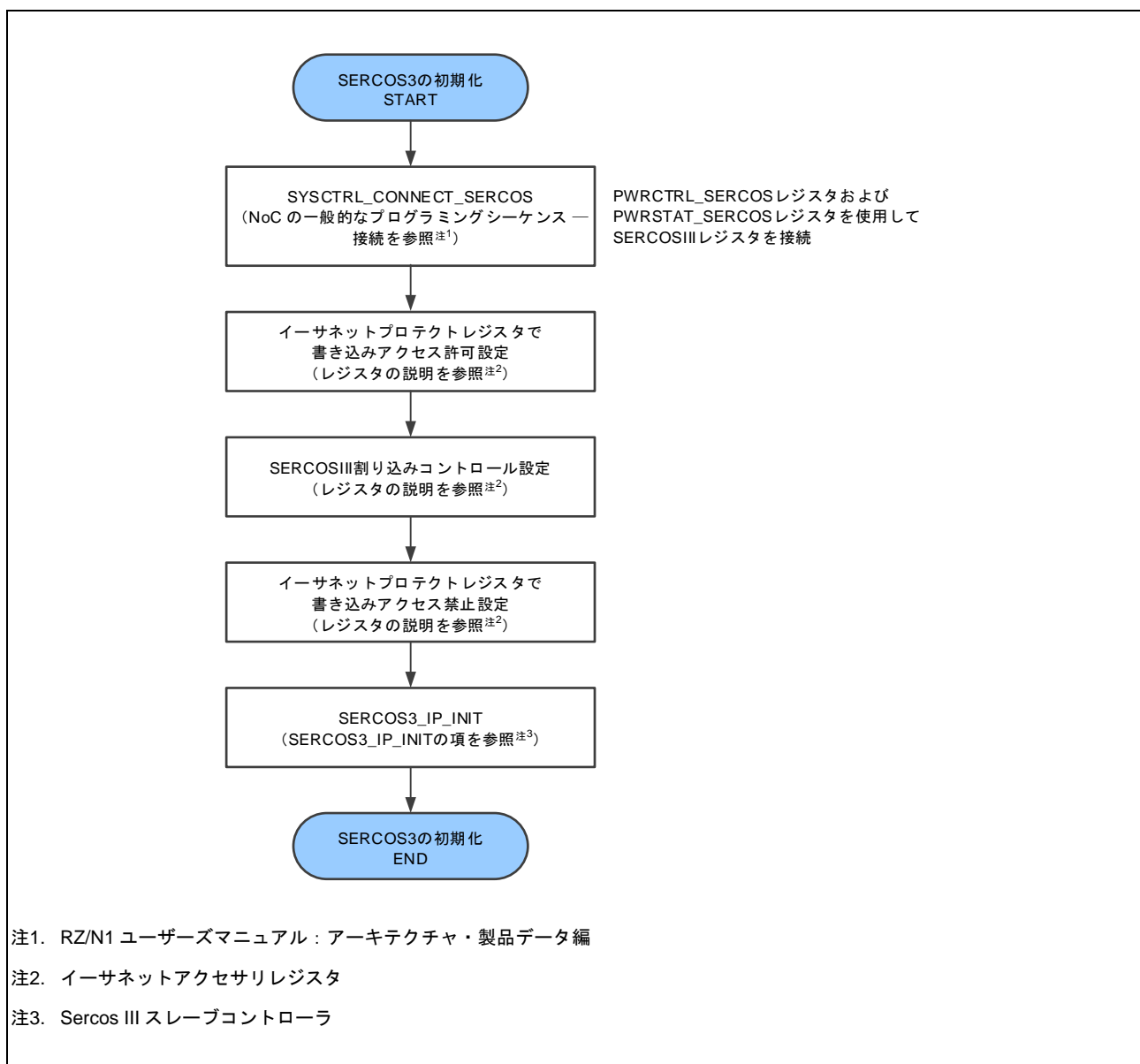


図 8.2 初期化フローチャート

8.5.1.2 SERCOS3_IP_INIT

SERCOS3 モジュールの初期化には、SERCOS3_IP_INIT シーケンスが使用されます。

SERCOS3_IP_INIT を行うには、以下のフローチャートを実行します。

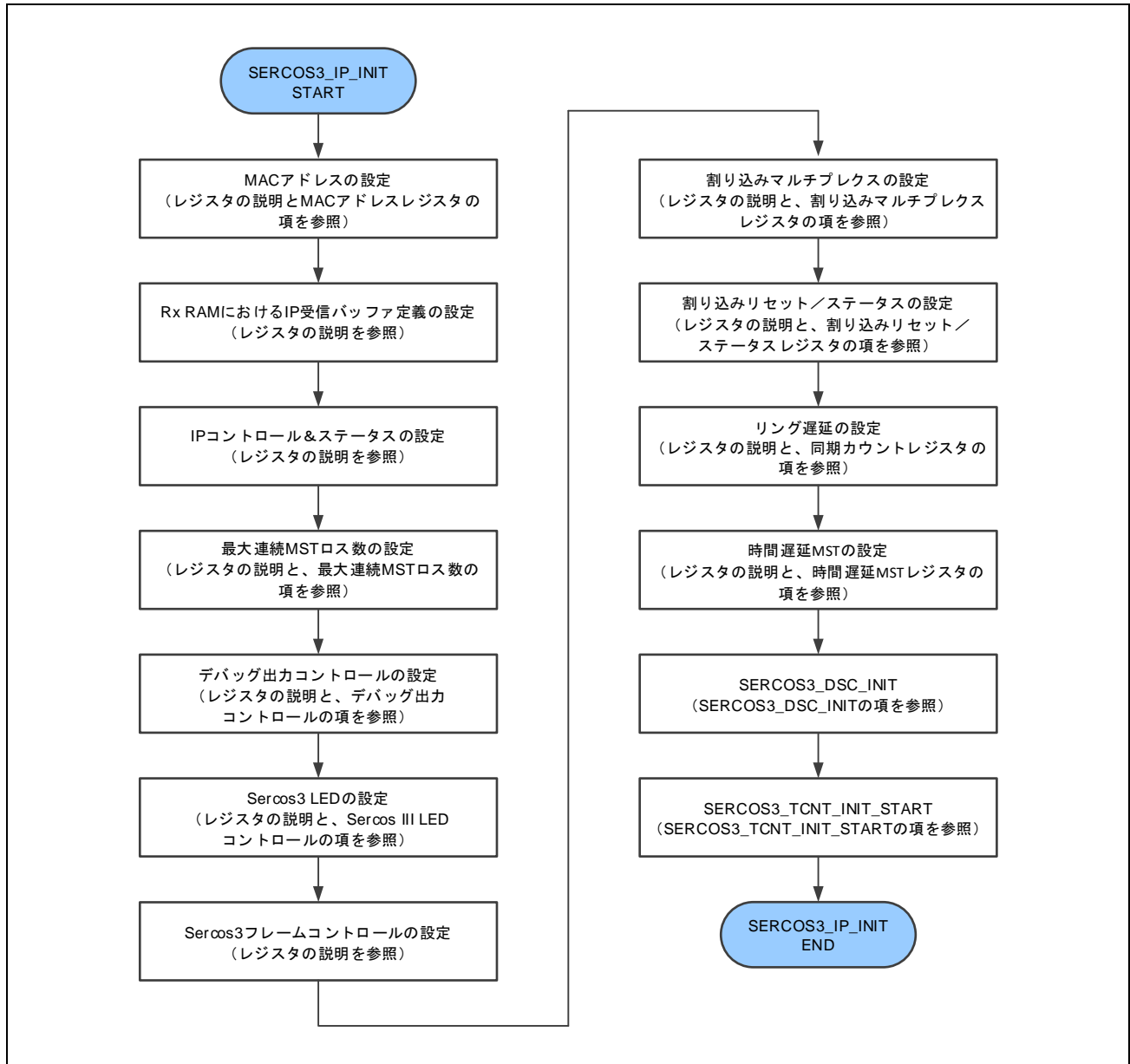


図 8.3 SERCOS3 IP 初期化フローチャート

8.5.1.3 SERCOS3_DSC_INIT

SERCOS3_SDC_INIT シーケンスは、SERCOS3 モジュールのディスクリプタを初期化するために使用されます。

SERCOS3_SDC_INIT を行うには、以下のフローチャートを実行します。

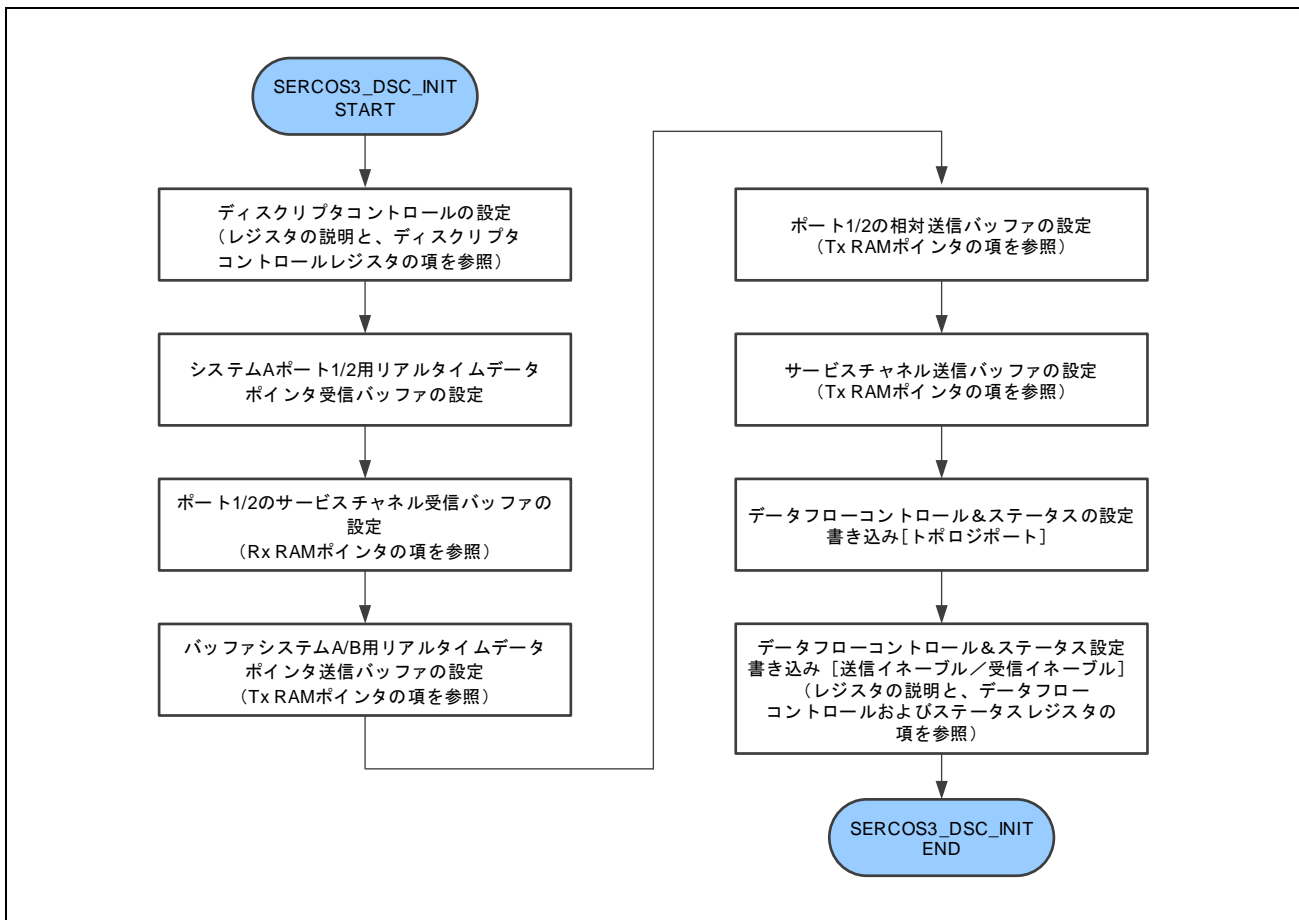


図 8.4 SERCOS3_DSC_INIT フローチャート

8.5.1.4 SERCOS3_TCNT_INIT_START

SERCOS3_TCNT_INIT_START シーケンスは、SERCOS3 モジュールのタイミングディスクリプタおよびポートタイミングディスクリプタの初期化と開始に使用されます。

SERCOS3_TCNT_INIT_START を行うには、以下のフローチャートを実行します。

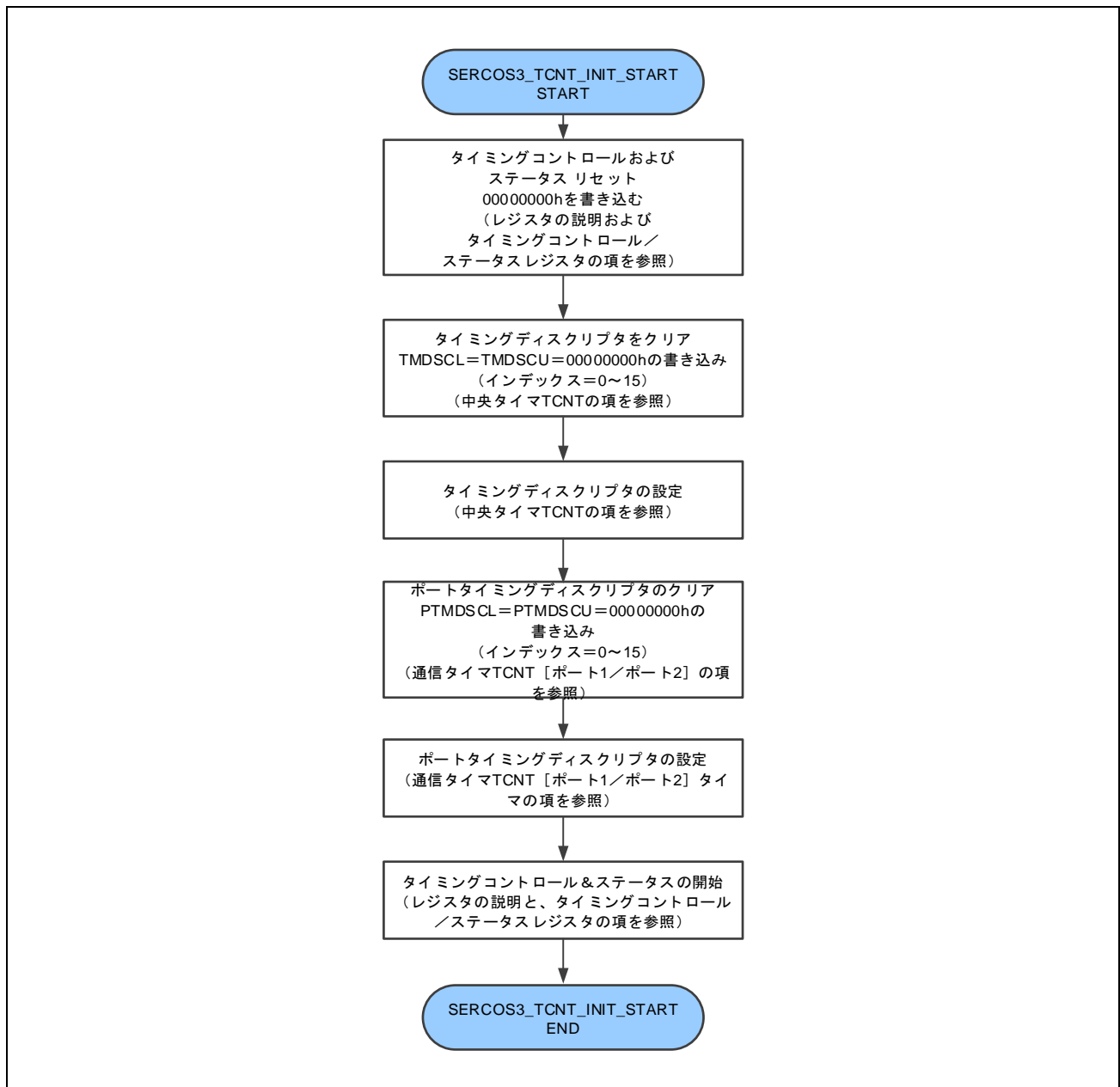


図 8.5 SERCOS3_TCNT_INIT_START フローチャート

8.5.2 通信フロー

8.5.2.1 送信

RT 状態では、本 Sercos モジュールは Sercos III マスタから AT フレームを周期的に受信し、Tx RAM に準備したデータを自動的に送信します。

NRT 状態では、本 Sercos モジュールは、ソフトウェアの指示に従って Tx RAM に準備したデータを送信します。

8.5.2.2 受信

RT 状態では、本 Sercos モジュールは Sercos III マスタから MDT フレームと AT フレームを周期的に受信し、これらのデータを Rx RAM に格納します。

NRT 状態では、本 Sercos モジュールはイーサネットフレーム (IP フレーム) を受信し、これらのデータを Rx RAM に格納します。

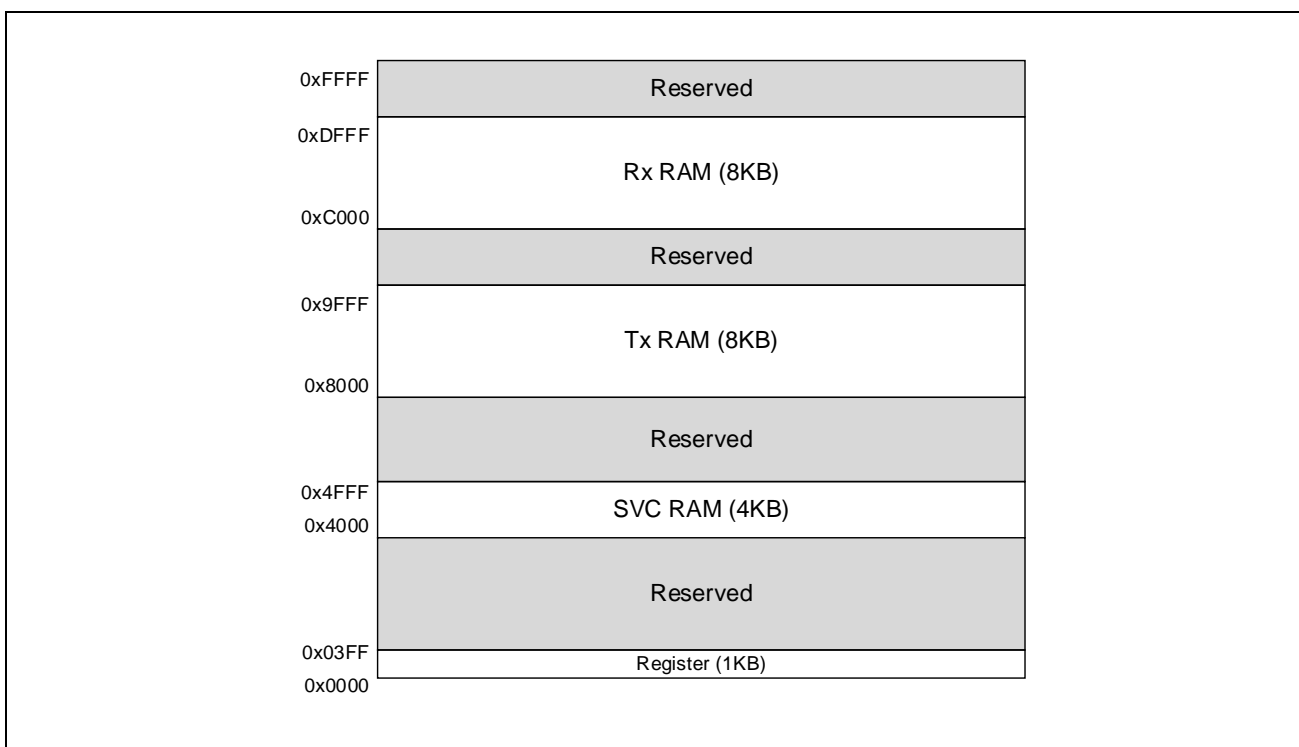


図 8.6 Sercos III のメモリマップ

注 意

SVC RAM は 8 ビット幅ではアクセスできません。

8.5.3 割り込みコントロール

割り込みの制御のため、以下の 3 つのレジスタが実装されています。

表 8.83 スレーブデバイスの割り込みマップ

アドレス	レジスタシンボル	レジスタ名
4402 0008h	IER0	割り込み許可レジスタ
4402 0010h	IMR0	割り込みマルチプレクスレジスタ
4402 0018h	IRR0	割り込みリセット/ステータスレジスタ

(1) スレーブデバイスの割り込みマップ

スレーブデバイスは、SERCOS3_Int0 および SERCOS3_Int1 の 2 つのハードウェア割り込み出力を利用し、最大 32 個の割り込み要因をサポートしています。

表 8.84 スレーブデバイスの割り込みマップ

割り込み番号	割り込み要因	
割り込み 0	Int_TINT[0]	タイマ/カウンタ TCNT によって生成されたイベント TINT[0]
割り込み 1	Int_TINT[1]	タイマ/カウンタ TCNT によって生成されたイベント TINT[1]
割り込み 2	Int_TINT[2]	タイマ/カウンタ TCNT によって生成されたイベント TINT[2]
割り込み 3	Int_TINT[3]	タイマ/カウンタ TCNT によって生成されたイベント TINT[3]
割り込み 4	Int_TINTMAX	タイマ/カウンタ TCNT によって生成されたイベント TMAX
割り込み 5	Int_MDTx/ATx-Valid	有効なユーザ定義 Sercos III フレームの後の割り込み (SFCR)
割り込み 6	Int_MDTx/ATx-Valid	有効なユーザ定義 Sercos III フレームの後の割り込み (SFCR)
割り込み 7	Int_DIVCLK	DIV_CLK ユニットからの割り込み
割り込み 8	Int_IPIntPort1	イベント IP (ポート 1)
割り込み 9	Int_IPIntPort2	イベント IP (ポート 2)
割り込み 10	Int_Half_MST_error	連続 MST エラー数が ((最大数+1) >> 1) に到達
割り込み 11	Int_MST_error	連続 MST エラー数が最大数に到達
割り込み 12	Int_RxBufReqPort1	ポート 1 の内部受信バッファの変更
割り込み 13	Int_RxBufReqPort2	ポート 2 の内部受信バッファの変更
割り込み 14、15	—	使用しない
割り込み 16~23	Int_SVC[7:0]	サービスチャンネル割り込み 0~7
割り込み 24~31	—	使用しない

(a) 割り込み許可レジスタ (IER0)

各割り込み要因は個別に許可できます。対応する IE[n]ビットを 1 にすることで、各割り込み要因が許可されます。

電源投入後またはリセット後、このレジスタのすべてのビットは 0 になります。

(b) 割り込みマルチプレクスレジスタ (IMR0)

各割り込み要因は、出力に個別にマッピングできます。マルチプレクスビットは、許可された割り込み要因を 2 つのハードウェア出力 (SERCOS3_Int0 または SERCOS3_Int1) のいずれかに割り当てます。対応するビットが 0 のとき、その割り込み要因は SERCOS3_Int0 に割り当てられ、1 のときは SERCOS3_Int1 に割り当てられます。

(c) 割り込みリセット/ステータスレジスタ (IRR0)

許可された割り込み要因の実際の状態は、割り込みステータスレジスタの IRR0 によってサンプリングすることが可能です。対応するビットに論理値 1 がセットされている場合、割り込み要因 IR[n]がアクティブであることを示します。割り込みをクリアするには、対応するビットに 1 を書き込みます。

8.5.4 スレーブタイミングコントロール

スレーブタイミングの制御は、3つの独立したタイマを基準にして行われます。

- TCNT : システムタイミング用の中央タイマ
- TCNT[1] : ポート 1 での通信の特定イベント用タイマ
- TCNT[2] : ポート 2 での通信の特定イベント用タイマ

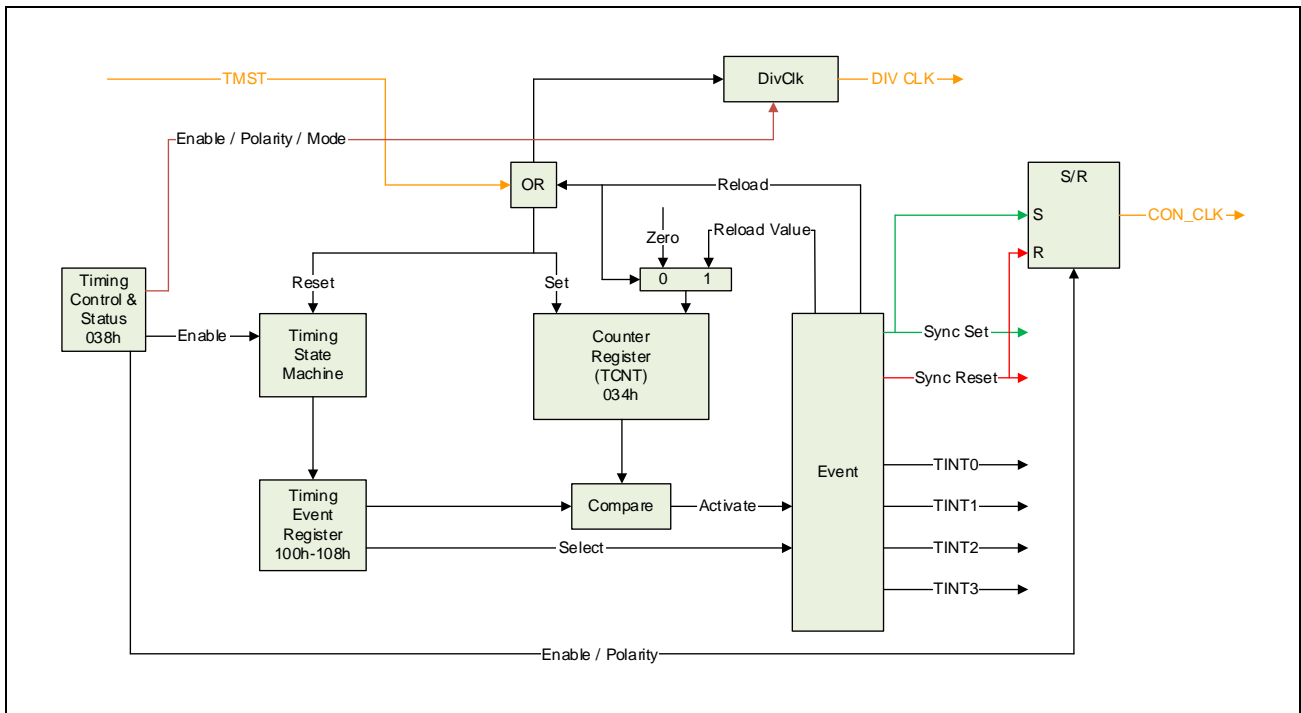


図 8.7 スレーブタイミングコントロール

すべてのタイマおよび関連するレジスタの分解能は 1ns ですが、タイマは 20ns 刻みでしかインクリメントされません。派生するイベントは、16 個のイベントレジスタによって割り当てられます。すべてのタイマは TCSR レジスタによってコントロール（イネーブル）されます。

8.5.4.1 タイミングコントロール/ステータスレジスタ (TCSR)

タイミングコントロール/ステータスレジスタは、カウンタ機能を設定するために実装されています。そのために、本レジスタは以下の機能をコントロールします。

- カウンタ TCNT、TCNT[1]、TCNT[2]の有効化
- CON_CLK の出力ネーブルおよび極性
- DIV_CLK 機能のモードおよび極性
- ラインのどのポートが同期に使用されているか (MST ディスエーブル)

表 8.85 タイミングコントロール/ステータスレジスタ

アドレス	レジスタシンボル	レジスタ名
4402 0038h	TCSR	タイミングコントロール/ステータスレジスタ

ライントポロジの場合、同期のために MST のディスエーブルが自動的に実行されます。本モジュールは、同期のため、MST が最初に受信されるポートのみを有効にします。リングトポロジでは、自動化は実装されていません。両ポートの同期遅延が有効になり次第、ファームウェアで両ポートを有効にする必要があります。同期遅延が有効かどうかをロジックで判定することはできません。

8.5.4.2 システムタイマリードバックレジスタ (STRBR)

TCNT カウンタの実際の状態です。時間分解能 LSB は 1ns です。

表 8.86 システムタイマリードバックレジスタ

アドレス	レジスタシンボル	レジスタ名
4402 0034h	STRBR	システムタイマリードバックレジスタ

8.5.4.3 中央タイマ TCNT

イベントレジスタは、選択レジスタを介して間接的にアドレス指定されます。ユーザは、インデックス 0～15 の最大 16 個のタイミングイベントを定義できます。TCNT がイネーブルされる (TCSR の ET0 を参照) と、タイミングディスクリプタは読み出し専用で、選択レジスタ (108h) は無視されます。

表 8.87 TCNT イベントレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0100h	TMDSCCL	タイミングディスクリプタ下位
4402 0104h	TMDSCU	タイミングディスクリプタ上位
4402 0108h	TMDSCSEL	タイミングディスクリプタ選択

表 8.88 タイミングディスクリプタ (TMDSCU) のイベントタイプ

コード値 (CODE)	イベントタイプ
0	イベントなし
1	TINT[0]イベント
2	TINT[1]イベント
3	TINT[2]イベント
4	TINT[3]イベント
5	同期セット (Sync Set)
6	同期リセット (Sync Reset)
7	(使用しない)
8	(使用しない)
9	(使用しない)
10	(使用しない)
11	(使用しない)
12	リロード (Reload)
13	値のリロード (Reload Value)

(1) TCNT の機能およびイベントのプログラミング

TCNT は、1ns のレジスタ分解能、20ns の時間分解能を持つ 26 ビットのアップカウンタです。中央タイマとして、システムタイミングをコントロールします。この目的で、TCNT は 6 個の異なるイベントと、ハードウェア信号 S3_CONCLK を生成できます。

ハードウェア信号 S3_CONCLK は、「同期セット」でセットし、「同期リセット」でクリアされます。

カウンタは、TMST イベントでクリアされた後、次の TMST が認識されるまで、またはリロードイベント (オーバーラン) が発生するまで、20ns 刻みでランプアップします。オーバーランは、TMST が欠落すると発生します。TMST により、最初のイベントメモリ位置が選択されます。

ランプアップフェーズ中、カウンタは実際に選択されたイベントメモリ位置と比較されます。カウンタの値がイベントの時間 (Event_TCNT_Value) 以上ある場合、プログラムされたイベントタイプに対応するイベントが生成され、ステートマシンはその次のイベントメモリ位置を選択します。

リロードイベントの動作には特に注意が必要です。リロードイベントは常にイベントテーブルの最後に来ます。TCNT がリロードイベントに達すると、TCNT は、リロードイベントの後のイベントメモリ位置にある TMAX の値でリロードされます。

発振器の実行時間のばらつきを補償するため、リロードイベントはサイクル時間より少なくとも 200ppm 大きくする必要があります。TMST の入力ジッタも別途考慮する必要があります。

【例】

イベント構造は、以下のイベントメモリ割り当てによって生成されます。

表 8.89 イベント構造の例

イベントアドレス	イベント
0x00	同期セット
0x01	同期リセット
0x02	TINT[0]イベント
0x03	リロード
0x04	値のリロード

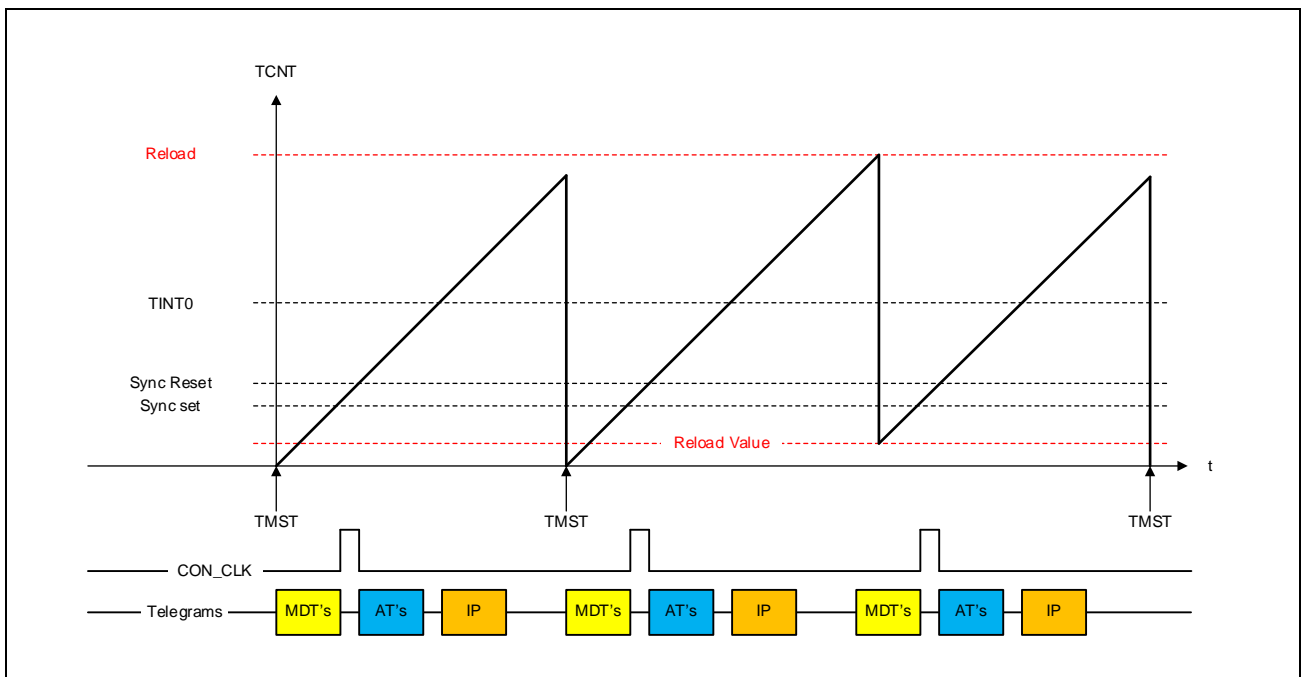


図 8.8 TCNT タイミングの例

8.5.4.4 通信タイマ TCNT [ポート 1/ポート 2]

スレーブデバイスは、中央タイマユニット TCNT と並んで、イーサネット伝送をコントロールおよびモニタするための 2 つの通信ライン関連タイマ TCNT[1]と TCNT[2]を持ちます。

イベントレジスタは、選択レジスタを介して間接的にアドレス指定されます。ユーザは、インデックス 0～15 の最大 16 個のタイミングイベントを定義できます。TCNT[1]/TCNT[2]がイネーブル（TCSR の ET1_2 を参照）されると、タイミングディスクリプタは読み出し専用、選択レジスタ（118h）は無視されるようになり、PHASESR の CPS ビットはセットされません。CPS 中、イベントリストは 2 番目のリストに格納され、その 2 番目のリストがポートに対してアクティブ状態に維持されます。CPS がリセットされるか、TCNT[1]/TCNT[2]がディスエーブルされると、新しいリストに置き換わります。このようにして、CPS 中に TCNT[1]/TCNT[2]をディスエーブルすることなく、また NRT チャネルをロスすることなく、ファームウェアは次の通信フェーズ（CP）のためにリストを準備することが可能です。

表 8.90 TCNT[1]/TCNT[2]イベントレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0110h	PTMDSCCL	ポートタイミングディスクリプタ下位
4402 0114h	PTMDSCU	ポートタイミングディスクリプタ上位
4402 0118h	PTMDSCSEL	ポートタイミングディスクリプタ選択

(1) TCNT[1]/TCNT[2]の機能およびイベントのプログラミング

TCNT[1]および TCNT[2]は、1ns のレジスタ分解能、40ns の時間分解能を持つ 27 ビットのアップカウンタです。これらは、イーサネットテレグラム伝送をコントロールおよびモニタするための通信タイマです。

表 8.91 TCNT[1]/TCNT[2]の機能およびイベントのプログラミング

コード値 (CODE)	イベントタイプ	説明
1	Event_IPChannel_Open	IP チャネルをオープンし、NRT イーサネットフレームを送信するために MAC をイネーブルします。ファストフォワードからストア&フォワードに切り替えます。
2	Event_IPChannel_TxClose	違反を避けるため、IP チャネル内のイーサネットフレームの最新の送信ポイントを定義します。Tx MAC は、次の IP タイムスロットまで送信をディスエーブルします。
3	Event_IPChannel_RxClose	IP チャネルをクローズします。ストア&フォワードからファストフォワードに切り替えます。
4	Event_AT0WindowOpen	AT0 モニタリングウィンドウをオープンします。
5	Event_AT0WindowClose	AT0 モニタリングウィンドウをクローズします。
6	Event_RxBufRequest_BufSysA	バッファシステム A の受信バッファ変更を実行します。
7	Event_RxBufRequest_BufSysB	バッファシステム B の受信バッファ変更を実行します。
8	Event_TxBufRequest_BufSysA	バッファシステム A の送信バッファ変更を実行します。
9	Event_TxBufRequest_BufSysB	バッファシステム B の送信バッファ変更を実行します。
10	Event_MSTWindowOpen	MST モニタリングウィンドウをオープンします。本イベントより前に受信した MST テレグラムは、MST ウィンドウエラーとなります。また、MST を受信すると、本ウィンドウはクローズします。
11	Event_MSTWindowClose	MST モニタリングウィンドウをクローズし、MST ウィンドウエラーを生成します。タイマが有効な MST[1]または MST[2]によってリセットされない場合、オーバーランイベントとなります。
12	Reload Value	Event_MSTWindowClose の後、カウンタは本値でリロードされます。
13	Event_SVCStart	サービスチャネルプロセッサを起動します。
14	Event_MSTHeaderWindowOpen	ループバックスレーブのプロードキャストを削減するため、MST ヘッダウィンドウをオープンします。本イベントは、MST ウィンドウをオープンする 2.24μs 前に配置します。

カウンタ TCNT[1]は TMST[1]イベントでクリアされ、カウンタ TCNT[2]は TMST[2]イベントでクリアされます。その後、次の TMST[1]/TMST[2]が認識されるまで、または MSTWindowClose イベント（オーバーラン）が発生するまで、40ns 刻みでランプアップします。オーバーランは、TMST[1]/TMST[2]が欠落しているか、最大受信ウィンドウ外にあるときに発生します。

ランプアップフェーズ中、カウンタは TCNT[1]/TCNT[2]について実際に選択されたイベントメモリ位置と比較されます。カウンタの値がイベント時間（Event_TCNT_Value）以上の場合、プログラムされたイベントタイプに対応するイベントが生成され、TCNT[1]または TCNT[2]のステートマシンが後続のイベントメモリ位置を選択します。

MSTWindowClose イベントの動作には特に注意が必要です。MSTWindowClose イベントは常にイベントテーブルの最後に来ます。TCNT[1]または TCNT[2]が MSTWindowClose に達すると、TCNT[1]または TCNT[2]は、MSTWindowClose の後のイベントメモリ位置にある TMAX の値でリロードされます。発振器の実行時間のばらつきを補償するため、MSTWindowClose イベントはサイクル時間より少なくとも 200ppm 大きくする必要があります。到着する MST の入力ジッタも別途考慮する必要があります。次の図は、TCNT[1]の典型例を示しています。

[例]

表 8.92 TCNT[1]/TCNT[2] イベント構造の例

イベントアドレス	イベント
00h	Event_RxBufRequest_BufSysA
01h	Event_IPChannel_Open
02h	Event_IPChannel_TxClose
03h	Event_IPChannel_RxClose
04h	Event_AT0WindowOpen
05h	Event_AT0WindowClose
06h	Event_MSTWindowOpen
07h	Event_MSTWindowClose
08h	Reload Value

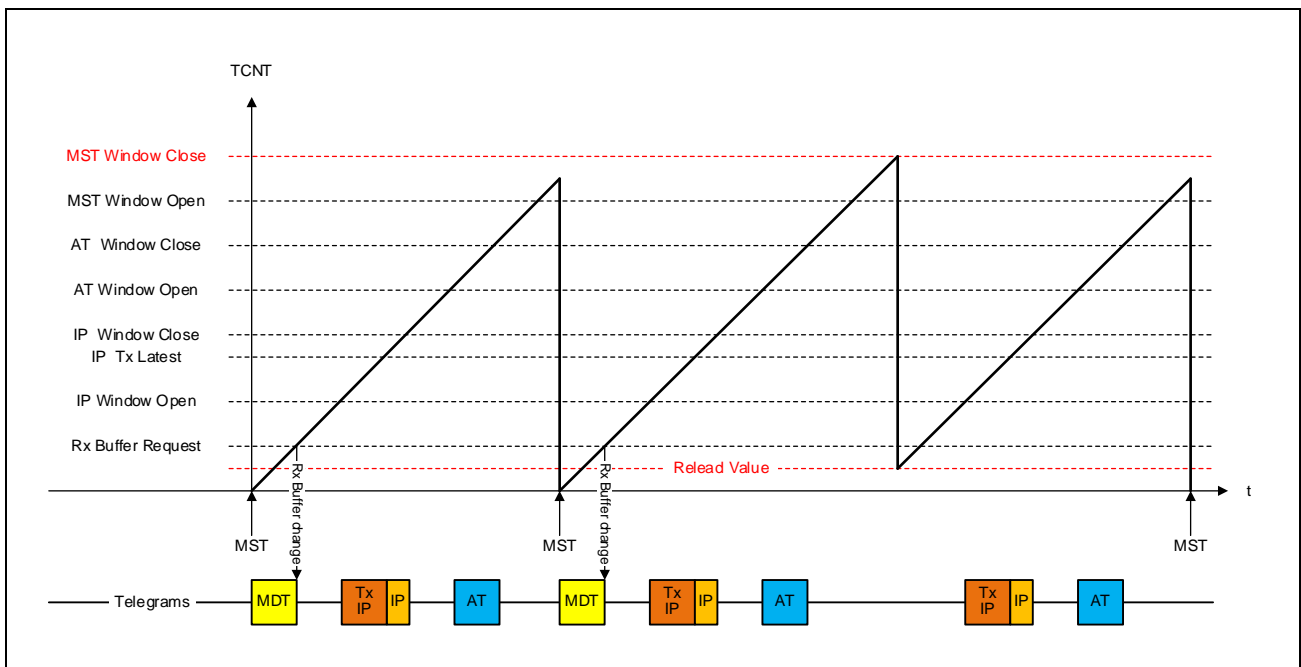


図 8.9 TCNT[1]/TCNT[2] タイミングの例

8.5.4.5 システムタイマ

表 8.93 システムタイマレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0130h	STNS	システム時間 (ナノ秒)
4402 0134h	STSEC	システム時間 (秒)
4402 0138h	STNSTSR	システム時間 TSRef (ナノ秒)
4402 013Ch	STSECTSR	システム時間 TSRef (秒)

(1) システム時間ナノ秒 (STNS)

システム時間 (ナノ秒) の一時的な値。TCSR の ET3 がイネーブルされているとき、本レジスタに書き込みアクセスがなされるたびに、STNS および STSEC の読み出し内容が更新されます。TCSR の ET3 がディスエーブルされているとき、システム時間はファームウェアで書き込めます。

(2) 秒 (STSEC)

システム時間 (秒) の一時的な値。TCSR の ET3 がイネーブルされているとき、システム時間ナノ秒 (STNS、0x130) に書き込みアクセスがなされるたびに更新されます。TCSR の ET3 がディスエーブルされているときは、ファームウェアで秒を書き込めます。

(3) ナノ秒 TSRef (STNSTSR)

システム時間の内部ナノ秒は、TSRef (TMST にジッタを加えたもの) 時に自動的に格納され、本レジスタを通して読み出し可能です。

(4) 秒 TSRef (STSECTSR)

システム時間の内部ナノ秒は、TSRef (TMST にジッタを加えたもの) 時に自動的に格納され、本レジスタを通して読み出し可能です。

8.5.4.6 サブサイクルカウンタ

表 8.94 サブサイクルカウンタレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0140h	SCCAB	サブサイクルカウンタコントロール&ステータス
4402 0150h	SCCMDT	サブサイクルカウンタ MDT

(1) サブサイクルカウンタ (SCCAB)

各 Sercos III サイクルでアクティブにならないタイミングイベントのために使用されるサブサイクルカウンタです。

(2) サブサイクルカウンタ (SCCMDT)

全サブサイクルカウンタの同期カウンタ（プロデューササイクル）です。本カウンタの値が 0 のとき、他のすべてのカウンタも 0 にリセットされます。

【例】

以下のイメージ図は、サブサイクルを理解するための簡単な例です。イベント TINT[0]は、「サブサイクルカウンタ選択」の値が 1 のためサブサイクルカウンタ A が選択され、同カウンタの値が 0（「サブサイクルカウンタ値」）のときアクティブになるようプログラムされています。2 つ目のイベント TINT[1]は、「サブサイクルカウンタ選択」の値が 2 のためサブサイクルカウンタ B が選択され、同カウンタの値が 1（「サブサイクルカウンタ値」）のときアクティブになるようプログラムされています。各サブサイクルカウンタの最大値が SCCAB（140h）に書き込まれます。この例では、ScMaxA は 1 で、ScMaxB は 2 です。追加の 0 値があるため、両サブサイクルの最小公倍数は 6 になります。そのため、SCCMDT（150h）の最大値は 5 にセットされます。

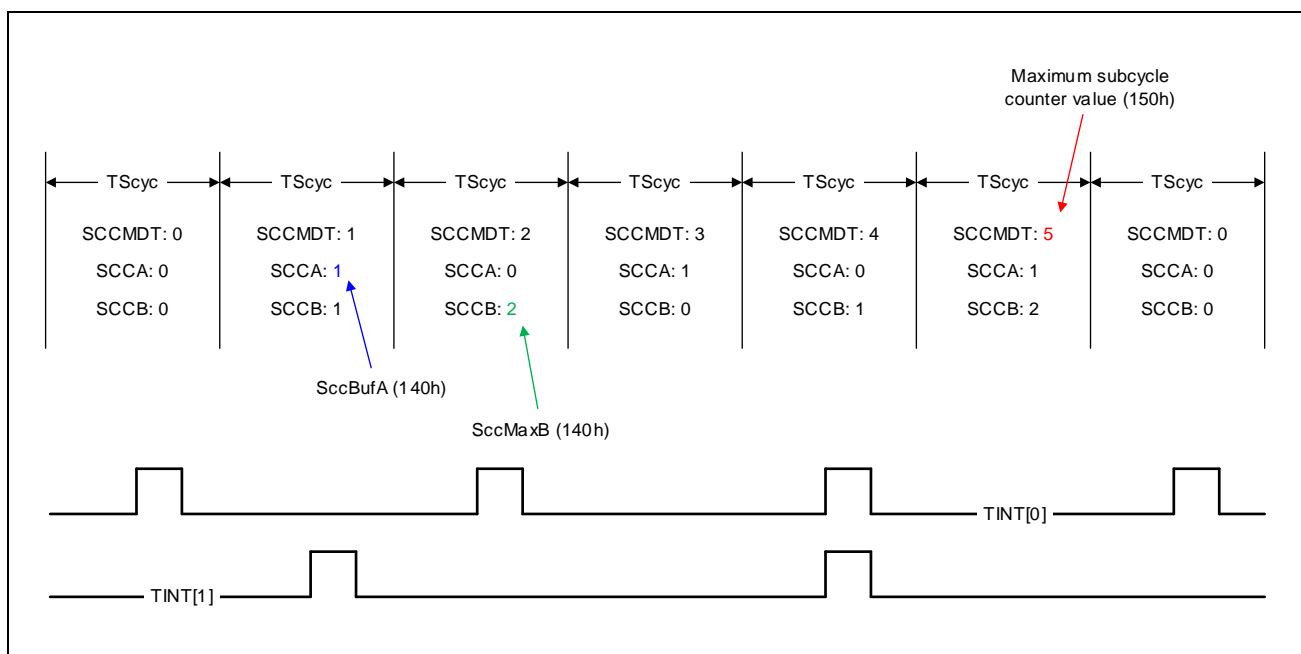


図 8.10 サブサイクルカウンタの例

8.5.5 スレーブ MST 処理

スレーブデバイスはポート 1 およびポート 2 で MST テレグラムを受信します。これは、定義された遅延後に中央 TMST 信号を生成し、リング遅延を測定するために使用されます。これは、以下のユニットで行われます。

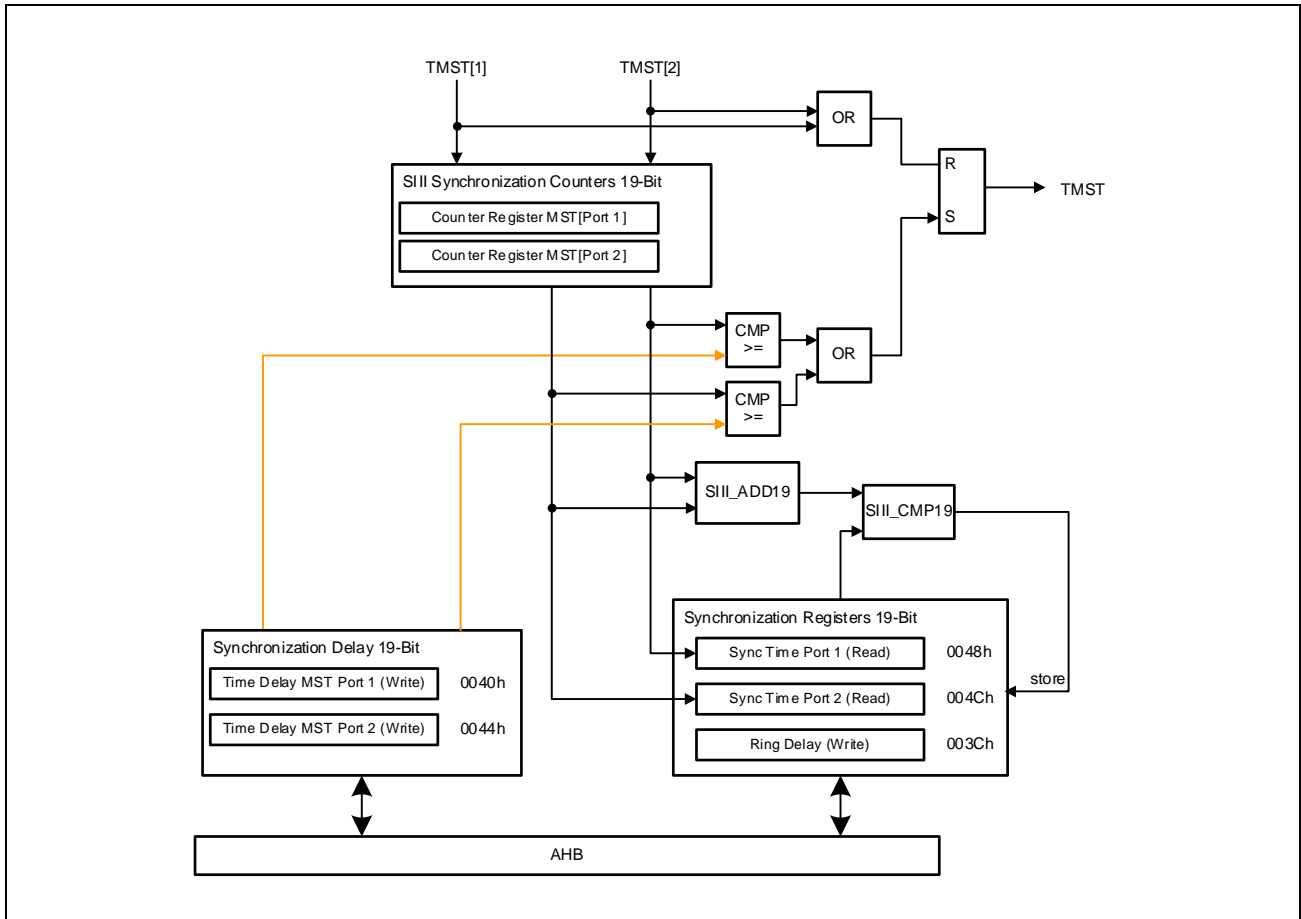


図 8.11 スレーブ MST 処理

2つの19ビットアップカウンタがあります。1つはポート1用、もう1つはポート2用で、それぞれTMST[1]イベントとTMST[2]イベントによってリセットされます。これらのカウンタおよび関連レジスタの分解能は1nsですが、40ns刻みでインクリメントされます。そのため、最大動作時間は、約524μsです。リセット後、カウンタは、時間遅延レジスタTDMST1または時間遅延レジスタTDMST2によってプログラムされたタイミング遅延に一致するまでランプアップします。一致すると、TMST信号がトリガされます。

ランプアップフェーズ中、両カウンタが加算され、リング遅延レジスタTRDLYによってプログラムされた専用のリング遅延と比較されます。このコンパレータ入力がカウンタの実際の状態と一致すると、MST[ポート1]とMST[ポート2]が同期時間レジスタでキャプチャされます。

8.5.5.1 スレーブ MST 処理のレジスタインタフェース

表 8.95 スレーブ MST 処理レジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 003Ch	TRDLY	リング遅延レジスタ
4402 0040h	TDMST1	時間遅延 MST (ポート 1)
4402 0044h	TDMST2	時間遅延 MST (ポート 2)
4402 0048h	SCR1	同期時間レジスタ (ポート 1)
4402 004Ch	SCR2	同期時間レジスタ (ポート 2)

(1) リング遅延レジスタ (TRDLY)

ユーザは、マスタが測定した遅延をリング遅延レジスタにプログラムする必要があります。この時間は、各ポートからマスタへの遅延を計算するために使用されます。

(2) 同期カウントレジスタ (SCR1/2)

ユーザプログラムがリング遅延を書き込んだ後、ロジックは各ポートからマスタへの遅延値を計算し、その結果を同期カウントレジスタに書き込みます。その計算は、最初の MST が到着したときに始まり、完了には少なくともリング遅延に相当する時間がかかります。この処理は、MST フレームが到着している間実行され続けます。

(3) 時間遅延 MST レジスタ (TDMST1/2)

メインカウンタ TCNT は、TMST 信号で同期されます。TSMT 信号は、リングモードでは両 MST 信号から生成され、ラインモードでは 1 つの MST から生成されます。TDMST レジスタは、受信する MST 信号を、同じ時間点にシフトするために使用されます。TDMST1 は、ポート 1 から受信される MST を遅延させます。TDMST2 は、ポート 2 から受信される MST を遅延させます。遅延された MST は結合 (論理 OR) され、TMST 信号を形成します (1 番目の規則)。その後、TMST 信号は、同期化のため TCNT カウンタを 0 にリセットするために使用されます。

8.5.6 DIV_CLK 機能

DIV_CLK 機能は、通信タスクとコントロールタスクのタイミングを合わせることで、多くのアプリケーションで役立ちます。

表 8.96 DIV_CLK 機能レジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0054h	DTDIVCLK	DIV_CLK の遅延時間
4402 0058h	TDIV_NDIVCLK	DIV_CLK 時間/カウントレジスタ

以下の 2 つの DIV_CLK モードを利用できます。

表 8.97 DIV_CLK モード

DivClk_mode	DIV_CLK モード	
	0	1 回の通信サイクル内に、DIV_CLK が n 回アクティブになります。
1	DIV_CLK は、n 回の通信サイクル後にアクティブになります。	

DIV_CLK のモードと DIV_CLK 出力の極性は、タイミングコントロール/ステータスレジスタ TCSR で設定されます。詳しくは、TCSR の説明を参照してください。

アクティブな DIV_CLK 出力のパルス幅は 1 μ s に固定されています。

8.5.6.1 DIV_CLK モード 0 — 1 通信サイクル内に n 回

DIV_CLK モードが 0 のとき、DIV_CLK 信号は 1 回の通信サイクル内に複数回アクティブになります。1 つ目のパルスの遅延時間と、2 つのパルス間の間隔は、レジスタ TDIVCLK および DTDIVCLK でプログラム可能です。

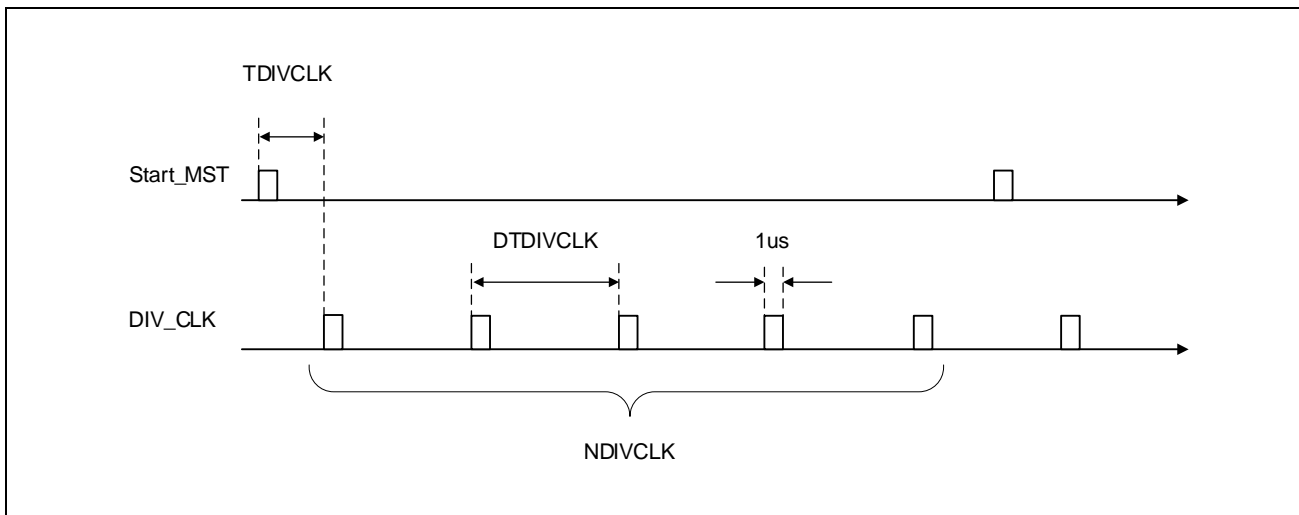


図 8.12 DIV_CLK モード 0 における TDIVCLK および DTDIVCLK

NDIVCLK は、1 通信サイクル内に含まれるパルスの数を制御します。NDIVCLK を 0 にした場合、DIV_CLK はアクティブになりません。

8.5.6.2 DIV_CLK モード 1 — n 回の通信サイクル後に 1 回

DIV_CLK モードが 1 のとき、DIV_CLK 信号は、n 回の通信サイクル後に 1 回だけアクティブになります。Cyc_Start 後のパルスの遅延時間と、通信サイクルの回数は、レジスタ TDIVCLK/NDIVCLK でプログラムされます。

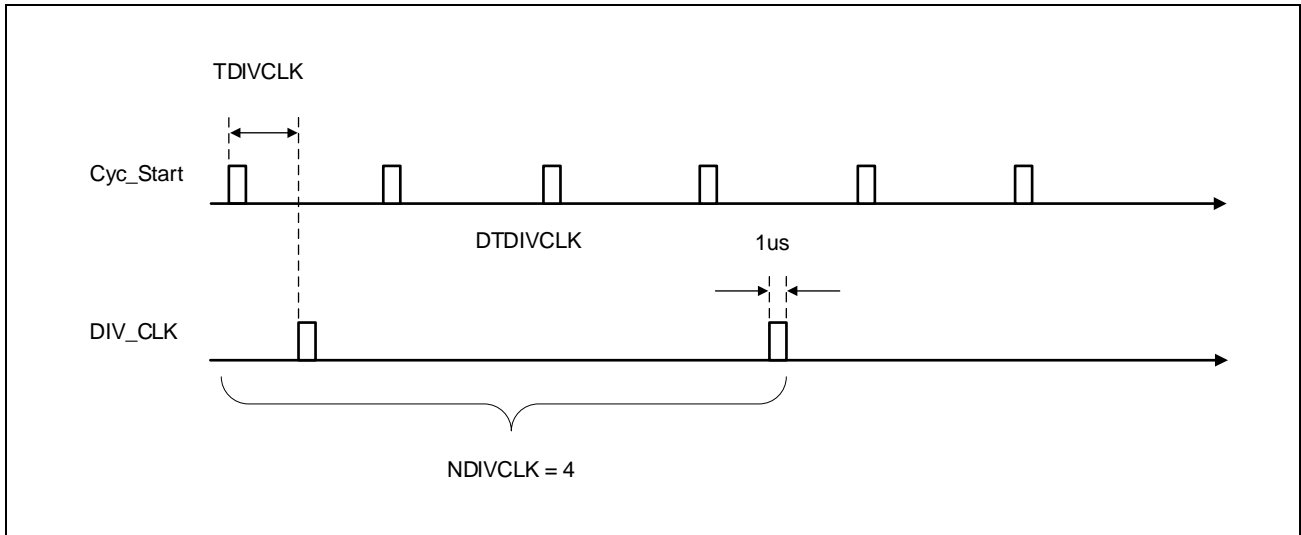


図 8.13 DIV_CLK モード 1 における TDIVCLK および DTDIVCLK

8.5.7 データフローコントロール

表 8.98 データフローコントロールレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0020h	DFCSR	データフローコントロール/ステータスレジスタ
4402 0024h	PHASESR	フェーズステータスレジスタ
4402 0028h	TGSR1	テレグラムリセット/ステータスレジスタ (ポート 1)
4402 002Ch	TGSR2	テレグラムリセット/ステータスレジスタ (ポート 2)
4402 0030h	DESCR	ディスクリプタコントロールレジスタ
4402 007Ch	SEQCNT	シーケンスカウンタ

8.5.7.1 データフローコントロール/ステータスレジスタ (DFCSR)

本レジスタは、データフローコントロール情報と物理層のステータス情報を結合します。

マスタから離れたポート (ライントポロジの場合) または任意のポート (リングトポロジの場合) でラインエラーが発生すると、トポロジは自動的に変更されます。

8.5.7.2 ディスクリプタコントロールレジスタ (DESCR)

インデックステーブルへのオフセットが確実に 32 ビットでアラインされるよう、DESCR の両ポイントの下位 2 ビットは使用されず、評価もされません。

(1) ディスクリプタインデックステーブルエントリ

インデックステーブルエントリのオフセットが確実に 32 ビットでアラインされるよう、エントリをイネーブルする (LSB=イネーブル) と、下位 2 ビットはオーバーレイされます。ディスクリプタインデックステーブルは、Rx RAM および Tx RAM 内に配置され、その開始アドレスはレジスタ DESCR (030h) で定義されます。

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Operation
		Offset of descriptor list in RAM (32-bit aligned)												Enable	Read/Write	
D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	Read/Write

Table 8.99 ディスクリプタインデックステーブルエントリフォーマット

名称	ビット	サイズ	説明
Enable	0	1	ディスクリプタリストのイネーブル
Offset of descriptor list	2~13	10	RAM 内のディスクリプタリストのオフセット (32 ビットアライン)

8.5.7.3 シーケンスカウンタレジスタ (SEQCNT)

CP0 では、スレーブは MST ヘッダの後のシーケンスカウンタフィールドを介して、Sercos III フレーム内の位置を決定します。その処理をスムーズに行うため、本モジュールはテレグラムから本フィールドを自動的に抽出し、次のレジスタ内に格納します。本レジスタに書き込みアクセスを行うと、その内容が 0x81FF にリセットされます。非アクティブポートの値は、自動的に 0x81FF にリセットされます。ファームウェアは、簡単に両値を比較して小さい方を選択し、最上位ビットをマスクアウトして 2 を掛けたものを、CP0 の AT0 用オフセットとして使用することが可能です。

本レジスタは、受信ディスクリプタがアクティブであり、MST のフェーズが CP0 で CPS ビットがセットされていないか、MST のフェーズが CP1 で CPS ビットがセットされている場合に更新されます。本モジュールが DFCSR にセットされている値でシーケンスカウンタをインクリメントするのは、上記の要件が満たされており、かつ、送信ディスクリプタがアクティブになっている場合のみです。

8.5.7.4 テレグラムステータスレジスタ (TGSR1/TGSR2)

受信プロセッサのテレグラムモニタは、両受信ポートの Sercos III イーサネットテレグラムもモニタします。

これに関連してモニタは、以下を検出します。

- 有効な MDT0~MDT3
- 有効な AT0~AT3
- 有効な MST
- 期待される MST 時間ウィンドウの外にある MST
- MST の欠落
- MST ダブルミス (2 つの MST が連続して欠落)
- AT0 ヘッダの欠落

これらすべての情報は、ポート 1 およびポート 2 に対応するテレグラムステータスレジスタ 1 および 2 で確認できます。

テレグラムステータスビットをクリアするには、以下のビット位置に 1 を書き込みます。

表 8.100 テレグラムステータスビット (TGSR1/2) のクリア

ビット	クリア対象
0	すべての MDT ビット
4	すべての AT ビット
8	MST 有効ビット
10	MST ウィンドウエラービット
11	MST ミスビット
12	MST ダブルミスビット
13	AT0 ミスビット

(1) ビット変更時間

以下の図は、TGSR レジスタのビットが本モジュールによって更新される時間を示しています。

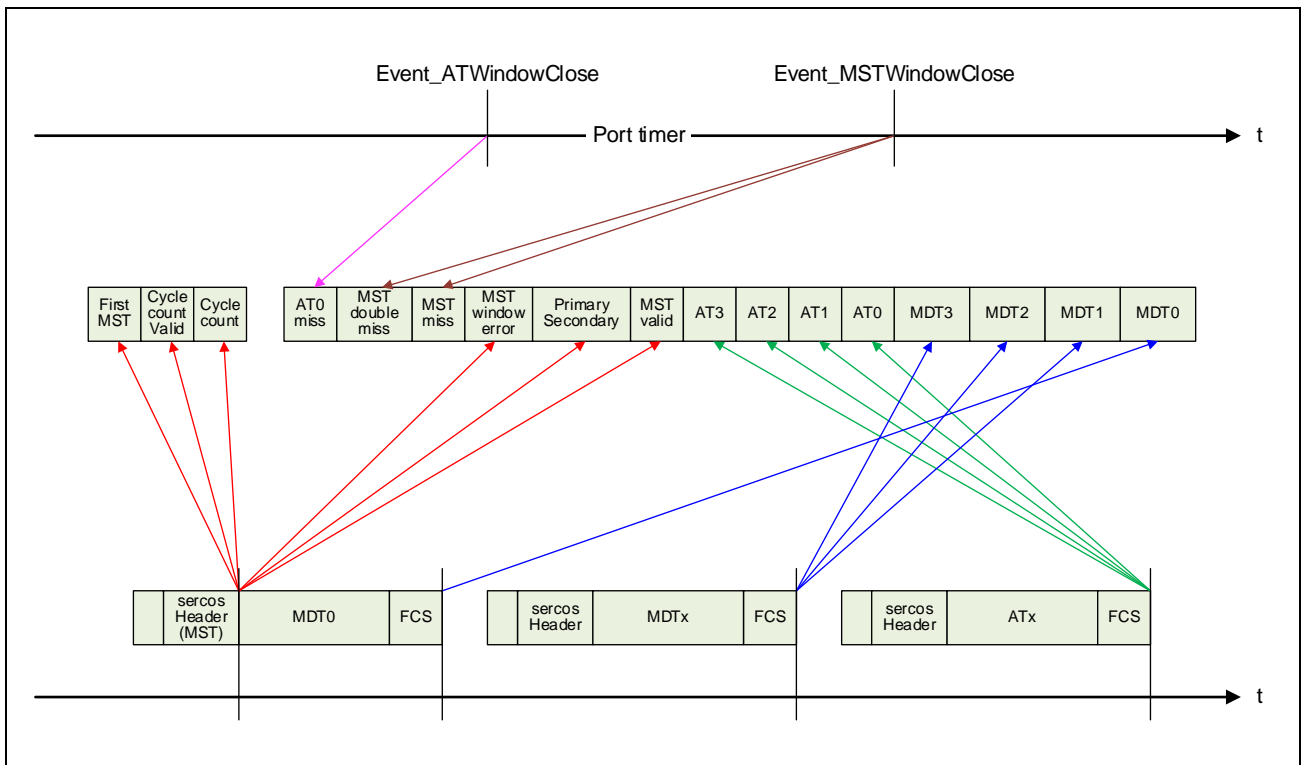


図 8.14 TGSR ビット変更時間

8.5.7.5 通信フェーズの管理 — フェーズステータスレジスタ (PHASESR)

ビット 0~3 およびビット 7 は、MDT0 フレームの最後に受信した有効な MST フィールドの Sercos III フェーズフィールドから抽出されます。

8.5.8 Tx MAC の動作

8.5.8.1 Tx MAC の基本的構造

スレーブの Tx MAC は、送信 RAM (Tx RAM) からのデータを AT イーサネットテレグラムデータストリーム内の定義された位置に挿入可能です。

挿入するデータの位置と量をコントロールするため、最大 16 個の 32 ビットディスクリプタが以下にセットされています。

- AT テレグラム番号 (AT0~AT3)
- AT テレグラムストリームの開始位置および終了位置
- データタイプ (サービスチャネルデータまたはリアルタイムデータ)

8.5.8.2 AT 内のテレグラムデータのソース

以下の図は、Sercos III AT テレグラムのデータソースを示しています。

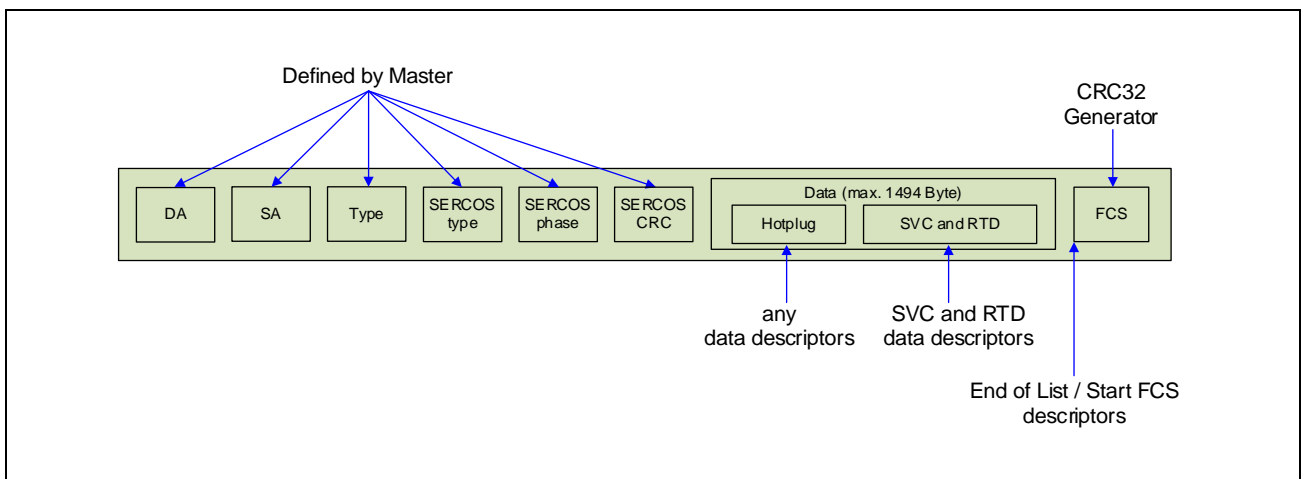


図 8.15 Sercos III AT テレグラムのデータソース

8.5.8.3 送信ディスクリプタ

送信ディスクリプタのフォーマットは次のとおりです。

本ディスクリプタは 2 ワードコマンドです。

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	動作
BufSys 選択		バッファオフセット (16 ビットアライン)													読み出し/ 書き込み	
D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	読み出し/ 書き込み
ディスクリプタタイプ				テレグラムオフセット (16 ビットアライン)												読み出し/ 書き込み

表 8.101 送信ディスクリプタのフォーマット

名称	ビット	サイズ	説明
バッファオフセット	1~13	13	Tx RAM 内の TxBuffer 開始アドレスの 16 ビットアラインのオフセット
BufSys 選択	14、15	2	選択されたバッファシステム 0: バッファシステム A 1: バッファシステム B 2: 予約 3: 予約
テレグラムオフセット	17~26	10	テレグラム内の Sercos III CRC 後の 16 ビットアラインのオフセット
ディスクリプタタイプ	28~31	4	以下の表を参照

ディスクリプタタイプ:

表 8.102 送信ディスクリプタのタイプ

ディスクリプタタイプ	ディスクリプタ	
0000b	SVDSP	サービスデータ開始位置
0001b	SVDEP	サービスデータ終了位置
0010b	RTDSP	リアルタイムデータ開始位置
0011b	RTDEP	リアルタイムデータ終了位置
0100b	FCSP	FCS 位置、送信終了
1000b	ポート関連データの開始位置、ポート依存のバッファからデータを取り出す	
1001b	ポート関連データ終了位置	

ディスクリプタタイプ 0000b~0011b は、ポート 1 とポート 2 に同一のデータを書き込みます。ディスクリプタ 1000b および 1001b では、独立したデータを転送可能です。

8.5.8.4 Tx RAM ポインタ

Tx RAM ポインタは、送信データバッファのベースアドレスを定義するために使用されます。テーブルは最大 11 個のエントリを持ちます。

表 8.103 Tx RAM ポインタレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 01C0h+4h×n	TXBUF[n]_A (n=0~3)	バッファシステム A の送信バッファ[n]のベースアドレス
4402 01D0h+4h×n	TXBUF[n]_B (n=0~3)	バッファシステム B の送信バッファ[n]のベースアドレス
4402 01F0h	TXBUF_P1	ポート 1 のみの送信バッファのベースアドレス
4402 01F4h	TXBUF_P2	ポート 2 のみの送信バッファのベースアドレス
4402 01FCh	TXBUF_SVC	サービスチャンネルデータの送信バッファのベースアドレス

8.5.8.5 送信ディスクリプタエンジンの概要

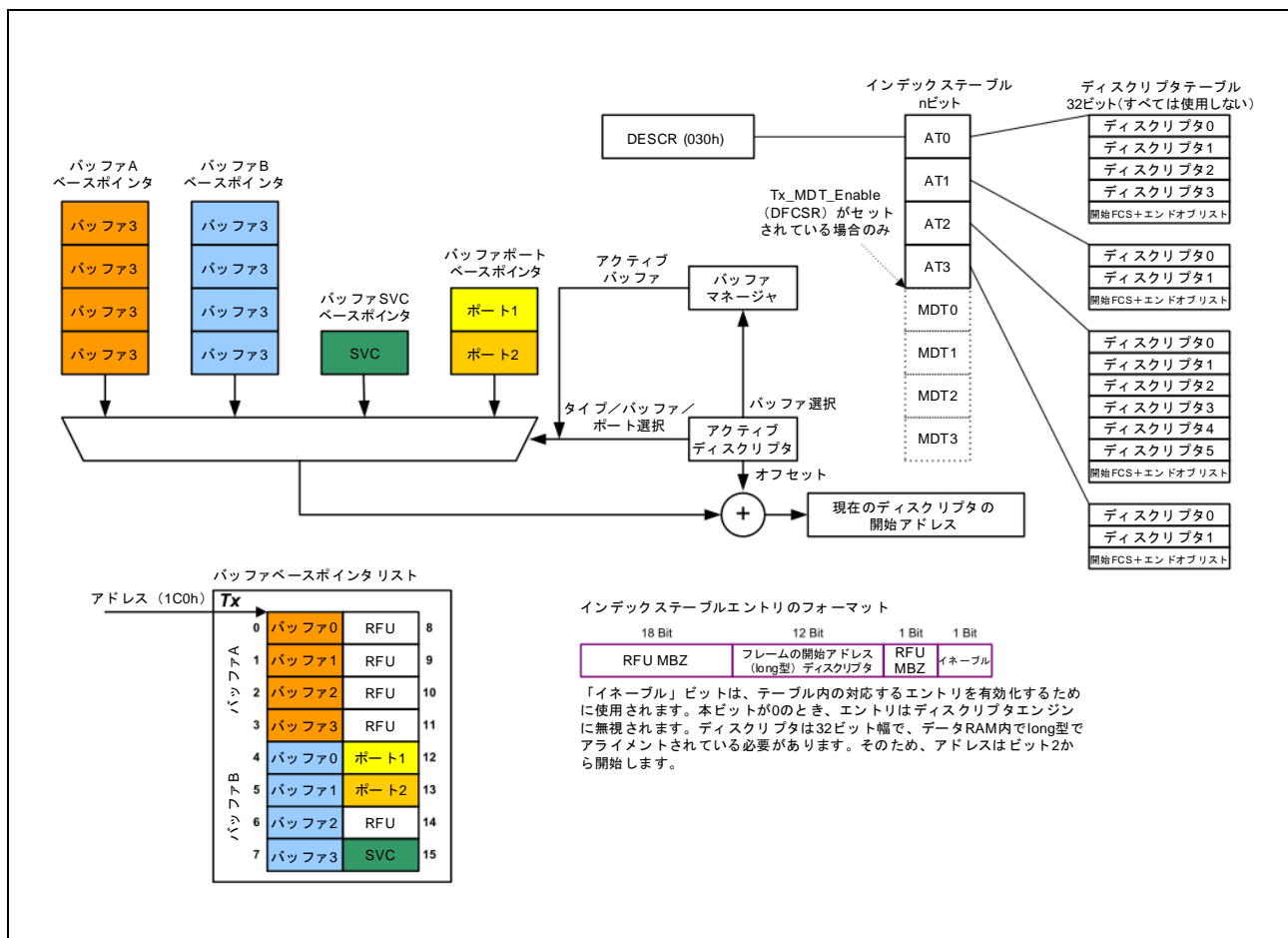


図 8.16 送信ディスクリプタエンジン

8.5.8.6 Tx MAC 処理の説明

送信ディスクリプタ処理は、有効な ATx を検出すると開始されます。

ディスクリプタおよびバッファ管理に応じて、リアルタイムデータポインタまたはサービスチャネルデータポインタ（バッファのベースアドレス）がポインタレジスタからロードされます。

データはサービスデータバッファまたはリアルタイムデータバッファから（リニアな昇順で）連続的に取り出され、該当する AT の必要な位置に挿入されます。

最後にコマンド発行された AT ディスクリプタの後、Tx MAC はアイドル状態に切り替わり、次の ATx を待機します。

8.5.8.7 Tx MAC のクアドバッファリング

アクティブな送信バッファは、ホスト CPU によって選択されます。アクティブバッファは開始ディスクリプタでサンプリングされるため、データディスクリプタのペアを送信中にアクティブバッファを切り替えても影響はありません。トリプルバッファより少ないバッファを使用する場合は、ファームウェアによってデータの整合性を確保する必要があります。

表 8.104 送信バッファコントロール&ステータスレジスタ

アドレス	レジスタシンボル	レジスタ名
4402 020Ch	TXBUFCSR_A	送信バッファコントロール（バッファシステム A）
4402 021Ch	TXBUFCSR_B	送信バッファコントロール（バッファシステム B）

(1) 送信バッファコントロール&ステータスレジスタ（TXBUFCSR_A/B）

送信ユニットのクアドバッファは、ビット 31（TxRequest）を介してレジスタ「送信バッファコントロール&ステータスレジスタ」によって制御されます。

8.5.9 Rx MAC の動作

スレーブの Rx MAC は、AT または MDT イーサネットテレグラムデータストリームからデータをコピーして、それを受信 RAM (Rx RAM) に格納可能です。

8.5.9.1 受信ディスクリプタ

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	動作
BufSys 選択		バッファオフセット (16 ビットアライン)													読み出し／書き込み	
D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	読み出し／書き込み
ディスクリプタタイプ				テレグラムオフセット (16 ビットアライン)												読み出し／書き込み

表 8.105 受信ディスクリプタのフォーマット

名称	ビット	サイズ	説明
バッファオフセット	1~13	13	Rx RAM 内の RxBuffer 開始アドレスの 16 ビットアラインオフセット
BufSys 選択	14、15	2	選択されたバッファシステム 0: バッファシステム A 1: バッファシステム B 2: 予約 3: 予約
テレグラムオフセット	17~26	10	テレグラム内の Sercos III CRC 後の 16 ビットアラインオフセット
ディスクリプタタイプ	28~31	4	以下の表を参照

ディスクリプタタイプ :

表 8.106 受信ディスクリプタのタイプ

ディスクリプタタイプ	ディスクリプタ	
0000b	SVDSP	サービスデータ開始位置
0001b	SVDEP	サービスデータ終了位置
0010b	RTDSP	リアルタイムデータ開始位置
0011b	RTDEP	リアルタイムデータ終了位置
0100b	FCSP	FCS 位置、送信終了
1000b	(使用しない)	
1001b	(使用しない)	

8.5.9.2 Rx RAM ポインタ

Rx RAM ポインタは、受信データバッファのベースアドレスを定義するために使用されます。テーブルは最大 14 個のエントリを持ち、うち 7 個がポート 1 用、7 個がポート 2 用です。

表 8.107 Rx RAM ポインタレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0180h+4h×n	RXBUF[n]_P1A (n=0~2)	ポート 1 かつバッファシステム A の受信バッファ[n]のベースアドレス
4402 0190h+4h×n	RXBUF[n]_P1B (n=0~2)	ポート 1 かつバッファシステム B の受信バッファ[n]のベースアドレス
4402 019Ch	RXBUF_P1SVC	ポート 1 のサービスチャネルデータの受信バッファのベースアドレス
4402 01A0h+4h×n	RXBUF[n]_P2A (n=0~2)	ポート 2 かつバッファシステム A の受信バッファ[n]のベースアドレス
4402 01B0h+4h×n	RXBUF[n]_P2B (n=0~2)	ポート 2 かつバッファシステム B の受信バッファ[n]のベースアドレス
4402 01BCh	RXBUF_P2SVC	ポート 2 のサービスチャネルデータの受信バッファのベースアドレス

8.5.9.3 Rx MAC のトリプルバッファリング

アクティブな受信バッファは、ホスト CPU によって選択されます。アクティブバッファはテレグラムの開始時にサンプリングされるため、送信中にアクティブバッファを切り替えても影響はありません。

表 8.108 Rx MAC トリプルバッファリングレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0200h	RXBUFCSR_A	受信バッファコントロール (バッファシステム A)
4402 0204h	RXBUFTV_A	受信バッファテレグラム有効 (バッファシステム A)
4402 0208h	RXBUFTR_A	受信バッファテレグラム要求 (バッファシステム A)
4402 0210h	RXBUFCSR_B	受信バッファコントロール (バッファシステム B)
4402 0214h	RXBUFTV_B	受信バッファテレグラム有効 (バッファシステム B)
4402 0218h	RXBUFTR_B	受信バッファテレグラム要求 (バッファシステム B)

(1) 受信バッファコントロール&ステータスレジスタ (RXBUFCSR_A/B)

受信ユニットのトリプルバッファリングは、ビット 31 (RxRequest) を介してレジスタ「受信バッファコントロール&ステータスレジスタ」によって制御されます。

(2) 受信バッファテレグラム有効レジスタ (RXBUFTV_A/B)

テレグラムステータスビットの有効ビットは受信バッファテレグラム有効レジスタにコピーされ、実際のシステムバッファ内の無効データが検出されます。

(3) 受信バッファテレグラム要求 (RXBUFTR_A/B)

現在のバッファの整合性を保つもう 1 つの方法は、要求されるすべてのテレグラムが有効でない場合はバッファ変更を行わないようにすることです。どれも選択されていない場合、バッファは常に変更されます。

8.5.10 スレーブサービスチャンネル動作

サービスチャンネル動作は、サービスチャンネルプロセッサによってサポートされています。サービスチャンネルプロセッサは、1つのスレーブデバイスにつき、最大 8 個のサービスチャンネルを扱うことが可能です。これに関連してサービスチャンネルプロセッサは、以下のタスクを処理します。

- ハンドシェイクおよびビジー処理
- 最大 254 バイト（書き込みバッファの容量は 1 ワード）の受信データバッファリング
- 最大 254 バイト（読み出しバッファの容量は 1 ワード+オーバーハング）のスタンドアロン送信

サービスチャンネルプロセッサは、受信され、受信 SVC RAM に格納されたサービスチャンネルデータを処理し、その情報を送信 SVC RAM を通してマスタに送信します。ホスト CPU のリソースは必要ありません。

表 8.109 スレーブサービスチャンネル動作レジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0050h	SVCCSR	SVC コントロール/ステータス

8.5.10.1 SVC コントロール&ステータスレジスタ (SVCCSR)

サービスチャンネルの中央制御はサービスチャンネルコントロール/ステータスレジスタ SVCCSR によって行われます。本レジスタは、以下を定義します。

- 全チャンネルの汎用イネーブル
- サービスチャンネル動作を開始するポート
- サービスチャンネルプロセッサが動作を開始した後の最後の MDT
- サービスチャンネルプロセッサの 1 サイクルの手動開始（デバッグ用）
- 処理エラーフラグ

注 意

0 以外の MDTSVC マシンをトリガすることを選択した場合、その直前の MDT テレグラムの MDT 有効ビットも、トリガの検証のために使用されます。SVC スタートモードがアクティブな場合、トリガはポートタイマを介して行われず。SVC マシンが起動するまでは、MDT 有効ビットをクリアしないよう注意してください。トリガ前にビットをクリアした場合、SVC マシンは起動せず、サービスコンテナは処理されません。

8.5.10.2 サービスコンテナ

SVC RAM の先頭部分には、8 個のサービスコンテナポインタがあります。そこには、SVC RAM のサービスコンテナのオフセットアドレス（ビット 0～14）と、サービスコンテナを有効にするためのイネーブルビットが格納されています。

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	動作
CEn	MDT チェック	サービスコンテナポインタ[n]													MDT 選択	読み出し／書き込み

表 8.110 サービスコンテナポインタのフォーマット

名称	ビット	サイズ	説明
MDT 選択	0、1	2	MDT チェックビットがセットされている場合、サービスコンテナポインタの最下位 2 ビットが、そのコンテナの対応する MDT を選択するために使用されます。
サービスコンテナポインタ[n]	(1) 2～13	(13) 12	対応するサービスコンテナ構造のアドレスを指定する 15 ビットポインタ
MDT チェック	14	1	本ビットがセットされている場合、コンテナポインタの下位 2 ビットが MDT の選択に使用されます（コンテナの 32 ビットアライメント）。本ビットがセットされていない場合、これらのビットはコンテナポインタの一部となります。
CEn	15	1	サービスコンテナイネーブル。本ビットを 1 にすると、コンテナがイネーブルされます。

8.5.10.3 サービスコンテナポインタ

表 8.111 サービスコンテナ RAM 領域（相対アドレス）

コンテナアドレス	名称	説明
+0	SVCRxP	Rx RAM 内のサービスチャンネルデータへのポインタ。サービスチャンネルステータスワード上を示します。
+2	SVCTxP	Tx RAM 内のサービスチャンネルデータへのポインタ。サービスチャンネルコントロールワード上を示します。
+4	SVCC0	サービスチャンネルコントロールワード 0
+6	SVCC1	サービスチャンネルコントロールワード 1
+8	SVCC2	サービスチャンネルコントロールワード 2 末尾ポインタ書き込みバッファ（8 ビット） 先頭ポインタ書き込みバッファ（8 ビット）
+A	SVCC3	サービスチャンネルコントロールワード 3 末尾ポインタ読み出しバッファ（8 ビット） 先頭ポインタ読み出しバッファ（8 ビット）
+C	SVCC4	サービスチャンネルコントロールワード 4
+E	SVCWRB	書き込みバッファ
—	SVCRDB	読み出しバッファ
—	SVCRDBO	読み出しバッファオーバーハング

サービスコンテナのセットアップ例 :

- サービスコンテナポインタ 8040h
コンテナアドレス 40h、サービスチャネルはイネーブル
- 書き込みバッファ 16 ワード WRDATPT=0h WRDATLAST=0Fh
- 読み出しバッファ 16 ワード RDDATPT=10h RDDATLAST=1Fh

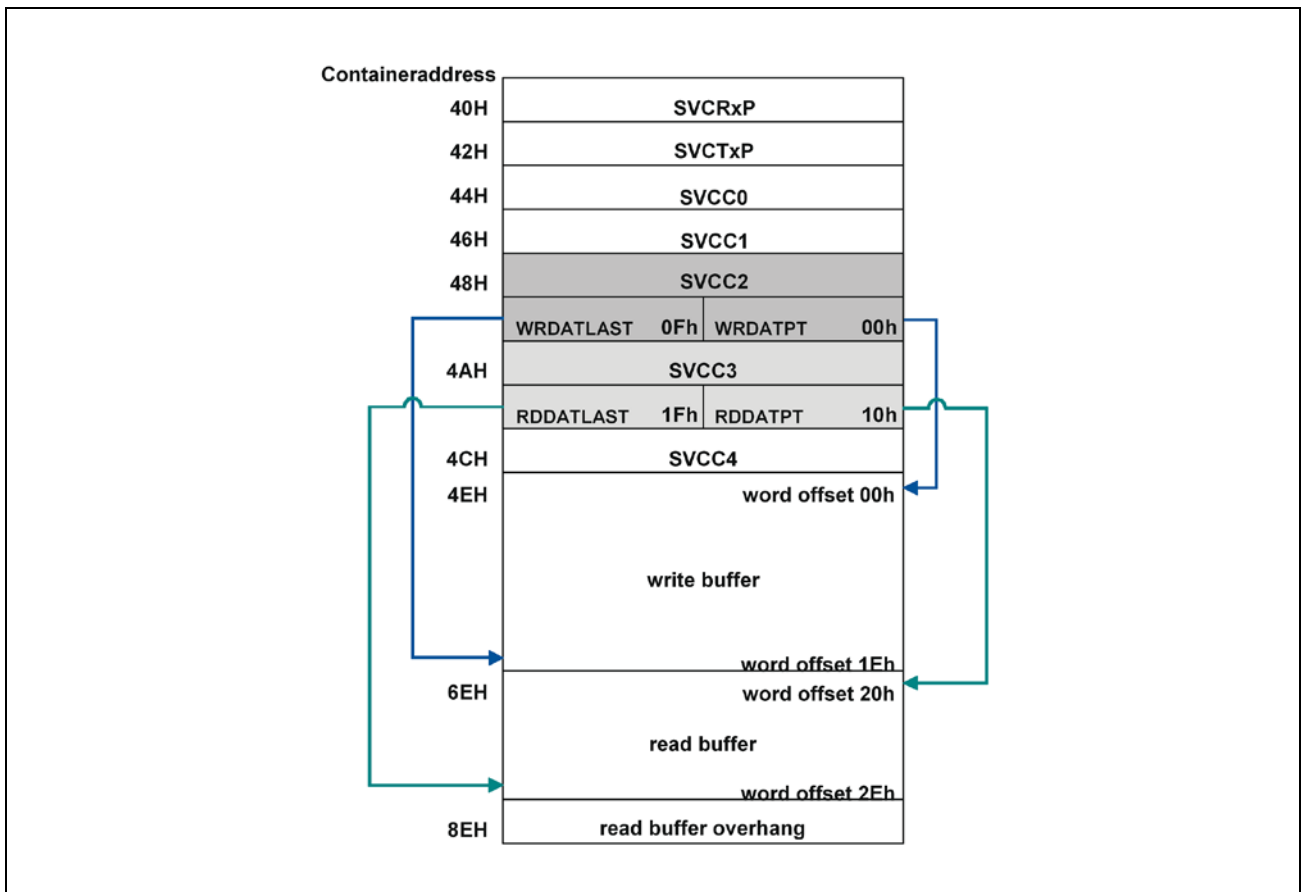


図 8.17 サービスコンテナの例

8.5.10.4 サービスコンテナコントロールワード

コントロールワード SVCRxP、SVCTxP、SVCC0～SVCC4 には、1 つのサービスチャネルをコントロールするために必要なすべての情報が含まれます。

ポインタ SVCRxP および SVCTxP は、サービスチャネルの入力と出力を定義します。つまり、SVCRxP は、Rx RAM 内の 6 個のスレーブサービスチャネル受信バイトへのポインタであり、SVCTxP は Tx RAM 内の 6 個のスレーブサービスチャネル送信バイトのアドレスを定義します。

SVCC0～SVCC4 には、以下の情報が含まれます。

表 8.112 サービスコンテナコントロールワード

インデックス	ビット	名称	機能
SVCC0	0	HS_AT	AT のハンドシェイクビット
	1	BUSY_AT	AT のビジービット、また、ホスト CPU の介入を待機
	2	ERR_AT	AT のエラービット
	3	PROCESS	AT のプロセスビット
	4～6	ELEM	現在の送信のデータ要素
	7	L/S	現在の送信の読み出し (0) / 書き込み (1)
	8～11	—	(使用しない)
	12	INT_ELEM_CHANGE	割り込み — マスタがデータ要素を変更したか、読み出し / 書き込み
	13	INT_END_WRBUF	割り込み — 書き込みバッファの末尾に到達
	14	INT_END_RDBUF	割り込み — 読み出しバッファの末尾に到達
SVCC1	15	INT_END_MDT	割り込み — END_MDT ビットによりマスタが終了を通知
	0	HS_MDT	MDT のハンドシェイクビット
	1	L/S_MDT	MDT の読み出し / 書き込み
	2	END_MDT	MDT の終了ビット
	3～5	ELEM_MDT	MDT のデータ要素
SVCC2	6～15	—	(使用しない)
	0～7	WRDATPT	書き込みバッファの現在の位置を示すポインタ
SVCC3	8～15	WRDATLAST	書き込みバッファの最終位置を示すポインタ
	0～7	RDDATPT	読み出しバッファの現在の位置を示すポインタ
SVCC4	8～15	RDDATLAST	読み出しバッファの最終位置を示すポインタ
	0～8	—	(使用しない)
	9	INT_SC_ERR	プロトコルエラーによる割り込み
	10～15	—	(使用しない)

8.5.10.5 サービスプロセッサ動作の詳細

サービスプロセッサの基本的動作は、6つのステップに分けられます。

- 待機状態では、SVCC0 のビジービットは 0 です。サービスプロセッサは SVC コントロールを介して Sercos III マスタからの要求を待ちます。
- Sercos III マスタの要求を受信すると、SVC 情報は読み出しバッファに転送され、ビジービットは 1 にセットされ、割り込み INT_END_RDBUF、INT_END_MDT、または INT_ELEM_CHANGE が開始されます。
- サービスプロセッサは、ビジービットがセットされている間は、ホスト CPU の介入を待ちます。
- ホスト CPU は、マスタの要求を解釈し、読み出しバッファまたは書き込みバッファをセットアップし、既存の割り込みフラグを削除して、セマフォビジービットを 0 にします。
- これにより、責任は再びサービスプロセッサへと移り、サービスプロセッサは、以下のいずれかが発生するまでタスクを処理します。
 - 読み出しバッファの末尾に到達した — INT_END_RDBUF
 - 書き込みバッファの末尾に到達した — INT_END_WRBUF
 - マスタによる送信終了の信号が伝えられた — INT_END_MDT
 - 要素が変更された — INT_ELEM_CHANGE
 - サービスチャンネルにエラーが発生した — INT_SC_ERR
- いずれのイベントによっても、ビジービットがセットされ、ホスト CPU の介入が発生します。

スレーブサービスチャネル処理のフロー :

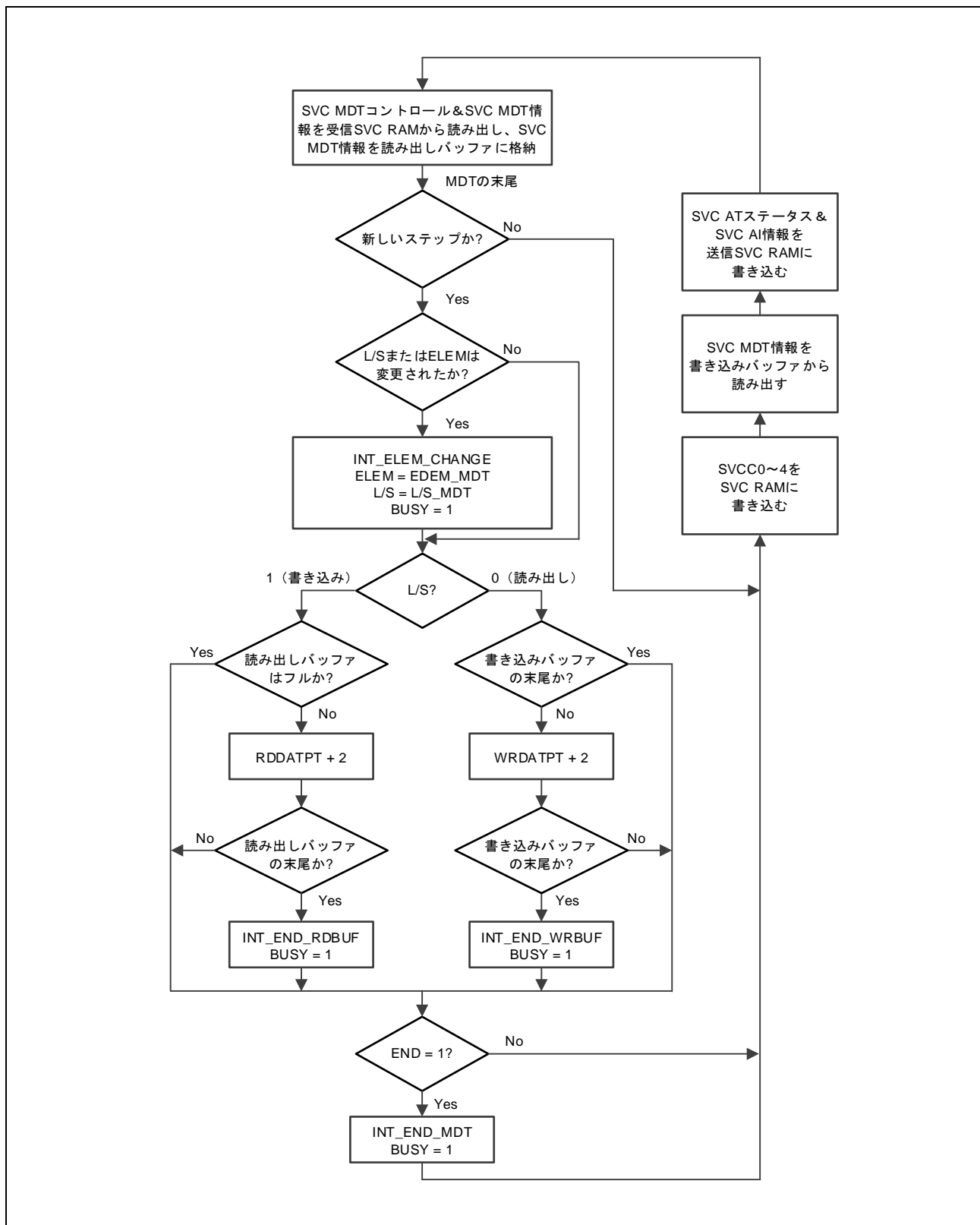


図 8.18 スレーブサービスチャネル処理のフロー

8.5.10.6 SVC テレグラムデータ

(1) MDT の SVC フィールドのデータフォーマット

表 8.113 SVC テレグラムデータフォーマット

SVC コントロール (2 バイト)	SVC データ (4 バイト)
--------------------	-----------------

コントロールフィールドには、以下の情報が含まれます。

表 8.114 SVC テレグラムのコントロールフィールド

ビット	名称	機能
0	MHS	マスタハンドシェイク
1	R/W	データの読み出し/書き込み
2	Last Transmission	送信中 (0) 最終送信 (1)
3~5	Data block element	転送する要素
6~15	予約ビット	—

(2) AT の SVC フィールドのデータフォーマット

表 8.115 SVC テレグラムデータコントロールフィールド

SVC ステータス (2 バイト)	SVC データ (4 バイト)
-------------------	-----------------

ステータスフィールドには、以下の情報が含まれます。

表 8.116 SVC テレグラムのステータスフィールド

ビット	名称	機能
0	AHS	アクノリッジハンドシェイク
1	Busy	デバイスがビジー状態 (1)
2	Error	エラー発生 (1)
3	SVC valid	SVC データがテレグラムに挿入されました (1)。 本ビットは常にハードウェアのサービスチャネルプロセッサによってセットされま す。
4~15	予約ビット	—

8.5.10.7 テレグラム内のデータのバイトオーダー

すべての SVC データは、以下の順序で送信されます。

表 8.117 SVC データの送信順序

SVC コントロール (ステータス)	バイト 0 (ビット 0~7)
SVC コントロール (ステータス)	バイト 1 (ビット 8~15)
SVC データ	バイト 0 (ビット 0~7)
SVC データ	バイト 1 (ビット 8~15)
SVC データ	バイト 2 (ビット 16~23)
SVC データ	バイト 3 (ビット 24~31)

8.5.11 ハードウェアウォッチドッグ

リセットされる度に、ウォッチドッグは非アクティブ (WDCSR : 0x000088CD) になり、実際のカウントおよびリセットカウントが 0 にリセットされます (WDCNT : 0x00000000)。

初めに、マジックパターンが WDCSR (トリガ信号) の下位 16 ビットに書き込まれると、ウォッチドッグがアクティブになります。逆のマジックパターン (0x00007732) を書き込むと、ウォッチドッグは非アクティブ化されます。

トリガされるたびに、リセットカウントの値が WDCNT 内の実際のカウントにコピーされます。周期通信中、ロジックは、最初の MST が到着するポートを検出します。このポートで MST を受信すると、実際のカウントを (0 より大きい値である限り) カウントダウンします。

注 意

ウォッチドッグがアクティブで、実際のカウントが 0 のとき、ウォッチドッグはアラームを発し、フレームへのデータ導入をディセーブルします。アラームおよびデータ導入は、ウォッチドッグの非アクティブ化 (逆のマジックパターンの書き込み) によってのみ復旧することが可能です。

表 8.118 ハードウェアウォッチドッグレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0068h	WDCSR	ウォッチドッグコントロール&ステータス
4402 006Ch	WDCNT	ウォッチドッグカウンタ

8.5.12 MST モニタリング

表 8.119 MST モニタリングレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 00E0h	MSTLMAX	最大連続 MST ロス数
4402 00E4h	MSTLSUM	MST ロス数の合計
4402 00E8h	MSTLACT	実際の連続 MST ロス数

(1) 最大連続 MST ロス数 (MSTLMAX)

ポート 1 およびポート 2 における連続 MST ロス数の最大値です。1 回カウントされるには、両方のポートで MST が欠落している必要があることに注意してください。MST ロスは、TCNT0 のオーバーランによって検出されます。

内部カウンタが本値の半分（切り上げ）に達すると、本モジュールは割り込みステータスビット 10 をセットします。現在の連続ロス数がこの最大値に等しくなると、割り込みステータスビット 11 がセットされません。

(2) MST ロス数の合計 (MSTLSUM)

ポート 1 およびポート 2 における MST ロスをカウントするカウンタです。1 回カウントされるには、両方の MST が欠落している必要があることに注意してください。

本カウンタに書き込みアクセスがあるたびに、カウンタが 0 にリセットされます。

0xFFFF に達すると、カウンタはそれ以上インクリメントされません。

(3) 実際の連続 MST ロス数 (MSTLACT)

本レジスタは、実際の連続 MST ロス数を示します。

8.5.13 IP チャンネル動作

Sercos III IP テレグラム処理は、以下の動作を行います。

- 受信したデータストリームをモニタしてフレームタイプを検出し、イーサネットフレームタイプを検出すると動作を開始します。
- SRAM とのデータ転送（読み／書き）を処理します。
- 送信パスが内部 Tx MAC で占有されているとき、イーサネットテレグラムを特別なコリジョンバッファに格納します。
- Tx MAC より優先してコリジョンバッファからテレグラムを送信します。

表 8.120 IP チャンネル動作レジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0080h	MAC1P1_0	MAC アドレス 0
4402 0084h	MAC1P1_1	MAC アドレス 1
4402 0090h	IPCSR1	IP ステータス／コントロールレジスタ（ポート 1）
4402 0094h	IPCSR2	IP ステータス／コントロールレジスタ（ポート 2）

8.5.13.1 MAC アドレスレジスタ

MAC アドレス（6 バイト値）は、IP テレグラムの宛先アドレスとの比較に使用されます。

8.5.13.2 IP コントロール&ステータスレジスタ（IPCSR 1/2）

ステータスビットの動作：

ステータスビットは、ステータスレジスタに 0 を書き込んでもクリアされません。

送信ステータスビット：

- IPTxBufRdy は、送信バッファがフルになるとクリアされます。
- IPTxBufEmpty は、少なくとも 1 つのディスクリプタが送信スタックレジスタにあると、クリアされません。

受信ステータスビット：

- IPRxRdy は、少なくとも 1 つのディスクリプタが受信スタックレジスタにあると、セットされます。
- IPRxBufFull は、受信スタックレジスタのすべてのディスクリプタが使用中のとき、セットされます。

8.5.13.3 コリジョンバッファの動作

内部 Tx MAC が送信ラインを割り当てるとき、デバイスはポート 1 とポート 2 間、およびポート 2 とポート 1 間で、標準イーサネットフレームの転送をバッファするために 2 つのコリジョンバッファ（2 キロバイト）を使用します。

デバイスは「カットスルー」メカニズムを使用します。カットスルーは以下のような仕組みで働きます。

- イーサネットフレームは、宛先アドレスが受信されるまでバッファされます。
- 宛先アドレスが内部 MAC アドレスと一致した場合、フレームは転送されません。
- 上記に該当しない場合、必要な送信ポートが内部 Tx MAC によって割り当てられず、残りの IP スロットが必要なフレーム長を伝播可能であるとき、イーサネットフレームはこの送信ポートに転送されます。
- 上記に該当しない場合、次の IP チャンネルがアクティブになるまでイーサネットフレームがコリジョンバッファ RAM にバッファされます。

Tx MAC は、コリジョンバッファバスよりも低い優先度を持ちます。つまり、新しい IP チャンネルがアクティブになったとき、フレームがコリジョンバッファ RAM にバッファされたままならば、コリジョンバッファの中身の送信が最も優先されます。

8.5.13.4 IP テレグラムの送信

表 8.121 IP テレグラム送信レジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 00A8h	IPTXS1	IP 送信スタック (ポート 1)
4402 00ACh	IPTXS2	IP 送信スタック (ポート 2)

(1) 動作の説明

ホストが発するすべての送信命令は、送信スタックに格納されます。デバイスは両ポート用に送信スタックを持ち、レジスタアドレスは A8h と ACh です。

IP テレグラムを送信するとき、ホストはデータ (プリアンブルと FCS を含まない完全なイーサネットフレーム) を Tx RAM 領域にロードし、関連する TxIP ディスクリプタを対応する送信スタック (レジスタ IPTXS) にロードします。

表 8.122 Tx RAM 内のイーサネットフレーム構造

DA	SA	種類	データ

ケース 1 :

- IPTxEN ビットがセットされ、MAC がイネーブルされている

ケース 2 :

- IPTxEN ビットがアクティブでない (SIII モード)
- MAC はイネーブルされている
- 送信パスは使用されていない
- IP チャネルの時間スロットがアクティブである
- IP チャネルクローズまでの残り送信時間が十分ある

(2) IP 送信スタック (ポート 1/2) (IPTXS1/2)

イーサネットフレームを送信するには、TxIP ディスクリプタを送信スタックレジスタに書き込む必要があります。

ポート 1 の場合は IPTXS1、ポート 2 の場合は IPTXS2 です。IPTXS1 (0A8h) に書き込むと、フレームがポート 1 に送信されます。「カウント」が 0 でない限り、IPTXS1/2 を読み出すと処理中のフレームの実際の値を示します。「カウント」が 0 の場合、現在書き込まれているデータを読み出し可能です。新しいデータが書き込まれない場合、リードバック値は有効ではありません。

(3) TxBuffer の定義

送信バッファは、TxIP ディスクリプタ自身によって定義されます。そのため、他の定義レジスタは必要ありません。

【例】

ホストが 2 つのポートに同一のイーサネットテレグラムを送信する場合

- ホストは同一の長さで開始セグメント（10h）を IPTXS1 と IPTXS2 にセットします。

または、ホストが 2 つのポートに異なるイーサネットテレグラムを送信する場合

- ホストは、異なるセグメントを IPTXS1（10h）と IPTXS2（18h）にセットします。

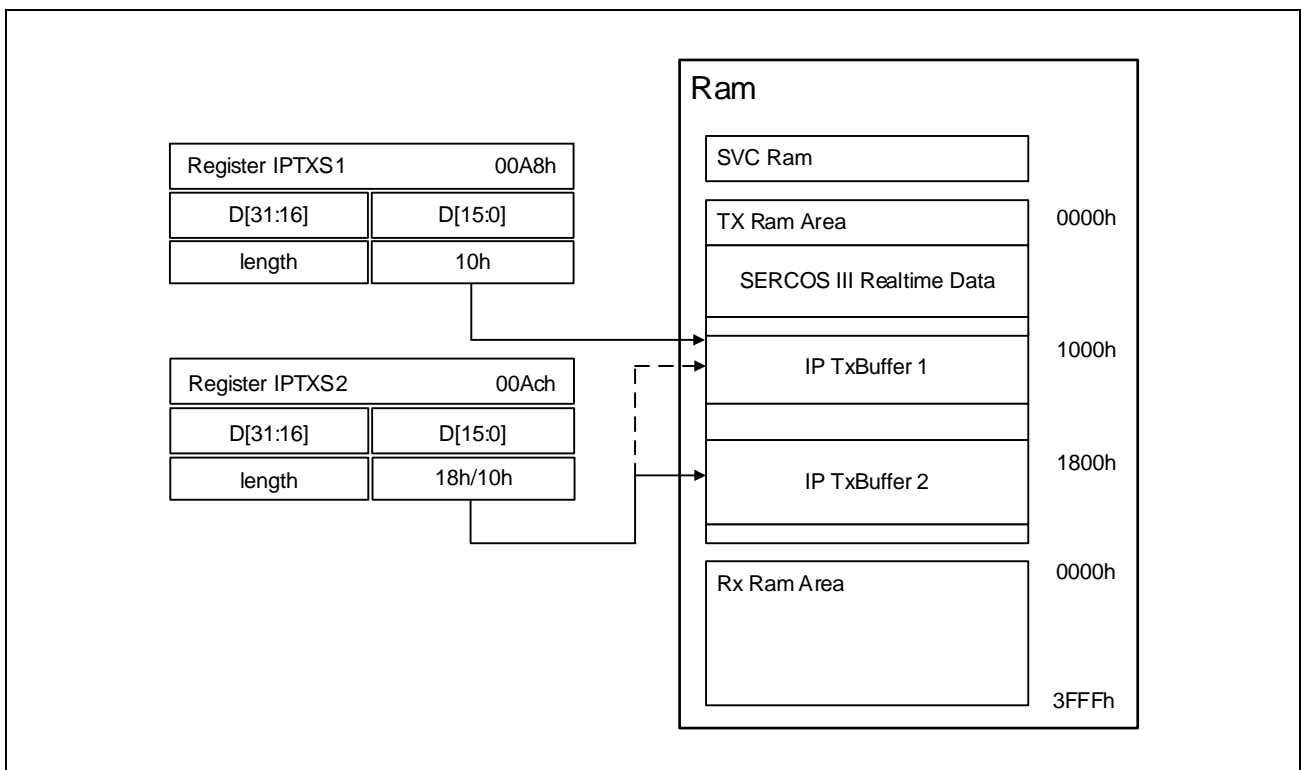


図 8.19 送信バッファの例

8.5.13.5 IP フレームの受信

Rx MAC は、各ポートにつき最大 8 フレーム受信できます。フレーム数は、NRT 通信に利用できるメモリ容量にも制限されます。

表 8.123 IP フレーム受信レジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0098h	IPRRS1	IP Rx RAM セグメント (ポート 1)
4402 009Ch	IPRRS2	IP Rx RAM セグメント (ポート 2)
4402 00A0h	IPRXS1	IP 受信スタック (ポート 1)
4402 00A4h	IPRXS2	IP 受信スタック (ポート 2)

(1) IP Rx RAM セグメント (ポート 1/2) (IPRRS1/2)

Rx RAM の標準イーサネットフレームの受信バッファは、セグメントレジスタ IPRRS1 および IPRRS2 によって定義されます。IPRRS1 はポート 1 に、IPRRS2 はポート 2 に割り当てられています。本レジスタの内部表現は、対応する IPCSR の IPRxEn が非アクティブであるときのみ更新されます。

【例】

ホストがポート 1 およびポート 2 に 4.5K の受信バッファを予約するとします。受信セグメントのサイズは 256 バイトであることを思い出してください。ホストは各セグメントレジスタ (IPRRS) に 17 個 (11h) のセグメント (2.25K) を以下のようにセットします。

- 1 つ目の受信バッファセグメントレジスタを 21h~10h (最後のセグメント~最初のセグメント)
- 2 つ目の受信バッファセグメントレジスタを 2Fh~24h (最後のセグメント~最初のセグメント)

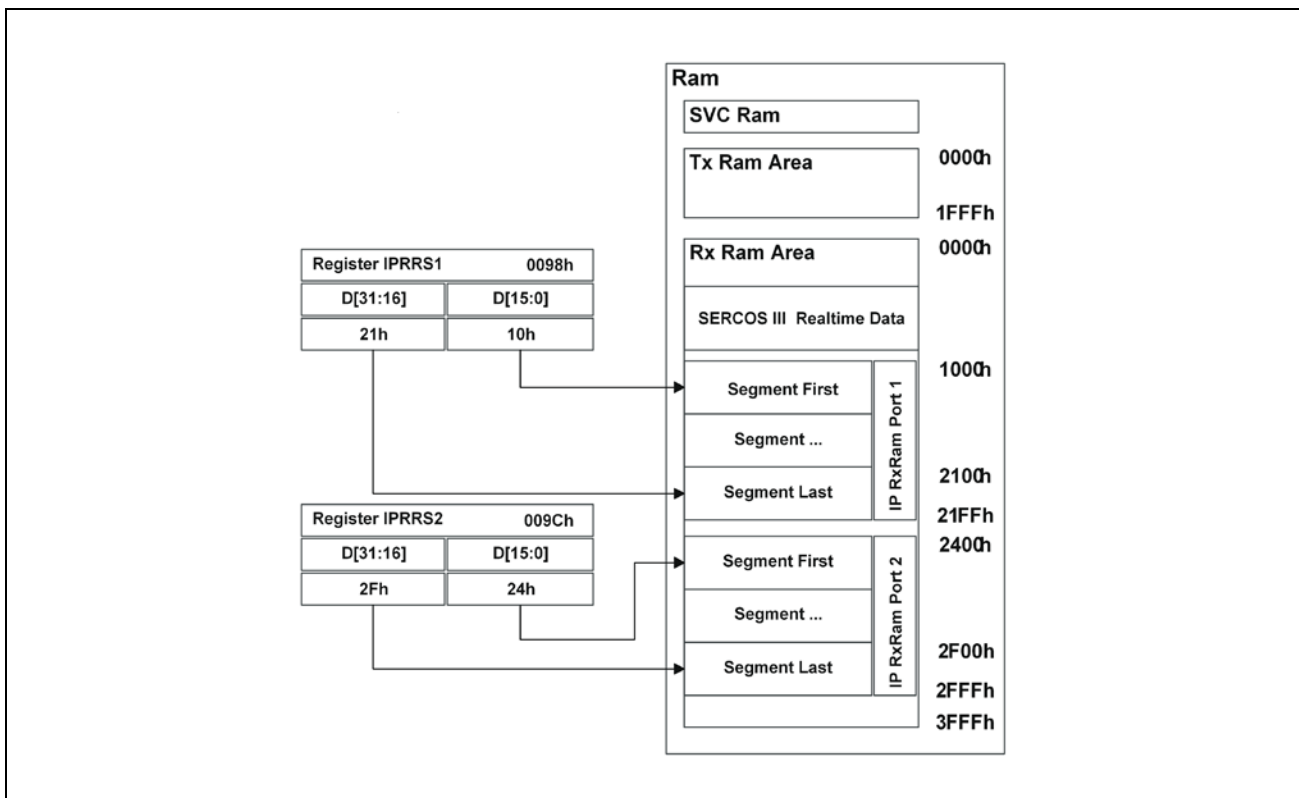


図 8.20 IP フレーム受信の例

(2) IP 受信スタック (ポート 1/2) (IPRXS1/2)

イーサネットフレームが正常に受信されると、RxIP ディスクリプタが受信スタック IPRXS1 (ポート 1 の場合) および/または IPRXS2 (ポート 2 の場合) に配置されます。

注 意

受信スタック上の実際の先頭ディスクリプタは、ホストによる受信スタックレジスタ書き込みによってクリアされません。

(3) Rx MAC の処理

Rx MAC の処理はポート 1 およびポート 2 上で行われます。

Rx MAC の動作 :

- Rx MAC は、以下の条件を満たすとき、標準のイーサネットフレームをいつでも受け付けます。
 - 宛先アドレスが MAC アドレスに一致する、もしくは、ブロードキャストアドレスが指定されている (ブロードキャストが有効である必要があります)
 - 受信バッファがフルでない (フルの場合は、エラーカウンタ aDiscardResRxBuf がインクリメントされます)
- 完全なフレームをエラーなしで受信した場合、ディスクリプタはスタックに格納され、受信完了を示す IPRxRdy がセットされ、受信バッファがフルの場合は IPRxBufFull ビットがセットされます。IPRxEvent (IPRxRdy または IPRxBufFull) が生成され、対応する割り込みが許可されている場合、ホストに割り込みが要求されます。
- FCS エラーを含むフレームを受信した場合、そのフレームは廃棄され、カウンタ aFCSErrors がインクリメントされます。
- アライメント不正のフレームを受信した場合、そのフレームは廃棄され、カウンタ aAlignmentErrors がインクリメントされます。
- IP イネーブルビットが非アクティブの場合 (SIII モード) で、Rx MAC が IP チャンネル境界 (Event_IPChannel_Open および Event_IPChannel_RxClose) に違反する標準イーサネットフレームを受信した場合、エラーカウンタ aIPChannelViolation がインクリメントされます。

Rx RAM のフレーム構造 :

受信した各標準イーサネットフレームは、次のように格納されます。

表 8.124 Rx RAM のフレーム構造

DA	SA	Type	データ	FCS

8.5.13.6 残りフレーム長 (IPLASTFL)

アプリケーションによっては、IP チャンネルの帯域幅を最大限活用するために、IP フレームの残りのバイト長をポートタイマの最終送信イベントにセットすることがあります。キュー内のフレーム長が既知の場合 (ストア&フォワード)、最終送信イベント後にそのフレーム長も送信することが可能です。

以下の図に IPLASTFL の効果を示します。IPLASTFL を使用しない場合、パケット 3 とパケット b、パケット c、およびパケット d は次のサイクルにシフトされ、多くの帯域幅が無駄に消費されます。さらに、IP 送信クローズイベントまでに少なくとも 1 つの IFG 用に余分なスペースが残ります。

表 8.125 残りフレーム長レジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 00B0h	IPLASTFL	残りフレーム長

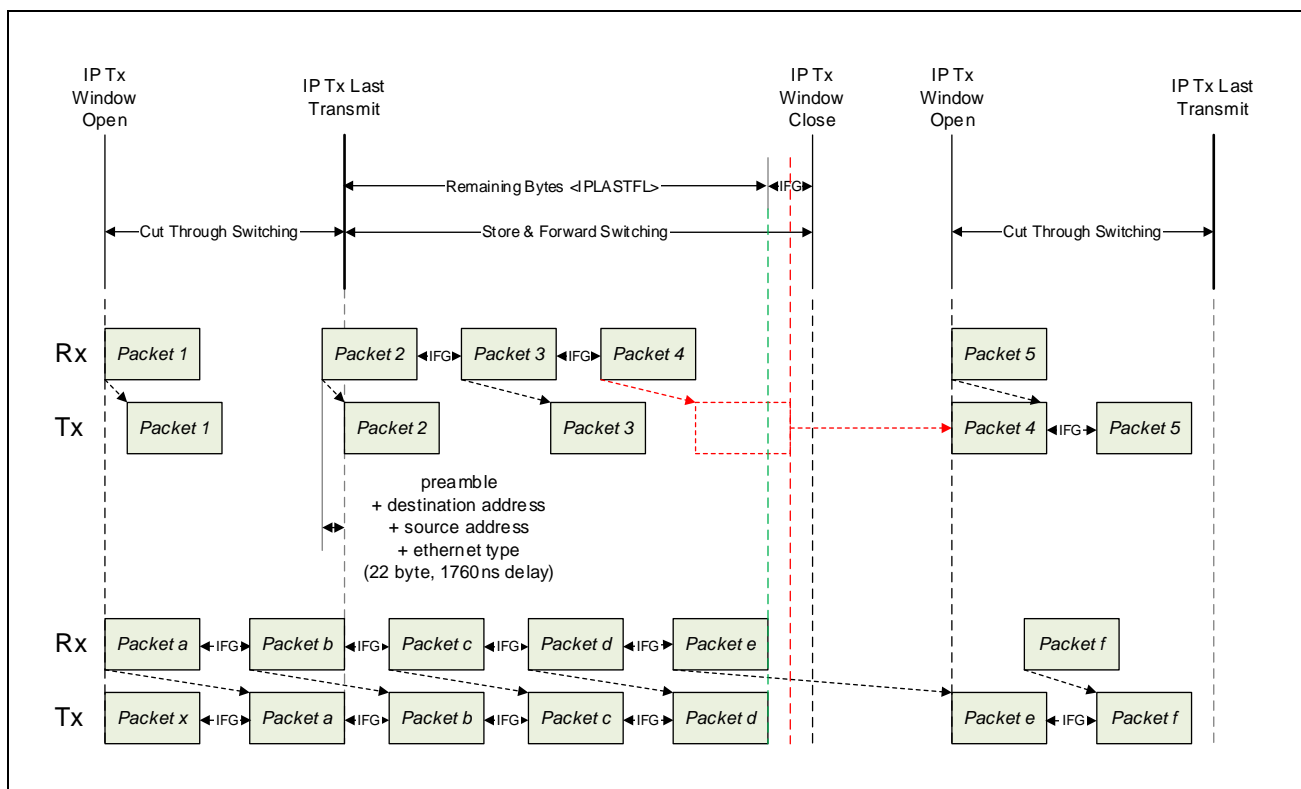


図 8.21 IPLASTFL の効果

8.5.13.7 フレームカウンタおよびエラーカウンタ

1 ポート当たり 8 つのカウンタが実装されており、有効な受信／送信フレームの合計数、5 つの異なる通信エラー、追加の Sercos III サムエラーをカウントします。エラーカウンタは、0xFFFF で飽和します。すべてのカウンタは、aSercosErrorCount に書き込むことでリセット可能です。

表 8.126 フレームカウンタおよびエラーカウンタレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 00C0h	IPFRXOK	IP aFramesReceivedOK
4402 00C4h	IPFTXOK	IP aFramesTransmittedOK
4402 00C8h	IPFCSEERR	IP aFCSErrors
4402 00CCh	IPALGNERR	IP aAlignmentErrors
4402 00D0h	IPDISRXB	IP aDiscardResRxBuf
4402 00D4h	IPDISCLB	IP aDiscardResColBuf
4402 00D8h	IPCHVIOL	IP aIPChannelViolation
4402 00DCh	aSercosErrorCount	Sercos III エラーカウンタ

(1) IP aFramesReceivedOK

そのポートでエラーなく受信したすべてのフレームの数をカウントします（リソース不足により転送および廃棄されたフレームを含む）。

(2) IP aFramesTransmittedOK

そのポートで送信されたすべてのフレームの数をカウントします（転送されたフレームを含む）。

(3) IP aFCSErrors

不正な FCS（フレームチェックシーケンス）または RxER を示す受信イーサネットフレームの数をカウントします。

(4) IP aAlignmentErrors

本カウンタは、不正なイーサネットフレームが検出されるとインクリメントされます。不正なフレームとは、アライメントエラーのあるフレームです。

注 意

プリアンブルと SFD（スタートフレームデリミタ）が検出されないフレームは廃棄されます。

(5) IP aDiscardResRxBuf

本カウンタは、受信バッファリソースが不足した場合に、廃棄された受信イーサネットフレームの数をカウントします。

(6) IP aDiscardResColBuf

本カウンタは、コリジョンバッファリソースが不足した場合に、廃棄された転送イーサネットフレームの数をカウントします。

(7) IP aIPChannelViolation

本カウンタは、IP チャンネルの時間境界に違反しているイーサネットフレームを検出するとインクリメントします。

(8) Sercos III エラーカウンタ

本カウンタは、FCS が不正、またはアライメントが不正な Sercos III イーサネットフレームの数をカウントします。本カウンタは 0xFFFF で飽和し、0xFFFF を書き込むとクリアすることが可能です。

8.5.14 MDIO コントロール

本レジスタを使用すると、コンフィグレーションおよび診断のために PHY レジスタを読み書きできます。1 つのインタフェースだけを使用して、固有のアドレスで PHY を選択することが可能です。PHY のアドレス指定方法は実装依存です。

表 8.127 MDIO コントロールレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0074h	MIICSR	MDIO コントロール/ステータスレジスタ

8.5.15 デバッグ出力コントロール

デバッグ出力コントロールレジスタを使用すると、テスト信号出力 S3_TESTPIN1 および S3_TESTPIN2 に内部信号を出力することが可能です。

表 8.128 デバッグ出力コントロールレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 0078h	DBGOCR	デバッグ出力制御

選択可能な出力信号および対応するコード：

表 8.129 デバッグ出力信号および対応するコード

値	信号スレーブ	説明
0	ポート 1 の MST	ポート 1 の Rx MAC からの MST パルス (期間 : 40ns)
1	ポート 2 の MST	ポート 2 の Rx MAC からの MST パルス (期間 : 40ns)
2	TMST	MST ジェネレータの後の TMST 信号
3	CON_CLK	TCNT タイマからの CON_CLK
4	DIV_CLK	DIV_CLK ユニットからの DIV_CLK (存在する場合のみ)
5	TCNT リロード	TCNT タイマのオーバーフロー
6	ポート 1 の TCNT リロード	ポート 1 タイマのオーバーフロー
7	ポート 2 の TCNT リロード	ポート 2 タイマのオーバーフロー
8	ポート 1 の IP オープン	ポート 1 の IP ウィンドウ
9	ポート 1 の IP オープン書き込み	ポート 1 の IP 送信ウィンドウ
10	ポート 2 の IP オープン	ポート 2 の IP ウィンドウ
11	ポート 2 の IP オープン書き込み	ポート 2 の IP 送信ウィンドウ
12	ポート 1 の MST ウィンドウオープン	ポート 1 の MST ウィンドウ
13	ポート 2 の MST ウィンドウオープン	ポート 2 の MST ウィンドウ
14	ポート 1 の受信フレーム	ポート 1 におけるフレーム受信
15	ポート 2 の受信フレーム	ポート 2 におけるフレーム受信

8.5.16 Sercos III LED コントロール

表 8.130 Sercos III の LED コントロールレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4402 005Ch	S3LED	Sercos III LED コントロール

8.5.16.1 S3LED

Sercos III の LED は 2 つの色でコントロールされます。ハードウェアは約 4Hz または約 2Hz の間で両者をトグルします。

各 Color[n] ビットの MSB は S3_LED_RD に出力され、各 Color[n] ビットの LSB は S3_LED_GN に出力されま

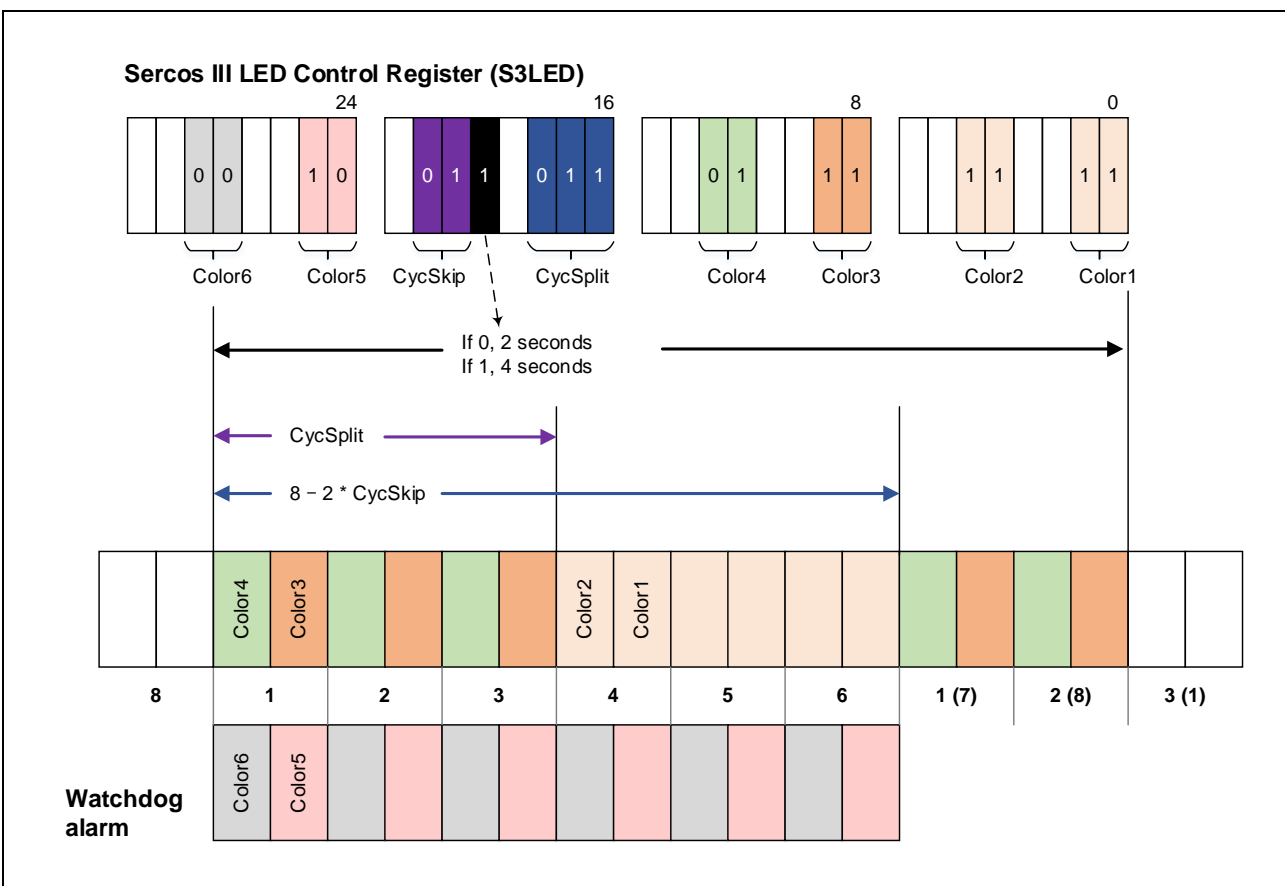


図 8.22 LED コントロール

8.5.16.2 アクティブ LED

表 8.131 アクティブ LED の動作

Sercos III のフェーズ	説明
NRT	アクティビティ中（アクティブ状態が少なくとも 250ms 続いているとき）は、約 2Hz で点滅します。アクティブなコリジョンバッファがあるとき、両ポートの LED が同時に点滅します。アクティブなコリジョンバッファがなければ、180°の位相シフトを伴います。
CP0~CP3 または CP5	LED は、ネットワークにトラフィックが存在する限り、アクティブポートでは常にオンとなります。非アクティブポートの LED は、トラフィック中、約 2Hz で点滅します。
CP4	非同期：CP0~CP3 に同じ 同期：アクティビティ中、他のスレーブと同期して約 4Hz で点滅します。

第9章 R-IN Engine アクセサリレジスタ

すべての R-IN Engine アクセサリレジスタは 32 ビット単位でアクセス可能です。

9.1 レジスタマップ

表 9.1 R-IN Engine アクセサリレジスタ一覧

アドレス	レジスタシンボル	レジスタ名
400F 2004h	IDCODE	IDCODE レジスタ
400F 2010h+4h×n	SCRATCH[n] (n=0~3)	スクラッチレジスタ[n]
400F 2100h	RINSPCMD	R-IN システムプロテクトコマンドレジスタ
400F 2110h	RTOSRST	HW-RTOS および HW-RTOS GMAC リセットレジスタ

9.2 レジスタの説明

9.2.1 IDCODE — IDCODE レジスタ

アドレス 400F 2004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDCODE															
リセット後の値	0	1	0	1	0	0	1	0	0	1	0	0	1	0	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IDCODE															
リセット後の値	0	1	0	0	1	1	1	0	0	0	1	1	0	0	1	1

表 9.2 IDCODE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	IDCODE	本レジスタを使用して R-IN Engine を識別します。本レジスタを読み出すと、RIN3 が ASCII コードで返されます。	R

9.2.2 SCRATCH[n] — スクラッチレジスタ [n] (n = 0~3)

アドレス 400F 2010h+4h×n

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SCRATCH[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCRATCH[n]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 9.3 SCRATCH[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	SCRATCH[n]	汎用レジスタ[n]	R/W

9.2.3 RINSPCMD — R-IN システムプロテクトコマンドレジスタ

アドレス 400F 2100h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RINSP CMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.4 RINSPCMD レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b1	予約ビット	書き込み時は0を書き込んでください。読み出し時は無視してください。	R
b0	RINSPCMD	保護されたレジスタへの書き込みアクセス許可 0：書き込みアクセス禁止 1：書き込みアクセス許可	R/W

9.2.4 RTOSRST — HW-RTOS および HW-RTOS GMAC リセットレジスタ

アドレス 400F 2110h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RTOSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 3.5 RTOSRST レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b1	予約ビット	書き込み時は0を書き込んでください。読み出し時は無視してください。	R
b0	RTOSRST	HW-RTOS および HW-RTOS GMAC のリセット制御 0：リセットをアサート 1：リセットをデアサート	R/W

9.3 使用上の注意事項

9.3.1 R-IN Engine アクセサリレジスタ

9.3.1.1 R-IN システムプロテクトコマンドレジスタ (RINSPCMD)

保護解除手順

1. RINSPCMD レジスタに 0000_00A5h を書き込む
2. RINSPCMD レジスタに 0000_0001h を書き込む
3. RINSPCMD レジスタに 0000_FFFEh を書き込む
4. RINSPCMD レジスタに 0000_0001h を書き込む

保護手順

1. RINSPCMD レジスタの LSB に 0b を書き込む (書き込み禁止有効)。

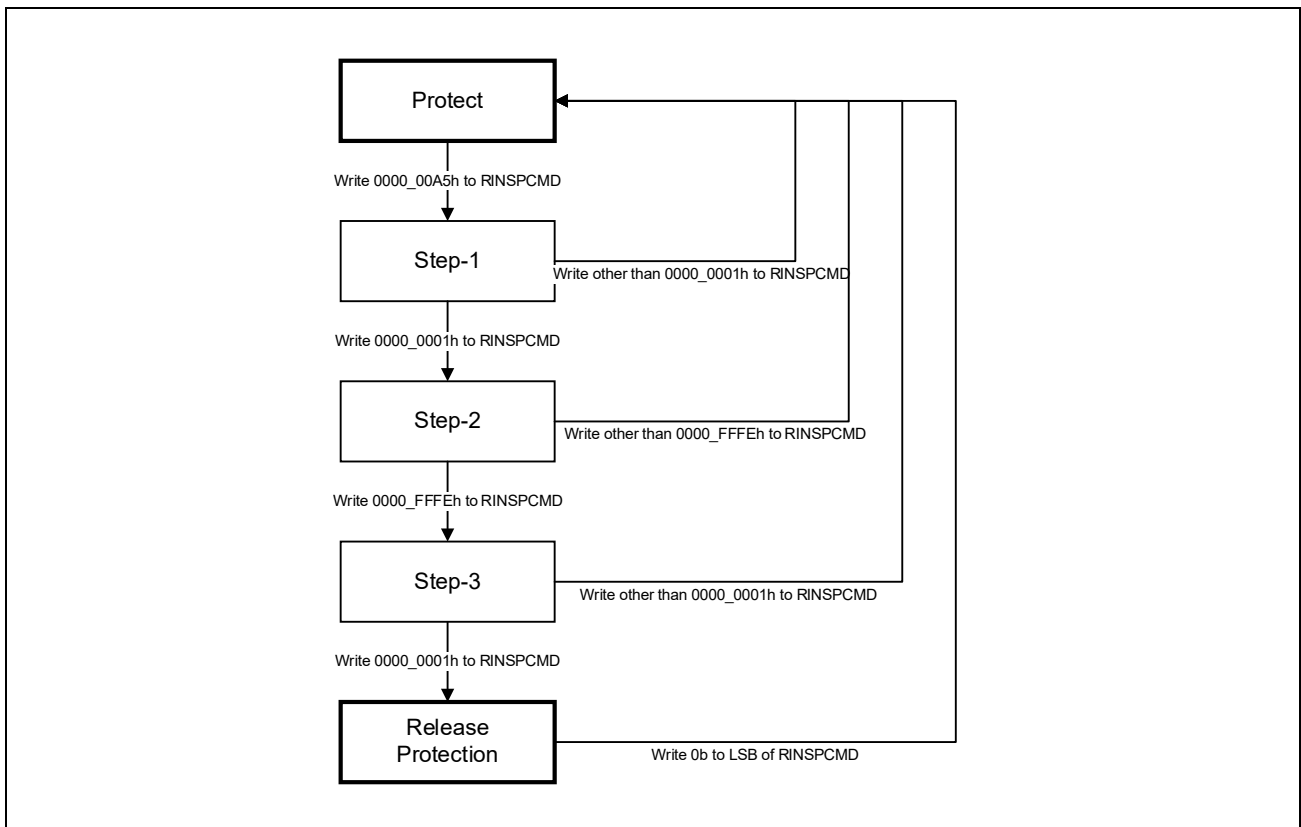


図 3.1 R-IN システムプロテクトコマンドレジスタの動作シーケンス

9.3.1.2 HW-RTOS リセットレジスタ (RTOSRST)

RTOSRST レジスタを使用して、HW-RTOS GMAC のリセット状態をソフトウェアで制御します。RTOSRST のリセット値は0です。これは、RTOSRST がセットされない限り HW-RTOS GMAC がリセット状態のままであることを意味します。

動作中に HW-RTOS GMAC をリセットするには、RTOSRST に0を書き込みます。さらに、本ビットに0がセットされたことを確認後、1を書き込みリセット状態を解除します。

本レジスタは、R-IN システムプロテクトコマンドレジスタ (RINSPCMD) によって書き込み保護されています。本レジスタへの書き込みを実行するには、RINSPCMD レジスタを使用して書き込み禁止を解除して下さい。

第10章 イーサネットアクセサリレジスタ

すべてのイーサネットアクセスレジスタは 32 ビット単位でアクセス可能です。

10.1 レジスタマップ

表 10.1 イーサネットアクセサリレジスタ一覧

アドレス	レジスタシンボル	レジスタ名
4403 0000h	PRCMD	イーサネットプロテクトレジスタ
4403 0004h	ESIDCODE	イーサネット機能 IDCODE レジスタ
4403 0008h	MODCTRL	モードコントロールレジスタ
4403 000Ch	PTPMCTRL	PTP モードコントロールレジスタ
4403 0014h	PHYLNK	イーサネット PHY リンクモードレジスタ
4403 0020h	PTCTRL	ポートトリガコントロールレジスタ
4403 0024h	DMACTRL	DMAC コントロールレジスタ
4403 0100h+4h×(m-1)	CONVCTRL[m] (m=1~5)	RGMII/RMII コンバータ[m]コントロールレジスタ
4403 0114h	CONVRST	RGMII/RMII コンバータリセットコントロールレジスタ
4403 0200h	ECATOFFADR	EtherCAT PHY オフセットアドレスレジスタ
4403 0204h	ECATOPMOD	EtherCAT オペレーションモードレジスタ
4403 0208h	ECATDBG	EtherCAT デバッグコントロールレジスタ
4403 0280h	SCINTCON	SERCOS 割り込みコントロールレジスタ
4403 0304h	SWCTRL	A5PSW コントロールレジスタ
4403 0308h	SWDUPC	A5PSW デュプレックスモードレジスタ
4403 0500h	RMTAGCTRL	HW-RTOS GMAC 管理 TAG コントロールレジスタ
4403 0600h	HSRMODE	HSR モード表示レジスタ

10.2 レジスタの説明

10.2.1 PRCMD — イーサネットプロテクトレジスタ

アドレス 4403 0000h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PRCMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.2 PRCMD レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b1	予約ビット	予約されています。	R
b0	PRCMD	保護されたレジスタへの書き込みアクセス許可 0 : 書き込みアクセス禁止 1 : 書き込みアクセス許可	R/W

10.2.2 ESIDCODE — イーサネット機能 IDCODE レジスタ

アドレス 4403 0004h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ES_IDCODE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ES_IDCODE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X

表 10.3 ESIDCODE レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b0	ES_IDCODE	ID コード (RZ/N1D) : 0x0000_0001 (RZ/N1S、RZ/N1L) : 0x0000_0002	R

10.2.3 MODCTRL — モードコントロールレジスタ

アドレス 4403 0008h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	SW_MODE				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.4 MODCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	予約されています。	R
b4~b0	SW_MODE	イーサネットインタフェース接続を選択します。『RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル アーキテクチャ・製品データ編』の『8.2.1 イーサネットポートの内部接続』を参照してください。	R/W

10.2.4 PTPMCTRL — PTP モードコントロールレジスタ

アドレス 4403 000Ch

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	RGMII_CLKSEL	PTP_MODE			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.5 PTPMCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	予約されています。	R
b4	RGMII_CLKSEL	RGMII のクロックソースを選択 0 : 125MHz (PLL より生成) 1 : RGMII_REFCLK (外部端子からの 125MHz) 備考 本ビットは、CONV_MODE が RGMII モードではない場合は無視されます。	R/W
b3~b0	PTP_MODE	GMAC1 および GMAC2 用 PTP タイマのクロックソースを選択 0000b : 停止 (Low レベル) 0001b : RGMII_REFCLK (外部端子からの 125MHz) 0010b : 125MHz (PLL より生成) 0011b : 50MHz (PLL より生成) 0100b : 25MHz (PLL より生成) 上記以外 : 予約 (セットしないでください)	R/W

10.2.5 PHYLNK — イーサネット PHY リンクモードレジスタ

アドレス 4403 0014h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	S3LNK	—		CATLNK			SWLNK			
リセット後の値	0	0	0	0	0	0	1	1	0	1	1	1	0	0	0	0

表 10.6 PHYLNK レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b10	予約ビット	予約されています。	R
b9、b8	S3LNK	SERCOS3 リンク信号アクティブレベル選択 0 : アクティブ Low 1 : アクティブ High (デフォルト) 備考) 各ビットの対応を下記に示します。 S3LNK[0]により S3_MII_LINKP[1]を制御 S3LNK[1]により S3_MII_LINKP[2]を制御	R/W
b7	予約ビット	予約されています。	R
b6~b4	CATLNK	EtherCAT リンク信号アクティブレベル選択 0 : アクティブ Low 1 : アクティブ High (デフォルト) 備考) 各ビットの対応を下記に示します。 CATLNK[0]により CAT_MII_LINK[0]を制御 CATLNK[1]により CAT_MII_LINK[1]を制御 CATLNK[2]により CAT_MII_LINK[2]を制御	R/W
b3~b0	SWLNK	A5PSW リンク信号アクティブレベル選択 0 : アクティブ High (デフォルト) 1 : アクティブ Low 備考) 各ビットの対応を下記に示します。 SWLNK[0]により SWITCH_MII_LINK[5]を制御 SWLNK[1]により SWITCH_MII_LINK[4]を制御 SWLNK[2]により SWITCH_MII_LINK[3]を制御 SWLNK[3]により SWITCH_MII_LINK[2]を制御	R/W

10.2.6 PTCTRL — ポートトリガコントロールレジスタ

アドレス 4403 0020h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TRG_SEL		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.7 PTCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b3	予約ビット	予約されています。	R
b2~b0	TRG_SEL	ポートトリガのソースを選択 (GPIO_TRIGGER[3:0]) (「10.4.2 ポートトリガコントロールレジスタ」を参照してください。)	R/W

10.2.7 DMACTRL — DMAC コントロールレジスタ

アドレス 4403 0024h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DREQ_WCNT								—	DREQ_ERR						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	DREQ_BSY							DREQ_SEL	DREQ_EN						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.8 DMACTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b24	DREQ_WCNT	DMA 転送要求の待機制御 11111111b : 256 クロックサイクル分待機 : 00000000b : 1 クロックサイクル分待機	R/W
b23	予約ビット	予約されています。	R
b22~b16	DREQ_ERR	DMA エラー状態 (ビット 0=ETH_DMA_Request[0]~ビット 6= ETH_DMA_Request[6]) 0 : 通常状態 1 : エラー状態	R/W
b15	予約ビット	予約されています。	R
b14~b8	DREQ_BSY	DMA ビジー状態 (ビット 0=ETH_DMA_Request[0]~ビット 6= ETH_DMA_Request[6]) 0 : 何もしない 1 : DMA 転送	R
b7	DREQ_SEL	DMA 要求選択 (ETH_DMA_Request[0]および ETH_DMA_Request[1]) 0 : EtherCAT 1 : Sercos3	R/W
b6~b0	DREQ_EN	DMA 要求許可 (ビット 0=ETH_DMA_Request[0]~ビット 6= ETH_DMA_Request[6]) 0 : DMA 要求を禁止 1 : DMA 要求を許可	R/W

10.2.8 CONVCTRL[m] — RGMII/RMII コンバータ[m]コントロールレジスタ (m=1~5)

アドレス 4403 0100h+4h× (m-1)

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	RGMII_DLY_TY PE	RGMII_TX_TYP E	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RGMII_SPEED	RGMII_DUPLE X	RGMII_LINK	—	RMII_C RS_MO DE	RMII_R X_ER_ EN	FULLD	—	—	—	CONV_MODE					
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

表 10.9 CONVCTRL[m]レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W
b31~b28	予約ビット	予約されています。	R
b27~b26	RGMII_DLY_TYPE	RGMII クロックの遅延制御タイプを表示 00b : 適用しない 上記以外 : 予約	R
b25、b24	RGMII_TX_TYPE	RGMII TX クロックの制御タイプを表示 01b : 通常のクロック入力を使用 上記以外 : 予約	R
b23~b16	予約ビット	予約されています。	R
b15、b14	RGMII_SPEED	リンク速度を表示 (RGMII モードのみ ^{注1}) 00b : 2.5MHz 01b : 25MHz 10b : 125MHz 11b : 予約ビット	R
b13	RGMII_DUPLEX	双方向の状態を表示 (RGMII モードのみ ^{注1}) 0 : 半二重 1 : 全二重	R
b12	RGMII_LINK	リンク状態を表示 (RGMII モードのみ ^{注1}) 0 : ダウン 1 : アップ	R
b11	予約ビット	予約されています。	R
b10	RMII_CRD_MODE	CRS 検出モード (RMII モードのみ) 0 : CRS または TX_EN 1 : CRS または TX_EN または RX_DV	R/W
b9	RMII_RX_ER_EN	GMII[m]_RXER ピン入力制御 (RMII モードのみ) 0 : 無効 (常に 0) 1 : 有効	R/W
b8	FULLD	デュプレックスモード (RMII/RGMII モード) 0 : 半二重 1 : 全二重	R/W
b7~b5	予約ビット	予約されています。	R

表 10.9 CONVCTRL[m]レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W
b4~b0	CONV_MODE	コンバータオペレーションモード 00000b および 10000b : MII モード (スルーモード) 00100b : RMII モード (10Mbps REF_CLK 入力) 00101b : RMII モード (100Mbps REF_CLK 入力) 10100b : RMII モード (10Mbps REF_CLK 出力) 10101b : RMII モード (100Mbps REF_CLK 出力) 01000b および 11000b : RGMII モード (10Mbps) 01001b および 11001b : RGMII モード (100Mbps) 01010b および 11010b : RGMII モード (1000Mbps) 上記以外 : 予約 (使用しない)	R/W

注1. 本ステータス機能をサポートするのは、外部 PHY が RGMII オプション仕様を搭載しフレーム間信号が RXD[3:0]信号上で運ばれる場合のみです。

10.2.9 CONVRST — RGMII/RMII コンバータリセットコントロールレジスタ

アドレス 4403 0114h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	PHYIF_RSTn				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.10 CONVRST レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	予約されています。	R
b4~b0	PHYIF_RSTn	RGMII コンバータのリセット解除 0 : RGMII コンバータをリセット 1 : RGMII コンバータを起動	R/W

10.2.10 ECATOFFADR — EtherCAT PHY オフセットアドレスレジスタ

アドレス 4403 0200h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	OADD				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.11 ECATOFFADR レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b5	予約ビット	予約されています。	R
b4~b0	OADD	EtherCAT の PHY アドレスオフセット	R/W

10.2.11 ECATOPMOD — EtherCAT オペレーションモードレジスタ

アドレス 4403 0204h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	I2CSIZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.12 ECATOPMOD レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b1	予約ビット	予約されています。	R
b0	I2CSIZE	EtherCAT 用 I2C メモリサイズを選択 0 : 最大 16k ビットの EEPROM 1 : 32k ビット~4M ビットの EEPROM)	R/W

10.2.12 ECATDBGC — EtherCAT デバッグコントロールレジスタ

アドレス 4403 0208h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TXSFT2	—	—	—	—	—	—	—	—	—	TXSFT2	TXSFT1	TXSFT0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.13 ECATDBGC レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b30	予約ビット	常に 0 を書き込みます。	R/W
b29~b6	予約ビット	予約されています。	R
b5、b4	TXSFT2	EtherCAT スレーブコントローラの Tx clock (GMII3_TXCLK) 遅延を選択 00b : 0ns 01b : 10ns 10b : 20ns 11b : 30ns	R/W
b3、b2	TXSFT1	EtherCAT スレーブコントローラの Tx clock (GMII4_TXCLK) 遅延を選択 00b : 0ns 01b : 10ns 10b : 20ns 11b : 30ns	R/W
b1、b0	TXSFT0	EtherCAT スレーブコントローラの Tx clock (GMII5_TXCLK) 遅延を選択 00b : 0ns 01b : 10ns 10b : 20ns 11b : 30ns	R/W

10.2.13 SCINTCON — SERCOS 割り込みコントロールレジスタ

アドレス 4403 0280h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	SC_DIV_SEL	—	—	—	—	SC_CON_SEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.14 SCINTCON レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b6	予約ビット	予約されています。	R
b5、b4	SC_DIV_SEL	S3_DIVCLK 割り込み (SERCOS3_DIVCLK_Int) 検出タイプの制御 00b : スルーモード (オリジナル S3_DIVCLK) 01b : 立ち上がりエッジトリガ 10b : 立ち下がりエッジトリガ 11b : 両エッジトリガ	R/W
b3、b2	予約ビット	予約されています。	R
b1、b0	SC_CON_SEL	S3_CONCLK 割り込み (SERCOS3_CONCLK_Int) 検出タイプの制御 00b : スルーモード (オリジナル S3_CONCLK) 01b : 立ち上がりエッジトリガ 10b : 立ち下がりエッジトリガ 11b : 両エッジトリガ	R/W

10.2.14 SWCTRL — A5PSW コントロールレジスタ

アドレス 4403 0304h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STRAP_HUB_ENB	STRAP_SX_ENB	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	SET1000				SET10				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

表 10.15 SWCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b18	予約ビット	予約されています。	R
b17	STRAP_HUB_ENB	PORT_ENA および AUTH_PORT[n]レジスタの初期値を制御することにより、本ビットおよび STRAP_SX_ENB ビットで初期ポート動作を選択します (PWRCTRL_SWITCH の RSTN_B ビットが 0 の間にセットします)。 0: STRAP_SX_ENB ビットが 0 の場合、全ポート無効。それ以外の場合、管理ポートを除く全ポート有効。 1: STRAP_SX_ENB ビットが 0 の場合、ポート 0 およびポート 1 のみ有効。それ以外の場合、全ポート有効。	R/W
b16	STRAP_SX_ENB	PORT_ENA および AUTH_PORT[n]レジスタの初期値を制御することにより、本ビットおよび STRAP_HUB_ENB ビットで初期ポート動作を選択します (PWRCTRL_SWITCH の RSTN_B ビットが 0 の間にセットします)。 0: STRAP_HUB_ENB ビットが 0 の場合、全ポート無効。それ以外の場合、ポート 0 およびポート 1 のみ有効。 1: STRAP_HUB_ENB ビットが 0 の場合、管理ポートを除く全ポート有効。それ以外の場合、全ポート有効。	R/W
b15~b8	予約ビット	予約されています。	R
b7~b4	SET1000	本ビットは、COMMAND_CONFIG_P[n]レジスタ (n=0~3) の ETH_SPEED ビットと同様に機能します。1000Mbps 使用選択のためのポート制御をします。ビット 0=ポート 0~ビット 3=ポート 3。 0: 1000Mbps 以外 1: 1000Mbps 備考) COMMAND_CONFIG_P[n]レジスタの ETH_SPEED ビットを使用することを推奨します。その場合は本ビットを 0 にセットしてください。	R/W
b3~b0	SET10	本ビットは STATUS_P[n]レジスタ (n=0~3) の PHYSPEED 以外には影響しません。 HUB 機能で動作させる場合は、STATUS_P[n].PHYSPEED に適切に反映されるように設定してください。速度設定は、STATUS_P[n].PHYSPEED を参照ください。	R/W

10.2.15 SWDUPC — A5PSW デュプレックスモードレジスタ

アドレス 4403 0308h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PHY_DUPLEX			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

表 10.16 SWDUPC レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b4	予約ビット	予約されています。	R
b3~b0	PHY_DUPLEX	各ポートの MAC を全二重動作または半二重動作に設定します。ビット 0=ポート 0 ~ビット 3=ポート 3。本ビットは、COMMAND_CONFIG_P[n]レジスタの HD_ENA ビットが 0 の場合は無視されます。 0: 半二重 1: 全二重 備考) COMMAND_CONFIG_P[n]レジスタの HD_ENA ビットを使用することを推奨します。その場合は本ビットを 0 にセットしてください。	R/W

10.2.16 RMTAGCTRL — HW-RTOS GMAC 管理 TAG コントロールレジスタ

アドレス 4403 0500h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MGMT_TAG															
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MGMT_ENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.17 RMTAGCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b16	MGMT_TAG	管理タグの EtherType	R/W
b15~b1	予約ビット	予約されています。	R
b0	MGMT_ENB	イーサネットフレームへの管理タグの挿入を許可 0: 禁止 1: 許可 備考) 本ビットで管理タグの挿入を許可する場合は、A5PSW の MGMT_TAG_CONFIG レジスタで管理 Tag 機能も有効にしてください。詳細は、「3.6.3 管理 TAG コントロール」を参照ください。	R/W

10.2.17 HSRMOD — HSR モード表示レジスタ

アドレス 4403 0600h

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HSR_SEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 10.18 HSRMOD レジスタの内容

ビット位置	ビット名	機能	R/W
b31~b1	予約ビット	予約されています。	R
b0	HSR_SEL	HSR モードを表示します。HSR モードは MODCTRL レジスタで選択します。 0 : 非 HSR モード (バッファ RAM を HW-RTOS GMAC で使用) 1 : HSR モード (バッファ RAM を HSR で使用)	R

10.3 動作説明

『RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル アーキテクチャ・製品データ編』の『8.3.2 ETHMODE_SET』を参照してください。

10.4 使用上の注意事項

10.4.1 イーサネットプロテクトレジスタ

アドレス	レジスタシンボル	レジスタ名
4403 0000h	PRCMD	イーサネットプロテクトレジスタ

PRCMD レジスタを使用して、保護されたレジスタへの書き込みアクセスを許可します。本レジスタは、ソフトウェア暴走によってアプリケーションシステムが異常動作を起こすリスクを軽減します。

イーサネットプロテクトレジスタによって保護されるレジスタの一覧を以下に示します。

表 10.19 イーサネットプロテクトレジスタによって保護されるレジスタ一覧

アドレス	レジスタシンボル	レジスタ名
4403 0008h	MODCTRL	モードコントロールレジスタ
4403 000Ch	PTPMCTRL	PTP モードコントロールレジスタ
4403 0014h	PHYLNK	イーサネット PHY リンクモードレジスタ
4403 0020h	PTCTRL	ポートトリガコントロールレジスタ
4403 0024h	DMACCTRL	DMAC コントロールレジスタ
4403 0114h	CONVRST	RGMII/RMII コンバータリセットコントロールレジスタ
4403 0200h	ECATOFFADR	EtherCAT PHY オフセットアドレスレジスタ
4403 0204h	ECATOPMOD	EtherCAT オペレーションモードレジスタ
4403 0208h	ECATDBGC	EtherCAT デバッグコントロールレジスタ
4403 0280h	SCINTCON	SERCOS 割り込みコントロールレジスタ
4403 0304h	SWCTRL	A5PSW コントロールレジスタ
4403 0308h	SWDUPC	A5PSW デュプレックスモードレジスタ
4403 0500h	RMTAGCTRL	HW-RTOS GMAC 管理 TAG コントロールレジスタ

PRCMD に 1 をセットする前は、保護された各レジスタへの書き込みアクセスは拒絶されます（エラーにはなりません、書き込みデータによる更新はされません）。

PRCMD ビットのセット手順

1. PRCMD レジスタに 0000_00A5h を書き込む
2. PRCMD レジスタに 0000_0001h を書き込む
3. PRCMD レジスタに 0000_FFFEh を書き込む
4. PRCMD レジスタに 0000_0001h を書き込む

PRCMD ビットのクリア手順

1. PRCMD レジスタの LSB に 0b を書き込む（書き込み保護有効）

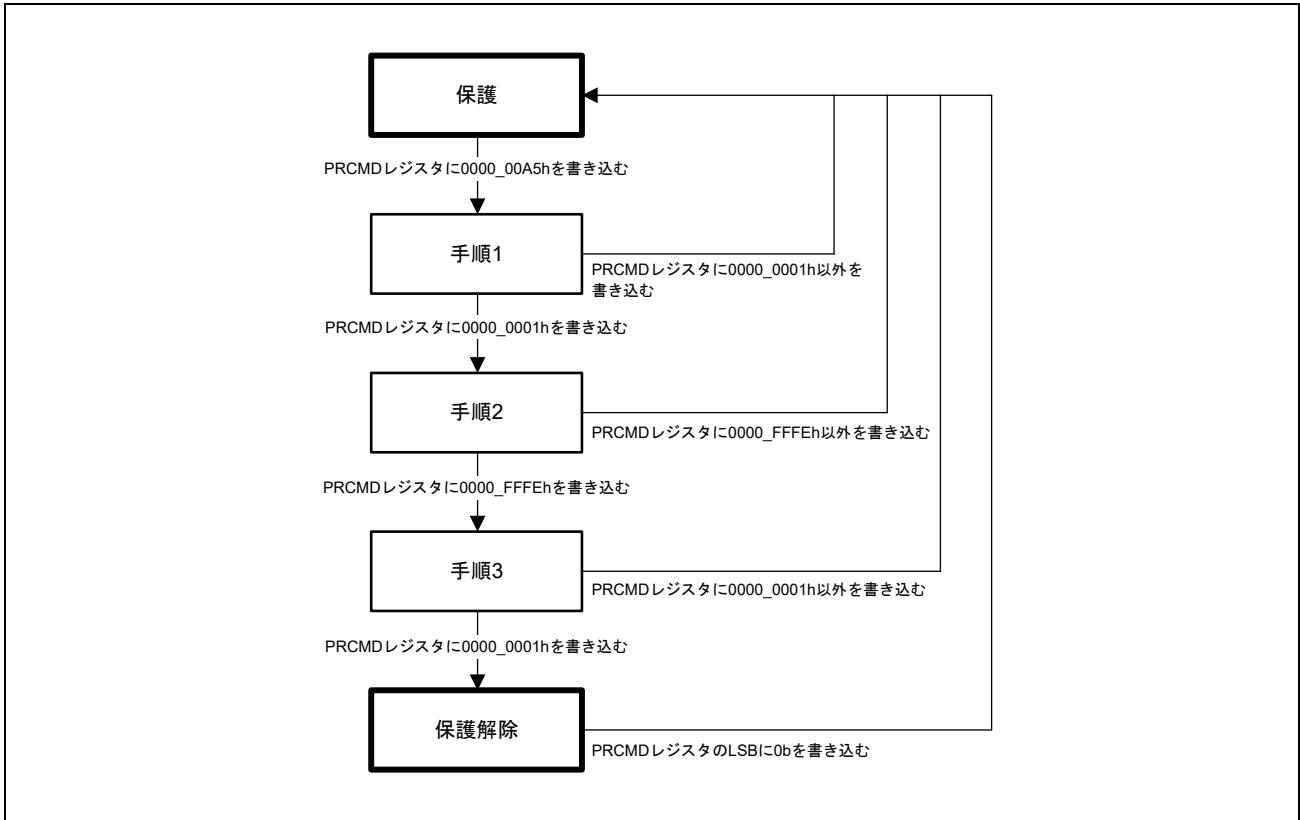


図 10.1 イーサネットプロテクトコマンドシーケンス

10.4.2 ポートトリガコントロールレジスタ

アドレス	レジスタシンボル	レジスタ名
4403 0020h	PTCTRL	ポートトリガコントロールレジスタ

PTCTRL レジスタを使用して、GPIO_TRIGGER[3:0]のポートトリガソースを選択します。以下に選択表を示します。

表 10.20 ポートトリガソース選択

TRG_SEL[2:0]	GPIO_TRIGGER[0]	GPIO_TRIGGER[1]	GPIO_TRIGGER[2]	GPIO_TRIGGER[3]
0	ETHCAT_SYNC_Int[0]	ETHCAT_SYNC_Int[1]	MAC_PPS[0]	MAC_PPS[1]
1	SERCOS3_Int[0]	SERCOS3_Int[1]	MAC_PPS[0]	MAC_PPS[1]
2	ETHCAT_SYNC_Int[0]	ETHCAT_SYNC_Int[1]	MAC_TRIG[1]	MAC_PPS[0]
3	SERCOS3_Int[0]	SERCOS3_Int[1]	MAC_TRIG[1]	MAC_PPS[0]
4	(予約ビット)	MAC_TRIG[1]	MAC_PPS[0]	MAC_PPS[1]
5~7	(予約ビット)	(予約ビット)	(予約ビット)	(予約ビット)

10.4.3 イーサネット PHY リンクモードレジスタ

アドレス	レジスタシンボル	レジスタ名
4403 0014h	PHYLNK	イーサネット PHY リンクモードレジスタ

リンク信号の入力コントロールレジスタです。デフォルトの PHY リンク信号はアクティブ High です。PHY が出力するリンク LED がアクティブ Low の場合は本レジスタの設定を変更してください。

10.4.4 DMAC コントロールレジスタ

アドレス	レジスタシンボル	レジスタ名
4403 0024h	DMACCTRL	DMAC コントロールレジスタ

本レジスタは、DMA 要求のソース選択と制御を行います (ETH_DMA_Request[n] (n=0~6))。DREQ_SEL ビットによる選択表を以下に示します。

表 10.21 DMA 要求ソース選択表

DMA 要求ライン ^{注1}	DREQ_SEL	ソース信号	機能
ETH_DMA_Request[0]	0	CAT_SYNC0	EtherCAT SYNC0
ETH_DMA_Request[0]	1	SERCOS3_Int[0]	SERCOS3 割り込みポート 1 (ポート A)
ETH_DMA_Request[1]	0	CAT_SYNC1	EtherCAT SYNC1
ETH_DMA_Request[1]	1	SERCOS3_Int[1]	SERCOS3 割り込みポート 2 (ポート B)
ETH_DMA_Request[2]	0 または 1	MAC_PPS[0]	GMAC1 の出力パルス 0/秒 (MAC1 の PPS0)
ETH_DMA_Request[3]	0 または 1	MAC_PPS[1]	GMAC1 の出力パルス 1/秒 (MAC1 の PPS1)
ETH_DMA_Request[4]	0 または 1	MAC_TRIG[1]	GMAC1 の補助タイムスタンプトリガ (MAC1)
ETH_DMA_Request[5]	0 または 1	S3_CONCLK	SERCOS3 通信同期制御クロック出力
ETH_DMA_Request[6]	0 または 1	S3_DIVCLK	SERCOS3 分割通信クロック出力

注1. 『RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ ユーザーズマニュアル システム・周辺機能 1 編』の『DMA 要求の割り当て』を参照してください。

注 意

DMAC は「DMAC フローコントローラモード」に設定してください。

第11章 MDIO インタフェース

11.1 概要

下図に示すように、アプリケーションは MDIO インタフェースを介して、PHY に制御データを送信し PHY からステータス情報を受信します。

Management Data input/output (MDIO) インタフェースにより、アプリケーションからすべての PHY レジスタへの 2 線アクセスが可能となります。本インタフェースは最大 32 の PHY にアクセスできます。アプリケーションは、32 の PHY のうちの 1 つ、および任意の PHY にある 32 個のレジスタの 1 つを選択して制御データの送信またはステータス情報の受信が可能です。一度に 1 つの PHY 内の 1 レジスタのみアドレス指定可能です。

アプリケーションから PHY に対する通信についての詳細は、『IEEE 802.3z 仕様、1000BASE Ethernet』の『Reconciliation Sublayer and Media Independent Interface Specifications』の章を参照してください。

各信号は GPIO 端子上で他の周辺機能の入出力とマルチプレクスされています。

- 2 つの独立 MDIO インタフェース MDIO1 および MDIO2
- 各 MDIO インタフェースは、以下のモジュールで駆動可能です。
 - GMAC1 および GMAC2
 - HW-RTOS GMAC
 - EtherCAT
 - Sercos III
 - A5PSW
- 1 つの出力モードを管理
 - 2 線式。PHY との直接接続が可能で、以下によって制御されます。
MDC[2:1]、MDIO[2:1]

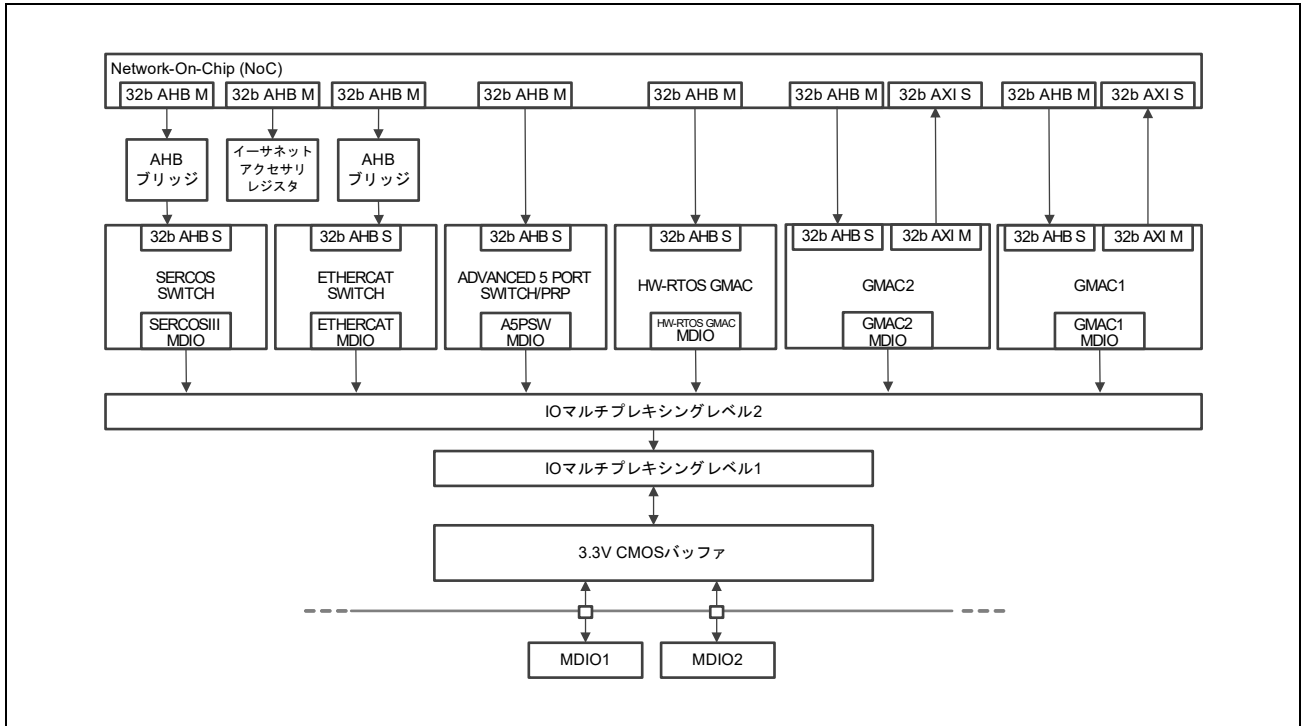


図 11.1 MDIO インタフェースおよび接続

11.2 信号インタフェース

表 11.1 MDIO 信号インタフェース

信号名	入出力	説明	アクティブ
MDC[1]	出力	マネージメントデータクロック	—
MDC[2]	出力	マネージメントデータクロック	—
MDIO[1]	入出力	マネージメントデータ I/O	—
MDIO[2]	入出力	マネージメントデータ I/O	—

11.3 動作説明

二つの独立 MDIO インタフェース MDIO1 および MDIO2 がコンポーネント内で管理されます。

- MDIO1 インタフェースは bGPIOs_Level2_Config_MDIO1 ビットにより設定
- MDIO2 インタフェースは bGPIOs_Level2_Config_MDIO2 ビットにより設定

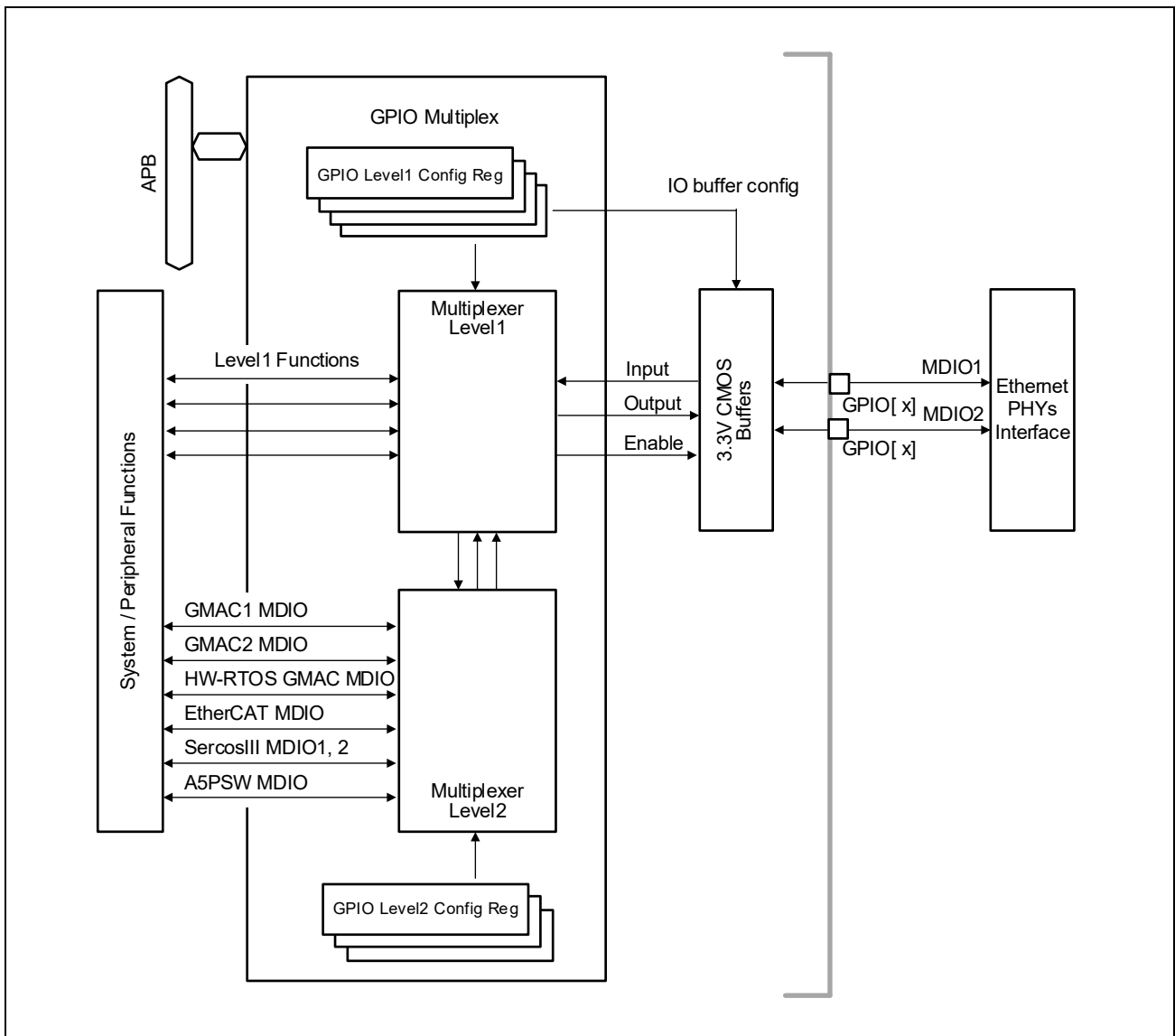


図 11.2 MDIO マルチプレクシングの概要図

MDIO1 および MDIO2 インタフェースは、3.3V 入出力でのみルーティングされます。

- 1 つの出力モードが管理可能
 - 2 線式。PHY 上の直接接続が可能で、以下によって制御される。
 - MDC[2:1]
 - MDIO[2:1]
- 本モードは、IO マルチプレキシングレベル 2 テーブルのファンクション 4 によって直接管理される。
rGPIOs_Level2_Config_[n] (n=0~169) を参照のこと。

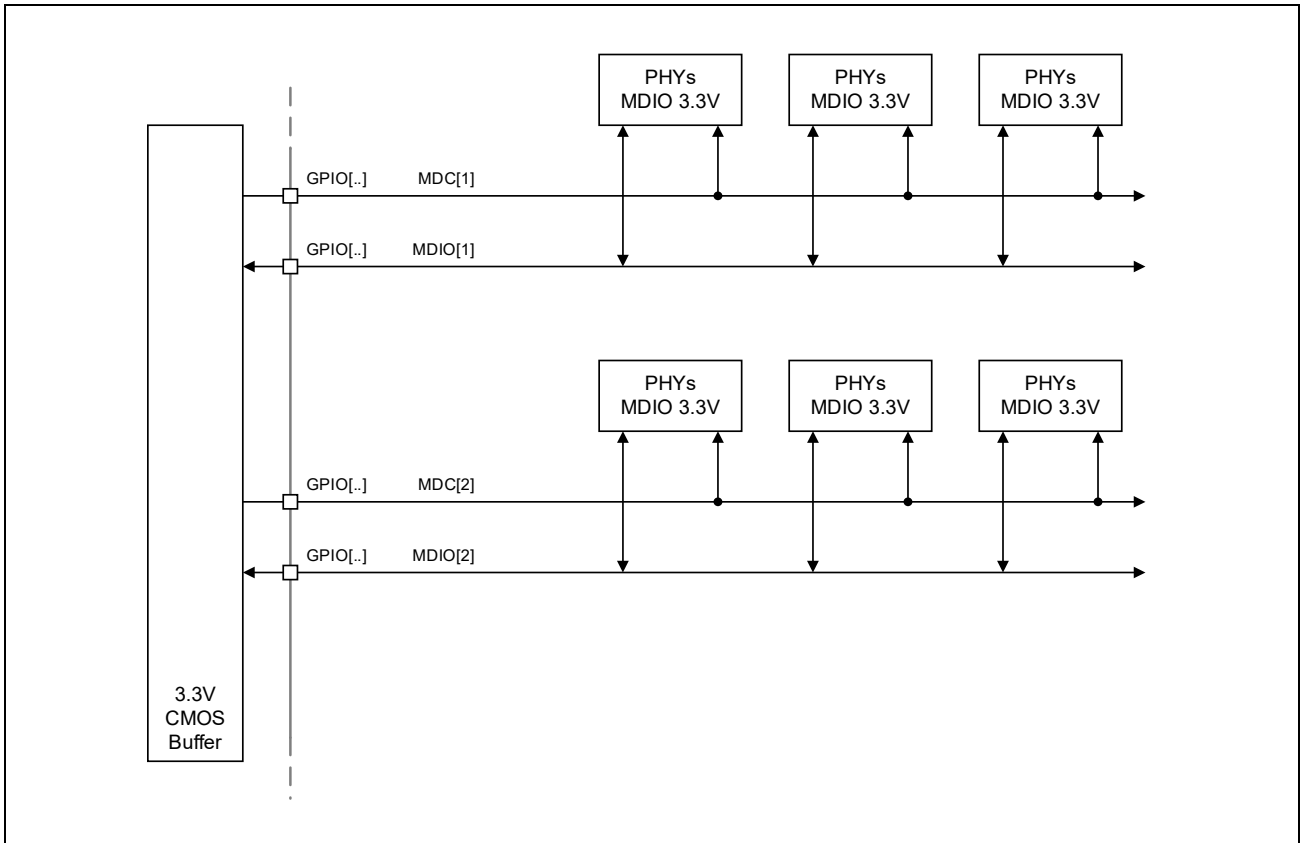


図 11.3 MDIO マルチプレキシングの概要図

改訂記録	RZ/N1Dグループ、RZ/N1Sグループ、RZ/N1Lグループ ユーザーズマニュアル R-IN Engine・イーサネット機能編
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2018.03.30	—	初版発行
0.95	2018.10.19	—	全般の誤記および一部表現を修正
		—	各章における PTP 関連の信号を追記および修正 第 4 章：ts_ns_in を A5PSW_TS_NS_IN に変更 第 6 章：clk_ptp_ref_i を GMAC_PTP_REFCLK_I に変更。 GMAC1_PTP_TIMESTAMP_O、GMAC2_PTP_TIMESTAMP_I、を追加 第 7 章：HSR_OVERWRITE_TIME_I を追加
		—	第 3 章：バッファ RAM エラー割り込みの記述を追加
		—	第 4 章：割り込み名称から Powerlink を削除
		—	第 4 章：使用不可能なレジスタを削除、または説明を追加 対象レジスタは、DLR_TX_STAT0/1
		—	第 4 章：レジスタの制限事項を追加 対象レジスタは、TDMA_T2/T3, PRIORITY_TYPE1/2, AUTH_POT, COMMAND_CONFIG, IMC_STATUS
		—	第 4 章：レジスタの説明を追加 対象レジスタは、MGMT_CONFIG, MODE_CONFIG, COMMAND_CONFIG
		—	第 6 章：非対応のため RevMII レジスタの説明を削除
		—	第 6 章：PMT_Control_Status レジスタの RWKPFPE ビットを削除
		—	第 6 章：エンハンスドディスクリプタの説明を追加
		—	第 6 章：パワーマネジメントブロックにおいて、フィルタコマンド、CRC-16 の計算式、割り込み発生条件、の説明を追加
		—	第 8 章：図 8.11 の誤記を修正
1.00	2019.03.29	—	第 4 章、第 10 章：A5PSW の STATUS_P[n] レジスタの PHYSPEED ビットの記述を変更。これに関連して、COMMAND_CONFIG_P[n] レジスタの ENA_10 ビットと SWCTRL レジスタの SET10 ビットの記述も変更。
		—	第 4 章：PRP_AGETIME レジスタの設定例のエントリテーブル数を 2048 から 8192 に変更
		—	第 4 章：制約事項に半二重動作時の PHY の要件を追記
		—	第 7 章：HSR の初期化フローに重複検出 RAM の初期化を追加。また、HSR_CLK50 ドメインの再リセットが必要な旨を補足。
1.10	2019.07.29	368	第 4 章：制約事項、TDMA スケジューラについて 説明修正
		560、561	第 6 章：Bus_Mode — バスモードレジスタ、PBLx8、RPBL、PBL 説明修正
1.20	2021.02.28	—	全般の誤記および一部表現を修正
		32	第 1 章：1.1 概要、表 1.2 RZ/N1 用イーサネット周辺 説明修正
		119、120	第 4 章：4.1 概要 説明修正
		149	第 4 章：4.4.34 IMC_ERR_FULL — 入力ポートメモリフル切り捨て表示、ipc_err_trunc、ipc_err_full 説明追加
		150	第 4 章：4.4.35 IMC_ERR_IFACE — 入力ポートメモリエラー表示、wbuf_oflow、ipc_err_iface 説明追加
		151	第 4 章：4.4.36 IMC_ERR_QOFLOW — 出力ポートキューオーバーフロー表示、op_error 説明追加
		162	第 4 章：4.4.46 PRIORITY_TYPE2 — プライオリティタイプレジスタ 2、予約ビット、priority、valid 説明修正
		185	第 4 章：4.4.70 PORT[n]_CTRL — ポート[n] タイムスタンプコントロール/ステータス (n=0~3)、TS_KEEP 説明修正
199	第 4 章：4.4.85 PTPAutoResponse_P[n] — ポート[n] PTP 自動レスポンスレジスタ (n=0~3)、PortNumber1、PortNumber0 説明修正		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2021.02.28	224	第4章：4.4.127 STATS_CTRL_P[n] — ポート[n] MAC 統計コントロールレジスタ (n=0~4)、ClearALL 説明修正
		246	第4章：4.4.160 PRP_CONFIG — PRP コンフィグレーションレジスタ、RX_DUP_ACCEPT 説明修正
		252	第4章：4.4.166 PRP_IRQ_CONTROL — PRP 割り込みコントロールレジスタ、WRONGLAN 説明修正
		253	第4章：4.4.167 PRP_IRQ_STAT_ACK — PRP 割り込みステータス/ACK レジスタ、WRONGLAN 説明修正
		256	第4章：4.4.172 CntErrWrongLanA — PRP 誤 ID LAN-A カウントレジスタ 説明修正
		257	第4章：4.4.173 CntErrWrongLanB — PRP 誤 ID LAN-B カウントレジスタ 説明修正
		305	第4章：4.5.3.5 フレームクラス分けとプライオリティ解決、(3) IPv4 と IPv6 のプライオリティルックアップ 説明修正
		308	第4章：4.5.3.7 レイヤ2ルックアップエンジン、(4) アドレスメモリ 説明修正
		335	第4章：4.5.6.2 EEE のための PHY インタフェースのエンコード 注意削除
		337	第4章：4.5.7.2 構成設定 説明修正
		353、354	第4章：4.5.12.2 A5PSW 機能の概要 説明削除
		358	第4章：4.5.12.4 MAC アドレスラーニングの拡張、表 4.243 PRP サポート関連のレジスタ、PRP_GROUP 説明修正
		362	第4章：4.5.13.3 ハブ特有の転送ルール 説明修正
		362	第4章：4.5.13.4 ハブグループロック 説明修正
		369、370	第4章：4.6.1 制約事項 説明追加
		375	第5章：5.2 信号インタフェース、表 5.2 EtherCAT スレーブコントローラの信号インタフェース (PHY MII 端子を除く)、ETHCAT_WDT_Int 説明修正
		504	第6章：6.4.17 MAC_Address[n]_High — MAC アドレス[n]上位レジスタ (n=1~17)、アドレス 説明修正
		505	第6章：6.4.18 MAC_Address[n]_Low — MAC アドレス[n]下位レジスタ (n=1~17)、アドレス 説明修正
		608	第6章：6.5.11.2 受信ディスクリプタ、表 6.130 受信ディスクリプタフィールド 3(RDES3) 説明修正
		1.30	2021.12.29
108	第3章：3.6.3 Management TAG Control 項追加		
167	第4章：4.4.50 AUTH_PORT[n] — ポート[n]認証のコントロールとコンフィグレーション (n=0~4)、EAPOL_enable 説明追加		
194	第4章：4.4.78 COMMAND_CONFIG_P[n] — ポート[n]コマンドコンフィグレーションレジスタ (n=0~4)、ENA_10 説明修正		
200	第4章：4.4.86 STATUS_P[n] — ポート[n]ポートステータスレジスタ (n=0~4)、PHYSPEED 説明修正		
302	第4章：4.5.3.4 フレームスヌープ、図 4.10 スヌープ演算機能 図修正		
309	第4章：4.5.3.8 レイヤ2ルックアップエンジンの処理の説明、(2) メモリ書き込み 説明修正		
334	第4章：4.5.6.1 概要、図 4.21 自律 EEE 動作のための MAC の拡張 図修正		
341	第4章：4.5.9 割り込み、表 4.238 割り込み要因 表現修正		
367	第4章：4.5.16 A5PSW の初期化 説明修正		
367	第4章：4.5.16 A5PSW の初期化、図 4.33 A5PSW の初期化フローチャート 図修正		
465	第5章：5.5.1 初期化、図 5.2 初期化フローチャート 注3 削除		
800	第10章：10.2.14 SWCTRL — A5PSW コントロールレジスタ、SET10 説明修正		
801	第10章：10.2.16 RMTAGCTRL — HW-RTOS GMAC 管理 TAG コントロールレジスタ、MGMT_ENB 備考追加		

RZ/N1Dグループ、RZ/N1Sグループ、RZ/N1Lグループ
ユーザーズマニュアル R-IN Engine・イーサネット機能編

発行年月日 2018年03月30日 Rev.0.90
2021年12月29日 Rev.1.30

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)

RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ



Renesas Electronics Corporation

R01UH0753JJ0130