

RL78/G1P

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対象者 このマニュアルはRL78/G1Pの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

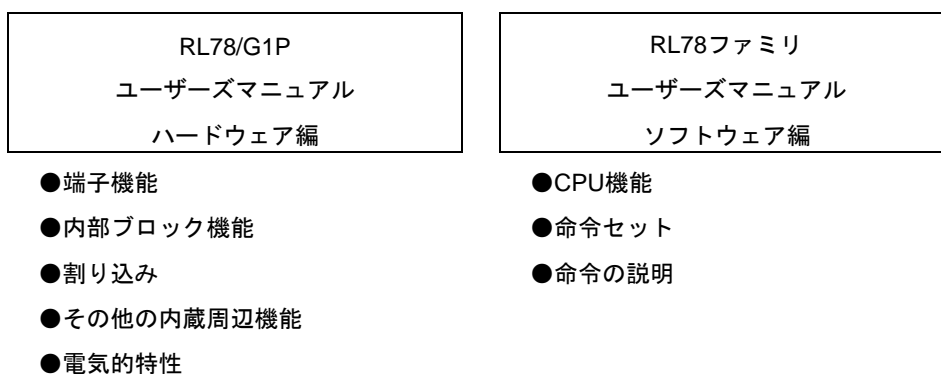
対象製品は、次に示す各製品です。

・ 24ピン : R5F11Z7AxNA (x = A, D)

・ 32ピン : R5F11ZBAxFP (x = A, D)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/G1Pのマニュアルは、このマニュアルとソフトウェア編 (RL78ファミリ共通) の2冊に分かれています。



読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

→目次に従って読んでください。

レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

RL78/G1Pマイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0015J) を参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数 $\cdots\text{xxx}$ または xxx_B 10進数 $\cdots\text{xxx}$ 16進数 $\cdots\text{xxx}_H$

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和 文	英 文
RL78/G1P ユーザーズマニュアル ハードウェア編	このマニュアル	R01UH0895E
RL78ファミリ ユーザーズマニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料 (ユーザーズマニュアル)

資料名	資料番号	
	和 文	英 文
PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル	R20UT4025J	R20UT4025E
E1, E20エミュレータ ユーザーズマニュアル	R20UT0398J	R20UT0398E
E2エミュレータ ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2 Liteエミュレータ ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	R20UT4066J	R20UT4066E
ルネサスフラッシュ開発ツールキット ユーザーズマニュアル	R20UT0508J	R20UT0508E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

第1章 概 説.....	1
1.1 特 徴.....	1
1.2 型名一覧.....	3
1.3 端子接続図 (Top View)	4
1.3.1 24ピン製品.....	4
1.3.2 32ピン製品.....	5
1.4 端子名称.....	6
1.5 ブロック図.....	7
1.5.1 24ピン製品.....	7
1.5.2 32ピン製品.....	8
1.6 機能概要.....	9
第2章 端子機能.....	11
2.1 端子機能一覧.....	11
2.1.1 24ピン製品.....	12
2.1.2 32ピン製品.....	13
2.2 ポート以外の端子	14
2.2.1 製品別の搭載機能	14
2.2.2 機能説明.....	15
2.3 端子機能の説明.....	17
2.3.1 P10-P17 (Port 1)	17
2.3.2 P20-P27 (Port 2)	18
2.3.3 P30-P35 (Port 3)	19
2.3.4 P40 (Port 4)	20
2.3.5 P60, P61 (Port 6)	21
2.3.6 P121, P122 (Port 12)	21
2.3.7 P137 (Port 13)	22
2.3.8 V_{DD} , V_{SS}	22
2.3.9 RESET	22
2.3.10 REGC.....	22
2.4 未使用端子の処理	23
第3章 CPUアーキテクチャ	26
3.1 メモリ空間	26
3.1.1 内部プログラム・メモリ空間	30
3.1.2 ミラー領域	32
3.1.3 内部データ・メモリ空間.....	34
3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域.....	34
3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域	34
3.1.6 データ・メモリ・アドレッシング	35
3.2 プロセッサ・レジスタ	36
3.2.1 制御レジスタ.....	36
3.2.2 汎用レジスタ.....	39
3.2.3 ES, CSレジスタ	40
3.2.4 特殊機能レジスタ (SFR : Special Function Register)	41

3.2.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	45
3.3	命令アドレスのアドレッシング	50
3.3.1	レラティブ・アドレッシング	50
3.3.2	イミディエイト・アドレッシング	50
3.3.3	テーブル・インダイレクト・アドレッシング	51
3.3.4	レジスタ・インダイレクト・アドレッシング	52
3.4	処理データ・アドレスに対するアドレッシング	53
3.4.1	インプライド・アドレッシング	53
3.4.2	レジスタ・アドレッシング	53
3.4.3	ダイレクト・アドレッシング	54
3.4.4	ショート・ダイレクト・アドレッシング	55
3.4.5	SFRアドレッシング	56
3.4.6	レジスタ・インダイレクト・アドレッシング	57
3.4.7	ベースト・アドレッシング	58
3.4.8	ベースト・インデクスト・アドレッシング	62
3.4.9	スタック・アドレッシング	64
第4章	ポート機能	67
4.1	ポートの機能	67
4.2	ポートの構成	67
4.2.1	ポート1	68
4.2.2	ポート2	73
4.2.3	ポート3	76
4.2.4	ポート4	82
4.2.5	ポート6	83
4.2.6	ポート12	84
4.2.7	ポート13	85
4.3	ポート機能を制御するレジスタ	86
4.3.1	ポート・モード・レジスタ (PMxx)	88
4.3.2	ポート・レジスタ (Pxx)	89
4.3.3	プルアップ抵抗オプション・レジスタ (PUxx)	90
4.3.4	ポート・モード・コントロール・レジスタ1 (PMC1) (24ピン製品のみ)	91
4.3.5	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	92
4.4	ポート機能の動作	93
4.4.1	入出力ポートへの書き込み	93
4.4.2	入出力ポートからの読み出し	93
4.4.3	入出力ポートでの演算	93
4.5	兼用機能使用時のポート関連レジスタの設定	94
4.6	ポート機能使用時の注意事項	97
4.6.1	ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項	97
4.6.2	端子設定に関する注意事項	98
第5章	クロック発生回路	99
5.1	クロック発生回路の機能	99
5.2	クロック発生回路の構成	101
5.3	クロック発生回路を制御するレジスタ	103
5.3.1	クロック動作モード制御レジスタ (CMC)	103
5.3.2	システム・クロック制御レジスタ (CKC)	105
5.3.3	クロック動作ステータス制御レジスタ (CSC)	106
5.3.4	発振安定時間カウンタ状態レジスタ (OSTC)	107

5.3.5	発振安定時間選択レジスタ (OSTS)	109
5.3.6	周辺イネーブル・レジスタ0, 1 (PER0, PER1)	111
5.3.7	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	113
5.3.8	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)	114
5.4	システム・クロック発振回路	115
5.4.1	X1発振回路	115
5.4.2	高速オンチップ・オシレータ	118
5.4.3	低速オンチップ・オシレータ	118
5.5	クロック発生回路の動作	119
5.6	クロックの制御	121
5.6.1	高速オンチップ・オシレータの設定例	121
5.6.2	X1発振回路の設定例	123
5.6.3	CPUクロック状態移行図	124
5.6.4	CPUクロックの移行前の条件と移行後の処理	128
5.6.5	CPUクロックの切り替えとシステム・クロックの切り替えに要する時間	129
5.6.6	クロック発振停止前の条件	129
5.7	発振子と発振回路定数	130
第6章 タイマ・アレイ・ユニット		131
6.1	タイマ・アレイ・ユニットの機能	133
6.1.1	単独チャンネル動作機能	133
6.1.2	複数チャンネル連動動作機能	134
6.1.3	8ビット・タイマ動作機能 (チャンネル1, 3のみ)	135
6.2	タイマ・アレイ・ユニットの構成	136
6.2.1	タイマ・カウンタ・レジスタmn (TCRmn)	140
6.2.2	タイマ・データ・レジスタmn (TDRmn)	142
6.3	タイマ・アレイ・ユニットを制御するレジスタ	143
6.3.1	周辺イネーブル・レジスタ0 (PER0)	144
6.3.2	タイマ・クロック選択レジスタm (TPSm)	145
6.3.3	タイマ・モード・レジスタmn (TMRmn)	148
6.3.4	タイマ・ステータス・レジスタmn (TSRmn)	153
6.3.5	タイマ・チャンネル許可ステータス・レジスタm (TEm)	154
6.3.6	タイマ・チャンネル開始レジスタm (TSm)	155
6.3.7	タイマ・チャンネル停止レジスタm (TTm)	157
6.3.8	タイマ入力選択レジスタ0 (TIS0)	158
6.3.9	タイマ出力許可レジスタm (TOEm)	159
6.3.10	タイマ出力レジスタm (TOm)	160
6.3.11	タイマ出力レベル・レジスタm (TOLm)	161
6.3.12	タイマ出力モード・レジスタm (TOMm)	162
6.3.13	ノイズ・フィルタ許可レジスタ1 (NFEN1)	163
6.3.14	ポート・モード・レジスタ1, 3 (PM1, PM3)	164
6.4	タイマ・アレイ・ユニットの基本ルール	165
6.4.1	複数チャンネル連動動作機能の基本ルール	165
6.4.2	8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ)	167
6.5	カウンタの動作	168
6.5.1	カウント・クロック (f_{TCLK})	168
6.5.2	カウンタのスタート・タイミング	170
6.5.3	カウンタの動作	171
6.6	チャンネル出力 (TOmn端子) の制御	176
6.6.1	TOmn端子の出力回路の構成	176
6.6.2	TOmn端子の出力設定	177

6. 6. 3	チャンネル出力操作時の注意事項	178
6. 6. 4	TOMnビットの一括操作	183
6. 6. 5	カウント動作開始時のタイマ割り込みとTOMn端子出力について	184
6. 7	タイマ入力(TImn)の制御	185
6. 7. 1	TImnの入力回路構成	185
6. 7. 2	ノイズ・フィルタ	185
6. 7. 3	チャンネル入力操作時の注意事項	186
6. 8	タイマ・アレイ・ユニットの単独チャンネル動作機能	187
6. 8. 1	インターバル・タイマ／方形波出力としての動作	187
6. 8. 2	外部イベント・カウンタとしての動作	192
6. 8. 3	入力パルス間隔測定としての動作	196
6. 8. 4	入力信号のハイ／ロウ・レベル幅測定としての動作	200
6. 8. 5	ディレイ・カウンタとしての動作	204
6. 9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	208
6. 9. 1	ワンショット・パルス出力機能としての動作	208
6. 9. 2	PWM機能としての動作	215
6. 9. 3	多重PWM出力機能としての動作	222
6. 10	タイマ・アレイ・ユニット使用時の注意事項	230
6. 10. 1	タイマ出力使用時の注意事項	230
第7章 クロック出力／ブザー出力制御回路		231
7. 1	クロック出力／ブザー出力制御回路の機能	231
7. 2	クロック出力／ブザー出力制御回路の構成	233
7. 3	クロック出力／ブザー出力制御回路を制御するレジスタ	233
7. 3. 1	クロック出力選択レジスタn (CKSn)	233
7. 3. 2	クロック出力／ブザー出力端子のポート機能を制御するレジスタ	235
7. 4	クロック出力／ブザー出力制御回路の動作	236
7. 4. 1	出力端子の動作	236
7. 5	クロック出力／ブザー出力制御回路の注意事項	236
第8章 ウォッチドッグ・タイマ		237
8. 1	ウォッチドッグ・タイマの機能	237
8. 2	ウォッチドッグ・タイマの構成	238
8. 3	ウォッチドッグ・タイマを制御するレジスタ	239
8. 3. 1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	239
8. 4	ウォッチドッグ・タイマの動作	240
8. 4. 1	ウォッチドッグ・タイマの動作制御	240
8. 4. 2	ウォッチドッグ・タイマのオーバフロー時間の設定	241
8. 4. 3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	242
8. 4. 4	ウォッチドッグ・タイマのインターバル割り込みの設定	244
第9章 A/Dコンバータ		245
9. 1	A/Dコンバータの機能	245
9. 2	A/Dコンバータの構成	248
9. 3	A/Dコンバータを制御するレジスタ	250
9. 3. 1	周辺イネーブル・レジスタ0 (PER0)	251
9. 3. 2	A/Dコンバータ・モード・レジスタ0 (ADM0)	252
9. 3. 3	A/Dコンバータ・モード・レジスタ1 (ADM1)	260
9. 3. 4	A/Dコンバータ・モード・レジスタ2 (ADM2)	261

9.3.5	12ビットA/D変換結果レジスタ (ADCR)	263
9.3.6	8ビットA/D変換結果レジスタ (ADCRH)	264
9.3.7	アナログ入力チャンネル指定レジスタ (ADS)	265
9.3.8	変換結果比較上限値設定レジスタ (ADUL)	267
9.3.9	変換結果比較下限値設定レジスタ (ADLL)	267
9.3.10	A/Dテスト・レジスタ (ADTES)	268
9.3.11	アナログ入力端子のポート機能を制御するレジスタ	269
9.4	A/Dコンバータの変換動作	270
9.5	入力電圧と変換結果	272
9.6	A/Dコンバータの動作モード	273
9.6.1	ソフトウェア・トリガ・モード (セレクト・モード, 連続変換モード)	273
9.6.2	ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード)	274
9.6.3	ソフトウェア・トリガ・モード (スキャン・モード, 連続変換モード)	275
9.6.4	ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード)	276
9.6.5	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード)	277
9.6.6	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード)	278
9.6.7	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード)	279
9.6.8	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット変換モード)	280
9.6.9	ハードウェア・トリガ・ウエイト・モード (セレクト・モード, 連続変換モード)	281
9.6.10	ハードウェア・トリガ・ウエイト・モード (セレクト・モード, ワンショット変換モード)	282
9.6.11	ハードウェア・トリガ・ウエイト・モード (スキャン・モード, 連続変換モード)	283
9.6.12	ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード)	284
9.7	A/Dコンバータの設定フロー・チャート	285
9.7.1	ソフトウェア・トリガ・モード設定	285
9.7.2	ハードウェア・トリガ・ノーウエイト・モード設定	286
9.7.3	ハードウェア・トリガ・ウエイト・モード設定	287
9.7.4	温度センサ出力電圧/内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)	288
9.7.5	テスト・モード設定	289
9.8	SNOOZEモード機能	290
9.9	A/Dコンバータ特性表の読み方	294
9.10	A/Dコンバータの注意事項	297

第10章 D/Aコンバータ 301

10.1	D/Aコンバータの機能	301
10.2	D/Aコンバータの構成	302
10.3	D/Aコンバータで使用するレジスタ	303
10.3.1	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	303
10.3.2	周辺イネーブル・レジスタ1 (PER1)	304
10.3.3	D/Aコンバータ・モード・レジスタ (DAM)	305
10.3.4	D/A変換値設定レジスタ i (DACSi) ($i = 0, 1$)	305

10.3.5	ポート・モード・レジスタ2 (PM2)	306
10.4	D/Aコンバータの動作	307
10.4.1	通常モード時の動作	307
10.4.2	リアルタイム出力モード時の動作	308
10.5	D/Aコンバータ使用上の注意事項	309
第11章	シリアル・アレイ・ユニット	310
11.1	シリアル・アレイ・ユニットの機能	311
11.1.1	3線シリアルI/O (CSI00)	311
11.1.2	UART (UART0)	312
11.2	シリアル・アレイ・ユニットの構成	313
11.2.1	シフト・レジスタ	315
11.2.2	シリアル・データ・レジスタmn (SDRmn) の下位8/9ビット	315
11.3	シリアル・アレイ・ユニットを制御するレジスタ	317
11.3.1	周辺イネーブル・レジスタ0 (PER0)	318
11.3.2	シリアル・クロック選択レジスタm (SPSm)	319
11.3.3	シリアル・モード・レジスタmn (SMRmn)	320
11.3.4	シリアル通信動作設定レジスタmn (SCRmn)	321
11.3.5	シリアル・データ・レジスタmn (SDRmn) の上位7ビット	324
11.3.6	シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)	325
11.3.7	シリアル・ステータス・レジスタmn (SSRmn)	326
11.3.8	シリアル・チャンネル開始レジスタm (SSm)	328
11.3.9	シリアル・チャンネル停止レジスタm (STm)	329
11.3.10	シリアル・チャンネル許可ステータス・レジスタm (SEm)	330
11.3.11	シリアル出力許可レジスタm (SOEm)	331
11.3.12	シリアル出力レジスタm (SOM)	332
11.3.13	シリアル出力レベル・レジスタm (SOLm)	333
11.3.14	シリアル・スタンバイ・コントロール・レジスタm (SSCm)	335
11.3.15	入力切り替え制御レジスタ (ISC)	337
11.3.16	ノイズ・フィルタ許可レジスタ0 (NFEN0)	338
11.3.17	ポート・モード・レジスタ3 (PM3)	339
11.4	動作停止モード	340
11.4.1	ユニット単位で動作停止とする場合	341
11.4.2	チャンネルごとに動作停止とする場合	342
11.5	3線シリアルI/O (CSI00) 通信の動作	343
11.5.1	マスタ送信	345
11.5.2	マスタ受信	353
11.5.3	マスタ送受信	361
11.5.4	スレーブ送信	369
11.5.5	スレーブ受信	377
11.5.6	スレーブ送受信	383
11.5.7	SNOOZEモード機能 (CSI00)	391
11.5.8	転送クロック周波数の算出	395
11.5.9	3線シリアルI/O (CSI00) 通信時におけるエラー発生時の処理手順	397
11.6	スレーブセレクト入力機能付クロック同期シリアル通信の動作	398
11.6.1	スレーブ送信	401
11.6.2	スレーブ受信	411
11.6.3	スレーブ送受信	418
11.6.4	転送クロック周波数の算出	428
11.6.5	スレーブセレクト入力機能付クロック同期シリアル通信時における エラー発生時の処理手順	430

11.7	UART (UART0) 通信の動作	431
11.7.1	UART送信	433
11.7.2	UART受信	442
11.7.3	SNOOZEモード機能	449
11.7.4	ボー・レートの算出	457
11.7.5	UART (UART0) 通信時におけるエラー発生時の処理手順	461
第12章	シリアル・インタフェースIICA	462
12.1	シリアル・インタフェースIICAの機能	462
12.2	シリアル・インタフェースIICAの構成	465
12.3	シリアル・インタフェースIICAを制御するレジスタ	468
12.3.1	周辺イネーブル・レジスタ0 (PER0)	468
12.3.2	IICAコントロール・レジスタn0 (IICCTLn0)	469
12.3.3	IICAステータス・レジスタn (IICSn)	474
12.3.4	IICAフラグ・レジスタn (IICFn)	476
12.3.5	IICAコントロール・レジスタn1 (IICCTLn1)	478
12.3.6	IICAロウ・レベル幅設定レジスタn (IICWLn)	480
12.3.7	IICAハイ・レベル幅設定レジスタn (IICWHn)	480
12.3.8	ポート・モード・レジスタ6 (PM6)	481
12.4	I ² Cバス・モードの機能	482
12.4.1	端子構成	482
12.4.2	IICWLn, IICWHnレジスタによる転送クロック設定方法	483
12.5	I ² Cバスの定義および制御方法	485
12.5.1	スタート・コンディション	485
12.5.2	アドレス	486
12.5.3	転送方向指定	486
12.5.4	アクノリッジ (ACK)	487
12.5.5	ストップ・コンディション	488
12.5.6	ウエイト	489
12.5.7	ウエイト解除方法	491
12.5.8	割り込み要求 (INTIICAn) 発生タイミングおよびウエイト制御	492
12.5.9	アドレスの一致検出方法	493
12.5.10	エラーの検出	493
12.5.11	拡張コード	494
12.5.12	アービトレーション	495
12.5.13	ウエイク・アップ機能	497
12.5.14	通信予約	500
12.5.15	その他の注意事項	504
12.5.16	通信動作	505
12.5.17	I ² C割り込み要求 (INTIICAn) の発生タイミング	513
12.6	タイミング・チャート	534
第13章	DMAコントローラ	549
13.1	DMAコントローラの機能	549
13.2	DMAコントローラの構成	550
13.2.1	DMA SFRアドレス・レジスタn (DSAn)	550
13.2.2	DMA RAMアドレス・レジスタn (DRAn)	551
13.2.3	DMAバイト・カウント・レジスタn (DBCn)	552
13.3	DMAコントローラを制御するレジスタ	553
13.3.1	DMAモード・コントロール・レジスタn (DMCn)	554

13.3.2	DMA動作コントロール・レジスタn (DRCn)	556
13.4	DMAコントローラの動作.....	557
13.4.1	動作手順	557
13.4.2	転送モード	558
13.4.3	DMA転送の終了	558
13.5	DMAコントローラの設定例	559
13.5.1	CSI連続送信	559
13.5.2	A/D変換結果の連続取り込み.....	561
13.5.3	UART連続受信+ACK送信	563
13.5.4	DWAITnビットによるDMA転送保留	565
13.5.5	ソフトウェアでの強制終了	566
13.6	DMAコントローラの注意事項	568
第14章	イベント・リンク・コントローラ (ELC)	570
14.1	ELCの機能	570
14.2	ELCの構成	570
14.3	ELCを制御するレジスタ	571
14.3.1	イベント出力先選択レジスタn (ELSELRn) (n = 00~09)	571
14.4	動作説明	573
第15章	割り込み機能.....	574
15.1	割り込み機能の種類.....	574
15.2	割り込み要因と構成.....	574
15.3	割り込み機能を制御するレジスタ	578
15.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)	580
15.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)	581
15.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR10L, PR10H, PR11L)	581
15.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)	583
15.3.5	プログラム・ステータス・ワード (PSW)	584
15.4	割り込み処理動作	585
15.4.1	マスクブル割り込み要求の受け付け動作	585
15.4.2	ソフトウェア割り込み要求の受け付け動作.....	588
15.4.3	多重割り込み処理	588
15.4.4	割り込み要求の保留	592
第16章	スタンバイ機能	593
16.1	スタンバイ機能.....	593
16.2	スタンバイ機能を制御するレジスタ	594
16.2.1	発振安定時間カウンタ状態レジスタ (OSTC)	595
16.2.2	発振安定時間選択レジスタ (OSTS)	596
16.3	スタンバイ機能の動作	597
16.3.1	HALTモード	597
16.3.2	STOPモード.....	601
16.3.3	SNOOZEモード	606

第17章	リセット機能.....	609
17.1	リセット動作のタイミング.....	611
17.2	リセット要因を確認するレジスタ.....	617
17.2.1	リセット・コントロール・フラグ・レジスタ (RESF).....	617
第18章	パワーオン・リセット回路.....	620
18.1	パワーオン・リセット回路の機能.....	620
18.2	パワーオン・リセット回路の構成.....	621
18.3	パワーオン・リセット回路の動作.....	621
18.4	パワーオン・リセット回路の注意事項.....	625
第19章	電圧検出回路.....	627
19.1	電圧検出回路の機能.....	627
19.2	電圧検出回路の構成.....	628
19.3	電圧検出回路を制御するレジスタ.....	628
19.3.1	電圧検出レジスタ (LVIM).....	629
19.3.2	電圧検出レベル・レジスタ (LVIS).....	630
19.4	電圧検出回路の動作.....	632
19.4.1	リセット・モードとして使用時の設定.....	632
19.4.2	割り込みモードとして使用時の設定.....	634
19.4.3	割り込み&リセット・モードとして使用時の設定.....	636
19.5	電圧検出回路の注意事項.....	642
第20章	安全機能.....	644
20.1	安全機能の概要.....	644
20.2	安全機能で使用するレジスタ.....	645
20.3	フラッシュ・メモリCRC演算機能 (高速CRC) の動作.....	645
20.3.1	フラッシュ・メモリCRC制御レジスタ (CRC0CTL).....	646
20.3.2	フラッシュ・メモリCRC演算結果レジスタ (PGCRCL).....	646
20.3.3	動作フロー.....	647
20.4	CRC演算機能 (汎用CRC).....	648
20.4.1	CRC入力レジスタ (CRCIN).....	648
20.4.2	CRCデータ・レジスタ (CRCD).....	649
20.4.3	動作フロー.....	649
20.5	RAMパリティ・エラー検出機能.....	650
20.5.1	RAMパリティ・エラー制御レジスタ (RPECTL).....	650
20.6	RAMガード機能.....	652
20.6.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL).....	652
20.7	SFRガード機能.....	653
20.7.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL).....	653
20.8	不正メモリ・アクセス検出機能.....	654
20.8.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL).....	655
20.9	周波数検出機能.....	656
20.9.1	タイマ入力選択レジスタ0 (TIS0).....	657
20.10	A/Dテスト機能.....	658
20.10.1	A/Dテスト・レジスタ (ADTES).....	660

20. 10. 2	アナログ入力チャネル指定レジスタ (ADS)	661
第21章	レギュレータ	662
21. 1	レギュレータの概要	662
第22章	オプション・バイト	663
22. 1	オプション・バイトの機能	663
22. 1. 1	ユーザ・オプション・バイト (000C0H-000C2H)	663
22. 1. 2	オンチップ・デバッグ・オプション・バイト (000C3H)	664
22. 2	ユーザ・オプション・バイトのフォーマット	665
22. 3	オンチップ・デバッグ・オプション・バイトのフォーマット	668
22. 4	オプション・バイトの設定	669
第23章	フラッシュ・メモリ	670
23. 1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	671
23. 1. 1	プログラミング環境	673
23. 1. 2	通信方式	673
23. 2	外部デバイス (UART内蔵) によるシリアル・プログラミング	674
23. 2. 1	プログラミング環境	674
23. 2. 2	通信方式	675
23. 3	オンボード上の端子処理	676
23. 3. 1	P40/TOOL0端子	676
23. 3. 2	RESET端子	676
23. 3. 3	ポート端子	677
23. 3. 4	REGC端子	677
23. 3. 5	X1, X2端子	677
23. 3. 6	電 源	677
23. 4	データ・フラッシュ	678
23. 4. 1	データ・フラッシュの概要	678
23. 4. 2	データ・フラッシュを制御するレジスタ	679
23. 4. 2. 1	データ・フラッシュ・コントロール・レジスタ (DFLCTL)	679
23. 4. 3	データ・フラッシュへのアクセス手順	680
23. 5	プログラミング方法	681
23. 5. 1	フラッシュ・メモリ制御	681
23. 5. 2	フラッシュ・メモリ・プログラミング・モード	682
23. 5. 3	通信方式	683
23. 5. 4	通信コマンド	684
23. 5. 5	シグネチャ・データの説明	685
23. 6	セキュリティ設定	686
23. 7	セルフ書き込みによるフラッシュ・メモリ・プログラミング	688
23. 7. 1	フラッシュ・シールド・ウインドウ機能	691
23. 8	PG-FP6使用時の各コマンド処理時間 (参考値)	691
第24章	オンチップ・デバッグ機能	692
24. 1	E1, E2, E2 Lite, E20オンチップデバッグエミュレータとRL78/G1Pの接続	692
24. 2	オンチップ・デバッグ・セキュリティID	693
24. 3	ユーザ資源の確保	693

第25章	10進補正 (BCD) 回路	695
25.1	10進補正回路の機能	695
25.2	10進補正回路で使用するレジスタ	695
25.2.1	BCD補正結果レジスタ (BCDADJ)	695
25.3	10進補正回路の動作	696
第26章	命令セットの概要	698
26.1	凡 例	699
26.1.1	オペランドの表現形式と記述方法	699
26.1.2	オペレーション欄の説明	700
26.1.3	フラグ動作欄の説明	701
26.1.4	PREFIX命令	701
26.2	オペレーション一覧	702
第27章	電気的特性	720
27.1	絶対最大定格	721
27.2	発振回路特性	723
27.2.1	X1発振回路特性	723
27.2.2	オンチップ・オシレータ特性	723
27.3	DC特性	724
27.3.1	端子特性	724
27.3.2	電源電流特性	727
27.4	AC特性	730
27.5	周辺機能特性	735
27.5.1	シリアル・アレイ・ユニット	735
27.5.2	シリアル・インタフェースIICA	740
27.5.3	専用フラッシュ・メモリ・プログラマ通信 (UART)	741
27.6	アナログ特性	741
27.6.1	A/Dコンバータ特性	741
27.6.2	温度センサ/内部基準電圧特性	744
27.6.3	D/Aコンバータ	744
27.6.4	POR回路特性	745
27.6.5	LVD回路特性	746
27.6.6	電源電圧立ち上がり傾き特性	746
27.7	RAMデータ保持特性	747
27.8	フラッシュ・メモリ・プログラミング特性	747
27.9	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	748
第28章	外形図	749
28.1	24ピン製品	749
28.2	32ピン製品	750
付録A	改版履歴	751
A.1	本版で改訂された主な箇所	751

第1章 概 説

1.1 特 徴

- 高速 (0.03125 μ s : 高速オンチップ・オシレータ・クロック32 MHz動作時) から低速 (1.0 μ s : 高速オンチップ・オシレータ・クロック1 MHz動作時) まで最小命令実行時間を変更可能
- 汎用レジスタ : 8ビット×32レジスタ (8ビット×8レジスタ×4バンク)
- ROM : 16 KB, RAM : 1.5 KB, データ・フラッシュ : 2 KB
- 高速オンチップ・オシレータ・クロック内蔵
 - ・32 MHz (TYP.) /24 MHz (TYP.) /16 MHz (TYP.) /12 MHz (TYP.) /8 MHz (TYP.) /6 MHz (TYP.) /4 MHz (TYP.) /3 MHz (TYP.) /2 MHz (TYP.) /1 MHz (TYP.) から選択可能
- 単電源のフラッシュ・メモリ内蔵 (ブロック消去/書き込み禁止機能あり)
- セルフ・プログラミング機能対応
- オンチップ・デバッグ機能内蔵
- パワーオン・リセット (POR) 回路, 電圧検出 (LVD) 回路内蔵
- ウォッチドッグ・タイマ内蔵 (専用の低速オンチップ・オシレータ・クロックで動作可能)
- クロック出力/ブザー出力制御回路内蔵
- 10進補正 (BCD) 回路内蔵
- I/Oポート : 26または28本
- タイマ
 - ・16ビット・タイマ TAU : 4チャンネル
 - ・ウォッチドッグ・タイマ : 1チャンネル
- シリアル・インタフェース
 - ・CSI : 1チャンネル
 - ・UART : 1チャンネル
 - ・I²C : 1チャンネル(2 slave address)
- 8/12ビット分解能A/Dコンバータ ($V_{DD} = 2.7 \sim 3.6$ V) : 6または8チャンネル
- スタンバイ機能 : HALT, STOP, SNOOZEモード
- 10ビットD/Aコンバータ内蔵
- ODMAコントローラ : 2チャンネル
- イベント・リンク・コントローラ (ELC) 内蔵
- 電源電圧 : $V_{DD} = 2.7 \sim 3.6$ V
- 動作周囲温度 : $T_A = -40 \sim +85$ °C (A : 民生用途, D : 産業用途)

備考 製品により、搭載している機能が異なります。1.6 機能概要を参照してください。

OROM, RAM容量

フラッシュ ROM	データ・ フラッシュ	RAM ^注	24ピン	32ピン
16 KB	2 KB	1.5 KB	R5F11Z7AANA, R5F11Z7ADNA	R5F11ZBAAFP, R5F11ZBADFP

注 セルフ・プログラミング時およびデータ・フラッシュ書き換え時、フラッシュ・ライブラリがFFE20H-FFEFFHのRAM領域と次の表に示すRAM(セルフRAM)領域を一部使用します。

フラッシュ・ライブラリが使用するRAM領域は、以下を参照してください。

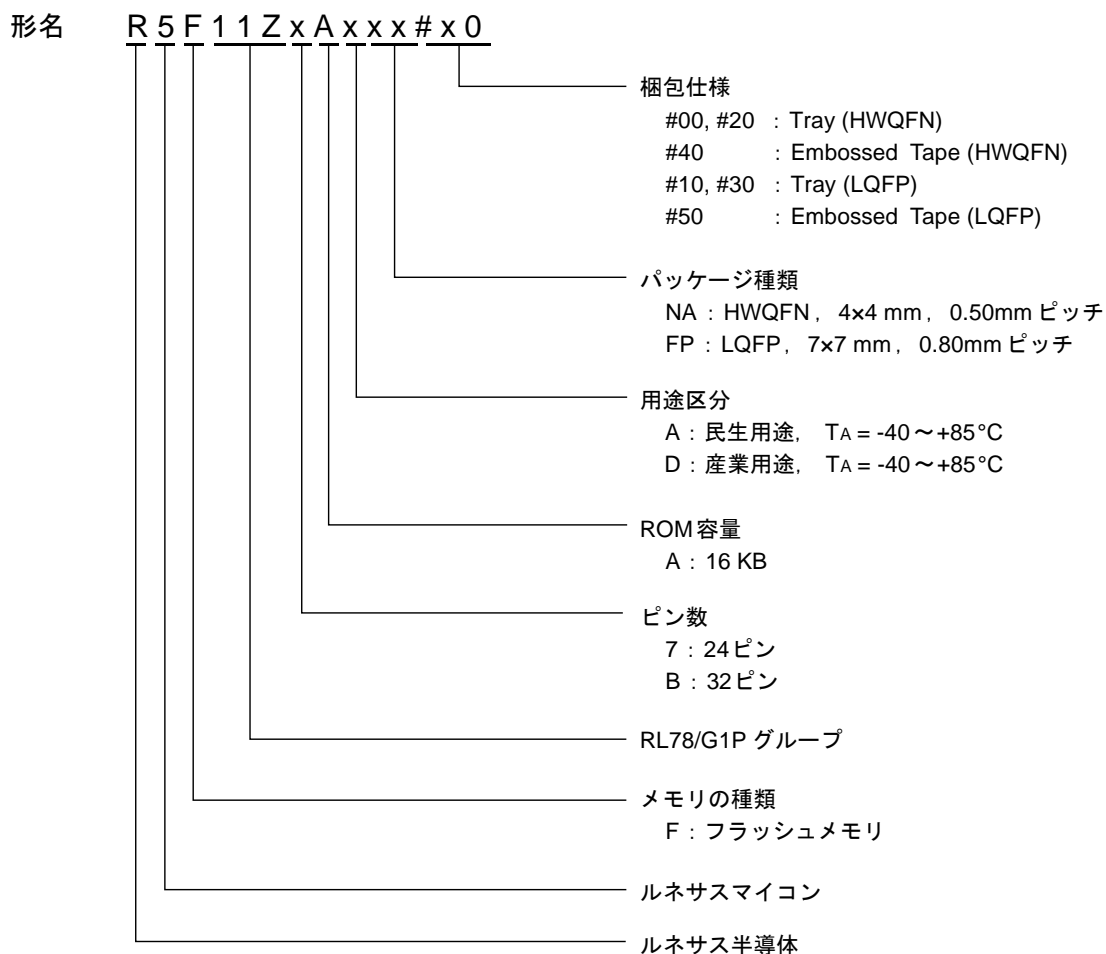
	RAM	FSL Type01	FDL Type04	EEL Pack01, EEL Pack02
		セルフRAM size 896byte ^注	セルフRAM size 136bytes	
R5F11Z7AANA R5F11Z7ADNA R5F11ZBAAFP R5F11ZBADFP	1.5KB	FF900H-FFC7FH	FF900H-FF987H	利用できません

注 FSL Type01のサポート対象関数は基本関数のみで、その他の関数はサポート対象外です。

基本関数 : FSL_Init, FSL_Open, FSL_Close, FSL_PrepareFunctions, FSL_BlankCheck, FSL_Erase,
FSL_IVerify, FSL_Write, FSL_StatusCheck

1.2 型名一覧

図1-1 型名とメモリサイズ・パッケージ

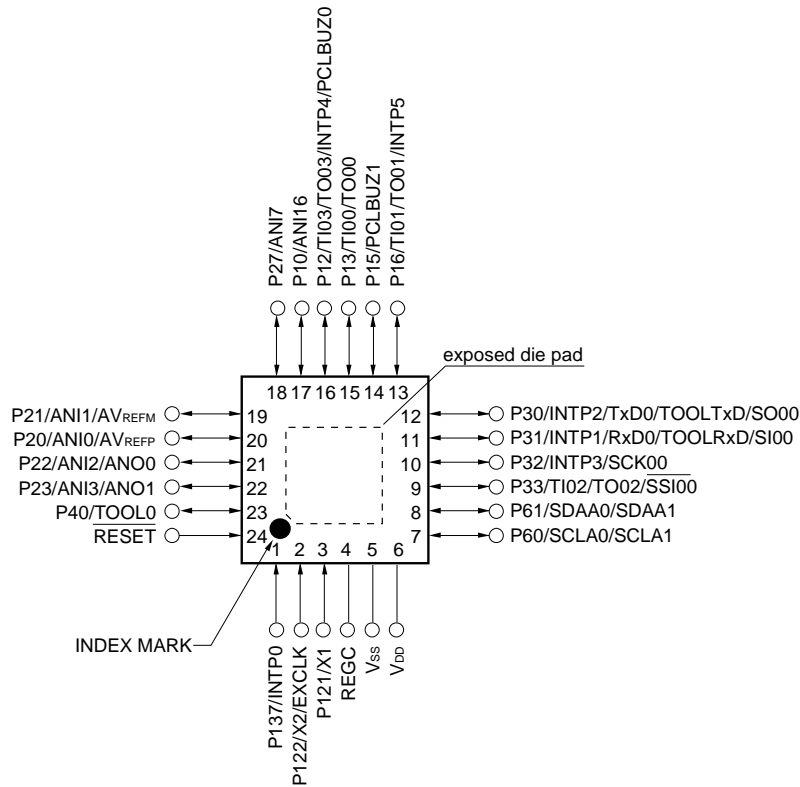


ピン数	パッケージ	データ・フラッシュ	用途・区分	梱包仕様	発注型名
24ピン	24ピン・プラスチックHWQFN (4 × 4 mm, 0.5mmピッチ)	2 KB	A	Tray	R5F11Z7AANA#00, R5F11Z7AANA#20
				Embossed Tape	R5F11Z7AANA#40
			D	Tray	R5F11Z7ADNA#00, R5F11Z7ADNA#20
				Embossed Tape	R5F11Z7ADNA#40
32ピン	32ピン・プラスチックLQFP (7 × 7 mm, 0.8mmピッチ)	2 KB	A	Tray	R5F11ZBAAFP#10, R5F11ZBAAFP#30
				Embossed Tape	R5F11ZBAAFP#50
			D	Tray	R5F11ZBADFP#10, R5F11ZBADFP#30
				Embossed Tape	R5F11ZBADFP#50

1.3 端子接続図 (Top View)

1.3.1 24ピン製品

- ・24ピン・プラスチックHWQFN (4×4 mm, 0.5mmピッチ)



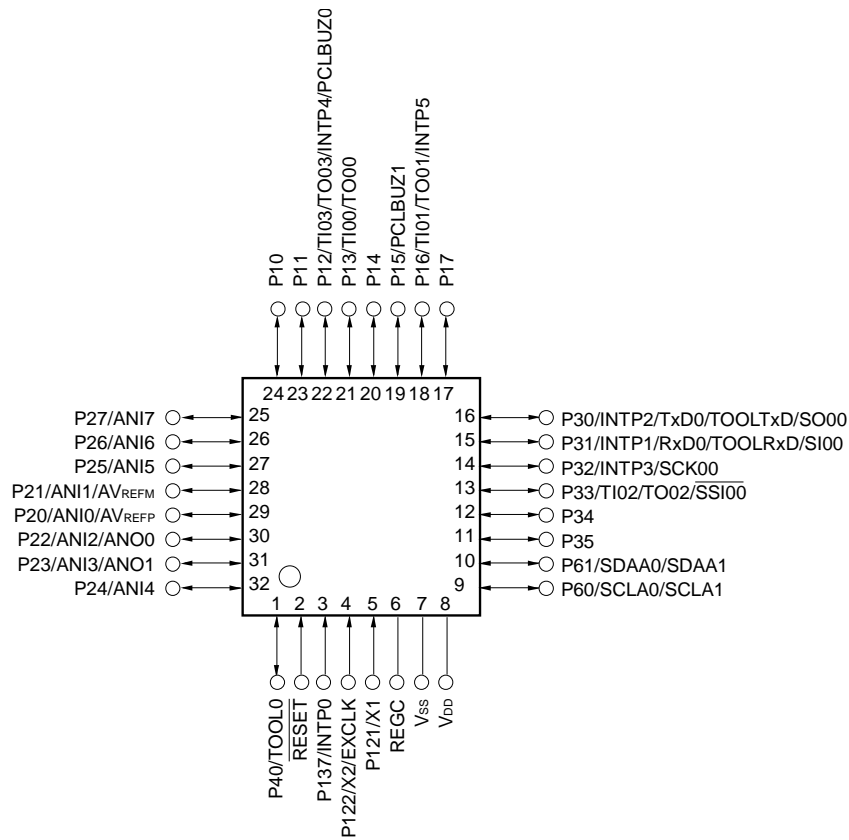
注意 REGC端子はコンデンサ (0.47~1 μ F) を介し、V_{SS}端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

2. exposed die padは、V_{SS}に接続することを推奨します。

1.3.2 32ピン製品

- ・ 32ピン・プラスチックLQFP（7×7 mm, 0.8mmピッチ）



注意 REGC端子はコンデンサ（0.47～1 μ F）を介し、V_{SS}端子に接続してください。

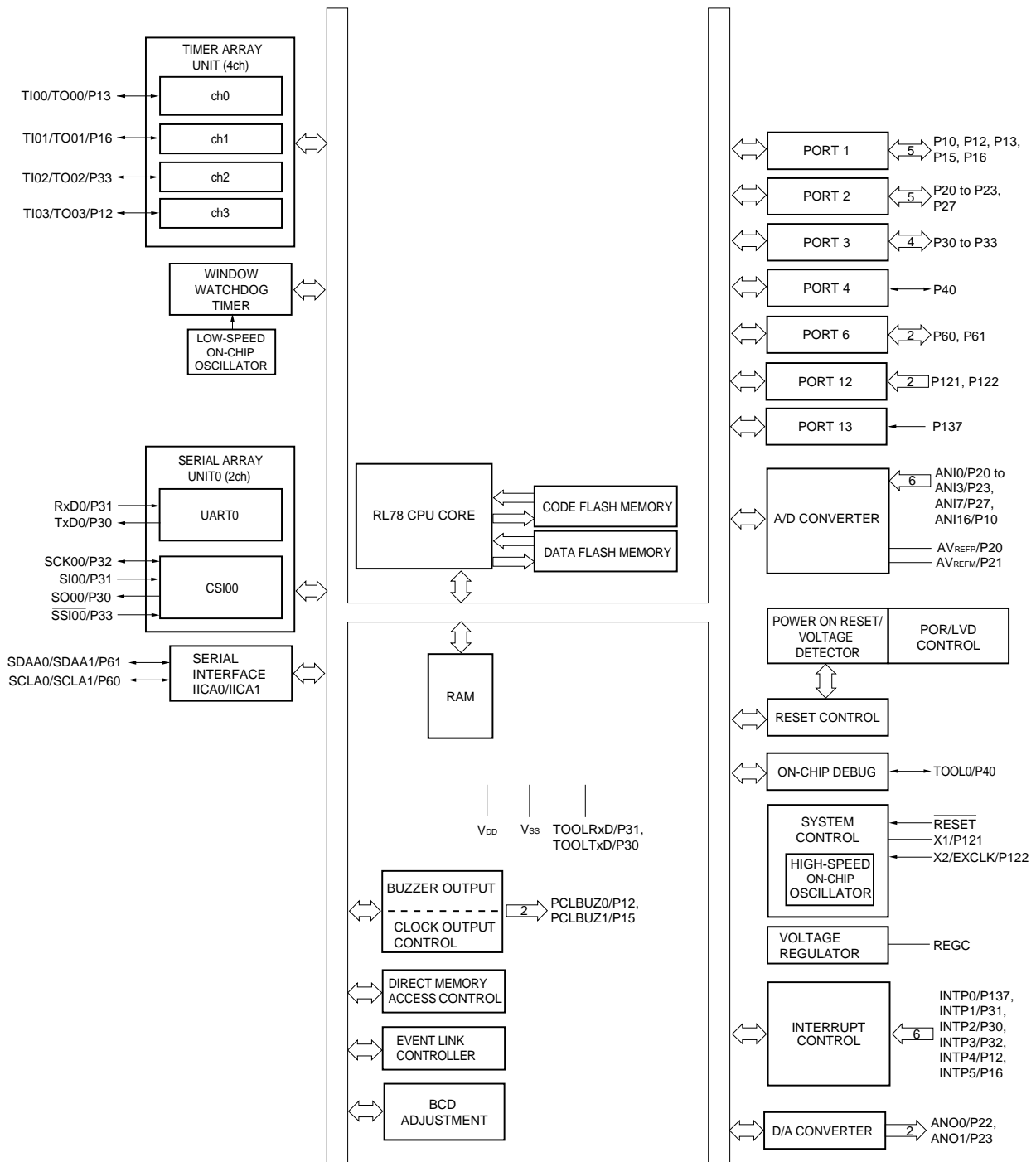
備考 端子名称は、1.4 端子名称を参照してください。

1.4 端子名称

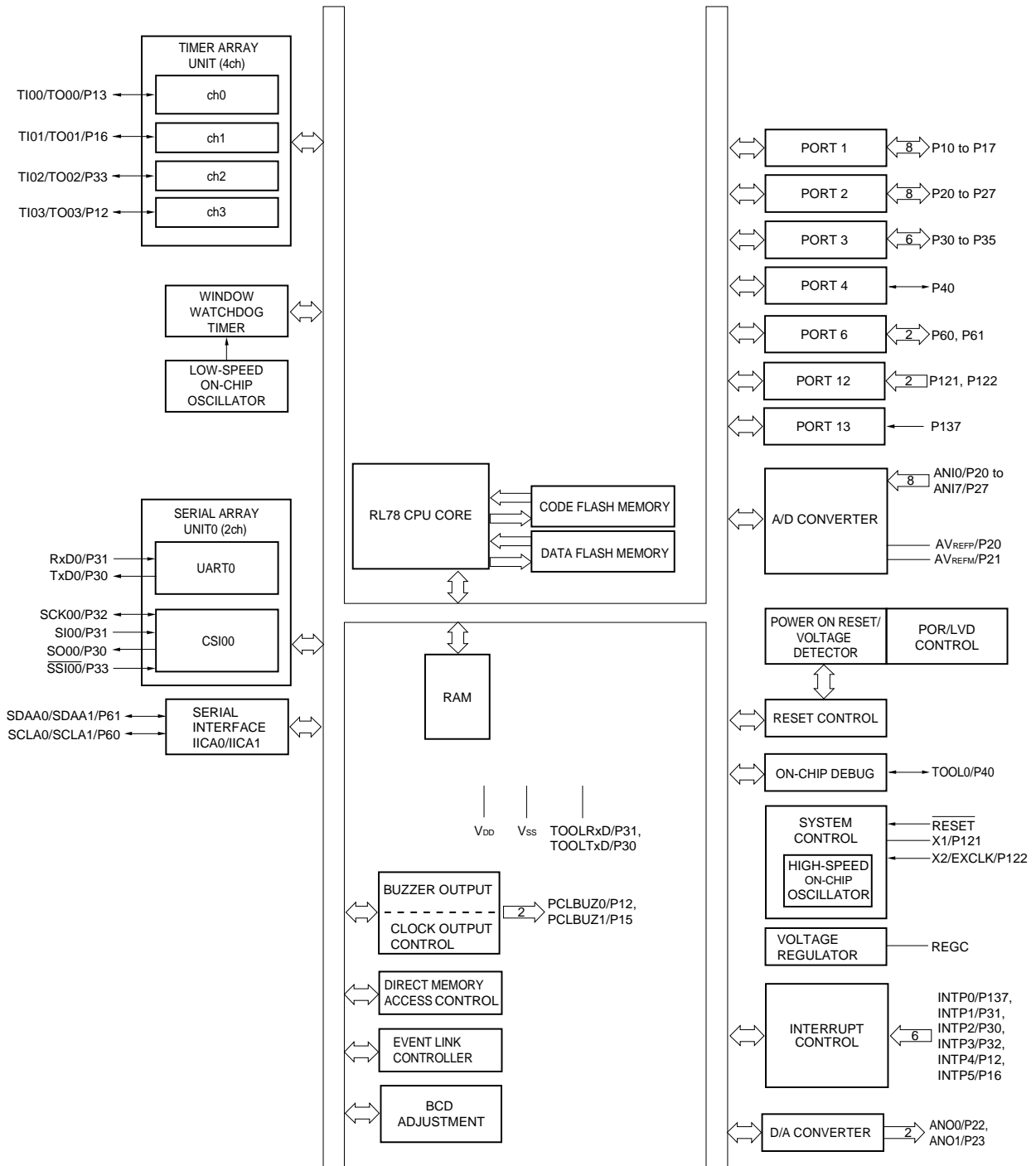
ANI0-ANI7, ANI16	: Analog Input	RxD0	: Receive Data
ANO0, ANO1	: Analog Output	SCK00	: Serial Clock Input/Output
AVREFM	: Analog Reference Voltage Minus	SCLA0, SCLA1	: Serial Clock Input/Output
AVREFP	: Analog Reference Voltage Plus	SDAA0, SDAA1	: Serial Data Input/Output
EXCLK	: External Clock Input (Main System Clock)	SI00	: Serial Data Input
INTP0-INTP5	: External Interrupt Input	SO00	: Serial Data Output
P10-P17	: Port 1	SSI00	: Serial Interface Chip Select Input
P20-P27	: Port 2	TI00-TI03	: Timer Input
P30-P35	: Port 3	TO00-TO03	: Timer Output
P40	: Port 4	TOOL0	: Data Input/Output for Tool
P60, P61	: Port 6	TOOLRxD, TOOLTxD	: Data Input/Output for External Device
P121, P122	: Port 12	TxD0	: Transmit Data
P137	: Port 13	V _{DD}	: Power Supply
PCLBUZ0, PCLBUZ1	: Programmable Clock Output/ Buzzer Output	V _{SS}	: Ground
REGC	: Regulator Capacitance	X1, X2	: Crystal Oscillator (Main System Clock)
RESET	: Reset		

1.5 ブロック図

1.5.1 24ピン製品



1.5.2 32ピン製品



1.6 機能概要

(1/2)

項 目		24ピン	32ピン
		R5F11Z7AANA, R5F11Z7ADNA	R5F11ZBAAFP, R5F11ZBADFP
コード・フラッシュ・メモリ		16 KB	
データ・フラッシュ・メモリ		2 KB	
RAM		1.5 KB ^注	
メモリ空間		1 Mバイト	
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) 1~20 MHz : $V_{DD} = 2.7\sim 3.6$ V	
	高速オンチップ・オシレータ・クロック (f_{IH})	高速動作 : 32 MHz ($V_{DD} = 2.7\sim 3.6$ V)	
低速オンチップ・オシレータ・クロック		15 kHz (TYP.) : $V_{DD} = 2.7\sim 3.6$ V	
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)	
最小命令実行時間		0.03125 μ s (高速オンチップ・オシレータ・クロック : $f_{IH} = 32$ MHz動作時)	
		0.05 μ s (高速システム・クロック : $f_{MX} = 20$ MHz動作時)	
命令セット		<ul style="list-style-type: none"> ・データ転送 (8/16ビット) ・加減/論理演算 (8/16ビット) ・乗算 (8×8ビット) ・ローテート, バレル・シフト, ビット操作 (セット, リセット, テスト, ブール演算) など 	
I/Oポート	合計	20	28
	CMOS入出力	15	23
	CMOS入力	3	3
	N-ch O.D入出力 (6 V耐圧)	2	2
タイマ	16ビット・タイマ	4チャンネル (TAU)	
	ウォッチドッグ・タイマ	1チャンネル	
	タイマ出力	4本 PWM出力 : 3本	
クロック出力/ブザー出力		2本 ・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : $f_{MAIN} = 20$ MHz動作時)	
8/12ビット分解能A/Dコンバータ		6チャンネル	8チャンネル
10ビットD/Aコンバータ		2チャンネル	
シリアル・インタフェース		・CSI : 1チャンネル/UART : 1チャンネル	
I ² Cバス		1チャンネル (2スレーブ・アドレス)	
DMAコントローラ		2チャンネル	
イベント・リンク・コントローラ (ELC)		イベント入力 : 10, イベントトリガ出力 : 3	
ベクタ割り込み	内部	12	
要因	外部	6	

注 セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は, 約0.5 KB (詳細は, 第3章参照)

(2/2)

項 目	24ピン	32ピン
	R5F11Z7AANA, R5F11Z7ADNA	R5F11ZBAAFP, R5F11ZBADFP
リセット	<ul style="list-style-type: none"> ・ $\overline{\text{RESET}}$ 端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・リセットによる内部リセット ・ 電圧検出回路による内部リセット ・ 不正命令の実行による内部リセット^注 ・ RAMパリティ・エラーによる内部リセット ・ 不正メモリ・アクセスによる内部リセット 	
パワーオン・リセット回路	<ul style="list-style-type: none"> ・ パワーオン・リセット : 1.51±0.03 V ・ パワーダウン・リセット : 1.50±0.03 V 	
電圧検出回路	2.75 V~3.13 V (4段階)	
オンチップ・デバッグ機能	あり	
電源電圧	V _{DD} = 2.7~3.6 V	
動作周囲温度	T _A = -40~+85 °C	

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源は、すべての製品で単一の電源となります。

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

表2-1 各端子の入出力バッファ電源

電源	対応する端子
V _{DD}	すべての端子

2.1.1 24ピン製品

機能名称	入出力	機能	リセット時	兼用機能
P10	入出力	ポート1。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	ANI16
P12				TI03/TO03/INTP4/ PCLBUZ0
P13				TI00/TO00
P15				PCLBUZ1
P16				TI01/TO01/INTP5
P20	入出力	ポート2。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	アナログ入 カポート	ANI0/AV _{REFF}
P21				ANI1/AV _{REFM}
P22				ANI2/ANO0
P23				ANI3/ANO1
P27				ANI7
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP2/TxD0/ TOOLTxD/SO00
P31				INTP1/RxD0/ TOOLRxD/SI00
P32				INTP3/SCK00
P33				TI02/TO02/SSI00
P40	入出力	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P60	入出力	ポート6。 2ビット入出力ポート。 P60, P61の出力はN-chオープン・ドレイン出力（6V耐圧）。 1ビット単位で入力／出力の指定可能。	入力ポート	SCLA0/SCLA1
P61				SDAA0/SDAA1
P121	入力	ポート12。 2ビット入力ポート。	入力ポート	X1
P122				X2/EXCLK
P137	入力	ポート13。 1ビット入力専用ポート。	入力ポート	INTP0

2.1.2 32ピン製品

機能名称	入出力	機能	リセット時	兼用機能
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	—
P11				—
P12				TI03/TO03/INTP4/ PCLBUZ0
P13				TI00/TO00
P14				—
P15				PCLBUZ1
P16				TI01/TO01/INTP5
P17				—
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	アナログ入 カポート	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2/ANO0
P23				ANI3/ANO1
P24				ANI4
P25				ANI5
P26				ANI6
P27				ANI7
P30	入出力	ポート3。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP2/TxD0/ TOOLTxD/SO00
P31				INTP1/RxD0/ TOOLRxD/SI00
P32				INTP3/SCK00
P33				TI02/TO02/SSI00
P34				—
P35				—
P40	入出力	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P60	入出力	ポート6。 2ビット入出力ポート。 P60, P61の出力はN-chオープン・ドレイン出力（6V耐圧）。 1ビット単位で入力／出力の指定可能。	入力ポート	SCLA0/SCLA1
P61				SDAA0/SDAA1
P121	入力	ポート12。 2ビット入力ポート。	入力ポート	X1
P122				X2/EXCLK
P137	入力	ポート13。 1ビット入力専用ポート。	入力ポート	INTP0

2.2 ポート以外の端子

2.2.1 製品別の搭載機能

機能名称	32-pin	24-pin
ANI0	○	○
ANI1	○	○
ANI2	○	○
ANI3	○	○
ANI4	○	—
ANI5	○	—
ANI6	○	—
ANI7	○	○
ANI16	—	○
ANO0	○	○
ANO1	○	○
AV _{REFM}	○	○
AV _{REFP}	○	○
INTP0	○	○
INTP1	○	○
INTP2	○	○
INTP3	○	○
INTP4	○	○
INTP5	○	○
PCLBUZ0	○	○
PCLBUZ1	○	○
REGC	○	○
RESET	○	○
RxD0	○	○
SCK00	○	○
SCLA0	○	○
SCLA1	○	○
SDAA0	○	○
SDAA1	○	○
SI00	○	○
SO00	○	○
SSI00	○	○
TI00	○	○
TI01	○	○
TI02	○	○
TI03	○	○
TO00	○	○
TO01	○	○
TO02	○	○
TO03	○	○
TxD0	○	○

機能名称	32-pin	24-pin
X1	○	○
X2	○	○
EXCLK	○	○
V _{DD}	○	○
V _{SS}	○	○
TOOLRxD	○	○
TOOLTxD	○	○
TOOL0	○	○

2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI0	入力	A/Dコンバータのアナログ入力
ANI1		
ANI2		
ANI3		
ANI4		
ANI5		
ANI6		
ANI7		
ANI16		
ANO0	出力	D/Aコンバータ出力
ANO1		
AV _{REFM}	入力	A/Dコンバータの基準電圧（-側）入力
AV _{REFP}	入力	A/Dコンバータの基準電圧（+側）入力
INTP0	入力	外部割り込み入力
INTP1		
INTP2		
INTP3		
INTP4		
INTP5		
PCLBUZ0	出力	クロック出力／ブザー出力
PCLBUZ1		
REGC	—	内部動作用レギュレータ出力安定容量接続。 コンデンサ（0.47～1 μF）を介し、V _{SS} に接続してください。
$\overline{\text{RESET}}$	入力	外部リセット入力
RxD0	入力	UART0のシリアル・データ入力
SCK00	入出力	CSI00のクロック入力／出力
SCLA0	入出力	I ² Cのクロック入力／出力
SCLA1		
SDAA0	入出力	I ² Cのシリアル・データ入出力
SDAA1		
SI00	入力	CSI00のシリアル・データ入力
SO00	出力	CSI00のシリアル・データ出力
$\overline{\text{SSI00}}$	入力	CSI00のチップ・セレクト入力
TI00	入力	16ビット・タイマ00への外部カウント・クロック 入力
TI01		16ビット・タイマ01への外部カウント・クロック 入力
TI02		16ビット・タイマ02への外部カウント・クロック 入力
TI03		16ビット・タイマ03への外部カウント・クロック 入力
TO00	出力	16ビット・タイマ00 出力
TO01		16ビット・タイマ01 出力
TO02		16ビット・タイマ02 出力
TO03		16ビット・タイマ03 出力
TxD0	出力	UART0のシリアル・データ出力

(2/2)

機能名称	入出力	機能
X1	—	メイン・システム・クロック用発振子接続
X2	—	
EXCLK	入力	メイン・システム・クロック用外部クロック入力
V _{DD}	—	すべての端子の正電源
V _{SS}	—	すべての端子のグラウンド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART受信端子
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART送信端子
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2-2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
V _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、23.5 プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として、V_{DD}-V_{SS}ライン間へのバイパスコンデンサ(0.1 μF程度)を最短距離でかつ、比較的太い配線を使って接続してください。

2.3 端子機能の説明

備考 製品により、搭載している端子が異なります。1.3 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

2.3.1 P10-P17 (Port 1)

入出力ポートです。入出力ポートのほかに、タイマの入出力、外部割り込み要求入力、クロック／ブザー出力機能があります。

プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

タイマの入出力、外部割り込み要求入力、クロック／ブザー出力として機能します。

(a) TI00, TI01, TI03

16ビット・タイマ00, 01, 03への外部カウント・クロック／キャプチャ・トリガ入力端子です。

(b) TO00, TO01, TO03

16ビット・タイマ00, 01, 03のタイマ出力端子です。

(c) INTP4, INTP5

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(d) PCLBUZ0, PCLBUZ1

クロック／ブザー出力端子です。

(e) ANI16 (24ピン製品のみ)

A/Dコンバータのアナログ入力端子 (ANI16) として機能します。9.10 (5) アナログ入力 (ANIn) 端子を参照してください。

2.3.2 P20-P27 (Port 2)

入出力ポートです。入出力ポートのほかに、A/Dコンバータのアナログ入力、A/Dコンバータの基準電位入力、D/Aコンバータ出力機能があります。

各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC) で設定します。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力、A/Dコンバータの基準電位入力、D/Aコンバータ出力として機能します。

(a) ANI0-ANI7

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。9. 10 (5) アナログ入力 (ANIn) 端子を参照してください。

(b) AV_{REFP}

A/Dコンバータの基準電位 (+側) 入力端子です。

(c) AV_{REFM}

A/Dコンバータの基準電位 (-側) 入力端子です。

(d) ANO0, ANO1

D/Aコンバータ出力端子です。

2.3.3 P30-P35 (Port 3)

入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト入力、プログラミングUART入出力、タイマの入出力機能があります。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト入力、プログラミングUART入出力、タイマの入出力として機能します。

(a) INTP1, INTP2, INTP3

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TxD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

(c) RxD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

(d) SI00

シリアル・インタフェースCSI00のシリアル・データ入力端子です。

(e) SO00

シリアル・インタフェースCSI00のシリアル・データ出力端子です。

(f) SCK00

シリアル・インタフェースCSI00のシリアル・クロック入出力端子です。

(g) $\overline{\text{SSI00}}$

シリアル・インタフェースCSI00のチップ・セレクト入力端子です。

(h) TI02

16ビット・タイマ02への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(i) TO02

16ビット・タイマ02のタイマ出力端子です。

(j) TOOLTxD

フラッシュ・メモリ・プログラミング時に使用する、外部デバイス接続用のUARTのシリアル・データ出力端子です。

(k) TOOLRxD

フラッシュ・メモリ・プログラミング時に使用する、外部デバイス接続用のUARTのシリアル・データ入力端子です。

2.3.4 P40 (Port 4)

入出力ポートです。入出力ポートのほかに、フラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力機能があります。

プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

P40はオンチップ・デバッグ許可 (オプション・バイトで設定) の場合は、必ず外部プルアップ抵抗を接続してください。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

フラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力として機能します。

(a) TOOL0

フラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力端子です。

オンチップ・デバッグ許可の場合は必ず外部でプルアップしてください (プルダウン禁止)。

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、表2-2を参照してください。

2.3.5 P60, P61 (Port 6)

入出力ポートです。入出力ポートのほかに、シリアル・インタフェースのデータ入出力、クロック入出力機能があります。

P60, P61端子の出力はN-chオープン・ドレイン出力（6V耐圧）になっています。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト入力、タイマの入出力として機能します。

(a) SCLA0, SCLA1

シリアル・インタフェースIICA0, IICA1のシリアル・クロック入出力端子です。

(b) SDAA0, SDAA1

シリアル・インタフェースIICA0, IICA1のシリアル・データ入出力端子です。

2.3.6 P121, P122 (Port 12)

入力ポートです。入出力ポートのほかにメイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入力ポートとして機能します。

(2) コントロール・モード

メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力として機能します。

(a) X1, X2

メイン・システム・クロック用発振子接続端子です。

(b) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

2.3.7 P137 (Port 13)

P137は入力ポートです。そのほかに外部割り込み要求入力機能があります。

(1) ポート・モード

P137は入力ポートとして機能します。

(2) コントロール・モード

外部割り込み要求入力端子として機能します。

(a) INTPO

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

2.3.8 V_{DD} , V_{SS}

(1) V_{DD}

正電源供給端子です。

(2) V_{SS}

グラウンド電位端子です。

備考 ノイズおよびラッチアップ対策として、 V_{DD} - V_{SS} ライン間へのバイパスコンデンサ（0.1 μ F程度）を最短距離でかつ、比較的太い配線を使って接続してください。

2.3.9 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

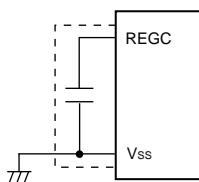
外部リセット端子を使用しない場合は、直接または抵抗を介して V_{DD} に接続してください。

外部リセット端子を使用する場合は、 V_{DD} を基準に設計してください。

2.3.10 REGC

内部動作レギュレータ出力安定容量接続端子です。コンデンサ（0.47~1 μ F）を介し、 V_{SS} に接続してください。

また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

2.4 未使用端子の処理

未使用端子の処理を表2-3に示します。

表2-3 各端子の未使用端子処理

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P10/ANI16 ^{注1}	11-U	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P11 ^{注2}	8-R		
P12/TI03/TO03/INTP4/PC LBUZ0			
P13/TI00/TO00			
P14 ^{注2}			
P15/PCLBUZ1			
P16/TI01/TO01/INTP5			
P17 ^{注2}			
P20/ANI0/AVREFP			
P21/ANI1/AVREFM			
P22/ANI2/ANO0	44		
P23/ANI3/ANO1			
P24/ANI4 ^{注2}	11-G		
P25/ANI5 ^{注2}			
P26/ANI6 ^{注2}			
P27/ANI7			
P30/INTP2/TxD0 /TOOLTxD/SO00	8-R		
P31/INTP1/RxD0/TOOLRx D/SI00			
P32/INTP3/SCK00			
P33/TI02/TO02/SSI00			
P34 ^{注2}			
P35 ^{注2}			
P40/TOOL0		入出力	入力時：個別に抵抗を介して、V _{DD} に接続またはオープンにしてください。 出力時：オープンにしてください。
P60/SCLA0/SCLA1			
P61/SDAA0/SDAA1			
P121/X1	37-C	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P122/X2/EXCLK			
P137/INTP0	2	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
REGC	—	—	コンデンサ (0.47~1 μF) を介し、V _{SS} に接続してください。

注1. ANI16は、24ピン製品のみ。

2. 32ピン製品のみ。

図2-1 端子の入出力回路一覧 (1/2)

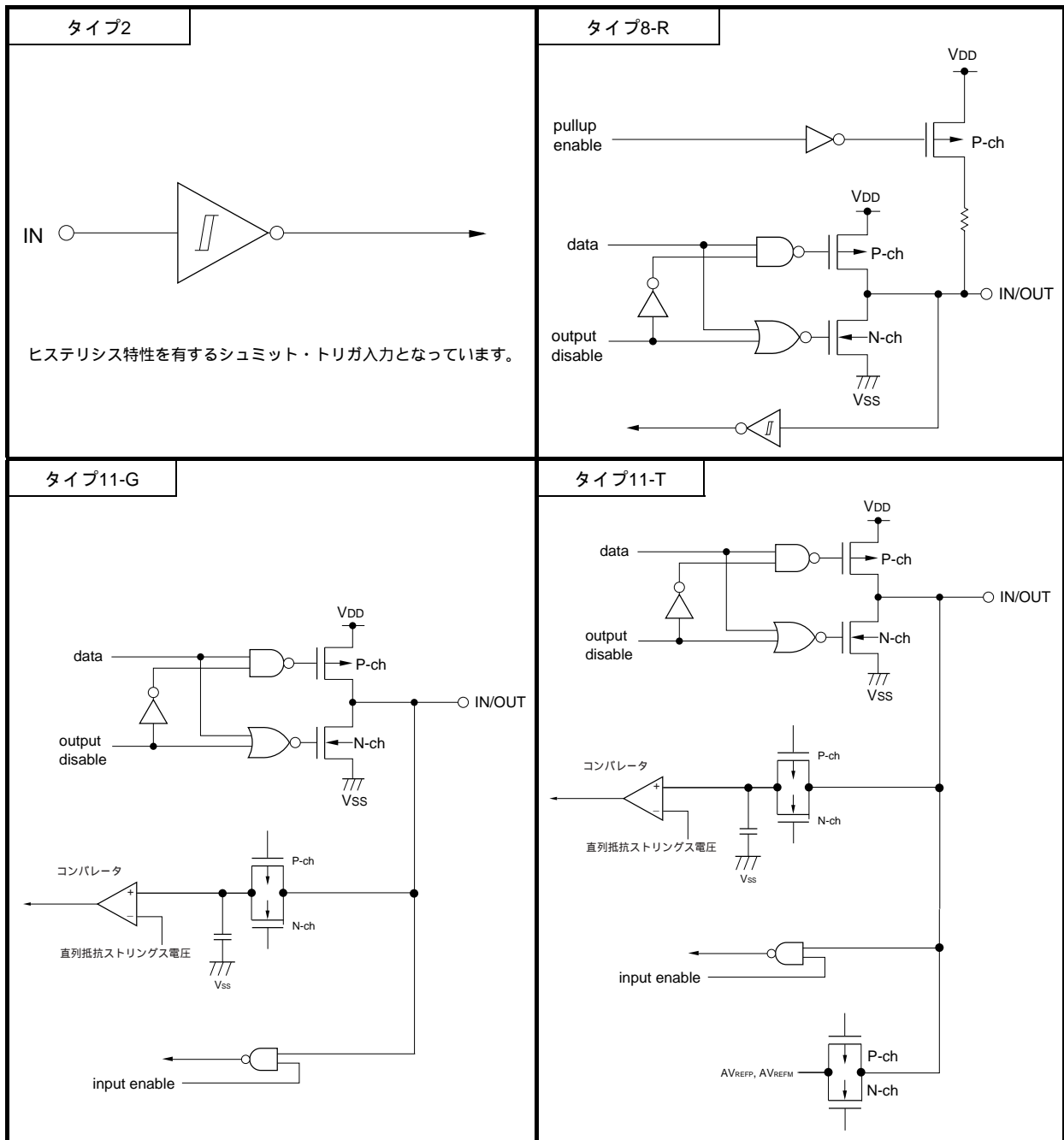
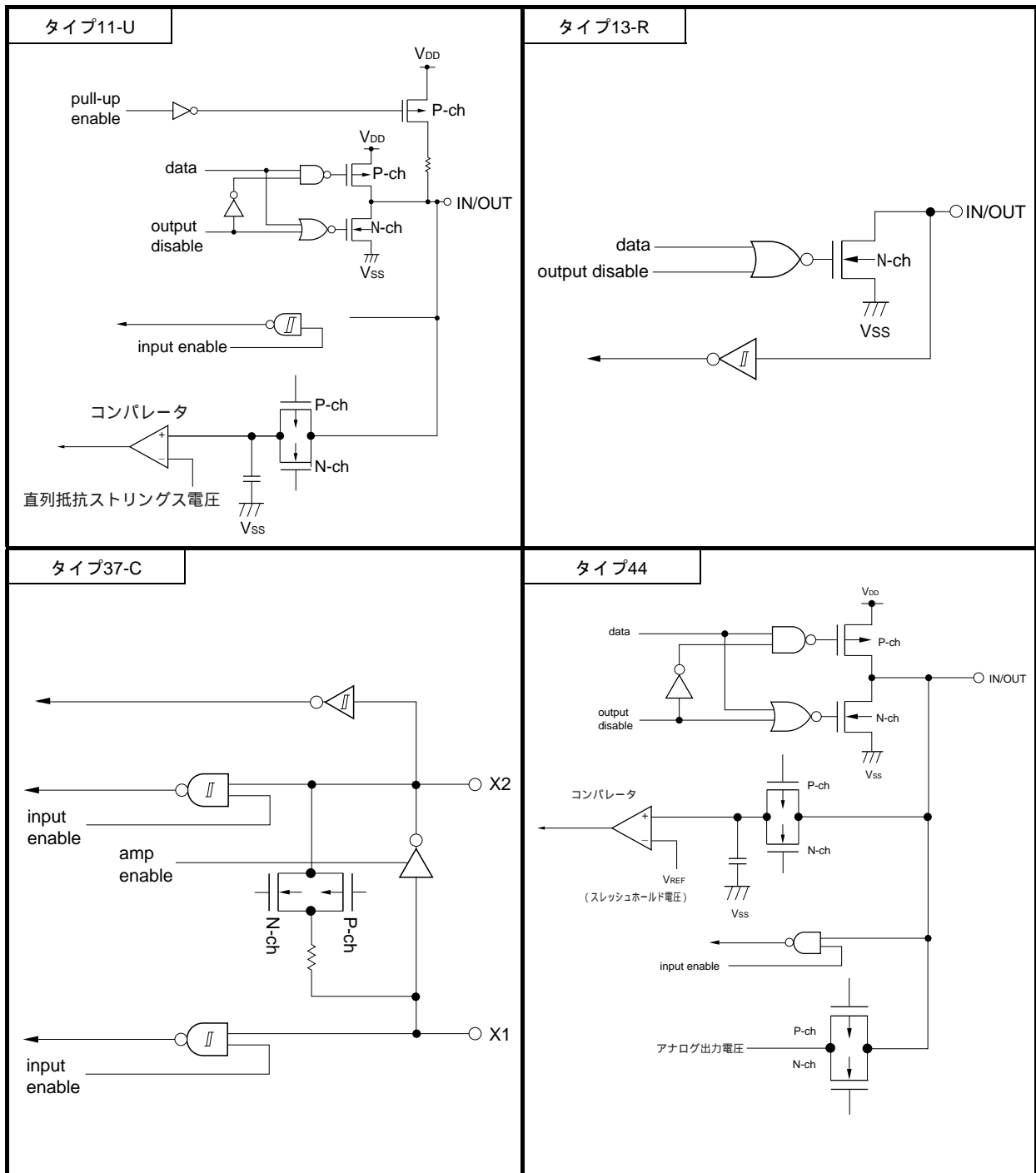


図2-1 端子の入出力回路一覧 (2/2)



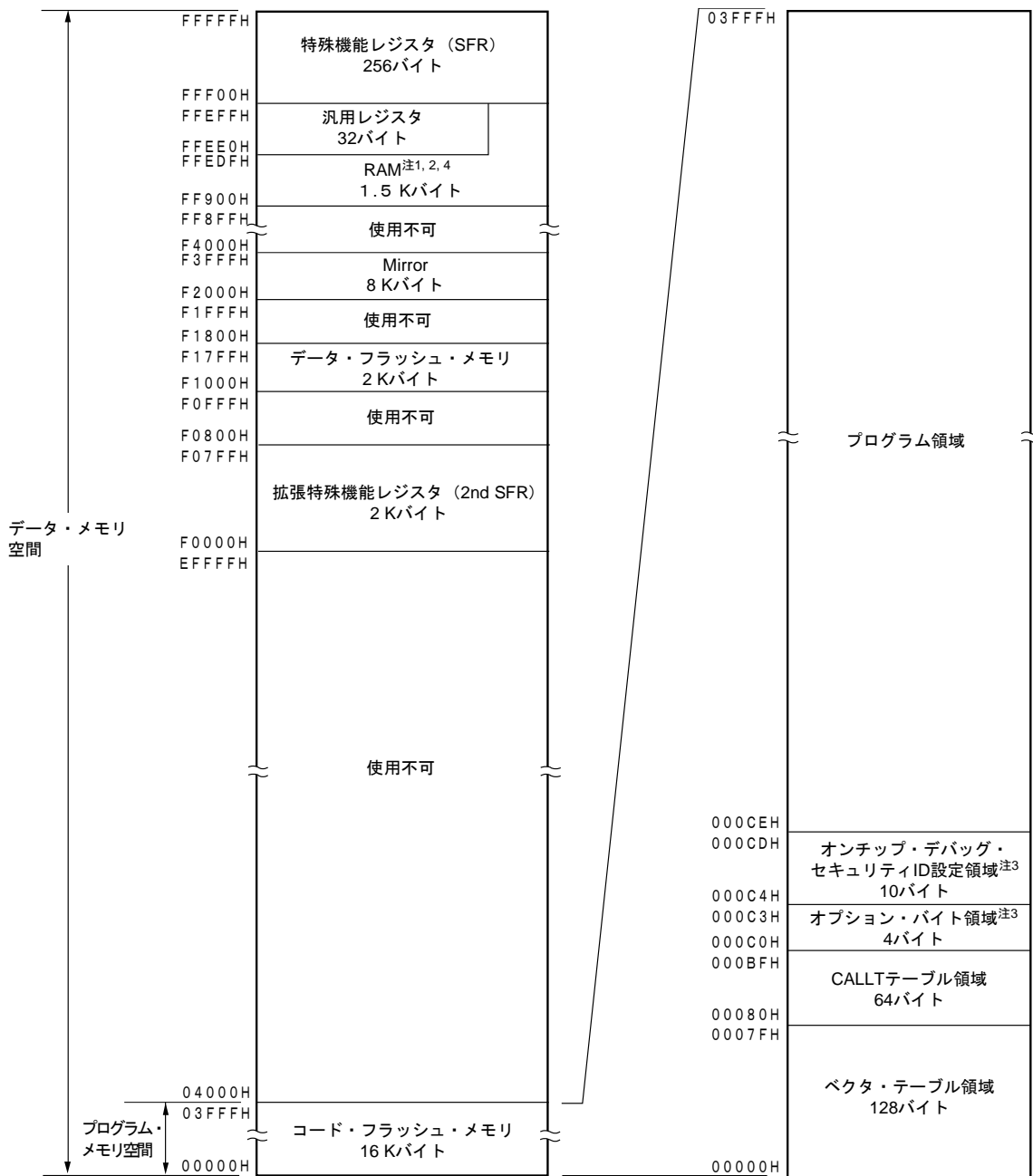
注意 タイプ13-R 出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

第3章 CPUアーキテクチャ

3.1 メモリ空間

RL78/G1Pは、1 Mバイトのアドレス空間をアクセスできます。図3-1に、メモリ・マップを示します。

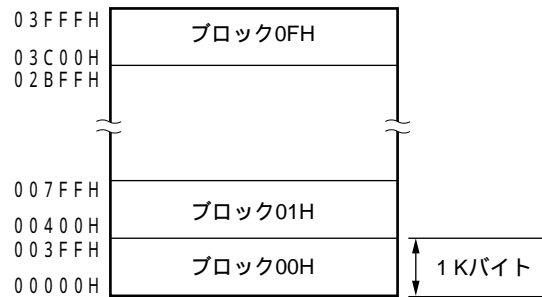
図3-1 メモリ・マップ



- 注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCIによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 2. 汎用レジスタを除いたRAM領域から命令を実行できます。
- 3. 000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
- 4. セルフ・プログラミング時およびデータ・フラッシュ書き換え時、フラッシュ・ライブラリが一部のRAM (セルフRAM)領域を使用します。フラッシュ・ライブラリが使用するセルフRAM領域は、1.1 特徴 OROM, RAM容量を参照してください。

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0) となります。詳細は、20.5 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています（1ブロック = 1 Kバイト）。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号
00000H-003FFH	00H
00400H-007FFH	01H
00800H-00BFFH	02H
00C00H-00FFFH	03H
01000H-013FFH	04H
01400H-017FFH	05H
01800H-01BFFH	06H
01C00H-01FFFH	07H
02000H-023FFH	08H
02400H-027FFH	09H
02800H-02BFFH	0AH
02C00H-02FFFH	0BH
03000H-033FFH	0CH
03400H-037FFH	0DH
03800H-03BFFH	0EH
03C00H-03FFFH	0FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G1Pは、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-2 内部ROM容量

製 品	内部ROM	
	構 造	容 量
RL78/G1P	フラッシュ・メモリ	16384×8ビット (00000H-03FFFFH)

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE
00004H	INTWDTI
00006H	INTLVI
00008H	INTP0
0000AH	INTP1
0000CH	INTP2
0000EH	INTP3
00010H	INTP4
00012H	INTP5
00014H	INTAD
00016H	INTIICA0
00018H	INTFL
0001AH	INTDMA0
0001CH	INTDMA1
0001EH	INTST0/INTCSI00
00020H	INTSR0
00022H	INTSRE0
	INTTM01H
00028H	INTTM03H
0002AH	INTIICA1
0002CH	INTTM00
0002EH	INTTM01
00030H	INTTM02
00032H	INTTM03

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。詳細は第22章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。詳細は第24章 オンチップ・デバッグ機能を参照してください。

3.1.2 ミラー領域

RL78/G1Pでは、02000H-03FFFHのコード・フラッシュ・エリアをF2000H-F3FFFHへミラーさせています。

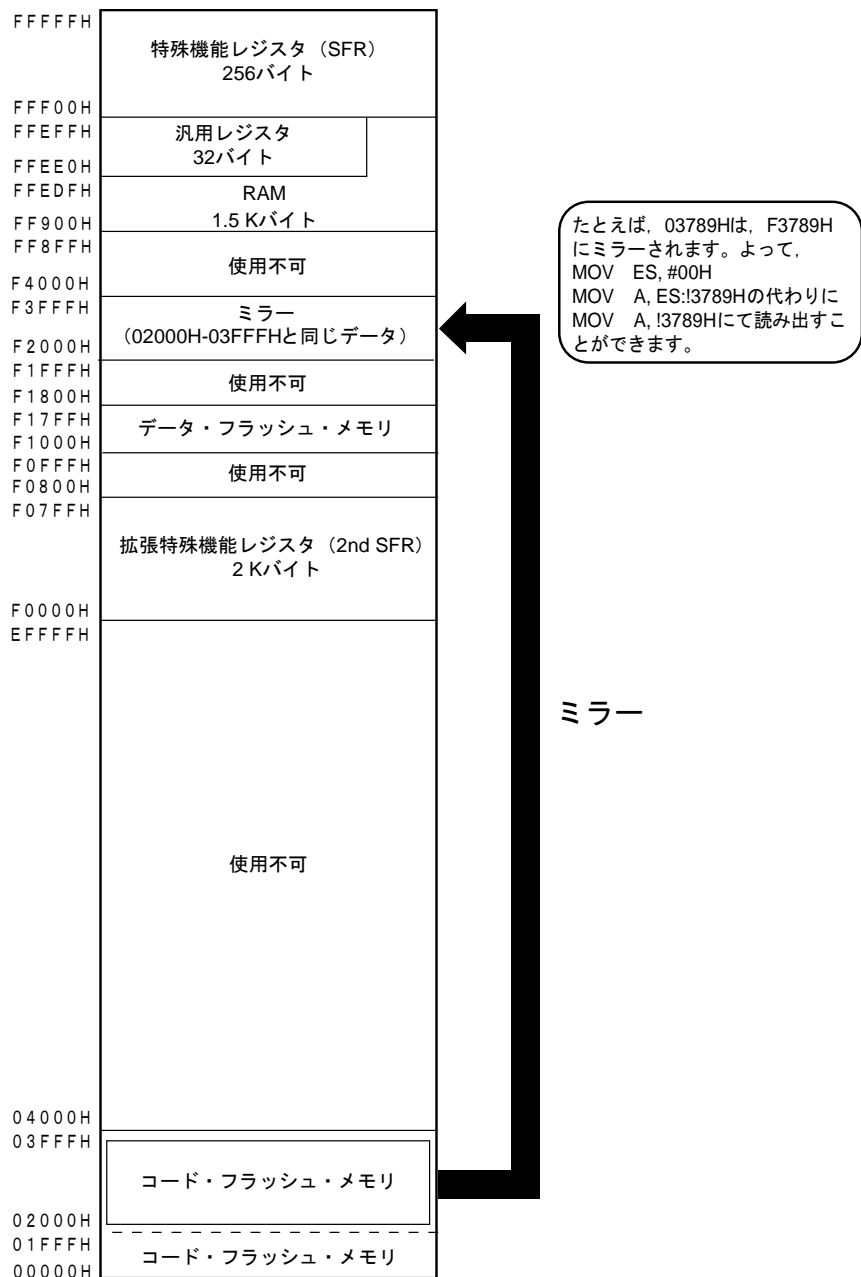
ミラー先のF2000H-F3FFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 RL78/G1P (フラッシュ・メモリ 16 Kバイト, RAM 1.5 Kバイト)



次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F2000H-F3FFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-2 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F2000H-F3FFFFHへミラーするフラッシュ・メモリ空間を設定
0	02000H-03FFFFHをF2000H-F3FFFFHへミラー
1	設定禁止

注意1. 必ずビット0 (MAA) を0 (初期値) でご使用ください。

2. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

RL78/G1Pは、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

製 品	内部RAM
RL78/G1P	1536×8ビット (FF900H-FFEFFH)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます(汎用レジスタが割り当てられた領域では命令実行不可)。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。
2. セルフ・プログラミング時またはデータ・フラッシュ書き換え時は、次に示す製品のRAM領域に各ライブラリが使用するスタックやデータ・バッファとDMA転送で利用するRAMアドレスを配置しないでください。詳細は、RL78ファミリ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルおよびRL78ファミリ データ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルをご確認ください。
- RL78/G1P : FFE20H-FFEFFH
3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時、フラッシュ・ライブラリが一部のRAM (セルフRAM)領域を使用します。フラッシュ・ライブラリが使用するセルフRAM領域は、1.1 特徴 OROM, RAM容量を参照してください。

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.4 特殊機能レジスタ (SFR : Special Function Register) の表3-5参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表3-6参照)。

SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

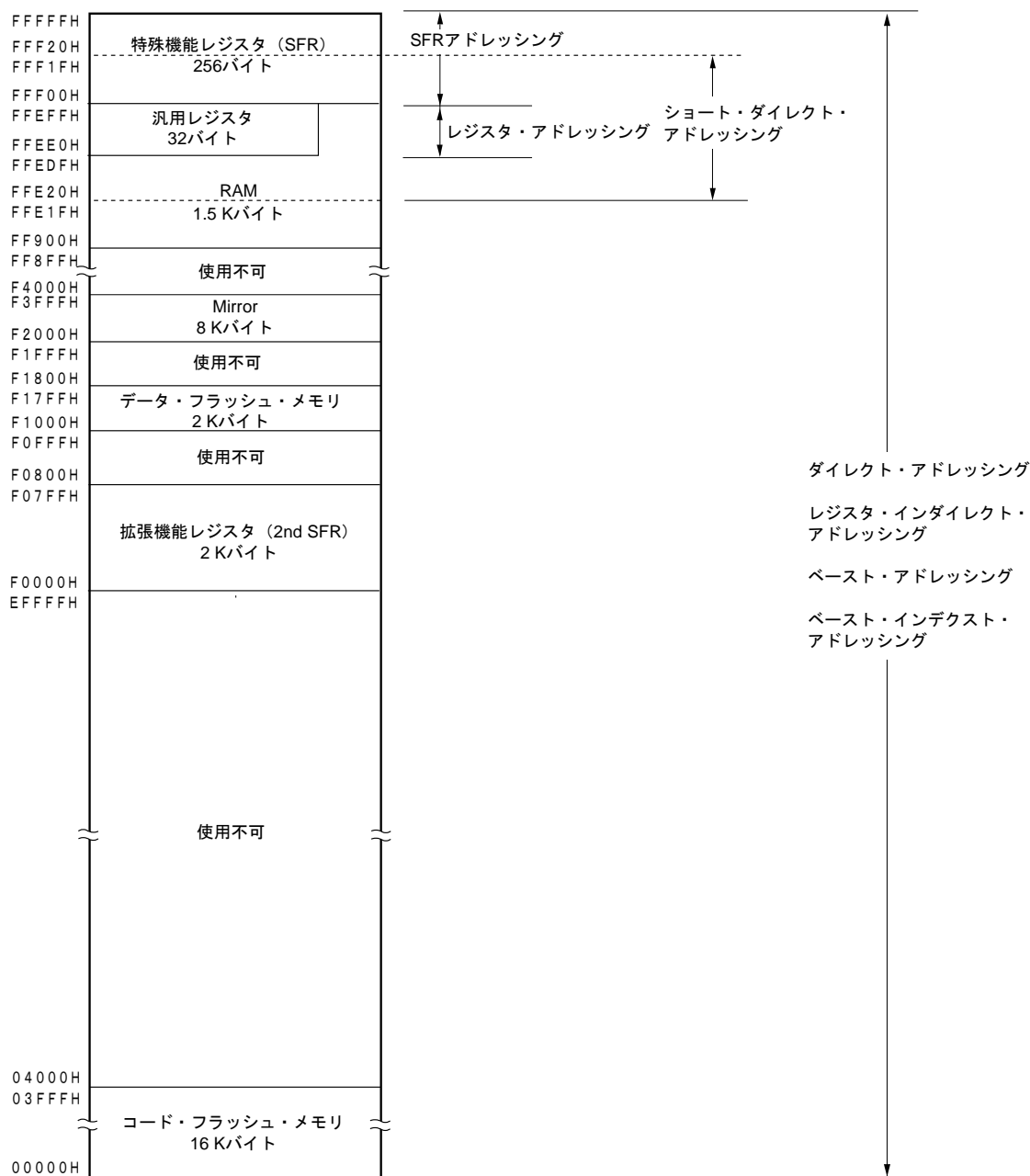
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/G1Pでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特に、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-3にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、「3.4 処理データ・アドレスに対するアドレッシング」を参照してください。

図3-3 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

RL78/G1Pは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

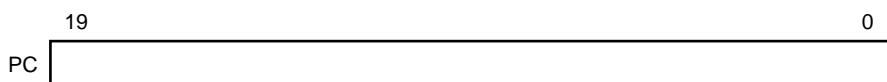
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、00000H、00001H番地のリセット・ベクタ・テーブルの値が、下位16ビットにセットされます。上位4ビットは0000Iにクリアされます。

図3-4 プログラム・カウンタの構成



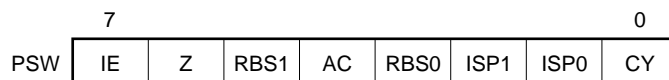
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06HIになります。

図3-5 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このときマスカブル割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算や比較で結果がゼロまたは等しいときセット (1) され、それ以外のとくにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL Rn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のとくにリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L) (15. 3. 3参照) でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際にベクタ割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

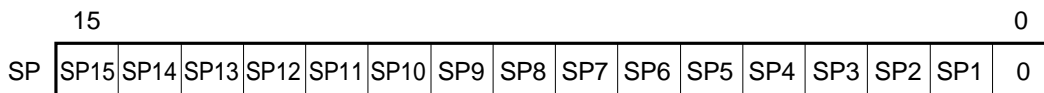
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-6 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

- 注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
- 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。
 - セルフ・プログラミング時またはデータ・フラッシュ書き換え時は、次に示す製品のRAM領域に各ライブラリが使用するスタックやデータ・バッファとDMA転送で利用するRAMアドレスを配置しないでください。詳細は、RL78ファミリ フラッシュ・セルフ・プログラミング・ライブラリType01 ユーザーズマニュアルおよびRL78ファミリ データ・フラッシュ・ライブラリType04 ユーザーズマニュアルをご確認ください。
RL78/G1P : FFE20H-FFEFFH
 - セルフ・プログラミング時およびデータ・フラッシュ書き換え時、フラッシュ・ライブラリが一部のRAM（セルフRAM）領域を使用します。フラッシュ・ライブラリが使用するセルフRAM領域は、1.1 特徴 OROM, RAM容量を参照してください。

3.2.2 汎用レジスタ

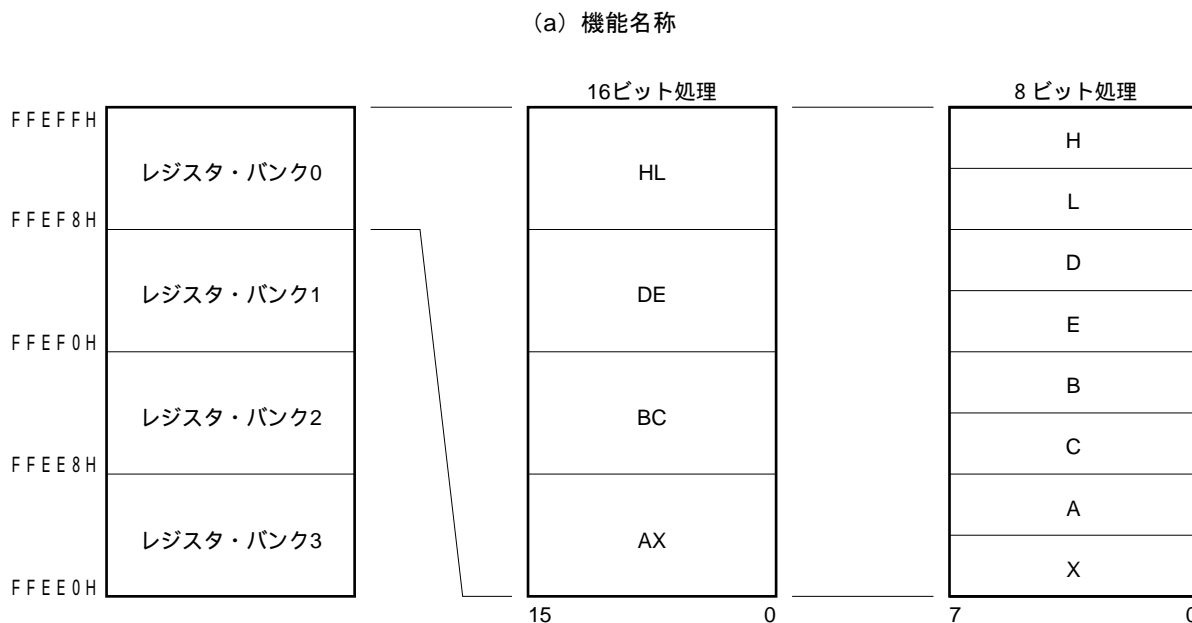
汎用レジスタは、データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL R_n）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み処理で使用するレジスタをバンク切り替えすれば、効率のよいプログラムを作成できます。

注意 汎用レジスタ（FFEE0H-FFEFFH）の空間は、命令フェッチやスタック領域としての使用を禁止します。

図3-7 汎用レジスタの構成

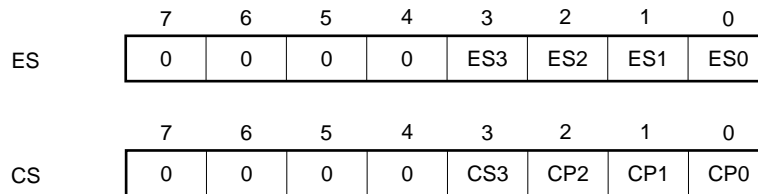


3.2.3 ES, CSレジスタ

ESレジスタでデータ・アクセス, CSレジスタで(レジスタ・インダイレクト・アドレッシング)分岐命令実行時の, それぞれ上位アドレスを指定できます。

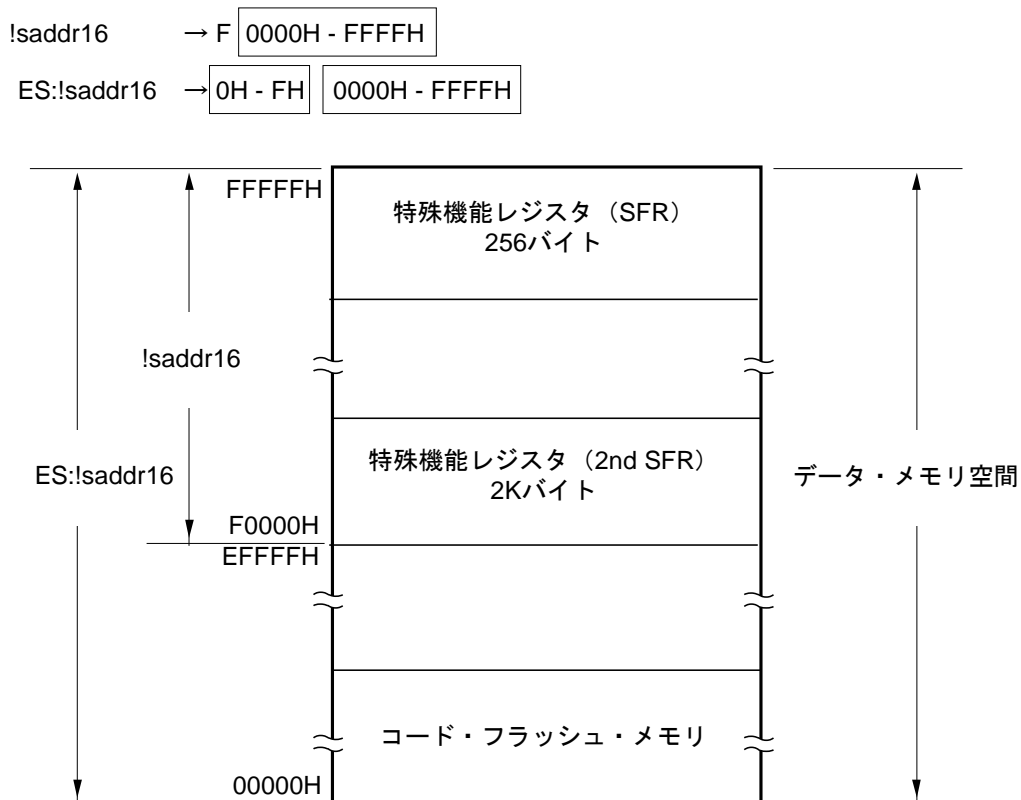
ESレジスタのリセット後の初期値は0FH, CSレジスタのリセット後の初期値は00Hです。

図3-8 ES/CSレジスタの構成



16ビット・アドレスでアクセスできるデータ領域は, F0000H-FFFFFHの64 Kバイト空間ですが, ES:を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3-9 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ（SFR : Special Function Register）

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- ・1ビット操作

1ビット操作命令のオペランド(sfr.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- ・8ビット操作

8ビット操作命令のオペランド（sfr）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- ・16ビット操作

16ビット操作命令のオペランド（sfrp）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- ・略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- ・R/W

該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・操作可能ビット単位

操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

- ・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR（2nd SFR）については、3.2.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）を参照してください。

表3-5 特殊機能レジスタ(SFR)一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
FFF01H	ポート・レジスタ1	P1		R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	—	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	—	不定
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	シリアル・データ・レジスタ01	RXD0/ SIO01	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○	00H	
FFF1EH	12ビットA/D変換結果レジスタ	ADCR		R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	○	—	00H
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	—	00H
FFF31H	アナログ入力チャンネル指定レジスタ	ADS		R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可 レジスタ0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可 レジスタ0	EGN0		R/W	○	○	—	00H
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	—	○	—	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	—	00H
FFF54H	IICAシフト・レジスタ1	IICA1		R/W	—	○	—	00H
FFF55H	IICAステータス・レジスタ1	IICS1		R	○	○	—	00H
FFF56H	IICAフラグ・レジスタ1	IICF1		R/W	○	○	—	00H
FFF58H	D/A変換値設定レジスタ0	DACS0		R/W	—	—	○	0000H
FFF59H								
FFF5AH	D/A変換値設定レジスタ1	DACS1		R/W	—	—	○	0000H
FFF5BH								
FFF5CH	D/Aコンバータ・モード・レジスタ	DAM		R/W	○	○	—	00H

表3-5 特殊機能レジスタ(SFR)一覧 (2/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H				—	○	
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	—	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1		R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	—	○	—	不定 ^{注1}
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	—	00H ^{注2}
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	—	00H/01H/ 81H ^{注3}
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	—	○	—	1AH/9AH ^{注4}
FFFACH	CRC入力レジスタ	CRCIN		R/W	—	○	—	00H
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0		R/W	—	○	—	00H
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1		R/W	—	○	—	00H
FFFB2H	DMA RAMアドレス・レジスタ0L	DRA0L	DRA0	R/W	—	○	○	00H
FFFB3H	DMA RAMアドレス・レジスタ0H	DRA0H			R/W	—	○	
FFFB4H	DMA RAMアドレス・レジスタ1L	DRA1L	DRA1	R/W	—	○	○	00H
FFFB5H	DMA RAMアドレス・レジスタ1H	DRA1H			R/W	—	○	
FFFB6H	DMA バイト・カウンタ・レジスタ0L	DBC0L	DBC0	R/W	—	○	○	00H
FFFB7H	DMA バイト・カウンタ・レジスタ0H	DBC0H			R/W	—	○	
FFFB8H	DMA バイト・カウンタ・レジスタ1L	DBC1L	DBC1	R/W	—	○	○	00H
FFFB9H	DMA バイト・カウンタ・レジスタ1H	DBC1H			R/W	—	○	
FFFBAAH	DMA モード・コントロール・レジスタ0	DMC0		R/W	○	○	—	00H
FFFBABH	DMA モード・コントロール・レジスタ1	DMC1		R/W	○	○	—	00H
FFFBCH	DMA 動作コントロール・レジスタ0	DRC0		R/W	○	○	—	00H
FFFBDAH	DMA 動作コントロール・レジスタ1	DRC1		R/W	○	○	—	00H

- 注1. RESFレジスタのリセット値は、リセット要因により変化します。
2. LVIMレジスタのリセット値は、リセット要因により変化します。
3. LVISレジスタのリセット値は、リセット要因およびオプション・バイトの設定により変化します。
4. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

表3-5 特殊機能レジスタ(SFR)一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W	○	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L		R/W	○	○	—	00H
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L		R/W	○	○	—	FFH
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L		R/W	○	○	—	FFH
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W	○	○	○	FFH
FFFE DH	優先順位指定フラグ・レジスタ10H	PR10H		R/W	○	○		FFH
FFFE EH	優先順位指定フラグ・レジスタ11L	PR11L		R/W	○	○	—	FFH
FFFE FH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

備考 拡張SFR (2nd SFR) については、表3-6 拡張特殊機能レジスタ(SFR)一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F000H-F07FFHの領域です。SFR領域 (FFF0H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- ・1ビット操作

1ビット操作命令のオペランド (!addr16.bit) には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- ・8ビット操作

8ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- ・16ビット操作

16ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- ・略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- ・R/W

該当する拡張SFRが読み出し (Read) /書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を○で示します。-は操作できないビット単位であることを示します。

- ・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 拡張SFR (2nd SFR) が割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3-6 拡張特殊機能レジスタ (2nd SFR) 一覧 (1/4)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	
				1 ビット	8 ビット	16 ビット		
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H	
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH	
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H	
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H	
F0031H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H	
F0033H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H	
F0034H	ブルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H	
F0061H	ポート・モード・コントロール・レジスタ1	PMC1	R/W	○	○	—	FFH	
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H	
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H	
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H	
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H	
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	—	○	—	00H	
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H	
F007AH	周辺イネーブル・レジスタ1	PER1	R/W	○	○	—	00H	
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H	
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定 ^注	
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定	
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H	
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H	
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	○	—	不定	
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—			
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—			
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—			
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—			

注 リセット値は出荷時に調整した値です。

表3-6 拡張特殊機能レジスタ (2nd SFR) 一覧 (2/4)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	-	-	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	-	-	○	0020H
F0113H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	-	-	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	-	-	○	0087H
F011BH								
F0120H	シリアル・チャンネル許可ステータス・ レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		-			-			
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		-			-			
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		-			-			
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	-	○	○	0000H
F0127H		-			-			
F0128H	シリアル出力レジスタ0	SO0		R/W	-	-	○	0303H
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		-			-			
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	-	○	○	0000H
F0135H		-			-			
F0138H	シリアル・スタンバイ・コントロー ル・レジスタ0	SSC0L	SSC0	R/W	-	○	○	0000H
F0139H		-			-			
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	-	-	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	-	-	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	-	-	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	-	-	○	FFFFH
F0187H								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	-	-	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	-	-	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	-	-	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	-	-	○	0000H
F0197H								

表3-6 拡張特殊機能レジスタ (2nd SFR) 一覧 (3/4)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—			
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—			
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—			
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—			
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—			
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—			
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—			
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—			
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—			
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—			
F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W	○	○	—	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0		R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0		R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0		R/W	—	○	—	00H
F0238H	IICAコントロール・レジスタ10	IICCTL10		R/W	○	○	—	00H
F0239H	IICAコントロール・レジスタ11	IICCTL11		R/W	○	○	—	00H
F023AH	IICAロウ・レベル幅設定レジスタ1	IICWL1		R/W	—	○	—	FFH
F023BH	IICAハイ・レベル幅設定レジスタ1	IICWH1		R/W	—	○	—	FFH
F023CH	スレーブ・アドレス・レジスタ1	SVA1		R/W	—	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL		R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL		R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD		R/W	—	—	○	0000H

表3-6 拡張特殊機能レジスタ (2nd SFR) 一覧 (4/4)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット 時
				1 ビット	8 ビット	16 ビット	
F0300H	イベントリンク設定レジスタ00	ELSELR00	R/W	○	○	—	00H
F0301H	イベントリンク設定レジスタ01	ELSELR01	R/W	○	○	—	00H
F0302H	イベントリンク設定レジスタ02	ELSELR02	R/W	○	○	—	00H
F0303H	イベントリンク設定レジスタ03	ELSELR03	R/W	○	○	—	00H
F0304H	イベントリンク設定レジスタ04	ELSELR04	R/W	○	○	—	00H
F0305H	イベントリンク設定レジスタ05	ELSELR05	R/W	○	○	—	00H
F0306H	イベントリンク設定レジスタ06	ELSELR06	R/W	○	○	—	00H
F0307H	イベントリンク設定レジスタ07	ELSELR07	R/W	○	○	—	00H
F0308H	イベントリンク設定レジスタ08	ELSELR08	R/W	○	○	—	00H
F0309H	イベントリンク設定レジスタ09	ELSELR09	R/W	○	○	—	00H

備考 SFR領域のSFRについては、表3-5 特殊機能レジスタ (SFR) 一覧を参照してください。

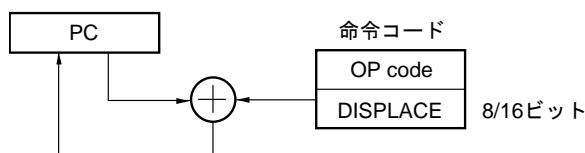
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレイメント値（符号付きの補数データ：-128～+127または-32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-10 レラティブ・アドレッシングの概略



3.3.2 イミューディエト・アドレッシング

【機能】

命令語中のイミューディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミューディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-11 CALL !!addr20/BR !!addr20の例

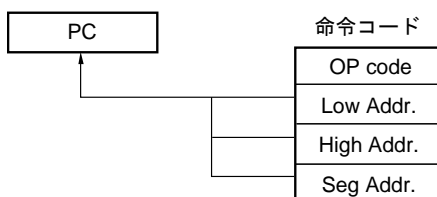
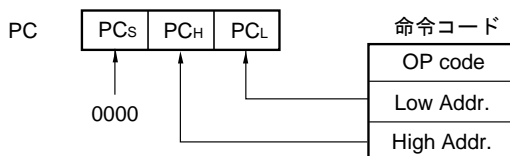


図3-12 CALL !addr16/BR !addr16の例



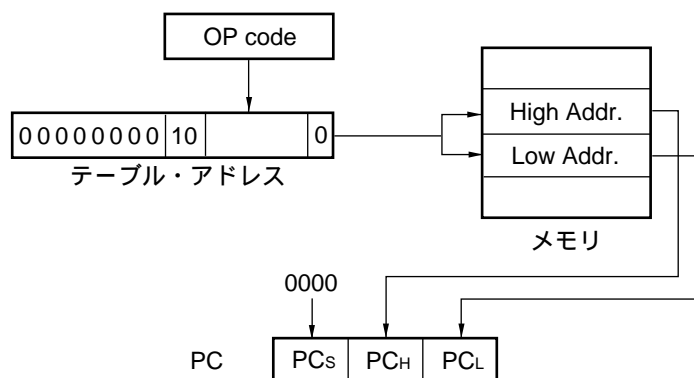
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3-13 テーブル・インダイレクト・アドレッシングの概略

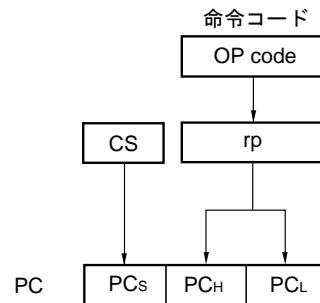


3.3.4 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3-14 レジスタ・インダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

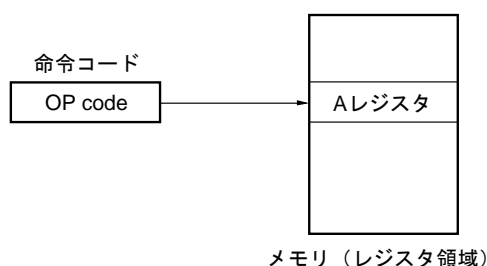
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-15 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

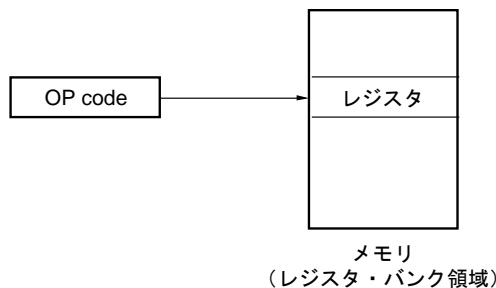
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3-16 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3-17 !addr16の例

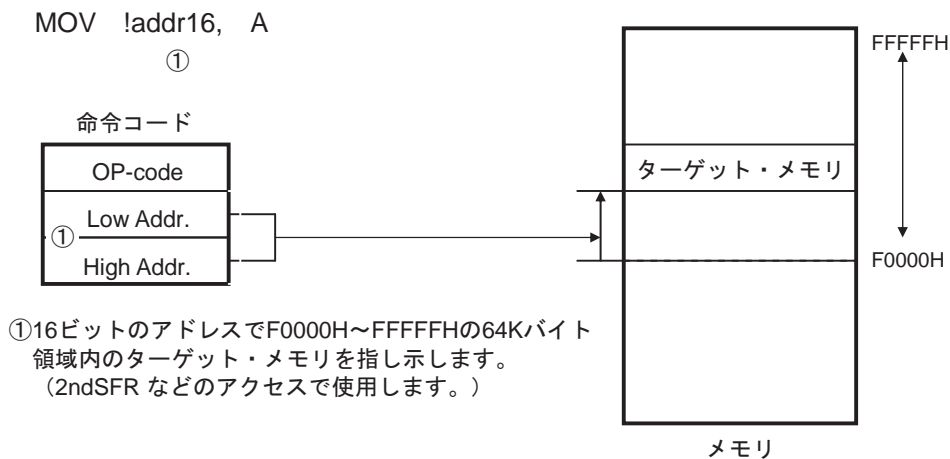
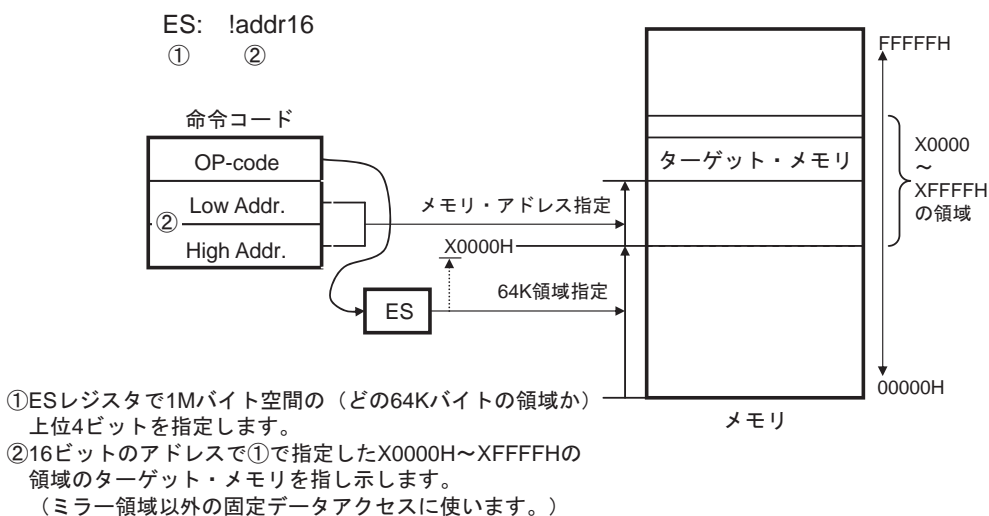


図3-18 ES:!addr16の例



3.4.4 ショート・ダイレクト・アドレッシング

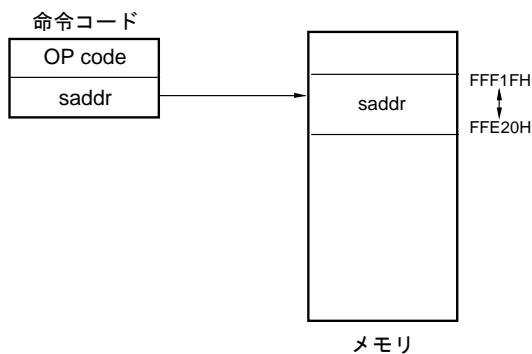
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミディエト・データ
SADDRP	ラベルまたはFFE20H-FFF1FHのイミディエト・データ（偶数アドレスのみ）

図3-19 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミディエト・データでFFE20H-FFF1FHの値を記述することもできます。ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

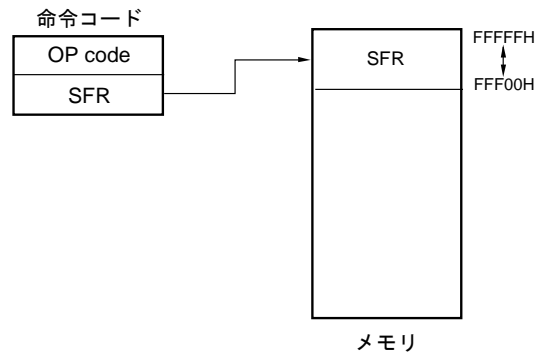
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図3-20 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3-21 [DE], [HL]の例

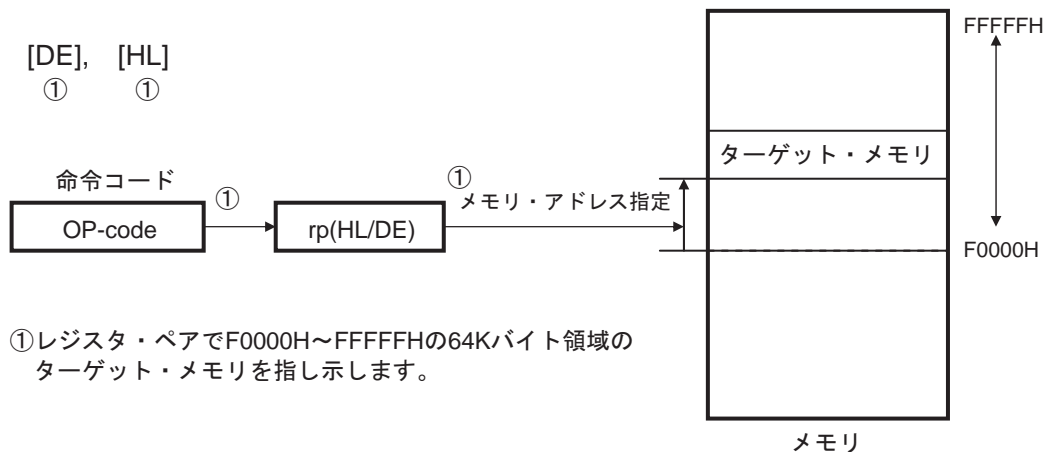
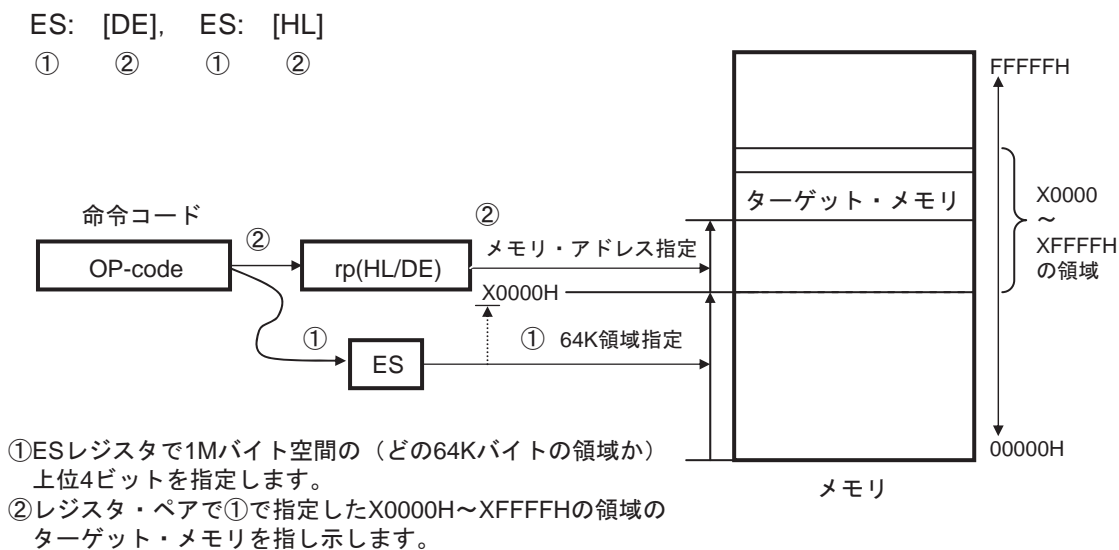


図3-22 ES:[DE], ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3-23 [SP+byte]の例

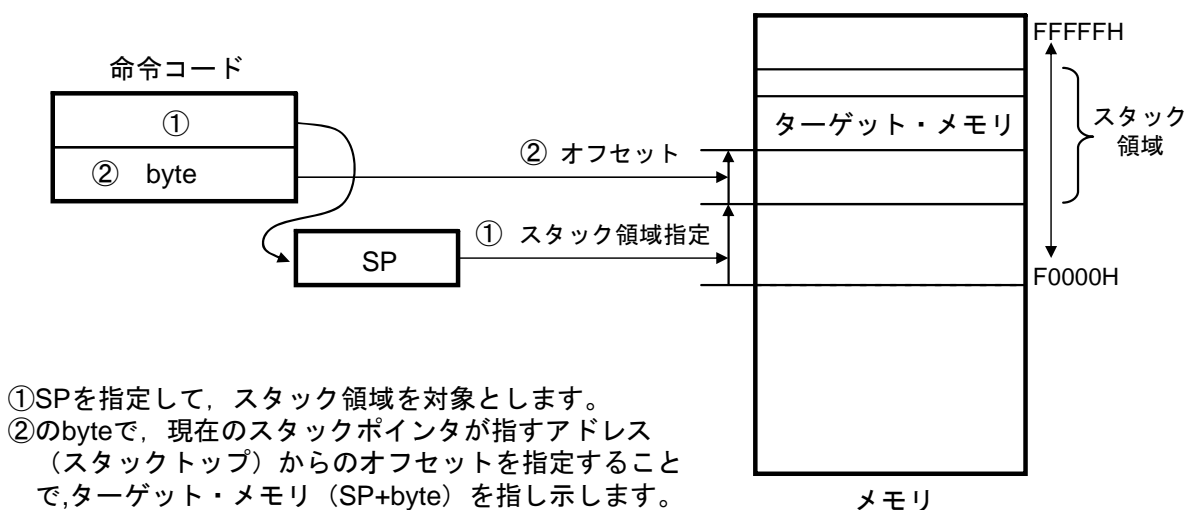


図3-24 [HL+byte], [DE+byte]の例

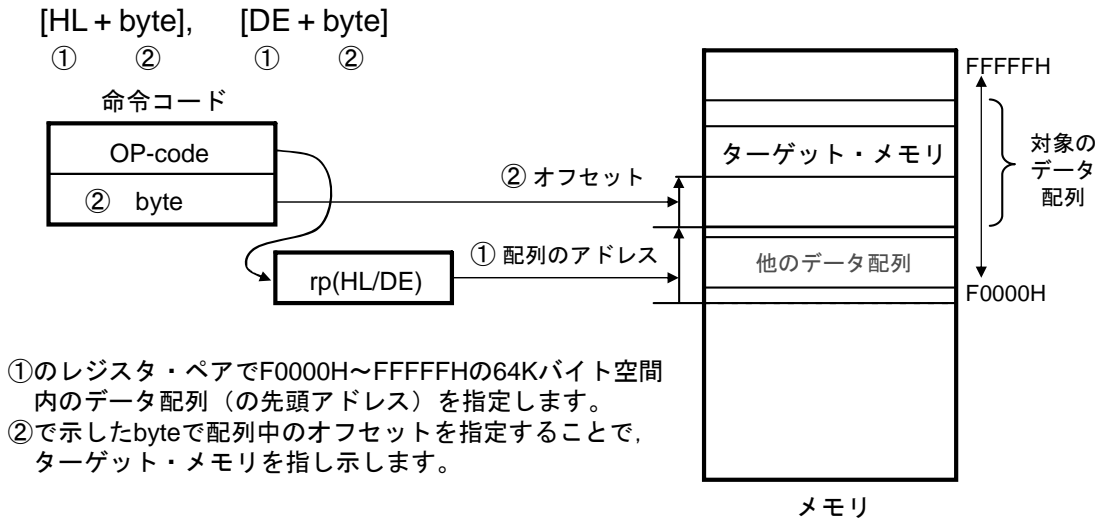


図3-25 word[B], word[C]の例

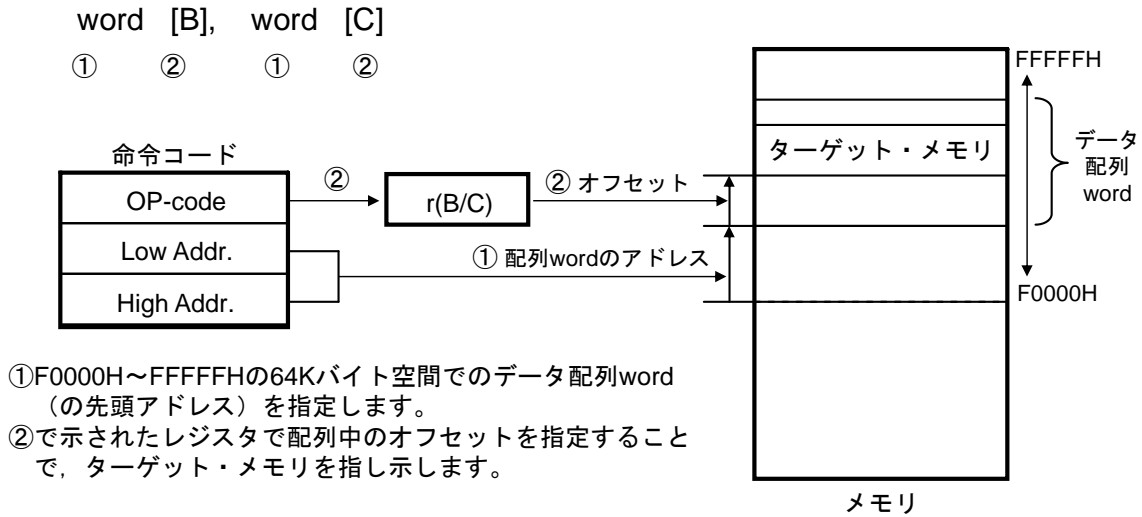


図3-26 word[BC]の例

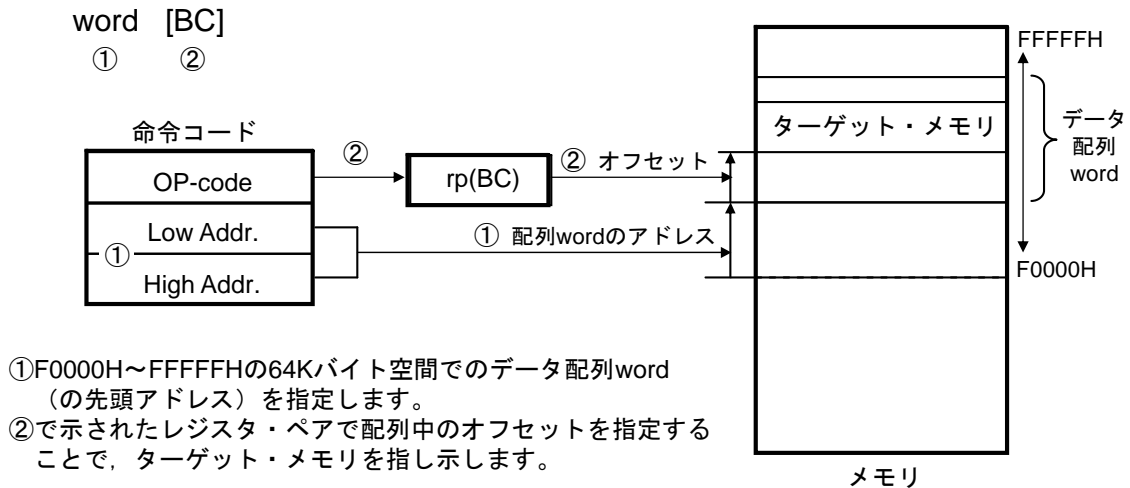


図3-27 ES:[HL+byte], ES:[DE+byte]の例

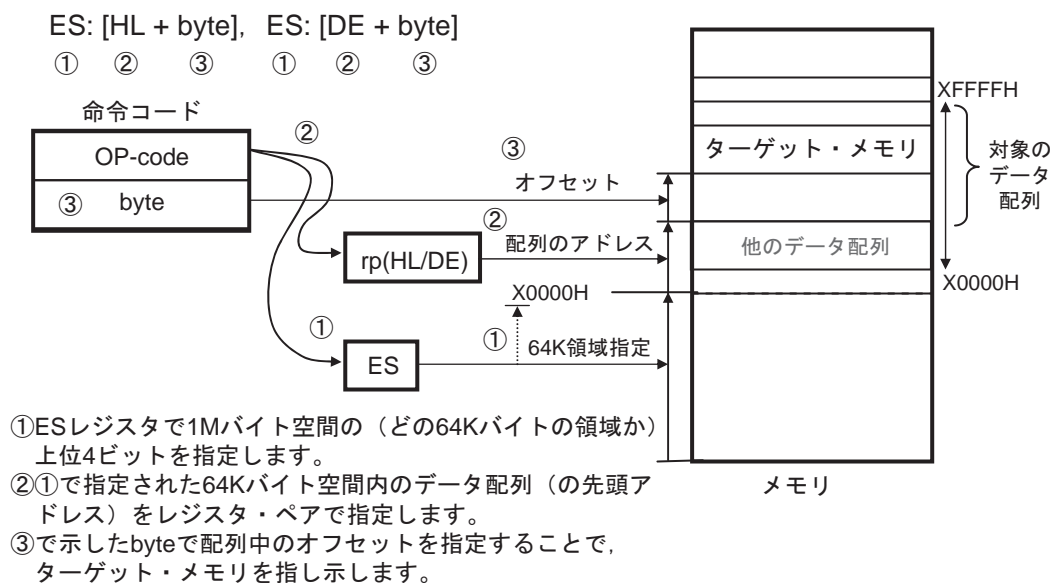


図3-28 ES:word[B], ES:word[C]の例

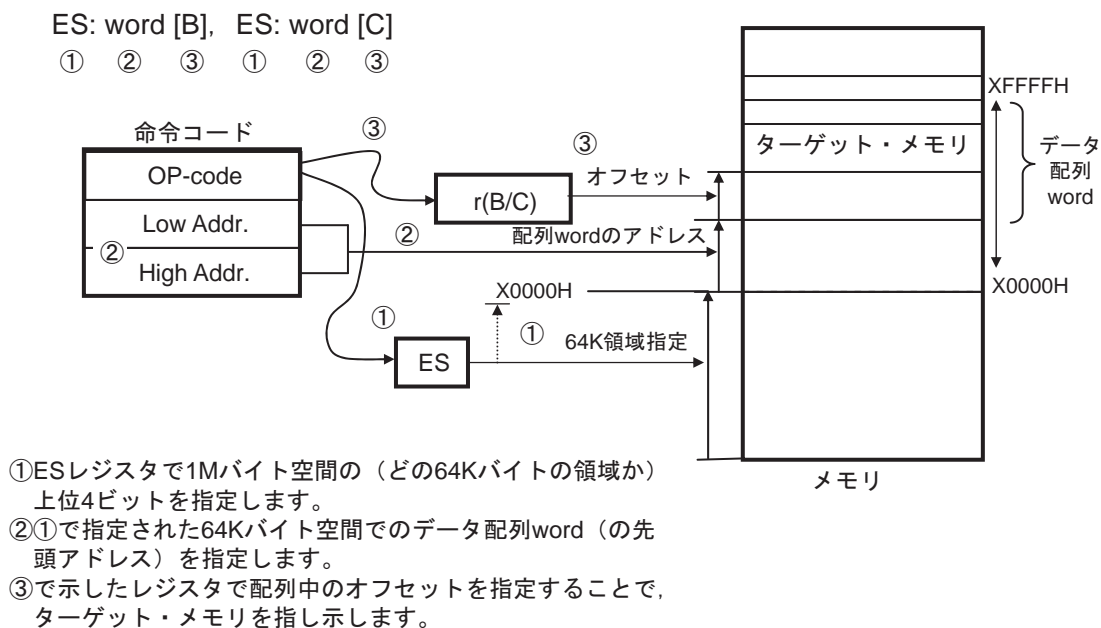
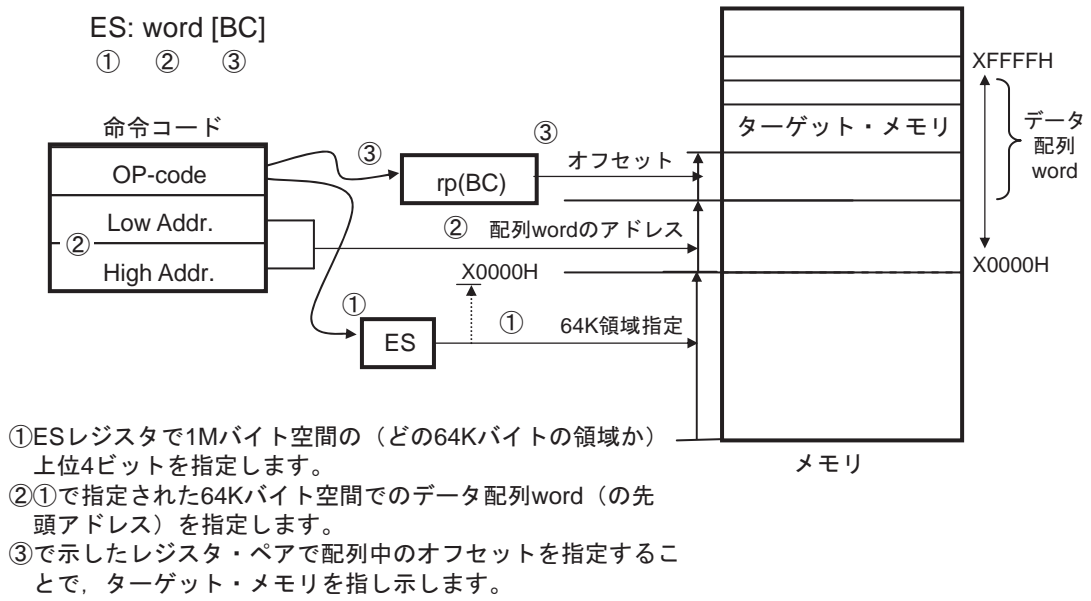


図3-29 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+B], [HL+C] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL+B], ES:[HL+C] (ESレジスタにて上位4ビット・アドレス指定)

図3-30 [HL+B], [HL+C]の例

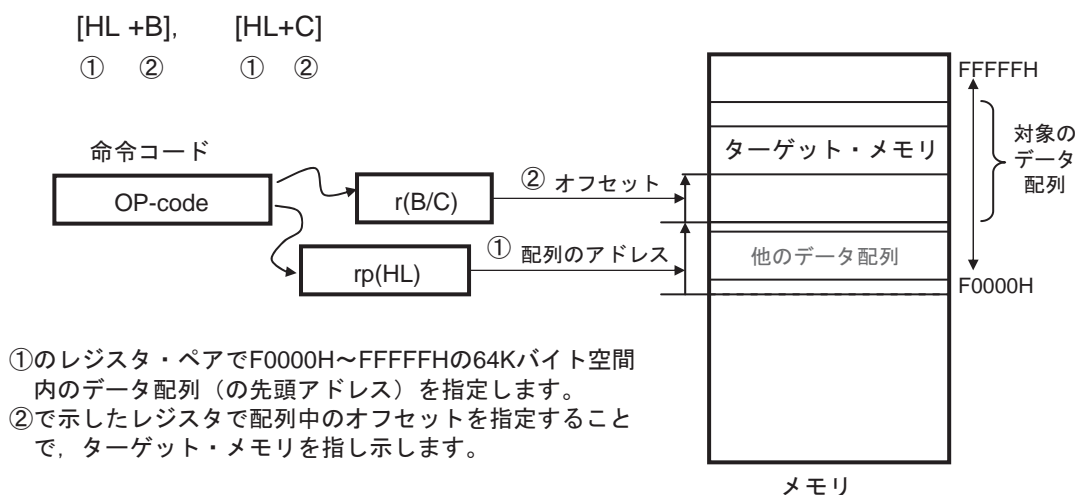
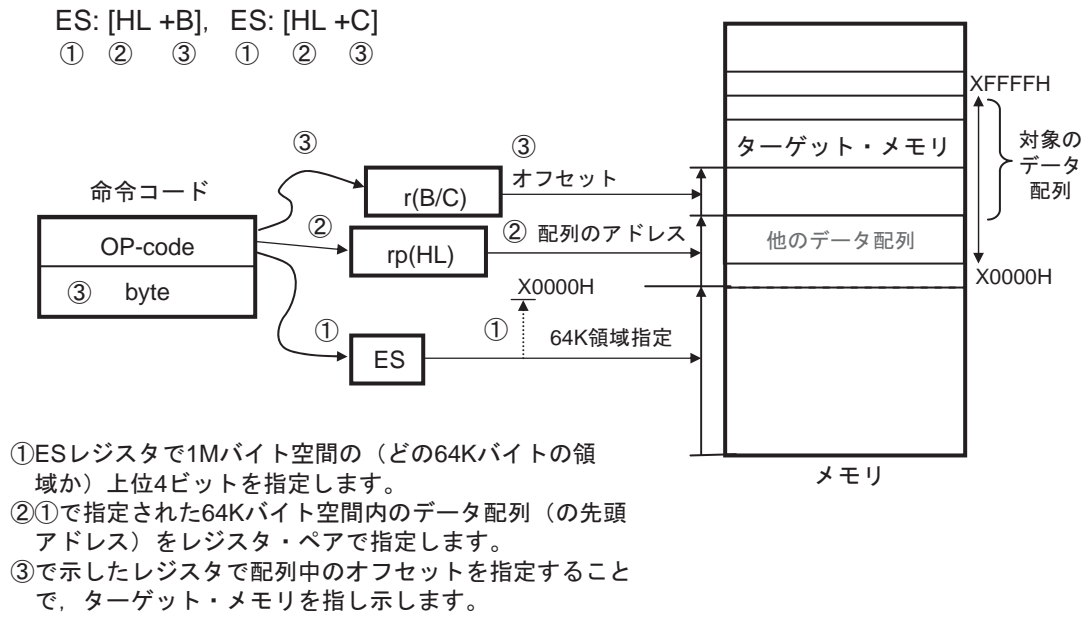


図3-31 ES:[HL+B], ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避/復帰されるデータは図3-32~図3-37のようになります。

図3-32 PUSH rpの例

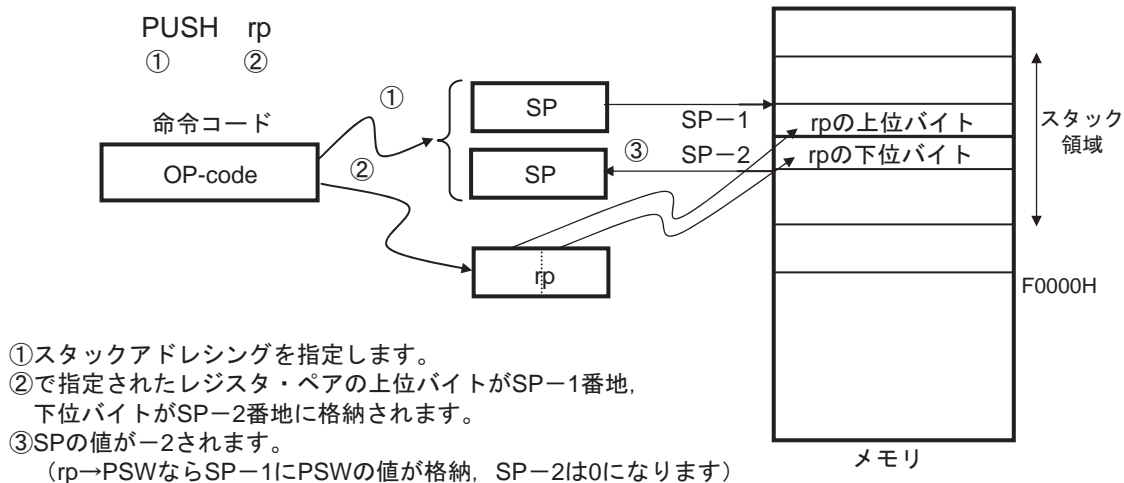


図3-33 POPの例

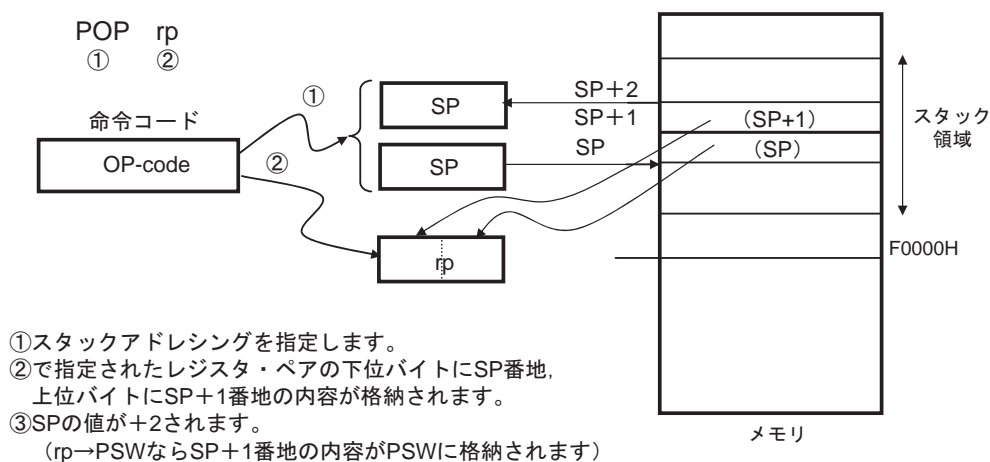


図3-34 CALL, CALLTの例

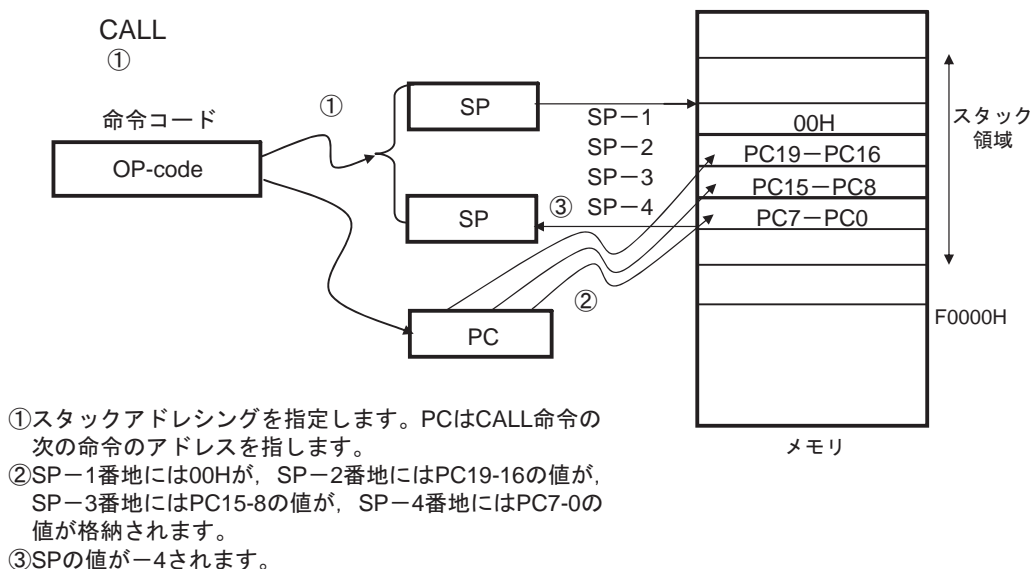


図3-35 RETの例

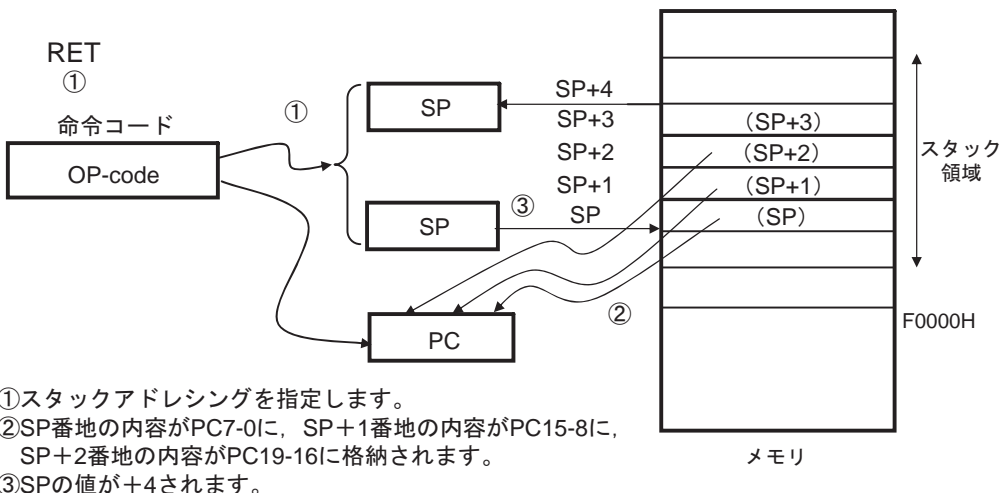
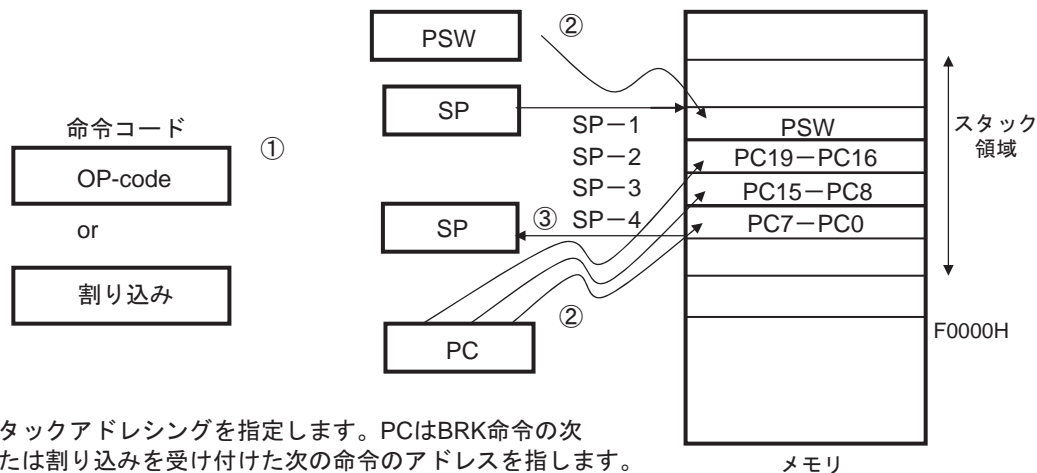
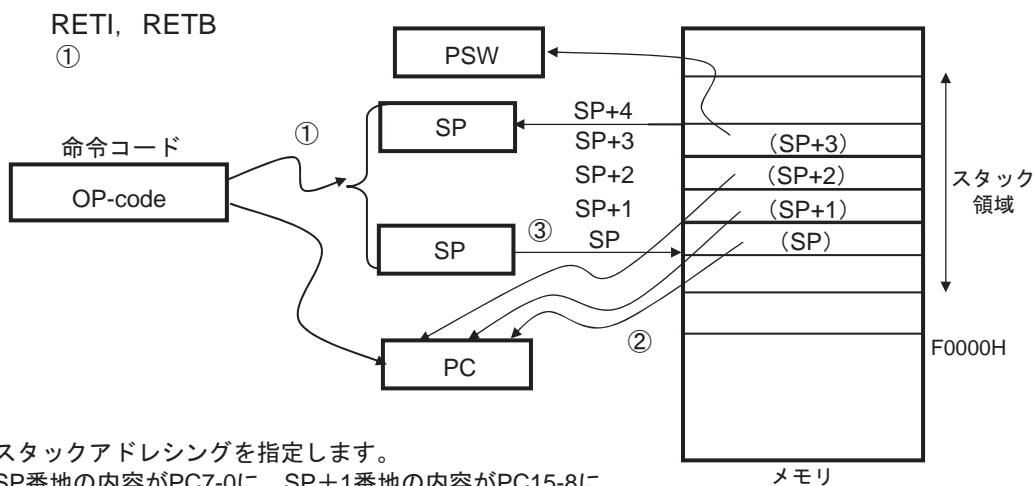


図3-36 割り込み, BRKの例



- ①スタックアドレッシングを指定します。PCはBRK命令の次または割り込みを受け付けた次の命令のアドレスを指します。
- ②SP-1番地にはPSWの値が、SP-2番地にはPC19-16の値が、SP-3番地にはPC15-8の値が、SP-4番地にはPC7-0の値が格納されます。
- ③SPの値が-4されます。

図3-37 RETI, RETBの例



- ①スタックアドレッシングを指定します。
- ②SP番地の内容がPC7-0に、SP+1番地の内容がPC15-8に、SP+2番地の内容がPC19-16に、SP+3番地の内容がPSW格納されます。
- ③SPの値が+4されます。

第4章 ポート機能

4.1 ポートの機能

RL78/G1Pは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM1-PM4, PM6) ポート・レジスタ (P1-P4, P6, P12, P13) プルアップ抵抗オプション・レジスタ (PU1, PU3, PU4) ポート・モード・コントロール・レジスタ1 (PMC1) A/Dポート・コンフィギュレーション・レジスタ (ADPC)
ポート	・24ピン製品： 合計：20本 (CMOS入出力：15本, CMOS入力：3本, N-chオープン・ドレイン入出力：2本) ・32ピン製品： 合計：28本 (CMOS入出力：23本, CMOS入力：3本, N-chオープン・ドレイン入出力：2本)
プルアップ抵抗	・24ピン製品 : 合計：10本 ・32ピン製品 : 合計：15本

注意 この章では、以降の主な説明を32ピン製品の場合で説明しています。

4.2.1 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード/出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力、外部割り込み要求入力、クロック/ブザー出力があります。リセット信号の発生により、入力モードになります。

表4-2 ポート1使用時のレジスタ設定

ポート	入出力	PM1×	兼用機能設定	備考
P10	入力	1	×	CMOS入力
	出力	0	×	CMOS出力
P11	入力	1	×	CMOS入力
	出力	0	×	CMOS出力
P12	入力	1	×	CMOS入力
	出力	0	PCLBUZ0出力 = 0 ^{注1} TO03出力 = 0 ^{注3}	CMOS出力
P13	入力	1	×	CMOS入力
	出力	0	TO00出力 = 0 ^{注3}	CMOS出力
P14	入力	1	×	CMOS入力
	出力	0	×	CMOS出力
P15	入力	1	×	CMOS入力
	出力	0	PCLBUZ1出力 = 0 ^{注2}	CMOS出力
P16	入力	1	×	CMOS入力
	出力	0	TO01出力 = 0 ^{注3}	CMOS出力
P17	入力	1	×	CMOS入力
	出力	0	×	CMOS出力

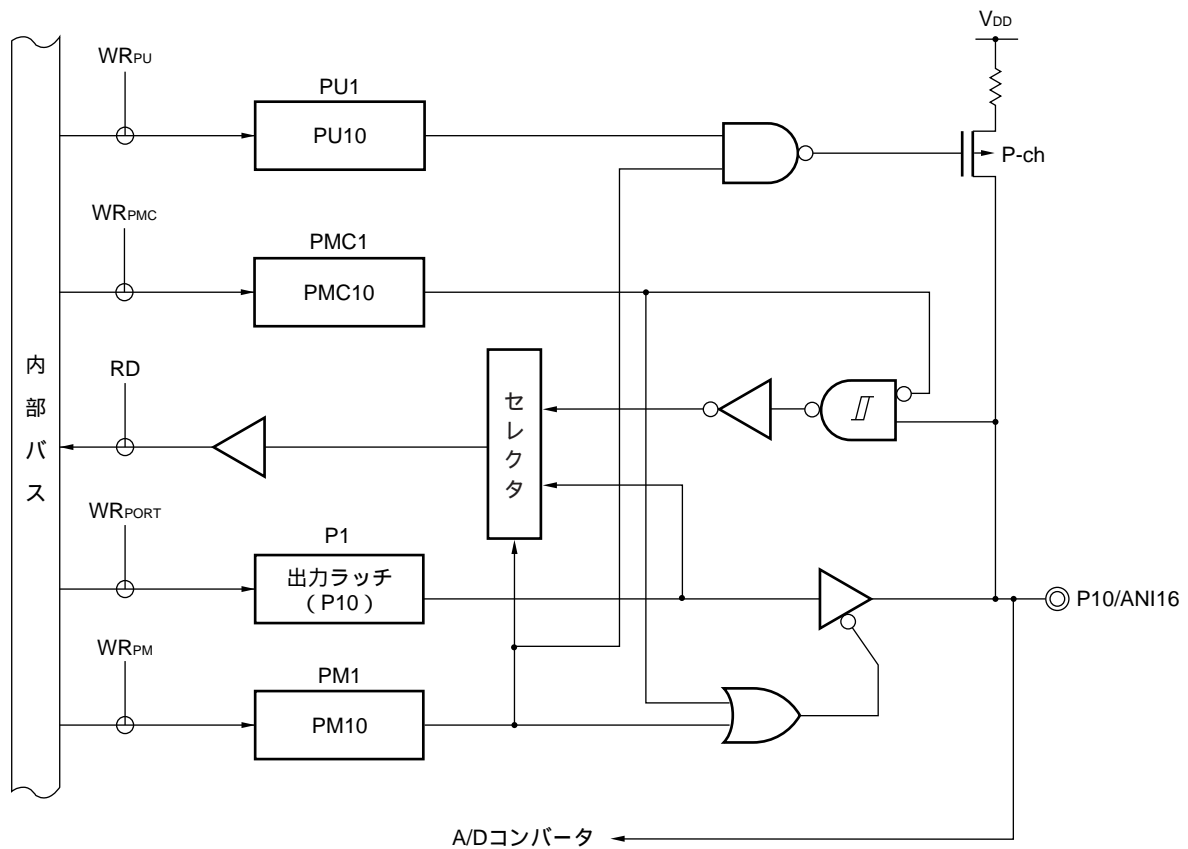
- 注 1. P12/TI03/TO03/INTP4/PCLBUZ0を汎用ポートとして使用する場合、クロック出力選択レジスタ0 (CKS0) のビット7 (PCLOE0) を初期状態と同じ設定“0”で使用してください。
2. P15/PCLBUZ1を汎用ポートとして使用する場合、クロック出力選択レジスタ1 (CKS1) のビット7 (PCLOE1) を初期状態と同じ設定“0”で使用してください。
3. P12/TI03/TO03/INTP4/PCLBUZ0, P13/TI00/TO00, P16/TI01/TO01/INTP5を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット0, 1, 3 (TO00, TO01, TO03) とタイマ出力許可レジスタ0 (TOE0) のビット0, 1, 3 (TOE00, TOE01, TOE03) を初期状態と同じ設定“0”で使用してください。

備考 × : don't care

PM1× : ポート・モード・レジスタ1

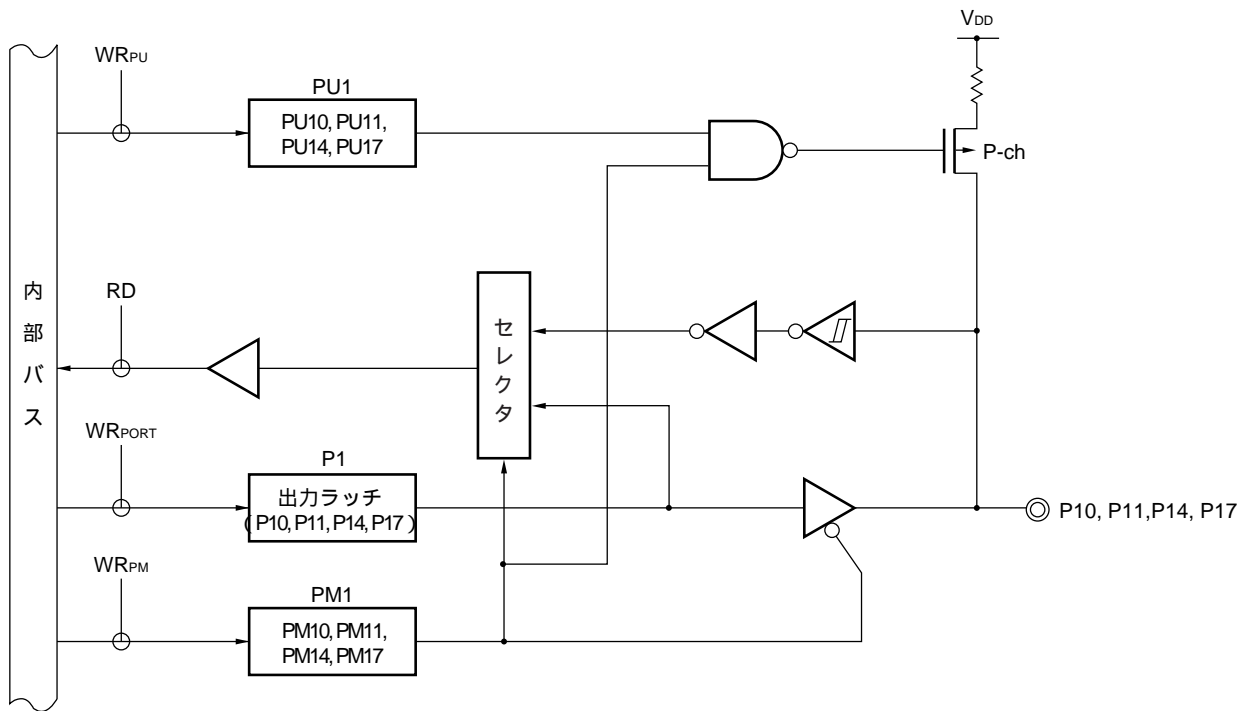
図4-1～図4-4にポート1のブロック図を示します。

図4-1 P10のブロック図 (24ピン製品)



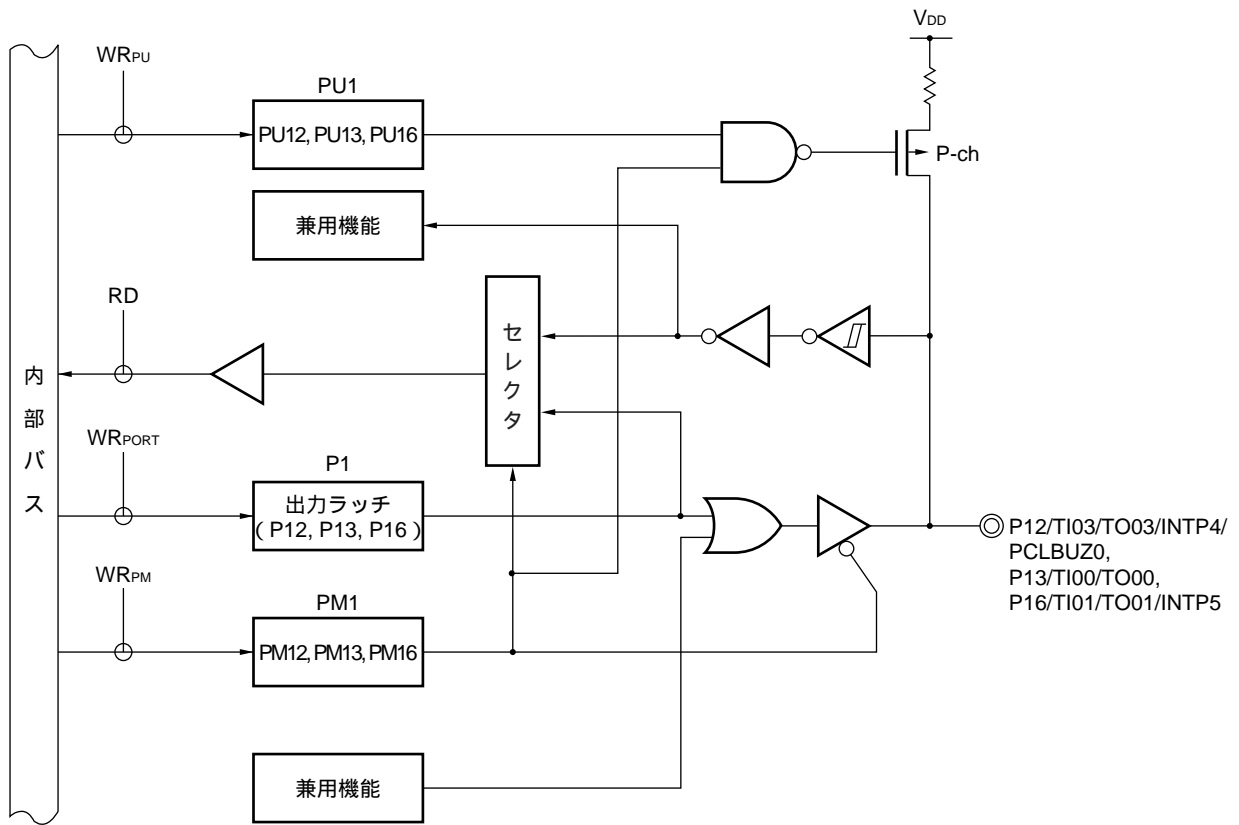
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PMC1 : ポート・モード・コントロール・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4-2 P10, P11, P14, P17のブロック図 (32ピン製品)



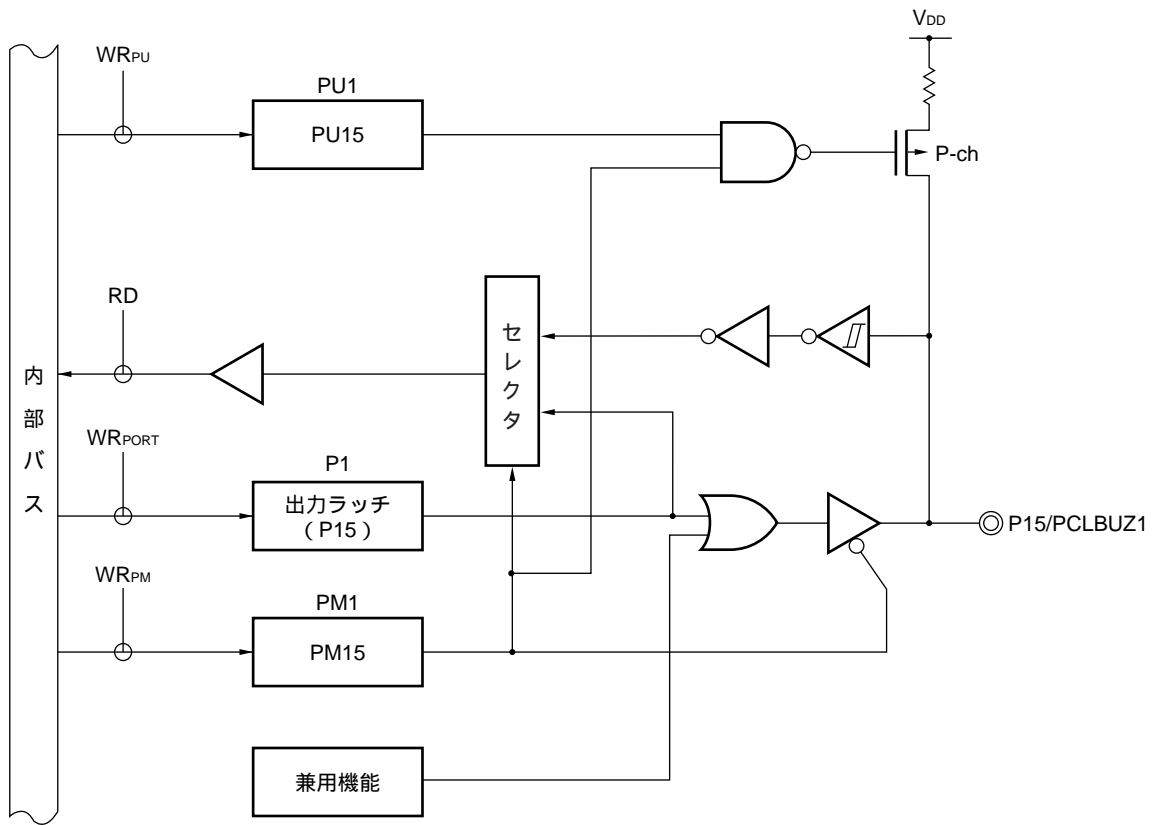
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4-3 P12, P13, P16のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4-4 P15のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

4.2.2 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2（PM2）により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの基準電位（+側）入力、A/Dコンバータの基準電位（-側）入力、D/Aコンバータ出力があります。

P20/ANI0, P21/ANI1, P22/ANI2/ANO0, P23/ANI3/ANO1, P24/ANI4-P27/ANI7をデジタル入力またはデジタル出力として使用する場合は、次のような順序で使用してください。

P27 → P26 → P25 → P21 → P20 → P22 → P23 → P24

P20/ANI0, P21/ANI1, P22/ANI2/ANO0, P23/ANI3/ANO1, P24/ANI4-P27/ANI7をアナログ入出力として使用するときに、P20, P21をA/Dコンバータの基準電位（+側）入力、A/Dコンバータの基準電位（-側）入力として使用する場合は、P20, P21の隣の端子から使用してください。

それ以外の場合には、次のような順序で使用してください。

P24 → P23 → P22 → P20 → P21 → P25 → P26 → P27

表4-3 ポート2使用時のレジスタ設定

端子名称		PM2n	ADPCn	兼用機能設定	備考
名称	入出力				
P2n	入力	1	1	—	ポートとして使用する場合は上位ビットから使用
	出力	0	1		

- 備考1. PM2 : ポート・モード・レジスタ2
 ADPC : A/Dポート・コンフィギュレーション・レジスタ
 2. n = 0-7

表4-4 P20/ANI0, P21/ANI1, P24/ANI4-P27/ANI7端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0, P21/ANI1, P24/ANI4-P27/ANI7端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P20/ANI0, P21/ANI1, P24/ANI4-P27/ANI7はアナログ入力になります。

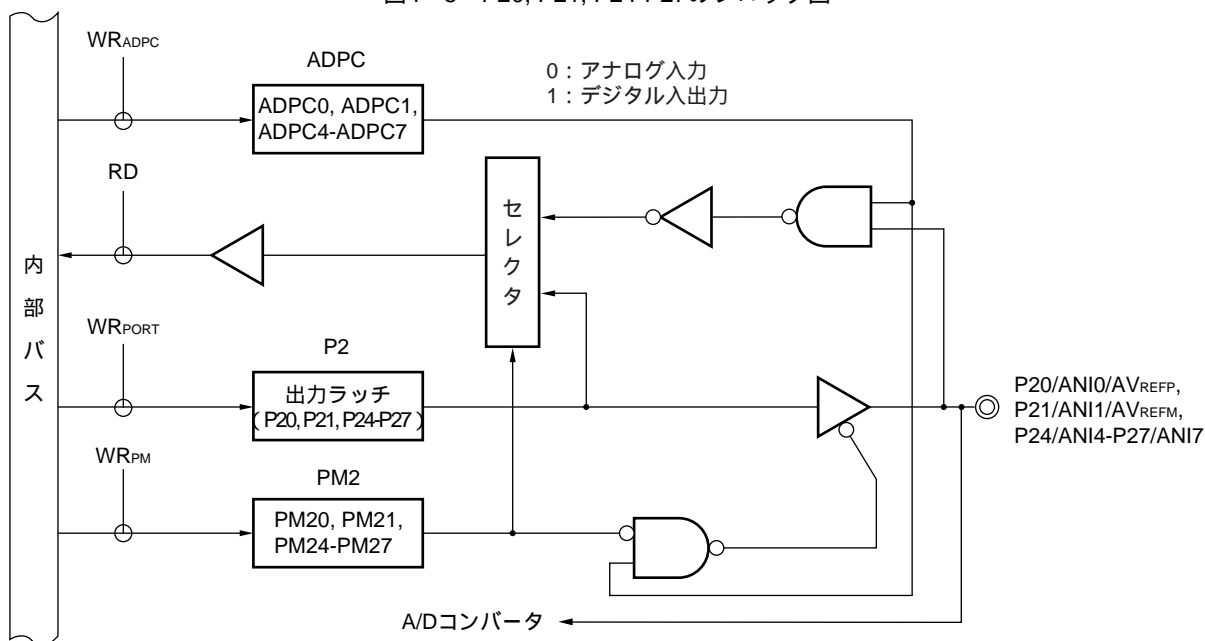
表4-5 P22/ANI2/ANO0, P23/ANI3/ANO1端子機能の設定

ADPCレジスタ	PM2レジスタ	DAMレジスタ	ADSレジスタ	P22/ANI2/ANO0, P23/ANI3/ANO1端子
デジタル入出力選択	入力モード	—	—	デジタル入力
	出力モード	—	—	デジタル出力
アナログ入力選択	入力モード	D/A変換動作許可	ANI選択	設定禁止
			ANI非選択	アナログ出力
		D/A変換動作停止	ANI選択	アナログ入力（変換対象）
			ANI非選択	アナログ入力（非変換対象）
	出力モード	D/A変換動作許可	ANI選択	設定禁止
			ANI非選択	
		D/A変換動作停止	ANI選択	
			ANI非選択	

リセット信号の発生により、P22/ANI2/ANO0, P23/ANI3/ANO1はアナログ入出力になります。

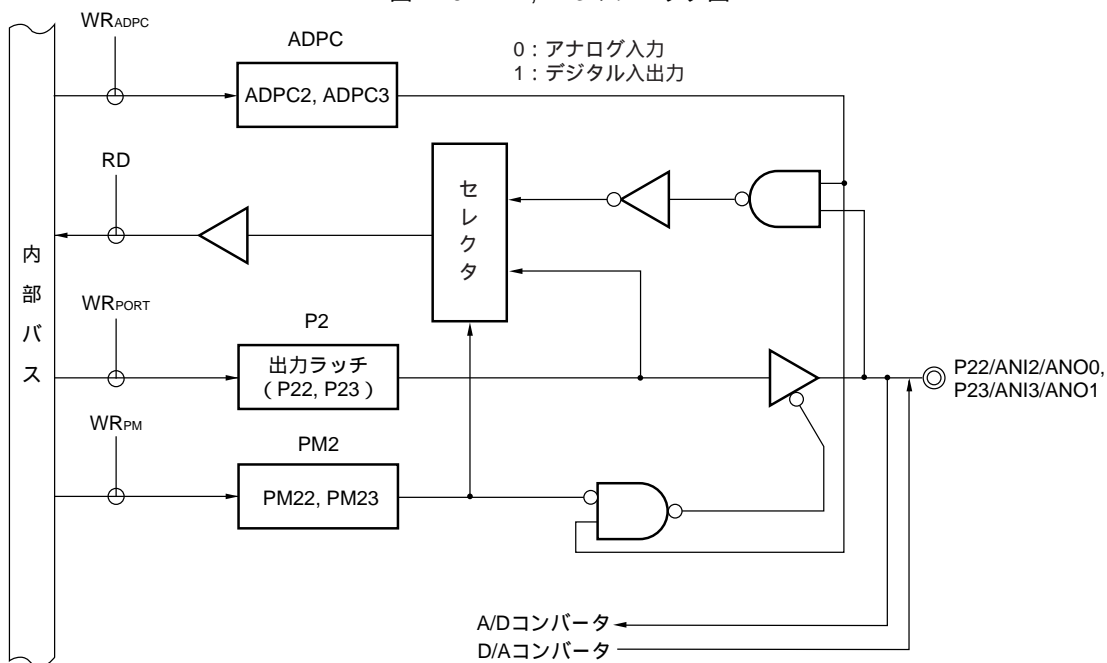
例として、図4-5、図4-6に、32ピン製品の場合のポート2のブロック図を示します。

図4-5 P20, P21, P24-P27のブロック図



- ADPC : A/Dポート・コンフィギュレーション・レジスタ
- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR_{xx} : ライト信号

図4-6 P22, P23のブロック図



- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR_{xx} : ライト信号

4.2.3 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。P30-P35端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、プログラミングUARTの送受信、タイマ入出力、チップセレクト入力があります。

リセット信号の発生により、P30-P35は入力モードになります。

表4-6 ポート3使用時のレジスタ設定

名称	入出力	PM3×	兼用機能設定	備考
P30	入力	1	×	
	出力	0	SO00/TxD0出力 = 1 ^{注1}	
P31	入力	1	×	
	出力	0	×	
P32	入力	1	×	
	出力	0	SCK00出力= 1 ^{注1}	
P33	入力	1	×	
	出力	0	TO02出力= 0 ^{注2}	
P34, P35	入力	1	×	
	出力	0	×	

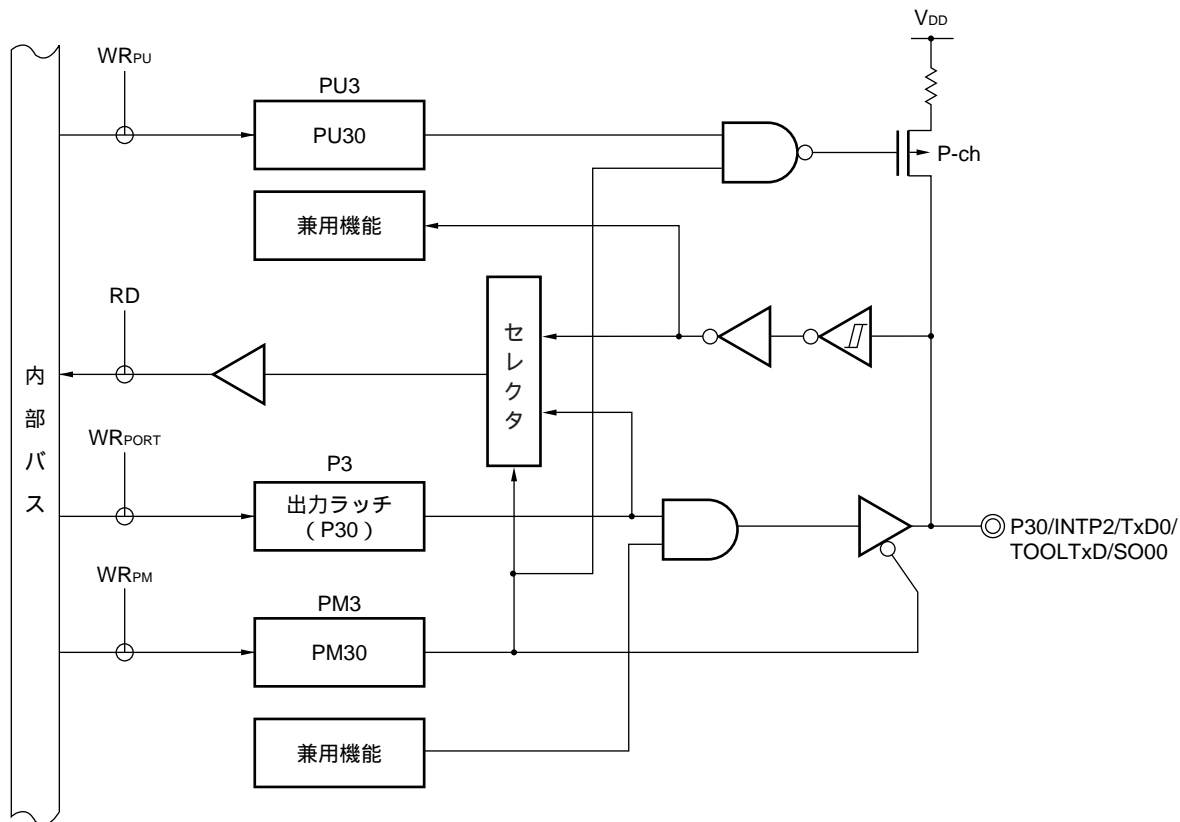
- 注 1. P30/INTP2/TxD0/TOOLTxD/SO00, P32/INTP3/SCK00を汎用ポートとして使用する場合、シリアル・チャンネル許可ステータス・レジスタ0 (SE0) のビット0 (SE00), シリアル出力レジスタ0 (SO0) のビット0 (SO00), シリアル出力許可レジスタ0 (SOE0) のビット0 (SOE00) を初期状態と同じ設定で使用してください。
2. P33/TI02/TO02を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット2 (TO02) とタイマ出力許可レジスタ0 (TOE0) のビット2 (TOE02) を初期状態と同じ設定“0”で使用してください。

備考 × : don't care

PM3× : ポート・モード・レジスタ3

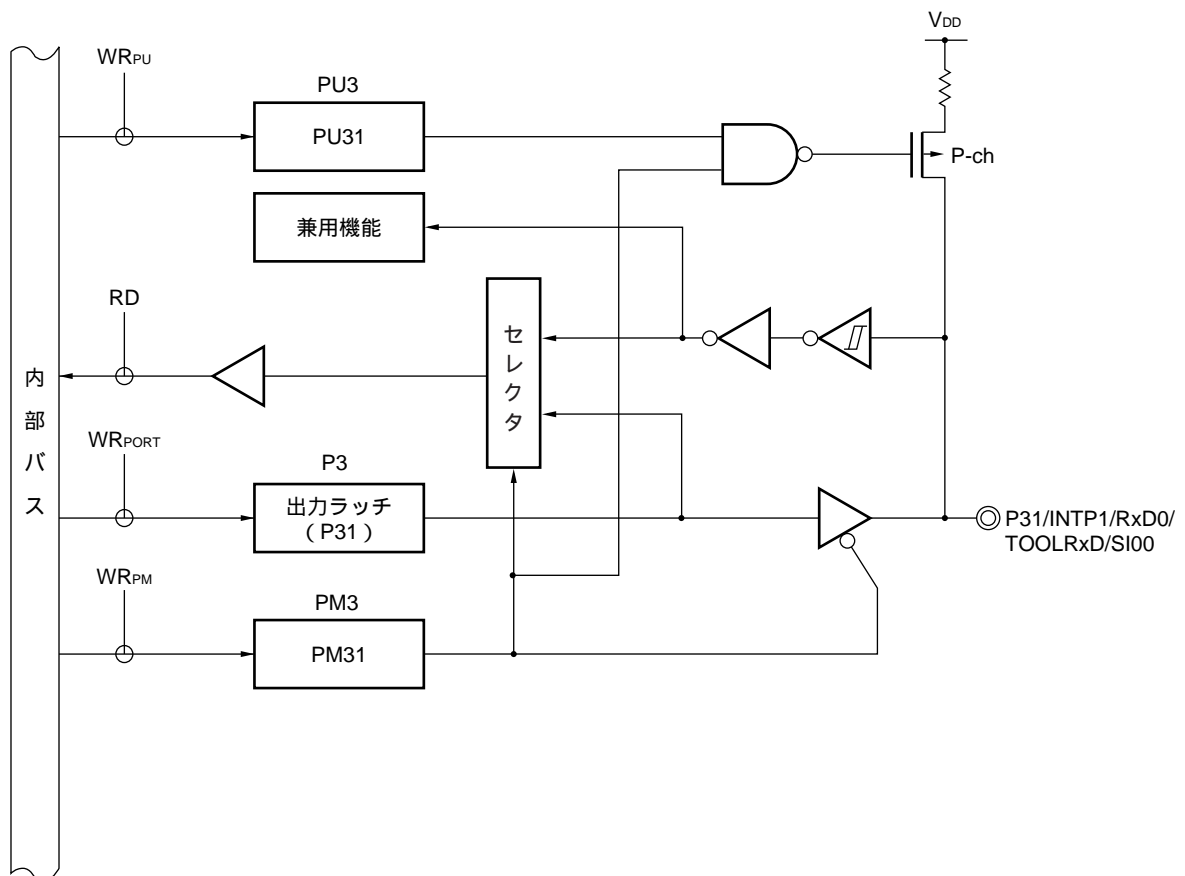
例として、図4-7~図4-11に、32ピン製品の場合のポート3のブロック図を示します。

図4-7 P30のブロック図



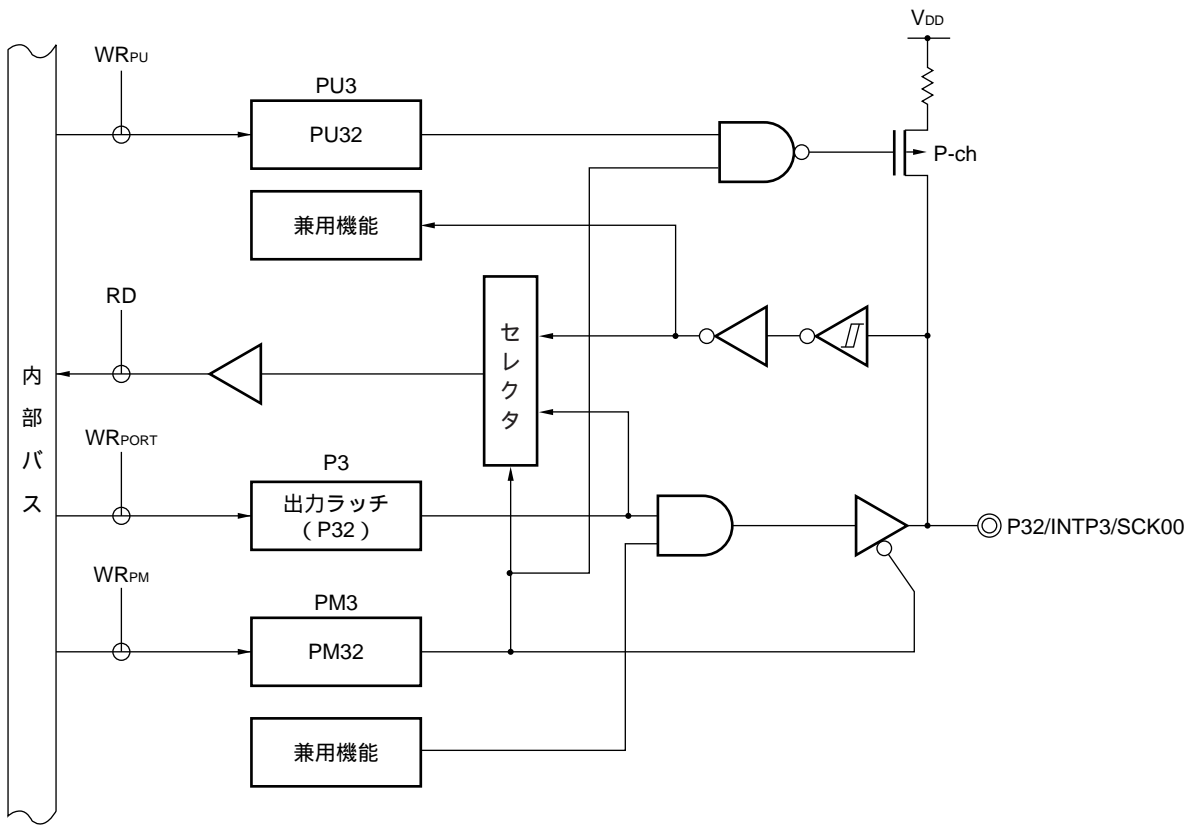
- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_{xx} : ライト信号

図4-8 P31のブロック図



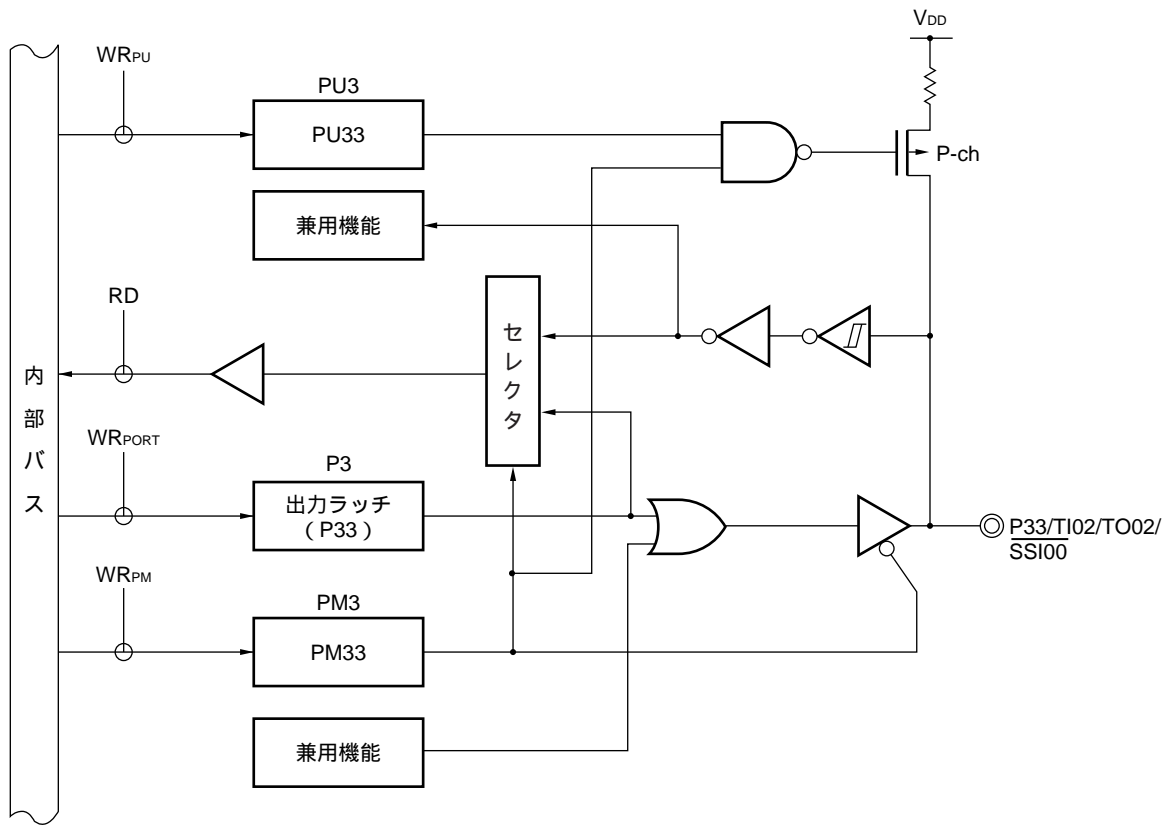
- P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 RD : リード信号
 WR_× : ライト信号

図4-9 P32のブロック図



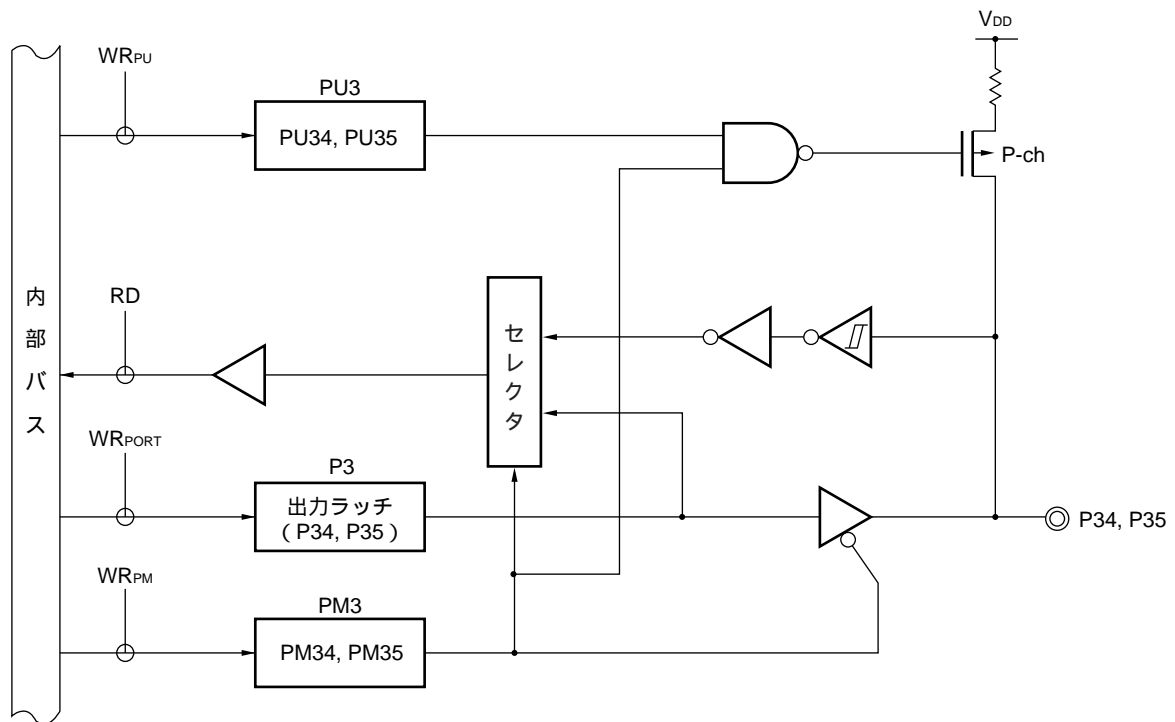
- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_{xx} : ライト信号

図4-10 P33のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_{xx} : ライト信号

図4-11 P34, P35のブロック図



- P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 RD : リード信号
 WR_{xx} : ライト信号

4.2.4 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により入力モード／出力モードの指定ができます。P40端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてフラッシュ・メモリ・プログラマ／デバッグ用のデータ入出力があります。リセット信号の発生により、入力モードになります。

表4-7 ポート4使用時のレジスタ設定

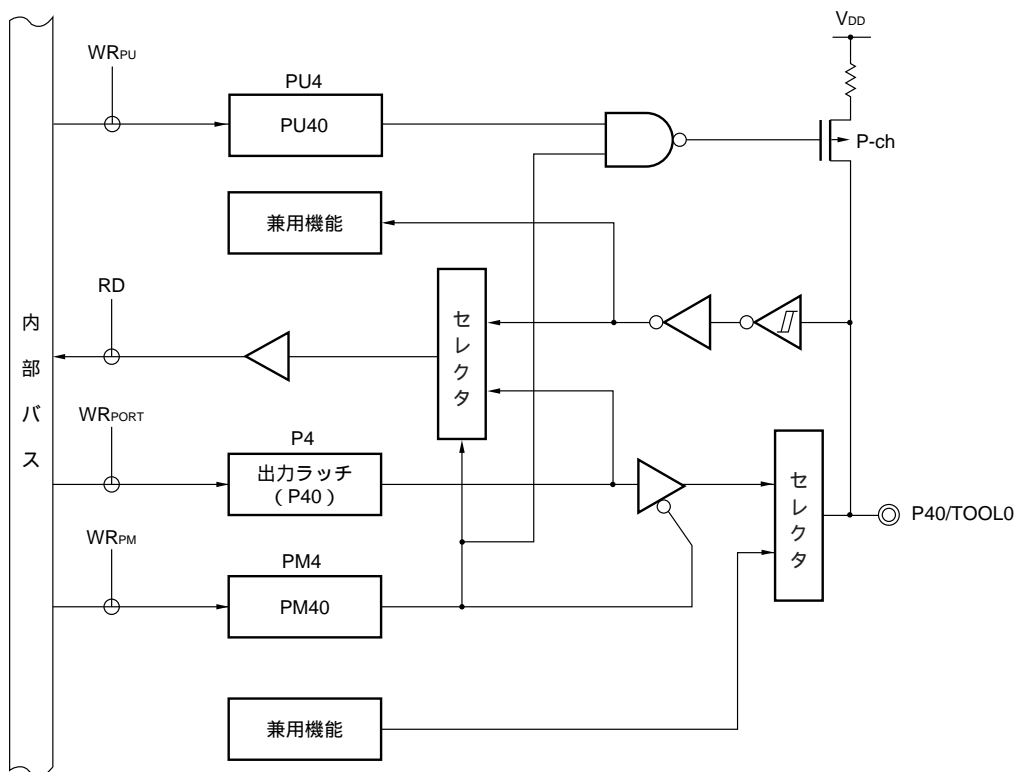
名称	入出力	PM4×	兼用機能設定	備考
P40	入力	1	×	
	出力	0	×	

注意 P40端子は、ツール接続時はポート端子として使用できません。

備考 × : don't care
 PM4× : ポート・モード・レジスタ4

図4-12にポート4のブロック図を示します。

図4-12 P40のブロック図



P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR×× : ライト信号

4.2.5 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード/出力モードの指定ができます。

P60, P61端子の出力は、N-chオープン・ドレイン出力 (6 V耐圧) です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

表4-8 ポート6使用時のレジスタ設定

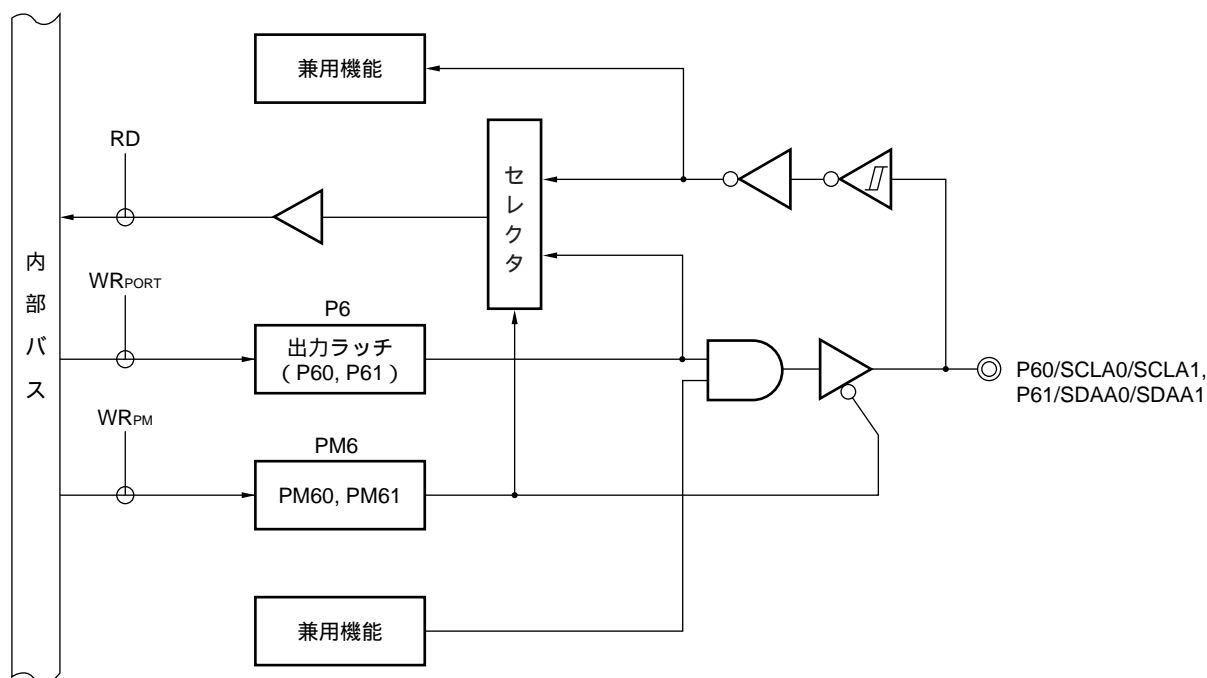
名称	入出力	PM6×	兼用機能設定	備考
P60	入力	1	SCLA0/ SCLA1出力 = 1 ^注	
	出力	0		
P61	入力	1	SDAA0/ SDAA1出力 = 1 ^注	
	出力	0		

注 P60/SCLA0/SCLA1, P61/SDAA0/SDAA1を汎用ポートとして使用する場合、対応するシリアル・インタフェースIICAを動作停止にしてください。

備考 × : don't care
 PM6× : ポート・モード・レジスタ6

図4-13にポート6のブロック図を示します。

図4-13 P60, P61のブロック図



P6 : ポート・レジスタ6
 PM6 : ポート・モード・レジスタ6
 RD : リード信号
 WR_{xx} : ライト信号

4.2.6 ポート12

P121, P122は2ビットの入力専用ポートです。

また兼用機能としてメイン・システム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力があります。

リセット信号の発生により, 入力モードになります。

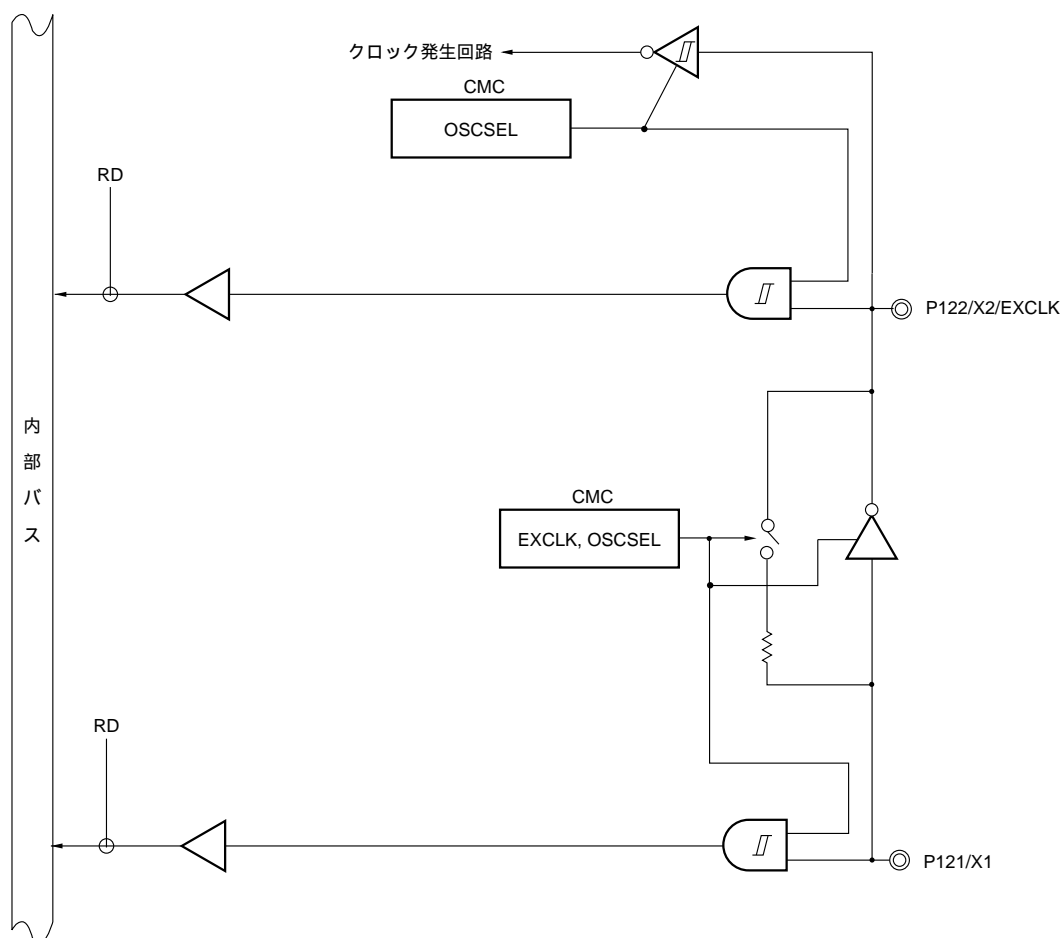
表4-9 ポート12使用時のレジスタ設定

名称	入出力	兼用機能設定	備考
P121	入力	CMCレジスタのOSCSELビット = 0 または, EXCLKビット = 1	
P122	入力	CMCレジスタのOSCSELビット = 0	

注意 P121, P122の機能設定は, リセット解除後1回のみ可能です。一度, X1発振, 外部クロック入力に設定したポートは, リセットしないかぎり入力ポートとして使用できません。

図4-14にポート12のブロック図を示します。

図4-14 P121, P122のブロック図



CMC : クロック動作モード制御レジスタ

RD : リード信号

4.2.7 ポート13

P137は1ビット入力専用ポートです。

入力モードに固定されています。

また兼用機能として外部割り込み要求入力があります。

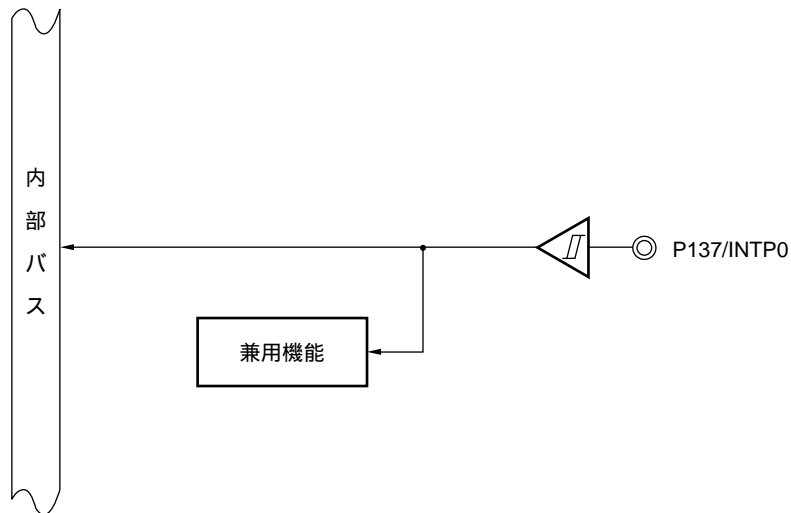
表4-10 ポート13使用時のレジスタ設定

名称	入出力	兼用機能設定	備考
P137	入力	×	

備考 × : don't care

図4-15にポート13のブロック図を示します。

図4-15 P137のブロック図



4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・ポート・モード・コントロール・レジスタ1 (PMC1)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-11を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4-11 各製品で搭載しているPMxx, Pxx, PUxx, PMC1レジスタとそのビット (1/2)

ポート		ビット名				32	24
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PMC1 レジスタ ^注	ピン	ピン
ポート1	0	PM10	P10	PU10	PMC10 ^注	○	○
	1	PM11	P11	PU11	—	○	—
	2	PM12	P12	PU12	—	○	○
	3	PM13	P13	PU13	—	○	○
	4	PM14	P14	PU14	—	○	—
	5	PM15	P15	PU15	—	○	○
	6	PM16	P16	PU16	—	○	○
	7	PM17	P17	PU17	—	○	—
ポート2	0	PM20	P20	—	—	○	○
	1	PM21	P21	—	—	○	○
	2	PM22	P22	—	—	○	○
	3	PM23	P23	—	—	○	○
	4	PM24	P24	—	—	○	—
	5	PM25	P25	—	—	○	—
	6	PM26	P26	—	—	○	—
	7	PM27	P27	—	—	○	○
ポート3	0	PM30	P30	PU30	—	○	○
	1	PM31	P31	PU31	—	○	○
	2	PM32	P32	PU32	—	○	○
	3	PM33	P33	PU33	—	○	○
	4	PM34	P34	PU34	—	○	—
	5	PM35	P35	PU35	—	○	—
	6	—	—	—	—	—	—
	7	—	—	—	—	—	—

注 24ピン製品のみ

表4-11 各製品で搭載しているPMxx, Pxx, PUxx, PMC1レジスタとそのビット (2/2)

ポート		ビット名				32	24
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PMC1 レジスタ	ピン	ピン
ポート4	0	PM40	P40	PU40	—	○	○
	1	—	—	—	—	—	—
	2	—	—	—	—	—	—
	3	—	—	—	—	—	—
	4	—	—	—	—	—	—
	5	—	—	—	—	—	—
	6	—	—	—	—	—	—
	7	—	—	—	—	—	—
ポート6	0	PM60	P60	—	—	○	○
	1	PM61	P61	—	—	○	○
	2	—	—	—	—	—	—
	3	—	—	—	—	—	—
	4	—	—	—	—	—	—
	5	—	—	—	—	—	—
	6	—	—	—	—	—	—
	7	—	—	—	—	—	—
ポート12	0	—	—	—	—	—	—
	1	—	P121	—	—	○	○
	2	—	P122	—	—	○	○
	3	—	—	—	—	—	—
	4	—	—	—	—	—	—
	5	—	—	—	—	—	—
	6	—	—	—	—	—	—
	7	—	—	—	—	—	—
ポート13	0	—	—	—	—	—	—
	1	—	—	—	—	—	—
	2	—	—	—	—	—	—
	3	—	—	—	—	—	—
	4	—	—	—	—	—	—
	5	—	—	—	—	—	—
	6	—	—	—	—	—	—
	7	—	P137	—	—	○	○

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用機能使用時のポート関連レジスタの設定を参照し、設定してください。

図4-16 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	PM17 ^注	PM16	PM15	PM14 ^注	PM13	PM12	PM11 ^注	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26 ^注	PM25 ^注	PM24 ^注	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	PM35 ^注	PM34 ^注	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	1	PM40	FFF24H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 1-4, 6; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 24ピン製品には搭載されていません。

注意 PM3レジスタのビット6, 7, PM4レジスタのビット1-7, PM6レジスタのビット2-7には必ず1を設定してください。

4.3.2 ポート・レジスタ (Pxx)

ポートの出カラムの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラムの値が読み出されます^注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

注 P20-P27をA/Dコンバータのアナログ入力機能として設定した場合に、ポートが入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4-17 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P1	P17 ^{注3}	P16	P15	P14 ^{注3}	P13	P12	P11 ^{注3}	P10	FFF01H	00H (出カラム)	R/W
P2	P27	P26 ^{注3}	P25 ^{注3}	P24 ^{注3}	P23	P22	P21	P20	FFF02H	00H (出カラム)	R/W
P3	0	0	P35 ^{注3}	P34 ^{注3}	P33	P32	P31	P30	FFF03H	00H (出カラム)	R/W
P4	0	0	0	0	0	0	0	P40	FFF04H	00H (出カラム)	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H (出カラム)	R/W
P12	0	0	0	0	0	P122	P121	0	FFF0CH	不定	R/W ^{注1}
P13	P137	0	0	0	0	0	0	0	FFF0DH	注2	R/W ^{注1}

Pmn	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 1. P121, P122, P137はRead Onlyです。

2. P137 : 不定

3. 24ピン製品には搭載されていません。

備考 m = 1-4, 6, 12, 13 ; n = 0-7

4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、入力モード (PMmn = 1) に設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ設定 (PMC = 1) にしている場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4のみ01H) になります。

図4-18 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU1	PU17 ^注	PU16	PU15	PU14 ^注	PU13	PU12	PU11 ^注	PU10	F0031H	00H	R/W
PU3	0	0	PU35 ^注	PU34 ^注	PU33	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	0	PU40	F0034H	01H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 4; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注 24ピン製品には搭載されていません。

4.3.4 ポート・モード・コントロール・レジスタ1 (PMC1) (24ピン製品のみ)

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-19 ポート・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC1	1	1	1	1	1	1	1	PMC10	F0061H	FFH	R/W

PMC10	P10端子のデジタル入出力／アナログ入力の選択
0	デジタル入出力 (アナログ入力以外の兼用機能)
1	アナログ入力

- 注意 1. A/D変換で使用するチャネルは、ポート・モード・レジスタ1 (PM1) で入力モードに選択してください。
2. PMCレジスタでデジタル入出力として設定する端子を、アナログ入力チャネル指定レジスタ (ADS) で設定しないでください。
3. 搭載していないビットには必ず初期値を設定してください。

4.3.5 A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI7/P27端子を、A/Dコンバータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-20 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0076H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	ADPC7	ADPC6 ^注	ADPC5 ^注	ADPC4 ^注	ADPC3	ADPC2	ADPC1	ADPC0

ADPCn	P2n/ANInのアナログ出力 (A) / デジタル入出力 (D) の選択
0	アナログ入力 (A) (デフォルト)
1	デジタル入出力 (D)

注 24ピン製品には搭載されていません。

- 注意1. ADPCレジスタでアナログ機能に設定したポートは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
2. ADPCレジスタでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。
3. AVREFPとAVREFMを使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタは入力モードに設定してください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.5 兼用機能使用時のポート関連レジスタの設定

ポート端子を兼用機能の端子として使用する場合、ポート関連レジスタを表4-12のように設定してください。

注意 使用する端子に、他の兼用出力機能が割り当てられている場合、使用しない兼用機能の出力を初期状態と同じにする必要があります。具体的な対象と処理方法は4.6.2を参照してください。

表4-12 兼用機能使用時のポート関連レジスタの設定 (1/2)

端子名称	兼用機能		PM××	P××
	名称	入出力		
P12	TI03	入力	1	×
	TO03	出力	0	0
	INTP4	入力	1	×
	PCLBUZ0	出力	0	0
P13	TI00	入力	1	×
	TO00	出力	0	0
P15	PCLBUZ1	出力	0	0
P16	TI01	入力	1	×
	TO01	出力	0	0
	INTP5	入力	1	×
P20 ^注	ANI0 ^注	入力	1	×
	AVREFF ^注	入力	1	×
P21 ^注	ANI1 ^注	入力	1	×
	AVREFM ^注	入力	1	×
P22 ^注	ANI2 ^注	入力	1	×
	ANO0	出力	1	×
P23 ^注	ANI3 ^注	入力	1	×
	ANO1	出力	1	×
P24-P27 ^注	ANI4-ANI7 ^注	入力	1	×

備考1. × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

2. 各端子と兼用機能の関係は、32ピン製品の場合を示しています。その他の製品で兼用機能を使用時は、異なる端子に割り当てられている場合がありますが、PM××、P××の設定は同様になります。

(注は、次ページにあります)

表4-12 兼用機能使用時のポート関連レジスタの設定 (2/2)

端子名称	兼用機能		PM××	P××
	名称	入出力		
P30	INTP2	入力	1	×
	TxD0	出力	0	1
	TOOLTxD	出力	0	1
	SO00	出力	0	1
P31	INTP1	入力	1	×
	RxD0	入力	1	×
	TOOLRxD	入力	1	×
	SI00	入力	1	×
P32	INTP3	入力	1	×
	SCK00	入力	1	×
		出力	0	1
P33	TI02	入力	1	×
	TO02	出力	0	0
	SSI00	入力	1	×
P40	TOOL0	入出力	×	×
P60	SCLA0	入出力	0	1
	SCLA1	入出力	0	1
P61	SDAA0	入出力	0	1
	SDAA1	入出力	0	1
P137	INTP0	入力	—	×

備考1. × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

- 各端子と兼用機能の関係は、32ピン製品の場合を示しています。その他の製品で兼用機能を使用時は、異なる端子に割り当てられている場合がありますが、PM××、P××の設定は同様になります。

注 ANI0/P20-ANI7/P27端子の機能は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) , アナログ入力チャンネル指定レジスタ (ADS) , ポート・モード・レジスタ2 (PM2) の設定で決定します。

表4-13 ANI0/P20, ANI1/P21, ANI4/P24-ANI7/P27端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	ANI0/P20, ANI1/P21, ANI4/P24-ANI7/P27端子
デジタル入出力選択	入力モード	×	デジタル入力
	出力モード	×	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

備考 × : don't care

表4-14 P22/ANI2/ANO0, P23/ANI3/ANO1端子機能の設定

ADPCレジスタ	PM2レジスタ	DAMレジスタ	ADSレジスタ	P22/ANI2/ANO0, P23/ANI3/ANO1端子
デジタル入出力選択	入力モード	—	—	デジタル入力
	出力モード	—	—	デジタル出力
アナログ入力選択	入力モード	D/A変換動作許可	ANI選択	設定禁止
			ANI非選択	アナログ出力
		D/A変換動作停止	ANI選択	アナログ入力 (変換対象)
			ANI非選択	アナログ入力 (非変換対象)
	出力モード	D/A変換動作許可	ANI選択	設定禁止
			ANI非選択	
D/A変換動作停止	ANI選択			
	ANI非選択			

また、24ピン製品のANI16/P10端子の機能は、ポート・モード・コントロール・レジスタ1 (PMC1) , アナログ入力チャネル指定レジスタ (ADS) , PM1レジスタの設定で決定します。

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出カラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出カラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/G1P内部で、次の順序で行われます。

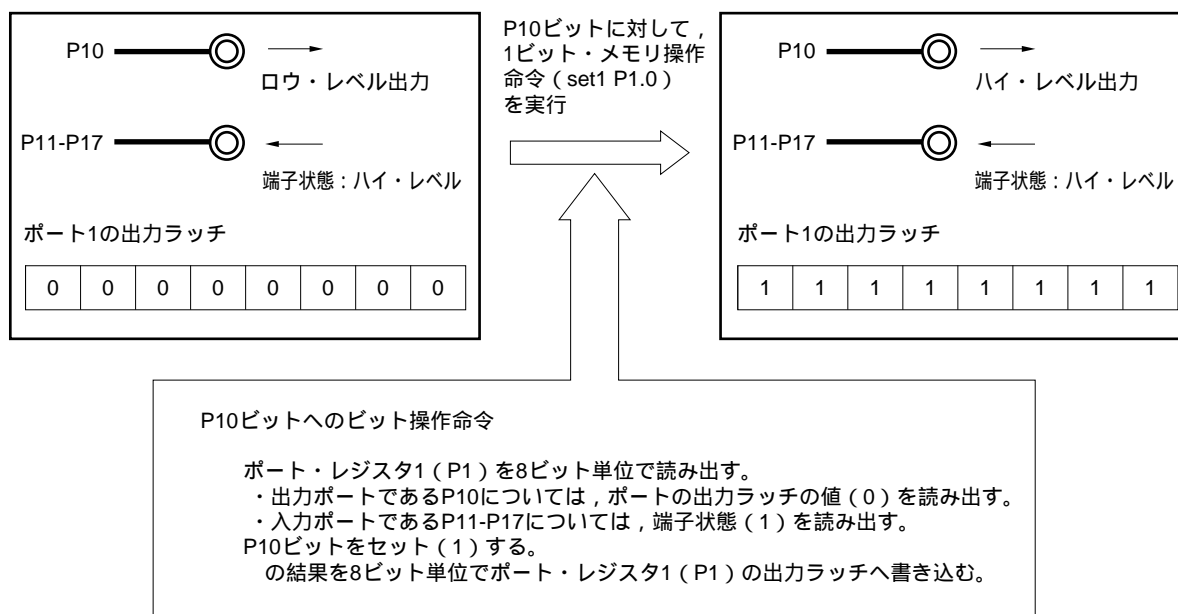
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出カラッチの値（0）を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出カラッチに“FFH”が書き込まれます。

図4-21 1ビット・メモリ操作命令（P10の場合）



4.6.2 端子設定に関する注意事項

使用する出力端子に、他の兼用出力機能が割り当てられている場合、使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。兼用出力については、4.5 兼用機能使用時のポート関連レジスタの設定を参照してください。

なお、入力として使用する端子では、兼用の出力機能が無効（バッファ出力がHi-Z）となるので、処理不要です。

具体的な対象と処理方法を次に示します。

表4-15 使用しない兼用機能の処理

対象ユニット	使用しない兼用の出力／入出力端子	使用しない機能に対する処理
タイマ・アレイ・ユニット	TO0n	タイマ出力レジスタ0 (TO0) のビットn (TO0n) とタイマ出力許可レジスタ0 (TOE0) のビットn (TOE0n) を初期状態と同じ設定“0”にする。
クロック／ブザー出力	PCLBUZn	クロック出力選択レジスタn (CKSn) のビット7 (PCLOEn) を初期状態と同じ設定“0”にする。
シリアル・アレイ・ユニット	SCK00, SO00, TxD0	シリアル・チャンネル許可ステータス・レジスタ0 (SE0) のビット0 (SE00), シリアル出力レジスタ0 (SO0) のビット0 (SO00), シリアル出力許可レジスタ0 (SOE0) のビット0 (SOE00) を初期状態と同じ設定 (SO00は“1”, 他は“0”) にする。
IICA	SCLAn, SDAAn	IICAを動作停止 (IICCTLn0レジスタのビット7 (IICEn) を“0”) に設定する。

例 P12/TI03/TO03/INTP4/PCLBUZ0端子の場合

(1) “PCLBUZ0出力”として使用

P12 : ポート・モード・レジスタ1のPM12 = 0で“出力”に設定

TI03, INTP4 : 入力なので対象外

TO03 : 出力なので、タイマ・アレイ・ユニット0のTO03 = TOE03 = 0に設定

(2) “TO03出力”として使用

P12 : ポート・モード・レジスタ1のPM12 = 0で“出力”に設定

PCLBUZ0 : 出力なので、クロック／ブザー出力のPCLOE0 = 0に設定

TI03 : 入力なので対象外

P30/INTP2/TxD0/TOOLTxD/SO00端子を“SO00出力”として使用する場合は“TxD0”のように、同じシリアル・チャンネル内の兼用機能は、モード切り替えで有効にならないので対象外です (CSI (MD002 = MD001 = 0) に設定すると、UARTとして動作しないので、“TxD0出力”は無効)。

なお、入力だけや入出力のないブロックを含めて、省電力化のために、使用しない機能は停止させることをおすすめします。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 1\sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

② 高速オンチップ・オシレータ

オプション・バイト（000C2H）により、 $f_{IH} = 32$ MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz（TYP.）から周波数を選択し、発振させることができます。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により、発振を停止することができます。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EX} = 1\sim 20$ MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で変更できます。周波数は、図5-9 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマットを参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します(オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で選択できるバリエーション)。

電源電圧	発振周波数(MHz)									
	1	2	3	4	6	8	12	16	24	32
$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	○	○	○	○	○	○	○	○	○	○

なお、メイン・システム・クロックは、電源電圧 V_{DD} によって使用可能な周波数範囲が異なり、オプション・バイト（000C2H）のCMODE0, CMODE1によりフラッシュの動作電圧モードの設定（第22章 オプション・バイト参照）が必要です。

(2) 低速オンチップ・オシレータ・クロック（低速オンチップ・オシレータ）

$f_{IL} = 15 \text{ kHz}$ (TYP.) のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは、次の周辺ハードウェアのみです。

・ウォッチドッグ・タイマ

オプション・バイト (000C0H) のビット4 (WDTON) が1のときに動作します。

ただし、WDTON = 1かつオプション・バイト (000C0H) のビット0 (WDSTBYON) が0のときに、HALT命令またはSTOP命令を実行した場合、低速オンチップ・オシレータは発振を停止します。

備考	f_X	: X1クロック発振周波数
	f_{IH}	: 高速オンチップ・オシレータ・クロック周波数
	f_{EX}	: 外部メイン・システム・クロック周波数
	f_{IL}	: 低速オンチップ・オシレータ・クロック周波数

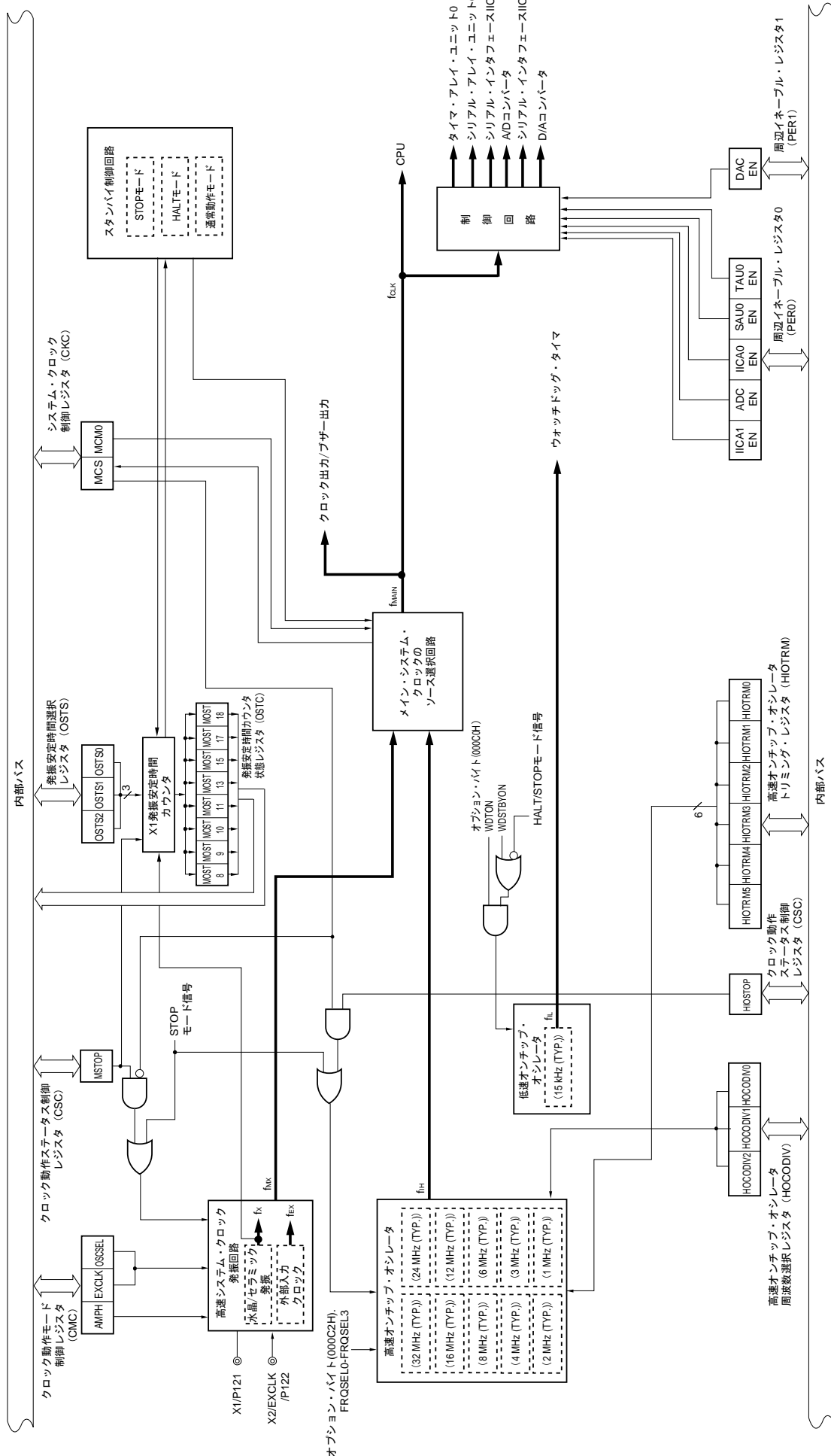
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ0, 1 (PER0, PER1) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
発振回路	X1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ

図5-1 クロック発生回路のブロック図



(備考は次ページにあります。)

備考 f_x	: X1クロック発振周波数
f_{IH}	: 高速オンチップ・オシレータ・クロック周波数
f_{EX}	: 外部メイン・システム・クロック周波数
f_{MX}	: 高速システム・クロック周波数
f_{MAIN}	: メイン・システム・クロック周波数
f_{CLK}	: CPU/周辺ハードウェア・クロック周波数
f_{IL}	: 低速オンチップ・オシレータ・クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の9種類のレジスタで制御します。

- ・クロック動作モード制御レジスタ (CMC)
- ・システム・クロック制御レジスタ (CKC)
- ・クロック動作ステータス制御レジスタ (CSC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・周辺イネーブル・レジスタ0, 1 (PER0, PER1)
- ・高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- ・高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

5.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図5-2 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	0	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶/セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPH	X1クロック発振周波数の制御
0	$1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$
1	$10 \text{ MHz} < f_x \leq 20 \text{ MHz}$

- 注意 1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値 (00H) のまま使用する場合、暴走時の誤動作 (00H 以外の誤書き込みで復帰不可) を防止するために、リセット解除後は必ず00Hに設定してください。
2. リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振を開始する前に、CMCレジスタを設定してください。
3. AMPHビットは、リセット解除後fCLKにfIHを選択した状態 (fCLKをfMXに切り替える前の状態) で設定してください。
4. システム・クロックの周波数上限は32 MHzですが、X1発振回路の周波数上限は20 MHzになります。

備考 f_x : X1クロック発振周波数

5.3.2 システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。
CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図5-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
CKC	0	0	MCS	MCM0	0	0	0	0

MCS	メイン・システム・クロック (f _{MAIN}) のステータス
0	高速オンチップ・オシレータ・クロック (f _{IH})
1	高速システム・クロック (f _{MX})

MCM0	メイン・システム・クロック (f _{MAIN}) の動作制御
0	メイン・システム・クロック (f _{MAIN}) に高速オンチップ・オシレータ・クロック (f _{IH}) を選択
1	メイン・システム・クロック (f _{MAIN}) に高速システム・クロック (f _{MX}) を選択

注 ビット5は、Read Onlyです。

注意 ビット0-3, 6, 7には、必ず0を設定してください。

備考 f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 f_{MX} : 高速システム・クロック周波数
 f_{MAIN} : メイン・システム・クロック周波数

5.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック、高速オンチップ・オシレータ・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0Hになります。

図5-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス : FFFA1H リセット時 : C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	0	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

- 注意1. リセット解除後は、クロック動作モード制御レジスタ (CMC) を設定してからCSCレジスタを設定してください。
- リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ (OSTS) を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。
 - MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。
 - CPU/周辺ハードウェア・クロック (fCLK) に選択しているクロックは、CSCレジスタで停止させないでください。
 - クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件は、表5-2のようになります。
クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-2 クロック停止方法

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・クロック	CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作（MCS = 0）	MSTOP = 1
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作（MCS = 1）	HIOSTOP = 1

5.3.4 発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- ・ X1クロック発振開始時（EXCLK = 0 → MSTOP = 0）
- ・ STOPモードを解除したとき

図5-5 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST	MOST	MOST	MOST	MOST	MOST	MOST	MOST
	8	9	10	11	13	15	17	18

MOST	MOST	MOST	MOST	MOST	MOST	MOST	MOST	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
8	9	10	11	13	15	17	18			
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁸ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.2 ms以上	13.1 ms以上

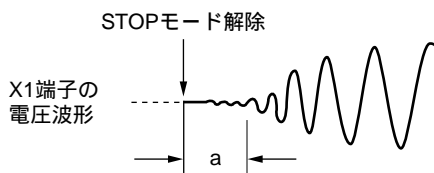
注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていき、そのまま“1”を保持します。

2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始したい場合
- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.5 発振安定時間選択レジスタ (OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを選択した場合、X1発振回路動作(MSTOP = 0)後、OSTSレジスタで設定した時間を自動でウエイトします。

CPUクロックを高速オンチップ・オシレータ・クロックからX1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図5-6 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	25.6 μs	12.8 μs
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204 μs	102 μs
1	0	0	$2^{13}/f_x$	819 μs	409 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.63 ms
1	1	0	$2^{17}/f_x$	13.1 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.2 ms	13.1 ms

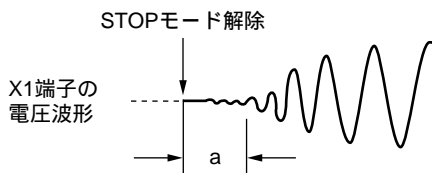
注意1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) のMSTOPビットを0に設定する前に行ってください。

2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- ・CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始したい場合
- ・CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合 (したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。



備考 f_x : X1クロック発振周波数

5.3.6 周辺イネーブル・レジスタ0, 1 (PER0, PER1)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット (1) してください。

- ・ シリアル・インタフェースIICA1
- ・ A/Dコンバータ
- ・ D/Aコンバータ
- ・ シリアル・インタフェースIICA0
- ・ シリアル・アレイ・ユニット0
- ・ タイマ・アレイ・ユニット0

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図5-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット (1/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IICA1EN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

IICA1EN	シリアル・インタフェースIICA1の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・インタフェースIICA1で使用するSFRへのライト不可 ・ シリアル・インタフェースIICA1はリセット状態
1	入カクロック供給 ・ シリアル・インタフェースIICA1で使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード／ライト可

IICA0EN	シリアル・インタフェースIICA0の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・インタフェースIICA0で使用するSFRへのライト不可 ・ シリアル・インタフェースIICA0はリセット状態
1	入カクロック供給 ・ シリアル・インタフェースIICA0で使用するSFRへのリード／ライト可

注意 ビット1, 3, 7には必ず“0”を設定してください。

図5-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット (2/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IICA1EN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可

注意 ビット1, 3, 7には必ず“0”を設定してください。

図5-8 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	0	0	0	0	0	0

DACEN	D/Aコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・D/Aコンバータで使用するSFRへのライト不可 ・D/Aコンバータはリセット状態
1	入カクロック供給 ・D/Aコンバータで使用するSFRへのリード/ライト可

注意 ビット0-6には必ず“0”を設定してください。

5.3.7 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト (000C2H) で設定した高速オンチップ・オシレータの周波数を変更するレジスタです。ただし、オプション・バイト (000C2H) のFRQSEL3ビットの値によって、選択できる周波数が異なります。

HOCODIVレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト(000C2H)のFRQSEL2-FRQSEL0で設定した値になります。

図5-9 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト(000C2H) FRQSEL2 - FRQSEL0の設定値 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	32 MHz
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

注意1. HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	0	LS(低速メイン)モード	1 MHz~8 MHz	2.7 V~3.6 V
1	1	HS(高速メイン)モード	1 MHz~32 MHz	2.7 V~3.6 V

- HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック (f_{IH}) をCPU/周辺ハードウェア・クロック (f_{CLK}) に選択している状態で行ってください。
- HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。
 - 変更前の周波数で最大3クロック動作
 - 変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウエイト

5.3.8 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ (タイマ・アレイ・ユニット) を使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRMレジスタは、8ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、V_{DD}端子電圧に変化があった場合、周波数は変動します。
 温度、V_{DD}電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図5-10 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) のフォーマット

アドレス : F00A0H リセット時 : 注 R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑ ↓
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
⋮						
1	1	1	1	1	0	↓
1	1	1	1	1	1	

注 リセット値は出荷時に調整した値です。

- 備考1. HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。
2. HIOTRM レジスタの使用例は、RL78 MCU シリーズ高速オンチップ・オシレータ・クロック周波数補正アプリケーションノート (R01AN0464) を参照してください。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1~20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

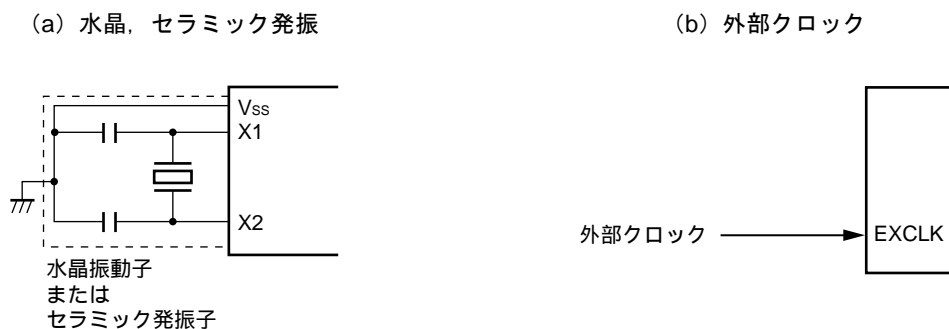
- ・水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-11にX1発振回路の外付け回路例を示します。

図5-11 X1発振回路の外付け回路例



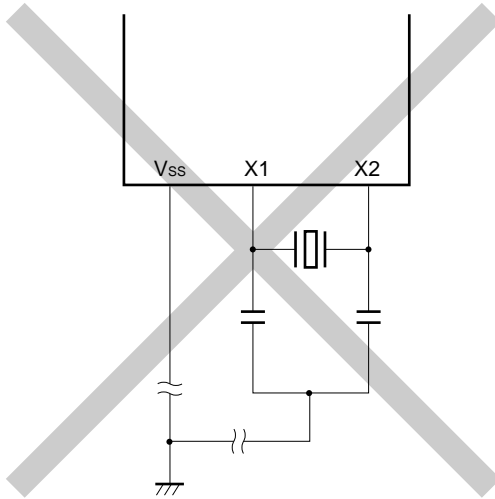
注意 X1発振回路を使用する場合は、配線容量などの影響を避けるために、図5-11の破線の部分を次のように配線してください。

- ・配線は極力短くしてください。
- ・他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- ・発振回路のコンデンサの接地点は、常VSSと同電位になるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

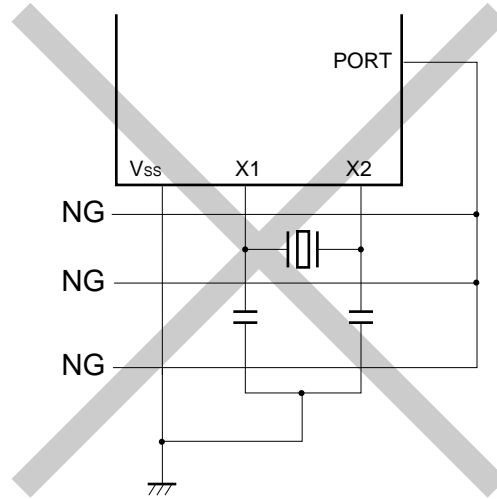
図5-12に発振子の接続の悪い例を示します。

図5-12 発振子の接続の悪い例 (1/2)

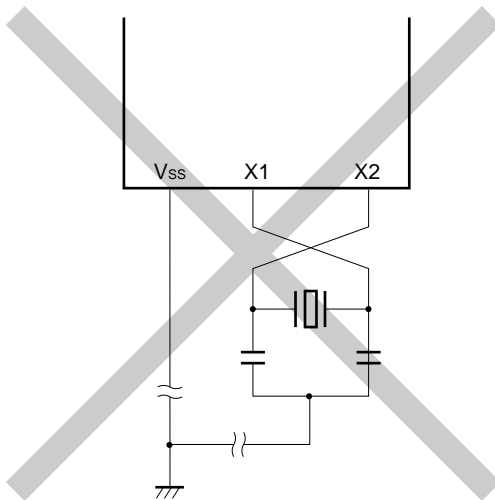
(a) 接続回路の配線が長い



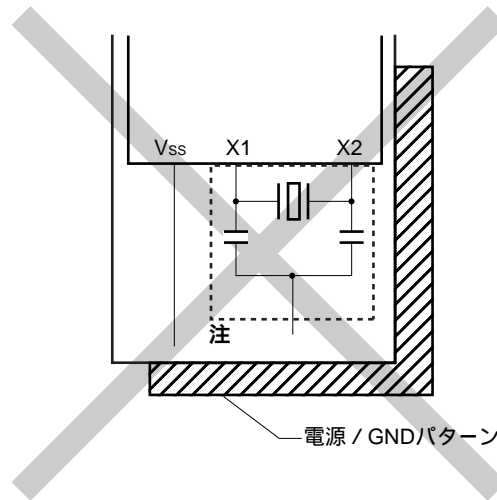
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



(d) X1, X2配線の下に電源/GNDパターンがある

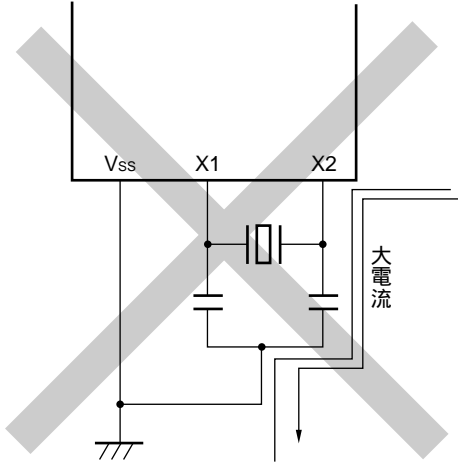


注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源/GNDパターンを配置しないでください。

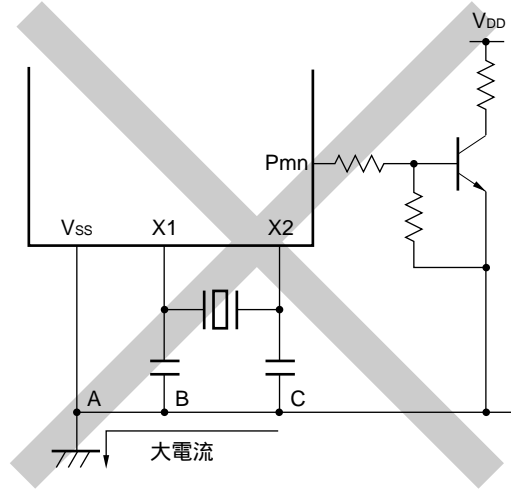
容量成分の原因となり、発振特性に影響を与える配置はしないでください。

図5-12 発振子の接続の悪い例 (2/2)

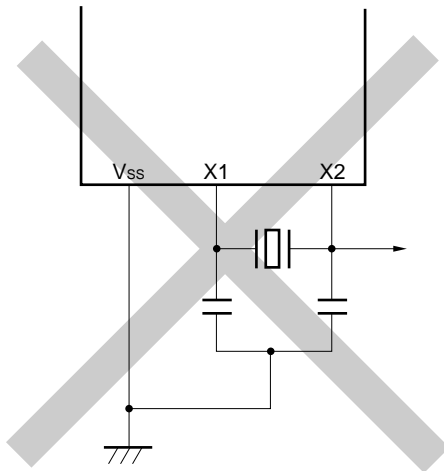
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



5.4.2 高速オンチップ・オシレータ

RL78/G1Pは、高速オンチップ・オシレータを内蔵しています。オプション・バイト (000C2H) により32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6MHz, 4 MHz, 3MHz, 2MHz, 1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.3 低速オンチップ・オシレータ

RL78/G1Pは、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマとして使用します。CPUクロックとして使用できません。

オプション・バイト (000C0H) のビット4 (WDTON) が1のときに動作します。ただし、ウォッチドッグ・タイマ動作時かつ、WDSTBYON = 0かつHALTおよびSTOP, SNOOZEモードの状態では低速オンチップ・オシレータの発振が停止します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速オンチップ・オシレータ・クロックが停止することはありません。

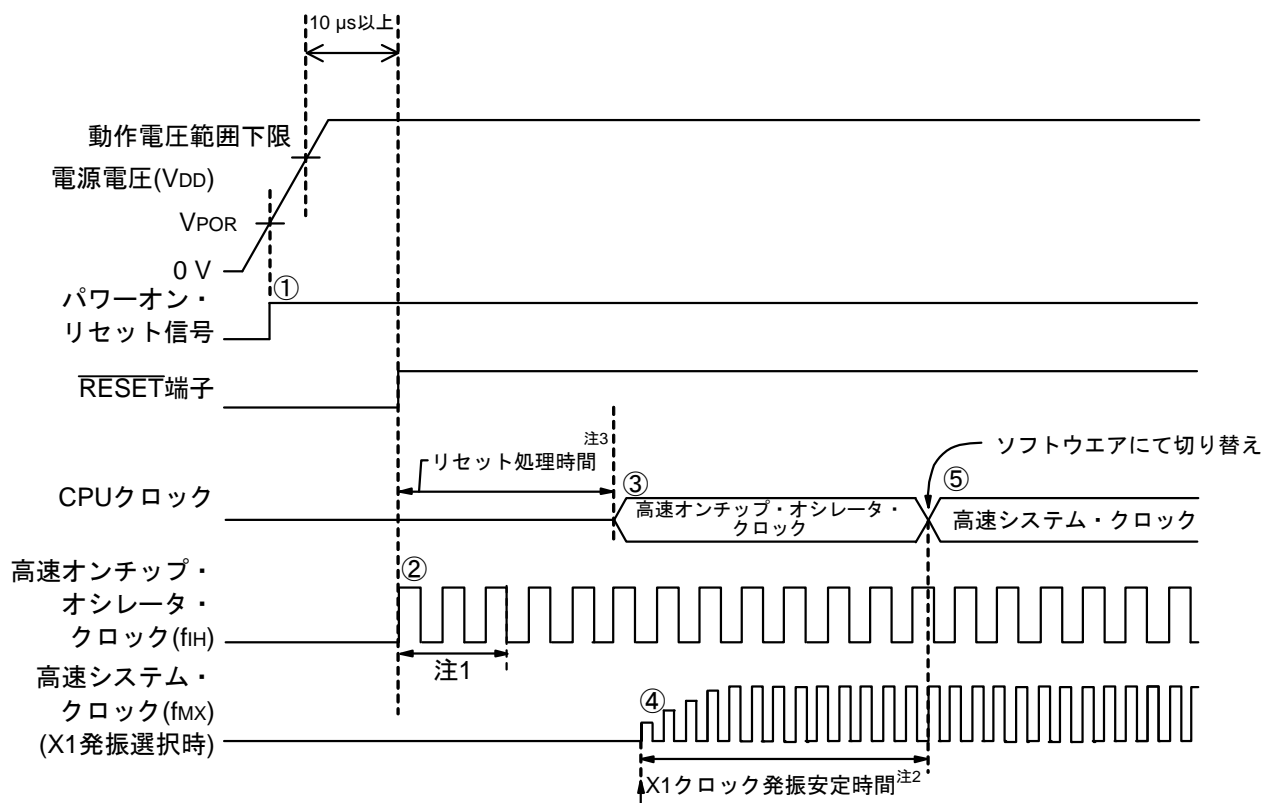
5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5-1を参照）。

- メイン・システム・クロック f_{MAIN}
 - ・高速システム・クロック f_{MX}
 - X1クロック f_x
 - 外部メイン・システム・クロック f_{EX}
 - ・高速オンチップ・オシレータ・クロック f_{IH}
- 低速オンチップ・オシレータ・クロック f_{IL}
- CPU/周辺ハードウェア・クロック f_{CLK}

RL78/G1Pでは、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。電源電圧投入時のクロック発生回路の動作を、図5-13に示します。

図5-13 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット（POR）回路による内部リセット信号が発生されます。
ただし、27.4 AC特性に示す動作電圧範囲に達するまで、電圧検出回路か外部リセットでリセット状態を保ちます(上図は、外部リセット使用時の例)。
- ② 電源電圧が1.51 V (TYP.) を越えると、リセットが解除され、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックは、ソフトウェアにて発振開始を設定してください（5.6.2 X1発振回路の設定例を参照）。
- ⑤ CPUをX1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください（5.6.2 X1発振回路の設定例を参照）。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

3. リセット処理時間は、第18章 パワーオン・リセット回路を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) のFRQSEL0-FRQSEL3により、32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 000C2H

オプション・ バイト (000C2H)	7	6	5	4	3	2	1	0
	CMODE1	CMODE0			FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
	0/1	0/1	1	0	0/1	0/1	0/1	0/1

CMODE1	CMODE0	フラッシュの動作モード設定
1	0	LS (低速メイン) モード V _{DD} = 2.7 V ~ 3.6 V @ 1 MHz ~ 8 MHz
1	1	HS (高速メイン) モード V _{DD} = 2.7 V ~ 3.6 V @ 1 MHz ~ 32 MHz
上記以外		設定禁止

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス：F00A8H

	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	32 MHz
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

5.6.2 X1発振回路の設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMCレジスタのOSCSELビットをセット (1)、f_x>10 MHzの場合はAMPHビットをセット (1) してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL						AMPH ^注
	0	1	0	0	0	0	0	0/1

注 X1発振クロックが10 MHz以下の場合は0を設定してください。

- ② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。
例) 10 MHzの発振子で102 μs以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSCレジスタのMSTOPビットをクリア (0) してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP							HISTOP
	0	1	0	0	0	0	0	0

- ④ OSTCレジスタでX1発振回路の発振安定待ちを行います。

例) 10 MHzの発振子で102 μs以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

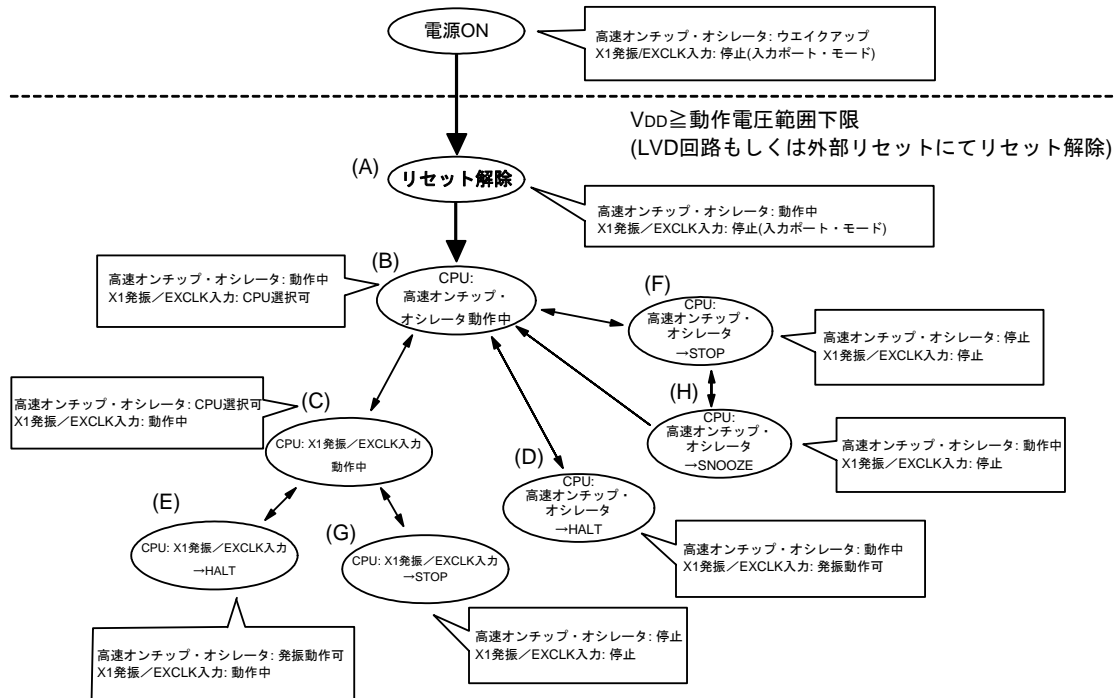
- ⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC			MCS	MCM0				
	0	0	0	1	0	0	0	0

5.6.3 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5-14に示します。

図5-14 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5-3に示します。

表5-3 CPUクロックの移行とSFRレジスタの設定例 (1/3)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH	MSTOP	MCM0					
(A) → (B) → (C) (X1クロック : 1 MHz ≤ f _x ≤ 10 MHz)	0	1	0	注2	0	確認必要	1			
(A) → (B) → (C) (X1クロック : 10 MHz < f _x ≤ 20 MHz)	0	1	1	注2	0	確認必要	1			
(A) → (B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1			

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

2. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。

- ・ 期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第27章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考1. × : don't care

2. 表5-3の (A) - (H) は、図5-14の(A) - (H) と対応しています。

表5-3 CPUクロックの移行とSFRレジスタの設定例 (2/3)

(3) CPUを高速オンチップ・オシレータ・クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		
(B) → (C) (X1クロック : 1 MHz ≤ f _x ≤ 10 MHz)	0	1	0	注2	0	確認必要	1
(B) → (C) (X1クロック : 10 MHz < f _x ≤ 20 MHz)	0	1	1	注2	0	確認必要	1
(B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

2. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。
 - ・期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第27章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

備考1. × : don't care

2. 表5-3の (A) - (H) は、図5-14の(A) - (H) と対応しています。

(4) CPUを高速システム・クロック動作 (C) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		MCM0
(C) → (B)	0	18 μs ~ 65 μs	0

高速オンチップ・オシレータ・クロック動作中の
場合は不要

備考1. 表5-3の (A) - (H) は、図5-14の(A) - (H) と対応しています。

2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

表5-3 CPUクロックの移行とSFRレジスタの設定例 (3/3)

- (5) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にHALTモード (D) へ移行
- ・CPUが高速システム・クロック動作中 (C) にHALTモード (E) へ移行

状態遷移	設定内容
(B) → (D)	HALT命令を実行する
(C) → (E)	

- (6) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード (F) へ移行
- ・CPUが高速システム・クロック動作中 (C) にSTOPモード (G) へ移行

(設定順序) →

状態遷移		設定内容		
(B) → (F)		STOPモード中に動作禁止	—	STOP命令を実行する
(C) → (G)	X1発振	の周辺機能を停止する	OSTSレジスタを設定する	
	外部クロック		—	

- (7) STOPモード (F) からSNOOZEモード (H) へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、9.8 SNOOZEモード機能、11.5.7 SNOOZEモード機能 (CSI00)、11.7.3 SNOOZEモード機能を参照してください。

備考 表5-3の (A) - (H) は、図5-14の(A) - (H) と対応しています。

5.6.4 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-4 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1を発振停止可能 (MSTOP = 1)
	外部メイン・システム・クロック	移行不可	
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	X1クロック	移行不可	

5.6.5 CPUクロックの切り替えとシステム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット4（MCM0）の設定により、メイン・システム・クロックの切り替え（高速オンチップ・オシレータ・クロック⇄高速システム・クロック）をすることができます。

実際の切り替え動作は、CKCレジスタを書き換えた直後ではなく、CKCレジスタを変更したのち、数クロックは切り替え前のクロックで動作します（表5-5、表5-6参照）。

メイン・システム・クロックが高速システム・クロックで動作しているか、高速オンチップ・オシレータ・クロックで動作しているかは、CKCレジスタのビット5（MCS）で判定できます。

CPUクロックを切り替えると、周辺ハードウェア・クロックも同時に切り替わります。

表5-5 システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f _{IH}	←→	f _{MX}	表5-6参照

表5-6 f_{IH} ↔ f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} ≥ f _{IH}		2クロック
	f _{MX} < f _{IH}		2f _{IH} /f _{MX} クロック
1 (f _{MAIN} = f _{MX})	f _{MX} ≥ f _{IH}	2f _{MX} /f _{IH} クロック	
	f _{MX} < f _{IH}	2クロック	

備考1. 表5-6のクロック数は、切り替え前のCPUクロックのクロック数です。

2. 表5-6のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに切り替える場合（f_{IH} = 8 MHz選択, f_{MX} = 10 MHz発振時）

$$2f_{MX}/f_{IH} = 2(10/8) = 2.5 \rightarrow 3 \text{クロック}$$

5.6.6 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-7 クロック発振停止前の条件とフラグ設定

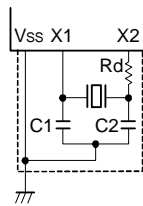
クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		

5.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数(参考)は当社Webページ(<http://www.renesas.com>)の対象製品ページに掲載しております。

- 注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。
- また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。
2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図5-15 外付け回路例



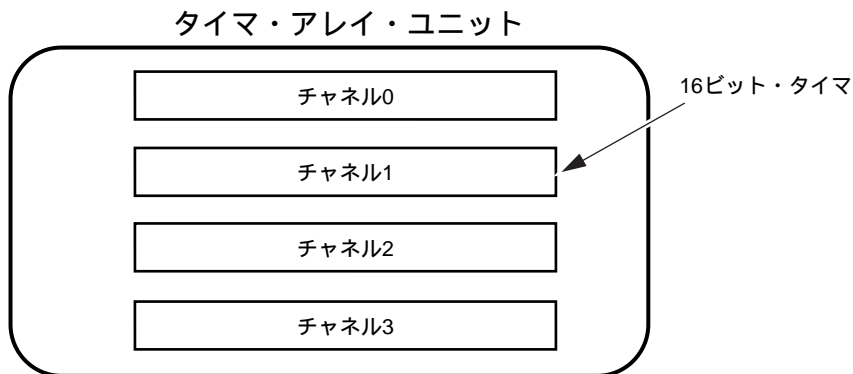
第6章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットのユニット、チャンネル数は、製品によって異なります。

ユニット	チャンネル	24, 32ピン
ユニット0	チャンネル0	○
	チャンネル1	○
	チャンネル2	○
	チャンネル3	○

注意 この章では、以降の主な説明を32ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは4個の16ビット・タイマを搭載しています。
 各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせて高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> ・ インターバル・タイマ (→6. 8. 1参照) ・ 方形波出力 (→6. 8. 1参照) ・ 外部イベント・カウンタ (→6. 8. 2参照) ・ 入力パルス間隔測定 (→6. 8. 3参照) ・ 入力信号のハイ/ロウ・レベル幅測定 (→6. 8. 4参照) ・ ディレイ・カウンタ (→6. 8. 5参照) 	<ul style="list-style-type: none"> ・ ワンショット・パルス出力 (→6. 9. 1参照) ・ PWM出力 (→6. 9. 2参照) ・ 多重PWM出力 (→6. 9. 3参照)

ユニット0のチャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ (上位/下位) として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- ・ インターバル・タイマ(上位/下位 8ビット・タイマ) /方形波出力(下位 8ビット・タイマのみ)
- ・ 外部イベント・カウンタ (下位8ビット・タイマのみ)
- ・ ディレイ・カウンタ (下位8ビット・タイマのみ)

6.1 タイマ・アレイ・ユニットの機能

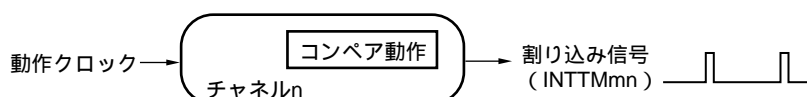
タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャンネル動作機能

単独チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

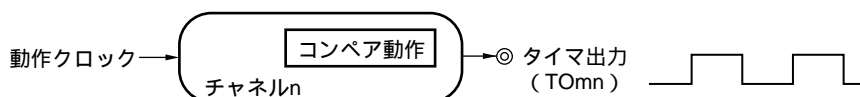
(1) インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。



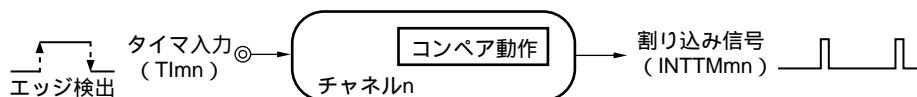
(2) 方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子（T0mn）より出力します。



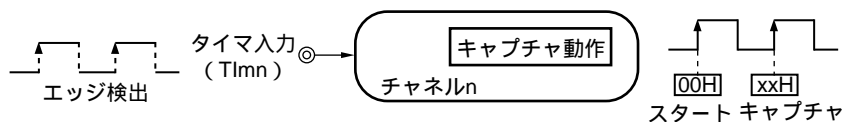
(3) 外部イベント・カウンタ

タイマ入力端子（T1mn）に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



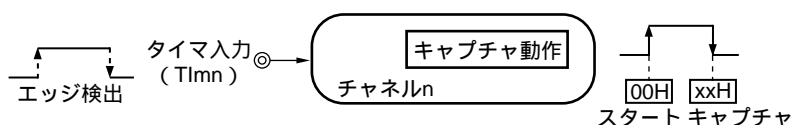
(4) 入力パルス間隔測定

タイマ入力端子（T1mn）に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



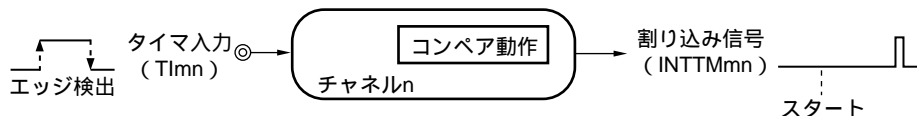
(5) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子（T1mn）に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(6) デイレイ・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

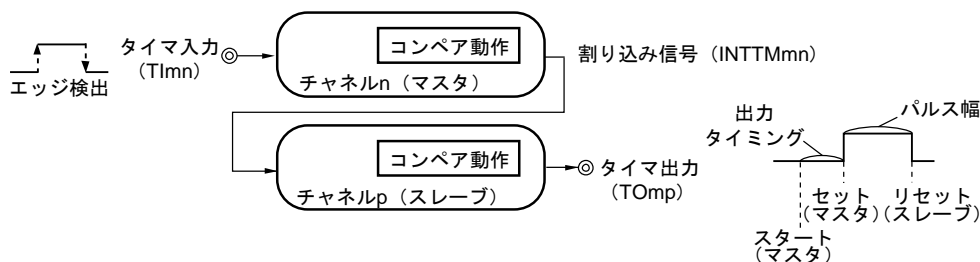
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル (主に周期を制御する基準タイマ) とスレーブ・チャンネル (マスタ・チャンネルに従い動作するタイマ) を組み合わせて実現する機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

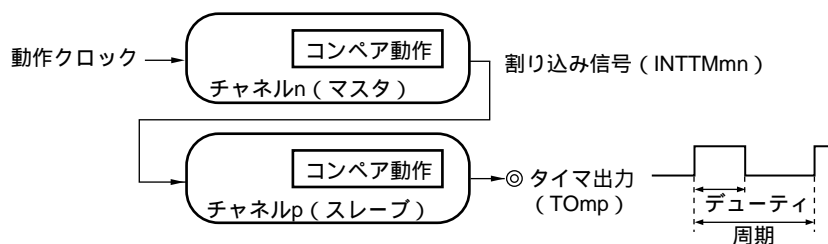
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



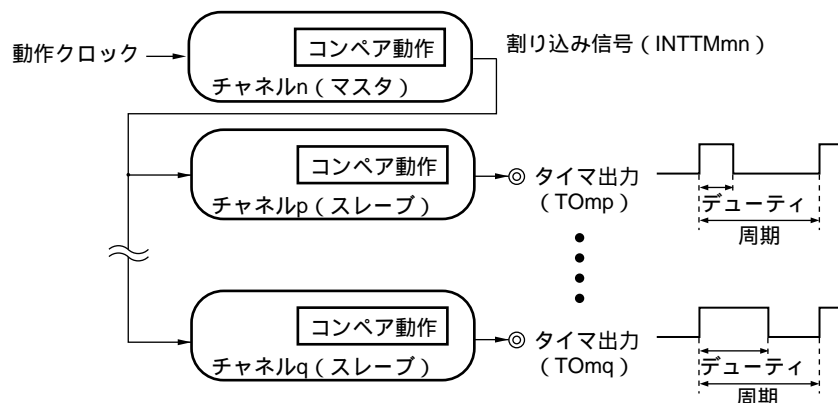
(2) PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大3種類生成することができます。



注意 複数チャンネル連動動作機能のルールの詳細については、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m : ユニット番号 ($m=0$) , n : チャンネル番号 ($n=0-3$) ,
 p, q : スレーブ・チャンネル番号 ($n < p < q \leq 3$)

6.1.3 8ビット・タイマ動作機能 (チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。
 詳細は、6.4.2 8ビット・タイマ動作機能の基本ルールを参照してください。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

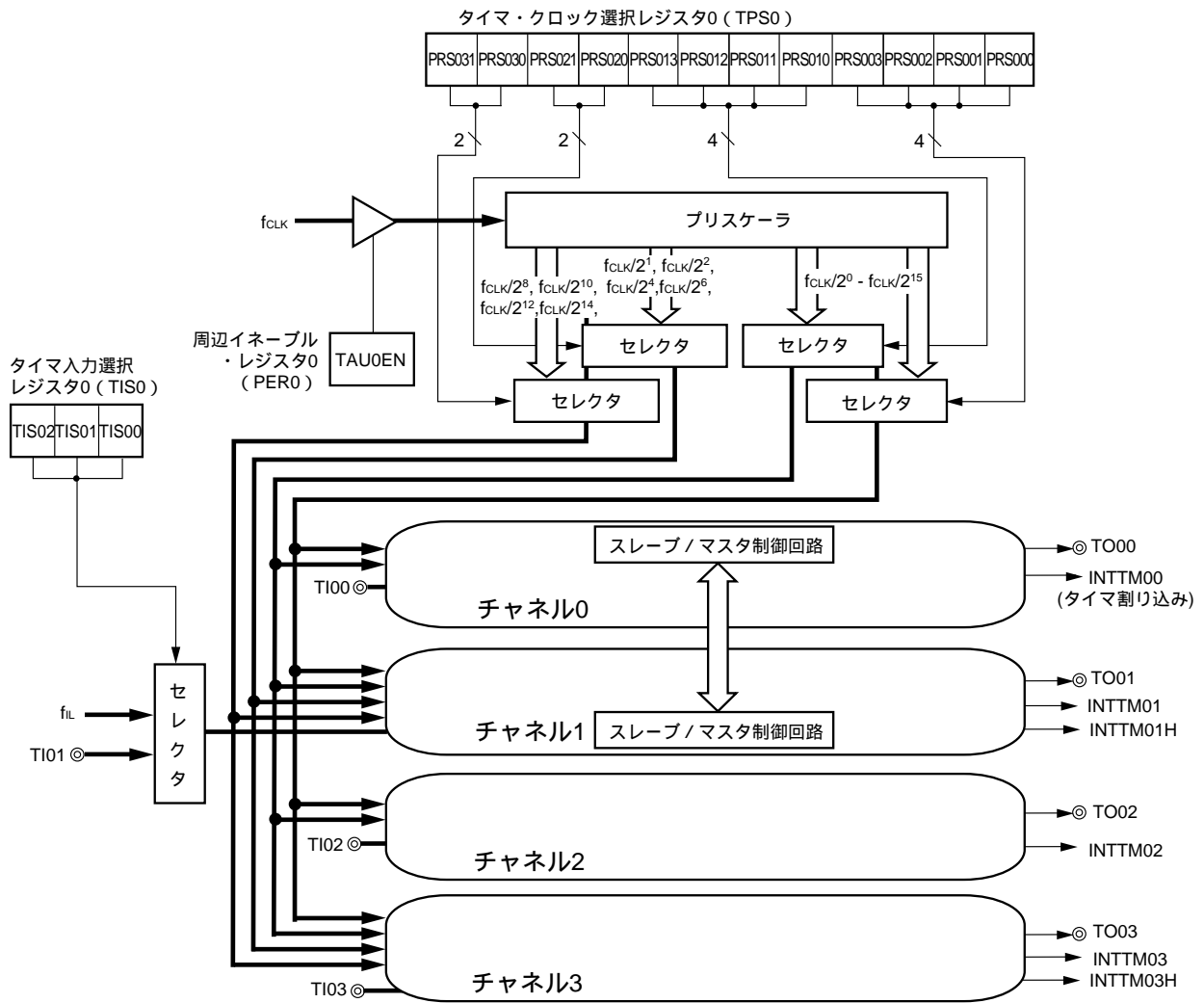
項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタmn (TCRmn)
レジスタ	タイマ・データ・レジスタmn (TDRmn)
タイマ入力	TI00-TI03
タイマ出力	TO00-TO03, 出力制御回路
制御レジスタ	<ユニット設定部のレジスタ> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・タイマ・クロック選択レジスタm (TPSm) ・タイマ・チャンネル許可ステータス・レジスタm (TEm) ・タイマ・チャンネル開始レジスタm (TSm) ・タイマ・チャンネル停止レジスタm (TTm) ・タイマ入力選択レジスタ0 (TIS0) ・タイマ出力許可レジスタm (TOEm) ・タイマ出力レジスタm (TOm) ・タイマ出力レベル・レジスタm (TOLm) ・タイマ出力モード・レジスタm (TOMm)
	<各チャンネル部のレジスタ> <ul style="list-style-type: none"> ・タイマ・モード・レジスタmn (TMRmn) ・タイマ・ステータス・レジスタmn (TSRmn) ・ノイズ・フィルタ許可レジスタ1 (NFEN1) ・ポート・モード・レジスタ (PMxx) 注 ・ポート・レジスタ (Pxx) 注

注 製品によって設定するポート・モード・レジスタ(PMxx)とポート・レジスタ(Pxx)が異なります。詳細は、4.5 兼用機能使用時のポート関連レジスタの設定を参照してください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

図6-1～図6-5にタイマ・アレイ・ユニットのブロック図を示します。

図6-1 タイマ・アレイ・ユニット0の全体ブロック図



備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図6-2 タイマ・アレイ・ユニット0のチャンネル0内部ブロック図

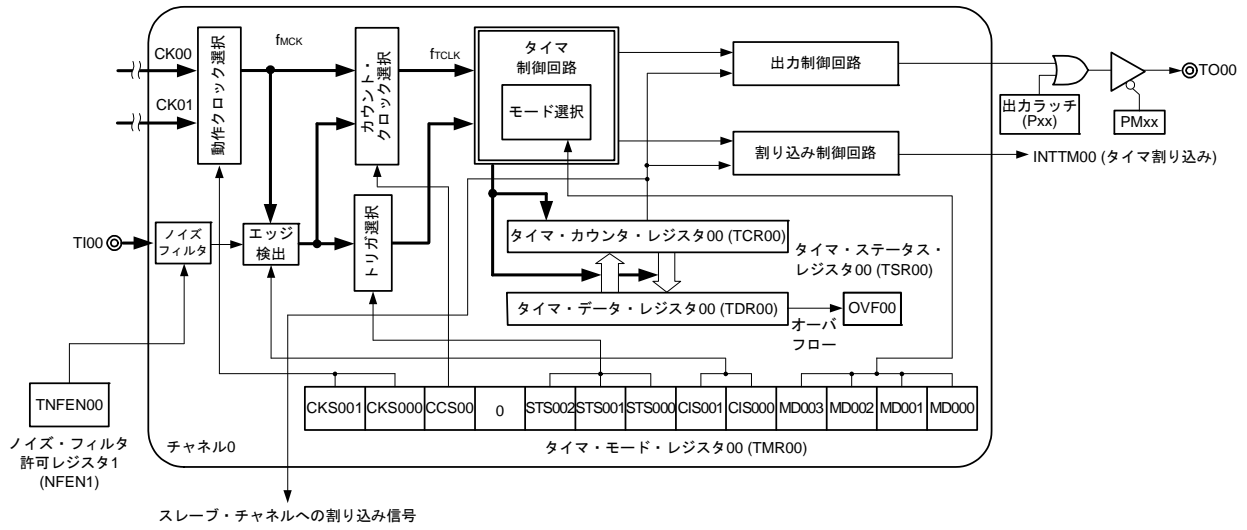


図6-3 タイマ・アレイ・ユニット0のチャンネル1内部ブロック図

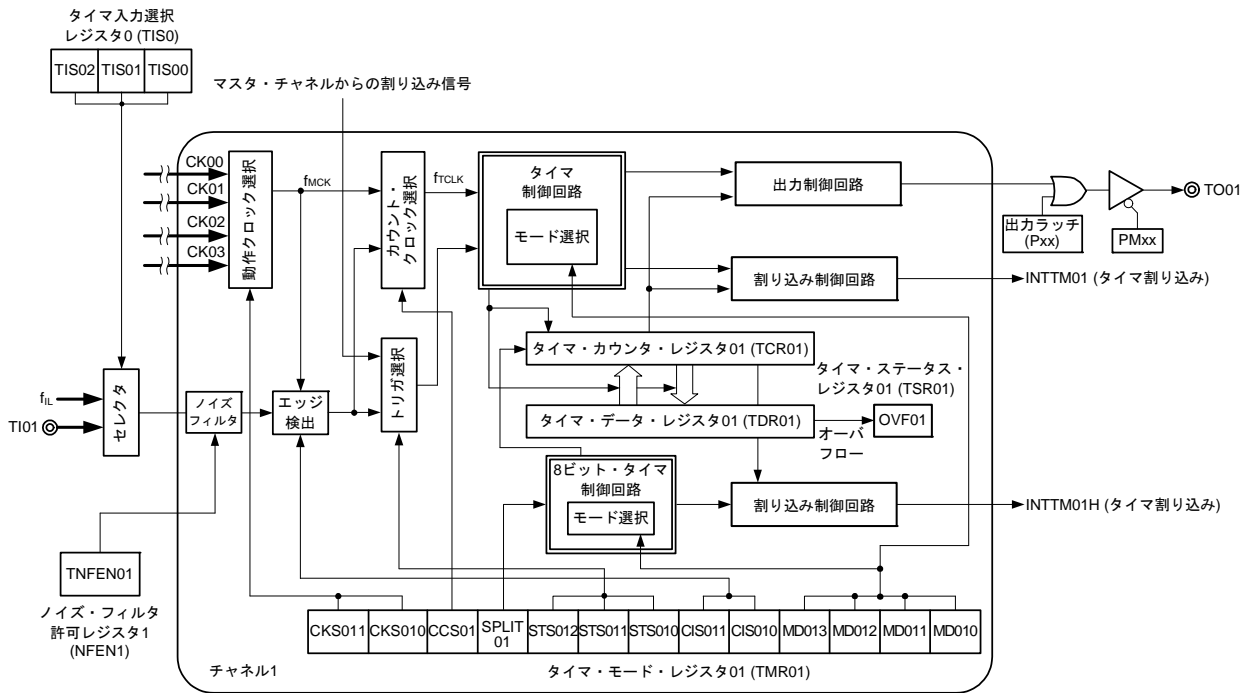


図6-4 タイマ・アレイ・ユニット0のチャンネル2内部ブロック図

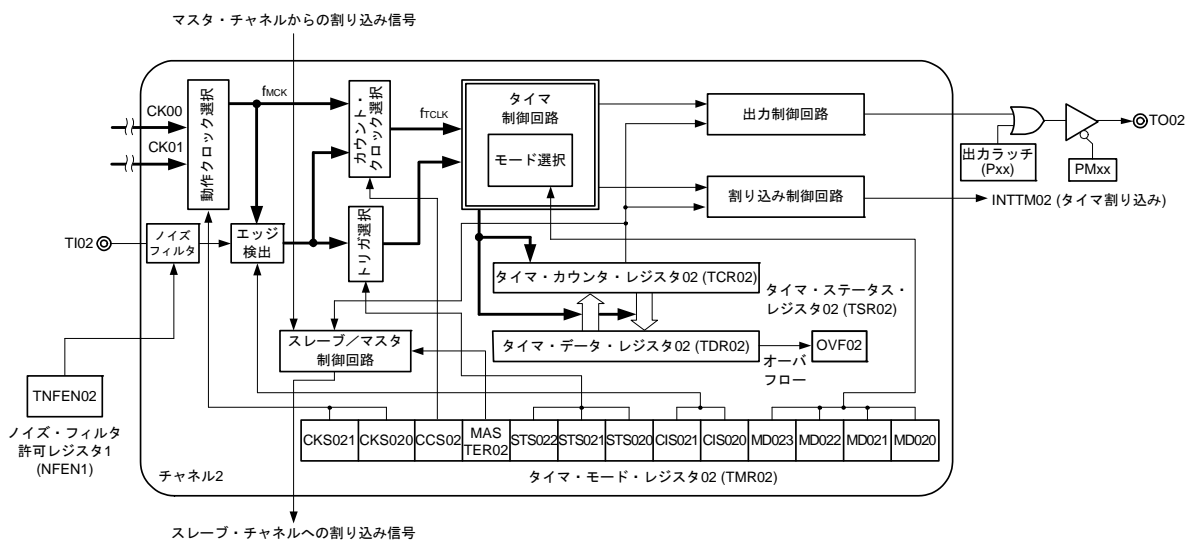
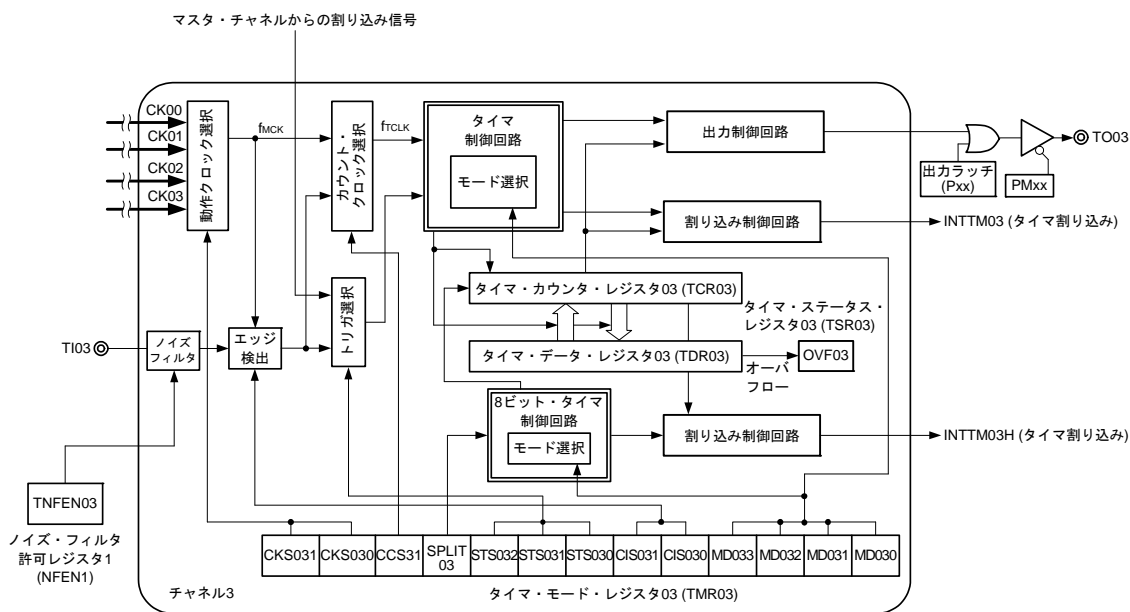


図6-5 タイマ・アレイ・ユニット0のチャンネル3内部ブロック図

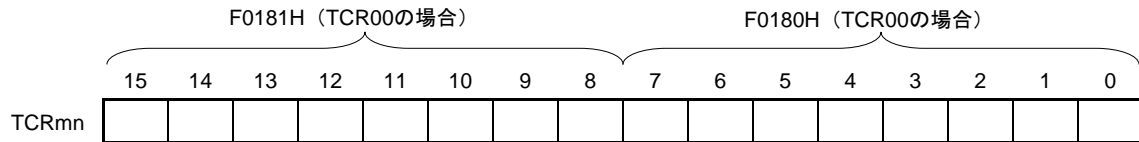


6.2.1 タイマ・カウンタ・レジスタmn (TCRmn)

TCRmnレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメント/デクリメントします。
 インクリメントかデクリメントかは、タイマ・モード・レジスタmn (TMRmn) のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります (6.3.3 タイマ・モード・レジスタmn (TMRmn) 参照)。

図6-6 タイマ・カウンタ・レジスタmn (TCRmn) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F0186H, F0187H (TCR03) リセット時 : FFFFH R



備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-3)

タイマ・カウンタ・レジスタmn (TCRmn) をリードすることにより、カウント値をリードできます。次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺インネブル・レジスタ0 (PER0) のTAUmENビットをクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ディレイ・カウンタ・モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCRmnレジスタをリードしても、タイマ・データ・レジスタmn (TDRmn) にはキャプチャしません。

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-2 各動作モード時のタイマ・カウンタ・レジスタmn (TCRmn) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値 ^注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) した場合は値	カウント動作を一時停止 (TTmn = 1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値+1

注 チャンネルnがタイマ動作停止状態 (TEmn = 0) かつカウント動作許可状態 (TSmn = 1) にした時点の、TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考 m: ユニット番号 (m = 0), n: チャンネル番号 (n = 0-3)

6.2.2 タイマ・データ・レジスタmn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタmn (TMRmn) のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3レジスタは、8ビット・タイマ・モード時(タイマ・モード・レジスタm1, m3(TMRm1, TMRm3)のSPLITm1, SPLITm3ビットが1)に、上位8ビットをTDRm1H, TDRm3H, 下位8ビットをTDRm1L, TDRm3Lとして、8ビット単位でリード/ライト可能になります。

リセット信号の発生により、TDRmnレジスタは0000Hになります。

図6-7 タイマ・データ・レジスタmn (TDRmn) (n = 0, 2) のフォーマット

アドレス : FFF18H, FFF19H (TDR00) , FFF64H, FFF65H (TDR02) リセット時 : 0000H R/W

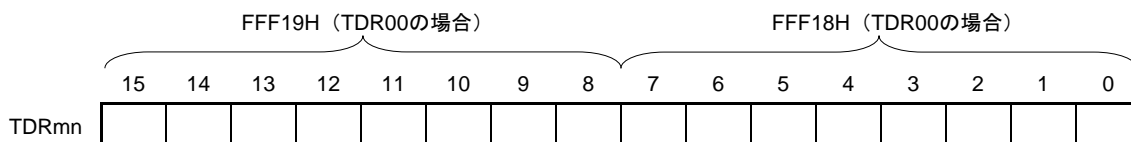
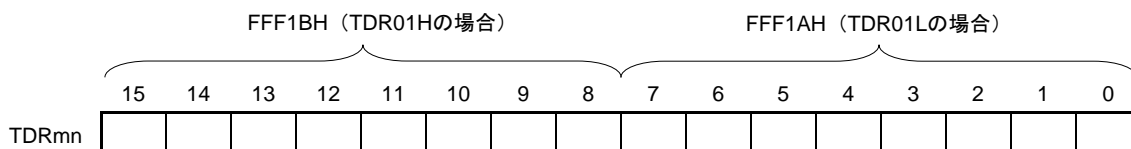


図6-8 タイマ・データ・レジスタmn (TDRmn) (n = 1, 3) のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01) , FFF66H, FFF67H (TDR03) リセット時 : 0000H R/W



(i) タイマ・データ・レジスタmn (TDRmn) をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTTMmn) を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタmn (TDRmn) をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタmn (TCRmn) のカウント値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタmn (TMRmn) で設定します。

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-3)

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・タイマ・クロック選択レジスタm (TPSm)
- ・タイマ・モード・レジスタmn (TMRmn)
- ・タイマ・ステータス・レジスタmn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタm (TEm)
- ・タイマ・チャンネル開始レジスタm (TSm)
- ・タイマ・チャンネル停止レジスタm (TTm)
- ・タイマ入力選択レジスタ0 (TIS0)
- ・タイマ出力許可レジスタm (TOEm)
- ・タイマ出力レジスタm (TOM)
- ・タイマ出力レベル・レジスタm (TOLm)
- ・タイマ出力モード・レジスタm (TOMm)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

6.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は、必ずビット0 (TAU0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図6-9 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IICA1EN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニット0の入カクロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の状態です。下記のレジスタの設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(タイマ入力選択レジスタ0(TIS0)、入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ1 (NFEN1)、ポート・モード・レジスタ1, 3 (PM1, PM3)、ポート・レジスタ1, 3 (P1, P3) は除く)。

- ・タイマ・ステータス・レジスタmn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタm (TEm)
- ・タイマ・チャンネル開始レジスタm (TSm)
- ・タイマ・チャンネル停止レジスタm (TTm)
- ・タイマ出力許可レジスタm (TOEm)
- ・タイマ出力レジスタm (TOM)
- ・タイマ出力レベル・レジスタm (TOLm)
- ・タイマ出力モード・レジスタm (TOMm)

2. ビット1, 3, 7には必ず“0”を設定してください。

6.3.2 タイマ・クロック選択レジスタm (TPSm)

TPSmレジスタは、外部プリスケラから各チャンネルに共通して供給される2種類または4種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する16ビット・レジスタです。TPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。さらにチャンネル1, 3では、TPSmレジスタのビット9, 8でCKm2を、ビット13, 12でCKm3を選択します。

タイマ動作中のTPSmレジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合 (n = 0-3) :

動作クロックにCKm0を選択 (CKSmn1, CKSmn0 = 0, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合 (n = 0-3) :

動作クロックにCKm1を選択 (CKSmn1, CKSmn0 = 0, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm2を選択 (CKSmn1, CKSmn0 = 1, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択 (CKSmn1, CKSmn0 = 1, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSmレジスタは0000Hになります。

図6-10 タイマ・クロック選択レジスタm (TPSm) のフォーマット (1/2)

アドレス : F01B6H, F01B7H (TPS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk) の選択 ^注 (k = 0, 1)					
				f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	f _{CLK} = 32 MHz	
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz	1 MHz
0	1	1	0	f _{CLK} /2 ⁶	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz	500 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz	250 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	31.25 kHz
1	0	1	1	f _{CLK} /2 ¹¹	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz	15.63 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	976 Hz

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

動作クロック (f_{MCK})、Tl_{mn}端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。

2. 動作クロック (CKmk) にf_{CLK} (分周なし) を選択し、TDRnm = 0000H (n = 0, m = 0-3) を設定すると、タイマ・アレイ・ユニットからの割り込み要求を検出しません。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. TPSmレジスタで選択するクロックの波形は、立ち上がりからf_{CLK}の1周期分だけハイ・レベルになります (m = 1-15)。詳しくは、6.5.1 カウント・クロック (f_{CLK}) を参照してください。

図6-10 タイマ・クロック選択レジスタm (TPSm) のフォーマット (2/2)

アドレス : F01B6H, F01B7H (TPS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック (CKm2) の選択 ^注					
		f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	f _{CLK} = 32 MHz	
0	0	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	1	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
1	0	f _{CLK} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz	2 MHz
1	1	f _{CLK} /2 ⁶	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz	500 kHz

PRS m31	PRS m30	動作クロック (CKm3) の選択 ^注					
		f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	f _{CLK} = 32 MHz	
0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
0	1	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	31.25 kHz
1	0	f _{CLK} /2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	f _{CLK} /2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz

注 f_{CLK}に選択しているクロックを変更(システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

動作クロック (f_{MCK}), TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット15, 14, 11, 10には、必ず0を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表6-3に示すインターバル時間を実現することが可能です。

表6-3 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間 ^注 (f _{CLK} = 32 MHz)			
		10 μs	100 μs	1 ms	10 ms
CKm2	f _{CLK} /2	○	—	—	—
	f _{CLK} /2 ²	○	—	—	—
	f _{CLK} /2 ⁴	○	○	—	—
	f _{CLK} /2 ⁶	○	○	—	—
CKm3	f _{CLK} /2 ⁸	—	○	○	—
	f _{CLK} /2 ¹⁰	—	○	○	—
	f _{CLK} /2 ¹²	—	—	○	○
	f _{CLK} /2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. TPSmレジスタで選択するf_{CLK}/2ⁱの波形の詳細は、6.5.1 カウント・クロック (f_{TCLK}) を参照してください。

6.3.3 タイマ・モード・レジスタmn (TMRmn)

TMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択, カウント・クロックの選択, マスタ/スレーブの選択, 16ビット/8ビット・タイマの選択 (チャンネル1, 3のみ), スタート・トリガとキャプチャ・トリガの設定, タイマ入力の有効エッジ選択, 動作モード (インターバル, キャプチャ, イベント・カウンタ, ワンカウント, キャプチャ&ワンカウント) 設定を行います。

TMRmnレジスタは、動作中 (TE_{mn} = 1のとき) の書き換えは禁止です。ただし、ビット7, 6 (CIS_{mn1}, CIS_{mn0}) は、一部の機能で動作中 (TE_{mn} = 1のとき) の書き換えが可能です (詳細は6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能, 6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnレジスタは0000Hになります。

注意 TMRmnレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMRm2, TMRm4, TMRm6 : MASTERmnビット (n = 2)

TMRm1, TMRm3 : SPLITmnビット (n = 1, 3)

TMRm0, TMRm5, TMRm7 : 0固定

図6-11 タイマ・モード・レジスタmn (TMRmn) のフォーマット (1/4)

アドレス : F0190H, F0191H (TMR00) -F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0 ^注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (fmck) の選択
0	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm0
0	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm2
1	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm1
1	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm3
動作クロック (fmck) は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (fclk) を生成します。		
動作クロックCKm2, CKm3は、チャンネル1, 3のみ選択可能です。		

CCS mn	チャンネルnのカウント・クロック (fclk) の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック (fmck)
1	TImn端子からの入力信号の有効エッジ チャンネル1では、TIS0で選択した入力信号の有効エッジ
カウント・クロック (fclk) は、タイマ・カウンタ、出力制御回路、割り込み制御回路に使用されます。	

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

- 注意1. ビット13, 5, 4には、必ず0を設定してください。
2. カウント・クロック (fclk) にCKSmn0, CKSmn1ビットで指定した動作クロック (fmck) , TImn端子からの入力信号の有効エッジのどれを選択していても、fclkに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm=00FFH) させてください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

図6-11 タイマ・モード・レジスタmn (TMRmn) のフォーマット (2/4)

アドレス : F0190H, F0191H (TMR00) -F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0 ^注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn (n = 2) のビット11)

MAS TER mn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作 (スレーブ／マスタ) の選択
0	単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
チャンネル2のみマスタ・チャンネル (MASTERmn = 1) に設定できます。 チャンネル0は0固定となります(チャンネル0は最上位チャンネルのため, このビットの設定によらずマスタとして動作します)。 また, 単独チャンネル動作機能として使用するチャンネルは, MASTERmn = 0 にします。	

(TMRmn (n = 1, 3) のビット11)

SPLIT Tmn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	TImn端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	TImn端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

注 ビット11はRead onlyの0固定で, 書き込みは無視されます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

図6-11 タイマ・モード・レジスタmn (TMRmn) のフォーマット (3/4)

アドレス : F0190H, F0191H (TMR00) -F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0 ^注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CIS mn1	CIS mn0	TImn端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がリエッジ

STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は、CISmn1-CISmn0ビット = 10Bに設定してください。

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-3)

図6-11 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) -F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0 ^{注1}	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウン ト動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/ 方形波出力/ PWM出力 (マスタ)	ダウン・カウン ト
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウン ト
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウン ト
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ ワンショット・パルス出力/ PWM出力 (スレーブ)	ダウン・カウン ト
1	1	0	キャプチャ&ワンカウント・ モード	入力信号のハイ/ロウ・レベ ル幅測定	アップ・カウン ト
上記以外			設定禁止		

各モードの動作は、MDmn0ビットによって変わります (下表を参照)。

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。 その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
上記以外		設定禁止

注1. ビット11はRead onlyの0固定で、書き込みは無視されます。

- ワンカウント・モードでは、カウント動作開始時の割り込み出力 (INTTMmn) , TOMn出力は制御しません。
- 動作中にスタート・トリガ (TSmn = 1) が掛かると、カウンタを初期化し、再カウント・スタートします (割り込み要求は発生せず)。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

6.3.4 タイマ・ステータス・レジスタmn (TSRmn)

TSRmnレジスタは、チャンネルnのカウンタのオーバーフロー状況を表示するレジスタです。

TSRmnレジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B) のみ有効です。各動作モードでのOVFビットの動作とセット/クリア条件は表6-4を参照してください。

TSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnレジスタは0000Hになります。

図6-12 タイマ・ステータス・レジスタmn (TSRmn) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01A6H, F01A7H (TSR03) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。	

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

表6-4 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード	クリア	— (使用不可)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

6.3.5 タイマ・チャンネル許可ステータス・レジスタm (TEm)

TEmレジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャンネル開始レジスタm (TSm) とタイマ・チャンネル停止レジスタm (TTm) の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは、TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEmレジスタは0000Hになります。

図6-13 タイマ・チャンネル許可ステータス・レジスタm (TEm) のフォーマット

アドレス : F01B0H, F01B1H (TE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	0	0	0	0	0	TEm 3	TEm 2	TEm 1	TEm 0

TEH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEmn	チャンネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

6.3.6 タイマ・チャンネル開始レジスタm (TSm)

TSmレジスタは、タイマ・カウンタ・レジスタmn (TCRmn) を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタm (TEm) の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので、動作許可状態 (TEmn, TEHm1, TEHm3 = 1) になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは、16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは、TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSmレジスタは0000Hになります。

図6-14 タイマ・チャンネル開始レジスタm (TSm) のフォーマット

アドレス : F01B2H, F01B3H (TS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSH m3	0	TSH m1	0	0	0	0	0	TSm 3	TSm 2	TSm 1	TSm 0

TSH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります (6.5.2 カウンタのスタート・タイミングの表6-5参照)。

TSH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります (6.5.2 カウンタのスタート・タイミングの表6-5参照)。

TSmn	チャンネルnの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります (6.5.2 カウンタのスタート・タイミングの表6-5参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可 (スタート) トリガになります。

(注意, 備考は次ページにあります。)

- 注意1. ビット15-12, 10, 8-4には必ず0を設定してください。
2. TImn端子入力を使用しない機能から、TImn端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタmn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TImn端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (f_{MCK}) の4クロック

TImn端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (f_{MCK}) の2クロック

- 備考1. TSmレジスタの読み出し値は常に0となります。
2. m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-3)

6.3.7 タイマ・チャンネル停止レジスタm (TTm)

TTmレジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタm (TEm) の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので、動作停止状態 (TEmn, TTHm1, TTHm3 = 0) になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは、16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmレジスタは0000Hになります。

図6-15 タイマ・チャンネル停止レジスタm (TTm) のフォーマット

アドレス : F01B4H, F01B5H (TT0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTH m3	0	TTH m1	0	0	0	0	0	TTm 3	TTm 2	TTm 1	TTm 0

TTH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TTmn	チャンネルnの動作停止トリガ
0	TEmnビットを0にクリアし、カウント動作停止状態になる。
1	TEmnビットを0にクリアし、カウント動作停止可状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意 ビット15-12, 10, 8-4には必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

2. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

6.3.8 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、ユニット0のチャンネル1のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図6-16 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI01) の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})
上記以外			設定禁止

注意 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK}+10$ ns以上必要となります。

6.3.9 タイマ出力許可レジスタm (TOEm)

TOEmレジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタm (TOm) のTOmnビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmレジスタは、16ビット・メモリ操作命令で設定します。

またTOEmレジスタの下位8ビットは、TOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEmレジスタは0000Hになります。

図6-17 タイマ出力許可レジスタm (TOEm) のフォーマット

アドレス : F01BAH, F01BBH (TOE0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	0	0	0	0	TOE m3	TOE m2	TOE m1	TOE m0

TOE mn	チャンネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTOmnビットに反映せず、出力を固定します。 TOmnビットへの書き込みが可能となり、TOmnビットに設定したレベルがTOmn端子から出力されま す。
1	タイマの出力を許可 タイマ動作をTOmnビットに反映し、出力波形を生成します。 TOmnビットへの書き込みは無視されます。

注意 ビット15-4には必ず0を設定してください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

6.3.10 タイマ出力レジスタm (TOm)

TOmレジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TOmn) から出力されます。

このレジスタのTOmnビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEmn = 0) のみ可能です。タイマ出力許可時 (TOEmn = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P13/TI00/TO00, P16/TI01/TO01/INTP5, P33/TI02/TO02/SSI00, P12/TI03/TO03/INTP4/PCLBUZ0をポート機能として使用する場合は、該当するTOmnビットに“0”を設定してください。

TOmレジスタは、16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは、TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOmレジスタは0000Hになります。

図6-18 タイマ出力レジスタm (TOm) のフォーマット

アドレス : F01B8H, F01B9H (TO0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	0	0	0	0	TOm	TOm	TOm	TOm
													3	2	1	0

TOmn	チャンネルnのタイマ出力														
0	タイマ出力値が“0”														
1	タイマ出力値が“1”														

注意 ビット15-4には必ず0を設定してください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

6.3.11 タイマ出力レベル・レジスタm (TOLm)

TOLmレジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスター・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmレジスタは、16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmレジスタは0000Hになります。

図6-19 タイマ出力レベル・レジスタm (TOLm) のフォーマット

アドレス : F01BCH, F01BDH (TOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	0	0	0	0	TOL m3	TOL m2	TOL m1	0

TOL mn	チャンネルnのタイマ出力レベルの制御														
0	正論理出力 (アクティブ・ハイ)														
1	負論理出力 (アクティブ・ロウ)														

注意 ビット15-4, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

2. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

6.3.12 タイマ出力モード・レジスタm (TOMm)

TOMmレジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能（PWM出力、ワンショット・パルス出力、多重PWM出力）として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可（TOEmn = 1）時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmレジスタは、16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmレジスタは0000Hになります。

図6-20 タイマ出力モード・レジスタm (TOMm) のフォーマット

アドレス：F01BEH, F01BFH (TOM0) リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	0	0	0	0	TOM m3	TOM m2	TOM m1	0

TOM mn	チャンネルnのタイマ出力モードの制御	
0	マスタ・チャンネル出力モード（タイマ割り込み要求信号（INTTMmn）によりトグル出力を行う）	
1	スレーブ・チャンネル出力モード （マスタ・チャンネルのタイマ割り込み要求信号（INTTMmn）で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号（INTTMmp）で出力がリセットされる）	

注意 ビット15-4, 0には必ず0を設定してください。

備考 m：ユニット番号（m = 0）

n：チャンネル番号

n = 0-3（マスタ・チャンネル時：n = 0, 2）

p：スレーブ・チャンネル番号

n < p ≤ 3

（マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください）

6.3.13 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、CPU/周辺ハードウェア・クロック (f_{MCK}) で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は、CPU/周辺ハードウェア・クロック (f_{MCK}) で同期化だけを行います^注。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00Hになります。

注 詳細は、6.5.1 (2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1) , 6.5.2 カウンタのスタート・タイミングを参照。

図6-21 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00
TNFEN03	TI03端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタOFF						
	1	ノイズ・フィルタON						
TNFEN02	TI02端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタOFF						
	1	ノイズ・フィルタON						
TNFEN01	TI01端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタOFF						
	1	ノイズ・フィルタON						
TNFEN00	TI00端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタOFF						
	1	ノイズ・フィルタON						

6.3.14 ポート・モード・レジスタ1, 3 (PM1, PM3)

ポート1, 3の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート (P13/TO00/TI00, P33/TO02/TI02/ $\overline{\text{SSI00}}$ など) をタイマ出力として使用する時、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

- 例) P33/TO02/TI02/ $\overline{\text{SSI00}}$ をタイマ出力として使用する場合
 - ポート・モード・レジスタ3のPM33ビットを0に設定
 - ポート・レジスタ3のP33ビットを0に設定

タイマ入力端子を兼用するポート (P13/TO00/TI00, P33/TO02/TI02/ $\overline{\text{SSI00}}$ など) をタイマ入力として使用する時、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

- 例) P33/TO02/TI02/ $\overline{\text{SSI00}}$ をタイマ入力として使用する場合
 - ポート・モード・レジスタ3のPM33ビットを1に設定
 - ポート・レジスタ3のP33ビットを0または1に設定

PM1, PM3レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHになります。

図6-22 ポート・モード・レジスタ1, 3 (PM1, PM3) のフォーマット (32ピン製品の場合)

アドレス : FFF21H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF23H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PM3	1	1	PM35	PM34	PM33	PM32	PM31	PM30

PMmn	Pmn端子の入出力モードの選択 (m = 1, 3; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 タイマ・アレイ・ユニットの基本ルール

6.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

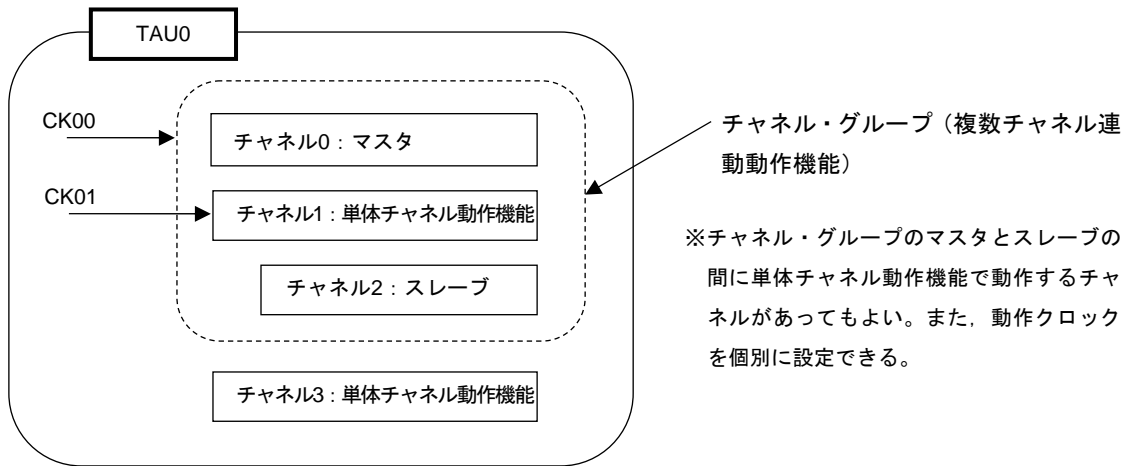
- (1) マスタ・チャンネルには、偶数チャンネル（チャンネル0, チャンネル2）のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例 チャンネル2をマスタ・チャンネルにした場合、チャンネル3をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例 チャンネル0をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn0, CKSmn1ビット（タイマ・モード・レジスタmn (TMRmn) のビット15, 14) が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット (TSmn) を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット (TTmn) を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0) は、マスタ・ビットがなく、"0"に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ（1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合）内に適用されるルールです。

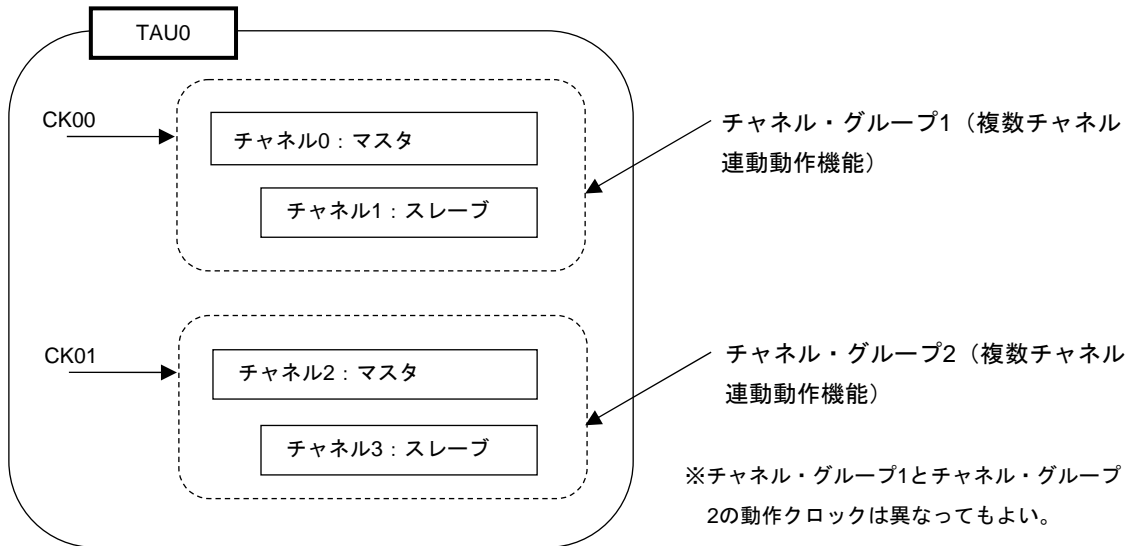
それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

例1



例2



6.4.2 8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタmn (TMRmn) のSPLITmnビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時にINTTm1H/INTTm3H（割り込み）を出力します（MDmn0 =1 設定と同じ動作）。
- (5) 上位8ビットの動作クロック選択は、下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットにしたがって動作します。
- (6) 上位8ビットは、TSHm1/TSHm3ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3ビットで確認できます。
- (7) 下位8ビットは、TMRmnレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - ・インターバル・タイマ機能/方形波出力機能
 - ・外部イベント・カウンタ機能
 - ・ディレイ・カウント機能
- (8) 下位8ビットは、TSm1/TSm3ビットを操作することでチャンネル動作を開始し、TTm1/TTm3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3ビットを操作することでチャンネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能（ワンショット・パルス, PWM, 多重PWM）を使用することはできません。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 1, 3)

6.5 カウンタの動作

6.5.1 カウント・クロック (f_{TCLK})

タイマ・アレイ・ユニットのカウント・クロック (f_{TCLK}) は、タイマ・モード・レジスタmn (TMRmn) の CCSmnビットにより、以下のどちらかを選択することができます。

- ・ CKSmn0, CKSmn1ビットで指定した動作クロック (f_{MCK})
- ・ TImn端子からの入力信号の有効エッジ

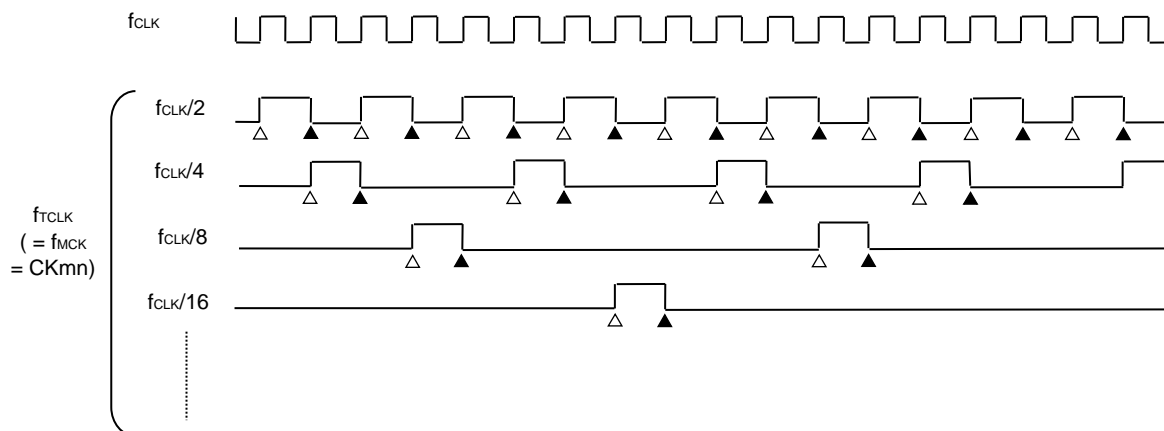
タイマ・アレイ・ユニットは、f_{CLK}との同期をとって動作するよう設計されているため、カウント・クロック (f_{TCLK}) のタイミングは次のようになります。

(1) CKSmn0, CKSmn1ビットで指定した動作クロック (f_{MCK}) を選択した場合 (CCSmn = 0)

カウント・クロック (f_{TCLK}) は、タイマ・クロック選択レジスタm (TPSm) の設定により、f_{CLK} ~ f_{CLK}/2¹⁵ となります。ただし、f_{CLK}の分周を選んだ場合、TPSmレジスタで選択するクロックは、立ち上がりからf_{CLK}の1周期分だけハイ・レベルになる信号となります。f_{CLK}を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタmn (TCRmn) は、f_{CLK}との同期をとるため、カウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6-23 f_{CLK}とカウント・クロック (f_{TCLK}) のタイミング (CCSmn = 0時)



備考1. Δ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

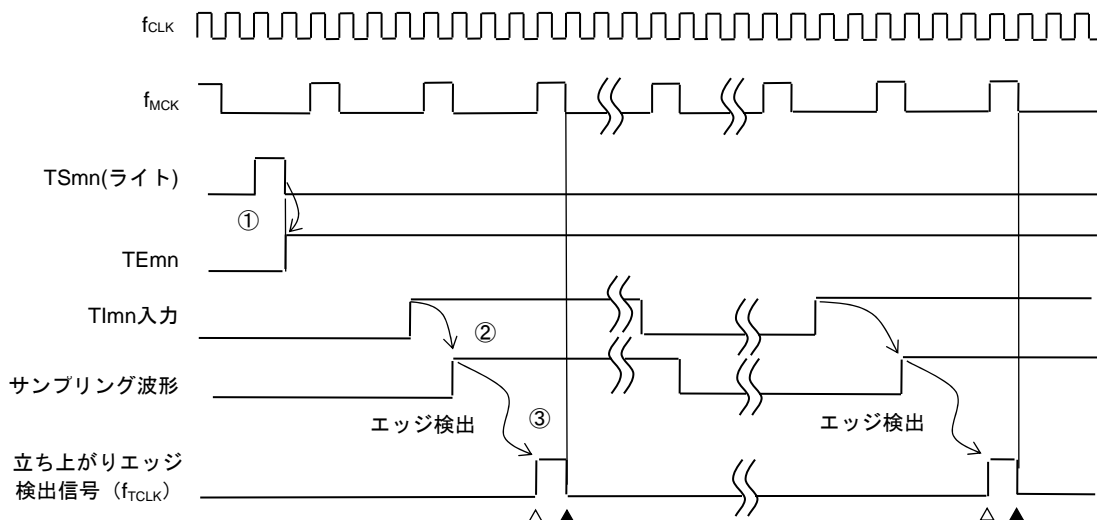
2. f_{CLK} : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (f_{TCLK}) は、TImn端子からの入力信号の有効エッジを検出し、次の f_{MCK} の立ち上がりに同期した信号になります。これは、実際のTImn端子からの入力信号より f_{MCK} の1~2クロック分遅れた信号になります (ノイズ・フィルタ使用時は、 f_{MCK} の3~4クロック分遅れます)。

また、タイマ・カウンタ・レジスタmn (TCRmn) は、 f_{CLK} との同期をとるためにカウント・クロックの立ち上がりから f_{CLK} の1クロック分遅れてカウントしますが、このことを便宜上“TImn端子からの入力信号の有効エッジでカウントする”と表現します。

図6-24 カウント・クロック (f_{TCLK}) のタイミング (CCSmn = 1, ノイズ・フィルタ未使用時)



- ① TSmnビットをセットすることでタイマが動作を開始し、TImn入力の有効エッジ待ちになります。
- ② TImn入力の立ち上がりが f_{MCK} でサンプリングされます。
- ③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. Δ : カウント・クロックの立ち上がり

\blacktriangle : 同期化, カウンタのインクリメント/デクリメント

2. f_{CLK} : CPU/周辺ハードウェア・クロック

f_{MCK} : チャンネルnの動作クロック

3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, デレイ・カウンタ, ワンショット・パルス出力機能のTImn入力も同様の波形になります。

6.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタmn (TCRmn) は、タイマ・チャンネル開始レジスタm (TSMn) のTSmnビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウント・レジスタmn (TCRmn) のカウント・スタートまでの動作を、表6-5に示します。

表6-5 カウント動作許可状態からタイマ・カウント・レジスタmn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSMn = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (1) インターバル・タイマ・モードの動作参照)。
・イベント・カウンタ・モード	TSMnビットに1を書き込むことにより、TDRmnレジスタの値をTCRmnレジスタにロードします。 Timn入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (2) イベント・カウンタ・モードの動作参照)。
・キャプチャ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。
・ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (4) ワンカウント・モードの動作参照)。
・キャプチャ&ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。

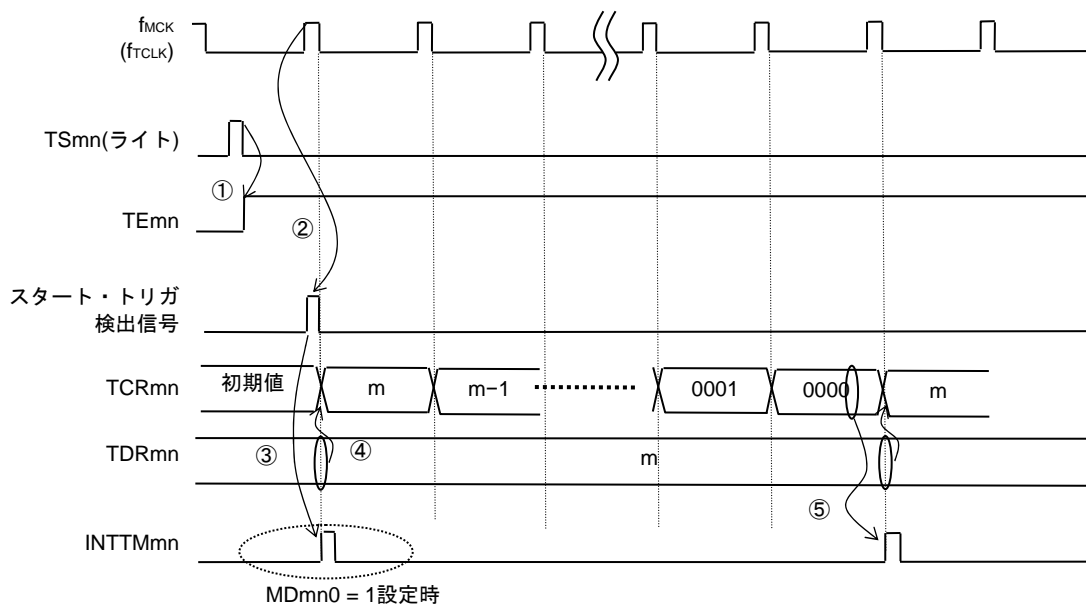
6.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TS_{mn}ビットへ1を書き込むことにより、動作許可状態 (TE_{mn} = 1) となります。タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック (f_{MCK}) で、スタート・トリガが発生します。
- ③ MD_{mn0}ビットが1に設定されている場合には、スタート・トリガにより、INTTM_{mn}が発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ_{mn} (TDR_{mn}) の値をTCR_{mn}レジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCR_{mn}レジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック (f_{MCK}) でINTTM_{mn}が発生し、タイマ・データ・レジスタ_{mn} (TDR_{mn}) の値をTCR_{mn}レジスタにロードしてカウントを継続します。

図6-25 動作タイミング (インターバル・タイマ・モード)



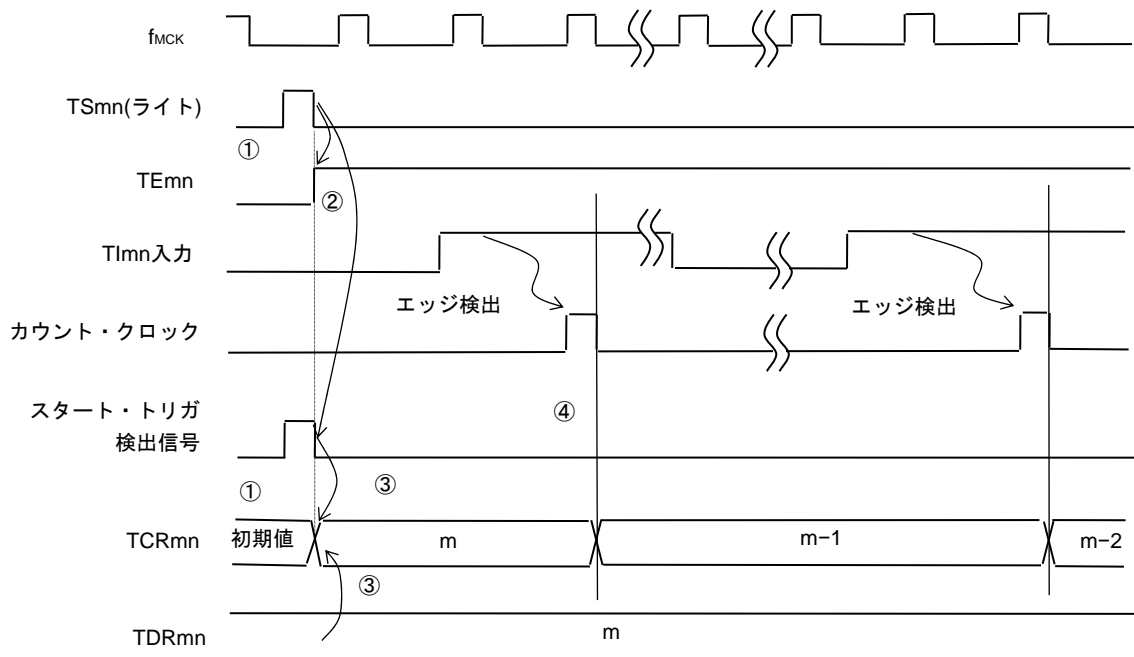
注意 カウント・クロックの1周期目の動作はTS_{mn}ビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD_{mn0} = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 f_{MCK}, スタート・トリガ検出信号, INTTM_{mn}は、f_{CLK}に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ① 動作停止状態 ($TE_{mn} = 0$) の期間, タイマ・カウンタ・レジスタ mn (TCR_{mn}) は, 初期値を保持します。
- ② TS_{mn} ビットへ1を書き込むことにより, 動作許可状態 ($TE_{mn} = 1$) となります。
- ③ $TS_{mn} = 1 \rightarrow TE_{mn} = 1$ と同時に, TCR_{mn} レジスタにタイマ・データ・レジスタ mn (TDR_{mn}) の値をロードし, カウントを開始します。
- ④ 以降は TI_{mn} 入力の有効エッジでのカウント・クロックに従い, TCR_{mn} レジスタの値をダウン・カウントします。

図6-26 動作タイミング (イベント・カウンタ・モード)

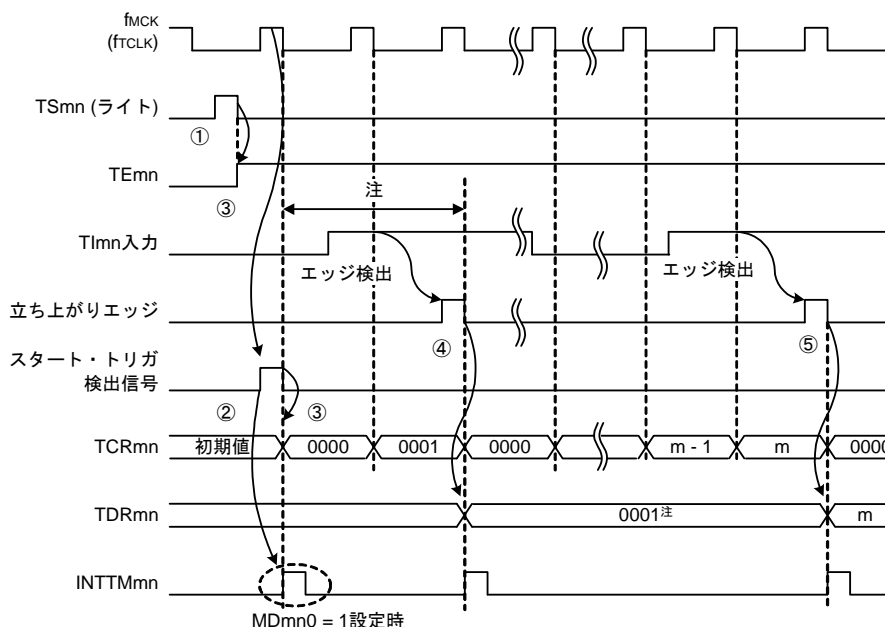


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると, エッジ検出は TI_{mn} 入力からさらに f_{MCK} の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差は TI_{mn} 入力とカウント・クロック(f_{MCK})が非同期なためです。

(3) キャプチャ・モードの動作 (入力パルス間隔測定)

- ① TSmnビットへ1を書き込むことにより、動作許可状態 (TEmn = 1) となります。
- ② タイマ・カウンタ・レジスタmn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウント・クロック (f_{MCK}) で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④ TImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを続けます。
- ⑤ 次のTImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図6-27 動作タイミング (キャプチャ・モード: 入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている (トリガがある) 場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ (④) でのキャプチャ値はパルス間隔とならない (この例では0001: 2クロック分の間隔) ので、無視してください。

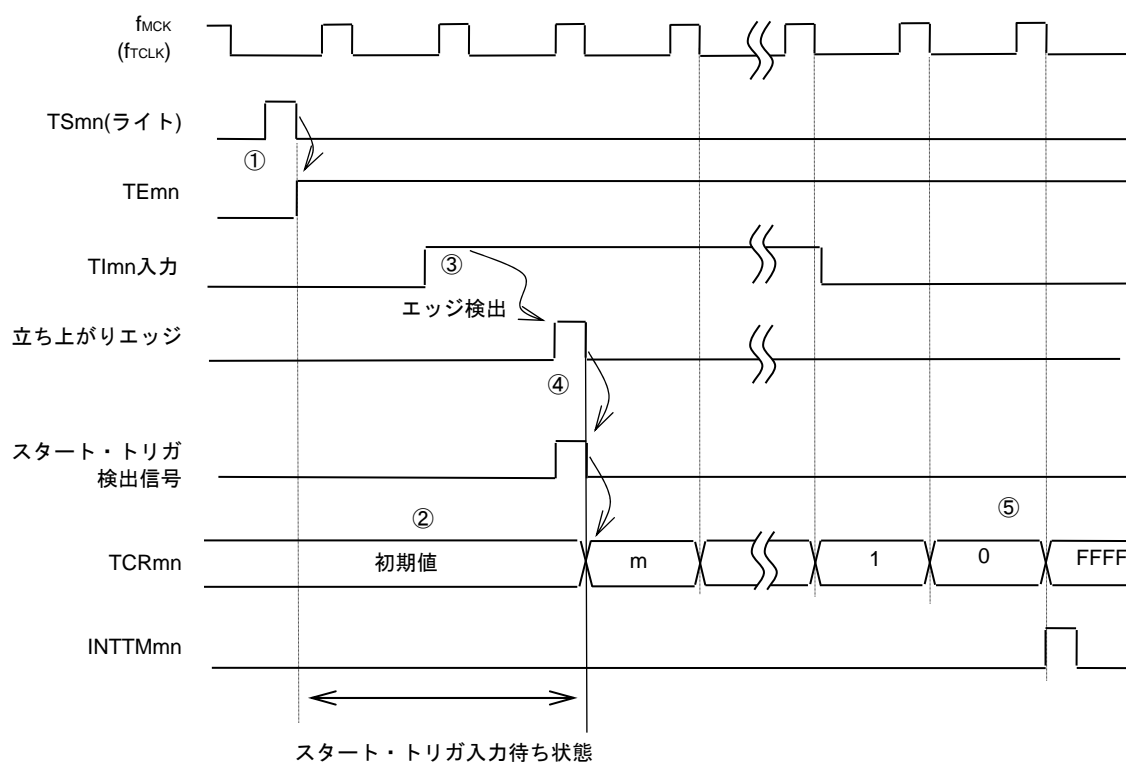
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにf_{MCK}の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTImn入力とカウント・クロック (f_{MCK}) が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。
- ② タイマ・カウンタ・レジスタmn ($TCRmn$) は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、 $TDRmn$ レジスタの値 (m) を $TCRmn$ レジスタにロードし、カウントを開始します。
- ⑤ $TCRmn$ レジスタがカウント・ダウンしてカウント値が0000Hになると、 $INTTMmn$ 割り込みを発生し、 $TCRmn$ レジスタはFFFFHで停止します。

図6-28 動作タイミング (ワンカウント・モード)

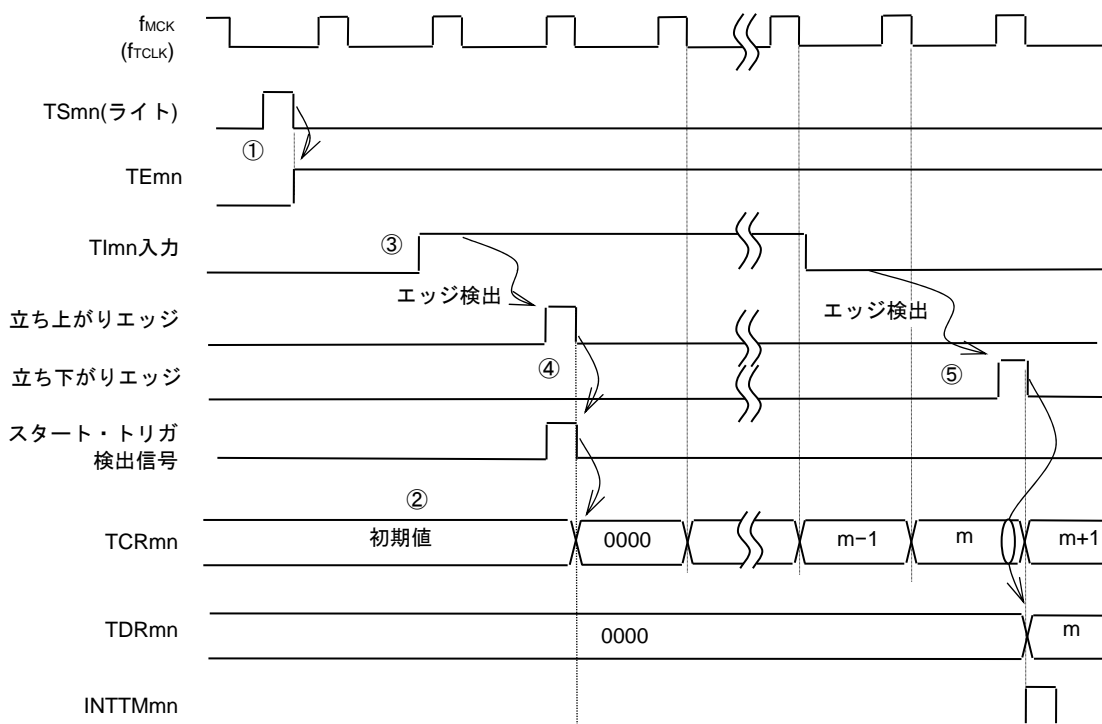


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTImn入力からさらに f_{MCK} の2周期分（合計で3~4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック (f_{MCK}) が非同期なためです。

(5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタm (TSMn) のTSMnビットに1を書き込むことにより、動作許可状態 (TEmn = 1) となります。
- ② タイマ・カウンタ・レジスタmn (TCRmn) は、スタート・トリガ発生まで初期値を保持します。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000HをTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TImn入力の立ち下がりエッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図6-29 動作タイミング (キャプチャ&ワンカウント・モード: ハイ・レベル幅測定)

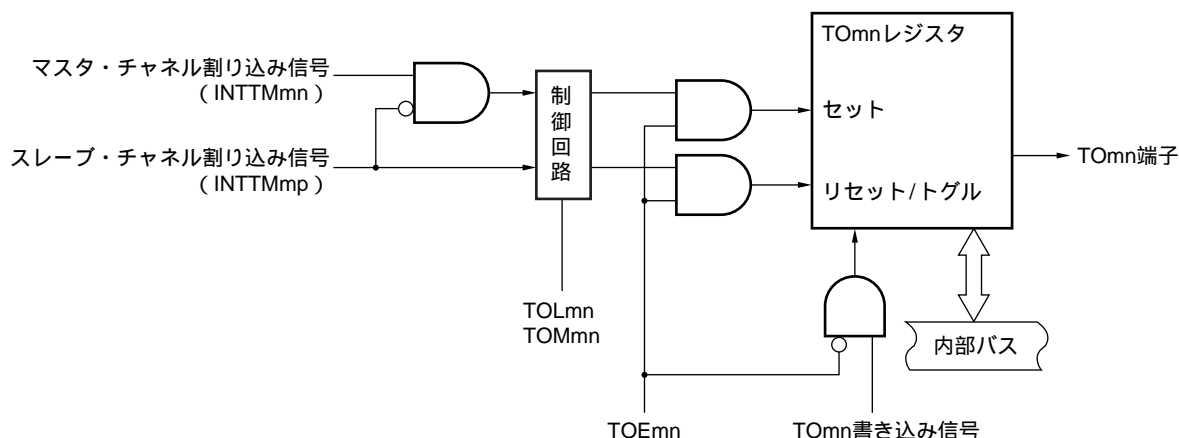


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにf_{MCK}の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTImn入力とカウント・クロック (f_{MCK}) が非同期なためです。

6.6 チャンネル出力（TOmn端子）の制御

6.6.1 TOmn端子の出力回路の構成

図6-30 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

- ① $TOMmn = 0$ （マスタ・チャンネル出力モード）のときは、タイマ出力レベル・レジスタ m （TOL m ）の設定値は無視され、INTTM mp （スレーブ・チャンネル・タイマ割り込み）のみがタイマ出力レジスタ m （TO m ）に伝えられます。
- ② $TOMmn = 1$ （スレーブ・チャンネル出力モード）のときは、INTTM mn （マスタ・チャンネル・タイマ割り込み）とINTTM mp （スレーブ・チャンネル・タイマ割り込み）がTO m レジスタに伝えられます。このとき、TOL m レジスタが有効となり、次のように信号を制御します。

TOL $m = 0$ の場合：正論理出力（INTTM mn →セット，INTTM mp →リセット）

TOL $m = 1$ の場合：負論理出力（INTTM mn →リセット，INTTM mp →セット）

また、INTTM mn とINTTM mp が同時に発生した場合（PWM出力の0%出力時）は、INTTM mp （リセット信号）が優先され、INTTM mn （セット信号）はマスクされます。

- ③ タイマ出力許可状態（TOEm $n = 1$ ）で、INTTM mn （マスタ・チャンネル・タイマ割り込み）とINTTM mp （スレーブ・チャンネル・タイマ割り込み）がTO m レジスタに伝えられます。TO m レジスタへの書き込み（TOmnライト信号）は無効となります。また、TOEm $n = 1$ のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。TOmn端子の出力レベルを初期化する場合は、タイマ動作停止（TOEm $n = 0$ ）に設定しTO m レジスタに値を書き込む必要があります。
- ④ タイマ出力禁止状態（TOEm $n = 0$ ）で、対象チャンネルのTOmnビットへの書き込み（TOmnライト信号）が有効となります。タイマ出力禁止状態（TOEm $n = 0$ ）のとき、INTTM mn （マスタ・チャンネル・タイマ割り込み）とINTTM mp （スレーブ・チャンネル・タイマ割り込み）はTO m レジスタに伝えられません。
- ⑤ TO m レジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

備考 m ：ユニット番号（ $m = 0$ ）

n ：チャンネル番号

$n = 0-3$ （マスタ・チャンネル時： $n = 0, 2$ ）

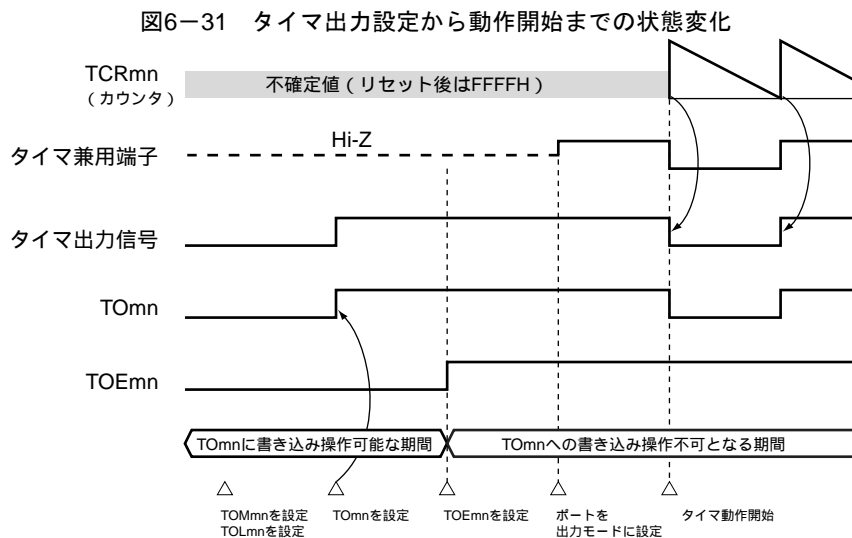
p ：スレーブ・チャンネル番号

$n = 0$ ： $p = 1, 2, 3$

$n = 2$ ： $p = 3$

6.6.2 TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。



① タイマ出力の動作モードを設定します。

- ・ TOMmnビット (0: マスタ・チャンネル出力モード, 1: スレーブ・チャンネル出力モード)
- ・ TOLmnビット (0: 正論理出力, 1: 負論理出力)

- ② タイマ出力レジスタm (TOm) を設定することにより、タイマ出力信号が初期状態に設定されます。
- ③ TOEmnビットに1を書き込み、タイマ出力動作を許可します (TOmレジスタへの書き込みは不可となります)。
- ④ ポートの入出力設定を出力に設定します (6.3.14 ポート・モード・レジスタ1, 3 (PM1, PM3) 参照)。
- ⑤ タイマを動作許可にします (TSmn = 1)。

備考 m: ユニット番号 (m = 0), n: チャンネル番号 (n = 0-3)

6.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOM,TOEm,TOLmレジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタmn (TCRmn) ,タイマ・データ・レジスタmn (TDRmn) の動作) は, TOMn出力回路とは独立しています。よって, タイマ出力レジスタm (TOM) , タイマ出力許可レジスタm (TOEm) , タイマ出力レベル・レジスタm (TOLm) の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOMn端子から出力するためには, 6.7, 6.8節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTMmn) 近辺で, TOMレジスタを除くTOEmレジスタ, TOLmレジスタの設定値変更を行うと, タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは, TOMn端子に出力される波形が異なる場合があります。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

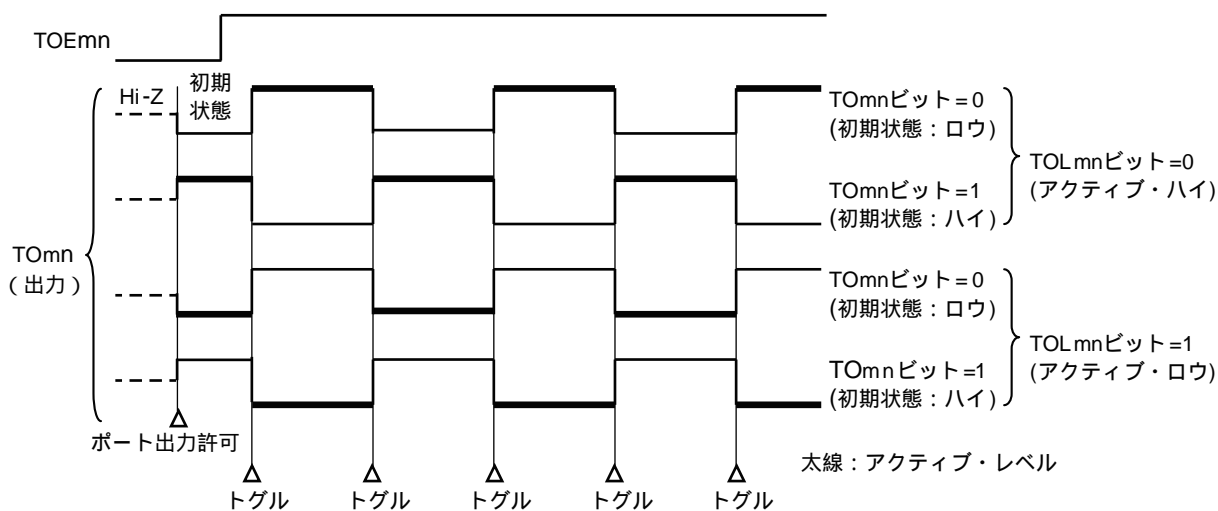
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止 (TOEmn = 0) の状態でタイマ出力レジスタm (TOm) に書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOEmn = 1) に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード (TOMmn=0) 設定で動作を開始した場合

マスタ・チャンネル出力モード (TOMmn=0) の時、タイマ出力レベル・レジスタm (TOLm) の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図6-32 トグル出力時 (TOMmn = 0) のTOmn端子出力状態

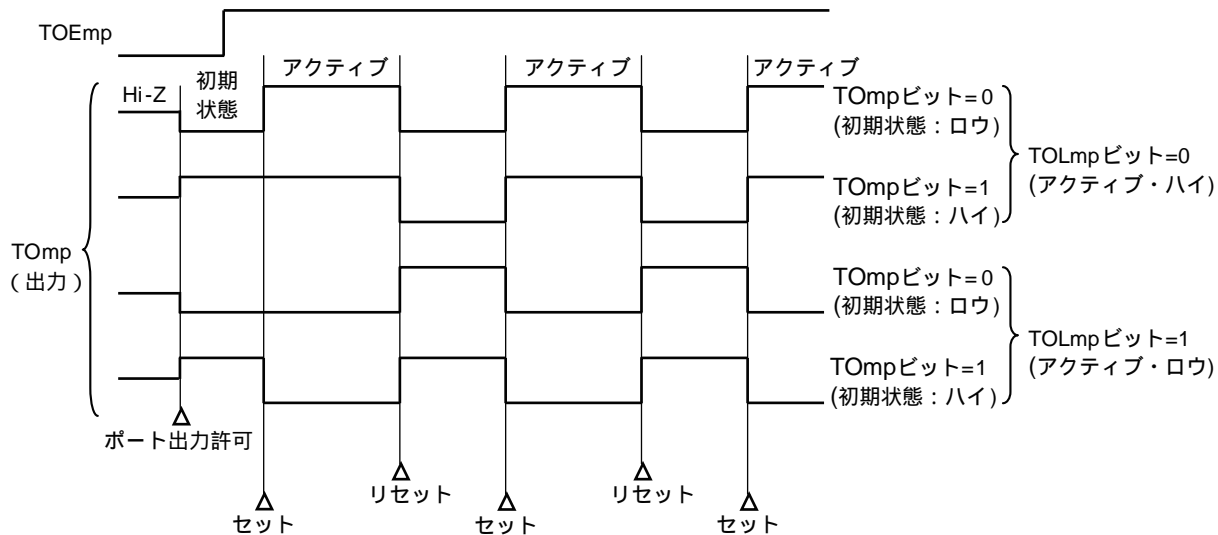


備考1. トグル : TOmn端子の出力状態を反転

2. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

- (b) スレーブ・チャンネル出力モード (TOMmp = 1) 設定で動作を開始した場合 (PWM出力)
 スレーブ・チャンネル出力モード (TOMmp = 1) の時、タイマ出力レベル・レジスタm (TOLm) の設定によりアクティブ・レベルを決定します。

図6-33 PWM出力時 (TOMmp = 1) のTOmp端子出力状態



- 備考1. セット : TOmp端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TOmp端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
 2. m : ユニット番号 (m = 0) , p : チャンネル番号 (p = 1-3)

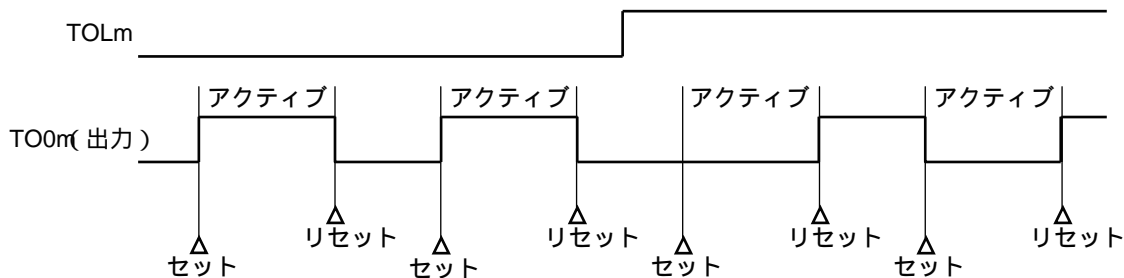
(3) TOmn端子のスレーブ・チャンネル出力モード (TOMmn = 1) での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタm (TOLm) の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOmn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中 (TEmn = 1) にTOLmレジスタの値を変更した場合の動作を次に示します。

図6-34 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



- 備考1. セット : TOmn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
- リセット : TOmn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
- 2. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

(b) セット/リセット・タイミング

PWM出力時に、0%/100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTMmn) 発生時のTOmn端子/TOmnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

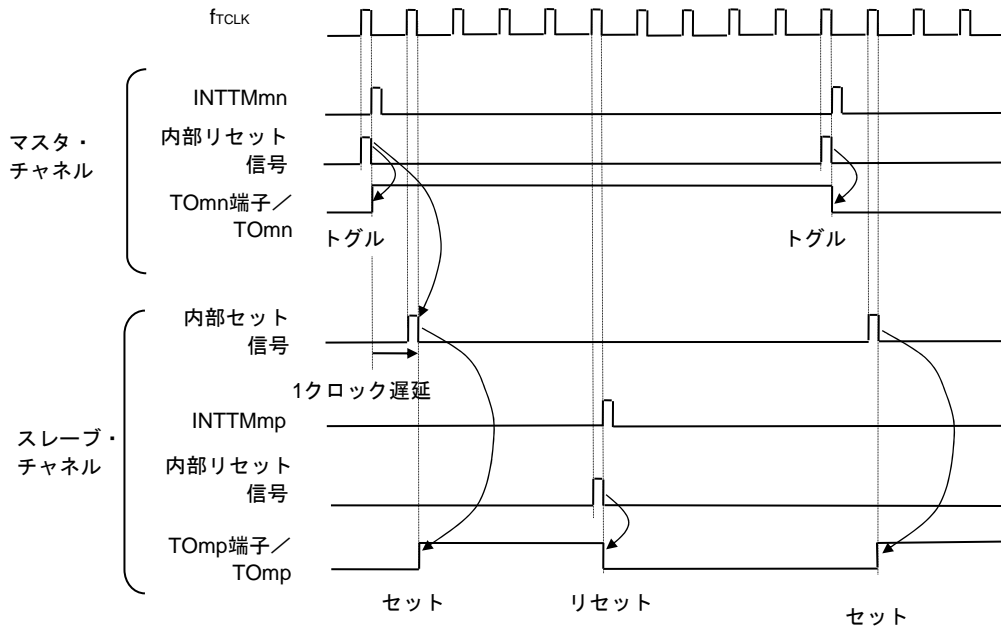
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図6-35に示します。

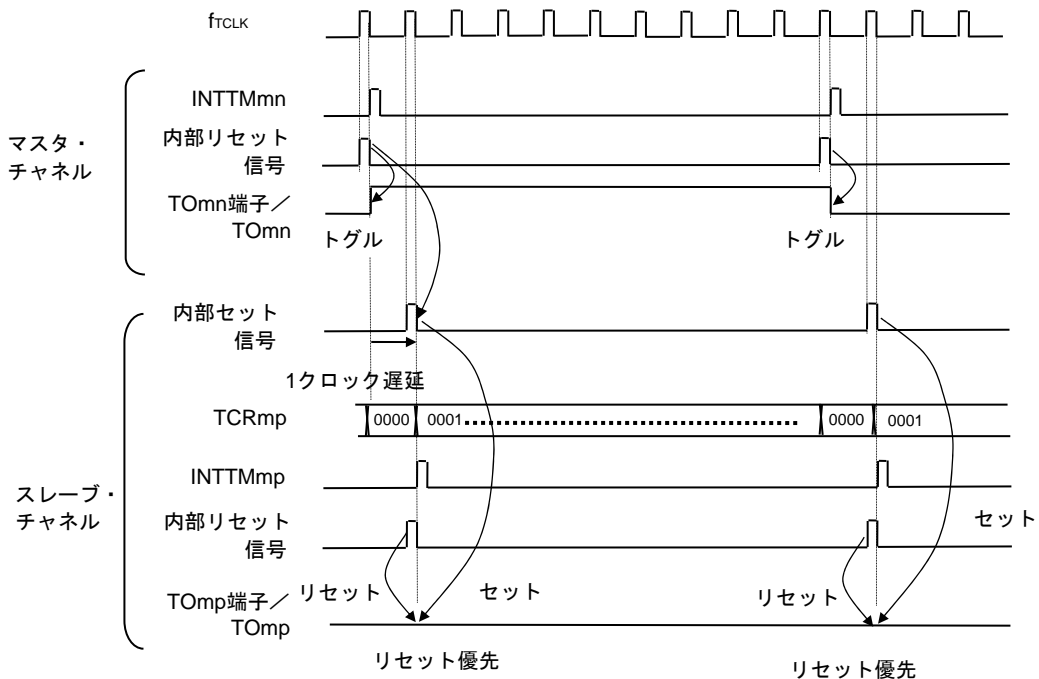
- マスタ・チャンネル : TOEmn = 1, TOMmn = 0, TOLmn = 0
- スレーブ・チャンネル : TOEmp = 1, TOMmp = 1, TOLmp = 0

図6-35 セット/リセット・タイミング動作状態

(1) 基本動作タイミング



(2) 0%デューティ時の動作タイミング

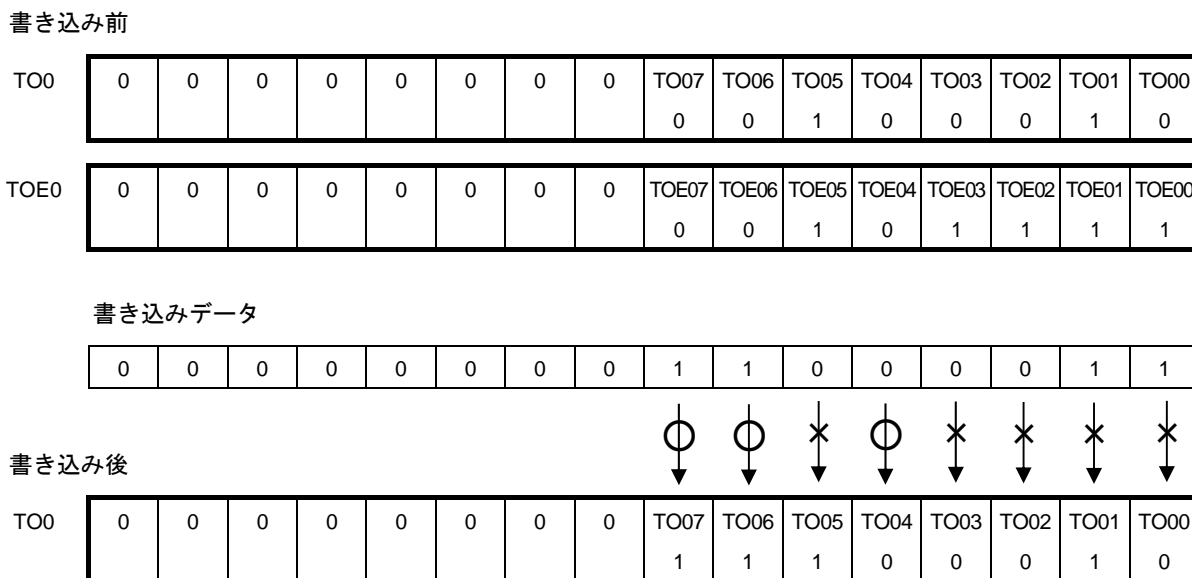


- 備考1. 内部リセット信号 : TOmn端子のリセット/トグル信号
 内部セット信号 : TOmn端子のセット信号
2. m : ユニット番号 (m = 0)
 n : チャンネル番号
 n = 0-3 (マスタ・チャンネル時 : n = 0, 2)
 p : スレーブ・チャンネル番号
 n < p ≤ 3

6.6.4 TOmnビットの一括操作

タイマ出力レジスタm (TOm) には、タイマ・チャンネル開始レジスタm (TSm) と同様に、1レジスタに全チャンネル分の設定ビット (TOmn) が配置されています。よって、全チャンネルのTOmnビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TOmn) のみTOmnビットへの書き込み可能 (TOEmn = 0) とすることによって任意のビットのみ操作することが可能です。

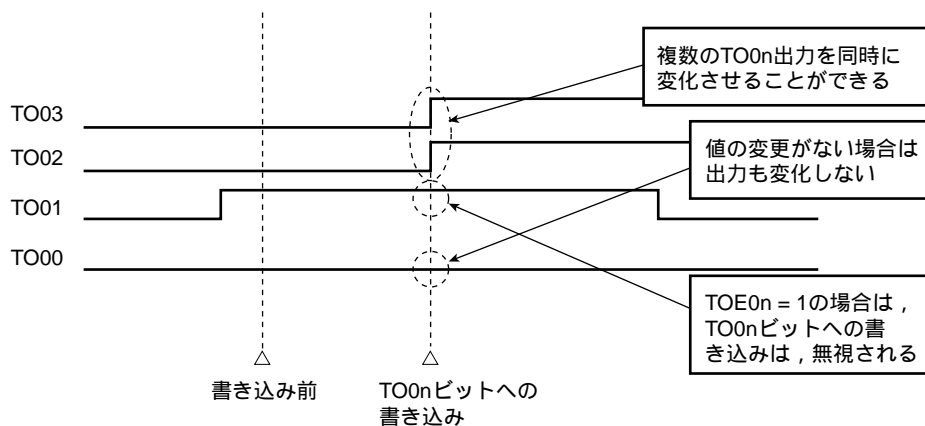
図6-36 TO0nビットの一括操作例



TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn (チャンネル出力) は、書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6-37 TO0nビットの一括操作によるTO0nの端子状態



注意 タイマ出力許可状態 (TOEmn = 1) において、各チャンネルのタイマ割り込み (INTTMmn) による出力とTOmnビットへの書き込みが競合しても、TOmn端子は正常に出力動作が行われます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

6.6.5 カウント動作開始時のタイマ割り込みとTOMn端子出力について

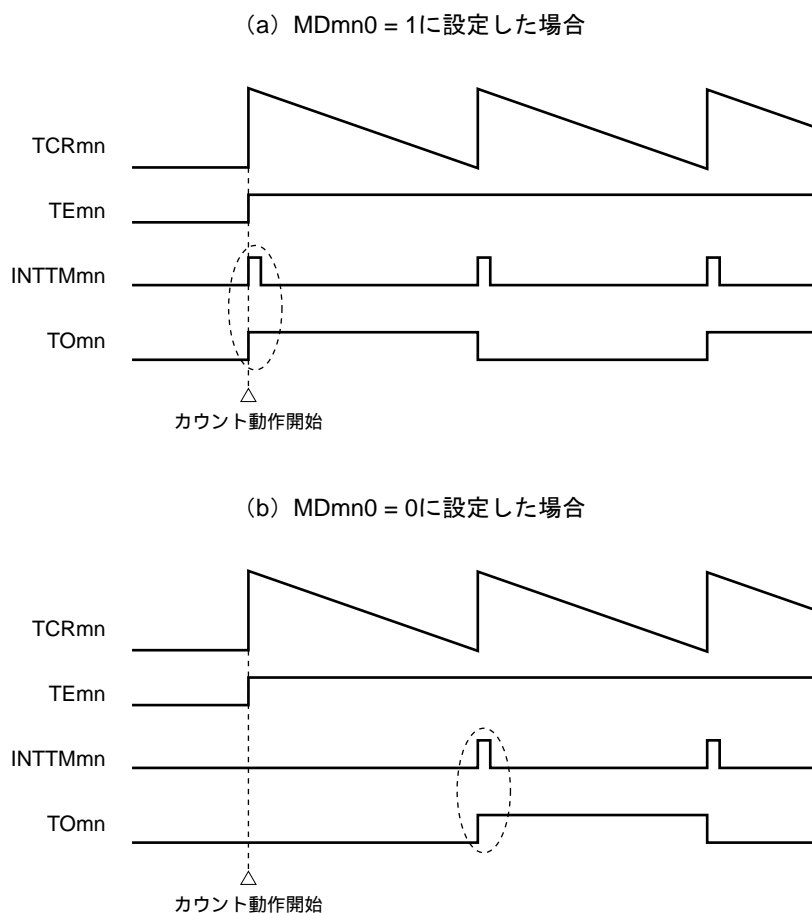
インターバル・タイマ・モード/キャプチャ・モードの場合、タイマ・モード・レジスタmn (TMRmn) のMDmn0ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDmn0 = 1に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOMn出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図6-38 カウント動作開始時のタイマ割り込み、TOMn出力の動作例



MDmn0 = 1に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOMnがトグル動作します。

MDmn0 = 0に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOMnも変化しません。1周期をカウント後、INTTMmnを出力し、TOMnがトグル動作します。

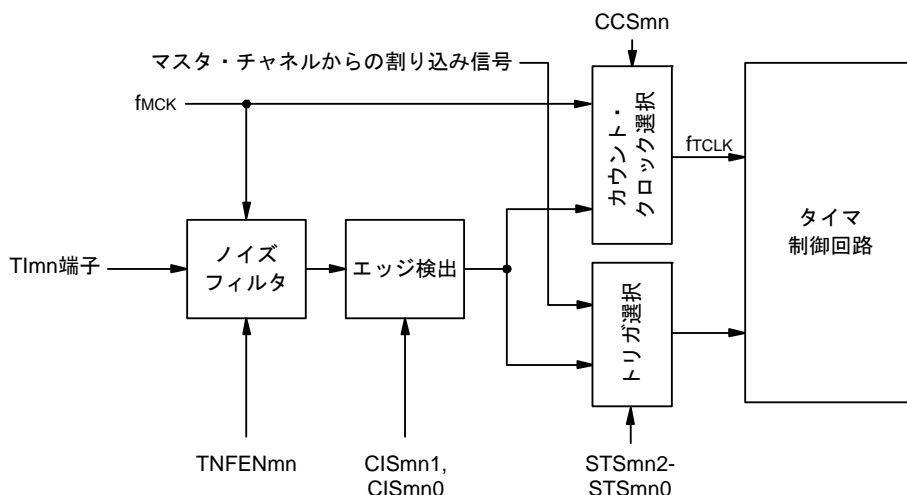
備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-3)

6.7 タイマ入力(Tlmn)の制御

6.7.1 Tlmnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

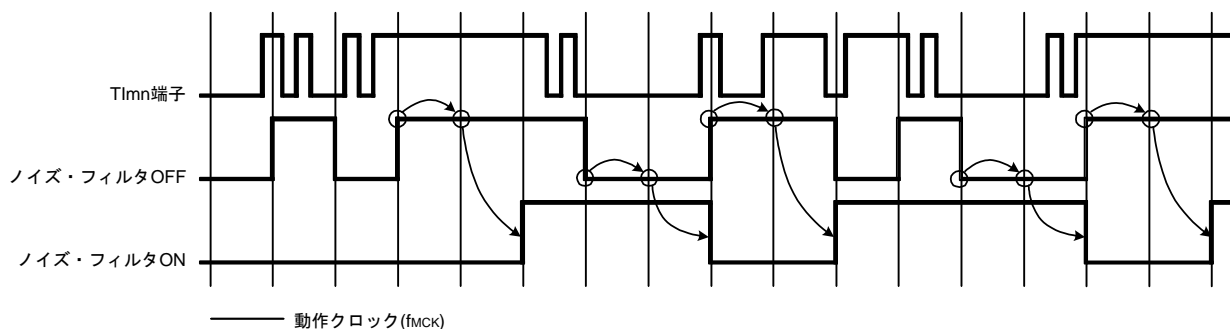
図6-39 入力回路構成図



6.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック(fmck)で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック(fmck)で同期化のあと、2クロックの一致検出を行います。以下に、Tlmn入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6-40 Tlmn入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形



注意 Tlmn端子の入力波形は、ノイズ・フィルタON/OFFの動作を説明するためのものであり、実際は、27.4 AC特性に示すTlmn入力ハイ・レベル幅、ロウ・レベル幅に従って入力してください。

6.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタOFFの場合

タイマ・モード・レジスタmn (TMRmn)のビット12 (CCSmn), ビット9 (STSmn1), ビット8 (STSmn0)がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック(f_{MCK})の2 サイクル以上経過してから、タイマ・チャンネル開始レジスタ(TSm)の動作許可トリガをセットしてください。

(2) ノイズ・フィルタONの場合

タイマ・モード・レジスタmn (TMRmn)のビット12 (CCSmn), ビット9 (STSmn1), ビット8 (STSmn0)がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック(f_{MCK})の4 サイクル以上経過してから、タイマ・チャンネル開始レジスタ(TSm)の動作許可トリガをセットしてください。

6.8 タイマ・アレイ・ユニットの単独チャネル動作機能

6.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDRmn の設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\cdot \text{TOmnからの出力方形波の周期} = \text{カウント・クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\cdot \text{TOmnからの出力方形波の周波数} = \text{カウント・クロックの周波数} / \{ (\text{TDRmnの設定値} + 1) \times 2 \}$$

タイマ・カウンタ・レジスタmn（TCRmn）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定後、最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。このときタイマ・モード・レジスタmn（TMRmn）のMDmn0 = 0ならば、INTTMmnを出力せず、TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば、INTTMmnを出力して、TOmnをトグルします。

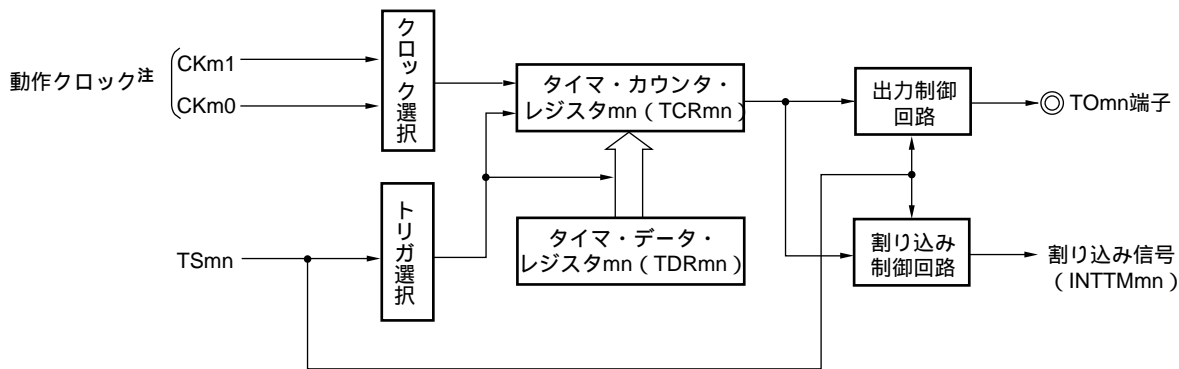
その後、TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000Hとなったら、次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また、同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降、同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は、次の周期から有効となります。

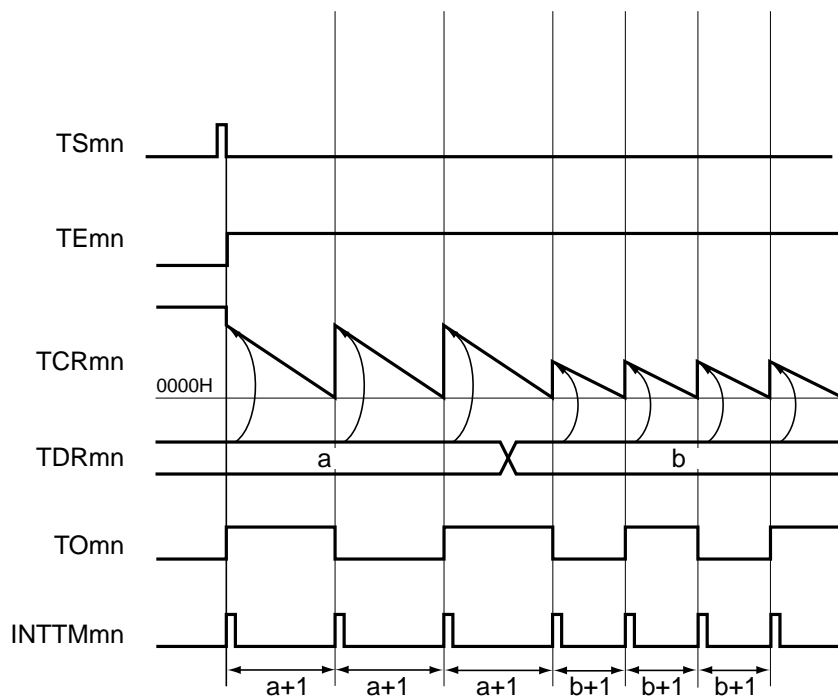
備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-3)

図6-41 インターバル・タイマ／方形波出力としての動作のブロック図



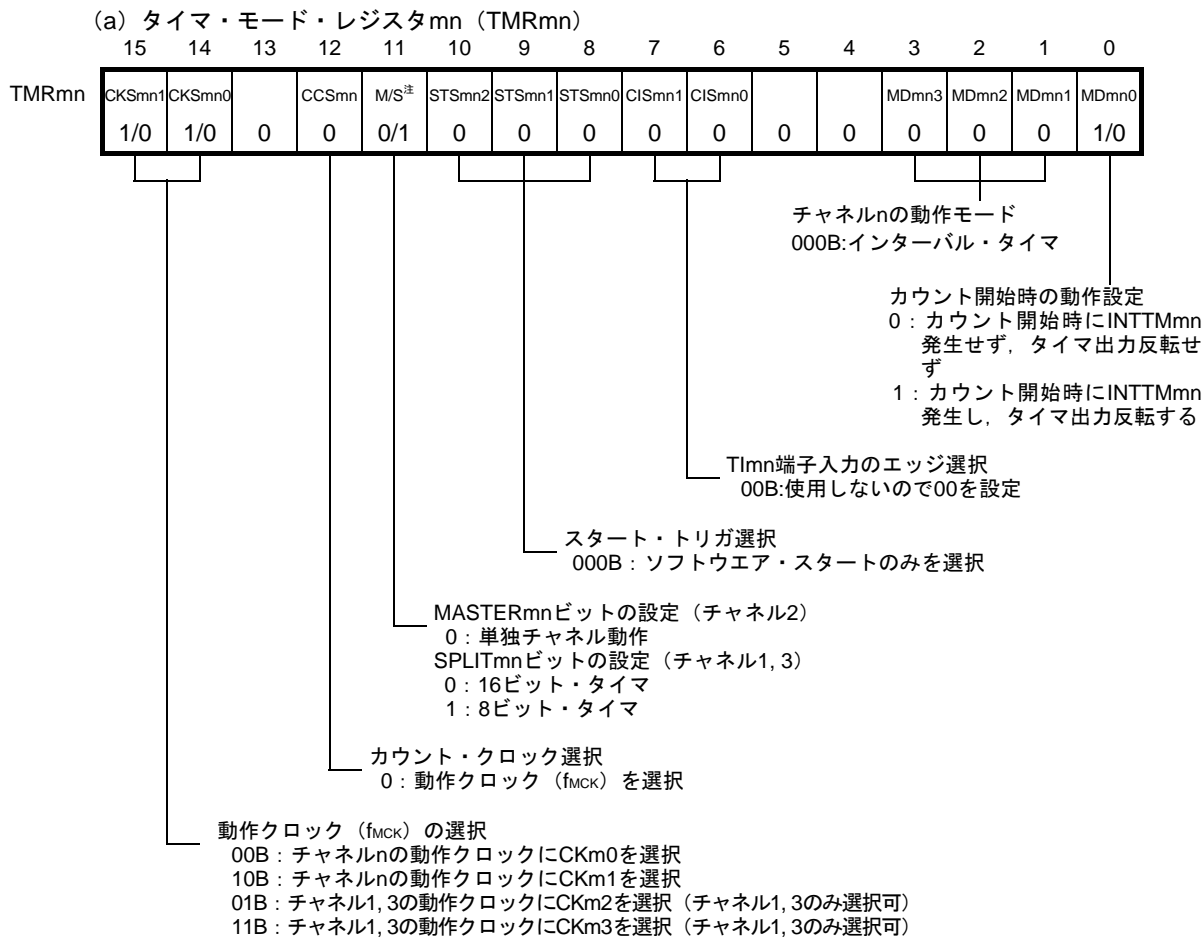
注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-42 インターバル・タイマ／方形波出力としての動作の基本タイミング例 (MDmn0 = 1)



- 備考1. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)
- 2. TSmn : タイマ・チャンネル開始レジスタm (TSM) のビットn
- TEmn : タイマ・チャンネル許可ステータス・レジスタm (TEM) のビットn
- TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
- TDRmn : タイマ・データ・レジスタmn (TDRmn)
- TOmn : TOmn端子出力信号

図6-43 インターバル・タイマ／方形波出力時のレジスタ設定内容例



(b) タイマ出力レジスタm (TOm)

ビットn		
TOm	TOmn	0: TOmnより0を出力する
	1/0	1: TOmnより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn		
TOEm	TOEmn	0: カウント動作によるTOmn出力動作停止
	1/0	1: カウント動作によるTOmn出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn		
TOLm	TOLmn	0: TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定
	0	

(e) タイマ出力モード・レジスタm (TOMm)

ビットn		
TOMm	TOMmn	0: マスタ・チャンネル出力モードを設定
	0	

注 TMRm2の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0の場合 : 0固定

備考 m: ユニット番号 (m = 0), n: チャンネル番号 (n = 0-3)

図6-44 インターバル・タイマ/方形波出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可) タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値を設定する TOmn出力を使用する場合, タイマ出力モード・レジスタm (TOMm) のTOMmnビットに0 (マスタ・チャンネル出力モード) を設定する TOLmnビットに0を設定する TOmnビットを設定し, TOmn出力の初期レベルを確定する TOEmnビットに1を設定し, TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmnは変化しない TOmn端子はTOmn設定レベルを出力
動作 開始	(TOmn出力を使用する場合で, かつ動作再開時のみ TOEmnビットに1を設定する) TSmn (TSHm1, TSHm3) ビットに1を設定する TSmn (TSHm1, TSHm3) ビットはトリガ・ビットなので, 自動的に0に戻る	TE mn (TEHm1, TEHm3) = 1になり, カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOmnもトグル動作する。
動作 中	TMRmnレジスタ, TOMmn, TOLmnビットは, 設定値変更禁止 TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOm, TOEmレジスタは, 設定値変更可能	カウンタ (TCRmn) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し, TOmnはトグル動作する。以降, この動作を繰り返す。
動作 停止	TTmn (TTHm1, TTHm3) ビットに1を設定する TTmn (TTHm1, TTHm3) ビットはトリガ・ビットなので, 自動的に0に戻る TOEmnビットに0を設定し, TOmnビットに値を設定する	TE mn (TEHm1, TEHmn) = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持 TOmn端子はTOmnビットに設定したレベルを出力

(備考は次ページにあります。)

動作再開

図6-44 インターバル・タイマ／方形波出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要 ----- PER0レジスタのTAUmENビットに0を設定する	

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-3)

6.8.2 外部イベント・カウンタとしての動作

Tl_{mn}端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmnの設定値} + 1$$

タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ_m (TSM) の任意のチャンネル・スタート・トリガ・ビット (TS_{mn}) に1を設定することによりTCR_{mn}レジスタはタイマ・データ・レジスタ_{mn} (TDR_{mn}) の値をロードします。

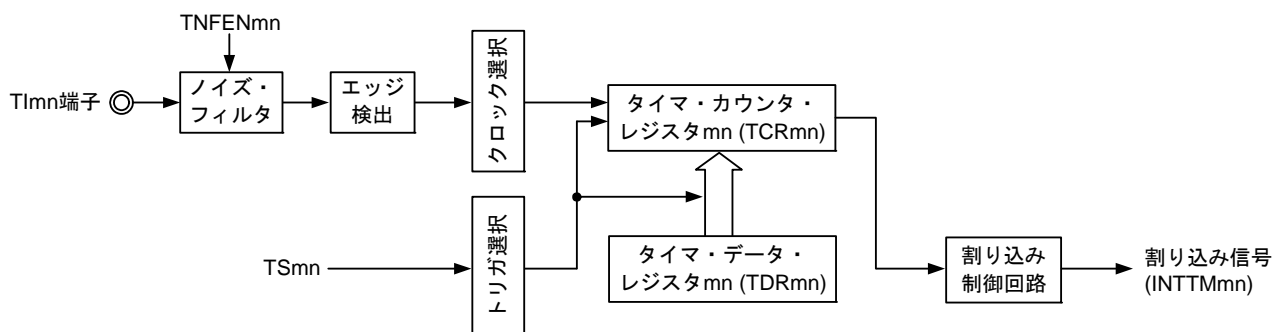
TCR_{mn}レジスタはTl_{mn}端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCR_{mn} = 0000H となったら、再びTDR_{mn}レジスタの値をロードして、INTTM_{mn}を出力します。

以降、同様の動作を継続します。

TO_{mn}端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ_m (TOE_m) のTOE_{mn}ビットに0を設定して出力動作を停止するようにしてください。

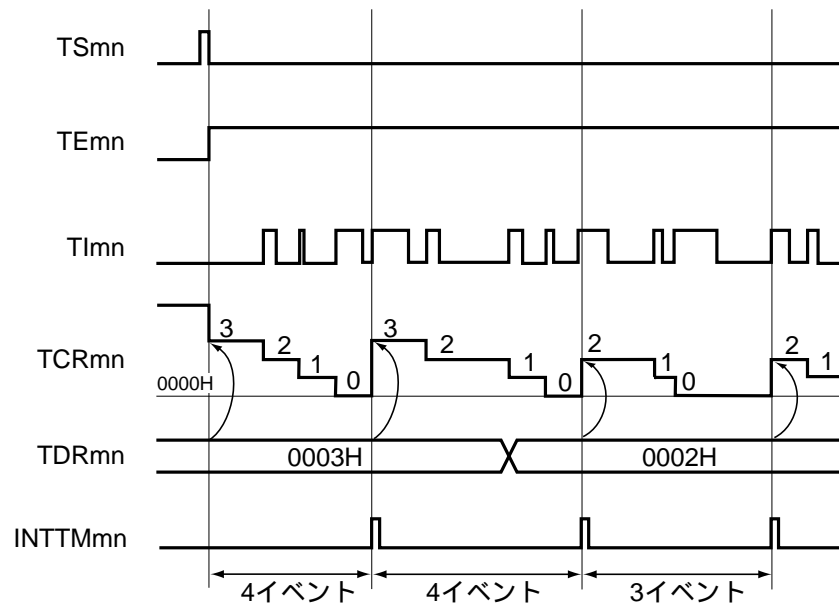
TDR_{mn}レジスタは任意のタイミングで書き換えることができます。書き換えたTDR_{mn}レジスタの値は次のカウント期間で有効になります。

図6-45 外部イベント・カウンタとしての動作のブロック図



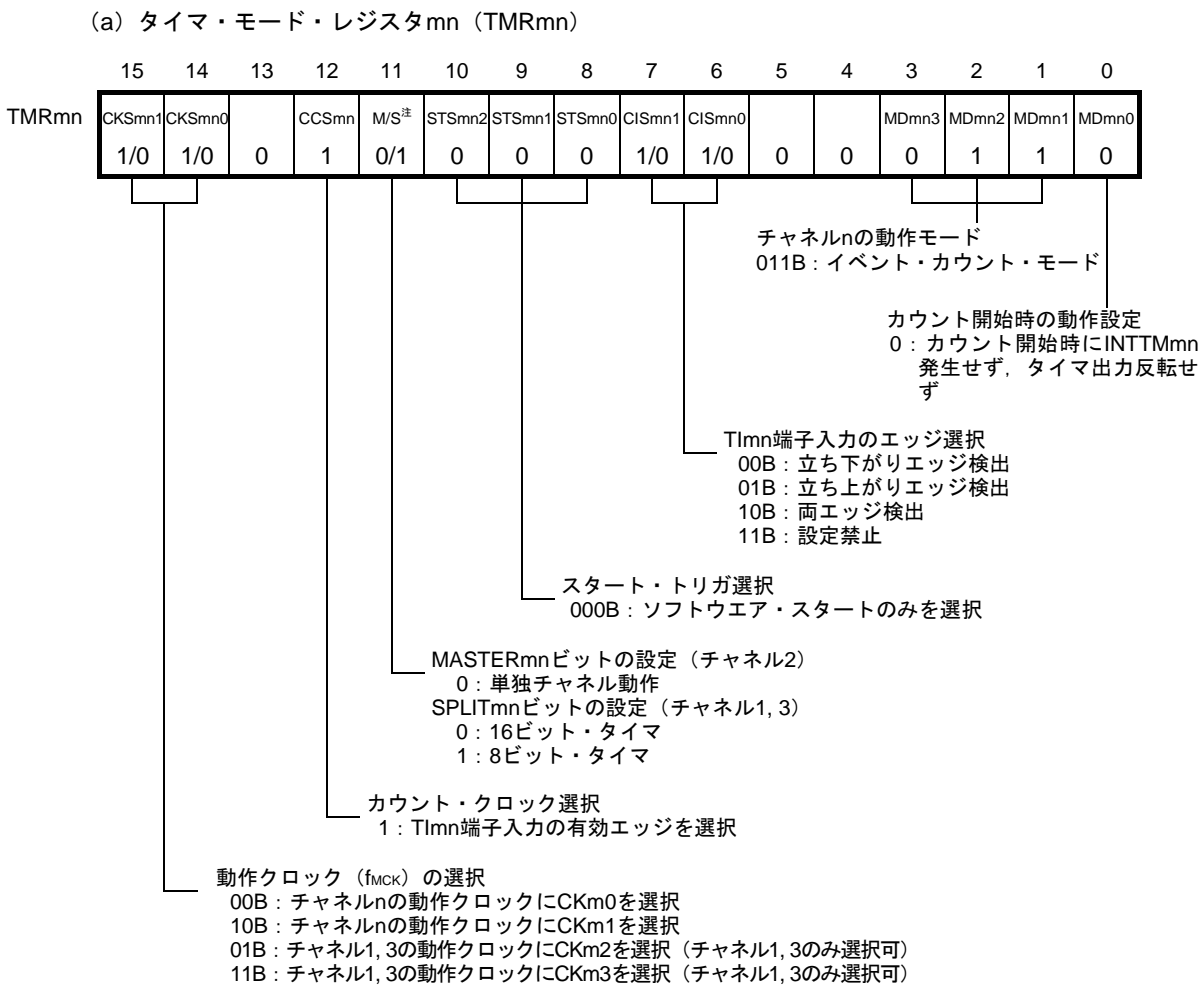
備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

図6-46 外部イベント・カウンタとしての動作の基本タイミング例

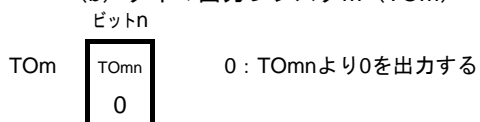


- 備考1. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)
2. TSmn : タイマ・チャンネル開始レジスタm (TSm) のビットn
 TEmn : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn
 TImn : TImn端子入力信号
 TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
 TDRmn : タイマ・データ・レジスタmn (TDRmn)

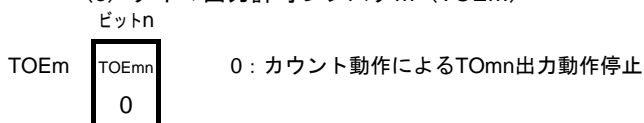
図6-47 外部イベント・カウンタ・モード時のレジスタ設定内容例



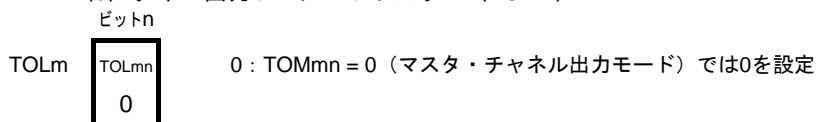
(b) タイマ出力レジスタm (TOm)



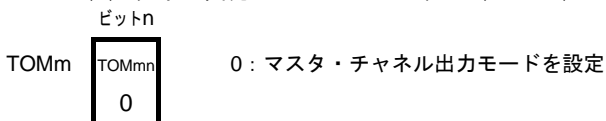
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



注 TMRm2の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0の場合 : 0固定

備考 m: ユニット番号 (m = 0), n: チャンネル番号 (n = 0-3)

図6-48 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		タイマ・アレイ・ユニット0の入クロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	▶ タイマ・アレイ・ユニット0の入クロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する		
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にカウント数を設定する タイマ出力許可レジスタm (TOEm) のTOEmnビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	▶ TEMn = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし, TImn端子入力のエッジ検出待ち状態になる
	動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子入力のエッジが検出されるごとに, カウンタ (TCRmn) はダウン・カウント動作を行う。0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmn出力を発生する。 以降, この動作を繰り返す。
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	▶ TEMn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
	TAU 停止	PER0レジスタのTAUmENビットに0を設定する	▶ タイマ・アレイ・ユニット0の入クロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

6.8.3 入力パルス間隔測定としての動作

Tlmn有効エッジでカウント値をキャプチャし、Tlmn入力パルスの間隔を測定することができます。また、TEmn = 1の期間中に、ソフトウェア操作(TSmn = 1)をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tlmn入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 Tlmn端子入力は、タイマ・モード・レジスタmn (TMRmn) のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn (TCRmn) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタm (TSM) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定するとTCRmnレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

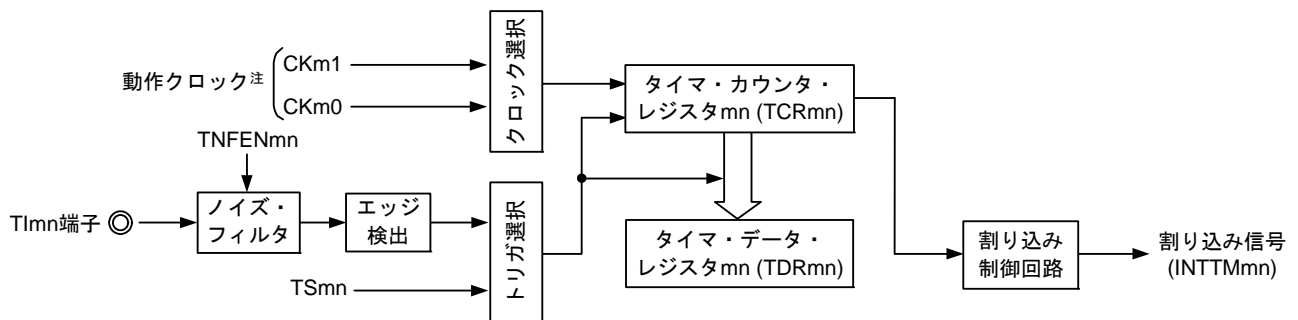
Tlmn端子入力の有効エッジを検出すると、TCRmnレジスタのカウント値をタイマ・データ・レジスタmn (TDRmn) に転送 (キャプチャ) すると同時に、TCRmnレジスタを0000Hにクリアして、INTTMmnを出力します。このとき、カウンタのオーバーフローが発生していたら、タイマ・ステータス・レジスタmn (TSRmn) のOVFビットが1にセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を続けます。

カウント値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSRmnレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMRmnレジスタのSTSmn2-STSmn0 = 001Bに設定して、Tlmn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

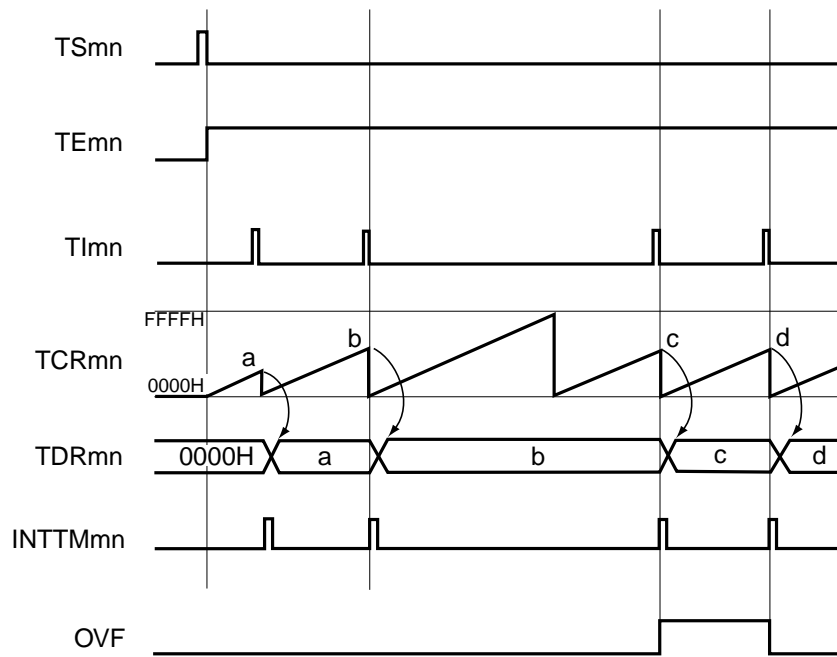
図6-49 入力パルス間隔測定としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

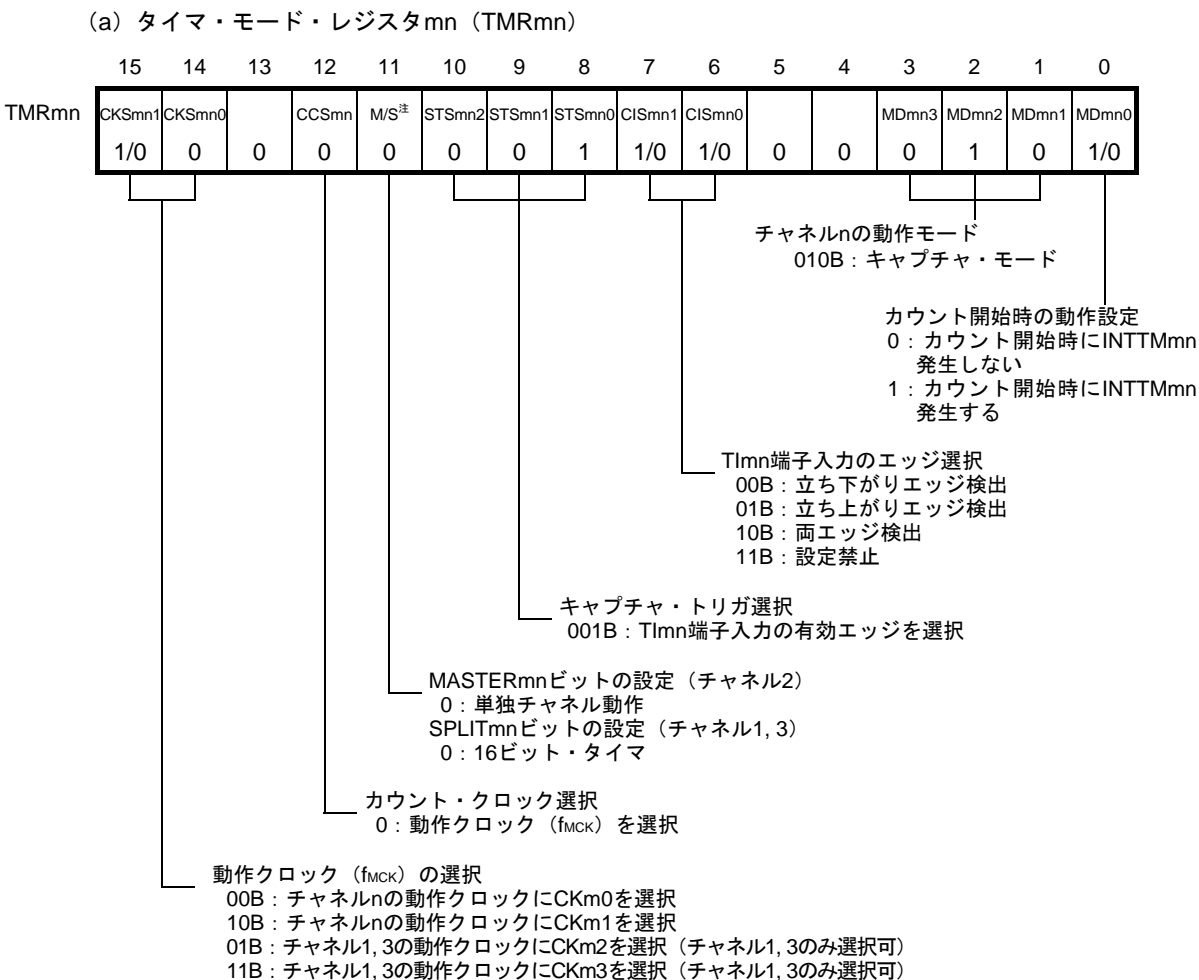
図6-50 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)



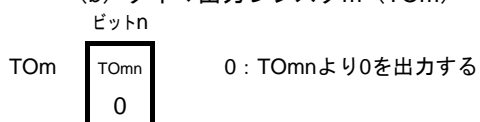
備考1. m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-3)

2. TSmn : タイマ・チャンネル開始レジスタm (TSm) のビットn
- TEmn : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn
- TImn : TImn端子入力信号
- TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
- TDRmn : タイマ・データ・レジスタmn (TDRmn)
- OVF : タイマ・ステータス・レジスタmn (TSRmn) のビット0

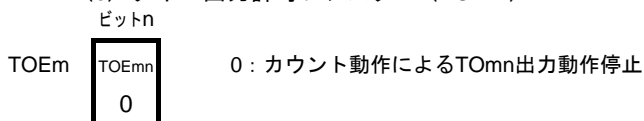
図6-51 入力パルス間隔測定時のレジスタ設定内容例



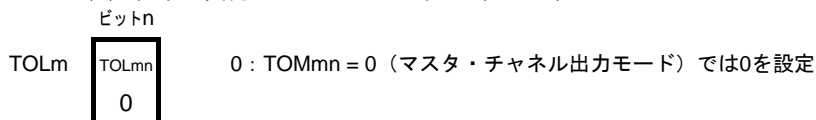
(b) タイマ出力レジスタm (TOm)



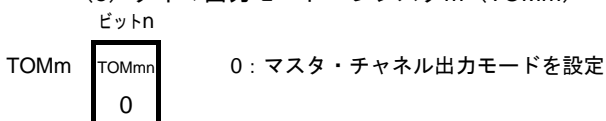
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



注 TMRm2の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

図6-52 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタmのTAUmENビットに1を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタmn (TCRmn) を0000Hにクリアする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生する。
動作 中	TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変更可能 TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TOMmn, TOLmn, TOmn, TOEmnビットは, 設定値変更禁止	カウンタ (TCRmn) は0000Hからアップ・カウント動作を行い, TImn端子入力の有効エッジが検出されたら, カウント値をタイマ・データ・レジスタmn (TDRmn) に転送 (キャプチャ) する。同時に, TCRmnレジスタを0000Hにクリアし, INTTMmnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

6.8.4 入力信号のハイ／ロウ・レベル幅測定としての動作

Tlmn端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、Tlmnの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定することができます。Tlmnの信号幅は次の式で求めることができます。

$$\text{Tlmn入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 Tlmn端子入力は、タイマ・モード・レジスタmn (TMRmn) のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn (TCRmn) はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタm (TSM) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定すると、TEmn = 1となりTlmn端子のスタート・エッジ検出待ち状態となります。

Tlmn端子入力のスタート・エッジ（ハイ・レベル幅測定ならTlmn端子入力の立ち上がりエッジ）を検出すると、カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後、キャプチャ有効エッジ（ハイ・レベル幅測定ならTlmn端子入力の立ち下がりエッジ）を検出すると、カウンタ値をタイマ・データ・レジスタmn (TDRmn) に転送すると同時にINTTMmnを出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。TCRmnレジスタは、「TDRmnレジスタに転送した値+1」の値で停止し、Tlmn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmnレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

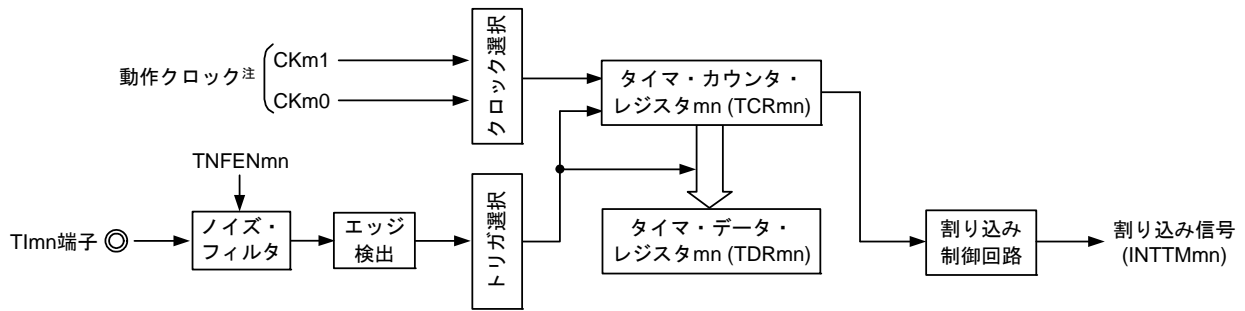
Tlmn端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmnレジスタのCISmn1, CISmn0ビットにて設定することができます。

この機能は、Tlmn端子入力の信号幅測定を目的とするため、TEmn = 1期間中のTSmnビットのセット (1) は使用できません。

TMRmnレジスタのCISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

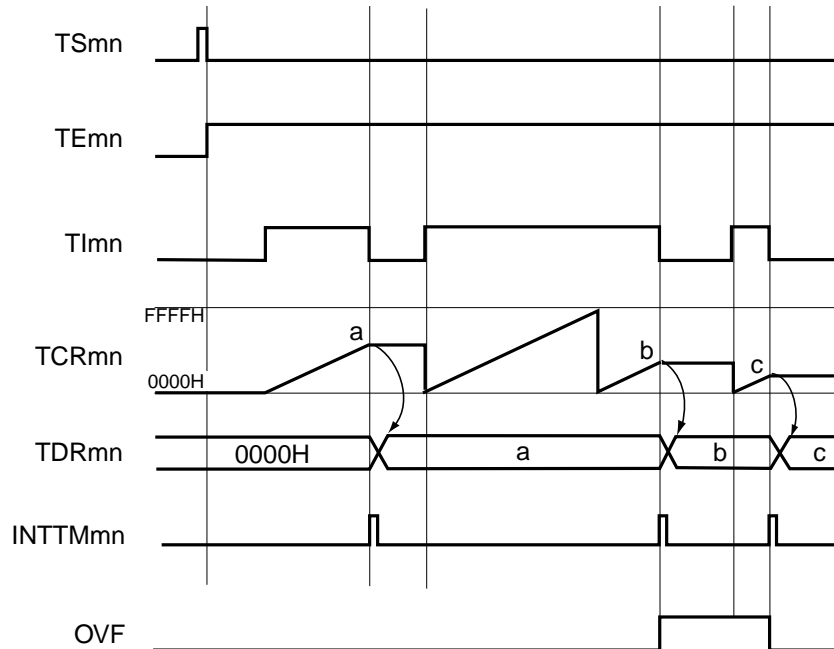
TMRmnレジスタのCISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図6-53 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

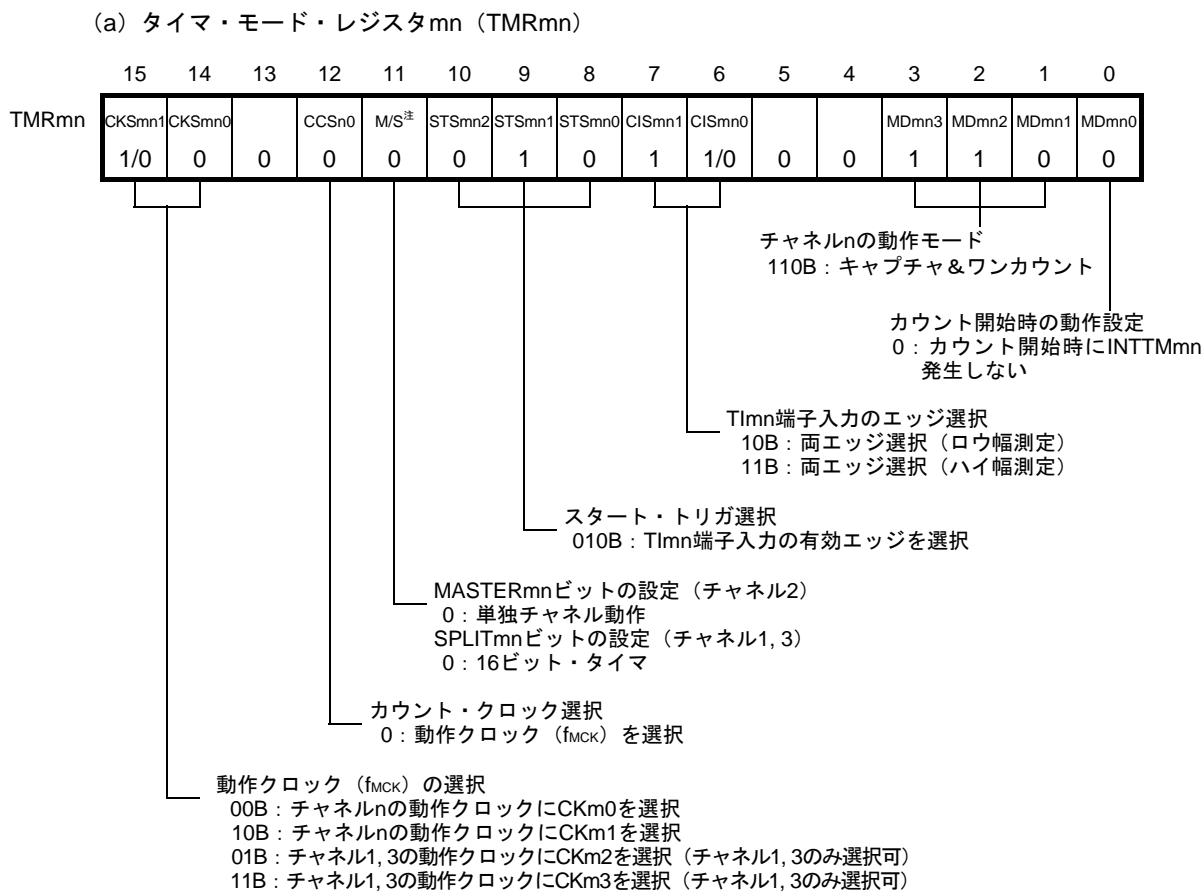
図6-54 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-3)

2. TSmn : タイマ・チャネル開始レジスタm (TSm) のビットn
- TEmn : タイマ・チャネル許可ステータス・レジスタm (TEm) のビットn
- TImn : TImn端子入力信号
- TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
- TDRmn : タイマ・データ・レジスタmn (TDRmn)
- OVF : タイマ・ステータス・レジスタmn (TSRmn) のビット0

図6-55 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例



(b) タイマ出力レジスタm (TOm)

ビットn
TOm

TOmn
0

 0 : TOmnより0を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn
TOEm

TOEmn
0

 0 : カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn
TOLm

TOLmn
0

 0 : TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定

(e) タイマ出力モード・レジスタm (TOMm)

ビットn
TOMm

TOMmn
0

 0 : マスタ・チャンネル出力モードを設定

注 TMRm2の場合 : MASTERmnビット
TMRm1, TMRm3の場合 : SPLITmnビット
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

図6-56 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		タイマ・アレイ・ユニット0の入カロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	タイマ・アレイ・ユニット0の入カロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) TOEmnビットに0を設定し, TOMnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動 作 開 始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	▶タイマ・カウンタ・レジスタmn (TCRmn) を0000Hにクリアし, カウント・アップ動作を開始する
動 作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn) は0000Hからアップ・カウント動作を行う。TImn端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタmn (TDRmn) に転送し, INTTmMnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動 作 停 止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停 止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニット0の入カロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

6.8.5 ディレイ・カウンタとしての動作

Tl_{mn}端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし、任意の設定間隔でINTTM_{mn}（タイマ割り込み）を発生することができます。

また、TE_{mn} = 1の期間中に、ソフトウェアでTS_{mn} = 1に設定してダウン・カウントをスタートし、任意の設定間隔でINTTM_{mn}（タイマ割り込み）を発生することもできます。

割り込み発生周期は、次の式で求める事ができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

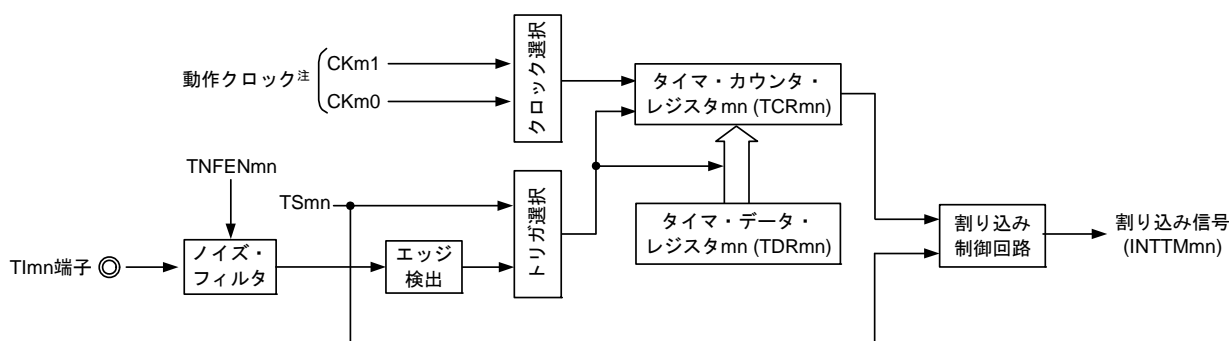
タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ_m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に1を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3} = 1となりTl_{mn}端子の有効エッジ検出待ち状態となります。

TCR_{mn}レジスタは、Tl_{mn}端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ_{mn} (TDR_{mn}) から値をロードします。TCR_{mn}レジスタはロードしたTDR_{mn}レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR_{mn} = 0000HとなったらINTTM_{mn}を出力し、次のTl_{mn}端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn}レジスタは任意のタイミングで書き換えることができます。書き換えたTDR_{mn}レジスタの値は、次の周期から有効となります。

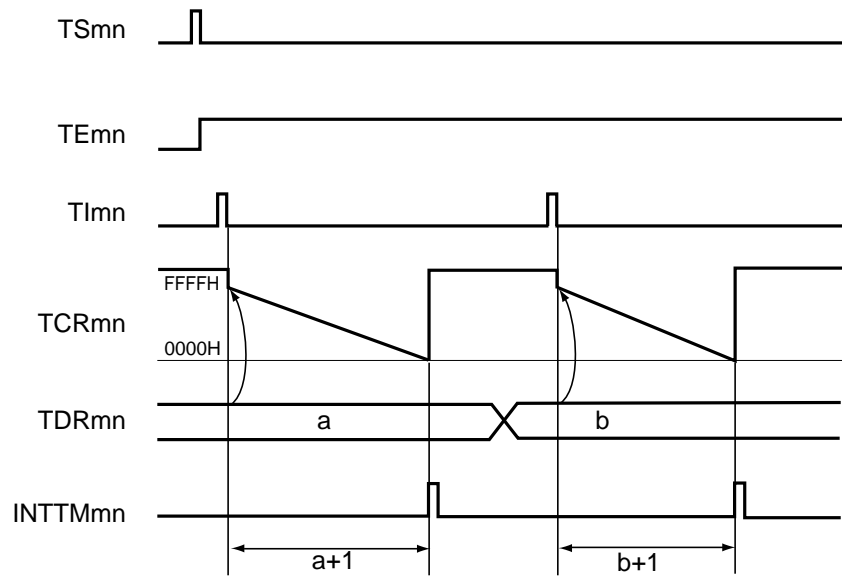
図6-57 ディレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

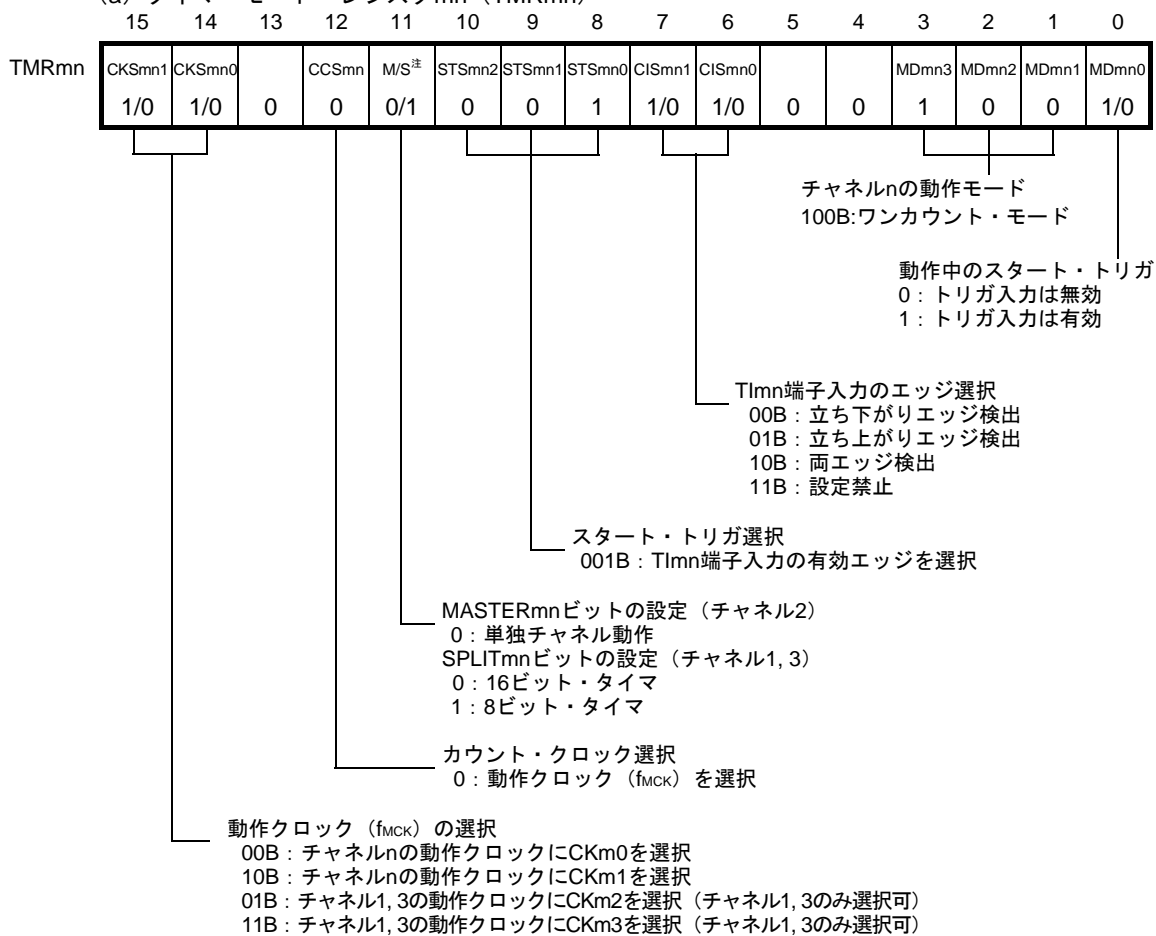
図6-58 デイレイ・カウンタとしての動作の基本タイミング例



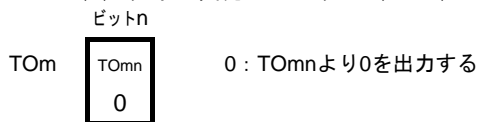
- 備考1. m : ユニット番号 ($m = 0$) , n : チャネル番号 ($n = 0-3$)
2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n
 TEmn : タイマ・チャネル許可ステータス・レジスタ m (TE m) のビット n
 TImn : TImn端子入力信号
 TCRmn : タイマ・カウンタ・レジスタ mn (TCR mn)
 TDRmn : タイマ・データ・レジスタ mn (TDR mn)

図6-59 ディレイ・カウンタ機能時のレジスタ設定内容例

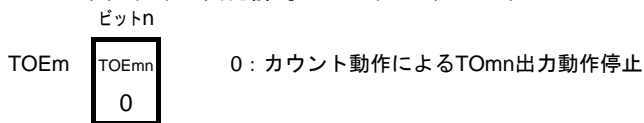
(a) タイマ・モード・レジスタmn (TMRmn)



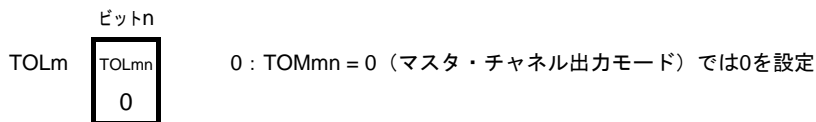
(b) タイマ出力レジスタm (TOm)



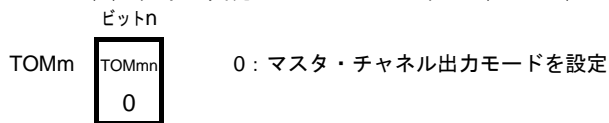
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



注 TMRm2の場合 : MASTERmnビット

TMRm1, TMRm3の場合 : SPLITmnビット

TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-3)

図6-60 ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	タイマ・アレイ・ユニット0の入カロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニット0の入カロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn) に遅延時間を設定する TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, スタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)待ち状態となる
	次のスタート・トリガ検出によって, ダウン・カウントを開始します。 ・TImn端子入力の有効エッジ検出 ・ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない	カウンタ (TCRmn) はダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のスタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)までTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニット0の入カロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned} \text{ディレイ} &= \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタmn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタmn (TDRmn) から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000HとなったらINTTMmnを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルのTCRmpレジスタは、マスタ・チャネルのINTTMmnをスタート・トリガとして動作を開始し、TDRmpレジスタから値をロードします。TCRmpレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000HとなったらINTTMmpを出力して、次のスタート・トリガ (マスタ・チャネルのINTTMmn) 検出があるまで、カウントを停止します。TOmpの出力レベルは、マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらいんアクティブ・レベルとなります。

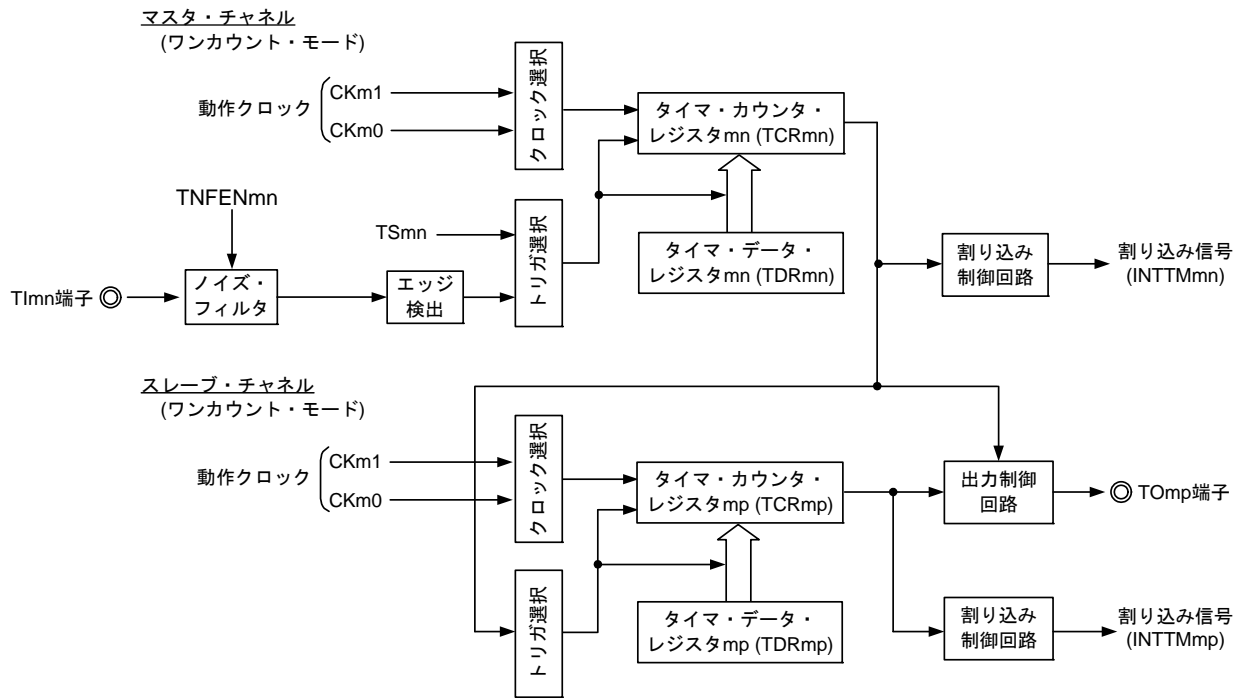
ワンショット・パルス出力は、TImn端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャネルのTDRmpレジスタでは、ロード・タイミングが異なるため、動作中にTDRmnレジスタ、TDRmpレジスタを書き換えると不正波形が出力されます。TDRmnレジスタはINTTMmn発生後に、TDRmpレジスタはINTTMmp発生後に書き換えてください。

備考 m : ユニット番号 (m = 0) , n : マスタ・チャネル番号 (n = 0, 2)

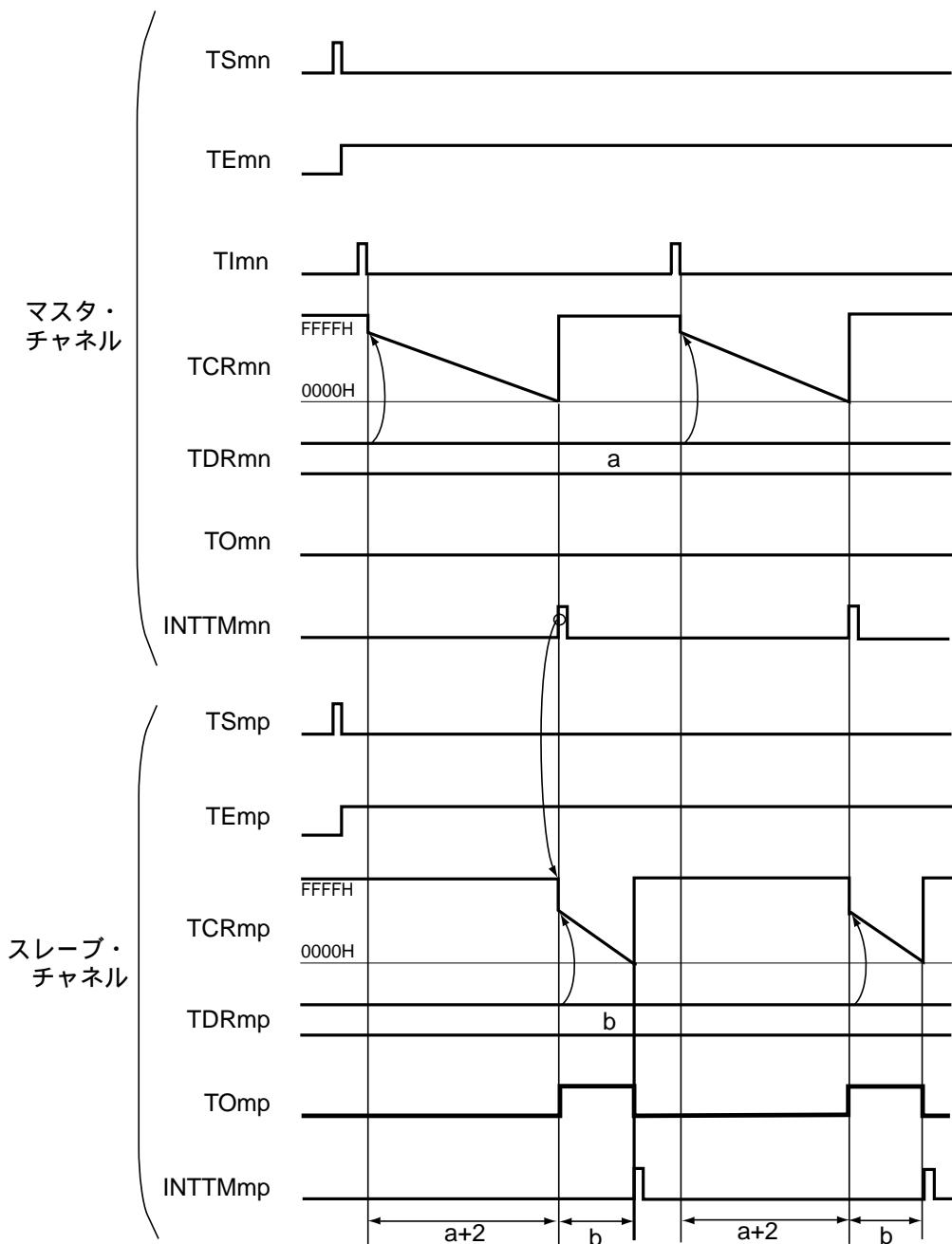
p : スレーブ・チャネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

図6-61 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

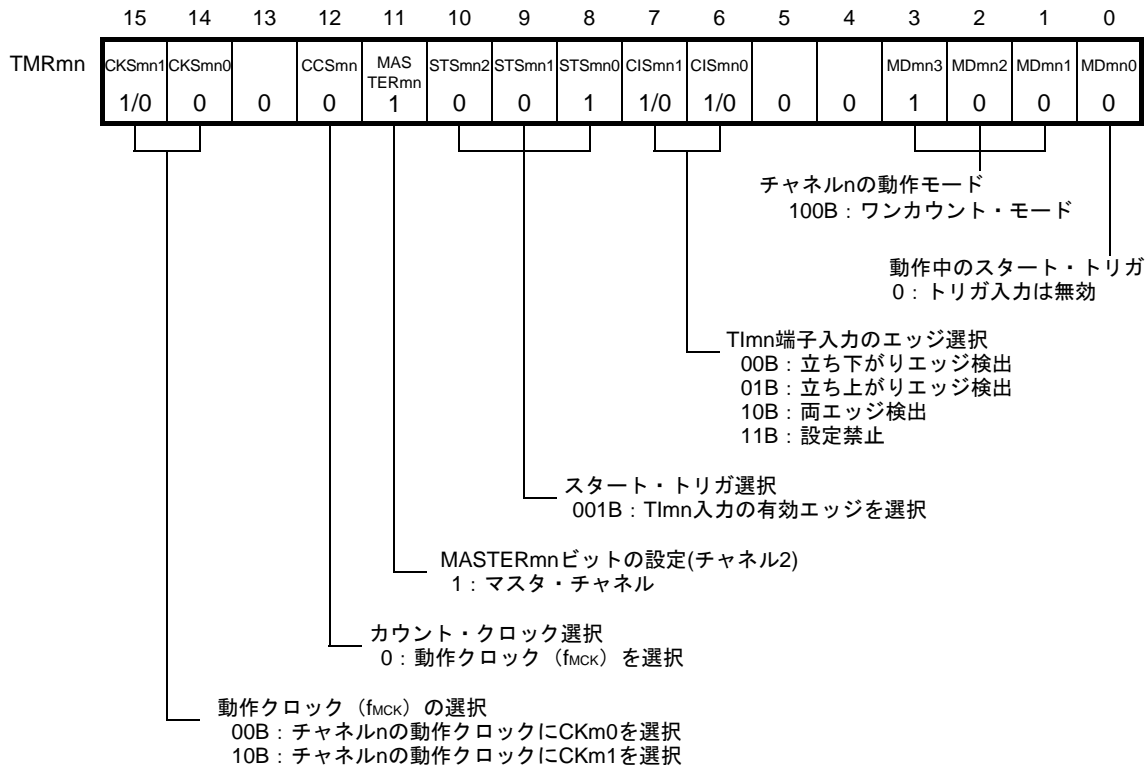
図6-62 ワンショット・パルス出力機能としての動作の基本タイミング例



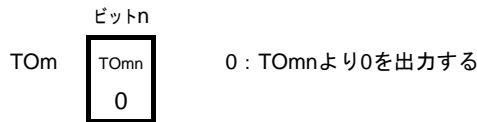
- 備考1. m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)
2. TSmn, TSmp : タイマ・チャンネル開始レジスタm (TSm) のビットn, p
 TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn, p
 TImn, TImp : TImn, TImp端子入力信号
 TCRmn, TCRmp : タイマ・カウンタ・レジスタmn, mp (TCRmn, TCRmp)
 TDRmn, TDRmp : タイマ・データ・レジスタmn, mp (TDRmn, TDRmp)
 TOmn, TOmp : TOmn, TOmp端子出力信号

図6-63 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

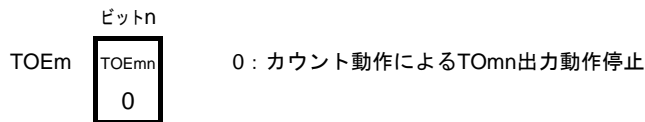
(a) タイマ・モード・レジスタmn (TMRmn)



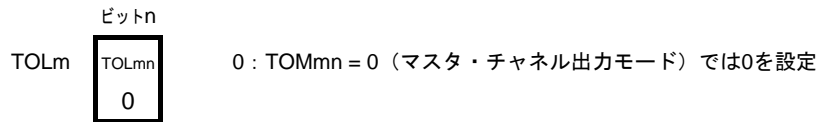
(b) タイマ出力レジスタm (TOM)



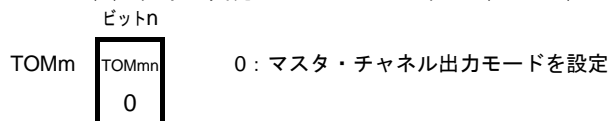
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



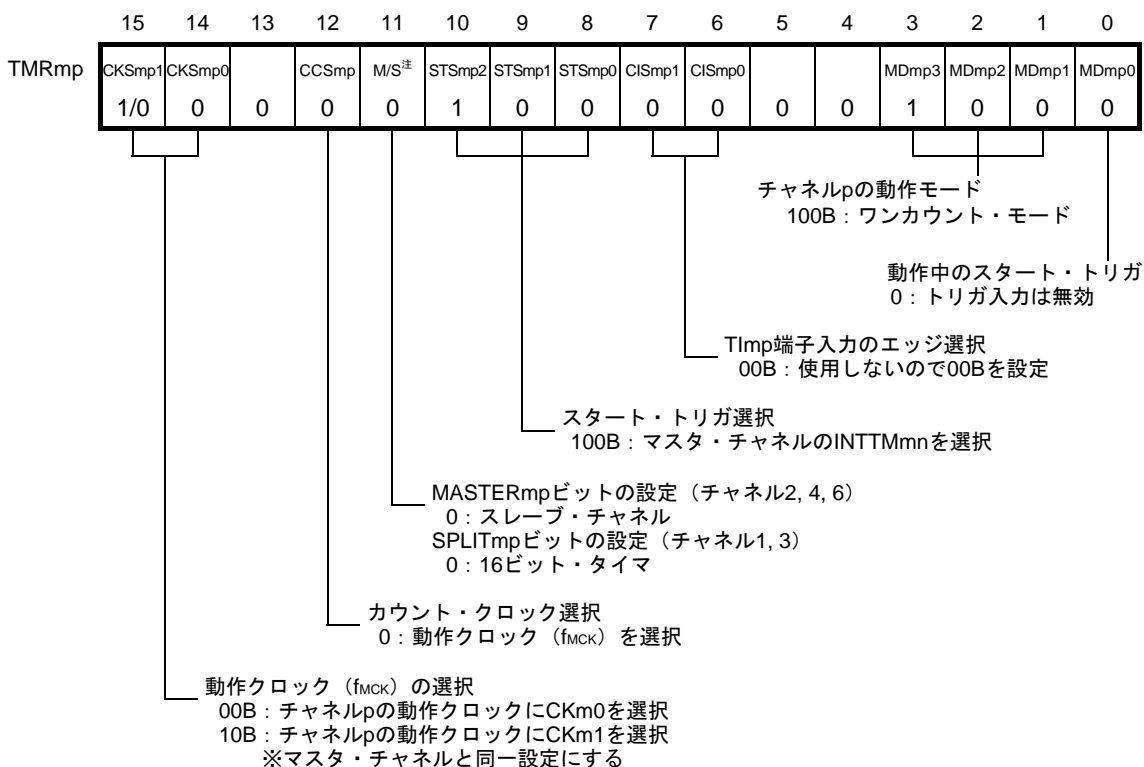
(e) タイマ出力モード・レジスタm (TOMm)



備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2)

図6-64 ワンショット・パルス出力機能時（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタm (TOM)

	ビットp		
TOM	TOMP	0	TOMPより0を出力する
	1/0	1	TOMPより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

	ビットp		
TOEm	TOEMP	0	カウント動作によるTOMP出力動作停止
	1/0	1	カウント動作によるTOMP出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

	ビットp		
TOLm	TOLMP	0	正論理出力 (アクティブ・ハイ)
	1/0	1	負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

	ビットp		
TOMm	TOMMP	1	スレーブ・チャンネル出力モードを設定

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmpビット
 TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

図6-65 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに1を設定する 使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) に出力遅延時間, スレーブ・チャンネルのTDRmpレジスタにパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmpビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(備考は次ページにあります。)

図6-65 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作開始	TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmP = 1となり、マスタ・チャンネルはスタート・トリガ検出(TImn端子入力の有効エッジの検出、または、マスタ・チャンネルのTSmnビットに1を設定)待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウント動作を開始します。 • TImn端子入力の有効エッジ検出 • ソフトウェアでマスタ・チャンネルのTSmnビットに1を設定	マスタ・チャンネルがカウント動作開始
動作中	TMRmnレジスタは、CISmn1, CISmn0ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは、設定値変更禁止 TCRmn, TCRmpレジスタは、常に読み出し可能 TSRmn, TSRmpレジスタは、使用しない スレーブ・チャンネルのTOM, TOEmレジスタは、設定値変更可能	マスタ・チャンネルでは、TImn端子入力の有効エッジが検出されたら、タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。 TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し、次のTImn端子入力までカウント動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmpレジスタはTDRmpレジスタの値をロードし、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMP出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOMP出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
動作停止	TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmP = 0になり、カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOMP出力は初期化されず、状態保持
	スレーブ・チャンネルのTOEmpビットに0を設定し、TOMPビットに値を設定する	TOMP端子はTOMP設定レベルを出力
TAU停止	TOMP端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOMPビットに0を設定する	TOMP端子出力レベルはポート機能により保持される。
	TOMP端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOMPビットが0になり、TOMP端子はポート機能となる)

動作再開

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)
p : スレーブ・チャンネル番号(n = 0: p = 1, 2, 3, n = 2: p = 3)

6.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{\text{TDRmp (スレーブ) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ 0\% \text{出力} &: \text{TDRmp (スレーブ) の設定値} = 0000\text{H} \\ 100\% \text{出力} &: \text{TDRmp (スレーブ) の設定値} \geq \{\text{TDRmn (マスタ) の設定値} + 1\} \end{aligned}$$

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ) の設定値 + 1} の場合は、デューティ値が100 % を越えますが、集約して100 %出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタm (TSm) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定すると、割り込み (INTTMmn) を出力して、タイマ・データ・レジスタmn (TDRmn) に設定した値をタイマ・カウンタ・レジスタmn (TCRmn) にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタm (TTm) のチャンネル・ストップ・トリガ・ビット (TTmn) に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ (マスタ・チャンネルからのINTTMmn) が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) のデューティとなります。

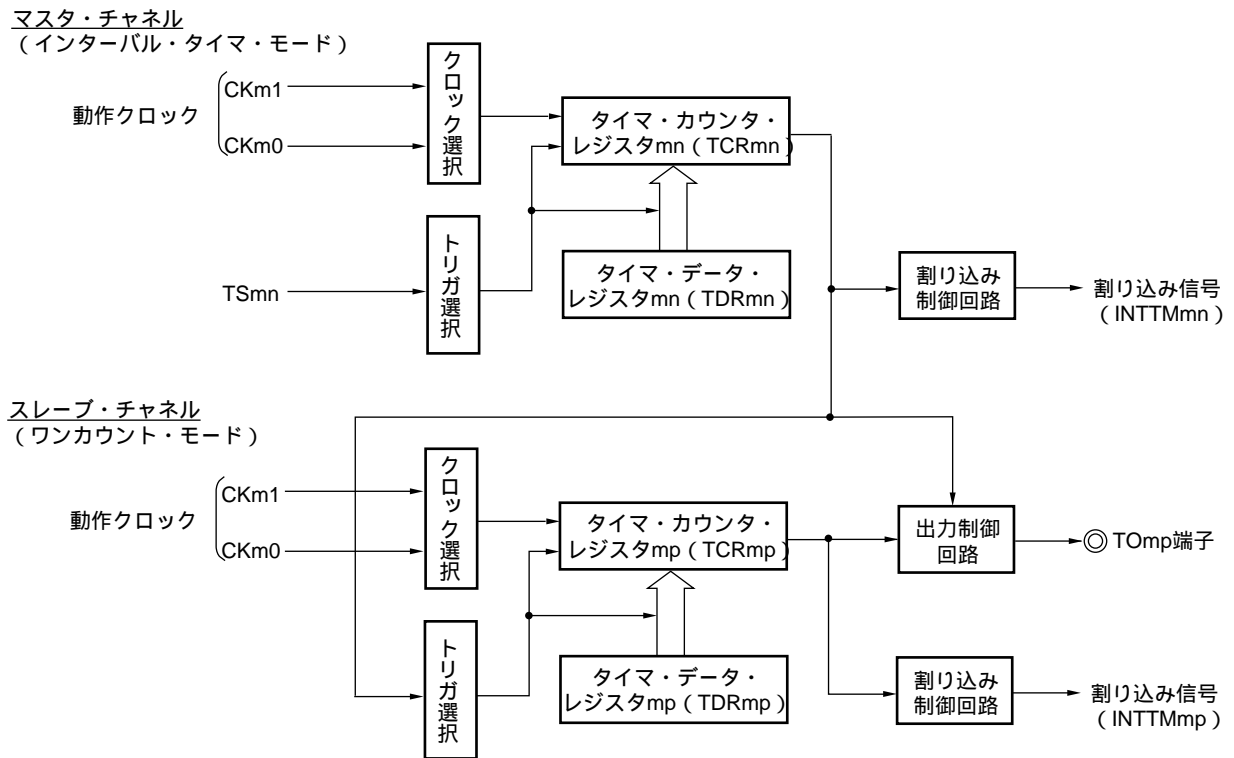
PWM出力 (TOmp) は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2)

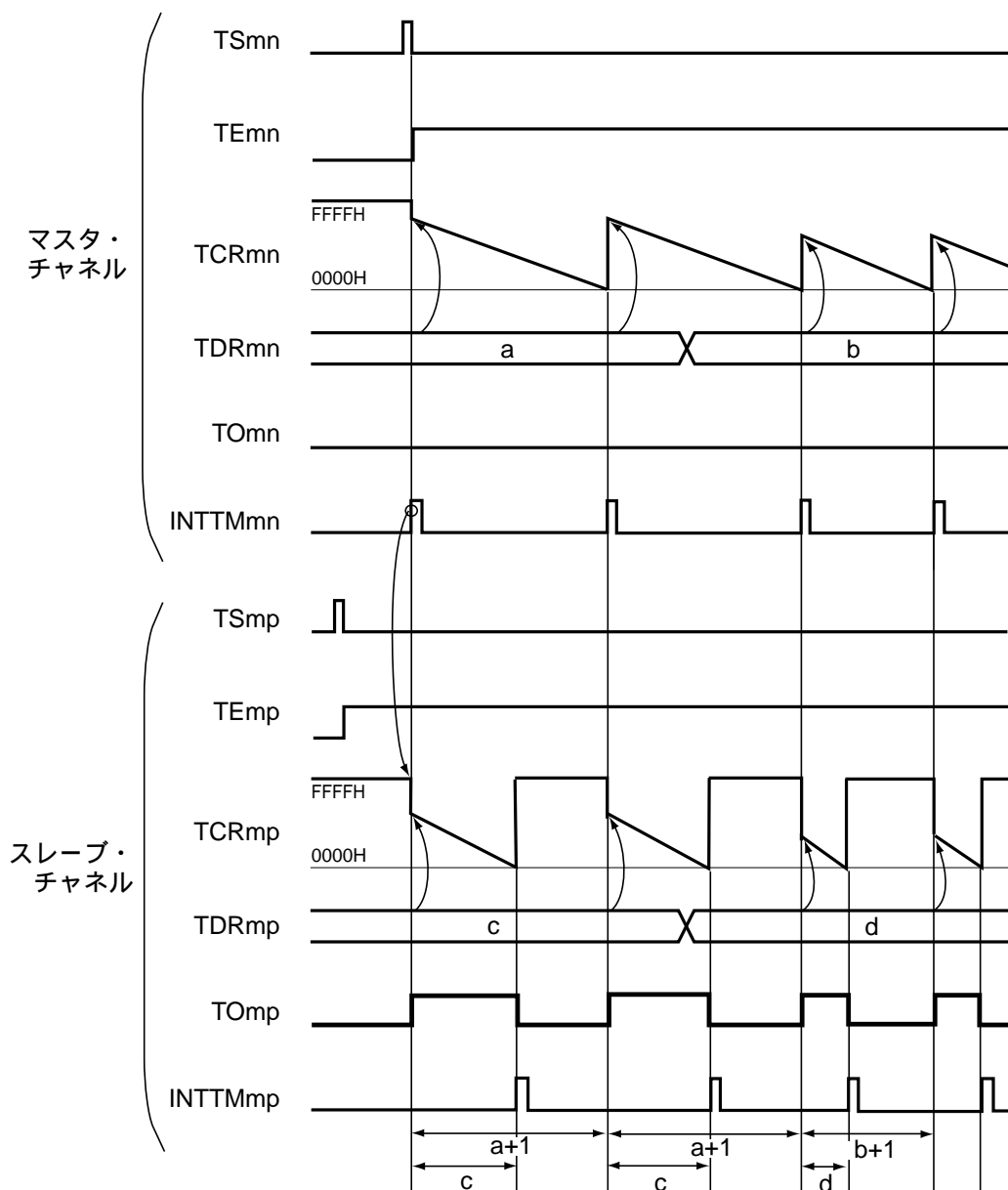
p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

図6-66 PWM機能としての動作のブロック図



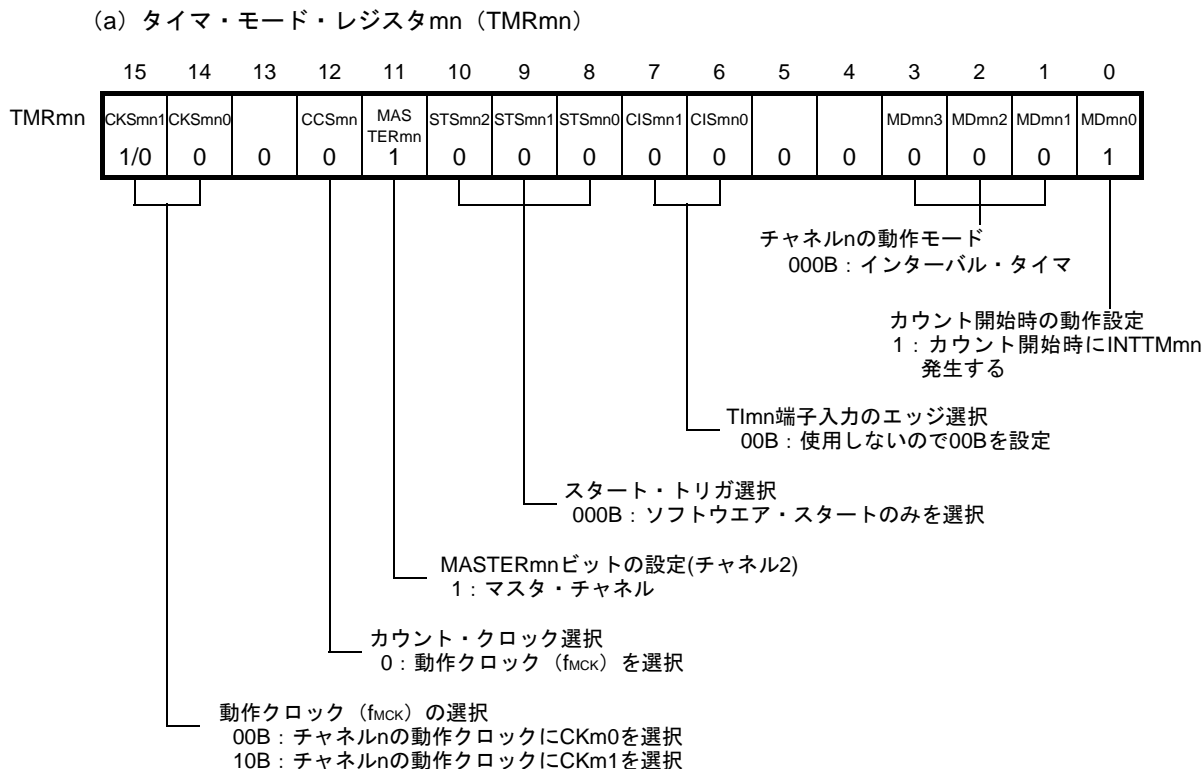
備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

図6-67 PWM機能としての動作の基本タイミング例



- 備考1. m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)
2. TSmn, TSmp : タイマ・チャンネル開始レジスタm (TSm) のビットn, p
 TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn, p
 TCRmn, TCRmp : タイマ・カウンタ・レジスタmn, mp (TCRmn, TCRmp)
 TDRmn, TDRmp : タイマ・データ・レジスタmn, mp (TDRmn, TDRmp)
 TOmn, TOmp : TOmn, TOmp端子出力信号

図6-68 PWM機能時（マスタ・チャンネル）のレジスタ設定内容例



(b) タイマ出力レジスタm (TOM)

ビットn
TOMn
0 : TOMnより0を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn
TOEmn
0 : カウント動作によるTOMn出力動作停止

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn
TOLmn
0 : TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定

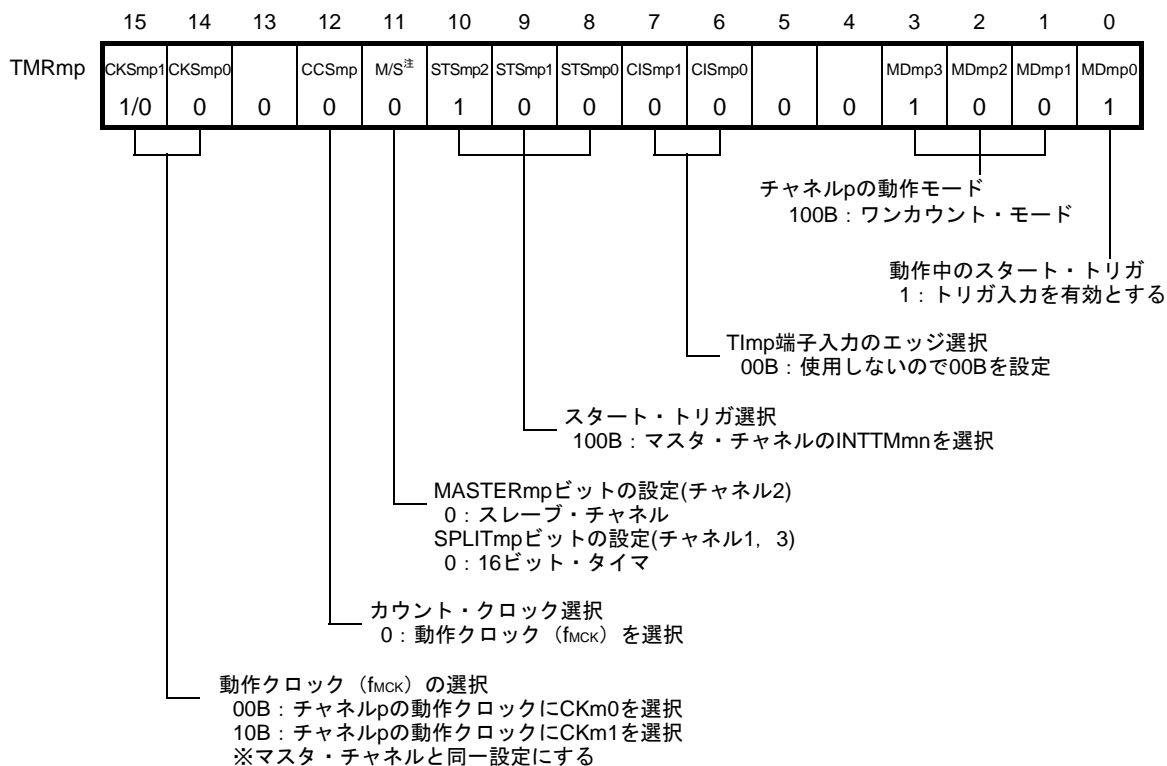
(e) タイマ出力モード・レジスタm (TOMm)

ビットn
TOMmn
0 : マスタ・チャンネル出力モードを設定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2)

図6-69 PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタm (TOm)

	ビットp	
TOm	TOmp	0 : TOmpより0を出力
	1/0	1 : TOmpより1を出力

(c) タイマ出力許可レジスタm (TOEm)

	ビットp	
TOEm	TOEmp	0 : カウント動作によるTOmp出力動作停止
	1/0	1 : カウント動作によるTOmp出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

	ビットp	
TOLm	TOLmp	0 : 正論理出力 (アクティブ・ハイ)
	1/0	1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

	ビットp	
TOMm	TOMmp	1 : スレーブ・チャンネル出力モードを設定
	1	

注 TMRm5, TMRm7の場合 : 0固定

TMRm1, TMRm3の場合 : SPLITmpビット

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号(n = 0: p = 1, 2, 3, n = 2: p = 3)

図6-70 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニット0の入カクロック供給状態, 各 チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値, スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmpビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(備考は次ページにあります。)

図6-70 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態	
動作再開	動作開始	TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmn = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中	TMRmn, TMRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは、設定値変更禁止 TDRmn, TDRmpレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは、常に読み出し可能 TSRmn, TSRmpレジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmpレジスタはTDRmpレジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止	TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmpビットに0を設定し、TOmpビットに値を設定する	TEmn, TEmn = 0になり、カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持 TOmp端子はTOmp設定レベルを出力
	TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニット0の入カロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)
p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

6.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{\text{TDRmp (スレーブ1) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ \text{デューティ2 [\%]} &= \{\text{TDRmq (スレーブ2) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合
または TDRmq (スレーブ2) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合は、
デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタmn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタmp (TDRmp) の値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000Hとなったら、INTTMmqを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大7種のPWMを同時に出力できます。

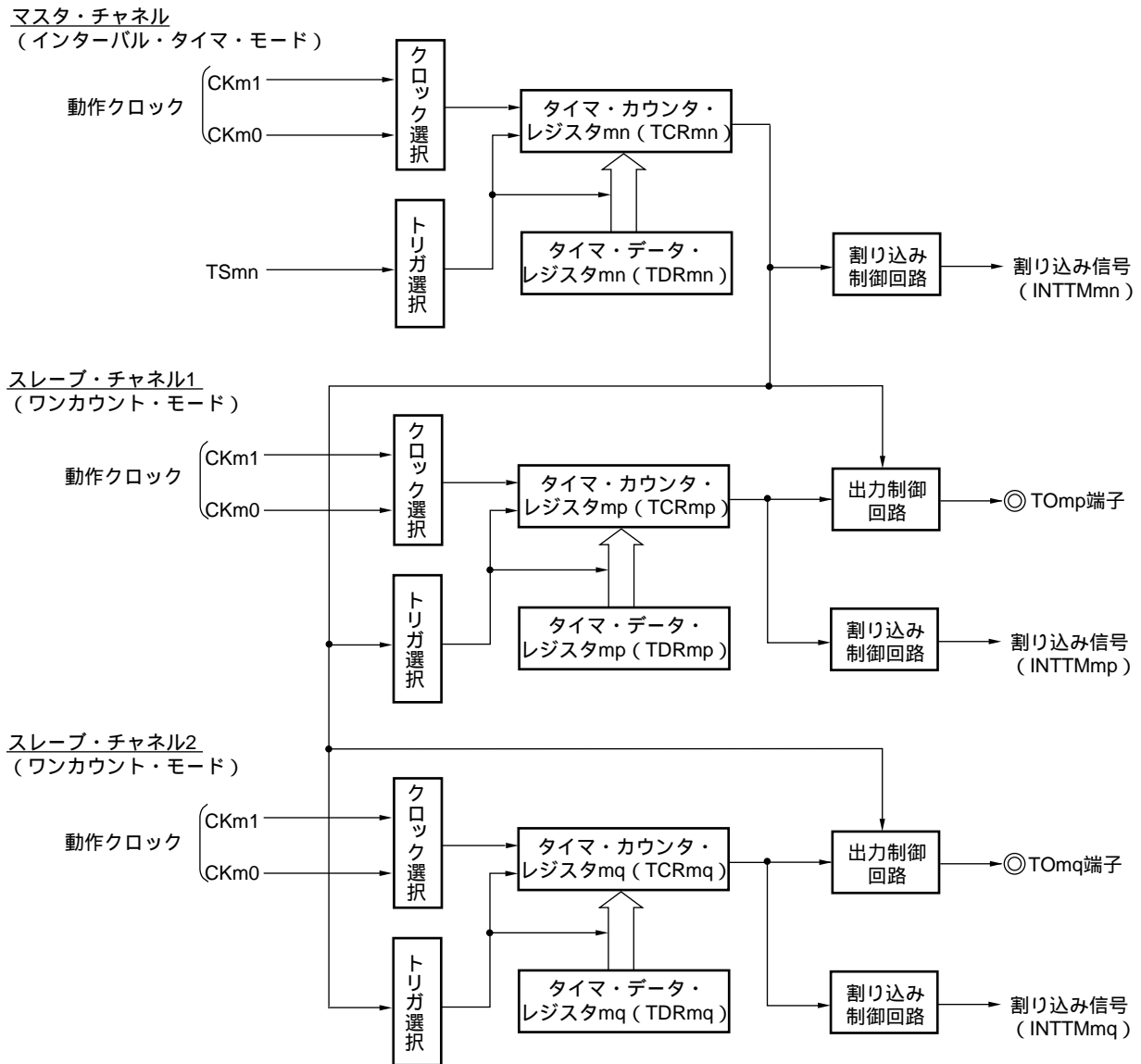
注意 マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

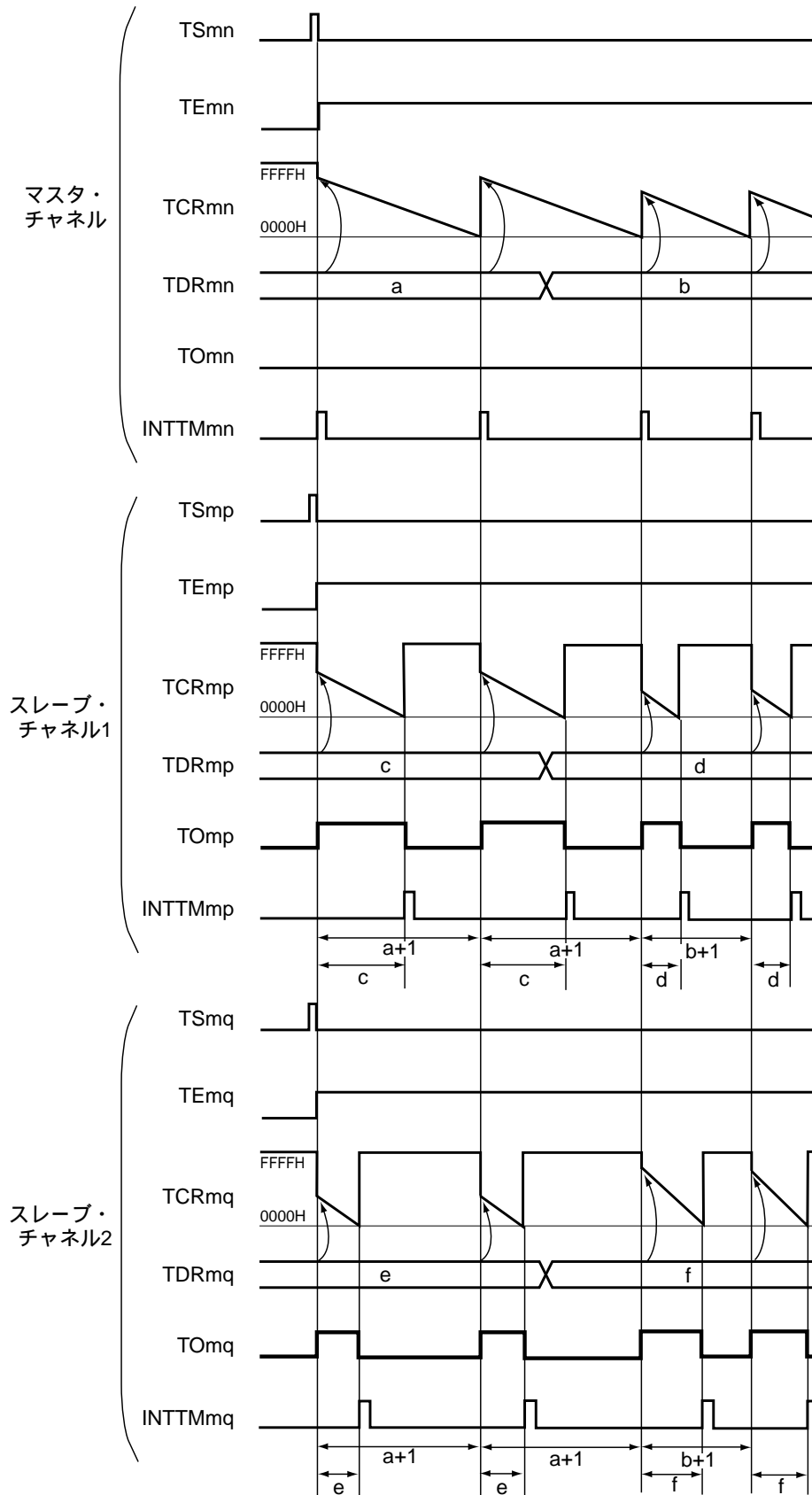
n < p < q ≤ 3 (ただし, qは, n以降の整数)

図6-71 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)



備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 $n < p < q \leq 3$ (ただしp, qは, n以降の整数)

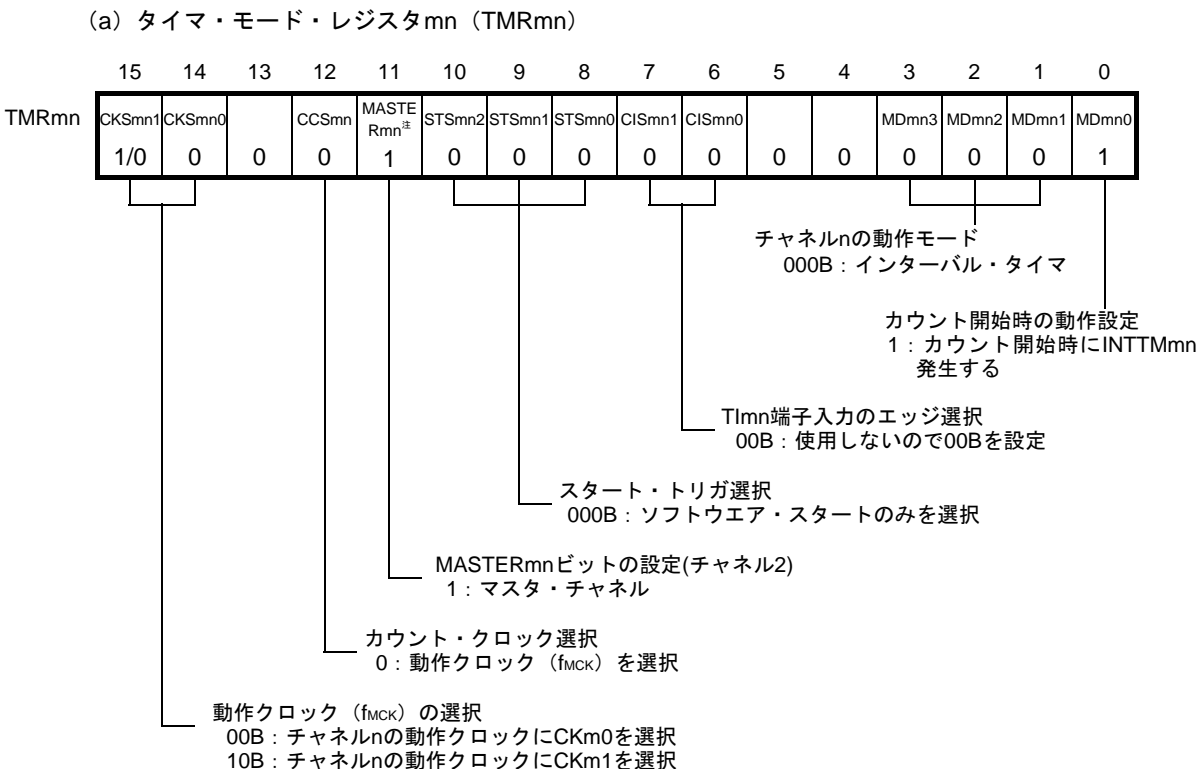
図6-72 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合)



(備考は次ページにあります。)

- 備考1. m : ユニット番号 ($m = 0$) , n : マスタ・チャンネル番号 ($n = 0, 2$)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 $n < p < q \leq 3$ (ただし p, q は, n 以降の整数)
2. $TS_{mn}, TS_{mp}, TS_{mq}$: タイマ・チャンネル開始レジスタ m (TS_m) のビット n, p, q
 $TE_{mn}, TE_{mp}, TE_{mq}$: タイマ・チャンネル許可ステータス・レジスタ m (TE_m) のビット n, p, q
 $TCR_{mn}, TCR_{mp}, TCR_{mq}$: タイマ・カウンタ・レジスタ mn, mp, mq ($TCR_{mn}, TCR_{mp}, TCR_{mq}$)
 $TDR_{mn}, TDR_{mp}, TDR_{mq}$: タイマ・データ・レジスタ mn, mp, mq ($TDR_{mn}, TDR_{mp}, TDR_{mq}$)
 $TO_{mn}, TO_{mp}, TO_{mq}$: $TO_{mn}, TO_{mp}, TO_{mq}$ 端子出力信号

図6-73 多重PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例



(b) タイマ出力レジスタm (TOm)

ビットn
 TOm TOmn 0 : TOMnより0を出力する
0

(c) タイマ出力許可レジスタm (TOEm)

ビットn
 TOEm TOEmn 0 : カウント動作によるTOMn出力動作停止
0

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn
 TOLm TOLmn 0 : TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定
0

(e) タイマ出力モード・レジスタm (TOMm)

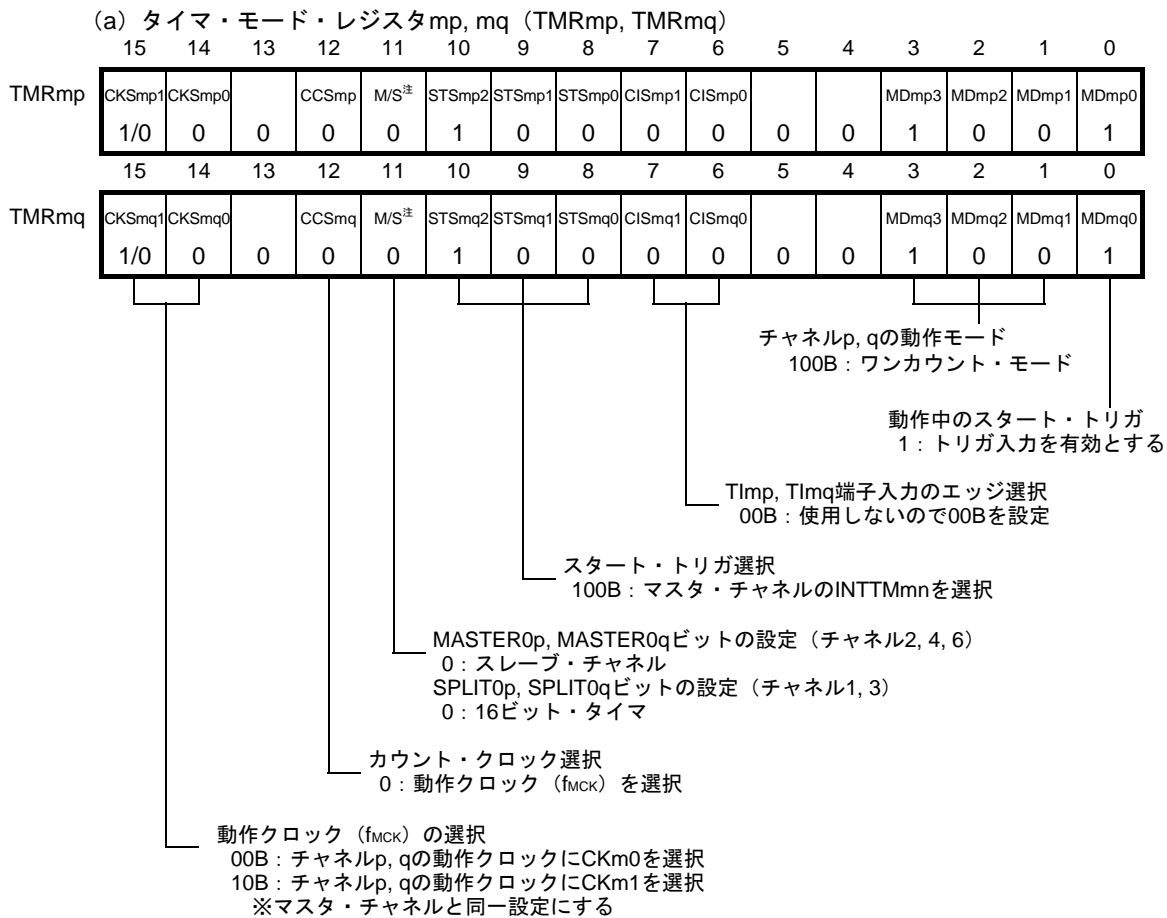
ビットn
 TOMm TOMmn 0 : マスタ・チャンネル出力モードを設定
0

注 TMRm2の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

図6-74 多重PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例（2種類のPWMを出力する場合）



(b) タイマ出力レジスタm (TOM)

	ビットq	ビットp	
TOM	TOmq	TOmp	0 : TOmp, TOmqより0を出力する 1 : TOmp, TOmqより1を出力する
	1/0	1/0	

(c) タイマ出力許可レジスタm (TOEm)

	ビットq	ビットp	
TOEm	TOEmq	TOEmp	0 : カウント動作によるTOmp, TOmq出力動作停止 1 : カウント動作によるTOmp, TOmq出力動作許可
	1/0	1/0	

(d) タイマ出力レベル・レジスタm (TOLm)

	ビットq	ビットp	
TOLm	TOLmq	TOLmp	0 : 正論理出力 (アクティブ・ハイ) 1 : 負論理出力 (アクティブ・ロウ)
	1/0	1/0	

(e) タイマ出力モード・レジスタm (TOMm)

	ビットq	ビットp	
TOMm	TOMmq	TOMmp	1 : スレーブ・チャンネル出力モードを設定
	1	1	

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmp, MASTERmqビット
 TMRm1, TMRm3の場合 : SPLITmp, SPLITmqビット
 TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 3 (ただし, p, qは, n以降の整数)

図6-75 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	タイマ・アレイ・ユニット0の入カロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニット0の入カロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmp, TOMmqビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmp, TOLmqビットを設定する TOmp, TOmqビットを設定し, TOmp, TOmq出力の初期レベルを確定する TOEmp, TOEmqビットに1を設定し, TOmp, TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp, TOmq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作 開始	(動作再開時のみTOEmp, TOEmq (スレーブ) ビットに1を設定する) タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmp, TSmq (スレーブ) ビットに同時に1を設定する TSmn, TSmp, TSmqビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1, TEmq = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。

(備考は次ページにあります。)

動作再開 (次ページへ)

図6-75 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (2/2)

動作再開(前ページへ)

	ソフトウェア操作	ハードウェアの状態
動作中	<p>TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは、設定値変更禁止</p> <p>TDRmn, TDRmp, TDRmqレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能</p> <p>TCRmn, TCRmp, TCRmqレジスタは、常に読み出し可能</p> <p>TSRmn, TSRmp, TSRmqレジスタは、使用しない</p>	<p>マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。</p> <p>スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMP出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOMP出力レベルをインアクティブ・レベルにして、カウント動作を停止する。</p> <p>スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOMq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。</p>
動作停止	<p>TTmn (マスタ), TTmp, TTmq (スレーブ) ビットに同時に1を設定する</p> <p>TTmn, TTmp, TTmqビットはトリガ・ビットなので、自動的に0に戻る</p>	<p>TEmn, TEmq, TEmq = 0になり、カウント動作停止</p> <p>TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止</p> <p>TOMP, TOMq出力は初期化されず、状態保持</p>
	<p>スレーブ・チャンネルのTOEmp, TOEmqビットに0を設定し、TOMP, TOMqビットに値を設定する</p>	<p>TOMP, TOMq端子はTOMP, TOMq設定レベルを出力</p>
TAU停止	<p>TOMP, TOMq端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TOMP, TOMqビットに0を設定する</p>	<p>TOMP, TOMq端子出力レベルはポート機能により保持される。</p>
	<p>TOMP, TOMq端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <p>PER0レジスタのTAUmENビットに0を設定する</p>	

備考 m: ユニット番号 (m = 0), n: マスタ・チャンネル番号 (n = 0, 2)

p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号

n < p < q ≤ 3 (ただしp, qは、n以降の連続した整数)

6.10 タイマ・アレイ・ユニット使用時の注意事項

6.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられている事があります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。

- ・ P12に割り当てられたTO03出力を使用する場合

ポート・モード・レジスタ（PM12ビット）およびポート・レジスタ（P12ビット）に0を設定するだけでなく、兼用になっているPCLBUZ0出力を0にするために、クロック出力選択レジスタ0（CKS0）のビット7を初期状態と同じ設定“0”にしてください。

第7章 クロック出力／ブザー出力制御回路

7.1 クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

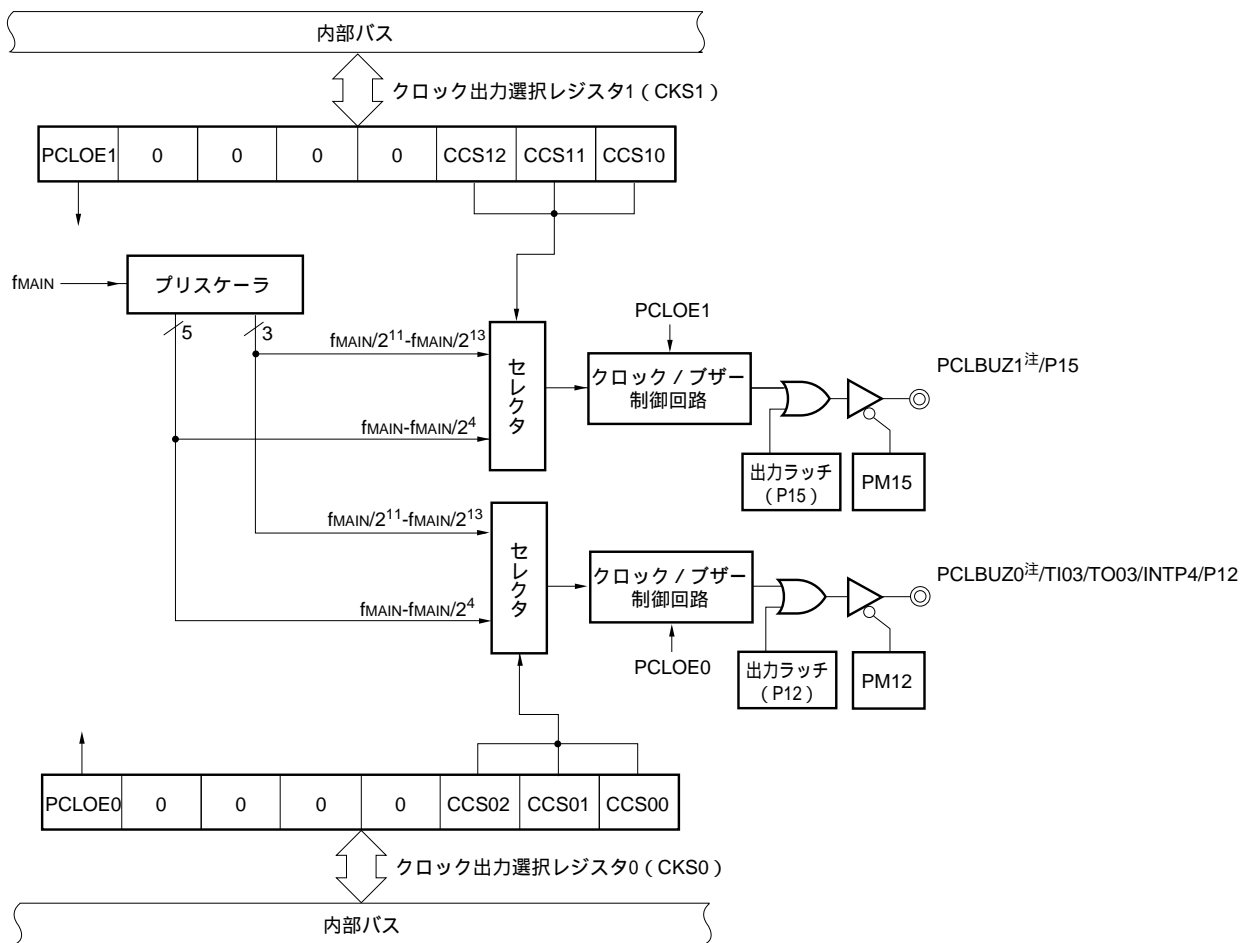
1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZn端子は、クロック出力選択レジスタn (CKSn) で選択したクロックを出力します。

図7-1にクロック出力／ブザー出力制御回路のブロック図を示します。

備考 n = 0, 1

図7-1 クロック出力／ブザー出力制御回路のブロック図



注 PCLBUZ0, PCLBUZ1端子から出力可能な周波数は, 27.4 AC特性を参照してください。

7.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表7-1 クロック出力／ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタn (CKSn) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

7.3 クロック出力／ブザー出力制御回路を制御するレジスタ

7.3.1 クロック出力選択レジスタn (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSnレジスタで、PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-2 クロック出力選択レジスタn (CKSn) のフォーマット

アドレス : FFFA5H (CKS0) , FFFA6H (CKS1) リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	0	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
			$f_{MAIN} =$ 5 MHz	$f_{MAIN} =$ 10 MHz	$f_{MAIN} =$ 20 MHz	$f_{MAIN} =$ 32 MHz	
0	0	0	f_{MAIN}	5 MHz	設定禁止 ^注	設定禁止 ^注	設定禁止 ^注
0	0	1	$f_{MAIN}/2$	2.5 MHz	5 MHz	設定禁止 ^注	設定禁止 ^注
0	1	0	$f_{MAIN}/2^2$	1.25 MHz	2.5 MHz	5 MHz	8 MHz ^注
0	1	1	$f_{MAIN}/2^3$	625 kHz	1.25 MHz	2.5 MHz	4 MHz
1	0	0	$f_{MAIN}/2^4$	312.5 kHz	625 kHz	1.25 MHz	2 MHz
1	0	1	$f_{MAIN}/2^{11}$	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
1	1	0	$f_{MAIN}/2^{12}$	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	1	$f_{MAIN}/2^{13}$	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz

注 出力クロックは、8 MHz以内の範囲で使用してください。詳しくは、27.4 AC 特性を参照してください。

- 注意1. 出力クロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。
2. メイン・システム・クロック選択時 (CSELn = 0) にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。

- 備考1. n = 0, 1
2. f_{MAIN} : メイン・システム・クロック周波数

7.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ(PMxx), ポート・レジスタ(Pxx))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ(PMxx), 4.3.2 ポート・レジスタ(Pxx)を参照してください。

クロック出力／ブザー出力端子を兼用するポート(P12/TI03/TO03/INTP4/PCLBUZ0, P15/PCLBUZ1など)をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

(例) P12/TI03/TO03/INTP4/PCLBUZ0をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ1のPM12ビットを0に設定。

ポート・レジスタ1のP12ビットを0に設定。

7.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0) で選択したクロック／ブザーを出力します。

PCLBUZ1端子は、クロック出力選択レジスタ1 (CKS1) で選択したクロック／ブザーを出力します。

7.4.1 出力端子の動作

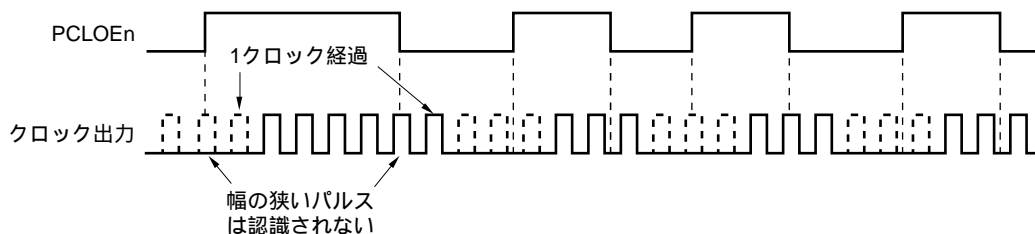
PCLBUZn端子は、次の手順で出力します。

- ① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ (PMxx) およびポート・レジスタ (Pxx) のビットに0を設定する。
- ② PCLBUZn端子のクロック出力選択レジスタ (CKSn) のビット0-3 (CCSn0-CCSn2) で出力周波数を選択する (出力は禁止の状態)。
- ③ CKSnレジスタのビット7 (PCLOEn) に1を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止 (PCLOEn ビット) を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図7-3に示します。

2. $n = 0, 1$

図7-3 PCLBUZ端子からのクロック出力のタイミング



7.5 クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択している場合は、出力停止設定 (PCLOEn = 0) にしてからPCLBUZn端子の出カクロックの1.5クロック以内にSTOP/HALTモードへ移行すると、PCLBUZnの出力幅が短くなります。

第8章 ウォッチドッグ・タイマ

8.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト(000C0H)でカウント動作を設定します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFレジスタの詳細については第17章 リセット機能を参照してください。

また、オーバフロー時間の75%+1/2fil到達時にインターバル割り込みを発生することもできます。

8.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表8-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

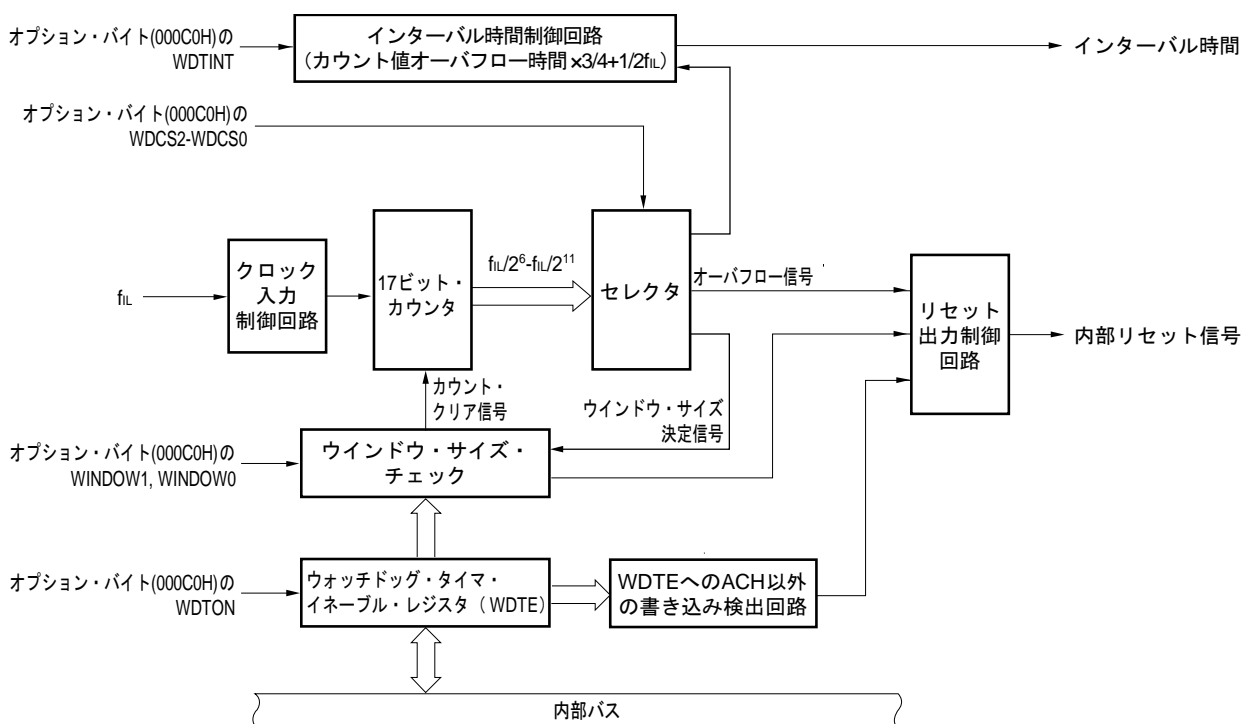
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表8-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第22章 オプション・バイトを参照してください。

図8-1 ウォッチドッグ・タイマのブロック図



8.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

8.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図8-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH リセット時 : 9AH/1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEレジスタのリセット値は、オプション・バイト (000C0H) のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

3. WDTEレジスタのリード値は、“9AH/1AH” (書き込んだ値 (“ACH”) とは異なる値) になります。

8.4 ウォッチドッグ・タイマの動作

8.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（000C0H）で次の内容を設定します。

- ・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第22章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後、カウント停止）
1	カウント動作許可（リセット解除後、カウント開始）

- ・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、8.4.2および第22章を参照）。

- ・オプション・バイト（000C0H）のビット6,5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、8.4.3および第22章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- ・WDTEレジスタに1ビット操作命令を使用した場合
- ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

- 注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大f_{IL}の2クロックの誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。

注意4. オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPおよびSNOOZEモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウンタを再開します。このとき、カウンタはクリア (0) して、カウンタ開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

8.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト (000C0H) のビット3-1 (WDCS2-WDCS0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むことにより、カウンタはクリアされ、再度カウンタ動作を開始します。

設定可能なオーバフロー時間を次に示します。

表8-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.) の場合)
0	0	0	2 ⁶ /f _{IL} (3.71 ms)
0	0	1	2 ⁷ /f _{IL} (7.42 ms)
0	1	0	2 ⁸ /f _{IL} (14.84 ms)
0	1	1	2 ⁹ /f _{IL} (29.68 ms)
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)
上記以外			設定禁止

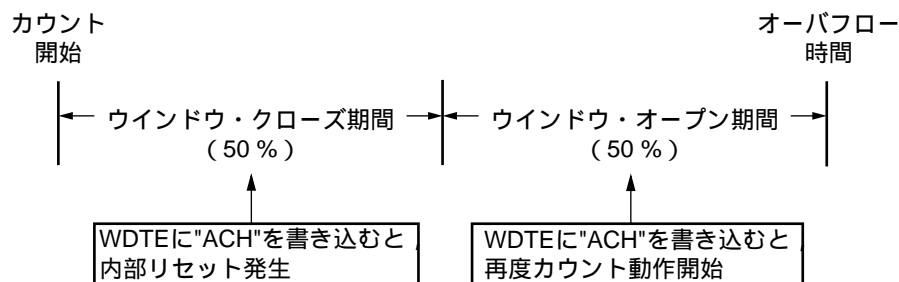
備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

8.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEレジスタに“ACH”を書き込んでも、異常検出され、内部リセットが発生します。

例 ウインドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表8-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

注意 オプション・バイト (000C0H) のビット0 (WDSTBYON) = 0のときは、WINDOW1, WINDOW0 ビットの値に関係なく、ウインドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^9/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0~20.08 ms	0~10.04 ms	なし
ウインドウ・オープン時間	20.08~29.68 ms	10.04~29.68 ms	0~29.68 ms

<ウインドウ・オープン期間50 %のとき>

・ オーバフロー時間 :

$$2^9/f_{IL} (\text{MAX.}) = 2^9/17.25 \text{ kHz} = 29.68 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^9/f_{IL} (\text{MIN.}) \times (1-0.5) = 0 \sim 2^9/12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^9/f_{IL} (\text{MIN.}) \times (1-0.5) \sim 2^9/f_{IL} (\text{MAX.}) = 2^9/12.75 \text{ kHz} \times 0.5 \sim 2^9/17.25 \text{ kHz} \\ = 20.08 \sim 29.68 \text{ ms}$$

8.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の75%+1/2f_{clk}到達時にインターバル割り込み (INTWDTI) を発生することができます。

表8-5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%+1/2f _{clk} 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も (ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号が発生します。

第9章 A/Dコンバータ

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

		24ピン	32ピン
アナログ入力 チャンネル	合計	6ch	8ch
	高精度 チャンネル	5 ch (ANI0-ANI3, ANI7)	8 ch (ANI0-ANI7)
	標準 チャンネル	1 ch (ANI16)	0 ch

備考 この章では、以降の主な説明を32ピン製品の場合で説明しています。

9.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大8チャンネルのA/Dコンバータ・アナログ入力 (ANI0-ANI7, ANI16) を選択できる構成になっています。変換分解能は、A/Dコンバータ・モード・レジスタ2 (ADM2) のADTYPビットにより12ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには、次のような機能があります。

12ビット/8ビット分解能A/D変換

ANI0-ANI7, ANI16からアナログ入力を1チャンネル選択し、12ビット/8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求(INTAD)が発生します(セレクト・モード時の場合)。

注意 有効な分解能は、A/Dコンバータの+側の基準電圧源と-側の規準電圧源の選択により異なります。詳細は、27.6.1 A/Dコンバータ特性を参照してください。

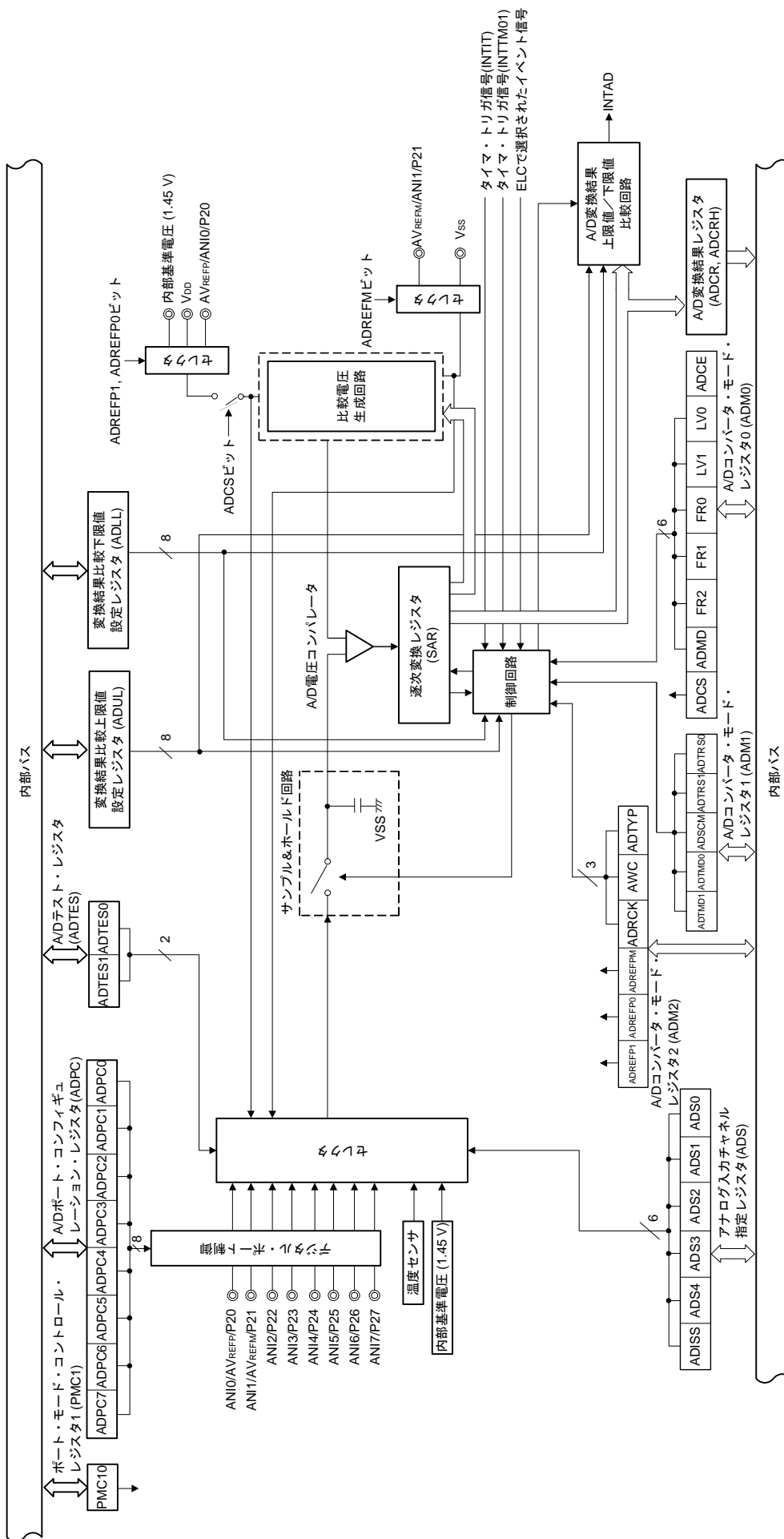
備考 10ビット分解能で使用する場合は、12ビット分解能モード(ADTYP = 0)に設定し、変換結果の上位10ビットを使用し、下位2ビットは使用しないでください。

下記のモードの組み合わせにより、様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ ノーウェイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ ウェイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は、ハードウェア・トリガ・ウェイト・モードを選択してください。
チャンネル選択モード	セレクト・モード	アナログ入力を1チャンネル選択し、A/D変換します。
	スキャン・モード	4チャンネルのアナログ入力を順番にA/D変換します。ANI0-ANI7のうち連続した4チャンネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。

動作モード	サンプリング・クロック数	
標準1	11f _{AD}	アナログ入力源の出カインピーダンスに応じて、サンプリング・コンデンサに十分に充電されるサンプリング・クロック数に設定してください。
標準2	23f _{AD}	

図9-1 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は、32ピン製品の場合です。

9.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI7, ANI16端子

A/Dコンバータの9チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

A/D電圧コンパレータは、サンプリングされた電圧値と比較電圧生成回路の電圧タップの出力を比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット11の値によって、比較電圧生成回路の電圧タップが選択されます。

ビット11 = 0 : ($1/4 AV_{REF}$)

ビット11 = 1 : ($3/4 AV_{REF}$)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作します。

アナログ入力電圧 \geq 比較電圧生成回路の電圧タップ : ビット10 = 1

アナログ入力電圧 \leq 比較電圧生成回路の電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット4まで続けます。

備考 AV_{REF} : A/Dコンバータの+側基準電圧

(AV_{REFP} , 内部基準電圧 (1.45 V), V_{DD} から選択可能)

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D変換結果レジスタ (ADCR) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

(6) 12ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を下位12ビットに保持します (上位4ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通りINTADが発生します。

(9) AV_{REFP}端子

外部から基準電圧 (AV_{REFP}) を入力する端子です。

AV_{REFP}をA/Dコンバータの基準電圧の+側として使用する場合は、A/Dコンバータ・モード・レジスタ2 (ADM2) のADREFP1, ADREFP0ビットに1を設定してください。

AV_{REFP}と一側基準電圧 (AV_{REFM}/V_{SS}) 間にかかる電圧に基づいて、ANI0-ANI7に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には、AV_{REFP}のほかにV_{DD}と内部基準電圧 (1.45 V) を選択することが可能です。

(10) AV_{REFM}端子

外部から基準電圧 (AV_{REFM}) を入力する端子です。AV_{REFM}をA/Dコンバータの一側の基準電圧として使用する場合は、ADM2レジスタのADREFMビットを1にセットしてください。

A/Dコンバータの一側基準電圧には、AV_{REFM}のほかにV_{SS}を選択することが可能です。

9.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・12ビットA/D変換結果レジスタ (ADCR)
- ・8ビットA/D変換結果レジスタ (ADCRH)
- ・アナログ入力チャネル指定レジスタ (ADS)
- ・変換結果比較上限値設定レジスタ (ADUL)
- ・変換結果比較下限値設定レジスタ (ADLL)
- ・A/Dテスト・レジスタ (ADTES)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ポート・モード・コントロール・レジスタ1 (PMC1) ^注
- ・ポート・モード・レジスタ1, 2 (PM1^注, PM2)

注 24ピン製品のみ

9.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00HIになります。

図9-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IICA1EN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード／ライト可

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態です。下記のレジスタの設定を行ってください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます (ポート・モード・レジスタ1, 2 (PM1^注, PM2), ポート・モード・コントロール・レジスタ1 (PMC1)^注, A/Dポート・コンフィギュレーション・レジスタ (ADPC) は除く)。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 12ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)

2. ビット1, 3, 7には必ず“0”を設定してください。

注 24ピン製品のみ

9.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。
 ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図9-3 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM0	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	0	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 [リード時] 変換動作停止/待機状態
1	変換動作許可 [リード時] ソフトウェア・トリガ・モード時：変換動作状態 ハードウェア・トリガ・ウェイト・モード時：A/D電源安定待ち状態+変換動作状態

ADMD	A/D変換チャンネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV0ビットおよびA/D変換に関する詳細は、表9-3 A/D変換時間の選択を参照してください。

- ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、安定待ち時間がかかります。このため、ADCEビットに1を設定してから安定待ち時間を経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。安定待ち時間を満たさないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

[安定待ち時間]

- アナログ入力チャンネルに高精度チャンネル選択の場合 : 0.5 μs
- テスト・モード設定 (ADTESレジスタのADTES1 = 1) 選択の場合 : 0.5 μs
- アナログ入力チャンネルに標準チャンネル選択の場合 : 2 μs
- アナログ入力チャンネルに温度センサ出力/内部基準電圧出力 (ADSレジスタのADISS = 1) 選択の場合 : 2 μs

注意 1. ADMD, FR2-FR0, LV0ビットの変更は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

2. ADCS = 1, ADCE = 0の設定は禁止です。

3. ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず9.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

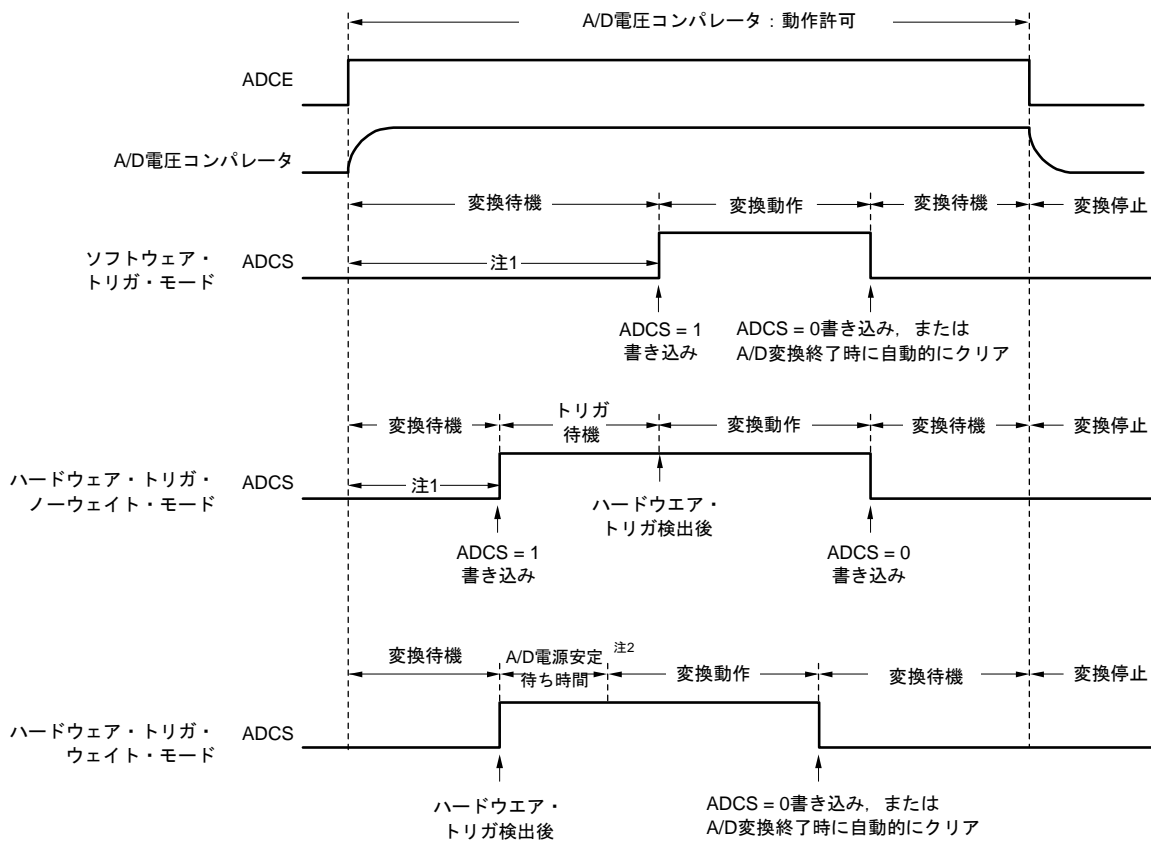
表9-1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表9-2 ADCSビットのセット/クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ	セレクト・モード	連続変換モード	ADCE = 1かつ ADCS = 1 ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア
ハードウェア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード	ADCE = 1かつ ハードウェア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウェア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ADCE = 1かつ ハードウェア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア

図9-4 A/D電圧コンパレータ使用時のタイミング・チャート



注 1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、ADCEビットの立ち上がりからADCSビットの立ち上がりまでの時間は、内部回路安定のため、次の安定待ち時間以上必要です。

[安定待ち時間]

- アナログ入力チャンネルに高精度チャンネル選択の場合 : 0.5 μ s
- テスト・モード設定 (ADTESレジスタのADTES1 = 1) 選択の場合 : 0.5 μ s
- アナログ入力チャンネルに標準チャンネル選択の場合 : 2 μ s
- アナログ入力チャンネルに温度センサ出力/内部基準電圧出力 (ADSレジスタのADISS = 1) 選択の場合 : 2 μ s

2. 連続変換モードの2回目以降、スキャン・モードのスキャン1以降の変換ではハードウェア・トリガ検出後にA/D電源安定待ち時間は発生しません。

注意 1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です (ハードウェア・トリガ信号検出時に、自動的に1に切り替わります)。ただし、AD変換待機状態にするために、ADCSビットに0を設定することは可能です。

2. ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時、AD変換終了時にADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。
3. ADCEビットの書き換えは、ADCS = 0 (変換停止/変換待機状態) のときに行ってください。
4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 : f_{CLK} の2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 : f_{CLK} の2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

表9-3 A/D変換時間の選択 (1/4)

(1) 12ビットA/D変換 安定待ち時間なし (ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ 0 (ADM0)				モード	変換 クロック (f _{AD})	変換クロック数 (サンプリング・ クロック数)	変換時間	変換時間の選択				
FR2	FR1	FR0	LV0					V _{DD} = 2.7~3.6 V				
								f _{CLK} = 1 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 32 MHz
0	0	0	0	標準1	f _{CLK} /32	54 f _{AD}	1728/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	54 μs ^注
0	0	1			f _{CLK} /16	(サンプリ	864/f _{CLK}				54 μs ^注	27 μs ^注
0	1	0			f _{CLK} /8	ング・クロ	432/f _{CLK}			54 μs ^注	27 μs ^注	13.5 μs ^注
0	1	1			f _{CLK} /6	ック数 :	324/f _{CLK}			40.5 μs ^注	20.25 μs ^注	10.125 μs ^注
1	0	0			f _{CLK} /5	11 f _{AD})	270/f _{CLK}			33.75 μs ^注	16.875 μs ^注	8.4375 μs ^注
1	0	1			f _{CLK} /4		216/f _{CLK}		54 μs ^注	27 μs ^注	13.5 μs ^注	6.75 μs ^注
1	1	0			f _{CLK} /2		108/f _{CLK}		27 μs ^注	13.5 μs ^注	6.75 μs ^注	3.375 μs ^注
1	1	1			f _{CLK} /1		54/f _{CLK}	54 μs ^注	13.5 μs ^注	6.75 μs ^注	3.375 μs ^注	設定禁止
0	0	0			1	標準2	f _{CLK} /32	66 f _{AD}	2112/f _{CLK}	設定禁止	設定禁止	設定禁止
0	0	1	f _{CLK} /16	(サンプリ			1056/f _{CLK}				66 μs	33 μs
0	1	0	f _{CLK} /8	ング・クロ			528/f _{CLK}			66 μs ^注	33 μs	16.5 μs
0	1	1	f _{CLK} /6	ック数 :			396/f _{CLK}			49.5 μs ^注	24.75 μs	12.375 μs
1	0	0	f _{CLK} /5	23 f _{AD})			330/f _{CLK}			41.25 μs ^注	20.625 μs	10.3125 μs
1	0	1	f _{CLK} /4				264/f _{CLK}		66 μs ^注	33 μs ^注	16.5 μs	8.25 μs
1	1	0	f _{CLK} /2				132/f _{CLK}		33 μs ^注	16.5 μs ^注	8.25 μs	4.125 μs
1	1	1	f _{CLK} /1				66/f _{CLK}	66 μs ^注	16.5 μs ^注	8.25 μs ^注	4.125 μs	設定禁止

注 ANI16使用時は設定禁止です。

- 注意 1. A/D変換時間は、27.6.1 A/Dコンバータ特性に示す変換時間(t_{CONV})の範囲内で使用してください。
2. FR2-FR0, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。
3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。
4. ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード時の変換時間は、以下の条件で設定してください。
- ・ f_{AD}は1~16 MHzの範囲とする
 - ・ アナログ入力チャンネルに温度センサ出力/内部基準電圧出力 (ADSレジスタのADISS = 1) 設定時は、以下の条件とする。
- LV0 = 0の場合 : 設定禁止
- LV0 = 1の場合 : 設定可能

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

表9-3 A/D変換時間の選択 (2/4)

(2) 12ビットA/D変換安定待ち時間あり (ハードウェア・トリガ・ウェイト・モード (連続変換モードの2回目以降、スキャン・モードのスキャン1以降を除く^{注1)})

A/Dコンバータ・モード・レジスタ 0 (ADM0)				モード	変換クロック (f _{AD})	安定待ちクロック数	変換クロック数 (サンプリング・クロック数)	安定待ち時間+変換時間	A/D電源安定待ち時間+変換時間の選択				
FR2	FR1	FR0	LV0						V _{DD} = 2.7~3.6 V				
									f _{CLK} = 1 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 32 MHz
0	0	0	0	標準1	f _{CLK} /32	4 f _{CLK}	54 f _{AD} (サンプリング・クロック数: 11 f _{AD})	1732/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	54.125 μs ^{注2}
0	0	1	f _{CLK} /16		868/f _{CLK}				54.25 μs ^{注2}	27.125 μs ^{注2}			
0	1	0	f _{CLK} /8		436/f _{CLK}				54.5 μs ^{注2}	27.25 μs ^{注2}	13.625 μs ^{注2}		
0	1	1	f _{CLK} /6		328/f _{CLK}				41 μs ^{注2}	20.5 μs ^{注2}	10.25 μs ^{注2}		
1	0	0	f _{CLK} /5		274/f _{CLK}				34.25 μs ^{注2}	17.125 μs ^{注2}	8.5625 μs ^{注2}		
1	0	1	f _{CLK} /4		220/f _{CLK}			55 μs ^{注2}	27.5 μs ^{注2}	13.75 μs ^{注2}	6.875 μs ^{注2}		
1	1	0	f _{CLK} /2		112/f _{CLK}			28 μs ^{注2}	14 μs ^{注2}	7 μs ^{注2}	3.5 μs ^{注2}		
1	1	1	f _{CLK} /1		56/f _{CLK}	2 f _{CLK}		56 μs ^{注2}	14 μs ^{注2}	7 μs ^{注2}	3.5 μs ^{注2}	設定禁止	
0	0	0	1	標準2	f _{CLK} /32	58 f _{CLK}	66 f _{AD} (サンプリング・クロック数: 23 f _{AD})	2170/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	67.8125 μs
0	0	1			f _{CLK} /16	1114/f _{CLK}					69.625 μs	34.8125 μs	
0	1	0			f _{CLK} /8	586/f _{CLK}				73.25 μs ^{注2}	36.625 μs	18.3125 μs	
0	1	1			f _{CLK} /6	454/f _{CLK}				56.75 μs ^{注2}	28.375 μs	14.1875 μs	
1	0	0			f _{CLK} /5	388/f _{CLK}				48.5 μs ^{注2}	24.25 μs	12.125 μs	
1	0	1			f _{CLK} /4	322/f _{CLK}			80.5 μs ^{注2}	40.25 μs ^{注2}	20.125 μs	10.0625 μs	
1	1	0			f _{CLK} /2	190/f _{CLK}			47.5 μs ^{注2}	23.75 μs ^{注2}	11.875 μs	5.9375 μs	
1	1	1			f _{CLK} /1	95/f _{CLK}	29 f _{CLK}		95 μs ^{注2}	23.75 μs ^{注2}	11.875 μs ^{注2}	5.9375 μs	設定禁止

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、A/D電源安定待ち時間は発生しません (表9-3 (1/4) 参照)。

2. ANI16使用時は設定禁止です。

注意 1. A/D変換時間は、27.6.1 A/Dコンバータ特性に示す変換時間(t_{CONV})の範囲内で使用してください。

なお、変換時間t_{CONV}はA/D電源安定待ち時間を含みません。

2. FR2-FR0, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、以下の条件で設定してください。

- ・ f_{AD}は1~16 MHzの範囲とする

- ・ アナログ入力チャンネルに温度センサ出力/内部基準電圧出力 (ADSレジスタのADISS = 1) 設定時は、以下の条件とする。

LV0 = 0の場合 : 設定禁止

LV0 = 1の場合 : 設定可能

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

表9-3 A/D変換時間の選択 (3/4)

(3) 8ビットA/D変換 安定待ち時間なし (ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ 0 (ADM0)				モード	変換 クロック (f _{AD})	変換クロック数 (サンプリング・ クロック数)	変換時間	変換時間の選択								
FR2	FR1	FR0	LV0					V _{DD} = 2.7~3.6 V								
								f _{CLK} = 1 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 32 MHz				
0	0	0	0	標準1	f _{CLK} /32	41 f _{AD} (サンプリ ング・クロ ック数 : 11 f _{AD})	1312/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	41 μs ^注				
					f _{CLK} /16		656/f _{CLK}						41 μs ^注	20.5 μs ^注		
					f _{CLK} /8		328/f _{CLK}								41 μs ^注	20.5 μs ^注
					f _{CLK} /6		246/f _{CLK}						30.75 μs ^注	15.375 μs ^注	7.6875 μs ^注	
					f _{CLK} /5		205/f _{CLK}						25.625 μs ^注	12.8125 μs ^注	6.40625 μs ^注	
					f _{CLK} /4		164/f _{CLK}						41 μs ^注	20.5 μs ^注	10.25 μs ^注	5.125 μs ^注
					f _{CLK} /2		82/f _{CLK}						20.5 μs ^注	10.25 μs ^注	5.125 μs ^注	2.5625 μs ^注
					f _{CLK} /1		41/f _{CLK}						41 μs ^注	10.25 μs ^注	5.125 μs ^注	2.5625 μs ^注
0	0	0	1	標準2	f _{CLK} /32	53 f _{AD} (サンプリ ング・クロ ック数 : 23 f _{AD})	1696/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	53 μs				
					f _{CLK} /16		848/f _{CLK}						53 μs ^注	26.5 μs		
					f _{CLK} /8		424/f _{CLK}								53 μs ^注	26.5 μs
					f _{CLK} /6		318/f _{CLK}						39.75 μs ^注	19.875 μs	9.9375 μs	
					f _{CLK} /5		265/f _{CLK}						33.125 μs ^注	16.5625 μs	8.28125 μs	
					f _{CLK} /4		212/f _{CLK}						53 μs ^注	26.5 μs ^注	13.25 μs	6.625 μs
					f _{CLK} /2		106/f _{CLK}						26.5 μs ^注	13.25 μs ^注	6.625 μs	3.3125 μs
					f _{CLK} /1		53/f _{CLK}						53 μs ^注	13.25 μs ^注	6.625 μs ^注	3.3125 μs

注 ANI16使用時は設定禁止です。

- 注意 1. A/D変換時間は、27.6.1 A/Dコンバータ特性に示す変換時間(t_{CONV})の範囲内で使用してください。
2. FR2-FR0, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。
3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。
4. ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード時の変換時間は、以下の条件で設定してください。
- ・ f_{AD}は1~16 MHzの範囲とする
 - ・ アナログ入力チャンネルに温度センサ出力/内部基準電圧出力 (ADSレジスタのADISS = 1) 設定時は、以下の条件とする。
- LV0 = 0の場合 : 設定禁止
- LV0 = 1の場合 : 設定可能

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

表9-3 A/D変換時間の選択 (4/4)

(4) 8ビットA/D変換安定待ち時間あり (ハードウェア・トリガ・ウエイト・モード (連続変換モードの2回目以降、スキャン・モードのスキャン1以降を除く^{注1)})

A/Dコンバータ・モード・レジスタ 0 (ADM0)				モード	変換 クロック (f _{AD})	安定待ち クロック 数	変換クロック数 (サンプリング・ クロック数)	安定待ち 時間+ 変換時間	A/D電源安定待ち時間+変換時間の選択							
									V _{DD} = 2.7~3.6 V							
FR2	FR1	FR0	LV0					f _{CLK} = 1 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 32 MHz				
0	0	0	0	標準1	f _{CLK} /32	4 f _{CLK}	41 f _{AD} (サンプリング・ クロック 数: 11 f _{AD})	1316/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	41.125 μs ^{注2}			
0	0	1	f _{CLK} /16		660/f _{CLK}								41.25 μs ^{注2}	20.625 μs ^{注2}		
0	1	0	f _{CLK} /8		332/f _{CLK}								41.5 μs ^{注2}	20.75 μs ^{注2}	10.375 μs ^{注2}	
0	1	1	f _{CLK} /6		250/f _{CLK}								31.25 μs ^{注2}	15.625 μs ^{注2}	7.8125 μs ^{注2}	
1	0	0	f _{CLK} /5		209/f _{CLK}								26.125 μs ^{注2}	13.0625 μs ^{注2}	6.53125 μs ^{注2}	
1	0	1	f _{CLK} /4		168/f _{CLK}								42 μs ^{注2}	21 μs ^{注2}	10.5 μs ^{注2}	5.25 μs ^{注2}
1	1	0	f _{CLK} /2		86/f _{CLK}								21.5 μs ^{注2}	10.75 μs ^{注2}	5.375 μs ^{注2}	2.6875 μs ^{注2}
1	1	1	f _{CLK} /1		2 f _{CLK}	43 μs ^{注2}	10.75 μs ^{注2}	5.375 μs ^{注2}	2.6875 μs ^{注2}	設定禁止						
0	0	0	1	標準2	f _{CLK} /32	58 f _{CLK}	53 f _{AD} (サンプリング・ クロック 数: 23 f _{AD})	1754/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	54.8125 μs			
0	0	1	f _{CLK} /16		906/f _{CLK}								56.625 μs	28.3125 μs		
0	1	0	f _{CLK} /8		482/f _{CLK}								60.25 μs ^{注2}	30.125 μs	15.0625 μs	
0	1	1	f _{CLK} /6		376/f _{CLK}								47 μs ^{注2}	23.5 μs	11.75 μs	
1	0	0	f _{CLK} /5		323/f _{CLK}								40.375 μs ^{注2}	20.1875 μs	10.09375 μs	
1	0	1	f _{CLK} /4		270/f _{CLK}								67.5 μs ^{注2}	33.75 μs ^{注2}	16.875 μs	8.4375 μs
1	1	0	f _{CLK} /2		164/f _{CLK}								41 μs ^{注2}	20.5 μs ^{注2}	10.25 μs	5.125 μs
1	1	1	f _{CLK} /1		29 f _{CLK}	82 μs ^{注2}	20.5 μs ^{注2}	10.25 μs ^{注2}	5.125 μs	設定禁止						

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、A/D電源安定待ち時間は発生しません (表9-3 (3/4) 参照)。

2. ANI16使用時は設定禁止です。

注意 1. A/D変換時間は、27.6.1 A/Dコンバータ特性に示す変換時間(t_{CONV})の範囲内で使用してください。

なお、変換時間(t_{CONV})はA/D電源安定待ち時間を含みません。

- FR2-FR0, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。
- 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。
- ハードウェア・トリガ・ウエイト・モード時の変換時間は、以下の条件で設定してください。

- ・f_{AD}は1~16 MHzの範囲とする

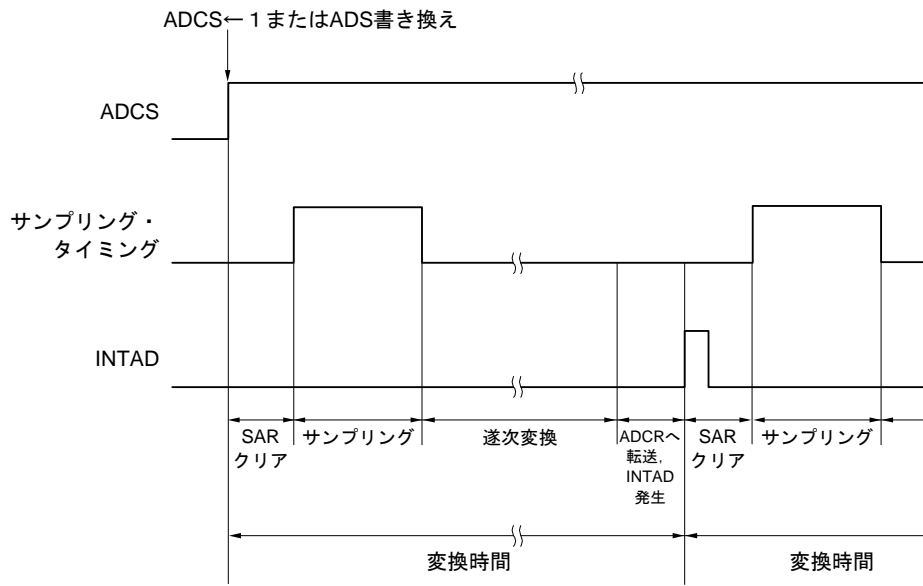
- ・アナログ入力チャンネルに温度センサ出力/内部基準電圧出力 (ADSレジスタのADISS = 1) 設定時は、以下の条件とする。

LV0 = 0の場合 : 設定禁止

LV0 = 1の場合 : 設定可能

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

図9-5 A/DコンバータのサンプリングとA/D変換のタイミング（例 ソフトウェア・トリガ・モードの場合）



9.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-6 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス : FFF32H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウェア・トリガ・モード
1	0	ハードウェア・トリガ・ノーウエイト・モード
1	1	ハードウェア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択
0	0	タイマ・チャンネル01のカウンタ完了またはキャプチャ完了割り込み信号 (INTTM01)
0	1	ELCで選択されたイベント信号
上記以外		設定禁止

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

2. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 : f_{CLK} の2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 : f_{CLK} の2クロック + A/D電源安定待ち時間 + A/D変換時間

備考1. × : don't care

2. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

9.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの+側基準電圧および-側基準電圧の選択, A/D変換結果の上限値/下限値のチェック, 分解能の選択, およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図9-7 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	V _{DD} から供給
0	1	P20/AV _{REFP} /ANI0から供給
1	0	内部基準電圧 (1.45 V) から供給 ^注
1	1	設定禁止

・ ADREFP1, ADREFP0ビットを書き換える場合, 次の手順で設定してください。

- ① ADCE = 0に設定
- ② ADREFP1, ADREFP0の値を変更
- ③ 基準電圧安定待ち時間ウエイト (A)
- ④ ADCE = 1に設定
- ⑤ 基準電圧安定待ち時間ウエイト (B)

③の安定待ち時間は, ADREFP1, ADREFP0の値の変更時に必要となります。

ADREFP1, ADREFP0 = 1, 0に変更する場合 : A = 10 μs
 ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : A = 1 μs

⑤の安定待ち時間は, ADCE = 1に設定時に必要となります。

アナログ入力チャンネルに高精度チャンネル選択の場合 : B = 0.5 μs
 テスト・モード設定 (ADTESレジスタのADTES1 = 1) 選択の場合 : B = 0.5 μs
 アナログ入力チャンネルに標準チャンネル選択の場合 : B = 2 μs
 アナログ入力チャンネルに温度センサ出力/内部基準電圧出力 (ADSレジスタのADISS = 1) 選択の場合 : B = 2 μs

⑤の安定待ち時間のあとに, A/D変換を開始してください。

・ ADREFP1, ADREFP0 = 1, 0に設定した場合, 温度センサ出力と内部基準電圧出力をA/D変換することはできません。必ずADISS = 0としてA/D変換を行ってください。

ADREFM	A/Dコンバータの-側の基準電圧源の選択
0	V _{SS} から供給
1	P21/AV _{REFM} /ANI1から供給

注 HS (高速メイン) モードでのみ選択可能です。詳細は, 図22-3 ユーザ・オプション・バイト (000C2H) のフォーマットを参照してください。

- 注意 1. ADM2レジスタを書き換える場合は, 必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
2. STOPモードの場合は, ADREFP1 = 1に設定しないでください。また, ADREFP1 = 1設定時に, メイン・システム・クロックでCPU動作中からHALTモードへ移行する場合は, 27.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流 (I_{ADREF}) の電流値が加算されます。
3. AV_{REFP}とAV_{REFM}を使用する場合は, ANI0とANI1をアナログ入力に設定し, ポート・モード・レジスタは入力モードに設定してください。

図9-7 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (2/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADRCK	変換結果上限/下限値チェック
0	ADLLレジスタ ≤ ADCRレジスタ ≤ ADULレジスタ (AREA1) のとき割り込み信号 (INTAD) が発生。
1	ADCRレジスタ < ADLLレジスタ (AREA2), ADULレジスタ < ADCRレジスタ (AREA3) のとき割り込み信号 (INTAD) が発生。
AREA1~AREA3の割り込み信号 (INTAD) 発生範囲を図9-8に示します。	

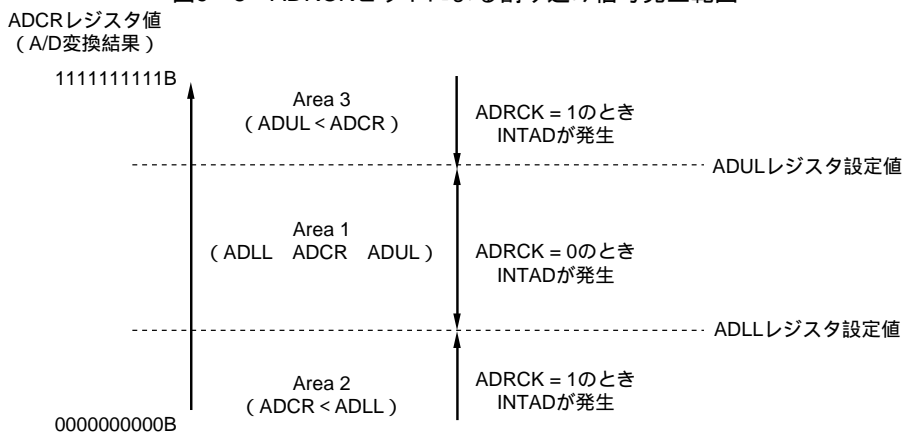
AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います (SNOOZEモード)。	
<ul style="list-style-type: none"> ・SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (f_{CLK}) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウエイト・モードでのSNOOZEモード機能は使用禁止です。 ・連続変換モードでのSNOOZEモード機能は使用禁止です。 ・SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間^注+変換起動時間+A/D電源安定待ち時間+A/D変換時間+f_{CLK}の2クロック」以上の間隔を空けて設定してください。 ・SNOOZEモードを使用する場合でも、通常動作モード時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。 	
またSTOPモードから通常動作モードへ復帰後、必ずAWCを0に変更してください。	
AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にAD変換が開始されません。	

ADTYP	A/D変換分解能の選択
0	12ビット分解能
1	8ビット分解能

注 16.3.3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意 ADM2レジスタを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

図9-8 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合は、A/D変換結果がADCR, ADCRHレジスタに格納されません。

9.3.5 12ビットA/D変換結果レジスタ (ADCR)

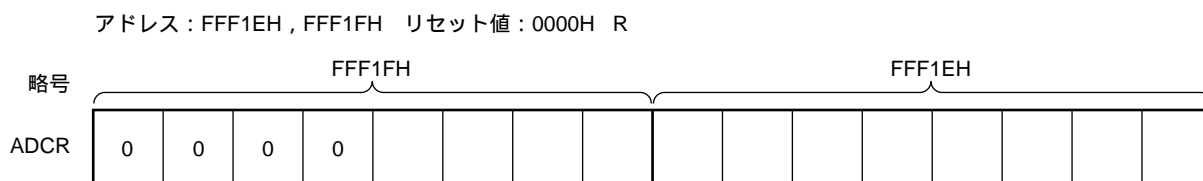
A/D変換結果を保持する16ビットのレジスタです。上位4ビットは“0”固定です。A/D変換が終了するたびに、ADSAR[11:0]の値をA/D変換結果レジスタに格納します(ただし、ADM2レジスタのADRCKビット、ADUL、ADLLレジスタの設定より格納するか否かが決まります)。変換結果の上位4ビットがFFF1FHの下位4ビットに、下位8ビットがFFF1EHに格納されます^注。

ADCRレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット、ADUL/ADLLレジスタで設定(図9 - 8参照))で設定した値の範囲外の場合は格納されません。

図9-9 12ビットA/D変換結果レジスタ (ADCR) のフォーマット



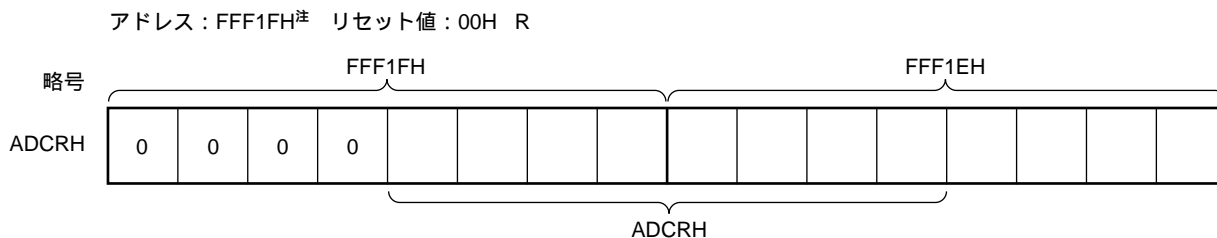
- 注意1. A/Dコンバータ・モード・レジスタ0 (ADM0) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。
- 2. INTADが発生しない場合は、A/D変換結果がADCRレジスタに格納されません。

9.3.6 8ビットA/D変換結果レジスタ (ADCRH)

ADCRレジスタの[11:4]ビットを示す8ビットのレジスタです。12ビット分解能の上位8ビットを格納します^注。
 ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。
 リセット信号の発生により、00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図9-8参照)) で設定した値の範囲外の場合は格納されません。

図9-10 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット



注 FFF1FH番地を読み出した場合、ADCRHのデータ (FFF1FHの下位4ビット+FFF1EHの上位4ビット) が読み出されます。

- 注意1. A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。
2. INTADが発生しない場合は、A/D変換結果がADCRHレジスタに格納されません。

9.3.7 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-11 アナログ入力チャネル指定レジスタ (ADS) のフォーマット (1/2)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	0	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	1	1	ANI3	P23/ANI3端子
0	0	1	0	0	ANI4	P24/ANI4端子 ^{注1}
0	0	1	0	1	ANI5	P25/ANI5端子 ^{注1}
0	0	1	1	0	ANI6	P26/ANI6端子 ^{注1}
0	0	1	1	1	ANI7	P27/ANI7端子
0	1	0	0	0	ANI16	P10/ANI16端子 ^{注2}
1	0	0	0	0	—	温度センサ出力電圧 ^{注3}
1	0	0	0	1	—	内部基準電圧出力 (1.45 V) ^{注3}
上記以外					設定禁止	

注1. ANI4-ANI6は、32ピン製品のみ

2. ANI16は、24ピン製品のみ

3. HS (高速メイン) モードでのみ選択可能です。詳細は、図22-3 ユーザ・オプション・バイト (000C2H) のフォーマットを参照してください。

図9-11 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット (2/2)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	0	ADS2	ADS1	ADS0

○スキャン・モード (ADMD = 1)

ADISS	ADS4	ADS2	ADS1	ADS0	アナログ入力チャンネル			
					スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	1	ANI1 ^注	ANI2 ^注	ANI3 ^注	ANI4 ^注
0	0	0	1	0	ANI2 ^注	ANI3 ^注	ANI4 ^注	ANI5 ^注
0	0	0	1	1	ANI3 ^注	ANI4 ^注	ANI5 ^注	ANI6 ^注
0	0	1	0	0	ANI4 ^注	ANI5 ^注	ANI6 ^注	ANI7 ^注
上記以外					設定禁止			

注 32ピン製品のみ

- 注意1. ビット3, 5, 6には必ず0を設定してください。
- ADPC, PMCxレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
 - A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。
 - ADISSビットを書き換える場合は、必ずA/D電圧コンパレータ動作停止状態(ADCS = 0, ADCE = 0)のときに行ってください。
 - AV_{REFP}をA/Dコンバータの+側の基準電圧源として使用している場合、ANI0をA/D変換チャンネルとして選択しないでください。
 - AV_{REFM}をA/Dコンバータの-側の基準電圧源として使用している場合、ANI1をA/D変換チャンネルとして選択しないでください。
 - ADISS = 1を設定した場合、+側の基準電圧源に内部基準電圧 (1.45 V) は使用できません。また、ADISS = 1 に設定後、1 回目の変換結果は使用できません。詳細設定フローは、9.7.4 温度センサ出力電圧/内部基準電圧を選択時の設定を参照してください。
 - STOPモードへ移行する場合は、ADISS = 1に設定しないでください。また、ADISS = 1設定時に、メイン・システム・クロックでCPU動作中からHALTモードへ移行する場合は、27.3.2 電源電流特性に示す温度センサ動作電流 (I_{TMPs}) /A/Dコンバータ基準電圧電流 (I_{ADREF}) の電流値が加算されます。
 - 製品により、対応するANI端子が存在しない場合は、変換結果を無視してください。

9.3.8 変換結果比較上限値設定レジスタ (ADUL)

A/D変換結果に対する上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2) のADRCKビットの設定範囲 (図9-8参照) で割り込み信号 (INTAD) の発生を制御します。

ADULレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

- 注意 1. 12ビット分解能A/D変換選択時は、12ビットA/D変換結果レジスタ (ADCR) に格納された変換結果の上位8ビットをADULレジスタおよびADLLレジスタと比較します。
2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

図9-12 変換結果比較上限値設定レジスタ (ADUL) のフォーマット

アドレス : F0011H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

9.3.9 変換結果比較下限値設定レジスタ (ADLL)

A/D変換結果に対する下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2) のADRCKビットの設定範囲 (図9-8参照) で割り込み信号 (INTAD) の発生を制御します。

ADLLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-13 変換結果比較下限値設定レジスタ (ADLL) のフォーマット

アドレス : F0012H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

- 注意 1. 12ビット分解能A/D変換選択時は、12ビットA/D変換結果レジスタ (ADCR) に格納された変換結果の上位8ビットをADULレジスタおよびADLLレジスタと比較します。
2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
3. ADULレジスタおよびADLLレジスタの設定を行う際には、ADUL > ADLLになるよう設定を行ってください。

9.3.10 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧，-側の基準電圧，アナログ入力チャネル (ANlxx)，温度センサ出力電圧，内部基準電圧 (1.45 V) を選択するレジスタです。

ADTESレジスタは，は8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9-14 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx/温度センサ出力電圧 ^注 /内部基準電圧出力 (1.45 V) ^注 (アナログ入力チャネル指定レジスタ (ADS) で設定) ^注
1	0	-側の基準電圧 (ADM2レジスタのADREFMビットで設定)
1	1	+側の基準電圧 (ADM2レジスタのADREFP1, ADREFP0ビットで設定)
上記以外		設定禁止

注 温度センサ出力，内部基準電圧出力 (1.45 V) は，HS (高速メイン) モードでのみ選択可能です。
詳細は，図22-3 ユーザ・オプション・バイト (000C2H) のフォーマットを参照してください。

注意 A/Dテスト機能についての詳細は，20.10 A/Dテスト機能を参照してください。

9.3.11 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ(PMxx), ポート・モード・コントロール・レジスタ1(PMC1), A/Dポート・コンフィギュレーション・レジスタ(ADPC))を設定してください。詳細は, 4.3.1 ポート・モード・レジスタ(PMxx), 4.3.4 ポート・モード・コントロール・レジスタ1(PMC1) (24ピン製品のみ), 4.3.5 A/Dポート・コンフィギュレーション・レジスタ (ADPC)を参照してください。

ANI0-ANI7端子をA/Dコンバータのアナログ入力として使用するときは, 各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定し, A/Dポート・コンフィギュレーション・レジスタ(ADPC)でアナログ入力に設定してください。

ANI16端子をA/Dコンバータのアナログ入力として使用するときは, 各ポートに対応するポート・モード・レジスタ(PMxx)とポート・モード・コントロール・レジスタ1(PMC1)のビットに1を設定してください。

9.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ（SAR）のビット11をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2） AV_{REF} にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力（1/2） AV_{REF} よりも大きければ、SARレジスタのMSBビットをセットしたままです。また、（1/2） AV_{REF} よりも小さければ、MSBビットはリセットします。
- ⑤ 次にSARレジスタのビット10が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット11の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット11 = 1 : (3/4) AV_{REF}

・ビット11 = 0 : (1/4) AV_{REF}

この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット10を次のように操作します。

・サンプリングされた電圧 \geq 電圧タップ : ビット10 = 1

・サンプリングされた電圧 < 電圧タップ : ビット10 = 0

- ⑥ このような比較をSARレジスタのビット0まで続けます。
- ⑦ 12ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ（ADCR, ADCRH）に転送され、ラッチします^{注1}。
同時に、A/D変換終了割り込み要求（INTAD）を発生させることができます^{注1}。
- ⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します^{注2}。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

- 注 1. A/D変換結果の値がA/D変換結果比較機能（ADRCKビット、ADUL/ADLLレジスタで設定（図9-8参照））で設定した値の範囲外の場合、A/D変換終了割り込み要求信号（INTAD）は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。
2. 連続変換モード時は、ADCSフラグは自動的に“0”にクリアされません。また、ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

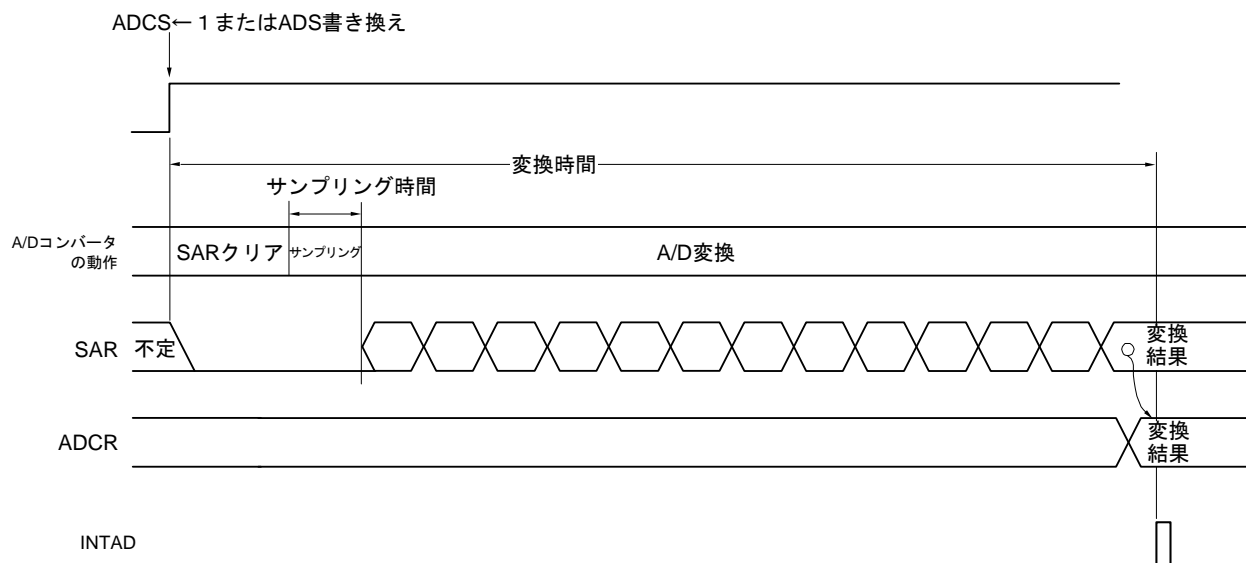
備考1. A/D変換結果レジスタは2種類あります。

・ADCRレジスタ（16ビット） : 12ビットのA/D変換値を格納します。

・ADCRHレジスタ（8ビット） : 8ビットのA/D変換値を格納します。

2. AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧（1.45 V）, V_{DD} から選択可能です。

図9-15 A/Dコンバータの変換動作（ソフトウェア・トリガ・モードの場合）



ワンショット変換モード時のA/D変換動作は、A/D変換終了後にADCSビットが自動的にクリア(0)されます。連続変換モード時のA/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) をクリア (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャンネル指定レジスタ (ADS) に対して書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまた00Hとなります。

9.5 入力電圧と変換結果

アナログ入力端子（ANI0-ANI7, ANI16）に入力されたアナログ入力電圧と理論上のA/D変換結果（12ビットA/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$\text{ADCR} = \text{INT} \left(\frac{V_{\text{AIN}}}{\text{AV}_{\text{REF}}} \times 4096 + 0.5 \right)$$

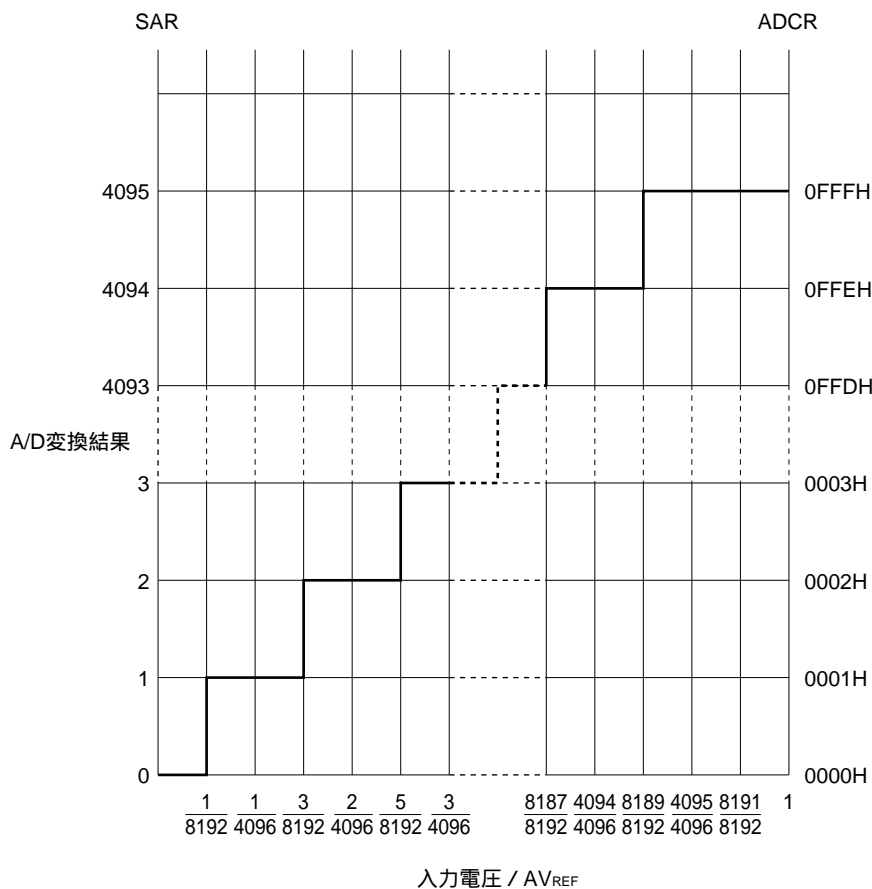
または,

$$(\text{ADCR} - 0.5) \times \frac{\text{AV}_{\text{REF}}}{4096} \leq V_{\text{AIN}} < (\text{ADCR} + 0.5) \times \frac{\text{AV}_{\text{REF}}}{4096}$$

- INT () : () 内の値の整数部を返す関数
 V_{AIN} : アナログ入力電圧
 AV_{REF} : AV_{REF} 端子電圧
 ADCR : A/D変換結果レジスタ（ADCR）の値

図9-16にアナログ入力電圧とA/D変換結果の関係を示します。

図9-16 アナログ入力電圧とA/D変換結果の関係



備考 AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧（1.45 V）, V_{DD} から選択可能です。

9.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を9.7 A/Dコンバータの設定フロー・チャートに示します。

9.6.1 ソフトウェア・トリガ・モード（セレクト・モード，連続変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間^注をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し、A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

図9-17 ソフトウェア・トリガ・モード（セレクト・モード，連続変換モード）動作タイミング例

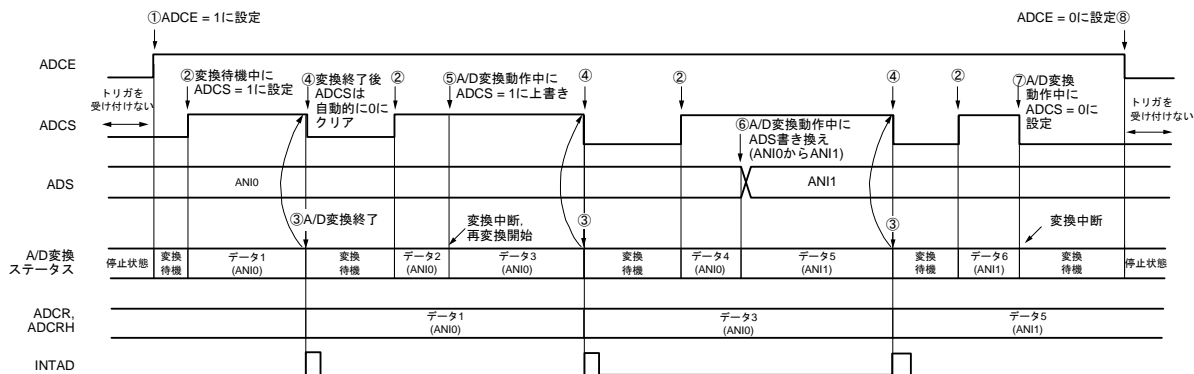


9.6.2 ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間^注をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

図9-18 ソフトウェア・セレクト・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例

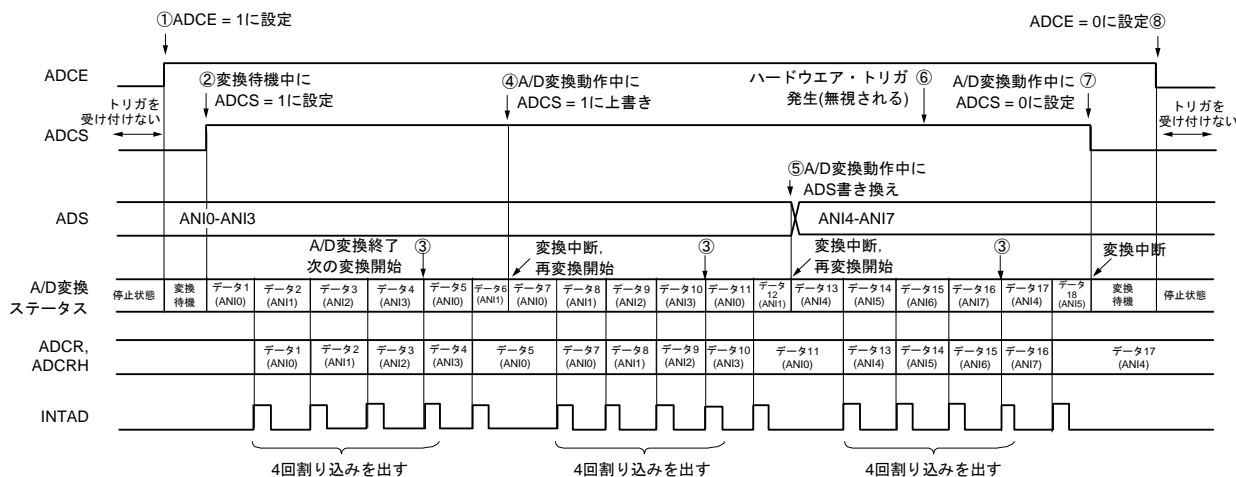


9.6.3 ソフトウェア・トリガ・モード (スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間^注をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0~スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます (4チャンネル分)。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

図9-19 ソフトウェア・トリガ・モード (スキャン・モード, 連続変換モード) 動作タイミング例

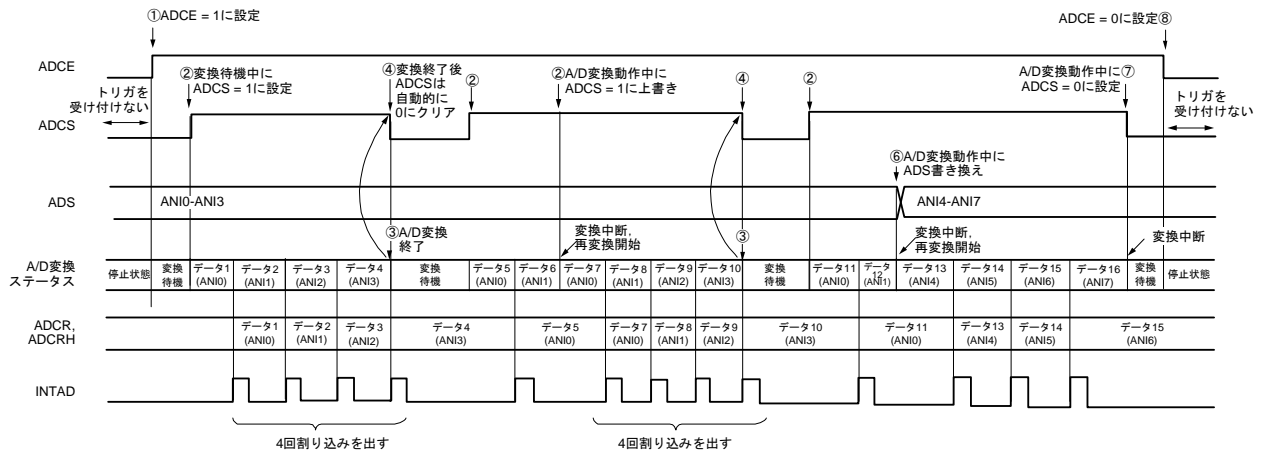


9.6.4 ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間^注をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ 4チャンネルのA/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

図9-20 ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード) 動作タイミング例

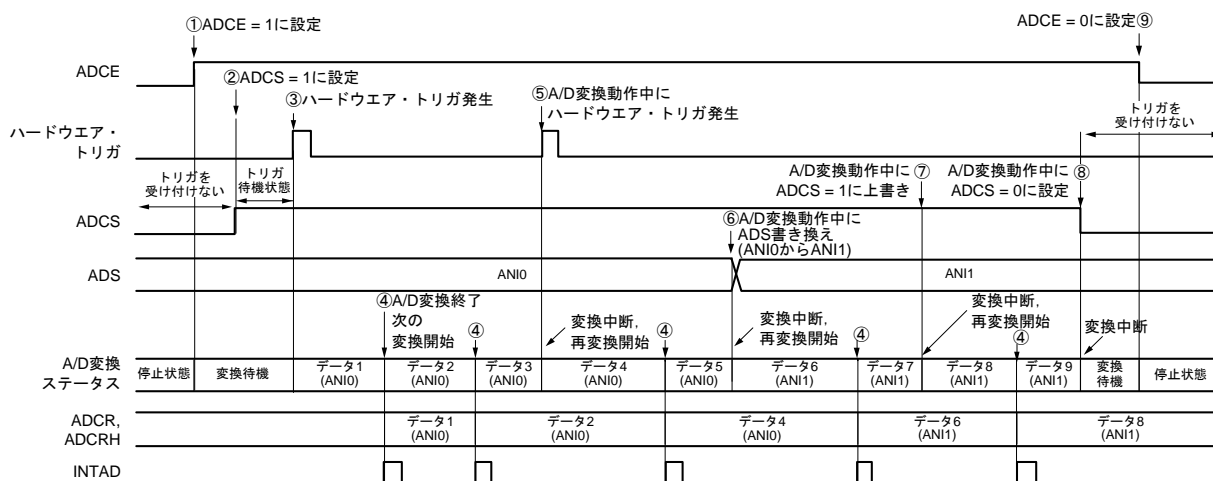


9.6.5 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間^注をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

図9-21 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード)
動作タイミング例

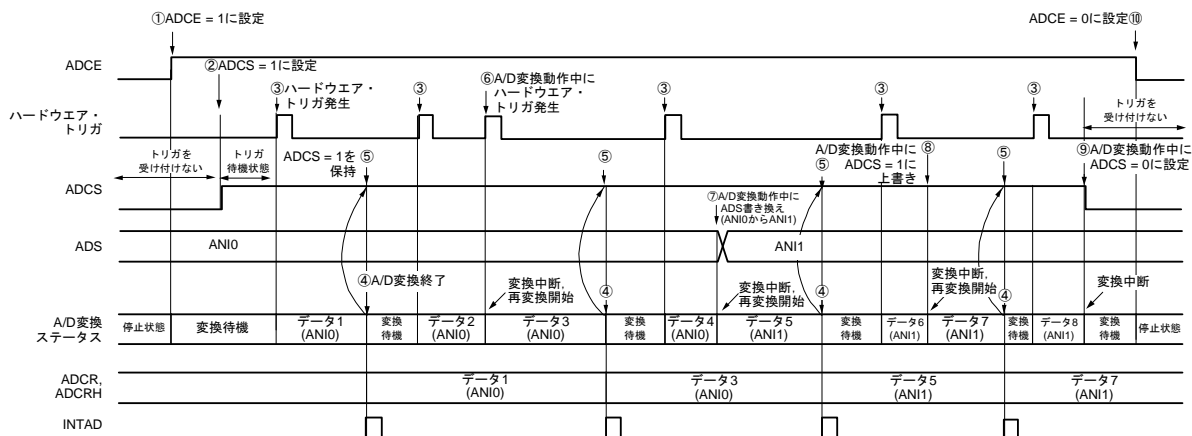


9.6.6 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間^注をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s
アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

図9-22 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード)
動作タイミング例

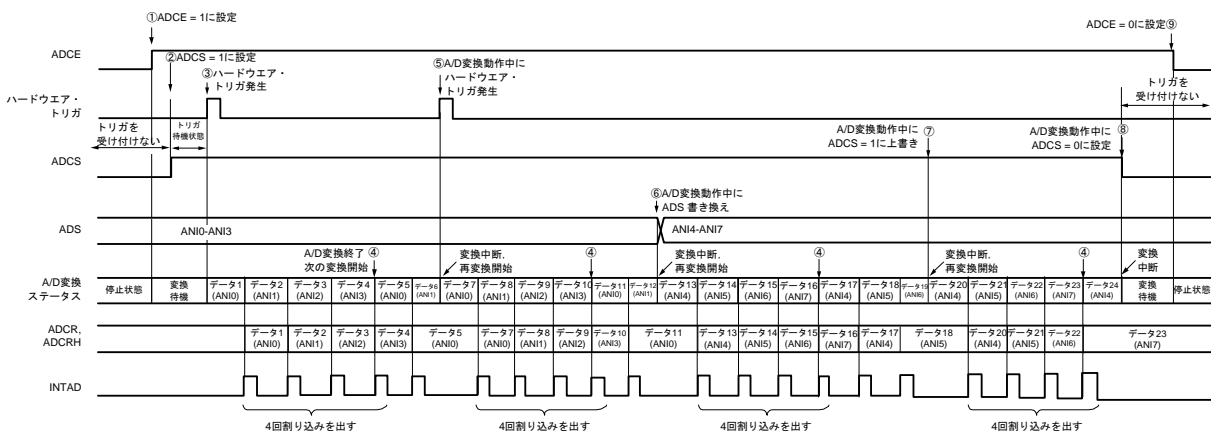


9.6.7 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間^注をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ④ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

注 アナログ入力チャネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

図9-23 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード)
動作タイミング例

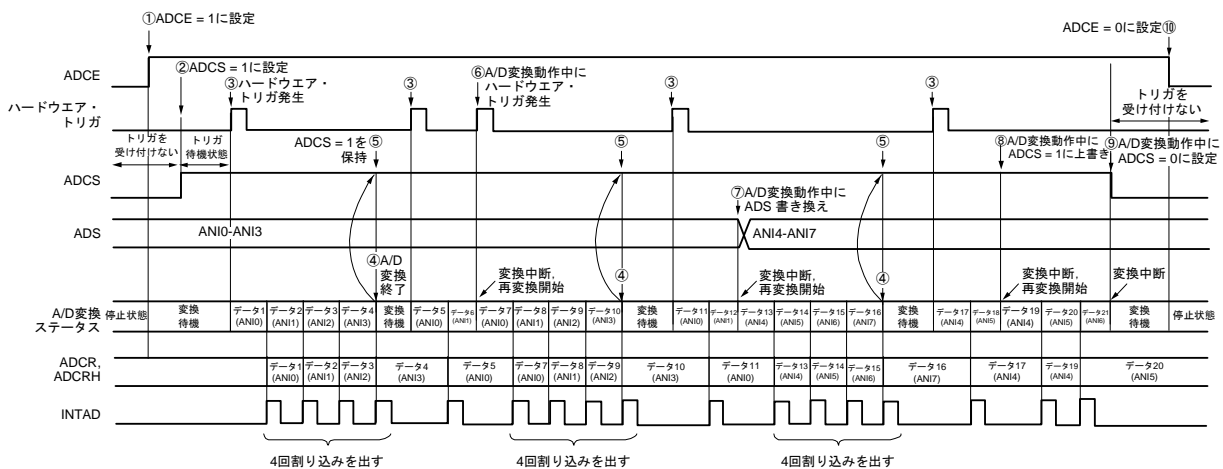


9.6.8 ハードウェア・トリガ・ノーウエイト・モード
(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間^注をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ⑤ 4チャンネルのA/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態ではA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μs
アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μs

図9-24 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット変換モード)
動作タイミング例

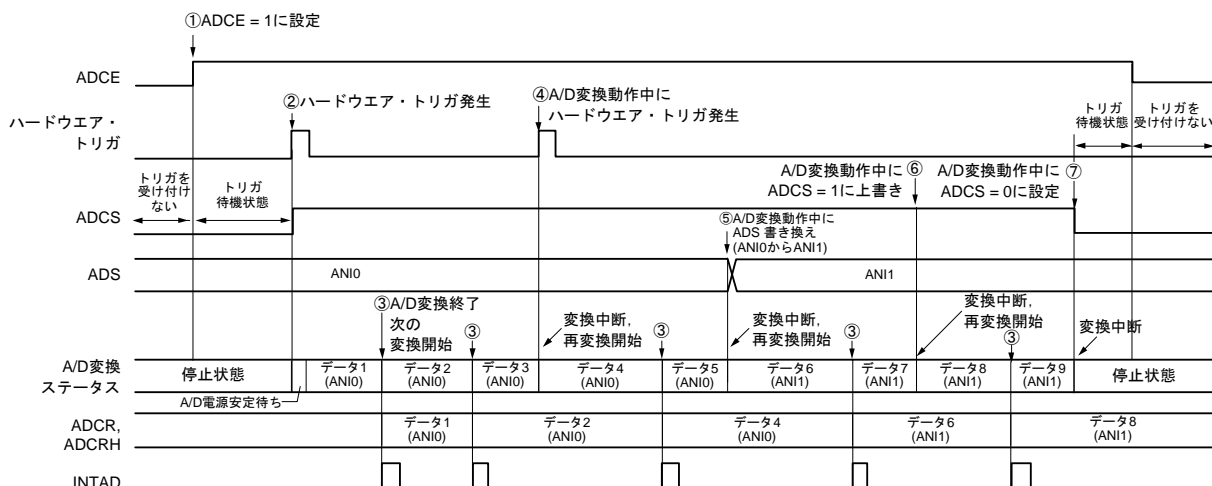


9.6.9 ハードウェア・トリガ・ウェイト・モード (セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します (このとき、ハードウェア・トリガは不要です)。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図9-25 ハードウェア・トリガ・ウェイト・モード (セレクト・モード, 連続変換モード)

動作タイミング例

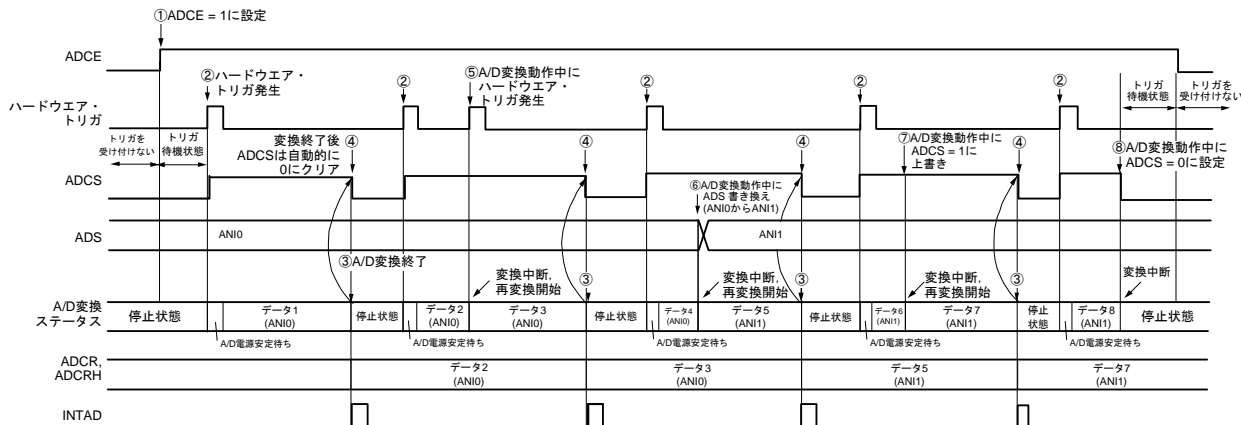


9.6.10 ハードウェア・トリガ・ウェイト・モード (セレクト・モード, ワンショット変換モード)

- ① 停止状態で, A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し, ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で, ハードウェア・トリガが入力されると, アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて, 自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると, 変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し, A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後, ADCSビットは自動的に0にクリアされ, A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合, 現在のA/D変換は中断され, 再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると, 現在のA/D変換は中断され, ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS= 1に上書きすると, 現在のA/D変換は中断され, 再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCS = 0に設定すると, 現在のA/D変換は中断され, ハードウェア・トリガ待機状態となり, A/Dコンバータは停止状態になります。ADCE = 0のとき, ハードウェア・トリガが入力されても無視され, A/D変換は開始しません。

図9-26 ハードウェア・トリガ・ウェイト・モード (セレクト・モード, 連続変換モード)

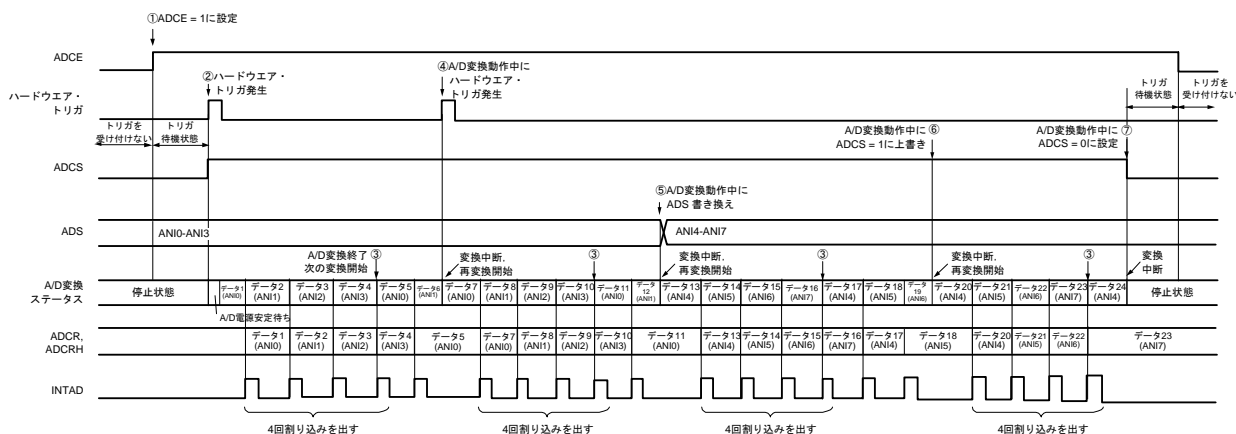
動作タイミング例



9.6.11 ハードウェア・トリガ・ウェイト・モード (スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0~スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

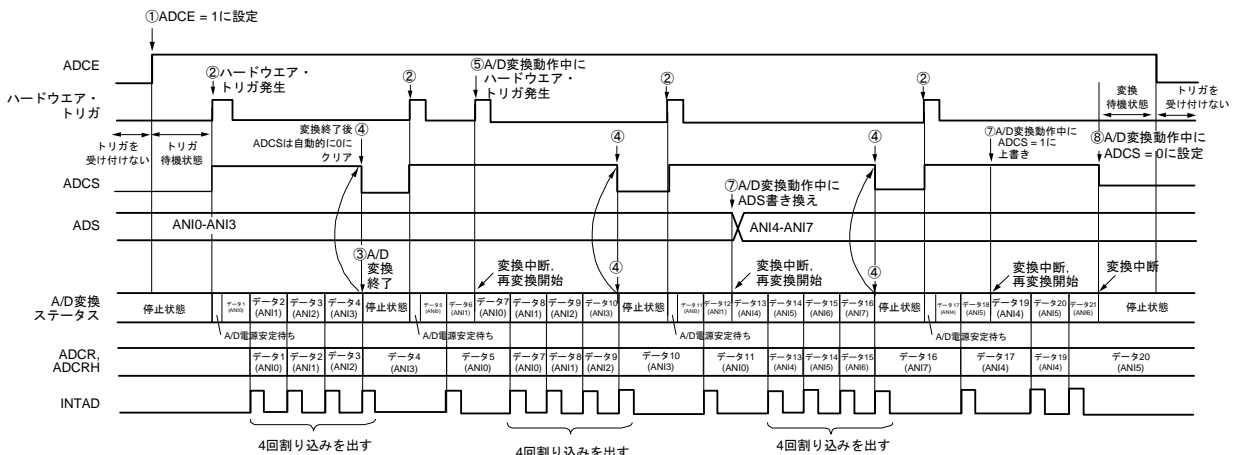
図9-27 ハードウェア・トリガ・ウェイト・モード (スキャン・モード, 連続変換モード)
動作タイミング例



9.6.12 ハードウェア・トリガ・ウエイト・モード
(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0~スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図9-28 ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード)
動作タイミング例

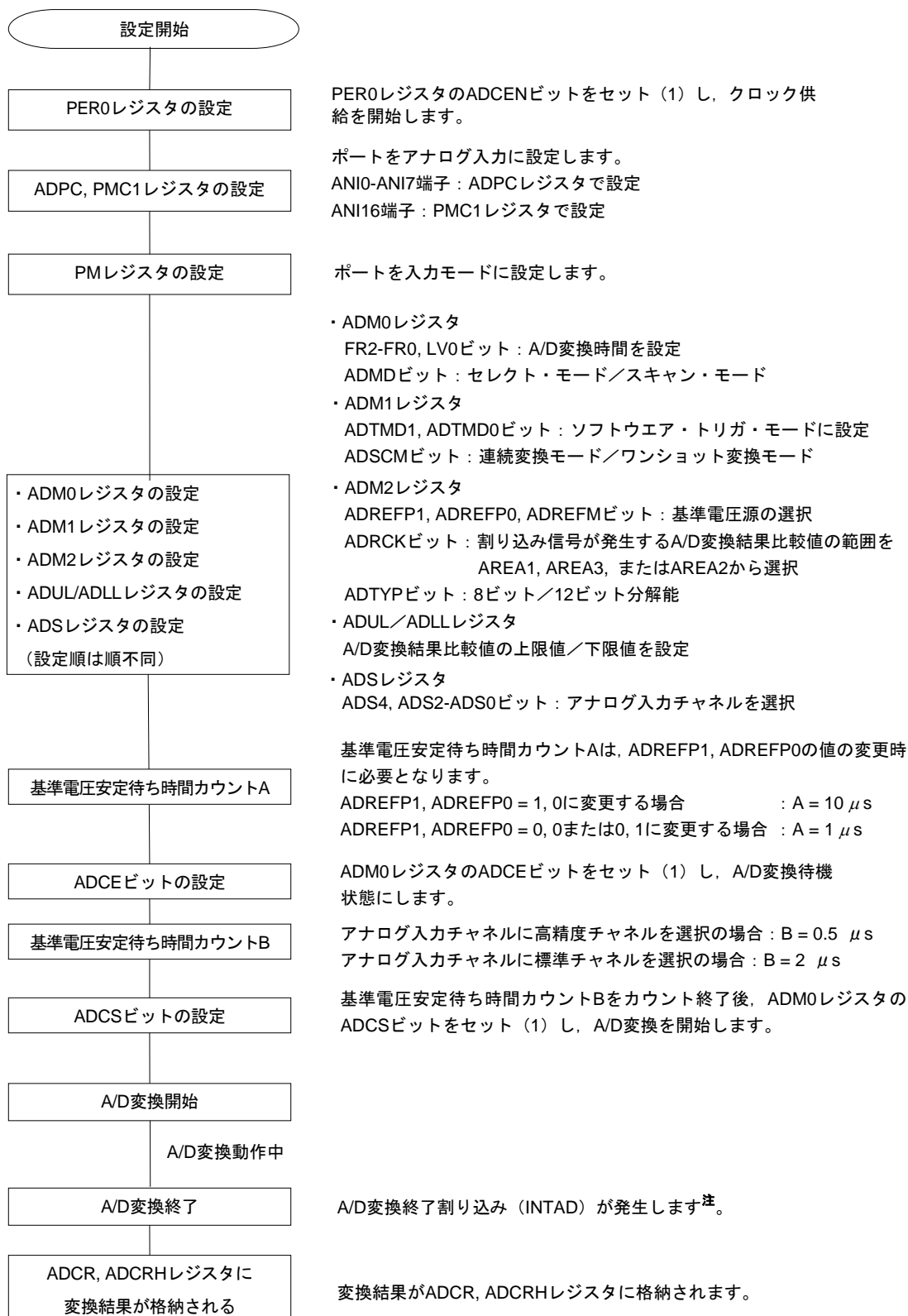


9.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

9.7.1 ソフトウェア・トリガ・モード設定

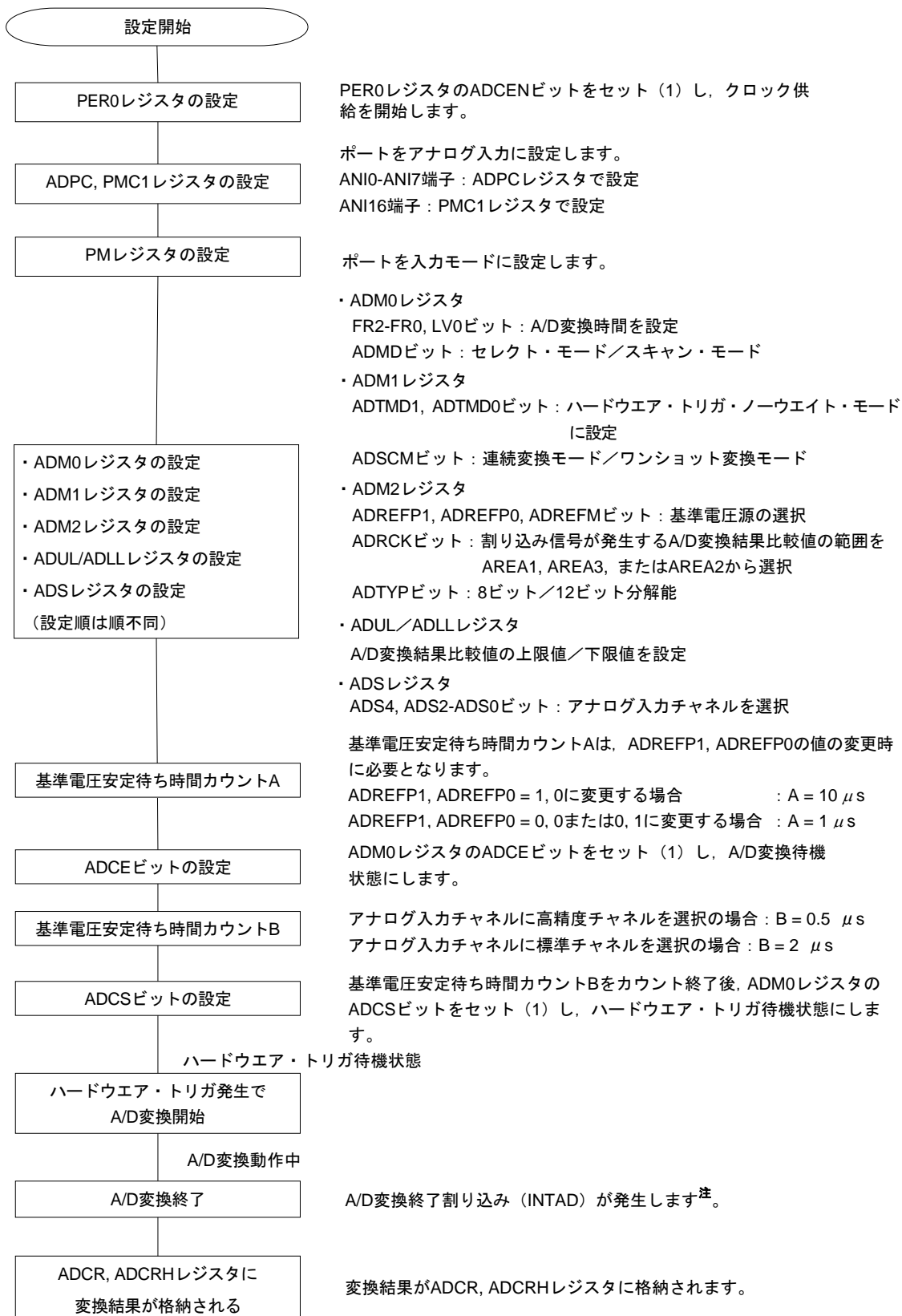
図9-29 ソフトウェア・トリガ・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

9.7.2 ハードウェア・トリガ・ノーウエイト・モード設定

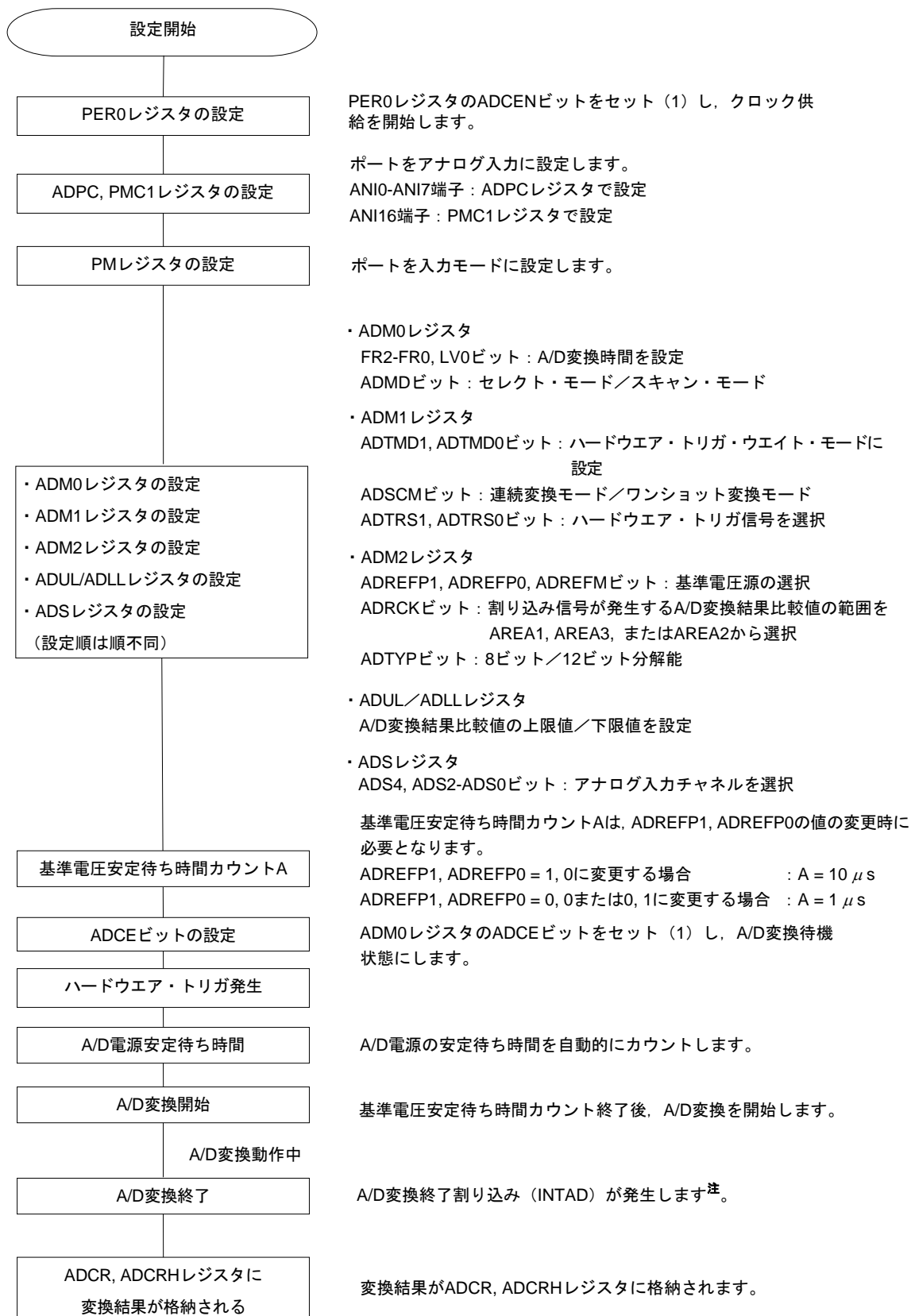
図9-30 ハードウェア・トリガ・ノーウエイト・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

9.7.3 ハードウェア・トリガ・ウエイト・モード設定

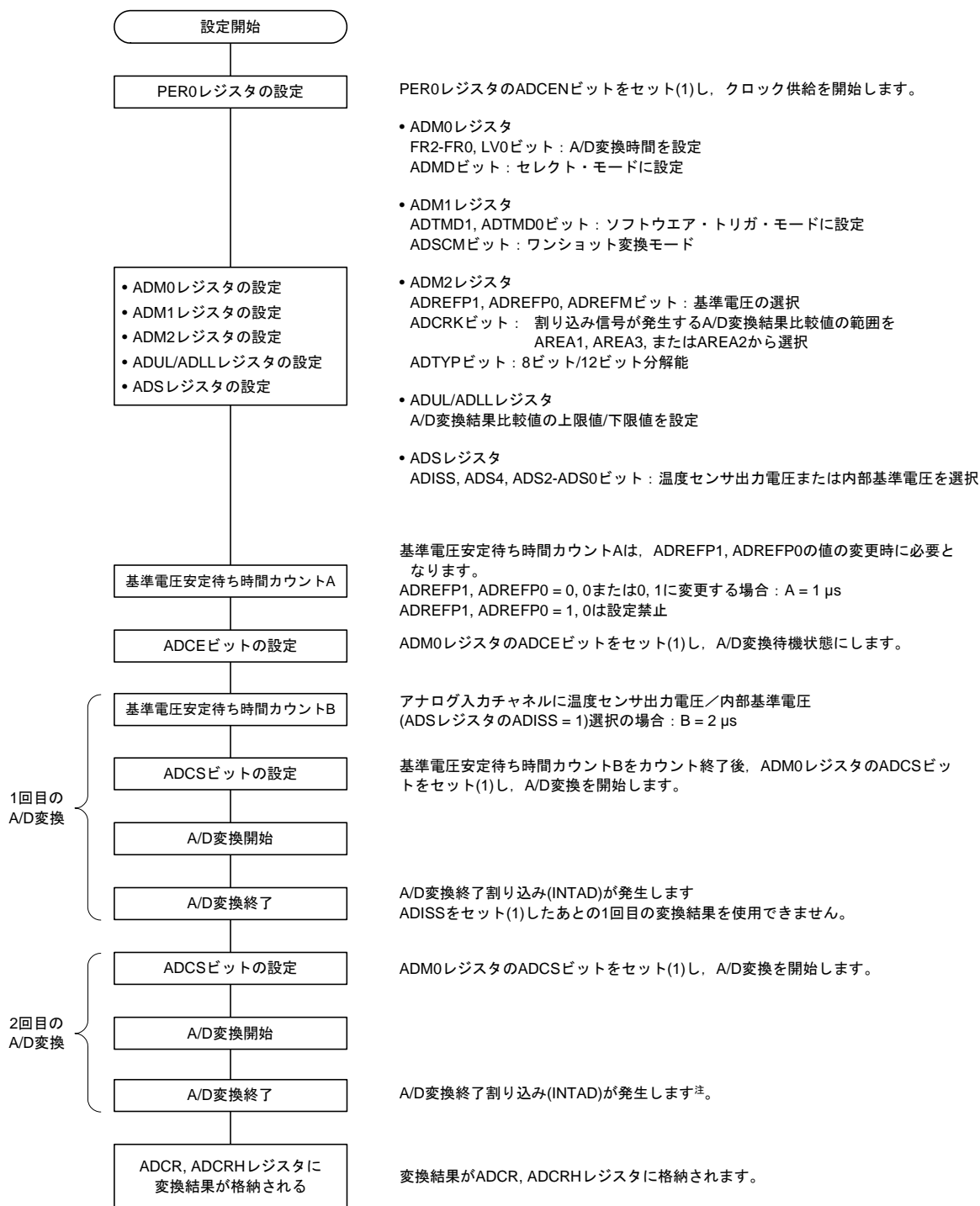
図9-31 ハードウェア・トリガ・ウエイト・モード設定



注 ADCRビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

9.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図9-32 温度センサ出力電圧／内部基準電圧を選択時の設定

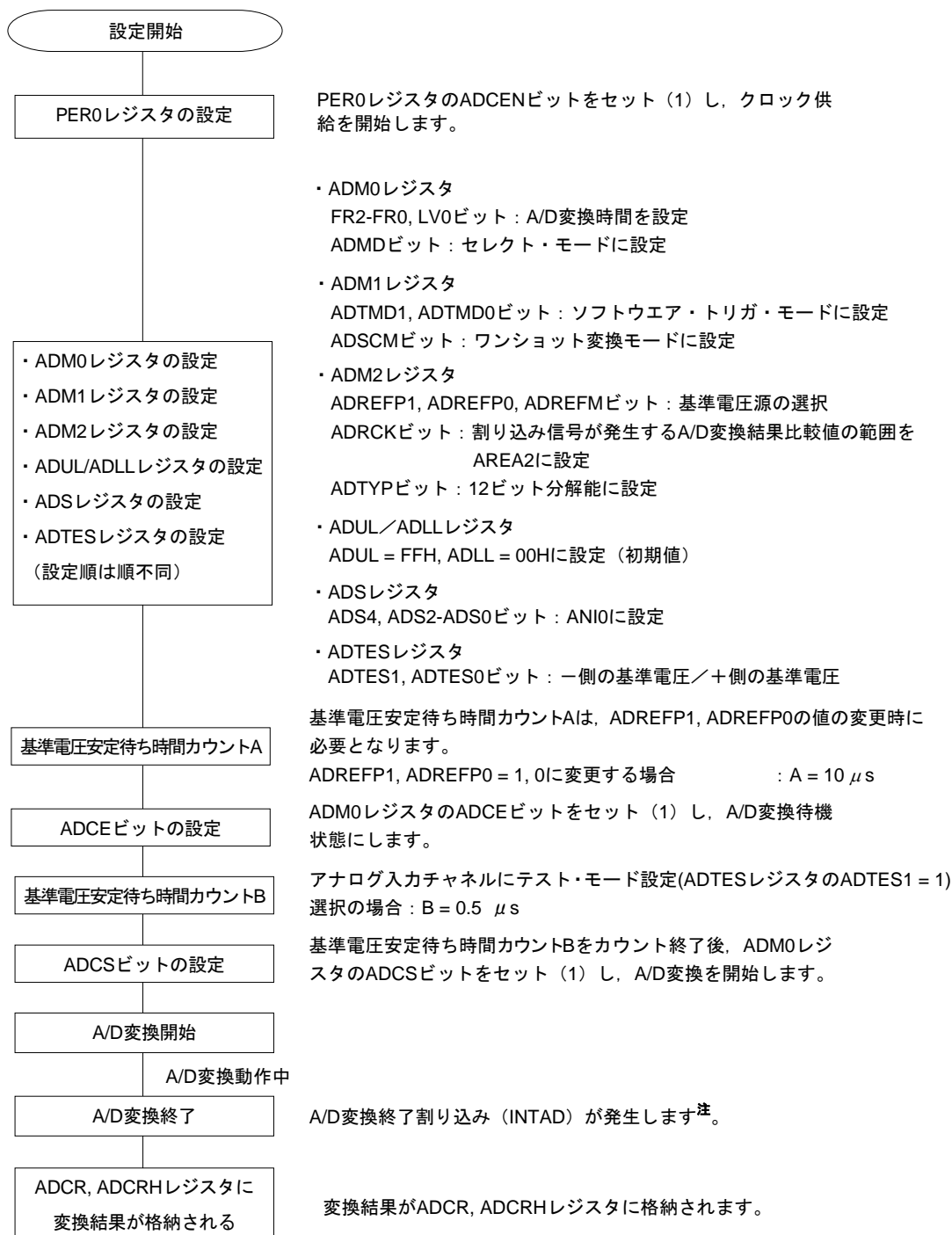


注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 HS (高速メイン) モードでのみ選択可能です。詳細は、図22-3 ユーザ・オプション・バイト (000C2H) のフォーマットを参照してください。

9.7.5 テスト・モード設定

図9-33 テスト・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、20.10 A/Dテスト機能を参照してください。

9.8 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが、このモードを使うことで、ハードウェア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

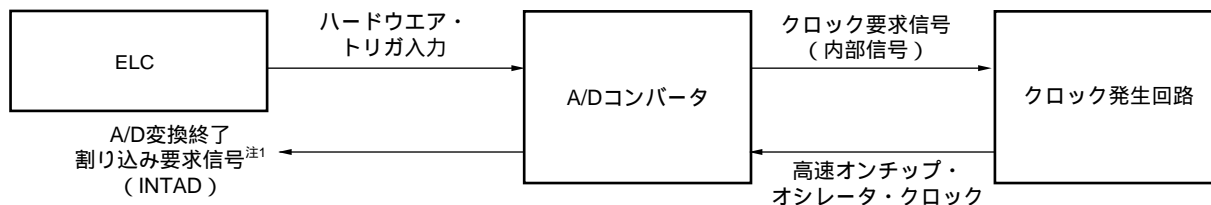
SNOOZEモードでは、ADUL, ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、次の2つの変換モードのみ使用可能です。

- ・ハードウェア・トリガ・ウェイト・モード（セレクト・モード、ワンショット変換モード）
- ・ハードウェア・トリガ・ウェイト・モード（スキャン・モード、ワンショット変換モード）

注意 SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図9-34 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います（9.7.3ハードウェア・トリガ・ウェイト・モード設定を参照^{注2}）。STOPモードへ移行する直前に、A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）に1を設定します。初期設定完了後、A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります^{注1}。

- 注1. A/D変換結果比較機能の設定（ADRCKビット、ADUL/ADLLレジスタ）により、割り込み信号が発生しない場合があります。
2. ADM1レジスタは必ずE1HIに設定してください。

備考 ハードウェア・トリガは、ELCで選択されたイベント信号（INTP0-INTP5のいずれか）です。
ハードウェア・トリガは、A/Dコンバータ・モード・レジスタ1（ADM1）で設定してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲内の場合，A/D変換終了割り込み要求信号（INTAD）は発生します。

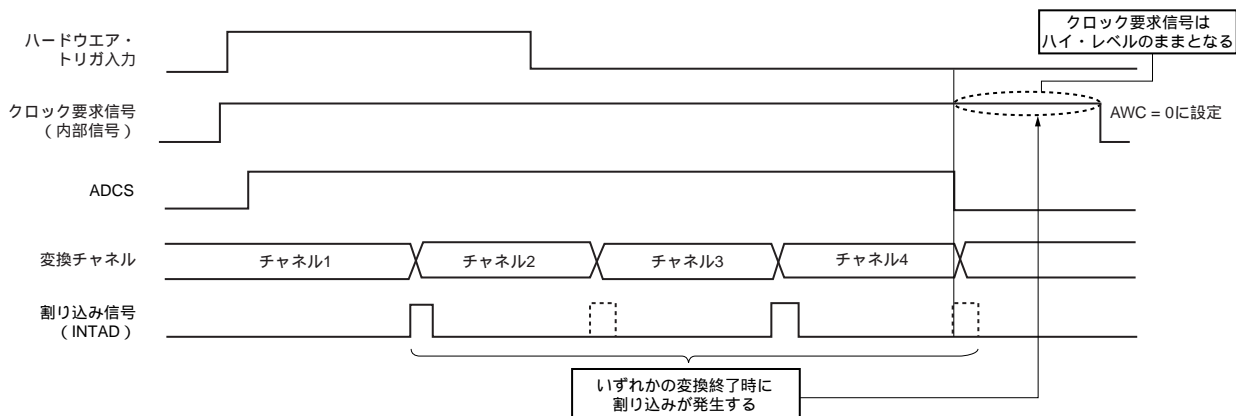
● セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると，A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にAD変換が開始されません

● スキャン・モード時

4チャンネル分のA/D変換で1回でもA/D変換終了割り込み要求信号（INTAD）が発生した場合，A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にAD変換が開始されません。

図9-35 A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

● セレクト・モード時

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウェア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

● スキャン・モード時

4チャンネル分のA/D変換で1回もA/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，4チャンネル分のA/D変換が終了した後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウェア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図9-36 A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）

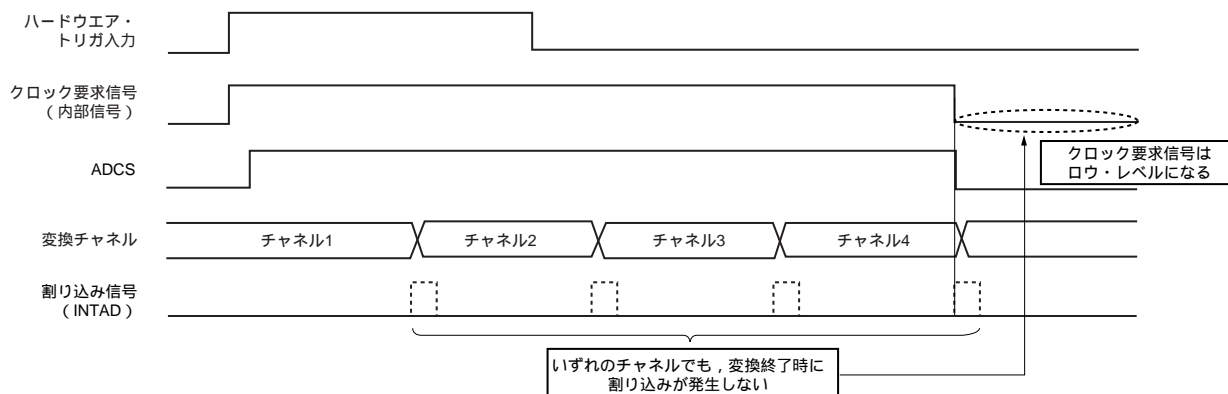
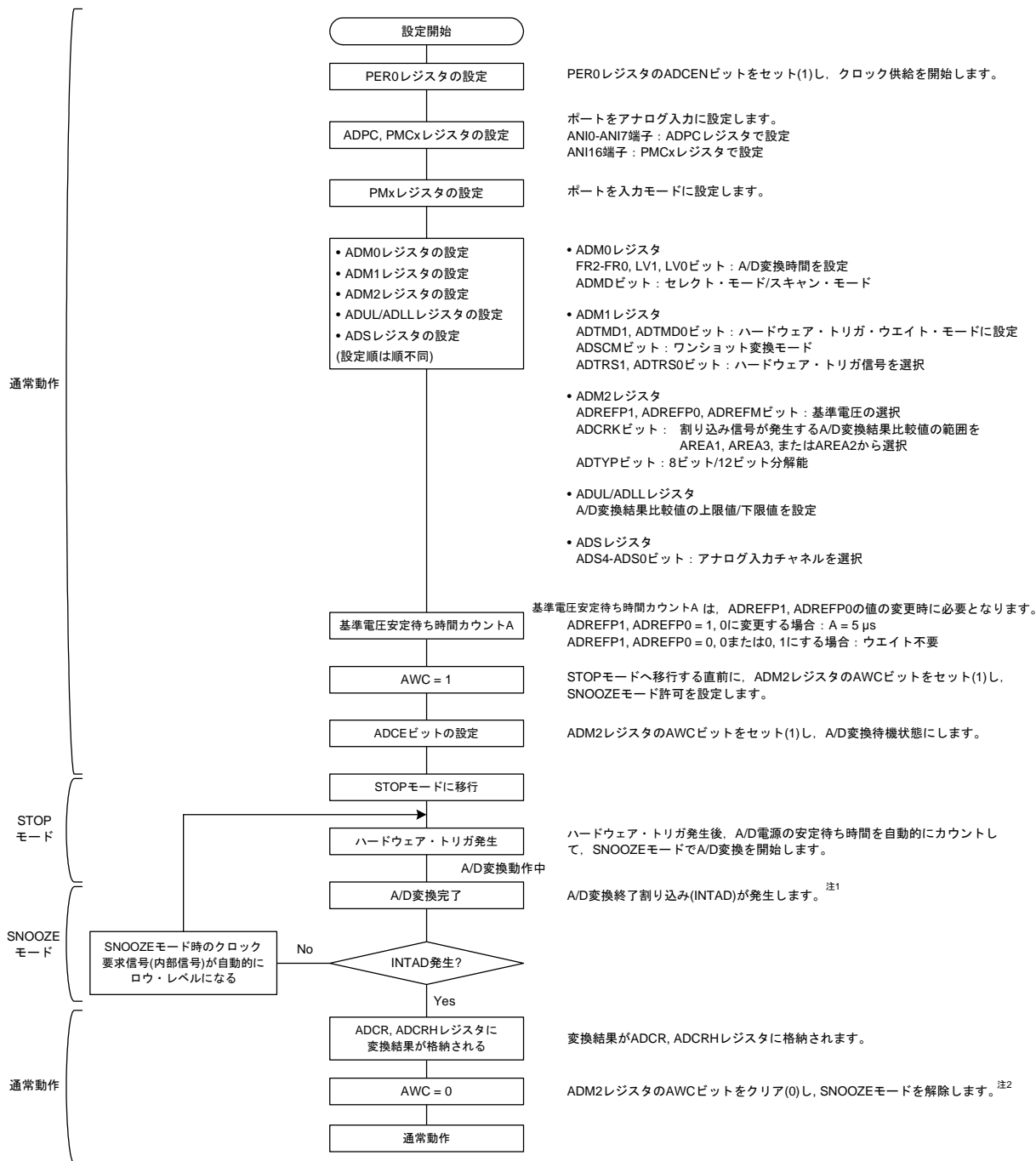


図9-37 SNOOZEモード設定のフローチャート



注1. ADRCKビット, ADUL/ADLLレジスタの設定により、A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合、ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

2. AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

9.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能12ビットのとき

$$1 \text{ LSB} = 1/2^{12} = 1/4096 \\ \approx 0.024 \% \text{FSR}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図9-38 総合誤差

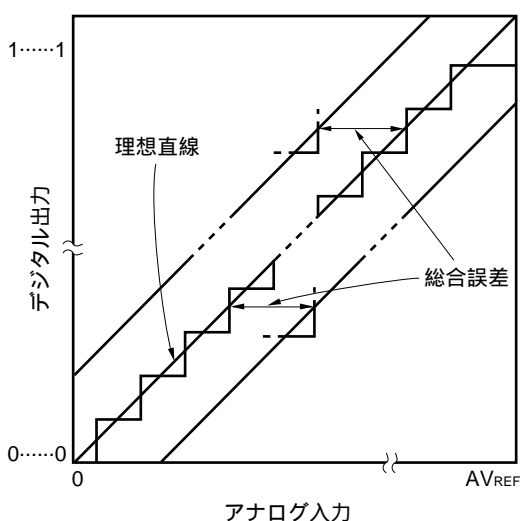
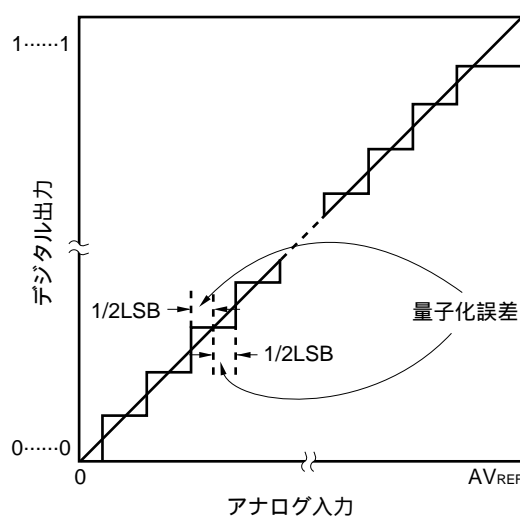


図9-39 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0………000から0………001に変化するときの、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0………001から0………010に変化するときの、アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1………110から1………111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール-3/2 LSB）との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図9-40 ゼロスケール誤差

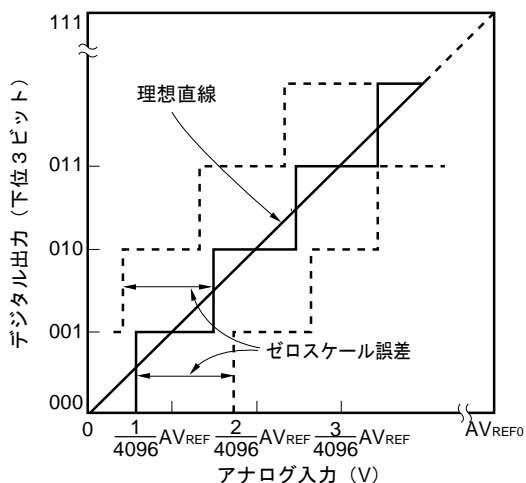


図9-41 フルスケール誤差

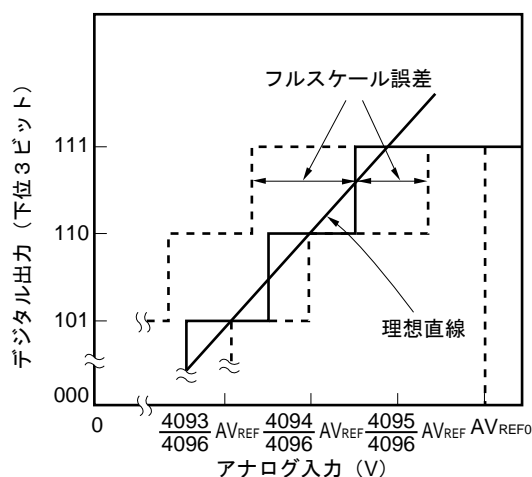


図9-42 積分直線性誤差

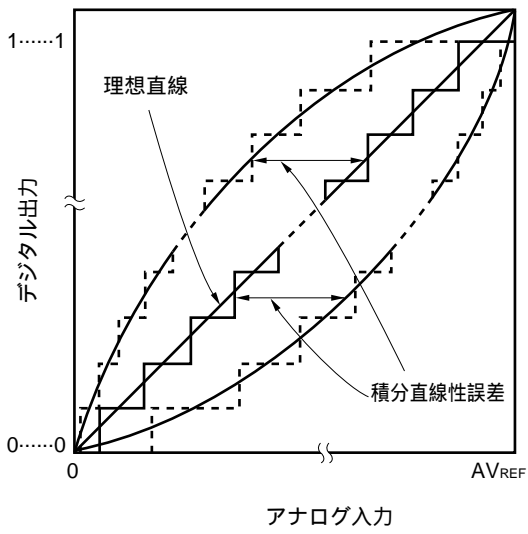
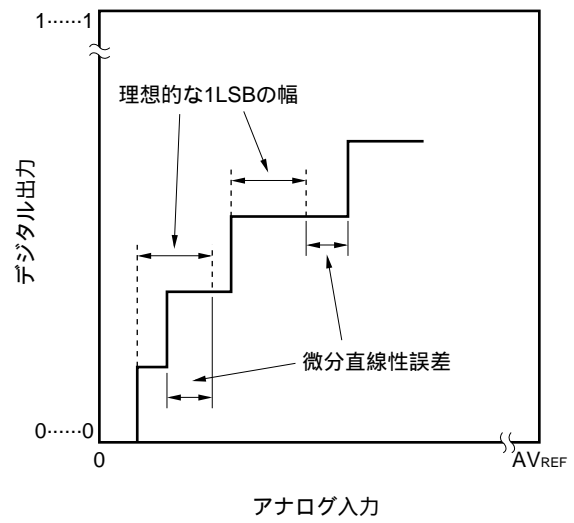


図9-43 微分直線性誤差

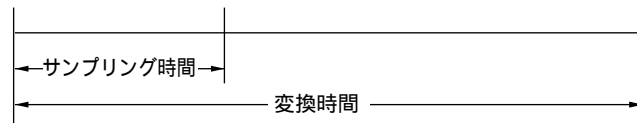


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



9.10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから、動作開始してください。

(2) ANI0-ANI7, ANI16端子入力範囲について

ANI0-ANI7, ANI16端子入力電圧は規格の範囲内でご使用ください。特に V_{DD} , AV_{REFP} 以上, V_{SS} , AV_{REFM} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

内蔵基準電圧（1.45 V）をA/Dコンバータの+側の基準電圧源に選択した場合は、ADSレジスタで選択されている端子には内蔵基準電圧以上の電圧を入れしないでください。ただし、ADSレジスタで選択されていない端子が内蔵基準電圧以上の電圧になっていても問題ありません。

注意 内部基準電圧（1.45 V）は、HS（高速メイン）モードでのみ選択可能です。詳細は、図22-3 ユーザ・オプション・バイト（000C2H）のフォーマットを参照してください。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと、命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0（ADM0）へのライト、アナログ入力チャンネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合

ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

12ビット分解能を保つためには、 AV_{REFP} , V_{DD} , ANI0-ANI7, ANI16端子へのノイズに注意する必要があります。

① V_{DD} - V_{SS} は他の電源と分離し、 V_{DD} - V_{SS} 間に等価抵抗が小さく、周波数応答のよいコンデンサ（0.01 μ F程度）を接続してください。

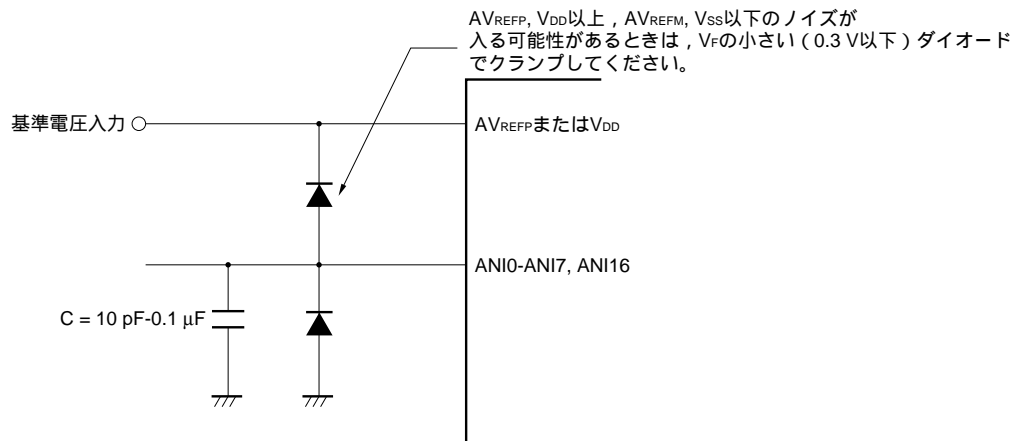
② アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図9-44のようにCを外付けすることを推奨します。

③ 変換中においては、他の端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると、精度が向上します。

⑤ デジタル信号とアナログ信号を交差させたり、近接させずに分離してください。

図9-44 アナログ入力端子の処理



(5) アナログ入力 (ANIn) 端子

- ① ANI0-ANI7端子は、P20-P27端子と兼用になっています。
ANI0-ANI7端子のいずれかを選択してA/D変換をする場合、変換中にP20-P27に対して出力値を変更しないでください。変換精度が低下することがあります。
- ② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は、デジタル信号のように急激に変化するパルスが隣接する端子に入出力されないようにしてください。

(6) アナログ入力 (ANIn) 端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1 k Ω 以下にしてください。出力インピーダンスが1 k Ω 以下にできないときは、サンプリング時間を長く設定するか、ANI0-ANI7, ANI16端子に0.1 μF 程度のコンデンサを付けることを推奨します(図9-44参照)。

また、変換動作中にADCS = 0に設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。そのため、ADCS = 0を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号変化の大きさによらず、アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

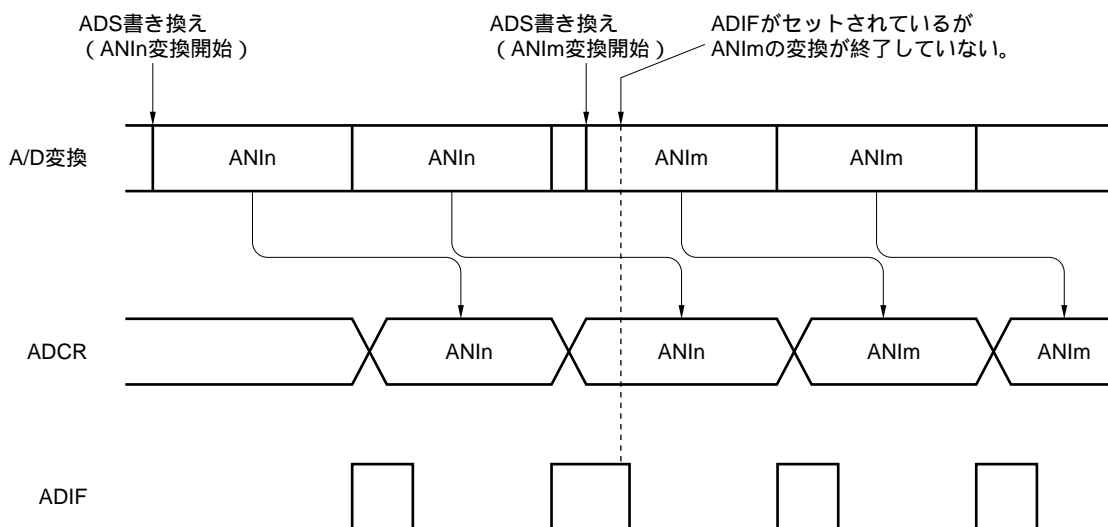
(7) 割り込み要求フラグ (ADIF) について

アナログ入力チャンネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリア (0) してください。

図9-45 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウエイト・モードでADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC)、ポート・モード・コントロール・レジスタ (PMC) に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPC, PMCレジスタに対して書き込み動作を行う前に読み出しを行ってください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図9-46 ANIn端子内部等価回路

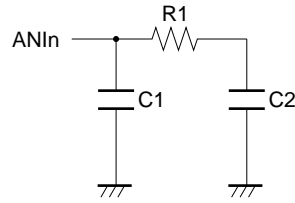


表9-4 等価回路の各抵抗と容量値（参考値）

V_{DD}	ANIn端子	R1[k Ω]	C1[pF]	C2[pF]
$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	ANI0-ANI7	7.4	8	6.3
	ANI16	12.3	8	7.4

備考 表9-4の各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、 AV_{REFP} 、 V_{DD} の電圧が安定してから開始してください。

第10章 D/Aコンバータ

デジタル入力をアナログ信号に変換する10ビット分解能のR-2R方式によるD/Aコンバータで、独立した2chのアナログ出力を制御可能です。

10.1 D/Aコンバータの機能

D/Aコンバータには、次のような機能があります。

- 10ビット分解能 × 2ch
- R-2Rラダー方式
- アナログ出力電圧
 - 10ビット分解能 : $V_{DD} \times m10/1024$ (m10 : DACSiレジスタに設定した値)
- 動作モード
 - 通常モード
 - リアルタイム出力モード

備考 i = 0, 1

10.2 D/Aコンバータの構成

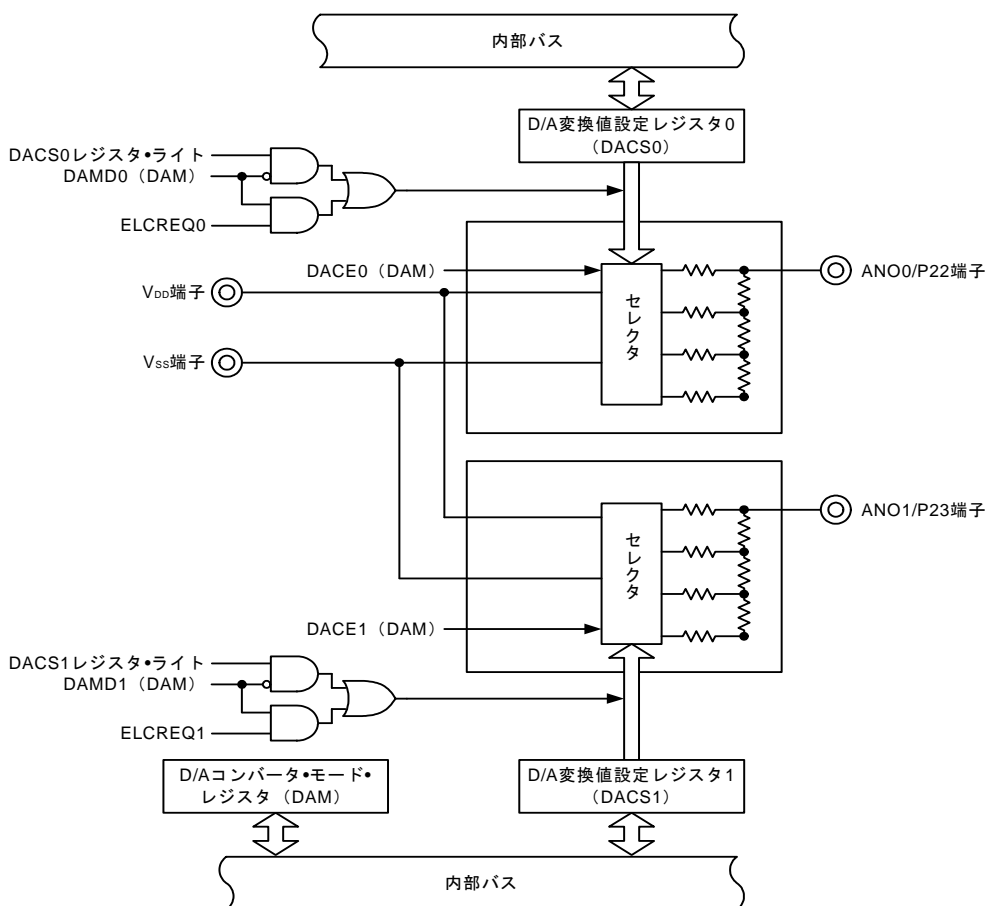
D/Aコンバータは、次のハードウェアで構成されています。

表10-1 D/Aコンバータの構成

項目	構成
制御レジスタ	A/Dポート・コンフィギュレーション・レジスタ (ADPC) 周辺イネーブル・レジスタ1 (PER1) D/Aコンバータ・モード・レジスタ (DAM) D/A変換値設定レジスタ0, 1 (DACS0, DACS1) ポート・モード・レジスタ2 (PM2)

D/Aコンバータのブロック図を図10-1に示します。

図10-1 D/Aコンバータのブロック図



備考 ELCREQ0, ELCREQ1は、リアルタイム出力モードに使用するトリガ信号 (ELCからのリクエスト信号) です。

10.3 D/Aコンバータで使用するレジスタ

D/Aコンバータは、次のレジスタを使用します。

- A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- 周辺イネーブル・レジスタ1 (PER1)
- D/Aコンバータ・モード・レジスタ (DAM)
- D/A変換値設定レジスタ0, 1 (DACS0, DACS1)
- ポート・モード・レジスタ2 (PM2)

10.3.1 A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI7/P27端子をアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0076H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	ADPC7 ^注	ADPC6 ^注	ADPC5 ^注	ADPC4 ^注	ADPC3	ADPC2	ADPC1	ADPC0

ADPCn	P2n/ANI2nのアナログ出力 (A) / デジタル入出力 (D) の選択
0	アナログ入力 (A) (デフォルト)
1	デジタル入出力 (D)

注 32ピン製品のみ

注意1. D/A変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。

2. ADPCレジスタでデジタル入出力として設定する端子を、D/Aコンバータ・モード・レジスタ (DAM) でD/A変換動作許可に設定しないでください。

10.3.2 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

D/Aコンバータを使用するときは、必ずビット7 (DACEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-3 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	0	0	0	0	0	0

DACEN	D/Aコンバータの入カクロックの制御
0	入カクロック供給停止 ・ D/Aコンバータで使用するSFRへのライト不可 ・ D/Aコンバータはリセット状態
1	入カクロック供給 ・ D/Aコンバータで使用するSFRへのリード／ライト可

注意1. D/Aコンバータの設定をする際には、必ず最初にDACEN = 1の設定を行ってください。

DACEN = 0の場合は、D/Aコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ2 (PM2) , ポート・レジスタ2 (P2) は除く)。

2. ビット0-6には必ず“0”を設定してください。

10.3.3 D/Aコンバータ・モード・レジスタ (DAM)

D/Aコンバータの動作を制御するレジスタです。

DAMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-4 D/Aコンバータ・モード・レジスタ (DAM) のフォーマット

アドレス : FFF5CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DAM	—	—	DACE1	DACE0	—	—	DAMD1	DAMD0

DACEi	D/Aコンバータの変換動作の制御
0	D/A変換動作停止
1	D/A変換動作許可

DAMDi	D/Aコンバータの動作モードの選択
0	通常動作モード
1	リアルタイム出力モード

備考 i = 0, 1

10.3.4 D/A変換値設定レジスタi (DACS_i) (i = 0, 1)

D/Aコンバータを使用する場合、ANO0, ANO1端子に出力するアナログ電圧値を設定するレジスタです。

DACS_iレジスタは、16ビット・メモリ操作命令で設定します。

リセットにより、00Hになります。

図10-5 D/A変換値設定レジスタi (DACS_i) (i = 0, 1) のフォーマット

アドレス : FFF58H, FFF59H (DACS0) , FFF5AH, FFF5BH (DACS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACS _i	0	0	0	0	0	0	DAC	DAC	DAC	DAC	DAC	DAC	DAC	DAC	DAC	DAC
							Si9	Si8	Si7	Si6	Si5	Si4	Si3	Si2	Si1	Si0

備考 D/Aコンバータのアナログ出力電圧 (VANO_i) は、次のようになります。

$$VANO_i = \text{D/Aコンバータ用基準電圧} \times (\text{DACS}_i) / 1024$$

D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDACE_iビットを0 (出力禁止) にし、DACS_iレジスタを00Hにして、R-2Rの抵抗に電流が流れないようにしてください。

10.3.5 ポート・モード・レジスタ2 (PM2)

ANO0/ANI2/P22, ANO1/ANI3/P23端子をアナログ入力ポートとして使用するとき、PM22, PM23ビットにそれぞれ1を設定してください。

PM22, P23ビットにそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。PM2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は、端子レベルではなく常に0が読み出されます。

図10-6 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス : FFF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26 ^注	PM25 ^注	PM24 ^注	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 24ピン製品には搭載されていません。

ANO0/ANI2/P22, ANO1/ANI3/P23端子の機能は、A/Dポート・コンフィギュレーション・レジスタ (ADPC), D/Aコンバータ・モード・レジスタ (DAM), アナログ入力チャネル指定レジスタ (ADS), PM2レジスタの設定で決定します。

表10-2 ANO0/ANI2/P22, ANO1/ANI3/P23端子機能の設定

ADPC	PM2	DAM	ADS	ANO0/ANI2/P22, ANO1/ANI3/P23 端子機能
デジタル入出力選択	入力モード	—	—	デジタル入力
	出力モード	—	—	デジタル出力
アナログ入出力選択	入力モード	D/A変換動作許可	ANI選択	設定禁止
			ANI非選択	アナログ出力
		D/A変換動作停止	ANI選択	アナログ入力 (A/D変換対象)
			ANI非選択	アナログ入力 (A/D変換非対象)
	出力モード	D/A変換動作許可	ANI選択	設定禁止
			ANI非選択	
D/A変換動作停止	ANI選択			
	ANI非選択			

10.4 D/Aコンバータの動作

10.4.1 通常モード時の動作

DACSiレジスタへのライト動作を起動トリガとして、D/A変換を行います。

以下にその設定動作を示します。

- ① PER1レジスタ（周辺イネーブル・レジスタ1）のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。
- ② ADPCレジスタ（ポート・コンフィギュレーション・レジスタ）でポートをアナログ端子に設定します。
- ③ DAMレジスタ（D/Aコンバータ・モード・レジスタ）のDAMDiビットを0（通常モード）に設定します。
- ④ DACSiレジスタ（D/A変換値設定レジスタi）に、ANOi端子出力するアナログ電圧値を設定します。

以上①～④を初期設定として行います。

- ⑤ DAMレジスタのDACEiビットを1（D/A 変換動作許可）に設定します。

これによりD/A変換を開始し、セトリング・タイム経過後、ANOi端子に④にて設定したアナログ電圧を出力します。

- ⑥ 以降、D/A変換を行う場合は、DACSiレジスタへのライト動作を行います。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

また、DAMレジスタのDACEiビット = 0（D/A変換動作停止）に設定すると、D/A変換を停止します。

ADPCレジスタでポートをデジタル端子に設定した場合、ANOi端子はポートのPM2レジスタPM2i ビット = 1（入力モード）でハイ・インピーダンスになり、PM2i ビット = 0（出力モード）でP2レジスタの設定値が出力されます。

注意1. DACEiビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、ウェイト時間が発生します。

2. セトリング・タイム中にDACSiレジスタを書き換えた場合、変換を中断し、書き換えた値で変換を再開します。

備考 i = 0, 1

10.4.2 リアルタイム出力モード時の動作

D/Aコンバータの各チャンネルはELCからの独立した要求信号を起動トリガとして、D/A変換を行います。

以下に、その設定方法を示します。

- ① PER1レジスタ（周辺イネーブル・レジスタ1）のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。
- ② ADPCレジスタ（ポート・コンフィギュレーション・レジスタ）でポートをアナログ端子に設定します。
- ③ DAMレジスタ（D/Aコンバータ・モード・レジスタ）のDAMDiビットを0（通常モード）に設定します。
- ④ DACSiレジスタ（D/A変換値設定レジスタi）に、ANOi端子出力するアナログ電圧値を設定します。
- ⑤ DAMレジスタのDACEiビットを1（D/A変換動作許可）に設定します。

これによりD/A変換を開始し、セトリング・タイム経過後、ANOi端子に③にて設定したアナログ電圧を出力します。

- ⑥ ELSELR（ELC制御レジスタ）で、リアルタイムトリガ信号を設定します。
- ⑦ DAMレジスタのDAMDiビットを1（リアルタイム出力モード）に設定します。
- ⑧ ELC要求元の動作を開始します。

以上①～⑧を初期設定として行います。

- ⑨ 以降、リアルタイム出力トリガの発生により、D/A変換を開始し、セトリング・タイム経過後、ANOi端子に④にて設定したアナログ電圧を出力します。

なお、次のD/A変換を行う（リアルタイム出力トリガ発生）前までにANOi端子に出力するアナログ電圧値をDACSiレジスタに設定します。

なお、次のD/A変換を行う（ELCトリガ信号が発生する）前までに、DACSiレジスタに、ANOi端子に出力するアナログ電圧値を設定してください。

また、DAMレジスタのDACEiビット = 0（D/A変換動作停止）に設定すると、D/A変換を停止します。

ADPCレジスタでポートをデジタル端子に設定した場合、ANOi端子はポートのPM2レジスタのPM2iビット = 1（入力モード）でハイ・インピーダンスになり、PM2iビット = 0（出力モード）でP2レジスタの設定値が出力されます。

注意1. DACEiビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、ウェイト時間が発生します。

2. ELCイベント要求トリガ信号の発生間隔は、セトリング・タイムよりも長くしてください。セトリング・タイム中にELCイベント要求トリガ信号が発生した場合、D/A変換を中断し、再変換を開始します。
3. ELCイベント要求トリガ信号の発生とDACSiレジスタの書き換えのタイミングが競合しても、D/A変換結果は正常に出力されます。

10.5 D/Aコンバータ使用上の注意事項

D/Aコンバータを使用する際の注意事項を以下に示します。

- (1) ADPCレジスタ（ポート・コンフィギュレーション・レジスタ）でポートをアナログ端子に設定している場合は、ANO0, ANO1端子と兼用するデジタル・ポートの入出力機能は動作しません。ADPCレジスタでポートをアナログ端子に設定中にP2レジスタをリードしても、入力モード時は0、出力モード時はP2の設定値が読み出されます。また、デジタル出力モードとして設定しても、端子には出力データは出力されません。
- (2) HALTモード時とSTOPモード時に、D/Aコンバータの動作は継続します。消費電力を低減させるためには、DACEiビットを0にクリアし、D/A変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

備考 $i = 0, 1$

- (3) リアルタイム出力モードを停止する場合（通常モードへ変更する場合を含む）には次のいずれかの手順で行う必要があります。
 - トリガ出力元を停止させてから3クロック以上待ってからDACEiビットおよびDAMD_iビットを0にする。
 - DACEiビットおよびDAMD_iビットを0にした後、PER1レジスタのDACENビットを0にする。（DAC停止）
 - DACENビットを0にした場合、DAC内部の全レジスタがクリアされるため再度動作させる場合は各SFRの設定が必要となります
- (4) D/A変換動作許可時に、ANO0, ANO1端子と兼用するアナログ入力端子からA/D変換を行わないでください。
- (5) リアルタイム出力モード時は、タイマ・トリガ発生前までにDACS_iレジスタ値を設定するようにしてください。
またトリガ信号が出ている間にDACS_iレジスタの設定値を変更しないでください。

第11章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニット0は1つのユニットに1つのシリアル・チャンネルを持ちます。3線シリアル（CSI）、UARTの通信機能を実現できます。

RL78/G1Pで対応している各チャンネルの機能割り当ては、次のようになっています。

ユニット	チャンネル	CSIとして使用	UARTとして使用
0	0	CSI00(スレーブセレクト 入力機能対応)	UART0
	1	—	

UART0を使用するときは、CSI00を使用することはできません。

11.1 シリアル・アレイ・ユニットの機能

RL78/G1Pで対応している各シリアル・インタフェースの特徴を示します。

11.1.1 3線シリアルI/O (CSI00)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信/受信を行います。

シリアル・クロック (SCK) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は, 「11.5 3線シリアルI/O (CSI00) 通信の動作」を参照してください。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート^注 マスタ通信時 : Max. $f_{MCK}/2$
スレーブ通信時 : Max. $f_{MCK}/6$

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

また, CSI00は, SNOOZEモードに対応しています。SNOOZEモードとは, STOPモード状態でSCK入力を検出すると, CPU動作を必要とせずにデータ受信を行う機能です。

注 SCKサイクル・タイム (t_{CKCY}) の特性を満たす範囲内で使用してください (第27章 電気的特性を参照)

11.1.2 UART (UART0)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ポー・レートを使用して) データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全2重UART通信が実現できます。

[データ送受信]

- ・ 7, 8, 9ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、UART0は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応しています。

11.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表11-1 シリアル・アレイ・ユニットの構成

項 目	構 成
シフト・レジスタ	9ビット
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) の下位9ビット ^注
シリアル・クロック入出力	SCK00端子 (3線シリアルI/O用)
シリアル・データ入力	SI00端子 (3線シリアルI/O用), RxD0端子 (UART用)
シリアル・データ出力	SO00端子 (3線シリアルI/O用), TxD0端子 (UART用), 出力制御回路
スレーブ選択入力	SSI00端子 (スレーブセレクト入力機能用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・シリアル・クロック選択レジスタm (SPSm) ・シリアル・チャンネル許可レジスタm (SEm) ・シリアル・チャンネル開始レジスタm (SSm) ・シリアル・チャンネル停止レジスタm (STm) ・シリアル出力許可レジスタm (SOEm) ・シリアル出力レジスタm (SOm) ・シリアル出力レベル・レジスタm (SOLm) ・シリアル・スタンバイ・コントロール・レジスタm (SSCm) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・シリアル・データ・レジスタmn (SDRmn) ・シリアル・モード・レジスタmn (SMRmn) ・シリアル通信動作設定レジスタmn (SCRmn) ・シリアル・ステータス・レジスタmn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) <p>・ポート・モード・レジスタ3 (PM3)</p> <p>・ポート・レジスタ3 (P3)</p>

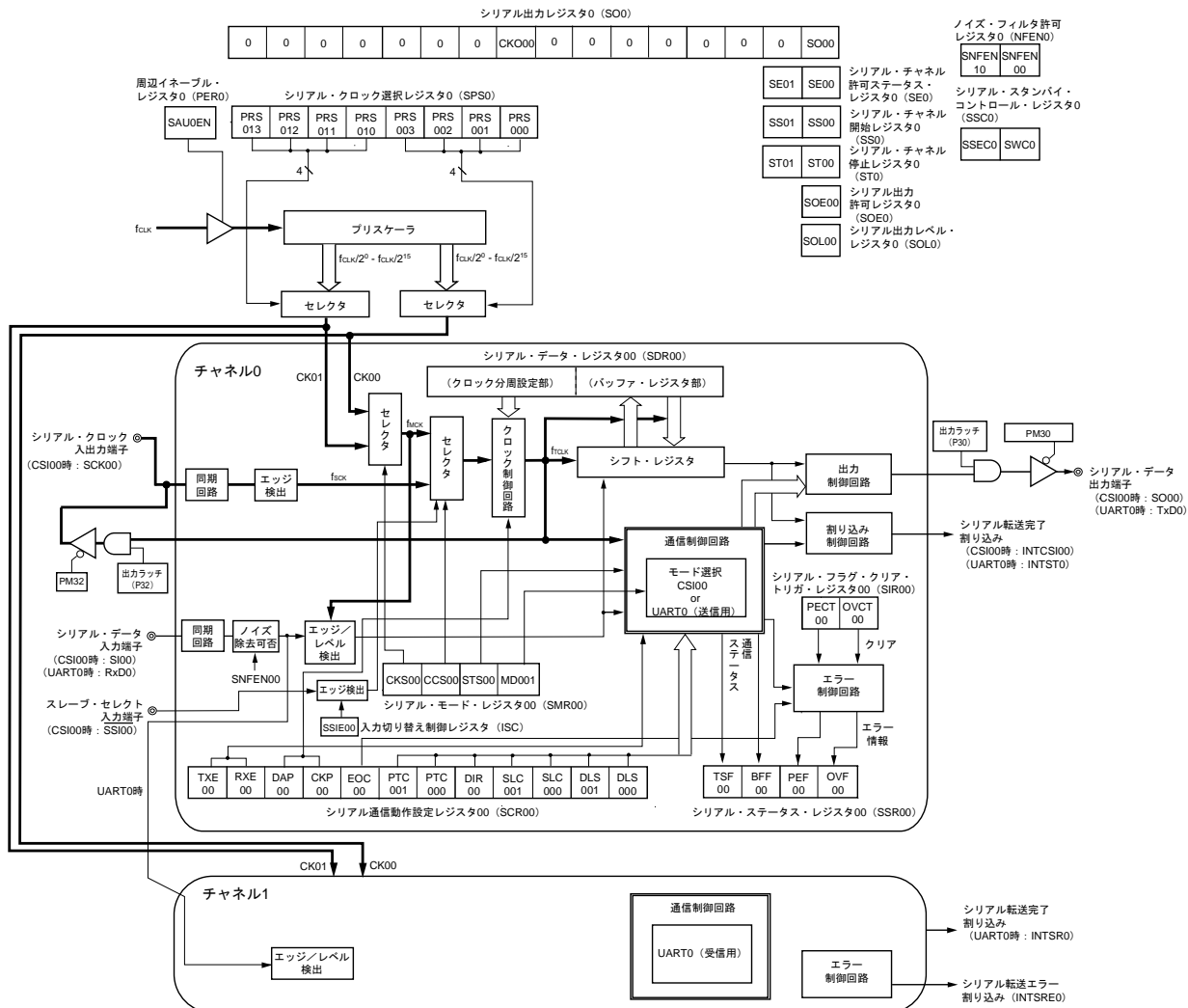
注 シリアル・データ・レジスタmn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

- ・ CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・ UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・ UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00)
q : UART番号 (q = 0)

図11-1にシリアル・アレイ・ユニット0のブロック図を示します。

図11-1 シリアル・アレイ・ユニット0のブロック図



11.2.1 シフト・レジスタ

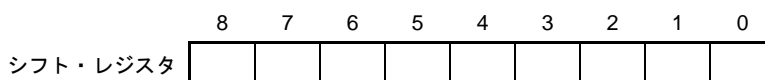
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット（ビット0～8）を使用します。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn（SDRmn）の下位8/9ビットを使用します。



11.2.2 シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。

ビット8-0（下位9ビット）、またはビット7-0（下位8ビット）は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタmn（SCRmn）のビット0, 1（DLSmn0, DLSmn1）の設定によって、次のようになります。

- ・7ビット・データ長（SDRmnレジスタのビット0-6に格納）
- ・8ビット・データ長（SDRmnレジスタのビット0-7に格納）
- ・9ビット・データ長（SDRmnレジスタのビット0-8に格納）

SDRmnレジスタは16ビット単位でリード/ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^注です。

- ・ CSIp通信時・・・SIOp（CSIpデータ・レジスタ）
- ・ UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）
- ・ UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）

リセット信号の発生により、SDRmnレジスタは0000HIになります。

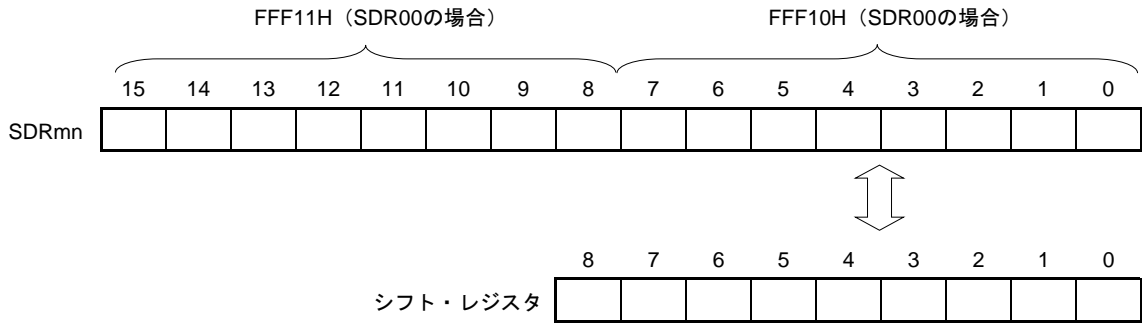
注 ただし動作停止（SEmn = 0）時は、8ビット単位のライト禁止

備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

2. m: ユニット番号 (m = 0) n: チャンネル番号 (n = 0, 1) p: CSI番号 (p = 00) q: UART番号 (q = 0)

図11-2 シリアル・データ・レジスタmn (SDRmn) (mn = 00) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01)



備考 SDRmnレジスタの上位7ビットの機能については、11.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

11.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタm (SSCm)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ3 (P3)

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

11.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図11-3 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IICA1EN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1 の状態で、下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります（入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ0 (NFEN0)、ポート・モード・レジスタ3 (PM3)、ポート・レジスタ3 (P3) は除く）。

- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタm (SSCm)

2. ビット7, 3, 1には必ず“0”を設定してください。

11.3.2 シリアル・クロック選択レジスタm (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図11-4 シリアル・クロック選択レジスタm (SPSm) のフォーマット

アドレス : F0126H, F0127H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk) の選択 ^注	動作クロック (CKmk) の選択 ^注				
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	f _{CLK} = 32 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	f _{CLK} /2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	f _{CLK} /2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注 シリアル・アレイ・ユニット (SAU) 動作中にf_{CLK}で選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAUの動作を停止 (シリアル・チャンネル停止レジスタm (STm) = 000FH) させてから変更してください。

注意 ビット15-8には、必ず0を設定してください。

- 備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数
 2. m : ユニット番号 (m = 0)
 3. k = 0, 1

11.3.3 シリアル・モード・レジスタmn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{mck}) の選択, シリアル・クロック (f_{sck}) 入力の使用可否, スタート・トリガ設定, 動作モード (CSI, UART) 設定, 割り込み要因の選択を行います。またUARTモード時のみ, 受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図11-5 シリアル・モード・レジスタmn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) , F0112H, F0113H (SMR01) , リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn ^注	0	SIS mn0 ^注	1	0	0	0	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (f _{mck}) の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック (f _{mck}) は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (f _{tclk}) を生成します。	

CCS mn	チャンネルnの転送クロック (f _{tclk}) の選択
0	CKSmnビットで指定した動作クロックf _{mck} の分周クロック
1	SCKp端子からの入力クロックf _{sck} (CSIモードのスレーブ転送)
転送クロックf _{tclk} は、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (f _{mck}) の分周設定を行います。	

STS mn ^注	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (CSI, UART送信時に選択)
1	RxDq端子の有効エッジ (UART受信時に選択)
SSmレジスタに1を設定後、上記の要因が満たされてから転送開始となります。	

注 SMR01レジスタのみ。

注意 ビット13-9, 7, 4-2 (SMR00レジスタの場合は、ビット13-6, 4-2) には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00) q : UART番号 (q = 0)

図11-5 シリアル・モード・レジスタmn (SMRmn) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) , F0112H, F0113H (SMR01) , リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn ^注	0	SIS mn0 ^注	1	0	0	0	MD mn1	MD mn0

SIS mn0 注	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD mn1	チャンネルnの動作モードの設定
0	CSIモード
1	UARTモード

MD mn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注 SMR01レジスタのみ。

注意 ビット13-9, 7, 4-2 (SMR00レジスタの場合は、ビット13-6, 4-2) には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00) q : UART番号 (q = 0)

11.3.4 シリアル通信動作設定レジスタmn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCRmnレジスタは0087HIになります。

図11-6 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) , F011AH, F011BH (SCR01) , リセット時 : 0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 ^{注1}	SLC mn0	0	1	DLSm n1	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

UARTモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号 (INTSREx (x = 0)) のマスク制御
0	エラー割り込みINTSRExの発生を禁止する (INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時, INTSRxは発生しない)

CSIモード, UART送信時には、EOCmn = 0に設定してください^{注2}。

注1. SCR00レジスタのみ。

2. CSImnをEOCmn = 0で使用しない場合、エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください (SCR01レジスタはビット5も0に設定してください)。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00)

図11-6 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) , F011AH, F011BH (SCR01) , リセット時 : 0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 ^{注1}	SLC mn0	0	1	DLSm n1	DLS mn0

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 ^{注2}	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

CSIモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	CSI, UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

SLCm n1 ^{注1}	SLC mn0	UARTモードでのストップ・ビットの設定	
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット (mn = 00のみ)	
1	1	設定禁止	

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みが発生します。
 UART受信時には、1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。
 CSIモード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。
 UART送信時は、1ビット (SLCmn1, SLCmn0 = 0, 1) 又は2ビット (SLCmn1, SLCmn0 = 1, 0) に設定してください。

DLSm n1 ^{注2}	DLS mn0	CSI, UARTモードでのデータ長の設定	
0	1	9ビット・データ長 (SDRmnレジスタのビット0-8に格納) (UARTモード時のみ選択可)	
1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)	
1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)	
その他		設定禁止	

注1. SCR00レジスタのみ。

2. データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には、必ず0を設定してください (SCR01レジスタはビット5も0に設定してください)。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00)

11. 3. 5 シリアル・データ・レジスタmn（SDRmn）の上位7ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。

SDR00, SDR01のビット8-0（下位9ビット）、は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック（f_{mck}, f_{scck}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn（SMRmn）でCCSmnビットを0に設定した場合は、動作クロックをこのSDRmnレジスタの上位7ビットで分周設定したクロックが、転送クロックとして使用されます。

また、CCSmnビットを1に設定した場合は、SDR00, SDR01のビット15-9（上位7ビット）に“000000B”を設定してください。SCKp端子からの入カクロックf_{scck}（CSIモードのスレーブ転送）が転送クロックとなります。

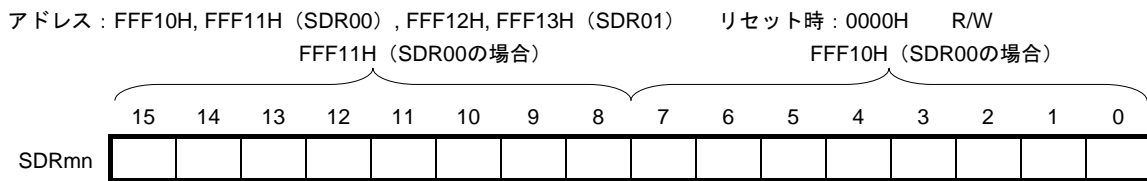
SDRmnレジスタの下位8/9ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位9ビット設定します。

SDRmnレジスタは16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは、下位9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行ったときは、常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000HIになります。

図11-7 シリアル・データ・レジスタmn（SDRmn）のフォーマット



SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	f _{mck} /2, f _{scck} /2（CSIスレーブ時）
0	0	0	0	0	0	1	f _{mck} /4
0	0	0	0	0	1	0	f _{mck} /6
0	0	0	0	0	1	1	f _{mck} /8
・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・
1	1	1	1	1	1	0	f _{mck} /254
1	1	1	1	1	1	1	f _{mck} /256

- 注意1. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。
2. 動作停止状態（SEmn = 0）のときに、下位8ビットへ8ビット書き込みは行わないでください（上位7ビットが0にクリアされます）。
- 備考1. SDRmnレジスタの下位9ビットの機能については、11. 2 シリアル・アレイ・ユニットの構成を参照してください。
2. m：ユニット番号（m = 0） n：チャンネル番号（n = 0, 1）

11.3.6 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を1にセットすると、シリアル・ステータス・レジスタmn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので、SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは、16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmnレジスタは0000Hになります。

図11-8 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) , F010AH, F010BH (SIR01) , リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn ^注	PEC Tmn	OVC Tmn

FEC Tmn	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmnレジスタのFEFmnビットを0にクリアする															

PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmnレジスタのPEFmnビットを0にクリアする															

OVC Tmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmnレジスタのOVFmnビットを0にクリアする															

注 SIR01レジスタのみ。

注意 ビット15-3 (SIR00レジスタの場合は、ビット15-2) には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

2. SIRmnレジスタの読み出し値は常に0000Hとなります。

11.3.7 シリアル・ステータス・レジスタmn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図11-9 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) , F0102H, F0103H (SSR01) , リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn ^注	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件>	
<ul style="list-style-type: none"> ・ STmレジスタのSTmnビットに1を設定時（通信停止状態），もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態） ・ 通信動作が終了時 	
<セット条件>	
<ul style="list-style-type: none"> ・ 通信動作を開始時 	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件>	
<ul style="list-style-type: none"> ・ 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき ・ 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき ・ STmレジスタのSTmnビットに1を設定時（通信停止状態），SSmレジスタのSSmnビットに1を設定時（通信許可状態）。 	
<セット条件>	
<ul style="list-style-type: none"> ・ SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信，送受信モード時）の状態ですDRmnレジスタに送信データを書き込んだとき ・ SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信，送受信モード時）の状態ですDRmnレジスタに受信データが格納されたとき ・ 受信エラー時 	

注 SSR01レジスタのみ。

注意 BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信／受信データが破壊され、オーバラン・エラー（OVEmn = 1）と検出されます。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

図11-9 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) , F0102H, F0103H (SSR01) , リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn ^注	PEF mn	OVF mn

FEF mn ^注	チャンネルnのフレーミング・エラー検出フラグ															
0	エラーなし															
1	エラー発生 (UART受信時)															
<クリア条件>																
・ SIRmnレジスタのFECTmnビットに1を書き込んだとき																
<セット条件>																
・ UART受信完了時に、ストップ・ビットが検出されないとき																

PEF mn	チャンネルnのパリティ/ACKエラー検出フラグ															
0	エラーなし															
1	パリティ・エラー発生 (UART受信時) , またはACK未検出発生 (I ² C送信時)															
<クリア条件>																
・ SIRmnレジスタのPECTmnビットに1を書き込んだとき																
<セット条件>																
・ UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー)																

OVF mn	チャンネルnのオーバラン・エラー検出フラグ															
0	エラーなし															
1	エラー発生															
<クリア条件>																
・ SIRmnレジスタのOVCTmnビットに1を書き込んだとき																
<セット条件>																
・ SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時) の状態で、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき																
・ CSIモードのスレーブ送信/送受信で、送信データが準備できていないとき																

注 SSR01レジスタのみ。

注意 SNOOZEモード(SWCm = 1)でCSI受信する場合、OVFmnフラグは動作しません。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

11.3.8 シリアル・チャンネル開始レジスタm (SSm)

SSmレジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SSmn) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタm (SEm) の対応ビット (SEmn) が1にセット (動作許可状態) されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図11-10 シリアル・チャンネル開始レジスタm (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS0	SS0
															1	0

SSm	チャンネルnの動作開始トリガ														
n															
0	トリガ動作せず														
1	SEmnビットに1をセットし、通信待機状態に遷移する ^注														

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVfmnフラグは状態を保持します。

- 注意1. ビット15-2には、必ず0を設定してください。
- 2. UART受信の場合は、SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

- 備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)
- 2. SSmレジスタの読み出し値は常に0000Hとなります。

11.3.9 シリアル・チャンネル停止レジスタm (STm)

STmレジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (STmn) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタm (SEm) の対応ビット (SEmn) が0にクリア (動作停止状態) されます。STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図11-11 シリアル・チャンネル停止レジスタm (STm) のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST0	ST0
															1	0

STm n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし、通信動作を停止する ^注

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意 ビット15-2には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

2. STmレジスタの読み出し値は常に0000Hとなります。

11.3.10 シリアル・チャンネル許可ステータス・レジスタm (SEm)

SEmレジスタは、各チャンネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタm (SSm) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタm (STm) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のCKOmnビット (チャンネルnのシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000HIになります。

図11-12 シリアル・チャンネル許可ステータス・レジスタm (SEm) のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE0	SE0
															1	0

SEm n	チャンネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

11.3.11 シリアル出力許可レジスタm (SOEm)

SOEmレジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のSOmnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図11-13 シリアル出力許可レジスタm (SOEm) のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE00

SOEmn	チャンネルnのシリアル出力許可/停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意 15-1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

11.3.12 シリアル出力レジスタm (SOm)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能等のシリアル・インタフェース機能以外として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOmレジスタは0303Hになります。

図11-14 シリアル出力レジスタm (SOm) のフォーマット

アドレス : F0128H, F0129H (SO0) リセット時 : 0303H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	1	CKO 00	0	0	0	0	0	0	1	SO 00

CKO mn	チャンネルnのシリアル・クロック出力														
0	シリアル・クロック出力値が“0”														
1	シリアル・クロック出力値が“1”														

SO mn	チャンネルnのシリアル・データ出力														
0	シリアル・データ出力値が“0”														
1	シリアル・データ出力値が“1”														

注意 SO0レジスタのビット15-10, 7-2には、必ず0を設定してください。

SO0レジスタのビット9, 1には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

11.3.13 シリアル出力レベル・レジスタm (SOLm)

SOLmレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの低位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000HIになります。

図11-15 シリアル出力レベル・レジスタm (SOLm) のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL00

SOLmn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

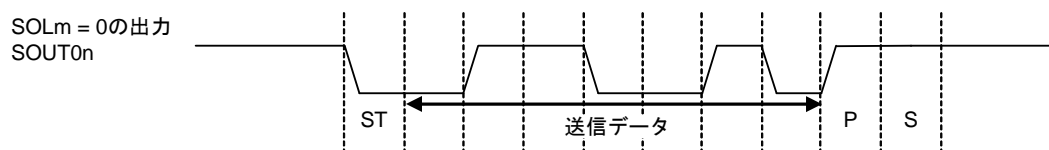
注意 ビット15-1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

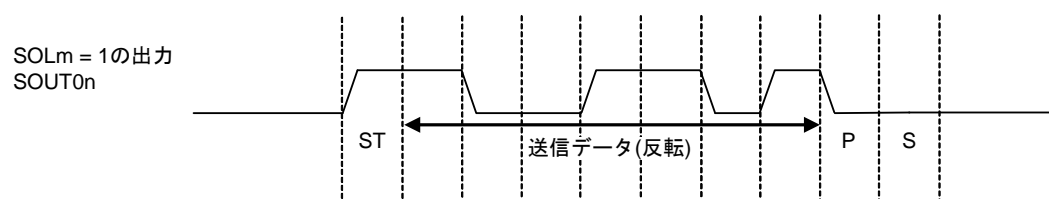
UART送信時、送信データのレベル反転例を図11-16に示します。

図11-16 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0, 2)

11.3.14 シリアル・スタンバイ・コントロール・レジスタm (SSCm)

SSC0レジスタは、CSI00, UART0のシリアル・データ受信による、STOPモード状態からの受信動作起動 (SNOOZEモード) を制御するレジスタです。

SSCmレジスタは、16ビット・メモリ操作命令で設定します。

またSSCmレジスタの下位8ビットは、SSCmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSCmレジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

- ・CSI00の場合：～1 Mbps
- ・UART0の場合：4800 bpsのみ

図11-17 シリアル・スタンバイ・コントロール・レジスタm (SSCm) のフォーマット

アドレス：F0138H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS ECm	SWC m

SS ECm	転送完了割り込み発生許可／停止の選択	
0	エラー割り込み (INTSRE0) 発生許可	
1	エラー割り込み (INTSRE0) 発生停止	
<ul style="list-style-type: none"> ・SNOOZEモード時のUART受信で、SWCm = 1かつEOCmn = 1の時のみ、SSECmビットを1/0に設定することができます。その他の場合は、SSECmビットを0に設定してください。 ・SSECm, SWCm = 1, 0は設定禁止です。 		

SWC m	SNOOZEモードの設定	
0	SNOOZEモード機能を使用しない	
1	SNOOZEモード機能を使用する	
<ul style="list-style-type: none"> ・STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、CSI/UARTの受信動作を行います (SNOOZEモード)。 ・SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (fclk) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・SNOOZEモードを使用する場合でも、通常動作モード時はSWCを0に設定し、STOPモードへ移行する直前にSWCを1に変更してください。 またSTOPモードから通常動作モードへ復帰後、必ずSWCを0に変更してください。 		

注意 SSECm, SWCm = 1, 0は設定禁止です。

図11-18 SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

11.3.15 入力切り替え制御レジスタ (ISC)

ISCレジスタのSSIE00ビットは、CSI00通信かつスレーブ・モード時にチャンネル0のSSI00端子入力を制御するビットです。SSI00端子にハイ・レベルが入力されている期間は、シリアル・クロックが入力されても送受信動作を行われず、SO00端子からはハイ・インピーダンスが出力されます。

SSI00端子にロウ・レベルが入力されている期間は、シリアル・クロックが入力されると各モード設定にしたがって送受信動作を行います。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図11-19 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	0	0

SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0のSSI00入力の設定
0	SSI00端子入力の無効
1	SSI00端子入力の有効

注意 ビット6-0に必ず0を設定してください。

11.3.16 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

CSIIに使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、CPU/周辺ハードウェア・クロック (fCLK) で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は、CPU/周辺ハードウェア・クロック (fMCK) で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図11-20 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	0	0	SNFEN00

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7-1には、必ず0を設定してください。

11.3.17 ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート (P30/INTP2/TxD0/TOOLTxD/SO0など) をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに0を設定してください。また、ポート・レジスタ (Pxx) のビットに1を設定してください。

例) P30/INTP2/TxD0/TOOLTxD/SO0をシリアル・データ出力として使用する場合

ポート・モード・レジスタ3のPM30ビットを0に設定

ポート・レジスタ3のP30ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート (P30/INTP2/TxD0/TOOLTxD/SO0など) をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

例) P30/INTP2/TxD0/TOOLTxD/SO0をシリアル・データ入力として使用する場合

ポート・モード・レジスタ3のPM30ビットを1に設定

ポート・レジスタ3のP30ビットを0または1に設定

PM3レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PM3レジスタはFFHになります。

製品ごとのPMxxレジスタの有無は、表4-11を参照してください。

図11-21 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	PM35 ^注	PM34 ^注	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 24ピン製品には搭載されていません。

注意 ビット7, 6には、必ず1を設定してください。

11.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

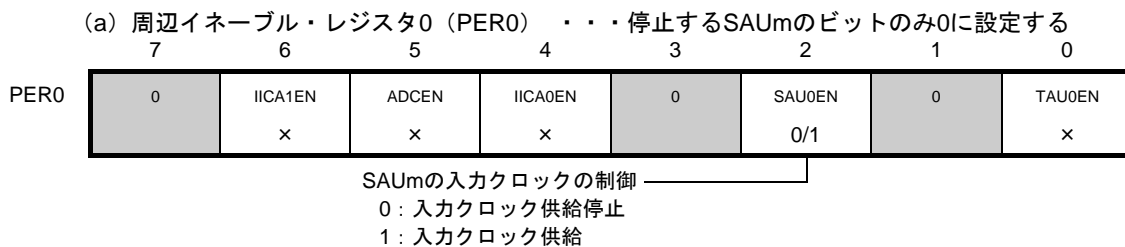
11.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN) に0を設定してください。

図11-22 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定



注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- ・ 入力切り替え制御レジスタ (ISC)
- ・ ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ ポート・モード・レジスタ3 (PM3)
- ・ ポート・レジスタ3 (P3)

2. ビット7, 3, 1は必ず“0”にしてください。

備考 × : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

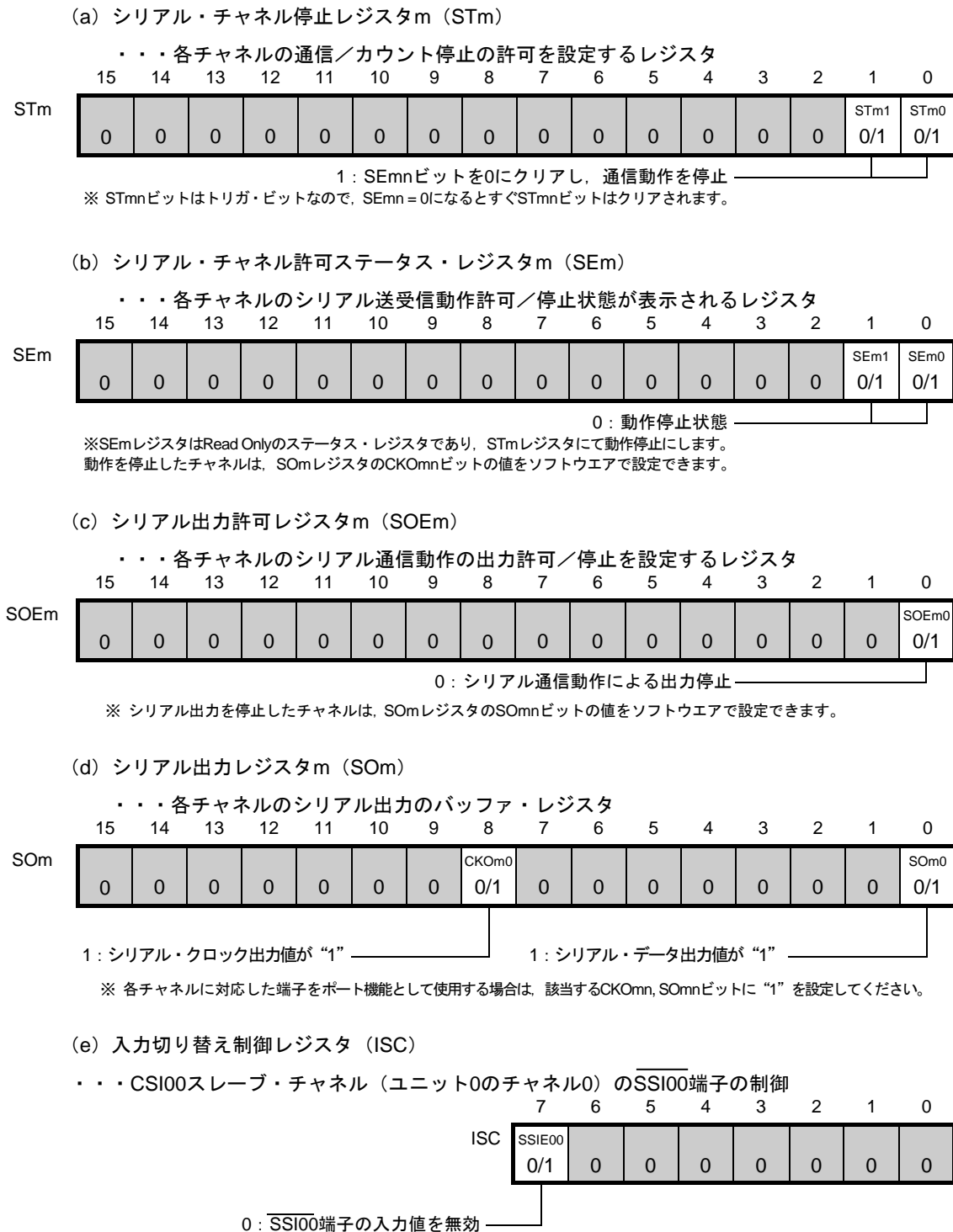
■ : 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

11.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図11-23 チャンネルごとに動作停止とする場合の各レジスタの設定



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1)

2. □ : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

11.5 3線シリアルI/O (CSI00) 通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート^注 マスタ通信時 : $\text{Max. } f_{\text{MCK}}/2$

スレーブ通信時 : $\text{Max. } f_{\text{MCK}}/6$

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

また、CSI00は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

注 SCKサイクル・タイム (t_{CKCY}) の特性を満たす範囲内で使用してください (第27章 電気的特性を参照)

3線シリアル/O (CSI00) に対応しているチャンネルは、SAU0のチャンネル0です。

ユニット	チャンネル	CSIとして使用	UARTとして使用
0	0	CSI00(スレーブセレクト 入力機能対応)	UART0
	1	—	

3線シリアル/O (CSI00) の通信動作は、以下の7種類があります。

- ・ マスタ送信 (11. 5. 1項を参照)
- ・ マスタ受信 (11. 5. 2項を参照)
- ・ マスタ送受信 (11. 5. 3項を参照)
- ・ スレーブ送信 (11. 5. 4項を参照)
- ・ スレーブ受信 (11. 5. 5項を参照)
- ・ スレーブ送受信 (11. 5. 6項を参照)
- ・ SNOOZEモード機能 (11. 5. 7項を参照)

11.5.1 マスタ送信

マスタ送信とは、このRL78/G1Pが転送クロックを出力し、RL78/G1Pから他デバイスへデータを送信する動作です。

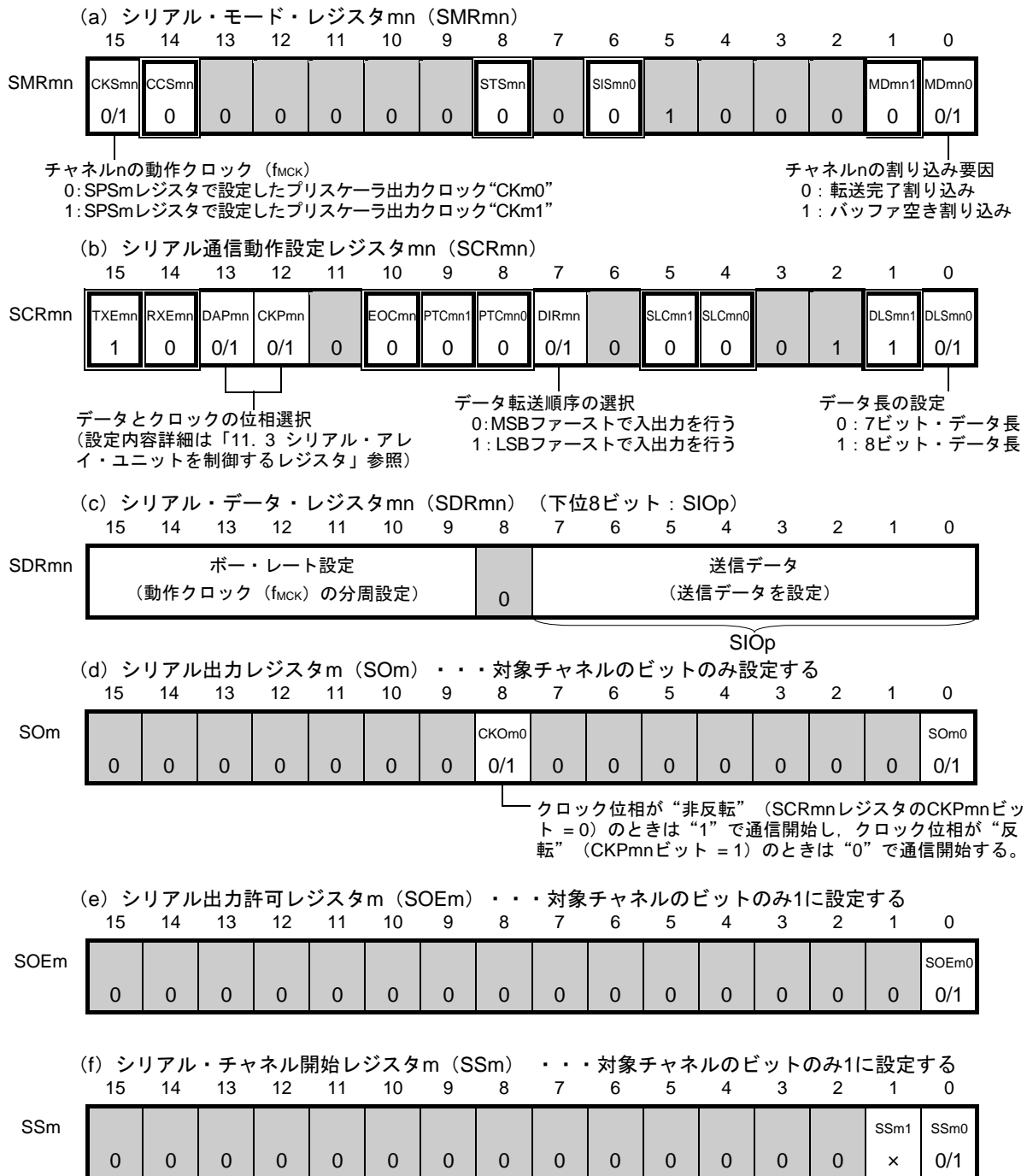
3線シリアルI/O	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SO00
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	なし
転送データ長	7ビットまたは8ビット
転送レート ^注	Max. $f_{MCK}/2$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性の周辺機能特性（第27章 電気的特性を参照）を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) , mn = 00

(1) レジスタ設定

図11-24 3線シリアルI/O (CSI00) のマスタ送信時のレジスタ設定内容例



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

mn = 00

2. □ : CSIマスタ送信モードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-25 マスタ送信の初期設定手順

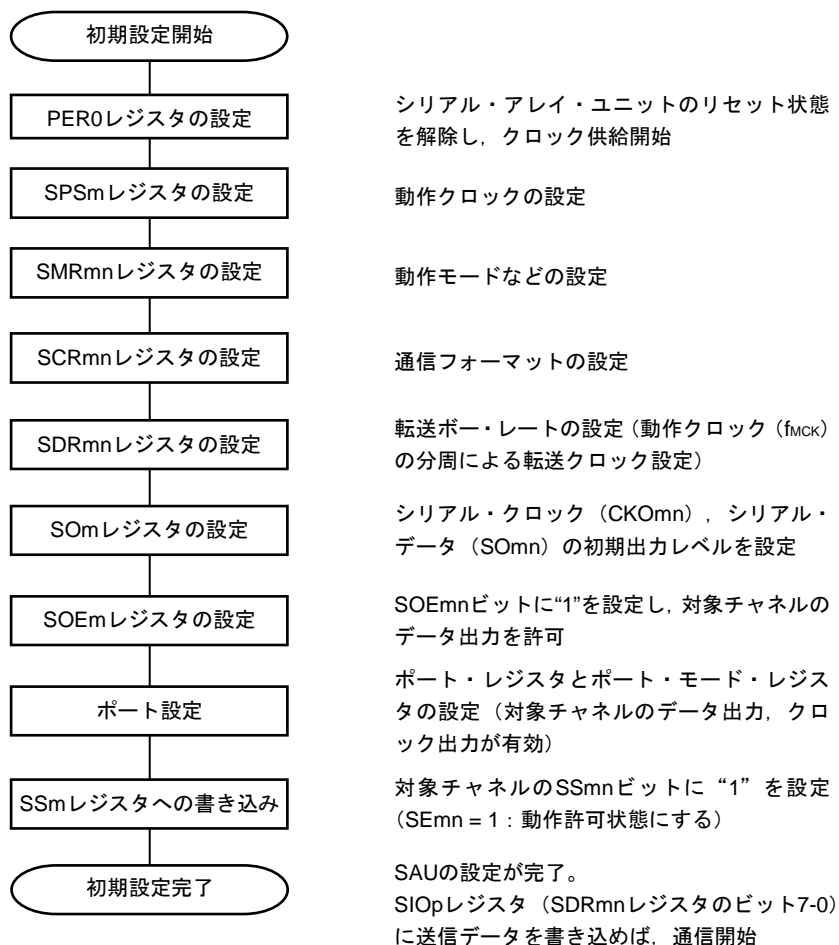


図11-26 マスタ送信の中断手順

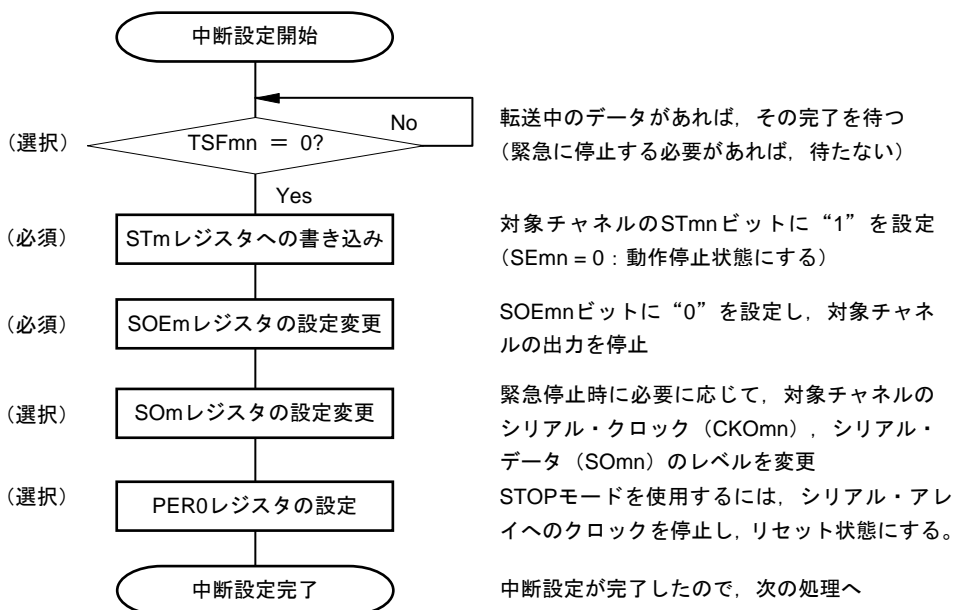
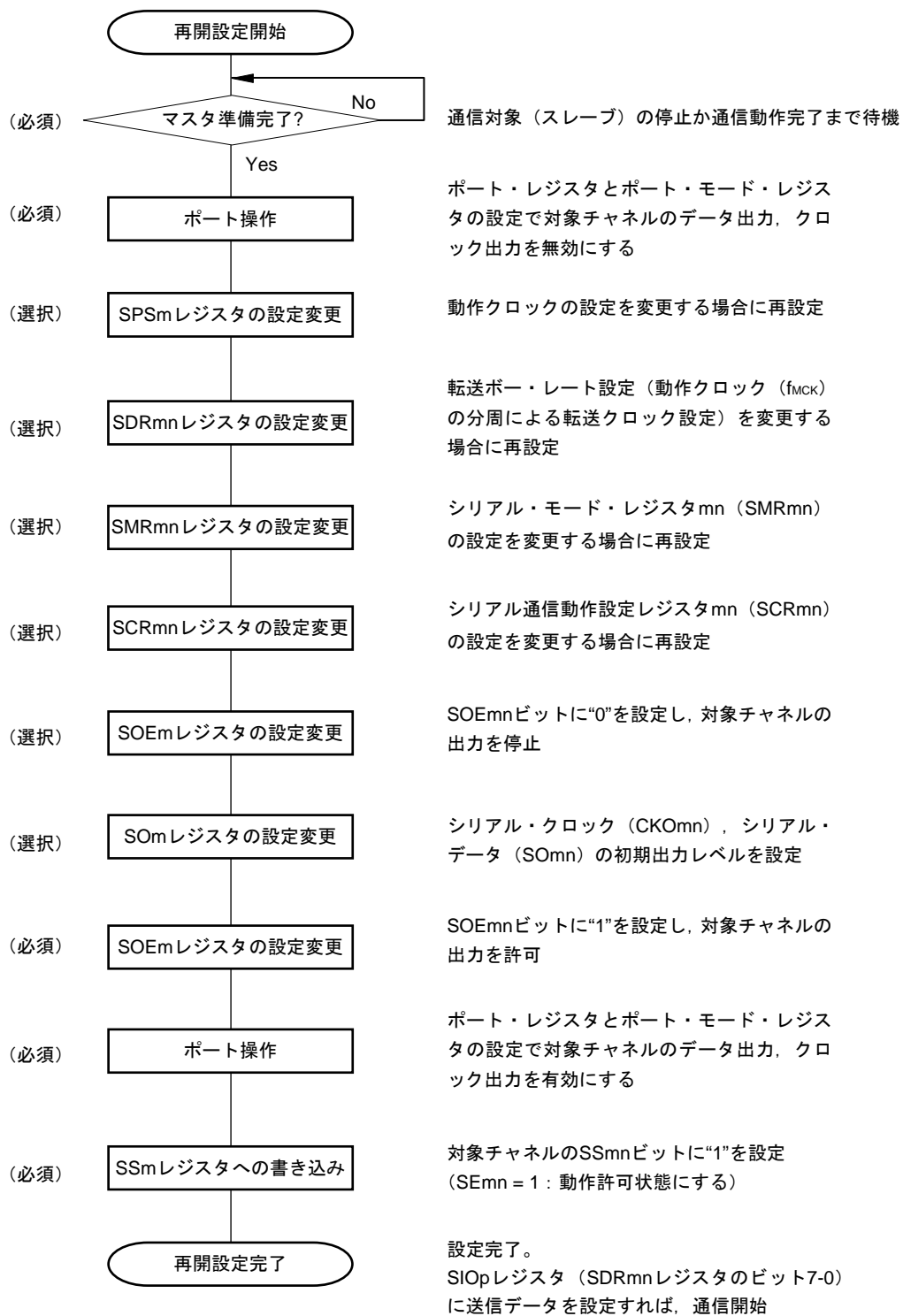


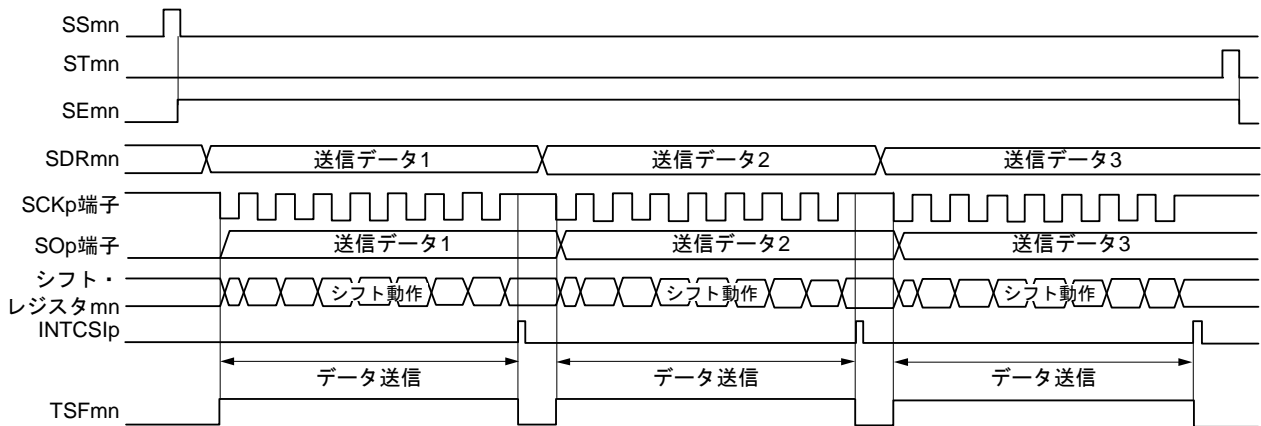
図11-27 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

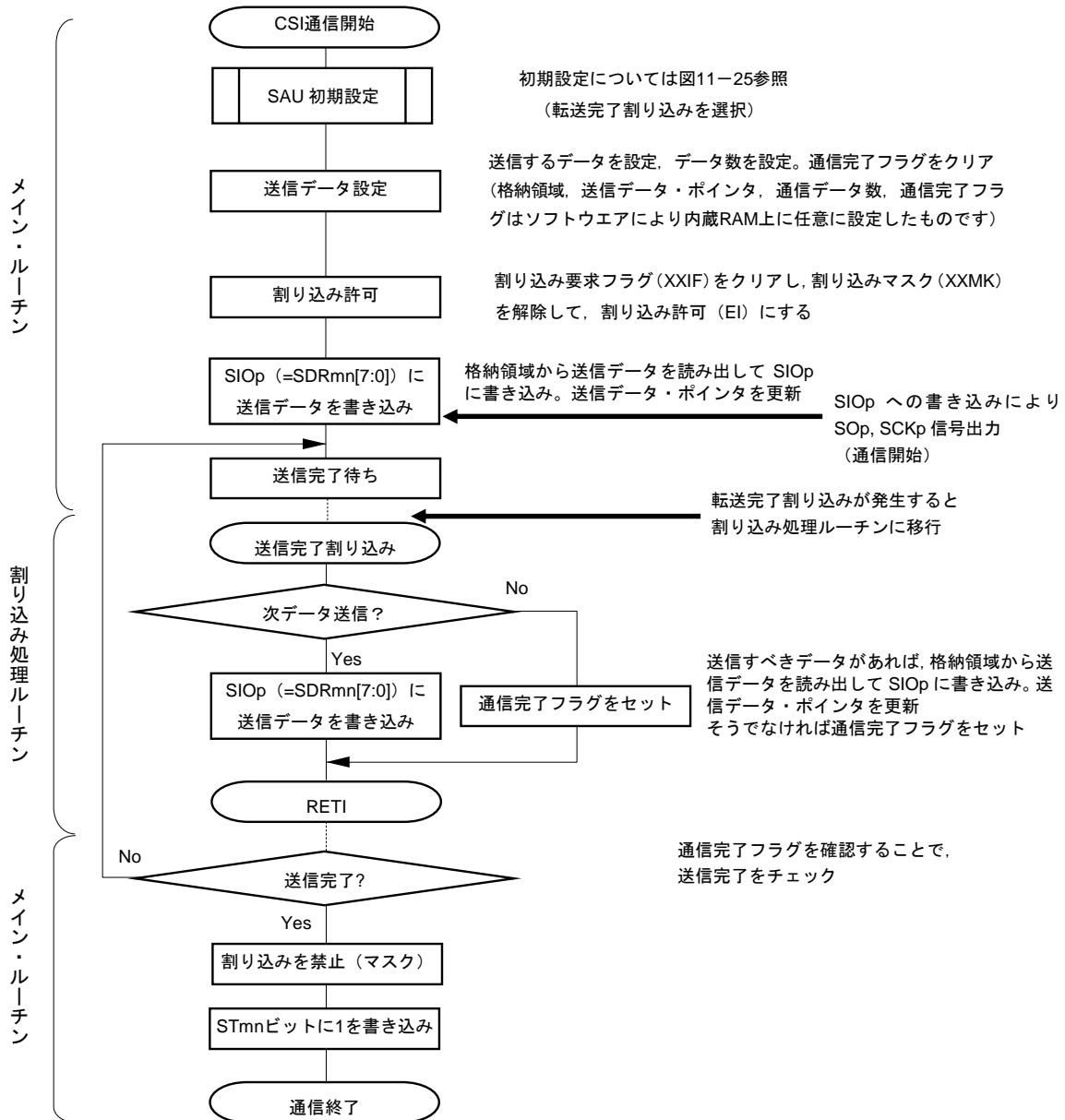
(3) 処理フロー（シングル送信モード時）

図11-28 マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



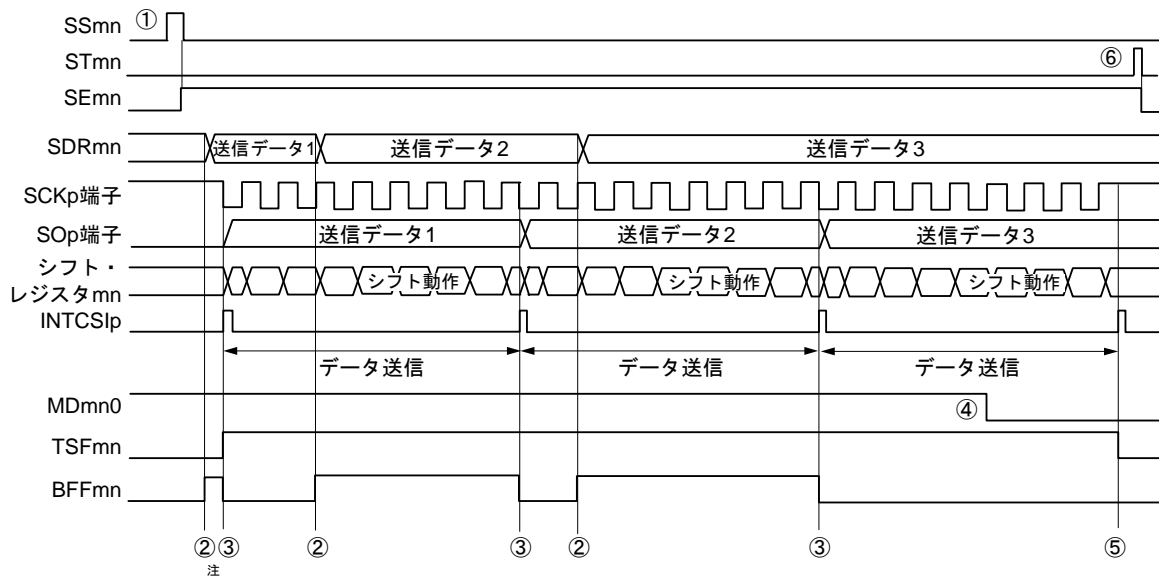
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)
 mn = 00

図11-29 マスタ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図11-30 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

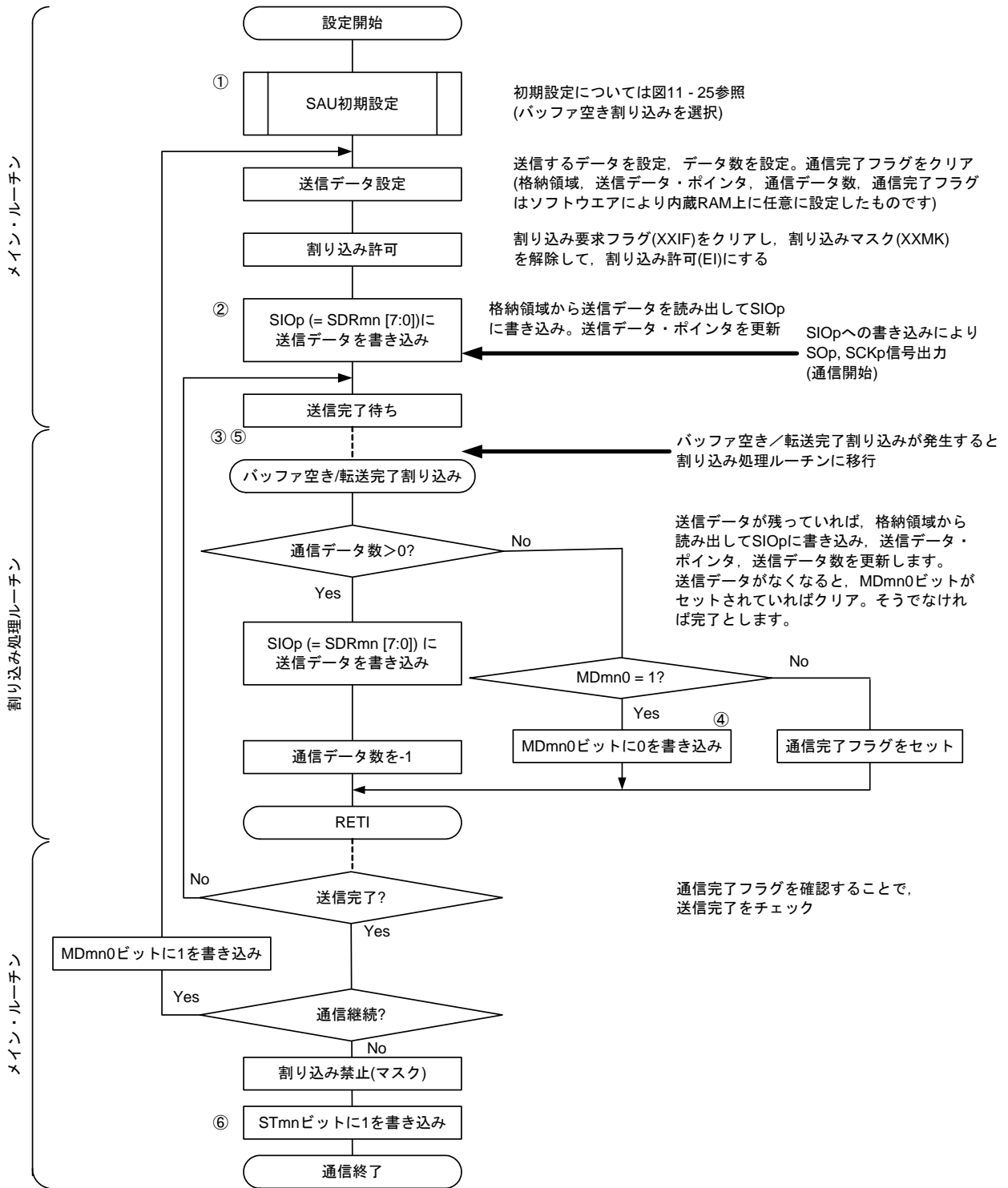


注 シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m：ユニット番号（m = 0） n：チャネル番号（n = 0） p：CSI番号（p = 00）
mn = 00

図11-31 マスタ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図11-30 マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

11.5.2 マスタ受信

マスタ受信とは、このRL78/G1Pが転送クロックを出力し、RL78/G1Pが他デバイスからデータを受信する動作です。

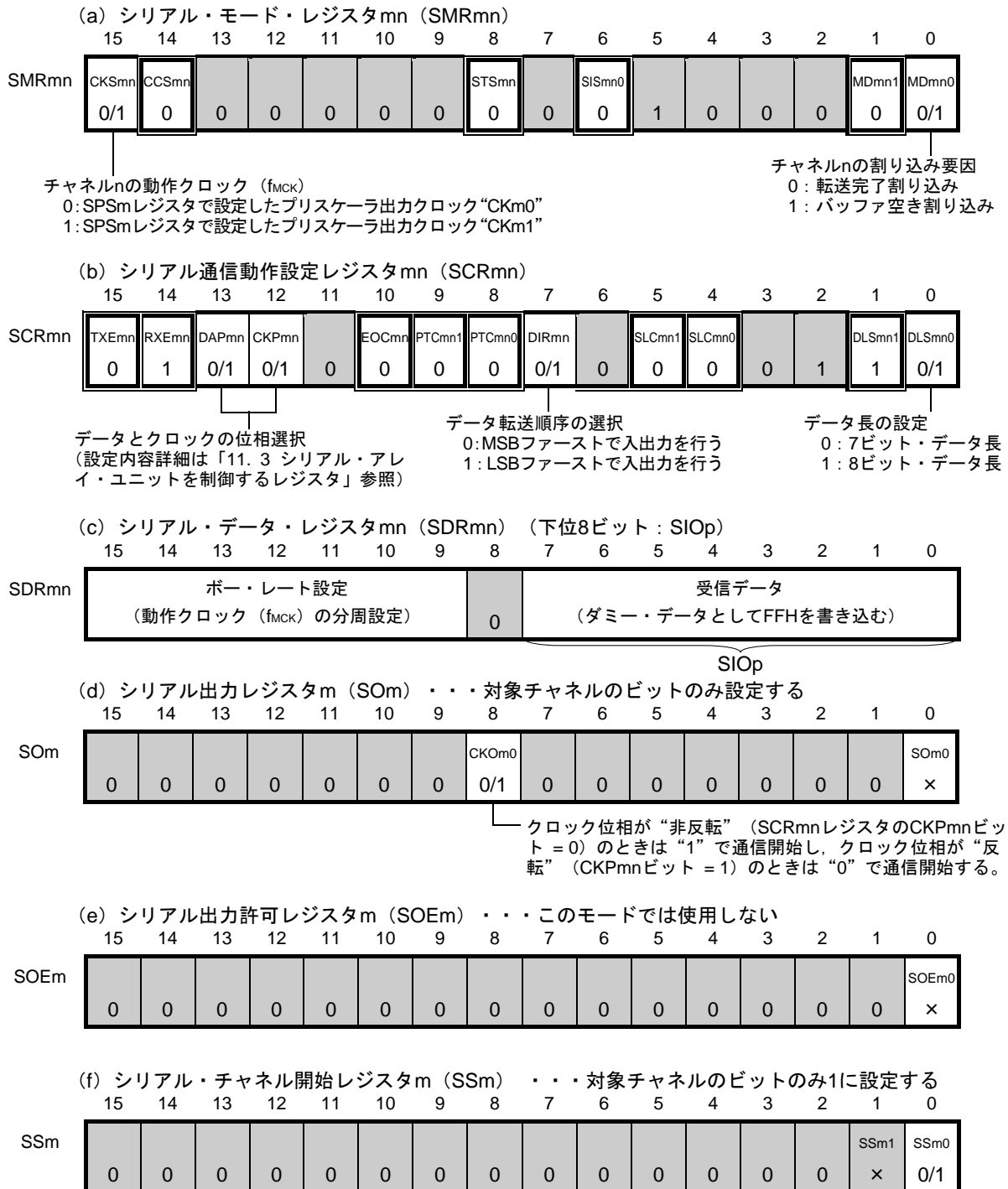
3線シリアルI/O	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート ^注	Max. $f_{MCK}/2$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性の周辺機能特性（第27章 電気的特性を参照）を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) , mn = 00

(1) レジスタ設定

図11-32 3線シリアルI/O (CSI00) のマスタ受信時の
レジスタ設定内容例



備考1. m: ユニット番号 (m=0) n: チャンネル番号 (n=0) p: CSI番号 (p=00)

mn = 00

2. □: CSIマスタ受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-33 マスタ受信の初期設定手順

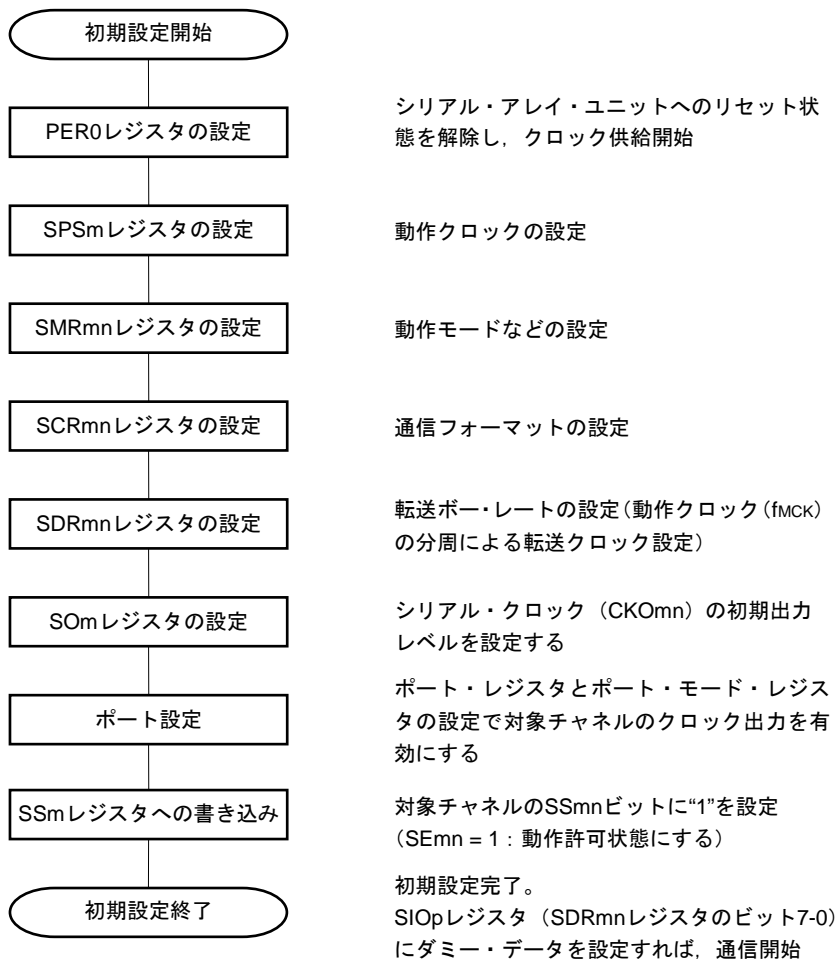


図11-34 マスタ受信の中断手順

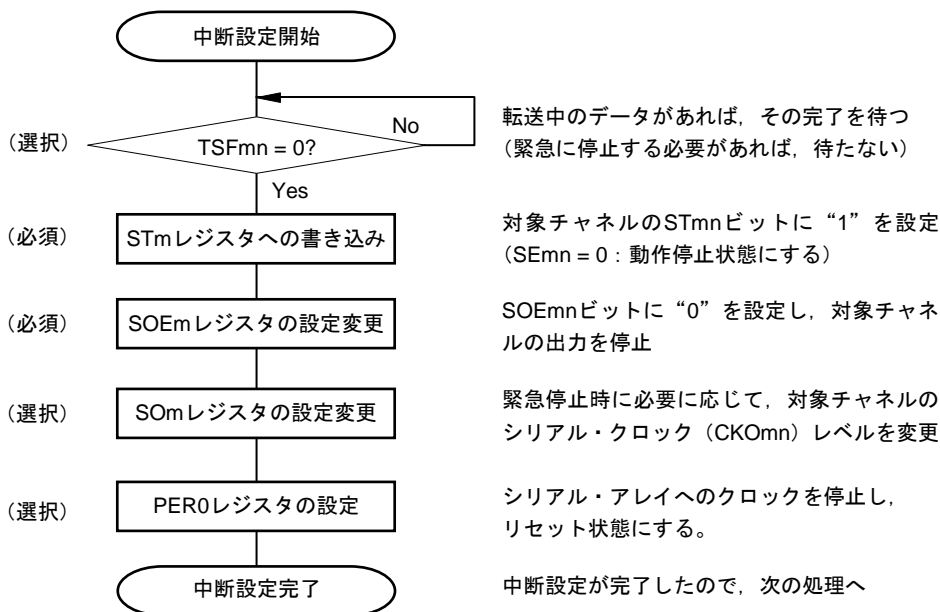
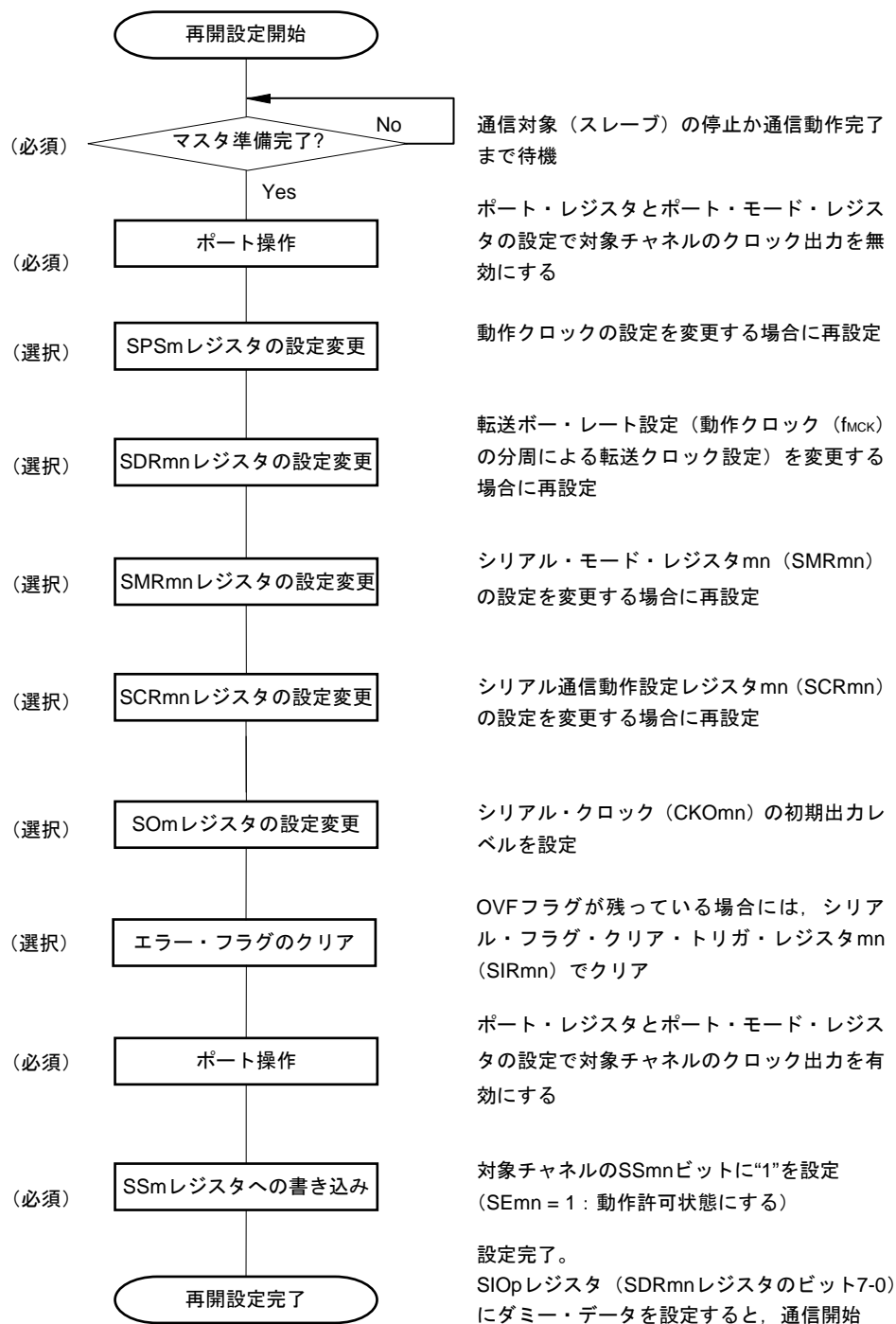


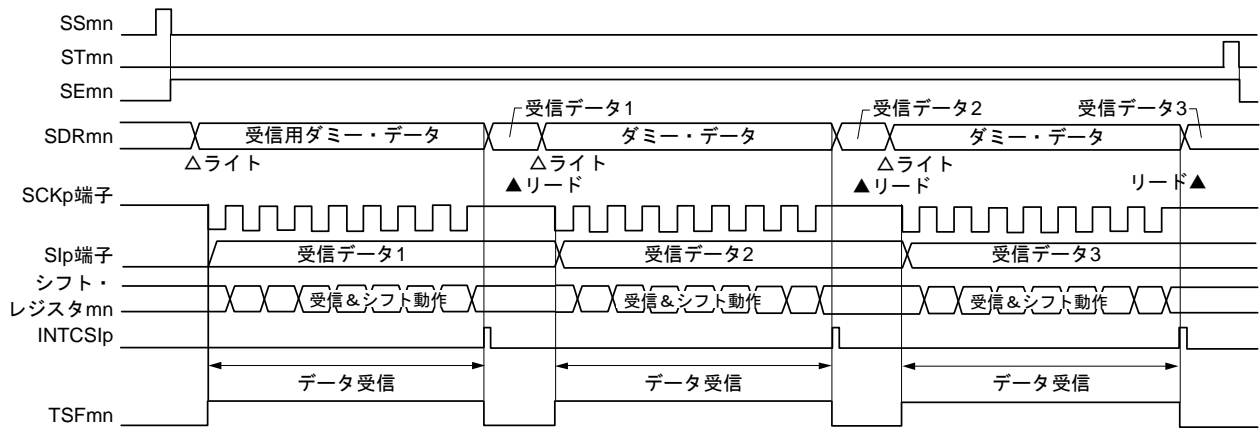
図11-35 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象 (スレーブ) の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

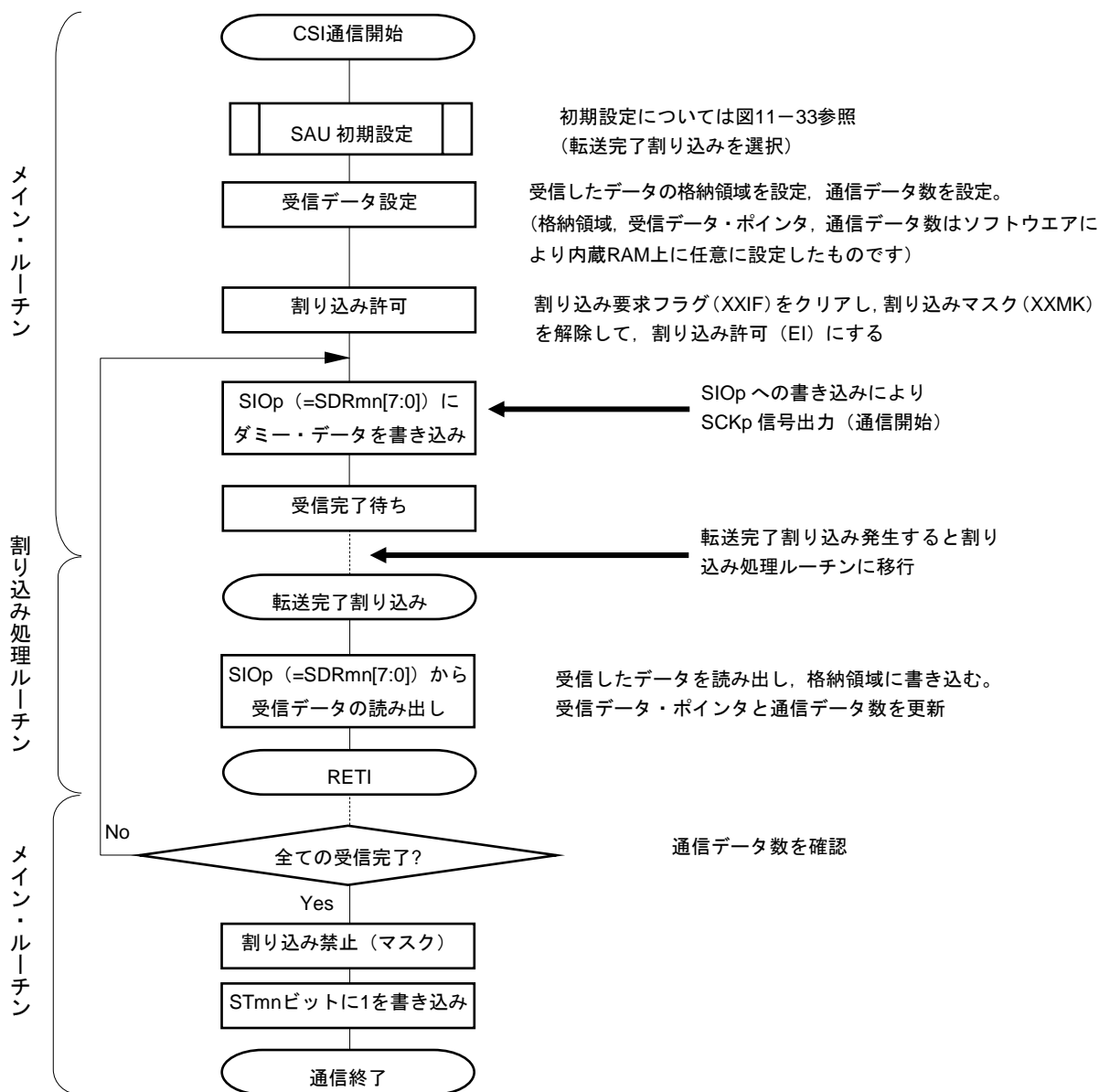
(3) 処理フロー（シングル受信モード時）

図11-36 マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



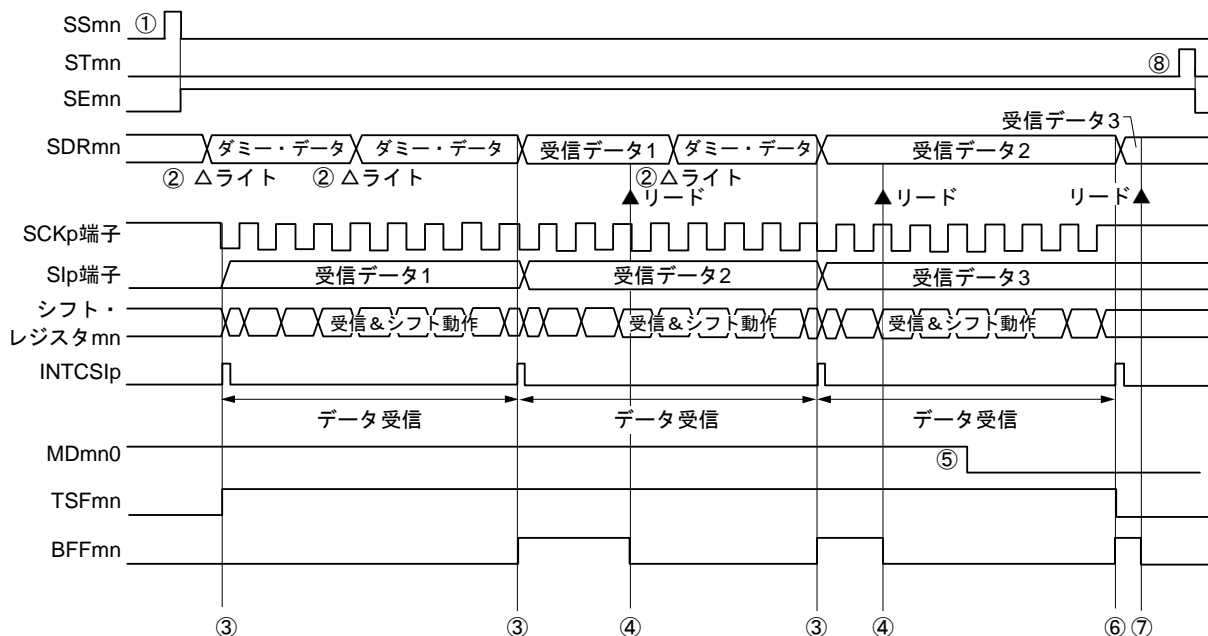
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)
mn = 00

図11-37 マスタ受信（シングル受信モード時）のフロー・チャート



(4) 処理フロー（連続受信モード時）

図11-38 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



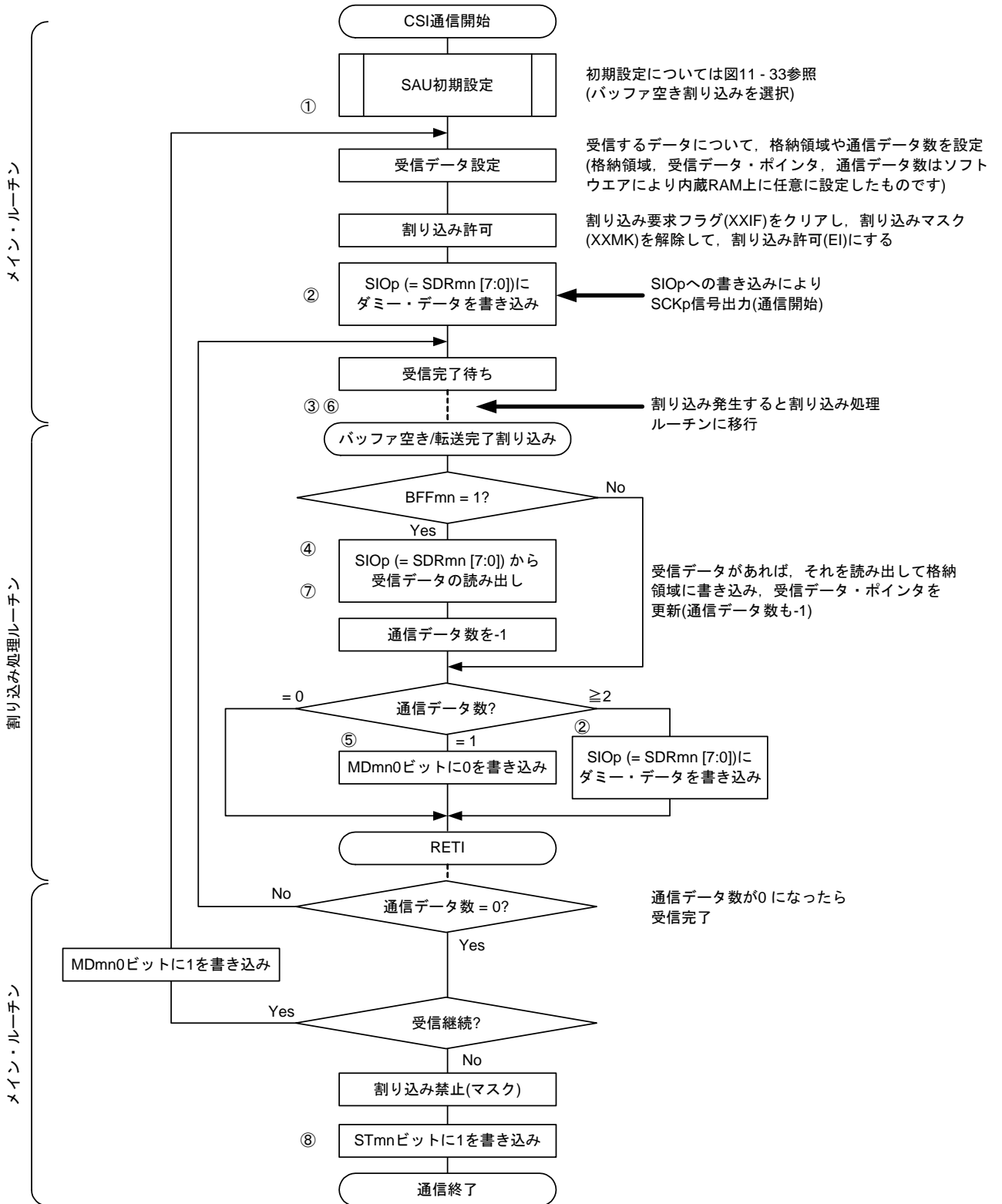
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①~⑧は、図11-39 マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。

- 2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)
mn = 00

図11-39 マスタ受信（連続受信モード時）のフロー・チャート



備考 図中の①~⑧は、図11-38 マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。

11.5.3 マスタ送受信

マスタ送受信とは、このRL78/G1Pが転送クロックを出力し、RL78/G1Pと他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, SO00
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート ^注	Max. $f_{MCK}/2$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合: シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合: シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合: 非反転 ・ CKPmn = 1の場合: 反転
データ方向	MSBファーストまたはLSBファースト

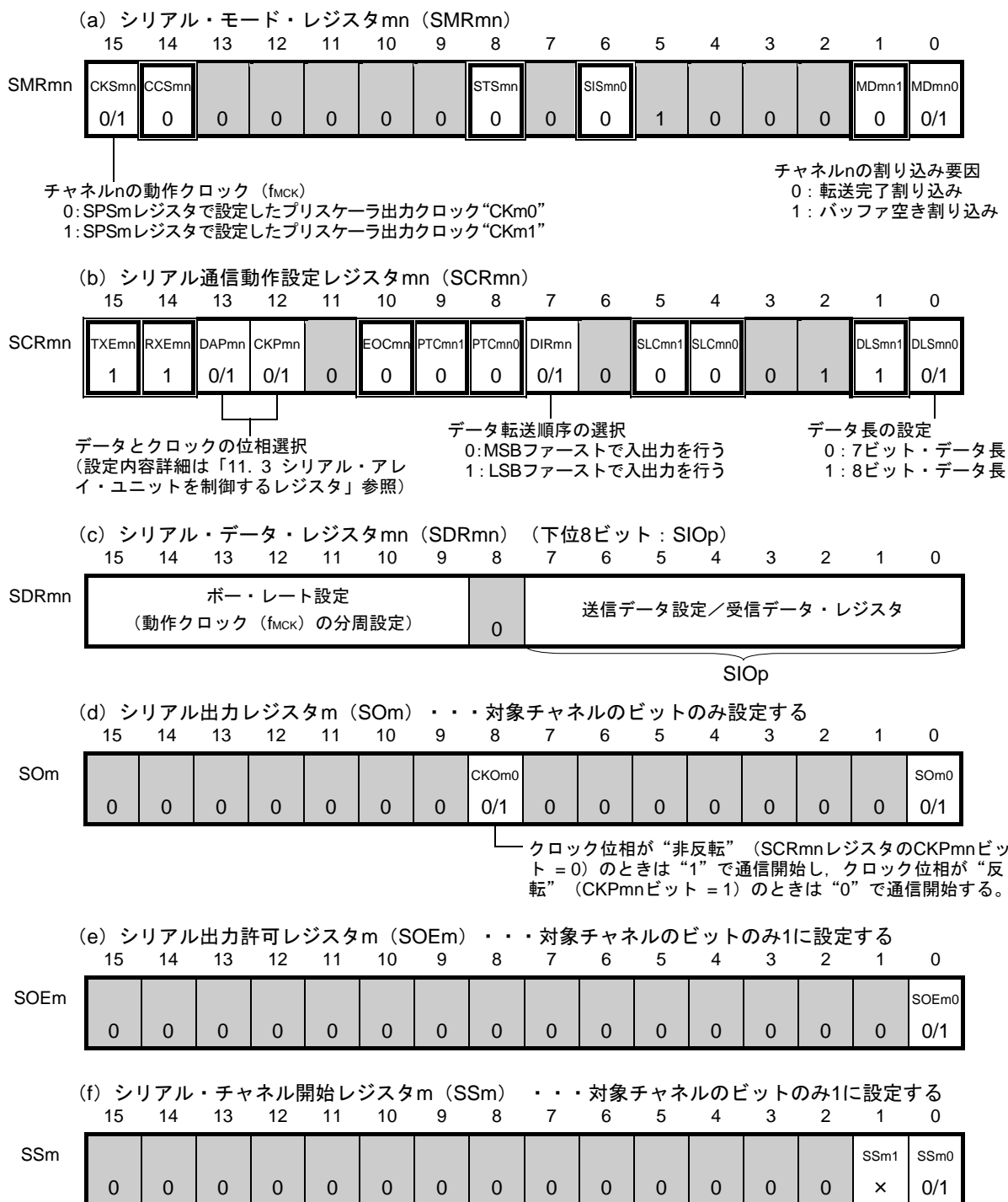
注 この条件を満たし、かつ電気的特性の周辺機能特性（第27章 電気的特性を参照）を満たす範囲内で使用してください。

備考 m: ユニット番号 (m=0) n: チャンネル番号 (n=0) p: CSI番号 (p=00)

mn = 00

(1) レジスタ設定

図11-40 3線シリアル/I/O (CSI00) のマスタ送受信時の
レジスタ設定内容例



備考1. m: ユニット番号 (m=0) n: チャンネル番号 (n=0) p: CSI番号 (p=00)

mn = 00

2. □: CSIマスタ送受信モードでは設定固定 □: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-41 マスタ送受信の初期設定手順

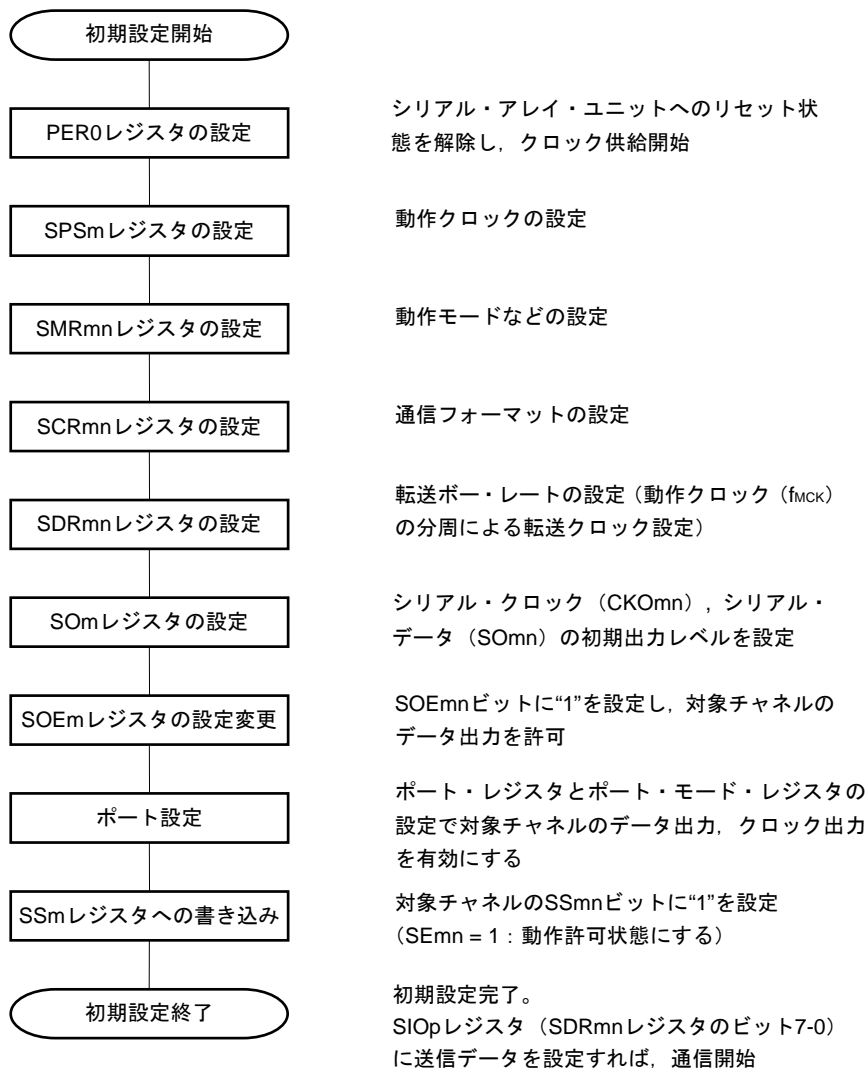


図11-42 マスタ送受信の中断手順

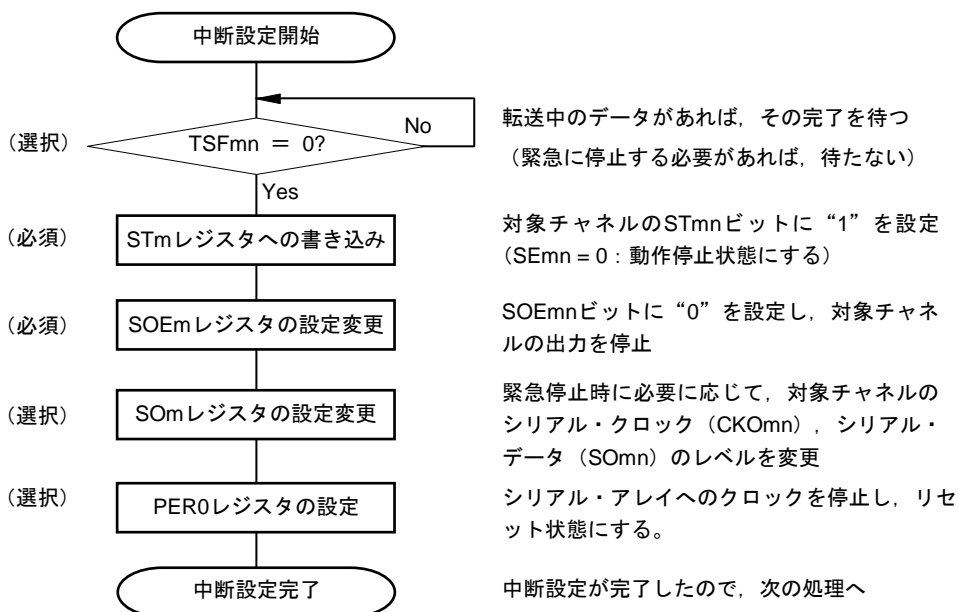
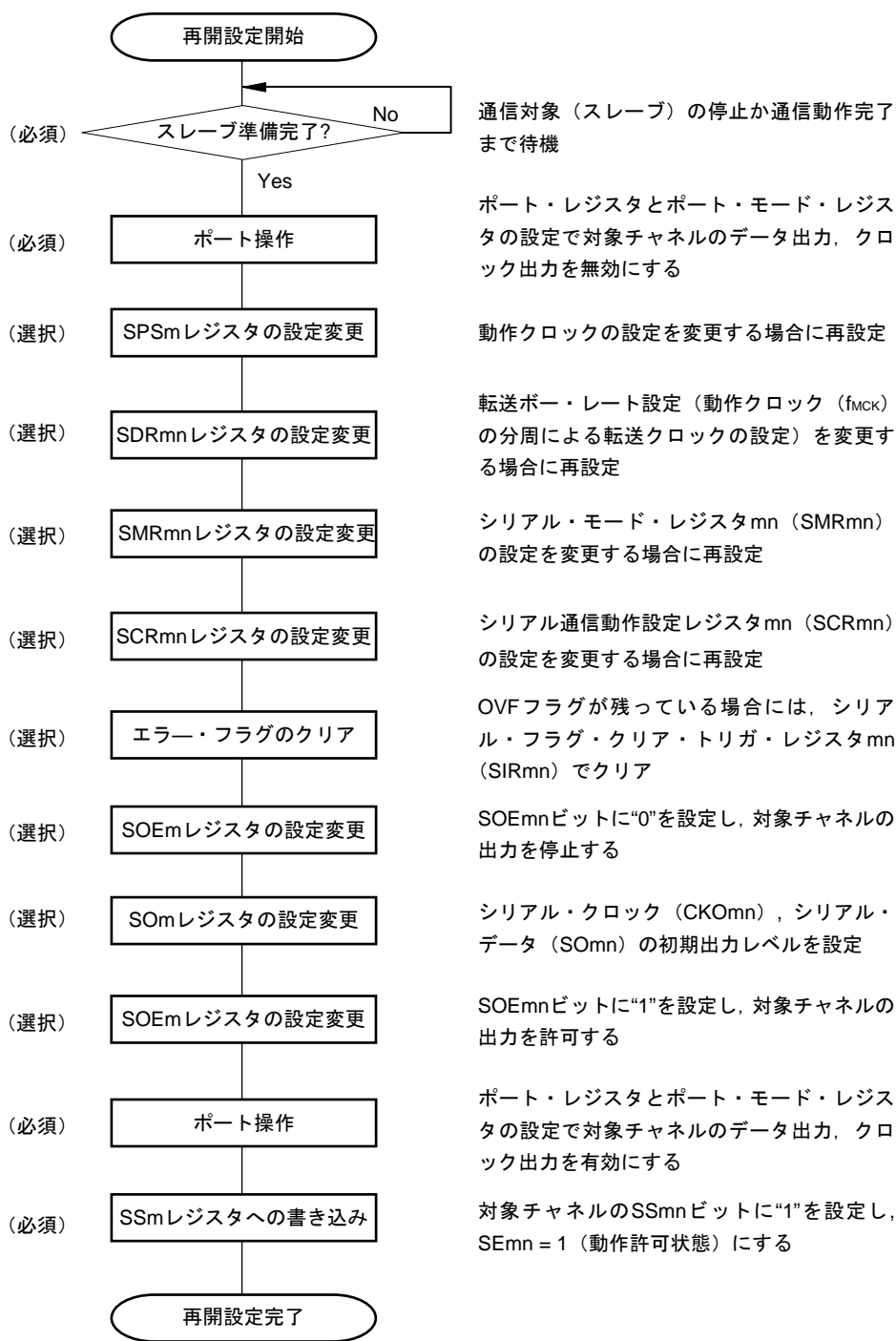
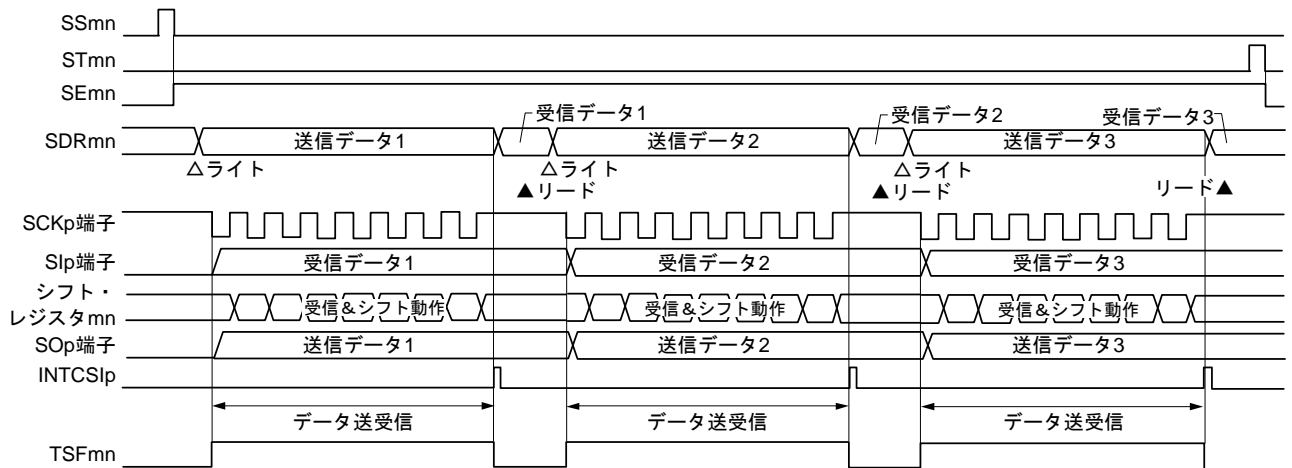


図11-43 マスタ送受信の再開設定手順



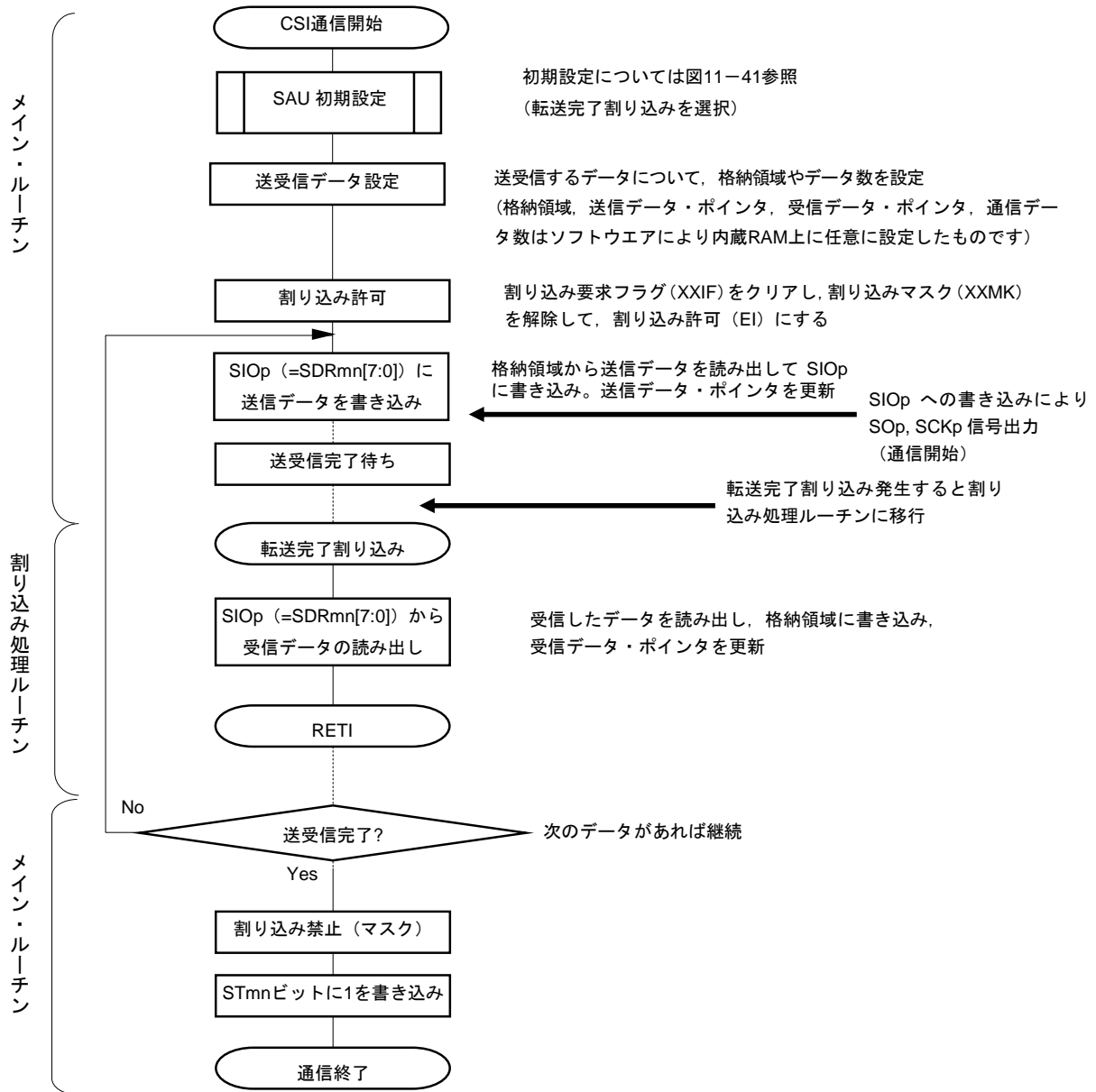
(3) 処理フロー（シングル送受信モード時）

図11-44 マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



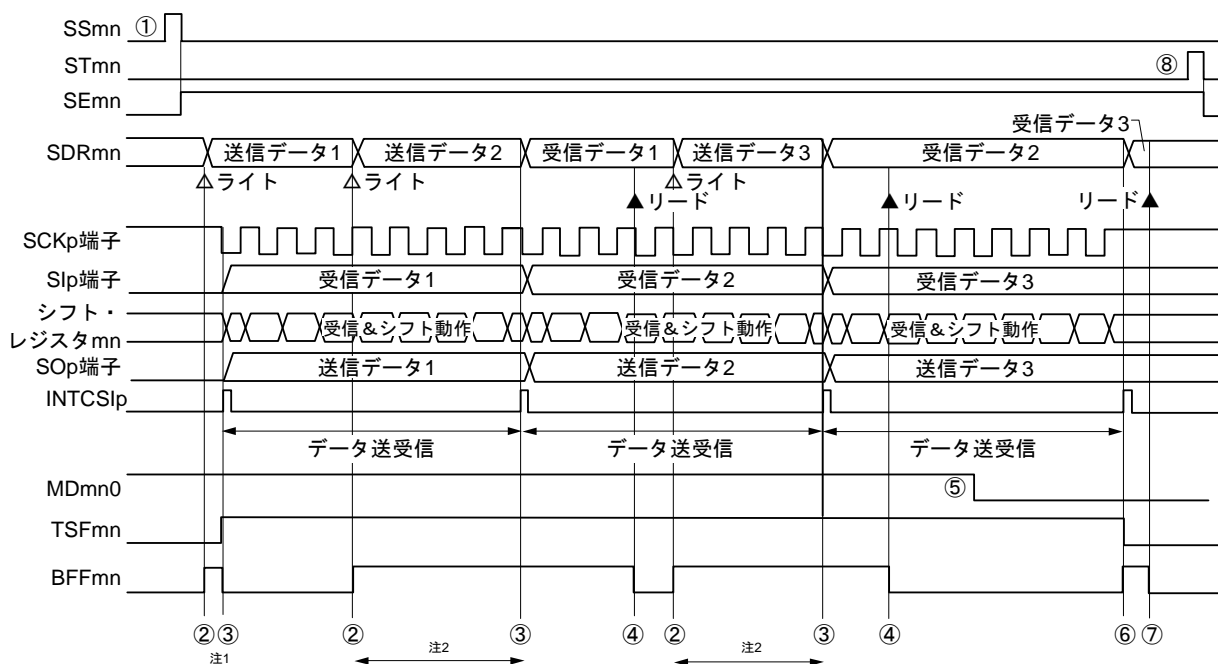
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)
 mn = 00

図11-45 マスタ送受信（シングル送受信モード時）のフロー・チャート



(4) 処理フロー（連続送受信モード時）

図11-46 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

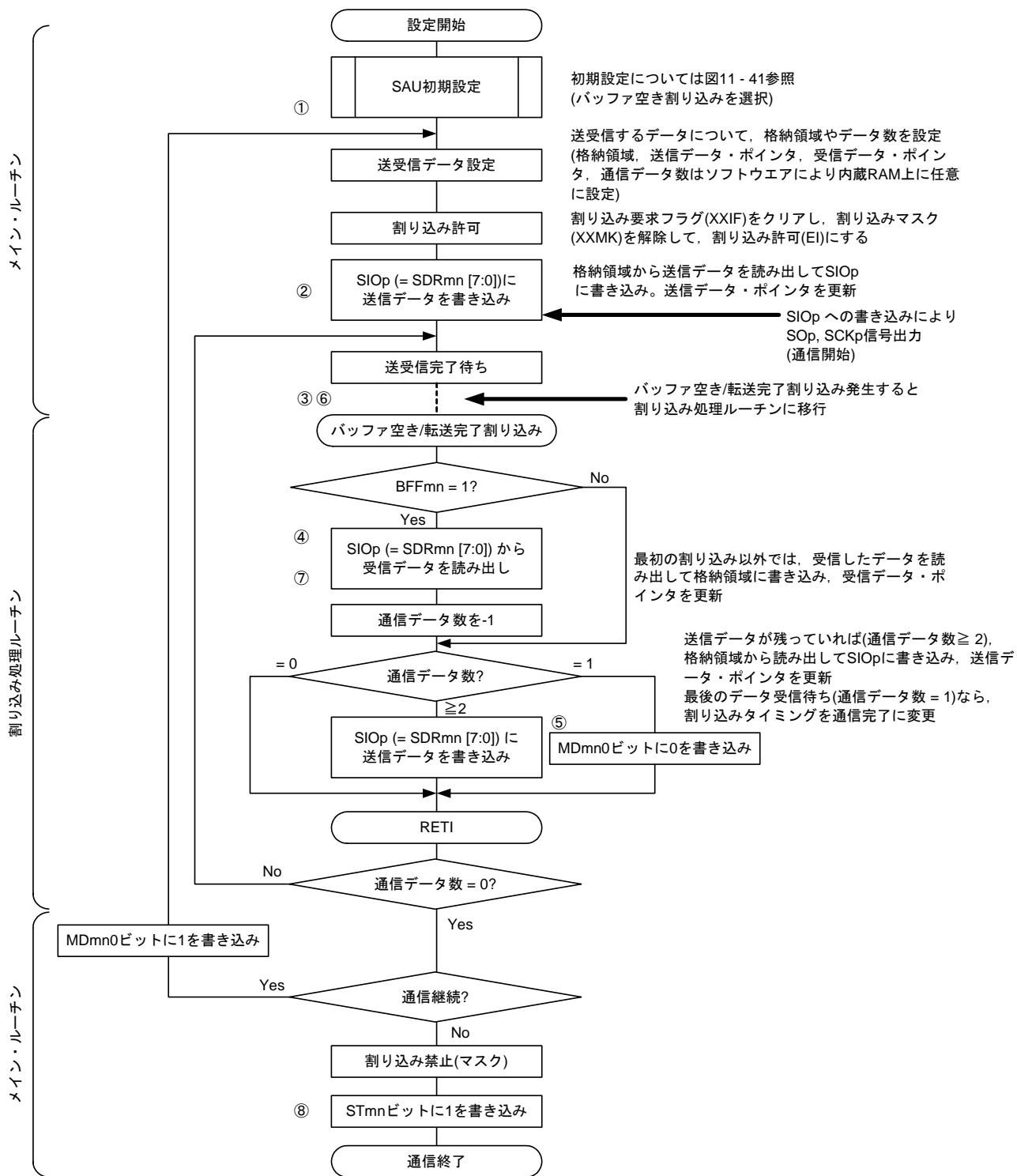


- 注 1. シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
- 2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

- 備考1. 図中の①~⑧は、図11-47 マスタ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。
- 2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)
mn = 00

図11-47 マスタ送受信（連続送受信モード時）のフロー・チャート



備考 図中の①~⑧は、図11-46 マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

11.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78/G1Pから他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SO00
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

- 注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。
2. この条件を満たし、かつ電氣的特性の周辺機能特性（第27章 電氣的特性を参照）を満たす範囲内で使用してください。

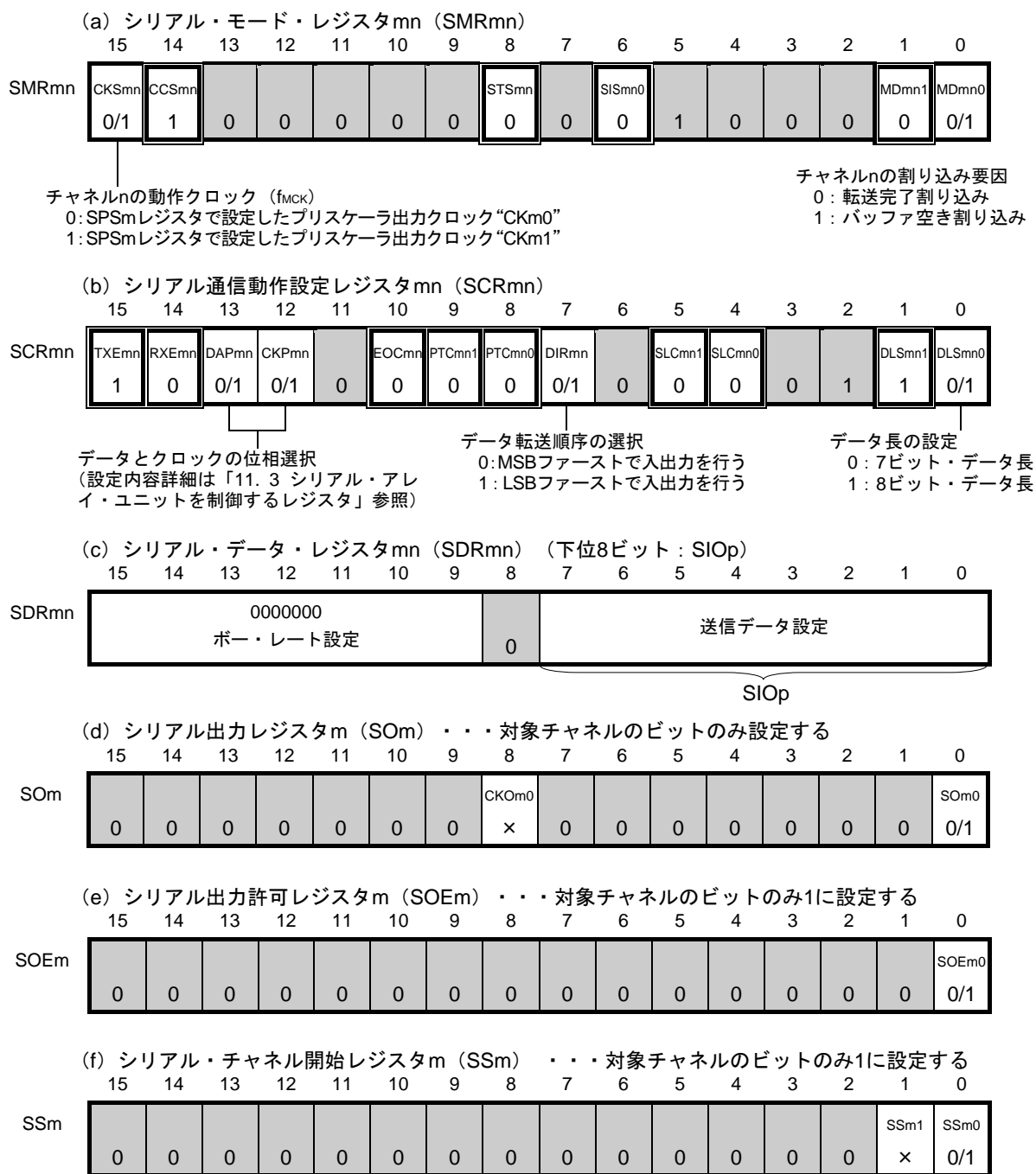
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{SCK} ：シリアル・クロック周波数

2. m：ユニット番号（m = 0） n：チャンネル番号（n = 0），mn = 00

(1) レジスタ設定

図11-48 3線シリアルI/O (CSI00) のスレーブ送信時の
レジスタ設定内容例



備考1. m: ユニット番号 (m=0) n: チャンネル番号 (n=0) p: CSI番号 (p=00)

mn = 00

2. □: CSIスレーブ送信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-49 スレーブ送信の初期設定手順

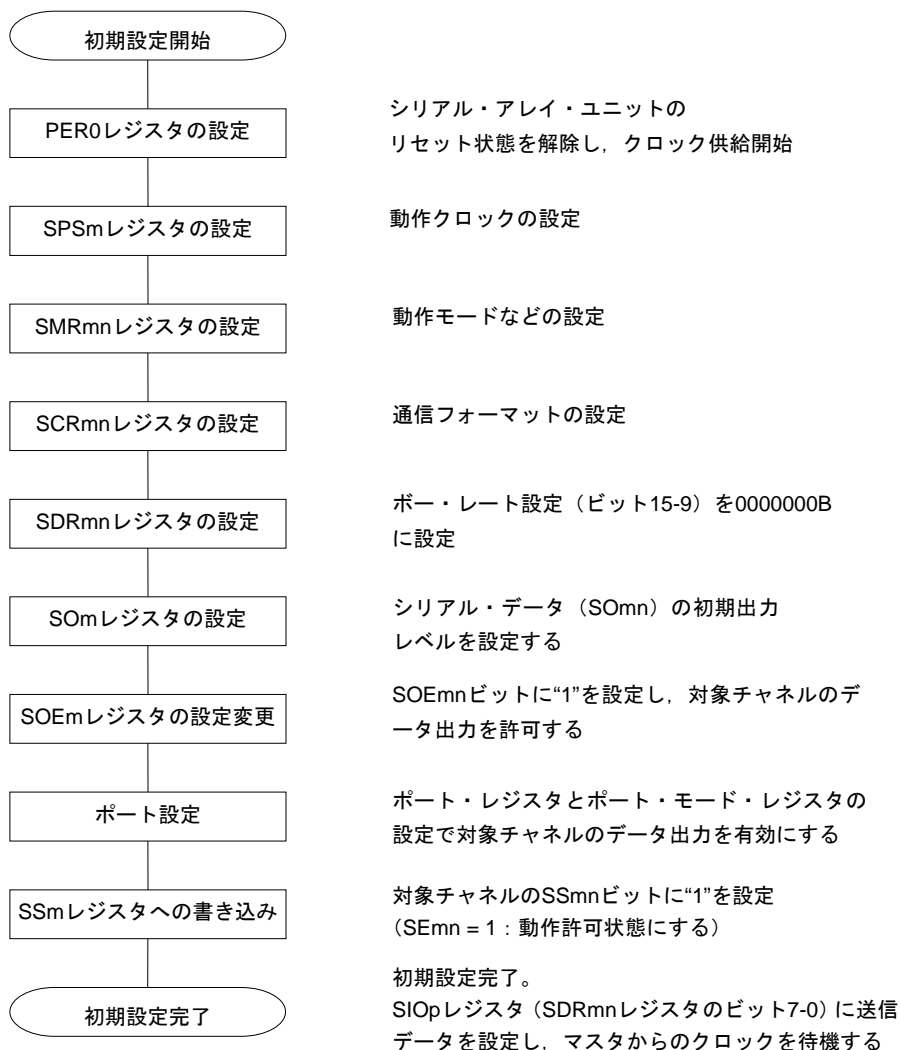


図11-50 スレーブ送信の中断手順

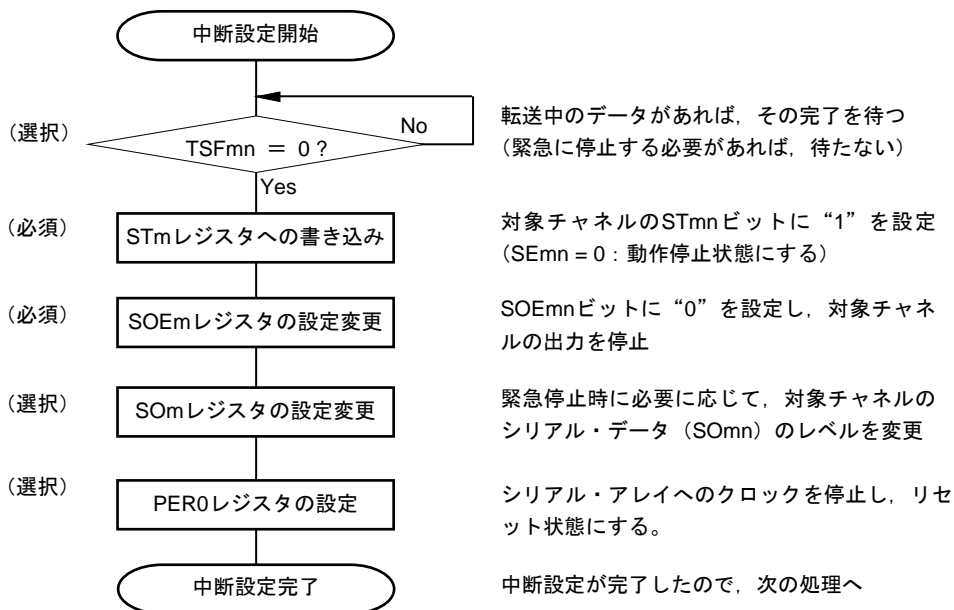
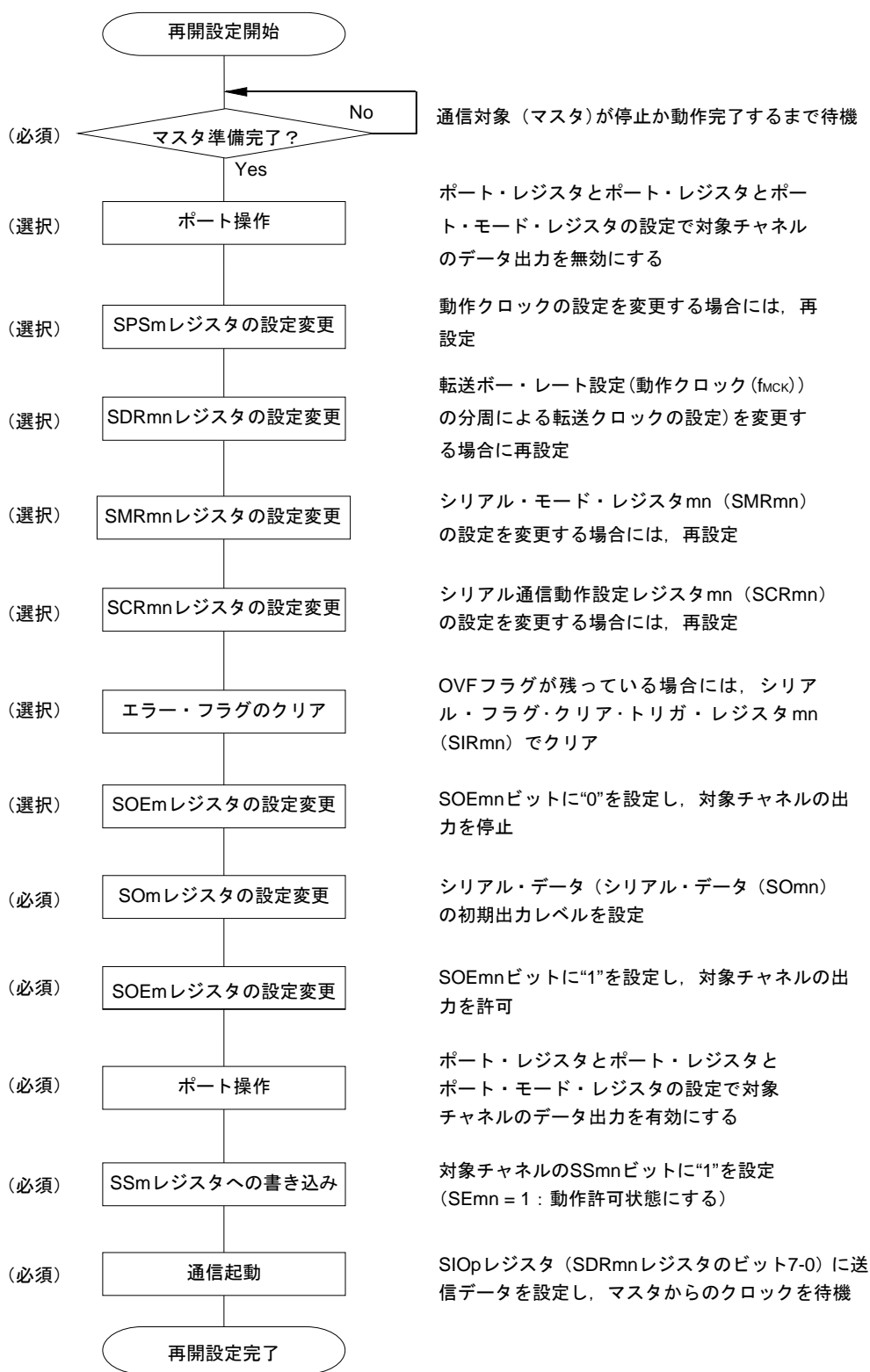


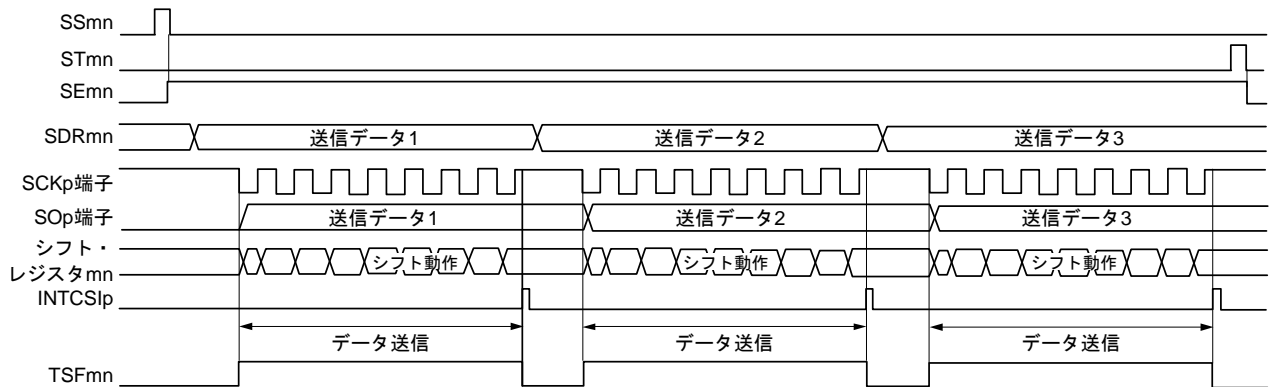
図11-51 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

(3) 処理フロー（シングル送信モード時）

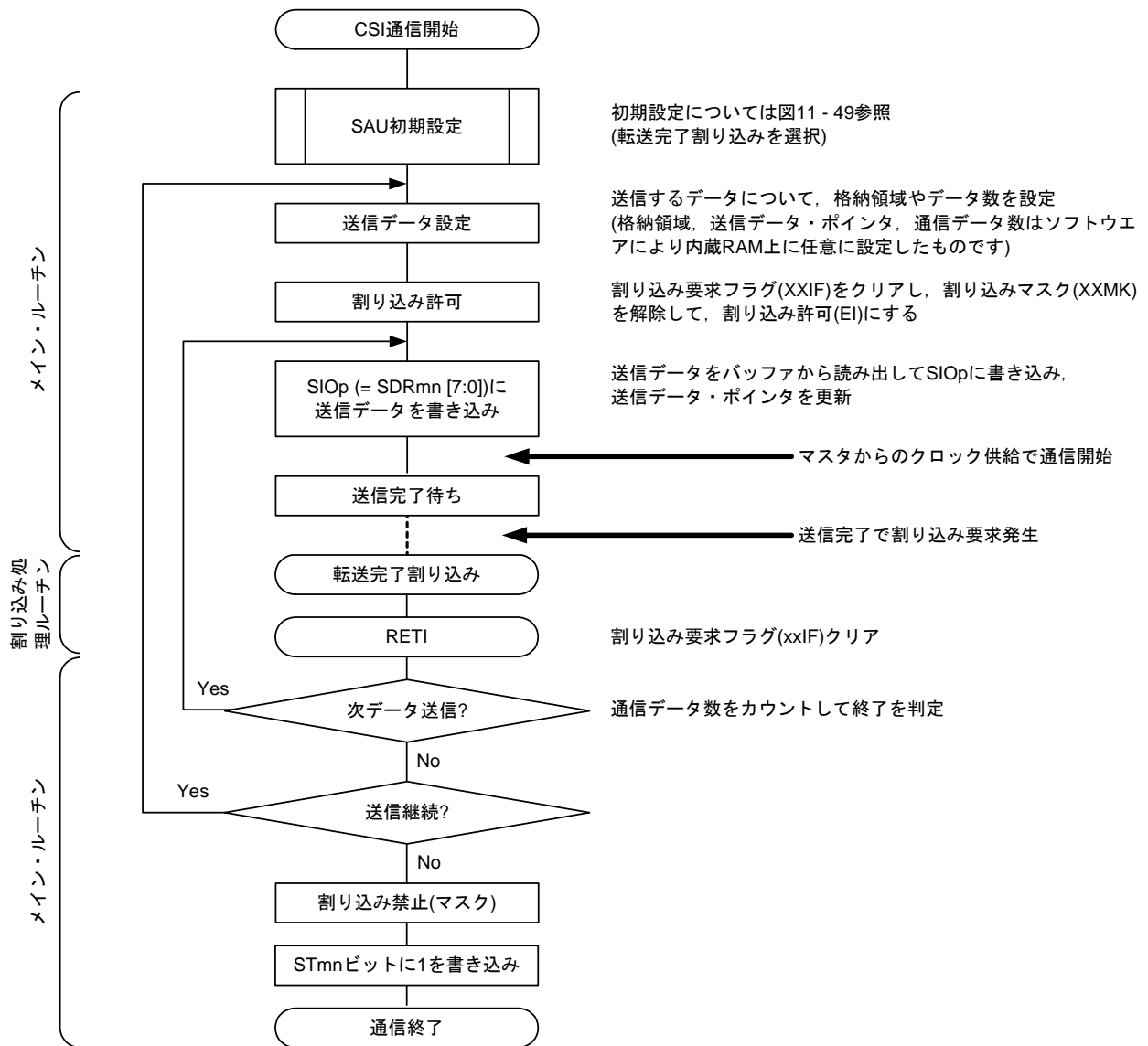
図11-52 スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

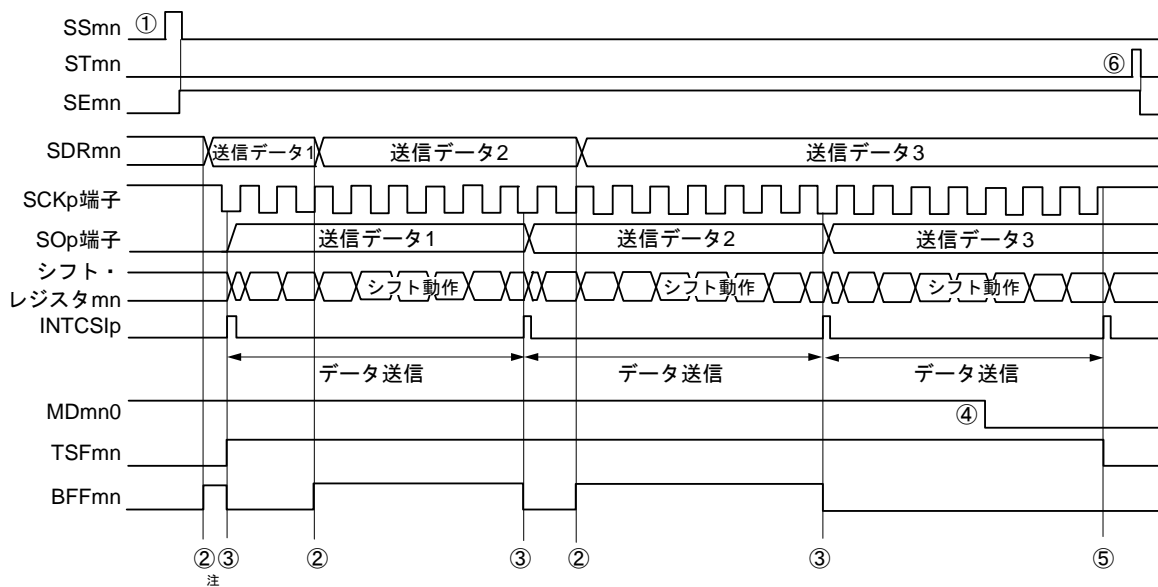
mn = 00

図11-53 スレーブ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図11-54 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

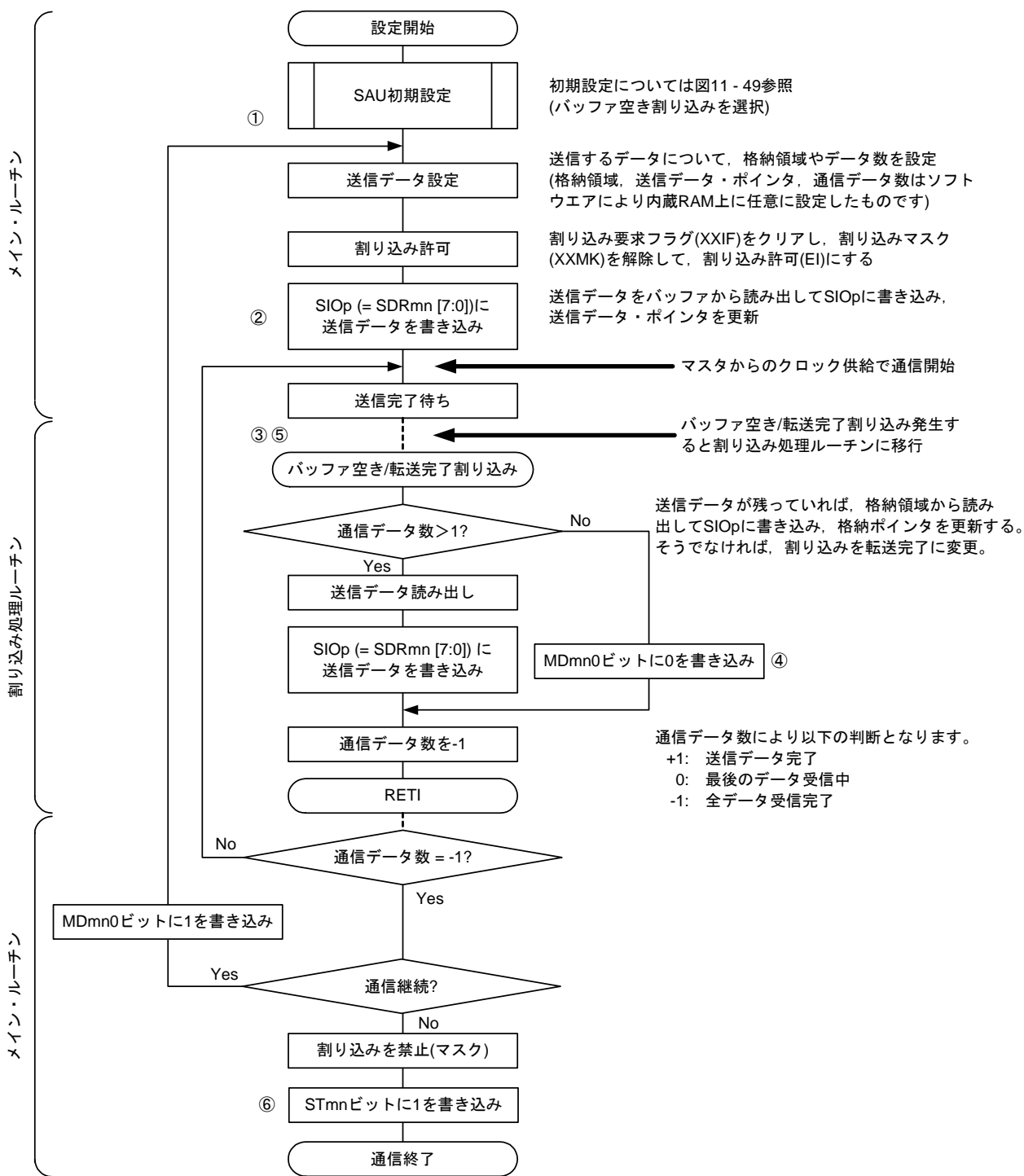


注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき)にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)
mn = 00

図11-55 スレーブ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図11-54 スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

11.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78/G1Pが他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00
割り込み	INTCSI00
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

2. この条件を満たし、かつ電氣的特性の周辺機能特性（第27章 電氣的特性を参照）を満たす範囲内で使用してください。

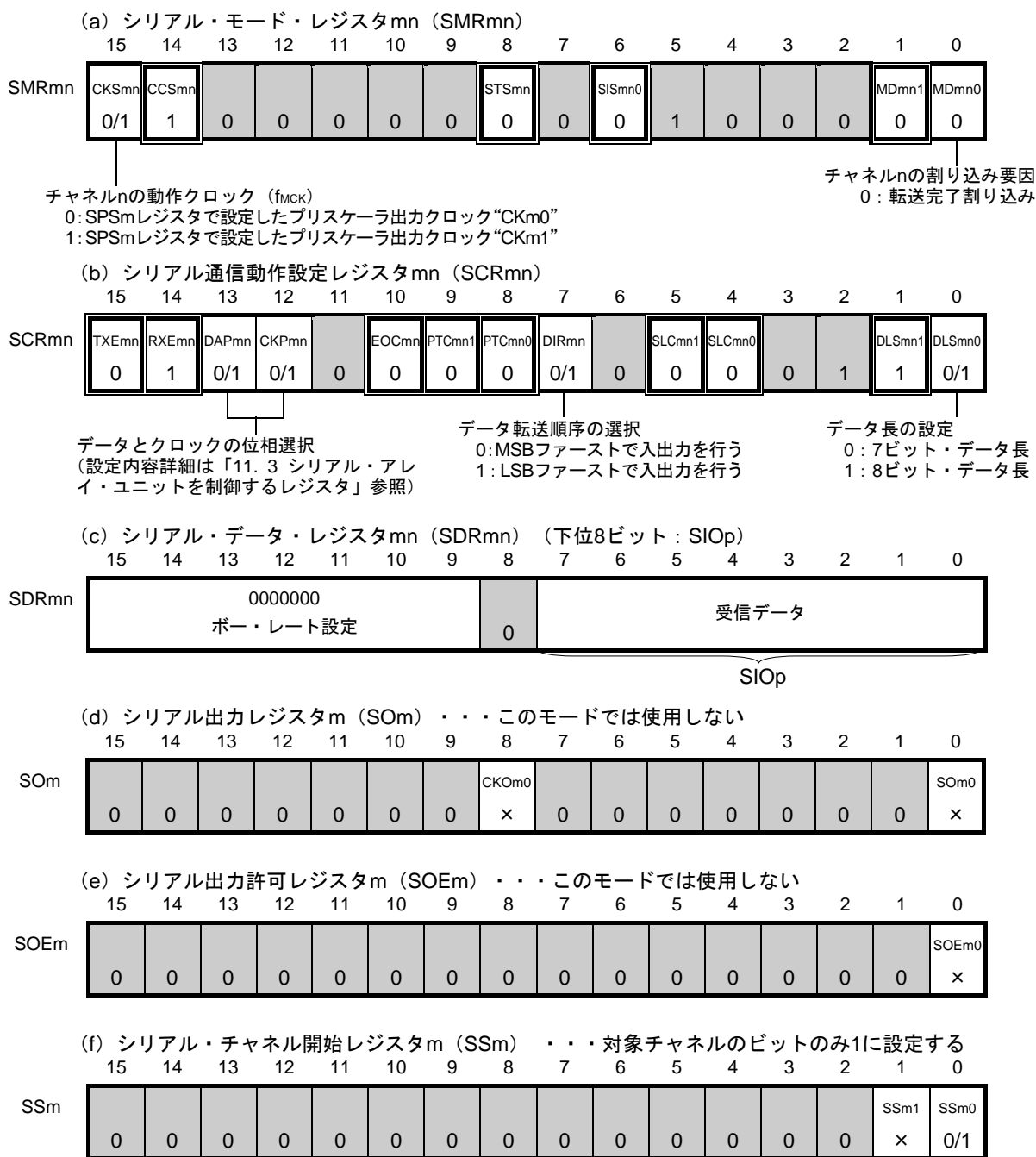
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{SCK} ：シリアル・クロック周波数

2. m：ユニット番号（m = 0） n：チャンネル番号（n = 0），mn = 00

(1) レジスタ設定

図11-56 3線シリアルI/O (CSI00) のスレーブ受信時の
レジスタ設定内容例



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

mn = 00

2. □: スレーブ受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-57 スレーブ受信の初期設定手順

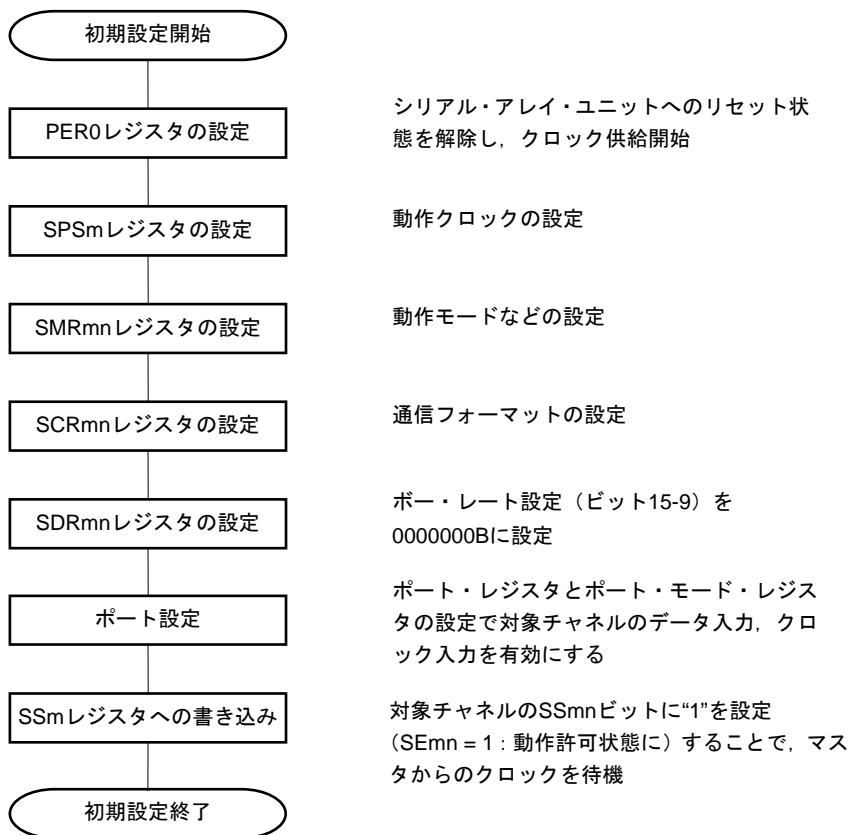


図11-58 スレーブ受信の中断手順

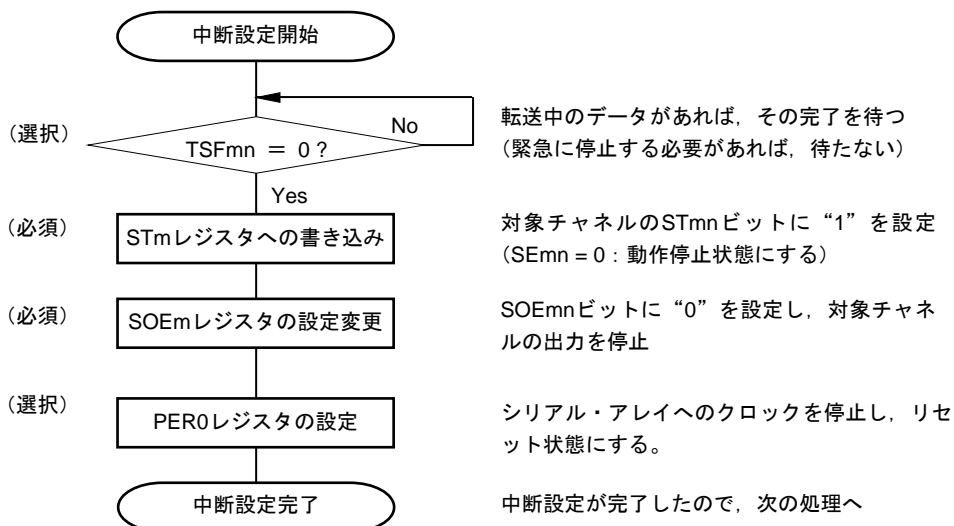
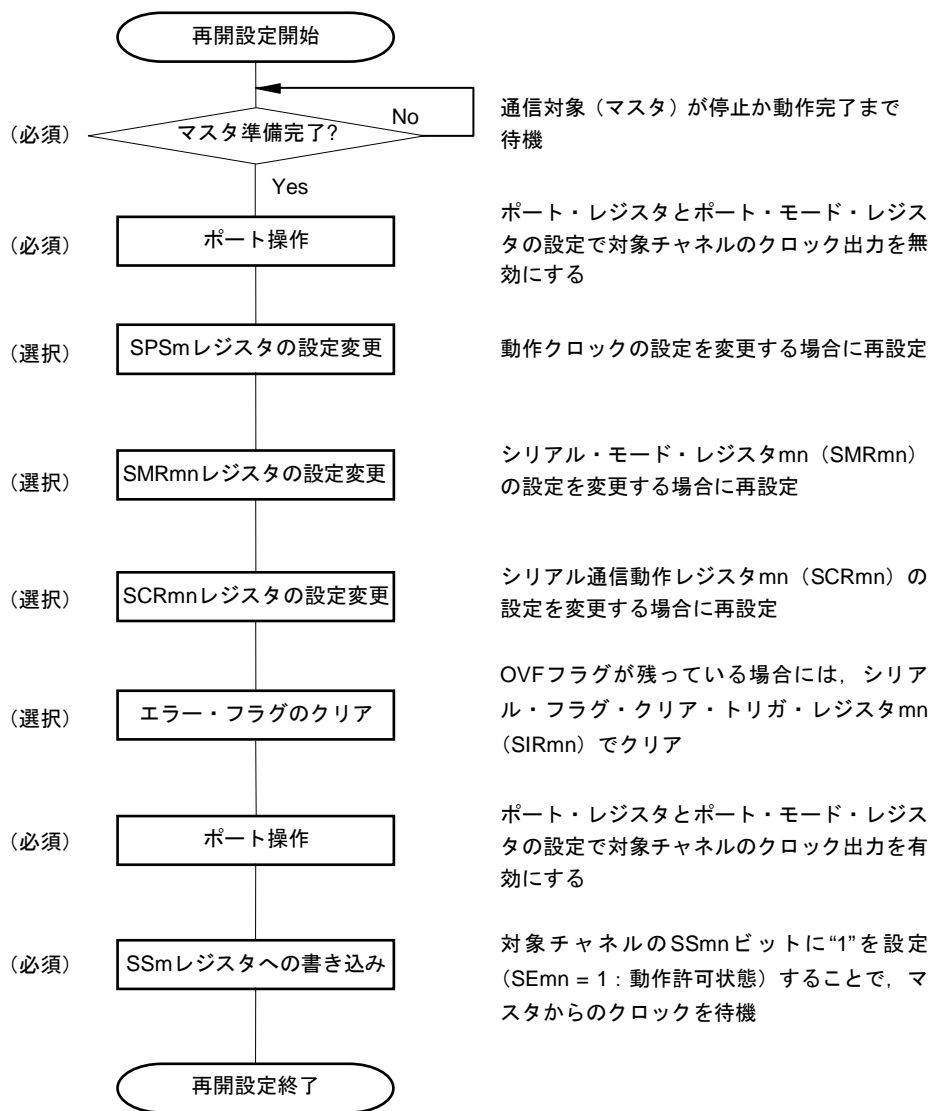


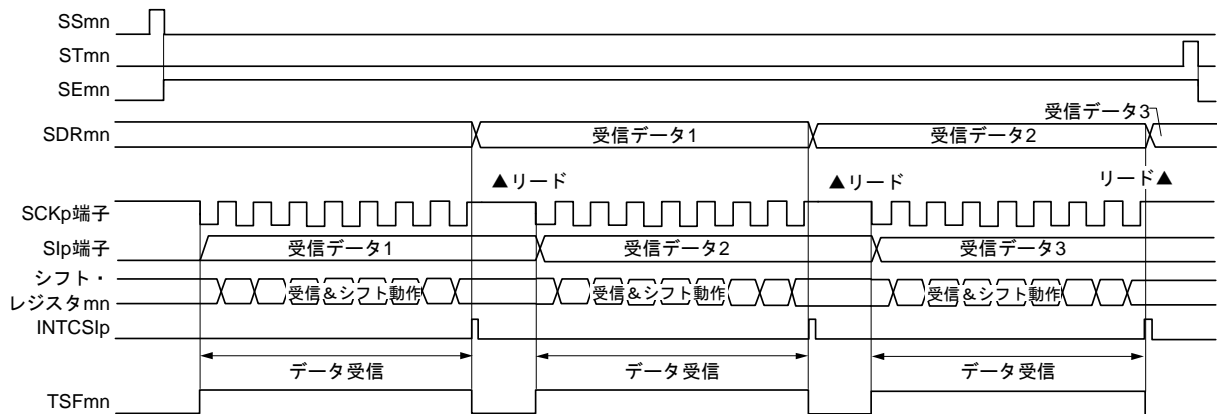
図11-59 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

(3) 処理フロー（シングル受信モード時）

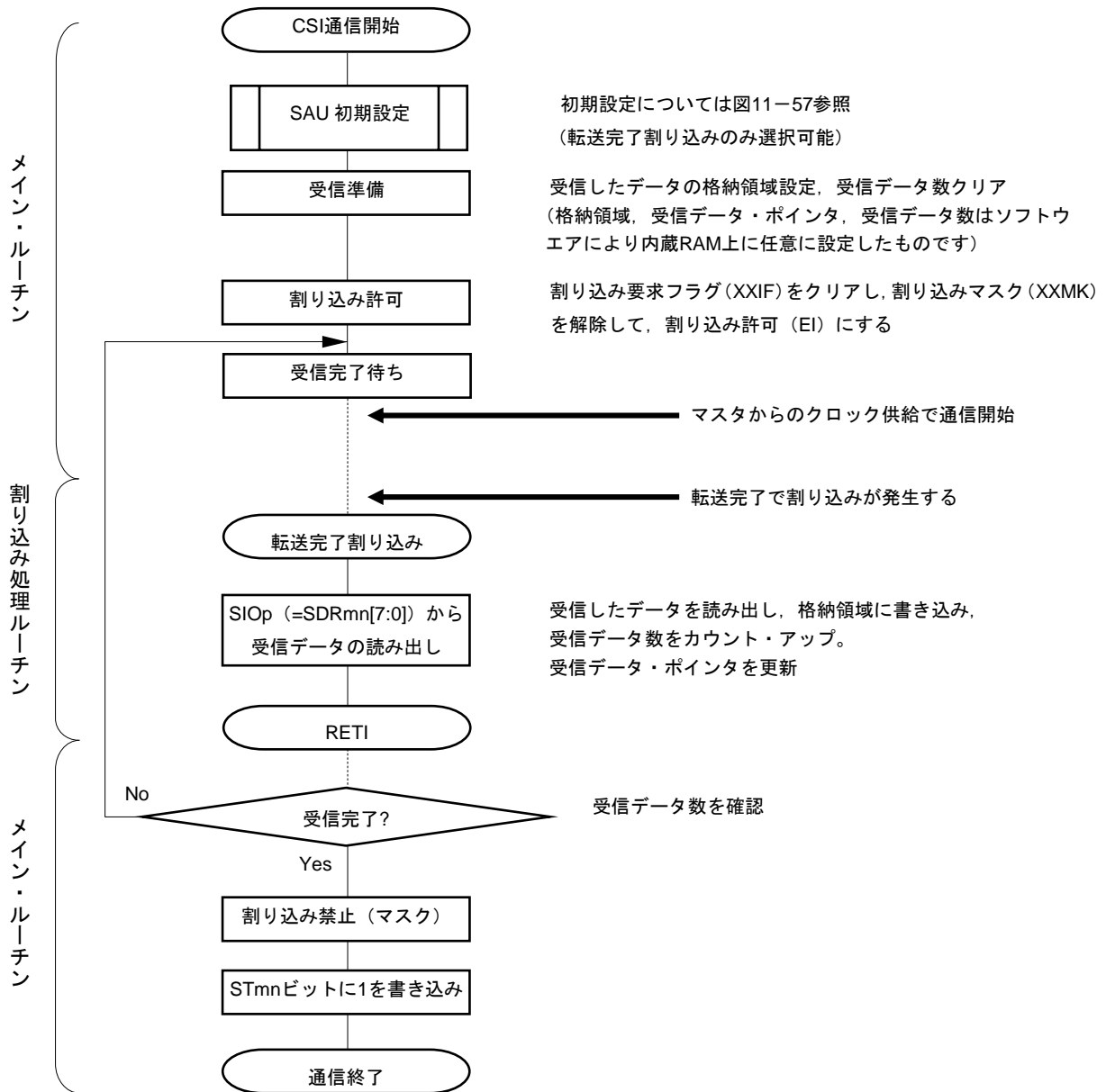
図11-60 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

mn = 00

図11-61 スレーブ受信（シングル受信モード時）のフロー・チャート



11.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78/G1Pと他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, SOM0
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

- この条件を満たし、かつ電氣的特性の周辺機能特性（第27章 電氣的特性を参照）を満たす範囲内で使用してください。

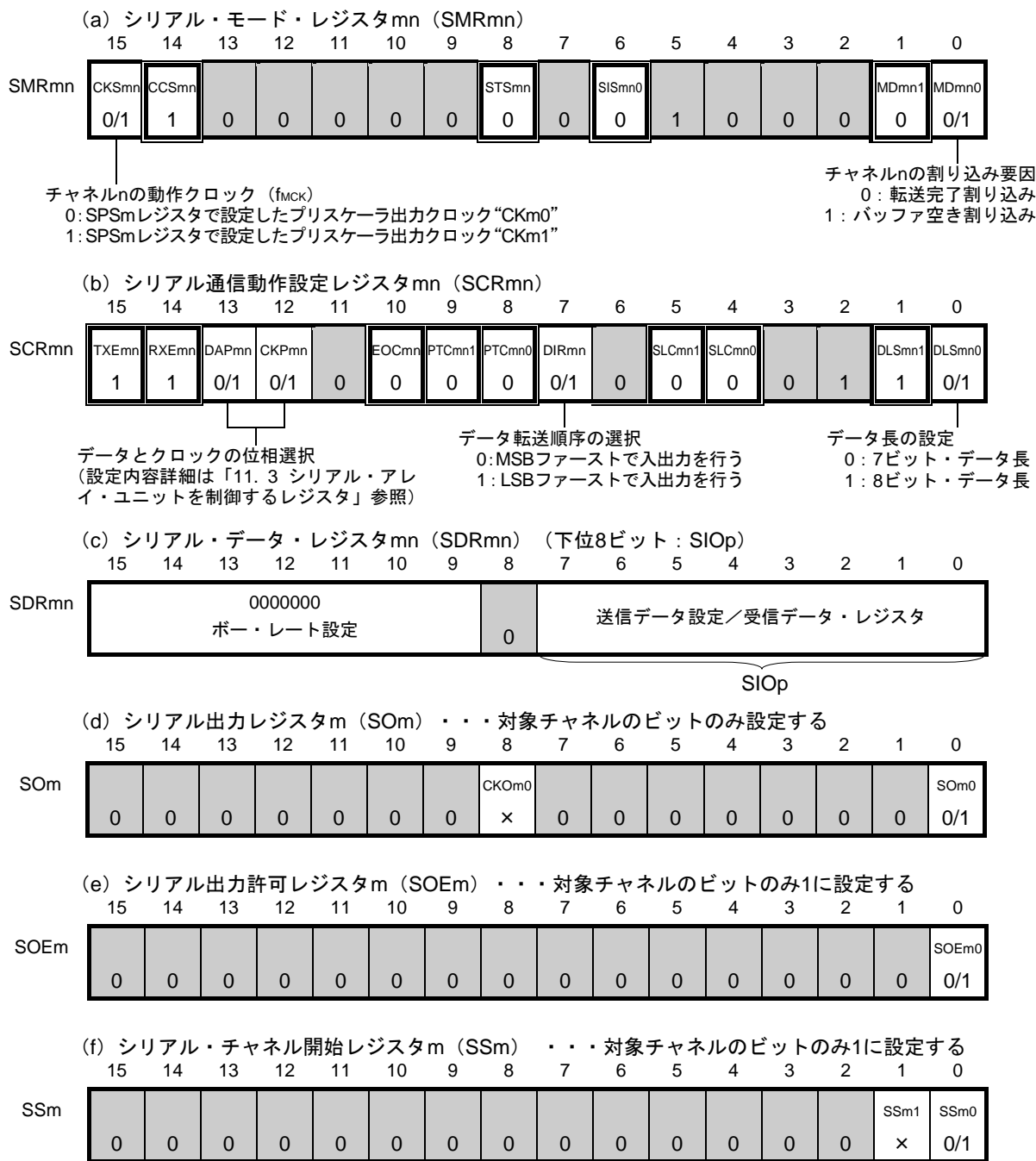
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{SCK} ：シリアル・クロック周波数

- m ：ユニット番号（ $m = 0$ ） n ：チャンネル番号（ $n = 0$ ）， $mn = 00$

(1) レジスタ設定

図11-62 3線シリアル/O (CSI00) のスレーブ送受信時の
レジスタ設定内容例



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号 (m=0) n : チャンネル番号 (n=0) p : CSI番号 (p=00)

mn = 00

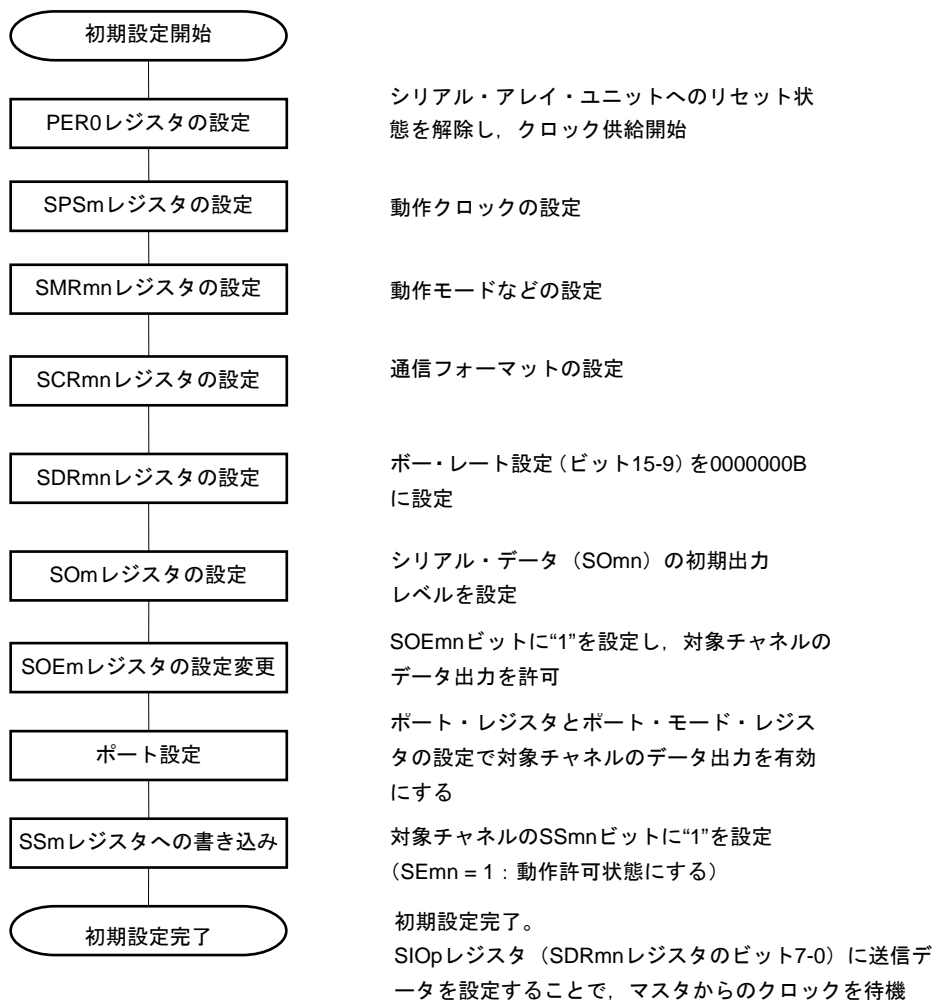
2. □: CSIスレーブ送受信モードでは設定固定 ■: 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-63 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図11-64 スレーブ送受信の中断手順

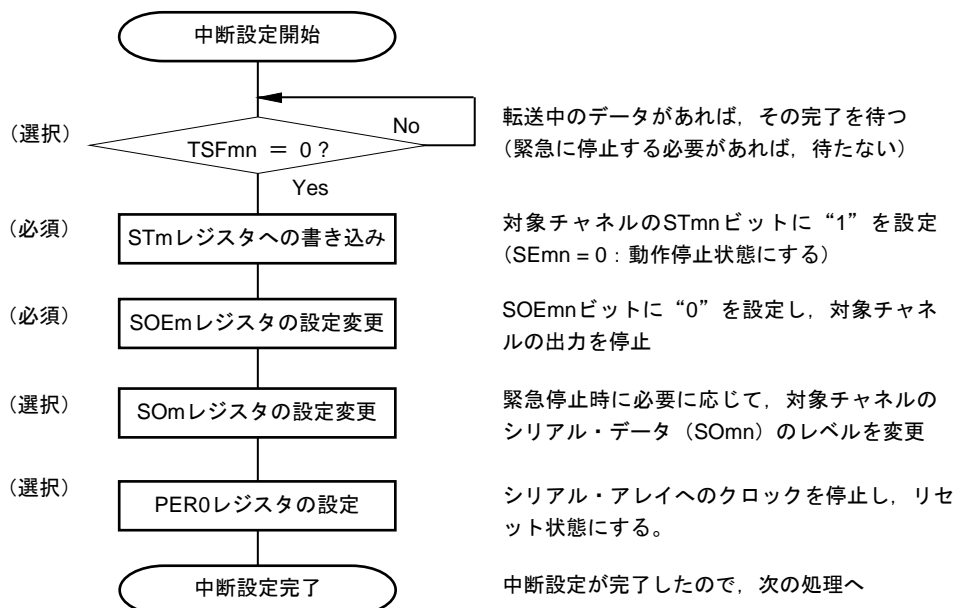
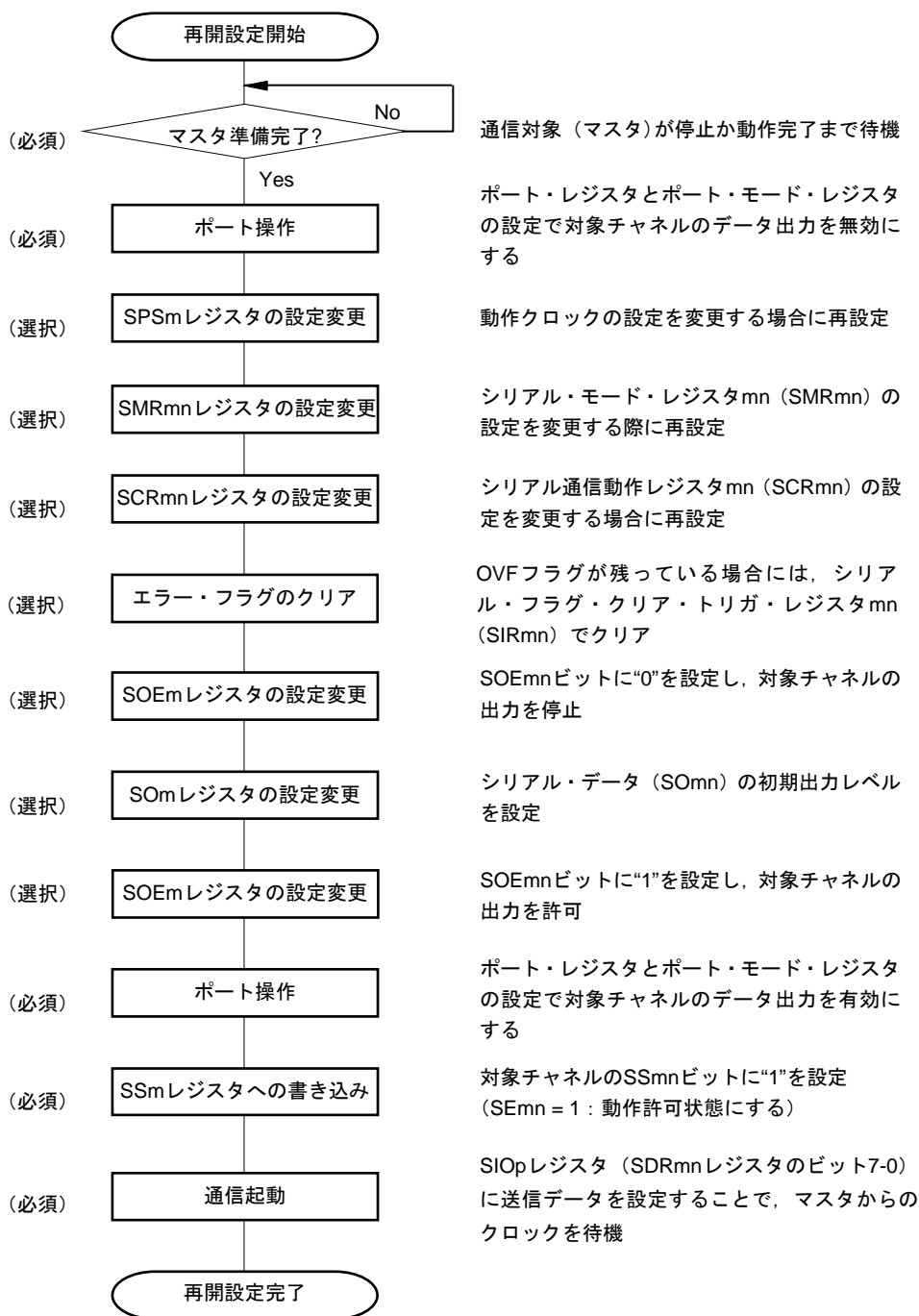


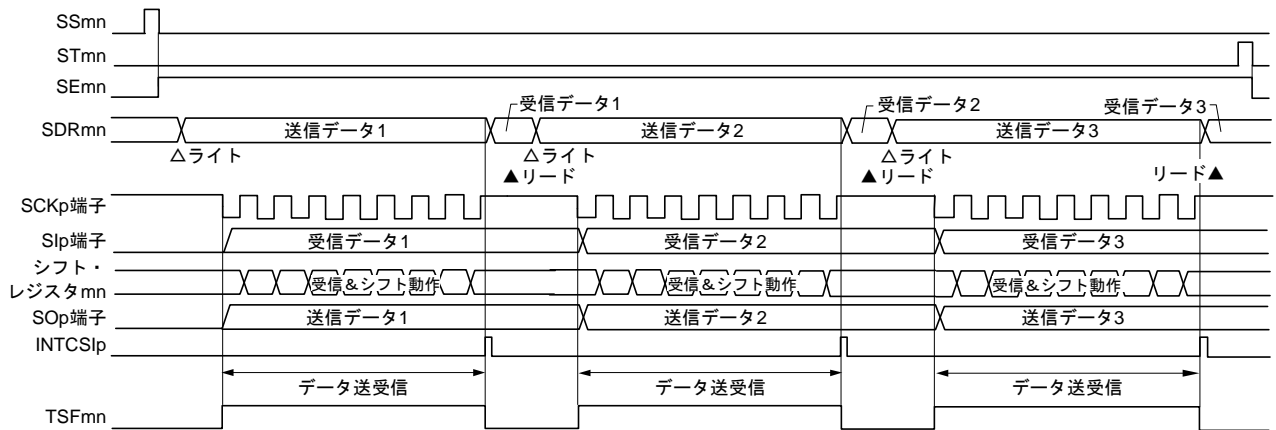
図11-65 スレーブ送受信の再開設定手順



- 注意 1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。
2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

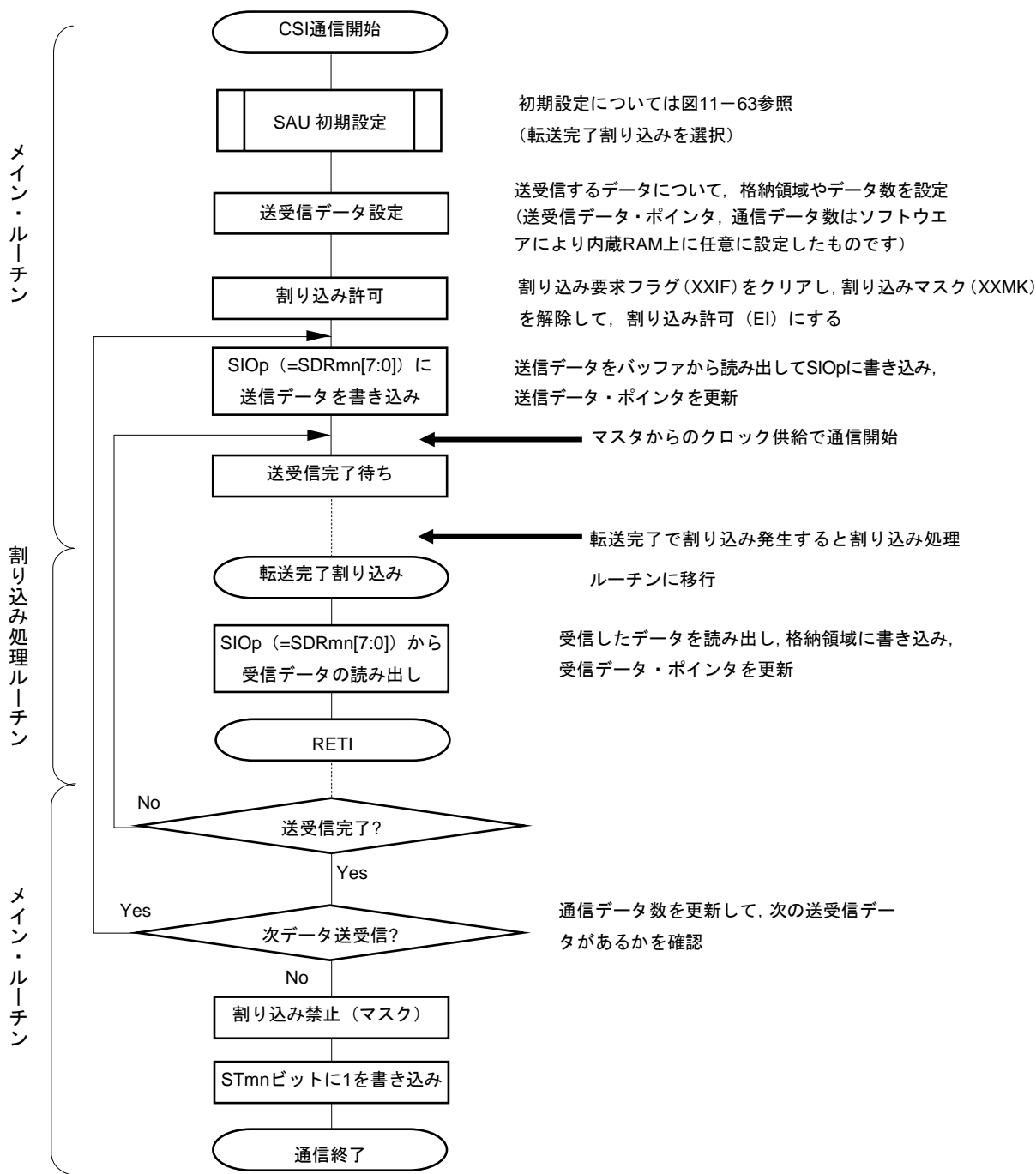
(3) 処理フロー（シングル送受信モード時）

図11-66 スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn=0, CKPmn=0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00) ,
mn = 00

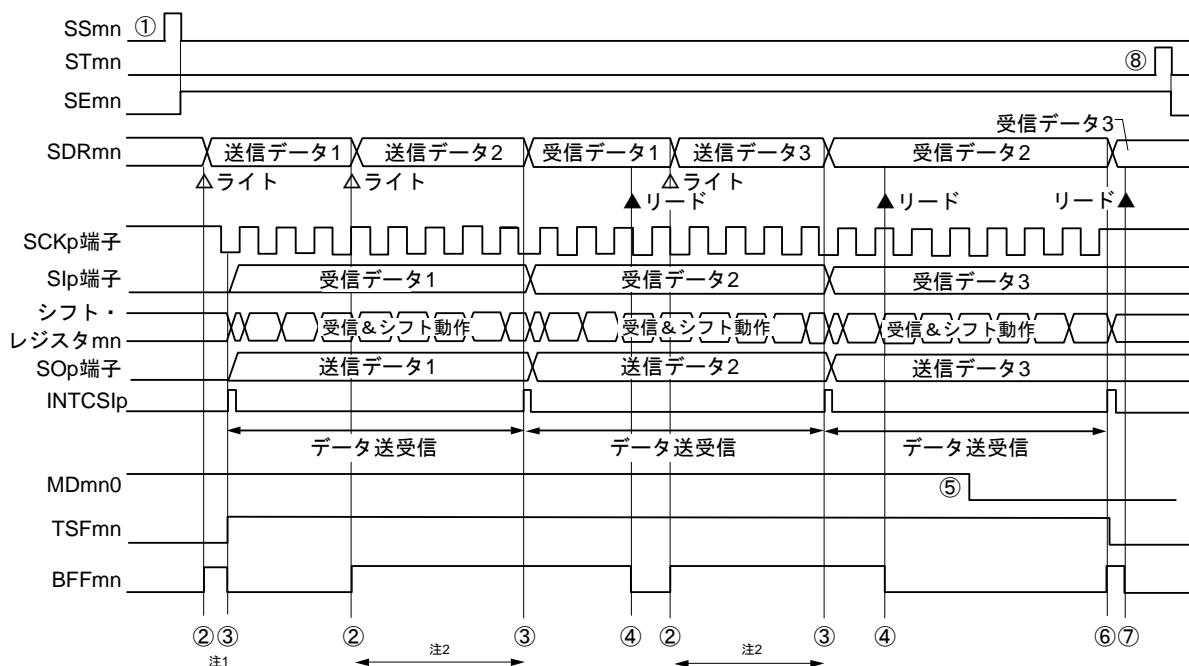
図11-67 スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー（連続送受信モード時）

図11-68 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

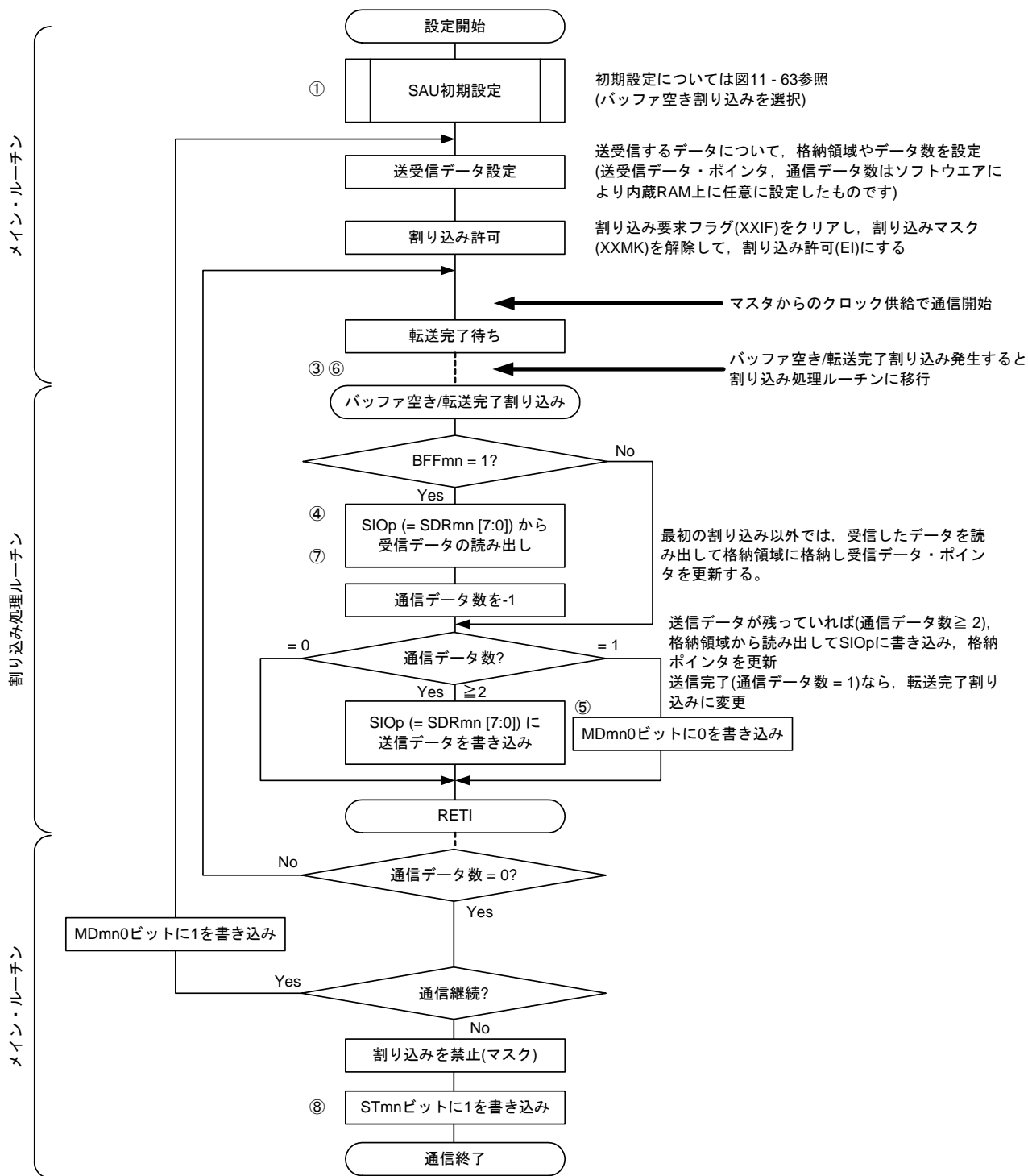


- 注1. シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

- 備考1. 図中の①~⑧は、図11-69 スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。
2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00) ,
mn = 00

図11-69 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①~⑧は、図11-68 スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

11.5.7 SNOOZEモード機能 (CSI00)

STOPモード時にSCKp端子入力の検出によりCSIの受信動作をさせるモードです。通常STOP時にCSIは通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずにCSIの受信動作を行うことができます。

CSIをSNOOZEモードで使用する場合は、STOPモードに移行する直前に次の設定を行います(図11-71、図11-73 SNOOZEモード動作時のフローチャートを参照)。

- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm)のSSm1ビットをセット(1)します。

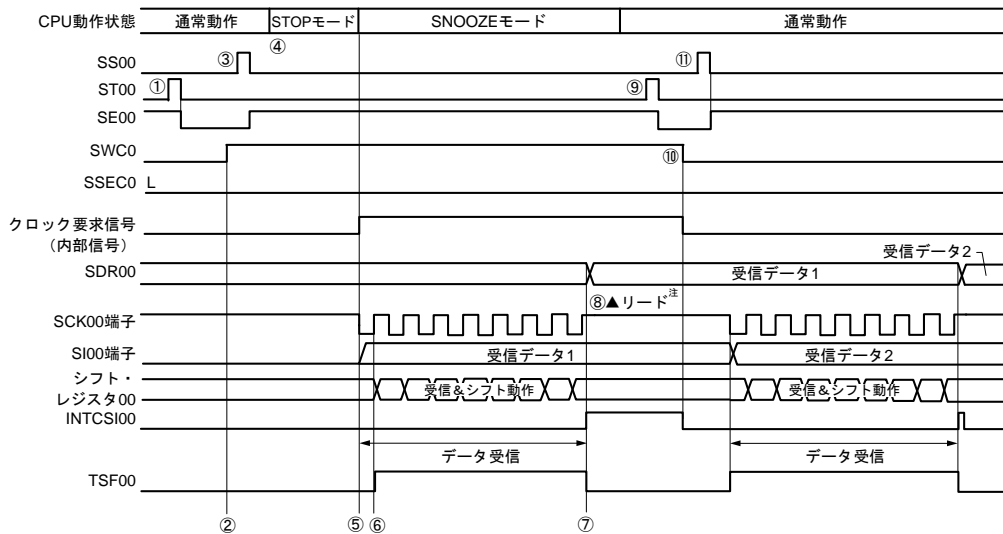
STOPモードに移行後、SCKp端子のエッジを検出すると、CSI受信を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作 (1回起動)

図11-70 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子のエッジ検出前に行ってください。

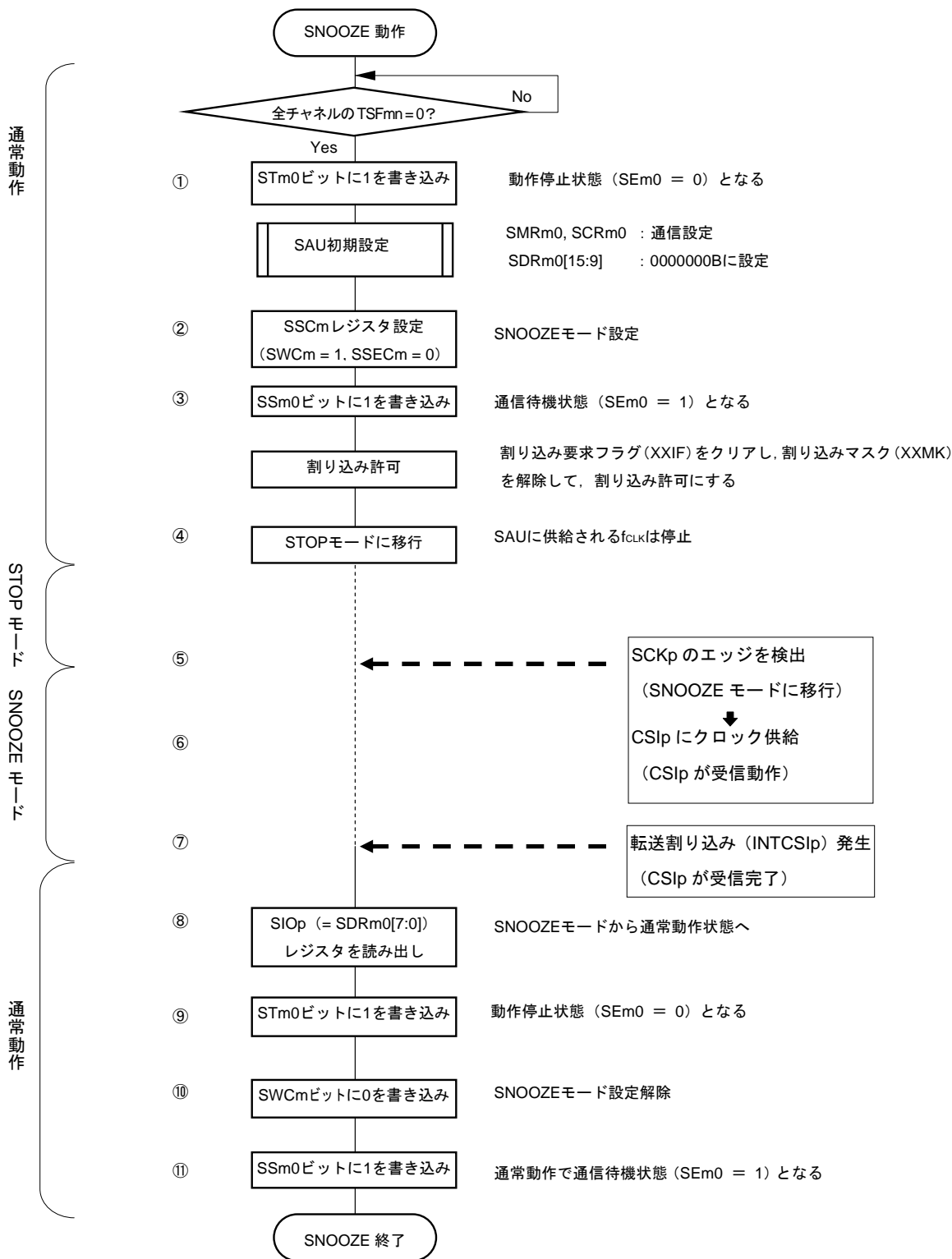
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください (SEm0ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

備考1. 図中の①~⑪は、図11-71 SNOOZEモード動作 (1回起動) 時のフロー・チャートの①~⑪に対応しています。

2. m = 0; p = 00

図11-71 SNOOZEモード動作（1回起動）時のフロー・チャート

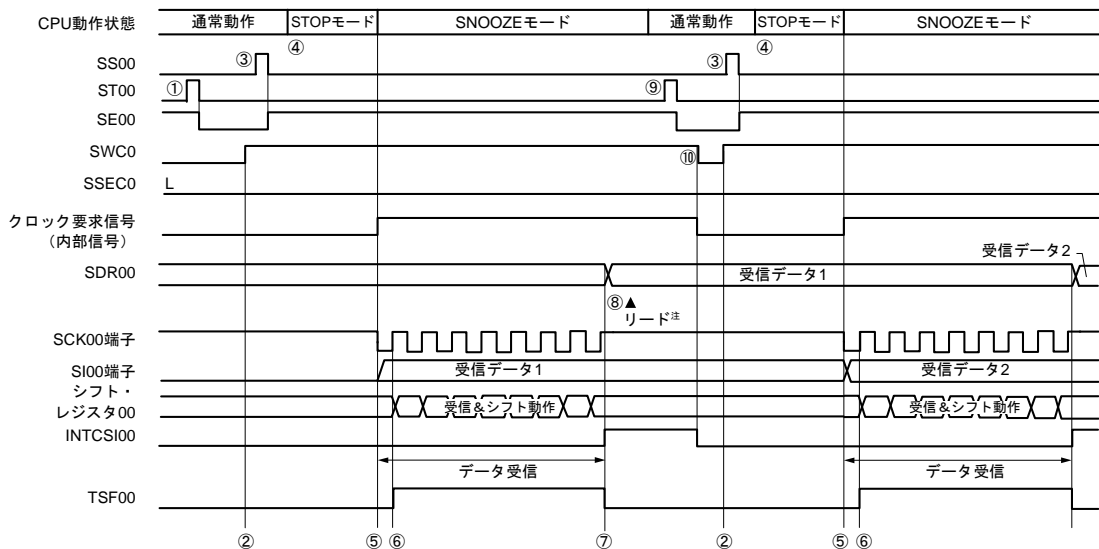


備考1. 図中の①~⑪は、図11-70 SNOOZEモード動作（1回起動）時のタイミング・チャートの①~⑪に対応しています。

2. m = 0; p = 00

(2) SNOOZEモード動作（連続起動）

図11-72 SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

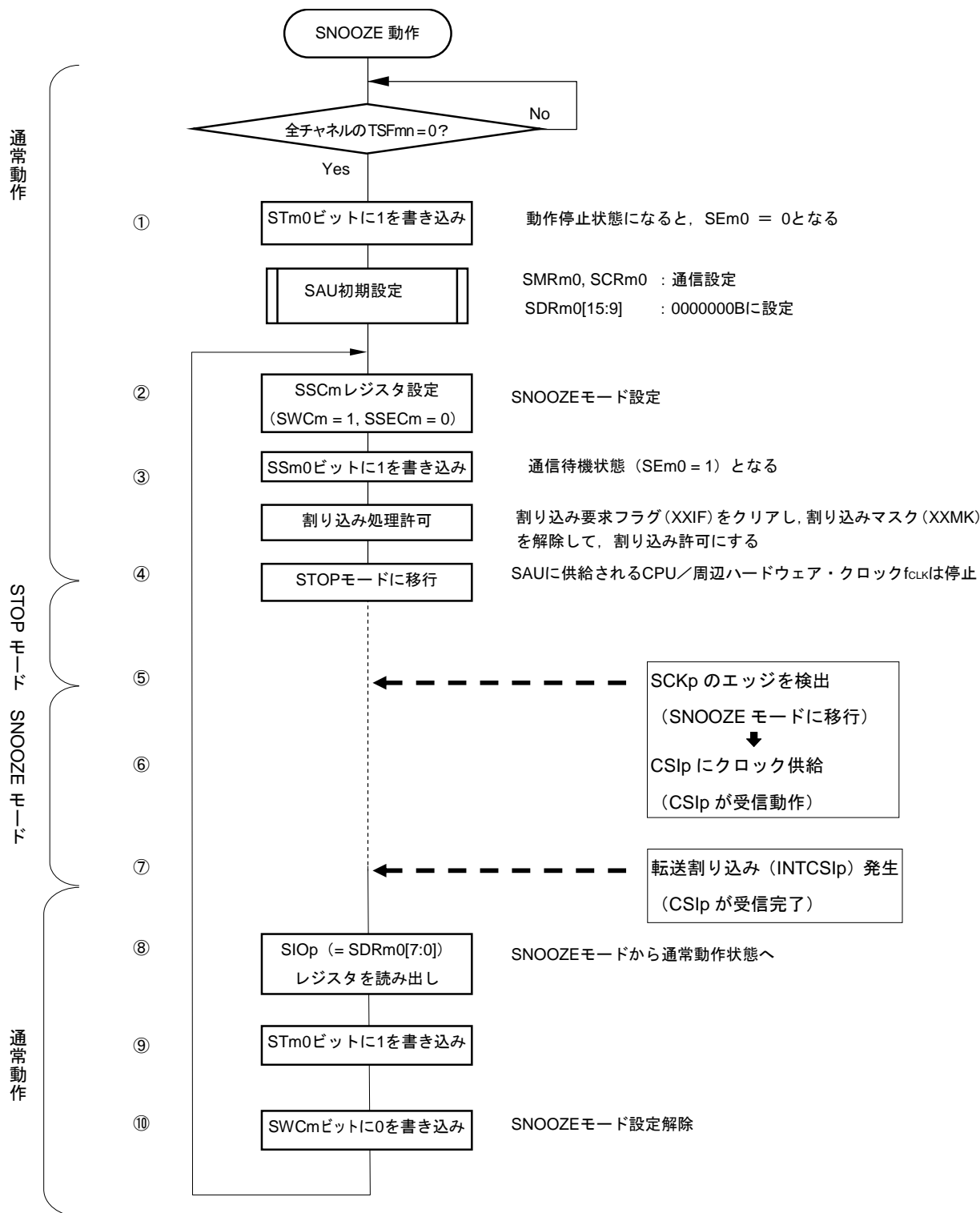


注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子のエッジ検出前に行ってください。

- 注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。
 また、受信動作を完了したあとは、SWCmビットもクリアしてください（SNOOZE解除）。
 2. SWCm = 1のときは、BFFm1, OVfM1フラグは動作しません。

- 備考1. 図中の①~⑩は、図11-73 SNOOZEモード動作（連続起動）時のフロー・チャートの①~⑩に対応しています。
 2. m = 0; p = 00

図11-73 SNOOZEモード動作（連続起動）時のフロー・チャート



備考1. 図中の①~⑩は、図11-72 SNOOZEモード動作（連続起動）時のタイミング・チャートの①~⑩に対応しています。

2. m = 0; p = 00

11.5.8 転送クロック周波数の算出

3線シリアル/O (CSI00) 通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャンネルの動作クロック (f}_{\text{MCK}} \text{) 周波数} \} \div (\text{SDRmn}[15:9]+1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \}^{\text{注}} \text{ [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{\text{MCK}}/6$ となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn) のビット15-9の値 (0000000B-1111111B) なので、0-127になります。

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット15 (CKSmn) で決まります。

表11-2 3線シリアルI/O動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f _{CLK}) ^注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	32 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	16 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	8 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	4 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	1 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	f _{CLK} /2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	f _{CLK} /2 ¹³	3.91 kHz
	X	X	X	X	1	1	1	0	f _{CLK} /2 ¹⁴	1.95 kHz
X	X	X	X	1	1	1	1	f _{CLK} /2 ¹⁵	977 Hz	
1	0	0	0	0	X	X	X	X	f _{CLK}	32 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	16 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	8 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	4 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	1 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	15.63 kHz
	1	1	0	0	X	X	X	X	f _{CLK} /2 ¹²	7.81 kHz
	1	1	0	1	X	X	X	X	f _{CLK} /2 ¹³	3.91 kHz
	1	1	1	0	X	X	X	X	f _{CLK} /2 ¹⁴	1.95 kHz
1	1	1	1	X	X	X	X	f _{CLK} /2 ¹⁵	977 Hz	
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) , mn = 00

11.5.9 3線シリアルI/O (CSI00) 通信時におけるエラー発生時の処理手順

3線シリアルI/O (CSI00) 通信時にエラーが発生した場合の処理手順を図11-74に示します。

図11-74 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが “0” となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に “1” をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) , mn = 00

11.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作

スレーブセレクト入力機能付クロック同期シリアル通信に対応しているチャンネルは、SAU0のチャンネル0です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート^注 スレーブ通信時 : Max. f_{MCK}/6

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

[拡張機能]

- ・ スレーブ選択機能

注 SCKサイクル・タイム(t_{KCY}) の特性を満たす範囲内で使用してください。詳細は、第27章 電気的特性を参照してください。

ユニット	チャンネル	CSIとして使用	UARTとして使用
0	0	CSI00(スレーブセレクト 入力機能対応)	UART0
	1	—	

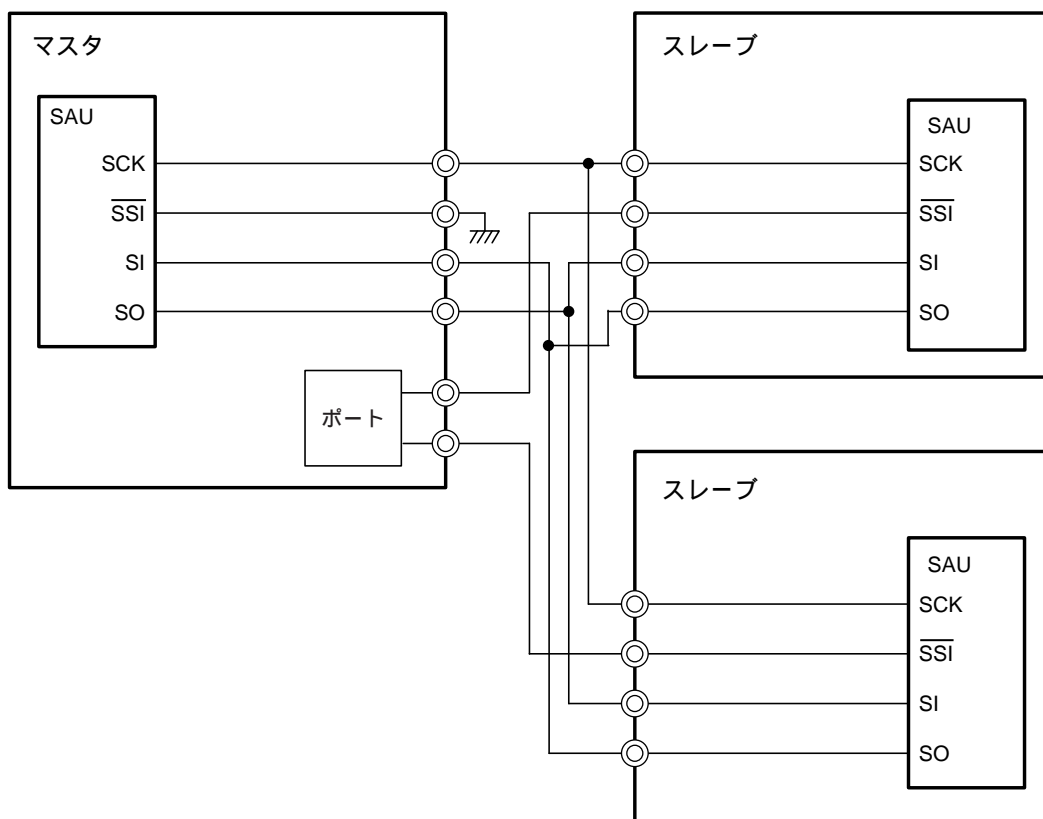
スレーブセレクト入力機能の通信動作は、以下の3種類があります。

- ・ スレーブ送信 (11.6.1項を参照)
- ・ スレーブ受信 (11.6.2項を参照)
- ・ スレーブ送受信 (11.6.3項を参照)

スレーブセレクト入力機能を使うことで、マスタ1つに対し複数のスレーブを接続し、通信を行うことができます。マスタは通信相手となるスレーブ（1つ）に対しスレーブ選択信号を出力し、各スレーブは通信相手として自分が選択されたかを判断し、SO端子の出力制御を行います。スレーブとして選択された場合にはSO端子はマスタに対し送信データの通信を行うことができます。スレーブとして選択されなかった場合には、SO端子はハイ・インピーダンス出力となるため、他のスレーブのSO出力とショートすることを回避できます。また、スレーブとして選択されなかった場合にはマスタからのシリアル・クロックが入力されても送受信動作を行いません。

注意 スレーブ選択信号の出力はポート操作により行ってください。

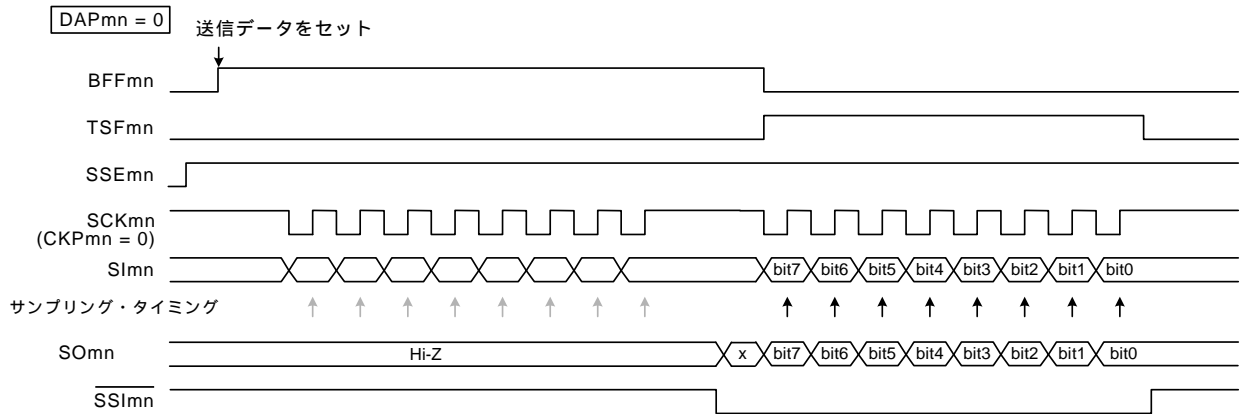
図11-75 スレーブセレクト入力機能の構成例



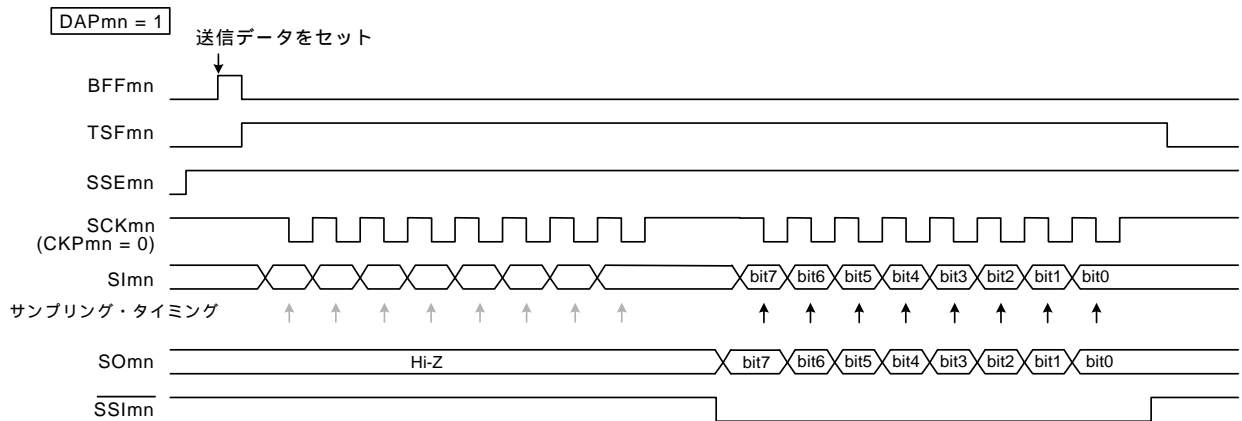
注意 $V_{DD} \geq V_b$ で使用してください。

SO00端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

図11-76 スレーブセレクト入力機能のタイミング図



SSImnがハイ期間ではSCKmn（シリアル・クロック）の立ち下がりエッジが来ても送信を行いません。また、立ち上がりエッジに同期して受信データのサンプリングも行いません。SSImnがロウとなった際、シリアル・クロックの立ち下がりエッジに同期してデータを出力（シフト）し、立ち上がりエッジに同期して受信動作を行います。



DAPmn = 1の場合、SSImnがハイ期間に送信データがセットされると、データ出力に最初のデータ（bit7）を出します。しかし、SCKmn（シリアル・クロック）の立ち上がりエッジが来てもシフト動作を行わず、立ち下がりエッジに同期して受信データのサンプリングも行いません。SSImnがロウになると、次の立ち上がりエッジに同期してデータを出力（シフト）し、立ち下がりエッジに同期して受信動作を行います。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

11.6.1 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78/G1Pから他デバイスへデータを送信する動作です。

スレーブセレクト 入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SO00, SSI00
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）か を選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1,2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト 入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

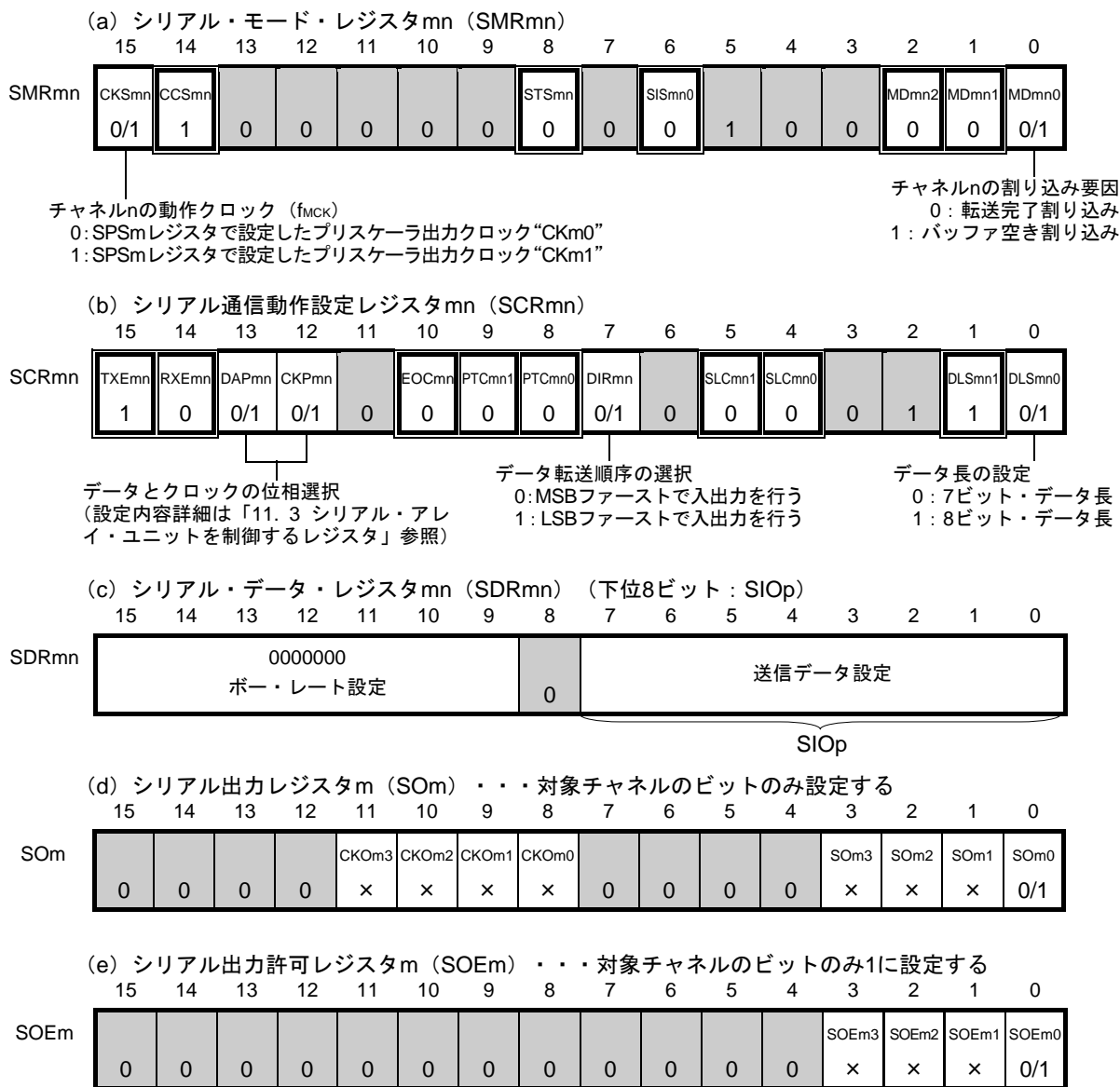
2. この条件を満たし、かつ電氣的特性の周辺機能特性（第27章 電氣的特性を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

2. m：ユニット番号（m = 0） n：チャンネル番号（n = 0）

(1) レジスタ設定

図11-77 スレーブセレクト入力機能 (CSI00) のスレーブ送信時のレジスタ設定内容例 (1/2)



- 備考1. m: ユニット番号 (m=0) n: チャンネル番号 (n=0) p: CSI番号 (p=00)
2. □: CSIスレーブ送信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

図11-77 スレーブセレクト入力機能 (CSI00) のスレーブ送信時のレジスタ設定内容例 (2/2)

(f) シリアル・チャンネル開始レジスタm (SSm) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	0/1

(g) 入力切り替え制御レジスタ (ISC)

. . . CSI00スレーブ・チャンネル (ユニット0のチャンネル0) のSSIO0端子の制御

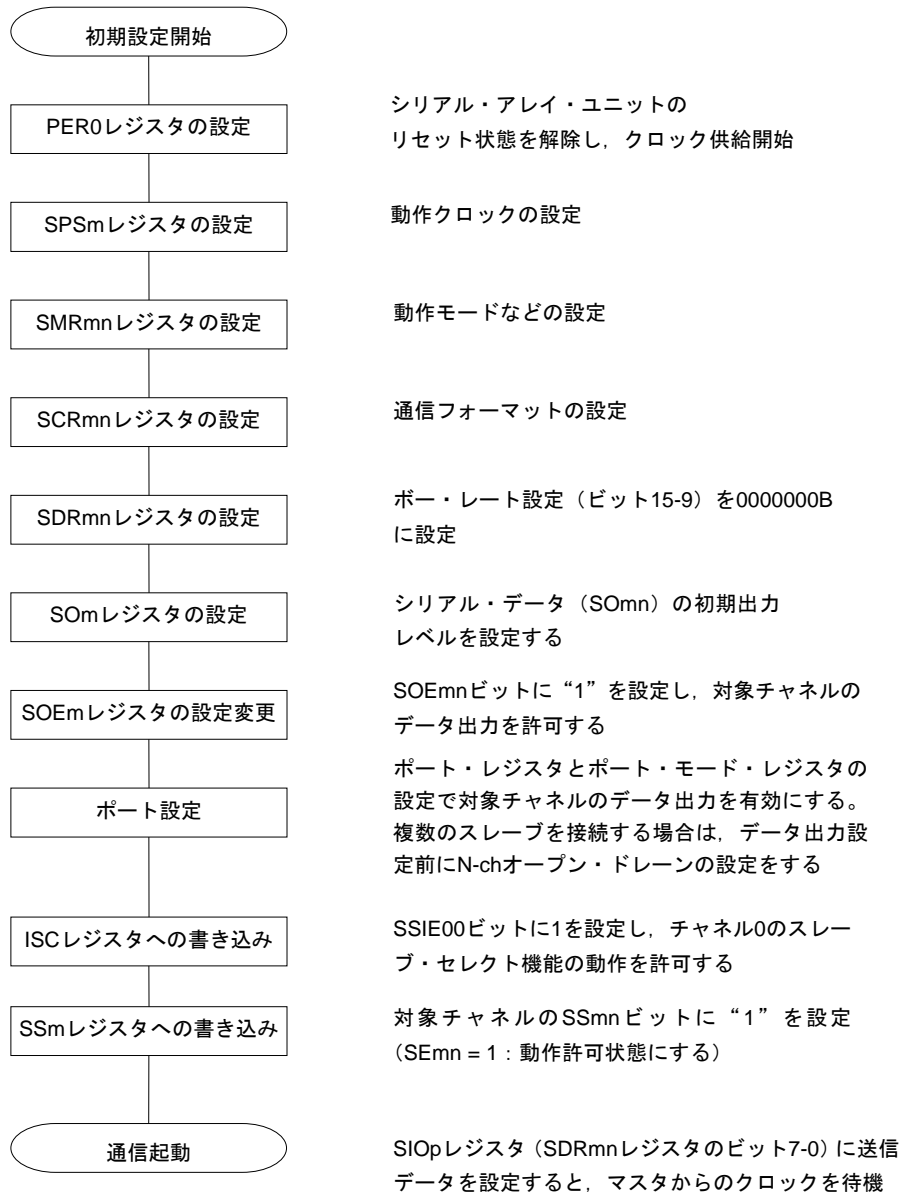
	7	6	5	4	3	2	1	0
ISC	SSIE00						ISC1	ISCO
	0/1	0	0	0	0	0	0/1	0/1

0 : SSIO0端子の入力値を無効
 1 : SSIO0端子の入力値を有効

- 備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)
2. : CSIスレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)
- × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
- 0/1 : ユーザの用途に応じて0または1に設定

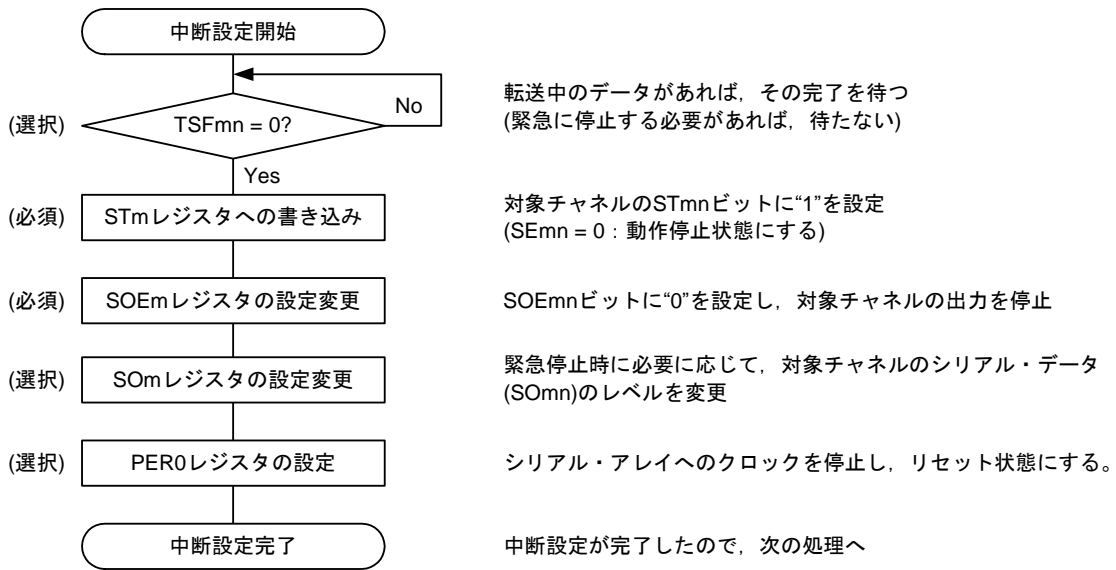
(2) 操作手順

図11-78 スレーブ送信の初期設定手順



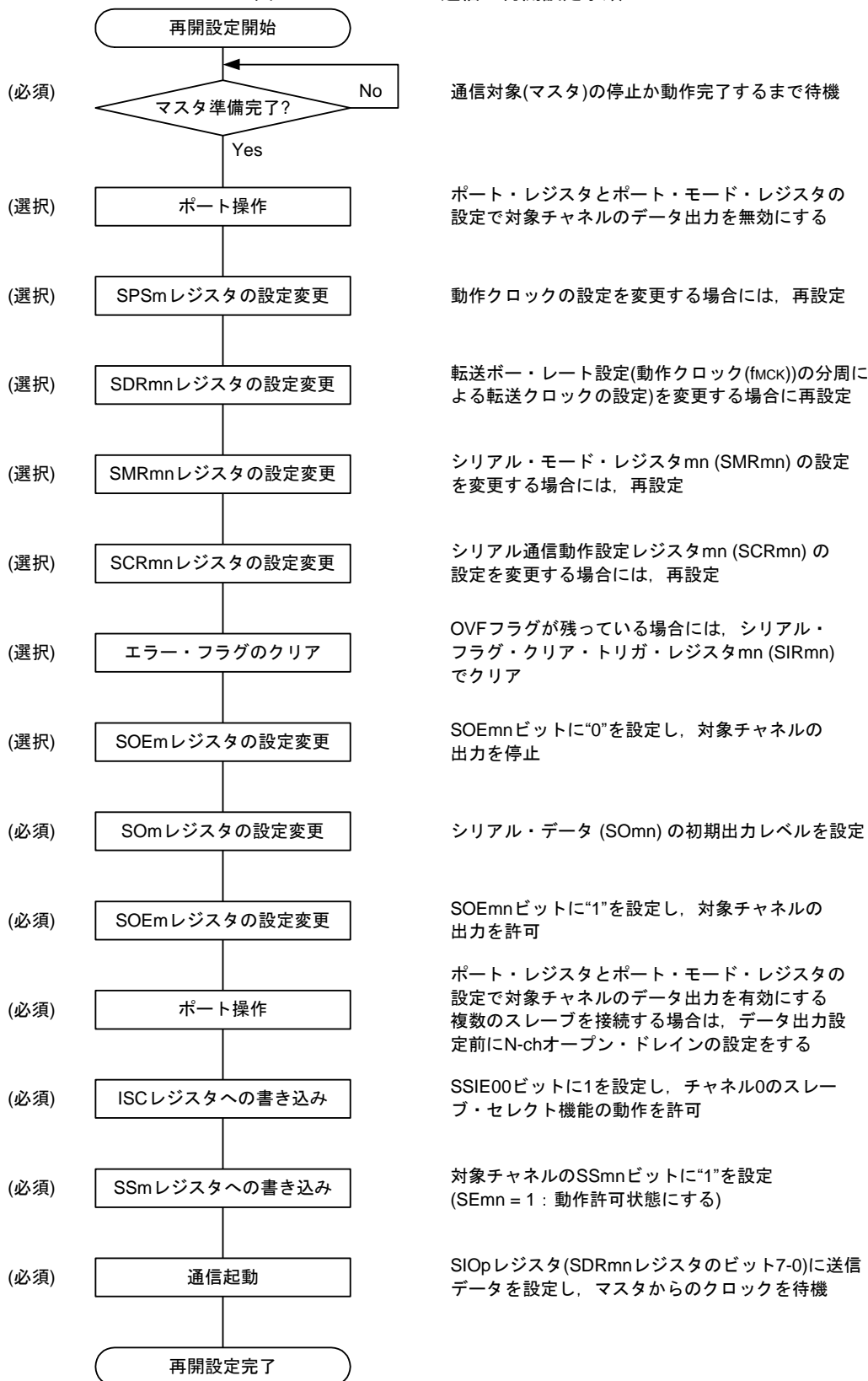
備考 m：ユニット番号（m = 0） n：チャンネル番号（n = 0） p：CSI番号（p = 00）

図11-79 スレーブ送信の中断手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

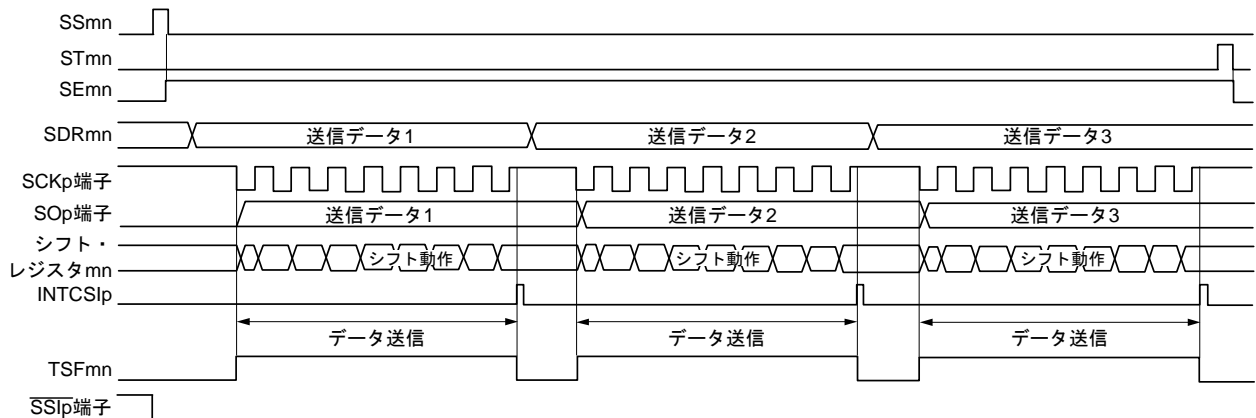
図11-80 スレーブ送信の再開設定手順



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

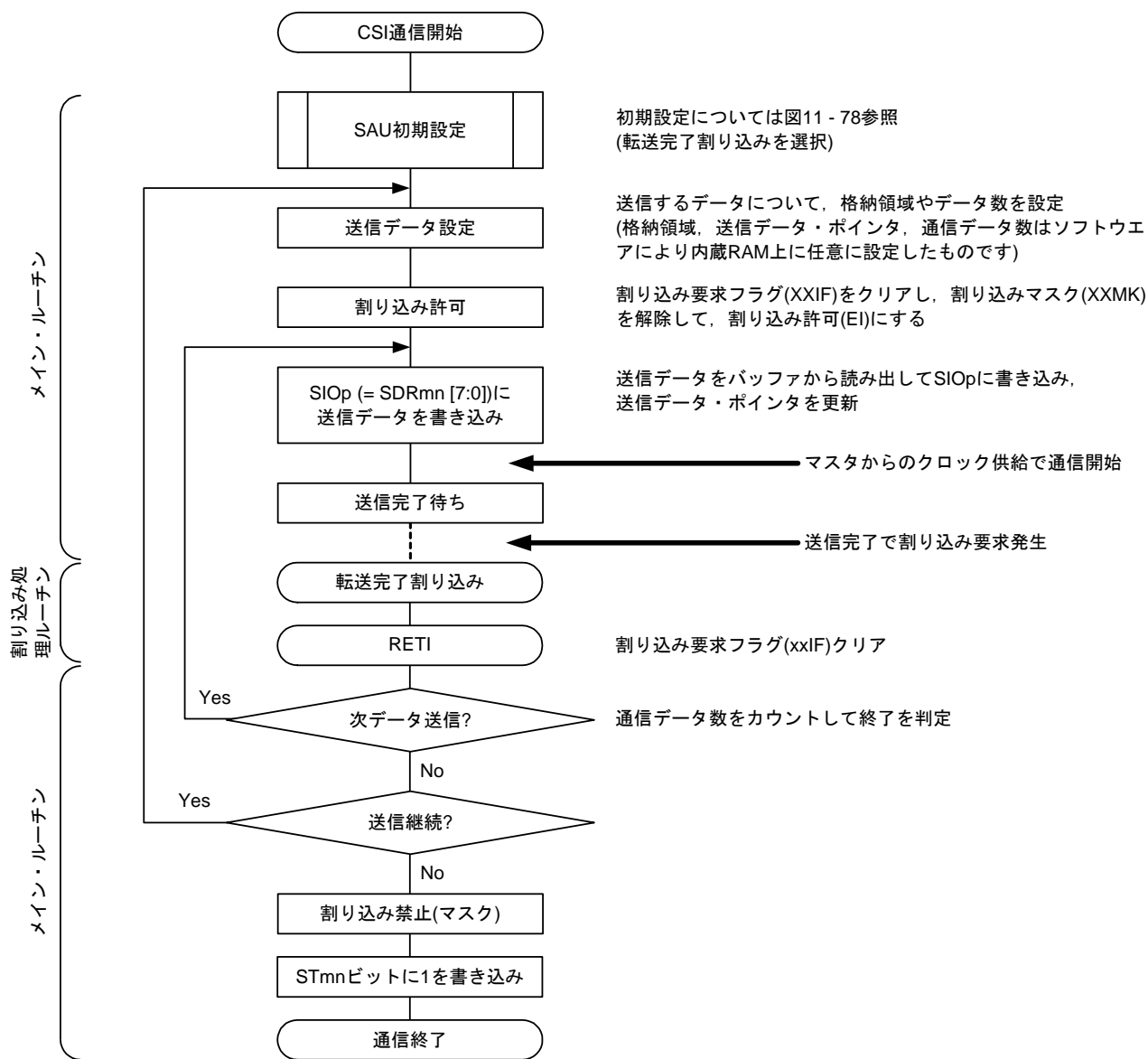
(3) 処理フロー（シングル送信モード時）

図11-81 スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

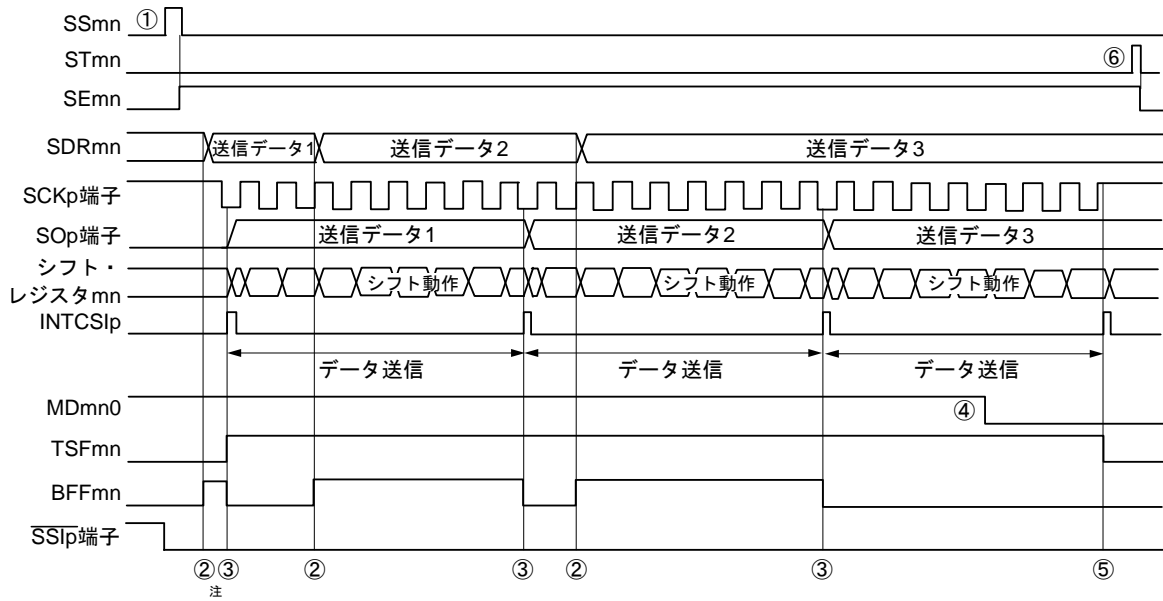
図11-82 スレーブ送信（シングル送信モード時）のフロー・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

(4) 処理フロー（連続送信モード時）

図11-83 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

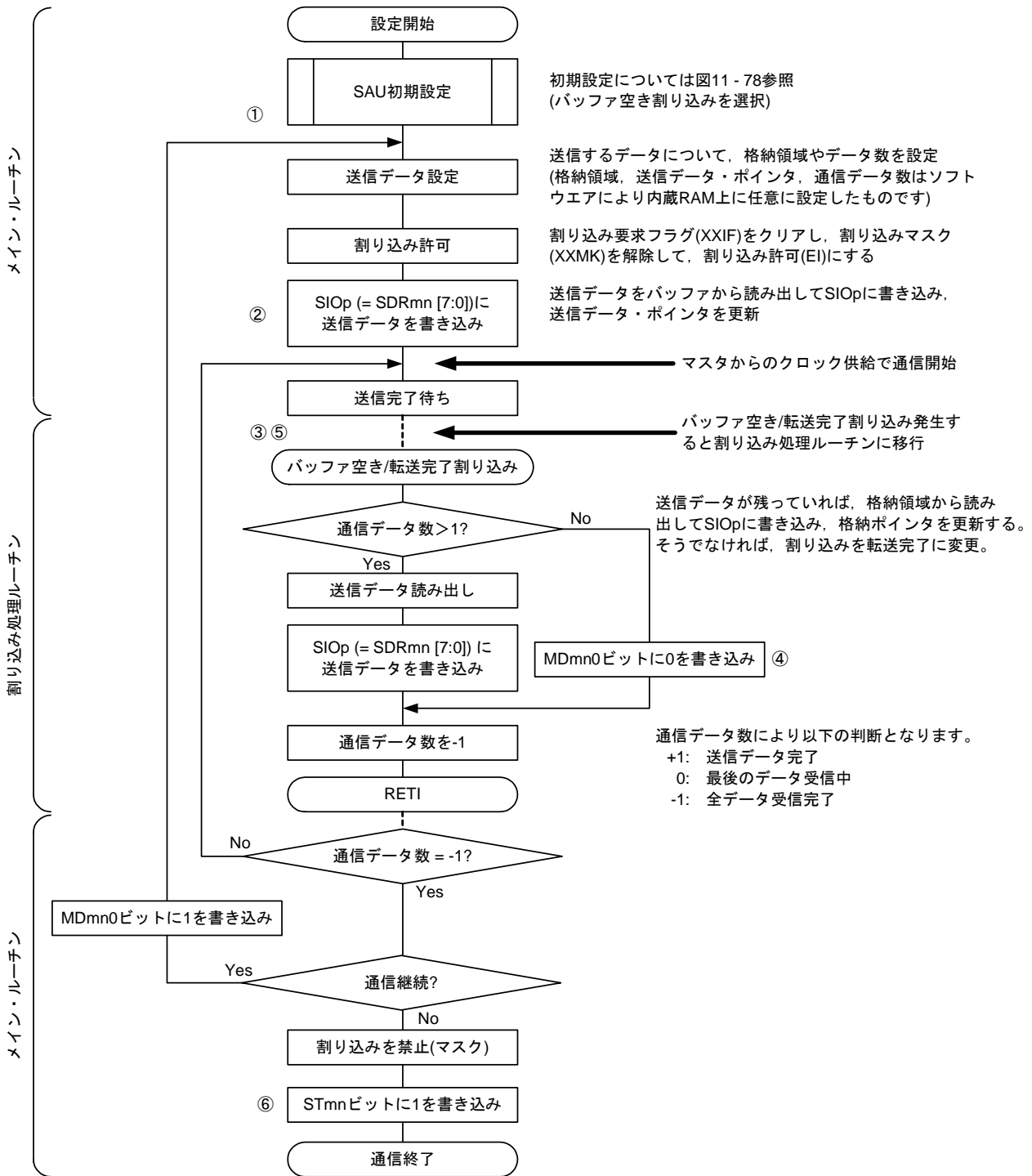


注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m：ユニット番号 (m = 0) n：チャンネル番号 (n = 0) p：CSI番号 (p = 00)

図11-84 スレーブ送信（連続送信モード時）のフロー・チャート



備考1. 図中の①~⑥は、図11-83 スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

11.6.2 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。

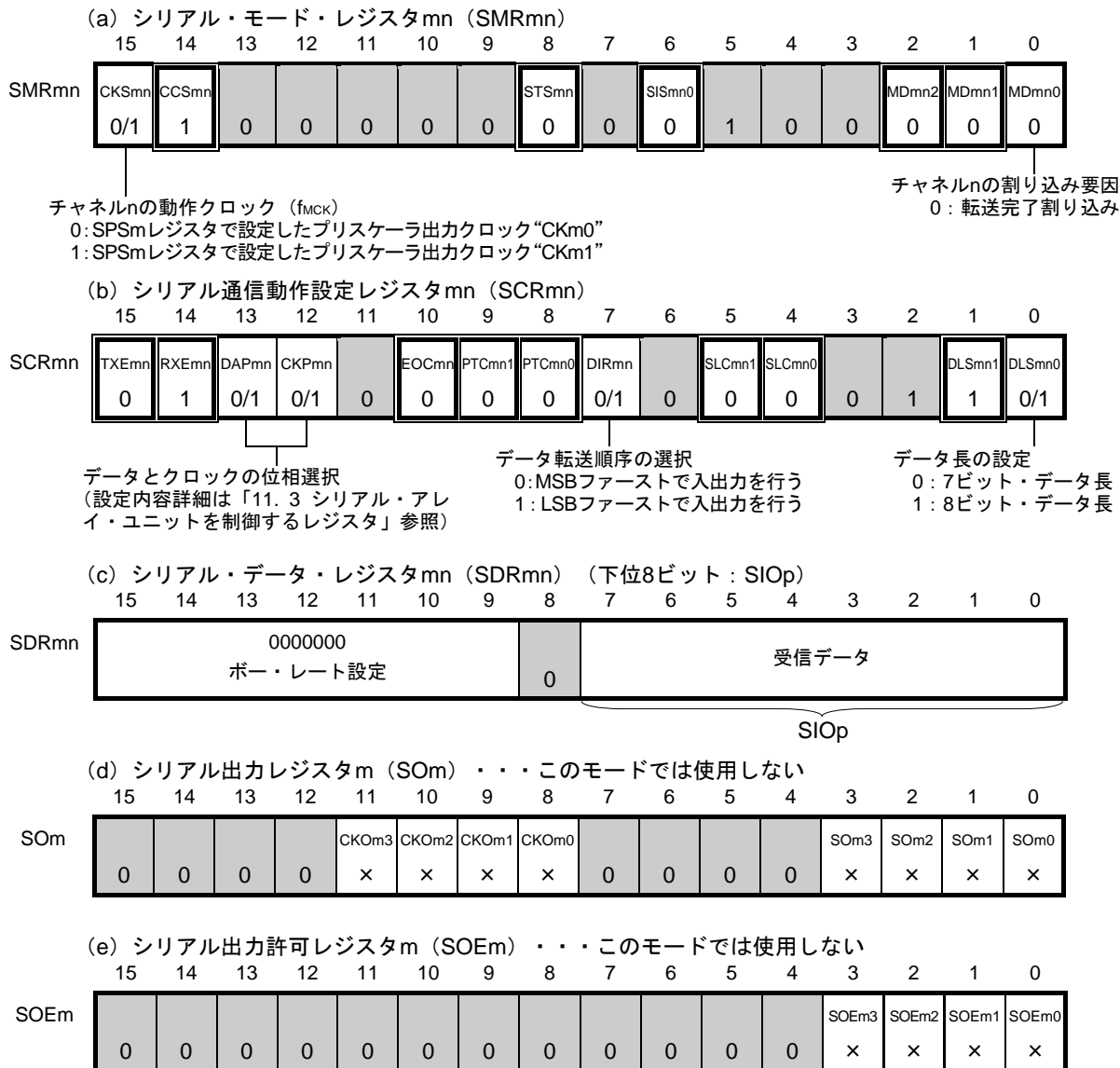
2. この条件を満たし、かつ電氣的特性の周辺機能特性（第27章 電氣的特性を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

2. m：ユニット番号（m = 0） n：チャンネル番号（n = 0）

(1) レジスタ設定

図11-85 スレーブセレクト入力機能 (CSI00) のスレーブ受信時のレジスタ設定内容例 (1/2)



- 備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)
2. : スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図11-85 スレーブセレクト入力機能 (CSI00) のスレーブ受信時のレジスタ設定内容例 (2/2)

(f) シリアル・チャンネル開始レジスタm (SSm) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	0/1

(g) 入力切り替え制御レジスタ (ISC)

. . . CSI00スレーブ・チャンネル (ユニット0のチャンネル0) のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00						ISC1	ISCO
	0/1	0	0	0	0	0	0/1	0/1

0 : SSI00端子の入力値を無効
 1 : SSI00端子の入力値を有効

- 備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)
2. : スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-86 スレーブ受信の初期設定手順

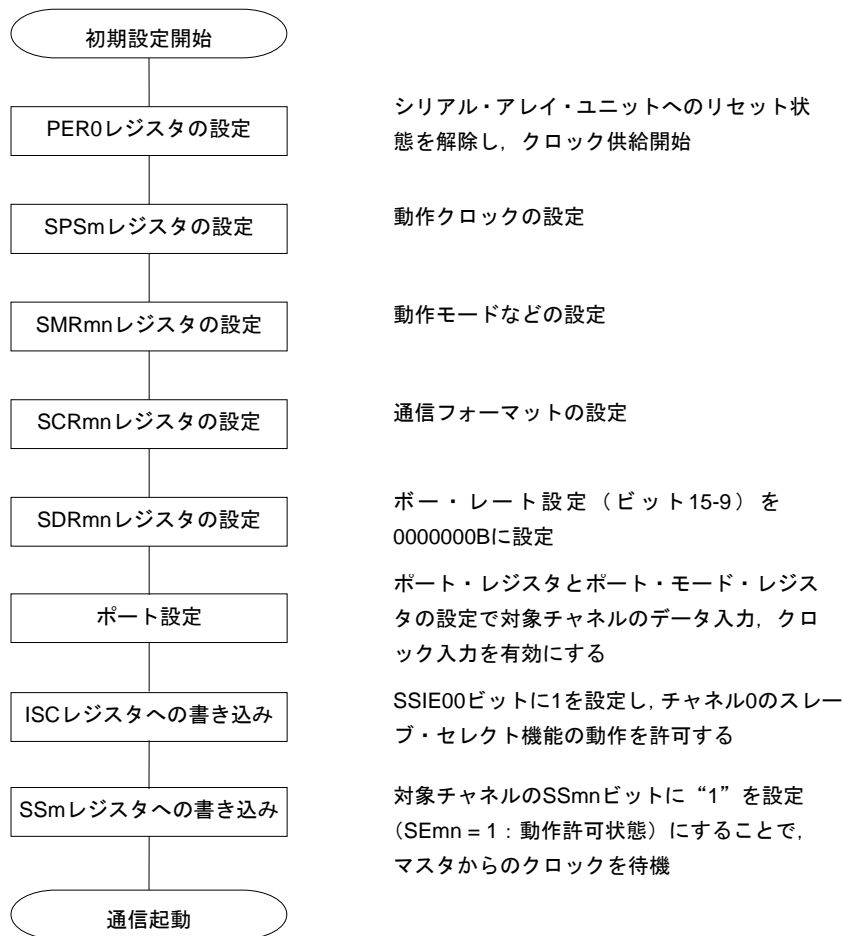


図11-87 スレーブ受信の中断手順

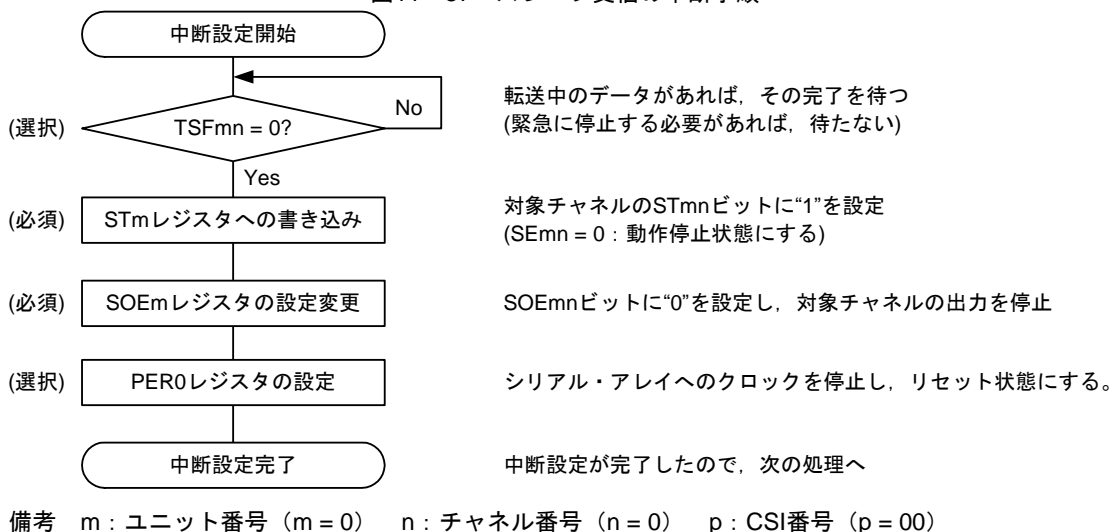
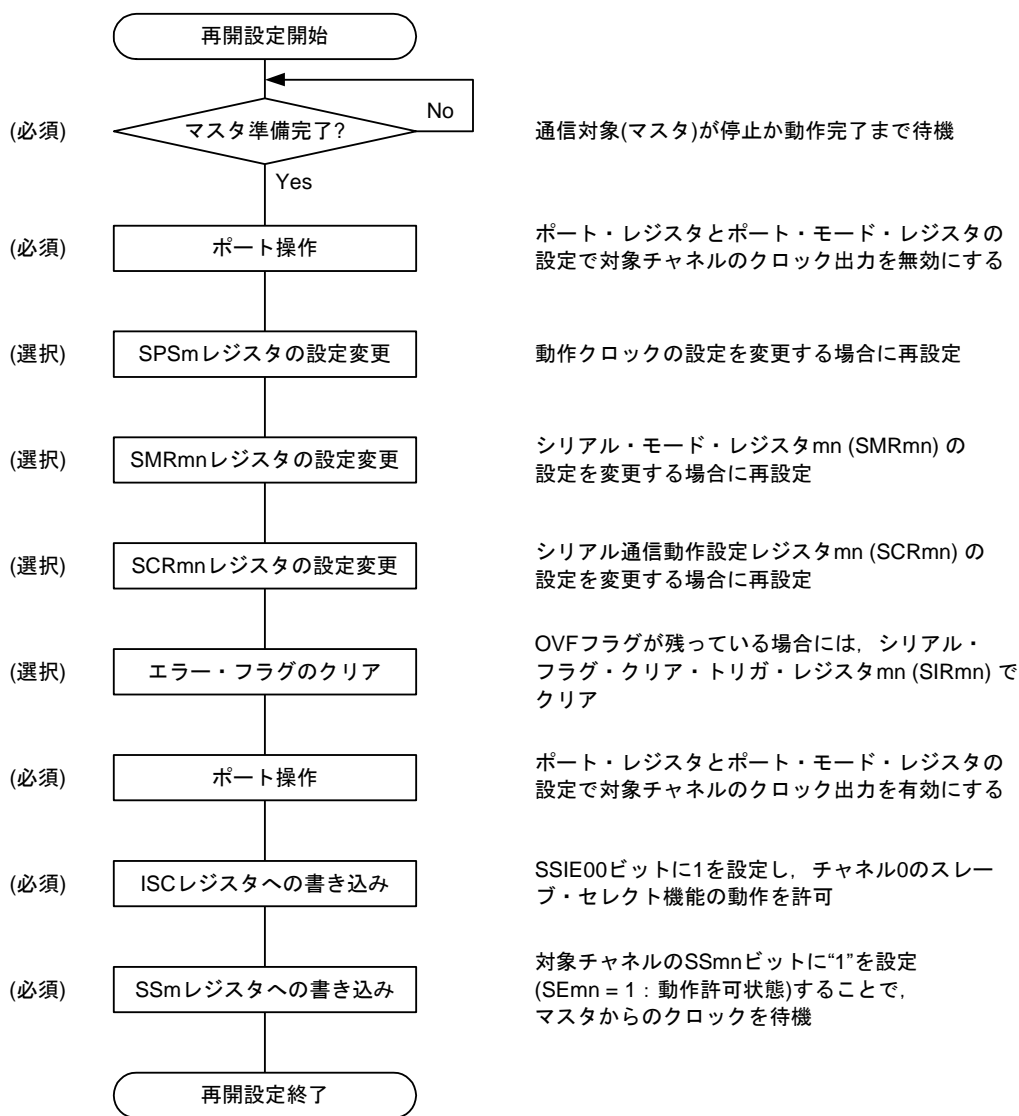


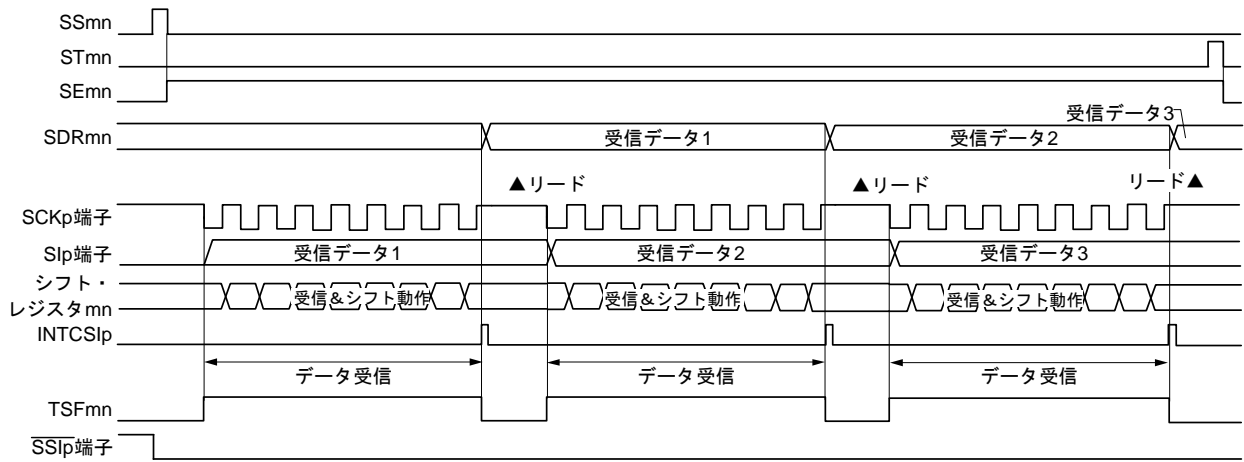
図11-88 スレーブ受信の再開設定手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

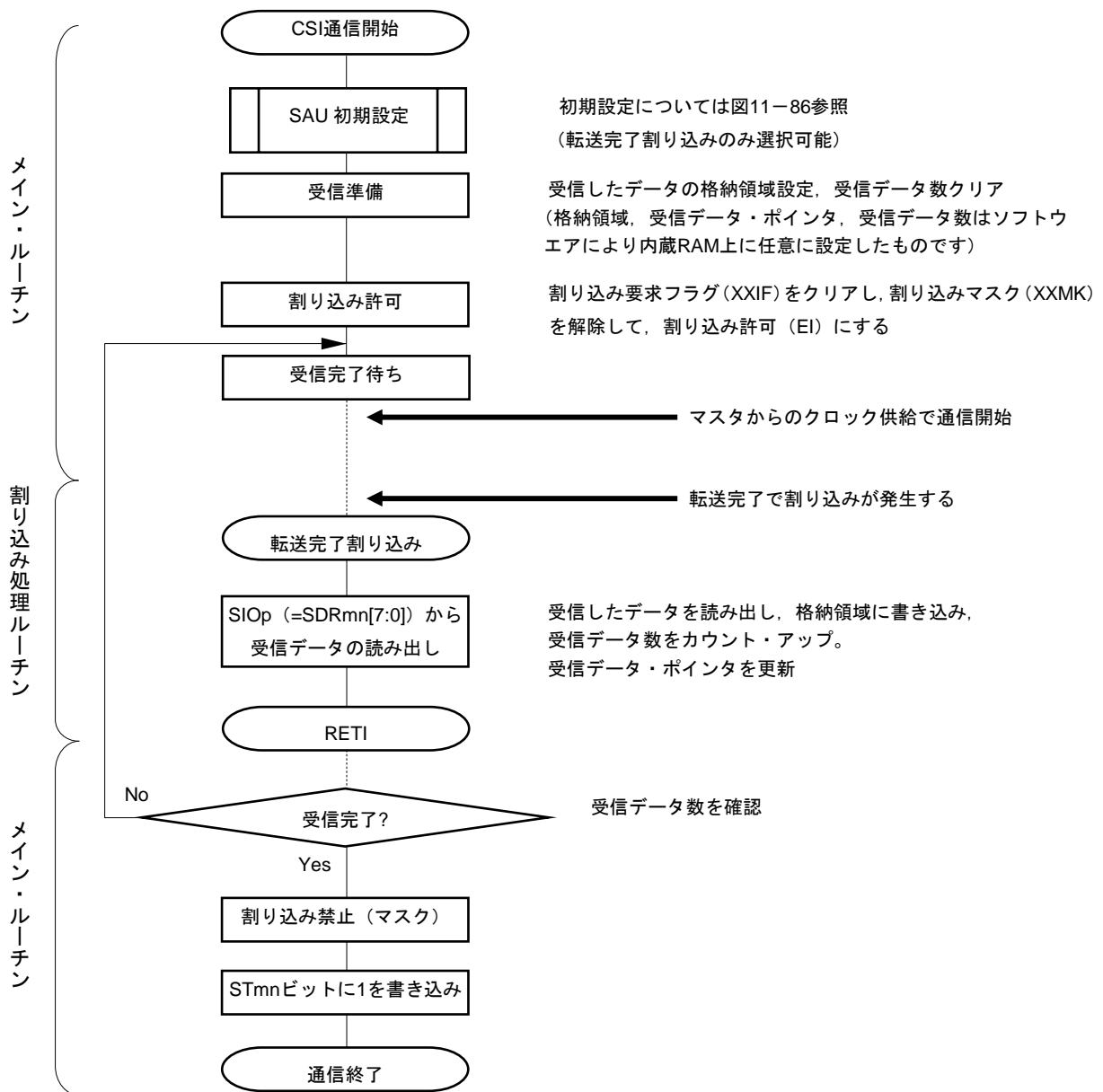
(3) 処理フロー（シングル受信モード時）

図11-89 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図11-90 スレーブ受信（シングル受信モード時）のフロー・チャート



11.6.3 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78/G1Pと他デバイスでデータを送受信する動作です。

スレーブセレクト 入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, SO00, SSI00
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト 入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

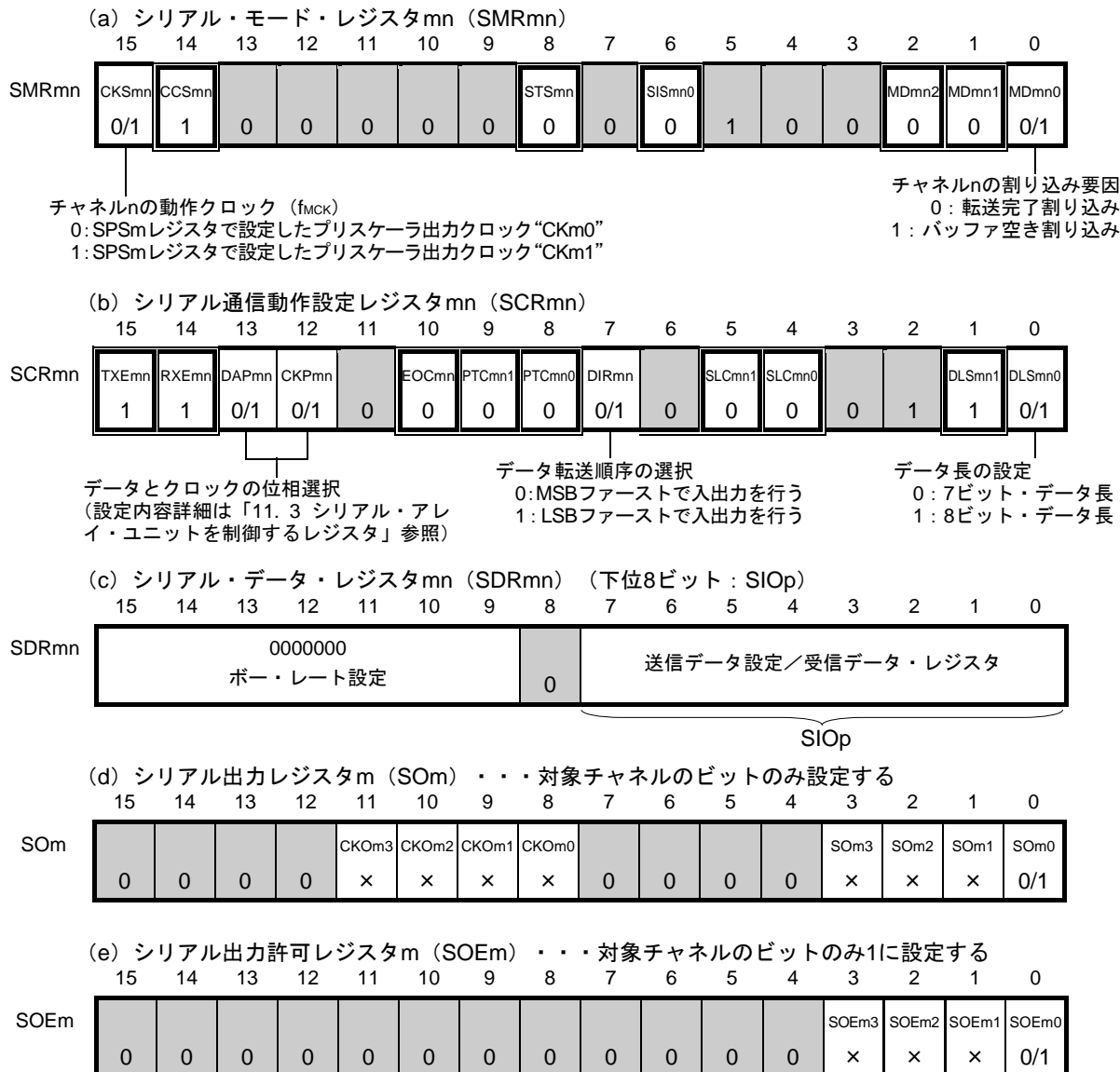
2. この条件を満たし、かつ電気的特性の周辺機能特性（第27章 電気的特性を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

2. m：ユニット番号（m = 0） n：チャンネル番号（n = 0）

(1) レジスタ設定

図11-91 スレーブセレクト入力機能 (CSI00) のスレーブ送受信時のレジスタ設定内容例 (1/2)



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

- 備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)
2. □: CSIスレーブ送受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図11-91 スレーブセレクト入力機能 (CSI00) のスレーブ送受信時のレジスタ設定内容例 (2/2)

(f) シリアル・チャンネル開始レジスタm (SSm) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	0/1

(g) 入力切り替え制御レジスタ (ISC)

. . . CSI00スレーブ・チャンネル (ユニット0のチャンネル0) のSSi00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSiE00						ISC1	ISC0
	0/1	0	0	0	0	0	0/1	0/1

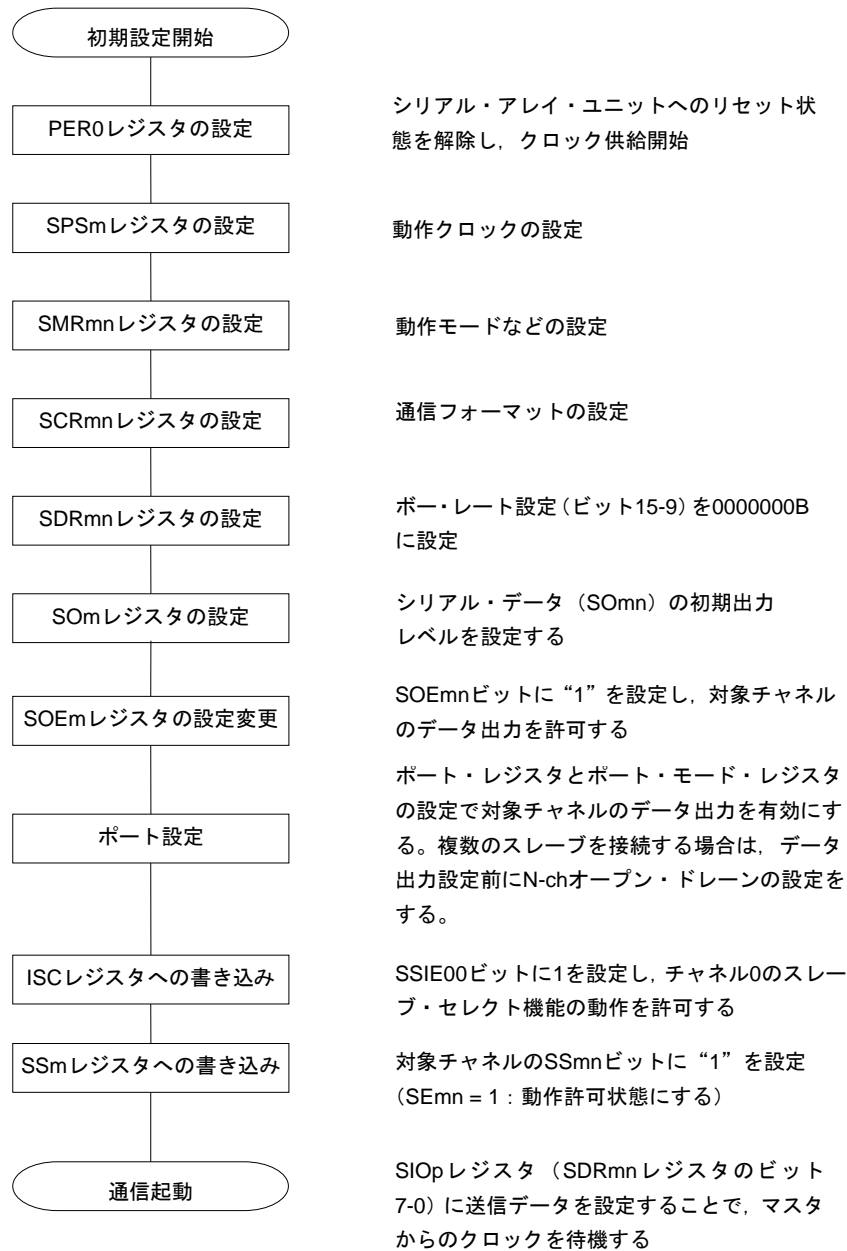
0 : SSi00端子の入力値を無効
 1 : SSi00端子の入力値を有効

注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

- 備考1. m : ユニット番号 (m=0) n : チャンネル番号 (n=0) p : CSI番号 (p=00)
2. : CSIスレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

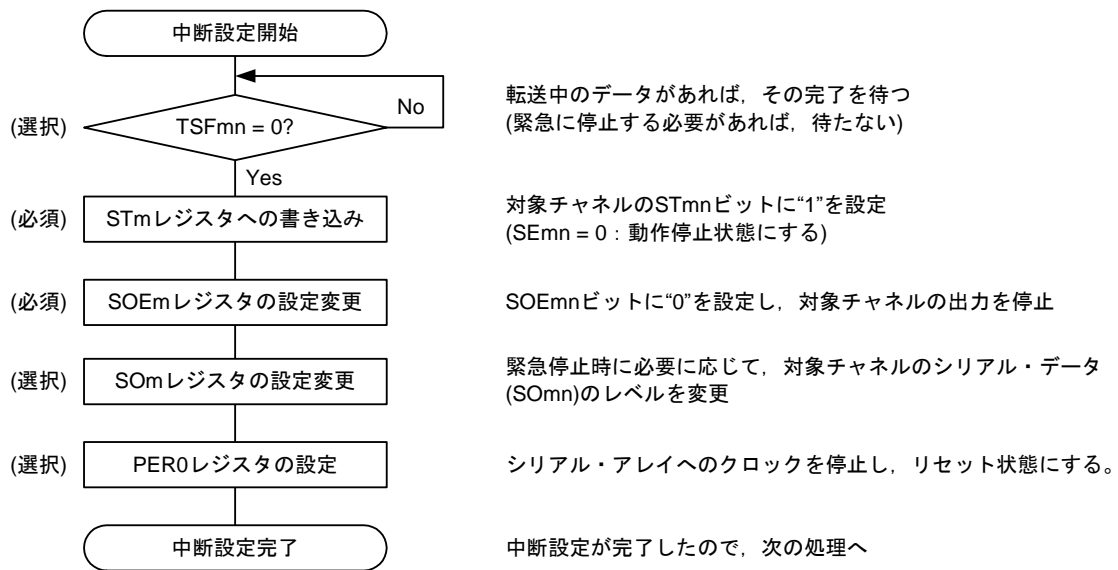
図11-92 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

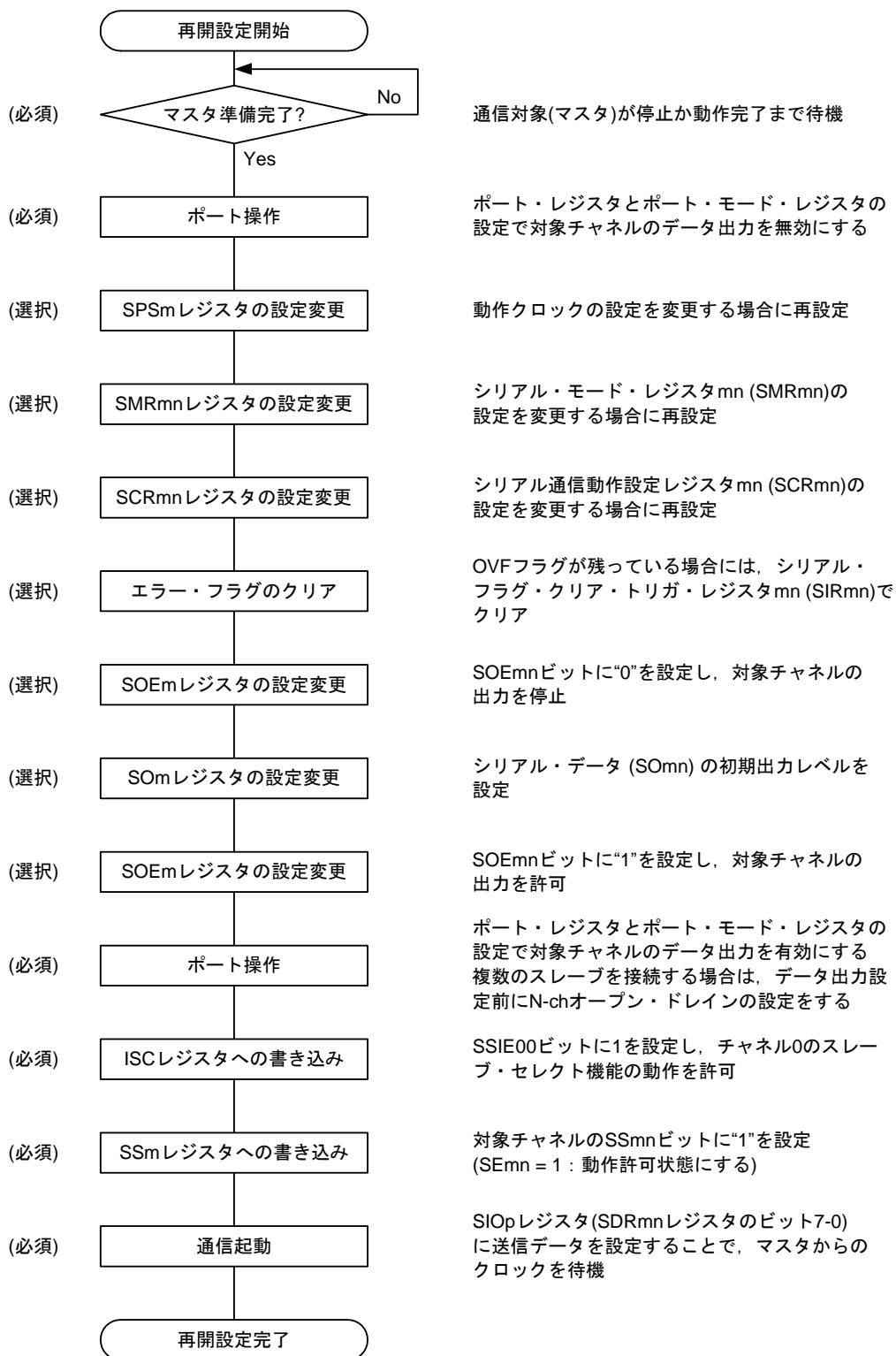
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図11-93 スレーブ送受信の中断手順



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

図11-94 スレーブ送受信の再開設定手順

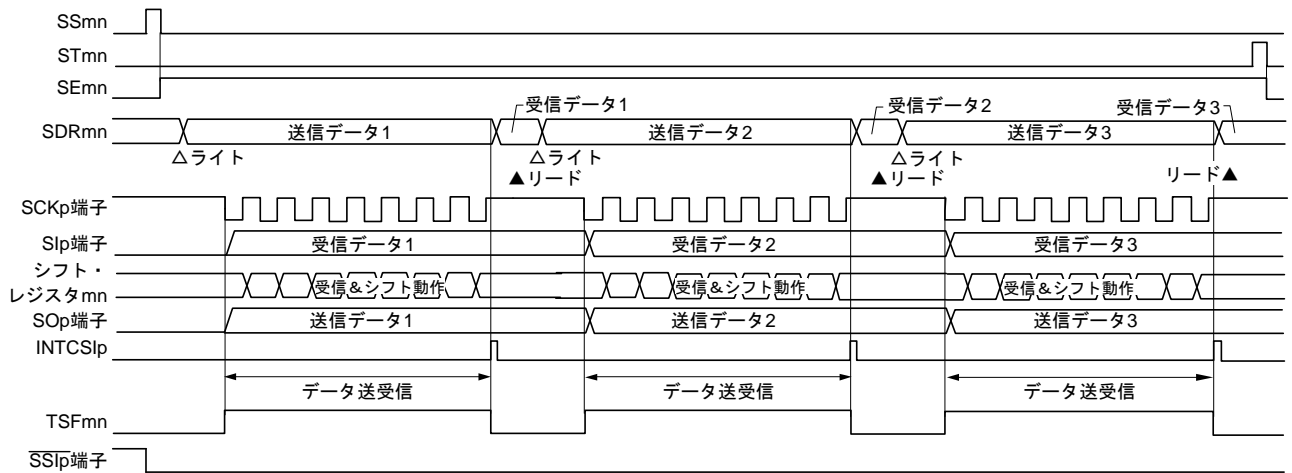


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

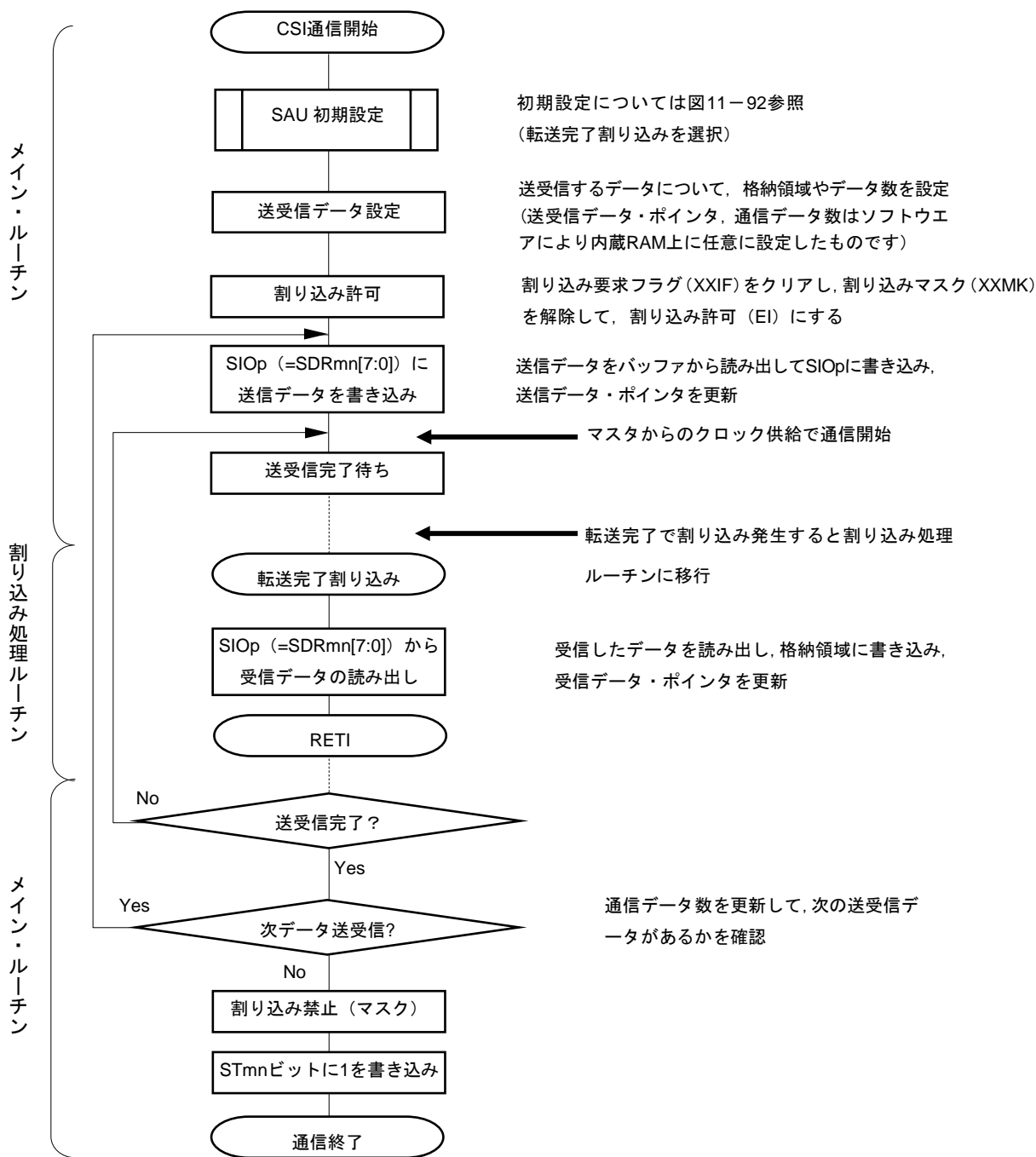
(3) 処理フロー（シングル送受信モード時）

図11-95 スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図11-96 スレーブ送受信（シングル送受信モード時）のフロー・チャート

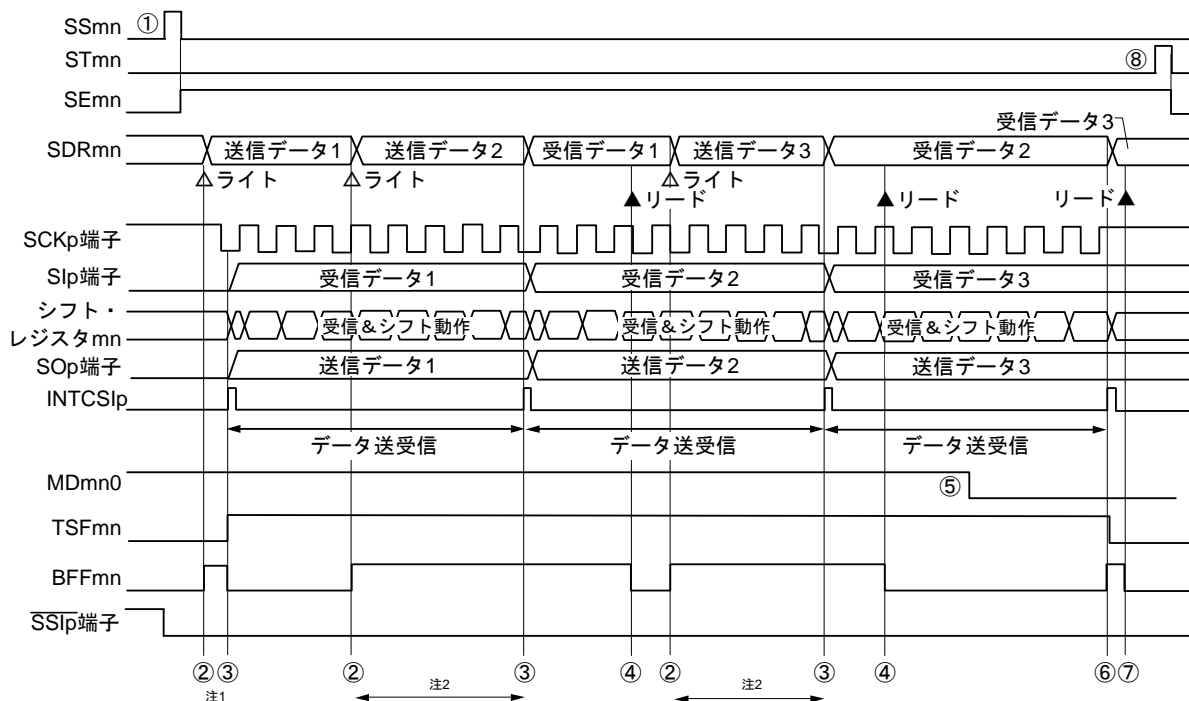


注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

(4) 処理フロー（連続送受信モード時）

図11-97 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1. シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

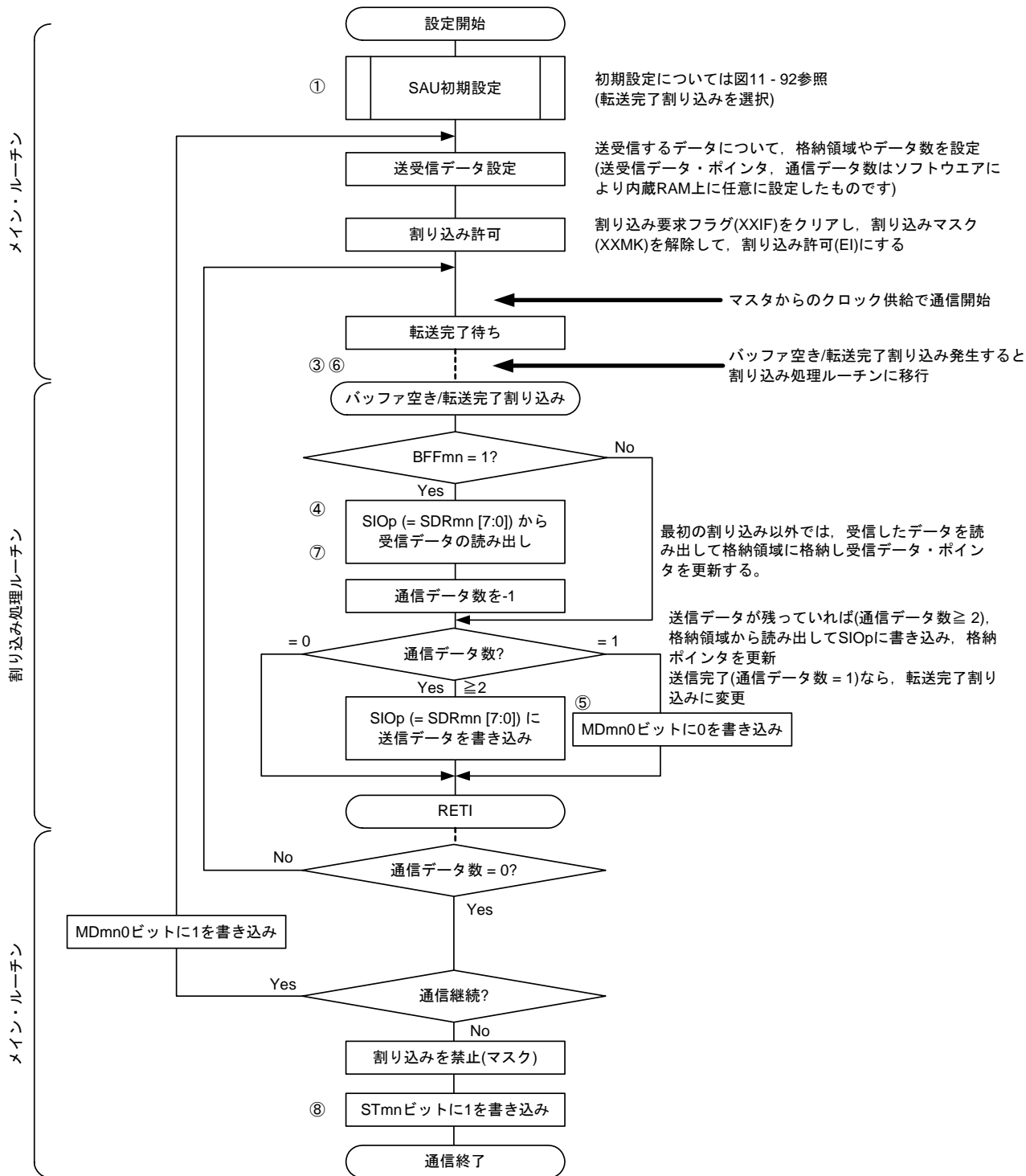
2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①~⑧は、図11-98 スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図11-98 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. 図中の①~⑧は、図11-97 スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

11.6.4 転送クロック周波数の算出

スレーブセレクト入力機能（CSI00）通信での転送クロック周波数は下記の計算式にて算出できます。

(1) スレーブの場合

$$\text{（転送クロック周波数）} = \text{〔マスタが供給するシリアル・クロック（SCK）周波数〕}^{\text{注}} \quad [\text{Hz}]$$

注 ただし、許容最大転送クロック周波数は $f_{\text{mck}}/6$ となります。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

表11-3 スレーブセレクト入力機能動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK) 注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	32 MHz
	X	X	X	X	0	0	0	1	fCLK/2	16 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	8 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	4 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	3.9 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	977 Hz	

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

11. 6. 5 スレーブセレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の処理手順

スレーブセレクト入力機能付クロック同期シリアル通信時にエラーが発生した場合の処理手順を図11-99に示します。

図11-99 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが "0" となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に "1" をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

11.7 UART (UART0) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全2重調歩同期UART通信が実現できます。

[データ送受信]

- ・ 7, 8, 9ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定 (レベルを, 反転するかどうかの選択)
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加, ストップ・ビット・チェック機能

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また, UART0受信は, SNOOZEモードに対応しています。SNOOZEモードとは, STOPモード状態でRxD入力を検出すると, CPU動作を必要とせずにデータ受信を行う機能です。

UART0では、SAU0のチャンネル0, 1を使用します。

ユニット	チャンネル	CSIとして使用	UARTとして使用
0	0	CSI00(スレーブセレクト 入力機能対応)	UART0
	1	—	

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00を使用することはできません。

注意 **UART**として使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらも**UART**にしか使用できません。

UARTの通信動作は、以下の2種類があります。

- ・ UART送信 (11.7.1項を参照)
- ・ UART受信 (11.7.2項を参照)

11.7.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0
対象チャンネル	SAU0のチャンネル0
使用端子	TxD0
割り込み	INTST0 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	なし
転送データ長	7ビットまたは8ビットまたは9ビット
転送レート	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] 注
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性の周辺機能特性（第27章 電気的特性を参照）を満たす範囲内で使用してください。

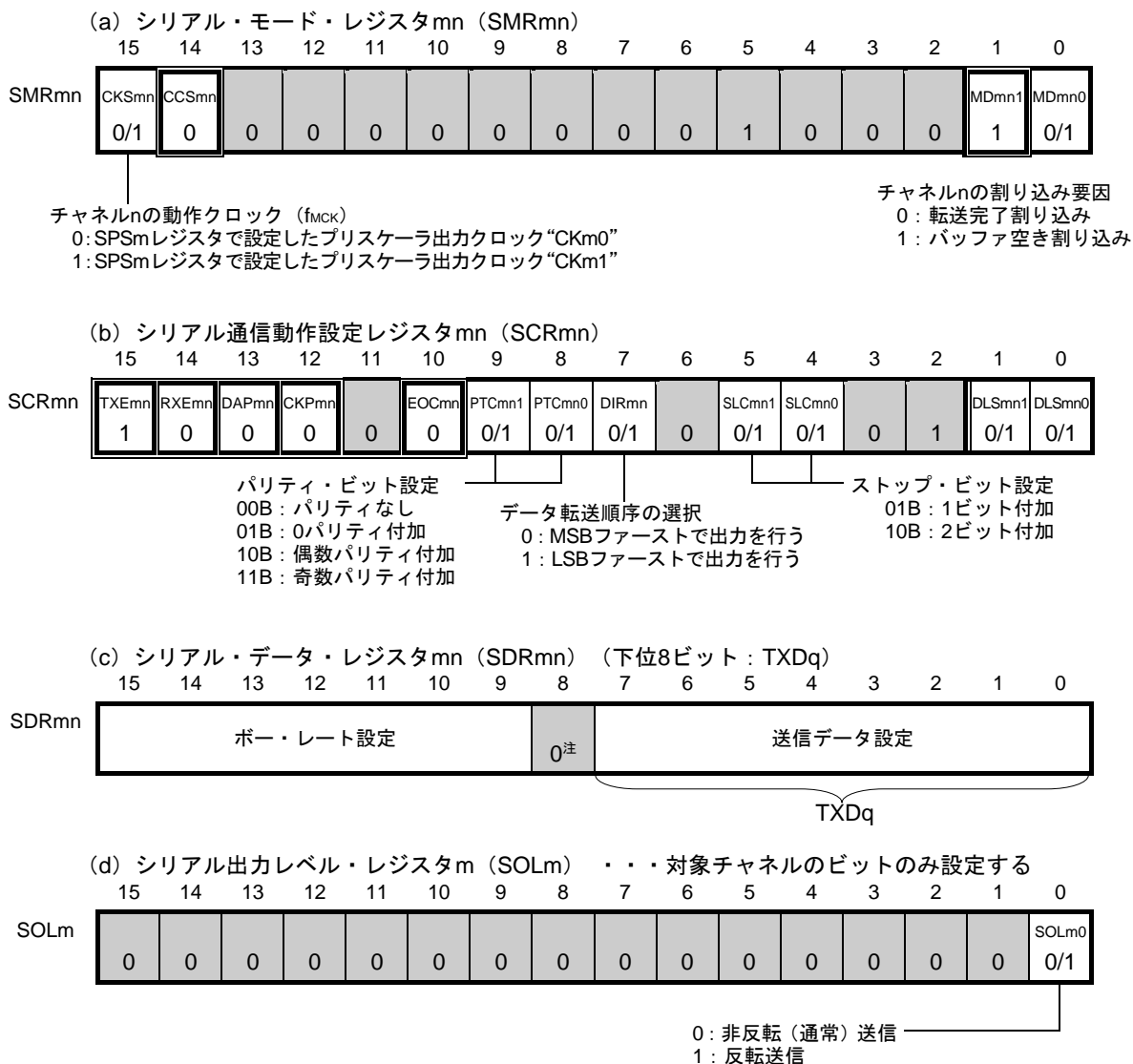
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. m：ユニット番号（m = 0） n：チャンネル番号（n = 0），mn = 00

(1) レジスタ設定

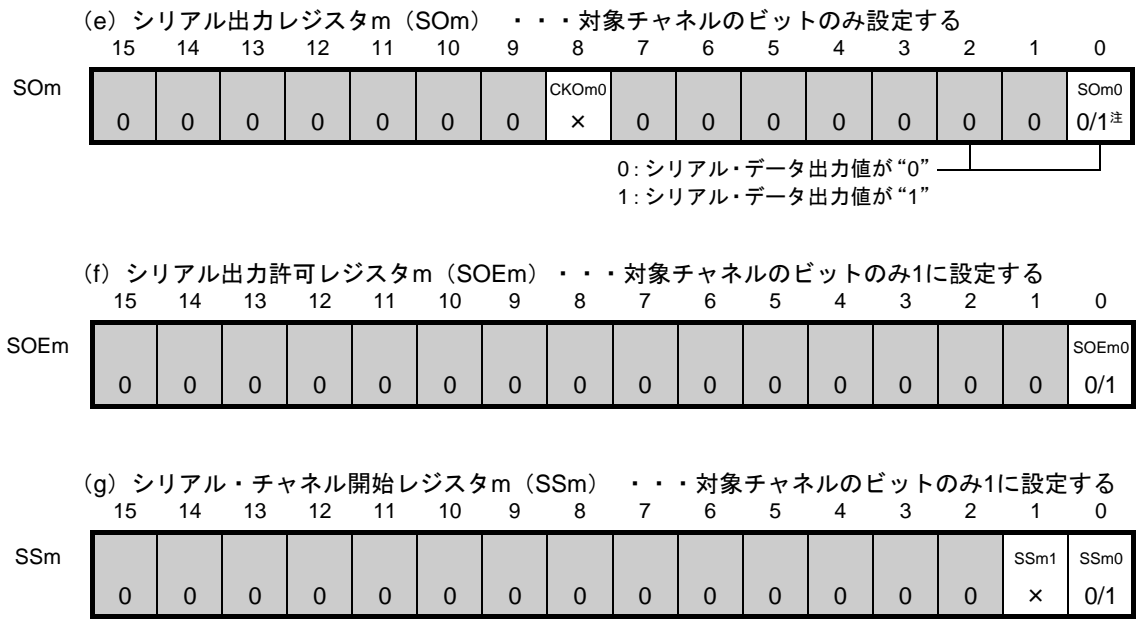
図11-100 UART (UART0) のUART送信時のレジスタ設定内容例 (1/2)



注 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。

- 備考1. m: ユニット番号 (m = 0) n: チャンネル番号 (n = 0) q: UART番号 (q = 0), mn = 00
2. : UART送信モードでは設定固定 : 設定不可 (初期値を設定)
- x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
- 0/1: ユーザの用途に応じて0または1に設定

図11-100 UART (UART0) のUART送信時のレジスタ設定内容例 (2/2)



注 該当するチャネルのSOLmnビットに0を設定している場合は“1”に、SOLmnビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

- 備考1. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) q : UART番号 (q = 0) ,
mn = 00
2. : UART送信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-101 UART送信の初期設定手順

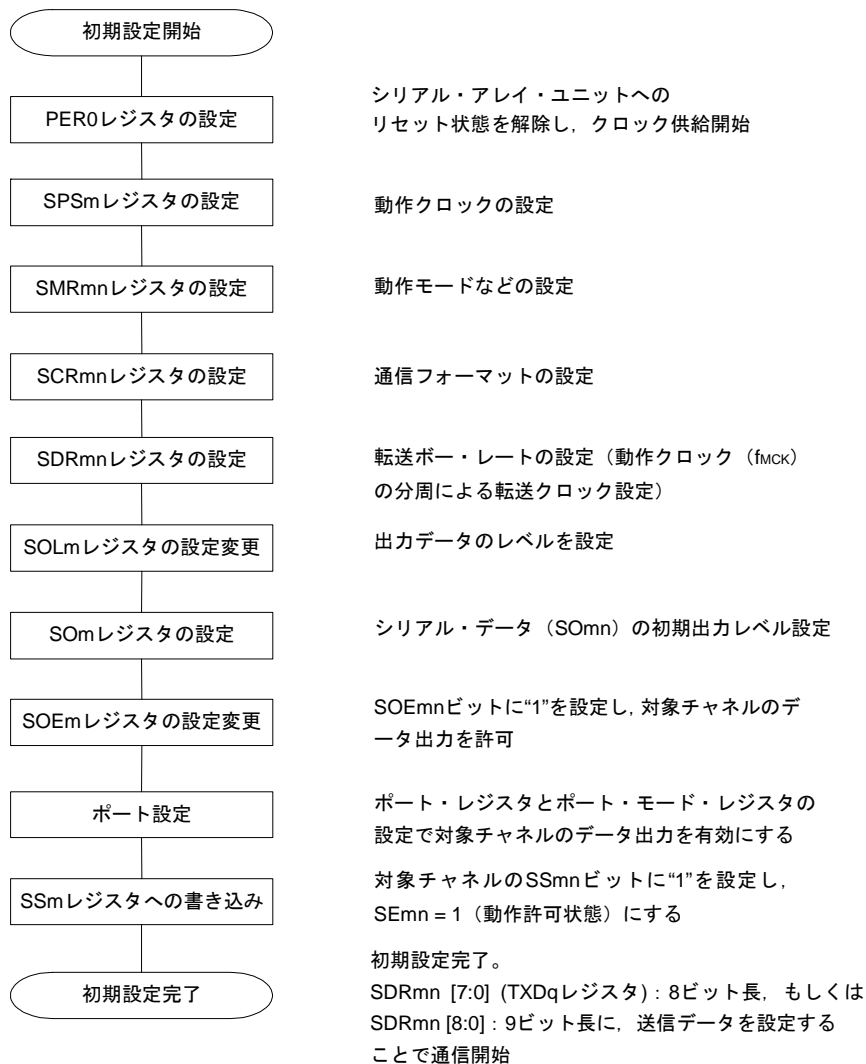


図11-102 UART送信の中断手順

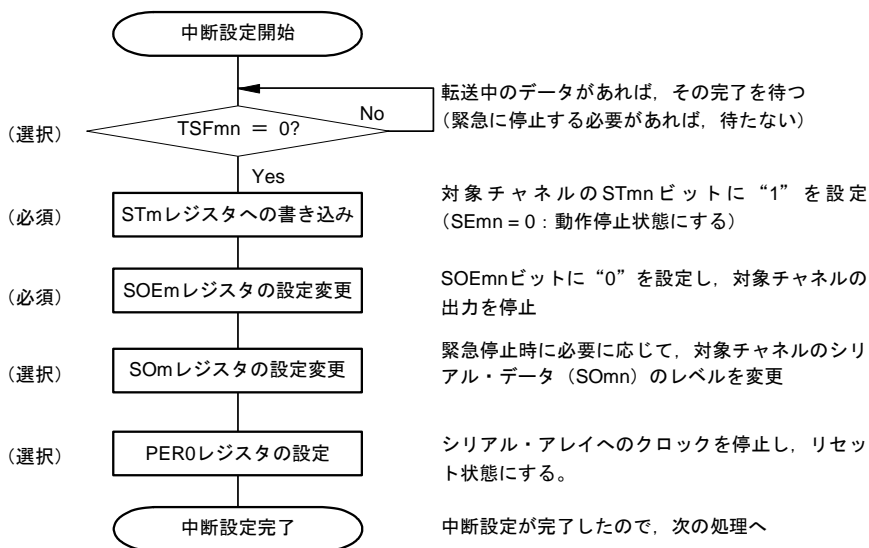
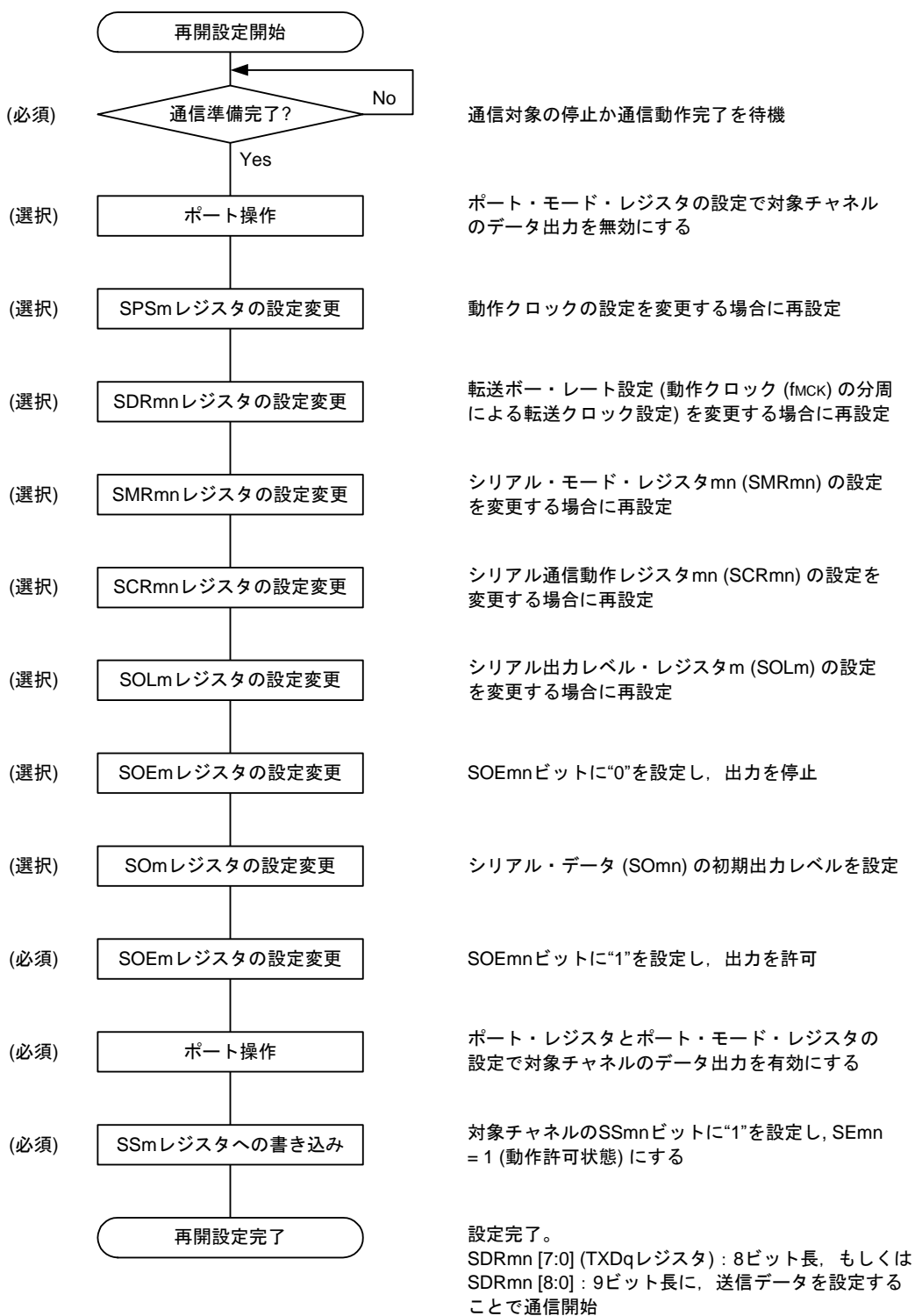


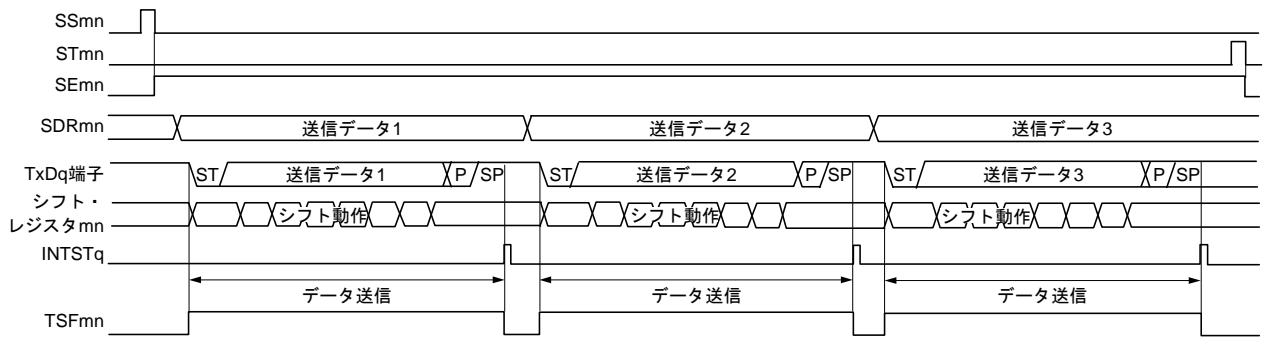
図11-103 UART送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

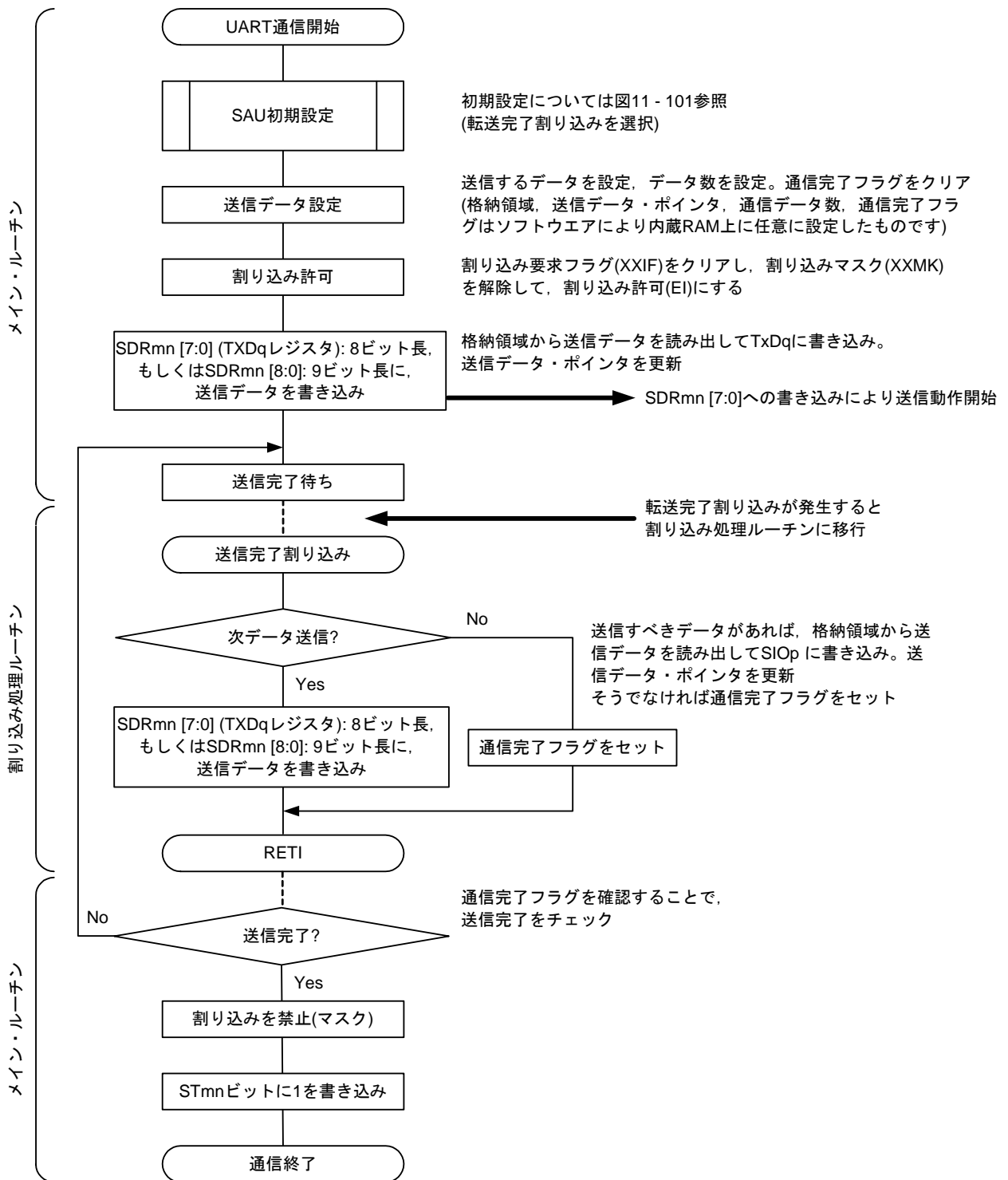
(3) 処理フロー（シングル送信モード時）

図11-104 UART送信（シングル送信モード時）のタイミング・チャート



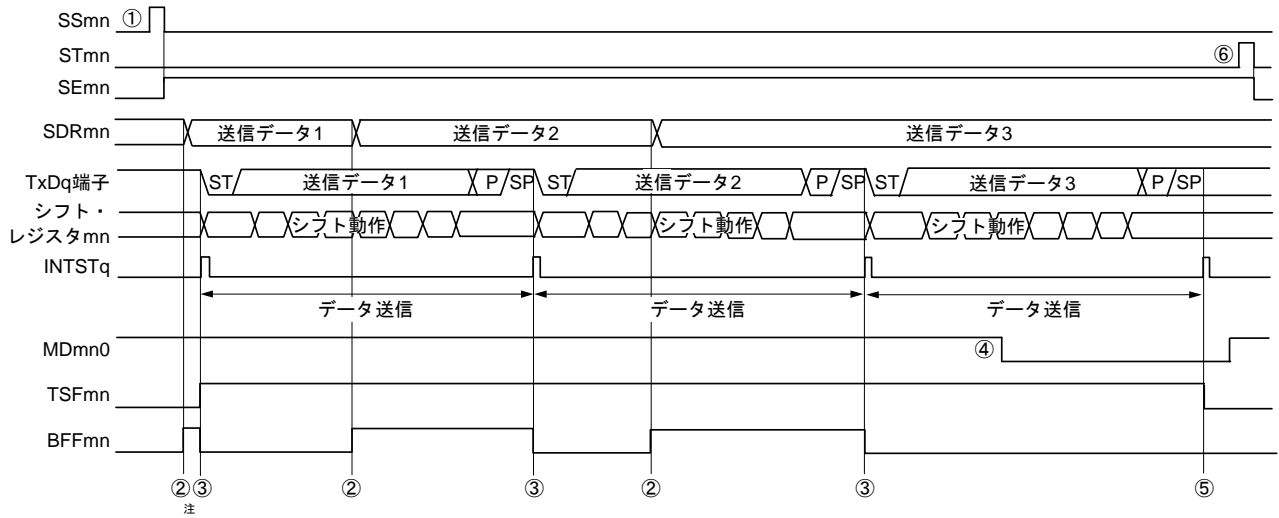
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) q : UART番号 (q = 0) ,
 mn = 00

図11-105 UART送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図11-106 UART送信（連続送信モード時）のタイミング・チャート

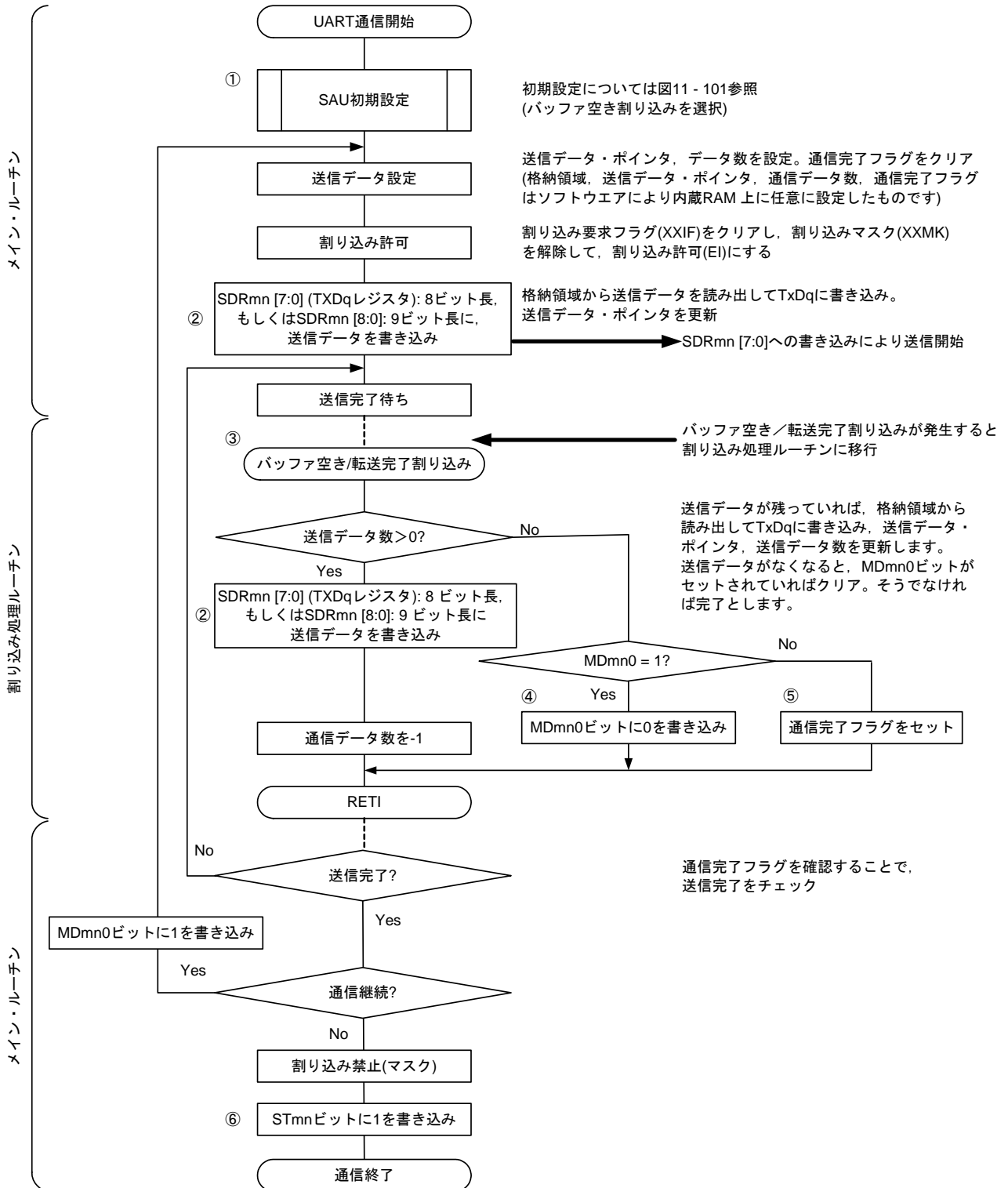


注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき)にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) q : UART番号 (q = 0) ,
mn = 00

図11-107 UART送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は, 図11-106 UART送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

11.7.2 UART受信

UART受信は、他デバイスからRL78/G1Pが非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0
対象チャンネル	SAU0のチャンネル1
使用端子	RxD0
割り込み	INTSR0 転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー割り込み	INTSRE0
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEFmn） ・ パリティ・エラー検出フラグ（PEFmn） ・ オーバラン・エラー検出フラグ（OVFmn）
転送データ長	7ビットまたは8ビットまたは9ビット
転送レート	Max. $f_{MCK}/6$ [bps]（SDRmn[15:9] = 2以上）， Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^注
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし（パリティ・チェックなし） ・ パリティ判定なし（0パリティ） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック
ストップ・ビット	1ビット ・ チェック
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電氣的特性の周辺機能特性（第27章 電氣的特性を参照）を満たす範囲内で使用してください。

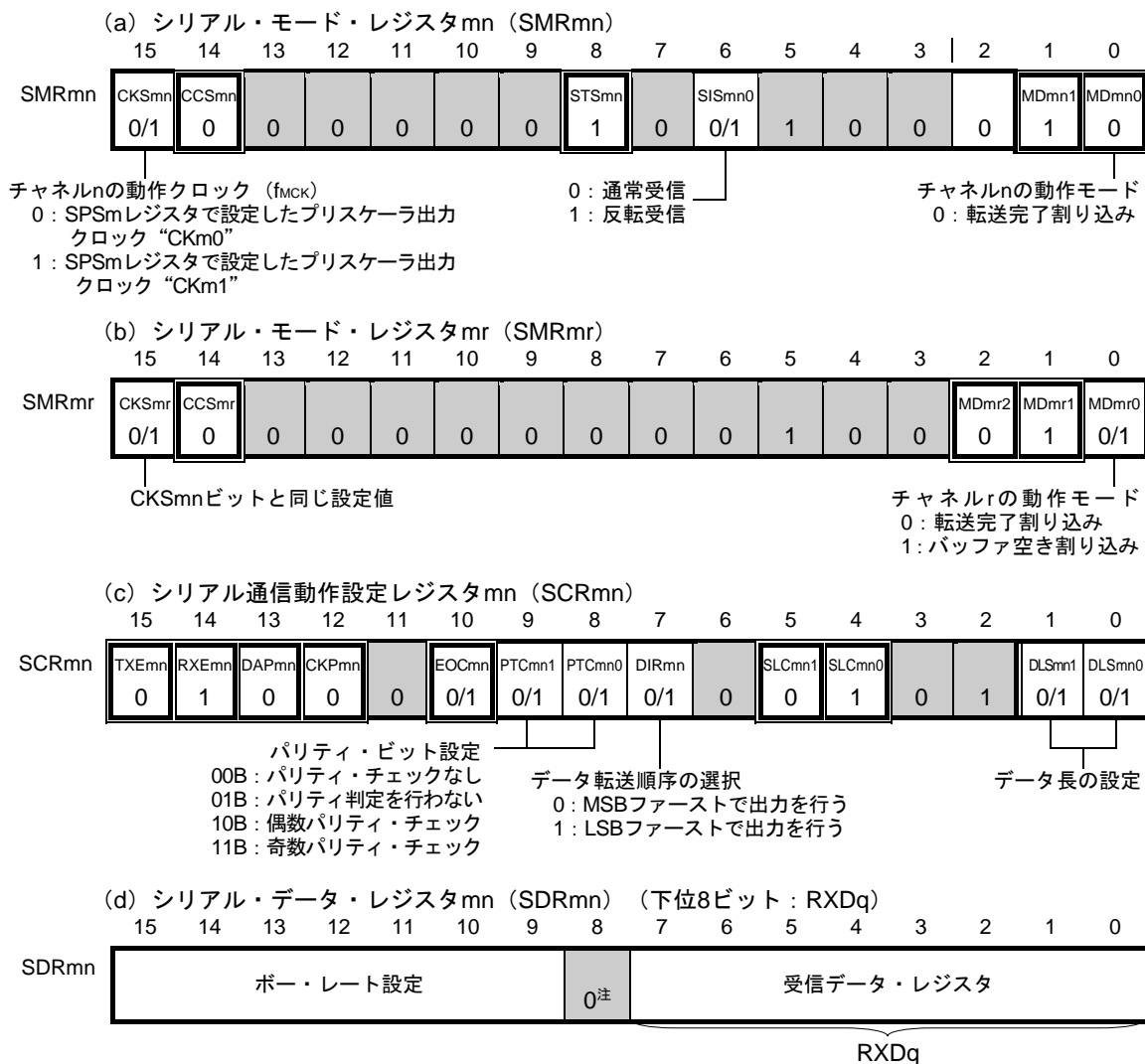
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 1）， mn = 01

(1) レジスタ設定

図11-108 UART (UART0) のUART受信時のレジスタ設定内容例 (1/2)



注 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が受信データ設定領域になります。

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m: ユニット番号 (m = 0) n: チャンネル番号 (n = 1), mn = 01

r: チャンネル番号 (r = 0) q: UART番号 (q = 0)

2. : UART受信モードでは設定固定 : 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図11-108 UART (UART0) のUART受信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタm (SOm) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SOm								CKOm0									SOm0
	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0	x

(f) シリアル出力許可レジスタm (SOEm) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SOEm																	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

(g) シリアル・チャンネル開始レジスタm (SSm) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
SSm																	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	x

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 1) , mn = 01

r : チャンネル番号 (r = 0) q : UART番号 (q = 0)

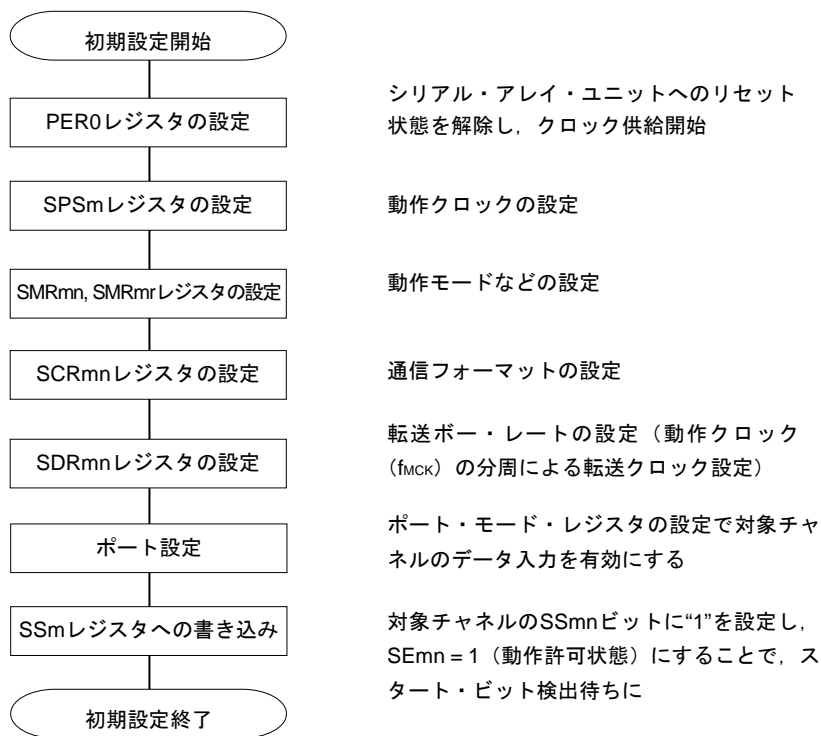
2. : UART受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-109 UART受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

図11-110 UART受信の中断手順

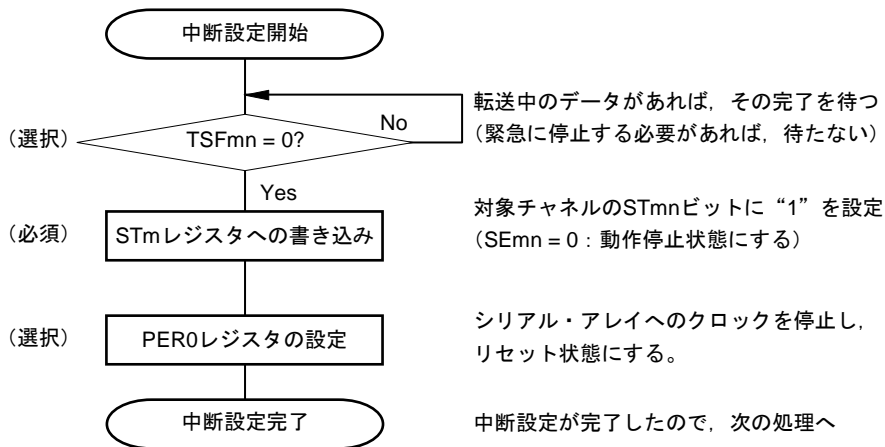
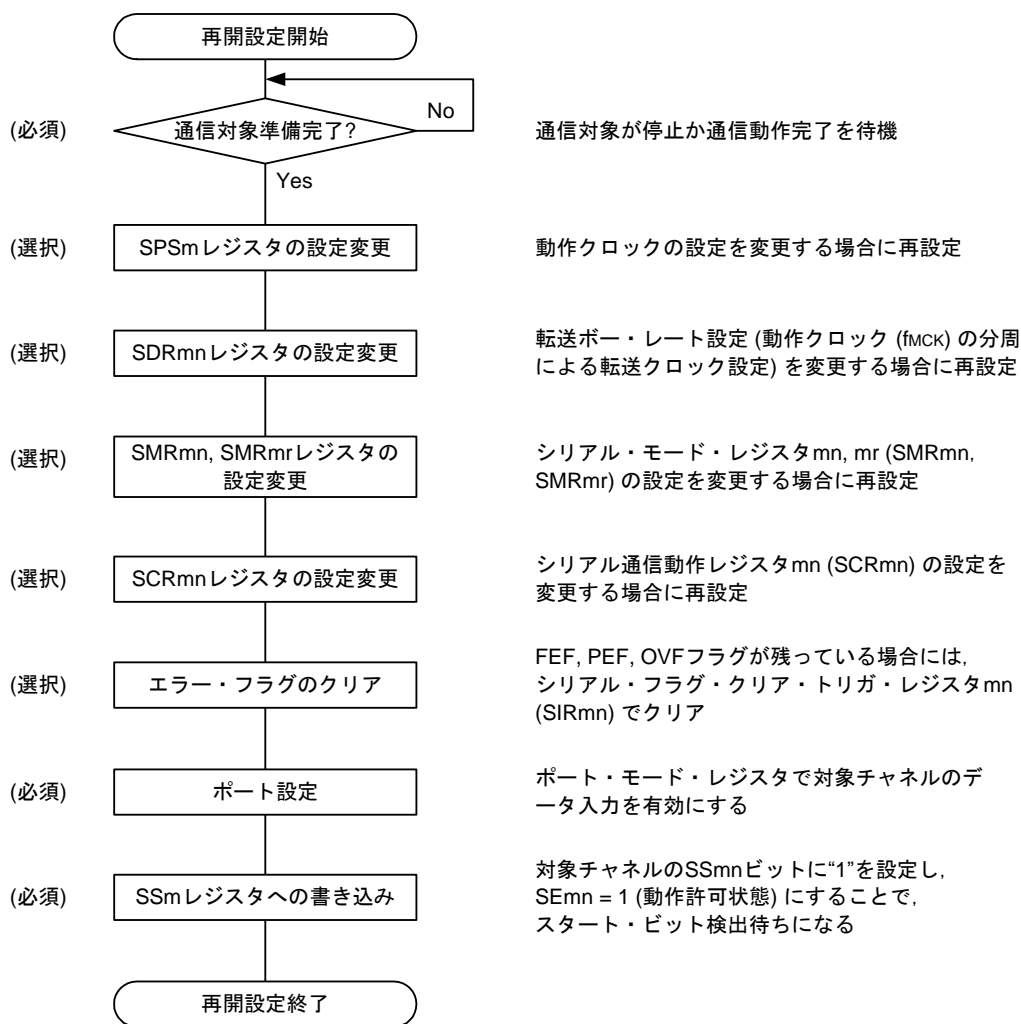


図11-111 UART受信の再開設定手順

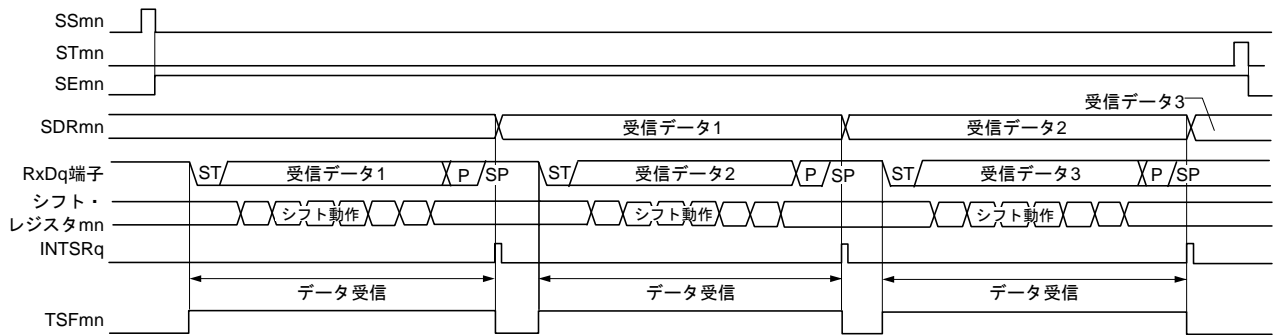


注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

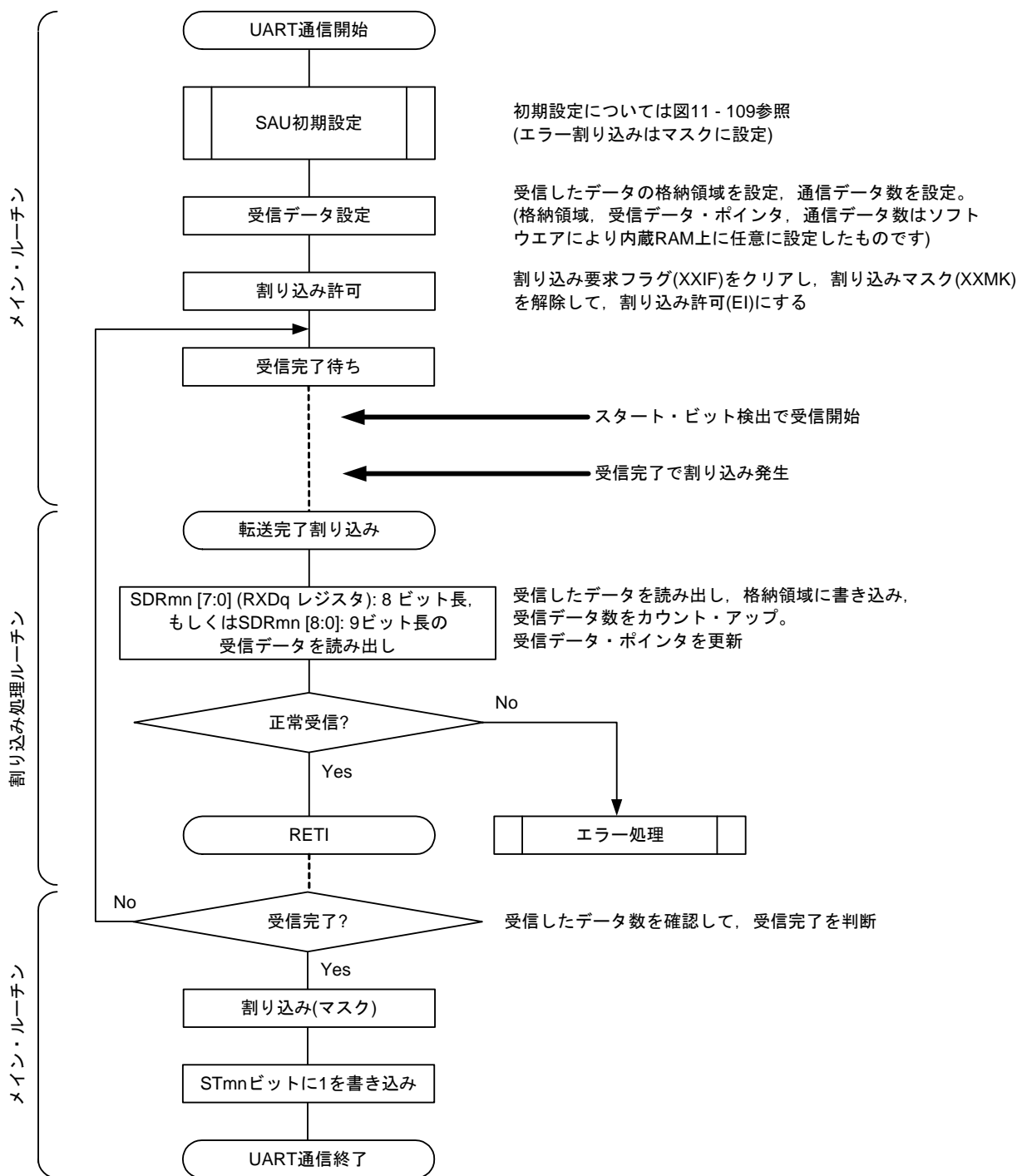
(3) 処理フロー

図11-112 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 1) , mn = 01
 r : チャネル番号 (r = 0) q : UART番号 (q = 0)

図11-113 UART受信のフロー・チャート



11.7.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出によりUARTの受信動作をさせるモードです。通常STOP時にUARTは通信動作を停止しますが、このモードを使うことで、RxDq端子入力の検出によってCPUを動作させずにUARTの受信動作を行うことができます。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図11-116、図11-118 SNOOZEモード動作時のフロー・チャートを参照)

- ・ SNOOZEモード時は、UART受信ポー・レートの設定を通常動作時とは異なる値に変更する必要があります。表11-4を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- ・ EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み (INTSRE0) の発生許可/停止を設定することができます。
- ・ STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm1ビットをセット (1) します。
- ・ STOPモードに移行後、RxDq のスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

注意1. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロック (f_{IH}) を選択している場合のみ使用できます。

2. SNOOZEモードでの転送レートは4800bpsのみです。
3. SWCm=1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
 - ・ SWCm=1に設定後、STOPモードに移行する前に受信開始した場合
 - ・ 他のSNOOZEモード中に受信開始した場合
 - ・ STOPモードから割り込みなどで通常動作に復帰後、SWCm=0に戻す前に受信開始した場合
4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq) を読み出してください。
5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。

また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

表11-4 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・ オシレータ (f _{IH})	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f _{MCK})	SDRmn [15:9]	最大許容値	最小許容値
32MHz±1.0% ^注	f _{CLK} /2 ⁵	105	2.27%	-1.53%
24MHz±1.0% ^注	f _{CLK} /2 ⁵	79	1.60%	-2.18%
16MHz±1.0% ^注	f _{CLK} /2 ⁴	105	2.27%	-1.53%
12MHz±1.0% ^注	f _{CLK} /2 ⁴	79	1.60%	-2.19%
8MHz±1.0% ^注	f _{CLK} /2 ³	105	2.27%	-1.53%
6MHz±1.0% ^注	f _{CLK} /2 ³	79	1.60%	-2.19%
4MHz±1.0% ^注	f _{CLK} /2 ²	105	2.27%	-1.53%
3MHz±1.0% ^注	f _{CLK} /2 ²	79	1.60%	-2.19%
2MHz±1.0% ^注	f _{CLK} /2	105	2.27%	-1.54%
1MHz±1.0% ^注	f _{CLK}	105	2.27%	-1.57%

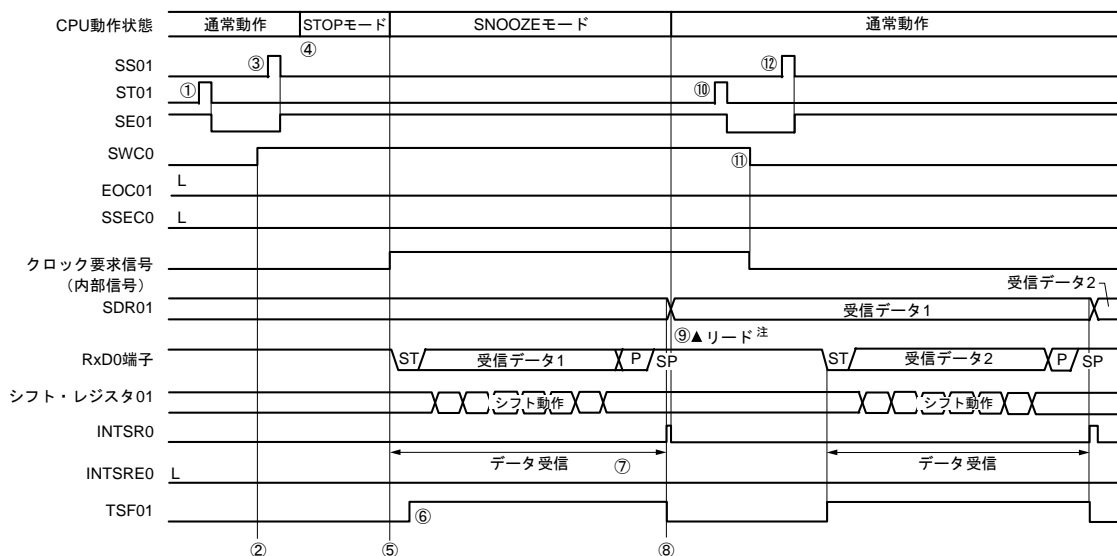
注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%の場合は、次のように許容範囲が狭くなります。

・ f_{IH}±1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。

備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。
この範囲に送信側のボー・レートが収まるように設定してください。

(1) SNOOZEモード動作（通常動作）

図11-114 SNOOZEモード動作（通常動作）時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。
また、受信動作を完了した後は、SWCmビットもクリアしてください（SNOOZE解除）。

備考1. 図中の①~⑪は、図11-116 SNOOZEモード動作（通常動作／異常動作①）時のフロー・チャートの①~⑪に対応しています。

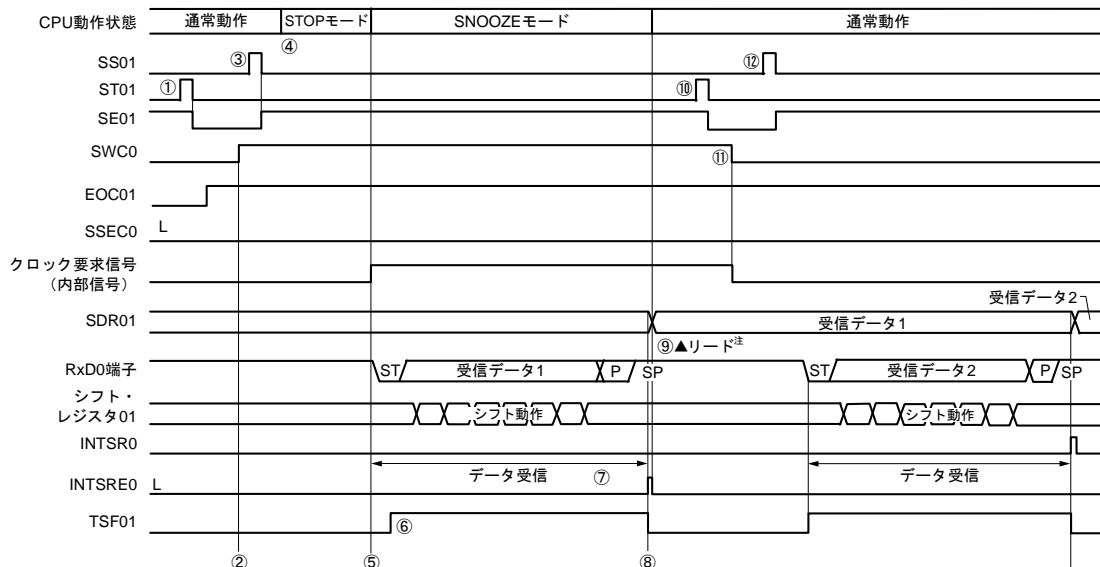
2. m = 0; q = 0

(2) SNOOZEモード動作（異常動作①）

異常動作①は、SSECm = 0設定時に通信エラーが発生した場合の動作です。

SSECm = 0のため、通信エラーが発生した場合にエラー割り込み（INTSRE0）を発生します。

図11-115 SNOOZEモード動作（異常動作①）時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

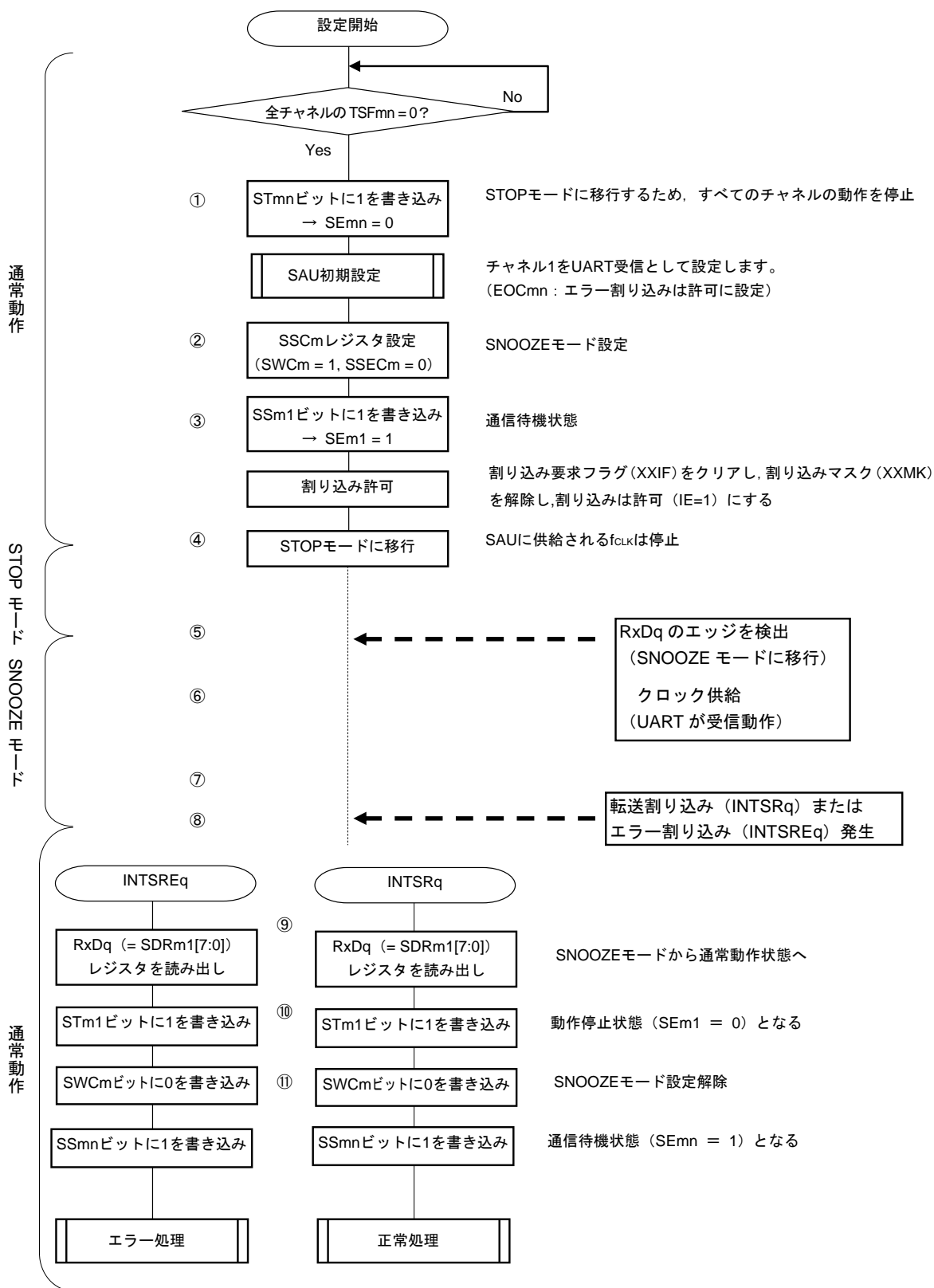
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。

また、受信動作を完了した後は、SWCmビットもクリアしてください（SNOOZE解除）。

備考1. 図中の①~⑪は、図11-116 SNOOZEモード動作（通常動作／異常動作①）時のフロー・チャートの①~⑪に対応しています。

2. m = 0; q = 0

図11-116 SNOOZEモード動作（通常動作／異常動作①）時のフロー・チャート



備考1. 図中の①~⑪は、図11-114 SNOOZEモード動作（通常動作）時のタイミング・チャート、図11-115 SNOOZEモード動作（異常動作①）時のタイミング・チャートの①~⑪に対応しています。

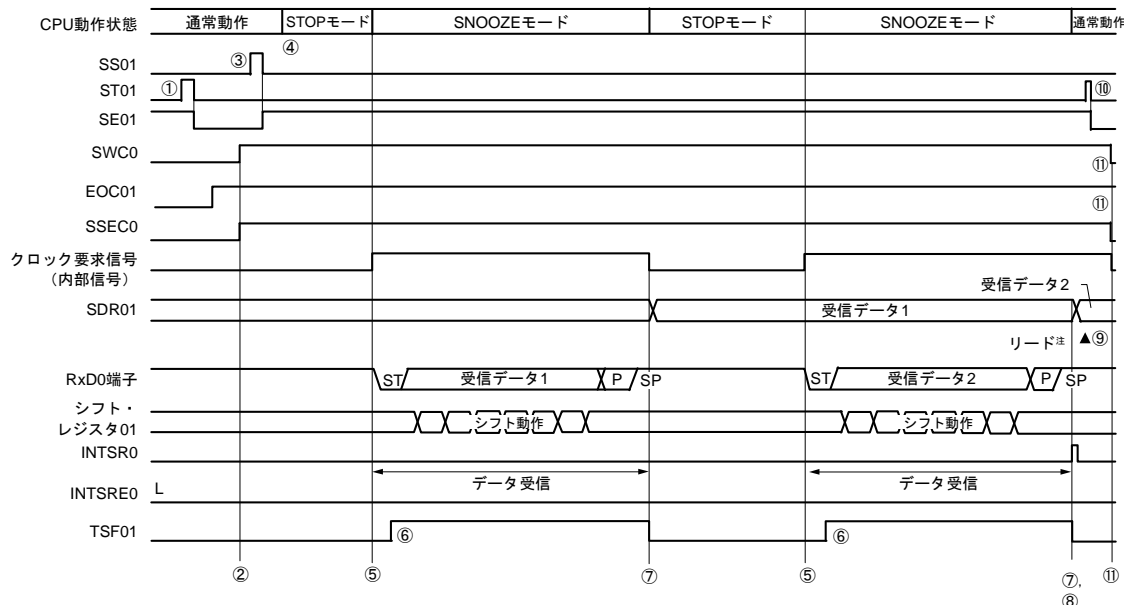
2. m = 0; q = 0

(3) SNOOZEモード動作（異常動作②）

異常動作②は、SSECM = 1設定時に通信エラーが発生した場合の動作です。

SSECM = 1のため、通信エラーが発生した場合にエラー割り込み（INTSREQ）を発生しません。

図11-117 SNOOZEモード動作（異常動作②）時のタイミング・チャート

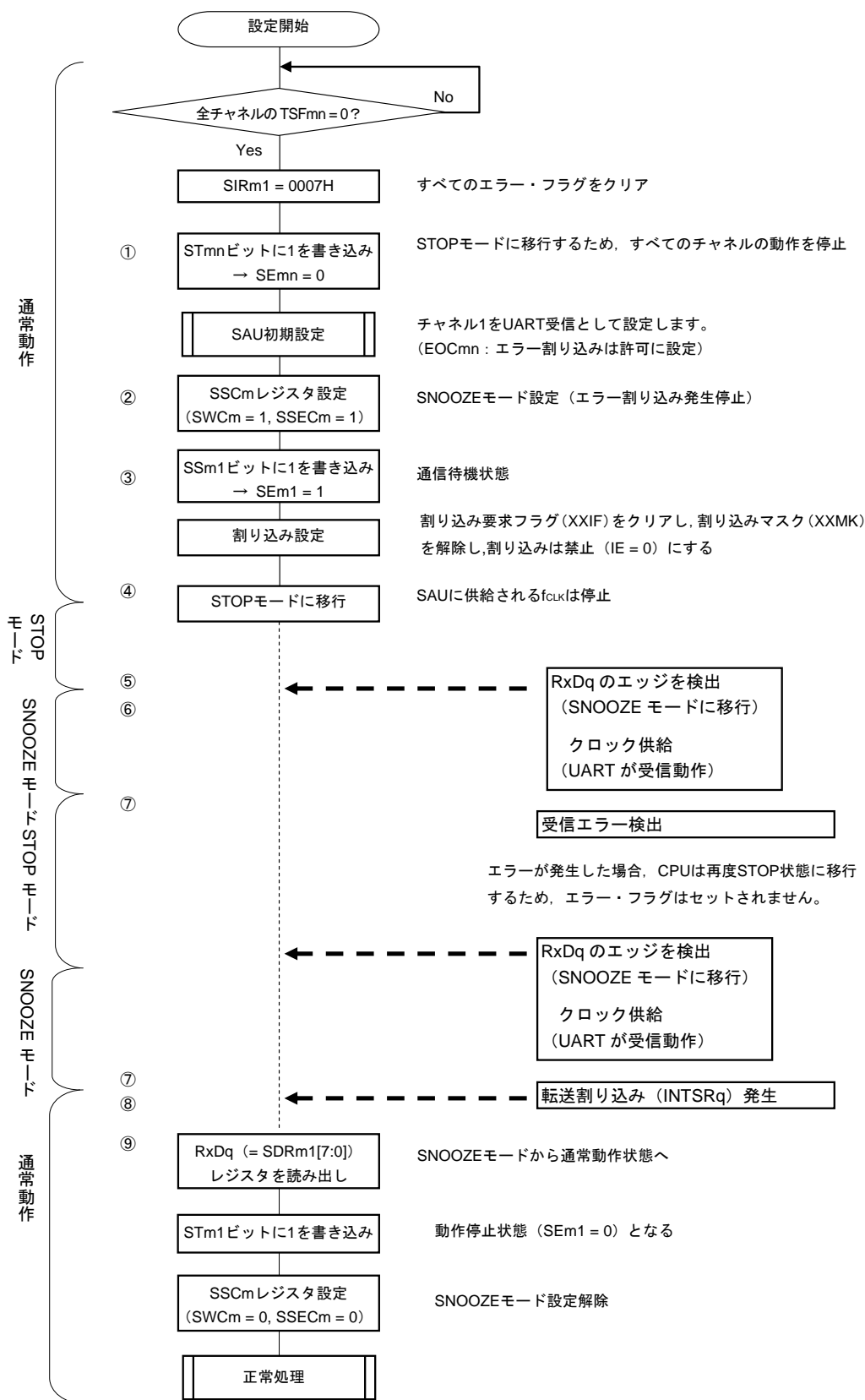


注 SWCm = 1の状態では、受信データの読み出しを行ってください。

- 注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。
また、受信動作を完了した後は、SWCmビットもクリアしてください（SNOOZE解除）。
2. SSECM = 1の設定でSNOOZEモードを使用した場合、オーバラン・エラーが発生しません。そのためSNOOZEモードを使用する場合は、STOPモード移行前にSDRm1レジスタのビット7-0（RxDq）を読み出してください。

- 備考1. 図中の①~⑨は、図11-118 SNOOZEモード動作（異常動作②）時のフロー・チャートの①~⑨に対応しています。
2. m = 0; q = 0

図11-118 SNOOZEモード動作（異常動作②）時のフロー・チャート



(注意、備考は次ページにあります。)

注意 SSECm = 1の設定でSNOOZEモードを使用した場合、オーバラン・エラーが発生しません。そのため SNOOZEモードを使用する場合は、STOPモード移行前にSDRm1レジスタのビット7-0 (RxDq) を読み出してください。

備考1. 図中の①~⑨は、図11-117 SNOOZEモード動作 (異常動作②) 時のタイミング・チャートの①~⑨に対応しています。

2. m = 0; q = 0

11.7.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0) 通信でのボー・レートは下記の計算式にて算出できます。

$$\text{(ボー・レート)} = \{\text{対象チャンネルの動作クロック (f}_{MCK}\text{) 周波数}\} \div (\text{SDRmn}[15:9]+1) \div 2 [\text{bps}]$$

注意 シリアル・データ・レジスタmn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は, SDRmn[15:9]はSDRmnレジスタのビット15-9の値 (0000010B-1111111B) なので, 2-127になります。

2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) , mn = 00, 01

動作クロック (f_{MCK}) は, シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmnビット) で決まります。

表11-5 UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fCLK) 注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	32 MHz
	X	X	X	X	0	0	0	1	fCLK/2	16 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	8 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	4 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	1 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	3.91 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	977 Hz	
1	0	0	0	0	X	X	X	X	fCLK	32 MHz
	0	0	0	1	X	X	X	X	fCLK/2	16 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	8 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	4 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	1 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	3.91 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	977 Hz	
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm）= 000FH）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1), mn = 00, 01

(2) 送信時のボー・レート誤差

UART (UART0) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 32 \text{ MHz}$ の場合のUARTボー・レート設定例を示します。

UARTボー・レート (目標ボー・レート)	$f_{\text{CLK}} = 32 \text{ MHz}$ 時			
	動作クロック (fmck)	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{\text{CLK}}/2^9$	103	300.48 bps	+0.16 %
600 bps	$f_{\text{CLK}}/2^8$	103	600.96 bps	+0.16 %
1200 bps	$f_{\text{CLK}}/2^7$	103	1201.92 bps	+0.16 %
2400 bps	$f_{\text{CLK}}/2^6$	103	2403.85 bps	+0.16 %
4800 bps	$f_{\text{CLK}}/2^5$	103	4807.69 bps	+0.16 %
9600 bps	$f_{\text{CLK}}/2^4$	103	9615.38 bps	+0.16 %
19200 bps	$f_{\text{CLK}}/2^3$	103	19230.8 bps	+0.16 %
31250 bps	$f_{\text{CLK}}/2^3$	63	31250.0 bps	±0.0 %
38400 bps	$f_{\text{CLK}}/2^2$	103	38461.5 bps	+0.16 %
76800 bps	$f_{\text{CLK}}/2$	103	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	103	153846 bps	+0.16 %
312500 bps	f_{CLK}	50	313725.5 bps	+0.39 %

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) , mn = 00, 01

(3) 受信時のボー・レート許容範囲

UART (UART0) 通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$\text{(受信可能な最大ボー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ボー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボー・レート値 (11.7.4 (1) ボー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 1), mn = 01

図11-119 受信時の許容ボー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

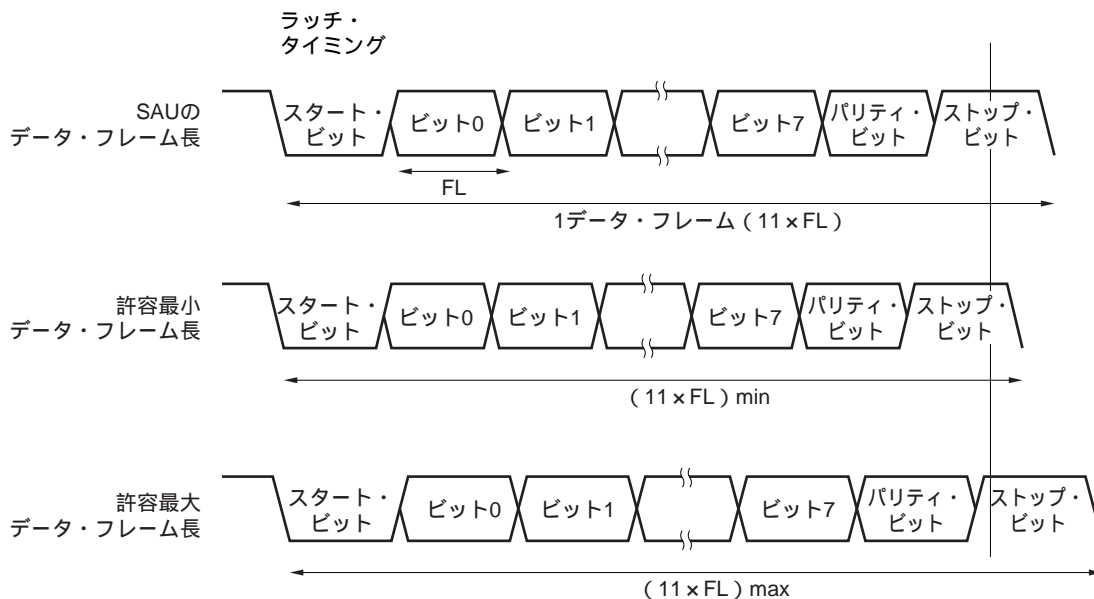


図11-119に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

11.7.5 UART (UART0) 通信時におけるエラー発生時の処理手順

UART (UART0) 通信時にエラーが発生した場合の処理手順を図11-120, 図11-121に示します。

図11-120 パリティ・エラーおよびオーバーラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが "0" となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に "1" をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図11-121 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが "0" となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに "1" を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが "0" となり、チャンネル n は動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに "1" を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが "1" となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) , mn = 00, 01

第12章 シリアル・インタフェースIICA

RL78/G1Pは、シリアル・インタフェースIICAを2ユニット搭載し、2つのスレーブ・アドレスに対応しています。IICA0, IICA1をスレーブとして使用する場合は、いずれか1つのスレーブ・アドレスとI²Cバスから受けるアドレスが一致すると、対応のスレーブがマスタと通信を行うことができます。

12.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCLAn) とシリアル・データ・バス (SDAAn) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”, “アドレス”, “転送方向指定”, “データ” および “ストップ・コンディション” を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

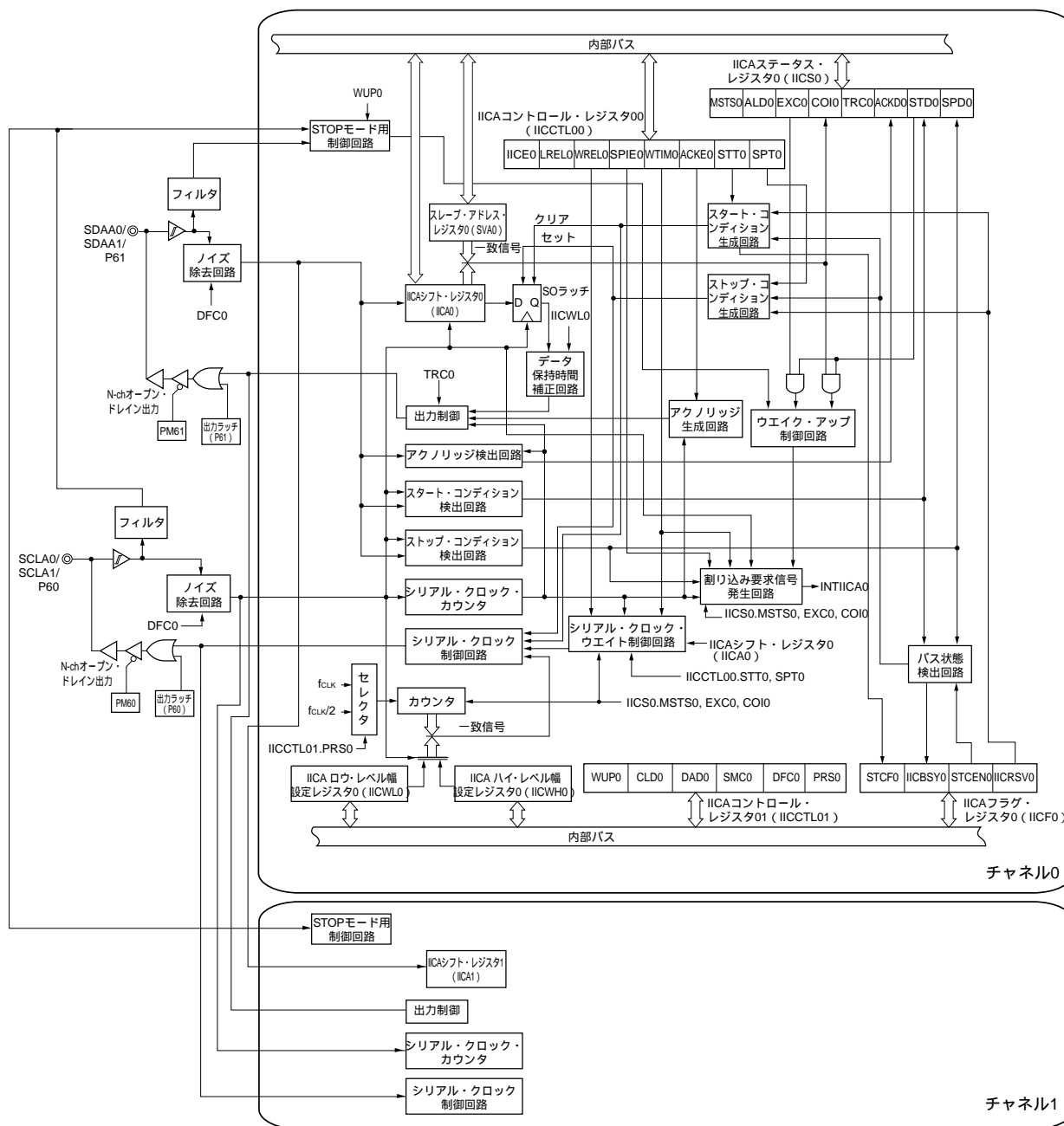
(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICAn) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1 (IICCTLn1) のWUPnビットにより設定します。

図12-1に、シリアル・インタフェースIICAのブロック図を示します。

備考 n = 0, 1

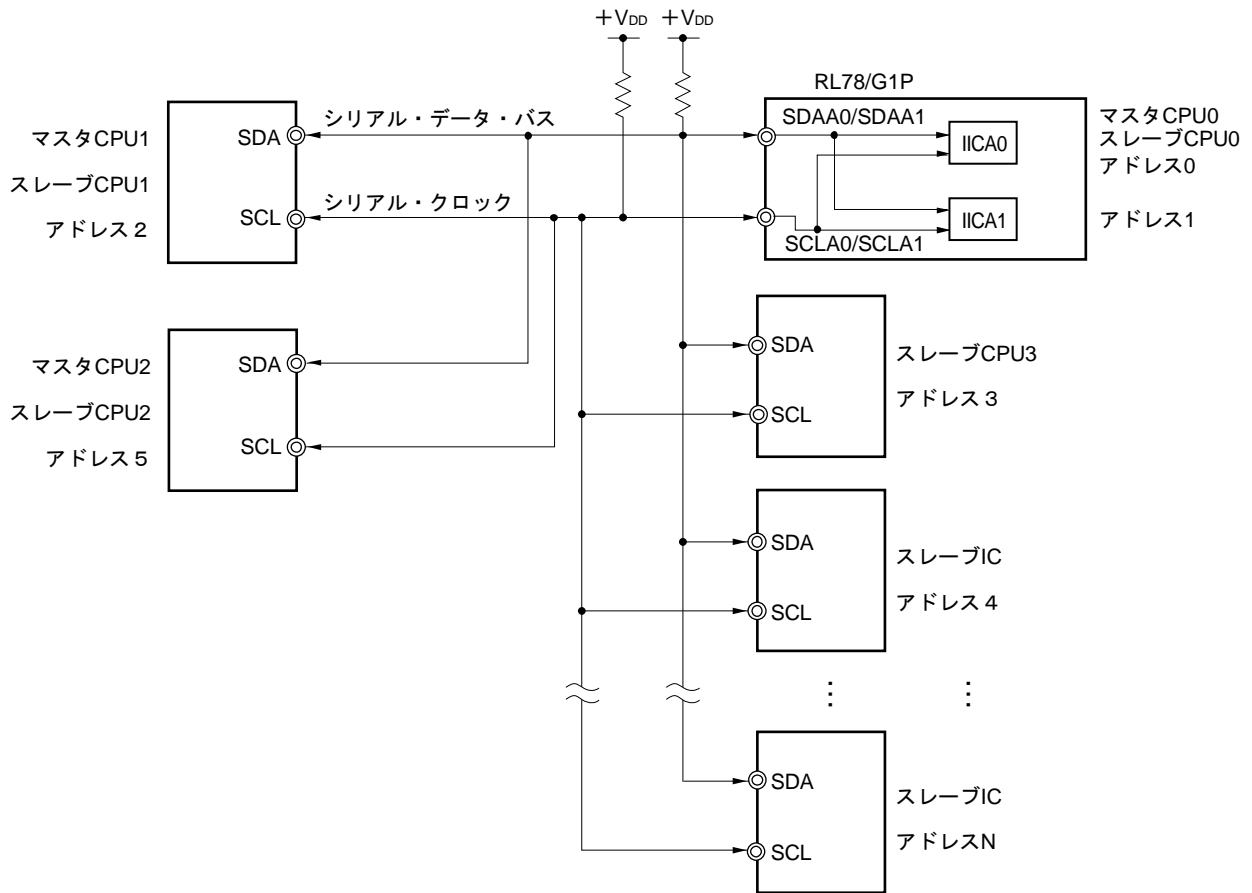
図12-1 シリアル・インタフェースIICA0, IICA1のブロック図



注意 RL78/G1Pは、チャンネル0とチャンネル1があるため、同時待ち受けができます。ただし、P60/SCLA0/SCLA1、P61/SDAA0/SDAA1端子を共有しているため、同時通信はできません。

図12-2にシリアル・バス構成例を示します。

図12-2 I²Cバスによるシリアル・バス構成例



備考 RL78/G1Pは、シリアル・インタフェースIICAを2ユニット搭載しているので、2つのアドレスに対応して通信することができます。

12.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表12-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ n (IICAn) スレーブ・アドレス・レジスタ n (SVAn)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) IICAコントロール・レジスタ $n0$ (IICCTLn0) IICAステータス・レジスタ n (IICSn) IICAフラグ・レジスタ n (IICFn) IICAコントロール・レジスタ $n1$ (IICCTLn1) IICAロウ・レベル幅設定レジスタ n (IICWLn) IICAハイ・レベル幅設定レジスタ n (IICWHn) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

備考 $n = 0, 1$

(1) IICAシフト・レジスタ n (IICAn)

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

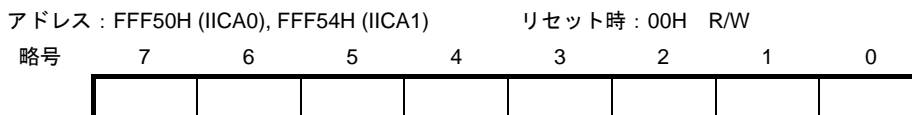
IICAnレジスタに対する書き込み／読み出しにより、実際の送受信動作が制御できます。

ウェイト期間中のIICAnレジスタへの書き込みにより、ウェイトを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 IICAnシフト・レジスタ n (IICAn) のフォーマット



注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。

2. IICAnレジスタには、ウェイト期間中にだけ、書き込み／読み出しをしてください。ウェイト期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STTn) をセット (1) したあと、1回書き込みできます。

3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考 $n = 0, 1$

(2) スレーブ・アドレス・レジスタ_n (SVAn)

スレーブとして使用する場合に、自局アドレスの7ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STD_n=1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図12-4 スレーブ・アドレス・レジスタ_n (SVAn) のフォーマット

アドレス : F0234H (SVA0), F023CH (SVA1)	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0 ^注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ_n (SVAn) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICAn) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICAn) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEnビットで設定)

備考 WTIMnビット : IICAコントロール・レジスタ_{n0} (IICCTLn0) のビット3
 SPIEnビット : " のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

備考 n = 0, 1

- (9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路,
アクノリッジ検出回路

各状態の生成および検出を行います。

- (10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

- (11) スタート・コンディション生成回路

STTnビットがセット (1) されるとスタート・コンディションを生成します。

ただし通信予約禁止状態 (IICRSVnビット = 1) で、かつバスが解放されていない (IICBSYnビット = 1) 場合には、スタート・コンディション要求は無視し、STCFnビットをセット (1) します。

- (12) ストップ・コンディション生成回路

SPTnビットがセット (1) されるとストップ・コンディションを生成します。

- (13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENnビットにより、バス状態検出回路の初期状態を設定してください。

備考	STTnビット	:	IICAコントロール・レジスタn0 (IICCTLn0) のビット1
	SPTnビット	:	" のビット0
	IICRSVnビット	:	IICAフラグ・レジスタn (IICFn) のビット0
	IICBSYnビット	:	" のビット6
	STCFnビット	:	" のビット7
	STCENnビット	:	" のビット1

備考 n = 0, 1

12.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次の8種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・IICAコントロール・レジスタn0 (IICCTLn0)
- ・IICAフラグ・レジスタn (IICFn)
- ・IICAステータス・レジスタn (IICSn)
- ・IICAコントロール・レジスタn1 (IICCTLn1)
- ・IICAロウ・レベル幅設定レジスタn (IICWLn)
- ・IICAハイ・レベル幅設定レジスタn (IICWHn)
- ・ポート・モード・レジスタ6 (PM6)
- ・ポート・レジスタ6 (P6)

備考 n = 0, 1

12.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAnを使用するときは、必ずビット6, 4 (IICA1EN, IICA0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	IICA1EN	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェースIICAnの入カクロック供給の制御
0	入力クロック供給停止 <ul style="list-style-type: none"> ・シリアル・インタフェースIICAnで使用するSFRへのライト不可 ・シリアル・インタフェースIICAnはリセット状態
1	入力クロック供給許可 <ul style="list-style-type: none"> ・シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可

- 注意1. シリアル・インタフェースIICAnの設定をする際には、必ず最初にIICAnEN = 1の設定を行ってください。IICAnEN = 0の場合は、シリアル・インタフェースIICAnの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ6(PM6)、ポート・レジスタ6 (P6) は除く)。
2. 本製品のIICAをマスタとして使う場合は、1チャンネルIICAだけを動作許可する必要があるため、IICA0ENビットとIICA1ENビットを両方1に設定することは禁止です。
3. 本製品のIICAを2つのスレーブ・アドレスに対応する場合は、IICA0ENビットとIICA1ENビットを両方1に設定する必要があります。
4. ビット1, 3, 7には必ず“0”を設定してください。

備考 n = 0, 1

12.3.2 IICAコントロール・レジスタn0 (IICCTLn0)

I²Cの動作許可／停止, ウエイト・タイミングの設定, その他I²Cの動作を設定するレジスタです。

IICCTLn0レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし, SPIEn, WTIMn, ACKEnビットは, IICEn = 0のとき, またはウエイト期間中に設定してください。またIICEnビットを"0"から"1"に設定するときに, これらのビットを同時に設定できません。

リセット信号の発生により, 00Hになります。

備考 n = 0, 1

図12-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (1/4)

アドレス : F0230H (IICCTL00), F0238H (IICCTL10) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

IICEn	I ² Cの動作許可
0	動作停止。IICAステータス・レジスタn (IICSn) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICEn = 0)	セットされる条件 (IICEn = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LRELn ^{注2,3}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタn0 (IICCTLn0) , IICAステータス・レジスタn (IICSn) のうち、次のフラグがクリア (0) される。 ・ STTn ・ SPTn ・ MSTSn ・ EXCn ・ COIn ・ TRCn ・ ACKDn ・ STDn
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELn = 0)	セットされる条件 (LRELn = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WRELn ^{注2,3}	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRCn = 1) で、9クロック目のウェイト期間中にWRELnビットをセット (ウェイトを解除) した場合、SDAAnラインをハイ・インピーダンス (TRCn = 0) にします。	
クリアされる条件 (WRELn = 0)	セットされる条件 (WRELn = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

注1. リセットされるのは、IICAステータス・レジスタn (IICA0) , IICAフラグ・レジスタn (IICF0) の STCFn, IICBSYnビット, IICAコントロール・レジスタn1 (IICCTLn1) レジスタのCLDn, DADnビットです。

2. IICEn = 0の状態では、このビットの信号は無効になります。

3. LRELn, WRELnビットの読み出し値は常に0になります。

注意 SCLAnラインがハイ・レベル, SDAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTLn1レジスタのDFCn = 1) のときにI²Cを動作許可 (IICEn = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可 (IICEn = 1) したあと、連続して1ビット・メモリ操作命令により、LRELnビットをセット (1) してください。

備考 n = 0, 1

図12-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (2/4)

SPIEn ^{注1}	ストップ・コンディション検出による割り込み要求発生 of 許可/禁止	
0	禁止	
1	許可	
IICAコントロール・レジスタn1 (IICCTLn1) のWUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIEn = 0)		セットされる条件 (SPIEn = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

WTIMn ^{注1}	ウエイトおよび割り込み要求発生 of 制御	
0	8クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウエイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウエイト	
1	9クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウエイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウエイト	
アドレス転送中はこのビット of 設定にかかわらず、9クロック目の立ち下がり with 割り込みが発生します。アドレス転送終了後このビット of 設定が有効になります。またマスタ時、アドレス転送中 is 9クロック of 立ち下がり to ウエイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がり with ウエイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がり with ウエイトに入ります。		
クリアされる条件 (WTIMn = 0)		セットされる条件 (WTIMn = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

ACKEn ^{注1,2}	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。	
クリアされる条件 (ACKEn = 0)		セットされる条件 (ACKEn = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

注1. IICEn = 0 of 状態では、このビット of 信号は無効になります。その期間 to ビット of 設定を行ってください。

2. アドレス転送中 with、かつ拡張コードでない場合、設定値は無効です。

スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

備考 n = 0, 1

図12-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (3/4)

STTn ^注	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	バスが解放されているとき（待機状態, IICBSYnが0のとき）： セット（1）すると、スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・通信予約機能許可の場合（IICRSVn = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると、バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSVn = 1） セット（1）してもSTTnビットはクリアされ、STTnクリア・フラグ（STCFn）がセット（1）される。スタート・コンディションは生成しない。 ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。	
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット（1）は禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたとのウェイト期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。 ・ストップ・コンディション・トリガ（SPTn）と同時セット（1）することは禁止です。 ・STTnビットをセット（1）後、クリア条件になる前に再度セット（1）することは禁止です。		
クリアされる条件（STTn = 0）		セットされる条件（STTn = 1）
・通信予約禁止状態でのSTTnビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LRELn = 1（通信退避）によるクリア ・IICEn = 0（動作停止）のとき ・リセット時		・命令によるセット

注 IICEn = 0の状態では、このビットの信号は無効になります。

備考1. ビット1（STTn）は、データ設定後に読み出すと0になっています。

2. IICRSVn : IICフラグ・レジスタn (IICFn) のビット0
 STCFn : " のビット7
3. n = 0, 1

図12-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (4/4)

SPTn	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する（マスタとしての転送終了）。	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合：転送中のセット（1）は禁止です。 ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。 マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウエイト期間中にセットしてください。 スタート・コンディション・トリガ（STTn）と同時にセット（1）することは禁止です。 SPTnビットのセット（1）は、マスタのときのみ行ってください。 WTIMn = 0設定時に、8クロック出力後のウエイト期間中にSPTnビットをセット（1）すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIMn = 0→1に設定し、9クロック目出力後のウエイト期間中にSPTnビットをセット（1）してください。 SPTnビットをセット（1）後、クリア条件になる前に、再度セット（1）することは禁止です。 		
クリアされる条件 (SPTn = 0)		セットされる条件 (SPTn = 1)
<ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LRELn = 1（通信退避）によるクリア IICEn = 0（動作停止）のとき リセット時 		<ul style="list-style-type: none"> 命令によるセット

注意 IICAステータス・レジスタn(IICSn)のビット3(TRCn) = 1(送信状態)のとき、9クロック目にIICCTLn0レジスタのビット5(WRELn)をセット（1）してウエイト解除すると、TRCnビットをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるウエイト解除は、IICAシフト・レジスタnへの書き込みで行ってください。

- 備考1. ビット0 (SPTn) は、データ設定後に読み出すと0になっています。
2. n = 0, 1

12.3.3 IICAステータス・レジスタn (IICSn)

I²Cのステータスを表すレジスタです。

IICSnレジスタは、STTn = 1およびウエイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUPn = 1) 状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求と関係なくWUPnビットを1→0 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIEn = 1) して割り込み検出後にIICSnレジスタを読み出してください。

備考 STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1
 WUPn : IICAコントロール・レジスタn1 (IICCTLn1) のビット7

図12-7 IICAステータス・レジスタn (IICSn) のフォーマット (1/3)

アドレス : FFF51H (IICS0), FFF55H (IICS1) リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn

MSTSn	マスタ状態確認フラグ	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTSn = 0)		セットされる条件 (MSTSn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALDn = 1 (アービトレーション負け) のとき ・LRELn = 1 (通信退避) によるクリア ・IICEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALDn	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTSnビットがクリアされる。	
クリアされる条件 (ALDn = 0)		セットされる条件 (ALDn = 1)
<ul style="list-style-type: none"> ・IICSnレジスタ読み出し後、自動的にクリア^注 ・IICEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・アービトレーションに負けたとき

注 IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDnビット使用時は、ほかのビットよりも先にデータをリードしてください。

備考 1. LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6
 IICEn : " のビット7
 2. n = 0, 1

図12-7 IICAステータス・レジスタn (IICSn) のフォーマット (2/3)

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXCn = 0)		セットされる条件 (EXCn = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1 (通信退避) によるクリア ・IICEEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COIn = 0)		セットされる条件 (COIn = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1 (通信退避) によるクリア ・IICEEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタn (SVAn)) と一致したとき (8クロック目の立ち上がりでセット)

TRCn	送信/受信状態検出	
0	受信状態 (送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSONラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRCn = 0)		セットされる条件 (TRCn = 1)
<p><マスタ, スレーブ共通></p> <ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LRELn = 1 (通信退避) によるクリア ・IICEEn = 1→0 (動作停止) のとき ・WRELn = 1 (ウェイト解除) によるクリア^注 ・ALDn = 0→1 (アービトラージ負け) のとき ・リセット時 ・通信不参加の場合 (MSTSn, EXCn, COIn = 0) <p><マスタの場合></p> <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に“1”を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に“0”を入力したとき 		<p><マスタの場合></p> <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“0” (マスタ送信) を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> ・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“1” (スレーブ送信) が入力されたとき

注 IICAステータス・レジスタn (IICSn) のビット3 (TRCn) = 1 (送信状態) のとき、9クロック目にIICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) をセット (1) してウェイトを解除すると、TRCnビットをクリア (受信状態) してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態) におけるウェイト解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考 1. LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6
 IICEEn : " のビット7
 2. n = 0, 1

図12-7 IICAステータス・レジスタn (IICSn) のフォーマット (3/3)

ACKDn	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKDn = 0)		セットされる条件 (ACKDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避) によるクリア ・IICEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STDn = 0)		セットされる条件 (STDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避) によるクリア ・IICEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件 (SPDn = 0)		セットされる条件 (SPDn = 1)
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・WUPn = 1→0のとき ・IICEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 1. LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6

IICEn : " のビット7

2. n = 0, 1

12.3.4 IICAフラグ・レジスタn (IICFn)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STTnクリア・フラグ (STCFn)、I²Cバス状態フラグ (IICBSYn) は読み出しのみ可能です。

IICRSVnビットにより、通信予約機能の禁止/許可を設定します。

またSTCENnビットにより、IICBSYnビットの初期値を設定します。

IICRSVn, STCENnビットはI²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図12-8 IICAフラグ・レジスタn (IICFn) のフォーマット

アドレス : FFF52H (IICF0), FFF56H (IICF1) リセット時 : 00H R/W^注

略号 7 6 5 4 3 2 1 0

IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn
-------	-------	---------	---	---	---	---	--------	---------

STCFn	STTnクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず、STTnフラグ・クリア。
クリアされる条件 (STCFn = 0)	
<ul style="list-style-type: none"> ・ STTn = 1によるクリア ・ IICEn = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (STCFn = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSVn = 1) 設定時にスタート・コンディション発行できず、STTnビットがクリア (0) されたとき 	

IICBSYn	I ² Cバス状態フラグ
0	バス解放状態 (STCENn = 1時の通信初期状態)。
1	バス通信状態 (STCENn = 0時の通信初期状態)。
クリアされる条件 (IICBSYn = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICEn = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (IICBSYn = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCENn = 0時のIICEnビットのセット 	

STCENn	初期スタート許可トリガ
0	動作許可 (IICEn = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。
1	動作許可 (IICEn = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。
クリアされる条件 (STCENn = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時 	
セットされる条件 (STCENn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

IICRSVn	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSVn = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	
セットされる条件 (IICRSVn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 ビット6, 7はRead onlyです。

注意1. STCENnビットへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。

2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを発行 (STTn = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。
3. IICRSVnへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。

備考 1. STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1
IICEn : " のビット7

2. n = 0, 1

12.3.5 IICAコントロール・レジスタn1 (IICCTLn1)

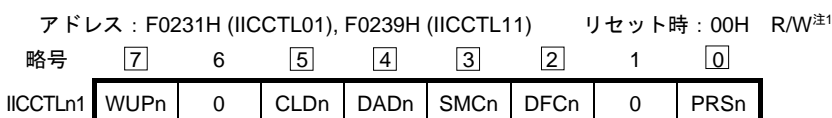
I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLDn, DADnビットは読み出しのみ可能です。

IICCTLn1レジスタは、WUPnビットを除きI²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

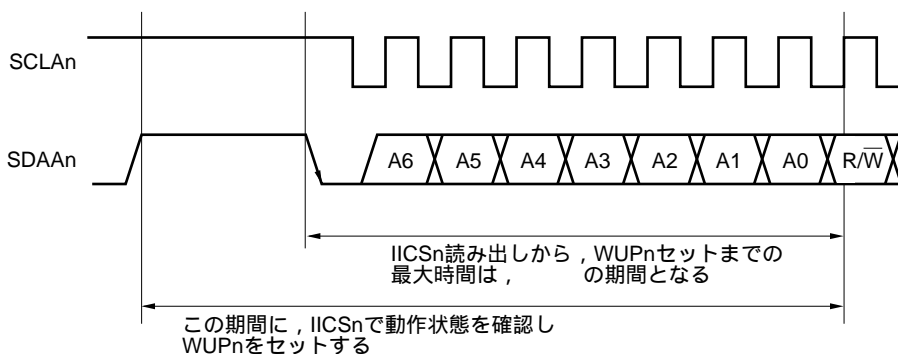
図12-9 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマット (1/2)



WUPn	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
<p>WUPn = 1でSTOPモードに移行する場合は、WUPnビットをセット (1) して3クロック以上経過後にSTOP命令を実行してください (図12-22 WUPn = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPnビットをクリア (0) してください。WUPnビットをクリア (0) することで、その後の通信に参加する事ができます (ウエイト解除および送信データ書き込みは、WUPnビットをクリア (0) したあとに行う必要があります)。</p> <p>WUPn = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。</p>	
クリアされる条件 (WUPn = 0)	セットされる条件 (WUPn = 1)
・命令によるクリア (アドレス一致もしくは拡張コード受信後)	・命令によるセット (MSTSn, EXCn, COIn = 0であり、STDn = 0 (通信に不参加である事) のとき) ^{注2}

注1. ビット4, 5はRead Onlyです。

2. 次に示す期間に、IICAステータス・レジスタn (IICSn) の状態を確認しセットする必要があります。



備考 n = 0, 1

図12-9 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマット (2/2)

CLDn	SCLAn端子のレベル検出 (IICEn = 1のときのみ有効)	
0	SCLAn端子がロウ・レベルであることを検出	
1	SCLAn端子がハイ・レベルであることを検出	
クリアされる条件 (CLDn = 0)		セットされる条件 (CLDn = 1)
<ul style="list-style-type: none"> ・ SCLAn端子がロウ・レベルのとき ・ IICEn = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出 (IICEn = 1のときのみ有効)	
0	SDAAn端子がロウ・レベルであることを検出	
1	SDAAn端子がハイ・レベルであることを検出	
クリアされる条件 (DADn = 0)		セットされる条件 (DADn = 1)
<ul style="list-style-type: none"> ・ SDAAn端子がロウ・レベルのとき ・ IICEn = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDAAn端子がハイ・レベルのとき

SMCn	動作モードの切り替え	
0	標準モードで動作 (最大転送レート : 100 kbps)	
1	ファースト・モード (最大転送レート : 400 kbps) またはファースト・モード・プラス (最大転送レート : 1 Mbps) で動作	

DFCn	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時にのみ使用できます。		
ファースト・モードおよびファースト・モード・プラス時はDFCnビットのセット (1) / クリア (0) により、転送クロックが変化することはありません。		
デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時にノイズ除去のために使用します。		

PRSn	動作クロックの分周動作制御	
0	動作クロックにf _{CLK} を選択	
1	動作クロックにf _{CLK} /2を選択	

注意 シリアル・インタフェースIICAの動作クロックの最高動作周波数は20 MHz (Max.) です。f_{CLK}が20 MHzを越える場合は、PRSnビットを1にすることで、動作クロックにf_{CLK}/2を選択してください。

- 備考 1. IICEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット7
2. n = 0, 1

12.3.6 IICAロウ・レベル幅設定レジスタn (IICWLn)

シリアル・インタフェースIICAが、出力するSCLAn端子信号のロウ・レベル幅 (tLow) を設定するレジスタです。

IICWLnレジスタは、8ビット・メモリ操作命令で設定します。

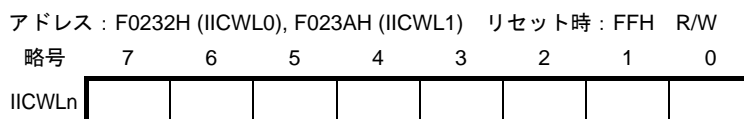
IICWLnレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

IICWLnの設定方法については、12.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法を参照してください。

また、データ・ホールド時間はIICWLnで設定した時間の1/4になります。

図12-10 IICAロウ・レベル幅設定レジスタn (IICWLn) のフォーマット



12.3.7 IICAハイ・レベル幅設定レジスタn (IICWHn)

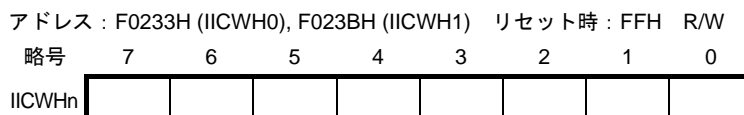
シリアル・インタフェースIICAが、出力するSCLAn端子信号のハイ・レベル幅を設定するレジスタです。

IICWHnレジスタは、8ビット・メモリ操作命令で設定します。

IICWHnレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図12-11 IICAハイ・レベル幅設定レジスタn (IICWHn) のフォーマット



備考 1. IICWLn, IICWHnレジスタによる転送クロックの設定方法は、12.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法を参照してください。

2. n = 0, 1

12.3.8 ポート・モード・レジスタ6 (PM6)

ポート6の入力／出力を1ビット単位で設定するレジスタです。

P60/SCLA0/SCLA1端子をクロック入出力、P61/SDAA0/SDAA1端子をシリアル・データ入出力として使用するとき、PM60, PM61に0、およびP60, P61の出力ラッチに1を設定してください。

IICEn (IICAコントロール・レジスタn0 (IICCTLn0) のビット7) が0の場合、P60/SCLA0/SCLA1端子およびP61/SDAA0/SDAA1端子はロウ・レベル出力 (固定) となるため、出力モードへの切り替えは、IICEn ビットに1を設定してから、行ってください。

PM6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図12-12 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

12.4 I²Cバス・モードの機能

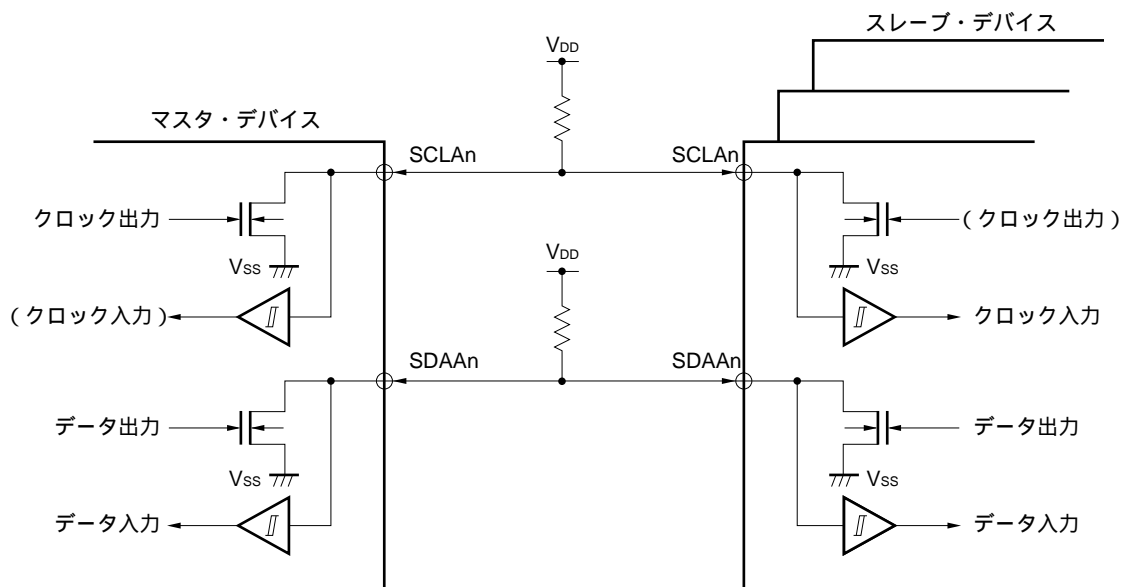
12.4.1 端子構成

シリアル・クロック端子 (SCLAn) と、シリアル・データ・バス端子 (SDAAn) の構成は、次のようになっています。

- (1) SCLAn……シリアル・クロックを出入力するための端子。
 マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。
- (2) SDAAn……シリアル・データの入出力兼用端子。
 マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図12-13 端子構成図



備考 n = 0, 1

12.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{CLK}}}{\text{IICWL} + \text{IICWH} + f_{\text{CLK}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWLn} = \frac{0.52}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWHn} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWLn} = \frac{0.47}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWHn} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

・ファースト・モード・プラス時

$$\text{IICWLn} = \frac{0.50}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWHn} = \left(\frac{0.50}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

(2) スレーブ側のIICWLn, IICWHnレジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWLn} = 1.3 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWHn} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWLn} = 4.7 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWHn} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

・ファースト・モード・プラス時

$$\text{IICWLn} = 0.50 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWHn} = (0.50 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

注意 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時 : $f_{\text{CLK}} = 3.5 \text{ MHz (Min.)}$

ファースト・モード・プラス時 : $f_{\text{CLK}} = 10 \text{ MHz (Min.)}$

標準モード時 : $f_{\text{CLK}} = 1 \text{ MHz (Min.)}$

また、シリアル・インタフェースIICAの動作クロックの最高動作周波数は20 MHz (Max.) です。 f_{CLK} が20 MHzを越える場合は、IICCTLn1レジスタのPRSnビットを1にすることで、動作クロックに $f_{\text{CLK}}/2$ を選択してください。

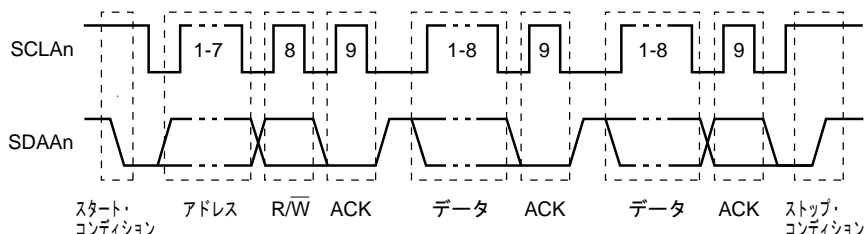
- 備考1. SDAAn, SCLAn信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。
2. IICWLn : IICAロウ・レベル幅設定レジスタn
IICWHn : IICAハイ・レベル幅設定レジスタn
 t_F : SDAAn, SCLAn信号の立ち下がり時間
 t_R : SDAAn, SCLAn信号の立ち上がり時間
 f_{CLK} : CPU/周辺ハードウェア・クロック周波数
 3. $n = 0, 1$

12.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図12-14に示します。

図12-14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

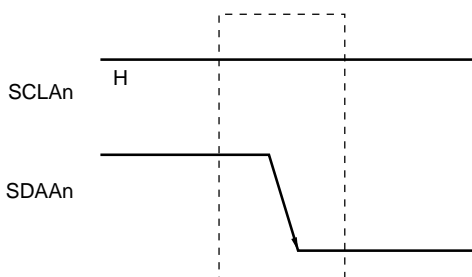
アクノリッジ (ACK) は、マスタ、スレーブのどちらでも生成できます（通常、8ビット・データの受信側が出力します）。

シリアル・クロック (SCLAn) は、マスタが出力し続けます。ただし、スレーブはSCLAn端子のロウ・レベル期間を延長し、ウエイトを挿入できます。

12.5.1 スタート・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子、SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図12-15 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPDn: IICAステータス・レジスタn (IICSn) のビット0 = 1) のときにIICAコントロール・レジスタn0 (IICCTLn0) のビット1 (STTn) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICSnレジスタのビット1 (STDn) がセット (1) されます。

備考 n = 0, 1

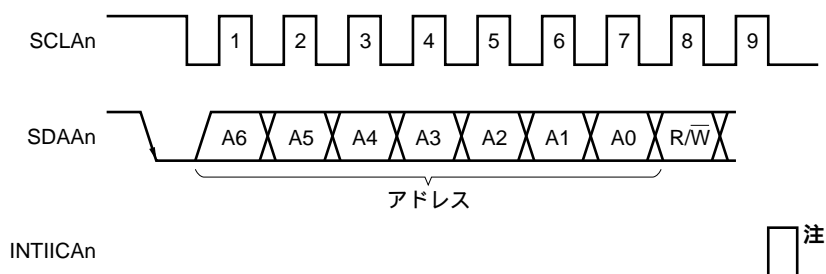
12.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVAn) と一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図12-16 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと12.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタ n (IICAn) に書き込むと出力します。また、受信したアドレスはIICAnレジスタに書き込まれます。

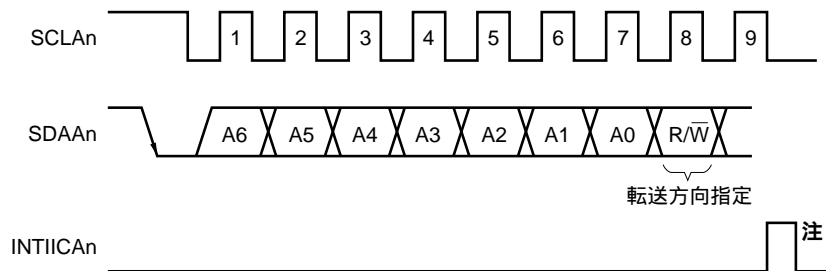
なお、スレーブのアドレスは、IICAnレジスタの上位7ビットに割り当てられます。

12.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図12-17 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考 $n = 0, 1$

12.5.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICSnステータス・レジスタn (IICSn) のビット2 (ACKDn) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

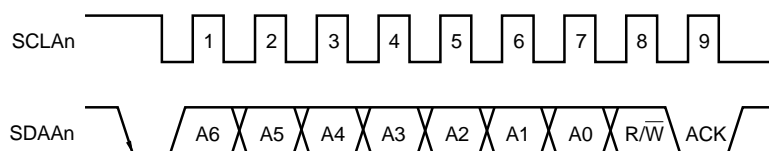
アクノリッジ生成は、受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタn0 (IICCTLn0) のビット2 (ACKEn) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3 (TRCn) が設定されます。受信 (TRCn = 0) の場合は、通常、ACKEnビットをセット (1) してください。

スレーブ受信動作時 (TRCn = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRCn = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図12-18 アクノリッジ



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

- ・ 8クロック・ウェイト選択時 (IICCTLn0レジスタのビット3 (WTIMn) = 0) :
ウェイト解除を行う前にACKEnビットをセット (1) することによって、SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・ 9クロック・ウェイト選択時 (IICCTLn0レジスタのビット3 (WTIMn) = 1) :
あらかじめACKEnビットをセット (1) することによって、アクノリッジを生成します。

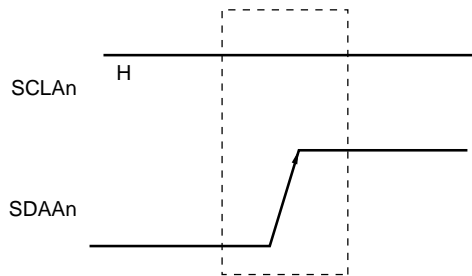
備考 n = 0, 1

12.5.5 ストップ・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図12-19 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタn0 (IICCTLn0) のビット0 (SPTn) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタn (IICSn) のビット0 (SPDn) がセット (1) され、IICCTLn0レジスタのビット4 (SPIEn) がセット (1) されている場合にはINTIICAnが発生します。

備考 n = 0, 1

12.5.6 ウェイト

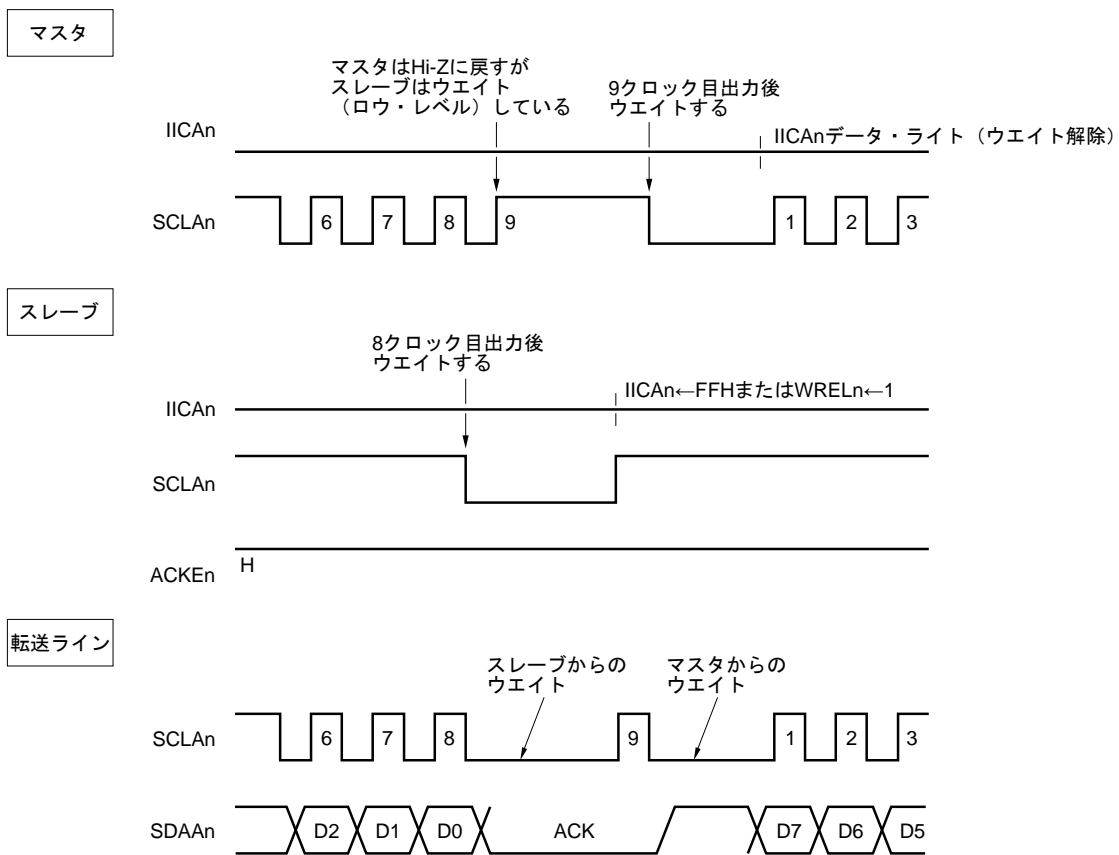
ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図12-20 ウェイト (1/2)

(1) マスタは9クロック・ウェイト、スレーブは8クロック・ウェイト時

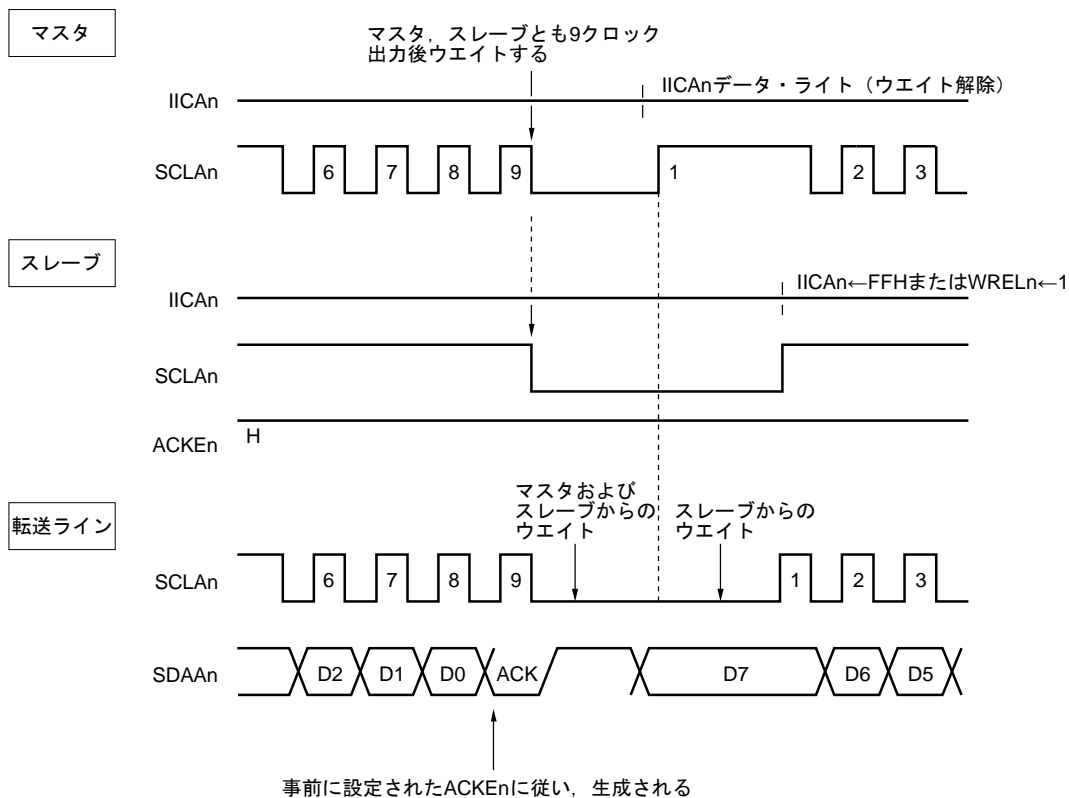
(マスタ：送信，スレーブ：受信，ACKEn = 1)



備考 n = 0, 1

図12-20 ウェイト (2/2)

(2) マスタ, スレーブとも9クロック・ウェイト時
 (マスタ: 送信, スレーブ: 受信, ACKEn = 1)



備考 ACKEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット2
 WRELn : " のビット5

ウェイトは, IICAコントロール・レジスタn0 (IICCTLn0) のビット3 (WTIMn) の設定により自動的に発生します。

通常, 受信側はIICCTLn0レジスタのビット5 (WRELnビット) = 1またはIICAシフト・レジスタn (IICAn) にFFHを書き込むとウェイトを解除し, 送信側はIICAnレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICCTLn0レジスタのビット1 (STTn) = 1
- ・ IICCTLn0レジスタのビット0 (SPTn) = 1

備考 n = 0, 1

12.5.7 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICAシフト・レジスタn (IICAn) へのデータ書き込み
- ・ IICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) のセット (ウェイト解除)
- ・ IICCTLn0レジスタのビット1 (STTn) のセット (スタート・コンディションの生成)^注
- ・ IICCTLn0レジスタのビット0 (SPTn) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICAnレジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0レジスタのビット5 (WRELn) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICCTLn0レジスタのビット1 (STTn) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICCTLn0レジスタのビット0 (SPTn) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WRELnビットにセット (1) によるウェイト解除後、IICAnレジスタへのデータ書き込みを実施した場合には、SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により、SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEnビットをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0レジスタのビット6 (LRELn) をセット (1) すると通信から退避するので、ウェイトを解除できます。

注意 WUPn = 1のときにウェイト解除処理を実行した場合、ウェイトは解除されません。

備考 n = 0, 1

12.5.8 割り込み要求 (INTIICAn) 発生タイミングおよびウェイト制御

IICAコントロール・レジスタn0 (IICCTLn0) のビット3 (WTIMn) の設定で、表12-2に示すタイミングでINTIICAnが発生し、また、ウェイト制御を行います。

表12-2 INTIICAn発生タイミングおよびウェイト制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1. スレーブのINTIICAn信号およびウェイトは、スレーブ・アドレス・レジスタn (SVAn) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
- また、このとき、IICCTLn0レジスタのビット2 (ACKEn) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICAnを発生しますが、ウェイトは発生しません。
2. スレーブ・アドレス・レジスタn (SVAn) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAnもウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

備考 n = 0, 1

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ n (IICAn) へのデータ書き込み
- ・ IICAコントロール・レジスタ $n0$ (IICCTLn0) のビット5 (WRELn) のセット (ウェイト解除)
- ・ IICCTLn0レジスタのビット1 (STTn) のセット (スタート・コンディションの生成)^注
- ・ IICCTLn0レジスタのビット0 (SPTn) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・ウェイト選択 (WTIMn = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIEn = 1のときのみ)。

12.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ n (SVAn) に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICAn割り込み要求が発生します。

12.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAAn) の状態が、送信しているデバイスのIICAシフト・レジスタ n (IICAn) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 $n = 0, 1$

12.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn) をセット (1) し、8クロック目の立ち下がりで割り込み要求 (INTIICAn) を発生します。スレーブ・アドレス・レジスタn (SVAn) に格納された自局アドレスは影響しません。

(2) SVAnレジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIICAn) は、8クロック目の立ち下がりで発生します。

- ・上位4ビット・データ的一致 : EXCn = 1
- ・7ビット・データ的一致 : COIn = 1

備考 EXCn : IICAステータス・レジスタn (IICSn) のビット5
COIn : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタn0 (IICCTLn0) のビット6 (LRELn) = 1に設定してください。次の通信待機状態にします。

表12-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

備考 1. 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。
2. n = 0, 1

12.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合 (STDn = 1になる前にSTTn = 1にしたとき), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IICAステータス・レジスタn (IICSn) のアービトレーション負けフラグ (ALDn) をセット (1) し, SCLAn, SDAAnラインともハイ・インピーダンス状態にしてバスを解放します。

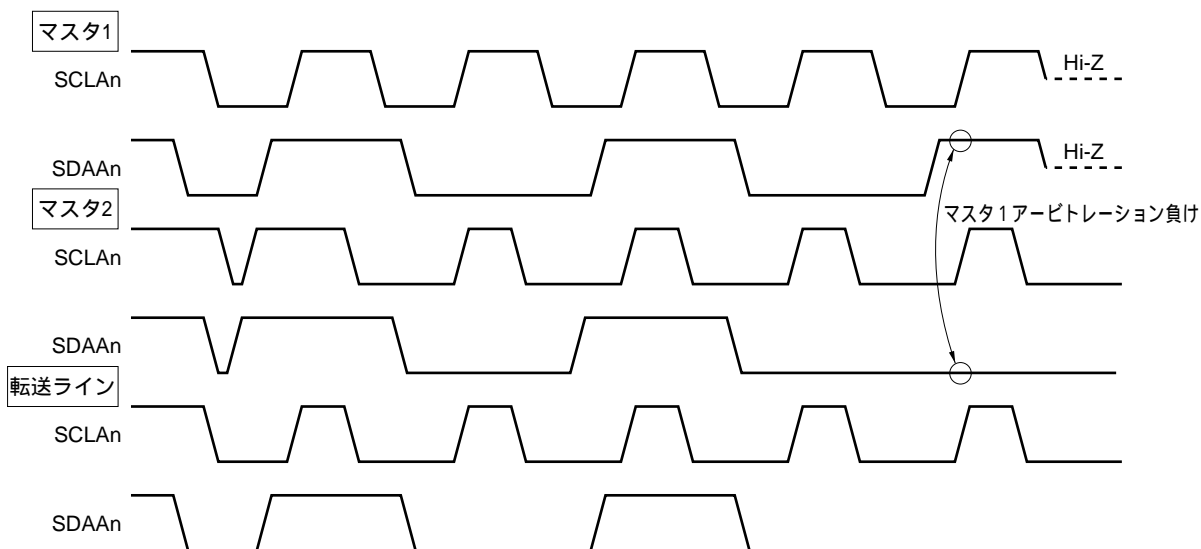
アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALDn = 1になっていることで検出します。

割り込み要求発生タイミングについては, 12.5.8 割り込み要求 (INTIICAn) の発生タイミングおよびウェイト制御を参照してください。

備考 STDn : IICAステータス・レジスタn (IICSn) のビット1

STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

図12-21 アービトレーション・タイミング例



備考 n = 0, 1

表12-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIEn = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEn = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. WTIMnビット (IICAコントロール・レジスタn0 (IICCTLn0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求が発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求が発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEn = 1に設定してください。

備考 1. SPIEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット4

2. n = 0, 1

12.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIICAn) を発生する機能です。

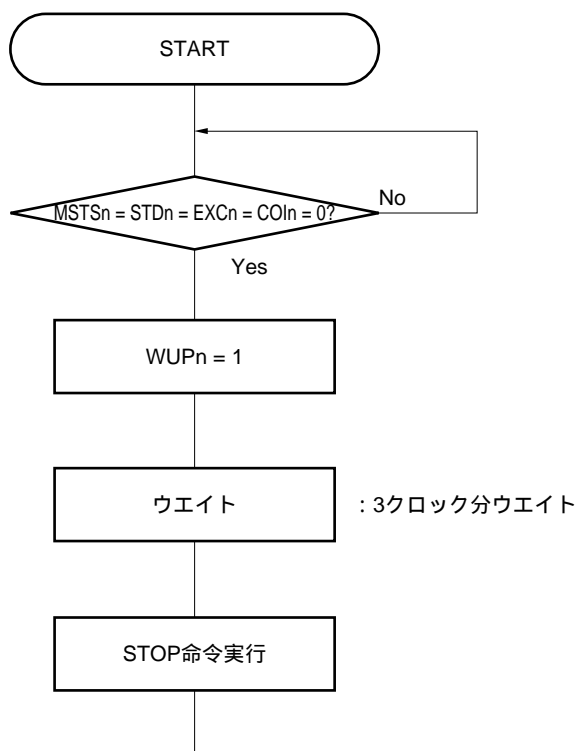
アドレスが一致しないときは不要なINTIICAn信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICAn) を発生します。この割り込み発生後に命令でWUPnビットをクリア (0) することで通常動作に戻ります。

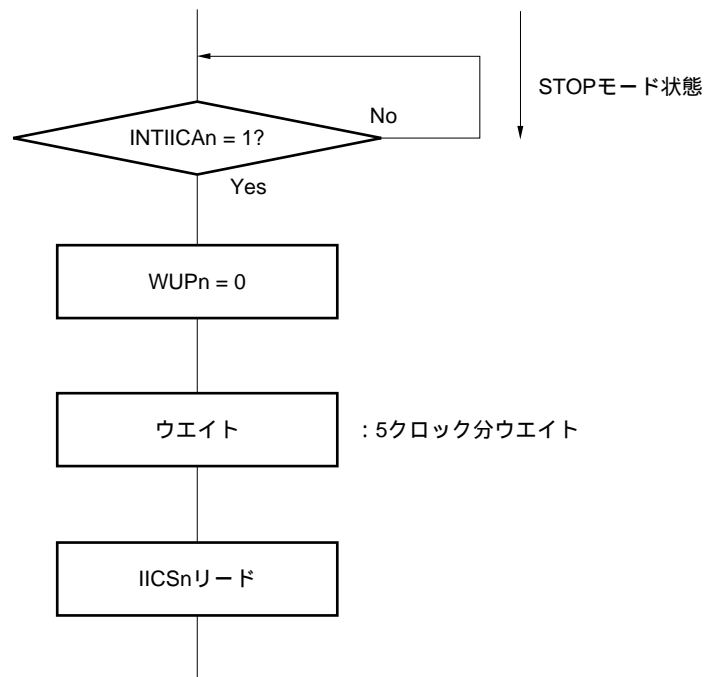
WUPn = 1に設定する場合のフローを図12-22に、アドレス一致によりWUPn = 0に設定する場合のフローを図12-23に示します。

図12-22 WUPn = 1を設定する場合のフロー



備考 n = 0, 1

図12-23 アドレス一致によりWUPn = 0に設定する場合のフロー（拡張コード受信含む）



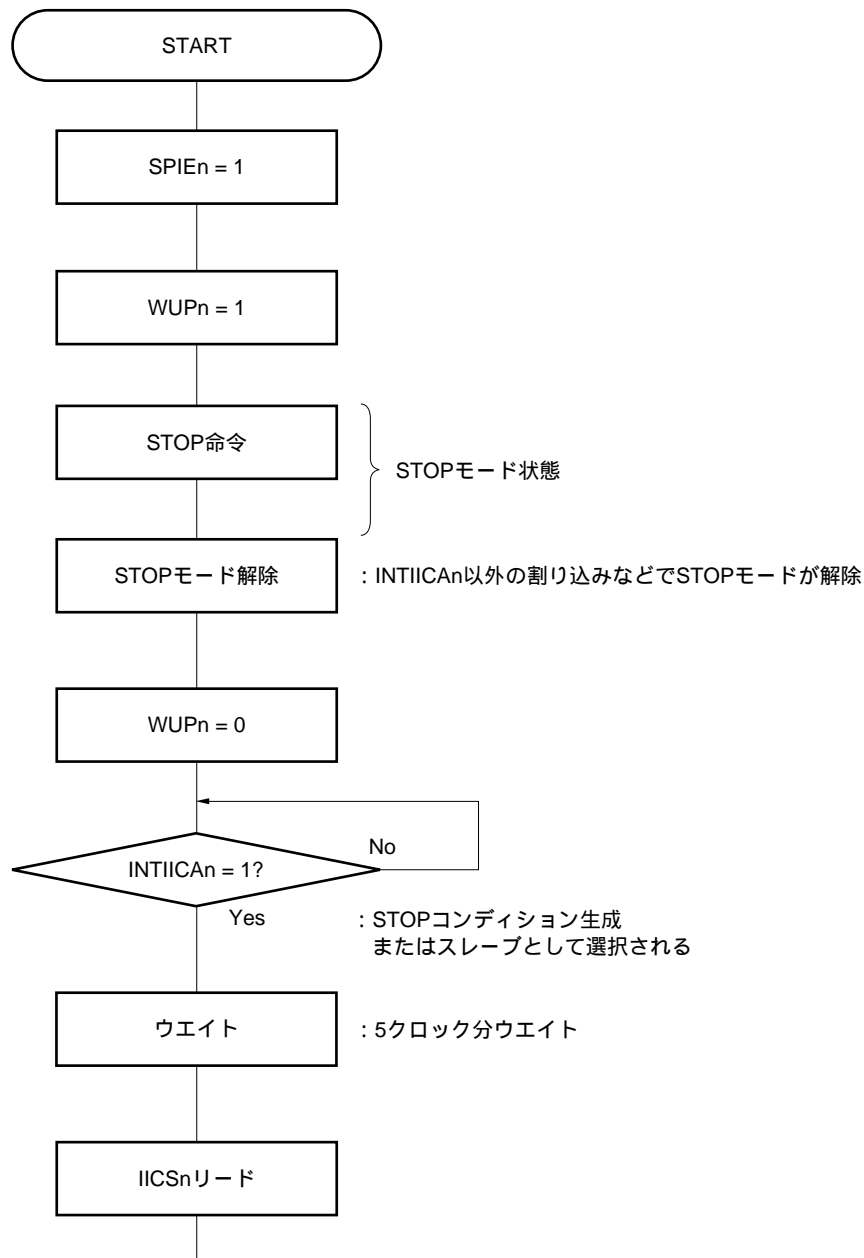
シリアル・インタフェースIICAの動作状態を
確認後、実行したい動作に合わせた処理を実行

また、シリアル・インタフェースIICAからの割り込み要求（INTIICAn）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- ・ マスタとして動作させる場合 : 図12-24のフロー
- ・ スレーブとして動作させる場合 : 図12-23のフローと同じになります。

備考 n = 0, 1

図12-24 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を
確認後、実行したい動作に合わせた処理を実行

備考 n = 0, 1

12.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタ n (IICFn) のビット0 (IICRSVn) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICAコントロール・レジスタ n (IICCTLn0) のビット6 (LRELn) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTLn0レジスタのビット1 (STTn) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTLn0レジスタのビット4 (SPIEn) をセット (1) し、割り込み要求信号 (INTIICAn) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタ n (IICAn) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき……………スタート・コンディション生成
- ・バスが解放されていないとき (待機状態) ……通信予約

通信予約として動作するのかどうかは、STTnビットをセット (1) し、ウェイト時間をとったあと、MSTSnビット (IICAステータス・レジスタ n (IICSn) のビット7) で確認します。

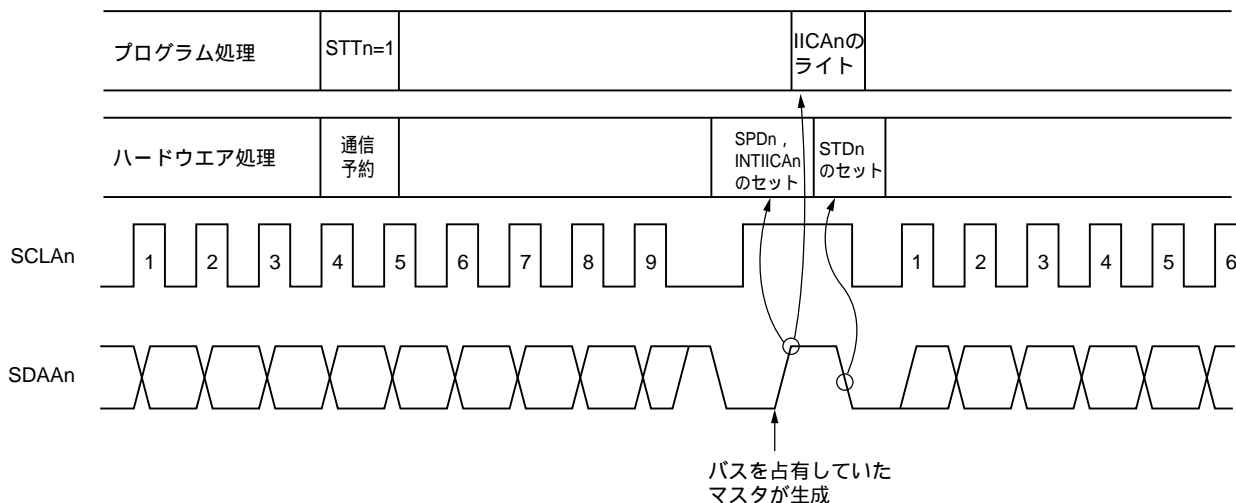
ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

$$\text{STTn} = 1 \text{ から MSTSn フラグ 確認 までの ウェイト 時間 :} \\ (\text{IICWLn の 設定 値} + \text{IICWHn の 設定 値} + 4) + t_f \times 2 \times f_{\text{CLK}} \text{ [クロック]}$$

- 備考1. IICWLn : IICAロウ・レベル幅設定レジスタ n
 IICWHn : IICAハイ・レベル幅設定レジスタ n
 t_f : SDAAn, SCLAn信号の立ち下がり時間
 f_{CLK} : CPU/周辺ハードウェア・クロック周波数
2. $n = 0, 1$

通信予約のタイミングを図12-25に示します。

図12-25 通信予約のタイミング



- 備考 IICAn : IICAシフト・レジスタn
 STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1
 STDn : IICAステータス・レジスタn (IICSn) のビット1
 SPDn : " のビット0

通信予約は図12-26に示すタイミングで受け付けられます。IICAステータス・レジスタn (IICSn) のビット1 (STDn) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタn0 (IICCTLn0) のビット1 (STTn) = 1で通信予約をします。

図12-26 通信予約受け付けタイミング

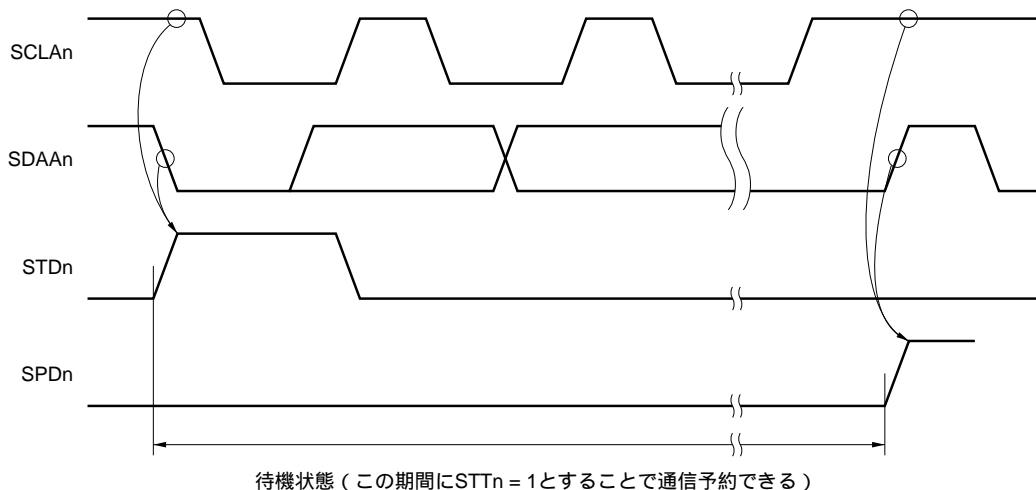
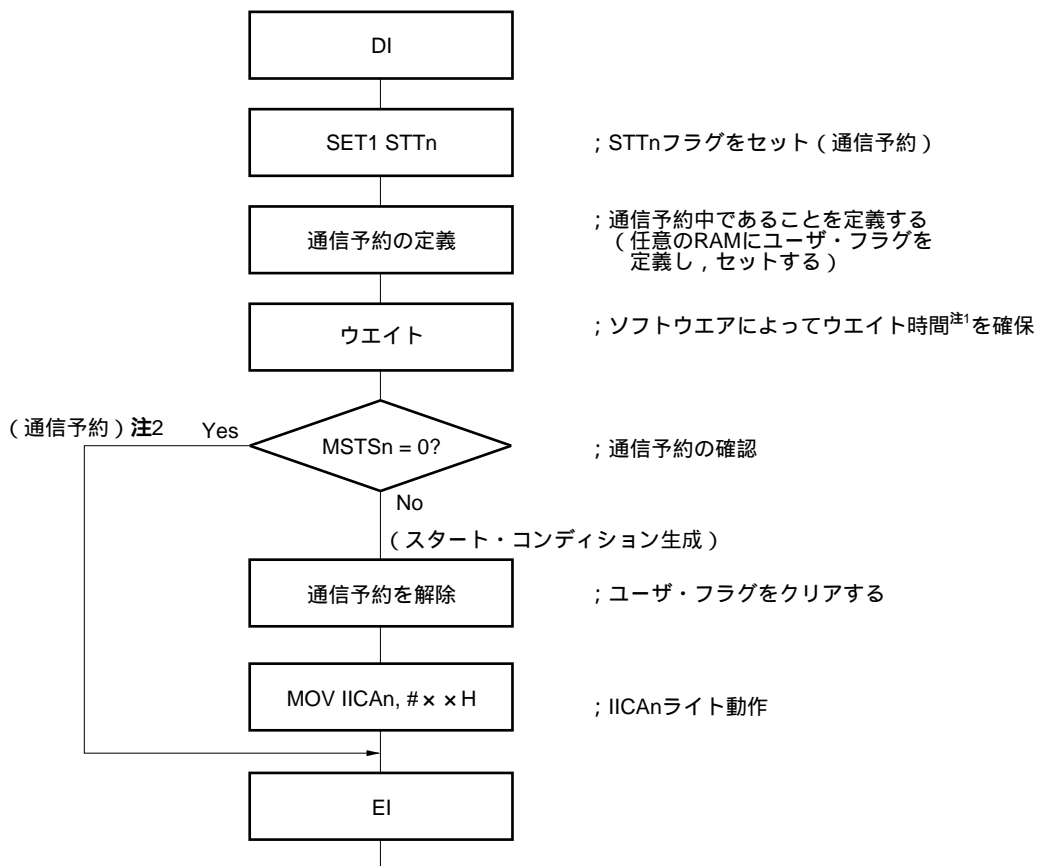


図12-27に通信予約の手順を示します。

備考 n = 0, 1

図12-27 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(\text{IICWLnの設定値} + \text{IICWHnの設定値} + 4) + t_f \times 2 \times f_{\text{CLK}} \text{ [クロック]}$$

2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタn (IICAn) への書き込みを実行します。

備考 1. STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

MSTSn : IICAステータス・レジスタn (IICSn) のビット7

IICAn : IICAシフト・レジスタn

IICWLn : IICAロウ・レベル幅設定レジスタn

IICWHn : IICAハイ・レベル幅設定レジスタn

t_f : SDAAn, SCLAn信号の立ち下がり時間

f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. n = 0, 1

(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタn (IICFn) のビット0 (IICRSVn) = 1)

バスが通信中で、この通信に不参加の状態ではIICAコントロール・レジスタn0 (IICCTLn0) のビット1 (STTn) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクリッジを返さず、IICCTLn0レジスタのビット6 (LRELn) = 1で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFn (IICFnレジスタのビット7) で確認できます。STTn = 1としてからSTCFnがセット (1) されるまで5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考 n = 0, 1

12.5.15 その他の注意事項

(1) STCENn = 0の場合

I²C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSYn = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICAコントロール・レジスタn1 (IICCTLn1) を設定する
- ② IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) をセット (1) する
- ③ IICCTLn0レジスタのビット0 (SPTn) をセット (1) する

(2) STCENn = 1の場合

I²C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを生成 (STTn = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

- ① IICCTLn0レジスタのビット4 (SPIEn) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICAn) 発生を禁止する
- ② IICCTLn0レジスタのビット7 (IICEn) をセット (1) し、I²Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで (IICEnビットをセット (1) してから、4~80クロック中) に、IICCTLn0レジスタのビット6 (LRELn) をセット (1) にし、強制的に検出を無効とする

(4) STTn, SPTnビット (IICCTLn0レジスタのビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEnビット (IICCTLn0レジスタのビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタn (IICAn) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTSnビット (IICAステータス・レジスタn (IICSn) のビット7) を検出する場合には、SPIEnビットをセット (1) する必要はありません。

備考 n = 0, 1

12.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定（1フレーム）期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²Cバスのスレーブとして使用する場合の例を示します。

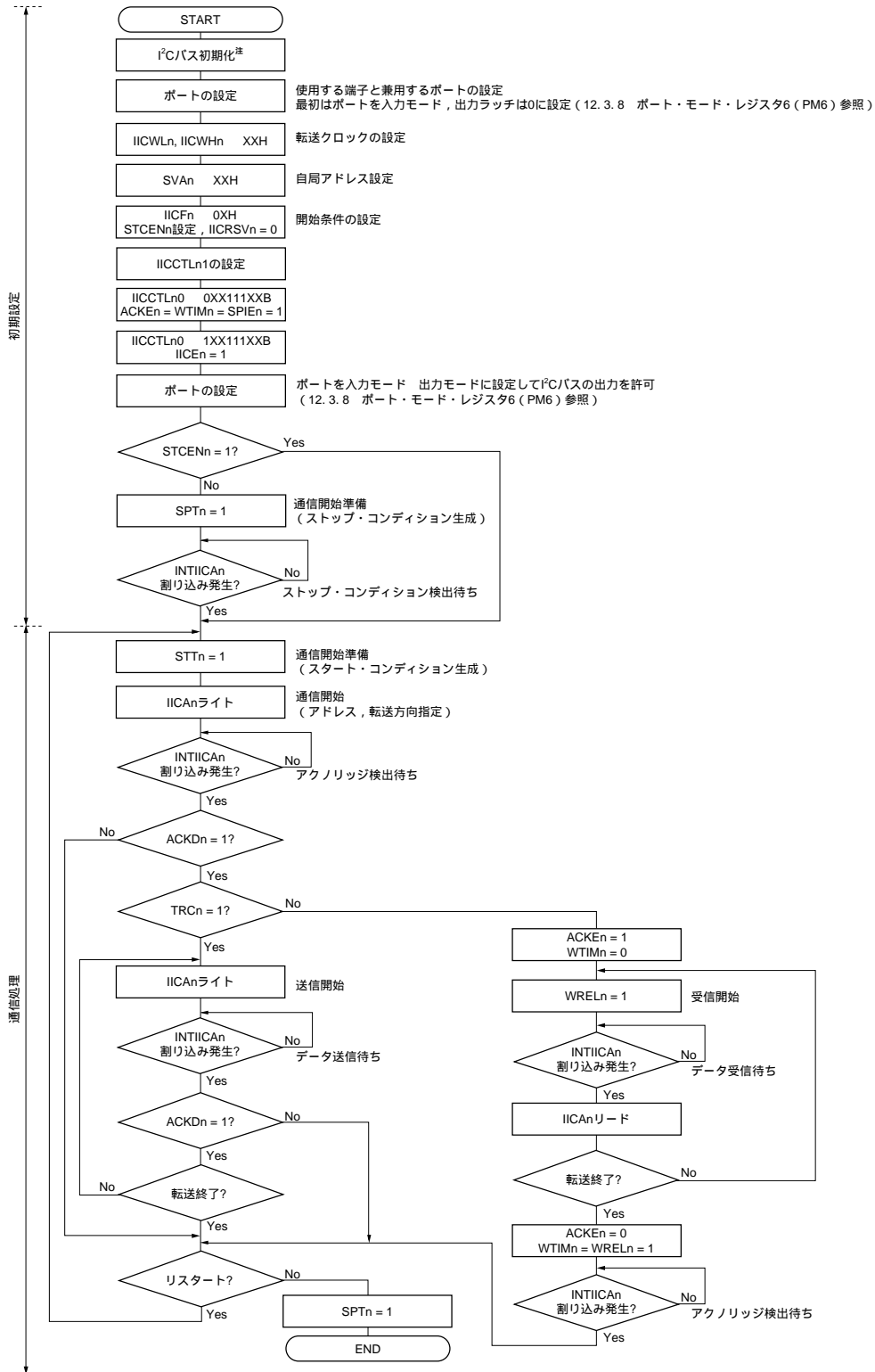
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0, 1

(1) シングルマスタ・システムでのマスタ動作

図12-28 シングルマスタ・システムでのマスタ動作



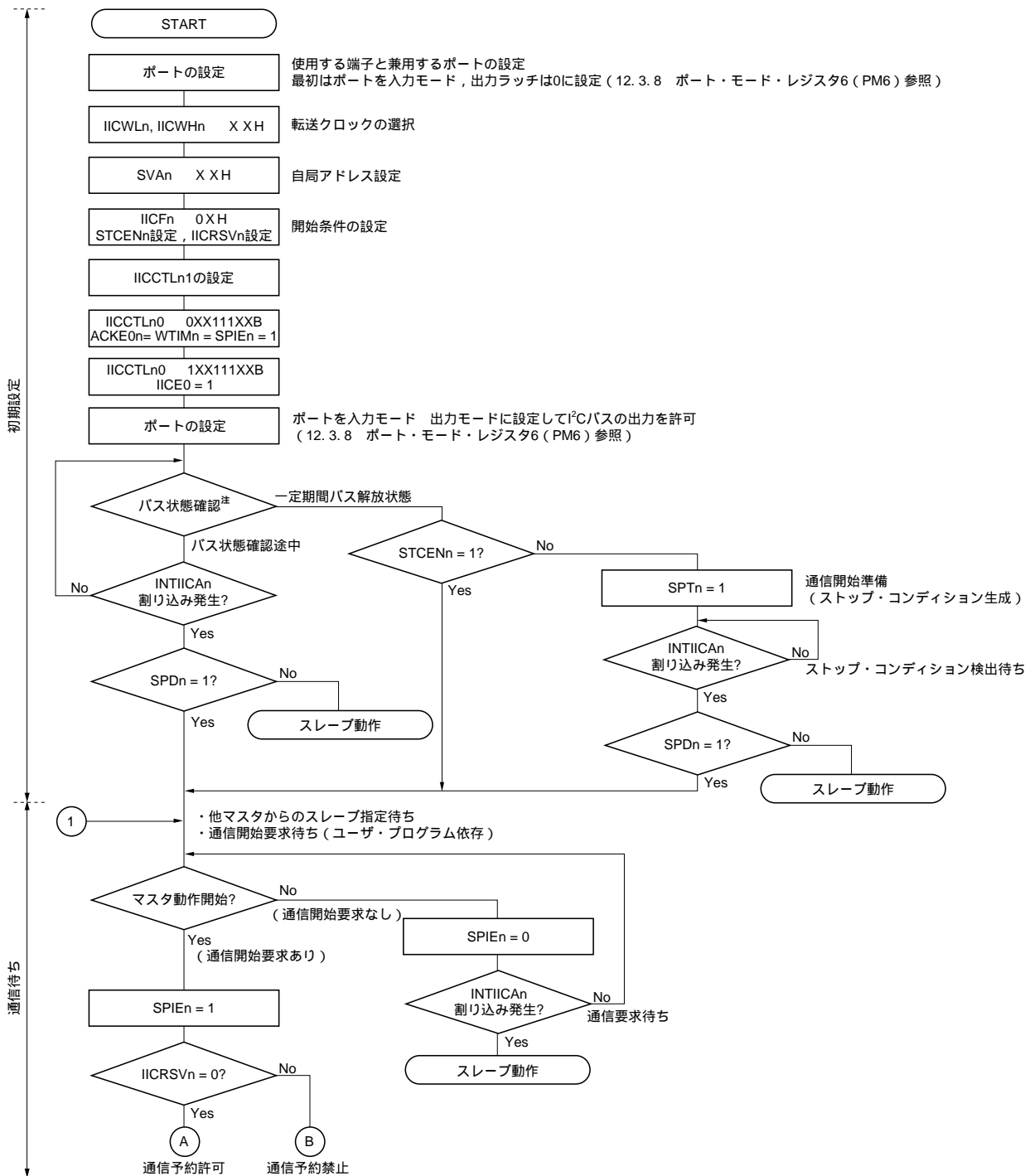
注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCLAn, SDAAn端子 = ハイ・レベル) してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 1. 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

2. n = 0, 1

(2) マルチマスタ・システムでのマスタ動作

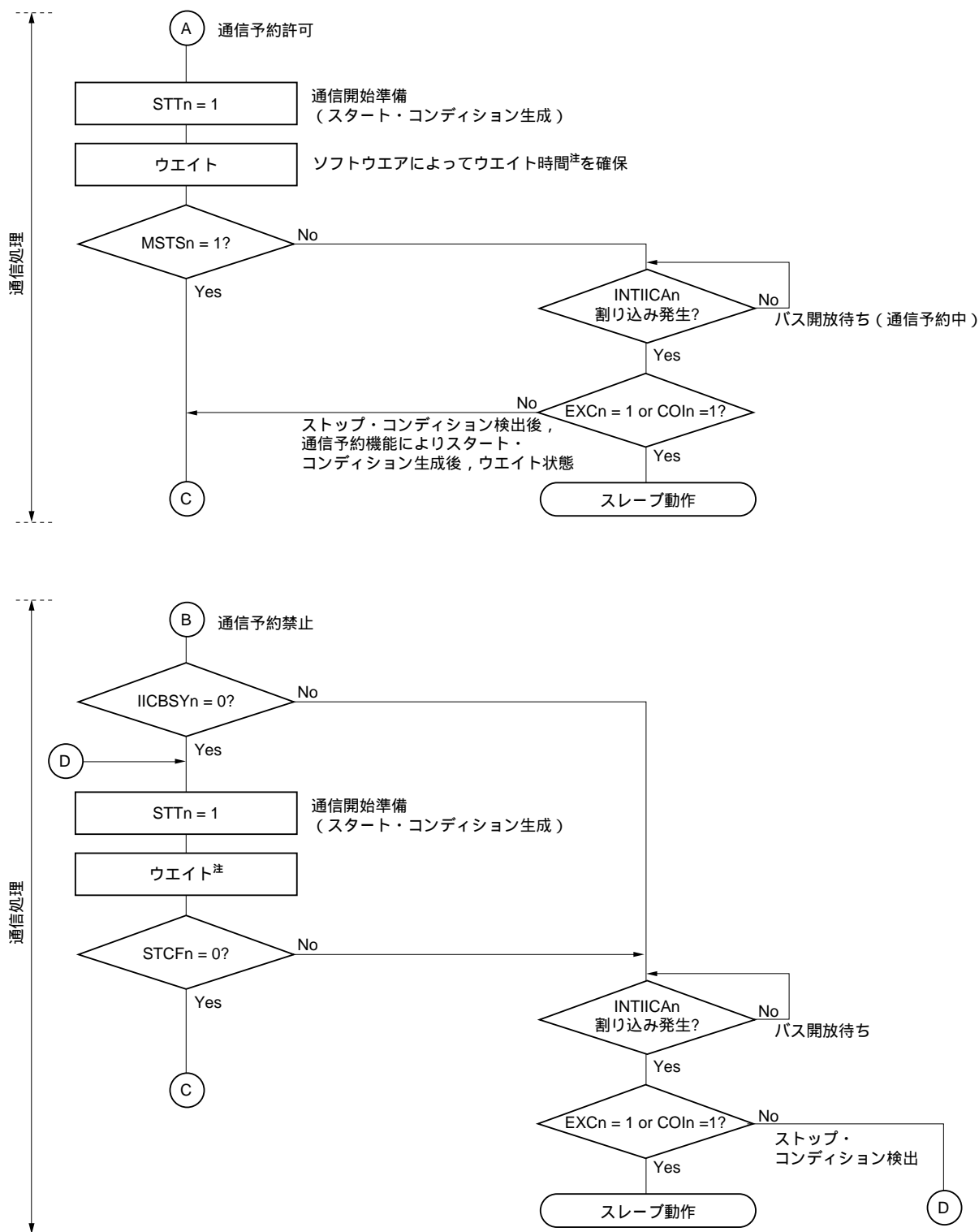
図12-29 マルチマスタ・システムでのマスタ動作 (1/3)



注 一定期間 (たとえば1フレーム分), バス解放状態 (CLD_nビット = 1, DAD_nビット = 1) であることを確認してください。定期的にSDA_n端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放 (SCL_n, SDA_n端子 = ハイ・レベル) するか判断してください。

備考 n = 0, 1

図12-29 マルチマスタ・システムでのマスタ動作 (2/3)



注 ウェイト時間は次のようになります。

$$(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4 \text{ クロック}) / f_{CLK} + t_F \times 2$$

備考1. IICWLn : IICAロウ・レベル幅設定レジスタn

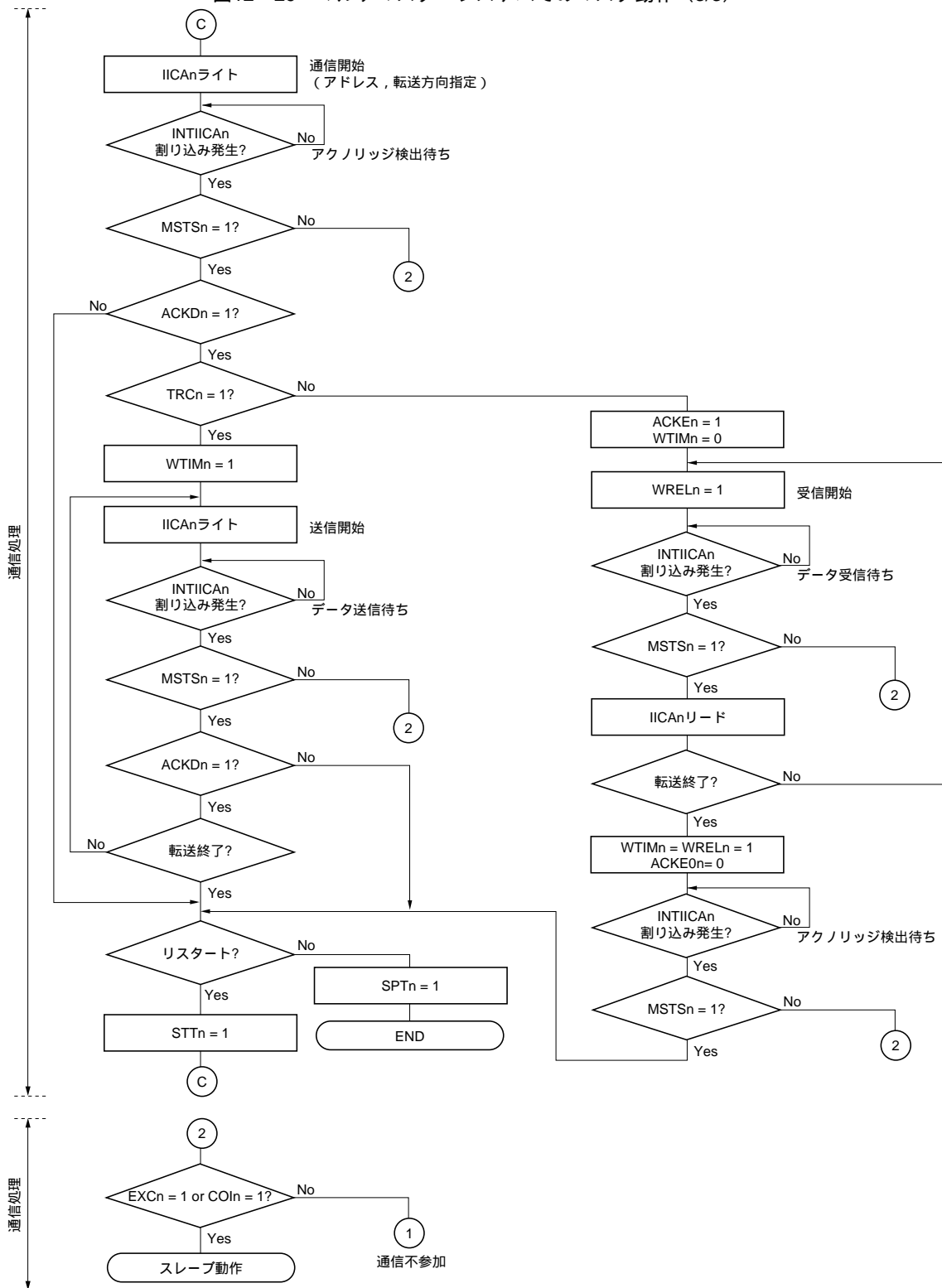
IICWHn : IICAハイ・レベル幅設定レジスタn

tF : SDAAn, SCLAn信号の立ち下がり時間

fCLK : CPU/周辺ハードウェア・クロック周波数

2. n = 0, 1

図12-29 マルチマスタ・システムでのマスタ動作 (3/3)



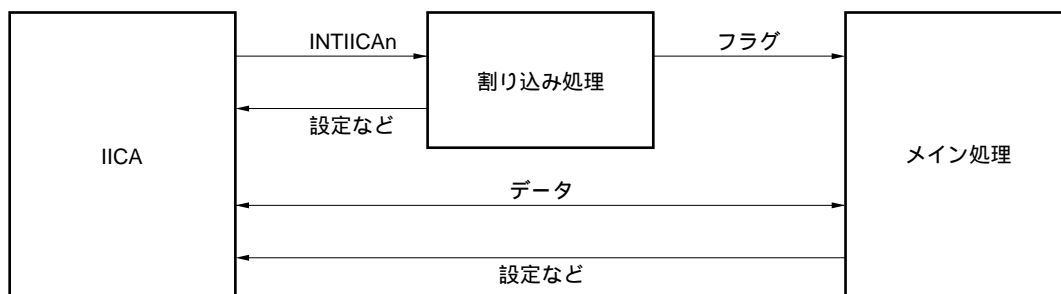
- 備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み発生ごとにMSTSnビットをリードし、アービトレーション結果を確認してください。
3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn割り込み発生ごとにIICAステータス・レジスタn (IICSn) , IICAフラグ・レジスタn (IICFn) でステータスを確認して次に行う処理を決定してください。
4. n = 0, 1

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAnの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常データ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRCnビットの値と同じです。

備考 n = 0, 1

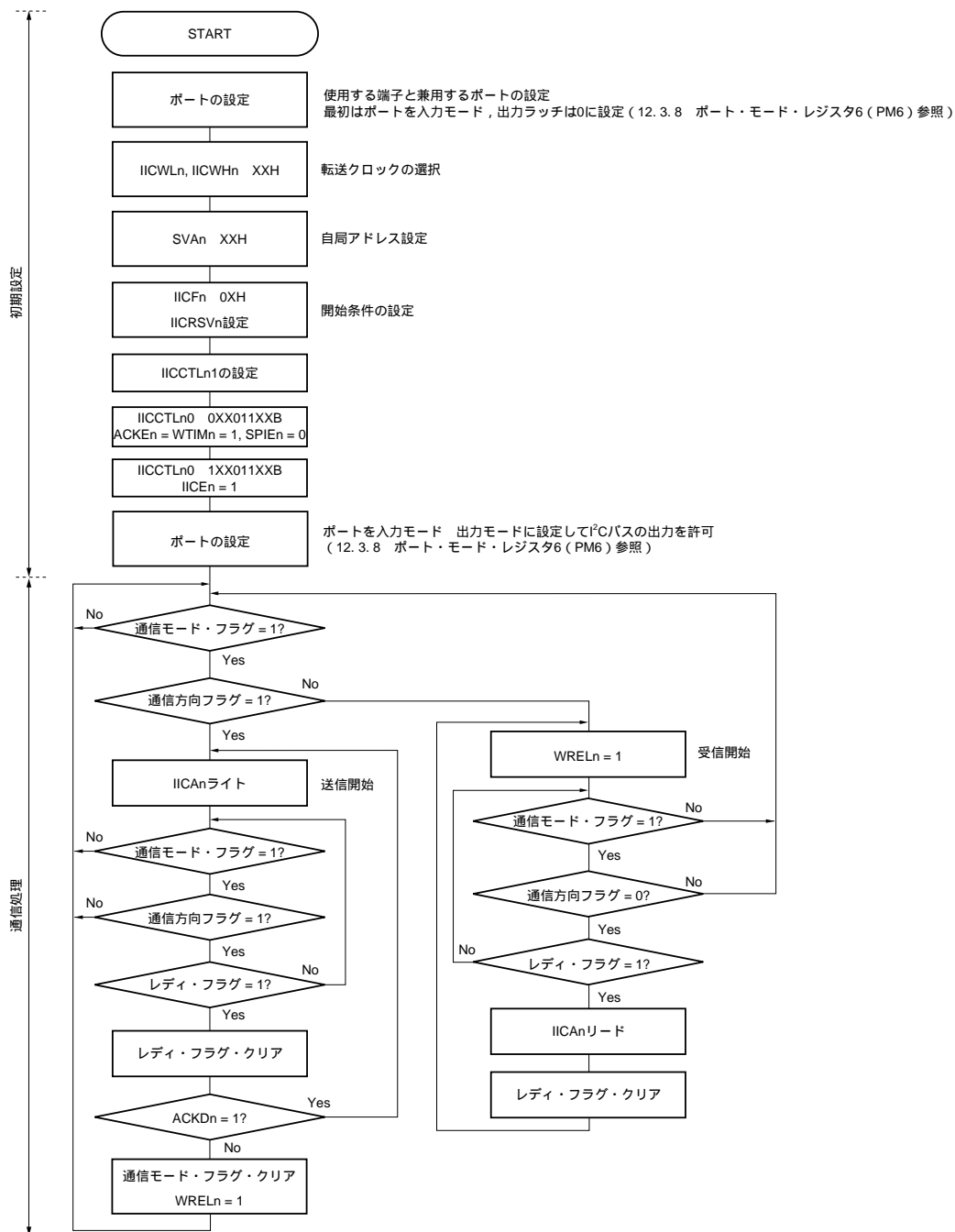
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図12-30 スレーブ動作手順 (1)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

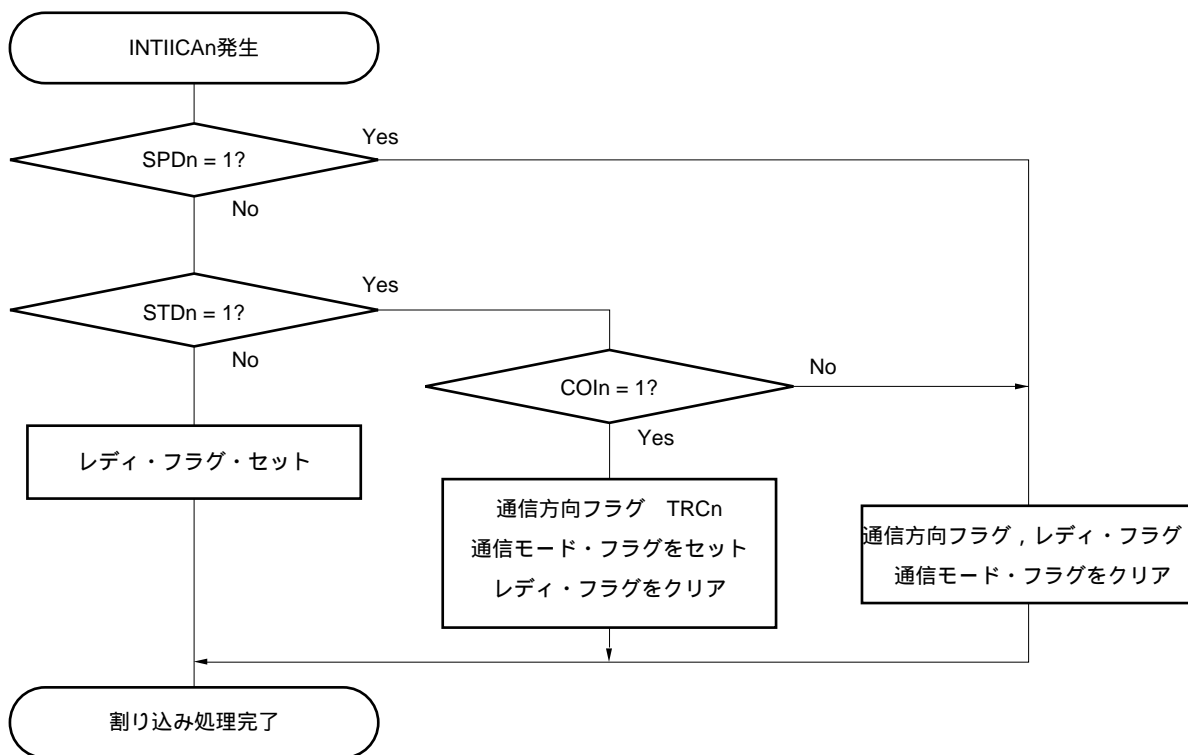
2. n = 0, 1

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図12-31 スレーブ動作手順（2）の①～③と対応しています。

図12-31 スレーブ動作手順（2）



備考 n = 0, 1

12. 5. 17 I²C割り込み要求 (INTIICAn) の発生タイミング

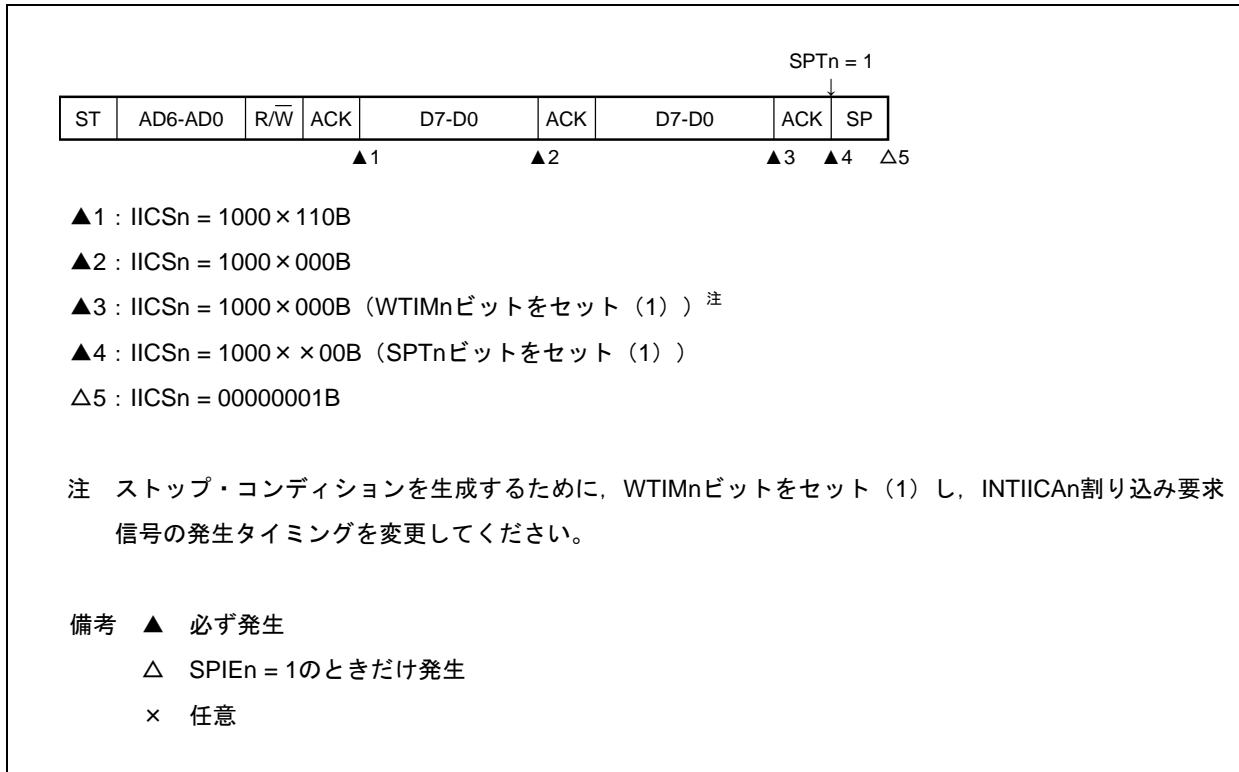
次に、データの送受信、INTIICAn割り込み要求信号発生タイミングと、INTIICAn信号タイミングでのIICAs
テータス・レジスタn (IICSn) の値を示します。

- 備考1. ST : スタート・コンディション
AD6-AD0 : アドレス
R/W : 転送方向指定
ACK : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション
2. n = 0, 1

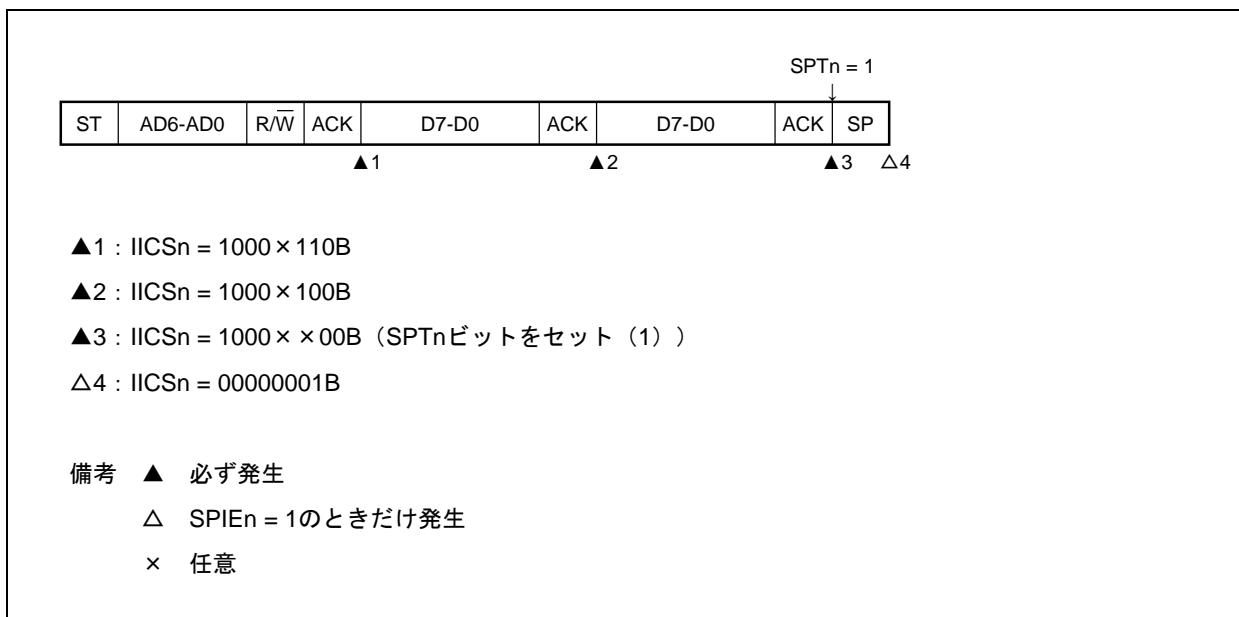
(1) マスタ動作

(a) Start~Address~Data~Data~Stop (送受信)

(i) WTIMn = 0 のとき



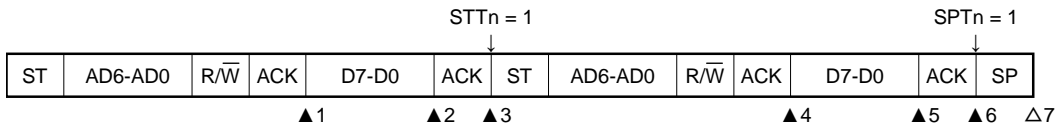
(ii) WTIMn = 1 のとき



備考 n = 0, 1

(b) Start~Address~Data~Start~Address~Data~Stop (リスタート)

(i) WTIMn = 0 のとき



▲1 : IICSn = 1000 × 110 B

▲2 : IICSn = 1000 × 000 B (WTIMnビットをセット (1) 注1)

▲3 : IICSn = 1000 × × 00 B (WTIMnビットをクリア (0) 注2, STTnビットをセット (1))

▲4 : IICSn = 1000 × 110 B

▲5 : IICSn = 1000 × 000 B (WTIMnビットをセット (1) 注3)

▲6 : IICSn = 1000 × × 00 B (SPTnビットをセット (1))

△7 : IICSn = 00000001 B

注1. スタート・コンディションを生成するために、WTIMnビットをセット (1) し、INTIICAn割り込み要求信号の発生タイミングを変更してください。

2. 設定を元に戻すために、WTIMnビットをクリア (0) してください。

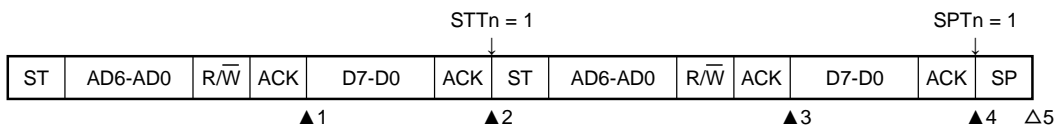
3. ストップ・コンディションを生成するために、WTIMnビットをセット (1) し、INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 1000 × 110 B

▲2 : IICSn = 1000 × × 00 B (STTnビットをセット (1))

▲3 : IICSn = 1000 × 110 B

▲4 : IICSn = 1000 × × 00 B (SPTnビットをセット (1))

△5 : IICSn = 00000001 B

備考 ▲ 必ず発生

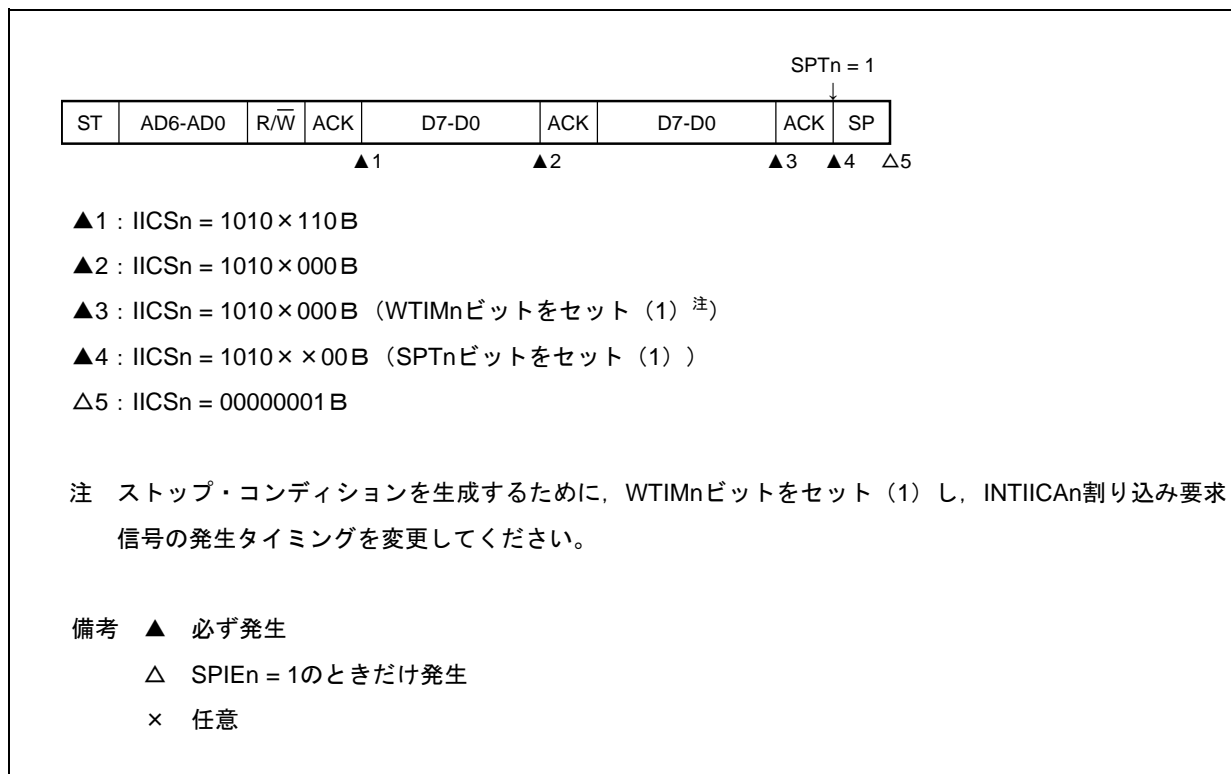
△ SPIEn = 1 のときだけ発生

× 任意

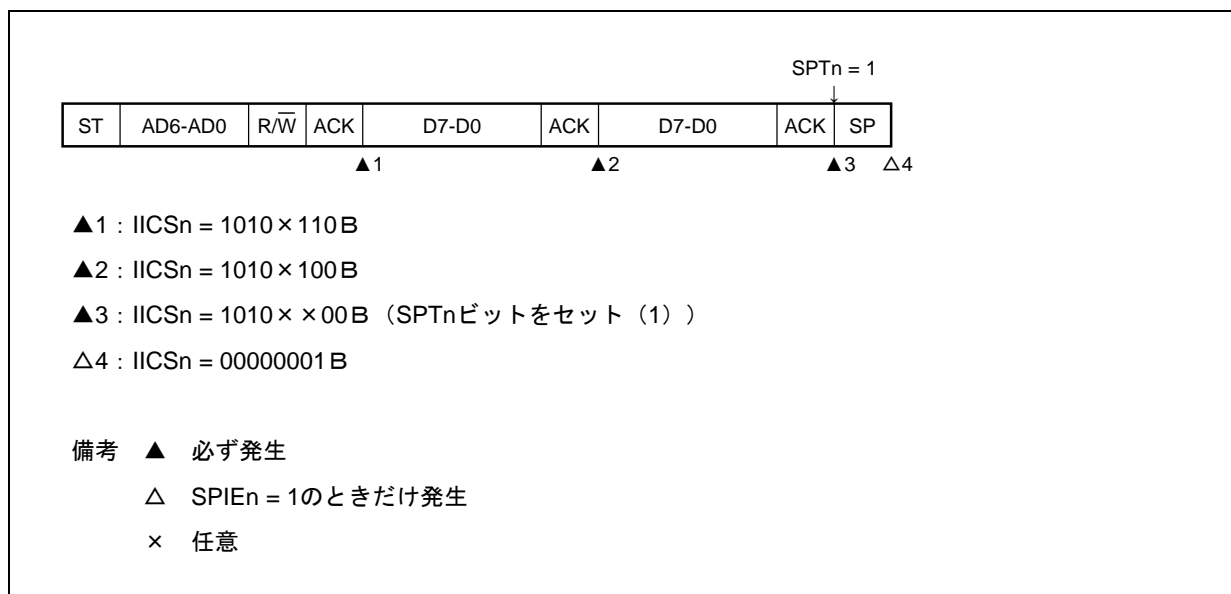
備考 n = 0, 1

(c) Start~Code~Data~Data~Stop (拡張コード送信)

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき

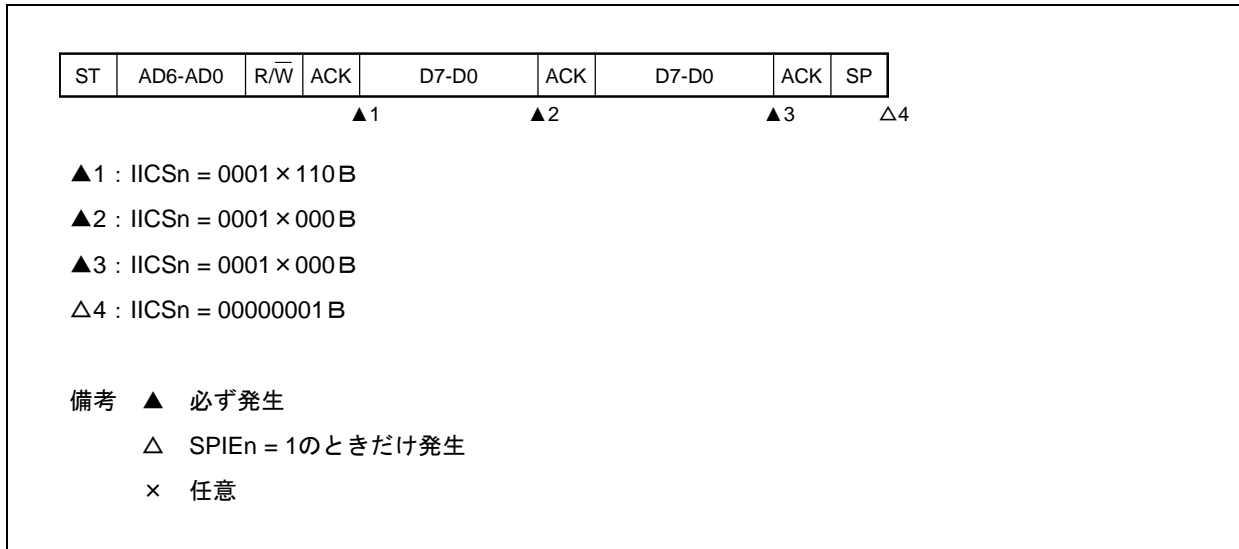


備考 n = 0, 1

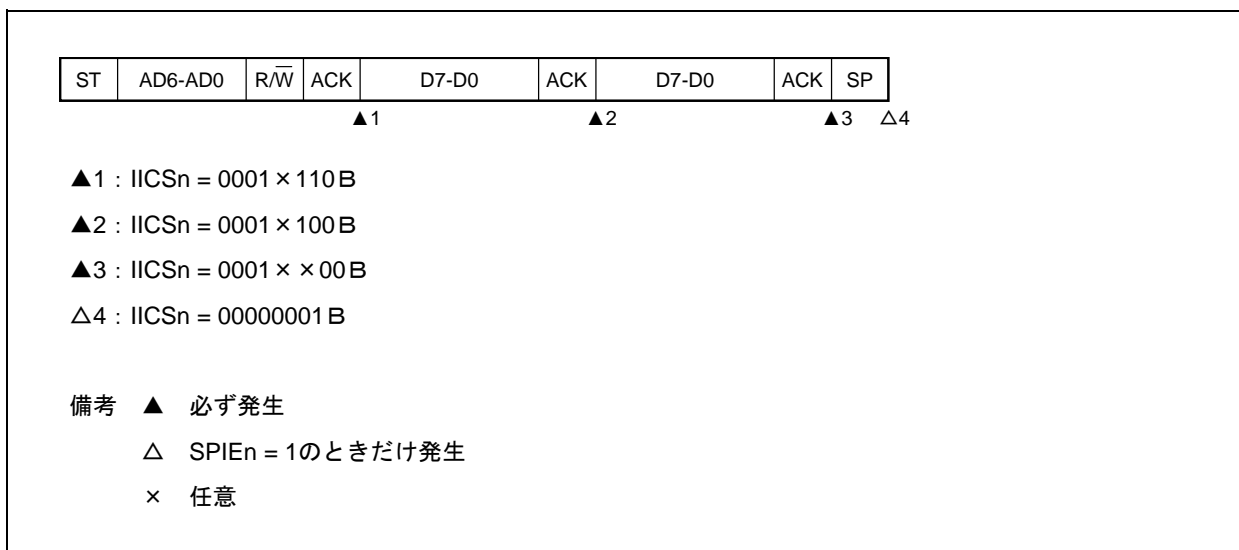
(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start~Address~Data~Data~Stop

(i) WTIMn = 0 のとき



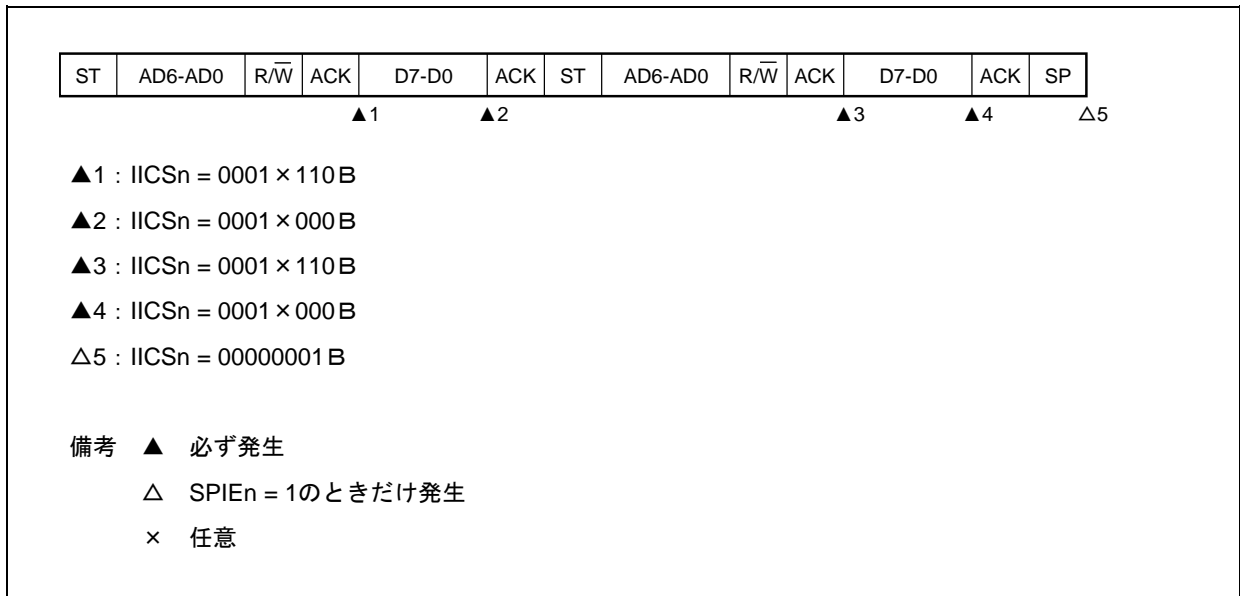
(ii) WTIMn = 1 のとき



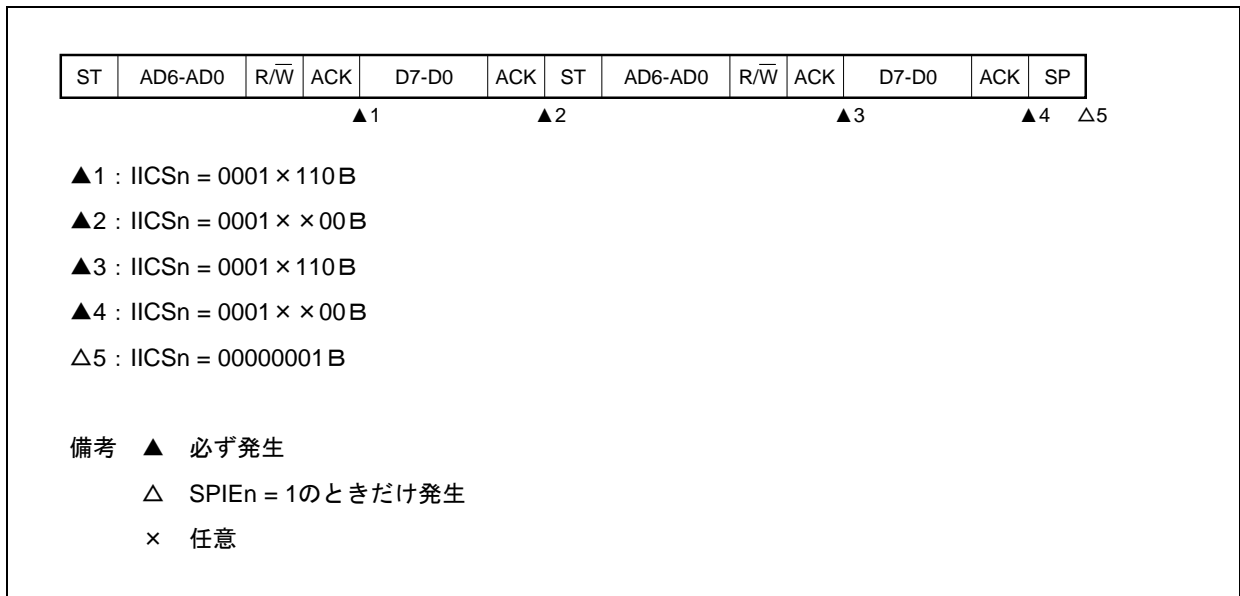
備考 n = 0, 1

(b) Start~Address~Data~Start~Address~Data~Stop

(i) WTIMn = 0 のとき (リスタート後, SVAn一致)



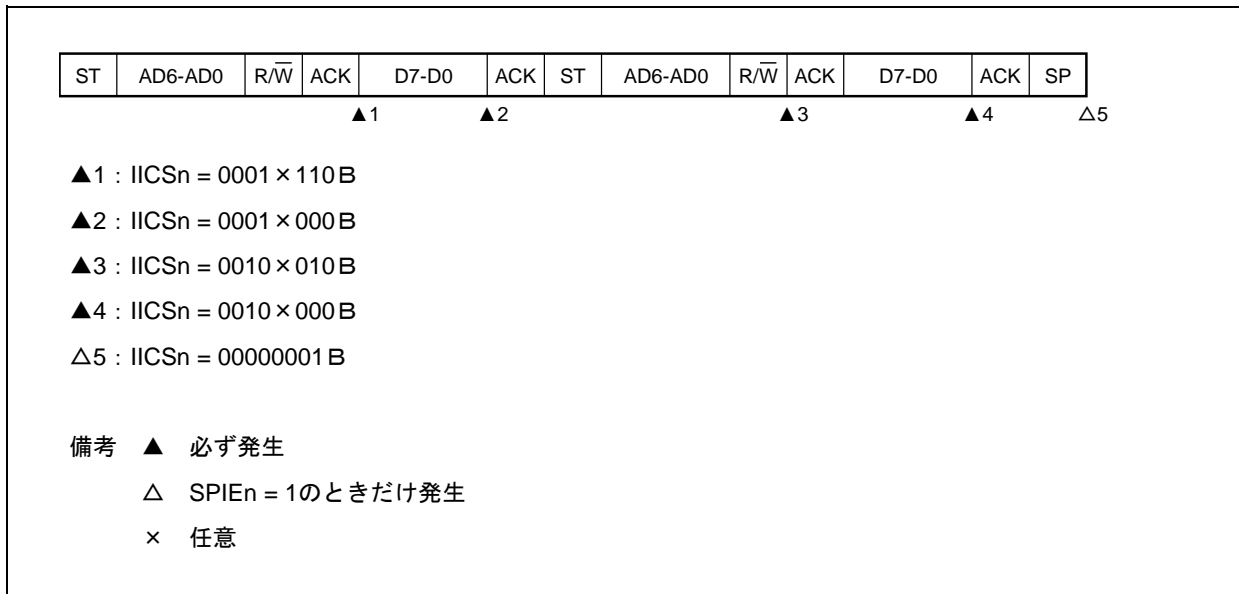
(ii) WTIMn = 1 のとき (リスタート後, SVAn一致)



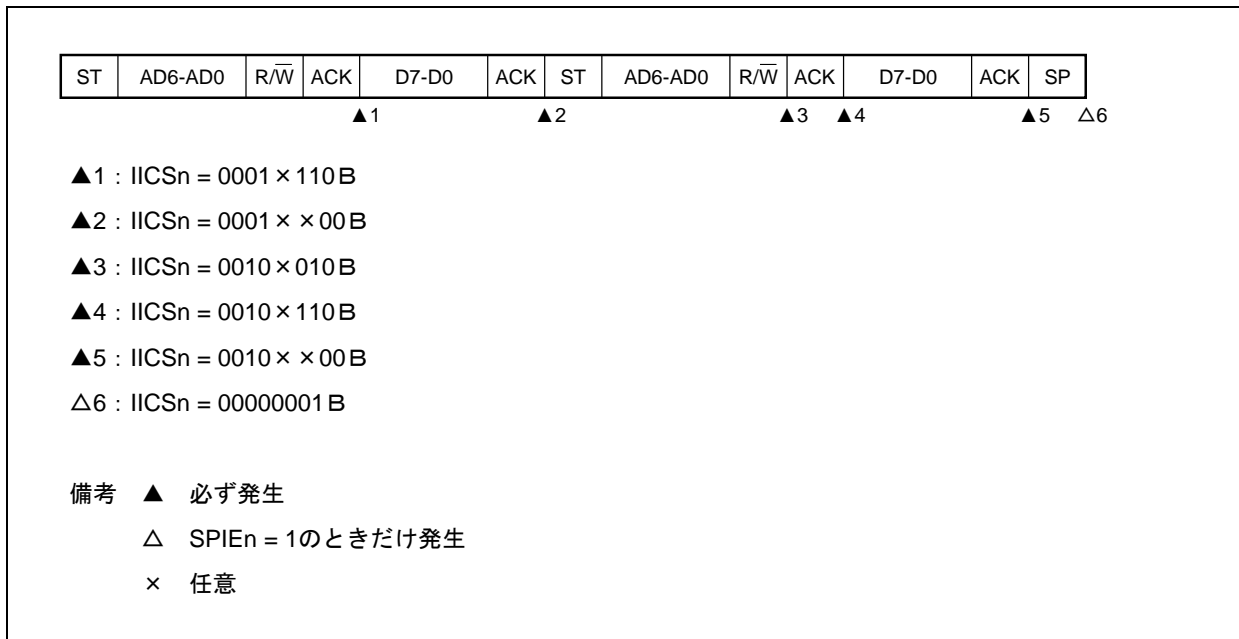
備考 n = 0, 1

(c) Start~Address~Data~Start~Code~Data~Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード))



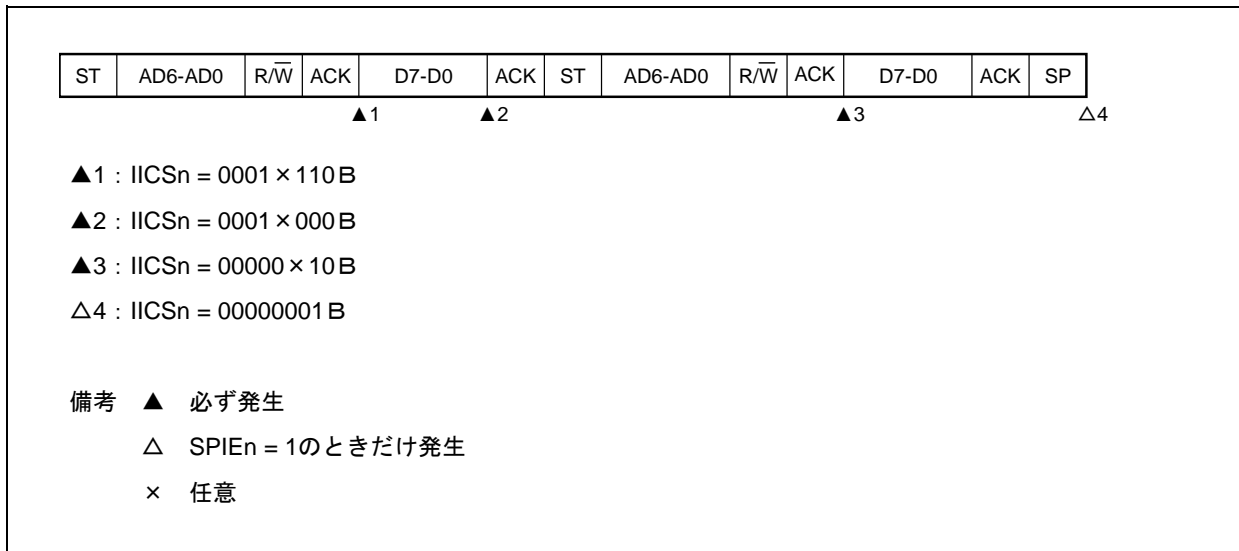
(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード))



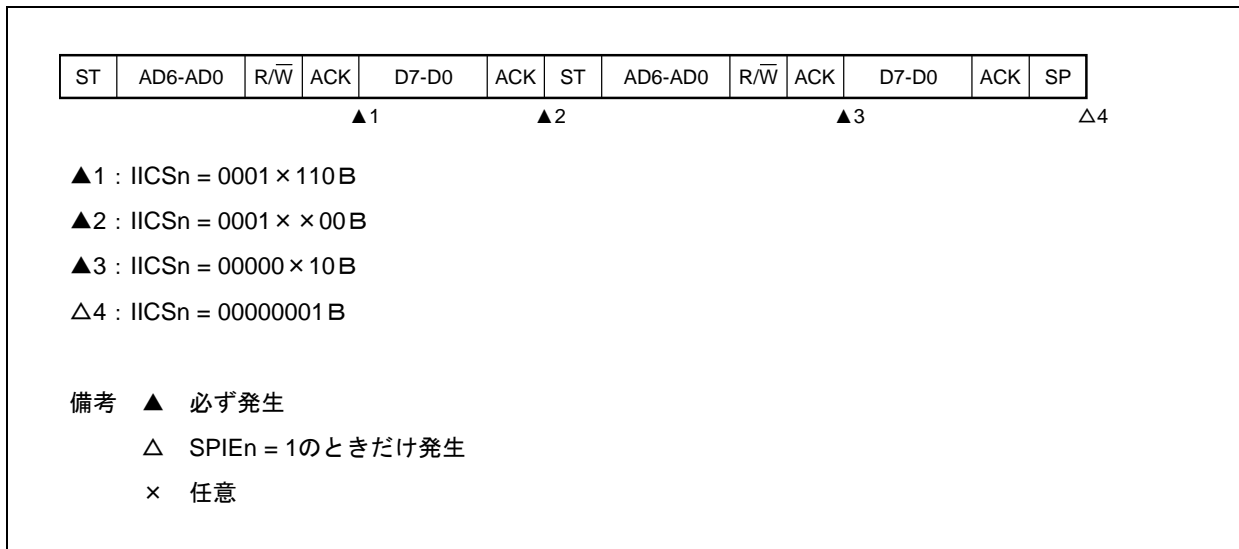
備考 n = 0, 1

(d) Start~Address~Data~Start~Address~Data~Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



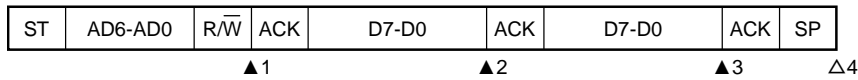
備考 n = 0, 1

(3) スレーブ動作（拡張コード受信時）

拡張コード受信時は、常に通信に参加しています

(a) Start～Code～Data～Data～Stop

(i) WTIMn = 0 のとき



▲1 : IICSn = 0010 × 010 B

▲2 : IICSn = 0010 × 000 B

▲3 : IICSn = 0010 × 000 B

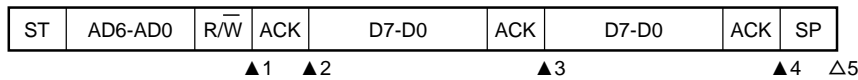
△4 : IICSn = 00000001 B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 0010 × 010 B

▲2 : IICSn = 0010 × 110 B

▲3 : IICSn = 0010 × 100 B

▲4 : IICSn = 0010 × × 00 B

△5 : IICSn = 00000001 B

備考 ▲ 必ず発生

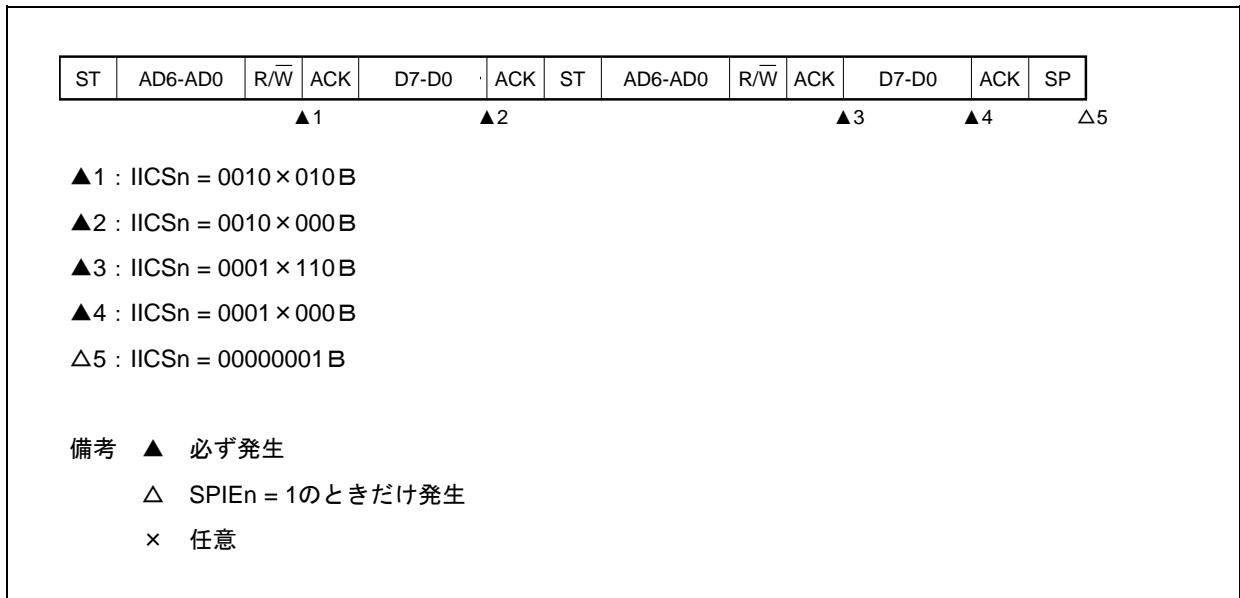
△ SPIEn = 1 のときだけ発生

× 任意

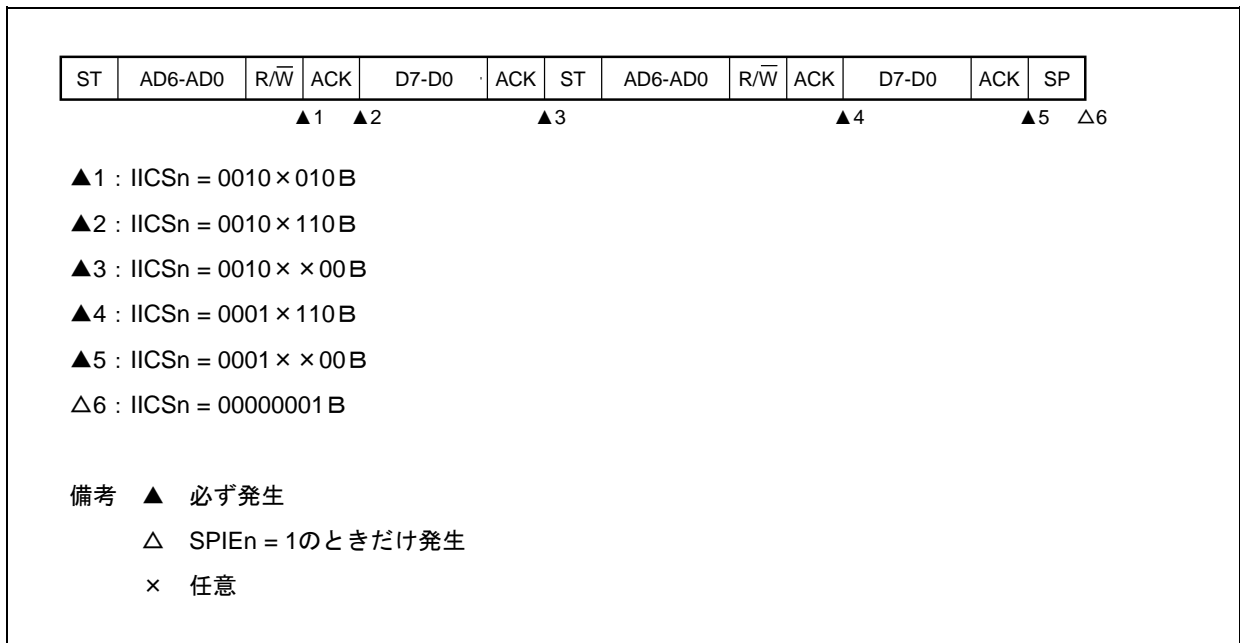
備考 n = 0, 1

(b) Start~Code~Data~Start~Address~Data~Stop

(i) WTIMn = 0のとき (リスタート後, SVAn一致)



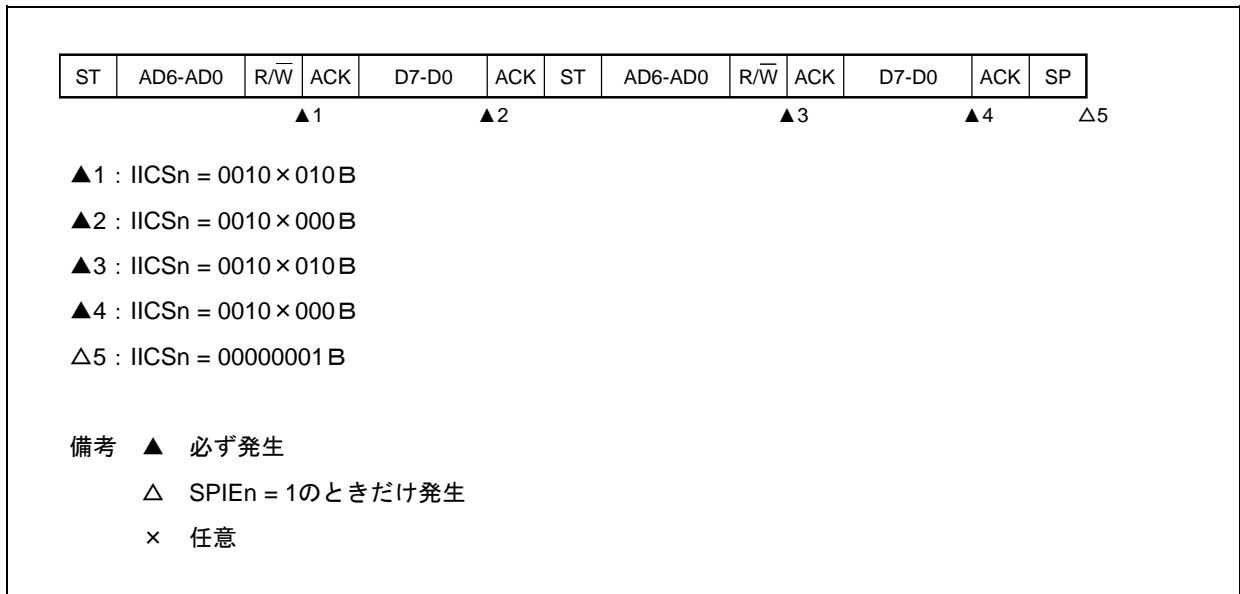
(ii) WTIMn = 1のとき (リスタート後, SVAn一致)



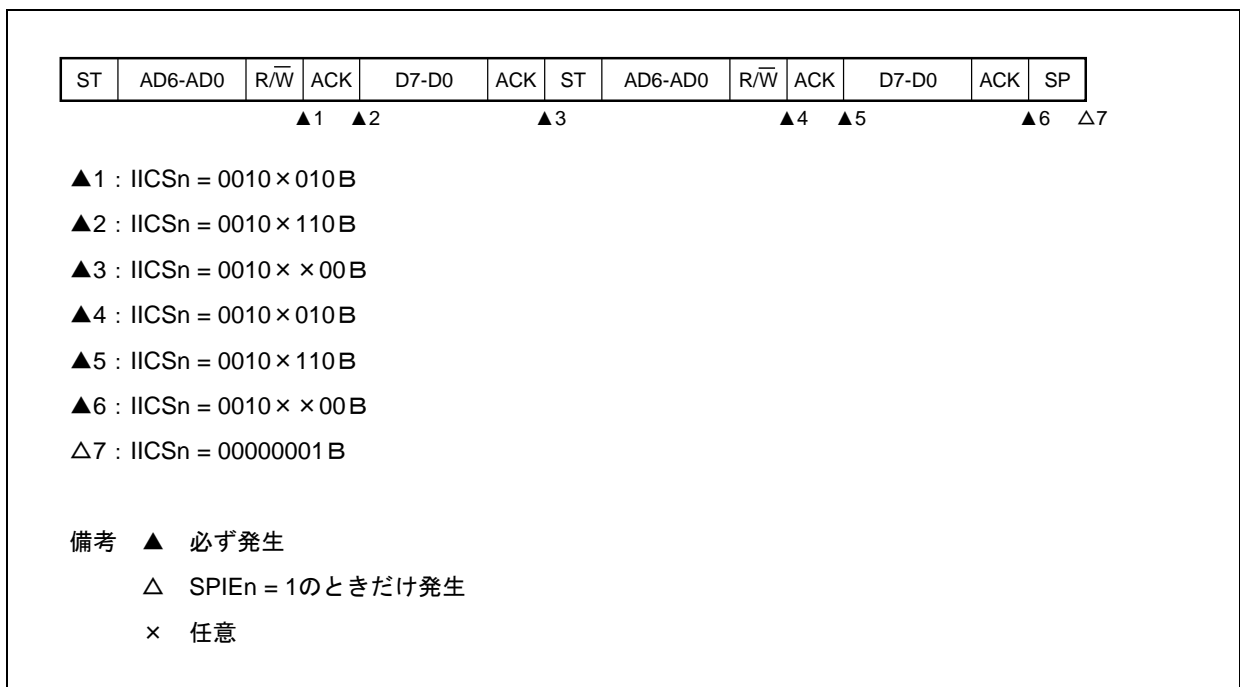
備考 n = 0, 1

(c) Start~Code~Data~Start~Code~Data~Stop

(i) WTIMn = 0のとき (リスタート後, 拡張コード受信)



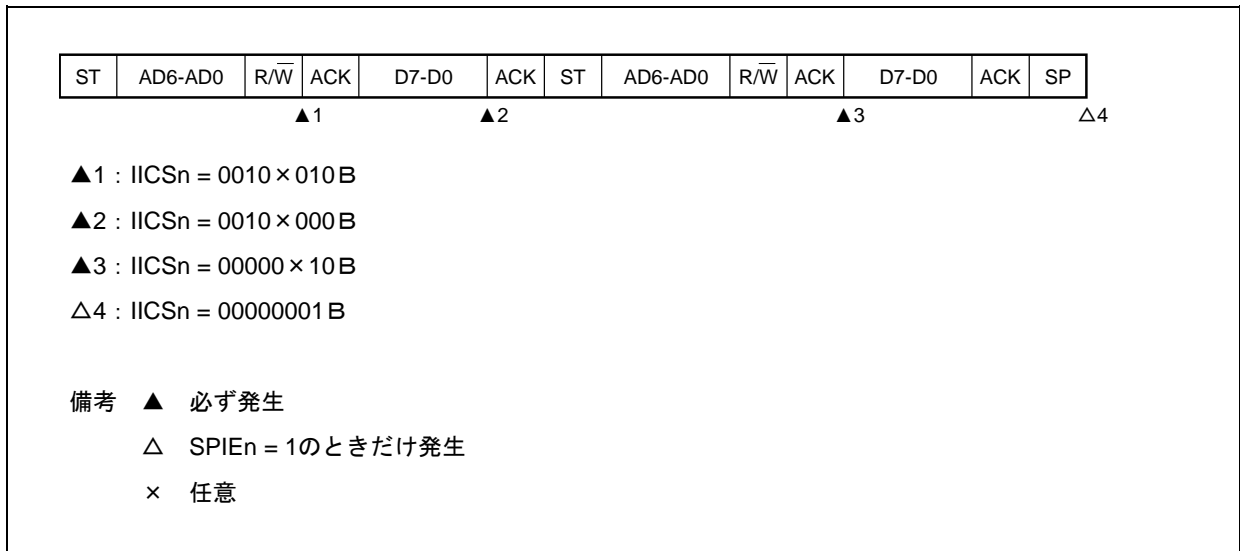
(ii) WTIMn = 1のとき (リスタート後, 拡張コード受信)



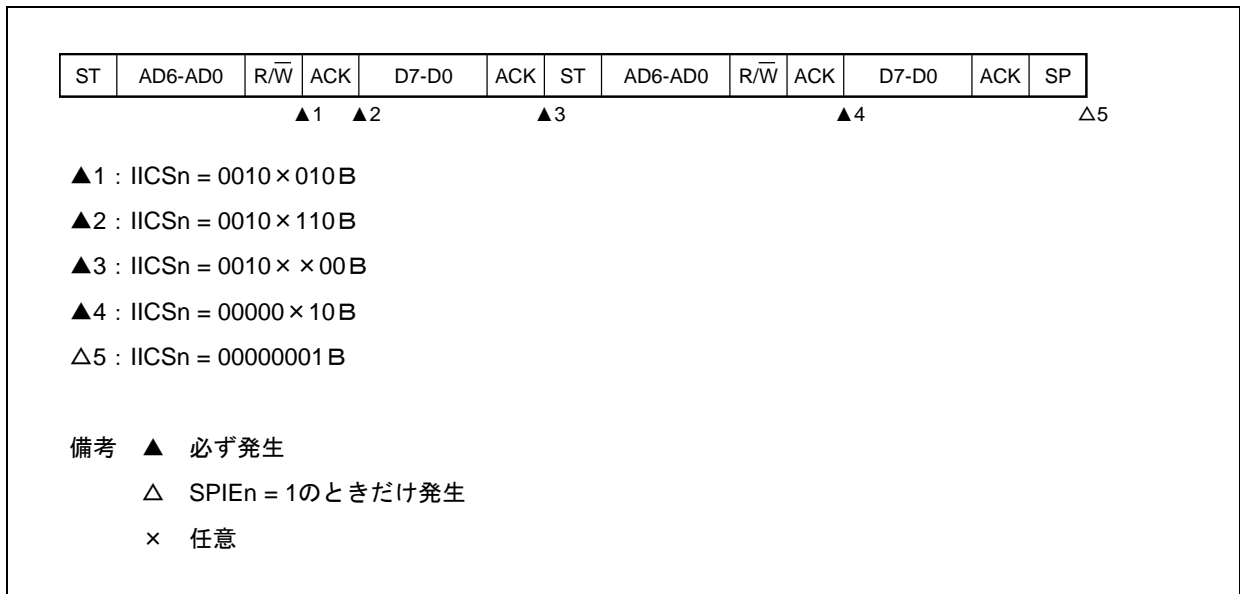
備考 n = 0, 1

(d) Start~Code~Data~Start~Address~Data~Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



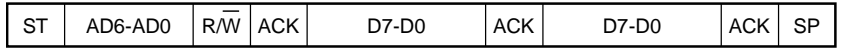
(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



備考 n = 0, 1

(4) 通信不参加の動作

(a) Start~Code~Data~Data~Stop



△1

△1 : IICSn = 00000001 B

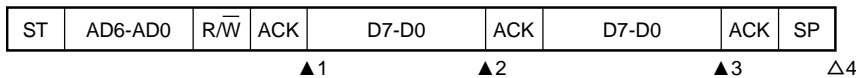
備考 △ SPIEn = 1のときだけ発生

(5) アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み要求信号の発生ごとに MSTSnビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0のとき



▲1

▲2

▲3

△4

▲1 : IICSn = 0101 × 110 B

▲2 : IICSn = 0001 × 000 B

▲3 : IICSn = 0001 × 000 B

△4 : IICSn = 00000001 B

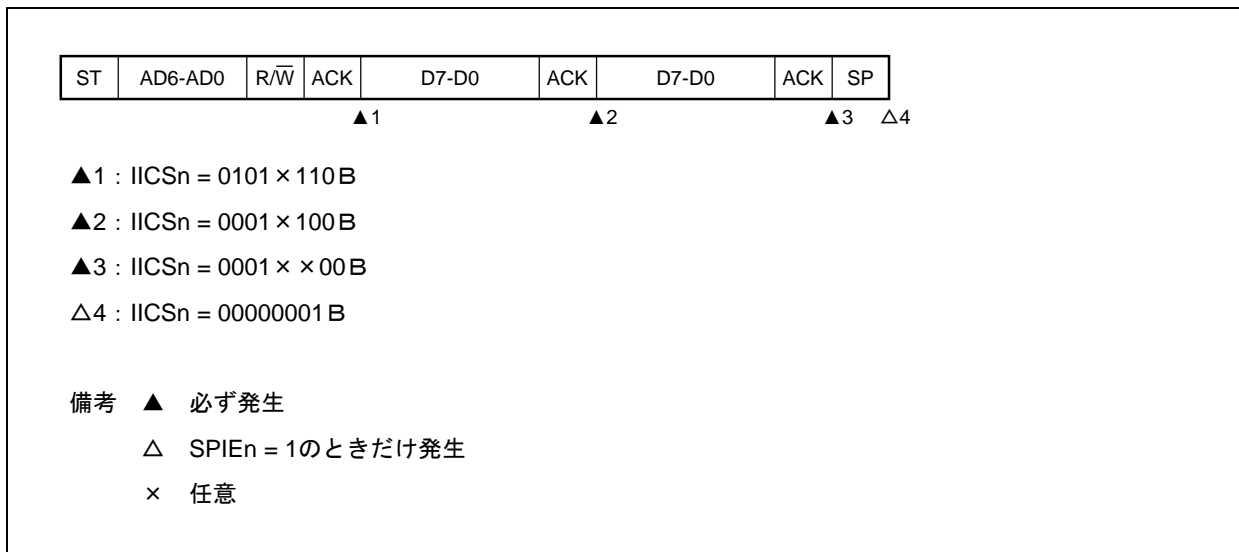
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

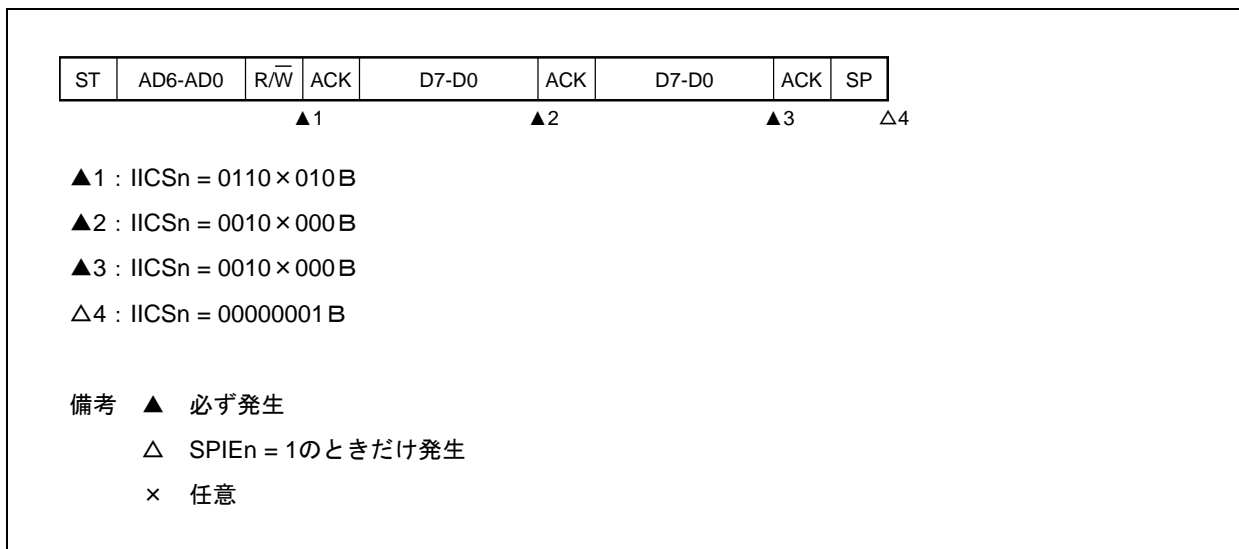
備考 n = 0, 1

(ii) WTIMn = 1 のとき



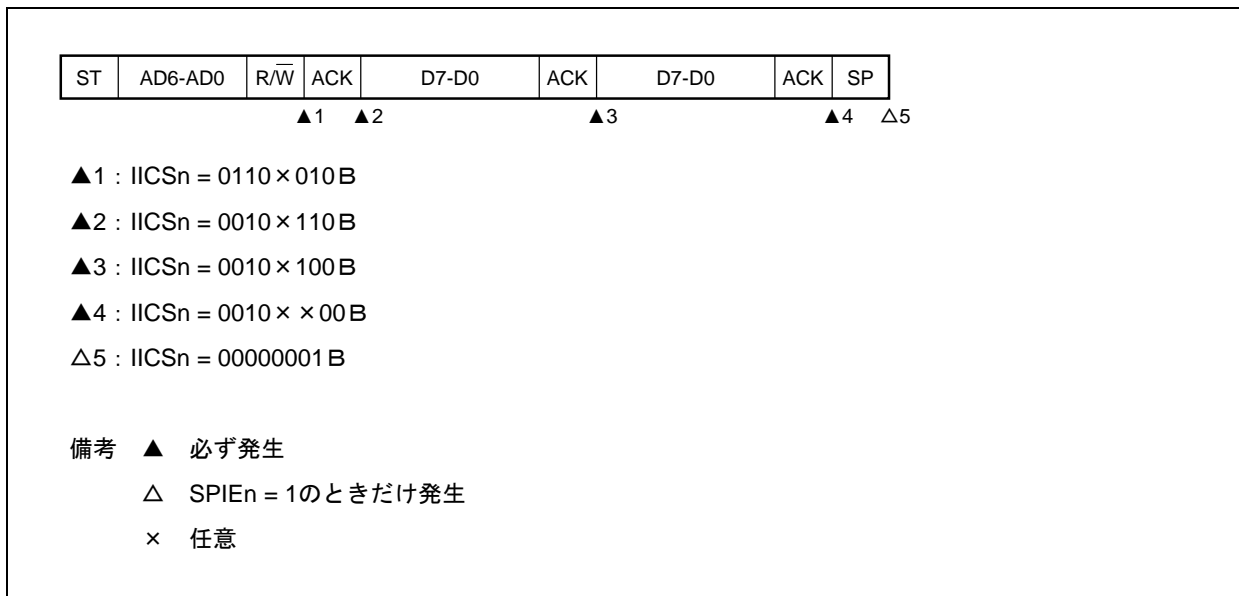
(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



備考 n = 0, 1

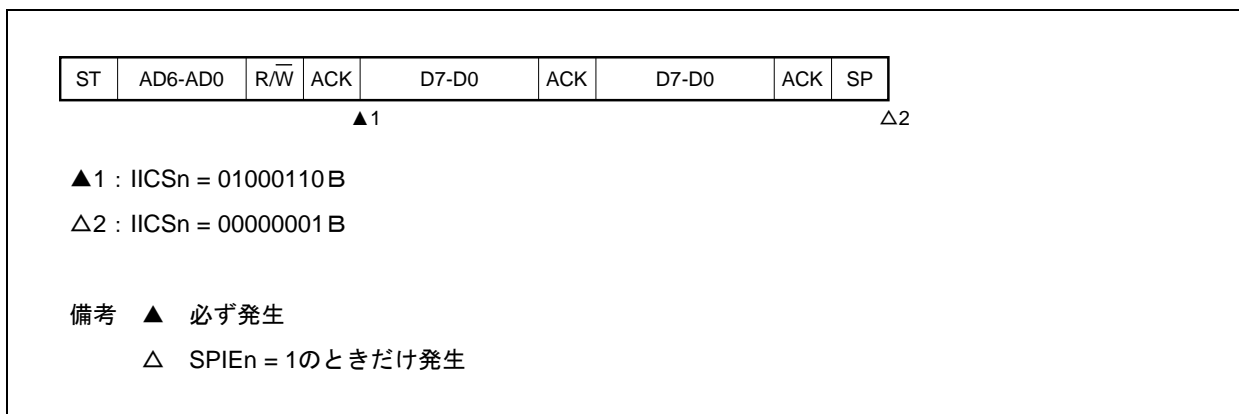
(ii) WTIMn = 1 のとき



(6) アービトレーション負けの動作（アービトレーション負けのあと、不参加）

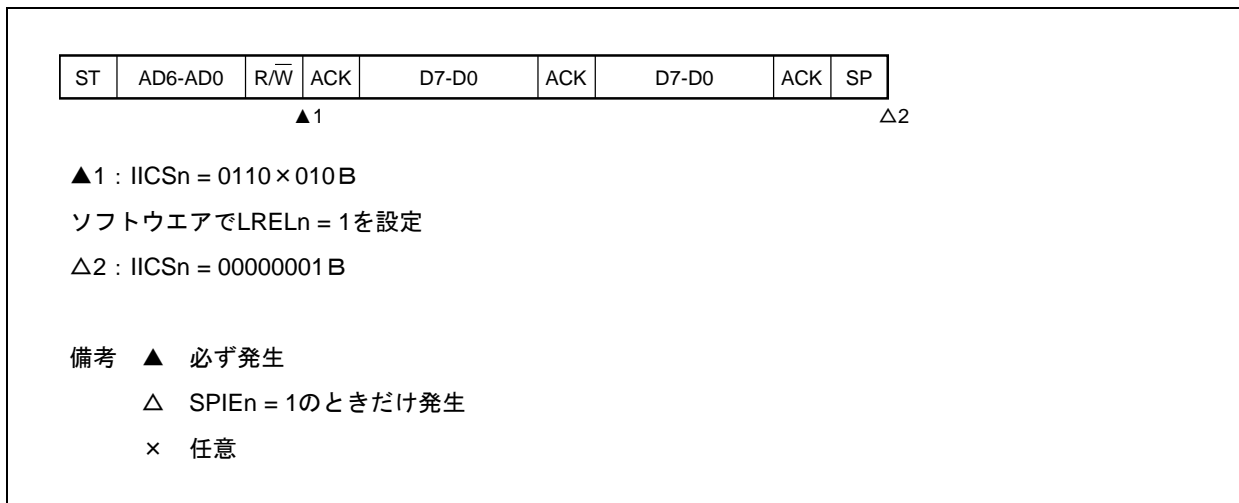
マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIMn = 1 のとき）



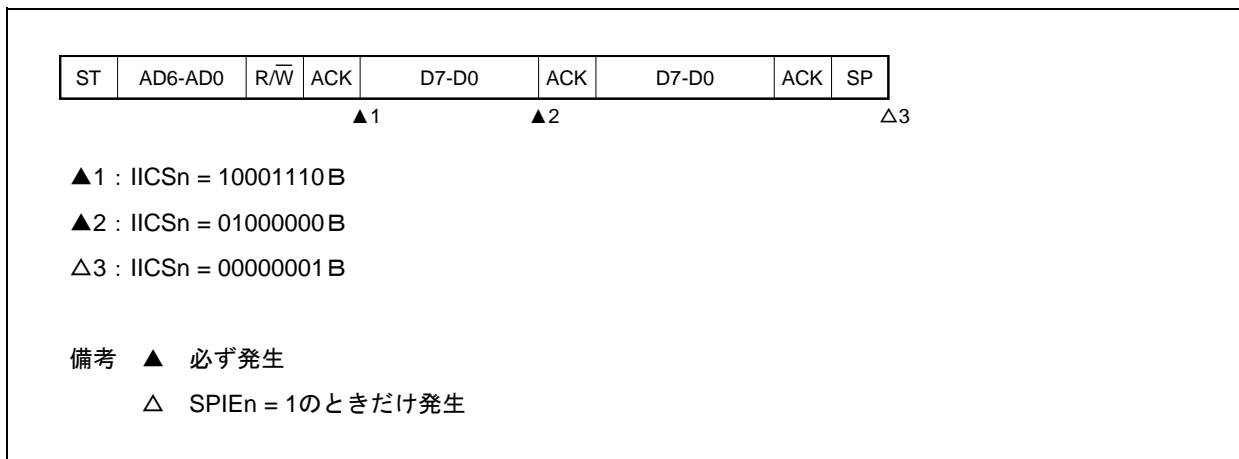
備考 n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合



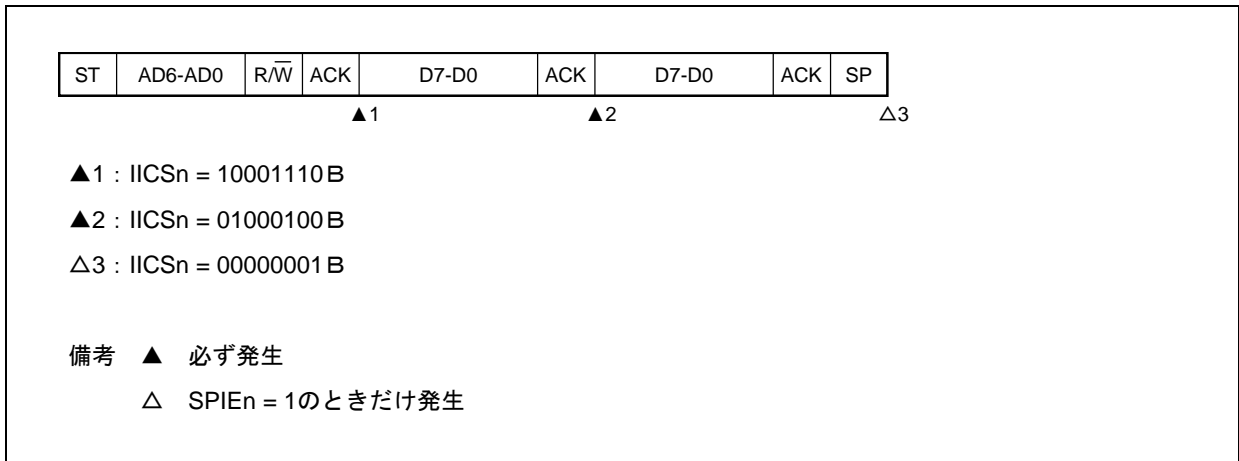
(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0のとき



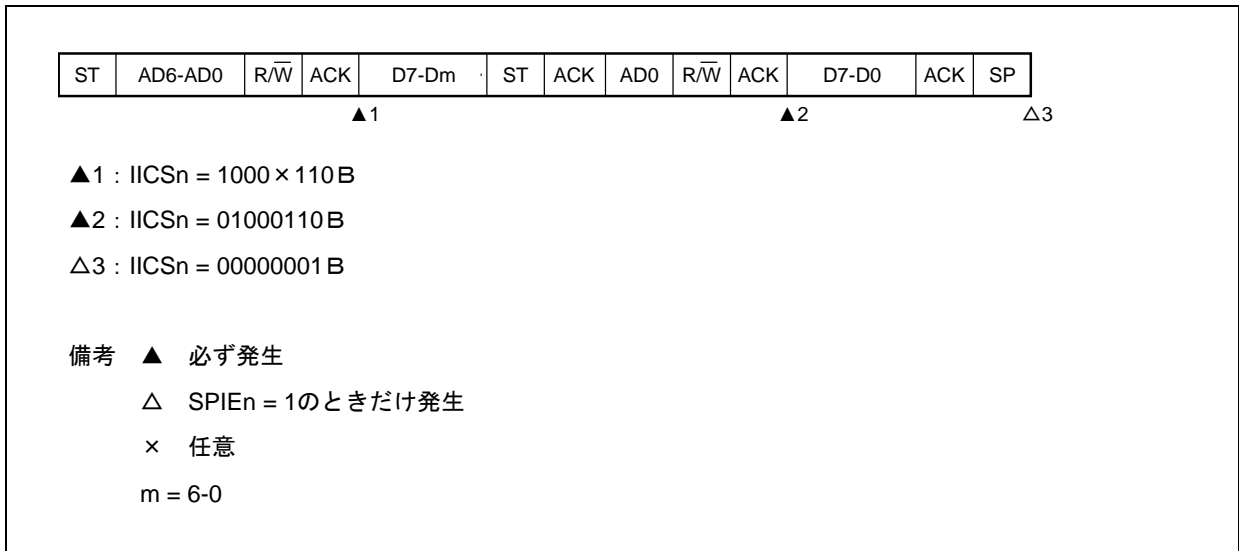
備考 n = 0, 1

(ii) WTIMn = 1 のとき



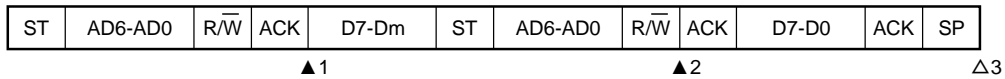
(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVAn不一致)



備考 n = 0, 1

(ii) 拡張コード



▲1 : IICSn = 1000 × 110 B

▲2 : IICSn = 01100010 B

ソフトウェアで LRELn = 1 を設定

△3 : IICSn = 00000001 B

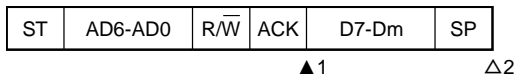
備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

m = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



▲1 : IICSn = 10000110 B

△2 : IICSn = 01000001 B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

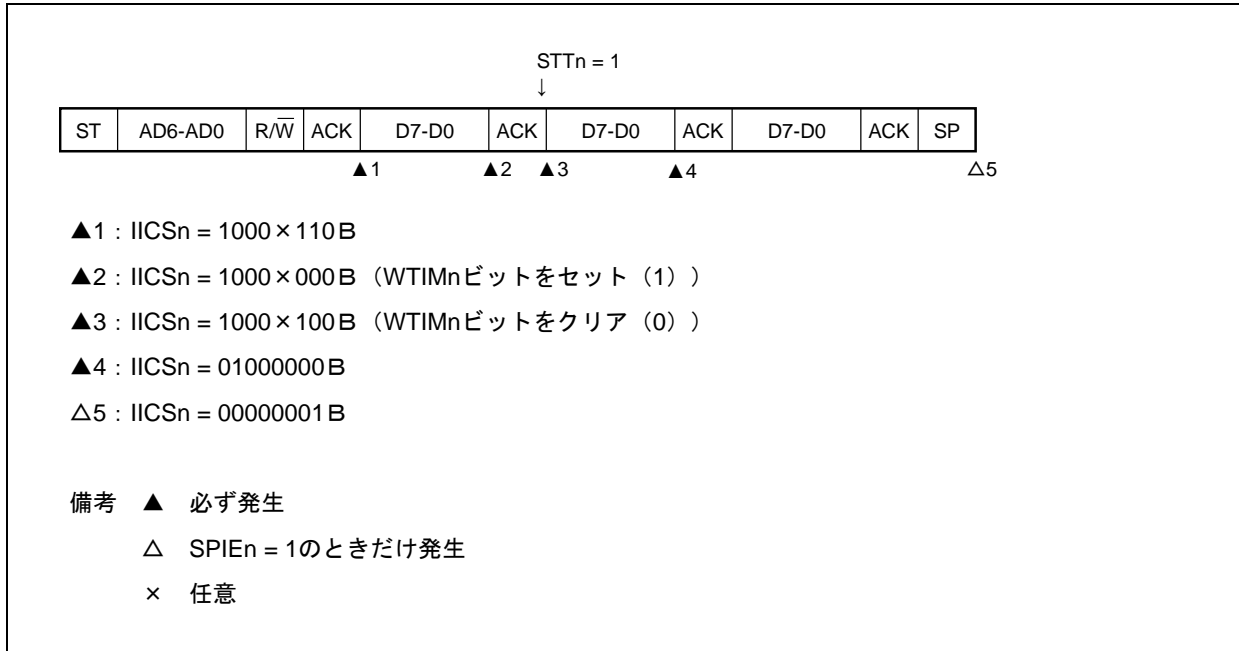
× 任意

m = 6-0

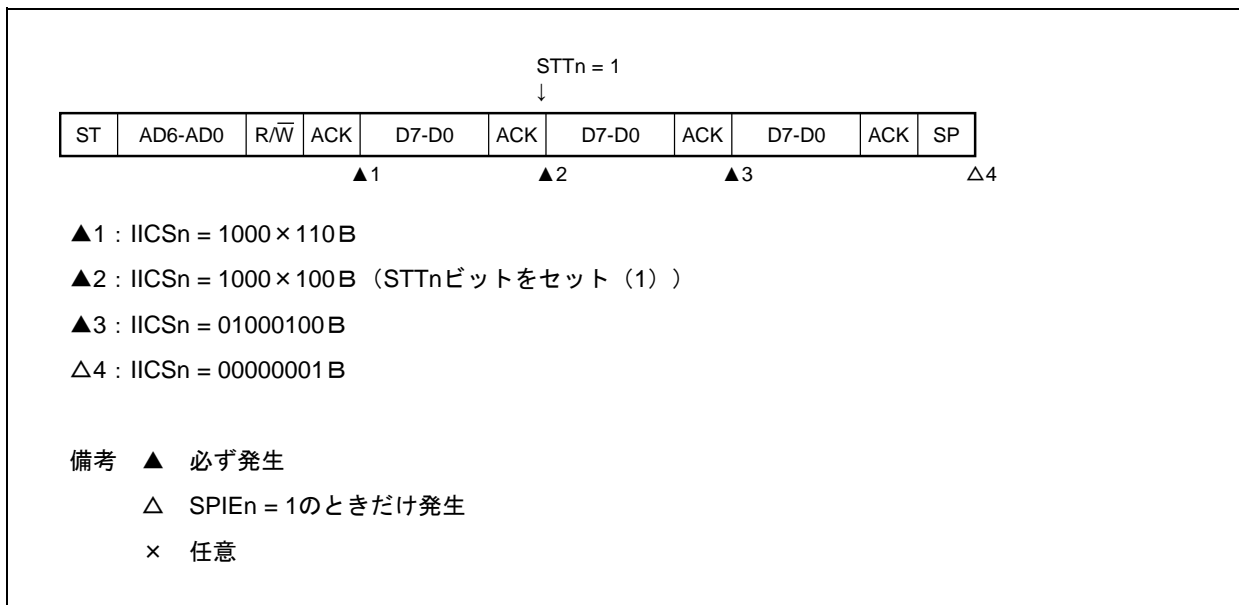
備考 n = 0, 1

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



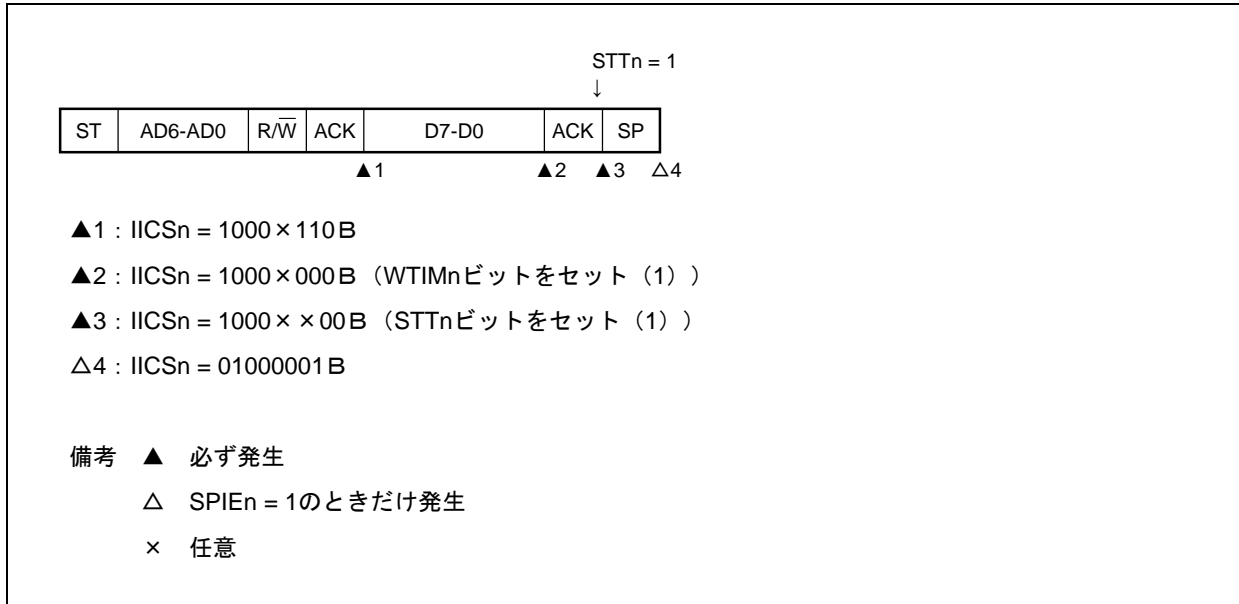
(ii) WTIMn = 1 のとき



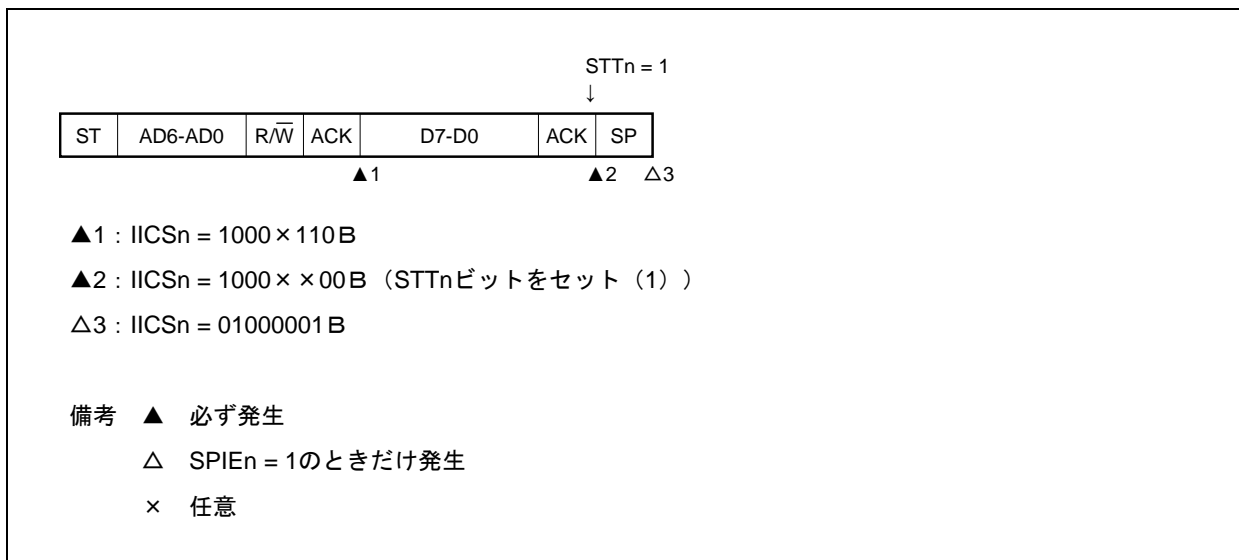
備考 n = 0, 1

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



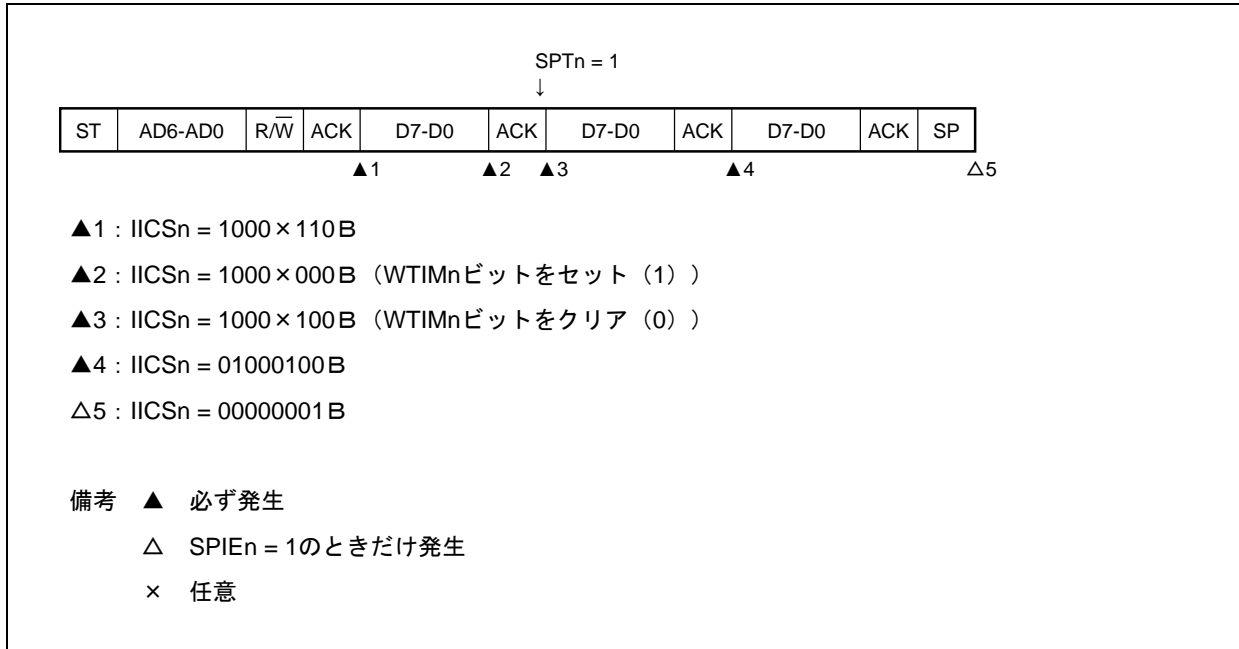
(ii) WTIMn = 1 のとき



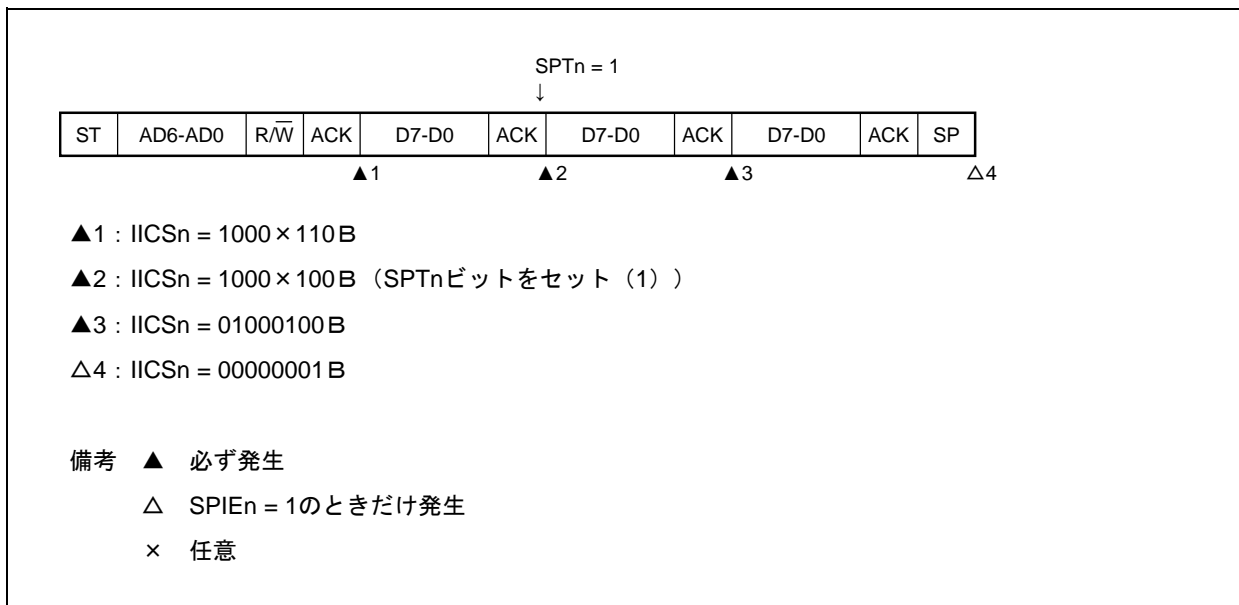
備考 n = 0, 1

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき



備考 n = 0, 1

12.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCnビット (IICAステータス・レジスタn (IICSn) のビット3) を送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図12-32, 図12-33に示します。

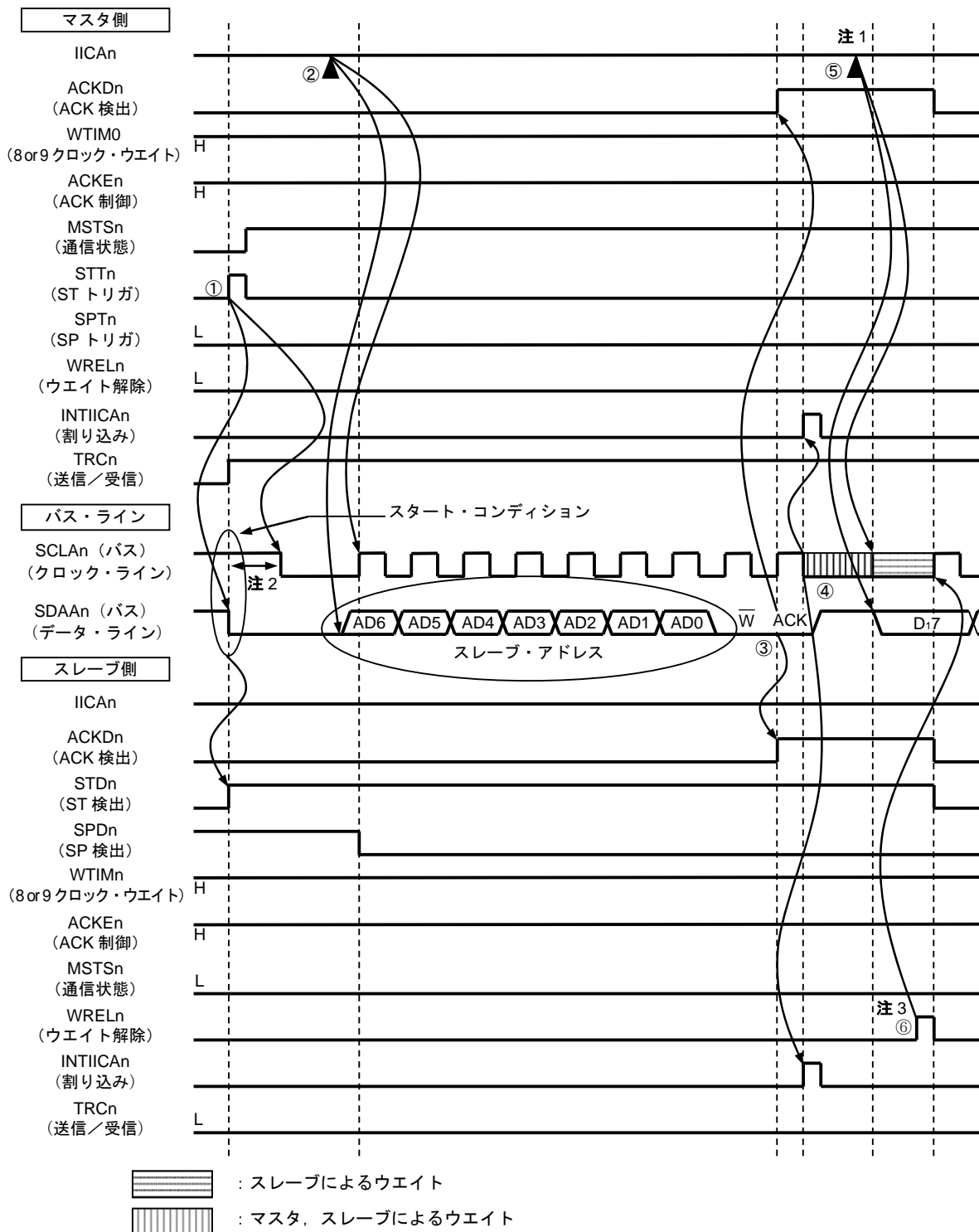
シリアル・クロック (SCLAn) の立ち下がりに同期してIICAシフト・レジスタn (IICAn) のシフト動作が行われ、送信データがSOラッチに転送され、SDAAn端子からMSBファーストで出力されます。

また、SCLAnの立ち上がりでSDAAn端子に入力されたデータがIICAnに取り込まれます。

備考 n = 0, 1

図12-32 マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでウェイト選択）（1/4）

(1) スタート・コンディション～アドレス～データ



- 注1. マスタ側での送信時のウェイト解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。
- 注3. スレーブ側での受信時のウェイト解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図12-32 (1) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ($STTn = 1$) されると、バス・データ・ライン ($SDAAn$) が立ち下がり、スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ($MSTS_n = 1$) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ n ($IICAn$) にアドレス+W (送信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側では、受信したアドレスと自局のアドレス ($SVAn$ の値) が一致した場合^注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出 ($ACKDn = 1$) されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み ($INTIICAn$: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、ウェイト ($SCLAn = 0$) をかけ、割り込み ($INTIICAn$: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるウェイトを解除します。
- ⑥ スレーブ側がウェイトを解除 ($WRELn = 1$) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが ($NACK$: $SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウェイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図12-32の①～⑥は、I²Cバスによるデータ通信の一連の操作手順です。

図12-32 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図12-32 (2) アドレス～データ～データでは手順③～⑩

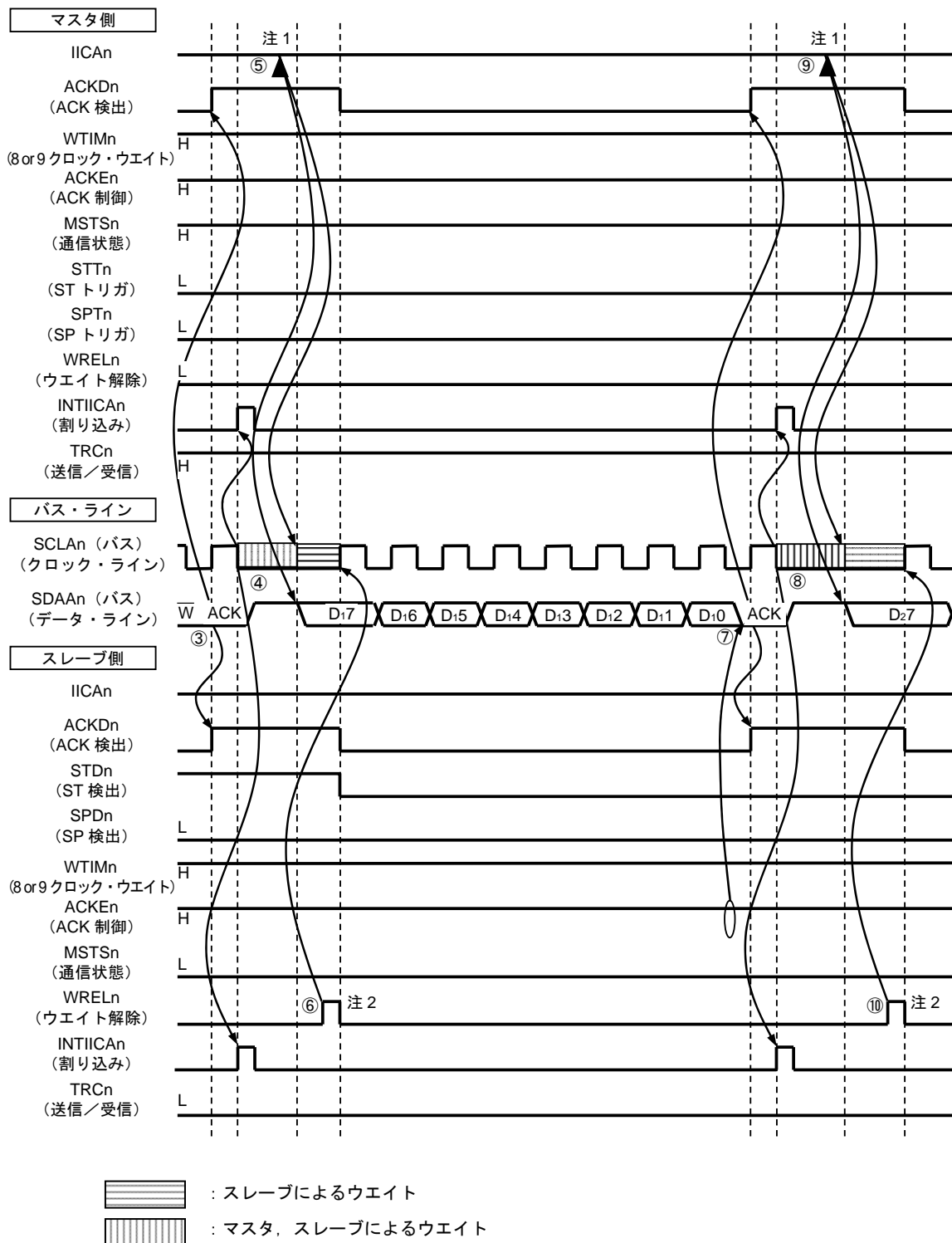
図12-32 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

2. $n = 0, 1$

図12-32 マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択）（2/4）

(2) アドレス～データ～データ



- 注1. マスタ側での送信時のウエイト解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
2. スレーブ側での受信時のウエイト解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図12-32 (2) アドレス～データ～データの③～⑩の説明を次に示します。

- ③ スレーブ側では、受信したアドレスと自局のアドレス (SVAnの値) が一致した場合^注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ④ 9クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはウェイト (SCLAn = 0) をかけ、割り込み (INTIICAn: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側がIICAシフト・レジスタn (IICAn) に送信データを書き込み、マスタ側によるウェイトを解除します。
- ⑥ スレーブ側がウェイトを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑧ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるウェイト (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn: 転送完了割り込み) が発生します。
- ⑨ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるウェイトを解除します。
- ⑩ スレーブ側が受信データを読み出して、ウェイトを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK: SDAAn = 1)。また、スレーブ側のINTIICAn割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウェイトもかかりません。
ただし、マスタ側はACK、NACKの両方に対して、INTIICAn割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図12-32の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図12-32 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図12-32 (2) アドレス～データ～データでは手順③～⑩

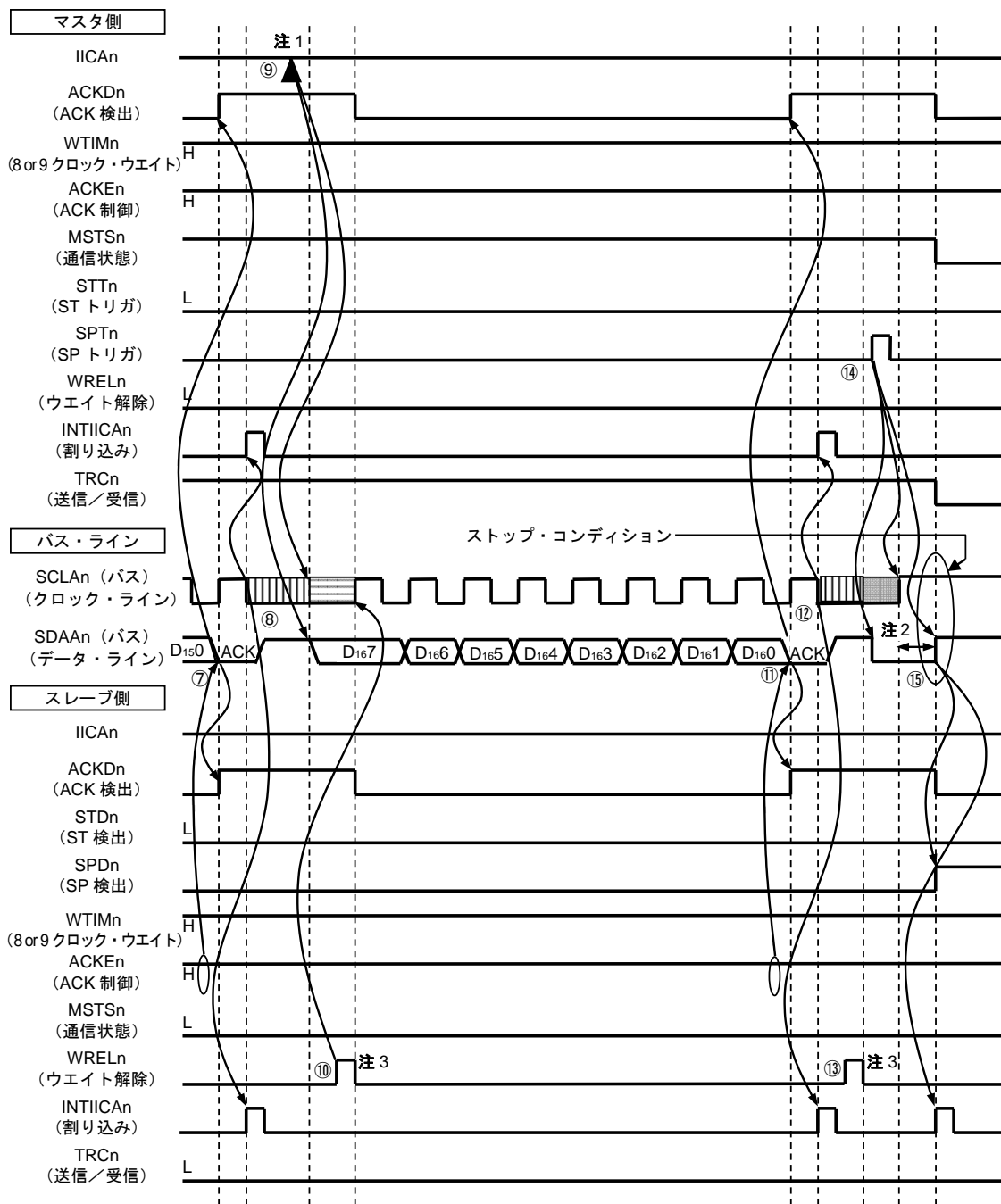
図12-32 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

2. n = 0, 1

図12-32 マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでウエイト選択）（3/4）

(3) データ～データ～ストップ・コンディション



- : マスタによるウエイト
- : スレーブによるウエイト
- : マスタ, スレーブによるウエイト

- 注1. マスタ側での送信時のウエイト解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がったからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。
3. スレーブ側での受信時のウエイト解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図12-32 (3) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑧ 9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑨ マスタ側がIICAシフト・レジスタn (IICAn) に送信データを書き込み、マスタ側によるウェイトを解除します。
- ⑩ スレーブ側が受信データを読み出して、ウェイトを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側 (ACKEn = 1) のハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑫ 9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑬ スレーブ側が受信データを読み出し、ウェイトを解除 (WRELn = 1) します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット (SPTn = 1) すると、バス・データ・ラインがクリア (SDAAn = 0) され、バス・クロック・ラインがセット (SCLAn = 1) され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット (SDAAn = 1) されることでストップ・コンディション (SCLAn = 1でSDAAn = 0→1) が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、割り込み (INTIICAn : ストップ・コンディション割り込み) が発生します。

備考 1. 図12-32の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図12-32 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図12-32 (2) アドレス～データ～データでは手順③～⑩

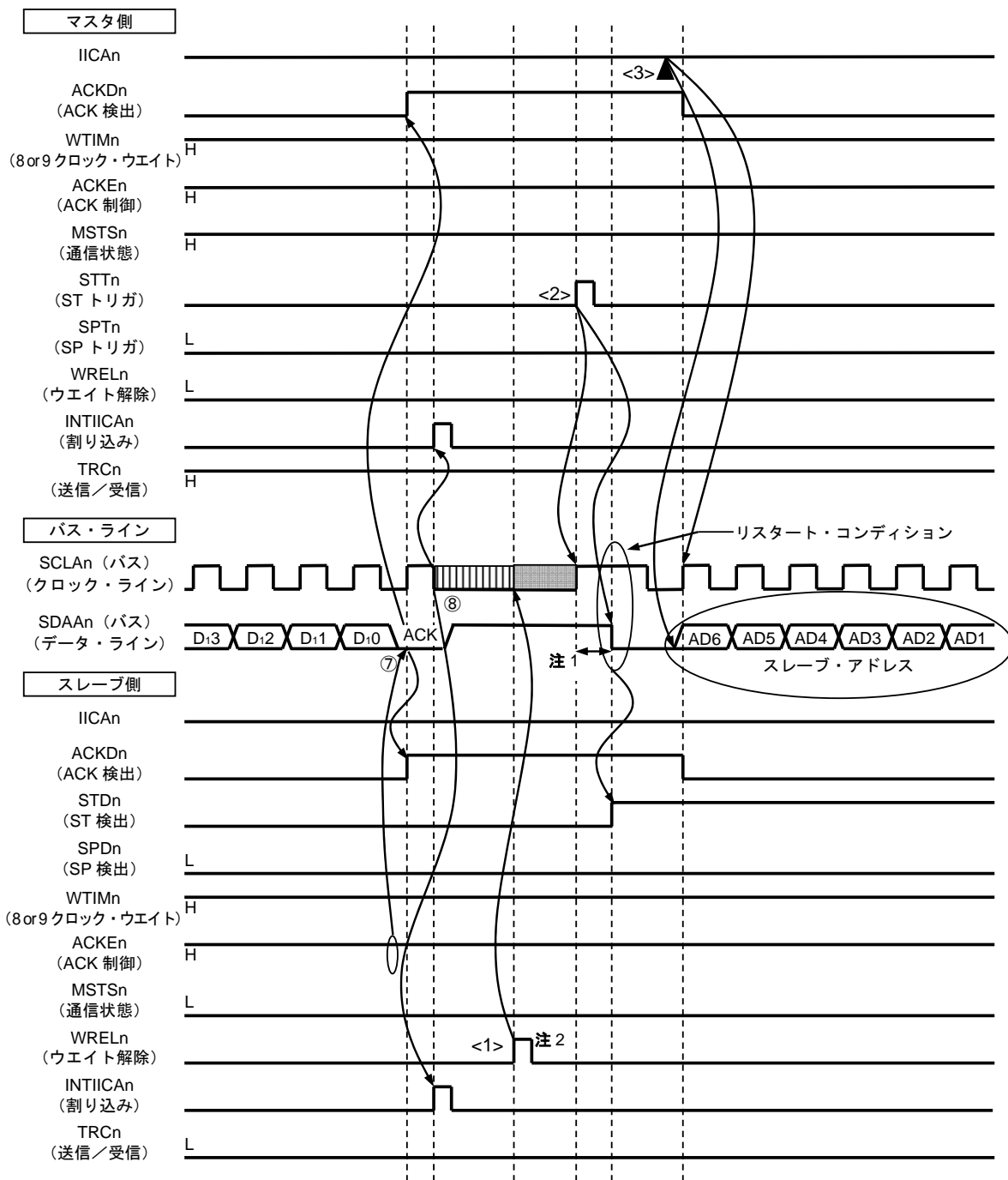
図12-32 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

2. n = 0, 1

図12-32 マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウェイト選択）（4/4）

(4) データ～リスタート・コンディション～アドレス



- : マスタによるウェイト
- : スレーブによるウェイト
- : マスタ, スレーブによるウェイト

注1. リスタート・コンディションの発行後、SCLAn端子信号が立ち上がってからスタート・コンディションが生成される時間は、標準モード設定時は4.7 μs以上、ファースト・モード設定時は0.6 μs以上です。

2. スレーブ側での受信時のウェイト解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図12-32 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦, ⑧の動作後, <1>～<3>の動作を行います。それにより, 手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後, スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑧ 9クロック目の立ち下がり, マスタ側とスレーブ側によるウェイト (SCLAn = 0) がかかり, マスタ側, スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- <1> スレーブ側が受信データを読み出して, ウェイトを解除 (WRELn = 1) します。
- <2> マスタ側で再度スタート・コンディション・トリガがセット (STTn = 1) されると, バス・クロック・ラインが立ち上がり (SCLAn = 1), リスタート・コンディション・セットアップ時間後バス・データ・ライン (SDAAn = 0) が立ち下がり, スタート・コンディション (SCLAn = 1でSDAAn = 1→0) が生成されます。その後, スタート・コンディションを検出すると, ホールド時間経過後, バス・クロック・ラインが立ち下がり (SCLAn = 0), 通信準備が完了となります。
- <3> マスタ側がIICAシフト・レジスタn (IICAn) にアドレス+R/W (送信) を書き込むと, スレーブ・アドレスが送信されます。

備考 n = 0, 1

図12-33 スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでウェイト選択）（1/3）

(1) スタート・コンディション～アドレス～データ

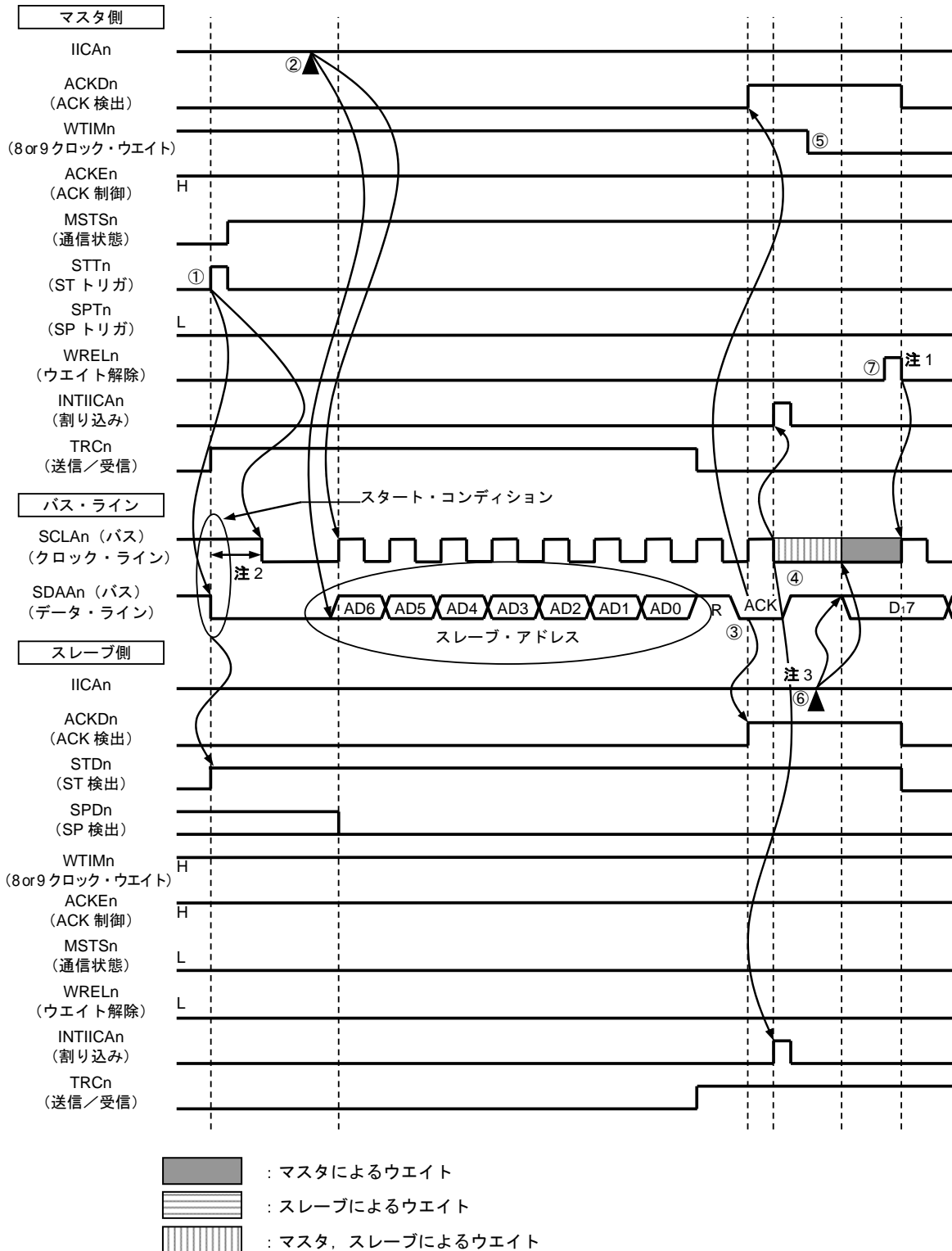


図12-33 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ($STTn = 1$) されると、バス・データ・ライン ($SDAAn$) が立ち下がり、スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ($MSTS_n = 1$) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ n ($IICAn$) にアドレス+R (受信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVA_n の値) が一致した場合^注、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 ($ACKDn = 1$) されず。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み ($INTIICAn$: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはウエイト ($SCLAn = 0$) をかけ、割り込み ($INTIICAn$: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側のウエイト・タイミングを8クロック目に ($WTIMn = 0$) に変更します。
- ⑥ スレーブ側がIICAnレジスタに送信データを書き込み、スレーブ側によるウエイトを解除します。
- ⑦ マスタ側がウエイトを解除 ($WRELn = 1$) して、スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませ
ん ($NACK: SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生
せず、スレーブ側のウエイトもかかりません。
ただし、マスタ側はACK、NACKの両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み)
が発生します。

備考 1. 図12-33の①～⑱は、I²Cバスによるデータ通信の一連の操作手順です。

図12-33 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図12-33 (2) アドレス～データ～データでは手順③～⑫

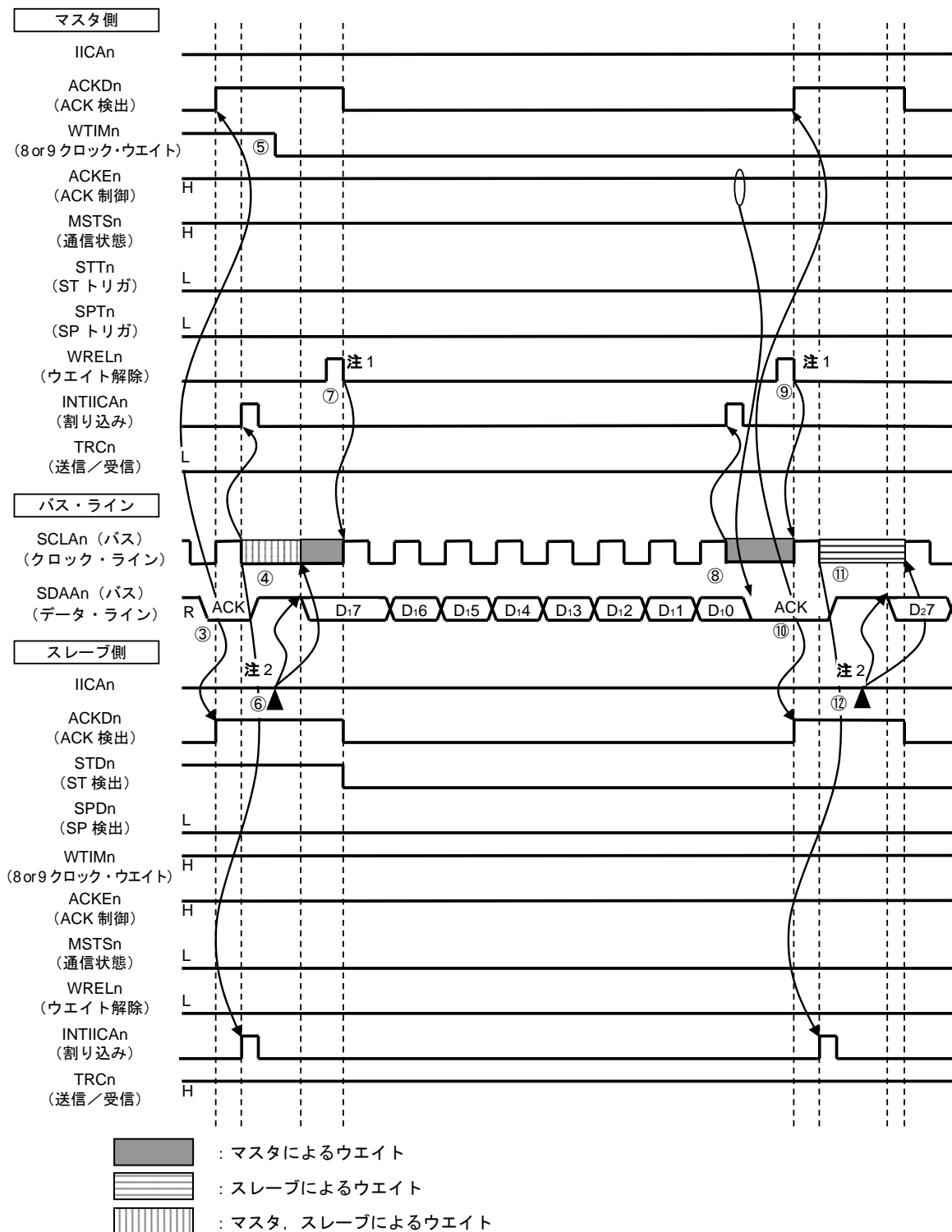
図12-33 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

2. $n = 0, 1$

図12-33 スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでウェイト選択）（2/3）

(2) アドレス～データ～データ



- 注1. マスタ側での受信時のウェイト解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
2. スレーブ側での送信時のウェイト解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0, 1

図12-33 (2) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレス自局のアドレス (SVAnの値) が一致した場合^注、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ④ 9クロック目の立ち下がり時、マスタ側の割り込み (INTIICAn: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはウエイト (SCLAn = 0) をかけ、割り込み (INTIICAn: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側はウエイト・タイミングを8クロック目に (WTIMn = 0) に変更します。
- ⑥ スレーブ側がIICAシフト・レジスタn (IICAn) に送信データを書き込み、スレーブ側によるウエイトを解除します。
- ⑦ マスタ側がウエイトを解除 (WRELn = 1) して、スレーブからのデータ転送を開始します。
- ⑧ 8クロック目の立ち下がり時、マスタ側によるウエイト (SCLAn = 0) がかかり、マスタ側の割り込み (INTIICAn: 転送完了割り込み) が発生し、マスタ側ACKEn = 1なのでハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、ウエイトを解除 (WRELn = 1) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKDn = 1) されます。
- ⑪ 9クロック目の立ち下がり時、スレーブ側によるウエイト (SCLAn = 0) がかかり、スレーブ側は割り込み (INTIICAn: 転送完了割り込み) が発生します。
- ⑫ スレーブ側がIICAnレジスタに送信データを書き込むと、スレーブ側によるウエイトが解除され、スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK: SDAAn = 1)。また、スレーブ側のINTIICAn割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み (アドレス送信完了割り込み) が発生します。

備考1. 図12-33の①～⑫は、I²Cバスによるデータ通信の一連の操作手順です。

図12-33 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図12-33 (2) アドレス～データ～データでは手順③～⑫

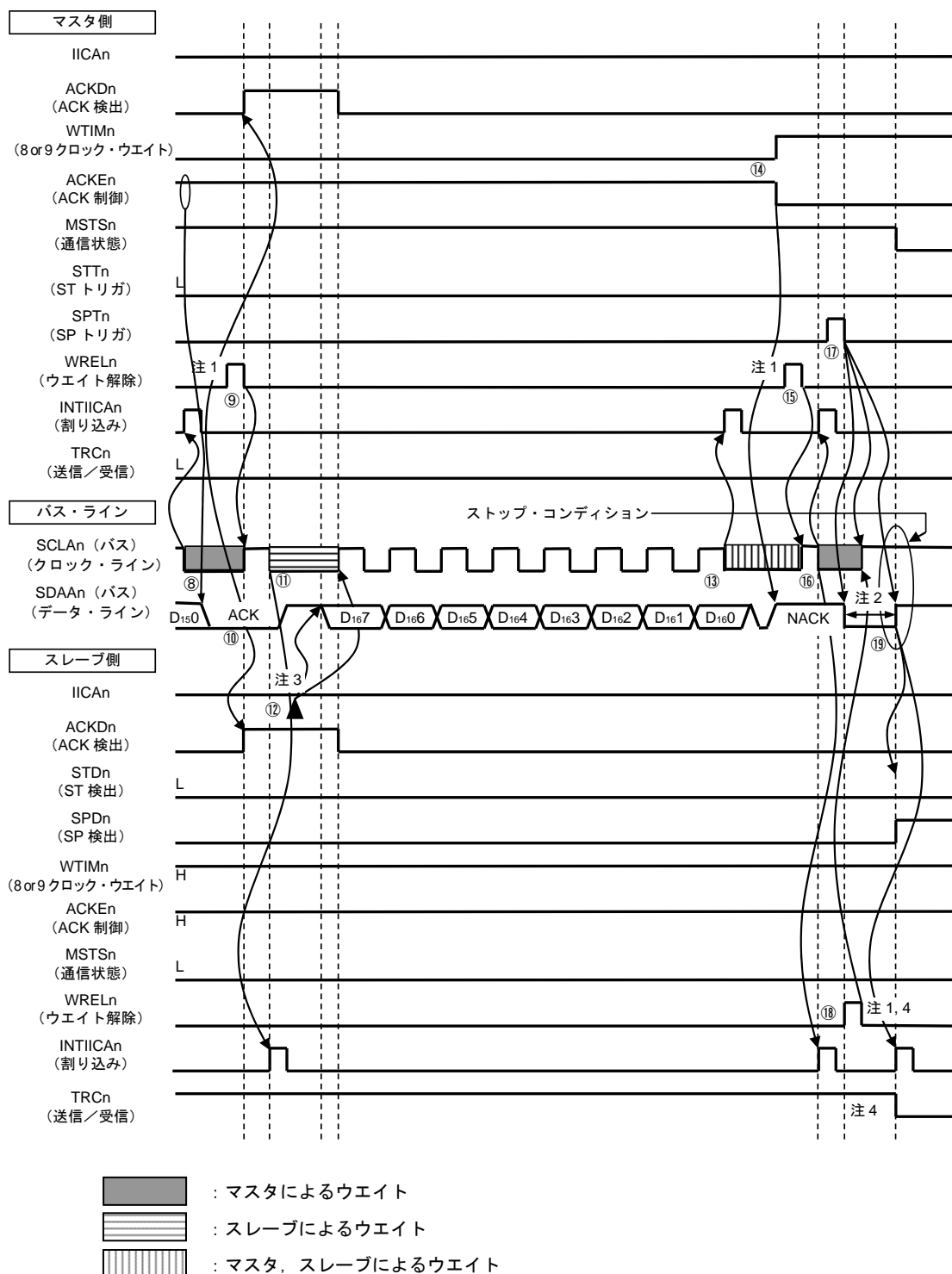
図12-33 (3) データ～データ～ストップ・コンディションでは手順⑧～⑫

について説明しています。

2. n = 0, 1

図12-33 スレーブ→マスタ通信例 (マスタ : 8→9クロック, スレーブ : 9クロックでウェイト選択) (3/3)

(3) データ～データ～ストップ・コンディション



- 注1. ウェイト解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がったからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 3. スレーブ側での送信時のウェイト解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 4. スレーブ側での送信時のウェイトをWRELnビットのセットで解除すると、TRCnビットはクリアされます。

備考 n = 0, 1

図12-33 (3) データ～データ～ストップ・コンディションの⑧～⑱の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるウエイト ($SCLAn = 0$) がかかり、マスタ側の割り込み (INTIICAn: 転送完了割り込み) が発生し、マスタ側は $ACKEn = 0$ なので、ハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、ウエイトを解除 ($WRELn = 1$) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出 ($ACKDn = 1$) されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるウエイト ($SCLAn = 0$) がかかり、スレーブ側は割り込み (INTIICAn: 転送完了割り込み) が発生します。
- ⑫ スレーブ側がIICAシフト・レジスタn (IICAn) に送信データを書き込むと、スレーブ側によるウエイトが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn: 転送完了割り込み) が発生し、マスタ側によるウエイト ($SCLAn = 0$) がかかります。ACK制御 ($ACKEn = 1$) されているので、この段階でのバス・データ・ラインはロウ・レベル ($SDAAn = 0$) となります。
- ⑭ マスタ側はNACK応答に設定 ($ACKEn = 0$) し、ウエイト・タイミングを9クロック目ウエイト ($WTIMn = 1$) に変更します。
- ⑮ マスタ側がウエイトを解除 ($WRELn = 1$) すると、スレーブ側は9クロック目の立ち上がりでNACKを検出 ($ACKDn = 0$) します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるウエイト ($SCLAn = 0$) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn: 転送完了割り込み) が発生します。
- ⑰ マスタ側でストップ・コンディション発行 ($SPTn = 1$) すると、バス・データ・ラインがクリア ($SDAAn = 0$) され、マスタ側のウエイトが解除されます。その後、マスタ側はバス・クロック・ラインがセット ($SCLAn = 1$) されるまで待機します。
- ⑱ スレーブ側はNACKを確認して、送信を止めて通信を完了するためにウエイトを解除 ($WRELn = 1$) します。スレーブによるウエイトが解除されると、バス・クロック・ラインがセット ($SCLAn = 1$) されます。
- ⑲ マスタ側はバス・クロック・ラインがセット ($SCLAn = 1$) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット ($SDAAn = 1$) してストップ・コンディション ($SCLAn = 1$ で $SDAAn = 0 \rightarrow 1$) を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み (INTIICAn: ストップ・コンディション割り込み) が発生します。

備考 1. 図12-33の①～⑱は、I²Cバスによるデータ通信の一連の操作手順です。

図12-33 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図12-33 (2) アドレス～データ～データでは手順③～⑫

図12-33 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

2. $n = 0, 1$

第13章 DMAコントローラ

RL78/G1Pは、DMA（Direct Memory Access）コントローラを内蔵しています。

DMAに対応している周辺ハードウェアのSFRと内蔵RAMの間は、CPUを介さずに自動でデータのやり取りをすることができます。

これにより、SFR⇄内蔵RAM間の転送を、通常のCPU内部の演算やデータ転送をしながら行えるため、大容量データの処理も可能になります。また、通信やタイマ、A/Dを駆使したリアルタイム制御も実現できます。

13.1 DMAコントローラの機能

○DMAチャンネル数：2チャンネル

○転送単位：8ビット／16ビット

○最大転送単位：1024回

○転送タイプ：2サイクル転送（1回の転送を2クロックで処理し、その間はCPU動作が停止します）

○転送モード：シングル転送モード

○転送要求：以下の周辺ハードウェア割り込みから選択

- ・ A/Dコンバータ
- ・ シリアル・インタフェース
（CSI00, UART0）
- ・ タイマ（チャンネル0, 1, 2, 3）

○転送対象：SFR⇄内蔵RAM

DMAを使った機能例は、次のようなものが考えられます。

- ・ シリアル・インタフェースの連続転送
- ・ アナログ・データをまとめて転送
- ・ 一定時間ごとにA/Dの変換結果を取り込む
- ・ 一定時間ごとにポートの値を取り込む

13.2 DMAコントローラの構成

DMAコントローラは、次のハードウェアで構成されています。

表13-1 DMAコントローラの構成

項 目	構 成
アドレス・レジスタ	<ul style="list-style-type: none"> ・DMA SFRアドレス・レジスタ0, 1 (DSA0, DSA1) ・DMA RAMアドレス・レジスタ0, 1 (DRA0, DRA1)
カウント・レジスタ	<ul style="list-style-type: none"> ・DMAバイト・カウント・レジスタ0, 1 (DBC0, DBC1)
制御レジスタ	<ul style="list-style-type: none"> ・DMAモード・コントロール・レジスタ0, 1 (DMC0, DMC1) ・DMA動作コントロール・レジスタ0, 1 (DRC0, DRC1)

13.2.1 DMA SFRアドレス・レジスタn (DSAn)

DMAチャンネルnの転送元／転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H- FFFFFHの下位8ビットを設定してください。

このレジスタは自動的にインクリメント動作せず、固定値となります。

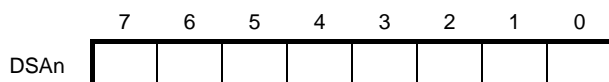
16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DSAnレジスタは8ビット単位でリード／ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、00Hになります。

図13-1 DMA SFRアドレス・レジスタn (DSAn) のフォーマット

アドレス : FFFB0H (DSA0) , FFFB1H (DSA1) リセット時 : 00H R/W



備考 n : DMAチャンネル番号 (n = 0, 1)

13.2.2 DMA RAMアドレス・レジスタn (DRAn)

DMAチャンネルnの転送先／転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域（表13-2参照）のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると、自動的にインクリメントされます。8ビット転送モード時には+1され、16ビット転送モード時には+2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し、最終アドレスまで転送し終わると、DRAnレジスタは8ビット転送モード時には最終アドレス+1、16ビット転送モード時には最終アドレス+2になって停止します。

16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DRAnレジスタは8/16ビット単位でリード／ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、0000Hになります。

図13-2 DMA RAMアドレス・レジスタn (DRAn) のフォーマット

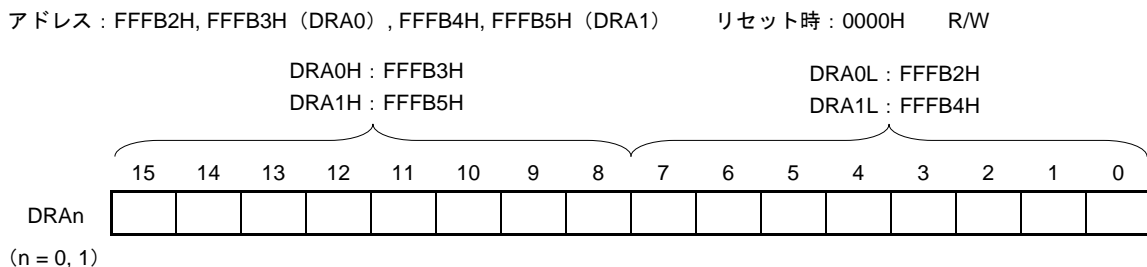


表13-2 汎用レジスタ以外の内蔵RAM領域

製 品	汎用レジスタ以外の内蔵RAM領域
RL78/G1P	FF900H-FFEDFH

備考 n : DMAチャンネル番号 (n = 0, 1)

13.2.3 DMAバイト・カウント・レジスタn (DBCn)

DMAチャンネルnの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBCnレジスタに連続転送回数を設定してください（最大1024回）。

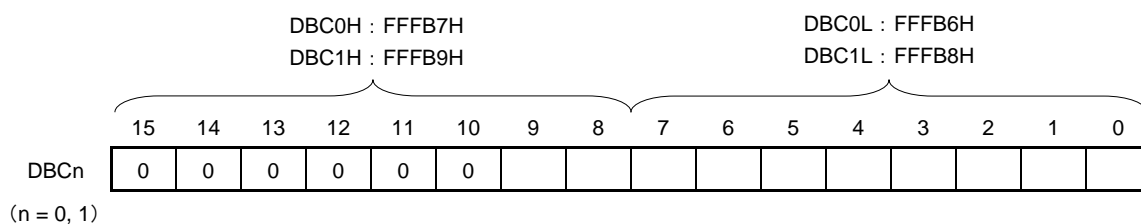
DMA転送が1回実行されるたびに、自動的にデクリメントされます。DMA転送中にこのDBCnレジスタを読み出すことで、残りの連続転送回数を知ることができます。

DBCnレジスタは8/16ビット単位でリード／ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、0000Hになります。

図13-3 DMA バイト・カウント・レジスタn (DBCn) のフォーマット

アドレス：FFFB6H, FFFB7H (DBC0) , FFFB8H, FFFB9H (DBC1) リセット時：0000H R/W



DBCn[9:0]	転送回数設定 (DBCnライト時)	残りの転送回数 (DBCnリード時)
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
・	・	・
・	・	・
・	・	・
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

- 注意1. ビット15-10は、必ず0を設定してください。
- 2. 連続転送の結果、汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は、汎用レジスタやSFR空間へ書き込み／読み出しを行って、データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考 n : DMAチャンネル番号 (n = 0, 1)

13.3 DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- ・ DMAモード・コントロール・レジスタn (DMCn)
- ・ DMA動作コントロール・レジスタn (DRCn)

備考 n : DMAチャンネル番号 (n = 0, 1)

13.3.1 DMAモード・コントロール・レジスタn (DMCn)

DMCnレジスタは、DMAチャンネルnの転送モード設定レジスタです。転送方向、データ・サイズ、保留設定、起動要因の選択を行います。ビット7 (STGn) はDMA起動のソフトウェア・トリガとなります。

DMCnレジスタのビット6, 5, 3-0は、動作中 (DSTn = 1のとき) の書き換えは禁止です。

DMCnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-4 DMAモード・コントロール・レジスタn (DMCn) のフォーマット (1/2)

アドレス : FFFBAH (DMC0) , FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	0	IFCn2	IFCn1	IFCn0

STGn ^{注1}	DMA転送開始ソフトウェア・トリガ
0	ソフトウェア・トリガ動作しない
1	DMA動作許可 (DENn = 1) 時に、DMA転送を開始する

DMA動作許可 (DENn = 1) 時に、STGnビットに1を書き込むことでDMA転送を1回します。
このビットの読み出し値は常に0となります。

DRSn	DMA転送方向の選択
0	SFR → 内蔵RAM
1	内蔵RAM → SFR

DSn	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAITn ^{注2}	DMA転送の保留
0	DMA起動要求によりDMA転送を行う (保留しない)
1	DMA起動要求が来ても保留する

DWAITnビットの値を1→0にすることで、保留されているDMA転送を開始することができます。
また、DWAITnビットの値を0→1に設定してから、実際に転送が保留されるまでは2クロック必要となります。

注1. ソフトウェア・トリガ (STGn) は、IFCn2-IFCn0ビットの値に関係なく使用できます。

- DMAを2チャンネル以上使用中でDMA転送を保留する場合は、必ず全てのチャンネルのDMAを保留にしてください (DWAIT0 = DWAIT1 = 1)。

備考 n : DMAチャンネル番号 (n = 0, 1)

図13-4 DMAモード・コントロール・レジスタn (DMCn) のフォーマット (2/2)

アドレス : FFFBAH (DMC0) , FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	0	IFCn2	IFCn1	IFCn0

IFCn2	IFCn1	IFCn0	DMA起動要因の選択 ^注	
			トリガ信号	トリガ内容
0	0	0	—	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)
0	0	1	INTAD	A/D変換終了割り込み
0	1	0	INTTM00	タイマ・チャンネル00のカウンタ完了またはキャプチャ割り込み
0	1	1	INTTM01	タイマ・チャンネル01のカウンタ完了またはキャプチャ割り込み
1	0	0	INTTM02	タイマ・チャンネル02のカウンタ完了またはキャプチャ割り込み
1	0	1	INTTM03	タイマ・チャンネル03のカウンタ完了またはキャプチャ割り込み
1	1	0	INTST0/INTCSI00	UART0送信の転送完了, バッファ空き割り込み/ CSI00の転送完了, バッファ空き割り込み
1	1	1	INTSR0	UART0受信の転送完了割り込み
上記以外			設定禁止	

注 ソフトウェア・トリガ (STGn) は, IFCn2-IFCn0ビットの値に関係なく使用できます。

備考 n : DMAチャンネル番号 (n = 0, 1)

13.3.2 DMA動作コントロール・レジスタn (DRCn)

DRCnレジスタは、DMAチャンネルnの転送許可／禁止を設定するレジスタです。

DRCnレジスタのビット7 (DENn) は、動作中 (DSTn = 1のとき) の書き換えは禁止です。

DRCnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-5 DMA動作コントロール・レジスタn (DRCn) のフォーマット

アドレス : FFFBCH (DRC0) , FFFBDH (DRC1) リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	<input type="checkbox"/>
DRCn	DENn	0	0	0	0	0	0	DSTn

DENn	DMA動作許可フラグ
0	DMAチャンネルnの動作禁止 (DMAの動作クロック停止)
1	DMAチャンネルnの動作許可
DMA動作許可 (DENn = 1) にしてから、DSTn = 1にすることでDMAトリガ待ち状態になります。	

DSTn	DMA転送モード・フラグ
0	DMAチャンネルnのDMA転送終了
1	DMAチャンネルnのDMA転送未終了 (転送中)
DMA動作許可 (DENn = 1) にしてから、DSTn = 1にすることでDMAトリガ待ち状態になります。 そしてソフトウェア・トリガ (STGn) またはIFCn2-IFCn0ビットで設定した起動要因トリガが入力されると、DMA転送を開始します。 その後、DMA転送が終了すると自動的に0にクリアされます。 DMA転送中に強制終了したい場合は、0を書き込みます。	

注意 DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。

DENnフラグはDSTn = 0のときのみ書き込み許可となるため、DMAの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DSTn = 0に設定してからDENn = 0としてください (詳細は13.5.5 ソフトウェアでの強制終了参照)。

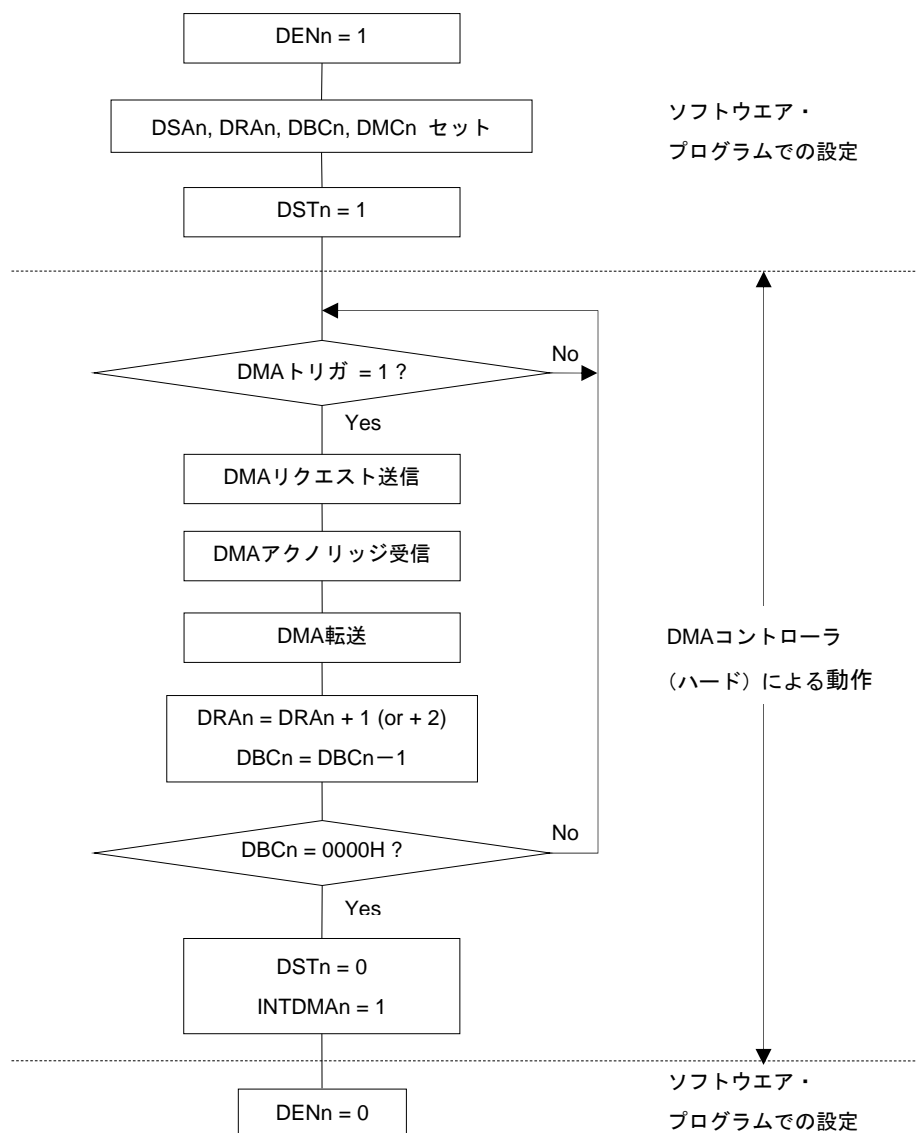
備考 n : DMAチャンネル番号 (n = 0, 1)

13.4 DMAコントローラの動作

13.4.1 動作手順

- ① DENn = 1により、DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は、80Hを書き込みます。
- ② DMA SFRアドレス・レジスタn (DSAn) , DMA RAMアドレス・レジスタn (DRAn) , DMAバイト・カウント・レジスタn (DBCn) , DMAモード・コントロール・レジスタn (DMCn) にDMA転送のSFRアドレス, RAMアドレス, 転送回数, 転送モードを設定します。
- ③ DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は、81Hを書き込みます。
- ④ ソフトウェア・トリガ (STGn) またはIFCn2-IFCn0ビットで設定した起動要因トリガが入力されると、DMA転送を開始します。
- ⑤ DBCnレジスタで設定した転送回数が0になると転送が完了し、割り込み (INTDMAn) の発生により自動的に転送が終了します。
- ⑥ その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図13-6 動作手順



備考 n : DMAチャネル番号 (n = 0, 1)

13.4.2 転送モード

DMA転送には、DMAモード・コントロール・レジスタ n (DMC n) のビット6, 5 (DRS n , DS n) の設定により、次の4つの転送モードを選択できます。

DRS n	DS n	DMA転送モード
0	0	1バイト・データのSFR (アドレス固定) からRAM (アドレスは+1のインクリメント) への転送
0	1	2バイト・データのSFR (アドレス固定) からRAM (アドレスは+2のインクリメント) への転送
1	0	1バイト・データのRAM (アドレスは+1のインクリメント) からSFR (アドレス固定) への転送
1	1	2バイト・データのRAM (アドレスは+2のインクリメント) からSFR (アドレス固定) への転送

この転送モードを使用することによって、シリアル・インタフェースを使った最大1024バイトの連続データ転送、A/D変換結果の連続データ転送、タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

13.4.3 DMA転送の終了

DBC n = 00HとなりDMA転送が完了すると、自動的にDST n ビットがクリア (0) されます。そして割り込み要求 (INTDMA n) の発生により転送が終了します。

強制終了するためにDST n ビットをクリア (0) すると、DMAバイト・カウント・レジスタ n (DBC n) と DMA RAMアドレス・レジスタ n (DRAn) は停止したときの値を保持します。

また、強制終了した場合は割り込み要求 (INTDMA n) は発生しません。

備考 n : DMAチャンネル番号 ($n = 0, 1$)

13.5 DMAコントローラの設定例

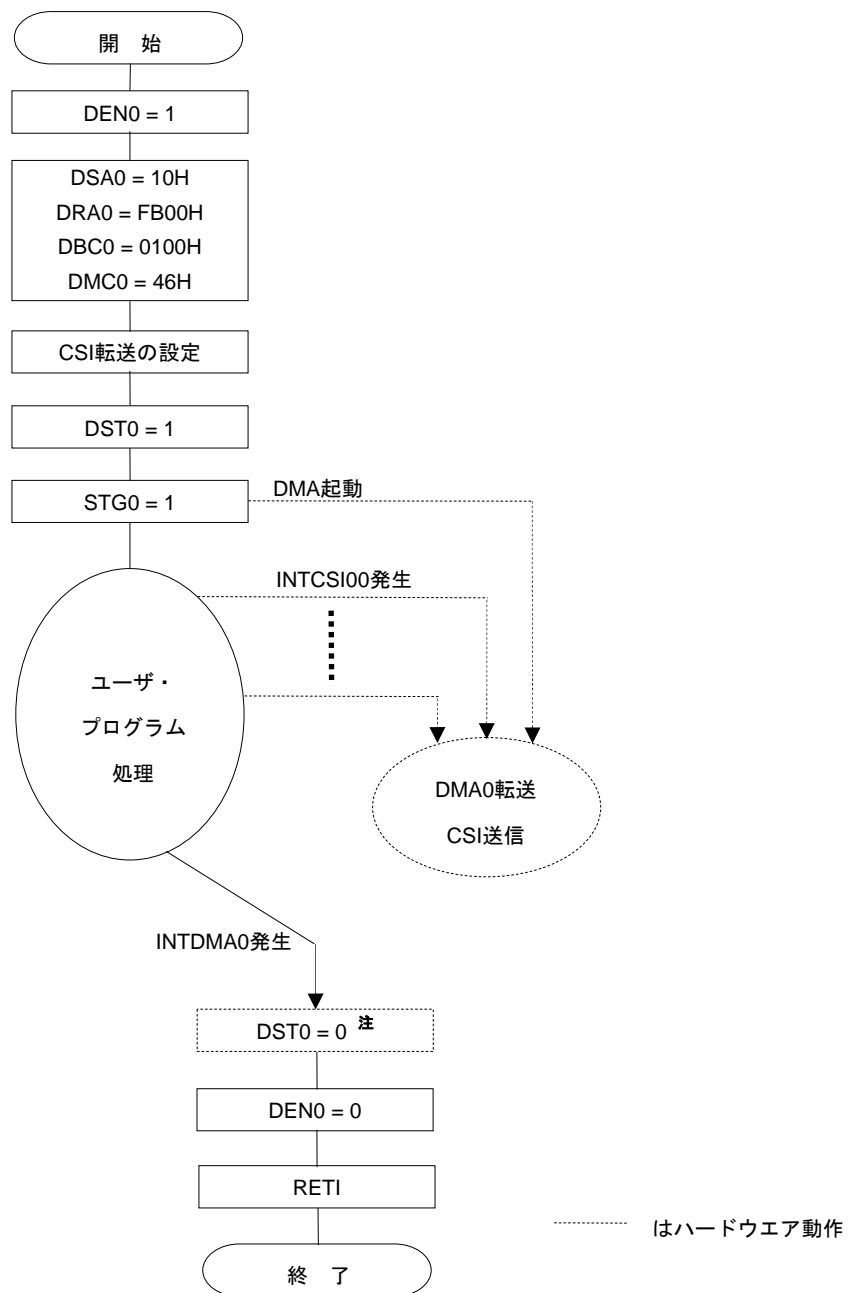
13.5.1 CSI連続送信

CSI連続送信の設定例のフロー・チャートを次に示します。

- ・ CSI00の連続送信（256バイト）
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因：INTCSI00（最初の起動要因のみソフトウェア・トリガ（STG0））
- ・ CSI00の割り込みはIFC02-IFC00 = 0110Bに割り当て
- ・ RAMのFFB00H-FFBFFH（256バイト）をCSIのデータ・レジスタ（SIO00）のFFF10HIに転送

備考 IFC02-IFC00：DMAモード・コントロール・レジスタ0（DMC0）のビット2-0

図13-7 CSI連続送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は13.5.5 ソフトウェアでの強制終了参照)。

連続送信の場合は1回目のトリガはCSIの割り込みでは起動されません。この例ではソフトウェア・トリガにて起動しています。

2回目以降のCSI送信は自動的に転送されます。

データ・レジスタへの最終の送信データの書き込みが終わった時点で、DMA割り込み (INTDMA0) が発生します。

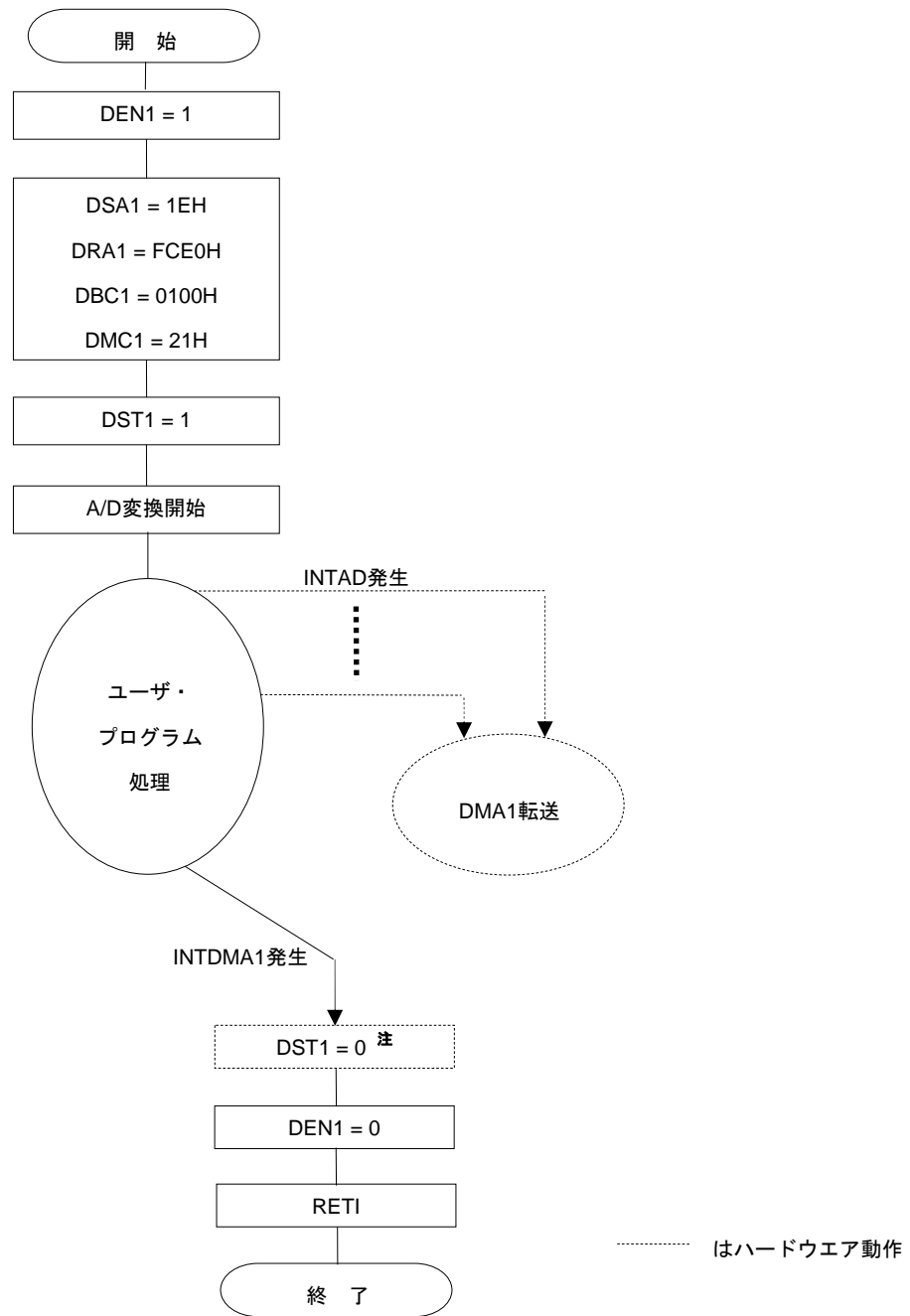
13.5.2 A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- ・ A/D変換結果の連続取り込み
- ・ DMAのチャンネル1をDMA転送に使用
- ・ DMA起動要因 : INTAD
- ・ A/Dの割り込みはIFC12-IFC10 = 0001Bに割り当て
- ・ 12ビットA/D変換結果レジスタ (ADCR) のFFF1EHとFFF1FH (2バイト) をRAMのFFCE0H-FFEDFHの512バイトに転送

備考 IFC12-IFC10 : DMAモード・コントロール・レジスタ1 (DMC1) のビット2-0

図13-8 A/D変換結果の連続取り込みの設定例



注 DST1フラグはDMA転送が終了すると自動的に0にクリアされます。

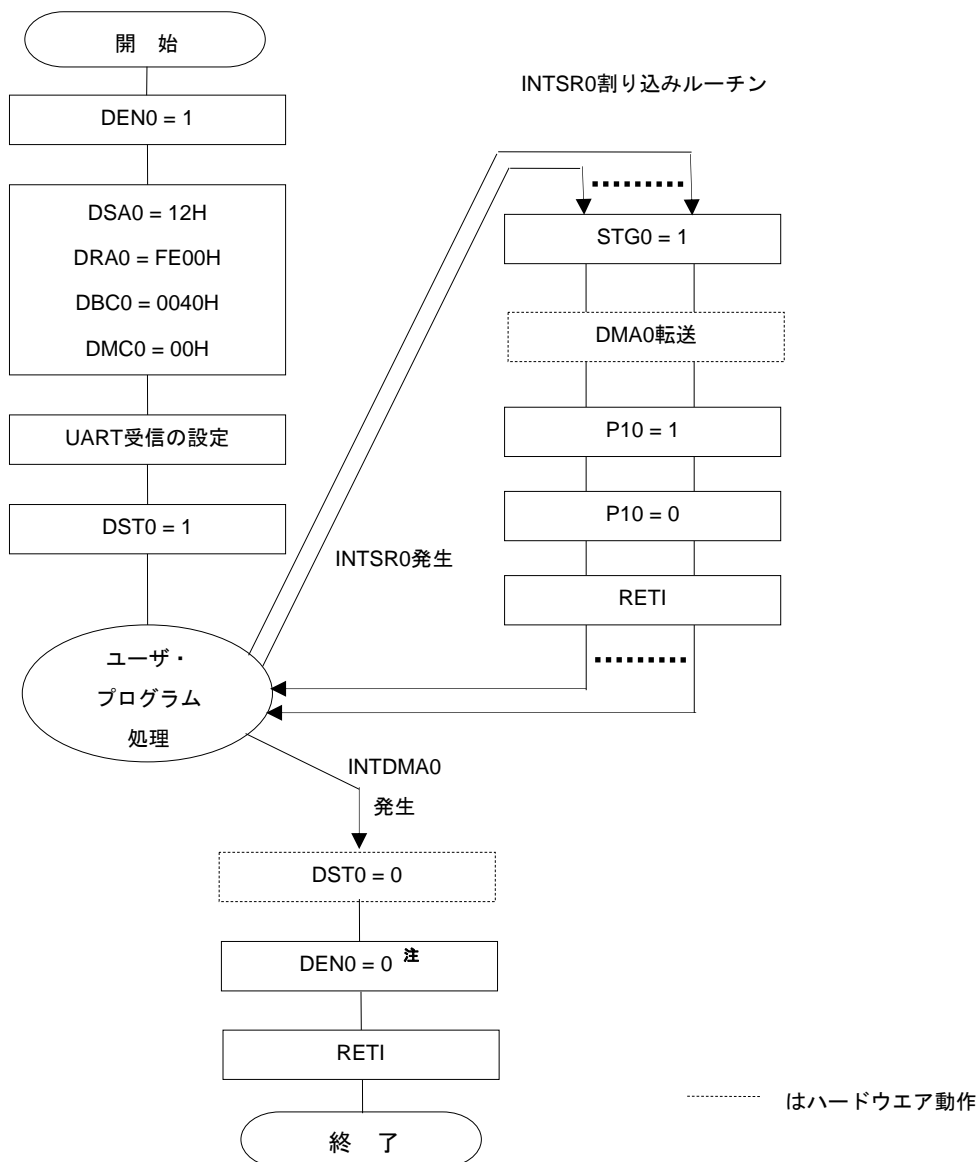
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため、DMA1の割り込み (INTDMA1) 発生を待たずに終了する場合は、DST1 = 0に設定してからDEN1 = 0としてください (詳細は13.5.5 ソフトウェアでの強制終了参照)。

13.5.3 UART連続受信+ACK送信

UART連続受信+ACK送信の設定例のフロー・チャートを次に示します。

- ・ UART0の連続受信を行い、P10に受信完了のACKを出力
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因：ソフトウェア・トリガ（割り込みによるDMA転送禁止）
- ・ UART受信データ・レジスタ0（RXD0）のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図13-9 UART連続受信+ACK送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。
 DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください（詳細は13.5.5 ソフトウェアでの強制終了参照）。

備考 DMA起動要因にソフトウェア・トリガを使用した例です。
 ACKを送信せずに、UART連続受信だけであれば、UART受信完了割り込み（INTSR0）をDMA起動要因に設定して、受信することもできます。

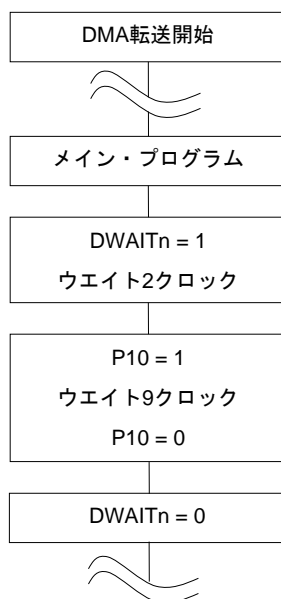
13.5.4 DWAITnビットによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため、そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は、DWAITn = 1とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は、保留を解除後に実行されます。ただし、保留できる転送トリガは各チャンネル1つなので、保留中に同一チャンネルの転送トリガが2回以上発生しても、保留解除後に実行されるDMA転送は1回です。

一例として、P10端子より動作周波数の10クロック幅のパルスを入力する場合、DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後、DMA転送が保留されるまで2クロック必要となります。

図13-10 DWAITnビットによるDMA転送保留の設定例



注意 DMAを2チャンネル使用中でDMA転送を保留したい場合は、必ずすべてのチャンネルのDMAを保留にしてください（DWAIT0 = DWAIT1 = 1）。他チャンネルのDMAが保留中に一つのチャンネルのDMA転送が実行されると、その他のチャンネルも保留されない場合があります。

- 備考1. n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

13.5.5 ソフトウェアでの強制終了

ソフトウェアでDSTn = 0に設定してから、実際にDMA転送が停止し、DSTn = 0となるまでには最大で2クロックが必要となります。そのため、DMAの割り込み (INTDMA) 発生を待たずにソフトウェアで強制的にDMA転送を終了する場合は、次のいずれかの処理をしてください。

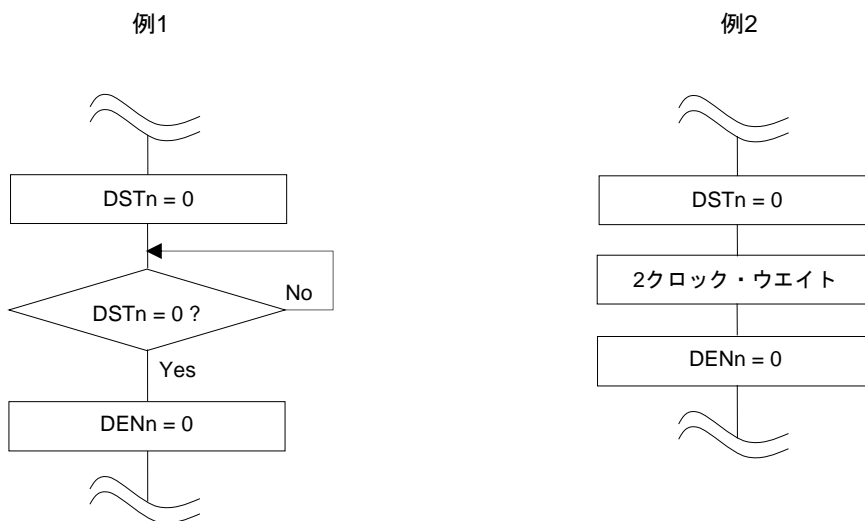
<DMAを1チャンネル使用しているとき>

- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、実際にDSTn ビットが0になったことをポーリングで確認後、DENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする
- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、2クロック経過後にDENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする

<DMAを2チャンネル使用しているとき>

- ・DMAを2チャンネル以上使用しているときにソフトウェアで強制終了 (DSTn = 0) する場合は、使用している全チャンネルのDWAITnビットをセット (1) してDMA転送を保留してから、DSTnビットをクリア (0) する。その後、使用している全チャンネルのDWAITnビットをクリア (0) し保留を解除してから、DENn ビットをクリア (0) とする

図13-11 DMA転送の強制終了 (1/2)

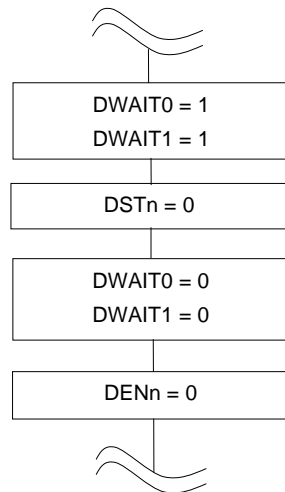


- 備考1. n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : 1/fCLK (fCLK : CPUクロック)

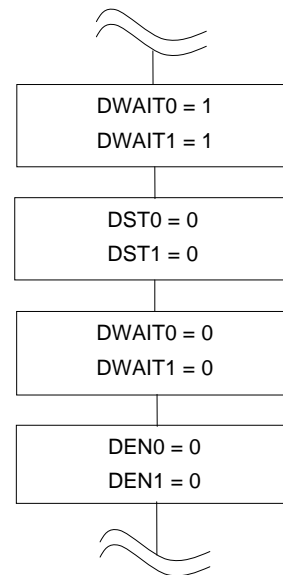
図13-11 DMA転送の強制終了 (2/2)

例3

・2チャンネルをともに使用時にどちらかのチャンネルを強制終了する手順



・2チャンネルをともに使用時に2チャンネルともに強制終了する手順



注意 例3では、DWAITnビットのセット（1）後のウエイト2クロックは必要ありません。また、DSTnビットをクリア（0）してからDENnビットをクリア（0）するまで2クロック以上経過しているため、DSTnビットのクリア（0）後にウエイト2クロックする必要はありません。

- 備考1. n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

13.6 DMAコントローラの注意事項

(1) DMAの優先順位

DMA転送中は、他のDMAチャネルの要求が発生しても保留されます。そしてDMA転送終了後に、保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は、DMAチャネル0>DMAチャネル1の優先順位になります。

また、DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され、そのあとに割り込み処理が実行されます。

(2) DMA応答時間

DMA転送における応答時間は、次のようになります。

表13-3 DMA転送における応答時間

	最小時間	最大時間
応答時間	3クロック	10クロック ^注

注 内部RAMからの命令実行の場合は、最大時間が16クロックになります。

注意1. 上記の応答時間には、DMA転送の2クロック分は含まれていません。

2. DMA保留命令（13.6（4）参照）実行の場合は、各条件の最大応答時間に、その条件で保留する命令の実行時間を足した時間となります。
3. 最大応答時間+1クロック以内での同一チャネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

(3) スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は、次のようになります。

表13-4 スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合、DMA転送が壊れることがありますので、STOP命令実行前にDMAを停止してください。

(4) DMA転送の保留命令

DMA要求が発生しても、次の命令直後ではDMA転送は保留されます。

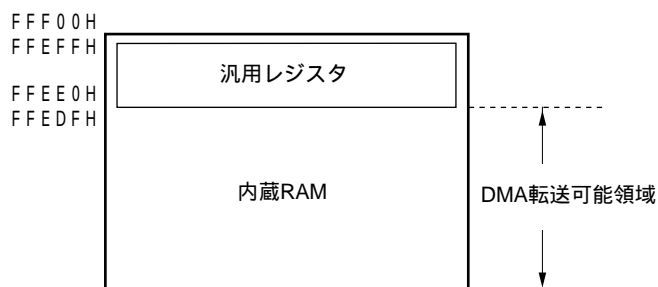
- ・ CALL !addr16
- ・ CALL \$!addr20
- ・ CALL !!addr20
- ・ CALL rp
- ・ CALLT [addr5]
- ・ BRK
- ・ IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR00L, PR00H, PR01L, PR10L, PR10H, PR11L, PSWの各レジスタに対するビット操作命令
- ・ データ・フラッシュにアクセスする命令

(5) 汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDMA RAMアドレス・レジスタn (DRAn) で示すアドレスがインクリメントされていき、汎用レジスタ領域内に入ってしまったり、内蔵RAMの領域を越えてしまった場合、以下に示す動作になります。

- SFRからRAMへの転送モード時
そのアドレスのデータを破壊してしまいます。
- RAMからSFRへの転送モード時
不定のデータがSFRへ転送されます。

いずれの場合も、誤動作やシステム破壊の原因となりますので、アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう、十分ご注意ください。



(6) データ・フラッシュ空間にアクセスする場合の動作

データ・フラッシュ空間にアクセスするとDMA転送が保留されるため、DMA保留命令を追加してください。またDMA転送が起きた1命令後にデータ・フラッシュ空間にアクセスした場合、間の命令に3クロック分のウェイトが入ります

```

命令1
DMA転送
命令2 ← 3クロック分のウェイト発生
MOV A, !DataFlash空間

```

第14章 イベント・リンク・コントローラ (ELC)

14.1 ELCの機能

イベント・リンク・コントローラ (ELC) は、各周辺機能が出力するイベントを周辺機能間で相互に接続 (リンク) します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

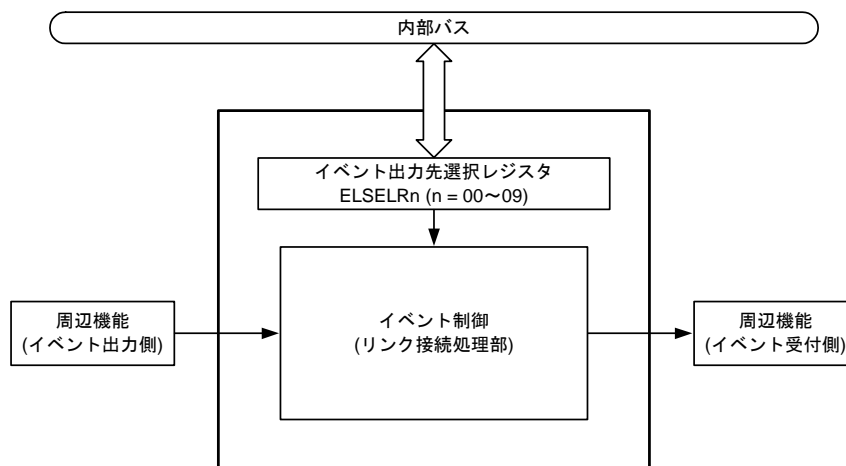
ELCには次の機能があります。

- ・10種類の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- ・3種類の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

14.2 ELCの構成

図14-1にELCのブロック図を示します。

図14-1 ELCのブロック図



14.3 ELCを制御するレジスタ

表14-1にELCを制御するレジスタを示します。

表14-1 ELCを制御するレジスタ

項 目	構 成
制御レジスタ	イベント出力先選択レジスタn (ELSELRn)

備考 n = 00~09

14.3.1 イベント出力先選択レジスタn (ELSELRn) (n = 00~09)

ELSELRnレジスタは各イベント信号を、イベント受付側周辺機能（リンク先周辺機能）の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先（イベント受付側）にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に、ELSELRnレジスタを設定してください。

表14-2にELSELRnレジスタ (n = 00~09) と周辺機能の対応を、表14-3にELSELRnレジスタ (n = 00~09) に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図14-2 イベント出力先選択レジスタn (ELSELRn) のフォーマット

アドレス : F0300H (ELSELR00) ~ F0309H (ELSELR09) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	0	0	ELSELRn1	ELSELRn0

ELSELRn1	ELSELRn0	イベントリンクの選択
0	0	イベントリンク禁止
0	1	リンクする周辺機能の動作を選択 ^注
1	0	リンクする周辺機能の動作を選択 ^注
1	1	リンクする周辺機能の動作を選択 ^注

注 表14-3 ELSELRnレジスタ (n = 00~09) に設定する値とリンク先周辺機能の受付時の動作の対応参照

表14-2 ELSELRnレジスタ (n = 00~09) と周辺機能の対応

レジスタ名	イベント発生元 (イベント入力nの出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1	INTP1
ELSELR02	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04	外部割り込みエッジ検出4	INTP4
ELSELR05	外部割り込みエッジ検出5	INTP5
ELSELR06	TAUチャンネル00カウント完了/キャプチャ完了	INTTM00
ELSELR07	TAUチャンネル01カウント完了/キャプチャ完了	INTTM01
ELSELR08	TAUチャンネル02カウント完了/キャプチャ完了	INTTM02
ELSELR09	TAUチャンネル03カウント完了/キャプチャ完了	INTTM03

表14-3 ELSELRnレジスタ (n = 00~09) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRnレジスタの ELSELR1, ELSELR0ビット	リンク先周辺機能	イベント受付時の動作
0000B	なし	イベントリンク停止
0001B	A/Dコンバータ	A/D変換開始
0010B	DA0	リアルタイム出力
0011B	DA1	リアルタイム出力

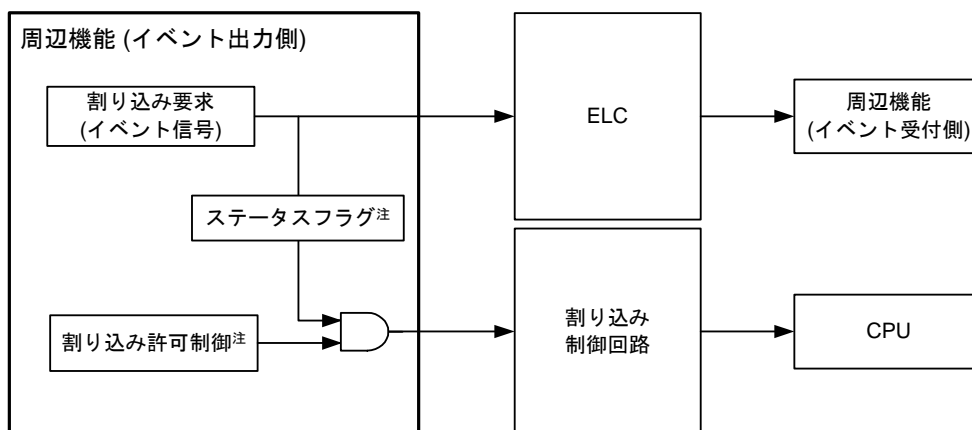
14.4 動作説明

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

図14-3に割り込み処理とELCの関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします (表14-3 ELSELRnレジスタ (n = 00~09) に設定する値とリンク先周辺機能の受付時の動作の対応参照)。

図14-3 割り込み処理とELCの関係



注 周辺機能によっては、搭載していません。

表14-4 イベントを受け付ける周辺機能の応答性

イベント 受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	A/Dコンバータ	A/D変換動作	ELCからのイベントが直接、A/D変換のハードウェア・トリガになります。
2	D/Aコンバータのチャンネル0	リアルタイム出力 (チャンネル0)	ELCからのイベント発生からf _{CLK} の2, 3サイクル後にチャンネル0のD/A変換を開始します。
3	D/Aコンバータのチャンネル1	リアルタイム出力 (チャンネル1)	ELCからのイベント発生からf _{CLK} の2, 3サイクル後にチャンネル1のD/A変換を開始します。

第15章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

15.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR10L, PR10H, PR11L）の設定により、割り込み優先順位を2段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表15-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

外部：6、内部12

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

15.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります（表15-1参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表15-1 割り込み要因一覧 (1/2)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
マスク可能	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバフロー時間の75%+1/2f _{IL})	内部	00004H	(A)
	1	INTLVI	電圧検出 ^{注4}		00006H	
	2	INTP0	端子入力エッジ検出	外部	00008H	(B)
	3	INTP1				
	4	INTP2				
	5	INTP3				
	6	INTP4				
	7	INTP5				
	8	INTAD	A/D変換終了	内部	00014H	(A)
	9	INTIICA0	IICA0通信完了		00016H	
	10	INTFL	予約		00018H	
	11	INTDMA0	DMA0の転送完了		0001AH	
	12	INTDMA1	DMA1の転送完了		0001CH	
	13	INTST0	UART0送信の転送完了, バッファ空き割り込み／CSI00の転送完了, バッファ空き割り込み		0001EH	
	14	INTSR0	UART0受信の転送完了		00020H	
		INTSRE0	UART0受信の通信エラー発生		00022H	
	16	INTTM01H	タイマ・チャンネル01のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)		00028H	
		INTTM03H	タイマ・チャンネル03のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)			
	17	INTIICA1	IICA1通信完了		0002AH	
	18	INTTM00	タイマ・チャンネル00のカウント完了またはキャプチャ完了		0002CH	
	19	INTTM01	タイマ・チャンネル01のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)		0002EH	
20	INTTM02	タイマ・チャンネル02のカウント完了またはキャプチャ完了	00030H			
21	INTTM03	タイマ・チャンネル03のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)	00032H			

- 注 1. デフォルト・プライオリティは、複数のマスク可能割り込みが発生している場合に、優先する順位です。0が最高順位、21が最低順位です。
2. 基本構成タイプの (A) - (C) は、それぞれ図15-1の (A) - (C) に対応しています。
3. オプション・バイト (000C0H) のビット7 (WDTINT) = 1選択時。
4. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 0選択時。

表15-1 割り込み要因一覧 (2/2)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
ソフトウェア	—	BRK	BRK命令の実行	—	0007EH	(C)
リセット	—	RESET	RESET端子入力	—	00000H	—
		POR	パワーオン・リセット			
		LVD	電圧検出 ^{注3}			
		WDT	ウォッチドッグ・タイマのオーバフロー			
		TRAP	不正命令の実行 ^{注4}			
		IAW	不正メモリ・アクセス			
		RPE	RAMパリティ・エラー			

注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位，21が最低順位です。

2. 基本構成タイプの (A) - (C) は、それぞれ図15-1の (A) - (C) に対応しています。

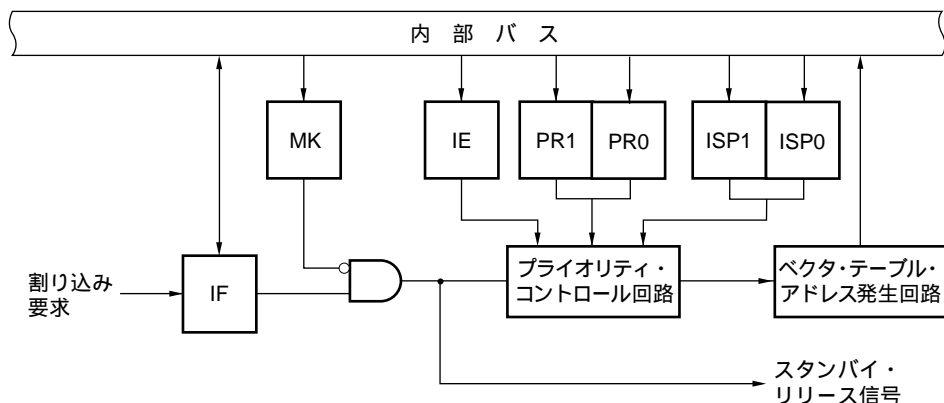
3. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 1選択時。

4. FFHの命令コードを実行したときに発生します。

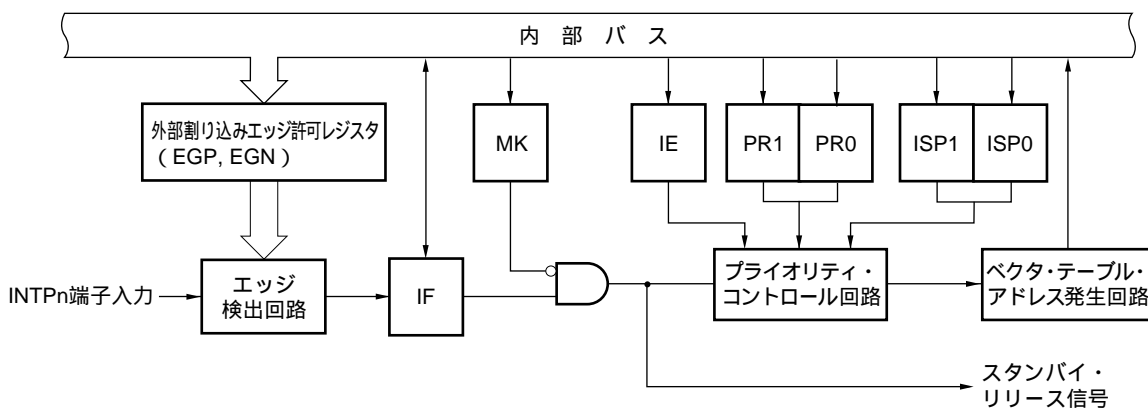
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図15-1 割り込み機能の基本構成

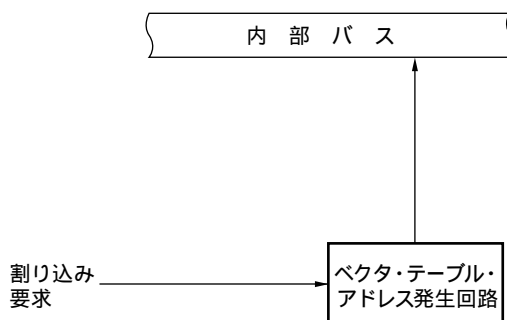
(A) 内部マスカブル割り込み



(B) 外部マスカブル割り込み (INTPn)



(C) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサービス・プライオリティ・フラグ0
- ISP1 : インサービス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 n = 0-5

15.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)
- ・優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR10L, PR10H, PR11L)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表15-2に示します。

表15-2 割り込み要求ソースに対応する各種フラグ

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1	
INTP0	PIF0		PMK0		PPR00, PPR10	
INTP1	PIF1		PMK1		PPR01, PPR11	
INTP2	PIF2		PMK2		PPR02, PPR12	
INTP3	PIF3		PMK3		PPR03, PPR13	
INTP4	PIF4		PMK4		PPR04, PPR14	
INTP5	PIF5		PMK5		PPR05, PPR15	
INTAD	ADIF	IF0H	ADMK	MK0H	ADPR0, ADPR1	PR00H, PR10H
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10	
INTFL	FLIF		FLMK		FLPR0, FLPR1	
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10	
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11	
INTST0 ^{注1}	STIF0 ^{注1}		STMK0 ^{注1}		STPR00, STPR10 ^{注1}	
INTCSI00 ^{注1}	CSIIF00 ^{注1}		CSIMK00 ^{注1}		CSIPR000, CSIPR100 ^{注1}	
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10	
INTSRE0 ^{注2}	SREIF0 ^{注2}		SREMK0 ^{注2}		SREPR00, SREPR10 ^{注2}	
INTTM01H ^{注2}	TMIF01H ^{注2}		TMMK01H ^{注2}		TMPR001H, TMPR101H ^{注2}	
INTTM03H	TMIF03H	IF1L	TMMK03H	MK1L	TMPR003H, TMPR103H	PR01L, PR11L
INTIICA1	IICAIF1		IICAMK1		IICAPR01, IICAPR11	
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100	
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101	
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102	
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103	

- 注1. 割り込み要因INTST0, INTCSI00のうち、どちらかが発生したら、IF0Hレジスタのビット5はセット（1）されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、両方の割り込み要因に対応しています。
2. UART0受信のエラー割り込み、TAU0 のチャンネル1（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART0 受信のエラー割り込みを使用しない(EOC01=0) 場合は、UART0, TAU0 のチャンネル1（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち、どちらかが発生したら、IF0Hレジスタのビット7はセット（1）されます。また、MK0H, PR00H, PR10Hレジスタのビット7は、両方の割り込み要因に対応しています。

15.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタをあわせて16ビット・レジスタIF0として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図15-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット

アドレス : FFFE0H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	SREIF0	SRIF0	STIF0	DMAIF1	DMAIF0	FLIF	IICAIF0	ADIF
	TMIF01H		CSIF00					

アドレス : FFFE2H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAIF1	TMIF03H	0	0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

- 注意1. 搭載していないビットには必ず初期値を設定してください。
2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。
- なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

15.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LレジスタとMK0Hレジスタをあわせて16ビット・レジスタMK0として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図15-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) のフォーマット

アドレス：FFFE4H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	SREMK0	SRMK0	STMK0	DMAMK1	DMAMK0	FLMK	IICAMK0	ADMK
	TMMK01H		CSIMK00					

アドレス：FFFE6H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK1	TMMK03H	1	1

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 搭載していないビットには必ず初期値を設定してください。

15.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR10L, PR10H, PR11L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせ、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR10L, PR10H, PR11Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LレジスタとPR00Hレジスタ、PR10LレジスタとPR10Hレジスタをあわせて16ビット・レジスタPR00, PR10として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図15-4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR10L, PR10H, PR11L）のフォーマット

アドレス：FFFE8H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス：FFFECH リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス：FFFE9H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR00H	SREPR00	SRPR00	STPR00	DMAPR01	DMAPR00	FLPR0	IICAPR00	ADPR0
	TMPR001H		CSIPR000					

アドレス：FF FEDH リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR10H	SREPR10	SRPR10	STPR10	DMAPR11	DMAPR10	FLPR1	IICAPR10	ADPR1
	TMPR101H		CSIPR100					

アドレス：FFFEAH リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR01	TMPR003H	1	1

アドレス：FFFEEH リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR11	TMPR103H	1	1

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意 搭載していないビットには必ず初期値を設定してください。

15.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0-INTP5の有効エッジを設定するレジスタです。

EGP0, EGN0レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0) のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	0	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	0	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-5)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

EGPnビットとEGNnビットに対応するポートを表15-3に示します。

表15-3 EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号
EGP0	EGN0	INTP0
EGP1	EGN1	INTP1
EGP2	EGN2	INTP2
EGP3	EGN3	INTP3
EGP4	EGN4	INTP4
EGP5	EGN5	INTP5

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止 (EGPn, EGNn = 0, 0)にしてからポート・モード・レジスタ (PMxx)を0に設定してください。

- 備考 1. エッジ検出ポートに関しては、2.1 ポート機能一覧を参照してください。
 2. n = 0-5

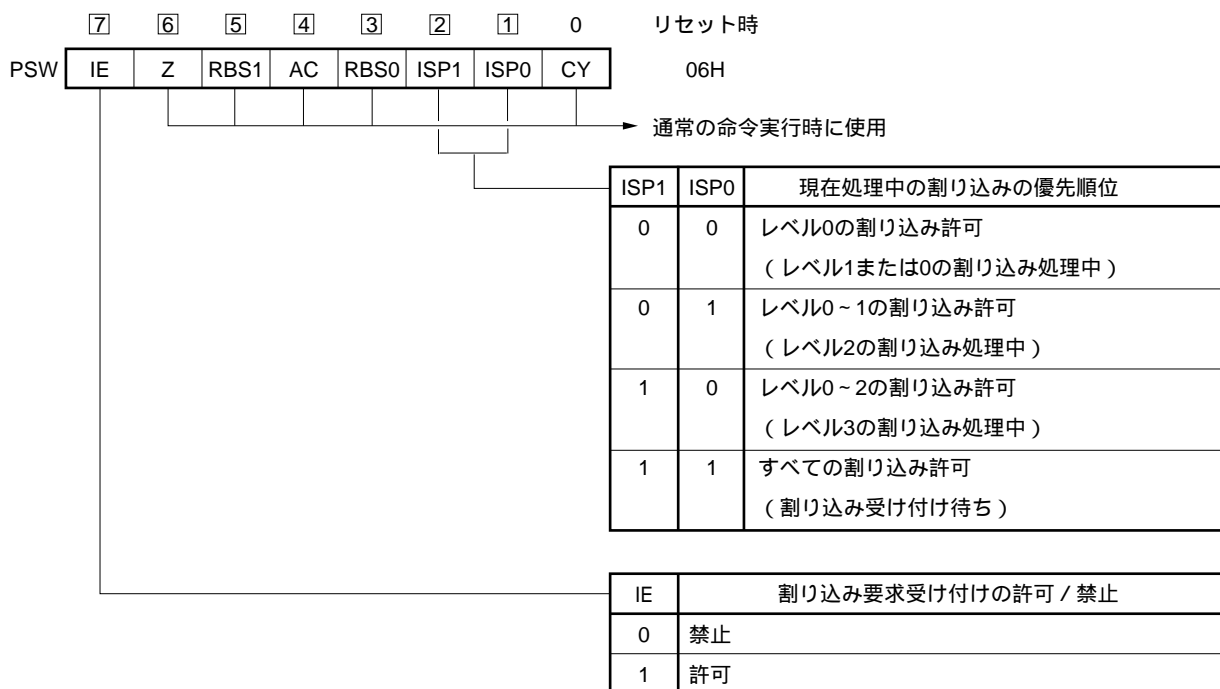
15.3.5 プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容が00 以外は、“-1” された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWIは06Hとなります。

図15-6 プログラム・ステータス・ワードの構成



15.4 割り込み処理動作

15.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット (1) され、その割り込み要求のマスク (MK) フラグがクリア (0) されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態 (IEフラグがセット (1) されているとき) であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表15-4のようになります。

割り込み要求の受け付けタイミングについては、図15-8, 15-9を参照してください。

表15-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	16クロック

注 内部RAM 領域からの命令実行時は除きます。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

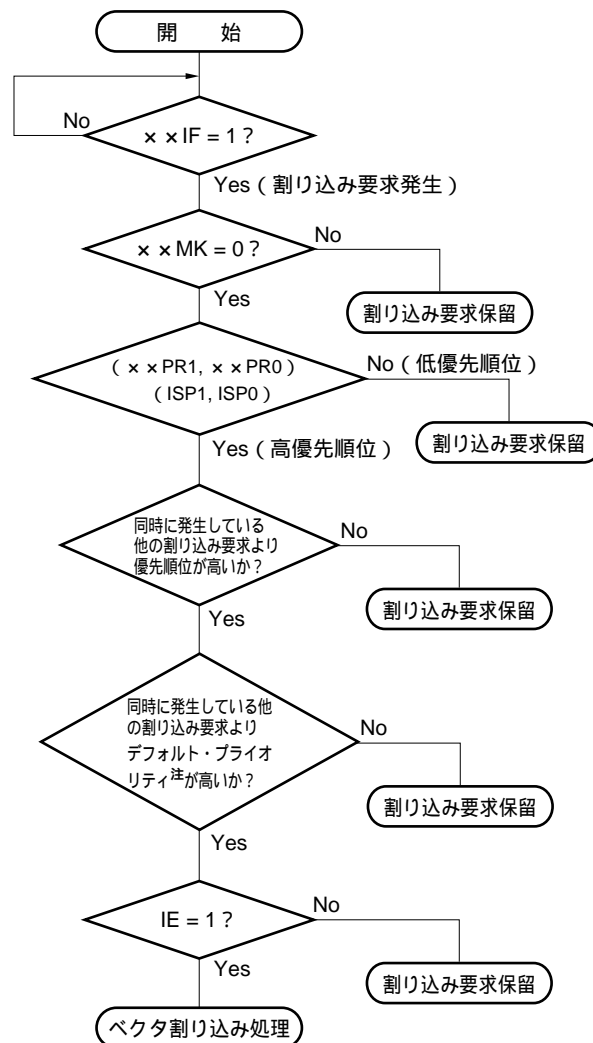
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図15-7に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

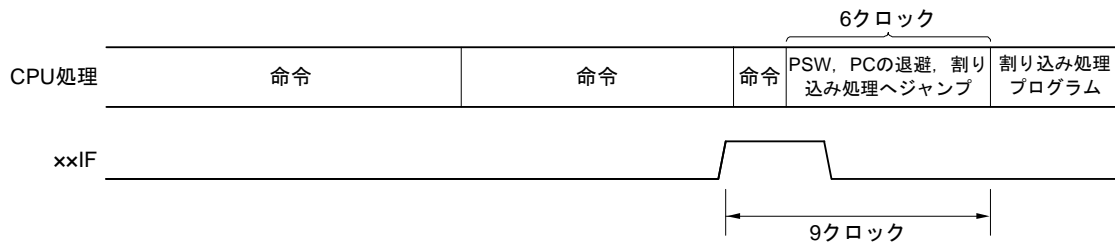
図15-7 割り込み要求受け付け処理アルゴリズム



- ××IF : 割り込み要求フラグ
- ××MK : 割り込みマスク・フラグ
- ××PR0 : 優先順位指定フラグ0
- ××PR1 : 優先順位指定フラグ1
- IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)
- ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図15-6参照)

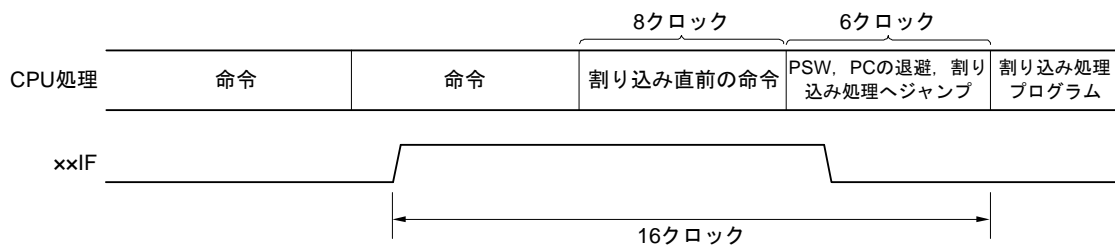
注 デフォルト・プライオリティは、表15-1 割り込み要因一覧を参照してください。

図15-8 割り込み要求の受け付けタイミング（最小時間）



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図15-9 割り込み要求の受け付けタイミング（最大時間）



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

15. 4. 2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

15. 4. 3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表15-5に多重割り込み可能な割り込み要求の関係を、図15-10に多重割り込みの例を示します。

表15-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
	ソフトウェア割り込み	○	×	○	×	○	×	○	×	○

備考1. ○ : 多重割り込み可能。

2. × : 多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち(すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRIはPR00L, PR00H, PR01L, PR10L, PR10H, PR11Lレジスタに含まれるフラグです。

PR = 00 : × × PR1 × = 0, × × PR0 × = 0でレベル0を指定 (高優先順位)

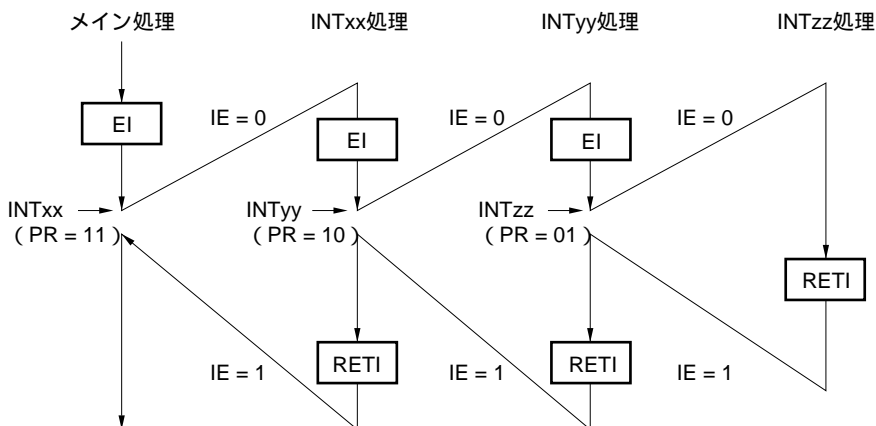
PR = 01 : × × PR1 × = 0, × × PR0 × = 1でレベル1を指定

PR = 10 : × × PR1 × = 1, × × PR0 × = 0でレベル2を指定

PR = 11 : × × PR1 × = 1, × × PR0 × = 1でレベル3を指定 (低優先順位)

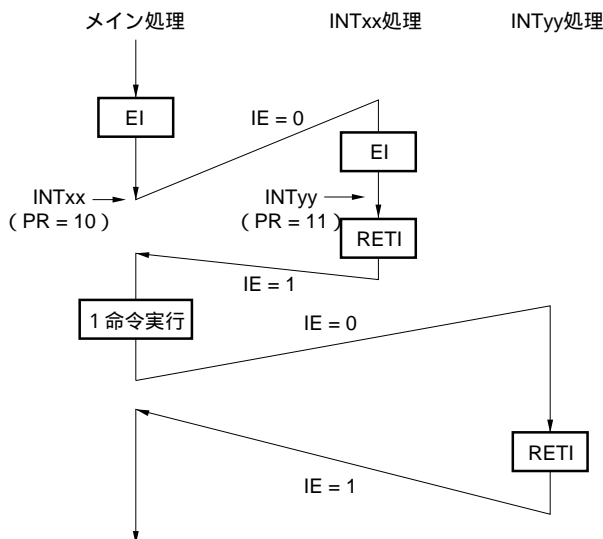
図15-10 多重割り込みの例 (1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例

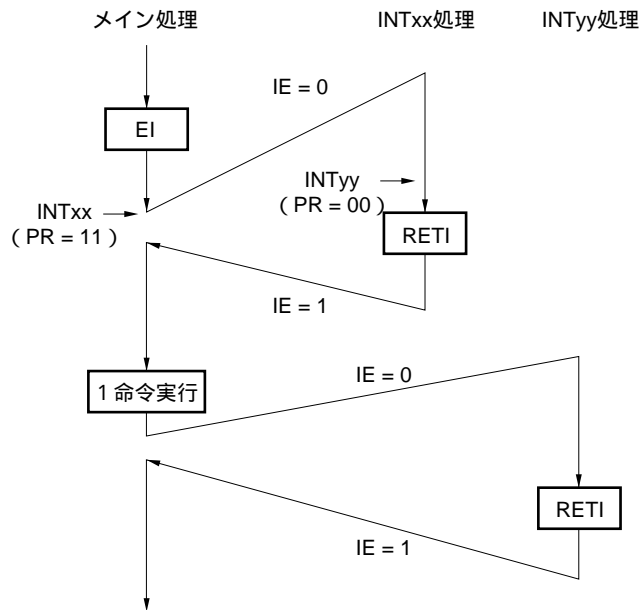


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 00 : $\times \times PR1 \times = 0, \times \times PR0 \times = 0$ でレベル0を指定 (高優先順位)
- PR = 01 : $\times \times PR1 \times = 0, \times \times PR0 \times = 1$ でレベル1を指定
- PR = 10 : $\times \times PR1 \times = 1, \times \times PR0 \times = 0$ でレベル2を指定
- PR = 11 : $\times \times PR1 \times = 1, \times \times PR0 \times = 1$ でレベル3を指定 (低優先順位)
- IE = 0 : 割り込み要求受け付け禁止
- IE = 1 : 割り込み要求受け付け許可

図15-10 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times \times PR1 \times = 0, \times \times PR0 \times = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $\times \times PR1 \times = 0, \times \times PR0 \times = 1$ でレベル1を指定

PR = 10 : $\times \times PR1 \times = 1, \times \times PR0 \times = 0$ でレベル2を指定

PR = 11 : $\times \times PR1 \times = 1, \times \times PR0 \times = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

15.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, #byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ・ IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR00L, PR00H, PR01L, PR10L, PR10H, PR11Lレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図15-11に示します。

図15-11 割り込み要求の保留



- 備考1. 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令

第16章 スタンバイ機能

16.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータが動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSIp, UARTqのデータ受信によるA/D変換要求により、STOPモードを解除し、CPUを動作させることなくCSIp, UARTqのデータ受信、A/D変換を行います。CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください (SNOOZEモード設定ユニットを除く)。
2. CSIp, UARTq, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタm (SSCm)、A/Dコンバータ・モード・レジスタ2 (ADM2) をSTOPモードに移行前に設定してください。詳細は、9.3 A/Dコンバータを制御するレジスタ、11.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。
3. A/Dコンバータ部の消費電力を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) とビット0 (ADCE) を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
4. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかどうかは、オプション・バイトのWDTONで選択できます。詳細は第22章 オプション・バイトを参照してください。

備考 p = 00; q = 0; m = 0

16.2 スタンバイ機能を制御するレジスタ

STOPモード解除時の発振安定時間を制御するレジスタとして、次の2種類があります。

- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 クロックの動作/停止、切り替えを制御するレジスタについては、第5章 クロック発生回路を参照してください。また、SNOOZEモード機能を制御するレジスタは、第9章 A/Dコンバータ、第11章 シリアル・アレイ・ユニットを参照してください。

16.2.1 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。
次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。
リセット信号の発生 (RESET入力, POR, LVD, WDT, 不正命令の実行によるリセット), STOP命令, MSTOPビット (クロック動作ステータス制御レジスタ (CSC) のビット7) = 1により、00Hになります。

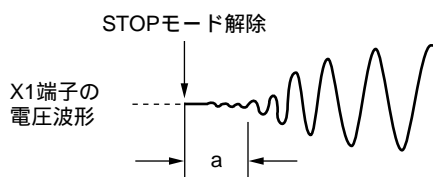
図16-1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	0	0	0	0	0	0	$2^8/f_x$ 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	$2^9/f_x$ 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	$2^9/f_x$ 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	$2^{10}/f_x$ 以上	102 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	204 μs 以上	102 μs 以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	819 μs 以上	409 μs 以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	26.2 ms以上	13.1 ms以上

- 注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていき、そのまま“1”を保持します。
2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。CPUクロックが高速オンチップ・オシレータ・クロック時に、STOPモードに入り、解除するときは、OSTSレジスタの発振安定時間を次のように設定してください。
- ・ 期待するOSTCレジスタの発振安定時間 \leq OSTSレジスタで設定する発振安定時間
- したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないの注意してください。
3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。



備考 f_x : X1クロック発振周波数

16. 2. 2 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSレジスタで設定した時間をウエイトします。

CPUクロックに高速オンチップ・オシレータ・クロックを選択した場合、STOPモード解除後は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図16-2 発振安定時間選択レジスタ (OSTS) のフォーマット

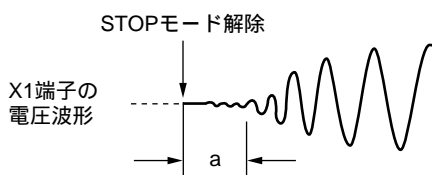
アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	
			$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	25.6 μs
0	0	1	$2^9/f_x$	51.2 μs
0	1	0	$2^{10}/f_x$	102 μs
0	1	1	$2^{11}/f_x$	204 μs
1	0	0	$2^{13}/f_x$	819 μs
1	0	1	$2^{15}/f_x$	3.27 ms
1	1	0	$2^{17}/f_x$	13.1 ms
1	1	1	$2^{18}/f_x$	26.2 ms

注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

- OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウント動作が終了していることを確認してください。
- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
- 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。CPUクロックが高速オンチップ・オシレータ・クロック時に、STOPモードに入り、解除するときは、OSTSレジスタの発振安定時間を次のように設定してください。
・期待するOSTCレジスタの発振安定時間 \leq OSTSレジスタで設定する発振安定時間
したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないの注意してください。
- X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考 f_x : X1クロック発振周波数

16.3 スタンバイ機能の動作

16.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが“0”（割り込み処理許可）でかつ割り込み要求フラグが“1”（割り込み要求信号が発生）の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表16-1 HALTモード時の動作状態

HALTモード の設定 項目		メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速オンチップ・オシレータ・ クロック (f _{IH}) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロッ ク (f _{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f _{IH}	動作継続 (停止不可)	動作禁止	
	f _X	動作禁止	動作継続 (停止不可)	動作不可
	f _{EX}		動作不可	動作継続 (停止不可)
f _{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON) およびビット4 (WDTON) にて設定		
CPU		動作停止		
コード・フラッシュ・メモリ		動作停止		
データ・フラッシュ・メモリ				
RAM				
ポート (ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット		動作可能		
ウォッチドッグ・タイマ		第8章 ウォッチドッグ・タイマ参照		
クロック出力/ブザー出力		動作可能		
A/Dコンバータ				
D/Aコンバータ				
シリアル・アレイ・ユニッ ト (SAU)				
シリアル・インタフェース (IICA)				
DMAコントローラ				
イベント・リンク・コント ローラ (ELC)		動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能		動作可能		
電圧検出機能				
外部割り込み				
CRC演算 機能	高速CRC			
	汎用CRC	RAM領域の演算で、DMA実行時は動作可能		
RAM/パリティ・エラー検出 機能		DMA実行時は動作可能		
RAMガード機能				
SFRガード機能				
不正メモリ・アクセス検出機能				

備考 動作停止 : HALTモード移行時に自動的に動作停止 f_X : X1クロック
 動作禁止 : HALTモード移行前に動作を停止させる f_{EX} : 外部メイン・システム・クロック
 f_{IH} : 高速オンチップ・オシレータ・クロック f_{IL} : 低速オンチップ・オシレータ・クロック

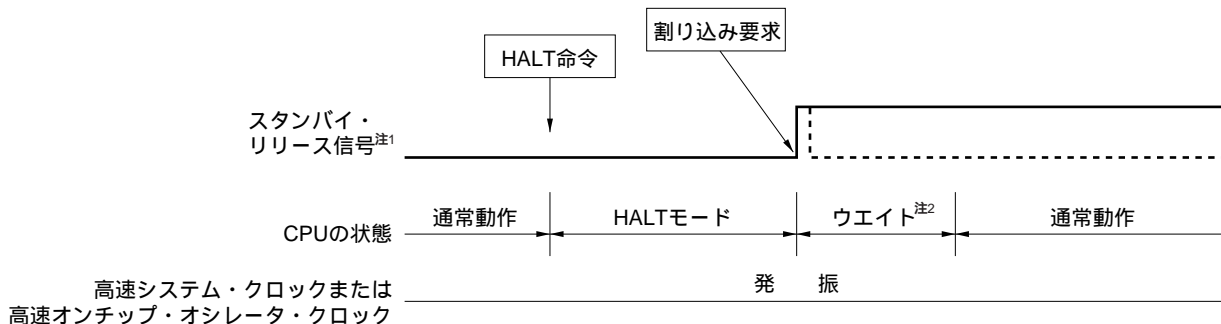
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図16-3 HALTモードの割り込み要求発生による解除



注 1. スタンバイ・リリース信号に関する詳細は、図15-1を参照してください。

2. HALTモード解除のウェイト時間

- ・ベクタ割り込み処理を行う場合
メイン・システム・クロック時 : 15~16クロック
- ・ベクタ割り込み処理を行わない場合
メイン・システム・クロック時 : 9~10クロック

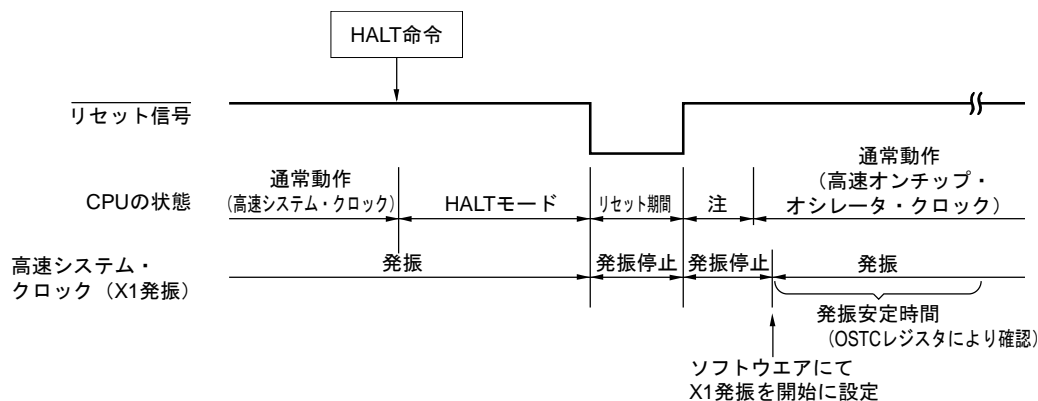
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

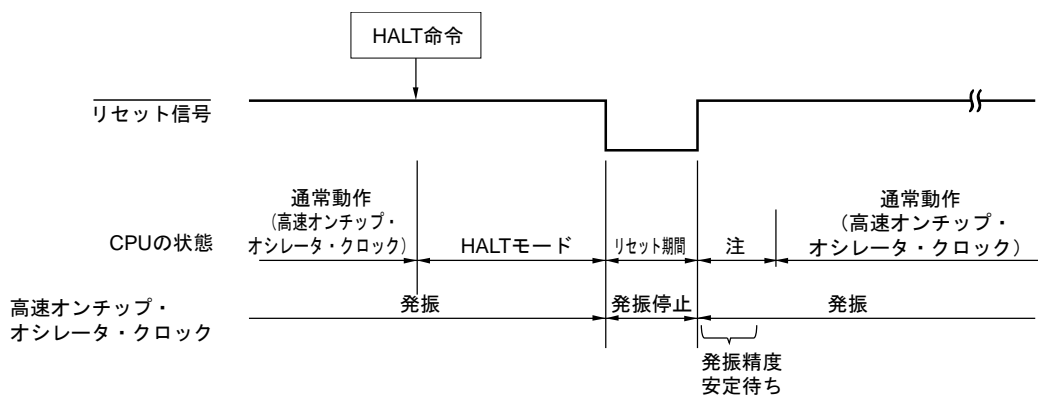
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図16-4 HALTモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注 リセット処理時間は、第17章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD) 回路のリセット処理時間は、第18章 パワーオン・リセット回路を参照してください。

16.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意1. 割り込みマスク・フラグが“0” (割り込み処理許可)かつ割り込み要求フラグが“1” (割り込み要求信号が発生) の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってただちに解除されます。

したがって、STOP命令を実行後、STOPモード解除時間を経過したあと動作モードに戻りません。ただし、クロックは停止しないため、この期間の動作電流はHALTモード時の動作電流値と同じになります。

2. CSIp, UARTq, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタm (SSCm), A/Dコンバータ・モード・レジスタ2 (ADM2) をSTOPモードに移行前に設定してください。詳細は、9.3 A/Dコンバータを制御するレジスタ, 11.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

備考 p = 00; q = 0; m = 0

次にSTOPモード時の動作状態を示します。

表16-2 STOPモード時の動作状態

STOPモード の設定 項目	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
	高速オンチップ・オシレータ・ クロック (f _{IH}) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロッ ク (f _{EX}) でCPU動作時
システム・クロック	CPUへのクロック供給は停止		
メイン・システ ム・クロック	f _{IH}	停止	
	f _X		
	f _{EX}		
f _{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) およびビット4 (WDTON) にて設定		
CPU	動作停止		
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ	動作停止		
RAM	動作停止		
ポート (ラッチ)	STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット	動作禁止		
ウォッチドッグ・タイマ	第8章 ウォッチドッグ・タイマ参照		
クロック出力/ブザー出力	動作停止		
A/Dコンバータ	ウエイク・アップ動作可能 (SNOOZEモードへ移行)		
D/Aコンバータ	動作可能 (STOPモード設定前の状態を保持)		
シリアル・アレイ・ ユニット (SAU)	CSIp, UARTqのみウエイク・アップ動作可能 (SNOOZEモードへ移行) CSIp, UARTq以外は動作禁止		
シリアル・インタフェース (IICA)	アドレス一致によるウエイク・アップ動作可能		
DMAコントローラ	動作禁止		
イベント・リンク・コント ローラ (ELC)	動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能	動作可能		
電圧検出機能			
外部割り込み			
CRC演算 機能	高速CRC	動作停止	
	汎用CRC		
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			
不正メモリ・アクセス検出機能			

(備考は次ページにあります。)

- 注意1. STOP モード中に動作停止する周辺ハードウェア, および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は, 周辺ハードウェアをリスタートしてください。
2. STOPモード中に低速オンチップ・オシレータ・クロックを停止したい場合は, あらかじめオプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定 (000C0Hのビット0 (WDSTBYON) = 0) しておく必要があります。
3. 高速システム・クロック (X1発振) でCPU動作していて, STOPモード解除後の発振安定時間を短縮したい場合は, STOP命令実行前に, CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。STOPモード解除後, CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロック (X1発振) に切り替える場合は, 発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間を確認してから, 行ってください。

備考1. 動作停止：STOPモード移行時に自動的に動作停止

動作禁止：STOPモード移行前に動作を停止させる

f_H : 高速オンチップ・オシレータ・クロック

f_L : 低速オンチップ・オシレータ・クロック

f_X : X1クロック

f_{EX} : 外部メイン・システム・クロック

2. p = 00; q = 0

(2) STOPモードの解除

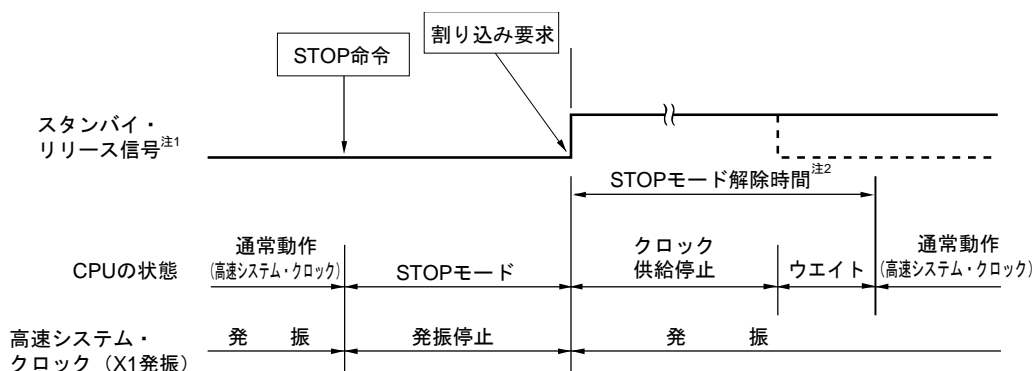
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図16-5 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック (X1発振) の場合



注1. スタンバイ・リリース信号に関する詳細は、図15-1を参照してください。

2. STOPモード解除時間

クロック供給停止：

- ・ 18 μs～ “65 μsまたは発振安定時間 (OSTSで設定) の長い方”

ウエイト

- ・ ベクタ割り込み処理を行う場合 : 10~11クロック
- ・ ベクタ割り込み処理を行わない場合 : 4~5クロック

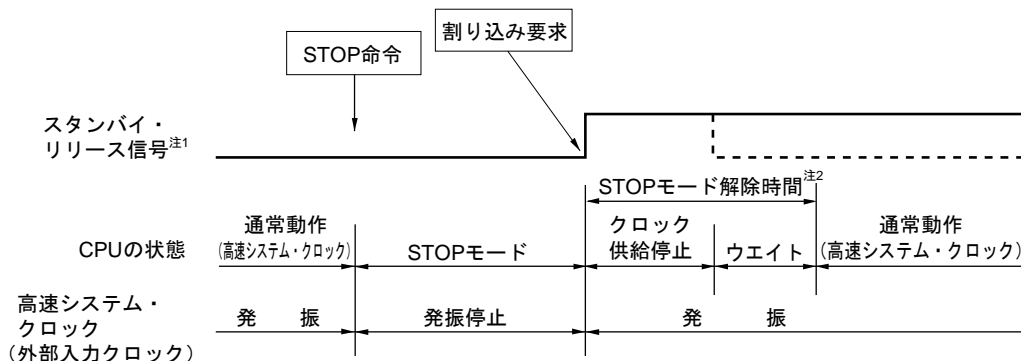
注意 高速システム・クロック(X1発振)でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

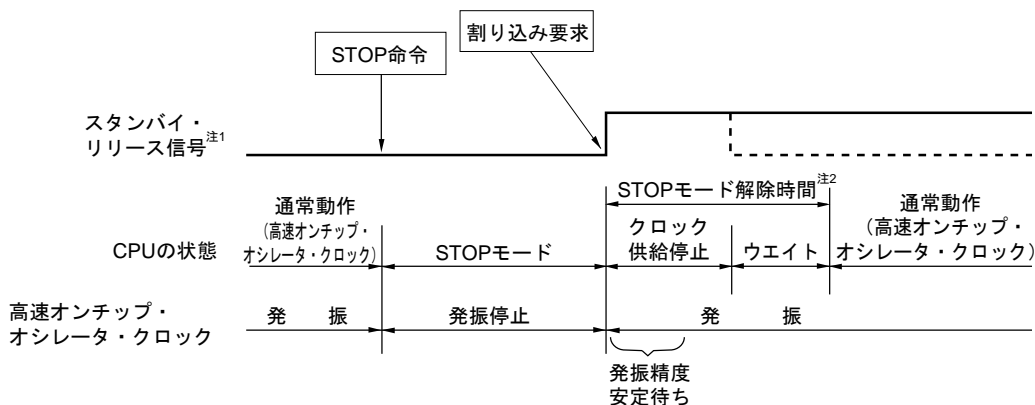
2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図16-5 STOPモードの割り込み要求発生による解除 (2/2)

(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



(3) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注 1. スタンバイ・リリース信号に関する詳細は、図15-1を参照してください。

2. STOPモード解除時間

クロック供給停止 :

- ・ 18 μ s ~ 65 μ s

ウェイト

- ・ ベクタ割り込み処理を行う場合 : 7クロック
- ・ ベクタ割り込み処理を行わない場合 : 1クロック

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

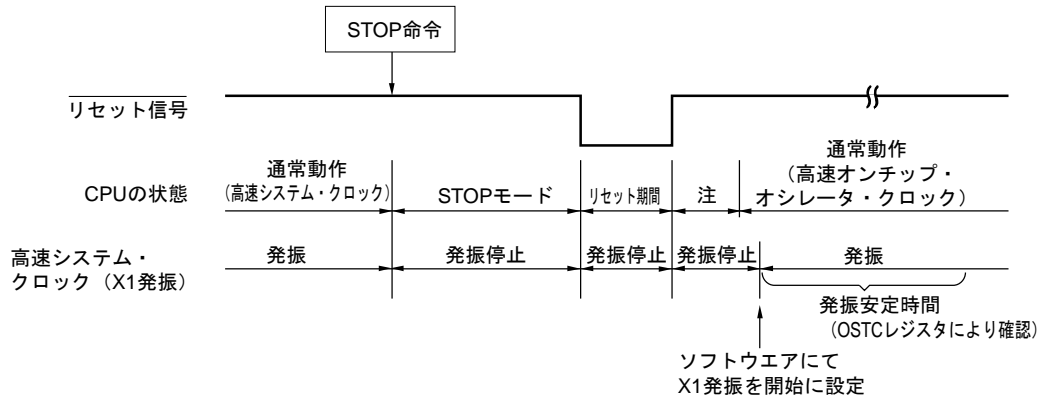
2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

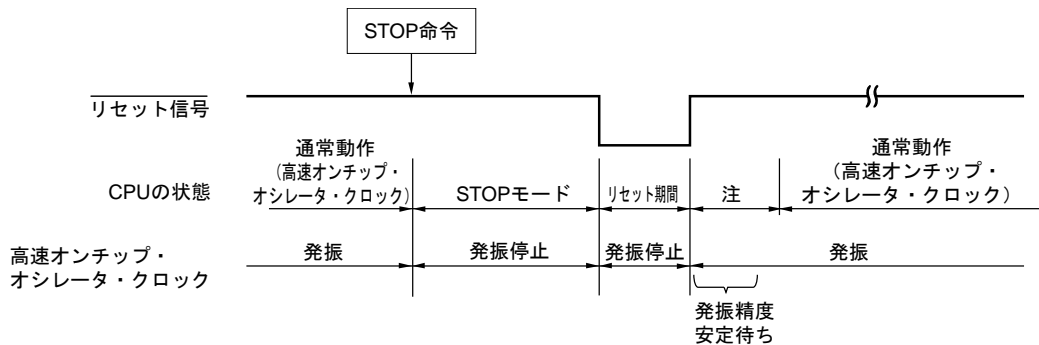
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図16-6 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注 リセット処理時間は、第17章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD) 回路のリセット処理時間は、第18章 パワーオン・リセット回路を参照してください。

16.3.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

CSIp, UARTqまたは, A/Dコンバータのみ設定可能です。また, 設定前のCPUクロックが, 高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSIp, UARTqをSNOOZEモードで使用する場合は, STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットを1に設定してください。詳細は, 11.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/DコンバータをSNOOZEモードで使用する場合は, STOPモードに移行する直前にA/Dコンバータ・モード・レジスタ2 (ADM2) のAWCビットを1に設定してください。詳細は, 9.3 A/Dコンバータを制御するレジスタを参照してください。

備考 p = 00; q = 0; m = 0

SNOOZEモードの移行では, 次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間 : $18\mu\text{s} \sim 65\mu\text{s}$

備考 STOPモード→SNOOZEモードの遷移時間は, 温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間 :

・ベクタ割り込み処理を行う場合

HS (高速メイン) モード : $"4.99 \sim 9.44 \mu\text{s}" + 7\text{クロック}$

LS (低速メイン) モード : $"1.10 \sim 5.08 \mu\text{s}" + 7\text{クロック}$

・ベクタ割り込み処理を行わない場合

HS (高速メイン) モード : $"4.99 \sim 9.44 \mu\text{s}" + 1\text{クロック}$

LS (低速メイン) モード : $"1.10 \sim 5.08 \mu\text{s}" + 1\text{クロック}$

次にSNOOZEモード時の動作状態を示します。

表16-3 SNOOZEモード時の動作状態

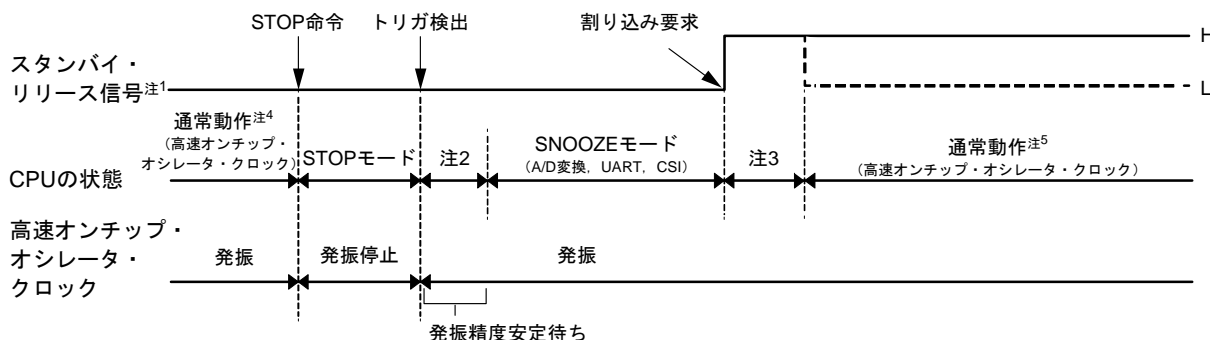
SNOOZEモードの設定		STOPモード中にCSIp, UARTqのデータ受信信号およびA/Dコンバータのタイマ・トリガ信号入力時
項目		高速オンチップ・オシレータ・クロック (f _H) でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _H	動作開始
	f _X	停止
	f _{EX}	
f _L		オプション・バイト (000C0H) のビット0 (WDSTBYON) およびビット4 (WDTON) にて設定
CPU		動作停止
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート (ラッチ)		STOPモード中の状態を継続
タイマ・アレイ・ユニット		動作禁止
ウォッチドッグ・タイマ		第8章 ウォッチドッグ・タイマ参照
クロック出力/ブザー出力		動作停止
A/Dコンバータ		動作可能
D/Aコンバータ		動作可能 (SNOOZEモード遷移前の状態を保持)
シリアル・アレイ・ユニット (SAU)		CSIp, UARTqのみ動作可能。CSIp, UARTq以外は動作禁止。
シリアル・インタフェース (IICA)		動作禁止
DMAコントローラ		
イベント・リンク・コントローラ (ELC)		動作可能な機能ブロック間のリンクが可能
パワーオン・リセット機能		動作可能
電圧検出機能		
外部割り込み		
CRC演算機能		動作停止
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		

備考1. 動作停止 : SNOOZEモード移行時に自動的に動作停止 f_X : X1クロック
 動作禁止 : SNOOZEモード移行前に動作を停止させる f_{EX} : 外部メイン・システム・クロック
 f_H : 高速オンチップ・オシレータ・クロック f_L : 低速オンチップ・オシレータ・クロック

2. p = 00; q = 0

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

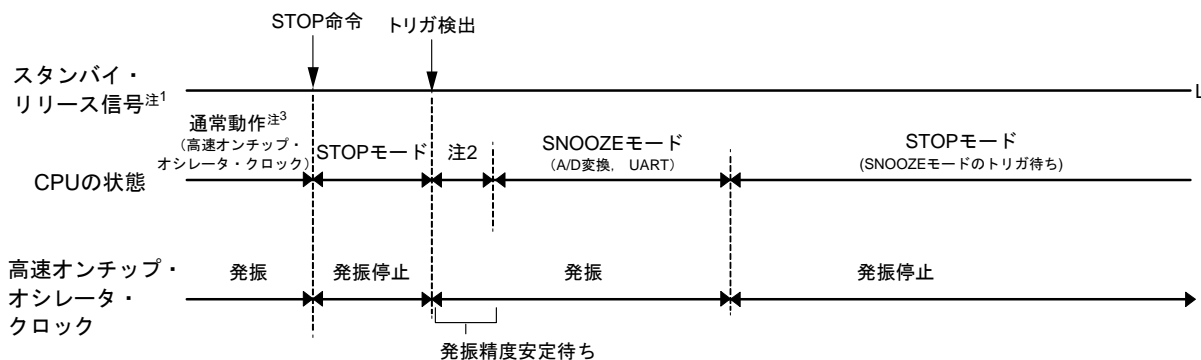
図16-7 SNOOZEモードの割り込み要求が発生する場合



- 注 1. スタンバイ・リリース信号についての詳細は、図15-1を参照してください。
- 2. STOPモード→SNOOZEモードの遷移時間
- 3. SNOOZEモード→通常動作の遷移時間
- 4. STOPモードへ移行する直前に、SNOOZEモード許可 (AWC=1/SWC=1) に設定してください。
- 5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除 (AWC=0/SWC=0) に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図16-8 SNOOZEモードの割り込み要求が発生しない場合



- 注 1. スタンバイ・リリース信号についての詳細は、図15-1を参照してください。
- 2. STOPモード→SNOOZEモードの遷移時間
- 3. STOPモードへ移行する直前に、SNOOZEモード許可 (AWC=1/SWC=1) に設定してください。

備考 SNOOZEモード機能の詳細は、第9章 A/Dコンバータ、第11章 シリアル・アレイ・ユニットを参照してください。

第17章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット (POR) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路 (LVD) の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット^注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H, 00001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行^注、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表17-1に示すような状態になります。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。ウォッチドッグ・タイマのオーバフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します (図17-2, 図17-3参照)。POR回路、LVD回路の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVD}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します (第18章 パワーオン・リセット回路と第19章 電圧検出回路参照)。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。

電源立ち上げ時に外部リセットを行う場合は、動作電圧範囲内の期間に10 μ s以上ロウ・レベルを継続する必要があります。動作電圧範囲は、ユーザ・オプション・バイト(000C2H)の設定で決まります。動作電圧範囲は以下の通りです。

HS (高速メイン)モード : $V_{DD} = 2.7 \sim 3.6 \text{ V} @ 1 \text{ MHz} \sim 24 \text{ MHz}$

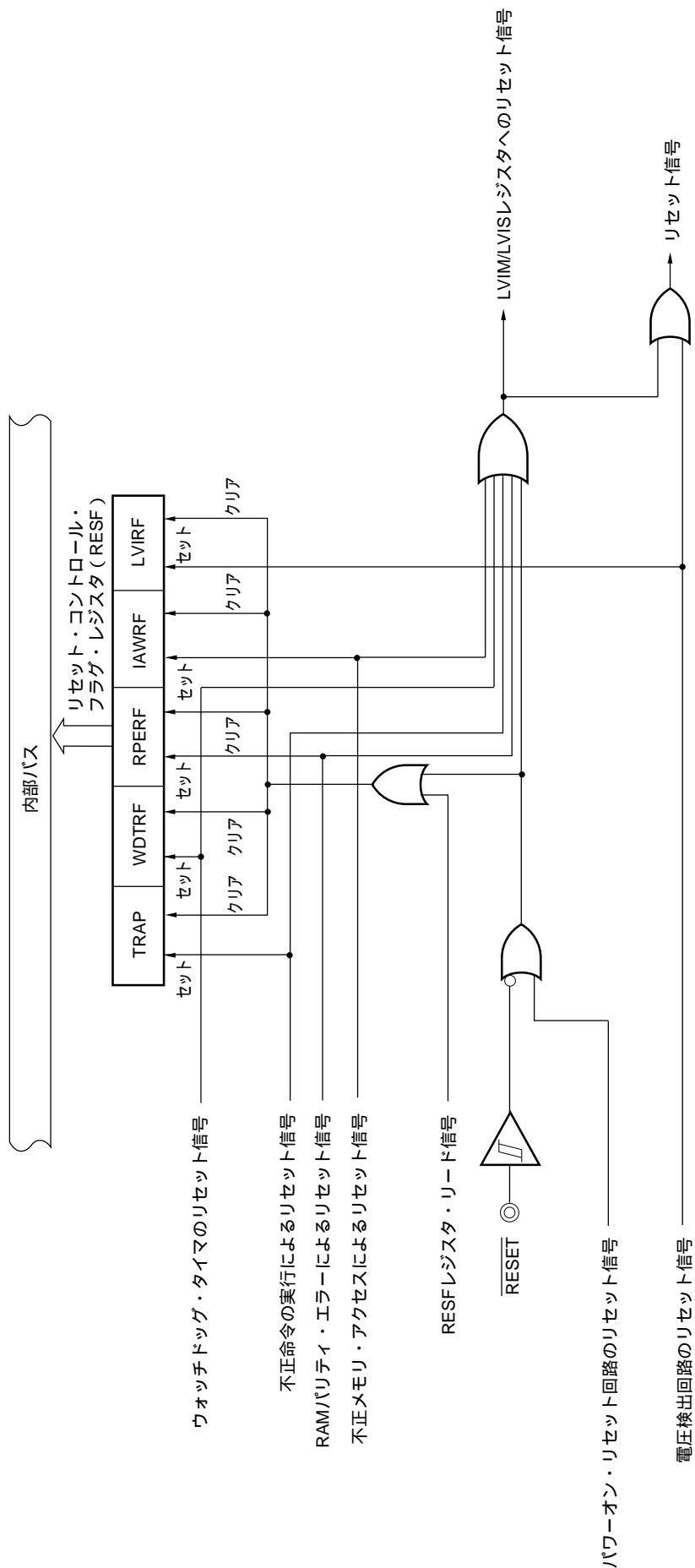
LS (低速メイン)モード : $V_{DD} = 2.7 \sim 3.6 \text{ V} @ 1 \text{ MHz} \sim 8 \text{ MHz}$

2. リセット信号発生中では、X1クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。
 - P40 : 外部リセットかPOR によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)
 - P40以外のポート : リセット期間中およびリセット受け付け後はハイ・インピーダンス

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{LVD} : LVD検出電圧

図17-1 リセット機能のブロック図



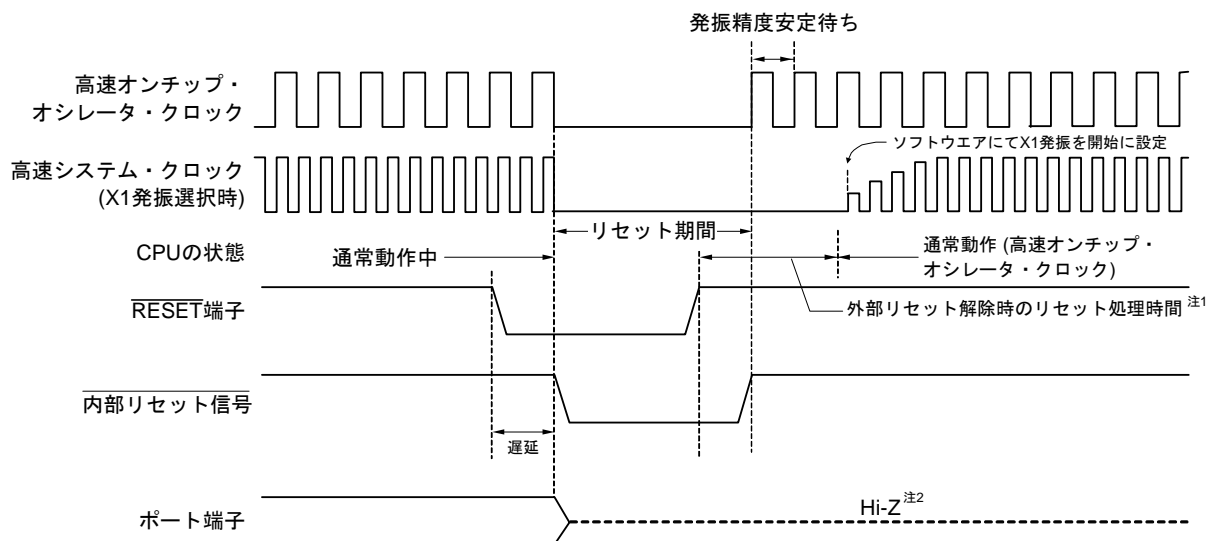
注意 LVLD回路の内部リセットの場合、LVD回路はリセットされません。

- 備考 1. LVIM : 電圧検出レジスタ
- 2. LVIS : 電圧検出レベル・レジスタ

17.1 リセット動作のタイミング

RESET端子にロウ・レベルが入力されて、リセットがかかり、RESET端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

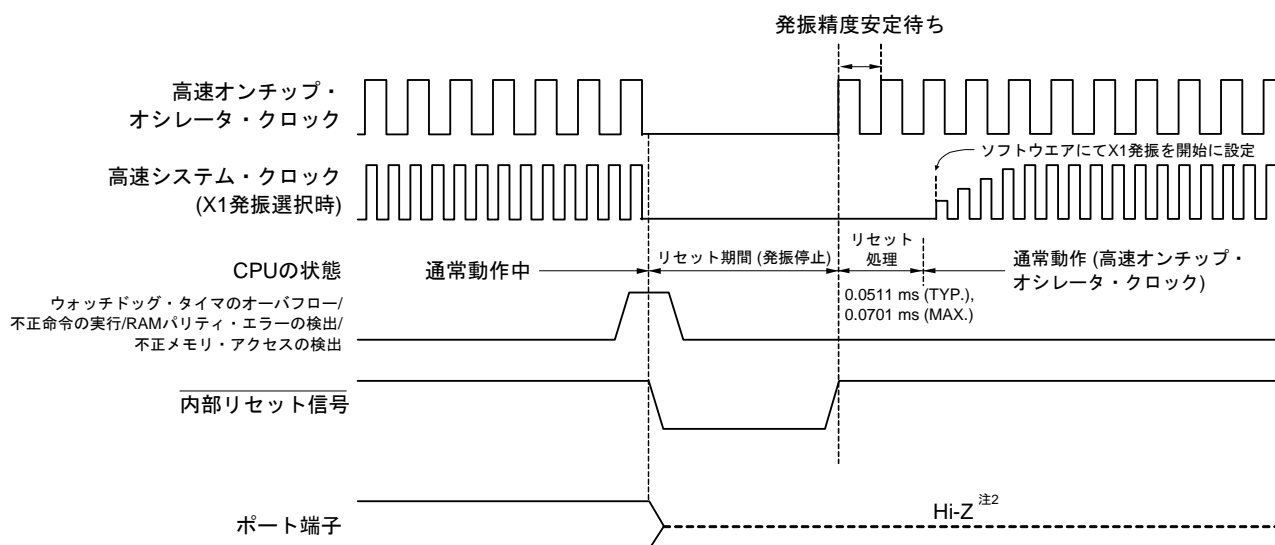
図17-2 RESET入力によるリセット・タイミング



(注、備考は次ページにあります。)

ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図17-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



(注、備考は次ページにあります。)

注1. 外部リセット解除時のリセット時間：

POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)

0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)

0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.)がかかります。

2. ポート端子P40は次の状態になります。

- 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)になります。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

備考 パワーオン・リセット回路と電圧検出回路のリセット・タイミングは、第18章 パワーオン・リセット回路と第19章 電圧検出回路を参照してください。

表17-1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _H	動作停止
	f _X	動作停止 (X1, X2端子は入力ポート・モード)
	f _{EX}	クロックの入力無効 (端子は入力ポート・モード)
	f _L	動作停止
CPU		
コード・フラッシュ・メモリ	動作停止	
データ・フラッシュ・メモリ	動作停止	
RAM	動作停止	
ポート (ラッチ)	P40はハイ・インピーダンス (外部リセット, PORリセット), プルアップ (外部リセット, PORリセット以外のリセット)。 P40以外は, ハイ・インピーダンス。	
タイマ・アレイ・ユニット	動作停止	
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
A/Dコンバータ		
D/Aコンバータ		
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IICA)		
DMAコントローラ		
イベント・リンク・コントローラ (ELC)		
PWM・オプション・ユニット		
パワーオン・リセット機能		検出動作可能
電圧検出機能		LVDリセット時は動作可能。それ以外のリセット時は動作停止。
外部割り込み		動作停止
CRC演算機能	高速CRC	
	汎用CRC	
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		

備考 f_H : 高速オンチップ・オシレータ・クロック
f_X : X1発振クロック
f_{EX} : 外部メイン・システム・クロック
f_L : 低速オンチップ・オシレータ・クロック

表17-2 各ハードウェアのリセット受け付け後の状態 (1/3)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (00000H, 00001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定
プロセッサ・モード・コントロール・レジスタ (PMC)		00H
ポート・レジスタ (P1-P4, P6, P12, P13) (出カラッチ)		00H
ポート・モード・レジスタ (PM1-PM4, PM6)		FFH
ポート・モード・コントロール・レジスタ1 (PMC1)		FFH
プルアップ抵抗オプション・レジスタ (PU1, PU3, PU4)		00H (PU4は01H)
クロック動作モード制御レジスタ (CMC)		00H
クロック動作ステータス制御レジスタ (CSC)		C0H
システム・クロック制御レジスタ (CKC)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		07H
ノイズ・フィルタ許可レジスタ0, 1 (NFEN0, NFEN1)		00H
周辺イネーブル・レジスタ0 (PER0)		00H
周辺イネーブル・レジスタ1 (PER1)		00H
高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)		不定
高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)		不定 ^{注2}
タイマ・アレイ・ユニット	タイマ・データ・レジスタ00-03 (TDR00-TDR03)	0000H
	タイマ・モード・レジスタ00-03 (TMR00-TMR03)	0000H
	タイマ・ステータス・レジスタ00-03 (TSR00-TSR03)	0000H
	タイマ入力選択レジスタ0 (TIS0)	00H
	タイマ・カウンタ・レジスタ00-03 (TCR00-TCR03)	FFFFH
	タイマ・チャンネル許可ステータス・レジスタ0 (TE0)	0000H
	タイマ・チャンネル開始レジスタ0 (TS0)	0000H
	タイマ・チャンネル停止レジスタ0 (TT0)	0000H
	タイマ・クロック選択レジスタ0 (TPS0)	0000H
	タイマ出力レジスタ0 (TO0)	0000H
	タイマ出力許可レジスタ0 (TOE0)	0000H
	タイマ出力レベル・レジスタ0 (TOL0)	0000H
	タイマ出力モード・レジスタ0 (TOM0)	0000H

注 1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット値は出荷時に調整した値です。

表17-2 各ハードウェアのリセット受け付け後の状態 (2/3)

	ハードウェア	リセット受け付け後の状態 ^{注1}
クロック出力／ブザー出力制御回路	クロック出力選択レジスタ0, 1 (CKS0, CKS1)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注2}
A/Dコンバータ	12ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	モード・レジスタ0-2 (ADM0-ADM2)	00H
	変換結果比較上限値設定レジスタ (ADUL)	FFH
	変換結果比較下限値設定レジスタ (ADLL)	00H
	A/Dテスト・レジスタ (ADTES)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	00H
D/Aコンバータ	D/A変換値設定レジスタ0, 1 (DACS0, DACS1)	00H
	D/Aコンバータ・モード・レジスタ (DAM)	00H
シリアル・アレイ・ユニット (SAU)	シリアル・データ・レジスタ00, 01 (SDR00, SDR01)	0000H
	シリアル・ステータス・レジスタ00, 01 (SSR00, SSR01)	0000H
	シリアル・フラグ・クリア・トリガ・レジスタ00, 01 (SIR00, SIR01)	0000H
	シリアル・モード・レジスタ00, 01 (SMR00, SMR01)	0020H
	シリアル通信動作設定レジスタ00, 01 (SCR00, SCR01)	0087H
	シリアル・チャネル許可ステータス・レジスタ0 (SE0)	0000H
	シリアル・チャネル開始レジスタ0 (SS0)	0000H
	シリアル・チャネル停止レジスタ0 (ST0)	0000H
	シリアル・クロック選択レジスタ0 (SPS0)	0000H
	シリアル出力レジスタ0 (SO0)	0303H
	シリアル出力許可レジスタ0 (SOE0)	0000H
	シリアル出力レベル・レジスタ0 (SOLO)	0000H
	シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)	0000H
	入力切り替え制御レジスタ (ISC)	00H
シリアル・インタフェース IICA	IICAシフト・レジスタ0, 1 (IICA0, IICA1)	00H
	IICAステータス・レジスタ0, 1 (IICS0, IICS1)	00H
	IICAフラグ・レジスタ0, 1 (IICF0, IICF1)	00H
	IICAコントロール・レジスタ00, 10 (IICCTL00, IICCTL10)	00H
	IICAコントロール・レジスタ01, 11 (IICCTL01, IICCTL11)	00H
	IICAロウ・レベル幅設定レジスタ0, 1 (IICWL0, IICWL1)	FFH
	IICAハイ・レベル幅設定レジスタ0, 1 (IICWH0, IICWH1)	FFH
	スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

表17-2 各ハードウェアのリセット受け付け後の状態 (3/3)

ハードウェア		リセット受け付け後の状態 ^{注1}
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	不定 ^{注2}
電圧検出回路 (LVD)	電圧検出レジスタ (LVIM)	00H ^{注2}
	電圧検出レベル・レジスタ (LVIS)	00H/01H/81H ^{注2, 3}
DMAコントローラ	SFRアドレス・レジスタ0, 1 (DSA0, DSA1)	00H
	RAMアドレス・レジスタ0, 1 (DRA0, DRA1)	0000H
	バイト・カウンタ・レジスタ0, 1 (DBC0, DBC1)	0000H
	モード・コントロール・レジスタ0, 1 (DMC0, DMC1)	00H
	動作コントロール・レジスタ0, 1 (DRC0, DRC1)	00H
ELC	イベント出力選択レジスタ00-25 (ELSELR00-ELSELR09)	00H
割り込み	要求フラグ・レジスタ0L, 0H, 1L (IF0L, IF0H, IF1L)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L (MK0L, MK0H, MK1L)	FFH
	優先順位指定フラグ・レジスタ00L, 00H, 01L, 10L, 10H, 11L (PR00L, PR00H, PR01L, PR10L, PR10H, PR11L)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ0 (EGP0)	00H
	外部割り込み立ち下がりエッジ許可レジスタ0 (EGN0)	00H
安全機能	フラッシュ・メモリCRC制御レジスタ (CRC0CTL)	00H
	フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	0000H
	CRC入力レジスタ (CRCIN)	00H
	CRCデータ・レジスタ (CRCD)	0000H
	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	00H
	RAMパリティ・エラー制御レジスタ (RPECTL)	00H
フラッシュ・メモリ	データ・フラッシュ・コントロール・レジスタ (DFLCTL)	00H
10進補正 (BCD) 回路	BCD補正結果レジスタ (BCDADJ)	不定

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように異なります。

リセット要因		RESET入力	PORによるリセット	不正命令の実行によるリセット	WDTIによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDIによるリセット
レジスタ	RESF	クリア (0)		セツト (1)	保持			保持
	TRAP			保持	セツト (1)	保持		
	WDTRF			保持	セツト (1)	保持		
	RPERF			保持	セツト (1)	保持		
	IAWRF			保持	セツト (1)	保持		
LVIRF	保持				セツト (1)			
LVIM	LVISEN	クリア (0)						保持
	LVIOMSK	保持						
	LVIF							
LVIS		クリア(00H/01H/81H)						

3. LVD以外のリセット時は、次のようになります。

- ・ オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- ・ オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- ・ オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

17.2 リセット要因を確認するレジスタ

17.2.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78/G1Pは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

RESET入力、パワーオン・リセット (POR) 回路によるリセットおよびRESFレジスタのデータを読み出すことにより、TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図17-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 00^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求 ^{注2}
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出 (LVD) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。表17-3を参照してください。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

2. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

リセット発生により、RAM パリティ・エラー・リセット発生許可(RPERDIS = 0) となります。詳細は、20.5 RAMパリティ・エラー検出機能を参照してください。

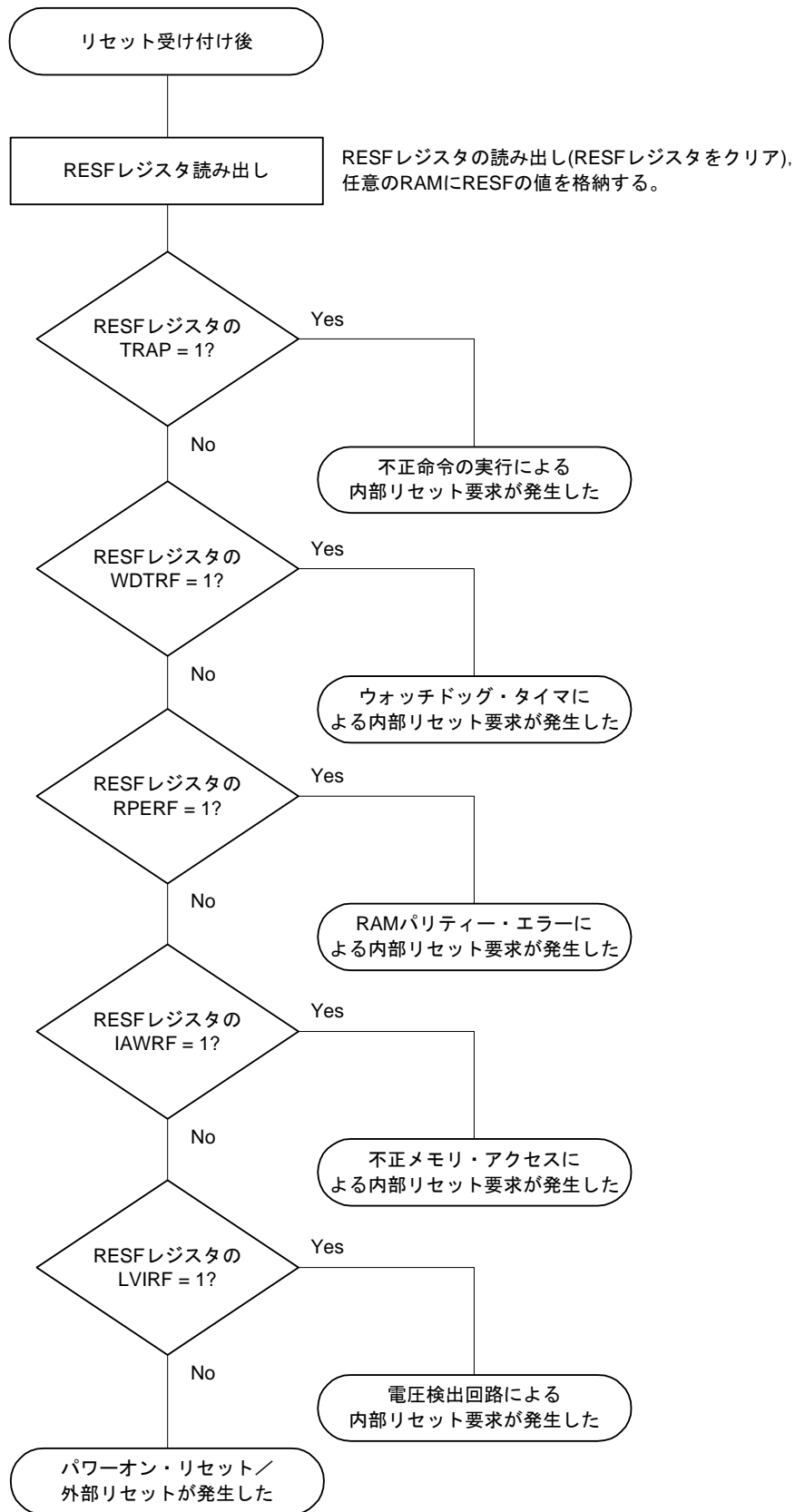
リセット要求時のRESFレジスタの状態を表17-3に示します。

表17-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の 実行による リセット	WDTによる リセット	RAMパリティ エラーによる リセット	不正メモリ・ アクセスによる リセット	LVDによる リセット	
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持	保持	保持	
WDTRF			保持	セット (1)				
RPERF				保持	セット (1)			
IAWRF					保持			セット (1)
LVIRF								保持

リセット要因の手順を図17-5に示します。

図17-5 リセット要因の確認手順



第18章 パワーオン・リセット回路

18.1 パワーオン・リセット回路の機能

パワーオン・リセット（POR）回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。

電源電圧（ V_{DD} ）が検出電圧（ V_{POR} ）を越えた場合に、リセットを解除します。ただし、27.4 AC特性に示す動作電圧範囲まで、電圧検出機能か外部リセット端子でリセット状態を保ってください。

- ・電源電圧（ V_{DD} ）と検出電圧（ V_{PDR} ）を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。ただし、動作電圧降下時は、27.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行、または電圧検出機能か外部リセット端子で、リセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 POR回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）のTRAP, WDTRF, RPERF, IAWRF, LVIRFフラグがクリア（00H）されます。

備考1. 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／電圧検出（LVD）回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア（00H）されずフラグがセット（1）されます。RESFレジスタの詳細については、第17章 リセット機能を参照してください。

2. V_{POR} : POR電源立ち上がり検出電圧

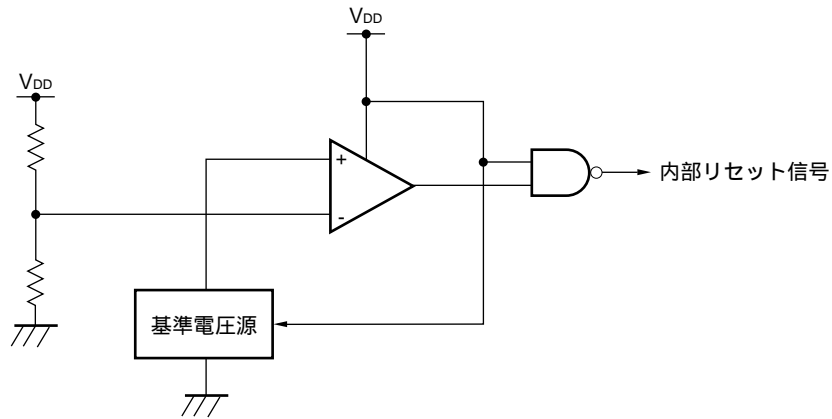
V_{PDR} : POR電源立ち下がり検出電圧

詳細は、27.6.4 POR回路特性を参照してください。

18.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図18-1に示します。

図18-1 パワーオン・リセット回路のブロック図

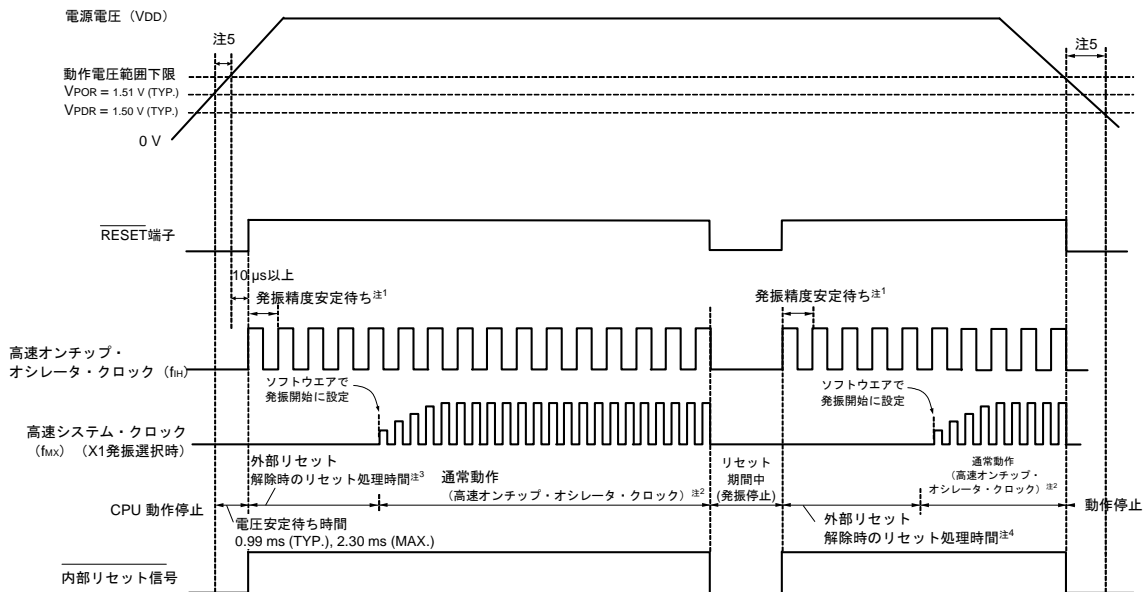


18.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図18-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (1/3)

(1) パワーオン・リセット回路 (LVD オフ時) (オプション・バイト000C1H のVPOC2 = 1)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部の電圧安定待ちなどのリセット処理時間に含まれます。

2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) を用いて、発振安定時間を確認してから切り替えてください。

3. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて、 $\overline{\text{RESET}}$ 信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間(POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目 : 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)

0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降 : 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)

0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

5. 電源立ち上がり時は、27.4 AC特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。

電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

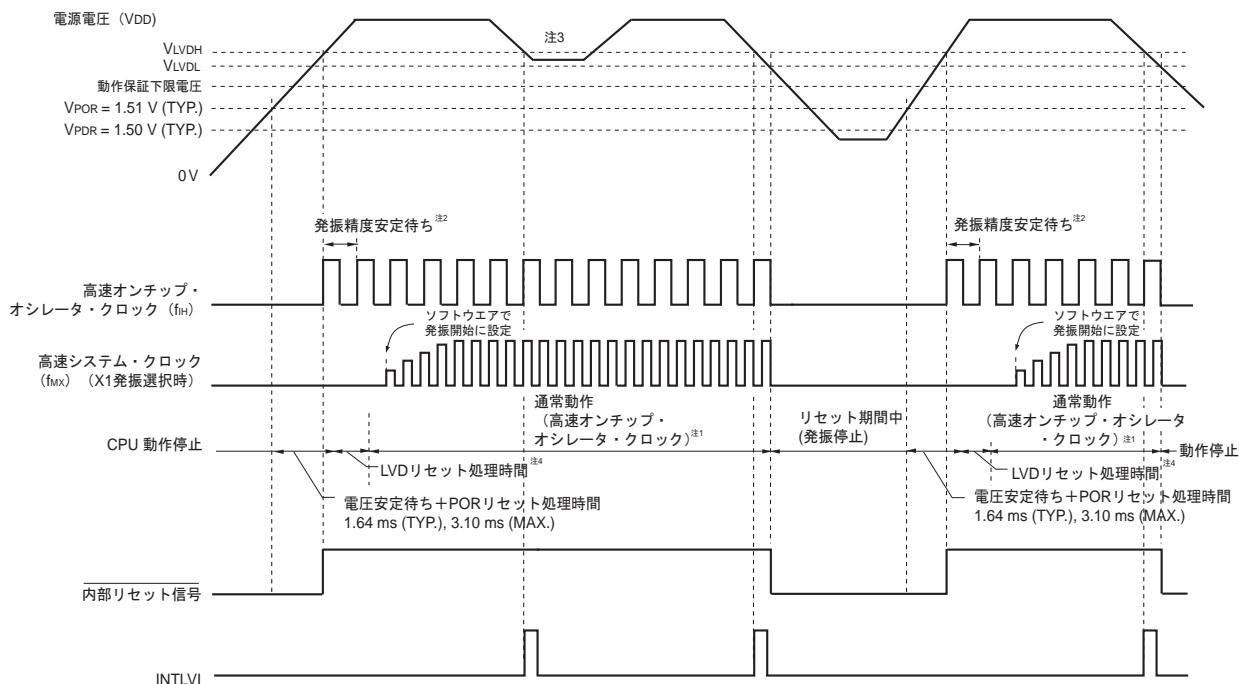
注意 LVDオフ時は必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。詳細は、第19章 電圧検出回路を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

図18-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (2/3)

(2) LVD割り込み&リセット・モード時 (オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)



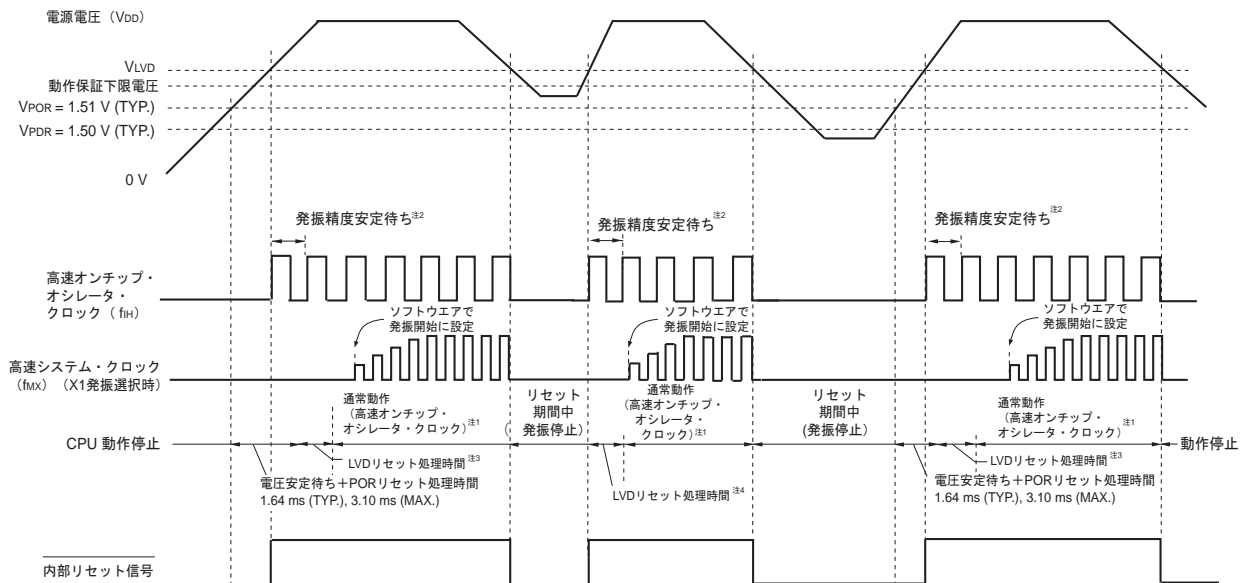
- 注1. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) を用いて、発振安定時間を確認してから、切り替えてください。
2. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
3. 1回目の割り込み要求信号 (INTLVI) が発生したあと、電圧検出レベル・レジスタ (LVIS) のLVIL, LVIMDビットは自動的に1に設定されます。そのため、動作電圧が電圧検出電圧 (V_{LVDL}) を下回らずに、2.7 V以上に復帰する可能性がある場合は、INTLVI発生後、必要な退避処理を行い、ソフトウェアで初期設定をしてください (図19-8 割り込み&リセット・モードの初期設定の設定手順参照)。
4. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル (V_{LVDH}) に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間 : 0 ms ~ 0.0701 ms (MAX.)

- 備考 V_{LVDH}, V_{LVDL} : LVD検出電圧
 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

図18-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (3/3)

(3) LVD リセット・モード時 (オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 1)



注1. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) を用いて、発振安定時間を確認してから、切り替えてください。

2. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
3. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル (V_{LVD}) に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間： 0 ms ~ 0.0701 ms (MAX.)

4. 電源電圧降下時、電圧検出回路 (LVD) による内部リセットのみ発生後に電源電圧が復帰した場合、LVD検出レベル (V_{LVD}) に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間： 0.0511 ms (TYP.), 0.0701ms (MAX.)

- 備考1. V_{LVD} : LVD検出電圧
V_{POR} : POR電源立ち上がり検出電圧
V_{PDR} : POR電源立ち下がり検出電圧

2. LVD割り込みモード(オプション・バイト000C1HのLVIMD1, LVIMD0 = 0, 1)を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図18-2 (3) LVDリセット・モード時の“注3”の時間と同じです。

18.4 パワーオン・リセット回路の注意事項

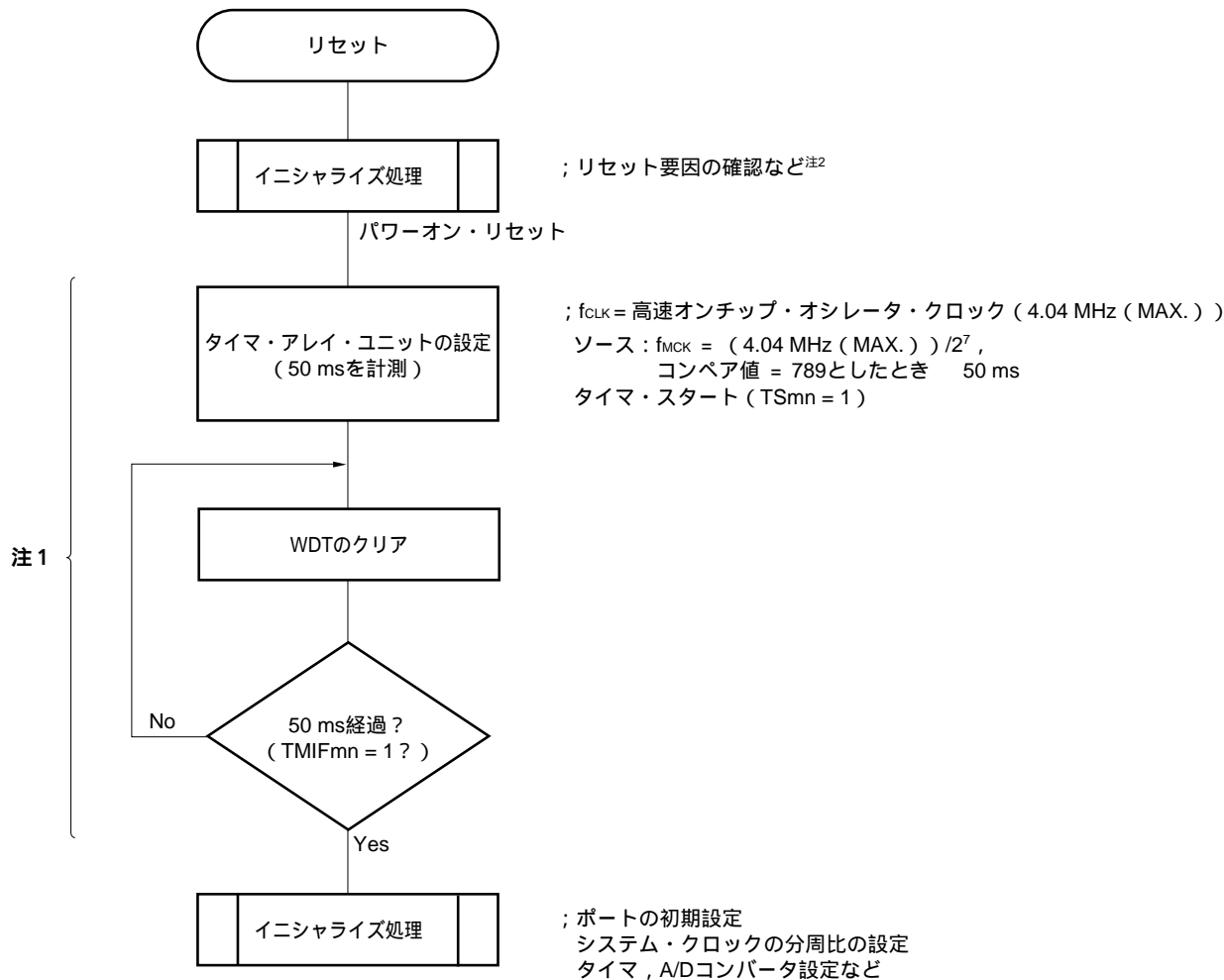
電源電圧 (V_{DD}) がPOR検出電圧 (V_{POR}, V_{PDR}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図18-3 リセット解除後のソフト処理例 (1/2)

・ POR検出電圧付近での電源電圧変動が50 ms以下の場合



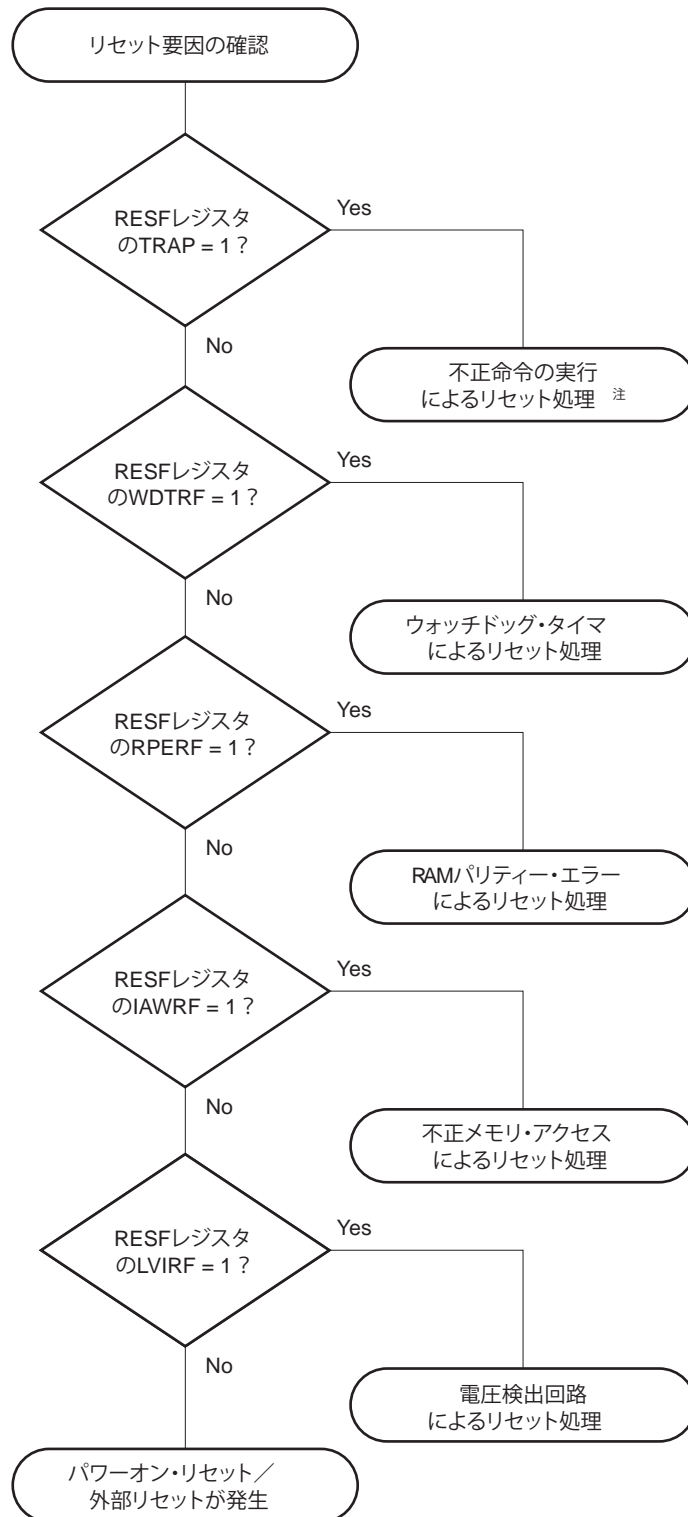
注1. この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

2. 次ページにフロー・チャートを示します。

備考 m = 0, n = 0-3

図18-3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第19章 電圧検出回路

19.1 電圧検出回路の機能

電圧検出 (LVD) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVDH} , V_{LVDL} , V_{LVD}) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・電源電圧の検出電圧 (V_{LVDH} , V_{LVDL}) は、オプション・バイトにて検出レベルを4段階より選択できます (第22章 オプション・バイト参照)。
- ・STOPモード時においても動作可能です。
- ・電源立ち上がり時は、27.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト (000C2H) の設定により変わります。
- ・オプション・バイトにて、次の3つの動作モードを選択できます。

(a) 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1Hで選択する2つの検出電圧に対して、高電圧検出レベル (V_{LVDH}) を割り込み発生/リセット解除用、低電圧検出レベル (V_{LVDL}) をリセット発生用として使用します。

(b) リセット・モード (オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1Hで選択する1つの検出電圧 (V_{LVD}) を、リセット発生/解除用として使用します。

(c) 割り込みモード (オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1Hで選択する1つの検出電圧 (V_{LVD}) を、割り込み発生/リセット解除用として使用します。

割り込み&リセット・モードでは2つの検出電圧 (V_{LVDH} , V_{LVDL}) を、リセット・モードおよび割り込みモードでは1つの検出電圧 (V_{LVD}) を設定できます。

リセットと割り込み信号は、オプション・バイト (LVIMDS0, LVIMDS1) の選択により、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
$V_{DD} < V_{LVDH}$ になったときに内部割り込み信号を発生し、 $V_{DD} < V_{LVDL}$ になったときに内部リセットを発生。 $V_{DD} \geq V_{LVDH}$ になったときに内部リセットを解除。	$V_{DD} < V_{LVD}$ になったときに内部リセットを発生し、 $V_{DD} \geq V_{LVD}$ になったときに内部リセットを解除	POR解除後1回目の動作電圧立ち上げ時に $V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 POR解除後2回目以降は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号を発生。

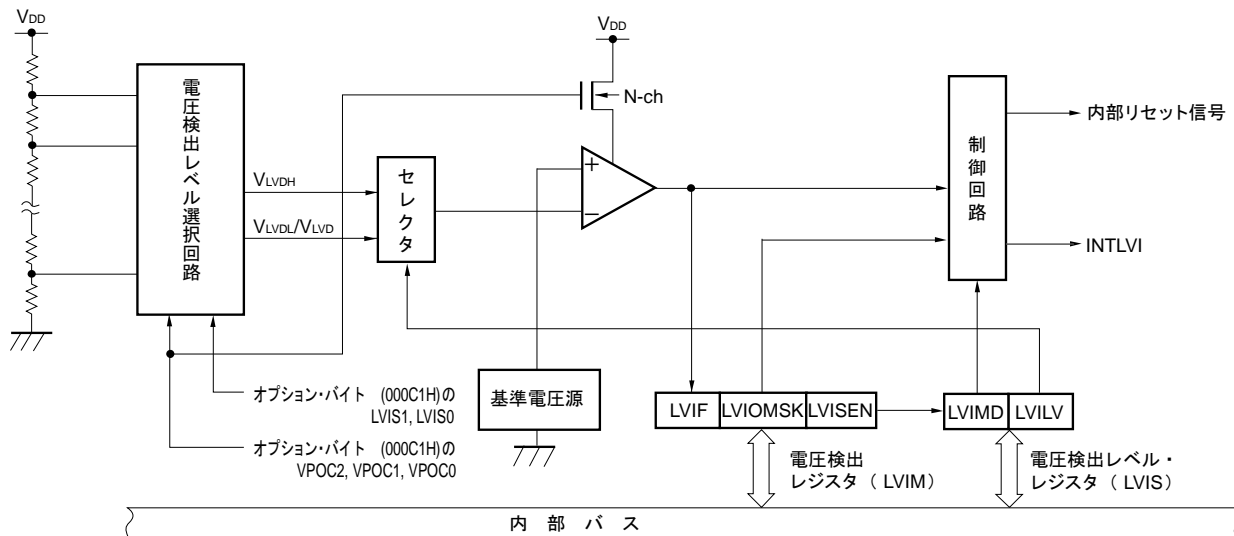
電圧検出回路動作時では、電圧検出フラグ (LVIF : 電圧検出レジスタ (LVIM) のビット0) を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFレジスタについての詳細は、第17章 リセット機能を参照してください。

19.2 電圧検出回路の構成

電圧検出回路のブロック図を図19-1に示します。

図19-1 電圧検出回路のブロック図



19.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- ・ 電圧検出レジスタ (LVIM)
- ・ 電圧検出レベルレジスタ (LVIS)

19.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定, LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図19-2 電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	2	[1]	[0]
LVIM	LVISEN	0	0	0	0	0	LVIOMSK	LVIF

LVISEN	電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定
0	LVISレジスタの書き換え禁止(LVIOMSK = 0 (LVD出力マスク無効)になる)
1	LVISレジスタの書き換え許可(LVIOMSK = 1 (LVD出力マスク有効)になる) ^{注3}

LVIOMSK	LVD出力マスク状態フラグ
0	LVD出力マスク無効
1	LVD出力マスク有効 ^{注3, 4}

LVIF	電圧検出フラグ
0	電源電圧 (V _{DD}) ≥ 検出電圧 (V _{LVD}) , またはLVD動作禁止時
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVD})

注1. リセット値は, リセット要因により変化します。

LVDによるリセットのときには, LVIMレジスタの値はリセットされず, そのままの値を保持します。その他のリセットでは, LVISENは“0”にクリアされます。

- ビット0, 1は, Read Onlyです。
- 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時のみ設定できます。その他モードでは初期値から変更しないでください。
- 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時のみ, LVIOMSKビットは以下の期間に自動で“1”となり, LVDによるリセットまたは割り込み発生がマスクされます。
 - ・ LVISEN = 1の期間
 - ・ LVD割り込み発生から, LVD検出電圧が安定するまでの待ち時間
 - ・ LVILVビットの値変更から, LVD検出電圧が安定するまでの待ち時間

19.3.2 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H/01H/81H^{注1}になります。

図19-3 電圧検出レベル・レジスタ (LVIS) のフォーマット

アドレス : FFFAAH リセット時 : 00H/01H/81H^{注1} R/W

略号	[7]	6	5	4	3	2	1	[0]
LVIS	LVIMD	0	0	0	0	0	0	LVILV

LVIMD ^{注2}	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVILV ^{注2}	LVD検出レベル
0	高電圧検出レベル (VLVDH)
1	低電圧検出レベル (VLVDLまたはVLVD)

注1. リセット値は、リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は、クリア (00H) されません。

LVD以外のリセット時は、次のようになります。

- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- ・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

2. オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0 (割り込み&リセット・モード) 選択時に“0”書き込みのみ可能です。その他の場合は書き込み禁止で、リセットまたは割り込み発生により自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は、LVISENビット (LVIMレジスタのビット7) を必ず1にしてから行ってください。

2. LVDの動作モード、検出電圧 (VLVDH, VLVDL, VLVD) は、オプション・バイト (000C1H) で設定します。オプション・バイト (000C1H) の設定を表19-1に示します。オプション・バイトの詳細は第22章 オプション・バイトを参照してください。

表19-1 ユーザ・オプション・バイト (000C1H) によるLVD動作モード・検出電圧設定

アドレス : 000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
V _{LVDH}		V _{LVDL}	モード設定		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	立ち下がり	LVIMDS1	LVIMDS0					
2.92 V	2.86 V	2.75 V	1	0	0	1	1	1	0
3.02 V	2.96 V							0	1
上記以外			設定禁止						

・LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
V _{LVD}		モード設定		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	LVIMDS1	LVIMDS0					
2.81 V	2.75 V	1	1	0	1	1	1	1
2.92 V	2.86 V				1	1	1	0
3.02 V	2.96 V				1	1	0	1
3.13 V	3.06 V				0	1	0	0
上記以外		設定禁止						

・LVDの設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
V _{LVD}		モード設定		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	LVIMDS1	LVIMDS0					
2.81 V	2.75 V	0	1	0	1	1	1	1
2.92 V	2.86 V				1	1	1	0
3.02 V	2.96 V				1	1	0	1
3.13 V	3.06 V				0	1	0	0
上記以外		設定禁止						

・LVDの設定 (LVDオフ)

検出電圧		オプション・バイト設定値						
V _{LVD}		モード設定		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	LVIMDS1	LVIMDS0					
—	—	0/1	1	1	×	×	×	×
上記以外		設定禁止						

備考1. × : don't care

2. 検出電圧はTYP.値です。詳細は、27.6.5 LVD回路特性を参照してください。

19.4 電圧検出回路の動作

19.4.1 リセット・モードとして使用時の設定

●動作開始時

次の初期設定の状態です。

動作モード（リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)）と検出電圧 (VLVD) の設定は、オプション・バイト000C1Hで設定しておきます。

- ・電圧検出レジスタ (LVIM) のビット7 (LVISEN) は “0” (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1に設定すると、LVISレジスタの初期値は、81Hに設定されます。
 - ビット7 (LVIMD) は “1” (リセット・モード)
 - ビット0 (LVILV) は “1” (低電圧検出レベル: VLVDLまたはVLVD)

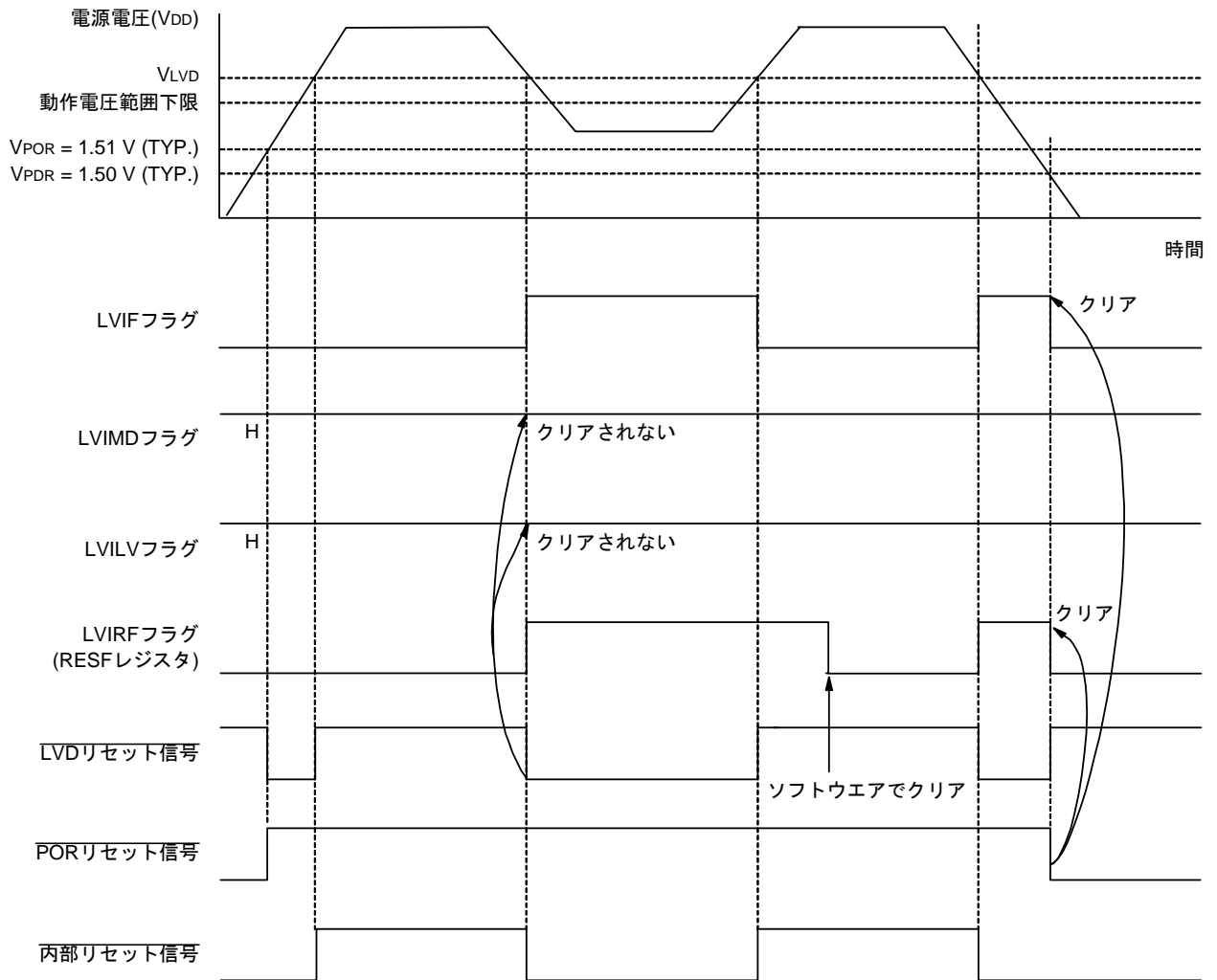
●LVDリセット・モードの動作

リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)は、電源投入時、電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を超えるまではLVDによる内部リセット状態を保ちます。電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を超えると内部リセットを解除します。

動作電圧降下時は電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を下回るとLVDによる内部リセットが発生します。

図19-4に、電圧検出回路の内部リセット信号発生タイミングを示します。

図19-4 内部リセット信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)



備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

19.4.2 割り込みモードとして使用時の設定

●動作開始時

動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と検出電圧（VLVD）の設定は、オプション・バイト000C1Hで設定しておきます。

次の初期設定の状態です。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）
- ・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1に設定すると、LVISレジスタの初期値は、01Hに設定されます。
 - ビット7（LVIMD）は“0”（割り込みモード）
 - ビット0（LVILV）は“1”（低電圧検出レベル：VLVDLまたはVLVD）

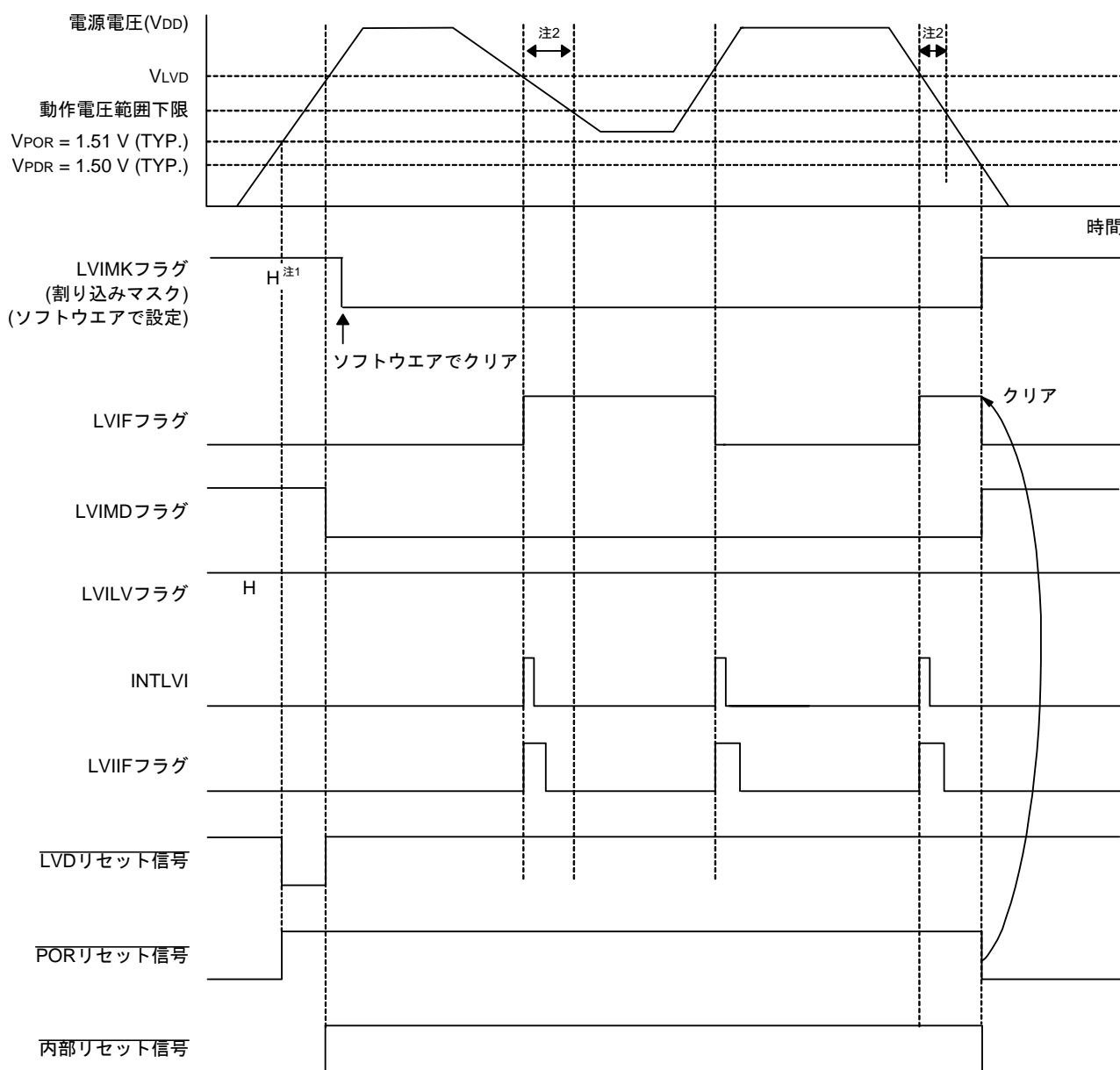
●LVD割り込みモードの動作

割り込みモード(オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1)は、電源投入時(POR解除後1回目)、電源電圧(VDD)が電圧検出レベル(VLVD)を超えるまではLVDによる内部リセット状態を保ちます。動作電圧(VDD)が電圧検出レベル(VLVD)を超えると内部リセットを解除します。

動作電圧降下時に電源電圧(VDD)が電圧検出レベル(VLVD)を下回る、またはPOR解除後2回目以降に電源電圧(VDD)が電圧検出レベル(VLVD)を超えるとLVDによる割り込み要求信号(INTLVI)が発生します。動作電圧降下時は、27.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図19-5に、電圧検出回路の内部割り込み信号発生タイミングを示します。

図19-5 割り込み信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 2. 動作電圧降下時は、27.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 VPOR : POR電源立ち上がり検出電圧
 VPDR : POR電源立ち下がり検出電圧

19.4.3 割り込み&リセット・モードとして使用時の設定

●動作開始時

動作モード(割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0))と検出電圧(V_{LVDH}, V_{LVDL})の設定は、オプション・バイト000C1Hで設定しておきます。

次の初期設定の状態です。

- ・電圧検出レジスタ(LVIM)のビット7(LVISEN)は“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)
- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0に設定すると、LVISレジスタの初期値は、00Hに設定されます。
 - ビット7(LVIMD)は“0”(割り込みモード)
 - ビット0(LVILV)は“0”(高電圧検出レベル: V_{LVDH})

●LVD割り込み&リセット・モードの動作

割り込み&リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0)は、電源投入時、電源電圧(V_{DD})が高電圧検出レベル(V_{LVDH})を超えるまではLVDによる内部リセット状態を保ちます。

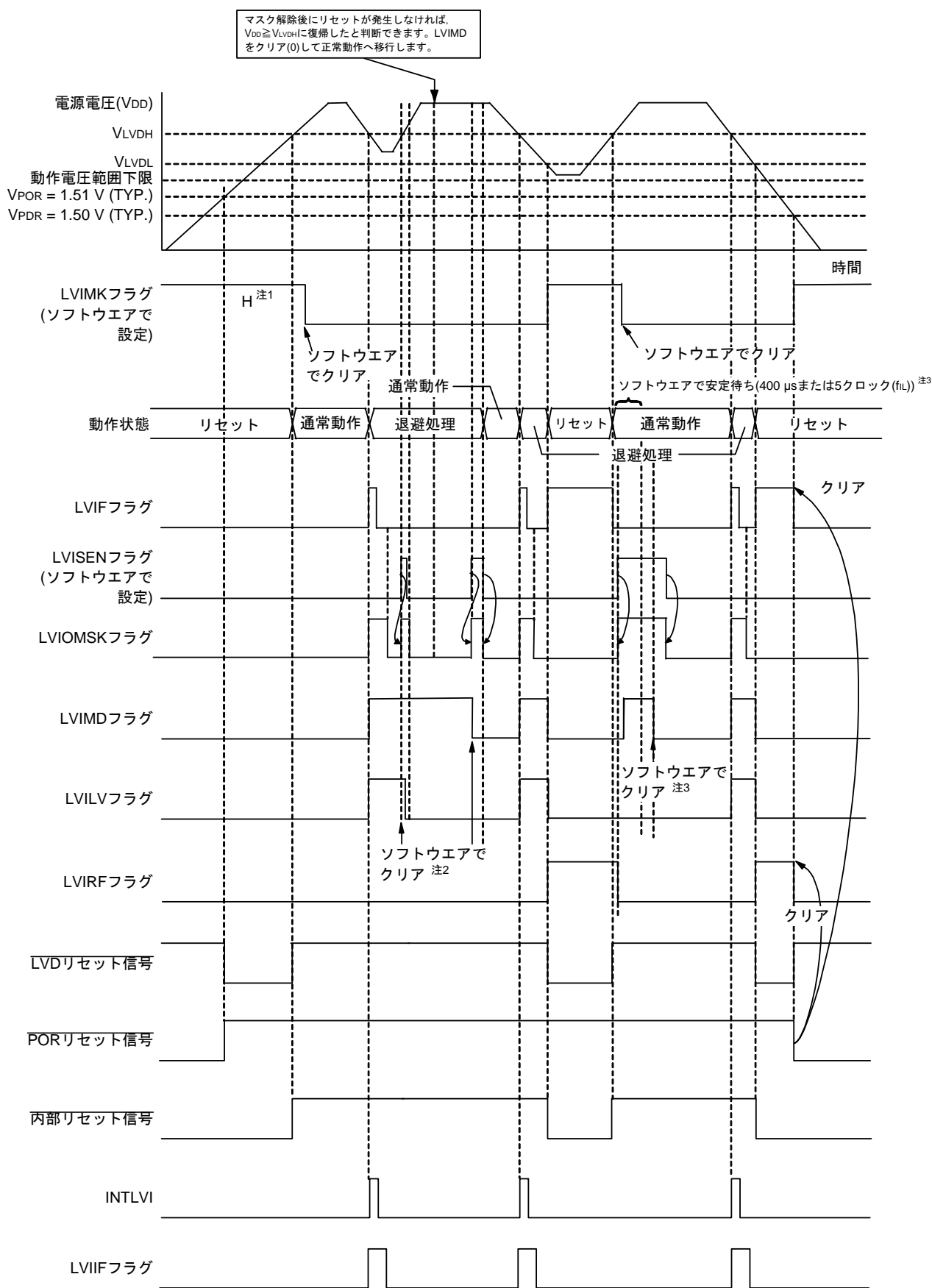
電源電圧(V_{DD})が高電圧検出レベル(V_{LVDH})を超えると内部リセットを解除します。

動作電圧降下時は電源電圧(V_{DD})が高電圧検出レベル(V_{LVDH})を下回るとLVDによる割り込み要求信号(INTLVI)が発生し、任意の退避処理を行うことができます。その後、電源電圧(V_{DD})が低電圧検出レベル(V_{LVDL})を下回るとLVDによる内部リセットが発生します。ただし、INTLVI発生後、電源電圧(V_{DD})が低電圧検出電圧(V_{LVDL})を下回らずに高電圧検出電圧(V_{LVDH})以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み&リセット・モードの使用する場合は、“図19-7 動作電圧確認/リセットの設定手順”と、“図19-8 割り込み&リセット・モードの初期設定の設定手順”に示すフローチャートの手順に従って設定をしてください。

図19-6に、電圧検出回路の内部リセット信号と割り込み信号発生タイミングを示します。

図19-6 割り込み&リセット信号発生時のタイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (1/2)

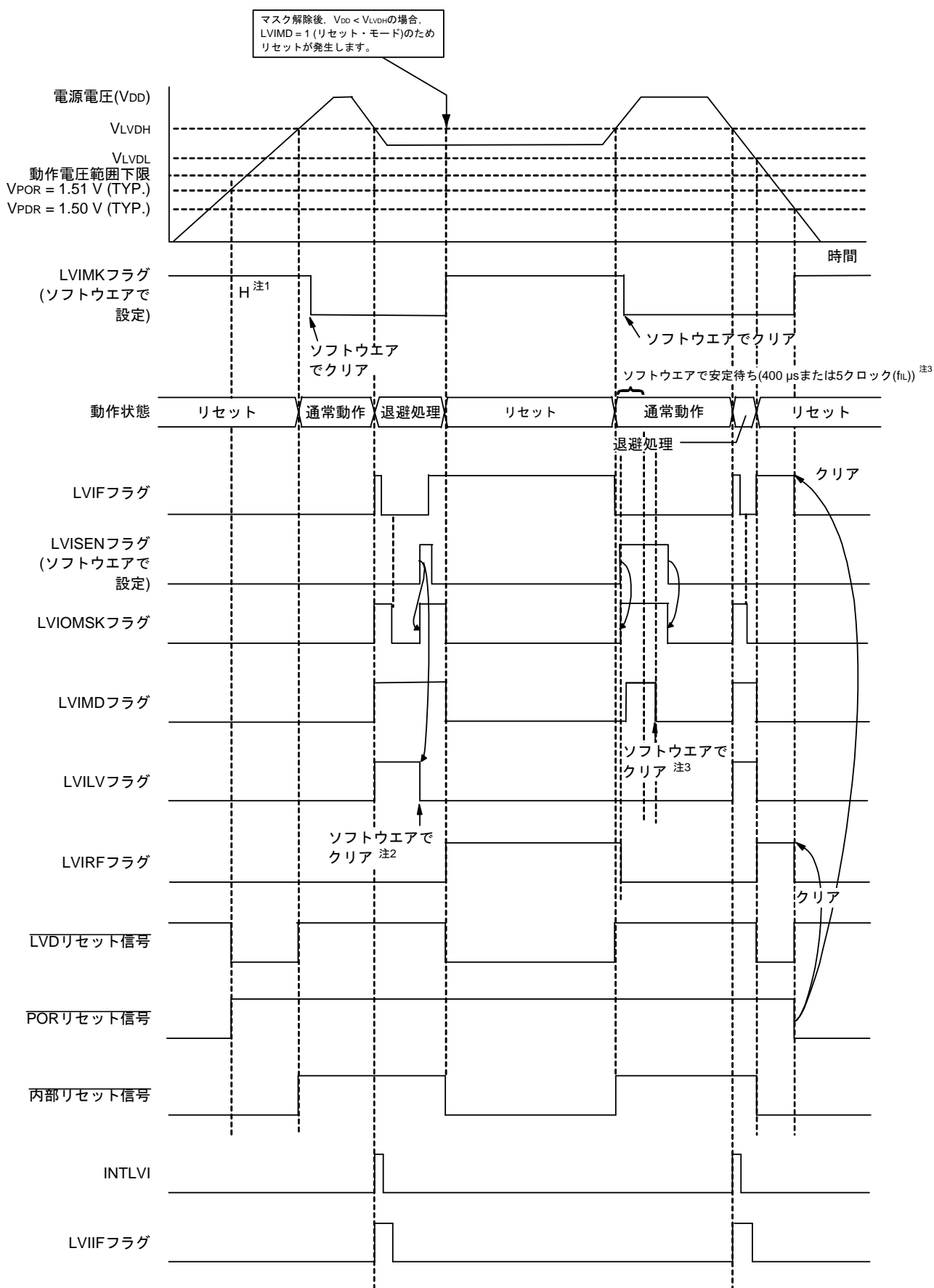


(注、備考は次ページにあります。)

- 注 1. LVIMKフラグはリセット信号の発生により, “1” になっています。
2. 割り込み&リセット・モード使用時, 割り込み発生後は, 図19-7 動作電圧確認/リセットの設定手順に従って設定をしてください。
3. 割り込み&リセット・モード使用時, リセット解除後は, 図19-8 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。

備考 V_{POR} : POR電源立ち上がり検出電圧
V_{PDR} : POR電源立ち下がり検出電圧

図19-6 割り込み&リセット信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (2/2)

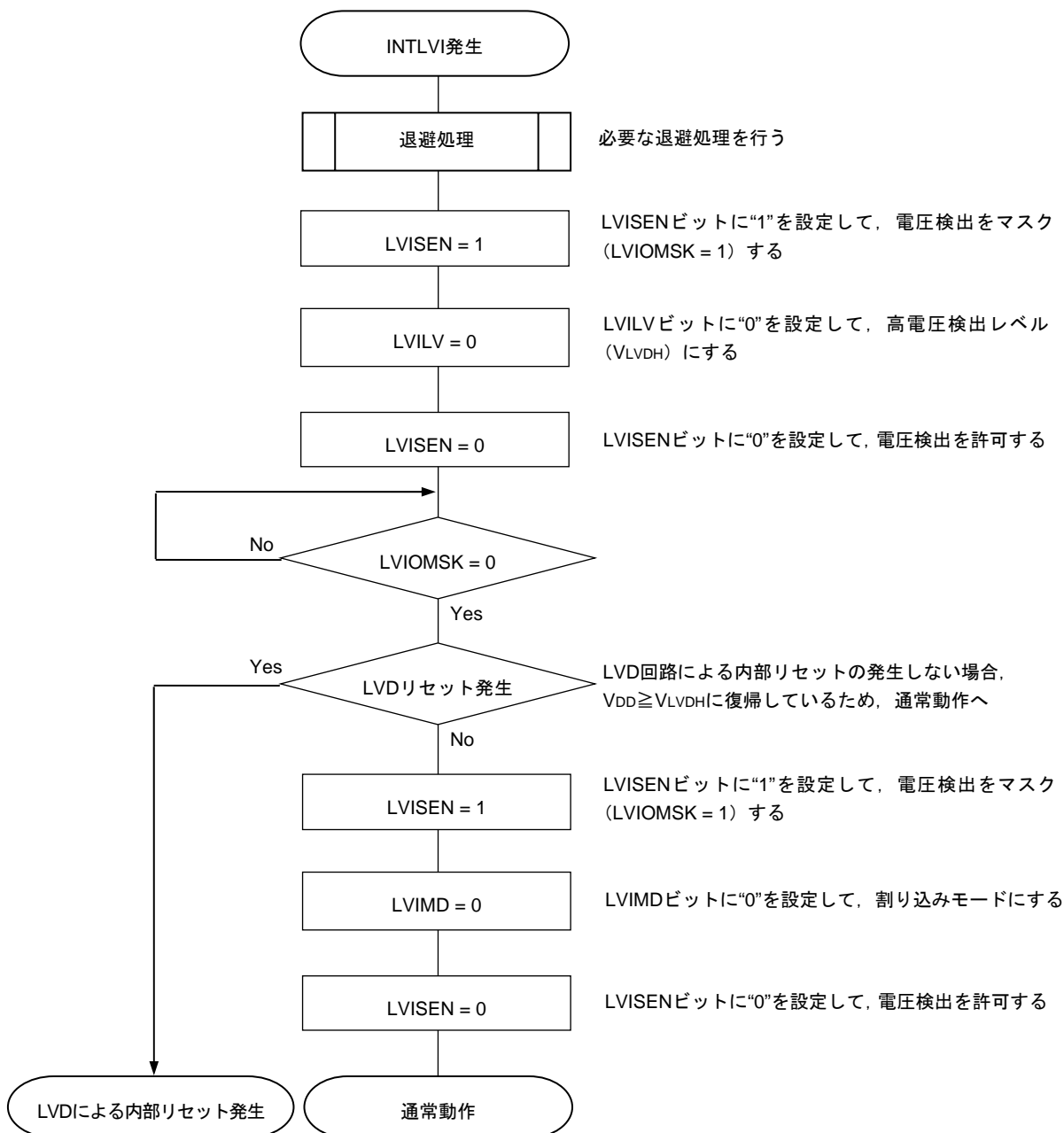


(注, 備考は次ページにあります。)

- 注 1. LVIMKフラグはリセット信号の発生により，“1”になっています。
- 2. 割り込み&リセット・モード使用時，割り込み発生後は，図19-7 動作電圧確認／リセットの設定手順に従って設定をしてください。
- 3. 割り込み&リセット・モード使用時，リセット解除後は，図19-8 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

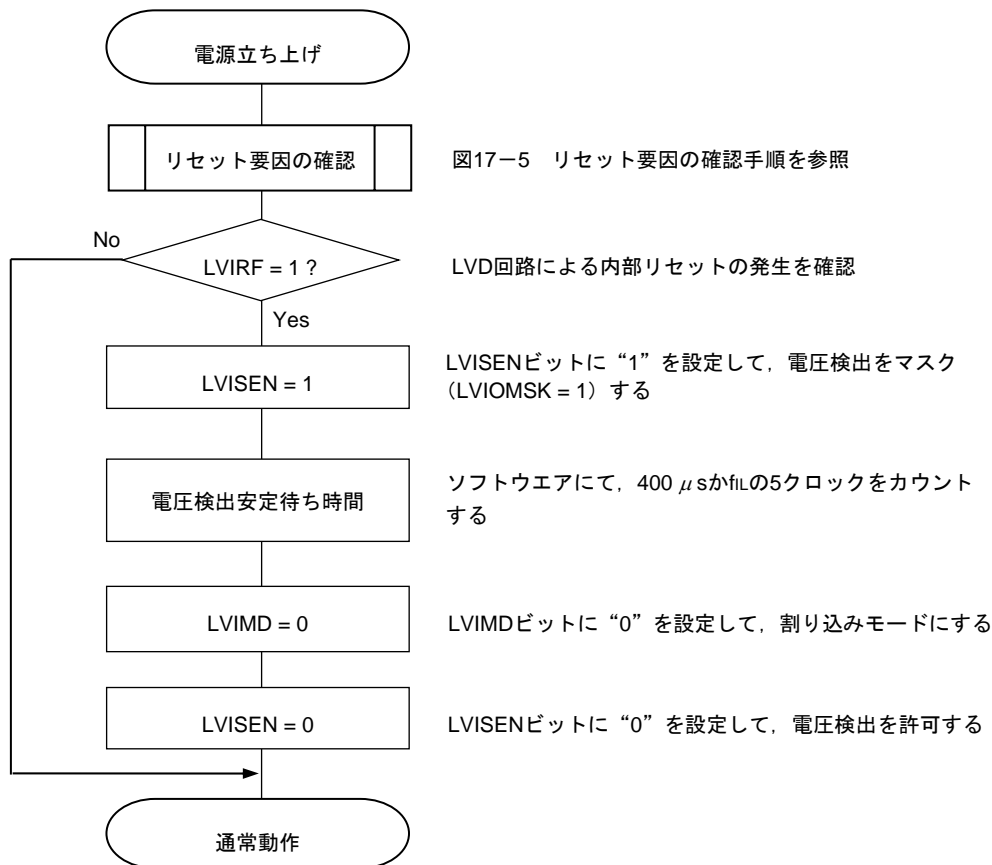
図19-7 動作電圧確認／リセットの設定手順



割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0)を設定した場合、LVDリセット解除後(LVIRF = 1)から 400 μ sか f_{IL} の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後、LVIMDビットをクリア(0)して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は、LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図19 - 8に割り込み&リセット・モードの初期設定の設定手順を示します。

図19-8 割り込み&リセット・モードの初期設定の設定手順



備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

19.5 電圧検出回路の注意事項

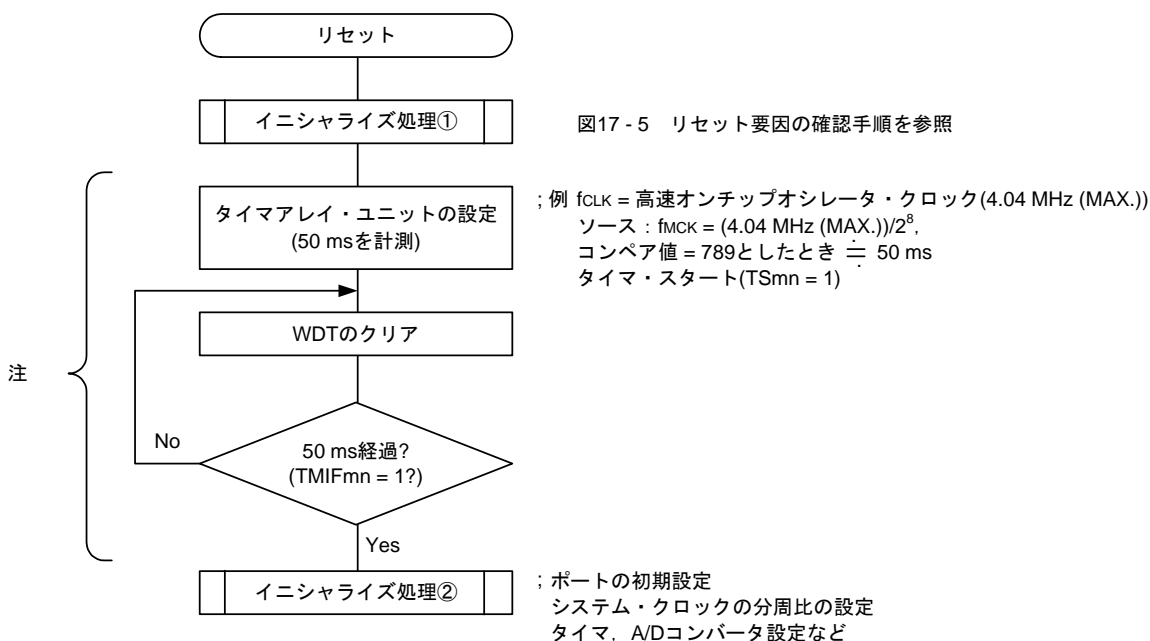
(1) 電源投入時の電圧変動について

電源電圧(V_{DD})がLVD検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図19-9 LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



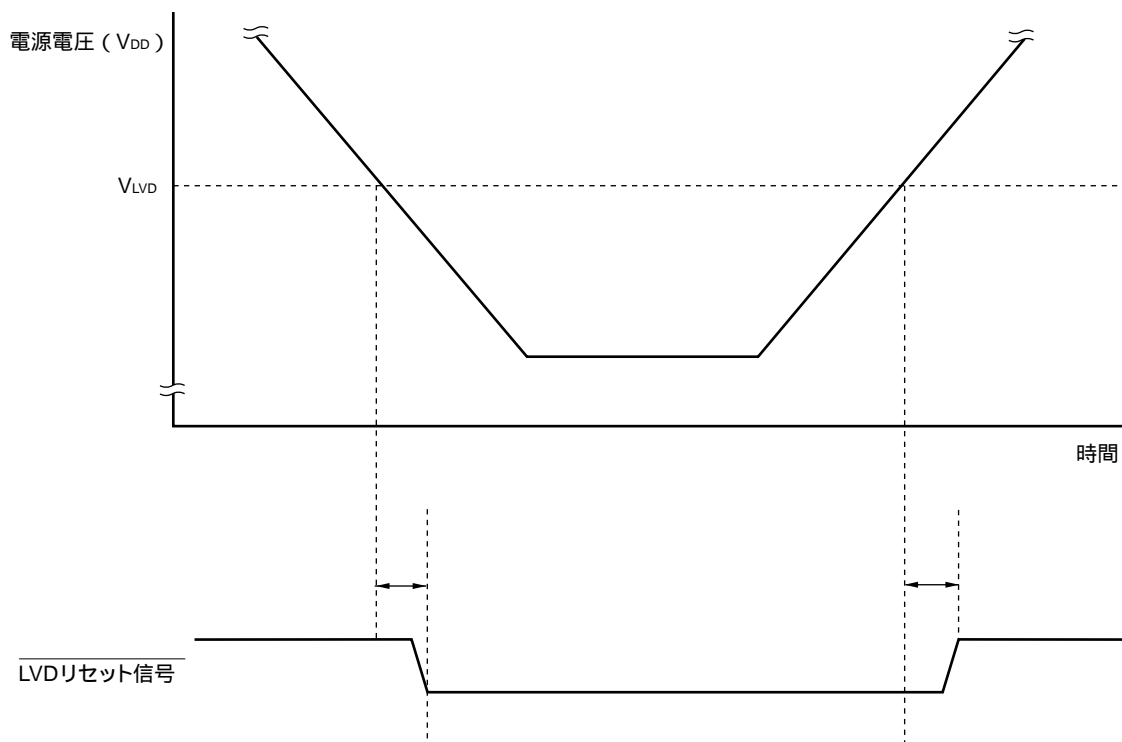
注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 m = 0 n = 0-3

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVD検出電圧 (V_{LVD}) になってから、LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧 (V_{LVD}) \leq 電源電圧 (V_{DD}) になってから、LVDリセットが解除されるまでも遅延が生じます (図19-10参照)。

図19-10 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① : 検出遅延 (300 μ s (MAX.))

(3) 割り込みモードを使用設定し動作電圧降下時は、27.4 AC 特性に示す動作電圧範囲を下回る前に、STOP モードに移行または外部リセット端子で、リセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

(4) LVDオフの場合は外部リセットを行う必要があります。外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、27.4 AC特性に示す動作電圧範囲内の期間に10 μ s以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。また、電源立ち上げ後は、27.4 AC特性に示す動作電圧範囲外で $\overline{\text{RESET}}$ 端子にハイ・レベルを入力しないでください。

第20章 安全機能

20.1 安全機能の概要

安全規格IEC60730, IEC61508に対応するため, RL78/G1Pでは以下の安全機能を搭載しています。

この安全機能は, マイコンで自己診断することで, 故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリCRC演算機能 (高速CRC, 汎用CRC)

CRC演算を行うことにより, フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて, 以下の2つのCRCを使い分けていただくことができます。

- ・「高速CRC」… 初期設定ルーチンの中で, CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- ・「汎用CRC」… CPU動作中に, コード・フラッシュ・メモリ領域に限らず, 多用途のチェックに使用できます。

(2) RAMパリティ・エラー検出機能

RAMデータを読み出すとき, パリティ・エラーを検出します。

(3) RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

(4) SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域 (メモリが存在しない, アクセスが制限されている領域) への不正なアクセスを検出します。

(6) 周波数検出機能

タイマ・アレイ・ユニットを使用して, CPU/周辺ハードウェア・クロック周波数の自己チェックができます。

(7) A/Dテスト機能

A/Dコンバータの+側基準電圧, 一側基準電圧, アナログ入力チャネル(ANI), 温度センサ出力および内部基準電圧出力をA/D変換することにより, A/D変換の自己チェックができます。

備考 IEC60730に準拠する使用方法については, アプリケーション・ノート (R01AN0749) をご参照ください。

20.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・フラッシュ・メモリCRC制御レジスタ (CRC0CTL) ・フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	フラッシュ・メモリCRC演算機能 (高速CRC)
・CRC入力レジスタ (CRCIN) ・CRCデータ・レジスタ (CRCD)	CRC演算機能 (汎用CRC)
・RAMパリティ・エラー制御レジスタ (RPECTL)	RAMパリティ・エラー検出機能
・不正メモリ・アクセス検出制御レジスタ (IAWCTL)	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
・タイマ入力選択レジスタ0 (TIS0)	周波数検出機能
・A/Dテスト・レジスタ (ADTES)	A/Dテスト機能

各レジスタの内容については、20.3 フラッシュ・メモリCRC演算機能 (高速CRC) の動作の中で説明します。

20.3 フラッシュ・メモリCRC演算機能 (高速CRC) の動作

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定 (イニシャライズ) ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です (例 フラッシュ・メモリ16 KB: 171 μ s@24 MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16}+X^{12}+X^5+1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

20.3.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL) のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0
CRC0EN	高速CRC演算器の動作制御							
0	動作停止							
1	HALT命令実行により演算開始							
FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲		
0	0	0	0	0	0	0000H-3FFBH (16 K-4バイト)		
上記以外						設定禁止		

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

20.3.2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図20-2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) のフォーマット

アドレス : F02F2H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
PGCRC15-0	高速CRC演算結果							
0000H-FFFFH	高速CRC演算結果を格納							

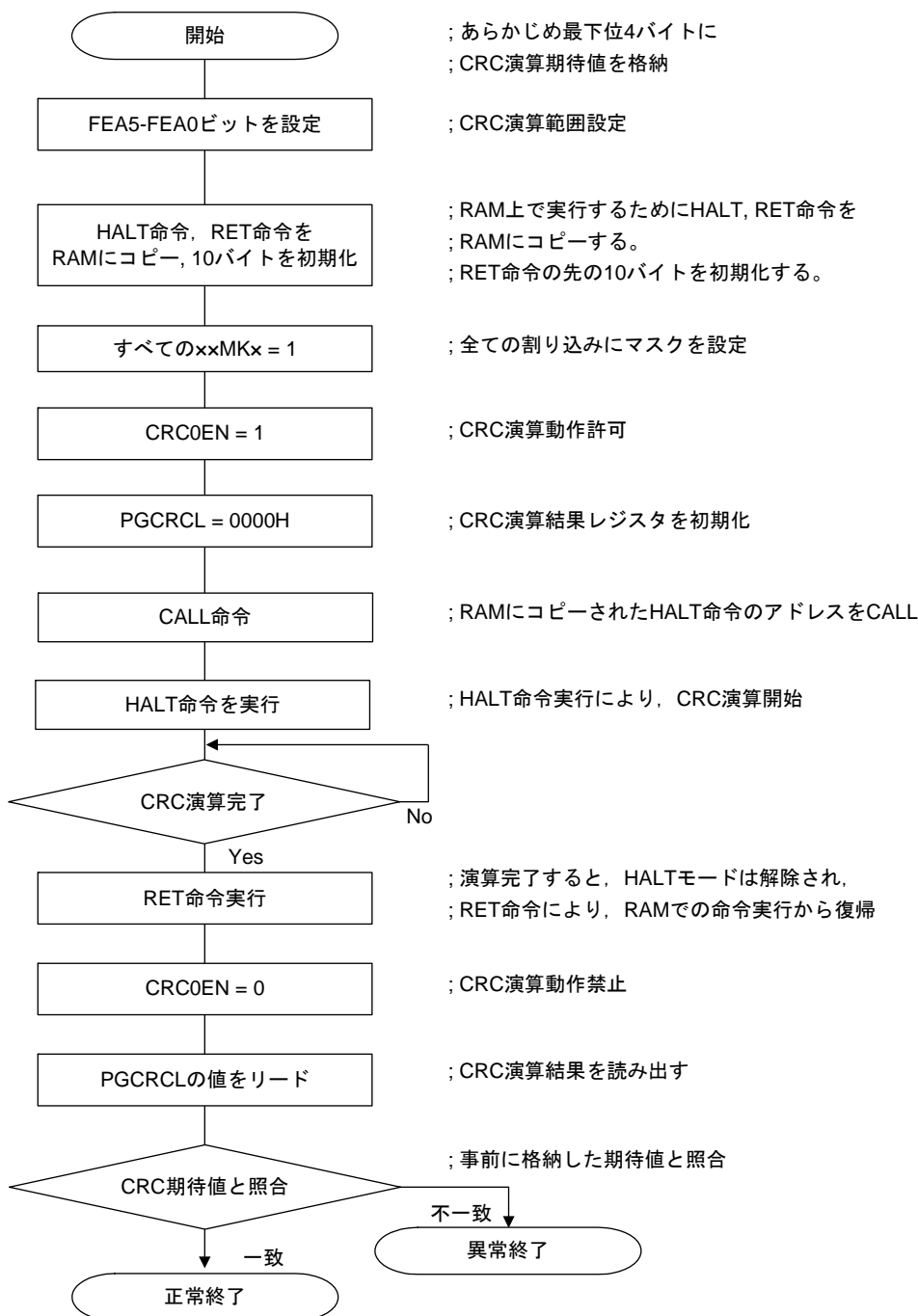
注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能 (高速CRC) のフロー・チャートを図20-3に示します。

20.3.3 動作フロー

図20-3にフラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャートを示します。

図20-3 フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



- 注意1. CRC演算の対象は、コード・フラッシュのみです。
2. CRC演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。
3. RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。
必ずRAM領域でHALT命令を実行してください。

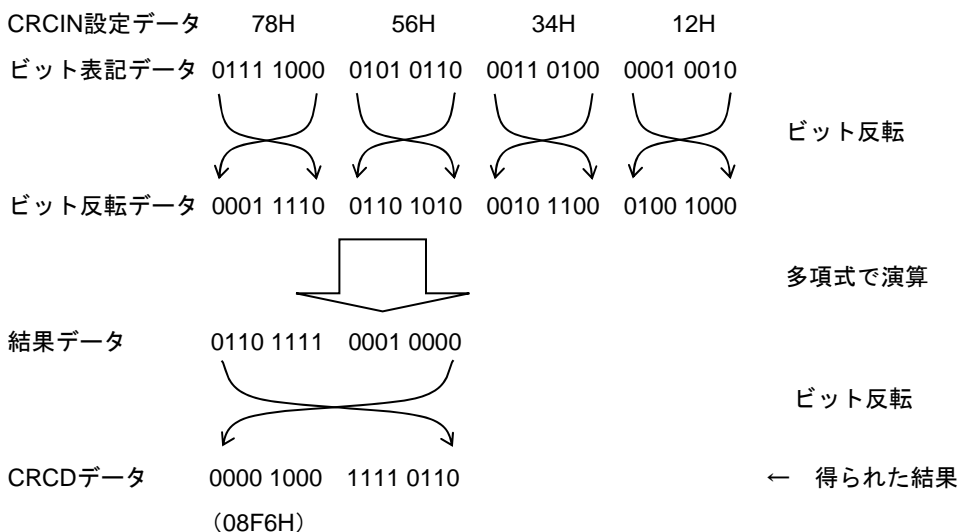
CRC演算の期待値は、総合開発環境CubeSuite+を使用して算出することができます。詳細は、CubeSuite+統合開発環境ユーザーズマニュアルを参照してください。

20.4 CRC演算機能（汎用CRC）

IEC61508では動作中の安全を保証しなければならないため、CPU動作中にもデータ確認する手段が必要です。

この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は、DMA転送中だけ使用できます。

CRC生成多項式はCRC-16-CCITTの「 $X^{16}+X^{12}+X^5+1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッガはソフトウェア・ブレイク設定行をブレイク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレイクを設定すると、CRC演算結果が異なります。

20.4.1 CRC入力レジスタ（CRCIN）

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-4 CRC入力レジスタ（CRCIN）のフォーマット

アドレス：FFFACH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
	ビット7-0		機能					
	00H-FFH		データ入力					

20.4.2 CRCデータ・レジスタ (CRCD)

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

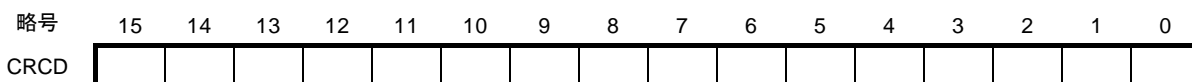
CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (fCLK) の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図20-5 CRCデータ・レジスタ (CRCD) のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W



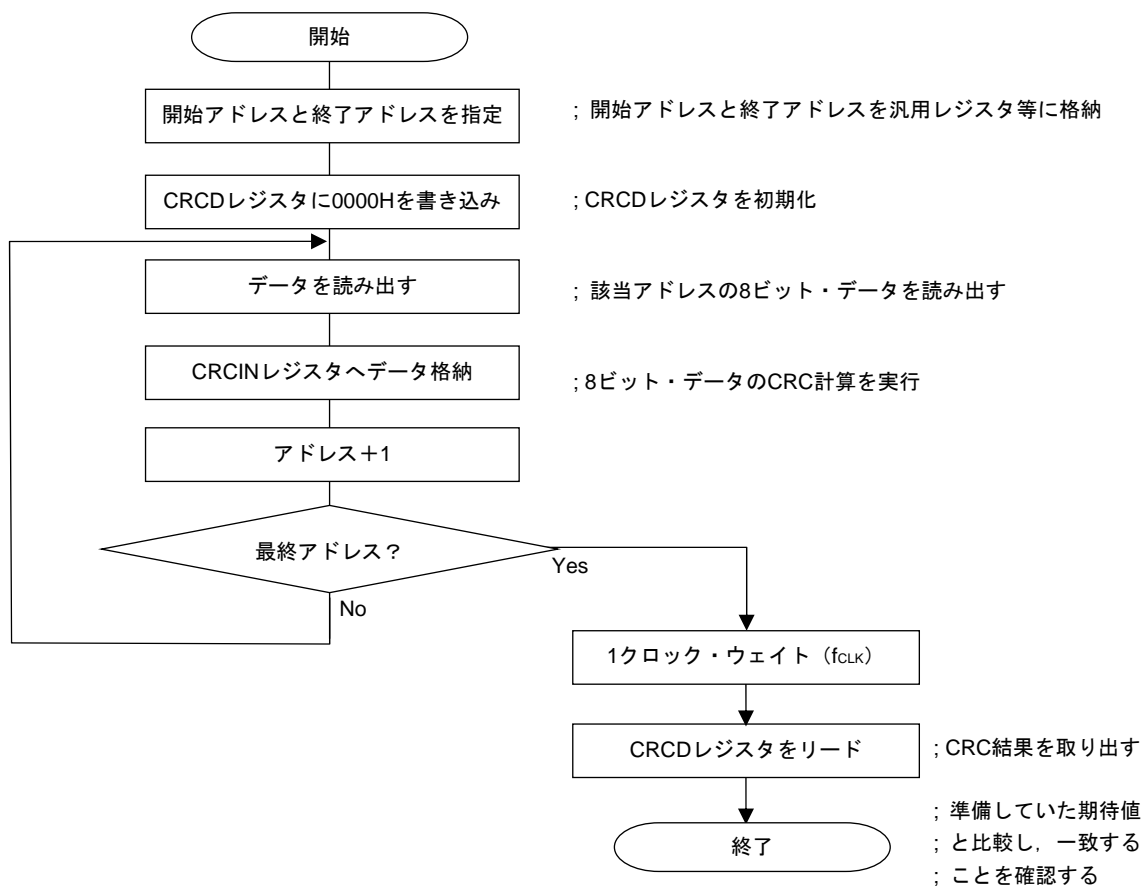
注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

20.4.3 動作フロー

図20-6にCRC演算機能(汎用CRC)のフロー・チャートを示します。

図20-6 CRC演算機能 (汎用CRC) のフロー・チャート



20.5 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/G1PのRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

20.5.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図20-7 RAMパリティ・エラー制御レジスタ (RPECTL) のフォーマット

アドレス : F00F5H リセット時 : 00H R/W

略号	[7]	6	5	4	3	2	1	[0]
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

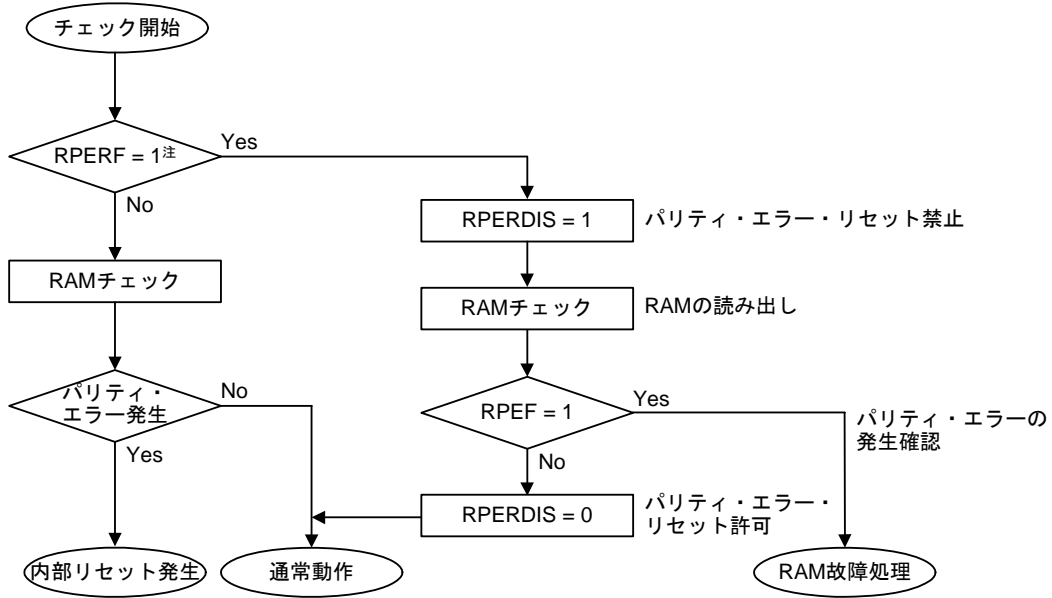
RPERDIS	パリティ・エラー・リセット・マスク・フラグ
0	パリティ・エラー・リセット発生を許可
1	パリティ・エラー・リセット発生を禁止

RPEF	パリティ・エラー・ステータス・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生した

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。また、RAMパリティ・エラー・リセット発生を許可し (RPERDIS = 0)、セルフ・プログラミング機能を使用する場合は、「書き換えるRAM領域+10バイト」の領域を、書き換える前に必ず初期化してください。

- 備考1. RAMパリティ・チェックは常時オンとなっており、その結果はRPEFフラグで確認できます。
- 初期状態では、パリティ・エラー・リセットは発生許可になっています (RPERDIS = 0)。パリティ・エラー・リセット発生禁止 (RPERDIS = 1) に設定した場合でも、パリティ・エラーが発生したときには、RPEFフラグはセット (1) されます。
 - RPEFフラグはRAMのパリティ・エラーによりリセット (1) され、0の書き込みまたはすべてのリセット要因によりクリア (0) されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

図20-8 RAMパリティチェックフロー



注 RAMパリティ・エラーによる内部リセットの確認は、第17章 リセット機能を参照してください。

20.6 RAMガード機能

IEC61508では動作中の安全を保証しなければならないため、CPUが暴走してもRAMに格納されている重要なデータを保護する必要があります。

このRAMガード機能は、指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

20.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-9 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間
0	0	無効。RAMへのライト可能
0	1	RAM下位アドレスから128バイト
1	0	RAM下位アドレスから256バイト
1	1	RAM下位アドレスから512バイト

20.7 SFRガード機能

IEC61508では動作中の安全を保証しなければならないため、CPUが暴走しても重要なSFRが書き換わってしまわないように保護する必要があります。

SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

20.7.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-10 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード/ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PMC1 ^{注1} , ADPC ^{注2}

GINT	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード/ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGP0, EGN0

GCSC ^{注3}	クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのガード
0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのリード/ライト可能。
1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTs, CKC, PERx, LVIM, LVIS, RPECTL

注1. 24ピン製品のみ

2. Pxx (ポート・レジスタ) はガードされません。

3. セルフ・プログラミング/シリアル・プログラミング時は、GCSC = 0に設定してください。

20.8 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図20-11で「NG」と記載した範囲になります。

図20-11 不正アクセス検出空間

アドレス	機能	アクセス可否		
		読み出し	書き込み	命令フェッチ (実行)
FFFFFH	特殊機能レジスタ (SFR) 256 バイト	OK	OK	NG
FFF00H				NG
FFEF0H	汎用レジスタ 32バイト	OK	OK	OK
FFEDFH				OK
yyyyyH	RAM注	OK	OK	OK
F4000H	使用不可	OK	NG	NG
F3FFFH	Mirror	OK	NG	NG
F2000H				NG
F1FFFH	使用不可	OK	OK	OK
F1800H	データ・フラッシュ・メモリ	OK	OK	OK
F17FFH				OK
F1000H	使用不可	OK	OK	OK
F0FFFH				OK
F0800H	特殊機能レジスタ (2nd SFR) 2 K バイト	OK	OK	NG
F07FFH				NG
F0000H	使用不可	NG	NG	OK
EF000H				OK
EEFFFH	NG	NG	NG	NG
10000H	コード・フラッシュ・メモリ注	OK	OK	OK
0FFFFH				OK
xxxxxH	RAM注	OK	OK	OK
00000H	コード・フラッシュ・メモリ注	OK	OK	OK

注 コード・フラッシュ・メモリ、RAMのアドレスは次のようになります。

製 品	コード・フラッシュ・メモリ	RAM	読み出し/命令フェッチ (実行) 時の 検出最下位アドレス
RL78/G1P	16384×8ビット (00000H-03FFFH)	1536×8ビット (FF900H-FFEFFFH)	10000H

20.8.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図20-12 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN ^注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注 IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイトWDTON = 1 (ウォッチドッグ・タイマ動作許可) のとき，IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

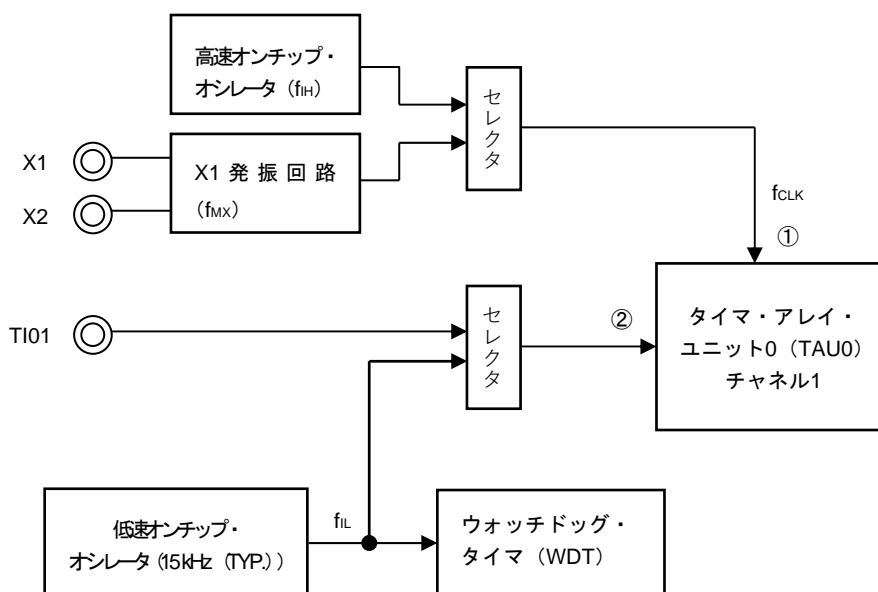
20.9 周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は、CPU/周辺ハードウェア・クロック周波数(f_{CLK})を使用し、タイマ・アレイ・ユニット0 (TAU0)のチャンネル1の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。

ただし、片一方のクロック、もしくは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

図20-13 周波数検出機能の構成



<動作概要>

以下の条件でパルス間隔を測定した結果で、クロック周波数が正常かどうかの判定をします。

- ・ CPU/周辺ハードウェア・クロック (f_{CLK}) に高速オンチップ・オシレータ・クロック (f_H) もしくは外付けのX1発振クロック (f_{MX}) を選択
- ・ タイマ・アレイ・ユニット0 (TAU0) のチャンネル1のタイマ入力に低速オンチップ・オシレータ・クロック (f_{IL} : 15 kHz) を選択

入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については、6.8.3 入力パルス間隔測定としての動作を参照してください。

20.9.1 タイマ入力選択レジスタ0 (TIS0)

タイマ・アレイ・ユニット0 (TAU0) のチャンネル0, 1のタイマ入力を選択するレジスタです。

タイマ入力に低速オンチップ・オシレータ・クロックを選択することにより、そのパルスを測定することで低速オンチップ・オシレータ・クロックとタイマ動作クロックとの比率関係が正しいか判定することができます。

TIS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-14 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI01) の入力信号
0	0	1	タイマ入力端子 (TI01) の入力信号
0	1	0	タイマ入力端子 (TI01) の入力信号
0	1	1	タイマ入力端子 (TI01) の入力信号
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})
上記以外			設定禁止

20.10 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル(ANI)、温度センサ出力電圧および内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、安全機能 (A/Dテスト) アプリケーションノート(R01AN0955)を参照してください。

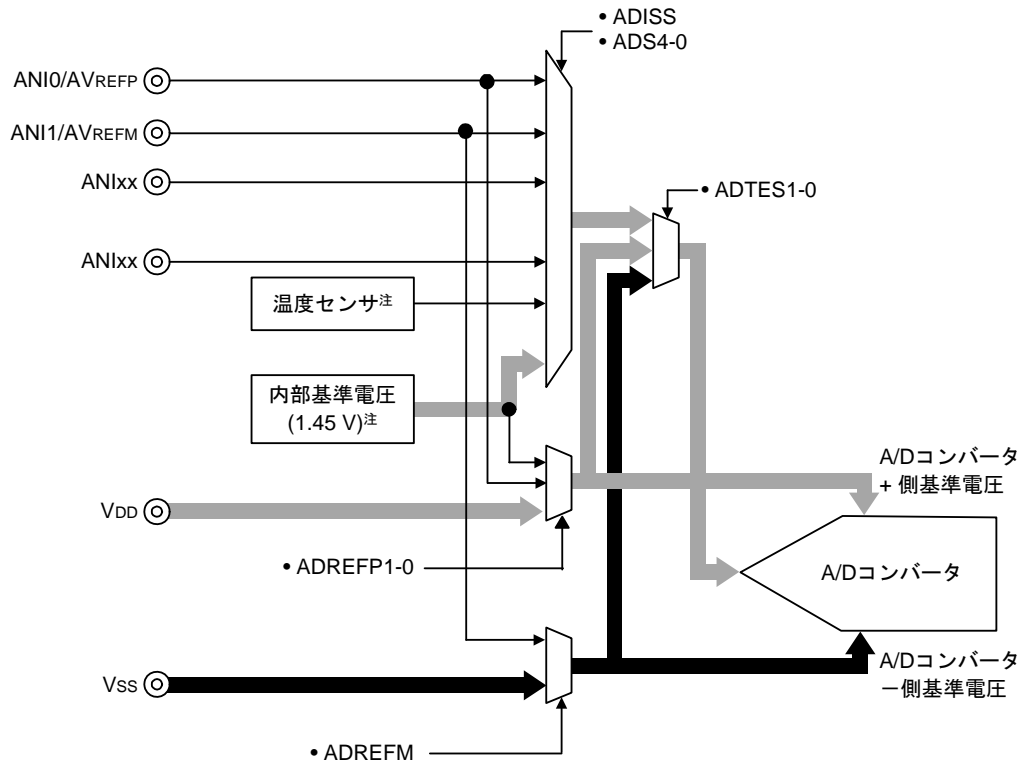
また、アナログ・マルチプレクサは、以下の手順で確認できます。

- ① ADTESレジスタでA/D変換対象にANix端子を選択(ADTES1, ADTES0 = 0, 0)
- ② ANix端子のA/D変換を行う(変換結果1-1)。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの-側基準電圧を選択(ADTES1, ADTES0 = 1, 0)
- ④ A/Dコンバータの-側基準電圧のA/D変換を行う(変換結果2-1)
- ⑤ ADTESレジスタでA/D変換対象にANix端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑥ ANix端子のA/D変換を行う(変換結果1-2)
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択(ADTES1, ADTES0 = 1, 1)
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う(変換結果2-2)
- ⑨ ADTESレジスタでA/D変換対象にANix端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑩ ANix端子のA/D変換を行う(変換結果1-3)
- ⑪ 「変換結果1-1」 = 「変換結果1-2」 = 「変換結果1-3」であることを確認する。
- ⑫ 「変換結果2-1」のA/D変換結果がオール0, 「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

- 備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。
2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図20-15 A/Dテスト機能の構成



注 HS (高速メイン) モードでのみ選択可能です。

20.10.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル (ANLxx)、温度センサ出力電圧、内部基準電圧(1.45 V)を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ・ 内部の0 Vを測定するときは、A/D変換対象にAVREFMを選択。
- ・ AVREFを測定するときは、A/D変換対象にAVREFPを選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-16 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANLxx/温度センサ出力 ^注 / 内部基準電圧出力(1.45 V) ^注
1	0	AVREFM
1	1	AVREFP
上記以外		設定禁止

注 温度センサ出力、内部基準電圧出力 (1.45 V) は、HS (高速メイン) モードでのみ選択可能です。

20.10.2 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/Dテスト機能でANIXX/温度センサ出力/内部基準電圧 (1.45 V) を測定するときは、A/Dテスト・レジスタ (ADTES) を00Hに設定してください。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-17 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4 ^{注1}	0	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4 ^{注1}	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	1	1	ANI3	P23/ANI3端子
0	0	1	0	0	ANI4 ^{注2}	P24/ANI4端子
0	0	1	0	1	ANI5 ^{注2}	P25/ANI5端子
0	0	1	1	0	ANI6 ^{注2}	P26/ANI6端子
0	0	1	1	1	ANI7	P27/ANI7端子
0	1	0	0	0	ANI16 ^{注1}	P10/ANI16端子
1	0	0	0	0	—	温度センサ出力 ^{注3}
1	0	0	0	1	—	内部基準電圧出力 (1.45 V) ^{注3}
上記以外					設定禁止	

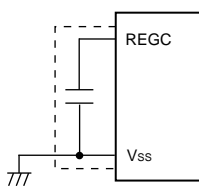
- 注 1. 24ピン製品のみ
 2. 32ピン製品のみ
 3. HS (高速メイン) モードでのみ選択可能です。

- 注意1. ビット3, 5, 6には必ず0を設定してください。
 2. ADISSビットを書き換える場合は、必ずA/D変換コンパレータ動作停止状態 (A/Dコンバータ・モード・レジスタ0 (ADM0) のADCS = 0, ADCE = 0) のときに行ってください。
 3. AV_{REFP}をA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。
 4. AV_{REFM}をA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。
 5. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧 (1.45 V) は使用できません。

第21章 レギュレータ

21.1 レギュレータの概要

RL78/G1Pは、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ（ $0.47\sim 1\mu\text{F}$ ）を介し、Vssに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、表21-1のようになります。

表21-1 レギュレータ出力電圧条件

モード	出力電圧	条 件
LS（低速メイン）モード	1.8 V	—
HS（高速メイン）モード	1.8 V	STOPモード時
	2.1 V	上記以外（オンチップ・デバッグ中を含む） ^注

注 オンチップ・デバッグ中にSTOPモードに移行する場合は、レギュレータ出力電圧は2.1 Vを継続します（1.8 Vにはなりません）。

第22章 オプション・バイト

22.1 オプション・バイトの機能

RL78/G1Pのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

22.1.1 ユーザ・オプション・バイト（000C0H-000C2H）

(1) 000C0H

- ウォッチドッグ・タイマの動作
 - ・カウンタの動作許可／禁止
 - ・HALT/STOPモード時の動作停止／可能
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
 - ・使用する／使用しない

(2) 000C1H

- LVDの動作モード設定
 - ・割り込み&リセット・モード
 - ・リセット・モード
 - ・割り込みモード
 - ・LVDオフ(RESET端子による外部リセット入力を使用)
- LVD検出レベル (V_{LVDH} , V_{LVDL} , V_{LVD}) の設定

(3) 000C2H

○フラッシュの動作モード設定

- ・LS（低速メイン）モード
- ・HS（高速メイン）モード

○高速オンチップ・オシレータの周波数設定

- ・1 MHz, 4 MHz, 8 MHz, 12 MHz, 16 MHz, 24 MHz, 32 MHz から選択

22. 1. 2 オンチップ・デバッグ・オプション・バイト（000C3H）

○オンチップ・デバッグ動作制御

- ・オンチップ・デバッグ動作禁止／許可

○セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

- ・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

22.2 ユーザ・オプション・バイトのフォーマット

図22-1 ユーザ・オプション・バイト (000C0H) のフォーマット

アドレス : 000C0H

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%+1/2f _{IL} 到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間 ^注
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止 (リセット解除後, カウント停止)
1	カウンタ動作許可 (リセット解除後, カウント開始)

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.) の場合)
0	0	0	2 ⁶ /f _{IL} (3.71 ms)
0	0	1	2 ⁷ /f _{IL} (7.42 ms)
0	1	0	2 ⁸ /f _{IL} (14.84 ms)
0	1	1	2 ⁹ /f _{IL} (29.68 ms)
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)
上記以外			設定禁止

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)
0	HALT/STOPモード時, カウンタ動作停止 ^注
1	HALT/STOPモード時, カウンタ動作許可

注 WDSTBYON = 0のときは, WINDOW1, WINDOW0ビットの値に関係なく, ウィンドウ・オープン期間100%となります。

備考 f_{IL} : 低速内オンチップ・オシレータ・クロック周波数

図22-2 ユーザ・オプション・バイト (000C1H) のフォーマット

アドレス : 000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
V _{LVDH}		V _{LVDL}	モード設定		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	立ち下がり	LVIMDS1	LVIMDS0					
2.92 V	2.86 V	2.75 V	1	0	0	1	1	1	0
3.02 V	2.96 V							0	1
上記以外			設定禁止						

・LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
V _{LVD}		モード設定		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	LVIMDS1	LVIMDS0					
2.81 V	2.75 V	1	1	0	1	1	1	1
2.92 V	2.86 V				1	1	1	0
3.02 V	2.96 V				1	1	0	1
3.13 V	3.06 V				0	1	0	0
上記以外		設定禁止						

・LVDの設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
V _{LVD}		モード設定		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	LVIMDS1	LVIMDS0					
2.81 V	2.75 V	0	1	0	1	1	1	1
2.92 V	2.86 V				1	1	1	0
3.02 V	2.96 V				1	1	0	1
3.13 V	3.06 V				0	1	0	0
上記以外		設定禁止						

LVDの設定 (LVDオフ)

検出電圧		オプション・バイト設定値						
V _{LVD}		モード設定		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	LVIMDS1	LVIMDS0					
—	—	0/1	1	1	×	×	×	×
上記以外		設定禁止						

注意 ビット4には、必ず1を書き込んでください。

- 備考 1. LVD回路の詳細は、第19章 電圧検出回路を参照してください。
 2. 検出電圧はTYP.値です。詳細は、27.6.5 LVD回路特性を参照してください。

図22-3 ユーザ・オプション・バイト (000C2H) のフォーマット

アドレス : 000C2H

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲	動作電圧範囲
1	0	LS (低速メイン) モード	1 MHz~8 MHz	2.7 V~3.6 V
1	1	HS (高速メイン) モード	1 MHz~32 MHz	2.7 V~3.6 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注意 ビット5, 4には、必ず10Bを書き込んでください。

22.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図22-4 オンチップ・デバッグ・オプション・バイト (000C3H) のフォーマット

アドレス : 000C3H

	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注意 ビット7, 0 (OCDENSET, OCDERSD) のみ, 値を指定できます。

ビット6-1には, 必ず000010Bを書き込んでください。

備考 ビット3-1は, オンチップ・デバッグ機能使用時に値が書き変わるので, 設定後は不定となります。

ただし, 設定時にはビット3-1にも, 必ず初期値 (0, 1, 0) を設定してください。

22.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にアセンブラのリンカ・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/t_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	7AH	; VLVDLに2.75 Vを選択 ; VLVDHに立ち上がり1.77 V, 立ち下がり2.86 Vを選択 ; LVDの動作モードに割り込み&リセット・モードを選択
	DB	ADH	; フラッシュの動作モードにLS (低速メイン) モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。

第23章 フラッシュ・メモリ

RL78/G1Pは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は、次の3通りあります。

- ・フラッシュ・メモリ・プログラマによる書き込み (23.1参照)
専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。
- ・外部デバイス (UART内蔵) による書き込み (23.2参照)
外部デバイス(マイコンやASIC)とのUART通信を使用してオンボード上で書き込みができます。
- ・セルフ・プログラミング (23.7参照)
フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

23.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78/G1Pの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- ・ PG-FP6
- ・ E1, E2, E2 Lite, E20オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78/G1Pを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78/G1Pを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

表23-1 RL78/G1Pと専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子			端子名	ピン番号		
信号名		入出力		端子機能	24ピン	32ピン
PG-FP6	E1, E2, E2 Lite, E20 オンチップデバッグ エミュレータ				HWQFN (4×4)	LQFP (7×7)
—	TOOL0	入出力	送受信信号	TOOL0/P40	23	1
SI/RxD	—	入出力	送受信信号			
—	RESET	出力	リセット信号	RESET	24	2
/RESET	—	出力				
V _{CC}	V _{DD}	入出力	V _{DD} 電圧生成/ 電源監視	V _{DD}	6	8
GND		—	グラウンド	V _{SS}	5	7
				REGC ^注	4	6
FLMD1	EMV _{DD}	—	TOOL0端子 駆動電源	V _{DD}	6	8

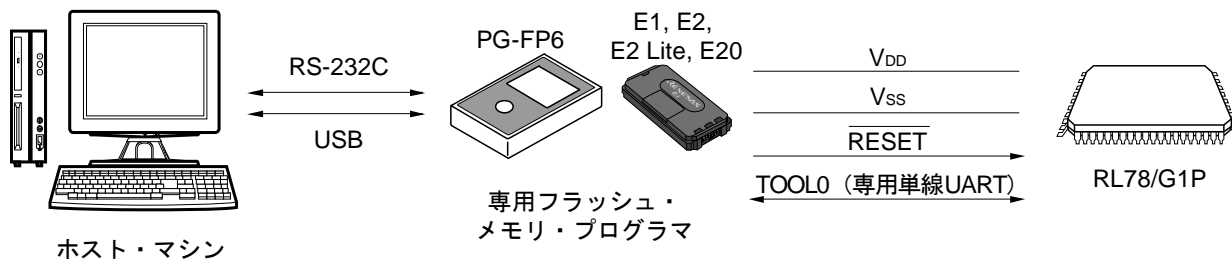
注 REGC端子はコンデンサ (0.47~1 μ F) を介してグラウンドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

23.1.1 プログラミング環境

RL78/G1Pのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図23-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

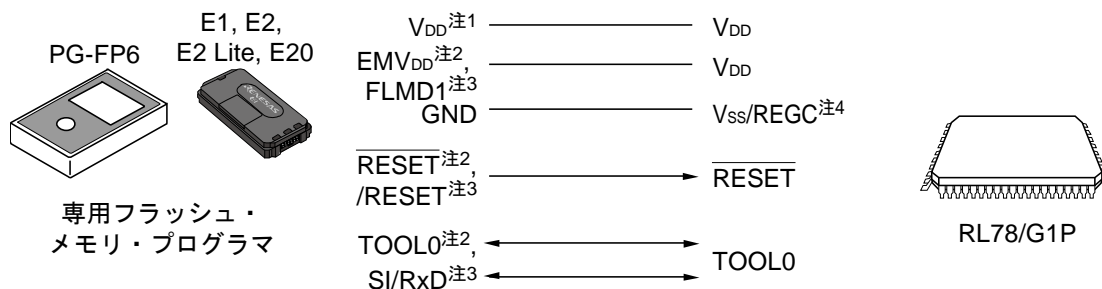
また、専用フラッシュ・メモリ・プログラマとRL78/G1PとのインターフェースはTOOL0端子を使用して、専用の単線UARTで書き込み／消去の操作を行います。

23.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78/G1Pとの通信は、RL78/G1PのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート： 1 M, 500 k, 250 k, 115.2 kbps

図23-2 専用フラッシュ・メモリ・プログラマとの通信



注1. PG-FP6の信号名はV_{CC}です。

2. E1, E2, E2 Lite, E20オンチップデバギングエミュレータ使用時。

3. PG-FP6使用時。

4. REGC端子はコンデンサ（0.47～1 μF）を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78/G1Pに対して次の信号を生成します。詳細はPG-FP6またはE1, E2, E2 Lite, E20オンチップデバッグエミュレータのマニュアルを参照してください。

表23-2 端子接続一覧

専用フラッシュ・メモリ・プログラマ		RL78/G1P		
信号名		入出力	端子機能	端子名
PG-FP6	E1, E2, E2 Lite, E20 オンチップデバッグ エミュレータ			
V _{CC}	V _{DD}	入出力	V _{DD} 電圧生成／電圧監視	V _{DD}
GND		—	グラウンド	V _{SS} , REGC ^注
EMV _{DD}		—	TOOL0端子駆動電源	V _{DD}
/RESET	—	出力	リセット信号	RESET
—	RESET	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注 REGC端子はコンデンサ (0.47~1 μ F) を介してグラウンドに接続してください。

23.2 外部デバイス (UART内蔵) によるシリアル・プログラミング

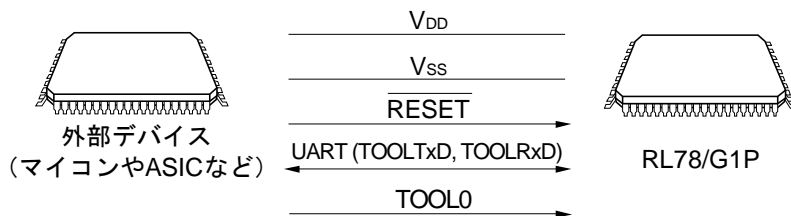
オンボード上でRL78/G1PとUART接続されている外部デバイス (マイコンやASIC) を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、RL78マイクロコントローラ (RL78プロトコルA) プログラマ編アプリケーション・ノート (R01AN0815) を参照してください。

23.2.1 プログラミング環境

RL78/G1Pのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図23-3 フラッシュ・メモリにプログラムを書き込むための環境



外部デバイスからRL78/G1Pに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

23. 2. 2 通信方式

外部デバイスとRL78/G1Pとの通信は、RL78/G1PのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps



注 REGC端子はコンデンサ (0.47~1 μ F) を介してグランドに接続してください。

外部デバイスはRL78/G1Pに対して次の信号を生成します。

表23-3 端子接続一覧

外部デバイス			RL78/G1P
信号名	入出力	端子機能	端子名
V _{DD}	入出力	V _{DD} 電圧生成／電圧監視	V _{DD}
GND	—	グランド	V _{SS} , REGC ^注
RESETOUT	出力	リセット信号出力	RESET
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注 REGC端子はコンデンサ (0.47~1 μ F) を介してグランドに接続してください。

23.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、23.5.2 フラッシュ・メモリ・プログラミング・モードを参照してください。

23.3.1 P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 k Ω の抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時：外部リセット解除時から t_{HD} の間はロウ・レベルを入力しないでください。また、プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

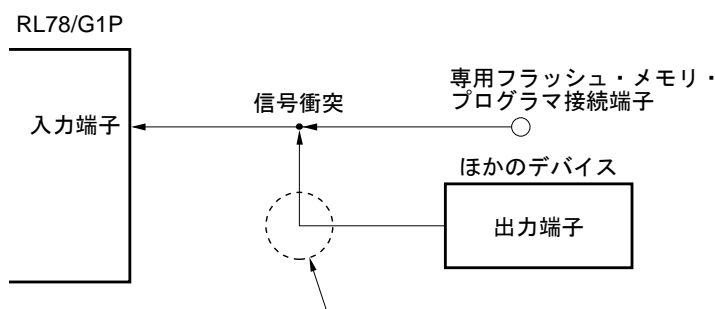
- 備考1. t_{HD} ：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。27.9 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。
2. RL78/G1Pと専用フラッシュ・メモリ・プログラマとの通信には、単線UART（TOOL0端子）を使用するので、SAUやIICAの端子は使用しません。

23.3.2 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図23-5 信号の衝突（RESET端子）



フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

23.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、もしくは抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

23.3.4 REGC端子

REGC端子は、通常動作時と同様に、特性の良いコンデンサ（0.47~1 μ F）を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

23.3.5 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック（f_{IH}）を使用します。

23.3.6 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、V_{DD}端子はフラッシュ・メモリ・プログラムのV_{DD}^注に、V_{SS}端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、V_{DD}, V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}, GNDと必ず接続してください。

注 PG-FP6の信号名はV_{CC}です。

23.4 データ・フラッシュ

23.4.1 データ・フラッシュの概要

RL78/G1Pのデータ・フラッシュ搭載品は、16 Kバイトのコード・フラッシュとは別に、データを格納する2 Kバイトのデータ・フラッシュ（フラッシュ・メモリ）を内蔵しています。



データ・フラッシュの概要は次のとおりです。データ・フラッシュの書き換え方法の詳細は、RL78ファミリ・データ・フラッシュ・ライブラリ ユーザーズ・マニュアルを参照してください。

- ・フラッシュ・メモリ・プログラマや外部デバイスによるプログラミングに対応
- ・プログラミング単位は8ビット単位
- ・1ブロック = 1 Kバイト単位で消去可能
- ・CPU命令によるアクセスはバイト・リードのみ（1クロック+ウエイト3クロック）
- ・データ専用領域なので、データ・フラッシュからの命令実行（コード・フェッチ）はできません
- ・データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行が可能（バックグラウンド・オペレーション（BGO）対応）
- ・コード・フラッシュの書き換え中（セルフ・プログラミング時）に、データ・フラッシュにアクセスすることは禁止
- ・リセット解除後は停止状態なので、使用するためにはデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を設定します
- ・データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、HALT/STOP状態に遷移することは禁止

注意 データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ、30 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、23.7 セルフ書き込みによるフラッシュ・メモリ・プログラミングを参照してください。

23.4.2 データ・フラッシュを制御するレジスタ

23.4.2.1 データ・フラッシュ・コントロール・レジスタ（DFLCTL）

データ・フラッシュへのアクセス許可/禁止を設定するレジスタです。

DFLCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-6 データ・フラッシュ・コントロール・レジスタ（DFLCTL）のフォーマット

アドレス : F0090H	リセット時 : 00H	R/W							
略号	7	6	5	4	3	2	1	0	
DFLCTL	0	0	0	0	0	0	0	DFLEN	
DFLEN	データ・フラッシュのアクセス制御								
0	データ・フラッシュのアクセス禁止								
1	データ・フラッシュのアクセス許可								

注意 データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止です。

23.4.3 データ・フラッシュへのアクセス手順

リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには、以下の手順で初期設定を行う必要があります。

- ① データ・フラッシュ・コントロール・レジスタ (DFLCTL) のビット0 (DFLEN) に“1”を設定する。
- ② ソフトウェア・タイマなどでセットアップ時間をウエイトする。
 セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。
 <各フラッシュの動作モードでのセットアップ時間>

・HS (高速メイン) モード時	: 5 μ s
・LS (低速メイン) モード時	: 720 ns
- ③ セットアップ時間のウエイト完了後、データ・フラッシュへのアクセスが可能となります。

注意1. セットアップ時間中のデータ・フラッシュへのアクセスは禁止です。

2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。
3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作 (HIOSTOP = 0) させ、30 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

初期設定後は、CPU命令による読み出し、またはデータ・フラッシュ・ライブラリによる読み出し/書き換えが可能です。

ただし、データ・フラッシュ・アクセス時にDMAコントローラが動作する場合は、次のいずれかの手順に従って実施してください。

(A) DMAの転送保留/強制終了

データ・フラッシュを読み出す前に、使用している全てのチャンネルのDMA転送を保留してください。ただし、DWAITnビットに1を設定後、データ・フラッシュの読み出し前までに3クロック(f_{CLK})以上の間隔をあけてください。データ・フラッシュの読み出し後に、DWAITnビットを0に設定し転送保留を解除してください。

または、データ・フラッシュを読み出す前に、13.5.5 ソフトウェアでの強制終了の手順に従ってDMA転送を強制終了してください。DMA転送の再開はデータ・フラッシュ読み出し後に行ってください。

(B) ライブラリを使用してデータ・フラッシュにアクセス

最新のデータ・フラッシュ・ライブラリを使用して、データ・フラッシュにアクセスしてください。

(C) NOPの挿入

データ・フラッシュの読み出し命令の直前にNOP命令を挿入してください。

<例>

```
MOVW   HL, laddr16    ; RAMの読み出し
NOP                                ; データ・フラッシュのリード前にNOP命令を挿入
MOV    A,[DE]         ; データ・フラッシュの読み出し
```

ただし、C言語などの高級言語を使用している場合、1コードに対してコンパイラが2命令を生成する場合があります。この場合、データ・フラッシュの読み出し命令の直前にNOP命令が挿入されないため、

(A) または (B) にて、読み出ししてください。

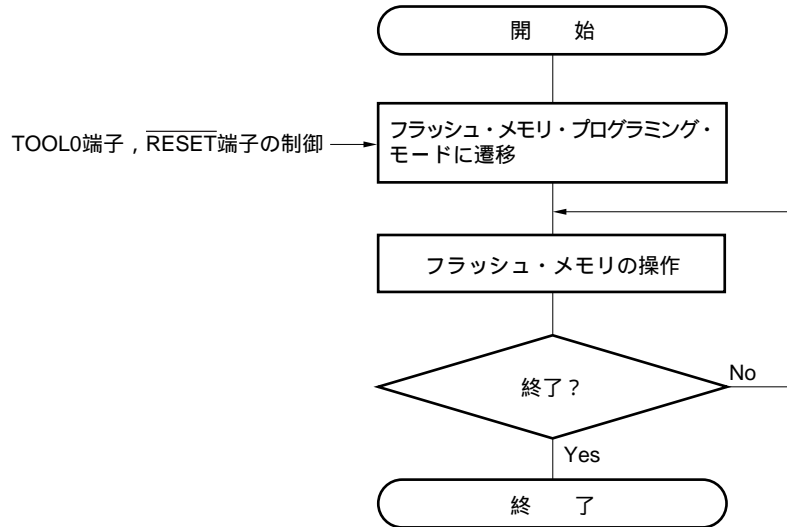
備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

23.5 プログラミング方法

23.5.1 フラッシュ・メモリ制御

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図23-7 フラッシュ・メモリの操作手順



23.5.2 フラッシュ・メモリ・プログラミング・モード

フラッシュ・メモリの内容を書き換えるときは、RL78/G1Pをフラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

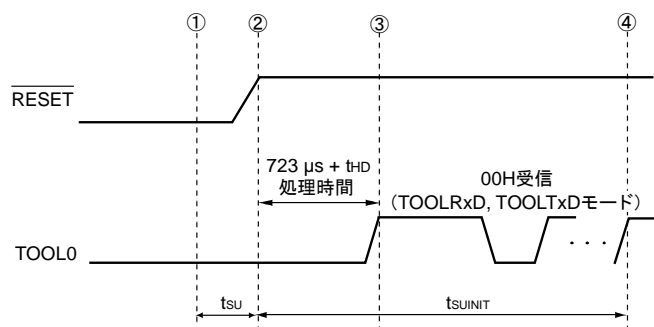
<専用フラッシュ・メモリ・プログラマを使用してプログラミングする場合>

専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

<外部デバイスを使用してプログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します。リセット解除から1 ms+ソフト処理が終わるまで、TOOL0端子をロウ・レベルに保持したのち、外部デバイスからUART通信でデータ“00H”を送信してください。UARTの初期設定通信は、リセット解除から100 ms以内に完了してください。

図23-8 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるモード引きこみ、ボー・レート設定完了

備考 tsuINIT : この区間では、リセット解除から100 ms以内に初期設定通信を完了してください。

tsu : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD : 外部/内部リセット解除から、TOOL0端子をロウ・レベルに保持する時間（ソフト処理時間を除く）

詳細は、27.9 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

表23-4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
V _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は、書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表23-5 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

モード	書き込み/消去/ベリファイ実行可能電圧	書き込み周波数
ワイド・ボルテージ・モード	2.7 V~3.6 V	8 MHz (MAX.)
	2.7 V~3.6 V	16 MHz (MAX.)
	2.7 V~3.6 V	32 MHz (MAX.)
フルスピード・モード ^注	2.7 V~3.6 V	16 MHz (MAX.)
	2.7 V~3.6 V	32 MHz (MAX.)

注 オプション・バイト000C2HのCMODE1, CMODE0 = 1, 1の場合のみ設定可能

書き込みを行う電圧範囲に合わせて、いずれかのモードを設定してください。専用フラッシュ・メモリ・プログラマではGUI上で電圧設定を行うことでモードが自動選択されます。

- 備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。
2. 通信コマンドの詳細は、23.5.4 通信コマンドを参照してください。

23.5.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表23-6 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線UART (フラッシュ・メモリ・プログラマ使用時, または外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

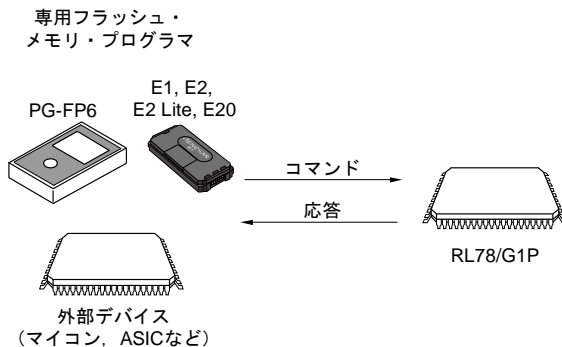
注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

23.5.4 通信コマンド

RL78/G1Pと専用フラッシュ・メモリ・プログラマまたは外部デバイスは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78/G1Pへ送られる信号を「コマンド」と呼び、RL78/G1Pから専用フラッシュ・メモリ・プログラマまたは外部デバイスへ送られる信号を「応答」と呼びます。

図23-9 通信コマンド



RL78/G1Pのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマまたは外部デバイスから発行され、RL78/G1Pがコマンドに対応した各処理を行います。

表23-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。 ^注
情報取得	Silicon Signature	RL78/G1P情報（品名、フラッシュ・メモリ構成、プログラミング用ファームウェア・バージョンなど）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

また、RL78/G1Pは、専用フラッシュ・メモリ・プログラマまたは外部デバイスから発行されたコマンドに対して、応答を返します。RL78/G1Pが送出する応答名称を次に示します。

表23-8 応答名称

応答名称	機能
ACK	コマンド／データなどのアクノリッジ
NAK	不正なコマンド／データなどのアクノリッジ

23.5.5 シグネチャ・データの説明

“Silicon Signature” コマンドが実行されると、RL78/G1P情報（品名、フラッシュ・メモリ構成、プログラミング用ファームウェア・バージョンなど）を取得することができます。

表23-9にシグネチャ・データ一覧、表23-10にシグネチャ・データの例を示します。

表23-9 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名 (ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. 00000H-0FFFFH (64 KB) → FFH, FFH, 00H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. F1000H-F1FFFH (4 KB) → FFH, 1FH, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例. Ver. 1. 23 → 01H, 02H, 03H)	3バイト

表23-10 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ (16進数)
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F11Z7A	10バイト	52 = "R" 35 = "5" 46 = "F" 31 = "1" 31 = "1" 5A = "Z" 37 = "7" 41 = "A" 20 = " 20 = "
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-03FFFH (16 KB)	3バイト	FF 3F 00
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F17FFFH (2 KB)	3バイト	FF 17 0F
ファームウェア・バージョン	Ver. 1. 23	3バイト	01 02 03

23.6 セキュリティ設定

RL78/G1Pは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。

- ・ブロック消去禁止

オンボード／オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

オンボード／オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

セキュリティ設定後、Security Releaseコマンドによる解除は、リセットで有効になります。

セキュリティ設定後、Security Releaseコマンドによる解除は、リセットで有効になります。

出荷時の初期状態では、ブロック消去／書き込みはすべて許可になっています。セキュリティは、オンボード／オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78/G1Pのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表23-11に示します。

注意 ただし、フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は23.7.1を参照）。

表23-11 セキュリティ機能有効時とコマンドの関係

(1) オンボード／オフボード・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる ^注
書き込み禁止	ブロック消去できる	書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウインドウ機能を使います（詳細は23.7.1を参照）。

表23-12 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード／オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		セキュリティ・リリース・コマンドを実行する

注意 セキュリティ・リリース・コマンドは、「ブロック消去禁止」に設定されておらず、コード・フラッシュ領域およびデータ・フラッシュ領域がブランクである場合に有効となります。

23.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング

RL78/G1Pは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はRL78/G1Pセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

- 注意1. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア（0）されている状態でセルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI命令によりIEフラグがセット（1）されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア（0）して、セルフ・プログラミング・ライブラリを実行してください。
2. RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合、「使用するRAM領域+10バイト」の領域を、書き換える前に必ず初期化してください。
 3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作（HIOSTOP = 0）させ、30 μ s経過後にセルフ・プログラミング・ライブラリを実行してください。

- 備考1. セルフ・プログラミング機能の詳細およびRL78/G1Pセルフ・プログラミング・ライブラリの詳細については、RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル（R01US0050）を参照してください。
2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラマによる書き込み時同様、書き込み／消去／ベリファイ実行可能電圧範囲の異なる次の2つのモードがあります。

表23-13 プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧

モード	書き込み／消去／ベリファイ実行可能電圧	書き込み周波数
ワイド・ボルテージ・モード	2.7 V~3.6 V	32 MHz (MAX.)
フルスピード・モード ^注	2.7 V~3.6 V	32 MHz (MAX.)

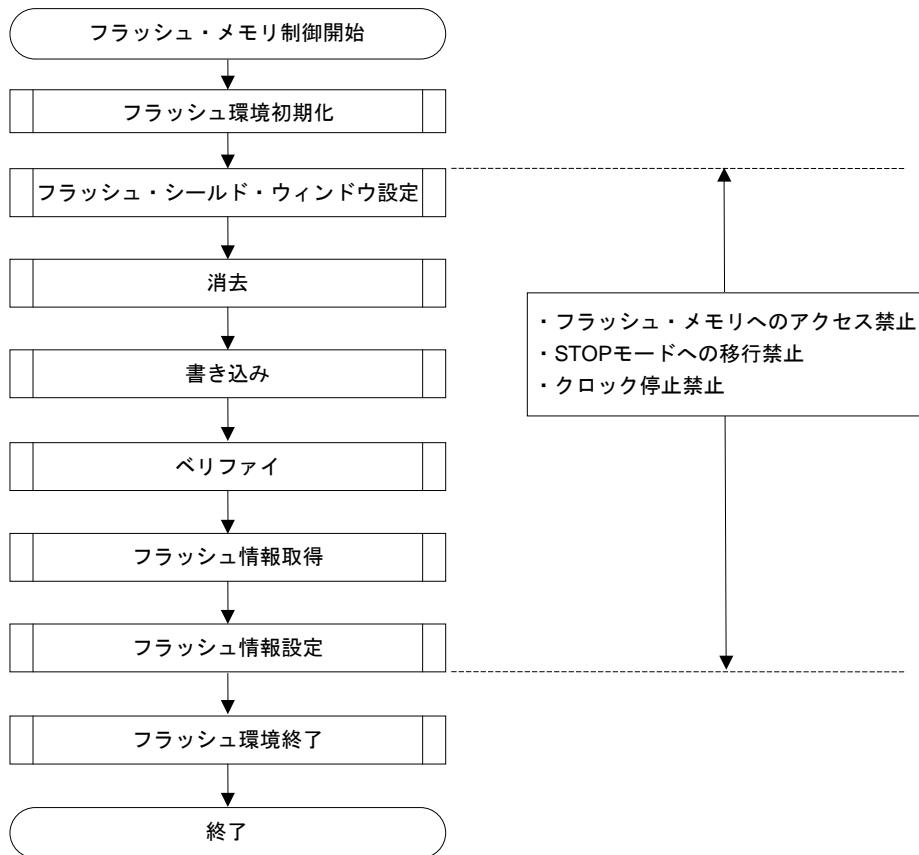
注 オプション・バイト000C2HのCMODE1, CMODE0 = 1, 1の場合のみ設定可能

書き込みを行う電圧範囲に合わせて、いずれかのモードを設定してください。ワイド・ボルテージ・モード、フルスピード・モードを設定する場合は、当社提供のセルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00H以外であればワイド・ボルテージ・モードに、00Hであればフルスピード・モードに設定されます。

- 備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み／消去／ベリファイを行ううえで制限事項はありません。
2. セルフ・プログラミング機能の詳細およびRL78/G1Pセルフ・プログラミング・ライブラリの詳細については、RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル (R01US0050) を参照してください。

次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図23-10 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



23.7.1 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、オンボード／オフボード・プログラミングのみで設定／変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、オンボード／オフボード・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図23-11 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：RL78/G1P, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



注意 フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。

表23-14 フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
オンボード／オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 オンボード／オフボード・プログラミング時の書き込み／消去を禁止したい場合には、23.6 セキュリティ設定を参照してください。

23.8 PG-FP6使用時の各コマンド処理時間 (参考値)

専用フラッシュ・メモリ・プログラマとしてPG-FP6 を使用した場合の各コマンド処理時間(参考値) を次に示します。

表23-15 PG-FP6使用時の各コマンド処理時間(参考値)

PG-FP6のコマンド	Port: TOOL0 (UART)	
	Speed: 1M bps	
	16 Kバイト	
消去	0.7 s	
書き込み	0.8 s	
ベリファイ	0.6 s	
消去後、書き込み	1.2 s	

備考 コマンド処理時間(参考値)はTYP.値です。次に条件を示します。

Port: TOOL0 (単線UART)

Speed: 1,000,000 bps

Mode: フルスピード・モード (フラッシュ動作モード：HS (高速メイン)モード)

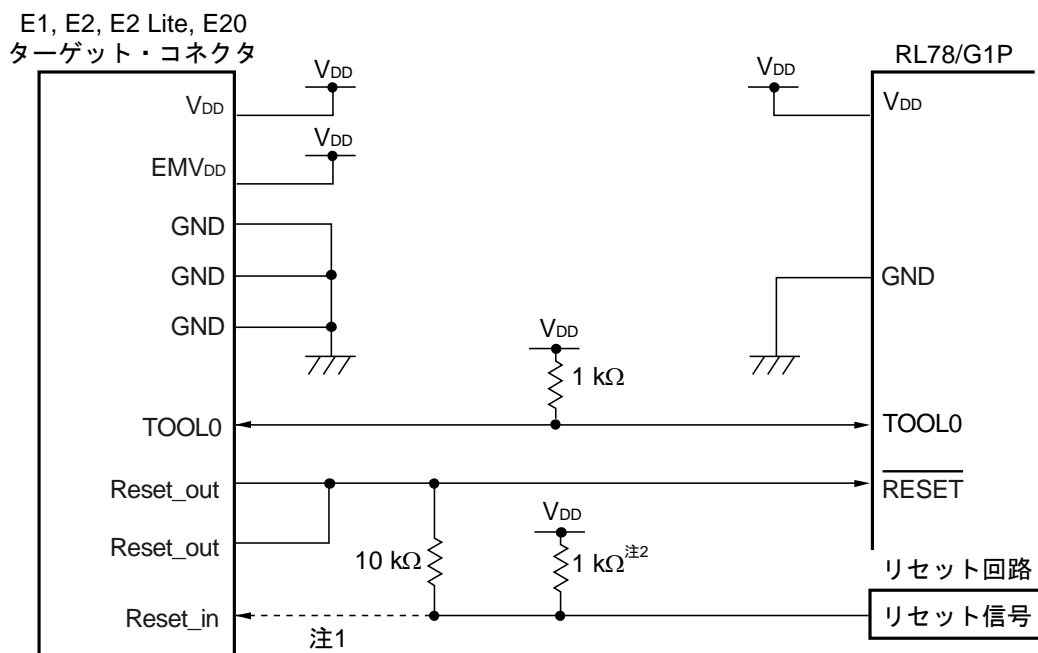
第24章 オンチップ・デバッグ機能

24.1 E1, E2, E2 Lite, E20 オンチップデバッグエミュレータと RL78/G1P の接続

RL78/G1Pは、オンチップ・デバッグ対応のE1, E2, E2 Lite, E20オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、 \overline{RESET} 、 $TOOL0$ 、 V_{SS} 端子を使用します。シリアル通信としては、 $TOOL0$ 端子を使用した単線UARTを使用します。

注意 RL78/G1Pには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図24-1 E1, E2, E2 Lite, E20 オンチップデバッグエミュレータとRL78/G1Pの接続例



注1. フラッシュ・プログラミング時、点線部の接続は必要ありません。

2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100 Ω 以下）を想定した回路例です。

24.2 オンチップ・デバッグ・セキュリティID

RL78/G1Pは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3HIにオンチップ・デバッグ動作制御ビット（第22章 オプション・バイトを参照）を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

表24-1 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード ^注
010C4H-010CDH	

注 “FFFFFFFFFFFFFFFFFFFFH” は設定できません。

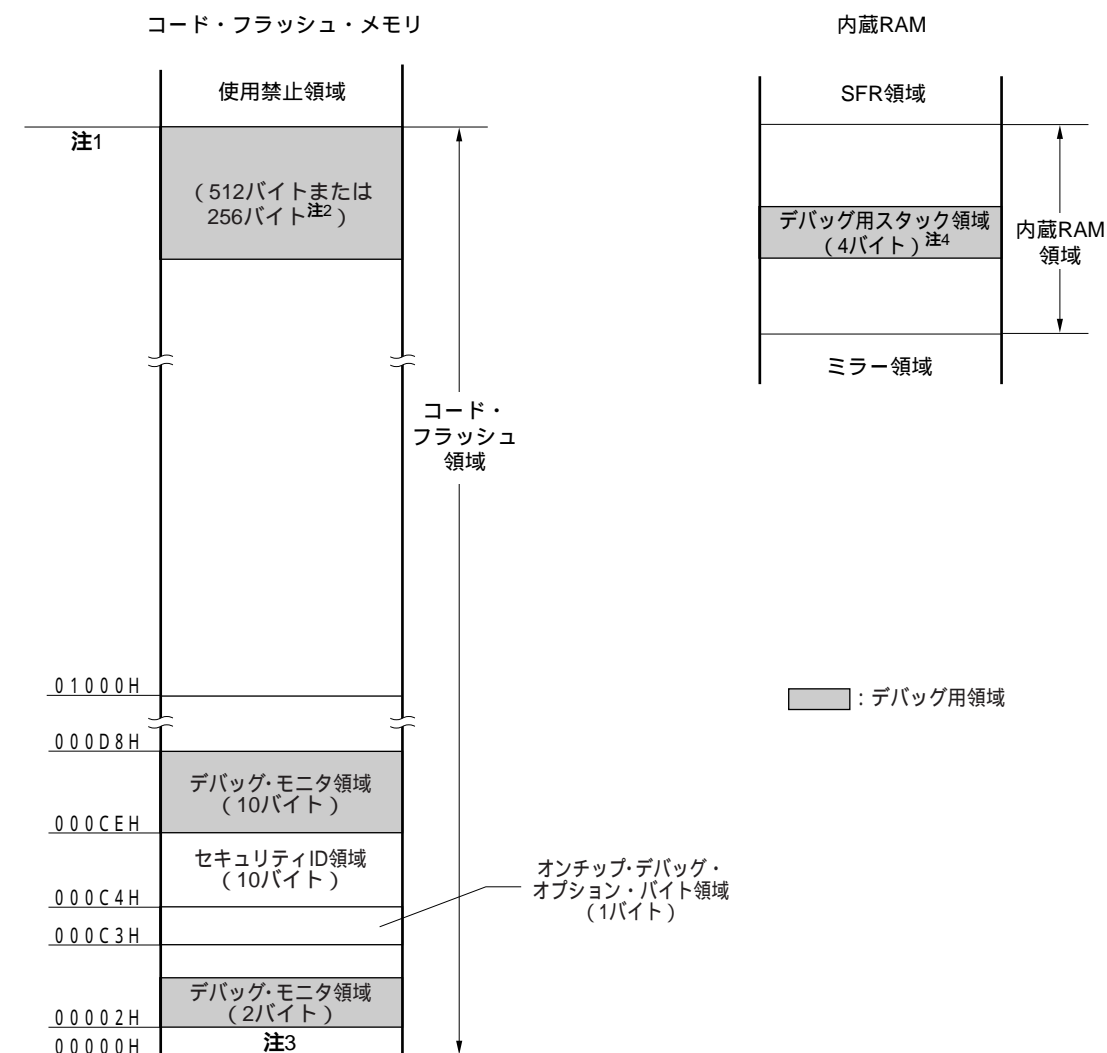
24.3 ユーザ資源の確保

RL78/G1PとE1, E2, E2 Lite, E20オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンカ・オプションで設定することもできます。

(1) メモリ空間の確保

図24-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図24-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. コード・フラッシュ・メモリのアドレスは、次のようになります。

製品名	注1のアドレス
RL78/G1P	03FFFH

- リアルタイムRAMモニタ (RRM) 機能, Dynamic Memory Modification (DMM) 機能を使用しない場合は256バイトになります。
- デバッグ時, リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
- この領域はスタック領域の直下に配置されるため, スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し, 4バイト余分に消費します。セルフ・プログラミングを行う場合は, 12バイト余分に消費します。

第25章 10進補正 (BCD) 回路

25.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を、BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ (BCDADJ) を加減算することで10進補正演算結果が求められます。

25.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- ・BCD補正結果レジスタ (BCDADJ)

25.2.1 BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

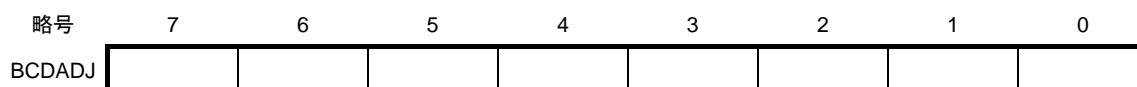
また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図25-1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



25.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

- (1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める
- ① 加算したいBCDコード値（被加算値）をAレジスタに格納する。
 - ② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値、加算値）を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ（BCDADJ）に格納される。
 - ③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW（CYフラグ、ACフラグ）は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ; ①	99H	—	—	—
ADD A, #89H ; ②	22H	1	1	66H
ADD A, !BCDADJ ; ③	88H	1	0	—

例2 $85 + 15 = 100$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ; ①	85H	—	—	—
ADD A, #15H ; ②	9AH	0	0	66H
ADD A, !BCDADJ ; ③	00H	1	1	—

例3 $80 + 80 = 160$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ; ①	80H	—	—	—
ADD A, #80H ; ②	00H	1	0	60H
ADD A, !BCDADJ ; ③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ① 減算されるBCDコード値 (被減算値) をAレジスタに格納する。
- ② Aレジスタから第2オペランドの値 (減算するBCDコード値, 減算値) を, そのまま2進数で減算することにより, 2進数での演算結果がAレジスタに格納され, 補正值がBCD補正結果レジスタ (BCDADJ) に格納される。
- ③ Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正值) を2進数で減算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, ②の命令のあとは, 他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例 91-52 = 39

命 令				A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV	A, #91H	:	①	91H	—	—	—
SUB	A, #52H	:	②	3FH	0	1	06H
SUB	A, !BCDADJ	:	③	39H	0	0	—

第26章 命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、RL78ファミリ ユーザーズ・マニュアル ソフトウェア編を参照してください。

26.1 凡 例

26.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [, ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミーディエト・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [, ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（表26-1の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表26-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル（偶数アドレスのみ ^注 ）
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFFH イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ）
addr5	0080H-00BFH イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3-5 特殊機能レジスタ一覧（SFR）を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3-6 拡張特殊機能レジスタ（2nd SFR）一覧を参照してください。

26. 1. 2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表26-2 オペレーション欄の記号

記 号	機 能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H =上位8ビット, X _L =下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
∧	論理積 (AND)
∨	論理和 (OR)
⊖	排他的論理和 (exclusive OR)
—	反転データ
addr5	16ビット・イミディエト・データ(0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミディエト・データ
addr20	20ビット・イミディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイメント値)
jdisp16	符号付き16ビット・データ (ディスプレイメント値)

26.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表26-3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

26.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDTC転送を受け付けることはありません。

表26-4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

26.2 オペレーション一覧

表26-5 オペレーション一覧 (1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	1	—	r ← byte			
		PSW, #byte	3	3	—	PSW ← byte	x	x	x
		CS, #byte	3	1	—	CS ← byte			
		ES, #byte	2	1	—	ES ← byte			
		!addr16, #byte	4	1	—	(addr16) ← byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte			
		saddr, #byte	3	1	—	(saddr) ← byte			
		sfr, #byte	3	1	—	sfr ← byte			
		[DE+byte], #byte	3	1	—	(DE+byte) ← byte			
		ES:[DE+byte],#byte	4	2	—	((ES, DE)+byte) ← byte			
		[HL+byte], #byte	3	1	—	(HL+byte) ← byte			
		ES:[HL+byte],#byte	4	2	—	((ES, HL)+byte) ← byte			
		[SP+byte], #byte	3	1	—	(SP+byte) ← byte			
		word[B], #byte	4	1	—	(B+word) ← byte			
		ES:word[B], #byte	5	2	—	((ES, B)+word) ← byte			
		word[C], #byte	4	1	—	(C+word) ← byte			
		ES:word[C], #byte	5	2	—	((ES, C)+word) ← byte			
		word[BC], #byte	4	1	—	(BC+word) ← byte			
		ES:word[BC], #byte	5	2	—	((ES, BC)+word) ← byte			
		A, r <small>注3</small>	1	1	—	A ← r			
		r, A <small>注3</small>	1	1	—	r ← A			
		A, PSW	2	1	—	A ← PSW			
		PSW, A	2	3	—	PSW ← A	x	x	x
		A, CS	2	1	—	A ← CS			
		CS, A	2	1	—	CS ← A			
		A, ES	2	1	—	A ← ES			
		ES, A	2	1	—	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	—	(addr16) ← A			
ES:!addr16, A	4	2	—	(ES, addr16) ← A					
A, saddr	2	1	—	A ← (saddr)					
saddr, A	2	1	—	(saddr) ← A					

- 注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表26-5 オペレーション一覧 (2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, sfr	2	1	—	A ← sfr			
		sfr, A	2	1	—	sfr ← A			
		A, [DE]	1	1	4	A ← (DE)			
		[DE], A	1	1	—	(DE) ← A			
		A, ES:[DE]	2	2	5	A ← (ES, DE)			
		ES:[DE], A	2	2	—	(ES, DE) ← A			
		A, [HL]	1	1	4	A ← (HL)			
		[HL], A	1	1	—	(HL) ← A			
		A, ES:[HL]	2	2	5	A ← (ES, HL)			
		ES:[HL], A	2	2	—	(ES, HL) ← A			
		A, [DE+byte]	2	1	4	A ← (DE+byte)			
		[DE+byte], A	2	1	—	(DE+byte) ← A			
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE)+byte)			
		ES:[DE+byte], A	3	2	—	((ES, DE)+byte) ← A			
		A, [HL+byte]	2	1	4	A ← (HL+byte)			
		[HL+byte], A	2	1	—	(HL+byte) ← A			
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL)+byte)			
		ES:[HL+byte], A	3	2	—	((ES, HL)+byte) ← A			
		A, [SP+byte]	2	1	—	A ← (SP+byte)			
		[SP+byte], A	2	1	—	(SP+byte) ← A			
		A, word[B]	3	1	4	A ← (B+word)			
		word[B], A	3	1	—	(B+word) ← A			
		A, ES:word[B]	4	2	5	A ← ((ES, B)+word)			
		ES:word[B], A	4	2	—	((ES, B)+word) ← A			
		A, word[C]	3	1	4	A ← (C+word)			
		word[C], A	3	1	—	(C+word) ← A			
		A, ES:word[C]	4	2	5	A ← ((ES, C)+word)			
		ES:word[C], A	4	2	—	((ES, C)+word) ← A			
A, word[BC]	3	1	4	A ← (BC+word)					
word[BC], A	3	1	—	(BC+word) ← A					
A, ES:word[BC]	4	2	5	A ← ((ES, BC)+word)					
ES:word[BC], A	4	2	—	((ES, BC)+word) ← A					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表26-5 オペレーション一覧 (3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL+B)$			
		[HL+B], A	2	1	—	$(HL+B) \leftarrow A$			
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL)+B)$			
		ES:[HL+B], A	3	2	—	$((ES, HL)+B) \leftarrow A$			
		A, [HL+C]	2	1	4	$A \leftarrow (HL+C)$			
		[HL+C], A	2	1	—	$(HL+C) \leftarrow A$			
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL)+C)$			
		ES:[HL+C], A	3	2	—	$((ES, HL)+C) \leftarrow A$			
		X, !addr16	3	1	4	$X \leftarrow (addr16)$			
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$			
		X, saddr	2	1	—	$X \leftarrow (saddr)$			
		B, !addr16	3	1	4	$B \leftarrow (addr16)$			
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$			
		B, saddr	2	1	—	$B \leftarrow (saddr)$			
		C, !addr16	3	1	4	$C \leftarrow (addr16)$			
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$			
	C, saddr	2	1	—	$C \leftarrow (saddr)$				
	ES, saddr	3	1	—	$ES \leftarrow (saddr)$				
	XCH	A, r ^{注3}	1 (r=X) 2 (r=X以外)	1	—	$A \leftrightarrow r$			
		A, !addr16	4	2	—	$A \leftrightarrow (addr16)$			
A, ES:!addr16		5	3	—	$A \leftrightarrow (ES, addr16)$				
A, saddr		3	2	—	$A \leftrightarrow (saddr)$				
A, sfr		3	2	—	$A \leftrightarrow sfr$				
A, [DE]		2	2	—	$A \leftrightarrow (DE)$				
A, ES:[DE]		3	3	—	$A \leftrightarrow (ES, DE)$				
A, [HL]		2	2	—	$A \leftrightarrow (HL)$				
A, ES:[HL]		3	3	—	$A \leftrightarrow (ES, HL)$				
A, [DE+byte]		3	2	—	$A \leftrightarrow (DE+byte)$				
A, ES:[DE+byte]		4	3	—	$A \leftrightarrow ((ES, DE)+byte)$				
A, [HL+byte]		3	2	—	$A \leftrightarrow (HL+byte)$				
A, ES:[HL+byte]		4	3	—	$A \leftrightarrow ((ES, HL)+byte)$				

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表26-5 オペレーション一覧 (4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	—	A ↔ (HL+B)			
		A, ES:[HL+B]	3	3	—	A ↔ ((ES, HL)+B)			
		A, [HL+C]	2	2	—	A ↔ (HL+C)			
		A, ES:[HL+C]	3	3	—	A ↔ ((ES, HL)+C)			
	ONEB	A	1	1	—	A ← 01H			
		X	1	1	—	X ← 01H			
		B	1	1	—	B ← 01H			
		C	1	1	—	C ← 01H			
		!addr16	3	1	—	(addr16) ← 01H			
		ES:!addr16	4	2	—	(ES, addr16) ← 01H			
		saddr	2	1	—	(saddr) ← 01H			
	CLRB	A	1	1	—	A ← 00H			
		X	1	1	—	X ← 00H			
		B	1	1	—	B ← 00H			
		C	1	1	—	C ← 00H			
		!addr16	3	1	—	(addr16) ← 00H			
		ES:!addr16	4	2	—	(ES, addr16) ← 00H			
		saddr	2	1	—	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	—	(HL+byte) ← X	×		×
		ES:[HL+byte], X	4	2	—	(ES, HL+byte) ← X	×		×
	16ビット・データ転送	MOVW	rp, #word	3	1	—	rp ← word		
saddrp, #word			4	1	—	(saddrp) ← word			
sfrp, #word			4	1	—	sfrp ← word			
AX, rp <small>注3</small>			1	1	—	AX ← rp			
rp, AX <small>注3</small>			1	1	—	rp ← AX			
AX, !addr16			3	1	4	AX ← (addr16)			
!addr16, AX			3	1	—	(addr16) ← AX			
AX, ES:!addr16			4	2	5	AX ← (ES, addr16)			
ES:!addr16, AX			4	2	—	(ES, addr16) ← AX			
AX, saddrp			2	1	—	AX ← (saddrp)			
saddrp, AX			2	1	—	(saddrp) ← AX			
AX, sfrp			2	1	—	AX ← sfrp			
sfrp, AX			2	1	—	sfrp ← AX			

- 注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。
CPUクロック (fCLK) 数。
2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表26-5 オペレーション一覧 (5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE+byte)			
		[DE+byte], AX	2	1	—	(DE+byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE)+byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE)+byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL+byte)			
		[HL+byte], AX	2	1	—	(HL+byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL)+byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL)+byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP+byte)			
		[SP+byte], AX	2	1	—	(SP+byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B+word)			
		word[B], AX	3	1	—	(B+word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B)+word)			
		ES:word[B], AX	4	2	—	((ES, B)+word) ← AX			
		AX, word[C]	3	1	4	AX ← (C+word)			
		word[C], AX	3	1	—	(C+word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C)+word)			
		ES:word[C], AX	4	2	—	((ES, C)+word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC+word)			
		word[BC], AX	3	1	—	(BC+word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC)+word)			
		ES:word[BC], AX	4	2	—	((ES, BC)+word) ← AX			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表26-5 オペレーション一覧 (6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp ^{注3}	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
BC		1	1	—	BC ← 0000H				
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A+byte	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) +byte	x	x	x
		A, r ^{注4}	2	1	—	A, CY ← A+r	x	x	x
		r, A	2	1	—	r, CY ← r+A	x	x	x
		A, !addr16	3	1	4	A, CY ← A+ (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A, CY ← A+(ES, addr16)	x	x	x
		A, saddr	2	1	—	A, CY ← A+ (saddr)	x	x	x
		A, [HL]	1	1	4	A, CY ← A+ (HL)	x	x	x
		A, ES:[HL]	2	2	5	A,CY ← A+(ES, HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A+ (HL+byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A,CY ← A+((ES, HL)+byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A+ (HL+B)	x	x	x
		A, ES:[HL+B]	3	2	5	A,CY ← A+((ES, HL)+B)	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A+ (HL+C)	x	x	x
		A, ES:[HL+C]	3	2	5	A,CY ← A+((ES, HL)+C)	x	x	x

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. rp = AXを除く。
4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表26-5 オペレーション一覧 (7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	×	×	×
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	×	×	×
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A + r + CY$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A + (\text{saddr}) + CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	×	×	×
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	×	×	×
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	×	×	×
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	×	×	×
	A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	×	×	×	
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	×	×	×
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	×	×	×
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A - r$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r - A$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16})$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr})$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	×	×	×
A, [HL+byte]		2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	×	×	×	
A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	×	×	×		
A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	×	×	×		
A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$	×	×	×		
A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	×	×	×		
A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$	×	×	×		

- 注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表26-5 オペレーション一覧 (8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	SUBC	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	×	×	×
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A - r - CY$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r - A - CY$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16}) - CY$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16}) - CY$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A - (saddr) - CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL}) - CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL}) - CY$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte}) - CY$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte}) - CY$	×	×	×
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B) - CY$	×	×	×
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B) - CY$	×	×	×
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C) - CY$	×	×	×
	A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C) - CY$	×	×	×	
	AND	A, #byte	2	1	—	$A \leftarrow A \wedge \text{byte}$	×		
		saddr, #byte	3	2	—	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	×		
		A, r ^{注3}	2	1	—	$A \leftarrow A \wedge r$	×		
		r, A	2	1	—	$r \leftarrow r \wedge A$	×		
		A, !addr16	3	1	4	$A \leftarrow A \wedge (\text{addr16})$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \wedge (\text{ES}: \text{addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \wedge (saddr)$	×		
		A, [HL]	1	1	4	$A \leftarrow A \wedge (\text{HL})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \wedge (\text{ES}: \text{HL})$	×		
A, [HL+byte]		2	1	4	$A \leftarrow A \wedge (\text{HL} + \text{byte})$	×			
A, ES:[HL+byte]		3	2	5	$A \leftarrow A \wedge ((\text{ES}: \text{HL}) + \text{byte})$	×			
A, [HL+B]		2	1	4	$A \leftarrow A \wedge (\text{HL} + B)$	×			
A, ES:[HL+B]		3	2	5	$A \leftarrow A \wedge ((\text{ES}: \text{HL}) + B)$	×			
A, [HL+C]		2	1	4	$A \leftarrow A \wedge (\text{HL} + C)$	×			
A, ES:[HL+C]	3	2	5	$A \leftarrow A \wedge ((\text{ES}: \text{HL}) + C)$	×				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表26-5 オペレーション一覧 (9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$		x	
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$		x	
		A, r ^{注3}	2	1	—	$A \leftarrow A \vee r$		x	
		r, A	2	1	—	$r \leftarrow r \vee A$		x	
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$		x	
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$		x	
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$		x	
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$		x	
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$		x	
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$		x	
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$		x	
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$		x	
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$		x	
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$		x	
	A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$		x		
	XOR	A, #byte	2	1	—	$A \leftarrow A \nabla \text{byte}$		x	
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$		x	
		A, r ^{注3}	2	1	—	$A \leftarrow A \nabla r$		x	
		r, A	2	1	—	$r \leftarrow r \nabla A$		x	
		A, !addr16	3	1	4	$A \leftarrow A \nabla (\text{addr16})$		x	
		A, ES:!addr16	4	2	5	$A \leftarrow A \nabla (\text{ES:addr16})$		x	
		A, saddr	2	1	—	$A \leftarrow A \nabla (\text{saddr})$		x	
		A, [HL]	1	1	4	$A \leftarrow A \nabla (\text{HL})$		x	
		A, ES:[HL]	2	2	5	$A \leftarrow A \nabla (\text{ES:HL})$		x	
		A, [HL+byte]	2	1	4	$A \leftarrow A \nabla (\text{HL} + \text{byte})$		x	
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$		x	
A, [HL+B]		2	1	4	$A \leftarrow A \nabla (\text{HL} + B)$		x		
A, ES:[HL+B]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + B)$		x			
A, [HL+C]	2	1	4	$A \leftarrow A \nabla (\text{HL} + C)$		x			
A, ES:[HL+C]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + C)$		x			

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表26-5 オペレーション一覧 (10/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	CMP	A, #byte	2	1	—	A-byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)-byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)-byte	×	×	×
		saddr, #byte	3	1	—	(saddr)-byte	×	×	×
		A, r <small>注3</small>	2	1	—	A-r	×	×	×
		r, A	2	1	—	r-A	×	×	×
		A, !addr16	3	1	4	A-(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A-(ES:addr16)	×	×	×
		A, saddr	2	1	—	A-(saddr)	×	×	×
		A, [HL]	1	1	4	A-(HL)	×	×	×
		A, ES:[HL]	2	2	5	A-(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A-(HL+byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A-((ES:HL)+byte)	×	×	×
		A, [HL+B]	2	1	4	A-(HL+B)	×	×	×
		A, ES:[HL+B]	3	2	5	A-((ES:HL)+B)	×	×	×
		A, [HL+C]	2	1	4	A-(HL+C)	×	×	×
	A, ES:[HL+C]	3	2	5	A-((ES:HL)+C)	×	×	×	
	CMP0	A	1	1	—	A-00H	×	0	0
		X	1	1	—	X-00H	×	0	0
		B	1	1	—	B-00H	×	0	0
		C	1	1	—	C-00H	×	0	0
		!addr16	3	1	4	(addr16)-00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16)-00H	×	0	0
		saddr	2	1	—	(saddr)-00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X-(HL+byte)	×	×	×
X, ES:[HL+byte]		4	2	5	X-((ES:HL)+byte)	×	×	×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表26-5 オペレーション一覧 (11/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	—	AX, CY ← AX+word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX+AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX+BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX+DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX+HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX+(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX+(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX+(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX+(HL+byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX+((ES:HL)+byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY ← AX-word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX-BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX-DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX-HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX-(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX-(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX-(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX-(HL+byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX-((ES:HL)+byte)	×	×	×
		CMPW	AX, #word	3	1	—	AX-word	×	×
	AX, BC		1	1	—	AX-BC	×	×	×
	AX, DE		1	1	—	AX-DE	×	×	×
	AX, HL		1	1	—	AX-HL	×	×	×
	AX, !addr16		3	1	4	AX-(addr16)	×	×	×
	AX, ES:!addr16		4	2	5	AX-(ES:addr16)	×	×	×
	AX, saddrp		2	1	—	AX-(saddrp)	×	×	×
	AX, [HL+byte]		3	1	4	AX-(HL+byte)	×	×	×
AX, ES: [HL+byte]	4		2	5	AX-((ES:HL)+byte)	×	×	×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表26-6 オペレーション一覧 (12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表26-5 オペレーション一覧 (13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r+1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)+1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)+1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr)+1$	×	×	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)+1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$	×	×	
	DEC	r	1	1	—	$r \leftarrow r-1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)-1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr)-1$	×	×	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) - 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte) - 1$	×	×	
	INCW	rp	1	1	—	$rp \leftarrow rp+1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)+1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)+1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp)+1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)+1$			
		ES: [HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$			
	DECW	rp	1	1	—	$rp \leftarrow rp-1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)-1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)-1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp)-1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) - 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte) - 1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

2. cntはビット・シフト数です。

表26-5 オペレーション一覧 (14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
BC, 1		2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×	
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
	CY, ES:[HL].bit	3	2	5	$CY \leftarrow (ES, HL).bit$			×	
	ES:[HL].bit, CY	3	3	—	$(ES, HL).bit \leftarrow CY$				
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
CY, PSW.bit		3	1	—	$CY \leftarrow CY \vee PSW.bit$			×	
CY, saddr.bit		3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×	
CY, sfr.bit		3	1	—	$CY \leftarrow CY \vee sfr.bit$			×	
CY, [HL].bit		2	1	4	$CY \leftarrow CY \vee (HL).bit$			×	
CY, ES:[HL].bit		3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表26-5 オペレーション一覧 (15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	CY ← CY∧A.bit			×
		CY, PSW.bit	3	1	—	CY ← CY∧PSW.bit			×
		CY, saddr.bit	3	1	—	CY ← CY∧(saddr).bit			×
		CY, sfr.bit	3	1	—	CY ← CY∧sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∧(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∧(ES, HL).bit			×
	SET1	A.bit	2	1	—	A.bit ← 1			
		PSW.bit	3	4	—	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	—	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit ← 1			
		saddr.bit	3	2	—	(saddr).bit ← 1			
		sfr.bit	3	2	—	sfr.bit ← 1			
		[HL].bit	2	2	—	(HL).bit ← 1			
		ES:[HL].bit	3	3	—	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	—	A.bit ← 0			
		PSW.bit	3	4	—	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	—	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit ← 0			
		saddr.bit	3	2	—	(saddr).bit ← 0			
		sfr.bit	3	2	—	sfr.bit ← 0			
		[HL].bit	2	2	—	(HL).bit ← 0			
		ES:[HL].bit	3	3	—	(ES, HL).bit ← 0			
	SET1	CY	2	1	—	CY ← 1			1
	CLR1	CY	2	1	—	CY ← 0			0
NOT1	CY	2	1	—	CY ← \overline{CY}			×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表26-5 オペレーション一覧 (16/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC ← CS, rp, SP ← SP-4			
		\$!addr20	3	3	—	(SP-2) ← (PC+3) _s , (SP-3) ← (PC+3) _H , (SP-4) ← (PC+3) _L , PC ← PC+3+jdisp16, SP ← SP-4			
		!addr16	3	3	—	(SP-2) ← (PC+3) _s , (SP-3) ← (PC+3) _H , (SP-4) ← (PC+3) _L , PC ← 0000, addr16, SP ← SP-4			
		!!addr20	4	3	—	(SP-2) ← (PC+4) _s , (SP-3) ← (PC+4) _H , (SP-4) ← (PC+4) _L , PC ← addr20, SP ← SP-4			
	CALLT	[addr5]	2	5	—	(SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC _s ← 0000, PC _H ← (0000, addr5+1), PC _L ← (0000, addr5), SP ← SP-4			
	BRK	—	2	5	—	(SP-1) ← PSW, (SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC _s ← 0000, PC _H ← (0007FH), PC _L ← (0007EH), SP ← SP-4, IE ← 0			
	RET	—	1	6	—	PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), SP ← SP+4			
	RETI	—	2	6	—	PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R
	RETB	—	2	6	—	PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表26-5 オペレーション一覧 (17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP-1) ← PSW, (SP-2) ← 00H, SP ← SP-2			
		rp	1	1	—	(SP-1) ← rp _H , (SP-2) ← rp _L , SP ← SP-2			
	POP	PSW	2	3	—	PSW ← (SP+1), SP ← SP+2	R	R	R
		rp	1	1	—	rp _L ← (SP), rp _H ← (SP+1), SP ← SP+2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
ADDW	SP, #byte	2	1	—	SP ← SP+byte				
SUBW	SP, #byte	2	1	—	SP ← SP-byte				
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC+2+jdisp8			
		!addr20	3	3	—	PC ← PC+3+jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4 ^{注3}	—	PC ← PC+2+jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4 ^{注3}	—	PC ← PC+2+jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4 ^{注3}	—	PC ← PC+2+jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4 ^{注3}	—	PC ← PC+2+jdisp8 if Z = 0			
	BH	\$addr20	3	2/4 ^{注3}	—	PC ← PC+3+jdisp8 if (ZVCY)=0			
	BNH	\$addr20	3	2/4 ^{注3}	—	PC ← PC+3+jdisp8 if (ZVCY)=1			
	BT	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC ← PC+3+jdisp8 if (HL).bit = 1			
ES:[HL].bit, \$addr20		4	4/6 ^{注3}	7/8	PC ← PC+4+jdisp8 if (ES, HL).bit = 1				

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表26-5 オペレーション一覧 (18/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC ← PC+3+jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC ← PC+4+jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	—	PC ← PC+4+jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (ZVCY)=0			
	SKNH	—	2	1	—	Next instruction skip if (ZVCY)=1			
CPU制御	SEL ^{注4}	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. クロック数は“条件不成立時/条件成立時”を表しています。
4. nはレジスタ・バンク番号です (n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

第27章 電気的特性

- 注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により搭載している端子が異なります。2.1 端子機能一覧 ~2.2.1 製品別の搭載機能を参照してください。

27.1 絶対最大定格

絶対最大定格 (TA = 25 °C) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5~+4.6	V
	V _{SS}		-0.5~+0.3	V
REGC端子入力電圧	V _{I_{REGC}}	REGC	-0.3~+2.8 かつ-0.3~V _{DD} +0.3 ^{注1}	V
入力電圧	V _{I1}	P10-P17, P20-P27, P30-P35, P40, P121, P122, P137	-0.3~V _{DD} +0.3 ^{注2}	V
	V _{I2}	P60, P61 (N-chオープン・ドレイン)	-0.3~+6.5	V
出力電圧	V _{O1}	P10-P17, P20-P27, P30-P35, P40, P60, P61, P121, P122, P137	-0.3~V _{DD} +0.3 ^{注2}	V
アナログ入力電圧	V _{A11}	ANI0-ANI7, ANI16	-0.3~V _{DD} +0.3 かつ-0.3~AV _{REF(+)} +0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47~1 μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

- 4.6 V以下であること。
- A/D変換対象の端子は、AV_{REF(+)}+0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

- AV_{REF(+)} : A/Dコンバータの+側基準電圧
- V_{SS}を基準電圧とする。

絶対最大定格 (TA = 25 °C) (2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IoH1	1端子	P10-P17, P30-P35, P40	-40	mA
		端子合計	P40	-40	mA
		-140 mA	P10-P17, P30-P35	-100	mA
	IoH2	1端子	P20-P27	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	IoL1	1端子	P10-P17, P30-P35, P40, P60, P61	40	mA
		端子合計	P40	40	mA
		140 mA	P10-P17, P30-P35, P60, P61	100	mA
	IoL2	1端子	P20-P27	1	mA
		端子合計		5	mA
	動作周囲温度	TA	通常動作時		-40~+85
フラッシュ・メモリ・プログラミング時			0~+40		
保存温度	Tstg			-65~+150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

27.2 発振回路特性

27.2.1 X1発振回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振 周波数 (fx) 注	セラミック発振子/ 水晶振動子	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	1.0		20.0	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、27.4 AC特性を参照してください。

また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

27.2.2 オンチップ・オシレータ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ ・クロック周波数注1,2	f _{ih}	32 MHz選択時		1		32	MHz
		24 MHz選択時		1		24	MHz
高速オンチップ・オシレータ ・クロック周波数精度		-20 ~ +85°C	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	-1.0		+1.0	%
		-40 ~ -20°C	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	-1.5		+1.5	%
低速オンチップ・オシレータ ・クロック周波数注2	f _{il}				15		kHz
低速オンチップ・オシレータ ・クロック周波数精度				-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、27.4 AC特性を参照してください。

27.3 DC特性

27.3.1 端子特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$) (1/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P10-P17, P30-P35, P40 1端子			-2.0 ^{注2}	mA
		P10-P17, P30-P35 合計 (デューティ ≤ 70% ^{注3})			-19.0	mA
		全端子合計 (デューティ ≤ 70% ^{注3})			-21.0	mA
	I _{OH2}	P20-P27 1端子			-0.1	mA
		全端子合計 (デューティ ≤ 70% ^{注3})			-0.8	mA

注1. V_{DD}端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

- 合計の電流値を超えないでください。
- デューティ ≤ 70%の条件でのスペックです。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) \div (n \times 0.01)$$

<計算例> I_{OH} = -19.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-19.0 \times 0.7) \div (80 \times 0.01) = -16.625 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 3.6 V, VSS = 0 V) (2/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P10-P17, P30-P35, P40 1端子			3.0 ^{注2}	mA
		P60, P61 1端子			3.0 ^{注2}	mA
		P10-P17, P30-P35, P60, P61 合計 (デューティ ≤ 70 %時 ^{注3})			35.0	mA
		全端子合計 (デューティ ≤ 70 %時 ^{注3})			38.0	mA
	I _{OL2}	P20-P27 1端子			0.4	mA
		全端子合計 (デューティ ≤ 70 %時 ^{注3})			3.2	mA

注1. 出力端子からV_{SS}端子に流れ込んでも、デバイスの動作を保證する電流値です。

- 合計の電流値を超えないでください。
- デューティ ≤ 70 %の条件でのスペックです。

デューティ > 70 %に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn %に変更する場合）。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OL} = 35.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (35.0 \times 0.7) / (80 \times 0.01) = 30.625 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40 ~ +85 °C, 2.7 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V) (3/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	P10-P17, P30-P35, P40, P121, P122, P137, EXCLK, RESET		0.8V _{DD}		V _{DD}	V
	V _{IH2}	P20-P27		0.7V _{DD}		V _{DD}	V
	V _{IH3}	P60, P61		0.7V _{DD}		6.0	V
ロウ・レベル入力電圧	V _{IL1}	P10-P17, P30-P35, P40, P121, P122, P137, EXCLK, RESET		0		0.2V _{DD}	V
	V _{IL2}	P20-P27, P60, P61		0		0.3V _{DD}	V
ハイ・レベル出力電圧	V _{OH1}	P10-P17, P30-P35, P40	I _{OH1} = -2.0 mA	V _{DD} - 0.6			V
	V _{OH2}	P20-P27	I _{OH2} = -100 μA	V _{DD} - 0.5			V
ロウ・レベル出力電圧	V _{OL1}	P10-P17, P30-P35, P40	I _{OL1} = 3.0 mA			0.6	V
			I _{OL1} = 1.5 mA			0.4	V
	V _{OL2}	P20-P27	I _{OL2} = 400 μA			0.4	V
	V _{OL3}	P60, P61	I _{OL3} = 3.0 mA			0.4	V
ハイ・レベル入力リーク電流	I _{LIH1}	P10-P17, P20-P27, P30-P35, P40, P137, RESET	V _I = V _{DD}			1	μA
	I _{LIH2}	P121, P122 (X1, X2, EXCLK)	V _I = V _{DD}	入力ポート時,		1	μA
				外部クロック入力時 発振子接続時		10	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P10-P17, P20-P27, P30-P35, P40, P137, RESET	V _I = V _{SS}			-1	μA
				I _{LIL2}	P121, P122 (X1, X2, EXCLK)	V _I = V _{SS}	入力ポート時,
	外部クロック入力時 発振子接続時		-10				μA
内蔵プルアップ抵抗	R _U	P10-P17, P30-P35, P40	V _I = V _{SS} , 入力ポート時	10	20	100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

27.3.2 電源電流特性

(T_A = -40~+85 °C, 2.7 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

(1/3)

項目	略号	条件				MIN.	TYP.	MAX.	単位		
電源電流	I _{DD1} ^{注1}	動作モード	HS (高速メイン)モード ^{注4}	f _{IH} = 32 MHz ^{注3}	基本動作	V _{DD} = 3.0 V		2.1		mA	
					通常動作	V _{DD} = 3.0 V		4.8	7.0	mA	
				f _{IH} = 24 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		3.8	5.5	mA	
				f _{IH} = 16 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		2.8	4.0	mA	
				LS (低速メイン)モード ^{注4}	f _{IH} = 8 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		1.3	2.0	mA
			HS (高速メイン)モード ^{注4}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		3.3	4.6	mA	
						発振子接続		3.5	4.8		
				f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		2.0	2.7	mA	
						発振子接続		2.1	2.7		
			LS (低速メイン)モード ^{注4}	f _{MX} = 8 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		1.2	2.0	mA	
発振子接続		1.2				2.0					

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

- 高速オンチップ・オシレータは停止時。
- 高速システム・クロックは停止時。
- CPU動作周波数、動作モードの関係を次に示します。

HS (高速メイン)モード : @1 MHz~32 MHz

LS (低速メイン)モード : @1 MHz~8 MHz

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

- f_{IH} : 高速オンチップ・オシレータ・クロック周波数
- TYP.値の温度条件は、T_A = 25 °Cです。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$) (2/3)

項目	略号	条件			MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード ^{注6}	f _{IH} = 32 MHz ^{注4}	V _{DD} = 3.0 V		0.60	1.63	mA		
				f _{IH} = 24 MHz ^{注4}	V _{DD} = 3.0 V		0.49	1.28	mA		
				f _{IH} = 16 MHz ^{注4}	V _{DD} = 3.0 V		0.45	1.00	mA		
			LS (低速メイン)モード ^{注6}	f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.0 V		320	530	μA		
				HS (高速メイン)モード ^{注6}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		0.28	1.00	mA	
						発振子接続		0.49	1.17		
		LS (低速メイン)モード ^{注6}	f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		0.19	0.60	mA			
				発振子接続		0.30	0.67				
		IDD3 ^{注5}	STOPモード	TA = -40°C	V _{DD} = 3.0 V	方形波入力		95	330	μA	
						発振子接続		145	380		
	TA = +25°C								0.18		μA
	TA = +50°C								0.23	0.50	
TA = +70°C								0.26	1.10		
TA = +85°C				0.29	1.90						
						0.90	3.30				

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

- フラッシュ・メモリでのHALT命令実行時。
- 高速オンチップ・オシレータは停止時。
- 高速システム・クロックは停止時。
- 高速オンチップ・オシレータ、高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。また、MAX.値にはリーク電流を含みます。
- CPU動作周波数、動作モードの関係を次に示します。

HS (高速メイン) モード : @1 MHz~32 MHz

LS (低速メイン) モード : @1 MHz~8 MHz

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

3. 「STOPモード」以外のTYP.値の温度条件は、T_A = 25 °Cです。

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

(3/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注1, 2, 3}	f _{IL} = 15 kHz		0.22		μA
A/Dコンバータ動作電流	I _{ADC} ^{注1, 4}	V _{DD} = 3.0V, 最高速変換時		0.58	0.82	mA
A/Dコンバータ基準電圧電流	I _{ADREF} ^{注1}			75.0		μA
温度センサ動作電流	I _{TMPS} ^{注1}			75.0		μA
D/Aコンバータ動作電流	I _{DAC} ^{注1, 5}				2	mA
LVD動作電流	I _{LVI} ^{注1, 6}			0.08		μA
セルフ・プログラミング動作電流	I _{FSP} ^{注1, 8}			2.50	12.20	mA
BGO電流	I _{BGO} ^{注1, 7}			2.50	12.20	mA

注 1. V_{DD}に流れる電流です。

2. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
3. ウォッチドッグ・タイマにのみ流れる電流です (15 kHz低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が, RL78マイクロコントローラの電源電流値となります。
4. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでA/Dコンバータの動作時は, I_{DD1}またはI_{DD2}にI_{ADC}を加算した値がRL78マイクロコントローラの電源電流値となります。
5. D/Aコンバータにのみ流れる電流です。動作モードまたはHALTモードでD/Aコンバータの動作時は, I_{DD1}またはI_{DD2}にI_{DAC}を加算した値がRL78マイクロコントローラの電源電流値となります。
6. LVD回路にのみ流れる電流です。LVD回路の動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVD}を加算した値が, RL78マイクロコントローラの電源電流値となります。
7. データ・フラッシュ書き換え動作に流れる電流です。
8. セルフ・プログラミング動作に流れる電流です。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

2. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

3. TYP.値の温度条件は, T_A = 25 °Cです。

27.4 AC特性

(TA = -40~+85 °C, 2.7 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T _{cy}	メイン・システム・ クロック (f _{MAIN}) 動作	HS (高速メイン) モード	0.03125		1	μs
			LS (低速メイン) モード	0.125		1	μs
		セルフ・ プログラミング時	HS (高速メイン) モード	0.03125		1	μs
			LS (低速メイン) モード	0.125		1	μs
外部システム・クロック周波数	f _{ex}		1.0		20.0	MHz	
外部システム・クロック入力 ハイ、ロウ・レベル幅	t _{exH} ,		24			ns	
	t _{exL}						
TI00-TI03入力 ハイ・レベル幅, ロウ・レベル 幅	t _{nH} ,		1/f _{MCK} +10			ns	
	t _{nL}						
TO00-TO03 出力周波数	f _{ro}	HS (高速メイン) モード			8	MHz	
		LS (低速メイン) モード			4	MHz	
PCLBUZ0, PCLBUZ1出力 周波数	f _{pcl}	HS (高速メイン) モード			8	MHz	
		LS (低速メイン) モード			4	MHz	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{nTH} ,	INTP0-INTP5	1			μs	
	t _{nTL}						
RESETロウ・レベル幅	t _{rSL}		10			μs	

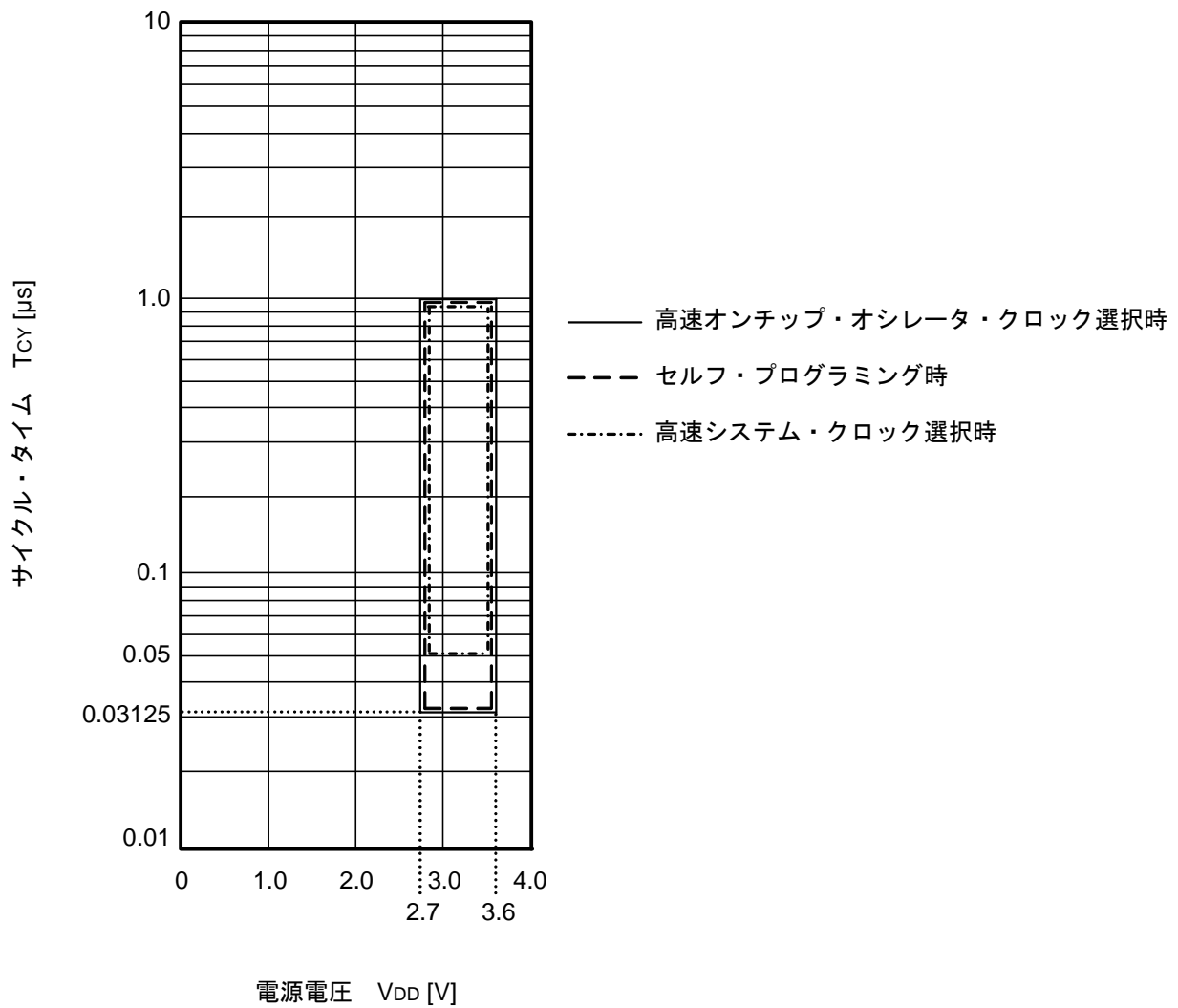
備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタmn (TMRmn) のCKSmn0, CKSmn1ビットで設定する動作クロック。

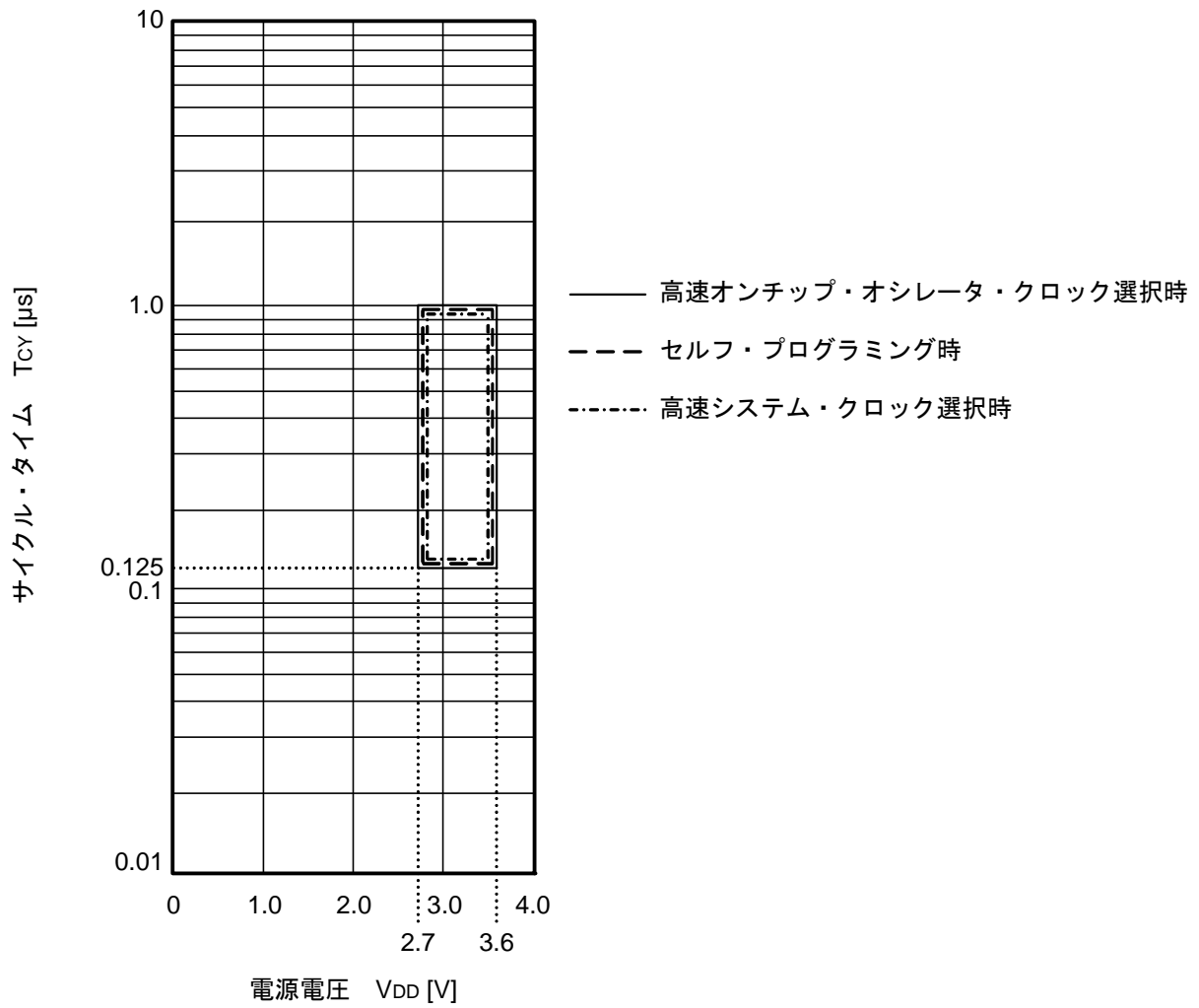
m : ユニット番号(m = 0), n : チャネル番号 (n = 0-3))

メイン・システム・クロック動作時の最小命令実行時間

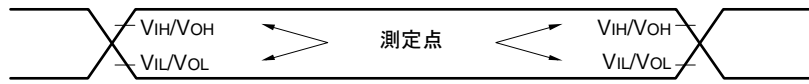
T_{CY} vs V_{DD} (HS (高速メイン) モード)



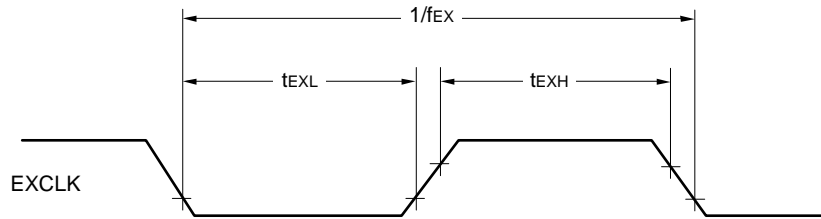
T_{CY} vs V_{DD} (LS (低速メイン) モード)



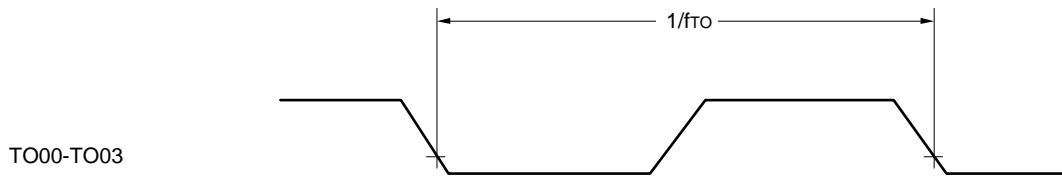
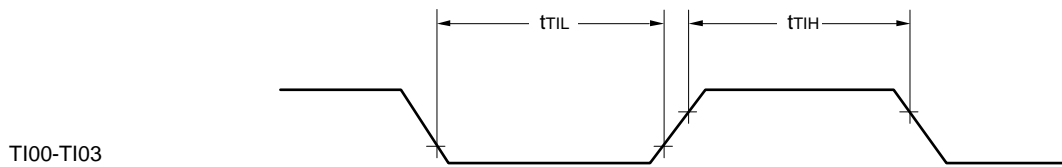
AC タイミング測定点



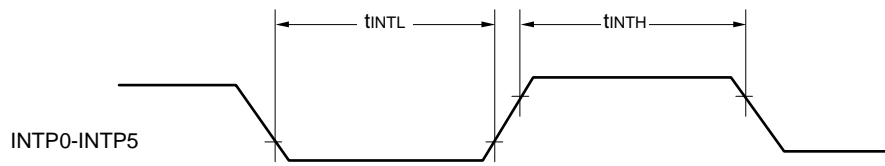
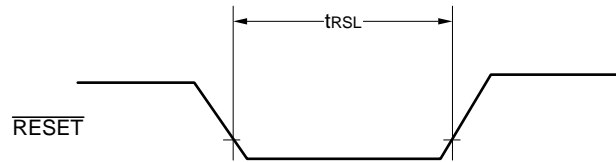
外部システム・クロック・タイミング



TI/TO タイミング

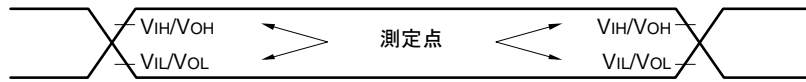


割り込み要求入力タイミング

 $\overline{\text{RESET}}$ 入力タイミング

27.5 周辺機能特性

AC タイミング測定点



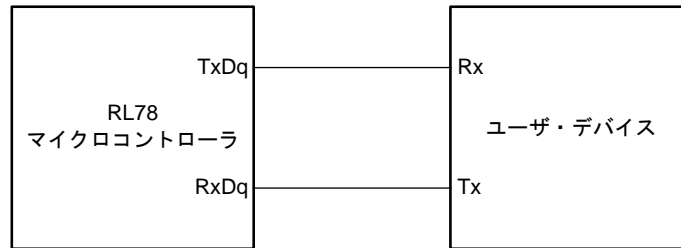
27.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード)

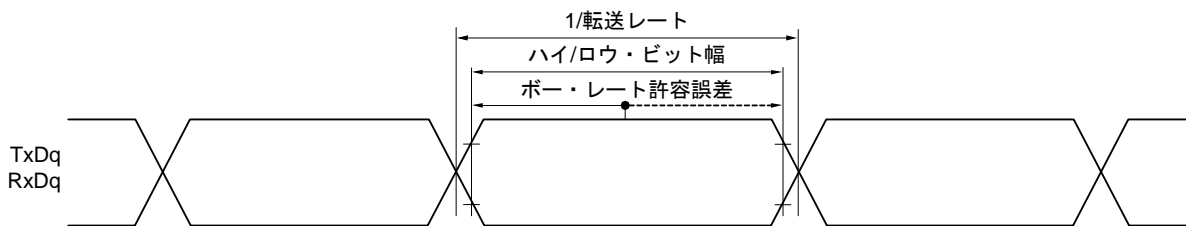
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート ^{注1}		$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$		$f_{MCK}/6$		$f_{MCK}/6$	bps
		最大転送レート理論値 $f_{MCK} = f_{CLK}$ ^{注2}		5.3		1.3	Mbps

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. CPU/周辺ハードウェア・クロック(f_{CLK})の最高動作周波数を次に示します。

HS (高速メイン) モード: 32 MHz ($2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$)

LS (低速メイン) モード: 8 MHz ($2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$)

備考1. q: UART番号 (q = 0)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号 (mn = 00, 01))

(2) 同電位通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力)

(TA = -40~+85 °C, 2.7 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項 目	略 号	条 件	HS (高速メイン) モード		LS (低速メイン) モード		単 位
			MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t _{KCY1}		83.3		250		ns
SCKpハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}		t _{KCY1} /2-10		t _{KCY1} /2-50		ns
Slpセットアップ時間 (対SCKp↑) 注1	t _{SIK1}		33		110		ns
Slpホールド時間 (対SCKp↑) 注1	t _{KSI1}		10		10		ns
SCKp↓→SO _p 出力 遅延時間注2	t _{KSO1}	C = 20 pF注3		10		10	ns

注1. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対SCKp↓”となります。

2. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対SCKp↑”となります。

3. Cは、SCKp, SO_p出カラインの負荷容量です。

備考1. p : CSI番号 (p = 00) , m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMR_{mn}) のCKS_{mn}ビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00))

(3) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp…外部クロック入力)

 $(T_A = -40 \sim +85 \text{ }^\circ\text{C}, 2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}, V_{SS} = 0 \text{ V})$

項 目	略 号	条 件	HS (高速メイン) モード		LS (低速メイン) モード		単 位
			MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム ^{注4}	t _{KCY2}	16 MHz < f _{MCK}	8/f _{MCK}		–		ns
		f _{MCK} ≤ 16 MHz	6/f _{MCK}		6/f _{MCK}		ns
SCKpハイ、ロウ・レベル幅	t _{KH2} , t _{KL2}		t _{KCY2} /2–8		t _{KCY2} /2–8		ns
Slpセットアップ時間 (対SCKp↑) ^{注1}	t _{SIK2}		1/f _{MCK} +20		1/f _{MCK} +30		ns
Slpホールド時間 (対SCKp↑) ^{注1}	t _{KSI2}		1/f _{MCK} +31		1/f _{MCK} +31		ns
SCKp↓→SOp出力 遅延時間 ^{注2}	t _{KSO2}	C = 30 pF ^{注3}		2/f _{MCK} +44		2/f _{MCK} +110	ns
SSI00セットアップ時間	t _{SSIK}	DAPmn = 0	120		120		ns
		DAPmn = 1	1/f _{MCK} +120		1/f _{MCK} +120		ns
SSI00ホールド時間	t _{KSSI}	DAPmn = 0	1/f _{MCK} +120		1/f _{MCK} +120		ns
		DAPmn = 1	120		120		ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは、SOp出カラインの負荷容量です。

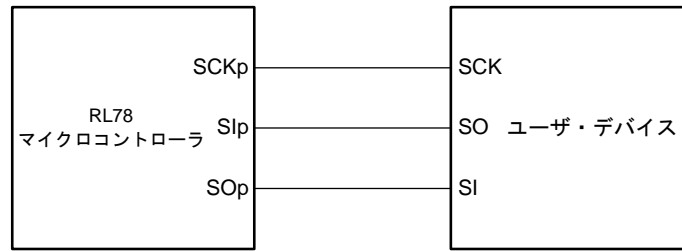
4. SNOOZEモードでの転送レートは、MAX. : 1 Mbpsです。

備考1. p : CSI番号 (p = 00) , m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

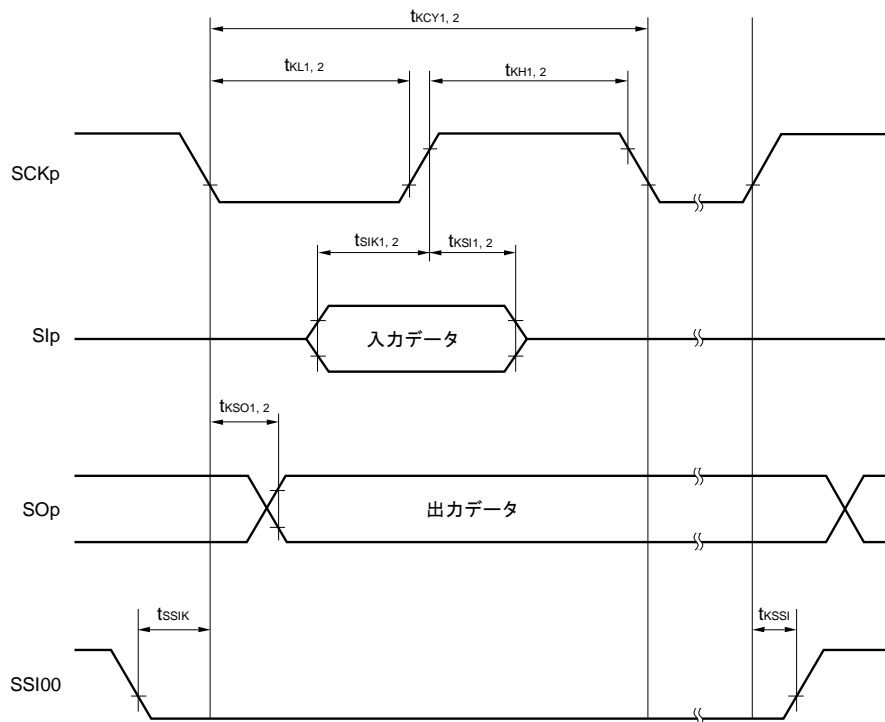
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号 (mn = 00))

CSIモード接続図（同電位通信時）



CSIモード・シリアル転送タイミング（同電位通信時）

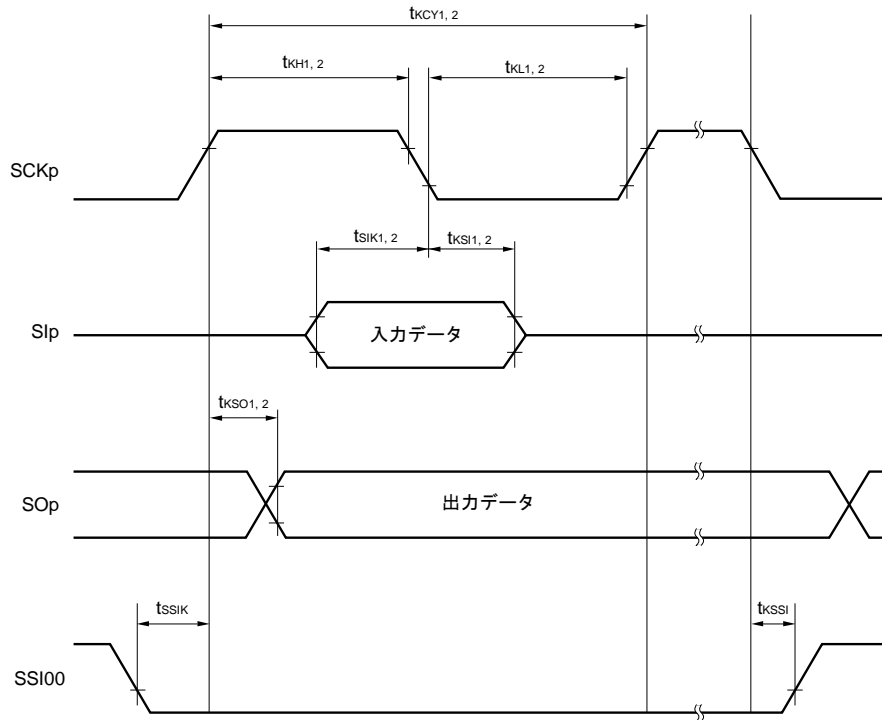
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



備考1. p : CSI番号 (p = 00)

2. m : ユニット番号, n : チャネル番号 (mn = 00)

CSIモード・シリアル転送タイミング（同電位通信時）
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号 (p = 00)

2. m : ユニット番号, n : チャネル番号 (mn = 00)

27.5.2 シリアル・インタフェースIICA

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	標準モード		ファースト・モード		ファースト・モード・プラス		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLAnクロック周波数	f _{SCL}	ファースト・モード・プラス： f _{CLK} ≥ 10 MHz					0	1000	kHz
		ファースト・モード： f _{CLK} ≥ 3.5 MHz			0	400			kHz
		標準モード： f _{CLK} ≥ 1 MHz	0	100					kHz
リスタート・コンディションのセットアップ時間	t _{SU : STA}		4.7		0.6		0.26		μs
ホールド時間 ^{注1}	t _{HD : STA}		4.0		0.6		0.26		μs
SCLAn = "L"のホールド・タイム	t _{LOW}		4.7		1.3		0.5		μs
SCLAn = "H"のホールド・タイム	t _{HIGH}		4.0		0.6		0.26		μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}		250		100		50		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD : DAT}		0	3.45	0	0.9	0	0.45	μs
ストップ・コンディションのセットアップ時間	t _{SU : STO}		4.0		0.6		0.26		μs
パス・フリー時間	t _{BUF}		4.7		1.3		0.5		μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD : DAT}の最大値 (MAX.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、ウエイトがかかります。

備考1. 各モードにおけるC_b (通信ライン容量) のMAX.値と、そのときのR_b (通信ライン・プルアップ抵抗値) の値は、次のとおりです。

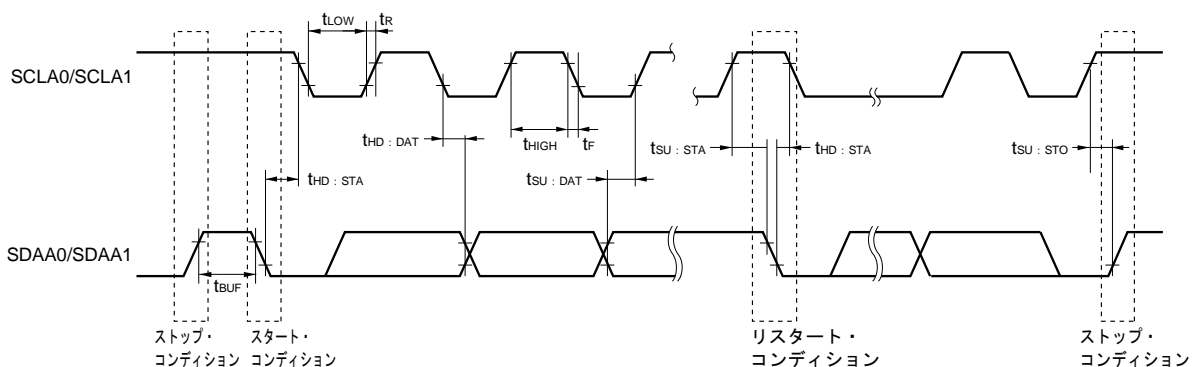
標準モード : C_b = 400 pF, R_b = 2.7 kΩ

ファースト・モード : C_b = 320 pF, R_b = 1.1 kΩ

ファースト・モード・プラス : C_b = 120 pF, R_b = 1.1 kΩ

2. n = 0, 1

IICAシリアル転送タイミング



27.5.3 専用フラッシュ・メモリ・プログラマ通信 (UART)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート			115.2 k		1 M	bps

27.6 アナログ特性

27.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 入力チャネル	基準電圧(+) = AV_{REFP} 基準電圧(-) = AV_{REFM}	基準電圧(+) = V_{DD} 基準電圧(-) = V_{SS}	基準電圧(+) = V_{BGR} 基準電圧(-) = AV_{REFM}
ANI0-ANI7	27.6.1 (1)参照	27.6.1 (2)参照	27.6.1 (5)参照
ANI16	27.6.1 (3)参照	27.6.1 (4)参照	
内部基準電圧 温度センサ出力電圧	27.6.1 (3)参照	27.6.1 (4)参照	-

(1) $AV_{REF (+)} = AV_{REFP}/ANI0$ ($ADREFP1 = 0$, $ADREFP0 = 1$), $AV_{REF (-)} = AV_{REFM}/ANI1$ ($ADREFM = 1$)
選択時, 対象ANI端子: ANI0-ANI7

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, 基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = AV_{REFM} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		12	bit
総合誤差 ^{注1}	AINL	12ビット分解能 $AV_{REFP} = V_{DD}$			± 6.0	LSB
変換時間	t_{CONV}	12ビット分解能 $AV_{REFP} = V_{DD}$	3.375		108	μs
ゼロスケール誤差 ^{注1, 2}	E_{ZS}	12ビット分解能 $AV_{REFP} = V_{DD}$			± 0.10	%FSR
フルスケール誤差 ^{注1, 2}	E_{FS}	12ビット分解能 $AV_{REFP} = V_{DD}$			± 0.10	%FSR
積分直線性誤差 ^{注1}	ILE	12ビット分解能 $AV_{REFP} = V_{DD}$			± 2.5	LSB
微分直線性誤差 ^{注1}	DLE	12ビット分解能 $AV_{REFP} = V_{DD}$			± 1.5	LSB
基準電圧 (+)	AV_{REFP}		2.7		V_{DD}	V
基準電圧 (-)	AV_{REFM}		-0.5		0.3	V
アナログ入力電圧	V_{AIN}		0		AV_{REFP}	V
	V_{BGR}	内部基準電圧出力を選択, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, HS (高速メイン) モード	1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

(2) $AV_{REF (+)} = V_{DD}$ ($ADREFP1 = 0, ADREFP0 = 0$) , $AV_{REF (-)} = V_{SS}$ ($ADREFM = 0$) 選択時, 対象ANI
端子 : ANI0-ANI7

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, 基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		12	bit
総合誤差 ^{注1}	AINL	10ビット分解能			± 7.0	LSB
変換時間	t _{CONV}	10ビット分解能	3.375		108	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	10ビット分解能			± 0.60	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	10ビット分解能			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能			± 4.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能			± 2.0	LSB
アナログ入力電圧	V _{AIN}		0		AV _{REFP}	V
	V _{BGR}	内部基準電圧出力を選択, 2.7 V \leq V _{DD} \leq 3.6 V, HS (高速メイン) モード	1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

(3) $AV_{REF (+)} = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$) , $AV_{REF (-)} = AV_{REFM}/ANI1$ ($ADREFM = 1$)
選択時, 対象ANI端子 : ANI16, 内部基準電圧, 温度センサ出力電圧

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, 基準電圧 (+) = AV_{REFP} ,
基準電圧 (-) = $AV_{REFM} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		12	bit
総合誤差 ^{注1}	AINL	12ビット分解能 AV _{REFP} = V _{DD}			± 7.0	LSB
変換時間	t _{CONV}	12ビット分解能 AV _{REFP} = V _{DD}	4.125		132	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	12ビット分解能 AV _{REFP} = V _{DD}			± 0.10	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	12ビット分解能 AV _{REFP} = V _{DD}			± 0.10	%FSR
積分直線性誤差 ^{注1}	ILE	12ビット分解能 AV _{REFP} = V _{DD}			± 3.0	LSB
微分直線性誤差 ^{注1}	DLE	12ビット分解能 AV _{REFP} = V _{DD}			± 2.0	LSB
基準電圧 (+)	AV _{REFP}		2.7		V _{DD}	V
基準電圧 (-)	AV _{REFM}		-0.5		0.3	V
アナログ入力電圧	V _{AIN}		0		AV _{REFP}	V
	V _{BGR}	内部基準電圧出力を選択, 2.7 V \leq V _{DD} \leq 3.6 V, HS (高速メイン) モード	1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

- (4) $AV_{REF (+)} = V_{DD}$ ($ADREFP1 = 0, ADREFP0 = 0$), $AV_{REF (-)} = V_{SS}$ ($ADREFM = 0$) 選択時, 対象ANI端子 : ANI16, 内部基準電圧, 温度センサ出力電圧

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, 基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		12	bit
総合誤差 ^{注1}	AINL	10ビット分解能			± 7.0	LSB
変換時間	t _{CONV}	10ビット分解能	4.125		132	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	10ビット分解能			± 0.60	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	10ビット分解能			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能			± 4.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能			± 2.5	LSB
アナログ入力電圧	V _{AIN}		0		V _{DD}	V
	V _{BGR}	内部基準電圧出力を選択, 2.7 V \leq V _{DD} \leq 3.6 V, HS (高速メイン) モード	1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

- (5) $AV_{REF (+)} =$ 内部基準電圧 ($ADREFP1 = 1, ADREFP0 = 0$), $AV_{REF (-)} = AV_{REFM}/ANI1$ ($ADREFM = 1$)
選択時, 対象ANI端子 : ANI0-ANI7, ANI16

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, 基準電圧 (+) = V_{BGR} ,
基準電圧 (-) = $AV_{REFM} = 0 \text{ V}$, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	t _{CONV}	8ビット分解能	16		108	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	8ビット分解能			± 1.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能			± 2.5	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能			± 2.5	LSB
アナログ入力電圧	V _{AIN}		0		V _{BGR}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

27.6.2 温度センサ／内部基準電圧特性

(TA = -40~+85 °C, 2.7 V ≤ VDD ≤ 3.6 V, VSS = 0 V, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMP525}	ADSレジスタ = 80H設定, TA = +25°C		1.05		V
内部基準電圧	V _{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F _{VTMP5}	温度センサ電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	t _{AMP}		5			μs

27.6.3 D/Aコンバータ

(TA = -40~+85 °C, 2.7 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

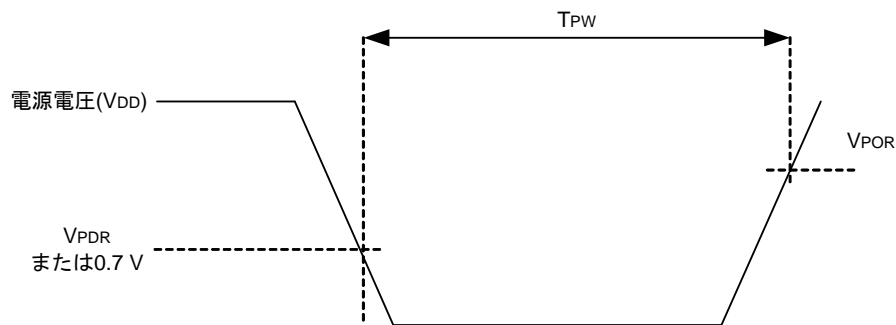
項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	R _{ES}				10	bit
総合誤差	A _{INL}	負荷電流 = 0 mA, 0.2 V ≤ 出力電圧 ≤ V _{DD} -0.2 V		±2.0	±4.0	LSB
		負荷 = 2.5 kΩ, 0.2 V ≤ 出力電圧 ≤ V _{DD} -0.2 V		±5.0	±10.0	LSB
セトリング・タイム	t _{SET}	R _{load} = 47 kΩ, C _{load} = 20 pF			10	μs
D/A出力抵抗	R _o	1チャンネルあたり 出力電圧 = 0 V~0.2 V または 出力電圧 = V _{DD} -0.2 V~V _{DD}		40	60	Ω
		1チャンネルあたり 出力電圧 = 0.2 V~V _{DD} -0.2 V		8	12	Ω

27. 6. 4 POR回路特性

(T_A = -40~+85 °C, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POR}	電源立ち上がり時	1.47	1.51	1.55	V
	V _{PDR}	電源立ち下がり時	1.46	1.50	1.54	V
最小パルス幅 ^注	T _{PW}		300			μs

注 V_{DD}がV_{PDR}を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ(CSC)のビット0 (HIOSTOP)とビット7 (MSTOP)の設定によりメイン・システム・クロック(f_{MAIN})を停止時は、V_{DD}が0.7 Vを下回ってから、V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



27.6.5 LVD回路特性

リセット・モード、割り込みモードのLVD検出電圧

(TA = -40~+85 °C, VPDR ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VLVD2	電源立ち上がり時	3.07	3.13	3.19	V
		電源立ち下がり時	3.00	3.06	3.12	V
	VLVD3	電源立ち上がり時	2.96	3.02	3.08	V
		電源立ち下がり時	2.90	2.96	3.02	V
	VLVD4	電源立ち上がり時	2.86	2.92	2.97	V
		電源立ち下がり時	2.80	2.86	2.91	V
	VLVD5	電源立ち上がり時	2.76	2.81	2.87	V
		電源立ち下がり時	2.70	2.75	2.81	V
最小パルス幅	tLW		300			μs
検出遅延					300	μs

割り込み&リセット・モードのLVD検出電圧

(TA = -40~+85 °C, VPDR ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	VLVD5	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧	2.70	2.75	2.81	V	
	VLVD4	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がり割り込み電圧	2.80	2.86	2.91	V
	VLVD3	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V
			立ち下がり割り込み電圧	2.90	2.96	3.02	V

27.6.6 電源電圧立ち上がり傾き特性

(TA = -40~+85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

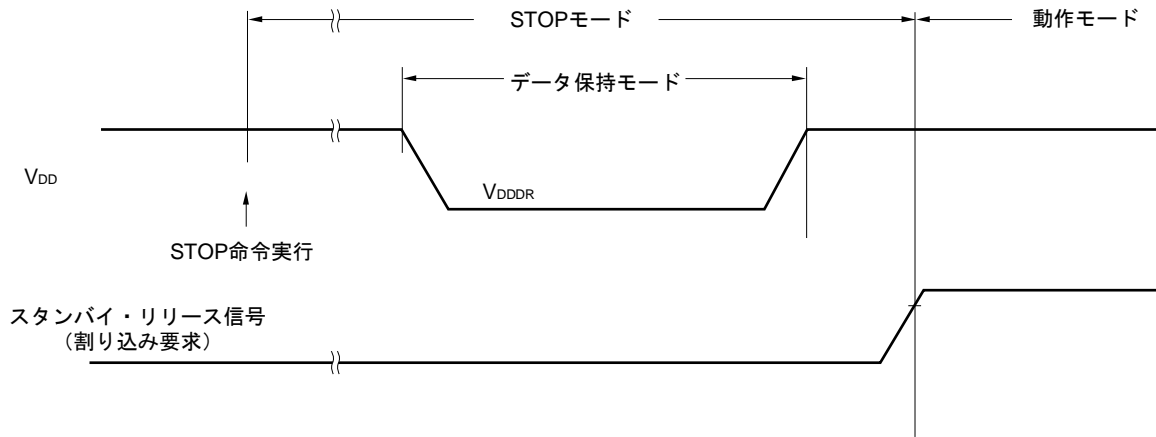
注意 VDDが27.4 AC 特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

27.7 RAMデータ保持特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.46 ^注		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



27.8 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7\text{V} \leq V_{DD} \leq 3.6\text{V}$, $V_{SS} = 0\text{V}$)

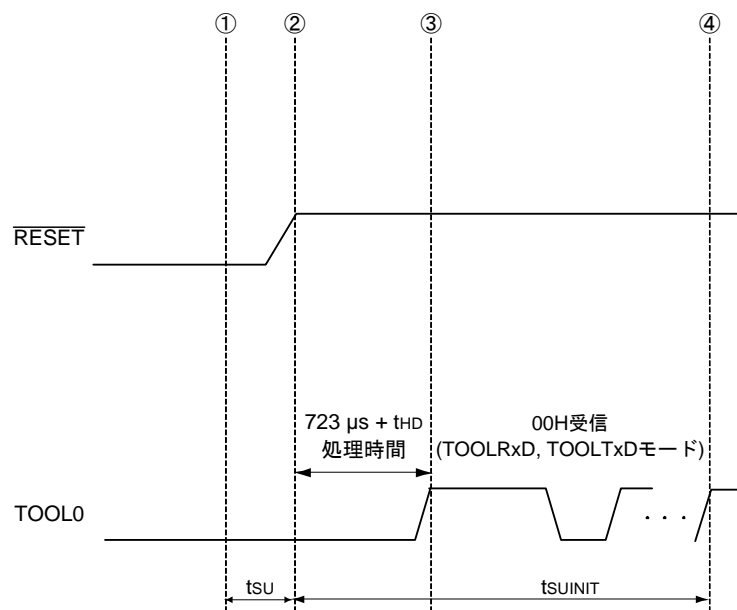
項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f_{CLK}	$2.7\text{V} \leq V_{DD} \leq 3.6\text{V}$	1		32	MHz
コード・フラッシュの書き換え回数 <small>注1,2,3</small>	C_{erwr}	保持年数：20年 $T_A = 85 \text{ }^\circ\text{C}$	1,000			回
データ・フラッシュの書き換え回数 <small>注1,2,3</small>		保持年数：1年 $T_A = 25 \text{ }^\circ\text{C}$		1,000,000		
		保持年数：5年 $T_A = 85 \text{ }^\circ\text{C}$	100,000			
動作温度		フラッシュ・メモリ・プログラミング時	0~40			$^\circ\text{C}$
		セルフ・プログラミング時	-40~+85			$^\circ\text{C}$

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

27.9 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t_{SUIINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t_{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるモード引きこみ，ボー・レート設定完了

備考 t_{SUIINIT} : この区間では、リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

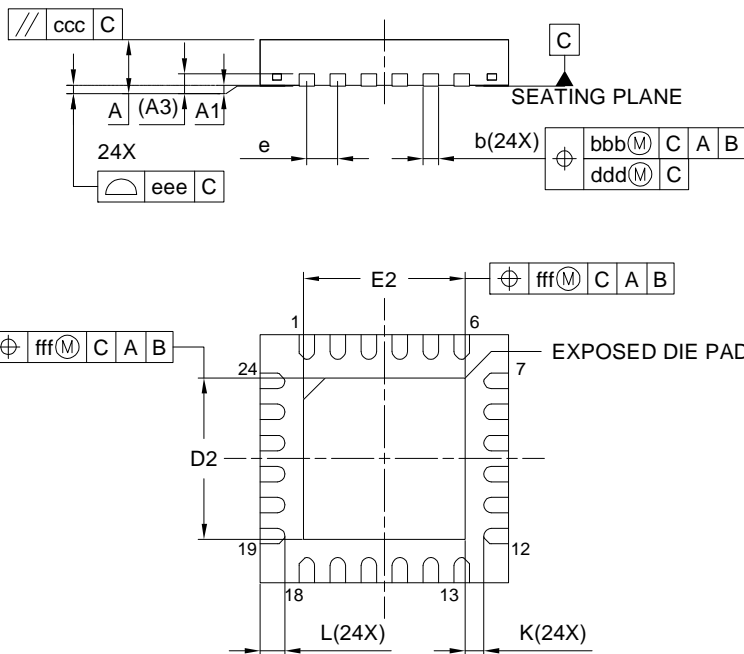
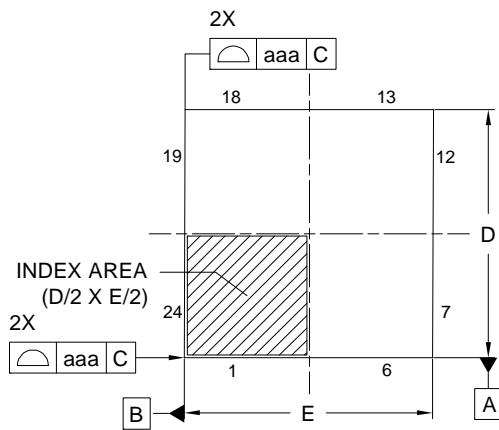
t_{HD} : 外部／内部リセット解除から、TOOL0端子をロウ・レベルに保持する時間（ソフト処理時間を除く）

第28章 外形図

28.1 24ピン製品

R5F11Z7AANA, R5F11Z7ADNA

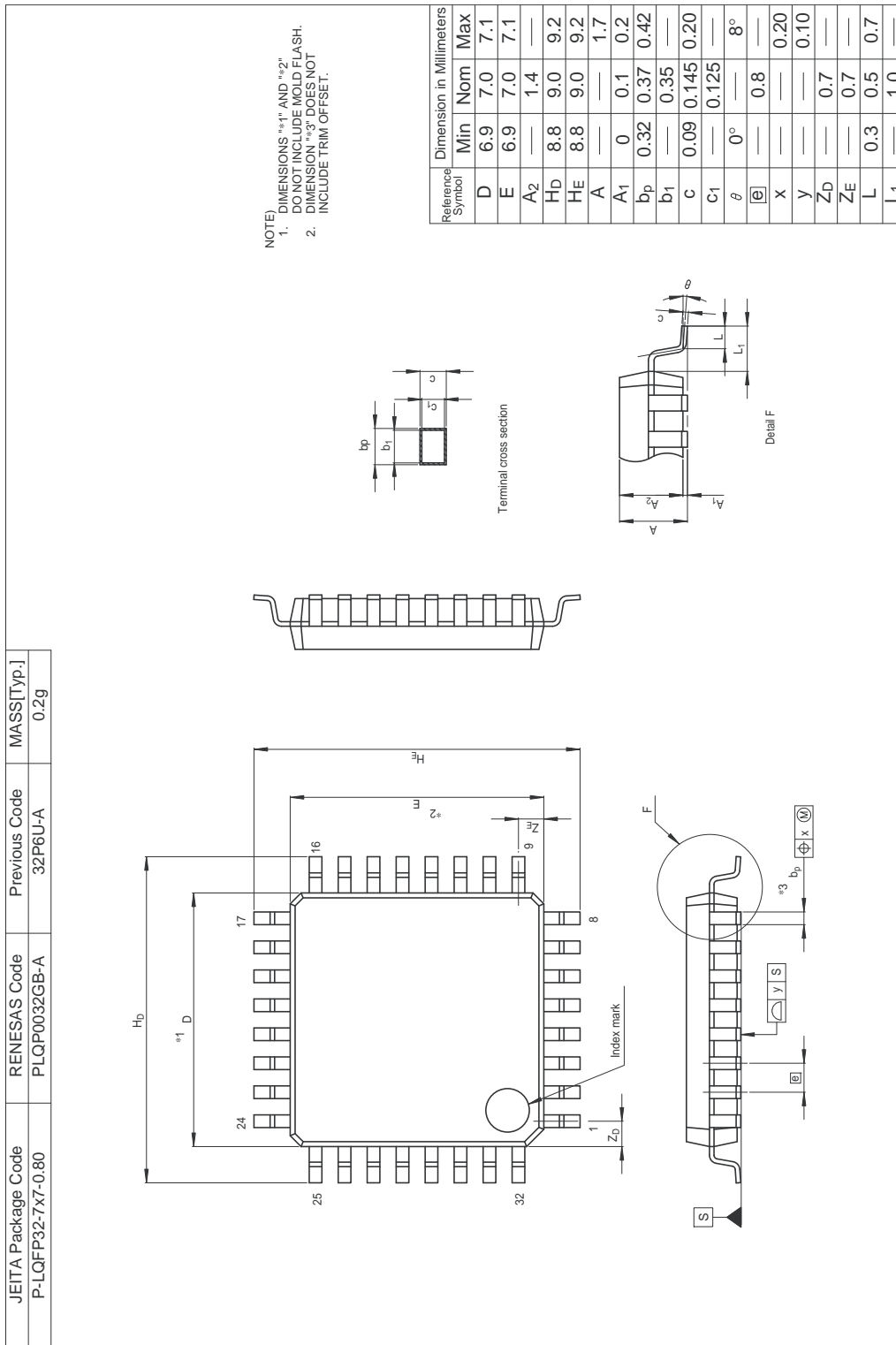
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN024-4x4-0.50	PWQN0024KF-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	-	-	0.80
A1	0.00	0.02	0.05
A3	0.203 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	-	-
D2	2.55	2.60	2.65
E2	2.55	2.60	2.65
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

28.2 32ピン製品

R5F11ZBAAFP, R5F11ZBADFP



付録A 改版履歴

A. 1 本版で改訂された主な箇所

版数	内 容	適用箇所
Rev.1.00	初版発行	全般

RL78/G1P ユーザーズマニュアル
ハードウェア編

発行年月日 2019年11月29日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>

RL78/G1P