

R-IN32M3 シリーズ ユーザーズ・マニュアル

- R-IN32M3-EC
MC-10287BF1-HN4-A
MC-10287BF1-HN4-M1-A

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

資料番号 : R18UZ0002JJ0501
発行年月 : 2021.1.12

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システム的设计において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。

6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続きを行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、CMOS デバイスの一般的注意事項について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイ・インピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワー・オン・リセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

○Arm® およびCortex® は、Arm Limited（またはその子会社）のEUまたはその他の国における登録商標です。 All rights reserved.

○Ethernetおよびイーサネットは、富士ゼロックス株式会社の登録商標です。

○IEEEは、the Institute of Electrical and Electronics Engineers, Inc. の登録商標です。

○TRONは” The Real-time Operation system Nucleus” の略称です。

○ITRONは” Industrial TRON” の略称です。

○ μ ITRONは” Micro Industrial TRON” の略称です。

○TRON、ITRON、および μ ITRONは、特定の商品ないし商品群を指す名称ではありません。

○EtherCAT®,およびTwinCAT®は、ドイツBeckhoff Automation GmbHによりライセンスされた特許取得済み技術であり登録商標です。

○CC-Link及びCC-Link IE Fieldは、CC-Link協会 (CC-Link Partner Association: CLPA)の登録商標です。

○その他、本資料中の製品名やサービス名は全てそれぞれの所有者に属する商標または登録商標です。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは産業イーサネット通信向け ASSP (Application Specific Standard Product) . 「R-IN32M3-EC」 (MC-10287BF1-HN4-A、MC-10287BF1-HN4-M1-A) の機能を理解し、それを用いた応用設計をするユーザを対象とします。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

本製品は、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

本文中の★印は、本版で改訂された主な箇所を示しています。この"★"を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。また各コアの開発・企画段階で資料を作成しているため、関連資料は個別のお客様向け資料の場合があります。下記資料番号の末尾****部分は版数です。当社ホームページより最新版をダウンロードして参照ください。

R-IN32M3-ECに関する資料

資料名	資料番号
R-IN32M3 シリーズ データ・シート	R18DS0007JJ****
R-IN32M3-CL ユーザーズ・マニュアル	R18UZ0004JJ****
R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編	R18UZ0006JJ****
R-IN32M3 シリーズ プログラミング・マニュアル ドライバ編	R18UZ0008JJ****
R-IN32M3 シリーズ プログラミング・マニュアル OS 編	R18UZ0010JJ****
R-IN32M3 シリーズ ユーザーズ・マニュアル ボード設計編	R18UZ0018JJ****
R-IN32M3-EC ユーザーズ・マニュアル	本マニュアル

2. 数や記号の表記

データ表記の重み：左が上位桁、右が下位桁

アクティブ・ローの表記：

xxxZ (端子、信号名称のあとにZ)

またはxxx_N (端子、信号名称のあとに_N)

またはxxnx (端子、信号名称にnを含む)

注：

本文中につけた注の説明

注意：

気をつけて読んでいただきたい内容

備考：

本文の補足説明

数の表記：

2 進数 … xxxx, xxxxB または n'bxxxx(nビット)

10 進数 … xxxx

16 進数 … xxxxH または n'hxxxx(nビット)

2のべき数を示す接頭語 (アドレス空間、メモリ容量)：

K (キロ) … $2^{10} = 1024$

M (メガ) … $2^{20} = 1024^2$

G (ギガ) … $2^{30} = 1024^3$

データ・タイプ：

ワード … 32 ビット

ハーフワード … 16 ビット

バイト … 8 ビット

目次

1. 機能概要	1
1.1 概説	1
1.2 機能概要	2
1.3 機能ブロック図	4
1.4 端子配置図 (Top View)	5
1.5 システム・レジスタ領域のベース・アドレス	6
2. 端子機能	7
2.1 端子一覧	8
2.1.1 イーサネット端子	8
2.1.2 EtherCAT Slave Controller端子	10
2.1.3 外部メモリ・インタフェース	11
2.1.4 外部マイコン・インタフェース	13
2.1.5 ポート端子、リアルタイム・ポート端子	14
2.1.6 シリアル・フラッシュROMインタフェース	18
2.1.7 DMAインタフェース端子	18
2.1.8 外部割込み入力端子	19
2.1.9 タイマ入出力端子	19
2.1.10 ウォッチドック・タイマ出力端子	19
2.1.11 トレース端子	20
2.1.12 CPUパワー制御端子	20
2.1.13 シリアル・インタフェース端子	20
2.1.14 CC-Link端子 (インテリジェントデバイス局)	21
2.1.15 CC-Link端子 (リモートデバイス局)	22
2.1.16 システム端子	23
2.1.17 テスト端子	24
2.1.18 動作モード設定端子	25
2.2 端子状態	27
2.2.1 外部メモリ・ブート時の端子状態	28
2.2.2 外部シリアル・フラッシュROMブート時の端子状態	31
2.2.3 外部マイコン・ブート時の端子状態	34
2.3 バッファタイプと未使用端子処理	37
2.3.1 イーサネット端子	37
2.3.2 外部メモリ/外部マイコン・インタフェース端子	37
2.3.3 外部割込み入力端子	38

2.3.4	システム端子	38
2.3.5	テスト端子	38
2.3.6	ポート端子	39
2.3.7	動作モード設定端子	40
2.3.8	CC-Link (インテリジェントデバイス局、リモートデバイス局)	40
2.3.9	トレース端子	40
3.	メモリ・マップ	41
4.	例外処理機能	45
4.1	例外一覧	45
4.2	割り込み一覧	46
5.	周辺機能	50
6.	EtherCATスレーブ・コントローラ機能	51
6.1	特徴	51
6.2	EtherCATスレーブ・コントローラの構成	51
6.3	割り込みと入出力信号	52
6.4	機能概要	53
6.5	EtherCATレジスタ一覧	56
6.6	周辺機能設定レジスタ	61
6.6.1	EtherCAT PHYオフセット・アドレス設定レジスタ (CATOFFADD)	61
6.6.2	EtherCAT動作モード設定レジスタ (CATEMMD)	62
6.6.3	EtherCATリセット・レジスタ (CATRESET)	63
6.7	ESC情報レジスタ	64
6.7.1	タイプ・レジスタ (TYPE)	64
6.7.2	リビジョン・レジスタ (REVISION)	64
6.7.3	ビルド・レジスタ (BUILD)	64
6.7.4	FMMUサポート・レジスタ (FMMU_NUM)	65
6.7.5	SyncManagerサポート・レジスタ (SYNC_MANAGER)	65
6.7.6	RAMサイズ・レジスタ (RAM_SIZE)	65
6.7.7	ポート・ディスクリプタ・レジスタ (PORT_DESC)	66
6.7.8	ESCフィーチャー・サポート・レジスタ (FEATURE)	67
6.8	ステーションアドレス設定レジスタ	68
6.8.1	コンフィギュアド・ステーション・アドレス・レジスタ (STATION_ADR)	68
6.8.2	コンフィギュアド・ステーション・エイリアス・レジスタ (STATION_ALIAS)	68
6.9	ライト・プロテクション設定レジスタ	69
6.9.1	ライト・レジスタ・イネーブル・レジスタ (WR_REG_ENABLE)	69

6.9.2	ライト・レジスタ・プロテクション・レジスタ (WR_REG_PROTECT)	69
6.9.3	ESCライト・イネーブル・レジスタ (ESC_WR_ENABLE)	70
6.9.4	ESCライト・プロテクション・レジスタ (ESC_WR_PROTECT)	70
6.10	データリンク層設定レジスタ	71
6.10.1	ESCリセットECATレジスタ (ESC_RESET_ECAT)	71
6.10.2	ESCリセットPDIレジスタ (ESC_RESET_PDI)	72
6.10.3	ESC DLコントロール・レジスタ (ESC_DL_CONTROL)	73
6.10.4	フィジカル・リード/ライト・オフセット・レジスタ (PHYSICAL_RW_OFFSET)	74
6.10.5	ESC DLステータス・レジスタ (ESC_DL_STATUS)	75
6.11	アプリケーション層設定レジスタ	77
6.11.1	ALコントロール・レジスタ (AL_CONTROL)	77
6.11.2	ALステータス・レジスタ (AL_STATUS)	78
6.11.3	ALステータス・コード・レジスタ (AL_STATUS_CODE)	78
6.11.4	RUN LEDオーバーライド・レジスタ (RUN_LED_OVERRIDE)	79
6.11.5	ERR LEDオーバーライド・レジスタ (ERR_LED_OVERRIDE)	80
6.12	PDI設定レジスタ	81
6.12.1	PDIコントロール・レジスタ (PDI_CONTROL)	81
6.12.2	ESCコンフィギュレーション・レジスタ (ESC_CONFIG)	82
6.12.3	PDIコンフィギュレーション・レジスタ (PDI_CONFIG)	83
6.12.4	SYNC/LATCH PDIコンフィギュレーション・レジスタ (SYNC_LATCH_CONFIG)	84
6.12.5	拡張PDIコンフィギュレーション・レジスタ (EXT_PDI_CONFIG)	85
6.13	割り込み設定レジスタ	86
6.13.1	ECATイベント・マスク・レジスタ (ECAT_EVENT_MASK)	86
6.13.2	ALイベント・マスク・レジスタ (AL_EVENT_MASK)	86
6.13.3	ECATイベント・リクエスト・レジスタ (ECAT_EVENT_REQ)	87
6.13.4	ALイベント・リクエスト・レジスタ (AL_EVENT_REQ)	89
6.14	エラーカウンタ設定レジスタ	91
6.14.1	Rxエラーカウンタ _n ・レジスタ (RX_ERR_COUNT _n)	91
6.14.2	フォワードRxエラーカウンタ _n ・レジスタ (FWD_RX_ERR_COUNT _n)	91
6.14.3	ECATプロセッシング・ユニット・エラーカウンタ・レジスタ (ECAT_PROC_ERR_COUNT)	92
6.14.4	PDIエラー・カウンタ・レジスタ (PDI_ERR_COUNT)	92
6.14.5	ロストリンク・カウンタ _n ・レジスタ (LOST_LINK_COUNT _n)	93
6.15	ウォッチドッグ設定レジスタ	94
6.15.1	ウォッチドッグ・ディバイダ・レジスタ (WD_DIVIDE)	94
6.15.2	ウォッチドッグ・タイムPDI・レジスタ (WDT_PDI)	94
6.15.3	ウォッチドッグ・タイム・プロセス・データ・レジスタ (WDT_DATA)	95
6.15.4	ウォッチドッグ・ステータス・プロセス・データ・レジスタ (WDS_DATA)	95
6.15.5	ウォッチドッグ・カウンタ・プロセス・データ・レジスタ (WDC_DATA)	96

6.15.6	ウォッチドッグ・カウンタPDI・レジスタ (WDC_PDI)	96
6.16	SII EEPROMインタフェース設定レジスタ	97
6.16.1	EEPROMコンフィギュレーション・レジスタ (EEP_CONF)	97
6.16.2	EEPROM PDIアクセス・ステート・レジスタ (EEP_STATE)	97
6.16.3	EEPROMコントロール/ステータス・レジスタ (EEP_CONT_STAT)	98
6.16.4	EEPROMアドレス・レジスタ (EEP_ADR)	99
6.16.5	EEPROMデータ・レジスタ (EEP_DATA)	100
6.17	MII マネージメント・インタフェース設定レジスタ	101
6.17.1	MIIマネージメント・コントロール/ステータス・レジスタ (MII_CONT_STAT)	101
6.17.2	PHYアドレス・レジスタ (PHY_ADR)	103
6.17.3	PHYレジスタ・アドレス・レジスタ (PHY_REG_ADR)	103
6.17.4	PHYデータ・レジスタ (PHY_DATA)	104
6.17.5	MIIマネージメントECATアクセス・ステート・レジスタ (MII_ECAC_ACS_STAT)	104
6.17.6	MIIマネージメントPDIアクセス・ステート・レジスタ (MII_PDI_ACS_STAT)	105
6.17.7	PHYポート・ステータス・レジスタn (PHY_STATUSn)	106
6.18	FMMU設定レジスタ	107
6.18.1	FMMUロジカル・スタート・アドレス・レジスタm (FMMUm.L_START_ADR)	107
6.18.2	FMMU長・レジスタm (FMMUm.LEN)	107
6.18.3	FMMUロジカル・スタート・ビット・レジスタm (FMMUm.L_START_BIT)	108
6.18.4	FMMUロジカル・ストップ・ビット・レジスタm (FMMUm.L_STOP_BIT)	108
6.18.5	FMMUフィジカル・スタート・アドレス・レジスタm (FMMUm.P_START_ADR)	109
6.18.6	FMMUフィジカル・スタート・ビット・レジスタm (FMMUm.P_START_BIT)	109
6.18.7	FMMUタイプ・レジスタm (FMMUm.TYPE)	110
6.18.8	FMMUアクティベート・レジスタm (FMMUm.ACT)	110
6.19	SyncManager設定レジスタ	111
6.19.1	SyncManagerフィジカル・スタート・アドレス・レジスタm (SMm.P_START_ADR)	111
6.19.2	SyncManager長・レジスタm (SMm.LEN)	111
6.19.3	SyncManagerコントロール・レジスタm (SMm.CONTROL)	112
6.19.4	SyncManagerステータス・レジスタm (SMm.STATUS)	113
6.19.5	SyncManagerアクティベート・レジスタm (SMm.ACT)	114
6.19.6	SyncManager PDIコントロール・レジスタm (SMm.PDI_CONT)	115
6.20	分散クロック設定レジスタ	116
6.20.1	DCレシーブ・タイム設定レジスタ	116
6.20.2	タイム・ループ・コントロール・ユニット設定レジスタ	117
6.20.3	サイクリック・ユニット・コントロール設定レジスタ	122
6.20.4	SYNC出力ユニット設定レジスタ	123
6.20.5	Latch入力ユニット設定レジスタ	129
6.20.6	SyncManagerイベント・タイム設定レジスタ	137
6.21	その他のレジスタ	138

6.21.1	プロダクトIDレジスタ (PRODUCT_ID)	138
6.21.2	ベンダIDレジスタ (VENDOR_ID)	139
6.21.3	ユーザRAM (USER_RAM)	140
6.21.4	プロセスデータRAM (DATA_RAM)	141
6.22	リセット回路の構成	141
7.	イーサネットPHY機能	143
7.1	特徴	143
7.2	特殊機能	143
7.2.1	低レイテンシ機能	143
7.2.2	クイック・オート・ネゴシエーション機能	144
7.2.3	ケーブル診断機能 (TDR機能)	146
7.2.4	Fast link-loss検出機能	149
7.3	パワーダウン・モード	150
7.3.1	ハードウェア・パワーダウンモード	150
7.3.2	ソフトウェア・パワーダウンモード	150
7.3.3	エネルギー検出パワーダウン・モード	150
7.4	イーサネットPHY内蔵 MIIマネージメント・レジスタ	151
7.4.1	レジスタ0 – コントロール・レジスタ	153
7.4.2	レジスタ1 – ステータス・レジスタ	154
7.4.3	レジスタ2,3 – PHY Identifier	155
7.4.4	レジスタ4 – Auto-Negotiation Advertisementレジスタ	156
7.4.5	レジスタ5 – Auto-Negotiation Link Partner Ability (Base Page)レジスタ	157
7.4.6	レジスタ5 – Auto-Negotiation Link Partner Ability (Next Page)レジスタ	158
7.4.7	レジスタ6 – Auto-Negotiation Expansionレジスタ	159
7.4.8	レジスタ7 – Auto-Negotiation Next Page Transmitレジスタ	160
7.4.9	レジスタ16 – シリコンリビジョン・レジスタ	161
7.4.10	レジスタ17 – モードコントロール/ステータス・レジスタ	162
7.4.11	レジスタ18 – スペシャルモード・レジスタ	164
7.4.12	レジスタ19 – Reserved	165
7.4.13	レジスタ20 – Reserved	165
7.4.14	レジスタ21 – Reserved	166
7.4.15	レジスタ22 – Reserved	166
7.4.16	レジスタ23 – BERカウンタ・レジスタ	167
7.4.17	レジスタ24 – FEQモニタ・レジスタ	168
7.4.18	レジスタ25 – 診断 コントロール/ステータス・レジスタ	169
7.4.19	レジスタ26 – 診断カウンタ・レジスタ	170
7.4.20	レジスタ27 – スペシャル コントロール/ステータス指示レジスタ	171
7.4.21	レジスタ28 – Reserved	172

7.4.22	レジスタ29 – 割込み要因・レジスタ	173
7.4.23	レジスタ30 – 割込み要因マスク・レジスタ	174
7.4.24	レジスタ31 – PHYスペシャルコントロール/ステータス・レジスタ	175
7.5	イーサネットPHY機能設定レジスタ	176
7.5.1	レジスタ一覧	176
7.5.2	イーサネットPHY動作モード制御レジスタ (PHYMD)	177
7.5.3	イーサネットPHY パワー・アップ ステータス・レジスタ (PHYBUS)	178
7.6	LED出力機能.....	179
8.	ポート機能.....	180
8.1	特徴	180
8.2	ポートの構成	181
8.3	レジスタ一覧	183
8.3.1	ポート・レジスタ (P, RP)	189
8.3.2	ポート・モード・レジスタ (PM, RPM)	192
8.3.3	ポート・モード・コントロール・レジスタ (PMC, RPMC)	195
8.3.4	ポート・ファンクション・コントロール・レジスタ (PFC, RPFC)	198
8.3.5	ポート・ファンクション・コントロール拡張レジスタ (PFCE, RPFCE)	201
8.3.6	ポート端子入力レジスタ (PIN, RPIN)	204
8.4	兼用機能の選択一覧	207
8.5	バッファ機能切り替えレジスタ (DRCTL)	211
8.5.1	ポート1バッファ機能切り替えレジスタ (DRCTLP1L, DRCTLP1H)	212
8.5.2	ポート3バッファ機能切り替えレジスタ (DRCTLP3L, DRCTLP3H)	213
8.5.3	ポート4バッファ機能切り替えレジスタ (DRCTLP4L, DRCTLP4H)	214
8.5.4	ポート5バッファ機能切り替えレジスタ (DRCTLP5L, DRCTLP5H)	215
8.5.5	リアルタイム・ポート0バッファ機能切り替えレジスタ (DRCTLRP0L, DRCTLRP0H)	216
8.5.6	リアルタイム・ポート1バッファ機能切り替えレジスタ (DRCTLRP1L, DRCTLRP1H)	217
8.5.7	リアルタイム・ポート2バッファ機能切り替えレジスタ (DRCTLRP2L, DRCTLRP2H)	218
8.5.8	リアルタイム・ポート3バッファ機能切り替えレジスタ (DRCTLRP3L, DRCTLRP3H)	219
8.6	ポート機能の動作	220
8.6.1	入出力ポートへのリード/ライト動作.....	220
8.6.2	コントロール・モード時の兼用機能の出力状態.....	220
8.7	トリガ同期式ポート機能 (RP00-RP37)	221
9.	電気的特性.....	222

図の目次

図3.1	メモリ・マップ（全体）	41
図3.2	メモリ・マップ（APB周辺レジスタ領域）	42
図3.3	メモリ・マップ（外部メモリ領域）	43
図3.4	メモリ・マップ（CC-Link Master領域）	43
図3.5	外部マイコン・インタフェース空間.....	44
図6.1	EtherCATスレーブ・コントローラ周辺構成図.....	51
図6.2	EtherCATスレーブ・コントローラのリセット回路の構成	141
図6.3	EtherCATスレーブ・コントローラのリセットタイミング（ECAT/PDIによるリセット要求時） 142	
図6.4	EtherCATスレーブ・コントローラのリセットタイミング（CATRESETレジスタでのリセット時） 142	
図7.1	イーサネットフレームのプリアンブル.....	143
図7.2	ケーブル切断時の動作	146
図7.3	ケーブル短絡時の動作	146
図7.4	ケーブル診断処理フロー	148
図8.1	ポートの基本回路構成	182
図8.2	ポート・レジスタ（8bit表記）	189
図8.3	ポート・レジスタ（16bit表記）	190
図8.4	ポート・レジスタ（32bit表記）	191
図8.5	ポート・モード・レジスタ（8bit表記）	192
図8.6	ポート・モード・レジスタ（16bit表記）	193
図8.7	ポート・モード・レジスタ（32bit表記）	194
図8.8	ポート・モード・コントロール・レジスタ（8bit表記）	195
図8.9	ポート・モード・コントロール・レジスタ（16bit表記）	196
図8.10	ポート・モード・コントロール・レジスタ（32bit表記）	197
図8.11	ポート・ファンクション・コントロール・レジスタ（8bit表記）	198
図8.12	ポート・ファンクション・コントロール・レジスタ（16bit表記）	199
図8.13	ポート・ファンクション・コントロール・レジスタ（32bit表記）	200
図8.14	ポート・ファンクション・コントロール拡張レジスタ（8bit表記）	201
図8.15	ポート・ファンクション・コントロール拡張レジスタ（16bit表記）	202
図8.16	ポート・ファンクション・コントロール拡張レジスタ（32bit表記）	203
図8.17	ポート端子入力レジスタ（8bit表記）	204
図8.18	ポート端子入力レジスタ（16bit表記）	205
図8.19	トリガ同期式ポート構成図.....	221

表の目次

表1.1	R-IN32M3-ECの機能概要 (1/2)	2
表2.1	端子一覧における項目の意味.....	7
表2.2	端子一覧における記号・略号の意味.....	7
表4.1	割り込み一覧	46
表6.1	EtherCATスレーブ・コントローラ (ESC) の特徴.....	51
表6.2	EtherCATスレーブ・コントローラの割り込み信号	52
表6.3	EtherCATスレーブ・コントローラの入出力信号 (PHYのMDI端子を除く)	52
表6.4	EtherCATスレーブ・コントローラの代表的な機能と本LSIでのサポート	53
表7.1	PHY MIIマネージメント・レジスタ一覧	151

1. 機能概要

1.1 概説

産業分野におけるイーサネット通信は従来と比較し、高速リアルタイム応答性や低消費電力化などの高性能な機能の要求が強くなっています。従来の方法（イーサネットワーク処理そのものをハードウェア化する方法、または高速ネットワーク処理専用 CPU を用いる方法）では必ずしも実現できるわけではありません。

ルネサス製イーサネット通信 LSI「R-IN32M3 シリーズ」は FA 分野におけるイーサネット通信で必要となる以下の機能を搭載しております。

- Arm[®]社製 Cortex[®]-M3 コア内蔵
- リアルタイム OS (Real-Time OS) アクセラレータ内蔵 (μITRON version4.0 相当)
- 10/100Mbps EtherPHY
- ネットワーク処理専用 DMA コントローラおよびバッファ
- タイマ、各種シリアル・インタフェース、汎用 I/O ポート (GPIO)、外部メモリ・インタフェース
- 高速リアルタイム応答性、高精度通信制御 (低ジッター通信)
- リアルタイム OS アクセラレータによる低 CPU 負荷での高速通信処理
- 低消費電力

1.2 機能概要

表1.1 R-IN32M3-EC の機能概要 (1/2)

項目	品名	R-IN32M3-EC
CPU コア		Arm 社 Cortex-M3 32 ビット RISC CPU + Real-Time OS Accelerator (Hardware Real-Time OS)
動作周波数		100MHz
命令セット		Thumb [®] -2 命令 Armv7-M アーキテクチャ
命令 RAM		768K バイト (ECC 対応)
データ RAM		512K バイト (ECC 対応)
バッファ RAM		64K バイト (ECC 対応)
内部システム・バス		・ 32 ビット・システム・バス 100MHz ・ 128 ビット・コミュニケーション・バス 100MHz
DMA バス機能 (システム・バス側)		・ 4 チャンネル+1 チャンネル (リアルタイム・ポート用) ・ ソフトウェア・トリガ、各種割り込み信号からの DMA 起動が可能
ブート・モード		・ シリアル・フラッシュ ROM ブート ・ 外部メモリ・ブート ・ 外部マイコン・ブート
外部メモリ・アクセス機能		・ バス・サイジング機能 (16 ビット/32 ビット) ・ ページ ROM/ROM/SRAM インタフェース ・ 同期式バースト・メモリ・インタフェース ・ スタティック・メモリ用チップ・セレクト信号 : 4 本 ・ 外部メモリ空間 : 合計 256M バイト (最大時) ・ プログラマブル・ウェイト機能
外部マイコン・インタフェース		・ バス・サイジング機能 (16 ビット/32 ビット) ・ スタティック・メモリ用の汎用インタフェース ・ アドレス空間 : 2M バイト (Instruction RAM, Data RAM, レジスタ領域)
シリアル・フラッシュ ROM メモリ・コントローラ機能		・ 各社 SPI 互換シリアル・インタフェース対応 ・ シリアル・メモリ・デバイスから直接ブート可能 ・ Fast Read, Fast Read Dual Output, Fast Read Dual I/O モードに対応 ・ メモリ空間に直接割り付け
割り込み		・ 外部割り込み 29 本
内蔵周辺機能		
I/O ポート		CMOS 入出力 : 最大 96 本
タイマ (3 系統搭載)		・ ハードウェア RTOS 内蔵タイマ ・ CPU 内蔵タイマ ・ 4 チャンネル・タイマ・アレイ ・ 32 ビット・カウンタおよび 32 ビット・データ・レジスタ ・ 外部信号によるカウント機能

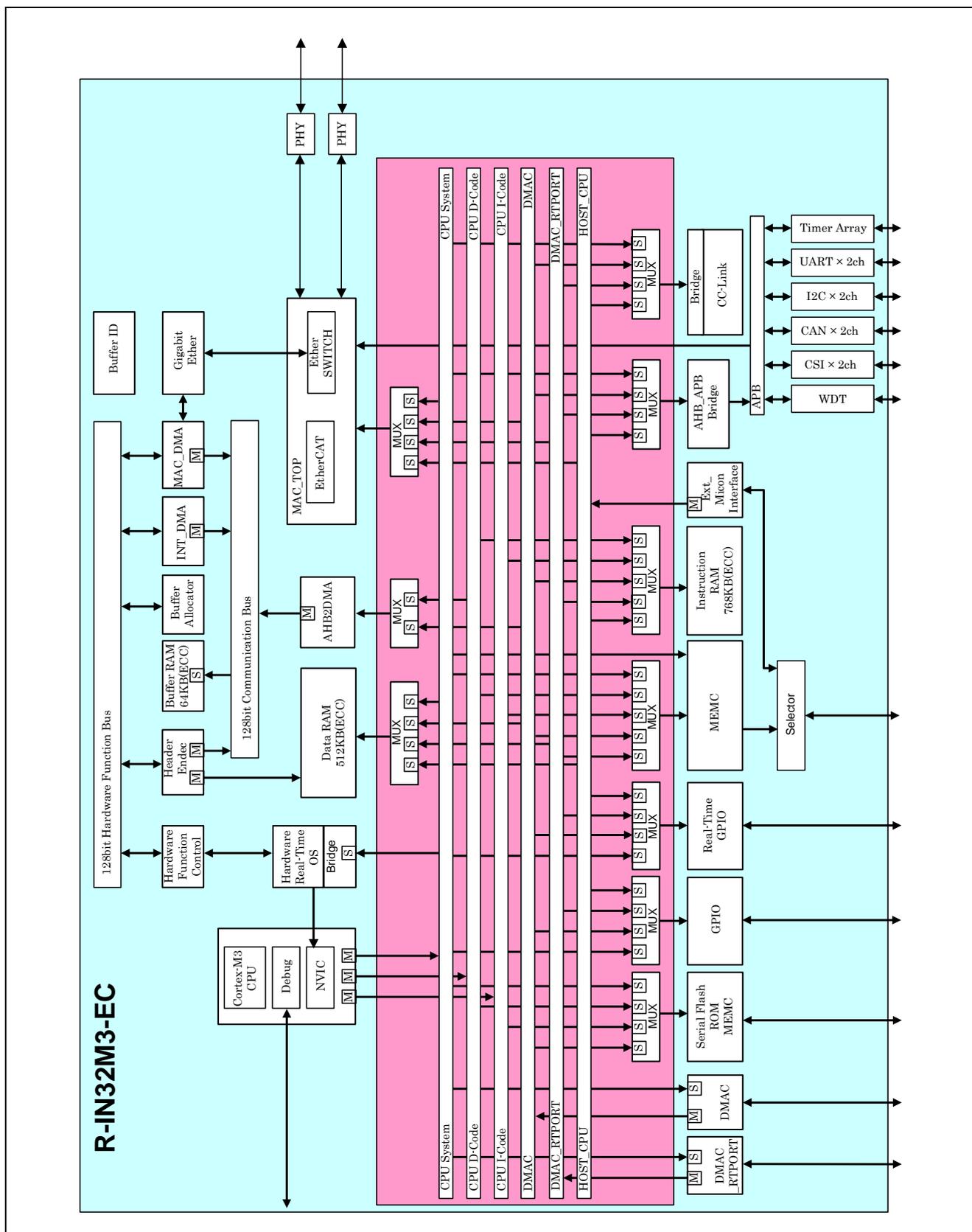
表1.1 R-IN32M3-EC の機能概要 (2/2) ★

項目	品名	R-IN32M3-EC
内蔵周辺機能		
ウォッチドッグ・タイマ		<ul style="list-style-type: none"> ・1チャンネル ・ソフトウェア・トリガ・スタート・モード ・エラー時の動作 <ul style="list-style-type: none"> －NMIZ要求の生成 －リセット要求の生成
アシンクロナス・シリアル・インタフェース		<ul style="list-style-type: none"> ・2チャンネル ・全二重通信 ・受信FIFO (10ビット×16)、送信FIFO (8ビット×16) 内蔵 ・受信エラーとステータス出力機能 ・キャラクタ長：7, 8ビット、 ・パリティ機能：奇数、偶数、0、なし ・送信ストップ・ビット：1, 2ビット
I2Cシリアル・インタフェース		<ul style="list-style-type: none"> ・2チャンネル ・動作モード (標準モード、高速モード) ・転送モード (シングル転送モード、連続転送モード) ・通信データ長：8ビット
CANコントローラ		<ul style="list-style-type: none"> ・2チャンネル ・ISO11898に準拠 ・標準フレームと拡張フレームの送受信が可能 ・転送速度：最大1Mbps
クロック同期式 シリアル・インタフェース		<ul style="list-style-type: none"> ・2チャンネル ・3線式シリアル同期データ転送 ・マスタ・モードまたはスレーブ・モードを選択可能 ・ポー・レート・ジェネレータを内蔵 ・通信データ長：7ビット～16ビット
CC-Link		<ul style="list-style-type: none"> ・インテリジェントデバイス局^{注1} ・リモートデバイス局
10/100Mbps EtherPHY ^{注2}		<ul style="list-style-type: none"> ・2ポート ・10BaseT, 100BaseTX/FX対応
EtherCAT		EtherCAT [®] Slave controller
オンチップ・デバッグ機能		<ul style="list-style-type: none"> ・シリアルワイヤもしくはJTAGの選択 ・フル・トレース機能 (ETM内蔵)
内蔵PLL		25MHz入力で、各クロックを内蔵PLLで生成
電源電圧		端子電源用：VDD33 = 3.3±0.3V 内部電源用：VDD10 = 1.0±0.1V 内蔵PHY用電源：VDD15 = 1.5±0.15V (内蔵レギュレータ使用可能)

注 1. 詳細は弊社にお問い合わせください。

2. EtherCAT P には対応していません。★

1.3 機能ブロック図



1.4 端子配置図 (Top View)

18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
V	U	T	R	P	N	M	L	K	J	H	G	F	E	D	C	B	A
GND	D2	D4	D6	D13	RP23	RP25	P0_RD_N	P0_SD_N	VDD15	P0_TD_OUT_N	P0_FX_EN_OUT	RP34	RP36	RP37	RP11	RP13	GND
D0	D1	D3	D5	D12	RP21	RP24	P0_RD_P	P0_SD_P	D15	P0_TD_OUT_P	TEST_DOUT5	RP33	RP35	RP10	RP12	RP14	RP15
A17	A18	A19	A20	D10	D11	D14	RP27	VDDQ_PEC_L_B0	VDD33	RP20	RP32	RP07	VDD15	RP05	RP03	RP16	RP17
A10	A11	A12	A13	D7	D9	VDD15	D15	RP22	RP26	RP30	RP31	RP06	GND	RP04	RP02	RP01	RP00
A6	A7	A8	A9	A16	D8	GND	TMC1	GND	VDD33	GND	GND	GND	VDD33	P77	P76	P75	P74
A2	A3	A4	A5	A15	A14	VDD33	GND	GND	VDD33	GND	VDD33	GND	GND	P72	P71	P70	TEST3
BUSCLK	WRSTBZ	WRZ0	WRZ1	A14	VDD33	GND	VDD10	VDD10	VDD10	VDD10	VDD10	VDD33	GND	P73	P61	AVDD_REG	FB
P0VDD_ARXTX	AGND	GND	CSZ0	P43	GND	VDD10	GND	GND	GND	GND	VDD10	GND	VDD33	P80	TEST2	AGND_REG	BGND
P0_RX_N	P0_RX_P	VDD15	RDZ	P40	VDD33	VDD10	GND	GND	GND	GND	VDD10	GND	VDD33	P62	TEST1	GND	LX
P0_TX_N	P0_TX_P	VDD33_ESD	P41	P44	GND	VDD10	GND	GND	GND	GND	VDD10	GND	GND	P63	GND	GND	BVDD
VDD_APLL	VSSA_PLLCB	AGND	P42	P47	GND	VDD10	VDD10	GND	GND	GND	VDD10	GND	TCK	P64	P66	P67	VDD15
VDD_ACB	EXT_RES	ATP	P45	TMODE_2	VDD33	GND	VDD10	VDD10	VDD10	VDD10	GND	VDD33	TRSTZ	P00	P06	P05	P07
P1_TX_N	P1_TX_P	AGND	P46	TMODE_1	GND	VDD33	GND	GND	GND	GND	VDD33	GND	GND	P20	P01	P03	P04
P1_RX_N	P1_RX_P	VDD15	P57	TMODE_0	TMC2	ADMUX_MODE	MEMC_SEL	GND	TDI	TMS	PLL_VDD	PLL_GND	TDO	P21	P23	P22	P02
P1VDD_ARXTX	AGND	GND	NMIZ	TRACE_DATA3	BUS32_EN	HIF_SYNC	HWRZ_SEL	VDD33	GND	P17	P10	GND	VDD15	P27	P26	P25	P24
P50	P51	P52	TRACE_DATA1	JTAG_SEL	PONRZ	VDD15	GND	VDD15	VDDQ_PEC_L_B1	P11	P16	P15	OSCTH	P34	P36	GND	XT1
P56	P55	P54	TRACE_DATA2	RST_OUTZ	MEM_IFSEL	BOOT_0	GND	GND	GND	GND	P1_TD_OUT_P	P14	P13	P30	P33	P37	XT2
GND	P53	TRACE_CLK	TRACE_DATA0	RESETZ	BOOT1	CCM_CLK80M	VDD33	P1_RD_N	P1_SD_N	VDD33	P1_TD_OUT_N	P1_FX_EN_OUT	P12	P31	P32	P35	GND
18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V

1.5 システム・レジスタ領域のベース・アドレス

以降の章で記載されている各レジスタのアドレスの記載は、ベース・アドレスからの相対アドレスで記載しています。外部マイコン・インタフェースからアクセスする場合には D_0000H 番地、また CPU および DMA コントローラからのアクセスは、4001_0000H 番地がベース・アドレスになります。

- CPU および DMA コントローラからのアクセスの場合
BASE = 4001_0000H
- 外部マイコン・インタフェースからのアクセスの場合
BASE = D_0000H

2. 端子機能

本章における端子表の各項目および記号・略号の意味を以下に示します。

表2.1 端子一覧における項目の意味

項目	意味
端子名称	「1.4 端子配置図 (Top View)」で示した端子名称です。
入出力	対象端子の入出力方向です。
機能	対象端子の機能概略です。
アクティブ	対象端子のアクティブレベルです。
リセット中 リセット解除後	リセット中は RSTOUTZ = Low 期間の端子状態、 リセット解除後は RSTOUTZ = High に遷移した直後の端子状態を示します。 リセット仕様に関する詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」を参照して下さい。

表2.2 端子一覧における記号・略号の意味

対象	記号・略号	意味
端子名	— (ハイフン)	ポート兼用がない専用端子です。
入出力	— (ハイフン)	電源/GND など入出力方向がない端子です。
アクティブ	— (ハイフン)	アクティブレベルがないことを示しています。 (クロック/データ/アドレス)
	High	アクティブレベルは High です。
	Low	アクティブレベルは Low です。
リセット中 リセット解除後	— (ハイフン)	リセット初期値がない入力専用端子です。
	High	リセット中の端子状態は、High です。
	Low	リセット中の端子状態は、Low です。
	Hi-Z (High)	リセット中の端子状態は、内蔵 Pull-up 抵抗による Hi-Z (High) です。
	Hi-Z (Low)	リセット中の端子状態は、内蔵 Pull-down 抵抗による Hi-Z (Low) です。

2.1 端子一覧

2.1.1 イーサネット端子

(1) メディア・インタフェース

端子名称	入出力	機能	アクティブ	リセット中および リセット解除後
P0_RX_P	入力	PHY0 受信データ入力 (+)	—	—
P0_RX_N	入力	PHY0 受信データ入力 (-)	—	—
P1_RX_P	入力	PHY1 受信データ入力 (+)	—	—
P1_RX_N	入力	PHY1 受信データ入力 (-)	—	—
P0_TX_P	出力	PHY0 送信データ出力 (+)	—	—
P0_TX_N	出力	PHY0 送信データ出力 (-)	—	—
P1_TX_P	出力	PHY1 送信データ出力 (+)	—	—
P1_TX_N	出力	PHY1 送信データ出力 (-)	—	—
P0_SD_P	入力	PHY0 100BASE-FX 信号検出 (+)	High	—
P0_SD_N	入力	PHY0 100BASE-FX 信号検出 (-)	Low	—
P1_SD_P	入力	PHY1 100BASE-FX 信号検出 (+)	High	—
P1_SD_N	入力	PHY1 100BASE-FX 信号検出 (-)	Low	—
P0_RD_P	入力	PHY0 100BASE-FX 受信データ入力 (+)	—	—
P0_RD_N	入力	PHY0 100BASE-FX 受信データ入力 (-)	—	—
P1_RD_P	入力	PHY1 100BASE-FX 受信データ入力 (+)	—	—
P1_RD_N	入力	PHY1 100BASE-FX 受信データ入力 (-)	—	—
P0_TD_OUT_P	出力	PHY0 100BASE-FX 送信データ出力 (+)	—	—
P0_TD_OUT_N	出力	PHY0 100BASE-FX 送信データ出力 (-)	—	—
P1_TD_OUT_P	出力	PHY1 100BASE-FX 送信データ出力 (+)	—	—
P1_TD_OUT_N	出力	PHY1 100BASE-FX 送信データ出力 (-)	—	—
P0_FX_EN_OUT	出力	PHY0 100BASE-FX FX イネーブル通知出力 1 : 100BASE-FX モード	High	—
P1_FX_EN_OUT	出力	PHY1 100BASE-FX FX イネーブル通知出力 1 : 100BASE-FX モード	High	—

備考. 100BASE-FX モードでなく、MDI-X で使用する場合には、RXP/RXN と TXP/TXN の入出力属性が入れ替わります。

(2) その他の端子

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後
P0LINKLEDZ	出力	内蔵 PHY0 リンク・ステータス LED 出力	P06	Low	Hi-Z
P1LINKLEDZ	出力	内蔵 PHY1 リンク・ステータス LED 出力	P07	Low	
ETHSWSECOUT	出力	EtherSwitch の 1 秒毎のイベント出力	P24	High	
P0DUPLEXLEDZ	出力	内蔵 PHY0 半二重転送ステータス LED 出力 0 : 全二重転送 1 : 半二重転送	P70	—	
P0SPEED100LEDZ	出力	内蔵 PHY0 100-BASE ステータス LED 出力	P72	Low	
P0SPEED10LEDZ	出力	内蔵 PHY0 10-BASE ステータス LED 出力	P73	Low	
P1DUPLEXLEDZ	出力	内蔵 PHY1 半二重転送ステータス LED 出力 0 : 全二重転送 1 : 半二重転送	P74	—	
P1SPEED100LEDZ	出力	内蔵 PHY1 100-BASE ステータス LED 出力	P76	Low	
P1SPEED10LEDZ	出力	内蔵 PHY1 10-BASE ステータス LED 出力	P77	Low	
P0ACTLEDZ	出力	内蔵 PHY0 ACT LED 出力	RP02	Low	
P1ACTLEDZ	出力	内蔵 PHY1 ACT LED 出力	RP04	Low	

2.1.2 EtherCAT Slave Controller 端子

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後
CATLEDRUN	出力	EtherCAT RUN LED 出力	P00	High	Hi-Z
CATIRQ	出力	EtherCAT IRQ 出力	P01	High	
CATLEDSTER	出力	EtherCAT Dual-color ステート LED 出力	P02	High	
CATLEDERR	出力	EtherCAT Error LED 出力	P03	High	
CATLINKACT0, CATLINKACT1	出力	EtherCAT Link / Activity LED 出力	P04-P05	High	
CATSYNC1	出力	EtherCAT SYNC1 出力	P10	High	Hi-Z (High)
CATSYNC0	出力	EtherCAT SYNC0 出力	P11	High	Hi-Z (Low)
CATLATCH1	入力	EtherCAT LATCH1 入力	P10	High	Hi-Z (High)
CATLATCH0	入力	EtherCAT LATCH0 入力	P11	High	Hi-Z (Low)
CATI2CCLK	出力	EtherCAT EEPROM I2C クロック出力	P22	—	Hi-Z
CATI2CDATA	入出力	EtherCAT EEPROM I2C データ	P23	—	
CATRESTOUT	出力	EtherCAT PHY RESETOUT	P56	High	Hi-Z (High)

2.1.3 外部メモリ・インタフェース

端子名称	入出力	機能	兼用端子	兼用ポート	アクティブ	リセット中	リセット解除後
BUSCLK	出力	バス・クロック出力	—	—	—	クロック出力	
CSZ0	出力	チップ・セレクト信号出力	HCSZ	—	Low	Hi-Z (High)	High
CSZ1	出力		HPGCSZ	P44			Hi-Z (High)
CSZ2	出力		—	P51			
CSZ3	出力		—	P50			
A1/MA0 ^{注4}	出力	アドレス出力	HA1	P40	—	Hi-Z (Low)	Low
A2-A20/MA1-MA19 ^{注4}	出力		HA2-HA20	—			Hi-Z (Low)
A21-A27/MA20-MA26 ^{注4}	出力		—	RP21-RP27			Hi-Z (Low)
D0-D15/MD0-MD15 ^{注1注4}	入出力	データ・バス	HD0-HD15	—	—	Hi-Z (High)	
D16-D31/MD16-MD31 ^{注1注4}	入出力		HD16-HD31	RP30-RP37 RP10-RP17			
RDZ	出力	リード・ストロブ出力	HRDZ	—	Low	Hi-Z (High)	High
WRSTBZ	出力	ライト・ストロブ出力	HWRSTBZ	—	Low		
WRZ0, WRZ1/ BENZ0, BENZ1	出力	有効バイト・レーン・ストロブ出力	HWRZ0, HWRZ1 / HBENZ0, HBENZ1	—	Low		
WRZ2, WRZ3/ BENZ2, BENZ3	出力		HWRZ2, HWRZ3 / HBENZ2, HBENZ3	RP06, RP07		Hi-Z (High)	
WAITZ	入力	ウェイト入力	HWAITZ	P41	Low	Hi-Z (High)	
WAITZ1-WAITZ3 ^{注2}	入力	ウェイト入力	—	P45- P47	Low		
BCYSTZ / ADVZ ^{注3}	出力	アドレス・バリッド出力	HBCYSTZ	RP20	Low		

備考. 外部メモリ・インタフェース端子の BUSCLK 以外の端子は、内部リセット信号 (HRESETZ) のアクティブ期間中は、入力信号になります。

注 1. 同期式バースト・アクセス MEMC 使用時に、ADMUXMODE 端子が High レベルの場合、アドレス端子と兼用になります。

ADMUXMODE = 0 : MD0-MD31 (アドレス/データ分離)

ADMUXMODE = 1 : MD0-MD31/MA0-MA31 (アドレス/データ多重)

2. 同期式バースト・アクセス MEMC 使用時のみ有効です。

3. 非同期 SRAM MEMC 使用時には BCYSTZ 機能として、同期式バースト・アクセス MEMC 使用時には、ADVZ 機能として動作します。

4. 非同期 SRAM MEMC 使用時には、A1-A27、D0-D31 機能として動作します。

同期式バースト・アクセス MEMC 使用時には、MA0-MA26、MD0-MD31 として動作します。

2.1.4 外部マイコン・インタフェース

端子名称	入出力	機能	兼用端子	兼用ポート	アクティブ	リセット中およびリセット解除後	
HBUSCLK	入力	バス・クロック入力 (ホスト用)	INTPZ11	P43	—	Hi-Z (High)	
HCSZ	入力	チップ・セレクト入力	CSZ0	—	Low		
HPGCSZ	入力	ページROMモード・チップ セレクト入力	CSZ1	P44	Low		
HWAITZ	出力	ウェイト信号出力	WAITZ	P41	Low		
HA1	入力	アドレス信号入力	A1	P40	—		
HA2-HA20	入力		A2-A20	—			Hi-Z (Low)
HD0-HD15	入出力	データ・バス	D0-D15	—	—		Hi-Z (Low)
HD16-HD31	入出力		D16-D31	RP30- RP37 RP10- RP17			Hi-Z (High)
HRDZ	入力	リード・ストロブ入力	RDZ	—	Low		
HWRSTBZ	入力	ライト・ストロブ入力	WRSTBZ	—	Low		
HWRZ0, HWRZ1/ HBENZ0, HBENZ1	入力	有効バイト・レーン・ストロブ 入力	WRZ0, WRZ1/ BENZ0, BENZ1	—	Low		
HWRZ2, HWRZ3/ HBENZ2, HBENZ3	入力		WRZ2, WRZ3/ BENZ2, BENZ3	RP06, RP07			
HERROUTZ	出力	エラー割り込み出力	SLEEPING	P42	Low	High	
HBCYSTZ	入力	バス・サイクル入力	BCYSTZ / ADVZ	RP20	Low	Hi-Z (High)	

注意. 非同期モードを使用する時は、HBUSCLK 端子には Low を入力してください。

備考. 外部マイコン・インタフェース端子は、リセット期間中でも外部マイコン・インタフェース端子として動作します。

2.1.5 ポート端子、リアルタイム・ポート端子

ポートは、8ビット・ポートが12セットあります。

このうち、ポート0-3、ポート4-7、リアルタイム・ポート0-3は、4ポートをまとめて32ビット・アクセスも可能です。

(1/4)

	ポート名	兼用 1	兼用 2	兼用 3	兼用 4	リセット中およびリセット解除後
P0	P00	INTPZ0	CATLEDRUN	—	—	Hi-Z
	P01	INTPZ1	CATIRQ	—	—	
	P02	INTPZ2	CATLEDSTER	—	—	
	P03	INTPZ3	CATLEDERR	—	CCS_MON5	
	P04	INTPZ4	CATLINKACT0	—	CCS_MON6	
	P05	INTPZ5	CATLINKACT1	—	CCS_MON7	
	P06	—	P0LINKLEDZ	—	CCS_MON0	
	P07	—	P1LINKLEDZ	—	CCS_RESOUT	
P1	P10	CATLATCH1	CATSYNC1	—	CCS_REFSTB	Hi-Z (High)
	P11	CATLATCH0	CATSYNC0	—	CCS_MON4	Hi-Z (Low)
	P12	INTPZ6	—	—	—	Hi-Z (High)
	P13	INTPZ7	—	CCS_WDTZ / CCM_WDTENZ	—	
	P14	SMSCK	—	—	—	
	P15	SMSI	—	—	—	
	P16	SMSO	—	—	—	
	P17	SMCSZ	—	—	—	
P2	P20	RXD0	—	CCM_LINKERRZ	—	Hi-Z
	P21	TXD0	—	CCM_ERRZ	—	
	P22	INTPZ8	CATI2CLK	CCS_IOTENSU	—	
	P23	INTPZ9	CATI2CDATA	CCS_SENYU0	—	
	P24	INTPZ10	ETHSWSECOUT	CCS_SENYU1	—	
	P25	WDTOUTZ	—	CCS_ERRZ	—	
	P26	TIN1	TOUT1	CCM_RUNZ / CCS_RUNZ	—	
	P27	TIN0	TOUT0	—	—	

(2/4)

	ポート名	兼用 1	兼用 2	兼用 3	兼用 4	リセット中およびリセット解除後	
P3	P30	RXD1	—	—	—	Hi-Z (High)	
	P31	TXD1	—	—	—		
	P32	DMAREQZ1	—	—	CCS_MON1		
	P33	DMAACKZ1	—	—	CCS_MON2		
	P34	DMATCZ1	—	—	CCS_MON3		
	P35	CSISCK1	INTPZ22	CCM_IRLZ	—		
	P36	CSISI1	INTPZ23	CCS_FUSEZ	—		
	P37	CSISO1	INTPZ24	CCM_MSTZ	—		
P4	P40	A1/MA0	HA1	—	—		
	P41	WAITZ	HWAITZ	—	—		
	P42	SLEEPING	HERROUTZ	CCM_SDGCZ	—		
	P43	INTPZ11	HBUSCLK	—	—		
	P44	CSZ1	HPGCSZ	—	—		
	P45	CSISCK0	WAITZ1	—	—		
	P46	CSISI0	WAITZ2	—	—		
	P47	CSISO0	WAITZ3	—	—		
P5	P50	CSZ3	—	CCM_LNKRUNZ / CCS_LNKRUNZ	—	Hi-Z (High)	
	P51	CSZ2	—	CCM_RDLEDZ / CCS_RDLEDZ	—		
	P52	TIN3	TOUT3	CCS_SDGATEON	—		Hi-Z (Low)
	P53	CRXD0	CCS_RD	CCM_RD	—		
	P54	CTXD0	CCS_SD	CCM_SD	—		
	P55	CRXD1	—	—	—		
	P56	CTXD1	CATRESTOUT	—	—		
	P57	TIN2	TOUT2	—	—		

(3/4)

	ポート名	兼用 1	兼用 2	兼用 3	兼用 4	リセット中およびリセット解除後
P6	P60	SCL0	—	—	—	Hi-Z
	P61	SDA0	—	—	—	
	P62	RTDMAREQZ	—	CCM_MDIN0	—	
	P63	RTDMAACKZ	—	CCM_MDIN1	—	
	P64	RTDMATCZ	—	CCM_MDIN2	—	
	P65	DMAREQZ0	—	CCM_MDIN3	—	
	P66	DMAACKZ0	—	—	—	
	P67	DMATCZ0	—	—	—	
P7	P70	CSICS00	P0DUPLEXLEDZ	CCS_STATION_N O_0 / CCM_SNIN0	—	
	P71	CSICS01	—	CCS_STATION_N O_1 / CCM_SNIN1	—	
	P72	CSICS10	P0SPEED100LEDZ	CCS_STATION_N O_2 / CCM_SNIN2	—	
	P73	CSICS11	P0SPEED10LEDZ	CCS_STATION_N O_3 / CCM_SNIN3	—	
	P74	INTPZ12	P1DUPLEXLEDZ	CCS_STATION_N O_4 / CCM_SNIN4	—	
	P75	INTPZ13	—	CCS_STATION_N O_5 / CCM_SNIN5	—	
	P76	INTPZ14	P1SPEED100LEDZ	CCS_STATION_N O_6 / CCM_SNIN6	—	
	P77	INTPZ15	P1SPEED10LEDZ	CCS_STATION_N O_7 / CCM_SNIN7	—	

RP0x-RP3x は、リアルタイム・ポートとして動作します。リアルタイム・ポート専用の DMA コントローラにより、32 ビット単位で DMA 転送トリガに同期して、ポートの入出力が行えます。

(4/4)

	ポート名	兼用 1	兼用 2	兼用 3	兼用 4	リセット中およびリセット解除後
RP0	RP00	INTPZ16	SCL1	CCM_SDLEDZ / CCS_SDLEDZ	—	Hi-Z (High)
	RP01	INTPZ17	SDA1	CCM_SMSTZ	—	
	RP02	INTPZ18	P0ACTLEDZ	CCS_BS1	—	
	RP03	INTPZ19	—	CCS_BS2	—	
	RP04	INTPZ20	P1ACTLEDZ	CCS_BS4	—	
	RP05	INTPZ21	—	CCS_BS8	—	
	RP06	WRZ2/BENZ2	HWRZ2/HBENZ2	—	—	
	RP07	WRZ3/BENZ3	HWRZ3/HBENZ3	—	—	
RP1	RP10	D24/MD24/HD24	—	—	—	Hi-Z (Low)
	RP11	D25/MD25/HD25	—	—	—	
	RP12	D26/MD26/HD26	—	—	—	
	RP13	D27/MD27/HD27	—	—	—	
	RP14	D28/MD28/HD28	—	—	—	
	RP15	D29/MD29/HD29	—	—	—	
	RP16	D30/MD30/HD30	—	—	—	
	RP17	D31/MD31/HD31	—	—	—	
RP2	RP20	BCYSTZ/ADVZ	HBCYSTZ	—	—	Hi-Z (Low)
	RP21	A21/MA20	—	—	—	
	RP22	A22/MA21	—	—	—	
	RP23	A23/MA22	—	—	—	
	RP24	A24/MA23	INTPZ25	—	—	
	RP25	A25/MA24	INTPZ26	—	—	
	RP26	A26/MA25	INTPZ27	—	—	
RP27	A27/MA26	INTPZ28	—	—		
RP3	RP30	D16/MD16/HD16	—	—	—	Hi-Z (High)
	RP31	D17/MD17/HD17	—	—	—	
	RP32	D18/MD18/HD18	—	—	—	
	RP33	D19/MD19/HD19	—	—	—	
	RP34	D20/MD20/HD20	—	—	—	
	RP35	D21/MD21/HD21	—	—	—	
	RP36	D22/MD22/HD22	—	—	—	
	RP37	D23/MD23/HD23	—	—	—	

2.1.6 シリアル・フラッシュ ROM インタフェース

シリアル・フラッシュ ROM メモリ・コントローラの端子です。

Fast Read, Fast Read Dual Output, Fast Read Dual I/O モードに対応しています。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後
SMSCK	出力	シリアル・フラッシュ ROM 用 シリアル・クロック出力信号	P14	—	Hi-Z (High)
SMSI	入出力	シリアル・フラッシュ ROM 用 シリアル・データ入出力信号 (シリアル ROM の SO 端子に接続)	P15	High	
SMSO	入出力	シリアル・フラッシュ ROM 用 シリアル・データ入出力信号 (シリアル ROM の SI 端子に接続)	P16	High	
SMCSZ	出力	シリアル・フラッシュ ROM 用 チップ・セレクト出力	P17	Low	

2.1.7 DMA インタフェース端子

内蔵AHBバス用DMAコントローラの外部インタフェース端子です。

R-IN32M3-ECに内蔵している2種類のDMAコントローラを外部DMAインタフェースとして制御可能です。制御可能なDMAコントローラは、汎用DMAコントローラのチャンネル0、チャンネル1およびリアルタイム・ポート用DMAコントローラです。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後
RTDMAREQZ	入力	RTDMAC DMA 転送要求入力	P62	Low	Hi-Z
RTDMAACKZ	出力	RTDMAC DMA アクノリッジ出力	P63	Low	
RTDMATCZ	出力	RTDMAC ターミナル・カウント出力	P64	Low	
DMAREQZ0	入力	DMA 転送要求入力 0	P65	Low	
DMAACKZ0	出力	DMA アクノリッジ出力 0	P66	Low	
DMATCZ0	出力	ターミナル・カウント出力 0	P67	Low	
DMAREQZ1	入力	DMA 転送要求入力 1	P32	Low	Hi-Z (High)
DMAACKZ1	出力	DMA アクノリッジ出力 1	P33	Low	
DMATCZ1	出力	ターミナル・カウント出力 1	P34	Low	

注意. DMA インタフェース端子は、DMA コントローラのチャンネル固定です。任意の DMA コントローラ、任意のチャンネルに割り当てることはできません。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編 13.DMA 機能」を参照してください。

2.1.8 外部割込み入力端子

1本のノンマスクابل割り込みと、29本のマスクابل割り込み入力端子があります。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後
NMIZ	入力	ノンマスクابل外部割り込み入力	—	Low	Hi-Z (High)
INTPZ0-INTPZ5	入力	外部割り込み入力	P00-P05	Low	Hi-Z
INTPZ6, INTPZ7			P12,P13	Low	Hi-Z (High)
INTPZ8-INTPZ10			P22-P24	Low	Hi-Z
INTPZ11			P43	Low	Hi-Z (High)
INTPZ12-INTPZ15			P74-P77	Low	Hi-Z
INTPZ16-INTPZ21			RP00-RP05	Low	Hi-Z (High)
INTPZ22-INTPZ24			P35-P37		
INTPZ25-INTPZ28			RP24-RP27		

2.1.9 タイマ入出力端子

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後
TIN0 / TOUT0	入出力	タイマ TAUJ0 入出力端子	P27	—	Hi-Z
TIN1 / TOUT1	入出力	タイマ TAUJ1 入出力端子	P26	—	
TIN2 / TOUT2	入出力	タイマ TAUJ2 入出力端子	P57	—	Hi-Z (High)
TIN3 / TOUT3	入出力	タイマ TAUJ3 入出力端子	P52	—	Hi-Z (Low)

2.1.10 ウォッチドック・タイマ出力端子

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後
WDTOUTZ	出力	ウォッチドッグ・タイマ出力端子	P25	Low	Hi-Z

2.1.11 トレース端子

端子名称	入出力	機能	アクティブ	リセット中およびリセット解除後
TRACECLK	出力	トレース・ポート・クロック出力	—	クロック出力
TRACEDATA0- TRACEDATA3	出力	トレース・ポート・データ出力	—	Low

2.1.12 CPU パワー制御端子

端子名称	入出力	機能	兼用端子	アクティブ	リセット中およびリセット解除後
SLEEPING	出力	CPU コアの SLEEP モード出力	P42	High	Hi-Z (High)

2.1.13 シリアル・インタフェース端子

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後
TXD0	出力	UART0 シリアル・データ出力	P21	—	Hi-Z
RXD0	入力	UART0 シリアル・データ入力	P20	—	
TXD1	出力	UART1 シリアル・データ出力	P31	—	Hi-Z (High)
RXD1	入力	UART1 シリアル・データ入力	P30	—	
CSISCK0	入出力	CSI0 シリアル・クロック入出力	P45	—	
CSISI0	入力	CSI0 シリアル・データ入力	P46	—	
CSISO0	出力	CSI0 シリアル・データ出力	P47	—	Hi-Z
CSICS00,CSICS01	出力	CSI0 チップ・セレクト出力 0,1	P70, P71	Low	
CSISCK1	入出力	CSI1 シリアル・クロック入出力	P35	—	Hi-Z (High)
CSISI1	入力	CSI1 シリアル・データ入力	P36	—	
CSISO1	出力	CSI1 シリアル・データ出力	P37	—	
CSICS10,CSICS11	出力	CSI1 チップ・セレクト出力 0,1	P72, P73	Low	Hi-Z
SCL0	入出力	I2C0 シリアル・クロック	P60	—	
SDA0	入出力	I2C0 シリアル・データ	P61	—	Hi-Z (High)
SCL1	入出力	I2C1 シリアル・クロック	RP00	—	
SDA1	入出力	I2C1 シリアル・データ	RP01	—	
CRXD0	入力	CAN0 受信データ入力 (5V トレラント対応)	P53	—	
CTXD0	出力	CAN0 送信データ出力	P54	—	
CRXD1	入力	CAN1 受信データ入力 (5V トレラント対応)	P55	—	
CTXD1	出力	CAN1 送信データ出力	P56	—	

2.1.14 CC-Link 端子（インテリジェントデバイス局）

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後	
CCM_LINKERRZ	出力	リンクエラーLED 制御出力	P20	Low	Hi-Z	
CCM_ERRZ	出力	未使用	P21	Low		
CCM_RUNZ	出力	RUN LED 制御出力	P26	Low		
CCM_MDIN0- CCM_MDIN3	入力	伝送速度設定入力	P62-P65	—		
CCM_SNIN0- CCM_SNIN7	入力	局番設定スイッチ入力	P70-P77	—		
CCM_LNKRUNZ	出力	リンク RUN LED 制御出力	P50	Low	Hi-Z (High)	
CCM_RDLEDZ	出力	受信データ LED 制御出力	P51	Low		
CCM_SDLEDZ	出力	送信データ LED 制御出力	RP00	Low		
CCM_IRLZ	出力	通信回路からの割り込み信号出力	P35	Low		
CCM_WDTENZ	入力	ウォッチドッグ・タイマ・エラー入力	P13	Low		
CCM_MSTZ	出力	未使用	P37	Low		
CCM_SMSTZ	出力	未使用	RP01	Low		
CCM_RD	入力	通信回路 データ受信端子	P53	—		
CCM_SD	出力	通信回路 データ送信端子	P54	—		
CCM_SDGCZ	出力	通信回路 送信データ・ゲート制御端子	P42	Low		
CCM_CLK80M	入力	CC-Link クロック入力 (80MHz)	—	—		—

2.1.15 CC-Link 端子（リモートデバイス局）

注意 リモートデバイス局を使用する場合は、CCS_REFSTB（P10）端子を、外部割り込み機能(INTPZ)を持ついずれかのポート端子に接続する必要があります。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中およびリセット解除後
CCS_MON0	出力	モニタ信号	P06	—	Hi-Z
CCS_MON1- CCS_MON3	出力	モニタ信号	P32-P34	—	Hi-Z (High)
CCS_MON4	出力	モニタ信号	P11	—	Hi-Z (Low)
CCS_MON5- CCS_MON7	出力	モニタ信号	P03-P05	—	Hi-Z
CCS_RESOUT	出力	リセット出力信号	P07	High	
CCS_IOTENSU	入力	初期設定端子	P22	—	
CCS_SENYU0	入力	初期設定端子	P23	—	
CCS_SENYU1	入力	初期設定端子	P24	—	
CCS_ERRZ	出力	動作確認用 LED	P25	Low	
CCS_RUNZ	出力	動作確認用 LED	P26	Low	
CCS_STATION_NO_0- CCS_STATION_NO_7	入力	局番設定スイッチ入力端子	P70-P77	—	
CCS_LNKRUNZ	出力	リンク RUN LED 制御出力	P50	Low	Hi-Z (High)
CCS_REFSTB	出力	割り込み信号	P10	High	
CCS_WDTZ	入力	WDT 入力	P13	Low	
CCS_RDLEDZ	出力	受信データ LED 制御出力	P51	Low	
CCS_RD	入力	通信回路データ受信端子	P53	—	
CCS_SD	出力	通信回路データ送信端子	P54	—	
CCS_SDLEDZ	出力	動作確認用 LED	RP00	Low	
CCS_SDGATEON	出力	通信回路 送信データ・ゲート制御端子	P52	High	Hi-Z (Low)
CCS_BS1	入力	ポー・レート設定 SW 入力端子	RP02	—	Hi-Z (High)
CCS_BS2	入力	ポー・レート設定 SW 入力端子	RP03	—	
CCS_BS4	入力	ポー・レート設定 SW 入力端子	RP04	—	
CCS_BS8	入力	ポー・レート設定 SW 入力端子	RP05	—	
CCS_FUZEZ	入力	ヒューズ断入力信号	P36	Low	
CCM_CLK80M ^注	入力	CC-Link クロック入力 (80MHz)	—	—	—

注. 本端子は、CC-Link（インテリジェントデバイス局）と共用です。

2.1.16 システム端子

端子名称	入出力	機能	アクティブ	リセット中およびリセット解除後
XT1	入力	クロック入力端子	—	—
XT2	入出力	OSCTH = 1 : 発振器使用時です。 XT1 を GND、XT2 に発振器を接続。 OSCTH = 0 : 発振器使用時です。 XT1/XT2 に発振器に接続。	—	—
RESETZ	入力	リセット入力	Low	—
PONRZ	入力	パワー・オン・リセット入力	Low	—
OSCTH	入力	外部クロック入力モード設定 0 : 発振器使用モード 1 : 外部クロック入力モード	High	—
JTAGSEL	入力	JTAG 端子の動作モード設定 0 : Cortex-M3 JTAG モード 1 : B-SCAN JTAG モード	—	—
RSTOUTZ	出力	外部へのリセット出力	Low	Low(リセット解除後 : High)
PLL_VDD	—	PLL 電源 (1.0V)	—	—
PLL_GND	—	PLL グランド電位 (GND)	—	—
VDD33	—	I/O 電源 (3.3V)	—	—
VDD10	—	内部電源 (1.0V)	—	—
GND	—	グランド電位 (GND)	—	—
LX	出力	内蔵レギュレータ 1.5V 出力	—	—
EXTRES	—	内蔵 PHY 用リファレンス抵抗接続端子	—	—
P0VDDARXTX	—	Rx/Tx 端子用アナログ電源 (1.5V) - Port 0	—	—
P1VDDARXTX	—	Rx/Tx 端子用アナログ電源 (1.5V) - Port 1	—	—
VDDACB	—	内蔵 PHY 用アナログ電源 (3.3V)	—	—
AGND	—	内蔵 PHY 用アナログ・グランド電位 (GND)	—	—
VDD15	—	内蔵 PHY 用 I/O 電源 (1.5V)	—	—
VDDAPLL	—	内蔵 PHY 用アナログ・コア電源 (1.5V)	—	—
VSSAPLLCB	—	内蔵 PHY 用アナログ・コア・グランド電位 (GND)	—	—
VDD33ESD	—	内蔵 PHY 用アナログ・テスト電源 (3.3V)	—	—
AVDD_REG	—	内蔵レギュレータ用アナログ電源 (3.3V)	—	—
AGND_REG	—	内蔵レギュレータ用アナログ・グランド電位 (GND)	—	—
BVDD	—	内蔵レギュレータ用電源 (3.3V)	—	—
BGND	—	内蔵レギュレータ用グランド電位 (GND)	—	—
FB	入力	内蔵レギュレータ用フィードバック入力	—	—
VDDQ_PECL_B0	—	PECL バッファ電源 (3.3V)	—	—
VDDQ_PECL_B1	—	PECL バッファ電源 (3.3V)	—	—

2.1.17 テスト端子

端子名称	入出力	機能	アクティブ	リセット中および リセット解除後
TMODE0-TMODE2	入力	テスト・モード選択端子	—	—
TMS	入出力	モード・セレクト信号	—	—
TDI	入力	シリアル・データ入力	—	—
TDO	出力	シリアル・データ出力	—	—
TRSTZ	入力	リセット信号	Low	—
TCK	入力	クロック信号 (JTAG クロック)	—	—
TMC1	入力	ルネサス・テスト端子	—	—
TMC2	入力		—	—
ATP	入力		—	—
TEST1	入力		—	—
TEST2	入力		—	—
TEST3	入力		—	—
TESTDOUT5	出力		—	—

2.1.18 動作モード設定端子

端子名称	入出力	機能	アクティブ	リセット中およびリセット解除後
BOOT1-BOOT0	入力	ブート・モード選択 00: 外部メモリ・ブート 01: 外部シリアル・フラッシュ ROM ブート 10: 外部マイコン・ブート 11: 命令 RAM ブート (デバッグのみ使用可能)	—	—
MEMIFSEL	入力	外部メモリ・インタフェース種別選択 0: スレーブ・メモリ・インタフェース 1: 外部マイコン・インタフェース	—	—
BUS32EN	入力	外部メモリ・インタフェース・バス幅選択 0: 16 ビット・バス 1: 32 ビット・バス	—	—
HIFSYNC	入力	外部マイコン・インタフェースの動作モード 0: 非同期式 SRAM インタフェース 1: 同期式 SRAM インタフェース	—	—
HWRZSEL	入力	外部マイコン・インタフェース HWRZ/HBENZ 選択 0: HBENZ として使用 1: HWRZ として使用	—	—
MEMCSEL	入力	内蔵するメモリ・コントローラの選択 0: 非同期式 SRAM MEMC 1: 同期式バースト・アクセス MEMC	—	—
ADMUXMODE	入力	アドレス/データのマルチプレクス設定 0: アドレス/データ分離 1: アドレス/データ多重	—	—

本製品において使用可能な動作モード設定端子の組み合わせは下表の通りです。

ブート・モード	外部メモリ・ブート				外部マイコン・ブート				外部シリアル・フラッシュ ROM ブート							
	スレーブ・メモリ I/F				外部マイコン I/F				スレーブ・メモリ I/F				外部マイコン I/F			
MEMC タイプ	非同期		同期式		非同期		同期式		非同期		同期式		非同期		同期式	
外部バス幅	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit
BOOT1-0	00	00	00	00	10	10	10	10	01	01	01	01	01	01	01	01
MEMIFSEL	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
MEMCSEL	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
BUS32EN	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
HIFSYNC	0	0	0	0	注1	注1	1	1	0	0	0	0	注1	注1	1	1
HWRZSEL	0	0	0	0	注2	注2	0	0	0	0	0	0	注2	注2	0	0
ADMUXMODE	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1

注意. 動作モード設定端子は、上記以外の組み合わせは設定禁止です。

注 1. HIFSYNC 端子によって外部マイコン・インタフェース機能を選択可能です。

HIFSYNC = 0 : 非同期 SRAM インタフェース・モード

HIFSYNC = 1 : 同期 SRAM インタフェース・モード

詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編 11. 外部マイコン・インタフェース」を参照して下さい。

2. HWRZSEL 端子によって外部マイコン・インタフェース HWRZ/HBENZ を選択可能です。

詳細は「2.1.3.1 外部 SRAM インタフェース端子」を参照して下さい。

備考 1. 命令 RAM ブート(BOOT1-0 = 11)で使用可能な動作モード設定端子の組み合わせは、外部メモリ・ブート(BOOT1-0 = 00)と同様です。

2. 非同期 : 非同期式 SRAM MEMC (MEMCSEL = 0)、

同期式 : 同期式バースト・アクセス MEMC (MEMCSEL = 1)を示します。

2.2 端子状態

動作モード設定端子の状態によって、リセット解除後のポート機能の初期状態が異なります。各ブート・モード時の動作モード設定端子の状態およびサポートする組み合わせは「2.1.18 動作モード設定端子」を参照して下さい。

備考 1. 薄緑の網掛けは、初期状態で兼用機能が有効となる端子を示しています。

2. 命令 RAM ブートの初期状態は、外部メモリ・ブートと同様です。

2.2.1 外部メモリ・ブート時の端子状態

端子名	外部メモリ・ブート (BOOT1-0 = 00)			
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)			
	非同期 SRAM MEMC (MEMCSEL = 0)		同期式バースト・アクセス MEMC (MEMCSEL = 1)	
	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)
P00	P00	P00	P00	P00
P01	P01	P01	P01	P01
P02	P02	P02	P02	P02
P03	P03	P03	P03	P03
P04	P04	P04	P04	P04
P05	P05	P05	P05	P05
P06	P06	P06	P06	P06
P07	P07	P07	P07	P07
P10	P10	P10	P10	P10
P11	P11	P11	P11	P11
P12	P12	P12	P12	P12
P13	P13	P13	P13	P13
P14	P14	P14	P14	P14
P15	P15	P15	P15	P15
P16	P16	P16	P16	P16
P17	P17	P17	P17	P17
P20	P20	P20	P20	P20
P21	P21	P21	P21	P21
P22	P22	P22	P22	P22
P23	P23	P23	P23	P23
P24	P24	P24	P24	P24
P25	P25	P25	P25	P25
P26	P26	P26	P26	P26
P27	P27	P27	P27	P27
P30	P30	P30	P30	P30
P31	P31	P31	P31	P31
P32	P32	P32	P32	P32
P33	P33	P33	P33	P33
P34	P34	P34	P34	P34
P35	P35	P35	P35	P35
P36	P36	P36	P36	P36
P37	P37	P37	P37	P37

端子名	外部メモリ・ブート (BOOT1-0 = 00)			
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)			
	非同期 SRAM MEMC (MEMCSEL = 0)		同期式バースト・アクセス MEMC (MEMCSEL = 1)	
	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)
P40	A1	P40	MA0	MA0
P41	P41	P41	P41	P41
P42	P42	P42	P42	P42
P43	P43	P43	P43	P43
P44	P44	P44	P44	P44
P45	P45	P45	P45	P45
P46	P46	P46	P46	P46
P47	P47	P47	P47	P47
P50	P50	P50	P50	P50
P51	P51	P51	P51	P51
P52	P52	P52	P52	P52
P53	P53	P53	P53	P53
P54	P54	P54	P54	P54
P55	P55	P55	P55	P55
P56	P56	P56	P56	P56
P57	P57	P57	P57	P57
P60	P60	P60	P60	P60
P61	P61	P61	P61	P61
P62	P62	P62	P62	P62
P63	P63	P63	P63	P63
P64	P64	P64	P64	P64
P65	P65	P65	P65	P65
P66	P66	P66	P66	P66
P67	P67	P67	P67	P67
P70	P70	P70	P70	P70
P71	P71	P71	P71	P71
P72	P72	P72	P72	P72
P73	P73	P73	P73	P73
P74	P74	P74	P74	P74
P75	P75	P75	P75	P75
P76	P76	P76	P76	P76
P77	P77	P77	P77	P77

端子名	外部メモリ・ブート (BOOT1-0 = 00)			
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)			
	非同期 SRAM MEMC (MEMCSEL = 0)		同期式バースト・アクセス MEMC (MEMCSEL = 1)	
	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)
RP00	RP00	RP00	RP00	RP00
RP01	RP01	RP01	RP01	RP01
RP02	RP02	RP02	RP02	RP02
RP03	RP03	RP03	RP03	RP03
RP04	RP04	RP04	RP04	RP04
RP05	RP05	RP05	RP05	RP05
RP06	RP06	WRZ2	RP06	WRZ2
RP07	RP07	WRZ3	RP07	WRZ3
RP10	RP10	D24	RP10	MD24
RP11	RP11	D25	RP11	MD25
RP12	RP12	D26	RP12	MD26
RP13	RP13	D27	RP13	MD27
RP14	RP14	D28	RP14	MD28
RP15	RP15	D29	RP15	MD29
RP16	RP16	D30	RP16	MD30
RP17	RP17	D31	RP17	MD31
RP20	RP20	RP20	RP20	RP20
RP21	RP21	RP21	RP21	RP21
RP22	RP22	RP22	RP22	RP22
RP23	RP23	RP23	RP23	RP23
RP24	RP24	RP24	RP24	RP24
RP25	RP25	RP25	RP25	RP25
RP26	RP26	RP26	RP26	RP26
RP27	RP27	RP27	RP27	RP27
RP30	RP30	D16	RP30	MD16
RP31	RP31	D17	RP31	MD17
RP32	RP32	D18	RP32	MD18
RP33	RP33	D19	RP33	MD19
RP34	RP34	D20	RP34	MD20
RP35	RP35	D21	RP35	MD21
RP36	RP36	D22	RP36	MD22
RP37	RP37	D23	RP37	MD23

2.2.2 外部シリアル・フラッシュ ROM ブート時の端子状態

- 備考 1. 非同期タイプ：非同期 SRAM MEMC (MEMCSEL = 0)、
同期式タイプ：同期式バースト・アクセス MEMC (MEMCSEL = 1) を示します。
2. 16bit：外部メモリ・インタフェース・バス幅 16bit (BUS32EN = 0)、
32bit：外部メモリ・インタフェース・バス幅 32bit (BUS32EN = 1) を示します。

端子名	外部シリアル・フラッシュ ROM ブート (BOOT1-0 = 01)							
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)				外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期タイプ		同期式タイプ		非同期タイプ		同期式タイプ	
	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit
P00	P00	P00	P00	P00	P00	P00	P00	P00
P01	P01	P01	P01	P01	P01	P01	P01	P01
P02	P02	P02	P02	P02	P02	P02	P02	P02
P03	P03	P03	P03	P03	P03	P03	P03	P03
P04	P04	P04	P04	P04	P04	P04	P04	P04
P05	P05	P05	P05	P05	P05	P05	P05	P05
P06	P06	P06	P06	P06	P06	P06	P06	P06
P07	P07	P07	P07	P07	P07	P07	P07	P07
P10	P10	P10	P10	P10	P10	P10	P10	P10
P11	P11	P11	P11	P11	P11	P11	P11	P11
P12	P12	P12	P12	P12	P12	P12	P12	P12
P13	P13	P13	P13	P13	P13	P13	P13	P13
P14	SMSCK	SMSCK	SMSCK	SMSCK	SMSCK	SMSCK	SMSCK	SMSCK
P15	SMSI	SMSI	SMSI	SMSI	SMSI	SMSI	SMSI	SMSI
P16	SMSO	SMSO	SMSO	SMSO	SMSO	SMSO	SMSO	SMSO
P17	SMCSZ	SMCSZ	SMCSZ	SMCSZ	SMCSZ	SMCSZ	SMCSZ	SMCSZ
P20	P20	P20	P20	P20	P20	P20	P20	P20
P21	P21	P21	P21	P21	P21	P21	P21	P21
P22	P22	P22	P22	P22	P22	P22	P22	P22
P23	P23	P23	P23	P23	P23	P23	P23	P23
P24	P24	P24	P24	P24	P24	P24	P24	P24
P25	P25	P25	P25	P25	P25	P25	P25	P25
P26	P26	P26	P26	P26	P26	P26	P26	P26
P27	P27	P27	P27	P27	P27	P27	P27	P27
P30	P30	P30	P30	P30	P30	P30	P30	P30
P31	P31	P31	P31	P31	P31	P31	P31	P31
P32	P32	P32	P32	P32	P32	P32	P32	P32
P33	P33	P33	P33	P33	P33	P33	P33	P33
P34	P34	P34	P34	P34	P34	P34	P34	P34
P35	P35	P35	P35	P35	P35	P35	P35	P35
P36	P36	P36	P36	P36	P36	P36	P36	P36
P37	P37	P37	P37	P37	P37	P37	P37	P37

端子名	外部シリアル・フラッシュ ROM ブート (BOOT1-0 = 01)							
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)				外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期タイプ		同期式タイプ		非同期タイプ		同期式タイプ	
	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit
P40	A1	P40	MA0	MA0	HA1	P40	HA1	HA1
P41	P41	P41	P41	P41	HWAITZ	HWAITZ	HWAITZ	HWAITZ
P42	P42	P42	P42	P42	HERROUTZ	HERROUTZ	HERROUTZ	HERROUTZ
P43	P43	P43	P43	P43	HBUSCLK	HBUSCLK	HBUSCLK	HBUSCLK
P44	P44	P44	P44	P44	HPGCSZ	HPGCSZ	HPGCSZ	HPGCSZ
P45	P45	P45	P45	P45	P45	P45	P45	P45
P46	P46	P46	P46	P46	P46	P46	P46	P46
P47	P47	P47	P47	P47	P47	P47	P47	P47
P50	P50	P50	P50	P50	P50	P50	P50	P50
P51	P51	P51	P51	P51	P51	P51	P51	P51
P52	P52	P52	P52	P52	P52	P52	P52	P52
P53	P53	P53	P53	P53	P53	P53	P53	P53
P54	P54	P54	P54	P54	P54	P54	P54	P54
P55	P55	P55	P55	P55	P55	P55	P55	P55
P56	P56	P56	P56	P56	P56	P56	P56	P56
P57	P57	P57	P57	P57	P57	P57	P57	P57
P60	P60	P60	P60	P60	P60	P60	P60	P60
P61	P61	P61	P61	P61	P61	P61	P61	P61
P62	P62	P62	P62	P62	P62	P62	P62	P62
P63	P63	P63	P63	P63	P63	P63	P63	P63
P64	P64	P64	P64	P64	P64	P64	P64	P64
P65	P65	P65	P65	P65	P65	P65	P65	P65
P66	P66	P66	P66	P66	P66	P66	P66	P66
P67	P67	P67	P67	P67	P67	P67	P67	P67
P70	P70	P70	P70	P70	P70	P70	P70	P70
P71	P71	P71	P71	P71	P71	P71	P71	P71
P72	P72	P72	P72	P72	P72	P72	P72	P72
P73	P73	P73	P73	P73	P73	P73	P73	P73
P74	P74	P74	P74	P74	P74	P74	P74	P74
P75	P75	P75	P75	P75	P75	P75	P75	P75
P76	P76	P76	P76	P76	P76	P76	P76	P76
P77	P77	P77	P77	P77	P77	P77	P77	P77

端子名	外部シリアル・フラッシュ ROM ブート (BOOT1-0 = 01)							
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)				外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期タイプ		同期式タイプ		非同期タイプ		同期式タイプ	
	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit
RP00	RP00	RP00	RP00	RP00	RP00	RP00	RP00	RP00
RP01	RP01	RP01	RP01	RP01	RP01	RP01	RP01	RP01
RP02	RP02	RP02	RP02	RP02	RP02	RP02	RP02	RP02
RP03	RP03	RP03	RP03	RP03	RP03	RP03	RP03	RP03
RP04	RP04	RP04	RP04	RP04	RP04	RP04	RP04	RP04
RP05	RP05	RP05	RP05	RP05	RP05	RP05	RP05	RP05
RP06	RP06	WRZ2	RP06	WRZ2	RP06	HWRZ2	RP06	HWRZ2
RP07	RP07	WRZ3	RP07	WRZ3	RP07	HWRZ3	RP07	HWRZ3
RP10	RP10	D24	RP10	MD24	RP10	HD24	RP10	HD24
RP11	RP11	D25	RP11	MD25	RP11	HD25	RP11	HD25
RP12	RP12	D26	RP12	MD26	RP12	HD26	RP12	HD26
RP13	RP13	D27	RP13	MD27	RP13	HD27	RP13	HD27
RP14	RP14	D28	RP14	MD28	RP14	HD28	RP14	HD28
RP15	RP15	D29	RP15	MD29	RP15	HD29	RP15	HD29
RP16	RP16	D30	RP16	MD30	RP16	HD30	RP16	HD30
RP17	RP17	D31	RP17	MD31	RP17	HD31	RP17	HD31
RP20	RP20	RP20	ADVZ	ADVZ	HBCYSTZ	HBCYSTZ	HBCYSTZ	HBCYSTZ
RP21	RP21	RP21	RP21	RP21	RP21	RP21	RP21	RP21
RP22	RP22	RP22	RP22	RP22	RP22	RP22	RP22	RP22
RP23	RP23	RP23	RP23	RP23	RP23	RP23	RP23	RP23
RP24	RP24	RP24	RP24	RP24	RP24	RP24	RP24	RP24
RP25	RP25	RP25	RP25	RP25	RP25	RP25	RP25	RP25
RP26	RP26	RP26	RP26	RP26	RP26	RP26	RP26	RP26
RP27	RP27	RP27	RP27	RP27	RP27	RP27	RP27	RP27
RP30	RP30	D16	RP30	MD16	RP30	HD16	RP30	HD16
RP31	RP31	D17	RP31	MD17	RP31	HD17	RP31	HD17
RP32	RP32	D18	RP32	MD18	RP32	HD18	RP32	HD18
RP33	RP33	D19	RP33	MD19	RP33	HD19	RP33	HD19
RP34	RP34	D20	RP34	MD20	RP34	HD20	RP34	HD20
RP35	RP35	D21	RP35	MD21	RP35	HD21	RP35	HD21
RP36	RP36	D22	RP36	MD22	RP36	HD22	RP36	HD22
RP37	RP37	D23	RP37	MD23	RP37	HD23	RP37	HD23

2.2.3 外部マイコン・ブート時の端子状態

端子名	外部マイコン・ブート (BOOT1-0 = 10)			
	外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期 SRAM MEMC (MEMCSEL = 0)		同期式バースト・アクセス MEMC (MEMCSEL = 1)	
	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)
P00	P00	P00	P00	P00
P01	P01	P01	P01	P01
P02	P02	P02	P02	P02
P03	P03	P03	P03	P03
P04	P04	P04	P04	P04
P05	P05	P05	P05	P05
P06	P06	P06	P06	P06
P07	P07	P07	P07	P07
P10	P10	P10	P10	P10
P11	P11	P11	P11	P11
P12	P12	P12	P12	P12
P13	P13	P13	P13	P13
P14	P14	P14	P14	P14
P15	P15	P15	P15	P15
P16	P16	P16	P16	P16
P17	P17	P17	P17	P17
P20	P20	P20	P20	P20
P21	P21	P21	P21	P21
P22	P22	P22	P22	P22
P23	P23	P23	P23	P23
P24	P24	P24	P24	P24
P25	P25	P25	P25	P25
P26	P26	P26	P26	P26
P27	P27	P27	P27	P27
P30	P30	P30	P30	P30
P31	P31	P31	P31	P31
P32	P32	P32	P32	P32
P33	P33	P33	P33	P33
P34	P34	P34	P34	P34
P35	P35	P35	P35	P35
P36	P36	P36	P36	P36
P37	P37	P37	P37	P37

端子名	外部マイコン・ブート (BOOT1-0 = 10)			
	外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期 SRAM MEMC (MEMCSEL = 0)		同期式バースト・アクセス MEMC (MEMCSEL = 1)	
	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)
P40	HA1	P40	HA1	HA1
P41	HWAITZ	HWAITZ	HWAITZ	HWAITZ
P42	HERROUTZ	HERROUTZ	HERROUTZ	HERROUTZ
P43	HBUSCLK	HBUSCLK	HBUSCLK	HBUSCLK
P44	HPGCSZ	HPGCSZ	HPGCSZ	HPGCSZ
P45	P45	P45	P45	P45
P46	P46	P46	P46	P46
P47	P47	P47	P47	P47
P50	P50	P50	P50	P50
P51	P51	P51	P51	P51
P52	P52	P52	P52	P52
P53	P53	P53	P53	P53
P54	P54	P54	P54	P54
P55	P55	P55	P55	P55
P56	P56	P56	P56	P56
P57	P57	P57	P57	P57
P60	P60	P60	P60	P60
P61	P61	P61	P61	P61
P62	P62	P62	P62	P62
P63	P63	P63	P63	P63
P64	P64	P64	P64	P64
P65	P65	P65	P65	P65
P66	P66	P66	P66	P66
P67	P67	P67	P67	P67
P70	P70	P70	P70	P70
P71	P71	P71	P71	P71
P72	P72	P72	P72	P72
P73	P73	P73	P73	P73
P74	P74	P74	P74	P74
P75	P75	P75	P75	P75
P76	P76	P76	P76	P76
P77	P77	P77	P77	P77

端子名	外部マイコン・ブート (BOOT1-0 = 10)			
	外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期 SRAM MEMC (MEMCSEL = 0)		同期式バースト・アクセス MEMC (MEMCSEL = 1)	
	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)
RP00	RP00	RP00	RP00	RP00
RP01	RP01	RP01	RP01	RP01
RP02	RP02	RP02	RP02	RP02
RP03	RP03	RP03	RP03	RP03
RP04	RP04	RP04	RP04	RP04
RP05	RP05	RP05	RP05	RP05
RP06	RP06	HWRZ2	RP06	HWRZ2
RP07	RP07	HWRZ3	RP07	HWRZ3
RP10	RP10	HD24	RP10	HD24
RP11	RP11	HD25	RP11	HD25
RP12	RP12	HD26	RP12	HD26
RP13	RP13	HD27	RP13	HD27
RP14	RP14	HD28	RP14	HD28
RP15	RP15	HD29	RP15	HD29
RP16	RP16	HD30	RP16	HD30
RP17	RP17	HD31	RP17	HD31
RP20	HBCYSTZ	HBCYSTZ	HBCYSTZ	HBCYSTZ
RP21	RP21	RP21	RP21	RP21
RP22	RP22	RP22	RP22	RP22
RP23	RP23	RP23	RP23	RP23
RP24	RP24	RP24	RP24	RP24
RP25	RP25	RP25	RP25	RP25
RP26	RP26	RP26	RP26	RP26
RP27	RP27	RP27	RP27	RP27
RP30	RP30	HD16	RP30	HD16
RP31	RP31	HD17	RP31	HD17
RP32	RP32	HD18	RP32	HD18
RP33	RP33	HD19	RP33	HD19
RP34	RP34	HD20	RP34	HD20
RP35	RP35	HD21	RP35	HD21
RP36	RP36	HD22	RP36	HD22
RP37	RP37	HD23	RP37	HD23

2.3 バッファタイプと未使用端子処理

2.3.1 イーサネット端子

(1) メディア・インタフェース

端子名称	入出力	インタフェース	未使用時の推奨接続方法
P0_RX_P	入力	3.3V Analog Input Buffer	オープン
P0_RX_N	入力		
P1_RX_P	入力		
P1_RX_N	入力		
P0_TX_P	出力	3.3V Analog Output Buffer	オープン
P0_TX_N	出力		
P1_TX_P	出力		
P1_TXN	出力		
P0_SD_P	入力	3.3V PECL Input Buffer	GND に接続
P0_SD_N	入力		
P1_SD_P	入力		
P1_SD_N	入力		
P0_RD_P	入力		
P0_RD_N	入力		
P1_RD_P	入力		
P1_RD_N	入力		
P0_TD_OUT_P	出力	3.3V PECL Output Buffer	オープン
P0_TD_OUT_N	出力		
P1_TD_OUT_P	出力		
P1_TD_OUT_N	出力		
P0_FX_EN_OUT	出力	Output Buffer (3.3V) 12mA	オープン
P1_FX_EN_OUT	出力		

2.3.2 外部メモリ／外部マイコン・インタフェース端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
BUSCLK	出力	Output Buffer (3.3V) 9mA	オープン
CSZ0 / HCSZ	入出力	I/O Buffer (3.3V) 6mA 50kΩ Pull-up	オープン
A2-A20 / HA2-HA20	入出力	I/O Buffer (3.3V) 6mA 50kΩ Pull-down	オープン
D0-D15 / HD0-HD15			
RDZ / HRDZ	入出力	I/O Buffer (3.3V) 6mA 50kΩ Pull-up	オープン
WRSTBZ / HWRSTBZ			
WRZ0, WRZ1 / BENZ0, BENZ1 / HWRZ0, HWRZ1			

2.3.3 外部割り込み入力端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
NMIZ	入力	Input Buffer (3.3V) Schmitt in 50kΩ Pull-up	VDD33 (3.3V) に接続

2.3.4 システム端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
XT1	入力	Oscillator with EN	注
XT2	入出力		注
RSTOUTZ	出力	Output Buffer (3.3V) 6mA	オープン
RESETZ	入力	Input Buffer (3.3V) Schmitt in	必ず使用する端子のため、 リセット信号を接続
PONRZ			
OSCTH	入力	Input Buffer (3.3V) Schmitt in, 50kΩ Pull-down	動作モードに応じて設定
JTAGSEL			

注. OSCTH 端子の設定によって接続方法が変わります。

詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル ボード設計編」を参照してください。

2.3.5 テスト端子

端子名称	入出力	インタフェース	未使用時の接続方法 (必須)
TMODE0-TMODE2	入力	Input Buffer (3.3V) Schmitt in, 50kΩ Pull-down	GND に接続
TMS	入出力	I/O Buffer (3.3V) 6mA 50kΩ Pull-up	オープン
TDI	入力	Input Buffer (3.3V) , 50kΩ Pull-up	オープン
TDO	出力	3-state Output Buffer (3.3V) 6mA	オープン
TRSTZ	入力	Input Buffer (3.3V) Schmitt in, 50kΩ Pull-up	オープン
TCK	入力	Input Buffer (3.3V) , 50kΩ Pull-down	オープン
TMC1	入力	(TMC1) Input Buffer (3.3V) for TMC Terminal	GND に接続
TMC2	入力	(TMC2) Input Buffer (3.3V) for TMC Terminal	GND に接続
ATP	入力	Input Buffer (3.3V)	オープン
TEST1	入力	Input Buffer (3.3V)	GND に接続
TEST2	入力	Input Buffer (3.3V)	
TEST3	入力	Input Buffer (3.3V)	
TESTDOUT5	出力	Output Buffer (3.3V)	オープン

2.3.6 ポート端子

(1/2)

端子名称	入出力	インタフェース	未使用時の推奨接続方法
P00-P07	入出力	I/O Buffer (3.3V) (6mA)	GND に接続
P10	入出力	Programmable I/O Buffer (3.3V) (6mA) 抵抗選択機能 (50kΩ Pull-up or 50kΩ Pull-down or less)	オープン
P11-P17	入出力	Programmable I/O Buffer (3.3V)(6mA) 抵抗選択機能 (50kΩ Pull-up or 50kΩ Pull-down or less)	
P20-P27	入出力	I/O Buffer (3.3V) (6mA)	GND に接続
P30-P36	入出力	Programmable I/O Buffer (3.3V) (6mA) 抵抗選択機能 (50kΩ Pull-up or 50kΩ Pull-down or less)	オープン
P37	入出力	Programmable I/O Buffer (3.3V) 駆動能力選択機能 (6mA, 12mA) 抵抗選択機能 (50kΩ Pull-up or 50kΩ Pull-down or less)	
P40-P47	入出力	Programmable I/O Buffer (3.3V)(6mA) 抵抗選択機能 (50kΩ Pull-up or 50kΩ Pull-down or less)	
P50-P51	入出力	Programmable I/O Buffer (3.3V) 駆動能力選択機能 (6mA, 12mA) 抵抗選択機能 (50kΩ Pull-up or 50kΩ Pull-down or less)	
P52	入出力	Programmable I/O Buffer (3.3V)(6mA) 抵抗選択機能 (50kΩ Pull-up or 50kΩ Pull-down or less)	オープン
P53-P56	入出力	5V-tolerant I/O Buffer 4mA 50kΩ Pull-up	
P57	入出力	Programmable I/O Buffer (3.3V)(6mA) 抵抗選択機能 (50kΩ Pull-up or 50kΩ Pull-down or less)	オープン
P60-P67	入出力	I/O Buffer (3.3V) (6mA)	GND に接続

(2/2)

端子名称	入出力	インタフェース	未使用時の推奨接続方法
P70-P77	入出力	I/O Buffer (3.3V) (6mA)	GND に接続
RP00-RP07	入出力	Programmable I/O Buffer (3.3V) 駆動能力選択機能 (6mA, 12mA) 抵抗選択機能 (50kΩ Pull-up or 50kΩ Pull-down or less)	オープン
RP10-RP17			
RP20-RP27			
RP30-RP37			

2.3.7 動作モード設定端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
BOOT0, BOOT1	入力	Input Buffer (3.3V) Schmitt in	動作モードに応じて設定
MEMIFSEL			
BUS32EN			
HIFSYNC			
HWRZSEL			
MEMCSEL			
ADMUXMODE			

2.3.8 CC-Link (インテリジェントデバイス局、リモートデバイス局)

端子名称	入出力	インタフェース	未使用時の推奨接続方法
CCM_CLK80M	入力	Input Buffer (3.3V)	GND に接続

2.3.9 トレース端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
TRACECLK	出力	Output Buffer (3.3V) 6mA	オープン
TRACEDATA0-3			

3. メモリ・マップ

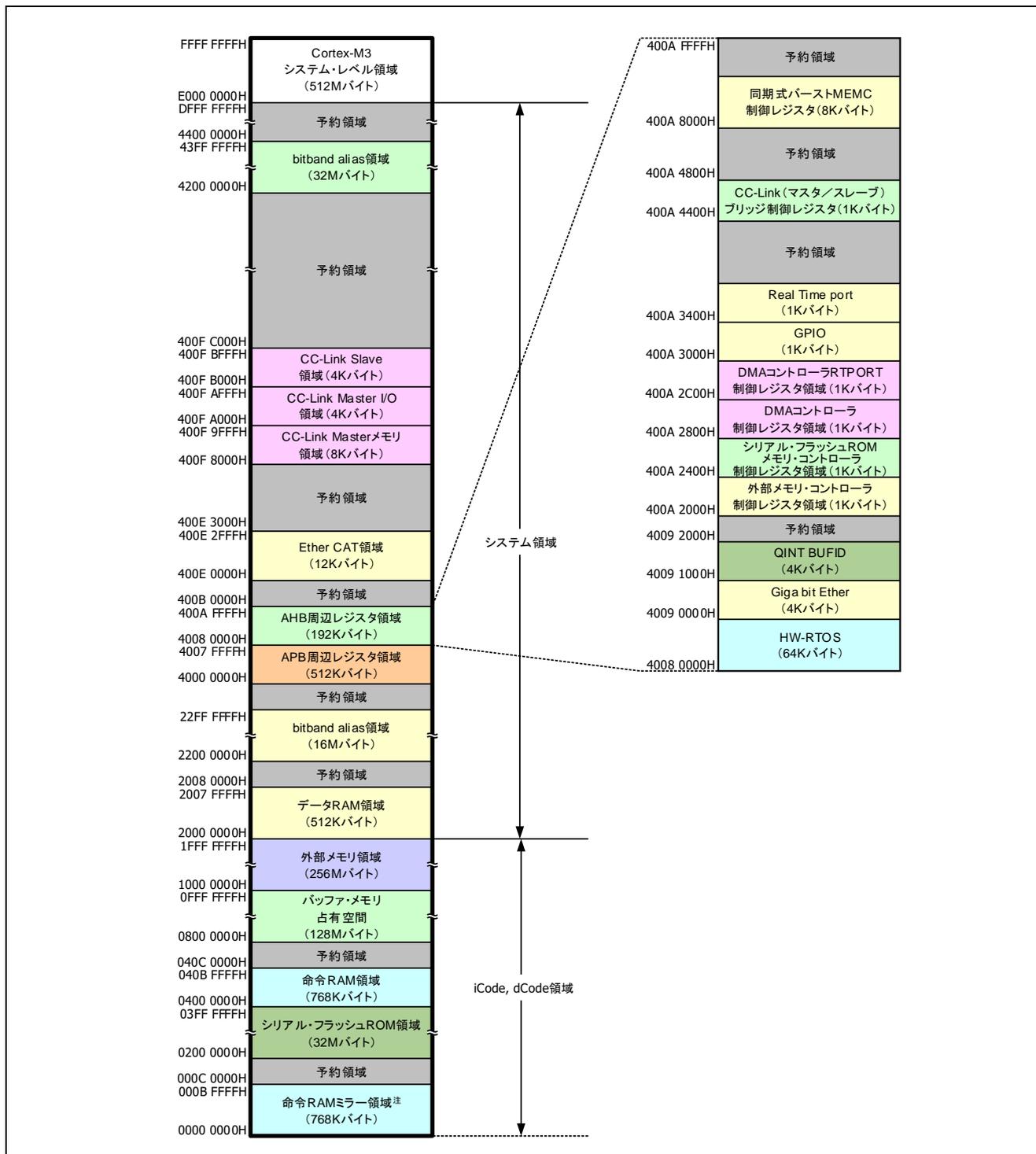


図3.1 メモリ・マップ (全体)

注. 上記命令RAMミラー領域(768Kバイト)はブート・モードにより実際にアクセスが発生するアドレスが変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリMAPの違い」を参照してください。

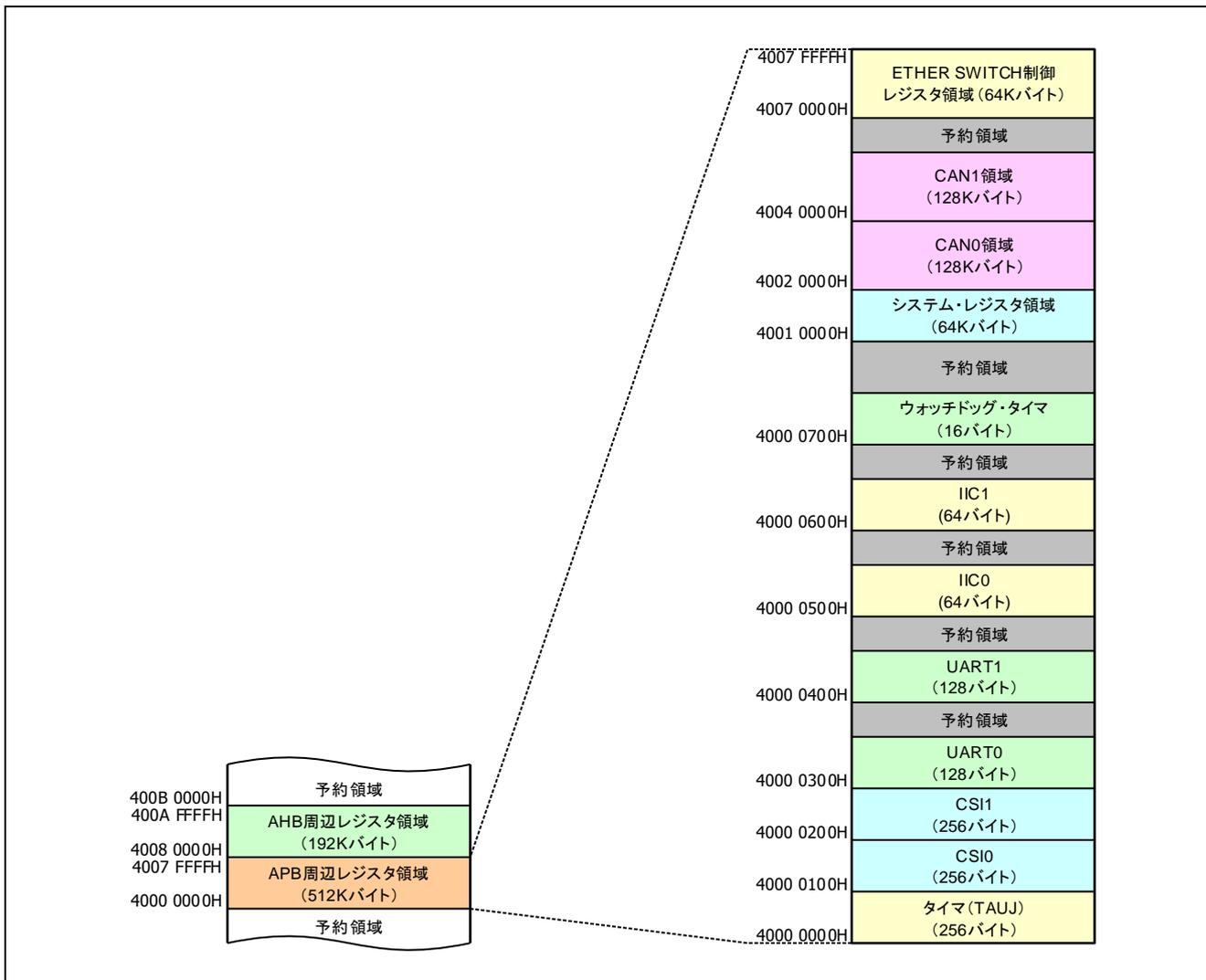


図3.2 メモリ・マップ (APB 周辺レジスタ領域)

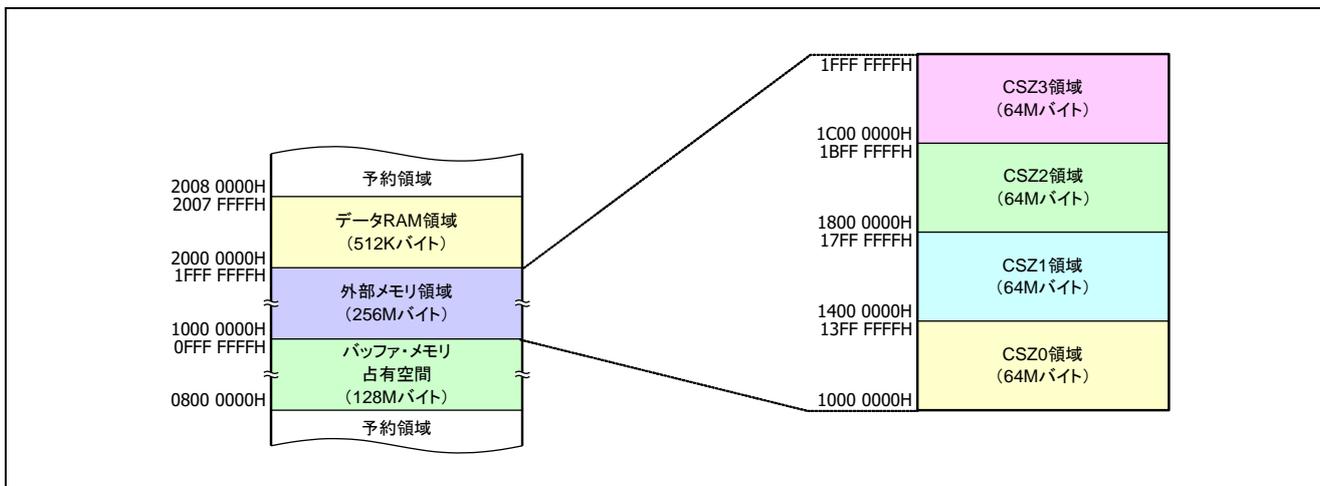


図3.3 メモリ・マップ (外部メモリ領域)

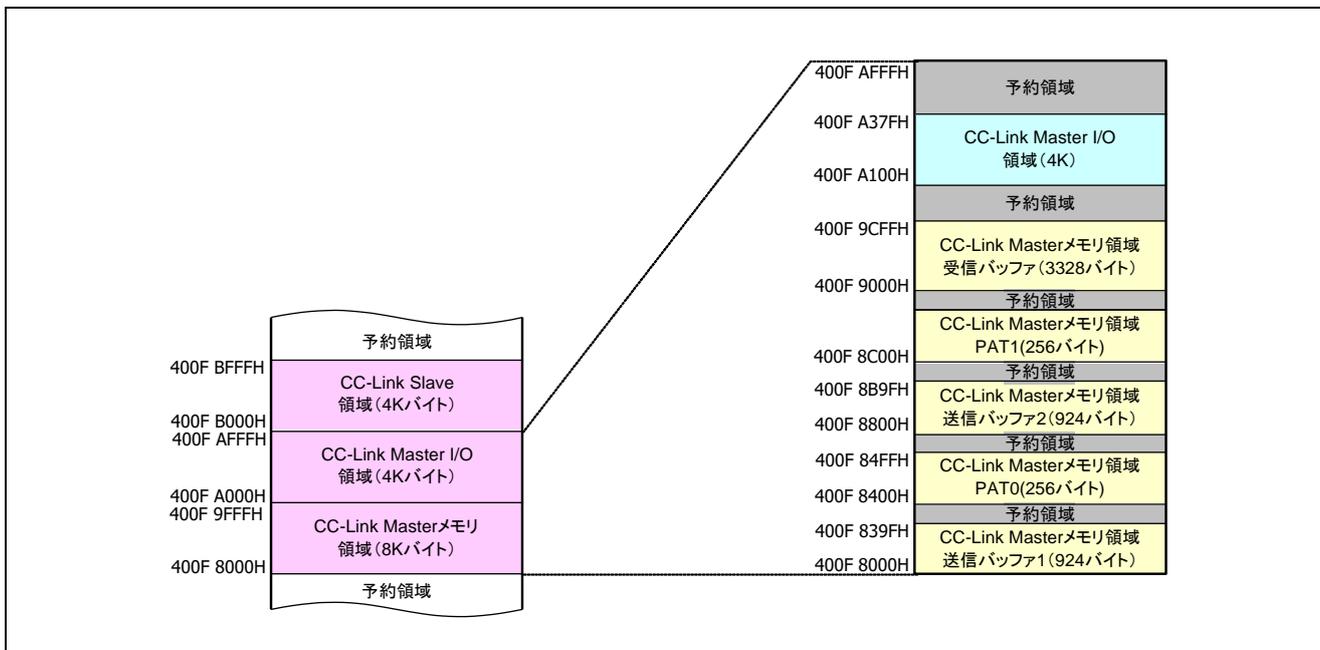


図3.4 メモリ・マップ (CC-Link Master 領域)

- 注意 1. CC-Link Master とは、インテリジェントデバイス局の機能ブロックを示しています。**
2. CC-Link Slave とは、リモートデバイス局の機能ブロックを示してします。

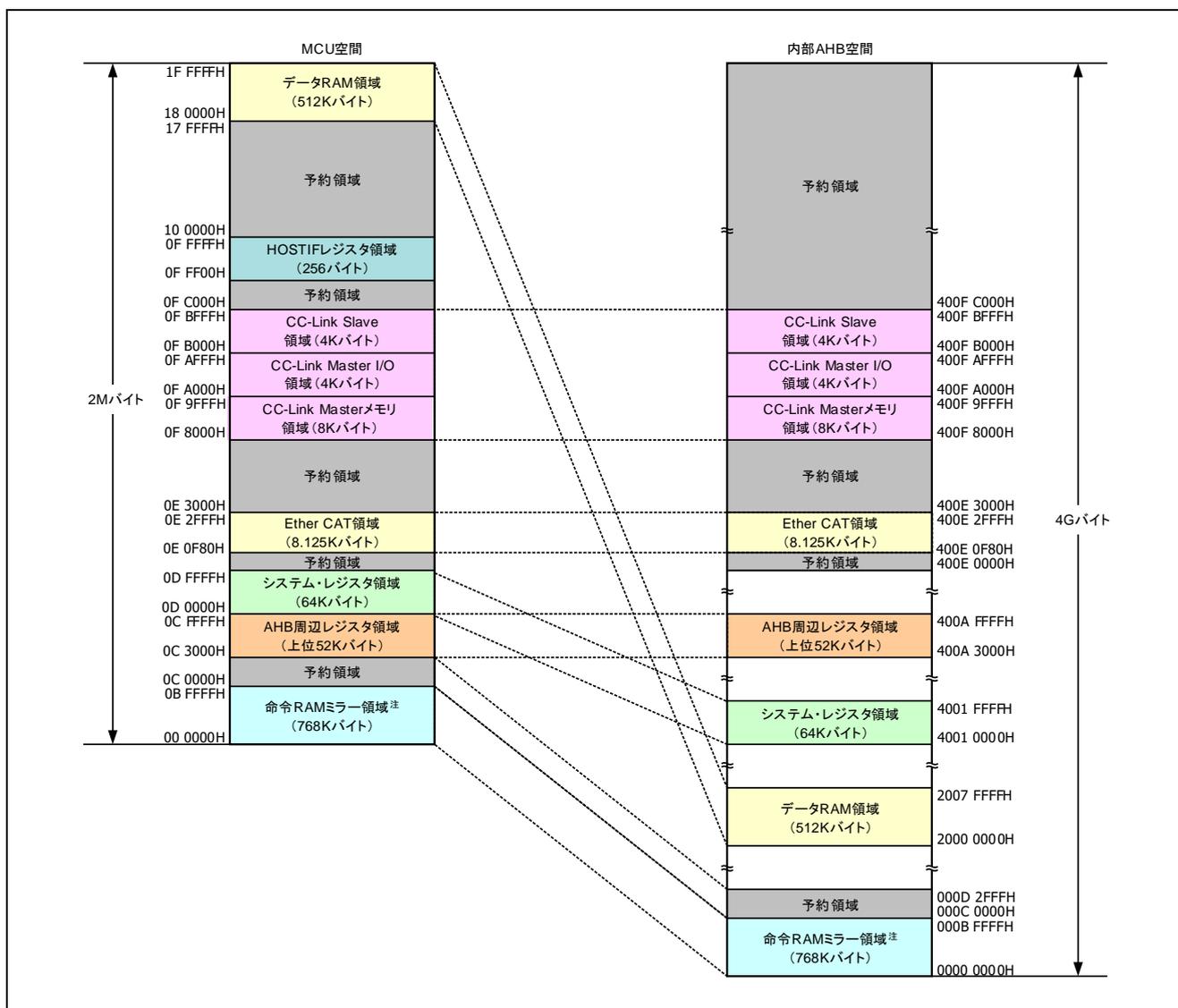


図3.5 外部マイコン・インタフェース空間

注. 上記命令 RAM ミラー領域(768K バイト)は、ブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. パス構成」を参照してください。

BOOT1	BOOT0	ブート・モード	アクセス先領域	備考
0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可
1	0	外部マイコン・ブート	命令 RAM 領域	—
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可

4. 例外処理機能

R-IN32M3 は、Cortex-M3 内蔵の割り込みコントローラを使用しています。

Cortex-M3 の例外処理動作は、Arm 社の下記 URL を参照してください。

<http://infocenter.arm.com/help/topic/com.arm.doc.set.cortexm/index.html>

4.1 例外一覧

例外番号 1-15 は Cortex-M3 CPU のシステム例外です。例外番号 16 以降に、R-IN32M3 内蔵ハードウェアや外部端子からの割り込みが割り当てられています。

例外番号	例外タイプ	優先度	説明
1	リセット	-3 (最上位)	<ul style="list-style-type: none"> リセット端子 (RESETZ, PONRZ) 入力、 ウォッチドッグ・タイマからのリセット、 Cortex-M3 CPU 内蔵 NVIC の SYSRESETREQ ビットのセット (1) SYSRESET レジスタによるリセット
2	NMI	-2	<ul style="list-style-type: none"> NMI 端子入力、 ウォッチドッグ・タイマからの NMI 発生
3	ハード・フォールト	-1	他の例外によって処理できないすべてのクラスの例外フォールトの昇格に使用
4	メモリ管理フォールト	プログラマブル	MPU からの例外
5	バス・フォールト	プログラマブル	MPU 管理外の領域に対するバス・アクセスのバス・エラー
6	用法フォールト	プログラマブル	未定義命令の実行を含む命令実行に関するエラー
7~10	予約	—	—
11	SVCcall	プログラマブル	SVC 命令によるシステム・サービスの呼び出し
12	デバッグ・モニタ	プログラマブル	デバッグ・モニタ
13	予約	—	—
14	PendSV	プログラマブル	保留可能なシステム・サービスへの要求
15	SysTick	プログラマブル	システム・タイマからの通知
16~	R-IN32M3 固有割り込み	プログラマブル	R-IN32M3 内蔵ハードウェアや外部端子からの割り込み

4.2 割り込み一覧

Cortex-M3 CPU の NVIC に割り当てられている例外番号 16 以降の例外（割り込み）です。

R-IN32M3 では、内蔵ハードウェアや外部端子からの割り込みは、Cortex-M3 の NVIC 以外に内蔵ハードウェア・リアルタイム OS (HW-RTOS) や内蔵 DMA コントローラの起動トリガ（汎用 DMAC、リアルタイム・ポート用 DMAC とも共通）リアルタイム・ポートおよびタイマにも接続されています。

R-IN32M3 には以下の割り込みがあります。

表4.1 割り込み一覧

(1/4)

例外番号	名称	発生要因	接続先				
			NVIC	HW-RTOS	DMAC	Real Time Port	Timer
16	INTTAUJ2I0	タイマ・アレイ TAUJ2 チャンネル 0 割り込み	○	○	○	○	○
17	INTTAUJ2I1	タイマ・アレイ TAUJ2 チャンネル 1 割り込み	○	○	○	○	○
18	INTTAUJ2I2	タイマ・アレイ TAUJ2 チャンネル 2 割り込み	○	○	○	○	○
19	INTTAUJ2I3	タイマ・アレイ TAUJ2 チャンネル 3 割り込み	○	○	○	○	○
20	INTUAJ0TIT	UARTJ0 送信割り込み	○	○	○	○	○
21	INTUAJ0TIR	UARTJ0 受信割り込み	○	○	○	○	○
22	INTUAJ1TIT	UARTJ1 送信割り込み	○	○	○	○	○
23	INTUAJ1TIR	UARTJ1 受信割り込み	○	○	○	○	○
24	INTCSIH0IC	CSIH0 通信ステータス割り込み	○	○	○	○	○
25	INTCSIH0IR	CSIH0 受信ステータス割り込み	○	○	○	○	○
26	INTCSIH0IJC	CSIH0 ジョブ完了割り込み	○	○	○	○	○
27	INTCSIH1IC	CSIH1 通信ステータス割り込み	○	○	○	○	○
28	INTCSIH1IR	CSIH1 受信ステータス割り込み	○	○	○	○	○
29	INTCSIH1IJC	CSIH1 ジョブ完了割り込み	○	○	○	○	○
30	INTIICB0TIA	IICB0 データ送受信割り込み要求信号	○	○	○	○	○
31	INTIICB1TIA	IICB1 データ送受信割り込み要求信号	○	○	○	○	○
32	INTFCN0REC	FCN0 受信完了	○	○	○	○	○
33	INTFCN0TRX	FCN0 送信完了	○	○	○	○	○
34	INTFCN0WUP	FCN0 スリープ・ウェイクアップ/送信中断	○	○	○	○	○
35	INTFCN1REC	FCN1 受信完了	○	○	○	○	○
36	INTFCN1TRX	FCN1 送信完了	○	○	○	○	○
37	INTFCN1WUP	FCN1 スリープ・ウェイクアップ/送信中断	○	○	○	○	○
38	INTDMA00	汎用 DMAC チャンネル 0 転送完了割り込み	○	○	○	○	○
39	INTDMA01	汎用 DMAC チャンネル 1 転送完了割り込み	○	○	○	○	○
40	INTDMA02	汎用 DMAC チャンネル 2 転送完了割り込み	○	○	○	○	○
41	INTDMA03	汎用 DMAC チャンネル 3 転送完了割り込み	○	○	○	○	○
42	INTRTDMA	リアルタイム・ポート用 DMAC 転送完了割り込み	○	○	○	○	○
43	INTCATSYNC0	EtherCAT Sync0 割り込み	○	○	○	○	—
44	INTCATSYNC1	EtherCAT Sync1 割り込み	○	○	○	○	—
45	INTCAT	EtherCAT 割り込み	○	○	○	○	○

(2/4)

例外 番号	名称	発生要因	接続先				
			NVIC	HW- RTOS	DMAC	Real Time Port	Timer
46	INTCATSOF	EtherCAT SOF 割り込み	○	○	○	○	○
47	INTCATEOF	EtherCAT EOF 割り込み	○	○	○	○	○
48	INTBUFDMA	Inter-Buffer DMA 転送完了	○	○	○	○	○
49	INTPHY0	Ether PHY 割り込み 0	○	○	○	○	○
50	INTPHY1	Ether PHY 割り込み 1	○	○	○	○	○
51	INTETHMII	Ether MII マネージメント・アクセス完了 割り込み	○	○	○	○	○
52	INTETHPAUSE	Ether ポーズ・パケット送信完了	○	○	○	○	○
53	INTETHTX	Ether 送信完了割り込み	○	○	○	○	○
54	INTETHSW	Ether SWITCH タイマ割り込み	○	○	○	○	○
55	INTETHSWDLR	Ether SWITCH DLR 割り込み	○	○	○	○	○
56	INTETHSWSEC	Ether SWITCH SEC 割り込み	○	○	○	○	○
57	INTETHRXFIFO	RX FIFO オーバーフロー	○	○	—	—	—
58	INTETHTXFIFO	TX FIFO アンダーフロー	○	○	—	—	—
59	INTETHRXDMA	Ether MACDMA 受信完了	○	○	○	○	○
60	INTETHTXDMA	Ether MACDMA 送信完了	○	○	○	○	○
61	INTMACDMARX FRM	受信フレーム正常割り込み	○	○	○	○	○
62	INTHOSTIF	外部マイコン・インタフェース割り込み	○	○	○	○	○
63	INTPZ0	INTPZ0 入力	○	○	○	○	○
64	INTPZ1	INTPZ1 入力	○	○	○	○	○
65	INTPZ2	INTPZ2 入力	○	○	○	○	○
66	INTPZ3	INTPZ3 入力	○	○	○	○	○
67	INTPZ4	INTPZ4 入力	○	○	○	○	○
68	INTPZ5	INTPZ5 入力	○	○	○	○	○
69	INTPZ6	INTPZ6 入力	○	○	○	○	○
70	INTPZ7	INTPZ7 入力	○	○	○	○	○
71	INTPZ8	INTPZ8 入力	○	○	○	○	○
72	INTPZ9	INTPZ9 入力	○	○	○	○	○
73	INTPZ10	INTPZ10 入力	○	○	○	○	○
74	INTPZ11	INTPZ11 入力	○	○	○	○	○
75	INTPZ12	INTPZ12 入力	○	○	○	○	○
76	INTPZ13	INTPZ13 入力	○	○	○	○	○
77	INTPZ14	INTPZ14 入力	○	○	○	○	○
78	INTPZ15	INTPZ15 入力	○	○	○	○	○
79	INTPZ16	INTPZ16 入力	○	○	○	○	○
80	INTPZ17	INTPZ17 入力	○	○	○	○	○
81	INTPZ18	INTPZ18 入力	○	○	○	○	○
82	INTPZ19	INTPZ19 入力	○	○	○	○	○

(3/4)

例外 番号	名称	発生要因	接続先				
			NVIC	HW- RTOS	DMAC	Real Time Port	Timer
83	INTPZ20	INTPZ20 入力	○	○	○	○	○
84	INTPZ21	INTPZ21 入力	○	○	○	○	○
85	INTPZ22	INTPZ22 入力	○	○	○	○	○
86	INTPZ23	INTPZ23 入力	○	○	○	○	○
87	INTPZ24	INTPZ24 入力	○	○	○	○	○
88	INTPZ25	INTPZ25 入力	○	○	○	○	○
89	INTPZ26	INTPZ26 入力	○	○	○	○	○
90	INTPZ27	INTPZ27 入力	○	○	○	○	○
91	INTPZ28	INTPZ28 入力	○	○	○	○	○
92	INTHWRTOS	HW-RTOS 割り込み	○	—	—	—	—
93	INTBRAMERR	Buffer RAM 領域アクセスエラー	○	○	—	—	—
94	INTIICB0TIS	I2C0 ステータス割り込み	○	○	—	—	—
95	INTIICB1TIS	I2C1 ステータス割り込み	○	○	—	—	—
96	—	Reserve	—	—	—	—	—
97	INTSFLASH	シリアル・フラッシュ ROM コントローラ・ エラー割り込み	○	○	—	—	—
98	INTUAJ0TIS	UARTJ0 ステータス割り込み	○	○	—	—	—
99	INTUAJ1TIS	UARTJ1 ステータス割り込み	○	○	—	—	—
100	INTCSIH0IRE	CSIH0 通信エラー割り込み	○	○	—	—	—
101	INTCSIH1IRE	CSIH1 通信エラー割り込み	○	○	—	—	—
102	INTFCN0ERR	FCN0 エラー検出	○	○	—	—	—
103	INTFCN1ERR	FCN1 エラー検出	○	○	—	—	—
104	INTDERR0	汎用 DMAC エラー応答割り込み	○	○	—	—	—
105	INTDERR1	リアルタイム・ポート用 DMAC エラー応答割り込み	○	○	—	—	—
106	INTETHXFIFOERR	TX-FIFO エラー割り込み	○	○	—	—	—
107	INTETHRXERR	Ether 受信フレーム・エラー	○	○	—	—	—
108	INTETHRXDERR	MACDMA 受信エラー割り込み	○	○	—	—	—
109	INTETHTXDERR	MACDMA 送信エラー割り込み	○	○	—	—	—
110	INTBUFDMAERR	Internal Buffer DMA エラー	○	○	—	—	—
111	—	Reserve	—	—	—	—	—
112	INTECATRST	EtherCAT RESET 割り込み	○	○	—	—	—
113	—	Reserve	—	—	—	—	—
114	—	Reserve	—	—	—	—	—
115	IRAMECCSEC	内蔵命令 RAM ECC 1bit エラー補正割り込み	○	—	—	—	—
116	DRAMECCSEC	データ RAM ECC 1bit エラー補正割り込み	○	—	—	—	—
117	BRAMECCSEC	バッファ RAM ECC 1bit エラー補正割り込み	○	—	—	—	—
118	IRAMECCDED	内蔵命令 RAM ECC 2bit エラー検出割り込み	○	—	—	—	—
119	DRAMECCDED	データ RAM ECC 2bit エラー検出割り込み	○	—	—	—	—

(4/4)

例外 番号	名称	発生要因	接続先				
			NVIC	HW- RTOS	DMAC	Real Time Port	Timer
120	BRAMECCDED	バッファ RAM ECC 2bit エラー検出割り込み	○	—	—	—	—
121	—	Reserve	—	—	—	—	—
122	—	Reserve	—	—	—	—	—
123	—	Reserve	—	—	—	—	—
124	—	Reserve	—	—	—	—	—
125	—	Reserve	—	—	—	—	—
126	—	Reserve	—	—	—	—	—
127	—	Reserve	—	—	—	—	—
128	—	Reserve	—	—	—	—	—
129	—	Reserve	—	—	—	—	—
130	—	Reserve	—	—	—	—	—
131	INTCCMRQ	CC-Link INTRQ 割り込み	○	○	○	○	○
132	INTCCSRFSTB	CC-Link RFSTB 割り込み ^注	○	○	○	○	○
133	INTCCSMON3	CC-Link MON3 割り込み	○	○	○	○	○

注. CC-Link リモートデバイス局で使用する場合、CCS_REFSTB (P10) 端子は、外部割り込み機能 (INTPZ) を持ついずれかのポート端子に接続し、割り込みとして使用してください。
 なお、割り込みのトリガ・モードは”両エッジ”を選択してください。

5. 周辺機能

下記の周辺機能については、「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」を参照してください。

- クロック機能／リセット機能
- CPU／内蔵 RAM
- バス構成
- ハードウェア・リアルタイム OS
- ギガビット・イーサネット・インタフェース
- 非同期 SRAM MEMC
- 同期式バースト・メモリ MEMC
- 外部マイコン・インタフェース
- シリアル・フラッシュ ROM MEMC
- DMA 機能
- タイマ・アレイ・ユニット J (TAUJ2)
- ウィンドウ・ウォッチドッグ・タイマ A (WDTA)
- アシンクロナス・シリアル・インタフェース J (UARTJ)
- クロック同期シリアル・インタフェース H (CSIH)
- I²C バス (IICB)
- CAN コントローラ (FCN)
- CC-Link (インテリジェントデバイス局、リモートデバイス局)
- システム・レジスタ (APB 周辺レジスタ領域)
- デバッグ機能

6. EtherCAT スレーブ・コントローラ機能

6.1 特徴

EtherCAT スレーブ・コントローラ (EtherCAT Slave Controller : ESC) は、Beckhoff Automation 社製の「EtherCAT Slave Controller IP Core」を採用しています。

ESC は、EtherCAT フィールドバスとスレーブアプリケーションの間のインタフェースとして、EtherCAT 通信処理を行います。

表6.1 EtherCAT スレーブ・コントローラ (ESC) の特徴

特徴	R-IN32M3-EC	ET1100
ポート数	2	2-4
FMMU	8	8
SyncManager	8	8
プロセスデータ RAM [Kbyte]	8	8
分散クロック (Distributed Clock)	64bit	64bit
EBus	無し	有り (0-4)
プロセスデータインタフェース (PDI)		
Digital I/O	無し	有り
SPI Slave	無し	有り
HOST CPU I/F	On-chip bus (外部マイコン I/F)	8bit/16bit async/sync

注意. レジスタ領域 (0E_0000H-0E_0F7FH) は、外部マイコン・インタフェース (HOST CPU I/F) からはアクセスできません。

6.2 EtherCAT スレーブ・コントローラの構成

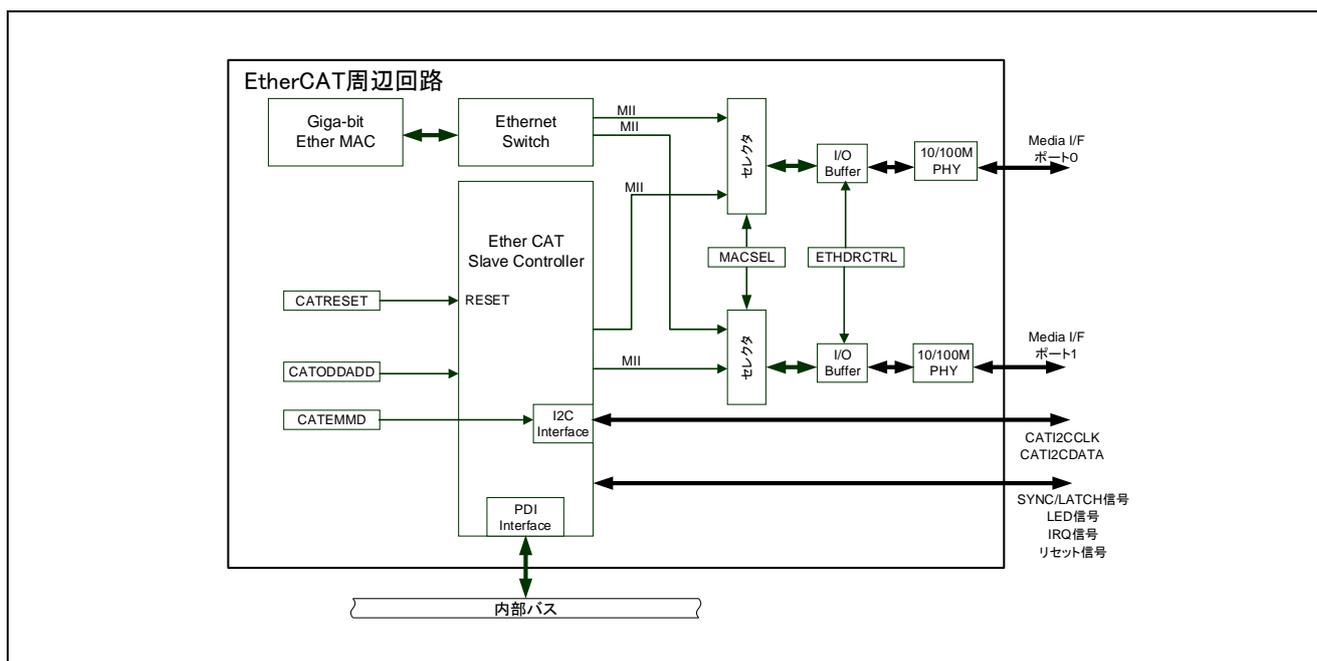


図6.1 EtherCAT スレーブ・コントローラ周辺構成図

6.3 割り込みと入出力信号

表6.2 EtherCATスレーブ・コントローラの割り込み信号

例外 番号	割り込み信号	機能	接続先				
			NVIC	HW- RTOS	DMAC	Real Time Port	Timer
43	INTCATSYNC0	EtherCAT Sync0 割り込み	○	○	○	○	—
44	INTCATSYNC1	EtherCAT Sync1 割り込み	○	○	○	○	—
45	INTCAT	EtherCAT 割り込み	○	○	○	○	○
46	INTCATSOF	EtherCAT SOF 割り込み	○	○	○	○	○
47	INTCATEOF	EtherCAT EOF 割り込み	○	○	○	○	○
112	INTECATRST	EtherCAT RESET 割り込み	○	○	—	—	—

表6.3 EtherCATスレーブ・コントローラの入出力信号（PHYのMDI端子を除く）

端子名称	入出力	機能	兼用ポート	アクティブ
CATLEDRUN	出力	EtherCAT RUN LED 出力	P00	High
CATIRQ	出力	EtherCAT IRQ 出力	P01	High
CATLEDSTER	出力	EtherCAT Dual-color ステート LED 出力	P02	High
CATLEDERR	出力	EtherCAT Error LED 出力	P03	High
CATLINKACT0,	出力	EtherCAT Link / Activity LED 出力（ポート 0）	P04	High
CATLINKACT1	出力	EtherCAT Link / Activity LED 出力（ポート 1）	P05	High
CATSYNC0	出力	EtherCAT SYNC0 出力	P11	High
CATSYNC1	出力	EtherCAT SYNC1 出力	P10	High
CATLATCH0	入力	EtherCAT LATCH0 入力	P11	High
CATLATCH1	入力	EtherCAT LATCH1 入力	P10	High
CATI2CCLK	出力	EtherCAT EEPROM I2C クロック出力	P22	—
CATI2CDATA	入出力	EtherCAT EEPROM I2C データ	P23	—
CATRESTOUT	出力	EtherCAT PHY リセット出力	P56	High

6.4 機能概要

EtherCAT スレーブ・コントローラ (ESC) の代表的な機能と本 LSI でのサポートについて示します。EtherCAT および ESC の詳細な仕様は、EtherCAT Technology Group (ETG) から入手できる文書 (ETG.1000 EtherCAT Specification 他) や Beckhoff Automation 社の EtherCAT Slave Controller IP Core (v2.04) のデータ・シートを参照して下さい。

表6.4 EtherCAT スレーブ・コントローラの代表的な機能と本 LSI でのサポート

(1/3)

項目	内容	サポート
EtherCAT Protocol	<ul style="list-style-type: none"> ・ Ether Type : 0x88A4 のフレームの処理 ・ UDP/IP にカプセル化された EtherCAT フレームの処理 ・ VLAN Tag 付きの EtherCAT フレームの処理 ・ 通常の Ethernet フレームの処理 	○
アドレッシングモード	デバイスアドレッシング <ul style="list-style-type: none"> ・ 自動インクリメント・アドレス ・ コンフィギュアド・ステーション・アドレス ・ ブロードキャストアドレス 	○
	論理アドレッシング	○
ワーキングカウンタ	リード/ライトの数を管理	○
EtherCAT コマンドタイプ	マスタからスレーブに対するアドレッシングモード毎に用意されたコマンドの処理。	○
ループコントロール	ESC 内のループの処理と状態の表示	○
シャドー・バッファ	レジスタのリード/ライト時のシャドー・バッファ機能	○
循環フレーム	障害時の循環フレームの処理	○
リンク検出	リンク MII 信号 (PHY のリンク信号)	○
	MI リンク・ディテクション&コンフィギュレーション (マネージメント・インタフェース経由での PHY レジスタモニタ)	○
	エンハンスド・リンク・ディテクション (MII の RX エラーモニタによる通信状態のモニタ)	○
FIFO サイズ削減	伝搬遅延削減のための RX FIFO サイズの削減	○
Ethernet 物理層	MII	×
	MDI (100BASE-TX)	○ ^{注1}
	MDI (100BASE-FX)	×
	EBUS	×
	Back-to-Back MII 接続	×
	MII マネージメント・インタフェース	○
	MII マネージメント・インタフェースによる PHY レジスタ操作	○
	PHY アドレスオフセット設定	○
	マニュアル TX クロックシフト補償	×
自動 TX クロックシフト補償	○	
FMMU	論理アドレスと物理アドレスのマッピング機能	○
SyncManager	バッファモード	○
	メールボックス・モード	○
	バッファへのリード/ライト完了時の割り込みやラッチイベントの生成	○
	メールボックス通信のやり直し	○
	PDI による SyncManager 無効化	○

(2/3)

項目	内容	サポート
分散クロック (Distributed Clocks)	伝搬遅延、ドリフト補正を考慮したクロック同期	○
	同期出力信号 (SYNC0/1 信号)	○
	・サイクリック・モード	
	・シングルショットモード	
	・サイクリック・アクノリッジ・モード	
	・シングルショット・アクノリッジ・モード	
	入力イベント (LATCH0/1 信号) に対するタイムスタンプ	○
	・シングルイベントモード	
	・連続モード	
・SyncManager イベントモード (デバッグ用)		
同期割り込みの生成	○	
デジタル出力更新/入力サンプリングの同期化	×	
SYNC 信号/LATCH 信号の ECAT あるいは PDI に排他制御	○	
PDI によるシステム時刻の管理	×	
通信タイミング	○	
・フリーラン		
・出カイベント同期		
・SYNC 信号同期		
EtherCAT ステートマシン	EtherCAT ステートマシンの制御/状態表示/エラーコード表示	○
	デバイス・エミュレーション	×
SII EEPROM	SII EEPROM へのコマンド	○
	SII EEPROM のエラー状態	○
	SII EEPROM アクセス端子	○
	EEPROM サイズ選択	○
	EEPROM エミュレーション	×
割り込み	AL イベント要求 (PDI 割り込み)	○
	ECAT イベント要求 (ECAT 割り込み)	○
ウォッチドッグ	プロセスデータ・ウォッチドッグ機能	○
	PDI ウォッチドッグ機能	○
エラーカウンタ	ポートエラー・カウンタ	○
	転送 RX エラーカウンタ	○
	ECAT プロセッシングユニットエラー・カウンタ	○
	PDI エラーカウンタ	○
	ロストリンク・カウンタ	○
	ウォッチドッグ・カウンタ : プロセスデータ	○
	ウォッチドッグ・カウンタ : PDI	○
LED 信号	RUN LED 信号	○
	ERR LED 信号	○
	STATE LED and STATE_RUN LED 信号	○
	LINK/ACT LED 信号	○
	Port エラーLED 信号	×
	RUN/ERR LED のオーバーライド機能	○

(3/3)

項目	内容	サポート
Process Data Interface (PDI)	デジタル I/O	×
	SPI	×
	8/16 ビット同期/非同期マイコン・インタフェース	×
	オンチップ・バス	○
	汎用 I/O	×
ライト・プロテクション	レジスタ領域 (0x0000-0x0FFF) に対するライト・プロテクション	○
	ユーザ RAM やプロセスデータ RAM を含む全領域 (0x0000-0x2FFF) に対するライト・プロテクション	○
ESC リセット	マスタや PDI 経由での ESC のリセット	○

注 1. EthreCAT P には対応していません。★

6.5 EtherCAT レジスタ一覧

(1) 周辺機能設定レジスタ

レジスタ名	略号	ビット数	アドレス ^注
EtherCAT PHY オフセット・アドレス設定	CATOFFADD	32	BASE+0620H
EtherCAT 動作モード設定	CATEMMD	32	BASE+0624H
EtherCAT リセット	CATRESET	32	BASE+0628H

(2) ESC 情報レジスタ

レジスタ名	略号	ビット数	アドレス
タイプ	TYPE	8	400E 0000H
リビジョン	REVISION	8	400E 0001H
ビルド	BUILD	16	400E 0002H
FMMU サポート	FMMU_NUM	8	400E 0004H
SyncManager サポート	SYNC_MANAGER	8	400E 0005H
RAM サイズ	RAM_SIZE	8	400E 0006H
ポート・ディスクリプタ	PORT_DESC	8	400E 0007H
ESC フィーチャー・サポート	FEATURE	16	400E 0008H

(3) ステーションアドレス設定レジスタ

レジスタ名	略号	ビット数	アドレス
コンフィギュアド・ステーション・アドレス	STATION_ADR	16	400E 0010H
コンフィギュアド・ステーション・エイリアス	STATION_ALIAS	16	400E 0012H

(4) ライト・プロテクション設定レジスタ

レジスタ名	略号	ビット数	アドレス
ライト・レジスタ・イネーブル	WR_REG_ENABLE	8	400E 0020H
ライト・レジスタ・プロテクション	WR_REG_PROTECT	8	400E 0021H
ESC ライト・イネーブル	ESC_WR_ENABLE	8	400E 0030H
ESC ライト・プロテクション	ESC_WR_PROTECT	8	400E 0031H

(5) データリンク層設定レジスタ

レジスタ名	略号	ビット数	アドレス
ESC リセット ECAT	ESC_RESET_ECAT	8	400E 0040H
ESC リセット PDI	ESC_RESET_PDI	8	400E 0041H
ESC DL コントロール	ESC_DL_CONTROL	32	400E 0100H
フィジカル・リード/ライト・オフセット	PHYSICAL_RW_OFFSET	16	400E 0108H
ESC DL ステータス	ESC_DL_STATUS	16	400E 0110H

(6) アプリケーション層設定レジスタ

レジスタ名	略号	ビット数	アドレス
AL コントロール	AL_CONTROL	16	400E 0120H
AL ステータス	AL_STATUS	16	400E 0130H
AL ステータス・コード	AL_STATUS_CODE	16	400E 0134H
RUN LED オーバーライド	RUN_LED_OVERRIDE	8	400E 0138H
ERR LED オーバーライド	ERR_LED_OVERRIDE	8	400E 0139H

(7) PDI 設定レジスタ

レジスタ名	略号	ビット数	アドレス
PDI コントロール	PDI_CONTROL	8	400E 0140H
ESC コンフィギュレーション	ESC_CONFIG	8	400E 0141H
PDI コンフィギュレーション	PDI_CONFIG	8	400E 0150H
SYNC/LATCH PDI コンフィギュレーション	SYNC_LATCH_CONFIG	8	400E 0151H
拡張 PDI コンフィギュレーション	EXT_PDI_CONFIG	16	400E 0152H

(8) 割り込み設定レジスタ

レジスタ名	略号	ビット数	アドレス
ECAT イベント・マスク	ECAT_EVENT_MASK	16	400E 0200H
AL イベント・マスク	AL_EVENT_MASK	32	400E 0204H
ECAT イベント・リクエスト	ECAT_EVENT_REQ	16	400E 0210H
AL イベント・リクエスト	AL_EVENT_REQ	32	400E 0220H

(9) エラーカウンタ設定レジスタ (n = 0-1)

レジスタ名	略号	ビット数	アドレス
Rx エラーカウンタ n	RX_ERR_COUNTn	16	400E 0300H + 0002H*n
フォワード Rx エラーカウンタ n	FWD_RX_ERR_COUNTn	8	400E 0308H + 0001H*n
ECAT プロセッシング・ユニット・エラーカウンタ	ECAT_PROC_ERR_COUNT	8	400E 030CH
PDI エラーカウンタ	PDI_ERR_COUNT	8	400E 030DH
ロストリンク・カウンタ n	LOST_LINK_COUNTn	8	400E 0310H + 0001H*n

(10) ウォッチドッグ設定レジスタ

レジスタ名	略号	ビット数	アドレス
ウォッチドッグ・ディバイダ	WD_DIVIDE	16	400E 0400H
ウォッチドッグ・タイム PDI	WDT_PDI	16	400E 0410H
ウォッチドッグ・タイム・プロセス・データ	WDT_DATA	16	400E 0420H
ウォッチドッグ・ステータス・プロセス・データ	WDS_DATA	16	400E 0440H
ウォッチドッグ・カウンタ・プロセス・データ	WDC_DATA	8	400E 0442H
ウォッチドッグ・カウンタ PDI	WDC_PDI	8	400E 0443H

(11) SII EEPROM インタフェース設定レジスタ

レジスタ名	略号	ビット数	アドレス
EEPROM コンフィギュレーション	EEP_CONF	8	400E 0500H
EEPROM PDI アクセス・ステート	EEP_STATE	8	400E 0501H
EEPROM コントロール/ステータス	EEP_CONT_STAT	16	400E 0502H
EEPROM アドレス	EEP_ADR	32	400E 0504H
EEPROM データ	EEP_DATA	32	400E 0508H

(12) MII マネージメント・インタフェース設定レジスタ (n = 0-1)

レジスタ名	略号	ビット数	アドレス
MII マネージメント・コントロール/ステータス	MII_CONT_STAT	16	400E 0510H
PHY アドレス	PHY_ADR	8	400E 0512H
PHY レジスタ・アドレス	PHY_REG_ADR	8	400E 0513H
PHY データ	PHY_DATA	16	400E 0514H
MII マネージメント ECAT アクセス・ステート	MII_ECAC_ACS_STAT	8	400E 0516H
MII マネージメント PDI アクセス・ステート	MII_PDI_ACS_STAT	8	400E 0517H
PHY ポート・ステータス n	PHY_STATUSn	8	400E 0518H + 0001H*n

(13) FMMU 設定レジスタ (m = 0-7)

レジスタ名	略号	ビット数	アドレス
FMMU ロジカル・スタート・アドレス m	FMMUm.L_START_ADR	32	400E 0600H + 0010H*m
FMMU 長 m	FMMUm.LEN	16	400E 0604H + 0010H*m
FMMU ロジカル・スタート・ビット m	FMMUm.L_START_BIT	8	400E 0606H + 0010H*m
FMMU ロジカル・ストップ・ビット m	FMMUm.L_STOP_BIT	8	400E 0607H + 0010H*m
FMMU フィジカル・スタート・アドレス m	FMMUm.P_START_ADR	16	400E 0608H + 0010H*m
FMMU フィジカル・スタート・ビット m	FMMUm.P_START_BIT	8	400E 060AH + 0010H*m
FMMU タイプ m	FMMUm.TYPE	8	400E 060BH + 0010H*m
FMMU アクティベート m	FMMUm.ACT	8	400E 060CH + 0010H*m

(14) SyncManager 設定レジスタ (m = 0-7)

レジスタ名	略号	ビット数	アドレス
SyncManager フィジカル・スタート・アドレス m	SMm.P_START_ADR	16	400E 0800H + 0008H*m
SyncManager 長 m	SMm.LEN	16	400E 0802H + 0008H*m
SyncManager コントロール m	SMm.CONTROL	8	400E 0804H + 0008H*m
SyncManager ステータス m	SMm.STATUS	8	400E 0805H + 0008H*m
SyncManager アクティベート m	SMm.ACT	8	400E 0806H + 0008H*m
SyncManager PDI コントロール m	SMm.PDI_CONT	8	400E 0807H + 0008H*m

(15) 分散クロック設定レジスタ

(1/2)

レジスタ名	略号	ビット数	アドレス
DC – レシーブ・タイム			
レシーブ・タイム・ポート0	DC_RCV_TIME_PORT0	32	400E 0900H
レシーブ・タイム・ポート1	DC_RCV_TIME_PORT1	32	400E 0904H
DC – タイム・ループ・コントロール・ユニット			
システム・タイム	DC_SYS_TIME	64	400E 0910H
レシーブ・タイム ECAT プロセッシング・ユニット	DC_RCV_TIME_UNIT	64	400E 0918H
システム・タイム・オフセット	DC_SYS_TIME_OFFSET	64	400E 0920H
システム・タイム・ディレイ	DC_SYS_TIME_DELAY	32	400E 0928H
システム・タイム・ディフ	DC_SYS_TIME_DIFF	32	400E 092CH
スピード・カウンタ・スタート	DC_SPEED_COUNT_START	16	400E 0930H
スピード・カウンタ・ディフ	DC_SPEED_COUNT_DIFF	16	400E 0932H
システム・タイム・ディフ・フィルタ深さ	DC_SYS_TIME_DIFF_FIL_DEPTH	8	400E 0934H
スピード・カウンタ・フィルタ深さ	DC_SPEED_COUNT_FIL_DEPTH	8	400E 0935H
DC – サイクリック・ユニット・コントロール			
サイクリック・ユニット・コントロール	DC_CYC_CONT	8	400E 0980H
DC – SYNC 出力ユニット			
アクティベーション	DC_ACT	8	400E 0981H
SYNC 信号パルス長	DC_PULSE_LEN	16	400E 0982H
アクティベーション・ステータス	DC_ACT_STAT	8	400E 0984H
SYNC0 ステータス	DC_SYNC0_STAT	8	400E 098EH
SYNC1 ステータス	DC_SYNC1_STAT	8	400E 098FH
スタート・タイム・サイクリック・オペレーション/ ネクスト SYNC0 パルス	DC_CYC_START_TIME	64	400E 0990H
ネクスト SYNC1 パルス	DC_NEXT_SYNC1_PULSE	64	400E 0998H
SYNC0 サイクル・タイム	DC_SYNC0_CYC_TIME	32	400E 09A0H
SYNC1 サイクル・タイム	DC_SYNC1_CYC_TIME	32	400E 09A4H

(2/2)

レジスタ名	略号	ビット数	アドレス
DC – Latch 入力ユニット			
ラッチ 0 コントロール	DC_LATCH0_CONT	8	400E 09A8H
ラッチ 1 コントロール	DC_LATCH1_CONT	8	400E 09A9H
ラッチ 0 ステータス	DC_LATCH0_STAT	8	400E 09AEH
ラッチ 1 ステータス	DC_LATCH1_STAT	8	400E 09AFH
ラッチ 0 タイム・ポジティブ・エッジ	DC_LATCH0_TIME_POS	64	400E 09B0H
ラッチ 0 タイム・ネガティブ・エッジ	DC_LATCH0_TIME_NEG	64	400E 09B8H
ラッチ 1 タイム・ポジティブ・エッジ	DC_LATCH1_TIME_POS	64	400E 09C0H
ラッチ 1 タイム・ネガティブ・エッジ	DC_LATCH1_TIME_NEG	64	400E 09C8H
DC – SyncManager イベント・タイム			
EtherCAT バッファ・チェンジ・イベント・タイム	DC_ECAC_CNG_EV_TIME	32	400E 09F0H
PDI バッファ・スタート・イベント・タイム	DC_PDI_START_EV_TIME	32	400E 09F8H
PDI バッファ・チェンジ・イベント・タイム	DC_PDI_CNG_EV_TIME	32	400E 09FCH

(16) その他のレジスタ

レジスタ名	略号	バイト数	アドレス
プロダクト ID	PRODUCT_ID	8	400E 0E00H
ベンダ ID	VENDOR_ID	8	400E 0E08H
ユーザ RAM	USER_RAM	128	400E 0F80H – 400E 0FFFH
プロセスデータ RAM	DATA_RAM	8K	400E 1000H – 400E 2FFFH

注意 1. (1) 周辺機能設定レジスタは、外部マイコン・インタフェースからアクセスする場合と、内蔵の Cortex-M3、DMA からアクセスする場合でベースアドレスが異なります。

- ・ CPU および DMA コントローラからのアクセスの場合

BASE=4001_0000H

- ・ 外部マイコン・インタフェースからのアクセスの場合

BASE=D_0000H

2. 外部マイコン・インタフェースからのアクセスでは、ESC 本体のメモリ空間 (400E 0000H – 400E 2FFFH) のうち、ユーザ RAM とプロセスデータ RAM (400E 0F80 – 400E 2FFF) のみアクセス可能です。

備考. 本章に記載の各レジスタへは、EtherCAT マスタおよび CPU からのアクセスが可能です。

各レジスタで可能なアクセスについて、以下の略称で記載します。

ECAT : EtherCAT マスタからのアクセス

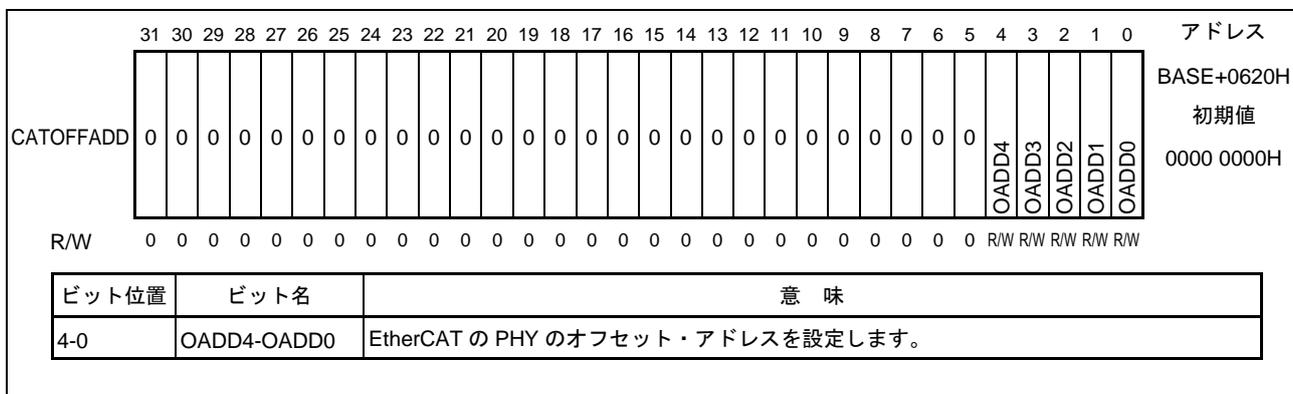
R/W, PDI : CPU からのアクセス

6.6 周辺機能設定レジスタ

6.6.1 EtherCAT PHY オフセット・アドレス設定レジスタ (CATOFFADD)

EtherCAT 使用時の PHY のオフセット・アドレスを設定します。
32/16 ビット単位でリード/ライト可能です。

注意 本レジスタは、システム・プロテクト・コマンド・レジスタ (SYSPCMD) を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ (SYSPCMD) を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。システム・プロテクト・コマンド・レジスタ (SYSPCMD) の詳細は、「R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編」を参照ください。



6.6.3 EtherCAT リセット・レジスタ (CATRESET)

EtherCATのリセットを制御します。R-IN32M3-EC 起動時に EtherCAT はリセット状態となっています。EtherCAT の兼用ポート設定完了後に、本レジスタにてリセットを解除してください。また、EtherCAT からリセット割り込みが発生した場合には、本レジスタにて EtherCAT へ再度リセットを行ってください。
32/16 ビット単位でリード/ライト可能です。

- 注意 1.** 本レジスタは、システム・プロテクト・コマンド・レジスタ (SYSPCMD) を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ (SYSPCMD) を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。システム・プロテクト・コマンド・レジスタ (SYSPCMD) の詳細は、「R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編」を参照ください。
- 2.** EtherCAT をリセットする場合には、ソフトウェアで EtherPHY へのリセット幅を満足する時間を確保するように本レジスタを制御してください。詳細は「6.22 リセット回路の構成」を参照願います。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
CATRESET	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BASE+0628H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RW	

ビット位置	ビット名	意味
0	CATRST	EtherCAT をリセットします。 0 : リセット中 1 : リセット解除

6.7 ESC 情報レジスタ

6.7.1 タイプ・レジスタ (TYPE)

EtherCAT スレーブ・コントローラのタイプを示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
TYPE	TYPE								400E 0000H	A0H
ECAT	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R		
ビット位置	ビット名		意味							
7-0	TYPE		EtherCAT コントローラのタイプ							

6.7.2 リビジョン・レジスタ (REVISION)

EtherCAT スレーブ・コントローラのリビジョンを示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
REVISION	REV								400E 0001H	01H
ECAT	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R		
ビット位置	ビット名		意味							
7-0	REV		EtherCAT のコントローラのリビジョン							

6.7.3 ビルド・レジスタ (BUILD)

EtherCAT スレーブ・コントローラのビルド番号を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BUILD	BUILD																400E 0002H	0000H
ECAT	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット位置	ビット名		意味															
15-0	BUILD		EtherCAT スレーブ・コントローラのビルド番号															

6.7.4 FMMU サポート・レジスタ (FMMU_NUM)

サポートしている FMMU チャンネル数を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
FMMU_NUM	NUMFMMU								400E 0004H	08H
ECAT	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R		
ビット位置	ビット名		意味							
7-0	NUMFMMU		サポート FMMU チャンネルの数。							

6.7.5 SyncManager サポート・レジスタ (SYNC_MANAGER)

サポートしている SyncManager チャンネル数を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
SYNC_MANAGER	NUMSYNC								400E 0005H	08H
ECAT	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R		
ビット位置	ビット名		意味							
7-0	NUMSYNC		サポート SyncManager はチャンネルの数							

6.7.6 RAM サイズ・レジスタ (RAM_SIZE)

サポートしているプロセスデータ RAM のサイズを示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
RAM_SIZE	RAMSIZE								400E 0006H	08H
ECAT	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R		
ビット位置	ビット名		意味							
7-0	RAMSIZE		プロセスデータ RAM のサイズ。単位 : Kbyte							

6.7.7 ポート・ディスクリプタ・レジスタ (PORT_DESC)

ポートの設定を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
PORT_DESC	P3		P2		P1		P0		400E 0007H	0FH
ECAT	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-6	P3	ポート 3 の設定 : 本 LSI では実装されていません。 00 : 未実装 01 : 構成されていません。 (SII EEPROM) 10 : EBUS 11 : MII
5-4	P2	ポート 2 の設定 : 本 LSI では実装されていません。 00 : 未実装 01 : 構成されていません。 (SII EEPROM) 10 : EBUS 11 : MII
3-2	P1	ポート 1 の設定 : 本 LSI では MII 接続です。 00 : 未実装 01 : 構成されていません。 (SII EEPROM) 10 : EBUS 11 : MII
1-0	P0	ポート 0 の設定 : 本 LSI では MII 接続です。 00 : 未実装 01 : 構成されていません。 (SII EEPROM) 10 : EBUS 11 : MII

6.7.8 ESC フィーチャー・サポート・レジスタ (FEATURE)

サポートする機能を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
FEATURE	0	0	0	0	FSCONFIG	RWSUPP	LRW	DCSYNC	FCS	LINKDECMII	0	0	DCWID	DC	0	FMMU	400E 0008H	01CCH
ECAT	0	0	0	0	R	R	R	R	R	R	0	0	R	R	0	R		
PDI	0	0	0	0	R	R	R	R	R	R	0	0	R	R	0	R		

ビット位置	ビット名	意味
11	FSCONFIG	固定 FMMU/SyncManager 設定 0 : 可変設定 1 : 固定設定
10	RWSUPP	EtherCAT リード/ライト・コマンド・サポート (BRW, APRW, FPRW) : 0 : サポート 1 : 未サポート
9	LRW	EtherCAT LRW コマンド・サポート 0 : サポート 1 : 未サポート
8	DCSYNC	エンハンスト DC SYNC アクティベーション 0 : 利用不可能 1 : 利用可能
7	FCS	FCS エラーの個別取扱い 0 : 未サポート 1 : サポート。誤った FCS および追加のニブルを持つフレームは、転送 RX エラーカウンタで別々にカウントされます。
6	LINKDECMII	MII におけるエンハンスト・リンク・ディテクション 0 : 使用不可能 1 : 使用可能
3	DCWID	分散クロック (幅) : 0 : 32 bit 1 : 64 bit
2	DC	分散クロック : 0 : 使用不可能 1 : 使用可能
0	FMMU	FMMU 操作 : 0 : ビットオリент 1 : バイトオリент

6.8 ステーションアドレス設定レジスタ

6.8.1 コンフィギュアド・ステーション・アドレス・レジスタ (STATION_ADR)

ノードアドレッシングに使用するアドレスを示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
STATION_ADR	NODADDR																400E 0010H	0000H
ECAT	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット位置	ビット名		意味															
15-0	NODADDR		ノードアドレッシング (FPxxコマンド) に使用するアドレス															

6.8.2 コンフィギュアド・ステーション・エイリアス・レジスタ (STATION_ALIAS)

ノードアドレッシングに使用するエイリアス・アドレスを示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
STATION_ALIAS	NODALIADDR																400E 0012H	0000H ^注
ECAT	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
PDI	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット位置	ビット名		意味															
15-0	NODALIADDR		ノードアドレッシング (FPxxコマンド) に使用するエイリアス・アドレス 拡張ESC DLコントロール・レジスタ (ESC_EX_DL_CONTROL : 0x0102) のビット8を1に セットすることによりエイリアスを使用できます。															

注. EEPROM をロードするまでの初期値は0です。その後 EEPROM のアドレス 0x0004 に格納されている値になります。電源投入またはリセット後の最初の EEPROM ロード時のみ値が取り込まれます

6.9 ライト・プロテクション設定レジスタ

6.9.1 ライト・レジスタ・イネーブル・レジスタ (WR_REG_ENABLE)

レジスタへのライトが保護されている状態で一時的にプロテクションを解除するために使用します。

	7	6	5	4	3	2	1	0	アドレス	初期値
WR_REG_ENABLE	0	0	0	0	0	0	0	ENABLE	400E 0020H	00H
ECAT	0	0	0	0	0	0	0	R/W		
PDI	0	0	0	0	0	0	0	R		

ビット位置	ビット名	意味
0	ENABLE	レジスタへのライトが保護されているとき (ライト・レジスタ・プロテクション・レジスタ (WR_REG_PROTECT : 0x0021) のビット0が1) に、このノードの任意のレジスタへのライト動作を許可する場合、ライト命令と同じフレーム上で本ビットに任意の値を書き込む必要があります。このフレームが通過した後も、ライト保護は有効のままです (ライトプロテクトレジスタが変更されていない場合)。

6.9.2 ライト・レジスタ・プロテクション・レジスタ (WR_REG_PROTECT)

レジスタへのライトを保護します。400E 0000H ~400E 0FFFH のレジスタがライト保護されます (ただし、WR_REG_ENABLE レジスタ (0x0020) と ESC_WR_ENABLE レジスタ (0x0030) を除く)。

	7	6	5	4	3	2	1	0	アドレス	初期値
WR_REG_PROTECT	0	0	0	0	0	0	0	PROTECT	400E 0021H	00H
ECAT	0	0	0	0	0	0	0	R/W		
PDI	0	0	0	0	0	0	0	R		

ビット位置	ビット名	意味
0	PROTECT	レジスタへのライト保護 0 : 保護を無効にします。 1 : 保護を有効にします。

6.9.3 ESC ライト・イネーブル・レジスタ (ESC_WR_ENABLE)

ESC ライト・プロテクションでレジスタ／メモリへのライトが保護されている状態で一時的にプロテクションを解除するために使用します。

	7	6	5	4	3	2	1	0	アドレス	初期値
ESC_WR_ENABLE	0	0	0	0	0	0	0	ENABLE	400E 0030H	00H
ECAT	0	0	0	0	0	0	0	R/W		
PDI	0	0	0	0	0	0	0	R		

ビット位置	ビット名	意味
0	ENABLE	ESC ライト・プロテクションによりライトが保護されているとき (ESC ライト・プロテクション・レジスタ (ESC_WR_PROTECT : 0x0021) のビット0が1) に、このノードの任意のレジスタへのライト動作を許可する場合、ライト命令と同じフレーム上で本ビットに任意の値を書き込む必要があります。このフレームが通過した後も、ライト保護は有効のままです (ESC ライトプロテクトレジスタが変更されていない場合)。

6.9.4 ESC ライト・プロテクション・レジスタ (ESC_WR_PROTECT)

レジスタへのライトを保護します。プロセスデータ RAM を含めた 400E 0000H ~400E 2FFFH のレジスタ／メモリがライト保護されます (ただし、WR_REG_ENABLE レジスタ (0x0020) と ESC_WR_ENABLE レジスタ (0x0030) を除く)。

	7	6	5	4	3	2	1	0	アドレス	初期値
ESC_WR_PROTECT	0	0	0	0	0	0	0	PROTECT	400E 0031H	00H
ECAT	0	0	0	0	0	0	0	R/W		
PDI	0	0	0	0	0	0	0	R		

ビット位置	ビット名	意味
0	PROTECT	レジスタ／プロセス・メモリへのライト保護 0 : 保護を無効にします。 1 : 保護を有効にします。

6.10 データリンク層設定レジスタ

6.10.1 ESC リセット ECAT レジスタ (ESC_RESET_ECAT)

EtherCAT スレーブ・コントローラを ECAT (マスタ) からソフトリセットします。

ライトの時:

	7	6	5	4	3	2	1	0	アドレス	初期値
ESC_RESET_ECAT	RESET_ECAT								400E 0040H	00H
ECAT	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
PDI	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	RESET_ECAT	本レジスタに 0x52 ("R")、0x45 ("E")、0x53 ("S") を連続してライトすると、リセットが有効になります。

リードの時:

	7	6	5	4	3	2	1	0	アドレス	初期値
ESC_RESET_ECAT	0	0	0	0	0	0	RESET_ECAT		400E 0040H	00H
ECAT	0	0	0	0	0	0	R/W	R/W		
PDI	0	0	0	0	0	0	R	R		

ビット位置	ビット名	意味
1-0	RESET_ECAT	リセット手順の進捗状況 01 : 0x52 をライトした後 10 : 0x45 をライトした後 (先に 0x52 がライトされている場合) 00 : その他

6.10.2 ESC リセット PDI レジスタ (ESC_RESET_PDI)

EtherCAT スレーブ・コントローラを PDI からソフトリセットします。

ライトの時:

	7	6	5	4	3	2	1	0	アドレス	初期値
ESC_RESET_PDI	RESET_PDI								400E 0041H	00H
ECAT	R	R	R	R	R	R	R	R		
PDI	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
7-0	RESET_PDI	本レジスタに 0x52 ("R")、0x45 ("E")、0x53 ("S") を連続してライトすると、リセットが有効になります。

リードの時:

	7	6	5	4	3	2	1	0	アドレス	初期値
ESC_RESET_PDI	0	0	0	0	0	0	RESET_PDI		400E 0041H	00H
ECAT	0	0	0	0	0	0	R	R		
PDI	0	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意味
1-0	RESET_PDI	リセット手順の進捗状況 01 : 0x52 をライトした後 10 : 0x45 をライトした後 (先に 0x52 がライトされている場合) 00 : その他

ビット位置	ビット名	意味
0	FWDRULE	転送ルールの設定 0 : EtherCAT フレームは処理されます。EtherCAT でないフレームは処理せずに転送します。 1 : EtherCAT フレームは処理されます。EtherCAT でないフレームは破棄されます。 転送ルールに関わらず、送信元 MAC アドレスは全てのフレームに対して変更されます (SOURCE_MAC[1] が 1 に設定されます (ローカル管理アドレス))。

注 1. ループ構成の変更は、ポートで現在受信又は送信されているフレームが通過した後で行われます。
注 2. RX FIFO サイズを削減するためには、EtherCAT のネットワークに接続されている全てのスレーブやマスタのクロックの精度が高い必要があります。デフォルトでは 100ppm で十分ですが、RX FIFO のサイズを 0-3 に設定した場合、25ppm の精度が必要です。

6.10.4 フィジカル・リード/ライト・オフセット・レジスタ (PHYSICAL_RW_OFFSET)

R/W コマンドにおけるリードアドレスとライトアドレスのオフセットを設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
PHYSICAL_ RW_OFFSET	RWOFFSET																400E 0108H	0000H
ECAT	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15-0	RWOFFSET	リードアドレスとライトアドレス間の R/W コマンド (FPRW, APRW) のオフセットです。 RD_ADR = ADR WR_ADR = ADR + R/W オフセット

6.10.5 ESC DL ステータス・レジスタ (ESC_DL_STATUS)

EtherCAT スレーブ・コントローラの状態を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ESC_DL_STATUS	COMP3	LP3	COMP2	LP2	COMP1	LP1	COMP0	LP0	PHYP3	PHYP2	PHYP1	PHYP0	0	ENLINKD	PDIWDST	PDI0PE	400E 0110H	0004H
ECAT	R (ack)	0	R (ack)	R (ack)	R (ack)													
PDI	R	R	R	R	R	R	R	R	R	R	R	R	0	R	R	R		

ビット位置	ビット名	意味
15	COMP3	ポート 3 上の通信状態 (本 LSI ではポート 3 は使用できません) 0: 安定した通信無し 1: 通信確立
14	LP3	ループポート 3 (本 LSI ではポート 3 は使用できません) 0: オープン 1: クローズ
13	COMP2	ポート 2 上の通信 (本 LSI ではポート 2 は使用できません) 0: 安定した通信無し 1: 通信確立
12	LP2	ループポート 2 (本 LSI ではポート 2 は使用できません) 0: オープン 1: クローズ
11	COMP1	ポート 1 上の通信 0: 安定した通信無し 1: 通信確立
10	LP1	ループポート 1 0: オープン 1: クローズ
9	COMP0	ポート 0 上の通信 0: 安定した通信無し 1: 通信確立
8	LP0	ループポート 0 0: オープン 1: クローズ
7	PHYP3	ポート 3 上の物理的なリンク (本 LSI ではポート 3 は使用できません) 0: リンクなし 1: リンク検出
6	PHYP2	ポート 2 上の物理的なリンク (本 LSI ではポート 2 は使用できません) 0: リンクなし 1: リンク検出
5	PHYP1	ポート 1 上の物理的なリンク 0: リンクなし 1: リンク検出

ビット位置	ビット名	意味
4	PHYPO	ポート 0 上の物理的なリンク 0 : リンクなし 1 : リンク検出
2	ENHLINKD	エンハンスド・リンク・ディテクションの設定 0 : すべてのポートで無効化 1 : 少なくとも 1 つのポートに対して有効化 注 : EEPROM のアドレス 0x0000 のビット 9 の値がセットされます。電源投入またはリセット後の最初の EEPROM からのロード時のみ取り込まれます。
1	PDIWDST	PDI ウォッチドッグ・ステータス 0 : ウォッチドッグのタイムアウト 1 : ウォッチドッグのリロード
0	PDIOPE	PDI の動作 / EEPROM のロードの状態 0 : EEPROM がロードされず、PDI は動作不能 (プロセス・データ RAM にアクセス不可) 1 : EEPROM が正しくロードされており、PDI は動作可能 (プロセス・データ RAM にアクセス可能)

注. ECAT から本レジスタをリードすると、ECAT イベント・リクエスト・レジスタ (ECAT_EVENT_REQ : 0x0210) のビット 2 をクリアします。

6.11 アプリケーション層設定レジスタ

6.11.1 AL コントロール・レジスタ (AL_CONTROL)

マスタによって要求されるステートマシンの遷移状態を示します。また、スレーブからのエラー・インディケーションをアクリッジします。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
AL_CONTROL	0	0	0	0	0	0	0	0	0	0	DEVICEID	ERRINDACK	INISTATE			400E 0120H	0001H	
ECAT	0	0	0	0	0	0	0	0	0	0	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)		
PDI	0	0	0	0	0	0	0	0	0	0	R/ (clear)	R/ (clear)	R/ (clear)	R/ (clear)	R/ (clear)	R/ (clear)		

ビット位置	ビット名	意味
5	DEVICEID	デバイス ID 要求 0 : 要求無し 1 : 要求あり
4	ERRINDACK	エラー・インディケーションのアクリッジ 0 : AL ステータス・レジスタのエラー・インディケーションをアクリッジしない。 1 : AL ステータス・レジスタのエラー・インディケーションをアクリッジする。
3-0	INISTATE	デバイス・ステート・マシンの状態遷移を変更します 1 : Init ステート要求 3 : Bootstrap ステート要求 2 : Pre-Operational ステート要求 4 : Safe-Operational ステート要求 8 : Operational ステート要求

注. ECAT から本レジスタをライトした後は、PDI からリードしなければなりません。そうでなければ、ECAT から本レジスタを再度ライトすることができません。PDI からリードすると、AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0x0220) のビット 0 をクリアします。

6.11.2 AL ステータス・レジスタ (AL_STATUS)

スレーブアプリケーションの状態を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
AL_STATUS	0	0	0	0	0	0	0	0	0	0	DEVICEID	ERR	ACTSTATE			400E 0130H	0001H	
ECAT	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R		
PDI	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
5	DEVICEID	デバイス ID のロード状態 0 : デバイス ID のロード失敗 1 : デバイス ID のロード完了
4	ERR	エラー・インジケータ 0 : デバイスは要求されたステートになっています。あるいはコマンドにクリアされている状態。 1 : デバイスは要求されたステートになっていません。或いはローカルアクションの結果として状態変更されました。
3-0	ACTSTATE	デバイス・ステート・マシンの実際の状態: 1 : Init ステート 3 : Request Bootstrap ステート 2 : Pre-Operational ステート 4 : Safe-Operational ステート 8 : Operational ステート

注. ECAT から本レジスタをリードすると、ECAT イベント・リクエスト・レジスタ (ECAT_EVENT_REQ : 0x0210) のビット3をクリアします。

6.11.3 AL ステータス・コード・レジスタ (AL_STATUS_CODE)

スレーブアプリケーションからのエラーコードを示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
AL_STATUS_CODE	STATUSCODE															400E 0134H	0000H	
ECAT	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
PDI	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
15-0	STATUSCODE	ALステータス・コード

6.11.4 RUN LED オーバーライド・レジスタ (RUN_LED_OVERRIDE)

RUN LED 端子の制御をオーバーライドします。

	7	6	5	4	3	2	1	0	アドレス	初期値
RUN_LED_OVERRIDE	0	0	0	OVERRIDEEN	LEDCODE				400E 0138H	00H
ECAT	0	0	0	R/W	R/W	R/W	R/W	R/W		
PDI	0	0	0	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
4	OVERRIDEEN	オーバーライド・イネーブル: 0 : オーバーライドを無効にします。 1 : オーバーライドを有効にします。
3-0	LEDCODE	LED コード (FSM ステート) 0x0 : オフ (1-Init) 0x1-0xC : フラッシュ 1x – 12x (4-SafeOp 1x) 0xD : ブリンク (2-PreOp) 0xE : フリッカ (3-Bootstrap) 0xF : 点灯 (8-Op)

注. ビット 4 (オーバーライド・イネーブル) は、AL ステータス・レジスタを適切な値に変更するとクリアされます。

通常は RUN LED は AL ステータス・レジスタ (AL_STATUS : 0x0130) により自動的に制御されます。従って、一般的なステートマシンの状態を示すためには RUN LED のオーバーライドは必要ありません。

例えば、特定のスレーブの位置を表すために、特殊な点灯をさせるような使い方ができます。

6.11.5 ERR_LED オーバーライド・レジスタ (ERR_LED_OVERRIDE)

エラーLED 端子の制御をオーバーライドします。

	7	6	5	4	3	2	1	0	アドレス	初期値
ERR_LED_OVERRIDE	0	0	0	OVERRIDEEN	LEDCODE				400E 0139H	00H
ECAT	0	0	0	R/W	R/W	R/W	R/W	R/W		
PDI	0	0	0	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
4	OVERRIDEEN	オーバーライド・イネーブル: 0 : オーバーライドを無効にします。 1 : オーバーライドを有効にします。
3-0	LEDCODE	LED コード 0x0 : オフ 0x1-0xC : フラッシュ 1x – 12x 0xD : ブリンク 0xE : フリッカ 0xF : 点灯

注. ビット 4 (オーバーライド・イネーブル) は、新たにエラーが発生するとクリアされます。
 ESC は以下の条件に対しては自動的にエラーLED の制御を行います。それ以外のエラーに関しては、本レジスタを使用して、アプリケーションでエラーLED を制御する必要があります。

- ・ SII EEPROM ロードエラー
- ・ PDI ウォッチドッグ・タイムアウト

6.12 PDI 設定レジスタ

6.12.1 PDI コントロール・レジスタ (PDI_CONTROL)

PDI の種類を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
PDI_CONTROL	PDI								400E 0140H	80H
ECAT	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R		
ビット位置	ビット名		意味							
7-0	PDI		プロセスデータインタフェース。本 LSI では以下の値を示します。 0x80 : オンチップ・バス							

6.12.2 ESC コンフィギュレーション・レジスタ (ESC_CONFIG)

EtherCAT スレーブ・コントローラの構成を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
ESC_CONFIG	ENLP3	ENLP2	ENLP1	ENLP0	DCLATCH	DCSYNC	ENLALLP	DEVEMU	400E 0141H	0CH ^注
ECAT	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7	ENLP3	ポート3のエンハンスド・リンク・ディテクションの設定 (本 LSI ではポート3は使用できません) 0: 無効 (EEPROM のアドレス0のビット9が0の場合) 1: 有効
6	ENLP2	ポート2のエンハンスド・リンク・ディテクションの設定 (本 LSI ではポート2は使用できません) 0: 無効 (EEPROM のアドレス0のビット9が0の場合) 1: 有効
5	ENLP1	ポート1のエンハンスド・リンク・ディテクションの設定 0: 無効 (EEPROM のアドレス0のビット9が0の場合) 1: 有効
4	ENLP0	ポート0のエンハンスド・リンク・ディテクションの設定 0: 無効 (EEPROM のアドレス0のビット9が0の場合) 1: 有効
3	DCLATCH	分散クロックのラッチ入力ユニットの設定。本 LSI では1固定です。 0: 無効 (パワーセーブ) 1: 有効
2	DCSYNC	分散クロックの SYNC 出力ユニットの設定。本 LSI では1固定です。 0: 無効 (パワーセーブ) 1: 有効
1	ENLALLP	全てのポートに対するエンハンスド・リンク・ディテクションの設定 0: 無効 (EEPROM のアドレス0のビット15-12が0の場合) 1: すべてのポートで有効
0	DEVEMU	デバイス・エミュレーション (AL ステータスコントロール) 0: AL ステータス・レジスタは、PDI で設定します。 1: AL ステータス・レジスタは、AL コントロール・レジスタに書き込まれた値を自動的に設定します。本 LSI では0固定です。

注. EEPROM をロードするまでの初期値です。その後 EEPROM のアドレス 0x0001 に格納されている値によって、ビット7~4、1が変化します。

電源投入またはリセット後の最初の EEPROM ロード時のみ値が取り込まれます。

6.12.3 PDI コンフィギュレーション・レジスタ (PDI_CONFIG)

PDI の構成を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
PDI_CONFIG	ONCHIPBUS			ONCHIPBUSCLK					400E 0150H	44H
ECAT	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-5	ONCHIPBUS	オンチップ・バスの種類を示します。本LSIでは常に010を示します。
4-0	ONCHIPBUSCLK	オンチップ・バスのクロックを示します。本LSIでは常に4 (100MHz) を示します。

6.12.4 SYNC/LATCH PDI コンフィギュレーション・レジスタ (SYNC_LATCH_CONFIG)

SYNC 出力/LATCH 入力の設定を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
SYNC_LATCH_CONFIG	SYNC1MAP	SYNCLAT1	SYNC1OUT		SYNC0MAP	SYNCLAT0		SYNC0OUT	400E 0151H	EEH ^{注1}
ECAT	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7	SYNC1MAP	AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0x0220) のビット 3 へ SYNC1 の状態のマッピングの有効/無効を示します。本 LSI では常に 1(有効)です。 0 : 無効 1 : 有効
6	SYNCLAT1	SYNC1/LATCH1 設定の設定を表します。本 LSI では常に 1 を示します ^{注2} 。 0 : LATCH1 入力 1 : SYNC1 出力
5-4	SYNC1OUT	SYNC1 出力ドライバ/極性を示します。本 LSI では常に 10 (プッシュプル アクティブハイ) を示します。
3	SYNC0MAP	AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0x0220) のビット 2 へ SYNC0 の状態のマッピングの有効/無効を示します。本 LSI では常に 1(有効)です。 0 : 無効 1 : 有効
2	SYNCLAT0	SYNC0/LATCH0 設定の設定を表します。本 LSI では常に 1 を示します ^{注2} 。 0 : LATCH0 入力 1 : SYNC0 出力
1-0	SYNC0OUT	SYNC0 出力ドライバ/極性を示します。本 LSI では常に 10 (プッシュプル アクティブハイ) を示します。

注 1. EEPROM をロードするまでの初期値です。その後 EEPROM のアドレス 0x0003 に格納されている値によって、ビット 7、3 が変化します。

電源投入またはリセット後の最初の EEPROM ロード時のみ値が取り込まれます。

2. 常に SYNC 出力を表していますが、LATCH 入力も使用できます。SYNC 出力と LATCH 入力の切り替えは、LSI レベルの端子機能兼用の設定で切り替えてください。

6.12.5 拡張 PDI コンフィギュレーション・レジスタ (EXT_PDI_CONFIG)

PDI の構成を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
EXT_PDI_CONFIG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	400E 0152H	00H
ECAT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R		
PDI	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R		

ビット位置	ビット名	意味
1-0	DATABUSWID	PDI のデータ・バス幅を示します。本 LSI では 0 (4 バイト) を示します。 00 : 4 バイト 01 : 1 バイト 10 : 2 バイト 11 : リザーブ

6.13 割り込み設定レジスタ

6.13.1 ECAT イベント・マスク・レジスタ (ECAT_EVENT_MASK)

EtherCAT マスタにスレーブのイベントを伝えるために、ECAT イベント・リクエスト (ECAT 割り込み) が使用されます。本レジスタで ECAT イベント・リクエスト・レジスタ (ECAT_EVENT_REQ : 0x0210) の各イベントに対してマスクを設定します。本レジスタと ECAT イベント・リクエスト・レジスタの AND が行われ、それが割り込みに使用されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ECAT_EVENT_MASK	ECATEVMASK																400E 0200H	0000H
ECAT	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15-0	ECATEVMASK	0 : 対応する ECAT イベント・リクエスト・レジスタ (ECAT_EVENT_REQ : 0x0210) のビットがマップされません。 1 : 対応する ECAT イベント・リクエスト・レジスタのビットがマップされます。

6.13.2 AL イベント・マスク・レジスタ (AL_EVENT_MASK)

スレーブアプリケーションに ESC の割り込みを伝えるために、AL イベント・リクエスト (PDI 割り込み) が使用されます。本レジスタで AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0x0220) の各イベントに対してマスクを設定します。本レジスタと AL イベント・リクエスト・レジスタの AND が行われ、それが割り込みに使用されます。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値	
AL_EVENT_MASK	ALEVMASK																																400E 0204H	00FF FF0FH	
ECAT	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
PDI	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット位置	ビット名	意味
31-0	ALEVMASK	0 : 対応する AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0x0220) のビットがマップされません。 1 : 対応する AL イベント・リクエスト・レジスタのビットがマップされます。

6.13.3 ECAT イベント・リクエスト・レジスタ (ECAT_EVENT_REQ)

ECAT イベント・リクエスト (ECAT 割り込み) の要因を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ECAT_EVENT_REQ	0	0	0	0	SMSTA7	SMSTA6	SMSTA5	SMSTA4	SMSTA3	SMSTA2	SMSTA1	SMSTA0	ALSTA	DLSTA	0	DCLATCH	400E 0210H	0000H
ECAT	0	0	0	0	R	R	R	R	R	R	R	R	R	R	0	R		
PDI	0	0	0	0	R	R	R	R	R	R	R	R	R	R	0	R		

ビット位置	ビット名	意味
11	SMSTA7	SyncManager7 のステータスのミラー値: 0 : Sync チャンネル 7 イベントなし 1 : Sync チャンネル 7 イベントペンディング
10	SMSTA6	SyncManager6 ステータスのミラー値: 0 : Sync チャンネル 6 イベントなし 1 : Sync チャンネル 6 イベントペンディング
9	SMSTA5	SyncManager5 ステータスのミラー値: 0 : Sync チャンネル 5 イベントなし 1 : Sync チャンネル 5 イベントペンディング
8	SMSTA4	SyncManager4 ステータスのミラー値: 0 : Sync チャンネル 4 イベントなし 1 : Sync チャンネル 4 イベントペンディング
7	SMSTA3	SyncManager3 ステータスのミラー値: 0 : Sync チャンネル 3 イベントなし 1 : Sync チャンネル 3 イベントペンディング
6	SMSTA2	SyncManager2 ステータスのミラー値: 0 : Sync チャンネル 2 イベントなし 1 : Sync チャンネル 2 イベントペンディング
5	SMSTA1	SyncManager1 ステータスのミラー値: 0 : Sync チャンネル 1 イベントなし 1 : Sync チャンネル 1 イベントペンディング
4	SMSTA0	SyncManager0 ステータスのミラー値: 0 : Sync チャンネル 0 イベントなし 1 : Sync チャンネル 0 イベントペンディング
3	ALSTA	AL ステータスのイベント 0 : AL ステータス変更なし 1 : AL ステータス変更 ECAT から AL ステータス・レジスタ (AL_STATUS : 0x0130:0x0131) をリードすることにより、本ビットはクリアされます。
2	DLSTA	DL ステータスのイベント 0 : DL ステータス変更なし 1 : DL ステータス変更 ECAT から DL ステータス・レジスタ (ESC_DL_STATUS : 0x0110:0x0111) をリードすることにより、本ビットはクリアされます。

ビット位置	ビット名	意味
0	DCLATCH	DC ラッチのイベント 0 : DC ラッチ入力変更なし 1 : 少なくとも一つの DC ラッチ入力変更 ECAT から ECAT コントロールラッチユニットに対して DC ラッチのイベント時間をリードすることにより、本ビットはクリアされます。そのためラッチ 0/1 ステータス・レジスタ (DC_LATCH_STAT0/1 : 0x09AE:0x09AF) はイベントを示しません。

ビット位置	ビット名	意味
6	WDPD	ウォッチドッグ・プロセスデータ 0 : 有効 1 : タイムアウト PDIからウォッチドッグ・ステータス・プロセスデータ・レジスタ (WDS_DATA : 0x0440) をリードすることにより、本ビットはクリアされます。
4	SYNCACT	SyncManager アクティベート・レジスタ (SMm.ACT : 0x0806+8H*m) 変化 0 : SyncManager に変化なし 1 : 少なくとも一つの SyncManager が変化 PDIから SyncManager アクティベート・レジスタ (SMm.ACT) をリードすることにより、本ビットはクリアされます。
3	DCSYNC1STA	DC SYNC1 の状態 PDIから SYNC1 ステータス・レジスタ (DC_SYNC_STAT1 : 0x098F) をリードすることにより、本ビットはクリアされます。
2	DCSYNC0STA	DC SYNC0 の状態 PDIから SYNC0 ステータス・レジスタ (DC_SYNC_STAT0 : 0x098E) をリードすることにより、本ビットはクリアされます。
1	DCLATCH	DC ラッチイベント 0 : DC ラッチ入力変化なし 1 : 少なくとも一つの DC ラッチ入力に変化 PDIから PDI コントロールラッチユニットに対して DC ラッチのイベント時刻をリードすることにより、本ビットはクリアされます。そのためラッチ 0/1 ステータス・レジスタ (DC_LATCH_STAT0/1 : 0x09AE:0x09AF) はイベントを示しません。
0	ALCTRL	AL コントロールイベント 0 : AL コントロール・レジスタ変化なし 1 : AL コントロール・レジスタにライトされた PDIから AL コントロール・レジスタ (AL_CONTROL : 0x0120:0x0121) をリードすることにより、本ビットはクリアされます。

6.14 エラーカウンタ設定レジスタ

6.14.1 Rx エラーカウンタ n・レジスタ (RX_ERR_COUNTn)

受信フレームのエラーの数をカウントします。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
RX_ERR_COUNTn	RXERRCNT								INVFRMCNT								400E 0300H + 0002H*n	0000H
ECAT	R/W (clr)																	
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15-8	RXERRCNT	ポート n における受信エラーのカウンタ値。0xFF に達するとカウンタは停止します。MII インタフェースの RX_ERR の数をカウントします。 RX エラー関係のカウンタ (RX_ERR_COUNTn、FWD_RX_ERR_COUNTn) の一つにライトすれば、クリアされます。
7-0	INVFRMCNT	ポート n における無効なフレームのカウンタ値。0xFF に達するとカウンタは停止します。 RX エラー関係のカウンタ (RX_ERR_COUNTn、FWD_RX_ERR_COUNTn) の一つにライトすれば、クリアされます。

備考 n=0-1
n=0 はポート 0、n=1 はポート 1

6.14.2 フォワード Rx エラーカウンタ n・レジスタ (FWD_RX_ERR_COUNTn)

転送エラーの数をカウントします。

	7	6	5	4	3	2	1	0	アドレス	初期値
FWD_RX_ERR_COUNTn	FWDERRCNT								400E 0308H + 0001H*n	00H
ECAT	R/W (clr)									
PDI	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	FWDERRCNT	ポート n における転送された受信エラーフレームのカウンタ値。0xFF に達するとカウンタは停止します。 RX エラー関係のカウンタ (RX_ERR_COUNTn、FWD_RX_ERR_COUNTn) の一つにライトすれば、クリアされます。

備考 n=0-1
n=0 はポート 0、n=1 はポート 1

6.14.3 ECAT プロセッシング・ユニット・エラーカウンタ・レジスタ (ECAT_PROC_ERR_COUNT)

ECAT プロセッシング・ユニットを通るフレームのエラーをカウントします。

	7	6	5	4	3	2	1	0	アドレス	初期値
ECAT_PROC_ERR_COUNT	EPUERRCNT								400E 030CH	00H
ECAT	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)		
PDI	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	EPUERRCNT	ECAT プロセッシング・ユニット・エラーカウンタ値。0xFF に達するとカウンタは停止します。プロセッシング・ユニットを通るフレームのエラーをカウントします。 本レジスタをライトすると、本レジスタはクリアされます。

6.14.4 PDI エラー・カウンタ・レジスタ (PDI_ERR_COUNT)

PDI のアクセスエラーをカウントします。

	7	6	5	4	3	2	1	0	アドレス	初期値
PDI_ERR_COUNT	PDIERRCNT								400E 030DH	00H
ECAT	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)		
PDI	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	PDIERRCNT	PDI エラーのカウンタ値。0xFF に達するとカウンタは停止します。PDI のアクセスでインタフェースエラーが発生すれば、カウントします。 本レジスタをライトすると、本レジスタはクリアされます。

6.14.5 ロストリンク・カウンタ n・レジスタ (LOST_LINK_COUNTn)

ポートにおけるロストリンクをカウントします。

	7	6	5	4	3	2	1	0	アドレス	初期値
LOST_LINK_COUNTn	LOSTLINKCNT								400E 0310H + 0001H*n	00H
ECAT	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)	R/W(clr)		
PDI	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	LOSTLINKCNT	ポート n におけるロストリンクのカウンタ値。0xFF に達するとカウンタは停止します。ポートループが Auto または Auto-Close の時のみカウントします。オープンであるポートのロストリンクのみカウントされます。ロストリンクカウンタレジスタの一つにライトすると、本レジスタはクリアされます。

備考 n=0-1

n=0 はポート 0、n=1 はポート 1

6.15 ウォッチドッグ設定レジスタ

6.15.1 ウォッチドッグ・ディバイダ・レジスタ (WD_DIVIDE)

ウォッチドッグの基本インクリメントとなる 25MHz に対する分周比を設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
WD_DIVIDE	WDDIV																400E 0400H	09C2H
ECAT	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15-0	WDDIV	25MHz に対するウォッチドッグのクロックの分周比を設定します。 設定した値+2 で分周した周期が基本のウォッチドッグ・インクリメントとなります。 デフォルト値は 100μs = 2498

6.15.2 ウォッチドッグ・タイム PDI・レジスタ (WDT_PDI)

PDI ウォッチドッグのオーバーフロー時間を設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
WDT_PDI	WDTIMPDI																400E 0410H	03E8H
ECAT	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15-0	WDTIMPDI	PDI ウォッチドッグのオーバーフロー時間を基本ウォッチドッグ・インクリメントの数で設定します。 デフォルト値は、ウォッチドッグ・ディバイダでの設定値が 100μs の場合、100μs × 1000 = 100ms のウォッチドッグ・オーバーフローとなります。 0 を設定すると、ウォッチドッグは無効になります。PDI アクセスがあるごとにウォッチドッグはリスタートします。

6.15.3 ウォッチドッグ・タイム・プロセス・データ・レジスタ (WDT_DATA)

プロセスデータ・ウォッチドッグのオーバーフロー時間を設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
WDT_DATA	WDTIMPD																400E 0420H	03E8H
ECAT	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15-0	WDTIMPD	プロセスデータ・ウォッチドッグのオーバーフロー時間を基本ウォッチドッグ・インクリメントの数で設定します。 デフォルト値は、ウォッチドッグ・ディバイダでの設定値が 100µs の場合、100µs × 1000 = 100ms のウォッチドッグ・オーバーフローとなります。 全ての SyncManager に対してウォッチドッグは 1 つです。0 を設定すると、ウォッチドッグは無効になります。SyncManager のウォッチドッグ・トリガ・イネーブルビットへのライトアクセスがあるごとにウォッチドッグはリスタートします。

6.15.4 ウォッチドッグ・ステータス・プロセス・データ・レジスタ (WDS_DATA)

プロセスデータ・ウォッチドッグの状態を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
WDS_DATA	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	WDSTAPD	400E 0440H	0000H
ECAT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R		
PDI	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R (ack)		

ビット位置	ビット名	意味
0	WDSTAPD	SyncManager によってトリガされるプロセスデータ・ウォッチドッグの状態を示します。 0 : プロセスデータ・ウォッチドッグがタイムアウト 1 : プロセスデータ・ウォッチドッグはアクティブか無効 本レジスタをリードすることにより、AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0x0220) のビット 6 がクリアされます。

6.15.5 ウォッチドッグ・カウンタ・プロセス・データ・レジスタ (WDC_DATA)

プロセスデータ・ウォッチドッグのタイムアウトのカウンタ数を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
WDC_DATA	WDCNTPD								400E 0442H	00H
ECAT	R/W(clr)									
PDI	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	WDCNTPD	プロセスデータ・ウォッチドッグのカウンタ値。0xFFに達するとカウンタは停止します。プロセスデータ・ウォッチドッグがタイムアウトするとカウンタします。ウォッチドッグ・カウンタ・レジスタ (WDC_DATA、WDC_PDI : 0x0442:0x0443) のいずれかにライトすれば、カウンタはクリアされます。

6.15.6 ウォッチドッグ・カウンタ PDI・レジスタ (WDC_PDI)

PDI ウォッチドッグのタイムアウトのカウンタ数を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
WDC_PDI	WDCNTPDI								400E 0443H	00H
ECAT	R/W(clr)									
PDI	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
7-0	WDCNTPDI	PDI ウォッチドッグのカウンタ値。0xFFに達するとカウンタは停止します。PDI ウォッチドッグがタイムアウトするとカウンタします。ウォッチドッグ・カウンタ・レジスタ (WDC_DATA、WDC_PDI : 0x0442:0x0443) のいずれかにライトすれば、カウンタはクリアされます。

6.16 SII EEPROM インタフェース設定レジスタ

EEPROM コンフィギュレーション・レジスタ (EEP_CONF : 0x0500) のビット 0 が 0、且つ EEPROM PDI アクセス・ステート・レジスタ (EEP_PDI_ACCESS : 0x0501) のビット 0 が 0 の場合、EtherCAT が SII EEPROM インタフェースをコントロールします。そうでなければ PDI から EEPROM インタフェースをコントロールします。

6.16.1 EEPROM コンフィギュレーション・レジスタ (EEP_CONF)

EEPROM へのアクセス権について設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
EEP_CONF	0	0	0	0	0	0	FORCEECAT	CTRLPDI	400E 0500H	00H
ECAT	0	0	0	0	0	0	R/W	R/W		
PDI	0	0	0	0	0	0	R	R		

ビット位置	ビット名	意味
1	FORCEECAT	ECAT からのアクセスに強制的に変更します。 0 : 現状から変更なし 1 : EEPROM PDI アクセス・ステート・レジスタ (EEP_PDI_ACCESS : 0x0501) のビット 0 を 0 にリセットします。つまり、PDI からの EEPROM アクセス権を解放します。
0	CTRLPDI	EEPROM のコントロールを PDI に持たせるか否かを指定します。: 0 : PDI が EEPROM をコントロールしない 1 : PDI が EEPROM をコントロールする

6.16.2 EEPROM PDI アクセス・ステート・レジスタ (EEP_STATE)

PDI から EEPROM へのアクセス権を設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
EEP_STATE	0	0	0	0	0	0	0	PDIACCESS	400E 0501H	00H
ECAT	0	0	0	0	0	0	0	R		
PDI	0	0	0	0	0	0	0	R/(W)		

ビット位置	ビット名	意味
0	PDIACCES	EEPROM へのアクセス件を設定します。 0 : PDI は EEPROM アクセスを解放します。 1 : PDI は EEPROM アクセスを取得します。 PDI からのライトは EEPROM コンフィギュレーション・レジスタ (EEP_CONF : 0x0500) のビット 0 が 1、且つビット 1 が 0 のときのみ可能です。

6.16.3 EEPROM コントロール/ステータス・レジスタ (EEP_CONT_STAT)

EEPROM へのアクセスの設定とステータスを示します。

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
EEP_CONT_	STAT	BUSY	WRENERR	ACKCMDERR	LOADSTA	CKSUMERR	COMMAND			PROMSIZE	READBYTE	0	0	0	0	0	ECATWREN	400E 0502H	0000H
ECAT		R	R	R	R	R	R(W)	R(W)	R(W)	R	R	0	0	0	0	0	R(W)		
PDI		R	R	R	R	R	R(W)	R(W)	R(W)	R	R	0	0	0	0	0	R		

ビット位置	ビット名	意味
15	BUSY	EEPROM インタフェースのビジー状態を示します。 0 : アイドル状態 1 : ビジー状態
14	WRENERR	ライト・イネーブルのエラーを示します。 ^{注1} 0 : エラーなし 1 : ライト・イネーブルなしでのライトコマンド
13	ACKCMDERR	アクノリッジ/コマンドのエラーを示します。 ^{注1} 0 : エラーなし 1 : EEPROM アクノリッジ欠落、あるいは無効なコマンド
12	LOADSTA	EEPROM ローディング状態を示します。 0 : EEPROM のロードが完了し、デバイス情報は問題無し 1 : EEPROM がロードされておらず、デバイス情報利用できない (EEPROM はロード中または失敗で終了)。
11	CKSUMERR	ESC の設定エリア内でのチェックサムエラーを示します。 0 : チェックサムは問題無し 1 : チェックサムエラー
10-8	COMMAND	コマンド ^{注2} ライト : 下記のコマンドを開始します。 リード : 現在実行中のコマンドを示します。 コマンド : 000 : コマンドなし/EEPROM アイドル状態 (エラービットをクリアします) 001 : リード 010 : ライト 100 : リロード その他 : リザーブ/無効なコマンド (実行しないでください)
7	PROMSIZE	選択された EEPROM のアルゴリズムを示します。 0 : 1 アドレスバイト (1KBit -16KBit EEPROMs) 1 : 2 アドレスバイト (32KBit - 4MBit EEPROMs)
6	READBYTE	サポートする EEPROM リードバイトを示します。 0 : 4 バイト 1 : 8 バイト
0	ECATWREN	ECAT ライト・イネーブル ^{注2} 0 : ライト要求は無効 1 : ライト要求は有効 PDI が EEPROM をコントロールしている場合、このビットは常に 1 です。

6.17 MII マネージメント・インタフェース設定レジスタ

6.17.1 MII マネージメント・コントロール/ステータス・レジスタ (MII_CONT_STAT)

MII マネージメント・インタフェースの設定とステータスを示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
MII_CONT_STAT	BUSY	CMDERR	READERR	0	0	0	COMMAND	PHYOFFSET						MILINK	PDICTRL	WREN	400E 0510H	0006H
ECAT	R	R	R(W)	0	0	0	R(W)	R(W)	R	R	R	R	R	R	R	R(W)		
PDI	R	R	R(W)	0	0	0	R(W)	R(W)	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15	BUSY	MII マネージメント・インタフェースがビジーであることを示します。 0 : アイドル状態 1 : ビジー状態
14	CMDERR	コマンドエラーの発生の有無を示します。 0 : 最後のコマンドは成功 1 : 無効なコマンドあるいはライト・イネーブルなしのライトコマンド有効なコマンドを実行するか、コマンド・ビット 9-8 へ"00"を書き込むことで本ビットはクリアされます。
13	READERR	リードエラーの発生の有無を示します。 0 : リードエラーなし 1 : リードエラー発生 (PHY あるいはレジスタは利用不可) 本ビットは本レジスタにライトすることでクリアされます。
9-8	COMMAND	コマンド ライト : 下記のコマンドを開始します。 リード : 現在実行中のコマンドを示します。 コマンド : 00 : コマンドなし/MI アイドル状態 (エラービットをクリアします) 01 : リード 10 : ライト その他 : リザーブ/無効なコマンド (実行しないでください)
7-3	PHYOFFSET	PHY アドレスオフセットを示します。
2	MILINK	MI リンク・ディテクションの使用可否 0 : 使用不可 1 : 使用可能
1	PDICTRL	MII マネージメント・インタフェースの PDI によるコントロールの可否を示します。 0 : ECAT によるコントロールのみ 1 : PDI によるコントロール可能 MII マネージメント ECAT アクセス・ステート・レジスタ (MII_ECAT_ACS_STAT : 0x0516)、および MII マネージメント PDI アクセス・ステート・レジスタ (MII_PDI_ACS_STAT : 0x0517) により制御されます。

ビット位置	ビット名	意味
0	WREN	ライト・イネーブル 0 : 無効 1 : 有効 PDIがMII マネージメント・インタフェースをコントロールしている場合、このビットは常に1です。

備考. ライトアクセスはマネージメント・インタフェースの割り当てに依存します (ECAT/PDI)。一般的に、マネージメント・インタフェースがビジーの場合 (本レジスタのビット15が1)、ライトアクセスはブロックされます。

注. ライト・イネーブル・ビット0は、次のフレームのSOF (あるいはPDIアクセスの終わり) でセルフクリアされます。また、コマンド・ビット9-8も、コマンド実行後 (ビジーが終了後) にセルフクリアされます。
コマンド・ビットへ“00”をライトするとエラービット14-13がクリアされます。コマンド実行後は、コマンド・ビットはクリアされます。

6.17.2 PHY アドレス・レジスタ (PHY_ADR)

PHY アドレスを設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
PHY_ADR	0	0	0	PHYADDR					400E 0512H	00H
ECAT	0	0	0	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)		
PDI	0	0	0	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)		
ビット位置	ビット名		意味							
4-0	PHYADDR		PHY アドレス							

備考. ライトアクセスはマネージメント・インタフェースの割り当てに依存します (ECAT/PDI)。一般的に、マネージメント・インタフェースがビジーの場合 (MII マネージメント・コントロール/ステータス・レジスタ (MII_CONT_STAT : 0x0510) のビット 15 が 1)、ライトアクセスはブロックされます。

6.17.3 PHY レジスタ・アドレス・レジスタ (PHY_REG_ADR)

PHY レジスタのアドレスを設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
PHY_REG_ADR	0	0	0	PHYREGADDR					400E 0513H	00H
ECAT	0	0	0	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)		
PDI	0	0	0	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)		
ビット位置	ビット名		意味							
4-0	PHYREGADDR		PHY レジスタのアドレス							

備考. ライトアクセスはマネージメント・インタフェースの割り当てに依存します (ECAT/PDI)。一般的に、マネージメント・インタフェースがビジーの場合 (MII マネージメント・コントロール/ステータス・レジスタ (MII_CONT_STAT : 0x0510) のビット 15 が 1)、ライトアクセスはブロックされます。

6.17.4 PHY データ・レジスタ (PHY_DATA)

PHY レジスタに書き込むデータを設定します。あるいはPHY レジスタから読み込んだデータを示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
PHY_DATA	PHYREGDATA																400E 0514H	0000H
ECAT	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)		
PDI	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)	R(W)		
ビット位置	ビット名																意味	
15-0	PHYREGDATA																PHY レジスタのリード/ライトデータ	

備考. ライトアクセスはマネージメント・インタフェースの割り当てに依存します (ECAT/PDI)。一般的に、マネージメント・インタフェースがビジーの場合 (MII マネージメント・コントロール/ステータス・レジスタ (MII_CONT_STAT : 0x0510) のビット 15 が 1)、ライトアクセスはブロックされます。

6.17.5 MII マネージメント ECAT アクセス・ステート・レジスタ (MII_ECAT_ACS_STAT)

MII マネージメント・インタフェースのアクセス権を設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
MII_ECAT_ACS_STAT	0	0	0	0	0	0	0	ACSMII	400E 0516H	00H
ECAT	0	0	0	0	0	0	0	R(W)		
PDI	0	0	0	0	0	0	0	R		
ビット位置	ビット名								意味	
0	ACSMII								MII マネージメント・インタフェースへのアクセス権 0 : PDI による MII マネージメント・インタフェースのアクセスを許可します。 1 : ECAT による MII マネージメント・インタフェースの排他的アクセス	

備考. ライトアクセスは MII マネージメント PDI アクセス・ステート・レジスタ (MII_PDI_ACS_STAT : 0x0517) のビット 0 が 0 の場合のみ可能です。

6.17.6 MII マネージメント PDI アクセス・ステート・レジスタ (MII_PDI_ACS_STAT)

MII マネージメント・インタフェースのアクセス権を設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
MII_PDI_ACS_STAT	0	0	0	0	0	0	FORPDI	ACSMII	400E 0517H	00H
ECAT	0	0	0	0	0	0	R/W	R		
PDI	0	0	0	0	0	0	R	R/(W)		

ビット位置	ビット名	意味
1	FORPDI	PDIによるアクセス状態の強制変更 (ビット0の強制変更) 0: ビット0を変更しない 1: ビット0を0にリセット (ECATにアクセス権を変更)
0	ACSMII	MII マネージメント・インタフェースへのアクセス権 0: ECATによる MII マネージメント・インタフェースのアクセス 1: PDIによる MII マネージメント・インタフェースへのアクセス

備考. PDI からのビット0へのライトアクセスは、以下の2つの条件を満たす場合のみ可能です。

- ・ MII マネージメント ECAT アクセス・ステート・レジスタ (MII_ECAT_ACS_STAT : 0x0516) のビット0
- ・ MII マネージメント PDI アクセス・ステート・レジスタ (MII_PDI_ACS_STAT : 0x0517) のビット1が0

6.17.7 PHYポート・ステータス・レジスタ n (PHY_STATUSn)

ポート毎のPHYのステータスを示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
PHY_STATUSn	0	0	PHYCONFIG	LINKPARTERR	READERR	LINKSTAERR	LINKSTA	PHYLINKSTA	400E 0518H + 0001H*n	00H
ECAT	0	0	R/(W/clr)	R	R/(W/clr)	R	R	R		
PDI	0	0	R/(W/clr)	R	R/(W/clr)	R	R	R		

ビット位置	ビット名	意味
5	PHYCONFIG	PHYの設定の更新 0: 更新なし 1: PHYの設定の更新あり PHYポート・ステータス・レジスタ n (PHY_STATUSn:) (n=0,1) の少なくともどちらか一方に任意の値をライトすることで本ビットはクリアされます。
4	LINKPARTERR	リンクパートナーエラー 0: エラーなし 1: リンクパートナーエラー
3	READERR	リードエラー 0: リードエラー未発生 1: リードエラー発生 本レジスタ (n=0,1) の少なくともどちらか一方に任意の値をライトすることで本ビットはクリアされます。
2	LINKSTAERR	リンクの状態エラー 0: エラーなし 1: リンクエラー、あるいは禁止されたリンク状態
1	LINKSTA	100 Mbit/s、全二重、オート・ネゴシエーションでのリンク状態 0: 該当の条件でのリンクでない 1: 該当の条件でのリンク
0	PHYLINKSTA	物理的なリンク状態 (PHYレジスタ 1 (ステータス・レジスタ) のビット 2) 0: リンク・ダウン 1: リンク・アップ

備考 1. n=0-1

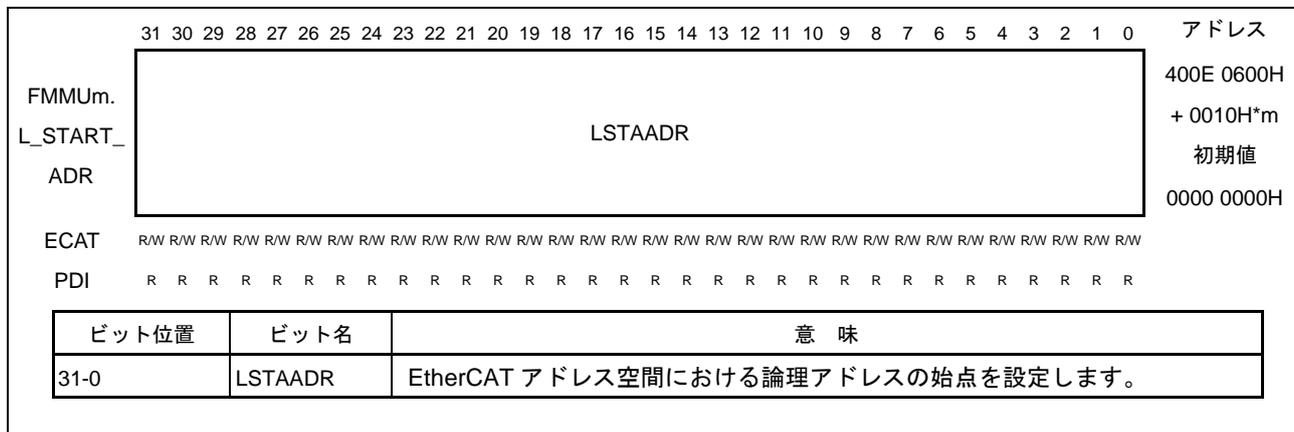
n=0 はポート 0、n=1 はポート 1

2. ライトアクセスはマネージメント・インタフェースの割り当てに依存します (ECAT/PDI)。

6.18 FMMU 設定レジスタ

6.18.1 FMMU ロジカル・スタート・アドレス・レジスタ m (FMMUm.L_START_ADR)

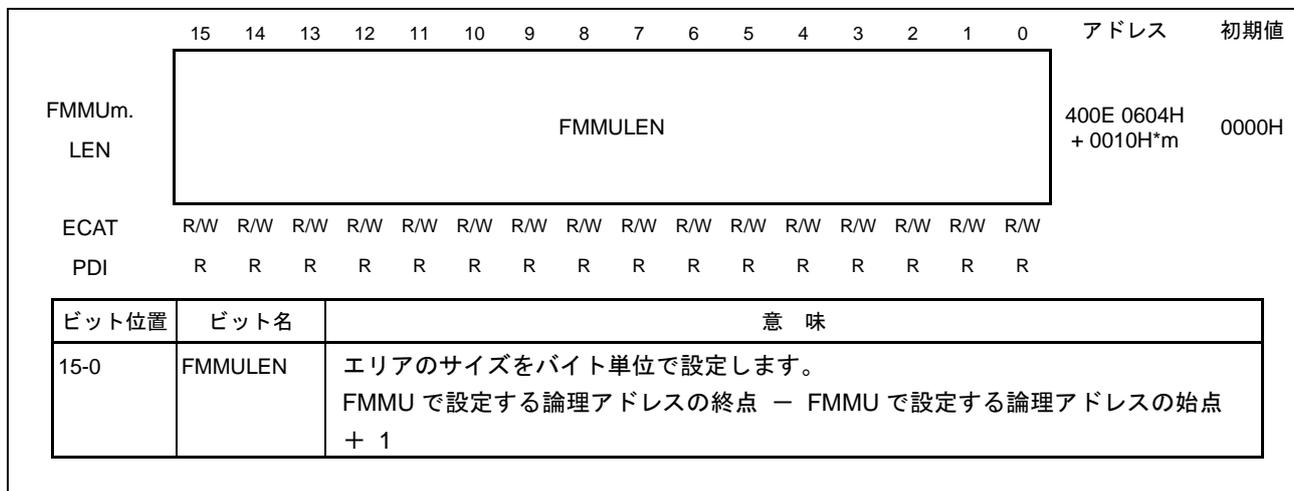
FMMU の対象となる EtherCAT アドレス空間の論理スタートアドレスを設定します。



備考. m=0-7

6.18.2 FMMU 長・レジスタ m (FMMUm.LEN)

FMMU の対象となるエリアのサイズをバイトで指定します。



備考. m=0-7

6.18.3 FMMU ロジカル・スタート・ビット・レジスタ m (FMMUm.L_START_BIT)

FMMU の対象となる論理スタートアドレスにおけるスタートビットを設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
FMMUm. L_START_BIT	0	0	0	0	0	LSTABIT			400E 0606H + 0010H*m	00H
ECAT	0	0	0	0	0	R/W	R/W	R/W		
PDI	0	0	0	0	0	R	R	R		
ビット位置	ビット名		意味							
2-0	LSTABIT		FMMU の対象となる論理スタートアドレスにおけるスタートビットを設定します。							

備考. m=0-7

6.18.4 FMMU ロジカル・ストップ・ビット・レジスタ m (FMMUm.L_STOP_BIT)

FMMU の対象となる論理最終アドレスにおける最終ビットを設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
FMMUm. L_STOP_BIT	0	0	0	0	0	LSTPBIT			400E 0607H + 0010H*m	00H
ECAT	0	0	0	0	0	R/W	R/W	R/W		
PDI	0	0	0	0	0	R	R	R		
ビット位置	ビット名		意味							
2-0	LSTPBIT		FMMU の対象となる論理最終アドレスにおける最終ビットを設定します。							

備考. m=0-7

6.18.5 FMMU フィジカル・スタート・アドレス・レジスタ m (FMMUm.P_START_ADR)

FMMU の論理スタートアドレスにマッピングされる ESC の物理スタートアドレスを設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値	
FMMUm. P_START_ADR	PHYSTAADR															400E 0608H + 0010H*m	0000H		
ECAT	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R			
ビット位置	ビット名		意味																
15-0	PHYSTAADR		論理スタートアドレスにマッピングされる物理スタートアドレスを設定します。 ベースアドレス (400E 0000H) に対するオフセットで設定します。																

備考. m=0-7

6.18.6 FMMU フィジカル・スタート・ビット・レジスタ m (FMMUm.P_START_BIT)

FMMU の論理スタートアドレスのスタートビットにマッピングされる ESC の物理スタートアドレスのスタートビットを設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
FMMUm. P_START_BIT	0	0	0	0	0	PHYSTABIT			400E 060AH + 0010H*m	00H
ECAT	0	0	0	0	0	R/W	R/W	R/W		
PDI	0	0	0	0	0	R	R	R		
ビット位置	ビット名		意味							
2-0	PHYSTABIT		論理スタートアドレスのスタートビットにマッピングされる物理スタートアドレスのスタートビットを設定します。							

備考. m=0-7

6.18.7 FMMU タイプ・レジスタ m (FMMUm.TYPE)

FMMU のアクセスタイプを設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
FMMUm. TYPE	0	0	0	0	0	0	WRITE	READ	400E 060BH + 0010H*m	00H
ECAT	0	0	0	0	0	0	R/W	R/W		
PDI	0	0	0	0	0	0	R	R		

ビット位置	ビット名	意味
1	WRITE	ライトアクセスに対するマッピングを設定します。 0: 無効 1: 有効
0	READ	リードアクセスに対するマッピングを設定します。 0: 無効 1: 有効

備考. m=0-7

6.18.8 FMMU アクティベート・レジスタ m (FMMUm.ACT)

FMMU の有効/無効を設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
FMMUm. ACT	0	0	0	0	0	0	0	ACTIVATE	400E 060CH + 0010H*m	00H
ECAT	0	0	0	0	0	0	0	R/W		
PDI	0	0	0	0	0	0	0	R		

ビット位置	ビット名	意味
0	ACTIVATE	FMMU の有効/無効を設定します。 0: 無効 1: 有効

備考. m=0-7

6.19 SyncManager 設定レジスタ

6.19.1 SyncManager フィジカル・スタート・アドレス・レジスタ m (SMm.P_START_ADR)

SyncManager に割り当てるエリアの物理スタートアドレスを設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SMm. P_START_ADR	SMSTAADDR																400E 0800H + 0008H*m	0000H
ECAT	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)		
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット位置	ビット名																意味	
15-0	SMSTAADDR																SyncManager に割り当てるエリアの物理スタートアドレスを設定します。	

備考 1. m=0-7

2. SyncManager が無効の時 (SyncManager アクティブビット・レジスタ m (SMm.ACT : 0x0806+8*m) のビット 0 が 0) のみ、本レジスタにライトすることができます。

6.19.2 SyncManager 長・レジスタ m (SMm.LEN)

SyncManager に割り当てるエリアのサイズをバイトで設定します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SMm. LEN	SMLLEN																400E 0802H + 0008H*m	0000H
ECAT	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)		
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット位置	ビット名																意味	
15-0	SMLLEN																SyncManager に割り当てるバイト数を設定します。1 より大きな値を設定してください。そうでなければ、SyncManager は有効になりません。	

備考 1. m=0-7

2. SyncManager が無効の時 (SyncManager アクティブビット・レジスタ m (SMm.ACT : 0x0806+8*m) のビット 0 が 0) のみ、本レジスタにライトすることができます。

6.19.3 SyncManager コントロール・レジスタ m (SMm.CONTROL)

SyncManager の動作を設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
SMm. CONTROL	0	WDTRGEN	IRQPDI	IRQECAT	DIR		OPEMODE		400E 0804H + 0008H*m	00H
ECAT	0	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)		
PDI	0	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
6	WDTRGEN	ウォッチドッグトリガの設定 0 : 無効 1 : 有効
5	IRQPDI	AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0x0220) による割り込み (PDI 割り込み) の設定 0 : 無効 1 : 有効
4	IRQECAT	ECAT イベント・リクエスト・レジスタ (ECAT_EVENT_REQ : 0x0210) による割り込み (ECAT 割り込み) の設定 0 : 無効 1 : 有効
3-2	DIR	転送方向 00 : リード (ECAT : リードアクセス、PDI : ライトアクセス) 01 : ライト (ECAT : ライトアクセス、PDI : リードアクセス) その他 : リザーブ
1-0	OPEMODE	動作モード 00 : バッファモード (3 バッファモード) 10 : メールボックス・モード (シングルバッファモード) その他 : リザーブ

備考 1. m=0-7
2. SyncManager が無効の時 (SyncManager アクティベイト・レジスタ m (SMm.ACT : 0x0806+8*m) のビット 0 が 0) のみ、本レジスタにライトすることができます。

6.19.4 SyncManager ステータス・レジスタ m (SMm.STATUS)

SyncManager の状態を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
SMm. STATUS	WRBUF	RDBUF	BUFFERED	MAILBOX	0	INTRD	INTWR		400E 0805H + 0008H*m	30H
ECAT	R	R	R	R	R	0	R	R		
PDI	R	R	R	R	R	0	R	R		

ビット位置	ビット名	意味
7	WRBUF	バッファがライト中であることを示します。
6	RDBUF	バッファがリード中であることを示します。
5-4	BUFFERED	バッファモードにおけるバッファの状態を示します（最後にライトしたバッファを示します） 00 : 1 番目のバッファ 01 : 2 番目のバッファ 10 : 3 番目のバッファ 11 : バッファはライトされていません。 メールボックス・モード時は未使用
3	MAILBOX	メールボックス・モードにおけるメールボックスの状態を示します。 0 : メールボックス空 1 : メールボックスフル バッファモード時は未使用
1	INTRD	リード完了割り込みを示します。 0 : バッファの先頭バイトがライトされたことを示します（割り込みはクリアされます）。 1 : バッファのリードがエラー無く完了したことを示します。
0	INTWR	ライト完了割り込みを示します。 0 : バッファの先頭バイトがリードされたことを示します（割り込みはクリアされます）。 1 : バッファのライトがエラー無く完了したことを示します。

備考. m=0-7

6.19.5 SyncManager アクティベイト・レジスタ m (SMm.ACT)

SyncManager の動作を設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
SMm. ACT	LATCHPDI	LATHECAT	0	0	0	0	REPEATREQ	SMEN	400E 0806H + 0008H*m	00H
ECAT	R/W	R/W	0	0	0	0	R/W	R/W		
PDI	R(ack)	R(ack)	0	0	0	0	R(ack)	R(ack)		

ビット位置	ビット名	意味
7	LATCHPDI	PDI におけるラッチイベント 0 : 無し 1 : PDI がバッファの交換を行うか、バッファのスタートアドレスをアクセスすれば、ラッチイベントを生成します。
6	LATHECAT	ECAT におけるラッチイベント 0 : 無し 1 : EtherCAT マスタがバッファの交換を行うと、ラッチイベントを生成します。
1	REPEATREQ	リピートリクエスト リピートリクエストのトグルは、メールボックス再試行が必要であることを意味します（主に ECAT リードメールボックスと組み合わせて使用）。
0	SMEN	SyncManager の有効/無効設定 0 : 無効。SyncManager のコントロール無しでメモリへアクセスします。 1 : 有効。SyncManager は有効となり、コンフィギュレーションで設定されたメモリ領域をコントロールします。

備考 1. m=0-7

2. アクティベーションを変更した全ての SyncManager で PDI から本レジスタをリードすると、AL イベント・リクエスト・レジスタ (AL_EVENT_REQ : 0x0220) のビット 4 はクリアされます。

6.19.6 SyncManager PDI コントロール・レジスタ m (SMm.PDI_CONT)

PDI から SyncManager の動作を設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
SMm. PDI_CONT	0	0	0	0	0	0	REPEATACK	DEACTIVE	400E 0807H + 0008H*m	00H
ECAT	0	0	0	0	0	0	R	R		
PDI	0	0	0	0	0	0	R/W	R/W		

ビット位置	ビット名	意味
1	REPEATACK	リピータクノリッジ 本ビットが SyncManager アクティベイト・レジスタ (SMm.ACT : 0x0806+8*m) のビット 1 (リピートリクエスト) と同じ値が設定されている場合、PDI はリピートリクエストをアクノリッジします。
0	DEACTIVE	SyncManager を非アクティブにします: リード: 0 : 通常動作。SyncManager は有効です。 1 : SyncManager は無効になり、リセットされています。SyncManager はメモリ領域へのアクセスをロックします。 ライト: 0 : SyncManager を有効にします。 1 : SyncManager の無効にします。 ^注

備考. m=0-7

注. 1 をライトするときは、現在処理されているフレームが通過した後に行われます。

6.20.2.7 スピード・カウンタ・ディフ・レジスタ (DC_SPEED_COUNT_DIFF)

ローカルクロックの周期とリファレンス・クロックのクロック周期の偏差を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DC_SPEED_COUNT_DIFF	SPDCNTDIFF															400E 0932H	0000H	
ECAT	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15-0	SPDCNTDIFF	ローカルクロックの周期とリファレンス・クロックのクロック周期の偏差を示します。2の補数で表されます。 範囲：± (スピード・カウンタ・スタートの値 - 0x7F)

6.20.2.8 システム・タイム・ディフ・フィルタ深さレジスタ (DC_SYS_TIME_DIFF_FIL_DEPTH)

受信したシステム・タイムの偏差を平均化するためのフィルタの深さを設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
DC_SYS_TIME_DIFF_FIL_DEPTH	0	0	0	0	SYSTMDEP				400E 0934H	04H
ECAT	0	0	0	0	R/W	R/W	R/W	R/W		
PDI	0	0	0	0	R	R	R	R		

ビット位置	ビット名	意味
3-0	SYSTMDEP	受信したシステム・タイムの偏差を平均化するためのフィルタの深さを設定します。 ライトアクセスにより、システムタイム・ディフ・レジスタ (DC_SYS_TIME_DIFF : 0x092C) がリセットされます。

6.20.2.9 スピード・カウンタ・フィルタ深さレジスタ (DC_SPEED_COUNT_FIL_DEPTH)

クロック周期の偏差を平均化するためのフィルタの深さを設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
DC_SPEED_COUNT_FIL_DEPTH	0	0	0	0	CLKPERDEP				400E 0935H	0CH
ECAT	0	0	0	0	R/W	R/W	R/W	R/W		
PDI	0	0	0	0	R	R	R	R		

ビット位置	ビット名	意味
3-0	CLKPERDEP	クロック周期の偏差を平均化するためのフィルタの深さを設定します。 ライトアクセスにより、内部スピード・カウンタ・フィルタがリセットされます。

6.20.3 サイクリック・ユニット・コントロール設定レジスタ

6.20.3.1 サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT)

SYNC、ラッチユニットを ECAT/PDI のどちらでコントロールするかを設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
DC_CYC_CONT	0	0	LATCH1	LATCH0	0	0	0	SYNCOUT	400E 0980H	00H
ECAT	0	0	R/W	R/W	0	0	0	R/W		
PDI	0	0	R	R	0	0	0	R		

ビット位置	ビット名	意味
5	LATCH1	ラッチ入力ユニット1のコントロールを設定します。 0: ECAT コントロール 1: PDI コントロール 注: ラッチ割り込みは、この設定に応じて ECAT/PDI に伝えられます。
4	LATCH0	ラッチ入力ユニット0のコントロールを設定します。 0: ECAT コントロール 1: PDI コントロール 注: ラッチ割り込みは、この設定に応じて ECAT/PDI に伝えられます。
0	SYNCOUT	SYNC 出力ユニットのコントロールを設定します。 0: ECAT コントロール 1: PDI コントロール

6.20.4 SYNC 出力ユニット設定レジスタ

6.20.4.1 アクティベーション・レジスタ (DC_ACT)

SYNC 出力の有効/無効の設定を行います。

	7	6	5	4	3	2	1	0	アドレス	初期値
DC_ACT	DBGPULSE	NEARFUTURE	STARTTIME	EXTSTARTTIME	AUTOACT	SYNC1	SYNC0	SYNCACT	400E 0981H	00H
ECAT	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)		
PDI	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)		

ビット位置	ビット名	意味
7	DBGPULSE	SYNC 信号デバッグパルスが発生します。 0: 無効 1: 本レジスタのビット 2 と 1 の設定に応じて、即時に SYNC0 と SYNC1 端子にシングルデバッグピングを生成します。 このビットはセルフクリアで、リードは常に 0 です。
6	NEARFUTURE	ニア・フューチャーの範囲を設定します。 0: 2 ⁶³ ns の範囲 (DC のビット幅の半分) 1: 2 ³¹ ns の範囲 (約 2.1 秒)
5	STARTTIME	スタートタイムの妥当性をチェックします。 0: 無効。スタートタイムに到達した場合 Sync 信号を生成します。 1: スタートタイムがニア・フューチャーの範囲外の場合、すぐに Sync 信号を生成します。
4	EXTSTARTTIME	スタート・タイム・サイクリック・オペレーションを拡張させます。 0: 拡張なし 1: 32 bit でライトされたスタートタイムを 64 bit に拡張します。
3	AUTOACT	スタート・タイム・サイクリック・オペレーション・レジスタ (DC_CYC_START_TIME: 0x0990) にライトすることで自動的に SYNC 出力ユニットを有効にするかを設定します。 0: 無効 1: 有効。スタートタイムをライトした後に自動的に本レジスタのビット 0 に 1 が設定されます。
2	SYNC1	SYNC1 出力の使用を設定します。 0: 未使用 1: SYNC1 パルス出力を生成します。
1	SYNC0	SYNC0 出力の使用を設定します。 0: 未使用 1: SYNC0 パルス出力を生成します。
0	SYNCACT	Sync 出力ユニットの有効/無効を設定します。 0: 無効 1: 有効 注: スタートタイムをライトした後に 1 をライトして下さい。

備考. 本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT:0x0980) のビット0の設定により決まります。

6.20.4.2 SYNC 信号パルス長レジスタ (DC_PULSE_LEN)

SYNC 信号のパルス長を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DC_PULSE_LEN	PULSELEN															400E 0982H	0000H ^注	
ECAT	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット位置	ビット名	意味
15-0	PULSELEN	SYNC 信号のパルス長を示します (10ns 単位)。 0 はアクノリッジ・モードです。アクノリッジ・モードでは SYNC0/SYNC1 ステータス・レジスタ (DC_SYNC0/1_STAT : 0x098E:0x098F) をリードすることで SYNC 信号はクリアされます。

注. EEPROM をロードするまでの初期値です。その後 EEPROM のアドレス 0x0002 に格納されている値になります。電源投入またはリセット後の最初の EEPROM ロード時のみ値が取り込まれます。

6.20.4.3 アクティベーション・ステータス・レジスタ (DC_ACT_STAT)

SYNC 出力のアクティベーションの状態を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
DC_ACT_STAT	0	0	0	0	0	STARTTIME	SYNC1ACT	SYNC0ACT	400E 0984H	00H
ECAT	0	0	0	0	0	R	R	R		
PDI	0	0	0	0	0	R	R	R		

ビット位置	ビット名	意味
2	STARTTIME	SYNC 出力ユニットが有効の時、スタートタイム・サイクリック・オペレーション・レジスタ (DC_CYC_START_TIME : 0x0990) の妥当性チェックの結果を示します。 0 : スタートタイムはニア・フューチャーの範囲内 1 : スタートタイムはニア・フューチャーの範囲外
1	SYNC1ACT	SYNC1 のアクティベーションの状態を示します。 0 : 最初の SYNC1 パルスはペンディングしていない。 1 : 最初の SYNC1 パルスはペンディングしています。
0	SYNC0ACT	SYNC0 のアクティベーションの状態を示します。 0 : 最初の SYNC0 パルスはペンディングしていない。 1 : 最初の SYNC0 パルスはペンディングしています。

6.20.4.4 SYNC0 ステータス・レジスタ (DC_SYNC0_STAT)

SYNC0 出力のステータスを示します。アクリッジ・モードで使用されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
DC_SYNC0_										
STAT	0	0	0	0	0	0	0	SYNC0STA	400E 098EH	00H
ECAT	0	0	0	0	0	0	0	R		
PDI	0	0	0	0	0	0	0	R(ack)		

ビット位置	ビット名	意味
0	SYNC0STA	アクリッジ・モード用の SYNC0 の状態を示します。 アクリッジ・モードで PDI から本レジスタをリードすることにより、SYNC0 はクリアされます。アクリッジ・モードでのみ使用します。

6.20.4.5 SYNC1 ステータス・レジスタ (DC_SYNC1_STAT)

SYNC1 出力のステータスを示します。アクリッジ・モードで使用されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
DC_SYNC1_										
STAT	0	0	0	0	0	0	0	SYNC1STA	400E 098FH	00H
ECAT	0	0	0	0	0	0	0	R		
PDI	0	0	0	0	0	0	0	R(ack)		

ビット位置	ビット名	意味
0	SYNC1STA	アクリッジ・モード用の SYNC1 の状態を示します。 アクリッジ・モードで PDI から本レジスタをリードすることにより、SYNC1 はクリアされます。アクリッジ・モードでのみ使用します。

6.20.5.2 ラッチ 1 コントロール・レジスタ (DC_LATCH1_CONT)

ラッチ 1 入力のエッジの機能を設定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
DC_LATCH1_										
CONT	0	0	0	0	0	0	NEGEDGE	POSEDGE	400E 09A9H	00H
ECAT	0	0	0	0	0	0	R/(W)	R/(W)		
PDI	0	0	0	0	0	0	R/(W)	R/(W)		

ビット位置	ビット名	意味
1	NEGEDGE	ラッチ 1 のネガティブエッジの機能を設定します。 0 : 連続ラッチアクティブ 1 : シングルイベント (最初のイベントのみアクティブ)
0	POSEDGE	ラッチ 1 のポジティブエッジの機能を設定します。 0 : 連続ラッチアクティブ 1 : シングルイベント (最初のイベントのみアクティブ)

備考. 本レジスタへのライトは、サイクリック・ユニット・コントロール・レジスタ (DC_CYC_CONT:0x0980) のビット 5 の設定により決まります。

6.20.5.3 ラッチ 0 ステータス・レジスタ (DC_LATCH0_STAT)

ラッチ 0 入力の状態を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
DC_LATCH0_STAT	0	0	0	0	0	PINSTATE	EVENTNEG	EVENTPOS	400E 09AEH	00H
ECAT	0	0	0	0	0	R	R	R		
PDI	0	0	0	0	0	R	R	R		

ビット位置	ビット名	意味
2	PINSTATE	ラッチ 0 入力端子の状態を示します。
1	EVENTNEG	ラッチ 0 入力のネガティブエッジのイベントを示します。 0: ネガティブエッジが検出されない、あるいは連続モードです。 1: ネガティブエッジはシングルイベントモードのみ検出されました。 ラッチ 0 タイム・ネガティブ・エッジ・レジスタ (DC_LATCH0_TIME_NEG : 0x09B8) をリードすることでフラグはクリアされます。
0	EVENTPOS	ラッチ 0 入力のポジティブエッジのイベントを示します。 0: ポジティブエッジが検出されない、あるいは連続モードです。 1: ポジティブエッジはシングルイベントモードのみ検出されました。 ラッチ 0 タイム・ポジティブ・エッジ・レジスタ (DC_LATCH0_TIME_POS : 0x09B0) をリードすることでフラグはクリアされます。

6.20.5.4 ラッチ 1 ステータス・レジスタ (DC_LATCH1_STAT)

ラッチ 1 入力の状態を示します。

	7	6	5	4	3	2	1	0	アドレス	初期値
DC_LATCH1_STAT	0	0	0	0	0	PINSTATE	EVENTNEG	EVENTPOS	400E 09AFH	00H
ECAT	0	0	0	0	0	R	R	R		
PDI	0	0	0	0	0	R	R	R		

ビット位置	ビット名	意味
2	PINSTATE	ラッチ 1 入力端子の状態を示します。
1	EVENTNEG	ラッチ 1 入力のネガティブエッジのイベントを示します。 0 : ネガティブエッジが検出されない、あるいは連続モードです。 1 : ネガティブエッジはシングルイベントモードのみ検出されました。 ラッチ 1 タイム・ネガティブ・エッジ・レジスタ (DC_LATCH1_TIME_NEG : 0x09C8) をリードすることでフラグはクリアされます。
0	EVENTPOS	ラッチ 1 入力のポジティブエッジのイベントを示します。 0 : ポジティブエッジが検出されない、あるいは連続モードです。 1 : ポジティブエッジはシングルイベントモードのみ検出されました。 ラッチ 1 タイム・ポジティブ・エッジ・レジスタ (DC_LATCH1_TIME_POS : 0x09C0) をリードすることでフラグはクリアされます。

6.20.6 SyncManager イベント・タイム設定レジスタ

6.20.6.1 EtherCAT バッファ・チェンジ・イベント・タイム・レジスタ (DC_EC_CNG_EV_TIME)

SyncManager による ECAT イベント (バッファの交換) を引き起こすフレームを受信開始したローカルの時刻を示します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
DC_EC_CNG_EV_TIME	ECATCHANGE																										400E 09F0H 初期値 0000 0000H							
ECAT	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
31-0	ECATCHANGE	一つ以上の SyncManager によって、ECAT イベント (バッファの交換) を引き起こすフレームを受信開始したローカルの時刻を示します。

備考. ビット 7-0 がリードされる時、ビット 31-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

6.20.6.2 PDI バッファ・スタート・イベント・タイム・レジスタ (DC_PDI_START_EV_TIME)

SyncManager による PDI イベント (バッファのスタートアドレスへのアクセス) が発生したときのローカル時刻を示します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
DC_PDI_START_EV_TIME	PDISTART																										400E 09F8H 初期値 0000 0000H							
ECAT	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
PDI	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
31-0	PDISTART	一つ以上の SyncManager によって、PDI イベント (バッファのスタートアドレスへのアクセス) が発生したときのローカル時刻を示します。

備考. ビット 7-0 がリードされる時、ビット 31-8 は内部的に ECAT/PDI とは独立にラッチされます。それにより、一致した値をリードすることが保証できます。

6.21.3 ユーザ RAM (USER_RAM)

IP コアのコンフィギュレーションに依存する機能のサポートの有無を示します。400E 0F80H から 400E OFFFH までの 128B のサイズです。初期値が 1 の機能がサポートされています。ただし、ビット 7-0 はユーザ RAM 内で定義されたビット数を表しており、本 LSI では 33H を示します。

ビット位置	説明	初期値
7-0	拡張された機能定義のビット数。本 LSI では 51 ビットです。	33H
8	拡張 DL コントロール・レジスタ (0x0102:0x0103)	1
9	AL ステータス・コード・レジスタ (0x0134:0x0135)	1
10	ECAT イベント・マスク (0x0200:0x0201)	1
11	コンフィギュアド・ステーション・エイリアス (0x0012:0x0013)	1
12	汎用入力 (0x0F18:0x0F1F)	0
13	汎用出力 (0x0F10:0x0F17)	0
14	AL イベント・マスク (0x0204:0x0207)	1
15	フィジカル・リード/ライト・オフセット (0x0108:0x0109)	1
16	ウォッチドッグ・ディバイダ書き込み可能 (0x0400:0x0401) とウォッチドッグ PDI (0x0410:0x0f11)	1
17	ウォッチドッグ・カウンタ (0x0442:0x0443)	1
18	ライト・プロテクション (0x0020:0x0031)	1
19	リセット (0x0040:0x0041)	1
20	Reserved	0
21	DC SyncManager イベント・タイム (0x09F0:0x09FF)	1
22	ECAT プロセッシング・ユニット/PDI エラーカウンタ (0x030C:0x030D)	1
23	EEPROM サイズ設定可能 (0x0502.7) 0 : EEPROM サイズは 16 キロビットまでのサイズに固定されます 1 : EEPROM サイズ変更可能	1
26-24	Reserved	0
27	ロストリンク・カウンタ (0x0310:0x0313)	1
28	MII マネージメント・インタフェース (0x0510:0x0515)	1
29	エンハンスド・リンク・ディテクション MII	1
30	エンハンスド・リンク・ディテクション EBUS	0
31	RUN LED	1
32	リンク/アクティビティ LED	1
33	Reserved	0
35-34	Reserved	1
36	Reserved	0
37	Reserved	1
38	PDI に割り当てられた DC タイム・ループ・コントロール	0
39	MI によるリンク検出と構成 (MI リンク・ディテクション・アンド・コンフィギュレーション)	1
40	PDI による MI コントロール	1
41	自動 TX シフト	1
42	EEPROM エミュレーション	0
49-43	Reserved	0
50	ERR LED, RUN/ERR LED オーバーライド	1
その他	Reserved	Reserved

6.21.4 プロセスデータ RAM (DATA_RAM)

プロセスデータ、Mailbox に使用されます。400E 1000H から 400E 2FFFH までの 8KB のサイズです。

EEPROM が正常にロードされた場合のみ (ESC DL ステータス・レジスタ (ESC_DL_STATUS : 0x0110) のビット 0 が 1 の場合のみ)、プロセスデータ RAM はアクセスが可能になります。

6.22 リセット回路の構成

ESC のリセット回路の構成を図6.2に示します。ECAT によるリセット要求 (0x0040) あるいは PDI によるリセット要求 (0x0041) を受けると、ESC は停止し、ESC からのリセット出力が 1 になります。ESC からのリセット出力により内蔵のイーサネット PHY も自動的にリセットされます (ハードウェア・パワーダウンモード)。同時に INTECATRST 割り込みが発生し、CATRESETOUT 出力端子が High を出力します。

ESC のリセットを解除するためには、INTECATRST 割り込み検出後に、CATRESET レジスタの CATRST ビットを 1→0→1 に切り替える必要があります。なお、ESC のリセット入力が 1→0 になるタイミングで ESC のリセット出力が 0 になり、イーサネット PHY へのリセット入力がクリアされます。イーサネット PHY のリセット入力幅として 100us 以上確保するように、CATRESET レジスタの設定のタイミングを調整して下さい。タイミングチャートを図6.3に示します。

また、ECAT/PDI によるリセット要求 (0x0040/0x0041) でなく、CATRESET レジスタ単独で ESC をリセットすることも可能です。この場合、イーサネット PHY のリセットは自動では行われません。ESC がリセット状態のときには、イーサネット PHY はリセット状態である必要があるため、CATRESET レジスタで ESC をリセットする前に PHYMD レジスタの PxPHYEN ビットでイーサネット PHY をハードウェア・パワーダウンモードにしてリセットして下さい。タイミングチャートを図6.4に示します。

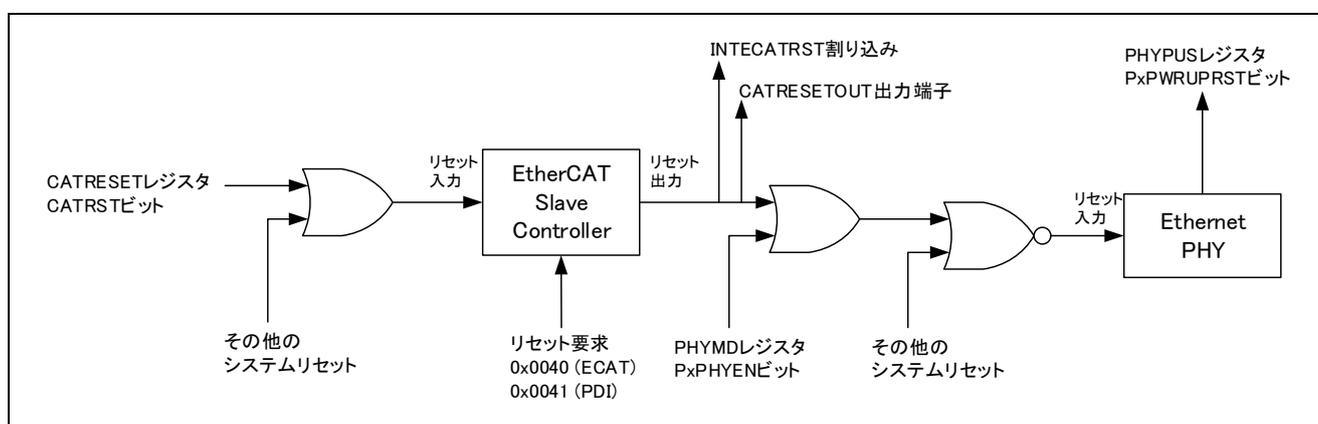


図6.2 EtherCAT スレーブ・コントローラのリセット回路の構成

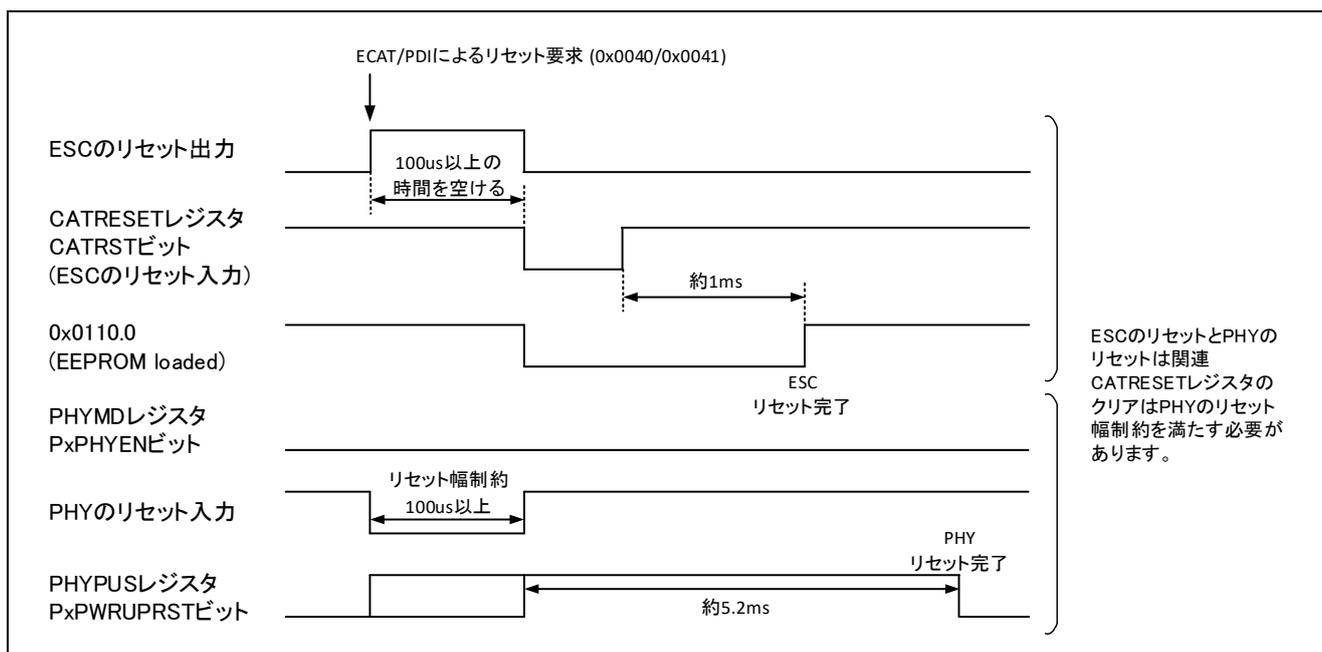


図6.3 EtherCATスレーブ・コントローラのリセットタイミング (ECAT/PDIによるリセット要求時)

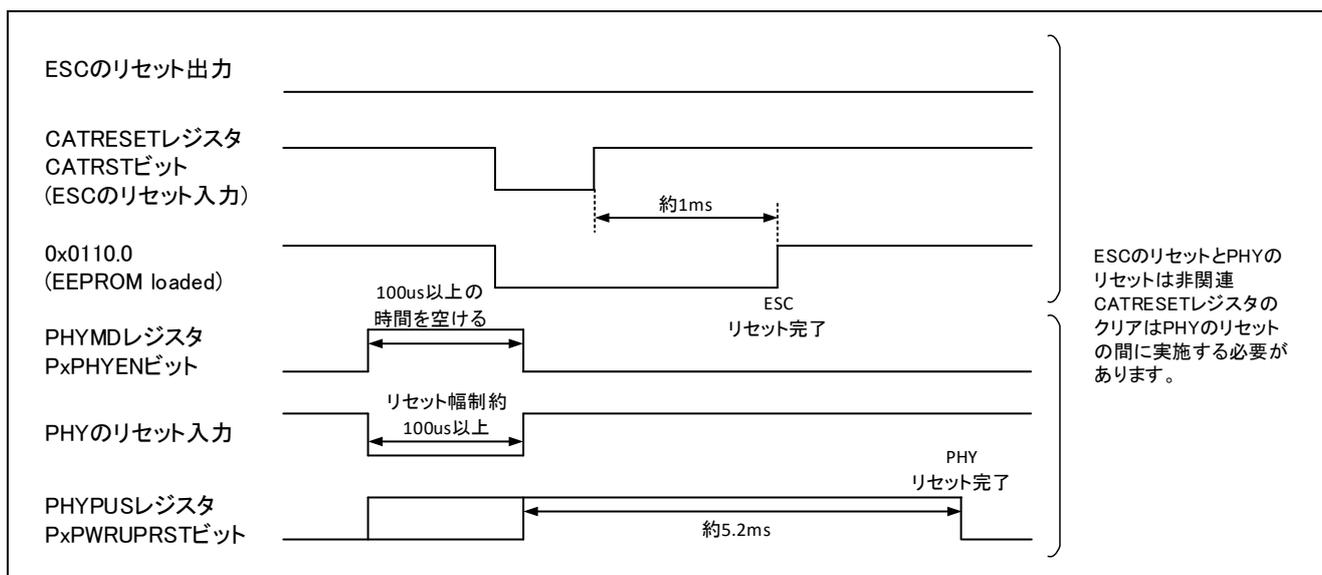


図6.4 EtherCATスレーブ・コントローラのリセットタイミング (CATRESETレジスタでのリセット時)

7. イーサネット PHY 機能

7.1 特徴

10BASE-T, 100BASE-TX/FX に対応する、IEEE802.3 準拠デュアルポートイーサネット物理層 (PHY) を内蔵しています。外部パルストラランス経由での UTP ケーブル接続と光トランシーバ経由での光ファイバ接続が可能です。産業ネットワークで使用されるデジチェーン構造やリング構造に対応が可能です。

- IEEE802.3 準拠の 10BASE-T, 100BASE-TX および 100BASE-FX に対応
- 2ポート搭載
- オート・ネゴシエーション対応
- 全二重通信および半二重通信対応
- 自動 MDI/MDI-X 対応
- シリアルマネージメント・インタフェース (MDC/MDIO) 対応
- 低レイテンシ機能
- クイック・オート・ネゴシエーション機能
- ケーブル診断機能
- Fast link-loss 検出機能 (BER モニタ、FEQ モニタ)

注意.1 EtherCAT Slave Controller を使用する場合は 100BASE-FX には対応していません。100BASE-TX を使用してください。

2 EthreCAT P には対応していません。★

7.2 特殊機能

7.2.1 低レイテンシ機能

LINE インタフェースから MII インタフェースへ Ethernet のフレームが PHY を通過するために必要な時間 (レイテンシ) を短縮することが可能です (低レイテンシ・モード)。Ethernet のフレームはプリアンブルから始まり、このプリアンブルは LINE 側のシンボル (5B) で 11000 (J) と 10001 (K) のシンボルから開始されます。一般的な Ethernet に準拠したデバイスでは、J と K の 2 つのシンボルを検出することでプリアンブルのスタートと認識します。一方、低レイテンシ・モードにおいては、J のシンボルのみを検出した段階でプリアンブルのスタートと認識します。つまりこの時点で RX_DV 信号をアサートします。これによりレイテンシを 40ns 短縮することが可能となります。もしビット・エラーにより誤って J のシンボルが検出されて、次の K のシンボルが受信されない場合は、RX_ER 信号がアサートされ、受信は継続されます。

レジスタ 31 のビット 1 (RX_DV_J2T ビット) を 1 にセットすることで低レイテンシ・モードを有効にできます。

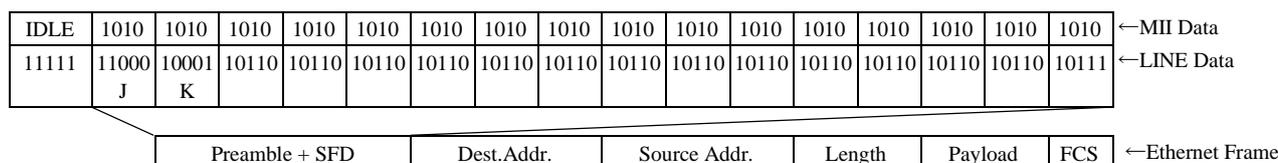


図7.1 イーサネットフレームのプリアンブル

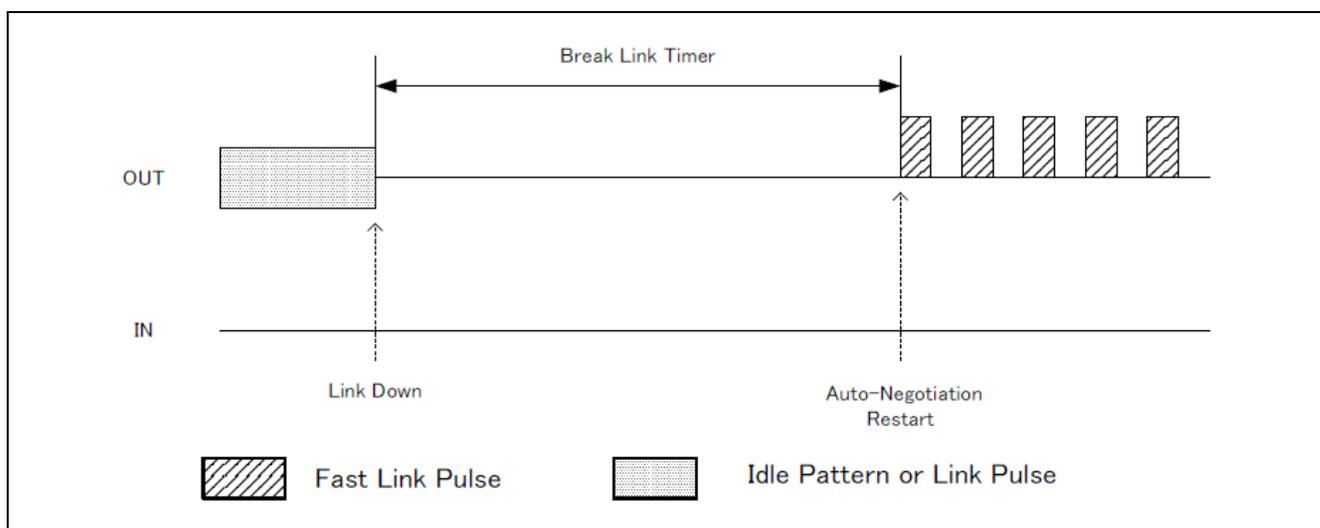
7.2.2 クイック・オート・ネゴシエーション機能

オート・ネゴシエーションを IEEE802.3 の規定時間より短時間で完了させて高速にリンク・アップする、クイック・オート・ネゴシエーション機能をもっています。

オート・ネゴシエーション・ステートマシンのうち、下記の3つの要素のタイマ時間を短縮することで、クイック・オート・ネゴシエーションに対応した PHY 同士であれば、通常より短時間でオート・ネゴシエーションを完了することができます。時間を短縮することができるのは、下記の3種類のタイマになります。

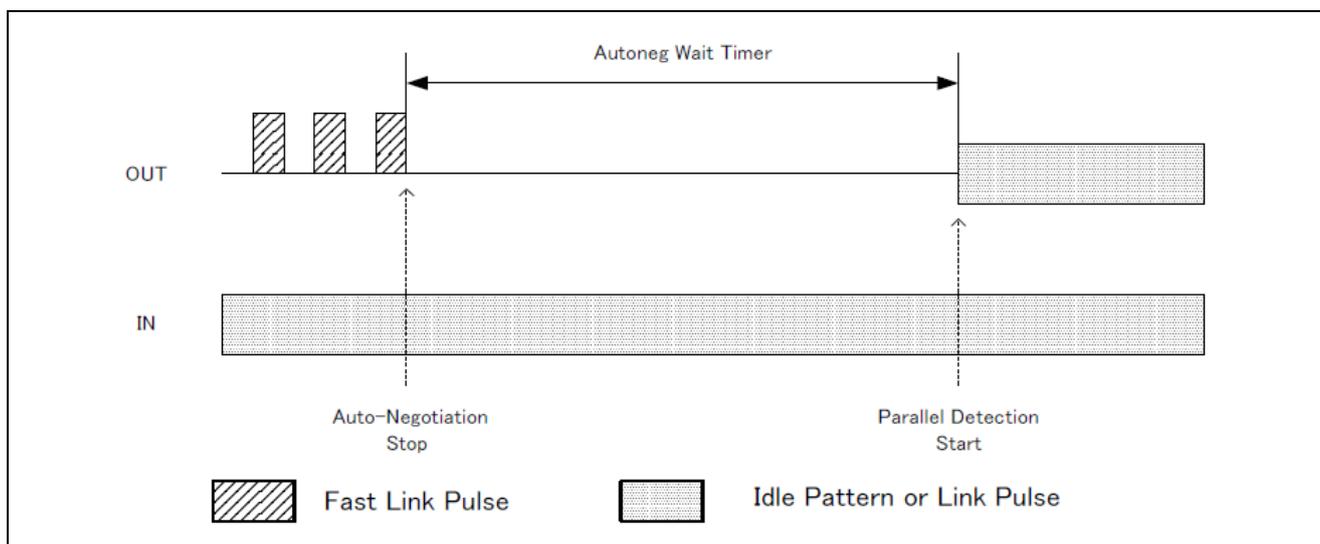
- Break Link Timer

PHY がリンク・ダウン状態となつてから、オート・ネゴシエーションを再開するまでの時間を定義するものです。通常は 1250ms です。



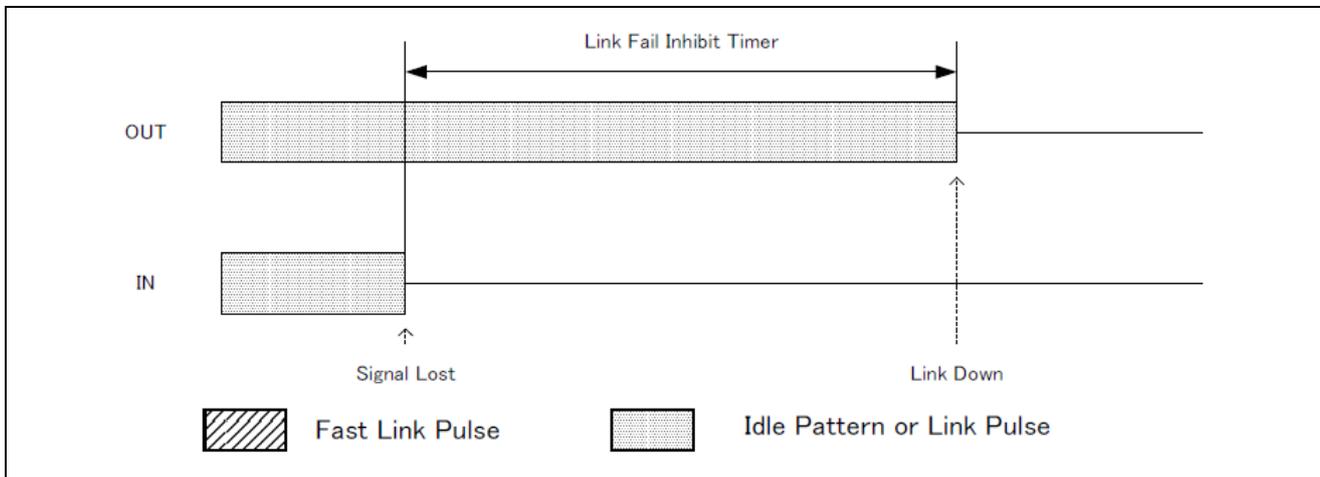
- Autonego Wait Timer

オート・ネゴシエーションを中断し、パラレル検出に移行するまでの待機時間を定義するものです。通常は 850ms です。



● Link Fail Inhibit Timer

接続相手からの信号が切断もしくは異常な状態となったとき、リンク・ダウンと判断するまでの時間を定義するものです。通常は 850ms です。



レジスタ 18 のビット 8-5 (PHY_MODE[3:0]ビット) を設定することで、3 種類のタイマの値を設定できます。なお、PHY_MODE[3]が 0 のときは、PHY_MODE[1:0]の値は反映されません。本機能を使用する場合は、PHY_MODE[3]を 1 に設定してください。

PHY_MODE[3]	PHY_MODE[1:0]	Break Link Timer	Autoneg Wait Timer	Link Fail Inhibit Timer
0	XX	1250ms	850ms	850ms
1	00	80ms	35ms	50ms
1	01	120ms	50ms	75ms
1	10	240ms	100ms	150ms
1	11	1250ms	850ms	850ms

7.2.3 ケーブル診断機能（TDR 機能）

ケーブル診断機能（TDR 機能）は、イーサネットケーブルに断線やショートなどの異常が発生した時に、異常発生場所と異常の種類を検出するための診断機能です。イーサネットケーブルに対してパルスを出力し、ケーブル端で反射してくるパルス波形が戻ってくるまでの時間を計測、その遅延時間から異常発生個所の距離を、極性からショートもしくはオープンいずれの状態であるかを判定します。

検出の仕組みを以下に示します。図中の①はテストパルスの幅、②は反射パルスを検出するためのしきい値で、レジスタにより設定することができます。ケーブルが切断されている（ケーブル端がオープン）ときは、図7.2のように送信したパルスが同じ極性で減衰して戻ってきます。ケーブルが短絡している（ケーブル端がクローズ）ときは、図7.3のように送信したパルスとは逆相になったものが、減衰して戻ってきます。

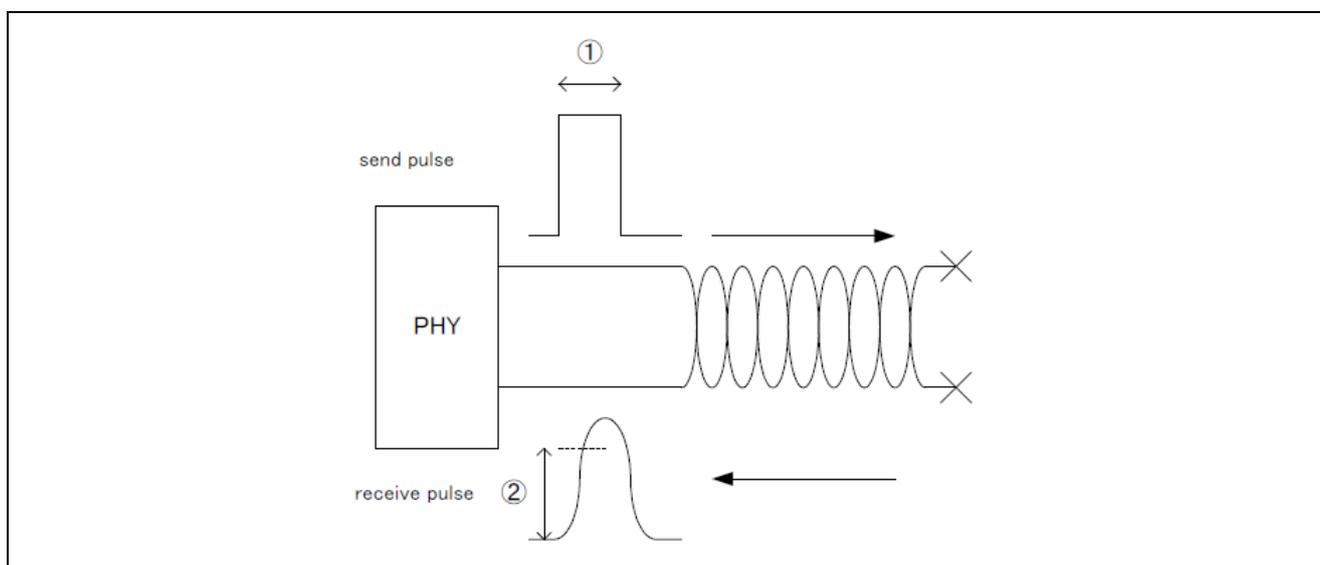


図7.2 ケーブル切断時の動作

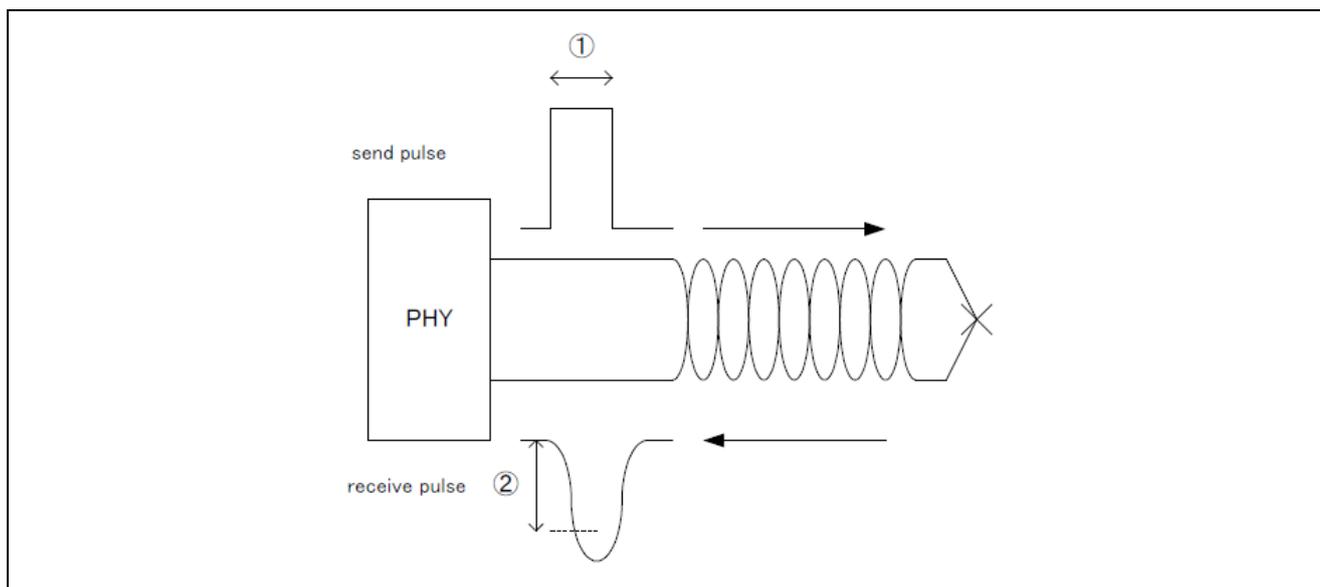


図7.3 ケーブル短絡時の動作

TDR 機能の操作は、レジスタ 25 およびレジスタ 26 を使用して行います。以下に、その手順を示します。

最初にオート・ネゴシエーションとオート・クロスオーバーを無効にし、100Base-Half Duplex に設定する必要があります。この制御を行わない場合、正しく測定することができません。次に、TX ラインと RX ラインのどちらを測定するのか、送信パルスとパルス検出に関わるパラメータを、レジスタに設定します。設定完了後、DIAG_INIT ビットに 1 を書き込むことでパルスが送出され、測定が行われます。測定が完了すると、DIAG_DONE ビットが 1 になります。このとき、DIAGCNT レジスタにはパルスを検出した時のカウンタの値が、DIAG_POL レジスタにはオープンかショートかの情報が保存されています。

下記に、測定を行う際のパラメータの設定例を示します。ただし、ハードウェアの構成や設置環境によっては、若干のパラメータ調整が必要となる場合がありますので注意してください。

No.	ケーブル長	ADC_TRIGGER	CNT_WINDOW	PW_DIAG	カウンタ値の条件
1	20m 以下	10	15	2	DIAGCNT ≠ 255 and DIAGCNT ≤ 42
2	20m~40m	10	30	8	DIAGCNT ≠ 255 and 32 ≤ DIAGCNT ≤ 68
3	40m~60m	8	50	8	DIAGCNT ≠ 255 and 56 ≤ DIAGCNT ≤ 88
4	60m~80m	8	60	12	DIAGCNT ≠ 255 and 78 ≤ DIAGCNT ≤ 114
5	80m 以上	8	75	12	DIAGCNT ≠ 255 and 106 ≤ DIAGCNT

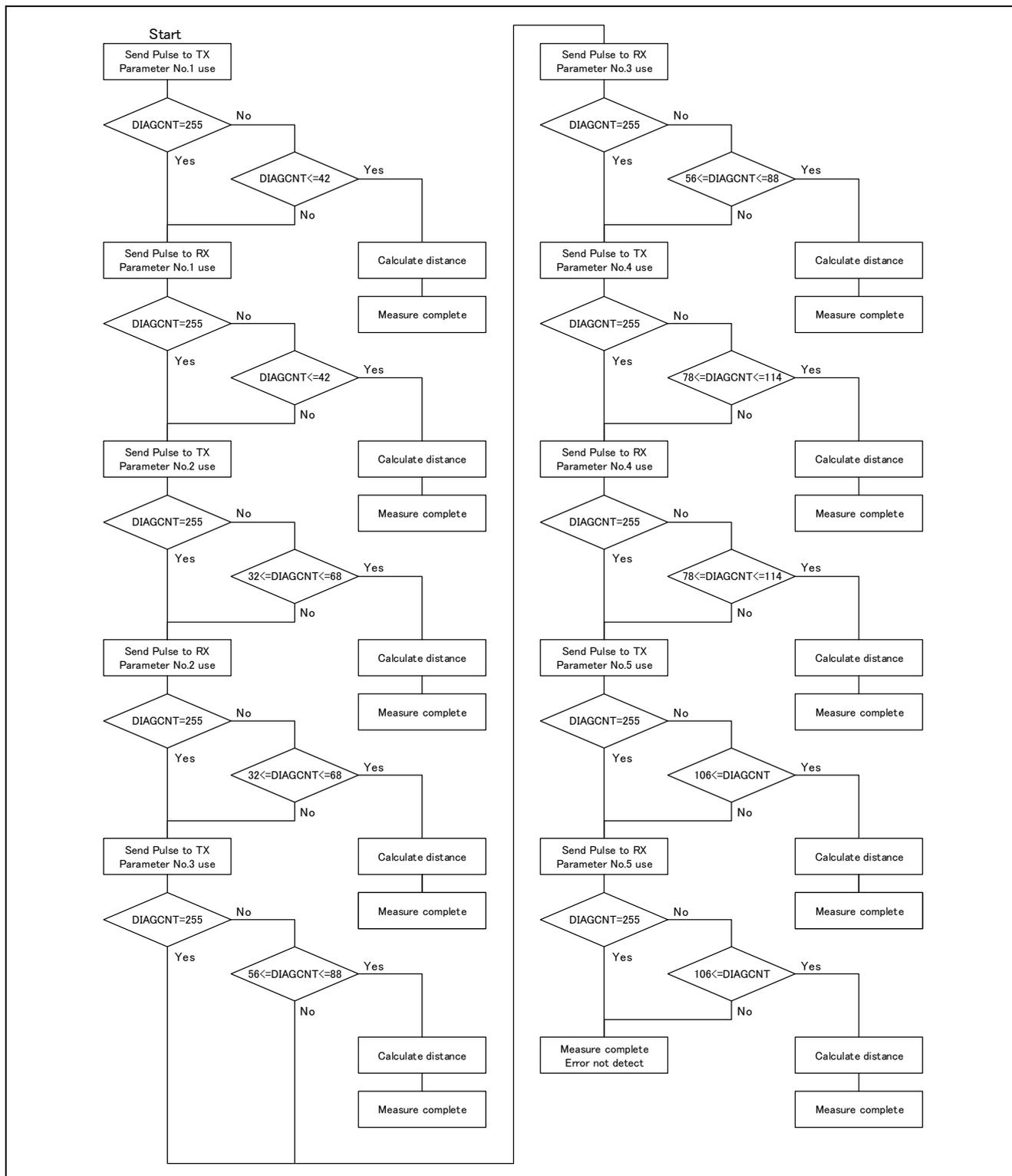


図7.4 ケーブル診断処理フロー

7.2.4 Fast link-loss 検出機能

通信の状態をモニタして、通信状態が悪い場合には、早めに割り込みを発生させたり、リンクをダウンさせることができます。BER モニタと FEQ モニタの 2 種類の機能を備えています。

(1) BER モニタ

ビットエラーレート (BER) モニタ機能は、指定した時間あたりのビット・エラーを測定し、エラー数をカウント、通知することができる機能です。しきい値を超えたことをトリガとしてリンク・ダウンさせたり、割り込みを出力して CPU に伝えたりすることができます。エラーとされる要素は IDLE 状態とデータ通信状態で異なり、下記のようになります。

- 通信が行われていない IDLE 状態では、IDLE シンボルもしくはフレームの開始を意味する J シンボル以外を受信したときに、ビット・エラーが発生していると判断してエラーをカウントします。正常なシンボルを挟まずにエラーシンボルを連続で受信した場合は、エラーのカウントは 1 回とみなします。
- 通信が行われているときは、32 種類のシンボルのうち、データコードグループ、IDLE コードグループ、コントロールコードグループ以外のシンボルを受信したとき、ビット・エラーが発生したと判断してエラーをカウントします。エラーのシンボルを受信する毎にエラーをカウントします。

BER モニタ機能の操作は、レジスタ 23 を使用して行います。以下に、その手順を示します。

まず、BER_LNK_OK を読み出してポートがリンク状態であるかどうかを確認します。リンク・ダウン状態のときは正しく動作しないので注意が必要です。リンク状態であることを確認したら、BER_CNT_LNK_EN, BER_CNT_TRIG, BER_WINDOW の各パラメータを設定します。BER_WINDOW に 0 以外を書き込むことで、エラー検出機能が動作を開始します。BER_WINDOW で指定した時間内に、BER_CNT_TRIG で指定したしきい値を超える数のエラーを検出すると、割り込みが発生します。割り込みを使用する場合は、上記パラメータを設定する前に、レジスタ 30 のビット 10 に 1 を書き込んで割り込みマスクを解除してください。BER 機能の動作を終了させるときは、BER_WINDOW に 0 を書き込んでください。割り込みを使用していた場合は、レジスタ 30 のビット 10 に 0 を書き込んで割り込みをマスクしてください。

(2) FEQ モニタ

受信データを安定して受け取るために、PHY 内部にある DSP にて受信信号をフィルタリングすることで最適化を行っています。FEQ とはこのフィルタの係数のことで、受信している信号の振幅が変化するとき大きく値が変動します。この変動量を監視し、あらかじめ設定したしきい値を超える変動を検出した際に割り込みを出力させたり、リンク・ダウンさせることができます。

FEQ モニタ機能の操作は、レジスタ 24 を使用して行います。以下に、その手順を示します。

まず、FEQ_DELTA に検出したい変化量を設定します。この FEQ_DELTA に 0xFFFF を書き込んで FEQ_VAL を読み出すと、書き込んだ時点でのリファレンス値を参照することができます。FEQ_DELTA に変化量のしきい値を設定すると FEQ モニタ機能が動作を始めます。現在の FEQ モニタ値がいくつであるかは、FEQ_VAL を読み出すことで知ることができます。FEQ_VAL の値が設定したしきい値を超えるほど変化すると、割り込みが発生します。割り込みを使用する場合は、上記パラメータを設定する前に、レジスタ 30 のビット 9 に 1 をライトして割り込みマスクを解除してください。FEQ モニタ機能を終了させるときは、FEQ_DELTA に 0xFFFF を書き込んでください。割り込みを使用していた場合は、レジスタ 30 のビット 9 に 0 を書き込んで割り込みをマスクしてください。

7.3 パワーダウン・モード

ハードウェア・パワーダウンモード、ソフトウェア・パワーダウンモード、エネルギー検出パワーダウン・モードの3種類のパワーダウン・モードの機能を有しています。それぞれのパワーダウン・モードについて説明します。

7.3.1 ハードウェア・パワーダウンモード

イーサネットPHY動作モード制御レジスタ (PHYMD) のビット2 (POPHYEN) あるいはビット5 (P1PHYEN) を1にセットすることによって、ハードウェア・パワーダウンモードに移行します。ハードウェア・パワーダウンモードではイーサネットPHYは全く動作しません。MII マネージメント・レジスタにもアクセスできません。ポートの消費電力はほぼ0になります。ハードウェア・パワーダウンモードから復帰させるには、イーサネットPHY動作モード制御レジスタ (PHYMD) のビット2 (POPHYEN) あるいはビット5 (P1PHYEN) を0にセットします。ハードウェア・パワーダウンモードから復帰するとき、イーサネットPHYは全てのアナログ回路とデジタル回路を初期化します。MII マネージメント・レジスタも全て初期化されます。ハードウェア・パワーダウンモードは少なくとも100us以上設定して下さい。

7.3.2 ソフトウェア・パワーダウンモード

イーサネットPHY内蔵のMII マネージメント・レジスタ0のビット11 (POWERDOWN) を1にセットすることによって、ソフトウェア・パワーダウン・モードに移行します。ソフトウェア・パワーダウンモードの移行中とソフトウェア・パワーダウンモード中は、イーサネットPHYはIDLE信号を出力しません。ソフトウェア・パワーダウンモード中、MII マネージメント・レジスタにはアクセスでき、イーサネットPHYを制御することは可能です。ソフトウェア・パワーダウンモードから復帰させるには、MII マネージメント・レジスタ0のビット11 (POWERDOWN) を0にセットすることによってソフトウェア・パワーダウンモードを終了し通常モードに復帰します。ソフトウェア・パワーダウンモード終了時、イーサネットPHYはそのデジタル回路を自動的に初期化します。ただし、MII マネージメント・レジスタの一部のビットは初期値されないことを注意してください。7.4 イーサネットPHY内蔵MII マネージメント・レジスタにおいて、“NASR”と記載されたビットが対象です。

7.3.3 エネルギー検出パワーダウン・モード

イーサネットPHY内蔵のMII マネージメント・レジスタ17のビット13 (EDPWRDOWN) を1にセットすることでエネルギー検出パワーダウン・モードに移行します。オート・ネゴシエーションが有効の際にはエネルギー検出パワーダウン・モードには移行しませんので注意してください。このモードでは、イーサネットPHYに対してリンクパルスやパケット信号の入力がないとき、シリアルマネージメント・インタフェースのような幾つかのモジュールを除いてパワーダウンされ、イーサネットPHYは何も出力しないようになります。この状態でイーサネットPHYに対してリンクパルスやパケット信号が入力されると、イーサネットPHYはエネルギー検出パワーダウン・モードになる前の速度に自動的にリセットします。その際、最初とおそらくその次のパケット信号は、リンクパルスやパケット信号の入力検知の為に受信に失敗する可能性があります。

エネルギー検出パワーダウン・モードの終了は、MII マネージメント・レジスタ17のビット13 (EDPWRDOWN) を0にセットすることによってエネルギー検出パワーダウン・モードを終了し通常モードに復帰します。

7.4 イーサネット PHY 内蔵 MII マネージメント・レジスタ

イーサネット PHY に含まれる MII マネージメント・レジスタです。イーサネット PHY への様々な設定を行ったり、イーサネット PHY の状態を取得します。本レジスタへのアクセスは、内蔵イーサネット MAC の MIIM レジスタへのアクセスか、EtherCAT Slave Controller の MII Management Interface レジスタへアクセスすることにより、各 MAC からシリアルマネージメント・インタフェースを経由してアクセスを行います。

注意 レジスタ 8~15 は、レジスタ 24~31 のミラーとなっており、レジスタの実体は存在しません。レジスタ 8~15 へのアクセスは禁止します。

表7.1 PHY MII マネージメント・レジスタ一覧

レジスタ・アドレス	レジスタ名	タイプ
0	コントロール・レジスタ	基本
1	ステータス・レジスタ	基本
2	PHY Identifier	拡張
3	PHY Identifier	拡張
4	Auto-Negotiation Advertisement レジスタ	拡張
5	Auto-Negotiation Link Partner Ability レジスタ	拡張
6	Auto-Negotiation Expansion レジスタ	拡張
7	Auto-Negotiation Next Page Transmit レジスタ	拡張
8	未サポート (レジスタ 24 のミラーのためアクセス禁止)	—
9	未サポート (レジスタ 25 のミラーのためアクセス禁止)	—
10	未サポート (レジスタ 26 のミラーのためアクセス禁止)	—
11	未サポート (レジスタ 27 のミラーのためアクセス禁止)	—
12	未サポート (レジスタ 28 のミラーのためアクセス禁止)	—
13	未サポート (レジスタ 29 のミラーのためアクセス禁止)	—
14	未サポート (レジスタ 30 のミラーのためアクセス禁止)	—
15	未サポート (レジスタ 31 のミラーのためアクセス禁止)	—
16	シリコンリビジョン・レジスタ	ベンダ指定
17	モードコントロール/ステータス・レジスタ	ベンダ指定
18	スペシャルモード・レジスタ	ベンダ指定
19	Reserved	ベンダ指定
20	Reserved	ベンダ指定
21	Reserved	ベンダ指定
22	Reserved	ベンダ指定
23	BER カウンタ・レジスタ	ベンダ指定
24	FEQ モニタ・レジスタ	ベンダ指定
25	診断コントロール/ステータス・レジスタ	ベンダ指定
26	診断カウンタ・レジスタ	ベンダ指定
27	スペシャルコントロール/ステータス指示レジスタ	ベンダ指定
28	Reserved	ベンダ指定
29	割込み要因・レジスタ	ベンダ指定
30	割込み要因マスク・レジスタ	ベンダ指定
31	PHY スペシャルコントロール/ステータス・レジスタ	ベンダ指定

各レジスタの説明において、ビット名の下にある **R,W** 以外の記号は以下を意味します。

- SC : 1 をセット後に、処理が完了すると 0 に戻ります。
- LL : 0 になるとレジスタをリードするまで 0 を保持します。
- LH : 1 になるとレジスタをリードするまで 1 を保持します。
- NASR : ソフトウェア・パワーダウンモードで初期化されないビットです。

7.4.1 レジスタ 0 – コントロール・レジスタ

イーサネット PHY の基本的な設定を行います

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MR0	RESET	LOOPBACK	SPEED_SELECTION	AUTO-NEGOTIATION_ENABLE	POWERDOWN	ISOLATE	RESTART_AUTO-NEGOTIATION	DUPLEX_MODE	COLLISION_TEST	(RESERVED)						レジスタ・アドレス 00H 初期値 1000H	
	RW/SC	RW	RW	RW	RW	RW	RW/SC	RW	RW	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
15	RESET	イーサネット PHY をリセットします。リセット時はこのレジスタの他のビットの設定を変更しないでください。 0 : 通常動作 1 : ソフトウェア・リセット実施
14	LOOPBACK	インターナル・ループバック・モードの有効/無効設定 0 : 無効 1 : 有効
13	SPEED_SELECTION	リンク速度設定 0 : 10Mb/s 1 : 100Mb/s
12	AUTO-NEGOTIATION_ENABLE	オート・ネゴシエーションの有効/無効設定 0 : 無効 1 : 有効
11	POWERDOWN	パワーダウン・モード設定 0 : 通常動作 1 : パワーダウン・モード
10	ISOLATE	アイソレート設定 0 : 通常動作 1 : MII から電氣的に切り離し
9	RESTART_AUTO-NEGOTIATION	オート・ネゴシエーション処理の再スタート 0 : 通常動作 1 : オート・ネゴシエーション処理の再スタート
8	DUPLEX_MODE	Duplex モード設定。ビット 12 が 1 の場合は、本設定は無効です。 0 : 半二重 (Half Duplex) 1 : 全二重 (Full Duplex)
7	COLLISION_TEST	Collision 信号テスト有効/無効設定 0 : 無効 1 : 有効
6-0	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)

7.4.2 レジスタ 1 – ステータス・レジスタ

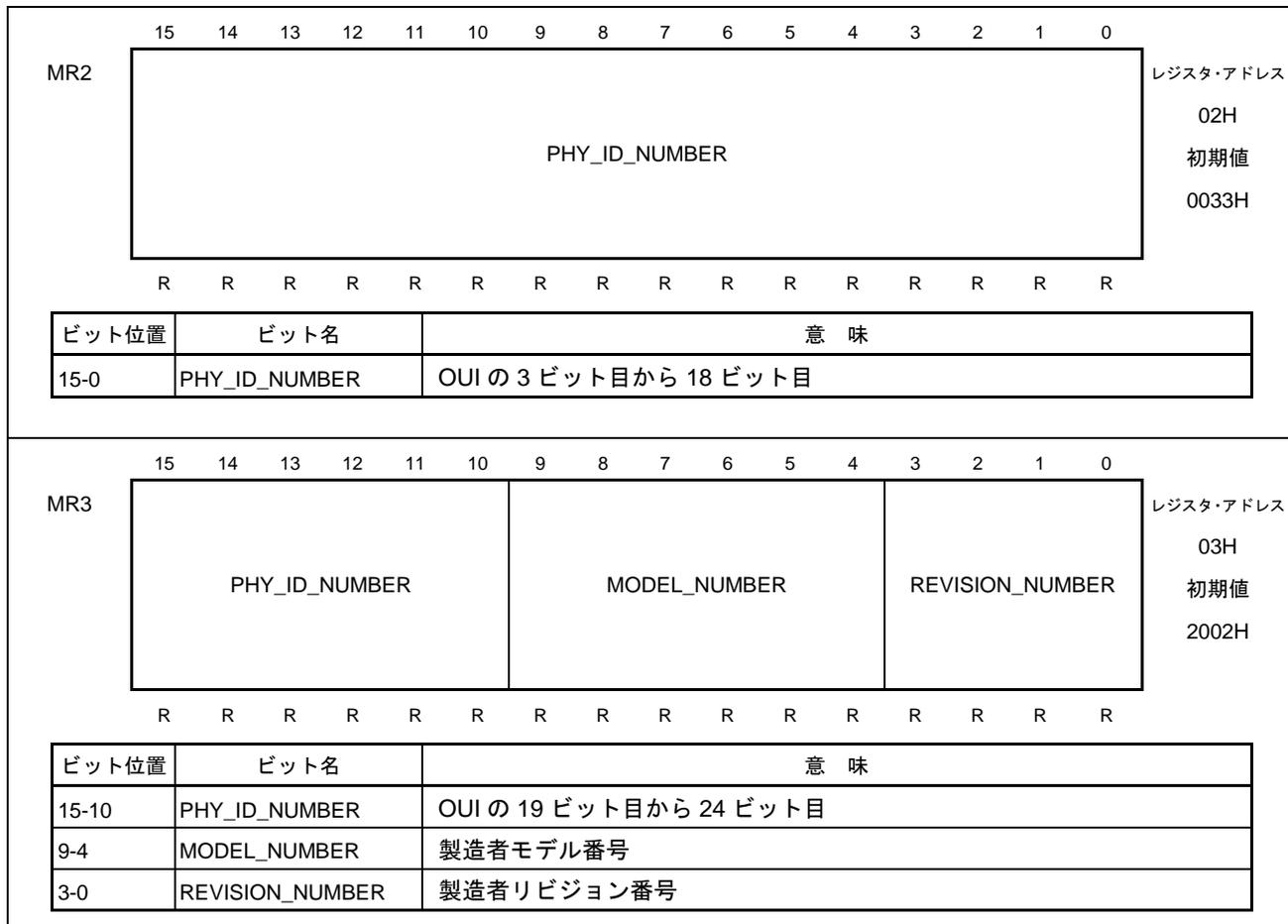
イーサネット PHY の状態を示します。

MR1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	レジスタ・アドレス 01H 初期値 7809H
	100BASE-T4	100BASE-TX_ FULL_DUPLEX	100BASE-TX_ HALF_DUPLEX	10M_FULL_ DUPLEX	10M_HALF_ DUPLEX	(RESERVED)					AUTO-NEGOTIA TION_COMPLET E	REMOTE_FAULT	AUTO-NEGOTIA TION_ABILITY	LINK_STATUS	JABBER_DETECT	EXTENDED_ CAPABILITY	
	R	R	R	R	R	R	R	R	R	R	R	R/LH	R	R/LL	R/LH	R	

ビット位置	ビット名	意味
15	100BASE-T4	100BASE-T4 での通信の有効/無効を示します。 0: 無効 1: 有効
14	100BASE-TX_ FULL_DUPLEX	100BASE-TX 全二重通信の有効/無効を示します。 0: 無効 1: 有効
13	100BASE-TX_ HALF_DUPLEX	100BASE-TX 半二重通信の有効/無効を示します。 0: 無効 1: 有効
12	10M_FULL_DUPLEX	10Mb/s 全二重通信の有効/無効を示します。 0: 無効 1: 有効
11	10M_HALF_DUPLEX	10Mb/s 半二重通信の有効/無効を示します。 0: 無効 1: 有効
10-6	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
5	AUTO-NEGOTIATION_ COMPLETE	オート・ネゴシエーションの完了通知 0: 未了 1: 完了
4	REMOTE_FAULT	リモート側の故障の検出結果を示します。 0: 故障未検出 1: 故障検出
3	AUTO-NEGOTIATION_ ABILIT	オート・ネゴシエーションでの通信の有効/無効を示します。 0: 無効 1: 有効
2	LINK_STATUS	リンクの状態を示します。 0: リンク・ダウン 1: リンク・アップ
1	JABBER_DETECT	ジャバ状態の検出結果を示します。 0: ジャバ未検出 1: ジャバ検出
0	EXTENDED_ CAPABILITY	拡張レジスタの使用の有無を示します。 0: 基本レジスタセットのみの使用 1: 拡張レジスタセットの使用

7.4.3 レジスタ 2,3 – PHY Identifier

レジスタ 2 と 3 の合計 32 ビットで PHY の識別番号を示します。



7.4.4 レジスタ 4 – Auto-Negotiation Advertisement レジスタ

オート・ネゴシエーション使用時に相手に知らせる情報を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
MR4	NEXT_PAGE	(RESERVED)	REMOTE_FAULT	(RESERVED)	PAUSE_OPERATION		100BASE-T4	100BASE-TX_FULL_DUPLEX	100BASE-TX	10BASE-T_FULL_DUPLEX	10BASE-T	SELECTOR_FIELD				レジスタ・アドレス		
	RW	R	RW	RW	RW	RW	R	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	04H
																		初期値
																		01E1H

ビット位置	ビット名	意味
15	NEXT_PAGE	Next Page 機能の対応可否 0 : 未対応 1 : 対応
14	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
13	REMOTE_FAULT	リモート故障検出機能においてローカルデバイスの状態を設定します 0 : 未故障 1 : 故障
12	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
11-10	PAUSE_OPERATION	Pause 動作の設定 00 : Pause 動作無し 01 : 対称 Pause 動作 10 : リンク相手への非対称 Pause 動作 11 : 対称 Pause とローカルデバイスへの非対称 Pause 動作
9	100BASE-T4	100BASE-T4 の対応可否 (本 LSI では0 固定です) 0 : 未対応 1 : 対応
8	100BASE-TX_FULL_DUPLEX	100BASE-TX 全二重通信の対応可否 0 : 未対応 1 : 対応
7	100BASE-TX	100BASE-TX の対応可否 0 : 未対応 1 : 対応
6	10BASE-T_FULL_DUPLEX	10BASE-T 全二重通信の対応可否 0 : 未対応 1 : 対応
5	10BASE-T	10BASE-T の対応可否 0 : 未対応 1 : 対応
4-0	SELECTOR_FIELD	00001 : IEEE std 802.3

7.4.5 レジスタ 5 – Auto-Negotiation Link Partner Ability (Base Page) レジスタ

オート・ネゴシエーション使用時に相手から受け取った情報の Base Page を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MR5 (Base Page)	NEXT_PAGE	ACKNOWLEDGE	REMOTE_FAULT	(RESERVED)	PAUSE_OPERATION	100BASE-T4	100BASE-TX_FULL_DUPLEX	100BASE-TX	10BASE-T_FULL_DUPLEX	10BASE-T	SELECTOR_FIELD					レジスタ・アドレス 05H 初期値 0001H	
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
15	NEXT_PAGE	追加の Next Page の有無 0 : 最終ページ 1 : 追加の Next Page 有
14	ACKNOWLEDGE	リンク相手からのリンク信号の受信結果 0 : 失敗 1 : 成功
13	REMOTE_FAULT	リンク相手の故障状態 0 : 未故障 1 : 故障
12-11	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
10	PAUSE_OPERATION	リモートデバイス側の MAC の Pause 動作の対応可否 0 : 未対応 1 : 対応
9	100BASE-T4	100BASE-T4 の対応可否 (本 LSI では0 固定です) 0 : 未対応 1 : 対応
8	100BASE-TX_FULL_DUPLEX	100BASE-TX Full Duplex の対応可否 0 : 未対応 1 : 対応
7	100BASE-TX	100BASE-TX の対応可否 0 : 未対応 1 : 対応
6	10BASE-T_FULL_DUPLEX	10BASE-T Full Duplex の対応可否 0 : 未対応 1 : 対応
5	10BASE-T	10BASE-T の対応可否 0 : 未対応 1 : 対応
4-0	SELECTOR_FIELD	00001 : IEEE std 802.3

7.4.6 レジスタ 5 – Auto-Negotiation Link Partner Ability (Next Page)レジスタ

オート・ネゴシエーション使用時に相手から受け取った情報の Next Page を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MR5 (Next Page)	NEXT_PAGE	ACKNOWLEDGE	MESSAGE_PAGE	ACKNOWLEDGE ₂	TOGGLE	MESSAGE_UNFORMATTED_CODE_FIELD										レジスタ・アドレス 05H 初期値 0000H	
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
15	NEXT_PAGE	追加の Next Page の有無 0 : 最終ページ 1 : 追加の Next Page 有
14	ACKNOWLEDGE	リンク相手からのリンク信号の受信結果 0 : 成功 1 : 失敗
13	MESSAGE_PAGE	ビット 10-0 のコードフィールドのエンコード方法 0 : Unformatted Page 1 : Message Page
12	ACKNOWLEDGE2	メッセージへの対応可否を示します。 0 : 対応不可能 1 : 対応可能
11	TOGGLE	Next Page の交換の際にリンク相手と同期をとるために使用されます。 0 : 前に送信されたリンクコードワードが 1 の場合 1 : 前に送信されたリンクコードワードが 0 の場合
10-0	MESSAGE_UNFORMATTED_CODE_FIELD	リンク相手から受信した 11 ビットのコードワード

7.4.7 レジスタ 6 – Auto-Negotiation Expansion レジスタ

オート・ネゴシエーション使用時の情報を示します。

MR6	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	(RESERVED)											PARALLEL_ DETECTION_FAULT	LINK_PATNER_ NEXT_PAGE_ABLE	NEXT_PAGE_ABLE	PAGE_RECEIVED	LINK_PARTNER_AU TO-NEGOTIATION_ ABLE	レジスタ・アドレス 06H 初期値 0004H
	R	R	R	R	R	R	R	R	R	R	R	R/LH	R	R	R/LH	R	

ビット位置	ビット名	意味
15-5	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
4	PARALLEL_ DETECTION_FAULT	パラレル検出機能で失敗が検出されたかを示します。レジスタ 6 をリードすることにより 0 になります。 0 : 未検出 1 : 検出
3	LINK_PATNER_ NEXT_PAGE_ABLE	リンク相手の Next Page 機能への対応可否を示します。 0 : 対応不可能 1 : 対応可能
2	NEXT_PAGE_ABLE	ローカルデバイスの Next Page 機能への対応可否を示します。 0 : 対応不可能 1 : 対応可能
1	PAGE_RECEIVED	新しいリンクコードワードを受信し、レジスタ 5 に格納されたかを示します。レジスタ 6 をリードすることにより 0 になります。 0 : 新しいページを未受信 1 : 新しいページを受信
0	LINK_PATNER_ AUTO-NEGOTIATION_ ABLE	リンク相手のオート・ネゴシエーション対応可否を示します。 0 : 対応不可能 1 : 対応可能

7.4.8 レジスタ 7 – Auto-Negotiation Next Page Trasmit レジスタ

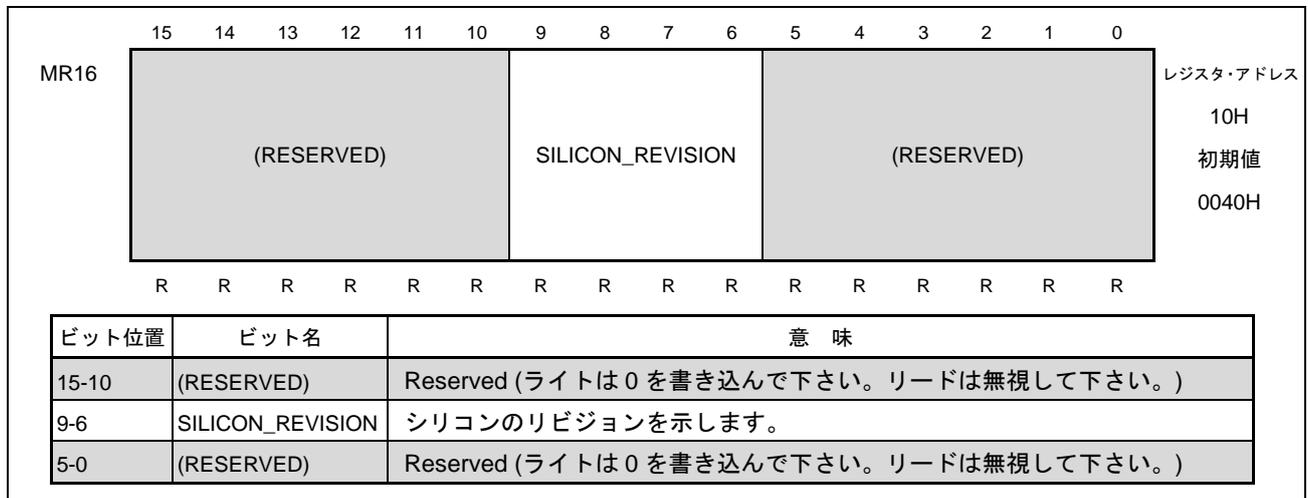
オート・ネゴシエーション使用時に相手に送信する情報の Next Page を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MR7	NEXT_PAGE	(RESERVED)	MESSAGE_PAGE	ACKNOWLEDGE 2	TOGGLE	MESSAGE_UNFORMATTED_CODE_FIELD										レジスタ・アドレス 07H 初期値 2001H	
	RW	R	RW	RW	R	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット位置	ビット名	意味
15	NEXT_PAG	追加の Next Page の有無 0 : 最終ページ 1 : 追加の Next Page 有
14	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
13	MESSAGE_PAGE	ビット 10-0 のコードフィールドのエンコード方法 0 : Unformatted Page 1 : Message Page
12	ACKNOWLEDGE2	メッセージへの対応可否を示します。 0 : 対応不可能 1 : 対応可能
11	TOGGLE	Next Page の交換の際にリンク相手と同期をとるために使用されます。 0 : 前に送信されたリンクコードワードが 1 の場合 1 : 前に送信されたリンクコードワードが 0 の場合
10-0	MESSAGE_UNFORMAT TED_CODE_FIELD	リンク相手へ送信する 11 ビットのコードワード

7.4.9 レジスタ 16 – シリコンリビジョン・レジスタ

シリコンのリビジョンを示します。



7.4.10 レジスタ 17 – モードコントロール/ステータス・レジスタ

イーサネット PHY の動作モードの設定を行います。

(1/2)

MR17	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	レジスタ・アドレス 11H 初期値 0080H
	(RESERVED)	FASTRIP	EDPWRDOWN	(RESERVED)	LOWSQEN	(RESERVED)	FARLOOPBACK	FASTEST	AUTOMDIX_EN	MDI_MODE	(RESERVED)	DCD_PAT_GEN	(RESERVED)	FORCE_GOOD_LINK_STATUS	ENERGYON	(RESERVED)	
	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	R	RW	RW	RW	R	RW	
	NASR																

ビット位置	ビット名	意味
15	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
14	FASTRIP	10BASE-T のファストモード設定。シミュレーションにのみ使用できます。 0: 通常動作 1: PHYT_10 テスト・モード
13	EDPWRDOWN	エネルギー検出パワーダウン・モードの有効/無効設定 0: 無効 1: 有効
12	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
11	LOWSQEN	低スケルチ設定 0: 通常動作 1: 閾値を下げる (信号の感度が上がる)
10	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
9	FARLOOPBACK	リモート・ループバック・モードの有効/無効設定。設定すると受信した全てのパケットを同時に送り返します。100BASE-TX/FX モードのみ対応可能です。 0: 無効 1: 有効
8	FASTEST	オート・ネゴシエーションのテスト・モードの有効/無効設定。シミュレーションにのみ使用できます。ソフトウェア・リセットの時間も短くなります。 0: 無効 1: 有効
7	AUTOMDIX_EN	自動 MDIX 機能の有効/無効設定 0: 無効 (レジスタ 17 のビット 6 で手動設定します) 1: 有効
6	MDI_MODE	レジスタ 17 のビット 7 が 0 の場合、手動で MDI/MDI-X モードを設定します。レジスタ 17 のビット 7 が 1 の場合、モードの状態を示します。この時はレジスタへのライトは無効です。 0: MDI モード 1: MDI-X モード
5	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)

(2/2)

ビット位置	ビット名	意味
4	DCD_PAT_GEN	テスト・モード時において DCD 測定用パターン生成の有効/無効設定 0: 無効 1: 有効
3	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)
2	FORCE_GOOD_LINK_STATUS	強制的にリンク状態にさせます。テストでのみ使用して下さい。 0: 通常動作 1: 100BASE-X のリンク状態
1	ENERGYON	ラインのエネルギー検出状態を示します。 0: 256ms 以内にラインからのエネルギーが未検出 1: ラインからのエネルギーを検出
0	(RESERVED)	Reserved (ライトは 0 を書き込んで下さい。リードは無視して下さい。)

7.4.11 レジスタ 18 – スペシャルモード・レジスタ

イーサネット PHY のモード設定を行います

MR18	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 33%; text-align: center; vertical-align: middle;">(RESERVED)</td> <td style="width: 3%; text-align: center; vertical-align: middle;">FX_MODE</td> <td style="width: 3%; text-align: center; vertical-align: middle;">(RESERVED)</td> <td style="width: 20%; text-align: center; vertical-align: middle;">PHY_MODE[3:0]</td> <td style="width: 39%; text-align: center; vertical-align: middle;">PHY_ADD[4:0]</td> </tr> </table>	(RESERVED)	FX_MODE	(RESERVED)	PHY_MODE[3:0]	PHY_ADD[4:0]	レジスタ・アドレス 12H 初期値 00E0H
(RESERVED)	FX_MODE	(RESERVED)	PHY_MODE[3:0]	PHY_ADD[4:0]				
	RW R R RW	NASR						

ビット位置	ビット名	意味																																																								
15-11	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)																																																								
10	FX_MODE	100BASE-FX モードの有効/無効設定。100BASE-FX モードを有効にする場合は、PHY_MODE (レジスタ 18 のビット 8-5) が 0011 か 0010 である必要があります。 0: 無効 (10BASE-T/100BASE-TX モード) 1: 有効																																																								
9	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)																																																								
8-5	PHY_MODE[3:0]	PHY の動作モードを設定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="width: 15%;">PHY_MODE [3:0]</th> <th style="width: 15%;">速度</th> <th style="width: 15%;">Duplex</th> <th style="width: 55%;">オート・ネゴシエーション</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>10BASE-T</td> <td>半二重</td> <td>無効</td> </tr> <tr> <td>0001</td> <td>10BASE-T</td> <td>全二重</td> <td>無効</td> </tr> <tr> <td>0010</td> <td>100BASE-TX/FX</td> <td>半二重</td> <td>無効。送受信の CRS が有効。</td> </tr> <tr> <td>0011</td> <td>100BASE-TX/FX</td> <td>全二重</td> <td>無効。受信の CRS が有効。</td> </tr> <tr> <td>0100</td> <td>100BASE-T</td> <td>半二重</td> <td>有効。送受信の CRS が有効。</td> </tr> <tr> <td>0101</td> <td>100BASE-T リピータ・モード</td> <td>半二重</td> <td>有効。受信の CRS が有効。</td> </tr> <tr> <td>0110</td> <td>PowerDown Mode (テスト用)</td> <td>-</td> <td>-</td> </tr> <tr> <td>0111</td> <td>全て</td> <td>両方</td> <td>有効</td> </tr> <tr> <td>1000</td> <td rowspan="4">全て</td> <td rowspan="4">パラレル検出 で全二重強制</td> <td rowspan="4">クイック・オート・ネゴシエーション が有効。ビット 1 と 0 でタイミングを 選択^注。</td> </tr> <tr> <td>1001</td> </tr> <tr> <td>1010</td> </tr> <tr> <td>1011</td> </tr> <tr> <td>1100</td> <td rowspan="2">パラレル検出 で半二重 (標準)</td> <td rowspan="2"></td> <td rowspan="2"></td> </tr> <tr> <td>1101</td> </tr> <tr> <td>1110</td> <td></td> <td></td> <td></td> </tr> <tr> <td>1111</td> <td>ループバック/ アイソレート</td> <td>-</td> <td>- (インターナル・ループバック・モード)</td> </tr> </tbody> </table>	PHY_MODE [3:0]	速度	Duplex	オート・ネゴシエーション	0000	10BASE-T	半二重	無効	0001	10BASE-T	全二重	無効	0010	100BASE-TX/FX	半二重	無効。送受信の CRS が有効。	0011	100BASE-TX/FX	全二重	無効。受信の CRS が有効。	0100	100BASE-T	半二重	有効。送受信の CRS が有効。	0101	100BASE-T リピータ・モード	半二重	有効。受信の CRS が有効。	0110	PowerDown Mode (テスト用)	-	-	0111	全て	両方	有効	1000	全て	パラレル検出 で全二重強制	クイック・オート・ネゴシエーション が有効。ビット 1 と 0 でタイミングを 選択 ^注 。	1001	1010	1011	1100	パラレル検出 で半二重 (標準)			1101	1110				1111	ループバック/ アイソレート	-	- (インターナル・ループバック・モード)
PHY_MODE [3:0]	速度	Duplex	オート・ネゴシエーション																																																							
0000	10BASE-T	半二重	無効																																																							
0001	10BASE-T	全二重	無効																																																							
0010	100BASE-TX/FX	半二重	無効。送受信の CRS が有効。																																																							
0011	100BASE-TX/FX	全二重	無効。受信の CRS が有効。																																																							
0100	100BASE-T	半二重	有効。送受信の CRS が有効。																																																							
0101	100BASE-T リピータ・モード	半二重	有効。受信の CRS が有効。																																																							
0110	PowerDown Mode (テスト用)	-	-																																																							
0111	全て	両方	有効																																																							
1000	全て	パラレル検出 で全二重強制	クイック・オート・ネゴシエーション が有効。ビット 1 と 0 でタイミングを 選択 ^注 。																																																							
1001																																																										
1010																																																										
1011																																																										
1100	パラレル検出 で半二重 (標準)																																																									
1101																																																										
1110																																																										
1111	ループバック/ アイソレート	-	- (インターナル・ループバック・モード)																																																							
4-0	PHY_ADD[4:0]	PHY アドレスを指定します。PHY_ADD[0]の設定は無視され、ポート 0 に対しては 0、ポート 1 に対しては 1 が割り当てられます。																																																								

注. 2つのPHYの間でオート・ネゴシエーションにかかる時間を減らすために、オート・ネゴシエーションのタイミングを変更できます。リンクで問題が生じる場合は、設定を変更することでタイミングの調整が可能となります。

PHY_MODE[3]	PHY_MODE[1:0]	Break Link Timer	Autoneg Wait Timer	Link Fail Inhibit Timer
0	XX	1250ms	850ms	850ms
1	00	80ms	35ms	50ms
1	01	120ms	50ms	75ms
1	10	240ms	100ms	150ms
1	11 (IEEE 準拠)	1250ms	850ms	850ms

7.4.12 レジスタ 19 – Reserved

MR19

レジスタ・アドレス
13H
初期値
0000H

ビット位置	ビット名	意味
15-0	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)

7.4.13 レジスタ 20 – Reserved

MR20

レジスタ・アドレス
14H
初期値
0000H

ビット位置	ビット名	意味
15-0	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)

7.4.14 レジスタ 21 – Reserved



7.4.15 レジスタ 22 – Reserved



7.4.16 レジスタ 23 – BER カウンタ・レジスタ

イーサネット PHY の BER カウンタ機能の設定を行います。また BER の結果を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MR23	BER_LNK_OK	BER_CNT_LNK_EN	BER_CNT_TRIG				BER_WINDOW				BER_COUNT					レジスタ・アドレス 17H 初期値 5080H	
	R	RW	RW	RW	RW	RW	RW	RW	RW	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
15	BER_LNK_OK	リンクの品質状態を示します。起動後に BER のカウント値が閾値以下になると 1 になります。起動後の信頼性のあるリンクを検出するために使用します。 0 : リンクしていない、あるいはリンクの状態が良くないことを示します。 1 : リンクの状態が良いことを示します。
14	BER_CNT_LNK_EN	BER および FEQ モニタのカウント値が閾値を超えたときの動作 0 : リンクをダウンさせず、BER_LNK_OK のみ 0 になります。 1 : リンクをダウンさせます。
13-11	BER_CNT_TRIG	BER カウンタの値により、割り込み発生あるいはリンク・ダウンと判断する条件を設定します。 0 : 1 以上の場合 1 : 1 を超える場合 (2 以上の場合) 2 : 2 を超える場合 (3 以上の場合) 3 : 4 を超える場合 (5 以上の場合) 4 : 8 を超える場合 (9 以上の場合) 5 : 16 を超える場合 (17 以上の場合) 6 : 32 を超える場合 (33 以上の場合) 7 : 64 を超える場合 (65 以上の場合)
10-7	BER_WINDOW	BER カウンタのウィンドウ幅を設定します。 1 : 0.2 ms 2 : 0.4 ms 3 : 0.8 ms ... 15 : 3.2 sec
6-0	BER_COUNT	現在の前のウィンドウ時間におけるビット・エラーのカウント値

7.4.17 レジスタ 24 – FEQ モニタ・レジスタ

イーサネット PHY の FEQ モニタ機能の設定を行います。また FEQ 係数を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MR24	FEQ_DELTA / FEQ_VAL																レジスタ・アドレス 18H 初期値 0000H
	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット位置	ビット名	意味
15-0	FEQ_DELTA (ライト)	ラッチされているリファレンスの値に対して許容される FEQ2 係数の変化量を設定します。レジスタ 23 の BER_CNT_LINK_EN ビットが 1 の場合、FEQ2 値がこの値を超えると、FEQ 割込みが発生し、リンクがダウンします。 FFFF : FEQ モニタ機能を無効にし、FEQ2 係数を継続的にラッチし続けます。 FFFE : このレジスタをリードしたときに、現在のリファレンスの値を読み込むことができます。FEQ_DELTA の値自体は変更しません。 上記以外 : 変化量の閾値を設定します。値を設定することで FEQ モニタ機能が動作を始めます。
	FEQ_VAL (リード)	FEQ_DELTA に FFFE をライトしたときは、リファレンスとしてラッチされている FEQ2 係数の 17-2 ビットを示します。 それ以外は、現在の FEQ2 係数を示します。

7.4.18 レジスタ 25 – 診断コントロール/ステータス・レジスタ

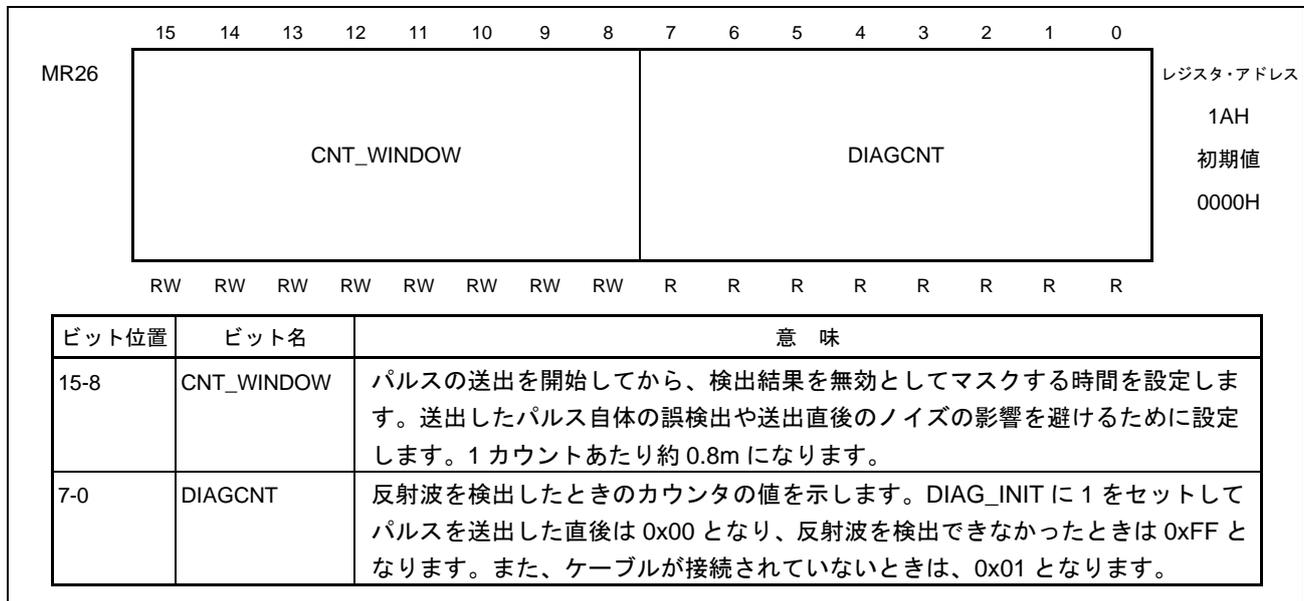
イーサネット PHY の診断機能の設定を行います。また診断結果を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MR25	(RESERVED)	DIAG_INIT	ADC_MAX_VALUE / ADC_TRIGGER						DIAG_DONE	DIAG_POL	DIAG_SEL_LINE	PW_DIAG					レジスタ・アドレス 19H 初期値 0000H
	RW	RW	RW	RW	RW	RW	RW	RW	R	R	RW	RW	RW	RW	RW	RW	
	SC																

ビット位置	ビット名	意味
15	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
14	DIAG_INIT	TDR テストを開始し、サイクルパルス を 1 回生成します。 0 : 通常動作 1 : パルス生成 (パルス生成後、0 になります)
13-8	ADC_MAX_VALUE (リード)	反射波の最大値/最小値を符号付きで示します。 TDR テストが開始されると、PHY はトリガパルスを送出し、8ns のクロックを 255 サイクルの間 (2040ns)、反射波を待ちます。その時間が経過したのち、DIAG_DONE ビットがセットされます。 正の値であれば受信波の最大値を、負の値であれば最小値を示します。
	ADC_TRIGGER (ライト)	反射波を検出するための電圧の閾値を設定します。設定できる範囲は、000111(0.5V)から 001111(1.5V)です。この設定値はリードできません。
7	DIAG_DONE	カウンタが停止したことを示します。 0 : 動作中あるいは TDR テスト未実施 1 : 停止 (リード後は 0 になります)
6	DIAG_POL	検出された反射波の極性を示します。 0 : 正論理 1 : 負論理
5	DIAG_SEL_LINE	TDR テストを実施するラインを選択します。 0 : RX ライン 1 : TX ライン
4-0	PW_DIAG	TDR テストで送出するパルスの幅を設定します。8ns から 248ns の範囲で 8ns ごとに設定ができます。 0 : 通常動作 0 以外 : 設定値 × 8 ns

7.4.19 レジスタ 26 – 診断カウンタ・レジスタ

イーサネット PHY の診断カウンタの設定を行います。また、診断結果を示します。



7.4.20 レジスタ 27 – スペシャルコントロール/ステータス指示レジスタ

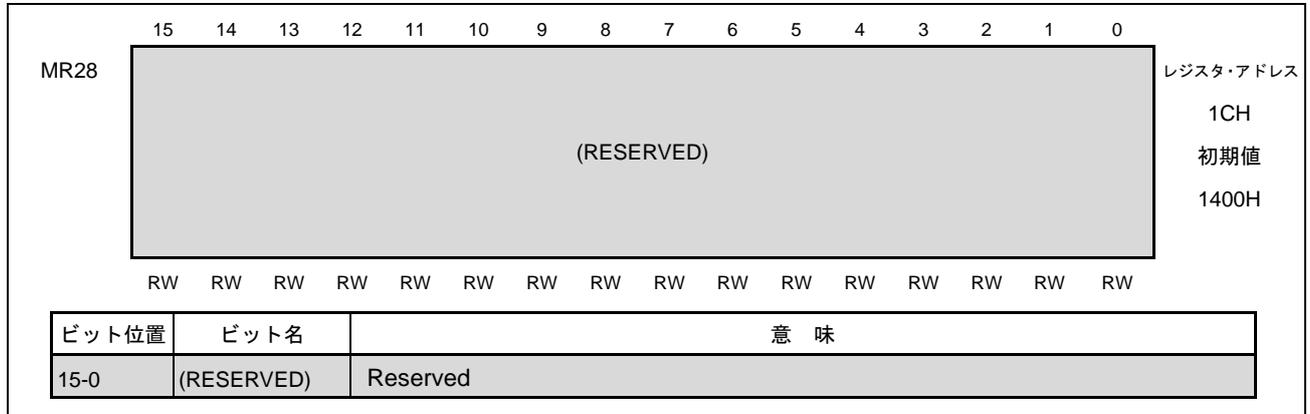
イーサネット PHY のモード設定を行います。またその状態を示します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MR27	(RESERVED)			SWRST_FAST	SQEOFF	(RESERVED)					FEFIEN	XPOL	(RESERVED)			レジスタ・アドレス 1BH 初期値 0001H	
	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	R	R	R	R	R	
	NASR																

ビット位置	ビット名	意味
15-13	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
12	SWRST_FAST	ソフトウェア・リセット・カウンタのテスト 0: 通常動作 1: ソフトウェア・リセット・カウンタを 256us から 10us に短縮 (製造テスト用)
11	SQEOFF	SQE テストの有効/無効設定 0: 有効 1: 無効
10-6	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
5	FEFIEN	100BASE-FX において Far End Fault Indication の有効/無効設定 0: 無効 1: 有効
4	XPOL	10BASE-T における自動極性検出結果 0: 正常 1: 反転
3-0	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)

7.4.21 レジスタ 28 – Reserved

テスト用のレジスタです。このレジスタへはリードもライトもしないでください。



7.4.22 レジスタ 29 – 割り込み要因・レジスタ

イーサネット PHY の割り込み出力がアクティブになった時の割り込みの要因を示します。1 のビットがその割り込みの要因を指します。リードすることで割り込み出力はクリアされます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MR29	<div style="display: flex; justify-content: space-between; align-items: center;"> <div style="border: 1px solid black; padding: 5px; width: 100%;"> <div style="display: flex; justify-content: space-between; border-bottom: 1px solid black; padding-bottom: 5px;"> (RESERVED) INT12 INT11 INT10 INT9 (RESERVED) INT7 INT6 INT5 INT4 INT3 INT2 INT1 (RESERVED) </div> <div style="display: flex; justify-content: space-between; border-top: 1px solid black; padding-top: 5px;"> RRRRRRRRRRRRRRRRR </div> </div> <div style="margin-left: 10px;"> レジスタ・アドレス 1DH 初期値 0000H </div> </div>																

ビット位置	ビット名	意味
15-13	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
12	INT12	Clipping
11	INT11	Maxlvl
10	INT10	BER カウンター・トリガ
9	INT9	FEQ トリガ
8	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
7	INT7	ラインのエネルギー検出
6	INT6	オート・ネゴシエーション完了
5	INT5	リモート故障検出
4	INT4	リンク・ダウン
3	INT3	オート・ネゴシエーションが完了し、最後の FLP を受信
2	INT2	パラレル検出失敗
1	INT1	オート・ネゴシエーションが Complete Acknowledge state 状態に遷移
0	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)

7.4.23 レジスタ 30 – 割り込み要因マスク・レジスタ

イーサネット PHY の割り込みの要因の有効/無効を設定します。0 が無効(マスク)、1 が有効です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
MR30	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">(RESERVED)</td> <td style="width: 12.5%; text-align: center;">INT12_MASK</td> <td style="width: 12.5%; text-align: center;">INT11_MASK</td> <td style="width: 12.5%; text-align: center;">INT10_MASK</td> <td style="width: 12.5%; text-align: center;">INT9_MASK</td> <td style="width: 12.5%; text-align: center;">(RESERVED)</td> <td style="width: 12.5%; text-align: center;">INT7_MASK</td> <td style="width: 12.5%; text-align: center;">INT6_MASK</td> <td style="width: 12.5%; text-align: center;">INT5_MASK</td> <td style="width: 12.5%; text-align: center;">INT4_MASK</td> <td style="width: 12.5%; text-align: center;">INT3_MASK</td> <td style="width: 12.5%; text-align: center;">INT2_MASK</td> <td style="width: 12.5%; text-align: center;">INT1_MASK</td> <td style="width: 12.5%; text-align: center;">(RESERVED)</td> </tr> </table>															(RESERVED)	INT12_MASK	INT11_MASK	INT10_MASK	INT9_MASK	(RESERVED)	INT7_MASK	INT6_MASK	INT5_MASK	INT4_MASK	INT3_MASK	INT2_MASK	INT1_MASK	(RESERVED)	レジスタ・アドレス 1EH 初期値 0000H
(RESERVED)	INT12_MASK	INT11_MASK	INT10_MASK	INT9_MASK	(RESERVED)	INT7_MASK	INT6_MASK	INT5_MASK	INT4_MASK	INT3_MASK	INT2_MASK	INT1_MASK	(RESERVED)																	
	R	R	R	RW	RW	RW	RW	R	RW	RW	RW	RW	RW	RW	RW	RW	R													

ビット位置	ビット名	意味
15-13	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
12	INT12_MASK	Clipping
11	INT11_MASK	MaxIvl
10	INT10_MASK	BER カウンター・トリガ
9	INT9_MASK	FEQ トリガ
8	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
7	INT7_MASK	ラインのエネルギー検出
6	INT6_MASK	オート・ネゴシエーション完了
5	INT5_MASK	リモート故障検出
4	INT4_MASK	リンク・ダウン
3	INT3_MASK	オート・ネゴシエーションが完了し、最後の FLP を受信
2	INT2_MASK	パラレル検出失敗
1	INT1_MASK	オート・ネゴシエーションの Complete Acknowledge state 状態に遷移
0	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)

7.4.24 レジスタ 31 – PHY スペシャルコントロール/ステータス・レジスタ

イーサネット PHY の特殊機能の設定および状態を行います。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MR31	(RESERVED)			AUTODONE	(RESERVED)					ENABLE_4B5B	(RESERVED)	SPEED_ INDICATION			RX_DV_J2T	SCRAMBLE_ DISABLE	レジスタ・アドレス 1FH 初期値 0040H
	RW	RW	RW	R	RW	RW	RW	RW	RW	RW	RW	R	R	R	RW	RW	

ビット位置	ビット名	意味
15-13	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
12	AUTODONE	オート・ネゴシエーションの完了通知 0 : 未完了あるいはオート・ネゴシエーション未設定 1 : 完了
11-7	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
6	ENABLE_4B5B	4B/5B エンコード/デコードの有効/無効設定 0 : 無効 (4B/5B エンコード/デコードをバイパス) 1 : 有効
5	(RESERVED)	Reserved (ライトは0を書き込んで下さい。リードは無視して下さい。)
4-2	SPEED_ INDICATION	スピードを示します。 001 : 10Mbps 半二重 101 : 10Mbps 全二重 010 : 100Mbps 半二重 110 : 100Mbps 全二重
1	RX_DV_J2T	フレームの最初と最後を識別するデリミタを設定します。 0 : RX_DV は JK デリミタで立ち上がり、TR デリミタで立下ります。 1 : RX_DV は J デリミタで立ち上がり、T デリミタで立下ります。
0	SCRAMBLE_ DISABLE	データ・スクランブルの有効/無効設定 0 : 有効 1 : 無効

7.5 イーサネット PHY 機能設定レジスタ

本レジスタはイーサネット PHY 内蔵の MII マネージメント・レジスタでは制御できない動作をシリアルマネージメント・インタフェースを経由せずに変更するためのレジスタです。

7.5.1 レジスタ一覧

レジスタ名	略号	アドレス
イーサネット PHY 動作モード制御レジスタ	PHYMD	4001 06A0H
イーサネット PHY Power-up ステータス・レジスタ	PHYPUS	4001 06A4H

7.5.2 イーサネット PHY 動作モード制御レジスタ (PHYMD)

イーサネット PHY の動作モードを設定します。本レジスタは、32/16 ビット単位でリード/ライトアクセス可能です。

注意 本レジスタは、システム・プロテクト・コマンド・レジスタ (SYSPCMD) を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ (SYSPCMD) を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
PHYMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P1PHYEN	P1FXMODE	P1ATMDIXEN	P0PHYEN	P0FXMODE	P0ATMDIXEN	4001 06A0H 初期値 0000 003FH
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RW	RW	RW	RW	RW	RW		

ビット位置	ビット名	意味
5	P1PHYEN	Port1 の PHY 有効/無効設定 0 : 有効 1 : 無効 (初期値)
4	P1FXMODE	Port1 の FX モード有効/無効設定 (入出力端子制御を含む) 0 : 有効 1 : 無効 (初期値)
3	P1ATMDIXEN	Port1 の MDIX 自動認識の有効/無効設定 0 : 無効 1 : 有効 (初期値)
2	P0PHYEN	Port0 の PHY 有効/無効設定 0 : 有効 1 : 無効 (初期値)
1	P0FXMODE	Port0 の FX モード有効/無効設定 (入出力端子制御を含む) 0 : 有効 1 : 無効 (初期値)
0	P0ATMDIXEN	Port0 の MDIX 自動認識の有効/無効設定 0 : 無効 1 : 有効 (初期値)

7.5.3 イーサネット PHY パワー・アップ ステータス・レジスタ (PHYBUS)

内蔵イーサネット PHY の Power-up 状態を確認するレジスタです。本レジスタは、32 ビット単位でリードアクセスのみ可能です。ハードウェア・パワーダウンモードが解除されたあと、約 5.2ms 後にビット 1 あるいはビット 0 がクリアされます。

	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス						
PHYBUS	<table border="1" style="width: 100%; height: 100%; border-collapse: collapse;"> <tr> <td style="width: 100%;">0 0</td> </tr> <tr> <td style="width: 100%; text-align: right;">P1PWRUPRST P0PWRUPRST</td> </tr> </table>	0 0	P1PWRUPRST P0PWRUPRST	BASE+06A4H 初期値 0000 0000H				
0 0								
P1PWRUPRST P0PWRUPRST								
R/W	0 R R							
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%;">ビット位置</th> <th style="width: 20%;">ビット名</th> <th style="width: 65%;">意味</th> </tr> </thead> <tbody> <tr> <td>1,0</td> <td>P1PWRUPRST, P0PWRUPRST</td> <td> 内蔵イーサネット PHY のパワー・アップの完了を通知します。 1 : パワー・アップ&リセット中 0 : パワー・アップ完了 </td> </tr> </tbody> </table>			ビット位置	ビット名	意味	1,0	P1PWRUPRST, P0PWRUPRST	内蔵イーサネット PHY のパワー・アップの完了を通知します。 1 : パワー・アップ&リセット中 0 : パワー・アップ完了
ビット位置	ビット名	意味						
1,0	P1PWRUPRST, P0PWRUPRST	内蔵イーサネット PHY のパワー・アップの完了を通知します。 1 : パワー・アップ&リセット中 0 : パワー・アップ完了						

7.6 LED 出力機能

内蔵イーサネット PHY の状態を示す出力端子です。外部に LED 等を接続して使用できます。

端子名称	機能	アクティブ
P0LINKLEDZ P1LINKLEDZ	リンクの状況を示します。 0 : リンク確立 1 : リンク未確立	Low
P0DUPLEXLEDZ P1DUPLEXLEDZ	リンクした Duplex の状況を示します。 0 : 全二重 1 : 半二重	—
P0SPEED100LEDZ P1SPEED100LEDZ	100Mbps でのリンクの状況を示します。 0 : 100Mbps でリンク 1 : 100Mbps のリンクでない	Low
P0SPEED10LEDZ P1SPEED10LEDZ	10Mbps でのリンクの状況を示します。 0 : 10Mbps でリンク 1 : 10Mbps のリンクでない	Low
P0ACTLEDZ P1ACTLEDZ	フレームの送受信の状況を示します。 0 : RX ラインあるいは TX ラインの少なくとも一方でフレームを送受信 1 : RX ラインと TX ラインの両方が IDLE 状態。 0 から 1 に変化するときは、RX ラインと TX ラインの両方で IDLE 状態になってから、128ms 後に 1 に変化します。	Low

8. ポート機能

8.1 特徴

- 入出力ポート：96本
- ほかの周辺機能の入出力端子と兼用
- ビット単位で入力／出力指定可能

注意 1. ポートと兼用している内蔵周辺機能の信号は、兼用機能の切り替えを行うと、直前の端子状態などによりスパイクが発生する可能性があります。

- 内蔵機能の動作が停止している間に切り替える。
- 割り込み信号との兼用端子は、いったん割り込み要求フラグをクリアしてからマスクを解除する。
- 出力値を確定させてから、モードを切り替える。

など、一般的なスパイク対策をソフトウェアで行ってください。

2. 入力バッファは、貫通電流対策を行っていないため、中間電位を外部から与えないでください。

8.2 ポートの構成

3 ステート入出力ポートを 8 ポートとリアルタイムに制御を行うポートを 4 ポート内蔵しています。ポートは 1 ビット単位に入出力指定が可能です。ポートの基本構造は 8 ビット単位ですが、ポート 0-ポート 3 とアラインされた 32 ビット単位でもリード/ライト可能な構成になっています。また、リアルタイムポート (RP00-RP37) は、割り込み信号に同期した入出力が可能な構成です。

ポートには、下記のレジスタがあり、入出力の設定、兼用機能の選択を行います。またポートの基本回路構成を図8.1に示します。

レジスタ名	用途と動作	
	リード	ライト
ポート・レジスタ (Pn、RPm)	出カラムチの値を読み出します。	出カラムチに値を設定します。
ポート・モード・レジスタ (PMn、RPMm)	ポートの入出力モードを読み出します。	ポートの入出力モードを設定します。
ポート・モード・コントロール・レジスタ (PMCn、RPMCm)	ポートとして利用するか、兼用機能を利用するかを選択状態を読み出します。	ポートとして利用するか、兼用機能を利用するかを選択します。
ポート・ファンクション・コントロール・レジスタ (PFCn、RPFCm)	兼用機能の選択状態を読み出します。	兼用機能を選択します。
ポート・ファンクション・コントロール拡張レジスタ (PFCEn、RPFCEm)		
ポート端子入力レジスタ (PINn、RPINm)	ポート端子の入カラムチレベルを読み出します。	ライトできません。

注意. 兼用機能の割り当てが無い設定を行った場合の動作は保証されません。例えば、P00 端子のように兼用機能 4 の割り当てが無い場合、兼用機能 4 を選択しても正常に動作しないため、ご注意ください。兼用端子割り当てに関しては「8.4 兼用機能の選択一覧」を参照してください。

備考. n = 0 - 7 m = 0 - 3

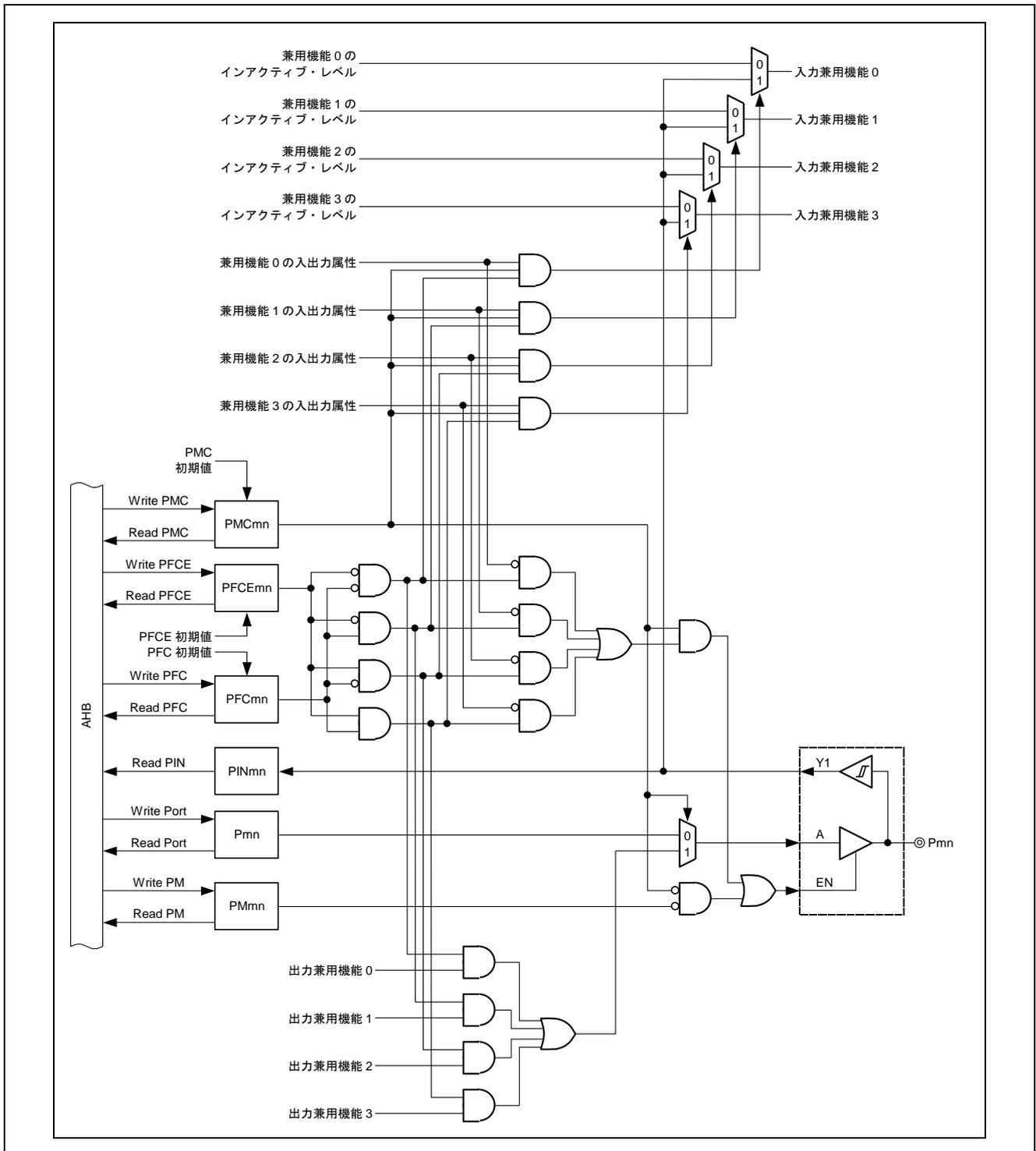


図8.1 ポートの基本回路構成

8.3 レジスタ一覧

(1/6)

レジスタ名	略号	アドレス
ポート・レジスタ 0 (8bit)	P0B	400A 3000H
ポート・レジスタ 1 (8bit)	P1B	400A 3001H
ポート・レジスタ 2 (8bit)	P2B	400A 3002H
ポート・レジスタ 3 (8bit)	P3B	400A 3003H
ポート・レジスタ 4 (8bit)	P4B	400A 3004H
ポート・レジスタ 5 (8bit)	P5B	400A 3005H
ポート・レジスタ 6 (8bit)	P6B	400A 3006H
ポート・レジスタ 7 (8bit)	P7B	400A 3007H
ポート・レジスタ 0 (16bit)	P0H	400A 3000H
ポート・レジスタ 2 (16bit)	P2H	400A 3002H
ポート・レジスタ 4 (16bit)	P4H	400A 3004H
ポート・レジスタ 6 (16bit)	P6H	400A 3006H
ポート・レジスタ 0 (32bit)	P0W	400A 3000H
ポート・レジスタ 4 (32bit)	P4W	400A 3004H
ポート・モード・レジスタ 0 (8bit)	PM0B	400A 3010H
ポート・モード・レジスタ 1 (8bit)	PM1B	400A 3011H
ポート・モード・レジスタ 2 (8bit)	PM2B	400A 3012H
ポート・モード・レジスタ 3 (8bit)	PM3B	400A 3013H
ポート・モード・レジスタ 4 (8bit)	PM4B	400A 3014H
ポート・モード・レジスタ 5 (8bit)	PM5B	400A 3015H
ポート・モード・レジスタ 6 (8bit)	PM6B	400A 3016H
ポート・モード・レジスタ 7 (8bit)	PM7B	400A 3017H
ポート・モード・レジスタ 0 (16bit)	PM0H	400A 3010H
ポート・モード・レジスタ 2 (16bit)	PM2H	400A 3012H
ポート・モード・レジスタ 4 (16bit)	PM4H	400A 3014H
ポート・モード・レジスタ 6 (16bit)	PM6H	400A 3016H
ポート・モード・レジスタ 0 (32bit)	PM0W	400A 3010H
ポート・モード・レジスタ 4 (32bit)	PM4W	400A 3014H

(2/6)

レジスタ名	略号	アドレス
ポート・モード・コントロール・レジスタ 0 (8bit)	PMC0B	400A 3020H
ポート・モード・コントロール・レジスタ 1 (8bit)	PMC1B	400A 3021H
ポート・モード・コントロール・レジスタ 2 (8bit)	PMC2B	400A 3022H
ポート・モード・コントロール・レジスタ 3 (8bit)	PMC3B	400A 3023H
ポート・モード・コントロール・レジスタ 4 (8bit)	PMC4B	400A 3024H
ポート・モード・コントロール・レジスタ 5 (8bit)	PMC5B	400A 3025H
ポート・モード・コントロール・レジスタ 6 (8bit)	PMC6B	400A 3026H
ポート・モード・コントロール・レジスタ 7 (8bit)	PMC7B	400A 3027H
ポート・モード・コントロール・レジスタ 0 (16bit)	PMC0H	400A 3020H
ポート・モード・コントロール・レジスタ 2 (16bit)	PMC2H	400A 3022H
ポート・モード・コントロール・レジスタ 4 (16bit)	PMC4H	400A 3024H
ポート・モード・コントロール・レジスタ 6 (16bit)	PMC6H	400A 3026H
ポート・モード・コントロール・レジスタ 0 (32bit)	PMC0W	400A 3020H
ポート・モード・コントロール・レジスタ 4 (32bit)	PMC4W	400A 3024H
ポート・ファンクション・コントロール・レジスタ 0 (8bit)	PFC0B	400A 3030H
ポート・ファンクション・コントロール・レジスタ 1 (8bit)	PFC1B	400A 3031H
ポート・ファンクション・コントロール・レジスタ 2 (8bit)	PFC2B	400A 3032H
ポート・ファンクション・コントロール・レジスタ 3 (8bit)	PFC3B	400A 3033H
ポート・ファンクション・コントロール・レジスタ 4 (8bit)	PFC4B	400A 3034H
ポート・ファンクション・コントロール・レジスタ 5 (8bit)	PFC5B	400A 3035H
ポート・ファンクション・コントロール・レジスタ 6 (8bit)	PFC6B	400A 3036H
ポート・ファンクション・コントロール・レジスタ 7 (8bit)	PFC7B	400A 3037H
ポート・ファンクション・コントロール・レジスタ 0 (16bit)	PFC0H	400A 3030H
ポート・ファンクション・コントロール・レジスタ 2 (16bit)	PFC2H	400A 3032H
ポート・ファンクション・コントロール・レジスタ 4 (16bit)	PFC4H	400A 3034H
ポート・ファンクション・コントロール・レジスタ 6 (16bit)	PFC6H	400A 3036H
ポート・ファンクション・コントロール・レジスタ 0 (32bit)	PFC0W	400A 3030H
ポート・ファンクション・コントロール・レジスタ 4 (32bit)	PFC4W	400A 3034H

(3/6)

レジスタ名	略号	アドレス
ポート・ファンクション・コントロール拡張レジスタ 0 (8bit)	PFCE0B	400A 3040H
ポート・ファンクション・コントロール拡張レジスタ 1 (8bit)	PFCE1B	400A 3041H
ポート・ファンクション・コントロール拡張レジスタ 2 (8bit)	PFCE2B	400A 3042H
ポート・ファンクション・コントロール拡張レジスタ 3 (8bit)	PFCE3B	400A 3043H
ポート・ファンクション・コントロール拡張レジスタ 4 (8bit)	PFCE4B	400A 3044H
ポート・ファンクション・コントロール拡張レジスタ 5 (8bit)	PFCE5B	400A 3045H
ポート・ファンクション・コントロール拡張レジスタ 6 (8bit)	PFCE6B	400A 3046H
ポート・ファンクション・コントロール拡張レジスタ 7 (8bit)	PFCE7B	400A 3047H
ポート・ファンクション・コントロール拡張レジスタ 0 (16bit)	PFCE0H	400A 3040H
ポート・ファンクション・コントロール拡張レジスタ 2 (16bit)	PFCE2H	400A 3042H
ポート・ファンクション・コントロール拡張レジスタ 4 (16bit)	PFCE4H	400A 3044H
ポート・ファンクション・コントロール拡張レジスタ 6 (16bit)	PFCE6H	400A 3046H
ポート・ファンクション・コントロール拡張レジスタ 0 (32bit)	PFCE0W	400A 3040H
ポート・ファンクション・コントロール拡張レジスタ 4 (32bit)	PFCE4W	400A 3044H
ポート端子入力レジスタ 0 (8bit)	PIN0B	400A 3050H
ポート端子入力レジスタ 1 (8bit)	PIN1B	400A 3051H
ポート端子入力レジスタ 2 (8bit)	PIN2B	400A 3052H
ポート端子入力レジスタ 3 (8bit)	PIN3B	400A 3053H
ポート端子入力レジスタ 4 (8bit)	PIN4B	400A 3054H
ポート端子入力レジスタ 5 (8bit)	PIN5B	400A 3055H
ポート端子入力レジスタ 6 (8bit)	PIN6B	400A 3056H
ポート端子入力レジスタ 7 (8bit)	PIN7B	400A 3057H
ポート端子入力レジスタ 0 (16bit)	PIN0H	400A 3050H
ポート端子入力レジスタ 2 (16bit)	PIN2H	400A 3052H
ポート端子入力レジスタ 4 (16bit)	PIN4H	400A 3054H
ポート端子入力レジスタ 6 (16bit)	PIN6H	400A 3056H
ポート端子入力レジスタ 0 (32bit)	PIN0W	400A 3050H
ポート端子入力レジスタ 4 (32bit)	PIN4W	400A 3054H

(4/6)

レジスタ名	略号	アドレス
RT ポート・レジスタ 0 (8bit)	RP0B	400A 3400H
RT ポート・レジスタ 1 (8bit)	RP1B	400A 3401H
RT ポート・レジスタ 2 (8bit)	RP2B	400A 3402H
RT ポート・レジスタ 3 (8bit)	RP3B	400A 3403H
RT ポート・レジスタ 0 (16bit)	RP0H	400A 3400H
RT ポート・レジスタ 2 (16bit)	RP2H	400A 3402H
RT ポート・レジスタ 0 (32bit)	RP0W	400A 3400H
RT ポート・モード・レジスタ 0 (8bit)	RPM0B	400A 3410H
RT ポート・モード・レジスタ 1 (8bit)	RPM1B	400A 3411H
RT ポート・モード・レジスタ 2 (8bit)	RPM2B	400A 3412H
RT ポート・モード・レジスタ 3 (8bit)	RPM3B	400A 3413H
RT ポート・モード・レジスタ 0 (16bit)	RPM0H	400A 3410H
RT ポート・モード・レジスタ 2 (16bit)	RPM2H	400A 3412H
RT ポート・モード・レジスタ 0 (32bit)	RPM0W	400A 3410H
RT ポート・モード・コントロール・レジスタ 0 (8bit)	RPMC0B	400A 3420H
RT ポート・モード・コントロール・レジスタ 1 (8bit)	RPMC1B	400A 3421H
RT ポート・モード・コントロール・レジスタ 2 (8bit)	RPMC2B	400A 3422H
RT ポート・モード・コントロール・レジスタ 3 (8bit)	RPMC3B	400A 3423H
RT ポート・モード・コントロール・レジスタ 0 (16bit)	RPMC0H	400A 3420H
RT ポート・モード・コントロール・レジスタ 2 (16bit)	RPMC2H	400A 3422H
RT ポート・モード・コントロール・レジスタ 0 (32bit)	RPMC0W	400A 3420H
RT ポート・ファンクション・コントロール・レジスタ 0 (8bit)	RPFC0B	400A 3430H
RT ポート・ファンクション・コントロール・レジスタ 1 (8bit)	RPFC1B	400A 3431H
RT ポート・ファンクション・コントロール・レジスタ 2 (8bit)	RPFC2B	400A 3432H
RT ポート・ファンクション・コントロール・レジスタ 3 (8bit)	RPFC3B	400A 3433H
RT ポート・ファンクション・コントロール・レジスタ 0 (16bit)	RPFC0H	400A 3430H
RT ポート・ファンクション・コントロール・レジスタ 2 (16bit)	RPFC2H	400A 3432H
RT ポート・ファンクション・コントロール・レジスタ 0 (32bit)	RPFC0W	400A 3430H

(5/6)

レジスタ名	略号	アドレス
RT ポート・ファンクション・コントロール拡張レジスタ 0 (8bit)	RPFCE0B	400A 3440H
RT ポート・ファンクション・コントロール拡張レジスタ 1 (8bit)	RPFCE1B	400A 3441H
RT ポート・ファンクション・コントロール拡張レジスタ 2 (8bit)	RPFCE2B	400A 3442H
RT ポート・ファンクション・コントロール拡張レジスタ 3 (8bit)	RPFCE3B	400A 3443H
RT ポート・ファンクション・コントロール拡張レジスタ 0 (16bit)	RPFCE0H	400A 3440H
RT ポート・ファンクション・コントロール拡張レジスタ 2 (16bit)	RPFCE2H	400A 3442H
RT ポート・ファンクション・コントロール拡張レジスタ 0 (32bit)	RPFCE0W	400A 3440H
RT ポート端子入力レジスタ 0 (8bit)	RPIN0B	400A 3450H
RT ポート端子入力レジスタ 1 (8bit)	RPIN1B	400A 3451H
RT ポート端子入力レジスタ 2 (8bit)	RPIN2B	400A 3452H
RT ポート端子入力レジスタ 3 (8bit)	RPIN3B	400A 3453H
RT ポート端子入力レジスタ 0 (16bit)	RPIN0H	400A 3450H
RT ポート端子入力レジスタ 2 (16bit)	RPIN2H	400A 3452H
RT ポート端子入力レジスタ 0 (32bit)	RPIN0W	400A 3450H

(6/6)

レジスタ名	略号	アドレス
バッファ機能切り替えレジスタ P1L	DRCTLP1L	4001 0228H
バッファ機能切り替えレジスタ P1H	DRCTLP1H	4001 022CH
バッファ機能切り替えレジスタ P3L	DRCTLP3L	4001 0238H
バッファ機能切り替えレジスタ P3H	DRCTLP3H	4001 023CH
バッファ機能切り替えレジスタ P4L	DRCTLP4L	4001 0240H
バッファ機能切り替えレジスタ P4H	DRCTLP4H	4001 0244H
バッファ機能切り替えレジスタ P5L	DRCTLP5L	4001 0248H
バッファ機能切り替えレジスタ P5H	DRCTLP5H	4001 024CH
バッファ機能切り替えレジスタ RP0L	DRCTLRP0L	4001 0260H
バッファ機能切り替えレジスタ RP0H	DRCTLRP0H	4001 0264H
バッファ機能切り替えレジスタ RP1L	DRCTLRP1L	4001 0268H
バッファ機能切り替えレジスタ RP1H	DRCTLRP1H	4001 026CH
バッファ機能切り替えレジスタ RP2L	DRCTLRP2L	4001 0270H
バッファ機能切り替えレジスタ RP2H	DRCTLRP2H	4001 0274H
バッファ機能切り替えレジスタ RP3L	DRCTLRP3L	4001 0278H
バッファ機能切り替えレジスタ RP3H	DRCTLRP3H	4001 027CH

8.3.1 ポート・レジスタ (P, RP)

3ステート入出力ポートを12ポート内蔵しています。1ビット単位に入出力指定が可能です。ポート・レジスタは、出力ポートの場合は出力レベルの書き込みに使用し、リードの場合は、ポート・レジスタの値を読み出します。端子レベルをリードする場合は、PIN/RPINレジスタを使用します。

	7	6	5	4	3	2	1	0	アドレス	初期値
P0B	P07	P06	P05	P04	P03	P02	P01	P00	400A 3000H	00H
P1B	P17	P16	P15	P14	P13	P12	P11	P10	400A 3001H	00H
P2B	P27	P26	P25	P24	P23	P22	P21	P20	400A 3002H	00H
P3B	P37	P36	P35	P34	P33	P32	P31	P30	400A 3003H	00H
P4B	P47	P46	P45	P44	P43	P42	P41	P40	400A 3004H	00H
P5B	P57	P56	P55	P54	P53	P52	P51	P50	400A 3005H	00H
P6B	P67	P66	P65	P64	P63	P62	P61	P60	400A 3006H	00H
P7B	P77	P76	P75	P74	P73	P72	P71	P70	400A 3007H	00H
RP0B	RP07	RP06	RP05	RP04	RP03	RP02	RP01	RP00	400A 3400H	00H
RP1B	RP17	RP16	RP15	RP14	RP13	RP12	RP11	RP10	400A 3401H	00H
RP2B	RP27	RP26	RP25	RP24	RP23	RP22	RP21	RP20	400A 3402H	00H
RP3B	RP37	RP36	RP35	RP34	RP33	RP32	RP31	RP30	400A 3403H	00H

ビット位置	ビット名	意味
7-0	Pmn/RPIn	出力ポートとして利用する場合の出力ラッチの値を設定するレジスタです。リードすると出力ラッチの値を読み出します。

図8.2 ポート・レジスタ (8bit 表記)

備考. l = 0 - 3, m = 0 - 7, n = 0 - 7

P0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	P17	P16	P15	P14	P13	P12	P11	P10	P07	P06	P05	P04	P03	P02	P01	P00	400A 3000H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
P2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	P37	P36	P35	P34	P33	P32	P31	P30	P27	P26	P25	P24	P23	P22	P21	P20	400A 3002H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
P4H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	P57	P56	P55	P54	P53	P52	P51	P50	P47	P46	P45	P44	P43	P42	P41	P40	400A 3004H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
P6H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	P77	P76	P75	P74	P73	P72	P71	P70	P67	P66	P65	P64	P63	P62	P61	P60	400A 3006H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
RP0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	RP17	RP16	RP15	RP14	RP13	RP12	RP11	RP10	RP07	RP06	RP05	RP04	RP03	RP02	RP01	RP00	400A 3400H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
RP2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	RP37	RP36	RP35	RP34	RP33	RP32	RP31	RP30	RP27	RP26	RP25	RP24	RP23	RP22	RP21	RP20	400A 3402H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>15-0</td> <td>Pmn/RPIn</td> <td>出力ポートとして利用する場合の出カラッチの値を設定するレジスタです。リードすると出カラッチの値を読み出します。</td> </tr> </tbody> </table>																	ビット位置	ビット名	意味	15-0	Pmn/RPIn	出力ポートとして利用する場合の出カラッチの値を設定するレジスタです。リードすると出カラッチの値を読み出します。
ビット位置	ビット名	意味																				
15-0	Pmn/RPIn	出力ポートとして利用する場合の出カラッチの値を設定するレジスタです。リードすると出カラッチの値を読み出します。																				

図8.3 ポート・レジスタ (16bit 表記)

備考. l = 0 - 3, m = 0 - 7, n = 0 - 7

8.3.2 ポート・モード・レジスタ (PM, RPM)

ポートの入力/出力を設定するレジスタです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM0B	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	400A 3010H	FFH
PM1B	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	400A 3011H	FFH
PM2B	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	400A 3012H	FFH
PM3B	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	400A 3013H	FFH
PM4B	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	400A 3014H	FFH
PM5B	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	400A 3015H	FFH
PM6B	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	400A 3016H	FFH
PM7B	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	400A 3017H	FFH
RPM0B	RPM07	RPM06	RPM05	RPM04	RPM03	RPM02	RPM01	RPM00	400A 3410H	FFH
RPM1B	RPM17	RPM16	RPM15	RPM14	RPM13	RPM12	RPM11	RPM10	400A 3411H	FFH
RPM2B	RPM27	RPM26	RPM25	RPM24	RPM23	RPM22	RPM21	RPM20	400A 3412H	FFH
RPM3B	RPM37	RPM36	RPM35	RPM34	RPM33	RPM32	RPM31	RPM30	400A 3413H	FFH

ビット位置	ビット名	意味
7-0	PMmn/ RPMln	ポートの入出力を設定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ) (初期値)

図8.5 ポート・モード・レジスタ (8bit 表記)

備考. l = 0-3 m = 0-7 n = 0-7

PM0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	400A 3010H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 FFFFH
PM2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	400A 3012H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 FFFFH
PM4H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	400A 3014H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 FFFFH
PM6H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	400A 3016H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 FFFFH
RPM0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	RPM 17	RPM 16	RPM 15	RPM 14	RPM 13	RPM 12	RPM 11	RPM 10	RPM 07	RPM 06	RPM 05	RPM 04	RPM 03	RPM 02	RPM 01	RPM 00	400A 3410H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 FFFFH
RPM2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	RPM 37	RPM 36	RPM 35	RPM 34	RPM 33	RPM 32	RPM 31	RPM 30	RPM 27	RPM 26	RPM 25	RPM 24	RPM 23	RPM 22	RPM 21	RPM 20	400A 3412H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 FFFFH
ビット位置		ビット名	意味														
15-0		PMmn/ RPMln	ポートの入出力を設定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ) (初期値)														

図8.6 ポート・モード・レジスタ (16bit 表記)

備考. l = 0-3 m = 0-7 n = 0-7

8.3.3 ポート・モード・コントロール・レジスタ (PMC, RPMC)

ポートをポートとして使用するか、兼用機能で使用するかを選択するレジスタです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC0B	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00	400A 3020H	00H
PMC1B	PMC17	PMC16	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10	400A 3021H	00H ^{注1}
PMC2B	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20	400A 3022H	00H ^{注1}
PMC3B	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30	400A 3023H	00H ^{注1}
PMC4B	PMC47	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40	400A 3024H	00H ^{注1}
PMC5B	PMC57	PMC56	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50	400A 3025H	00H ^{注1}
PMC6B	PMC67	PMC66	PMC65	PMC64	PMC63	PMC62	PMC61	PMC60	400A 3026H	00H ^{注1}
PMC7B	PMC77	PMC76	PMC75	PMC74	PMC73	PMC72	PMC71	PMC70	400A 3027H	00H
RPMC0B	RPMC07	RPMC06	RPMC05	RPMC04	RPMC03	RPMC02	RPMC01	RPMC00	400A 3420H	00H ^{注1}
RPMC1B	RPMC17	RPMC16	RPMC15	RPMC14	RPMC13	RPMC12	RPMC11	RPMC10	400A 3421H	00H ^{注1}
RPMC2B	RPMC27	RPMC26	RPMC25	RPMC24	RPMC23	RPMC22	RPMC21	RPMC20	400A 3422H	00H ^{注1}
RPMC3B	RPMC37	RPMC36	RPMC35	RPMC34	RPMC33	RPMC32	RPMC31	RPMC30	400A 3423H	00H ^{注1}

ビット位置	ビット名	意味
7-0	PMCmn / RPMCln	ポートとして利用するか、兼用機能を利用するかを選択します。 ^{注2} 0 : ポート・モード (入力系の兼用機能にはインアクティブ・レベルが入力されます) 1 : 兼用機能 (コントロール・モード)

図8.8 ポート・モード・コントロール・レジスタ (8bit 表記)

注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。

2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「8.4 兼用機能の選択一覧」を参照してください。

備考. l = 0-3 m = 0-7 n = 0-7

PMC0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PMC 17	PMC 16	PMC 15	PMC 14	PMC 13	PMC 12	PMC 11	PMC 10	PMC 07	PMC 06	PMC 05	PMC 04	PMC 03	PMC 02	PMC 01	PMC 00	400A 3020H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}
PMC2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PMC 37	PMC 36	PMC 35	PMC 34	PMC 33	PMC 32	PMC 31	PMC 30	PMC 27	PMC 26	PMC 25	PMC 24	PMC 23	PMC 22	PMC 21	PMC 20	400A 3022H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}
PMC4H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PMC 57	PMC 56	PMC 55	PMC 54	PMC 53	PMC 52	PMC 51	PMC 50	PMC 47	PMC 46	PMC 45	PMC 44	PMC 43	PMC 42	PMC 41	PMC 40	400A 3024H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}
PMC6H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PMC 77	PMC 76	PMC 75	PMC 74	PMC 73	PMC 72	PMC 71	PMC 70	PMC 67	PMC 66	PMC 65	PMC 64	PMC 63	PMC 62	PMC 61	PMC 60	400A 3026H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}
RPMC0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	RPM C17	RPM C16	RPM C15	RPM C14	RPM C13	RPM C12	RPM C11	RPM C10	RPM C07	RPM C06	RPM C05	RPM C04	RPM C03	RPM C02	RPM C01	RPM C00	400A 3420H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}
RPMC2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	RPM C37	RPM C36	RPM C35	RPM C34	RPM C33	RPM C32	RPM C31	RPM C30	RPM C27	RPM C26	RPM C25	RPM C24	RPM C23	RPM C22	RPM C21	RPM C20	400A 3422H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}
ビット位置		ビット名	意味														
15-0		PMCmn / RPMCl n	ポートとして利用するか、兼用機能を利用するかを選択します。 ^{注2} 0 : ポート・モード (入力系の兼用機能にはインアクティブ・レベルが入力されます) 1 : 兼用機能 (コントロール・モード)														

図8.9 ポート・モード・コントロール・レジスタ (16bit 表記)

注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。

2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「8.4 兼用機能の選択一覧」を参照してください。

備考. l = 0-3 m = 0-7 n = 0-7

8.3.4 ポート・ファンクション・コントロール・レジスタ (PFC, RPFC)

兼用機能の選択を行うレジスタです。1ビット単位で選択可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC0B	1	PFC06	PFC05	PFC04	PFC03	PFC02	PFC01	PFC00	400A 3030H	00H
PFC1B	0	0	0	0	0	PFC12	PFC11	PFC10	400A 3031H	00H
PFC2B	PFC27	PFC26	0	PFC24	PFC23	PFC22	0	0	400A 3032H	00H ^{注1}
PFC3B	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	0	0	400A 3033H	00H ^{注1}
PFC4B	PFC47	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40	400A 3034H	00H ^{注1}
PFC5B	PFC57	PFC56	0	PFC54	PFC53	PFC52	0	0	400A 3035H	00H ^{注1}
PFC6B	0	0	0	0	0	0	0	0	400A 3036H	00H ^{注1}
PFC7B	PFC77	PFC76	0	PFC74	PFC73	PFC72	0	PFC70	400A 3037H	00H
RPFC0B	RPFC07	RPFC06	0	RPFC04	0	RPFC02	RPFC01	RPFC00	400A 3430H	00H
RPFC1B	0	0	0	0	0	0	0	0	400A 3431H	00H
RPFC2B	RPFC27	RPFC26	RPFC25	RPFC24	0	0	0	RPFC20	400A 3432H	00H
RPFC3B	0	0	0	0	0	0	0	0	400A 3433H	00H

ビット位置	ビット名	意味
7-0	PFCmn / RPFCmn	兼用機能を選択します。 ^{注2} 0 : 兼用機能 1 / 兼用機能 3 1 : 兼用機能 2 / 兼用機能 4

図8.11 ポート・ファンクション・コントロール・レジスタ (8bit 表記)

注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。

2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「8.4 兼用機能の選択一覧」を参照してください。

備考. l = 0-3 m = 0-7 n = 0-7

PFC0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	0	0	0	0	0	PFC 12	PFC 11	PFC 10	1	PFC 06	PFC 05	PFC 04	PFC 03	PFC 02	PFC 01	PFC 00	400A 3030H					
	0	0	0	0	0	R/W	R/W	R/W	1	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
PFC2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	PFC 37	PFC 36	PFC 35	PFC 34	PFC 33	PFC 32	0	0	PFC 27	PFC 26	PFC 25	PFC 24	PFC 23	PFC 22	0	0	400A 3032H					
	R/W	R/W	R/W	R/W	R/W	R/W	0	0	R/W	R/W	R/W	R/W	R/W	R/W	0	0	初期値 0000H ^{注1}					
PFC4H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	PFC 57	PFC 56	0	PFC 54	PFC 53	PFC 52	0	0	PFC 47	PFC 46	PFC 45	PFC 44	PFC 43	PFC 42	PFC 41	PFC 40	400A 3034H					
	R/W	R/W	0	R/W	R/W	R/W	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}					
PFC6H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	PFC 77	PFC 76	0	PFC 74	PFC 73	PFC 72	0	PFC 70	0	0	0	0	0	0	0	0	400A 3036H					
	R/W	R/W	0	R/W	R/W	R/W	0	R/W	0	0	0	0	0	0	0	0	初期値 0000H ^{注1}					
RPFC0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	0	0	0	0	0	0	0	0	RPFC 07	RPFC 06	0	RPFC 04	0	RPFC 02	RPFC 01	RPFC 00	400A 3430H					
	0	0	0	0	0	0	0	0	R/W	R/W	0	R/W	0	R/W	R/W	R/W	初期値 0000H					
RPFC2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	0	0	0	0	0	0	0	0	RPFC 27	RPFC 26	RPFC 25	RPFC 24	0	0	0	RPFC 20	400A 3432H					
	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	0	0	0	R/W	初期値 0000H					
<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>15-0</td> <td>PFCmn / RPFCln</td> <td>兼用機能を選択します。^{注2} 0 : 兼用機能 1 / 兼用機能 3 1 : 兼用機能 2 / 兼用機能 4</td> </tr> </tbody> </table>																	ビット位置	ビット名	意味	15-0	PFCmn / RPFCln	兼用機能を選択します。 ^{注2} 0 : 兼用機能 1 / 兼用機能 3 1 : 兼用機能 2 / 兼用機能 4
ビット位置	ビット名	意味																				
15-0	PFCmn / RPFCln	兼用機能を選択します。 ^{注2} 0 : 兼用機能 1 / 兼用機能 3 1 : 兼用機能 2 / 兼用機能 4																				

図8.12 ポート・ファンクション・コントロール・レジスタ（16bit 表記）

注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。

2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「8.4 兼用機能の選択一覧」を参照してください。

備考. l = 0-3 m = 0-7 n = 0-7

PFC0W	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス 400A 3030H 初期値 0000 0000H ^{注1}																																	
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr><td style="width:100px;">PFC37</td><td style="width:100px;">PFC36</td><td style="width:100px;">PFC35</td><td style="width:100px;">PFC34</td><td style="width:100px;">PFC33</td><td style="width:100px;">PFC32</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">PFC27</td><td style="width:100px;">PFC26</td><td style="width:100px;">0</td><td style="width:100px;">PFC24</td><td style="width:100px;">PFC23</td><td style="width:100px;">PFC22</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">PFC12</td><td style="width:100px;">PFC11</td><td style="width:100px;">PFC10</td><td style="width:100px;">1</td><td style="width:100px;">PFC06</td><td style="width:100px;">PFC05</td><td style="width:100px;">PFC04</td><td style="width:100px;">PFC03</td><td style="width:100px;">PFC02</td><td style="width:100px;">PFC01</td><td style="width:100px;">PFC00</td></tr> </table>	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	0	0	PFC27	PFC26	0	PFC24	PFC23	PFC22	0	0	0	0	0	0	0	PFC12	PFC11	PFC10	1	PFC06	PFC05	PFC04	PFC03	PFC02	PFC01	PFC00		
PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	0	0	PFC27	PFC26	0	PFC24	PFC23	PFC22	0	0	0	0	0	0	0	PFC12	PFC11	PFC10	1	PFC06	PFC05	PFC04	PFC03	PFC02	PFC01	PFC00				
R/W	RWRWRWRWRWRWRW 0 0 RWRW 0 RWRWRW 0 0 0 0 0 0 0 0 RWRWRW 1 RWRWRWRWRWRWRWRW																																		
PFC4W	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス 400A 3034H 初期値 0000 0000H ^{注1}																																	
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr><td style="width:100px;">PFC77</td><td style="width:100px;">PFC76</td><td style="width:100px;">0</td><td style="width:100px;">PFC74</td><td style="width:100px;">PFC73</td><td style="width:100px;">PFC72</td><td style="width:100px;">0</td><td style="width:100px;">PFC70</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">PFC57</td><td style="width:100px;">PFC56</td><td style="width:100px;">0</td><td style="width:100px;">PFC54</td><td style="width:100px;">PFC53</td><td style="width:100px;">PFC52</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">PFC47</td><td style="width:100px;">PFC46</td><td style="width:100px;">PFC45</td><td style="width:100px;">PFC44</td><td style="width:100px;">PFC43</td><td style="width:100px;">PFC42</td><td style="width:100px;">PFC41</td><td style="width:100px;">PFC40</td></tr> </table>	PFC77	PFC76	0	PFC74	PFC73	PFC72	0	PFC70	0	0	0	0	0	0	0	0	PFC57	PFC56	0	PFC54	PFC53	PFC52	0	0	PFC47	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40		
PFC77	PFC76	0	PFC74	PFC73	PFC72	0	PFC70	0	0	0	0	0	0	0	0	PFC57	PFC56	0	PFC54	PFC53	PFC52	0	0	PFC47	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40				
R/W	RWRW 0 RWRWRW 0 RW 0 0 0 0 0 0 0 0 0 0 RWRW 0 RWRWRW 0 0 RWRWRWRWRWRWRWRW																																		
RPFC0W	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス 400A 3430H 初期値 0000 0000H ^{注1}																																	
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">RPFC27</td><td style="width:100px;">RPFC26</td><td style="width:100px;">RPFC25</td><td style="width:100px;">RPFC24</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">RPFC20</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">0</td><td style="width:100px;">RPFC07</td><td style="width:100px;">RPFC06</td><td style="width:100px;">0</td><td style="width:100px;">RPFC04</td><td style="width:100px;">0</td><td style="width:100px;">RPFC02</td><td style="width:100px;">RPFC01</td><td style="width:100px;">RPFC00</td></tr> </table>	0	0	0	0	0	0	0	0	RPFC27	RPFC26	RPFC25	RPFC24	0	0	0	0	RPFC20	0	0	0	0	0	0	0	0	RPFC07	RPFC06	0	RPFC04	0	RPFC02	RPFC01	RPFC00	
0	0	0	0	0	0	0	0	RPFC27	RPFC26	RPFC25	RPFC24	0	0	0	0	RPFC20	0	0	0	0	0	0	0	0	RPFC07	RPFC06	0	RPFC04	0	RPFC02	RPFC01	RPFC00			
R/W	0 0 0 0 0 0 0 0 0 RWRWRWRW 0 0 0 RW 0 0 0 0 0 0 0 0 0 0 0 0 RWRW 0 RW 0 RWRWRW																																		

ビット位置	ビット名	意味
31-0	PFCmn / RPFCln	兼用機能を選択します。 ^{注2} 0 : 兼用機能 1 / 兼用機能 3 1 : 兼用機能 2 / 兼用機能 4

図8.13 ポート・ファンクション・コントロール・レジスタ（32bit 表記）

注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。

2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「8.4 兼用機能の選択一覧」を参照してください。

備考. l = 0-3 m = 0-7 n = 0-7

8.3.5 ポート・ファンクション・コントロール拡張レジスタ (PFCE, RPFCE)

兼用拡張機能の選択を行うレジスタです。1ビット単位で選択可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCE0B	PFCE07	PFCE06	PFCE05	PFCE04	PFCE03	PFCE02	0	0	400A 3040H	00H
PFCE1B	0	0	0	0	PFCE13	PFCE12	PFCE11	PFCE10	400A 3041H	00H
PFCE2B	0	PFCE26	PFCE25	PFCE24	PFCE23	PFCE22	PFCE21	PFCE20	400A 3042H	00H
PFCE3B	PFCE37	PFCE36	PFCE35	PFCE34	PFCE33	PFCE32	0	0	400A 3043H	00H ^{注1}
PFCE4B	0	0	0	0	0	PFCE42	0	0	400A 3044H	00H ^{注1}
PFCE5B	0	0	0	PFCE54	PFCE53	PFCE52	PFCE51	PFCE50	400A 3045H	00H ^{注1}
PFCE6B	0	0	PFCE65	PFCE64	PFCE63	PFCE62	0	0	400A 3046H	00H ^{注1}
PFCE7B	PFCE77	PFCE76	PFCE75	PFCE74	PFCE73	PFCE72	PFCE71	PFCE70	400A 3047H	00H
RPFCE0B	0	0	RPFCE05	RPFCE04	RPFCE03	RPFCE02	RPFCE01	RPFCE00	400A 3440H	00H ^{注1}
RPFCE1B	0	0	0	0	0	0	0	0	400A 3441H	00H ^{注1}
RPFCE2B	0	0	0	0	0	0	0	0	400A 3442H	00H ^{注1}
RPFCE3B	0	0	0	0	0	0	0	0	400A 3443H	00H ^{注1}

ビット位置	ビット名	意味
7-0	PFCEmn / RPFCEln	兼用機能を選択します。 ^{注2} 0 : 兼用機能 1 / 兼用機能 2 1 : 兼用機能 3 / 兼用機能 4

図8.14 ポート・ファンクション・コントロール拡張レジスタ (8bit 表記)

注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。

2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「8.4 兼用機能の選択一覧」を参照してください。

備考. l = 0-3 m = 0-7 n = 0-7

PFCE0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	0	0	0	0	PFCE 13	PFCE 12	PFCE 11	PFCE 10	PFCE 07	PFCE 06	PFCE 05	PFCE 04	PFCE 03	PFCE 02	0	0	400A 3040H
	0	0	0	0	R/W	R/W	R/W	R/W	0	0	初期値 0000H						
PFCE2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PFCE 37	PFCE 36	PFCE 35	PFCE 34	PFCE 33	PFCE 32	0	0	0	PFCE 26	PFCE 25	PFCE 24	PFCE 23	PFCE 22	PFCE 21	PFCE 20	400A 3042H
	R/W	R/W	R/W	R/W	R/W	R/W	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}
PFCE4H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	0	0	0	PFCE 54	PFCE 53	PFCE 52	PFCE 51	PFCE 50	0	0	0	0	0	PFCE 42	0	0	400A 3044H
	0	0	0	R/W	R/W	R/W	R/W	R/W	0	0	0	0	0	0	R/W	0	0
PFCE6H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PFCE 77	PFCE 76	PFCE 75	PFCE 74	PFCE 73	PFCE 72	PFCE 71	PFCE 70	0	0	PFCE 65	PFCE 64	PFCE 63	PFCE 62	0	0	400A 3046H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	0	0	R/W	R/W	R/W	R/W	0	0	初期値 0000H ^{注1}
RPFCE0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	0	0	0	0	0	0	0	0	0	0	RPFCE E05	RPFCE E04	RPFCE E03	RPFCE E02	RPFCE E01	RPFCE E00	400A 3440H
	0	0	0	0	0	0	0	0	0	0	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}
RPFCE2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	400A 3442H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	初期値 0000H ^{注1}
ビット位置		ビット名	意味														
15-0	PFCEmn / RPFCEln	兼用機能を選択します。 ^{注2} 0 : 兼用機能 1 / 兼用機能 2 1 : 兼用機能 3 / 兼用機能 4															

図8.15 ポート・ファンクション・コントロール拡張レジスタ（16bit表記）

注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。

2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「8.4 兼用機能の選択一覧」を参照してください。

備考. l = 0-3 m = 0-7 n = 0-7

PFCE0W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス		
	PFCE37	PFCE36	PFCE35	PFCE34	PFCE33	PFCE32	0	0	0	PFCE26	PFCE25	PFCE24	PFCE23	PFCE22	PFCE21	PFCE20	0	0	0	0	PFCE13	PFCE12	PFCE11	PFCE10	PFCE07	PFCE06	PFCE05	PFCE04	PFCE03	PFCE02	0	0	400A 3040H 初期値 0000 0000H ^{注1}		
R/W	R	R	R	R	R	R	0	0	0	R	R	R	R	R	R	R	0	0	0	0	R	R	R	R	R	R	R	R	R	R	R	0	0		
PFCE4W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス		
	PFCE77	PFCE76	PFCE75	PFCE74	PFCE73	PFCE72	PFCE71	PFCE70	0	0	PFCE65	PFCE64	PFCE63	PFCE62	0	0	0	0	0	0	PFCE54	PFCE53	PFCE52	PFCE51	PFCE50	0	0	0	0	0	0	0	400A 3044H 初期値 0000 0000H ^{注1}		
R/W	R	R	R	R	R	R	R	0	0	R	R	R	R	0	0	0	0	0	0	R	R	R	R	R	0	0	0	0	0	0	R	W	0	0	
RPFCE0W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス		
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RPFCE05	RPFCE04	RPFCE03	RPFCE02	RPFCE01	RPFCE00	400A 3440H 初期値 0000 0000H ^{注1}	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R	R	R	R	R	R	W		

ビット位置	ビット名	意味
31-0	PFCEmn / RPFCEIn	兼用機能を選択します。 ^{注2} 0 : 兼用機能 1 / 兼用機能 2 1 : 兼用機能 3 / 兼用機能 4

図8.16 ポート・ファンクション・コントロール拡張レジスタ（32bit 表記）

注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。

2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「8.4 兼用機能の選択一覧」を参照してください。

備考. l = 0-3 m = 0-7 n = 0-7

8.3.6 ポート端子入力レジスタ (PIN, RPIN)

ポート端子の入力レベルを読むことができるリード専用レジスタです

	7	6	5	4	3	2	1	0	アドレス	初期値
PIN0B	PIN07	PIN06	PIN05	PIN04	PIN03	PIN02	PIN01	PIN00	400A 3050H	端子 レベル
PIN1B	PIN17	PIN16	PIN15	PIN14	PIN13	PIN12	PIN11	PIN10	400A 3051H	端子 レベル
PIN2B	PIN27	PIN26	PIN25	PIN24	PIN23	PIN22	PIN21	PIN20	400A 3052H	端子 レベル
PIN3B	PIN37	PIN36	PIN35	PIN34	PIN33	PIN32	PIN31	PIN30	400A 3053H	端子 レベル
PIN4B	PIN47	PIN46	PIN45	PIN44	PIN43	PIN42	PIN41	PIN40	400A 3054H	端子 レベル
PIN5B	PIN57	PIN56	PIN55	PIN54	PIN53	PIN52	PIN51	PIN50	400A 3055H	端子 レベル
PIN6B	PIN67	PIN66	PIN65	PIN64	PIN63	PIN62	PIN61	PIN60	400A 3056H	端子 レベル
PIN7B	PIN77	PIN76	PIN75	PIN74	PIN73	PIN72	PIN71	PIN70	400A 3057H	端子 レベル
RPIN0B	RPIN07	RPIN06	RPIN05	RPIN04	RPIN03	RPIN02	RPIN01	RPIN00	400A 3450H	端子 レベル
RPIN1B	RPIN17	RPIN16	RPIN15	RPIN14	RPIN13	RPIN12	RPIN11	RPIN10	400A 3451H	端子 レベル
RPIN2B	RPIN27	RPIN26	RPIN25	RPIN24	RPIN23	RPIN22	RPIN21	RPIN20	400A 3452H	端子 レベル
RPIN3B	RPIN37	RPIN36	RPIN35	RPIN34	RPIN33	RPIN32	RPIN31	RPIN30	400A 3453H	端子 レベル

ビット位置	ビット名	意味
7-0	PINmn / RPINln	ポート端子の入力レベルをリードできます。

図8.17 ポート端子入力レジスタ (8bit 表記)

備考. l = 0-3 m = 0-7 n = 0-7

PIN0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PIN 17	PIN 16	PIN 15	PIN 14	PIN 13	PIN 12	PIN 11	PIN 10	PIN 07	PIN 06	PIN 05	PIN 04	PIN 03	PIN 02	PIN 01	PIN 00	400A 3050H
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	初期値 端子レベル
PIN2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PIN 37	PIN 36	PIN 35	PIN 34	PIN 33	PIN 32	PIN 31	PIN 30	PIN 27	PIN 26	PIN 25	PIN 24	PIN 23	PIN 22	PIN 21	PIN 20	400A 3052H
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	初期値 端子レベル
PIN4H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PIN 57	PIN 56	PIN 55	PIN 54	PIN 53	PIN 52	PIN 51	PIN 50	PIN 47	PIN 46	PIN 45	PIN 44	PIN 43	PIN 42	PIN 41	PIN 40	400A 3054H
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	初期値 端子レベル
PIN6H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PIN 77	PIN 76	PIN 75	PIN 74	PIN 73	PIN 72	PIN 71	PIN 70	PIN 67	PIN 66	PIN 65	PIN 64	PIN 63	PIN 62	PIN 61	PIN 60	400A 3056H
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	初期値 端子レベル
RPIN0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	RPIN1 7	RPIN 16	RPIN 15	RPIN 14	RPIN 13	RPIN 12	RPIN 11	RPIN 10	RPIN 07	RPIN 06	RPIN 05	RPIN 04	RPIN 03	RPIN 02	RPIN 01	RPIN0 0	400A 3450H
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	初期値 端子レベル
RPIN2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	RPIN3 7	RPIN 36	RPIN 35	RPIN 34	RPIN 33	RPIN 32	RPIN 31	RPIN 30	RPIN 27	RPIN 26	RPIN 25	RPIN 24	RPIN 23	RPIN 22	RPIN 21	RPIN2 0	400A 3452H
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	初期値 端子レベル
ビット位置		ビット名	意味														
15-0		PINmn / RPINln	ポート端子の入カレベルをリードできます。														

図8.18 ポート端子入力レジスタ (16bit 表記)

備考. l = 0-3 m = 0-7 n = 0-7

8.4 兼用機能の選択一覧

ポート関連レジスタで選択される兼用機能の選択一覧を以下に示します。

(1) ポート (P00-P77)

(1/3)

端子 名称	PMCmn = 0 (ポート・モード)		PMCmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEmn = 0		PFCEmn = 1	
			PFCmn = 0 (兼用機能 1)	PFCmn = 1 (兼用機能 2)	PFCmn = 0 (兼用機能 3)	PFCmn = 1 (兼用機能 4)
P00	P00 (出力モード)	P00 (入力モード)	INTPZ0	CATLEDRUN	—	—
P01	P01 (出力モード)	P01 (入力モード)	INTPZ1	CATIRQ	—	—
P02	P02 (出力モード)	P02 (入力モード)	INTPZ2	CATLEDSTER	—	—
P03	P03 (出力モード)	P03 (入力モード)	INTPZ3	CATLEDERR	—	CCS_MON5
P04	P04 (出力モード)	P04 (入力モード)	INTPZ4	CATLINKACT0	—	CCS_MON6
P05	P05 (出力モード)	P05 (入力モード)	INTPZ5	CATLINKACT1	—	CCS_MON7
P06	P06 (出力モード)	P06 (入力モード)	—	P0LINKLEDZ	—	CCS_MON0
P07	P07 (出力モード)	P07 (入力モード)	—	P1LINKLEDZ	—	CCS_RESOUT
P10	P10 (出力モード)	P10 (入力モード)	CATLATCH1	CATSYNC1	—	CCS_REFSTB
P11	P11 (出力モード)	P11 (入力モード)	CATLATCH0	CATSYNC0	—	CCS_MON4
P12	P12 (出力モード)	P12 (入力モード)	INTPZ6	—	—	—
P13	P13 (出力モード)	P13 (入力モード)	INTPZ7	—	CCS_WDTZ / CCM_WDTENZ	—
P14	P14 (出力モード)	P14 (入力モード)	SMSCK	—	—	—
P15	P15 (出力モード)	P15 (入力モード)	SMSI	—	—	—
P16	P16 (出力モード)	P16 (入力モード)	SMSO	—	—	—
P17	P17 (出力モード)	P17 (入力モード)	SMCSZ	—	—	—
P20	P20 (出力モード)	P20 (入力モード)	RXD0	—	CCM_LINKERRZ	—
P21	P21 (出力モード)	P21 (入力モード)	TXD0	—	CCM_ERRZ	—
P22	P22 (出力モード)	P22 (入力モード)	INTPZ8	CATI2CCLK	CCS_IOTENSU	—
P23	P23 (出力モード)	P23 (入力モード)	INTPZ9	CATI2CDATA	CCS_SENYU0	—
P24	P24 (出力モード)	P24 (入力モード)	INTPZ10	ETHSWSECOUT	CCS_SENYU1	—
P25	P25 (出力モード)	P25 (入力モード)	WDTOUTZ	—	CCS_ERRZ	—
P26	P26 (出力モード)	P26 (入力モード)	TIN1	TOUT1	CCM_RUNZ / CCS_RUNZ	—
P27	P27 (出力モード)	P27 (入力モード)	TIN0	TOUT0	—	—

備考. m = 0-7 n = 0-7

(2/3)

端子 名称	PMCmn = 0 (ポート・モード)		PMCmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEmn = 0		PFCEmn = 1	
			PFCmn = 0 (兼用機能 1)	PFCmn = 1 (兼用機能 2)	PFCmn = 0 (兼用機能 3)	PFCmn = 1 (兼用機能 4)
P30	P30 (出力モード)	P30 (入力モード)	RXD1	—	—	—
P31	P31 (出力モード)	P31 (入力モード)	TXD1	—	—	—
P32	P32 (出力モード)	P32 (入力モード)	DMAREQZ1	—	—	CCS_MON1
P33	P33 (出力モード)	P33 (入力モード)	DMAACKZ1	—	—	CCS_MON2
P34	P34 (出力モード)	P34 (入力モード)	DMATCZ1	—	—	CCS_MON3
P35	P35 (出力モード)	P35 (入力モード)	CSISCK1	INTPZ22	CCM_IRLZ	—
P36	P36 (出力モード)	P36 (入力モード)	CSIS11	INTPZ23	CCS_FUSEZ	—
P37	P37 (出力モード)	P37 (入力モード)	CSISO1	INTPZ24	CCM_MSTZ	—
P40	P40 (出力モード)	P40 (入力モード)	A1	HA1	—	—
P41	P41 (出力モード)	P41 (入力モード)	WAITZ	HWAITZ	—	—
P42	P42 (出力モード)	P42 (入力モード)	SLEEPING	HERROUTZ	CCM_SDGCZ	—
P43	P43 (出力モード)	P43 (入力モード)	INTPZ11	HBUSCLK	—	—
P44	P44 (出力モード)	P44 (入力モード)	CSZ1	HPGCSZ	—	—
P45	P45 (出力モード)	P45 (入力モード)	CSISCK0	WAITZ1	—	—
P46	P46 (出力モード)	P46 (入力モード)	CSIS10	WAITZ2	—	—
P47	P47 (出力モード)	P47 (入力モード)	CSIS00	WAITZ3	—	—
P50	P50 (出力モード)	P50 (入力モード)	CSZ3	—	CCM_LNKRUNZ / CCS_LNKRUNZ	—
P51	P51 (出力モード)	P51 (入力モード)	CSZ2	—	CCM_RDLEDZ / CCS_RDLEDZ	—
P52	P52 (出力モード)	P52 (入力モード)	TIN3	TOUT3	CCS_SDGATEON	—
P53	P53 (出力モード)	P53 (入力モード)	CRXD0	CCS_RD	CCM_RD	—
P54	P54 (出力モード)	P54 (入力モード)	CTXD0	CCS_SD	CCM_SD	—
P55	P55 (出力モード)	P55 (入力モード)	CRXD1	—	—	—
P56	P56 (出力モード)	P56 (入力モード)	CTXD1	CATRESTOUT	—	—
P57	P57 (出力モード)	P57 (入力モード)	TIN2	TOUT2	—	—

備考. m = 0-7 n = 0-7

(3/3)

端子 名称	PMCmn = 0 (ポート・モード)		PMCmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEmn = 0		PFCEmn = 1	
			PFCmn = 0 (兼用機能 1)	PFCmn = 1 (兼用機能 2)	PFCmn = 0 (兼用機能 3)	PFCmn = 1 (兼用機能 4)
P60	P60 (出力モード)	P60 (入力モード)	SCL0	—	—	—
P61	P61 (出力モード)	P61 (入力モード)	SDA0	—	—	—
P62	P62 (出力モード)	P62 (入力モード)	RTDMAREQZ	—	CCM_MDIN0	—
P63	P63 (出力モード)	P63 (入力モード)	RTDMAACKZ	—	CCM_MDIN1	—
P64	P64 (出力モード)	P64 (入力モード)	RTDMATCZ	—	CCM_MDIN2	—
P65	P65 (出力モード)	P65 (入力モード)	DMAREQZ0	—	CCM_MDIN3	—
P66	P66 (出力モード)	P66 (入力モード)	DMAACKZ0	—	—	—
P67	P67 (出力モード)	P67 (入力モード)	DMATCZ0	—	—	—
P70	P70 (出力モード)	P70 (入力モード)	CSICS00	P0DUPLEXLEDZ	CCS_STATION_N O_0 / CCM_SNIN0	—
P71	P71 (出力モード)	P71 (入力モード)	CSICS01	—	CCS_STATION_N O_1 / CCM_SNIN1	—
P72	P72 (出力モード)	P72 (入力モード)	CSICS10	P0SPEED100LEDZ	CCS_STATION_N O_2 / CCM_SNIN2	—
P73	P73 (出力モード)	P73 (入力モード)	CSICS11	P0SPEED10LEDZ	CCS_STATION_N O_3 / CCM_SNIN3	—
P74	P74 (出力モード)	P74 (入力モード)	INTPZ12	P1DUPLEXLEDZ	CCS_STATION_N O_4 / CCM_SNIN4	—
P75	P75 (出力モード)	P75 (入力モード)	INTPZ13	—	CCS_STATION_N O_5 / CCM_SNIN5	—
P76	P76 (出力モード)	P76 (入力モード)	INTPZ14	P1SPEED100LEDZ	CCS_STATION_N O_6 / CCM_SNIN6	—
P77	P77 (出力モード)	P77 (入力モード)	INTPZ15	P1SPEED10LEDZ	CCS_STATION_N O_7 / CCM_SNIN7	—

備考. m = 0-7 n = 0-7

(2) リアルタイム・ポート (RP00-RP37)

端子 名称	RPMCmn = 0 (ポート・モード)		RPMCmn = 1 (コントロール・モード)			
	RPMmn = 0 (出力ポート)	RPMmn = 1 (入力ポート)	RPFCEmn = 0		RPFCEmn = 1	
			PFCmn = 0 (兼用機能 1)	PFCmn = 1 (兼用機能 2)	PFCmn = 0 (兼用機能 3)	PFCmn = 1 (兼用機能 4)
RP00	RP00 (出力モード)	RP00 (入力モード)	INTPZ16	SCL1	CCM_SDLEDZ / CCS_SDLEDZ	—
RP01	RP01 (出力モード)	RP01 (入力モード)	INTPZ17	SDA1	CCM_SMSTZ	—
RP02	RP02 (出力モード)	RP02 (入力モード)	INTPZ18	P0ACTLEDZ	CCS_BS1	—
RP03	RP03 (出力モード)	RP03 (入力モード)	INTPZ19	—	CCS_BS2	—
RP04	RP04 (出力モード)	RP04 (入力モード)	INTPZ20	P1ACTLEDZ	CCS_BS4	—
RP05	RP05 (出力モード)	RP05 (入力モード)	INTPZ21	—	CCS_BS8	—
RP06	RP06 (出力モード)	RP06 (入力モード)	WRZ2 / BENZ2	HWRZ2 / HBENZ2	—	—
RP07	RP07 (出力モード)	RP07 (入力モード)	WRZ3 / BENZ3	HWRZ3 / HBENZ3	—	—
RP10	RP10 (出力モード)	RP10 (入力モード)	D24/HD24	—	—	—
RP11	RP11 (出力モード)	RP11 (入力モード)	D25/HD25	—	—	—
RP12	RP12 (出力モード)	RP12 (入力モード)	D26/HD26	—	—	—
RP13	RP13 (出力モード)	RP13 (入力モード)	D27/HD27	—	—	—
RP14	RP14 (出力モード)	RP14 (入力モード)	D28/HD28	—	—	—
RP15	RP15 (出力モード)	RP15 (入力モード)	D29/HD29	—	—	—
RP16	RP16 (出力モード)	RP16 (入力モード)	D30/HD30	—	—	—
RP17	RP17 (出力モード)	RP17 (入力モード)	D31/HD31	—	—	—
RP20	RP20 (出力モード)	RP20 (入力モード)	BCYSTZ	HBCYSTZ	—	—
RP21	RP21 (出力モード)	RP21 (入力モード)	A21	—	—	—
RP22	RP22 (出力モード)	RP22 (入力モード)	A22	—	—	—
RP23	RP23 (出力モード)	RP23 (入力モード)	A23	—	—	—
RP24	RP24 (出力モード)	RP24 (入力モード)	A24	INTPZ25	—	—
RP25	RP25 (出力モード)	RP25 (入力モード)	A25	INTPZ26	—	—
RP26	RP26 (出力モード)	RP26 (入力モード)	A26	INTPZ27	—	—
RP27	RP27 (出力モード)	RP27 (入力モード)	A27	INTPZ28	—	—
RP30	RP30 (出力モード)	RP30 (入力モード)	D16/HD16	—	—	—
RP31	RP31 (出力モード)	RP31 (入力モード)	D17/HD17	—	—	—
RP32	RP32 (出力モード)	RP32 (入力モード)	D18/HD18	—	—	—
RP33	RP33 (出力モード)	RP33 (入力モード)	D19/HD19	—	—	—
RP34	RP34 (出力モード)	RP34 (入力モード)	D20/HD20	—	—	—
RP35	RP35 (出力モード)	RP35 (入力モード)	D21/HD21	—	—	—
RP36	RP36 (出力モード)	RP36 (入力モード)	D22/HD22	—	—	—
RP37	RP37 (出力モード)	RP37 (入力モード)	D23/HD23	—	—	—

備考. m = 0-3 n = 0-7

8.5 バッファ機能切り替えレジスタ (DRCTL)

一部のポート端子は、ドライブ能力、プルアップ/プルダウン抵抗をプログラマブルに変更できます。

DRCTL レジスタは、リセット解除後の初期化処理で設定し、以降の設定変更は、バッファ機能を切り替える端子を利用していないことを条件に切り替えてください。たとえば、内部アクセスのみを行っているときに設定を変更してください。

DRCTL レジスタの設定は、その端子の動作モード（ポート・モードと兼用機能を利用するコントロール・モードなど）に関係なく有効になります。

- アクセス 32 ビット/16 ビット単位でリード/ライト可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ (SYSPCMD) を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ (SYSPCMD) を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

2. プルアップ/プルダウンの設定変更は、ハイ・インピーダンス時のレベルが変化するため、十分に注意してください。

8.5.2 ポート3バッファ機能切り替えレジスタ (DRCTL3L, DRCTL3H)

DRCTL3L		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	PUIOP33 PDIOP33 0 1 PUIOP32 PDIOP32 0 1 PUIOP31 PDIOP31 0 1 PUIOP30 PDIOP30 0 1	アドレス BASE+0238H 初期値 0000 9999H
R/W		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W R/W 0 1 R/W R/W 0 1 R/W R/W 0 1 R/W R/W 0 1		
DRCTL3H		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	PUIOP37 PDIOP37 IOLP371 IOLP370 PUIOP36 PDIOP36 0 1 PUIOP35 PDIOP35 0 1 PUIOP34 PDIOP34 0 1	アドレス BASE+023CH 初期値 0000 9999H
R/W		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W R/W R/W R/W R/W R/W 0 1 R/W R/W 0 1 R/W R/W 0 1		

ビット位置	ビット名	意味															
31-16	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)															
15,14,11,10,7,6,3,2	PUIOP3n, PDIOP3n	P37-P30 端子のプルアップ抵抗／プルダウン抵抗を設定します。 <table border="1" style="width:100%; margin-top: 5px;"> <thead> <tr> <th>PUIO</th> <th>PDIO</th> <th>P37-P30 端子のプルアップ抵抗／プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗／プルダウン抵抗なし</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>プルダウン抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUIO	PDIO	P37-P30 端子のプルアップ抵抗／プルダウン抵抗	0	0	プルアップ抵抗／プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗	1	1	設定禁止
PUIO	PDIO	P37-P30 端子のプルアップ抵抗／プルダウン抵抗															
0	0	プルアップ抵抗／プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗															
1	1	設定禁止															
13,12	IOLP371, IOLP370	P37 端子のドライブ能力を設定します。 <table border="1" style="width:100%; margin-top: 5px;"> <thead> <tr> <th>IOL1</th> <th>IOL0</th> <th>P37 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>6mA (推奨)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>12mA</td> </tr> <tr> <td colspan="2" style="text-align: center;">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	IOL1	IOL0	P37 端子のドライブ能力	0	1	6mA (推奨)	1	1	12mA	上記以外		設定禁止			
IOL1	IOL0	P37 端子のドライブ能力															
0	1	6mA (推奨)															
1	1	12mA															
上記以外		設定禁止															

備考. n = 7 - 0

8.5.3 ポート 4 バッファ機能切り替えレジスタ (DRCTLP4L, DRCTLP4H)

DRCTLP4L	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス			
	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 PUIOP43 PDIOP43 0 1 PUIOP42 PDIOP42 0 1 PUIOP41 PDIOP41 0 1 PUIOP40 PDIOP40 0 1	BASE+0240H	初期値		
	0000 9999H				
R/W	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W R/W 0 1 R/W R/W 0 1 R/W R/W 0 1 R/W R/W 0 1				
DRCTLP4H	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス			
	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 PUIOP47 PDIOP47 0 1 PUIOP46 PDIOP46 0 1 PUIOP45 PDIOP45 0 1 PUIOP44 PDIOP44 0 1	BASE+0244H	初期値		
	0000 9999H				
R/W	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W R/W 0 1 R/W R/W 0 1 R/W R/W 0 1 R/W R/W 0 1				

ビット位置	ビット名	意味															
31-16	—	Reserved (ライトは 0 を書き込んでください。リードは 0 が読み出されず。)															
15,14,11,10,7,6,3,2	PUIOP4n, PDIOP4n	P47-P40 端子のプルアップ抵抗／プルダウン抵抗を設定します。 <table border="1" style="width:100%; margin-top: 5px;"> <thead> <tr> <th>PUIO</th> <th>PDIO</th> <th>P47-P40 端子のプルアップ抵抗／プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗／プルダウン抵抗なし</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>プルダウン抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUIO	PDIO	P47-P40 端子のプルアップ抵抗／プルダウン抵抗	0	0	プルアップ抵抗／プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗	1	1	設定禁止
PUIO	PDIO	P47-P40 端子のプルアップ抵抗／プルダウン抵抗															
0	0	プルアップ抵抗／プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗															
1	1	設定禁止															

備考. n = 7 - 0

8.5.5 リアルタイム・ポート 0 バッファ機能切り替えレジスタ (DRCTLRP0L, DRCTLRP0H)

DRCTLRP0L	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス		0 0	初期値	0000 9999H
				PUIORP03 PDIORP03 IOLRP031 IOLRP030 PUIORP02 PDIORP02 IOLRP021 IOLRP020 PUIORP01 PDIORP01 IOLRP011 IOLRP010 PUIORP00 PDIORP00 IOLRP001 IOLRP000		
R/W	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W					
DRCTLRP0H	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス		0 0	初期値	0000 9999H
				PUIORP07 PDIORP07 IOLRP071 IOLRP070 PUIORP06 PDIORP06 IOLRP061 IOLRP060 PUIORP05 PDIORP05 IOLRP051 IOLRP050 PUIORP04 PDIORP04 IOLRP041 IOLRP040		
R/W	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W					

ビット位置	ビット名	意味															
31-16	—	Reserved (ライトは 0 を書き込んでください。リードは 0 が読み出されます。)															
15,14,11,10,7,6,3,2	PUIORP0n, PDIORP0n	RP07-RP00 端子のプルアップ抵抗／プルダウン抵抗を設定します。 <table border="1" style="margin: 5px auto; width: 80%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">PUIO</th> <th style="width: 10%;">PDIO</th> <th style="width: 80%;">RP07-RP00 端子のプルアップ抵抗／プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗／プルダウン抵抗なし</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>プルダウン抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUIO	PDIO	RP07-RP00 端子のプルアップ抵抗／プルダウン抵抗	0	0	プルアップ抵抗／プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗	1	1	設定禁止
PUIO	PDIO	RP07-RP00 端子のプルアップ抵抗／プルダウン抵抗															
0	0	プルアップ抵抗／プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗															
1	1	設定禁止															
13,12,9,8,5,4,1,0	IOLRP0n1, IOLRP0n0	RP07-RP00 端子のドライブ能力を設定します。 <table border="1" style="margin: 5px auto; width: 80%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">IOL1</th> <th style="width: 10%;">IOL0</th> <th style="width: 80%;">RP07-RP00 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>6mA (推奨)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>12mA</td> </tr> <tr> <td colspan="2" style="text-align: center;">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	IOL1	IOL0	RP07-RP00 端子のドライブ能力	0	1	6mA (推奨)	1	1	12mA	上記以外		設定禁止			
IOL1	IOL0	RP07-RP00 端子のドライブ能力															
0	1	6mA (推奨)															
1	1	12mA															
上記以外		設定禁止															

備考. n = 7 - 0

8.5.6 リアルタイム・ポート 1 バッファ機能切り替えレジスタ (DRCTLRP1L, DRCTLRP1H)

DRCTLRP1L	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	PUIORP13 PDIORP13 IOLRP131 IOLRP130 PUIORP12 PDIORP12 IOLRP121 IOLRP120 PUIORP11 PDIORP11 IOLRP111 IOLRP110 PUIORP10 PDIORP10 IOLRP101 IOLRP100	アドレス BASE+0268H 初期値 0000 9999H
R/W	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W		
DRCTLRP1H	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	PUIORP17 PDIORP17 IOLRP171 IOLRP170 PUIORP16 PDIORP16 IOLRP161 IOLRP160 PUIORP15 PDIORP15 IOLRP151 IOLRP150 PUIORP14 PDIORP14 IOLRP141 IOLRP140	アドレス BASE+026CH 初期値 0000 9999H
R/W	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W		

ビット位置	ビット名	意味															
31-16	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)															
15,14,11,10,7,6,3,2	PUIORP1n, PDIORP1n	RP17-RP10 端子のプルアップ抵抗/プルダウン抵抗を設定します。 <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 80%;"> <thead> <tr> <th style="width:10%;">PUIO</th> <th style="width:10%;">PDIO</th> <th style="width:80%;">RP17-RP10 端子のプルアップ抵抗/プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗/プルダウン抵抗なし</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>プルダウン抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUIO	PDIO	RP17-RP10 端子のプルアップ抵抗/プルダウン抵抗	0	0	プルアップ抵抗/プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗	1	1	設定禁止
PUIO	PDIO	RP17-RP10 端子のプルアップ抵抗/プルダウン抵抗															
0	0	プルアップ抵抗/プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗															
1	1	設定禁止															
13,12,9,8,5,4,1,0	IOLRP1n1, IOLRP1n0	RP17-RP10 端子のドライブ能力を設定します。 <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 80%;"> <thead> <tr> <th style="width:10%;">IOL1</th> <th style="width:10%;">IOL0</th> <th style="width:80%;">RP17-RP10 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>6mA (推奨)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>12mA</td> </tr> <tr> <td colspan="2" style="text-align: center;">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	IOL1	IOL0	RP17-RP10 端子のドライブ能力	0	1	6mA (推奨)	1	1	12mA	上記以外		設定禁止			
IOL1	IOL0	RP17-RP10 端子のドライブ能力															
0	1	6mA (推奨)															
1	1	12mA															
上記以外		設定禁止															

備考. n = 7 - 0

8.5.8 リアルタイム・ポート 3 バッファ機能切り替えレジスタ (DRCTLRP3L, DRCTLRP3H)

DRCTLRP3L	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス		0 0	初期値	0000 9999H
				PUIORP33 PDIORP33 IOLRP331 IOLRP330 PUIORP32 PDIORP32 IOLRP321 IOLRP320 PUIORP31 PDIORP31 IOLRP311 IOLRP310 PUIORP30 PDIORP30 IOLRP301 IOLRP300		
R/W	0 0			R/W		
DRCTLRP3H	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス		0 0	初期値	0000 9999H
				PUIORP37 PDIORP37 IOLRP371 IOLRP370 PUIORP36 PDIORP36 IOLRP361 IOLRP360 PUIORP35 PDIORP35 IOLRP351 IOLRP350 PUIORP34 PDIORP34 IOLRP341 IOLRP340		
R/W	0 0			R/W		

ビット位置	ビット名	意味															
31-16	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)															
15,14,11,10,7,6,3,2	PUIORP3n, PDIORP3n	RP37-RP30 端子のプルアップ抵抗/プルダウン抵抗を設定します。 <table border="1" style="margin: 5px auto; border-collapse: collapse;"> <thead> <tr> <th>PUIO</th> <th>PDIO</th> <th>RP37-RP30 端子のプルアップ抵抗/プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗/プルダウン抵抗なし</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>プルダウン抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUIO	PDIO	RP37-RP30 端子のプルアップ抵抗/プルダウン抵抗	0	0	プルアップ抵抗/プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗	1	1	設定禁止
PUIO	PDIO	RP37-RP30 端子のプルアップ抵抗/プルダウン抵抗															
0	0	プルアップ抵抗/プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗															
1	1	設定禁止															
13,12,9,8,5,4,1,0	IOLRP3n1, IOLRP3n0	RP37-RP30 端子のドライブ能力を設定します。 <table border="1" style="margin: 5px auto; border-collapse: collapse;"> <thead> <tr> <th>IOL1</th> <th>IOL0</th> <th>RP37-RP30 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>6mA (推奨)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>12mA</td> </tr> <tr> <td colspan="2" style="text-align: center;">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	IOL1	IOL0	RP37-RP30 端子のドライブ能力	0	1	6mA (推奨)	1	1	12mA	上記以外		設定禁止			
IOL1	IOL0	RP37-RP30 端子のドライブ能力															
0	1	6mA (推奨)															
1	1	12mA															
上記以外		設定禁止															

備考. n = 7 - 0

8.6 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

8.6.1 入出力ポートへのリード/ライト動作

(1) 出力モードの場合

ポート n レジスタ (Pn 、 RPn) に書き込むことにより、出力ラッチ (Pn 、 RPn) に値を書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

ポート n レジスタ (Pn 、 RPn) をリードすると、出力ラッチ (Pn 、 RPn) を読み出せます。

ポート n 端子入力レジスタ ($PINn$ 、 $RPINn$) をリードすると、端子レベルを直接読み出せます。

(2) 入力モードの場合

ポート n レジスタ (Pn 、 RPn) に書き込むことにより、出力ラッチ (Pn 、 RPn) に値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

入力レベルを読み出すには、ポート n 端子入力レジスタ ($PINn$ 、 $RPINn$) をリードしてください。

8.6.2 コントロール・モード時の兼用機能の出力状態

ポート端子の状態は、 $PMCn$ レジスタ、 PMn レジスタ、 $PFCn$ レジスタ、 $PFCEn$ レジスタの設定に依存せず、ポート n 端子入力レジスタ ($PINn$ 、 $RPINn$) をリードすると、端子レベルを直接読み出せます。

8.7 トリガ同期式ポート機能 (RP00-RP37)

RP00-RP37 の 32 ビットのポート端子は、内蔵周辺からの割り込みに同期してポートの状態を更新することができます。

トリガ同期式ポート制御モードにするには、RPTRGMD レジスタにて、1 ビット単位で設定します。また、対象のトリガを選択するには、RPTFR0-3 レジスタにて行います。

詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」を参照してください。

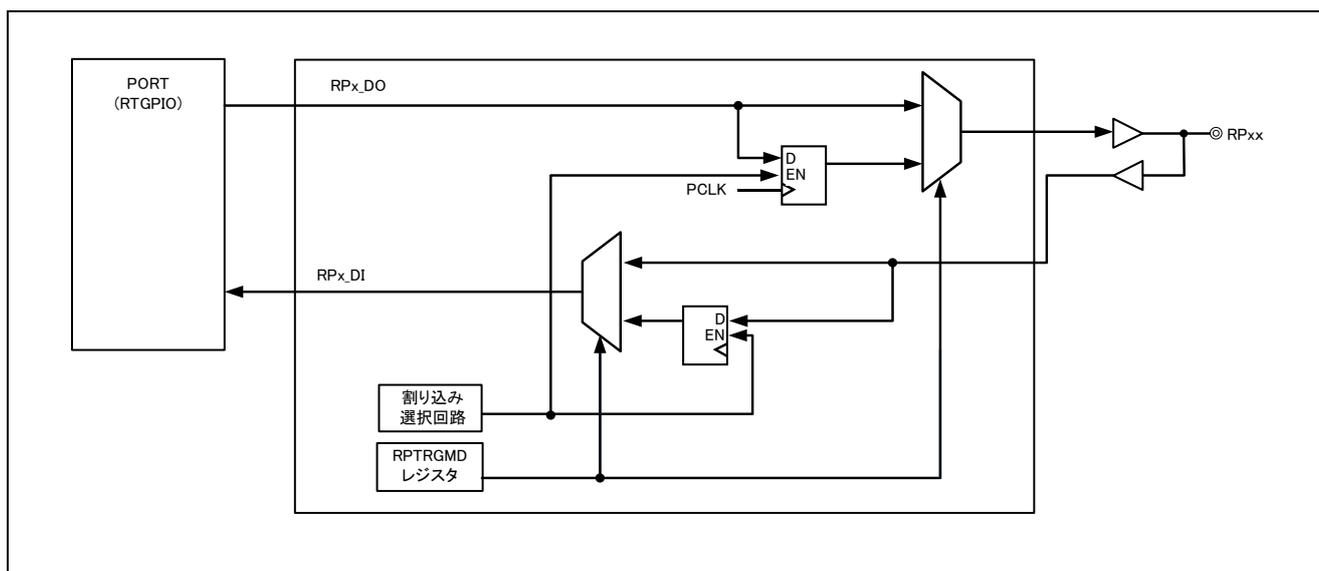


図8.19 トリガ同期式ポート構成図

9. 電気的特性

電気的特性については、「R-IN32M3 シリーズ データ・シート」を参照してください。

改訂記録	R-IN32M3-EC ユーザーズ・マニュアル
------	-------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
暫定 1.00	2013.1.18	—	初版発行
1.00	2013.4.3	全体	「CC-Link IE Field」 → 「CC-Link IE Field (インテリジェントデバイス局)」に変更
		全体	「CC-Link(Slave)」 → 「CC-Link (リモートデバイス局)」に変更
		1	「1.1 概説」内容修正
		2	「1.2 機能概要」外部メモリ・アクセス機能の内容修正
		3	「表 1.1 R-IN32M3-EC の機能概要」スタンバイ・モード削除
		9	「2.1.3 外部メモリ・インタフェース」BUSCLK のリセット中の状態変更 「2.1.3 外部メモリ・インタフェース」同期式バースト・アクセスの情報追加。
		10	「2.1.4 外部マイコン・インタフェース」HD0-HD15, HBCYSTZ のリセット中の状態変更
		14	「2.1.5 ポート端子、リアルタイム・ポート端子」RP06-RP07 の兼用内容修正
		21	「2.1.16 システム端子」PONRZ の機能修正 「2.1.16 システム端子」HOTRESETZ, VDDQ_MII を追加
24	「2.2 端子状態」P40 の状態変更 「2.2 端子状態」 「注 1,2」 の内容修正		
1.01	2013.12.09	全体	CC-Link 対応局見直し
2.00	2014.02.07	4	「1.3 機能ブロック図」GPIO ブロックと DMAC_RTPORT バスの接続を追加 「1.3 機能ブロック図」RealTimeGPIO ブロックと DMAC バスの接続を追加
		6-24	「2.1 端子一覧」リセット解除後の初期状態を追記
		21	「2.1.15 CC-Link 端子(リモートデバイス局)」の端子一覧に CCM_CLK80M を追加
		22	「2.1.16 システム端子」VDDQ_MII を削除
		24	「2.1.18 動作モード設定端子」ブート・モード選択の修正
		25	「2.2 端子状態」同期バースト MEMC の内容を追記
		28	「2.3.5 ポート端子」Pull Up/Down の抵抗値追記 「2.3.5 ポート端子」P10, P30, P31, P52 駆動能力の記載変更
		29	「2.3.7 CC-Link (インテリジェントデバイス局、リモートデバイス局)」に修正
		30	「図 3.1 メモリ・マップ (全体)」EtherCAT 領域の End Address 変更
		33	「図 3.5 外部マイコン・インタフェース空間」EtherCAT 領域の End Address 変更
		38	「4.2 割り込み一覧」INTCCSRFSTB に注意を追記
		41	「6.2 周辺回路概略図」を追加
		45	「7 イーサネット PHY 機能」を追記
94	「図 8.7 ポート・モード・レジスタ」レジスタ初期値修正		
2.01	2014.04.18	全体	CC-Link 端子(リモートデバイス局)の見直し
		58	「7.4.5 レジスタ 5 - Auto-Negotiation Link Partner Ability (Base Page)レジスタ」ACKNOWLEDGE ビット説明を修正
3.00	2014.6.30	22	「2.1.16 システム端子」EXTRES の属性を修正
		30	「図 3.1 メモリ・マップ (全体)」EtherCAT 領域の End Address 変更
		33	「図 3.5 外部マイコン・インタフェース空間」EtherCAT 領域の End Address 変更
		40-129	6. EtherCAT スレーブ・コントローラ機能 修正・追加

Rev.	発行日	改訂内容	
		ページ	ポイント
3.01	2014.12.25	3	「1.3 機能概要」 CC-Link インテリジェントデバイス局の対応状況を変更
		200	「8.5.4ポート5バッファ機能切り替えレジスタ (DRCTLP5L, DRCTLP5H)」 IOLP521, IOLP520 ビットの削除 (P52 はドライブ能力が6mA 固定のため)
4.00	2015.11.30	6-23	「2. 端子機能」 端子一覧における各項目・略号・記号の意味を追加し、表記を統一
		10	「2.1.3 外部メモリ・インタフェース」 ・BUSCLK のリセット中、リセット解除後の値を修正 ・注1 に補足説明を追加
		19	「2.1.11 トレース端子」 TRACECLK のリセット中およびリセット解除後の値を修正
		20	「2.1.14 CC-Link 端子 (インテリジェントデバイス局)」 CCM_CLK80M の機能説明を修正
		21	「2.1.15 CC-Link 端子 (リモートデバイス局)」 CCM_CLK80M に注を追加
		22	「2.1.16 システム端子」 ・XT1/XT2/OSCTH/JTAGSEL の機能説明、アクティブレベルを修正 ・RSTOUTZ のリセット中およびリセット解除後の値を修正
		24-25	「2.1.18 動作モード設定端子」 ・ADMUXMODE 端子の機能説明を修正 ・使用可能な動作モード設定端子の組み合わせ一覧を追加
		26-35	「2.2 端子状態」 全ブート・モード、全ポート端子の初期状態を追加
		37	「2.3.4 システム端子」 ・XT1/XT2 の未使用時の推奨接続方法を修正し、注を追加 ・OSCTH/JTAGSEL の未使用時の推奨接続方法を修正
		39	「2.3.7 動作モード設定端子」 未使用時の推奨接続方法を修正
		40	「図 3.1 メモリ・マップ (全体)」 命令 RAM 領域と命令 RAM ミラー領域を変更
		43	「図 3.5 外部マイコン・インタフェース空間」 命令 RAM ミラー領域を変更
		44	「4.1 例外一覧」 リセット端子の略号を修正、SYSRESET レジスタを追加
		56	「6.5(7) PDI 設定レジスタ」 ビット数を修正
		59	「6.5(16) その他のレジスタ」 備考を追加
81	「6.12.2 ESC コンフィギュレーション・レジスタ (ESC_CONFIG)」 初期値、Bit0 の説明を修正、注を追加		
83	「6.12.4 SYNC/LATCH PDI コンフィギュレーション・レジスタ (SYNC_LATCH_CONFIG)」 初期値の説明を修正、注1、2 を追加		
123	「6.20.4.2 SYNC 信号パルス長レジスタ」 初期値の説明を修正、注を追加		
4.01	2017.2.28	9	「2.1.2 EtherCAT Slave Controller 端子」 CATRESTOUT 信号のアクティブを修正
		15	「2.1.5 ポート端子、リアルタイム・ポート端子」 P73 の兼用2 の信号名を修正
		20	「2.1.14 CC-Link 端子 (インテリジェントデバイス局)」 CCM_MDIN0-3 信号の機能説明を修正
		22	「2.1.16 システム端子」 PONRZ 信号の機能説明を修正
		46	「4.2 割り込み一覧」 表 4.1 例外番号 54 INTETHSW の発生要因名を修正
		47-48	「4.2 割り込み一覧」 表 4.1 例外番号 115-120 に ECC エラー割り込みを追加

Rev.	発行日	改訂内容	
		ページ	ポイント
4.01	2017.2.28	49	「5. 周辺機能」 各機能の表記をユーザーズ・マニュアル周辺機能編と統一
		51	「6.3 割り込みと入出力信号」 表 6.3 CATRESTOUT 信号のアクティブを修正
		62	「6.6.3 EtherCAT リセット・レジスタ (CATRESET)」 注意 2 の内容修正
		76	「6.11.1 AL コントロール・レジスタ (AL_CONTROL)」 ビット 5 にデバイス ID 要求追加
		77	「6.11.2 AL ステータス・レジスタ (AL_STATUS)」 ビット 5 にデバイス ID ロード状態追加 PDI からの Write を追加
		82	「6.12.3 PDI コンフィギュレーション・レジスタ (PDI_CONFIG)」 ONCHIPBUS ビットが示す値 (100→010) を修正
		140-141	「6.22 リセット回路の構成」 ESC のリセット回路の構成の説明を追加
		148	「7.2.4 Fast link-loss 検出機能」 エラーのカウント方法の説明を修正
		149	「7.3.1 ハードウェア・パワーダウンモード」 最小設定時間を追加
		151	「7.4 イーサネット PHY 内蔵 MII マネージメント・レジスタ」 レジスタのビット名の下の記事の説明を追加
		152-174	「7.4.1 レジスタ 0 - コントロール・レジスタ」～ 「7.4.24 レジスタ 31 - PHY スペシャルコントロール/ステータス・レジスタ」 「PHY アドレス」を「レジスタ・アドレス」に変更
		177	「7.5.3 イーサネット PHY パワー・アップ ステータス・レジスタ (PHYBUS)」 ビットがクリアされるまでの時間を追加
178	「7.6 LED 出力機能」を追加		
5.00	2018.12.28	6	「1.5 システム・レジスタ領域のベース・アドレス」 章を追加
		18	「2.1.7 DMA インタフェース端子」 章冒頭の説明文、および注意を変更
		21	「2.1.14 CC-Link 端子 (インテリジェントデバイス局)」 CCM_MDIN0-3、CCM_IRZ の機能説明を修正 CCM_ERRZ、CCM_MSTZ、CCM_SMSTZ の機能説明を未使用に変更
		41,44	「3 メモリ・マップ」 以下のメモリ・マップそれぞれに対し、命令 RAM ミラー領域(768K バイト)はブート・モードによりアクセス発生アドレスが変化する注意を追加。 図 3.1 メモリ・マップ (全体) 図 3.5 外部マイコン・インタフェース空間
		181	「8.2 ポートの構成」 ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタの用途と動作の説明を変更 注意の記載を変更

Rev.	発行日	改訂内容	
		ページ	ポイント
5.00	2018.12.28	194-202	「8.3.3 ポート・モード・コントロールレジスタ(PMC,RPMC)」 「8.3.4 ポート・ファンクション・コントロール・レジスタ(PFC,RPFC)」 「8.3.5 ポート・ファンクション・コントロール・拡張レジスタ(PFCE,RPFCE)」 兼用機能に関する注記を変更
		—	誤記訂正、表現訂正、他文書との記載内容統一
5.01	2021.1.12	3 53,55 143	「1.2 機能概要」 「6.4 機能概要」 「7.1 特徴」 EtherCA P 未サポートについての注記を追加

[メモ]

R-IN32M3シリーズ ユーザーズマニュアル:
R-IN32M3-EC

発行年月日 2013年 1月18日 Rev.1.00(暫定)
2021年 1月12日 Rev.5.01

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

R-IN32M3 シリーズ
ユーザーズ・マニュアル
R-IN32M3-EC