

R-IN32M4-CL2

ユーザーズ・マニュアル

R9J03G019GBG

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

資料番号 : R18UZ0032JJ0200

発行年月 : 2018.12.28

ルネサス エレクトロニクス

www.renesas.com

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。

6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、CMOS デバイスの一般的注意事項について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイ・インピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワー・オン・リセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

○Arm® およびCortex® は、Arm Limited（またはその子会社）のEUまたはその他の国における登録商標です。 All rights reserved.

○Ethernetおよびイーサネットは、富士ゼロックス株式会社の登録商標です。

○IEEEは、the Institute of Electrical and Electronics Engineers, Inc. の登録商標です。

○TRONは” The Real-time Operation system Nucleus” の略称です。

○ITRONは” Industrial TRON” の略称です。

○μITRONは” Micro Industrial TRON” の略称です。

○TRON、ITRON、およびμITRONは、特定の商品ないし商品群を指す名称ではありません。

○CC-Link及びCC-Link IE Fieldは、CC-Link協会（CC-Link Partner Association: CLPA）の登録商標です。

○その他、本資料中の製品名やサービス名は全てそれぞれの所有者に属する商標または登録商標です。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは産業イーサネット通信向け ASSP (Application Specific Standard Product) .「R-IN32M4-CL2」(R9J03G019GBG) の機能を理解し、それを用いた応用設計をするユーザを対象とします。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

本製品は、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

本文中の★印は、本版で改訂された主な箇所を示しています。この"★"を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。また各コアの開発・企画段階で資料を作成しているため、関連資料は個別のお客様向け資料の場合があります。下記資料番号の末尾****部分は版数です。当社ホームページより最新版をダウンロードして参照ください。

R-IN32M4-CL2に関する資料

資料名	資料番号
R-IN32M4-CL2 ユーザーズ・マニュアル (本マニュアル)	R18UZ0032JJ****
R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編	R18UZ0034JJ****
R-IN32M4-CL2 ユーザーズ・マニュアル Gigabit Ethernet PHY 編	R18UZ0044JJ****
R-IN32M4-CL2 ユーザーズ・マニュアル ボード設計編	R18UZ0045JJ****
R-IN32M4-CL2 プログラミング・マニュアル ドライバ編	R18UZ0036JJ****
R-IN32M4-CL2 プログラミング・マニュアル OS 編	R18UZ0040JJ****

2. 数や記号の表記

データ表記の重み：左が上位桁、右が下位桁

アクティブ・ローの表記：

xxxZ (端子、信号名称のあとにZ)

またはxxx_N (端子、信号名称のあとに_N)

またはxxnx (端子、信号名称にnを含む)

注：

本文中につけた注の説明

注意：

気をつけて読んでいただきたい内容

備考：

本文の補足説明

数の表記：

2 進数 … xxxx, xxxxB または n'bxxxx(nビット)

10 進数 … xxxx

16 進数 … xxxxH または n'hxxxx(nビット)

2のべき数を示す接頭語 (アドレス空間、メモリ容量)：

K (キロ) … $2^{10} = 1024$

M (メガ) … $2^{20} = 1024^2$

G (ギガ) … $2^{30} = 1024^3$

データ・タイプ：

ワード … 32 ビット

ハーフワード … 16 ビット

バイト … 8 ビット

目次

1. 機能概要	1
1.1 概説	1
1.2 機能概要	2
1.3 機能ブロック構成	4
1.4 端子配置図 (Top View)	5
1.5 システム・レジスタ領域のベースアドレス★	6
2. 端子機能	7
2.1 端子一覧	8
2.1.1 ポート端子、リアルタイム・ポート端子	9
2.1.2 イーサネット端子	14
2.1.3 外部 SRAM/マイコン・インタフェース	15
2.1.4 シリアル・フラッシュ ROM インタフェース	20
2.1.5 DMA インタフェース端子	21
2.1.6 外部割込み入力端子	22
2.1.7 タイマ入出力端子	23
2.1.8 ウォッチドック・タイマ出力端子	24
2.1.9 シリアル・インタフェース端子	24
2.1.10 CC-Link IE Field 端子★	25
2.1.11 CC-Link 端子 (インテリジェントデバイス局)	26
2.1.12 CC-Link 端子 (リモートデバイス局)	27
2.1.13 システム端子	28
2.1.14 トレース端子	28
2.1.15 CPU パワー制御端子	28
2.1.16 テスト端子	29
2.1.17 動作モード設定端子	30
2.1.18 ADC 端子	32
2.2 端子状態	33
2.2.1 外部メモリ・ブート時の端子状態	34
2.2.2 外部シリアル・フラッシュ ROM ブート時の端子状態	37
2.2.3 外部マイコン・ブート時の端子状態	41
2.3 動作モード・モニタ機能	44
2.4 バッファ機能切り替え機能	45
2.5 各端子のバッファ・タイプと未使用端子処理	46
2.5.1 ポート端子	46

2.5.2	イーサネット端子	47
2.5.3	外部 SRAM/外部マイコン・インタフェース端子.....	48
2.5.4	外部割り込み入力端子	48
2.5.5	CC-Link IE Field 端子★.....	48
2.5.6	CC-Link Master (インテリジェントデバイス局) 端子.....	48
2.5.7	システム端子	49
2.5.8	トレース端子	49
2.5.9	テスト端子	50
2.5.10	動作モード設定端子	50
2.5.11	ADC 端子.....	50
3.	メモリ・マップ	51
4.	例外処理機能.....	55
4.1	例外一覧	55
4.2	割り込み一覧	56
5.	周辺機能	60
6.	CC-Link IE Field 機能★.....	61
6.1	CC-Link IE Field制御レジスタ★.....	61
6.1.1	CC-Link IE Field バス・サイズ制御レジスタ (CIEBSC) ★	62
6.1.2	CC-Link IE Field バス・ブリッジ制御レジスタ (CIESMC) ★.....	62
6.1.3	CC-Link IE Field クロック・ゲート・レジスタ (CIECLKGTD) ★.....	63
7.	ポート機能.....	64
7.1	特徴.....	64
7.2	ポートの構成.....	65
7.3	レジスタ一覧.....	67
7.3.1	ポート・レジスタ (P, RP, EXTP)	74
7.3.2	ポート・モード・レジスタ (PM, RPM, EXTPM)	77
7.3.3	ポート・モード・コントロール・レジスタ (PMC, RPMC, EXTPMC)	80
7.3.4	ポート・ファンクション・コントロール・レジスタ (PFC, RPFC, EXTPFC)	84
7.3.5	ポート・ファンクション・コントロール拡張レジスタ (PFCE, RPFCE, EXTPFCE)	88
7.3.6	ポート端子入力レジスタ (PIN, RPIN, EXTPIN)	92
7.4	兼用機能の選択一覧.....	95
7.5	バッファ機能切り替えレジスタ (DRCTL)	100
7.5.1	ポート 0 バッファ機能切り替えレジスタ (DRCTLP0L, DRCTLP0H)	101
7.5.2	ポート 1 バッファ機能切り替えレジスタ (DRCTLP1L, DRCTLP1H)	102
7.5.3	ポート 2 バッファ機能切り替えレジスタ (DRCTLP2L, DRCTLP2H)	103

7.5.4	ポート3バッファ機能切り替えレジスタ (DRCTLP3L, DRCTLP3H)	104
7.5.5	ポート4バッファ機能切り替えレジスタ (DRCTLP4L, DRCTLP4H)	105
7.5.6	ポート5バッファ機能切り替えレジスタ (DRCTLP5L, DRCTLP5H)	106
7.5.7	ポート6バッファ機能切り替えレジスタ (DRCTLP6L, DRCTLP6H)	107
7.5.8	ポート7バッファ機能切り替えレジスタ (DRCTLP7L, DRCTLP7H)	108
7.5.9	EXTポート0バッファ機能切り替えレジスタ (DRCTLEXTP0L, DRCTLEXTP0H)	109
7.5.10	EXTポート1バッファ機能切り替えレジスタ (DRCTLEXTP1L)	110
7.5.11	リアルタイム・ポート0バッファ機能切り替えレジスタ (DRCTLRP0L, DRCTLRP0H)	111
7.5.12	リアルタイム・ポート1バッファ機能切り替えレジスタ (DRCTLRP1L, DRCTLRP1H)	112
7.5.13	リアルタイム・ポート2バッファ機能切り替えレジスタ (DRCTLRP2L, DRCTLRP2H)	113
7.5.14	リアルタイム・ポート3バッファ機能切り替えレジスタ (DRCTLRP3L, DRCTLRP3H)	114
7.6	ポート機能の動作	115
7.6.1	入出力ポートへのリード/ライト動作	115
7.6.2	コントロール・モード時の兼用機能の出力状態	115
7.7	トリガ同期式ポート機能 (RP00-RP37)	116
8.	電气的特性	117
8.1	用語説明	117
8.2	絶対最大定格	118
8.3	推奨動作範囲	119
8.4	DC特性	120
8.5	プルアップ/プルダウン抵抗値	121
8.6	端子容量	121
8.7	電源投入/遮断手順	122
8.8	AC特性	124
8.8.1	クロック端子	124
8.8.2	リセット端子	125
8.8.3	外部メモリ・インタフェース端子	126
8.8.4	外部マイコン・インタフェース端子	132
8.8.5	シリアル・フラッシュROMインタフェース	148
8.8.6	外部DMAインタフェース	149
8.8.7	CSIインタフェース	150
8.8.8	I2Cインタフェース	152
8.8.9	CANインタフェース	153
8.8.10	デバッグ・インタフェース	154

図の目次

図3.1	メモリ・マップ（全体）	51
図3.2	メモリ・マップ（APB周辺レジスタ領域）	52
図3.3	メモリ・マップ（外部メモリ領域）	53
図3.4	メモリ・マップ（CC-Link Master領域）	53
図3.5	外部マイコン・インタフェース空間.....	54
図7.1	ポートの基本回路構成	66
図7.2	ポート・レジスタ（8bit表記）	74
図7.3	ポート・レジスタ（16bit表記）	75
図7.4	ポート・レジスタ（32bit表記）	76
図7.5	ポート・モード・レジスタ（8bit表記）	77
図7.6	ポート・モード・レジスタ（16bit表記）	78
図7.7	ポート・モード・レジスタ（32bit表記）	79
図7.8	ポート・モード・コントロール・レジスタ（8bit表記）	80
図7.9	ポート・モード・コントロール・レジスタ（16bit表記）	81
図7.10	ポート・モード・コントロール・レジスタ（32bit表記）	83
図7.11	ポート・ファンクション・コントロール・レジスタ（8bit表記）	84
図7.12	ポート・ファンクション・コントロール・レジスタ（16bit表記）	85
図7.13	ポート・ファンクション・コントロール・レジスタ（32bit表記）	87
図7.14	ポート・ファンクション・コントロール拡張レジスタ（8bit表記）	88
図7.15	ポート・ファンクション・コントロール拡張レジスタ（16bit表記）	89
図7.16	ポート・ファンクション・コントロール拡張レジスタ（32bit表記）	91
図7.17	ポート端子入力レジスタ（8bit表記）	92
図7.18	ポート端子入力レジスタ（16bit表記）	93
図7.19	トリガ同期式ポート構成図.....	116
図8.1	電源投入/遮断シーケンス	123
図8.2	R-IN32M4チップとGbE-PHYへの電源供給経路	123
図8.3	出力クロック・タイミング.....	124
図8.4	リセット・タイミング	125
図8.5	メモリ・コントローラ・リード・タイミング（非同期メモリ）	127
図8.6	メモリ・コントローラ・ライト・タイミング（非同期メモリ）	128
図8.7	メモリ・コントローラ・リード・タイミング（クロック同期式メモリ）	130
図8.8	メモリ・コントローラ・ライト・タイミング（クロック同期式メモリ）	131
図8.9	外部マイコン・インタフェース・ライト・タイミング（MEMCSEL=L, HIFSYNC=H）	133
図8.10	外部マイコン・インタフェース・リード・タイミング（MEMCSEL=L, HIFSYNC=H）	134
図8.11	外部マイコン・インタフェース・ページ・リード・タイミング（MEMCSEL=L, HIFSYNC=H） 135	
図8.12	外部マイコン・インタフェース・ライト・タイミング（MEMCSEL=L, HIFSYNC=H）	137
図8.13	外部マイコン・インタフェース・リード・タイミング（MEMCSEL=L, HIFSYNC=H）	138
図8.14	外部マイコン・インタフェース・ライト・タイミング（MEMCSEL=L, HIFSYNC=L）	140
図8.15	外部マイコン・インタフェース・リード・タイミング（MEMCSEL=L, HIFSYNC=L）	141

図8-16	外部マイコン・インタフェース・ページ・リード・タイミング (MEMCSEL=L, HIFSYNC=L)	142
図8.17	外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=H, ADMUXMODE=L) ★	144
図8.18	外部マイコン・インタフェース・リード・タイミング (MEMCSEL=H, ADMUXMODE=L) ★	145
図8.19	外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=H, ADMUXMODE=H) ★	146
図8.20	外部マイコン・インタフェース・リード・タイミング (MEMCSEL=H, ADMUXMODE=H) ★	147
図8.21	シリアルFlashメモリ・アクセス・タイミング	148
図8.22	外部DMAアクセス・タイミング	149
図8.23	CSIアクセス・タイミング (マスタ・モード)	150
図8.24	CSIアクセス・タイミング (スレーブ・モード)	151
図8.25	I2Cアクセス・タイミング.....	152
図8.26	CANアクセス・タイミング.....	153
図8.27	CANアクセス・タイミング (補足)	153
図8.28	デバッグ・シリアル・インタフェース.....	154
図8.29	トレース・インタフェース.....	155

表の目次

表1.1	R-IN32M4-CL2の機能概要 (1/2)	2
表2.1	端子一覧における項目の意味	7
表2.2	端子一覧における記号・略号の意味	7
表2.3	確認可能な動作モード設定端子	44
表4.1	割り込み一覧	56
表6.1	CC-Link IE Field概略仕様	61
表6.2	バス制御機能のレジスタ概要	61
表8.1	絶対最大定格に関する用語	117
表8.2	推奨動作範囲に関する用語	117
表8.3	DC特性に関する用語	118
表8.4	絶対最大定格	118
表8.5	推奨動作範囲	119
表8.6	DC特性 (VDD = 3.3±0.165V, TA = -40~+85°C) (1/2)	120
表8.7	DC特性 (VDD = 3.3±0.165V, TA = -40~+85°C) (2/2)	120
表8.8	プルアップ/プルダウン抵抗値 (VDD = 3.3±0.165V, TA = -40~+85°C)	121
表8.9	端子容量	121
表8.10	外部供給電源	122

1. 機能概要

1.1 概説

産業分野におけるイーサネット通信は従来と比較し、高速リアルタイム応答性などの高性能な機能の要求が強くなっています。従来の方法（イーサネットワーク処理そのものをハードウェア化する方法、または高速ネットワーク処理専用 CPU を用いる方法）では必ずしも実現できるわけではありません。

ルネサス製イーサネット通信 LSI「R-IN32M4-CL2」は FA 分野におけるイーサネット通信で必要となる以下の機能を搭載しております。

- Arm[®]社製 Cortex[®]-M4 コア内蔵
- リアルタイム OS (Real-Time OS) アクセラレータ内蔵 (μ ITRON version4.0 相当)
- 10/100/1000BASE-PHY 内蔵
- ネットワーク処理専用 DMA コントローラ及びバッファ
- タイマ、各種シリアル・インタフェース、汎用 I/O ポート (GPIO)、外部メモリ・インタフェース
- 高速リアルタイム応答性、高精度通信制御 (低ジッター通信)
- リアルタイム OS アクセラレータによる低 CPU 負荷での高速通信処理

1.2 機能概要

表 1.1 R-IN32M4-CL2 の機能概要 (1/2)

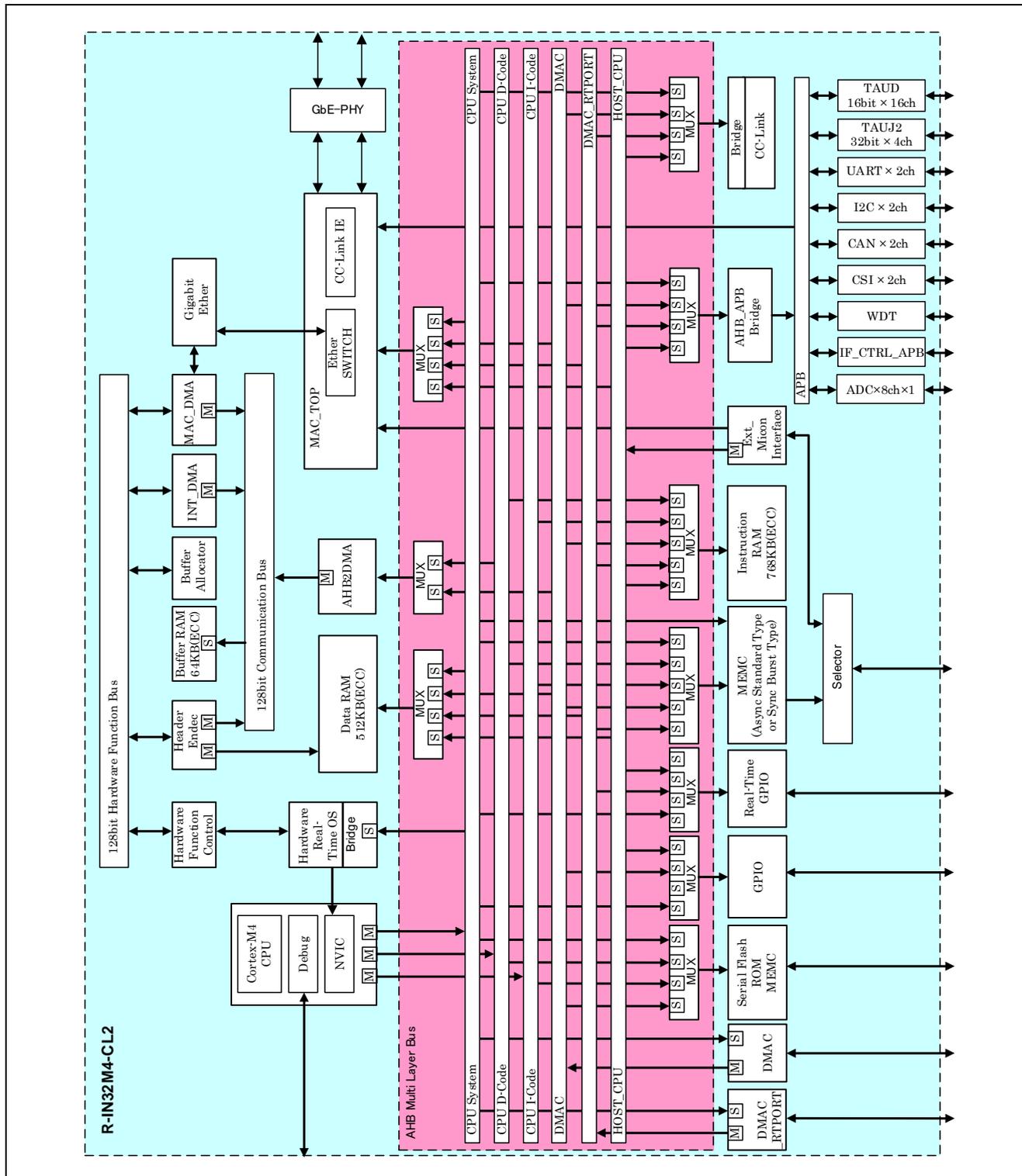
項目	品名	R-IN32M4-CL2
CPU コア		Arm 社 Cortex-M4 32 ビット RISC CPU + Real-Time OS Accelerator (Hardware Real-Time OS)
	動作周波数	100MHz
	命令セット	Thumb [®] -2 命令 Armv7-M アーキテクチャ
	浮動小数点 UNIT	Armv7M FPv4-SP (32bit 単精度)
命令 RAM		768K バイト (ECC 対応)
データ RAM		512K バイト (ECC 対応)
バッファ RAM		64K バイト (ECC 対応)
内部システム・バス		<ul style="list-style-type: none"> ・ 32 ビット・システム・バス 100MHz ・ 128 ビット・コミュニケーション・バス 100MHz
DMA バス機能 (システム・バス側)		<ul style="list-style-type: none"> ・ 4 チャンネル+1 チャンネル (リアルタイム・ポート用) ・ ソフトウェア・トリガ、各種割り込み信号からの DMA 起動が可能
ブート・モード		<ul style="list-style-type: none"> ・ シリアル・フラッシュ ROM ブート ・ 外部メモリ・ブート ・ 外部マイコン・ブート
外部メモリ・アクセス機能		<ul style="list-style-type: none"> ・ バス・サイジング機能 (16 ビット/32 ビット) ・ ページ ROM/ROM/SRAM インタフェース ・ 同期式バースト・メモリ・インターフェース ・ スタティック・メモリ用チップ・セレクト信号：4 本 ・ 外部メモリ空間：合計 256M バイト (最大時) ・ プログラマブル・ウェイト機能
外部マイコン・インタフェース		<ul style="list-style-type: none"> ・ バス・サイジング機能 (16 ビット/32 ビット) ・ スタティック・メモリ用の汎用インタフェース ・ アドレス空間：2M バイト (Instruction RAM, Data RAM, レジスタ領域)
シリアル・フラッシュ ROM メモリ・コントローラ機能		<ul style="list-style-type: none"> ・ 各社 SPI 互換シリアル・インタフェース対応 ・ シリアル・メモリ・デバイスから直接ブート可能 ・ Fast Read, Fast Read Dual Output, Fast Read Dual I/O, Fast Read Quad Output, Fast Read Quad I/O モードに対応 ・ メモリ空間に直接割り付け
割り込み		<ul style="list-style-type: none"> ・ 外部割り込み 29 本
内蔵周辺機能		
	I/O ポート	CMOS 入出力：最大 106 本
	タイマ (4 系統搭載)	<ul style="list-style-type: none"> ・ ハードウェア RTOS 内蔵タイマ ・ CPU 内蔵タイマ
		<ul style="list-style-type: none"> ・ 32 ビット・タイマ (4ch) ・ 16 ビット・タイマ (16ch)
		<ul style="list-style-type: none"> ・ 1 チャンネル ・ ソフトウェア・トリガ・スタート・モード ・ エラー時の動作 <ul style="list-style-type: none"> － NMI 要求の生成 － リセット要求の生成 ・ カウンタ・オーバフロー値の 75%割り込み

表 1.1 R-IN32M4-CL2 の機能概要 (2/2)

項目	品名	R-IN32M4-CL2
内蔵周辺機能		
アシンクロナス・シリアル・インタフェース		<ul style="list-style-type: none"> ・2チャンネル ・全二重通信 ・受信FIFO (10ビット×16)、送信FIFO (8ビット×16) 内蔵 ・受信エラーとステータス出力機能 ・キャラクタ長: 7, 8ビット、 ・パリティ機能: 奇数、偶数、0、なし ・送信ストップ・ビット: 1, 2ビット
I2Cシリアル・インタフェース		<ul style="list-style-type: none"> ・2チャンネル ・動作モード (標準モード、高速モード) ・転送モード (シングル転送モード、連続転送モード) ・通信データ長: 8ビット
CANコントローラ		<ul style="list-style-type: none"> ・2チャンネル ・ISO11898に準拠 ・標準フレームと拡張フレームの送受信が可能 ・転送速度: 最大1Mbps
クロック同期式シリアル・インタフェース		<ul style="list-style-type: none"> ・2チャンネル ・3線式シリアル同期データ転送 ・マスタ・モードまたはスレーブ・モードを選択可能 ・ポー・レート・ジェネレータを内蔵 ・通信データ長: 7ビット~16ビット
10ビットADコンバータ		<ul style="list-style-type: none"> ・逐次比較型10ビットA/Dコンバータ ・8チャンネル ・ハードウェアトリガ、ソフトウェア・トリガ対応
CC-Link		<ul style="list-style-type: none"> ・インテリジェントデバイス局^注 ・リモートデバイス局
10/100/1000Mbps Ether MAC		<ul style="list-style-type: none"> ・1チャンネル ・スイッチ機能 (2ポート)
CC-Link IE		CC-Link IE Field (インテリジェントデバイス局/リモートデバイス局★)
オンチップ・デバッグ機能		<ul style="list-style-type: none"> ・シリアルワイヤもしくはJTAGの選択 ・フル・トレース機能 (ETM内蔵)
内蔵PLL		25MHz入力で、各クロックを内蔵PLLで生成
電源電圧		VDD33=3.3±0.165V (R-IN32M4, GbE-PHY) VDD10=1.0±0.05V (R-IN32M4, GbE-PHY) VDD25=2.5±0.125V (GbE-PHY)

注. 詳細は弊社にお問い合わせください。

1.3 機能ブロック構成



1.4 端子配置図 (Top View)

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	AA	AB	
22	GND	GND	RP21	RP23	RP25	RP27	RP02	RP00	AIN7	AIN5	AIN3	P20	P22	P25	GND	P67	P65	P63	P60	P30	GND	GND	
21	GND	RP20	RP22	RP24	RP26	RP04	RP03	RP01	AIN6	AIN4	AIN2	P21	P23	P26	P27	P66	P64	P62	P61	P31	P32	GND	
20	RP30	RP32	RP10	RP11	RP12	RP13	RP07	RP05	AVREFM	AVREFP	AIN1	GND	P24	EXTP0	EXTP1	EXTP2	EXTP3	HWRZSEL	HOTRESEL	PONRZ	P33	RESETZ	
19	RP31	RP33	RP37	RP14	RP15	RP16	RP17	RP06	AGND	AVDD	AIN0	GND	GND	TMC2	TMC1	VDD33	MEMCSSEL	ADMUXMODE	BUS32EN	RSTOUTZ	P35	P34	
18	BUSCLK	RP34	RP36	D15	GND	VDD33	GND	VDD33	GND	VDD33	VDD33	GND	GND	VDD10	GND	GND	VDD33	TEST6	MEMIFSEL	BOOT0	GND	CCLK2_097M	
17	D6	RP35	D13	D14	TEST3	VDD33	GND	VDD10	VDD10	VDD10	VDD10	VDD10	VDD10	VDD10	VDD10	GND	VDD33	PLL_VDD	HIFSYN	BOOT1	P36	CCM_CLK80M	
16	D4	D5	D11	D12	GND	VDD33	GND	VDD10	GND	GND	GND	GND	GND	GND	VDD10	GND	VDD33	PLL_GND	EXTP9	EXTP8	P37	GND	
15	D2	D3	D9	D10	GND	GND	GND	VDD10	GND	GND	GND	GND	GND	GND	VDD10	GND	GND	GND	EXTP7	EXTP6	P70	XT2	
14	D0	D1	D7	D8	GND	VDD33	GND	VDD10	GND	GND	GND	GND	GND	GND	VDD10	GND	GND	GND	EXTP5	EXTP4	P71	XT1	
13	RDZ	WRSTBZ	CSZ0	A20	GND	GND	GND	VDD10	VDD10	VDD10	VDD10	VDD10	VDD10	VDD10	VDD10	GND	VDD33	GND	OSCTH	NMIZ	P73	P72	
12	P10	P12	WRZ0	A19	GND	VDD33	VDD33	GND	VDD33	GND	VDD33	VDD33	GND	VDD33	GND	VDD33	VDD33	GND	GND	TRACECLK	P75	P74	
11	P11	P13	WRZ1	A18	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	TRACE DATA1	TRACE DATA0	P77	P76	
10	P14	P15	A17	GND	GND	GND	GND	GND	GND	GND	TEST2	GND	GND	GND	GND	GND	GND	GND	TRACE DATA2	P01	P00		
9	P16	P17	A15	A16	GND	GND	GND	GND	VDD33_GPHY	VDD33_GPHY	VDD33_GPHY	VDD33_GPHY	VDD33_GPHY	VDD33_GPHY	GND	GND	GND	GND	TRSTZ	TRACE DATA3	P03	P02	
8	P47	P44	A13	A14	GND	GND	GND	GND	VDD33_GPHY	GND	GND	GND	GND	VDD33_GPHY	GND	GND	GND	GND	TDO	JTAGSEL	P05	P04	
7	P45	P46	A11	A12	GND	GND	GND	GND	VDD1	GND	GND	GND	GND	VDD1	GND	GND	GND	GND	TCK	TMODE2	P07	P06	
6	P43	P41	A9	A10	GND	GND	GND	GND	VDD1	GND	GND	GND	GND	VDD1	GND	GND	TEST1	GND	TDI	TMODE1	P51	P50	
5	P42	A7	A8	PHYAD1	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	TMS	TMODE0	P53	P52	
4	P40	A5	A6	PHYAD2	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	TEST5	TEST4	P55	P54	
3	A2	A3	A4	PHYAD3	GND	GND	GND	GND	GND	VDD1A	VDD1A	GND	VDD25A	VDD25A	VDD25A	GND	GND	GND	GND	GND	GND	P57	P56
2	GND	PHYLED0	PHYAD4	GND	GND	GND	PO_D3N	PO_D2N	PO_D1N	PO_D0N	GND	REF_FILT	GND	P1_D3N	P1_D2N	P1_D1N	P1_D0N	GND	GND	GND	GND	PHY1_LED0	GND
1	GND	GND	GND	GND	GND	GND	PO_D3P	PO_D2P	PO_D1P	PO_D0P	GND	REF_REXT	GND	P1_D3P	P1_D2P	P1_D1P	P1_D0P	GND	GND	GND	GND	GND	GND

1.5 システム・レジスタ領域のベース・アドレス★

以降の章で記載されている各レジスタのアドレスの記載は、ベース・アドレスからの相対アドレスで記載しています。外部マイコン・インタフェースからアクセスする場合には D_0000H 番地、また CPU および DMA コントローラからのアクセスは、4001_0000H 番地がベース・アドレスになります。

- CPU および DMA コントローラからのアクセスの場合
BASE = 4001_0000H
- 外部マイコン・インタフェースからのアクセスの場合
BASE = D_0000H

2. 端子機能

本書における記号・略号の意味を以下に示します。

表 2.1 端子一覧における項目の意味

項目	意味
機能名	下記「端子名」の端子が持つ機能名称です。
端子名	「1.4 端子配置図 (Top View)」で示した端子名称です。
入出力	対象端子の入出力方向です。
機能説明	対象端子の機能概略です。
アクティブ	対象端子のアクティブレベルです。
リセット中	リセット中は RSTOUTZ = Low 期間の端子状態を示します。 リセット仕様に関する詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編」を参照して下さい。

表 2.2 端子一覧における記号・略号の意味

対象	記号・略号	意味
端子名	— (ハイフン)	ポート兼用がない専用端子です。
入出力	— (ハイフン)	電源/GND など入出力方向がない端子です。
アクティブレベル	— (ハイフン)	アクティブレベルがないことを示しています。 (クロック/データ/アドレス)
	High	アクティブレベルは High です。
	Low	アクティブレベルは Low です。
リセット中	— (ハイフン)	リセット初期値がない入力専用端子です。
	High	リセット中の端子状態は、High です。
	Low	リセット中の端子状態は、Low です。
	Hi-Z (High)	リセット中の端子状態は、内蔵 Pull-up 抵抗による Hi-Z (High) です。
	Hi-Z (Low)	リセット中の端子状態は、内蔵 Pull-down 抵抗による Hi-Z (Low) です。

2.1 端子一覧

「2.1.2 イーサネット端子」～「2.1.18 ADC 端子」の各端子は「2.1.1 ポート端子、リアルタイム・ポート端子」に示した各ポート端子に兼用しています。詳細は「2.1.1 ポート端子、リアルタイム・ポート端子」の兼用機能 1～兼用機能 4 をご参照下さい。

2.1.1 ポート端子、リアルタイム・ポート端子

ポートは、3.3V インタフェース 8 ビット・ポートが 13 セット (EXTP のみ 10 ビット) あります。

このうち、ポート 0~3 (P00-P37)、ポート 4~7 (P40-P77)、リアルタイム・ポート 0~3 (RP00-RP37) は、4 ポートをまとめて 32 ビット・アクセスも可能です。

(1/5)

端子名	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	リセット中
P00	INTPZ0	—	CCI_RUNLEDZ	CCS_MON1	Hi-Z (High)
P01	INTPZ1	—	—	CCS_MON2	
P02	INTPZ2	—	CCI_DLINKLEDZ	CCS_STBMSK	
P03	INTPZ3	—	CCI_ERRLEDZ	CCS_MON5	
P04	INTPZ4	—	CCI_LERR1LEDZ	CCS_MON6	
P05	INTPZ5	—	CCI_LERR2LEDZ	CCS_MON7	
P06	—	—	CCI_SDLEDZ	CCS_MON0	
P07	—	—	CCI_RDLEDZ	CCS_RESOUT	
P10	SMIO2	—	—	CCS_MON1	
P11	SMIO3	—	—	CCS_MON2	
P12	CSZ3	—	CCI_WDTIZ / CCM_WDTENZ / CCS_WDTZ	CCS_MON3	
P13	CSZ2	—	—	—	
P14	SMSCK	—	—	—	
P15	SMIO0	—	—	—	
P16	SMIO1	—	—	—	
P17	SMCSZ	—	—	—	
P20	RXD0	—	CCM_LINKERRZ	—	
P21	TXD0	—	CCM_ERRZ	—	
P22	INTPZ8	—	CCS_IOTENSU	—	
P23	INTPZ9	—	CCS_SENYU0	—	
P24	INTPZ10	ETHSWSYNCOUT	CCS_SENYU1	—	
P25	WDTOUTZ	—	CCS_ERRZ	—	
P26	TINJ1 / TIND5 注1	TOUTJ1 / TOUTD5 注1	CCM_RUNZ / CCS_RUNZ 注2	—	
P27	TINJ0 / TIND4 注1	TOUTJ0 / TOUTD4 注1	—	—	

注 1. TMISEL レジスタにて、TAUJ2/TAUD のどちらの端子を有効とするかを選択可能です。

詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編 25.18 タイマ I/F 選択レジスタ(TMISEL)」を参照して下さい。

2. CCSRUN レジスタと CC-Link の信号で生成された信号を P26 端子として出力します。

詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編 24.1.6 CC-Link Slave RUN LED 制御レジスタ(CCSRUN)」を参照して下さい。

(2/5)

端子名	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	リセット中	
P30	RXD1	—	—	—	Hi-Z (High)	
P31	TXD1	—	—	—		
P32	DMAREQZ1	—	CCM_LNKRUNZ / CCS_LNKRUNZ	—		
P33	DMAACKZ1	—	CCM_RDLEDZ / CCS_RDLEDZ	—		
P34	DMATCZ1	—	—	—		
P35	CSISCK1	INTPZ22	—	—	Hi-Z (Low)	
P36	CSISI1	INTPZ23	—	—	Hi-Z (High)	
P37	CSISO1	INTPZ24	—	—	Hi-Z (Low)	
P40	A1 / MA0	HA1	—	—	Hi-Z (High)	
P41	WAITZ	HWAITZ	—	—		
P42	CSICS00	HERROUTZ	CCS_FUSEZ	—		
P43	CSICS01	HBUSCLK	CCM_IRLZ	—		
P44	CSZ1	HPGCSZ	—	—		
P45	CSISCK0	WAITZ1	—	—		
P46	CSISI0	WAITZ2	—	—		
P47	CSISO0	WAITZ3	—	—		
P50	INTPZ6	—	—	CCS_REFSTB		
P51	INTPZ7	—	—	CCS_SDGATEON		Hi-Z (Low)
P52	TINJ3 / TIND7 注	TOUTJ3 / TOUTD7 注	CCI_NMIZ	CCS_DCHANG		Hi-Z (High)
P53	CRXD0	CCI_INTZ	—	—		
P54	CTXD0	CCS_RD	CCM_RD	—		
P55	CRXD1	CCS_MON4	—	—		
P56	CTXD1	CCS_SD	CCM_SD	—		
P57	TINJ2 / TIND6 注	TOUTJ2 / TOUTD6 注	CCM_SDGCZ	—		

注. TMISEL レジスタにて、TAUJ2/TAUD のどちらの端子を有効とするかを選択可能です。
 詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編 25.18 タイマ I/F 選択
 レジスタ (TMISEL)」を参照して下さい。

(3/5)

端子名	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	リセット中
P60	SCL0	—	—	—	Hi-Z (High)
P61	SDA0	—	—	—	
P62	RTDMAREQZ	—	CCM_MDIN0	—	
P63	RTDMAACKZ	—	CCM_MDIN1	—	
P64	RTDMATCZ	—	CCM_MDIN2	—	
P65	DMAREQZ0	—	CCM_MDIN3	—	
P66	DMAACKZ0	—	CCM_MSTZ	—	
P67	DMATCZ0	—	CCS_MON3	—	
P70	CSICS10	—	CCS_STATION_NO_0 / CCM_SNIN0	—	
P71	CSICS11	—	CCS_STATION_NO_1 / CCM_SNIN1	—	
P72	SLEEPING	—	CCS_STATION_NO_2 / CCM_SNIN2	—	
P73	INTPZ11	—	CCS_STATION_NO_3 / CCM_SNIN3	—	
P74	INTPZ12	—	CCS_STATION_NO_4 / CCM_SNIN4	—	
P75	INTPZ13	—	CCS_STATION_NO_5 / CCM_SNIN5	—	
P76	INTPZ14	—	CCS_STATION_NO_6 / CCM_SNIN6	—	
P77	INTPZ15	—	CCS_STATION_NO_7 / CCM_SNIN7	—	

(4/5)

端子名	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	リセット中
EXTP0	—	TOUTD0	—	TIND0	Hi-Z (High)
EXTP1	—	TOUTD1	—	TIND1	
EXTP2	—	TOUTD2	—	TIND2	
EXTP3	WDTOUTZ	TOUTD3	—	TIND3	
EXTP4	—	—	—	—	
EXTP5	—	—	—	—	Hi-Z (Low)
EXTP6	—	—	—	—	
EXTP7	CCM_STMON3	—	—	—	Hi-Z (High)
EXTP8	—	—	—	—	Hi-Z (High)
EXTP9	—	—	—	—	

ポート RP0x~ポート RP3x (x : 0-7) は、リアルタイム・ポートとして動作します。リアルタイム・ポート専用の DMA コントローラにより、32 ビット単位で DMA 転送トリガに同期して、ポートの入出力が行えます。

(5/5)

端子名	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	リセット中	
RP00	INTPZ16	SCL1	CCM_SDLEDZ / CCS_SDLEDZ	—	Hi-Z (High)	
RP01	INTPZ17	SDA1	CCM_SMSTZ	—		
RP02	INTPZ18	ADTRG	CCS_BS1	—		
RP03	INTPZ19	ADTRGRDY	CCS_BS2	—		
RP04	INTPZ20	—	CCS_BS4	—		
RP05	INTPZ21	—	CCS_BS8	—		
RP06	WRZ2 / BENZ2	HWRZ2 / HBENZ2	—	—		
RP07	WRZ3 / BENZ3	HWRZ3 / HBENZ3	—	—		
RP10	D24 / MD24 / HD24	LED0_PHY0	—	—		
RP11	D25 / MD25 / HD25	LED1_PHY0	—	—		
RP12	D26 / MD26 / HD26	LED2_PHY0	—	—		
RP13	D27 / MD27 / HD27	LED3_PHY0	—	—		
RP14	D28 / MD28 / HD28	LED0_PHY1	—	—		
RP15	D29 / MD29 / HD29	LED1_PHY1	—	—		
RP16	D30 / MD30 / HD30	LED2_PHY1	—	—		
RP17	D31 / MD31 / HD31	LED3_PHY1	—	—		
RP20	BCYSTZ / ADVZ	HBCYSTZ	—	—		
RP21	A21 / MA20	—	—	—		Hi-Z (Low)
RP22	A22 / MA21	—	—	—		
RP23	A23 / MA22	—	—	—		
RP24	A24 / MA23	INTPZ25	—	—		
RP25	A25 / MA24	INTPZ26	—	—		
RP26	A26 / MA25	INTPZ27	—	—		
RP27	A27 / MA26	INTPZ28	—	—		
RP30	D16 / MD16 / HD16	TOUTD8	TIND8	—	Hi-Z (High)	
RP31	D17 / MD17 / HD17	TOUTD9	TIND9	—		
RP32	D18 / MD18 / HD18	TOUTD10 ^注	TIND10	—		
RP33	D19 / MD19 / HD19	TOUTD11 ^注	TIND11	—		
RP34	D20 / MD20 / HD20	TOUTD12 ^注	TIND12	—		
RP35	D21 / MD21 / HD21	TOUTD13 ^注	TIND13	—		
RP36	D22 / MD22 / HD22	TOUTD14 ^注	TIND14	—		
RP37	D23 / MD23 / HD23	TOUTD15 ^注	TIND15	—		

注. TAUD 端子出力か PIC 端子出力を TOUTDSEL レジスタにて選択可能です。

詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編 25.21 TOUTD 出力選択レジスタ (TOUTD_SEL)」を参照して下さい。

2.1.2 イーサネット端子

機能名	端子名	入出力	機能説明	アクティブ	リセット中
P0_D0N	—	入出力	PHY 0 Tx/Rx channel A negative signal	—	—
P0_D0P	—	入出力	PHY 0 Tx/Rx channel A positive signal	—	—
P0_D1N	—	入出力	PHY 0 Tx/Rx channel B negative signal	—	—
P0_D1P	—	入出力	PHY 0 Tx/Rx channel B positive signal	—	—
P0_D2N	—	入出力	PHY 0 Tx/Rx channel C negative signal	—	—
P0_D2P	—	入出力	PHY 0 Tx/Rx channel C positive signal	—	—
P0_D3N	—	入出力	PHY 0 Tx/Rx channel D negative signal	—	—
P0_D3P	—	入出力	PHY 0 Tx/Rx channel D positive signal	—	—
P1_D0N	—	入出力	PHY 1 Tx/Rx channel A negative signal	—	—
P1_D0P	—	入出力	PHY 1 Tx/Rx channel A positive signal	—	—
P1_D1N	—	入出力	PHY 1 Tx/Rx channel B negative signal	—	—
P1_D1P	—	入出力	PHY 1 Tx/Rx channel B positive signal	—	—
P1_D2N	—	入出力	PHY 1 Tx/Rx channel C negative signal	—	—
P1_D2P	—	入出力	PHY 1 Tx/Rx channel C positive signal	—	—
P1_D3N	—	入出力	PHY 1 Tx/Rx channel D negative signal	—	—
P1_D3P	—	入出力	PHY 1 Tx/Rx channel D positive signal	—	—
PHYADD1	—	入力	Device SMI Address bit 1. (PD 抵抗付)	—	—
PHYADD2	—	入力	Device SMI Address bit 2. (PD 抵抗付)	—	—
PHYADD3	—	入力	Device SMI Address bit 3. (PD 抵抗付)	—	—
PHYADD4	—	入力	Device SMI Address bit 4. (PD 抵抗付)	—	—
REF_FILT	—	入出力	Copper media reference filter pin.	—	—
REF_REXT	—	入出力	Copper media reference external pin.	—	—
VDD1	—	—	1.0 V internal power supply	—	—
VDD1A	—	—	1.0 V analog power requiring additional PCB power supply filtering	—	—
VDD25A	—	—	2.5 V general analog power supply	—	—
VDD33_GPHY	—	—	3.3 V general I/O power supply	—	—
PHY0_LED0	—	出力	GbE-PHY の LED0_PHY0 出力信号	Low	High
PHY1_LED0	—	出力	GbE-PHY の LED0_PHY1 出力信号	Low	High
ETHSWSYNCOUT	P24	出力	EtherSwitch のイベント出力	High	Hi-Z (High)

2.1.3 外部 SRAM／マイコン・インタフェース

外部 SRAM／外部マイコン・インタフェースは、排他利用となります。
MEMIFSEL 端子の設定により選択されます。（設定値が Low の時は外部 SRAM インタフェース、High の時は外部マイコン・インタフェースとなります。）

2.1.3.1 SRAM インタフェース端子

(a) 非同期 SRAM MEMC (MEMCSEL=0) 選択時

機能名	端子名	入出力	機能説明	アクティブ	リセット中
BUSCLK	—	出力	バス・クロック出力	—	クロック出力
CSZ0	—	出力	チップ・セレクト 信号出力	Low	Hi-Z (High)
CSZ1	P44	出力			
CSZ2	P13	出力			
CSZ3	P12	出力			
A1	P40	出力	アドレス出力	—	Hi-Z (Low)
A2-A20	—	出力			
A21-A27	RP21-RP27	出力			
D0-D15	—	入出力	データ・バス	—	Hi-Z (High)
D16-D31	RP30-RP37、 RP10-RP17	入出力			
RDZ	—	出力	リード・ストロープ出力	Low	Hi-Z (High)
WRSTBZ	—	出力	ライト・ストロープ出力		
WRZ0 / BENZ0 ^注	WRZ0	出力	有効バイト・レーン・ ストロープ出力		
WRZ1 / BENZ1 ^注	WRZ1	出力			
WRZ2 / BENZ2 ^注	RP06	出力			
WRZ3 / BENZ3 ^注	RP07	出力			
WAITZ	P41	入力	ウェイト入力		
BCYSTZ	RP20	出力	バス・サイクル・スタート・ ステータス出力		

備考. 外部メモリ・インタフェース端子の BUSCLK 以外の端子は、内部リセット信号 (HRESETZ) のアクティブ期間中は、入力信号になります。

注. WREN レジスタで WRZ3 - WRZ0 と BENZ3 - BENZ0 を切り替えます。レジスタの詳細は、「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編 10.3.5 ライト・イネーブル切り替えレジスタ (WREN)」を参照して下さい。

(b) 同期式バースト・アクセス MEMC (MEMCSEL = 1) 選択時

機能名	端子名	入出力	機能説明	アクティブ	リセット中
BUSCLK	—	出力	バス・クロック出力	—	クロック出力
CSZ0	—	出力	チップ・セレクト 信号出力	Low	Hi-Z (High)
CSZ1	P44	出力			
CSZ2	P13	出力			
CSZ3	P12	出力			
MA0	P40	出力	アドレス出力	—	Hi-Z (Low)
MA1-MA19	A2-A20	出力			
MA20-MA26	RP21-RP27	出力			
MD0-MD15 / MA0-MA15 注1	D0-D15	入出力	データ・バス	—	Hi-Z (High)
MD16-MD31 / MA16-MA31 注1	RP30-RP37、 RP10-RP17	入出力			
RDZ	—	出力	リード・ストロブ出力	Low	
WRSTBZ	—	出力	ライト・ストロブ出力		
WRZ0 / BENZ0 注2	WRZ0	出力	有効バイト・レーン・ ストロブ出力		
WRZ1 / BENZ1 注2	WRZ1	出力			
WRZ2 / BENZ2 注2	RP06	出力			
WRZ3 / BENZ3 注2	RP07	出力			
WAITZ	P41	入力	ウェイト入力		
WAITZ1-WAITZ3	P45-P47	入力	ウェイト入力		
ADVZ	RP20	出力	アドレス・バリッド出力		

備考. 外部メモリ・インタフェース端子の BUSCLK 以外の端子は、内部リセット信号 (HRESETZ) のアクティブ期間中は、入力信号になります。

注 1. ADMUXMODE 端子が High の場合、アドレス端子と兼用になります。

ADMUXMODE = 0 : MD0-MD31 (アドレス/データ分離)

ADMUXMODE = 1 : MD0-MD31/MA0-MA31 (アドレス/データ多重)

2. SET_OPMODE レジスタで WRZ3 - WRZ0 と BENZ3 - BENZ0 を切り替えます。

レジスタの詳細は、「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編

11.2.8 同期式バースト・アクセス MEMC モード設定レジスタ (SET_OPMODE)」を参照して下さい。

2.1.3.2 外部マイコン・インタフェース端子

(a) 非同期 SRAM MEMC (MEMCSEL = 0) 選択時

機能名	端子名	入出力	機能説明	アクティブ	リセット中
HBUSCLK ^{注1}	P43	入力	バス・クロック入力	—	Hi-Z (High)
HCSZ	CSZ0	入力	チップ・セレクト入力	Low	
HPGCSZ	P44	入力	PageROM モード・ チップ・セレクト入力		—
HWAITZ	P41	出力	ウェイト信号出力		
HA1	P40	入力	アドレス信号入力	—	Hi-Z (High)
HA2-HA20	A2-A20	入力			
HD0-HD15	D0-D15	入出力	データ・バス	—	Hi-Z (High)
HD16-HD31	RP30-RP37、 RP10-RP17	入出力			
HRDZ	RDZ	入力	リード・ストロブ入力	Low	High
HWRSTBZ	WRSTBZ	入力	ライト・ストロブ入力		
HWRZ0 / HBENZ0 ^{注2}	WRZ0	入力	有効バイト・レーン・ ストロブ入力		
HWRZ1 / HBENZ1 ^{注2}	WRZ1	入力			
HWRZ2 / HBENZ2 ^{注2}	RP06	入力			
HWRZ3 / HBENZ3 ^{注2}	RP07	入力			
HERROUTZ	P42	出力	エラー割り込み出力		
HBCYSTZ	RP20	入力	バス・サイクル入力	Hi-Z (High)	

- 注 1.** HBUSCLK 端子は同期 SRAM 対応 MCU 接続モード (HIFSYNC 端子が High) の場合のみ使用します。非同期 SRAM 対応 MCU 接続モード (HIFSYNC 端子が Low) の場合は使用しません。
- なお、HBUSCLK 端子以外の外部マイコン・インタフェース端子の使用要否は各モード共通です。端子接続例の詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル ボード設計編 10.1 外部マイコン・インタフェース」を参照してください。
- 2.** HWRZSEL 端子の入カレベルによって、HWRZ3 - HWRZ0 と HBENZ3 - HBENZ0 を切り替えます。

備考. 外部マイコン・インタフェース端子は、リセット期間中でも外部マイコン・インタフェース端子として動作します。

(b) 同期式バースト・アクセス MEMC (MEMCSEL = 1) 選択時

機能名	端子名	入出力	機能説明	アクティブ	リセット中
HBUSCLK	P43	入力	バス・クロック入力	—	Hi-Z (High)
HCSZ	CSZ0	入力	チップ・セレクト入力	Low	
HPGCSZ	P44	入力	PageROM モード・ チップ・セレクト入力		—
HWAITZ	P41	出力	ウェイト信号出力		
HA1 注1	P40	入力	アドレス信号入力	—	Hi-Z (High)
HA2-HA20 注1	A2-A20	入力			
HD0-HD15 注1	D0-D15	入出力	データ・バス	—	Hi-Z (High)
HD16-HD31 注1	RP30-RP37、 RP10-RP17	入出力			
HRDZ	RDZ	入力	リード・ストロブ入力	Low	High
HWRSTBZ	WRSTBZ	入力	ライト・ストロブ入力		
HWRZ0 / HBENZ0 注2	WRZ0	入力	有効バイト・レーン・ ストロブ入力		
HWRZ1 / HBENZ1 注2	WRZ1	入力			
HWRZ2 / HBENZ2 注2	RP06	入力			
HWRZ3 / HBENZ3 注2	RP07	入力			
HERROUTZ	P42	出力	エラー割り込み出力		
HBCYSTZ	RP20	入力	バス・サイクル入力	Hi-Z (High)	

注 1. アドレス／データ・マルチプレクス・モード (ADMUXMODE 端子が High) 時と、
アドレス／データ・セパレート・モード (ADMUXMODE 端子が Low) 時において
アドレス・データ端子の接続方法が異なります。

端子接続例の詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル ボード設計編
10.1 外部マイコン・インタフェース」を参照してください。

2. MEMCSEL 端子が“1”の場合、HWRZSEL 端子を“1”に設定することは禁止です。

備考. 外部マイコン・インタフェース端子は、リセット期間中でも外部マイコン・インタフェース端子として動作します。

2.1.4 シリアル・フラッシュ ROM インタフェース

シリアル・フラッシュROMメモリ・コントローラの端子です。

Fast Read, Fast Read Dual Output, Fast Read Dual I/O, Fast Read Quad Output, Fast Read Quad I/Oモードに対応しています。

機能名	端子名	入出力	機能説明	アクティブ	リセット中
SMSCK	P14	出力	シリアル・フラッシュ ROM 用 シリアル・クロック出力信号	—	Hi-Z (High)
SMIO0	P15	入出力	シリアル・フラッシュ ROM 用 シリアル・データ入出力信号 (シリアル ROM の IO0 端子に接続)		
SMIO1	P16	入出力	シリアル・フラッシュ ROM 用 シリアル・データ入出力信号 (シリアル ROM の IO1 端子に接続)		
SMIO2	P10	入出力	シリアル・フラッシュ ROM 用 シリアル・データ入出力信号 (シリアル ROM の/WP(IO2)端子に 接続)		
SMIO3	P11	入出力	シリアル・フラッシュ ROM 用 シリアル・データ入出力信号 (シリアル ROM の/HOLD(IO3) 端子に接続)		
SMCSZ	P17	出力	シリアル・フラッシュ ROM 用 チップ・セレクト出力	Low	

2.1.5 DMA インタフェース端子

内蔵AHBバス用DMAコントローラの外部インタフェース端子です。

R-IN32M4-CL2に内蔵している2種類のDMAコントローラを外部DMAインタフェースとして制御可能です。制御可能なDMAコントローラは、汎用DMAコントローラのチャンネル0、チャンネル1およびリアルタイム・ポート用DMAコントローラです。★

機能名	端子名	入出力	機能説明	アクティブ	リセット中
RTDMAREQZ	P62	入力	RTDMAC DMA 転送要求入力	Low	Hi-Z (High)
RTDMAACKZ	P63	出力	RTDMAC DMA アクノリッジ出力		
RTDMATCZ	P64	出力	RTDMAC ターミナル・カウント出力		
DMAREQZ0	P65	入力	DMA 転送要求入力 0		
DMAACKZ0	P66	出力	DMA アクノリッジ出力 0		
DMATCZ0	P67	出力	ターミナル・カウント出力 0		
DMAREQZ1	P32	入力	DMA 転送要求入力 1		
DMAACKZ1	P33	出力	DMA アクノリッジ出力 1		
DMATCZ1	P34	出力	ターミナル・カウント出力 1		

注意. DMA インタフェース端子は、DMA コントローラのチャンネル固定です。任意の DMA コントローラ、任意のチャンネルに割り当てることはできません。詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編 14.DMA 機能」を参照してください。★

2.1.6 外部割り込み入力端子

1本のノンマスクブル割り込みと、29本のマスクブル割り込み入力端子があります。

機能名	端子名	入出力	機能説明	アクティブ	リセット中				
NMIZ	—	入力	ノンマスクブル外部割り込み入力	Low	Hi-Z (High)				
INTPZ0-INTPZ5	P00-P05	入力	外部割り込み入力		Low				
INTPZ6	P50								
INTPZ7	P51								
INTPZ22	P35								
INTPZ24	P37								
INTPZ8-INTPZ10	P22-P24								
INTPZ11-INTPZ15	P73-P77								
INTPZ16-INTPZ21	RP00-RP05								
INTPZ23	P36								
INTPZ25-INTPZ28	RP24-RP27								
									Hi-Z (Low)
									Hi-Z (High)

2.1.7 タイマ入出力端子

機能名	端子名	入出力	機能説明	アクティブ	リセット中
TINJ0 / TOUTJ0 注	P27	入出力	タイマ TAUJ2 入出力端子	-	Hi-Z (High)
TINJ1 / TOUTJ1 注	P26				
TINJ2 / TOUTJ2 注	P57				
TINJ3 / TOUTJ3 注	P52				
TIND0 / TOUTD0	EXTP0		タイマ TAUD 入出力端子		
TIND1 / TOUTD1	EXTP1				
TIND2 / TOUTD2	EXTP2				
TIND3 / TOUTD3	EXTP3				
TIND4 / TOUTD4 注	P27				
TIND5 / TOUTD5 注	P26				
TIND6 / TOUTD6 注	P57				
TIND7 / TOUTD7 注	P52				
TIND8 / TOUTD8	RP30				
TIND9 / TOUTD9	RP31				
TIND10 / TOUTD10	RP32				
TIND11 / TOUTD11	RP33				
TIND12 / TOUTD12	RP34				
TIND13 / TOUTD13	RP35				
TIND14 / TOUTD14	RP36				
TIND15 / TOUTD15	RP37				

注. TINJ0-TINJ3 と TIND4-TIND7, TOUTJ0-TOUTJ3 と TOUTD4-TOUTD7 は、それぞれ同一端子の兼用機能に割り当てられています。使用する端子を TMISEL レジスタで選択してください。

レジスタ詳細は、「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編 25.18 タイマ I/F 選択レジスタ (TMISEL)」を参照して下さい。

なお、内部クロックによるインターバル・タイマ機能など、外部端子を利用しない場合は、TAUJ2/TAUD の双方のチャンネルの同時利用ができます。

2.1.8 ウォッチドッグ・タイマ出力端子

機能名	端子名	入出力	機能説明	アクティブ	リセット中
WDTOUTZ	P25 / EXTP3	出力	ウォッチドッグ・タイマ出力端子	Low	Hi-Z (High)

2.1.9 シリアル・インタフェース端子

機能名	端子名	入出力	機能説明	アクティブ	リセット中
TXD0	P21	出力	UART0 シリアル・データ出力	-	Hi-Z (High)
RXD0	P20	入力	UART0 シリアル・データ入力		
TXD1	P31	出力	UART1 シリアル・データ出力		
RXD1	P30	入力	UART1 シリアル・データ入力		
CSISCK0	P45	入出力	CSI0 シリアル・クロック入出力		
CSISI0	P46	入力	CSI0 シリアル・データ入力		
CSISO0	P47	出力	CSI0 シリアル・データ出力		
CSICS00	P42	出力	CSI0 チップ・セレクト出力 0	Low	Hi-Z (High)
CSICS01	P43	出力	CSI0 チップ・セレクト出力 1	-	
CSISCK1	P35	入出力	CSI1 シリアル・クロック入出力		
CSISI1	P36	入力	CSI1 シリアル・データ入力		
CSISO1	P37	出力	CSI1 シリアル・データ出力	Low	
CSICS10	P70	出力	CSI1 チップ・セレクト出力 0		
CSICS11	P71	出力	CSI1 チップ・セレクト出力 1	-	
SCL0	P60	入出力	I2C0 シリアル・クロック		
SDA0	P61	入出力	I2C0 シリアル・データ		
SCL1	RP00	入出力	I2C1 シリアル・クロック		
SDA1	RP01	入出力	I2C1 シリアル・データ		
CRXD0	P53	入力	CAN0 受信データ入力 (5V-tolerant 対応)		
CTXD0	P54	出力	CAN0 送信データ出力 (5V-tolerant 対応)		
CRXD1	P55	入力	CAN1 受信データ入力 (5V-tolerant 対応)		
CTXD1	P56	出力	CAN1 送信データ出力 (5V-tolerant 対応)		

2.1.10 CC-Link IE Field 端子★

機能名	端子名	入出力	機能説明	アクティブ	リセット中
CCI_RUNLEDZ	P00	出力	運転状態出力	Low	Hi-Z (High)
CCI_DLINKLEDZ	P02	出力	サイクリック交信状態出力		
CCI_ERRLEDZ	P03	出力	フィールド・ネットワーク・エラー状態出力		
CCI_LERR1LEDZ	P04	出力	リンクエラー状態出力 1		
CCI_LERR2LEDZ	P05	出力	リンクエラー状態出力 2		
CCI_SDLEDZ	P06	出力	送信状態出力		
CCI_RDLEDZ	P07	出力	ポート受信状態出力		
CCI_NMIZ	P52	出力	マイコンへの NMI 割り込み出力		
CCI_WDTIZ	P12	入力	外部 WDT からの入力		
CCI_INTZ	P53	出力	マイコンへの割り込み出力		
CCI_CLK2_097M	—	入力	2.097152MHz クロック (水晶発振器)	—	—
CCI_WAITEDGEH ^{注1,2}	TRACEDATA2	入力	ウェイト同期エッジ設定	—	Hi-Z (High)
CCI_WRLLENH ^{注1,2}	TRACEDATA3	入力	WRZ モード設定		

注 1. CC-Link IE Field の内部入力端子 CCI_WAITEDGEH、CCI_WRLLENH は以下の外部端子のリセット時の状態をラッチした値が入力されます。

端子機能 (IEF内部)	ラッチする外部端子
CCI_WAITEDGEH	TRACEDATA2
CCI_WRLLENH	TRACEDATA3

2. 外部メモリ・ブート、外部シリアル・フラッシュ ROM ブート、命令 RAM ブートでブートする際、リセット中に TRACEDATA2 端子 (CCI_WAITEDGEH の兼用) と TRACEDATA3 端子 (CCI_WRLLENH の兼用) にハイ・レベルを入力してください。

リセット中に TRACEDATA2, TRACEDATA3 端子にロー・レベルを入力すると、R-IN32M4-CL2 内の CPU から CC-Link IE Field にアクセスできません。

2.1.11 CC-Link 端子（インテリジェントデバイス局）

機能名	端子名	入出力	機能説明	アクティブ	リセット中
CCM_LINKERRZ	P20	出力	リンクエラーLED 制御出力	Low	Hi-Z (High)
CCM_ERRZ	P21	出力	未使用★		
CCM_RUNZ	P26	出力	RUN LED 制御出力		
CCM_MDIN0- CCM_MDIN3	P62-P65	入力	伝送速度設定入力★	-	
CCM_SNIN0- CCM_SNIN7	P70-P77	入力	局番設定スイッチ入力		
CCM_LNKRUNZ	P32	出力	リンク RUN LED 制御出力	Low	
CCM_RDLEDZ	P33	出力	受信データ LED 制御出力		
CCM_SDLEDZ	RP00	出力	送信データ LED 制御出力		
CCM_IRLZ	P43	出力	通信回路からの割り込み信号出力★		
CCM_WDTENZ	P12	入力	ウォッチドック・タイマ・エラー入力		
CCM_MSTZ	P66	出力	未使用★	-	
CCM_SMSTZ	RP01	出力	未使用★		
CCM_RD	P54	入力	通信回路データ受信端子	-	
CCM_SD	P56	出力	通信回路データ送信端子		
CCM_SDGCZ	P57	出力	通信回路送信データ・ゲート制御端子	Low	
CCM_STMON3	EXTP7	出力	ステータス出力	-	
CCM_CLK80M	-	入力	CC-Link クロック入力 (80MHz)		-

2.1.12 CC-Link 端子（リモートデバイス局）

機能名	端子名	入出力	機能説明	アクティブ	リセット中
CCS_MON0	P06	出力	モニタ信号	-	Hi-Z (High)
CCS_MON1	P00 / P10	出力			
CCS_MON2	P01 / P11	出力			
CCS_MON3	P12 / P67	出力			
CCS_MON4	P55	出力			
CCS_MON5-CCS_MON7	P03-P05	出力			
CCS_RESOUT	P07	出力	リセット出力信号	High	
CCS_IOTENSU	P22	入力	初期設定端子	-	
CCS_SENYU0	P23	入力			
CCS_SENYU1	P24	入力			
CCS_ERRZ	P25	出力	動作確認用 LED	Low	
CCS_RUNZ	P26	出力	動作確認用 LED		
CCS_LNKRUNZ	P32	出力	リンク RUN LED 制御出力		
CCS_STATION_NO_0- CCS_STATION_NO_7	P70-P77	入力	局番設定スイッチ入力端子	-	
CCS_REFSTB	P50	出力	割込み信号	High	
CCS_STBMSK	P02	入出力	CLK 停止監視用入出力	-	
CCS_DCHANG	P52	入出力	CLK 停止監視用入出力		
CCS_WDTZ	P12	入力	WDT 入力	Low	
CCS_RDLEDZ	P33	出力	受信データ LED 制御出力		
CCS_RD	P54	入力	通信回路データ受信端子	-	
CCS_SD	P56	出力	通信回路データ送信端子		
CCS_SDLEDZ	RP00	出力	動作確認用 LED	Low	
CCS_SDGATEON	P51	出力	通信回路送信データ・ ゲート制御端子	High	Hi-Z (Low)
CCS_BS1	RP02	入力	ポー・レート設定 SW 入力端子	-	Hi-Z (High)
CCS_BS2	RP03	入力			
CCS_BS4	RP04	入力			
CCS_BS8	RP05	入力			
CCS_FUSEZ	P42	入力	ヒューズ断入力信号	Low	
CCM_CLK80M ^注	-	入力	CC-Link クロック入力 (80MHz)	-	-

注. 本端子は、CC-Link（インテリジェントデバイス局）と共用です。

2.1.13 システム端子

機能名	端子名	入出力	機能説明	アクティブ	リセット中
XT1	—	入力	クロック入力端子 OSCTH = 1 : 発振器使用時です。 XT1 を GND、XT2 に発振器を接続。 OSCTH = 0 : 発振器使用時です。 XT1/XT2 に発振器に接続。	—	—
XT2	—	入出力			
RESETZ	—	入力	リセット入力	Low	
PONRZ	—	入力	パワー・オン・リセット入力		
HOTRESETZ	—	入力	ホット・リセット入力		
OSCTH	—	入力	外部クロック入力モード設定 0 : 発振器使用モード 1 : 外部クロック入力モード	High	
JTAGSEL	—	入力	JTAG 端子の動作モード設定 0 : Cortex-M4 JTAG モード 1 : B-SCAN JTAG モード	—	
RSTOUTZ	—	出力	外部へのリセット出力	Low	Low
PLL_VDD	—	—	PLL 電源 (1.0V)	—	—
PLL_GND	—	—	PLL GND		
VDD33	—	—	I/O 電源 (3.3V)		
VDD10	—	—	内部電源 (1.0V)		
GND	—	—	電源用グランド電位 (GND)		

2.1.14 トレース端子

機能名	端子名	入出力	機能説明	アクティブ	リセット中
TRACECLK	—	出力	トレース・ポート・クロック出力	—	クロック出力
TRACEDATA3 ^注	—		トレース・ポート・データ出力		Hi-Z (High)
TRACEDATA2 ^注	—				
TRACEDATA1	—				
TRACEDATA0	—				

注. CC-Link IE Field の端子と兼用しています。

兼用機能情報は「2.1.10 CC-Link IE Field 端子★」を参照して下さい。

初期状態は入力信号であり、リセット(RSTOUTZ 端子)解除後、20cycle@BUSCLK で
入力→出力に切り替わります。

2.1.15 CPU パワー制御端子

機能名	端子名	入出力	機能説明	アクティブ	リセット中
SLEEPING	P72	出力	CPU コアの SLEEP モード出力	High	Hi-Z (High)

2.1.16 テスト端子

機能名	端子名	入出力	機能説明	アクティブ	リセット中
TMODE0-TMODE2	-	入力	テスト・モード選択端子	-	-
TMS		入出力	モード・セレクト信号		
TDI		入力	シリアル・データ入力		
TDO		出力	シリアル・データ出力		
TRSTZ		入力	リセット信号	Low	
TCK		入力	クロック信号 (JTAG クロック)	-	
TMC1		入力	ルネサステスト端子		
TMC2		入力	ルネサステスト端子		
TEST1		入力	ルネサステスト端子		
TEST2		入出力	ルネサステスト端子		
TEST3		入力	ルネサステスト端子		
TEST4		入出力	ルネサステスト端子		
TEST5		入出力	ルネサステスト端子		
TEST6		入力	ルネサステスト端子		

2.1.17 動作モード設定端子

機能名	端子名	入出力	機能説明	アクティブ	リセット中
BOOT1- BOOT0	—	入力	ブート・モード選択 00: 外部メモリ・ブート 01: 外部シリアル・フラッシュ・ROM ブート 10: 外部マイコン・ブート 11: 命令 RAM ブート (デバッグ時のみ使用可能)	—	—
MEMIFSEL	—	入力	外部メモリ・インタフェース種別選択 0: スレーブ・メモリ・インタフェース 1: 外部マイコン・インタフェース		
MEMCSEL	—	入力	内蔵するメモリ・コントローラの選択 0: 非同期式 SRAM MEMC 1: 同期式バースト・アクセス MEMC		
BUS32EN	—	入力	外部メモリ・インタフェース・バス幅選択 0: 16 ビット・バス 1: 32 ビット・バス		
HIFSYNC	—	入力	外部マイコン・インタフェースの動作モード 0: 非同期式 SRAM インタフェース 1: 同期式 SRAM インタフェース		
HWRZSEL	—	入力	外部マイコン・インタフェース HWRZ/HBENZ 選択 0: HBENZ として使用 1: HWRZ として使用		
ADMUXMODE	—	入力	アドレス/データのマルチプレクス設定 0: アドレス/データ分離 1: アドレス/データ多重		

本製品において使用可能な動作モード設定端子の組み合わせは下表のとおりです。

ブート・モード	外部メモリ・ブート				外部マイコン・ブート				外部シリアル・フラッシュ ROM ブート							
	スレーブ・メモリ I/F				外部マイコン I/F				スレーブ・メモリ I/F				外部マイコン I/F			
	非同期		同期式		非同期		同期式		非同期		同期式		非同期		同期式	
外部バス幅	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit
BOOT1-0	00	00	00	00	10	10	10	10	01	01	01	01	01	01	01	01
MEMIFSEL	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
MEMCSEL	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
BUS32EN	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
HIFSYNC	0	0	0	0	注1	注1	1	1	0	0	0	0	注1	注1	1	1
HWRZSEL	0	0	0	0	注2	注2	0	0	0	0	0	0	注2	注2	0	0
ADMUXMODE	0	0	注3	注3	0	0	注3	注3	0	0	注3	注3	0	0	注3	注3

注意. 動作モード設定端子は、上記以外の組み合わせは設定禁止です。

注 1. HIFSYNC 端子によって外部マイコン・インタフェース機能を選択可能です。

HIFSYNC = 0 : 非同期 SRAM 対応 MCU 接続モード

HIFSYNC = 1 : 同期 SRAM 対応 MCU 接続モード

詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編 12. 外部マイコン・インタフェース」を参照して下さい。

2. HWRZSEL 端子によって外部マイコン・インタフェース HWRZ/HBENZ を選択可能です。

詳細は「2.1.3.2(a) 非同期 SRAM MEMC (MEMCSEL = 0) 選択時」を参照して下さい。

3. ADMUXMODE 端子によってアドレス/データのマルチプレクス設定を選択可能です。

詳細は「2.1.3.1(b) 同期式パースト・アクセス MEMC (MEMCSEL = 1) 選択時」を参照して下さい。

備考 1. 命令 RAM ブート (BOOT1-0 = 11) で使用可能な動作モード設定端子の組み合わせは、外部メモリ・ブート (BOOT1-0 = 00) と同様です。

2. 非同期 : 非同期式 SRAM MEMC (MEMCSEL = 0) 、

同期式 : 同期式パースト・アクセス MEMC (MEMCSEL = 1) を示します。

2.1.18 ADC 端子

機能名	端子名	入出力	機能説明	アクティブ	リセット中
ADTRG	RP02	入力	A/D コンバータの外部変換トリガ入力	—	Hi-Z (High)
ADTRGRDY	RP03	出力	A/D コンバータの外部変換トリガのレディ信号	—	Hi-Z (High)
AIN0-AIN7	—	入力	A/D コンバータのアナログ入力	—	—
AVREFP	—	入力	A/D コンバータの基準電圧入力 (+)	—	—
AVREFM	—	入力	A/D コンバータの基準電圧入力 (-)	—	—
AVDD	—	入力	A/D コンバータのアナログ電源。3.3V 電源に接続。	—	—
AGND	—	入力	A/D コンバータのアナログ電源。GND に接続。	—	—

2.2 端子状態

動作モード設定端子の状態によって、リセット解除後のポート機能の初期状態が異なります。各ブート・モード時の動作モード設定端子の状態およびサポートする組み合わせは「2.1.17 動作モード設定端子」を参照して下さい。

- 備考 1. 薄緑の網掛けは、初期状態で兼用機能が有効となる端子を示しています。
- 2. 命令 RAM ブートの初期状態は、外部メモリ・ブートと同様です。

2.2.1 外部メモリ・ブート時の端子状態

端子名	外部メモリ・ブート (BOOT1-0 = 00)			
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)			
	非同期 SRAM MEMC (MEMCSEL = 0)		同期式バースト・アクセス MEMC (MEMCSEL = 1)	
	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)
P00	P00	P00	P00	P00
P01	P01	P01	P01	P01
P02	P02	P02	P02	P02
P03	P03	P03	P03	P03
P04	P04	P04	P04	P04
P05	P05	P05	P05	P05
P06	P06	P06	P06	P06
P07	P07	P07	P07	P07
P10	P10	P10	P10	P10
P11	P11	P11	P11	P11
P12	P12	P12	P12	P12
P13	P13	P13	P13	P13
P14	P14	P14	P14	P14
P15	P15	P15	P15	P15
P16	P16	P16	P16	P16
P17	P17	P17	P17	P17
P20	P20	P20	P20	P20
P21	P21	P21	P21	P21
P22	P22	P22	P22	P22
P23	P23	P23	P23	P23
P24	P24	P24	P24	P24
P25	P25	P25	P25	P25
P26	P26	P26	P26	P26
P27	P27	P27	P27	P27
P30	P30	P30	P30	P30
P31	P31	P31	P31	P31
P32	P32	P32	P32	P32
P33	P33	P33	P33	P33
P34	P34	P34	P34	P34
P35	P35	P35	P35	P35
P36	P36	P36	P36	P36
P37	P37	P37	P37	P37

端子名	外部メモリ・ブート (BOOT1-0 = 00)			
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)			
	非同期 SRAM MEMC (MEMCSEL = 0)		同期式バースト・アクセス MEMC (MEMCSEL = 1)	
	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)
P40	A1	P40	MA0	MA0
P41	P41	P41	P41	P41
P42	P42	P42	P42	P42
P43	P43	P43	P43	P43
P44	P44	P44	P44	P44
P45	P45	P45	P45	P45
P46	P46	P46	P46	P46
P47	P47	P47	P47	P47
P50	P50	P50	P50	P50
P51	P51	P51	P51	P51
P52	P52	P52	P52	P52
P53	P53	P53	P53	P53
P54	P54	P54	P54	P54
P55	P55	P55	P55	P55
P56	P56	P56	P56	P56
P57	P57	P57	P57	P57
P60	P60	P60	P60	P60
P61	P61	P61	P61	P61
P62	P62	P62	P62	P62
P63	P63	P63	P63	P63
P64	P64	P64	P64	P64
P65	P65	P65	P65	P65
P66	P66	P66	P66	P66
P67	P67	P67	P67	P67
P70	P70	P70	P70	P70
P71	P71	P71	P71	P71
P72	P72	P72	P72	P72
P73	P73	P73	P73	P73
P74	P74	P74	P74	P74
P75	P75	P75	P75	P75
P76	P76	P76	P76	P76
P77	P77	P77	P77	P77
EXTP0	EXTP0	EXTP0	EXTP0	EXTP0
EXTP1	EXTP1	EXTP1	EXTP1	EXTP1
EXTP2	EXTP2	EXTP2	EXTP2	EXTP2
EXTP3	EXTP3	EXTP3	EXTP3	EXTP3
EXTP4	EXTP4	EXTP4	EXTP4	EXTP4
EXTP5	EXTP5	EXTP5	EXTP5	EXTP5
EXTP6	EXTP6	EXTP6	EXTP6	EXTP6
EXTP7	EXTP7	EXTP7	EXTP7	EXTP7
EXTP8	EXTP8	EXTP8	EXTP8	EXTP8
EXTP9	EXTP9	EXTP9	EXTP9	EXTP9

端子名	外部メモリ・ブート (BOOT1-0 = 00)			
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)			
	非同期 SRAM MEMC (MEMCSEL = 0)		同期式バースト・アクセス MEMC (MEMCSEL = 1)	
	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)
RP00	RP00	RP00	RP00	RP00
RP01	RP01	RP01	RP01	RP01
RP02	RP02	RP02	RP02	RP02
RP03	RP03	RP03	RP03	RP03
RP04	RP04	RP04	RP04	RP04
RP05	RP05	RP05	RP05	RP05
RP06	RP06	WRZ2	RP06	WRZ2
RP07	RP07	WRZ3	RP07	WRZ3
RP10	RP10	D24	RP10	MD24
RP11	RP11	D25	RP11	MD25
RP12	RP12	D26	RP12	MD26
RP13	RP13	D27	RP13	MD27
RP14	RP14	D28	RP14	MD28
RP15	RP15	D29	RP15	MD29
RP16	RP16	D30	RP16	MD30
RP17	RP17	D31	RP17	MD31
RP20	RP20	RP20	ADVZ	ADVZ
RP21	RP21	RP21	RP21	RP21
RP22	RP22	RP22	RP22	RP22
RP23	RP23	RP23	RP23	RP23
RP24	RP24	RP24	RP24	RP24
RP25	RP25	RP25	RP25	RP25
RP26	RP26	RP26	RP26	RP26
RP27	RP27	RP27	RP27	RP27
RP30	RP30	D16	RP30	MD16
RP31	RP31	D17	RP31	MD17
RP32	RP32	D18	RP32	MD18
RP33	RP33	D19	RP33	MD19
RP34	RP34	D20	RP34	MD20
RP35	RP35	D21	RP35	MD21
RP36	RP36	D22	RP36	MD22
RP37	RP37	D23	RP37	MD23

2.2.2 外部シリアル・フラッシュ ROM ブート時の端子状態

- 備考 1. 非同期タイプ：非同期 SRAM MEMC (MEMCSEL = 0)、
同期式タイプ：同期式バースト・アクセス MEMC (MEMCSEL = 1) を示します。
2. 16bit：外部メモリ・インタフェース・バス幅 16bit (BUS32EN = 0)、
32bit：外部メモリ・インタフェース・バス幅 32bit (BUS32EN = 1) を示します。

端子名	外部シリアル・フラッシュ ROM ブート (BOOT1-0 = 01)							
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)				外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期タイプ		同期式タイプ		非同期タイプ		同期式タイプ	
	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit
P00	P00	P00	P00	P00	P00	P00	P00	P00
P01	P01	P01	P01	P01	P01	P01	P01	P01
P02	P02	P02	P02	P02	P02	P02	P02	P02
P03	P03	P03	P03	P03	P03	P03	P03	P03
P04	P04	P04	P04	P04	P04	P04	P04	P04
P05	P05	P05	P05	P05	P05	P05	P05	P05
P06	P06	P06	P06	P06	P06	P06	P06	P06
P07	P07	P07	P07	P07	P07	P07	P07	P07
P10	P10	P10	P10	P10	P10	P10	P10	P10
P11	P11	P11	P11	P11	P11	P11	P11	P11
P12	P12	P12	P12	P12	P12	P12	P12	P12
P13	P13	P13	P13	P13	P13	P13	P13	P13
P14	SMSCK	SMSCK	SMSCK	SMSCK	SMSCK	SMSCK	SMSCK	SMSCK
P15	SMIO0	SMIO0	SMIO0	SMIO0	SMIO0	SMIO0	SMIO0	SMIO0
P16	SMIO1	SMIO1	SMIO1	SMIO1	SMIO1	SMIO1	SMIO1	SMIO1
P17	SMCSZ	SMCSZ	SMCSZ	SMCSZ	SMCSZ	SMCSZ	SMCSZ	SMCSZ
P20	P20	P20	P20	P20	P20	P20	P20	P20
P21	P21	P21	P21	P21	P21	P21	P21	P21
P22	P22	P22	P22	P22	P22	P22	P22	P22
P23	P23	P23	P23	P23	P23	P23	P23	P23
P24	P24	P24	P24	P24	P24	P24	P24	P24
P25	P25	P25	P25	P25	P25	P25	P25	P25
P26	P26	P26	P26	P26	P26	P26	P26	P26
P27	P27	P27	P27	P27	P27	P27	P27	P27
P30	P30	P30	P30	P30	P30	P30	P30	P30
P31	P31	P31	P31	P31	P31	P31	P31	P31
P32	P32	P32	P32	P32	P32	P32	P32	P32
P33	P33	P33	P33	P33	P33	P33	P33	P33
P34	P34	P34	P34	P34	P34	P34	P34	P34
P35	P35	P35	P35	P35	P35	P35	P35	P35
P36	P36	P36	P36	P36	P36	P36	P36	P36
P37	P37	P37	P37	P37	P37	P37	P37	P37

端子名	外部シリアル・フラッシュ ROM ブート (BOOT1-0 = 01)							
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)				外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期タイプ		同期式タイプ		非同期タイプ		同期式タイプ	
	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit
P40	A1	P40	MA0	MA0	HA1	HA1	HA1	HA1
P41	P41	P41	P41	P41	HWAITZ	HWAITZ	HWAITZ	HWAITZ
P42	P42	P42	P42	P42	HERROUTZ	HERROUTZ	HERROUTZ	HERROUTZ
P43	P43	P43	P43	P43	HBUSCLK	HBUSCLK	HBUSCLK	HBUSCLK
P44	P44	P44	P44	P44	HPGCSZ	HPGCSZ	HPGCSZ	HPGCSZ
P45	P45	P45	P45	P45	P45	P45	P45	P45
P46	P46	P46	P46	P46	P46	P46	P46	P46
P47	P47	P47	P47	P47	P47	P47	P47	P47
P50	P50	P50	P50	P50	P50	P50	P50	P50
P51	P51	P51	P51	P51	P51	P51	P51	P51
P52	P52	P52	P52	P52	P52	P52	P52	P52
P53	P53	P53	P53	P53	P53	P53	P53	P53
P54	P54	P54	P54	P54	P54	P54	P54	P54
P55	P55	P55	P55	P55	P55	P55	P55	P55
P56	P56	P56	P56	P56	P56	P56	P56	P56
P57	P57	P57	P57	P57	P57	P57	P57	P57
P60	P60	P60	P60	P60	P60	P60	P60	P60
P61	P61	P61	P61	P61	P61	P61	P61	P61
P62	P62	P62	P62	P62	P62	P62	P62	P62
P63	P63	P63	P63	P63	P63	P63	P63	P63
P64	P64	P64	P64	P64	P64	P64	P64	P64
P65	P65	P65	P65	P65	P65	P65	P65	P65
P66	P66	P66	P66	P66	P66	P66	P66	P66
P67	P67	P67	P67	P67	P67	P67	P67	P67
P70	P70	P70	P70	P70	P70	P70	P70	P70
P71	P71	P71	P71	P71	P71	P71	P71	P71
P72	P72	P72	P72	P72	P72	P72	P72	P72
P73	P73	P73	P73	P73	P73	P73	P73	P73
P74	P74	P74	P74	P74	P74	P74	P74	P74
P75	P75	P75	P75	P75	P75	P75	P75	P75
P76	P76	P76	P76	P76	P76	P76	P76	P76
P77	P77	P77	P77	P77	P77	P77	P77	P77

端子名	外部シリアル・フラッシュ ROM ブート (BOOT1-0 = 01)							
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)				外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期タイプ		同期式タイプ		非同期タイプ		同期式タイプ	
	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit
EXTP0	EXTP0	EXTP0	EXTP0	EXTP0	EXTP0	EXTP0	EXTP0	EXTP0
EXTP1	EXTP1	EXTP1	EXTP1	EXTP1	EXTP1	EXTP1	EXTP1	EXTP1
EXTP2	EXTP2	EXTP2	EXTP2	EXTP2	EXTP2	EXTP2	EXTP2	EXTP2
EXTP3	EXTP3	EXTP3	EXTP3	EXTP3	EXTP3	EXTP3	EXTP3	EXTP3
EXTP4	EXTP4	EXTP4	EXTP4	EXTP4	EXTP4	EXTP4	EXTP4	EXTP4
EXTP5	EXTP5	EXTP5	EXTP5	EXTP5	EXTP5	EXTP5	EXTP5	EXTP5
EXTP6	EXTP6	EXTP6	EXTP6	EXTP6	EXTP6	EXTP6	EXTP6	EXTP6
EXTP7	EXTP7	EXTP7	EXTP7	EXTP7	EXTP7	EXTP7	EXTP7	EXTP7
EXTP8	EXTP8	EXTP8	EXTP8	EXTP8	EXTP8	EXTP8	EXTP8	EXTP8
EXTP9	EXTP9	EXTP9	EXTP9	EXTP9	EXTP9	EXTP9	EXTP9	EXTP9

端子名	外部シリアル・フラッシュ ROM ブート (BOOT1-0 = 01)							
	スレーブ・メモリ・インタフェース (MEMIFSEL = 0)				外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期タイプ		同期式タイプ		非同期タイプ		同期式タイプ	
	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit
RP00	RP00	RP00	RP00	RP00	RP00	RP00	RP00	RP00
RP01	RP01	RP01	RP01	RP01	RP01	RP01	RP01	RP01
RP02	RP02	RP02	RP02	RP02	RP02	RP02	RP02	RP02
RP03	RP03	RP03	RP03	RP03	RP03	RP03	RP03	RP03
RP04	RP04	RP04	RP04	RP04	RP04	RP04	RP04	RP04
RP05	RP05	RP05	RP05	RP05	RP05	RP05	RP05	RP05
RP06	RP06	WRZ2	RP06	WRZ2	RP06	HWRZ2	RP06	HWRZ2
RP07	RP07	WRZ3	RP07	WRZ3	RP07	HWRZ3	RP07	HWRZ3
RP10	RP10	D24	RP10	MD24	RP10	HD24	RP10	HD24
RP11	RP11	D25	RP11	MD25	RP11	HD25	RP11	HD25
RP12	RP12	D26	RP12	MD26	RP12	HD26	RP12	HD26
RP13	RP13	D27	RP13	MD27	RP13	HD27	RP13	HD27
RP14	RP14	D28	RP14	MD28	RP14	HD28	RP14	HD28
RP15	RP15	D29	RP15	MD29	RP15	HD29	RP15	HD29
RP16	RP16	D30	RP16	MD30	RP16	HD30	RP16	HD30
RP17	RP17	D31	RP17	MD31	RP17	HD31	RP17	HD31
RP20	RP20	RP20	ADVZ	ADVZ	HBCYSTZ	HBCYSTZ	HBCYSTZ	HBCYSTZ
RP21	RP21	RP21	RP21	RP21	RP21	RP21	RP21	RP21
RP22	RP22	RP22	RP22	RP22	RP22	RP22	RP22	RP22
RP23	RP23	RP23	RP23	RP23	RP23	RP23	RP23	RP23
RP24	RP24	RP24	RP24	RP24	RP24	RP24	RP24	RP24
RP25	RP25	RP25	RP25	RP25	RP25	RP25	RP25	RP25
RP26	RP26	RP26	RP26	RP26	RP26	RP26	RP26	RP26
RP27	RP27	RP27	RP27	RP27	RP27	RP27	RP27	RP27
RP30	RP30	D16	RP30	MD16	RP30	HD16	RP30	HD16
RP31	RP31	D17	RP31	MD17	RP31	HD17	RP31	HD17
RP32	RP32	D18	RP32	MD18	RP32	HD18	RP32	HD18
RP33	RP33	D19	RP33	MD19	RP33	HD19	RP33	HD19
RP34	RP34	D20	RP34	MD20	RP34	HD20	RP34	HD20
RP35	RP35	D21	RP35	MD21	RP35	HD21	RP35	HD21
RP36	RP36	D22	RP36	MD22	RP36	HD22	RP36	HD22
RP37	RP37	D23	RP37	MD23	RP37	HD23	RP37	HD23

2.2.3 外部マイコン・ブート時の端子状態

端子名	外部マイコン・ブート (BOOT1-0 = 10)			
	外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期 SRAM MEMC (MEMCSEL = 0)		同期式バースト・アクセス MEMC (MEMCSEL = 1)	
	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)
P00	P00	P00	P00	P00
P01	P01	P01	P01	P01
P02	P02	P02	P02	P02
P03	P03	P03	P03	P03
P04	P04	P04	P04	P04
P05	P05	P05	P05	P05
P06	P06	P06	P06	P06
P07	P07	P07	P07	P07
P10	P10	P10	P10	P10
P11	P11	P11	P11	P11
P12	P12	P12	P12	P12
P13	P13	P13	P13	P13
P14	P14	P14	P14	P14
P15	P15	P15	P15	P15
P16	P16	P16	P16	P16
P17	P17	P17	P17	P17
P20	P20	P20	P20	P20
P21	P21	P21	P21	P21
P22	P22	P22	P22	P22
P23	P23	P23	P23	P23
P24	P24	P24	P24	P24
P25	P25	P25	P25	P25
P26	P26	P26	P26	P26
P27	P27	P27	P27	P27
P30	P30	P30	P30	P30
P31	P31	P31	P31	P31
P32	P32	P32	P32	P32
P33	P33	P33	P33	P33
P34	P34	P34	P34	P34
P35	P35	P35	P35	P35
P36	P36	P36	P36	P36
P37	P37	P37	P37	P37

端子名	外部マイコン・ブート (BOOT1-0 = 10)			
	外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期 SRAM MEMC (MEMCSEL = 0)		同期式バースト・アクセス MEMC (MEMCSEL = 1)	
	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)
P40	HA1	HA1	HA1	HA1
P41	HWAITZ	HWAITZ	HWAITZ	HWAITZ
P42	HERROUTZ	HERROUTZ	HERROUTZ	HERROUTZ
P43	HBUSCLK	HBUSCLK	HBUSCLK	HBUSCLK
P44	HPGCSZ	HPGCSZ	HPGCSZ	HPGCSZ
P45	P45	P45	P45	P45
P46	P46	P46	P46	P46
P47	P47	P47	P47	P47
P50	P50	P50	P50	P50
P51	P51	P51	P51	P51
P52	P52	P52	P52	P52
P53	P53	P53	P53	P53
P54	P54	P54	P54	P54
P55	P55	P55	P55	P55
P56	P56	P56	P56	P56
P57	P57	P57	P57	P57
P60	P60	P60	P60	P60
P61	P61	P61	P61	P61
P62	P62	P62	P62	P62
P63	P63	P63	P63	P63
P64	P64	P64	P64	P64
P65	P65	P65	P65	P65
P66	P66	P66	P66	P66
P67	P67	P67	P67	P67
P70	P70	P70	P70	P70
P71	P71	P71	P71	P71
P72	P72	P72	P72	P72
P73	P73	P73	P73	P73
P74	P74	P74	P74	P74
P75	P75	P75	P75	P75
P76	P76	P76	P76	P76
P77	P77	P77	P77	P77
EXTP0	EXTP0	EXTP0	EXTP0	EXTP0
EXTP1	EXTP1	EXTP1	EXTP1	EXTP1
EXTP2	EXTP2	EXTP2	EXTP2	EXTP2
EXTP3	EXTP3	EXTP3	EXTP3	EXTP3
EXTP4	EXTP4	EXTP4	EXTP4	EXTP4
EXTP5	EXTP5	EXTP5	EXTP5	EXTP5
EXTP6	EXTP6	EXTP6	EXTP6	EXTP6
EXTP7	EXTP7	EXTP7	EXTP7	EXTP7
EXTP8	EXTP8	EXTP8	EXTP8	EXTP8
EXTP9	EXTP9	EXTP9	EXTP9	EXTP9

端子名	外部マイコン・ブート (BOOT1-0 = 10)			
	外部マイコン・インタフェース (MEMIFSEL = 1)			
	非同期 SRAM MEMC (MEMCSEL = 0)		同期式バースト・アクセス MEMC (MEMCSEL = 1)	
	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)	16bit (BUS32EN = 0)	32bit (BUS32EN = 1)
RP00	RP00	RP00	RP00	RP00
RP01	RP01	RP01	RP01	RP01
RP02	RP02	RP02	RP02	RP02
RP03	RP03	RP03	RP03	RP03
RP04	RP04	RP04	RP04	RP04
RP05	RP05	RP05	RP05	RP05
RP06	RP06	HWRZ2	RP06	HWRZ2
RP07	RP07	HWRZ3	RP07	HWRZ3
RP10	RP10	HD24	RP10	HD24
RP11	RP11	HD25	RP11	HD25
RP12	RP12	HD26	RP12	HD26
RP13	RP13	HD27	RP13	HD27
RP14	RP14	HD28	RP14	HD28
RP15	RP15	HD29	RP15	HD29
RP16	RP16	HD30	RP16	HD30
RP17	RP17	HD31	RP17	HD31
RP20	HBCYSTZ	HBCYSTZ	HBCYSTZ	HBCYSTZ
RP21	RP21	RP21	RP21	RP21
RP22	RP22	RP22	RP22	RP22
RP23	RP23	RP23	RP23	RP23
RP24	RP24	RP24	RP24	RP24
RP25	RP25	RP25	RP25	RP25
RP26	RP26	RP26	RP26	RP26
RP27	RP27	RP27	RP27	RP27
RP30	RP30	HD16	RP30	HD16
RP31	RP31	HD17	RP31	HD17
RP32	RP32	HD18	RP32	HD18
RP33	RP33	HD19	RP33	HD19
RP34	RP34	HD20	RP34	HD20
RP35	RP35	HD21	RP35	HD21
RP36	RP36	HD22	RP36	HD22
RP37	RP37	HD23	RP37	HD23

2.3 動作モード・モニタ機能

動作モード設定端子は、動作モード・モニタ・レジスタで設定状態を確認できます。
確認可能な動作モード設定端子を、以下に示します。

動作モード・モニタ・レジスタの詳細は、「R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編 25.2 動作モード・モニタ・レジスタ」を参照ください。

表 2.3 確認可能な動作モード設定端子

端子名	機能
BUS32EN	外部メモリ・インタフェースの起動時のバス幅選択
MEMIFSEL	外部メモリ・インタフェース種別選択
HIFSYNC	外部マイコン・インタフェースの動作モード
HWRZSEL	外部マイコン・インタフェース HWRZ/HBENZ の選択
JTAGSEL	JTAG 端子の動作モード設定
OSCTH	外部クロック入力モード設定
BOOT0、BOOT1	ブート・モード選択
MEMCSEL	内蔵するメモリ・コントローラの選択
ADMUXMODE	アドレス／データのマルチプレクス設定

2.4 バッファ機能切り替え機能

リアルタイム・ポート端子、汎用ポート端子（一部除く）は、ドライブ能力およびプルアップ/プルダウン抵抗の有無を、プログラマブルに変更できます。

負荷の大きいシステムなどでは、ドライブ能力を上げて、安定した動作を実現できます。

バッファ機能の切り替えには、バッファ機能切り替えレジスタ（DRCTL）を使用します。

バッファ機能切り替えレジスタの詳細は、「7.5 バッファ機能切り替えレジスタ（DRCTL）」を参照ください。

2.5 各端子のバッファ・タイプと未使用端子処理

2.5.1 ポート端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
P00-P07, P20-P21,P25-P26, P32-P33 P50, P66, RP00-RP37	入出力	Programmable I/O Buffer (3.3V) 駆動能力選択機能 (6mA,12mA) 抵抗選択機能 (Pull-up or Pull-down or less)	オープン
P10-P17, P22-P24,P27, P30-P31,P34-P37, P40-P47, P51-P52,P57, P60-P65,P67, P70-P77, EXTP0-EXTP9	入出力	Programmable I/O Buffer (3.3V)(6mA) 抵抗選択機能 (Pull-up or Pull-down or less)	
P53-P56	入出力	5V-tolerant I/O Buffer 4mA 50kΩ Pull-up	

2.5.2 イーサネット端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
P0_D0N	入出力	Management data interface (analog)	オープン
P0_D0P	入出力	Management data interface (analog)	オープン
P0_D1N	入出力	Management data interface (analog)	オープン
P0_D1P	入出力	Management data interface (analog)	オープン
P0_D2N	入出力	Management data interface (analog)	オープン
P0_D2P	入出力	Management data interface (analog)	オープン
P0_D3N	入出力	Management data interface (analog)	オープン
P0_D3P	入出力	Management data interface (analog)	オープン
P1_D0N	入出力	Management data interface (analog)	オープン
P1_D0P	入出力	Management data interface (analog)	オープン
P1_D1N	入出力	Management data interface (analog)	オープン
P1_D1P	入出力	Management data interface (analog)	オープン
P1_D2N	入出力	Management data interface (analog)	オープン
P1_D2P	入出力	Management data interface (analog)	オープン
P1_D3N	入出力	Management data interface (analog)	オープン
P1_D3P	入出力	Management data interface (analog)	オープン
PHYADD1	入力	Device SMI Address bit 1. (PD 抵抗付)	オープン
PHYADD2	入力	Device SMI Address bit 2. (PD 抵抗付)	オープン
PHYADD3	入力	Device SMI Address bit 3. (PD 抵抗付)	オープン
PHYADD4	入力	Device SMI Address bit 4. (PD 抵抗付)	オープン
REF_FILT	入出力	Copper media reference filter pin.	Connect the pin to GND via an external 1 μ F capacitor. (常時、この処置を行ってください)
REF_REXT	入出力	Copper media reference external pin.	Connect the pin to GND via an external 2.0 k Ω (1%) resistor. (常時、この処置を行ってください)
VDD1	—	1.0 V internal power supply	VDD (1.0V) に接続
VDD1A	—	1.0 V analog power requiring additional PCB power supply filtering	VDD (1.0V) に接続
VDD25A	—	2.5 V general analog power supply	VDD (2.5V) に接続
VDD33_GPHY	—	3.3 V general I/O power supply	VDD (3.3V) に接続
PHY0_LED0	出力	GbE-PHY の LED0_PHY0 出力信号 Output Buffer (3.3V) 3mA	オープン
PHY1_LED0	出力	GbE-PHY の LED0_PHY1 出力信号 Output Buffer (3.3V) 3mA	オープン

2.5.3 外部 SRAM/外部マイコン・インタフェース端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
BUSCLK	出力	Output Buffer (3.3V) 9mA	オープン
CSZ0	入出力	I/O Buffer (3.3V) 6mA 50kΩ Pull-up	オープン
A2-A20	入出力	I/O Buffer (3.3V) 6mA 50kΩ Pull-down	オープン
D0-D15			
RDZ	入出力	I/O Buffer (3.3V) 6mA 50kΩ Pull-up	オープン
WRSTBZ			
WRZ0, WRZ1			

2.5.4 外部割り込み入力端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
NMIZ	入力	Input Buffer (3.3V) Schmitt in 50kΩ Pull-up	VDD (3.3V) に接続

2.5.5 CC-Link IE Field 端子★

端子名称	入出力	インタフェース	未使用時の推奨接続方法
CCI_CLK2_097M	入力	Input Buffer (3.3V)	GND に接続

2.5.6 CC-Link Master (インテリジェントデバイス局) 端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
CCM_CLK80M	入力	Input Buffer (3.3V)	GND に接続

2.5.7 システム端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
XT1	入力	Oscillator with EN	注
XT2	入出力		
RSTOUTZ	出力	Output Buffer (3.3V) 6mA	オープン
RESETZ	入力	Input Buffer (3.3V) Schmitt in	必ず使用する端子のため、リセット信号を接続 VDD (3.3V) に接続
PONRZ			
HOTRESETZ			
OSCTH	入力	Input Buffer (3.3V) Schmitt in, 50kΩ Pull-down	動作モードに応じて設定
JTAGSEL			
PLL_VDD	—	PLL 電源 (1.0V)	VDD (1.0V) に接続
PLL_GND	—	PLL GND	GND に接続
VDD33	—	I/O 電源 (3.3V)	VDD (3.3V) に接続
VDD10	—	内部電源 (1.0V)	VDD (1.0V) に接続
GND	—	電源用グランド電位 (GND)	GND に接続

注. OSCTH 端子の設定によって接続方法が変わります。

詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル ボード設計編」を参照してください。

2.5.8 トレース端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
TRACECLK	出力	Output Buffer (3.3V) 6mA	オープン
TRACEDATA3-TRACEDATA0	入出力	Programmable I/O Buffer (3.3V) (6mA) 50kΩ Pull-up	

2.5.9 テスト端子

端子名称	入出力	インタフェース	未使用時の接続方法 (必須)
TMODE0-TMODE2	入力	Input Buffer (3.3V) Schmitt in, 50kΩ Pull-down	GND に接続
TMS	入出力	I/O Buffer (3.3V) 6mA, 25kΩ Pull-up	オープン
TDI	入力	Input Buffer (3.3V) , 25kΩ Pull-up	オープン
TDO	出力	3-state Output Buffer (3.3V) 6mA	オープン
TRSTZ	入力	Input Buffer (3.3V) , Schmitt in, 50kΩ Pull-up	オープン
TCK	入力	Input Buffer (3.3V) , 25kΩ Pull-up	オープン
TMC1	入力	(TMC1) Input Buffer (3.3V) for TMC Terminal	GND に接続
TMC2	入力	(TMC2) Input Buffer (3.3V) for TMC Terminal	GND に接続
TEST1	入力	ルネサステスト信号	GND に接続
TEST2	入出力	ルネサステスト信号	オープン
TEST3	入力	ルネサステスト信号	VDD (3.3V) に接続
TEST4	入出力	ルネサステスト信号	オープン
TEST5	入出力	ルネサステスト信号	オープン
TEST6	入力	ルネサステスト信号	GND に接続

2.5.10 動作モード設定端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
BOOT0, BOOT1	入力	Input Buffer (3.3V) Schmitt in	動作モードに応じて設定
MEMIFSEL			
BUS32EN			
HIFSYNC			
HWRZSEL			
MEMCSEL			
ADMUXMODE			

2.5.11 ADC 端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
AIN0-AIN7	入力	Analog	オープン
AVREFP			VDD (3.3V) に接続
AVREFM			GND に接続
AVDD			VDD (3.3V) に接続
AGND			GND に接続

3. メモリ・マップ

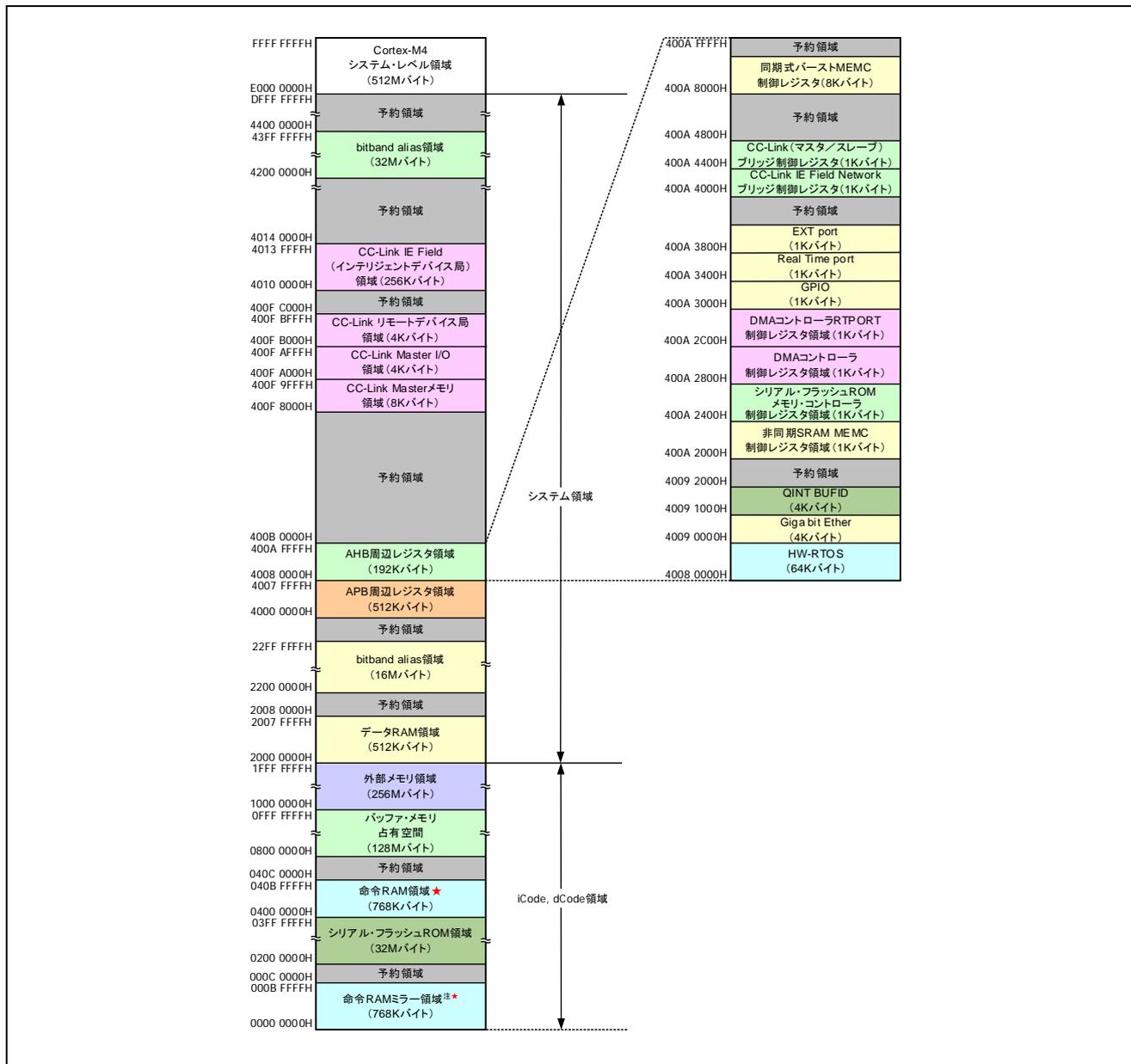


図 3.1 メモリ・マップ (全体)

★注 上記命令RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生するアドレスが変化します。詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」を参照してください。

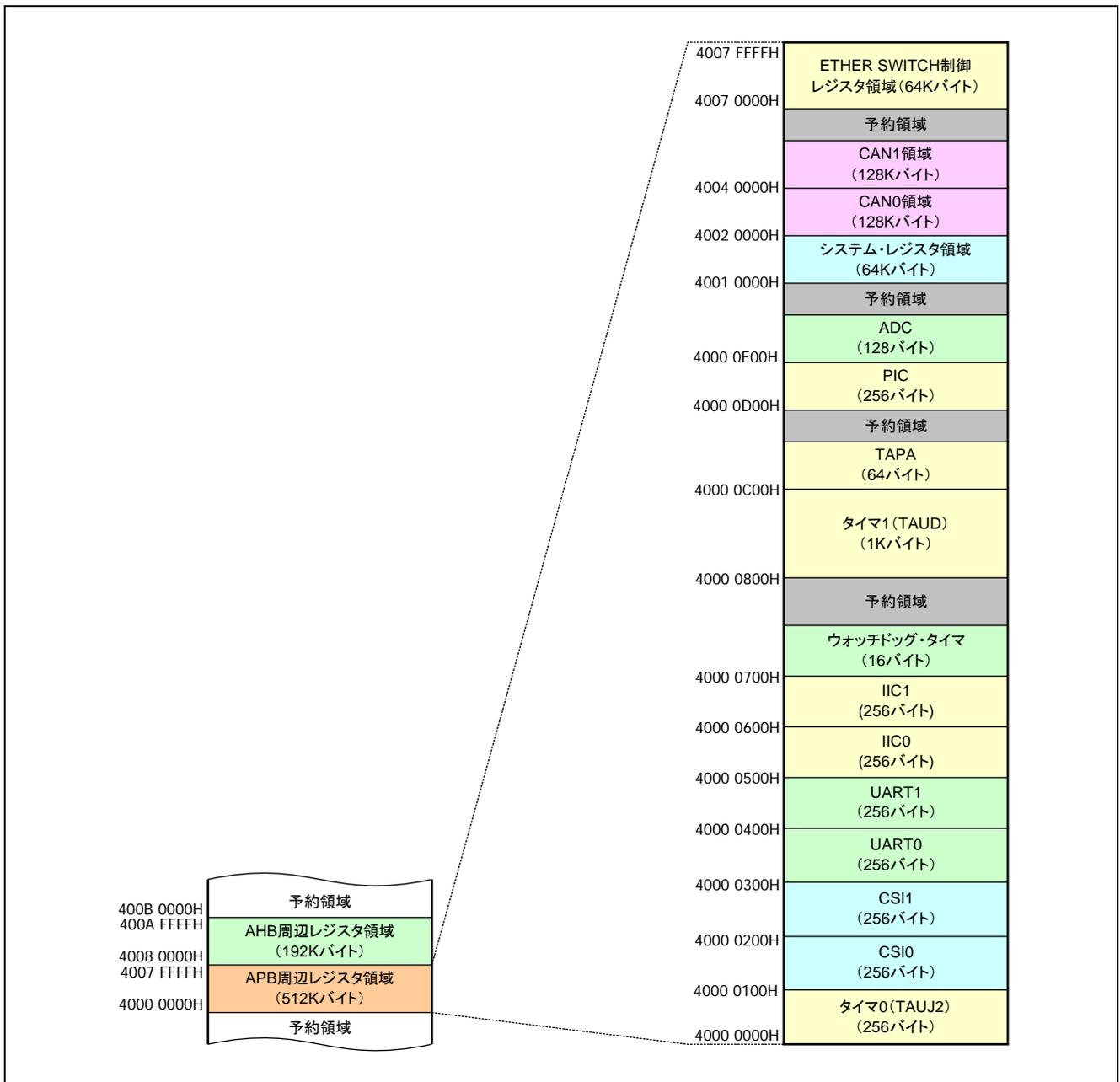


図 3.2 メモリ・マップ (APB 周辺レジスタ領域)

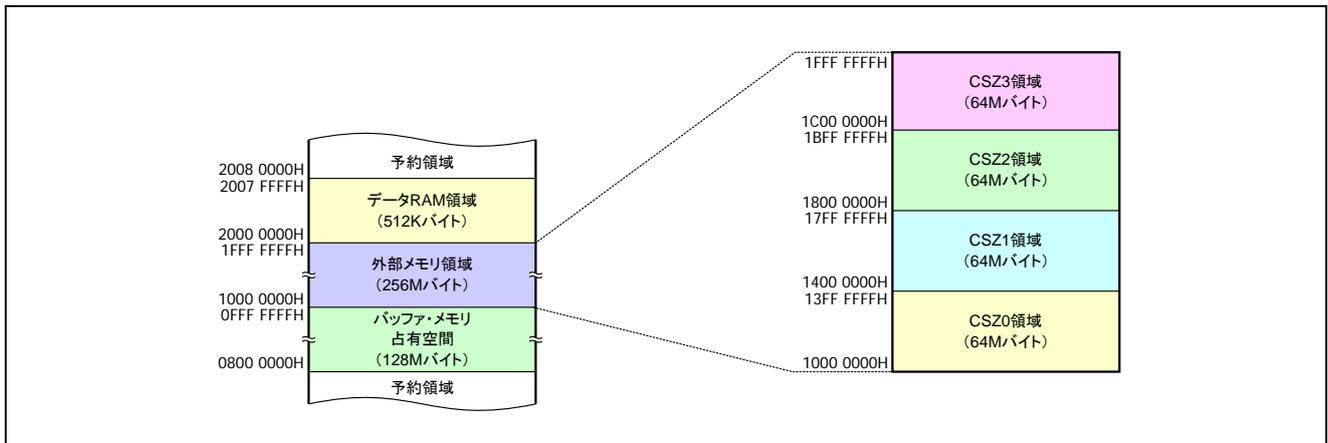


図 3.3 メモリ・マップ (外部メモリ領域)

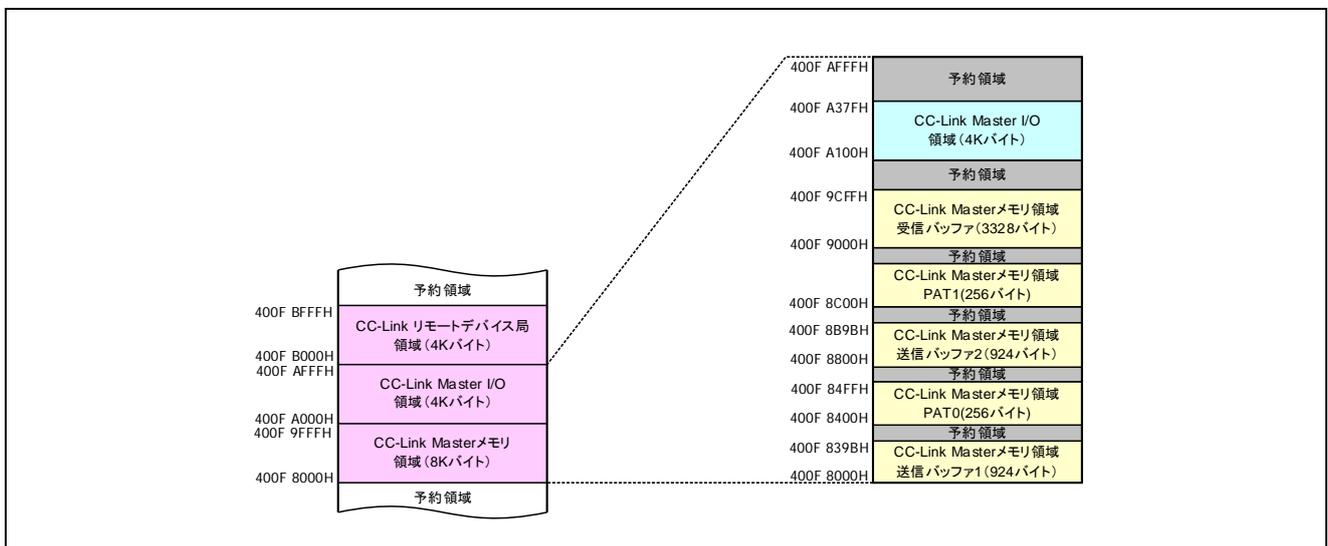


図 3.4 メモリ・マップ (CC-Link Master 領域)

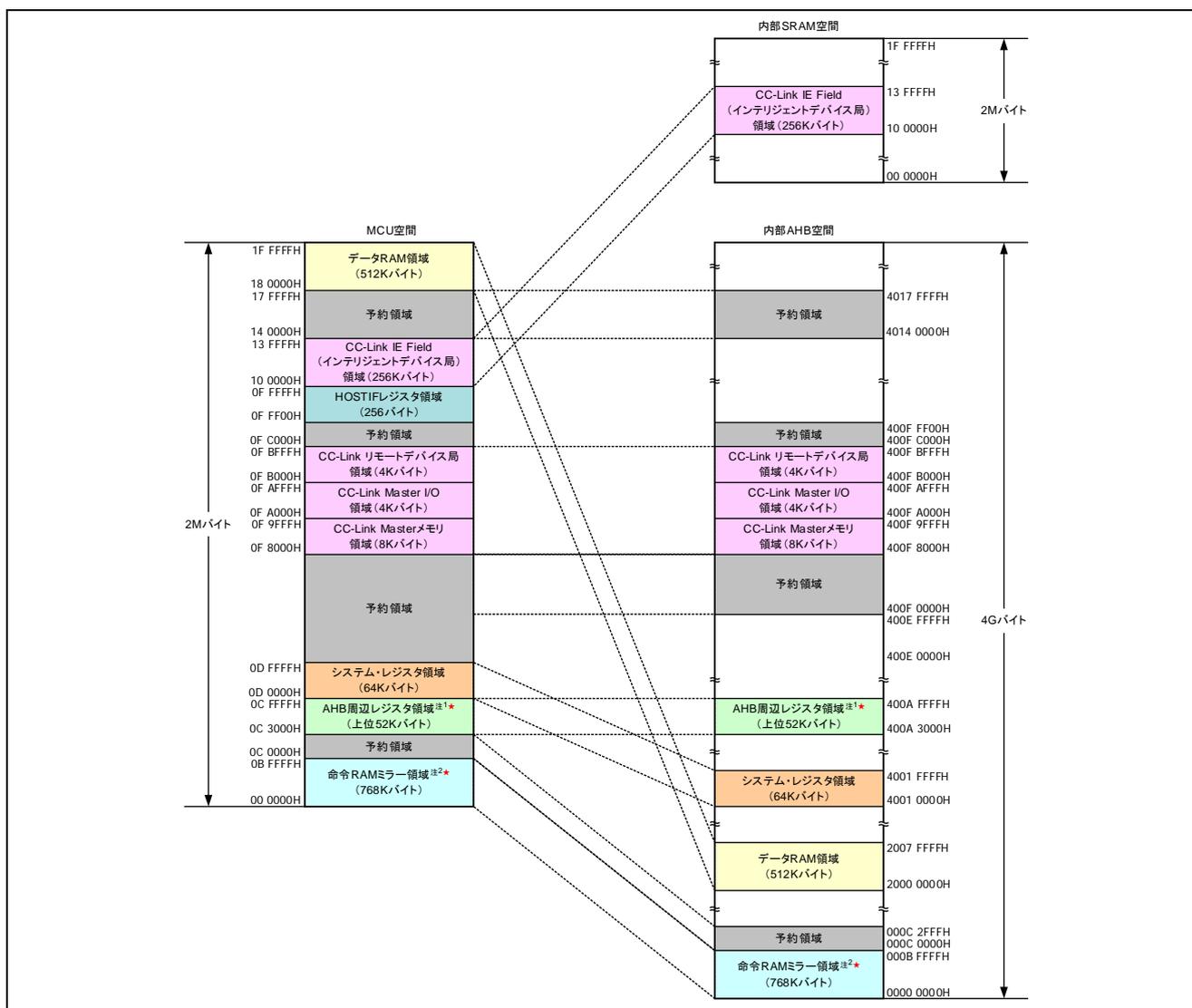


図 3.5 外部マイコン・インタフェース空間

注 1. AHB 周辺レジスタ領域(上位 52K バイト)は、「GPIO」領域～「同期式バースト MEMC 制御レジスタ」領域を示します。詳細は「図 3.1 メモリ・マップ(全体)」を参照して下さい。

★2. 上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。

BOOT1	BOOT0	ブート・モード	アクセス先領域	備考
0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可
1	0	外部マイコン・ブート	命令 RAM 領域	—
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可

4. 例外処理機能

R-IN32M4 は、Cortex-M4 内蔵の割り込みコントローラを使用しています。

Cortex-M4 の例外処理動作は、Arm 社の下記 URL を参照してください。

<http://infocenter.arm.com/help/topic/com.arm.doc.set.cortexm/index.html>

4.1 例外一覧

例外番号 1-15 は Cortex-M4 CPU のシステム例外です。例外番号 16 以降に、R-IN32M4 内蔵ハードウェアや外部端子からの割り込みが割り当てられています。

例外番号	例外タイプ	優先度	説明
1	リセット	-3 (最上位)	<ul style="list-style-type: none"> リセット端子 (RESETZ, PONRZ, HOTRESETZ) 入力 ウォッチドッグ・タイマからのリセット Cortex-M4 CPU 内蔵 NVIC の SYSRESETREQ ビットのセット (1) SYSRESET レジスタによるリセット
2	NMI	-2	<ul style="list-style-type: none"> NMI 端子入力 ウォッチドッグ・タイマからの NMI 発生
3	ハード・フォールト	-1	他の例外によって処理できないすべてのクラスの例外フォールトの昇格に使用
4	メモリ管理フォールト	プログラマブル	MPU からの例外
5	バス・フォールト	プログラマブル	MPU 管理外の領域に対するバス・アクセスのバス・エラー
6	用法フォールト	プログラマブル	未定義命令の実行を含む命令実行に関するエラー
7~10	予約	—	—
11	SVCcall	プログラマブル	SVC 命令によるシステム・サービスの呼び出し
12	デバッグ・モニタ	プログラマブル	デバッグ・モニタ
13	予約	—	—
14	PendSV	プログラマブル	保留可能なシステム・サービスへの要求
15	SysTick	プログラマブル	システム・タイマからの通知
16~	R-IN32M4-CL2 固有割り込み	プログラマブル	R-IN32M4-CL2 内蔵ハードウェアや外部端子からの割り込み

4.2 割り込み一覧

Cortex-M4 CPU の NVIC に割り当てられている例外番号 16 以降の例外（割り込み）です。

R-IN32M4-CL2 では、内蔵ハードウェアや、外部端子からの割り込みは、Cortex-M4 の NVIC 以外に、内蔵ハードウェア・リアルタイム OS (HW-RTOS) や、内蔵 DMA コントローラの起動トリガ（汎用 DMAC, リアルタイム・ポート用 DMAC とも共通）、タイマにも接続されています。

R-IN32M4-CL2 には以下の割り込みがあります。

表 4.1 割り込み一覧

(1/4)

例外番号	名称	発生要因	接続先				
			NVIC	HW-RTOS	DMAC	Real Time Port	Timer TAUJ2 /TAUD
16	INTTAUJ2I0	TAUJ2 チャンネル 0 割り込み	○	○	○	○	○
17	INTTAUJ2I1	TAUJ2 チャンネル 1 割り込み	○	○	○	○	○
18	INTTAUJ2I2	TAUJ2 チャンネル 2 割り込み	○	○	○	○	○
19	INTTAUJ2I3	TAUJ2 チャンネル 3 割り込み	○	○	○	○	○
20	INTUAJ0TIT	UARTJ0 送信割り込み	○	○	○	○	○
21	INTUAJ0TIR	UARTJ0 受信割り込み	○	○	○	○	○
22	INTUAJ1TIT	UARTJ1 送信割り込み	○	○	○	○	○
23	INTUAJ1TIR	UARTJ1 受信割り込み	○	○	○	○	○
24	INTCSIH0IC	CSIH0 通信ステータス割り込み	○	○	○	○	○
25	INTCSIH0IR	CSIH0 受信ステータス割り込み	○	○	○	○	○
26	INTCSIH0IJC	CSIH0 ジョブ完了割り込み	○	○	○	○	○
27	INTCSIH1IC	CSIH1 通信ステータス割り込み	○	○	○	○	○
28	INTCSIH1IR	CSIH1 受信ステータス割り込み	○	○	○	○	○
29	INTCSIH1IJC	CSIH1 ジョブ完了割り込み	○	○	○	○	○
30	INTIICB0TIA	IICB0 データ送受信割り込み	○	○	○	○	○
31	INTIICB1TIA	IICB1 データ送受信割り込み	○	○	○	○	○
32	INTFCN0REC	FCN0 受信完了割り込み	○	○	○	○	○
33	INTFCN0TRX	FCN0 送信完了割り込み	○	○	○	○	○
34	INTFCN0WUP	FCN0 スリープ・ウェイクアップ/送信中断割り込み	○	○	○	○	○
35	INTFCN1REC	FCN1 受信完了割り込み	○	○	○	○	○
36	INTFCN1TRX	FCN1 送信完了割り込み	○	○	○	○	○
37	INTFCN1WUP	FCN1 スリープ・ウェイクアップ/送信中断割り込み	○	○	○	○	○
38	INTDMA00	汎用 DMAC チャンネル 0 転送完了割り込み	○	○	○	○	○
39	INTDMA01	汎用 DMAC チャンネル 1 転送完了割り込み	○	○	○	○	○
40	INTDMA02	汎用 DMAC チャンネル 2 転送完了割り込み	○	○	○	○	○
41	INTDMA03	汎用 DMAC チャンネル 3 転送完了割り込み	○	○	○	○	○
42	INTRTDMA	リアルタイム・ポート用 DMAC 転送完了割り込み	○	○	○	○	○
43	INTTAUDI0	TAUD チャンネル 0 割り込み	○	○	○	○	○
44	INTTAUDI1	TAUD チャンネル 1 割り込み	○	○	○	○	○
45	INTTAUDI2	TAUD チャンネル 2 割り込み	○	○	○	○	○

○・・・接続有り -・・・未使用

(2/4)

例外 番号	名称	発生要因	接続先				
			NVIC	HW- RTOS	DMAC	Real Time Port	Timer TAUJ2 /TAUD
46	INTTAUDI3	TAUD チャンネル 3 割り込み	○	○	○	○	○
47	INTTAUDI4	TAUD チャンネル 4 割り込み	○	○	○	○	○
48	INTBUFDMA	Inter-Buffer DMA 転送完了割り込み	○	○	○	○	○
49	INTETHPHY0	Gigabit Ethernet PHY Port0 割り込み	○	○	○	○	○
50	INTETHPHY1	Gigabit Ethernet PHY Port1 割り込み	○	○	○	○	○
51	INTETHMIICMP	Ether MII マネージメント・アクセス完了割り込み	○	○	○	○	○
52	INTETHPAUSECMP	Ether ポーズ・パケット送信完了割り込み	○	○	○	○	○
53	INTETHTXCMP	Ether 送信完了割り込み	○	○	○	○	○
54	INTETHSW	Ether SWITCH Timer 割り込み	○	○	○	○	○
55	INTETHSWDLR	Ether SWITCH DLR 割り込み	○	○	○	○	○
56	INTETHSWSYNC	Ether SWITCH SYNC 割り込み	○	○	○	○	○
57	INTETHRXFIFO	RX FIFO オーバーフロー割り込み	○	○	—	—	—
58	INTETHTXFIFO	TX FIFO アンダーフロー割り込み	○	○	—	—	—
59	INTETHRXDMA	Ether MACDMA 受信完了割り込み	○	○	○	○	○
60	INTETHTXDMA	Ether MACDMA 送信完了割り込み	○	○	○	○	○
61	INTMACDMARX FRM	受信フレーム正常割り込み	○	○	○	○	○
62	—	Reserve	—	—	—	—	—
63	INTPZ0	INTPZ0 入力	○	○	○	○	○
64	INTPZ1	INTPZ1 入力	○	○	○	○	○
65	INTPZ2	INTPZ2 入力	○	○	○	○	○
66	INTPZ3	INTPZ3 入力	○	○	○	○	○
67	INTPZ4	INTPZ4 入力	○	○	○	○	○
68	INTPZ5	INTPZ5 入力	○	○	○	○	○
69	INTPZ6	INTPZ6 入力	○	○	○	○	○
70	INTPZ7	INTPZ7 入力	○	○	○	○	○
71	INTPZ8	INTPZ8 入力	○	○	○	○	○
72	INTPZ9	INTPZ9 入力	○	○	○	○	○
73	INTPZ10	INTPZ10 入力	○	○	○	○	○
74	INTPZ11	INTPZ11 入力/TAUD チャンネル 5 割り込み ^注	○	○	○	○	○
75	INTPZ12	INTPZ12 入力/TAUD チャンネル 6 割り込み ^注	○	○	○	○	○
76	INTPZ13	INTPZ13 入力/TAUD チャンネル 7 割り込み ^注	○	○	○	○	○
77	INTPZ14	INTPZ14 入力/TAUD チャンネル 8 割り込み ^注	○	○	○	○	○

○…接続有り —…未使用

注. INTPZ / TAUD 割り込みは、INTSEL レジスタで選択されます。

詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編 25.19 INTPZ/タイマ割り込み
選択レジスタ (INTSEL)」を参照して下さい。

(3/4)

例外 番号	名称	発生要因	接続先				
			NVIC	HW- RTOS	DMAC	Real Time Port	Timer TAUJ2 /TAUD
78	INTPZ15	INTPZ15 入力/TAUD チャンネル 9 割り込み ^注	○	○	○	○	○
79	INTPZ16	INTPZ16 入力/TAUD チャンネル 10 割り込み ^注	○	○	○	○	○
80	INTPZ17	INTPZ17 入力/TAUD チャンネル 11 割り込み ^注	○	○	○	○	○
81	INTPZ18	INTPZ18 入力/TAUD チャンネル 12 割り込み ^注	○	○	○	○	○
82	INTPZ19	INTPZ19 入力/TAUD チャンネル 13 割り込み ^注	○	○	○	○	○
83	INTPZ20	INTPZ20 入力/TAUD チャンネル 14 割り込み ^注	○	○	○	○	○
84	INTPZ21	INTPZ21 入力/TAUD チャンネル 15 割り込み ^注	○	○	○	○	○
85	INTPZ22	INTPZ22 入力/山割り込み (TAPA) ^注	○	○	○	○	○
86	INTPZ23	INTPZ23 入力/谷割り込み (TAPA) ^注	○	○	○	○	○
87	INTPZ24	INTPZ24 入力	○	○	○	○	○
88	INTPZ25	INTPZ25 入力	○	○	○	○	○
89	INTPZ26	INTPZ26 入力	○	○	○	○	○
90	INTPZ27	INTPZ27 入力	○	○	○	○	○
91	INTPZ28	INTPZ28 入力	○	○	○	○	○
92	INTHWRTOS	HW-RTOS 割り込み	○	—	—	—	—
93	INTBRAMERR	Buffer RAM 領域アクセス・エラー割り込み	○	○	—	—	—
94	INTIICB0TIS	IICB0 ステータス割り込み	○	○	—	—	—
95	INTIICB1TIS	IICB1 ステータス割り込み	○	○	—	—	—
96	INTWDTA	WDT アラーム割り込み (75%割り込みも含む)	○	○	—	—	—
97	INTSFLASH	シリアル・フラッシュ ROM コントローラ・ エラー割り込み	○	○	—	—	—
98	INTUAJ0TIS	UARTJ0 ステータス割り込み	○	○	—	—	—
99	INTUAJ1TIS	UARTJ1 ステータス割り込み	○	○	—	—	—
100	INTCSIH0IRE	CSIH0 通信エラー割り込み	○	○	—	—	—
101	INTCSIH1IRE	CSIH1 通信エラー割り込み	○	○	—	—	—
102	INTFCN0ERR	FCN0 エラー検出割り込み	○	○	—	—	—
103	INTFCN1ERR	FCN1 エラー検出割り込み	○	○	—	—	—
104	INTDERR0	汎用 DMAC エラー応答割り込み	○	○	—	—	—
105	INTDERR1	リアルタイム・ポート用 DMAC エラー応答割り込み	○	○	—	—	—
106	INTETHXFIFOERR	TX-FIFO エラー割り込み	○	○	—	—	—
107	INTETHRXERR	Ether 受信フレーム・エラー割り込み	○	○	—	—	—
108	INTETHRXDERR	MACDMA 受信エラー割り込み	○	○	—	—	—
109	INTETHTXDERR	MACDMA 送信エラー割り込み	○	○	—	—	—
110	INTBUFDMAERR	Internal Buffer DMA エラー割り込み	○	○	—	—	—

○・・・接続有り —・・・未使用

注. INTPZ / TAUD 割り込みは、INTSEL レジスタで選択されます。

詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編 25.19 INTPZ/タイマ割り込み
選択レジスタ (INTSEL)」を参照して下さい。

(4/4)

例外 番号	名称	発生要因	接続先				
			NVIC	HW- RTOS	DMAC	Real Time Port	Timer TAUJ2 /TAUD
111	INTLED0PHY0	Gigabit Ethernet PHY LED0_PHY0 入力割り込み	○	○	○	○	○
112	INTLED0PHY1	Gigabit Ethernet PHY LED0_PHY1 入力割り込み	○	○	○	○	○
113	—	Reserve	—	—	—	—	—
114	—	Reserve	—	—	—	—	—
115	IRAMECCSEC	内蔵命令 RAM ECC 1bit エラー補正割り込み	○	—	—	—	—
116	DRAMECCSEC	データ RAM ECC 1bit エラー補正割り込み	○	—	—	—	—
117	BRAMECCSEC	バッファ RAM ECC 1bit エラー補正割り込み	○	—	—	—	—
118	IRAMECCDED	内蔵命令 RAM ECC 2bit エラー検出割り込み	○	—	—	—	—
119	DRAMECCDED	データ RAM ECC 2bit エラー検出割り込み	○	—	—	—	—
120	BRAMECCDED	バッファ RAM ECC 2bit エラー検出割り込み	○	—	—	—	—
121	—	Reserve	—	—	—	—	—
122	—	Reserve	—	—	—	—	—
123	INTCCINMIZ	CC-Link IE Field NMIZ 割り込み	○	○	○	○	○
124	INTCCIWDTZ	CC-Link IE Field WDTZ 割り込み	○	○	○	○	○
125	INTCCIIINTZ	CC-Link IE Field INTZ 割り込み	○	○	○	○	○
126	INTCCICLKLOSSZ	CC-Link IE Field CLKLOSSZ 割り込み	○	○	○	○	○
127	—	Reserve	—	—	—	—	—
128	—	Reserve	—	—	—	—	—
129	—	Reserve	—	—	—	—	—
130	—	Reserve	—	—	—	—	—
131	—	Reserve	—	—	—	—	—
132	INTCCSIRZ	CC-Link IRZ 割り込み	○	○	○	○	○
133	INTCCSREFSTB	CC-Link REFSTB 割り込み	○	○	○	○	○
134	INTCCSMON3	CC-Link MON3 割り込み	○	○	○	○	○
135	—	Reserve	—	—	—	—	—
136	—	Reserve	—	—	—	—	—
137	INTGBEPHYFLF	Gigabit Ethernet PHY FASTLINK_FAIL 割り込み	○	○	—	—	—
138	INTLED1PHY0	Gigabit Ethernet PHY LED1_PHY0 入力割り込み	○	○	○	○	○
139	INTLED1PHY1	Gigabit Ethernet PHY LED1_PHY1 入力割り込み	○	○	○	○	○
140	INTLED2PHY0	Gigabit Ethernet PHY LED2_PHY0 入力割り込み	○	○	—	—	—
141	INTLED2PHY1	Gigabit Ethernet PHY LED2_PHY1 入力割り込み	○	○	—	—	—
142	INTFPU	FPU 割り込み	○	○	—	—	—
143	INTADC	A/D 変換完了割り込み	○	○	○	○	○

○・・・接続有り —・・・未使用

5. 周辺機能

下記の周辺機能については、「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編」を参照してください。

- クロック／リセット機能
- CPU／内蔵 RAM
- バス構成
- 起動手順
- ハードウェア・リアルタイム OS
- ギガビット・イーサネット PHY
- ギガビット・イーサネット MAC
- イーサネット・スイッチ
- 非同期 SRAM MEMC (ROM／RAM)
- 同期式バースト・アクセス MEMC
- 外部マイコン・インタフェース
- シリアル・フラッシュ ROM メモリ・コントローラ
- DMA 機能
- 32bit タイマ・アレイ・ユニット (TAUJ2)
- 16bit タイマ・アレイ・ユニット (TAUD)
- モータ制御 (TAPA／PIC)
- ウィンドウ・ウォッチドッグ・タイマ A (WDTA)
- アシンクロナス・シリアル・インタフェース J (UARTJ)
- クロック同期シリアル・インタフェース H (CSIH)
- I2C バス (IICB)
- CAN コントローラ (FCN)
- 10 ビット A/D コンバータ
- CC-Link インタフェース
- システム・レジスタ (APB 周辺レジスタ領域)
- デバッグ機能

6. CC-Link IE Field 機能★

CC-Link IE Field の概略仕様は以下のとおりです。CC-Link IE Field に関する詳細仕様については CC-Link 協会の下記 URL を参照してください。

<http://www.cc-link.org/jp/cclink/cclinkie/index.html>

表 6.1 CC-Link IE Field 概略仕様

項目	仕様
イーサネット規格	IEEE802.3ab (1000BASE-T) 準拠
通信速度	1Gbps
トポロジ	ライン、スター、リング
最大接続台数	254 台
最大局間距離	100m

6.1 CC-Link IE Field 制御レジスタ★

CPU から CC-Link IE Field へのアクセス・タイミングを調整するための制御レジスタです。

表 6.2 バス制御機能のレジスタ概要

レジスタ名	略号	アドレス
CC-Link IE Field バス・サイズ制御レジスタ★	CIEBSC	400A 4004H
CC-Link IE Field バス・ブリッジ制御レジスタ★	CIESMC	400A 4008H
CC-Link IE Field クロック・ゲート・レジスタ★	CIECLKGTD	BASE + 0938H

6.1.1 CC-Link IE Field バス・サイズ制御レジスタ (CIEBSC) ★

CIEBSC レジスタは、CC-Link IE Field★をアクセスするデータ・バス幅を設定します。CC-Link IE Field★を使用時には本レジスタに 0000 FFFFH を設定してください。

- アクセス 32 ビット単位でリード/ライト可能です。

	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス						
CIEBSC	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	CIEBSC15 CIEBSC14 CIEBSC13 CIEBSC12 CIEBSC11 CIEBSC10 CIEBSC9 CIEBSC8 CIEBSC7 CIEBSC6 CIEBSC5 CIEBSC4 CIEBSC3 CIEBSC2 CIEBSC1 CIEBSC0	400A 4004H 初期値 0000 FFFFH						
R/W	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	R/W							
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%;">ビット位置</th> <th style="width: 15%;">ビット名</th> <th style="width: 70%;">意味</th> </tr> </thead> <tbody> <tr> <td>15-0</td> <td>CIEBSC15-0</td> <td>FFFFH に設定してください。</td> </tr> </tbody> </table>				ビット位置	ビット名	意味	15-0	CIEBSC15-0	FFFFH に設定してください。
ビット位置	ビット名	意味							
15-0	CIEBSC15-0	FFFFH に設定してください。							

6.1.2 CC-Link IE Field バス・ブリッジ制御レジスタ (CIESMC) ★

CIESMC レジスタは、アクセス制御を行います。CC-Link IE Field★の機能を使用時には必ず 0000 0050H を設定してください。

- アクセス 32 ビット単位でリード/ライト可能です。

	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス						
CIESMC	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	CIESMC15 CIESMC14 CIESMC13 CIESMC12 CIESMC11 CIESMC10 CIESMC9 CIESMC8 CIESMC7 CIESMC6 CIESMC5 CIESMC4 CIESMC3 CIESMC2 CIESMC1 CIESMC0	400A 4008H 初期値 0000 FFFFH						
R/W	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	R/W							
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%;">ビット位置</th> <th style="width: 15%;">ビット名</th> <th style="width: 70%;">意味</th> </tr> </thead> <tbody> <tr> <td>15-0</td> <td>CIESMC15-0</td> <td>0050H を設定してください。</td> </tr> </tbody> </table>				ビット位置	ビット名	意味	15-0	CIESMC15-0	0050H を設定してください。
ビット位置	ビット名	意味							
15-0	CIESMC15-0	0050H を設定してください。							

6.1.3 CC-Link IE Field クロック・ゲート・レジスタ (CIECLKGTD) ★

CIECLKGTD レジスタは、CC-Link IE Field のバス・クロック切り替え時にクロックのグリッジ発生を防止するため、バス・クロックの供給を一時的に停止するためのレジスタです。本レジスタに 1 をライトすることによりバス・クロックを停止し、0 をライトすることによりバス・クロックの供給を再開します。

SRAM ブリッジ選択レジスタ (SRAMBRSEL) でシステム・バス (AHB) からの SRAM バス経路を有効にするか、外部 MCU からの SRAM バス経路を有効にするかの設定を切り替える場合には、必ず本レジスタにてクロックを停止してから切り替えを行ってください。SRAMBRSEL レジスタの詳細は、「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編 25.13 SRAM ブリッジ選択レジスタ (SRAMBRSEL)」を参照してください。

- アクセス 32 ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
CIECLKGTD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BASE + 0938H 初期値 0000 0000H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RW	

ビット位置	ビット名	意味
0	CIECLKGTD	CC-Link IE Field のバス・クロックを停止します。 0 : 動作 1 : 停止

7. ポート機能

7.1 特徴

- 入出力ポート：106 本
- 周辺機能の入出力端子と兼用
- ビット単位で入力／出力指定可能

注意 1. ポートと兼用している内蔵周辺機能の信号は、兼用機能の切り替えを行うと、直前の端子状態などによりスパイクが発生する可能性があります。

- 内蔵機能の動作が停止している間に切り替える。
- 割り込み信号との兼用端子は、いったん割り込み要求フラグをクリアしてからマスクを解除する。
- 出力値を確定させてから、モードを切り替える。

など、一般的なスパイク対策をソフトウェアで行ってください。

2. 入力バッファは、貫通電流対策を行っていないため、中間電位を外部から与えないでください。

7.2 ポートの構成

ポートは、8 ビット・ポートが 13 セット (EXTP のみ 10 ビット) あります。

汎用ポートを 9 セット (EXTP のみ 10 ビット) と、リアルタイムに制御を行うポートを 4 セット内蔵しています。ポートは 1 ビット単位に入出力指定が可能です。ポートの基本構造は 8 ビット単位ですが、P0x-P3x、P4x-P7x、RP0x-RP3x (x=0-7)、EXTP0-EXTP9 をアラインした 32 ビット単位でのリード/ライトが可能な構成になっています。また、リアルタイムポート (RP00-RP37) は、割り込み信号に同期した入出力が可能な構成です。

ポートには、下記のレジスタがあり、入出力の設定、兼用機能の選択を行います。またポートの基本回路構成を図 7.1 に示します。

レジスタ名	用途と動作	
	リード	ライト
ポート・レジスタ (Pn, Rpm, EXTPp)	出力ラッチの値を読み出します。	出力ラッチに値を設定します。
ポート・モード・レジスタ (PMn, RPMm, EXTPMp)	ポートの入出力モードを読み出します。	ポートの入出力モードを設定します。
ポート・モード・コントロール・レジスタ (PMCn, RPMcm, EXTPMCp)	ポートとして利用するか、兼用機能を利用するかを選択状態を読み出します。	ポートとして利用するか、兼用機能を利用するかを選択します。
ポート・ファンクション・コントロール・レジスタ (PFCn, RPFcm, EXTPFCp)	兼用機能の選択状態を読み出します。 ★	兼用機能を選択します。★
ポート・ファンクション・コントロール拡張レジスタ (PFCEn, RPFCEm, EXTPFCEp)		
ポート端子入力レジスタ (PINn, RPINm, EXTPINp)	ポート端子の入力レベルを読み出します。	ライトできません。

注意. 兼用機能の割り当てが無い設定を行った場合の動作は保証されません。例えば、P00 端子のように兼用機能 2 の割り当てが無い場合、兼用機能 2 を選択しても正常に動作しないため、ご注意ください。兼用端子割り当てに関しては「7.4 兼用機能選択一覧」を参照して下さい。★

備考. n = 0-7 m = 0-3 p = 0-1

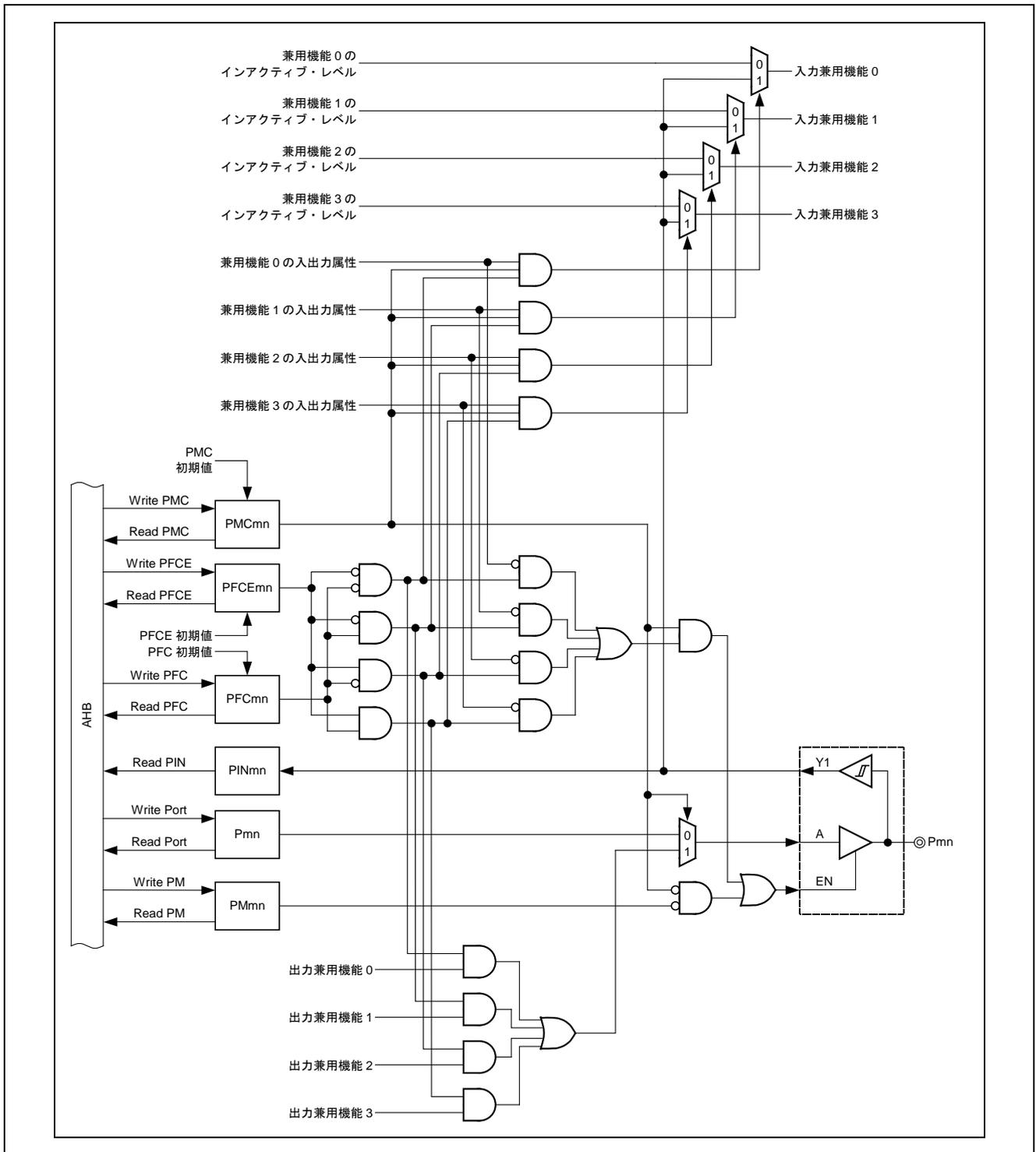


図 7.1 ポートの基本回路構成

7.3 レジスタ一覧

(1/7)

レジスタ名	略号	アドレス
ポート・レジスタ 0 (8bit)	P0B	400A 3000H
ポート・レジスタ 1 (8bit)	P1B	400A 3001H
ポート・レジスタ 2 (8bit)	P2B	400A 3002H
ポート・レジスタ 3 (8bit)	P3B	400A 3003H
ポート・レジスタ 4 (8bit)	P4B	400A 3004H
ポート・レジスタ 5 (8bit)	P5B	400A 3005H
ポート・レジスタ 6 (8bit)	P6B	400A 3006H
ポート・レジスタ 7 (8bit)	P7B	400A 3007H
ポート・レジスタ 0 (16bit)	P0H	400A 3000H
ポート・レジスタ 2 (16bit)	P2H	400A 3002H
ポート・レジスタ 4 (16bit)	P4H	400A 3004H
ポート・レジスタ 6 (16bit)	P6H	400A 3006H
ポート・レジスタ 0 (32bit)	P0W	400A 3000H
ポート・レジスタ 4 (32bit)	P4W	400A 3004H
ポート・モード・レジスタ 0 (8bit)	PM0B	400A 3010H
ポート・モード・レジスタ 1 (8bit)	PM1B	400A 3011H
ポート・モード・レジスタ 2 (8bit)	PM2B	400A 3012H
ポート・モード・レジスタ 3 (8bit)	PM3B	400A 3013H
ポート・モード・レジスタ 4 (8bit)	PM4B	400A 3014H
ポート・モード・レジスタ 5 (8bit)	PM5B	400A 3015H
ポート・モード・レジスタ 6 (8bit)	PM6B	400A 3016H
ポート・モード・レジスタ 7 (8bit)	PM7B	400A 3017H
ポート・モード・レジスタ 0 (16bit)	PM0H	400A 3010H
ポート・モード・レジスタ 2 (16bit)	PM2H	400A 3012H
ポート・モード・レジスタ 4 (16bit)	PM4H	400A 3014H
ポート・モード・レジスタ 6 (16bit)	PM6H	400A 3016H
ポート・モード・レジスタ 0 (32bit)	PM0W	400A 3010H
ポート・モード・レジスタ 4 (32bit)	PM4W	400A 3014H

(2/7)

レジスタ名	略号	アドレス
ポート・モード・コントロール・レジスタ 0 (8bit)	PMC0B	400A 3020H
ポート・モード・コントロール・レジスタ 1 (8bit)	PMC1B	400A 3021H
ポート・モード・コントロール・レジスタ 2 (8bit)	PMC2B	400A 3022H
ポート・モード・コントロール・レジスタ 3 (8bit)	PMC3B	400A 3023H
ポート・モード・コントロール・レジスタ 4 (8bit)	PMC4B	400A 3024H
ポート・モード・コントロール・レジスタ 5 (8bit)	PMC5B	400A 3025H
ポート・モード・コントロール・レジスタ 6 (8bit)	PMC6B	400A 3026H
ポート・モード・コントロール・レジスタ 7 (8bit)	PMC7B	400A 3027H
ポート・モード・コントロール・レジスタ 0 (16bit)	PMC0H	400A 3020H
ポート・モード・コントロール・レジスタ 2 (16bit)	PMC2H	400A 3022H
ポート・モード・コントロール・レジスタ 4 (16bit)	PMC4H	400A 3024H
ポート・モード・コントロール・レジスタ 6 (16bit)	PMC6H	400A 3026H
ポート・モード・コントロール・レジスタ 0 (32bit)	PMC0W	400A 3020H
ポート・モード・コントロール・レジスタ 4 (32bit)	PMC4W	400A 3024H
ポート・ファンクション・コントロール・レジスタ 0 (8bit)	PFC0B	400A 3030H
ポート・ファンクション・コントロール・レジスタ 1 (8bit)	PFC1B	400A 3031H
ポート・ファンクション・コントロール・レジスタ 2 (8bit)	PFC2B	400A 3032H
ポート・ファンクション・コントロール・レジスタ 3 (8bit)	PFC3B	400A 3033H
ポート・ファンクション・コントロール・レジスタ 4 (8bit)	PFC4B	400A 3034H
ポート・ファンクション・コントロール・レジスタ 5 (8bit)	PFC5B	400A 3035H
ポート・ファンクション・コントロール・レジスタ 6 (8bit)	PFC6B	400A 3036H
ポート・ファンクション・コントロール・レジスタ 7 (8bit)	PFC7B	400A 3037H
ポート・ファンクション・コントロール・レジスタ 0 (16bit)	PFC0H	400A 3030H
ポート・ファンクション・コントロール・レジスタ 2 (16bit)	PFC2H	400A 3032H
ポート・ファンクション・コントロール・レジスタ 4 (16bit)	PFC4H	400A 3034H
ポート・ファンクション・コントロール・レジスタ 6 (16bit)	PFC6H	400A 3036H
ポート・ファンクション・コントロール・レジスタ 0 (32bit)	PFC0W	400A 3030H
ポート・ファンクション・コントロール・レジスタ 4 (32bit)	PFC4W	400A 3034H

(3/7)

レジスタ名	略号	アドレス
ポート・ファンクション・コントロール拡張レジスタ 0 (8bit)	PFCE0B	400A 3040H
ポート・ファンクション・コントロール拡張レジスタ 1 (8bit)	PFCE1B	400A 3041H
ポート・ファンクション・コントロール拡張レジスタ 2 (8bit)	PFCE2B	400A 3042H
ポート・ファンクション・コントロール拡張レジスタ 3 (8bit)	PFCE3B	400A 3043H
ポート・ファンクション・コントロール拡張レジスタ 4 (8bit)	PFCE4B	400A 3044H
ポート・ファンクション・コントロール拡張レジスタ 5 (8bit)	PFCE5B	400A 3045H
ポート・ファンクション・コントロール拡張レジスタ 6 (8bit)	PFCE6B	400A 3046H
ポート・ファンクション・コントロール拡張レジスタ 7 (8bit)	PFCE7B	400A 3047H
ポート・ファンクション・コントロール拡張レジスタ 0 (16bit)	PFCE0H	400A 3040H
ポート・ファンクション・コントロール拡張レジスタ 2 (16bit)	PFCE2H	400A 3042H
ポート・ファンクション・コントロール拡張レジスタ 4 (16bit)	PFCE4H	400A 3044H
ポート・ファンクション・コントロール拡張レジスタ 6 (16bit)	PFCE6H	400A 3046H
ポート・ファンクション・コントロール拡張レジスタ 0 (32bit)	PFCE0W	400A 3040H
ポート・ファンクション・コントロール拡張レジスタ 4 (32bit)	PFCE4W	400A 3044H
ポート端子入力レジスタ 0 (8bit)	PIN0B	400A 3050H
ポート端子入力レジスタ 1 (8bit)	PIN1B	400A 3051H
ポート端子入力レジスタ 2 (8bit)	PIN2B	400A 3052H
ポート端子入力レジスタ 3 (8bit)	PIN3B	400A 3053H
ポート端子入力レジスタ 4 (8bit)	PIN4B	400A 3054H
ポート端子入力レジスタ 5 (8bit)	PIN5B	400A 3055H
ポート端子入力レジスタ 6 (8bit)	PIN6B	400A 3056H
ポート端子入力レジスタ 7 (8bit)	PIN7B	400A 3057H
ポート端子入力レジスタ 0 (16bit)	PIN0H	400A 3050H
ポート端子入力レジスタ 2 (16bit)	PIN2H	400A 3052H
ポート端子入力レジスタ 4 (16bit)	PIN4H	400A 3054H
ポート端子入力レジスタ 6 (16bit)	PIN6H	400A 3056H
ポート端子入力レジスタ 0 (32bit)	PIN0W	400A 3050H
ポート端子入力レジスタ 4 (32bit)	PIN4W	400A 3054H

(4/7)

レジスタ名	略号	アドレス
RT ポート・レジスタ 0 (8bit)	RP0B	400A 3400H
RT ポート・レジスタ 1 (8bit)	RP1B	400A 3401H
RT ポート・レジスタ 2 (8bit)	RP2B	400A 3402H
RT ポート・レジスタ 3 (8bit)	RP3B	400A 3403H
RT ポート・レジスタ 0 (16bit)	RP0H	400A 3400H
RT ポート・レジスタ 2 (16bit)	RP2H	400A 3402H
RT ポート・レジスタ 0 (32bit)	RP0W	400A 3400H
RT ポート・モード・レジスタ 0 (8bit)	RPM0B	400A 3410H
RT ポート・モード・レジスタ 1 (8bit)	RPM1B	400A 3411H
RT ポート・モード・レジスタ 2 (8bit)	RPM2B	400A 3412H
RT ポート・モード・レジスタ 3 (8bit)	RPM3B	400A 3413H
RT ポート・モード・レジスタ 0 (16bit)	RPM0H	400A 3410H
RT ポート・モード・レジスタ 2 (16bit)	RPM2H	400A 3412H
RT ポート・モード・レジスタ 0 (32bit)	RPM0W	400A 3410H
RT ポート・モード・コントロール・レジスタ 0 (8bit)	RPMC0B	400A 3420H
RT ポート・モード・コントロール・レジスタ 1 (8bit)	RPMC1B	400A 3421H
RT ポート・モード・コントロール・レジスタ 2 (8bit)	RPMC2B	400A 3422H
RT ポート・モード・コントロール・レジスタ 3 (8bit)	RPMC3B	400A 3423H
RT ポート・モード・コントロール・レジスタ 0 (16bit)	RPMC0H	400A 3420H
RT ポート・モード・コントロール・レジスタ 2 (16bit)	RPMC2H	400A 3422H
RT ポート・モード・コントロール・レジスタ 0 (32bit)	RPMC0W	400A 3420H
RT ポート・ファンクション・コントロール・レジスタ 0 (8bit)	RPFC0B	400A 3430H
RT ポート・ファンクション・コントロール・レジスタ 1 (8bit)	RPFC1B	400A 3431H
RT ポート・ファンクション・コントロール・レジスタ 2 (8bit)	RPFC2B	400A 3432H
RT ポート・ファンクション・コントロール・レジスタ 3 (8bit)	RPFC3B	400A 3433H
RT ポート・ファンクション・コントロール・レジスタ 0 (16bit)	RPFC0H	400A 3430H
RT ポート・ファンクション・コントロール・レジスタ 2 (16bit)	RPFC2H	400A 3432H
RT ポート・ファンクション・コントロール・レジスタ 0 (32bit)	RPFC0W	400A 3430H

(5/7)

レジスタ名	略号	アドレス
RT ポート・ファンクション・コントロール拡張レジスタ 0 (8bit)	RPFCE0B	400A 3440H
RT ポート・ファンクション・コントロール拡張レジスタ 1 (8bit)	RPFCE1B	400A 3441H
RT ポート・ファンクション・コントロール拡張レジスタ 2 (8bit)	RPFCE2B	400A 3442H
RT ポート・ファンクション・コントロール拡張レジスタ 3 (8bit)	RPFCE3B	400A 3443H
RT ポート・ファンクション・コントロール拡張レジスタ 0 (16bit)	RPFCE0H	400A 3440H
RT ポート・ファンクション・コントロール拡張レジスタ 2 (16bit)	RPFCE2H	400A 3442H
RT ポート・ファンクション・コントロール拡張レジスタ 0 (32bit)	RPFCE0W	400A 3440H
RT ポート端子入力レジスタ 0 (8bit)	RPIN0B	400A 3450H
RT ポート端子入力レジスタ 1 (8bit)	RPIN1B	400A 3451H
RT ポート端子入力レジスタ 2 (8bit)	RPIN2B	400A 3452H
RT ポート端子入力レジスタ 3 (8bit)	RPIN3B	400A 3453H
RT ポート端子入力レジスタ 0 (16bit)	RPIN0H	400A 3450H
RT ポート端子入力レジスタ 2 (16bit)	RPIN2H	400A 3452H
RT ポート端子入力レジスタ 0 (32bit)	RPIN0W	400A 3450H

(6/7)

レジスタ名	略号	アドレス
EXT ポート・レジスタ 0 (8bit)	EXTP0B	400A 3800H
EXT ポート・レジスタ 1 (8bit)	EXTP1B	400A 3801H
EXT ポート・レジスタ 0 (16bit)	EXTP0H	400A 3800H
EXT ポート・レジスタ 0 (32bit)	EXTP0W	400A 3800H
EXT ポート・モード・レジスタ 0 (8bit)	EXTPM0B	400A 3810H
EXT ポート・モード・レジスタ 1 (8bit)	EXTPM1B	400A 3811H
EXT ポート・モード・レジスタ 0 (16bit)	EXTPM0H	400A 3810H
EXT ポート・モード・レジスタ 0 (32bit)	EXTPM0W	400A 3810H
EXT ポート・モード・コントロール・レジスタ 0 (8bit)	EXTPMC0B	400A 3820H
EXT ポート・モード・コントロール・レジスタ 1 (8bit)	EXTPMC1B	400A 3821H
EXT ポート・モード・コントロール・レジスタ 0 (16bit)	EXTPMC0H	400A 3820H
EXT ポート・モード・コントロール・レジスタ 0 (32bit)	EXTPMC0W	400A 3820H
EXT ポート・ファンクション・コントロール・レジスタ (8bit)	EXTPFC0B	400A 3830H
EXT ポート・ファンクション・コントロール・レジスタ (8bit)	EXTPFC1B	400A 3831H
EXT ポート・ファンクション・コントロール・レジスタ (16bit)	EXTPFC0H	400A 3830H
EXT ポート・ファンクション・コントロール・レジスタ (32bit)	EXTPFC0W	400A 3830H
EXT ポート・ファンクション・コントロール・拡張レジスタ 0 (8bit)	EXTPFCE0B	400A 3840H
EXT ポート・ファンクション・コントロール・拡張レジスタ 1 (8bit)	EXTPFCE1B	400A 3841H
EXT ポート・ファンクション・コントロール・拡張レジスタ 0 (16bit)	EXTPFCE0H	400A 3840H
EXT ポート・ファンクション・コントロール・拡張レジスタ 0 (32bit)	EXTPFCE0W	400A 3840H
EXT ポート端子入力レジスタ 0 (8bit)	EXTPIN0B	400A 3850H
EXT ポート端子入力レジスタ 1 (8bit)	EXTPIN1B	400A 3851H
EXT ポート端子入力レジスタ 0 (16bit)	EXTPIN0H	400A 3850H
EXT ポート端子入力レジスタ 0 (32bit)	EXTPIN0W	400A 3850H

(7/7)

レジスタ名	略号	アドレス
バッファ機能切り替えレジスタ P0L	DRCTLP0L	4001 0220H
バッファ機能切り替えレジスタ P0H	DRCTLP0H	4001 0224H
バッファ機能切り替えレジスタ P1L	DRCTLP1L	4001 0228H
バッファ機能切り替えレジスタ P1H	DRCTLP1H	4001 022CH
バッファ機能切り替えレジスタ P2L	DRCTLP2L	4001 0230H
バッファ機能切り替えレジスタ P2H	DRCTLP2H	4001 0234H
バッファ機能切り替えレジスタ P3L	DRCTLP3L	4001 0238H
バッファ機能切り替えレジスタ P3H	DRCTLP3H	4001 023CH
バッファ機能切り替えレジスタ P4L	DRCTLP4L	4001 0240H
バッファ機能切り替えレジスタ P4H	DRCTLP4H	4001 0244H
バッファ機能切り替えレジスタ P5L	DRCTLP5L	4001 0248H
バッファ機能切り替えレジスタ P5H	DRCTLP5H	4001 024CH
バッファ機能切り替えレジスタ P6L	DRCTLP6L	4001 0250H
バッファ機能切り替えレジスタ P6H	DRCTLP6H	4001 0254H
バッファ機能切り替えレジスタ P7L	DRCTLP7L	4001 0258H
バッファ機能切り替えレジスタ P7H	DRCTLP7H	4001 025CH
バッファ機能切り替えレジスタ RP0L	DRCTLRP0L	4001 0260H
バッファ機能切り替えレジスタ RP0H	DRCTLRP0H	4001 0264H
バッファ機能切り替えレジスタ RP1L	DRCTLRP1L	4001 0268H
バッファ機能切り替えレジスタ RP1H	DRCTLRP1H	4001 026CH
バッファ機能切り替えレジスタ RP2L	DRCTLRP2L	4001 0270H
バッファ機能切り替えレジスタ RP2H	DRCTLRP2H	4001 0274H
バッファ機能切り替えレジスタ RP3L	DRCTLRP3L	4001 0278H
バッファ機能切り替えレジスタ RP3H	DRCTLRP3H	4001 027CH
バッファ機能切り替えレジスタ EXTP0L	DRCTLEXP0L	4001 0280H
バッファ機能切り替えレジスタ EXTP0H	DRCTLEXP0H	4001 0284H
バッファ機能切り替えレジスタ EXTP1L	DRCTLEXP1L	4001 0288H

7.3.1 ポート・レジスタ (P, RP, EXTP)

ポートは、8ビット・ポートが13セット (EXTPのみ10ビット) あります。

3ステート入出力ポートを9セット (EXTPのみ10ビット) と、リアルタイムに制御を行うポートを4セット内蔵しています。1ビット単位に入出力指定が可能です。ポート・レジスタは、出力ポートの場合は出力レベルの書き込みに使用し、リードの場合は、ポート・レジスタの値を読み出します。端子レベルをリードする場合は、PIN/RPIN/EXTPINレジスタを使用します。

	7	6	5	4	3	2	1	0	アドレス	初期値
P0B	P07	P06	P05	P04	P03	P02	P01	P00	400A 3000H	00H
P1B	P17	P16	P15	P14	P13	P12	P11	P10	400A 3001H	00H
P2B	P27	P26	P25	P24	P23	P22	P21	P20	400A 3002H	00H
P3B	P37	P36	P35	P34	P33	P32	P31	P30	400A 3003H	00H
P4B	P47	P46	P45	P44	P43	P42	P41	P40	400A 3004H	00H
P5B	P57	P56	P55	P54	P53	P52	P51	P50	400A 3005H	00H
P6B	P67	P66	P65	P64	P63	P62	P61	P60	400A 3006H	00H
P7B	P77	P76	P75	P74	P73	P72	P71	P70	400A 3007H	00H
EXTP0B	EXTP7	EXTP6	EXTP5	EXTP4	EXTP3	EXTP2	EXTP1	EXTP0	400A 3800H	00H
EXTP1B	0	0	0	0	0	0	EXTP9	EXTP8	400A 3801H	00H
RP0B	RP07	RP06	RP05	RP04	RP03	RP02	RP01	RP00	400A 3400H	00H
RP1B	RP17	RP16	RP15	RP14	RP13	RP12	RP11	RP10	400A 3401H	00H
RP2B	RP27	RP26	RP25	RP24	RP23	RP22	RP21	RP20	400A 3402H	00H
RP3B	RP37	RP36	RP35	RP34	RP33	RP32	RP31	RP30	400A 3403H	00H

ビット位置	ビット名	意味
7-0	Pmn/RPIn EXTPp	出力ポートとして利用する場合の出力ラッチの値を設定するレジスタです。 リードすると出力ラッチの値を読み出します。

図 7.2 ポート・レジスタ (8bit 表記)

備考. l = 0 - 3, m = 0 - 7, n = 0 - 7, p = 0 - 9

P0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	P17	P16	P15	P14	P13	P12	P11	P10	P07	P06	P05	P04	P03	P02	P01	P00	400A 3000H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
P2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	P37	P36	P35	P34	P33	P32	P31	P30	P27	P26	P25	P24	P23	P22	P21	P20	400A 3002H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
P4H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	P57	P56	P55	P54	P53	P52	P51	P50	P47	P46	P45	P44	P43	P42	P41	P40	400A 3004H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
P6H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	P77	P76	P75	P74	P73	P72	P71	P70	P67	P66	P65	P64	P63	P62	P61	P60	400A 3006H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
EXTP0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	0	0	0	0	0	0	EXTP	400A 3800H														
	0	0	0	0	0	0	R/W	初期値 0000H														
RP0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	RP17	RP16	RP15	RP14	RP13	RP12	RP11	RP10	RP07	RP06	RP05	RP04	RP03	RP02	RP01	RP00	400A 3400H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
RP2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	RP37	RP36	RP35	RP34	RP33	RP32	RP31	RP30	RP27	RP26	RP25	RP24	RP23	RP22	RP21	RP20	400A 3402H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H					
<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>15-0</td> <td>Pmn/RPIn EXTPp</td> <td>出力ポートとして利用する場合の出力ラッチの値を設定するレジスタです。 リードすると出力ラッチの値を読み出します。</td> </tr> </tbody> </table>																	ビット位置	ビット名	意味	15-0	Pmn/RPIn EXTPp	出力ポートとして利用する場合の出力ラッチの値を設定するレジスタです。 リードすると出力ラッチの値を読み出します。
ビット位置	ビット名	意味																				
15-0	Pmn/RPIn EXTPp	出力ポートとして利用する場合の出力ラッチの値を設定するレジスタです。 リードすると出力ラッチの値を読み出します。																				

図 7.3 ポート・レジスタ (16bit 表記)

備考. l = 0 - 3, m = 0 - 7, n = 0 - 7, p = 0 - 9

7.3.2 ポート・モード・レジスタ (PM, RPM, EXTPM)

ポートの入力/出力を設定するレジスタです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM0B	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	400A 3010H	FFH
PM1B	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	400A 3011H	FFH
PM2B	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	400A 3012H	FFH
PM3B	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	400A 3013H	FFH
PM4B	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	400A 3014H	FFH
PM5B	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	400A 3015H	FFH
PM6B	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	400A 3016H	FFH
PM7B	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	400A 3017H	FFH
EXTPM0B	EXTPM7	EXTPM6	EXTPM5	EXTPM4	EXTPM3	EXTPM2	EXTPM1	EXTPM0	400A 3810H	FFH
EXTPM1B	0	0	0	0	0	0	EXTPM9	EXTPM8	400A 3811H	03H
RPM0B	RPM07	RPM06	RPM05	RPM04	RPM03	RPM02	RPM01	RPM00	400A 3410H	FFH
RPM1B	RPM17	RPM16	RPM15	RPM14	RPM13	RPM12	RPM11	RPM10	400A 3411H	FFH
RPM2B	RPM27	RPM26	RPM25	RPM24	RPM23	RPM22	RPM21	RPM20	400A 3412H	FFH
RPM3B	RPM37	RPM36	RPM35	RPM34	RPM33	RPM32	RPM31	RPM30	400A 3413H	FFH

ビット位置	ビット名	意味
7-0	PMmn/ RPMln/ EXTPMp	ポートの入出力を設定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ) (初期値)

図 7.5 ポート・モード・レジスタ (8bit 表記)

備考. l = 0-3 m = 0-7 n = 0-7 p = 0-9

PM0H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス						
	PM17 PM16 PM15 PM14 PM13 PM12 PM11 PM10 PM07 PM06 PM05 PM04 PM03 PM02 PM01 PM00	400A 3010H						
	R/W	初期値 FFFFH						
PM2H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス						
	PM37 PM36 PM35 PM34 PM33 PM32 PM31 PM30 PM27 PM26 PM25 PM24 PM23 PM22 PM21 PM20	400A 3012H						
	R/W	初期値 FFFFH						
PM4H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス						
	PM57 PM56 PM55 PM54 PM53 PM52 PM51 PM50 PM47 PM46 PM45 PM44 PM43 PM42 PM41 PM40	400A 3014H						
	R/W	初期値 FFFFH						
PM6H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス						
	PM77 PM76 PM75 PM74 PM73 PM72 PM71 PM70 PM67 PM66 PM65 PM64 PM63 PM62 PM61 PM60	400A 3016H						
	R/W	初期値 FFFFH						
EXTPM0H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス						
	0 0 0 0 0 0 EXTP M9 EXTP M8 EXTP M7 EXTP M6 EXTP M5 EXTP M4 EXTP M3 EXTP M2 EXTP M1 EXTP M0	400A 3810H						
	0 0 0 0 0 0 R/W	初期値 03FFH						
RPM0H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス						
	RPM 17 RPM 16 RPM 15 RPM 14 RPM 13 RPM 12 RPM 11 RPM 10 RPM 07 RPM 06 RPM 05 RPM 04 RPM 03 RPM 02 RPM 01 RPM 00	400A 3410H						
	R/W	初期値 FFFFH						
RPM2H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス						
	RPM 37 RPM 36 RPM 35 RPM 34 RPM 33 RPM 32 RPM 31 RPM 30 RPM 27 RPM 26 RPM 25 RPM 24 RPM 23 RPM 22 RPM 21 RPM 20	400A 3412H						
	R/W	初期値 FFFFH						
<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>15-0</td> <td>PMmn/ RPMIn/ EXTPMp</td> <td>ポートの入出力を設定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ) (初期値)</td> </tr> </tbody> </table>			ビット位置	ビット名	意味	15-0	PMmn/ RPMIn/ EXTPMp	ポートの入出力を設定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ) (初期値)
ビット位置	ビット名	意味						
15-0	PMmn/ RPMIn/ EXTPMp	ポートの入出力を設定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ) (初期値)						

図 7.6 ポート・モード・レジスタ (16bit 表記)

備考. l = 0-3 m = 0-7 n = 0-7 p = 0-9

7.3.3 ポート・モード・コントロール・レジスタ (PMC, RPMC, EXTPMC)

ポートをポートとして使用するか、兼用機能で使用するかを選択するレジスタです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC0B	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00	400A 3020H	00H
PMC1B	PMC17	PMC16	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10	400A 3021H	00H ^{注1}
PMC2B	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20	400A 3022H	00H
PMC3B	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30	400A 3023H	00H
PMC4B	PMC47	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40	400A 3024H	00H ^{注1}
PMC5B	PMC57	PMC56	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50	400A 3025H	00H
PMC6B	PMC67	PMC66	PMC65	PMC64	PMC63	PMC62	PMC61	PMC60	400A 3026H	00H
PMC7B	PMC77	PMC76	PMC75	PMC74	PMC73	PMC72	PMC71	PMC70	400A 3027H	00H
EXTPMC0B	EXTPMC7	EXTPMC6	EXTPMC5	EXTPMC4	EXTPMC3	EXTPMC2	EXTPMC1	EXTPMC0	400A 3820H	00H
EXTPMC1B	0	0	0	0	0	0	EXTPMC9	EXTPMC8	400A 3821H	00H
RPMC0B	RPMC07	RPMC06	RPMC05	RPMC04	RPMC03	RPMC02	RPMC01	RPMC00	400A 3420H	00H ^{注1}
RPMC1B	RPMC17	RPMC16	RPMC15	RPMC14	RPMC13	RPMC12	RPMC11	RPMC10	400A 3421H	00H ^{注1}
RPMC2B	RPMC27	RPMC26	RPMC25	RPMC24	RPMC23	RPMC22	RPMC21	RPMC20	400A 3422H	00H ^{注1}
RPMC3B	RPMC37	RPMC36	RPMC35	RPMC34	RPMC33	RPMC32	RPMC31	RPMC30	400A 3423H	00H ^{注1}

ビット位置	ビット名	意味
7-0	PMCmn / RPMCln / EXTPMCp	ポートとして利用するか、兼用機能を利用するかを選択します。 ^{注2} ★ 0: ポート・モード (入力系の兼用機能にはインアクティブ・レベルが入力されます) 1: 兼用機能 (コントロール・モード)

図 7.8 ポート・モード・コントロール・レジスタ (8bit 表記)

注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。

2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「7.4 兼用機能の選択一覧」を参照してください。★

備考. l = 0-3 m = 0-7 n = 0-7 p = 0-9

PMC0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PMC 17	PMC 16	PMC 15	PMC 14	PMC 13	PMC 12	PMC 11	PMC 10	PMC 07	PMC 06	PMC 05	PMC 04	PMC 03	PMC 02	PMC 01	PMC 00	400A 3020H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}
PMC2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PMC 37	PMC 36	PMC 35	PMC 34	PMC 33	PMC 32	PMC 31	PMC 30	PMC 27	PMC 26	PMC 25	PMC 24	PMC 23	PMC 22	PMC 21	PMC 20	400A 3022H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H
PMC4H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PMC 57	PMC 56	PMC 55	PMC 54	PMC 53	PMC 52	PMC 51	PMC 50	PMC 47	PMC 46	PMC 45	PMC 44	PMC 43	PMC 42	PMC 41	PMC 40	400A 3024H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}
PMC6H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	PMC 77	PMC 76	PMC 75	PMC 74	PMC 73	PMC 72	PMC 71	PMC 70	PMC 67	PMC 66	PMC 65	PMC 64	PMC 63	PMC 62	PMC 61	PMC 60	400A 3026H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H
EXTPMC0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	0	0	0	0	0	0	EXTP MC9	EXTP MC8	EXTP MC7	EXTP MC6	EXTP MC5	EXTP MC4	EXTP MC3	EXTP MC2	EXTP MC1	EXTP MC0	400A 3820H
	0	0	0	0	0	0	R/W	初期値 0000H									
RPMC0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	RPM C17	RPM C16	RPM C15	RPM C14	RPM C13	RPM C12	RPM C11	RPM C10	RPM C07	RPM C06	RPM C05	RPM C04	RPM C03	RPM C02	RPM C01	RPM C00	400A 3420H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}
RPMC2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	RPM C37	RPM C36	RPM C35	RPM C34	RPM C33	RPM C32	RPM C31	RPM C30	RPM C27	RPM C26	RPM C25	RPM C24	RPM C23	RPM C22	RPM C21	RPM C20	400A 3422H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 0000H ^{注1}
ビット位置		ビット名	意味														
15-0		PMCmn / RPMCl / EXTPMCp	ポートとして利用するか、兼用機能を利用するかを選択します。 ^{注2} ★ 0 : ポート・モード (入力系の兼用機能にはインアクティブ・レベルが入力されます) 1 : 兼用機能 (コントロール・モード)														

図 7.9 ポート・モード・コントロール・レジスタ (16bit 表記)

- 注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。
2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「7.4 兼用機能の選択一覧」を参照してください。★

備考. l = 0-3 m = 0-7 n = 0-7 p = 0-9

PMC0W	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	400A 3020H						
	PMC37 PMC36 PMC35 PMC34 PMC33 PMC32 PMC31 PMC30 PMC27 PMC26 PMC25 PMC24 PMC23 PMC22 PMC21 PMC20 PMC17 PMC16 PMC15 PMC14 PMC13 PMC12 PMC11 PMC10 PMC07 PMC06 PMC05 PMC04 PMC03 PMC02 PMC01 PMC00	初期値	0000 0000H ^{注1}						
R/W	R/W								
PMC4W	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	400A 3024H						
	PMC77 PMC76 PMC75 PMC74 PMC73 PMC72 PMC71 PMC70 PMC67 PMC66 PMC65 PMC64 PMC63 PMC62 PMC61 PMC60 PMC57 PMC56 PMC55 PMC54 PMC53 PMC52 PMC51 PMC50 PMC47 PMC46 PMC45 PMC44 PMC43 PMC42 PMC41 PMC40	初期値	0000 0000H ^{注1}						
R/W	R/W								
EXTPMC0W	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	400A 3820H						
	0 0	初期値	0000 0000H						
R/W	0 R/W								
RPMC0W	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	400A 3420H						
	RPCM37 RPCM36 RPCM35 RPCM34 RPCM33 RPCM32 RPCM31 RPCM30 RPCM27 RPCM26 RPCM25 RPCM24 RPCM23 RPCM22 RPCM21 RPCM20 RPCM17 RPCM16 RPCM15 RPCM14 RPCM13 RPCM12 RPCM11 RPCM10 RPCM07 RPCM06 RPCM05 RPCM04 RPCM03 RPCM02 RPCM01 RPCM00	初期値	0000 0000H ^{注1}						
R/W	R/W								
<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31-0</td> <td>PMCmn/RPMCIn EXTPMCp</td> <td>ポートとして利用するか、兼用機能を利用するかを選択します。^{注2}★ 0：ポート・モード（入力系の兼用機能にはインアクティブ・レベルが入力されます） 1：兼用機能（コントロール・モード）</td> </tr> </tbody> </table>				ビット位置	ビット名	意味	31-0	PMCmn/RPMCIn EXTPMCp	ポートとして利用するか、兼用機能を利用するかを選択します。 ^{注2} ★ 0：ポート・モード（入力系の兼用機能にはインアクティブ・レベルが入力されます） 1：兼用機能（コントロール・モード）
ビット位置	ビット名	意味							
31-0	PMCmn/RPMCIn EXTPMCp	ポートとして利用するか、兼用機能を利用するかを選択します。 ^{注2} ★ 0：ポート・モード（入力系の兼用機能にはインアクティブ・レベルが入力されます） 1：兼用機能（コントロール・モード）							

図 7.10 ポート・モード・コントロール・レジスタ（32bit 表記）

注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。

2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「7.4 兼用機能の選択一覧」を参照してください。★

備考. l = 0-3 m = 0-7 n = 0-7 p = 0-9

7.3.4 ポート・ファンクション・コントロール・レジスタ (PFC, RPFC, EXTPFC)

兼用機能の選択を行うレジスタです。1ビット単位で選択可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC0B	PFC07	PFC06	PFC05	PFC04	PFC03	PFC02	PFC01	PFC00	400A 3030H	00H
PFC1B	PFC17	PFC16	PFC15	PFC14	PFC13	PFC12	PFC11	PFC10	400A 3031H	00H
PFC2B	PFC27	PFC26	PFC25	PFC24	PFC23	PFC22	PFC21	PFC20	400A 3032H	00H
PFC3B	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30	400A 3033H	00H
PFC4B	PFC47	PFC46	PFC45	PFC44	PFC43	PFC42	PFC41	PFC40	400A 3034H	00H ^{注1}
PFC5B	PFC57	PFC56	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50	400A 3035H	00H
PFC6B	PFC67	PFC66	PFC65	PFC64	PFC63	PFC62	PFC61	PFC60	400A 3036H	00H
PFC7B	PFC77	PFC76	PFC75	PFC74	PFC73	PFC72	PFC71	PFC70	400A 3037H	00H
EXTPFC0B	EXTPFC7	EXTPFC6	EXTPFC5	EXTPFC4	EXTPFC3	EXTPFC2	EXTPFC1	EXTPFC0	400A 3830H	00H
EXTPFC1B	0	0	0	0	0	0	EXTPFC9	EXTPFC8	400A 3831H	00H
RPFC0B	RPFC07	RPFC06	RPFC05	RPFC04	RPFC03	RPFC02	RPFC01	RPFC00	400A 3430H	00H ^{注1}
RPFC1B	RPFC17	RPFC16	RPFC15	RPFC14	RPFC13	RPFC12	RPFC11	RPFC10	400A 3431H	00H
RPFC2B	RPFC27	RPFC26	RPFC25	RPFC24	RPFC23	RPFC22	RPFC21	RPFC20	400A 3432H	00H ^{注1}
RPFC3B	RPFC37	RPFC36	RPFC35	RPFC34	RPFC33	RPFC32	RPFC31	RPFC30	400A 3433H	00H

ビット位置	ビット名	意味
7-0	PFCmn / RPFCmn / EXTPFCp	兼用機能を選択します。 ^{注2} ★ 0 : 兼用機能 1 / 兼用機能 3 1 : 兼用機能 2 / 兼用機能 4

図 7.11 ポート・ファンクション・コントロール・レジスタ (8bit 表記)

注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。

2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「7.4 兼用機能の選択一覧」を参照してください。★

備考. l = 0-3 m = 0-7 n = 0-7 p = 0-9

PFC0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	400A 3030H	
	17	16	15	14	13	12	11	10	07	06	05	04	03	02	01	00	初期値 0000H	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
PFC2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	400A 3032H	
	37	36	35	34	33	32	31	30	27	26	25	24	23	22	21	20	初期値 0000H	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
PFC4H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	400A 3034H	
	57	56	55	54	53	52	51	50	47	46	45	44	43	42	41	40	初期値 0000H ^{注1}	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
PFC6H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	PFC	400A 3036H	
	77	76	75	74	73	72	71	70	67	66	65	64	63	62	61	60	初期値 0000H	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
EXTPFC0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
	0	0	0	0	0	0	EXTP	400A 3830H										
							FC9	FC8	FC7	FC6	FC5	FC4	FC3	FC2	FC1	FC0	初期値 0000H	
	0	0	0	0	0	0	R/W											
RPFC0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	400A 3430H	
	17	16	15	14	13	12	11	10	07	06	05	04	03	02	01	00	初期値 0000H ^{注1}	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
RPFC2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	400A 3432H	
	37	36	35	34	33	32	31	30	27	26	25	24	23	22	21	20	初期値 0000H ^{注1}	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット位置		ビット名	意味															
15-0		PFCmn / RPFCmn / EXTPFCp	兼用機能を選択します。 ^{注2} ★ 0 : 兼用機能 1 / 兼用機能 3 1 : 兼用機能 2 / 兼用機能 4															

図 7.12 ポート・ファンクション・コントロール・レジスタ（16bit 表記）

- 注 1. 端子の状態によって初期値が変わります。詳細は「2.2 端子状態」を参照ください。
2. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「7.4 兼用機能の選択一覧」を参照してください。★

備考. l = 0-3 m = 0-7 n = 0-7 p = 0-9

7.3.5 ポート・ファンクション・コントロール拡張レジスタ (PFCE, RPFCE, EXTPFCE)

兼用拡張機能の選択を行うレジスタです。1ビット単位で選択可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCE0B	PFCE07	PFCE06	PFCE05	PFCE04	PFCE03	PFCE02	PFCE01	PFCE00	400A 3040H	00H
PFCE1B	PFCE17	PFCE16	PFCE15	PFCE14	PFCE13	PFCE12	PFCE11	PFCE10	400A 3041H	00H
PFCE2B	PFCE27	PFCE26	PFCE25	PFCE24	PFCE23	PFCE22	PFCE21	PFCE20	400A 3042H	00H
PFCE3B	PFCE37	PFCE36	PFCE35	PFCE34	PFCE33	PFCE32	PFCE31	PFCE30	400A 3043H	00H
PFCE4B	PFCE47	PFCE46	PFCE45	PFCE44	PFCE43	PFCE42	PFCE41	PFCE40	400A 3044H	00H
PFCE5B	PFCE57	PFCE56	PFCE55	PFCE54	PFCE53	PFCE52	PFCE51	PFCE50	400A 3045H	00H
PFCE6B	PFCE67	PFCE66	PFCE65	PFCE64	PFCE63	PFCE62	PFCE61	PFCE60	400A 3046H	00H
PFCE7B	PFCE77	PFCE76	PFCE75	PFCE74	PFCE73	PFCE72	PFCE71	PFCE70	400A 3047H	00H
EXTPFCE0B	EXTPFCE7	EXTPFCE6	EXTPFCE5	EXTPFCE4	EXTPFCE3	EXTPFCE2	EXTPFCE1	EXTPFCE0	400A 3840H	00H
EXTPFCE1B	0	0	0	0	0	0	EXTPFCE9	EXTPFCE8	400A 3841H	00H
RPFCE0B	RPFCE07	RPFCE06	RPFCE05	RPFCE04	RPFCE03	RPFCE02	RPFCE01	RPFCE00	400A 3440H	00H
RPFCE1B	RPFCE17	RPFCE16	RPFCE15	RPFCE14	RPFCE13	RPFCE12	RPFCE11	RPFCE10	400A 3441H	00H
RPFCE2B	RPFCE27	RPFCE26	RPFCE25	RPFCE24	RPFCE23	RPFCE22	RPFCE21	RPFCE20	400A 3442H	00H
RPFCE3B	RPFCE37	RPFCE36	RPFCE35	RPFCE34	RPFCE33	RPFCE32	RPFCE31	RPFCE30	400A 3443H	00H

ビット位置	ビット名	意味
7-0	PFCEmn / RPFCEln / EXTPFCEp	兼用機能を選択します。注★ 0 : 兼用機能 1 / 兼用機能 2 1 : 兼用機能 3 / 兼用機能 4

図 7.14 ポート・ファンクション・コントロール拡張レジスタ (8bit 表記)

注. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「7.4 兼用機能の選択一覧」を参照してください。★

備考. l = 0-3 m = 0-7 n = 0-7 p = 0-9

PFCE0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	400A 3040H					
	17	16	15	14	13	12	11	10	07	06	05	04	03	02	01	00	初期値 0000H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						
PFCE2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	400A 3042H					
	37	36	35	34	33	32	31	30	27	26	25	24	23	22	21	20	初期値 0000H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						
PFCE4H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	400A 3044H					
	57	56	55	54	53	52	51	50	47	46	45	44	43	42	41	40	初期値 0000H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						
PFCE6H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	PFCE	400A 3046H					
	77	76	75	74	73	72	71	70	67	66	65	64	63	62	61	60	初期値 0000H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						
EXTPFCE0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	0	0	0	0	0	0	EXTP	400A 3840H														
							FCE9	FCE8	FCE7	FCE6	FCE5	FCE4	FCE3	FCE2	FCE1	CE0	初期値 0000H					
	0	0	0	0	0	0	R/W															
RPFCE0H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	400A 3440H					
	E17	E16	E15	E14	E13	E12	E11	E10	E07	E06	E05	E04	E03	E02	E01	E00	初期値 0000H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						
RPFCE2H	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス					
	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	RPFC	400A 3442H					
	E37	E36	E35	E34	E33	E32	E31	E30	E27	E26	E25	E24	E23	E22	E21	E20	初期値 0000H					
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						
<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>15-0</td> <td>PFCEmn / RPFCEln / EXTPFCEp</td> <td>兼用機能を選択します。注★ 0 : 兼用機能 1 / 兼用機能 2 1 : 兼用機能 3 / 兼用機能 4</td> </tr> </tbody> </table>																	ビット位置	ビット名	意味	15-0	PFCEmn / RPFCEln / EXTPFCEp	兼用機能を選択します。注★ 0 : 兼用機能 1 / 兼用機能 2 1 : 兼用機能 3 / 兼用機能 4
ビット位置	ビット名	意味																				
15-0	PFCEmn / RPFCEln / EXTPFCEp	兼用機能を選択します。注★ 0 : 兼用機能 1 / 兼用機能 2 1 : 兼用機能 3 / 兼用機能 4																				

図 7.15 ポート・ファンクション・コントロール拡張レジスタ（16bit 表記）

注. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「7.4 兼用機能の選択一覧」を参照してください。★

備考. l = 0-3 m = 0-7 n = 0-7 p = 0-9

PFCE0W	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	400A 3040H						
	PFCE37 PFCE36 PFCE35 PFCE34 PFCE33 PFCE32 PFCE31 PFCE30 PFCE27 PFCE26 PFCE25 PFCE24 PFCE23 PFCE22 PFCE21 PFCE20 PFCE17 PFCE16 PFCE15 PFCE14 PFCE13 PFCE12 PFCE11 PFCE10 PFCE07 PFCE06 PFCE05 PFCE04 PFCE03 PFCE02 PFCE01 PFCE00	初期値	0000 0000H						
R/W	R/W								
PFCE4W	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	400A 3044H						
	PFCE77 PFCE76 PFCE75 PFCE74 PFCE73 PFCE72 PFCE71 PFCE70 PFCE67 PFCE66 PFCE65 PFCE64 PFCE63 PFCE62 PFCE61 PFCE60 PFCE57 PFCE56 PFCE55 PFCE54 PFCE53 PFCE52 PFCE51 PFCE50 PFCE47 PFCE46 PFCE45 PFCE44 PFCE43 PFCE42 PFCE41 PFCE40	初期値	0000 0000H						
R/W	R/W								
EXTPFCE0W	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	400A 3840H						
	0 EXTPFCE9 EXTPFCE8 EXTPFCE7 EXTPFCE6 EXTPFCE5 EXTPFCE4 EXTPFCE3 EXTPFCE2 EXTPFCE1 EXTPFCE0	初期値	0000 0000H						
R/W	0 R/W								
RPFCE0W	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	400A 3440H						
	RPFCE37 RPFCE36 RPFCE35 RPFCE34 RPFCE33 RPFCE32 RPFCE31 RPFCE30 RPFCE27 RPFCE26 RPFCE25 RPFCE24 RPFCE23 RPFCE22 RPFCE21 RPFCE20 RPFCE17 RPFCE16 RPFCE15 RPFCE14 RPFCE13 RPFCE12 RPFCE11 RPFCE10 RPFCE07 RPFCE06 RPFCE05 RPFCE04 RPFCE03 RPFCE02 RPFCE01 RPFCE00	初期値	0000 0000H						
R/W	R/W								
<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31-0</td> <td>PFCEmn / RPFCEln / EXTPFCEp</td> <td>兼用機能を選択します。注★ 0 : 兼用機能 1 / 兼用機能 2 1 : 兼用機能 3 / 兼用機能 4</td> </tr> </tbody> </table>				ビット位置	ビット名	意味	31-0	PFCEmn / RPFCEln / EXTPFCEp	兼用機能を選択します。注★ 0 : 兼用機能 1 / 兼用機能 2 1 : 兼用機能 3 / 兼用機能 4
ビット位置	ビット名	意味							
31-0	PFCEmn / RPFCEln / EXTPFCEp	兼用機能を選択します。注★ 0 : 兼用機能 1 / 兼用機能 2 1 : 兼用機能 3 / 兼用機能 4							

図 7.16 ポート・ファンクション・コントロール拡張レジスタ（32bit 表記）

注. 兼用機能は、ポート・モード・コントロール・レジスタ、ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタにて選択します。詳細は「7.4 兼用機能の選択一覧」を参照してください。★

備考. l = 0-3 m = 0-7 n = 0-7 p = 0-9

7.3.6 ポート端子入力レジスタ (PIN, RPIN, EXTPIN)

ポート端子の入力レベルを読むことができるリード専用レジスタです

	7	6	5	4	3	2	1	0	アドレス	初期値
PIN0B	PIN07	PIN06	PIN05	PIN04	PIN03	PIN02	PIN01	PIN00	400A 3050H	端子 レベル
PIN1B	PIN17	PIN16	PIN15	PIN14	PIN13	PIN12	PIN11	PIN10	400A 3051H	端子 レベル
PIN2B	PIN27	PIN26	PIN25	PIN24	PIN23	PIN22	PIN21	PIN20	400A 3052H	端子 レベル
PIN3B	PIN37	PIN36	PIN35	PIN34	PIN33	PIN32	PIN31	PIN30	400A 3053H	端子 レベル
PIN4B	PIN47	PIN46	PIN45	PIN44	PIN43	PIN42	PIN41	PIN40	400A 3054H	端子 レベル
PIN5B	PIN57	PIN56	PIN55	PIN54	PIN53	PIN52	PIN51	PIN50	400A 3055H	端子 レベル
PIN6B	PIN67	PIN66	PIN65	PIN64	PIN63	PIN62	PIN61	PIN60	400A 3056H	端子 レベル
PIN7B	PIN77	PIN76	PIN75	PIN74	PIN73	PIN72	PIN71	PIN70	400A 3057H	端子 レベル
EXTPIN0B	EXTPIN7	EXTPIN6	EXTPIN5	EXTPIN4	EXTPIN3	EXTPIN2	EXTPIN1	EXTPIN0	400A 3850H	端子 レベル
EXTPIN1B	0	0	0	0	0	0	EXTPIN9	EXTPIN8	400A 3851H	端子 レベル
RPIN0B	RPIN07	RPIN06	RPIN05	RPIN04	RPIN03	RPIN02	RPIN01	RPIN00	400A 3450H	端子 レベル
RPIN1B	RPIN17	RPIN16	RPIN15	RPIN14	RPIN13	RPIN12	RPIN11	RPIN10	400A 3451H	端子 レベル
RPIN2B	RPIN27	RPIN26	RPIN25	RPIN24	RPIN23	RPIN22	RPIN21	RPIN20	400A 3452H	端子 レベル
RPIN3B	RPIN37	RPIN36	RPIN35	RPIN34	RPIN33	RPIN32	RPIN31	RPIN30	400A 3453H	端子 レベル

ビット位置	ビット名	意味
7-0	PINmn / RPINln / EXTPINp	ポート端子の入力レベルをリードできます。

図 7.17 ポート端子入力レジスタ (8bit 表記)

備考. l = 0-3 m = 0-7 n = 0-7 p = 0-9

PIN0H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス																
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="text-align: center;">PIN 17</td><td style="text-align: center;">PIN 16</td><td style="text-align: center;">PIN 15</td><td style="text-align: center;">PIN 14</td><td style="text-align: center;">PIN 13</td><td style="text-align: center;">PIN 12</td><td style="text-align: center;">PIN 11</td><td style="text-align: center;">PIN 10</td><td style="text-align: center;">PIN 07</td><td style="text-align: center;">PIN 06</td><td style="text-align: center;">PIN 05</td><td style="text-align: center;">PIN 04</td><td style="text-align: center;">PIN 03</td><td style="text-align: center;">PIN 02</td><td style="text-align: center;">PIN 01</td><td style="text-align: center;">PIN 00</td> </tr> </table>	PIN 17	PIN 16	PIN 15	PIN 14	PIN 13	PIN 12	PIN 11	PIN 10	PIN 07	PIN 06	PIN 05	PIN 04	PIN 03	PIN 02	PIN 01	PIN 00	400A 3050H
	PIN 17	PIN 16	PIN 15	PIN 14	PIN 13	PIN 12	PIN 11	PIN 10	PIN 07	PIN 06	PIN 05	PIN 04	PIN 03	PIN 02	PIN 01	PIN 00		
R R R R R R R R R R R R R R R R	初期値 端子レベル																	
PIN2H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス																
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="text-align: center;">PIN 37</td><td style="text-align: center;">PIN 36</td><td style="text-align: center;">PIN 35</td><td style="text-align: center;">PIN 34</td><td style="text-align: center;">PIN 33</td><td style="text-align: center;">PIN 32</td><td style="text-align: center;">PIN 31</td><td style="text-align: center;">PIN 30</td><td style="text-align: center;">PIN 27</td><td style="text-align: center;">PIN 26</td><td style="text-align: center;">PIN 25</td><td style="text-align: center;">PIN 24</td><td style="text-align: center;">PIN 23</td><td style="text-align: center;">PIN 22</td><td style="text-align: center;">PIN 21</td><td style="text-align: center;">PIN 20</td> </tr> </table>	PIN 37	PIN 36	PIN 35	PIN 34	PIN 33	PIN 32	PIN 31	PIN 30	PIN 27	PIN 26	PIN 25	PIN 24	PIN 23	PIN 22	PIN 21	PIN 20	400A 3052H
	PIN 37	PIN 36	PIN 35	PIN 34	PIN 33	PIN 32	PIN 31	PIN 30	PIN 27	PIN 26	PIN 25	PIN 24	PIN 23	PIN 22	PIN 21	PIN 20		
R R R R R R R R R R R R R R R R	初期値 端子レベル																	
PIN4H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス																
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="text-align: center;">PIN 57</td><td style="text-align: center;">PIN 56</td><td style="text-align: center;">PIN 55</td><td style="text-align: center;">PIN 54</td><td style="text-align: center;">PIN 53</td><td style="text-align: center;">PIN 52</td><td style="text-align: center;">PIN 51</td><td style="text-align: center;">PIN 50</td><td style="text-align: center;">PIN 47</td><td style="text-align: center;">PIN 46</td><td style="text-align: center;">PIN 45</td><td style="text-align: center;">PIN 44</td><td style="text-align: center;">PIN 43</td><td style="text-align: center;">PIN 42</td><td style="text-align: center;">PIN 41</td><td style="text-align: center;">PIN 40</td> </tr> </table>	PIN 57	PIN 56	PIN 55	PIN 54	PIN 53	PIN 52	PIN 51	PIN 50	PIN 47	PIN 46	PIN 45	PIN 44	PIN 43	PIN 42	PIN 41	PIN 40	400A 3054H
	PIN 57	PIN 56	PIN 55	PIN 54	PIN 53	PIN 52	PIN 51	PIN 50	PIN 47	PIN 46	PIN 45	PIN 44	PIN 43	PIN 42	PIN 41	PIN 40		
R R R R R R R R R R R R R R R R	初期値 端子レベル																	
PIN6H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス																
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="text-align: center;">PIN 77</td><td style="text-align: center;">PIN 76</td><td style="text-align: center;">PIN 75</td><td style="text-align: center;">PIN 74</td><td style="text-align: center;">PIN 73</td><td style="text-align: center;">PIN 72</td><td style="text-align: center;">PIN 71</td><td style="text-align: center;">PIN 70</td><td style="text-align: center;">PIN 67</td><td style="text-align: center;">PIN 66</td><td style="text-align: center;">PIN 65</td><td style="text-align: center;">PIN 64</td><td style="text-align: center;">PIN 63</td><td style="text-align: center;">PIN 62</td><td style="text-align: center;">PIN 61</td><td style="text-align: center;">PIN 60</td> </tr> </table>	PIN 77	PIN 76	PIN 75	PIN 74	PIN 73	PIN 72	PIN 71	PIN 70	PIN 67	PIN 66	PIN 65	PIN 64	PIN 63	PIN 62	PIN 61	PIN 60	400A 3056H
	PIN 77	PIN 76	PIN 75	PIN 74	PIN 73	PIN 72	PIN 71	PIN 70	PIN 67	PIN 66	PIN 65	PIN 64	PIN 63	PIN 62	PIN 61	PIN 60		
R R R R R R R R R R R R R R R R	初期値 端子レベル																	
EXTPIN0H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス																
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">EXTP IN9</td><td style="text-align: center;">EXTP IN8</td><td style="text-align: center;">EXTP IN7</td><td style="text-align: center;">EXTP IN6</td><td style="text-align: center;">EXTP IN5</td><td style="text-align: center;">EXTP IN4</td><td style="text-align: center;">EXTP IN3</td><td style="text-align: center;">EXTP IN2</td><td style="text-align: center;">EXTP IN1</td><td style="text-align: center;">EXTP IN0</td> </tr> </table>	0	0	0	0	0	0	EXTP IN9	EXTP IN8	EXTP IN7	EXTP IN6	EXTP IN5	EXTP IN4	EXTP IN3	EXTP IN2	EXTP IN1	EXTP IN0	400A 3850H
	0	0	0	0	0	0	EXTP IN9	EXTP IN8	EXTP IN7	EXTP IN6	EXTP IN5	EXTP IN4	EXTP IN3	EXTP IN2	EXTP IN1	EXTP IN0		
0 0 0 0 0 0 R R R R R R R R R R	初期値 端子レベル																	
RPIN0H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス																
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="text-align: center;">RPIN 17</td><td style="text-align: center;">RPIN 16</td><td style="text-align: center;">RPIN 15</td><td style="text-align: center;">RPIN 14</td><td style="text-align: center;">RPIN 13</td><td style="text-align: center;">RPIN 12</td><td style="text-align: center;">RPIN 11</td><td style="text-align: center;">RPIN 10</td><td style="text-align: center;">RPIN 07</td><td style="text-align: center;">RPIN 06</td><td style="text-align: center;">RPIN 05</td><td style="text-align: center;">RPIN 04</td><td style="text-align: center;">RPIN 03</td><td style="text-align: center;">RPIN 02</td><td style="text-align: center;">RPIN 01</td><td style="text-align: center;">RPIN 00</td> </tr> </table>	RPIN 17	RPIN 16	RPIN 15	RPIN 14	RPIN 13	RPIN 12	RPIN 11	RPIN 10	RPIN 07	RPIN 06	RPIN 05	RPIN 04	RPIN 03	RPIN 02	RPIN 01	RPIN 00	400A 3450H
	RPIN 17	RPIN 16	RPIN 15	RPIN 14	RPIN 13	RPIN 12	RPIN 11	RPIN 10	RPIN 07	RPIN 06	RPIN 05	RPIN 04	RPIN 03	RPIN 02	RPIN 01	RPIN 00		
R R R R R R R R R R R R R R R R	初期値 端子レベル																	
RPIN2H	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス																
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="text-align: center;">RPIN 37</td><td style="text-align: center;">RPIN 36</td><td style="text-align: center;">RPIN 35</td><td style="text-align: center;">RPIN 34</td><td style="text-align: center;">RPIN 33</td><td style="text-align: center;">RPIN 32</td><td style="text-align: center;">RPIN 31</td><td style="text-align: center;">RPIN 30</td><td style="text-align: center;">RPIN 27</td><td style="text-align: center;">RPIN 26</td><td style="text-align: center;">RPIN 25</td><td style="text-align: center;">RPIN 24</td><td style="text-align: center;">RPIN 23</td><td style="text-align: center;">RPIN 22</td><td style="text-align: center;">RPIN 21</td><td style="text-align: center;">RPIN 20</td> </tr> </table>	RPIN 37	RPIN 36	RPIN 35	RPIN 34	RPIN 33	RPIN 32	RPIN 31	RPIN 30	RPIN 27	RPIN 26	RPIN 25	RPIN 24	RPIN 23	RPIN 22	RPIN 21	RPIN 20	400A 3452H
	RPIN 37	RPIN 36	RPIN 35	RPIN 34	RPIN 33	RPIN 32	RPIN 31	RPIN 30	RPIN 27	RPIN 26	RPIN 25	RPIN 24	RPIN 23	RPIN 22	RPIN 21	RPIN 20		
R R R R R R R R R R R R R R R R	初期値 端子レベル																	
<table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">ビット位置</th> <th style="text-align: center;">ビット名</th> <th style="text-align: center;">意 味</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">15-0</td> <td style="text-align: center;">PINmn / RPINn / EXTPINp</td> <td style="text-align: center;">ポート端子の入力レベルをリードできます。</td> </tr> </tbody> </table>			ビット位置	ビット名	意 味	15-0	PINmn / RPINn / EXTPINp	ポート端子の入力レベルをリードできます。										
ビット位置	ビット名	意 味																
15-0	PINmn / RPINn / EXTPINp	ポート端子の入力レベルをリードできます。																

図 7.18 ポート端子入力レジスタ (16bit 表記)

備考. l = 0-3 m = 0-7 n = 0-7 p = 0-9

7.4 兼用機能の選択一覧

ポート関連レジスタで選択される兼用機能の選択一覧を以下に示します。

(1) ポート (P00-P77)

(1/3)

端子 名称	PMCmn = 0 (ポート・モード)		PMCmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEmn = 0		PFCEmn = 1	
			PFCmn = 0 (兼用機能 1)	PFCmn = 1 (兼用機能 2)	PFCmn = 0 (兼用機能 3)	PFCmn = 1 (兼用機能 4)
P00	P00 (出力モード)	P00 (入力モード)	INTPZ0	—	CCI_RUNLEDZ	CCS_MON1
P01	P01 (出力モード)	P01 (入力モード)	INTPZ1	—	—	CCS_MON2
P02	P02 (出力モード)	P02 (入力モード)	INTPZ2	—	CCI_DLINKLEDZ	CCS_STBMSK
P03	P03 (出力モード)	P03 (入力モード)	INTPZ3	—	CCI_ERRLEDZ	CCS_MON5
P04	P04 (出力モード)	P04 (入力モード)	INTPZ4	—	CCI_LERR1LEDZ	CCS_MON6
P05	P05 (出力モード)	P05 (入力モード)	INTPZ5	—	CCI_LERR2LEDZ	CCS_MON7
P06	P06 (出力モード)	P06 (入力モード)	—	—	CCI_SDLEDZ	CCS_MON0
P07	P07 (出力モード)	P07 (入力モード)	—	—	CCIRDLEDZ	CCS_RESOUT
P10	P10 (出力モード)	P10 (入力モード)	SMIO2	—	—	CCS_MON1
P11	P11 (出力モード)	P11 (入力モード)	SMIO3	—	—	CCS_MON2
P12	P12 (出力モード)	P12 (入力モード)	CSZ3	—	CCI_WDTIZ / CCM_WDTENZ/ CCS_WDTZ	CCS_MON3
P13	P13 (出力モード)	P13 (入力モード)	CSZ2	—	—	—
P14	P14 (出力モード)	P14 (入力モード)	SMSCK	—	—	—
P15	P15 (出力モード)	P15 (入力モード)	SMIO0	—	—	—
P16	P16 (出力モード)	P16 (入力モード)	SMIO1	—	—	—
P17	P17 (出力モード)	P17 (入力モード)	SMCSZ	—	—	—
P20	P20 (出力モード)	P20 (入力モード)	RXD0	—	CCM_LINKERRZ	—
P21	P21 (出力モード)	P21 (入力モード)	TXD0	—	CCM_ERRZ	—
P22	P22 (出力モード)	P22 (入力モード)	INTPZ8	—	CCS_IOTENSU	—
P23	P23 (出力モード)	P23 (入力モード)	INTPZ9	—	CCS_SENYU0	—
P24	P24 (出力モード)	P24 (入力モード)	INTPZ10	ETHSWSYNCOUT	CCS_SENYU1	—
P25	P25 (出力モード)	P25 (入力モード)	WDTOUTZ	—	CCS_ERRZ	—
P26	P26 (出力モード)	P26 (入力モード)	TINJ1/TIND5	TOUTJ1 / TOUTD5	CCM_RUNZ / CCS_RUNZ	—
P27	P27 (出力モード)	P27 (入力モード)	TINJ0/TIND4	TOUTJ0 / TOUTD4	—	—

備考. m = 0-7 n = 0-7

(2/3)

端子 名称	PMCmn = 0 (ポート・モード)		PMCmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEmn = 0		PFCEmn = 1	
			PFCmn = 0 (兼用機能 1)	PFCmn = 1 (兼用機能 2)	PFCmn = 0 (兼用機能 3)	PFCmn = 1 (兼用機能 4)
P30	P30 (出力モード)	P30(入力モード)	RXD1	—	—	—
P31	P31 (出力モード)	P31(入力モード)	TXD1	—	—	—
P32	P32 (出力モード)	P32(入力モード)	DMAREQZ1	—	CCM_LNKRUNZ/ CCS_LNKRUNZ	—
P33	P33 (出力モード)	P33(入力モード)	DMAACKZ1	—	CCM_RDLEDZ/ CCS_RDLEDZ	—
P34	P34 (出力モード)	P34(入力モード)	DMATCZ1	—	—	—
P35	P35 (出力モード)	P35(入力モード)	CSISCK1	INTPZ22	—	—
P36	P36 (出力モード)	P36(入力モード)	CSISI1	INTPZ23	—	—
P37	P37 (出力モード)	P37(入力モード)	CSISO1	INTPZ24	—	—
P40	P40 (出力モード)	P40(入力モード)	A1	HA1	—	—
P41	P41 (出力モード)	P41(入力モード)	WAITZ	HWAITZ	—	—
P42	P42 (出力モード)	P42(入力モード)	CSICS00	HERROUTZ	CCS_FUSEZ	—
P43	P43 (出力モード)	P43(入力モード)	CSICS01	HBUSCLK	CCM_IRLZ	—
P44	P44 (出力モード)	P44(入力モード)	CSZ1	HPGCSZ	—	—
P45	P45 (出力モード)	P45(入力モード)	CSISCK0	WAITZ1	—	—
P46	P46 (出力モード)	P46(入力モード)	CSISIO	WAITZ2	—	—
P47	P47 (出力モード)	P47(入力モード)	CSISO0	WAITZ3	—	—
P50	P50 (出力モード)	P50(入力モード)	INTPZ6	—	—	CCS_REFSTB
P51	P51 (出力モード)	P51(入力モード)	INTPZ7	—	—	CCS_SDGATEON
P52	P52 (出力モード)	P52(入力モード)	TINJ3 / TIND7	TOUTJ3 / TOUTD7	CCI_NMIZ	CCS_DCHANG
P53	P53 (出力モード)	P53(入力モード)	CRXD0	CCI_INTZ	—	—
P54	P54 (出力モード)	P54(入力モード)	CTXD0	CCS_RD	CCM_RD	—
P55	P55 (出力モード)	P55(入力モード)	CRXD1	CCS_MON4	—	—
P56	P56 (出力モード)	P56(入力モード)	CTXD1	CCS_SD	CCM_SD	—
P57	P57 (出力モード)	P57(入力モード)	TINJ2 / TIND6	TOUTJ2 / TOUTD6	CCM_SDGCZ	—

備考. m = 0-7 n = 0-7

(3/3)

端子 名称	PMCmn = 0 (ポート・モード)		PMCmn = 1 (コントロール・モード)			
	PMmn = 0 (出力ポート)	PMmn = 1 (入力ポート)	PFCEmn = 0		PFCEmn = 1	
			PFCmn = 0 (兼用機能 1)	PFCmn = 1 (兼用機能 2)	PFCmn = 0 (兼用機能 3)	PFCmn = 1 (兼用機能 4)
P60	P60 (出力モード)	P60 (入力モード)	SCL0	—	—	—
P61	P61 (出力モード)	P61 (入力モード)	SDA0	—	—	—
P62	P62 (出力モード)	P62 (入力モード)	RTDMAREQZ	—	CCM_MDIN0	—
P63	P63 (出力モード)	P63 (入力モード)	RTDMAACKZ	—	CCM_MDIN1	—
P64	P64 (出力モード)	P64 (入力モード)	RTDMATCZ	—	CCM_MDIN2	—
P65	P65 (出力モード)	P65 (入力モード)	DMAREQZ0	—	CCM_MDIN3	—
P66	P66 (出力モード)	P66 (入力モード)	DMAACKZ0	—	CCM_MSTZ	—
P67	P67 (出力モード)	P67 (入力モード)	DMATCZ0	—	CCS_MON3	—
P70	P70 (出力モード)	P70 (入力モード)	CSICS10	—	CCS_STATION_N O_0 / CCM_SNIN0	—
P71	P71 (出力モード)	P71 (入力モード)	CSICS11	—	CCS_STATION_N O_1 / CCM_SNIN1	—
P72	P72 (出力モード)	P72 (入力モード)	SLEEPING	—	CCS_STATION_N O_2 / CCM_SNIN2	—
P73	P73 (出力モード)	P73 (入力モード)	INTPZ11	—	CCS_STATION_N O_3 / CCM_SNIN3	—
P74	P74 (出力モード)	P74 (入力モード)	INTPZ12	—	CCS_STATION_N O_4 / CCM_SNIN4	—
P75	P75 (出力モード)	P75 (入力モード)	INTPZ13	—	CCS_STATION_N O_5 / CCM_SNIN5	—
P76	P76 (出力モード)	P76 (入力モード)	INTPZ14	—	CCS_STATION_N O_6 / CCM_SNIN6	—
P77	P77 (出力モード)	P77 (入力モード)	INTPZ15	—	CCS_STATION_N O_7 / CCM_SNIN7	—

備考. m = 0-7 n = 0-7

(2) リアルタイム・ポート (RP00-RP37)

端子 名称	RPMCmn = 0 (ポート・モード)		RPMCmn = 1 (コントロール・モード)			
	RPMmn = 0 (出力ポート)	RPMmn = 1 (入力ポート)	RPFCEmn = 0		RPFCEmn = 1	
			RPFCmn = 0 (兼用機能 1)	RPFCmn = 1 (兼用機能 2)	RPFCmn = 0 (兼用機能 3)	RPFCmn = 1 (兼用機能 4)
RP00	RP00 (出力モード)	RP00 (入力モード)	INTPZ16	SCL1	CCM_SDLEDZ / CCS_SDLEDZ	—
RP01	RP01 (出力モード)	RP01 (入力モード)	INTPZ17	SDA1	CCM_SMSTZ	—
RP02	RP02 (出力モード)	RP02 (入力モード)	INTPZ18	ADTRG	CCS_BS1	—
RP03	RP03 (出力モード)	RP03 (入力モード)	INTPZ19	ADTRGRDY	CCS_BS2	—
RP04	RP04 (出力モード)	RP04 (入力モード)	INTPZ20	—	CCS_BS4	—
RP05	RP05 (出力モード)	RP05 (入力モード)	INTPZ21	—	CCS_BS8	—
RP06	RP06 (出力モード)	RP06 (入力モード)	WRZ2/BENZ2	HWRZ2/ HBENZ2	—	—
RP07	RP07 (出力モード)	RP07 (入力モード)	WRZ3/BENZ3	HWRZ3/ HBENZ3	—	—
RP10	RP10 (出力モード)	RP10 (入力モード)	D24/HD24	LED0_PHY0	—	—
RP11	RP11 (出力モード)	RP11 (入力モード)	D25/HD25	LED1_PHY0	—	—
RP12	RP12 (出力モード)	RP12 (入力モード)	D26/HD26	LED2_PHY0	—	—
RP13	RP13 (出力モード)	RP13 (入力モード)	D27/HD27	LED3_PHY0	—	—
RP14	RP14 (出力モード)	RP14 (入力モード)	D28/HD28	LED0_PHY1	—	—
RP15	RP15 (出力モード)	RP15 (入力モード)	D29/HD29	LED1_PHY1	—	—
RP16	RP16 (出力モード)	RP16 (入力モード)	D30/HD30	LED2_PHY1	—	—
RP17	RP17 (出力モード)	RP17 (入力モード)	D31/HD31	LED3_PHY1	—	—
RP20	RP20 (出力モード)	RP20 (入力モード)	BCYSTZ/ADVZ	HBCYSTZ	—	—
RP21	RP21 (出力モード)	RP21 (入力モード)	A21	—	—	—
RP22	RP22 (出力モード)	RP22 (入力モード)	A22	—	—	—
RP23	RP23 (出力モード)	RP23 (入力モード)	A23	—	—	—
RP24	RP24 (出力モード)	RP24 (入力モード)	A24	INTPZ25	—	—
RP25	RP25 (出力モード)	RP25 (入力モード)	A25	INTPZ26	—	—
RP26	RP26 (出力モード)	RP26 (入力モード)	A26	INTPZ27	—	—
RP27	RP27 (出力モード)	RP27 (入力モード)	A27	INTPZ28	—	—
RP30	RP30 (出力モード)	RP30 (入力モード)	D16/HD16	TOUTD8	TIND8	—
RP31	RP31 (出力モード)	RP31 (入力モード)	D17/HD17	TOUTD9	TIND9	—
RP32	RP32 (出力モード)	RP32 (入力モード)	D18/HD18	TOUTD10	TIND10	—
RP33	RP33 (出力モード)	RP33 (入力モード)	D19/HD19	TOUTD11	TIND11	—
RP34	RP34 (出力モード)	RP34 (入力モード)	D20/HD20	TOUTD12	TIND12	—
RP35	RP35 (出力モード)	RP35 (入力モード)	D21/HD21	TOUTD13	TIND13	—
RP36	RP36 (出力モード)	RP36 (入力モード)	D22/HD22	TOUTD14	TIND14	—
RP37	RP37 (出力モード)	RP37 (入力モード)	D23/HD23	TOUTD15	TIND15	—

備考. m = 0-3 n = 0-7

(3) EXT ポート (EXTP0-EXTP9)

端子 名称	EXTPMCp = 0 (ポート・モード)		EXTPMCp = 1 (コントロール・モード)			
			EXTPFCEp = 0		EXTPFCEp = 1	
	EXTPMp = 0 (出力ポート)	EXTPMp = 1 (入力ポート)	EXTPFCp = 0 (兼用機能 1)	EXTPFCp = 1 (兼用機能 2)	EXTPFCp = 0 (兼用機能 3)	EXTPFCp = 1 (兼用機能 4)
EXTP0	EXTP0 (出力モード)	EXTP0 (入力モード)	—	TOUTD0	—	TIND0
EXTP1	EXTP1 (出力モード)	EXTP1 (入力モード)	—	TOUTD1	—	TIND1
EXTP2	EXTP2 (出力モード)	EXTP2 (入力モード)	—	TOUTD2	—	TIND2
EXTP3	EXTP3 (出力モード)	EXTP3 (入力モード)	WDTOUTZ	TOUTD3	—	TIND3
EXTP4	EXTP4 (出力モード)	EXTP4 (入力モード)	—	—	—	—
EXTP5	EXTP5 (出力モード)	EXTP5 (入力モード)	—	—	—	—
EXTP6	EXTP6 (出力モード)	EXTP6 (入力モード)	—	—	—	—
EXTP7	EXTP7 (出力モード)	EXTP7 (入力モード)	CCM_STMON3	—	—	—
EXTP8	EXTP8 (出力モード)	EXTP8 (入力モード)	—	—	—	—
EXTP9	EXTP9 (出力モード)	EXTP9 (入力モード)	—	—	—	—

7.5 バッファ機能切り替えレジスタ (DRCTL)

一部のポート端子は、ドライブ能力、プルアップ/プルダウン抵抗をプログラマブルに変更できます。

DRCTL レジスタは、リセット解除後の初期化処理で設定し、以降の設定変更は、バッファ機能を切り替える端子を利用していないことを条件に切り替えてください。たとえば、内部アクセスのみを行っているときに設定を変更してください。

DRCTL レジスタの設定は、その端子の動作モード（ポート・モードと兼用機能を利用するコンロトル・モードなど）に関係なく有効になります。

- アクセス32ビット/16ビット単位でリード/ライト可能です。

注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ (SYSPCMD) を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ (SYSPCMD) を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

2. プルアップ/プルダウンの設定変更は、ハイ・インピーダンス時のレベルが変化するため、十分に注意してください。

7.5.1 ポート0バッファ機能切り替えレジスタ (DRCTLP0L, DRCTLP0H)

DRCTLP0L	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス
	0 0	BASE + 0220H 初期値 0000 9999H
	R/W	PUIOP03 PDIOP03 IOLP031 IOLP030 PUIOP02 PDIOP02 IOLP021 IOLP020 PUIOP01 PDIOP01 IOLP011 IOLP010 PUIOP00 PDIOP00 IOLP001 IOLP000
DRCTLP0H	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス
	0 0	BASE + 0224H 初期値 0000 9999H
	R/W	PUIOP07 PDIOP07 IOLP071 IOLP070 PUIOP06 PDIOP06 IOLP061 IOLP060 PUIOP05 PDIOP05 IOLP051 IOLP050 PUIOP04 PDIOP04 IOLP041 IOLP040

ビット位置	ビット名	意味															
31-16	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)															
15,14,11,10,7,6,3,2	PUIOP0n, PDIOP0n	P07-P00 端子のプルアップ抵抗/プルダウン抵抗を設定します。 <table border="1" style="margin: 5px auto; border-collapse: collapse;"> <thead> <tr> <th>PUIOP0n</th> <th>PDIOP0n</th> <th>P07-P00 端子のプルアップ抵抗/プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プルアップ抵抗/プルダウン抵抗なし</td> </tr> <tr> <td>0</td> <td>1</td> <td>プルダウン抵抗</td> </tr> <tr> <td>1</td> <td>0</td> <td>プルアップ抵抗</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUIOP0n	PDIOP0n	P07-P00 端子のプルアップ抵抗/プルダウン抵抗	0	0	プルアップ抵抗/プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗	1	1	設定禁止
PUIOP0n	PDIOP0n	P07-P00 端子のプルアップ抵抗/プルダウン抵抗															
0	0	プルアップ抵抗/プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗															
1	1	設定禁止															
13,12,9,8,5,4,1,0	IOLP0n1, IOLP0n0	P07-P00 端子のドライブ能力を設定します。 <table border="1" style="margin: 5px auto; border-collapse: collapse;"> <thead> <tr> <th>IOLP0n1</th> <th>IOLP0n0</th> <th>P07-P00 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>6mA (推奨)</td> </tr> <tr> <td>1</td> <td>1</td> <td>12mA</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLP0n1	IOLP0n0	P07-P00 端子のドライブ能力	0	1	6mA (推奨)	1	1	12mA	上記以外		設定禁止			
IOLP0n1	IOLP0n0	P07-P00 端子のドライブ能力															
0	1	6mA (推奨)															
1	1	12mA															
上記以外		設定禁止															

備考. n = 7 - 0

7.5.6 ポート5バッファ機能切り替えレジスタ (DRCTLP5L, DRCTLP5H)

DRCTLP5L	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	
	0 1 0 1 0 1 0 0 0	BASE + 0248H	
		初期値	
		0000 0959H	
R/W	0 1 0 1 0 1 0 0 0		
DRCTLP5H	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	
	0 0	BASE + 024CH	
		初期値	
		0000 9000H	
R/W	0 0		

ビット位置	ビット名	意味															
31-16	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)															
15,14,11,10,7,6,3,2	PUIOP5n, PDIOP5n	P57, P52-P50 端子のプルアップ抵抗/プルダウン抵抗を設定します。 <table border="1" style="width:100%; margin-top: 5px;"> <thead> <tr> <th>PUIOP5n</th> <th>PDIOP5n</th> <th>P57, P52-P50 端子のプルアップ抵抗/プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗/プルダウン抵抗なし</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>プルダウン抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUIOP5n	PDIOP5n	P57, P52-P50 端子のプルアップ抵抗/プルダウン抵抗	0	0	プルアップ抵抗/プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗	1	1	設定禁止
PUIOP5n	PDIOP5n	P57, P52-P50 端子のプルアップ抵抗/プルダウン抵抗															
0	0	プルアップ抵抗/プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗															
1	1	設定禁止															
1,0	IOLP501, IOLP500	P50 端子のドライブ能力を設定します。 <table border="1" style="width:100%; margin-top: 5px;"> <thead> <tr> <th>IOLP501</th> <th>IOLP500</th> <th>P50 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>6mA (推奨)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>12mA</td> </tr> <tr> <td colspan="2" style="text-align: center;">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLP501	IOLP500	P50 端子のドライブ能力	0	1	6mA (推奨)	1	1	12mA	上記以外		設定禁止			
IOLP501	IOLP500	P50 端子のドライブ能力															
0	1	6mA (推奨)															
1	1	12mA															
上記以外		設定禁止															

備考. n = 7, 2-0

7.5.7 ポート 6 バッファ機能切り替えレジスタ (DRCTL6L, DRCTL6H)

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
DRCTL6L		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PUIOP63	PDIOP63	0	1	PUIOP62	PDIOP62	0	1	PUIOP61	PDIOP61	0	1	PUIOP60	PDIOP60	0	1	BASE + 0250H 初期値 0000 9999H
R/W		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0	1	R/W	R/W	0	1	R/W	R/W	0	1	R/W	R/W	0	1		
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
DRCTL6H		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PUIOP67	PDIOP67	0	1	PUIOP66	PDIOP66	IOLP661	IOLP660	PUIOP65	PDIOP65	0	1	PUIOP64	PDIOP64	0	1	BASE + 0254H 初期値 0000 9999H
R/W		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	0	1	R/W	R/W	R/W	R/W	R/W	R/W	0	1	R/W	R/W	0	1		

ビット位置	ビット名	意味															
31-16	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)															
15,14,11, 10,7,6,3,2	PUIOP6n, PDIOP6n	P67-P60 端子のプルアップ抵抗/プルダウン抵抗を設定します。 <table border="1" style="width:100%; margin-top: 10px;"> <thead> <tr> <th>PUIOP6n</th> <th>PDIOP6n</th> <th>P67-P60 端子のプルアップ抵抗/プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プルアップ抵抗/プルダウン抵抗なし</td> </tr> <tr> <td>0</td> <td>1</td> <td>プルダウン抵抗</td> </tr> <tr> <td>1</td> <td>0</td> <td>プルアップ抵抗</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUIOP6n	PDIOP6n	P67-P60 端子のプルアップ抵抗/プルダウン抵抗	0	0	プルアップ抵抗/プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗	1	1	設定禁止
PUIOP6n	PDIOP6n	P67-P60 端子のプルアップ抵抗/プルダウン抵抗															
0	0	プルアップ抵抗/プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗															
1	1	設定禁止															
9,8	IOLP661, IOLP660	P66 端子のドライブ能力を設定します。 <table border="1" style="width:100%; margin-top: 10px;"> <thead> <tr> <th>IOLP661</th> <th>IOLP660</th> <th>P66 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>6mA (推奨)</td> </tr> <tr> <td>1</td> <td>1</td> <td>12mA</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLP661	IOLP660	P66 端子のドライブ能力	0	1	6mA (推奨)	1	1	12mA	上記以外		設定禁止			
IOLP661	IOLP660	P66 端子のドライブ能力															
0	1	6mA (推奨)															
1	1	12mA															
上記以外		設定禁止															

備考. n = 7 - 0

7.5.13 リアルタイム・ポート 2 バッファ機能切り替えレジスタ (DRCTLRP2L, DRCTLRP2H)

DRCTLRP2L	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	0 0	PUIORP23 PDIORP23 IOLRP231 IOLRP230 PUIORP22 PDIORP22 IOLRP221 IOLRP220 PUIORP21 PDIORP21 IOLRP211 IOLRP210 PUIORP20 PDIORP20 IOLRP201 IOLRP200	アドレス BASE + 0270H 初期値 0000 5559H
R/W		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W		
DRCTLRP2H	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	0 0	PUIORP27 PDIORP27 IOLRP271 IOLRP270 PUIORP26 PDIORP26 IOLRP261 IOLRP260 PUIORP25 PDIORP25 IOLRP251 IOLRP250 PUIORP24 PDIORP24 IOLRP241 IOLRP240	アドレス BASE + 0274H 初期値 0000 5555H
R/W		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W		

ビット位置	ビット名	意味															
31-16	-	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)															
15,14,11,10,7,6,3,2	PUIORP2n, PDIORP2n	RP27-RP20 端子のプルアップ抵抗/プルダウン抵抗を設定します。 <table border="1" style="width:100%; margin-top: 5px;"> <thead> <tr> <th>PUIORP2n</th> <th>PDIORP2n</th> <th>RP27-RP20 端子のプルアップ抵抗/プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗/プルダウン抵抗なし</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>プルダウン抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>プルアップ抵抗</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUIORP2n	PDIORP2n	RP27-RP20 端子のプルアップ抵抗/プルダウン抵抗	0	0	プルアップ抵抗/プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗	1	1	設定禁止
PUIORP2n	PDIORP2n	RP27-RP20 端子のプルアップ抵抗/プルダウン抵抗															
0	0	プルアップ抵抗/プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗															
1	1	設定禁止															
13,12,9,8,5,4,1,0	IOLRP2n1, IOLRP2n0	RP27-RP20 端子のドライブ能力を設定します。 <table border="1" style="width:100%; margin-top: 5px;"> <thead> <tr> <th>IOLRP2n1</th> <th>IOLRP2n0</th> <th>RP27-RP20 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>6mA (推奨)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>12mA</td> </tr> <tr> <td colspan="2" style="text-align: center;">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLRP2n1	IOLRP2n0	RP27-RP20 端子のドライブ能力	0	1	6mA (推奨)	1	1	12mA	上記以外		設定禁止			
IOLRP2n1	IOLRP2n0	RP27-RP20 端子のドライブ能力															
0	1	6mA (推奨)															
1	1	12mA															
上記以外		設定禁止															

備考. n = 7 - 0

7.5.14 リアルタイム・ポート 3 バッファ機能切り替えレジスタ (DRCTLRP3L, DRCTLRP3H)

DRCTLRP3L		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	0 0	PUIORP33 PDIORP33 IOLRP331 IOLRP330 PUIORP32 PDIORP32 IOLRP321 IOLRP320 PUIORP31 PDIORP31 IOLRP311 IOLRP310 PUIORP30 PDIORP30 IOLRP301 IOLRP300	アドレス BASE + 0278H 初期値 0000 9999H
	R/W		0 0		
DRCTLRP3H		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	0 0	PUIORP37 PDIORP37 IOLRP371 IOLRP370 PUIORP36 PDIORP36 IOLRP361 IOLRP360 PUIORP35 PDIORP35 IOLRP351 IOLRP350 PUIORP34 PDIORP34 IOLRP341 IOLRP340	アドレス BASE + 027CH 初期値 0000 9999H
	R/W		0 0		

ビット位置	ビット名	意味															
31-16	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)															
15,14,11,10,7,6,3,2	PUIORP3n, PDIORP3n	RP37-RP30 端子のプルアップ抵抗／プルダウン抵抗を設定します。 <table border="1" style="width:100%; margin-top: 5px;"> <thead> <tr> <th>PUIORP3n</th> <th>PDIORP3n</th> <th>RP37-RP30 端子のプルアップ抵抗／プルダウン抵抗</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>プルアップ抵抗／プルダウン抵抗なし</td> </tr> <tr> <td>0</td> <td>1</td> <td>プルダウン抵抗</td> </tr> <tr> <td>1</td> <td>0</td> <td>プルアップ抵抗</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	PUIORP3n	PDIORP3n	RP37-RP30 端子のプルアップ抵抗／プルダウン抵抗	0	0	プルアップ抵抗／プルダウン抵抗なし	0	1	プルダウン抵抗	1	0	プルアップ抵抗	1	1	設定禁止
PUIORP3n	PDIORP3n	RP37-RP30 端子のプルアップ抵抗／プルダウン抵抗															
0	0	プルアップ抵抗／プルダウン抵抗なし															
0	1	プルダウン抵抗															
1	0	プルアップ抵抗															
1	1	設定禁止															
13,12,9,8,5,4,1,0	IOLRP3n1, IOLRP3n0	RP37-RP30 端子のドライブ能力を設定します。 <table border="1" style="width:100%; margin-top: 5px;"> <thead> <tr> <th>IOLRP3n1</th> <th>IOLRP3n0</th> <th>RP37-RP30 端子のドライブ能力</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>6mA (推奨)</td> </tr> <tr> <td>1</td> <td>1</td> <td>12mA</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	IOLRP3n1	IOLRP3n0	RP37-RP30 端子のドライブ能力	0	1	6mA (推奨)	1	1	12mA	上記以外		設定禁止			
IOLRP3n1	IOLRP3n0	RP37-RP30 端子のドライブ能力															
0	1	6mA (推奨)															
1	1	12mA															
上記以外		設定禁止															

備考. n = 7 - 0

7.6 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

7.6.1 入出力ポートへのリード/ライト動作

(1) 出力モードの場合

ポートレジスタ (Pn, RPm, EXTPp) に書き込むことにより、出力ラッチ (Pn, RPm, EXTPp) に値を書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

ポートレジスタ (Pn, RPm, EXTPp) をリードすると、出力ラッチ (Pn, RPm, EXTPp) を読み出せます。

ポート端子入力レジスタ (PINn, RPINm, EXTPINp) をリードすると、端子レベルを直接読み出せます。

備考. n = 0-7, m = 0-3, p = 0-1

(2) 入力モードの場合

ポートレジスタ (Pn, RPm, EXTPp) に書き込むことにより、出力ラッチ (Pn, RPm, EXTPp) に値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

入力レベルを読み出すには、ポート端子入力レジスタ (PINn, RPINm, EXTPINp) をリードしてください。

備考. n = 0-7, m = 0-3, p = 0-1

7.6.2 コントロール・モード時の兼用機能の出力状態

ポート端子の状態は、PMcN/RPMcM/EXTPMcP レジスタ、PMn/RPMm/EXTPMp レジスタ、PFCn/RPFCm/EXTPFCp レジスタ、PFCEn/RPCEm/EXTPEp レジスタの設定に依存せず、ポート n,m,p 端子入力レジスタ (PINn, RPINm, EXTPINp) をリードすると、端子レベルを直接読み出せます。

備考. n = 0-7, m = 0-3, p = 0-1

7.7 トリガ同期式ポート機能 (RP00-RP37)

RP00-RP37 の 32 ビットのポート端子は、内蔵周辺からの割り込みに同期してポートの状態を更新することができます。

トリガ同期式ポート制御モードにするには、RPTRGMD レジスタにて、1 ビット単位で設定します。また、対象のトリガを選択するには、RPTFR0-3 レジスタにて行います。

詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編」を参照してください。

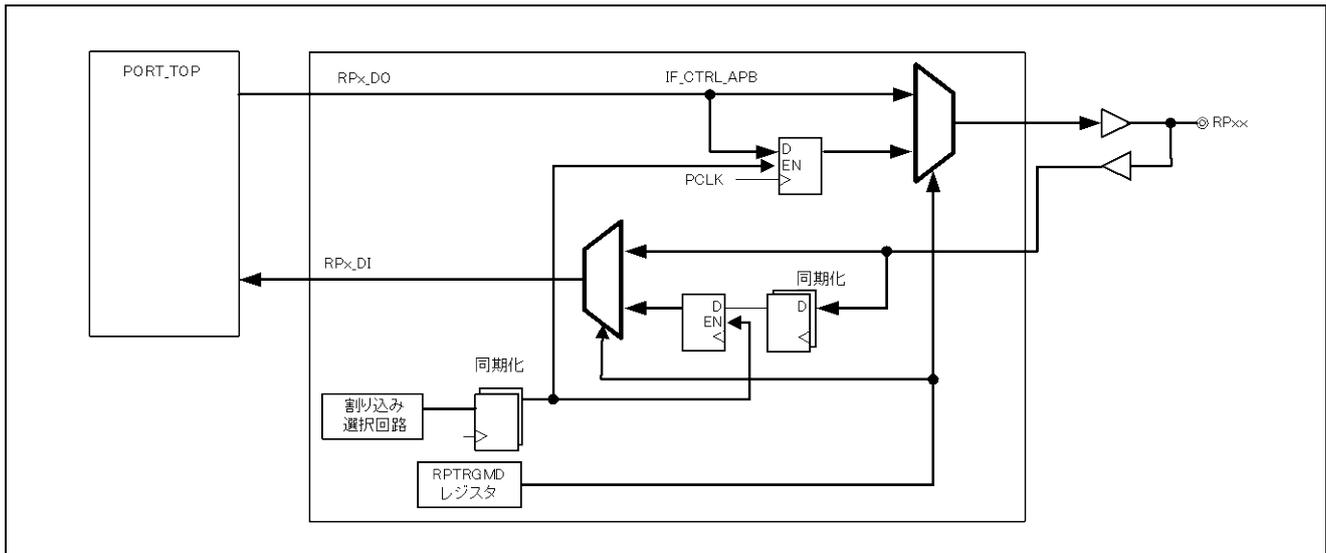


図 7.19 トリガ同期式ポート構成図

8. 電気的特性

8.1 用語説明

表 8.1 絶対最大定格に関する用語

項目	略号	意味
電源電圧	V _{DD}	V _{DD} 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
入力電圧	V _I	入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電圧	V _O	出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電流	I _O	出力端子から流し出しても、また流し込んでも、破壊や信頼性低下を生じない DC 電流の許容絶対値を示します。
動作周囲温度	T _A	正常な論理動作をする周囲温度範囲を示します。
保存温度	T _{Sgt.}	電圧、電流を印加しない状態で、破壊や信頼性低下を生じない素子温度範囲を示します。

表 8.2 推奨動作範囲に関する用語

項目	略号	意味
電源電圧	V _{DD}	V _{SS} = 0V としたときに正常な論理動作をする電圧範囲を示します。
ハイ・レベル入力電圧	V _{IH}	R-IN32M4 の入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示します。 ● MIN 値以上の電圧を印加すれば、入力電圧がハイ・レベルであることを保証します。
ロー・レベル入力電圧	V _{IL}	R-IN32M4 の入力に印加する電圧で、入力バッファが正常に動作するロー・レベル状態の電圧を示します。 ● MAX 値以下の電圧を印加すれば、入力電圧がロー・レベルであることを保証します。
ポジティブ・トリガ電圧	V _P	R-IN32M4 の入力をロー・レベル側からハイ・レベル側に変化させたときに、出力レベルが反転する入力レベルです。
ネガティブ・トリガ電圧	V _N	R-IN32M4 の入力をハイ・レベル側からロー・レベル側に変化させたときに、出力レベルが反転する入力レベルです。
ヒステリシス電圧	V _H	ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差です。
入力立ち上がり時間	t _{ried} , t _{ric} , t _{ris}	R-IN32M4 の入力に印加する入力電圧が 10% から 90% に立ち上がる時間の制限値を示します。t _{ried} , t _{ric} , t _{ris} は、それぞれデータ・クロック、シュミット・バッファの入力立ち上がり時間を示します。
入力立ち下がり時間	t _{rid} , t _{ric} , t _{ris}	R-IN32M4 の入力に印加する入力電圧が 90% から 10% に立ち下がる時間の制限値を示します。t _{rid} , t _{ric} , t _{ris} は、それぞれデータ・クロック、シュミット・バッファの入力立ち下がり時間を示します。

表 8.3 DC 特性に関する用語

項目	略号	意味
オフステート出力電流	I _{OZ}	3 ステート出力で出力がハイ・インピーダンスのとき、規定された電圧において出力端子を流れる電流を示します。
出力短絡電流	I _{OS}	出力ハイ・レベルのときに、出力端子を GND と短絡した場合に流れ出す電流を示します。
入力リーク電流	I _{LI}	入力端子に電圧を印加したときに、入力端子を流れる電流を示します。
ロー・レベル出力電流	I _{OL}	規定されたロー・レベル出力電圧において、出力端子へ流れ込む電流を示します。
ハイ・レベル出力電流	I _{OH}	規定されたハイ・レベル出力電圧において、出力端子から流れ出す電流を示します。
ロー・レベル出力電圧	V _{OL}	ロー・レベル状態にある、出力オープン時の出力電圧を示します。
ハイ・レベル出力電圧	V _{OH}	ハイ・レベル状態にある、出力オープン時の出力電圧を示します。

8.2 絶対最大定格

表 8.4 絶対最大定格

項目	略号	条件	定格	単位	
電源電圧	V _{DD}	1.0V 系	- 0.3 ~ + 1.10	V	
		2.5V 系	- 0.3 ~ + 2.75	V	
		3.3V 系	- 0.3 ~ + 3.60	V	
入出力電圧	V _I /V _O	2.5V バッファ ^{注1}	—	- 0.3 ~ + 2.75	V
		3.3V バッファ ^{注2}	—	- 0.3 ~ + 3.6	V
		3.3V バッファ ^{注3}	V _I /V _O < V _{DD} + 0.5V	- 0.5 ~ + 4.1	V
		5V-Tolerant バッファ	V _I /V _O < V _{DD} + 3.0V	- 0.5 ~ + 6.6	V
出力電流 (3.3V バッファ)	I _O	6mA タイプ	15	mA	
		12mA タイプ	25	mA	
出力電流 (5V-Tolerant バッファ)	I _O	4mA タイプ	10.35	mA	
動作周囲温度	T _A	—	- 40 ~ + 85	°C	
保存温度	T _{Sgt.}	—	- 65 ~ + 125	°C	

注 1. 該当端子は、PHYADD3、PHYADD4 です。

注 2. 該当端子は、PHYADD1、PHYADD2、TDI、TMS、TCK です。

注 3. 該当端子は、注 2 の 5 端子以外の端子です。

注意. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

備考. 入出力端子への 3.3V 電圧の印加は、必ず電源電圧が確定してから行ってください。

8.3 推奨動作範囲

表 8.5 推奨動作範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	1.0V 電源	0.95	1.0	1.05	V
		2.5V 電源	2.375	2.5	2.625	V
		3.3V 電源	3.135	3.3	3.465	V
ネガティブ・トリガ電圧	V _N	3.3V バッファ	0.6	—	1.8	V
		5V-Tolerant バッファ	0.8	—	1.1	V
ポジティブ・トリガ電圧	V _P	3.3V バッファ	1.2	—	2.4	V
		5V-Tolerant バッファ	1.7	—	2.2	V
ヒステリシス電圧	V _H	3.3V バッファ	0.3	—	1.5	V
		5V-Tolerant バッファ	0.9	—	1.1	V
ロー・レベル入力電圧	V _{IL}	3.3V バッファ	-0.3	—	0.8	V
		5V-Tolerant バッファ	0	—	0.8	V
ハイ・レベル入力電圧	V _{IH}	3.3V バッファ	2.0	—	V _{DD} + 0.3	V
		5V-Tolerant バッファ	2.0	—	5.5	V
入力立ち上がり／立ち下がり時間	t _{ried}	—	0	—	200	ns
	t _{rid}	—	0	—	200	ns
入力立ち上がり／立ち下がり時間 (クロック)	t _{ric}	—	0	—	4	ns
	t _{fic}	—	0	—	4	ns
入力立ち上がり／立ち下がり時間 (シュミット)	t _{ris}	—	0	—	1	ms
	t _{fis}	—	0	—	1	ms
動作周囲温度	T _A	—	-40	—	85	°C

8.4 DC 特性

表 8.6 DC 特性 (VDD = 3.3±0.165V, TA = -40~+85° C) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
動作消費電流	IDD	VI = VDD or GND	1.0V	—	715	1540	mA
			2.5V	—	290	305	mA
			3.3V	—	70	75	mA
オフステート電流	Ioz	VI = VDD or GND	3.3V 出力	—	—	±10	μA
			5V-Tolerant バッファ	—	—	±10	μA
出力短絡電流 [※]	Ios	VO = GND	—	—	—	-250	mA
入力リーク電流 (3.3V バッファ)	Ii	VI = VDD or GND	通常入力	—	—	±10	μA
		VI = GND	プルアップ抵抗付き (50kΩ)	-28.9	-65.7	-129.8	μA
			プルアップ抵抗付き (25kΩ)	-85.0	-160.0	-280.0	μA
		VI = VDD	プルダウン抵抗付き (50 kΩ)	10.2	43.4	83.9	μA
入力リーク電流 (5V-Tolerant バッファ)	Ii	VI = GND	プルアップ抵抗付き (50 kΩ)	39.0	—	100.9	μA

注. 出力短絡電流は 1 秒以下で、1 端子のみ。

備考. 表中の+, -は電流の方向を示しています。デバイスに流れ込む場合が+, 流れ出す場合が-です。

表 8.7 DC 特性 (VDD = 3.3±0.165V, TA = -40~+85° C) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロー・レベル出力電流 (3.3V バッファ)	IOL	VOL = 0.4V	6mA タイプ	6.0	—	—	mA
			12mA タイプ	12.0	—	—	mA
ロー・レベル出力電流 (5V-Tolerant バッファ)	IOL	VOL = 0.4V	4mA タイプ	4.0	—	—	mA
ハイ・レベル出力電流 (3.3V バッファ)	IOH	VOH = 2.4V	6mA タイプ	-6.0	—	—	mA
			12mA タイプ	-12.0	—	—	mA
ハイ・レベル出力電流 (5V-Tolerant バッファ)	IOH	VOH = 2.4V	4mA タイプ	-4.0	—	—	mA
ロー・レベル出力電圧	VOL	IOL = 0mA	3.3V バッファ	—	—	0.1	V
			5V-Tolerant バッファ	—	—	0.1	V
ハイ・レベル出力電圧	VOH	IOH = 0mA	3.3V バッファ	VDD - 0.1	—	—	V
			5V-Tolerant バッファ	VDD - 0.1	—	—	V

8.5 プルアップ／プルダウン抵抗値

表 8.8 プルアップ／プルダウン抵抗値 (VDD = 3.3±0.165V, TA = -40~+85° C)

項目	ライブラリ表現	MIN.	TYP.	MAX.	単位
Pull-up 抵抗 (3.3V バッファ)	50kΩ	24	45	78	kΩ
Pull-up 抵抗 (3.3V バッファ) (TCK, TMS, TDI)	25kΩ	10	21	40	kΩ
Pull-down 抵抗 (3.3V バッファ)	50kΩ	24	45	78	kΩ
Pull-up 抵抗 (5V-tolerant バッファ)	50kΩ	35.7	51.2	77.0	kΩ

8.6 端子容量

表 8.9 端子容量

項目	略号	MIN.	TYP.	MAX.	単位
入力バッファ	C _B	5.0	—	7.0	pF
出力バッファ		5.0	—	7.0	pF
入出力バッファ		5.0	—	7.0	pF

8.7 電源投入／遮断手順

R-IN32M4 と GbE-PHY に対する外部供給電源を、表 8.10 に示します。また、電源投入/遮断シーケンスを図 8.1 に示します。

電源投入順序について特に規定はありません。推奨として、外部供給電源 VDD10 を投入した後に、外部供給電源 VDD33 を投入してください。逆に電源遮断は、VDD33 を遮断した後に、VDD10 を遮断してください。

VDD33 を先に投入した場合は、VDD33 が立ち上がってから VDD10 が立ち上がるまでの期間、I/O バッファの入出力モードが確定せず不定出力となりますので、ご注意願います。

入出力端子への 3.3V 電圧の印加は、必ず電源電圧が確定してから行ってください。

表 8.10 外部供給電源

外部供給電源	電圧[V]	供給先	外部端子名
VDD33	3.3±0.165	R-IN32M4	VDD33 AVDD
		GbE-PHY	VDD33_GPHY
VDD25	2.5±0.125	GbE-PHY	VDD25A
VDD10	1.0±0.05	R-IN32M4	VDD10 PLL_VDD
		GbE-PHY	VDD1 VDD1A

(1) 電源投入

以下の2つの条件を同時に満たすように電源を投入してください。

- ① VDD33、VDD25、VDD10のうち、いずれかの電源が最初に10% VDD となってから全てのVDDが90% VDD 以上となるまでの時間が100ms 以内
- ② VDD33、VDD25、VDD10のうち、いずれかの電源が最初に95% VDD となってから全ての電源が95% VDD 以上となる時間が50ms 以内

(2) 電源遮断時

以下の2つの条件を同時に満たすように電源を遮断してください。

- ① VDD33、VDD25、VDD10のうち、いずれかの電源が最初に90% VDD となってから全ての電源が10% VDD 以下となるまでの時間が100ms 以内
- ② VDD33、VDD25、VDD10のうち、いずれかの電源が最初に95% VDD となってから全ての電源が95% VDD 以下となる時間が50ms 以内

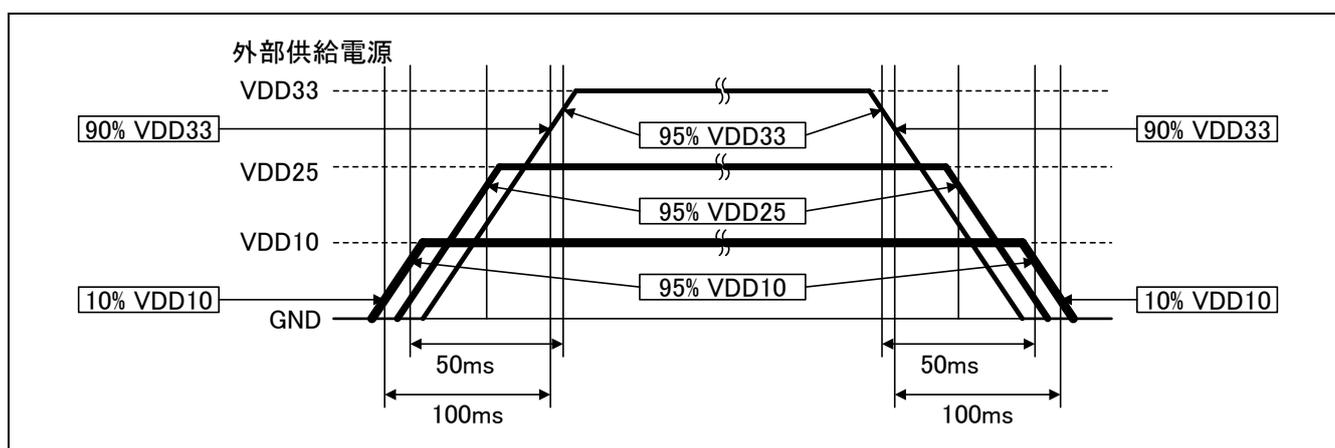


図 8.1 電源投入/遮断シーケンス

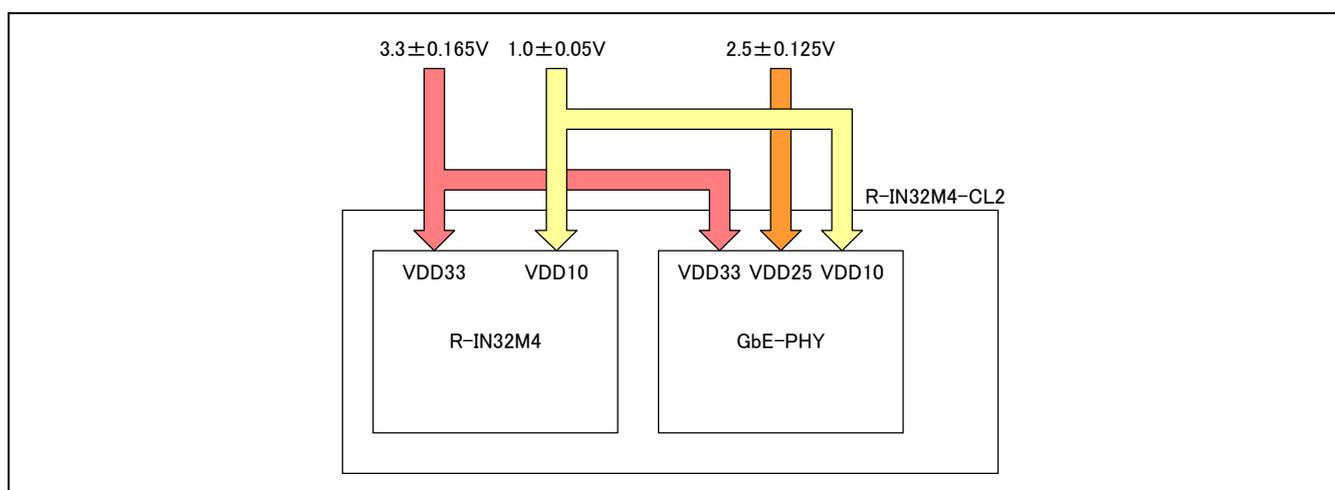


図 8.2 R-IN32M4チップとGbE-PHYへの電源供給経路

8.8 AC 特性

8.8.1 クロック端子

(1) 入力クロック

項目	略号	条件	MIN	MAX	単位
XT1, XT2	t _{SYCLK}	—	25±50ppm, 5ps-rms		MHz
CCM_CLK80M	t _{CCLCLK}	—	80±50ppm		MHz
CCI_CLK2_097M	t _{CCLIECLK}	—	2.097152±100ppm		MHz
HBUSCLK	t _{HBUSCLK}	—	—	50	MHz
CSISCK0, CSISCK1	t _{CSISCK}	スレーブ・モード	—	16.6	MHz
TCK	t _{TCK}	—	—	50	MHz

(2) 出力クロック

項目	略号	条件	MIN	MAX	単位
BUSCLK 出力周期	t _{BUSCLK}	C _L = 15pF	10	—	ns
BUSCLK ハイ・レベル幅	t _{BCKH}		$0.5 \times t_{BUSCLK} - 2.0$	$0.5 \times t_{BUSCLK} + 2.0$	ns
BUSCLK ロー・レベル幅	t _{BCKL}		$0.5 \times t_{BUSCLK} - 2.0$	$0.5 \times t_{BUSCLK} + 2.0$	ns
BUSCLK 立ち上がり時間	t _{BCKR}		—	1.2	ns
BUSCLK 立ち下がり時間	t _{BCKF}		—	1.2	ns
CSISCK0, CSISCK1 出力周波数	t _{CSIMSCK}	マスタ・モード C _L = 15pF	—	25	MHz
SCL0, SCL1 出力周波数	t _{SCL}	高速モード C _L = 30pF	—	400	kHz
SMSCK 出力周波数	t _{SMSCK}	C _L = 15pF	—	50	MHz
TRACECLK 出力周波数	t _{TRACECLK}	C _L = 15pF	—	50	MHz

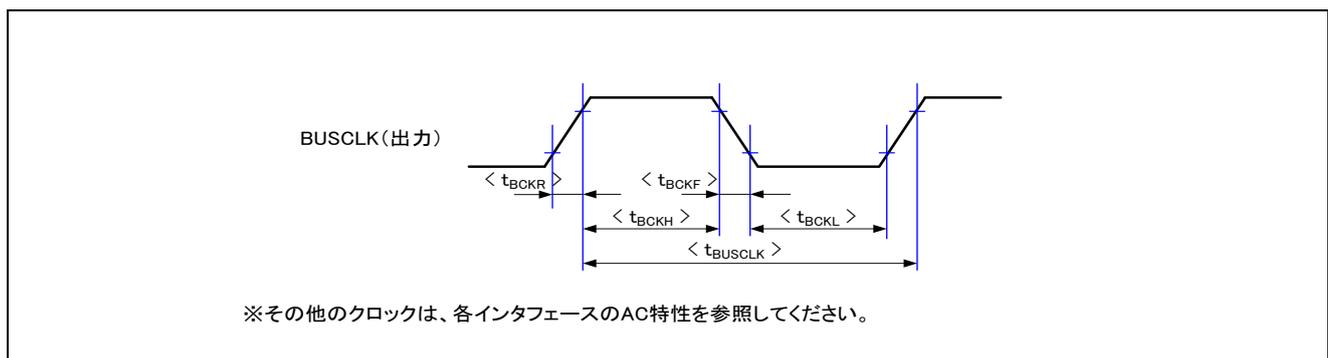


図 8.3 出力クロック・タイミング

8.8.2 リセット端子

項目	略号	条件	MIN	MAX	単位
RESETZ 端子入力ロー・レベル幅	t_{WRSL}	—	(外部発振回路の 発振安定時間+1 μ sec)を確保してく ださい。	—	ns
HOTRESETZ 端子入力ロー・レベル幅	t_{WHRSL}	—		—	ns
PONRZ 端子入力ロー・レベル幅	t_{WPRSL}	—		—	ns
PONRZ 入力タイミング(対 RESETZ \uparrow)	t_{SKPR}	—	0	—	ns

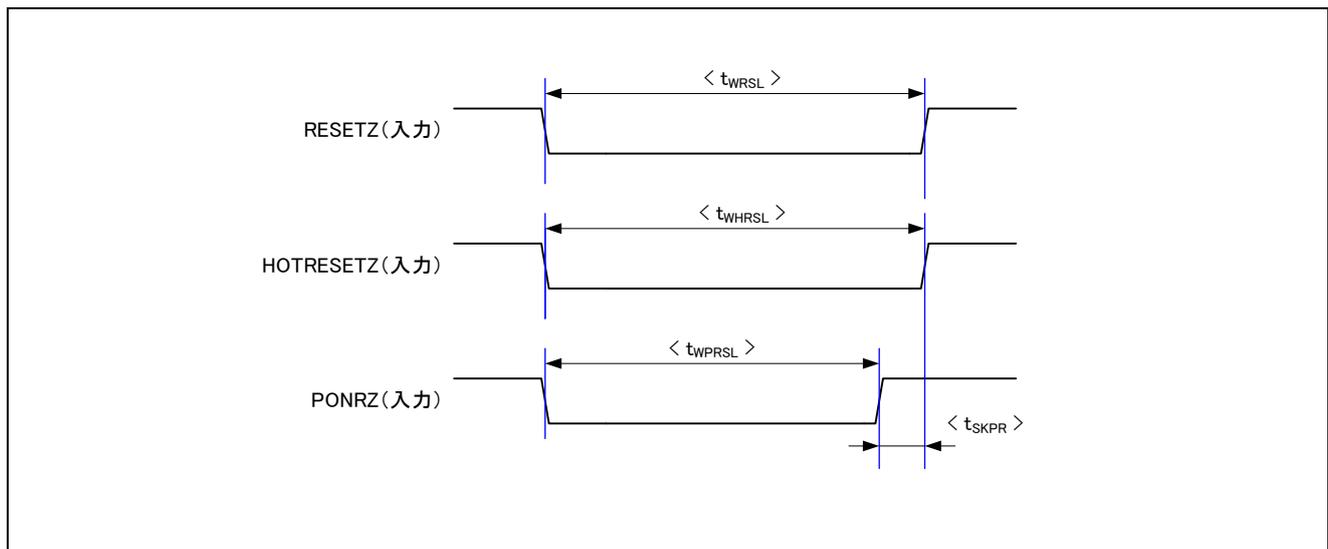


図 8.4 リセット・タイミング

8.8.3 外部メモリ・インタフェース端子

(1) 外部負荷による遅延値計算方法

R-IN32M4 の外部メモリ・インタフェース端子は、負荷条件がユーザにおいて異なることを考慮し、負荷 0pF の値を記載しています。ユーザの負荷条件に応じて、タイミングを算出してください。また、基板上的配線遅延もユーザにて考慮いただく必要があります。

ドライブ能力	1pF あたりの遅延値 (ns)	
	MIN.	MAX.
6mA	0.026	0.067
12mA	0.012	0.034

計算例)

アドレス端子 (6mA 出力バッファ) に、30pF の負荷がある場合、実際の遅延情報は以下のようになります。

$$\text{MIN. } 1.0\text{ns (0pF 時の MIN 遅延値)} + (0.026 \times 30) \text{ ns} = 1.78\text{ns}$$

$$\text{MAX. } 7.0\text{ns (0pF 時の MAX 遅延値)} + (0.067 \times 30) \text{ ns} = 9.01\text{ns}$$

(2) 非同期式 SRAM MEMC アクセス・タイミング

項目	略号	MIN	MAX	単位
アドレス、CSZ0-CSZ3 出力遅延時間 (対 BUSCLK ↑)	t _{DKA}	1.0 (1.78) 注	7.0 (9.01) 注	ns
RDZ 出力遅延時間 (対 BUSCLK ↑)	t _{DKRD}	1.0 (1.78) 注	7.0 (9.01) 注	ns
WRZ0 - WRZ3 (BENZ0-BENZ3), WRSTBZ 出力遅延時間 (対 BUSCLK ↑)	t _{DKWR}	1.0 (1.78) 注	7.0 (9.01) 注	ns
BCYSTZ 出力遅延時間 (対 BUSCLK ↑)	t _{DKBSL}	1.0 (1.78) 注	7.0 (9.01) 注	ns
WAITZ 入力設定時間 (対 BUSCLK ↓)	t _{SKW}	4.0	—	ns
WAITZ 入力保持時間 (対 BUSCLK ↓)	t _{HKW}	0	—	ns
データ入力設定時間 (対 BUSCLK ↑)	t _{SKID}	4.0	—	ns
データ入力保持時間 (対 BUSCLK ↑)	t _{HKID}	0	—	ns
データ出力遅延時間 (対 BUSCLK ↑)	t _{DKOD}	1.0 (1.78) 注	7.0 (9.01) 注	ns
データ・フロート遅延時間 (対 BUSCLK ↑)	t _{HKOD}	1.0 (1.78) 注	7.0 (9.01) 注	ns

注. カッコ内は、30pF負荷の場合の計算結果です。

(a) リード・タイミング

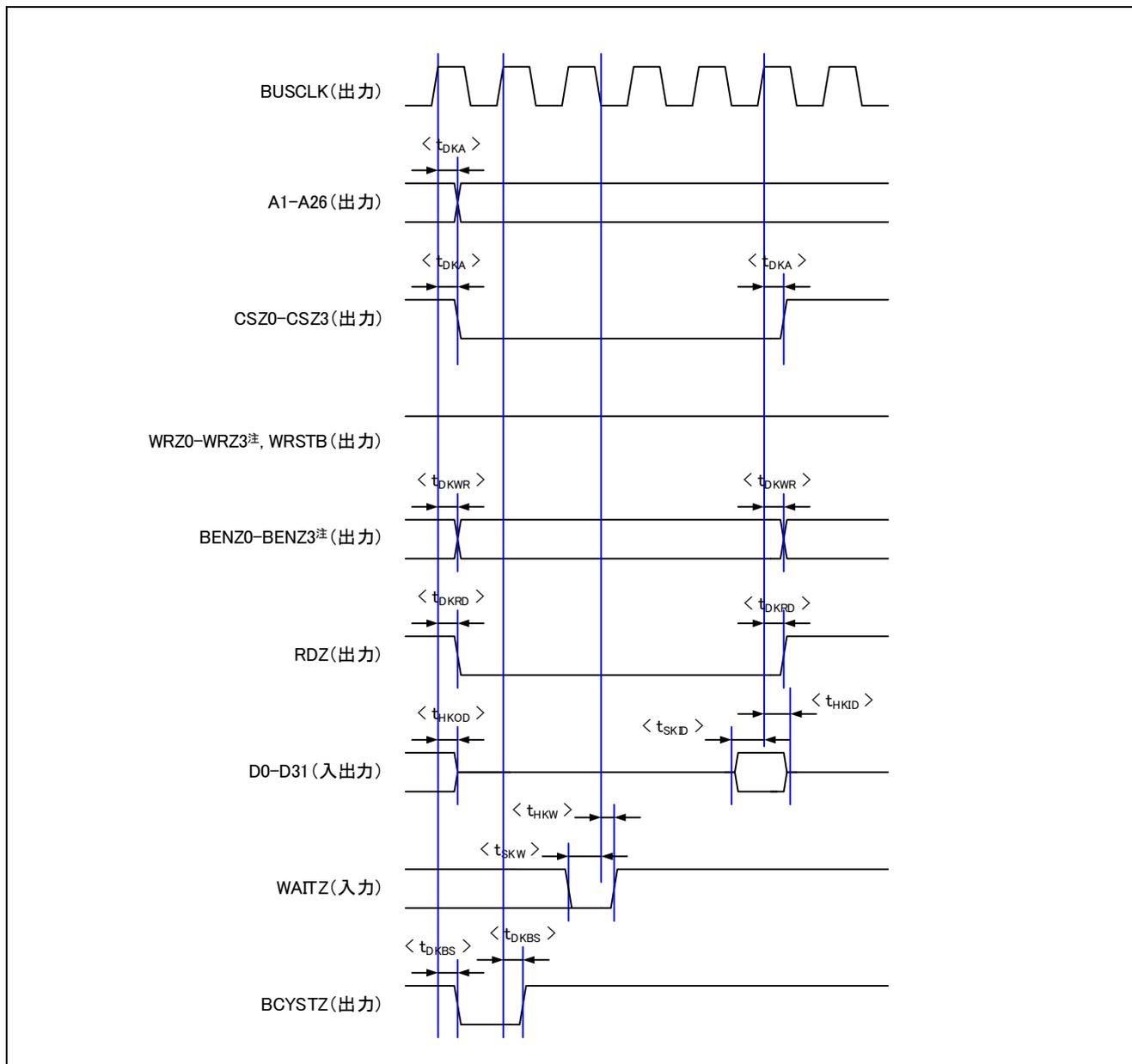


図 8.5 メモリ・コントローラ・リード・タイミング（非同期メモリ）★

注. WRZ0-WRZ3 と BENZ0-BENZ3 は兼用されています。端子名称は WRZ0-WRZ3 です。リセット時は、WRZ0-WRZ3 が選択されています。ライト・イネーブル切り替えレジスタ（WREN）で切り替えられます。

備考. SMCn レジスタによるアイドル・ウェイト数/ライト・リカバリ・ウェイト数/アドレス設定ウェイト数が 0、データ・ウェイト数が 3 の場合のタイミングです。

(b) ライト・タイミング

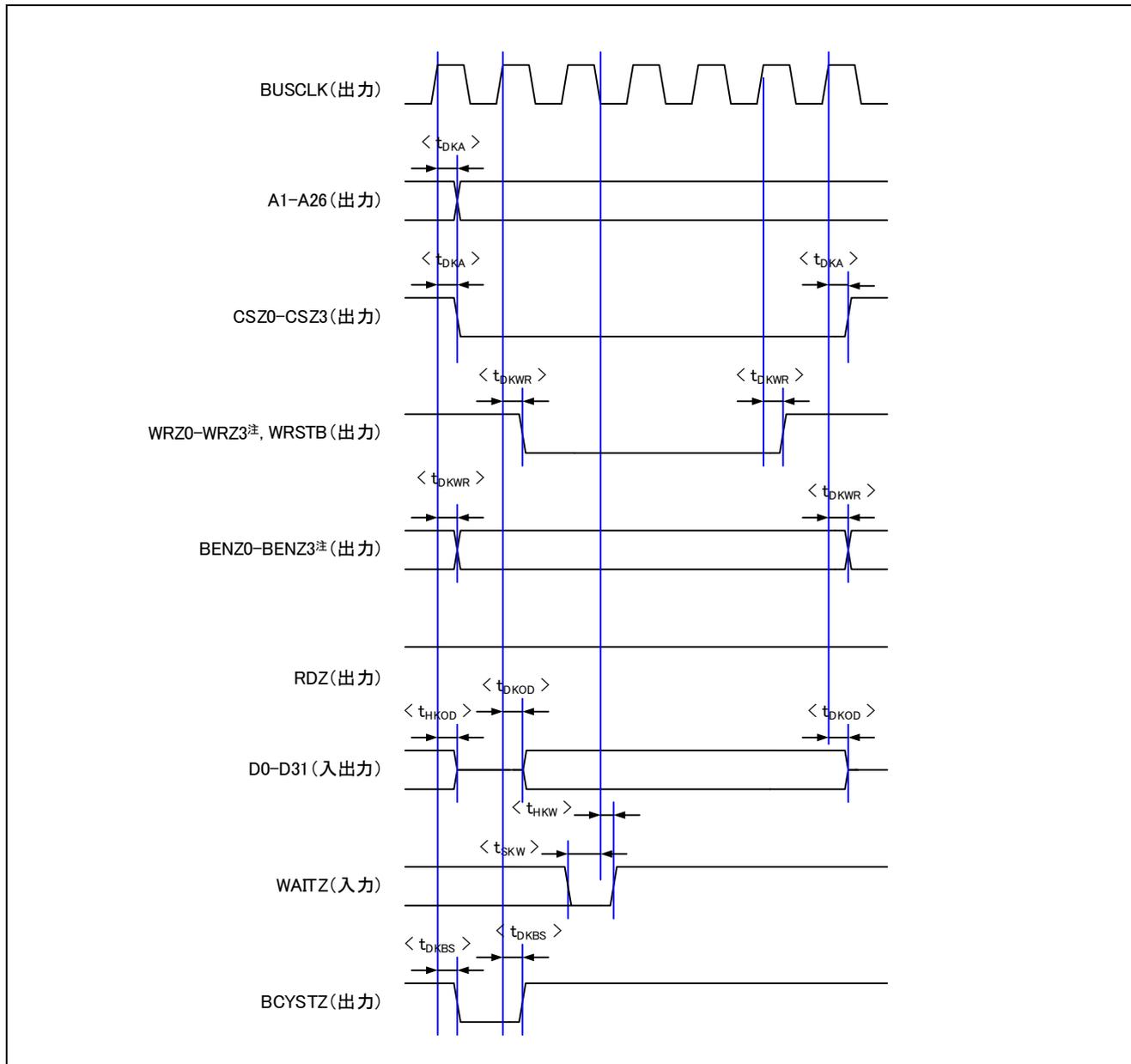


図 8.6 メモリ・コントローラ・ライト・タイミング（非同期メモリ）★

注. WRZ0-WRZ3 と BENZ0-BENZ3 は兼用されています。端子名称は WRZ0-WRZ3 です。リセット時は、WRZ0-WRZ3 が選択されています。ライト・イネーブル切り替えレジスタ（WREN）で切り替えられます。

備考. SMCn レジスタによるアイドル・ウェイト数／ライト・リカバリ・ウェイト数／アドレス設定ウェイト数が 0、データ・ウェイト数が 3 の場合のタイミングです。

(3) 同期式バースト・アクセス MEMC アクセス・タイミング

項目	略号	MIN	MAX	単位
BUSCLK 出力周波数	t _{BUSCLK}	—	50	MHz
アドレス、CSZ0-CSZ3 出力遅延時間	t _{DKA}	1.0 (1.78) 注	7.8 (9.81) 注	ns
RDZ 出力遅延時間	t _{DKRD}	1.0 (1.78) 注	7.8 (9.81) 注	ns
WRZ0 - WRZ3 (BENZ0-BENZ3), WRSTBZ 出力遅延時間	t _{DKWR}	1.0 (1.78) 注	7.8 (9.81) 注	ns
ADVZ 出力遅延時間	t _{DKBSL}	1.0 (1.78) 注	7.8 (9.81) 注	ns
WAITZ, WAITZ1-3 入力設定時間	t _{SKW}	5.3	—	ns
WAITZ, WAITZ1-3 入力保持時間	t _{HKW}	0	—	ns
データ入力設定時間	t _{SKID}	5.3	—	ns
データ入力保持時間	t _{HKID}	0	—	ns
データ出力遅延時間	t _{DKOD}	1.0 (1.78) 注	7.8 (9.81) 注	ns
データ・フロート遅延時間	t _{HKOD}	1.0 (1.78) 注	7.8 (9.81) 注	ns

注. カッコ内は、30pF 負荷の場合の計算結果です。

(a) リード・タイミング

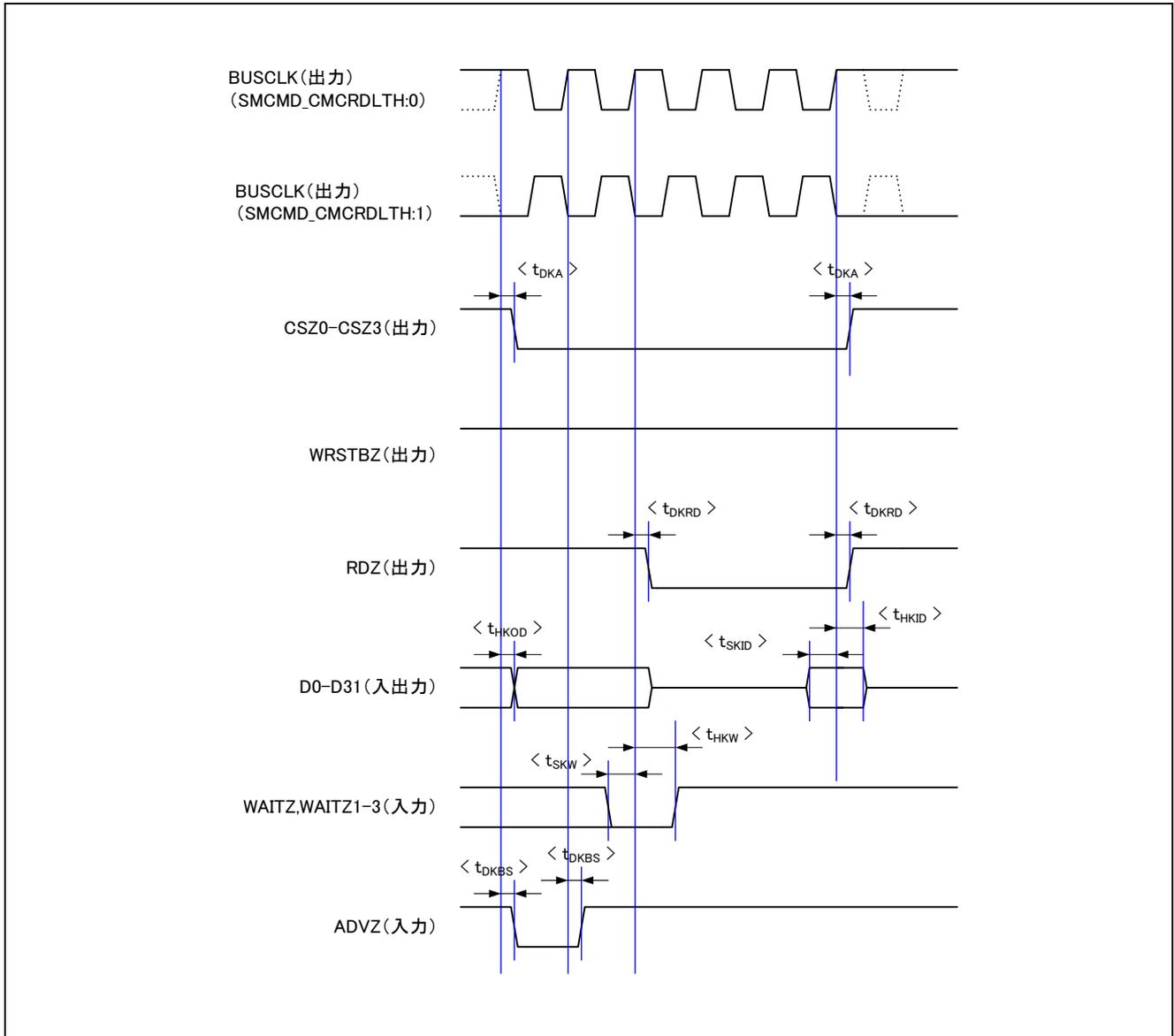


図 8.7 メモリ・コントローラ・リード・タイミング (クロック同期式メモリ)

備考. t_{ceoe} が 2、 t_{rc} が 4 の場合のタイミングです。

(b) ライト・タイミング

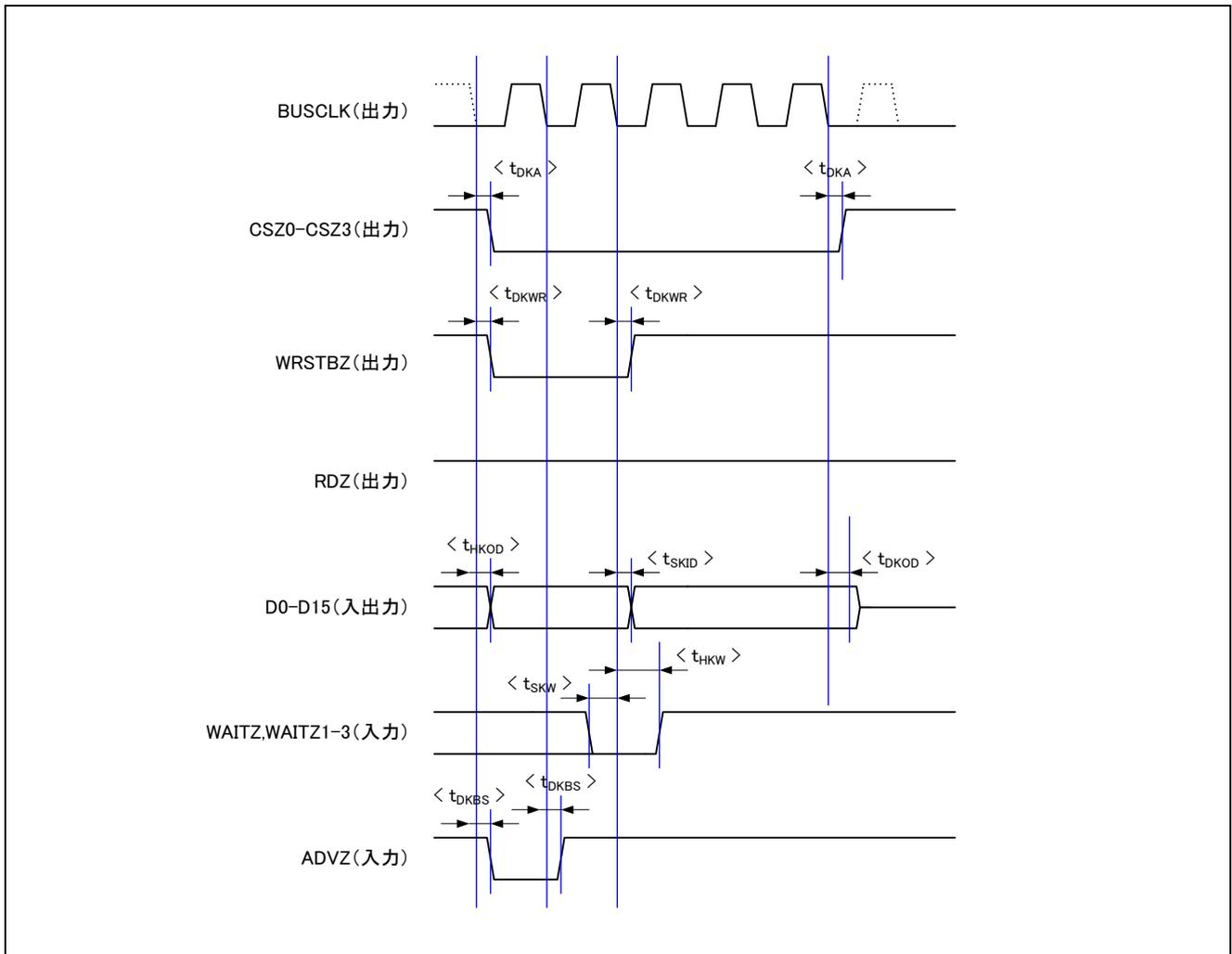


図 8.8 メモリ・コントローラ・ライト・タイミング (クロック同期式メモリ)

備考. t_{wp} が 2、 t_{wc} が 5 の場合のタイミングです。

8.8.4 外部マイコン・インタフェース端子

外部マイコン・インタフェース端子の負荷条件は、65pF（HD 端子）、35pF（HWAITZ 端子）です。

(1) 同期モード

番号	項目	略号	MIN	MAX	単位
1	HBUSCLK ハイ・レベル幅	t_{HBHIGH}	$0.5t_{HBUSCLK}-2.1$	$0.5t_{HBUSCLK}+2.1$	ns
2	HBUSCLK ロー・レベル幅	t_{HBLow}	$0.5t_{HBUSCLK}-2.1$	$0.5t_{HBUSCLK}+2.1$	ns
3	HBUSCLK 入力周期	$t_{HBUSCLK}$	20.0	—	ns
4	アドレス、HCSZ, HPGCSZ, HRDZ 入力設定時間 (対 HBUSCLK ↑)	t_{SKHA}	4.0	—	ns
5	HBENZ0-HBENZ3 (HWRZ0-HWRZ3) , HWRSTBZ 入力設定時間 (対 HBUSCLK ↑)	t_{SKHWR}	4.0	—	ns
6	アドレス、HCSZ, HPGCSZ, HRDZ 入力保持時間 (対 HBUSCLK ↑)	t_{HKHA}	1.0	—	ns
7	HBENZ0-HBENZ3 (HWRZ0-HWRZ3) , HWRSTBZ 入力保持時間 (対 HBUSCLK ↑)	t_{HKHWR}	1.0	—	ns
8	HWRZ0-HWRZ3, HWRSTBZ リカバリ時間 (ハイ幅)	t_{WHWR}	35.0	—	ns
9	データ入力設定時間 (対 HBUSCLK ↑)	t_{SKIHD}	4.0	—	ns
10	データ入力保持時間 (対 HBUSCLK ↑)	t_{HKIHD}	1.0	—	ns
11	HWAITZ 出力遅延時間 (対 HCSZ, HPGCSZ ↓)	t_{DKHD}	2.2	—	ns
12	HWAITZ 出力遅延時間 (対 HWRSTBZ, HWRZ0- HWRZ3 ↓)	t_{DKHWT}	2.2	—	ns
13	HWAITZ 有効データ出力遅延時間 (対 HBUSCLK ↑)	t_{DKHWTV}	2.0	11.0★	ns
14	HWAITZ 有効データ保持期間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↑)	t_{HKHWTV}	4.2	—	ns
15	HWAITZ 出力保持期間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↑)	t_{HKWTWR}	—	16.8	ns
16	データ、HWAITZ の出力保持時間 (対 HCSZ, HPGCSZ ↑)	t_{HKWTCS}	—	16.8	ns
17	HRDZ リカバリ時間 (ハイ幅)	t_{WHRD}	35.0	—	ns
18	データ、HWAITZ 出力遅延時間 (対 HRDZ ↓)	t_{DKHDHR}	2.2	—	ns
19	データ確定時間 (対 HWAITZ ↑)	$t_{SKHDHWT}$	$t_{HBUSCLK}-10.0$	—	ns
20	データ、HWAITZ 有効データ出力保持時間 (対 HRDZ ↑)	$t_{HKHWTHR}$	2.2	—	ns
21	データ、HWAITZ 出力保持時間 (対 HRDZ ↑)	t_{HKOHD}	—	16.8	ns
22	オンページ・アクセス時のデータ、HWAITZ 出力遅延時間 (対アドレス)	t_{DKPON}	4.2	15.4	ns
23	オフページ・アクセス時のデータ、HWAITZ 出力遅延時間 (対アドレス) (16Byte 境界を超えない場合)	t_{DKPOFF}	4.2	15.4	ns
	オフページ・アクセス時のデータ、HWAITZ 出力遅延時間 (対アドレス) (16Byte 境界を超える場合)	t_{DKPOFF}	4.2	49.5	ns
24	HWAITZ 有効データ出力遅延時間 (対 HCSZ, HPGCSZ ↓)	$t_{DKWTVCS}$	—	15.4	ns

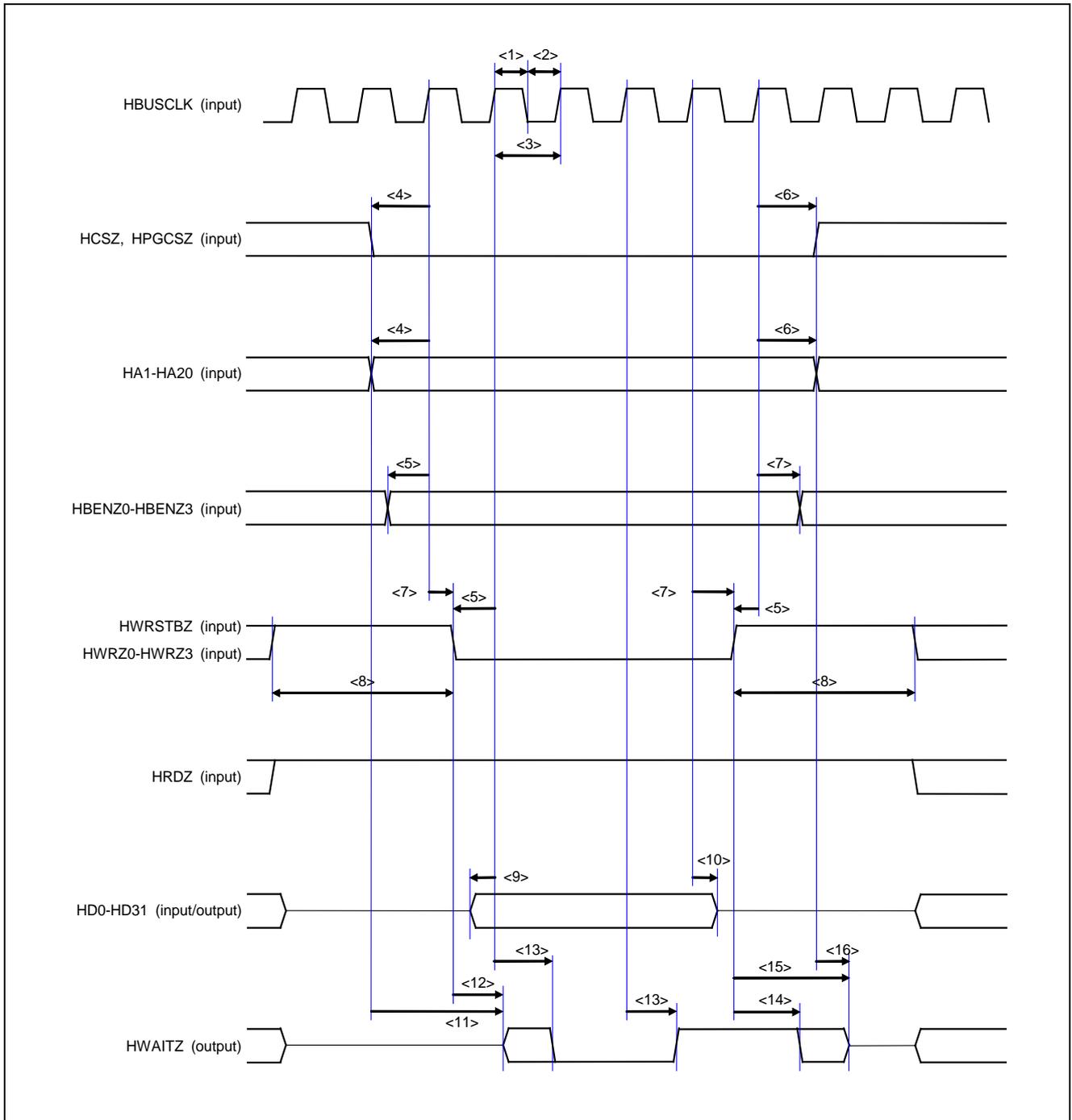


図 8.9 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=L, HIFSYNC=H)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

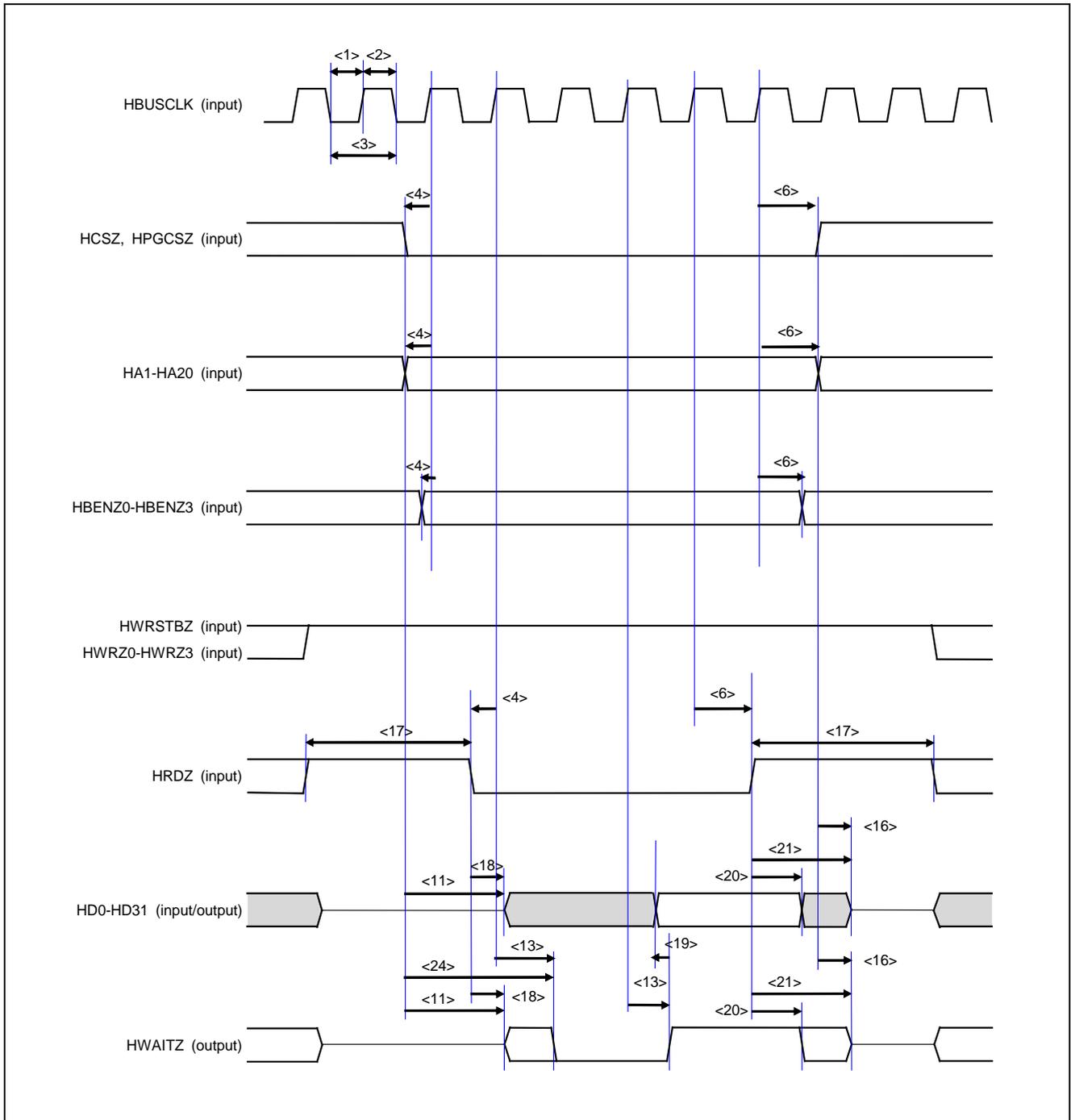


図 8.10 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=L, HIFSYNC=H)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

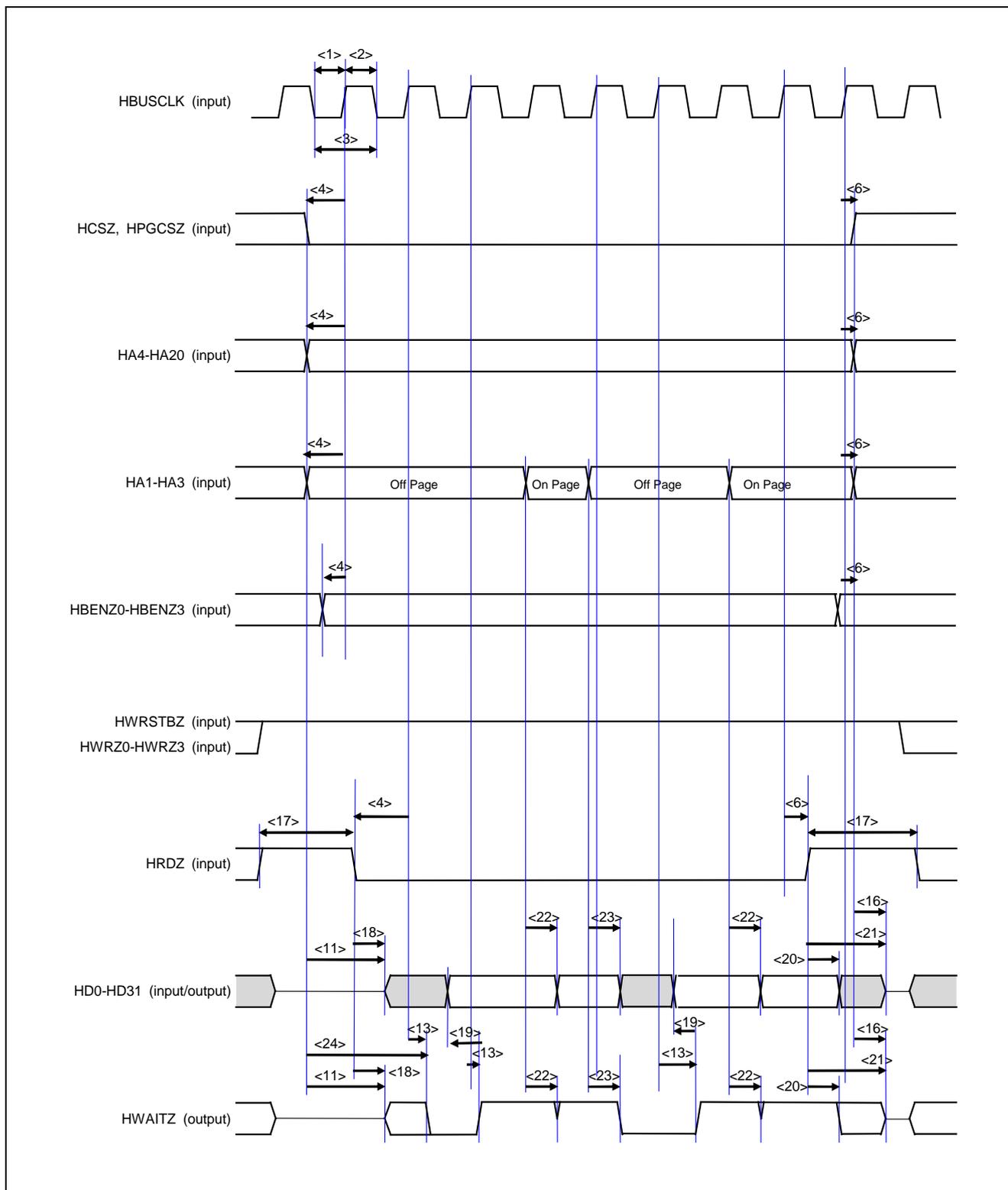


図 8.11 外部マイコン・インタフェース・ページ・リード・タイミング (MEMCSEL=L, HIFSYNC=H)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

(2) 同期モード (CC-Link IE Field)

番号	項目	略号	MIN	MAX	単位
1	HBUSCLK ハイ・レベル幅	t_{HBHIGH}	$0.5t_{HBUSCLK}-2.1$	$0.5t_{HBUSCLK}+2.1$	ns
2	HBUSCLK ロー・レベル幅	t_{HBLow}	$0.5t_{HBUSCLK}-2.1$	$0.5t_{HBUSCLK}+2.1$	ns
3	HBUSCLK 入力周期	$t_{HBUSCLK}$	20.0	—	ns
4	アドレス、HCSZ, HPGCSZ, 入力設定時間 (対 HBUSCLK ↓)	t_{SKHCS}	4.0	—	ns
5	HBENZ0-HBENZ3 (HWRZ0-HWRZ3), HWRSTBZ 入力設定時間 (対 HBUSCLK ↓)	t_{SKHWR}	4.0	—	ns
6	アドレス、HCSZ, HPGCSZ, HBENZ0-HBENZ3, データ 入力保持時間 (対 HRDZ, HWRSTBZ, HWRZ0-HWRZ3 ↑)	t_{HKHA}	0	—	ns
7	HWRZ0-HWRZ3, HWRSTBZ リカバリ時間 (ハイ幅)	t_{WHWR}	$t_{HBUSCLK} \times 1$	—	ns
8	データ入力設定時間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↓)	t_{SKHD}	0	—	ns
9	HWAITZ 出力遅延時間 (対 HCSZ, HPGCSZ ↓)	t_{DKHD}	2.2	—	ns
10	HWAITZ 出力遅延時間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↓)	t_{DKHWT}	2.2	—	ns
11	HWAITZ 有効データ出力遅延時間 (対 HBUSCLK ↑) HWAITZ 出力は HBUSCLK ↑ 同期モード	t_{DKHWTV}	4.0	12.0	ns
	HWAITZ 有効データ出力遅延時間 (対 HBUSCLK ↓) HWAITZ 出力は HBUSCLK ↓ 同期モード	t_{DKHWTV}	4.0	12.0	ns
12	HWAITZ 有効データ保持期間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↑)	t_{HKHWTV}	4.2	—	ns
13	HWAITZ 出力保持期間 (対 HWRSTBZ, HWRZ0-HWRZ3 ↑)	t_{HKWTWR}	—	16.8	ns
14	データ、HWAITZ の出力保持時間 (対 HCSZ, HPGCSZ ↑)	t_{HKWTCS}	—	16.8	ns
15	HRDZ リカバリ時間 (ハイ幅)	t_{WHRD}	$t_{HBUSCLK} \times 1$	—	ns
16	データ、HWAITZ 出力遅延時間 (対 HRDZ ↓)	t_{DKHDHR}	2.2	—	ns
17	HWAITZ 有効データ出力遅延時間 (対 HRDZ, HWRSTBZ, HWRZ0 - HWRZ3 のラッチタイミング) HWAITZ 出力は HBUSCLK ↑ 同期モード	$t_{DKWTVHR}$	—	$t_{HBUSCLK}/2$ + 12.0	ns
	HWAITZ 有効データ出力遅延時間 (対 HRDZ, HWRSTBZ, HWRZ0 - HWRZ3 のラッチタイミング) HWAITZ 出力は HBUSCLK ↓ 同期モード	$t_{DKWTVHR}$	—	$t_{HBUSCLK}$ + 12.0	ns
18	データ確定時間 (対 HWAITZ ↑) HWAITZ 出力は HBUSCLK ↑ 同期モード	$t_{SKHDHWT}$	6.23	—	ns
	データ確定時間 (対 HWAITZ ↓) HWAITZ 出力は HBUSCLK ↓ 同期モード	$t_{SKHDHWT}$	16.2	—	ns
19	データ、HWAITZ 有効データ出力保持時間 (対 HRDZ ↑)	$t_{HKHWTWR}$	4.2	—	ns
20	データ、HWAITZ 出力保持時間 (対 HRDZ ↑)	t_{HKOHD}	—	16.8	ns
21	HRDZ 入力設定時間 (対 HBUSCLK ↓)	t_{SKHRD}	4.0	—	ns

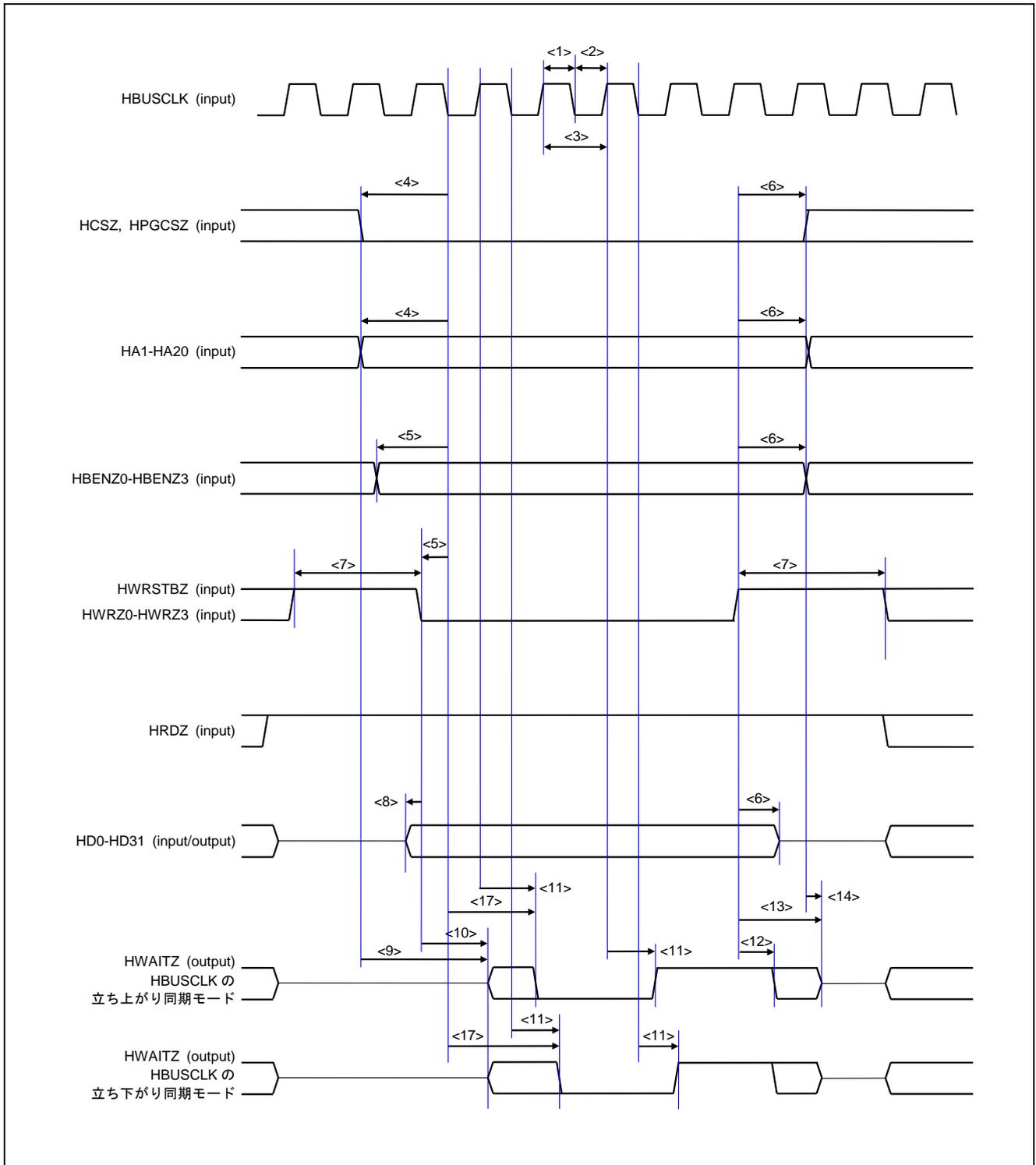


図 8.12 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=L, HIFSYNC=H)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

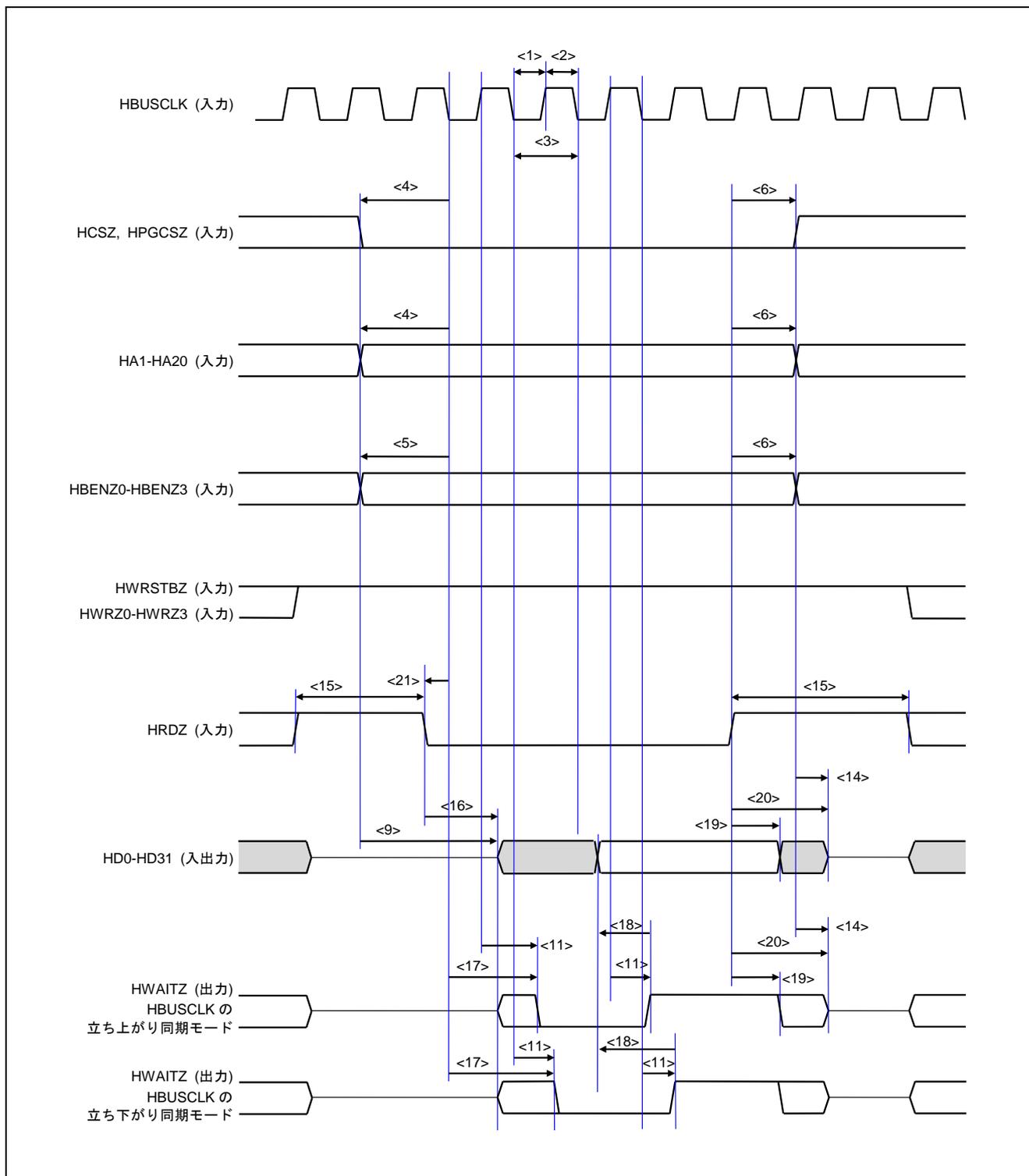


図 8.13 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=L, HIFSYNC=H)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

(3) 非同期モード

番号	項目	略号	MIN	MAX	単位
1	アドレス、HCSZ/HPGCSZ、HBENZ0-HBENZ3 入力設定時間（対 HWRSTBZ, HWRZ0-HWRZ3↓）	t _{ADDWRS}	7.0 ^{注1} - 10×n	—	ns
2	HWRZ0-HWRZ3, HWRSTBZ リカバリ時間（ハイ幅）	t _{WRW}	35.0	—	ns
3	データ入力設定時間（対 HWRSTBZ, HWRZ0-HWRZ3↓）	t _{WRS}	7.0 ^{注1} - 10×n	—	ns
4	データ入力保持時間（対 HWRSTBZ, HWRZ0-HWRZ3↑）	t _{WRH}	7.0	—	ns
5	HWAITZ 出力遅延時間（対 HCSZ or HPGCSZ↓）	t _{CLZ}	2.2	—	ns
6	HWAITZ 出力遅延時間（対 HWRSTBZ, HWRZ0-HWRZ3↓）	t _{WAITD}	2.2	—	ns
7	HWAITZ 有効データ出力遅延時間 （対 HWRSTBZ, HWRZ0-HWRZ3↓）	t _{WRWAITF}	—	15.4	ns
8	HWAITZ 有効データ出力保持時間 （対 HWRSTBZ, HWRZ0-HWRZ3↑）	t _{WAITVH}	4.2	—	ns
9	HWAITZ 出力保持時間（対 HWRZ0-3, HWRSTBZ↑）	t _{WAITH}	—	16.8	ns
10	アドレス、HWAITZ 出力保持時間（対 HCSZ、HPGCSZ↑）	t _{CHZ}	—	16.8	ns
11	アドレス、HCSZ, HPGCSZ 入力設定時間（対 HRDZ↓）	t _{ADDRDS}	6.2 ^{注2} - 10×n	—	ns
12	ページ・アクセス時のアドレス入力保持時間（対 HRDZ↑）	t _{ADDRDH}	7.0	—	ns
13	HRDZ リカバリ時間（ハイ幅）	t _{RDW}	35.0	—	ns
14	データ、HWAITZ 出力遅延時間（対 HRDZ↓）	t _{RDLZ}	2.2	—	ns
15	HWAITZ 有効データ出力遅延時間（対 HRDZ↓）	t _{RDWAITF}	—	15.4	ns
16	データ確定時間（対 HWAITZ↑）	t _{WAITR}	—	-6.2 ^{注3} +10×n	ns
17	データ、HWAITZ 有効データ出力保持時間（対 HRDZ↑）	t _{DATAOH}	2.2	—	ns
18	データ、HWAITZ 出力保持時間（対 HRDZ↑）	t _{RDHZ}	—	16.8	ns
19	オンページ・アクセス時のデータ、HWAITZ 出力遅延時間 （対アドレス）	t _{PAGEOND}	4.2	15.4	ns
20	オフページ・アクセス時のデータ、HWAITZ 出力遅延時間 （対アドレス）（16Byte 境界を超えない場合）	t _{PAGEOFD}	4.2	15.4	ns
	オフページ・アクセス時のデータ、HWAITZ 出力遅延時間 （対アドレス）（16Byte 境界を超える場合）	t _{PAGEOFD}	4.2	49.5	ns
21	HWAITZ 有効データ出力遅延時間（対 HCSZ, HPGCSZ↓）	t _{WAITVD}	—	15.4	ns

注 1. HIFBTC レジスタの WRSTD2-WRSTD0 の値が 000B の場合です。

n : WRSTD2-WRSTD0 の設定値

2. HIFBTC レジスタの RDSTD1-RDSTD0 の値が 00B の場合です。

n : RDSTD1-RDSTD0 の設定値

3. HIFBTC レジスタの RDDTS1-RDDTS0 の値が 00B の場合です。

n : RDDTS1-RDDTS0 の設定値

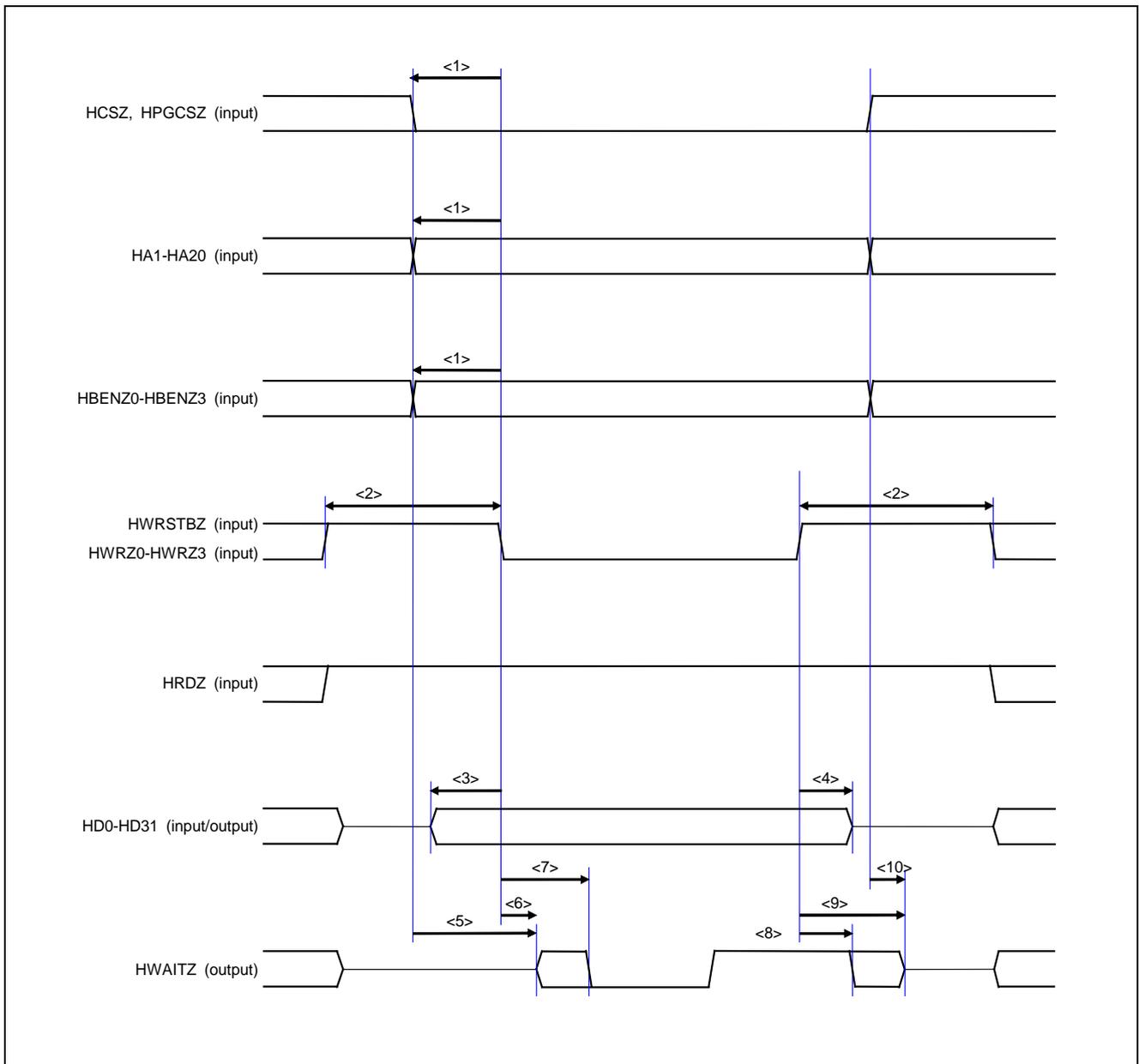


図 8.14 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=L, HIFSYNC=L)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

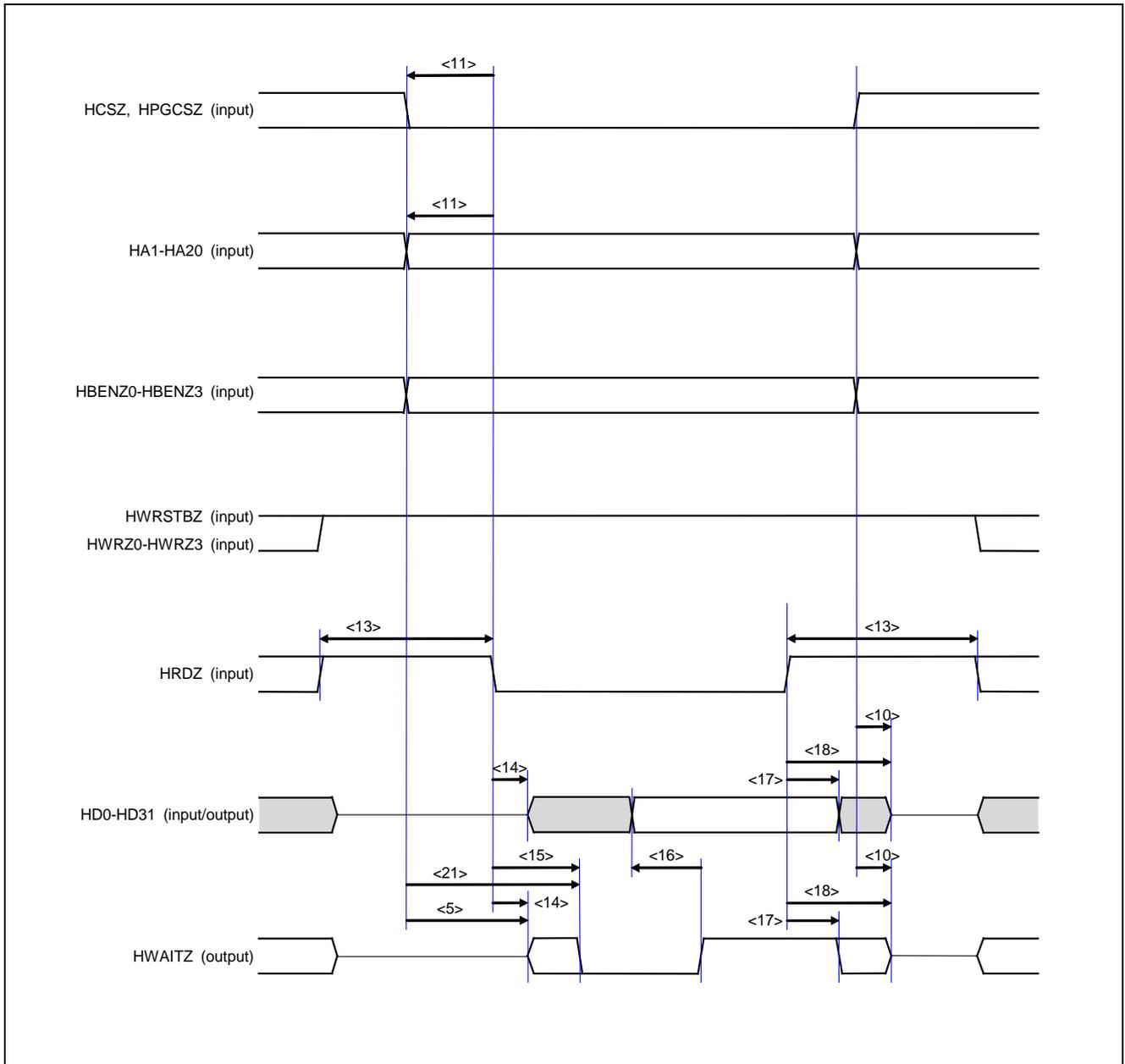


図 8.15 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=L, HIFSYNC=L)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

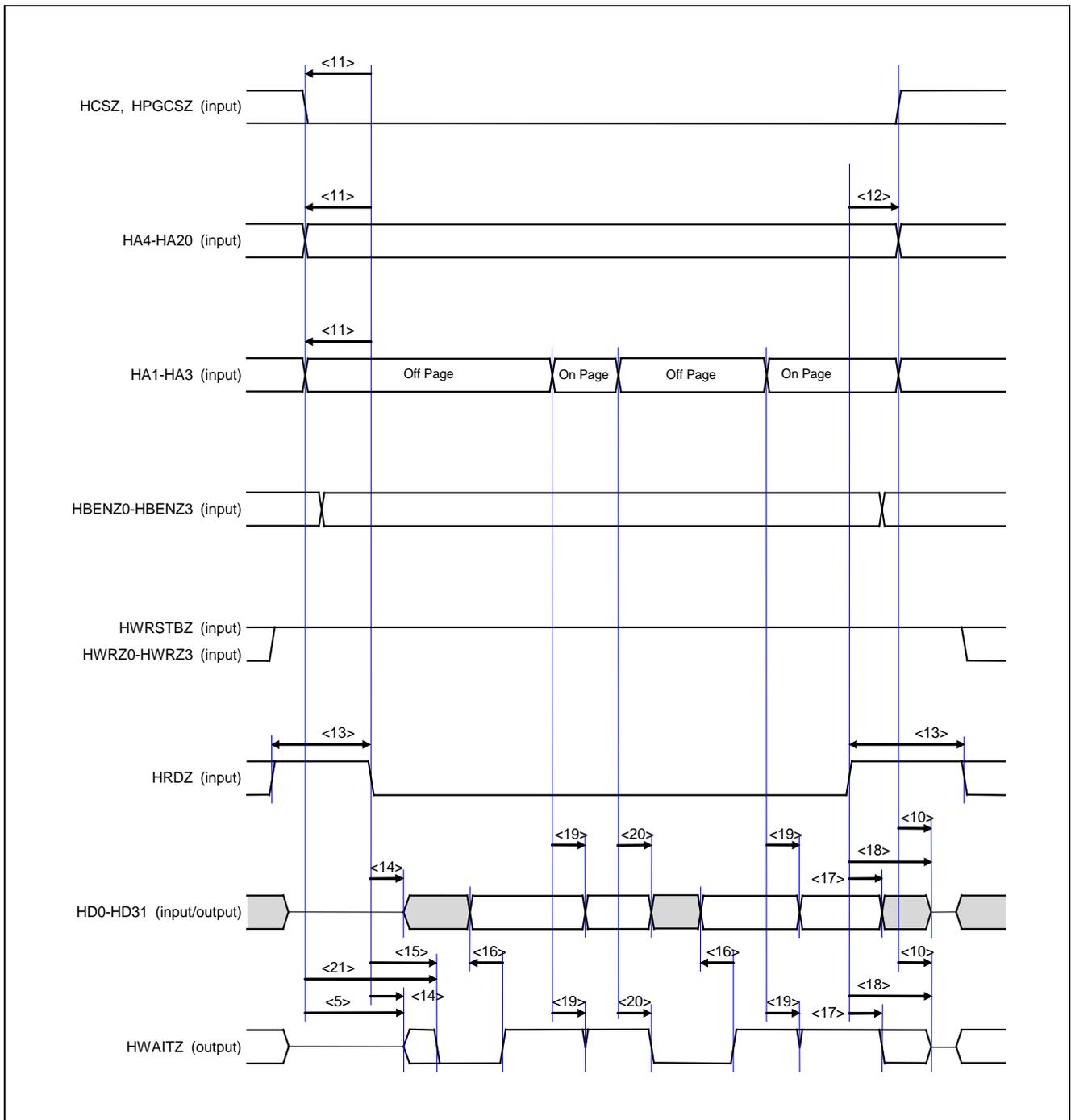


図 8-16 外部マイコン・インタフェース・ページ・リード・タイミング (MEMCSEL=L, HIFSYNC=L)

注意. アクセス中は、アドレス/データ/制御系信号には安定した信号を供給してください。

(4) 同期式 SRAM タイプ転送モード

番号	項目	略号	MIN	MAX	単位
1	HBUSCLK ハイ・レベル幅	t _{BHIGH}	0.5t _{HBUSCLK} -2.1	0.5t _{HBUSCLK} +2.1	ns
2	HBUSCLK ロー・レベル幅	t _{BLOW}	0.5t _{HBUSCLK} -2.1	0.5t _{HBUSCLK} +2.1	ns
3	HBUSCLK 入力周期	t _{HBUSCLK}	20	—	ns
4	アドレス、HCSZ/HPGCSZ 入力設定時間 (対 HBUSCLK ↑)	t _{SKPHA}	4.0	—	ns
5	アドレス、HCSZ/HPGCSZ 入力保持時間 (対 HBUSCLK ↑)	t _{HKPCS}	1.0	—	ns
6	アドレス、HCSZ/HPGCSZ 入力設定時間 (対 HBUSCLK ↓)	t _{SKNHA}	4.0	—	ns
7	アドレス、HCSZ, HPGCSZ 入力保持時間 (対 HBUSCLK ↓)	t _{HKNHA}	1.0	—	ns
8	HWRZ0-HWRZ3 入力設定時間 (対 HBUSCLK ↑)	t _{SKPHWR}	4.0	—	ns
9	HWRZ0-HWRZ3 入力保持時間 (対 HBUSCLK ↑)	t _{HKPHWR}	1.0	—	ns
10	HWRZ0-HWRZ3 入力設定時間 (対 HBUSCLK ↓)	t _{SKNHWR}	4.0	—	ns
11	HWRZ0-HWRZ3 入力保持時間 (対 HBUSCLK ↓)	t _{HKNHWR}	1.0	—	ns
12	HBCYSTZ, HWRSTBZ 入力設定時間 (対 HBUSCLK ↑)	t _{SKPHBCY}	4.0	—	ns
13	HBCYSTZ, HWRSTBZ 入力保持時間 (対 HBUSCLK ↑)	t _{HKPHBCY}	1.0	—	ns
14	HBCYSTZ, HWRSTBZ 入力設定時間 (対 HBUSCLK ↓)	t _{SKNHBCY}	4.0	—	ns
15	HBCYSTZ, HWRSTBZ 入力保持時間 (対 HBUSCLK ↓)	t _{HKNHBCY}	1.0	—	ns
16	HRDZ 入力設定時間 (対 HBUSCLK ↑)	t _{SKPHRD}	4.0	—	ns
17	HRDZ 入力保持時間 (対 HBUSCLK ↑)	t _{HKPHRD}	1.0	—	ns
18	HRDZ 入力設定時間 (対 HBUSCLK ↓)	t _{SKNHRD}	4.0	—	ns
19	HRDZ 入力保持時間 (対 HBUSCLK ↓)	t _{HKNHRD}	1.0	—	ns
20	データ入力設定時間 (対 HBUSCLK ↑)	t _{SKPHD}	4.0	—	ns
21	データ入力保持時間 (対 HBUSCLK ↑)	t _{HKPHD}	1.0	—	ns
22	データ入力設定時間 (対 HBUSCLK ↓)	t _{SKNHd}	4.0	—	ns
23	データ入力保持時間 (対 HBUSCLK ↓)	t _{HKNHd}	1.0	—	ns
24	データ出力遅延時間 (対 HRDZ ↓)	t _{DKNHRD}	2.2	—	ns
25	データ出力保持時間 (対 HRDZ ↑)	t _{HKPHRD}	—	16.8	ns
26	データ出力遅延時間 (対 HBUSCLK ↑)	t _{DKPHD}	2.0	10.0	ns
27	データ出力遅延時間 (対 HBUSCLK ↓)	t _{DKNHd}	2.0	10.0	ns
28	HWAITZ 出力遅延時間 (対 HBUSCLK ↑)	t _{DKPHWT}	2.0	11.0★	ns
29	HWAITZ 出力遅延時間 (対 HBUSCLK ↓)	t _{DKNHWT}	2.0	11.0★	ns
30	データ出力保持時間 (対 HCSZ/HPGCSZ ↑)	t _{HKPHCS}	—	16.8	ns

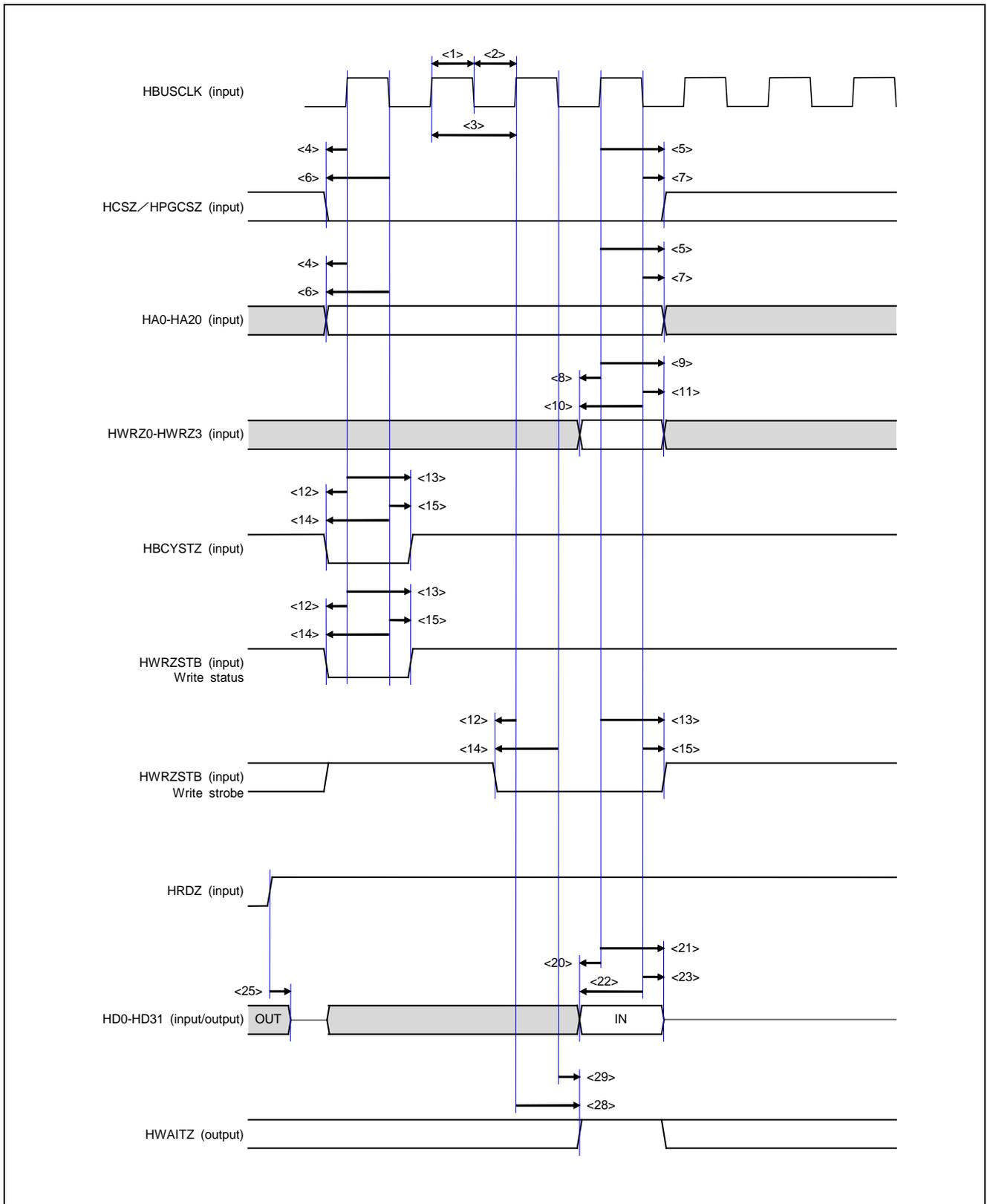


図 8.17 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=H, ADMUXMODE=L) ★

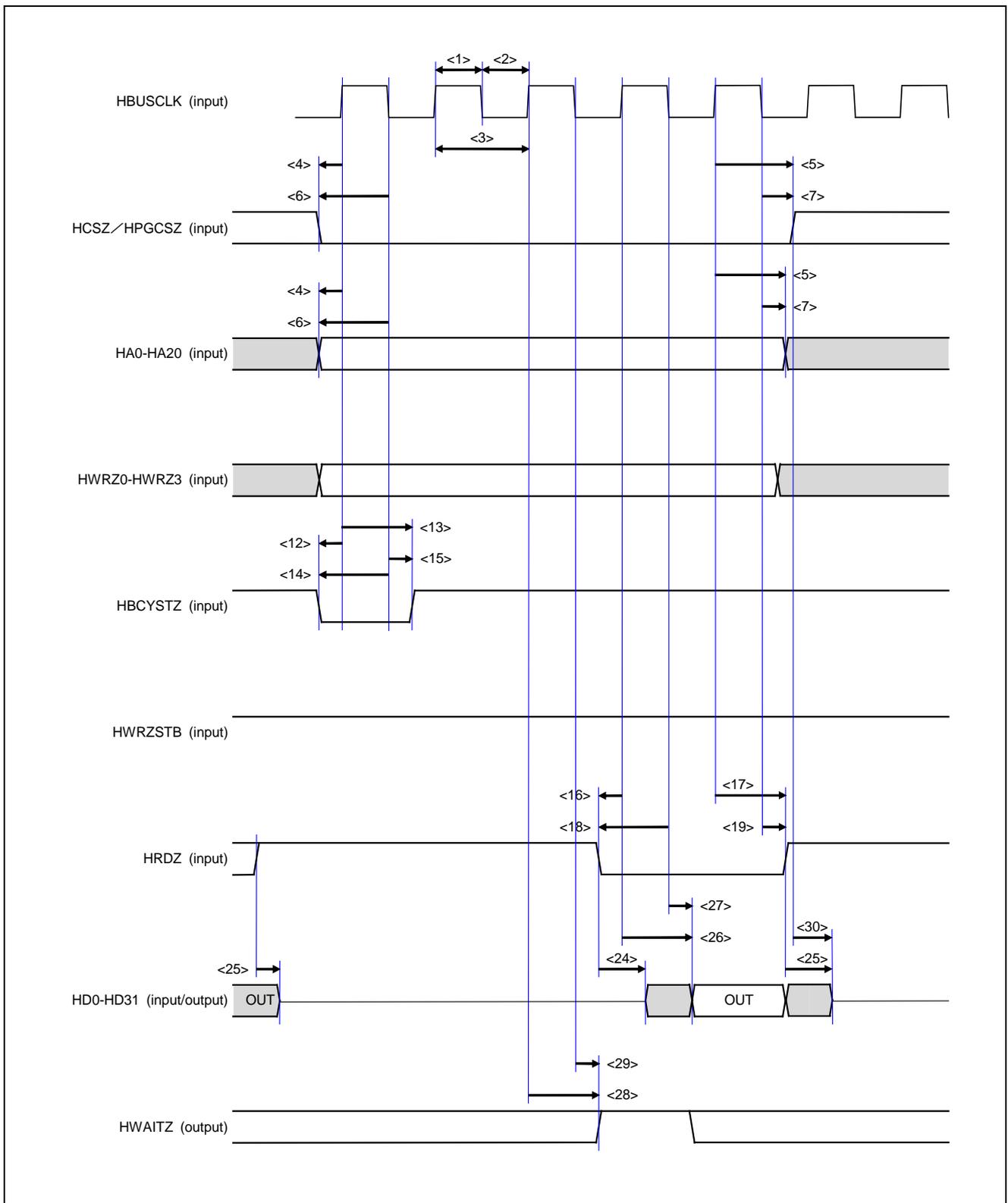


図 8.18 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=H, ADMUXMODE=L) ★

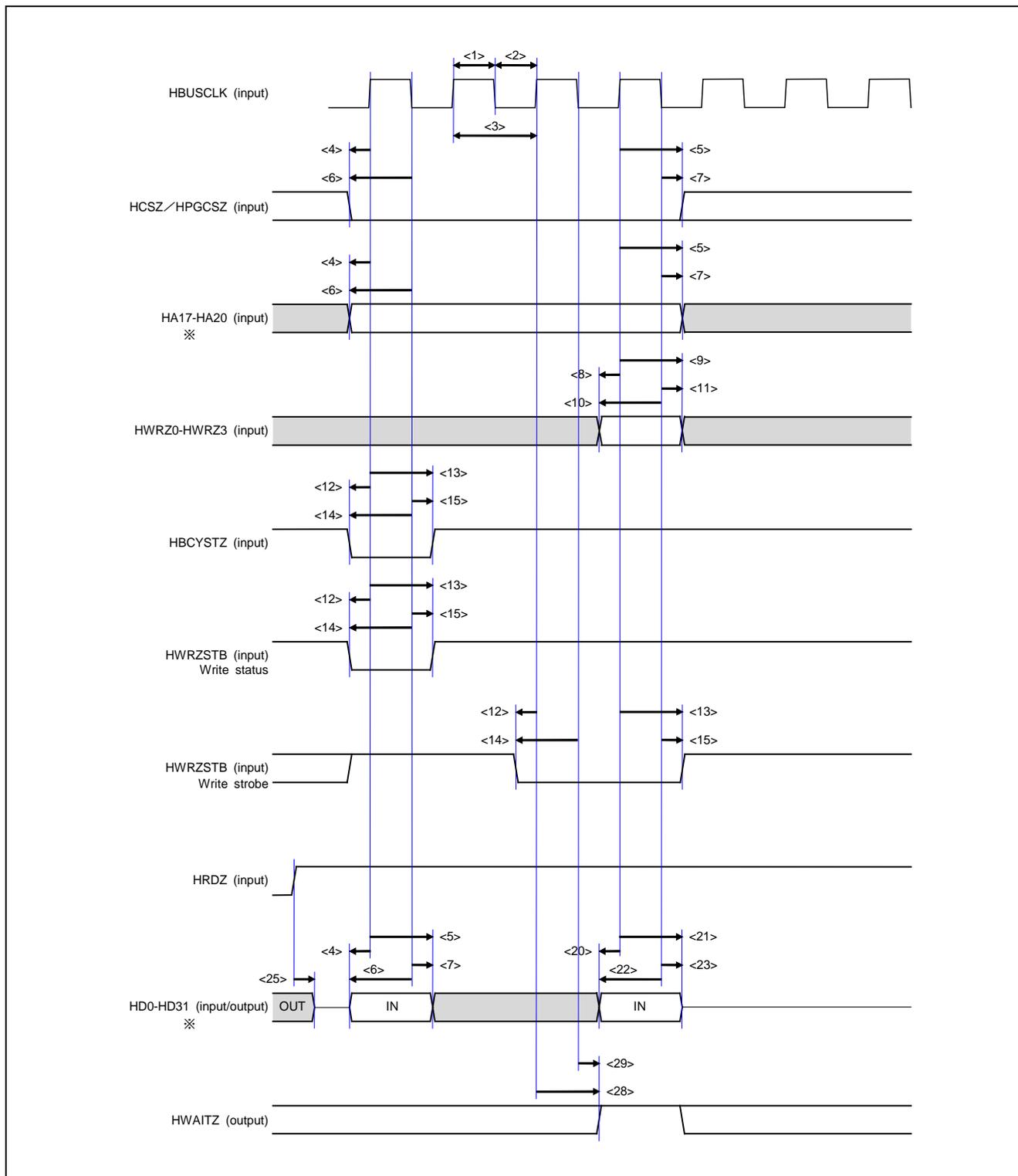


図 8.19 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=H, ADMUXMODE=H) ★

★備考. ※ : データバス幅によってアドレスの取得先が異なります。

16bit データバス時 : アドレス={HA[20:17], HWDATA[15:0], 1' b0}

32bit データバス時 : アドレス={HWDATA[18:0], 2' b00}

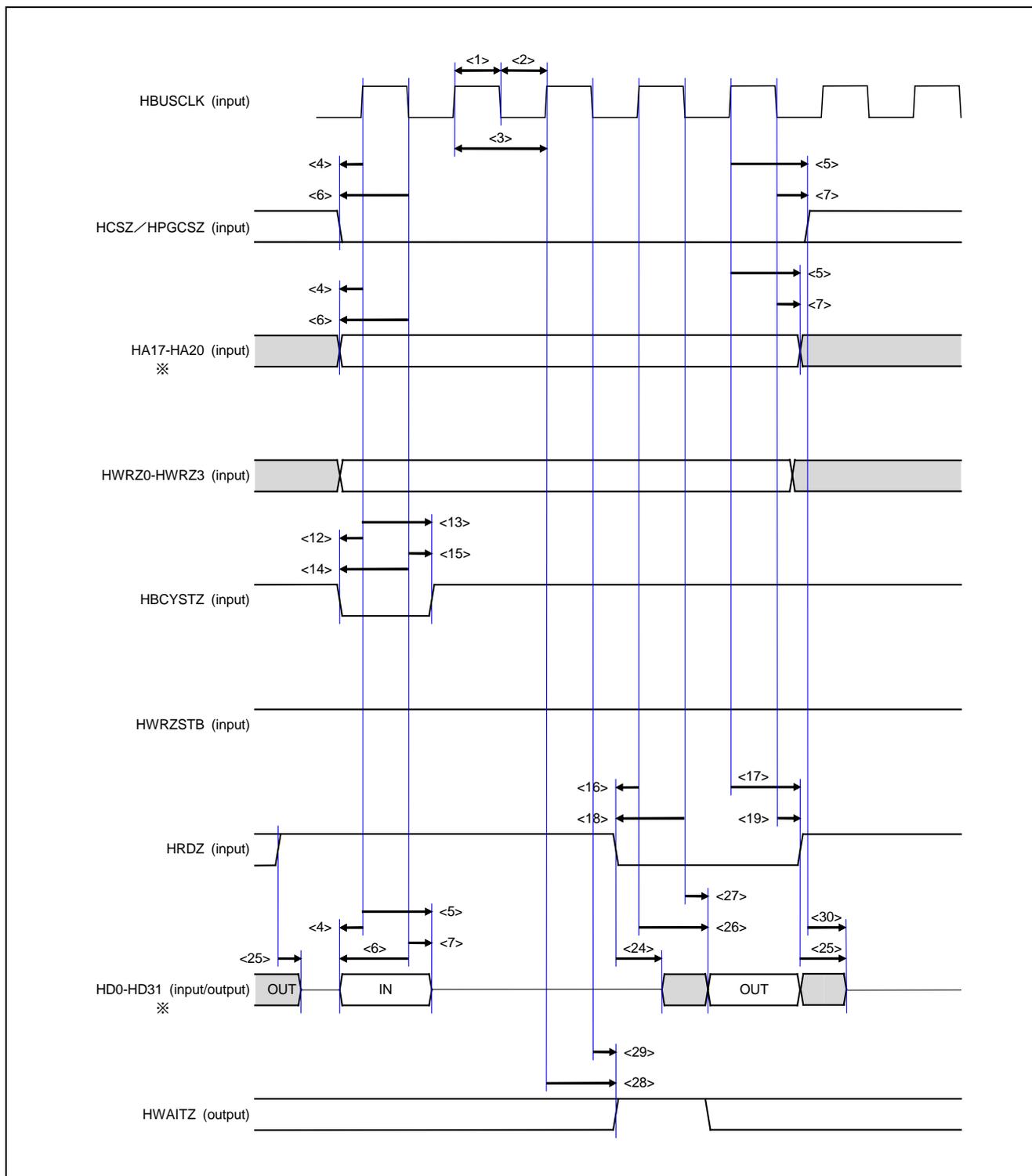


図 8.20 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=H, ADMUXMODE=H) ★

★備考. ※ : データバス幅によってアドレスの取得先が異なります。

16bit データバス時 : アドレス={HA[20:17], HWDATA[15:0], 1' b0}

32bit データバス時 : アドレス={HWDATA[18:0], 2' b00}

8.8.5 シリアル・フラッシュ ROM インタフェース

項目	略号	条件	MIN	MAX	単位
SMSCK 出力周期	t_{SFRCYC}	$C_L = 15\text{pF}$	20	—	ns
SMSCK ハイ・レベル幅	t_{SMCKH}		$0.5 t_{SFRCYC} - 2.0$	$0.5 t_{SFRCYC} + 2.0$	ns
SMSCK ロー・レベル幅	t_{SMCKL}		$0.5 t_{SFRCYC} - 2.0$	$0.5 t_{SFRCYC} + 2.0$	ns
SMSCK 立ち上がり時間	t_{SMCKR}		—	1.9	ns
SMSCK 立ち下がり時間	t_{SMCKF}		—	1.9	ns
SMCSZ の立ち下りから SMSCK の立ち上がりまでの遅延時間	$t_{DSMCSCK}$	$C_L = 15\text{pF}$ Freq = 50MHz	6.0 注★	—	ns
SMSCK の立ち上がりに対する SMCSZ の立ち上がりまでの保持時間	$t_{DSMCKCS}$	$C_L = 15\text{pF}$ Freq = 50MHz	9.0 注★	—	ns
SMCSZ のハイ幅	t_{SMCSH}	$C_L = 15\text{pF}$	14 注	—	ns
SMIO0-3 入力設定時間 (対 SMSCK ↓)	t_{SSMIO}	—	6.0	—	ns
SMIO0-3 入力保持時間 (対 SMSCK ↓)	t_{HSMIO}	—	0	—	ns
SMIO0-3 出力遅延時間 (対 SMSCK ↓)	t_{DSMIO}	$C_L = 15\text{pF}$	- 1.0	5.0	ns

注. SFMSSC レジスタの設定により、タイミングを延ばせます。

詳細は、R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編の「13.2.2 チップ選択制御レジスタ (SFMSSC)」を参照してください。

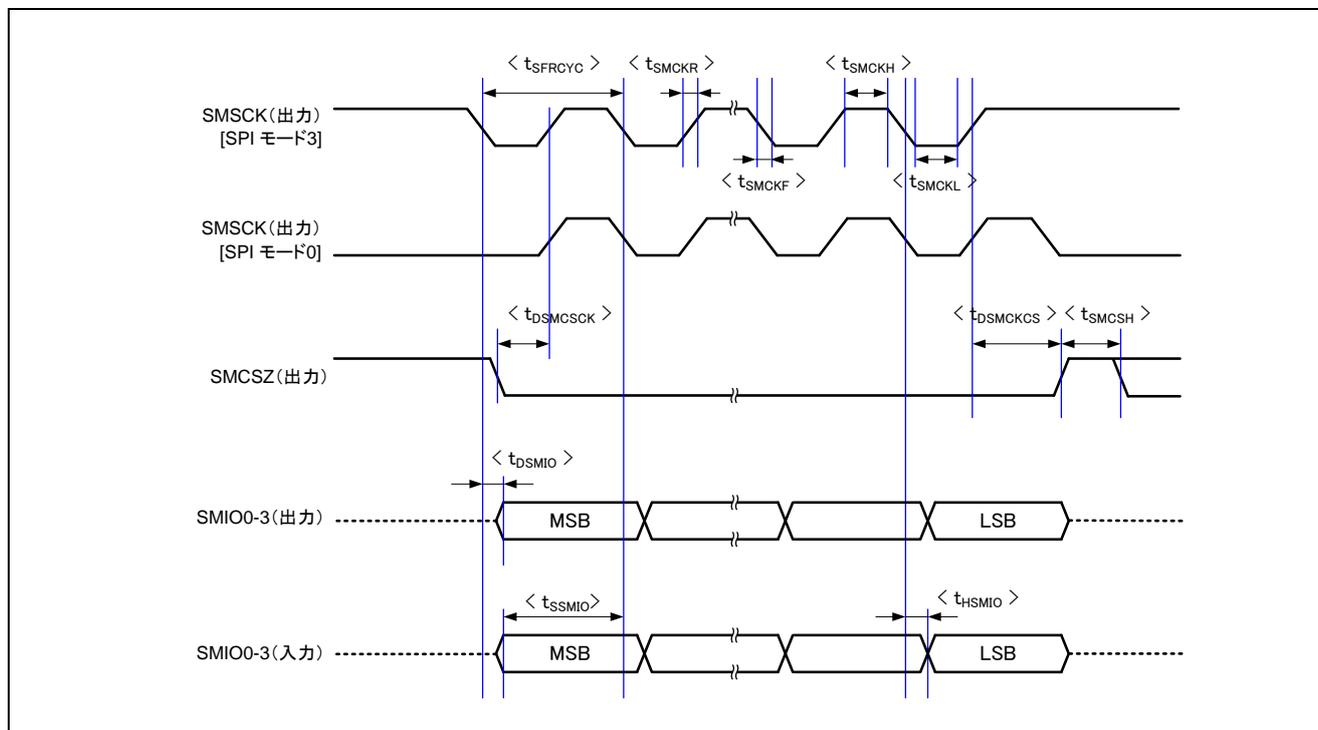


図 8.21 シリアル Flash メモリ・アクセス・タイミング

8.8.6 外部 DMA インタフェース

項目	略号	条件	MIN	MAX	単位
DMAREQZn, RTDMAREQZ 入力設定時間 (対 BUSCLK↑)	t _{SKDR}	—	7.0	—	ns
DMAREQZn, RTDMAREQZ 入力保持時間 1	t _{HKDR1}	—	DMAACKZn ↓, RTDMAACKZ ↓ まで	—	ns
DMAREQZn, REDMAREQZ 入力保持時間 2 (対 BUSCLK↑)	t _{HKDR2}	—	—	t _{BUSCLK} ^{注1} × m ^{注2} - 7.0	ns
DMAACKZn, RTDMAACKZ 出力遅延時間 (対 BUSCLK↑)	t _{DKDA}	C _L = 30pF	2.0	10.0	ns
DMAACKZn, RTDMAACKZ 出力ロー・レベル幅	t _{WDAL}	—	t _{BUSCLK} ^{注1} × m ^{注2} - 8	t _{BUSCLK} ^{注1} × m ^{注2} + 8	ns
DMATCZn, RTDMATCZ 出力遅延時間 (対 BUSCLK↑)	t _{DKTC}	C _L = 30pF	2.0	10.0	ns

注 1. t_{BUSCLK} は BUSCLK の周期 (10ns) です。

2. n = 0-1, m = 1-31 (DMAIFC0, DMAIFC1, RTMDAIFC レジスタ設定)。

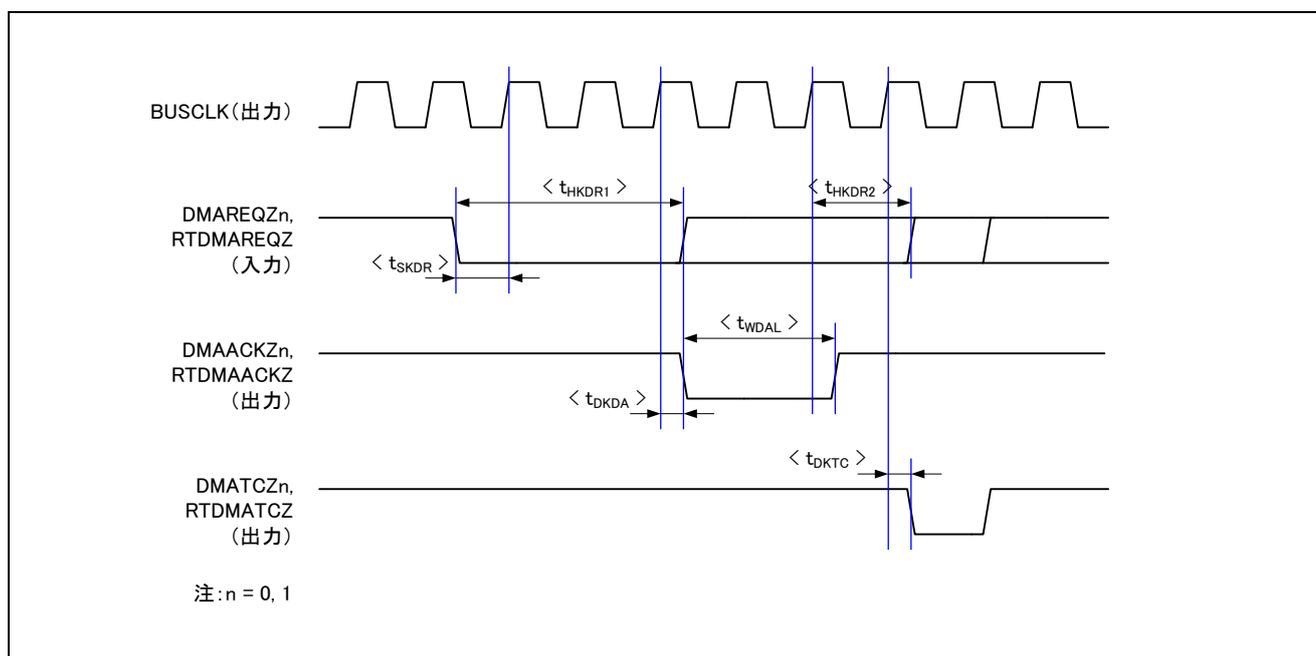


図 8.22 外部 DMA アクセス・タイミング

8.8.7 CSI インタフェース

CSI (クロック同期式シリアル・インタフェース) は、マスタ・モードとスレーブ・モードがあります。

(1) マスタ・モード

項目	略号	条件	MIN	MAX	単位
CSISCKn 出力周期	$t_{CSIMSCK}$	$C_L = 15pF$	40	—	ns
CSISCKn 出力ハイ・レベル幅	t_{WSKH}	$C_L = 15pF$	$t_{CSIMSCK} \times 0.5 - 5.0$	—	ns
CSISCKn 出力ロー・レベル幅	t_{WSKL}	$C_L = 15pF$	$t_{CSIMSCK} \times 0.5 - 5.0$	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↑)	t_{SMSI}	—	8.5	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↓)	t_{SMSI}	—	8.5	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↑)	t_{HMSI}	—	7.0	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↓)	t_{HMSI}	—	7.0	—	ns
CSISOn 出力遅延時間 (対 CSISCKn ↑)	t_{DMSO}	$C_L = 15pF$	—	7.0	ns
CSISOn 出力遅延時間 (対 CSISCKn ↓)	t_{DMSO}		—	7.0	ns
CSISOn 出力保持時間 (対 CSISCKn ↑)	t_{HMSO}		$t_{CSIMSCK} \times 0.5 - 5.0$	—	ns
CSISOn 出力保持時間 (対 CSISCKn ↓)	t_{HMSO}		$t_{CSIMSCK} \times 0.5 - 5.0$	—	ns

備考. n = 0-1

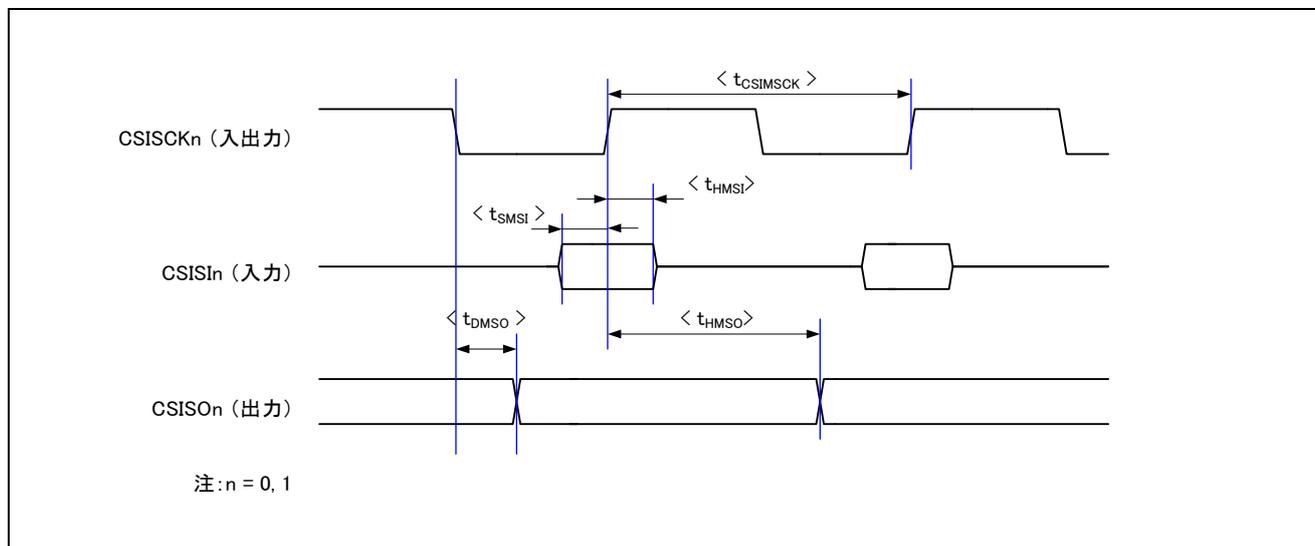


図 8.23 CSI アクセス・タイミング (マスタ・モード)

備考. 上図は「対 CSISCKn ↓」のデータ出力、「対 CSISCKn ↑」のデータ入力を例にしたタイミング図となっています。動作モードに合わせて、参照タイミングを読み替えて下さい。

(2) スレーブ・モード

項目	略号	条件	MIN	MAX	単位
CSISCKn 入力周期	t _{CSISSCK}	—	60	—	ns
CSISCKn 入力ハイ・レベル幅	t _{WSKH}	—	t _{CSISSCK} ×0.5 - 5.0	—	ns
CSISCKn 入力ロー・レベル幅	t _{WSKL}	—	t _{CSISSCK} ×0.5 - 5.0	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↑)	t _{SSSI}	—	10.0	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↓)	t _{SSSI}	—	10.0	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↑)	t _{HSSI}	—	15	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↓)	t _{HSSI}	—	15	—	ns
CSISOn 出力遅延時間 (対 CSISCKn ↑)	t _{DSSO}	C _L = 15pF	—	10.0	ns
CSISOn 出力遅延時間 (対 CSISCKn ↓)	t _{DSSO}		—	10.0	ns
CSISOn 出力保持時間 (対 CSISCKn ↑)	t _{HSSO}		t _{CSISSCK} × 0.5 - 5.0	—	ns
CSISOn 出力保持時間 (対 CSISCKn ↓)	t _{HSSO}		t _{CSISSCK} × 0.5 - 5.0	—	ns

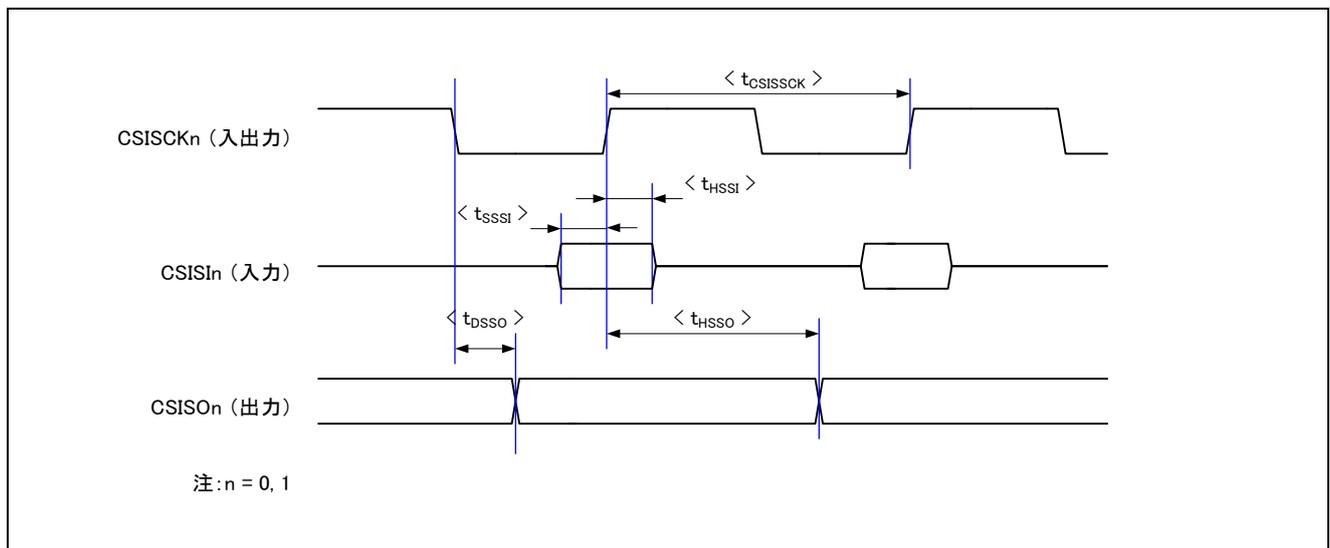


図 8.24 CSI アクセス・タイミング (スレーブ・モード)

備考. 上図は「対 CSISCKn ↓」のデータ出力、「対 CSISCKn ↑」のデータ入力を例にしたタイミング図となっています。動作モードに合わせて、参照タイミングを読み替えて下さい。

8.8.8 I2C インタフェース

項目	略号	条件	標準モード		高速モード		単位
			MIN	MAX	MIN	MAX	
SCLn 入出力周波数	t_{SCL}	$C_L = 30\text{pF}$	0	100	0	400	kHz
ストップ・コンディションとスタート・コンディションの間のバス・フリー・タイム	t_{BUF}		4.7	—	1.3	—	μs
ホールド・タイム	t_{HSTA}		4.0	—	0.6	—	μs
SCLn クロックのロー・レベル幅	t_{SCLL}		4.7	—	1.3	—	μs
SCLn クロックのハイ・レベル幅	t_{SCLH}		4.0	—	0.6	—	μs
スタート・コンディションおよびリスタート・コンディションのセットアップ時間	t_{SSTA}		4.7	—	0.6	—	μs
データ・ホールド・タイム	CBUS 互換マスタ I2C バス		5.0	—	—	—	μs
			0	—	0	0.9	μs
データ・セットアップ・タイム	t_{SDAT}		250	—	100	—	ns
SDAn および SCLn の立ち上がり時間	t_{SCLR}		—	1000	$20+0.1C_b$	300	ns
SDAn および SCLn の立ち下がり時間	t_{SCLF}		—	300	$20+0.1C_b$	300	ns
ストップ・コンディションのセットアップ・タイム	t_{SSTO}		4.0	—	0.6	—	μs
入力フィルタによって抑制されるスパイクのパルス幅	t_{SP}		—	—	0	50	ns
各バス・ラインの容量性負荷	C_b	—	—	400	—	400	pF

備考. n = 0-1

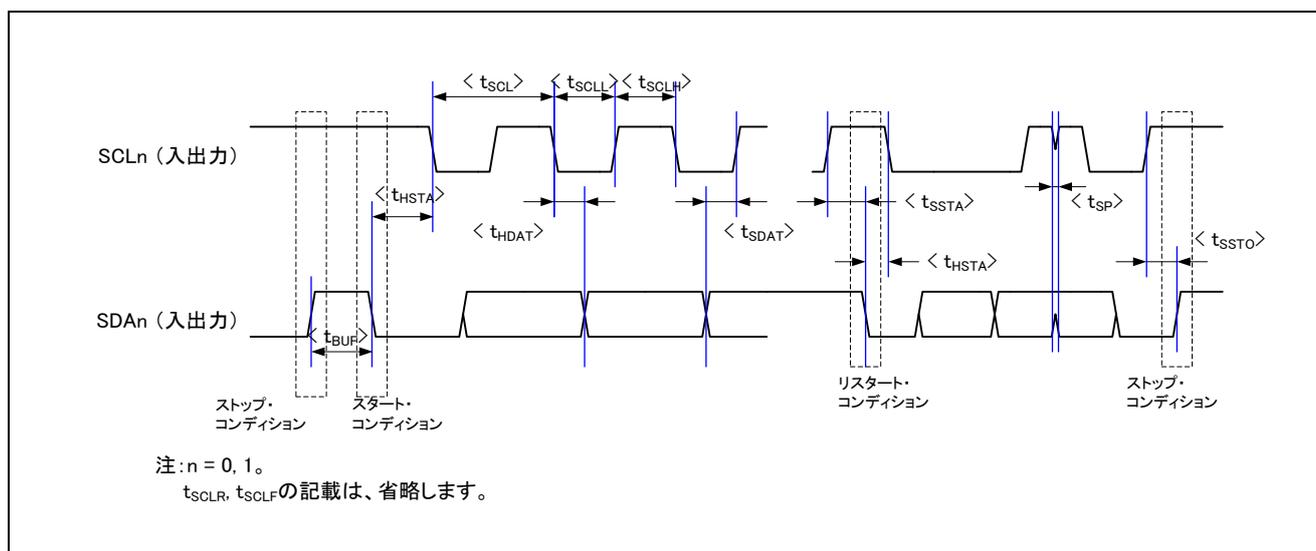


図 8.25 I2C アクセス・タイミング

8.8.9 CAN インタフェース

項目	略号	条件	MIN	MAX	単位
内部遅延時間	t_{NODE}	$C_L = 30pF$	—	75	ns

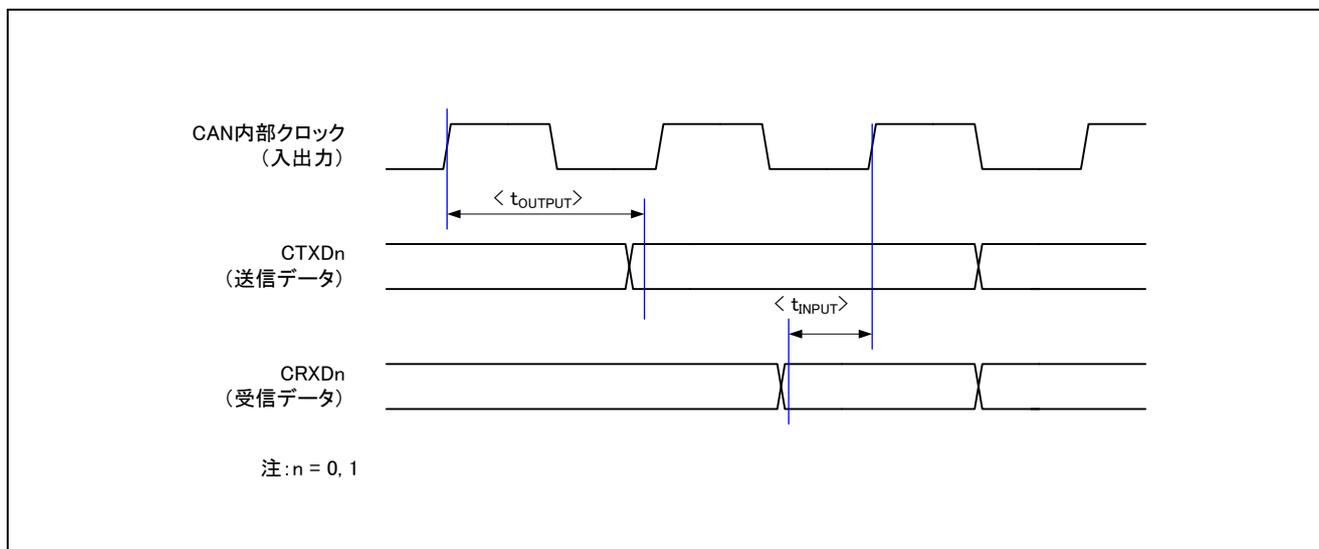


図 8.26 CAN アクセス・タイミング

備考. CAN 内部クロック (f_{CAN}) : CAN ボー・レート・クロック

内部遅延時間 (t_{NODE}) = 内部送信遅延時間 (t_{OUTPUT}) + 内部受信遅延時間 (t_{INPUT})

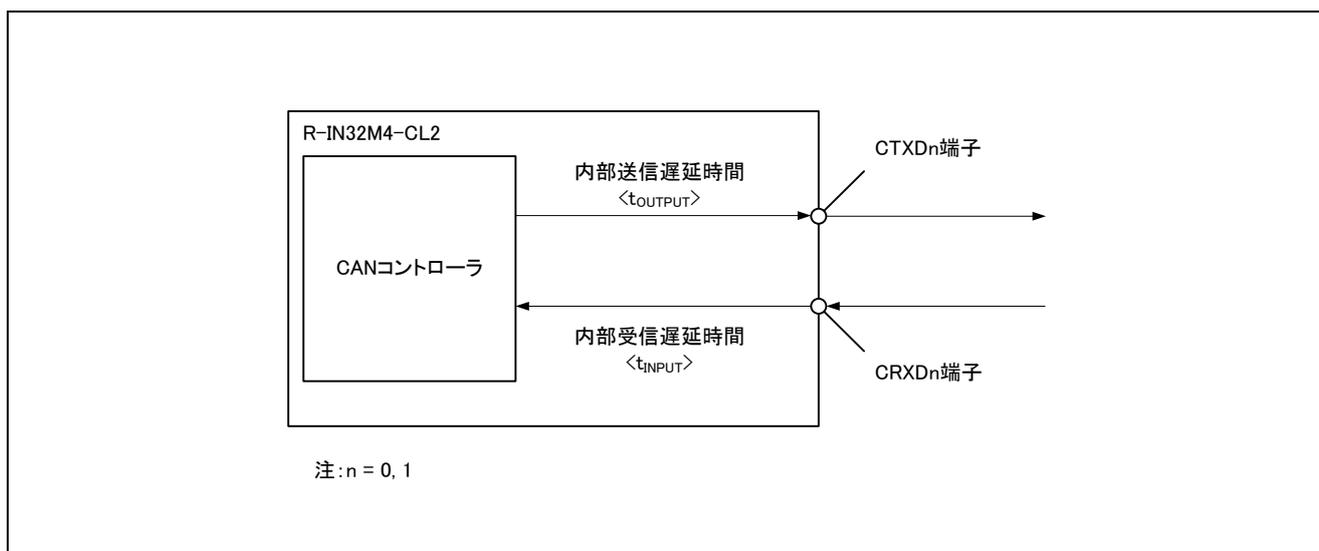


図 8.27 CAN アクセス・タイミング (補足)

8.8.10 デバッグ・インタフェース

(1) デバッグ・シリアル・インタフェース

項目	略号	条件	MIN	MAX	単位
TCK 入力周期	t_{TCK}	—	20	—	ns
TMS 入力設定時間 (対 TCK ↑)	t_{STMS}	—	6.5	—	ns
TMS 入力保持時間 (対 TCK ↑)	t_{HTMS}	—	0	—	ns
TDI 入力設定時間 (対 TCK ↑)	t_{STDI}	—	6.5	—	ns
TDI 入力保持時間 (対 TCK ↑)	t_{HTDI}	—	0	—	ns
TDO 出力遅延時間 (対 TCK ↓)	t_{DTDO}	$C_L = 30\text{pF}$	3.0	13.0	ns

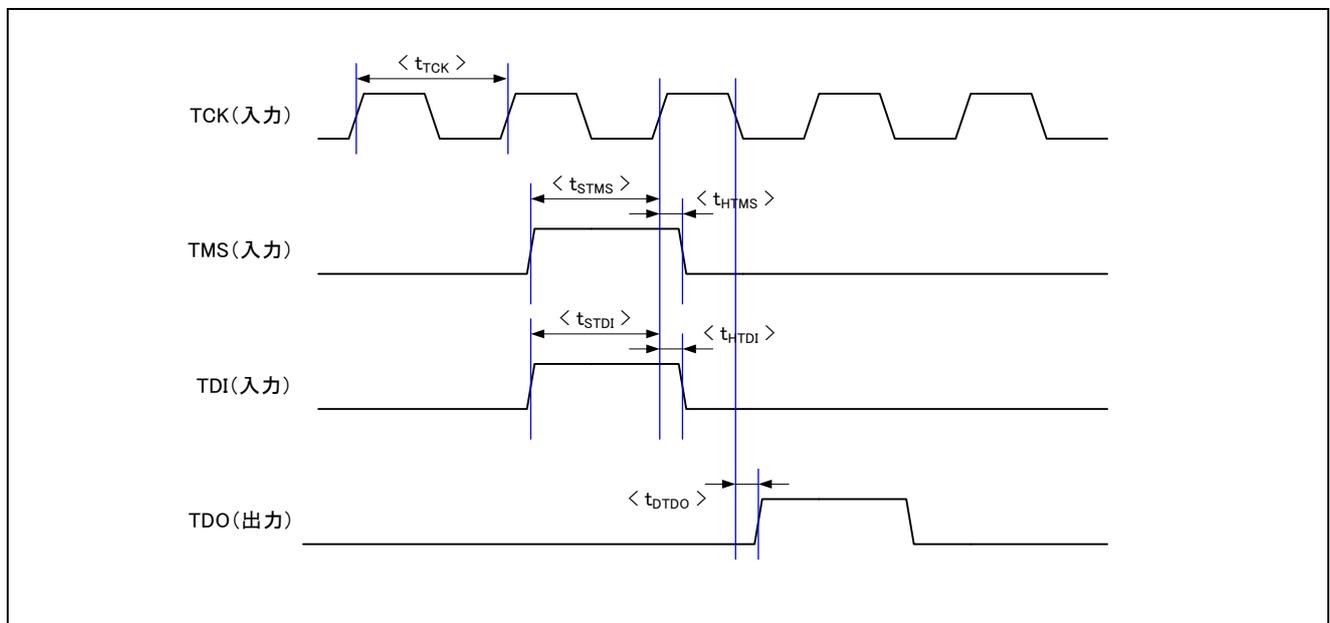


図 8.28 デバッグ・シリアル・インタフェース

(2) トレース・インタフェース

項目	略号	条件	MIN	MAX	単位
TRACECLK 出力周期	t_{TRCCLK}	$C_L = 15\text{pF}$	20	—	ns
TRACEDATA n 出力遅延時間 (対 TRACECLK)	$t_{DTRCDAT}$	$C_L = 15\text{pF}$	0.26	8.43	ns

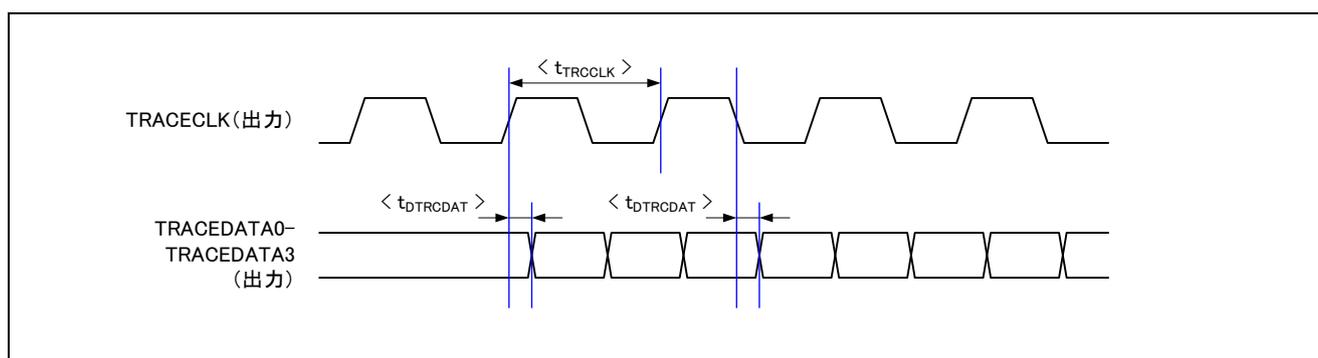
備考. $n = 0-3$ 

図 8.29 トレース・インタフェース

改訂記録

R-IN32M4-CL2 ユーザーズ・マニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.11.20	—	初版発行
1.01	2016.1.29	16-17	「2.1.3.1 SRAM インタフェース端子」BUSCLKのリセット初期値を修正
		18-19	「2.1.3.2 外部マイコン・インタフェース端子」 HBUSCLK 端子、アドレス端子、データ端子に注を追加
		25	「2.1.10 CC-Link IE Field 端子（インテリジェントデバイス局）」注2を追加
		27	「2.1.12 CC-Link 端子（リモートデバイス局）」CCM_CLK80Mを追加
		47	「2.5.2 イーサネット端子」PHY0-1_LED0のパッファタイプを追記
		48	「2.5.7 システム端子」XT1/XT2の未使用時の推奨接続方法を修正
		55	「4.1 例外一覧」リセットの説明としてSYSRESETレジスタを追加
		116 122	「表 8.4 絶対最大定格」入出力電圧の絶対最大定格を修正 「8.8.1 (1) 入力クロック」CCI_CLK2_097Mの有効桁数を変更
1.02	2017.2.28	13	「2.1.2 イーサネット端子」 存在しない端子（Thermal系、レギュレータ系）を削除
		25	「2.1.11 CC-Link 端子（インテリジェントデバイス局）」 CCM_MDIN0-3信号の機能説明を修正
		27	「2.1.13 システム端子」 PONRZ信号の機能説明を修正
		46	「2.5.2 イーサネット端子」 存在しない端子（Thermal系）を削除
		56	「4.2 割り込み一覧」 表 4.1 例外番号 54 INTETHSWの発生要因名を修正
		58	「4.2 割り込み一覧」表 4.1 ECC エラー割り込みを追加
		59	「5. 周辺機能」 各周辺機能の表記をユーザーズ・マニュアル周辺機能編と統一
		62	「6.1.3 CC-Link IE Field（インテリジェントデバイス局）クロック・ゲート・レジスタ（CIECLKGTD）」関連レジスタの参照先を追記
		84-85	「7.3.4 ポート・ファンクション・コントロール・レジスタ（PFC, RPFCE, EXTPFCE）」注 1,2に EXTPFCE レジスタを追加
		86	「7.3.5 ポート・ファンクション・コントロール拡張レジスタ（PFCE, RPFCE, EXTPFCE）」注 1,2に EXTPFCE レジスタを追加
117	「8.4 DC 特性」表 8.7 ハイ・レベル出力電圧のシンボルを修正		
2.00	2018.12.28	3	「1.2 機能概要」 「表 1.1 R-IN32M4-CL2の機能概要（2/2）」中のCC-Link IE項目にリモートデバイス局の記述を追加
		6	「1.5 システム・レジスタ領域のベース・アドレス」 章を追加
		21	「2.1.5 DMA インタフェース端子」 章冒頭の説明文、および注意を変更
		25	「2.1 端子一覧」 「2.1.10 CC-Link IE Field 端子（インテリジェントデバイス局）」の章題からインテリジェントデバイス局を削除

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2018.12.28	26	「2.1.11 CC-Link 端子（インテリジェントデバイス局）」 CCM_MDIN0-3、CCM_IRLZ の機能説明を修正 CCM_ERRZ、CCM_MSTZ、CCM_SMSTZ の機能説明を未使用に変更
		28	「2.1.14 トレース端子」 注記中の CC-Link IE Field 端子参照からインテリジェントデバイス局の記述を削除
		48	「2.5 各端子のバッファ・タイプと未使用端子処理」 「2.5.5 CC-Link IE Field 端子（インテリジェントデバイス局）」からインテリジェントデバイス局の記述を削除
		51 54	「3. メモリマップ」 命令 RAM 領域に関する注記を追加 「図 3.1 メモリ・マップ(全体)」の命令 RAM 領域/ミラー領域入れ替わりを修正 「図 3.5 外部マイコン・インタフェース空間」の AHB 周辺レジスタ領域へ注 1 を追加、命令 RAM ミラー領域の誤記を修正
		61-63	「6 CC-Link IE Field（インテリジェントデバイス局）機能」 章題および章中の説明からインテリジェントデバイス局の記述を削除
		65	「7.2 ポートの構成」 ポート・ファンクション・コントロール・レジスタおよびポート・ファンクション・コントロール拡張レジスタの用途と動作の説明を変更 注意の記載を変更
		80-91	「7.3.3 ポート・モード・コントロールレジスタ(PMC,RPMC,EXTPMC)」 「7.3.4 ポート・ファンクション・コントロール・レジスタ(PFC,RPFC,EXTPFC)」 「7.3.5 ポート・ファンクション・コントロール・拡張レジスタ(PFCE,RPFCE,EXTPFCE)」 兼用機能に関する注記を変更
		127,128	「8.8.3 外部メモリ・インタフェース端子」 タイミング図中の BCYSTZ 端子の端子方向を修正(入力→出力)
		132	「8.8.4 外部マイコン・インタフェース端子 (1) 同期モード」 t_{DKHWV} の MAX 規格を修正
		143	「8.8.4 外部マイコン・インタフェース端子 (4) 同期式 SRAM タイプ転送モード」 t_{DKPHWT} および t_{DKNHWT} の MAX 規格を修正
		143-147	「8.8.4 外部マイコン・インタフェース端子 (4) 同期式 SRAM タイプ転送モード」 ADMUXMODE=L の図 8.17、図 8.18 を新規追加 既存の図 8.17、図 8.18 から ADMUXMODE=L 向けの規格を削除し、 ADMUXMODE=H 向けの図 8.19、図 8.20 として記載
		148	「8.8.5 シリアル・フラッシュ ROM インタフェース」 t_{DSMCCK} 、 $t_{DSMCKCS}$ のスペックを変更
—	誤記訂正、表現訂正、他文書との記載内容統一		

[メ モ]

R-IN32M4-CL2 ユーザーズマニュアル

発行年月日 2015年11月20日 Rev.1.00
2018年12月28日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

R-IN32M4-CL2 ユーザーズ・マニュアル



ルネサスエレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>