

RL78/G12

DMA コントローラ (A/D コンバータ) CC-RL

R01AN2986JJ0100

Rev. 1.00

2015.10.20

要旨

本アプリケーションノートでは、DMA コントローラによる A/D コンバータと内蔵 RAM 間の転送方法を説明します。DMA を使用して A/D 変換結果を内蔵 RAM に転送しています。4 チャンネルのアナログ入力電圧を A/D 変換し、DMA を利用して A/D 変換結果を内蔵 RAM に格納します。A/D 変換結果の合計値が一番大きいチャンネルの番号を LED に表示します。

対象デバイス

RL78/G12

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1. 仕様	3
2. 動作確認条件	5
3. 関連アプリケーションノート	5
4. ハードウェア説明	6
4.1 ハードウェア構成例	6
4.2 使用端子一覧	6
5. ソフトウェア説明	7
5.1 動作概要	7
5.2 オプション・バイトの設定一覧	8
5.3 定数一覧	8
5.4 変数一覧	8
5.5 関数 (サブルーチン) 一覧	9
5.6 関数仕様	10
5.7 フローチャート	12
5.7.1 CPU 初期化関数	13
5.7.2 入出力ポートの設定関数	14
5.7.3 クロック発生回路の設定	17
5.7.4 DMA コントローラの初期設定	18
5.7.5 A/D コンバータの初期設定	23
5.7.6 DMA コントローラの動作許可	30
5.7.7 A/D 変換開始設定	32
5.7.8 メイン処理	33
6. サンプルコード	36
7. 参考ドキュメント	36

1. 仕様

本アプリケーションノートでは、DMA コントローラによる A/D コンバータと内蔵 RAM 間の転送方法を説明します。A/D コンバータはスキャン・モードを使用します。4 チャンネルのアナログ入力電圧を A/D 変換し、DMA を利用して A/D 変換結果を内蔵 RAM に格納します。各チャンネルに対して順次 A/D 変換を行い、それを 10 回繰り返します。チャンネル毎に 10 回分の A/D 変換結果を合計し、その合計値が一番大きいチャンネルの番号を LED に表示します。

表 1.1 に使用する周辺機能と用途を、表 1.2 にサンプリング結果と LED 表示を示します。

図 1.1 に A/D コンバータの変換と DMA 制御動作概要を示します。

表 1.1 使用する周辺機能と用途

周辺機能	用途
A/D コンバータ	アナログ信号入力レベルを変換する。
DMA コントローラ	A/D 変換結果を RAM へ格納する制御を行う。
P13-P14	LED 点灯制御 (LED1-LED2)

表 1.2 サンプリング結果と LED 表示

合計値が最大となったチャンネル	LED 表示	
	LED1 (P13)	LED2 (P14)
チャンネル 0	消灯	消灯
チャンネル 1	点灯	消灯
チャンネル 2	消灯	点灯
チャンネル 3	点灯	点灯

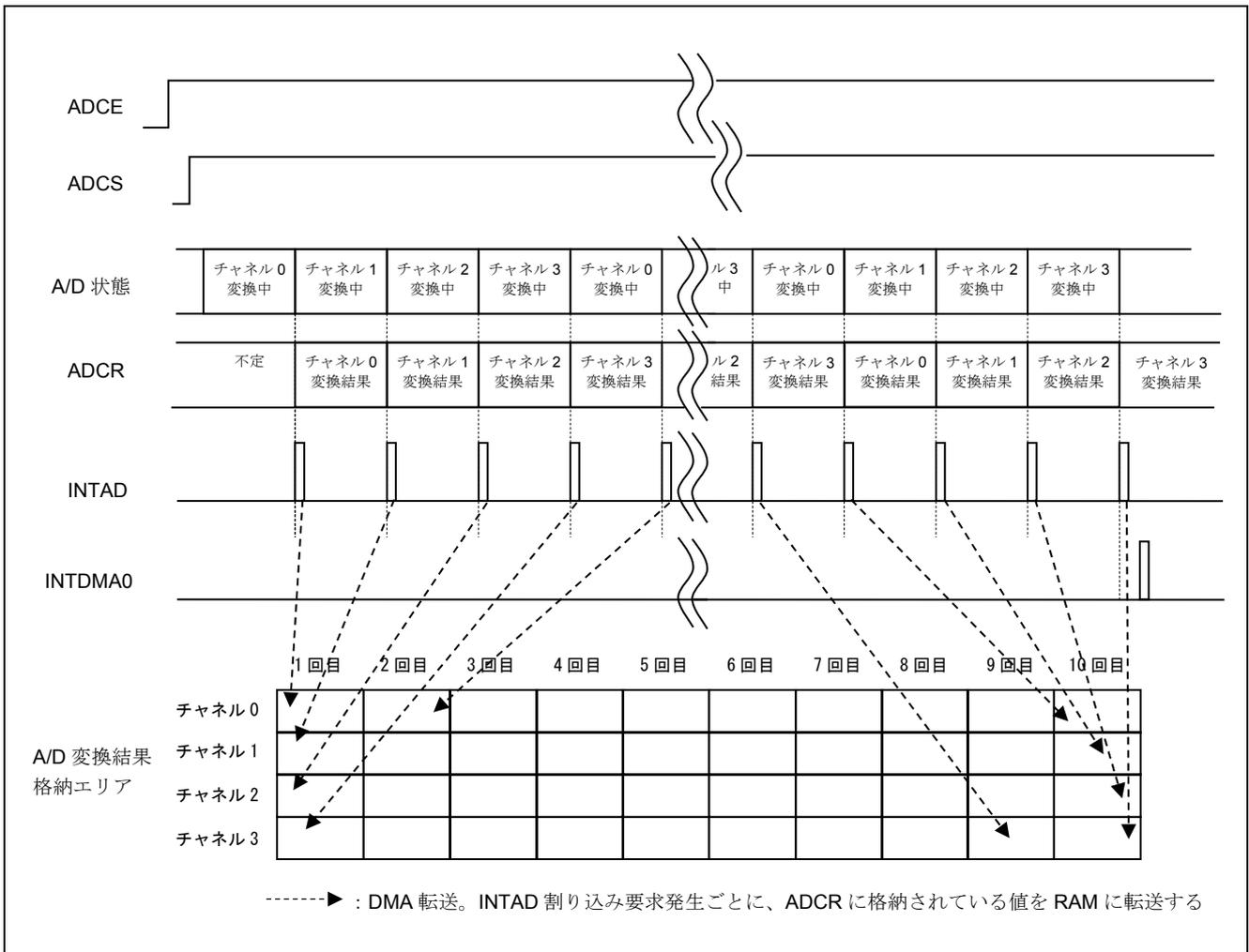


図 1.1 A/D コンバータの変換と DMA 制御動作概要

2. 動作確認条件

本アプリケーションノートのサンプルコードは、下記の条件で動作を確認しています。

表 2.1 動作確認条件

項目	内容
使用マイコン	RL78/G12 (R5F1026A)
動作周波数	<ul style="list-style-type: none"> ● 高速オンチップオシレータ (HOCO) クロック : 24MHz ● CPU/周辺ハードウェア・クロック : 24MHz
動作電圧	5.0V (2.9V~5.5V で動作可能) LVD 動作 (V _{LVD}) : リセット・モード 2.81V (2.76V~2.87V)
統合開発環境 (CS+)	ルネサス エレクトロニクス製 CS+ for CC V3.01.00
アセンブラ (CS+)	ルネサス エレクトロニクス製 CC-RL V1.01.00
統合開発環境 (e ² studio)	ルネサス エレクトロニクス製 e ² studio V4.0.2.008
アセンブラ (e ² studio)	ルネサス エレクトロニクス製 CC-RL V1.01.00
使用ボード	RL78/G12 ターゲット・ボード (QB-R5F1026A-TB)

3. 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。併せて参照してください。

RL78/G12 初期設定 (R01AN2582J) アプリケーションノート

RL78/G12A/D コンバータ (ソフトウェア・トリガ、連続変換モード) (R01AN2859J) アプリケーションノート

5

4. ハードウェア説明

4.1 ハードウェア構成例

図 4.1 に本アプリケーションノートで使用するハードウェア構成例を示します。

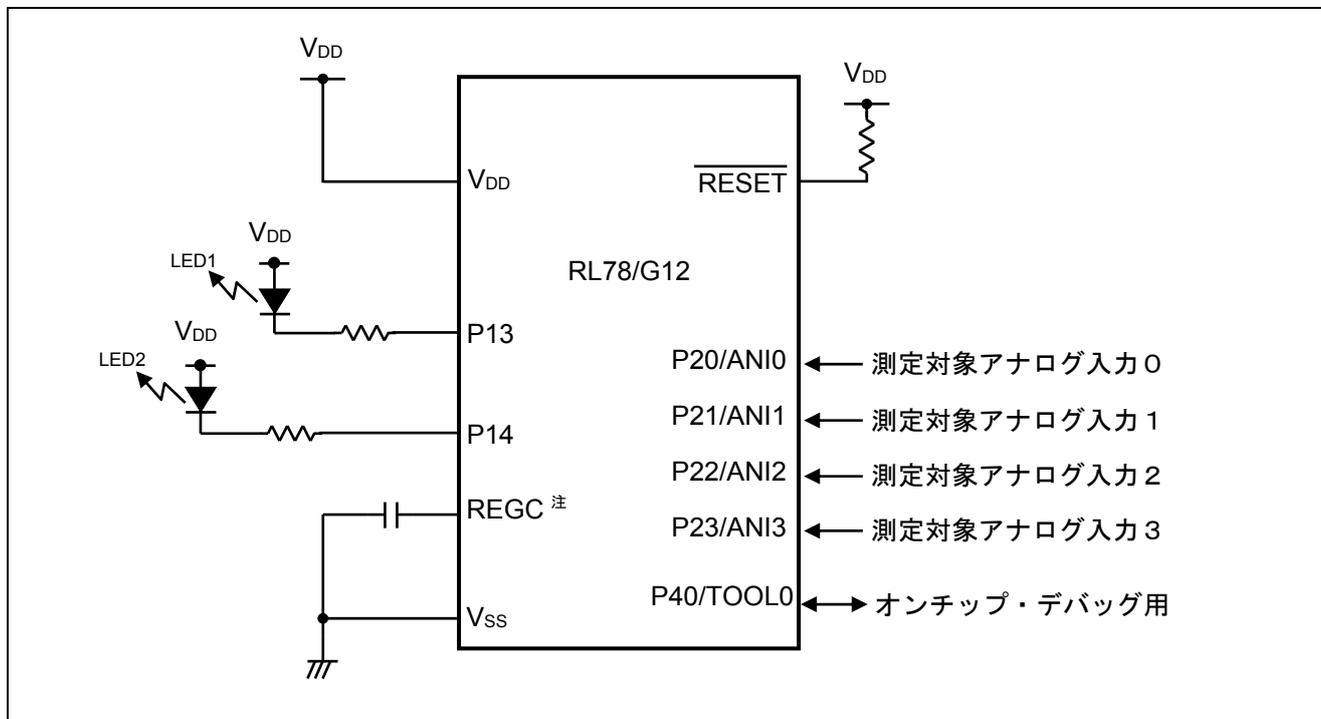


図 4.1 ハードウェア構成

注 1 30 ピン製品のみ

注意 1 この回路イメージは接続の概要を示す為に簡略化しています。実際に回路を作成される場合は、端子処理などを適切に行い、電気的特性を満たすように設計してください（入力専用ポートは個別に抵抗を介して VDD 又は VSS に接続して下さい）。

2 VDD は LVD にて設定したリセット解除電圧 (V_{LVD}) 以上にしてください。

4.2 使用端子一覧

表 4.1 に使用端子と機能を示します。

表 4.1 使用端子と機能

端子名	入出力	内容
P20/ANI0	入力	A/D コンバータ アナログ入力ポート 0
P21/ANI1	入力	A/D コンバータ アナログ入力ポート 1
P22/ANI2	入力	A/D コンバータ アナログ入力ポート 2
P23/ANI3	入力	A/D コンバータ アナログ入力ポート 3
P13	出力	LED 点灯 (LED1) 制御ポート
P14	出力	LED 点灯 (LED2) 制御ポート

5. ソフトウェア説明

5.1 動作概要

本アプリケーションノートでは、DMA を使用して A/D 変換結果を内蔵 RAM に転送します。

A/D コンバータのソフトウェア・トリガ、スキャン・モード、連続変換モードを使用し、ANI0～ANI3 に入力されたアナログ電圧を A/D 変換します。A/D 変換が完了すると、A/D 変換終了割り込み要求が発行されます。この割り込み要求を DMA 起動要因として、A/D 変換結果を内蔵 RAM に転送します。

各チャンネルに対して順次 A/D 変換を行い、それを 10 回繰り返します。チャンネル毎に 10 回分の A/D 変換結果を合計し、その合計値が一番大きいチャンネルの番号を LED に表示します。

- (1) 周辺機能の初期設定を行います。

<A/D コンバータ>

- アナログ入力は、P20/ANI0～P23/ANI3 端子を使用します。
- A/D 変換チャンネル選択は、スキャン・モードを使用します。
- A/D 変換動作モードは、連続変換モードを使用します。
- A/D 変換開始条件は、ソフトウェア・トリガを使用します。

<DMA コントローラ>

- DMA 転送方向は、「SFR→内蔵 RAM」を使用します。
- DMA 起動要因は、A/D 変換終了割り込みを使用します。
- A/D 変換結果が格納される ADCR レジスタを DMA 転送元に設定します。
- 40 回 (4 チャンネル×10 回) 分の A/D 変換結果を格納できるエリアを確保します。
- 上記 A/D 変換結果格納エリアの先頭アドレスを DMA 転送先に設定します。

- (2) A/D 変換を開始します。A/D 変換が終了すると、その A/D 変換結果を ADCR レジスタに転送し、A/D 変換終了割り込み(INTAD)が発生します。A/D 変換は ANI0～ANI3 に対して実行されます。
- (3) INTAD 発生をトリガにして DMA が起動します。ADCR レジスタから A/D 変換結果を読み出し、指定された A/D 変換結果格納エリアに順次格納していきます。
- (4) 40 回 DMA 転送が完了すると、DMA 完了割り込みが発生します。DMA 転送元アドレスを A/D 変換結果格納の先頭アドレスに再設定します。また、DMA 転送回数を 40 回に再設定します。
- (5) A/D 変換及び DMA 転送動作と並行してチャンネル毎に 10 回分の A/D 変換結果を合計します。合計の計算時間を短くするために乗除積和演算器 (MAC) を積和演算モードで使用し、変換結果のシフトと累積を行わせます。これにより、並行動作でのバッファ・オーバーランを防止しています。合計値を比較し、一番大きいチャンネルの番号を LED に表示します。ただし、複数チャンネルの合計値が同値であった場合、一番小さなチャンネル番号表示します。
- (6) 以後、(3)から繰り返します。

5.2 オプション・バイトの設定一覧

表 5.1 にオプション・バイト設定を示します。

表 5.5.1 オプション・バイト設定

アドレス	設定値	内容
000C0H	01101110B	ウォッチドッグ・タイマ 動作停止 (リセット解除後、カウント停止)
000C1H	01111111B	LVD リセット・モード、V _{LVD} : 2.81V (2.76V~2.87V)
000C2H	11100000B	HS モード、HOCO : 24MHz
000C3H	10000101B	オンチップ・デバッグ許可

5.3 定数一覧

表 5.2 にサンプルコードで使用する定数を示します。

表 5.2 サンプルコードで使用する定数

定数名	設定値	内容
CHNELNO	4	A/D 変換するチャンネル数
ADTIME	10	A/D 変換する回数
DMA0_COUNT	CHNELNO × ADTIME	DMA 転送回数
OFFSET	0x40	変換結果の読み出しポインタ用オフセット

5.4 変数一覧

表 5.3 にグローバル変数を示します。

表 5.3 グローバル変数

Type	Variable Name	Contents	Function Used
16 ビット変数 ×4 チャンネル分	RADBUF	10 ビット A/D 変換結果格納エリア チャンネル 0 の 1 回目	main
16 ビット変数 ×4 チャンネル分	RADBUF2	10 ビット A/D 変換結果格納エリア チャンネル 0 の 2 回目	main
16 ビット変数 ×4 チャンネル分 (×8 回分)	RADBUF3 ~ RADBUF10	10 ビット A/D 変換結果格納エリア チャンネル 0 の 3 回目~10 回目	main
16 ビット変数	RSUMDATA0	チャンネル 0 の 1 回目セーブ/合計格 納領域	main
16 ビット変数	RSUMDATA1	チャンネル 1 の 1 回目セーブ/合計格 納領域	main
16 ビット変数	RSUMDATA2	チャンネル 2 の 1 回目セーブ/合計格 納領域	main
16 ビット変数	RSUMDATA3	チャンネル 3 の 1 回目セーブ/合計格 納領域	main

5.5 関数 (サブルーチン) 一覧

表 5.4 に関数を示します。

表 5.4 関数 (サブルーチン) 一覧

関数 (サブルーチン) 名	概要
RESET_START	リセット スタートでの CPU 初期化を行い, main を起動
SINIDMA	DMA コントローラ転送の初期設定
SINIADC	A/D コンバータの初期設定
STARTDMA0	DMA コントローラ動作開始
SSTARTAD	A/D 変換開始処理
main	処理全体

5.6 関数仕様

サンプルコードの関数仕様を示します。

[関数名] SINIDMA

概要	DMA 転送の初期設定
宣言	—
説明	DMA 転送先の内蔵 RAM アドレスと転送回数を設定します。
引数	なし
リターン値	なし
備考	なし

[関数名] SINIADC

概要	A/D コンバータの初期設定
宣言	—
説明	A/D コンバータを連続スキャン・モードに初期設定します
引数	なし
リターン値	なし
備考	なし

[関数名] STARTDMA0

概要	DMA コントローラ動作開始
宣言	—
説明	DMA 転送制御を開始する関数です。 以下の処理を実行します。 <ul style="list-style-type: none"> ・ DMA 転送完了割り込み要求のクリア ・ DMA 転送完了割り込み許可 ・ DMA 転送許可、DMA 転送トリガ待ち状態への遷移
引数	なし
リターン値	なし
備考	なし

[関数名] SSTARTAD

概要	A/D 変換開始処理
宣言	—
説明	A/D 変換動作を開始する関数です。 以下の処理を実行します。 <ul style="list-style-type: none"> ・ A/D 変換終了割り込み要求のクリア ・ A/D 変換終了割り込み禁止 ・ A/D 変換開始
引数	なし
リターン値	なし
備考	なし

[関数名] main

概要	サンプルコードの処理全体
宣言	—
説明	初期化処理完了後の処理を行います。以下の処理を実行します。 <ul style="list-style-type: none">・ DMA の動作許可・ A/D 変換開始・ DMA 転送完了待ち・ DMA の再設定と再起動・ A/D 変換結果のチャンネル毎の合計計算・
引数	なし
リターン値	なし
備考	なし

5.7 フローチャート

図 5.1 に本アプリケーションノートの全体フローを示します。

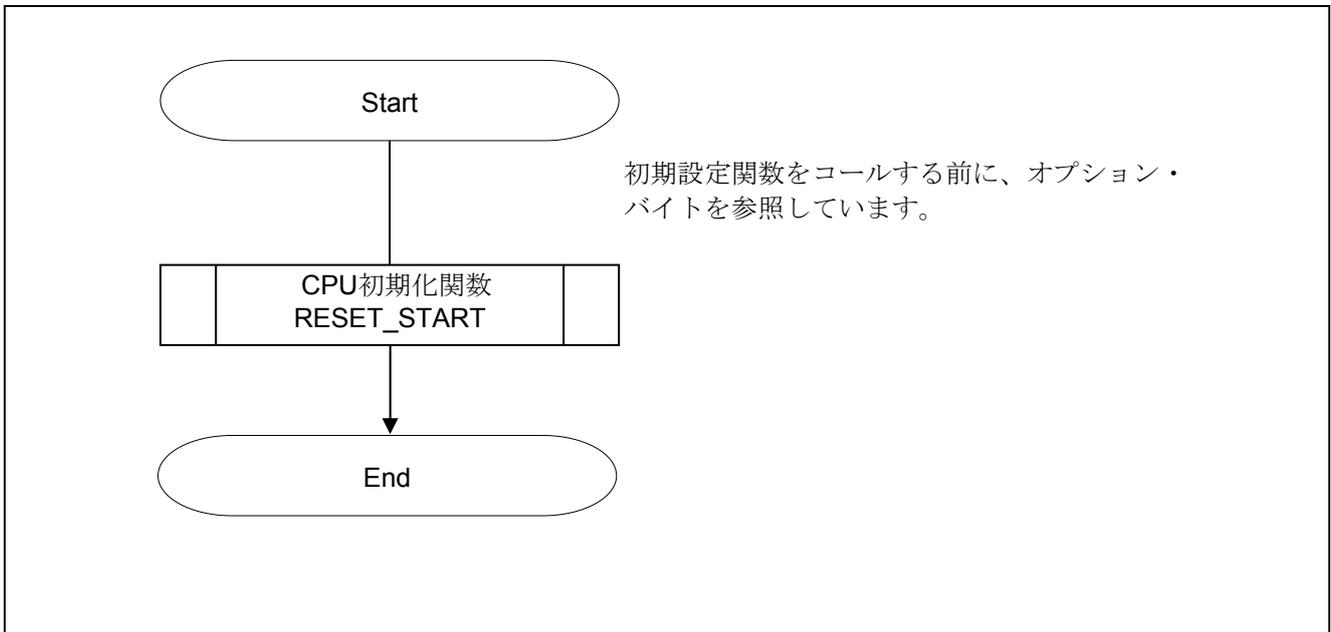


図 5.1 全体フロー

5.7.1 CPU 初期化関数

図 5.2 に CPU 初期化関数 (リセット・スタート関数) のフローチャートを示します。

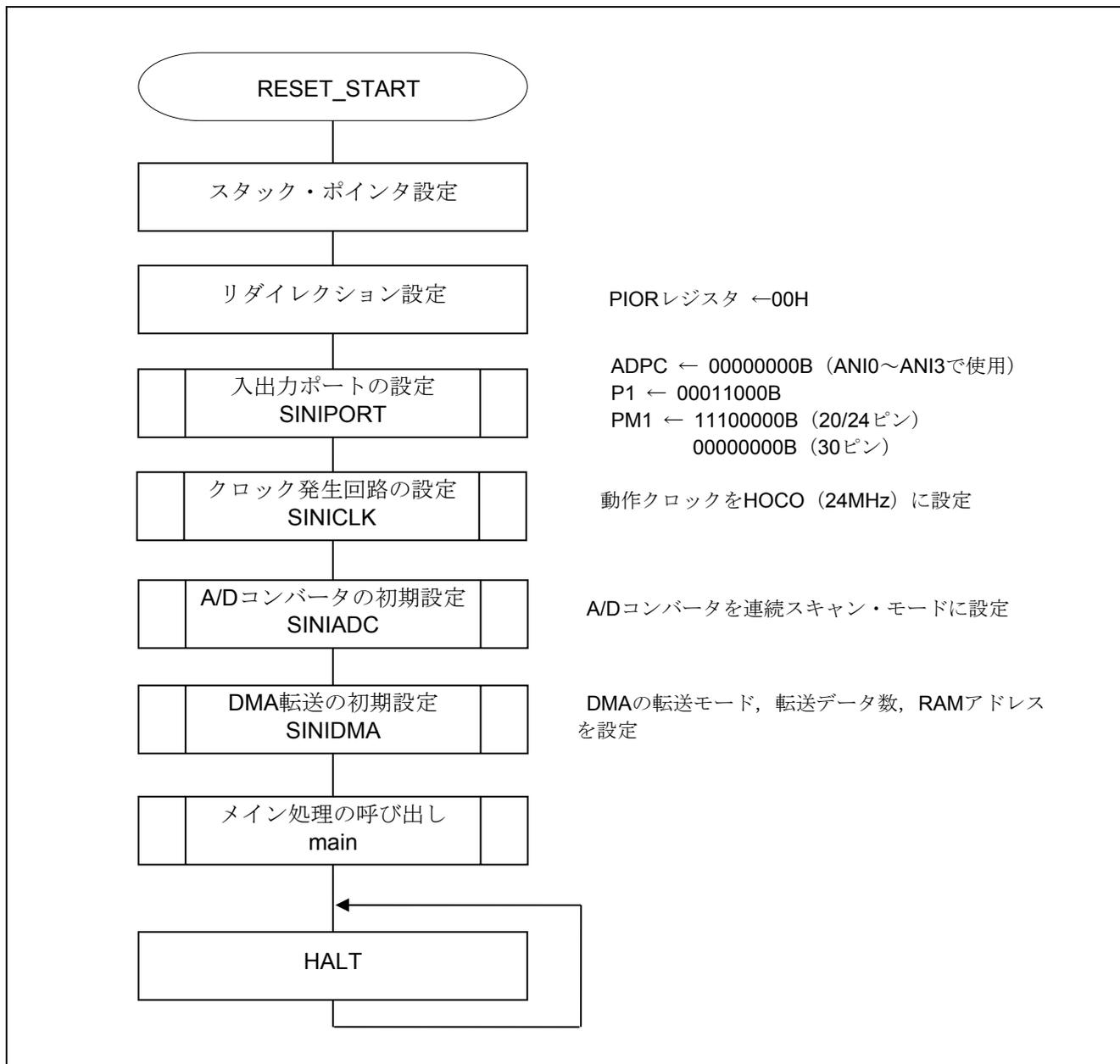


図 5.2 リセット・スタート関数

5.7.2 入出力ポートの設定関数

図 5.3 に入出力ポートの設定関数のフローチャートを示します。

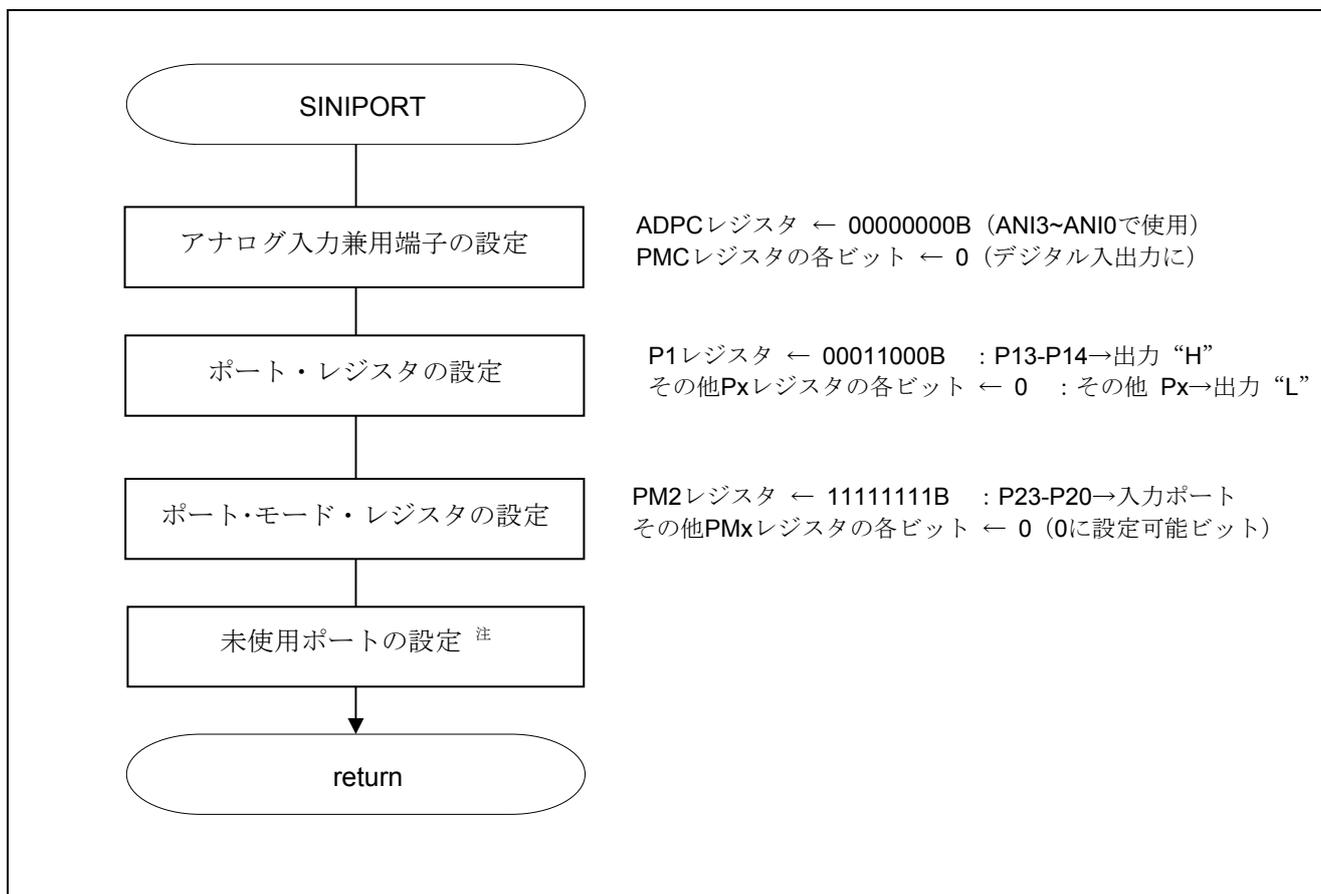


図 5.3 入出力ポートの設定関数

注 未使用ポートの設定については、RL78/G12 初期設定 (R01AN2582J) アプリケーションノート “フローチャート” を参照して下さい。

注意 未使用のポートは、端子処理などを適切に行い、電気的特性を満たすように設計してください。また、未使用の入力専用ポートは個別に抵抗を介して VDD 又は VSS に接続して下さい。

A/D 変換するチャンネルの設定

- ・ A/D ポート・コンフィギュレーション・レジスタ (ADPC)
 - A/D コンバータのアナログ入力ノポートのデジタル入出力の切り替え
- ・ ポート・モード・レジスタ 2 (PM2)
 - 各ポートの入出力モードの選択

略号 : ADPC

7	6	5	4	3	2	1	0
0	0	0	0	0	ADPC2	ADPC1	ADPC0
0	0	0	0	0	0	0	0

ビット 3 - 0

ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入出力 (D) の切り替え			
			ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	A	A	A	A
0	0	1	D	D	D	D
0	1	0	D	D	D	A
0	1	1	D	D	A	A
1	0	0	D	A	A	A
上記以外			設定禁止			

略号 : PM2

7	6	5	4	3	2	1	0
PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20
x	x	x	x	1	1	1	1

ビット 3 - 0

PM23-PM20	P23-P20 の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

LED ポートの設定

・ポート・モード・レジスタ 1 (PM1)

略号: PM1

7	6	5	4	3	2	1	0
PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
0	0	0	0	0	0	0	0

ビット 4

PM14	P14 端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

ビット 3

PM13	P13 端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

5.7.3 クロック発生回路の設定

図 5.4 にクロック発生回路の設定のフローチャートを示します。



図 5.4 クロック発生回路の設定

注意 クロック発生回路の設定 (SINICKL) については、RL78/G12 初期設定 (R01AN2582J) アプリケーションノート“フローチャート”を参照して下さい。

5.7.4 DMA コントローラの初期設定

図 5.5 に DMA コントローラの初期設定のフローチャートを示します。

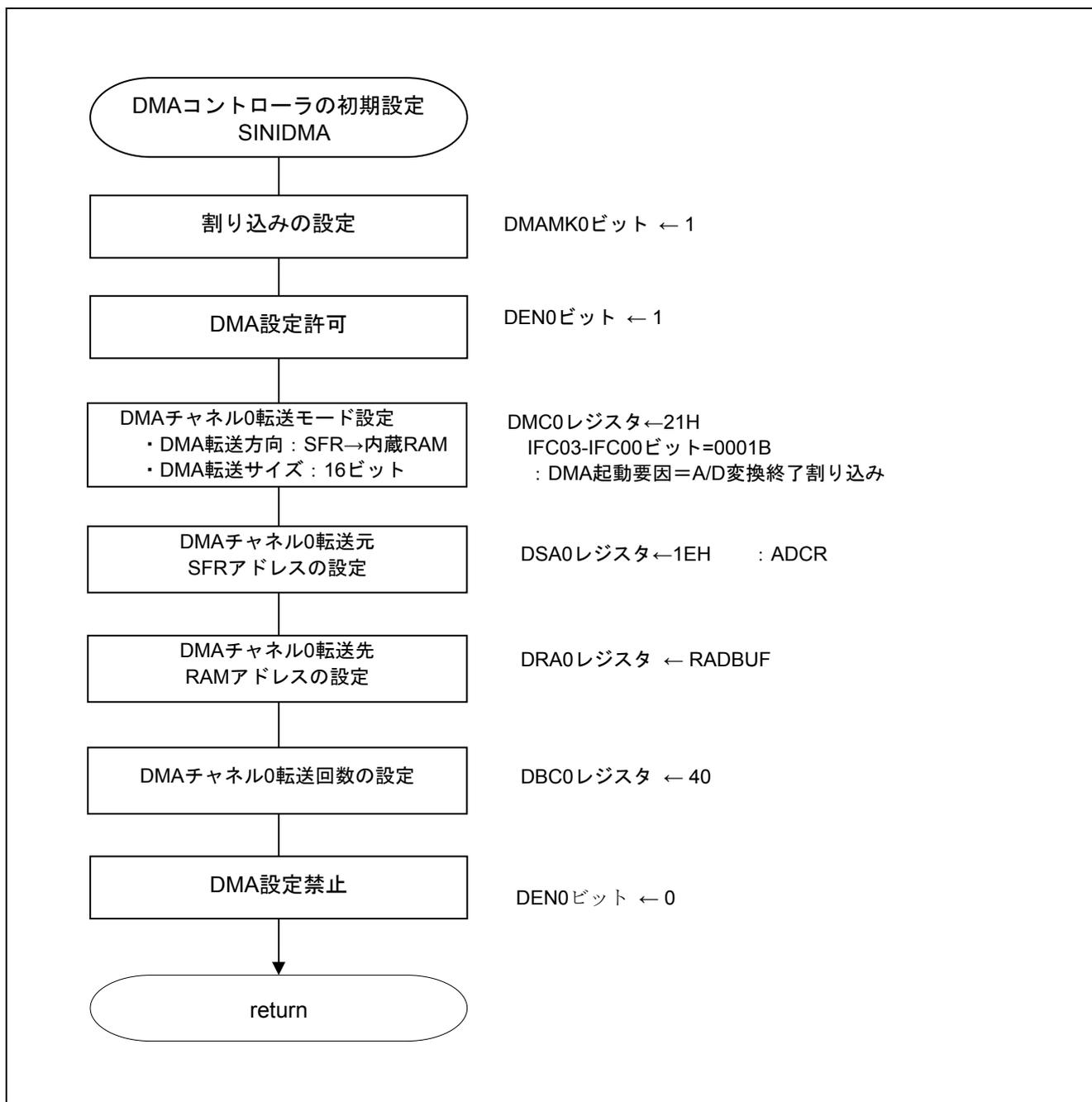


図 5.5 DMA コントローラ の初期設定

DMA チャンネル 0 の動作許可禁止設定

- ・DMA 動作コントロール・レジスタ (DRC0)

略号 : DRC0

	7	6	5	4	3	2	1	0
DEN0	0	0	0	0	0	0	0	DST0
	1/0	0	0	0	0	0	0	0

ビット 7

DEN0	DMA 動作許可フラグ
0	DMA チャンネル 0 の動作禁止 (DMA の動作クロック停止) DMA 設定処理禁止
1	DMA チャンネル 0 の動作許可 DMA 設定処理許可

ビット 0

DST0	DMA 転送モード・フラグ
0	DMA チャンネル 0 の DMA 転送終了
1	DMA チャンネル 0 の DMA 転送未終了 (転送中)

DMA 完了割り込みの制御 (20/24 ピン製品)

- ・割り込みマスク・フラグ・レジスタ (MK0L)
- 割り込みマスクのセット

略号 : MK0L

	7	6	5	4	3	2	1	0
DMAMK1	DMAMK0	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK	
x	1	x	x	x	x	x	x	x

ビット 6

DMAMK0	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

DMA チャンネル 0 転送モード設定

- ・DMA モード・コントロール・レジスタ (DMC0)
- DMA 転送方向を SFR → 内蔵 RAM に指定
- 転送データ・サイズを 16 ビットに指定
- DMA 起動要求による DMA 転送を行うよう指定
- DMA 起動要因に A/D 変換終了割り込みを選択

略号 : DMC0

7	6	5	4	3	2	1	0
STG0	DRS0	DS0	DWAIT0	IFC03	IFC02	IFC01	IFC00
0	0	1	0	0	0	0	1

ビット 6

DRS0	DMA 転送方向の選択
0	SFR → 内蔵 RAM
1	内蔵 RAM → SFR

ビット 5

DS0	DMA 転送での転送データ・サイズの指定
0	8 ビット
1	16 ビット

ビット 4

DWAIT0	DMA 転送の保留
0	DMA 起動要求により DMA 転送を行う (保留しない)
1	DMA 起動要求が来ても保留する

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

ビット 3 - 0

IFC03	IFC02	IFC01	IFC00	DMA 起動要因の選択	
				トリガ信号	トリガ内容
0	0	0	0	-	割り込みによる DMA 転送禁止 (ソフトウェア・トリガのみ可)
0	0	0	1	INTAD	A/D 変換終了割り込み
0	0	1	0	INTTM00	タイマ・チャンネル0のカウント完了またはキャプチャ割り込み
0	0	1	1	INTTM01	タイマ・チャンネル1のカウント完了またはキャプチャ割り込み
0	1	0	0	INTTM02	タイマ・チャンネル2のカウント完了またはキャプチャ割り込み
0	1	0	1	INTTM03	タイマ・チャンネル3のカウント完了またはキャプチャ割り込み
0	1	1	0	INTST0/INTCSI00	UART0送信の転送完了、バッファ空き割り込み /CSI00の転送完了、バッファ空き割り込み
0	1	1	1	INTSR0/INTCSI01	UART0受信の転送完了割り込み/CSI01の転送完了、バッファ空き割り込み
1	0	0	0	INTST1	UART1送信の転送完了、バッファ空き割り込み
1	0	0	1	INTSR1/INTCSI11	UART1受信の転送完了割り込み/CSI11の転送完了、バッファ空き割り込み
1	0	1	0	INTST2/INTCSI20	UART2送信の転送完了、バッファ空き割り込み /CSI20の転送完了、バッファ空き割り込み
1	0	1	1	INTSR2	UART2受信の転送完了割り込み
上記以外				設定禁止	

DMA チャンネル 0 転送元 SFR 設定

- ・ DMA SFR アドレス・レジスタ 0 (DSA0)
DMA 転送元 SFR を、ADCR (0x1E) に設定

略号 : DSA0

7	6	5	4	3	2	1	0
0	0	0	1	1	1	1	0

DMA チャンネル 0 転送先 RAM アドレス設定

- ・ DMA RAM アドレス・レジスタ 0 (DRA0)
DMA 転送先 RAM アドレスを設定

略号 : DRA0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

A/D 変換結果バッファ領域の先頭アドレス RADBUF を設定する。

注意 レジスタ設定方法の詳細については、**RL78/G12 ユーザーズマニュアル ハードウェア編**を参照してください。

DMA チャンネル 0 転送回数設定

- ・ DMA バイト・カウント・レジスタ 0 (DBC0)
DMA 転送回数を設定

略号 : DBC0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0

DMA 転送回数を「40 回」に設定する。

注意 レジスタ設定方法の詳細については、**RL78/G12 ユーザーズマニュアル ハードウェア編**を参照してください。

5.7.5 A/D コンバータの初期設定

図 5.6 に A/D コンバータの初期設定のフローチャートを示します。

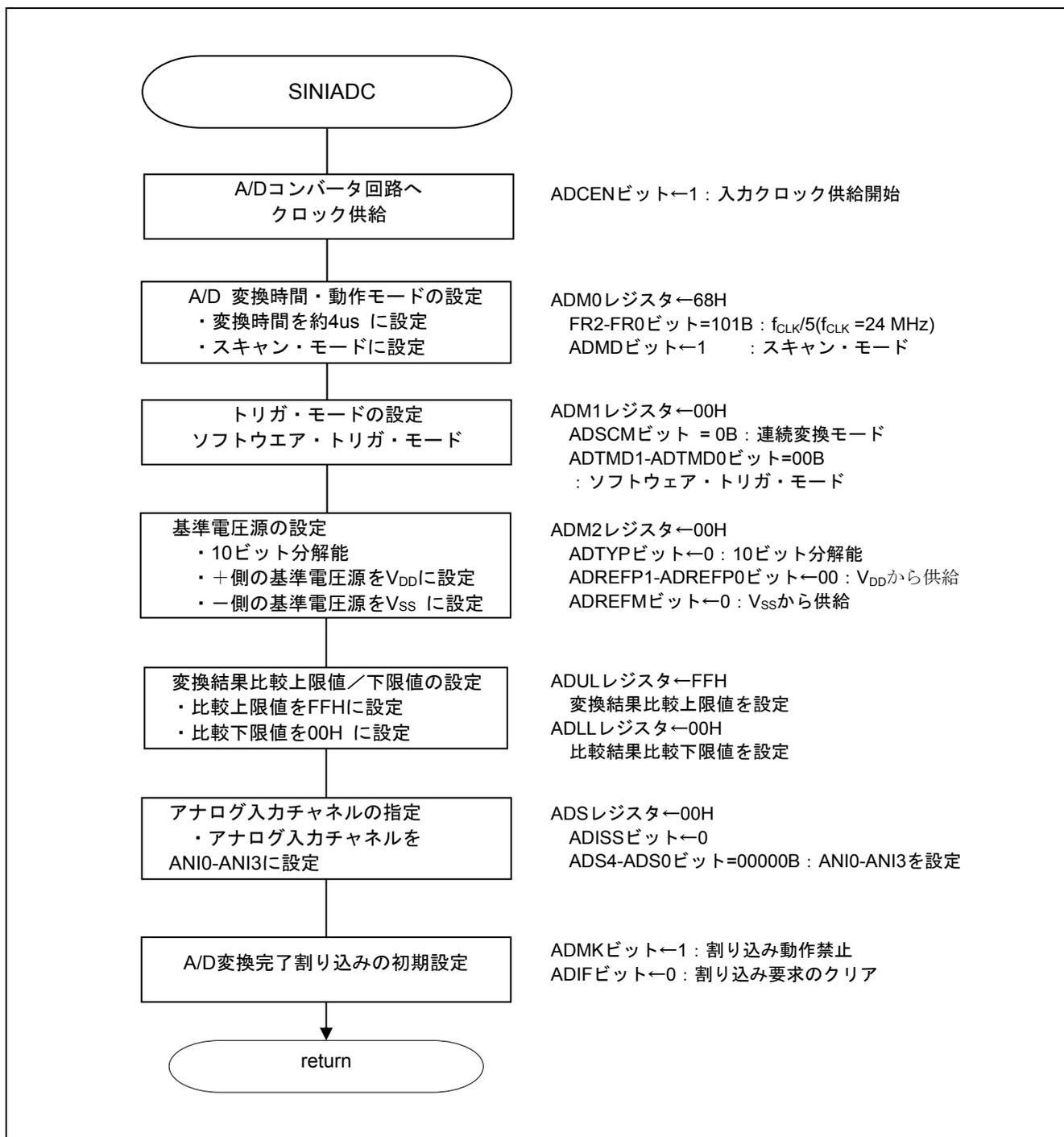


図 5.6 A/D コンバータの初期設定

A/D コンバータへのクロック供給開始

- ・周辺イネーブル・レジスタ 0 (PER0)
A/D コンバータへのクロック供給を開始します

略号 : PER0

	7	6	5	4	3	2	1	0
TMKAE	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN	
	x	0	1	x	x	x	0	x

ビット 5

ADCEN	A/D コンバータの入カクロックの制御
0	入カクロック供給停止
1	入カクロック供給

A/D 変換割り込みの制御 (20/24 ピン製品)

- ・割り込みマスク・フラグ・レジスタ (MK1L)
- ・割り込み要求フラグ・レジスタ (IF1L)

略号 : MK1L

	7	6	5	4	3	2	1	0
1	FLMK	MDMK	KRMK	TMKAMK	ADMK	TMMK03	TMMK02	
1	x	x	x	x	1	x	x	

ビット 2

ADMK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号 : IF1L

	7	6	5	4	3	2	1	0
0	FLIF	MDIF	KRIF	TMKAIF	ADIF	TMIF03	TMIF02	
0	x	x	x	x	0	x	x	

ビット 2

ADIF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 レジスタ設定の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

A/D 変換割り込みの制御 (30 ピン製品)

- ・ 割り込みマスク・フラグ・レジスタ (MK1H)
- ・ 割り込み要求フラグ・レジスタ (IF1H)

略号 : MK1H

	7	6	5	4	3	2	1	0
TMMK04	0	0	0	0	0	ITMK	0	ADMK
	x	0	0	0	0	x	0	1

ビット 0

ADMK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

略号 : IF1H

	7	6	5	4	3	2	1	0
TMIF04	0	0	0	0	0	ITIF	0	ADIF
	x	0	0	0	0	x	0	0

ビット 0

ADIF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 レジスタ設定の詳細については、**RL78/G12 ユーザーズマニュアル** ハードウェア編を参照してください。

A/D 変換時間と動作モードの設定

・ A/D コンバータ・モード・レジスタ 0 (ADM0)

A/D 変換動作の制御

A/D 変換チャンネル選択モードの指定

略号 : ADM0

7	6	5	4	3	2	1	0
ADCS	ADMD	FR2	FR1	FR0	LV1	LV0	ADCE
x	1	1	0	1	0	0	x

ビット 6

ADMD	A/D 変換チャンネル選択モードを指定
0	セレクト・モード
1	スキャン・モード

ビット 5 - 1

ADM0					モード	変換時間の選択						変換 クロック (f_{AD})
FR2	FR1	FR0	LV1	LV0		$f_{CLK}=$ 1MHz	$f_{CLK}=$ 2MHz	$f_{CLK}=$ 4MHz	$f_{CLK}=$ 8MHz	$f_{CLK}=$ 16MHz	$f_{CLK}=$ 24MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	76 μ s	50.67 μ s	$f_{CLK}/64$
0	0	1							76 μ s	38 μ s	25.33 μ s	$f_{CLK}/32$
0	1	0						76 μ s	38 μ s	19 μ s	12.67 μ s	$f_{CLK}/16$
0	1	1					76 μ s	38 μ s	19 μ s	9.5 μ s	6.33 μ s	$f_{CLK}/8$
1	0	0					57 μ s	28.5 μ s	14.25 μ s	7.125 μ s	4.75 μ s	$f_{CLK}/6$
1	0	1					95 μ s	47.5 μ s	23.75 μ s	11.875 μ s	3.96 μ s	$f_{CLK}/5$
1	1	0					76 μ s	38 μ s	19 μ s	9.5 μ s	3.17 μ s	$f_{CLK}/4$
1	1	1					38 μ s	19 μ s	9.5 μ s	4.75 μ s	2.375 μ s	設定禁止
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	68 μ s	45.33 μ s	$f_{CLK}/64$
0	0	1							68 μ s	34 μ s	22.67 μ s	$f_{CLK}/32$
0	1	0						68 μ s	34 μ s	17 μ s	11.33 μ s	$f_{CLK}/16$
0	1	1						68 μ s	34 μ s	17 μ s	8.5 μ s	$f_{CLK}/8$
1	0	0						51 μ s	25.5 μ s	12.75 μ s	6.375 μ s	$f_{CLK}/6$
1	0	1					85 μ s	42.5 μ s	21.25 μ s	10.625 μ s	5.3125 μ s	$f_{CLK}/5$
1	1	0					68 μ s	34 μ s	17 μ s	8.5 μ s	4.25 μ s	$f_{CLK}/4$
1	1	1					34 μ s	17 μ s	8.5 μ s	4.25 μ s	2.125 μ s	設定禁止

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

A/D 変換トリガ・モードの設定

- ・ A/D コンバータ・モード・レジスタ 1 (ADM1)
- A/D 変換トリガ・モードの選択
- A/D 変換動作モードの設定

略号 : ADM1

7	6	5	4	3	2	1	0
ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0
0	0	0	0	0	0	0	0

ビット 1 - 0

ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択
0	0	ハードウェア・トリガを使用しない
0	1	タイマ・チャンネル 1 のカウント完了 またはキャプチャ完了割り込み信号 (INTTM01)
1	0	リアルタイム・クロック割り込み信号 (INTRTC)
1	1	インターバル・タイマ割り込み信号 (INTIT)

ビット 5

ADSCM	A/D 変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ビット 7 - 6

ADTMD1	ADTMD0	A/D 変換トリガ・モードの選択
0	—	ソフトウェア・トリガ・モード
1	0	ハードウェア・トリガ・ノーウエイト・モード
1	1	ハードウェア・トリガ・ウエイト・モード

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

基準電圧源の設定

- ・ A/D コンバータ・モード・レジスタ 2 (ADM2)
基準電圧源の設定

略号 : ADM2

7	6	5	4	3	2	1	0
ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP
0	0	0	0	0	0	0	0

ビット 0

ADTYP	A/D 変換分解能の設定
0	10 ビット分解能
1	8 ビット分解能

ビット 2

AWC	ウエイクアップ機能 (SNOOZE モード) の設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する

ビット 3

ADRCK	変換結果上限/下限値チェック
0	ADLL レジスタ \leq ADCR レジスタ \leq ADUL レジスタのとき割り込み信号 (INTAD) が発生。
1	ADCR レジスタ < ADLL レジスタ、ADUL レジスタ < ADCR レジスタのとき割り込み信号 (INTAD) が発生。

ビット 5

ADREFM	A/D コンバータの-側の基準電圧源の設定
0	V_{SS} から供給
1	P21/AV _{REFM} /ANI1 から供給

ビット 7-6

ADREFP1	ADREFP0	A/D コンバータの+側の基準電圧源の選択
0	0	V_{DD} から供給
0	1	P20/AV _{REFP} /ANI0 から供給
1	0	内部基準電圧 (1.44 V) から供給
1	1	設定禁止

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

変換結果比較上限値／下限値の設定

- ・変換結果比較上限値設定レジスタ (ADUL)
- ・変換結果比較下限値設定レジスタ (ADLL)

略号 : ADUL

7	6	5	4	3	2	1	0
ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0
1							

略号 : ADLL

7	6	5	4	3	2	1	0
ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0
0							

入力チャネルの指定

- ・アナログ入力チャネル指定レジスタ (ADS)
- A/D 変換するアナログ電圧の入力チャネルを指定

略号 : ADS

7	6	5	4	3	2	1	0
ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0
0	0	0	0	0	0	0	0

ビット 7、4-0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
						スキャン 0	スキャン 1	スキャン 2	スキャン 3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	—
0	0	0	0	1	0	ANI2	ANI3	—	—
0	0	0	0	1	1	ANI3	—	—	—
上記以外						設定禁止			

注意 レジスタ設定方法の詳細については、RL78/G12 ユーザーズマニュアル ハードウェア編を参照してください。

5.7.6 DMA コントローラの動作許可

図 5.7 に DMA コントローラの動作許可設定のフローチャートを示します。

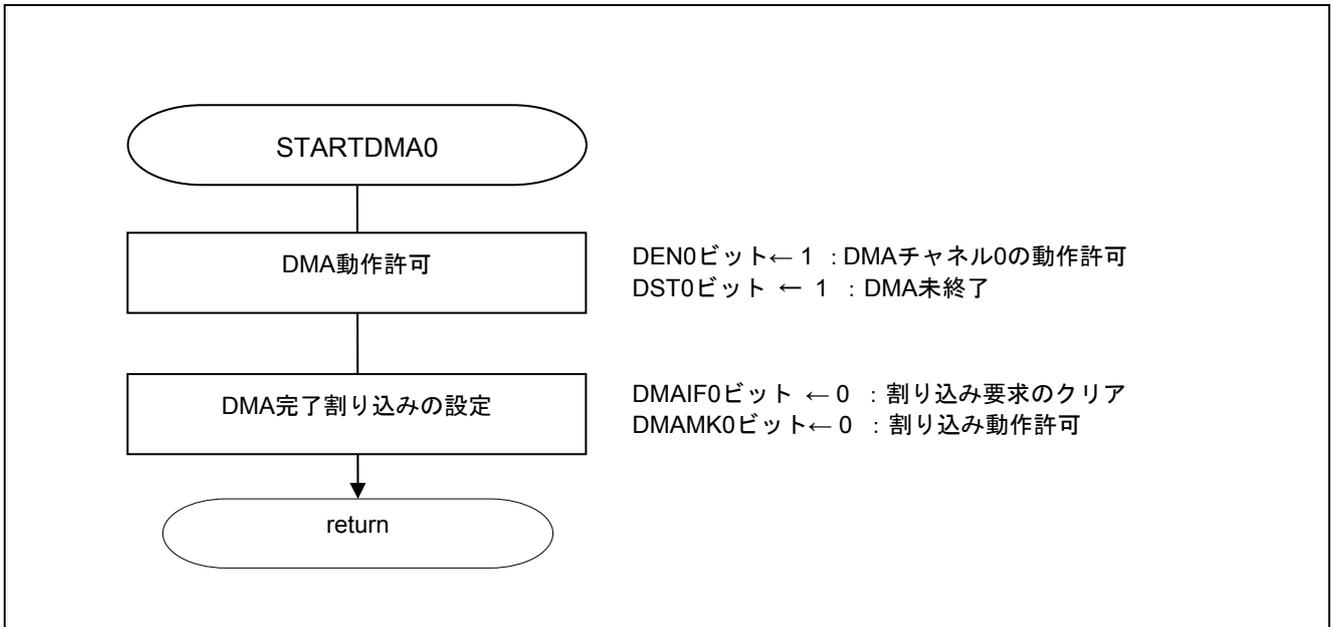


図 5.7 DMA コントローラの動作許可設定

DMA チャンネル 0 の動作トリガ待ち設定

・DMA 動作コントロール・レジスタ (DRC0)

略号 : DRC0

7	6	5	4	3	2	1	0
DEN0	0	0	0	0	0	0	DST0
	1	0	0	0	0	0	1

ビット 7

DEN0	DMA 動作許可フラグ
0	DMA チャンネル 0 の動作禁止 (DMA の動作クロック停止) DMA 設定処理禁止
1	DMA チャンネル 0 の動作許可 DMA 設定処理許可

ビット 0

DST0	DMA 転送モード・フラグ
0	DMA チャンネル 0 の DMA 転送終了
1	DMA チャンネル 0 の DMA 転送未終了 (転送中)

DMA 動作許可 (DEN0 = 1) にしてから、DST0 = 1 にすることで DMA トリガ待ち状態になります。

注意 レジスタ設定方法の詳細については、**RL78/G12 ユーザーズマニュアル ハードウェア編**を参照してください。

DMA 転送完了割り込みの許可準備 (20/24 ピン製品)

- ・割り込み要求フラグ・レジスタ (IFOL)
 - 割り込み要求フラグのクリア
- ・割り込みマスク・フラグ・レジスタ (MKOL)
 - 割り込みマスクのクリア

略号 : IFOL

7	6	5	4	3	2	1	0
DMAIF1	DMAIF0	PIF3	PIF2	PIF1	PIF0	LVIIIF	WDTIIF
x	0	x	x	x	x	x	x

ビット 6

DMAIF0	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

略号 : MKOL

7	6	5	4	3	2	1	0
DMAMK1	DMAMK0	PMK3	PMK2	PMK1	PMK30	LVIMK	WDTIMK
x	0	x	x	x	x	x	x

ビット 6

DMAMK0	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 レジスタ設定方法の詳細については、**RL78/G12 ユーザーズマニュアル** ハードウェア編を参照してください。

5.7.7 A/D 変換開始設定

図 5.8 に A/D 変換開始設定のフローチャートを示します。

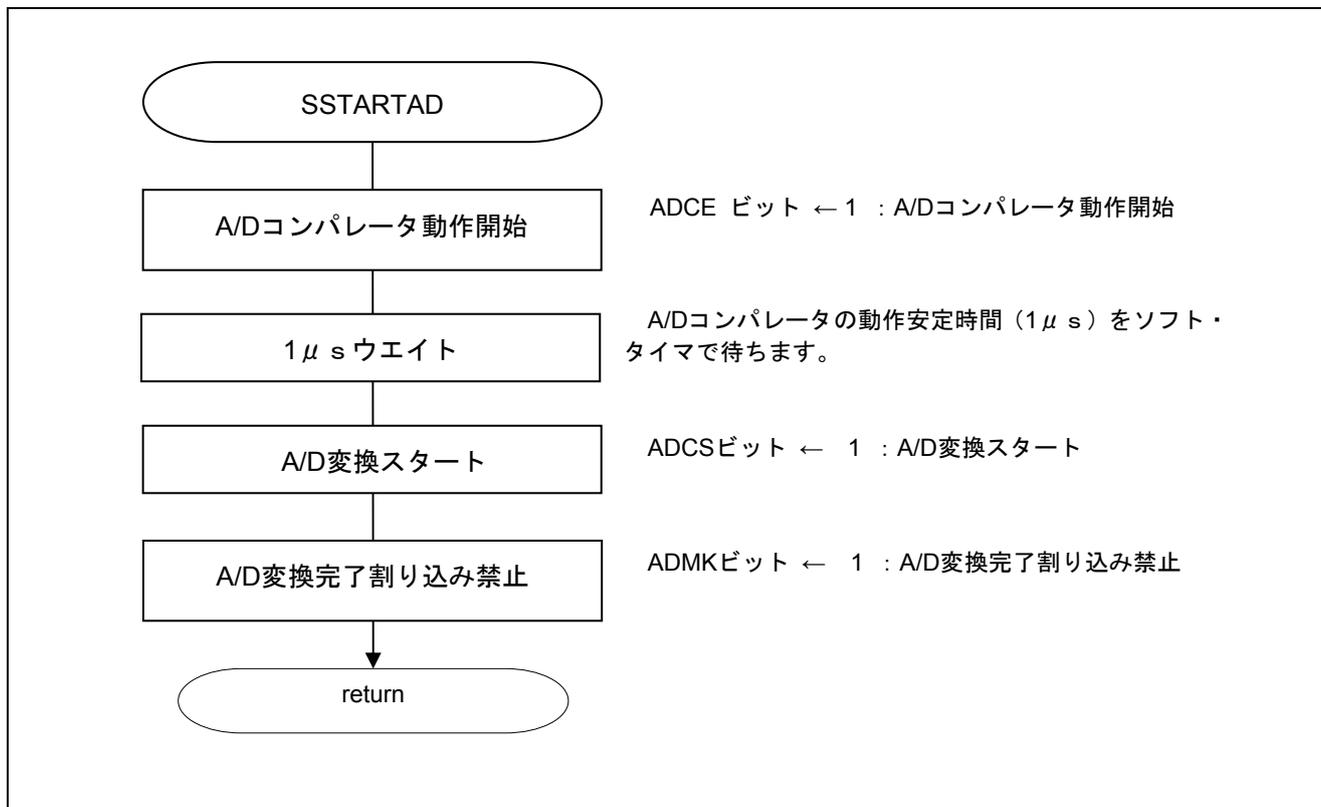


図 5.8 A/D 変換開始設定

5.7.8 メイン処理

図 5.9~図 5.11 にメイン処理のフローチャートを示します。

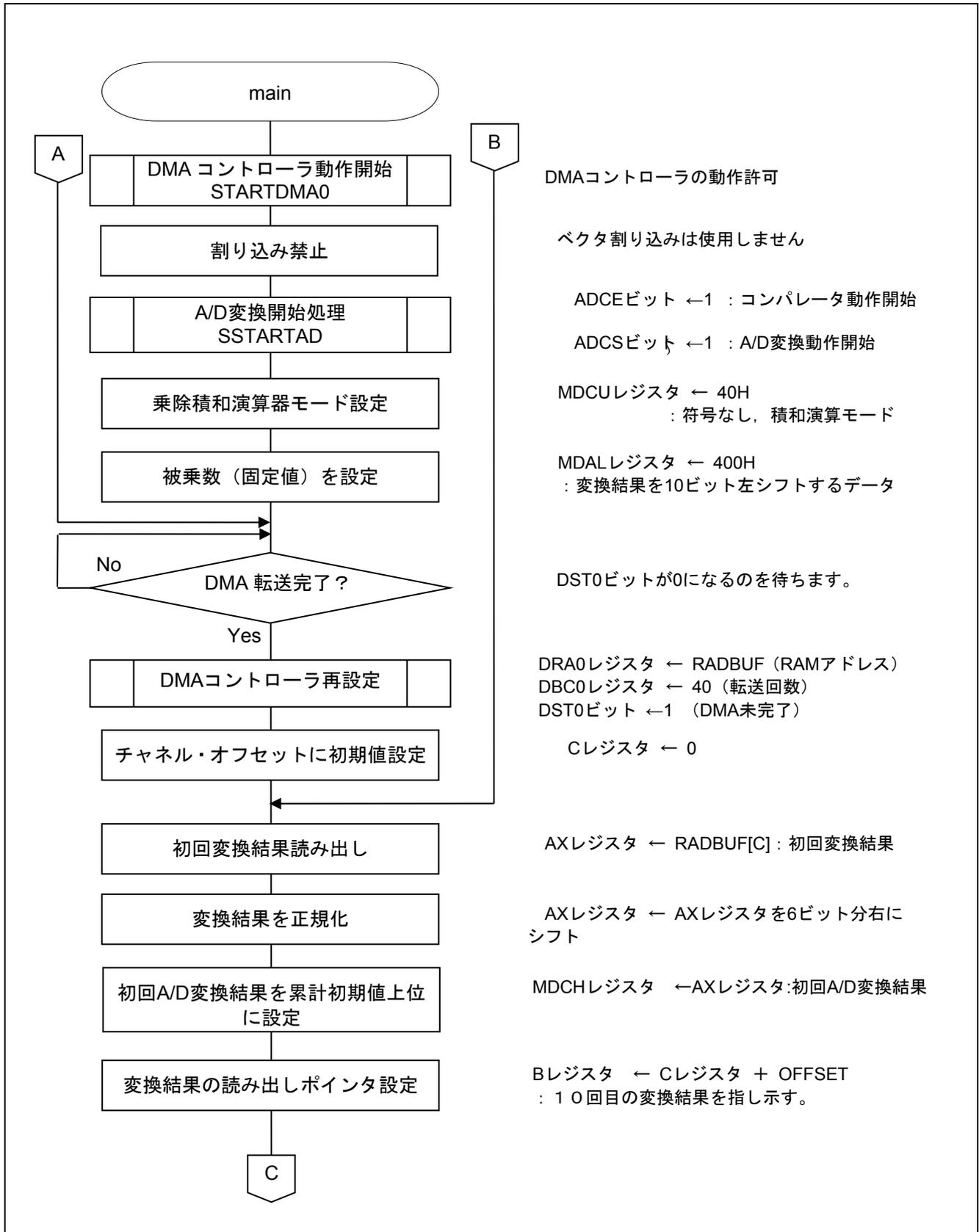


図 5.9 メイン処理 (1 / 3)

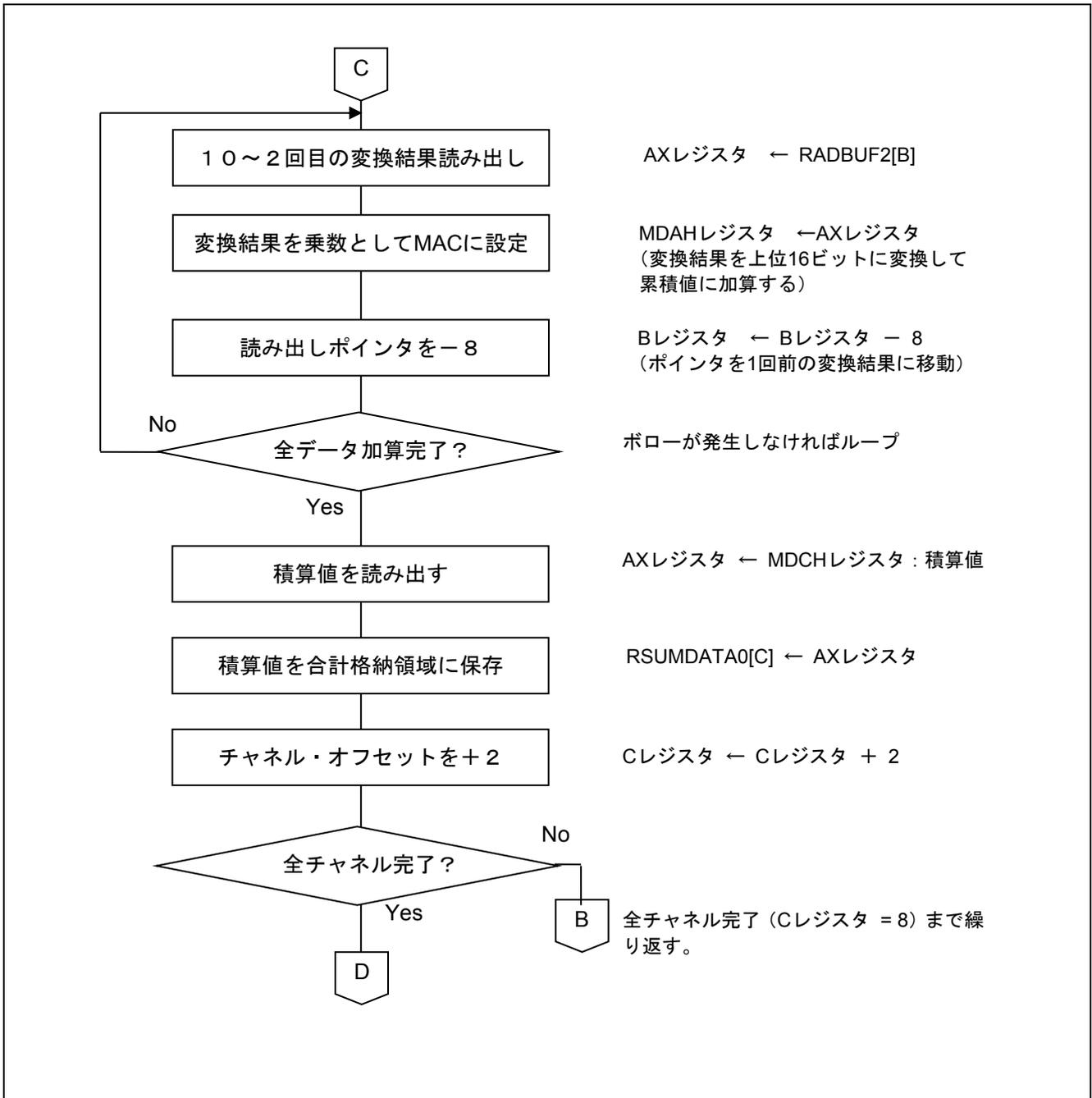


図 5.10 メイン処理 (2 / 3)

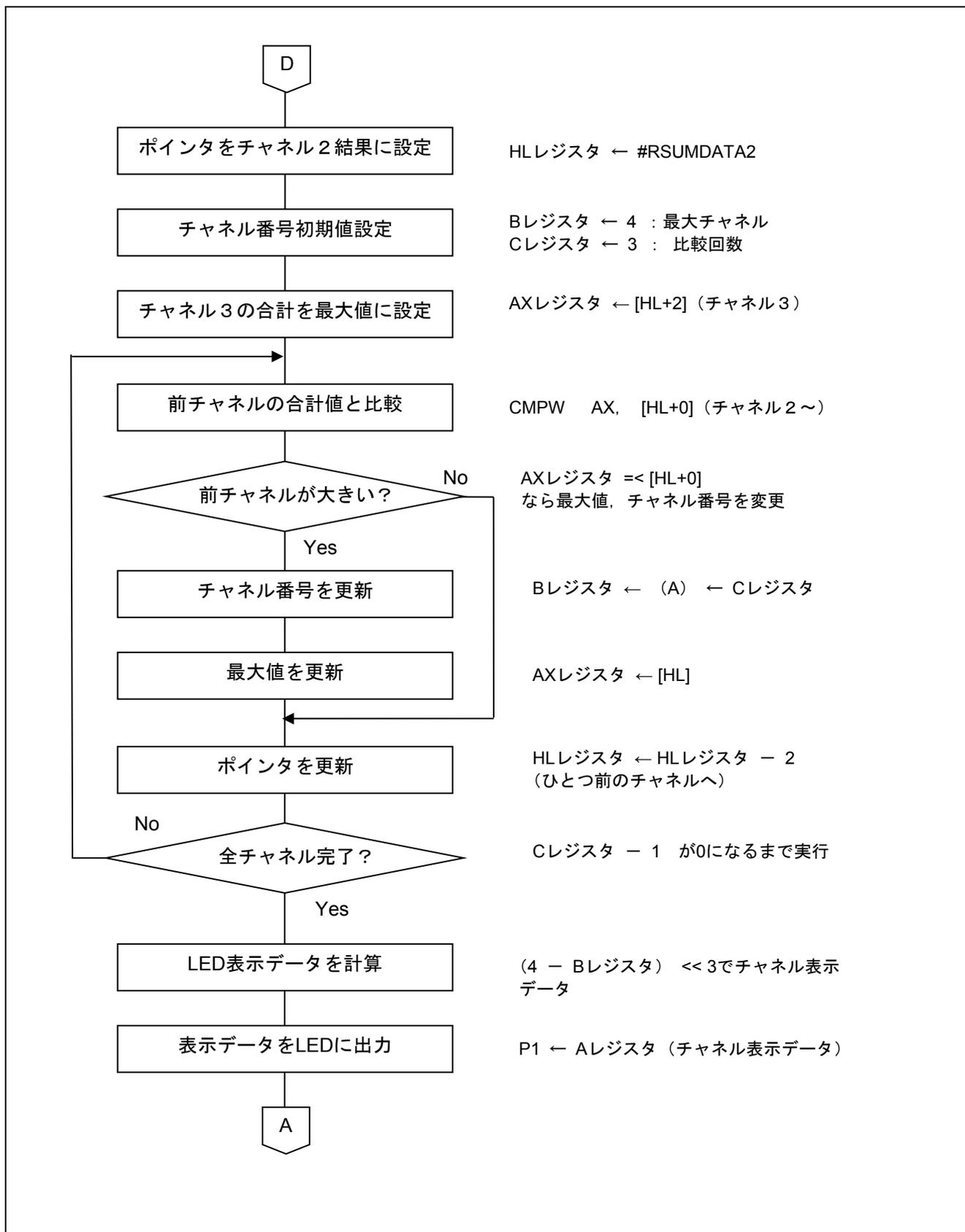


図 5.11 メイン処理 (3 / 3)

6. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

7. 参考ドキュメント

RL78/G12 ユーザーズマニュアル ハードウェア編 (R01UH0200J)

RL78 ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0015J)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

改訂記録	RL78/G12 DMA コントローラ (A/D コンバータ) CC-RL
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.10.20	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

営業お問い合わせ窓口

<http://www.renesas.com>

営業お問い合わせ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレスト)

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問い合わせ窓口：<http://japan.renesas.com/contact/>