

RL78/I1B

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

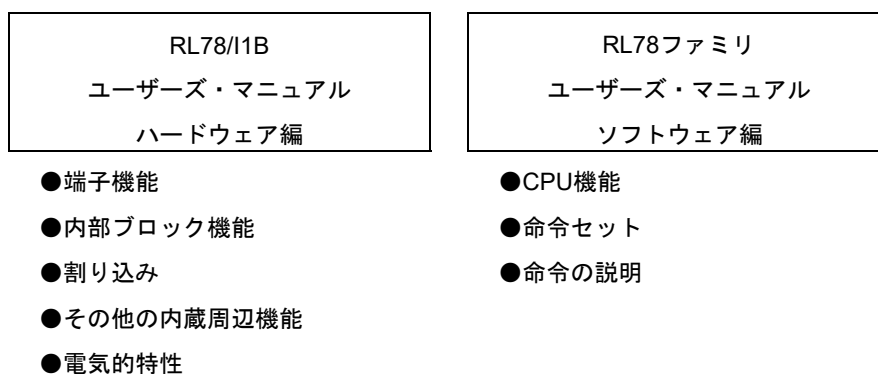
このマニュアルの使い方

対象者 このマニュアルはRL78/I1Bの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

- 80ピン製品 : R5F10MME, R5F10MMG
- 100ピン製品 : R5F10MPE, R5F10MPG

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/I1Bのマニュアルは、このマニュアルと命令編（RL78ファミリ共通）の2冊に分かれています。



読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

→目次に従って読んでください。

本文欄外の★印は、本版で改訂された主な箇所を示しています。

この"★"をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

RL78/I1Bマイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ ユーザーズ・マニュアル ソフトウェア編（R01US0015J）を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
 アクティブ・ロウの表記 : $\overline{\times \times \times}$ (端子, 信号名称に上線)
 注 : 本文中につけた注の説明
 注意 : 気をつけて読んでいただきたい内容
 備考 : 本文の補足説明
 数の表記 : 2進数 $\cdots \times \times \times \times$ または $\times \times \times \times B$
 10進数 $\cdots \times \times \times \times$
 16進数 $\cdots \times \times \times \times H$

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和 文	英 文
RL78/I1B ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0407E
RL78ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料 (ユーザーズマニュアル)

資料名	資料番号	
	和 文	英 文
PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル	—	—
RL78, 78K, V850, RX100, RX200, RX600 (RX64x除く), R8C, SH編	R20UT2923J	R20UT2923E
共通編	R20UT2922J	R20UT2922E
セットアップマニュアル	R20UT0930J	R20UT0930E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ 実装マニュアル	注	
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注 「半導体パッケージ実装マニュアル」のホーム・ページ参照

和文：<http://japan.renesas.com/products/package/index.jsp>

英文：<http://www.renesas.com/products/package/index.jsp>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

第1章 概 説.....	1
1.1 特 徴.....	1
1.2 型名一覧.....	4
1.3 端子接続図 (Top View)	5
1.3.1 80ピン製品.....	5
1.3.2 100ピン製品.....	6
1.4 端子名称.....	7
1.5 ブロック図.....	8
1.5.1 80ピン製品.....	8
1.5.2 100ピン製品.....	9
1.6 機能概要.....	10
第2章 端子機能.....	12
2.1 ポート機能.....	12
2.1.1 80ピン製品.....	13
2.1.2 100ピン製品.....	16
2.2 ポート以外の機能.....	19
2.2.1 製品別の搭載機能.....	19
2.2.2 機能説明.....	21
2.3 未使用端子の処理.....	23
2.4 端子ブロック図.....	25
第3章 CPUアーキテクチャ.....	39
3.1 メモリ空間.....	39
3.1.1 内部プログラム・メモリ空間.....	44
3.1.2 ミラー領域.....	47
3.1.3 内部データ・メモリ空間.....	49
3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域.....	49
3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域.....	49
3.1.6 データ・メモリ・アドレッシング.....	50
3.2 プロセッサ・レジスタ.....	51
3.2.1 制御レジスタ.....	51
3.2.2 汎用レジスタ.....	54
3.2.3 ES, CSレジスタ.....	55
3.2.4 特殊機能レジスタ (SFR : Special Function Register)	56
3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	62
3.3 命令アドレスのアドレッシング.....	71
3.3.1 レラティブ・アドレッシング.....	71
3.3.2 イミーディエト・アドレッシング.....	71
3.3.3 テーブル・インダイレクト・アドレッシング.....	72
3.3.4 レジスタ・ダイレクト・アドレッシング.....	72
3.4 処理データ・アドレスに対するアドレッシング.....	73
3.4.1 インプライド・アドレッシング.....	73

3.4.2	レジスタ・アドレッシング	73
3.4.3	ダイレクト・アドレッシング	74
3.4.4	ショート・ダイレクト・アドレッシング	75
3.4.5	SFRアドレッシング	76
3.4.6	レジスタ・インダイレクト・アドレッシング	77
3.4.7	ベースト・アドレッシング	78
3.4.8	ベースト・インデクスト・アドレッシング	81
3.4.9	スタック・アドレッシング	82
第4章	ポート機能	85
4.1	ポートの機能	85
4.2	ポートの構成	85
4.2.1	ポート0	86
4.2.2	ポート1	86
4.2.3	ポート2	87
4.2.4	ポート3	88
4.2.5	ポート4	88
4.2.6	ポート5	88
4.2.7	ポート6	88
4.2.8	ポート7	89
4.2.9	ポート8	89
4.2.10	ポート12	89
4.2.11	ポート13	90
4.3	ポート機能を制御するレジスタ	91
4.3.1	ポート・モード・レジスタ (PMxx)	95
4.3.2	ポート・レジスタ (Pxx)	96
4.3.3	プルアップ抵抗オプション・レジスタ (PUxx)	97
4.3.4	ポート入力モード・レジスタ (PIMxx)	98
4.3.5	ポート出力モード・レジスタ (POMxx)	99
4.3.6	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	100
4.3.7	グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)	101
4.3.8	周辺I/Oリダイレクション・レジスタ (PIOR)	102
4.3.9	LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5)	103
4.3.10	LCD入力切り替え制御レジスタ (ISCLCD)	106
4.4	ポート機能の動作	107
4.4.1	入出力ポートへの書き込み	107
4.4.2	入出力ポートからの読み出し	107
4.4.3	入出力ポートでの演算	107
4.4.4	異電位 (1.8 V系, 2.5 V系, 3 V系) 外部デバイスとの接続方法	108
4.4.5	入出力バッファによる異電位 (1.8 V系, 2.5 V系, 3 V系) 対応	108
4.5	兼用機能使用時のレジスタの設定	110
4.5.1	兼用機能使用時の基本的な考え方	110
4.5.2	出力機能を使用しない兼用機能のレジスタ設定	111
4.5.3	使用するポート機能および兼用機能のレジスタ設定例	112
4.5.4	SEGxx端子兼用ポートの動作	120
4.5.5	VL3, CAPL, CAPH端子兼用ポートの動作	121
4.6	ポート機能使用時の注意事項	123
4.6.1	ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項	123

4.6.2	端子設定に関する注意事項	124
第5章	クロック発生回路	125
5.1	クロック発生回路の機能	125
5.2	クロック発生回路の構成	127
5.3	クロック発生回路を制御するレジスタ	129
5.3.1	クロック動作モード制御レジスタ (CMC)	129
5.3.2	システム・クロック制御レジスタ (CKC)	132
5.3.3	クロック動作ステータス制御レジスタ (CSC)	134
5.3.4	発振安定時間カウンタ状態レジスタ (OSTC)	135
5.3.5	発振安定時間選択レジスタ (OSTS)	137
5.3.6	周辺イネーブル・レジスタ0, 1 (PER0, PER1)	139
5.3.7	サブシステム・クロック供給モード制御レジスタ (OSMC)	142
5.3.8	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	144
5.3.9	周辺クロック制御レジスタ (PCKC)	145
5.4	システム・クロック発振回路	146
5.4.1	X1発振回路	146
5.4.2	XT1発振回路	146
5.4.3	高速オンチップ・オシレータ	150
5.4.4	低速オンチップ・オシレータ	150
5.5	クロック発生回路の動作	151
5.6	クロックの制御	153
5.6.1	高速オンチップ・オシレータの設定例	153
5.6.2	X1発振回路の設定例	154
5.6.3	XT1発振回路の設定例	156
5.6.4	CPUクロック状態移行図	157
5.6.5	CPUクロックの移行前の条件と移行後の処理	163
5.6.6	CPUクロックの切り替えとシステム・クロックの切り替えに要する時間	165
5.6.7	クロック発振停止前の条件	166
5.7	発振子と発振回路定数	167
第6章	高速オンチップ・オシレータ・クロック周波数補正機能	171
6.1	高速オンチップ・オシレータ・クロック周波数補正機能	171
6.2	レジスタ説明	172
6.2.1	高速オンチップ・オシレータ・クロック周波数補正制御レジスタ (HOCOFC)	172
6.3	動作説明	173
6.3.1	動作概要	173
6.3.2	動作手順	176
6.4	使用上の注意事項	177
6.4.1	SFRアクセス	177
6.4.2	スタンバイ時動作	177
6.4.3	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) の変更について	177
第7章	タイマ・アレイ・ユニット	178
7.1	タイマ・アレイ・ユニットの機能	179
7.1.1	単独チャンネル動作機能	179

7.1.2	複数チャンネル連動動作機能	180
7.1.3	8ビット・タイマ動作機能（チャンネル1, 3のみ）	181
7.1.4	LIN-bus対応機能（チャンネル7のみ）	182
7.2	タイマ・アレイ・ユニットの構成	183
7.2.1	タイマ・カウンタ・レジスタmn（TCRmn）	187
7.2.2	タイマ・データ・レジスタmn（TDRmn）	189
7.3	タイマ・アレイ・ユニットを制御するレジスタ	190
7.3.1	周辺イネーブル・レジスタ0（PER0）	191
7.3.2	タイマ・クロック選択レジスタm（TPSm）	192
7.3.3	タイマ・モード・レジスタmn（TMRmn）	195
7.3.4	タイマ・ステータス・レジスタmn（TSRmn）	200
7.3.5	タイマ・チャンネル許可ステータス・レジスタm（TEm）	201
7.3.6	タイマ・チャンネル開始レジスタm（TSM）	202
7.3.7	タイマ・チャンネル停止レジスタm（TTm）	204
7.3.8	タイマ入力選択レジスタ0（TIS0）	205
7.3.9	タイマ出力許可レジスタm（TOEm）	206
7.3.10	タイマ出力レジスタm（TOM）	207
7.3.11	タイマ出力レベル・レジスタm（TOLm）	208
7.3.12	タイマ出力モード・レジスタm（TOMm）	209
7.3.13	入力切り替え制御レジスタ（ISC）	210
7.3.14	ノイズ・フィルタ許可レジスタ1（NFEN1）	211
7.3.15	タイマ入出力端子のポート機能を制御するレジスタ	213
7.4	タイマ・アレイ・ユニットの基本ルール	214
7.4.1	複数チャンネル連動動作機能の基本ルール	214
7.4.2	8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）	216
7.5	カウンタの動作	217
7.5.1	カウント・クロック（f _{TCLK} ）	217
7.5.2	カウンタのスタート・タイミング	219
7.5.3	カウンタの動作	220
7.6	チャンネル出力（TOMn端子）の制御	225
7.6.1	TOMn端子の出力回路の構成	225
7.6.2	TOMn端子の出力設定	226
7.6.3	チャンネル出力操作時の注意事項	227
7.6.4	TOMnビットの一括操作	232
7.6.5	カウント動作開始時のタイマ割り込みとTOMn端子出力について	233
7.7	タイマ入力（TImn）の制御	234
7.7.1	TImnの入力回路構成	234
7.7.2	ノイズ・フィルタ	234
7.7.3	チャンネル入力操作時の注意事項	235
7.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	236
7.8.1	インターバル・タイマ／方形波出力としての動作	236
7.8.2	外部イベント・カウンタとしての動作	241
7.8.3	入力パルス間隔測定としての動作	245
7.8.4	入力信号のハイ／ロウ・レベル幅測定としての動作	249
7.8.5	ディレイ・カウンタとしての動作	253
7.9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	257
7.9.1	ワンショット・パルス出力機能としての動作	257
7.9.2	PWM機能としての動作	264
7.9.3	多重PWM出力機能としての動作	271

7.10	タイマ・アレイ・ユニット使用時の注意事項	279
7.10.1	タイマ出力使用時の注意事項	279
第8章	リアルタイム・クロック2	280
8.1	リアルタイム・クロック2の機能	280
8.2	リアルタイム・クロック2の構成	281
8.3	リアルタイム・クロック2を制御するレジスタ	283
8.3.1	周辺イネーブル・レジスタ0 (PER0)	284
8.3.2	周辺イネーブル・レジスタ1 (PER1)	285
8.3.3	サブシステム・クロック供給モード制御レジスタ (OSMC)	286
8.3.4	パワー・オン・リセット・ステータス・レジスタ (PORSR)	287
8.3.5	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)	288
8.3.6	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)	290
8.3.7	秒カウント・レジスタ (SEC)	293
8.3.8	分カウント・レジスタ (MIN)	293
8.3.9	時カウント・レジスタ (HOUR)	294
8.3.10	日カウント・レジスタ (DAY)	296
8.3.11	曜日カウント・レジスタ (WEEK)	297
8.3.12	月カウント・レジスタ (MONTH)	298
8.3.13	年カウント・レジスタ (YEAR)	298
8.3.14	時計誤差補正レジスタ (SUBCUD)	299
8.3.15	アラーム分レジスタ (ALARMWM)	302
8.3.16	アラーム時レジスタ (ALARMWH)	302
8.3.17	アラーム曜日レジスタ (ALARMWW)	303
8.4	リアルタイム・クロック2の動作	304
8.4.1	リアルタイム・クロック2の動作開始	304
8.4.2	動作開始後のHALT/STOPモードへの移行	305
8.4.3	リアルタイム・クロック2のカウンタ読み出し	306
8.4.4	リアルタイム・クロック2のカウンタ書き込み	307
8.4.5	リアルタイム・クロック2のアラーム設定	308
8.4.6	リアルタイム・クロック2の1 Hz出力	309
8.4.7	時計誤差補正レジスタの設定手順	310
8.4.8	リアルタイム・クロック2の時計誤差補正例	311
8.4.9	高精度1 Hz出力について	314
第9章	サブシステム・クロック周波数測定回路	315
9.1	サブシステム・クロック周波数測定回路	315
9.2	サブシステム・クロック周波数測定回路の構成	315
9.3	サブシステム・クロック周波数測定回路を制御するレジスタ	316
9.3.1	周辺イネーブル・レジスタ1 (PER1)	317
9.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	318
9.3.3	周波数測定カウント・レジスタL (FMCRL)	320
9.3.4	周波数測定カウント・レジスタH (FMCRH)	320
9.3.5	周波数測定コントロール・レジスタ (FMCTL)	321
9.4	サブシステム・クロック周波数測定回路の動作	322
9.4.1	基準クロックによるサブシステム・クロック周波数測定回路の設定	322
9.4.2	サブシステム・クロック周波数測定回路の動作タイミング	323

第10章	12ビット・インターバル・タイマ	324
10.1	12ビット・インターバル・タイマの機能	324
10.2	12ビット・インターバル・タイマの構成	324
10.3	12ビット・インターバル・タイマを制御するレジスタ	325
10.3.1	周辺イネーブル・レジスタ1 (PER1)	325
10.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	326
10.3.3	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)	327
10.4	12ビット・インターバル・タイマの動作	328
10.4.1	12ビット・インターバル・タイマの動作タイミング	328
10.4.2	HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行	329
第11章	8ビット・インターバル・タイマ	330
11.1	概要	330
11.2	入出力端子	331
11.3	レジスタの説明	331
11.3.1	8ビット・インターバル・タイマ・カウンタ・レジスタ n_i (TRT n_i) ($n = 0, 1, i = 0, 1$)	332
11.3.2	8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRT n) ($n = 0, 1$)	332
11.3.3	8ビット・インターバル・タイマ・コンペア・レジスタ n_i (TRTCMP n_i) ($n = 0, 1, i = 0, 1$)	333
11.3.4	8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMP n) ($n = 0, 1$)	333
11.3.5	8ビット・インターバル・タイマ制御レジスタ n (TRTCR n) ($n = 0, 1$)	334
11.3.6	8ビット・インターバル・タイマ分周レジスタ n (TRTMD n) ($n = 0, 1$)	335
11.4	動作説明	336
11.4.1	カウンタ・モード	336
11.4.2	タイマ動作	337
11.4.3	開始/停止タイミング	339
11.4.4	コンペア・レジスタ値の反映タイミング	342
11.5	8ビット・インターバル・タイマの注意事項	343
11.5.1	動作モードおよびクロック設定変更について	343
11.5.2	コンペア・レジスタへのアクセスについて	343
11.5.3	8ビット・インターバル・タイマ設定手順について	343
第12章	クロック出力／ブザー出力制御回路	344
12.1	クロック出力／ブザー出力制御回路の機能	344
12.2	クロック出力／ブザー出力制御回路の構成	346
12.3	クロック出力／ブザー出力制御回路を制御するレジスタ	346
12.3.1	クロック出力選択レジスタ n (CKS n)	346
12.3.2	クロック出力／ブザー出力端子のポート機能を制御するレジスタ	348
12.4	クロック出力／ブザー出力制御回路の動作	349
12.4.1	出力端子の動作	349
12.5	クロック出力／ブザー出力制御回路の注意事項	349

第13章 ウォッチドッグ・タイマ	350
13.1 ウォッチドッグ・タイマの機能	350
13.2 ウォッチドッグ・タイマの構成	351
13.3 ウォッチドッグ・タイマを制御するレジスタ	352
13.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	352
13.4 ウォッチドッグ・タイマの動作	353
13.4.1 ウォッチドッグ・タイマの動作制御	353
13.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定	355
13.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定	356
13.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定	357
第14章 A/Dコンバータ	358
14.1 A/Dコンバータの機能	358
14.2 A/Dコンバータの構成	361
14.3 A/Dコンバータを制御するレジスタ	363
14.3.1 周辺イネーブル・レジスタ0 (PER0)	364
14.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)	365
14.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)	372
14.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)	373
14.3.5 10ビットA/D変換結果レジスタ (ADCR)	375
14.3.6 8ビットA/D変換結果レジスタ (ADCRH)	376
14.3.7 アナログ入力チャネル指定レジスタ (ADS)	377
14.3.8 変換結果比較上限値設定レジスタ (ADUL)	378
14.3.9 変換結果比較下限値設定レジスタ (ADLL)	378
14.3.10 A/Dテスト・レジスタ (ADTES)	379
14.3.11 アナログ入力端子のポート機能を制御するレジスタ	380
14.4 A/Dコンバータの変換動作	381
14.5 入力電圧と変換結果	383
14.6 A/Dコンバータの動作モード	384
14.6.1 ソフトウェア・トリガ・モード (セレクト・モード, 連続変換モード)	384
14.6.2 ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード)	385
14.6.3 ソフトウェア・トリガ・モード (スキャン・モード, 連続変換モード)	386
14.6.4 ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード)	387
14.6.5 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード)	388
14.6.6 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード)	389
14.6.7 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード)	390
14.6.8 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット変換モード)	391
14.6.9 ハードウェア・トリガ・ウエイト・モード (セレクト・モード, 連続変換モード)	392
14.6.10 ハードウェア・トリガ・ウエイト・モード (セレクト・モード, ワンショット変換モード)	393

14. 6. 11	ハードウェア・トリガ・ウエイト・モード (スキャン・モード, 連続変換モード)	394
14. 6. 12	ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード)	395
14. 7	A/Dコンバータの設定フロー・チャート	396
14. 7. 1	ソフトウェア・トリガ・モード設定	396
14. 7. 2	ハードウェア・トリガ・ノーウエイト・モード設定	397
14. 7. 3	ハードウェア・トリガ・ウエイト・モード設定	398
14. 7. 4	温度センサ出力電圧/内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)	399
14. 7. 5	テスト・モード設定	400
14. 8	SNOOZEモード機能	401
14. 9	A/Dコンバータ特性表の読み方	405
14. 10	A/Dコンバータの注意事項	408
第15章	温度センサ2	412
15. 1	温度センサの機能	412
15. 2	レジスタの説明	413
15. 2. 1	温度センサ・コントロール・テスト・レジスタ (TMPCTL)	413
15. 3	設定手順	414
15. 3. 1	A/Dコンバータ・モード・レジスタ0 (ADM0)	414
15. 3. 2	モード切り替え	415
第16章	24ビット$\Delta\Sigma$A/Dコンバータ	416
16. 1	24ビット $\Delta\Sigma$ A/Dコンバータの機能	416
16. 1. 1	入出力端子	419
16. 1. 2	プリアンプ	419
16. 1. 3	$\Delta\Sigma$ A/Dコンバータ	419
16. 1. 4	基準電圧発生	420
16. 1. 5	位相調整回路 (PHC0, PHC1)	420
16. 1. 6	デジタル・フィルタ (DF)	420
16. 1. 7	ハイパス・フィルタ (HPF)	420
16. 2	レジスタの説明	421
16. 2. 1	$\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR)	422
16. 2. 2	$\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ0 (DSADGCR0)	424
16. 2. 3	$\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ1 (DSADGCR1)	425
16. 2. 4	$\Delta\Sigma$ A/DコンバータHPFコントロール・レジスタ (DSADHPFCR)	426
16. 2. 5	$\Delta\Sigma$ A/Dコンバータ位相コントロール・レジスタ0 (DSADPHCR0)	427
16. 2. 6	$\Delta\Sigma$ A/Dコンバータ位相コントロール・レジスタ1 (DSADPHCR1)	428
16. 2. 7	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタn (DSADCRnL, DSADCRnM, DSADCRnH) (n = 0, 1, 2, 3)	429
16. 2. 8	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタn (DSADCRn) (n = 0, 1, 2, 3)	431
16. 2. 9	周辺イネーブル・レジスタ1 (PER1)	432
16. 2. 10	周辺クロック制御レジスタ (PCKC)	433
16. 3	動作説明	434
16. 3. 1	24ビット $\Delta\Sigma$ A/Dコンバータの動作	435
16. 3. 2	Normal OperationモードからNeutral Missingモードへの切替手順	437

16.3.3	割り込み動作	438
16.3.4	スタンバイ時の動作	438
16.4	24ビット $\Delta\Sigma$ /Dコンバータ使用上の注意事項	439
16.4.1	外部端子	439
16.4.2	SFRアクセス	439
16.4.3	動作クロックの設定	440
16.4.4	単相二線式における位相調整	440
第17章	コンパレータ	441
17.1	コンパレータの機能	441
17.2	コンパレータの構成	442
17.3	コンパレータを制御するレジスタ	443
17.3.1	周辺イネーブル・レジスタ1 (PER1)	443
17.3.2	コンパレータ・モード設定レジスタ (COMPMDR)	444
17.3.3	コンパレータ・フィルタ制御レジスタ (COMPFIR)	446
17.3.4	コンパレータ出力制御レジスタ (COMPOCR)	447
17.3.5	アナログ入力端子のポート機能を制御するレジスタ	448
17.4	動作説明	449
17.4.1	コンパレータiデジタルフィルタ (i = 0, 1)	451
17.4.2	コンパレータi割り込み (i = 0, 1)	451
17.4.3	コンパレータi出力 (i = 0, 1)	452
17.4.4	コンパレータクロック停止/供給	452
第18章	シリアル・アレイ・ユニット	453
18.1	シリアル・アレイ・ユニットの機能	454
18.1.1	簡易SPI (CSI00)	454
18.1.2	UART (UART0-UART2)	455
18.1.3	簡易I ² C (IIC00, IIC10)	456
18.1.4	IrDA	456
18.2	シリアル・アレイ・ユニットの構成	457
18.2.1	シフト・レジスタ	461
18.2.2	シリアル・データ・レジスタmn (SDRmn) の下位8/9ビット	461
18.3	シリアル・アレイ・ユニットを制御するレジスタ	463
18.3.1	周辺イネーブル・レジスタ0 (PER0)	464
18.3.2	シリアル・クロック選択レジスタm (SPSm)	465
18.3.3	シリアル・モード・レジスタmn (SMRmn)	466
18.3.4	シリアル通信動作設定レジスタmn (SCRmn)	467
18.3.5	シリアル・データ・レジスタmn (SDRmn)	470
18.3.6	シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)	472
18.3.7	シリアル・ステータス・レジスタmn (SSRmn)	473
18.3.8	シリアル・チャンネル開始レジスタm (SSm)	475
18.3.9	シリアル・チャンネル停止レジスタm (STm)	476
18.3.10	シリアル・チャンネル許可ステータス・レジスタm (SEm)	477
18.3.11	シリアル出力許可レジスタm (SOEm)	478
18.3.12	シリアル出力レジスタm (SOm)	479
18.3.13	シリアル出力レベル・レジスタm (SOLm)	480
18.3.14	シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)	482

18.3.15	入力切り替え制御レジスタ (ISC)	483
18.3.16	ノイズ・フィルタ許可レジスタ0 (NFEN0)	484
18.3.17	シリアル入出力端子のポート機能を制御するレジスタ	485
18.4	動作停止モード	486
18.4.1	ユニット単位で動作停止とする場合	487
18.4.2	チャンネルごとに動作停止とする場合	488
18.5	簡易SPI (CSI00) 通信の動作	489
18.5.1	マスタ送信	491
18.5.2	マスタ受信	499
18.5.3	マスタ送受信	507
18.5.4	スレーブ送信	515
18.5.5	スレーブ受信	523
18.5.6	スレーブ送受信	529
18.5.7	SNOOZEモード機能	537
18.5.8	転送クロック周波数の算出	541
18.5.9	簡易SPI (CSI00) 通信時におけるエラー発生時の処理手順	543
18.6	UART (UART0-UART2) 通信の動作	544
18.6.1	UART送信	546
18.6.2	UART受信	555
18.6.3	SNOOZEモード機能	562
18.6.4	ボー・レートの算出	570
18.6.5	UART (UART0-UART2) 通信時におけるエラー発生時の処理手順	574
18.7	LIN通信の動作	575
18.7.1	LIN送信	575
18.7.2	LIN受信	578
18.8	簡易I ² C (IIC00, IIC10) 通信の動作	583
18.8.1	アドレス・フィールド送信	585
18.8.2	データ送信	590
18.8.3	データ受信	593
18.8.4	ストップ・コンディション発生	597
18.8.5	転送レートの算出	598
18.8.6	簡易I ² C (IIC00, IIC10) 通信時におけるエラー発生時の処理手順	600
第19章 シリアル・インタフェースIICA		601
19.1	シリアル・インタフェースIICAの機能	601
19.2	シリアル・インタフェースIICAの構成	604
19.3	シリアル・インタフェースIICAを制御するレジスタ	607
19.3.1	周辺イネーブル・レジスタ0 (PER0)	607
19.3.2	IICAコントロール・レジスタn0 (IICCTLn0)	608
19.3.3	IICAステータス・レジスタn (IICSn)	613
19.3.4	IICAフラグ・レジスタn (IICFn)	615
19.3.5	IICAコントロール・レジスタn1 (IICCTLn1)	617
19.3.6	IICAロウ・レベル幅設定レジスタn (IICWLn)	619
19.3.7	IICAハイ・レベル幅設定レジスタn (IICWHn)	619
19.3.8	ポート・モード・レジスタ6 (PM6)	620
19.4	I ² Cバス・モードの機能	621
19.4.1	端子構成	621
19.4.2	IICWLn, IICWHnレジスタによる転送クロック設定方法	622

19.5	I ² Cバスの定義および制御方法	624
19.5.1	スタート・コンディション	624
19.5.2	アドレス	625
19.5.3	転送方向指定	625
19.5.4	アクノリッジ (ACK)	626
19.5.5	ストップ・コンディション	627
19.5.6	クロック・ストレッチ	628
19.5.7	クロック・ストレッチ解除方法	630
19.5.8	割り込み要求 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御	631
19.5.9	アドレスの一致検出方法	632
19.5.10	エラーの検出	632
19.5.11	拡張コード	633
19.5.12	アービトレーション	634
19.5.13	ウエイク・アップ機能	636
19.5.14	通信予約	639
19.5.15	その他の注意事項	643
19.5.16	通信動作	644
19.5.17	I ² C割り込み要求 (INTIICAn) の発生タイミング	652
19.6	タイミング・チャート	673
第20章 IrDA		688
20.1	IrDAの機能	688
20.2	レジスタの説明	689
20.2.1	周辺イネーブル・レジスタ0 (PER0)	689
20.2.2	IrDAコントロール・レジスタ (IRCR)	690
20.3	動作説明	691
20.3.1	IrDA通信操作手順	691
20.3.2	送信	692
20.3.3	受信	693
20.3.4	ハイ・パルス幅の選択	693
20.4	IrDA使用上の注意事項	694
第21章 LCDコントローラ／ドライバ		695
21.1	LCDコントローラ／ドライバの機能	696
21.2	LCDコントローラ／ドライバの構成	698
21.3	LCDコントローラ／ドライバを制御するレジスタ	700
21.3.1	LCDモード・レジスタ0 (LCDM0)	701
21.3.2	LCDモード・レジスタ1 (LCDM1)	703
21.3.3	サブシステム・クロック供給モード制御レジスタ (OSMC)	705
21.3.4	LCDクロック制御レジスタ0 (LCDC0)	706
21.3.5	LCD昇圧レベル制御レジスタ (VLCD)	707
21.3.6	LCD入力切り替え制御レジスタ (ISCLCD)	708
21.3.7	LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5)	710
21.3.8	ポート・モード・レジスタ0, 1, 3, 5, 7, 8 (PM0, PM1, PM3, PM5, PM7, PM8)	713
21.4	LCD表示データ・レジスタ	714
21.5	LCD表示レジスタの選択	718
21.5.1	Aパターン領域, Bパターン領域のデータ表示	719

21.5.2	点滅表示 (Aパターン領域とBパターン領域のデータを交互に表示)	719
21.6	LCDコントローラ/ドライバの設定	720
21.7	動作停止手順	723
21.8	LCD駆動電圧VL1, VL2, VL3, VL4の供給	724
21.8.1	外部抵抗分割方式	724
21.8.2	内部昇圧方式	726
21.8.3	容量分割方式	727
21.9	コモン信号とセグメント信号	728
21.9.1	通常液晶波形の場合	728
21.10	表示モード	736
21.10.1	スタティック表示例	736
21.10.2	2時分割表示例	739
21.10.3	3時分割表示例	742
21.10.4	4時分割表示例	746
21.10.5	6時分割表示例	750
21.10.6	8時分割表示例	753
第22章	データ・トランスファ・コントローラ (DTC)	757
22.1	DTCの機能	758
22.2	DTCの構成	759
22.3	DTCを制御するレジスタ	760
22.3.1	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	761
22.3.2	コントロールデータの配置	762
22.3.3	ベクタテーブル	764
22.3.4	周辺イネーブル・レジスタ1 (PER1)	766
22.3.5	DTC制御レジスタj (DTCCRj) (j = 0~23)	767
22.3.6	DTCブロック・サイズ・レジスタj (DTBLSj) (j = 0~23)	768
22.3.7	DTC転送回数レジスタj (DTCCTj) (j = 0~23)	768
22.3.8	DTC転送回数リロード・レジスタj (DTRLdj) (j = 0~23)	769
22.3.9	DTCソース・アドレス・レジスタj (DTSARj) (j = 0~23)	769
22.3.10	DTCデスティネーション・アドレス・レジスタj (DTDARj) (j = 0~23)	769
22.3.11	DTC起動許可レジスタi (DTCENi) (i = 0~3)	770
22.3.12	DTCベース・アドレス・レジスタ (DTCBAR)	772
22.4	DTCの動作	773
22.4.1	起動要因	773
22.4.2	ノーマルモード	774
22.4.3	リピートモード	777
22.4.4	チェイン転送	780
22.5	DTC使用上の注意事項	782
22.5.1	DTCのコントロールデータおよびベクタテーブルの設定	782
22.5.2	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	782
22.5.3	DTC保留命令	782
22.5.4	DTC実行クロック数	783
22.5.5	DTC応答時間	784
22.5.6	DTC起動要因	784
22.5.7	スタンバイ・モード時の動作	785
第23章	割り込み機能	786

23. 1	割り込み機能の種類	786
23. 2	割り込み要因と構成	786
23. 3	割り込み機能を制御するレジスタ	791
23. 3. 1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)	794
23. 3. 2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)	795
23. 3. 3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)	797
23. 3. 4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)	799
23. 3. 5	プログラム・ステータス・ワード (PSW)	800
23. 4	割り込み処理動作	801
23. 4. 1	マスクブル割り込み要求の受け付け動作	801
23. 4. 2	ソフトウェア割り込み要求の受け付け動作	804
23. 4. 3	多重割り込み処理	804
23. 4. 4	除算命令中の割り込み処理	808
23. 4. 5	割り込み要求の保留	810
第24章 スタンバイ機能		811
24. 1	スタンバイ機能	811
24. 2	スタンバイ機能を制御するレジスタ	812
24. 3	スタンバイ機能の動作	813
24. 3. 1	HALTモード	813
24. 3. 2	STOPモード	819
24. 3. 3	SNOOZEモード	825
第25章 リセット機能		829
25. 1	リセット動作のタイミング	831
25. 2	リセット期間中の動作状態	833
25. 3	リセット要因を確認するレジスタ	835
25. 3. 1	リセット・コントロール・フラグ・レジスタ (RESF)	835
25. 3. 2	パワーオン・リセット・ステータス・レジスタ (PORSR)	838
第26章 パワーオン・リセット回路		839
26. 1	パワーオン・リセット回路の機能	839
26. 2	パワーオン・リセット回路の構成	840
26. 3	パワーオン・リセット回路の動作	840
第27章 電圧検出回路		844
27. 1	電圧検出回路の機能	844
27. 2	電圧検出回路の構成	845
27. 3	電圧検出回路を制御するレジスタ	845
27. 3. 1	電圧検出レジスタ (LVIM)	846
27. 3. 2	電圧検出レベル・レジスタ (LVIS)	847
27. 4	電圧検出回路の動作	850

27. 4. 1	リセット・モードとして使用する場合の設定	850
27. 4. 2	割り込みモードとして使用する場合の設定	852
27. 4. 3	割り込み&リセット・モードとして使用する場合の設定	854
27. 5	電圧検出回路の注意事項	860
第28章	バッテリー・バックアップ機能	862
28. 1	バッテリー・バックアップの機能	862
28. 1. 1	端子構成	862
28. 2	レジスタ説明	863
28. 2. 1	バックアップ電源切り替えコントロール・レジスタ0 (BUPCTL0)	863
28. 2. 2	バックアップ電源切り替えコントロール・レジスタ1 (BUPCTL1)	865
28. 2. 3	グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)	865
28. 3	動作説明	866
28. 3. 1	バッテリー・バックアップ機能	866
28. 4	使用上の注意事項	868
第29章	発振停止検出回路	869
29. 1	発振停止検出回路の機能	869
29. 2	発振停止検出回路の構成	870
29. 3	発振停止検出回路で使用するレジスタ	871
29. 3. 1	周辺イネーブル・レジスタ1 (PER1)	871
29. 3. 2	サブシステム・クロック供給モード制御レジスタ (OSMC)	872
29. 3. 3	発振停止検出制御レジスタ (OSDC)	873
29. 4	発振停止検出回路の動作	874
29. 4. 1	発振停止検出回路の動作方法	874
29. 5	発振停止検出機能使用時の注意事項	875
第30章	安全機能	876
30. 1	安全機能の概要	876
30. 2	安全機能で使用するレジスタ	877
30. 3	安全機能の動作	877
30. 3. 1	フラッシュ・メモリCRC演算機能 (高速CRC)	877
30. 3. 1. 1	フラッシュ・メモリCRC制御レジスタ (CRC0CTL)	878
30. 3. 1. 2	フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	879
30. 3. 2	CRC演算機能 (汎用CRC)	881
30. 3. 2. 1	CRC入力レジスタ (CRCIN)	881
30. 3. 2. 2	CRCデータ・レジスタ (CRCD)	882
30. 3. 3	RAMパリティ・エラー検出機能	883
30. 3. 3. 1	RAMパリティ・エラー制御レジスタ (RPECTL)	883
30. 3. 4	RAMガード機能	884
30. 3. 4. 1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	884
30. 3. 5	SFRガード機能	885
30. 3. 5. 1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	885
30. 3. 6	不正メモリ・アクセス検出機能	886
30. 3. 6. 1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	887

30.3.7	周波数検出機能	888
30.3.7.1	タイマ入力選択レジスタ0 (TIS0)	889
30.3.8	A/Dテスト機能	890
30.3.8.1	A/Dテスト・レジスタ (ADTES)	892
30.3.8.2	アナログ入力チャネル指定レジスタ (ADS)	893
30.3.9	入出力ポートのデジタル出力信号レベル検出機能	894
30.3.9.1	ポート・モード選択レジスタ (PMS)	894
第31章	レギュレータ	895
31.1	レギュレータの概要	895
第32章	オプション・バイト	896
32.1	オプション・バイトの機能	896
32.1.1	ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)	896
32.1.2	オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)	897
32.2	ユーザ・オプション・バイトのフォーマット	898
32.3	オンチップ・デバッグ・オプション・バイトのフォーマット	902
32.4	オプション・バイトの設定	903
第33章	フラッシュ・メモリ	904
33.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	906
33.1.1	プログラミング環境	907
33.1.2	通信方式	907
33.2	外部デバイス (UART内蔵)によるシリアル・プログラミング	908
33.2.1	プログラミング環境	908
33.2.2	通信方式	909
33.3	オンボード上の端子処理	910
33.3.1	P40/TOOL0端子	910
33.3.2	RESET端子	910
33.3.3	ポート端子	911
33.3.4	REGC端子	911
33.3.5	X1, X2端子	911
33.3.6	電 源	911
33.4	シリアル・プログラミング方法	912
33.4.1	シリアル・プログラミング手順	912
33.4.2	フラッシュ・メモリ・プログラミング・モード	913
33.4.3	通信方式	915
33.4.4	通信コマンド	916
33.5	セルフ・プログラミング	918
33.5.1	セルフ・プログラミング手順	919
33.5.2	ブート・スワップ機能	920
33.5.3	フラッシュ・シールド・ウインドウ機能	922
33.6	セキュリティ設定	923
第34章	オンチップ・デバッグ機能	925

34.1	E1オンチップデバッグエミュレータとの接続	925
34.2	オンチップ・デバッグ・セキュリティID	926
34.3	ユーザ資源の確保	926
第35章	10進補正 (BCD) 回路	928
35.1	10進補正回路の機能	928
35.2	10進補正回路で使用するレジスタ	928
35.2.1	BCD補正結果レジスタ (BCDADJ)	928
35.3	10進補正回路の動作	929
第36章	命令セットの概要	931
36.1	凡例	932
36.1.1	オペランドの表現形式と記述方法	932
36.1.2	オペレーション欄の説明	933
36.1.3	フラグ動作欄の説明	934
36.1.4	PREFIX命令	934
36.2	オペレーション一覧	935
第37章	電気的特性	953
37.1	絶対最大定格	954
37.2	発振回路特性	957
37.2.1	X1, XT1発振回路特性	957
37.2.2	オンチップ・オシレータ特性	958
37.3	DC特性	959
37.3.1	端子特性	959
37.3.2	電源電流特性	964
37.4	AC特性	971
37.5	周辺機能特性	974
37.5.1	シリアル・アレイ・ユニット	974
37.5.2	シリアル・インタフェースIICA	999
37.6	アナログ特性	1002
37.6.1	A/Dコンバータ特性	1002
37.6.2	24ビット $\Delta\Sigma$ A/Dコンバータ特性	1005
37.6.3	温度センサ2特性	1007
37.6.4	コンパレータ	1008
37.6.5	POR回路特性	1008
37.6.6	LVD回路特性	1009
37.6.7	電源電圧立ち上がり傾き特性	1010
37.7	バッテリー・バックアップ機能	1011
37.8	LCD特性	1012
37.8.1	外部抵抗分割方式	1012
37.8.2	内部昇圧方式	1013
37.8.3	容量分割方式	1015
37.9	RAMデータ保持特性	1016
37.10	フラッシュ・メモリ・プログラミング特性	1016
37.11	専用フラッシュ・メモリ・プログラマ通信 (UART)	1016

37.12	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	1017
第38章	外形図	1018
38.1	80ピン製品	1018
38.2	100ピン製品	1021
付録A	改版履歴	1023
A.1	本版で改訂された主な箇所	1023
A.2	前版までの改版履歴	1024

第1章 概 説

1.1 特 徴

超低消費電力テクノロジー

- $V_{DD} = 1.9 \sim 5.5$ Vの単一電源
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速（ $0.04167 \mu s$ ：高速オンチップ・オシレータ・クロック24 MHz動作時）から超低速（ $30.5 \mu s$ ：サブシステム・クロック32.768 kHz動作時）まで最小命令実行時間を変更可能
- 乗除積和演算命令に対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット×8レジスタ×4バンク
- 内蔵RAM：6KBまたは8KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：64 KBまたは128 KB
- ブロック・サイズ：1 KB
- ブロック消去禁止，書き換え禁止（セキュリティ機能）
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング；ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

高速オンチップ・オシレータ

- 24 MHz（TYP.）/12 MHz（TYP.）/6 MHz（TYP.）/3 MHz（TYP.）から選択可能
- 高精度 $\pm 1.0\%$ （ $V_{DD} = 1.9 \sim 5.5$ V， $T_A = -20 \sim +85^\circ C$ ）
- 高速オンチップ・オシレータ・クロック周波数補正機能内蔵

動作周囲温度

- $T_A = -40 \sim +85^\circ C$

電源管理とリセット回路

- パワーオン・リセット（POR）回路内蔵
- 電圧検出（LVD）回路内蔵（割り込み，リセットを11段階で選択）

データ・トランスファ・コントローラ（DTC）

- 転送モード：ノーマル転送モード，リポート転送モード，ブロック転送モード
- 起動要因：割り込み要因により起動（40要因）
- チェイン転送機能あり

シリアル・インタフェース

- 簡易SPI (CSI^注) : 1チャンネル
- UART/UART (LIN-bus対応) : 3チャンネル
- I²C/簡易I²C : 3チャンネル
- IrDA : 1チャンネル

タイマ

- 16ビット・タイマ : 8チャンネル
- 12ビット・インターバル・タイマ : 1チャンネル
- 8ビット・インターバル・タイマ : 4チャンネル

- リアルタイム・クロック2 : 1チャンネル (99年カレンダー, アラーム機能, 時計補正機能)
- ウォッチドッグ・タイマ : 1チャンネル (専用の低速オンチップ・オシレータ・クロックで動作可能)
- 発振停止検出回路 : 1チャンネル

LCDコントローラ/ドライバ

- 内部昇圧/容量分割/外部抵抗分割を切り替え可能
- セグメント信号出力 : 34 (30) 本^{注1}~42 (38) 本^{注1}
- コモン信号出力 : 4 (8) 本^{注1}

A/Dコンバータ

- 8/10ビット分解能A/Dコンバータ (V_{DD} = 1.9~5.5 V) : 4または6チャンネル
- 24ビット $\Delta\Sigma$ A/Dコンバータ : 3または4チャンネル
- 内部基準電圧 (TYP. 1.45 V) と温度センサを搭載^{注2}

コンパレータ

- 2チャンネル
- 動作モード : コンパレータ高速モード, コンパレータ低速モード, ウィンドウモード
- 基準電圧は外部基準電圧と内部基準電圧の選択が可能

入出力ポート

- I/Oポート : 53または69本 (N-chオープン・ドレイン入出力[6V耐圧] : 3本,
N-chオープン・ドレイン入出力[V_{DD}耐圧] : 13本)
- N-chオープン・ドレイン, TTL入力バッファ, 内蔵プルアップの切り替え可能
- 異電位 (1.8/2.5/3 V) 動作デバイスと接続可能
- クロック出力/ブザー出力制御回路内蔵

その他

- 10進補正 (BCD) 回路内蔵
- バッテリ・バックアップ機能内蔵

注1. () 内は8 com使用時の信号出力本数です。

2. HS (高速メイン) モードのみ選択可能

備考 製品によって、搭載している機能が異なります。1.6 機能概要を参照してください。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

OROM, RAM容量

フラッシュROM	データ・フラッシュ	RAM	RL78/I1B	
			80ピン	100ピン
128 KB	—	8 KB ^注	R5F10MMG	R5F10MPG
64 KB	—	6 KB	R5F10MME	R5F10MPE

注 セルフ・プログラミング機能使用時は、約7 KB（詳細は、第3章参照）

1.2 型名一覧

★ 図1-1 RL78/I1Bの型名とメモリ・サイズ, パッケージ

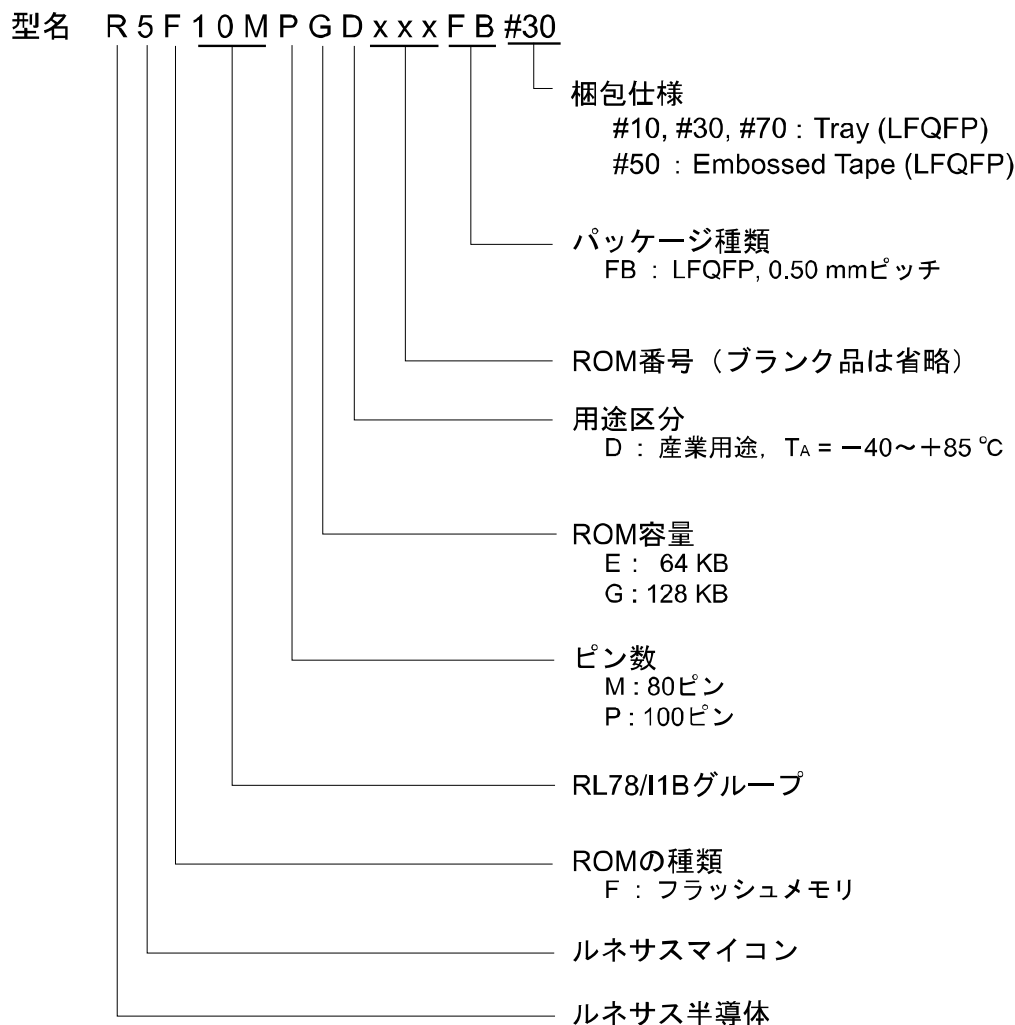


表1-1 発注型名一覧

ピン数	パッケージ	データ・フラッシュ	用途・区分 ^注	発注型名
80ピン	80ピン・プラスチックLFQFP (12x12 mm, 0.5 mmピッチ)	—	D	R5F10MMEDFB#10, R5F10MMGDFB#10 R5F10MMEDFB#30, R5F10MMGDFB#30 R5F10MMEDFB#50, R5F10MMGDFB#50 R5F10MMEDFB#70, R5F10MMGDFB#70
100ピン	100ピン・プラスチックLFQFP (14x14 mm, 0.5 mmピッチ)	—	D	R5F10MPEDFB#10, R5F10MPGDFB#10 R5F10MPEDFB#30, R5F10MPGDFB#30 R5F10MPEDFB#50, R5F10MPGDFB#50 R5F10MPEDFB#70, R5F10MPGDFB#70

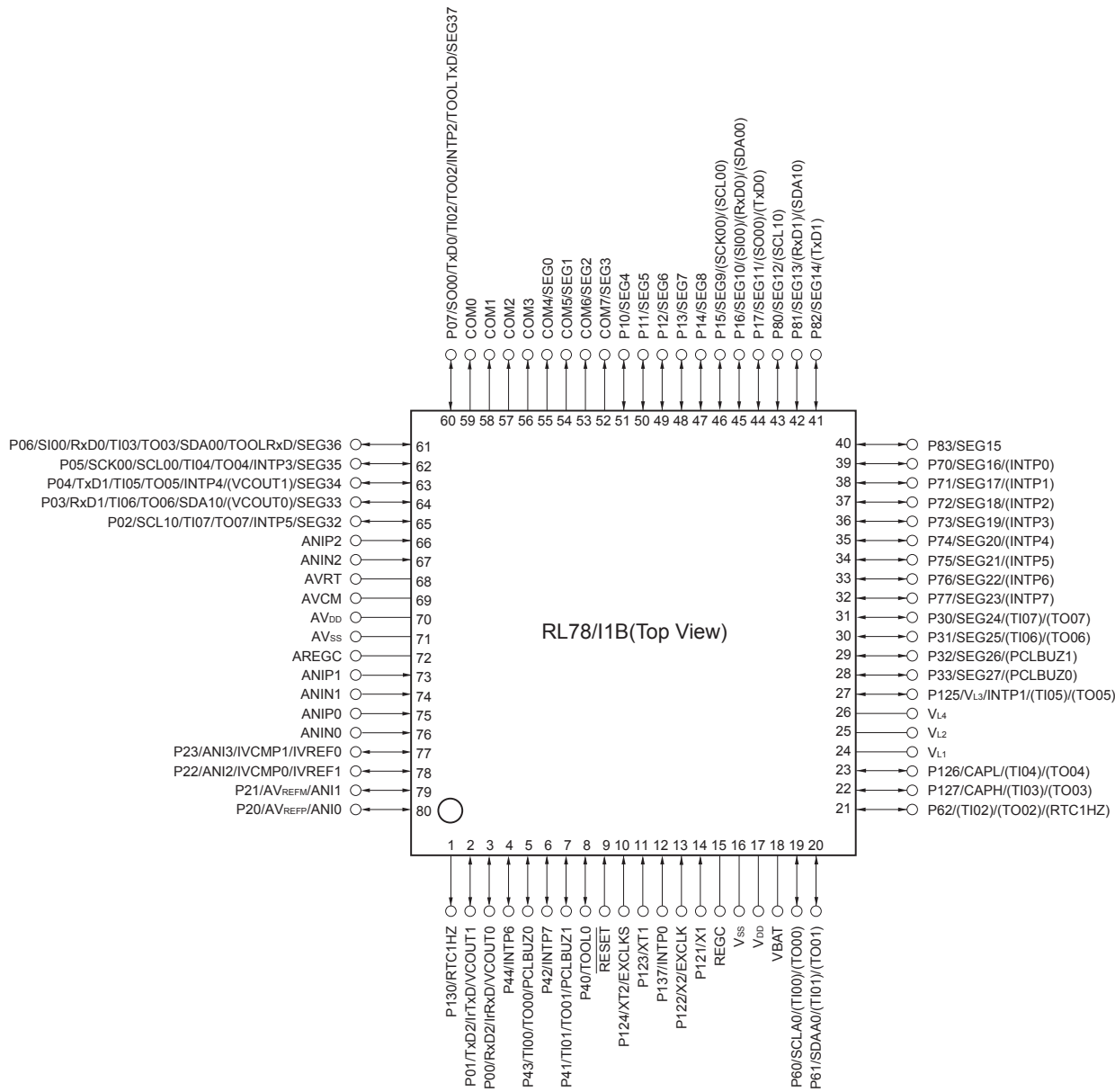
注 用途・区分は、図1-1 RL78/I1Bの型名とメモリ・サイズ, パッケージを参照してください。

注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

1.3 端子接続図 (Top View)

1.3.1 80ピン製品

・80ピン・プラスチックLFQFP (12×12mm, 0.5mmピッチ)

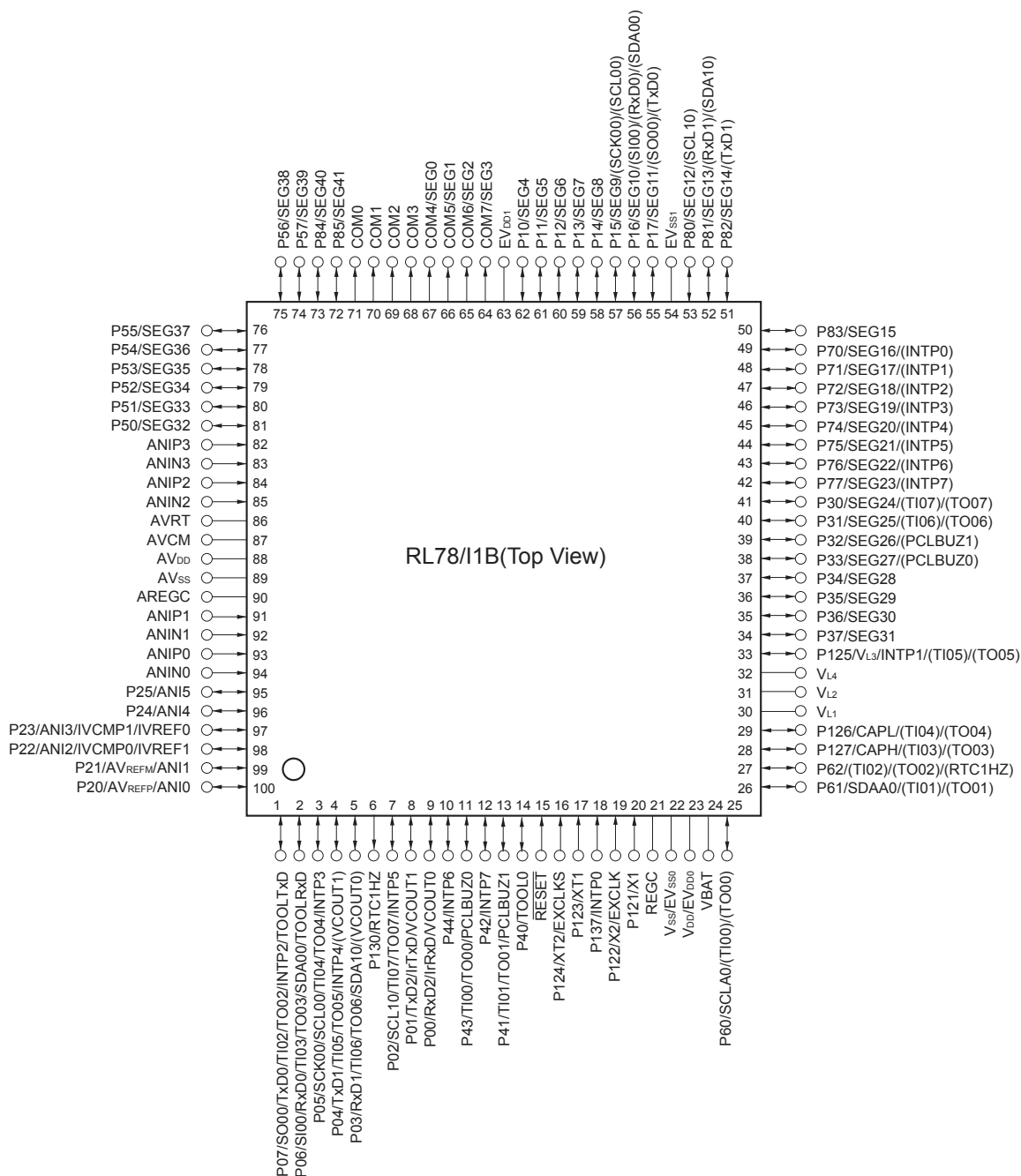


注意 REGC端子はコンデンサ (0.47~1 μF) を介し、V_{SS}に接続してください。

- 備考1. 端子名称は、1.4 端子名称を参照してください。
2. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

1.3.2 100ピン製品

- ・ 100ピン・プラスチックLFQFP（14x14mm, 0.5mmピッチ）



- 注意 1. EV_{ss1}端子は、V_{ss}/EV_{ss0}端子と同電位にしてください。
 2. EV_{DD1}端子は、V_{DD}/EV_{DD0}端子と同電位にしてください。
 3. REGC端子はコンデンサ（0.47~1 μF）を介し、V_{ss}に接続してください。

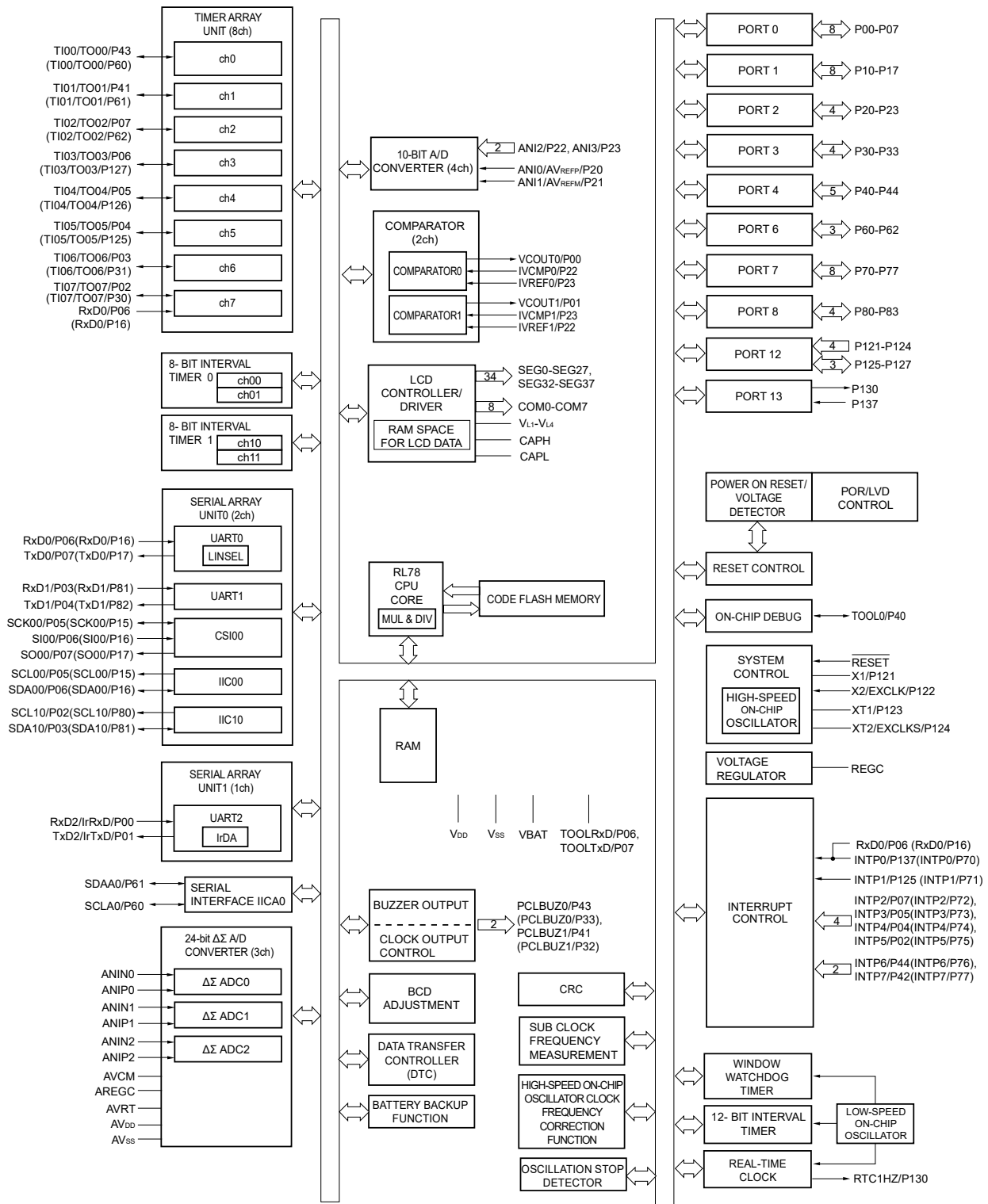
- 備考1. 端子名称は、1.4 端子名称を参照してください。
 2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD}とEV_{DD1}に個別の電源を供給し、V_{ss}とEV_{ss1}を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。
 3. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。図4-8 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1.4 端子名称

ANI0-ANI5	: Analog Input	P70-P77	: Port 7
ANIN0-ANIN3, ANIP0-ANIP3	: Analog Input for $\Delta\Sigma$ ADC	P80-P85	: Port 8
AREGC	: Regulator Capacitance for $\Delta\Sigma$ ADC	P121-P127	: Port 12
AVCM	: Control for $\Delta\Sigma$ ADC	P130, P137	: Port 13
AVDD	: Power Supply for $\Delta\Sigma$ ADC	PCLBUZ0, PCLBUZ1	: Programmable Clock Output/Buzzer Output
AVREFM	: A/D Converter Reference Potential (- side) Input	REGC	: Regulator Capacitance
AVREFP	: A/D Converter Reference Potential (+ side) Input	RESET	: Reset
AVRT	: Reference Potential for $\Delta\Sigma$ ADC	RTC1HZ	: Real-time Clock Correction Clock (1 Hz) Output
AVss	: Ground for $\Delta\Sigma$ ADC	RxD0-RxD2	: Receive Data for UART
CAPH, CAPL	: Capacitor Connection for LCD Controller/Driver	SCK00	: Serial Clock Input/Output for CSI
COM0-COM7	: Common Signal Output for LCD Controller/Driver	SCLA0, SCL00, SCL10	: Serial Clock Input/Output for IIC
EVDD0, EVDD1	: Power Supply for Port	SDAA0, SDA00, SDA10	: Serial Data Input/Output for IIC
EVSS0, EVSS1	: Ground for Port	SEG0-SEG41	: Segment Signal Output for LCD Controller/Driver
EXCLK	: External Clock Input (Main System Clock)	SI00	: Serial Data Input for CSI
EXCLKS	: External Clock Input (Subsystem clock)	SO00	: Serial Data Output for CSI
INTP0-INTP7	: Interrupt Request From Peripheral	TI00-TI07	: Timer Input
IrRxD	: Receive Data for IrDA	TO00-TO07	: Timer Output
IrTxD	: Transmit Data for IrDA	TOOL0	: Data Input/Output for Tool
IVCMP0, IVCMP1	: Comparator Input	TOOLRxD, TOOLTxD	: Data Input/Output for External Device
IVREF0, IVREF1	: Comparator Reference Input	TxD0-TxD2	: Transmit Data for UART
P00-P07	: Port 0	VBAT	: Battery Backup Power Supply
P10-P17	: Port 1	VCOU00, VCOU01	: Comparator Output
P20-P25	: Port 2	VDD	: Power Supply
P30-P37	: Port 3	VL1-VL4	: Voltage for Driving LCD
P40-P44	: Port 4	Vss	: Ground
P50-P57	: Port 5	X1, X2	: Crystal Oscillator (Main System Clock)
P60-P62	: Port 6	XT1, XT2	: Crystal Oscillator (Subsystem Clock)

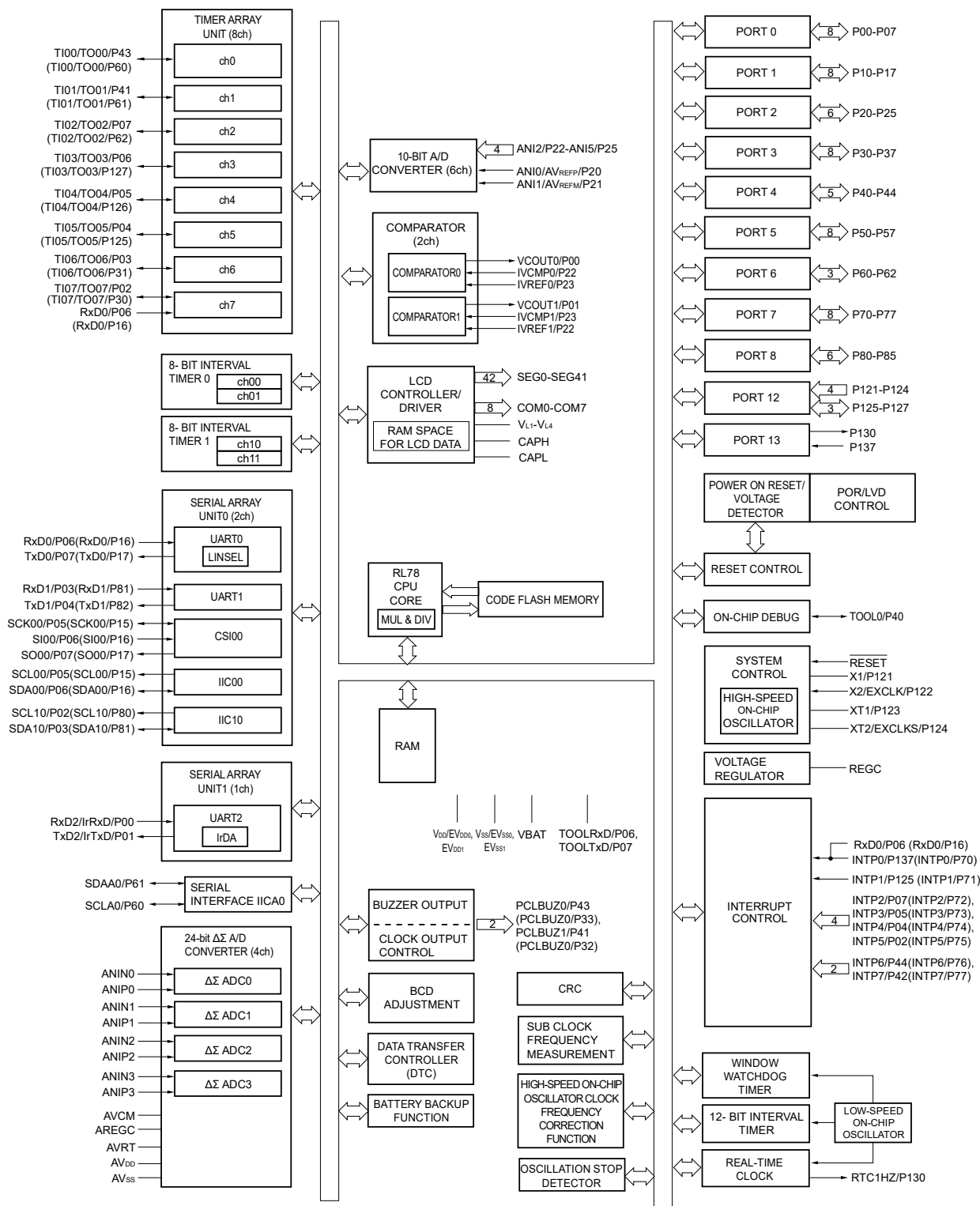
1.5 ブロック図

1.5.1 80ピン製品



備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

1.5.2 100ピン製品



備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

1.6 機能概要

(1/2)

項 目	80ピン		100ピン	
	R5F10MMEDFB	R5F10MMGDFB	R5F10MPEDFB	R5F10MPGDFB
コード・フラッシュ・メモリ	64 KB	128 KB	64 KB	128 KB
データ・フラッシュ・メモリ	—			
RAM	6 KB	8 KB ^注	6 KB	8 KB ^注
アドレス空間	1 Mバイト			
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) HS (高速メイン) モード: 1~20 MHz (VDD = 2.7~5.5 V), HS (高速メイン) モード: 1~16 MHz (VDD = 2.4~5.5 V), LS (低速メイン) モード: 1~8 MHz (VDD = 1.9~5.5 V)		
	高速オンチップ・オシレータ・クロック	HS (高速メイン) モード: 24/12/6/3 MHz (VDD = 2.7~5.5 V), HS (高速メイン) モード: 12/6/3 MHz (VDD = 2.4~5.5 V), LS (低速メイン) モード: 6/3 MHz (VDD = 1.9~5.5 V)		
サブシステム・クロック	XT1 (水晶) 発振, 外部サブシステム・クロック入力 (EXCLKS) 32.768 kHz (TYP.) : VDD = 1.9~5.5 V			
高速オンチップ・オシレータ・クロック周波数補正機能	サブシステム・クロックによる高速オンチップ・オシレータ・クロックの周波数補正			
低速オンチップ・オシレータ・クロック	15 kHz (TYP.) : VDD = 1.9~5.5 V			
汎用レジスタ	8ビット×8レジスタ×4バンク			
最小命令実行時間	0.04167 μs (高速オンチップ・オシレータ・クロック : f _{IH} = 24 MHz動作時)			
	0.05 μs (高速システム・クロック : f _{MX} = 20 MHz動作時)			
	30.5 μs (サブシステム・クロック : f _{SUB} = 32.768 kHz動作時)			
命令セット	<ul style="list-style-type: none"> ・ データ転送 (8/16ビット) ・ 加減/論理演算 (8/16ビット) ・ 乗算 (16×16ビット), 除算 (32÷32ビット) ・ 積和演算 (16×16+32ビット) ・ ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, ブール演算) など 			
I/Oポート	合計	53	69	
	CMOS入出力	44	60	
	CMOS入力	5	5	
	CMOS出力	1	1	
	N-ch O.D. 入出力 (6 V耐圧)	3	3	
タイマ	16ビット・タイマ TAU	8チャンネル		
	ウォッチドッグ・タイマ	1チャンネル		
	12ビット・インターバル・タイマ	1チャンネル		
	8ビット・インターバル・タイマ	4チャンネル		
	リアルタイム・クロック2	1チャンネル		
	発振停止検出回路	1チャンネル		

注 8 Kバイトの場合, セルフ・プログラミング機能使用時は約7 KB

(2/2)

項 目		80ピン		100ピン	
		R5F10MMEDFB	R5F10MMGDFB	R5F10MPEDFB	R5F10MPGDFB
タイマ	タイマ出力	タイマ：出力8本 PWM出力：7本 ^{注1}			
	RTC出力	1本 ・1 Hz (サブシステム・クロック：f _{SUB} = 32.768 kHz)			
クロック出力/ブザー出力		2本 ・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック：f _{MAIN} = 20 MHz動作時) ・256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック：f _{SUB} = 32.768 kHz動作時)			
10ビット分解能A/Dコンバータ		4チャンネル		6チャンネル	
24ビットΔΣA/Dコンバータ		3チャンネル		4チャンネル	
	SNDR	TYP. 80 dB (ゲイン×1) MIN. 69 dB (ゲイン×16) MIN. 65 dB (ゲイン×32)			
	サンプリング周波数	3.906 kHz/1.953 kHz			
	PGA	電流ch：×1, ×2, ×4, ×8, ×16, ×32 電圧ch：×1, ×2, ×4, ×8, ×16			
コンパレータ		2チャンネル			
シリアル・インタフェース		・簡易SPI (CSI)/UART/簡易I ² C：1チャンネル ・UART/簡易I ² C：1チャンネル ・UART/IrDA：1チャンネル			
	I ² Cバス	1チャンネル			
データ・トランスファ・コントローラ		30要因			
LCDコントローラ/ドライバ		内部昇圧/容量分割/外部抵抗分割の切り替えが可能			
	セグメント信号出力	34 (30) 本 ^{注2}		42 (38) 本 ^{注2}	
	コモン信号出力	4 (8) 本 ^{注2}			
ベクタ割り込み要因	内部	34			
	外部	10			
リセット		・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・リセットによる内部リセット ・電圧検出回路による内部リセット ・不正命令の実行による内部リセット ^{注3} ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット			
パワーオン・リセット回路		・パワーオン・リセット：1.51 V (TYP.) ・パワーダウン・リセット：1.50 V (TYP.)			
電圧検出回路		・立ち上がり：1.98 V~4.06 V (11段階) ・立ち下がり：1.94 V~3.98 V (11段階)			
バッテリー・バックアップ機能		あり			
オンチップ・デバッグ機能		あり			
電源電圧		V _{DD} = 1.9~5.5 V			
動作周囲温度		T _A = -40~+85 °C			

注1. マスタの数と使用チャンネルの設定によって、出力数は変わります (7.9.3 多重PWM出力機能としての動作参照)。

2. () 内は8 com使用時の信号出力本数です。

3. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポート機能

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

(1) 80ピン製品

電源	対応する端子
V _{DD}	P20-P23, P121-P124, P137以外のポート端子 ^{注1}
V _{DD} またはVBAT ^{注2, 3}	<ul style="list-style-type: none"> ・ P20-P23, P121-P124, P137 ・ $\overline{\text{RESET}}$, REGC
AV _{DD}	ANIP0-ANIP2, ANIN0-ANIN2

(2) 100ピン製品

電源	対応する端子
EV _{DD1}	P20-P25, P121-P124, P137以外のポート端子 ^{注1}
V _{DD} またはVBAT ^{注2, 3}	<ul style="list-style-type: none"> ・ P20-P25, P121-P124, P137 ・ $\overline{\text{RESET}}$, REGC
AV _{DD}	ANIP0-ANIP3, ANIN0-ANIN3

- 注 1. バッテリ・バックアップ機能を使用する場合、VBAT端子からの給電に切替わった際も、本端子の内部I/Oバッファの電源はV_{DD}端子から給電されています。V_{DD}端子の電源がなくなる場合は、入力電圧が絶対最大定格を越えないよう注意してください。
2. バッテリ・バックアップ機能によりI/Oバッファの電源供給端子が切り替わります。
3. 「V_{DD}またはVBAT」と定義されている端子の入出力信号の電圧は、I/Oバッファの供給電圧に合わせる必要があります。

注意 EV_{DD1}端子は、V_{DD}/EV_{DD0}端子と同電位にしてください。

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

2.1.1 80ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能	
P00	8-1-3	入出力	入力ポート	RxD2/IrRxD/VCOU0	ポート0。	
P01	7-1-4			TxD2/IrTxD/VCOU1	8ビット入出力ポート。	
P02	7-5-10			デジタル 入力無効 ^{注1}	SCL10/TI07/TO07/ INTP5/SEG32	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P03	8-5-10				RxD1/TI06/TO06/SDA10/ (VCOU0)/SEG33	P00, P03, P05, P06の入力はTTL入力バッファに設定可能。
P04	7-5-10			TxD1/TI05/TO05/INTP4/ (VCOU1)/SEG34	P01-P07の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。	
P05	8-5-10			SCK00/SCL00/ TI04/TO04/INTP3/SEG35	P02-P07の出力はLCD出力に設定可能 ^{注2}	
P06				SI00/RxD0/TI03/TO03/ SDA00/TOOLRxD/SEG36		
P07	7-5-10			SO00/TxD0/TI02/TO02/ INTP2/TOOLTxD/SEG37		
P10	7-5-4	入出力	デジタル 入力無効 ^{注1}	SEG4	ポート1。	
P11				SEG5	8ビット入出力ポート。	
P12				SEG6	1ビット単位で入力／出力の指定可能。	
P13				SEG7	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P14				SEG8		
P15				8-5-10	SEG9/(SCK00)/(SCL00)	P15, P16の入力はTTL入力バッファに設定可能。
P16					SEG10/(SI00)/ (RxD0)/(SDA00)	P15-P17の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 LCD出力に設定可能 ^{注2} 。
P17	7-5-10	SEG11/(SO00)/(TxD0)				
P20	4-3-3	入出力	アナログ 入力	AV _{REFP} /ANI0	ポート2。	
P21				AV _{REFM} /ANI1	4ビット入出力ポート。	
P22	4-9-2			ANI2/IVCMP0/IVREF1	1ビット単位で入力／出力の指定可能。	
P23				ANI3/IVCMP1/IVREF0	アナログ入力に設定可能 ^{注3} 。	

- 注 1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します
2. 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタx (PMx) および、LCDポート・ファンクション・レジスタ (PFSEGx) で設定します。(1ビット単位で設定可能)
3. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC) で設定します。

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。詳細は、図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P30	7-5-4	入出力	デジタル 入力無効 ^{注1}	SEG24/(TI07)/(TO07)	ポート3。
P31				SEG25/(TI06)/(TO06)	4ビット入出力ポート。
P32				SEG26/(PCLBUZ1)	1ビット単位で入力／出力の指定可能。
P33				SEG27/(PCLBUZ0)	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注2} 。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。
P41				TI01/TO01/PCLBUZ1	5ビット入出力ポート。
P42				INTP7	1ビット単位で入力／出力の指定可能。
P43				TI00/TO00/PCLBUZ0	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P44				INTP6	
P60	12-1-3	入出力	入力ポート	SCLA0/(TI00)/(TO00)	ポート6。
P61				SDAA0/(TI01)/(TO01)	3ビット入出力ポート。
P62				(TI02)/(TO02)/(RTC1HZ)	1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P70	7-5-4	入出力	デジタル 入力無効 ^{注1}	SEG16/(INTP0)	ポート7。
P71				SEG17/(INTP1)	8ビット入出力ポート。
P72				SEG18/(INTP2)	1ビット単位で入力／出力の指定可能。
P73				SEG19/(INTP3)	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P74				SEG20/(INTP4)	LCD出力に設定可能 ^{注2} 。
P75				SEG21/(INTP5)	
P76				SEG22/(INTP6)	
P77				SEG23/(INTP7)	
P80	7-5-10	入出力	デジタル 入力無効 ^{注1}	SEG12/(SCL10)	ポート8。
P81	8-5-10			SEG13/(RxD1)/(SDA10)	4ビット入出力ポート。
P82	7-5-10			SEG14/(TxD1)	1ビット単位で入力／出力の指定可能。
P83	7-5-4			SEG15	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P81の入力はTTL入力バッファに設定可能。 P80-P82の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能。 LCD出力に設定可能 ^{注2} 。

注 1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

- 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタx (PMx) および、LCDポート・ファンクション・レジスタ (PFSEGx) で設定します。（1ビット単位で設定可能）

備考 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P121	2-2-1	入力	入力ポート	X1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127は、1ビット単位で入力／出力の指定が可能。 P125-P127は、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125-P127はLCD出力に設定可能 ^{注2} 。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-5-6	入出力	デジタル 入力無効 ^{注1}	V _{L3} /INTP1/(TI05)/(TO05)	P125-P127は、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125-P127はLCD出力に設定可能 ^{注2} 。
P126	7-5-5			CAPL/(TI04)/(TO04)	
P127				CAPH/(TI03)/(TO03)	
P130	1-1-4	出力	出力ポート	RTC1HZ	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力ポートと1ビット入力専用ポート。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

- 注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。
2. 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタx (PMx) , およびLCDポート・ファンクション・レジスタ (PFSEGx) で設定します。(1ビット単位で設定可能)

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。詳細は、図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

2.1.2 100ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	8-1-3	入出力	入力ポート	RxD2/IrRxD/VCOU0	ポート0。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P00, P03, P05, P06の入力はTTL入力バッファに設定可能。 P01-P07の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。
P01	7-1-4			TxD2/IrTxD/VCOU1	
P02				SCL10/TI07/TO07/INTP5	
P03	8-1-4			RxD1/TI06/TO06/ SDA10/(VCOU0)	
P04	7-1-4			TxD1/TI05/TO05/INTP4/ (VCOU1)	
P05	8-1-4			SCK00/SCL00/TI04/ TO04/INTP3	
P06				SI00/RxD0/TI03/TO03/ SDA00/TOOLRxD	
P07	7-1-4			SO00/TxD0/TI02/TO02/ INTP2/TOOLTxD	
P10	7-5-4	入出力	デジタル 入力無効 ^{注1}	SEG4	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P15, P16の入力はTTL入力バッファに設定可能。 P15-P17の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 LCD出力に設定可能 ^{注2} 。
P11				SEG5	
P12				SEG6	
P13				SEG7	
P14				SEG8	
P15	8-5-10			SEG9/(SCK00)/(SCL00)	
P16				SEG10/(SI00)/(RxD0)/ (SDA00)	
P17	7-5-10			SEG11/(SO00)/(TxD0)	
P20	4-3-3	入出力	アナログ 入力	AV _{REFP} /ANI0	ポート2。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力で設定可能 ^{注3} 。
P21				AV _{REFM} /ANI1	
P22	4-9-2			ANI2/IVCMP0/IVREF1	
P23				ANI3/IVCMP1/IVREF0	
P24	4-3-3			ANI4	
P25				ANI5	

- 注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。
2. 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタx (PMx) および、LCDポート・ファンクション・レジスタ (PFSEGx) で設定します。(1ビット単位で設定可能)
3. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC) で設定します。

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。詳細は、図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P30	7-5-4	入出力	デジタル 入力無効 ^{注1}	SEG24/(TI07)/(TO07)	ポート3。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注2} 。
P31				SEG25/(TI06)/(TO06)	
P32				SEG26/(PCLBUZ1)	
P33				SEG27/(PCLBUZ0)	
P34				SEG28	
P35				SEG29	
P36				SEG30	
P37				SEG31	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P41				TI01/TO01/PCLBUZ1	
P42				INTP7	
P43				TI00/TO00/PCLBUZ0	
P44				INTP6	
P50	7-5-4	入出力	デジタル 入力無効 ^{注1}	SEG32	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注2} 。
P51				SEG33	
P52				SEG34	
P53				SEG35	
P54				SEG36	
P55				SEG37	
P56				SEG38	
P57				SEG39	
P60	12-1-3	入出力	入力ポート	SCLA0/(TI00)/(TO00)	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力 (6 V耐圧)
P61				SDAA0/(TI01)/(TO01)	
P62				(TI02)/(TO02)/(RTC1HZ)	

- 注 1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。
2. 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタx (PMx) および、LCDポート・ファンクション・レジスタ (PFSEGx) で設定します。(1ビット単位で設定可能)

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。詳細は、図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P70	7-5-4	入出力	デジタル 入力無効 ^{注1}	SEG16/(INTP0)	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注2} 。
P71				SEG17/(INTP1)	
P72				SEG18/(INTP2)	
P73				SEG19/(INTP3)	
P74				SEG20/(INTP4)	
P75				SEG21/(INTP5)	
P76				SEG22/(INTP6)	
P77				SEG23/(INTP7)	
P80	7-5-10	入出力	デジタル 入力無効 ^{注1}	SEG12/(SCL10)	ポート8。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P81の入力はTTL入力バッファに設定可能。 P80-P82の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 LCD出力に設定可能 ^{注2} 。
P81	8-5-10			SEG13/(RxD1)/(SDA10)	
P82	7-5-10			SEG14/(TxD1)	
P83	7-5-4			SEG15	
P84				SEG40	
P85				SEG41	
P121	2-2-1	入力	入力ポート	X1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127は、1ビット単位で入力／出力の指定が可能。 P125-P127は、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125-P127はLCD出力に設定可能 ^{注2} 。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-5-6	入出力	デジタル 入力無効 ^{注1}	V _{L3} /INTP1/(TI05)/(TO05)	P125-P127は、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125-P127はLCD出力に設定可能 ^{注2} 。
P126	7-5-5			CAPL/(TI04)/(TO04)	
P127				CAPH/(TI03)/(TO03)	
P130	1-1-4	出力	出力ポート	RTC1HZ	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力ポートと1ビット入力専用ポート。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

- 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタx (PMx) および、LCDポート・ファンクション・レジスタ (PFSEGx) で設定します。(1ビット単位で設定可能)

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

2.2 ポート以外の機能

2.2.1 製品別の搭載機能

(1/2)

機能名称	100ピン	80ピン	機能名称	100ピン	80ピン	機能名称	100ピン	80ピン
ANI0	○	○	TxD2	○	○	XT2	○	○
ANI1	○	○	SCK00	○	○	EXCLKS	○	○
ANI2	○	○	SI00	○	○	V _{DD}	○	○
ANI3	○	○	SO00	○	○	EV _{DD0}	○	—
ANI4	○	—	SCL00	○	○	EV _{DD1}	○	—
ANI5	○	—	SCL10	○	○	VBAT	○	○
ANIN0	○	○	SDA00	○	○	AV _{REFP}	○	○
ANIN1	○	○	SDA10	○	○	AV _{REFM}	○	○
ANIN2	○	○	SDAA0	○	○	V _{SS}	○	○
ANIN3	○	—	SCLA0	○	○	EV _{SS0}	○	—
ANIP0	○	○	IrRxD	○	○	EV _{SS1}	○	—
ANIP1	○	○	IrTxD	○	○	AVRT	○	○
ANIP2	○	○	TI00	○	○	AVCM	○	○
ANIP3	○	—	TI01	○	○	AREGC	○	○
INTP0	○	○	TI02	○	○	AV _{DD}	○	○
INTP1	○	○	TI03	○	○	AV _{SS}	○	○
INTP2	○	○	TI04	○	○	TOOLRxD	○	○
INTP3	○	○	TI05	○	○	TOOLTxD	○	○
INTP4	○	○	TI06	○	○	TOOL0	○	○
INTP5	○	○	TI07	○	○	COM0	○	○
INTP6	○	○	TO00	○	○	COM1	○	○
INTP7	○	○	TO01	○	○	COM2	○	○
IVCMP0	○	○	TO02	○	○	COM3	○	○
IVCMP1	○	○	TO03	○	○	COM4	○	○
IVREF0	○	○	TO04	○	○	COM5	○	○
IVREF1	○	○	TO05	○	○	COM6	○	○
VCOUT0	○	○	TO06	○	○	COM7	○	○
VCOUT1	○	○	TO07	○	○	SEG0	○	○
PCLBUZ0	○	○	V _{L1}	○	○	SEG1	○	○
PCLBUZ1	○	○	V _{L2}	○	○	SEG2	○	○
RTC1HZ	○	○	V _{L3}	○	○	SEG3	○	○
REGC	○	○	V _{L4}	○	○	SEG4	○	○
RESET	○	○	CAPH	○	○	SEG5	○	○
RxD0	○	○	CAPL	○	○	SEG6	○	○
RxD1	○	○	X1	○	○	SEG7	○	○
RxD2	○	○	X2	○	○	SEG8	○	○
TxD0	○	○	EXCLK	○	○	SEG9	○	○
TxD1	○	○	XT1	○	○	SEG10	○	○

(2/2)

機能名称	100ピン	80ピン	機能名称	100ピン	80ピン	機能名称	100ピン	80ピン
SEG11	○	○	SEG22	○	○	SEG33	○	○
SEG12	○	○	SEG23	○	○	SEG34	○	○
SEG13	○	○	SEG24	○	○	SEG35	○	○
SEG14	○	○	SEG25	○	○	SEG36	○	○
SEG15	○	○	SEG26	○	○	SEG37	○	○
SEG16	○	○	SEG27	○	○	SEG38	○	—
SEG17	○	○	SEG28	○	—	SEG39	○	—
SEG18	○	○	SEG29	○	—	SEG40	○	—
SEG19	○	○	SEG30	○	—	SEG41	○	—
SEG20	○	○	SEG31	○	—			
SEG21	○	○	SEG32	○	○			

2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI0-ANI5	入力	A/Dコンバータのアナログ入力（図14-44 アナログ入力端子の処理参照）
ANIN0-ANIN3	入力	24ビット $\Delta\Sigma$ A/Dコンバータのアナログ入力。負側入力。
ANIP0-ANIP3	入力	24ビット $\Delta\Sigma$ A/Dコンバータのアナログ入力。正側入力。
INTP0-INTP7	入力	外部割り込み要求入力 有効エッジ指定：立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ INTP0は、内部V _{DD} で動作する端子です。バッテリー・バックアップ機能を使用する場合は、選択されている電源（V _{DD} or VBAT）に合わせた入力閾値になります。入力可能な最大電圧は5.5 Vです。未使用の場合は、V _{DD} とVBATの高い方の電圧でプルアップしてください。
IVCMP0, IVCMP1	入力	コンパレータのアナログ電圧入力
IVREF0, IVREF1	入力	コンパレータのリファレンス電圧入力
VCOUT0, VCOUT1	出力	コンパレータ出力
PCLBUZ0, PCLBUZ1	出力	クロック出力／ブザー出力
REGC	—	内部動作レギュレータ出力安定容量接続。 コンデンサ（0.47～1 μ F）を介し、V _{SS} に接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
RTC1HZ	出力	リアルタイム・クロック補正クロック（1 Hz）出力
RESET	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセット端子を使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。 RESETは、内部V _{DD} で動作する端子です。バッテリー・バックアップ機能を使用する場合は、選択されている電源端子（V _{DD} 端子 or VBAT端子）の電圧に合わせた入力閾値となります。入力可能な最大電圧は5.5 Vです。未使用の場合は、V _{DD} とVBATの高い方の電圧でプルアップしてください。
RxD0-RxD2	入力	シリアル・インタフェースUART0-UART2のシリアル・データ入力
TxD0-TxD2	出力	シリアル・インタフェースUART0-UART2のシリアル・データ出力
SCK00	入出力	シリアル・インタフェースCSI00のシリアル・クロック入力／出力
SI00	入力	シリアル・インタフェースCSI00のシリアル・データ入力
SO00	出力	シリアル・インタフェースCSI00のシリアル・データ出力
IrRxD	入力	IrDA用受信データ
IrTxD	出力	IrDA用送信データ
SCL00, SCL10	出力	シリアル・インタフェースIIC00, IIC10のシリアル・クロック出力
SDA00, SDA10	入出力	シリアル・インタフェースIIC00, IIC10のシリアル・データ入出力
SCLA0	入出力	シリアル・インタフェースIICA0のクロック入出力
SDAA0	入出力	シリアル・インタフェースIICA0のシリアル・データ入出力
TI00-TI07	入力	16ビット・タイマ00-07への外部カウント・クロック／キャプチャ・トリガ入力
TO00-TO07	出力	16ビット・タイマ00-07のタイマ出力
V _{L1} -V _{L4}	—	LCD駆動用電圧
CAPH, CAPL	—	LCDコントローラ／ドライバ用コンデンサ接続

(2/2)

機能名称	入出力	機能
X1, X2	－	外部クロック入力で外部24bitΔΣ型A/Dコンバータを使用する場合は、12 MHzの発振子を接続する必要があります。
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	－	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力
V _{DD}	－	<80ピン> すべての端子の正電源 <100ピン> P20-P25, P121-P124, P137およびポート以外の端子の正電源
EV _{DD1}	－	ポート端子（P20-P25, P121-P124, P137以外）の正電源
VBAT	－	バッテリーバックアップ用電源
AV _{REFP}	入力	A/Dコンバータの基準電圧（＋側）入力
AV _{REFM}	入力	A/Dコンバータの基準電圧（－側）入力
V _{SS}	－	<80ピン> すべての端子のグランド電位 <100ピン> P20-P25, P121-P124, P137およびポート以外の端子のグランド電位
EV _{SS1}	－	ポート端子（P20-P25, P121-P124, P137以外）のグランド電位
AVRT	－	24ビットΔΣA/Dコンバータの基準電圧
AVCM	－	24ビットΔΣA/Dコンバータの制御
AREGC	－	24ビットΔΣA/Dコンバータのレギュレータ容量
AV _{DD}	－	24ビットΔΣA/Dコンバータの電源
AV _{SS}	－	24ビットΔΣA/Dコンバータのグランド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力
COM0-COM7	出力	LCDコントローラ/ドライバのコモン信号出力
SEG0-SEG41	出力	LCDコントローラ/ドライバのセグメント信号出力

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2-2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
V _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、33.4 シリアル・プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として、V_{DD} - V_{SS}、EV_{DD0} - EV_{SS0}、EV_{DD1} - EV_{SS1}ライン間へのバイパスコンデンサ（0.1 μF程度）を最短距離でかつ、比較的太い配線を使って接続してください。

2.3 未使用端子の処理

各端子の未使用端子の処理を表2-3に示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図 (Top View) , 2.1 ポート機能を参照してください。

表2-3 各端子の未使用端子処理 (1/2)

端子名称	入出力	未使用時の推奨接続方法
P00-P07	入出力	入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} またはEV _{SS0} ，EV _{SS1} に接続してください。 出力時：オープンにしてください。
P10-P17		<ポート設定時> 入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} またはEV _{SS0} ，EV _{SS1} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P20-P25		入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。なお，バッテリー・バックアップ機能を使用する際は，個別に抵抗を介してV _{SS} に接続してください。 出力時：オープンにしてください。
P30-P37		<ポート設定時> 入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} またはEV _{SS0} ，EV _{SS1} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介してEV _{DD0} に接続，またはオープンにしてください。 出力時：オープンにしてください。
P41-P44		入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} またはEV _{SS0} ，EV _{SS1} に接続してください。 出力時：オープンにしてください。
P50-P57		<ポート設定時> 入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} またはEV _{SS0} ，EV _{SS1} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P60-P62		入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} またはEV _{SS0} ，EV _{SS1} に接続してください。 出力時：ポートの出カラッチに0を設定してオープン，またはポートの出カラッチに1を設定し，個別に抵抗を介して，EV _{DD0} ，EV _{DD1} またはEV _{SS0} ，EV _{SS1} に接続してください。

備考 EV_{DD0}，EV_{DD1}，EV_{SS0}，EV_{SS1}端子がない製品は，EV_{DD0}とEV_{DD1}をV_{DD}に，EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。

表2-3 各端子の未使用端子処理 (2/2)

端子名称	入出力	未使用時の推奨接続方法
P70-P77	入出力	<ポート設定時> 入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P80-P85		
P121-P124	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。なお、バッテリー・バックアップ機能を使用する場合は、個別に抵抗を介してV _{SS} に接続してください。
P125-P127	入出力	入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。 出力時：オープンにしてください。
P130	出力	オープンにしてください。
P137	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。なお、バッテリー・バックアップ機能を使用する場合は、個別に抵抗を介してV _{SS} に接続してください。 バッテリー・バックアップ機能を使用する場合は、選択された給電電源（V _{DD} 端子またはVBAT端子）に、直接または抵抗を介して接続してください。
RESET		
REGC	—	コンデンサを介して、V _{SS} に接続してください（0.47～1 μF）。
COM0-COM7	出力	オープンにしてください。
ANIP0-ANIP3	入力	オープンにしてください。
ANIN0-ANIN3		
V _{L1} , V _{L2} , V _{L4}	—	オープンにしてください。
VBAT	—	V _{SS} に直接接続してください。なお、VBAT端子を使用しない場合は、必ずソフトウェアでVBATENビットを0に設定してください。
AVRT, AVCM	—	コンデンサを介して、AV _{SS} に接続してください（0.47 μF）。
AV _{DD}	—	AV _{DD} とV _{DD} を同電位に接続してください。
AV _{SS}	—	AV _{SS} とV _{SS} を同電位に接続してください。
AREGC	—	コンデンサを介して、AV _{SS} に接続してください（0.47 μF）。

備考 EV_{DD0}、EV_{DD1}、EV_{SS0}、EV_{SS1}端子がない製品は、EV_{DD0}とEV_{DD1}をV_{DD}に、EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。

2.4 端子ブロック図

2.1.1 80ピン製品, 2.1.2 100ピン製品に記載した端子タイプについて、端子ブロック図を図2-1～図2-16示します。80ピン製品では、EV_{DD1}, EV_{SS1}をV_{DD}, V_{SS}と読み替えてください。

図2-1 端子タイプ1-1-4の端子ブロック図

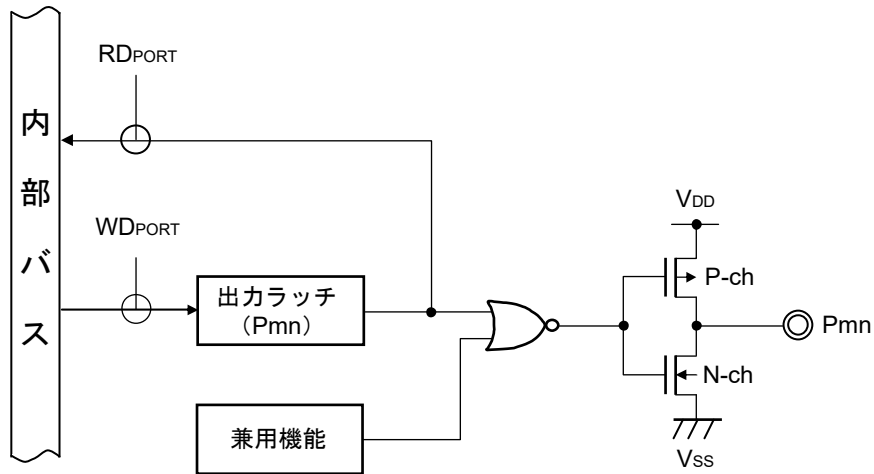


図2-2 端子タイプ2-1-1の端子ブロック図

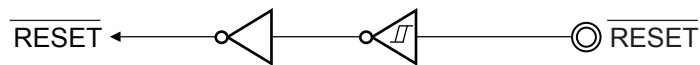
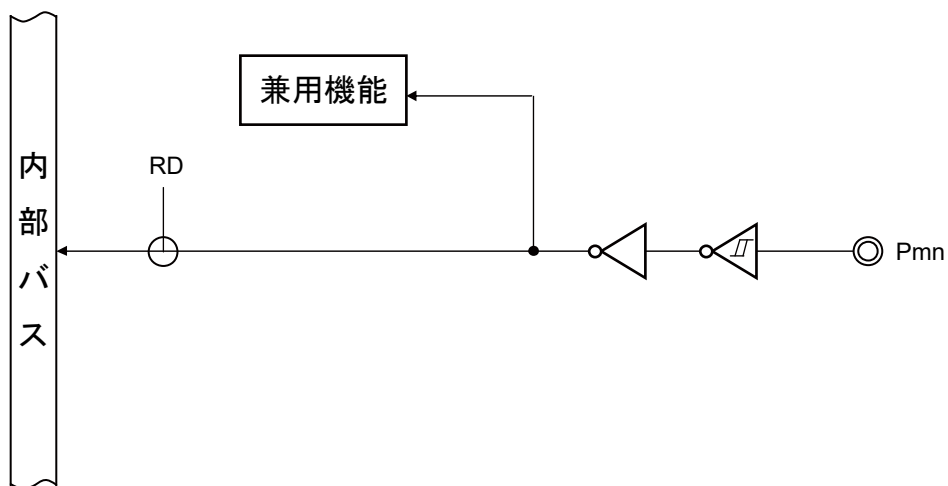
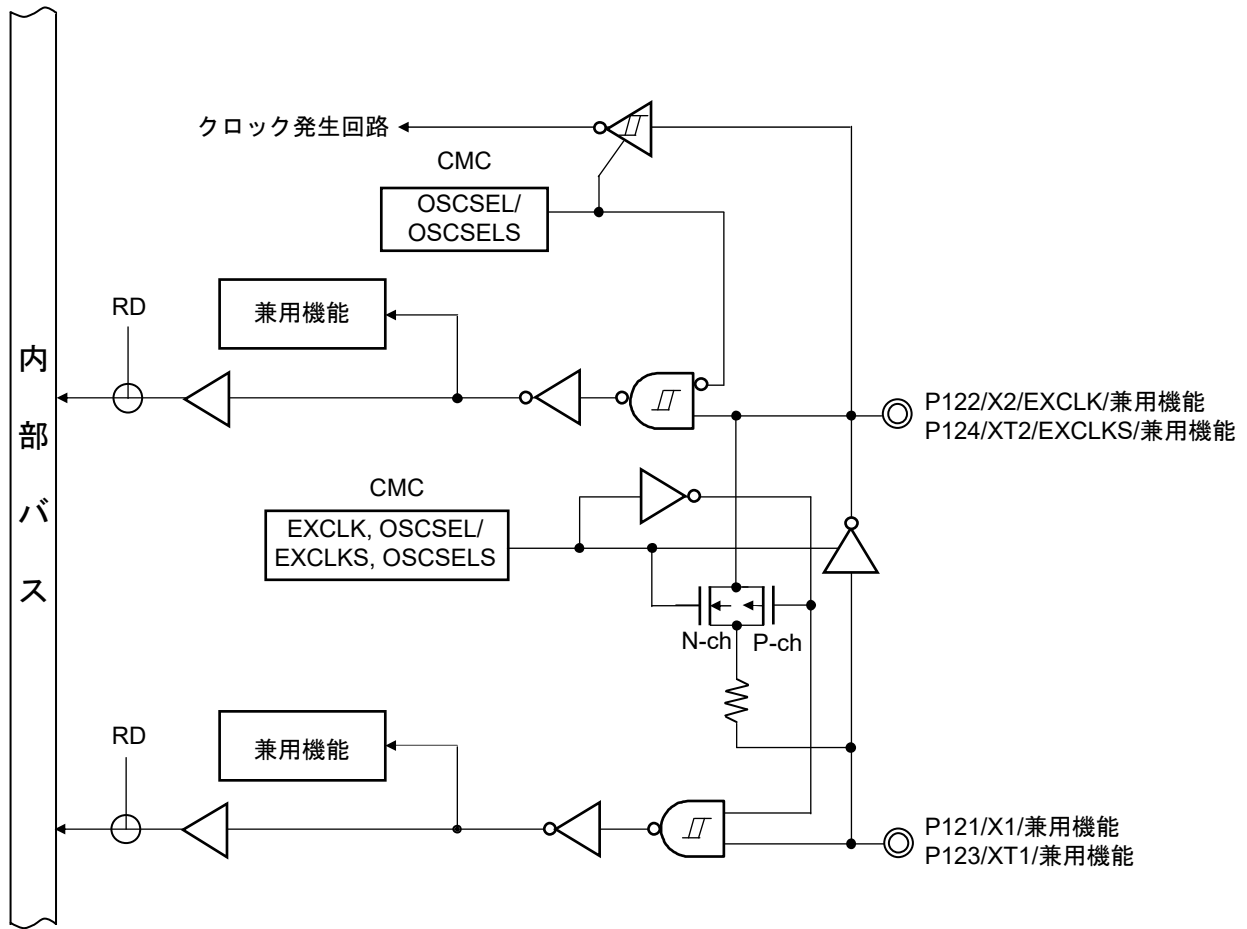


図2-3 端子タイプ2-1-2の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-4 端子タイプ2-2-1の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-5 端子タイプ4-3-3の端子ブロック図

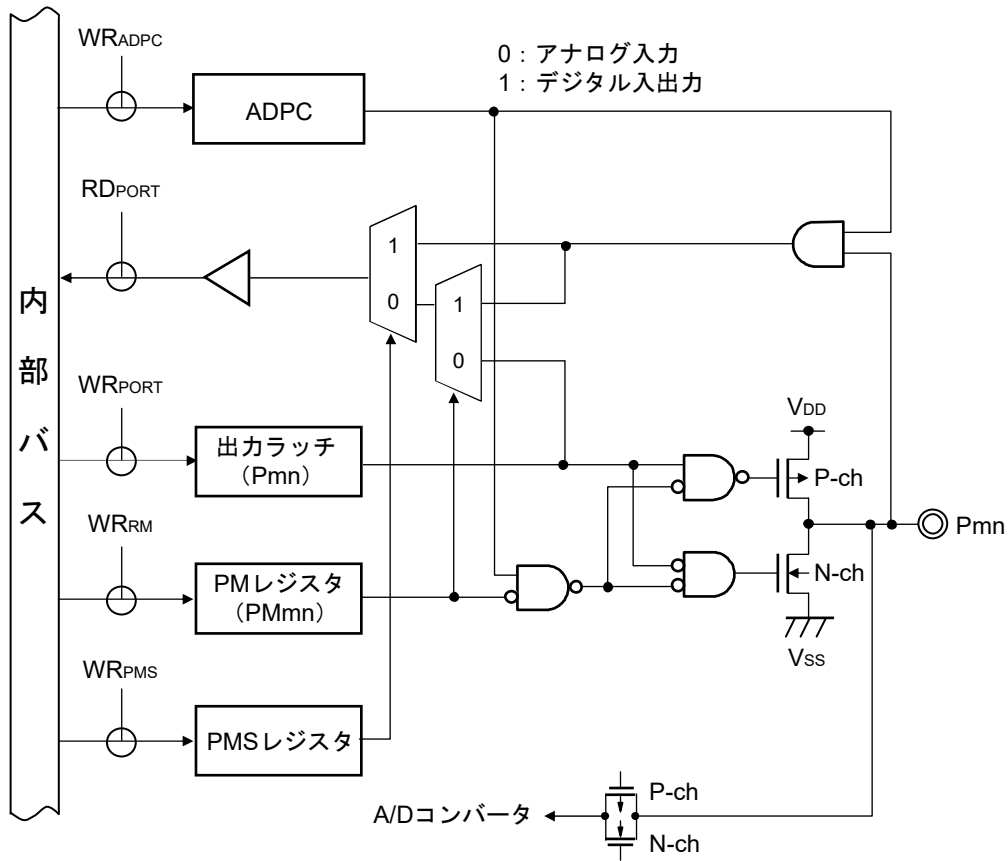


図2-6 端子タイプ4-9-2の端子ブロック図

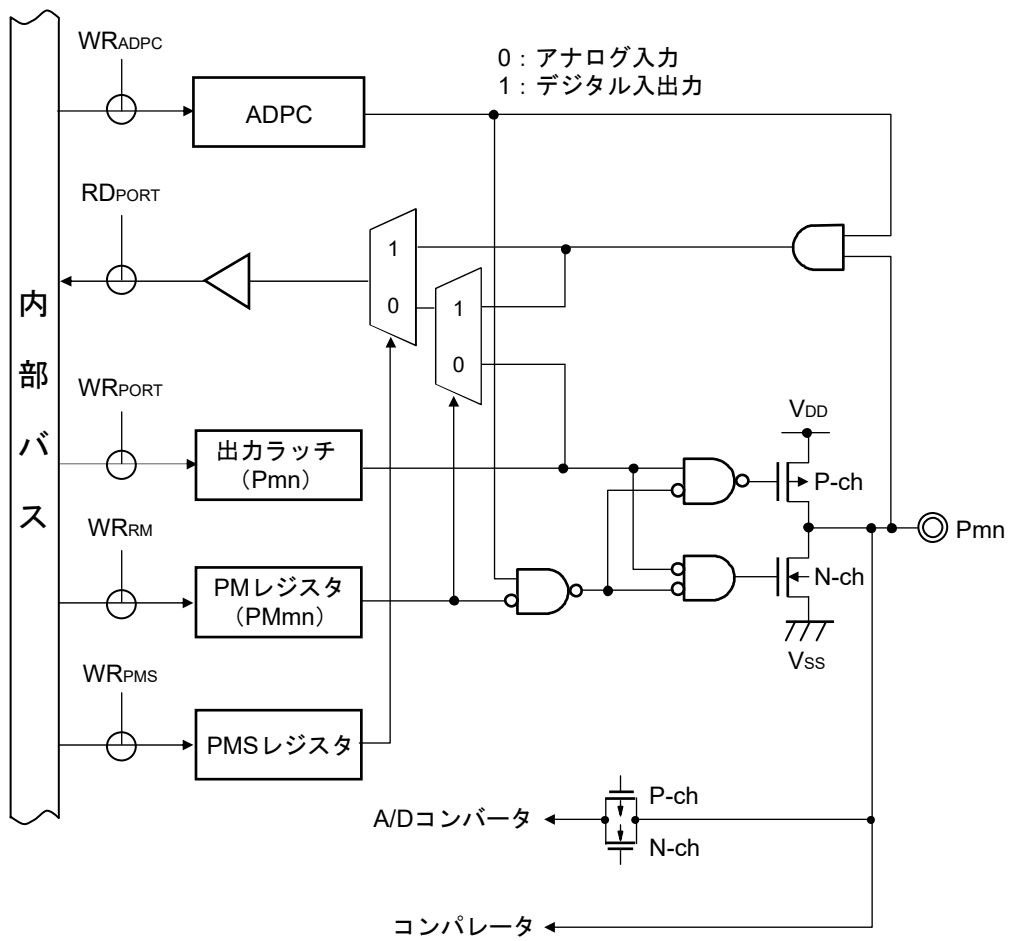
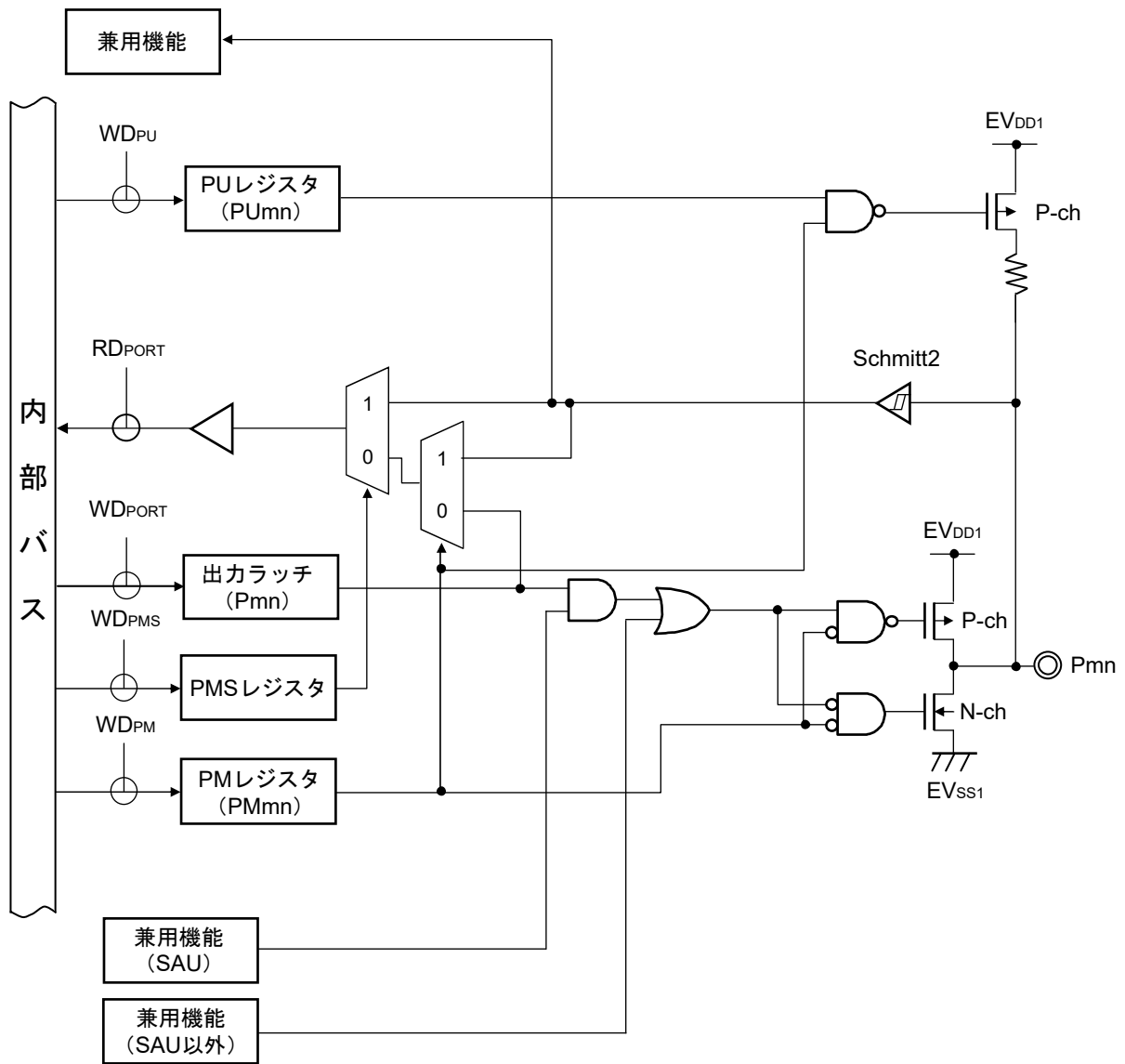


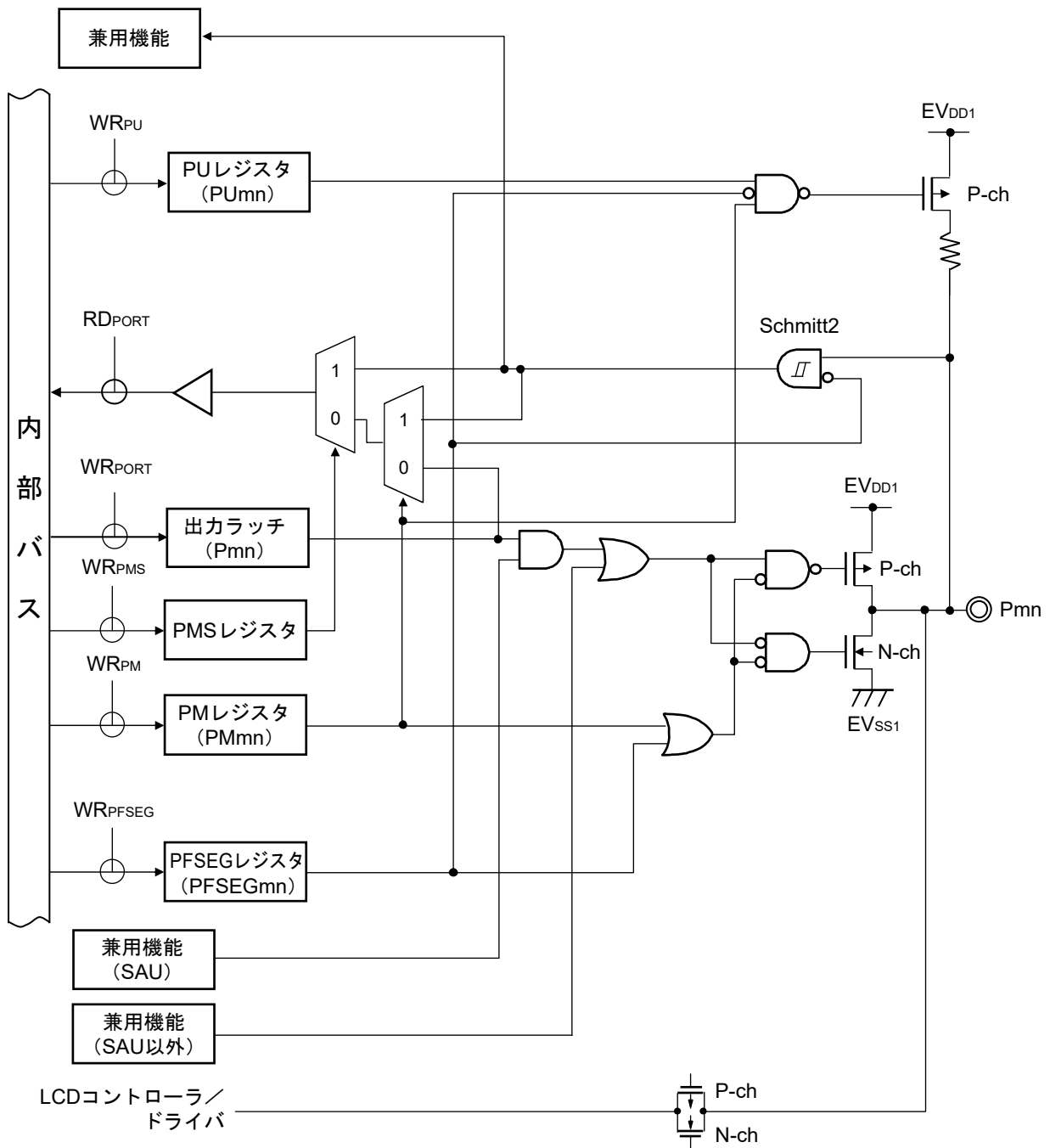
図2-7 端子タイプ7-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

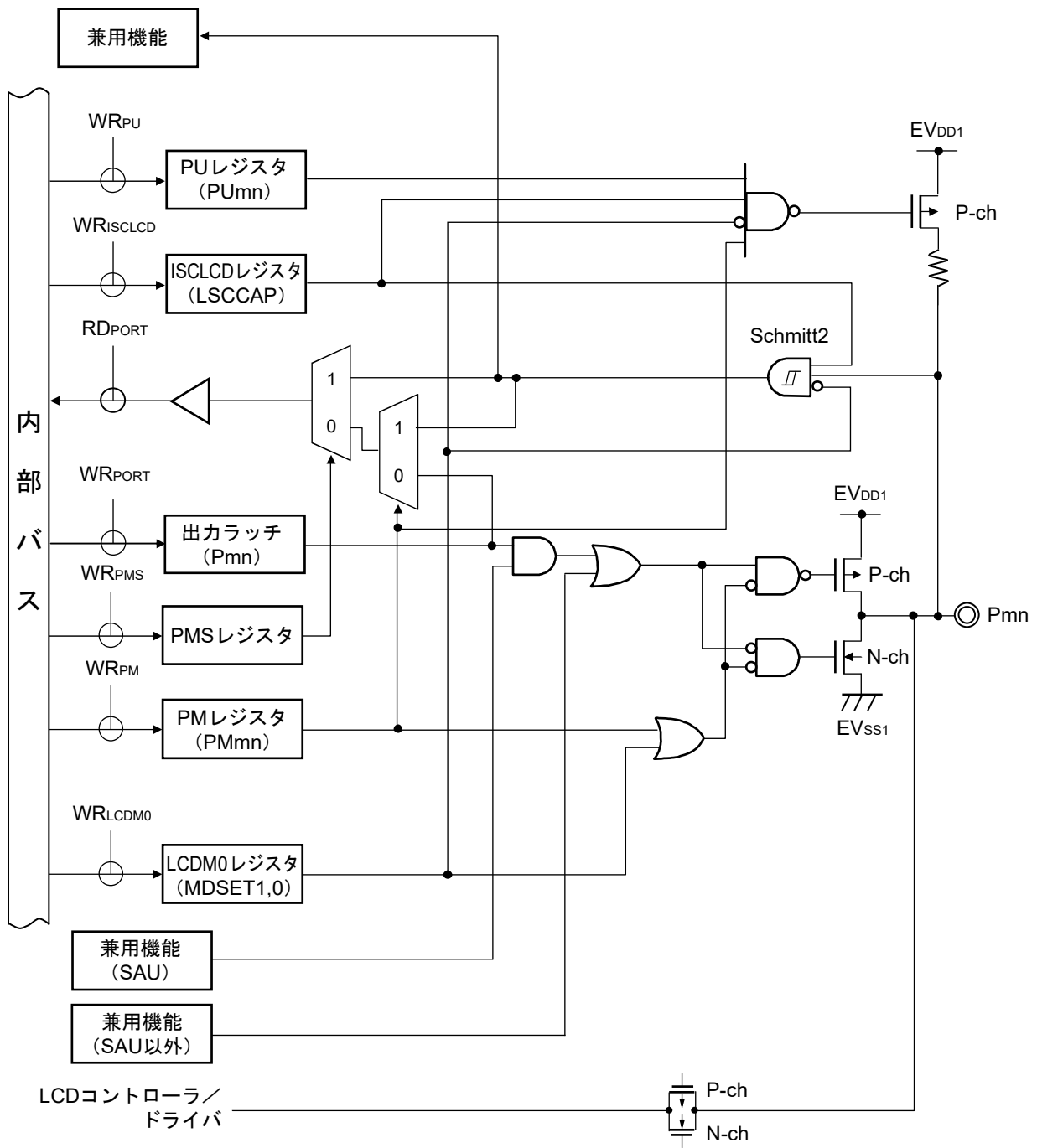
2. SAU : シリアル・アレイ・ユニット

図2-9 端子タイプ7-5-4の端子ブロック図



- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
 2. SAU : シリアル・アレイ・ユニット

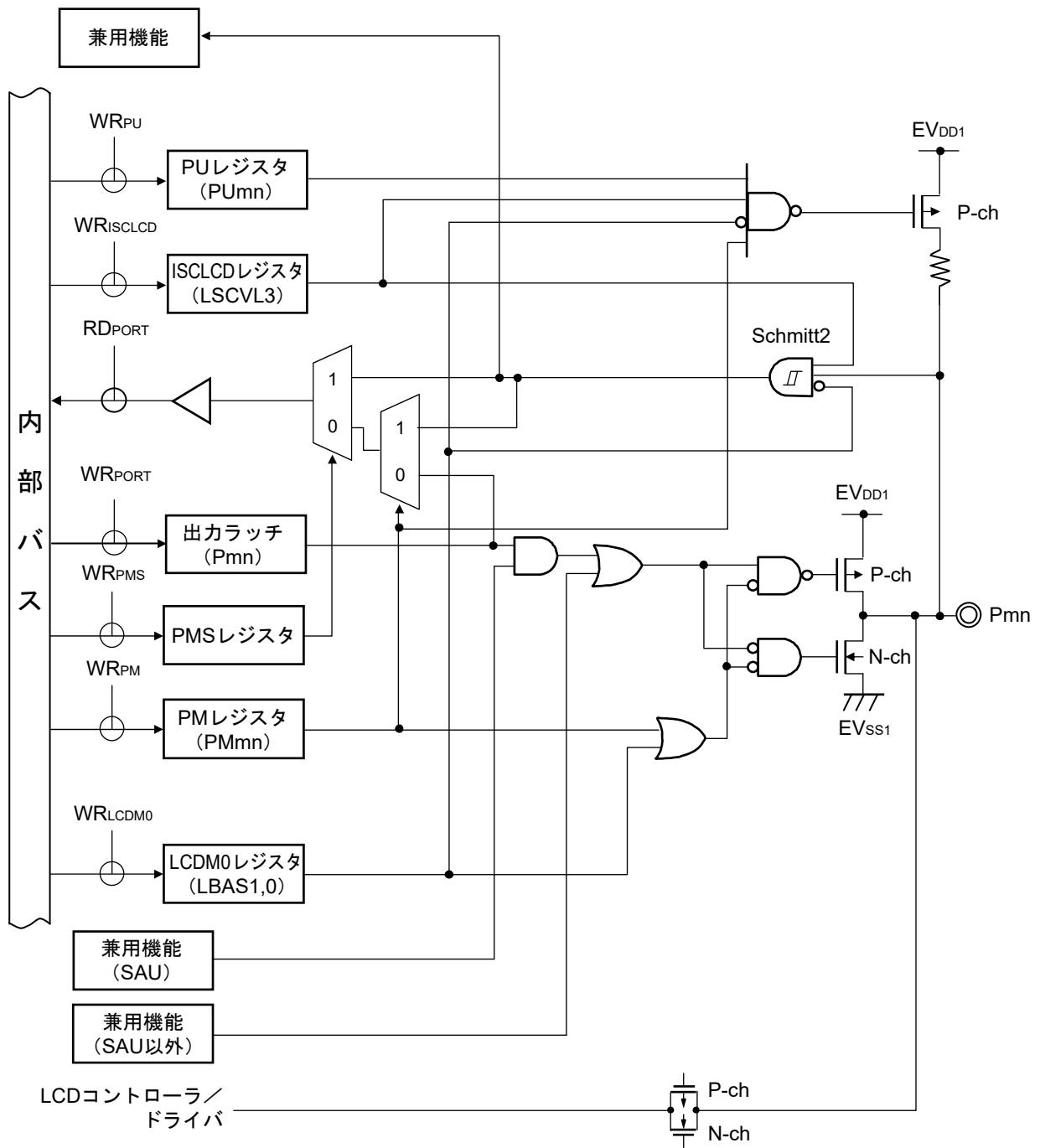
図2-10 端子タイプ7-5-5の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

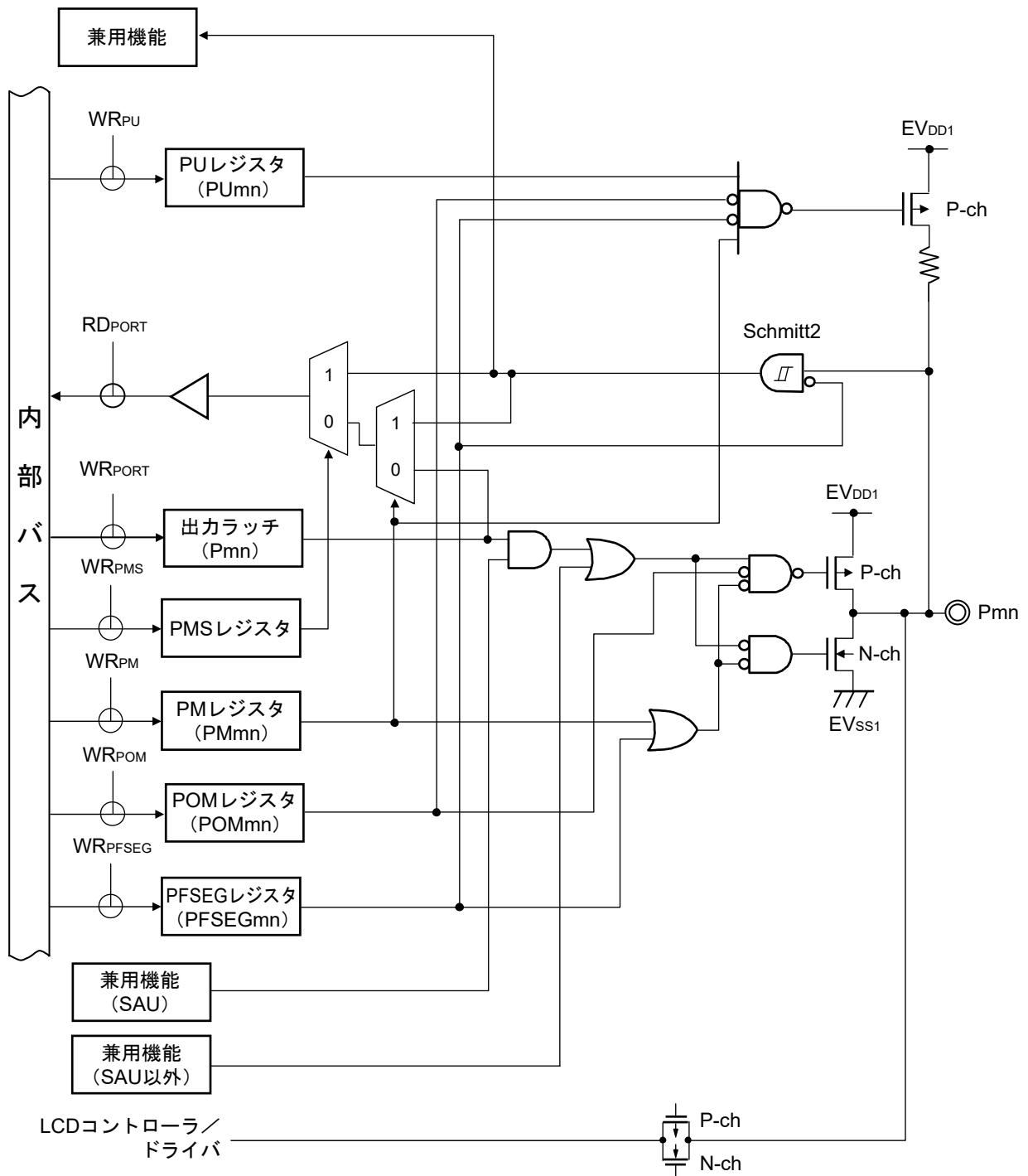
2. SAU : シリアル・アレイ・ユニット

図2-11 端子タイプ7-5-6の端子ブロック図



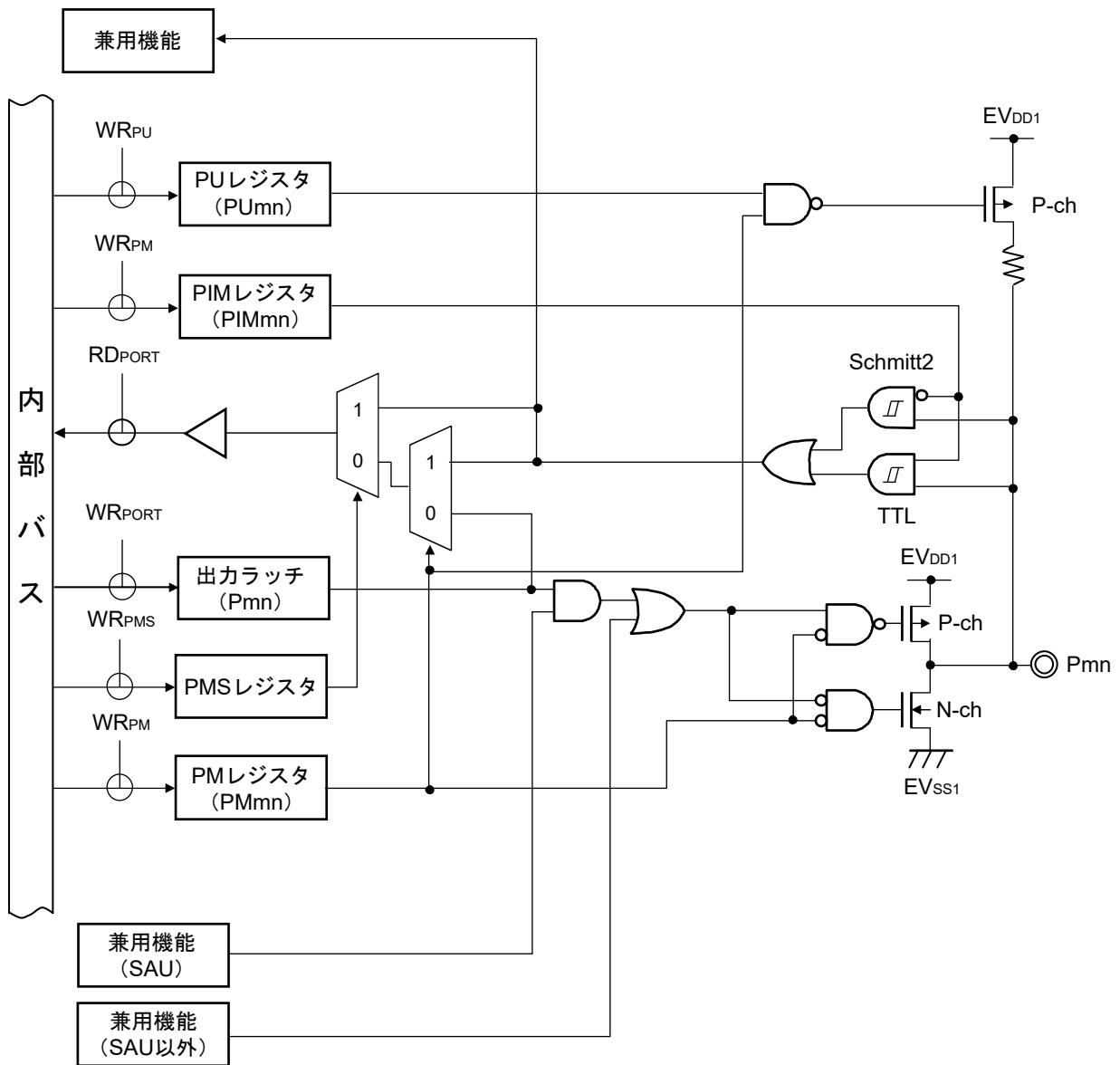
- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
 2. SAU : シリアル・アレイ・ユニット

図2-12 端子タイプ7-5-10の端子ブロック図



- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
 2. SAU : シリアル・アレイ・ユニット

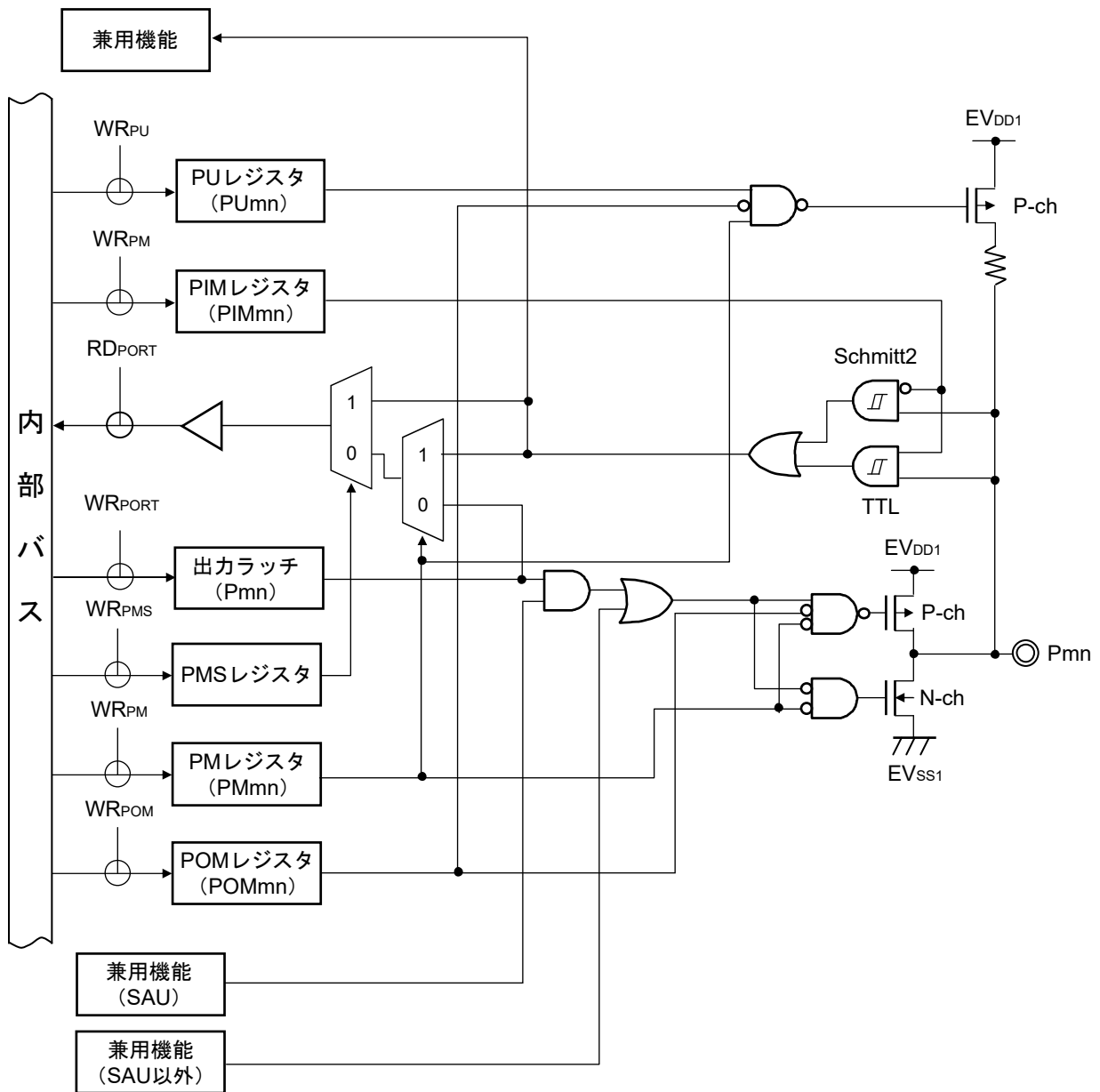
図2-13 端子タイプ8-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

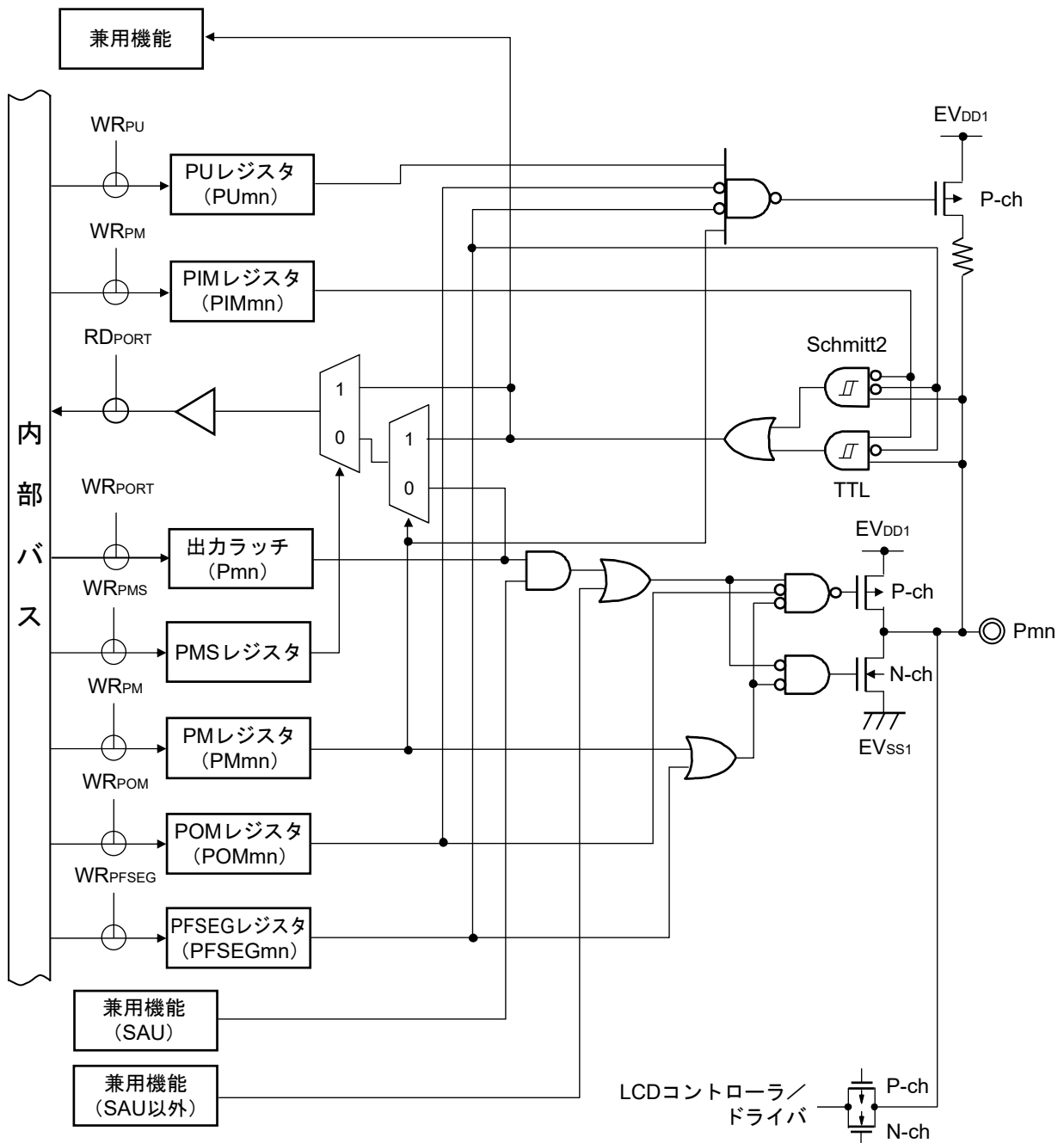
図2-14 端子タイプ8-1-4の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図2-15 端子タイプ8-5-10の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

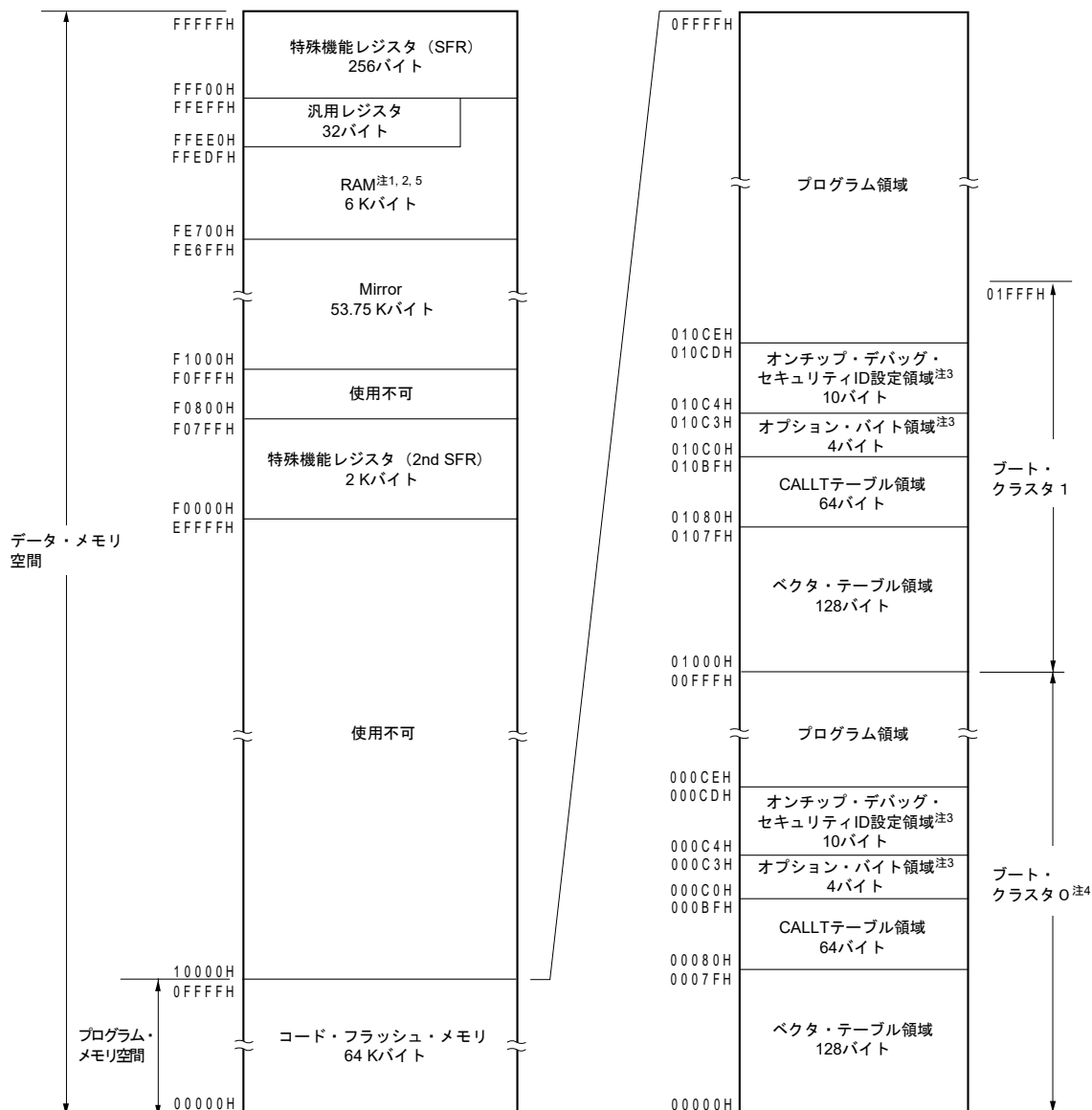
2. SAU : シリアル・アレイ・ユニット

第3章 CPUアーキテクチャ

3.1 メモリ空間

RL78/I1Bは、1 Mバイトのアドレス空間をアクセスできます。図3-1, 図3-2にメモリ・マップを示します。

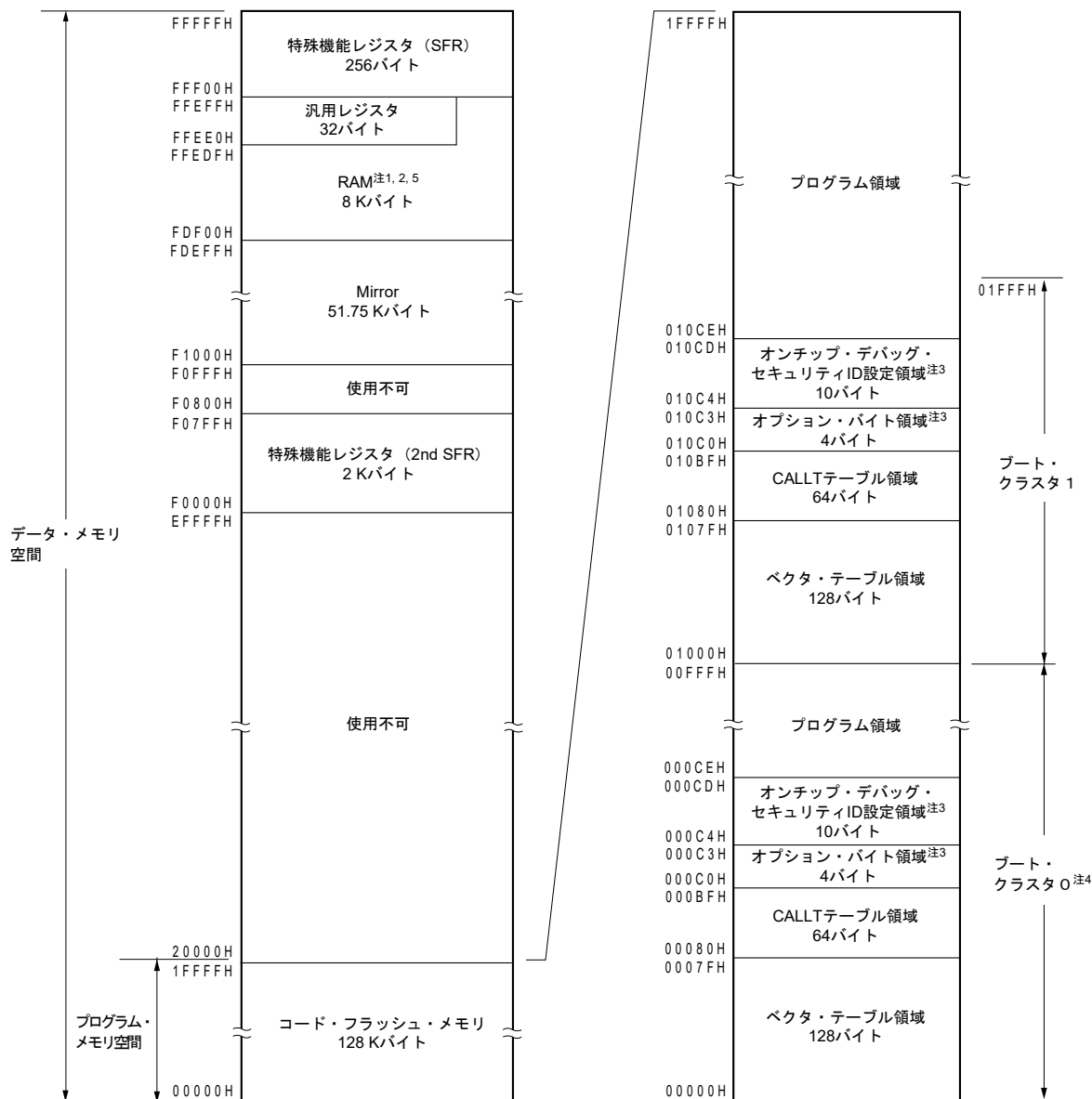
図3-1 メモリ・マップ (R5F10MME, R5F10MPE)



- 注1. セルフ・プログラミング時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCIによる転送先/転送元で利用するRAMアドレスをFFE20H-FE6DFHの領域に配置しないでください。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (33.6 セキュリティ設定を参照)。
5. オンチップ・デバッキングのトレース機能使用時は、FE300H-FE6FFHの領域が使用禁止になります。

注意 RAM領域から命令実行し、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は30.3.3 RAMパリティ・エラー検出機能を参照してください。

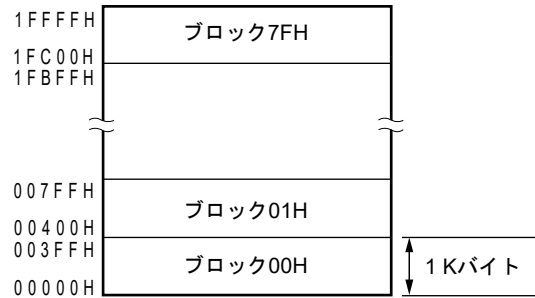
図3-2 メモリ・マップ (R5F10MMG, R5F10MPG)



- 注1. セルフ・プログラミング時は、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスを FFE20H-FFEDFHの領域に配置しないでください。
- また、フラッシュ・ライブラリがFDF00Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリ セルフRAMリスト (R20UT2943) を参照してください。
- 汎用レジスタを除いたRAM領域から命令実行をすることができます。
 - ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
 - セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (33.6 セキュリティ設定を参照)。
 - オンチップ・デバッキングのトレース機能使用時は、FE300H-FE6FFHの領域が使用禁止になります。

注意 RAM領域から命令実行し、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は30.3.3 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



(R5F10MMG, R5F10MPGの場合)

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
00000H-003FFH	00H	08000H-083FFH	20H	10000H-103FFH	40H	18000H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

備考 R5F10MME, R5F10MPE : ブロック番号00H-3FH

R5F10MMG, R5F10MPG : ブロック番号00H-7FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/I1Bは、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-2 内部ROM容量

製 品	内部ROM	
	構 造	容 量
R5F10MME, R5F10MPE	フラッシュ・メモリ	65536×8ビット (00000H-0FFFFH)
R5F10MMG, R5F10MPG		131072×8ビット (00000H-1FFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。ブート・スワップを使用する際には、01000H-0107FHにもベクタ・テーブルを設定してください。

表3-3 ベクタ・テーブル (1/2)

ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE
0004H	INTWDTI
0006H	INTLVI
0008H	INTP0
000AH	INTP1
000CH	INTP2
000EH	INTP3
0010H	INTP4
0012H	INTP5
0014H	INTST2
0016H	INTSR2
0018H	INTSRE2
001EH	INTST0/INTCSI00/INTIIC00
0020H	INTTM00
0022H	INTSR0
0024H	INTSRE0
	INTTM01H
0026H	INTST1/INTIIC10
0028H	INTSR1
002AH	INTSRE1
	INTTM03H
002CH	INTIICA0
002EH	INTRTIT
0030H	INTFM
0032H	INTTM01
0034H	INTTM02
0036H	INTTM03
0038H	INTAD
003AH	INTRTC
003CH	INTIT
0044H	INTDSAD

表3-3 ベクタ・テーブル (2/2)

ベクタ・テーブル・アドレス	割り込み要因
0046H	INTTM04
0048H	INTTM05
004AH	INTP6
004CH	INTP7
0050H	INTCMP0
0052H	INTCMP1
0054H	INTTM06
0056H	INTTM07
0058H	INTIT00
005AH	INTIT01
005CH	INTCR
0060H	INTOSDC
0068H	INTIT10
006AH	INTIT11
006CH	INTVBAT
007EH	BRK

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令 (CALLT) のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFFFH内の値を設定してください (アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第32章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第34章 オンチップ・デバッグ機能を参照してください。

3.1.2 ミラー領域

RL78/I1Bでは、00000H-0FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFFHへミラーしています。フラッシュ・メモリが128 KBの製品では、00000H-0FFFFHまたは10000H-1FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFFHへミラーしています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

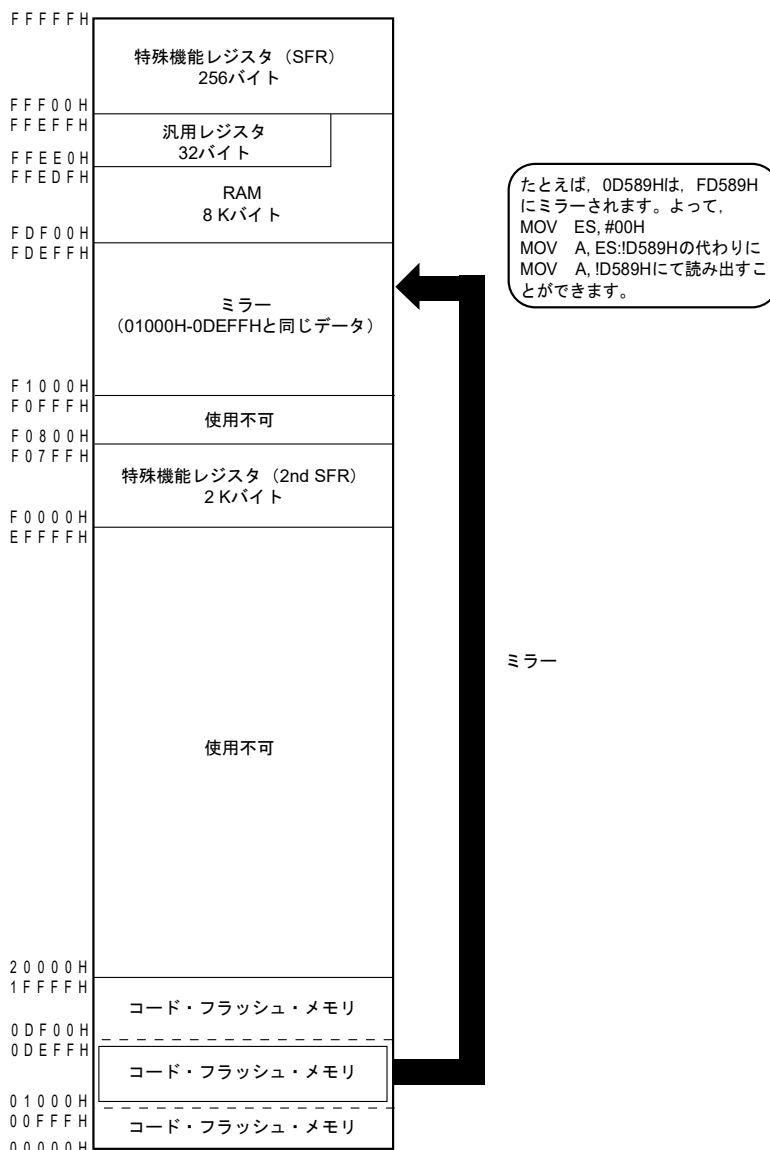
ミラー先のF0000H-FFFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R5F10MMG, R5F10MPG（フラッシュ・メモリ 128 Kバイト，RAM 8 Kバイト）の場合



次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-3 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー

注意1. フラッシュ・メモリが64 KBの製品の場合は、必ずビット0 (MAA) を0 (初期値) でご使用ください。

2. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

RL78/I1Bは、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

製品	内部RAM
R5F10MME, R5F10MPE	6144×8ビット (FE700H-FFEFFFH)
R5F10MMG, R5F10MPG	8192×8ビット (FDF00H-FFEFFFH)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。内部RAM領域のうちFFEE0H-FFEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFFH）は、命令フェッチやスタックの領域に使用できません。
2. セルフ・プログラミング時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
3. セルフ・プログラミング時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。

R5F10MMG, R5F10MPG : FDF00H-FE309H

4. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R5F10MME, R5F10MPE, R5F10MMG, R5F10MPG : FE300H-FE6FFFH

3.1.4 特殊機能レジスタ（SFR : Special Function Register）領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（3.2.4 特殊機能レジスタ（SFR : Special Function Register）の表3-5参照）。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）領域

F0000H-F07FFFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（3.2.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）の表3-6参照）。

SFR領域（FFF00H-FFFFFFH）以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

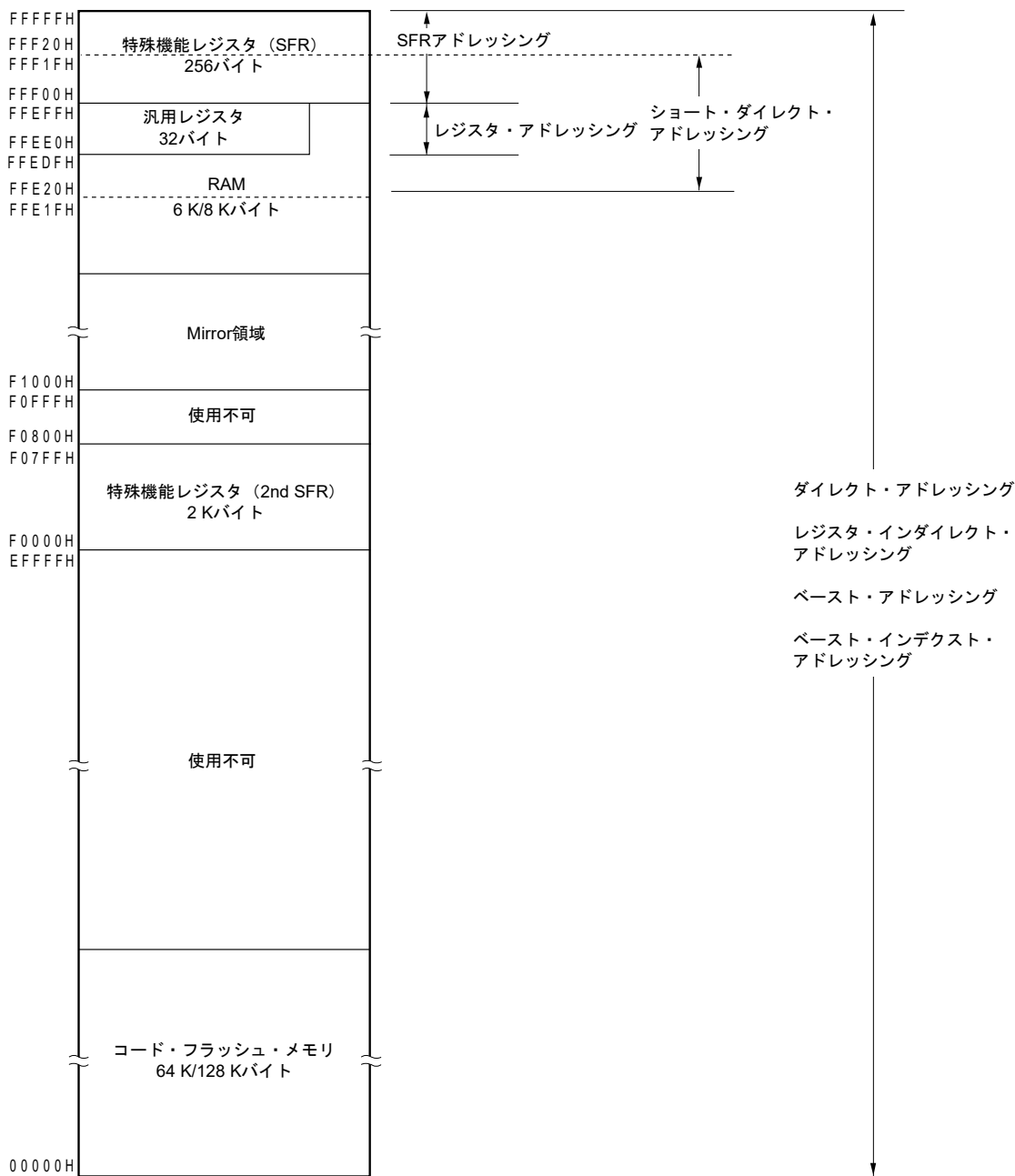
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/I1Bでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-4にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、3.4 処理データ・アドレスに対するアドレッシングを参照してください。

図3-4 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

RL78/I1Bは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

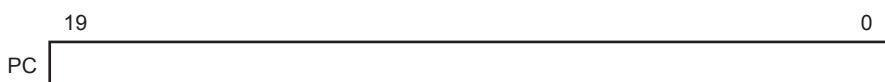
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-5 プログラム・カウンタの構成



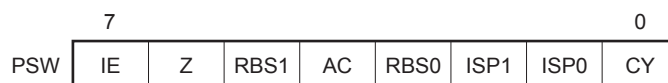
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-6 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このときマスカブル割り込み要求の受け付けは、インサース・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ（Z）

演算結果がゼロまたは等しいときセット（1）され、それ以外の場合にリセット（0）されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサースビス・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L) (23. 3. 3参照) でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際にベクタ割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

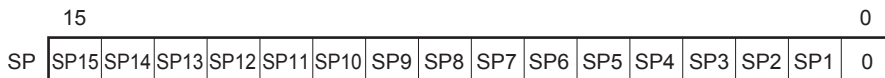
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-7 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

- 注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
- 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。
 - セルフ・プログラミング時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
 - セルフ・プログラミング時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。

R5F10MMG, R5F10MPG : FDF00H-FE309H

- 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R5F10MME, R5F10MPE, R5F10MMG, R5F10MPG : FE300H-FE6FFH

3.2.2 汎用レジスタ

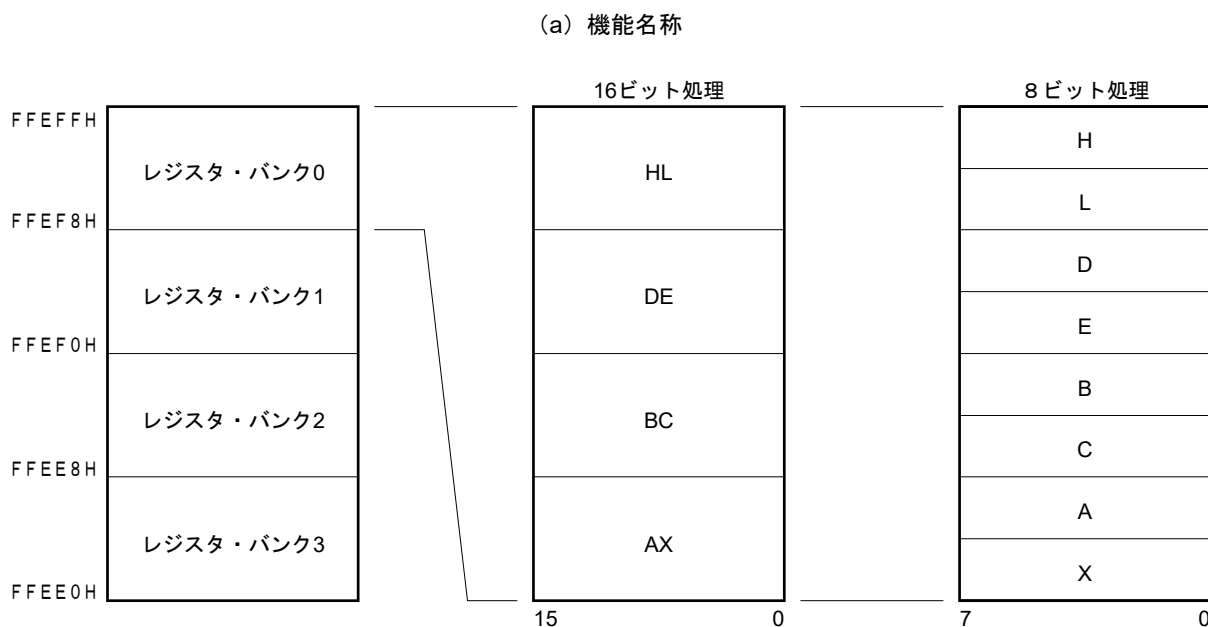
汎用レジスタは、データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL R_n）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンク切り替えすれば、効率のよいプログラムを作成できます。

注意 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。

図3-8 汎用レジスタの構成



3.2.3 ES, CSレジスタ

ESレジスタでデータ・アクセス, CSレジスタで(レジスタ・ダイレクト・アドレッシング)分岐命令実行時の、それぞれ上位アドレスを指定できます。

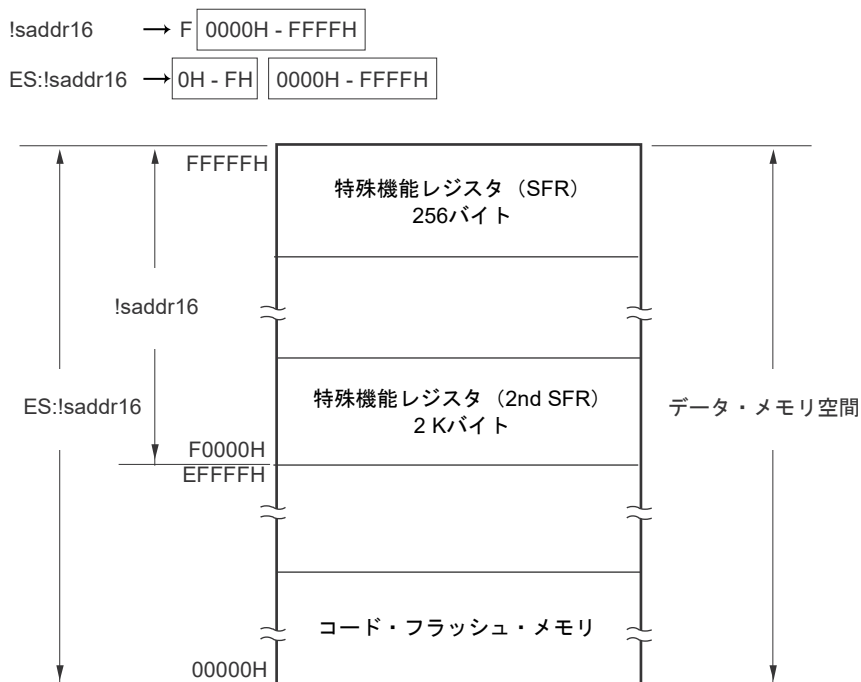
ESレジスタのリセット後の初期値は0FH, CSレジスタのリセット後の初期値は00Hです。

図3-9 ES/CSレジスタの構成



16ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFFHの64 Kバイト空間ですが、ES:を付加すると00000H-FFFFFFHの1 Mバイト空間に拡張できます。

図3-10 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を○で示します。-は操作できないビット単位であることを示します。

- ・ リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR) については、3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

表3-5 SFR一覧 (1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	—	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	—	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	—	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	—	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	—	00H
FFF08H	ポート・レジスタ8	P8		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	—	不定
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○	00H	
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	○	—	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	—	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	—	FFH
FFF28H	ポート・モード・レジスタ8	PM8		R/W	○	○	—	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	—	00H

表3-5 SFR一覧 (2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	—	00H
FFF40H	LCDモード・レジスタ0	LCDM0		R/W	—	○	—	00H
FFF41H	LCDモード・レジスタ1	LCDM1		R/W	○	○	—	00H
FFF42H	LCDクロック制御レジスタ0	LCDC0		R/W	—	○	—	00H
FFF43H	LCD昇圧レベル制御レジスタ	VLCD		R/W	—	○	—	04H
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	—	○	○	0000H
FFF45H		—			—	—		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	—	○	○	0000H
FFF47H		—			—	—		
FFF48H	シリアル・データ・レジスタ10	TXD2	SDR10	R/W	—	○	○	0000H
FFF49H		—			—	—		
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	—	○	○	0000H
FFF4BH		—			—	—		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	—	○	—	00H
FFF51H	IICステータス・レジスタ0	IICS0		R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	—	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○	00H	
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	—	—	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	—	—	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	—	—	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	—	—	○	0000H
FFF6FH								

表3-5 SFR一覧 (3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF90H FFF91H	12ビット・インターバル・タイマ・コントロール・レジスタ	ITMC	R/W	—	—	○	0FFFH
FFF92H	秒カウント・レジスタ	SEC	R/W	—	○	—	不定
FFF93H	分カウント・レジスタ	MIN	R/W	—	○	—	不定
FFF94H	時カウント・レジスタ	HOUR	R/W	—	○	—	不定
FFF95H	曜日カウント・レジスタ	WEEK	R/W	—	○	—	不定
FFF96H	日カウント・レジスタ	DAY	R/W	—	○	—	不定
FFF97H	月カウント・レジスタ	MONTH	R/W	—	○	—	不定
FFF98H	年カウント・レジスタ	YEAR	R/W	—	○	—	不定
FFF9AH	アラーム分レジスタ	ALARMWMM	R/W	—	○	—	不定
FFF9BH	アラーム時レジスタ	ALARMWH	R/W	—	○	—	不定
FFF9CH	アラーム曜日レジスタ	ALARMWW	R/W	—	○	—	不定
FFF9DH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0	R/W	○	○	—	00H ^{注1}
FFF9EH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1	R/W	○	○	—	00H ^{注1}
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	—	○	—	00H ^{注1}
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W	○	○	—	C0H ^{注1}
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC	R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1	R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	—	○	—	不定 ^{注2}
FFFA9H	電圧検出レジスタ	LVIM	R/W	○	○	—	00H ^{注2}
FFFAAH	電圧検出レベル・レジスタ	LVIS	R/W	○	○	—	00H/01H/ 81H ^{注2}
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	—	○	—	1AH/9AH ^{注3}
FFFACH	CRC入力レジスタ	CRCIN	R/W	—	○	—	00H

注1. パワーオン・リセットによるリセット時のみ初期化されます。

2. リセット要因により、次のように異なります。

リセット要因	RESET入力	PORによる リセット	不正命令の 実行による リセット	WDTIによる リセット	RAMパリティ エラーに よるリセット	不正メモリ・ アクセスに よるリセット	LVDIによる リセット
RESF	TRAP	クリア (0)	セット (1)	保持			保持
	WDTRF		保持	セット (1)	保持		
	RPERF		保持		セット (1)	保持	
	IAWRF		保持			セット (1)	
	LVIRF		保持				セット (1)
LVIM	LVISEN	クリア (0)					保持
	LVIOMSK	保持					
	LVIF						
LVIS		クリア(00H/01H/81H)					クリア (00H/81H) ^{注4}

3. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

4. オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : LVDリセットは発生しません。

表3-5 SFR一覧 (4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W	○	○	○	00H
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W	○	○		00H
FFFD2H	割り込み要求フラグ・レジスタ3L	IF3L	IF3	R/W	○	○	○	00H
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W	○	○		FFH
FFFD6H	割り込みマスク・フラグ・レジスタ3L	MK3L	MK3	R/W	○	○	○	FFH
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W	○	○		FFH
FFFDAH	優先順位指定フラグ・レジスタ03L	PR03L	PR03	R/W	○	○	○	FFH
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W	○	○	○	FFH
FFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W	○	○		FFH
FFFDEH	優先順位指定フラグ・レジスタ13L	PR13L	PR13	R/W	○	○	○	FFH
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W	○	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W	○	○	○	00H
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W	○	○		FFH

表3-5 SFR一覧 (5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W	○	○	○	FFH
FFFE BH	優先順位指定フラグ・レジスタ01H	PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W	○	○	○	FFH
FFFE DH	優先順位指定フラグ・レジスタ10H	PR10H		R/W	○	○		FFH
FFFE EH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W	○	○	○	FFH
FFFE FH	優先順位指定フラグ・レジスタ11H	PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ (L)	MACRL		R/W	-	-	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ (H)	MACRH		R/W	-	-	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	-	00H

備考 拡張SFR (2nd SFR) については、表3-6 拡張SFR (2nd SFR) 一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (!addr16.bit) には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- ・ 8ビット操作

8ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する拡張SFRが読み出し (Read) /書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を○で示します。-は操作できないビット単位であることを示します。

- ・ リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (1/8)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	—	00H
F0038H	プルアップ抵抗オプション・レジスタ8	PU8	R/W	○	○	—	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	—	00H
F0048H	ポート入力モード・レジスタ8	PIM8	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	—	00H
F0058H	ポート出力モード・レジスタ8	POM8	R/W	○	○	—	00H
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F007AH	周辺イネーブル・レジスタ1	PER1	R/W	○	○	—	00H
F007BH	ポートモード選択レジスタ	PMS	R/W	○	○	—	00H
F007DH	グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS	R/W	○	○	—	00H
F0098H	周辺クロック制御レジスタ	PCKC	R/W	○	○	—	00H
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定 ^{注1}
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC	R/W	—	○	—	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H
F00F9H	パワーオン・リセット・ステータス・レジスタ	PORSR	R/W	—	○	—	00H ^{注2}
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	○	—	不定

注1. HOCODIVレジスタのリセット値は、オプション・バイト (000C2H) の設定により変化します。

2. パワーオン・リセットによるリセット時のみ初期化されます。

表3-6 拡張SFR (2nd SFR) 一覧 (2/8)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—			
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—			
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	○	0000H
F0105H		—			—			
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	○	0000H
F0107H		—			—			
F0108H	シリアル・フラグ・クリア・トリガ・ レジスタ00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—			
F010AH	シリアル・フラグ・クリア・トリガ・ レジスタ01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—			
F010CH	シリアル・フラグ・クリア・トリガ・ レジスタ02	SIR02L	SIR02	R/W	—	○	○	0000H
F010DH		—			—			
F010EH	シリアル・フラグ・クリア・トリガ・ レジスタ03	SIR03L	SIR03	R/W	—	○	○	0000H
F010FH		—			—			
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	—	—	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	—	—	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	—	—	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	—	—	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	—	—	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	—	—	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	—	—	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	—	—	○	0087H
F011FH								
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—			
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—			
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—			
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—			

表3-6 拡張SFR (2nd SFR) 一覧 (3/8)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0128H	シリアル出力レジスタ0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		—			—	—		
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	—	○	○	0000H
F0141H		—			—	—		
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	—	○	○	0000H
F0143H		—			—	—		
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	—	○	○	0000H
F0149H		—			—	—		
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	—	○	○	0000H
F014BH		—			—	—		
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	—	—	○	0020H
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	—	—	○	0020H
F0153H								
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	—	—	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	—	—	○	0087H
F015BH								
F0160H	シリアル・チャンネル許可ステータス・レジスタ1	SE1L	SE1	R	○	○	○	0000H
F0161H		—			—	—		
F0162H	シリアル・チャンネル開始レジスタ1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		—			—	—		
F0164H	シリアル・チャンネル停止レジスタ1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		—			—	—		
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	—	○	○	0000H
F0167H		—			—	—		
F0168H	シリアル出力レジスタ1	SO1		R/W	—	—	○	0303H
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		—			—	—		
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	—	○	○	0000H
F0175H		—			—	—		

表3-6 拡張SFR (2nd SFR) 一覧 (4/8)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	-	-	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	-	-	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	-	-	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	-	-	○	FFFFH
F0187H								
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	-	-	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	-	-	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	-	-	○	FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	-	-	○	FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	-	-	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	-	-	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	-	-	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	-	-	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	-	-	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	-	-	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	-	-	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	-	-	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	-	○	○	0000H
F01A1H		-						
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	-	○	○	0000H
F01A3H		-						
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	-	○	○	0000H
F01A5H		-						

表3-6 拡張SFR (2nd SFR) 一覧 (5/8)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—			
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	—	○	○	0000H
F01A9H		—			—			
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	—	○	○	0000H
F01ABH		—			—			
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	—	○	○	0000H
F01ADH		—			—			
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	—	○	○	0000H
F01AFH		—			—			
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—			
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—			
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—			
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—			
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—			
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—			
F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W	○	○	—	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0		R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0		R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0		R/W	—	○	—	00H
F02D0H	発振停止検出制御レジスタ	OSDC		R/W	—	—	○	0FFFH
F02D8H	高速オンチップ・オシレータ・クロック周波数補正制御レジスタ	HOCOFC		R/W	—	○	—	00H
F02E0H	DTCベース・アドレス・レジスタ	DTCBAR		R/W	—	○	—	00H
F02E8H	DTC許可レジスタ0	DTCEN0		R/W	○	○	—	00H
F02E9H	DTC許可レジスタ1	DTCEN1		R/W	○	○	—	00H
F02EAH	DTC許可レジスタ2	DTCEN2		R/W	○	○	—	00H
F02EBH	DTC許可レジスタ3	DTCEN3		R/W	○	○	—	00H

表3-6 拡張SFR (2nd SFR) 一覧 (6/8)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	—	—	○	0000H
F0300H	LCDポート・ファンクション・レジスタ0	PFSEG0	R/W	○	○	—	F0H
F0301H	LCDポート・ファンクション・レジスタ1	PFSEG1	R/W	○	○	—	FFH
F0302H	LCDポート・ファンクション・レジスタ2	PFSEG2	R/W	○	○	—	FFH
F0303H	LCDポート・ファンクション・レジスタ3	PFSEG3	R/W	○	○	—	FFH
F0304H	LCDポート・ファンクション・レジスタ4	PFSEG4	R/W	○	○	—	FFH
F0305H	LCDポート・ファンクション・レジスタ5	PFSEG5	R/W	○	○	—	FFH
F0308H	LCD入力切り替え制御レジスタ	ISCLCD	R/W	○	○	—	00H
F0310H	時計誤差補正レジスタ	SUBCUD	R/W	—	—	○	0020H ^注
F0312H	周波数測定カウント・レジスタL	FMCRL	R	—	—	○	0000H
F0314H	周波数測定カウント・レジスタH	FMCRLH	R	—	—	○	0000H
F0316H	周波数測定コントロール・レジスタ	FMCTL	R/W	○	—	—	00H
F0330H	バックアップ電源切り替えコントロール・レジスタ0	BUPCTL0	R/W	○	○	—	00H
FF340H	コンパレータ・モード設定レジスタ	COMPMDR	R/W	○	○	—	00H
FF341H	コンパレータ・フィルタ制御レジスタ	COMPFIR	R/W	○	○	—	00H
FF342H	コンパレータ出力制御レジスタ	COMPOCR	R/W	○	○	—	00H
F0350H	8ビット・インターバル・タイマ・コンペア・レジスタ00	TRTCMP00	TRTCMP0	R/W	—	○	FFH
F0351H	8ビット・インターバル・タイマ・コンペア・レジスタ01	TRTCMP01		R/W	—	○	FFH
F0352H	8ビット・インターバル・タイマ制御レジスタ0	TRTCR0	R/W	○	○	—	00H
F0353H	8ビット・インターバル・タイマ分周レジスタ0	TRTMD0	R/W	—	○	—	00H
F0358H	8ビット・インターバル・タイマ・コンペア・レジスタ10	TRTCMP10	TRTCMP1	R/W	—	○	FFH
F0359H	8ビット・インターバル・タイマ・コンペア・レジスタ11	TRTCMP11		R/W	—	○	FFH
F035AH	8ビット・インターバル・タイマ制御レジスタ1	TRTCR1	R/W	○	○	—	00H
F035BH	8ビット・インターバル・タイマ分周レジスタ1	TRTMD1	R/W	—	○	—	00H
F03A0H	IrDAコントロール・レジスタ	IRCR	R/W	○	○	—	00H
F03B0H	温度センサ・コントロール・テスト・レジスタ	TMPCTL	R/W	○	○	—	00H

注 パワーオン・リセットによるリセット時のみ初期化されます。

表3-6 拡張SFR (2nd SFR) 一覧 (7/8)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F03C0H	ΔΣA/Dコンバータ・モード・レジスタ	DSADMR	R/W	—	—	○	0000H
F03C2H	ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ0	DSADGCR0	R/W	—	○	—	00H
F03C3H	ΔΣA/Dコンバータ・ゲイン・コントロール・レジスタ1	DSADGCR1	R/W	—	○	—	00H
F03C5H	ΔΣA/DコンバータHPFコントロール・レジスタ	DSADHPFCR	R/W	—	○	—	00H
F03C6H	ΔΣA/Dコンバータ位相コントロール・レジスタ0	DSADPHCR0	R/W	—	—	○	0000H
F03C8H	ΔΣA/Dコンバータ位相コントロール・レジスタ1	DSADPHCR1	R/W	—	—	○	0000H
F03D0H	ΔΣA/Dコンバータ変換結果レジスタ0L	DSAD CR0L	R	—	○	○	00H
F03D1H	ΔΣA/Dコンバータ変換結果レジスタ0M	DSAD CR0M		R	—		○
F03D2H	ΔΣA/Dコンバータ変換結果レジスタ0H	DSADCR0H	R	—	○	—	00H
F03D4H	ΔΣA/Dコンバータ変換結果レジスタ1L	DSAD CR1L	R	—	○	○	00H
F03D5H	ΔΣA/Dコンバータ変換結果レジスタ1M	DSAD CR1M		R	—		○
F03D6H	ΔΣA/Dコンバータ変換結果レジスタ1H	DSADCR1H	R	—	○	—	00H
F03D8H	ΔΣA/Dコンバータ変換結果レジスタ2L	DSAD CR2L	R	—	○	○	00H
F03D9H	ΔΣA/Dコンバータ変換結果レジスタ2M	DSAD CR2M		R	—		○
F03DAH	ΔΣA/Dコンバータ変換結果レジスタ2H	DSADCR2H	R	—	○	—	00H
F03DCH	ΔΣA/Dコンバータ変換結果レジスタ3L	DSAD CR3L	R	—	○	○	00H
F03DDH	ΔΣA/Dコンバータ変換結果レジスタ3M	DSAD CR3M		R	—		○
F03DEH	ΔΣA/Dコンバータ変換結果レジスタ3H	DSADCR3H	R	—	○	—	00H
F0400H	LCD表示データ・メモリ0	SEG0	R/W	—	○	—	00H
F0401H	LCD表示データ・メモリ1	SEG1	R/W	—	○	—	00H
F0402H	LCD表示データ・メモリ2	SEG2	R/W	—	○	—	00H
F0403H	LCD表示データ・メモリ3	SEG3	R/W	—	○	—	00H
F0404H	LCD表示データ・メモリ4	SEG4	R/W	—	○	—	00H
F0405H	LCD表示データ・メモリ5	SEG5	R/W	—	○	—	00H
F0406H	LCD表示データ・メモリ6	SEG6	R/W	—	○	—	00H
F0407H	LCD表示データ・メモリ7	SEG7	R/W	—	○	—	00H
F0408H	LCD表示データ・メモリ8	SEG8	R/W	—	○	—	00H
F0409H	LCD表示データ・メモリ9	SEG9	R/W	—	○	—	00H

表3-6 拡張SFR (2nd SFR) 一覧 (8/8)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F040AH	LCD表示データ・メモリ10	SEG10		R/W	—	○	—	00H
F040BH	LCD表示データ・メモリ11	SEG11		R/W	—	○	—	00H
F040CH	LCD表示データ・メモリ12	SEG12		R/W	—	○	—	00H
F040DH	LCD表示データ・メモリ13	SEG13		R/W	—	○	—	00H
F040EH	LCD表示データ・メモリ14	SEG14		R/W	—	○	—	00H
F040FH	LCD表示データ・メモリ15	SEG15		R/W	—	○	—	00H
F0410H	LCD表示データ・メモリ16	SEG16		R/W	—	○	—	00H
F0411H	LCD表示データ・メモリ17	SEG17		R/W	—	○	—	00H
F0412H	LCD表示データ・メモリ18	SEG18		R/W	—	○	—	00H
F0413H	LCD表示データ・メモリ19	SEG19		R/W	—	○	—	00H
F0414H	LCD表示データ・メモリ20	SEG20		R/W	—	○	—	00H
F0415H	LCD表示データ・メモリ21	SEG21		R/W	—	○	—	00H
F0416H	LCD表示データ・メモリ22	SEG22		R/W	—	○	—	00H
F0417H	LCD表示データ・メモリ23	SEG23		R/W	—	○	—	00H
F0418H	LCD表示データ・メモリ24	SEG24		R/W	—	○	—	00H
F0419H	LCD表示データ・メモリ25	SEG25		R/W	—	○	—	00H
F041AH	LCD表示データ・メモリ26	SEG26		R/W	—	○	—	00H
F041BH	LCD表示データ・メモリ27	SEG27		R/W	—	○	—	00H
F041CH	LCD表示データ・メモリ28	SEG28		R/W	—	○	—	00H
F041DH	LCD表示データ・メモリ29	SEG29		R/W	—	○	—	00H
F041EH	LCD表示データ・メモリ30	SEG30		R/W	—	○	—	00H
F041FH	LCD表示データ・メモリ31	SEG31		R/W	—	○	—	00H
F0420H	LCD表示データ・メモリ32	SEG32		R/W	—	○	—	00H
F0421H	LCD表示データ・メモリ33	SEG33		R/W	—	○	—	00H
F0422H	LCD表示データ・メモリ34	SEG34		R/W	—	○	—	00H
F0423H	LCD表示データ・メモリ35	SEG35		R/W	—	○	—	00H
F0424H	LCD表示データ・メモリ36	SEG36		R/W	—	○	—	00H
F0425H	LCD表示データ・メモリ37	SEG37		R/W	—	○	—	00H
F0426H	LCD表示データ・メモリ38	SEG38		R/W	—	○	—	00H
F0427H	LCD表示データ・メモリ39	SEG39		R/W	—	○	—	00H
F0428H	LCD表示データ・メモリ40	SEG40		R/W	—	○	—	00H
F0429H	LCD表示データ・メモリ41	SEG41		R/W	—	○	—	00H
F0540H	8ビット・インターバル・タイマ・カウンタ・レジスタ00	TRT00	TRT0	R	—	○	○	00H
F0541H	8ビット・インターバル・タイマ・カウンタ・レジスタ01	TRT01		R	—	○		00H
F0548H	8ビット・インターバル・タイマ・カウンタ・レジスタ10	TRT10	TRT1	R	—	○	○	00H
F0549H	8ビット・インターバル・タイマ・カウンタ・レジスタ1	TRT11		R	—	○		00H

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

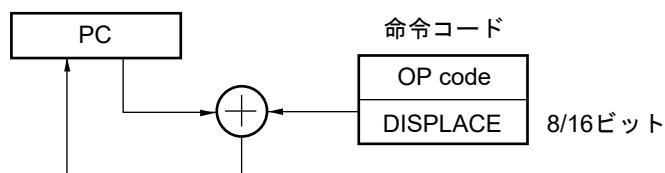
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ (PC) の値 (次に続く命令の先頭アドレス) に対し、命令語に含まれるディスプレイメント値 (符号付きの補数データ: -128~+127または-32768~+32767) を加算した結果を、プログラム・カウンタ (PC) に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-11 レラティブ・アドレッシングの概略



3.3.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-12 CALL !!addr20/BR !!addr20の例

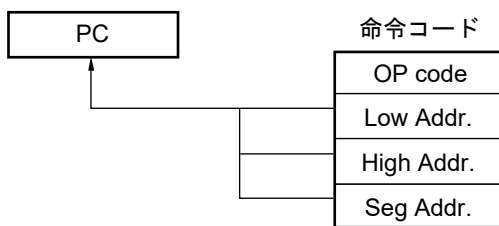
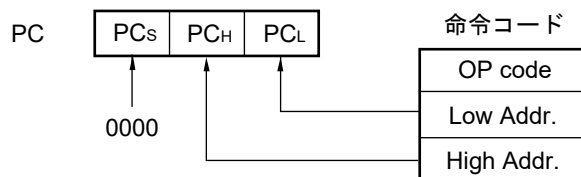


図3-13 CALL !addr16/BR !addr16の例



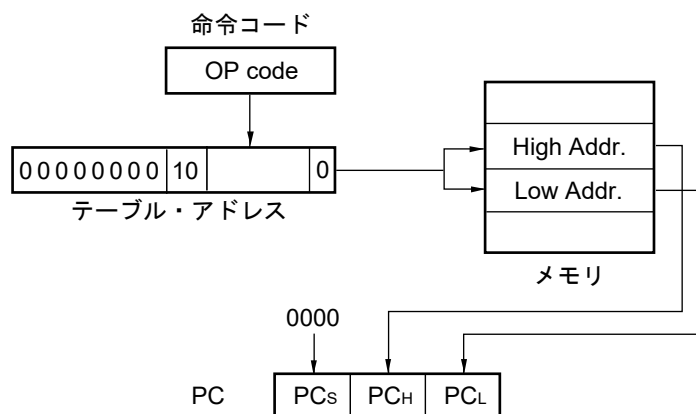
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3-14 テーブル・インダイレクト・アドレッシングの概略

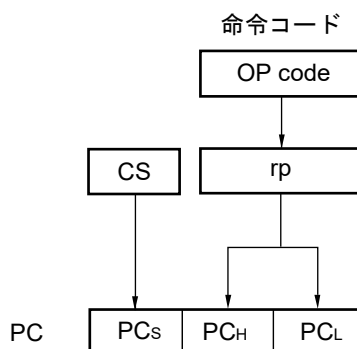


3.3.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3-15 レジスタ・ダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

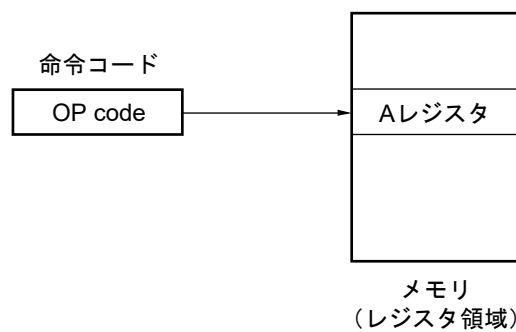
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-16 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

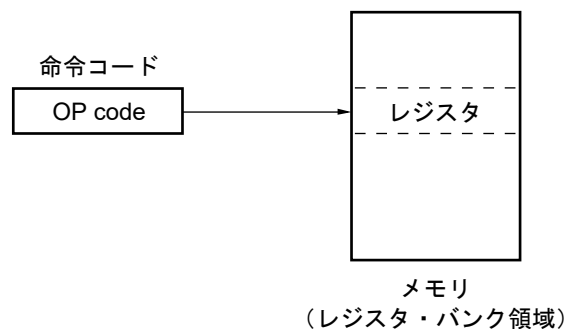
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3-17 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3-18 !addr16の例

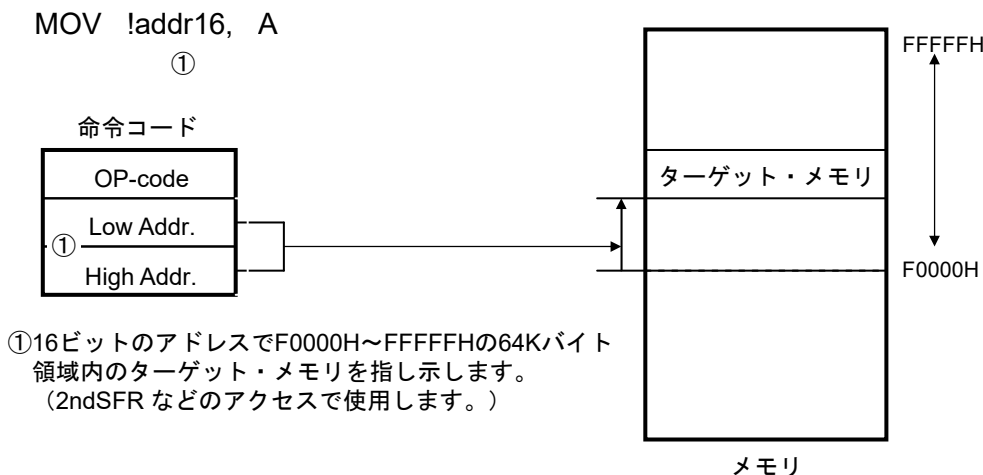
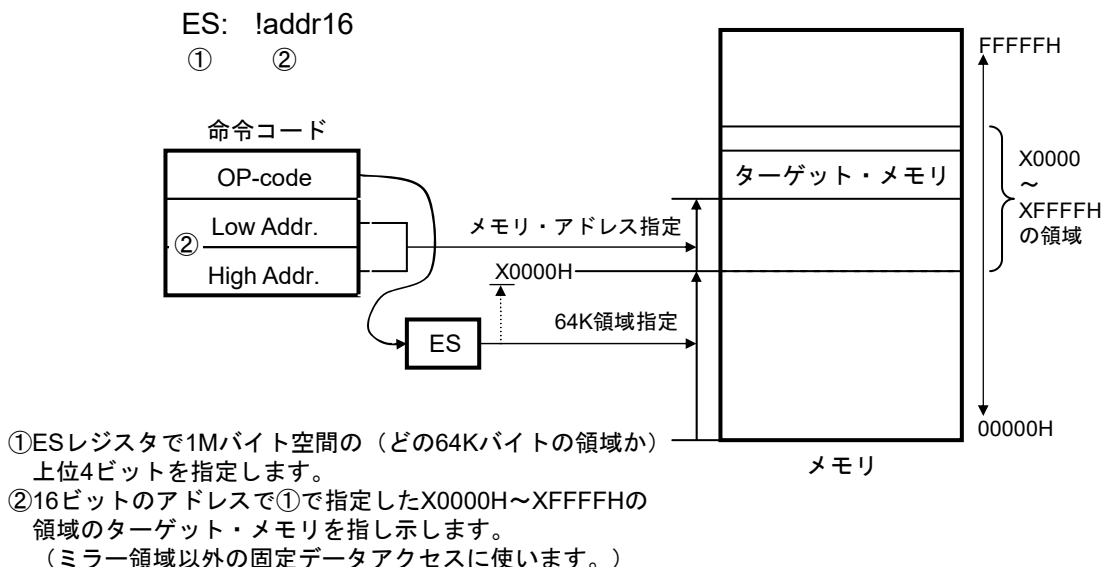


図3-19 ES:!addr16の例



3.4.4 ショート・ダイレクト・アドレッシング

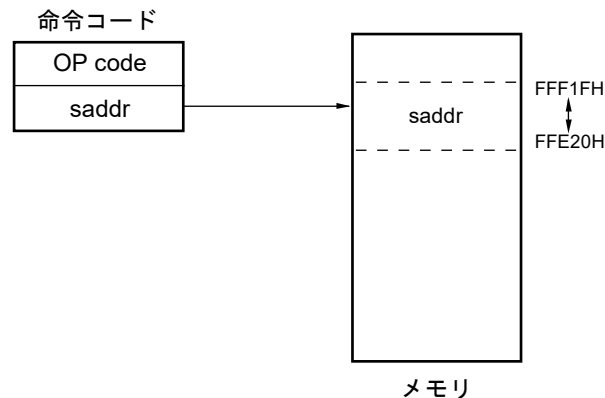
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3-20 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

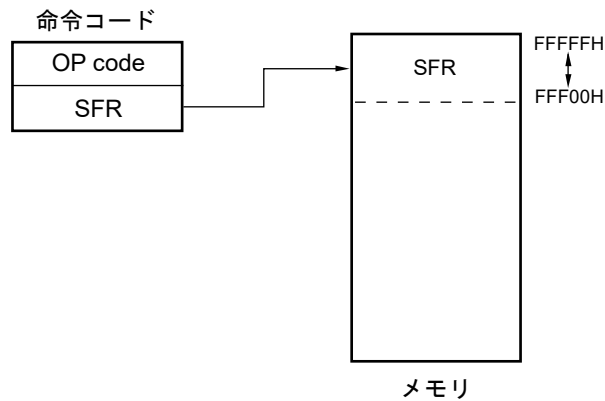
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図3-21 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3-22 [DE], [HL]の例

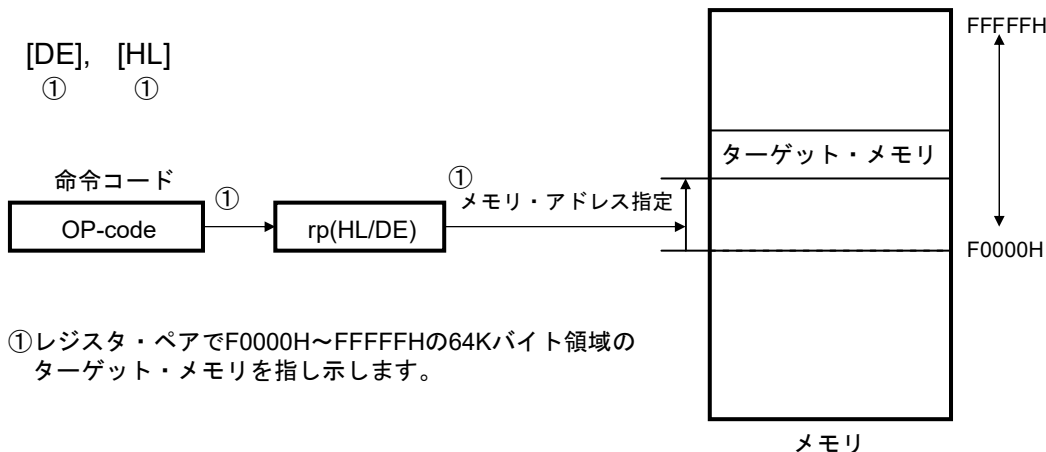
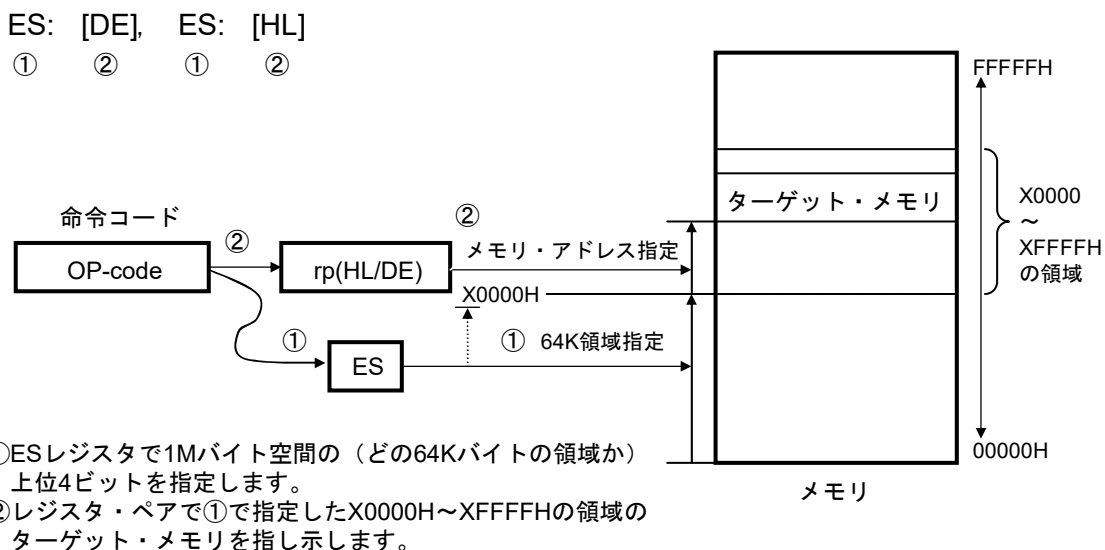


図3-23 ES:[DE], ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3-24 [SP+byte]の例

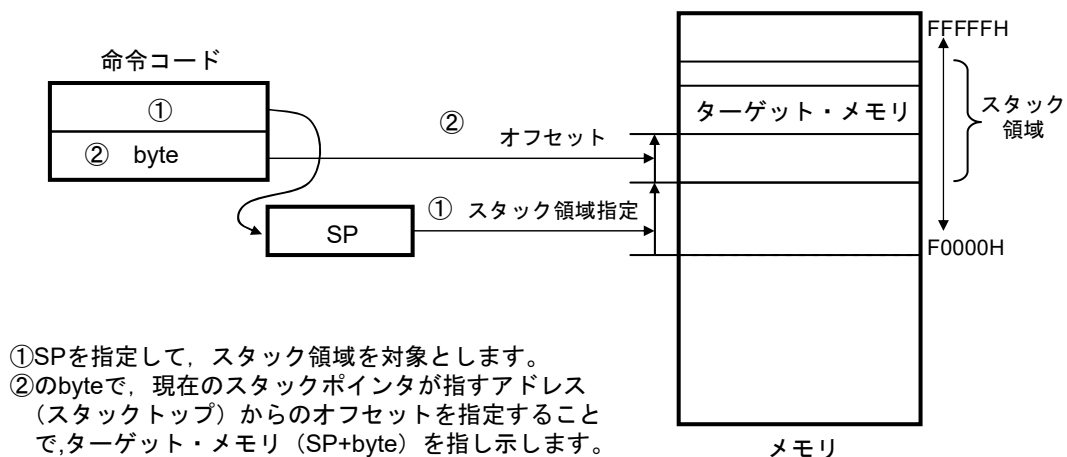


図3-25 [HL+byte], [DE+byte]の例

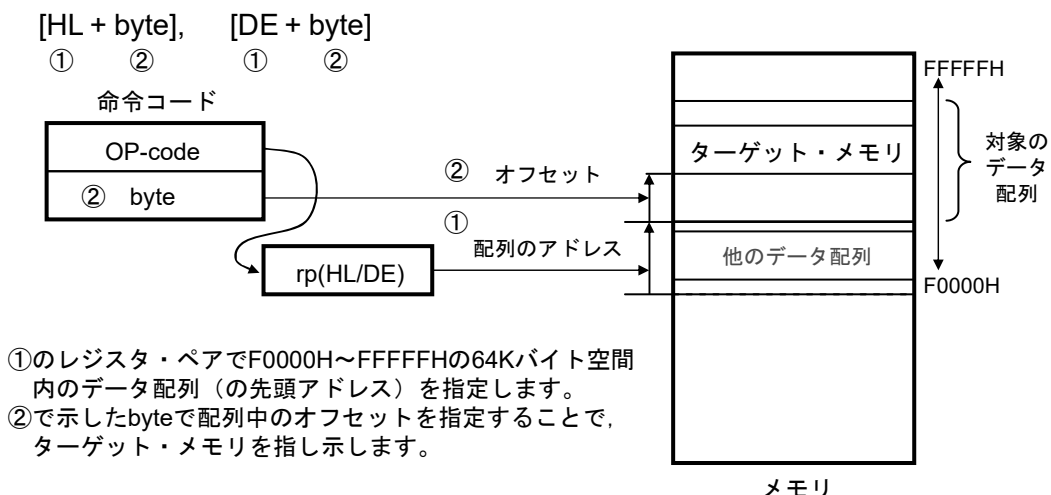


図3-26 word[B], word[C]の例

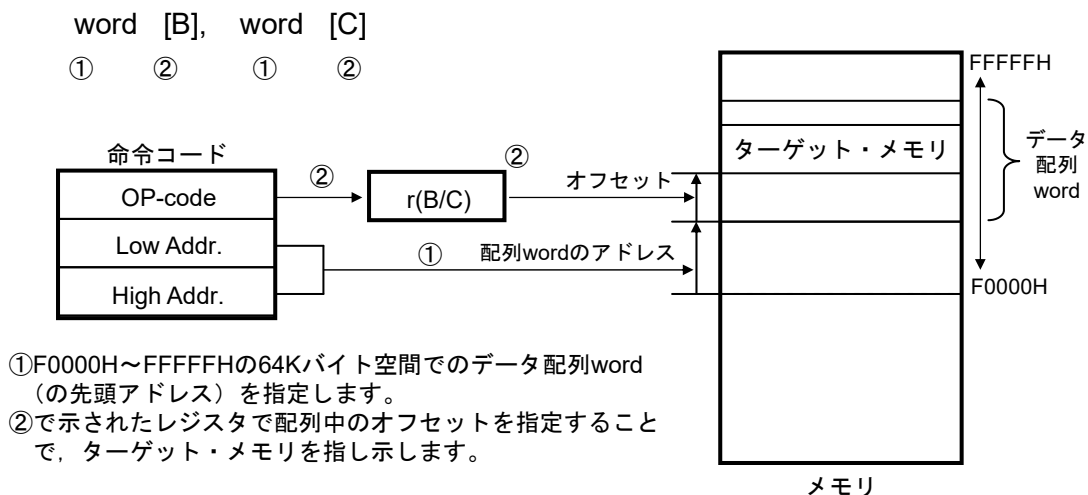


図3-27 word[BC]の例

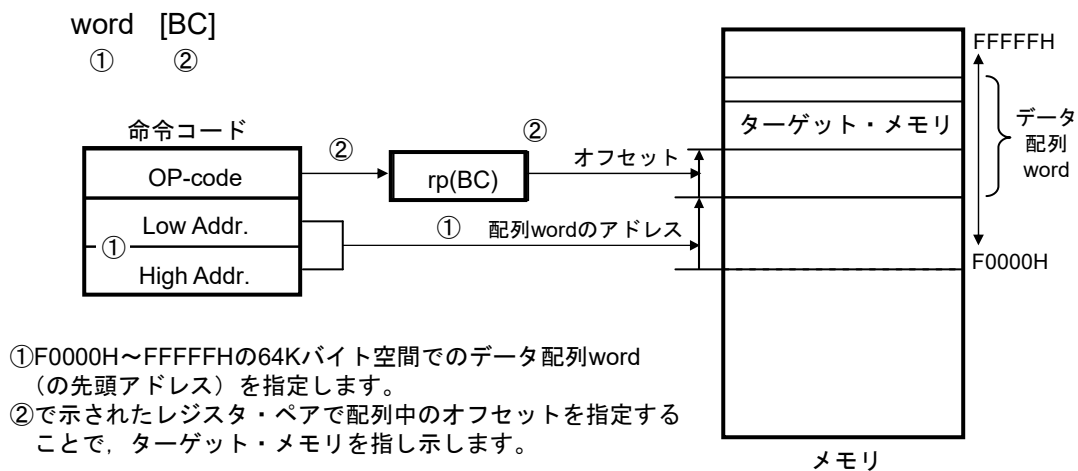


図3-28 ES:[HL+byte], ES:[DE+byte]の例

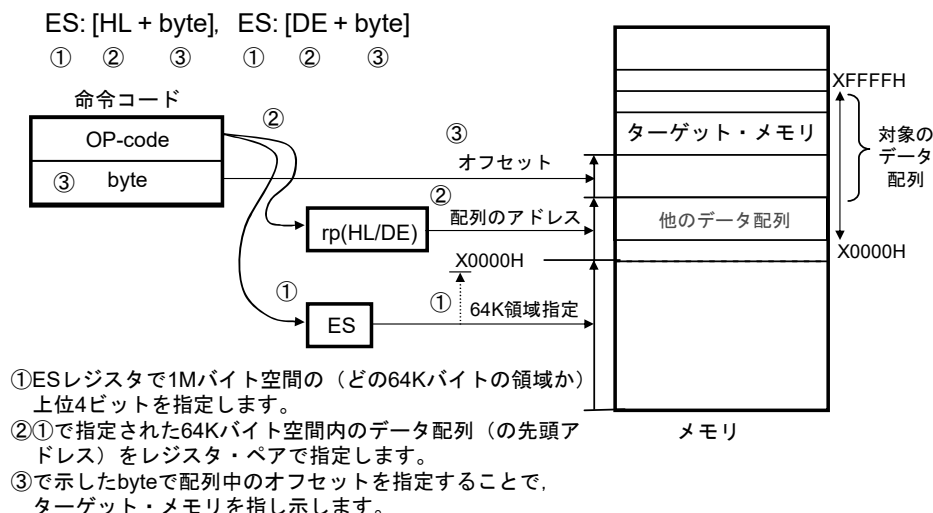


図3-29 ES:word[B], ES:word[C]の例

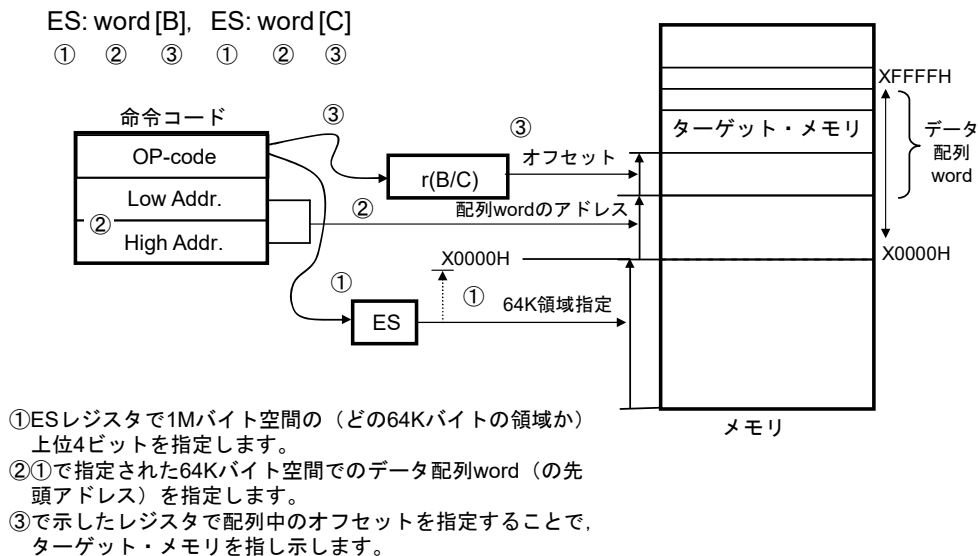
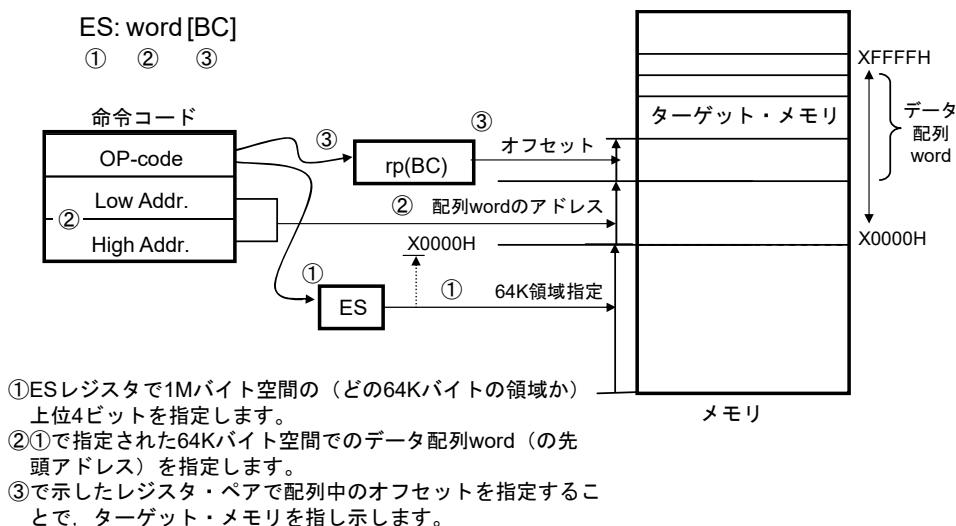


図3-30 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+B], [HL+C] (F0000H~FFFFFH空間のみ指定可能)
—	ES:[HL+B], ES:[HL+C] (ESレジスタにて上位4ビット・アドレス指定)

図3-31 [HL+B], [HL+C]の例

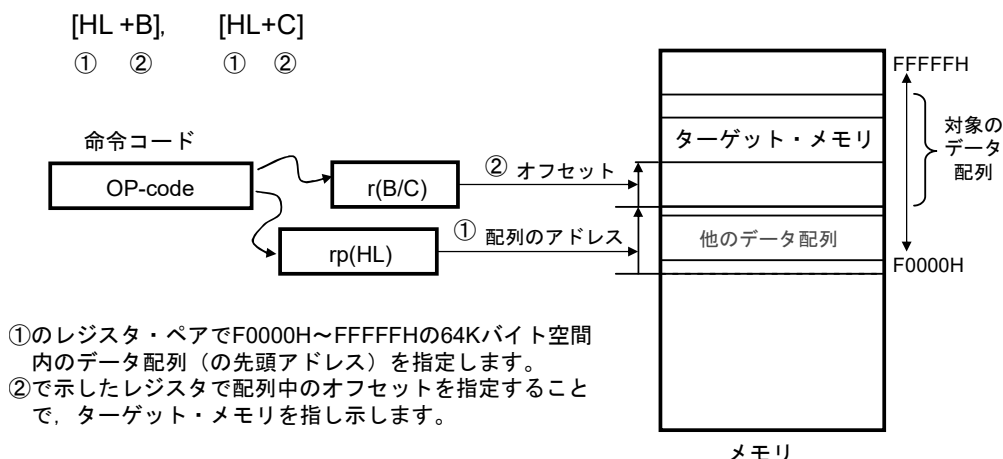
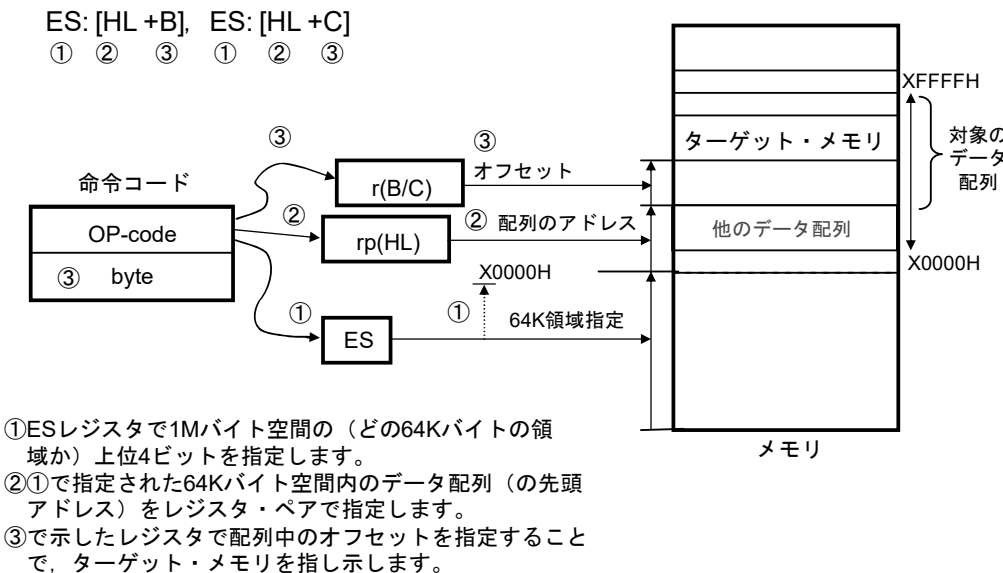


図3-32 ES:[HL+B], ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【オペランド形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避/復帰されるデータは図3-33~図3-38のようになります。

図3-33 PUSH rpの例

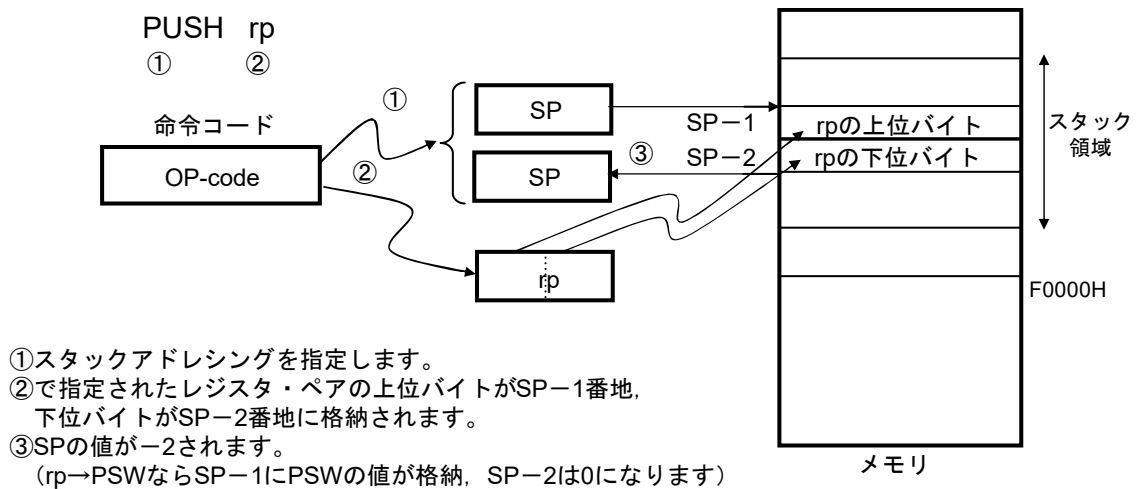


図3-34 POPの例

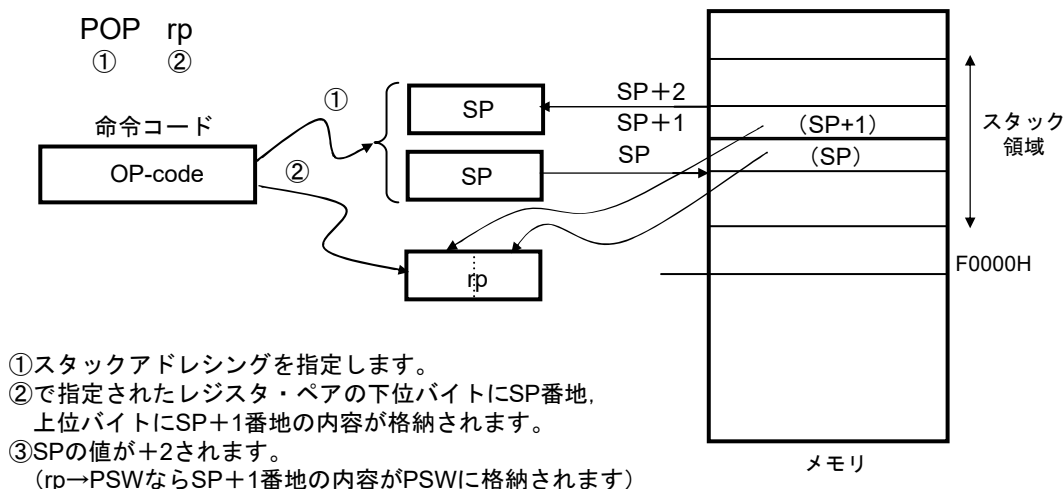


図3-35 CALL, CALLTの例

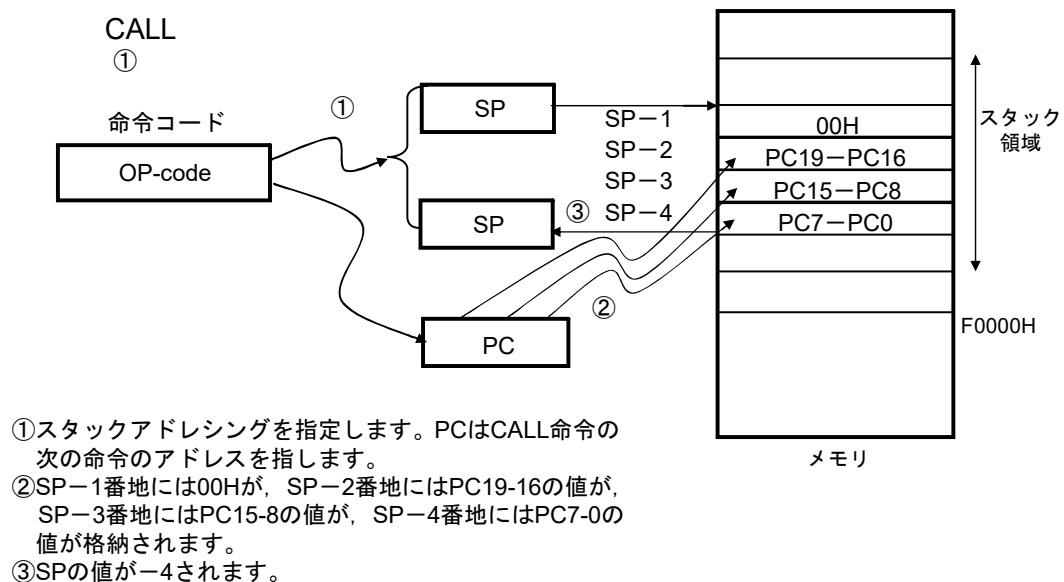


図3-36 RETの例

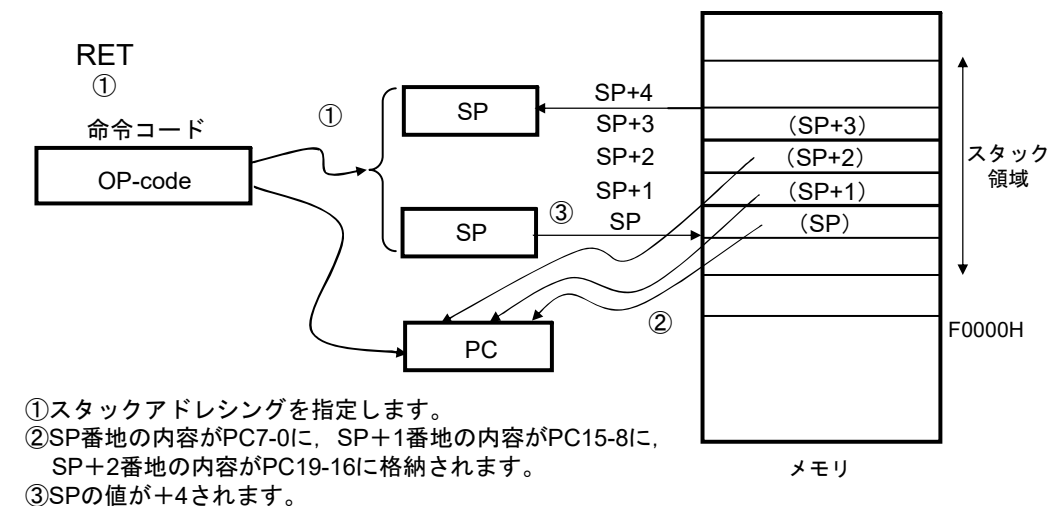
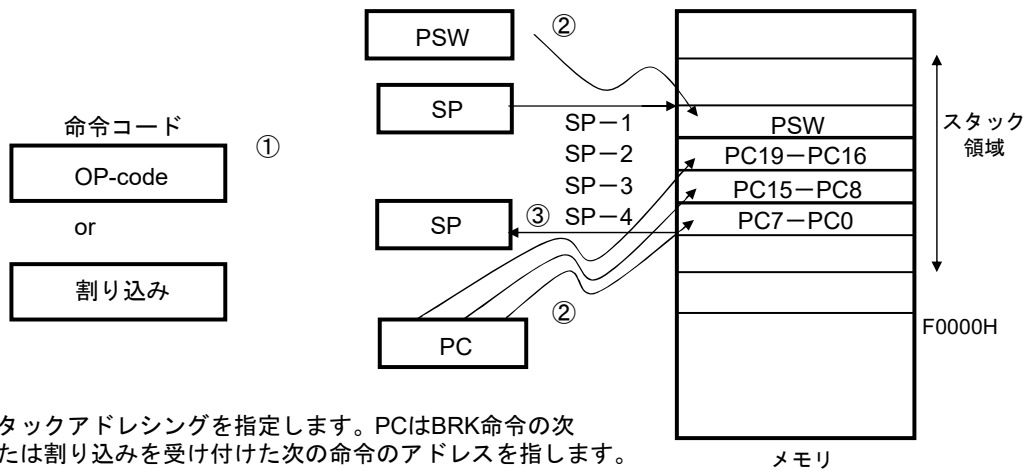
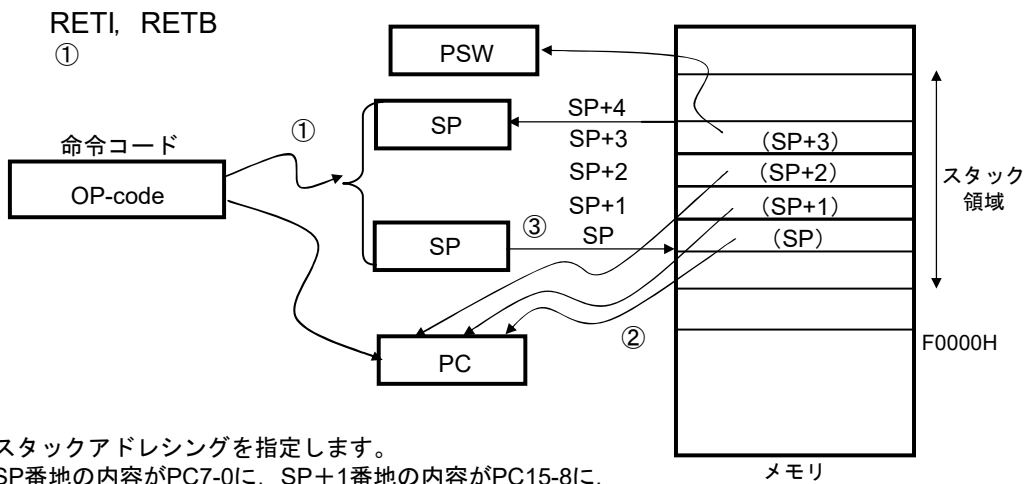


図3-37 割り込み, BRKの例



- ①スタックアドレッシングを指定します。PCはBRK命令の次または割り込みを受け付けた次の命令のアドレスを指します。
- ②SP-1番地にはPSWの値が、SP-2番地にはPC19-16の値が、SP-3番地にはPC15-8の値が、SP-4番地にはPC7-0の値が格納されます。
- ③SPの値が-4されます。

図3-38 RETI, RETBの例



- ①スタックアドレッシングを指定します。
- ②SP番地の内容がPC7-0に、SP+1番地の内容がPC15-8に、SP+2番地の内容がPC19-16に、SP+3番地の内容がPSW格納されます。
- ③SPの値が+4されます。

第4章 ポート機能

4.1 ポートの機能

RL78/I1Bは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM8, PM12) ポート・レジスタ (P0-P8, P12, P13) ブルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU7, PU8, PU12) ポート入力モード・レジスタ (PIM0, PIM1, PIM8) ポート出力モード・レジスタ (POM0, POM1, POM8) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 周辺I/Oリダイレクション・レジスタ (PIOR) グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS) LCDポート・ファンクション・レジスタ (PFSEG0-PFSEG5) LCD入力切り替え制御レジスタ (ISCLCD)
ポート	<ul style="list-style-type: none"> ・ 80ピン製品 : 合計 : 53本 (CMOS入出力 : 44本 (N-ch O.D.入出力[V_{DD}耐圧] : 13本) , CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6 V耐圧] : 3本) ・ 100ピン製品 : 合計 : 69本 (CMOS入出力 : 60本 (N-ch O.D.入出力[V_{DD}耐圧] : 13本) , CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6 V耐圧] : 3本)
ブルアップ抵抗	<ul style="list-style-type: none"> ・ 80ピン製品 : 合計 : 40本 ・ 100ピン製品 : 合計 : 54本

4.2.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード／出力モードの指定ができます。P00-P07端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P00, P03, P05, P6端子の入力は、ポート入力モード・レジスタ0 (PIM0) の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P01-P07端子の出力は、ポート出力モード・レジスタ0 (POM0) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてプログラミングUARTの送受信、IrDA用送信、シリアル・インタフェースのデータ入出力、クロック出力、タイマの入出力、外部割り込み要求入力、コンパレータ出力があります。80ピン製品はLCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、入力モードになります。80ピン製品はP00, P01端子は入力モード、P02-P07端子はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.2 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P15, P16端子の入力は、ポート入力モード・レジスタ1 (PIM1) の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P15-P17端子の出力は、ポート出力モード・レジスタ1 (POM1) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの+側基準電圧入力、A/Dコンバータの-側基準電圧入力、コンパレータのリファレンス電圧入力、コンパレータのアナログ電圧入力があります。

P20/ANI0-P25/ANI5をデジタル入出力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) で“デジタル入出力”に設定して、上位ビットから使用してください。

P20/ANI0-P25/ANI5をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、かつPM2レジスタで入力モードに設定して、下位ビットから使用してください。リセット信号の発生により、アナログ入力になります。

表4-2 ANI0/P21, ANI1/P20端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/AVREFF/ANI0, P21/AVREFM/ANI1, P22/ANI2/IVCMP0/IVREF1, P23/ANI3/IVCMP1/IVREF0, P24/ANI4, P25/ANI5端子
デジタル入出力選択	入力モード	×	デジタル入力
	出力モード	×	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象) (ANI0-ANI5端子使用時)
		ANI非選択	アナログ入力 (非変換対象) (IVCMPn, IVREFn端子使用時)
	出力モード	ANI選択	設定禁止
		ANI非選択	

備考 × : don't care

4.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード／出力モードの指定ができます。P30-P37端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてクロック出力／ブザー出力、タイマの入出力、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード／出力モードの指定ができます。P40-P44端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、クロック出力／ブザー出力、タイマ入出力、フラッシュ・メモリ・プログラマ／デバッグ用のデータ入出力があります。

リセット信号の発生により、入力モードになります。

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてLCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード／出力モードの指定ができます。

P60, P61, P62端子の出力は、N-chオープン・ドレイン出力 (6 V耐圧) です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、リアルタイム・クロックの補正クロック出力があります。

リセット信号の発生により、入力モードになります。

4.2.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード／出力モードの指定ができます。P70-P77端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてLCDコントローラ／ドライバのセグメント出力、外部割り込み要求入力があります。リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.9 ポート8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード／出力モードの指定ができます。P80-P85端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ8 (PU8) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P81端子の入力は、ポート入力モード・レジスタ8 (PIM8) の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P80-P82端子の出力は、ポート出力モード・レジスタ8 (POM8) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD}耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック出力、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.10 ポート12

P125-P127は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード／出力モードの指定ができます。P125-P127端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力専用ポートです。

また兼用機能としてメイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、LCDコントローラ／ドライバ用コンデンサ接続、LCD駆動用電圧端子、外部割り込み要求入力、タイマの入出力があります。

リセット信号の発生により、P121-P124が入力モードになります。P125-P127がデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

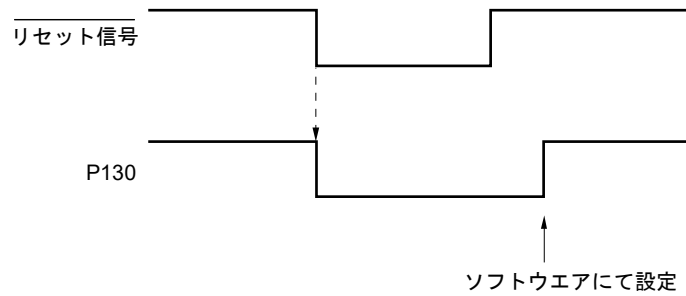
4.2.11 ポート13

P130は出力ラッチ付き1ビット出力専用ポートです。P137は1ビット入力専用ポートです。

P130は出力モード、P137は入力モードに固定されています。

また兼用機能としてリアルタイム・クロックの補正クロック出力、外部割り込み要求入力があります。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・ポート入力モード・レジスタ (PIMx)
- ・ポート出力モード・レジスタ (POMx)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・周辺I/Oリダイレクション・レジスタ (PIOR)
- ・グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)
- ・LCDポート・ファンクション・レジスタ (PFSEG0-PFSEG5)
- ・LCD入力切り替え制御レジスタ (ISCLCD)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-3を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4-3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxxレジスタとそのビット (1/3)

ポート		ビット名					80 ピン	100 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ		
ポート0	0	PM00	P00	PU00	PIM00	—	○	○
	1	PM01	P01	PU01	—	POM01	○	○
	2	PM02	P02	PU02	—	POM02	○	○
	3	PM03	P03	PU03	PIM03	POM03	○	○
	4	PM04	P04	PU04	—	POM04	○	○
	5	PM05	P05	PU05	PIM05	POM05	○	○
	6	PM06	P06	PU06	PIM06	POM06	○	○
	7	PM07	P07	PU07	—	POM07	○	○
ポート1	0	PM10	P10	PU10	—	—	○	○
	1	PM11	P11	PU11	—	—	○	○
	2	PM12	P12	PU12	—	—	○	○
	3	PM13	P13	PU13	—	—	○	○
	4	PM14	P14	PU14	—	—	○	○
	5	PM15	P15	PU15	PIM15	POM15	○	○
	6	PM16	P16	PU16	PIM16	POM16	○	○
	7	PM17	P17	PU17	—	POM17	○	○
ポート2	0	PM20	P20	—	—	—	○	○
	1	PM21	P21	—	—	—	○	○
	2	PM22	P22	—	—	—	○	○
	3	PM23	P23	—	—	—	○	○
	4	PM24	P24	—	—	—	—	○
	5	PM25	P25	—	—	—	—	○
	6	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—
ポート3	0	PM30	P30	PU30	—	—	○	○
	1	PM31	P31	PU31	—	—	○	○
	2	PM32	P32	PU32	—	—	○	○
	3	PM33	P33	PU33	—	—	○	○
	4	PM34	P34	PU34	—	—	—	○
	5	PM35	P35	PU35	—	—	—	○
	6	PM36	P36	PU36	—	—	—	○
	7	PM37	P37	PU37	—	—	—	○

表4-3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxxレジスタとそのビット (2/3)

ポート		ビット名					80 ピン	100 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ		
ポート4	0	PM40	P40	PU40	—	—	○	○
	1	PM41	P41	PU41	—	—	○	○
	2	PM42	P42	PU42	—	—	○	○
	3	PM43	P43	PU43	—	—	○	○
	4	PM44	P44	PU44	—	—	○	○
	5	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—
ポート5	0	PM50	P50	PU50	—	—	—	○
	1	PM51	P51	PU51	—	—	—	○
	2	PM52	P52	PU52	—	—	—	○
	3	PM53	P53	PU53	—	—	—	○
	4	PM54	P54	PU54	—	—	—	○
	5	PM55	P55	PU55	—	—	—	○
	6	PM56	P56	PU56	—	—	—	○
	7	PM57	P57	PU57	—	—	—	○
ポート6	0	PM60	P60	—	—	—	○	○
	1	PM61	P61	—	—	—	○	○
	2	PM62	P62	—	—	—	○	○
	3	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—
ポート7	0	PM70	P70	PU70	—	—	○	○
	1	PM71	P71	PU71	—	—	○	○
	2	PM72	P72	PU72	—	—	○	○
	3	PM73	P73	PU73	—	—	○	○
	4	PM74	P74	PU74	—	—	○	○
	5	PM75	P75	PU75	—	—	○	○
	6	PM76	P76	PU76	—	—	○	○
	7	PM77	P77	PU77	—	—	○	○

表4-3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxxレジスタとそのビット (3/3)

ポート		ビット名					80 ピン	100 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ		
ポート8	0	PM80	P80	PU80	—	POM80	○	○
	1	PM81	P81	PU81	PIM81	POM81	○	○
	2	PM82	P82	PU82	—	POM82	○	○
	3	PM83	P83	PU83	—	—	○	○
	4	PM84	P84	PU84	—	—	—	○
	5	PM85	P85	PU85	—	—	—	○
	6	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—
ポート12	0	—	—	—	—	—	—	—
	1	—	P121	—	—	—	○	○
	2	—	P122	—	—	—	○	○
	3	—	P123	—	—	—	○	○
	4	—	P124	—	—	—	○	○
	5	PM125	P125	PU125	—	—	○	○
	6	PM126	P126	PU126	—	—	○	○
	7	PM127	P127	PU127	—	—	○	○
ポート13	0	—	P130	—	—	—	○	○
	1	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—
	7	—	P137	—	—	—	○	○

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用機能使用時のレジスタの設定を参照し、設定してください。

図4-1 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	1	1	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM12	PM127	PM126	PM125	1	1	1	1	1	FFF2CH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-8, 12 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 搭載していないビットには必ず初期値を設定してください。

4.3.2 ポート・レジスタ (Pxx)

ポートの出カラッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラッチの値が読み出されます^注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 P20-P25をA/Dコンバータまたはコンパレータのアナログ入力機能として設定した場合、ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4-2 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H (出カラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出カラッチ)	R/W
P2	0	0	P25	P24	P23	P22	P21	P20	FFF02H	00H (出カラッチ)	R/W
P3	P37	P36	P35	P34	P33	P32	P31	P30	FFF03H	00H (出カラッチ)	R/W
P4	0	0	0	P44	P43	P42	P41	P40	FFF04H	00H (出カラッチ)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H (出カラッチ)	R/W
P6	0	0	0	0	0	P62	P61	P60	FFF06H	00H (出カラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出カラッチ)	R/W
P8	0	0	P85	P84	P83	P82	P81	P80	FFF08H	00H (出カラッチ)	R/W
P12	P127	P126	P125	P124	P123	P122	P121	0	FFF0CH	不定	R/W ^注
P13	P137	0	0	0	0	0	0	P130	FFF0DH	不定	R/W ^注

Pmn	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124, P137はRead Onlyです。

注意 搭載していないビットには必ず初期値を設定してください。

備考 m = 0-8, 12, 13 ; n = 0-7

4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、通常出力モード (POMmn = 0) かつ入力モード (PMmn = 1) に設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ設定 (ADPC = 1) にしている場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4のみ01H) になります。

注意 PIMnレジスタがあるポートで、異電位デバイスからTTLバッファに入力する場合は、PUmn = 0を設定して、外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4-3 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	PU44	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8	0	0	PU85	PU84	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU12	PU127	PU126	PU125	0	0	0	0	0	F003CH	00H	R/W
PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-5, 7, 8, 12 ; n = 0-7)										
0	内蔵プルアップ抵抗を接続しない										
1	内蔵プルアップ抵抗を接続する										

注意 搭載していないビットには必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	PIM06	PIM05	0	PIM03	0	0	PIM00	F0040H	00H	R/W
PIM1	0	PIM16	PIM15	0	0	0	0	0	F0041H	00H	R/W
PIM8	0	0	0	0	0	0	PM81	0	F0048H	00H	R/W
PIMmn	Pmn端子の入力バッファの選択 (m = 0, 1, 8 ; n = 0, 1, 3, 5, 6)										
0	通常入力バッファ										
1	TTL入力バッファ										

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDA00, SDA10端子にN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択できます。

また、POMxxレジスタはPUxxレジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

注意 N-chオープン・ドレイン出力 (V_{DD}耐圧^{注1}/EV_{DD1}耐圧^{注2}) モード (POMmn = 1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-5 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	POM05	POM04	POM03	POM02	POM01	0	F0050H	00H	R/W
POM1	POM17	POM16	POM15	0	0	0	0	0	F0051H	00H	R/W
POM8	0	0	0	0	0	POM82	POM81	POM80	F0058H	00H	R/W

POMmn	Pmn端子の出力モードの選択 (m = 0, 1, 8 ; n = 0-7)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧 ^{注1} /EV _{DD1} 耐圧 ^{注2}) モード

注1. 80ピン製品の場合

2. 100ピン製品の場合

注意 搭載していないビットには必ず初期値を設定してください。

4.3.6 A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P20/AV_{REFP}/ANI0, P21/AV_{REFM}/ANI1, P22/ANI2/IVCMP0/IVREF1, P23/ANI3/IVCMP1/IVREF0, P24/ANI4, P25/ANI5端子を、ポートのデジタル入出力/A/Dコンバータまたはコンパレータのアナログ入力に切り替えるレジスタです。

ADPCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00HIになります。

図4-6 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0076H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	0	ADPC2	ADPC1	ADPC0

ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入出力 (D) の切り替え					
			ANI5/P25	ANI4/P24	ANI3/IVCMP1/ IVREF0/P23	ANI2/IVCMP0/ IVREF1/P22	ANI1/P21	ANI0/P20
0	0	0	A	A	A	A	A	A
0	0	1	D	D	D	D	D	D
0	1	0	D	D	D	D	D	A
0	1	1	D	D	D	D	A	A
1	0	0	D	D	D	A	A	A
1	0	1	D	D	A	A	A	A
1	1	0	D	A	A	A	A	A
上記以外			設定禁止					

- 注意1. ADPCレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
2. ADPCレジスタでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。
3. AV_{REFP}とAV_{REFM}を使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタは入力モードに設定してください。

4.3.7 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

バッテリー・バックアップ機能許可, VDD, EVDDへの電源供給停止時に入力バッファの貫通電流を防止するレジスタです。

GDIDIS0ビットを1に設定することにより, EVDDに接続されているすべての入力バッファを入力禁止とし, EVDDに接続されている電源がオフになったときの貫通電流を防止します。

GDIDISレジスタは, 1ビット・メモリ操作または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4-7 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS) のフォーマット

アドレス : F007DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0

GDIDIS0	EVDD電源の入力バッファ設定
0	入力バッファの入力許可 (デフォルト)
1	入力バッファの入力禁止。入力バッファへの貫通電流防止

EVDDの電源をオフする場合は, 次の手順で設定してください。

- ① 入力バッファの入力禁止 (GDIDIS0 = 1) に設定
- ② EVDDの電源オフ

EVDDの電源を再投入する場合は, 次の手順で設定してください。

- ① EVDDの電源オン
- ② 入力バッファの入力許可 (GDIDIS0 = 0) に設定

注意1. EVDDを電源とする入力ポートに, EVDD以上の入力電圧を入力しないでください。

2. 入力バッファの入力禁止 (GDIDIS0 = 1) を設定した場合, EVDDを電源とするポートのポート・レジスタ (Pxx) の読み出し値は“1”となります。また, ポート出力モード・レジスタ (POMxx) に“1” (N-chオープン・ドレイン出力 (EVDD耐圧)) 設定時は, ポート・レジスタ (Pxx) の読み出し値は“0”となります。

備考 入力バッファの入力禁止 (GDIDIS0 = 1) を設定した場合でも, EVDDを電源とするポート機能を使用しない周辺機能は使用できます。

4.3.8 周辺I/Oリダイレクション・レジスタ (PIOR)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIORレジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIORレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット

アドレス : F0077H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	PIOR4	PIOR3	PIOR2	PIOR1	PIOR0

ビット	機能	80ピン		100ピン	
		設定値		設定値	
		0	1	0	1
PIOR4	INTP0 ^注	P137	P70	P137	P70
	INTP1	P125	P71	P125	P71
	INTP2	P07	P72	P07	P72
	INTP3	P05	P73	P05	P73
	INTP4	P04	P74	P04	P74
	INTP5	P02	P75	P02	P75
	INTP6	P44	P76	P44	P76
	INTP7	P42	P77	P42	P77
PIOR3	PCLBUZ0	P43	P33	P43	P33
	PCLBUZ1	P41	P32	P41	P32
	VCOU0	P00	P03	P00	P03
	VCOU1	P01	P04	P01	P04
	RTC1HZ	P130	P62	P130	P62
PIOR2	TxD1	P04	P82	P04	P82
	RxD1	P03	P81	P03	P81
	SCL10	P02	P80	P02	P80
	SDA10	P03	P81	P03	P81
PIOR1	TxD0	P07	P17	P07	P17
	RxD0	P06	P16	P06	P16
	SCL00	P05	P15	P05	P15
	SDA00	P06	P16	P06	P16
	SI00	P06	P16	P06	P16
	SO00	P07	P17	P07	P17
	SCK00	P05	P15	P05	P15
PIOR0	TI00/TO00	P43	P60	P43	P60
	TI01/TO01	P41	P61	P41	P61
	TI02/TO02	P07	P62	P07	P62
	TI03/TO03	P06	P127	P06	P127
	TI04/TO04	P05	P126	P05	P126
	TI05/TO05	P04	P125	P04	P125
	TI06/TO06	P03	P31	P03	P31
	TI07/TO07	P02	P30	P02	P30

注 バッテリ・バックアップ機能を使用し、VBAT給電時、P137端子は動作可能端子です。INTP0機能をP70へ割り当てた場合、VBAT給電時、割込み機能が使えなくなりますので、注意してください。

4.3.9 LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5)

P10-P17, P30-P37, P50-P57, P70-P77, P80-P85端子をポート（セグメント出力以外）／セグメント出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります（PFSEG0はF0H, PFSEG5は03H）。

備考 セグメント出力端子（SEGxx）とPFSEGレジスタ（PFSEGxxビット）の対応と、製品によるSEGxx端子の有無を表4-4 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）に示します。

図4-9 LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5) のフォーマット

アドレス : F0300H	リセット時 : F0H	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0

アドレス : F0301H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08

アドレス : F0302H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16

アドレス : F0303H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31 注	PFSEG30 注	PFSEG29 注	PFSEG28 注	PFSEG27	PFSEG26	PFSEG25	PFSEG24

アドレス : F0304H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG4	PFSEG39 注	PFSEG38 注	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32

アドレス : F0305H	リセット時 : 03H	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG5	0	0	0	0	0	0	PFSEG41 ^注	PFSEG40 ^注

PFSEGxx (xx=04-41)	Pmn端子のポート (セグメント出力以外) / セグメント出力の指定 (mn = 10-17, 30-37, 50-57, 70-77, 80-85)
0	ポート (セグメント出力以外) として使用
1	セグメント出力として使用

注 80ピン製品では必ず“1”を設定してください。

注意 搭載していないビットには必ず初期値を設定してください。

備考 セグメント出力として使用する (PFSEGxx = 1) 場合には必ずPUMレジスタのPUMnビット = 0, POMレジスタのPOMmnビット = 0, PIMレジスタのPIMmnビット = 0に設定してください。

表4-4 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	80-pin	100-pin
PFSEG04	SEG4	P10	○	○
PFSEG05	SEG5	P11	○	○
PFSEG06	SEG6	P12	○	○
PFSEG07	SEG7	P13	○	○
PFSEG08	SEG8	P14	○	○
PFSEG09	SEG9	P15	○	○
PFSEG10	SEG10	P16	○	○
PFSEG11	SEG11	P17	○	○
PFSEG12	SEG12	P80	○	○
PFSEG13	SEG13	P81	○	○
PFSEG14	SEG14	P82	○	○
PFSEG15	SEG15	P83	○	○
PFSEG16	SEG16	P70	○	○
PFSEG17	SEG17	P71	○	○
PFSEG18	SEG18	P72	○	○
PFSEG19	SEG19	P73	○	○
PFSEG20	SEG20	P74	○	○
PFSEG21	SEG21	P75	○	○
PFSEG22	SEG22	P76	○	○
PFSEG23	SEG23	P77	○	○
PFSEG24	SEG24	P30	○	○
PFSEG25	SEG25	P31	○	○
PFSEG26	SEG26	P32	○	○
PFSEG27	SEG27	P33	○	○
PFSEG28	SEG28	P34	—	○
PFSEG29	SEG29	P35	—	○
PFSEG30	SEG30	P36	—	○
PFSEG31	SEG31	P37	—	○
PFSEG32	SEG32	80ピン製品 : P02 100ピン製品 : P50	○	○
PFSEG33	SEG33	80ピン製品 : P03 100ピン製品 : P51	○	○
PFSEG34	SEG34	80ピン製品 : P04 100ピン製品 : P52	○	○
PFSEG35	SEG35	80ピン製品 : P05 100ピン製品 : P53	○	○
PFSEG36	SEG36	80ピン製品 : P06 100ピン製品 : P54	○	○
PFSEG37	SEG37	80ピン製品 : P07 100ピン製品 : P55	○	○
PFSEG38	SEG38	P56	—	○
PFSEG39	SEG39	P57	—	○
PFSEG40	SEG40	P84	—	○
PFSEG41	SEG41	P85	—	○

4.3.10 LCD入力切り替え制御レジスタ (ISCLCD)

P125-P127端子をポート (LCD機能以外) /LCD機能 (VL3, CAPL, CAPH) のどちらで使用するかを設定するレジスタです。

ISCLCDレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-10 LCD入力切り替え制御レジスタ (ISCLCD) のフォーマット

アドレス : F0308H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	VL3/P125端子のシュミット・トリガ・バッファの制御
0	デジタル入力無効 (LCD機能 (VL3) として使用)
1	デジタル入力有効

ISCCAP	CAPL/P126, CAPH/P127端子のシュミット・トリガ・バッファの制御
0	デジタル入力無効 (LCD機能 (CAPL, CAPH) として使用)
1	デジタル入力有効

注意 ISCVL3ビット = 0, ISCCAP ビット = 0の場合、対応するポート制御レジスタは、次のように設定してください。

PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0

PU12レジスタのPU126ビット = 0, P12レジスタのP126ビット = 0

PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 異電位（1.8 V系, 2.5 V系, 3 V系）外部デバイスとの接続方法

異電位（1.8 V系, 2.5 V系, 3 V系）で動作している外部デバイスとの接続時には、EV_{DD}を接続先の電源に合わせることで汎用ポートでの入出力接続が可能です。

4.4.5 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応

ポート入力モード・レジスタ0, 1, 8 (PIM0, PIM1, PIM8), ポート出力モード・レジスタ0, 1, 8 (POM0, POM1, POM8) で入出力バッファを切り換えることにより、異電位（1.8 V系, 2.5 V系, 3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ0, 1, 8 (PIM0, PIM1, PIM8) をビットごとに設定して、通常入力 (CMOS) /TTL入力バッファを切り換えます。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスへ出力する場合、ポート出力モード・レジスタ0, 1, 8 (POM0, POM1, POM8) をビットごとに設定して、通常出力 (CMOS) /N-chオープン・ドレイン (V_{DD}耐圧^{注1}/EV_{DD}耐圧^{注2}) を切り換えます。

以下、シリアル・インタフェースでの接続について説明します。

注1. 80ピン製品の場合

2. 100ピン製品の場合

(1) UART0-UART2, CSI00機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合 : P06 (P16)

UART1の場合 : P03 (P81)

UART2の場合 : P00

CSI00の場合 : P15, P06 (P15, P16)

備考 () 内の端子は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

- ① 使用する入力端子を、外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② PIM0, PIM1, PIM8レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、V_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。
- ③ シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI (CSI^注) モードに設定します。

注 一般的にはSPI と呼ばれる機能ですが、本製品ではCSI とも呼称しているため、本マニュアルでは併記します。

(2) UART0-UART2, CSI00機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合 : P07 (P17)
 UART1の場合 : P04 (P82)
 UART2の場合 : P01
 CSI00の場合 : P05, P07 (P15, P17)

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

- ① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします (内蔵プルアップ抵抗は使用不可)。
- ② リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
- ③ 該当するポートの出カラッチに1を設定します。
- ④ POM0, POM1, POM8レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (V_{DD} 耐圧^{注1}/ EV_{DD} 耐圧^{注2}) モードに設定します。
- ⑤ シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI (CSI)モードに設定します。
- ⑥ PM0, PM1, PM8レジスタを操作して出力モードに設定します。
この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

注1. 80ピン製品の場合

2. 100ピン製品の場合

(3) IIC00, IIC10機能の入出力ポートを、異電位 (1.8 V系, 2.5 V系, 3 V系) で使用する場合の設定手順

IIC00の場合 : P05, P06 (P15, P16)
 IIC10の場合 : P02, P03 (P80, P81)

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします (内蔵プルアップ抵抗は使用不可)。
- ② リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
- ③ 該当するポートの出カラッチに1を設定します。
- ④ POM0, POM1, POM8レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (V_{DD} 耐圧^{注1}/ EV_{DD} 耐圧^{注2}) モードに設定します。
- ⑤ PIM0, PIM1, PIM8レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、 V_{IH} , V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。
- ⑥ シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。
- ⑦ PM0, PM1, PM8レジスタの該当ビットを出力モードに設定します (出力モードのままデータ入出力可能)。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

注1. 80ピン製品の場合

2. 100ピン製品の場合

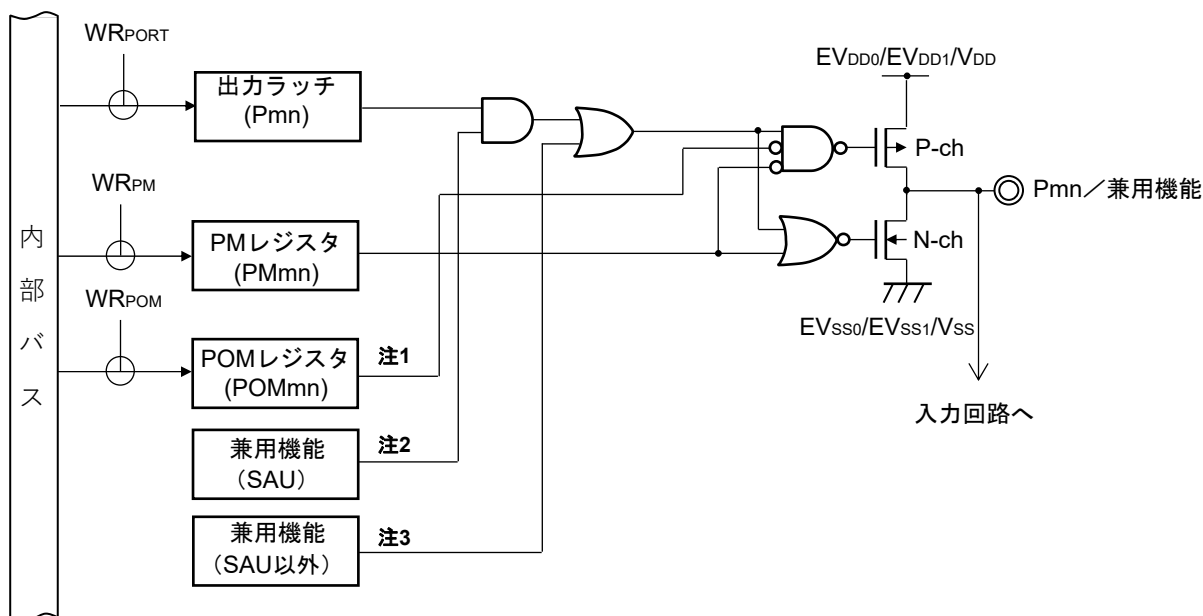
4.5 兼用機能使用時のレジスタの設定

4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ入力と兼用している端子については、アナログ入力を使用するかデジタル入出力で使用するかをADPCレジスタで設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4-11に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU以外の機能（TAU, RTC2, クロック／ブザー出力, IICA等）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4-5に示します。

図4-11 端子の出力回路の基本的な構成



注1. POMレジスタがない場合には、この信号はLow (0) と考えてください。

2. 兼用機能がない場合には、この信号はHigh (1) と考えてください。

3. 兼用機能がない場合には、この信号はLow (0) と考えてください。

備考 m : ポート番号 (m = 0-8, 12, 13) , n : ビット番号 (n = 0-7)

表4-5 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAUの出力機能	High (1)	—	出力はLow (0)
SAU以外の出力機能	Low (0)	出力はHigh (1)	出力はLow (0) 注

注 1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はLow (0) にしておく必要があります。具体的な設定方法については、4.5.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺I/Oリダイレクト機能の対象になっている場合には、周辺I/Oリダイレクション・レジスタ (PIOR) を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります。

(1) $SOp=1/TxDq=1$ (SAUのシリアル出力 (SO_p/Tx_{Dq}) を使用しない場合の設定)

SAUをシリアル入力のみで使用するなど、シリアル出力 (SO_p/Tx_{Dq}) を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタ_m (SOEm) のビットを0 (出力禁止) に設定し、シリアル出力レジスタ_m (SOm) のSOmnビットを1 (High) に設定してください。これは初期状態と同じ設定です。

(2) $SCKp=1/SDAr=1/SCLr=1$ (SAUのチャンネル_nを使用しない場合の設定)

SAUを使用しない場合は、シリアル・チャンネル許可ステータス・レジスタ_m (SEm) のビット_n (SEmn) を0 (動作停止状態) に設定し、使用しない出力に対応したシリアル出力許可レジスタ_m (SOEm) のビットを0 (出力禁止) に設定し、シリアル出力レジスタ_m (SOm) のSOmnビットとCKOmnビットを1 (High) に設定してください。これは初期状態と同じ設定です。

(3) $TOmn=0$ (TAUのチャンネル_nの出力を使用しない場合の設定)

TAUのTOmn出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ₀ (TOE₀) のビットを0 (出力禁止)、タイマ出力レジスタ₀ (TO₀) のビットを0 (Low) に設定してください。これは初期状態と同じ設定です。

(4) $SDAAn=0/SCLAn=0$ (IICAを使用しない場合の設定)

IICAを使用しない場合は、IICAコントロール・レジスタ_{n0} (IICCTL_{n0}) のIICEnビットを0 (動作停止) にしてください。これは初期状態と同じ設定です。

(5) $PCLBUZn=0$ (クロック出力/ブザー出力を使用しない場合の設定)

クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ_n (CKSn) のPCLOEnビットを0 (出力禁止) にしてください。これは初期状態と同じ設定です。

(6) $VCOUTn=0$ (VCOUT_nを使用しない場合の設定)

コンパレータのVCOUT_nを使用しない場合は、コンパレータ出力制御レジスタ (COMPOCR) のビット_{5,1} を0 (コンパレータ_nのVCOUT_n端子出力禁止) に設定してください。これは初期状態と同じ設定です。

4.5.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4-6に示します。ポート機能を制御するレジスタを表4-6のように設定してください。なお、表4-6の表記については次の備考を参照してください。

備考	—	: 対象外
	×	: don't care
	PIOR×	: 周辺I/Oリダイレクション・レジスタ
	POM×	: ポート出力モード・レジスタ
	PM×	: ポート・モード・レジスタ
	P×	: ポートの出力ラッチ
	PU×	: プルアップ抵抗オプション・レジスタ
	PIM×	: ポート入力モード・レジスタ
	PFSEG×	: LCDポート・ファンクション・レジスタ
	ISCLCD	: LCD入力切り替え制御レジスタ

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例（1/9）

端子 名称	使用機能		PIOR×	POM××	PM××	P××	PFSEG××	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						(ISCVL3, ISCCAP) 注	SAUの 出力機能		
P00	P00	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
	RxD2	入力	×	—	1	×	0	—	—		
	IrRxD	入力	×	—	1	×	0	—	—		
	VCOU0	アナログ出力	PIOR3=0	—	0	0	0	—	—		
P01	P01	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	TxD2/IrTxD=1	—		
		N-chOD出力	×	1	0	0/1	0				
	TxD2	出力	×	0/1	0	1	0				
	IrTxD	出力	×	0/1	0	1	0	—	—		
	VCOU1	アナログ出力	PIOR3=0	0	0	0	0	TxD2/IrTxD=1	—		
P02	P02	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	SCL10=1	TO07=0		
		N-chOD出力	×	1	0	0/1	0				
	SCL10	出力	PIOR2=0	0/1	0	1	0				
	TI07	入力	PIOR0=0	×	1	×	0	—	—		
	TO07	出力	PIOR0=0	0	0	0	0	SCL10=1	—		
	INTP5	入力	PIOR4=0	×	1	×	0	—	—		
	SEG32	出力	×	0	0	0	0	1	—		
P03	P03	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	SDA10=1	TO06=0		
		N-chOD出力	×	1	0	0/1	0				
	RxD1	入力	PIOR2=0	×	1	×	0				
	TI06	入力	PIOR0=0	×	1	×	0	—	—		
	TO06	出力	PIOR0=0	0	0	0	0	SDA10=1	—		
	SDA10	入出力	PIOR2=0	1	0	1	0	—	TO06=0		
	(VCOU0)	アナログ出力	PIOR3=1	0	0	0	0	—	—		
SEG33	出力	×	0	0	0	0	1	—	—	○	×
P04	P04	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	TxD1=1	TO05=0		
		N-chOD出力	×	1	0	0/1	0				
	TxD1	出力	PIOR2=0	0/1	0	1	0				
	TI05	入力	PIOR0=0	×	1	×	0	—	—		
	TO05	出力	PIOR0=0	0	0	0	0	TxD1=1	—		
	INTP4	入力	PIOR4=0	×	1	×	0	—	—		
	(VCOU1)	アナログ出力	PIOR3=1	0	0	0	0	—	—		
SEG34	出力	×	0	0	0	0	1	—	—	○	×
P05	P05	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	SCK00/SCL00 =1	TO04=0		
		N-chOD出力	×	1	0	0/1	0				
	SCK00	入力	PIOR1=0	×	1	×	0				
	出力	0/1		0	1	0	—	TO04=0			
	SCL00	出力	PIOR1=0	0/1	0	1	0	—	TO04=0		
	TI04	入力	PIOR0=0	×	1	×	0	—	—		
	TO04	出力	PIOR0=0	0	0	0	0	SCK00/SCL00 =1	—		
INTP3	入力	PIOR4=0	×	1	×	0	—	—			
SEG35	出力	×	0	0	0	0	1	—	—	○	×

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例（2/9）

端子 名称	使用機能		PIOR×	POM××	PM××	P××	PFSEG××	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						(ISCVL3, ISCCAP) 注	SAUの 出力機能		
P06	P06	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	SDA00=1	TO03=0		
		N-chOD出力	×	1	0	0/1	0				
	SI00	入力	PIOR1=0	×	1	×	0	—	—		
	RxD0	入力	PIOR1=0	×	1	×	0	—	—		
	TI03	入力	PIOR0=0	×	1	×	0	—	—		
	TO03	出力	PIOR0=0	0	0	0	0	SDA00=1	—		
	SDA00	入出力	PIOR1=0	1	0	1	0	—	TO03=0		
TOOLRxD	入力	×	×	1	×	0	—	—			
SEG36	出力	×	0	0	0	1	—	—	○	×	
P07	P07	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	SO00/TxD0=1	TO02=0		
		N-chOD出力	×	1	0	0/1	0				
	SO00	出力	PIOR1=0	0/1	0	1	0	—	TO02=0		
	TxD0	出力	PIOR1=0	0/1	0	1	0	—	TO02=0		
	TI02	入力	PIOR0=0	×	1	×	0	—	—		
	TO02	出力	PIOR0=0	0	0	0	0	SO00/TxD0=1	—		
	INTP2	入力	PIOR4=0	×	1	×	0	—	—		
TOOLTxD	出力	×	0/1	0	1	0	—	—			
SEG37	出力	×	0	0	0	1	—	—	○	×	
P10	P10	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
SEG4	出力	×	—	0	0	1	—	—			
P11	P11	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
SEG5	出力	×	—	0	0	1	—	—			
P12	P12	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
SEG6	出力	×	—	0	0	1	—	—			
P13	P13	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
SEG7	出力	×	—	0	0	1	—	—			
P14	P14	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	—		
SEG8	出力	×	—	0	0	1	—	—			
P15	P15	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	(SCK00/SCL0 0)=1	—		
		N-chOD出力	×	1	0	0/1	0				
	SEG9	出力	×	0	0	0	1	—	—		
	(SCK00)	入力	PIOR1=1	×	1	×	0	—	—		
	出力	PIOR1=1	0/1	0	1	0	—	—			
(SCL00)	出力	PIOR1=1	0/1	0	1	0	—	—			
P16	P16	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	(SDA00)=1	—		
		N-chOD出力	×	1	0	0/1	0				
	SEG10	出力	×	0	0	0	1	—	—		
	(SI00)	入力	PIOR1=1	×	1	×	0	—	—		
	(RxD0)	入力	PIOR1=1	×	1	×	0	—	—		
(SDA00)	入出力	PIOR1=1	1	0	0	0	—	—			

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例（3/9）

端子 名称	使用機能		PIOR×	POM××	PM××	P××	PFSEG××	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						(ISCVL3, ISCCAP) 注	SAUの 出力機能		
P17	P17	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	(SO00/TxD0)=	—		
		N-chOD出力	×	1	0	0/1	0	1	—		
	SEG11	出力	×	0	0	0	1	—	—		
	(SO00)	出力	PIOR1=1	0/1	0	1	0	—	—		
(TxD0)	出力	PIOR1=1	0/1	0	1	0	—	—			

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例（4/9）

端子 名称	使用機能		ADPC	ADM2	PM××	P××	80 ピン	100 ピン
	機能名称	入出力						
P20	P20	入力	01H	×	1	×	○	○
		出力	01H	×	0	0/1		
	ANI0	アナログ入力	00H/02H~06H	00x0xx0xB 10x0xx0xB	1	×		
	AV _{REFP}	基準電圧入力	00H/02H~06H	01x0xx0xB	1	×		
P21	P21	入力	01H/02H	×	1	×	○	○
		出力	01H/02H	×	0	0/1		
	ANI1	アナログ入力	00H/03H~06H	xx00xx0xB	1	×		
	AV _{REFM}	基準電圧入力	00H/03H~06H	xx10xx0xB	1	×		
P22	P22	入力	01H~03H	×	1	×	○	○
		出力	01H~03H	×	0	0/1		
	ANI2	アナログ入力	00H/04H~06H	×	1	×		
	IVCMP0	アナログ入力	00H/04H~06H	×	1	×		
	IVREF1	アナログ入力	00H/04H~06H	×	1	×		
P23	P23	入力	01H~04H	×	1	×	○	○
		出力	01H~04H	×	0	0/1		
	ANI3	アナログ入力	00H/05H/06H	×	1	×		
	IVCMP1	アナログ入力	00H/05H/06H	×	1	×		
	IVREF0	アナログ入力	00H/05H/06H	×	1	×		
P24	P24	入力	01H~05H	×	1	×	×	○
		出力	01H~05H	×	0	0/1		
	ANI4	アナログ入力	00H/06H	×	1	×		
P25	P25	入力	01H~06H	×	1	×	×	○
		出力	01H~06H	×	0	0/1		
	ANI5	アナログ入力	00H	×	1	×		

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例（5/9）

端子 名称	使用機能		PIOR×	POM××	PM××	P××	PFSEG××	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						(ISCVL3, ISCCAP) 注	SAUの 出力機能		
P30	P30	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	(TI07)=0		
	SEG24	出力	×	—	0	0	1	—	—		
	(TI07)	入力	PIOR0=1	—	1	×	0	—	—		
P31	P31	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	(TI06)=0		
	SEG25	出力	×	—	0	0	1	—	—		
	(TI06)	入力	PIOR0=1	—	1	×	0	—	—		
P32	P32	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	(PCLBUZ1)=0		
	SEG26	出力	×	—	0	0	1	—	—		
	(PCLBUZ1)	出力	PIOR3=1	—	0	0	0	—	—		
P33	P33	入力	—	—	1	×	0	—	—	○	○
		出力	×	—	0	0/1	0	—	(PCLBUZ0)=0		
	SEG27	出力	×	—	0	0	1	—	—		
	(PCLBUZ0)	出力	PIOR3=1	—	0	0	0	—	—		
P34	P34	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
	SEG28	出力	—	—	0	0	1	—	—		
P35	P35	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
	SEG29	出力	—	—	0	0	1	—	—		
P36	P36	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
	SEG30	出力	—	—	0	0	1	—	—		
P37	P37	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
	SEG31	出力	—	—	0	0	1	—	—		
P40	P40	入力	—	—	1	×	—	—	—	○	○
		出力	×	—	0	0/1	—	—	—		
	TOOL0	入出力	×	—	×	×	—	—	—		
P41	P41	入力	—	—	1	×	—	—	—	○	○
		出力	×	—	0	0/1	—	—	TO01=0 PCLBUZ1=0		
	TI01	入力	PIOR0=0	—	1	×	—	—	—		
	TO01	出力	PIOR0=0	—	0	0	—	—	PCLBUZ1=0		
	PCLBUZ1	出力	PIOR3=0	—	0	0	—	—	TO01=0		
P42	P42	入力	—	—	1	×	—	—	—	○	○
		出力	×	—	0	0/1	—	—	—		
	INTP7	入力	PIOR4=0	—	1	×	—	—	—		
P43	P43	入力	—	—	1	×	—	—	—	○	○
		出力	×	—	0	0/1	—	—	TO00=0 PCLBUZ0=0		
	TI00	入力	PIOR0=0	—	1	×	—	—	—		
	TO00	出力	PIOR0=0	—	0	0	—	—	PCLBUZ0=0		
	PCLBUZ0	出力	PIOR3=0	—	0	0	—	—	TO00=0		
P44	P44	入力	—	—	1	×	—	—	—	○	○
		出力	×	—	0	0/1	—	—	—		
	INTP6	入力	PIOR4=0	—	1	×	—	—	—		

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例（6/9）

端子 名称	使用機能		PIOR×	POM××	PM××	P××	PFSEG××	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						ISCVL3, ISCCAP) 注	SAUの 出力機能		
P50	P50	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
SEG32	SEG32	出力	—	—	0	0	1	—	—		
P51	P51	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
SEG33	SEG33	出力	—	—	0	0	1	—	—		
P52	P52	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
SEG34	SEG34	出力	—	—	0	0	1	—	—		
P53	P53	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
SEG35	SEG35	出力	—	—	0	0	1	—	—		
P54	P54	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
SEG36	SEG36	出力	—	—	0	0	1	—	—		
P55	P55	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
SEG37	SEG37	出力	—	—	0	0	1	—	—		
P56	P56	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
SEG38	SEG38	出力	—	—	0	0	1	—	—		
P57	P57	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
SEG39	SEG39	出力	—	—	0	0	1	—	—		
P60	P60	入力	—	—	1	×	—	—	—	○	○
		N-chOD出力 (6 V耐圧)	×	—	0	0/1	—	—	SCLA0=0 (TO00)=0		
	SCLA0	入出力	×	—	0	0	—	—	(TO00)=0		
	(TI00)	入力	PIOR0=1	—	1	×	—	—	—		
(TO00)	出力	PIOR0=1	—	0	0	—	—	SCLA0=0			
P61	P61	入力	—	—	1	×	—	—	—	○	○
		N-chOD出力 (6 V耐圧)	×	—	0	0/1	—	—	SDAA0=0 (TO01)=0		
	SDAA0	入出力	×	—	0	0	—	—	(TO01)=0		
	(TI01)	入力	PIOR0=1	—	1	×	—	—	—		
(TO01)	出力	PIOR0=1	—	0	0	—	—	SDAA0=0			
P62	P62	入力	—	—	1	×	—	—	—	○	○
		N-chOD出力 (6 V耐圧)	×	—	0	0/1	—	—	(TO02)=0 (RTC1HZ)=0		
	(TI02)	入力	PIOR0=1	—	1	×	—	—	—		
	(TO02)	出力	PIOR0=1	—	0	0	—	—	(RTC1HZ)=0		
(RTC1HZ)	出力	PIOR3=1	—	0	0	—	—	(TO02)=0			
P70	P70	入力	—	—	1	×	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
SEG16	SEG16	出力	—	—	0	0	1	—	—		
(INTP0)	(INTP0)	入力	PIOR4=1	—	1	×	0	—	—		
P71	P71	入力	—	—	1	×	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
SEG17	SEG17	出力	—	—	0	0	1	—	—		
(INTP1)	(INTP1)	入力	PIOR4=1	—	1	×	0	—	—		

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例（7/9）

端子 名称	使用機能		PIOR×	POM××	PM××	P××	PFSEG××	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						ISCVL3, ISCCAP) 注	SAUの 出力機能		
P72	P72	入力	—	—	1	×	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	SEG18	出力	—	—	0	0	1	—	—		
	(INTP2)	入力	PIOR4=1	—	1	×	0	—	—		
P73	P73	入力	—	—	1	×	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	SEG19	出力	—	—	0	0	1	—	—		
	(INTP3)	入力	PIOR4=1	—	1	×	0	—	—		
P74	P74	入力	—	—	1	×	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	SEG20	出力	—	—	0	0	1	—	—		
	(INTP4)	入力	PIOR4=1	—	1	×	0	—	—		
P75	P75	入力	—	—	1	×	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	SEG21	出力	—	—	0	0	1	—	—		
	(INTP5)	入力	PIOR4=1	—	1	×	0	—	—		
P76	P76	入力	—	—	1	×	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	SEG22	出力	—	—	0	0	1	—	—		
	(INTP6)	入力	PIOR4=1	—	1	×	0	—	—		
P77	P77	入力	—	—	1	×	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	SEG23	出力	—	—	0	0	1	—	—		
	(INTP7)	入力	PIOR4=1	—	1	×	0	—	—		
P80	P80	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	(SCL10)=1	—		
		N-chOD出力	×	1	0	0/1	0				
	SEG12	出力	×	×	0	0	1	—	—		
	(SCL10)	出力	PIOR2=1	0/1	0	1	0	—	—		
P81	P81	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	(SDA10)=1	—		
		N-chOD出力	×	1	0	0/1	0				
	SEG13	出力	×	×	0	0	1	—	—		
	(RxD1)	入力	PIOR2=1	×	1	×	0	—	—		
	(SDA10)	入出力	PIOR2=1	1	0	1	0	—	—		
P82	P82	入力	—	×	1	×	0	—	—	○	○
		出力	×	0	0	0/1	0	(TxD1)=1	—		
		N-chOD出力	×	1	0	0/1	0				
	SEG14	出力	×	×	0	0	1	—	—		
	(TxD1)	出力	PIOR2=1	0/1	0	1	0	—	—		
P83	P83	入力	—	—	1	×	0	—	—	○	○
		出力	—	—	0	0/1	0	—	—		
	SEG15	出力	—	—	0	0	1	—	—		
P84	P84	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
	SEG40	出力	—	—	0	0	1	—	—		
P85	P85	入力	—	—	1	×	0	—	—	×	○
		出力	—	—	0	0/1	0	—	—		
	SEG41	出力	—	—	0	0	1	—	—		

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例（8/9）

端子 名称	使用機能		CMC (EXCLK, OSCSEL, EXCLKS, OSCSELS)	Pxx	80 ピン	100 ピン
	機能名称	入出力				
P121	P121	入力	00xx/10xx/11xx	x	○	○
	X1	—	01xx	—		
P122	P122	入力	00xx/10xx/11xx	x	○	○
	X2	—	01xx	—		
	EXCLK	入力	11xx	—		
P123	P123	入力	xx00/xx10/xx11	x	○	○
	XT1	—	xx01	—		
P124	P124	入力	xx00/xx10/xx11	x	○	○
	XT2	—	xx01	—		
	EXCLKS	入力	xx11	—		

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例（9/9）

端子 名称	使用機能		PIORx	POMxx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) 注	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						SAUの 出力機能	SAU以外		
P125	P125	入力	—	—	1	x	1	—	—	○	○
		出力	x	—	0	0/1	1	—	(TO05)=0		
	VL3	—	x	—	1	x	0	—	—		
	INTP1	入力	PIOR4=0	—	1	x	1	—	—		
	(TI05)	入力	PIOR0=1	—	1	x	1	—	—		
(TO05)	出力	PIOR0=1	—	0	0	1	—	—			
P126	P126	入力	—	—	1	x	1	—	—	○	○
		出力	x	—	0	0/1	1	—	(TO04)=0		
	CAPL	—	x	—	1	x	0	—	—		
	(TI04)	入力	PIOR0=1	—	1	x	1	—	—		
(TO04)	出力	PIOR0=1	—	0	0	1	—	—			
P127	P127	入力	—	—	1	x	1	—	—	○	○
		出力	x	—	0	0/1	1	—	(TO03)=0		
	CAPH	—	x	—	1	x	0	—	—		
	(TI03)	入力	PIOR0=1	—	1	x	1	—	—		
(TO03)	出力	PIOR0=1	—	0	0	1	—	—			
P130	P130	出力	x	—	0	0/1	—	—	RTC1HZ=0	○	○
	RTC1HZ	出力	PIOR3=0	—	0	0	—	—	—		
P137	P137	入力	x	—	—	x	—	—	—	○	○
	INTP0	入力	PIOR4=0	—	—	x	—	—	—		

注 ISCVL3はP125, ISCCAPはP126, P127に対応するレジスタです。

4.5.4 SEGxx端子兼用ポートの動作

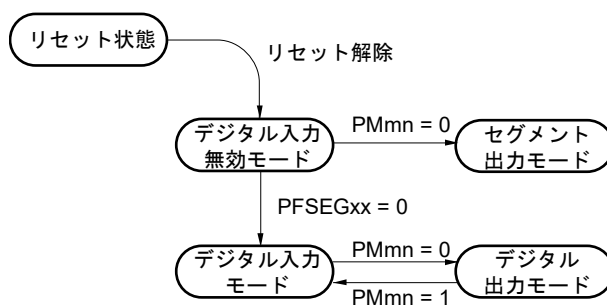
セグメント出力端子（SEGxx）を兼用するポートの機能は、ポート・モード・レジスタ（PMxx）、LCDポート・ファンクション・レジスタ0-5（PFSEG0-PFSEG5）の設定で決定します。

表4-7 SEGxx/ポート端子機能の設定

PFSEG0-PFSEG5レジスタの PFSEGxxビット	PMxxレジスタの PMxxビット	端子機能	初期状態
1	1	デジタル入力無効モード	○
0	0	デジタル出力モード	-
0	1	デジタル入力モード	-
1	0	セグメント出力モード	-

SEGxx/ポート端子機能の状態遷移を次に示します。

図4-12 SEGxx/ポート端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOC = 0の期間）に設定してください。

4.5.5 VL3, CAPL, CAPH端子兼用ポートの動作

VL3/P125, CAPL/P126, CAPH/P127端子の機能は、LCD入力切り替え制御レジスタ (ISCLCD), LCDモード・レジスタ0 (LCDM0), ポート・モード・レジスタ12 (PM12) の設定で決定します。

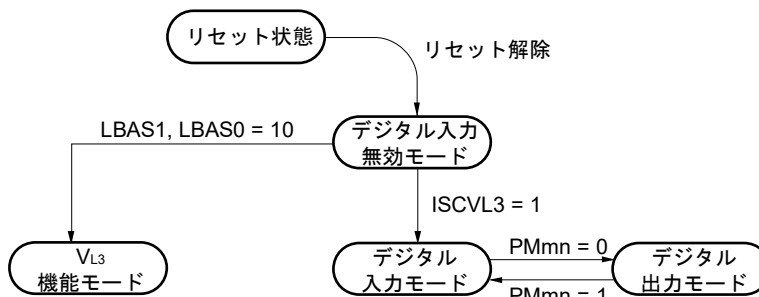
(1) VL3/P125

表4-8 VL3/P125端子機能の設定

バイアス設定 (LCDM0レジスタの LBAS1, LBAS0ビット)	ISCLCDレジスタ のISCVL3ビット	PM12レジスタの PM125ビット	端子機能	初期状態
1/4バイアス法以外 (LBAS1, LBAS0 = 00または 01)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	-
	1	1	デジタル入力モード	-
1/4バイアス法 (LBAS1, LBAS0 = 10)	0	1	VL3機能モード	-
上記以外			設定禁止	

VL3/P125端子機能の状態遷移を次に示します。

図4-13 VL3/P125端子機能の状態遷移図



注意 VL3機能モードに設定する場合は、セグメント出力開始前 (LCDモード・レジスタ1 (LCDM1) の SCOC = 0の期間) に設定してください。

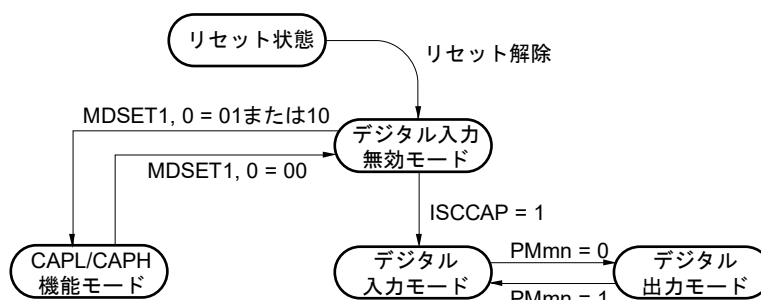
(2) CAPL/P126, CAPH/P127

表4-9 CAPL/P126, CAPH/P127端子機能の設定

LCD駆動電圧生成回路 (LCDM0レジスタのMDSET1, MDSET0ビット)	ISCLCDレジスタ のISCCAPビット	PM12レジスタの PM126, PM127 ビット	端子機能	初期状態
外部抵抗分割 (MDSET1, MDSET0 = 00)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	-
	1	1	デジタル入力モード	-
内部昇圧/容量分割 (MDSET1, MDSET0 = 01また は10)	0	1	CAPL/CAPH機能モード	-
上記以外			設定禁止	

CAPL/P126, CAPH/P127端子機能の状態遷移を次に示します。

図4-14 CAPL/P126, CAPH/P127端子機能の状態遷移図



注意 CAPL/CAPH機能モードに設定する場合は、セグメント出力開始前 (LCDモード・レジスタ1 (LCDM1) のSCOC = 0の期間) に設定してください。

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出カラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出カラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/I1B内部で、次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

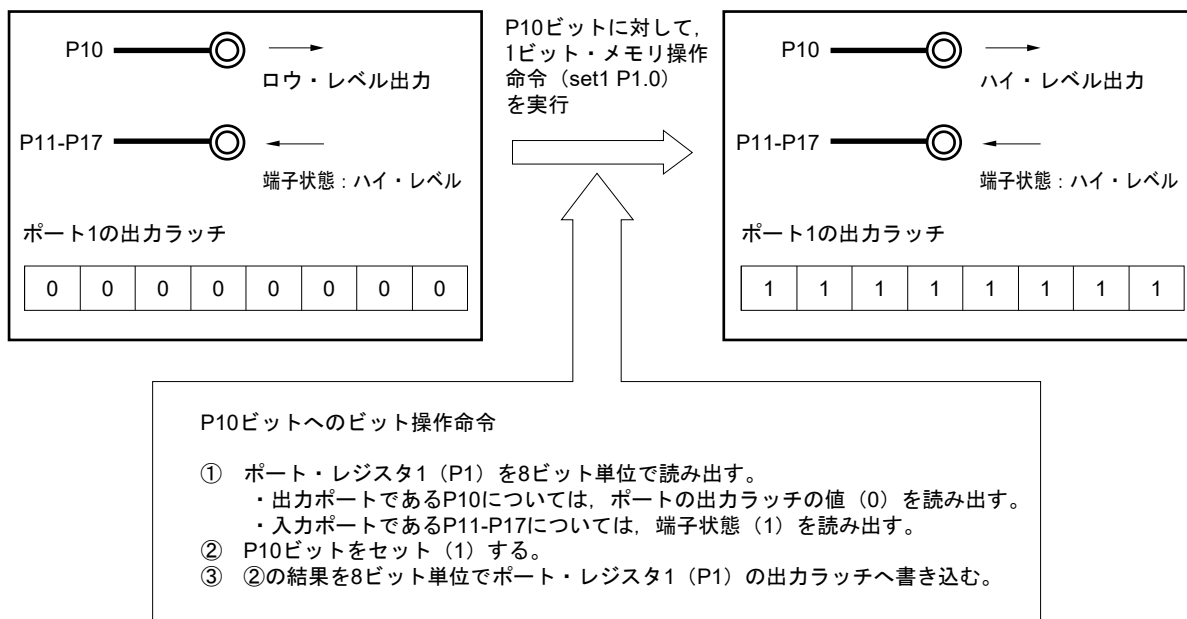
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出カラッチの値（0）を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出カラッチに“FFH”が書き込まれます。

図4-15 1ビット・メモリ操作命令（P10の場合）



4.6.2 端子設定に関する注意事項

使用する出力端子に、他の兼用出力機能が割り当てられている場合、使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当てられた機能も同様です。兼用出力については、4.5 兼用機能使用時のレジスタの設定を参照してください。

入力として使用する端子では、兼用の出力機能が無効（バッファ出力がHi-Z）となるので、処理不要です。

なお、入力だけや出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1端子、X2端子に発振子を接続することにより、 $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

② 高速オンチップ・オシレータ

オプション・バイト（000C2H）により、 $f_{IH} = 24$ MHz/12 MHz/6 MHz/3 MHz（TYP.）から周波数を選択し、発振させることができます。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により、発振を停止することができます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は、図5-10 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマットを参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数 (MHz)			
	3	6	12	24
$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	○	○
$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	○	—
$1.9 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	—	—

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EX} = 1 \sim 20$ MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。

なお、メイン・システム・クロックは、電源電圧VDDによって使用可能な周波数範囲が異なり、オプション・バイト（000C2H）のCMODE0、CMODE1によりフラッシュの動作電圧モードの設定（第3章 オプション・バイト参照）が必要です。

(2) サブシステム・クロック

・XT1発振回路

XT1端子, XT2端子に32.768 kHzの発振子を接続することにより, $f_{XT} = 32.768$ kHzのクロックを発振させることができます。XTSTOPビット (クロック動作ステータス制御レジスタ (CSC) のビット6) の設定により, 発振を停止することができます。

また, EXCLKS/XT2/P124端子から外部サブシステム・クロック ($f_{EXS} = 32.768$ kHz) を供給することができます。XTSTOPビットの設定により, 外部サブシステム・クロック入力を無効にすることができます。

(3) 低速オンチップ・オシレータ・クロック

$f_{IL} = 15$ kHz (TYP.) のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは, 次の周辺ハードウェアのみです。

- ・ウォッチドッグ・タイマ
- ・リアルタイム・クロック2 (高精度1 Hz出力機能除く)
- ・12ビット・インターバル・タイマ
- ・発振停止検出回路
- ・LCDコントローラ/ドライバ

オプション・バイト (000C0H) のビット4 (WDTON) または, サブシステム・クロック供給モード制御レジスタ (OSMC) のビット4 (WUTMMCK0) のどちらか, または両方が1のときに動作します。

ただし, WDTON = 1, WUTMMCK0 = 0かつオプション・バイト (000C0H) のビット0 (WDSTBYON) が0のときに, HALT命令またはSTOP命令を実行した場合, 低速オンチップ・オシレータは発振を停止します。

注意1. リアルタイム・クロック2のカウント・クロックに低速オンチップ・オシレータ・クロック (f_{IL}) を選択できるのは, 定周期割り込み機能使用時のみです。

2. 発振停止検出回路を使用する場合は, 低速オンチップ・オシレータ・クロックを常時動作させるために, OSMCレジスタのビット4 (WUTMMCK0) を1に設定するか, オプション・バイト (000C0H) のビット4 (WDTON) とビット0 (WDSTBYON) を1に設定する必要があります。

備考	f_x	: X1クロック発振周波数
	f_{IH}	: 高速オンチップ・オシレータ・クロック周波数
	f_{EX}	: 外部メイン・システム・クロック周波数
	f_{XT}	: XT1クロック発振周波数
	f_{EXS}	: 外部サブシステム・クロック周波数
	f_{IL}	: 低速オンチップ・オシレータ・クロック周波数

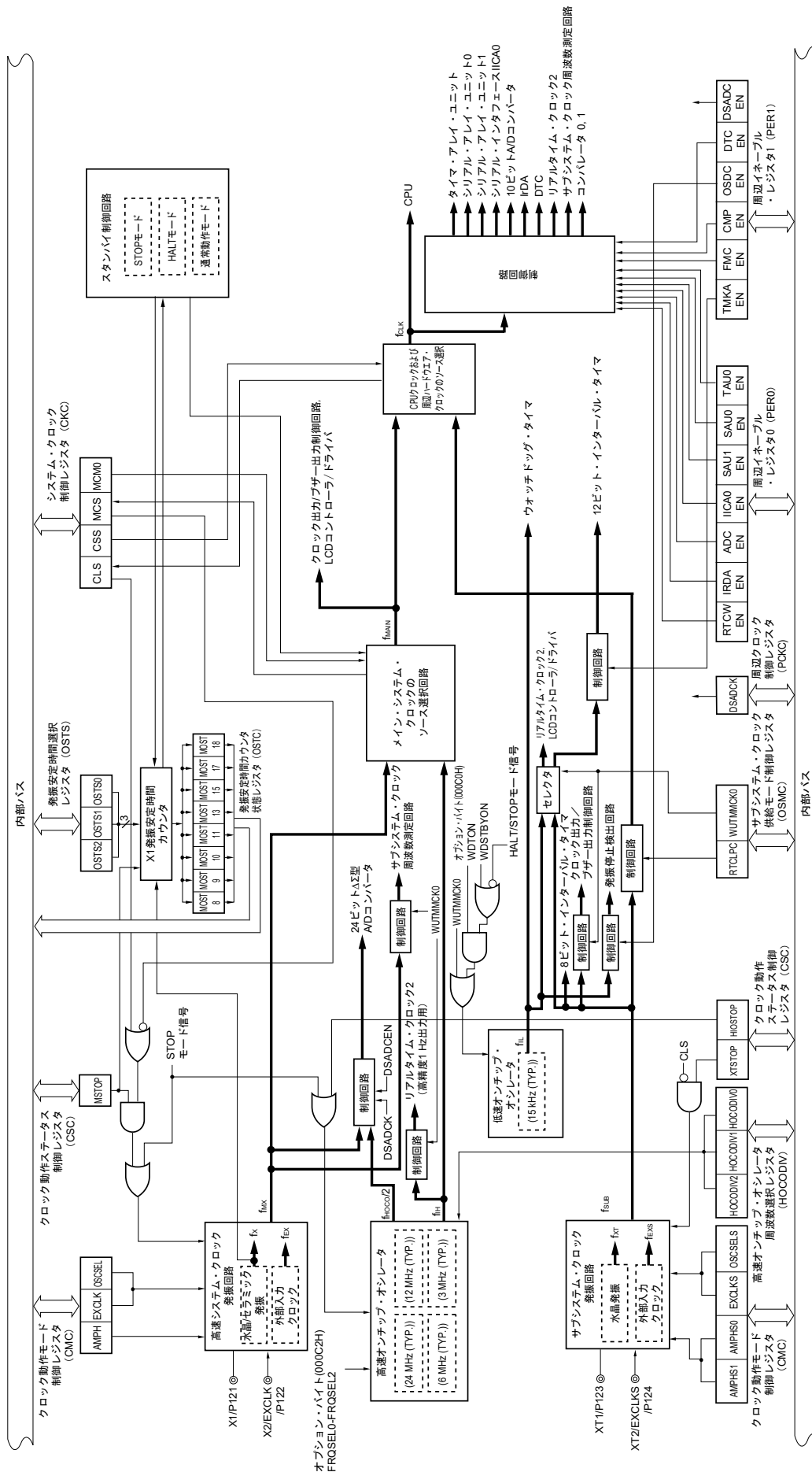
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ0, 1 (PER0, PER1) サブシステム・クロック供給モード制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 周辺クロック制御レジスタ (PCKC)
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ

図5-1 クロック発生回路のブロック図



(備考は次ページにあります。)

備考 f_x	: X1クロック発振周波数
f_{HOCO}	: 専用クロック周波数 (24 MHz)
f_{IH}	: 高速オンチップ・オシレータ・クロック周波数 (24/12/6/3 MHz)
f_{EX}	: 外部メイン・システム・クロック周波数
f_{MX}	: 高速システム・クロック周波数
f_{MAIN}	: メイン・システム・クロック周波数
f_{XT}	: XT1クロック発振周波数
f_{EXS}	: 外部サブシステム・クロック周波数
f_{SUB}	: サブシステム・クロック周波数 ^注
f_{CLK}	: CPU/周辺ハードウェア・クロック周波数
f_{IL}	: 低速オンチップ・オシレータ・クロック周波数

注 WUTMMCK0ビット = 1設定時に、クロック出力/ブザー出力制御回路の出力クロックとして f_{SUB} を選択することは禁止です。

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の9種類のレジスタで制御します。

- ・クロック動作モード制御レジスタ (CMC)
- ・システム・クロック制御レジスタ (CKC)
- ・クロック動作ステータス制御レジスタ (CSC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・周辺イネーブル・レジスタ0, 1 (PER0, PER1)
- ・サブシステム・クロック供給モード制御レジスタ (OSMC)
- ・高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- ・周辺クロック制御レジスタ (PCKC)

5.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります

注意 EXCLKS, OSCSELS, AMPHS1, AMPHS0ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

図5-2 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS ^注	OSCSELS ^注	0	AMPHS1 ^注	AMPHS0 ^注	AMPH

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶/セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

EXCLKS	OSCSELS	サブシステム・クロック 端子の動作モード	XT1/P123端子	XT2/EXCLKS/P124 端子
0	0	入力ポート・モード	入力ポート	
0	1	XT1発振モード	水晶振動子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1	AMPHS0	XT1発振回路の発振モード選択
0	0	低消費発振 (デフォルト)
0	1	通常発振
1	0	超低消費発振
1	1	設定禁止

AMPH	X1クロック発振周波数の制御
0	$1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$
1	$10 \text{ MHz} < f_x \leq 20 \text{ MHz}$

注 EXCLKS, OSCSELS, AMPHS1, AMPHS0ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

- 注意 1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値 (00H) のまま使用する場合、暴走時の誤動作 (00H以外の誤書き込みで復帰不可) を防止するために、リセット解除後は必ず00Hに設定してください。
2. リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。
3. X1クロック発振周波数が10MHzを越える場合は、必ずAMPHビットに1を設定してください。
4. AMPH, AMPHS1, AMPHS0ビットは、リセット解除後f_{CLK}にf_{IH}を選択した状態 (f_{CLK}をf_{MX}に切り替える前の状態) で設定してください。

(注意、備考は次ページに続きます。)

- 注意5. f_{XT} の発振安定時間は、ソフトウェアでカウントしてください。
6. システム・クロックの周波数上限は24 MHzですが、X1発振回路の周波数上限は20 MHzになります。
 7. CMCレジスタ書き込み後、パワーオン・リセット以外のリセットが発生した場合、暴走時の誤動作を防ぐためリセット解除後は必ずリセット発生前と同じ値を設定してください。
 8. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。
 - ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
 - ・XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は、5.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
 - ・XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。
 - ・回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
 - ・XT1発振回路の周辺には、できるかぎりV_{SS}と同電位のグラウンド・パターンを配置してください。
 - ・XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
 - ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
 - ・回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

備考 f_x : X1クロック発振周波数

5.3.2 システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。

CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0

CLS	CPU/周辺ハードウェア・クロック (fCLK) のステータス
0	メイン・システム・クロック (fMAIN)
1	サブシステム・クロック (fSUB)

CSS	CPU/周辺ハードウェア・クロック (fCLK) の選択
0	メイン・システム・クロック (fMAIN)
1 ^{注2}	サブシステム・クロック (fSUB)

MCS	メイン・システム・クロック (fMAIN) のステータス
0	高速オンチップ・オシレータ・クロック (fIH)
1	高速システム・クロック (fMX)

MCM0 ^{注2}	メイン・システム・クロック (fMAIN) の動作制御
0	メイン・システム・クロック (fMAIN) に高速オンチップ・オシレータ・クロック (fIH) を選択
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択

注1. ビット7, 5は、Read Onlyです。

2. CSS = 1を設定した状態で、MCM0ビットの値を変更することは禁止です。

備考 fIH : 高速オンチップ・オシレータ・クロック周波数
 fMX : 高速システム・クロック周波数
 fMAIN : メイン・システム・クロック周波数
 fSUB : サブシステム・クロック周波数

(注意は次ページにあります。)

- 注意1. ビット0-3には、必ず0を設定してください。
2. CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます（リアルタイム・クロック2、サブシステム・クロック周波数測定回路、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、発振停止検出回路およびウォッチドッグ・タイマは除く）。よって、CPU／周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。
3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータ、IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第37章 電気的特性を参照してください。

5.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック，高速オンチップ・オシレータ・クロック，サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，C0Hになります。

注意 XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。

図5-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス：FFFA1H リセット時：C0H R/W

略号	[7]	[6]	5	4	3	2	1	[0]
CSC	MSTOP	XTSTOP ^注	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注 XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。

- 注意1. リセット解除後は，クロック動作モード制御レジスタ (CMC) を設定してからCSCレジスタを設定してください。
2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ (OSTS) を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。
3. MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

(注意は次ページに続きます。)

- 注意4. XSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
5. CPU/周辺ハードウェア・クロック (f_{CLK}) に選択しているクロックは、CSCレジスタで停止させないでください。
 6. クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は、表5-2のようになります。クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-2 クロック停止方法

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・クロック	CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CPU/周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作 (CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

5.3.4 発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- ・X1クロック発振開始時（EXCLK, OSCSEL = 0, 1 → MSTOP = 0）
- ・STOPモードを解除したとき

図5-5 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST	MOST	MOST	MOST	MOST	MOST	MOST	MOST
	8	9	10	11	13	15	17	18

MOST	MOST	MOST	MOST	MOST	MOST	MOST	MOST	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
8	9	10	11	13	15	17	18			
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁹ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.2 ms以上	13.1 ms以上

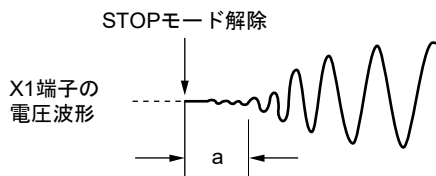
注意1. 上記時間経過後, MOST8ビットから順番に“1”となっていく, そのまま“1”を保持します。

2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。

次のときには, OSTSレジスタの発振安定時間を, 発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- ・ CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで, X1クロックの発振を開始したい場合
- ・ CPUクロックが高速オンチップ・オシレータ・クロックで, X1クロックも発振している状態でSTOPモードに移行し, その後, STOPモードを解除したい場合
(したがって, STOPモード解除後のOSTCレジスタは, OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間 (下図a) は含みません。



備考 fx : X1クロック発振周波数

5.3.5 発振安定時間選択レジスタ (OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は、X1発振回路動作 (MSTOP = 0) 後、OSTSレジスタで設定した時間を自動でウェイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができません。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図5-6 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	25.6 μs	12.8 μs
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204 μs	102 μs
1	0	0	$2^{13}/f_x$	819 μs	409 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.63 ms
1	1	0	$2^{17}/f_x$	13.1 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.2 ms	13.1 ms

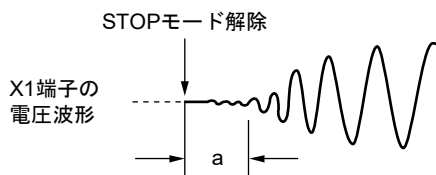
注意1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) のMSTOPビットを0に設定する前に行ってください。

2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- ・CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- ・CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合 (したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。



備考 f_x : X1クロック発振周波数

5.3.6 周辺イネーブル・レジスタ0, 1 (PER0, PER1)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット (1) してください。

- ・リアルタイム・クロック2
- ・IrDA
- ・10ビットA/Dコンバータ
- ・シリアル・インタフェースIICA0
- ・シリアル・アレイ・ユニット1
- ・シリアル・アレイ・ユニット0
- ・タイマ・アレイ・ユニット
- ・12ビット・インターバル・タイマ
- ・サブシステム・クロック周波数測定回路
- ・コンパレータ0, 1
- ・発振停止検出回路
- ・DTC
- ・24ビット $\Delta\Sigma$ 型A/Dコンバータ

PER0, PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図5-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット (1/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCWEN	リアルタイム・クロック2 (RTC2) の入力クロック供給の制御
0	入力クロック供給停止 ・リアルタイム・クロック2 (RTC2) で使用するSFRへのライト不可 ・リアルタイム・クロック2 (RTC2) は動作可能
1	入力クロック供給 ・リアルタイム・クロック2 (RTC2) で使用するSFRへのリード／ライト可 ・リアルタイム・クロック2 (RTC2) は動作可能

IRDAEN	IrDAの入力クロック供給の制御
0	入力クロック供給停止 ・IrDAで使用するSFRへのライト不可 ・IrDAはリセット状態
1	入力クロック供給 ・IrDAで使用するSFRへのリード／ライト可

注意 ビット1には必ず“0”を設定してください。

図5-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット (2/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード/ライト可

IICA0EN	シリアル・インタフェースIICA0の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・インタフェースIICA0で使用するSFRへのライト不可 ・ シリアル・インタフェースIICA0はリセット状態
1	入カクロック供給 ・ シリアル・インタフェースIICA0で使用するSFRへのリード/ライト可

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・ シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・ シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・ シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・ シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニットの入カクロック供給の制御
0	入カクロック供給停止 ・ タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・ タイマ・アレイ・ユニットはリセット状態
1	入カクロック供給 ・ タイマ・アレイ・ユニットで使用するSFRへのリード/ライト可

注意 ビット1には必ず“0”を設定してください。

図5-8 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	2	1	[0]
PER1	TMKAEN	FMCEN	CMPEN	OSDCEN	DTCEN	0	0	DSADCEN

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可 ・12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード/ライト可

FMCEN	サブシステム・クロック周波数測定回路の入カクロック供給
0	入カクロック供給停止 ・サブシステム・クロック周波数測定回路で使用するSFRへのライト不可 ・リアルタイム・クロック2で使用するSUBCUDレジスタへのライト不可 ・サブシステム・クロック周波数測定回路はリセット状態
1	入カクロック供給 ・サブシステム・クロック周波数測定回路で使用するSFRへのリード/ライト可 ・リアルタイム・クロック2で使用するSUBCUDレジスタへのリード/ライト可

CMPEN	コンパレータ0, 1の入カクロック供給の制御
0	入カクロック供給停止 ・コンパレータ0, 1で使用するSFRへのライト不可 ・コンパレータ0, 1はリセット状態
1	入カクロック供給 ・コンパレータ0, 1で使用するSFRへのリード/ライト可

OSDCEN	発振停止検出回路の入カクロック供給の制御
0	入カクロック供給停止 ・発振停止検出回路で使用するSFRへのライト不可 ・発振停止検出回路はリセット状態
1	入カクロック供給 ・発振停止検出回路で使用するSFRへのリード/ライト可

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・DTCは動作不可
1	入カクロック供給 ・DTCは動作可

DSADCEN	24ビット $\Delta\Sigma$ 型A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・24ビット $\Delta\Sigma$ 型A/Dコンバータで使用するSFRへのライト不可 ・24ビット $\Delta\Sigma$ 型A/Dコンバータはリセット状態
1	入カクロック供給 ・24ビット $\Delta\Sigma$ 型A/Dコンバータで使用するSFRへのリード/ライト可

注意 ビット2, 1には必ず“0”を設定してください。

5.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、発振停止検出回路以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、サブシステム・クロック周波数測定回路の動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-9 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表24-1、表24-2参照)
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、発振停止検出回路以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDコントローラ／ドライバの動作クロックの選択	クロック出力／ブザー出力制御回路のPCLBUZn端子の出力クロックの選択および8ビット・インターバル・タイマの動作クロックの選択	サブシステム・クロック周波数測定回路の動作
0	サブシステム・クロック (f _{SUB})	サブシステム・クロック (f _{SUB})	許可
1	低速オンチップ・オシレータ・クロック (f _{IL})	サブシステム・クロック (f _{SUB})	禁止

注意1. RTCLPCビットを1に設定することで、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の消費電力を低減することができます。ただし、サブシステム・クロックでCPU動作中のHALTモード時は、リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ以外の周辺機能へクロックを供給できなくなります。サブシステム・クロックでCPU動作中はHALTモードに設定する前に、周辺イネーブル・レジスタ0 (PER0) のビット7 (RTCWEN)、周辺イネーブル・レジスタ1 (PER1) のビット7 (TMKAEN) は1に、PER0のビット0, 2, 3, PER1のビット5は0にしてください。

2. サブシステム・クロック発振中は、サブシステム・クロックのみ選択できます (WUTMMCK0 = 0)。

(注意、備考は次ページに続きます。)

- 注意3. WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。
4. WUTMMCK0を“1”に設定した場合、リアルタイム・クロック2の定周期割り込み機能のみ使用できます。年、月、曜日、日、時、分、秒のカウントおよび1 Hz出力機能は使用できません。
定周期割り込み間隔は、定周期（RTCC0レジスタで選択した値） $\times f_{SUB}/f_{IL}$ で算出されます。
5. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDコントローラ／ドライバの全ての機能が動作停止中のみ可能です。
各機能の動作停止方法は次のとおりです。
リアルタイム・クロック2の停止設定 : RTCE = 0
12ビット・インターバル・タイマの停止設定 : RINTE = 0
LCDコントローラ／ドライバの停止設定 : SCOC = 0 かつ VLCON = 0
6. WUTMMCK0ビット = 1設定時にクロック出力／ブザー出力制御回路の出カクロックまたは8ビット・インターバル・タイマの動作クロックとして f_{SUB} を選択することは禁止です。

備考 RTCE : リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のビット7
RINTE : 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC) のビット15
SCOC : LCDモード・レジスタ1 (LCDM1) のビット6
VLCON : LCDモード・レジスタ1 (LCDM1) のビット5

5.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト (000C2H) で設定した高速オンチップ・オシレータの周波数を変更するレジスタです。

HOCODIVは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト (000C2H) のFRQSEL2-FRQSEL0ビットで設定した値になります。

図5-10 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト (000C2H) FRQSEL2 - FRQSEL0の設定値 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択
0	0	0	$f_{IH} = 24 \text{ MHz}$
0	0	1	$f_{IH} = 12 \text{ MHz}$
0	1	0	$f_{IH} = 6 \text{ MHz}$
0	1	1	$f_{IH} = 3 \text{ MHz}$
上記以外			設定禁止

注意1. HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト (000C2H) で設定したフラッシュ動作モードの動作可能な電圧の範囲内で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	0	LS(低速メイン)モード	6/3 MHz	1.9 V~5.5 V
1	1	HS(高速メイン)モード	12/6/3 MHz	2.4 V~5.5 V
			24/12/6/3 MHz	2.7 V~5.5 V
上記以外		設定禁止		

- HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック (f_{IH}) をCPU/周辺ハードウェア・クロック (f_{CLK}) に選択している状態で行ってください。
- HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。
 - 変更前の周波数で最大3クロック 動作
 - 変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロック ウェイト

5.3.9 周辺クロック制御レジスタ (PCKC)

24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックを選択するレジスタです。

高速システム・クロックの周波数(f_{MX})は水晶発振子12 MHzのみ使用可能。

PCKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-11 周辺クロック制御レジスタ (PCKC)のフォーマット

アドレス : F0098H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PCKC	0	0	0	0	0	0	0	DSADCK

DSADCK	24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックの選択
0	高速オンチップ・オシレータ・クロック (f_{IH}) 供給。(f_{MX} 供給停止)
1	高速システム・クロック供給 (f_{MX}) 供給 ^注

注 高速システム・クロックの周波数 (f_{MX}) は水晶発振子12 MHzのみ使用可能。

5.4 システム・クロック発振回路

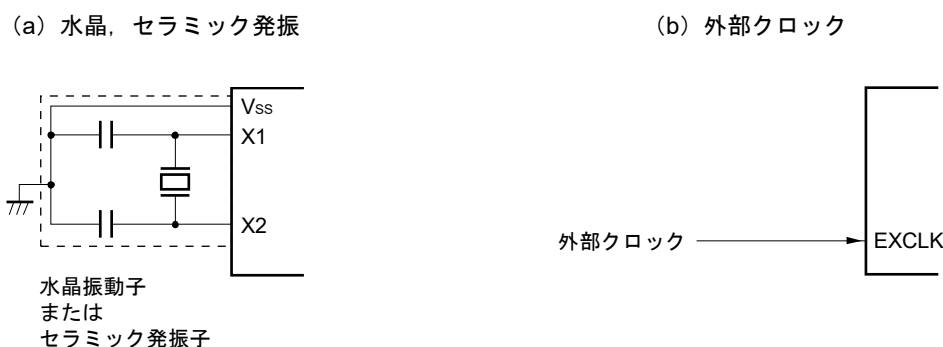
5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1~20 MHz）によって発振します。また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。X1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

- ・水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。図5-12にX1発振回路の外付け回路例を示します。

図5-12 X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

XT1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット4（OSCSELS）に1を設定してください。

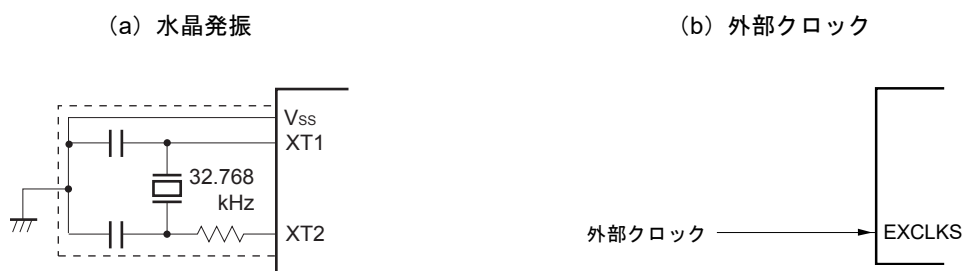
また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット5, 4（EXCLKS, OSCSELS）を次のように設定してください。

- ・水晶発振 : EXCLKS, OSCSELS = 0, 1
- ・外部クロック入力 : EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は、入力ポート・モード（EXCLKS, OSCSELS = 0, 0）に設定してください。さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-13にXT1発振回路の外付け回路例を示します。

図5-13 XT1発振回路の外付け回路例



注意 X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5-12、5-13の破線の部分を次のように配線してください。

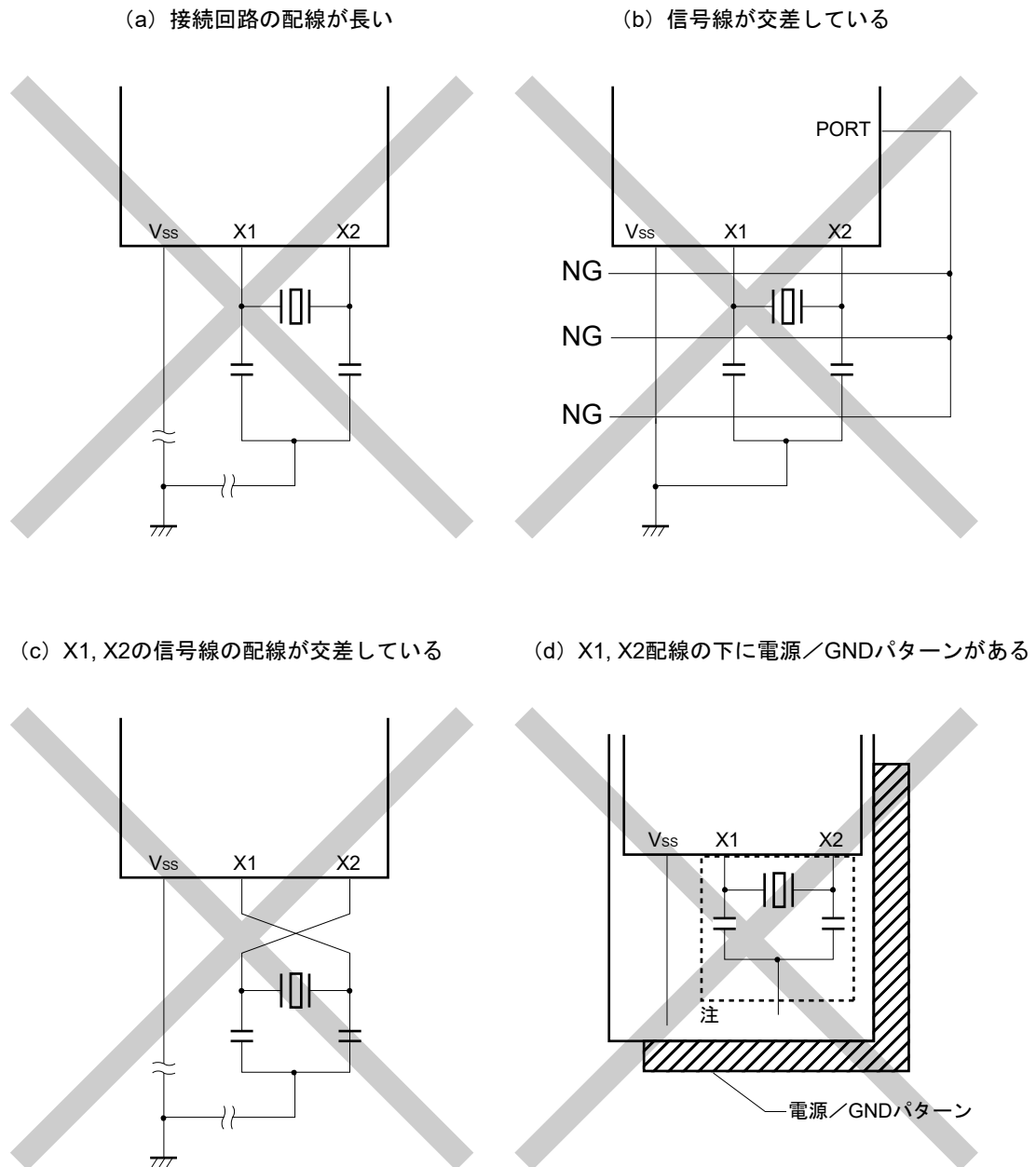
- ・配線は極力短くしてください。
- ・他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにしてください。大電流が流れるグラウンド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- ・XT1発振回路のモードを超低消費発振（AMP_{HS1}, AMP_{HS0} = 1, 0）で使用する場合は5.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- ・XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振（AMP_{HS1}, AMP_{HS0} = 1, 0）を選択している場合はご注意ください。
- ・回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- ・XT1発振回路の周辺には、できるかぎりV_{SS}と同電位のグラウンド・パターンを配置してください。
- ・XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- ・回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

図5-14に発振子の接続の悪い例を示します。

図5-14 発振子の接続の悪い例 (1/2)



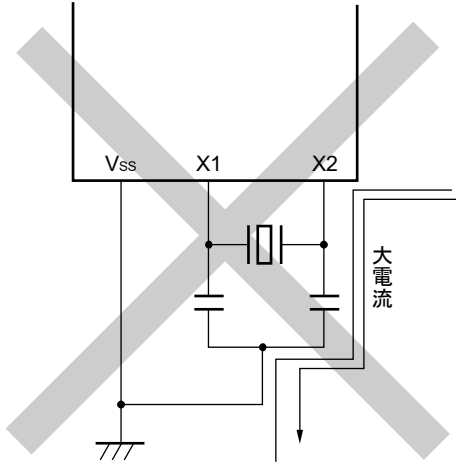
注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

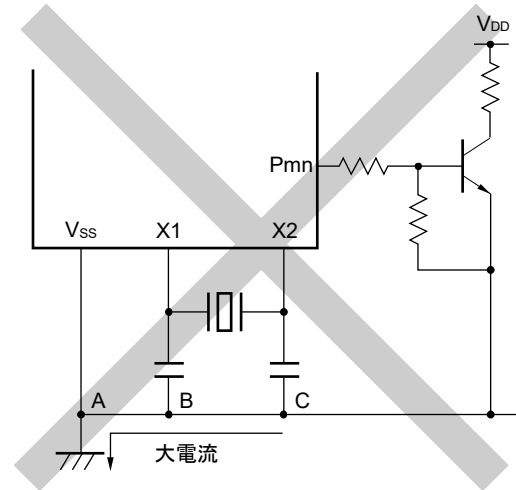
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-14 発振子の接続の悪い例 (2/2)

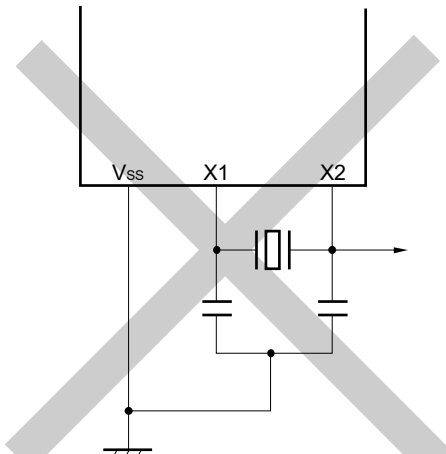
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

5.4.3 高速オンチップ・オシレータ

RL78/I1Bは、高速オンチップ・オシレータを内蔵しています。オプション・バイト (000C2H) により24 MHz, 12 MHz, 6 MHz, 3 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) にて発振を制御できます。リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.4 低速オンチップ・オシレータ

RL78/I1Bは、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマ, リアルタイム・クロック2, 12ビット・インターバル・タイマ, LCDコントローラ/ドライバ, 発振停止検出回路のクロックとして使用します。CPUクロックとして使用できません。

オプション・バイト (000C0H) のビット4 (WDTON) またはサブシステム・クロック供給モード制御レジスタ (OSMC) のビット4 (WUTMMCK0) のどちらか、または両方が1のときに動作します。

ウォッチドッグ・タイマ停止時かつ、WUTMMCK0 = 0以外では、低速オンチップ・オシレータの発振は継続します。ただし、ウォッチドッグ・タイマ動作時でWUTMMCK0 = 0の場合のみ、WDSTBYON = 0かつHALTおよびSTOP, SNOOZEモードの状態では低速オンチップ・オシレータの発振が停止します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速オンチップ・オシレータ・クロックが停止することはありません。

注意 発振停止検出回路を使用する場合は、低速オンチップ・オシレータ・クロックを常時動作させるために、OSMCレジスタのビット4 (WUTMMCK0) を1に設定するか、オプション・バイト (000C0H) のビット4 (WDTON) とビット0 (WDSTBYON) を1に設定する必要があります。

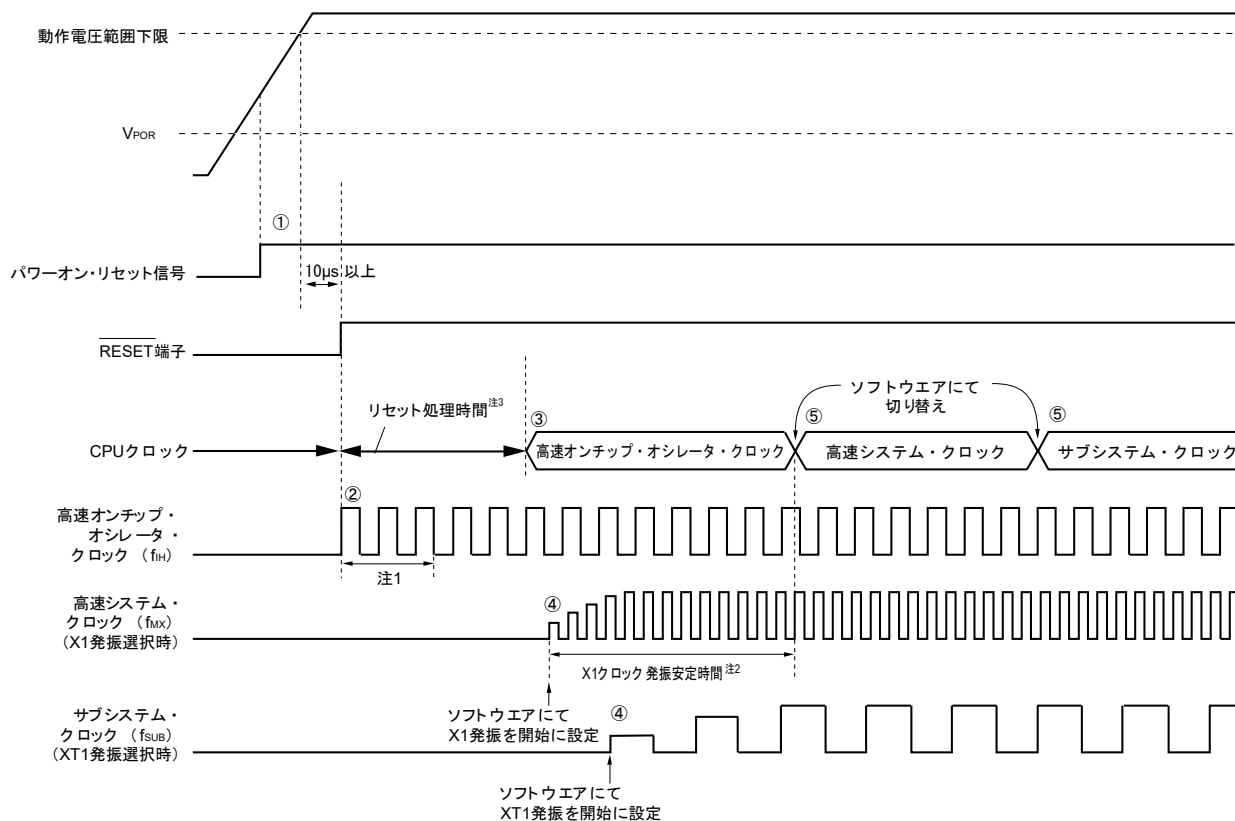
5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5-1を参照）。

- メイン・システム・クロック f_{MAIN}
 - ・高速システム・クロック f_{MX}
 - X1クロック f_x
 - 外部メイン・システム・クロック f_{EX}
 - ・高速オンチップ・オシレータ・クロック f_{IH}
- サブシステム・クロック f_{SUB}
 - ・XT1クロック f_{XT}
 - ・外部サブシステム・クロック f_{EXS}
- 低速オンチップ・オシレータ・クロック f_{IL}
- CPU/周辺ハードウェア・クロック f_{CLK}

RL78/I1Bでは、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。電源電圧投入時のクロック発生回路の動作を、図5-15に示します。

図5-15 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット（POR）回路による内部リセット信号が発生します。
ただし、37.4 AC特性に示す動作電圧範囲に達するまで、電圧検出回路が外部リセットでリセット状態を保ちます（上図は、外部リセット使用時の例）。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください（5.6.2 X1発振回路の設定例、5.6.3 XT1発振回路の設定例を参照）。
- ⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください（5.6.2 X1発振回路の設定例、5.6.3 XT1発振回路の設定例を参照）。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

3. リセット処理時間は、第26章 パワーオン・リセット回路を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) のFRQSEL0-FRQSEL2により、24 MHz, 12 MHz, 6 MHz, 3 MHzから選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 000C2H

オプション・ バイト (000C2H)	7	6	5	4	3	2	1	0
	CMODE1	CMODE0				FRQSEL2	FRQSEL1	FRQSEL0
	0/1	0/1	1	0	0	0/1	0/1	0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
1	0	LS (低速メイン) モード	V _{DD} = 1.9 V ~ 5.5 V @ 6/3 MHz
1	1	HS (高速メイン) モード	V _{DD} = 2.4 V ~ 5.5 V @ 12/6/3 MHz V _{DD} = 2.7 V ~ 5.5 V @ 24/12/6/3 MHz
上記以外		設定禁止	

FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
			f _H
0	0	0	24 MHz
0	0	1	12 MHz
0	1	0	6 MHz
0	1	1	3 MHz
上記以外			設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 設定】

アドレス : F00A8H

HOCODIV	7	6	5	4	3	2	1	0
	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択
0	0	0	f _H = 24 MHz
0	0	1	f _H = 12 MHz
0	1	0	f _H = 6 MHz
0	1	1	f _H = 3 MHz
上記以外			設定禁止

5.6.2 X1発振回路の設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) はリセット解除後、必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMCレジスタのOSCSELビットをセット (1)、f_x>10 MHzの場合はAMPHビットをセット (1) してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	1	0	0	0	0	0	0/1

- ② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。
例) 10 MHzの発振子で102.4 μs以上までウエイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSCレジスタのMSTOPビットをクリア (0) してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	0	1	0	0	0	0	0	0

- ④ OSTCレジスタでX1発振回路の発振安定待ちを行います。
例) 10 MHzの発振子で102.4 μs以上までウエイトする場合は、以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	0	0	1	0	0	0	0

注意1. EXCLKS, OSCSELS, AMPHS1, AMPHS0, XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では値を保持します。

注意2. HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト（000C2H）で設定したフラッシュ動作モードの動作可能な電圧の範囲内で行ってください。

オプション・バイト(000C2H) の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	0	LS(低速メイン)モード	6/3 MHz	1.9 V~5.5 V
1	1	HS(高速メイン)モード	12/6/3 MHz	2.4 V~5.5 V
			24/12/6/3 MHz	2.7 V~5.5 V
上記以外		設定禁止		

5.6.3 XT1発振回路の設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) はリセット解除後、必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1発振クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) でXT1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時にリアルタイム・クロック 2, 12ビット・インターバル・タイマ, LCDコントローラ/ドライバ, 8ビット・インターバル・タイマ, 発振停止検出回路のみサブシステム・クロックで動作 (超低消費電流) させる場合はRTCLPCビットを1に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

- ② CMCレジスタのOSCSELSビットをセット (1) してXT1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1ビット : XT1発振回路の発振モードを設定します。

- ③ CSCレジスタのXTSTOPビットをクリア (0) してXT1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	0	HIOSTOP 0

- ④ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウエイトしてください。

- ⑤ CKCレジスタのCSSビットでXT1発振クロックをCPU/周辺ハードウェア・クロックに設定します。

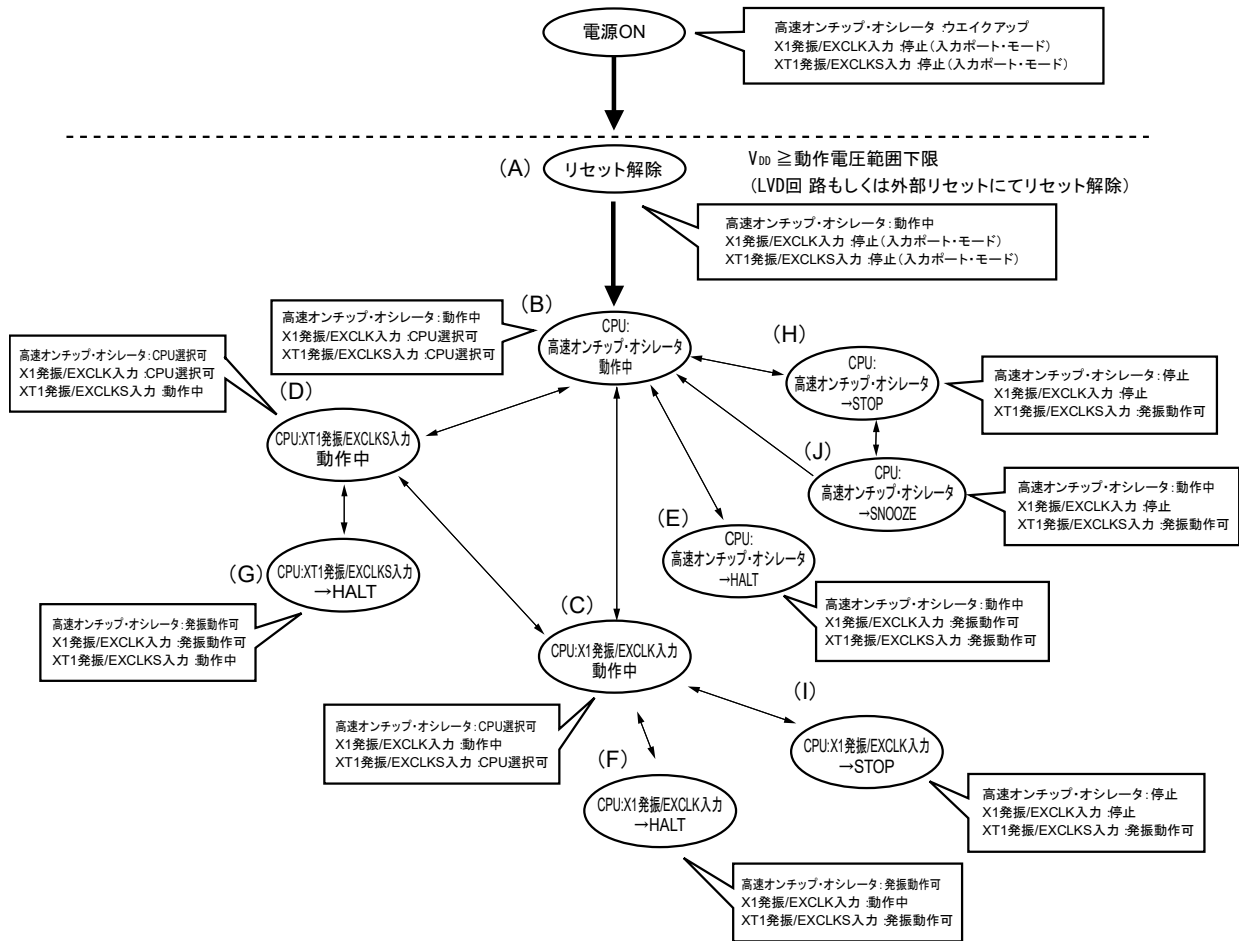
	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	0	0

注意 EXCLKS, OSCSELS, AMPHS1, AMPHS0, XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

5.6.4 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5-16に示します。

図5-16 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5-3に示します。

表5-3 CPUクロックの移行とSFRレジスタの設定例 (1/5)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH	MSTOP	MCM0					
(A) → (B) → (C) (X1クロック : 1 MHz ≤ f _x ≤ 10 MHz)	0	1	0	注2	0	確認必要	1			
(A) → (B) → (C) (X1クロック : 10 MHz < f _x ≤ 20 MHz)	0	1	1	注2	0	確認必要	1			
(A) → (B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1			

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

2. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。

- ・ 期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第37章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ				CMCレジスタ ^注				CSC レジスタ	発振安 定待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP	CSS					
(A) → (B) → (D) (XT1クロック)	0	1	0/1	0/1	0	必要	1				
(A) → (B) → (D) (外部サブシステム・クロック)	1	1	×	×	0	必要	1				

注 クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考1. × : don't care

2. 表5-3の (A)-(J) は、図5-16の(A)-(J) と対応しています。

表5-3 CPUクロックの移行とSFRレジスタの設定例 (2/5)

(4) CPUを高速オンチップ・オシレータ・クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) ▶

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH	EXCLK	OSCSEL	AMPH				
(B) → (C) (X1クロック : 1 MHz ≤ f _x ≤ 10 MHz)	0	1	0				注2	0	確認必要	1
(B) → (C) (X1クロック : 10 MHz < f _x ≤ 20 MHz)	0	1	1				注2	0	確認必要	1
(B) → (C) (外部メイン・クロック)	1	1	×				注2	0	確認不要	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

2. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。
 - ・期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第37章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

(5) CPUを高速オンチップ・オシレータ・クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) ▶

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ ^注			CSCレジスタ	発振安定 待ち	CKCレジスタ
	EXCLKS	OSCSELS	AMPHS1,0	EXCLKS	OSCSELS	AMPHS1,0			
(B) → (D) (XT1クロック)	0	1	00: 低消費発振 01: 通常発振 10: 超低消費発振				0	必要	1
(B) → (D) (外部サブ・クロック)	1	1	×				0	必要	1

設定済みの場合は不要
 サブシステム・クロック動作中の場合は不要

注 クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

設定済みの場合は不要です。

備考1. × : don't care

2. 表5-3の (A) - (J) は、図5-16の(A) - (J) と対応しています。

表5-3 CPUクロックの移行とSFRレジスタの設定例 (3/5)

(6) CPUを高速システム・クロック動作 (C) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序) ▶

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C) → (B)		0	18 μs~65 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

(7) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) ▶

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振安定待ち	CKCレジスタ
		XTSTOP		CSS
(C) → (D)		0	必要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作 (D) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序) ▶

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		CSS
(D) → (B)		0	18 μs~65 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考1. 表5-3の (A)-(J) は、図5-16の(A)-(J) と対応しています。

2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

表5-3 CPUクロックの移行とSFRレジスタの設定例 (4/5)

(9) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 状態遷移	OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
		MSTOP		CSS
(D) → (C) (X1クロック : 1 MHz ≤ fx ≤ 10 MHz)	注	0	確認必要	0
(D) → (C) (X1クロック : 10 MHz < fx ≤ 20 MHz)	注	0	確認必要	0
(D) → (C) (外部メイン・クロック)	注	0	確認不要	0

高速システム・クロック
動作中の場合は不要

注 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第37章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

- (10) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にHALTモード (E) へ移行
 ・CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
 ・CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行

状態遷移	設定内容
(B) → (E) (C) → (F) (D) → (G)	HALT命令を実行する

備考 表5-3の (A) - (J) は、図5-16の(A) - (J) と対応しています。

表5-3 CPUクロックの移行とSFRレジスタの設定例 (5/5)

- (11) ・ CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード (H) へ移行
 ・ CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移		設定内容		
(B) → (H)		STOPモード中に動作禁止の周辺機能を停止する	—	STOP命令を実行する
(C) → (I)	X1発振		OSTSレジスタを設定する	
	外部クロック		—	

- (12) ・ STOPモード (H) からSNOOZEモード (J) へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、14.8 SNOOZEモード機能、18.5.7 SNOOZEモード機能、18.6.3 SNOOZEモード機能を参照してください。

備考 表5-3の (A) - (J) は、図5-16の(A) - (J) と対応しています。

5.6.5 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-4 CPUクロックの移行について (1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止 (HIOSTOP = 1)すると、動作電流を低減可能。
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能 (MSTOP = 1)。
	外部メイン・システム・クロック	移行不可	
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能(MSTOP = 1)。
	X1クロック	移行不可	
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	

表5-4 CPUクロックの移行について (2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、XT1発振停止に設定可能(XTSTOP = 1)。
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	外部サブシステム・クロック	移行不可	—
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)。
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	XT1クロック	移行不可	—

5.6.6 CPUクロックの切り替えとシステム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット4, 6（MCM0, CSS）の設定により、CPUクロックの切り替え（メイン・システム・クロック⇄サブシステム・クロック）、メイン・システム・クロックの切り替え（高速オンチップ・オシレータ・クロック⇄高速システム・クロック）をすることができます。

実際の切り替え動作は、CKCレジスタを書き換えた直後ではなく、CKCレジスタを変更したのち、数クロックは切り替え前のクロックで動作します（表5-5～表5-7参照）。

CPUクロックがメイン・システム・クロックで動作しているか、サブシステム・クロックで動作しているかは、CKCレジスタのビット7（CLS）で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか、高速オンチップ・オシレータ・クロックで動作しているかは、CKCレジスタのビット5（MCS）で判定できます。

CPUクロックを切り替えると、周辺ハードウェア・クロックも同時に切り替わります。

表5-5 システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f _{IH}	←→	f _{MX}	表5-6参照
f _{MAIN}	←→	f _{SUB}	表5-7参照

表5-6 f_{IH} ↔ f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} ≥ f _{IH}		2クロック
	f _{MX} < f _{IH}		2f _{IH} /f _{MX} クロック
1 (f _{MAIN} = f _{MX})	f _{MX} ≥ f _{IH}	2f _{MX} /f _{IH} クロック	
	f _{MX} < f _{IH}	2クロック	

表5-7 f_{MAIN} ↔ f_{SUB}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
CSS		CSS	
		0 (f _{CLK} = f _{MAIN})	1 (f _{CLK} = f _{SUB})
0 (f _{CLK} = f _{MAIN})			1 + 2f _{MAIN} /f _{SUB} クロック
1 (f _{CLK} = f _{SUB})		3クロック	

備考1. 表5-6、表5-7のクロック数は、切り替え前のCPUクロックのクロック数です。

2. 表5-6、表5-7のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに切り替える場合（f_{IH} = 6 MHz選択, f_{MX} = 10 MHz発振時）
 $2f_{MX}/f_{IH} = 2(10/6) = 3.3 \rightarrow 4$ クロック

5.6.7 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。
クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0またはCLS = 1	MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速システム・クロック以外で動作)	
XT1クロック	CLS = 0	XTSTOP = 1
外部サブシステム・クロック	(CPUクロックがサブシステム・クロック以外で動作)	

5.7 発振子と発振回路定数

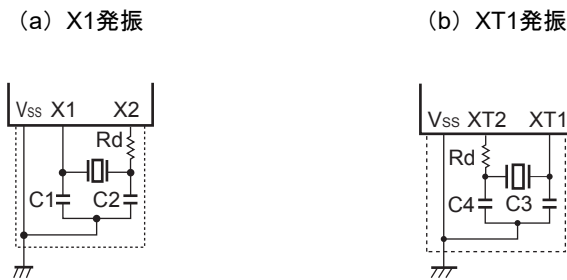
動作確認済みの発振子と、その発振回路定数（参考）を示します。

注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。

2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図5-17 外付け発振回路例



(1) X1発振

2014年3月現在 (1/2)

メーカー	発振子	品名	SMD/ リード	周波数 (MHz)	フラッシュ 動作 モード ^{注1}	発振回路定数 ^{注2} (参考)			電圧範囲 (V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
株式会社 村田製作所 ^{注3}	セラミック 発振子	CSTCC2M00G56-R0	SMD	2.0	LS	(47)	(47)	0	1.9	5.5
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSTCR4M19G55-R0	SMD	4.194		(39)	(39)	0		
		CSTLS4M19G53-B0	リード			(15)	(15)	0		
		CSTCR4M91G53-R0	SMD	4.915		(15)	(15)	0		
		CSTLS4M91G53-B0	リード			(15)	(15)	0		
		CSTCR5M00G53-R0	SMD	5.0		(15)	(15)	0		
		CSTLS5M00G53-B0	リード			(15)	(15)	0		
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0		
		CSTLS6M00G53-B0	リード			(15)	(15)	0		
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	リード		(15)	(15)	0			
		CSTCE8M38G52-R0	SMD	8.388	HS	(10)	(10)	0	2.4	5.5
		CSTLS8M38G53-B0	リード			(15)	(15)	0		
		CSTCE10M0G52-R0	SMD	10.0	10.0	(10)	(10)	0		
		CSTLS10M0G53-B0	リード			(15)	(15)	0		
		CSTCE12M0G52-R0	SMD	12.0	12.0	(10)	(10)	0		
CSTCE16M0V53-R0	SMD	16.0	(15)	(15)		0				
CSTLS16M0X51-B0	リード		16.0	(5)	(5)	0				
CSTCE20M0V51-R0	SMD	20.0		(5)	(5)	0				
CSTLS20M0X51-B0	リード		20.0	(5)	(5)	0	2.7	5.5		

注1. フラッシュ動作モードは、オプション・バイト (000C2H) のCMODE1, CMODE0ビットで設定します。

2. C1, C2の欄の () 内は、内蔵容量値を示しています。

3. この振動子を使用する場合、マッチングの詳細については、株式会社村田製作所 (<http://www.murata.co.jp>) にお問い合わせください。

備考 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 24\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$

LS (低速メイン) モード : $1.9\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 8\text{ MHz}$

2014年3月現在 (2/2)

メーカー	発振子	品名 ^{注2}	SMD/ リード	周波数 (MHz)	フラッシュ 動作 モード ^{注1}	発振回路定数 (参考)			電圧範囲 (V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
日本電波工業 株式会社	水晶 振動子	NX8045GB ^{注3}	SMD	8.0	注3					
		NX5032GA ^{注3}	SMD	16.0						
		NX3225HA ^{注3}	SMD	20.0						
京セラクリスタル デバイス株式会社	水晶 振動子	CX8045GB04000D0PPTZ1 ^{注4}	SMD	4.0	LS	12	12	0	1.9	5.5
		CX8045GB04915D0PPTZ1 ^{注4}	SMD	4.915	LS	12	12	0	1.9	5.5
		CX8045GB08000D0PPTZ1 ^{注4}	SMD	8.0		12	12	0		
		CX8045GB10000D0PPTZ1 ^{注4}	SMD	10.0	HS	12	12	0	2.4	5.5
		CX3225GB12000B0PPTZ1 ^{注4}	SMD	12.0		5	5	0		
		CX3225GB16000B0PPTZ1 ^{注4}	SMD	16.0		5	5	0		
		CX3225SB20000B0PPTZ1 ^{注4}	SMD	20.0		5	5	0	2.7	5.5
リバーエレテック 株式会社	水晶 振動子	FCX-03 - 8.000MHZ - J21140 ^{注5}	SMD	8.0	HS	3	3	0	2.4	5.5
		FCX-04C - 10.000MHZ - J21139 ^{注5}	SMD	10.0		4	4	0		
		FCX-05 - 12.000MHZ - J21138 ^{注5}	SMD	12.0		6	6	0		
		FCX-06 - 16.000MHZ - J21137 ^{注5}	SMD	16.0		4	4	0		

注1. フラッシュ動作モードは、オプション・バイト (000C2H) のCMODE1, CMODE0ビットで設定します。

2. この振動子は85°Cまで対応しています。

3. この振動子を使用する場合、マッチングの詳細については、日本電波工業株式会社 (<http://www.ndk.com>)
にお問い合わせください。

4. この振動子を使用する場合、マッチングの詳細については、京セラクリスタルデバイス株式会社
(<http://www.kyocera-crystal.jp>, <http://www.kyocera.co.jp>)
にお問い合わせください。

5. この振動子を使用する場合、マッチングの詳細については、リバーエレテック株式会社
(<http://www.river-ele.co.jp>)
にお問い合わせください。

備考 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~24 MHz

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~16 MHz

LS (低速メイン) モード : $1.9\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~8 MHz

(2) XT1発振（水晶振動子）

2014年3月現在

メーカー	品名 ^{注2}	SMD/ リード	周波数 (kHz)	負荷容量 CL (pF)	XT1発振 モード ^{注1}	発振回路定数 (参考)			電圧範囲 (V)		
						C3 (pF)	C4 (pF)	Rd (kΩ)	MIN.	MAX.	
セイコーインスツル 株式会社	SSP-T7-F ^{注3}	SMD	32.768	7	通常発振	11	11	0	1.9	5.5	
				6		9	9	0			
				6		低消費発振	9	9			0
				4.4			6	5			0
				4.4			6	5			0
	3.7	超低消費発振	4	4	0						
	VT-200-FL ^{注3}	リード	6	通常発振	9	9	0				
			6	低消費発振	9	9	0				
			4.4	超低消費発振	6	5	0				
			4.4		6	5	0				
3.7			4		4	0					
日本電波工業 株式会社	NX3215SA ^{注4}	SMD	32.768	6	通常発振	7	7	0	1.9	5.5	
				6	低消費発振	7	7	0			
					超低消費発振						
	NX2012SA ^{注4}	SMD	32.768	6	通常発振	7	7	0			
					低消費発振	7	7	0			
					超低消費発振						
京セラクリスタル デバイス株式会社	ST3215SB ^{注5}	SMD	32.768	7	通常発振	10	10	0	1.9	5.5	
				7	低消費発振	10	10	0			
					超低消費発振						
リバーエレテック 株式会社	TFX-02 - 32.768KHZ - J20986 ^{注6}	SMD	32.768	9	通常発振	12	10	0	1.9	5.5	
					低消費発振						
	TFX-03 - 32.768KHZ - J13375 ^{注6}	SMD	32.768	7	通常発振	12	10	0			

- 注 1. XT1発振モードは、クロック動作モード制御レジスタ（CMC）のAMPHS0, AMPHS1ビットで設定します。
2. この振動子は85°Cまで対応しています。
3. この振動子は、低消費電力用製品です。使用する場合、マッチングの詳細については、セイコーインスツル株式会社（<http://www.sii-crystal.com>）にお問い合わせください。
4. この振動子を使用する場合、マッチングの詳細については、日本電波工業株式会社（<http://www.ndk.com/>）にお問い合わせください。
5. この振動子を使用する場合、マッチングの詳細については、京セラクリスタルデバイス株式会社（<http://www.kyocera-crystal.jp>, <http://www.kyocera.co.jp>）にお問い合わせください。
6. この振動子を使用する場合、マッチングの詳細については、リバーエレテック株式会社（<http://www.river-ele.co.jp>）にお問い合わせください。

第6章 高速オンチップ・オシレータ・クロック周波数補正機能

6.1 高速オンチップ・オシレータ・クロック周波数補正機能

サブシステム・クロック f_{SUB} (32.768 kHz) を基準として、高速オンチップ・オシレータの周波数を測定し、リアルタイムに高速オンチップ・オシレータ・クロック (f_{IH}) の周波数精度補正を行います。

表6-1に高速オンチップ・オシレータ・クロック周波数補正機能の動作仕様を、図6-1に高速オンチップ・オシレータ・クロック周波数補正機能のブロック図を示します。

表6-1 高速オンチップ・オシレータ・クロック周波数補正機能の動作仕様

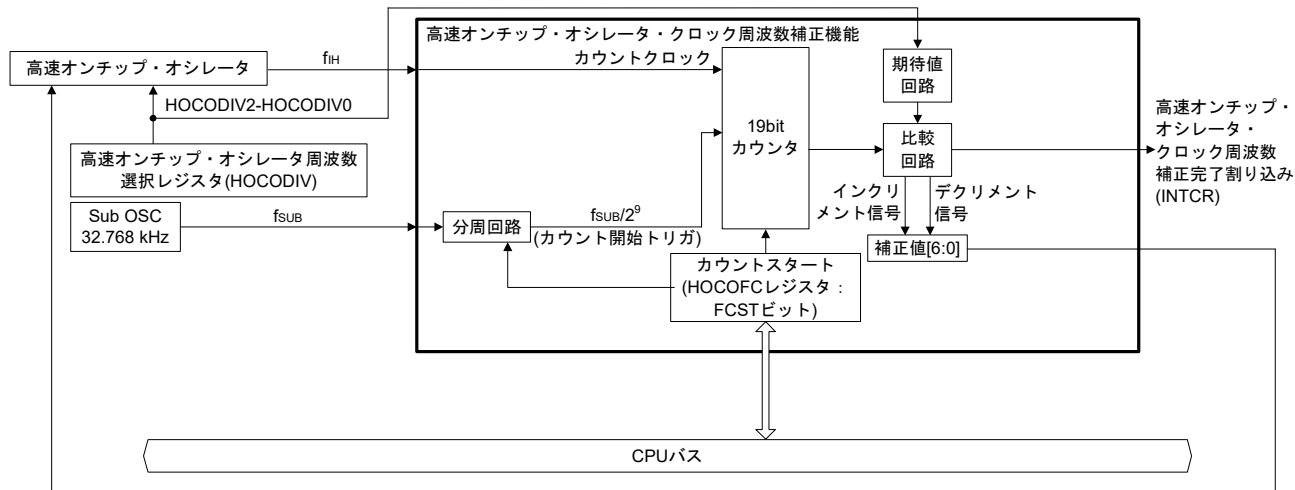
項目	内容
基準クロック	・ $f_{SUB}/2^9$ (サブシステム・クロック32.768 kHz)
補正対象クロック	・ f_{IH} (高速オンチップ・オシレータ・クロック)
動作モード	・連続動作モード 常時高速オンチップ・オシレータ・クロック周波数補正を行うモード ・間欠動作モード タイマ割り込み等を使い、間欠的に高速オンチップ・オシレータ・クロック周波数補正を行うモード
クロック精度調整機能	・補正時間：補正周期 (31.2ms) × (補正回数 - 0.5) 注
割り込み	・高速オンチップ・オシレータ・クロック周波数補正完了したとき出力 (割り込み出力許可時)

注 補正時間：補正回数により変化します。

補正周期：周波数測定フェーズと周波数補正フェーズの合計時間です。

補正回数：周波数が期待値範囲内に収まるまで、繰り返した補正周期の回数になります。

図6-1 高速オンチップ・オシレータ・クロック周波数補正機能のブロック図



注意1. 高速オンチップ・オシレータ・クロック周波数補正機能を使用するには、サブシステム・クロックが必要
 要です。XT1, XT2にサブクロック振動子を接続してください。

2. 24ビット $\Delta\Sigma$ 型A/Dコンバータを使用する際に、動作クロックに高速オンチップ・オシレータを選択する
 場合は、必要に応じて本機能を使用してください。

6.2 レジスタ説明

表6-2に高速オンチップ・オシレータ・クロック周波数補正機能で使用するレジスタ一覧を示します。

表6-2 高速オンチップ・オシレータ・クロック周波数補正機能レジスタ一覧

項目	構成
制御レジスタ	高速オンチップ・オシレータ・クロック周波数補正制御レジスタ (HOCOFC)

6.2.1 高速オンチップ・オシレータ・クロック周波数補正制御レジスタ (HOCOFC)

高速オンチップ・オシレータ・クロック周波数補正機能を制御するレジスタです。

HOCOFCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-2 高速オンチップ・オシレータ・クロック周波数補正制御レジスタ (HOCOFC) のフォーマット

アドレス: F02D8H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
HOCOFC	FCMD	FCIE	0	0	0	0	0	FCST

FCMD ^{注1}	高速オンチップ・オシレータ・クロック周波数補正機能動作モード
0	連続動作モード
1	間欠動作モード

FCIE	高速オンチップ・オシレータ・クロック周波数補正完了割り込み制御
0	高速オンチップ・オシレータ・クロック周波数補正完了後に割り込みを発生しない
1	高速オンチップ・オシレータ・クロック周波数補正完了後に割り込みを発生する

FCST ^{注2}	高速オンチップ・オシレータ・クロック周波数補正回路動作制御/ステータス
0	高速オンチップ・オシレータ・クロック周波数補正回路動作停止/停止中
1	高速オンチップ・オシレータ・クロック周波数補正回路動作開始/動作中

連続動作モード時は、ソフトウェアで0を書くと停止します。
 間欠動作モード時は、補正が完了後、FCSTビットはハードウェアクリアされます。

注1. FCSTビットが1の時には、FCMDビットを書き換えないでください。

- FCSTビットに1を書き込む場合は、FCSTビットが0である事を確認してからFCSTビットに1を書き込んでください。ただし、間欠動作完了直後（高速オンチップ・オシレータ・クロック周波数補正完了割り込み発生時）にFCSTビットに1を書き込む場合は、ハードウェアクリアを優先するため、高速オンチップ・オシレータ・クロック周波数補正完了割り込み発生からf_{ih}が1サイクル以上経過後に行ってください。

FCSTビットに0を書き込み（高速オンチップ・オシレータ・クロック周波数補正回路動作停止）後、f_{ih}で2サイクル以内にFCSTビットに1（高速オンチップ・オシレータ・クロック周波数補正回路動作開始）を書き込まないでください。

注意 ビット5-1には必ず0を設定してください。

6.3 動作説明

6.3.1 動作概要

高速オンチップ・オシレータ・クロック周波数補正は、サブシステム・クロック (f_{SUB}) を基準として補正周期が生成され、高速オンチップ・オシレータの周波数を測定し、リアルタイムに高速オンチップ・オシレータ・クロック周波数精度補正を行います。クロック調整は、周波数測定フェーズと周波数補正フェーズの動作を繰り返します。周波数測定フェーズでは補正演算、周波数補正フェーズでは補正演算結果を反映した補正值出力を保持します。

表6-3に高速オンチップ・オシレータ入力周波数と補正周期を、図6-3に高速オンチップ・オシレータ・クロック周波数補正動作タイミング（詳細）を示します。

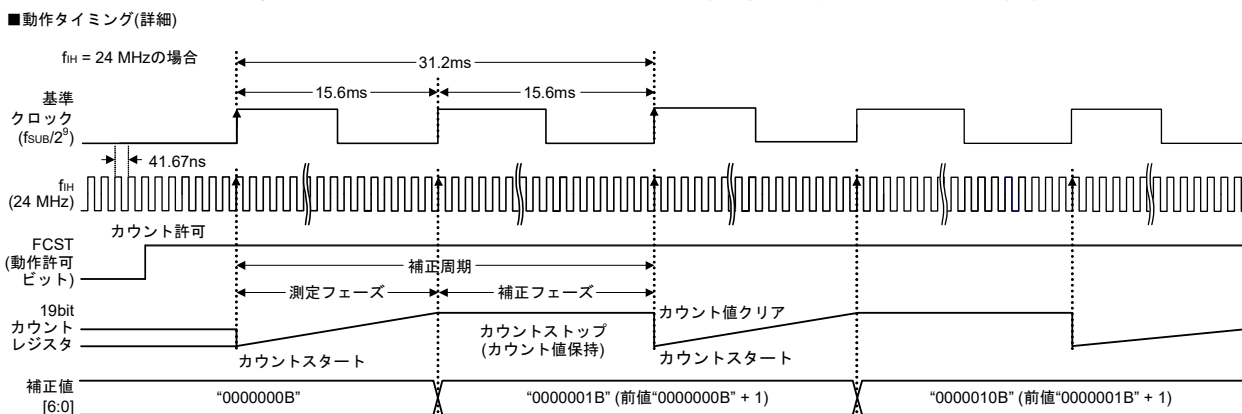
表6-3 高速オンチップ・オシレータ入力周波数と補正周期

f_{IH} (MHz)	HOCODIV2-HOCODIV0 ^注 (HOCODIVレジスタ)	補正周期 (ms)
24	000	31.2 (周波数測定フェーズ + 周波数補正フェーズ)
12	001	
6	010	
3	011	
上記以外	設定禁止	

注 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) を変更する場合は、必ず高速オンチップ・オシレータ・クロック周波数補正機能未使用時に行ってください。

補正周期の周波数測定フェーズ期間を高速オンチップ・オシレータ・クロックでカウントし、カウント結果と期待値との大小により高速オンチップ・オシレータの周波数を補正します。

図6-3 高速オンチップ・オシレータ・クロック周波数補正動作タイミング（詳細）



備考 連続動作モードも間欠動作モードも基本動作は同じです。違いはFCSTビットのクリアがソフトウェア制御かハードウェア制御の違いのみです。また、システムリセットがかかるまでは、補正值はクリアされません。

(1) 連続動作モード

連続動作モードは、常時高速オンチップ・オシレータ・クロック周波数補正を行うモードです。HOCOFCレジスタのFCMDビットを“0”に設定することで連続動作モードになります。

HOCOFCレジスタのFCSTビットに“1”を設定することで高速オンチップ・オシレータ・クロック周波数補正動作を開始します。同様にFCSTビットに“0”を設定することで高速オンチップ・オシレータ・クロック周波数補正動作が停止します。

高速オンチップ・オシレータ・クロック周波数補正動作を開始すると、基準クロック ($f_{SUB}/2^9$) の立ち上りで周波数カウントを開始し、次の基準クロック ($f_{SUB}/2^9$) の立ち上りでカウントを停止します。(周波数測定フェーズ)

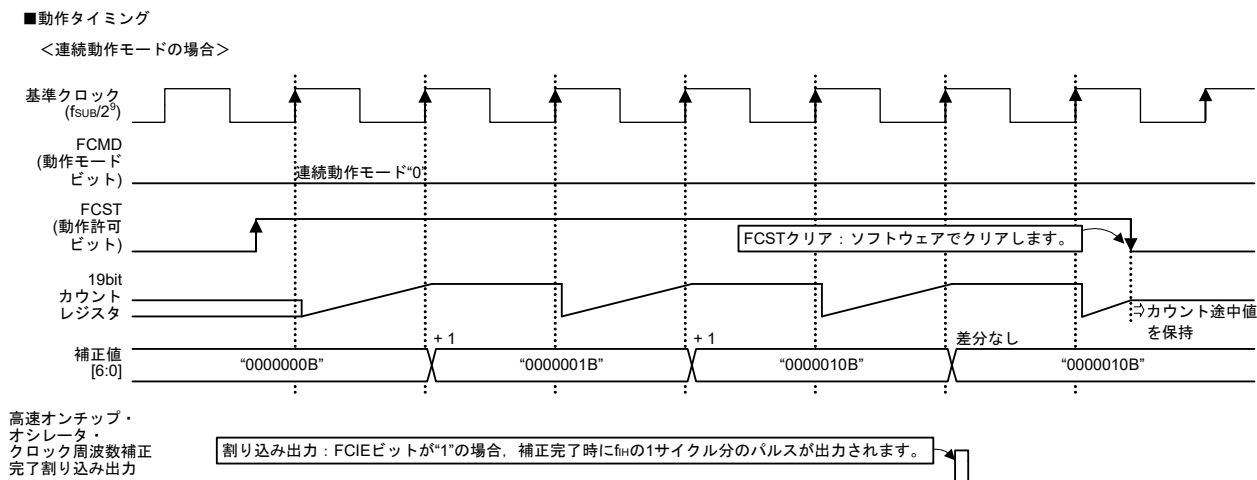
次に、カウント値と期待値を比較し、補正值を以下の通り調整します。(周波数補正フェーズ)

- ・ カウント値が期待値よりも大きい場合：補正值 -1
- ・ カウント値が期待値よりも小さい場合：補正值 +1
- ・ カウント値が期待値の範囲内の場合：補正值保持 (高速オンチップ・オシレータ・クロック周波数補正完了)

HOCOFCレジスタのFCIEビットを“1”に設定している場合は、高速オンチップ・オシレータ・クロック周波数補正完了ごとに高速オンチップ・オシレータ・クロック周波数補正完了割り込みを出力します。連続動作モードでは、高速オンチップ・オシレータ・クロック周波数補正機能が停止するまで周波数測定フェーズと周波数補正フェーズを繰り返します。

図6-4に連続動作モードタイミングを示します。

図6-4 連続動作モードタイミング



(2) 間欠動作モード

間欠動作モードは、タイマ割り込み等を使い、間欠的に高速オンチップ・オシレータ・クロック周波数補正を行うモードです。HOCOFCレジスタのFCMDビットを“1”に設定することで間欠動作モードになります。

HOCOFCレジスタのFCSTビットに“1”を設定することで高速オンチップ・オシレータ・クロック周波数補正動作を開始します。

高速オンチップ・オシレータ・クロック周波数補正動作を開始すると、基準クロック ($f_{SUB}/2^9$) の立ち上りで周波数カウントを開始し、次の基準クロック ($f_{SUB}/2^9$) の立ち上りでカウントを停止します。(周波数測定フェーズ)

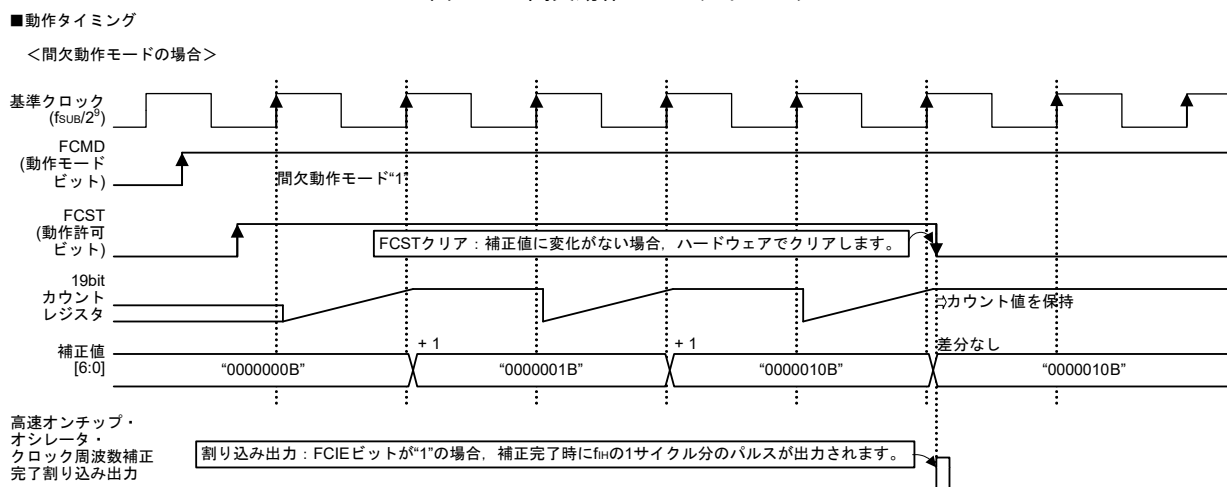
次にカウント値と期待値を比較し、補正值を以下の通り調整します。(周波数補正フェーズ)

- ・ カウント値が期待値よりも大きい場合：補正值 -1
- ・ カウント値が期待値よりも小さい場合：補正值 +1
- ・ カウント値が期待値の範囲内の場合：補正值保持+FCSTビットをクリア(高速オンチップ・オシレータ・クロック周波数補正完了)

HOCOFCレジスタのFCIEビットを“1”に設定している場合は、高速オンチップ・オシレータ・クロック周波数補正完了時に高速オンチップ・オシレータ・クロック周波数補正完了割り込みを出力します。間欠動作モードでは周波数測定フェーズと周波数補正フェーズを繰り返し、高速オンチップ・オシレータ・クロック周波数補正完了後に高速オンチップ・オシレータ・クロック周波数補正動作が停止します。

図6-5に間欠動作モードタイミングを示します。

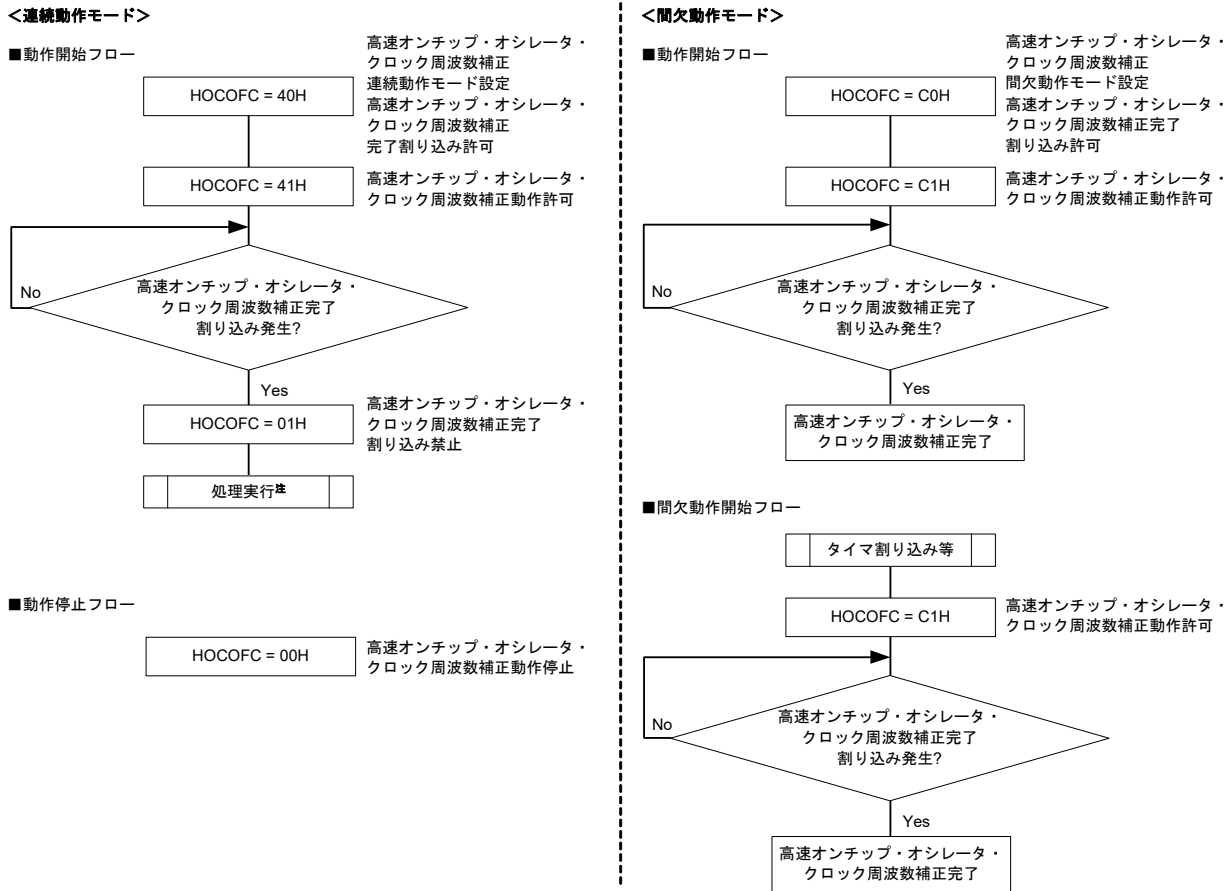
図6-5 間欠動作モードタイミング



6.3.2 動作手順

高速オンチップ・オシレータ・クロック周波数補正機能使用時の動作開始・停止のフローを以下に示します。

図6-6 動作モード設定手順例



注 高速オンチップ・オシレータ・クロック周波数補正動作は、高速オンチップ・オシレータ・クロック周波数補正機能が停止するまで繰り返されます。

6.4 使用上の注意事項

6.4.1 SFRアクセス

間欠動作モード時のFCSTビット制御について、FCSTに“1”を書き込む際はFCSTビットが“0”であることを確認してからFCSTビットに“1”を書き込んでください。ただし、間欠動作完了直後（割り込み発生時）にFCSTビットに“1”を書き込む場合は、ハードウェアクリアを優先するため、高速オンチップ・オシレータ・クロック周波数補正完了割り込み発生からf_{IH}が1サイクル以上経過後に行ってください。

6.4.2 スタンバイ時動作

STOP命令実行前に、必ず高速オンチップ・オシレータ・クロック周波数補正動作を停止させてください。

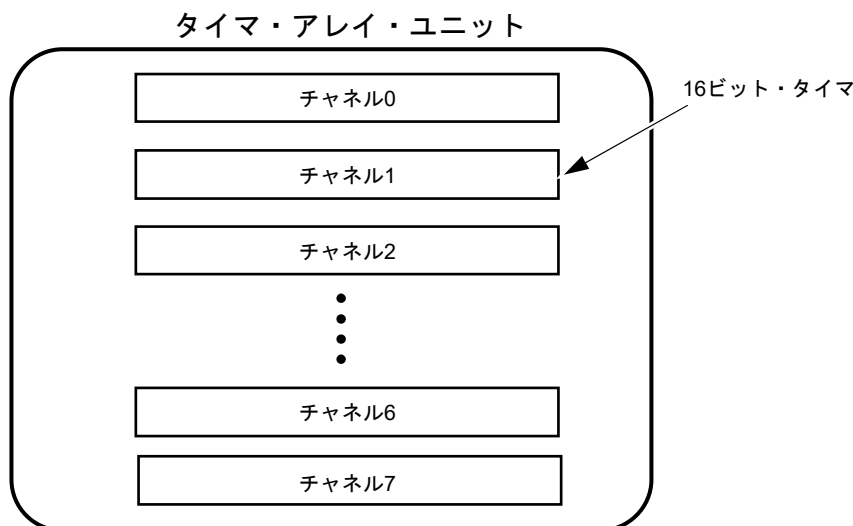
6.4.3 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）の変更について

高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）を変更する場合は、必ず高速オンチップ・オシレータ・クロック周波数補正機能未使用時に行ってください。

第7章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせるとして高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> ・ インターバル・タイマ (→7. 8. 1参照) ・ 方形波出力 (→7. 8. 1参照) ・ 外部イベント・カウンタ (→7. 8. 2参照) ・ 入力パルス間隔測定 (→7. 8. 3参照) ・ 入力信号のハイ/ロウ・レベル幅測定 (→7. 8. 4参照) ・ ディレイ・カウンタ (→7. 8. 5参照) 	<ul style="list-style-type: none"> ・ ワンショット・パルス出力 (→7. 9. 1参照) ・ PWM出力 (→7. 9. 2参照) ・ 多重PWM出力 (→7. 9. 3参照)

チャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ（上位/下位）として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- ・ インターバル・タイマ（上位/下位8ビット・タイマ）/方形波出力（下位8ビット・タイマのみ）
- ・ 外部イベント・カウンタ（下位8ビット・タイマのみ）
- ・ ディレイ・カウンタ（下位8ビット・タイマのみ）

また、チャンネル7は、シリアル・アレイ・ユニットのUART0と連携し、LIN-bus通信動作を実現することができます。

7.1 タイマ・アレイ・ユニットの機能

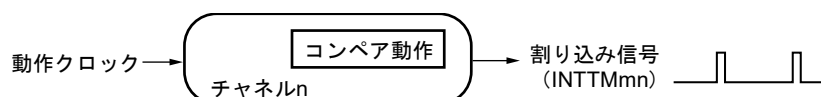
タイマ・アレイ・ユニットには、次のような機能があります。

7.1.1 単独チャンネル動作機能

単独チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

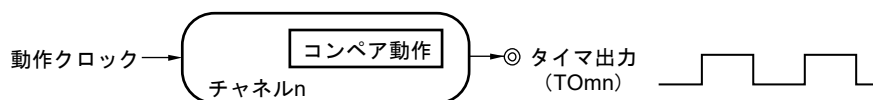
(1) インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。



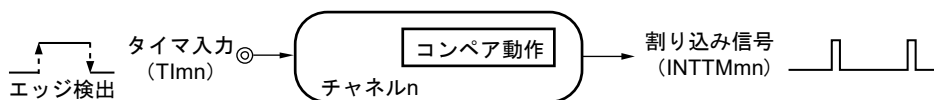
(2) 方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子（TOMn）より出力します。



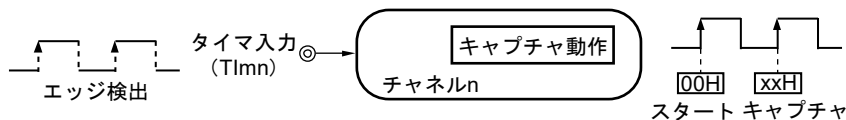
(3) 外部イベント・カウンタ

タイマ入力端子（TIMn）に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



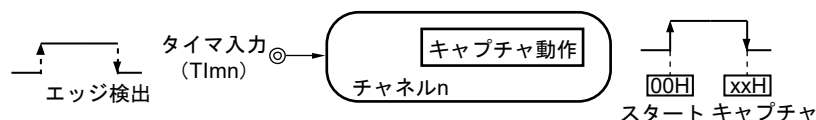
(4) 入力パルス間隔測定

タイマ入力端子（TIMn）に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



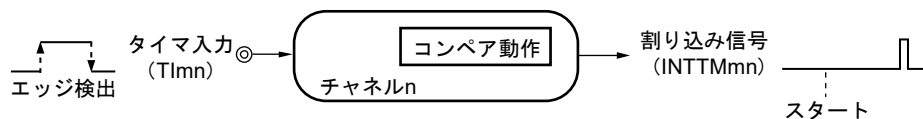
(5) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子（TIMn）に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(6) デイレイ・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

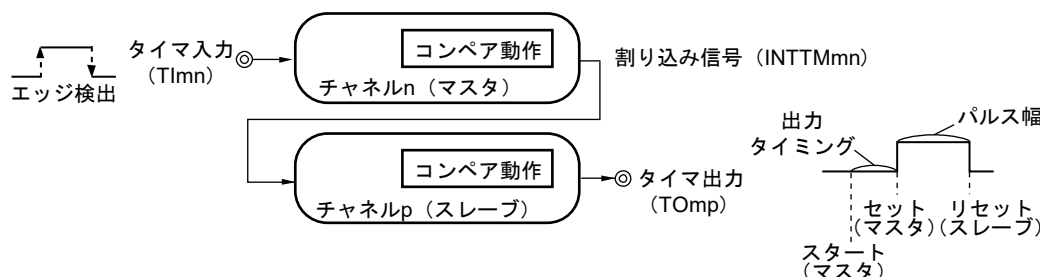
7.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期を制御する基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせる機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

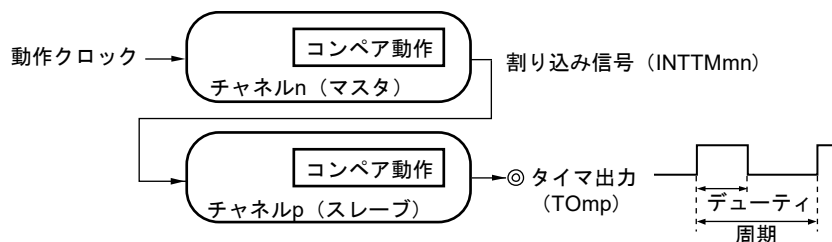
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



(2) PWM (Pulse Width Modulation) 出力

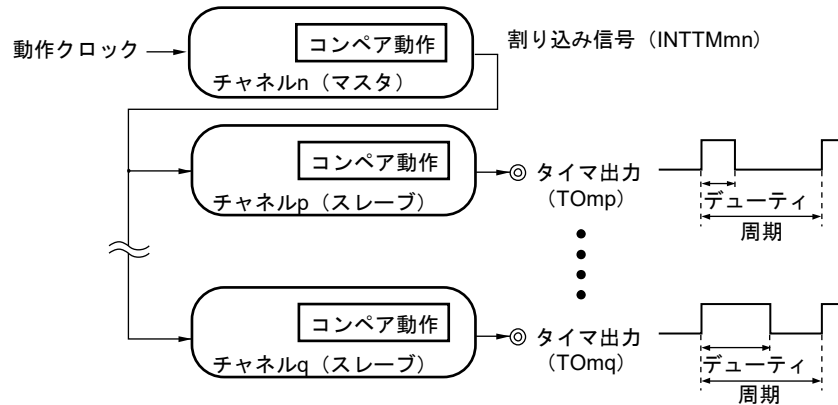
2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(注意、備考は次ページにあります。)

(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大7種類生成することができます。



注意 複数チャンネル連動動作機能のルールについては、7.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m: ユニット番号 (m=0), n: チャンネル番号 (n=0-7),
p, q: スレーブ・チャンネル番号 (n<p<q≤7)

7.1.3 8ビット・タイマ動作機能 (チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、7.4.2 8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ) を参照してください。

7.1.4 LIN-bus対応機能（チャンネル7のみ）

LIN-bus通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出

UART0のシリアル・データ入力端子（RxD0）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出

ウェイクアップ信号検出後、UART0のシリアル・データ入力端子（RxD0）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後、UART0のシリアル・データ入力端子（RxD0）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボーレートを出算します。

備考 LIN-bus対応機能の動作設定については、7.3.13 入力切り替え制御レジスタ（ISC）、7.8.4 入力信号のハイ／ロウ・レベル幅測定としての動作を参照してください。

7.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

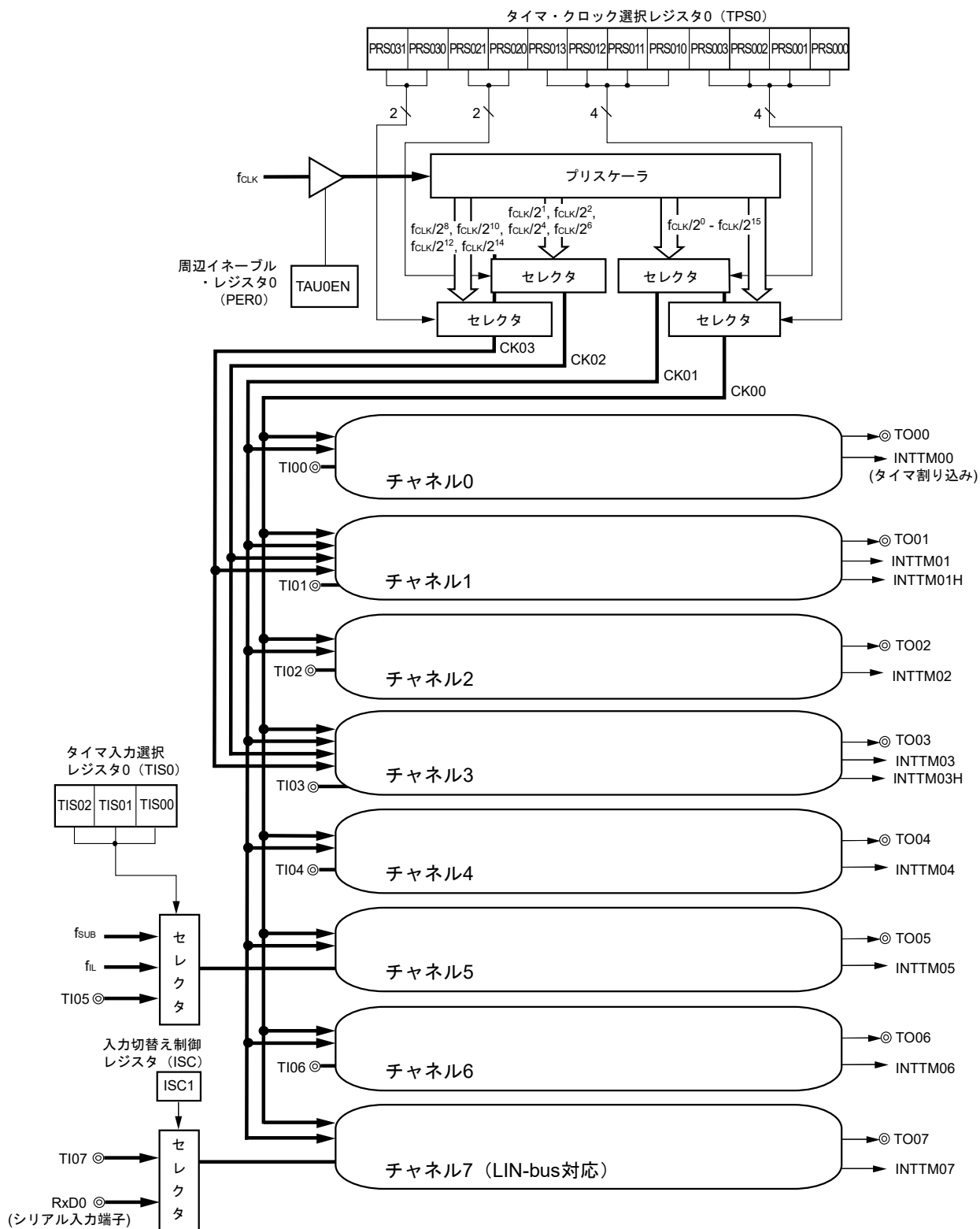
表7-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタ mn (TCR mn)
レジスタ	タイマ・データ・レジスタ mn (TDR mn)
タイマ入力	TI00-TI07, RxD0端子 (LIN-bus用)
タイマ出力	TO00-TO07, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・タイマ・クロック選択レジスタm (TPSm) ・タイマ・チャンネル許可ステータス・レジスタm (TEm) ・タイマ・チャンネル開始レジスタm (TSm) ・タイマ・チャンネル停止レジスタm (TTm) ・タイマ入力選択レジスタ0 (TIS0) ・タイマ出力許可レジスタm (TOEm) ・タイマ出力レジスタm (TOm) ・タイマ出力レベル・レジスタm (TOLm) ・タイマ出力モード・レジスタm (TOMm) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタmn (TMRmn) ・タイマ・ステータス・レジスタmn (TSRmn) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ1 (NFEN1) ・ポート・モード・レジスタ (PM0, PM3, PM4, PM6, PM12) ・ポート・レジスタ (P0, P3, P4, P6, P12)

備考 m : ユニット番号 ($m = 0$) , n : チャンネル番号 ($n = 0-7$)

図7-1にタイマ・アレイ・ユニットのブロック図を示します。

図7-1 タイマ・アレイ・ユニットの全体ブロック図



備考 f_{SUB} : サブシステム・クロック周波数
 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図7-2 タイマ・アレイ・ユニットのチャンネル0内部ブロック図

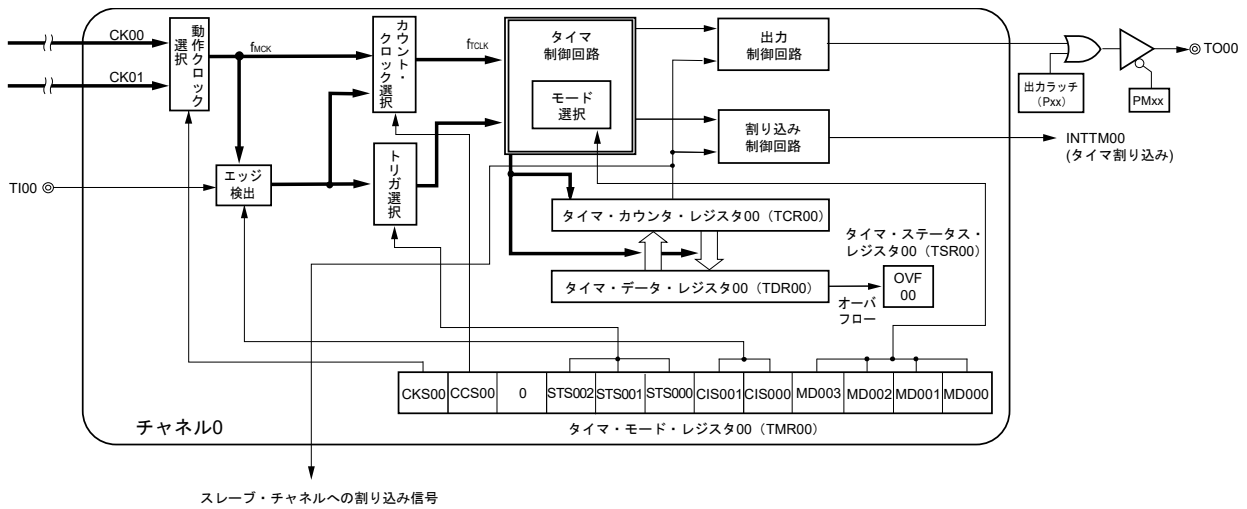
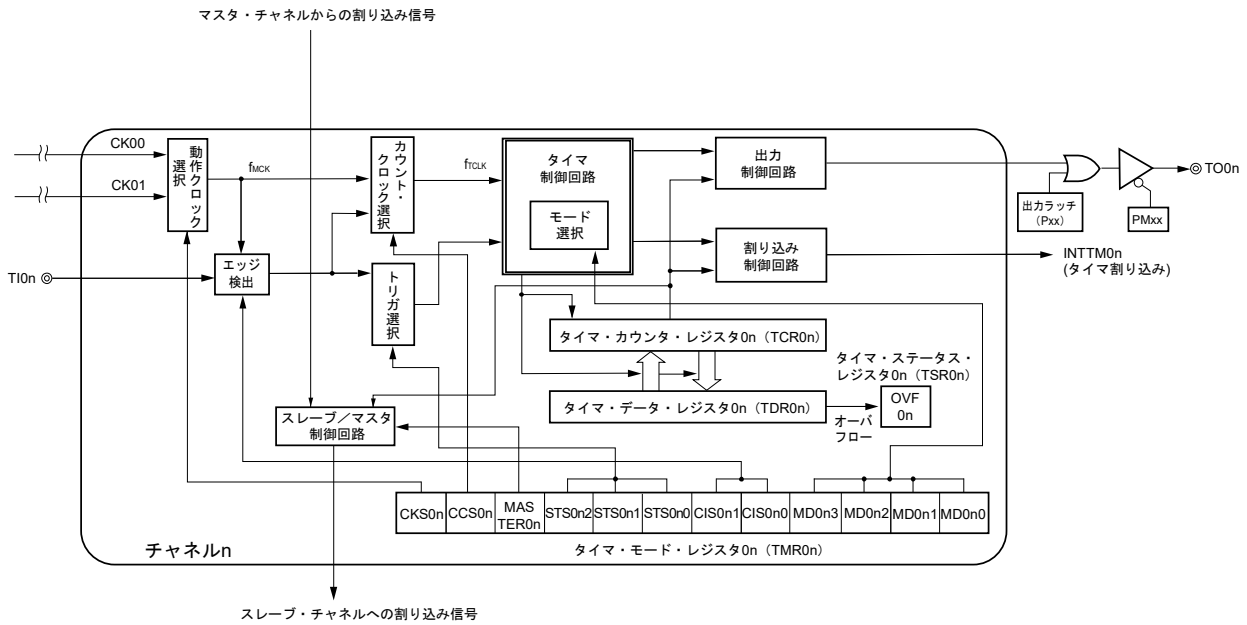
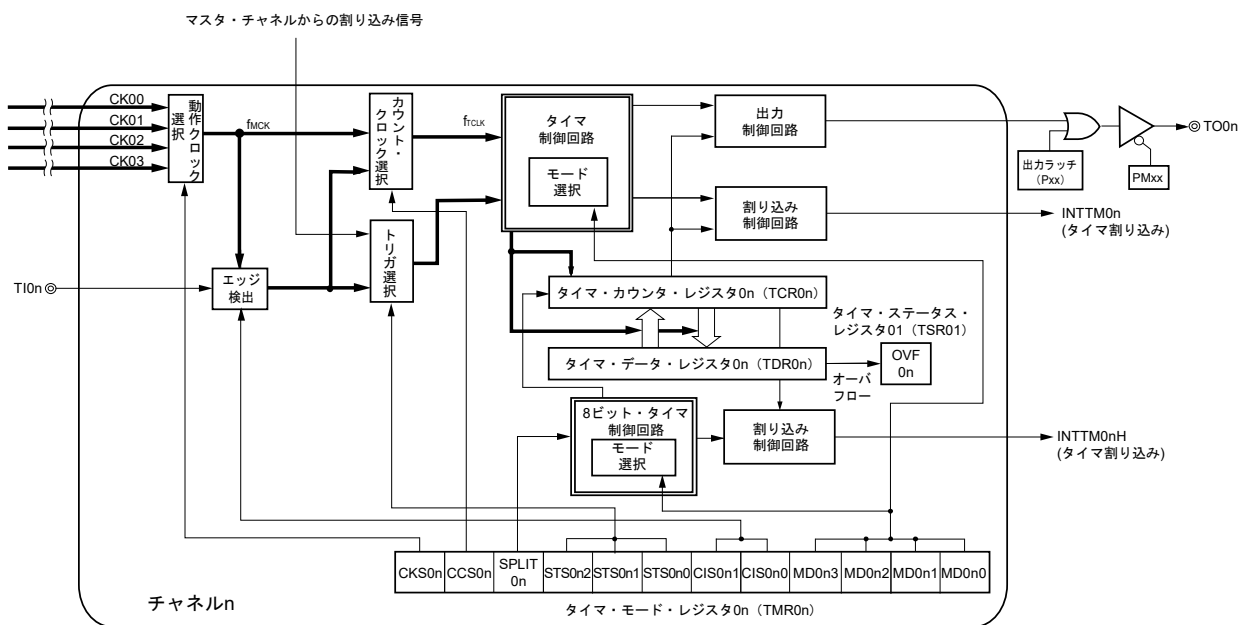


図7-3 タイマ・アレイ・ユニットのチャンネル2, 4, 6内部ブロック図



備考 n = 2, 4, 6

図7-4 タイマ・アレイ・ユニットのチャンネル1, 3内部ブロック図



備考 n = 1, 3

図7-5 タイマ・アレイ・ユニットのチャンネル5内部ブロック図

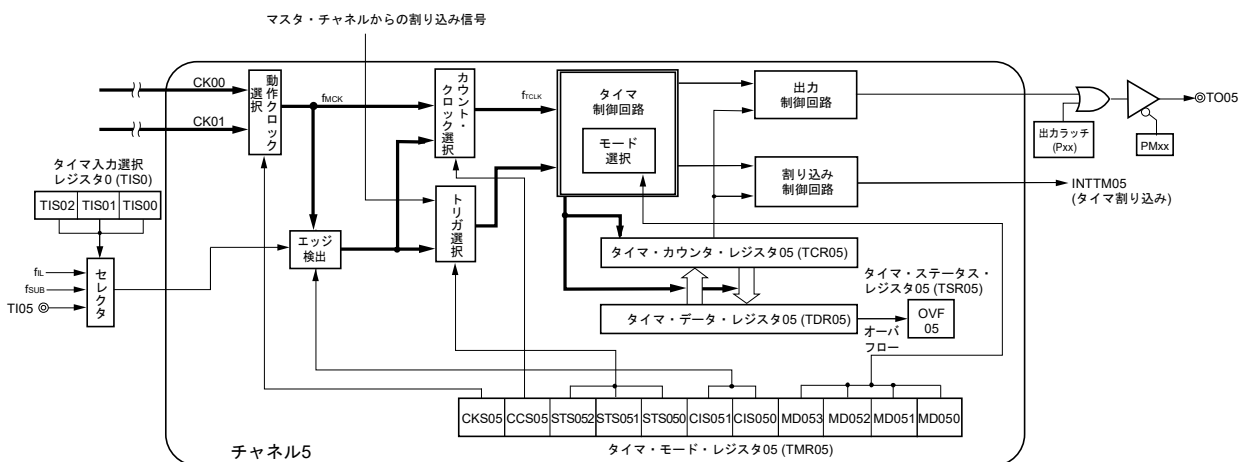
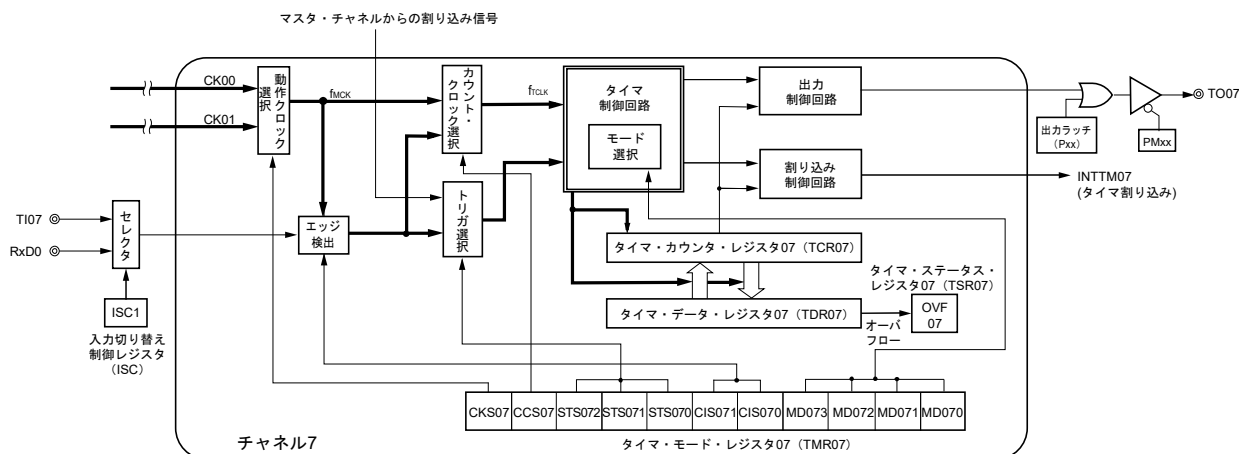


図7-6 タイマ・アレイ・ユニットのチャンネル7内部ブロック図

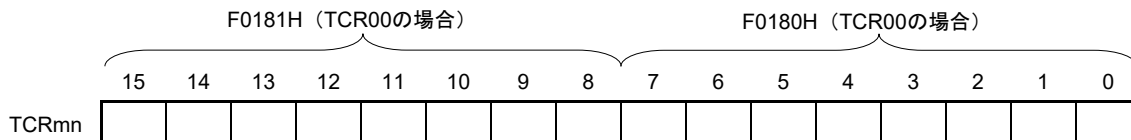


7.2.1 タイマ・カウンタ・レジスタmn (TCRmn)

TCRmnレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がりに同期して、カウンタをインクリメント/デクリメントします。
 インクリメントかデクリメントかは、タイマ・モード・レジスタmn (TMRmn) のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります (7.3.3 タイマ・モード・レジスタmn (TMRmn) 参照)。

図7-7 タイマ・カウンタ・レジスタmn (TCRmn) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07) リセット時 : FFFFH R



備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

タイマ・カウンタ・レジスタmn (TCRmn) をリードすることにより、カウント値をリードできます。次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ0 (PER0) のTAUmENビットをクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ディレイ・カウント・モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCRmnレジスタをリードしても、タイマ・データ・レジスタmn (TDRmn) にはキャプチャしません。

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表7-2 各動作モード時のタイマ・カウンタ・レジスタmn (TCRmn) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値 ^注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) した場合は値	カウント動作を一時停止 (TTmn = 1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値+1

注 チャンネルnがタイマ動作停止状態 (TEmn = 0) かつカウント動作許可状態 (TSmn = 1) にした時点の、TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

7.2.2 タイマ・データ・レジスタmn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタmn (TMRmn) のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3レジスタは、8ビット・タイマ・モード時 (タイマ・モード・レジスタm1, m3 (TMRm1, TMRm3) のSPLITビットが1) に、上位8ビットをTDRm1H, TDRm3H, 下位8ビットをTDRm1L, TDRm3Lとして、8ビット単位でリード/ライト可能になります。

リセット信号の発生により、TDRmnレジスタは0000Hになります。

図7-8 タイマ・データ・レジスタmn (TDRmn) (n = 0, 2, 4-7) のフォーマット

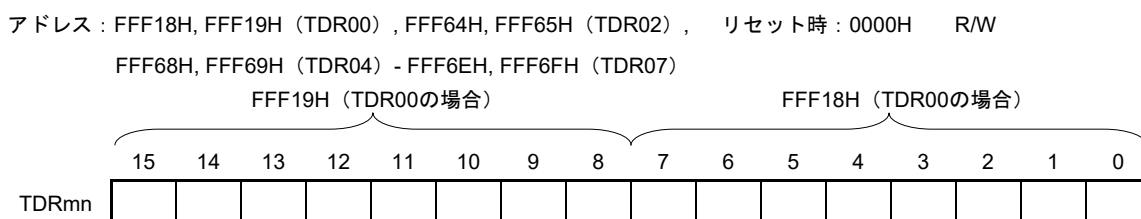
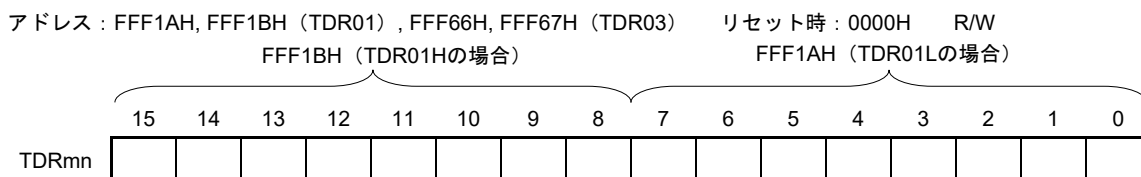


図7-9 タイマ・データ・レジスタmn (TDRmn) (n = 1, 3) のフォーマット



- (i) タイマ・データ・レジスタmn (TDRmn) をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTTmn) を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

- (ii) タイマ・データ・レジスタmn (TDRmn) をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタmn (TCRmn) のカウント値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタmn (TMRmn) で設定します。

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

7.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・タイマ・クロック選択レジスタm (TPSm)
- ・タイマ・モード・レジスタmn (TMRmn)
- ・タイマ・ステータス・レジスタmn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタm (TEm)
- ・タイマ・チャンネル開始レジスタm (TSm)
- ・タイマ・チャンネル停止レジスタm (TTm)
- ・タイマ入力選択レジスタ0 (TIS0)
- ・タイマ出力許可レジスタm (TOEm)
- ・タイマ出力レジスタm (TOM)
- ・タイマ出力レベル・レジスタm (TOLm)
- ・タイマ出力モード・レジスタm (TOMm)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ・ポート・モード・レジスタ (PM0, PM3, PM4, PM6, PM12)
- ・ポート・レジスタ (P0, P3, P4, P6, P12)

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

7.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は、必ずビット0 (TAU0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図7-10 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入カクロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード/ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の状態、下記のレジスタの設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタは初期値となり、書き込みは無視されます (タイマ入力選択レジスタ0 (TIS0), 入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ1 (NFEN1), ポート・モード・レジスタ0, 3, 4, 6, 12 (PM0, PM3, PM4, PM6, PM12), ポート・レジスタ0, 3, 4, 6, 12 (P0, P3, P4, P6, P12) は除く)。

- ・タイマ・クロック選択レジスタm (TPSm)
- ・タイマ・モード・レジスタmn (TMRmn)
- ・タイマ・ステータス・レジスタmn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタm (TEm)
- ・タイマ・チャンネル開始レジスタm (TSm)
- ・タイマ・チャンネル停止レジスタm (TTm)
- ・タイマ出力許可レジスタm (TOEm)
- ・タイマ出力レジスタm (TOM)
- ・タイマ出力レベル・レジスタm (TOLm)
- ・タイマ出力モード・レジスタm (TOMm)

2. ビット1には必ず“0”を設定してください。

7.3.2 タイマ・クロック選択レジスタm (TPSm)

TPSmレジスタは、各チャンネルに共通して供給される2種類または4種類の動作クロック(CKm0, CKm1, CKm2, CKm3)を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で、CKm1はTPSmレジスタのビット7-4で選択します。さらにチャンネル1, 3のみ、CKm2, CKm3も選択できます。CKm2はTPSmレジスタのビット9-8で、CKm3はTPSmレジスタのビット13, 12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm0を選択 (CKSmn1, CKSmn0 = 0, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm2を選択 (CKSmn1, CKSmn0 = 0, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm1を選択 (CKSmn1, CKSmn0 = 1, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択 (CKSmn1, CKSmn0 = 1, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSmレジスタは0000Hになります。

図7-11 タイマ・クロック選択レジスタm (TPSm) のフォーマット (1/2)

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk) の選択 ^注 (k = 0, 1)					
					f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 12 MHz	f _{CLK} = 20 MHz	f _{CLK} = 24 MHz
0	0	0	0	f _{CLK}	4 MHz	8 MHz	12 MHz	20 MHz	24 MHz
0	0	0	1	f _{CLK} /2	2 MHz	4 MHz	6 MHz	10 MHz	12 MHz
0	0	1	0	f _{CLK} /2 ²	1 MHz	2 MHz	3 MHz	5 MHz	6 MHz
0	0	1	1	f _{CLK} /2 ³	500 kHz	1 MHz	1.5 MHz	2.5 MHz	3 MHz
0	1	0	0	f _{CLK} /2 ⁴	250 kHz	500 kHz	750 kHz	1.25 MHz	1.5 MHz
0	1	0	1	f _{CLK} /2 ⁵	125 kHz	250 kHz	375 kHz	625 kHz	750 kHz
0	1	1	0	f _{CLK} /2 ⁶	62.5 kHz	125 kHz	188 kHz	313 kHz	375 kHz
0	1	1	1	f _{CLK} /2 ⁷	31.3 kHz	62.5 kHz	93.8 kHz	156 kHz	188 kHz
1	0	0	0	f _{CLK} /2 ⁸	15.6 kHz	31.3 kHz	46.9 kHz	78.1 kHz	93.8 kHz
1	0	0	1	f _{CLK} /2 ⁹	7.81 kHz	15.6 kHz	23.4 kHz	39.1 kHz	46.9 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	3.91 kHz	7.81 kHz	11.7 kHz	19.5 kHz	23.4 kHz
1	0	1	1	f _{CLK} /2 ¹¹	1.95 kHz	3.91 kHz	5.86 kHz	9.76 kHz	11.7 kHz
1	1	0	0	f _{CLK} /2 ¹²	976 Hz	1.95 kHz	2.93 kHz	4.88 kHz	5.86 kHz
1	1	0	1	f _{CLK} /2 ¹³	488 Hz	976 Hz	1.46 kHz	2.44 kHz	2.93 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	244 Hz	488 Hz	732 Hz	1.22 kHz	1.46 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	122 Hz	244 Hz	366 Hz	610 Hz	732 Hz

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

- 注意1. ビット15, 14, 11, 10には、必ず0を設定してください。
2. 動作クロック (CKmk) にf_{CLK} (分周なし) を選択し、TDRnm = 0000H (n = 0, m = 0-7) を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

- 備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数
2. TPSmレジスタで選択するf_{CLK}/2^rの波形は、単純に2^r分周した波形ではなく、その立ち上がりからf_{CLK}の1周期分ハイ・レベルになります (r = 1-15)。詳しくは、7.5.1 カウント・クロック (f_{TCLK}) を参照してください。

図7-11 タイマ・クロック選択レジスタm (TPSm) のフォーマット (2/2)

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック (CKm2) の選択 ^注					
			f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 12 MHz	f _{CLK} = 20 MHz	f _{CLK} = 24 MHz
0	0	f _{CLK} /2	2 MHz	4 MHz	6 MHz	10 MHz	12 MHz
0	1	f _{CLK} /2 ²	1 MHz	2 MHz	3 MHz	5 MHz	6 MHz
1	0	f _{CLK} /2 ⁴	250 kHz	500 kHz	750 kHz	1.25 MHz	1.5 MHz
1	1	f _{CLK} /2 ⁶	62.5 kHz	125 kHz	188 kHz	313 kHz	375 kHz

PRS m31	PRS m30	動作クロック (CKm3) の選択 ^注					
			f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 12 MHz	f _{CLK} = 20 MHz	f _{CLK} = 24 MHz
0	0	f _{CLK} /2 ⁸	15.6 kHz	31.3 kHz	46.9 kHz	78.1 kHz	93.8 kHz
0	1	f _{CLK} /2 ¹⁰	3.91 kHz	7.81 kHz	11.7 kHz	19.5 kHz	23.4 kHz
1	0	f _{CLK} /2 ¹²	976 Hz	1.95 kHz	2.93 kHz	4.88 kHz	5.86 kHz
1	1	f _{CLK} /2 ¹⁴	244 Hz	488 Hz	732 Hz	1.22 kHz	1.46 kHz

注 f_{CLK}に選択しているクロックを変更(システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。
 カウント・クロック (f_{TCLK}) にCKSmn0, CKSmn1ビットで指定した動作クロック (f_{MCK}) , TImn 端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。
 注意 ビット15, 14, 11, 10には、必ず0を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表7-3に示すインターバル時間を実現することが可能です。

表7-3 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間 ^注 (f _{CLK} = 20 MHz)			
		16 μs	160 μs	1.6 ms	16 ms
CKm2	f _{CLK} /2	○	—	—	—
	f _{CLK} /2 ²	○	—	—	—
	f _{CLK} /2 ⁴	○	○	—	—
	f _{CLK} /2 ⁶	○	○	—	—
CKm3	f _{CLK} /2 ⁸	—	○	○	—
	f _{CLK} /2 ¹⁰	—	○	○	—
	f _{CLK} /2 ¹²	—	—	○	○
	f _{CLK} /2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. TPSmレジスタで選択するf_{CLK}/2ⁱの波形の詳細は、7.5.1 カウント・クロック (f_{TCLK}) を参照してください。

7.3.3 タイマ・モード・レジスタmn (TMRmn)

TMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択、カウント・クロックの選択、マスタ/スレーブの選択、16ビット/8ビット・タイマの選択 (チャンネル1, 3のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード (インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント) 設定を行います。

TMRmnレジスタは、動作中 (TE_{mn} = 1のとき) の書き換えは禁止です。ただし、ビット7, 6 (CIS_{mn1}, CIS_{mn0}) は、一部の機能で動作中 (TE_{mn} = 1のとき) の書き換えが可能です (詳細は7.8 タイマ・アレイ・ユニットの単独チャンネル動作機能、7.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnレジスタは0000HIになります。

注意 TMRmnレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMRm2, TMRm4, TMRm6 : MASTERmnビット (n = 2, 4, 6)

TMRm1, TMRm3 : SPLITmnビット (n = 1, 3)

TMRm0, TMRm5, TMRm7 : 0固定

図7-12 タイマ・モード・レジスタmn (TMRmn) のフォーマット (1/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 ^注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (f _{mck}) の選択
0	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm0
0	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm2
1	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm1
1	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm3

動作クロック (f_{mck}) は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (f_{clk}) を生成します。
動作クロックCKm2, CKm3は、チャンネル1, 3のみ選択可能です。

CCS mn	チャンネルnのカウント・クロック (f _{clk}) の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック (f _{mck})
1	TImn端子からの入力信号の有効エッジ チャンネル5では、TIS0で選択した入力信号の有効エッジ チャンネル7では、ISCで選択した入力信号の有効エッジ

カウント・クロック (f_{clk}) は、カウンタ、出力制御回路、割り込み制御回路に使用されます。

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

- 注意1. ビット13, 5, 4には、必ず0を設定してください。
2. カウント・クロック (f_{clk}) にCKSmn0, CKSmn1ビットで指定した動作クロック (f_{mck}) , TImn端子からの入力信号の有効エッジのどれを選択していても、f_{clk}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm=00FFH) させてください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図7-12 タイマ・モード・レジスタmn (TMRmn) のフォーマット (2/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 ^注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn (n = 2, 4, 6) のビット11)

MAS TER mn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作（スレーブ／マスタ）の選択
0	単独チャンネル動作機能，または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
チャンネル2, 4, 6のみマスタ・チャンネル（MASTERmn = 1）に設定できます。 チャンネル0, 5, 7は0固定となります（チャンネル0は最上位チャンネルのため，このビットの設定によらずマスタとして動作します）。 また，単独チャンネル動作機能として使用するチャンネルは，MASTERmn = 0 にします。	

(TMRmn (n = 1, 3) のビット11)

SPLI Tmn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能，または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	Tlmn端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用（複数チャンネル連動動作機能のスレーブ・チャンネル時）
上記以外			設定禁止

注 ビット11はRead onlyの0固定で，書き込みは無視されます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図7-12 タイマ・モード・レジスタmn (TMRmn) のフォーマット (3/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TMRmn (n = 2, 4, 6)

CKS	CKS	0	CCS	MAS	STS	STS	STS	CIS	CIS	0	0	MD	MD	MD	MD
mn1	mn0		mn	TERmn	mn2	mn1	mn0	mn1	mn0			mn3	mn2	mn1	mn0

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TMRmn (n = 1, 3)

CKS	CKS	0	CCS	SPLIT	STS	STS	STS	CIS	CIS	0	0	MD	MD	MD	MD
mn1	mn0		mn	mn	mn2	mn1	mn0	mn1	mn0			mn3	mn2	mn1	mn0

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TMRmn (n = 0, 5, 7)

CKS	CKS	0	CCS	0 ^注	STS	STS	STS	CIS	CIS	0	0	MD	MD	MD	MD
mn1	mn0		mn		mn2	mn1	mn0	mn1	mn0			mn3	mn2	mn1	mn0

CIS	CIS	TImn端子の有効エッジ選択
mn1	mn0	
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がリエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がリエッジ, キャプチャ・トリガ : 立ち下がリエッジ

STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は, CISmn1-CISmn0ビット = 10Bに設定してください。

注 ビット11はRead onlyの0固定で, 書き込みは無視されます。

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

図7-12 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 ^{注1}	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウン ト動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/ 方形波出力/PWM出力(マス タ)	ダウン・カウン ト
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウン ト
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウン ト
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ ワンショット・パルス出力/ PWM出力(スレーブ)	ダウン・カウン ト
1	1	0	キャプチャ&ワンカウント・ モード	入力信号のハイ/ロウ・レベ ル幅測定	アップ・カウン ト
上記以外			設定禁止		

各モードの動作は、MDmn0ビットによって変わります(下表を参照)。

動作モード (MDmn3-MDmn1で設定(上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。 その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。

注1. ビット11はRead onlyの0固定で、書き込みは無視されます。
 2. ワンカウント・モードでは、カウント動作開始時の割り込み出力(INTTMmn), TOMn出力は制御しません。
 3. 動作中にスタート・トリガ(TSmn = 1)が掛かると、カウンタを初期化し、再カウント・スタートします(割り込み要求は発生せず)。
 備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

7.3.4 タイマ・ステータス・レジスタmn (TSRmn)

TSRmnレジスタは、チャンネルnのカウンタのオーバーフロー状況を表示するレジスタです。

TSRmnレジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B) のみ有効です。各動作モードでのOVFビットの動作とセット/クリア条件は表7-4を参照してください。

TSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnレジスタは0000Hになります。

図7-13 タイマ・ステータス・レジスタmn (TSRmn) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。	

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

表7-4 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード	クリア	— (使用不可)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

7.3.5 タイマ・チャンネル許可ステータス・レジスタm (TEm)

TEmレジスタは、各チャンネルのタイマ動作許可/停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャンネル開始レジスタm (TSm) とタイマ・チャンネル停止レジスタm (TTm) の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは、TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEmレジスタは0000Hになります。

図7-14 タイマ・チャンネル許可ステータス・レジスタm (TEm) のフォーマット

アドレス : F01B0H, F01B1H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	TEm 7	TEm 6	TEm 5	TEm 4	TEm 3	TEm 2	TEm 1	TEm 0

TEH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可/停止状態の表示
0	動作停止状態
1	動作許可状態

TEH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可/停止状態の表示
0	動作停止状態
1	動作許可状態

TEmn	チャンネルnの動作許可/停止状態の表示
0	動作停止状態
1	動作許可状態
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可/停止状態を表示します。	

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

7.3.6 タイマ・チャンネル開始レジスタm (TSm)

TSmレジスタは、タイマ・カウンタ・レジスタmn (TCRmn) を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタm (TEm) の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので、動作許可状態 (TEmn, TEHm1, TEHm3 = 1) になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは、16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは、TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSmレジスタは0000Hになります。

図7-15 タイマ・チャンネル開始レジスタm (TSm) のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSH m3	0	TSH m1	0	TSm 7	TSm 6	TSm 5	TSm 4	TSm 3	TSm 2	TSm 1	TSm 0

TSH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります (7.5.2 カウンタのスタート・タイミングの表7-5参照)。

TSH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります (7.5.2 カウンタのスタート・タイミングの表7-5参照)。

TSmn	チャンネルnの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります (7.5.2 カウンタのスタート・タイミングの表7-5参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可 (スタート) トリガになります。

(注意、備考は次ページにあります。)

- 注意1. ビット15-12, 10, 8には必ず0を設定してください。
2. TImn端子入力を使用しない機能から、TImn端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタmn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TImn端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (f_{MCK}) の4クロック

TImn端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (f_{MCK}) の2クロック

- 備考1. TSmレジスタの読み出し値は常に0となります。
2. m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

7.3.7 タイマ・チャンネル停止レジスタm (TTm)

TTmレジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタm (TEm) の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので、動作停止状態 (TEmn, TTHm1, TTHm3 = 0) になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは、16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmレジスタは0000Hになります。

図7-16 タイマ・チャンネル停止レジスタm (TTm) のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTH m3	0	TTH m1	0	TTm 7	TTm 6	TTm 5	TTm 4	TTm 3	TTm 2	TTm 1	TTm 0

TTH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TTmn	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし、カウント動作停止可状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意 ビット15-12, 10, 8には必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

2. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

7.3.8 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、チャンネル5のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図7-17 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック (f _L)
1	0	1	サブシステム・クロック (f _{SUB})
上記以外			設定禁止

注意 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK}+10$ ns以上必要となります。
そのため、 f_{CLK} に f_{SUB} を選択時 (CKCレジスタのCSS = 1) は、TIS02ビットに1を設定できません。

7.3.9 タイマ出力許可レジスタm (TOEm)

TOEmレジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタm (TOm) のTOmnビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmレジスタは、16ビット・メモリ操作命令で設定します。

またTOEmレジスタの下位8ビットは、TOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEmレジスタは0000Hになります。

図7-18 タイマ出力許可レジスタm (TOEm) のフォーマット

アドレス : F01BAH, F01BBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOE m7	TOE m6	TOE m5	TOE m4	TOE m3	TOE m2	TOE m1	TOE m0

TOE mn	チャンネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTOmnビットに反映せず、出力を固定します。 TOmnビットへの書き込みが可能となり、TOmnビットに設定したレベルがTOmn端子から出力されます。
1	タイマの出力を許可 タイマ動作をTOmnビットに反映し、出力波形を生成します。 TOmnビットへの書き込みは無視されます。

注意 ビット15-8には必ず0を設定してください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

7.3.10 タイマ出力レジスタm (TOm)

TOmレジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TOmn) から出力されます。

このレジスタのTOmnビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEmn = 0) のみ可能です。タイマ出力許可時 (TOEmn = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によるみ値が変更されます。

また、P43/TI00/TO00, P41/TI01/TO01, P07/TI02/TO02, P06/TI03/TO03, P05/TI04/TO04, P04/TI05/TO05, P03/TI06/TO06, P02/TI07/TO07をポート機能として使用する場合は、該当するTOmnビットに“0”を設定してください。

TOmレジスタは、16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは、TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOmレジスタは0000HIになります。

図7-19 タイマ出力レジスタm (TOm) のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	TOm	TOm	TOm	TOm	TOm	TOm	TOm	TOm
									7	6	5	4	3	2	1	0

TOmn	チャンネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意 ビット15-8には必ず0を設定してください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

7.3.11 タイマ出力レベル・レジスタm (TOLm)

TOLmレジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmレジスタは、16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmレジスタは0000Hになります。

図7-20 タイマ出力レベル・レジスタm (TOLm) のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOL m7	TOL m6	TOL m5	TOL m4	TOL m3	TOL m2	TOL m1	0

TOL mn	チャンネルnのタイマ出力レベルの制御														
0	正論理出力 (アクティブ・ハイ)														
1	負論理出力 (アクティブ・ロウ)														

注意 ビット15-8, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

2. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

7.3.12 タイマ出力モード・レジスタm (TOMm)

TOMmレジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能（PWM出力、ワンショット・パルス出力、多重PWM出力）として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可（TOEmn = 1）時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmレジスタは、16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmレジスタは0000Hになります。

図7-21 タイマ出力モード・レジスタm (TOMm) のフォーマット

アドレス：F01BEH, F01BFH リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOM m7	TOM m6	TOM m5	TOM m4	TOM m3	TOM m2	TOM m1	0

TOM mn	チャンネルnのタイマ出力モードの制御															
0	マスタ・チャンネル出力モード（タイマ割り込み要求信号（INTTMmn）によりトグル出力を行う）															
1	スレーブ・チャンネル出力モード （マスタ・チャンネルのタイマ割り込み要求信号（INTTMmn）で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号（INTTMmp）で出力がリセットされる）															

注意 ビット15-8, 0には必ず0を設定してください。

備考 m：ユニット番号（m = 0）

n：チャンネル番号

n = 0-7（マスタ・チャンネル時：n = 0, 2, 4, 6）

p：スレーブ・チャンネル番号

n < p ≤ 7

（マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、7.4.1 複数チャンネル連動動作機能の基本ルールを参照してください）

7.3.13 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは、チャンネル7をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときに使用します。ISC1ビットに1を設定すると、シリアル・データ入力端子 (RxD0) の入力信号がタイマ入力として選択されます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図7-22 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする (通常動作)
1	RxD0端子の入力信号をタイマ入力とする (ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

注意 ビット7-2に必ず0を設定してください。

備考 LIN-bus通信を使用する場合は、ISC1 = 1に設定してRxD0端子の入力信号を選択しておいてください。

7.3.14 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけ行います^注。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00Hになります。

注 詳細は、7.5.1 (2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)、7.5.2 カウンタのスタート・タイミング、7.7 タイマ入力 (TImn) の制御を参照してください。

図7-23 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00
TNFEN07	TI07端子またはRxD0端子入力信号のノイズ・フィルタ使用可否 ^注							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN06	TI06端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN05	TI05端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN04	TI04端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN03	TI03端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN02	TI02端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN01	TI01端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN00	TI00端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							

注 入力切り替え制御レジスタ (ISC) のISC1ビットを設定することにより、適用する端子を切り替えることができます。

ISC1 = 0に設定 : TI07端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定 : RxD0端子のノイズ・フィルタ使用可否選択が可能

7.3.15 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャンネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）を設定してください。詳細は、4.3.1 ポート・モード・レジスタ（PMxx）、4.3.2 ポート・レジスタ（Pxx）を参照してください。

また、製品によって設定するポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）が異なります。詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

タイマ出力端子を兼用するポート（P43/TI00/TO00など）をタイマ出力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例) P43/TO00をタイマ出力として使用する場合

ポート・モード・レジスタ4のPM43ビットを0に設定

ポート・レジスタ4のP43ビットを0に設定

タイマ入力端子を兼用するポート（P43/TI00など）をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。このときポート・レジスタ（Pxx）のビットは、0または1のどちらでもかまいません。

例) P43/TI00をタイマ入力として使用する場合

ポート・モード・レジスタ4のPM43ビットを1に設定

ポート・レジスタ4のP43ビットを0または1に設定

備考1. 80ピン製品の場合、セグメント出力と兼用になっているポートをタイマ入出力機能として使用する場合は、LCDポート・ファンクション・レジスタ4（PFSEG4）のPFSEG32-PFSEG37ビットのうち、対応するビットを必ず“0”に設定してください。

2. P125/(TI05)/(TO05)/VL3端子をタイマ入出力機能として使用する場合は、LCD入力切り換え制御レジスタ（ISCLCD）のISCVL3ビットを必ず“0”に設定してください。

3. P126/(TI04)/(TO04)/CAPL, P127/(TI03)/(TO03)/CAPH端子をタイマ入出力機能として使用する場合は、LCD入力切り換え制御レジスタ（ISCLCD）のISCCAPビットを必ず“1”に設定してください。

7.4 タイマ・アレイ・ユニットの基本ルール

7.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

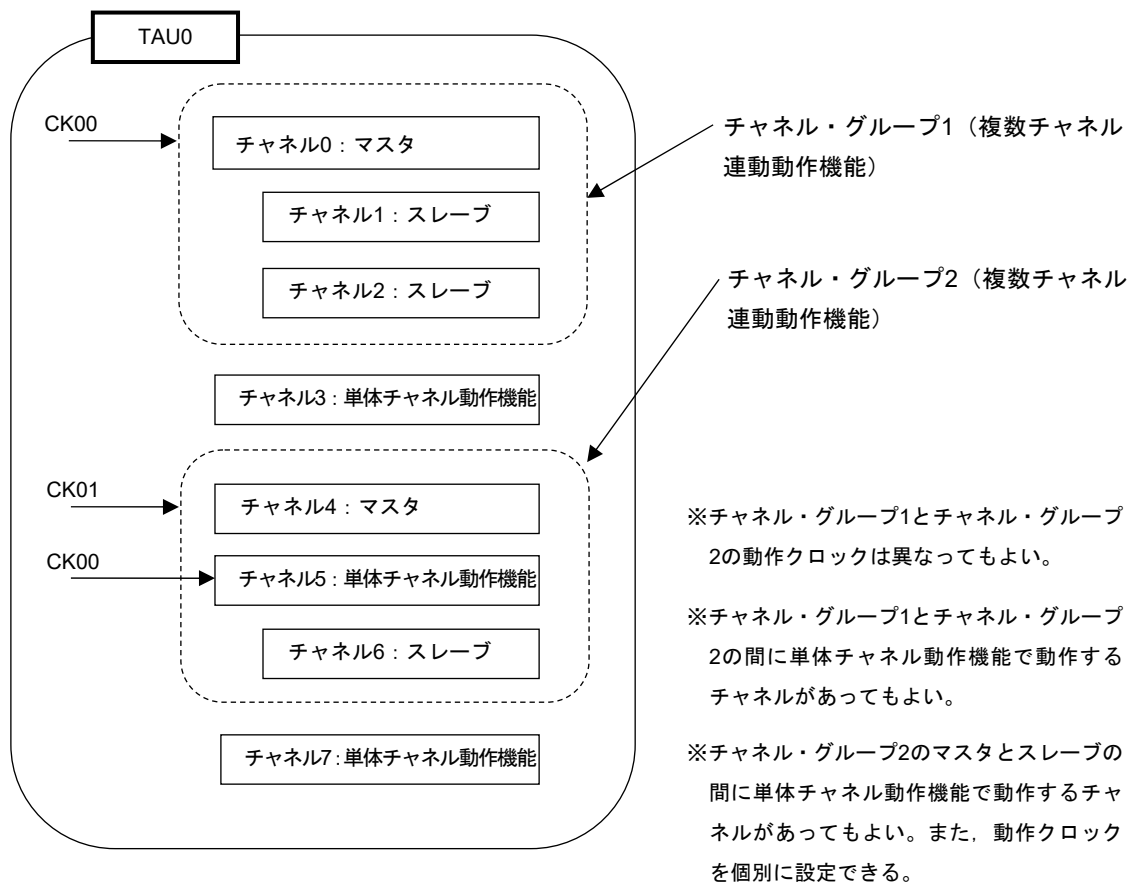
- (1) マスタ・チャンネルには、偶数チャンネル（チャンネル0, チャンネル2, チャンネル4, …）のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例 チャンネル2をマスタ・チャンネルにした場合、チャンネル3以降（チャンネル3, チャンネル4, チャンネル5, …）をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例 チャンネル0, チャンネル4をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn0, CKSmn1ビット（タイマ・モード・レジスタmn（TMRmn）のビット15, 14）が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット（TSmn）を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット（TTmn）を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0（TMRm0）は、マスタ・ビットがなく、"0"に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ（1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

例



7.4.2 8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタmn (TMRmn) のSPLITビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時にINTTMm1H/INTTMm3H（割り込み）を出力します（MDmn0 =1 設定と同じ動作）。
- (5) 上位8ビットの動作クロック選択は、下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットにしたがって動作します。
- (6) 上位8ビットは、TSHm1/TSHm3ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3ビットで確認できます。
- (7) 下位8ビットは、TMRmnレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - ・インターバル・タイマ機能
 - ・外部イベント・カウンタ機能
 - ・ディレイ・カウント機能
- (8) 下位8ビットは、TSm1/TSm3 ビットを操作することでチャンネル動作を開始し、TTm1/TTm3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3ビットを操作することでチャンネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能（ワンショット・パルス, PWM, 多重PWM）を使用することはできません。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 1, 3)

7.5 カウンタの動作

7.5.1 カウント・クロック (f_{CLK})

タイマ・アレイ・ユニットのカウント・クロック (f_{CLK}) は、タイマ・モード・レジスタmn (TMRmn) の CCSmnビットにより、以下のどちらかを選択することができます。

- ・ CKSmn0, CKSmn1ビットで指定した動作クロック (f_{MCK})
- ・ TImn端子からの入力信号の有効エッジ

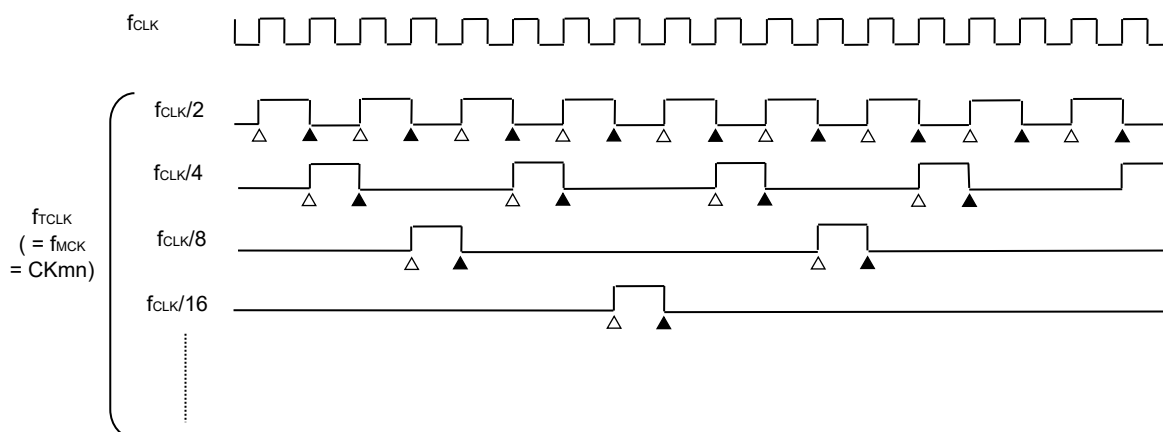
タイマ・アレイ・ユニットは、f_{CLK}との同期をとって動作するよう設計されているため、カウント・クロック (f_{CLK}) のタイミングは次のようになります。

(1) CKSmn0, CKSmn1ビットで指定した動作クロック (f_{MCK}) を選択した場合 (CCSmn = 0)

カウント・クロック (f_{CLK}) は、タイマ・クロック選択レジスタm (TPSm) の設定により、f_{CLK} ~ f_{CLK}/2¹⁵ となります。ただし、f_{CLK}の分周を選んだ場合、TPSmレジスタで選択するクロックは、立ち上がりからf_{CLK}の1周期分だけハイ・レベルになる信号となります。f_{CLK}を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタmn (TCRmn) は、f_{CLK}との同期をとるため、カウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図7-24 f_{CLK}とカウント・クロック (f_{CLK}) のタイミング (CCSmn = 0時)



備考1. Δ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

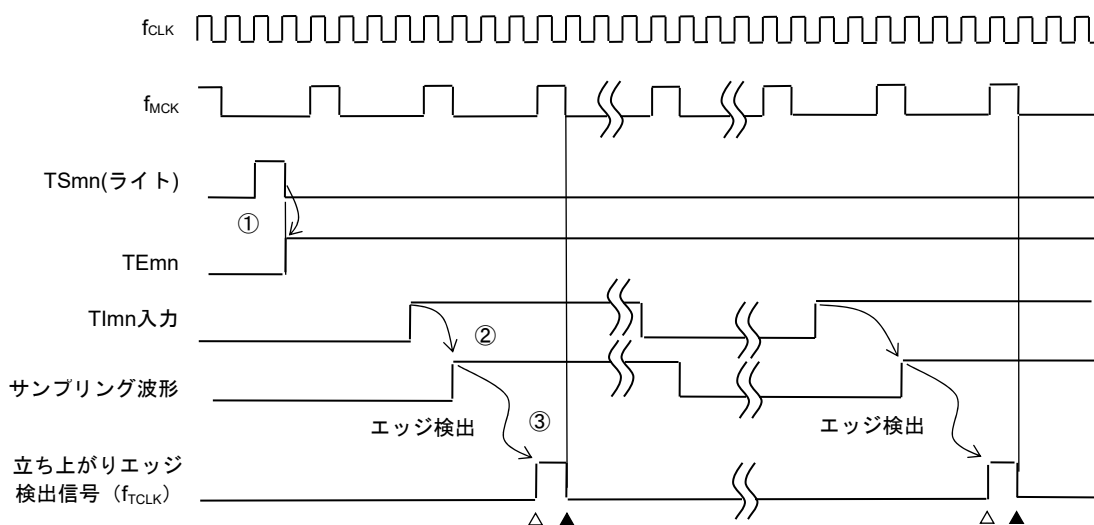
2. f_{CLK} : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCS_{mn} = 1)

カウント・クロック (f_{CLK}) は、TImn端子からの入力信号の有効エッジを検出し、次のf_{MCK}の立ち上がりで同期した信号になります。これは、実際のTImn端子からの入力信号よりf_{MCK}の1~2クロック分遅れた信号になります (ノイズ・フィルタ使用時は、f_{MCK}の3~4クロック分遅れます)。

また、タイマ・カウンタ・レジスタmn (TCR_{mn}) は、f_{CLK}との同期をとるためにカウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが、このことを便宜上“TImn端子からの入力信号の有効エッジでカウントする”と表現します。

図7-25 カウント・クロック (f_{CLK}) のタイミング (CCS_{mn} = 1, ノイズ・フィルタ未使用時)



- ①TS_{mn}ビットをセットすることでタイマが動作を開始し、TImn入力の有効エッジ待ちになります。
- ②TImn入力の立ち上がりがf_{MCK}でサンプリングされます。
- ③サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. Δ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

2. f_{CLK} : CPU/周辺ハードウェア・クロック

f_{MCK} : チャンネルnの動作クロック

3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, デレイ・カウンタ, ワンショット・パルス出力機能のTImn入力も同様の波形になります。

7.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタmn (TCRmn) は、タイマ・チャンネル開始レジスタm (TSMn) のTSMnビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウント・レジスタmn (TCRmn) のカウント・スタートまでの動作を、表7-5に示します。

表7-5 カウント動作許可状態からタイマ・カウント・レジスタmn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSMn = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (1) インターバル・タイマ・モードの動作参照)。
・イベント・カウンタ・モード	TSMnビットに1を書き込むことにより、TDRmnレジスタの値をTCRmnレジスタにロードします。 Timn入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (2) イベント・カウンタ・モードの動作参照)。
・キャプチャ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (7.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。
・ワンカウント・モード	タイマ動作停止 (TEMn = 0) の状態で、TSMnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (4) ワンカウント・モードの動作参照)。
・キャプチャ&ワンカウント・モード	タイマ動作停止 (TEMn = 0) の状態で、TSMnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (7.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。

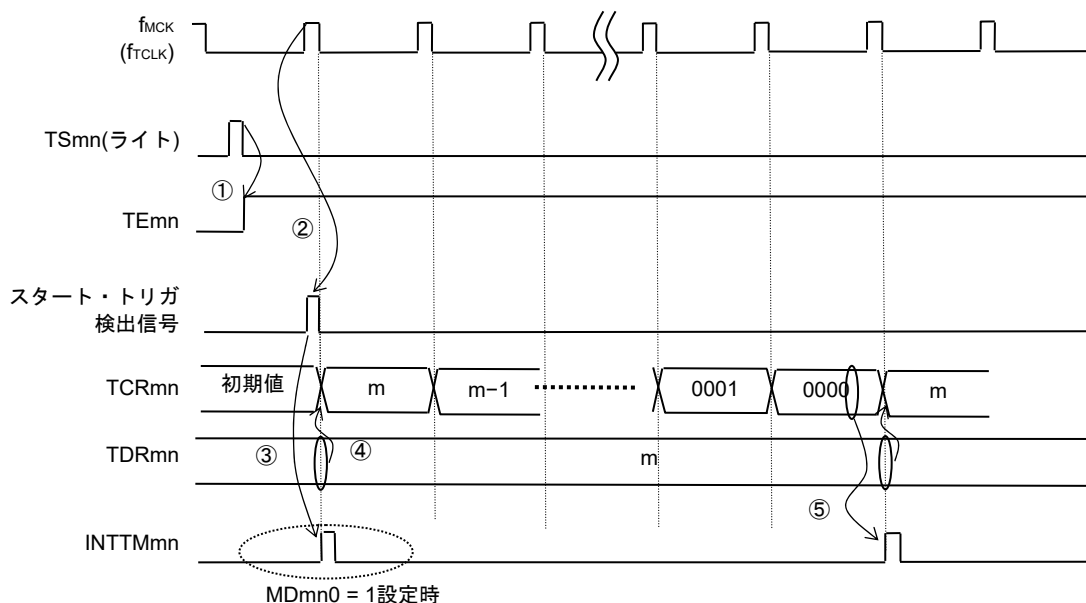
7.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 (TEmn = 1) となります。タイマ・カウンタ・レジスタmn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック (f_{MCK}) で、スタート・トリガが発生します。
- ③ MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタmn (TDRmn) の値をTCRmnレジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック (f_{MCK}) でINTTMmnを発生し、タイマ・データ・レジスタmn (TDRmn) の値をTCRmnレジスタにロードしてカウントを継続します。

図7-26 動作タイミング (インターバル・タイマ・モード)



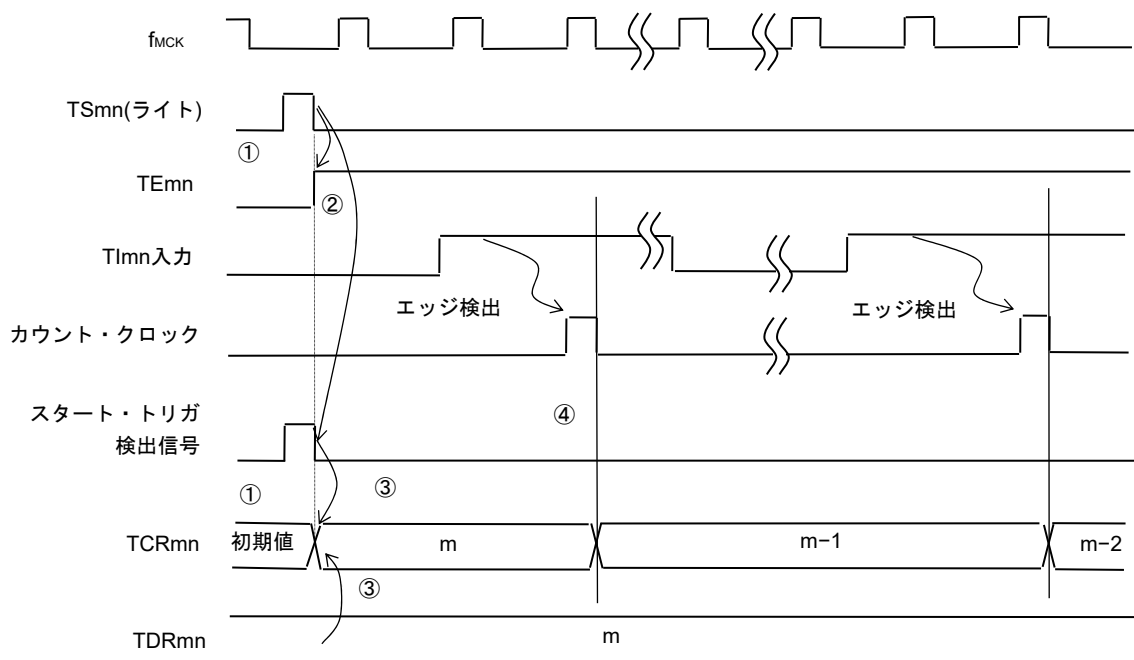
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 f_{MCK} , スタート・トリガ検出信号, INTTMmnは, f_{CLK} に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ① 動作停止状態 (TE_{mn} = 0) の期間, タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) は, 初期値を保持します。
- ② TS_{mn}ビットへ1を書き込むことにより, 動作許可状態 (TE_{mn} = 1) となります。
- ③ TS_{mn} = 1→TE_{mn} = 1と同時に, TCR_{mn}レジスタにタイマ・データ・レジスタ_{mn} (TDR_{mn}) の値をロードし, カウントを開始します。
- ④ 以降はTImn入力の有効エッジでのカウント・クロックに従い, TCR_{mn}レジスタの値をダウン・カウントします。

図7-27 動作タイミング (イベント・カウンタ・モード)

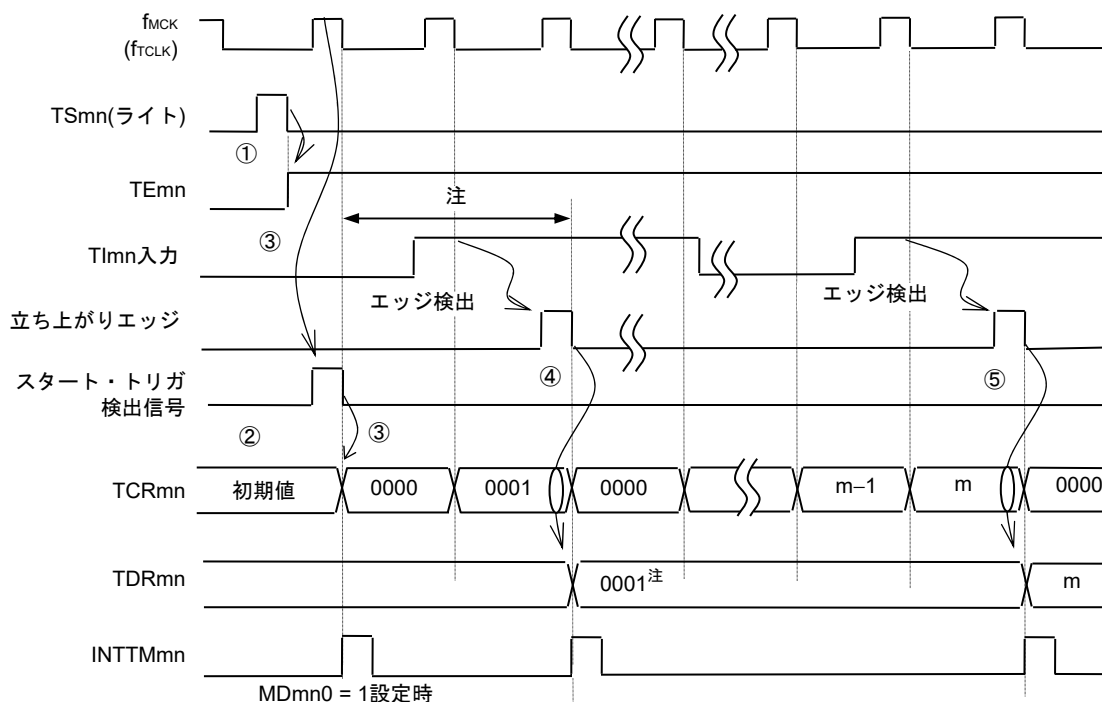


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると, エッジ検出はTImn入力からさらにf_{MCK}の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTImn入力とカウント・クロック (f_{MCK}) が非同期なためです。

(3) キャプチャ・モードの動作（入力パルス間隔測定）

- ① TSmnビットへ1を書き込むことにより、動作許可状態（TEmn = 1）となります。
- ② タイマ・カウンタ・レジスタmn（TCRmn）は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウンタ・クロック（f_{MCK}）で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。（MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。）
- ④ TImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。
- ⑤ 次のTImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図7-28 動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注 スタート前からTImnにクロックが入力されている（トリガがある）場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので、無視してください。

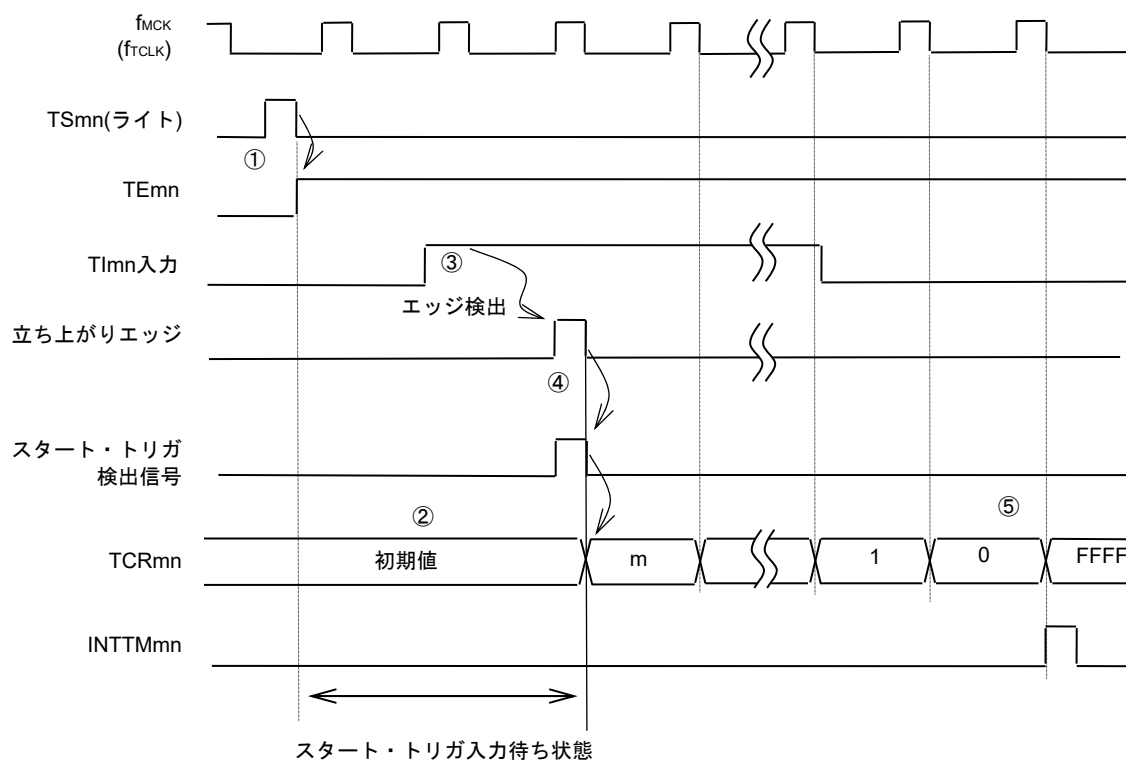
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにf_{MCK}の2周期分（合計で3~4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（f_{MCK}）が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 (TEmn = 1) となります。
- ② タイマ・カウンタ・レジスタmn (TCRmn) は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmnレジスタの値 (m) をTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図7-29 動作タイミング (ワンカウント・モード)

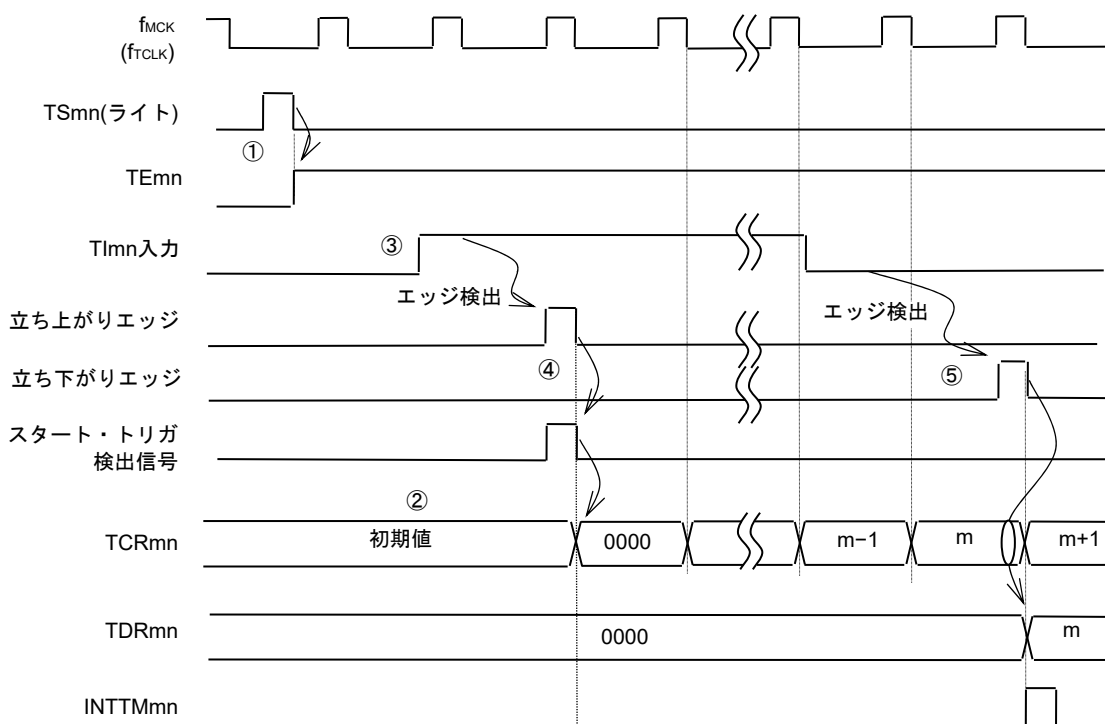


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTImn入力からさらにf_{MCK}の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTImn入力とカウント・クロック (f_{MCK}) が非同期なためです。

(5) キャプチャ&ワンカウント・モードの動作（ハイ・レベル幅測定）

- ① タイマ・チャンネル開始レジスタ m (T S_m) のT S_{mn} ビットに1を書き込むことにより、動作許可状態 (TE m_n = 1) となります。
- ② タイマ・カウンタ・レジスタ mn (TCR mn) は、スタート・トリガ発生まで初期値を保持します。
- ③ T I_{mn} 入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000HをTCR mn レジスタにロードし、カウントを開始します。
- ⑤ T I_{mn} 入力の立ち下がりエッジを検出すると、TCR mn レジスタの値をTDR mn レジスタにキャプチャし、INTT m_n 割り込みが発生します。

図7-30 動作タイミング（キャプチャ&ワンカウント・モード：ハイ・レベル幅測定）

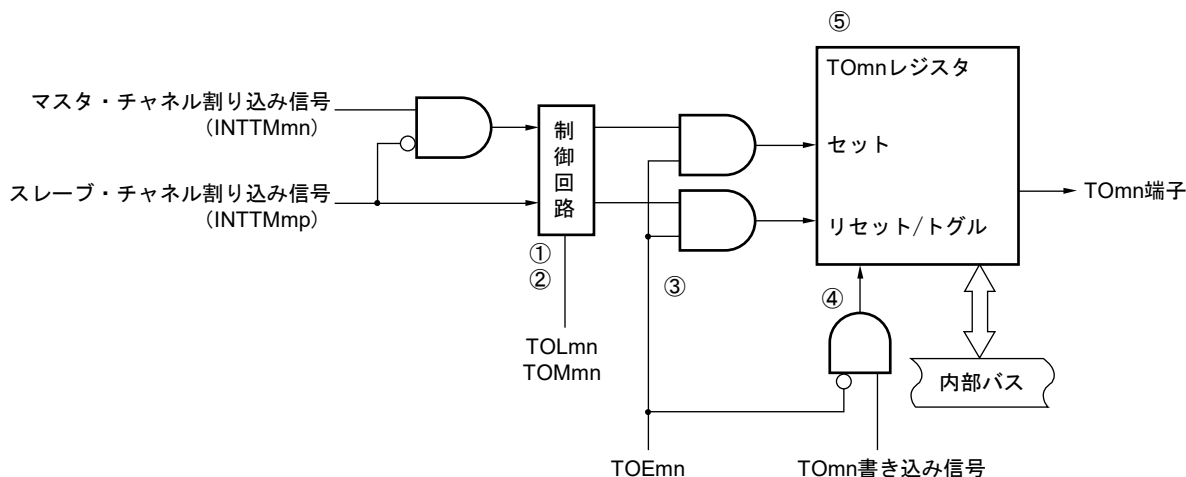


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はT I_{mn} 入力からさらに f_{MCK} の2周期分（合計で3~4周期分）遅くなります。1周期分の誤差はT I_{mn} 入力とカウント・クロック (f_{MCK}) が非同期なためです。

7.6 チャンネル出力（TOmn端子）の制御

7.6.1 TOmn端子の出力回路の構成

図7-31 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

- ① $TOMmn = 0$ （マスタ・チャンネル出力モード）のときは、タイマ出力レベル・レジスタ m （TOL m ）の設定値は無視され、INTTMmp（スレーブ・チャンネル・タイマ割り込み）のみがタイマ出力レジスタ m （TO m ）に伝えられます。
- ② $TOMmn = 1$ （スレーブ・チャンネル出力モード）のときは、INTTMmn（マスタ・チャンネル・タイマ割り込み）とINTTMmp（スレーブ・チャンネル・タイマ割り込み）がTO m レジスタに伝えられます。このとき、TOL m レジスタが有効となり、次のように信号を制御します。

TOL m = 0の場合：正論理出力（INTTMmn→セット，INTTMmp→リセット）

TOL m = 1の場合：負論理出力（INTTMmn→リセット，INTTMmp→セット）

また、INTTMmnとINTTMmpが同時に発生した場合（PWM出力の0%出力時）は、INTTMmp（リセット信号）が優先され、INTTMmn（セット信号）はマスクされます。

- ③ タイマ出力許可状態（TOEmn = 1）で、INTTMmn（マスタ・チャンネル・タイマ割り込み）とINTTMmp（スレーブ・チャンネル・タイマ割り込み）がTO m レジスタに伝えられます。TO m レジスタへの書き込み（TOmnライト信号）は無効となります。また、TOEmn = 1のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。TOmn端子の出力レベルを初期化する場合は、タイマ動作停止（TOEmn = 0）に設定しTO m レジスタに値を書き込む必要があります。
- ④ タイマ出力禁止状態（TOEmn = 0）で、対象チャンネルのTOmnビットへの書き込み（TOmnライト信号）が有効となります。タイマ出力禁止状態（TOEmn = 0）のとき、INTTMmn（マスタ・チャンネル・タイマ割り込み）とINTTMmp（スレーブ・チャンネル・タイマ割り込み）はTO m レジスタに伝えられません。
- ⑤ TO m レジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

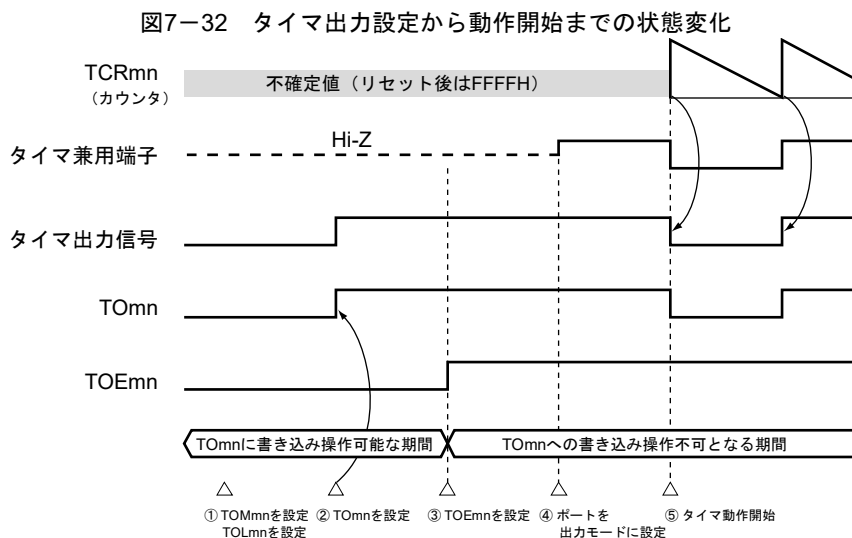
注意 P60, P61, P62をチャンネル出力として使用する場合は、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

（備考は次ページにあります。）

備考 m : ユニット番号 (m = 0)
 n : チャンネル番号
 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号
 n < p ≤ 7

7.6.2 TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。



① タイマ出力の動作モードを設定します。

- ・ TOMmnビット (0 : マスタ・チャンネル出力モード, 1 : スレーブ・チャンネル出力モード)
- ・ TOLmnビット (0 : 正論理出力, 1 : 負論理出力)

- ② タイマ出力レジスタm (TOm) を設定することにより、タイマ出力信号が初期状態に設定されます。
- ③ TOEmnビットに1を書き込み、タイマ出力動作を許可します (TOmレジスタへの書き込みは不可となります)。
- ④ ポートの入出力設定を出力に設定します (7.3.15 タイマ入出力端子のポート機能を制御するレジスタ参照)。
- ⑤ タイマを動作許可にします (TSmn = 1)。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

7.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOM, TOEm, TOLmレジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタmn (TCRmn) , タイマ・データ・レジスタmn (TDRmn) の動作）は、TOMn出力回路とは独立しています。よって、タイマ出力レジスタm (TOM) , タイマ出力許可レジスタm (TOEm) , タイマ出力レベル・レジスタm (TOLm) の設定値変更はタイマ動作に影響しないため、タイマ動作中に設定値の変更が可能です。ただし、各タイマ動作において期待する波形をTOMn端子から出力するためには、7.8, 7.9節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTMmn) 近辺で、TOMレジスタを除くTOEmレジスタ, TOLmレジスタの設定値変更を行うと、タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と、タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは、TOMn端子に出力される波形が異なる場合があります。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

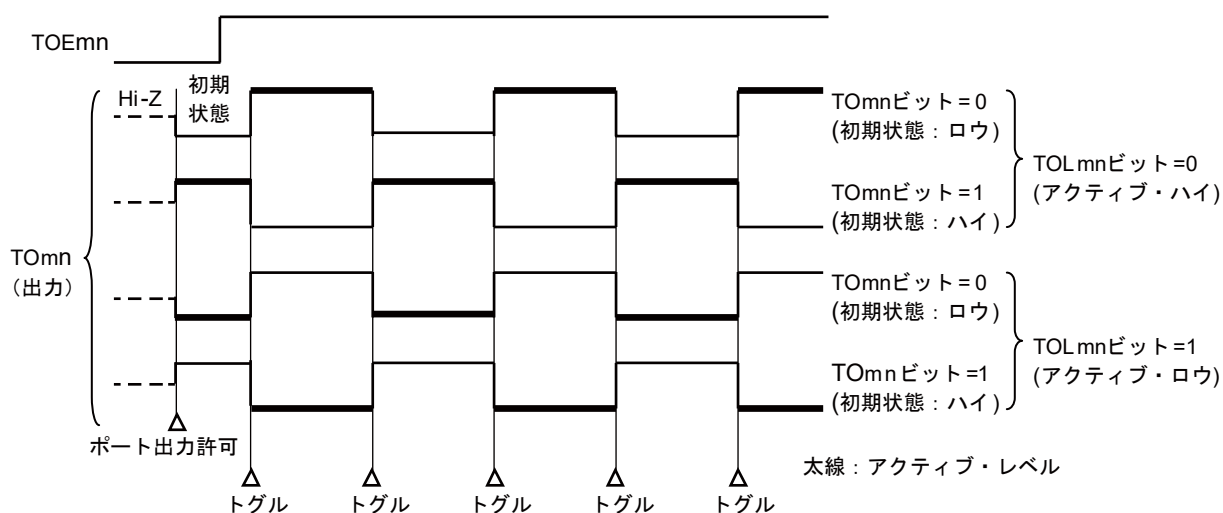
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止 (TOEmn = 0) の状態でタイマ出力レジスタm (TOm) に書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOEmn = 1) に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード (TOMmn= 0) 設定で動作を開始した場合

マスタ・チャンネル出力モード (TOMmn=0) の時、タイマ出力レベル・レジスタm (TOLm) の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

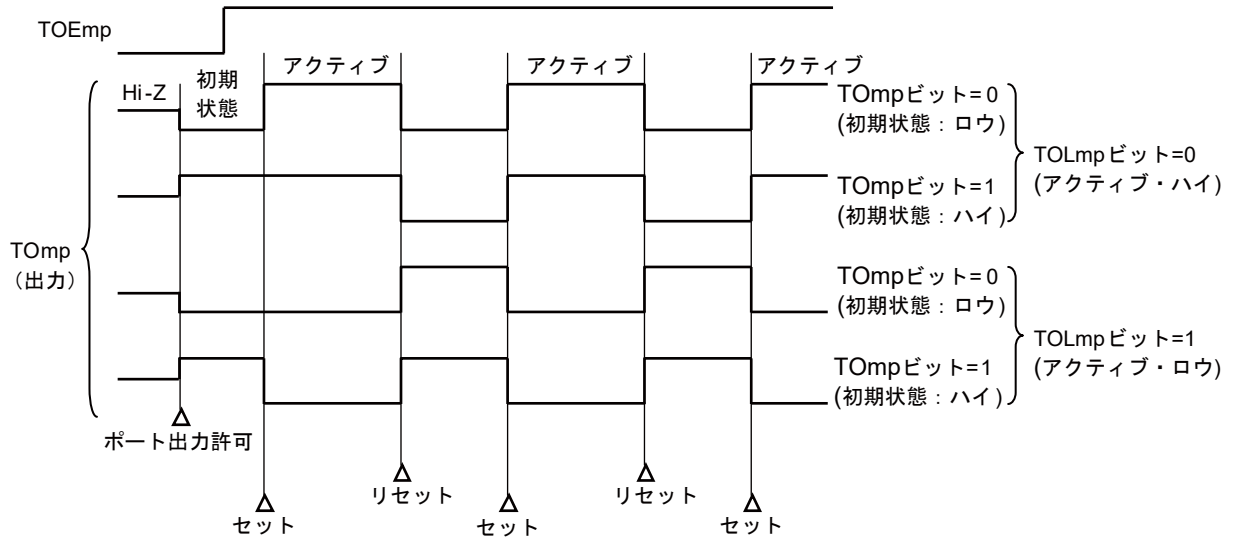
図7-33 トグル出力時 (TOMmn = 0) のTOmn端子出力状態



- 備考1. トグル : TOmn端子の出力状態を反転
- 2. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

- (b) スレーブ・チャンネル出力モード (TOMmp = 1) 設定で動作を開始した場合 (PWM出力)
スレーブ・チャンネル出力モード (TOMmp = 1) の時、タイマ出力レベル・レジスタm (TOLm) の設定によりアクティブ・レベルを決定します。

図7-34 PWM出力時 (TOMmp = 1) のTOmp端子出力状態



- 備考1. セット : TOmp端子の出力信号が, インアクティブ・レベルからアクティブ・レベルに変化
リセット : TOmp端子の出力信号が, アクティブ・レベルからインアクティブ・レベルに変化
2. m : ユニット番号 (m = 0) , p : チャンネル番号 (p = 1-7)

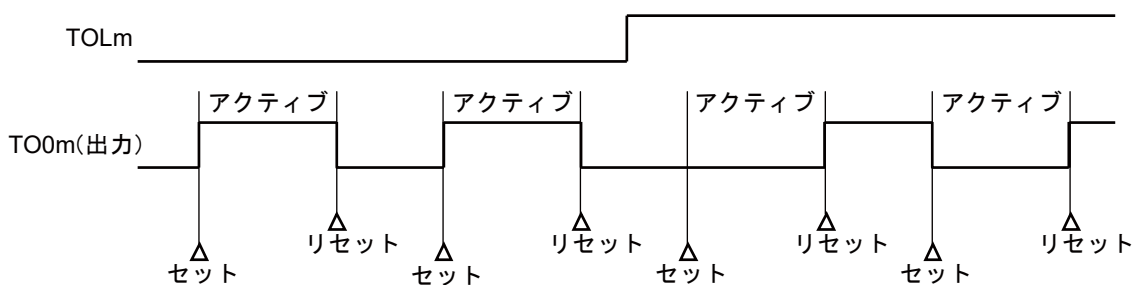
(3) TOmn端子のスレーブ・チャンネル出力モード (TOMmn = 1) での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタm (TOLm) の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOmn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中 (TEmn = 1) にTOLmレジスタの値を変更した場合の動作を次に示します。

図7-35 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



- 備考1. セット : TOmn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
リセット : TOmn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
2. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

(b) セット/リセット・タイミング

PWM出力時に、0%/100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTMmn) 発生時のTOmn端子/TOmnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

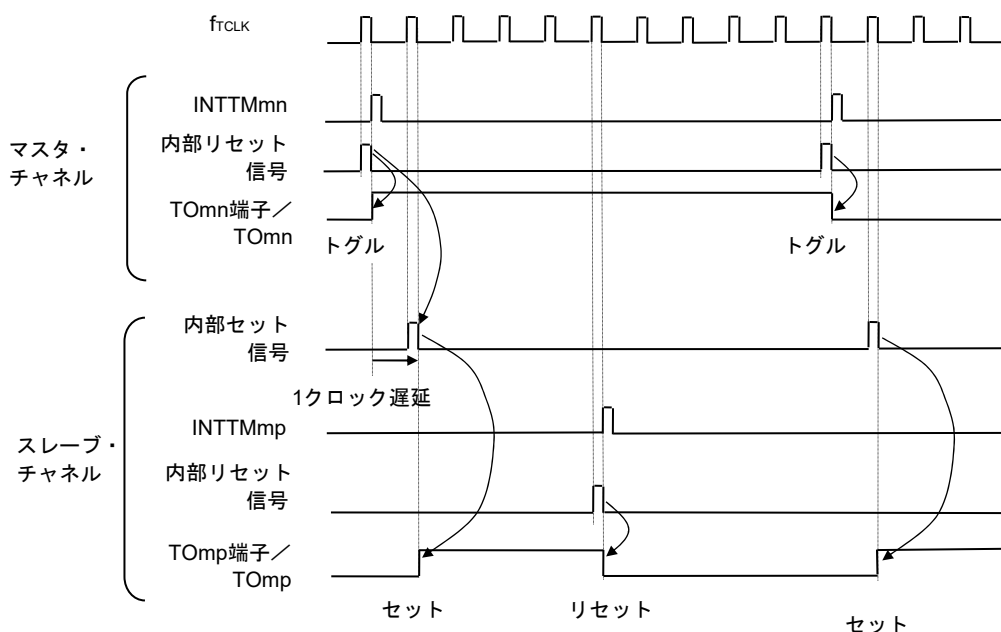
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図7-36に示します。

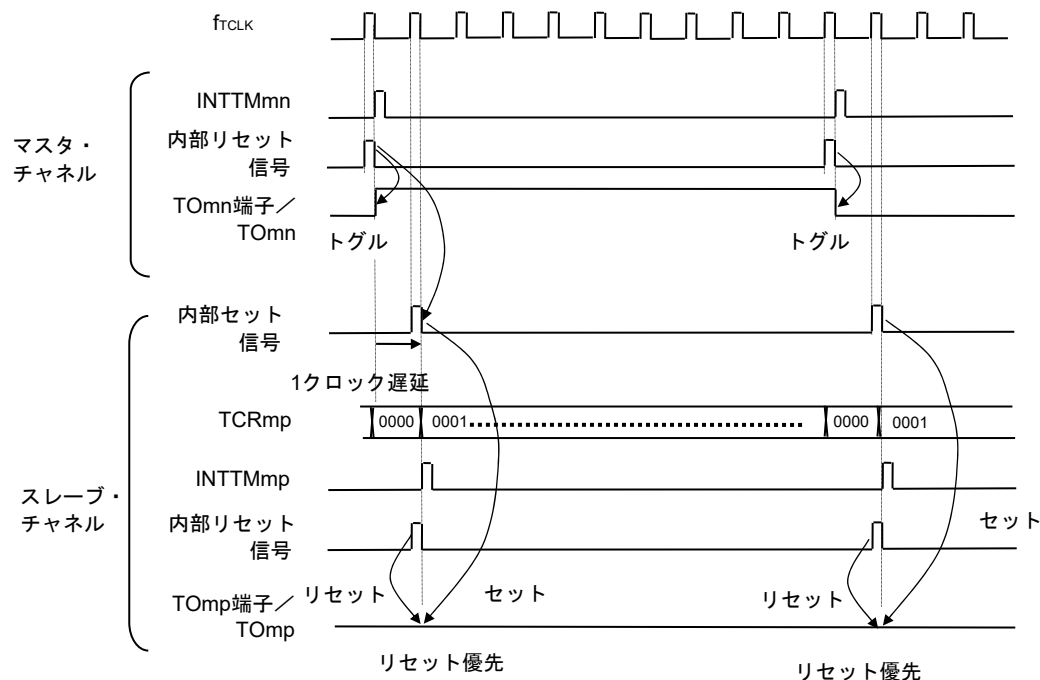
- マスタ・チャンネル : TOEmn = 1, TOMmn = 0, TOLmn = 0
スレーブ・チャンネル : TOEmp = 1, TOMmp = 1, TOLmp = 0

図7-36 セット/リセット・タイミング動作状態

(1) 基本動作タイミング



(2) 0%デューティ時の動作タイミング



- 備考1. 内部リセット信号 : TO_{mn} 端子のリセット/トグル信号
 内部セット信号 : TO_{mn} 端子のセット信号
2. m : ユニット番号 (m = 0)
 n : チャンネル番号
 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号
 n < p ≤ 7

7.6.4 TOmnビットの一括操作

タイマ出力レジスタm (TOm) には、タイマ・チャンネル開始レジスタm (TSm) と同様に、1レジスタに全チャンネル分の設定ビット (TOmn) が配置されています。よって、全チャンネルのTOmnビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TOmn) のみTOmnビットへの書き込み可能 (TOEmn = 0) とすることによって任意のビットのみ操作することが可能です。

図7-37 TO0nビットの一括操作例

書き込み前

TO0	0	0	0	0	0	0	0	0	TO07	0	TO06	0	TO05	1	TO04	0	TO03	0	TO02	0	TO01	1	TO00	0
TOE0	0	0	0	0	0	0	0	0	TOE07	0	TOE06	0	TOE05	1	TOE04	0	TOE03	1	TOE02	1	TOE01	1	TOE00	1

書き込みデータ

0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

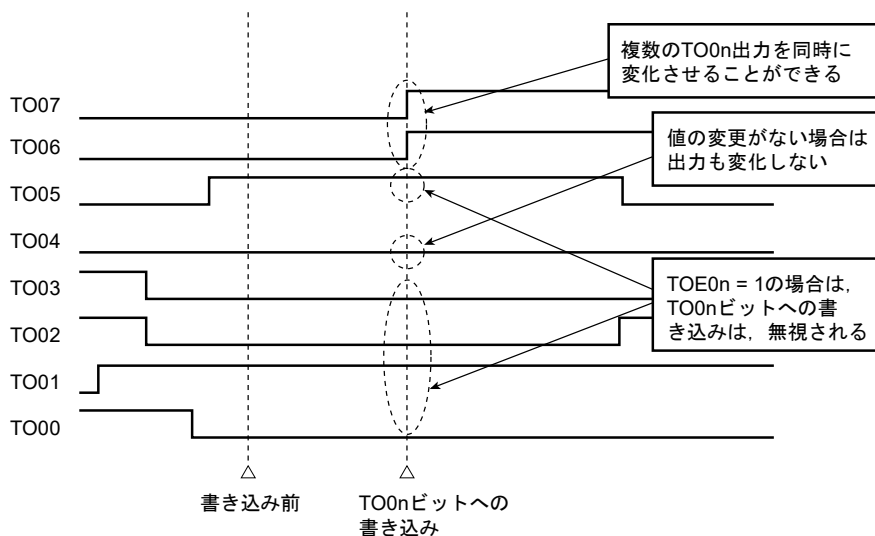
書き込み後

TO0	0	0	0	0	0	0	0	0	TO07	1	TO06	1	TO05	1	TO04	0	TO03	0	TO02	0	TO01	1	TO00	0
-----	---	---	---	---	---	---	---	---	------	---	------	---	------	---	------	---	------	---	------	---	------	---	------	---

TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn (チャンネル出力) は、書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図7-38 TO0nビットの一括操作によるTO0nの端子状態



備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

7.6.5 カウント動作開始時のタイマ割り込みとTOMn端子出力について

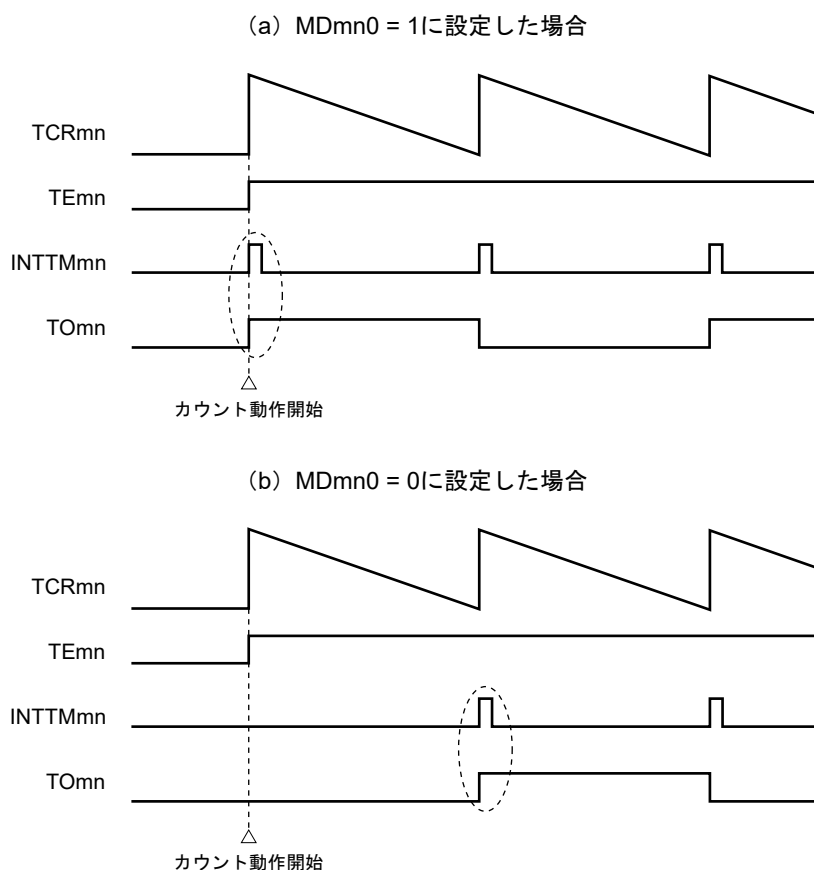
インターバル・タイマ・モード／キャプチャ・モードの場合、タイマ・モード・レジスタmn (TMRmn) の MDmn0ビットは、「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

MDmn0 = 1に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOMn出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図7-39 カウント動作開始時のタイマ割り込み、TOMn出力の動作例



MDmn0 = 1に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOMnがトグル動作します。

MDmn0 = 0に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOMnも変化しません。1周期をカウント後、INTTMmnを出力し、TOMnがトグル動作します。

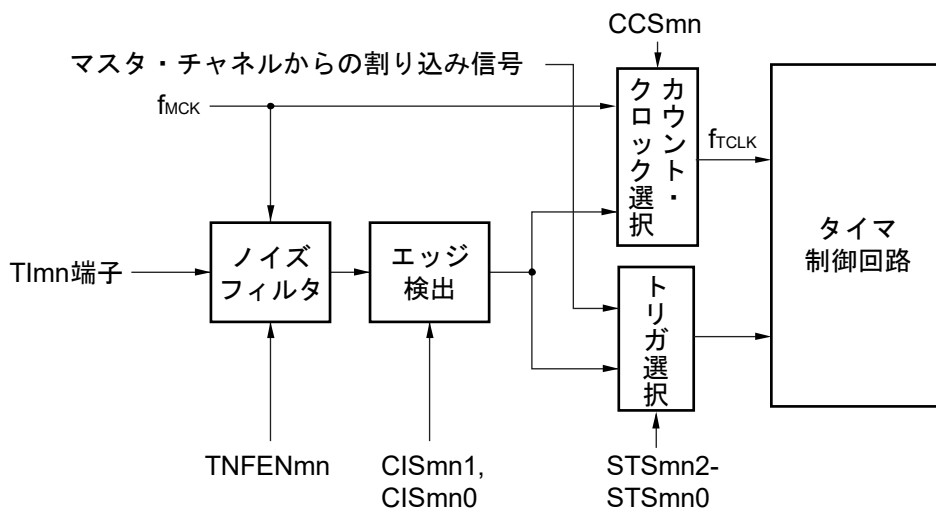
備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

7.7 タイマ入力 (Tlmn) の制御

7.7.1 Tlmnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

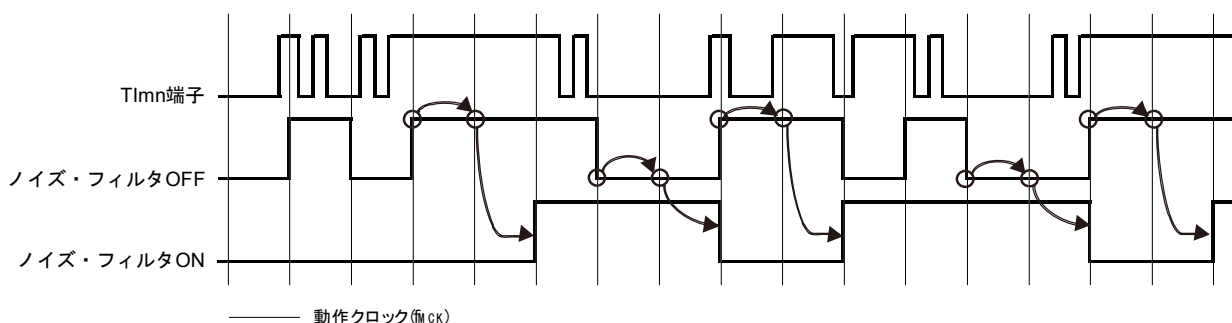
図7-40 入力回路構成図



7.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック（fMCK）で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック（fMCK）で同期化のあと、2クロックの一致検出を行います。以下に、Tlmn入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図7-41 Tlmn入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形



注意 Tlmn端子の入力波形は、ノイズ・フィルタON/OFFの動作を説明するためのものであり、実際は、37.4 AC特性に示す入力ハイ・レベル幅/ロウ・レベル幅に従ってください。

7.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタOFFの場合

タイマ・モード・レジスタmn (TMRmn) のビット12 (CCSmn), ビット9 (STSmn1), ビット8 (STSmn0) がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック (f_{MCK}) の2サイクル以上経過してから、タイマ・チャンネル開始レジスタ (T_{Sm}) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタONの場合

タイマ・モード・レジスタmn (TMRmn) のビット12 (CCSmn), ビット9 (STSmn1), ビット8 (STSmn0) がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック (f_{MCK}) の4サイクル以上経過してから、タイマ・チャンネル開始レジスタ (T_{Sm}) の動作許可トリガをセットしてください。

7.8 タイマ・アレイ・ユニットの単独チャネル動作機能

7.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\cdot \text{TOmnからの出力方形波の周期} = \text{カウント・クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\cdot \text{TOmnからの出力方形波の周波数} = \text{カウント・クロックの周波数} / \{ (\text{TDRmnの設定値} + 1) \times 2 \}$$

タイマ・カウンタ・レジスタmn (TCRmn) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm (TSm) のチャネル・スタート・トリガ・ビット (TSmn, TSHm1, TSHm3) に1を設定後、最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタmn (TDRmn) の値をロードします。このときタイマ・モード・レジスタmn (TMRmn) のMDmn0 = 0ならば、INTTMmnを出力せず、TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば、INTTMmnを出力して、TOmnをトグルします。

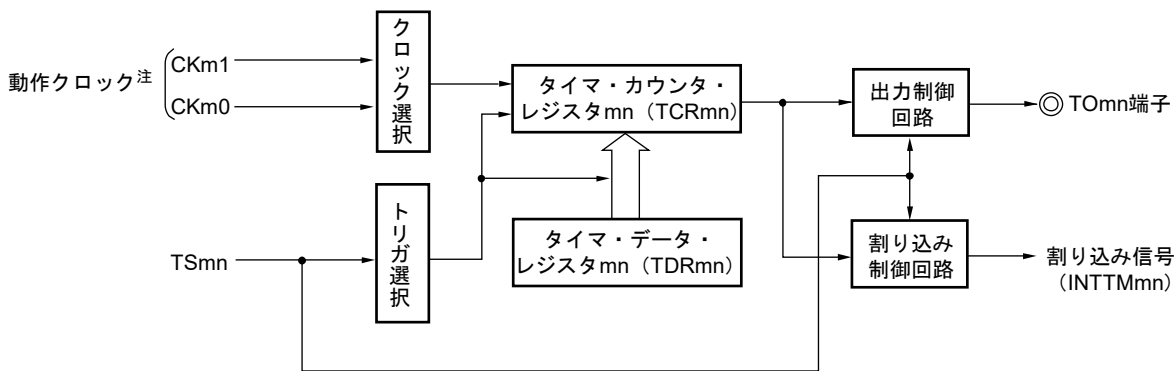
その後、TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000Hとなったら、次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また、同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降、同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は、次の周期から有効となります。

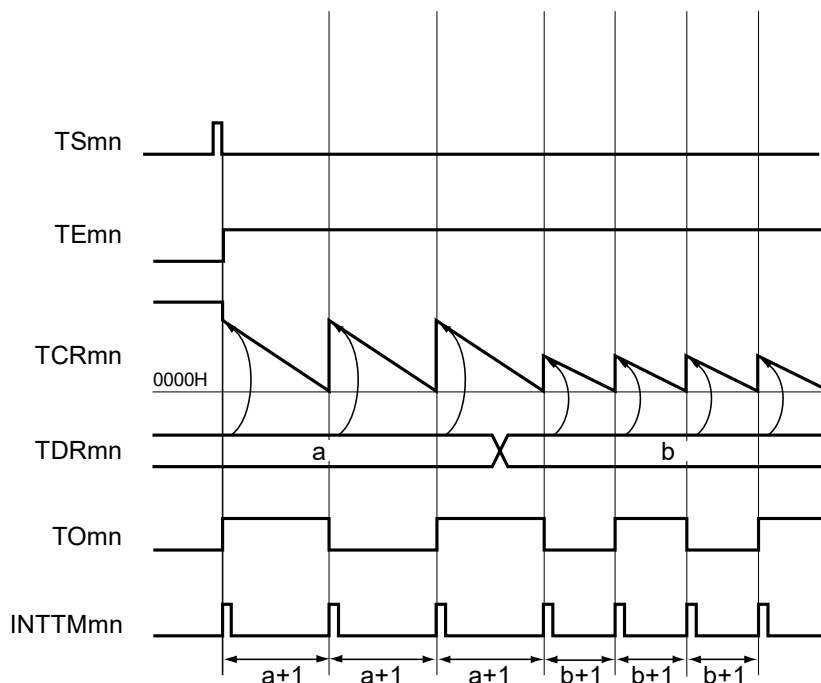
備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

図7-42 インターバル・タイマ／方形波出力としての動作のブロック図



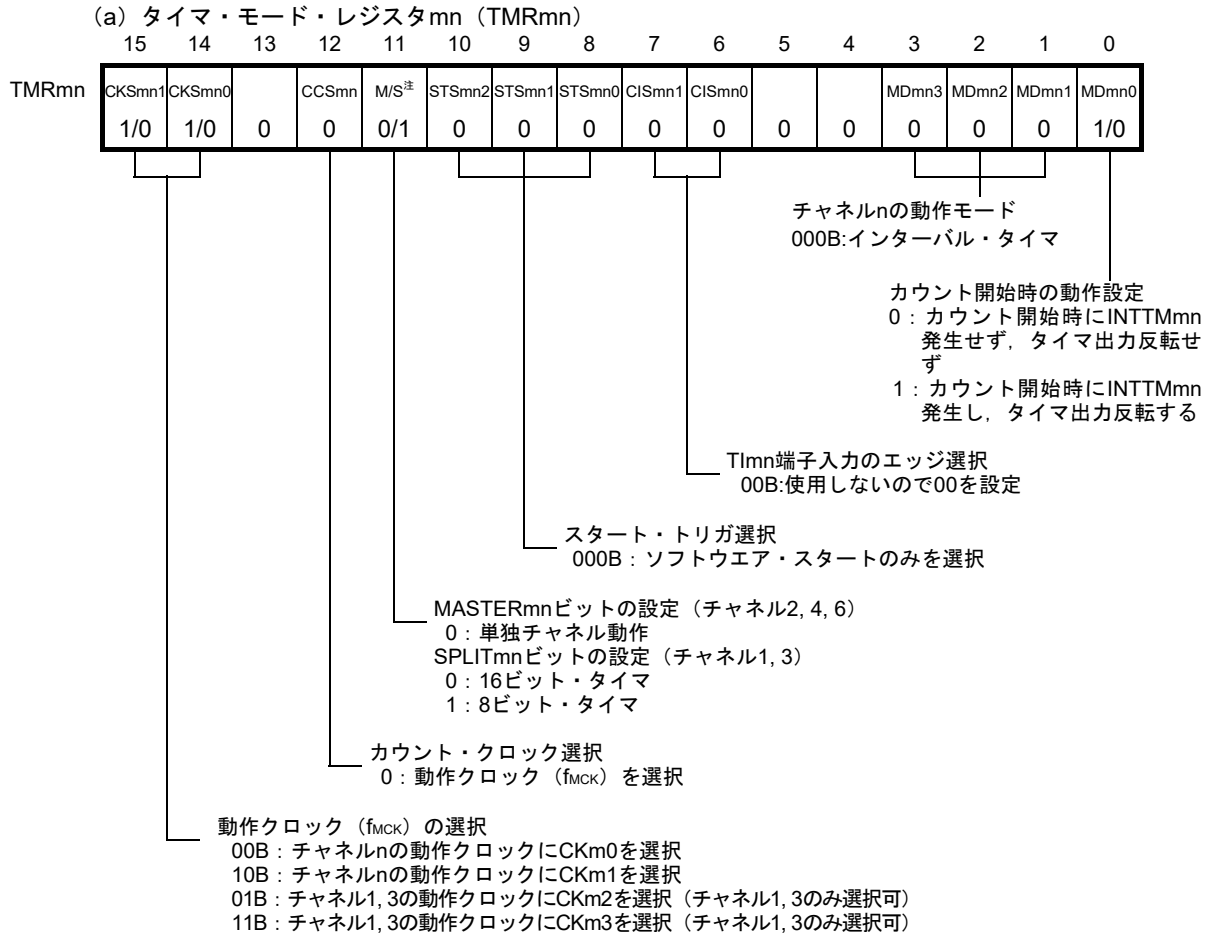
注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7-43 インターバル・タイマ／方形波出力としての動作の基本タイミング例 (MDmn0 = 1)



- 備考1. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)
- 2. TSmn : タイマ・チャンネル開始レジスタm (TSm) のビットn
- TEmn : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn
- TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
- TDRmn : タイマ・データ・レジスタmn (TDRmn)
- TOmn : TOmn端子出力信号

図7-44 インターバル・タイマ／方形波出力時のレジスタ設定内容例



(b) タイマ出力レジスタm (TOM)

ビットn		
TOMn	0	0 : TOMnより0を出力する
	1/0	1 : TOMnより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn		
TOEmn	0	0 : カウント動作によるTOMn出力動作停止
	1/0	1 : カウント動作によるTOMn出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn		
TOLmn	0	0 : TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定

(e) タイマ出力モード・レジスタm (TOMm)

ビットn		
TOMmn	0	0 : マスタ・チャンネル出力モードを設定

- 注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図7-45 インターバル・タイマ/方形波出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値を設定する TOmn出力を使用する場合, タイマ出力モード・レジスタm (TOMm) のTOMmnビットに0 (マスタ・チャンネル出力モード) を設定する TOLmnビットに0を設定する TOmnビットを設定し, TOmn出力の初期レベルを確定する TOEmnビットに1を設定し, TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmnは変化しない TOmn端子はTOmn設定レベルを出力
動作 開始	(TOmn出力を使用する場合で, かつ動作再開時のみ TOEmnビットに1を設定する) TSmn (TSHm1, TSHm3) ビットに1を設定する TSmn (TSHm1, TSHm3) ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHm3) = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOmnもトグル動作する。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOm, TOEmレジスタは, 設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは, 設定値変更禁止	カウンタ (TCRmn) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し, TOmnはトグル動作する。以降, この動作を繰り返す。
動作 停止	TTmn (TTHm1, TTHm3) ビットに1を設定する TTmn (TTHm1, TTHm3) ビットはトリガ・ビットなので, 自動的に0に戻る TOEmnビットに0を設定し, TOmnビットに値を設定する	TEmn (TEHm1, TEHmn) = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持 TOmn端子はTOmnビットに設定したレベルを出力

動作再開

(備考は次ページにあります。)

図7-45 インターバル・タイマ／方形波出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要	
	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

7.8.2 外部イベント・カウンタとしての動作

TImn端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmnの設定値} + 1$$

タイマ・カウンタ・レジスタmn (TCRmn) はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタm (TSM) の任意のチャンネル・スタート・トリガ・ビット (TSMn, TSHm1, TSHm3) に1を設定することによりTCRmnレジスタはタイマ・データ・レジスタmn (TDRmn) の値をロードします。

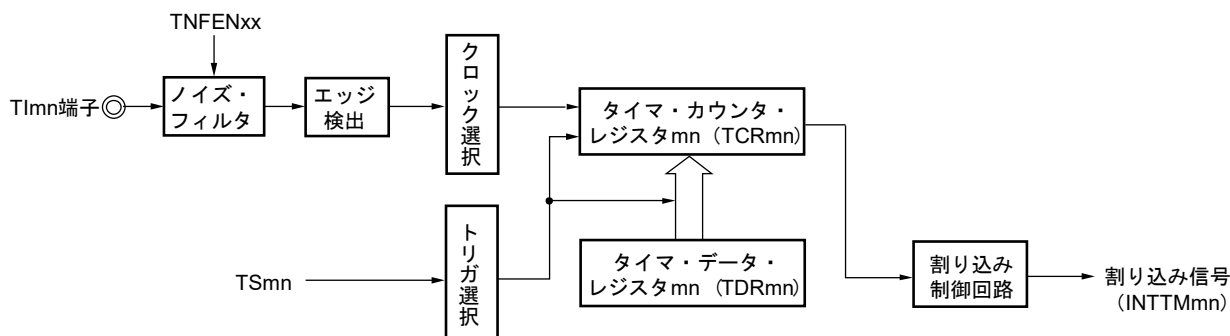
TCRmnレジスタはTImn端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000Hになったら、再びTDRmnレジスタの値をロードして、INTTMmnを出力します。

以降、同様の動作を継続します。

TOmn端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタm (TOEm) のTOEmnビットに0を設定して出力動作を停止するようにしてください。

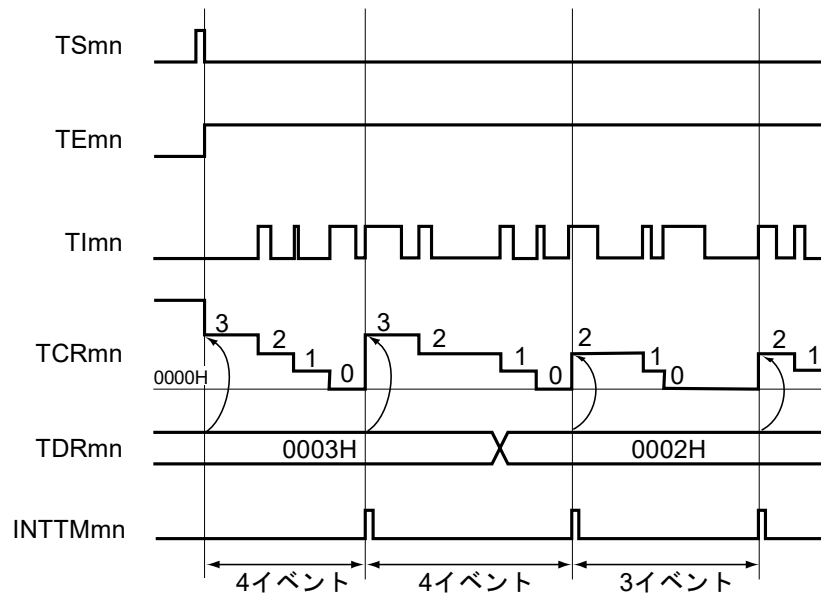
TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は次のカウント期間で有効になります。

図7-46 外部イベント・カウンタとしての動作のブロック図



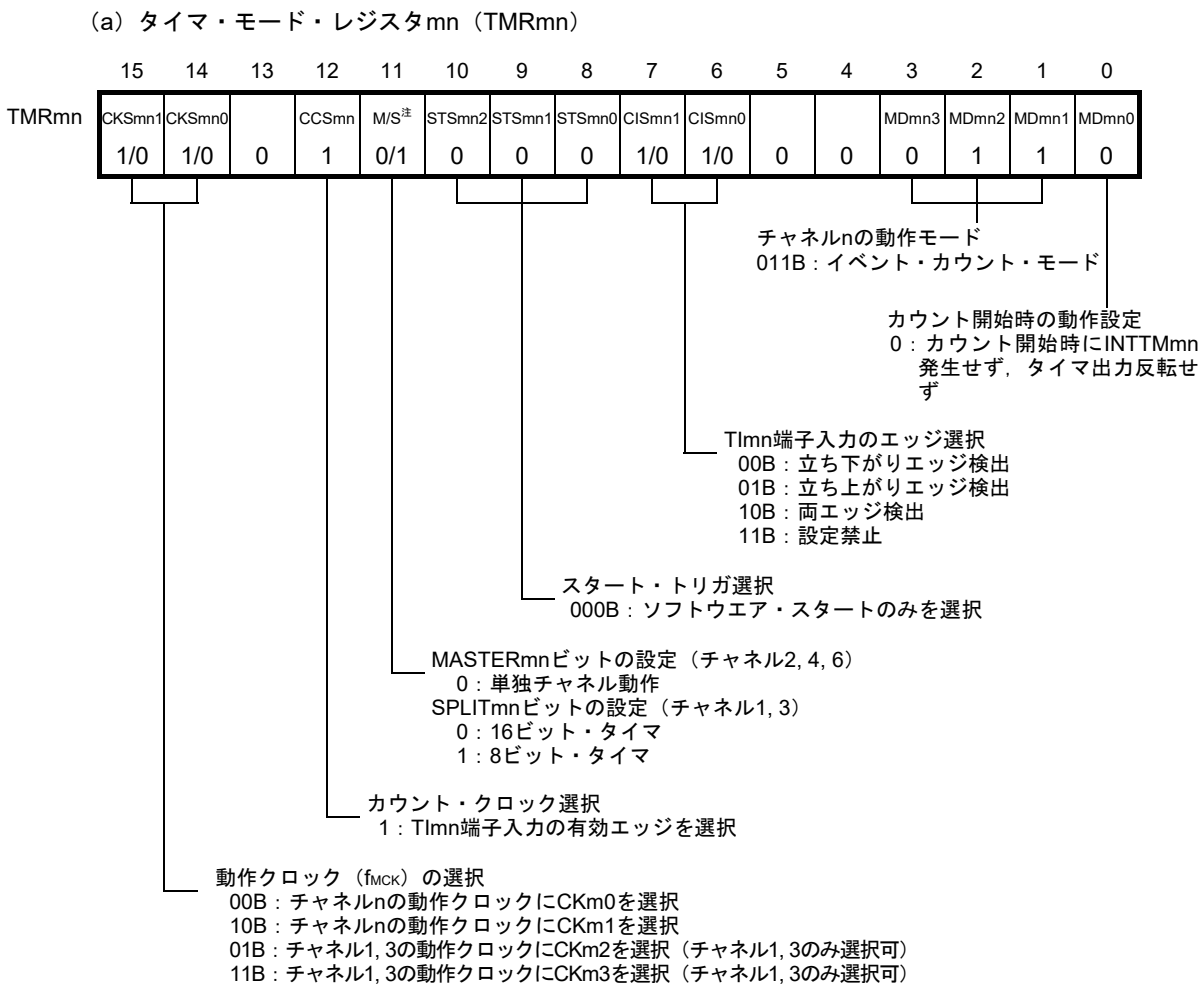
備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図7-47 外部イベント・カウンタとしての動作の基本タイミング例



- 備考1. m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)
2. TSmn : タイマ・チャンネル開始レジスタm (TSM) のビットn
 TEmn : タイマ・チャンネル許可ステータス・レジスタm (TEM) のビットn
 TImn : TImn端子入力信号
 TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
 TDRmn : タイマ・データ・レジスタmn (TDRmn)

図7-48 外部イベント・カウンタ・モード時のレジスタ設定内容例



(b) タイマ出力レジスタm (TOM)

ビットn

TOMn 0 0: TOMnより0を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn

TOEm 0 0: カウント動作によるTOMn出力動作停止

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn

TOLm 0 0: TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定

(e) タイマ出力モード・レジスタm (TOMm)

ビットn

TOMm 0 0: マスタ・チャンネル出力モードを設定

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定
 備考 m: ユニット番号 (m = 0), n: チャンネル番号 (n = 0-7)

図7-49 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	▶ パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にカウント数を設定する タイマ出力許可レジスタm (TOEm) のTOEmnビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	▶ TE _m n = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし, TImn端子入力のエッジ検出待ち状態になる
	動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	▶ TE _m n = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	▶ パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

7.8.3 入力パルス間隔測定としての動作

Tlmn有効エッジでカウント値をキャプチャし、Tlmn入力パルスの間隔を測定することができます。また、TEmn = 1の期間中に、ソフトウェア操作 (TSmn = 1) をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tlmn入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((1000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 Tlmn端子入力は、タイマ・モード・レジスタmn (TMRmn) のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn (TCRmn) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタm (TSM) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定するとTCRmnレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

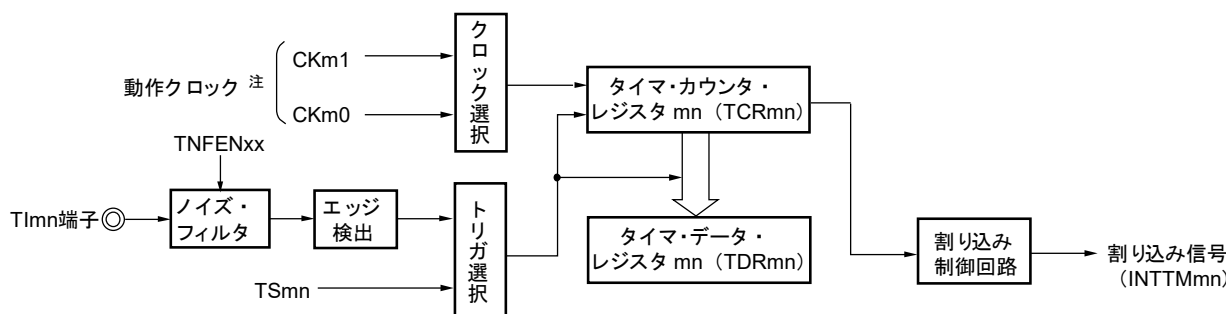
Tlmn端子入力の有効エッジを検出すると、TCRmnレジスタのカウント値をタイマ・データ・レジスタmn (TDRmn) に転送 (キャプチャ) すると同時に、TCRmnレジスタを0000Hにクリアして、INTTMmnを出力します。このとき、カウンタのオーバーフローが発生していたら、タイマ・ステータス・レジスタmn (TSRmn) のOVFビットが1にセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を継続します。

カウント値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSRmnレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMRmnレジスタのSTSmn2-STSmn0 = 001Bに設定して、Tlmn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

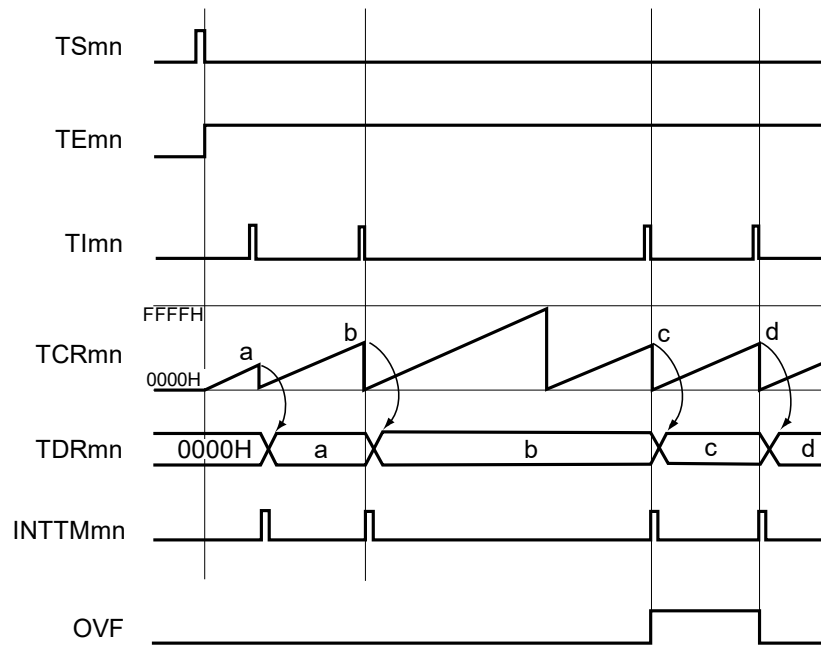
図7-50 入力パルス間隔測定としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

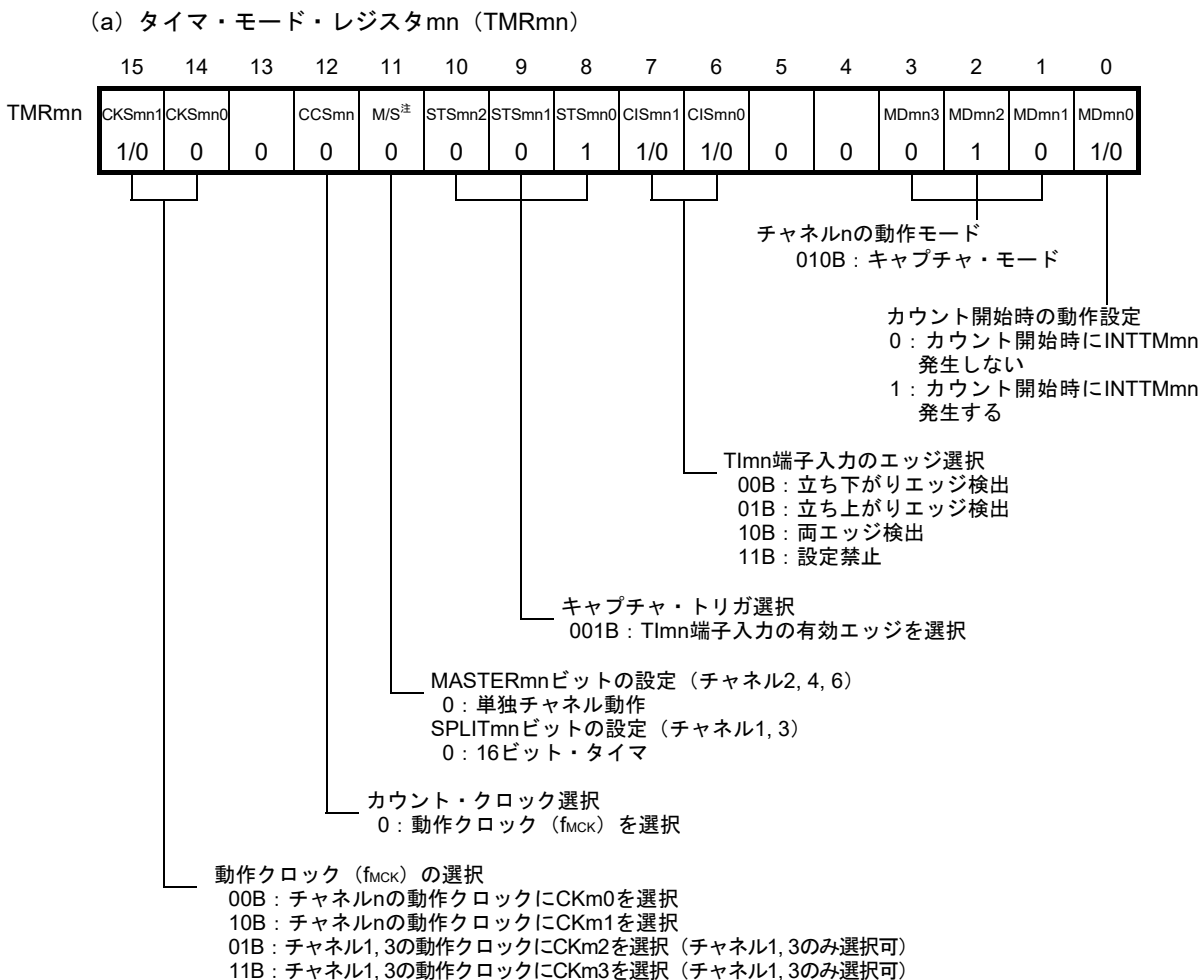
備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図7-51 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)

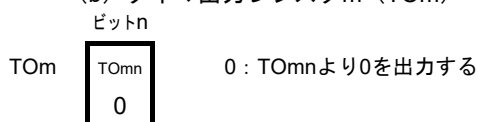


- 備考1. m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)
2. TSmn : タイマ・チャンネル開始レジスタm (TSm) のビットn
 TE mn : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn
 TI mn : TI mn端子入力信号
 TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
 TDRmn : タイマ・データ・レジスタmn (TDRmn)
 OVF : タイマ・ステータス・レジスタmn (TSRmn) のビット0

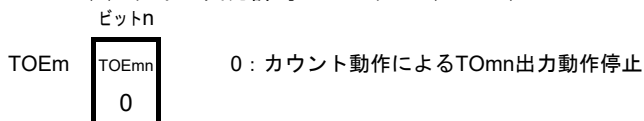
図7-52 入力パルス間隔測定時のレジスタ設定内容例



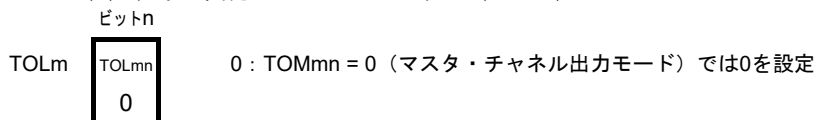
(b) タイマ出力レジスタm (TOM)



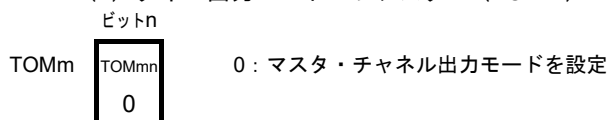
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図7-53 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタmのTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャネルの動作モード確定)	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) を0000Hにクリアする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生する。
動作 中	TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変更可能 TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	カウンタ (TCRmn) は0000Hからアップ・カウント動作を行い, TImn端子入力の有効エッジが検出または, TSmnビットに1を設定すると, カウント値をタイマ・データ・レジスタmn (TDRmn) に転送 (キャプチャ) する。同時に, TCRmnレジスタを0000Hにクリアし, INTTMmnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

7.8.4 入力信号のハイ/ロウ・レベル幅測定としての動作

注意 LIN-bus対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット1 (ISC1) を1に設定してください。また、以降の説明では「TImn」を「RxD0」と読み替えてください。

TImn端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TImnの信号幅 (ハイ・レベル幅/ロウ・レベル幅) を測定することができます。TImnの信号幅は次の式で求めることができます。

$$\text{TImn入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 TImn端子入力は、タイマ・モード・レジスタmn (TMRmn) のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn (TCRmn) はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm (TSM) のチャネル・スタート・トリガ・ビット (TSmn) に1を設定すると、TEmn = 1となりTImn端子のスタート・エッジ検出待ち状態となります。

TImn端子入力のスタート・エッジ (ハイ・レベル幅測定ならTImn端子入力の立ち上がりエッジ) を検出すると、カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定ならTImn端子入力の立ち下がりエッジ) を検出すると、カウンタ値をタイマ・データ・レジスタmn (TDRmn) に転送すると同時にINTTmnを出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。TCRmnレジスタは、「TDRmnレジスタに転送した値+1」の値で停止し、TImn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmnレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

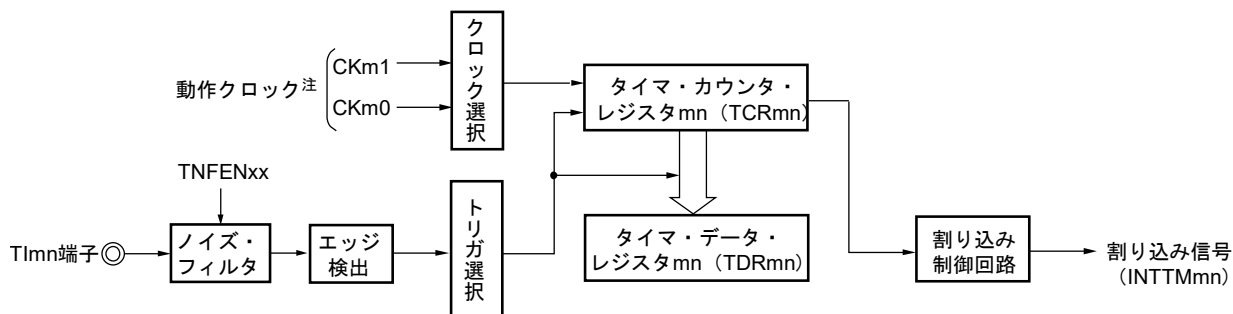
TImn端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmnレジスタのCISmn1, CISmn0ビットにて設定することができます。

この機能は、TImn端子入力の信号幅測定を目的とするため、TEmn = 1期間中のTSmnビットのセット (1) は使用できません。

TMRmnレジスタのCISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

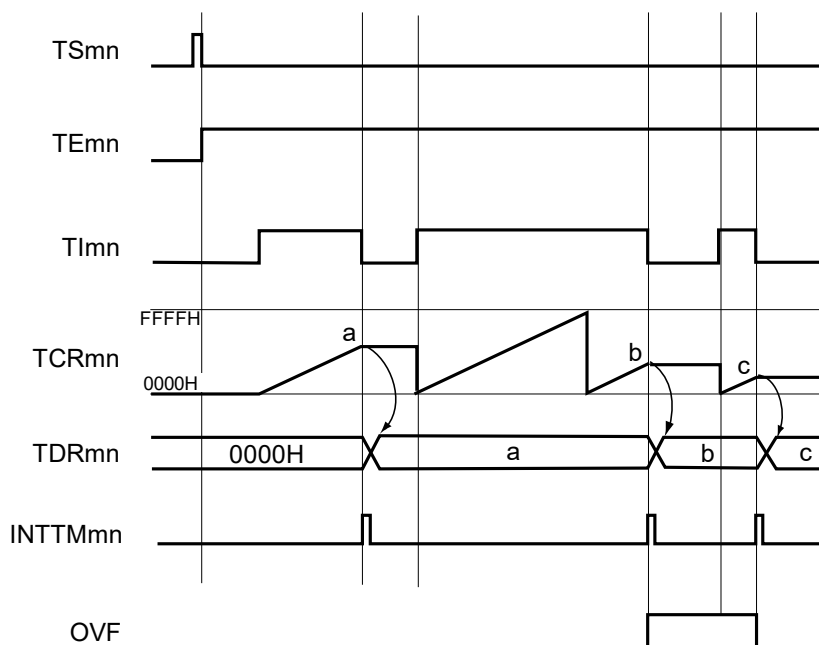
TMRmnレジスタのCISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図7-54 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



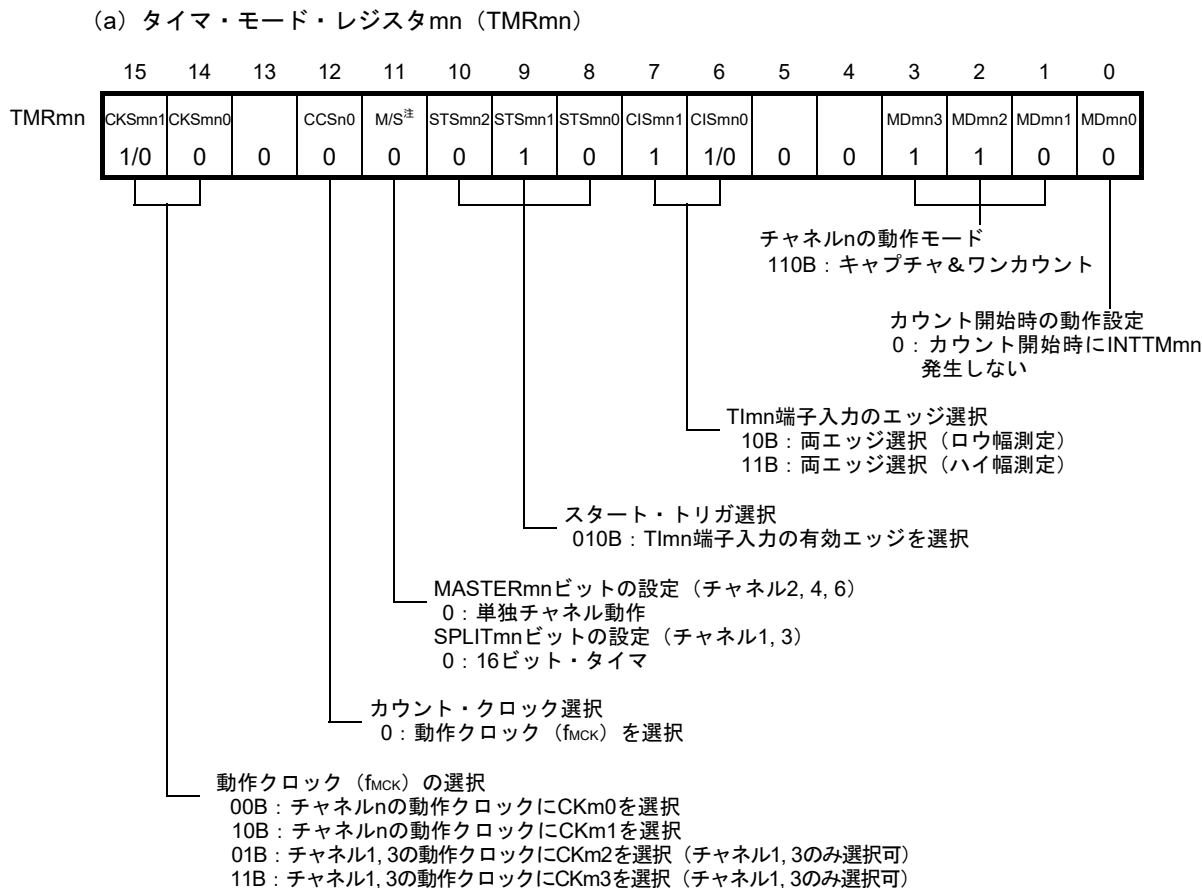
注 チャンネル1, 3の場合は, CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

図7-55 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例

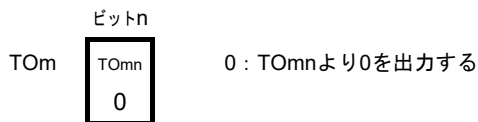


- 備考1. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)
- 2. TS_{mn} : タイマ・チャンネル開始レジスタm (TS_m) のビットn
- TE_{mn} : タイマ・チャンネル許可ステータス・レジスタm (TE_m) のビットn
- TI_{mn} : TI_{mn}端子入力信号
- TCR_{mn} : タイマ・カウンタ・レジスタmn (TCR_{mn})
- TDR_{mn} : タイマ・データ・レジスタmn (TDR_{mn})
- OVF : タイマ・ステータス・レジスタmn (TSR_{mn}) のビット0

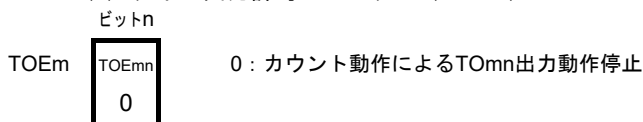
図7-56 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例



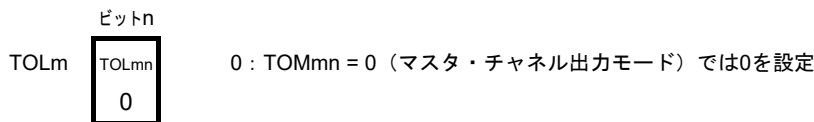
(b) タイマ出力レジスタm (TOm)



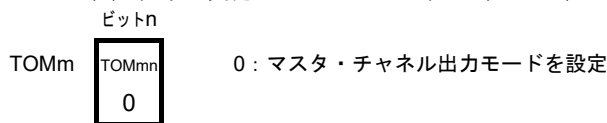
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



- 注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定
- 備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

図7-57 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャネルの動作モード確定) TOEmnビットに0を設定し, TOmnの動作を停止	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動 作 開 始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタmn (TCRmn) を0000Hにクリアし, カウント・アップ動作を開始する
動 作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOmn, TOEmnビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn) は0000Hからアップ・カウント動作を行う。TImn端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタmn (TDRmn) に転送し, INTTMmnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動 作 停 止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停 止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

7.8.5 ディレイ・カウンタとしての動作

Tl_{mn}端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし、任意の設定間隔でINTTM_{mn}（タイマ割り込み）を発生することができます。

また、TE_{mn} = 1の期間中に、ソフトウェア操作でTS_{mn} = 1に設定することで、ダウン・カウントをスタートし、任意の設定間隔でINTTM_{mn}（タイマ割り込み）を発生することもできます。

割り込み発生周期は、次の式で求める事ができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

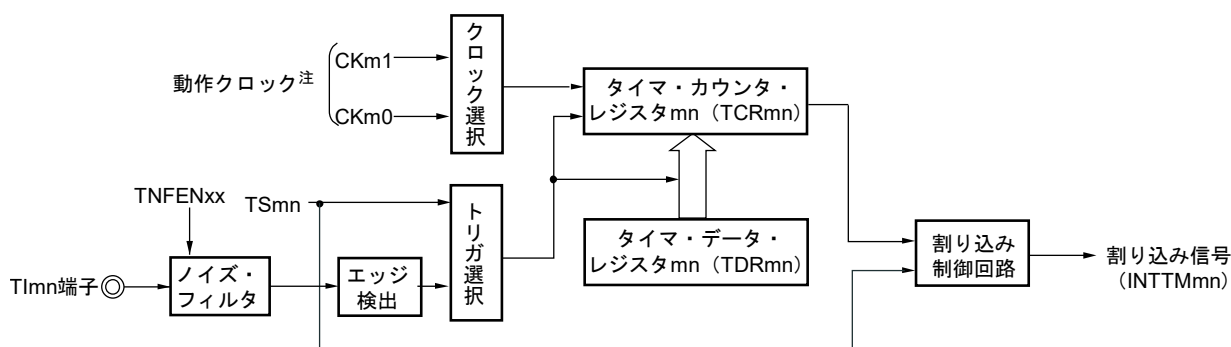
タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ_m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に1を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3} = 1となりTl_{mn}端子の有効エッジ検出待ち状態となります。

TCR_{mn}レジスタは、Tl_{mn}端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ_{mn} (TDR_{mn}) から値をロードします。TCR_{mn}レジスタはロードしたTDR_{mn}レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR_{mn} = 0000HとなったらINTTM_{mn}を出力し、次のTl_{mn}端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn}レジスタは任意のタイミングで書き換えることができます。書き換えたTDR_{mn}レジスタの値は、次の周期から有効となります。

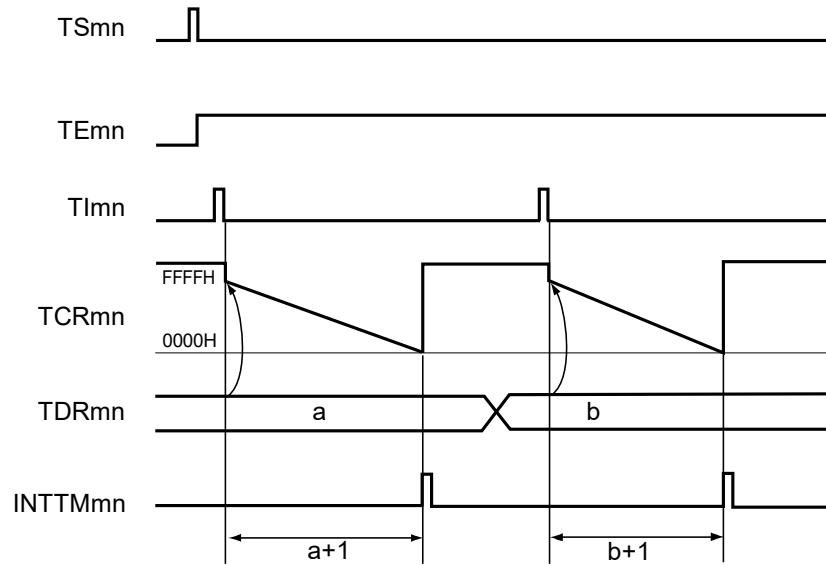
図7-58 ディレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

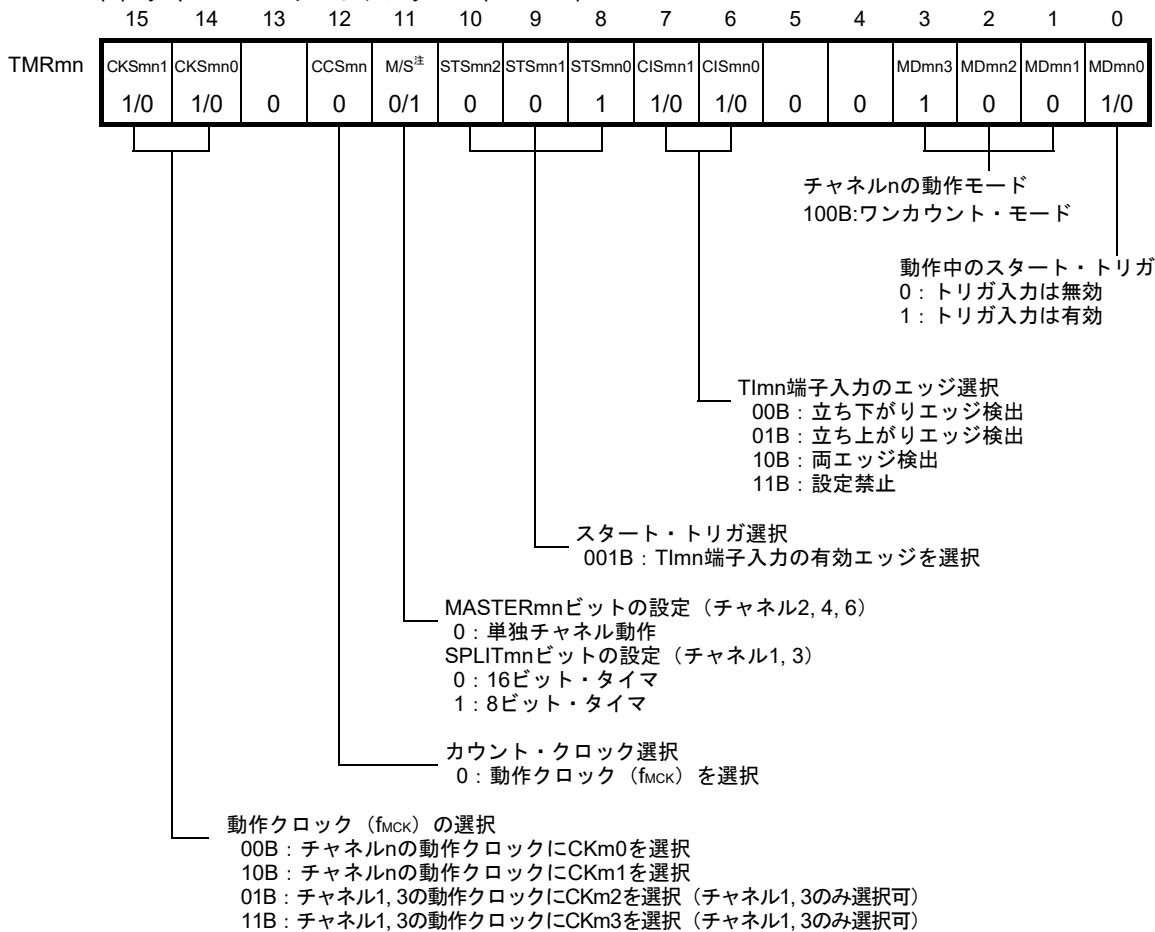
図7-59 デイレイ・カウンタとしての動作の基本タイミング例



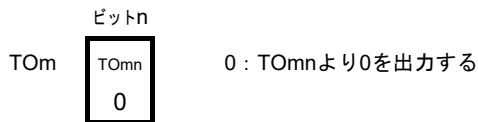
- 備考1. m : ユニット番号 ($m = 0$) , n : チャネル番号 ($n = 0-7$)
2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n
 TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n
 TImn : TImn端子入力信号
 TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)
 TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図7-60 ディレイ・カウンタ機能時のレジスタ設定内容例

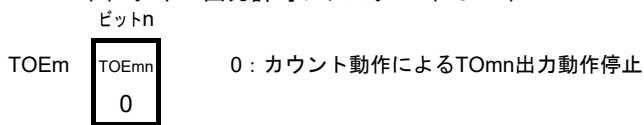
(a) タイマ・モード・レジスタmn (TMRmn)



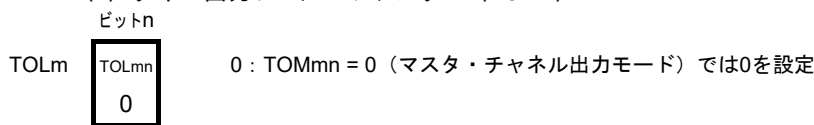
(b) タイマ出力レジスタm (TOM)



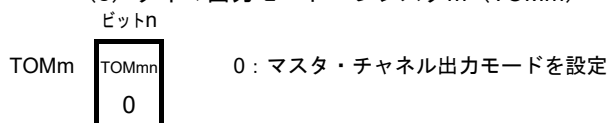
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



- 注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図7-61 ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn) に遅延時間を設定する TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, スタート・トリガ検出 (TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定) 待ち状態となる
	次のスタート・トリガ検出によって, ダウン・カウントを開始します。 ・ TImn端子入力の有効エッジ検出 ・ ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない	カウンタ (TCRmn) はダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のスタート・トリガ検出 (TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定) までTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

7.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

7.9.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$$\begin{aligned} \text{ディレイ} &= \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$$

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタmn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタmn (TDRmn) から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000HとなったらINTTMmnを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルのTCRmpレジスタは、マスタ・チャネルのINTTMmnをスタート・トリガとして動作を開始し、TDRmpレジスタから値をロードします。TCRmpレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000HとなったらINTTMmpを出力して、次のスタート・トリガ (マスタ・チャネルのINTTMmn) 検出があるまで、カウントを停止します。TOmpの出力レベルは、マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらいんアクティブ・レベルとなります。

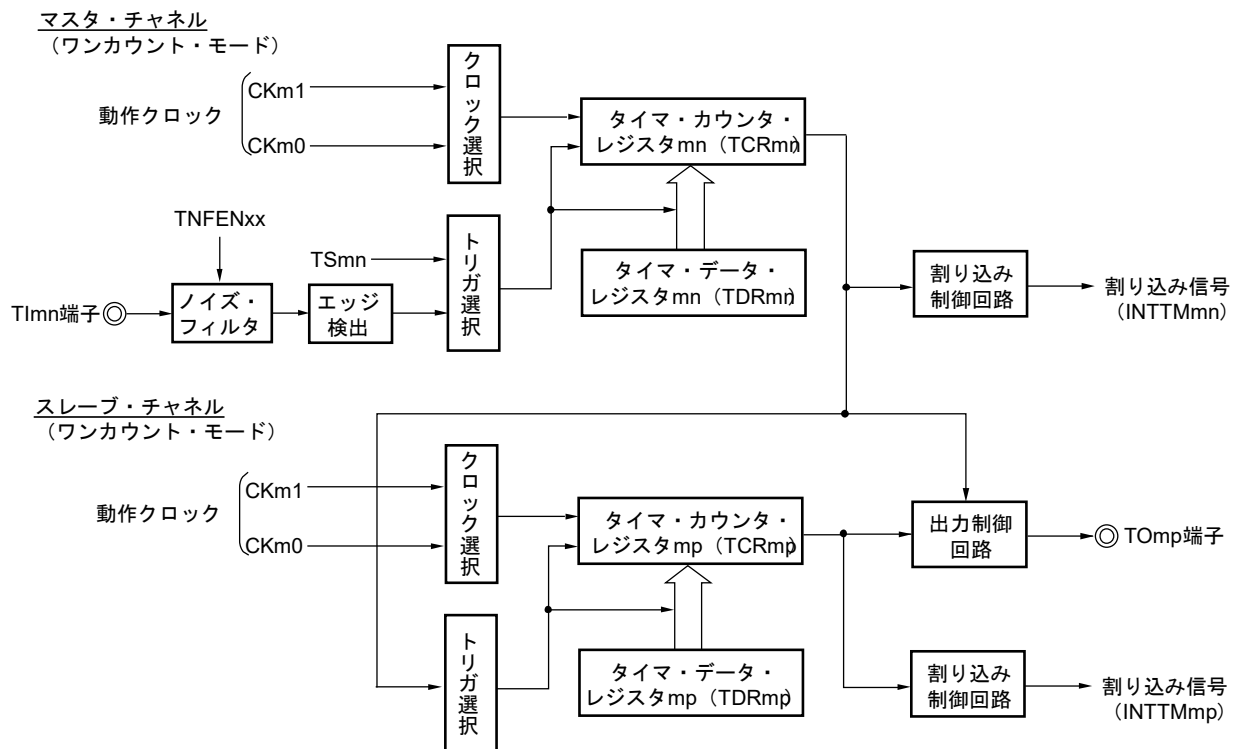
ワンショット・パルス出力は、TImn端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャネルのTDRmpレジスタでは、ロード・タイミングが異なるため、カウント動作中にTDRmnレジスタ、TDRmpレジスタを書き換えると不正波形が出力される場合があります。TDRmnレジスタはINTTMmn発生後に、TDRmpレジスタはINTTMmp発生後に書き換えてください。

備考 m : ユニット番号 (m = 0) , n : マスタ・チャネル番号 (n = 0, 2, 4, 6)

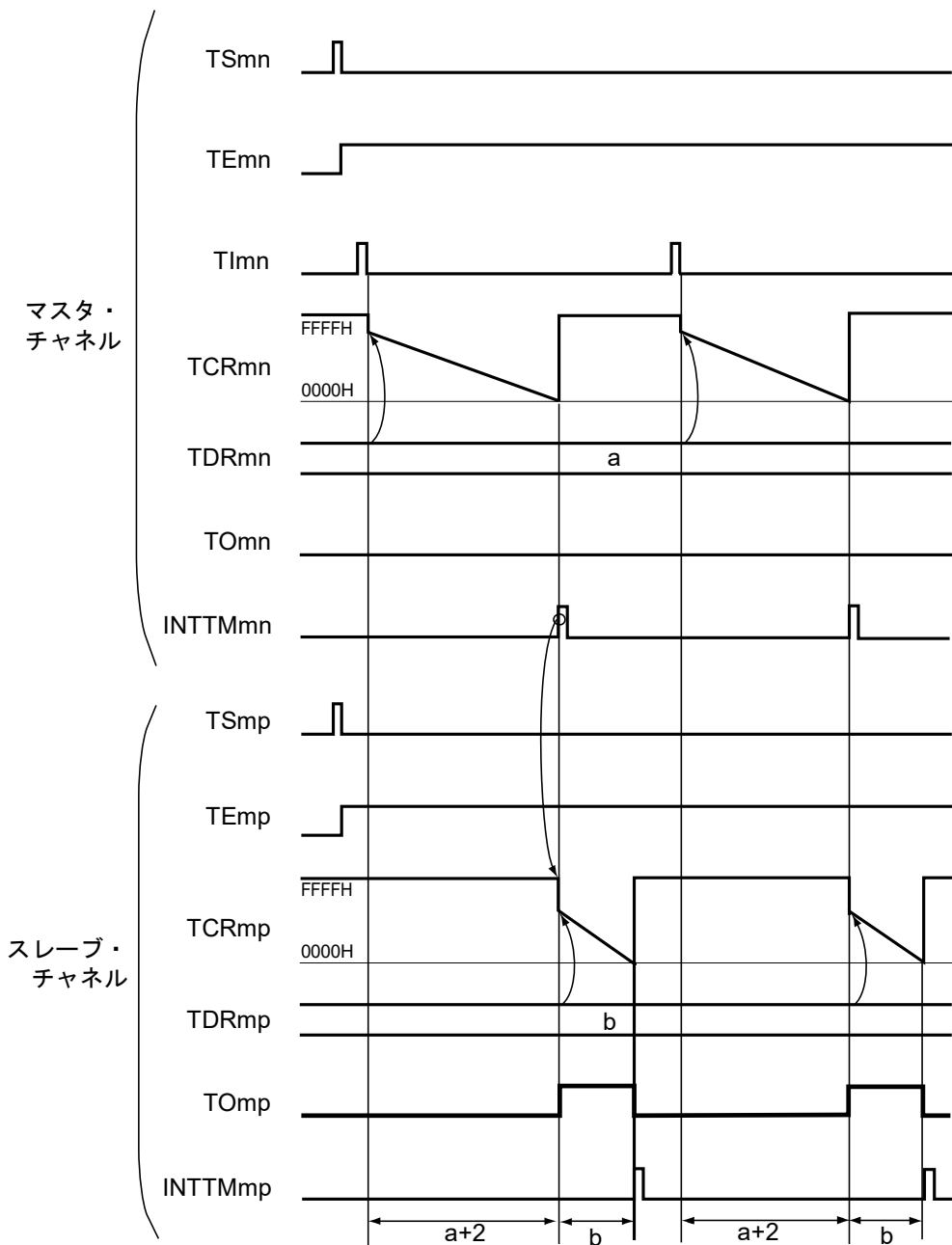
p : スレーブ・チャネル番号 (n < p ≤ 7)

図7-62 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

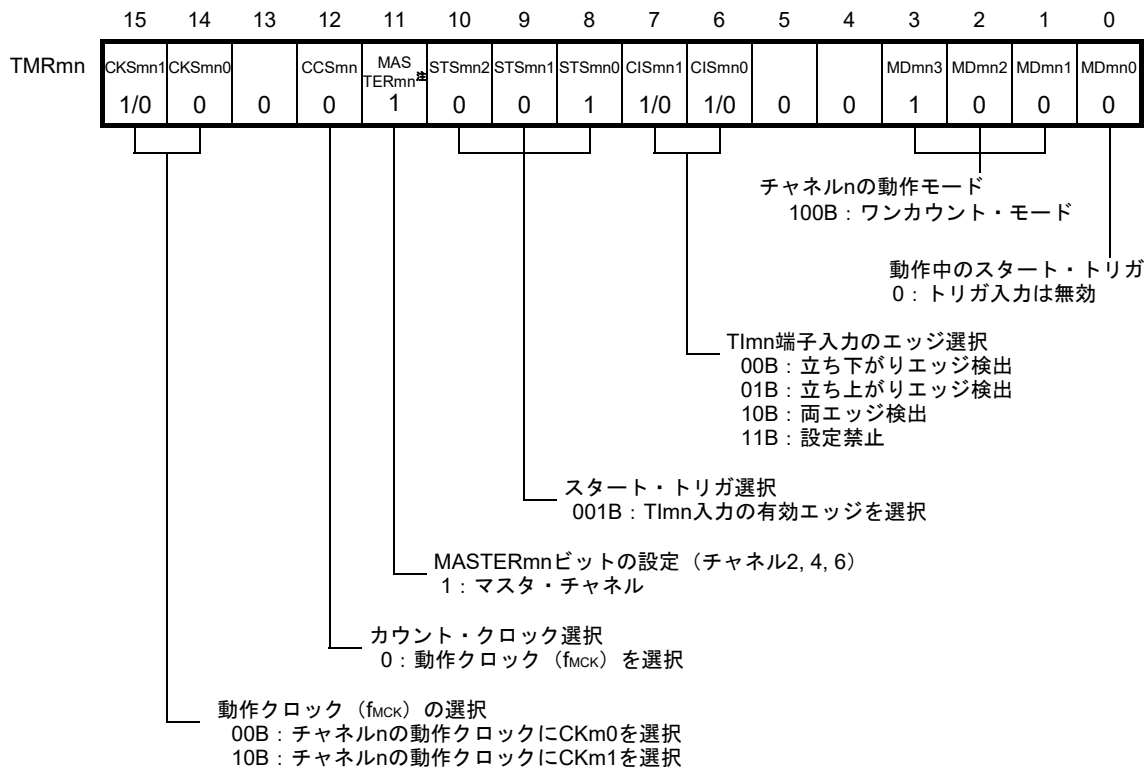
図7-63 ワンショット・パルス出力機能としての動作の基本タイミング例



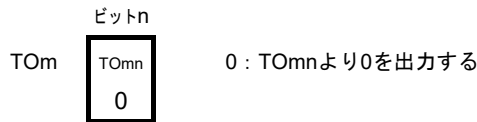
- 備考1. m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)
2. TSmn, TSmp : タイマ・チャンネル開始レジスタm (TSM) のビットn, p
 TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタm (TEM) のビットn, p
 TImn, TImp : TImn, TImp端子入力信号
 TCRmn, TCRmp : タイマ・カウンタ・レジスタmn, mp (TCRmn, TCRmp)
 TDRmn, TDRmp : タイマ・データ・レジスタmn, mp (TDRmn, TDRmp)
 TOmn, TOmp : TOmn, TOmp端子出力信号

図7-64 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

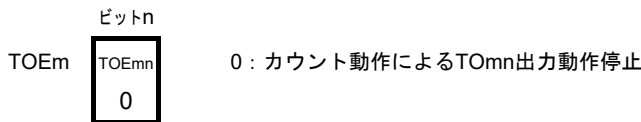
(a) タイマ・モード・レジスタmn (TMRmn)



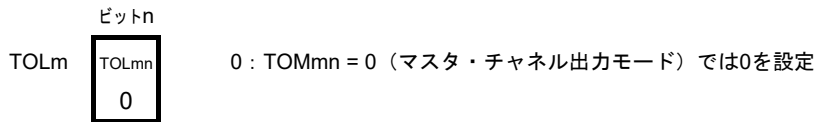
(b) タイマ出力レジスタm (TOM)



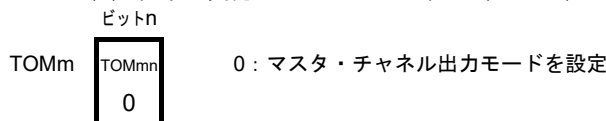
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)

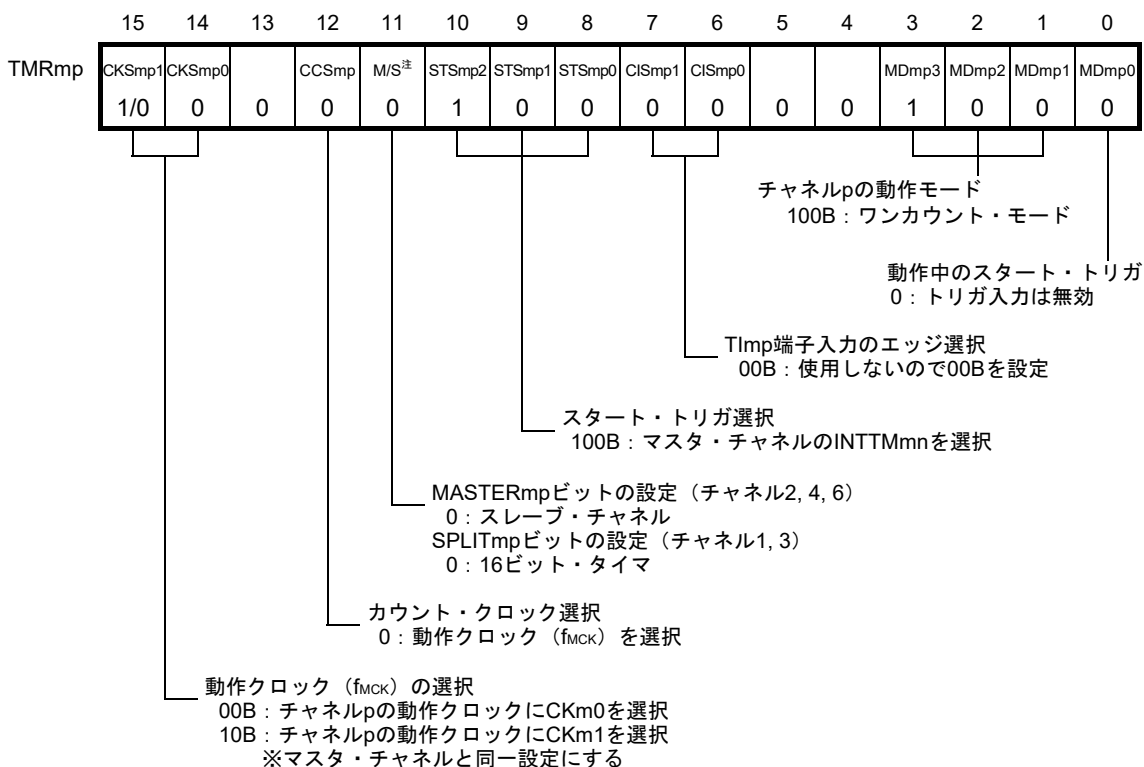


注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図7-65 ワンショット・パルス出力機能時（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタm (TOM)

	ビットp		
TOM	TOMP	0 :	TOMPより0を出力する
	1/0	1 :	TOMPより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

	ビットp		
TOEm	TOEMP	0 :	カウント動作によるTOMP出力動作停止
	1/0	1 :	カウント動作によるTOMP出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

	ビットp		
TOLm	TOLMP	0 :	正論理出力 (アクティブ・ハイ)
	1/0	1 :	負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

	ビットp		
TOMm	TOMMP	1 :	スレーブ・チャンネル出力モードを設定
	1		

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmpビット
 TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7-66 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	<p>周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する</p> <p>タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する</p>	<p>パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)</p> <p>パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)</p>
チャ ネル 初期 設定	<p>ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに1を設定する</p> <p>使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定)</p> <p>マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) に出力遅延時間, スレーブ・チャンネルのTDRmpレジスタにパルス幅を設定する</p> <p>スレーブ・チャンネルの設定</p> <p>タイマ出力モード・レジスタm (TOMm) のTOMmpビットに1 (スレーブ・チャンネル出力モード) を設定する</p> <p>TOLmpビットを設定する</p> <p>TOmpビットを設定し, TOmp出力の初期レベルを確定する</p> <p>TOEmpビットに1を設定し, TOmpの動作を許可</p> <p>ポート・レジスタとポート・モード・レジスタに0を設定する</p>	<p>チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)</p> <p>TOmp端子はHi-Z出力状態</p> <p>ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。</p> <p>チャンネルは動作停止状態なので, TOmpは変化しない</p> <p>TOmp端子はTOmp設定レベルを出力</p>

(注, 備考は次ページにあります。)

図7-66 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	<p>動作開始</p> <p>TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ)</p> <p>タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する →</p> <p>TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る</p>	<p>TEmn = 1, TEm = 1となり、マスタ・チャンネルはスタート・トリガ検出 (TImn端子入力の有効エッジの検出、またはマスタ・チャンネルのTSmnビットに1を設定) 待ち状態となる</p> <p>カウンタはまだ停止状態のまま</p>
	<p>マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウント動作を開始します。</p> <ul style="list-style-type: none"> ・TImn端子入力の有効エッジ検出 ・ソフトウェアでマスタ・チャンネルのTSmnビットに1を設定^注 <p>注 スレーブ・チャンネルのTSmnビットには1を設定しないでください</p>	<p>マスタ・チャンネルがカウント動作開始</p>
	<p>動作中</p> <p>TMRmnレジスタは、CISmn1, CISmn0ビットのみ設定値変更可能</p> <p>TMRmp, TDRmn, TDRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは、設定値変更禁止</p> <p>TCRmn, TCRmpレジスタは、常に読み出し可能</p> <p>TSRmn, TSRmpレジスタは、使用しない</p> <p>スレーブ・チャンネルのTOM, TOEmレジスタは、設定値変更可能</p>	<p>マスタ・チャンネルでは、スタート・トリガ検出 (TImn端子入力の有効エッジの検出、またはマスタ・チャンネルのTSmnビットに1を設定) により、タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し、次のスタート・トリガ検出までカウント動作を停止する。</p> <p>スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmpレジスタはTDRmpレジスタの値をロードし、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。</p> <p>以降、この動作を繰り返す。</p>
動作停止	<p>TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する →</p> <p>TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る</p>	<p>TEmn, TEm = 0になり、カウント動作停止</p> <p>TCRmn, TCRmpレジスタはカウント値を保持して停止</p> <p>TOmp出力は初期化されず、状態保持</p>
	<p>スレーブ・チャンネルのTOEmpビットに0を設定し, TOmpビットに値を設定する →</p>	<p>TOmp端子はTOmp設定レベルを出力</p>
TAU停止	<p>TOmp端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後, TOmpビットに0を設定する →</p> <p>TOmp端子の出力レベルを保持不要の場合</p> <p>設定不要</p>	<p>TOmp端子出力レベルはポート機能により保持される。</p>
	<p>PER0レジスタのTAUmENビットに0を設定する →</p>	<p>パワーオフ状態</p> <p>全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)</p>

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

動作再開

7.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{\text{TDRmp (スレーブ) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ 0 \% \text{出力} &: \text{TDRmp (スレーブ) の設定値} = 0000\text{H} \\ 100 \% \text{出力} &: \text{TDRmp (スレーブ) の設定値} \geq \{\text{TDRmn (マスタ) の設定値} + 1\} \end{aligned}$$

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ) の設定値 + 1} の場合は、デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタm (TSm) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定すると、割り込み (INTTMmn) を出力して、タイマ・データ・レジスタmn (TDRmn) に設定した値をタイマ・カウンタ・レジスタmn (TCRmn) にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタm (TTm) のチャンネル・ストップ・トリガ・ビット (TTmn) に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ (マスタ・チャンネルからのINTTMmn) が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) のデューティとなります。

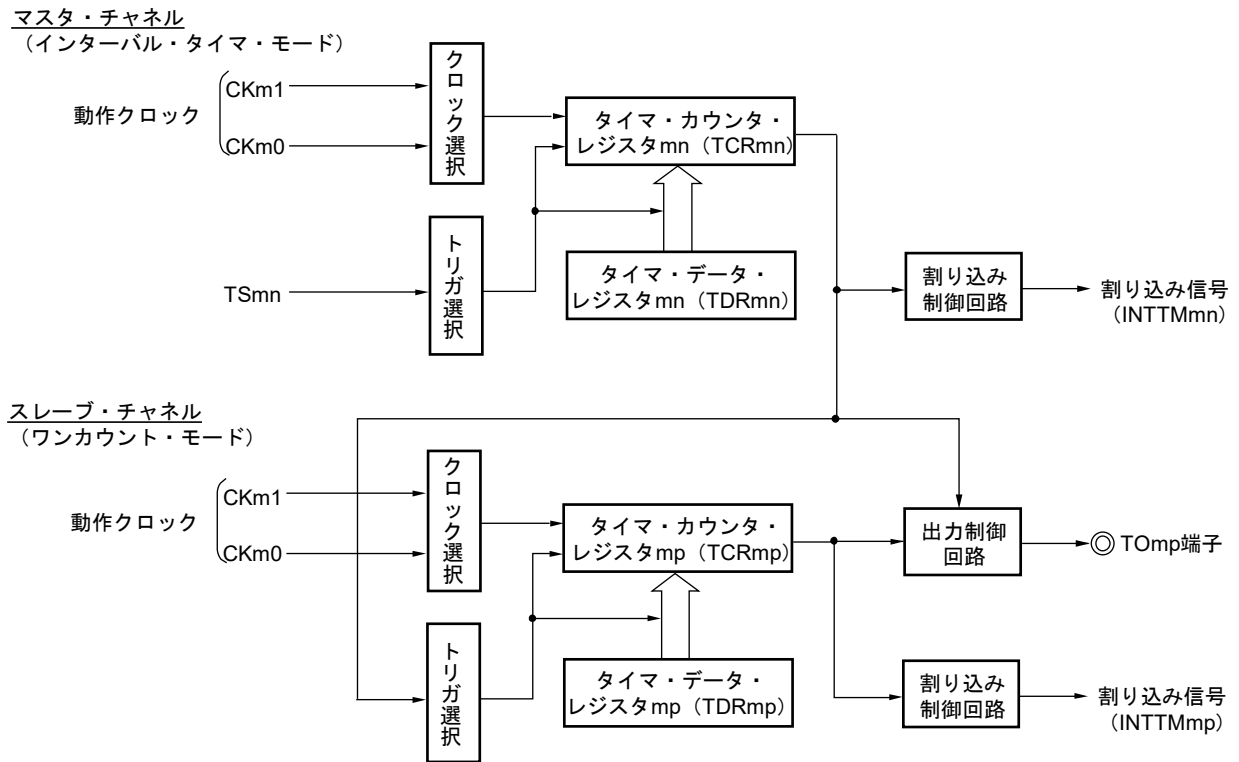
PWM出力 (TOmp) は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

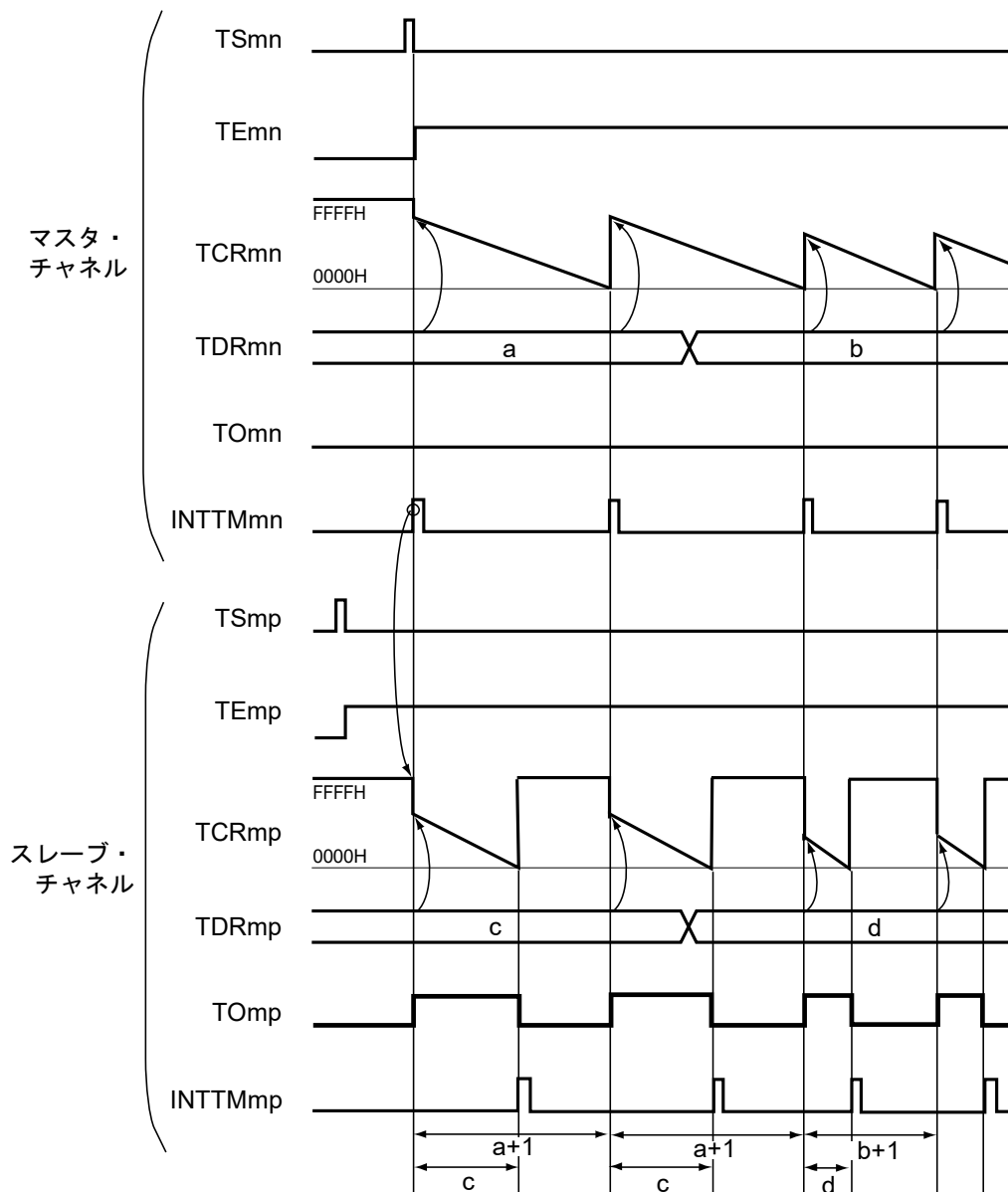
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7-67 PWM機能としての動作のブロック図



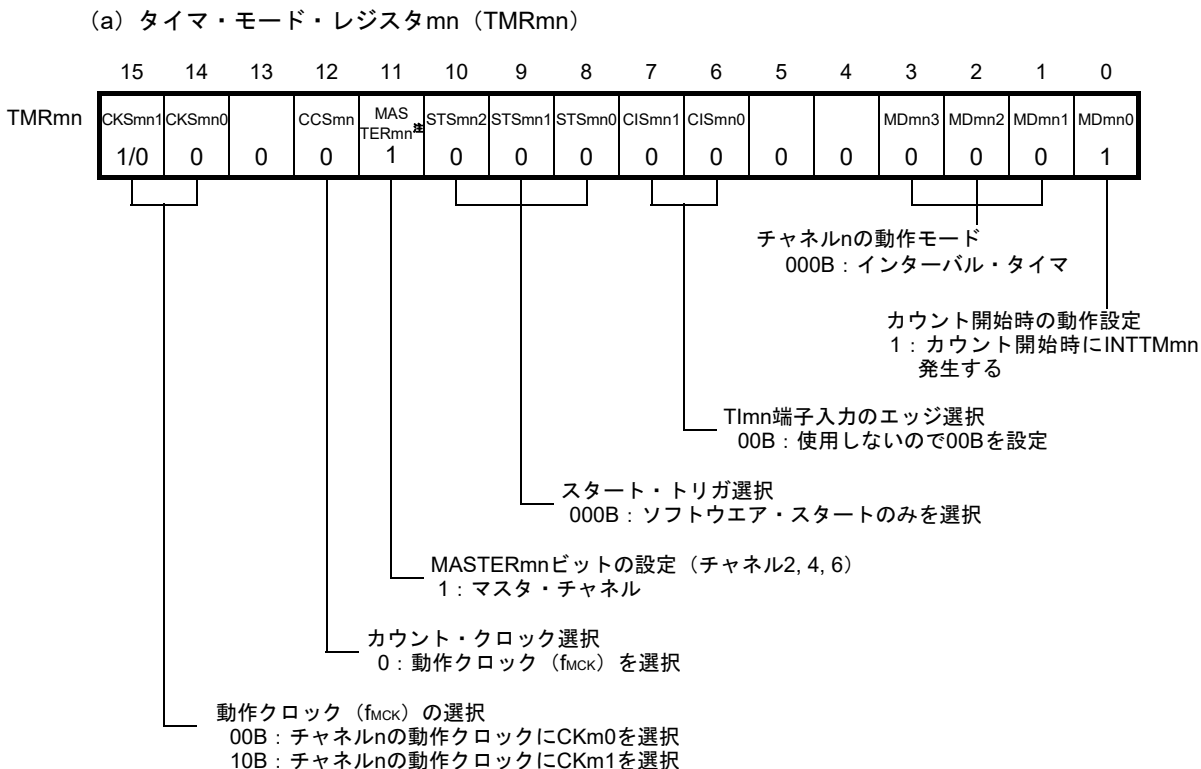
備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7-68 PWM機能としての動作の基本タイミング例

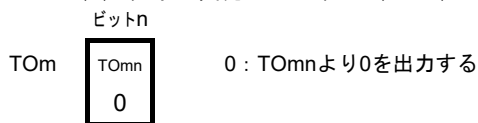


- 備考1. m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)
2. TSmn, TSmp : タイマ・チャンネル開始レジスタm (TSM) のビットn, p
 TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタm (TEM) のビットn, p
 TCRmn, TCRmp : タイマ・カウンタ・レジスタmn, mp (TCRmn, TCRmp)
 TDRmn, TDRmp : タイマ・データ・レジスタmn, mp (TDRmn, TDRmp)
 TOMn, TOmp : TOMn, TOmp端子出力信号

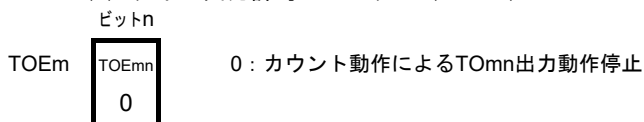
図7-69 PWM機能時（マスタ・チャンネル）のレジスタ設定内容例



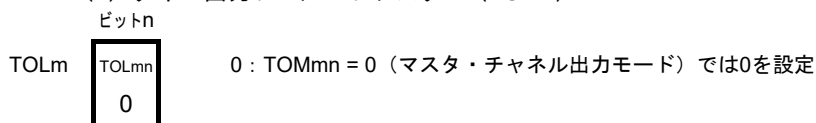
(b) タイマ出力レジスタm (TOm)



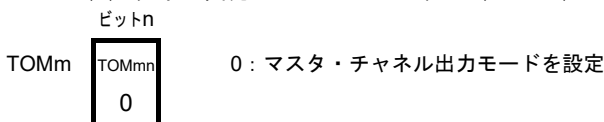
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)

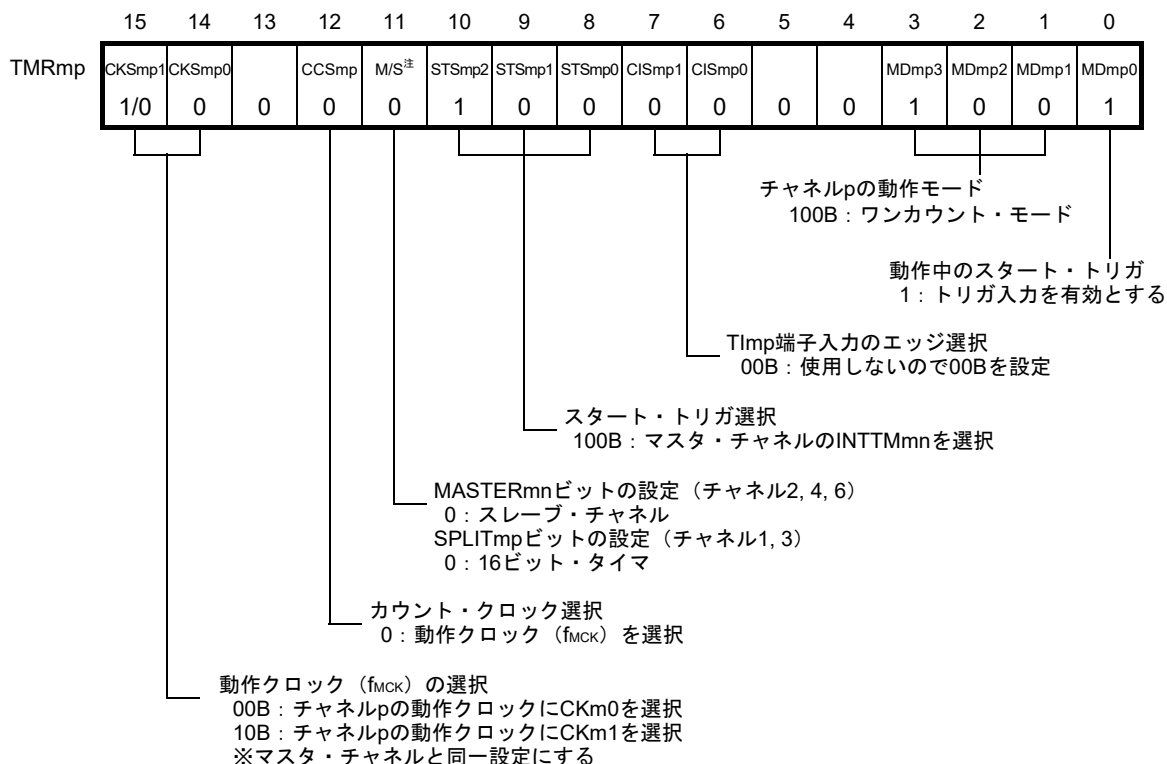


注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図7-70 PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタm (TOm)

	ビットp	
TOm	TOmp	0 : TOmpより0を出力
	1/0	1 : TOmpより1を出力

(c) タイマ出力許可レジスタm (TOEm)

	ビットp	
TOEm	TOEmp	0 : カウント動作によるTOmp出力動作停止
	1/0	1 : カウント動作によるTOmp出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

	ビットp	
TOLm	TOLmp	0 : 正論理出力 (アクティブ・ハイ)
	1/0	1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

	ビットp	
TOMm	TOMmp	1 : スレーブ・チャンネル出力モードを設定
	1	

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット

TMRm1, TMRm3の場合 : SPLITmpビット

TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7-71 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値, スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmpビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(注, 備考は次ページにあります。)

図7-71 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始	<p>TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する → TEmn = 1, TEmp = 1となる</p> <p>マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。</p>
	動作中	<p>マスタ・チャンネルでは, タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし, ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に, TCRmnレジスタはTDRmnレジスタの値をロードし, 再びダウン・カウントを開始する。</p> <p>スレーブ・チャンネルでは, マスタ・チャンネルのINTTMmnをトリガとして, TCRmpレジスタはTDRmpレジスタの値をロードし, カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして, カウント動作を停止する。</p> <p>以降, この動作を繰り返す。</p>
	動作停止	<p>TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する → TEmn, TEmp = 0になり, カウント動作停止</p> <p>TTmn, TTmpビットはトリガ・ビットなので, 自動的に0に戻る</p> <p>TCRmn, TCRmpレジスタはカウント値を保持して停止</p> <p>TOmp出力は初期化されず, 状態保持</p>
	TAU停止	<p>スレーブ・チャンネルのTOEmpビットに0を設定し, TOmpビットに値を設定する → TOmp端子はTOmp設定レベルを出力</p> <p>TOmp端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後, TOmpビットに0を設定する → TOmp端子出力レベルはポート機能により保持される。</p> <p>TOmp端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <p>PER0レジスタのTAUmENビットに0を設定する → パワーオフ状態</p> <p>全回路が初期化され, 各チャンネルのSFRも初期化される (TOmpビットが0になり, TOmp端子はポート機能となる)</p>

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

7.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{\text{TDRmp (スレーブ1) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ \text{デューティ2 [\%]} &= \{\text{TDRmq (スレーブ2) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合
または TDRmq (スレーブ2) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合は、
デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタmn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタmp (TDRmp) の値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

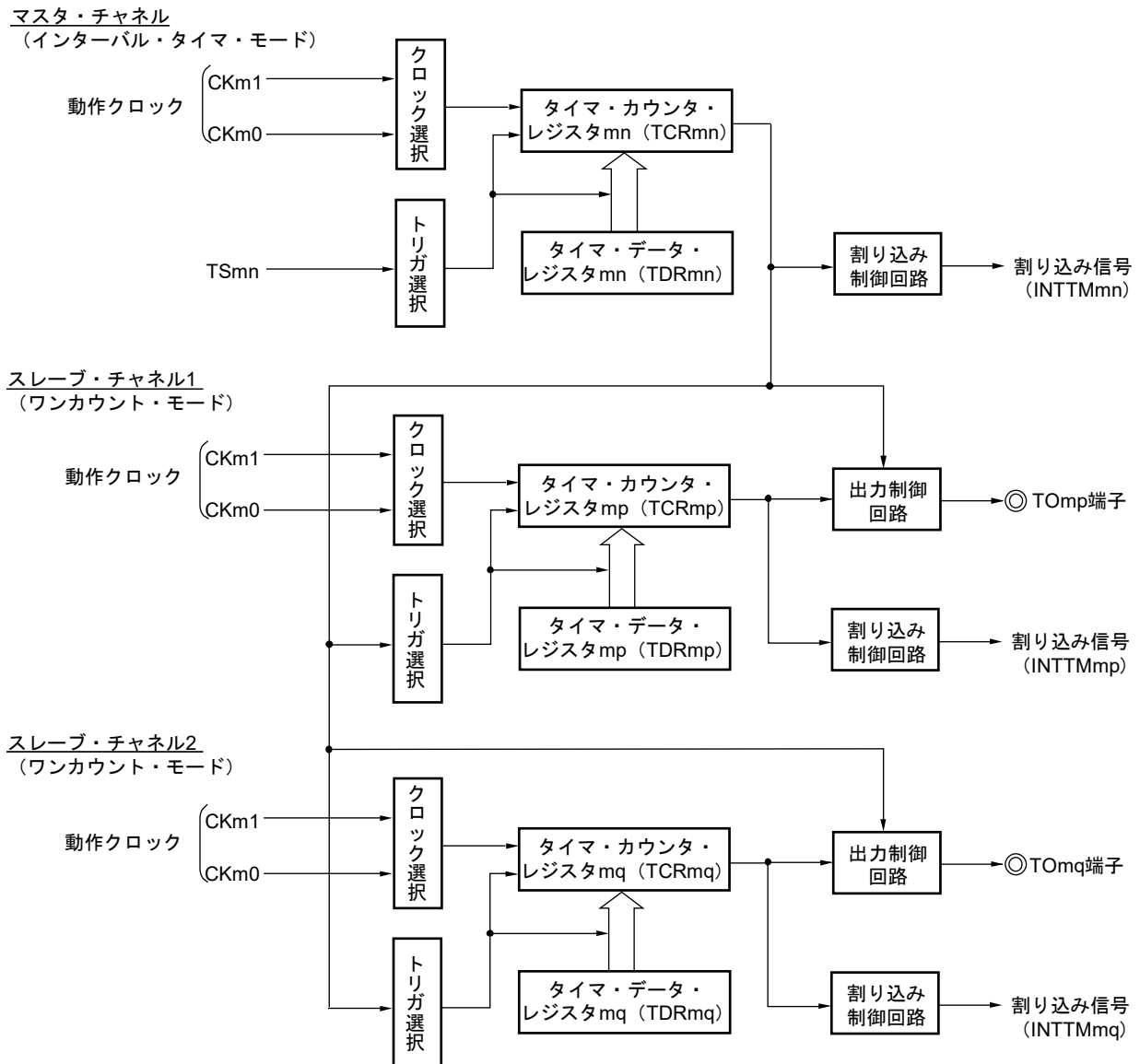
スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000Hとなったら、INTTMmqを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大7種のPWMを同時に出力できます。

注意 マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

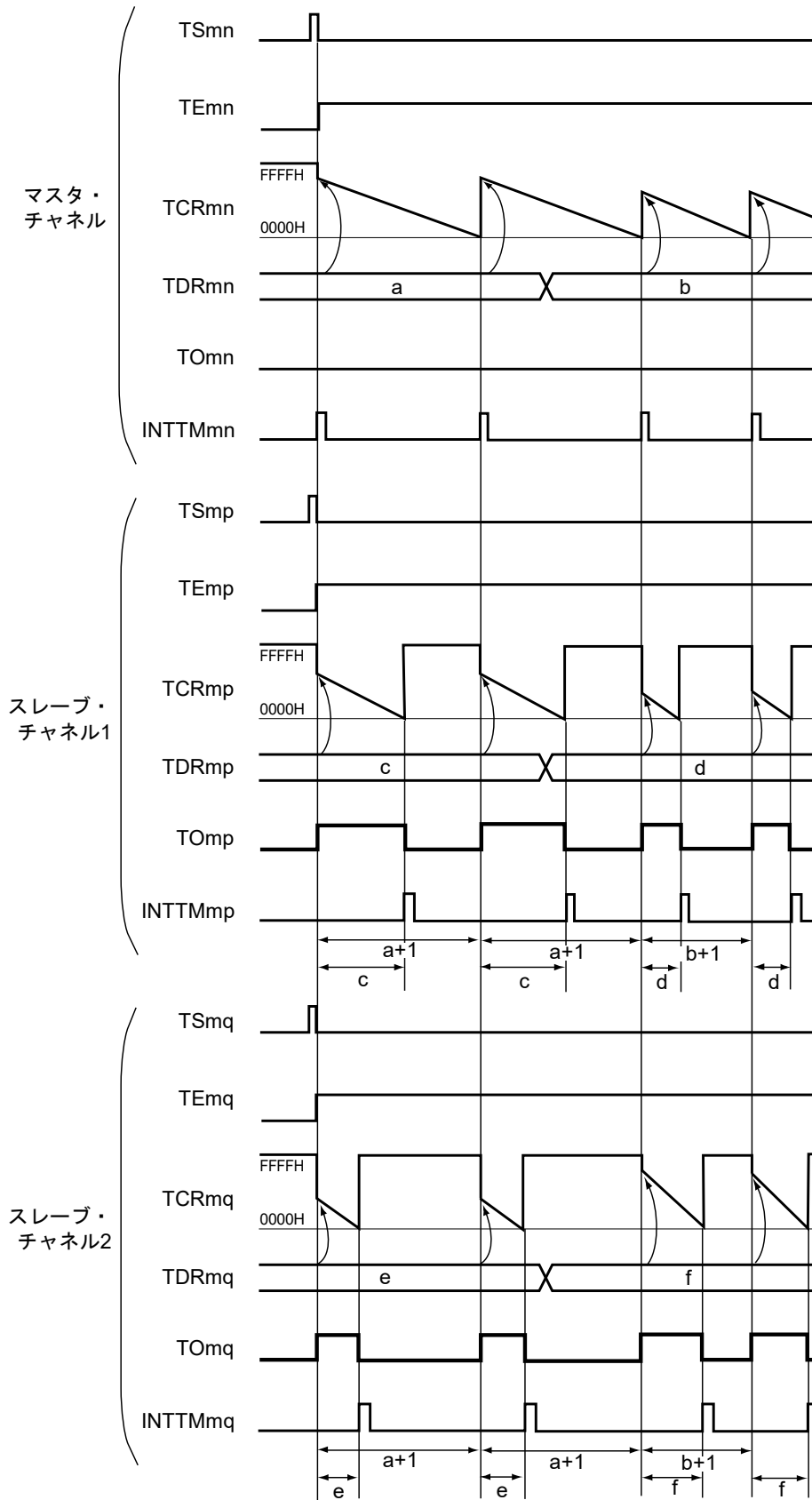
備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4)
p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
n < p < q ≤ 7 (ただし, qは, n以降の整数)

図7-72 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)



備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 $n < p < q \leq 7$ (ただしp, qは, n以降の整数)

図7-73 多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）

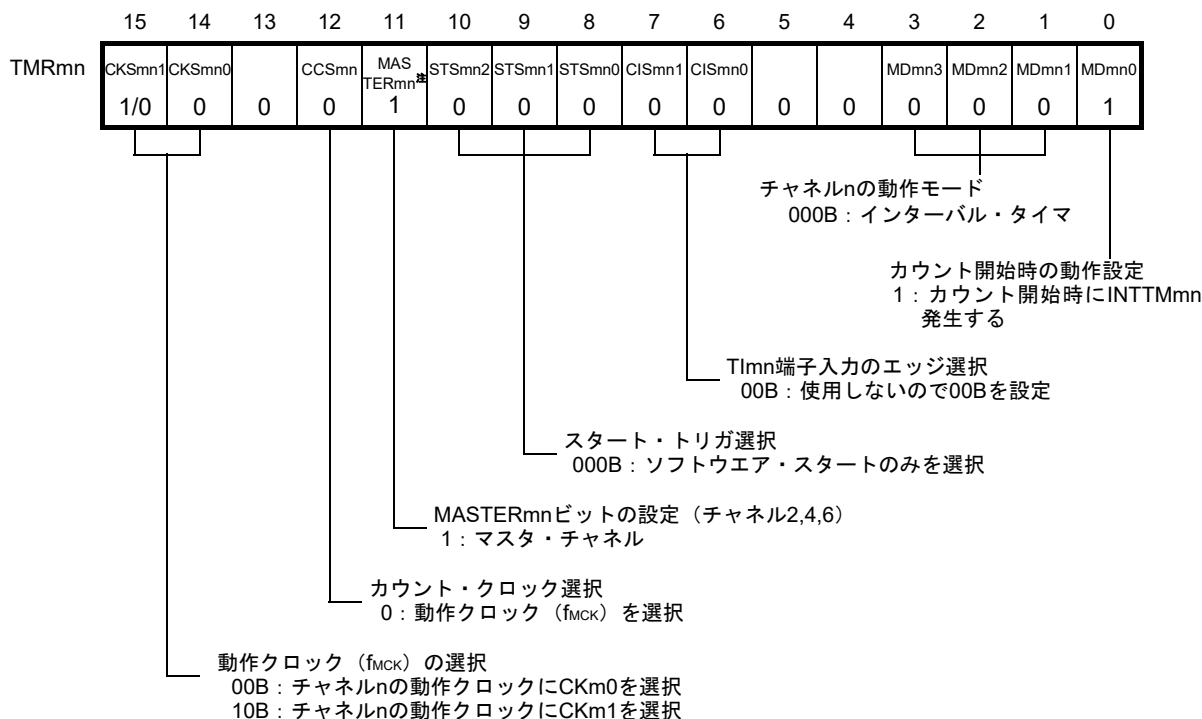


(備考は次ページにあります。)

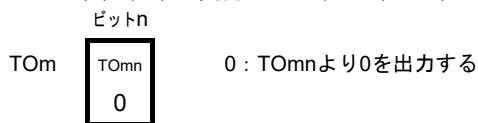
- 備考1. m : ユニット番号 ($m = 0$) , n : マスタ・チャンネル番号 ($n = 0, 2, 4$)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 $n < p < q \leq 7$ (ただし p, q は, n 以降の整数)
2. $TS_{mn}, TS_{mp}, TS_{mq}$: タイマ・チャンネル開始レジスタ m (TS_m) のビット n, p, q
 $TE_{mn}, TE_{mp}, TE_{mq}$: タイマ・チャンネル許可ステータス・レジスタ m (TE_m) のビット n, p, q
 $TCR_{mn}, TCR_{mp}, TCR_{mq}$: タイマ・カウンタ・レジスタ mn, mp, mq ($TCR_{mn}, TCR_{mp}, TCR_{mq}$)
 $TDR_{mn}, TDR_{mp}, TDR_{mq}$: タイマ・データ・レジスタ mn, mp, mq ($TDR_{mn}, TDR_{mp}, TDR_{mq}$)
 $TO_{mn}, TO_{mp}, TO_{mq}$: $TO_{mn}, TO_{mp}, TO_{mq}$ 端子出力信号

図7-74 多重PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例

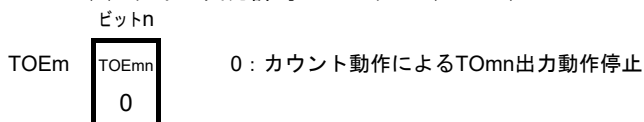
(a) タイマ・モード・レジスタmn (TMRmn)



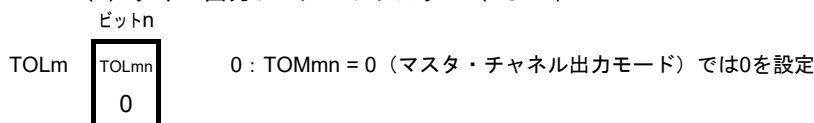
(b) タイマ出力レジスタm (TOm)



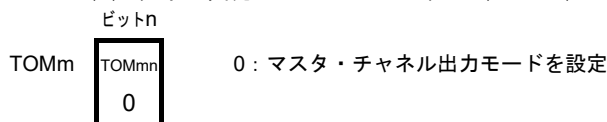
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



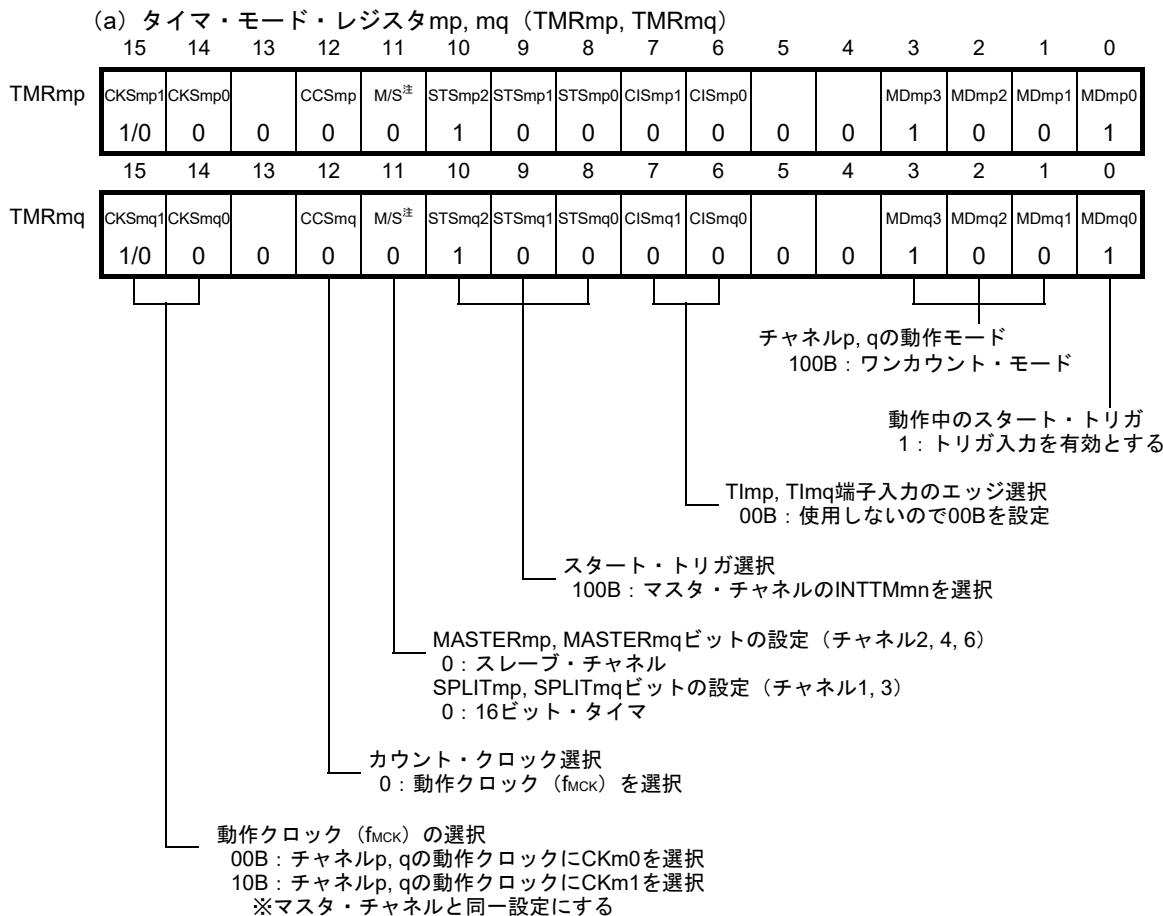
(e) タイマ出力モード・レジスタm (TOMm)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4)

図7-75 多重PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例（2種類のPWMを出力する場合）



(b) タイマ出力レジスタm (TOM)

	ビットq	ビットp	
TOM	TOMq	TOMP	0 : TOMp, TOMqより0を出力する 1 : TOMp, TOMqより1を出力する
	1/0	1/0	

(c) タイマ出力許可レジスタm (TOEm)

	ビットq	ビットp	
TOEm	TOEmq	TOEmp	0 : カウント動作によるTOMP, TOMq出力動作停止 1 : カウント動作によるTOMP, TOMq出力動作許可
	1/0	1/0	

(d) タイマ出力レベル・レジスタm (TOLm)

	ビットq	ビットp	
TOLm	TOLmq	TOLmp	0 : 正論理出力 (アクティブ・ハイ) 1 : 負論理出力 (アクティブ・ロウ)
	1/0	1/0	

(e) タイマ出力モード・レジスタm (TOMm)

	ビットq	ビットp	
TOMm	TOMmq	TOMmp	1 : スレーブ・チャンネル出力モードを設定
	1	1	

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmp, MASTERmqビット
 TMRm1, TMRm3の場合 : SPLITmp, SPLITmqビット
 TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただし, qは, n以降の整数)

図7-76 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmp, TOMmqビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmp, TOLmqビットを設定する TOmp, TOmqビットを設定し, TOmp, TOmq出力の初期レベルを確定する TOEmp, TOEmqビットに1を設定し, TOmp, TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp, TOmq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作 開始	(動作再開時のみTOEmp, TOEmq (スレーブ) ビットに1を設定する) タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmp, TSmq (スレーブ) ビットに同時に1を設定する TSmn, TSmp, TSmqビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1, TEmq = 1となる マスタ・チャンネルがカウント動作開始し, INTTmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。

(注, 備考は次ページにあります。)

動作再開 (次ページへ)

図7-76 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (2/2)

動作再開(前ページへ)

	ソフトウェア操作	ハードウェアの状態
動作中	<p>TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは、設定値変更禁止</p> <p>TDRmn, TDRmp, TDRmqレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能</p> <p>TCRmn, TCRmp, TCRmqレジスタは、常に読み出し可能</p> <p>TSRmn, TSRmp, TSRmqレジスタは、使用しない</p>	<p>マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。</p> <p>スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMP出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOMP出力レベルをインアクティブ・レベルにして、カウント動作を停止する。</p> <p>スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOMq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。</p>
動作停止	<p>TTmn (マスタ), TTmp, TTmq (スレーブ) ビットに同時に1を設定する</p> <p>TTmn, TTmp, TTmqビットはトリガ・ビットなので、自動的に0に戻る</p> <hr/> <p>スレーブ・チャンネルのTOEmp, TOEmqビットに0を設定し、TOMP, TOMqビットに値を設定する</p>	<p>TEmn, TEmq, TEmq = 0になり、カウント動作停止</p> <p>TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止</p> <p>TOMP, TOMq出力は初期化されず、状態保持</p> <hr/> <p>TOMP, TOMq端子はTOMP, TOMq設定レベルを出力</p>
TAU停止	<p>TOMP, TOMq端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TOMP, TOMqビットに0を設定する</p> <p>TOMP, TOMq端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <p>PER0レジスタのTAUmENビットに0を設定する</p>	<p>TOMP, TOMq端子出力レベルはポート機能により保持される。</p> <hr/> <p>パワーオフ状態</p> <p>全回路が初期化され、各チャンネルのSFRも初期化される (TOMP, TOMqビットが0になり、TOMP, TOMq端子はポート機能となる)</p>

備考 m: ユニット番号 (m = 0), n: マスタ・チャンネル番号 (n = 0, 2, 4)
 p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただしp, qは、n以降の連続した整数)

7.10 タイマ・アレイ・ユニット使用時の注意事項

7.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられている事があります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。

詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

(a) TO02-TO07出力を使用する場合（80ピン製品のみ）

ポート・モード・レジスタ（PMxxビット）およびポート・レジスタ（Pxxビット）に0を設定するだけでなく、LCDポート・ファンクション・レジスタ4（PFSEG37-PFSEG32）の対応するビットを必ず“0”に設定してください。

(b) P43, P41に割り当てられたTO00, TO01出力を使用する場合

ポート・モード・レジスタ（PM43, PM41ビット）およびポート・レジスタ（P43, P41ビット）に0を設定するだけでなく、兼用になっているPCLBUZ1, PCLBUZ0出力を0にするために、クロック出力選択レジスタn（CSKn）のビット7を初期状態と同じ設定にしてください。

(c) P07-P02に割り当てられたTO02-TO07出力を使用する場合

ポート・モード・レジスタ（PM07-PM02ビット）およびポート・レジスタ（P07-P02ビット）に0を設定するだけでなく、兼用になっているP07/SO00/TxD0, P06/SDA00, P05/SCK00/SCL00, P04/TxD1, P03/SDA10, P02/SCL10出力を1にするために、シリアル・チャンネル許可ステータス・レジスタ0（SE0）、シリアル出力レジスタ0（SO0）、シリアル出力許可レジスタ0（SOE0）を初期状態と同じ設定にしてください。

(d) P04, P03に割り当てられたTO05, TO06出力を使用する場合（PIOR3 = 1のとき）

ポート・モード・レジスタ（PM04, PM03ビット）およびポート・レジスタ（P04, P03ビット）に0を設定するだけでなく、兼用になっているVCOUT0, VCOUT1出力を0にするために、コンパレータ出力制御レジスタ（COMPOCR）を初期状態と同じ設定にしてください。

第8章 リアルタイム・クロック2

8.1 リアルタイム・クロック2の機能

リアルタイム・クロック2 (RTC2) には、次のような機能があります。

- ・年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までをカウント可能（うるう年補正機能あり）
- ・定周期割り込み機能（周期：0.5秒、1秒、1分、1時間、1日、1月）
- ・アラーム割り込み機能（アラーム：曜日、時、分）
- ・1 Hzの端子出力機能（通常1 Hz出力、高精度1 Hz出力）

リアルタイム・クロック割り込み信号 (INTRTC) を、STOPモードからのウェイク・アップやA/DコンバータのSNOOZEモードのトリガに使えます。

- 注意1. リアルタイム・クロック2の動作クロックにサブシステム・クロック ($f_{SUB} = 32.768$ kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック ($f_{IL} = 15$ kHz) を選択時は、定周期割り込み機能のみ使用できます。ただし、 f_{IL} 選択時の定周期割り込み間隔は、定周期 (RTCC0レジスタで選択した値) $\times f_{SUB}/f_{IL}$ で算出される値になります。
2. 高精度1 Hzの端子出力を使用する場合は、高速オンチップ・オシレータ・クロック (f_{IH}) に24 MHzを選択してください。

8.2 リアルタイム・クロック2の構成

リアルタイム・クロック2は、次のハードウェアで構成されています。

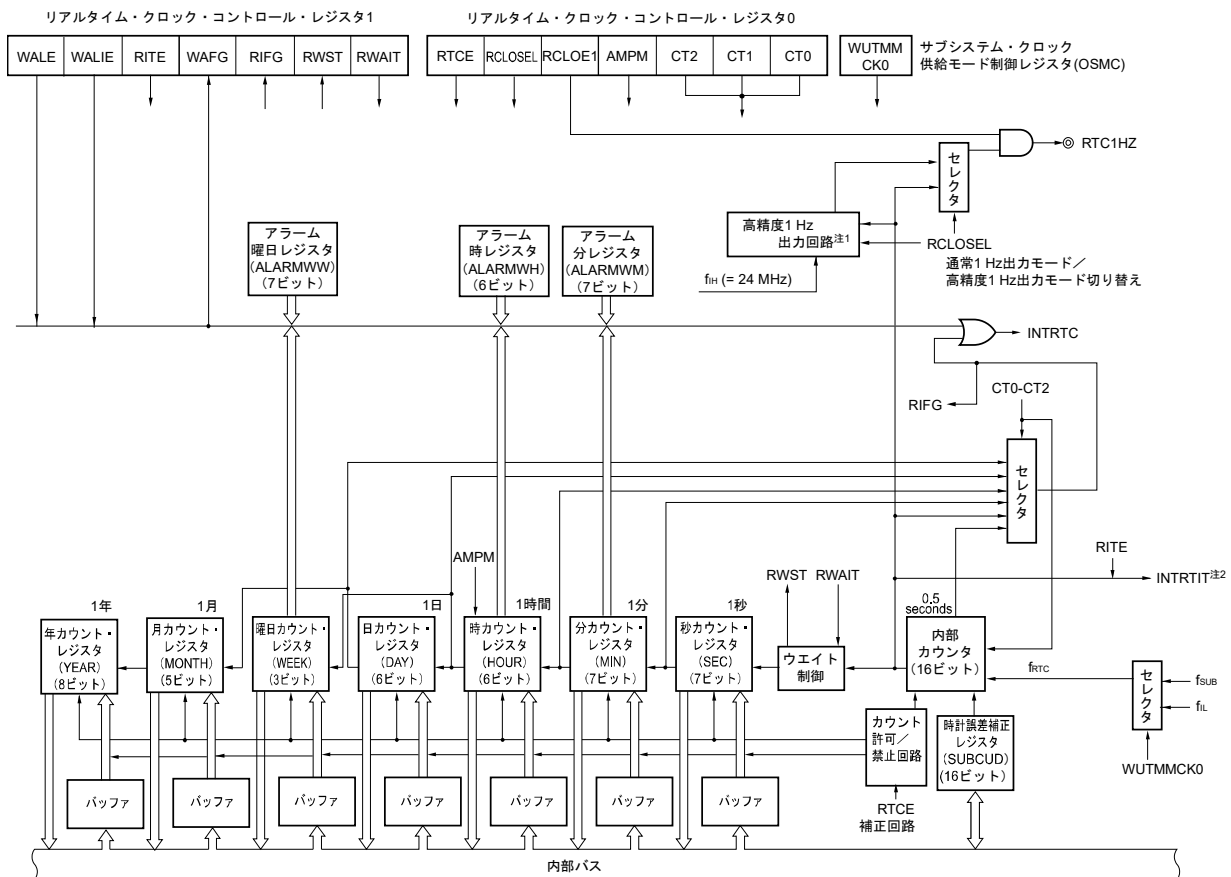
表8-1 リアルタイム・クロック2の構成

項 目	構 成
カウンタ	カウンタ (16ビット)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	周辺イネーブル・レジスタ1 (PER1)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	パワーオン・リセット・ステータス・レジスタ (PORSR)
	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
	秒カウント・レジスタ (SEC)
	分カウント・レジスタ (MIN)
	時カウント・レジスタ (HOUR)
	日カウント・レジスタ (DAY)
	曜日カウント・レジスタ (WEEK)
	月カウント・レジスタ (MONTH)
	年カウント・レジスタ (YEAR)
	時計誤差補正レジスタ (SUBCUD)
	アラーム分レジスタ (ALARMWM)
	アラーム時レジスタ (ALARMWH)
アラーム曜日レジスタ (ALARMWW)	

図8-1にリアルタイム・クロック2のブロック図を示します。

★

図8-1 リアルタイム・クロック2のブロック図



- 注1. 高精度1 Hz出力には高速オンチップ・オシレータ (HOCO : 24 MHz) を使用します。高精度1 Hz出力モードで動作させる場合は、HOCOをONにする必要があります。なお、通常1 Hzモードで動作させる場合は、HOCOをONにする必要はありません。
2. 時計誤差補正レジスタ (SUBCUD) から補正値を取り込むタイミングを示す割り込みです。取り込みタイミングは1秒 (f_{sub}ベース) 間隔になります。

8.3 リアルタイム・クロック2を制御するレジスタ

リアルタイム・クロック2は、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・周辺イネーブル・レジスタ1 (PER1)
- ・サブシステム・クロック供給モード制御レジスタ (OSMC)
- ・パワーオン・リセット・ステータス・レジスタ (PORSR)
- ・リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)

各リセット要因によるレジスタの状態を以下に示します。

リセット要因	システム関連レジスタ ^{注1}	カレンダー関連レジスタ ^{注2}
POR	リセット	リセットしない
外部リセット	保持	保持
WDT	保持	保持
TRAP	保持	保持
LVD	保持	保持
その他内部リセット	保持	保持

注1. RTCC0, RTCC1, SUBCUD

2. SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW, (カウンタ)

リセット要因が発生しても、SEC, MIN, HOUR, WEEK, DAY, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWWレジスタはリセットされません。そのため、電源投入後は全てのレジスタを初期設定してください。

PORSRレジスタはパワー・オン・リセットの発生を確認するために使われます。

8.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、リアルタイム・クロック2で使用するレジスタへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロック2のレジスタを操作するときは、必ずビット7 (RTCWEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	1	[0]
PER0	RTCWEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCWEN	リアルタイム・クロック2の入カクロック供給の制御
0	入カクロック供給停止 ・リアルタイム・クロック2で使用するSFRへのライト不可 ・リアルタイム・クロック2は動作可能
1	入カクロック供給 ・リアルタイム・クロック2で使用するSFRへのリード/ライト可 ・リアルタイム・クロック2は動作可能

注意1. 時計誤差補正レジスタ (SUBCUD) は、周辺イネーブル・レジスタ0 (PER0) のRTCWEN = 1、または周辺イネーブル・レジスタ1 (PER1) のFMCEN = 1を設定することでリード/ライトが可能となります。

2. リアルタイム・クロック2を使用する際には、カウント・クロック (f_{RTC}) が発振安定した状態で、必ず最初にRTCWEN = 1に設定してから下記のレジスタの設定を行ってください。RTCWEN = 0の場合は、リアルタイム・クロック2の制御レジスタへの書き込みは無視され、読み出し値はRTCWEN = 1に設定した値となります。(サブシステム・クロック供給モード制御レジスタ (OSMC)、パワーオン・リセット・ステータス・レジスタ (PORSR) は除く)。

- ・リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWMM)
- ・アラーム時レジスタ (ALARMMWH)
- ・アラーム曜日レジスタ (ALARMMWW)

3. ビット1には必ず“0”を設定してください。

8.3.2 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、サブシステム・クロック周波数測定回路で使用されるレジスタへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロック2を制御する時計誤差補正レジスタ (SUBCUD) のリード/ライトは本レジスタのビット6 (FMCEN) を1に設定することにより可能となります。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-3 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	FMCEN	COMPEN	OSDCEN	DTCEN	0	0	DSADCEN

FMCEN	サブシステム・クロック周波数測定回路の入カクロック供給の制御
0	入カクロック供給停止 ・サブシステム・クロック周波数測定回路で使用するSFRへのライト不可 ・リアルタイム・クロック2で使用するSUBCUDレジスタへのライト不可 ・サブシステム・クロック周波数測定回路はリセット状態
1	入カクロック供給 ・サブシステム・クロック周波数測定回路で使用するSFRへのリード/ライト可 ・リアルタイム・クロック2で使用するSUBCUDレジスタへのリード/ライト可

注意1. 時計誤差補正レジスタ (SUBCUD) は、周辺イネーブル・レジスタ0 (PER0) のRTCWEN = 1または、周辺イネーブル・レジスタ1 (PER1) のFMCEN = 1のどちらかを設定することでリード/ライトが可能となります。

2. ビット1, 2には必ず“0”を設定してください。

8.3.3 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、発振停止検出回路以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、サブシステム・クロック周波数測定回路の動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-4 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表24-1、表24-2参照)
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、発振停止検出回路以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDコントローラ／ドライバの動作クロックの選択	クロック出力／ブザー出力制御回路のPCLBUZn端子の出力クロックの選択および8ビット・インターバル・タイマの動作クロックの選択	サブシステム・クロック周波数測定回路の動作
0	サブシステム・クロック (f _{SUB})	サブシステム・クロック (f _{SUB}) 選択許可	許可
1	低速オンチップ・オシレータ・クロック (f _{IL})	サブシステム・クロック (f _{SUB}) 選択禁止	禁止

注意1. RTCLPCビットを1に設定することで、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の消費電力を低減することができます。ただし、サブシステム・クロックでCPU動作中のHALTモード時は、リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ以外の周辺機能へクロックを供給できなくなります。サブシステム・クロックでCPU動作中はHALTモードに設定する前に、周辺イネーブル・レジスタ0 (PER0) のビット7 (RTCWEN)、周辺イネーブル・レジスタ1 (PER1) のビット7 (TMKAEN) は1に、PER0のビット0, 2, 3, PER1のビット5は0にしてください。

(注意は次ページに続きます。)

- 注意2. サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択 (WUTMMCK0 ビット = 0) にしてください。
3. WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。
 4. WUTMMCK0を“1”に設定した場合、リアルタイム・クロック2の定周期割り込み機能のみ使用できます。年、月、曜日、日、時、分、秒のカウントおよび1 Hz出力機能は使用できません。
定周期割り込み間隔は、定周期 (RTCC0レジスタで選択した値) $\times f_{SUB}/f_{IL}$ で算出されます。
 5. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDコントローラ/ドライバの全ての機能が動作停止中のみ可能です。
 6. リアルタイム・クロック2の動作クロックにサブシステム・クロック ($f_{SUB} = 32.768$ kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック ($f_{IL} = 15$ kHz) を選択時は、定周期割り込み機能のみ使用できます。
ただし、 f_{IL} 選択時の定周期割り込み間隔は、定周期 (RTCC0レジスタで選択した値) $\times 1/f_{IL}$ で算出される値になります。

8.3.4 パワー・オン・リセット・ステータス・レジスタ (PORSR)

PORSRレジスタはパワー・オン・リセットの発生を確認するためのレジスタです。

PORSRレジスタのビット0 (PORF) への“1”の書き込みは有効ですが、“0”は無視されます。

パワー・オン・リセットの発生確認を可能とするために、前もってPORFビットに1を書き込んでください。

PORSRレジスタは、8ビット・メモリ操作命令で設定します。

パワー・オン・リセット信号の発生により、00HIになります。

- 注意1. PORSRレジスタはパワー・オン・リセットでのみリセットされます。他の要素によりリセットが発生した場合は、PORSRレジスタは値を保持します。
2. PORFビットが1に設定されると、パワー・オン・リセットは発生しませんが、RAM値が保持される保証はありません。

図 8-5 パワー・オン・リセット・ステータス・レジスタ (PORSR) のフォーマット

アドレス : F00F9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PORSR	0	0	0	0	0	0	0	PORF

PORF	パワー・オン・リセットの発生確認
0	1が書き込まれていない、またはパワー・オン・リセットが発生した。
1	パワー・オン・リセットが発生していない。

8.3.5 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)

リアルタイム・クロック2動作の開始/停止, RTC1HZ 端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により, 00Hになります。

図8-6 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のフォーマット (1/2)

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	RCLOSEL	RCLOE1	0	AMPM	CT2	CT1	CT0

RTCE ^{注1}	リアルタイム・クロック2の動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOSEL	RTC1HZ端子の出力モード制御
0	通常1 Hz出力
1	高精度1 Hz出力

RCLOE1 ^{注2}	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力 (1 Hz) 禁止
1	RTC1HZ端子の出力 (1 Hz) 許可
RTCE = 0の時は時計カウンタが動作しないため, 1 Hz出力は出力されません。	

注1. RTCE = 1に設定直後にSTOPモードに移行する場合は, 図8-20 RTCE = 1に設定後のHALT/STOPモードへの移行手順にしたがってSTOPモードに移行してください。

- ★ 2. 時計カウンタ動作中 (RTCE = 1) にRCLOE1ビットの設定を行った場合, 1 Hz出力端子 (RTC1HZ) にグリッチが出力する可能性があります。

注意1. 高精度1 Hz出力は, 高速オンチップ・オシレータ (f_{IH}) に24 MHzを選択かつ, 高速オンチップ・オシレータを動作 (HIOSTOP = 0) させた時のみ使用できます。CPUクロックにf_{IH}を選択する必要はありません。また, 高精度1 Hz出力使用時は, 時計誤差補正を使用してください。

2. ビット4には必ず“0”を設定してください。

図8-6 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のフォーマット (2/2)

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	RCLOSEL	RCLOE1	0	AMPM	CT2	CT1	CT0

表8-2 RTCE, RCLOSEL, RCLOE1の設定値と状態の関係

レジスタ設定値			状態	
RTCE	RCLOSEL	RCLOE1	リアルタイム・クロック2の状態	RTC1Hz端子出力
0	×	×	カウント停止	出力しない
1	0	0	カウント動作	出力しない
		1	カウント動作	通常1 Hz出力
	1	0	カウント動作	出力しない
		1	カウント動作	高精度1 Hz出力

AMPM	12時間制/24時間制の選択
0	12時間制 (午前/午後を表示)
1	24時間制

・AMPMビットの値を時計カウンタ動作中 (RTCE = 1) に変更する場合は、RWAITビット (リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のビット0) = 1にしてから書き換えてください。AMPMビットの値を変更すると、時カウント・レジスタ (HOUR) の値は設定した時間制に対応した値に変更されます。

・時間桁表示を表8-3に示します。

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウントアップに同期)
0	1	0	1秒に1度 (秒カウントアップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	×	1月に1度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0ビットの値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFGフラグ、RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注意 ビット4には必ず“0”を設定してください。

備考 × : don't care

8.3.6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能, カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により, 00Hになります。

図8-7 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (1/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効

カウンタ動作中 (RTCE = 1) かつWALIE = 1の時にWALEビットへ設定する場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後にWAFGフラグ, RTCIFフラグをクリアしてください。アラームの各レジスタ (RTCC1レジスタのWALIEフラグ, アラーム分レジスタ (ALARMWWM), アラーム時レジスタ (ALARMWH), アラーム曜日レジスタ (ALARMWW)) を設定する場合, WALEビットを一致動作無効 “0” にしてください。

WALIE	アラーム割り込み (INTRTC) 機能の動作制御
0	アラーム一致による割り込みを発生しない
1	アラーム一致による割り込みを発生する

注意 RTCC1に1ビット操作命令で書き込みを行うと, RIFGフラグ, WAFGフラグがクリアされることがあります。そのため, RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時にRIFGフラグ, WAFGフラグをクリアしないようにするために, 該当ビットに1 (書き込みが無効) を設定してください。なお, RIFGフラグ, WAFGフラグを使用せず値が書き変わっても問題ない場合は, RTCC1に1ビット操作命令で書き込みを行っても問題ありません。

図8-7 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (2/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

RITE	補正タイミング信号割り込み (INTRTIT) 機能の動作制御
0	補正タイミング信号割り込みを発生しない
1	補正タイミング信号割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり、アラーム一致検出し、1クロック (32.768 KHz) 後に “1” となります。 “0” を書き込むことでクリアされ、 “1” の書き込みは無効となります。	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により “1” となります。 “0” を書き込むことでクリアされ、 1の書き込みは無効となります。	

注意 RTCC1に1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時にRIFGフラグ、WAFGフラグをクリアしないようにするために、該当ビットに1 (書き込みが無効) を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き変わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行っても問題ありません。

図8-7 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (3/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

RWST	リアルタイム・クロック2のウェイト状態フラグ
0	カウンタ動作
1	カウンタ値読み出し、書き込みモード中

RWAITビットの設定が有効であることを示すステータス・フラグです。
 カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとで行ってください。
 RWAITビットに0を設定しても、カウンタ書き込み動作中はRWSTビットは0になりません。書き込み動作完了後、0になります。

RWAIT	リアルタイム・クロック2のウェイト制御
0	カウンタ動作設定
1	SEC~YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
 カウンタ (16ビット) は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
 アラーム割り込みを使用するときに、カウンタの読み出し/書き込みを行う場合は、RTCC0レジスタのCT2~CT0ビットを010B (1秒毎に定周期割り込み発生) にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能 (RWST = 1) となるまで最大 f_{RTC} の1クロックの時間がかかります。^{注1, 注2}
 内部カウンタ (16ビット) のオーバフローがRWAIT = 1の時に起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

注1. RTCE=1に設定した後、 f_{RTC} の1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック (f_{RTC}) の2クロック時間がかかる場合があります。

注2. スタンバイ (HALTモード、STOPモード、SNOOZEモード) から復帰した後、 f_{RTC} の1クロック時間内で、RWAIT=1とした場合、RWSTビットが“1”になるまでに、動作クロック (f_{RTC}) の2クロック時間がかかる場合があります。

注意 RTCC1に1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時にRIFGフラグ、WAFGフラグをクリアしないようにするために、該当ビットに1 (書き込みが無効) を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き変わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行っても問題ありません。

備考1. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用していません。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

2. 秒カウント・レジスタ (SEC) へ書き込みを行うと内部カウンタ (16ビット) はクリアされます。

8.3.7 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。

カウンタ (16ビット) からのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ、最大 f_{RTC} の2クロック後にカウンタへ書き込まれます。また、設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-8 秒カウント・レジスタ (SEC) のフォーマット

アドレス : FFF92H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意 時計カウンタ動作中 (RTCE = 1) に、SECをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

備考 秒カウント・レジスタ (SEC) へ書き込みを行うと内部カウンタ (16ビット) はクリアされます。

8.3.8 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大 f_{RTC} の2クロック後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-59をBCDコードで設定してください。

MINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-9 分カウント・レジスタ (MIN) のフォーマット

アドレス : FFF93H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意 時計カウンタ動作中 (RTCE = 1) に、MINをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.9 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り, 時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は, バッファに書き込まれ最大 f_{RTC} の2クロック後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し, 書き込みをした値に設定されます。

また, リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のビット3 (AMPM) で設定した時間制に応じて, 10進の00~23または01~12, 21~32をBCDコードで設定してください。

AMPMビットの値を変更すると, HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 初期化はされません。

図8-10 時カウント・レジスタ (HOUR) のフォーマット

アドレス : FFF94H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

- 注意1. HOURレジスタのビット5 (HOUR20) は, AMPM = 0 (12時間制) を選択した場合, AM (0) /PM (1) を示します。
2. 時計カウンタ動作中 (RTCE = 1) に, HOURをリード/ライトする場合は, 必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し, 8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

AMPMビットの設定値、および時カウント・レジスタ（HOUR）値と時間の関係を表8-3に示します。

表8-3 時間桁表示表

24時間表示（AMPMビット = 1）		12時間表示（AMPMビット = 0）	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は、AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は、HOURレジスタの5ビット目で午前／午後を表示し、午前（AM）のときに0に、午後（PM）のときに1となります。

8.3.10 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り、日のカウント値を示す8ビットのレジスタです。
時カウンタからのオーバフローによりカウント・アップする10進カウンタです。
カウンタは、次に示すようにカウントします。

[DAYのカウント値]

- 01~31 (1, 3, 5, 7, 8, 10, 12月)
- 01~30 (4, 6, 9, 11月)
- 01~29 (2月 うるう年)
- 01~28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大 f_{RTC} の2クロック後にカウンタへ書き込まれます。
書き込み中に時カウンタ・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定
されます。また設定する値は、10進の01-31をBCDコードで設定してください。

DAYレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-11 日カウント・レジスタ (DAY) のフォーマット

アドレス : FFF96H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 時計カウンタ動作中 (RTCE = 1) に、DAYをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.11 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタへの桁上げ時にカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大 f_{RTC} の2クロック後にカウンタへ書き込まれます。

また、設定する値は10進の00~06をBCDコードで設定してください。

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-12 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : FFF95H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ (WEEK) には、月カウント・レジスタ (MONTH) および日カウント・レジスタ (DAY) に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

- 時計カウンタ動作中 (RTCE = 1) に、WEEKをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.12 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12（10進）までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大 f_{RTC} の2クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-12をBCDコードで設定してください。

MONTHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-13 月カウント・レジスタ (MONTH) のフォーマット

アドレス : FFF97H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意 時計カウンタ動作中 (RTCE = 1) に、MONTHをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.13 年カウント・レジスタ (YEAR)

0-99（10進）までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH) からのオーバフローによりカウント・アップする10進カウンタです。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大 f_{RTC} の2クロック後にカウンタへ書き込まれます。書き込み中に月カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。

YEARレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-14 年カウント・レジスタ (YEAR) のフォーマット

アドレス : FFF98H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意 時計カウンタ動作中 (RTCE = 1) に、YEARをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.14 時計誤差補正レジスタ (SUBCUD)

時計誤差補正レジスタ (SUBCUD) は、カウンタの値を毎秒ごとに補正することにより、時計の進みや遅れを最小分解能0.96 ppm精度で補正することができるレジスタです。

SUBCUDのF8-F0は9bitの固定小数点形式 (2の補数形式) レジスタです。詳細は表8-5 時計誤差補正值を参照してください。

SUBCUDレジスタは、16ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、0020Hになります。

図8-15 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス : F0310H リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUBCUD	F15	0	0	0	0	0	0	F8	F7	F6	F5	F4	F3	F2	F1	F0
F15	時計誤差補正許可															
0	時計誤差補正停止															
1	時計誤差補正許可															

時計誤差補正レジスタ (SUBCUD) による水晶振動子の発振周波数偏差の補正可能範囲を表8-4に示します。

表8-4 水晶振動子の発振周波数偏差の補正可能範囲

項目	値
補正可能範囲	-274.6 ppm ~ +212.6 ppm
最大量子化誤差	±0.48 ppm
最小分解能	0.96 ppm

表8-5 時計誤差補正值

SUBCUD										ターゲット補正值	
F15	F8	F7	F6	F5	F4	F3	F2	F1	F0		
1	1	0	0	0	0	0	0	0	0	-274.6 ppm	
	1	0	0	0	0	0	0	0	1	-273.7 ppm	
	1	0	0	0	0	0	0	1	0	-272.7 ppm	

	1	1	1	1	1	1	1	1	0	1	-33.3 ppm
	1	1	1	1	1	1	1	1	1	0	-32.4 ppm
	1	1	1	1	1	1	1	1	1	1	-31.4 ppm
	0	0	0	0	0	0	0	0	0	0	-30.5 ppm
	0	0	0	0	0	0	0	0	0	1	-29.6 ppm
	0	0	0	0	0	0	0	0	1	0	-28.6 ppm

	0	0	0	0	1	1	1	1	1	1	-0.95 ppm
	0	0	0	1	0	0	0	0	0	0	0 ppm
	0	0	0	1	0	0	0	0	0	1	0.95 ppm
.	
.	
.	
0	1	1	1	1	1	1	1	0	1	210.7 ppm	
0	1	1	1	1	1	1	1	1	0	211.7 ppm	
0	1	1	1	1	1	1	1	1	1	212.6 ppm	
0	x	x	x	x	x	x	x	x	x	時計誤差補正停止	

SUBCUDレジスタのF8-F0値は、ターゲット補正值から次の計算式で算出してください。

$$SUBCUD[8:0] = \left[\frac{\text{ターゲット補正值 [ppm]} \times 2^{15}}{10^6} \right]_{2\text{の補数}(9\text{bit固定小数点形式})} + 0001.00000B$$

注意 ターゲット補正值とは、水晶振動子の発振周波数偏差（単位は[ppm]）を示します。ターゲット補正值の算出方法については、8.4.8 リアルタイム・クロック2の時計誤差補正例を参照してください。

例1. ターゲット補正值 = 18.3 [ppm]の場合

$$\begin{aligned} SUBCUD[8:0] &= (18.3 \times 2^{15} / 10^6)_{2\text{の補数}(9\text{bit固定小数点形式})} + 0001.00000B \\ &= (0.59375)_{2\text{の補数}(9\text{bit固定小数点形式})} + 0001.00000B \\ &= 0000.10011B + 0001.00000B \\ &= 0001.10011B \end{aligned}$$

例2. ターゲット補正值 = -18.3 [ppm]の場合

$$\begin{aligned}\text{SUBCUD}[8:0] &= (-18.3 \times 2^{15} / 10^6) \text{の補数(9bit固定小数点形式)} + 0001.00000\text{B} \\ &= (-0.59965) \text{の補数(9bit固定小数点形式)} + 0001.00000\text{B} \\ &= 1111.01101\text{B} + 0001.00000\text{B} \\ &= 0000.01101\text{B}\end{aligned}$$

8.3.15 アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-16 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス : FFF9AH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

注意 注意設定する値は、10進の00~59をBCDコードで設定してください。範囲外の値を設定した場合、アラームが検出されません。

8.3.16 アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-17 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス : FFF9BH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

- 注意1. 注意設定する値は10進の00~23または01~12, 21~32をBCDコードで設定してください。範囲外の値を設定した場合、アラームが検出されません。
2. ALARMWHレジスタのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) /PM (1) を示します。

8.3.17 アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-18 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス：FFF9CH リセット時：不定 R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

表8-6にアラーム時刻の設定例を示します。

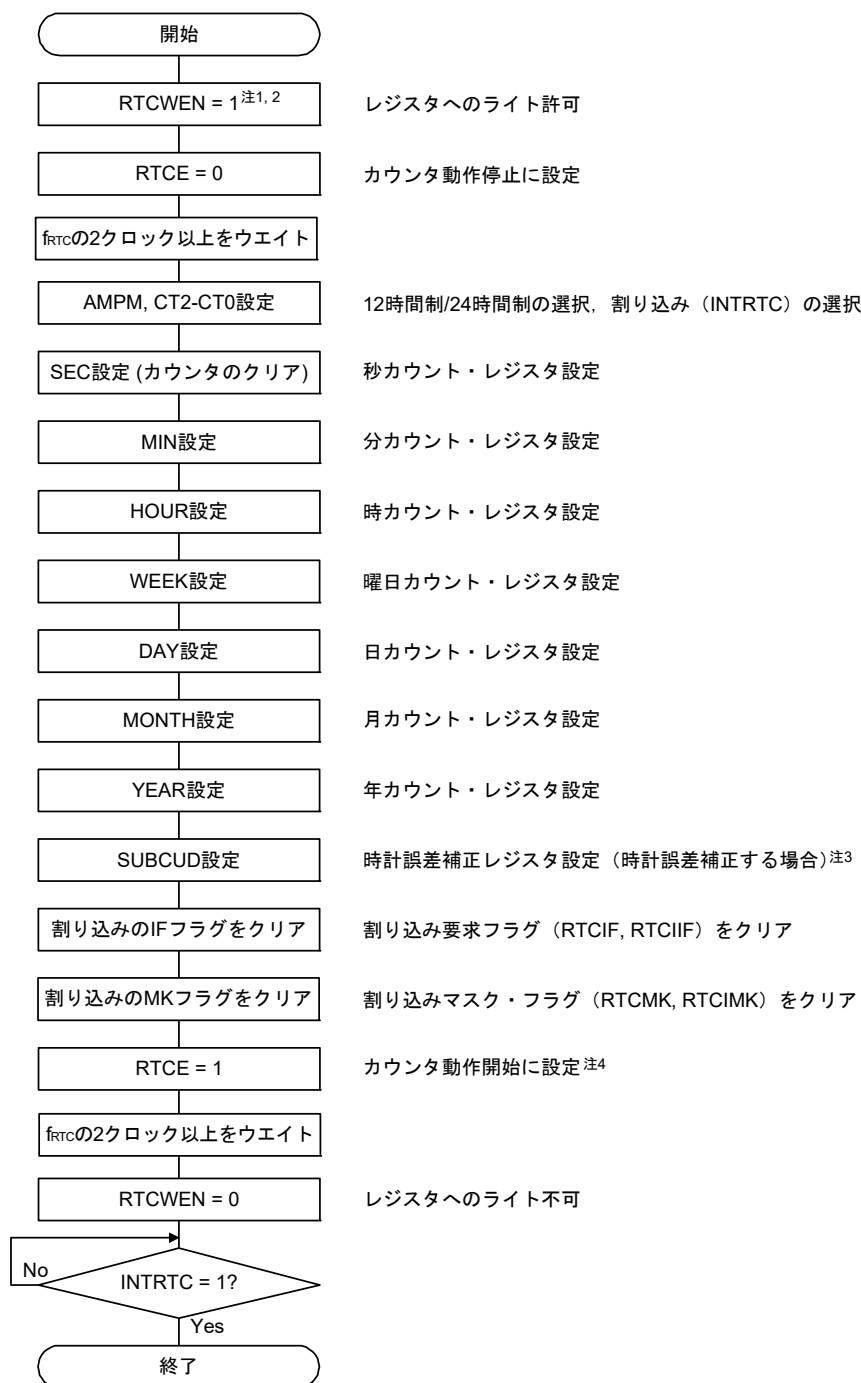
表8-6 アラーム時刻の設定例

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
0	1	2	3	4	5	6									
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

8.4 リアルタイム・クロック2の動作

8.4.1 リアルタイム・クロック2の動作開始

図8-19 リアルタイム・クロック2の動作開始手順



- 注1. RTCレジスタへのアクセス時以外は、時計カウント誤書き込みを防止するためにRTCWEN = 0に設定してください。
2. カウント・クロック (f_{RTC}) が発振安定状態において、最初にRTCWEN = 1の設定を行ってください。
3. 時計誤差補正する必要がある場合のみ。補正值の算出方法は、8.4.8 リアルタイム・クロック2の時計誤差補正例を参照してください。
4. RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は、8.4.2 動作開始後のHALT/STOPモードへの移行の手順を確認してください。

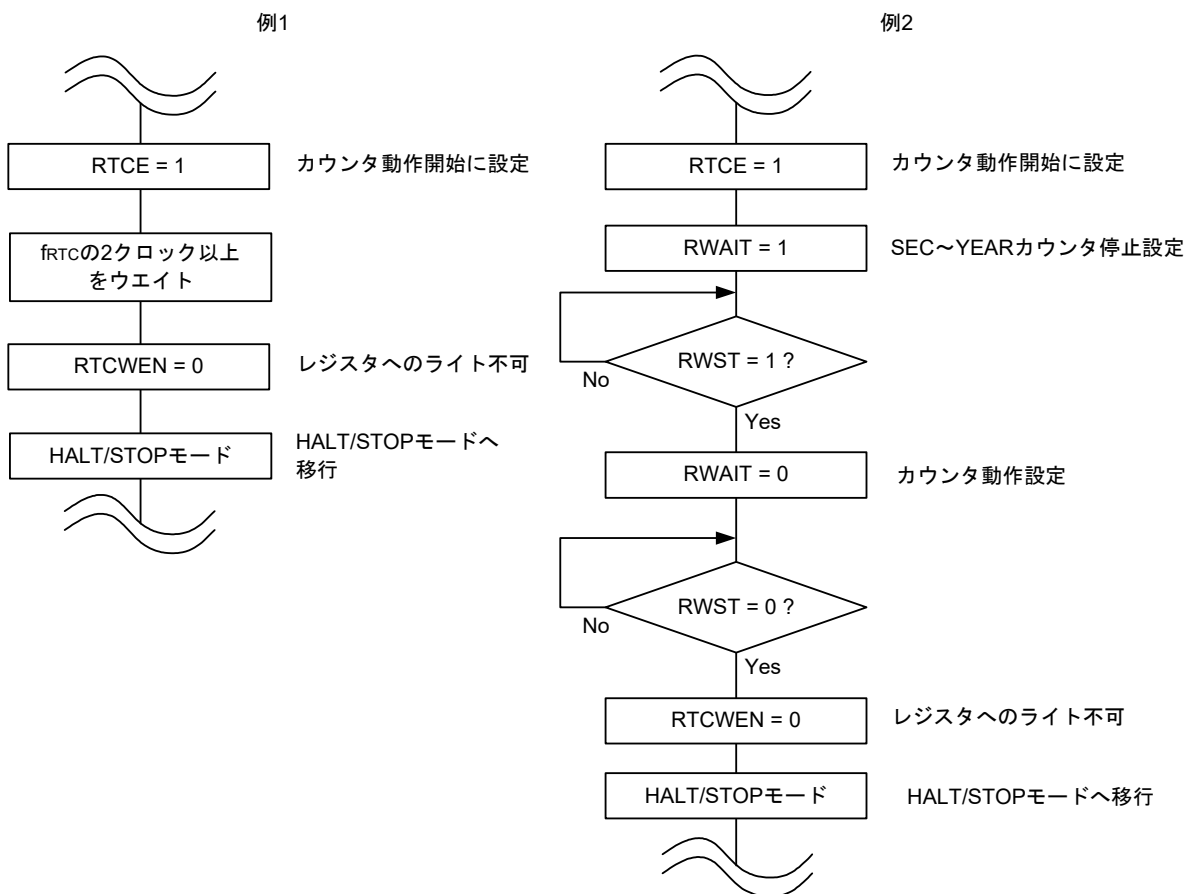
8.4.2 動作開始後のHALT/STOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目INTRTC割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- (1) RTCE = 1に設定してから、カウント・クロック (f_{RTC}) の2クロック分以上経過後にHALT/STOPモードへ移行する (図8-20 例1参照)。
- (2) RTCE = 1に設定後、RWAIT = 1に設定し、RWSTビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する (図8-20 例2参照)。

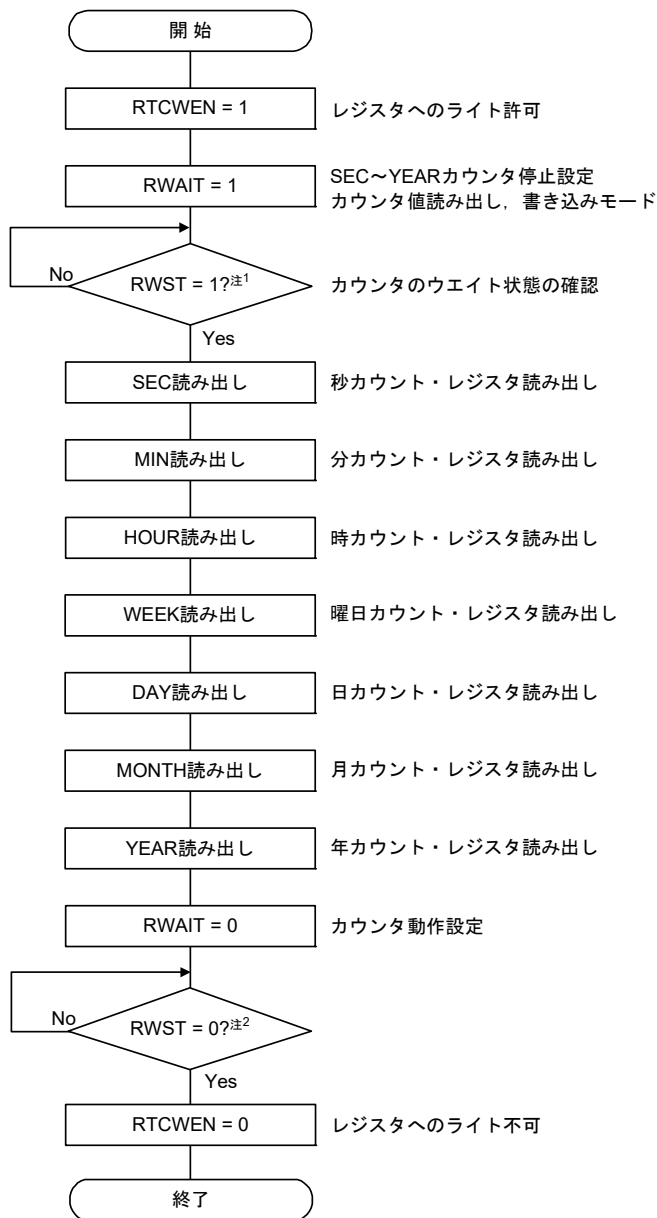
図8-20 RTCE = 1に設定後のHALT/STOPモードへの移行手順



8.4.3 リアルタイム・クロック2のカウンタ読み出し

カウンタ動作時（RTCE = 1）のカウンタの読み出しは、最初にRWAIT = 1にしてから行ってください。カウンタの読み出し終了後は、RWAIT = 0にしてください。

図8-21 リアルタイム・クロック2の読み出し手順



注1. カウンタ停止（RTCE = 0）時はRWST = 1になりません。

2. STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまでの処理を1秒以内で行ってください。

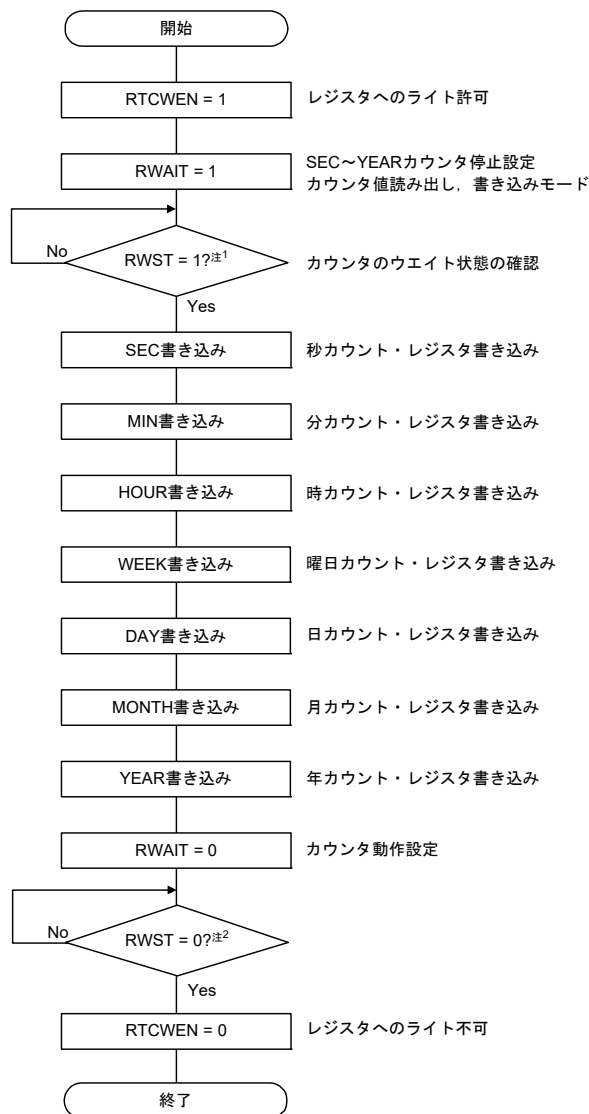
アラーム割り込みを使用するときに、カウンタ読み出しを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

8.4.4 リアルタイム・クロック2のカウンタ書き込み

カウンタ動作時（RTCE = 1）のカウンタの書き込みは、最初にRWAIT = 1にしてから行ってください。
カウンタの読み出し終了後は、RWAIT = 0にしてください。

図8-22 リアルタイム・クロック2の書き込み手順



注1. カウンタ停止（RTCE = 0）時はRWST = 1になりません。

2. STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意1. RWAIT = 1からRWAIT = 0とするまでの処理を1秒以内で行ってください。

アラーム割り込みを使用するときに、カウンタ書き込みを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

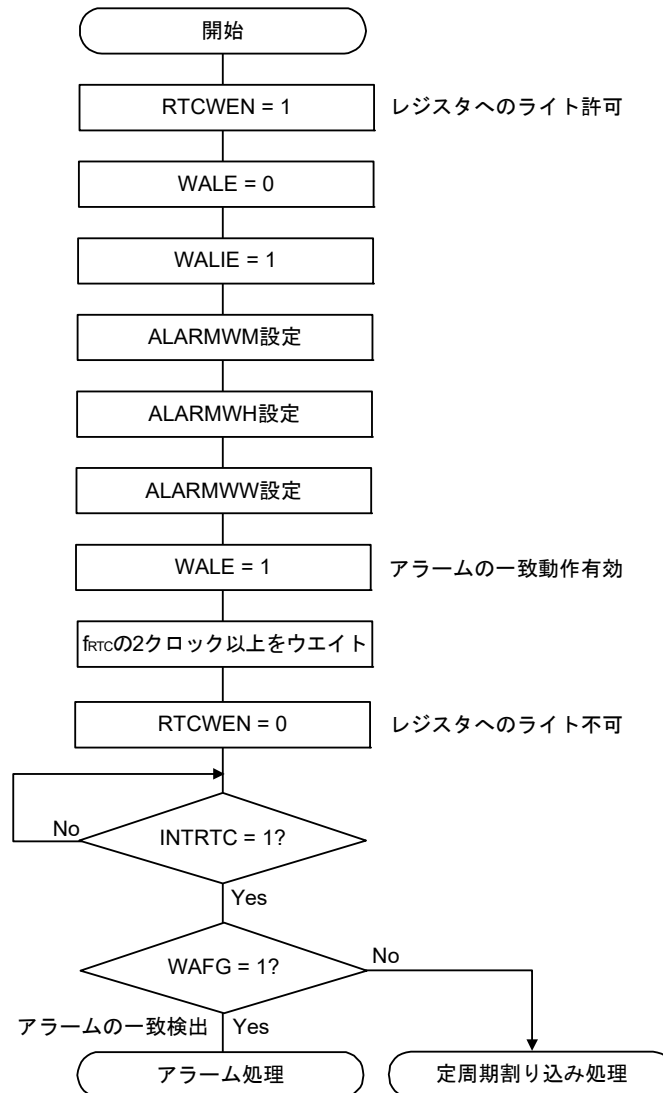
2. カウンタ動作中（RTCE = 1）にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

8.4.5 リアルタイム・クロック2のアラーム設定

アラーム時刻設定は、最初にWALE = 0（アラーム動作無効）にしてから行ってください。

図8-23 アラーム設定手順

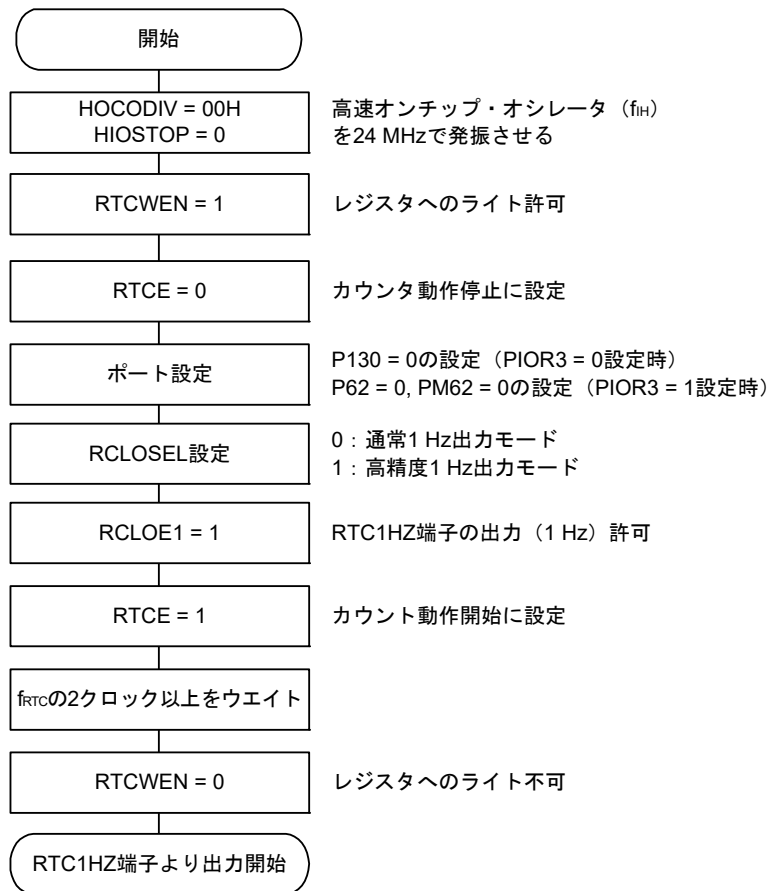


備考1. ALARMWWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

- 定周期割り込みとアラーム一致割り込みは、同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで、どちらの割り込みが発生したかを判断することができます。

8.4.6 リアルタイム・クロック2の1 Hz出力

図8-24 1 Hz出力の設定手順



注意 高精度1 Hzの端子出力を使用する場合は、高速オンチップ・オシレータ・クロック (f_H) に24 MHzを選択かつ、高速オンチップ・オシレータを動作 (HIOSTOP = 0) させてください。CPUクロックを選択する必要はありません。

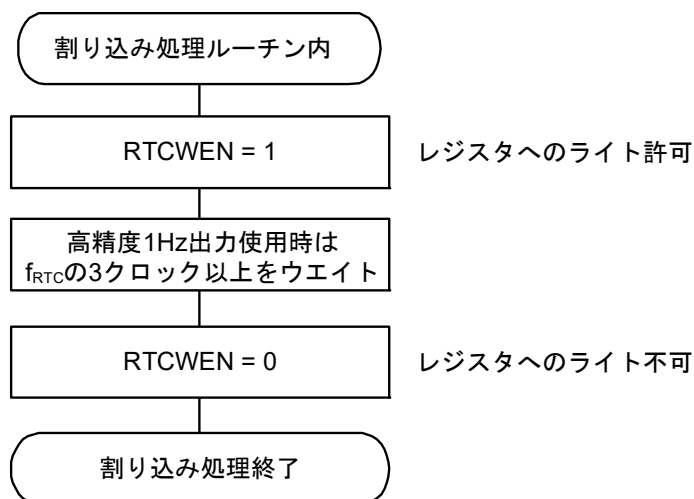
8.4.7 時計誤差補正レジスタの設定手順

時計誤差補正レジスタ（SUBCUD）を設定する場合は、次のどちらかの処理を行ってください。

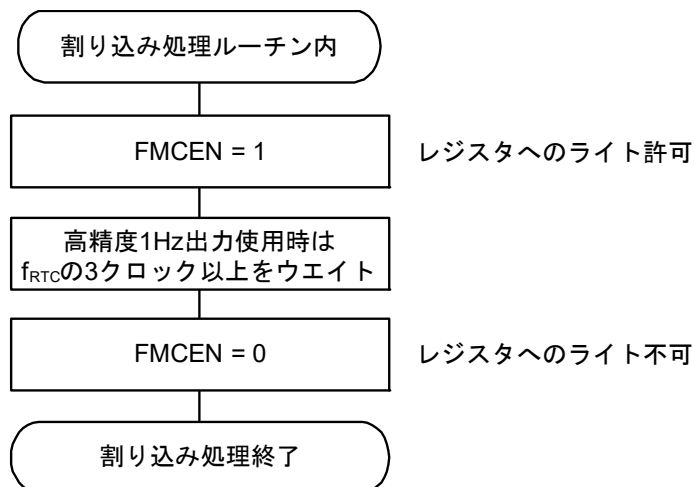
時計レジスタへの誤書き込みを防止するため、SUBCUDレジスタの書き換えは（2）FMCENによるライト許可を推奨します。

時計誤差補正レジスタ（SUBCUD）の書き換えと補正タイミングとが競合した場合、RTCの補正が正常に行われない場合があります。補正タイミングとSUBCUDレジスタの書き換えの競合を避けるために、SUBCUDレジスタの書き換えは、必ず補正タイミングに同期して発生する補正タイミング割り込み（INTRTIT）または定周期割り込み（INTRTC）の発生を起点にし、次の補正タイミングが発生する前（約0.5秒以内）に完了させてください。

- ★ 高精度1Hz出力を使用時に時計誤差補正レジスタ（SUBCUD）を書き換える場合は、補正タイミング割り込み（INTRTIT）または定周期割り込み（INTRTC）の発生後、カウント・クロック（ f_{RTC} ）の3クロック以上ウエイトした後にSUBCUDレジスタを書き換えてください。
- ★ (1) RTCWEN = 1に設定後に、時計誤差補正レジスタを設定。その後、RTCWEN = 0に設定してください。



- ★ (2) FMCEN = 1に設定後に、時計誤差補正レジスタを設定。その後、FMCEN = 0に設定してください。



8.4.8 リアルタイム・クロック2の時計誤差補正例

時計誤差補正レジスタ (SUBCUD) に値を設定することにより、毎秒ごとに時計の進みや遅れを最小分解能 0.96 ppm精度で補正できます。

次に、ターゲット補正值の算出方法と、ターゲット補正值から時計誤差補正レジスタのF8-F0値を算出する方法を示します。

ターゲット補正值の算出方法1

(RTC1HZ端子の出力周波数を使用する場合)

【発振周波数の測定】

各製品の発振周波数^注を、時計誤差補正レジスタ (SUBCUD) のF15が“0” (時計誤差補正停止) のときに RTC1HZ端子から通常1 Hz出力を出力して測定します。

注 RTC1HZの出力手順は、8.4.6 リアルタイム・クロック2の1 Hz出力を参照してください。

【ターゲット補正值の算出】

(RTC1HZからの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \doteq 32767.40 \text{ Hz}$$

ターゲット周波数を32768Hzとすると、ターゲット補正值は、

$$\begin{aligned} \text{ターゲット補正值} &= (\text{発振周波数} - \text{ターゲット周波数}) \div \text{ターゲット周波数} \\ &= (32767.40 - 32768.00) \div 32768.00 \\ &\doteq -18.3 \text{ ppm} \end{aligned}$$

備考1. 発振周波数とは、入力クロック (f_{RTC}) の値です。時計誤差補正停止時のRTC1HZ出力周波数 \times 32768 で求めることができます。

2. ターゲット補正值とは、水晶振動子の発振周波数偏差 (単位は [ppm]) です。

3. ターゲット周波数とは、時計誤差補正を行った後の周波数です。

ターゲット補正値の算出方法2

(サブシステム・クロック周波数測定回路を使用する場合)

【発振周波数の測定】

各製品の発振周波数^注を、サブクロック周波数測定回路を使用して測定します。発振周波数は次の計算式により計算できます。

$$\text{発振周波数} = \frac{f_{MX}\text{周波数 [Hz]} \times \text{動作トリガ分周比}}{(\text{周波数測定カウント} \cdot \text{レジスタH, L (FMCRL, FMCRL) 値})^{10\text{進}}} \text{ [Hz]}$$

注 サブシステム・クロック周波数測定機能の動作手順は、9.4.1 基準クロックによるサブシステム・クロック周波数測定回路の設定を参照してください。

【ターゲット補正値の算出】

(周波数測定カウント・レジスタH, Lの値が9999060Dの場合)

- ・高速システム・クロック周波数 (f_{MX}) = 10 MHz
- ・周波数測定コントロール・レジスタのFMDIV2-FMDIV0 = 111B (動作トリガ分周比 = 2^{15})

のとき、発振周波数は、

$$\begin{aligned} \text{発振周波数} &= f_{MX}\text{周波数 [Hz]} \times \text{動作トリガ分周比} \div (\text{FMCRL, FMCRL})\text{値} \\ &= 10 \times 10^6 \times 2^{15} \div 9999060D \\ &= 32771.0804816 \text{ Hz} \end{aligned}$$

ターゲット周波数を32768Hzとすると、ターゲット補正値は、

$$\begin{aligned} \text{ターゲット補正値} &= \text{発振周波数} \div \text{ターゲット周波数} - 1 \\ &= 32771.0804816 \div 32768 - 1 \\ &\approx 94.0 \text{ ppm} \end{aligned}$$

備考1. 動作トリガ分周比とは、周波数測定コントロール・レジスタのFMDIV2-FMDIV0で設定する f_{SUB} の分周比です。FMDIV2-FMDIV0 = 000B時、動作トリガ分周比は 2^8 、FMDIV2-FMDIV0 = 111B時、動作トリガ分周比は 2^{15} となります。

2. ターゲット補正値とは、水晶振動子の発振周波数偏差 (単位は [ppm]) です。
3. ターゲット周波数とは、時計誤差補正を行った後の周波数です。

時計誤差補正レジスタ (SUBCUD) のF8-F0値の算出方法

SUBCUDレジスタのF8-F0値は、ターゲット補正值から次の計算式で算出できます。

$$\text{SUBCUD}[8:0] = \left[\frac{\text{ターゲット補正值 [ppm]} \times 2^{15}}{10^6} \right]_{2\text{の補数}(9\text{bit固定小数点形式})} + 0001.00000\text{B}$$

例1. ターゲット補正值 = -18.3 [ppm]の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (-18.3 \times 2^{15} / 10^6)_{2\text{の補数}(9\text{bit固定小数点形式})} + 0001.00000\text{B} \\ &= (-0.59965)_{2\text{の補数}(9\text{bit固定小数点形式})} + 0001.00000\text{B} \\ &= 1111.01101\text{B} + 0001.00000\text{B} \\ &= 0000.01101\text{B} \end{aligned}$$

例2. ターゲット補正值 = 94.0 [ppm]の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (94.0 \times 2^{15} / 10^6)_{2\text{の補数}(9\text{bit固定小数点形式})} + 0001.00000\text{B} \\ &= (+3.08019)_{2\text{の補数}(9\text{bit固定小数点形式})} + 0001.00000\text{B} \\ &= 0011.00011\text{B} + 0001.00000\text{B} \\ &= 0100.00011\text{B} \end{aligned}$$

8.4.9 高精度1 Hz出力について

時計誤差補正レジスタによる時計補正は、カウンタの値を毎0.5秒ごとに補正することにより、最小分解能0.96 ppmで補正することが可能ですが、カウンタは f_{RTC} に同期して動作しているため、カウンタのオーバーフローから生成する通常1 Hz出力の最小分解能は、 $1/32.768 \text{ KHz}$ ($\approx 30.5 \mu\text{s} = 30.5 \text{ ppm}$) となります。つまり、通常1 Hz出力は長期間では0.96 ppmの精度を持っていますが、一つ一つの1 Hz出力を見ると、最大で30.5 ppmの誤差を含むこととなります。

それに対して、高精度1 Hz出力は時計誤差補正レジスタの補正值を使用し、 f_{IH} で補正時間をカウントすることで、一つ一つの1 Hz出力を最小分解能0.96 ppmで補正して出力することができます^注。

注 実際の高精度1 Hz出力には、 f_{IH} の精度や補正時間カウント時の量子化誤差が含まれます。

高精度1 Hz出力を使用する場合は、高速オンチップ・オシレータ・クロック (f_{IH}) に24 MHzを選択かつ、高速オンチップ・オシレータを動作 ($HIOSTOP = 0$) させてください。CPUクロックに選択する必要はありません。

第9章 サブシステム・クロック周波数測定回路

9.1 サブシステム・クロック周波数測定回路

サブシステム・クロック周波数測定回路は、基準クロックを外部から入力することで、サブシステム・クロック (f_{SUB}) の周波数測定を行うことができる機能です。

下記手法でサブシステム・クロック (f_{SUB}) の周波数測定を行うことで、温度センサを使用せずにRTCの時計誤差補正を行うことができます。

- ・外付けの温度補償型水晶発振器 (TCXO) から外部メイン・システム・クロック (f_{EX}) を基準クロックとして入力
- ・温度特性が良好なATカット型振動子をX1, X2に接続することにより、X1発振クロック (f_X) を基準クロックとする

注意 サブシステム・クロック周波数測定回路は、動作クロックにサブシステム・クロック ($f_{SUB} = 32.768 \text{ kHz}$) を選択時 (OSMCレジスタのWUTMMCK0 = "0" 選択時) のみ使用できます。

9.2 サブシステム・クロック周波数測定回路の構成

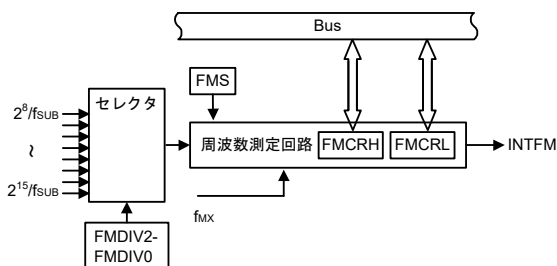
サブシステム・クロック周波数測定回路は、次のハードウェアで構成されています。

表9-1 サブシステム・クロック周波数測定回路の構成

項目	構成
カウンタ	カウンタ (32ビット)
制御レジスタ	周辺イネーブル・レジスタ1 (PER1)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	周波数測定カウント・レジスタL (FMCRL)
	周波数測定カウント・レジスタH (FMCRH)
	周波数測定コントロール・レジスタ (FMCTL)

図9-1にサブシステム・クロック周波数測定回路のブロック図を示します。

図9-1 サブシステム・クロック周波数測定回路のブロック図



9.3 サブシステム・クロック周波数測定回路を制御するレジスタ

サブシステム・クロック周波数測定回路は、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ1 (PER1)
- ・サブシステム・クロック供給モード制御レジスタ (OSMC)
- ・周波数測定カウント・レジスタL (FMCRL)
- ・周波数測定カウント・レジスタH (FMCRH)
- ・周波数測定コントロール・レジスタ (FMCTL)

9.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、サブシステム・クロック周波数測定回路で使用するレジスタへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

ビット6 (FMCEN) を1に設定することで、サブシステム・クロック周波数測定回路を制御するレジスタおよび、リアルタイム・クロック2を制御するレジスタのうち、時計誤差補正レジスタ (SUBCUD) を設定可能になります。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	FMCEN	CMPEN	OSDCEN	DTCEN	0	0	DSADCEN

FMCEN	サブシステム・クロック周波数測定回路の入カクロック供給の制御
0	入カクロック供給停止 ・サブシステム・クロック周波数測定回路で使用するSFRへのライト不可 ・リアルタイム・クロック2で使用するSUBCUDレジスタへのライト不可 ・サブシステム・クロック周波数測定回路はリセット状態
1	入カクロック供給 ・サブシステム・クロック周波数測定回路で使用するSFRへのリード／ライト可 ・リアルタイム・クロック2で使用するSUBCUDレジスタへのリード／ライト可

注意1. 時計誤差補正レジスタ (SUBCUD) は、周辺イネーブル・レジスタ0 (PER0) のRTCWEN = 1または、周辺イネーブル・レジスタ1 (PER1) のFMCEN = 1のどちらかを設定することでリード／ライトが可能となります。

2. ビット1, 2には必ず“0”を設定してください。

9.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPCビットを1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、発振停止検出回路以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、サブシステム・クロック周波数測定回路の動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-3 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、第24章 スタンバイ機能参照)
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、発振停止検出回路以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDコントローラ／ドライバの動作クロックの選択	クロック出力／ブザー出力制御回路のPCLBUZn端子の出力クロックの選択および8ビット・インターバル・タイマの動作クロックの選択	サブシステム・クロック周波数測定回路の動作
0	サブシステム・クロック (f _{SUB})	サブシステム・クロック (f _{SUB}) 選択許可	許可
1	低速オンチップ・オシレータ・クロック (f _{IL})	サブシステム・クロック (f _{SUB}) 選択禁止	禁止

注意1. RTCLPCビットを1に設定することで、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の消費電力を低減することができます。ただし、サブシステム・クロックでCPU動作中のHALTモード時は、リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ以外の周辺機能へクロックを供給できなくなります。サブシステム・クロックでCPU動作中はHALTモードに設定する前に、周辺イネーブル・レジスタ0 (PER0) のビット7 (RTCWEN)、周辺イネーブル・レジスタ1 (PER1) のビット7 (TMKAEN) は1に、PER0のビット0, 2, 3, PER1のビット5は0にしてください。

(注意は次ページに続きます。)

- 注意2. サブシステム・クロック発振中は、サブシステム・クロックのみ選択できます (WUTMMCK0 = 0)。
3. WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。
 4. WUTMMCK0を“1”に設定した場合、リアルタイム・クロック2の定周期割り込み機能のみ使用できます。年、月、曜日、日、時、分、秒のカウントおよび1 Hz出力機能は使用できません。
定周期割り込み間隔は、*定周期* (RTCC0レジスタで選択した値) $\times f_{SUB}/f_{IL}$ で算出されます。

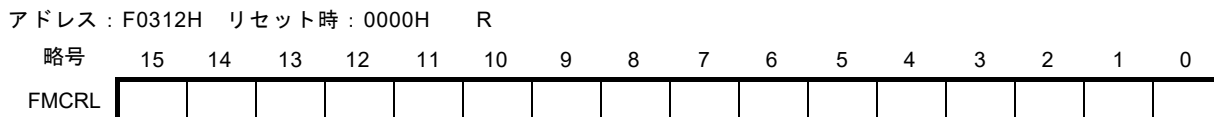
9.3.3 周波数測定カウント・レジスタL (FMCRL)

周波数測定回路内の周波数測定カウント・レジスタ (FMCR) の下位16ビットを表します。

FMCRLレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、FMCRLレジスタは0000Hになります。

図9-4 周波数測定カウント・レジスタL (FMCRL) のフォーマット



注意1. FMS = 1のとき、FMCRLの値をリードしないでください。

2. 周波数測定完了割り込み発生後、FMCRLの値をリードしてください。

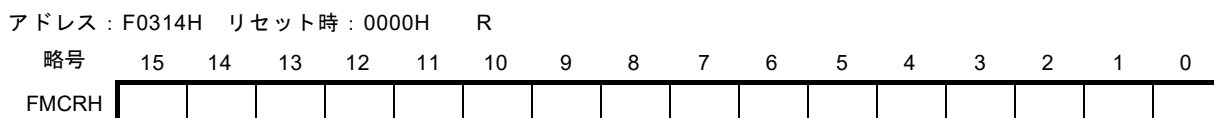
9.3.4 周波数測定カウント・レジスタH (FMCRH)

周波数測定回路内の周波数測定カウント・レジスタFMCRの上位16ビットを表します。

FMCRHレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、FMCRLレジスタは0000Hになります。

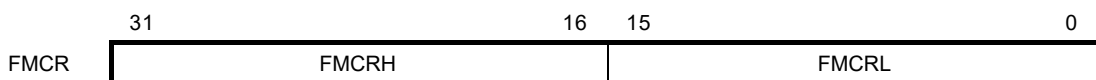
図9-5 周波数測定カウント・レジスタH (FMCRH) のフォーマット



注意1. FMS = 1のとき、FMCRHの値をリードしないでください。

2. 周波数測定完了割り込み発生後、FMCRHの値をリードしてください。

図9-6 周波数測定カウント・レジスタFMCR (FMCRH, FMCRL)



9.3.5 周波数測定コントロール・レジスタ (FMCTL)

FMCTLレジスタは、サブシステム・クロック周波数測定回路の動作を設定するレジスタです。周波数測定動作開始、周波数測定期間の設定を行います。

FMCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FMCTLレジスタは00Hになります。

図9-7 周波数測定コントロール・レジスタ (FMCTL) のフォーマット

アドレス : F0316H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
FMCTL	FMS	0	0	0	0	FMDIV2	FMDIV1	FMDIV0

FMS	周波数測定回路動作許可	R/W
0	周波数測定回路停止	R/W
1	周波数測定回路動作 動作クロックの立ち上がりによってカウントを開始し、次の動作クロックの立ち下がりによりカウントを停止します。	

FMDIV2	FMDIV1	FMDIV0	周波数測定期間設定	R/W
0	0	0	$2^8 / f_{SUB}$ (7.8125 ms)	R/W
0	0	1	$2^9 / f_{SUB}$ (15.625 ms)	
0	1	0	$2^{10} / f_{SUB}$ (31.25 ms)	
0	1	1	$2^{11} / f_{SUB}$ (62.5 ms)	
1	0	0	$2^{12} / f_{SUB}$ (0.125 s)	
1	0	1	$2^{13} / f_{SUB}$ (0.25 s)	
1	1	0	$2^{14} / f_{SUB}$ (0.5 s)	
1	1	1	$2^{15} / f_{SUB}$ (1 s)	

注意 FMS = 1のとき、FMDIV2-FMDIV0ビットの設定を変更しないでください。

備考 周波数測定分解能は下記の計算式により算出できます。

$$\cdot \text{周波数測定分解能} = 10^6 / (\text{周波数測定期間 [s]} \times \text{基準クロック周波数 (f}_{MX}) \text{ [Hz]}) \text{ [ppm]}$$

例1) FMDIV2-FMDIV0 = 000B, $f_{MX} = 20 \text{ MHz}$ のとき、測定分解能 = 6.4 ppm

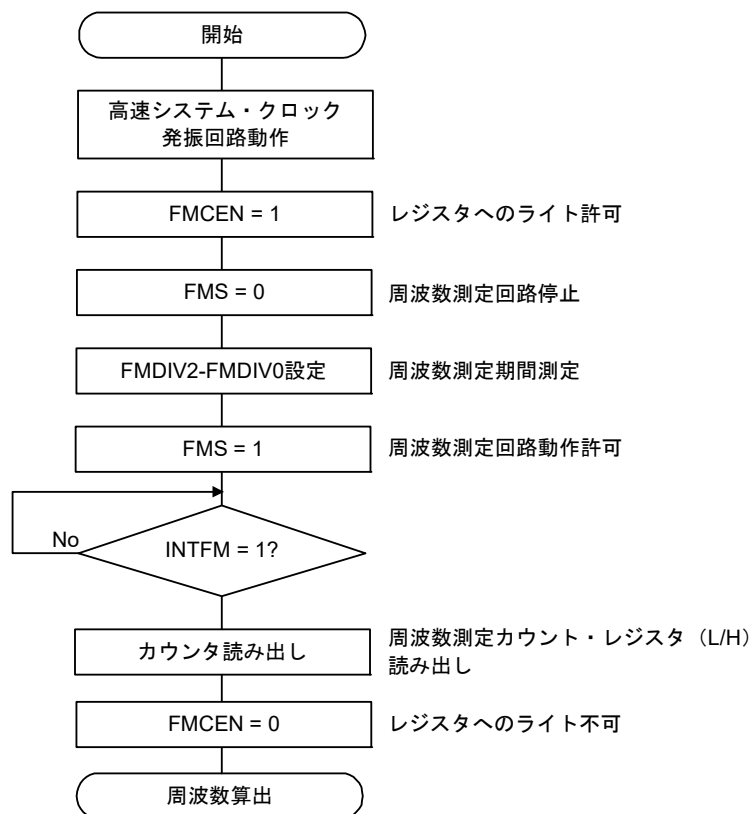
例2) FMDIV2-FMDIV0 = 111B, $f_{MX} = 1 \text{ MHz}$ のとき、測定分解能 = 1 ppm

9.4 サブシステム・クロック周波数測定回路の動作

9.4.1 基準クロックによるサブシステム・クロック周波数測定回路の設定

サブシステム・クロック周波数測定回路の設定は、最初にFMS = 0にしてから行ってください。

図9-8 基準クロックによるサブシステム・クロック周波数測定回路の設定手順



注意 周波数測定カウント・レジスタ (L/H) 読み出し後は必ず、FMCEN = 0に設定してください。

f_{SUB} 発振周波数は次の計算式により算出できます。

$$f_{\text{SUB}}\text{発振周波数} = \frac{\text{基準クロック周波数[Hz]} \times \text{動作トリガ分周比}}{\text{周波数測定カウント・レジスタ値 (FMCR)}} \text{ [Hz]}$$

例えば、下記の条件にて周波数測定を行い、

- ・ カウントクロック周波数 : $f_{\text{MX}} = 10 \text{ MHz}$
- ・ 周波数測定期間設定レジスタ : FMDIV2-FMDIV0 = 111B (動作トリガ分周比 : 2^{15})

測定結果が下記であった場合

- ・ 周波数測定カウント・レジスタ : FMCR = 10000160 D

f_{SUB} 発振周波数は次の値になる。

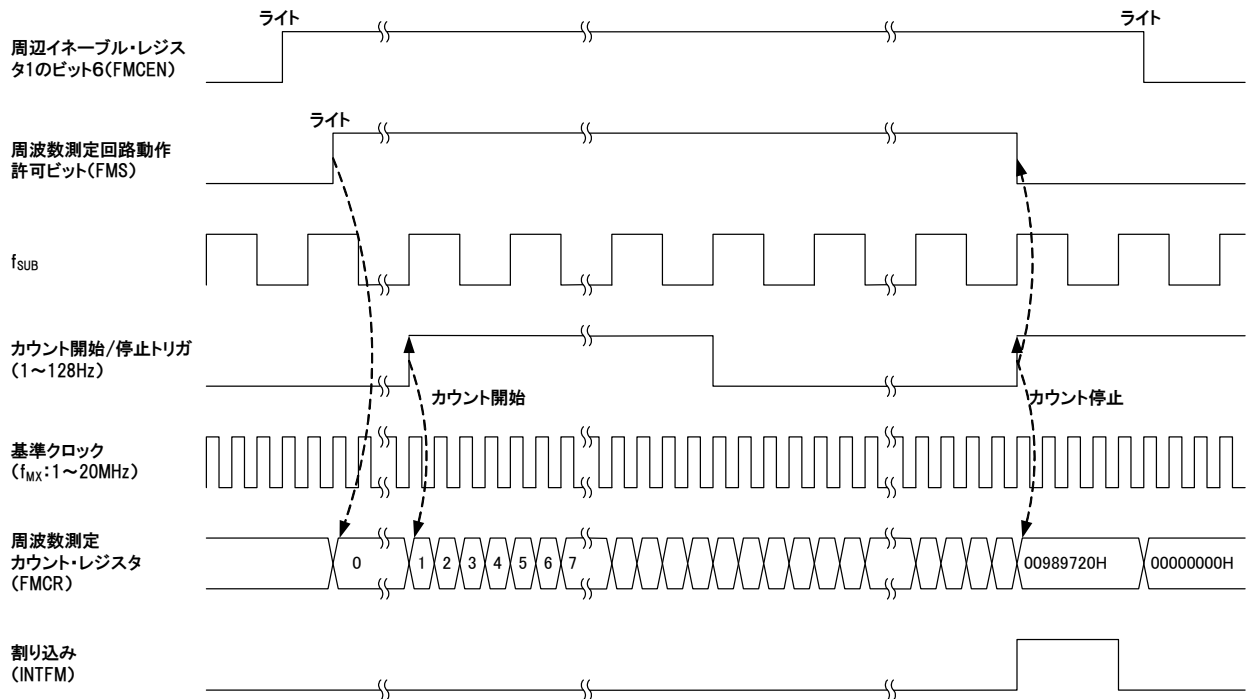
$$f_{\text{SUB}}\text{発振周波数} = \frac{(10 \times 10^6) \times 2^{15}}{10000160} = 32767.47572 \text{ [Hz]}$$

9.4.2 サブシステム・クロック周波数測定回路の動作タイミング

サブシステム・クロック周波数測定回路の動作は、図9-9のようなタイミングとなります。

周波数測定回路動作許可ビット (FMS) を“1”に設定後、周波数測定期間設定ビット (FMDIV2-FMDIV0) で設定したカウント開始トリガによってカウントを開始し、次のトリガでカウントを停止します。カウント停止後は、カウント値を保持し、周波数測定回路動作許可ビット (FMS) が“0”にリセットされます。周波数測定回路の動作が終了し、周波数測定カウント・レジスタ (L/H) 読み出し後は、必ず周辺イネーブル・レジスタ1のビット6 (FMCEN) を“0”に設定してください。また、 f_{SUB} の1クロック分割り込みを発生します。

図9-9 サブシステム・クロック周波数測定回路の動作タイミング



第10章 12ビット・インターバル・タイマ

10.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み (INTIT) を発生します。STOPモードからのウエイク・アップや、A/DコンバータのSNOOZEモードのトリガに使えます。

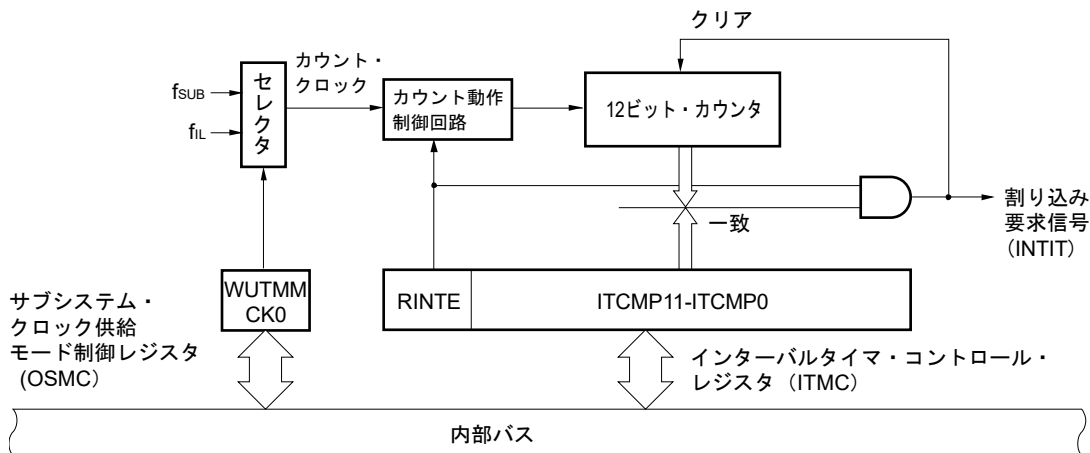
10.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表10-1 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ1 (PER1)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

図10-1 12ビット・インターバル・タイマのブロック図



10.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ1 (PER1)
- ・サブシステム・クロック供給モード制御レジスタ (OSMC)
- ・12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

10.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用するときは、必ずビット7 (TMKAEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	FMCEN	CM PEN	OSDCEN	DTCEN	0	0	DSADCEN

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可 ・12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード/ライト可

- 注意1. 12ビット・インターバル・タイマを使用する際には、カウント・クロックが発振安定した状態で、必ず最初にTMKAEN = 1の設定を行ってください。TMKAEN = 0の場合は、12ビット・インターバル・タイマの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。(サブシステム・クロック供給モード制御レジスタ (OSMC) は除く)
2. サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPC = 1に設定することにより、STOPモード時およびサブシステム・クロック時HALTモードで、リアルタイム・クロック2, 12ビット・インターバル・タイマ, クロック出力/ブザー出力制御回路, LCDコントローラ/ドライバ, 8ビット・インターバル・タイマ, 発振停止検出回路以外の周辺機能へのクロック供給を停止することが可能です。
3. ビット2, 1には必ず“0”を設定してください。

10.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバの動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-3 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDコントローラ／ドライバの動作クロックの選択	クロック出力／ブザー出力制御回路のPCLBUZn端子の出力クロックの選択および8ビット・インターバル・タイマの動作クロックの選択	サブシステム・クロック周波数測定回路の動作
0	サブシステム・クロック (f _{sub})	サブシステム・クロック (f _{sub}) 選択許可	許可
1	低速オンチップ・オシレータ・クロック (f _{il})	サブシステム・クロック (f _{sub}) 選択禁止	禁止

- 注意1. サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択 (WUTMMCK0ビット = 0) にしてください。
- WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。
 - WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDコントローラ／ドライバの全ての機能が動作停止中のみ可能です。

10.3.3 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図10-4 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC) のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITMCMP11-ITMCMP0

RINTE	12ビット・インターバル・タイマの動作制御
0	カウンタ動作停止 (カウント・クリア)
1	カウンタ動作開始

ITMCMP11-ITMCMP0	12ビット・インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期 × (ITMCMP設定値 + 1)」の定周期割り込みを発生します。
.	
.	
FFFH	設定禁止
000H	

ITMCMP11-ITMCMP0 = 001H, FFFH設定時の割り込み周期例

- ITMCMP11-ITMCMP0 = 001H, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時
 $1/32.768 \text{ [kHz]} \times (1+1) = 0.06103515625 \text{ [ms]} \doteq 61.03 \text{ [\mu s]}$
- ITMCMP11-ITMCMP0 = FFFH, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時
 $1/32.768 \text{ [kHz]} \times (4095+1) = 125 \text{ [ms]}$

- 注意1. RINTEビットを1→0に変更する場合は、INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始 (0→1) する場合は、ITIFフラグをクリアしてから割り込み処理許可にしてください。
2. RINTEビットのリード値は、RINTEビット設定後、カウント・クロックの1クロック後に反映されます。
3. スタンバイ・モードから復帰後にRINTEビット設定して、再度スタンバイ・モードに移行する場合は、RINTEビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分の時間以上経過後に移行してください。
4. ITMCMP11-ITMCMP0ビットの設定を変更する場合は、必ずRINTE = 0のときに行ってください。ただし、RINTE = 0→1または1→0に変更すると同時にITMCMP11-ITMCMP0ビットの設定を変更することは可能です。

10.4 12ビット・インターバル・タイマの動作

10.4.1 12ビット・インターバル・タイマの動作タイミング

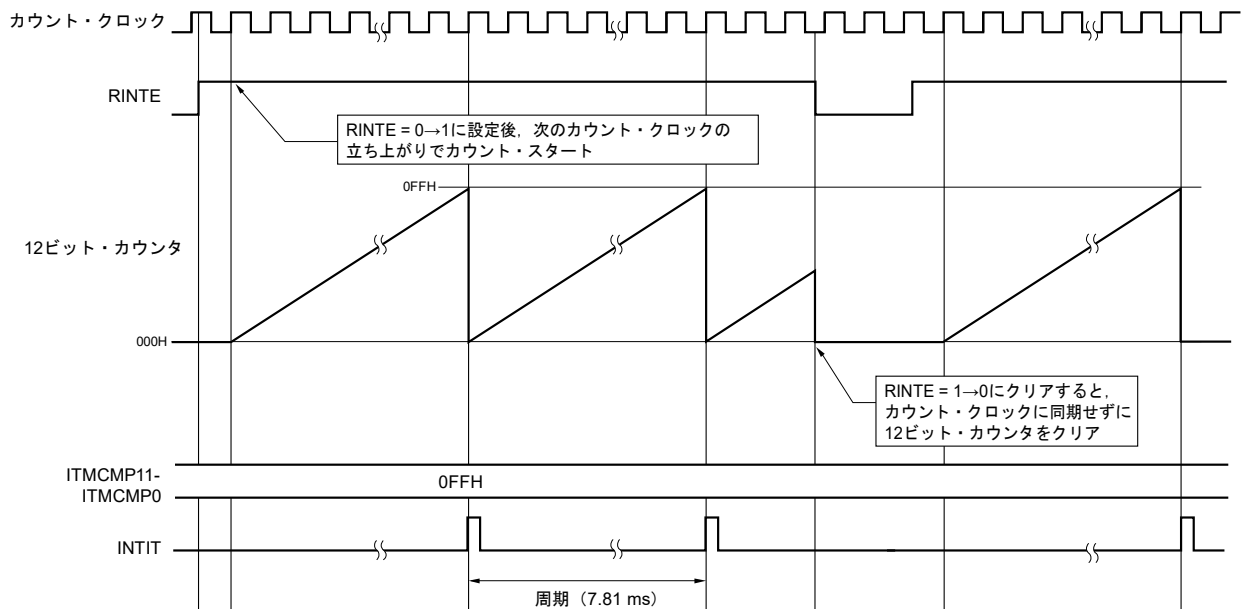
ITMCMP11-ITMCMP0ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTIT) を発生する12ビット・インターバル・タイマとして動作します。

RINTEビットを1に設定すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITMCMP11-ITMCMP0ビットに設定した値と一致したとき、12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTIT) を発生します。

12ビット・インターバル・タイマの基本動作を図10-5に示します。

図10-5 12ビット・インターバル・タイマ動作のタイミング
(ITMCMP11-ITMCMP0 = 0FFH, カウント・クロック : $f_{SUB} = 32.768$ kHz)

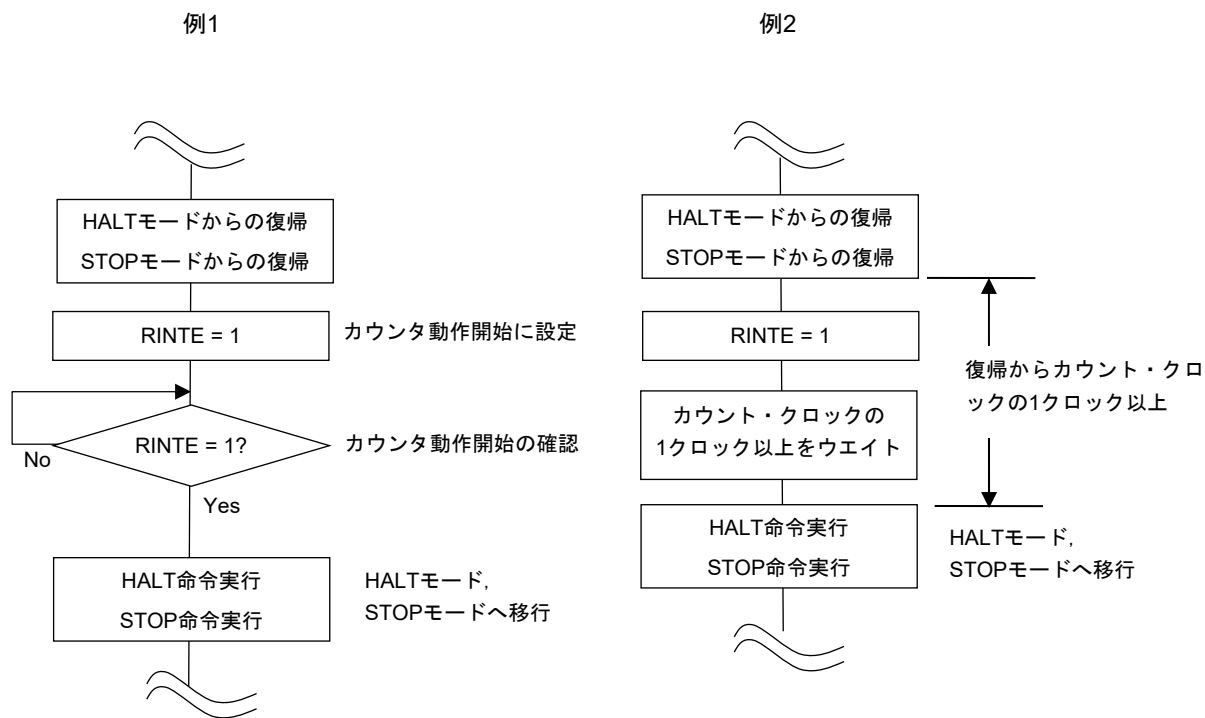


10. 4. 2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- ・ RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する（図10-6 例1参照）。
- ・ RINTE = 1に設定してから、カウント・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する（図10-6 例2参照）。

図10-6 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



第11章 8ビット・インターバル・タイマ

8ビット・インターバル・タイマは8ビット・タイマを2つ（チャンネル0、チャンネル1）持ち、それぞれが独立して動作します。また、2つの8ビット・タイマを連結動作させることで16ビット・タイマとして動作することができます。

8ビット・インターバル・タイマは同機能を持つ8ビット・インターバル・タイマ_0、8ビット・インターバル・タイマ_1の2本内蔵されています。特に差異がない限り、本章では8ビット・インターバル・タイマとして説明します。

11.1 概要

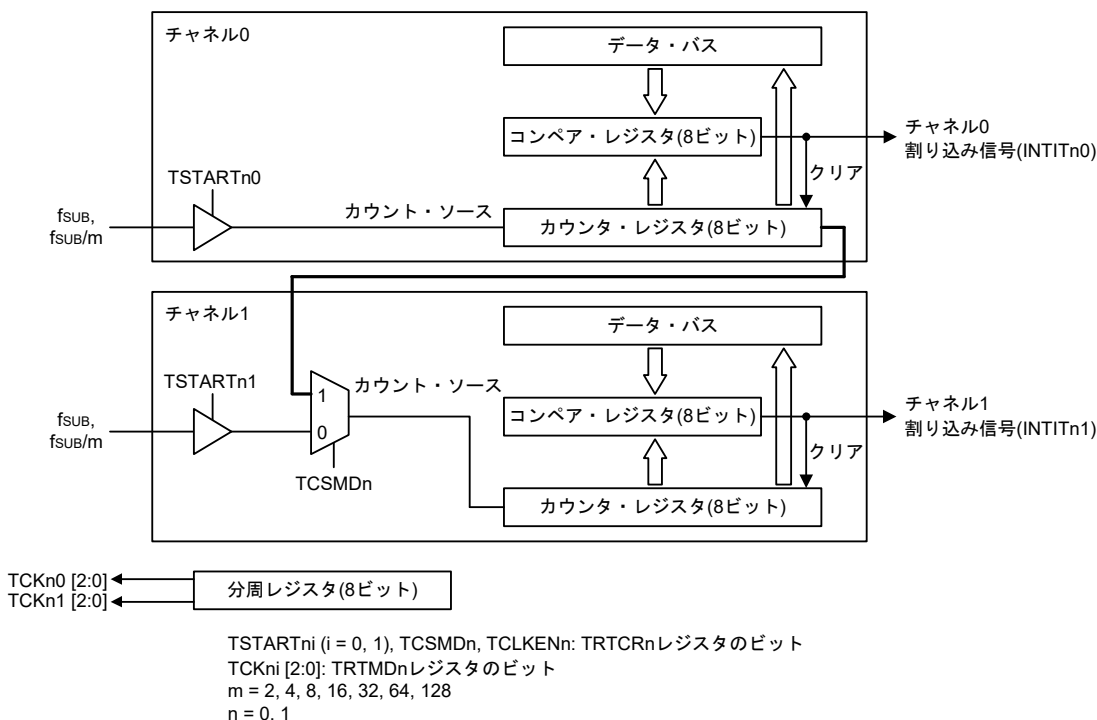
8ビット・インターバル・タイマはCPUと非同期の f_{SUB} クロックで動作する8ビット・タイマです。

表11-1に8ビット・インターバル・タイマの仕様を、図11-1に8ビット・インターバル・タイマのブロック図を示します。

表11-1 8ビット・インターバル・タイマの仕様

項目	内容
カウント・ソース (動作クロック)	• f_{SUB} , $f_{SUB}/2$, $f_{SUB}/4$, $f_{SUB}/8$, $f_{SUB}/16$, $f_{SUB}/32$, $f_{SUB}/64$, $f_{SUB}/128$
動作モード	• 8ビット・カウンタ・モード チャンネル0、チャンネル1が独立した8ビット・カウンタとして動作するモード • 16ビット・カウンタ・モード チャンネル0、チャンネル1を連結して16ビット・カウンタとして動作するモード
割り込み	• カウンタがコンペア値と一致したとき出力

図11-1 8ビット・インターバル・タイマのブロック図



11.2 入出力端子

8ビット・インターバル・タイマは入出力端子を持ちません。

11.3 レジスタの説明

表11-2に8ビット・インターバル・タイマのレジスタ一覧を示します。

表11-2 レジスタ一覧

項目	構成
制御レジスタ	8ビット・インターバル・タイマ・カウンタ・レジスタ00 (TRT00) 注1
	8ビット・インターバル・タイマ・カウンタ・レジスタ01 (TRT01) 注1
	8ビット・インターバル・タイマ・カウンタ・レジスタ0 (TRT0) 注2
	8ビット・インターバル・タイマ・コンペア・レジスタ00 (TRTCMP00) 注1
	8ビット・インターバル・タイマ・コンペア・レジスタ01 (TRTCMP01) 注1
	8ビット・インターバル・タイマ・コンペア・レジスタ0 (TRTCMP0) 注2
	8ビット・インターバル・タイマ制御レジスタ0 (TRTCR0)
	8ビット・インターバル・タイマ分周レジスタ0 (TRTMD0)
	8ビット・インターバル・タイマ・カウンタ・レジスタ10 (TRT10) 注1
	8ビット・インターバル・タイマ・カウンタ・レジスタ11 (TRT11) 注1
	8ビット・インターバル・タイマ・カウンタ・レジスタ1 (TRT1) 注2
	8ビット・インターバル・タイマ・コンペア・レジスタ10 (TRTCMP10) 注1
	8ビット・インターバル・タイマ・コンペア・レジスタ11 (TRTCMP11) 注1
	8ビット・インターバル・タイマ・コンペア・レジスタ1 (TRTCMP1) 注2
	8ビット・インターバル・タイマ制御レジスタ1 (TRTCR1)
	8ビット・インターバル・タイマ分周レジスタ1 (TRTMD1)

注1. TRTCRnレジスタのTCSMDnビット = 0のときのみアクセス可能です。

2. TRTCRnレジスタのTCSMDnビット = 1のときのみアクセス可能です。

備考 n = 0, 1

11.3.1 8ビット・インターバル・タイマ・カウンタ・レジスタ_{ni} (TRT_{ni}) ($n = 0, 1, i = 0, 1$)

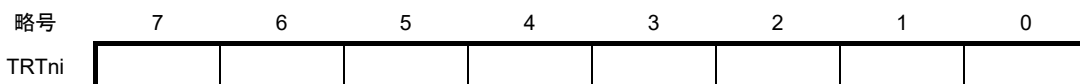
8ビット・インターバル・タイマのカウンタ・レジスタです。カウンタ・クロックによりカウンタ・アップするカウンタです。

TRT_{ni}レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-2 8ビット・インターバル・タイマ・カウンタ・レジスタ_{ni} (TRT_{ni}) のフォーマット

アドレス： F0540H (TRT00), F0541H (TRT01), F0548H (TRT10), F0549H (TRT11) リセット時：00H R^{注1,2}



注1. TRT_{ni}レジスタはコンペア・レジスタTRTCMP_{ni}に書き込みアクセス後、カウンタ・クロックで2サイクル後00Hになります。詳細は「11.4.4 コンペア・レジスタ値の反映タイミング」を参照してください。

2. 8ビット・インターバル・タイマ制御レジスタ_n (TRTCR_n) のモード選択ビット (TCSMD_n) が0の場合のみアクセスが可能になります。

11.3.2 8ビット・インターバル・タイマ・カウンタ・レジスタ_n (TRT_n) ($n = 0, 1$)

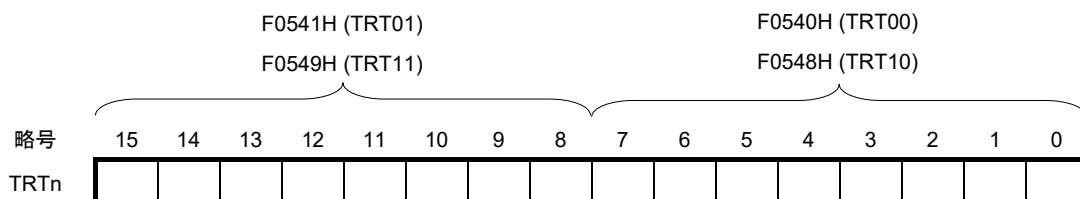
8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合の16ビットのカウンタ・レジスタです。

TRT_nレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図11-3 8ビット・インターバル・タイマ・カウンタ・レジスタ_n (TRT_n) のフォーマット

アドレス： F0540H (TRT0), F0548H (TRT1) リセット時：0000H R^{注1,2}



注1. TRT_nレジスタはコンペア・レジスタTRTCMP_nに書き込みアクセス後、カウンタ・クロックで2サイクル後に0000Hになります。詳細は「11.4.4 コンペア・レジスタ値の反映タイミング」を参照してください。

2. 8ビット・インターバル・タイマ制御レジスタ_n (TRTCR_n) のモード選択ビット (TCSMD_n) が1の場合のみアクセスが可能になります。

11.3.3 8ビット・インターバル・タイマ・コンペア・レジスタ_{ni} (TRTCMP_{ni}) ($n = 0, 1, i = 0, 1$)

8ビット・インターバル・タイマのコンペア値レジスタです。

TRTCMP_{ni}レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

設定範囲は01H~FFH^{注1}です。

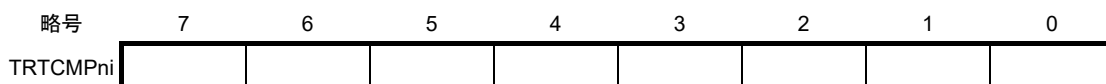
TRT_{n0}, TRT_{n1}レジスタ (カウンタ) との比較値を格納します。

ライト・アクセスによりカウント値 (TRT₀, TRT₁) を00Hにクリアします。

コンペア値の書き換えタイミングは、「11.4.4 コンペア・レジスタ値の反映タイミング」を参照してください。

図11-4 8ビット・インターバル・タイマ・コンペア・レジスタ_{ni} (TRTCMP_{ni}) のフォーマット

アドレス : F0350H (TRTCMP₀₀), F0351H (TRTCMP₀₁), リセット時 : FFH R/W^{注2}
F0358H (TRTCMP₁₀), F0359H (TRTCMP₁₁)



注1. TRTCMP_{ni}レジスタの00H設定は禁止です。

- 8ビット・インターバル・タイマ制御レジスタ_n (TRTCR_n) のモード選択ビット (TCSMD_n) が0の場合のみアクセスが可能になります。

11.3.4 8ビット・インターバル・タイマ・コンペア・レジスタ_n (TRTCMP_n) ($n = 0, 1$)

8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合のコンペア値レジスタです。

TRTCMP_nレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFFFHになります。

設定範囲は0001H~FFFFH^{注1}です。

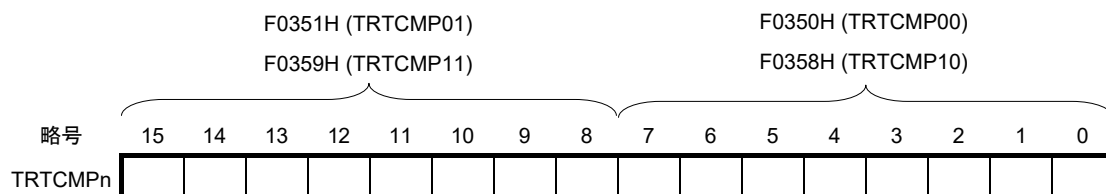
TRT_nレジスタ (カウンタ) との比較値を格納します。

ライト・アクセスによりカウント値 (TRT_n) を0000Hにクリアします。

コンペア値の書き換えタイミングは、「11.4.4 コンペア・レジスタ値の反映タイミング」を参照してください。

図11-5 8ビット・インターバル・タイマ・コンペア・レジスタ_n (TRTCMP_n) のフォーマット

アドレス : F0350H (TRTCMP₀₀), F0358H (TRTCMP₁₀) リセット時 : FFFFH R/W^{注2}



注1. TRTCMP_nレジスタの0000H設定は禁止です。

- 8ビット・インターバル・タイマ制御レジスタ_n (TRTCR_n) のモード選択ビット (TCSMD_n) が1の場合のみアクセスが可能になります。

11.3.5 8ビット・インターバル・タイマ制御レジスタn (TRTCRn) (n = 0, 1)

8ビット・インターバル・タイマのカウンタ停止／開始の設定と8ビット・カウンタ/16ビット・カウンタ動作の切替えを設定するレジスタです。

TRTCRnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-6 8ビット・インターバル・タイマ制御レジスタn (TRTCRn) のフォーマット

アドレス： F0352H (TRTCR0), F035AH (TRTCR1) リセット時：00H R/W^{注3}

略号	7	6	5	4	3	2	1	0
TRTCRn	TCSMDn	0	0	TCLKENn	0	TSTARTn1	0	TSTARTn0

TCSMDn	モード選択
0	8ビット・カウンタとして動作
1	16ビット・カウンタとして動作(チャンネル0, チャンネル1を連結)
詳細は「11.4 動作説明」を参照	

TCLKENn	8ビット・インターバル・タイマ・クロック許可 ^{注1}
0	クロック停止
1	クロック供給

TSTARTn1	8ビット・インターバル・タイマ1カウンタ開始 ^{注1, 2}
0	カウンタ停止
1	カウンタ開始
8ビット・インターバル・タイマ・モードでは、TSTARTn1ビットに1を書くことによりTRn1がカウンタを開始し、0を書くことによりカウンタを停止します。 16ビット・インターバル・タイマ・モードでは、未使用のため無効になります。詳細は「11.4 動作説明」を参照。	

TSTARTn0	8ビット・インターバル・タイマ0カウンタ開始 ^{注1, 2}
0	カウンタ停止
1	カウンタ開始
8ビット・インターバル・タイマ・モードでは、TSTARTn0ビットに1を書くことによりTRn0がカウンタを開始し、0を書くことによりカウンタを停止します。 16ビット・インターバル・タイマ・モードでは、TSTARTn0ビットに1を書くことによりTRn0がカウンタを開始し、0を書くことによりカウンタを停止します。詳細は「11.4 動作説明」を参照。	

- 注1. 8ビット・インターバル・タイマを設定する際には、必ず最初にTCLKENnビットを1に設定してください。クロックを停止させる場合、TSTARTn0およびTSTARTn1に0を設定後、fsUBで1サイクル以上経過後にTCLKENnビットに0を設定してください。詳細は「11.5.3 8ビット・インターバル・タイマ設定手順について」を参照してください。
2. TSTARTn0, TSTARTn1, TCSMDnビットの使用上の注意は「11.5.1 動作モードおよびクロック設定変更について」を参照してください。
3. ビット6, 5, 3, 1は、Read Onlyです。ライトする場合は、0を書き込んでください。リードする場合は、0が読み込まれます。

11.3.6 8ビット・インターバル・タイマ分周レジスタn (TRTMDn) (n = 0, 1)

8ビット・インターバル・タイマのカウンタ・ソースの分周比選択を設定するレジスタです。

TRTMDnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-7 8ビット・インターバル・タイマ分周レジスタn (TRTMDn) のフォーマット

アドレス： F0353H (TRTMD0), F035BH (TRTMD1) リセット時：00H R/W^{注4}

略号	7	6	5	4	3	2	1	0
TRTMDn	0	TCKn1			0	TCKn0		

TCKn1			8ビット・インターバル・タイマ1分周比選択 ^{注1, 2, 3}
ビット6	ビット5	ビット4	
0	0	0	f _{SUB}
0	0	1	f _{SUB} /2
0	1	0	f _{SUB} /4
0	1	1	f _{SUB} /8
1	0	0	f _{SUB} /16
1	0	1	f _{SUB} /32
1	1	0	f _{SUB} /64
1	1	1	f _{SUB} /128

8ビット・インターバル・タイマ・モードでは、TCKn1に設定したカウンタ・クロックによりTRTn1がカウントします。
16ビット・インターバル・タイマ・モードでは、使用しないため“000B”に設定してください。
詳細は「11.4 動作説明」を参照

TCKn0			8ビット・インターバル・タイマ0分周比選択 ^{注1, 2, 3}
ビット2	ビット1	ビット0	
0	0	0	f _{SUB}
0	0	1	f _{SUB} /2
0	1	0	f _{SUB} /4
0	1	1	f _{SUB} /8
1	0	0	f _{SUB} /16
1	0	1	f _{SUB} /32
1	1	0	f _{SUB} /64
1	1	1	f _{SUB} /128

8ビット・インターバル・タイマ・モードでは、TCKn0に設定したカウンタ・クロックによりTRTn0がカウントします。
16ビット・インターバル・タイマ・モードでは、TCKn0に設定したカウンタ・クロックによりTRTnがカウントします。
詳細は「11.4 動作説明」を参照

- 注1. カウント中にカウンタ・ソースの切り替えをしないでください。カウンタ・ソースを切替えるときは、TRTCRnレジスタのTSTARTniビットが0（カウント停止）の時に、設定してください。
2. 未使用チャンネルのTCKni (i = 0, 1) は000Bに設定してください。
3. TCKni (i = 0, 1) ビットは、必ずTRTCMPniレジスタの設定前に設定してください。
4. ビット7, 3は、Read Onlyです。ライトする場合は、0を書き込んでください。リードする場合は、0が読み込まれます。

11.4 動作説明

11.4.1 カウンタ・モード

8ビット・カウンタ・モード/16ビット・カウンタ・モードの2種類のモードを持ちます。表11-3に8ビット・カウンタ・モード、表11-4に16ビット・カウンタ・モード時の使用レジスタと設定値を示します。

表11-3 8ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名 (シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタn0 (TRTn0)	b7~b0	チャンネル0側の8ビット・カウンタ。カウント値が読み出せます。
8ビット・インターバル・タイマ・カウンタ・レジスタn1 (TRTn1)	b7~b0	チャンネル1側の8ビット・カウンタ。カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタn0 (TRTCMPn0)	b7~b0	チャンネル0側の8ビットコンペア値。コンペア値を設定してください。
8ビット・インターバル・タイマ・コンペア・レジスタn1 (TRTCMPn1)	b7~b0	チャンネル1側の8ビットコンペア値。コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタn (TRTCRn)	TSTARTn0	チャンネル0側のカウント開始/停止を選択してください。
	TSTARTn1	チャンネル1側のカウント開始/停止を選択してください。
	TCLKENn	1に設定してください。
	TCSDn	0に設定してください。
8ビット・インターバル・タイマ分周レジスタn (TRTMDn)	TCKn0	チャンネル0側のカウント・クロックを選択してください。
	TCKn1	チャンネル1側のカウント・クロックを選択してください。

備考 n = 0, 1

表11-4 16ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名 (シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタn (TRTn)	b15~b0	16ビット・カウンタ。カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタn (TRTCMPn)	b15~b0	16ビットコンペア値。コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタn (TRTCRn)	TSTARTn0	カウント開始/停止制御を選択してください。
	TSTARTn1	0に設定してください。
	TCLKENn	1に設定してください。
	TCSDn	1に設定してください。
8ビット・インターバル・タイマ分周レジスタn (TRTMDn)	TCKn0	カウント・クロックを選択してください。
	TCKn1	000Bに設定してください。

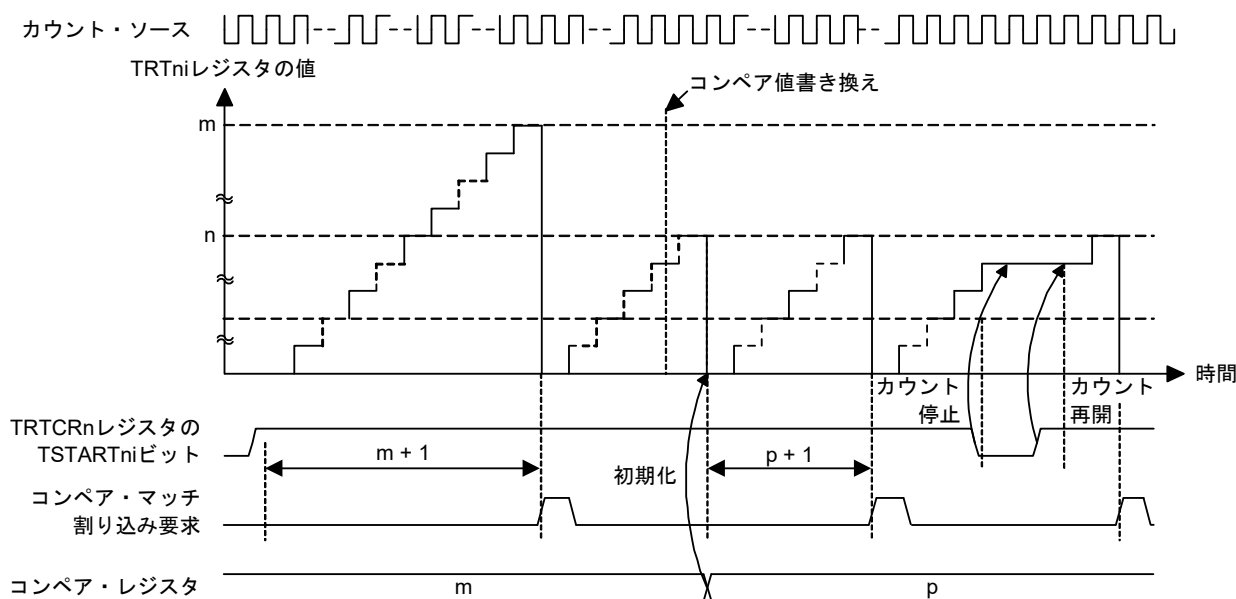
備考 n = 0, 1

11.4.2 タイマ動作

分周レジスタ (TRTMDn) のTCKni ($n = 0, 1, i = 0, 1$) ビットにより選択されたカウント・ソースで、アップ・カウントします。カウント・ソースが入力されるごとにカウント値が1だけ増加し、カウント値がコンペア値になったのち、次のカウント・ソースが入力されるとコンペア・マッチし、割り込み要求が発生します。割り込み要求はカウント・ソース同期の1パルスで出力されます。ただし、TRTCRnレジスタのTSTARTn1ビットを0に設定し、カウント値が00Hで停止した場合は、割り込み要求が発生し続けます。

また、動作停止時には停止直前のカウンタ値を保持し続けます。カウント値をクリアする場合は、TRTCMPniレジスタのコンペア値を再設定してください。TRTCMPniレジスタに書き込み後、カウント・ソースで2サイクル後にカウント値がクリアされます。

図11-8 タイマ動作例



備考 $n = 0, 1, i = 0, 1$ m, p : TRTCMPniレジスタの設定値

ただし、カウント動作開始時の最初の00Hカウント期間は、TRTCRレジスタのTSTARTni ($i = 0, 1$) ビットに1を書き込むタイミングにより、下記のように可変します。

- カウント・ソース (f_{SUB}) 選択時
 - 最大: カウント・ソースで2サイクル
 - 最小: カウント・ソースで1サイクル
- カウント・ソース ($f_{SUB}/2^m$) 選択時
 - 最大: カウント・ソース1サイクル
 - 最小: サブシステム・クロック (f_{SUB}) 1サイクル

カウント値がコンペア値と一致した場合、次のカウント・ソースでカウント値はクリアされます。また、TRTCMPnレジスタのコンペア値を書き換えた場合も、書き込み後カウント・ソースで2サイクル後にカウント値がクリアされます。

8/16ビット・カウンタ・モード時割り込み要因を表11-5に示します。

表11-5 8/16ビット・カウンタ・モード時割り込み要因

割り込み名称	8ビット・カウンタ・モード 割り込み要因	16ビット・カウンタ・モード 割り込み要因
INTITn0	チャンネル0コンペアマッチ後、次のカウント・ソースの立ち上がり	コンペアマッチ後、次のカウント・ソースの立ち上がり
INTITn1	チャンネル1コンペアマッチ後、次のカウント・ソースの立ち上がり	未発生

備考 n = 0, 1

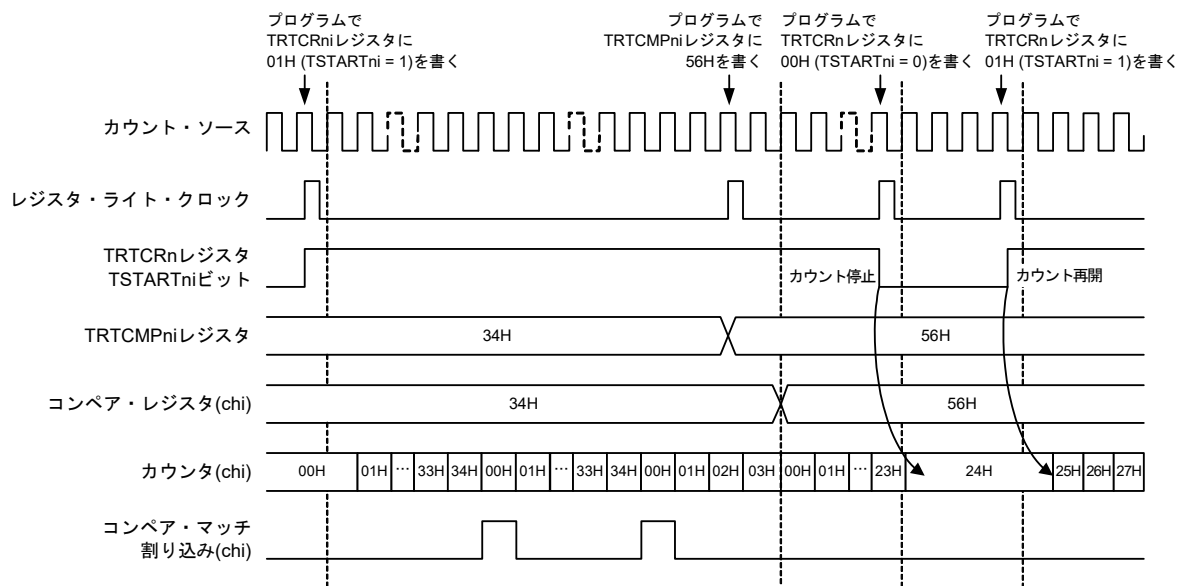
11.4.3 開始/停止タイミング

(1) カウント・ソース (f_{SUB}) 選択時

TRTCRnレジスタのTSTARTni (n = 0, 1, i = 0, 1) ビットに1を書き込み後、次のサブシステム・クロック (f_{SUB}) でカウントが開始され、その次のカウント・ソース (f_{SUB}) でカウンタが00Hから01Hにカウント・アップされます。同様に、TSTARTniビットに0を書き込み後、サブシステム・クロック (f_{SUB}) でカウント・アップ後にカウントが停止します。

カウント動作の開始/停止タイミングを図11-9、カウント停止→コンペア値設定 (カウント・クリア) →カウント開始のタイミングを図11-10に示します。図11-9、図11-10は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

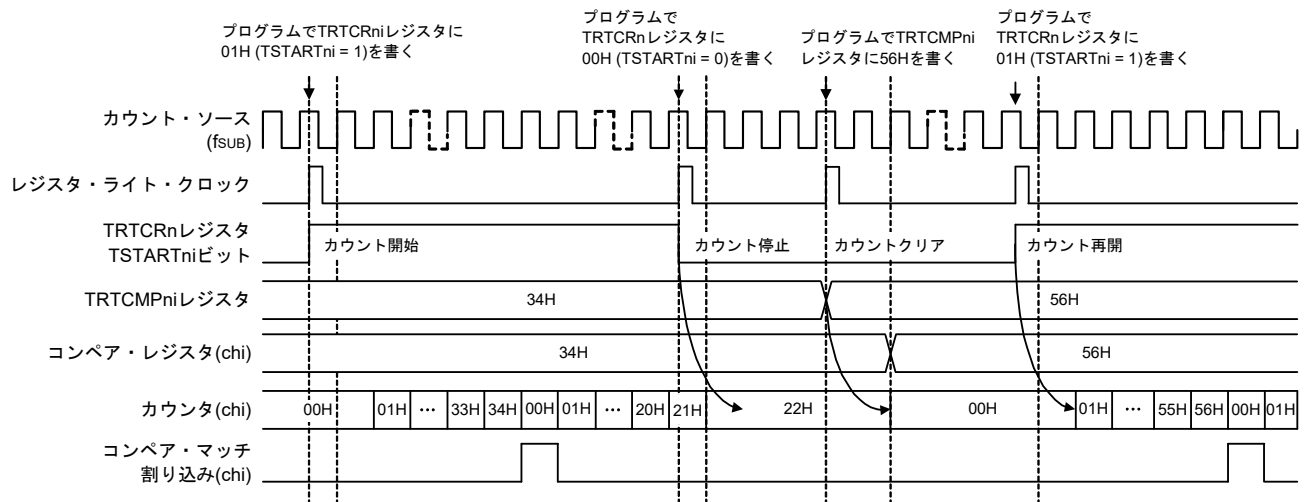
図11-9 カウント開始/停止動作例 (f_{SUB}選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0, 1, i = 0, 1

図11-10 カウント停止→カウント・クリア→カウント再開動作例 (fsUB選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0, 1, i = 0, 1

(2) カウント・ソース (fsUB/2^m) 選択時

TRTCRnレジスタのTSTARTni (n = 0, 1, i = 0, 1) ビットに1を書き込み後、次のサブシステム・クロック (fsUB) でカウントが開始され、その次のカウント・ソース (fsUB/2^m) でカウンタが00Hから01Hにカウント・アップされます。同様に、TSTARTniビットに0を書き込み後、サブシステム・クロック (fsUB) でカウント・アップ後にカウントが停止します。

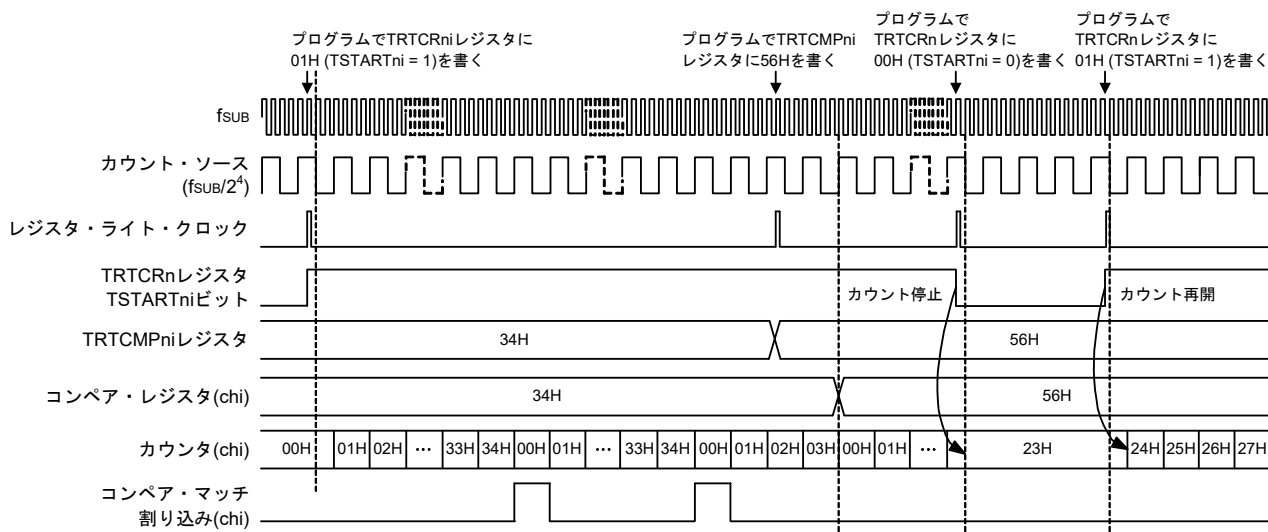
ただし、タイマ・カウント開始時の最初の00H カウント期間は、TSTARTniビットの書き込みタイミングと次のカウント・ソースのタイミングによって次のようにカウント・ソース1サイクルよりも短くなります。

最小：サブシステム・クロック (fsUB) 1サイクル

最大：カウント・ソース1サイクル

カウント動作の開始/停止タイミングを図11-11、カウント停止→コンペア・レジスタ設定 (カウント・クリア) →カウント開始のタイミングを図11-12に示します。図11-11、図11-12は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

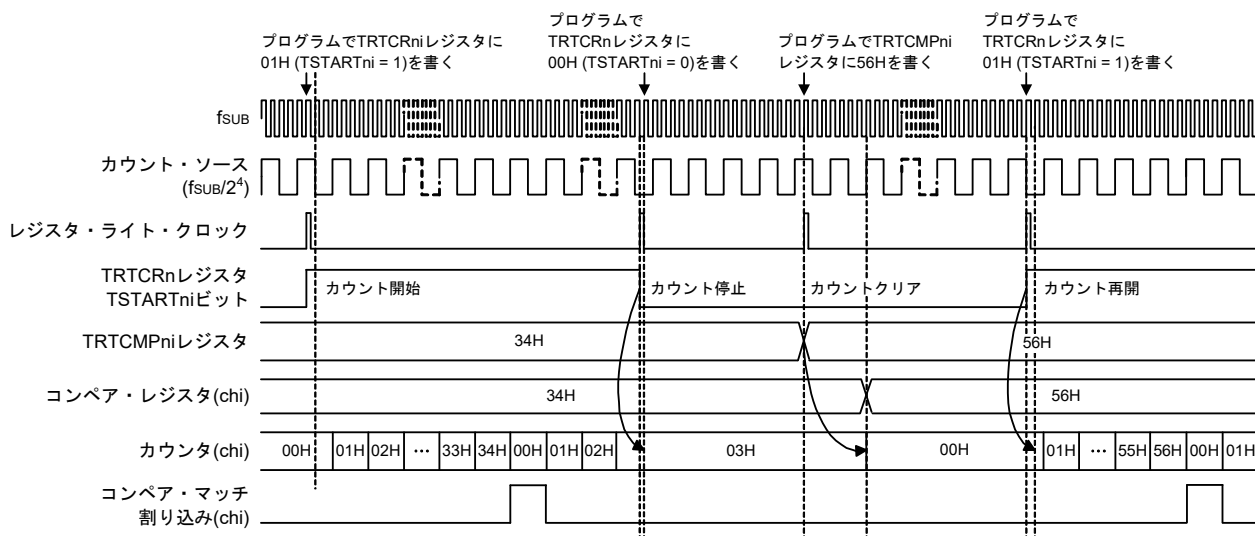
図11-11 カウント開始/停止動作例 (f_{sub}選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0, 1, i = 0, 1

図11-12 カウント停止→カウント・クリア→カウント開始動作例 (f_{sub}/2^m選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

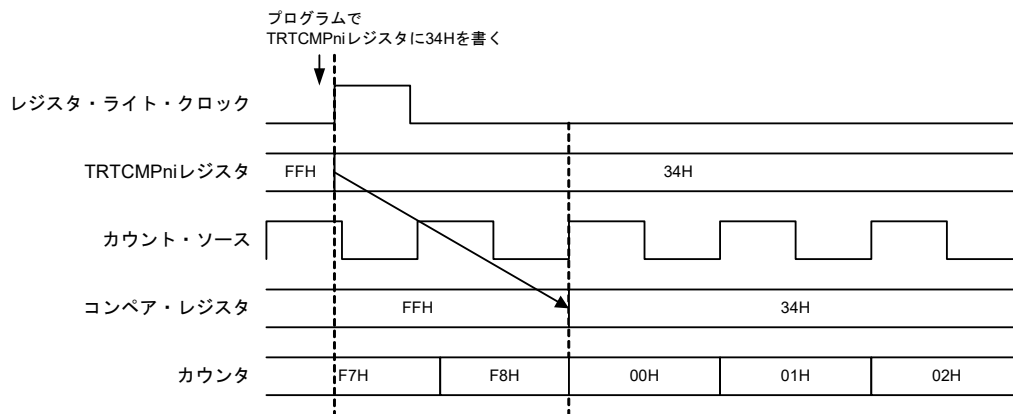
備考 n = 0, 1, i = 0, 1

11.4.4 コンペア・レジスタ値の反映タイミング

TRTCMPni (n = 0, 1, i = 0, 1) レジスタの値が反映されるタイミングはTRTCRnレジスタのTSTARTniビットの値によらず、同じタイミングとなります。TRTCMPniへの書き込みアクセス後、カウント・ソースで2サイクル後にコンペア・レジスタに格納されます。コンペア・レジスタ格納時にカウント値はクリア (8ビット・カウンタ・モードでは00H, 16ビット・カウンタ・モードでは0000H) されます。

図11-13に書き換え動作のタイミング図を示します。図11-13は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

図11-13 コンペア値書き換え動作のタイミング図



備考 n = 0, 1, i = 0, 1

11.5 8ビット・インターバル・タイマの注意事項

11.5.1 動作モードおよびクロック設定変更について

TCSMDnビット, TCKni ($n = 0, 1, i = 0, 1$) ビットの設定変更は, TRTCRnレジスタのTSTARTniビットが0 (カウント停止) 中に設定してください。また, TSTARTniビットを1から0に書き換え後 (カウント停止), 8ビット・インターバル・タイマ関連レジスタ (TRTCRn, TRTMDn) にアクセスする場合, f_{SUB} で1サイクル以上経過後にアクセスしてください。

11.5.2 コンペア・レジスタへのアクセスについて

同一のコンペア・レジスタ (TRTCMPn0, TRTCMPn1, TRTCMPn) に連続して書き込みしないでください。連続して書くときは, 書き込み間隔をカウント・ソースの2サイクル以上空けてください。

また, コンペア・レジスタ (TRTCMPn0, TRTCMPn1, TRTCMPn) への書き込みは, 必ずカウント・ソースが発振している状態で, 8ビット・インターバル・タイマ・クロック許可ビット (TCLKENn) を1に設定した後に書き込みを実施してください。

11.5.3 8ビット・インターバル・タイマ設定手順について

クロックを供給する場合, 最初に8ビット・インターバル・タイマ制御レジスタ (TRTCRn) の8ビット・インターバル・タイマ・クロック許可ビット (TCLKENn) を1に設定した後に, TSTARTniビットを設定してください。(TCLKENn, TSTARTniビットを同時に変更しないでください。)

クロックを停止させる場合, TSTARTniを0に設定した後, f_{SUB} で1サイクル以上経過後にTCLKENnビットを0に設定してください。

第12章 クロック出力／ブザー出力制御回路

12.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

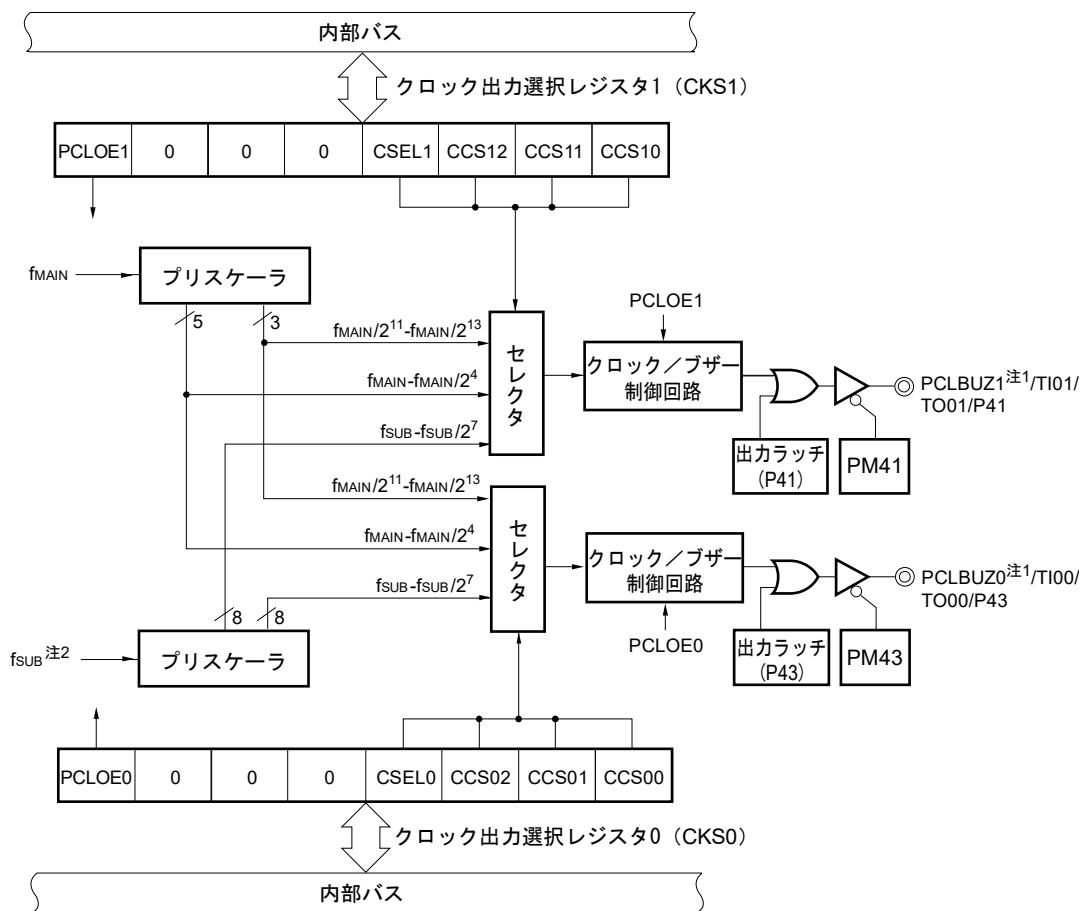
PCLBUZn端子は、クロック出力選択レジスタn (CKSn) で選択したクロックを出力します。

図12-1にクロック出力／ブザー出力制御回路のブロック図を示します。

注意 サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPC = 1かつサブシステム・クロック (f_{SUB}) でCPU動作中のHALTモード時は、PCLBUZn端子から、サブシステム・クロック (f_{SUB}) を出力することはできません。

備考 n = 0, 1

図12-1 クロック出力／ブザー出力制御回路のブロック図



- 注1. PCLBUZ0, PCLBUZ1端子から出力可能な周波数は、37.4 AC特性を参照してください。
2. OSMCレジスタのWUTMMCK0 = 1設定時に、クロック出力／ブザー出力の出カクロックとしてfSUBを選択することは禁止です。

備考 この図のクロック出力／ブザー出力端子は、PIOR3 = 0の場合です。

12.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表12-1 クロック出力／ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタn (CKSn) ポート・モード・レジスタ3, 4 (PM3, PM4) ポート・レジスタ3, 4 (P3, P4)

12.3 クロック出力／ブザー出力制御回路を制御するレジスタ

12.3.1 クロック出力選択レジスタn (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSnレジスタで、PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 クロック出力選択レジスタn (CKSn) のフォーマット

アドレス : FFFA5H (CKS0) , FFFA6H (CKS1) リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出カクロックの選択				
				f _{MAIN} = 5 MHz	f _{MAIN} = 10 MHz ^{注1}	f _{MAIN} = 20 MHz ^{注1}	f _{MAIN} = 24 MHz ^{注1}	
0	0	0	0	f _{MAIN}	5 MHz	10 MHz ^{注1}	設定禁止 ^{注1}	設定禁止 ^{注1}
0	0	0	1	f _{MAIN} /2	2.5 MHz	5 MHz	10 MHz ^{注1}	12 MHz ^{注1}
0	0	1	0	f _{MAIN} /2 ²	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	f _{MAIN} /2 ³	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	f _{MAIN} /2 ⁴	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	f _{MAIN} /2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
0	1	1	0	f _{MAIN} /2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
0	1	1	1	f _{MAIN} /2 ¹³	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	0	0	0	f _{SUB} ^{注2}	32.768 kHz			
1	0	0	1	f _{SUB} /2 ^{注2}	16.384 kHz			
1	0	1	0	f _{SUB} /2 ^{2注2}	8.192 kHz			
1	0	1	1	f _{SUB} /2 ^{3注2}	4.096 kHz			
1	1	0	0	f _{SUB} /2 ^{4注2}	2.048 kHz			
1	1	0	1	f _{SUB} /2 ^{5注2}	1.024 kHz			
1	1	1	0	f _{SUB} /2 ^{6注2}	512 Hz			
1	1	1	1	f _{SUB} /2 ^{7注2}	256 Hz			

注1. 出力クロックは、16 MHz以内の範囲で使用してください。詳しくは、37.4 AC特性を参照してください。

2. OSMCレジスタのWUTMMCK0 = 1設定時に、クロック出力／ブザー出力の出カクロックとしてf_{SUB}を選択することは禁止です。

注意1. 出力クロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。

- メイン・システム・クロック選択時 (CSELn = 0) にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック選択時 (CSELn = 1) は、STOPモード時にクロック出力が可能のためPCLOEn = 1に設定可能です。
- サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPC = 1かつサブシステム・クロック (f_{SUB}) でCPU動作中のHALTモード時は、PCLBUZn端子から、サブシステム・クロック (f_{SUB}) を出力することはできません。

備考1. n = 0, 1

- f_{MAIN} : メイン・システム・クロック周波数
- f_{SUB} : サブシステム・クロック周波数

12.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx））を設定してください。詳細は、4.3.1 ポート・モード・レジスタ（PMxx）、4.3.2 ポート・レジスタ（Pxx）を参照してください。

クロック出力／ブザー出力端子を兼用するポート（P43/TI00/TO00/PCLBUZ0、P41/TI01/TO01/PCLBUZ1）をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例) P43/TI00/TO00/PCLBUZ0をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ4のPM43ビットを0に設定

ポート・レジスタ4のP43ビットを0に設定

タイマ・アレイ・ユニットのチャンネル0を使用しない設定

12.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0) で選択したクロック／ブザーを出力します。

PCLBUZ1端子は、クロック出力選択レジスタ1 (CKS1) で選択したクロック／ブザーを出力します。

12.4.1 出力端子の動作

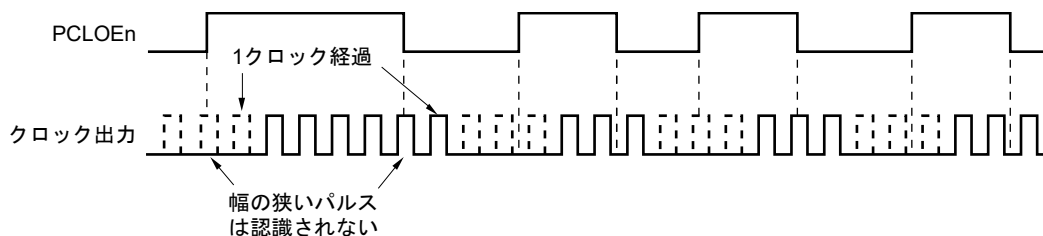
PCLBUZn端子は、次の手順で出力します。

- ① PCLBUZn端子として使用するポートに対応するポート・モード・レジスタ (PMxx) およびポート・レジスタ (Pxx) のビットに0を設定する。
- ② PCLBUZn端子のクロック出力選択レジスタ (CKSn) のビット0-3 (CCSn0-CCSn2, CSELn) で出力周波数を選択する (出力は禁止の状態)。
- ③ CKSnレジスタのビット7 (PCLOEn) に1を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止 (PCLOEn ビット) を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図12-3に示します。

2. $n = 0, 1$

図12-3 PCLBUZn端子からのクロック出力のタイミング



12.5 クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択 (CSELn = 0) している場合は、出力停止設定 (PCLOEn = 0) にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると、PCLBUZnの出力幅が短くなります。

第13章 ウォッチドッグ・タイマ

13.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト (000C0H) でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロック (f_{IL}) で動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFレジスタの詳細については第25章 リセット機能を参照してください。

また、オーバフロー時間の75%+1/2f_{IL}到達時にインターバル割り込みを発生することもできます。

13.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表13-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

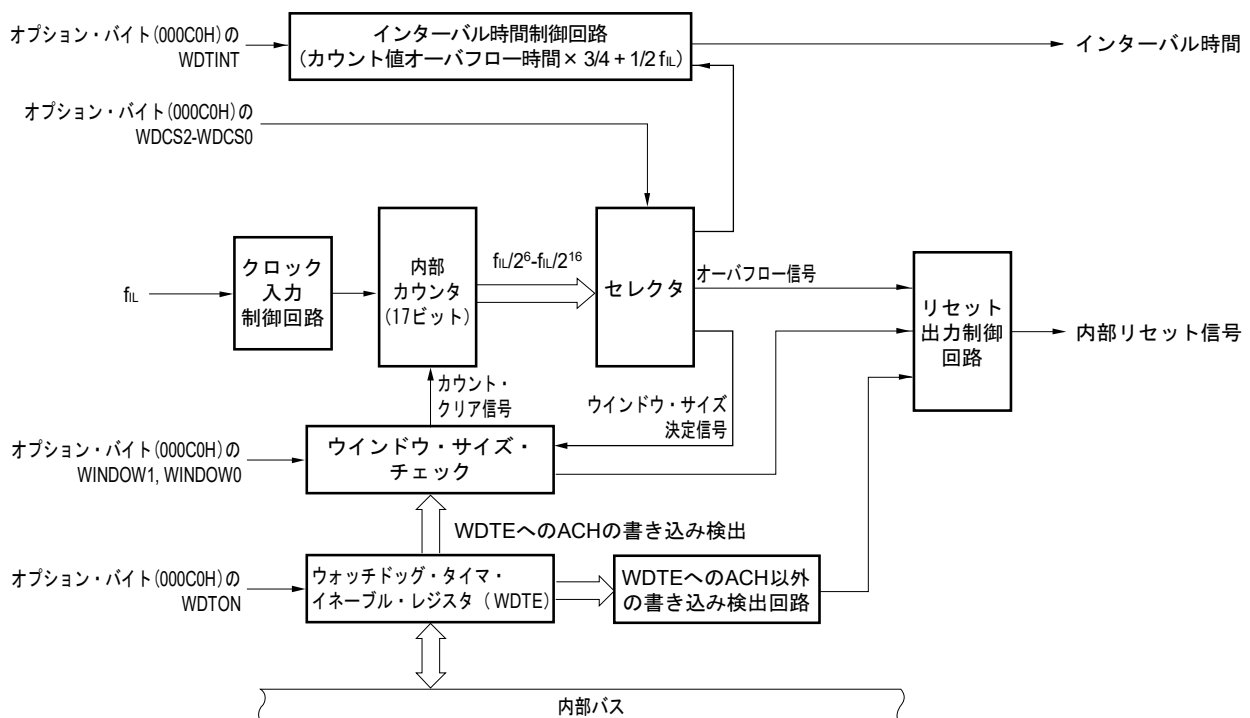
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表13-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第32章 オプション・バイトを参照してください。

図13-1 ウォッチドッグ・タイマのブロック図



備考 f_{IL} : 低速オンチップ・オシレータ・クロック

13.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

13.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図13-2 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH リセット時：9AH/1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEレジスタのリセット値は、オプション・バイト（000C0H）のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

- 注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。
2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。
3. WDTEレジスタのリード値は、“9AH/1AH”（書き込んだ値（“ACH”）とは異なる値）になります。

13.4 ウォッチドッグ・タイマの動作

13.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（000C0H）で次の内容を設定します。

・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第32章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後、カウント停止）
1	カウント動作許可（リセット解除後、カウント開始）

・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、13.4.2および第32章を参照）。

・オプション・バイト（000C0H）のビット6,5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、13.4.3および第32章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
 3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
 4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
 5. WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
- また、次の場合も、内部リセット信号を発生します。

- ・WDTEレジスタに1ビット操作命令を使用した場合
- ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

- 注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大f_{IL}の2クロックの誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。

注意4. オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により、ウォッチドッグ・タイマのHALT、STOP、およびSNOOZEモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア (0) して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

13.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表13-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.) の場合)
0	0	0	2 ⁰ /f _{IL} (3.71 ms)
0	0	1	2 ⁷ /f _{IL} (7.42 ms)
0	1	0	2 ⁸ /f _{IL} (14.84 ms)
0	1	1	2 ⁹ /f _{IL} (29.68 ms)
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)
1	0	1	2 ¹³ /f _{IL} (474.89 ms) 注
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms) 注
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms) 注

注 下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアした後、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み(INTWDTI)が発生する場合があります。この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクする事ができます。

〈使用条件〉

- ・ ウォッチドッグ・タイマのオーバフローの時間を2¹³/f_{IL}, 2¹⁴/f_{IL}または2¹⁶/f_{IL}に設定
- ・ ウォッチドッグ・タイマのインターバル割り込みを使用
- ・ ウォッチドッグ・タイマのカウンタ値がオーバフロー時間で75% 以上の時にWDTE レジスタ (FFFABH)にACH を書き込み

- ① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを1にセット
- ② ウォッチドッグ・タイマのカウンタをクリア
- ③ 80 μs 以上ウエイト
- ④ 割り込み要求フラグ・レジスタ0(IF0L)のWDTIIFビットを0にクリア
- ⑤ 割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを0にクリア

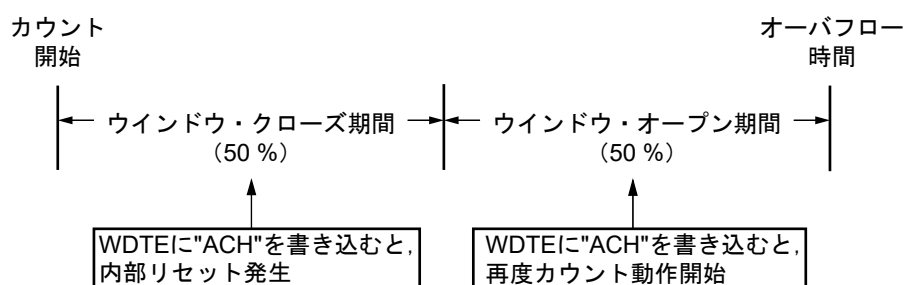
備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

13.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEレジスタに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバーフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表13-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

注意 オプション・バイト（000C0H）のビット0（WDSTBYON）= 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウインドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^9/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0~20.08 ms	0~10.04 ms	なし
ウインドウ・オープン時間	20.08~29.68 ms	10.04~29.68 ms	0~29.68 ms

<ウインドウ・オープン期間50 %のとき>

・オーバフロー時間：

$$2^9/f_{IL} (\text{MAX.}) = 2^9 / 17.25 \text{ kHz} = 29.68 \text{ ms}$$

・ウインドウ・クローズ時間：

$$0 \sim 2^9/f_{IL} (\text{MIN.}) \times (1 - 0.5) = 0 \sim 2^9 / 12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$$

・ウインドウ・オープン時間：

$$2^9/f_{IL} (\text{MIN.}) \times (1 - 0.5) \sim 2^9/f_{IL} (\text{MAX.}) = 2^9 / 12.75 \text{ kHz} \times 0.5 \sim 2^9 / 17.25 \text{ kHz} \\ = 20.08 \sim 29.68 \text{ ms}$$

13.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の75%+1/2 f_{IL} 到達時にインターバル割り込み (INTWDTI) を発生することができます。

表13-5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%+1/2 f_{IL} 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も (ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第14章 A/Dコンバータ

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

	80ピン	100ピン
アナログ入力チャンネル	4ch (ANI0-ANI3)	6ch (ANI0-ANI5)

14.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大6チャンネルのA/Dコンバータ・アナログ入力（ANI0-ANI5）を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2（ADM2）のADTYPビットにより、10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには、次のような機能があります。

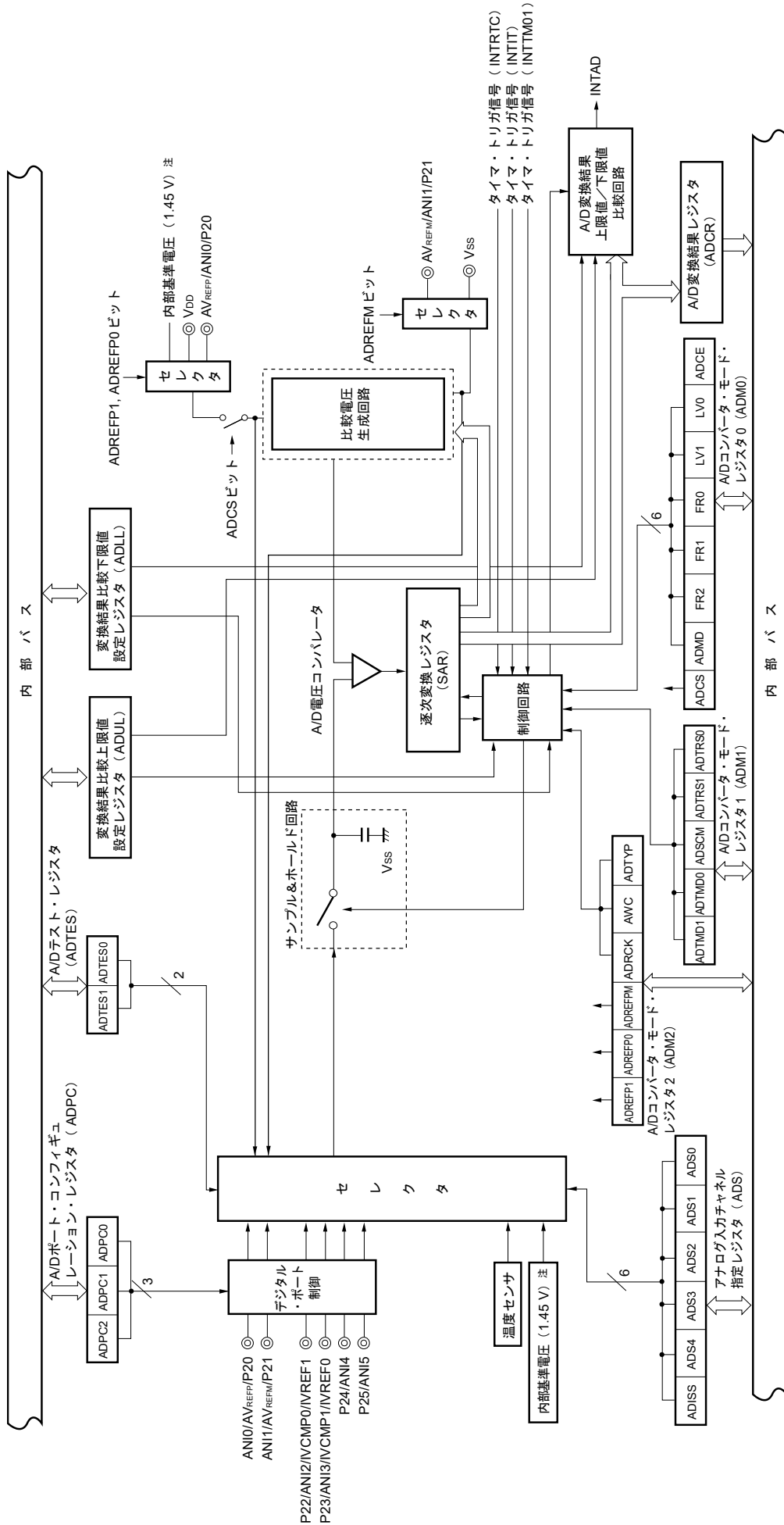
- ・10ビット／8ビット分解能A/D変換

ANI0-ANI5からアナログ入力を1チャンネル選択し、10ビット／8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求（INTAD）を発生します（セレクト・モード時の場合）。

下記のモードの組み合わせにより、様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ ノーウエイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ ウエイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は、ハードウェア・トリガ・ウエイト・モードを選択してください。
チャンネル選択モード	セレクト・モード	アナログ入力を1チャンネル選択し、A/D変換します。
	スキャン・モード	4チャンネルのアナログ入力を順番にA/D変換します。ANI0-ANI5のうち連続した4チャンネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。
動作電圧モード	標準1/標準2 モード	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の動作電圧範囲で変換動作する時に選択します。
	低電圧1/低電圧2モード	$1.9\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の動作電圧範囲で変換動作が可能です。低電圧時に変換動作する時に選択します。低電圧動作のため、変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数： 7 f_{AD}	標準1/低電圧1モードのサンプリング時間は、変換クロック (f_{AD}) の7クロックです。アナログ入力源の出カインピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数： 5 f_{AD}	標準2/低電圧2モードのサンプリング時間は、変換クロック (f_{AD}) の5クロックです。アナログ入力源の出カインピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

図14-1 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は、100ピン製品の場合です。

注 内部基準電圧を使用する場合は、HSモードで使用する必要があります。

HSモードの動作下限電圧は2.4Vです。

2.4V以下の電圧で動作させたい場合は、外部の基準電圧を使用してください。

14.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI5端子

A/Dコンバータの6チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、比較電圧生成回路の電圧タップが選択されます。

ビット9 = 0 : ($1/4 AV_{REF}$)

ビット9 = 1 : ($3/4 AV_{REF}$)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 \geq 比較電圧生成回路の電圧タップ : ビット8 = 1

アナログ入力電圧 \leq 比較電圧生成回路の電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット2まで続けます。

備考 AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧 (1.45 V), V_{DD} から選択可能です。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D変換結果レジスタ (ADCR) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通りINTADが発生します。

(9) AV_{REFP}端子

外部から基準電圧 (AV_{REFP}) を入力する端子です。

AV_{REFP}をA/Dコンバータの+側基準電圧として使用する場合は、A/Dコンバータ・モード・レジスタ2 (ADM2) のADREFP1ビットに0を、ADREFP0ビットに1を設定してください。

AV_{REFP}と一側基準電圧 (AV_{REFM}/V_{SS}) 間にかかる電圧に基づいて、ANI2-ANI5に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には、AV_{REFP}のほかにV_{DD}と内部基準電圧 (1.45 V) を選択することが可能です。

(10) AV_{REFM}端子

外部から基準電圧 (AV_{REFM}) を入力する端子です。AV_{REFM}をA/Dコンバータの一側基準電圧として使用する場合は、ADM2レジスタのADREFMビットをセット (1) してください。

A/Dコンバータの一側基準電圧には、AV_{REFM}のほかにV_{SS}を選択することが可能です。

14.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・10ビットA/D変換結果レジスタ (ADCR)
- ・8ビットA/D変換結果レジスタ (ADCRH)
- ・アナログ入力チャネル指定レジスタ (ADS)
- ・変換結果比較上限値設定レジスタ (ADUL)
- ・変換結果比較下限値設定レジスタ (ADLL)
- ・A/Dテスト・レジスタ (ADTES)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ポート・モード・レジスタ2 (PM2)

14.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00HIになります。

図14-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード/ライト可

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態です。下記のレジスタの設定を行ってください。

ADCEN = 0の場合は、A/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます (ポート・モード・レジスタ2 (PM2))、A/Dポート・コンフィギュレーション・レジスタ (ADPC) は除く)。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)

2. ビット1には必ず“0”を設定してください。

14.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。
ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図14-3 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM0	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 [リード時] 変換動作停止/待機状態
1	変換動作許可 [リード時] ソフトウェア・トリガ・モード時：変換動作状態 ハードウェア・トリガ・ウエイト・モード時：A/D電源安定待ち状態+変換動作状態

ADMD	A/D変換チャンネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

- 注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表14-3 A/D変換時間の選択を参照してください。
2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1 μsかかります。このため、ADCEビットに1を設定してから1 μs以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。1 μs以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

- 注意 1. ADMD, FR2-FR0, LV1, LV0ビット, ADCEの変更は変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。
2. ADCS = 1, ADCE = 0は設定しないでください。
3. ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず14.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

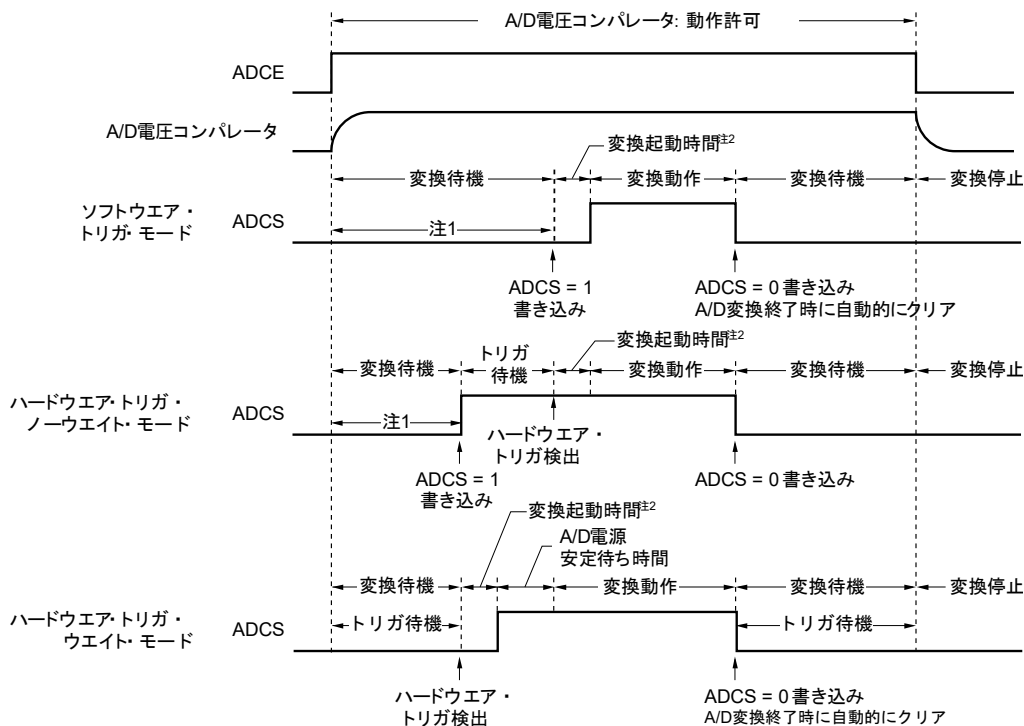
表14-1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表14-2 ADCSビットのセット/クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ	セレクト・モード	連続変換モード	ADCS = 1 ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア
ハードウェア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウェア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア

図14-4 A/D電圧コンパレータ使用時のタイミング・チャート



- 注 1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時, ADCEビットの立ち上がりから, ADCSビットの立ち上がりまでの時間は, 内部回路安定のため, 1 μs以上必要です。
- 2. 変換起動には, 最大で次の時間がかかります。

ADM0			変換クロック (f _{AD})	起動時間 (f _{CLK} クロック数)	
FR2	FR1	FR0		ソフトウェア・トリガ・モード/ ハードウェア・トリガ・ ノーウエイト・モード	ハードウェア・トリガ・ウエイト・ モード
0	0	0	f _{CLK} /64	63	1
0	0	1	f _{CLK} /32	31	
0	1	0	f _{CLK} /16	15	
0	1	1	f _{CLK} /8	7	
1	0	0	f _{CLK} /6	5	
1	0	1	f _{CLK} /5	4	
1	1	0	f _{CLK} /4	3	
1	1	1	f _{CLK} /2	1	

ただし, 連続変換モードの2回目以降では, ハードウェア・トリガ検出後に, 変換起動時間やA/D電源安定待ち時間は発生しません。

- 注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合, ADCSビットに1を設定するのは禁止です (ハードウェア・トリガ信号検出時に, 自動的に1に切り替わります)。ただし, AD変換待機状態にするために, ADCSビットに0を設定することは可能です。
- 2. ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時, AD変換終了時にADCSフラグは, 自動的に“0”にクリアされません。“1”のまま保持されます。
- 3. ADCEビットの書き換えは, ADCS = 0 (変換停止/変換待機状態) のときに行ってください。
- 4. A/D変換を完了させるためには, ハード・トリガ間隔を次の時間以上としてください。
 ハードウェア・トリガ・ノーウエイト・モード時: f_{CLK}の2クロック + 変換起動時間 + A/D変換時間
 ハードウェア・トリガ・ウエイト・モード時: f_{CLK}の2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

備考 f_{CLK}: CPU/周辺ハードウェア・クロック周波数

表14-3 A/D変換時間の選択 (1/4)

(1) A/D電源安定待ち時間なし 標準モード1, 2

(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f _{AD})	変換クロック数 ^注	変換時間	10ビット分解能時の変換時間の選択									
FR2	FR1	FR0	LV1	LV0					2.7 V ≤ V _{DD} ≤ 5.5 V									
									f _{CLK} = 1 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 24 MHz					
0	0	0	0	0	標準1	f _{CLK} /64	19 f _{AD} (サンプリング・クロック数: 7 f _{AD})	1216/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止				
0	0	1				f _{CLK} /32		608/f _{CLK}							38 μs	25.3333 μs		
0	1	0				f _{CLK} /16		304/f _{CLK}							38 μs	19 μs	12.6667 μs	
0	1	1				f _{CLK} /8		152/f _{CLK}							38 μs	19 μs	9.5 μs	6.3333 μs
1	0	0				f _{CLK} /6		114/f _{CLK}							28.5 μs	14.25 μs	7.125 μs	4.75 μs
1	0	1				f _{CLK} /5		95/f _{CLK}							23.75 μs	11.875 μs	5.938 μs	3.9583 μs
1	1	0				f _{CLK} /4		76/f _{CLK}							19 μs	9.5 μs	4.75 μs	3.1667 μs
1	1	1				f _{CLK} /2		38/f _{CLK}							38 μs	9.5 μs	4.75 μs	2.375 μs
0	0	0	0	1	標準2	f _{CLK} /64	17 f _{AD} (サンプリング・クロック数: 5 f _{AD})	1088/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止				
0	0	1				f _{CLK} /32		544/f _{CLK}							34 μs	22.6667 μs		
0	1	0				f _{CLK} /16		272/f _{CLK}							34 μs	17 μs	11.3333 μs	
0	1	1				f _{CLK} /8		136/f _{CLK}							34 μs	17 μs	8.5 μs	5.6667 μs
1	0	0				f _{CLK} /6		102/f _{CLK}							25.5 μs	12.75 μs	6.375 μs	4.25 μs
1	0	1				f _{CLK} /5		85/f _{CLK}							21.25 μs	10.625 μs	5.3125 μs	3.5417 μs
1	1	0				f _{CLK} /4		68/f _{CLK}							17 μs	8.5 μs	4.25 μs	2.8333 μs
1	1	1				f _{CLK} /2		34/f _{CLK}							34 μs	8.5 μs	4.25 μs	2.125 μs

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (f_{AD}) の2クロック分短くなります。

- 注意 1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換時間 (t_{conv}) の範囲内で使用してください。
2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0, ADCE = 0) させたのちに行ってください。
3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

表14-3 A/D変換時間の選択 (2/4)

(2) A/D電源安定待ち時間なし 低電圧モード1, 2

(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f _{AD})	変換クロック数 ^{注1}	変換時間	10ビット分解能時の変換時間の選択					
FR2	FR1	FR0	LV1	LV0					1.9 V ≤ V _{DD} ≤ 5.5 V			注2	注3	
									f _{CLK} = 1 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 24 MHz	
0	0	0	1	0	低電圧1	f _{CLK} /64	19 f _{AD}	1216/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止		
0	0	1	f _{CLK} /32	(サンプリング・クロック数: 7 f _{AD})		608/f _{CLK}				38 μs	25.3333 μs			
0	1	0	f _{CLK} /16			304/f _{CLK}			38 μs	19 μs	12.6667 μs			
0	1	1	f _{CLK} /8			152/f _{CLK}		38 μs	19 μs	9.5 μs	6.3333 μs			
1	0	0	f _{CLK} /6			114/f _{CLK}		28.5 μs	14.25 μs	7.125 μs	4.75 μs			
1	0	1	f _{CLK} /5			95/f _{CLK}		23.75 μs	11.875 μs	5.938 μs	3.9587 μs			
1	1	0	f _{CLK} /4			76/f _{CLK}		19 μs	9.5 μs	4.75 μs	3.1667 μs			
1	1	1	f _{CLK} /2			38/f _{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止			
0	0	0	1	1	低電圧2	f _{CLK} /64	17 f _{AD}	1088/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止		
0	0	1	f _{CLK} /32	(サンプリング・クロック数: 5 f _{AD})		544/f _{CLK}				34 μs	22.6667 μs			
0	1	0	f _{CLK} /16			272/f _{CLK}			34 μs	17 μs	11.3333 μs			
0	1	1	f _{CLK} /8			136/f _{CLK}		34 μs	17 μs	8.5 μs	5.6667 μs			
1	0	0	f _{CLK} /6			102/f _{CLK}		25.5 μs	12.75 μs	6.375 μs	4.25 μs			
1	0	1	f _{CLK} /5			85/f _{CLK}		21.25 μs	10.625 μs	5.3125 μs	3.5417 μs			
1	1	0	f _{CLK} /4			68/f _{CLK}		17 μs	8.5 μs	4.25 μs	2.8333 μs			
1	1	1	f _{CLK} /2			34/f _{CLK}	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止			

注1. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (f_{AD}) の2クロック分短くなります。

- 2. 2.4 V ≤ V_{DD} ≤ 5.5 V
- 3. 2.7 V ≤ V_{DD} ≤ 5.5 V

- 注意 1. A/D変換時間は、37. 6. 1 A/Dコンバータ特性に示す変換時間 (t_{conv}) の範囲内で使用してください。
- 2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0, ADCE = 0) させたのちに行ってください。
 - 3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

表14-3 A/D変換時間の選択 (3/4)

(3) A/D電源安定待ち時間あり 標準モード1, 2
(ハードウェア・トリガ・ウエイト・モード^{※1})

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f _{AD})	A/D電源安定待ちクロック数	変換クロック数 ^{注2}	A/D電源安定待ち時間+ 変換時間	A/D電源安定待ちクロック+ 10ビット分解能時の変換時間 2.7 V ≤ V _{DD} ≤ 5.5 V				
FR2	FR1	FR0	LV1	LV0						f _{CLK} = 1 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 24 MHz
0	0	0	0	0						標準1	8 f _{AD}	19 f _{AD} (サンプリング・クロック数: 7 f _{AD})	1728/f _{CLK}	設定禁止
0	0	1	0	0	f _{CLK} /32	864/f _{CLK}			54 μs				36 μs	
0	1	0			f _{CLK} /16	432/f _{CLK}		54 μs	27 μs				18 μs	
0	1	1			f _{CLK} /8	216/f _{CLK}	54 μs	27 μs	13.5 μs				9 μs	
1	0	0			f _{CLK} /6	162/f _{CLK}	40.5 μs	20.25 μs	10.125 μs				6.75 μs	
1	0	1			f _{CLK} /5	135/f _{CLK}	33.75 μs	16.875 μs	8.4375 μs				5.625 μs	
1	1	0			f _{CLK} /4	108/f _{CLK}	27 μs	13.5 μs	6.75 μs				4.5 μs	
1	1	1			f _{CLK} /2	54/f _{CLK}	54 μs	13.5 μs	6.75 μs				3.375 μs	設定禁止
0	0	0			0	1	標準2	8 f _{AD}	17 f _{AD} (サンプリング・クロック数: 5 f _{AD})	1600/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	f _{CLK} /32	800/f _{CLK}						50 μs	33.333 μs			
0	1	0	f _{CLK} /16	400/f _{CLK}		50 μs				25 μs	16.667 μs			
0	1	1	f _{CLK} /8	200/f _{CLK}	50 μs	25 μs				12.5 μs	8.333 μs			
1	0	0	f _{CLK} /6	150/f _{CLK}	37.5 μs	18.75 μs				9.375 μs	6.25 μs			
1	0	1	f _{CLK} /5	125/f _{CLK}	31.25 μs	15.625 μs				7.8125 μs	5.208 μs			
1	1	0	f _{CLK} /4	100/f _{CLK}	25 μs	12.5 μs				6.25 μs	4.167 μs			
1	1	1	f _{CLK} /2	50/f _{CLK}	50 μs	12.5 μs				6.25 μs	3.125 μs	設定禁止		

- 注 1. 連続変換モードの2回目以降では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません (表14-3 (1/4) 参照)。
2. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (f_{AD}) の2クロック分短くなります。

- 注意 1. A/D変換時間は、37. 6. 1 A/Dコンバータ特性に示す変換時間 (t_{conv}) の範囲内で使用してください。なお、変換時間 (t_{conv}) はA/D電源安定待ち時間を含みません。
2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0, ADCE = 0) させたのちに行ってください。
3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

表14-3 A/D変換時間の選択 (4/4)

(4) A/D電源安定待ち時間あり 低電圧モード1, 2

(ハードウェア・トリガ・ウエイト・モード^{注1)})

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f _{AD})	A/D電源安定待ちクロック数	変換クロック数 ^{注2}	A/D電源安定待ち時間+変換時間	A/D電源安定待ちクロック+10ビット分解能時の変換時間				
FR2	FR1	FR0	LV1	LV0						1.9 V ≤ V _{DD} ≤ 5.5 V			注3	注4
										f _{CLK} = 1 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 24 MHz
0	0	0	1	0	低電圧 1	f _{CLK} /64	2 f _{AD}	19 f _{AD} (サンプリング・クロック数 : 7 f _{AD})	1344/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1							672/f _{CLK}			42 μs	28 μs	
0	1	0							336/f _{CLK}		42 μs	21 μs	14 μs	
0	1	1							168/f _{CLK}	42 μs	21 μs	10.5 μs	7 μs	
1	0	0							126/f _{CLK}	31.25 μs	15.75 μs	7.875 μs	5.25 μs	
1	0	1							105/f _{CLK}	26.25 μs	13.125 μs	6.5625 μs	4.375 μs	
1	1	0							84/f _{CLK}	21 μs	10.5 μs	5.25 μs	3.5 μs	
1	1	1							42/f _{CLK}	42 μs	10.5 μs	5.25 μs	2.625 μs	設定禁止
0	0	0	1	1	低電圧 2	f _{CLK} /64	2 f _{AD}	17 f _{AD} (サンプリング・クロック数 : 5 f _{AD})	1216/f _{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1							608/f _{CLK}			38 μs	25.3333 μs	
0	1	0							304/f _{CLK}		38 μs	19 μs	12.6667 μs	
0	1	1							152/f _{CLK}	38 μs	19 μs	9.5 μs	6.3333 μs	
1	0	0							114/f _{CLK}	28.5 μs	14.25 μs	7.125 μs	4.75 μs	
1	0	1							95/f _{CLK}	23.75 μs	11.875 μs	5.938 μs	3.9583 μs	
1	1	0							76/f _{CLK}	19 μs	9.5 μs	4.75 μs	3.1667 μs	
1	1	1							38/f _{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止

注1. 連続変換モードの2回目以降では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません (表14-3 (2/4) 参照)。

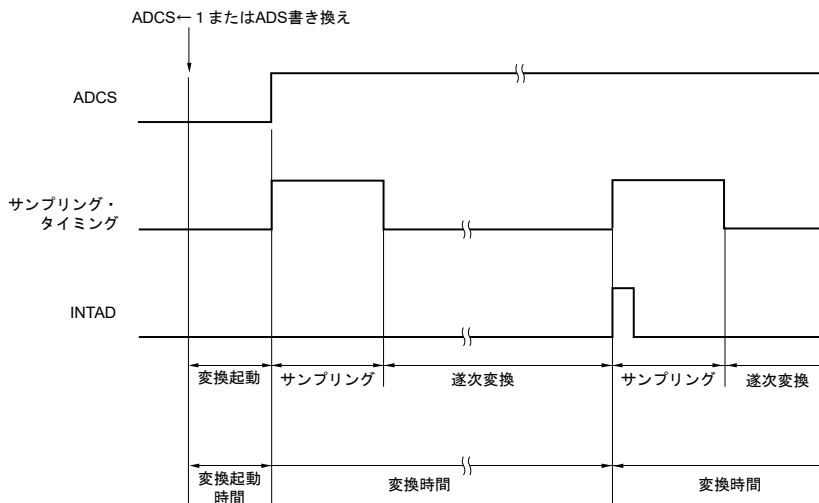
- 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (f_{AD}) の2クロック分短くなります。
- 2.4 V ≤ V_{DD} ≤ 5.5 V
- 2.7 V ≤ V_{DD} ≤ 5.5 V

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換時間 (t_{conv}) の範囲内で使用してください。なお、変換時間 (t_{conv}) はA/D電源安定待ち時間を含みません。

- FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0, ADCE = 0) させたのちに行ってください。
- 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

図14-5 A/DコンバータのサンプリングとA/D変換のタイミング（例 ソフトウェア・トリガ・モードの場合）



14.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-6 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス：FFF32H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウェア・トリガ・モード
1	0	ハードウェア・トリガ・ノーウエイト・モード
1	1	ハードウェア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択
0	0	タイマ・チャンネル01のカウンタ完了またはキャプチャ完了割り込み信号 (INTTM01)
0	1	設定禁止
1	0	リアルタイム・クロック2割り込み信号 (INTRTC)
1	1	12ビット・インターバル・タイマ割り込み信号 (INTIT)

注意1. 変換停止状態 (ADCS = 0, ADCE = 0) のときに、ADM1レジスタを書き換えてください。

2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時： f_{CLK} の2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時： f_{CLK} の2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

注意3. SNOOZE機能以外のモードにおいて、INTRTC、INTIT入力後最大 f_{CLK} の4クロック間は、次のINTRTC、INTIT入力がトリガとして有効になりません。

備考1. × : Don't care

2. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

14.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの+側基準電圧および-側基準電圧の選択、A/D変換結果の上限値/下限値のチェック、分解能の選択、およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-7 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧の選択
0	0	V_{DD} から供給 ^{注2}
0	1	P20/AV _{REFP} /ANI0から供給
1	0	内部基準電圧 (1.45 V) から供給 ^{注1}
1	1	設定禁止

・ ADREFP1, ADREFP0ビットを書き換える場合、次の手順で設定してください。

- ① ADCE = 0に設定
- ② ADREFP1, ADREFP0の値を変更
- ③ 基準電圧安定待ち時間ウエイト (A)
- ④ ADCE = 1に設定
- ⑤ 基準電圧安定待ち時間ウエイト (B)

ADREFP1, ADREFP0 = 1, 0に変更する場合 : A = 5 μ s, B = 1 μ s
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : Aはウエイト不要, B = 1 μ s

⑤のウエイトのあとに、A/D変換開始してください。

・ ADREFP1, ADREFP0 = 1, 0に設定した場合、温度センサ出力電圧と内部基準電圧 (1.45 V) をA/D変換することはできません。

必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの-側の基準電圧源の選択
0	V_{SS} から供給
1	P21/AV _{REFM} /ANI1から供給

注1. HS (高速メイン) モードでのみ選択可能です。

温度センサを使用する場合は、必ず内部基準電圧を使用してください。

2. 基準電圧 (+) = V_{DD} を使用する場合は、バッテリーバックアップ機能の電源切り替え回路の影響による電圧降下を考慮に入れて、A/D変換結果を使用してください。また、A/D変換中HALTモードに移行し、 V_{DD} 系のポートは入力に設定してください。

(注意は次ページにあります。)

- 注意1. ADM2レジスタを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。
2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADREFF1 = 1に設定しないでください。内部基準電圧（ADREFF1, ADREFF0 = 1, 0）選択時は、37.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流（IADREF）の電流値が加算されます。
3. AVREFPとAVREFMを使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタは入力モードに設定してください。

図14-7 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（2/2）

アドレス：F0010H リセット時：00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFF1	ADREFF0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADRCK	変換結果上限/下限値チェック
0	ADLLレジスタ \leq ADCRレジスタ \leq ADULレジスタ（AREA1）のとき割り込み信号（INTAD）が発生。
1	ADCRレジスタ $<$ ADLLレジスタ（AREA2）, ADULレジスタ $<$ ADCRレジスタ（AREA3）のとき割り込み信号（INTAD）が発生。
AREA 1～AREA 3の割り込み信号（INTAD）発生範囲を図14-8に示します。	

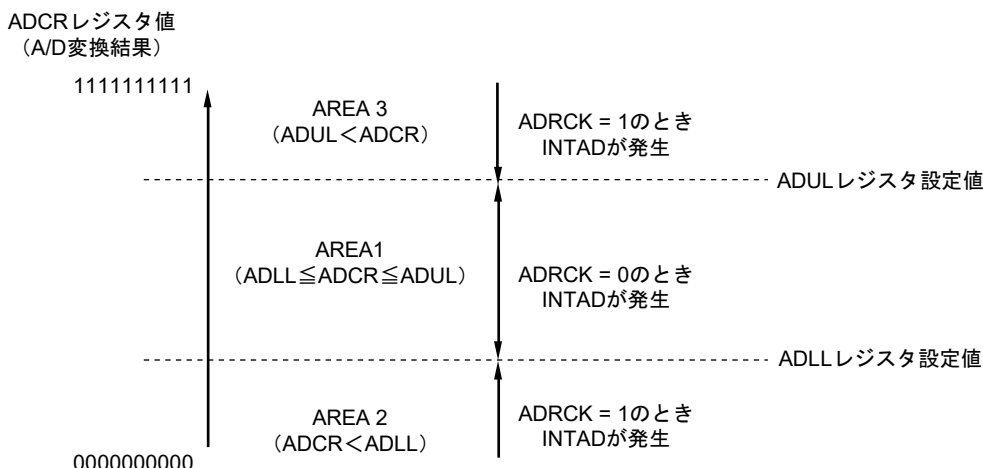
AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います（SNOOZEモード）。	
<ul style="list-style-type: none"> ・SNOOZEモード機能は、CPU/周辺ハードウェア・クロック（fCLK）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウェイト・モードでのSNOOZEモード機能は使用禁止です。 ・連続変換モードでのSNOOZEモード機能は使用禁止です。 ・SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間^注+変換起動時間+A/D電源安定待ち時間+A/D変換時間+fCLKの2クロック」以上の間隔を空けて設定してください。 ・SNOOZE機能を使用する場合でも、通常動作時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。 	
またSTOPモードから通常動作へ復帰後、必ずAWCを0に変更してください。	
AWC = 1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にA/D変換が開始されません。	

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注 24.3.3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意 ADM2レジスタを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

図14-8 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合は、A/D変換結果がADCR, ADCRHレジスタに格納されません。

14.3.5 10ビットA/D変換結果レジスタ (ADCR)

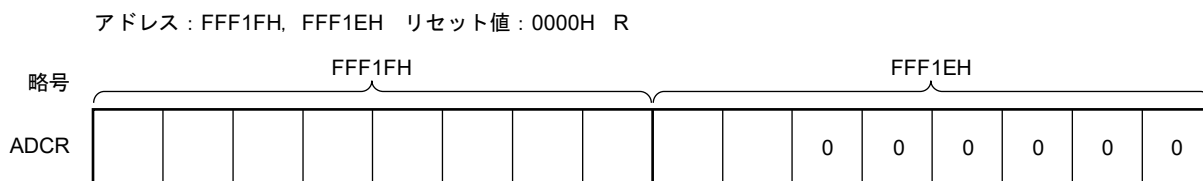
A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます^注。

ADCRレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図14-8参照)) で設定した値の範囲外の場合は格納されません。

図14-9 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



- 注意1. 8ビット分解能A/D変換を選択時 (A/Dコンバータ・モード・レジスタ2 (ADM2) のADTYP = 1) にADCRレジスタをリードした場合、下位2ビット (ADCRレジスタのビット7, ビット6) は、0が読み出されます。
- 2. ADCRレジスタへ16ビット・アクセスした場合、変換結果上位10ビットがADCRレジスタのビット15から順に読み出せます。

14.3.6 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します^注。

ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能（ADRCKビット、ADUL/ADLLレジスタで設定（図14-8参照））で設定した値の範囲外の場合は格納されません。

図14-10 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス：FFF1FH リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADCRH								

注意 A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0、ADS、ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

14.3.7 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-11 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	1	1	1	0	1	—	温度センサ出力電圧 ^注
1	0	0	0	0	1	—	内部基準電圧 (1.45 V) ^注
上記以外						設定禁止	

○スキャン・モード (ADMD = 1)

ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
					Scan 0	Scan 1	Scan 2	Scan 3
0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
上記以外					設定禁止			

注 HS (高速メイン) モードでのみ選択可能です。

温度センサを使用する場合は、必ず内部基準電圧を使用してください。

- 注意1. ビット5, 6には必ず0を設定してください。
- ADPCレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
 - A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。
 - 変換停止状態 (ADCS = 0, ADCE = 0) のときに、ADISSビットを書き換えてください。
 - AV_{REFP}をA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。
 - AV_{REFM}をA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。

- 注意7. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧（1.45 V）は使用できません。
また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、14. 7. 4 温度センサ出力電圧／内部基準電圧を選択時の設定を参照してください。
8. STOPモードへ移行、もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、37. 3. 2 電源電流特性に示すA/Dコンバータ基準電圧電流（IADREF）の電流値が加算されます。
 9. 製品により、対応するANI端子が存在しない場合は、変換結果を無視してください。

14. 3. 8 変換結果比較上限値設定レジスタ（ADUL）

A/D変換結果に対し、上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図14-8参照）で割り込み信号（INTAD）の発生を制御します。

ADULレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図14-12 変換結果比較上限値設定レジスタ（ADUL）のフォーマット

アドレス：F0011H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

14. 3. 9 変換結果比較下限値設定レジスタ（ADLL）

A/D変換結果に対し、下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図14-8参照）で割り込み信号（INTAD）の発生を制御します。

ADLLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-13 変換結果比較下限値設定レジスタ（ADLL）のフォーマット

アドレス：F0012H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

- 注意1. 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADULレジスタおよびADLLレジスタと比較します。
2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。
3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

14.3.10 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧，-側の基準電圧，アナログ入力チャネル (ANlxx) を選択するレジスタです。A/Dテスト機能として使用する場合は，以下の設定にします。

- ・ゼロスケールを測定するときは，A/D変換対象に-側の基準電圧を選択。
- ・フルスケールを測定するときは，A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14-14 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx/温度センサ出力電圧 ^注 /内部基準電圧 (1.45 V) ^注 (アナログ入力チャネル指定レジスタ (ADS) で設定)
1	0	-側の基準電圧 (ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧 (ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注 温度センサ出力電圧，内部基準電圧 (1.45V) は，HS (高速メイン) モードでのみ選択可能です。

注意 A/Dテスト機能についての詳細は，第30章 安全機能を参照してください。

14.3.11 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ (PMxx), A/Dポート・コンフィギュレーション・レジスタ (ADPC)) を設定してください。

詳細は、以下を参照してください。

- ・ 4.3.1 ポート・モード・レジスタ (PMxx)
- ・ 4.3.6 A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0-ANI5端子をA/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定し、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に設定してください。

14.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2) AV_{REF}$ にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力 $> (1/2) AV_{REF}$ よりも大きければ、SARレジスタのMSBビットをセットしたままです。また、 $(1/2) AV_{REF}$ よりも小さければ、MSBビットはリセットします。
- ⑤ 次にSARレジスタのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

- ・ ビット9 = 1 : $(3/4) AV_{REF}$
- ・ ビット9 = 0 : $(1/4) AV_{REF}$

この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

- ・ サンプリングされた電圧 \geq 電圧タップ : ビット8 = 1
- ・ サンプリングされた電圧 $<$ 電圧タップ : ビット8 = 0

- ⑥ このような比較をSARレジスタのビット0まで続けます。
- ⑦ 10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします^{注1}。
同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます^{注1}。
- ⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します^{注2}。
A/Dコンバータを停止する場合は、ADCS = 0にしてください。

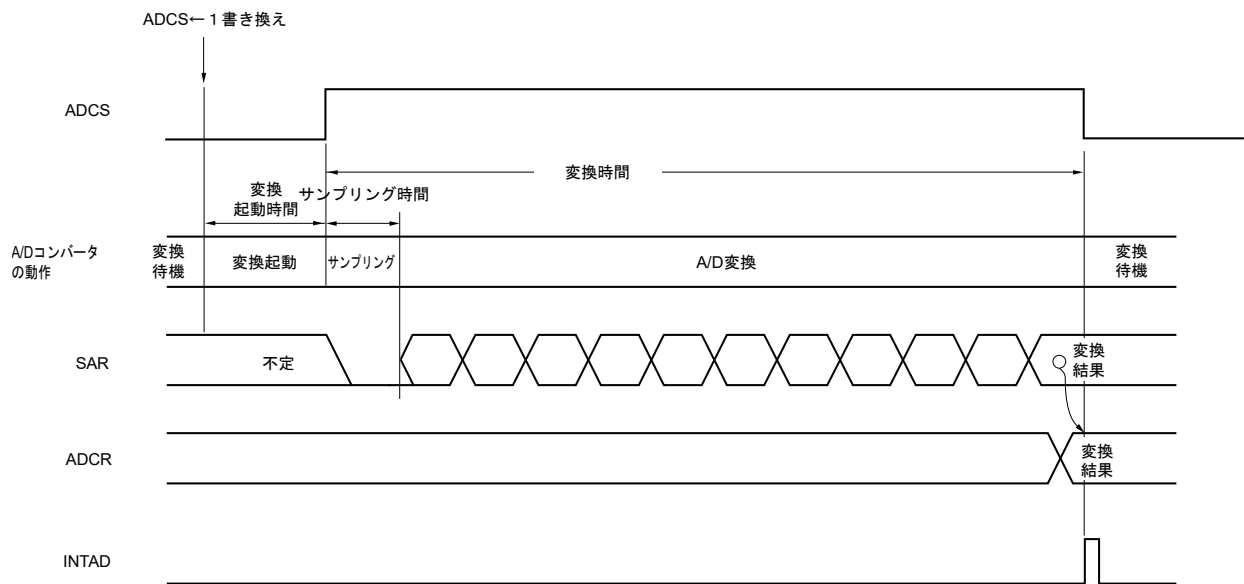
- 注 1. A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図14-8参照)) で設定した値の範囲外の場合、A/D変換終了割り込み要求信号 (INTAD) は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。
2. 連続変換モード時は、ADCSフラグは自動的に“0”にクリアされません。また、ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ・ ADCRレジスタ (16ビット) : 10ビットのA/D変換値を格納します。
- ・ ADCRHレジスタ (8ビット) : 8ビットのA/D変換値を格納します。

2. AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧 (1.45 V), V_{DD} から選択可能です。

図14-15 A/Dコンバータの変換動作（ソフトウェア・トリガ・モードの場合）



ワンショット変換モード時のA/D変換動作は、A/D変換終了後にADCSビットが自動的にクリア(0)されます。連続変換モード時のA/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) をクリア(0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ (ADS) に対して書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまた00Hとなります。

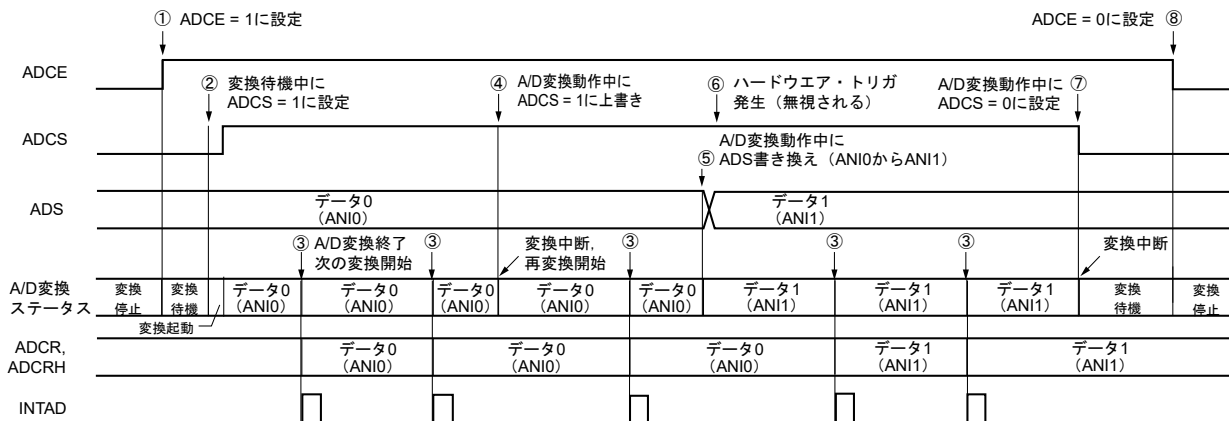
14.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を14.7 A/Dコンバータの設定フロー・チャートに示します。

14.6.1 ソフトウェア・トリガ・モード（セレクト・モード，連続変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し、A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

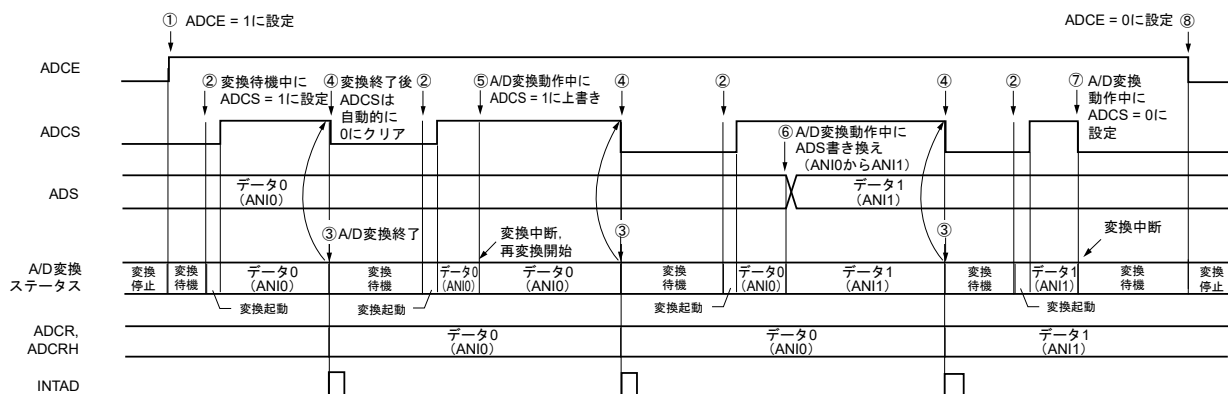
図14-17 ソフトウェア・トリガ・モード（セレクト・モード，連続変換モード）動作タイミング例



14.6.2 ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μ s) をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

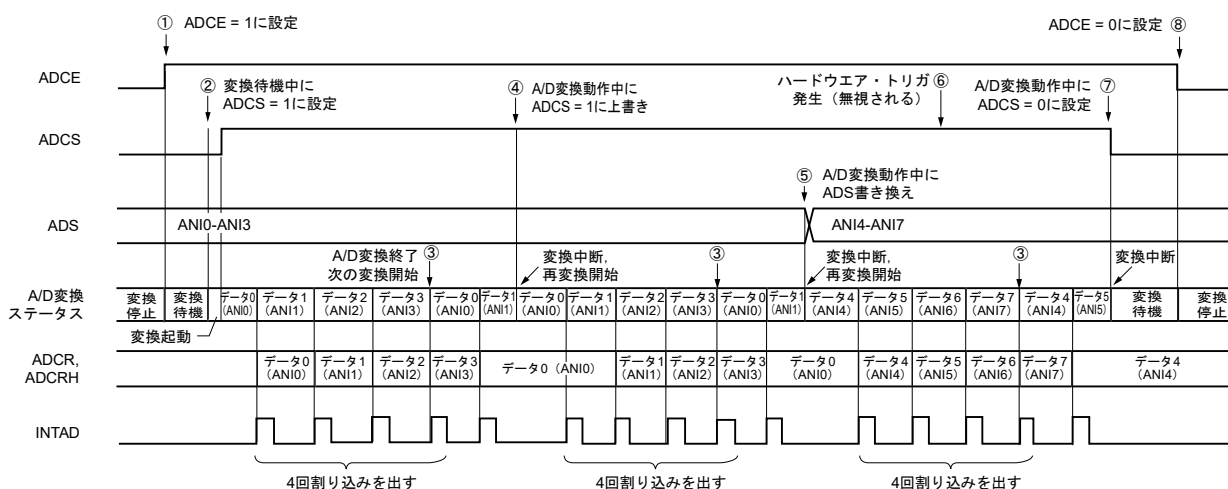
図14-18 ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例



14.6.3 ソフトウェア・トリガ・モード（スキャン・モード，連続変換モード）

- ① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます（4チャネル分）。
- ④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても，A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

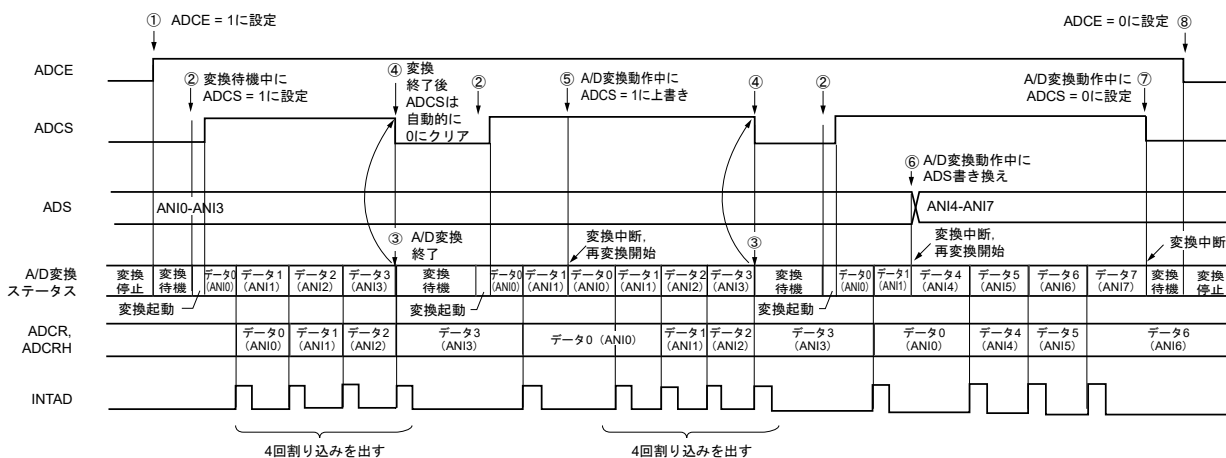
図14-19 ソフトウェア・トリガ・モード（スキャン・モード，連続変換モード）動作タイミング例



14.6.4 ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μ s) をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ 4チャネルのA/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

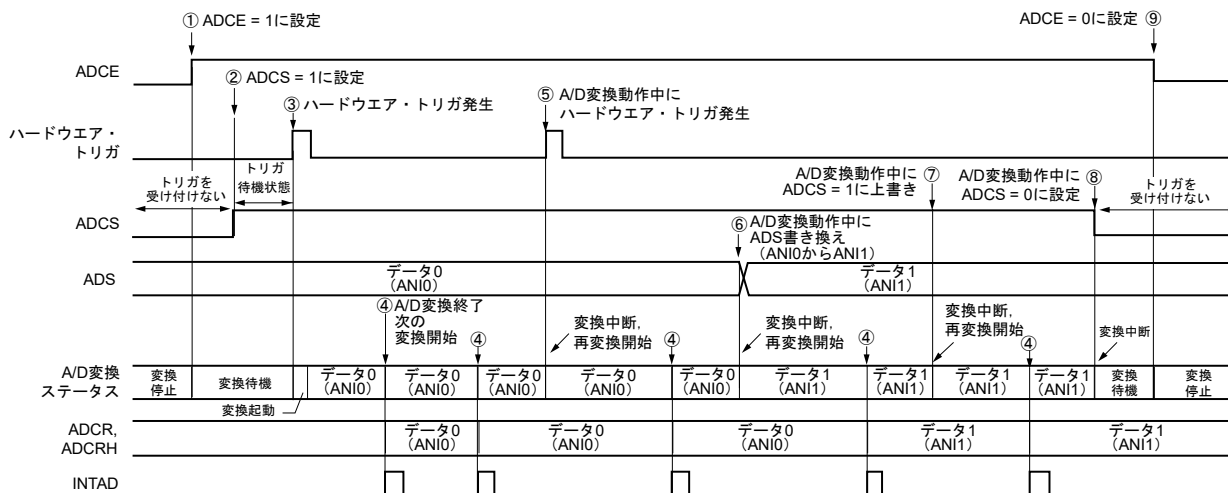
図14-20 ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード) 動作タイミング例



14.6.5 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μs) をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

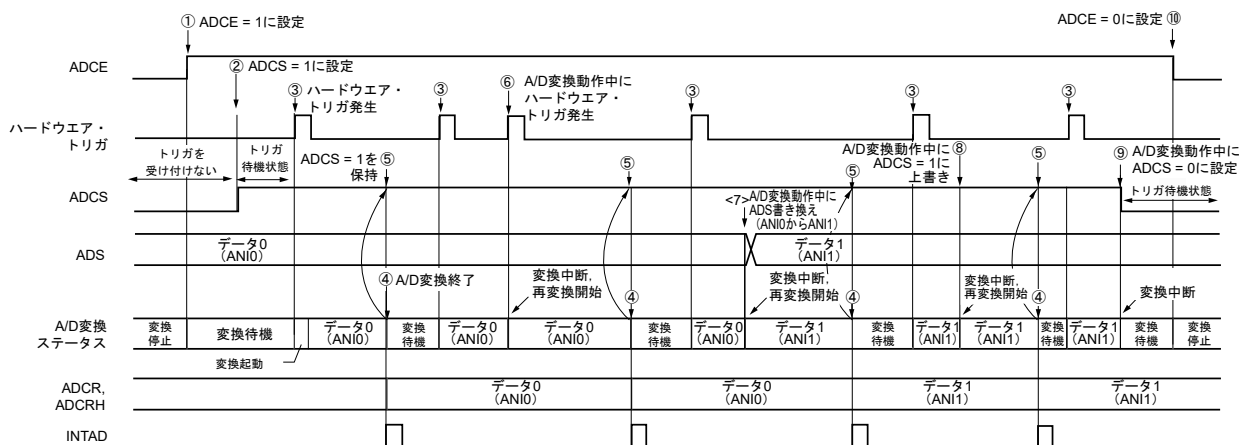
図14-21 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード)
動作タイミング例



14.6.6 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μs) をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

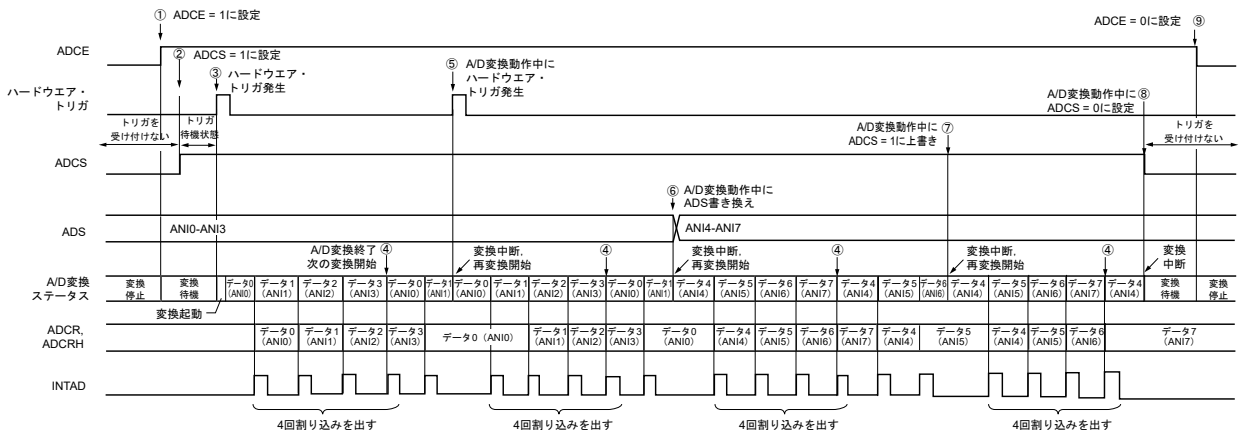
図14-22 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード)
動作タイミング例



14.6.7 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μs) をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

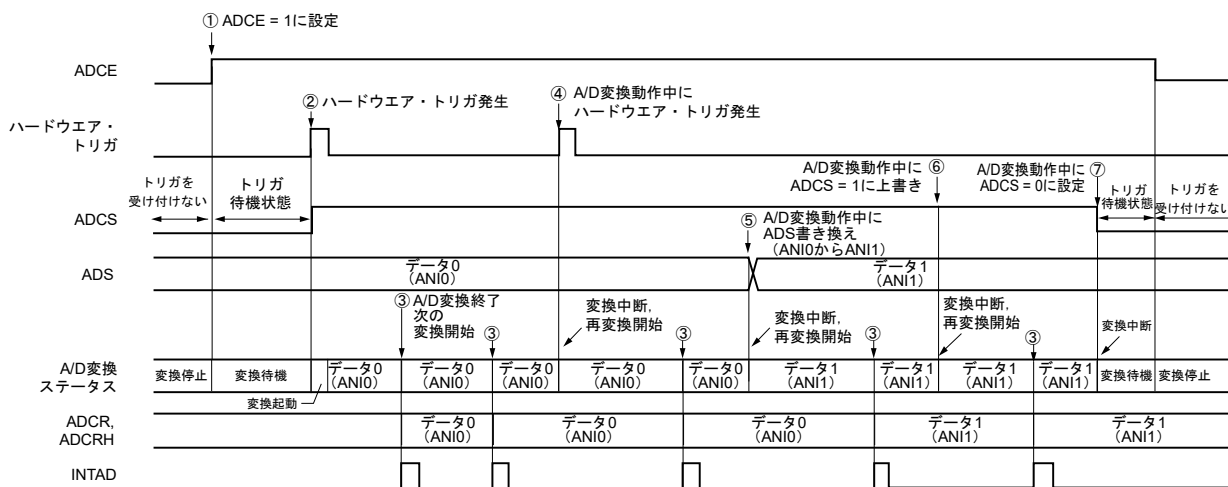
図14-23 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード)
動作タイミング例



14.6.9 ハードウェア・トリガ・ウエイト・モード (セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します (このとき、ハードウェア・トリガは不要です)。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図14-25 ハードウェア・トリガ・ウエイト・モード (セレクト・モード, 連続変換モード) 動作タイミング例

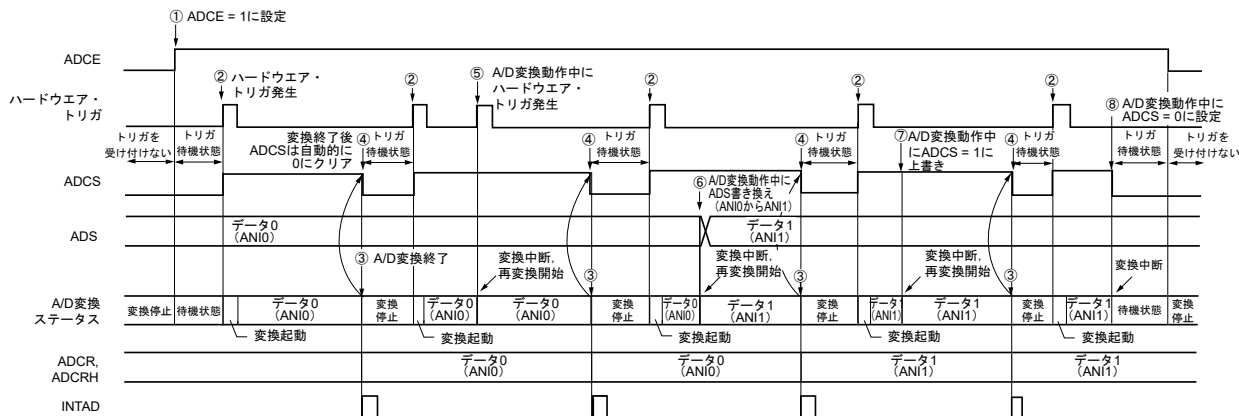


14.6.10 ハードウェア・トリガ・ウェイト・モード (セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図14-26 ハードウェア・トリガ・ウェイト・モード (セレクト・モード, ワンショット変換モード)

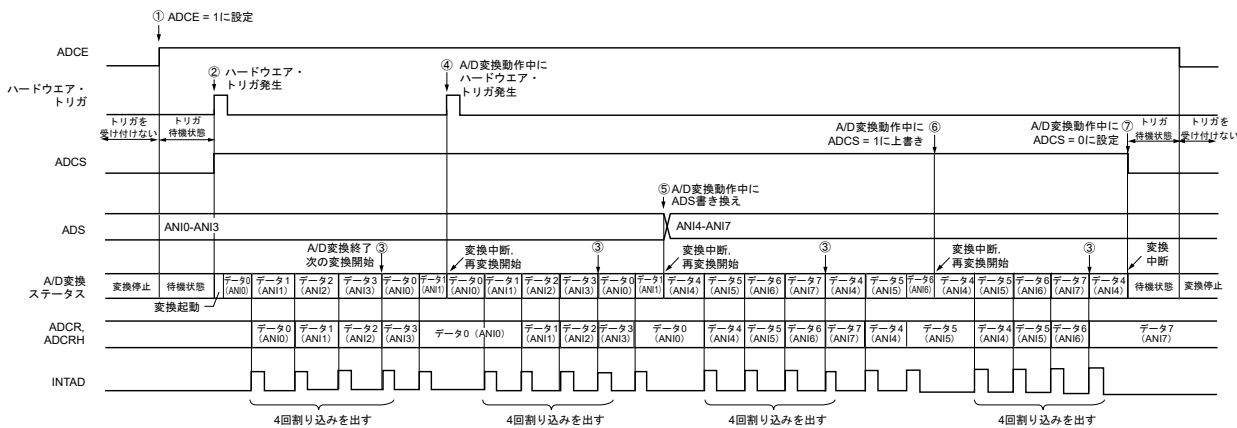
動作タイミング例



14.6.11 ハードウェア・トリガ・ウェイト・モード (スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0~スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

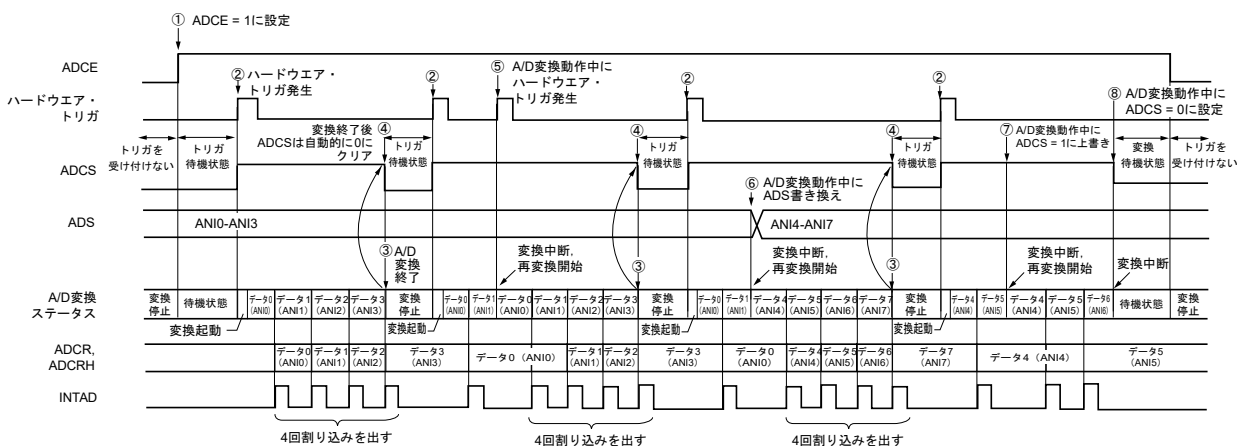
図14-27 ハードウェア・トリガ・ウェイト・モード (スキャン・モード, 連続変換モード)
動作タイミング例



14.6.12 ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0~スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図14-28 ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード)
動作タイミング例

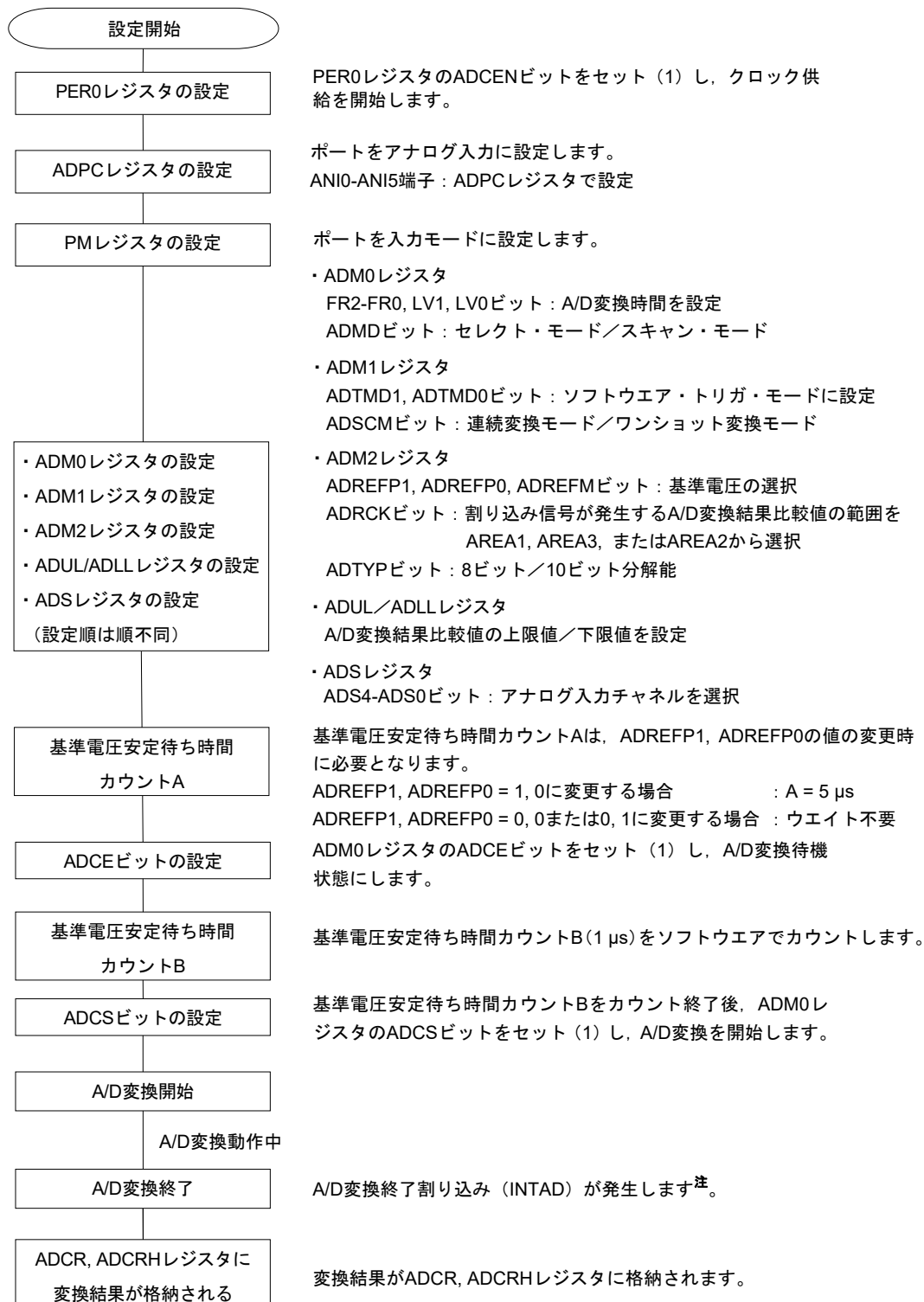


14.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

14.7.1 ソフトウェア・トリガ・モード設定

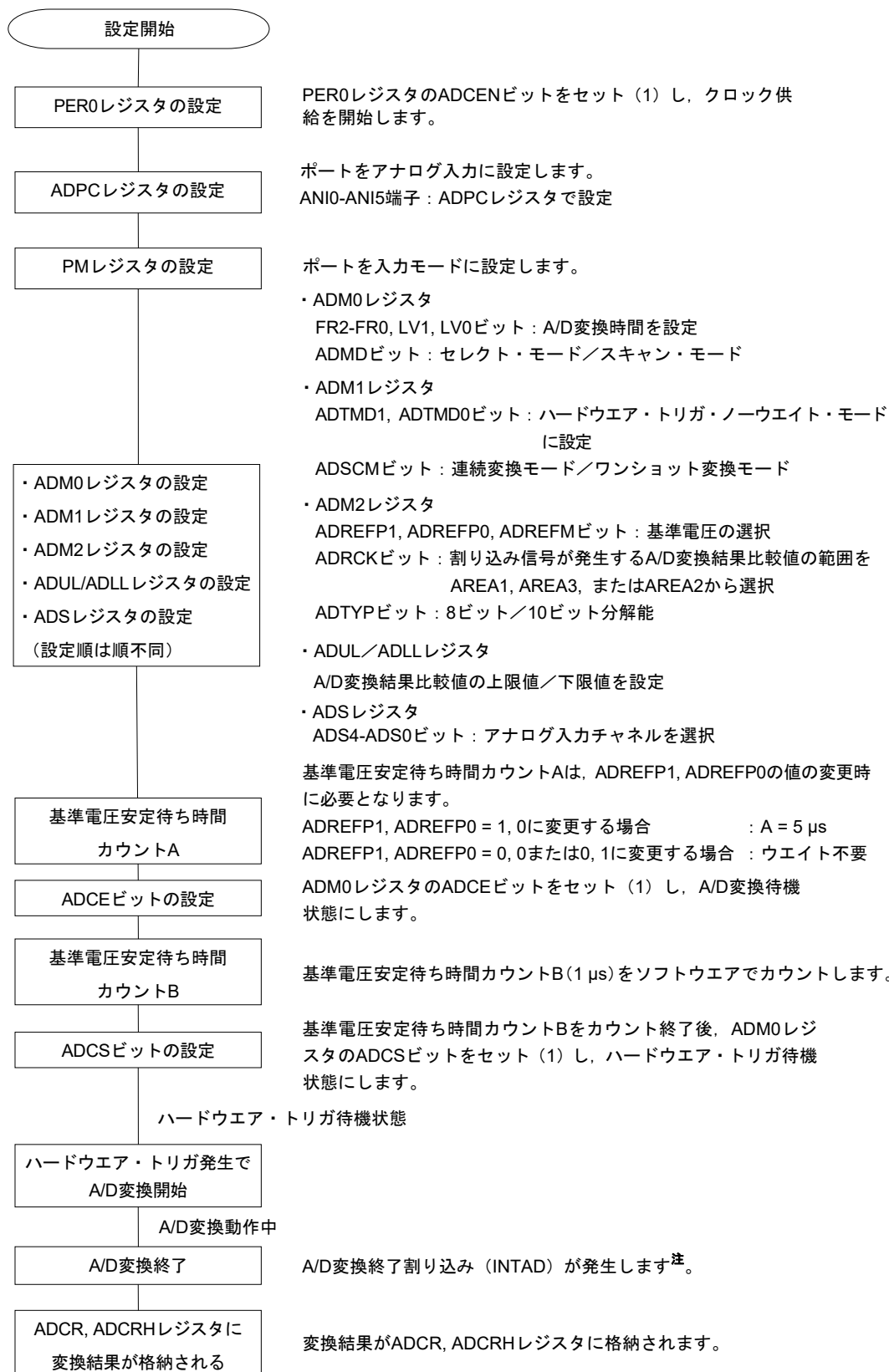
図14-29 ソフトウェア・トリガ・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

14.7.2 ハードウェア・トリガ・ノーウエイト・モード設定

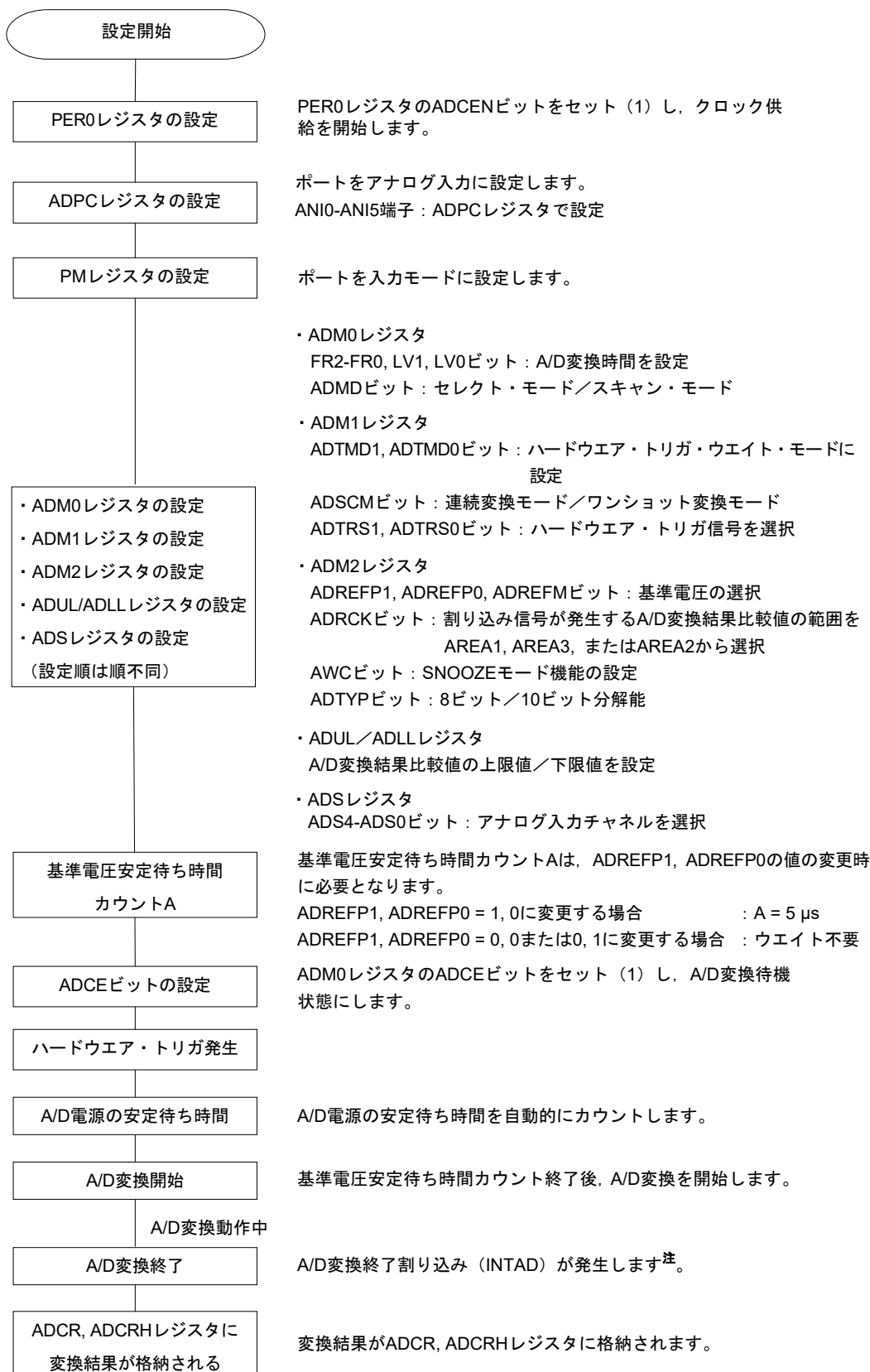
図14-30 ハードウェア・トリガ・ノーウエイト・モード設定



注 ADRCKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

14.7.3 ハードウェア・トリガ・ウエイト・モード設定

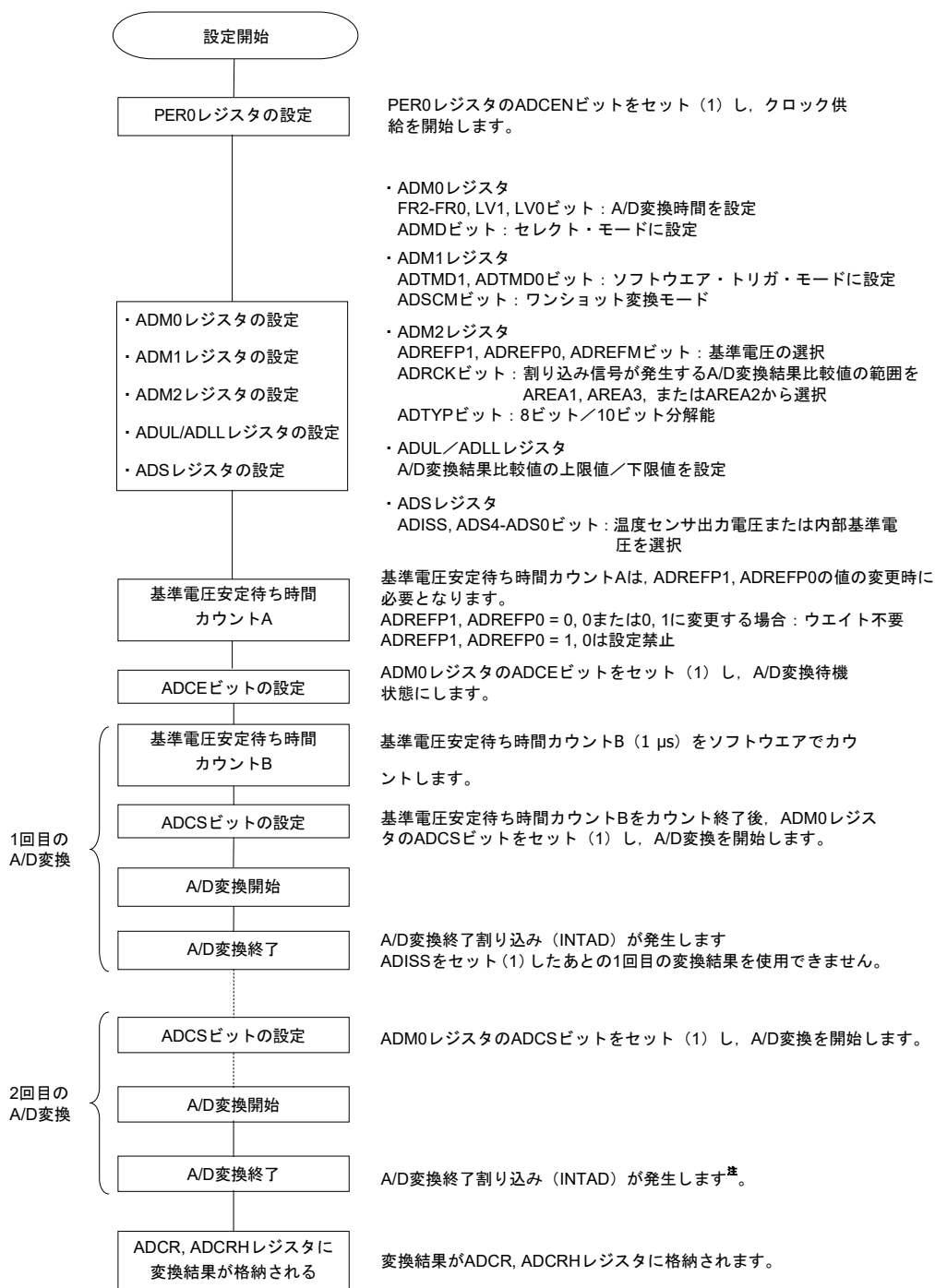
図14-31 ハードウェア・トリガ・ウエイト・モード設定



注 ADRCKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

14.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図14-32 温度センサ出力電圧／内部基準電圧を選択時の設定

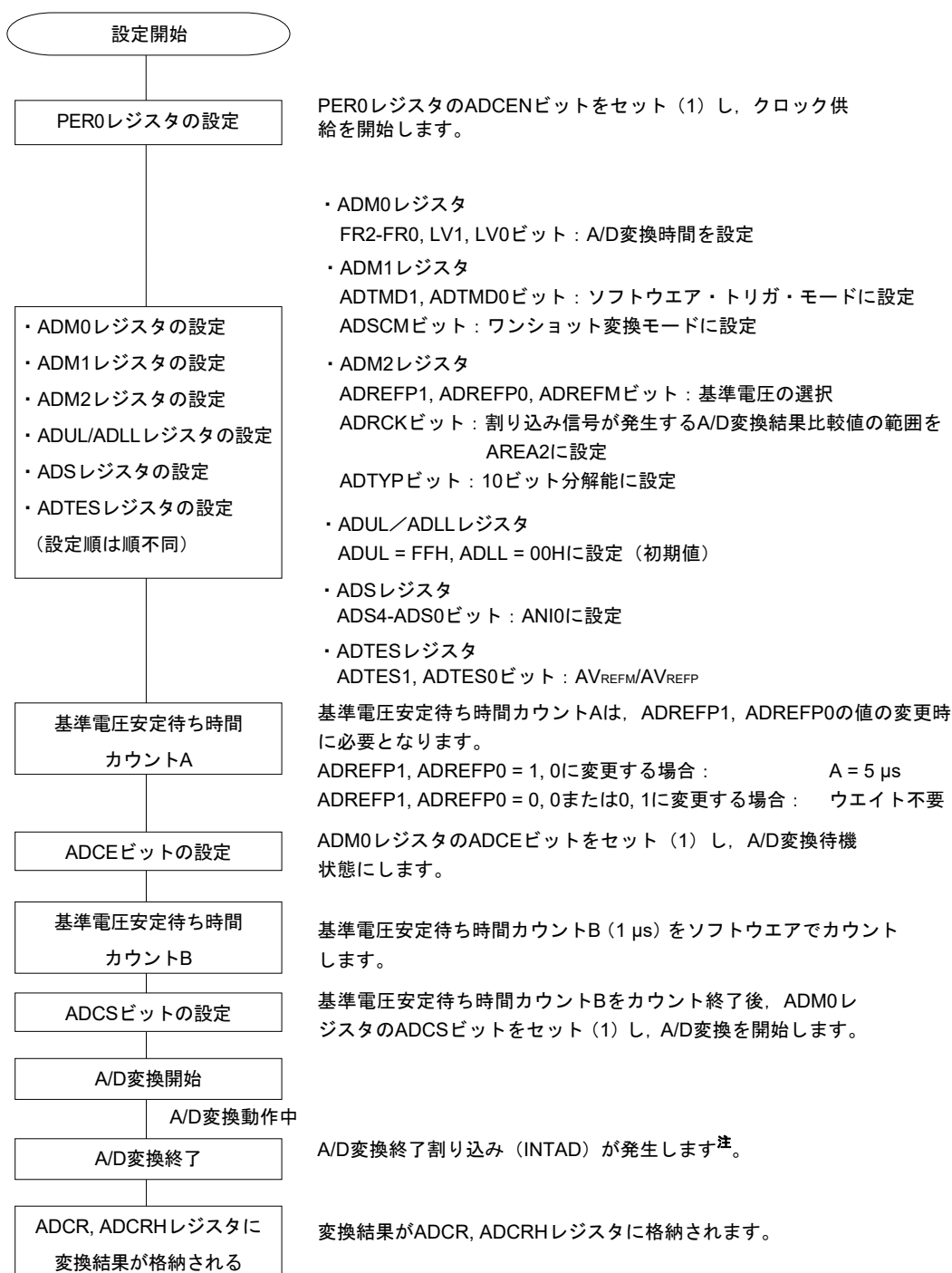


注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 HS (高速メイン) モードでのみ選択可能です。

14.7.5 テスト・モード設定

図14-33 テスト・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、30.3.8 A/Dテスト機能を参照してください。

14.8 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時はA/D変換動作を停止しますが、SNOOZE機能を使用することで、CPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

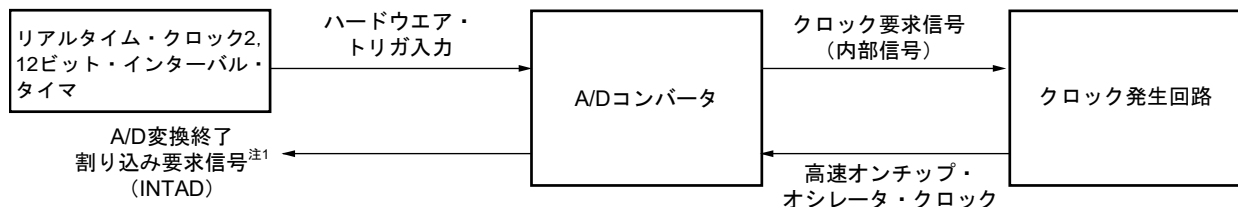
SNOOZEモードでは、ADUL, ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、次の変換モードのみ使用可能です。

- ・ハードウェア・トリガ・ウェイト・モード（セレクト・モード、ワンショット変換モード）
- ・ハードウェア・トリガ・ウェイト・モード（スキャン・モード、ワンショット変換モード）

注意 SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図14-34 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います（14.7.3 ハードウェア・トリガ・ウェイト・モード設定を参照^{注2}）。STOPモードへ移行する直前に、A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）に1を設定します。初期設定完了後、A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります^{注1}。

- 注1. A/D変換結果比較機能の設定（ADRCKビット，ADUL/ADLLレジスタ）により、割り込み信号が発生しない場合があります。
2. ADM1レジスタは必ずE2HまたはE3HIに設定してください。

備考 ハードウェア・トリガは、INTRTCまたはINTITです。

ハードウェア・トリガは、A/Dコンバータ・モード・レジスタ1（ADM1）で設定してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲内の場合，A/D変換終了割り込み要求信号（INTAD）は発生します。

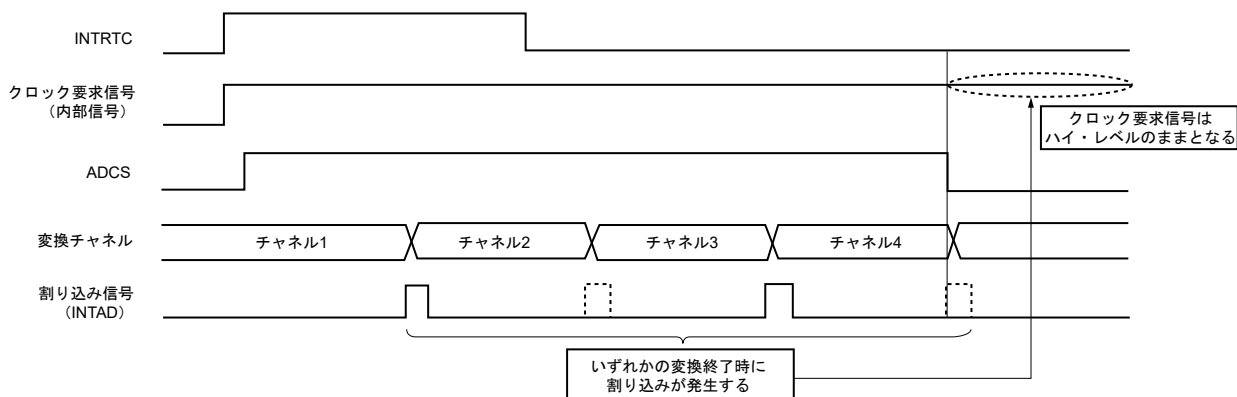
● セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると，A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZEモードを解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

● スキャン・モード時

4チャンネル分のA/D変換で1回でもA/D変換終了割り込み要求信号（INTAD）が発生した場合，A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZEモードを解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

図14-35 A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

● セレクト・モード時

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウェア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

● スキャン・モード時

4チャンネル分のA/D変換で1回もA/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，4チャンネル分のA/D変換が終了した後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウェア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図14-36 A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）

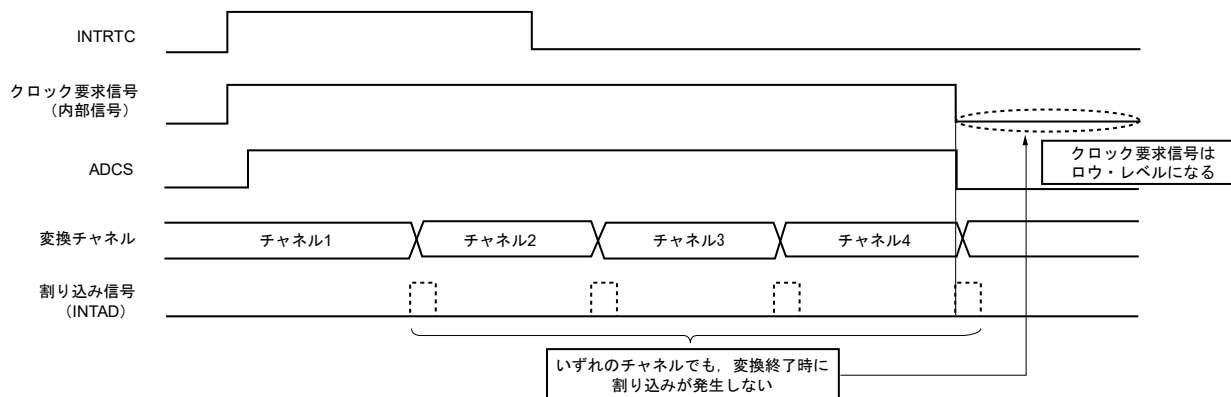
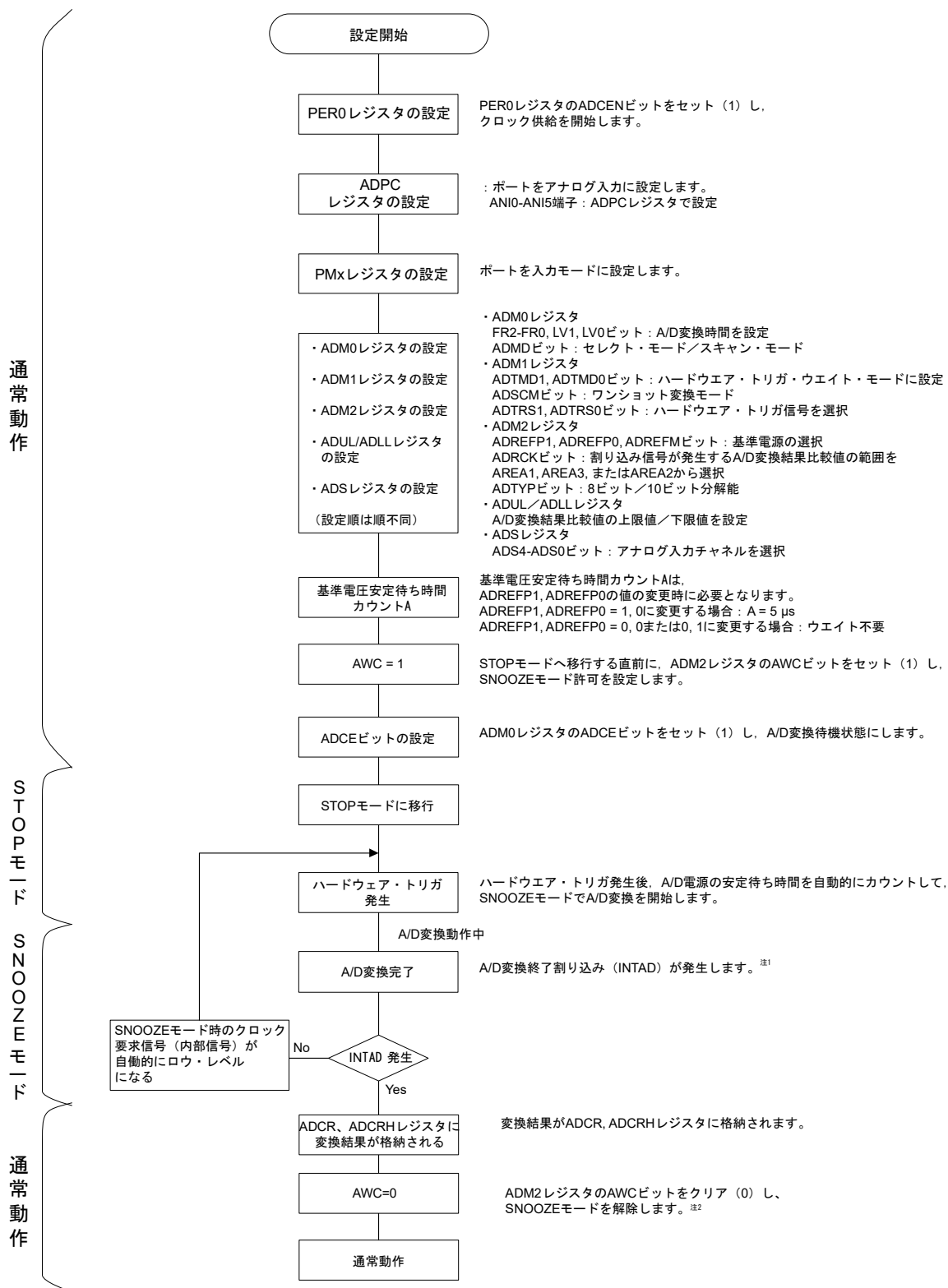


図14-37 SNOOZEモード設定のフローチャート



注 1. ADRCKビット, ADUL/ADLLレジスタの設定により, A/D変換終了割り込み要求信号 (INTAD) が発生しなかった場合, ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換動作を行います。

2. AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

14.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図14-38 総合誤差

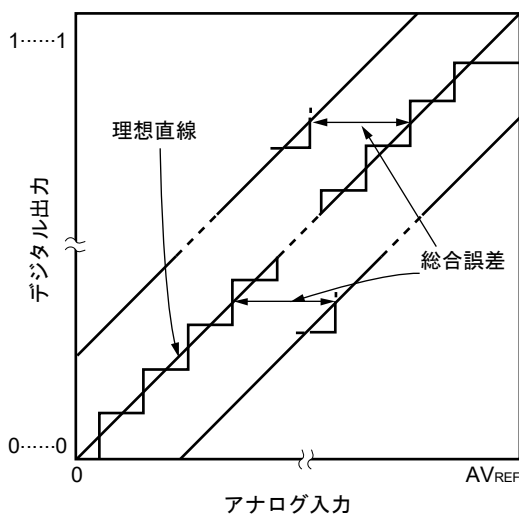
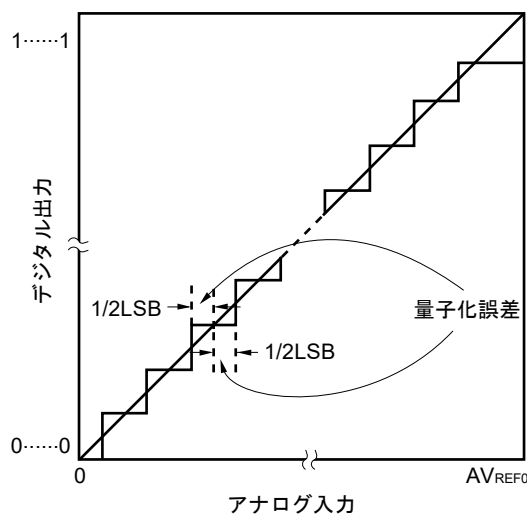


図14-39 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0………000から0………001に変化するときの、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0………001から0………010に変化するときの、アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1………110から1………111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール-3/2 LSB）との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図14-40 ゼロスケール誤差

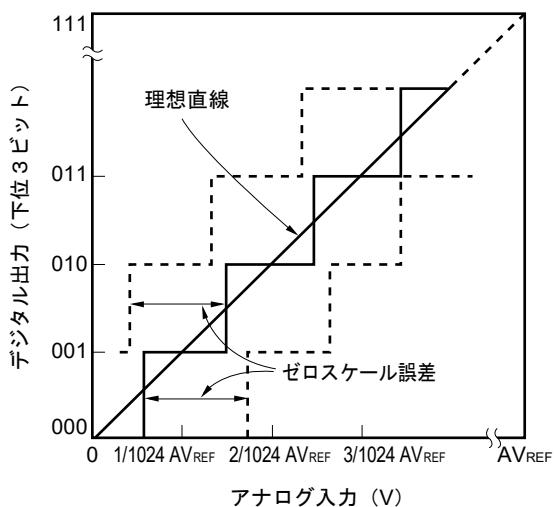


図14-41 フルスケール誤差

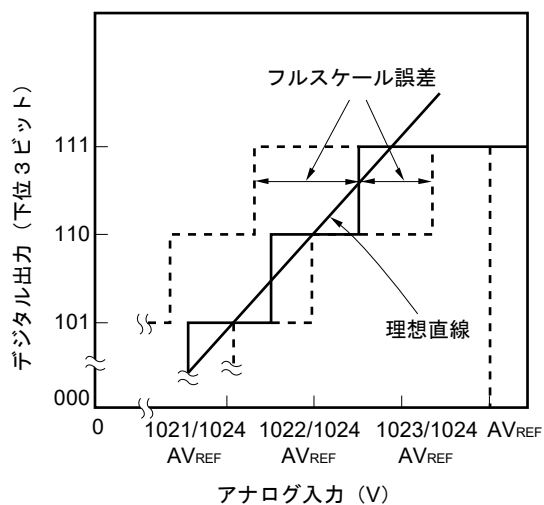


図14-42 積分直線性誤差

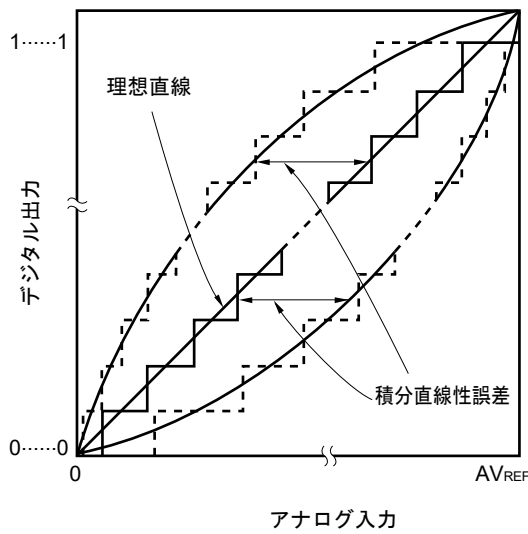
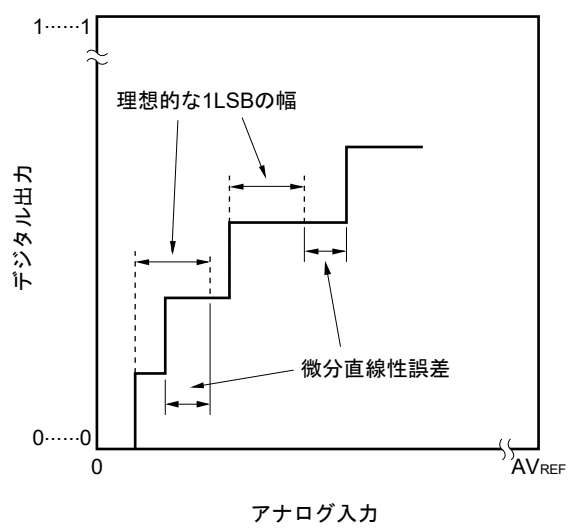


図14-43 微分直線性誤差

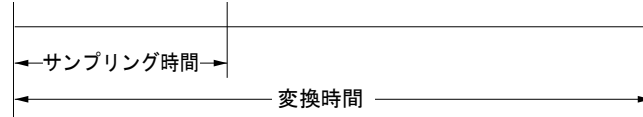


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



14.10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから、動作開始してください。

(2) ANI0-ANI5端子入力範囲について

ANI0-ANI5端子入力電圧は規格の範囲内でご使用ください。特に V_{DD} 、 AV_{REFP} を超える電圧、 V_{SS} 、 AV_{REFM} 未満（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

内部基準電圧（1.45 V）をA/Dコンバータの+側の基準電圧に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧（1.45 V）を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧（1.45 V）を超える電圧になっていても問題ありません。

注意 内部基準電圧（1.45 V）は、HS（高速メイン）モードでのみ選択可能です。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと、命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0（ADM0）へのライト、アナログ入力チャンネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合

ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REFP} 、 V_{DD} 、ANI0-ANI5端子へのノイズに注意する必要があります。

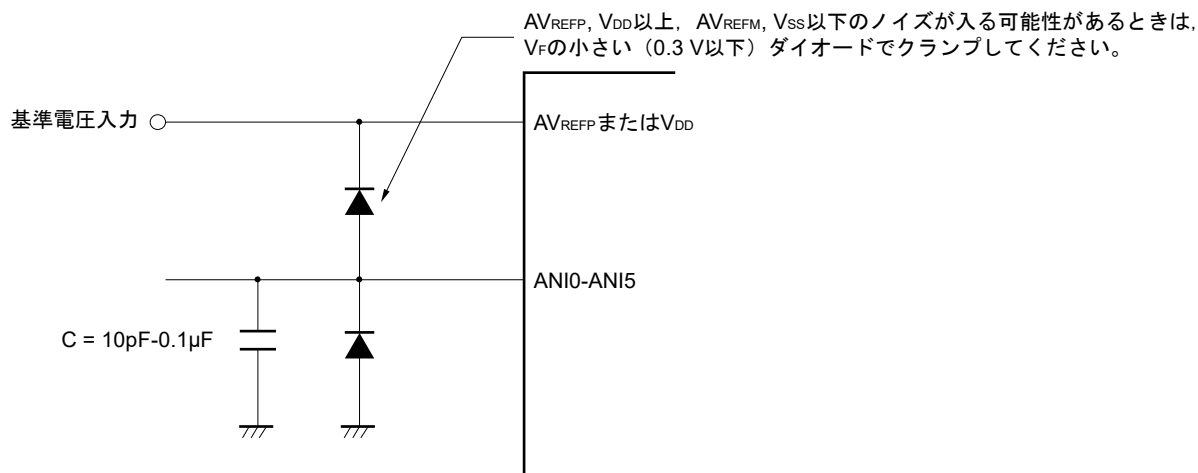
① 電源には等価抵抗が小さく、周波数応答のよいコンデンサ（0.01 μ F程度）を最短距離かつ、比較的太い配線を使って接続してください。

② アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図14-44のようにコンデンサを外付けすることを推奨します。

③ 変換中においては、他の端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図14-44 アナログ入力端子の処理



(5) アナログ入力 (ANIn) 端子

- ① アナログ入力 (ANI0-ANI5) 端子は入力ポート (P20-P25) 端子と兼用になっています。ANI0-ANI5端子のいずれかを選択してA/D変換をする場合, 変換中にP20-P25に対して出力値を変更しないでください。変換精度が低下することがあります。
- ② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると, カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は, デジタル信号の様に急激に変化するパルスが入出力されないようにしてください。

(6) アナログ入力 (ANIn) 端子の入力インピーダンスについて

このA/Dコンバータでは, サンプリング時間で内部のサンプリング・コンデンサに充電して, サンプリングを行っています。

したがって, サンプリング中以外はリーク電流だけであり, サンプリング中にはコンデンサに充電するための電流も流れるので, 入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし, 十分にサンプリングするためには, アナログ入力源の出力インピーダンスを1 k Ω 以下にしてください。出力インピーダンスが1 k Ω 以下にできないときはサンプリング時間を長く設定するかANI0-ANI5端子に 0.1 μF 程度のコンデンサを付けることを推奨します (図14-44参照)。また, 変換動作中にADCS = 0に設定した場合および再変換を開始した場合は, サンプリング・コンデンサに充電された電圧は不定となります。そのため, ADCS = 0を設定時は次の変換が, 再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには, アナログ信号の変化の大きさによらず, アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

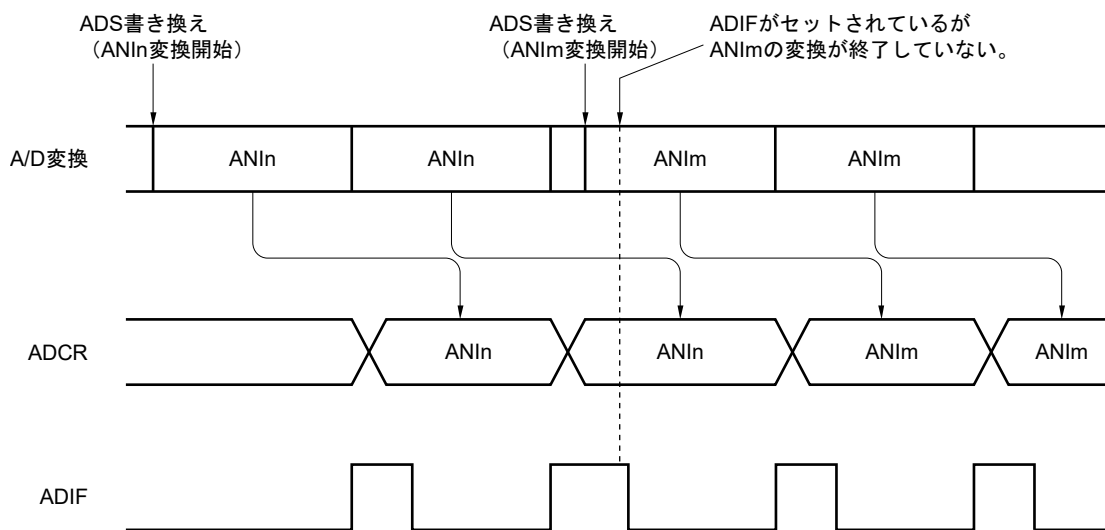
(7) 割り込み要求フラグ (ADIF) について

アナログ入力チャンネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリア (0) してください。

図14-45 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウエイト・モードでADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャンネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図14-46 ANIn端子内部等価回路

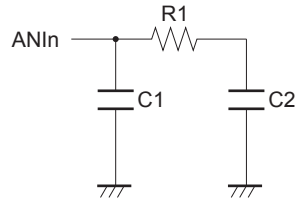


表14-4 等価回路の各抵抗と容量値（参考値）

AV_{REFP}, V_{DD}	ANIn端子	R1 [k Ω]	C1 [pF]	C2 [pF]
$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	ANI0-ANI5	14	8	2.5
$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	ANI0-ANI5	39	8	2.5
$1.9\text{ V} \leq V_{DD} < 2.7\text{ V}$	ANI0-ANI5	231	8	2.5

備考 表14-4の各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、 AV_{REFP}, V_{DD} の電圧が安定してから開始してください。

第15章 温度センサ2

15.1 温度センサの機能

RL78/I1Bでは温度センサを搭載しています。温度センサの出力電圧を10ビットA/Dコンバータで測定することで、温度を測定することができます。温度センサ・コントロール・テスト・レジスタの設定により、温度センサのモードを以下の3つのモードに切り替えることができます。

- 高温域モード：Mode 1, 0°C~90°C（出力イメージ図 Mode 1）
- 常温域モード：Mode 2, -20°C~70°C（出力イメージ図 Mode 2）
- 低温域モード：Mode 3, -40°C~50°C（出力イメージ図 Mode 3）

温度センサは、HS（高速メイン）モードで使用可能です。

図15-1に温度センサのブロック図を示します。

図15-1 ブロック図

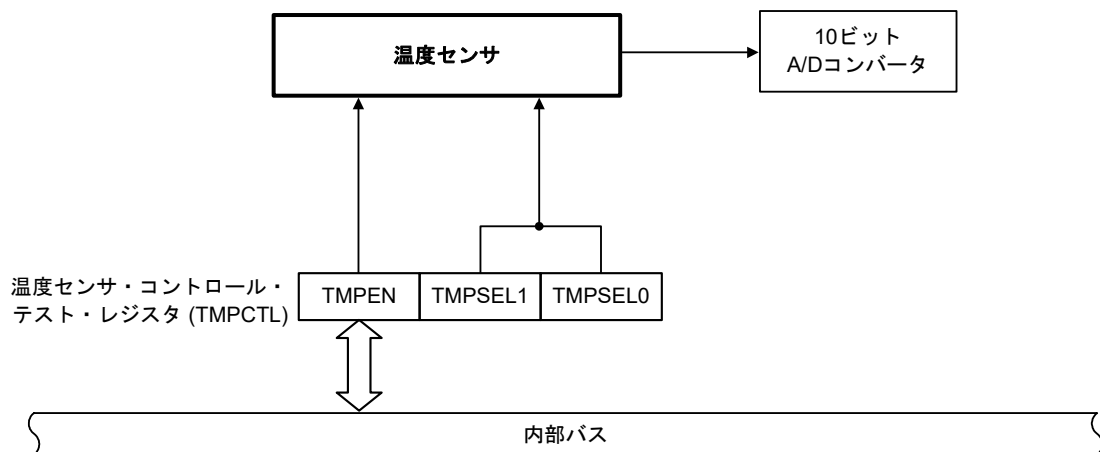
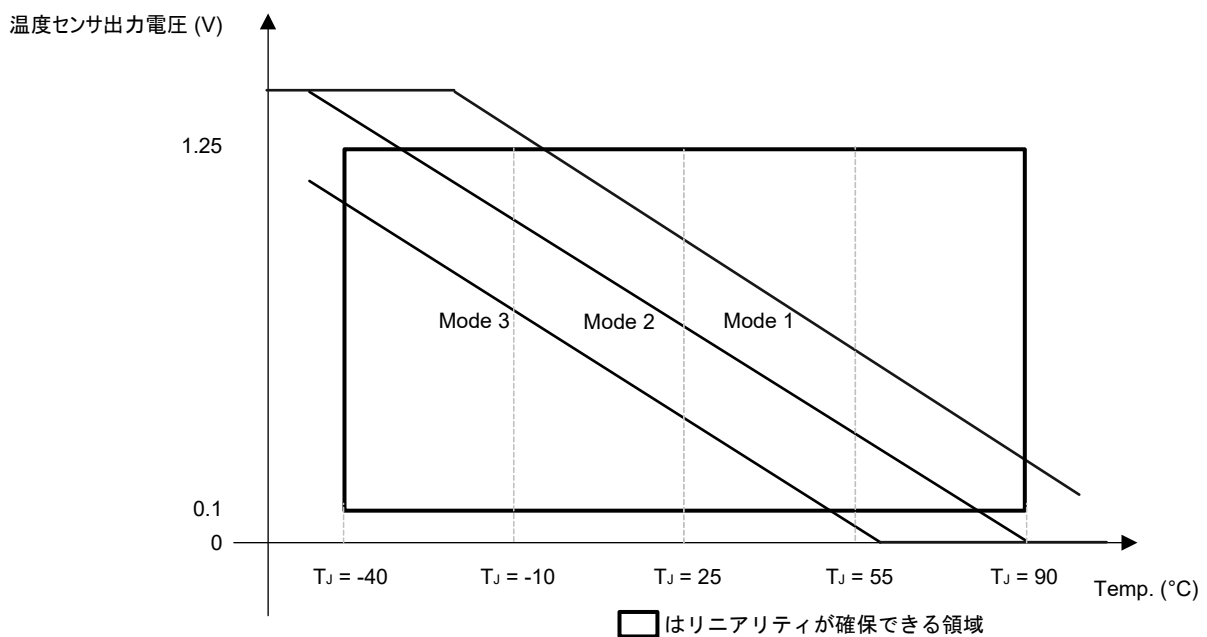


図15-2 出力イメージ図



15.2 レジスタの説明

表15-1に温度センサで使用するレジスタ一覧を示します。

表15-1 レジスタ一覧

項目	構成
制御レジスタ	温度センサ・コントロール・テスト・レジスタ (TMPCTL)

15.2.1 温度センサ・コントロール・テスト・レジスタ (TMPCTL)

TMPCTLレジスタは、温度センサの動作停止／動作開始の設定、温度センサのモードの選択をするレジスタです。

TMPCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-3 温度センサ・コントロール・テスト・レジスタ (TMPCTL) のフォーマット

アドレス：F03B0H リセット時：00H R/W

略号 7 6 5 4 3 2 1 0

TMPCTL	TMPEN ^{注1}	0	0	0	0	0	TMPSEL1 ^{注2}	TMPSEL0 ^{注2}
--------	---------------------	---	---	---	---	---	-----------------------	-----------------------

TMPEN	温度センサの動作制御
0	温度センサ動作停止
1	温度センサ動作開始

TMPSEL1	TMPSEL0	温度センサのモード選択
0	0	常温域 (Mode 2)
0	1	低温域 (Mode 3)
1	0	高温域 (Mode 1)
上記以外		設定禁止

注1. TMPENビットを0から1に設定後、50 μsの動作可能安定待ち時間が必要です。

2. TMPSEL1-TMPSEL0ビットへの設定値変更後、15 μsのモード切り替え安定待ち時間が必要です。

注意1. ビット6-2には必ず0を設定してください。

2. 温度センサを使用する場合は、10bitA/Dコンバータを内部基準電圧で使用してください。基準電圧にV_{DD}を選択した場合、正しく動作しません。

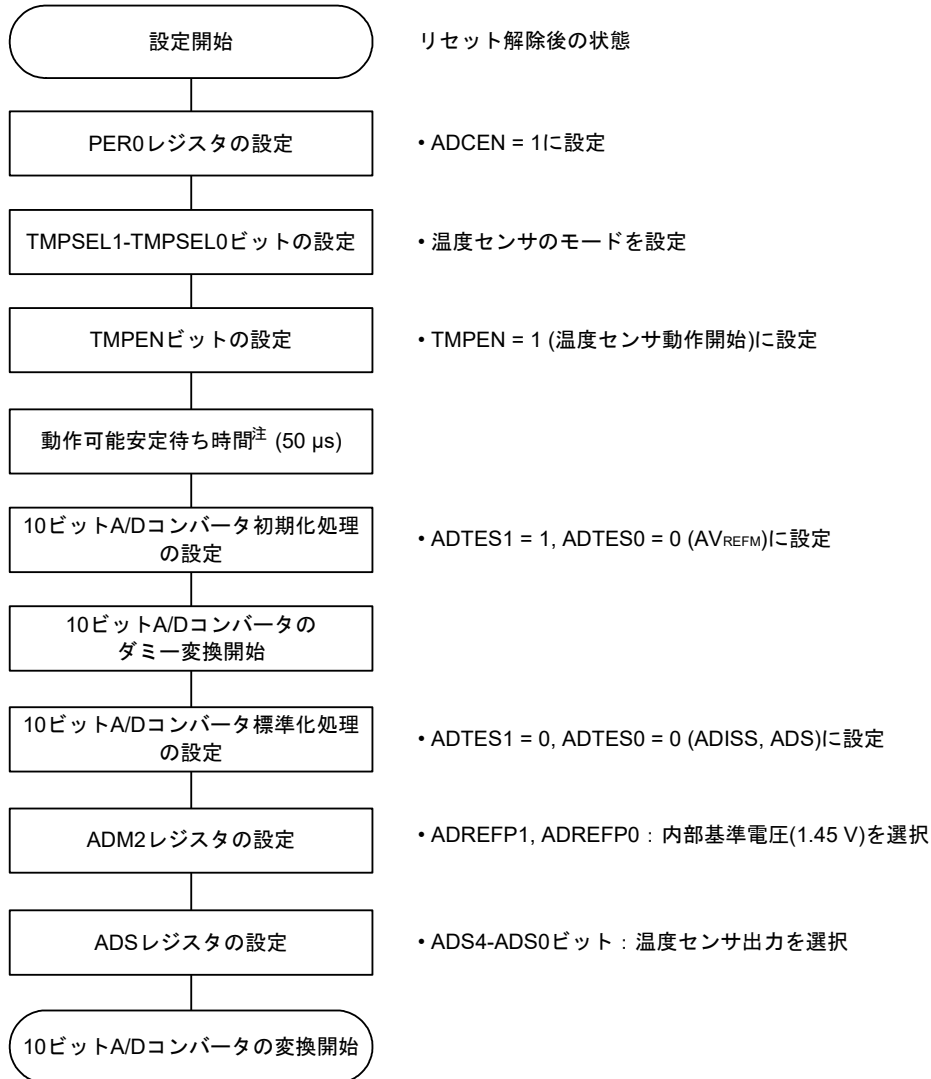
15.3 設定手順

温度センサの設定手順を以下に示します。

15.3.1 A/Dコンバータ・モード・レジスタ0 (ADM0)

図15-4に温度センサ動作開始時の設定フローを示します。

図15-4 温度センサ動作開始時の設定フロー



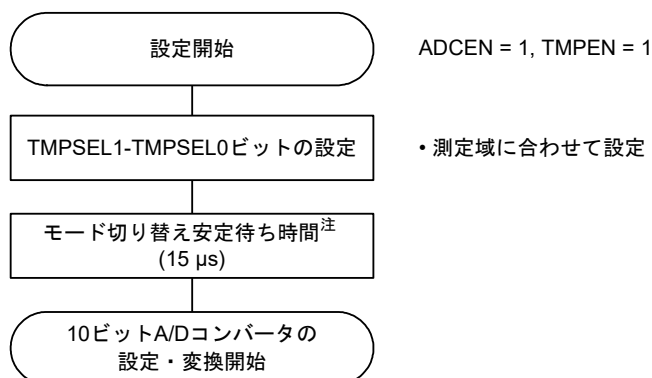
注 動作可能安定待ち時間は、A/Dコンバータ変換開始までに必要となる時間です。

注意 10bitA/Dコンバータは内部基準電圧出力を選択してください。

15.3.2 モード切り替え

図15-5に温度センサモード切り替え時の設定フローを示します。

図15-5 温度センサモード切り替え時の設定フロー



注 モード切り替え安定待ち時間は、A/Dコンバータ変換開始までに必要となる時間です。

注意 10bitA/Dコンバータは内部基準電圧出力を選択してください。

第16章 24ビット $\Delta\Sigma$ A/Dコンバータ

24ビット $\Delta\Sigma$ A/Dコンバータはアナログ入力をデジタル値に変換する24ビット分解能のコンバータです。

16.1 24ビット $\Delta\Sigma$ A/Dコンバータの機能

24ビット $\Delta\Sigma$ A/Dコンバータの機能を示します。

- OS/N+D比80 dB以上（プリアンプ・ゲイン1倍選択時）
- 24ビット分解能（変換結果レジスタ：24ビット）
- 3チャンネル（電流チャンネル：2チャンネル 電圧チャンネル：1チャンネル）（80ピン製品）
- 4チャンネル（電流チャンネル：2チャンネル 電圧チャンネル：2チャンネル）（100ピン製品）
- アナログ入力8本（正側，負側入力／チャンネル）
- $\Delta\Sigma$ 変換方式
- プリアンプ・ゲイン選択： 1倍，2倍，4倍，8倍，16倍，32倍^注（チャンネル0，2：電流チャンネル）
1倍，2倍，4倍，8倍，16倍（チャンネル1，3：電圧チャンネル）
- 動作電圧： $AV_{DD} = 2.4\sim 5.5\text{ V}$ ， $AV_{SS} = 0\text{ V}$
- アナログ入力電圧： $\pm 0.500\text{ V}$ （プリアンプ・ゲイン1倍選択時）
 $\pm 0.250\text{ V}$ （プリアンプ・ゲイン2倍選択時）
 $\pm 0.125\text{ V}$ （プリアンプ・ゲイン4倍選択時）
 $\pm 62.5\text{ mV}$ （プリアンプ・ゲイン8倍選択時）
 $\pm 31.25\text{ mV}$ （プリアンプ・ゲイン16倍選択時）
 $\pm 15.625\text{ mV}$ （プリアンプ・ゲイン32倍^注選択時）
- 基準電圧生成（0.8 V [TYP.]：出力可能）
- サンプリング周波数： 3906.25 Hz（4 kHzサンプリング・モード）／1953.125 Hz（2 kHzサンプリング・モード）
- HPFカットオフ周波数： 0.607 Hz，1.214 Hz，2.429 Hz，4.857 Hzを選択可能
- 動作クロック： 高速システム・クロック（ f_{MX} ）（12 MHz水晶振動子のみ使用可能）
高速オンチップ・オシレータ（ f_{IH} ）

注 32倍はデジタルフィルタでゲインを2倍します。

注意 PCKCレジスタのDSADCK = 1により高速システム・クロック（ f_{MX} ）を使用する場合は，12 MHzを供給してください。

表16-1に24ビット $\Delta\Sigma$ A/Dコンバータの構成を、図16-1、図16-2に24ビット $\Delta\Sigma$ A/Dコンバータのブロック図を示します。

表16-1 24ビット $\Delta\Sigma$ A/Dコンバータの構成

項目	構成
アナログ入力	3チャンネル6入力（80ピン製品） 4チャンネル8入力（100ピン製品）
内部ユニット	プリアンプ部 $\Delta\Sigma$ A/Dコンバータ部 基準電圧発生部 位相調整部（PHC0, PHC1） デジタル・フィルタ部（DF） ハイパス・フィルタ部（HPF）

図16-1 24ビット $\Delta\Sigma$ A/Dコンバータのブロック図 (100ピン製品)

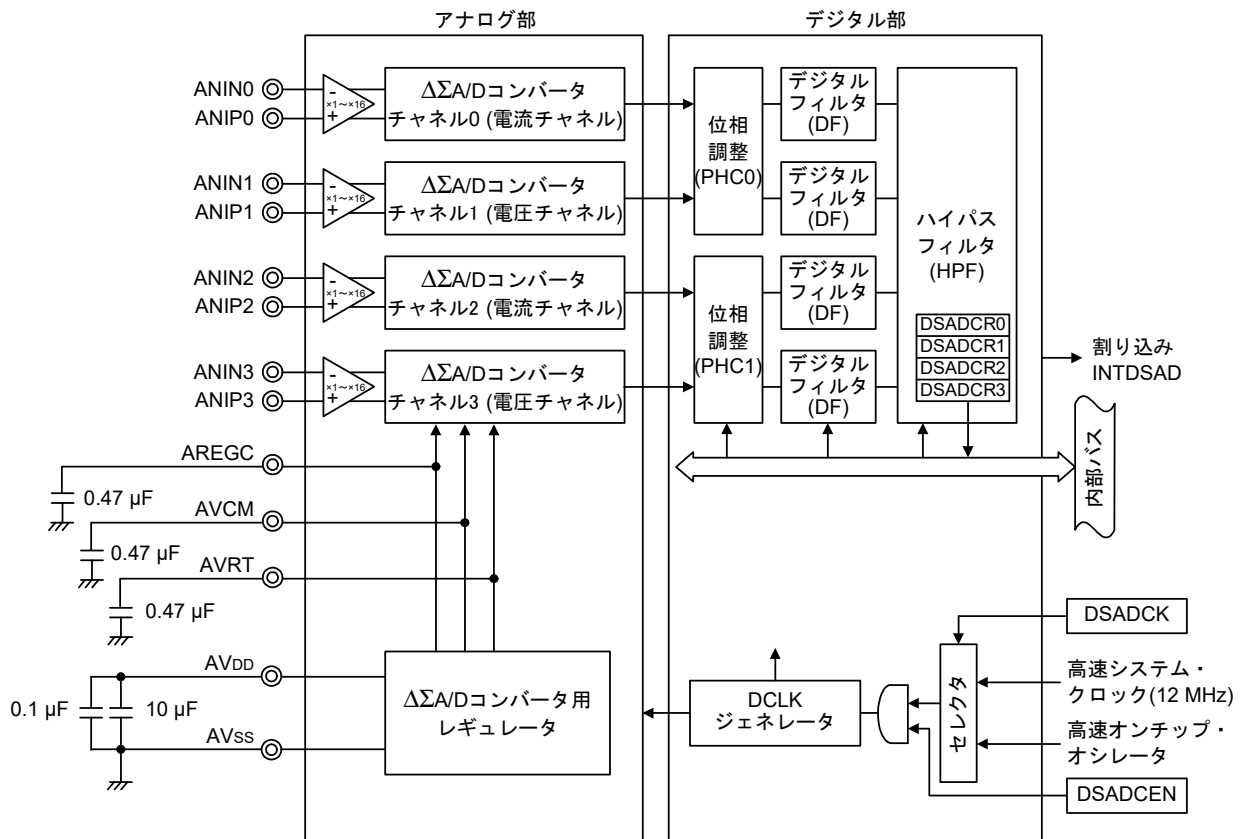
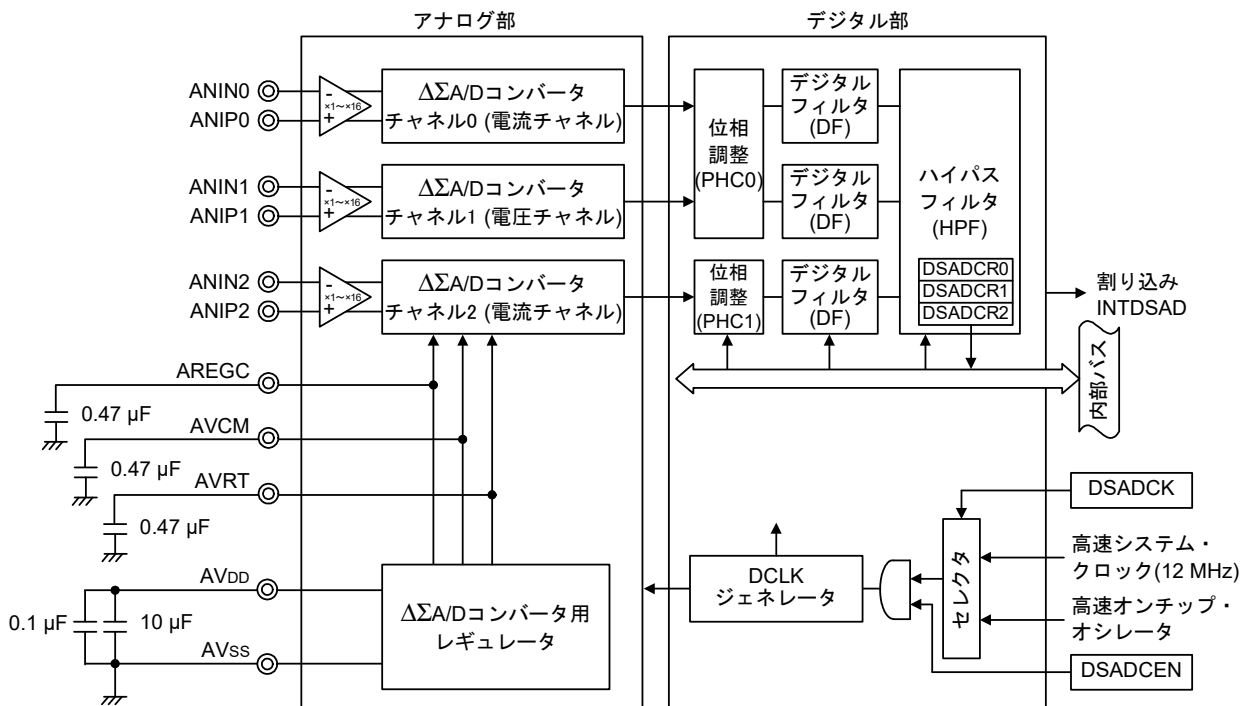


図16-2 24ビット $\Delta\Sigma$ A/Dコンバータのブロック図 (80ピン製品)



16.1.1 入出力端子

24ビット $\Delta\Sigma$ A/Dコンバータには、表16-2の入出力端子があります。

表16-2 端子構成

名称	記号	入出力	機能
アナログ入力正端子0~アナログ入力正端子3	ANIPn	入力	$\Delta\Sigma$ A/Dコンバータへのアナログ入力端子(正側入力) ^{注1, 2, 4}
アナログ入力負端子0~アナログ入力負端子3	ANINn	入力	$\Delta\Sigma$ A/Dコンバータへのアナログ入力端子(負側入力) ^{注1, 2, 4}
$\Delta\Sigma$ A/Dコンバータ用電源電圧端子	AREGC	—	$\Delta\Sigma$ A/Dコンバータ用電源電圧
同相電圧端子	AVCM	—	同相電圧
リファレンス電圧端子	AVRT	—	リファレンス電圧
アナログ電源端子	AVDD	—	アナログ電源 ^{注3}
アナログGND端子	AVSS	—	アナログGND

- 注1. 1チャンネル2入力であり、ANINn端子が負側入力、ANIPn端子が正側入力となります。
2. チャンネル0およびチャンネル2側が電流チャンネル、チャンネル1およびチャンネル3側が電圧チャンネルになります。
3. AVSS端子との間に安定化容量として10 μ F + 0.1 μ Fのコンデンサを接続してください。
4. 単相2線式メータでは、センサ遅延を考慮して端子を選択してください。

備考 100ピン製品はn = 0~3, 80ピン製品はn = 0~2

16.1.2 プリアンプ

ANINn, ANIPn端子に入力するアナログ入力信号を増幅するユニットです。

レジスタ設定により1倍, 2倍, 4倍, 8倍, 16倍, 32倍^注の切り替えが可能です。

注 電流チャンネル(チャンネル0, チャンネル2)のみ

備考 100ピン製品はn = 0~3, 80ピン製品はn = 0~2

16.1.3 $\Delta\Sigma$ A/Dコンバータ

$\Delta\Sigma$ A/Dコンバータ回路を4回路内蔵し、計4チャンネルのアナログ入力を2ビットのデジタル値へ変換します。

この4つの $\Delta\Sigma$ A/Dコンバータ回路は同期して動作し、それぞれの2ビットのデジタル値は、位相調整回路、デジタル・フィルタ、ハイパス・フィルタを通過して、各チャンネルの変換結果として、変換結果レジスタ(DSADCR0-DSADCR3)に格納されます。4チャンネル分の変換を終了するたびに、割り込み要求信号を発行して、CPUに対し変換結果の読み出しが可能であることを知らせます。サンプリング周波数(fs)は、3906.25 Hzと1953.125 Hzから選択可能です。サンプリング周波数によって、最大保留時間、オーバーサンプリング周波数は、下記のように可変します。最大保留時間までに $\Delta\Sigma$ A/D変換結果レジスタの読み出しを完了させてください。

サンプリング周波数 (fs)	最大保留時間	オーバーサンプリング周波数
3906.25 Hz (4kHzサンプリング)	192 μ s	1.5 MHz
1953.125 Hz (2kHzサンプリング)	384 μ s	750 kHz

16.1.4 基準電圧発生

基準電圧源（バンド・ギャップ・リファレンス回路）を内蔵し、基準電圧出力端子AVRTより出力します。外付け容量として0.47 μ Fのコンデンサを接続してください。

16.1.5 位相調整回路（PHC0, PHC1）

入力されるアナログ信号の位相を調整する機能です。384 fsを1ステップとして1151ステップまでアナログ信号間の位相を調整します。

外部部品（電流センサなど）により、入力アナログ信号間で位相ずれが生じます。この位相ずれにより、電力演算精度が低下するため、DSADPHC0, DSADPHC1レジスタを使用し、位相ずれを修正してください。

位相ずれの補正1ステップは、ライン周波数が60 Hzの場合は0.0144°, 50 Hzの場合0.0120°単位での調整が可能です。

位相調整回路は2回路（PHC0, PHC1）搭載されており、最大2入力信号に対して位相を調整できます。組み合わせは、ch0とch1の一方、ch2とch3の一方になります。

16.1.6 デジタル・フィルタ（DF）

$\Delta\Sigma$ A/Dコンバータ出力に含まれる高調波ノイズを除去し、かつデータ・レートを384分の1に間引きます。

16.1.7 ハイパス・フィルタ（HPF）

入力信号に含まれるDC成分およびアナログ回路で生じたDCオフセットを除去します。チャンネルごとにハイパス・フィルタの挿入／非挿入の選択が可能です。

16.2 レジスタの説明

表16-3に24ビット $\Delta\Sigma$ A/Dコンバータで使用するレジスタ一覧を示します。

表16-3 レジスタ一覧

項目	レジスタ名	
制御レジスタ	$\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR)	
	$\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ0 (DSADGCR0)	
	$\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ1 (DSADGCR1)	
	$\Delta\Sigma$ A/DコンバータHPFコントロール・レジスタ (DSADHPFCR)	
	$\Delta\Sigma$ A/Dコンバータ位相コントロール・レジスタ0 (DSADPHCR0)	
	$\Delta\Sigma$ A/Dコンバータ位相コントロール・レジスタ1 (DSADPHCR1)	
レジスタ	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ0L (DSADCR0L)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ0M (DSADCR0M)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ0H (DSADCR0H)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ1L (DSADCR1L)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ1M (DSADCR1M)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ1H (DSADCR1H)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ2L (DSADCR2L)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ2M (DSADCR2M)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ2H (DSADCR2H)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ3L (DSADCR3L)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ3M (DSADCR3M)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ3H (DSADCR3H)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ0 (DSADCR0)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ1 (DSADCR1)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ2 (DSADCR2)	
	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタ3 (DSADCR3)	
	制御レジスタ	周辺イネーブル・レジスタ1 (PER1)
		周辺クロック制御レジスタ (PCKC)

16.2.1 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR)

DSADMRレジスタは、 $\Delta\Sigma$ A/Dコンバータのモードを設定するレジスタです。サンプリング周期の選択、 $\Delta\Sigma$ A/Dコンバータの分解能選択、各チャンネルのパワーオン制御や動作許可制御を行います。

DSADMRレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、DSADMRレジスタは0000Hとなります。

図16-3 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) のフォーマット

アドレス：F03C0H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSADMR	DSAD FR	DSAD TYP	0	0	DSAD PON3	DSAD PON2	DSAD PON1	DSAD PON0	0	0	0	0	DSAD CE3	DSAD CE2	DSAD CE1	DSAD CE0

DSADFR	サンプリング周波数選択
0	3906.25 Hz
1	1953.125 Hz
サンプリング周波数を選択するビットです。	

DSADTYP	$\Delta\Sigma$ A/Dコンバータ変換結果レジスタの読み出し分解能の選択
0	24ビット分解能
1	16ビット分解能
DSADTYP = 0の場合： $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (DSADCRn) の読み出しにより、 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタの下部16ビットを読み出せます。上位8ビットはDSADCRnHを読み出してください。	
DSADTYP = 1の場合： $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ (DSADCRn) の読み出しにより、 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタの上部16ビットを読み出せます。	

DSADPON ^注	チャンネルnの $\Delta\Sigma$ A/Dコンバータパワーオン制御 (アナログ部)
0	パワーダウン
1	パワーオン

DSADCE ^注	チャンネルnの $\Delta\Sigma$ A/Dコンバータ動作許可 (アナログ、デジタル部)
0	電荷リセット
1	通常動作
$\Delta\Sigma$ A/Dコンバータの変換動作許可するビットです。アナログ部の電荷、デジタル部の変換結果をリセットします。 $\Delta\Sigma$ A/Dコンバータの電荷リセットを正常に行うためには、DSADCEnビットを1→0に設定後、1.4 μ s以上待ってから再変換してください。	

(注、注意、備考は次ページにあります。)

注 80ピン製品では、 $\Delta\Sigma$ A/Dコンバータ位相コントロール・レジスタ1 (DSADPHCR1) を使用して、電流チャンネル (I1 : チャンネル2) の位相調整を行う場合、 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) のDSADCE3ビットを必ず1に設定してください。それ以外では、DSADCE3ビットを必ず0に設定してください。

注意1. CPUクロック (fCLK) に12 MHzより早いクロックを選択時は、DSADMRレジスタに連続して書き込みをしないでください。連続して書き込みを行う場合は、書き込み間隔をfCLKで1サイクル以上空けてください。DSADPONnビットに0を設定してから $\Delta\Sigma$ A/DコンバータがパワーダウンするまでfCLKで3サイクル必要です。再度DSADPONnビットに1を設定する場合は、必ずfCLKで3サイクル以上空けてから $\Delta\Sigma$ A/Dコンバータをパワーオンするようにしてください。

2. ビット13, 12, 7-4には必ず0を設定してください。

備考 n = 0~3

表16-4 チャンネルモード表

DSADPON3-DSADPON0	チャンネル3	チャンネル2	チャンネル1	チャンネル0	チャンネルモード
0000B	—	—	—	—	パワーダウン
0001B	—	—	—	I0	
0010B	—	—	V0	—	
0011B	—	—	V0	I0	単相二線 I : 1チャンネル, V : 1チャンネル
0100B	—	I1	—	—	
0101B	—	I1	—	I0	
0110B	—	I1	V0	—	
0111B	—	I1	V0	I0	単相二線 I : 2チャンネル, V : 1チャンネル
1000B	V1	—	—	—	
1001B	V1	—	—	I0	
1010B	V1	—	V0	—	
1011B	V1	—	V0	I0	
1100B	V1	I1	—	—	単相二線 I : 1チャンネル, V : 1チャンネル
1101B	V1	I1	—	I0	単相二線 I : 2チャンネル, V : 1チャンネル
1110B	V1	I1	V0	—	
1111B	V1	I1	V0	I0	単相三線 I : 2チャンネル, V : 2チャンネル

注意 $\Delta\Sigma$ A/Dコンバータ・位相コントロール・レジスタ0 (DSADPHCR0) を使用して位相調整を行う場合は、 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) レジスタのDSADCE0ビット及びDSADCE1ビットを必ず“1”に設定してください。

特に単相二線 (I0 : チャンネル0, I1 : チャンネル2, V1 : チャンネル3) で使用する場合は、電流チャンネル (I0 : チャンネル0) に対して位相調整を行う場合は、DSADPHCCTL0 = 1, DSADPON0 = 1, DSADCE0 = 1, DSADPON1 = 0, DSADCE1 = 1の設定でご使用ください。

また、 $\Delta\Sigma$ A/Dコンバータ・位相コントロール・レジスタ1 (DSADPHCR1) を使用して位相調整を行う場合は、 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) のDSADCE2ビットおよびDSADCE3ビットを必ず“1”に設定してください。

特に単相二線 (I0 : チャンネル0, V0 : チャンネル1, I1 : チャンネル2) で使用する場合は、電流チャンネル (I1 : チャンネル2) に対して位相調整を行う場合は、DSADPHCCTL1 = 1, DSADPON2 = 1, DSADCE2 = 1, DSADPON3 = 0, DSADCE3 = 1の設定でご使用ください。

16.2.2 $\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ0 (DSADGCR0)

DSADGCR0レジスタは、チャンネル0とチャンネル1のプログラマブル・ゲイン・アンプのゲインを選択するレジスタです。

DSADGCR0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、DSADGCR0レジスタは00Hになります。

図16-4 $\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ0 (DSADGCR0) のフォーマット

アドレス : F03C2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DSADGCR0	0	DSADGAIN12	DSADGAIN11	DSADGAIN10	0	DSADGAIN02	DSADGAIN01	DSADGAIN00

DSADGAIN12	DSADGAIN11	DSADGAIN10	チャンネル1のプログラマブル・アンプ・ゲイン選択
ビット6	ビット5	ビット4	
0	0	0	PGAゲイン × 1
0	0	1	PGAゲイン × 2
0	1	0	PGAゲイン × 4
0	1	1	PGAゲイン × 8
1	0	0	PGAゲイン × 16
上記以外			設定禁止
PGAゲインを制御するビットです。設定可能なゲインは、× 1～ × 16です。			

DSADGAIN02	DSADGAIN01	DSADGAIN00	チャンネル0のプログラマブル・アンプ・ゲイン選択
ビット2	ビット1	ビット0	
0	0	0	PGAゲイン × 1
0	0	1	PGAゲイン × 2
0	1	0	PGAゲイン × 4
0	1	1	PGAゲイン × 8
1	0	0	PGAゲイン × 16
1	0	1	PGAゲイン × 32 ^注
上記以外			設定禁止
PGAゲインを制御するビットです。設定可能なゲインは、× 1～ × 32です。			

注 デジタルフィルタでゲインを2倍します（電流チャンネル（ch0, ch2）のみ）。

注意 ビット7, 3には必ず0を設定してください。

16.2.3 $\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ1 (DSADGCR1)

DSADGCR1レジスタは、チャンネル2とチャンネル3のプログラマブル・ゲイン・アンプのゲインを選択するレジスタです。

DSADGCR1は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、DSADGCR1レジスタは00Hになります。

図16-5 $\Delta\Sigma$ A/Dコンバータ・ゲイン・コントロール・レジスタ1 (DSADGCR1) のフォーマット

アドレス : F03C3H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
DSADGCR1	0	DSADGAIN32	DSADGAIN31	DSADGAIN30	0	DSADGAIN22	DSADGAIN21	DSADGAIN20

DSADGAIN32	DSADGAIN31	DSADGAIN30	チャンネル3のプログラマブル・アンプ・ゲイン選択
ビット6	ビット5	ビット4	
0	0	0	PGAゲイン × 1
0	0	1	PGAゲイン × 2
0	1	0	PGAゲイン × 4
0	1	1	PGAゲイン × 8
1	0	0	PGAゲイン × 16
上記以外			設定禁止
PGAゲインを制御するビットです。設定可能なゲインは、× 1~ × 16です。			

DSADGAIN22	DSADGAIN21	DSADGAIN20	チャンネル2のプログラマブル・アンプ・ゲイン選択
ビット2	ビット1	ビット0	
0	0	0	PGAゲイン × 1
0	0	1	PGAゲイン × 2
0	1	0	PGAゲイン × 4
0	1	1	PGAゲイン × 8
1	0	0	PGAゲイン × 16
1	0	1	PGAゲイン × 32 ^注
上記以外			設定禁止
PGAゲインを制御するビットです。設定可能なゲインは、× 1~ × 32です。			

注 デジタルフィルタでゲインを2倍します（電流チャンネル（ch0, ch2）のみ）。

注意 ビット7, 3には必ず0を設定してください。

16.2.4 $\Delta\Sigma$ A/DコンバータHPFコントロール・レジスタ (DSADHPFCR)

DSADHPFCRレジスタは、ハイパス・フィルタのカットオフ周波数の選択、各チャンネルのハイパス・フィルタの無効/有効を設定するレジスタです。

DSADHPFCRは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、DSADHPFCRレジスタは00Hになります。

図16-6 $\Delta\Sigma$ A/DコンバータHPFコントロール・レジスタ (DSADHPFCR) のフォーマット

アドレス : F03C5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DSADHPFCR	DSADCOF1	DSADCOF0	0	0	DSADTHR3	DSADTHR2	DSADTHR1	DSADTHR0

DSADCOF1	DSADCOF0	ハイパス・フィルタのカットオフ周波数選択
ビット7	ビット6	
0	0	0.607 Hz
0	1	1.214 Hz
1	0	2.429 Hz
1	1	4.857 Hz

DSADTHR3	チャンネル3のハイパス・フィルタ無効
0	ハイパス・フィルタを使用する
1	ハイパス・フィルタを使用しない

DSADTHR2	チャンネル2のハイパス・フィルタ無効
0	ハイパス・フィルタを使用する
1	ハイパス・フィルタを使用しない

DSADTHR1	チャンネル1のハイパス・フィルタ無効
0	ハイパス・フィルタを使用する
1	ハイパス・フィルタを使用しない

DSADTHR0	チャンネル0のハイパス・フィルタ無効
0	ハイパス・フィルタを使用する
1	ハイパス・フィルタを使用しない

注意 ビット5, 4には必ず0を設定してください。

備考 ハイパス・フィルタのカットオフ周波数を変更することで、ハイパス・フィルタの収束時間が変わります。カットオフ周波数が高いほど、収束時間は早くなります。

ハイパス・フィルタをクリアするには、周辺イネーブル・レジスタ (PRE1) のDSADENビットでリセットする必要があります。

16.2.5 $\Delta\Sigma$ A/Dコンバータ位相コントロール・レジスタ0 (DSADPHCR0)

DSADPHCR0レジスタは、位相調整回路へ入力するチャンネルの選択および位相調整量を設定するレジスタです。

DSADPHCR0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、DSADPHCR0レジスタは00Hになります。

図16-7 $\Delta\Sigma$ A/Dコンバータ位相コントロール・レジスタ0 (DSADPHCR0) のフォーマット

アドレス：F03C6H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSADPHCR0	DSAD					DSAD	DSAD	DSAD	DSAD	DSAD	DSAD	DSAD	DSAD	DSAD	DSAD	DSAD
	PHCC	0	0	0	0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0
	TL0					10	9	8	7	6	5	4	3	2	1	0

DSADPHCCTL0	PHC0入力チャンネル選択
0	電圧チャンネル選択 (V0 : チャンネル1)
1	電流チャンネル選択 (I0 : チャンネル0)

DSADPHC010- DSADPHC00 ^注	I0-V0の位相調整
000H	スルー (位相調整無し)
001H	1段分
:	:
47EH	1150段分
47FH	1151段分

アナログ部から入力される2ビット $\Delta\Sigma$ A/D変換データに対して位相調整します。
 DSADPHC010-DSADPHC00ビットで位相調整量を指定 (1段分 = 384 fs) します。
 調整値の計算式にはサンプリング周波数 (3906.25 Hz) がのるため、1段の補正で調整できる位相は、
 $1 [s] / (384 [fs] \times 3906.25 [Hz]) = 0.6667 [\mu s]$ です。
 例：V0をI0に対して100 μs 位相調整を行いたい場合、 $100/0.6667 = 150 [段]$ となるため、レジスタ設定値は96Hとなります。

注 480H以上は設定禁止です。

- 注意1. ビット14-11には必ず0を設定してください。
2. $\Delta\Sigma$ A/Dコンバータ・位相コントロール・レジスタ0 (DSADPHCR0) を使用して位相調整を行う場合は、 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) レジスタのDSADCE0ビットおよびDSADCE1ビットを必ず“1”に設定してください。
- 特に単相二線 (I0 : チャンネル0, I1 : チャンネル2, V1 : チャンネル3) で使用する場合で、電流チャンネル (I0 : チャンネル0) に対して位相調整を行う場合は、DSADPHCCTL0 = 1, DSADPON0 = 1, DSADCE0 = 1, DSADPON1 = 0, DSADCE1 = 1の設定でご使用ください。

16.2.6 ΔΣA/Dコンバータ位相コントロール・レジスタ1 (DSADPHCR1)

DSADPHCR1レジスタは、位相調整1回路へ入力するチャンネルの選択および位相調整量を設定するレジスタです。

DSADPHCR1は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、DSADPHCR1レジスタは0000Hになります。

図16-8 ΔΣA/Dコンバータ位相コントロール・レジスタ1 (DSADPHCR1) のフォーマット

アドレス : F03C8H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DSADPHCR1	DSAD PHCC TL1	0	0	0	0	DSAD PHC1	DSAD PHC1	DSAD PHC1	DSAD PHC1	DSAD PHC1	DSAD PHC1	DSAD PHC1	DSAD PHC1	DSAD PHC1	DSAD PHC1	DSAD PHC1	DSAD PHC1
						10	9	8	7	6	5	4	3	2	1	0	

DSADPHCCTL1	PHC1入力チャンネル選択
0	電圧チャンネル選択 (V1 : チャンネル3)
1	電流チャンネル選択 (I1 : チャンネル2)

DSADPHC110- DSADPHC10 ^注	I1-V1の位相調整
000H	スルー (位相調整無し)
001H	1段分
:	:
47EH	1150段分
47FH	1151段分

アナログ部から入力される2ビットΔΣA/D変換データに対して位相調整します。
 DSADPHC110-DSADPHC10ビットで位相調整量を指定 (1段分 = 384 fs) します。
 調整値の計算式にはサンプリング周波数 (3906.25 Hz) がのるため、1段の補正で調整できる位相は、
 $1 [s] / (384 [fs] \times 3906.25 [Hz]) = 0.6667 [\mu s]$ です。
 例 : V1をI1に対して100 μs位相調整を行いたい場合、 $100 / 0.6667 = 150 [段]$ となるため、レジスタ設定値は96Hとなります。

注 480H以上は設定禁止です。

- 注意1. ビット14-11には必ず0を設定してください。
- 2. ΔΣA/Dコンバータ・位相コントロール・レジスタ1 (DSADPHCR1) を使用して位相調整を行う場合は、ΔΣA/Dコンバータ・モード・レジスタ (DSADMR) レジスタのDSADCE2ビットおよびDSADCE3ビットを必ず“1”に設定してください。
 特に単相二線 (I0 : チャンネル0, V0 : チャンネル1, I1 : チャンネル2) で使用する場合で、電流チャンネル (I1 : チャンネル2) に対して位相調整を行う場合は、DSADPHCCTL1 = 1, DSADPON2 = 1, DSADCE2 = 1, DSADPON3 = 0, DSADCE3 = 1の設定でご使用ください。

16.2.7 ΔΣA/Dコンバータ変換結果レジスタn (DSADCRnL, DSADCRnM, DSADCRnH) (n = 0, 1, 2, 3)

DSADCRn (H/M/L) レジスタは、各チャンネルのΔΣA/Dコンバータの変換結果を保持する24ビット・レジスタです。

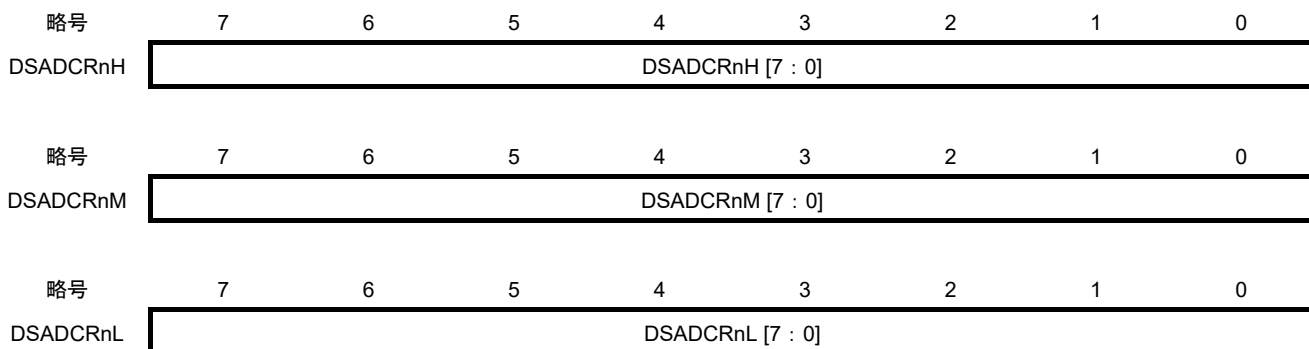
DSADCRnL, DSADCRnM, DSADCRnHレジスタは、それぞれ8ビット・メモリ操作命令で読み出せます。ΔΣA/Dコンバータ・モード・レジスタ (DSADMR) のDSADTYPビットの設定によりΔΣA/Dコンバータの変換結果の読み出し動作が異なります。

ΔΣA/Dコンバータ・モード・レジスタ (DSADMR) のDSADCEnビットを0にするか、またはリセット信号の発生によりDSADCRnL, DSADCRnM, DSADCRnHレジスタは、00Hに初期化されます。

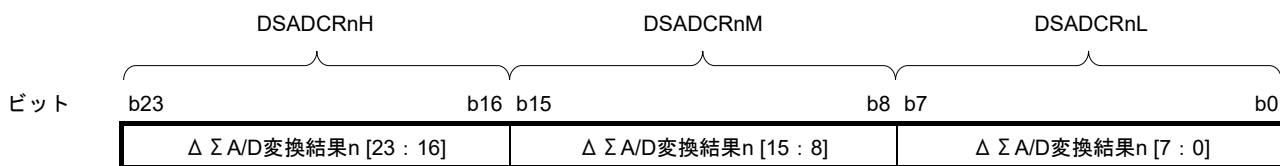
図16-9 ΔΣA/Dコンバータ変換結果レジスタn
(DSADCRnL, DSADCRnM, DSADCRnH) (n = 0, 1, 2, 3) のフォーマット

アドレス : F03D0H (DSADCR0L) F03D1H (DSADCR0M) F03D2H (DSADCR0H)
 F03D4H (DSADCR1L) F03D5H (DSADCR1M) F03D6H (DSADCR1H)
 F03D8H (DSADCR2L) F03D9H (DSADCR2M) F03DAH (DSADCR2H)
 F03DCH (DSADCR3L) F03DDH (DSADCR3M) F03DEH (DSADCR3H)

リセット時 : 00H R



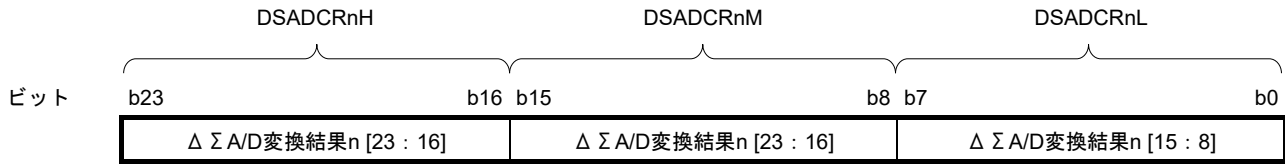
・24ビット分解能設定時 (DSADMRレジスタのDSADTYP = 0)



ビット	シンボル	チャンネルnの変換結果
b7-b0	DSADCRnL [7 : 0]	チャンネルnの変換結果ビット7-0
b15-b8	DSADCRnM [7 : 0]	チャンネルnの変換結果ビット15-8
b23-b16	DSADCRnH [7 : 0]	チャンネルnの変換結果ビット23-16

(注意は次ページにあります。)

- 16ビット分解能設定時 (DSADMRレジスタのDSADTYP = 1)



ビット	シンボル	チャンネルnの変換結果
b7-b0	DSADCRnL [7 : 0]	チャンネルnの変換結果ビット15-8
b15-b8	DSADCRnM [7 : 0]	チャンネルnの変換結果ビット23-16
b23-b16	DSADCRnH [7 : 0]	チャンネルnの変換結果ビット23-16

注意 必ずΔΣA/D変換完了割り込みが発生してから、ΔΣA/Dコンバータ変換結果レジスタの最大保留時間内に読み出してください。

16.2.8 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタn (DSADCRn) (n = 0, 1, 2, 3)

DSADCRnレジスタは、各チャンネルの変換結果を16ビット・メモリ操作命令でアクセスするためのレジスタです。

DSADCRnレジスタは、それぞれ16ビット・メモリ操作命令で読み出せます。 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) のDSADTYPビットの設定により、 $\Delta\Sigma$ A/Dコンバータの変換結果の読み出し動作が異なります。

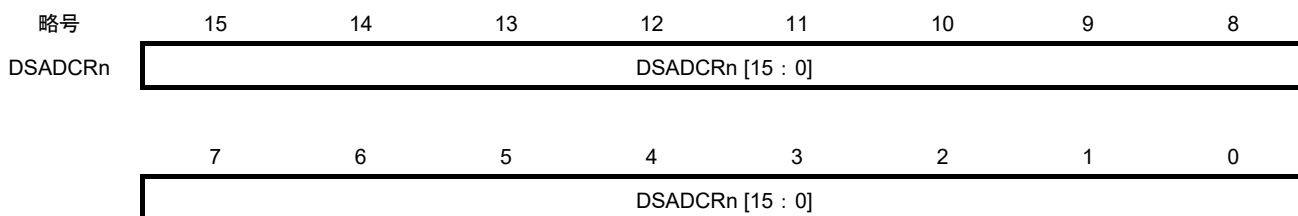
$\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) のDSADCEnビットを0にするか、またはリセット信号の発生により、DSADCRnレジスタは0000Hに初期化されます。

図16-10 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタn (DSADCRn) (n = 0, 1, 2, 3) のフォーマット

アドレス : F03D0H (DSADCR0) F03D4H (DSADCR1) F03D8H (DSADCR2)

F03DCH (DSADCR3)

リセット時 : 0000H R



・24ビット分解能設定時 (DSADMRレジスタのDSADTYP = 0) 注

ビット	シンボル	チャンネルnの変換結果
b15-b0	DSADCRn [15 : 0]	チャンネルnの変換結果ビット15-0

・16ビット分解能設定時 (DSADMRレジスタのDSADTYP = 1) 注

ビット	シンボル	チャンネルnの変換結果
b15-b0	DSADCRn [15 : 0]	チャンネルnの変換結果ビット23-8

注 $\Delta\Sigma$ A/D変換結果へのアクセスはDSADMRレジスタのDSADTYPの設定で変わります

- ・DSADTYP = 0 : 下位16ビットを読み出すことができます。
上位8ビットはDSADCRnHを読み出してください。
- ・DSADTYP = 1 : 上位16ビットを読み出すことができます。

注意 必ず $\Delta\Sigma$ A/D変換完了割り込みが発生してから、 $\Delta\Sigma$ A/Dコンバータ変換結果レジスタの最大保留時間内に読み出してください。

16.2.9 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

24ビット $\Delta\Sigma$ A/Dコンバータを使用するときは、必ずビット0 (DSADEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00HIになります。

図16-11 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	2	1	[0]
PER1	TMKAEN	FMCEN	CM PEN	OSDCEN	DTCEN	0	0	DSADEN

DSADEN	24ビット $\Delta\Sigma$ A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・24ビット $\Delta\Sigma$ A/Dコンバータで使用するSFRへのライト不可 ・24ビット $\Delta\Sigma$ A/Dコンバータはリセット状態
1	入カクロック供給 ・24ビット $\Delta\Sigma$ A/Dコンバータで使用するSFRへのリード／ライト可

注意1. 24ビット $\Delta\Sigma$ A/Dコンバータの設定をする際には、必ず最初にDSADEN = 1の設定を行ってください。

DSADEN = 0の場合は、 $\Delta\Sigma$ A/Dコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

- ビット2, 1には必ず0を設定してください。
- 入カクロックに高速オンチップ・オシレータが選択されている場合、必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させ、周波数精度の高いクロックを入力してください。

16.2.10 周辺クロック制御レジスタ (PCKC)

周辺クロックを制御するレジスタです。ビット0で24ビット $\Delta\Sigma$ A/Dコンバータのクロックを選択します。

PCKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-12 周辺クロック制御レジスタ (PCKC) のフォーマット

アドレス : F0098H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PCKC	0	0	0	0	0	0	0	DSADCK

DSADCK	24ビット $\Delta\Sigma$ A/Dコンバータの動作クロックの選択
0	高速オンチップ・オシレータ・クロック (f_{IH}) 供給。(f_{MX} 供給停止) 注1
1	高速システム・クロック供給 (f_{MX}) 供給注2

注1. 高速オンチップ・オシレータ・クロックを選択時は、必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させてください。

2. 高速システム・クロックの周波数 (f_{MX}) は水晶発振子12 MHzのみ使用可能です。

注意 ビット7-1には必ず0を設定してください。

16.3 動作説明

24ビット $\Delta\Sigma$ A/Dコンバータは、4本の $\Delta\Sigma$ A/Dコンバータ変換結果としてデジタル信号の入力端子を持ちます。この $\Delta\Sigma$ A/Dコンバータ結果から2ビット値をデジタルフィルタに通すことで、24ビットのデジタル値に変換します。

アナログ部の $\Delta\Sigma$ A/Dコンバータのモード設定はDSADMR, DSADGCR0, DSADGCR1レジスタの値によって決まります。表16-5にモード設定表を示します。

表16-5 モード設定表

信号／モード	①通常	② $\Delta\Sigma$ A/D変換停止	③パワーダウン
DSADGAINn2-DSADGAINn0	任意	任意	任意
DSADPONn	1	1	0
DSADCEn	1	0	0

備考 n = 0~3

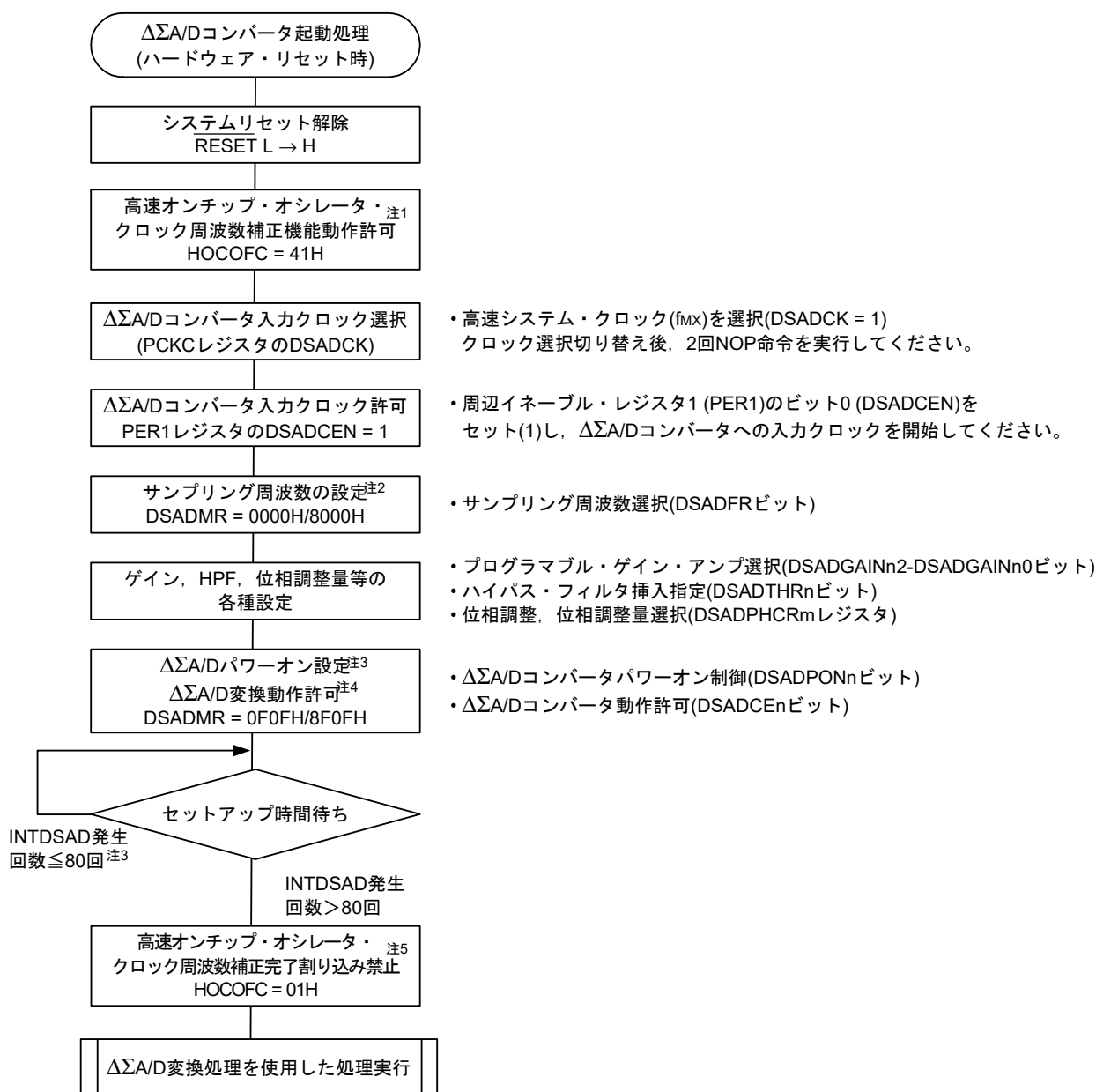
16.3.1 24ビット $\Delta\Sigma$ A/Dコンバータの動作

高速オンチップ・オシレータ・クロック (f_{IH}) を選択する場合は、 $\Delta\Sigma$ A/Dコンバータを動作させる前に、「6.3.2 動作手順」に従い必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させてください。

高速システム・クロック (f_{MX}) を選択する場合は、クロック選択切り替え後に2回NOP命令を実行してください。

DSADMRレジスタのDSADPONnビット ($n = 0\sim3$)、DSADCEnビットに1を設定することにより、変換動作を開始します。パワーオン後および変換開始後は、アナログ部やデジタルフィルタ部のセットアップ時間が必要になります。次のフローに従い初期設定を行ってください。

図16-13 初期設定フロー図



(注、備考は次ページにあります。)

- 注1. 高速オンチップ・オシレータ・クロックを選択する場合のみ、 $\Delta\Sigma$ A/Dコンバータを動作させる前に必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させてください。
2. $\Delta\Sigma$ A/Dコンバータがパワーダウン中に設定してください。
3. DSADPONnを0 → 1にした場合のセットアップ時間（INTDSAD発生回数）は、評価後正式決定します。
4. 初期化のために一時停止（DSADPONn = 1状態でDSADCEn = 0）にした後、再起動した場合も、セットアップ時間待ちは必要です。この場合はコンバータの安定時間が必要なため、INTDSAD1発分をセットアップ時間としてウェイトしてください。
初期化するためには、1.4 μ s以上DSADCEnを0の状態にしてください。
5. 高速オンチップ・オシレータ・クロックを選択する場合のみ実施してください。

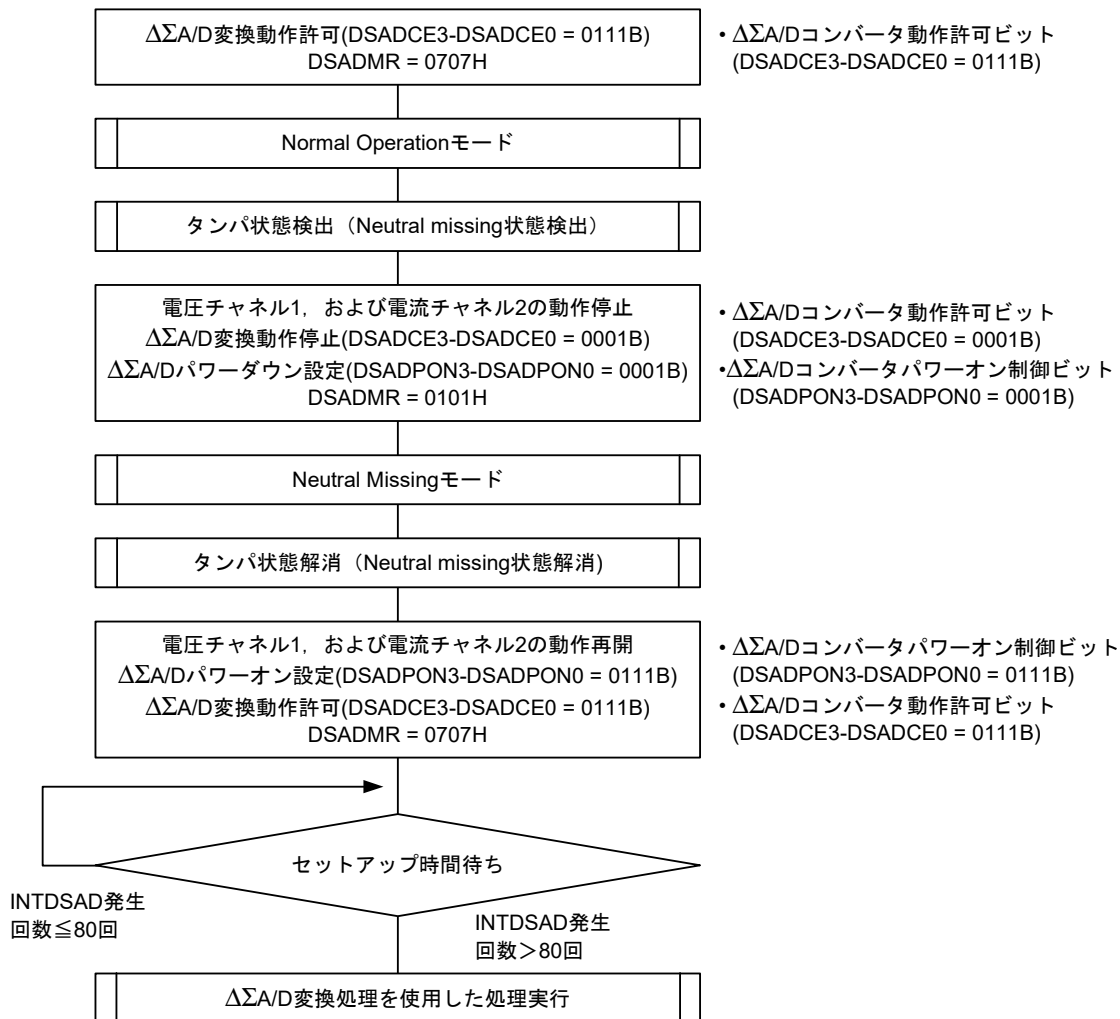
備考 n = 0~3, m = 0, 1

16.3.2 Normal OperationモードからNeutral Missingモードへの切替手順

単相二線におけるNormal Operation（アンチタンパ有り）（電流チャンネル0，電圧チャンネル1，電流チャンネル2合計3チャンネル動作）からNeutral Missingモード（電流チャンネル0のみ動作）への切り替え手順を図16-14に示します。

Neutral Missingモードは電流チャンネル0のみ動作と電流チャンネル2のみ動作があり，同様の手順で切り替えてください。

図16-14 Normal OperationからNeutral Missingモードへの切替手順

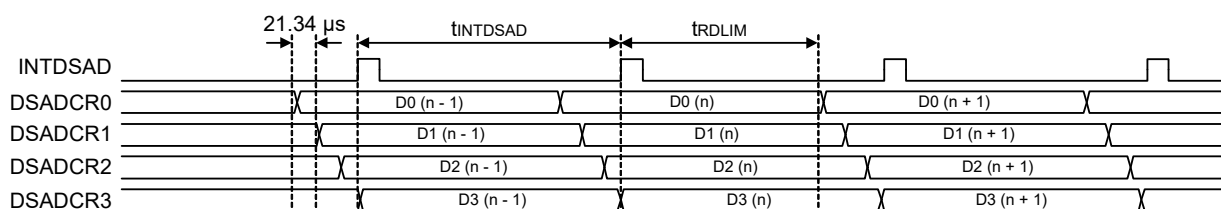


16.3.3 割り込み動作

$\Delta\Sigma$ A/D変換動作を許可すると、4チャンネルのアナログ入力端子（ANINn, ANIPn）の変換を開始します。 $\Delta\Sigma$ A/Dコンバータ回路を4セット内蔵しており、それぞれ独立して変換を実施します。全4チャンネル分の変換を終了するたびに、割り込み要求信号（INTDSAD）を発行して、CPUに対し変換結果の読み出しが可能であることを知らせます。

INTDSADの発生周期（ $t_{INTDSAD}$ ）は、DSADMRレジスタのDSADFRビットで指定するサンプリング周波数により異なります。また、割り込み処理により $\Delta\Sigma$ A/Dコンバータ変換結果レジスタ（DSADCRn）を読み出す場合、最大保留時間は図16-15に示す値になりますので、それまでにDSADCRnレジスタの読み出しを完了させてください。

図16-15 INTDSAD信号発生とDSADCRnレジスタ格納タイミング



$t_{INTDSAD}$: 割り込み発生周期 : 256 μ s (DSADFR = 0)

512 μ s (DSADFR = 1)

$t_{RD LIM}$: DSADCR読み出し保留時間 (max) : 192 μ s (DSADFR = 0)

384 μ s (DSADFR = 1)

備考 n = 0~3

16.3.4 スタンバイ時の動作

STOP動作モード時は、 $\Delta\Sigma$ A/Dコンバータ、デジタルフィルタは動作しません。消費電流を低減させるため、STOP命令実行前に $\Delta\Sigma$ A/Dコンバータの動作を停止（DSADMRレジスタのDSADCEn = 0000B）およびパワーダウン（DSADMRレジスタのDSADPONn = 0000B）させてください。

備考 n = 0~3

16.4 24ビット $\Delta\Sigma$ A/Dコンバータ使用上の注意事項

16.4.1 外部端子

AV_{DD}端子は $\Delta\Sigma$ A/Dコンバータのアナログ電源端子です。 $\Delta\Sigma$ A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

AV_{SS}端子は $\Delta\Sigma$ A/Dコンバータのグランド電源端子です。 $\Delta\Sigma$ A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

16.4.2 SFRアクセス

- (1) DSADCR_nレジスタの読み出しは、 $\Delta\Sigma$ A/D変換終了割り込み (INTDSAD) 処理にて行ってください。
 $\Delta\Sigma$ A/D変換完了割り込み発生前にDSADCR_nレジスタを読み出した場合、DSADCR_nレジスタへの変換値格納と読み出しの競合により、不正な値を読み出すことがあります。INTDSAD処理でのDSADCR_nレジスタの読み出し保留期間は、
192 μ s (DSADFR = 0設定時)
384 μ s (DSADFR = 1設定時)
になりますので、それまでにDSADCR_nレジスタの読み出しを完了させてください。
- (2) パワーオン (DSADMRレジスタのDSADPON_n = 1) 後、 $\Delta\Sigma$ A/Dコンバータ内部のセットアップ時間が必要になるため、最初の80変換は無効データになります。
- (3) 初期化のために一時停止 (DSADMRレジスタのDSADCE_nビット = 0, DSADPON_n = 1状態) した後、再起動した場合もセットアップ時間待ちは必要です。この場合はコンバータの安定時間が必要なため、INTDSAD1発分をセットアップ時間としてウェイトしてください。初期化するためには1.4 μ s以上、DSADCE_n = 0の状態にしてください。
- (4) 変換動作許可 (DSADCE_nビット = 1) 後、正常なデータが出力されるまでの時間は、その時のアナログ入力状態に依存します。これはアナログ入力状態によりハイパス・フィルタの安定時間が変化するためです。
- (5) 変換速度の設定はDSADMRレジスタのDSADPON_nビットが0の状態を実施してください。ゲインの設定およびDSADPHCR0, DSADPHCR1レジスタの設定は、必ず変換停止 (DSADCE_n = 0) 状態を実施してください。
- (6) DSADCR_nレジスタはDSADCE_nビット = 0時に初期化されるため、DSADCR_nレジスタの読み出しはDSADCE_nビット = 1の状態を実施してください。
- (7) ソフトウェアSTOPモードに移行する前に、DSADMRレジスタのDSADPON_nビット = 0にしてください。DSADPON_nビット = 1の状態ではソフトウェアSTOPモードに入ると電流が流れます。

備考 n = 0~3

16.4.3 動作クロックの設定

PCKCレジスタのDSADCK = 1により高速システム・クロック (f_{MX}) を使用する場合は、12 MHzを供給してください。

また、高速オンチップ・オシレータ・クロック (f_{IH}) を選択する場合は、必ず高速オンチップ・オシレータ・クロック周波数補正機能を動作させてください。

- 注1. 動作開始後80回分のINTDSAD信号をカウントし、それ以降のINTDSAD信号発生から変換データを取り込んでください。セットアップ時間は変更の可能性があります。使用する前に、当社まで確認してください。
2. 安定時間については、使用する環境に合わせて十分な評価を行ってください。

24ビット $\Delta\Sigma$ A/Dコンバータを動作中から停止する場合は、DSADMRレジスタのDSADPON3-DSADPON0ビットに0000Bを設定後、PER1レジスタのDSADCENビットに0を設定してください。

16.4.4 単相二線式における位相調整

$\Delta\Sigma$ A/Dコンバータ・位相コントロール・レジスタ0 (DSADPHCR0) を使用して位相調整を行う場合は、 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) レジスタのDSADCE0ビットおよびDSADCE1ビットを必ず“1”に設定してください。

特に単相二線 (I0 : チャネル0, I1 : チャネル2, V1 : チャネル3) で使用する場合は、電流チャネル (I0 : チャネル0) に対して位相調整を行う場合は、DSADPHCCTL0 = 1, DSADPON0 = 1, DSADCE0 = 1, DSADPON1 = 0, DSADCE1 = 1の設定でご使用ください。

また、 $\Delta\Sigma$ A/Dコンバータ・位相コントロール・レジスタ1 (DSADPHCR1) を使用して位相調整を行う場合は、 $\Delta\Sigma$ A/Dコンバータ・モード・レジスタ (DSADMR) レジスタのDSADCE2ビットおよびDSADCE3ビットを必ず“1”に設定してください。

特に単相二線 (I0 : チャネル0, V0 : チャネル1, I1 : チャネル2) で使用する場合は、電流チャネル (I1 : チャネル2) に対して位相調整を行う場合は、DSADPHCCTL1 = 1, DSADPON2 = 1, DSADCE2 = 1, DSADPON3 = 0, DSADCE3 = 1の設定でご使用ください。

第17章 コンパレータ

コンパレータはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータ0とコンパレータ1の独立した2つのコンパレータで構成されています。

17.1 コンパレータの機能

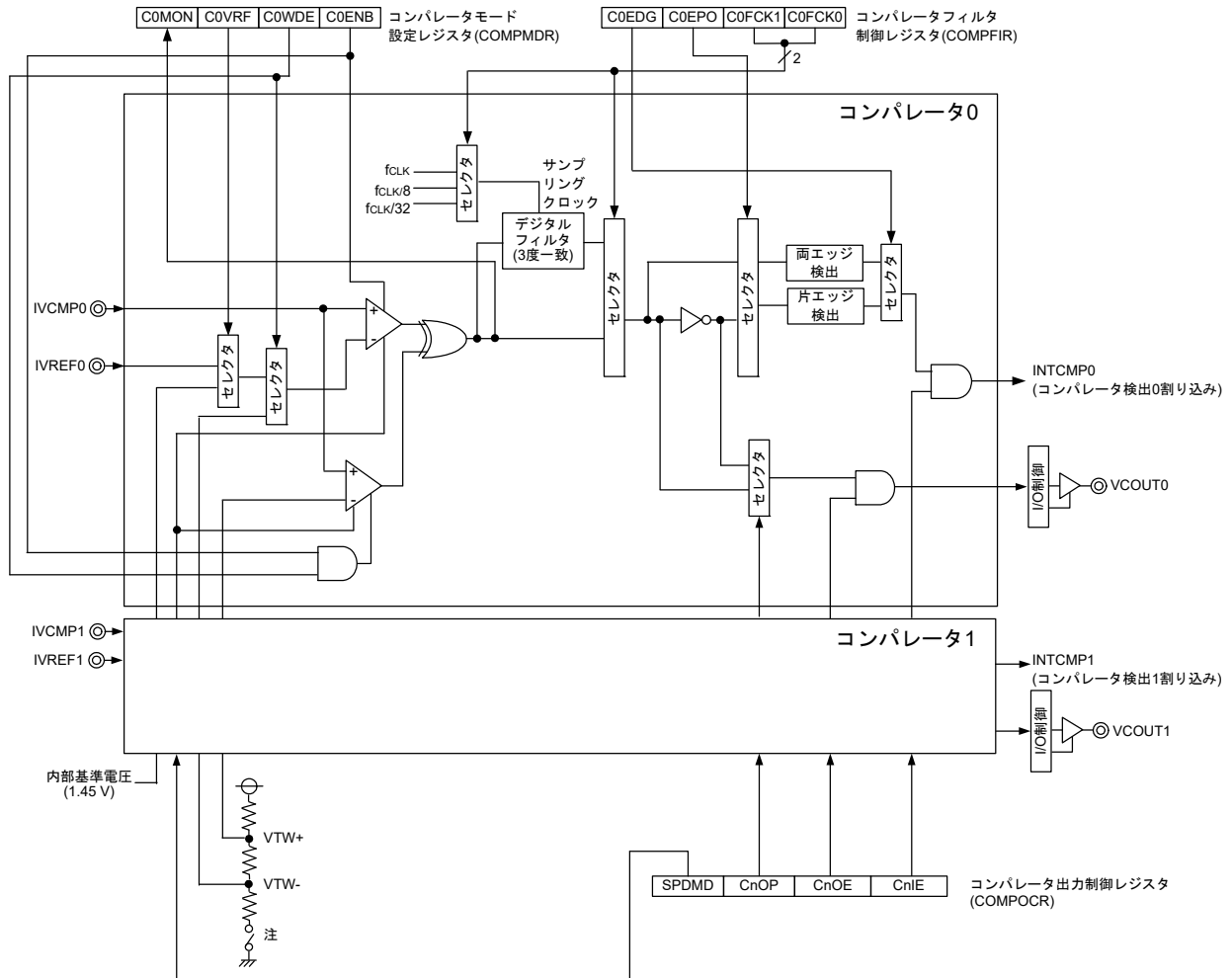
コンパレータには、次のような機能があります。

- ・コンパレータ高速モード/コンパレータ低速モード/コンパレータウィンドウモードが選択できます。
- ・基準電圧には外部基準電圧入力と内部基準電圧が選択できます。
- ・ノイズ除去デジタルフィルタの除去幅が選択できます。
- ・コンパレータ出力の有効エッジを検出し、割り込み信号を発生できます。

17.2 コンパレータの構成

図17-1にコンパレータのブロック図を示します。

図17-1 コンパレータのブロック図



注 C0WDEビット, C1WDEビットのいずれか一方又は両方を1にすると, このスイッチはONになり, 比較電圧発生用分割抵抗が有効になります。

備考 n = 0, 1

17.3 コンパレータを制御するレジスタ

表17-1にコンパレータを制御するレジスタを示します。

表17-1 コンパレータを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
コンパレータ・モード設定レジスタ	COMPMDR
コンパレータ・フィルタ制御レジスタ	COMPFIR
コンパレータ出力制御レジスタ	COMPOCR
A/Dポート・コンフィギュレーション・レジスタ	ADPC
ポート・モード・レジスタ0, 2	PM0, PM2
ポート・レジスタ0, 2	P0, P2

17.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは、必ずビット5 (CMPEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	FMCEN	CMPEN	OSDCEN	DTCEN	0	0	DSADCEN

CMPEN	コンパレータの入カクロックの制御
0	入カクロック供給停止 ・コンパレータで使用するSFRへのライト不可 ・コンパレータはリセット状態
1	入カクロック供給 ・コンパレータで使用するSFRへのリード/ライト可

注意1. コンパレータの設定をする際には、必ず最初にCMPEN = 1の設定を行ってください。

CMPEN = 0の場合は、コンパレータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (A/Dポート・コンフィギュレーション・レジスタ (ADPC) , ポート・モード・レジスタ0, 2 (PM0, PM2) , ポート・レジスタ0, 2 (P0, P2) は除く)。

- ・コンパレータ・モード設定レジスタ (COMPMDR)
- ・コンパレータ・フィルタ制御レジスタ (COMPFIR)
- ・コンパレータ出力制御レジスタ (COMPOCR)

2. ビット2, 1には必ず“0”を設定してください。

17.3.2 コンパレータ・モード設定レジスタ (COMPMDR)

図17-3 コンパレータ・モード設定レジスタ (COMPMDR) のフォーマット

アドレス : F0340H リセット時 : 00H R/W

略号	[7]	6	5	[4]	[3]	2	1	[0]
COMPMDR	C1MON	C1VRF	C1WDE	C1ENB	C0MON	C0VRF	C0WDE	C0ENB

C1MON	コンパレータ1モニタフラグ ^{注3,7}
0	基本モード時 : IVCMP1 < コンパレータ1リファレンス電圧 または コンパレータ1停止 ウィンドウモード時 : IVCMP1 < 低電圧側リファレンス または IVCMP1 > 高電圧側リファレンス
1	基本モード時 : IVCMP1 > コンパレータ1リファレンス電圧 ウィンドウモード時 : 低電圧側リファレンス < IVCMP1 < 高電圧側リファレンス

C1VRF	コンパレータ1リファレンス電圧選択 ^{注1,4,5,6}
0	コンパレータ1リファレンス電圧はIVREF1入力
1	コンパレータ1リファレンス電圧は内部基準電圧 (1.45 V)

C1WDE	コンパレータ1ウィンドウモード選択 ^{注2}
0	コンパレータ1基本モード
1	コンパレータ1ウィンドウモード

C1ENB	コンパレータ1動作許可
0	コンパレータ1動作禁止
1	コンパレータ1動作許可

C0MON	コンパレータ0モニタフラグ ^{注3,7}
0	基本モード時 : IVCMP0 < コンパレータ0リファレンス電圧 または コンパレータ0停止 ウィンドウモード時 : IVCMP0 < 低電圧側リファレンス または IVCMP0 > 高電圧側リファレンス
1	基本モード時 : IVCMP0 > コンパレータ0リファレンス電圧 ウィンドウモード時 : 低電圧側リファレンス < IVCMP0 < 高電圧側リファレンス

(注は次ページにあります。)

C0VRF	コンパレータ0リファレンス電圧選択 ^{注1, 4, 5, 6}
0	コンパレータ0リファレンス電圧はIVREF0入力
1	コンパレータ0リファレンス電圧は内部基準電圧 (1.45 V)

C0WDE	コンパレータ0ウィンドウモード選択 ^{注2}
0	コンパレータ0基本モード
1	コンパレータ0ウィンドウモード

C0ENB	コンパレータ0動作許可
0	コンパレータ0動作禁止
1	コンパレータ0動作許可

- 注1. 基本モード選択時のみ有効です。ウィンドウモードでは、本ビットの設定に関わらずコンパレータ内のリファレンス電圧が選択されます。
2. 低速モード選択時（COMPOCRレジスタのSPDMDビットが0）はウィンドウモードにできません。
3. リセット解除直後は初期値“0”ですが、一度コンパレータを動作許可にした後にC0ENB = 0かつC1ENB = 0の設定にすると値は不定となります。
4. HS（高速メイン）モードの時に内部基準電圧（1.45 V）が選択可能です。
5. STOPモード時は、内部基準電圧を選択しないでください。
6. CPUクロックにサブシステム・クロック（f_{XT}）を選択し、高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）がともに停止している場合は、内部基準電圧を選択しないでください。
7. このビットに書き込まれた値は無視されます。

17.3.3 コンパレータ・フィルタ制御レジスタ (COMPFIR)

図17-4 コンパレータ・フィルタ制御レジスタ (COMPFIR) のフォーマット

アドレス : F0341H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPFIR	C1EDG	C1EPO	C1FCK1	C1FCK0	C0EDG	C0EPO	C0FCK1	C0FCK0

C1EDG	コンパレータ1エッジ検出選択 ^{注1}	
0	コンパレータ1片エッジ検出での割り込み要求	
1	コンパレータ1両エッジ検出での割り込み要求	

C1EPO	コンパレータ1エッジ極性切り替え ^{注1}	
0	コンパレータ1立ち上がりエッジで割り込み要求	
1	コンパレータ1立ち下がりエッジで割り込み要求	

C1FCK1	C1FCK0	コンパレータ1フィルタ選択 ^{注1}
0	0	コンパレータ1フィルタなし
0	1	コンパレータ1フィルタあり, fCLKでサンプリング
1	0	コンパレータ1フィルタあり, fCLK/8でサンプリング
1	1	コンパレータ1フィルタあり, fCLK/32でサンプリング

C0EDG	コンパレータ0エッジ検出選択 ^{注2}	
0	コンパレータ0片エッジ検出での割り込み要求	
1	コンパレータ0両エッジ検出での割り込み要求	

C0EPO	コンパレータ0エッジ極性切り替え ^{注2}	
0	コンパレータ0立ち上がりエッジで割り込み要求	
1	コンパレータ0立ち下がりエッジで割り込み要求	

C0FCK1	C0FCK0	コンパレータ0フィルタ選択 ^{注2}
0	0	コンパレータ0フィルタなし
0	1	コンパレータ0フィルタあり, fCLKでサンプリング
1	0	コンパレータ0フィルタあり, fCLK/8でサンプリング
1	1	コンパレータ0フィルタあり, fCLK/32でサンプリング

- 注1. C1FCK1-C1FCK0ビット, C1EPOビット, C1EDGビットを変更するとコンパレータ1割り込み要求を発生することがあります。割り込み要求フラグ・レジスタ2L (IF2L) のビット7 (CMPIF1) をクリア (0) してください。また, C1FCK1-C1FCK0ビットを00B (コンパレータ1フィルタなし) から00B以外 (コンパレータ1フィルタあり) に変更した場合は, フィルタ出力が更新されるまでのサンプリング4回を経過した後に, コンパレータ1割り込み要求を使用してください。
2. C0FCK1-C0FCK0ビット, C0EPOビット, C0EDGビットを変更するとコンパレータ0割り込み要求を発生することがあります。割り込み要求フラグ・レジスタ2L (IF2L) のビット6 (CMPIF0) をクリア (0) してください。また, C0FCK1-C0FCK0ビットを00B (コンパレータ0フィルタなし) から00B以外 (コンパレータ0フィルタあり) に変更した場合は, フィルタ出力が更新されるまでのサンプリング4回を経過した後に, コンパレータ0割り込み要求を使用してください。

17.3.4 コンパレータ出力制御レジスタ (COMPOCR)

図17-5 コンパレータ出力制御レジスタ (COMPOCR) のフォーマット

アドレス : F0342H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPOCR	SPDMD	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE

SPDMD	コンパレータ速度選択 ^{注1}
0	コンパレータ低速モード
1	コンパレータ高速モード

C1OP	VCOUT1出力極性選択
0	コンパレータ1出力をVCOUT1へ出力
1	コンパレータ1出力の反転をVCOUT1へ出力

C1OE	VCOUT1端子出力許可
0	コンパレータ1のVCOUT1端子出力禁止
1	コンパレータ1のVCOUT1端子出力許可

C1IE	コンパレータ1割り込み要求許可 ^{注2}
0	コンパレータ1割り込み要求禁止
1	コンパレータ1割り込み要求許可

C0OP	VCOUT0出力極性選択
0	コンパレータ0出力をVCOUT0へ出力
1	コンパレータ0出力の反転をVCOUT0へ出力

C0OE	VCOUT0端子出力許可
0	コンパレータ0のVCOUT0端子出力禁止
1	コンパレータ0のVCOUT0端子出力許可

C0IE	コンパレータ0割り込み要求許可 ^{注3}
0	コンパレータ0割り込み要求禁止
1	コンパレータ0割り込み要求許可

注1. SPDMDビットを書き換える場合は、必ずCOMPMDRレジスタのCiENBビット (i = 0, 1) を0にしてから書き換えてください。

2. C1IEを0 (割り込み要求禁止) から1 (割り込み要求許可) にした場合、割り込み要求フラグ・レジスタ2L (IF2L) のビット7 (CMPIF1) が1 (割り込み要求あり) になることがありますので、割り込み要求フラグ・レジスタ2L (IF2L) のビット7 (CMPIF1) をクリア (0) してから割り込みを使用してください。

3. C0IEを0 (割り込み要求禁止) から1 (割り込み要求許可) にした場合、割り込み要求フラグ・レジスタ2L (IF2L) のビット6 (CMPIF0) が1 (割り込み要求あり) になることがありますので、割り込み要求フラグ・レジスタ2L (IF2L) のビット6 (CMPIF0) をクリア (0) してから割り込みを使用してください。

17.3.5 アナログ入力端子のポート機能を制御するレジスタ

IVCMP0, IVCMP1端子, IVREF0, IVREF1端子をコンパレータのアナログ入力として使用するとき、各ポートに対応するA/Dポート・コンフィギュレーション・レジスタ (ADPC) をアナログ入力チャンネルに設定し、ポート・モード・レジスタ (PMxx) を入力モードに設定してください。

VCOUT0, VCOUT1機能を使用する場合は、対象チャンネルと兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx) , ポート・レジスタ (Pxx)) を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx) , 4.3.2 ポート・レジスタ (Pxx) を参照してください。

17.4 動作説明

コンパレータ0とコンパレータ1はそれぞれ独立して動作できます。設定方法と動作は同じです。表17-2にコンパレータ関連レジスタの設定手順を示します。

表17-2 コンパレータ関連レジスタの設定手順

順番	レジスタ	ビット	設定値	
1	PER1	COMPEN	1 (入力クロック供給)	
2	ADPC	ADPC2-ADPC0	IVCMPi, IVREFi端子の機能選択 ADPC2-ADPC0ビットに101B, 110B, 000B (アナログ入力)	
	PM2	PM2n	PM2nビットに1 (入力モード) 「17.3.5 アナログ入力端子のポート機能を制御するレジスタ」参照	
3	COMPOCR	SPDMD	コンパレータ応答速度の選択 (0: 低速モード/1: 高速モード) 注1	
4	COMPMDR	CIWDE	0 (基本モード)	1 (ウィンドウモード) 注2
		CIVRF	0 (リファレンス=IVREFi入力)	1 (リファレンス=内部基準電圧 (1.45V)) 注4
		CIENB	1 (動作許可)	
5	コンパレータ安定時間 t_{CMP} 待ち			
6	COMPFIR	CIFCK1, CIFCK0	デジタルフィルタ使用する/しない, サンプリングクロック選択	
		CIEPO, CIEDG	割り込み要求のためのエッジ検出条件選択 (立ち上がり/立ち下がり/両エッジ)	
7	COMPOCR	CIOP, CIOE	VCOUTi出力の設定 (極性選択, 出力許可/禁止を設定) 「17.4.3 コンパレータi出力 (i = 0, 1)」参照	
		CIIE	割り込み要求出力の許可/禁止を設定 「17.4.3 コンパレータi出力 (i = 0, 1)」参照	
8	PR2L	CMPPR0i, CMPPR1i	割り込みを使用する場合: 割り込み優先レベル選択	
9	MK2L	CMPMKi	割り込みを使用する場合: 割り込みマスク選択	
10	IF2L	CMPIFi	割り込みを使用する場合: 0 (割り込み要求なし: 初期化) 注3	

注1. コンパレータ0とコンパレータ1を独立に設定することはできません。

2. 高速モード (SPDMD = 1) の場合のみ設定可能
3. コンパレータの設定後, 安定動作するまでに不要な割り込みが発生することがありますので, 割り込みフラグを初期化してください。
4. HS (高速メイン) モードの時に設定可能です。

備考 i = 0, 1, n = 2, 3

図17-6と図17-7にコンパレータi (i = 0, 1) の動作例を示します。基本モード時は, リファレンス入力よりアナログ入力の電圧が高い場合にCOMPMDRレジスタのCiMONビットが1になり, リファレンス入力よりアナログ入力の電圧が低い場合にCiMONビットが0になります。

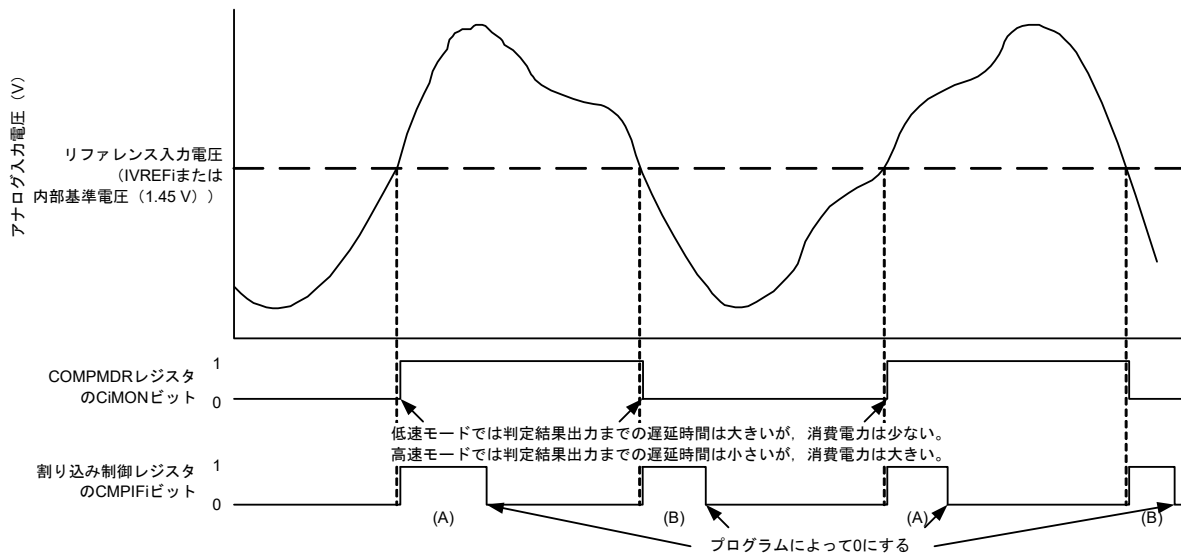
ウィンドウモード時は, アナログ入力の電圧が, 次の条件を満たす場合に, COMPMDRレジスタのCiMONビットが1になり, アナログ入力の電圧がこの条件を満たさない場合はCiMONビットが0になります。

低電圧側リファレンス電圧 < アナログ入力の電圧 < 高電圧側リファレンス電圧

コンパレータ割り込みを使用する場合は、COMPOCRレジスタのCiIEを1（割り込み要求出力許可）にしてください。このとき比較結果が変化すれば、コンパレータ割り込み要求が発生します。割り込み要求の詳細については「17.4.2 コンパレータ割り込み (i = 0, 1)」を参照してください。

図17-6 コンパレータi (i = 0, 1) の動作例（基本モード）

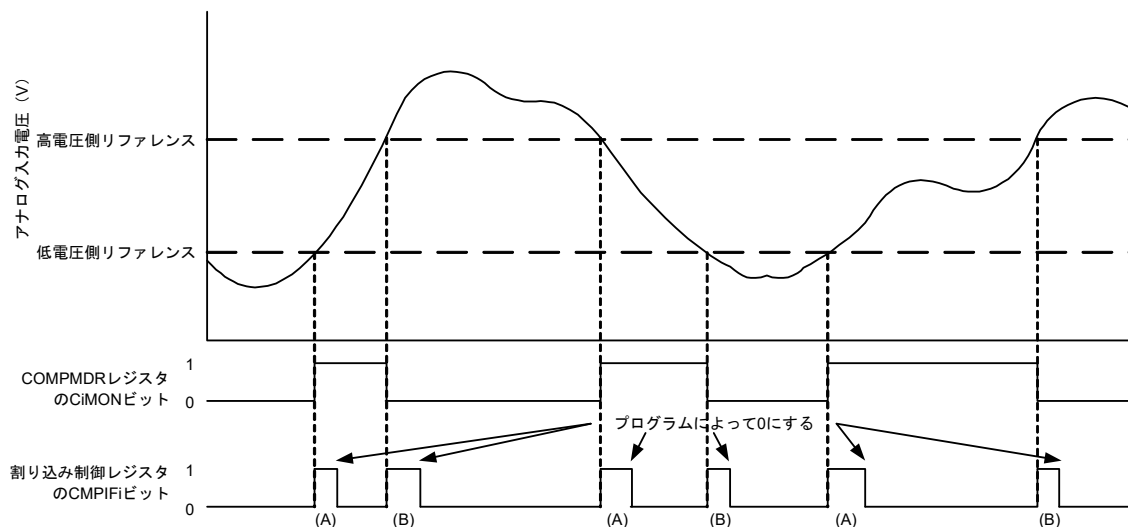
・基本モード動作の例



注意 上図は、COMPFIRレジスタのCiFCK1-CiFCK0 = 00B（フィルタなし）、CiEDG = 1（両エッジ）の場合です（CiEDG = 0, CiEPO = 0（立ち上がりエッジ）のときのCMPIFiは(A)の変化のみ、CiEDG = 0, CiEPO = 1（立ち下がりエッジ）のときのCMPIFiは(B)の変化のみとなります）。

図17-7 コンパレータi (i = 0, 1) の動作例（ウィンドウモード）

・ウィンドウモード動作の例

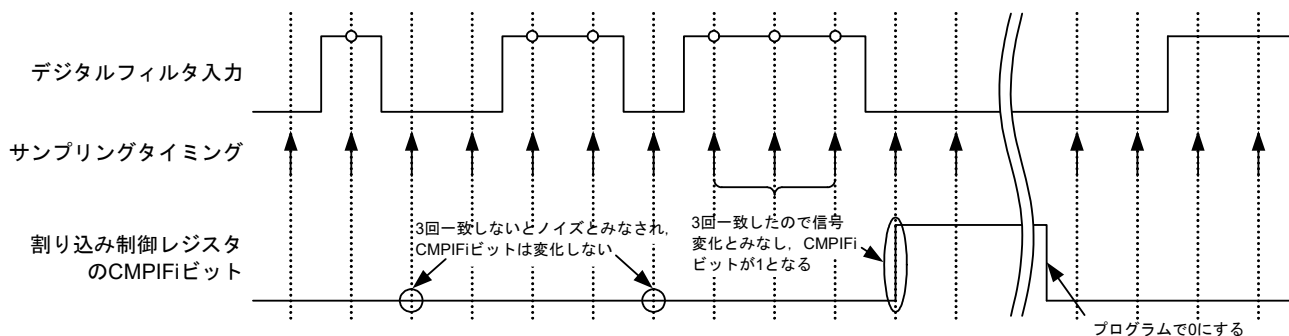


注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0 = 00B（フィルタなし）、CiEDG = 1（両エッジ）の場合です（CiEDG = 0, CiEPO = 0（立ち上がりエッジ）のときのCMPIFiは(A)の変化のみ、CiEDG = 0, CiEPO = 1（立ち下がりエッジ）のときのCMPIFiは(B)の変化のみとなります）。

17.4.1 コンパレータ*i*デジタルフィルタ ($i = 0, 1$)

コンパレータ*i*は、デジタルフィルタを内蔵しています。サンプリングクロックはCOMPFIRレジスタのCiFCK1-CiFCK0 ビットで選択できます。サンプリングクロックごとにコンパレータ*i*の出力信号をサンプリングし、レベルが3度一致した次のサンプリングクロックで、デジタルフィルタ出力がその値になります。図17-8にコンパレータ*i* ($i = 0, 1$) デジタルフィルタと割り込み動作例を示します。

図17-8 コンパレータ*i* ($i = 0, 1$) デジタルフィルタと割り込み動作例



注意 上図は、COMPFIRレジスタのCiFCK1-CiFCK0ビットが、01B, 10B, 11Bのいずれか（デジタルフィルタあり）の場合の動作例です。

17.4.2 コンパレータ*i*割り込み ($i = 0, 1$)

コンパレータはコンパレータ0およびコンパレータ1の2つの割り込み要求を発生します。コンパレータ*i*割り込みは、それぞれ1つずつの優先順位指定フラグ、割り込みマスクフラグ、割り込み要求フラグ、割り込みベクタを持ちます。

コンパレータ*i*割り込みを使用するときは、COMPOCRレジスタのCiIE ビットを1（割り込み要求出力許可）にしてください。割り込み要求を発生する条件は、COMPFIRレジスタにより設定します。また、コンパレータ出力にはデジタルフィルタを付けることが可能です。デジタルフィルタは、3種類のサンプリングクロックを選択可能です。

レジスタ設定と割り込み要求発生への対応については、「17.3.3 コンパレータ・フィルタ制御レジスタ (COMPFIR)」および「17.3.4 コンパレータ出力制御レジスタ (COMPOCR)」を参照してください。

17.4.3 コンパレータ*i*出力 ($i = 0, 1$)

コンパレータの比較結果を外部端子へ出力することができます。COMPOCRレジスタのCiOP, CiOEビットにより出力極性（そのまま出力／反転出力）や出力許可／禁止を設定できます。レジスタ設定とコンパレータ出力の対応は、「17.3.4 コンパレータ出力制御レジスタ（COMPOCR）」を参照してください。

VCOUT_i出力端子へコンパレータ比較結果を出力する場合は、以下の手順に従ってポート設定してください（リセット後、ポートは入力設定になっています）。

- ①コンパレータのモード設定をする（表17-2 コンパレータ関連レジスタの設定手順の順番1~4）。
- ②コンパレータのVCOUT_i出力を設定する（COMPOCRレジスタを設定し、極性選択、出力許可にする）。
- ③VCOUT_i出力端子に対応するポート・レジスタのビットを0にする。
- ④VCOUT_i出力端子に対応するポート方向レジスタを出力に設定する（端子から出力開始）。

17.4.4 コンパレータクロック停止／供給

周辺イネーブル・レジスタ1（PER1）の設定により、コンパレータのクロックを停止する場合は、以下の手順に従ってください。

- ①COMPMDRレジスタのCiENBビットを0にする（コンパレータを停止する）。
- ②IF2LレジスタのCMPiFiビットを0にする（コンパレータ停止前の不要な割り込みをクリア）。
- ③PER1レジスタのCMPENビットを0にする。

PER1の設定によりクロック停止するとコンパレータ内部のレジスタはすべて初期化されますので、コンパレータを再度使用する場合は、表17-2の手順に従ってレジスタ設定してください。

注意 コンパレータを片エッジ検出での割り込み要求に設定（CnEDG = 0）かつコンパレータの立ち上がりエッジで割り込み要求に設定（CnEPO = 0）かつIVCMP > IVREF（または内部基準電圧1.45 V）の状態または、コンパレータを片エッジ検出での割り込み要求に設定（CnEDG = 0）、コンパレータの立ち下がりエッジで割り込み要求に設定（CnEPO = 1）、IVCMP < IVREF（または内部基準電圧1.45 V）の状態、DTC起動許可した場合、DTC転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタフラグ（CnMON）を確認してからDTC起動許可にしてください。（n = 0-1）

第18章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに最大4つのシリアル・チャンネルを持ちます。各チャンネルは簡易SPI (CSI^注)、UART、簡易I²Cの通信機能を実現できます。

RL78/I1Bで対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	IIC10
	3	—		—
1	0	—	UART2 (IrDA対応)	—
	1	—		—

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やIIC00を使用することはできませんが、チャンネル2, 3のUART1やIIC10は使用することができます。

18.1 シリアル・アレイ・ユニットの機能

RL78/I1Bで対応している各シリアル・インタフェースの特徴を示します。

18.1.1 簡易SPI (CSI00)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信/受信を行います。

シリアル・クロック (SCK) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は, 「18.5 簡易SPI (CSI00) 通信の動作」を参照してください。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート^注 マスタ通信時 : Max. $f_{MCK}/2$

スレーブ通信時 : Max. $f_{MCK}/6$

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

また, CSI00は, SNOOZEモードに対応しています。SNOOZEモードとは, STOPモード状態でSCK入力を検出すると, CPU動作を必要とせずにデータ受信を行う機能です。

注 SCKサイクル・タイム (t_{CY}) の特性を満たす範囲内で使用してください。詳細は, 第37章 電気的特性を参照してください。

18.1.2 UART (UART0-UART2)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ポー・レートを使用して) データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

具体的な設定例は、「18.6 UART (UART0-UART2) 通信の動作」を参照してください。

[データ送受信]

- ・ 7, 8, 9ビットのデータ長^注
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、UART0受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

UART0 (ユニット0のチャネル0, 1) は、LIN-busに対応しています。

[LIN-bus機能]

- ・ ウェイクアップ信号検出
- ・ ブレーク・フィールド (BF) 検出
- ・ シンク・フィールド測定, ポー・レート算出

外部割り込み (INTP0) ,
タイマ・アレイ・ユニットを使用

注 9ビット・データ長は、UART0のみ対応しています。

18.1.3 簡易I²C (IIC00, IIC10)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「18.8 簡易I²C (IIC00, IIC10) 通信の動作」を参照してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能^注, ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ・スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・ACKエラー, オーバラン・エラー

※ [簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・ウエイト検出機能

注 最終データの受信時は、SOEmnビット (シリアル出力許可レジスタm (SOEm)) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、18.8.3 (2) 処理フローを参照してください。

備考 1. フル機能のI²Cバスをご使用の場合は、第19章 シリアル・インタフェースIICAを参照してください。

2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 2)

18.1.4 IrDA

シリアル・アレイ・ユニットのUART2とIrDAモジュールを組み合わせることで、IrDA (Infrared Data Association) 規格バージョン1.0に基づいてIrDA通信波形を送受信します。詳細は、第20章 IrDAを参照してください。

[データ送受信]

- ・転送レート : 115.2 kbps/57.6 kbps/38.4 kbps/19.2 kbps/9600 bps/2400 bps

18.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表18-1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット ^{注1}
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) の下位8ビットまたは9ビット ^{注1,2}
シリアル・クロック 入出力	SCK00端子 (簡易SPI用), SCL00, SCL10端子 (簡易I ² C用)
シリアル・データ 入力	SI00端子 (簡易SPI用), RxD1-RxD2端子 (UART用), RxD0端子 (LIN-bus対応UART用)
シリアル・データ 出力	SO00端子 (簡易SPI用), TxD1-TxD2端子 (UART用), TxD0端子 (LIN-bus対応UART用)
シリアル・データ 入出力	SDA00, SDA10端子 (簡易I ² C用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・シリアル・クロック選択レジスタm (SPSm) ・シリアル・チャンネル許可ステータス・レジスタm (SEm) ・シリアル・チャンネル開始レジスタm (SSm) ・シリアル・チャンネル停止レジスタm (STm) ・シリアル出力許可レジスタm (SOEm) ・シリアル出力レジスタm (SOM) ・シリアル出力レベル・レジスタm (SOLm) ・シリアル・スタンバイ・コントロール・レジスタ0 (SSC0) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・シリアル・データ・レジスタmn (SDRmn) ・シリアル・モード・レジスタmn (SMRmn) ・シリアル通信動作設定レジスタmn (SCRmn) ・シリアル・ステータス・レジスタmn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) <ul style="list-style-type: none"> ・ポート入力モード・レジスタ0, 1, 8 (PIM0, PIM1, PIM8) ・ポート出力モード・レジスタ0, 1, 8 (POM0, POM1, POM8) ・ポート・モード・レジスタ0, 1, 8 (PM0, PM1, PM8) ・ポート・レジスタ0, 1, 8 (P0, P1, P8)

(注、備考は次ページにあります。)

注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。

・ mn = 00, 01の場合 : 下位9ビット

・ 上記以外の場合 : 下位8ビット

2. シリアル・データ・レジスタmn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

・ CSIp通信時 . . . SIOp (CSIpデータ・レジスタ)

・ UARTq受信時 . . . RXDq (UARTq受信データ・レジスタ)

・ UARTq送信時 . . . TXDq (UARTq送信データ・レジスタ)

・ IICr通信時 . . . SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00)

q : UART番号 (q = 0-2) r : IIC番号 (r = 00, 10) mn = 00-03, 10, 11

図18-1にシリアル・アレイ・ユニット0のブロック図を示します。

図18-1 シリアル・アレイ・ユニット0のブロック図

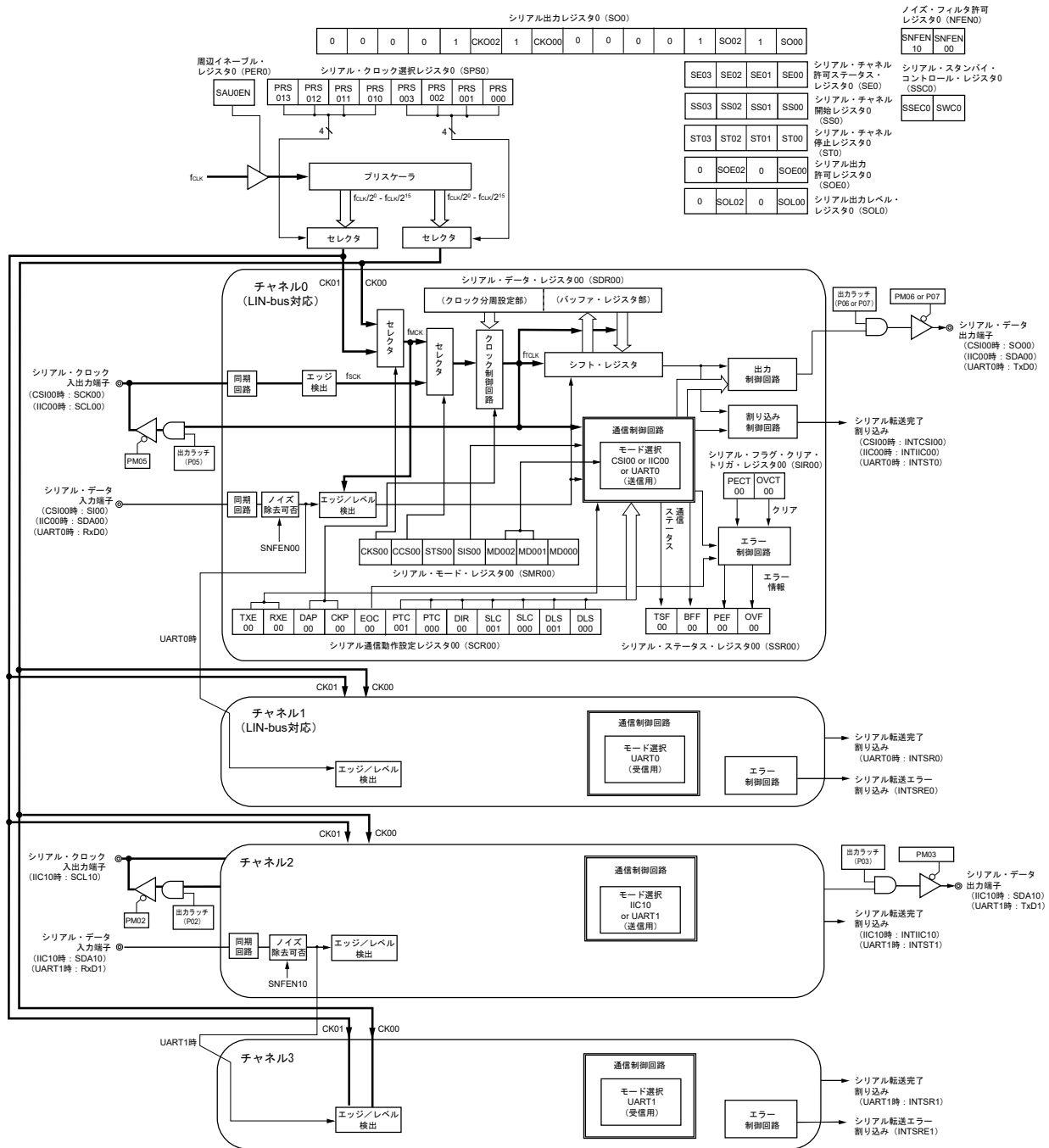
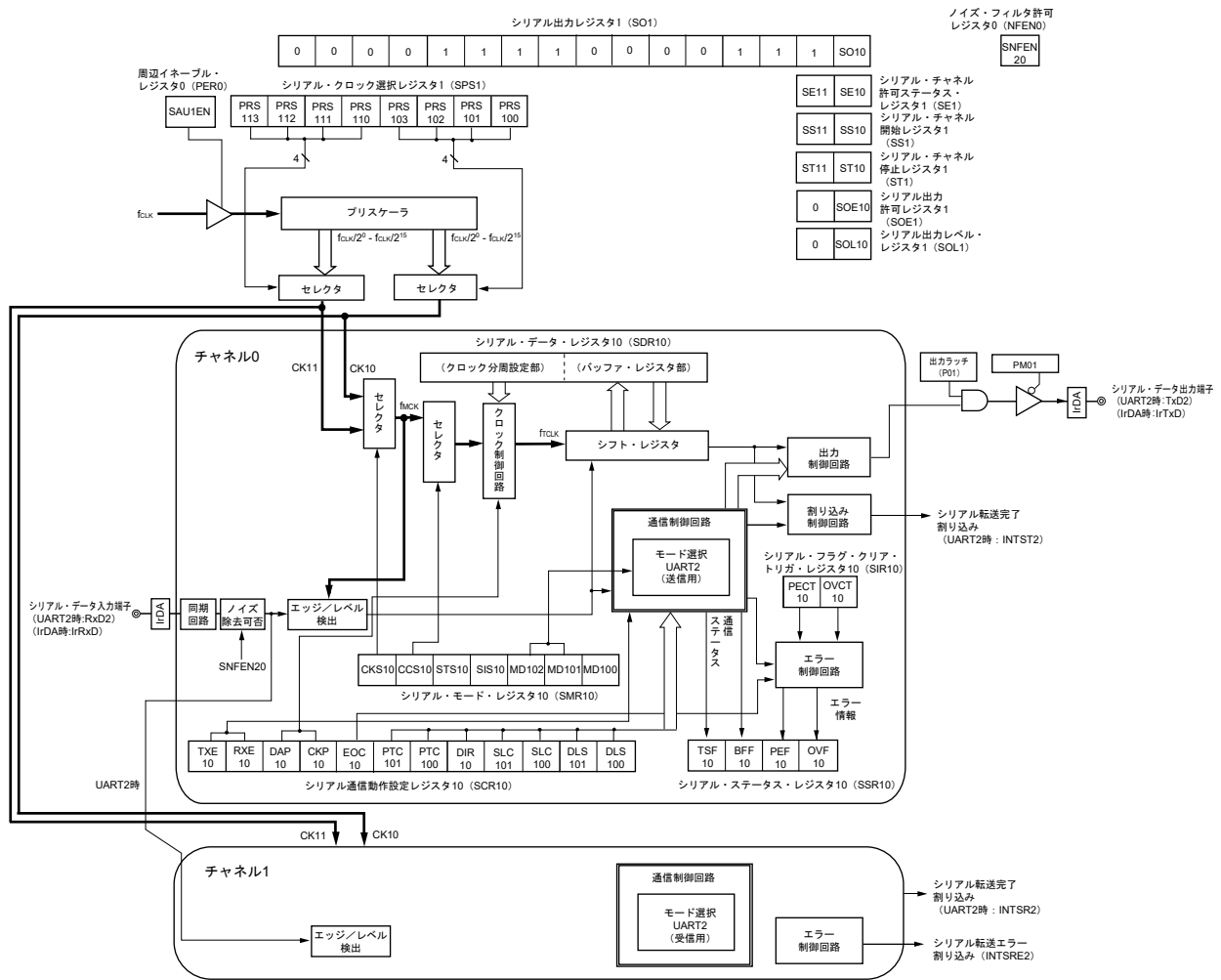


図18-2にシリアル・アレイ・ユニット1のブロック図を示します。

図18-2 シリアル・アレイ・ユニット1のブロック図



18.2.1 シフト・レジスタ

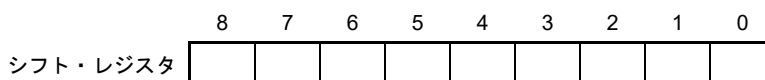
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット（ビット0～8）を使用します^{注1}。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn（SDRmn）の下位8/9ビットを使用します。



18.2.2 シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。

ビット8-0（下位9ビット）^{注1}、またはビット7-0（下位8ビット）は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタmn（SCRmn）のビット0, 1（DLSmn0, DLSmn1）の設定によって、次のようになります。

- ・7ビット・データ長（SDRmnレジスタのビット0-6に格納）
- ・8ビット・データ長（SDRmnレジスタのビット0-7に格納）
- ・9ビット・データ長（SDRmnレジスタのビット0-8に格納）^{注1}

SDRmnレジスタは16ビット単位でリード/ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^{注2}です。

- ・CSIp通信時・・・SIOp（CSIpデータ・レジスタ）
- ・UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）
- ・UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）
- ・IICr通信時・・・SIOr（IICrデータ・レジスタ）

リセット信号の発生により、SDRmnレジスタは0000HIになります。

注1. 9ビット・データ長は、UART0のみ対応しています。

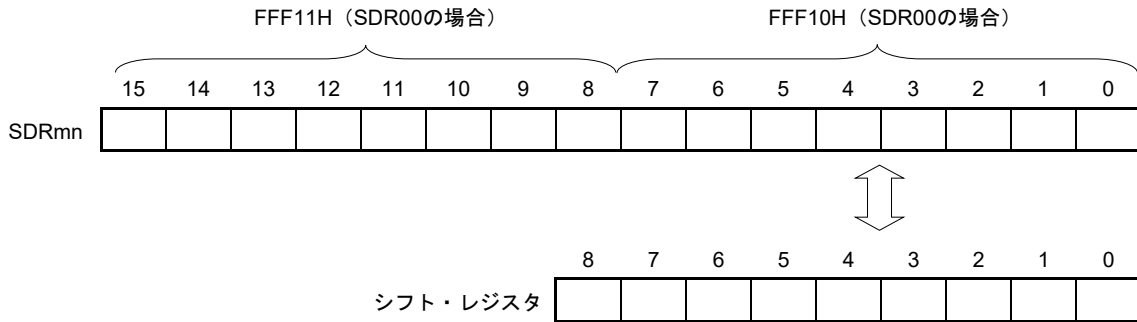
2. 動作停止（SEmn = 0）時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3） p：CSI番号（p = 00）
q：UART番号（q = 0-2） r：IIC番号（r = 00, 10） mn = 00-03, 10, 11

図18-3 シリアル・データ・レジスタmn (SDRmn) (mn = 00, 01, 10, 11) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) , リセット時 : 0000H R/W
 FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11)



備考 SDRmnレジスタの上位7ビットの機能については、18.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図18-4 シリアル・データ・レジスタmn (SDRmn) (mn = 02, 03) のフォーマット

アドレス : FFF44H, FFF45H (SDR02) , FFF46H, FFF47H (SDR03) , リセット時 : 0000H R/W



注意 ビット8は、必ず0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、18.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

18.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ0, 1, 8 (PIM0, PIM1, PIM8)
- ・ポート出力モード・レジスタ0, 1, 8 (POM0, POM1, POM8)
- ・ポート・モード・レジスタ0, 1, 8 (PM0, PM1, PM8)
- ・ポート・レジスタ0, 1, 8 (P0, P1, P8)

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

18.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN) に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図18-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード/ライト可

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態です。下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります（入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ0 (NFEN0)、ポート入力モード・レジスタ0, 1, 8 (PIM0, PIM1, PIM8)、ポート出力モード・レジスタ0, 1, 8 (POM0, POM1, POM8)、ポート・モード・レジスタ0, 1, 8 (PM0, PM1, PM8)、ポート・レジスタ0, 1, 8 (P0, P1, P8) は除く)。

- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタm (SSCm)

2. ビット1には必ず“0”を設定してください。

18.3.2 シリアル・クロック選択レジスタm (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図18-6 シリアル・クロック選択レジスタm (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0) , F0166H, F0167H (SPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk) の選択 ^注	f _{CLK} =	f _{CLK} =	f _{CLK} =	f _{CLK} =	f _{CLK} =
					4 MHz	8 MHz	12 MHz	20 MHz	24 MHz
0	0	0	0	f _{CLK}	4 MHz	8 MHz	12 MHz	20 MHz	24 MHz
0	0	0	1	f _{CLK} /2	2 MHz	4 MHz	6 MHz	10 MHz	12 MHz
0	0	1	0	f _{CLK} /2 ²	1 MHz	2 MHz	3 MHz	5 MHz	6 MHz
0	0	1	1	f _{CLK} /2 ³	500 kHz	1 MHz	1.5 MHz	2.5 MHz	3 MHz
0	1	0	0	f _{CLK} /2 ⁴	250 kHz	500 kHz	750 kHz	1.25 MHz	1.5 MHz
0	1	0	1	f _{CLK} /2 ⁵	125 kHz	250 kHz	375 kHz	625 kHz	750 kHz
0	1	1	0	f _{CLK} /2 ⁶	62.5 kHz	125 kHz	187.5 kHz	313 kHz	375 kHz
0	1	1	1	f _{CLK} /2 ⁷	31.25 kHz	62.5 kHz	93.8 kHz	156 kHz	187.5 kHz
1	0	0	0	f _{CLK} /2 ⁸	15.62 kHz	31.25 kHz	46.9 kHz	78.1 kHz	93.8 kHz
1	0	0	1	f _{CLK} /2 ⁹	7.81 kHz	15.62 kHz	23.4 kHz	39.1 kHz	46.9 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	3.91 kHz	7.81 kHz	11.7 kHz	19.5 kHz	23.4 kHz
1	0	1	1	f _{CLK} /2 ¹¹	1.95 kHz	3.91 kHz	5.86 kHz	9.77 kHz	11.7 kHz
1	1	0	0	f _{CLK} /2 ¹²	976 Hz	1.95 kHz	2.93 kHz	4.88 kHz	5.86 kHz
1	1	0	1	f _{CLK} /2 ¹³	488 Hz	976 Hz	1.46 kHz	2.44 kHz	2.93 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	244 Hz	488 Hz	732 Hz	1.22 kHz	1.46 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	122 Hz	244 Hz	366 Hz	610 Hz	732 Hz

注 シリアル・アレイ・ユニット (SAU) 動作中にf_{CLK}で選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAUの動作を停止 (シリアル・チャンネル停止レジスタm (STm) = 000FH) させてから変更してください。

注意 ビット15-8には、必ず0を設定してください。

- 備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数
 2. m : ユニット番号 (m = 0, 1)
 3. k = 0, 1

18.3.3 シリアル・モード・レジスタmn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{mck}) の選択, シリアル・クロック (f_{sck}) 入力の使用可否, スタート・トリガ設定, 動作モード (簡易SPI(CSI), UART, 簡易I²C) 設定, 割り込み要因の選択を行います。またUARTモード時のみ, 受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図18-7 シリアル・モード・レジスタmn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03) , リセット時 : 0020H R/W
F0150H, F0151H (SMR10) , F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn ^注	0	SIS mn0 ^注	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (f _{mck}) の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック (f _{mck}) は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (f _{rclk}) を生成します。	

CCS mn	チャンネルnの転送クロック (f _{rclk}) の選択
0	CKSmnビットで指定した動作クロックf _{mck} の分周クロック
1	SCKp端子からの入力クロックf _{sck} (簡易SPI(CSI)モードのスレーブ転送)
転送クロックf _{rclk} は、シフト・レジスタ, 通信制御回路, 出力制御回路, 割り込み制御回路, エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (f _{mck}) の分周設定を行います。	

STS mn ^注	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (簡易SPI(CSI), UART送信, 簡易I ² C時に選択)
1	RxDq端子の有効エッジ (UART受信時に選択)
SSmレジスタに1を設定後, 上記の要因が満たされてから転送開始となります。	

注 SMR01, SMR03, SMR11レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10レジスタの場合は, ビット13-6, 4, 3) には, 必ず0を設定してください。ビット5には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00)
q : UART番号 (q = 0-2) r : IIC番号 (r = 00, 10) mn = 00-03, 10, 11

図18-7 シリアル・モード・レジスタmn (SMRmn) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) -F0116H, F0117H (SMR03) , リセット時 : 0020H R/W
 F0150H, F0151H (SMR10) , F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn ^注	0	SIS mn0 ^注	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0 ^注	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD mn2	MD mn1	チャンネルnの動作モードの設定
0	0	簡易SPI (CSI)モード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MD mn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注 SMR01, SMR03, SMR11レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10レジスタの場合は、ビット13-6, 4, 3) には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00)
 q : UART番号 (q = 0-2) r : IIC番号 (r = 00, 10) mn = 00-03, 10, 11

18.3.4 シリアル通信動作設定レジスタmn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCRmnレジスタは0087Hになります。

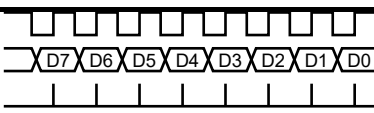
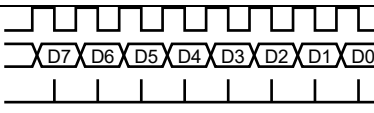
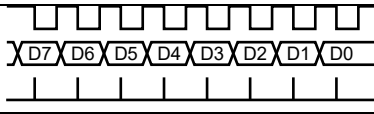
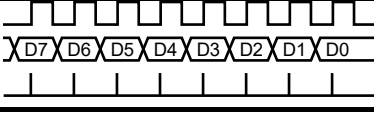
図18-8 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) -F011EH, F011FH (SCR03) , リセット時 : 0087H R/W

F0158H, F0159H (SCR10) , F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 ^{注1}	SLC mn0	0	1	DLSm n1 ^{注2}	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	簡易SPI (CSI)モードでのデータとクロックの位相選択	タイプ
0	0	SCKp 	1
0	1	SCKp 	2
1	0	SCKp 	3
1	1	SCKp 	4

UARTモード, 簡易I²Cモード時には, 必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号 (INTSREx (x = 0-2)) のマスク制御
0	エラー割り込みINTSRExの発生を禁止する (INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時, INTSRxは発生しない)

簡易SPI (CSI)モード, 簡易I²Cモード, UART送信時には, EOCmn = 0に設定してください^{注3}。

- 注1. SCR00, SCR02, SCR10レジスタのみ。
- 2. SCR00, SCR01レジスタのみ。その他は1固定になります。
- 3. CSImnをEOCmn = 0で使用しない場合, エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には, 必ず0を設定してください (SCR01, SCR03, SCR11レジスタはビット5も0に設定してください)。ビット2には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00)
mn = 00-03, 10, 11

図18-8 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) -F011EH, F011FH (SCR03) , リセット時 : 0087H R/W
 F0158H, F0159H (SCR10) , F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 ^{注1}	SLC mn0	0	1	DLSm n1 ^{注2}	DLS mn0

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 ^{注3}	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

簡易SPI (CSI)モード、簡易I²Cモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	簡易SPI (CSI), UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易I²Cモード時には、必ずDIRmn = 0に設定してください。

SLCm n1 ^{注1}	SLC mn0	UARTモードでのストップ・ビットの設定	
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10のみ)	
1	1	設定禁止	

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。
 UART受信時、簡易I²Cモード時には、1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。
 簡易SPI (CSI)モード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。
 UART送信時は、1ビット (SLCmn1, SLCmn0 = 0, 1) または2ビット (SLCmn1, SLCmn0 = 1, 0) に設定してください。

DLSm n1 ^{注2}	DLS mn0	簡易SPI (CSI), UARTモードでのデータ長の設定	
0	1	9ビット・データ長 (SDRmnレジスタのビット0-8に格納) (UARTモード時のみ選択可)	
1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)	
1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)	
その他		設定禁止	

簡易I²Cモード時には、必ずDLSmn1, DLSmn0 = 1, 1に設定してください。

注1. SCR00, SCR02, SCR10レジスタのみ。

2. SCR00, SCR01レジスタのみ。その他は1固定になります。

3. データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には、必ず0を設定してください (SCR01, SCR03, SCR11レジスタはビット5も0に設定してください)。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00)
 mn = 00-03, 10, 11

18.3.5 シリアル・データ・レジスタmn (SDRmn)

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。

SDR00, SDR01, SDR10, SDR11のビット8-0（下位9ビット）、またはSDR02, SDR03のビット7-0（下位8ビット）は、送受信バッファ・レジスタとして機能し、ビット15-9（上位7ビット）の部分は動作クロック（f_{mck}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn (SMRmn) でCCSmnビットを0に設定した場合は、動作クロックをこのSDRmnレジスタのビット15-9（上位7ビット）で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmnビットを1に設定した場合は、SDR00のビット15-9（上位7ビット）に”000000B”を設定してください。SCKp端子からの入力クロックf_{sck}（簡易SPI (CSI)モードのスレーブ転送）が転送クロックとなります。

SDRmnレジスタの下位8/9ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合は、上位7ビットは常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

図18-9 シリアル・データ・レジスタmn (SDRmn) のフォーマット



(注意、備考は次ページにあります。)

- 注意1. SDR02, SDR03, SDR10, SDR11レジスタのビット8は、必ず0を設定してください。
2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。
 3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
 4. 動作停止 (SEmn = 0) 時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です (SDRmn[15:9]がすべてクリア (0) されます)。
- 備考1. SDRmnレジスタの下位8/9ビットの機能については、18.2 シリアル・アレイ・ユニットの構成を参照してください。
2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00-03, 10, 11

18.3.6 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を1にセットすると、シリアル・ステータス・レジスタmn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので、SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは、16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmnレジスタは0000Hになります。

図18-10 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) -F010EH, F010FH (SIR03) , リセット時 : 0000H R/W

F0148H, F0149H (SIR10) , F014AH, F014BH (SIR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn ^注	PEC Tmn	OVC Tmn

FEC Tmn	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVC Tmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注 SIR01, SIR03, SIR11レジスタのみ。

注意 ビット15-3 (SIR00, SIR02, SIR10レジスタの場合は、ビット15-2) には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

2. SIRmnレジスタの読み出し値は常に0000Hとなります。

18.3.7 シリアル・ステータス・レジスタmn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図18-11 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) -F0106H, F0107H (SSR03) , リセット時 : 0000H R
 F0140H, F0141H (SSR10) , F0142H, F0143H (SSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn ^注	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件>	
<ul style="list-style-type: none"> STmレジスタのSTmnビットに1を設定時（通信停止状態），もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態） 通信動作が終了時 	
<セット条件>	
<ul style="list-style-type: none"> 通信動作を開始時 	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件>	
<ul style="list-style-type: none"> 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき STmレジスタのSTmnビットに1を設定時（通信停止状態），SSmレジスタのSSmnビットに1を設定時（通信許可状態）。 	
<セット条件>	
<ul style="list-style-type: none"> SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信，送受信モード時）の状態ですDRmnレジスタに送信データを書き込んだとき SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信，送受信モード時）の状態ですDRmnレジスタに受信データが格納されたとき 受信エラー時 	

注 SSR01, SSR03, SSR11レジスタのみ。

注意 SNOOZEモード (SWCm = 1) で簡易SPI (CSI)受信する場合、BFFmnフラグは動作しません。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

図18-11 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) -F0106H, F0107H (SSR03) , リセット時 : 0000H R

F0140H, F0141H (SSR10) , F0142H, F0143H (SSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn ^注	PEF mn	OVF mn

FEF mn	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART受信時)
<クリア条件> ・ SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> ・ UART受信完了時に、ストップ・ビットが検出されないとき	

PEF mn	チャンネルnのパリティ/ACKエラー検出フラグ
0	エラーなし
1	パリティ・エラー発生 (UART受信時) , またはACK未検出発生 (I ² C送信時)
<クリア条件> ・ SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・ UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー) ・ I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき (ACK未検出)	

OVF mn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> ・ SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・ SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時) の状態で、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・ 簡易SPI (CSI)モードのスレーブ送信/送受信で、送信データが準備できていないとき	

注 SSR01, SSR03, SSR11レジスタのみ。

- 注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー (OVEmn = 1) と検出されます。
2. SNOOZEモード (SWCm = 1) で簡易SPI (CSI)受信する場合、OVFmnフラグは動作しません。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

18.3.8 シリアル・チャンネル開始レジスタm (SSm)

SSmレジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SSmn) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタm (SEm) の対応ビット (SEmn) が1にセット (動作許可状態) されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの低位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図18-12 シリアル・チャンネル開始レジスタm (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0	SS0	SS0	SS0
													3	2	1	0

アドレス : F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS1	SS1
															1	0

SSm	チャンネルnの動作開始トリガ															
n																
0	トリガ動作せず															
1	SEmnビットに1をセットし、通信待機状態に遷移する ^注															

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

- 注意1. SS0レジスタのビット15-4, SS1レジスタのビット15-2には、必ず0を設定してください。
 2. UART受信の場合は、SCRmnレジスタのRXEmnビットを“1”に設定後に、f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

2. SSmレジスタの読み出し値は常に0000Hとなります。

18.3.9 シリアル・チャンネル停止レジスタm (STm)

STmレジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (STmn) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタm (SEm) の対応ビット (SEmn) が0にクリア (動作停止状態) されます。STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図18-13 シリアル・チャンネル停止レジスタm (STm) のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST0	ST0	ST0	ST0
													3	2	1	0

アドレス : F0164H, F0165H (ST1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST1	ST1
															1	0

STm n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし、通信動作を停止する ^注

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意 ST0レジスタのビット15-4, ST1レジスタのビット15-2には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

2. STmレジスタの読み出し値は常に0000Hとなります。

18.3.10 シリアル・チャンネル許可ステータス・レジスタm (SEm)

SEmレジスタは、各チャンネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタm (SSm) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタm (STm) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のCKOmnビット (チャンネルnのシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000HIになります。

図18-14 シリアル・チャンネル許可ステータス・レジスタm (SEm) のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0 3	SE0 2	SE0 1	SE0 0

アドレス : F0160H, F0161H (SE1) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE1 1	SE1 0

SEm	チャンネルnの動作許可／停止状態の表示														
n															
0	動作停止状態														
1	動作許可状態														

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

18.3.11 シリアル出力許可レジスタm (SOEm)

SOEmレジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のSOmnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnビットの値をソフトウェアで設定することができます。その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図18-15 シリアル出力許可レジスタm (SOEm) のフォーマット

アドレス : F012AH, F012BH (SOE0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 02	0	SOE 00

アドレス : F016AH, F016BH (SOE1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 10

SOE mn	チャンネルnのシリアル出力許可/停止														
0	シリアル通信動作による出力停止														
1	シリアル通信動作による出力許可														

注意 SOE0レジスタのビット15-3, 1, SOE1レジスタのビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00-03, 10, 11

18.3.12 シリアル出力レジスタm (SOm)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インターフェース用端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SO0レジスタは0F0FH, SO1レジスタは0303Hになります。

図18-16 シリアル出力レジスタm (SOm) のフォーマット

アドレス : F0128H, F0129H (SO0) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	CKO	1	CKO	0	0	0	0	1	SO	1	SO
						02		00						02		00

アドレス : F0168H, F0169H (SO1) リセット時 : 0303H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	SO
																10

CKO mn	チャンネルnのシリアル・クロック出力														
0	シリアル・クロック出力値が“0”														
1	シリアル・クロック出力値が“1”														

SO mn	チャンネルnのシリアル・データ出力														
0	シリアル・データ出力値が“0”														
1	シリアル・データ出力値が“1”														

注意 SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。また、ビット11, 9, 3, 1には必ず1を設定してください。

SO1レジスタのビット15-10, 7-2には、必ず0を設定してください。また、ビット9, 8, 1には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00-03, 10, 11

18.3.13 シリアル出力レベル・レジスタm (SOLm)

SOLmレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI (CSI)モード、簡易I²Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時はSOMnビットの値がそのまま出力されます。

SOLmレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000HIになります。

図18-17 シリアル出力レベル・レジスタm (SOLm) のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL02	0	SOL00

アドレス : F0174H, F0175H (SOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL10

SOLmn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

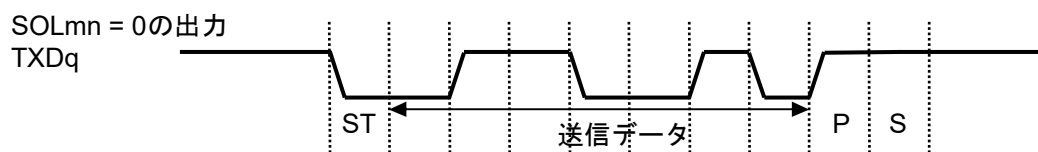
注意 SOL0レジスタのビット15-3, 1, SOL1レジスタのビット15-1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00-03, 10, 11

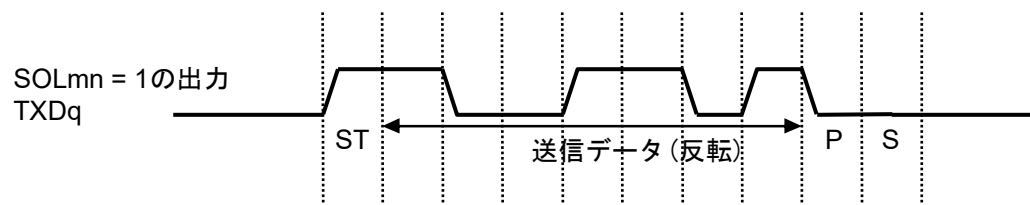
UART送信時、送信データのレベル反転例を図18-18に示します。

図18-18 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00-03, 10, 11

18.3.14 シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)

SSC0レジスタは、CSI00、UART0のシリアル・データ受信による、STOPモード状態からの受信動作起動 (SNOOZEモード) を制御するレジスタです。

SSC0レジスタは、16ビット・メモリ操作命令で設定します。

またSSC0レジスタの下位8ビットは、SSC0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSC0レジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

- ・ CSI00の場合：～1 Mbps
- ・ UART0の場合：4800 bpsのみ

図18-19 シリアル・スタンバイ・コントロール・レジスタ0 (SSC0) のフォーマット

アドレス：F0138H (SSC0) リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS ECO	SWC 0

SS ECO	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み (INTSRE0) 発生許可
1	エラー割り込み (INTSRE0) 発生停止
<ul style="list-style-type: none"> ・ SNOOZEモード時のUART受信で、SWC0 = 1かつEOCmn = 1の時のみ、SSECmビットを1/0に設定することができます。その他の場合は、SSEC0ビットを0に設定してください。 ・ SSEC0, SWC0 = 1, 0は設定禁止です。 	

SWC 0	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
<ul style="list-style-type: none"> ・ STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、簡易SPI (CSI)/UARTの受信動作を行います (SNOOZEモード)。 ・ SNOOZEモード機能は、CPU／周辺ハードウェア・クロック (fclk) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・ SNOOZEモードを使用する場合でも、通常動作モード時はSWC0を0に設定し、STOPモードへ移行する直前にSWC0を1に変更してください。 またSTOPモードから通常動作モードへ復帰後、必ずSWC0を0に変更してください。 	

図18-20 SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

18.3.15 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは, UART0でLIN-bus通信動作を実現するとき, 外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると, シリアル・データ入力 (RxD0) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって, ウェイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると, シリアル・データ入力 (RxD0) 端子の入力信号がタイマ入力として選択されます。これによって, ウェイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, ISCレジスタは00Hになります。

図18-21 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする (通常動作)
1	RxD0端子の入力信号をタイマ入力とする (ウェイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする (ウェイクアップ信号検出)

注意 ビット7-2に必ず0を設定してください。

18.3.16 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易SPI (CSI)、簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (f_{MCK}) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (f_{MCK}) で同期化だけを行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図18-22 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。	
RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。	
RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7-5, 3, 1には、必ず0を設定してください。

18.3.17 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャンネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート入力モード・レジスタ（PIMxx）、ポート出力モード・レジスタ（POMxx）を設定してください。

詳細は、4.3.1 ポート・モード・レジスタ（PMxx）、4.3.2 ポート・レジスタ（Pxx）、4.3.4 ポート入力モード・レジスタ（PIMxx）、4.3.5 ポート出力モード・レジスタ（POMxx）を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P07/SO00/TxD0/TI02/TO02/INTP2/TOOLTxD、P15/SEG9/(SCK00)/(SCL00)など）をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに0を設定してください。また、ポート・レジスタ（Pxx）のビットに1を設定してください。

なお、N-ch オープン・ドレイン出力（V_{DD} 耐圧）モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ（POMxx）のビットに1を設定してください。異電位（1.8 V系、2.5 V系、3 V系）で動作している外部デバイスと接続する場合は、4.4.4 異電位（1.8 V系、2.5 V系、3 V系）外部デバイスとの接続方法を参照してください。

例) P07/SO00/TI02/TO02/INTP2/TOOLTxDをシリアル・データ出力として使用する場合

ポート・モード・レジスタ0のPM07ビットを0に設定

ポート・レジスタ0のP07ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート（P05/SCK00/SCL00/TI04/TO04/INTP3、P06/SI00/RxD0/TI03/TO03/SDA00/TOOLRxDなど）をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。このときポート・レジスタ（Pxx）のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ（PIMxx）のビットに1を設定してください。異電位（1.8 V系、2.5 V系、3 V系）で動作している外部デバイスと接続する場合は、4.4.4 異電位（1.8 V系、2.5 V系、3 V系）外部デバイスとの接続方法を参照してください。

例) P06/SI00/RxD0/TI03/TO03/SDA00/TOOLRxDをシリアル・データ入力として使用する場合

ポート・モード・レジスタ0のPM06ビットを1に設定

ポート・レジスタ0のP06ビットを0または1に設定

PM0, PM1, PM8レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PM0, PM1, PM8レジスタはFFHになります。

製品ごとのPMxxレジスタの有無は、表4-3を参照してください。

18.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

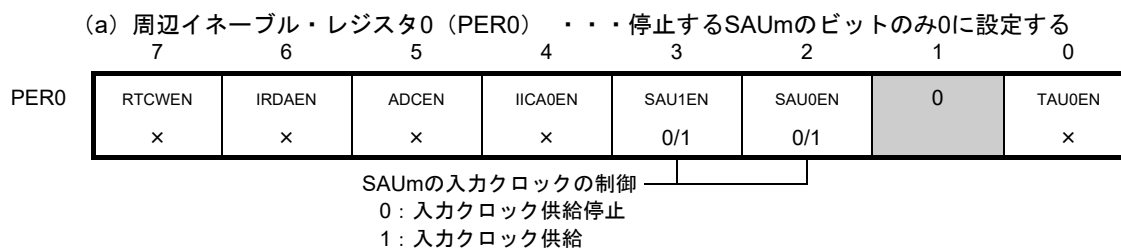
18.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN) に0を設定してください。シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN) に0を設定してください。

図18-23 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定



注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ0, 1, 8 (PIM0, PIM1, PIM8)
- ・ポート出力モード・レジスタ0, 1, 8 (POM0, POM1, POM8)
- ・ポート・モード・レジスタ0, 1, 8 (PM0, PM1, PM8)
- ・ポート・レジスタ0, 1, 8 (P0, P1, P8)

2. ビット1は必ず“0”にしてください。

備考 x: シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1: ユーザの用途に応じて0または1に設定

18.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図18-24 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタm (STm)

・・・各チャンネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	STm3 [※]	STm2 [※]	STm1	STm0
													0/1	0/1	0/1	0/1

1: SEmnビットを0にクリアし、通信動作を停止

※ STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタm (SEm)

・・・各チャンネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SEm3 [※]	SEm2 [※]	SEm1	SEm0
													0/1	0/1	0/1	0/1

0: 動作停止状態

※SEmレジスタはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。動作を停止したチャンネルは、SOmレジスタのCKOmnビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタm (SOEm)

・・・各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 [※]		SOEm0	
													0/1	0	0/1	

0: シリアル通信動作による出力停止

※ シリアル出力を停止したチャンネルは、SOmレジスタのSOmnビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタm (SOm)

・・・各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	1	1	CKOm0 [※]	0	0	0	0	1	SOm2 [※]	1	SOm0
								0/1					0/1	1	0/1	

1: シリアル・クロック出力値が“1”

1: シリアル・データ出力値が“1”

※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

注 シリアル・アレイ・ユニット0のみ。

- 備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3)
2. : 設定不可 (初期値を設定) 0/1: ユーザの用途に応じて0または1に設定

18.5 簡易SPI (CSI00) 通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート^注 マスタ通信時 : Max. $f_{MCK}/2$
スレーブ通信時 : Max. $f_{MCK}/6$

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

また、CSI00は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。CSI00は、非同期受信動作に対応しています。

注 SCKサイクル・タイム (t_{CKCY}) の特性を満たす範囲内で使用してください。詳細は、第37章 電気的特性を参照してください。

簡易SPI (CSI00) に対応しているチャンネルは、SAU0のチャンネル0です。

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	IIC10
	3	—		—
1	0	—	UART2	—
	1	—		—

簡易SPI (CSI00) の通信動作は、以下の7種類があります。

- ・ マスタ送信 (18. 5. 1項を参照)
- ・ マスタ受信 (18. 5. 2項を参照)
- ・ マスタ送受信 (18. 5. 3項を参照)
- ・ スレーブ送信 (18. 5. 4項を参照)
- ・ スレーブ受信 (18. 5. 5項を参照)
- ・ スレーブ送受信 (18. 5. 6項を参照)
- ・ SNOOZEモード機能 (18. 5. 7項を参照)

18.5.1 マスタ送信

マスタ送信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラから他デバイスへデータを送信する動作です。

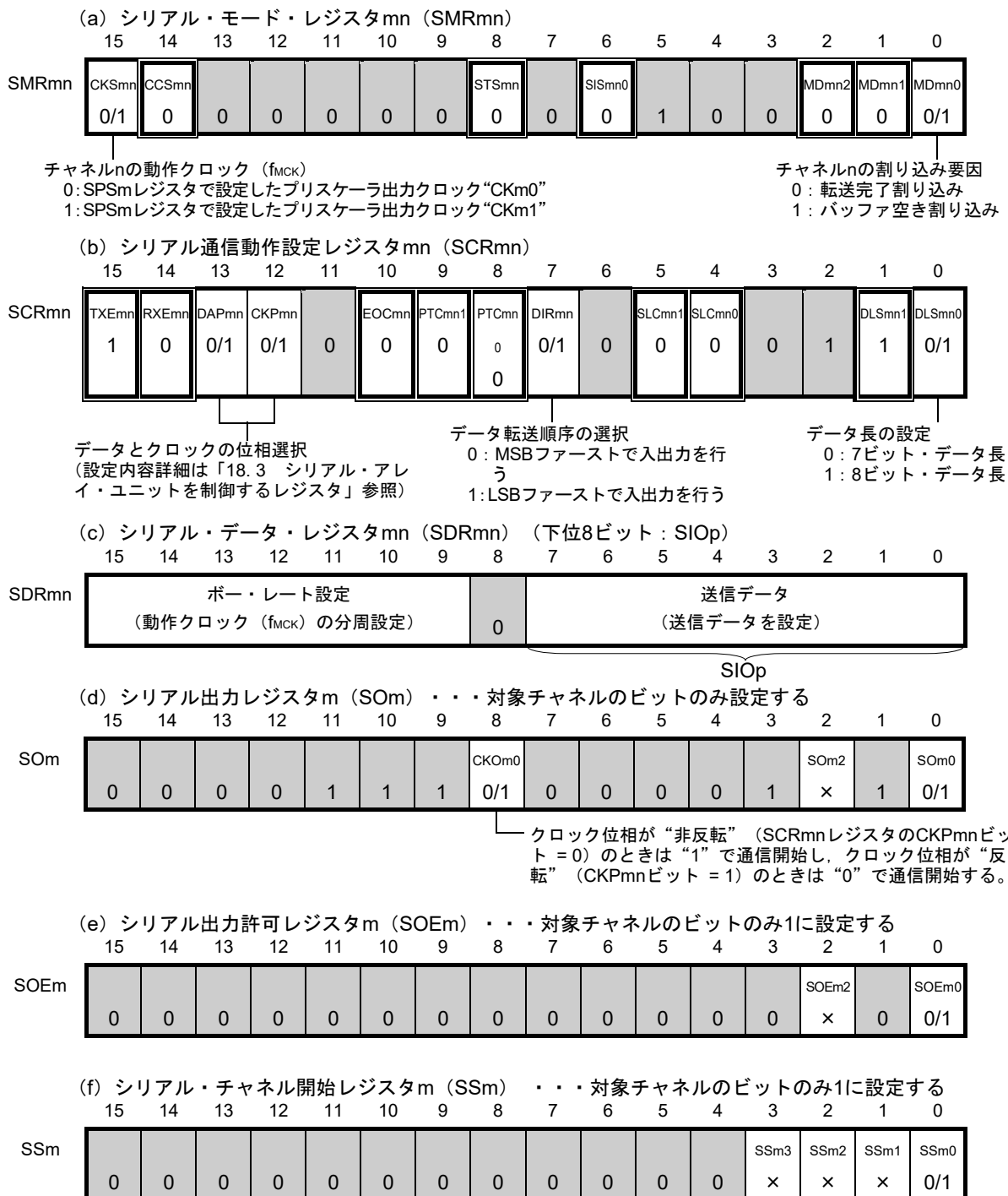
簡易SPI	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SO00
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	なし
転送データ長	7ビットまたは8ビット
転送レート ^注	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転（SCKの立ち下がりでデータ出力、立ち上がりでデータ入力） ・ CKPmn = 1の場合：反転（SCKの立ち上がりでデータ出力、立ち下がりでデータ入力）
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) mn = 00

(1) レジスタ設定

図18-25 簡易SPI (CSI00) のマスタ送信時のレジスタ設定内容例



- 備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00
2. □ : 簡易SPI (CSI)マスタ送信モードでは設定固定 ■ : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図18-26 マスタ送信の初期設定手順

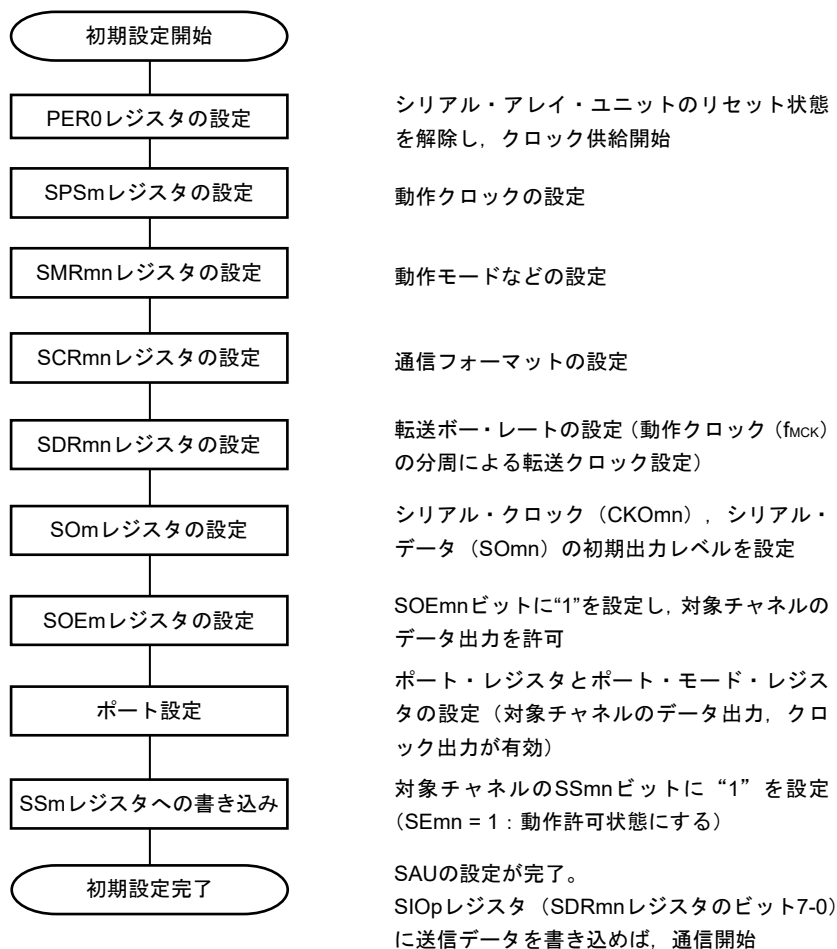


図18-27 マスタ送信の中断手順

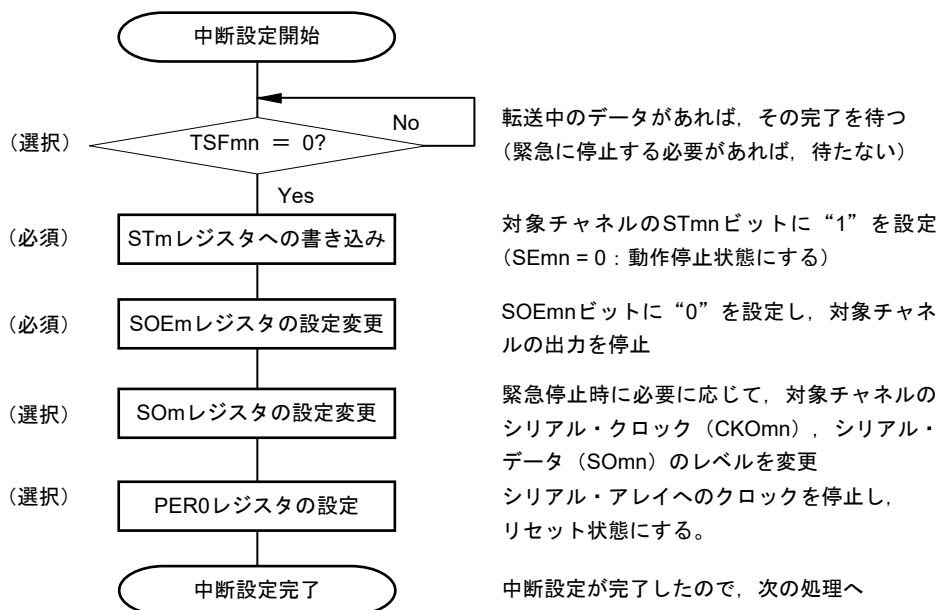
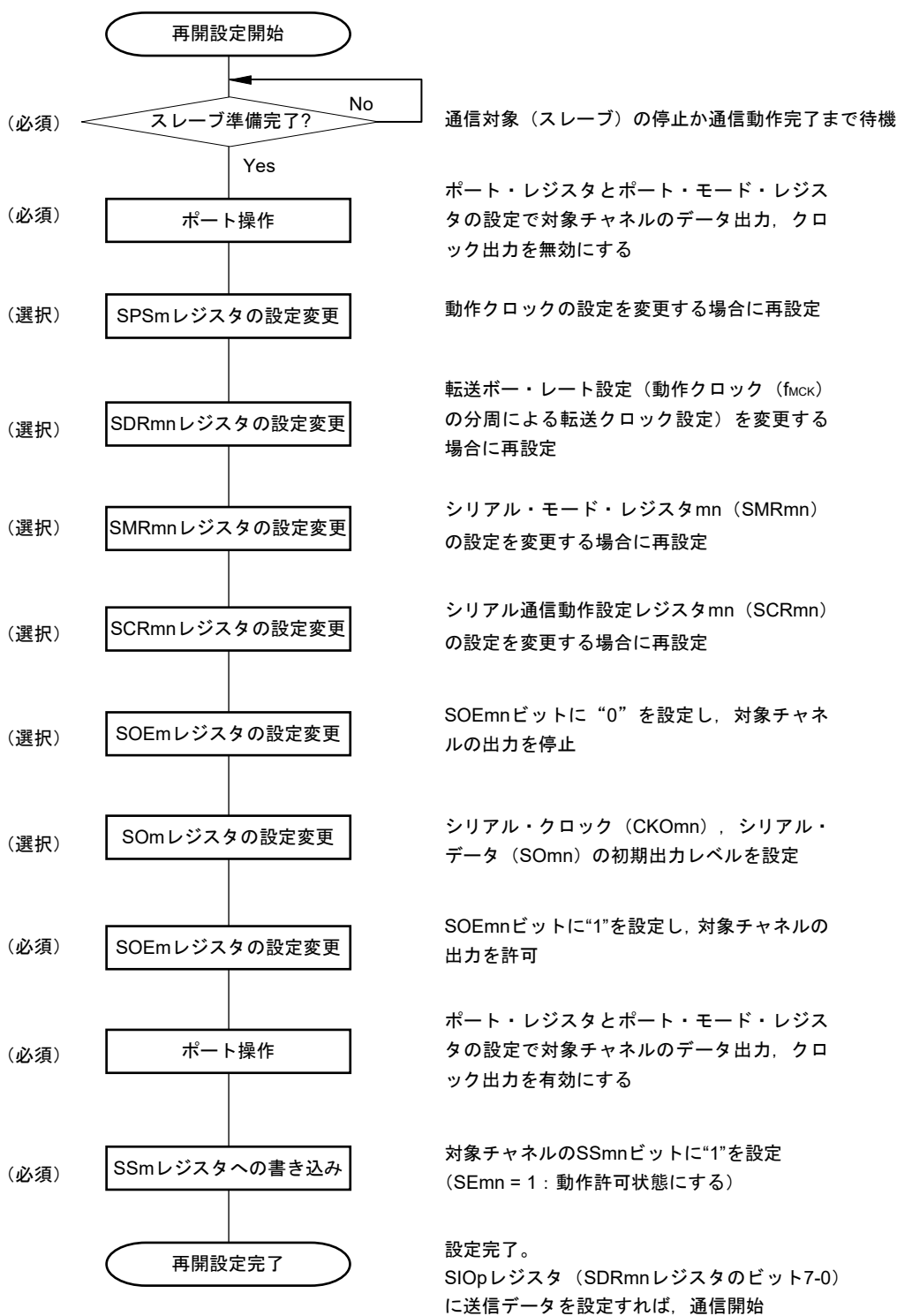


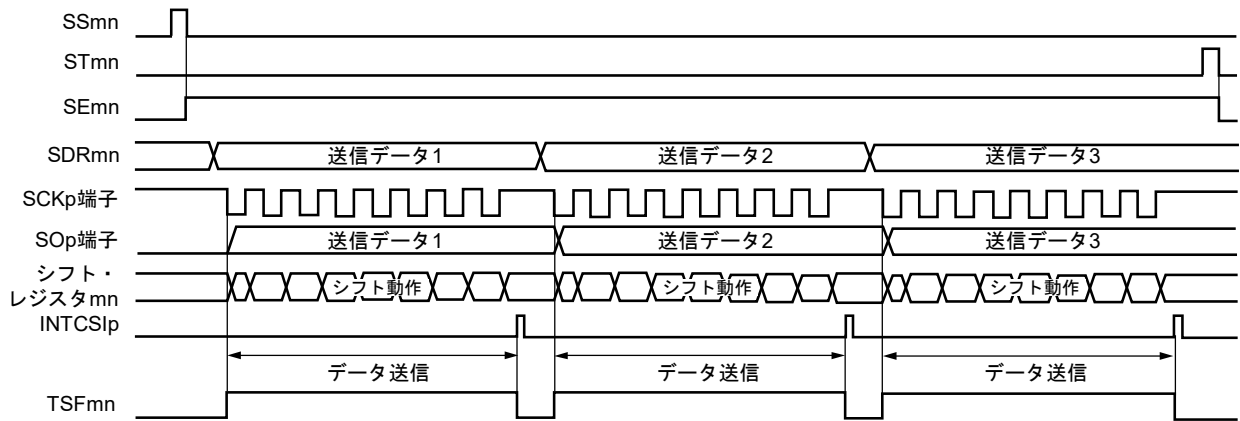
図18-28 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

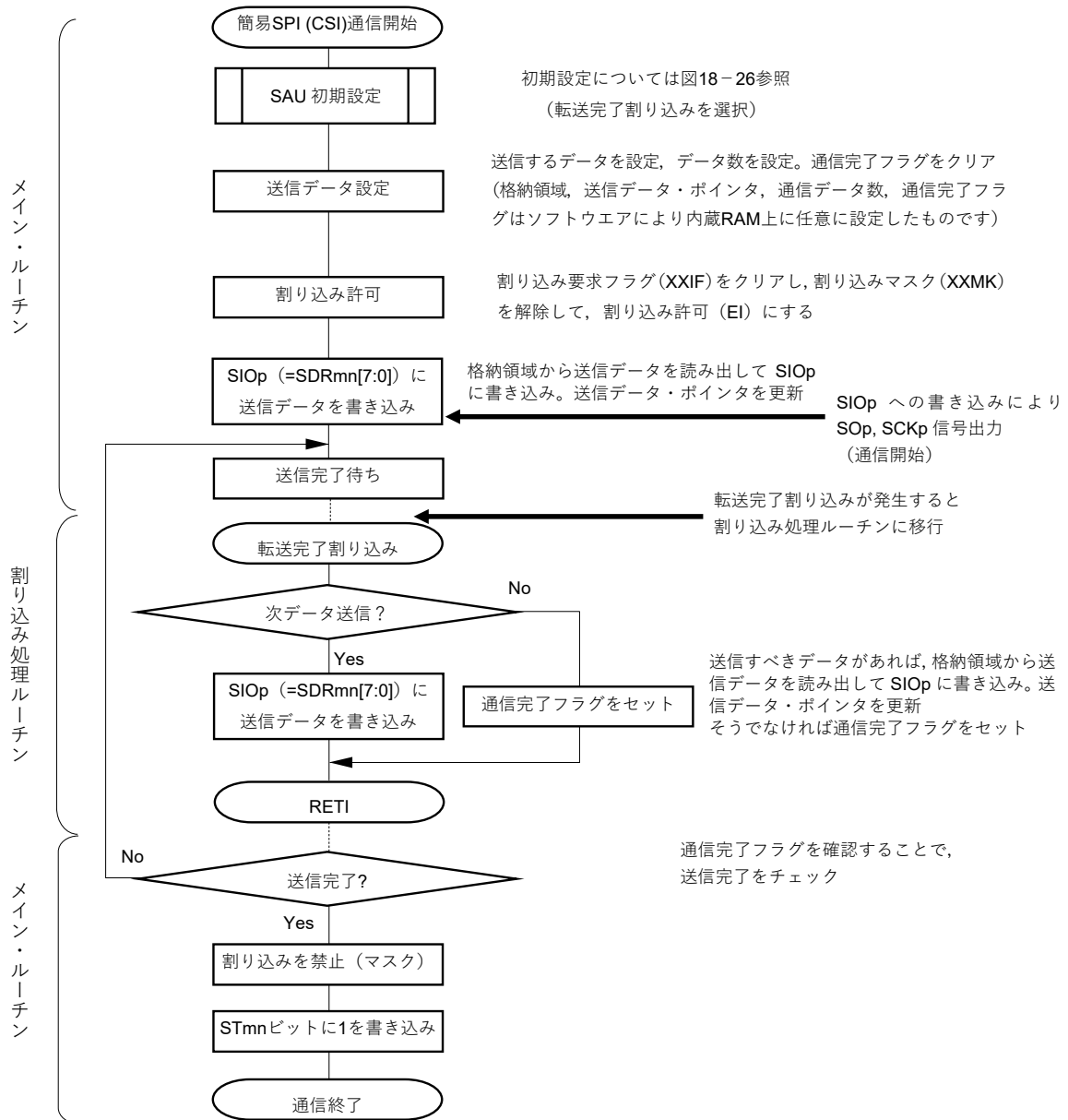
(3) 処理フロー（シングル送信モード時）

図18-29 マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



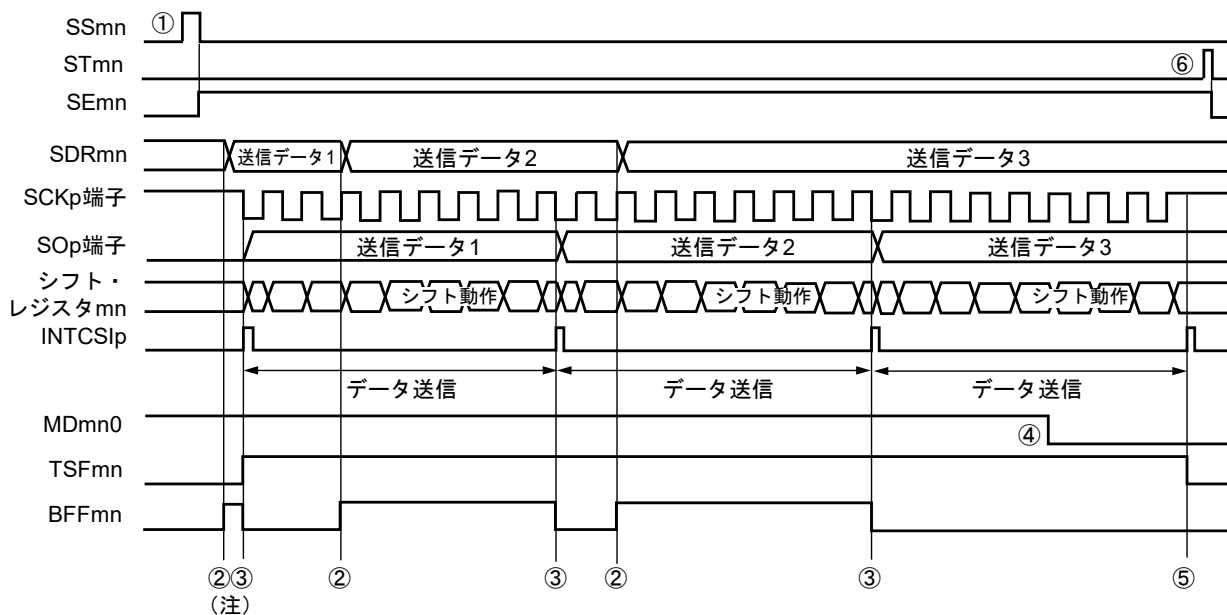
備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

図18-30 マスタ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図18-31 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

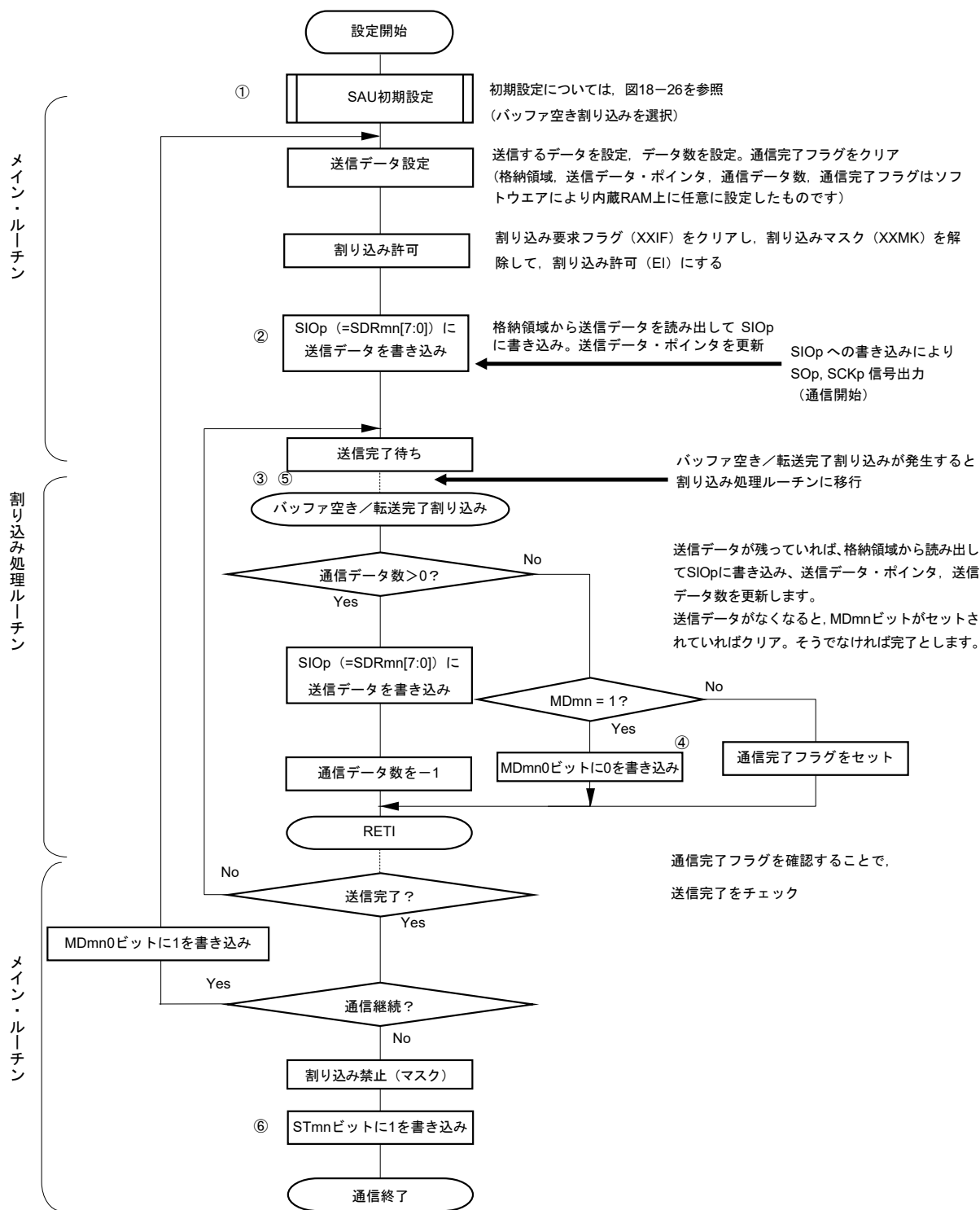


注 シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m：ユニット番号（m = 0） n：チャネル番号（n = 0） p：CSI番号（p = 00） mn = 00

図18-32 マスタ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図18-31 マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

18.5.2 マスタ受信

マスタ受信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

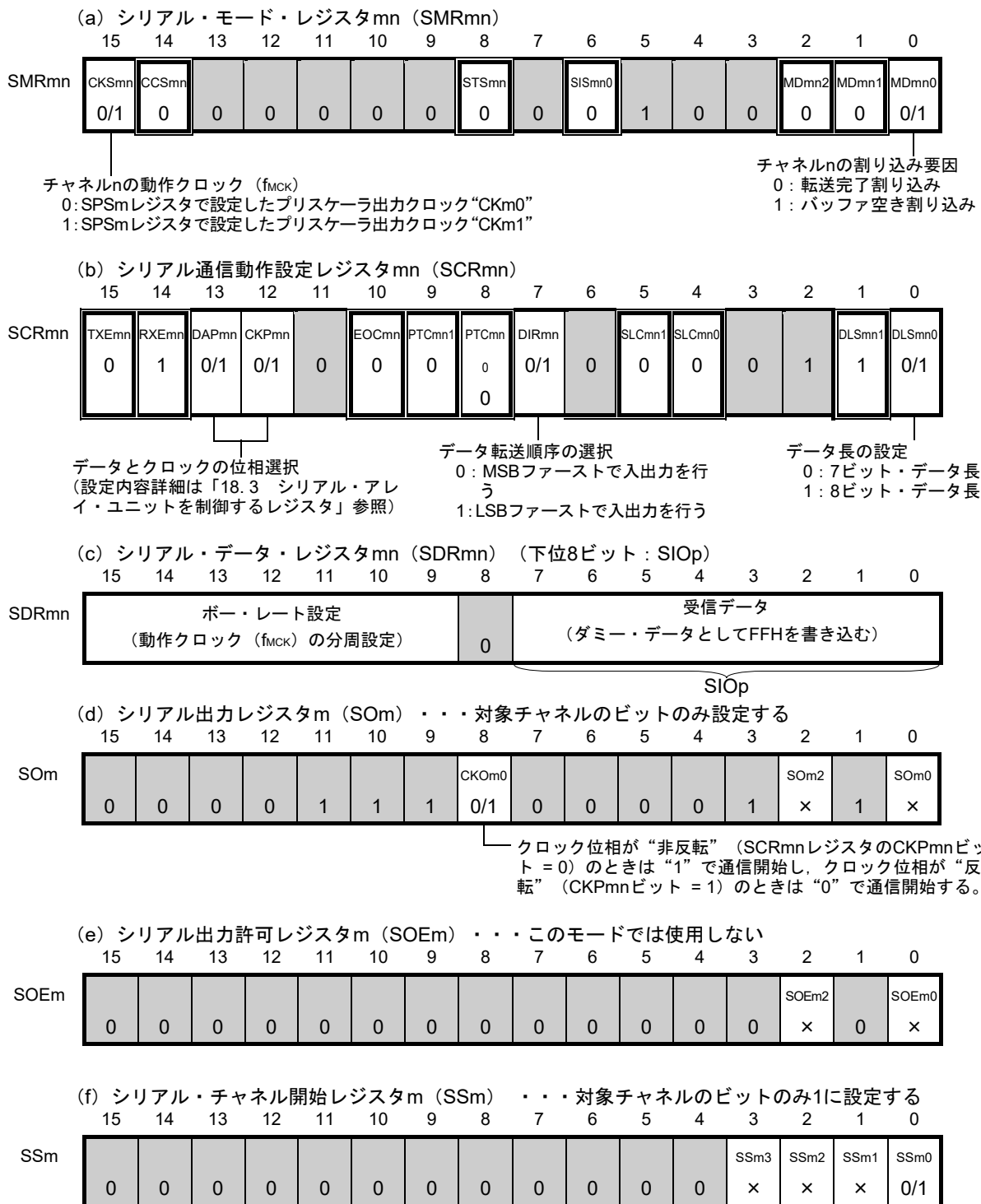
簡易SPI	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート ^注	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) mn = 00

(1) レジスタ設定

図18-33 簡易SPI (CSI00) のマスタ受信時のレジスタ設定内容例



- 備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00
2. □: 簡易SPI (CSI)マスタ受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 ×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図18-34 マスタ受信の初期設定手順

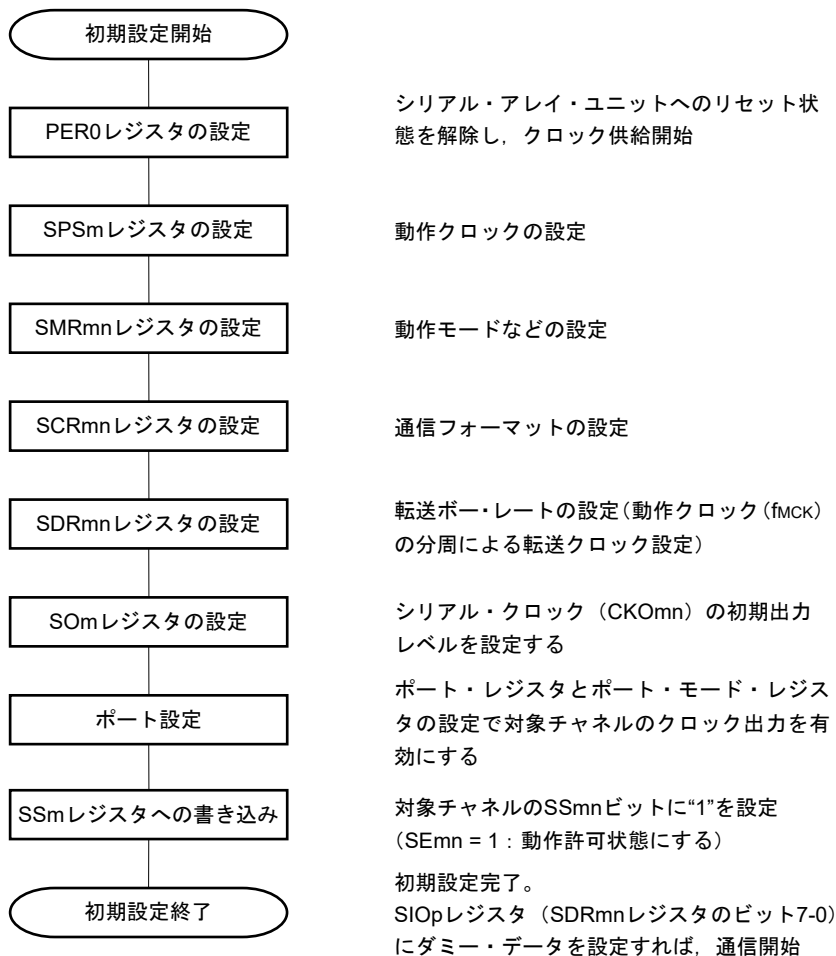


図18-35 マスタ受信の中断手順

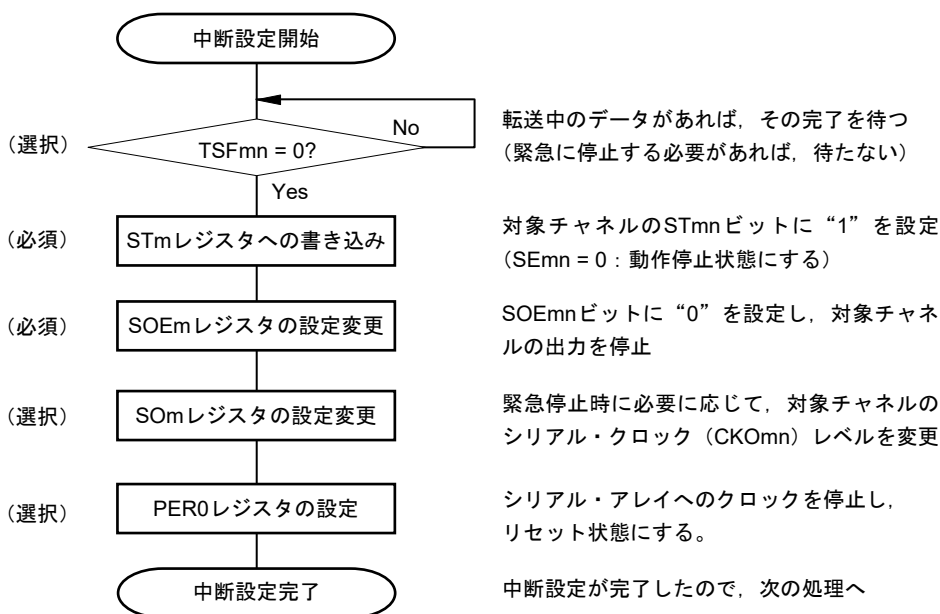
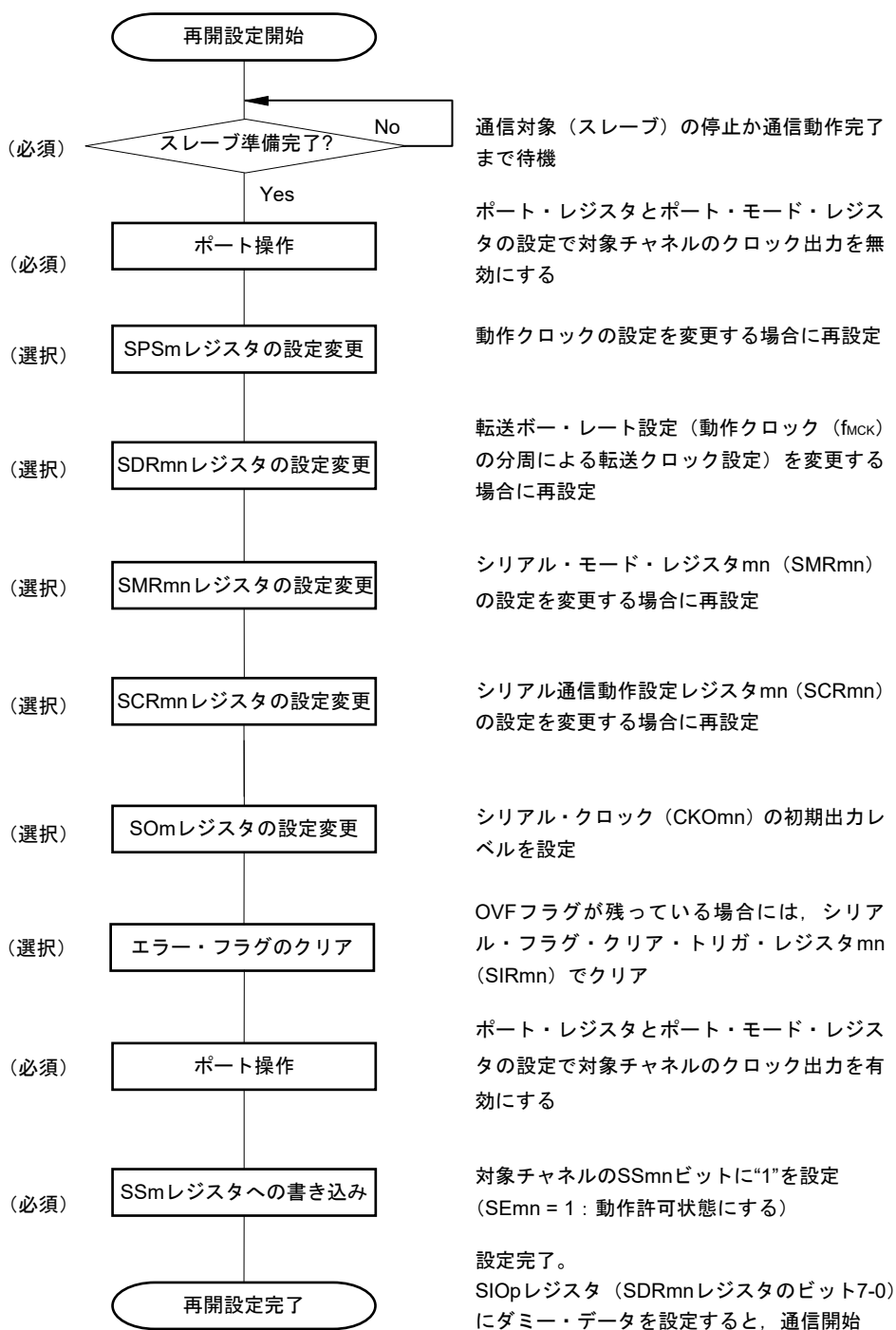


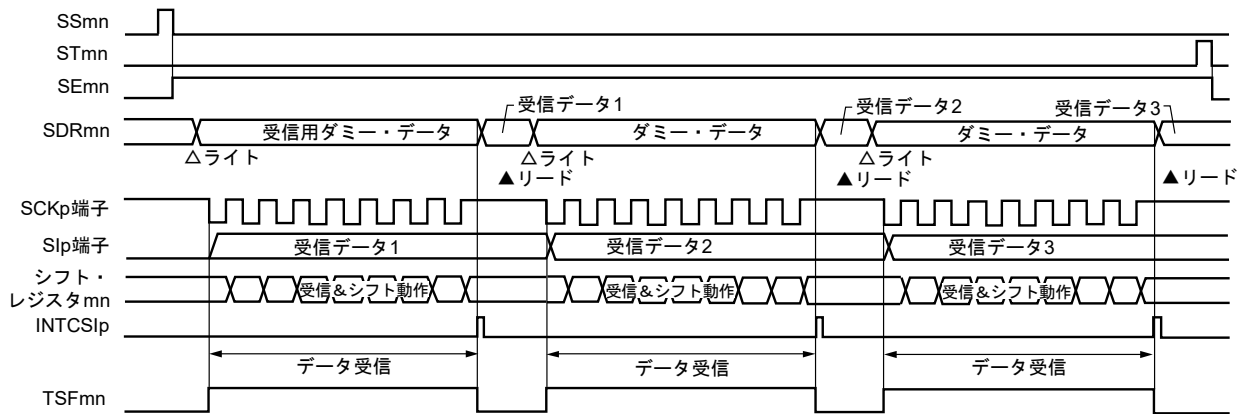
図18-36 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

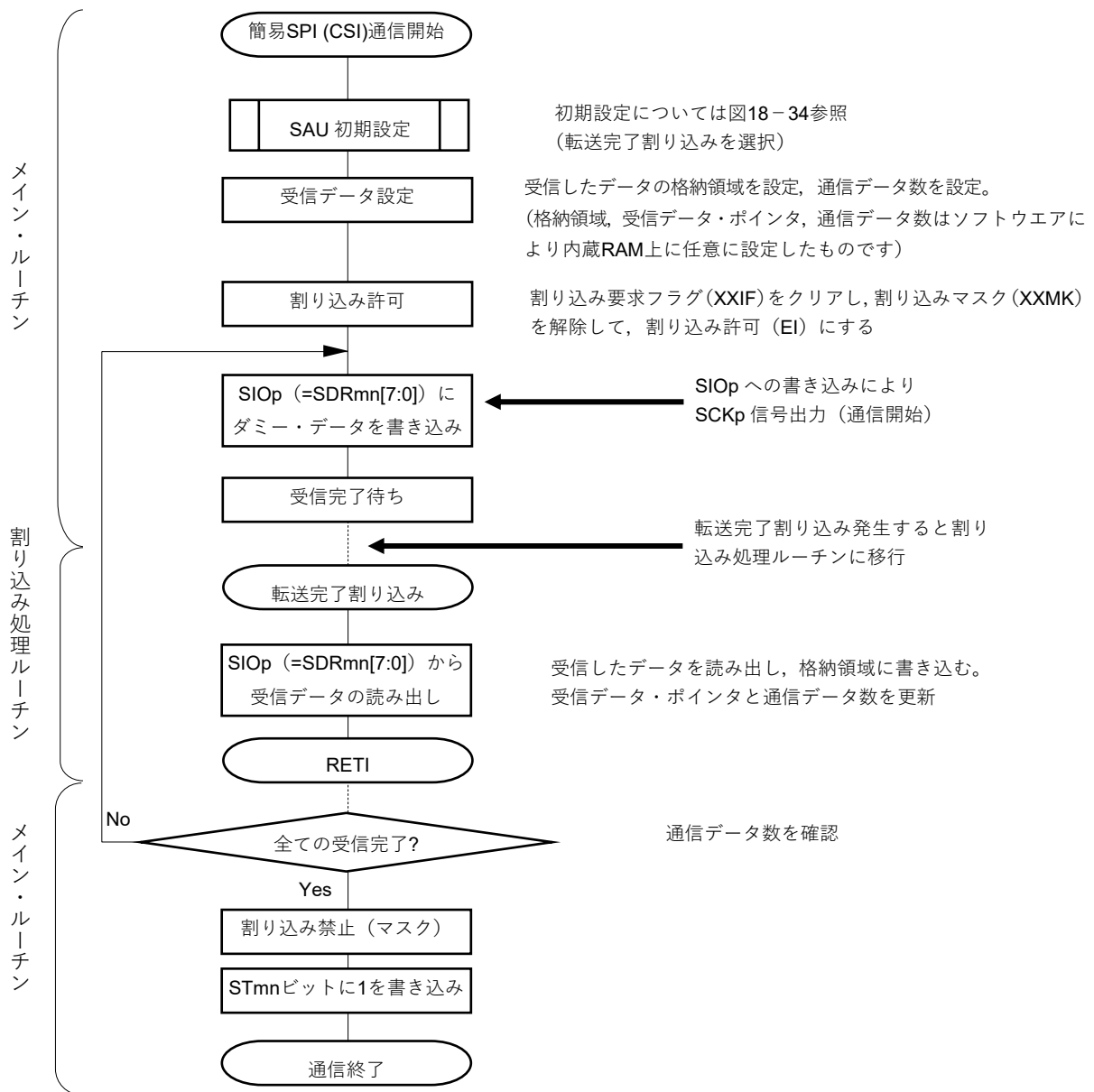
(3) 処理フロー（シングル受信モード時）

図18-37 マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



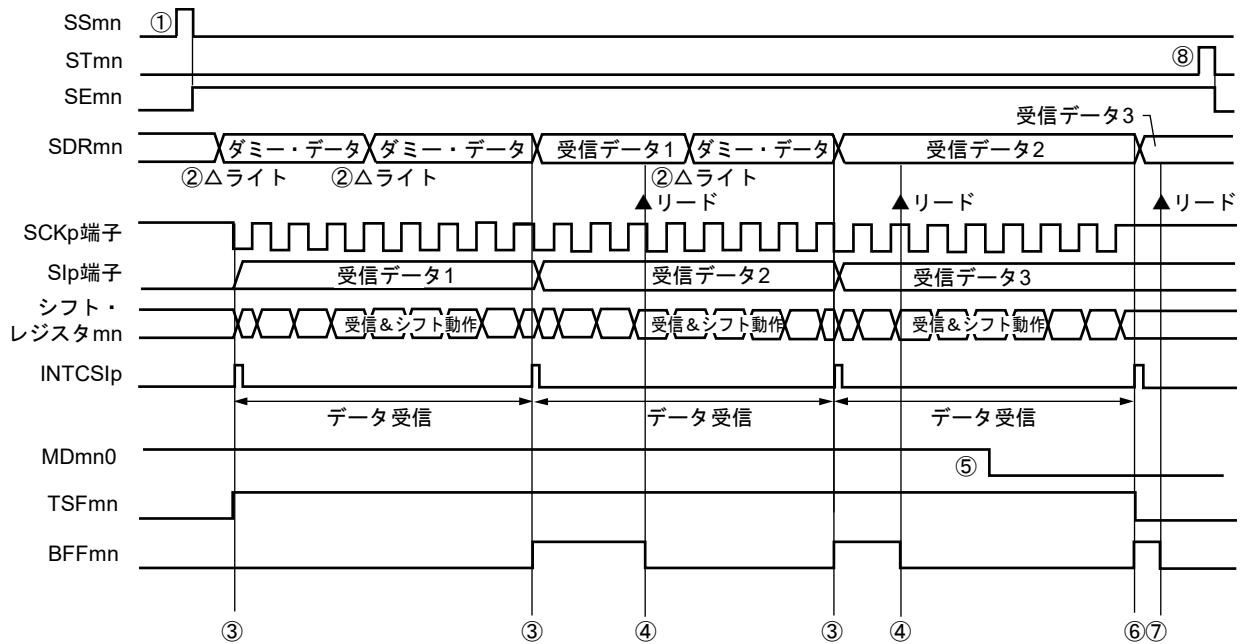
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

図18-38 マスタ受信（シングル受信モード時）のフロー・チャート



(4) 処理フロー（連続受信モード時）

図18-39 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



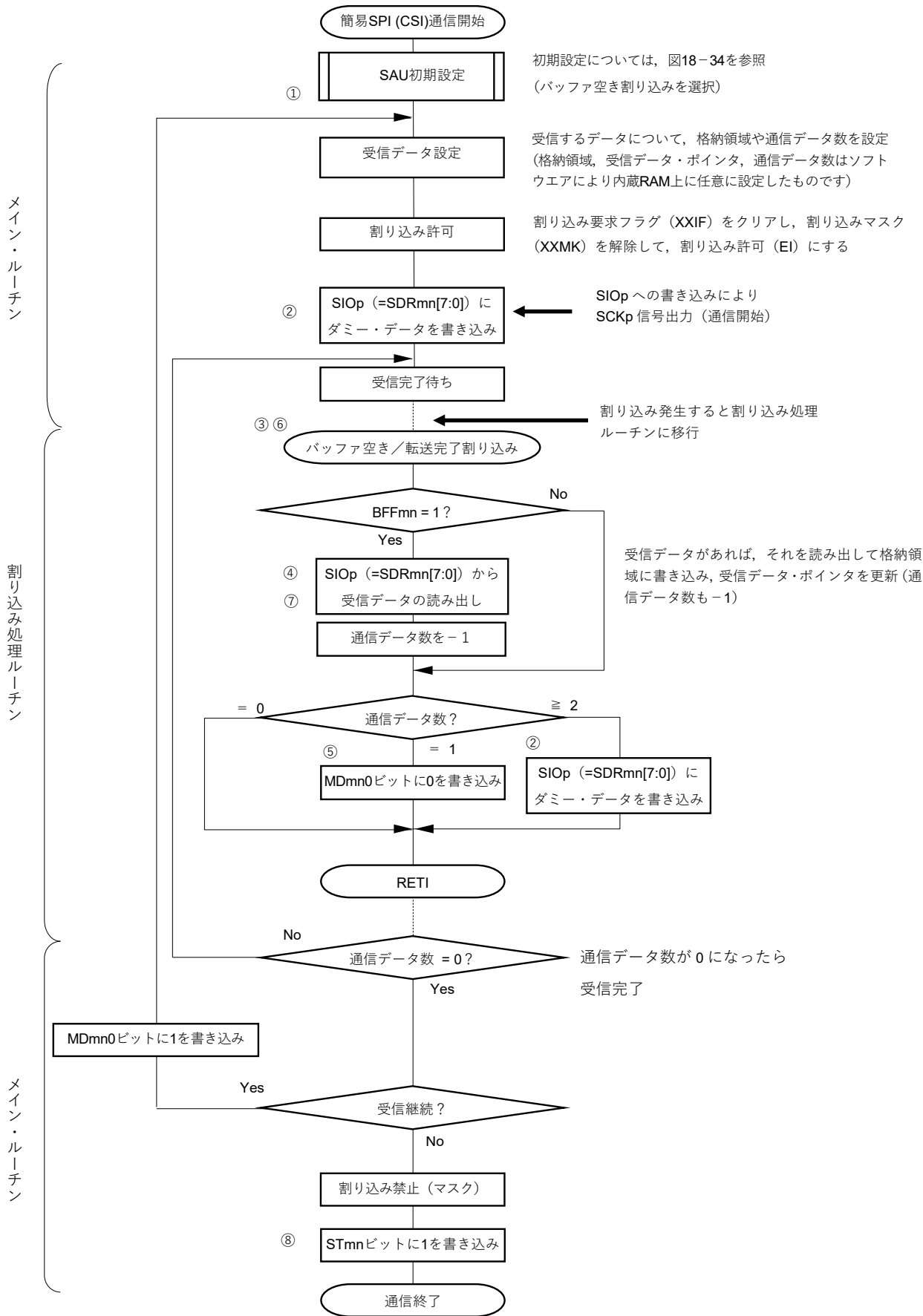
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①~⑧は、図18-40 マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。

2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

図18-40 マスタ受信（連続受信モード時）のフロー・チャート



備考 図中の①~⑧は、図18-39 マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。

18.5.3 マスタ送受信

マスタ送受信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

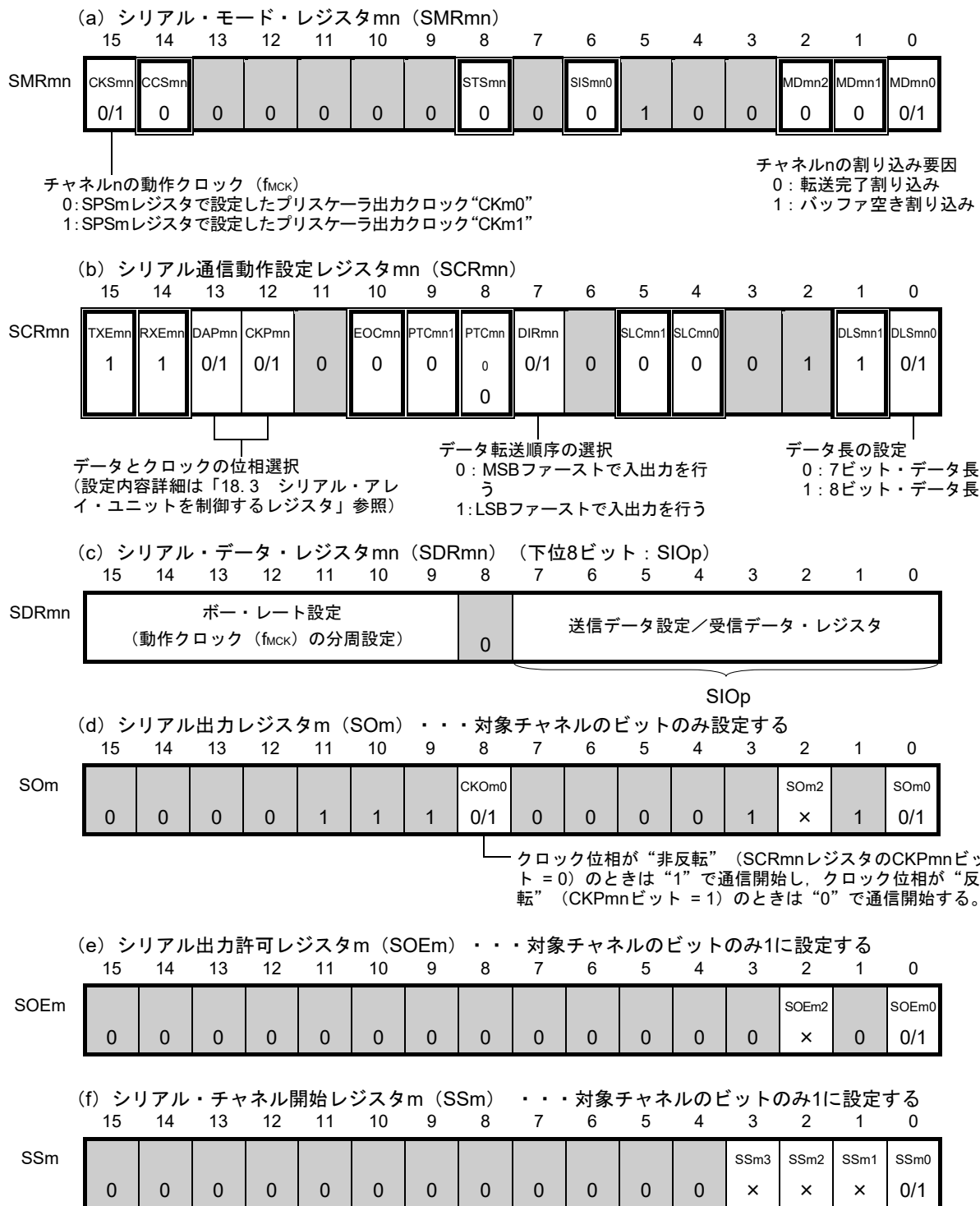
簡易SPI	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, SO00
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート ^注	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) mn = 00

(1) レジスタ設定

図18-41 簡易SPI (CSI00) のマスタ送受信時のレジスタ設定内容例



- 備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00
2. □: 簡易SPI (CSI)マスタ送受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図18-42 マスタ送受信の初期設定手順

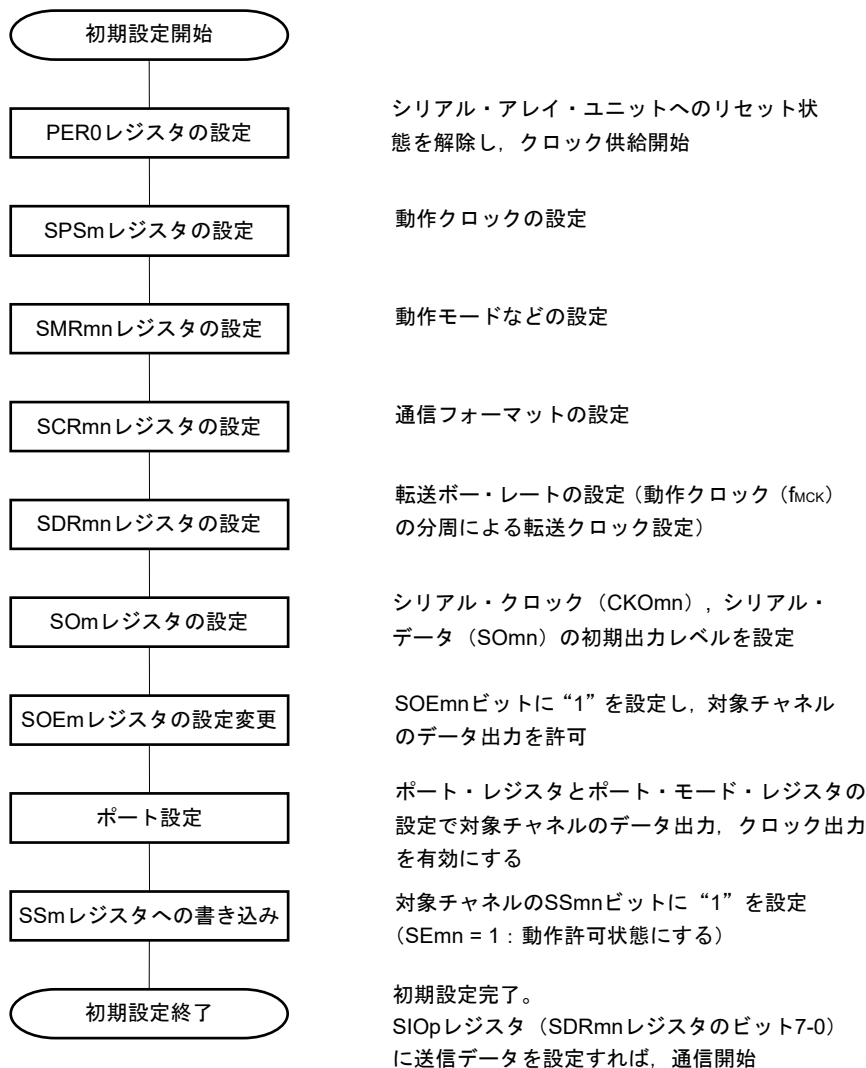
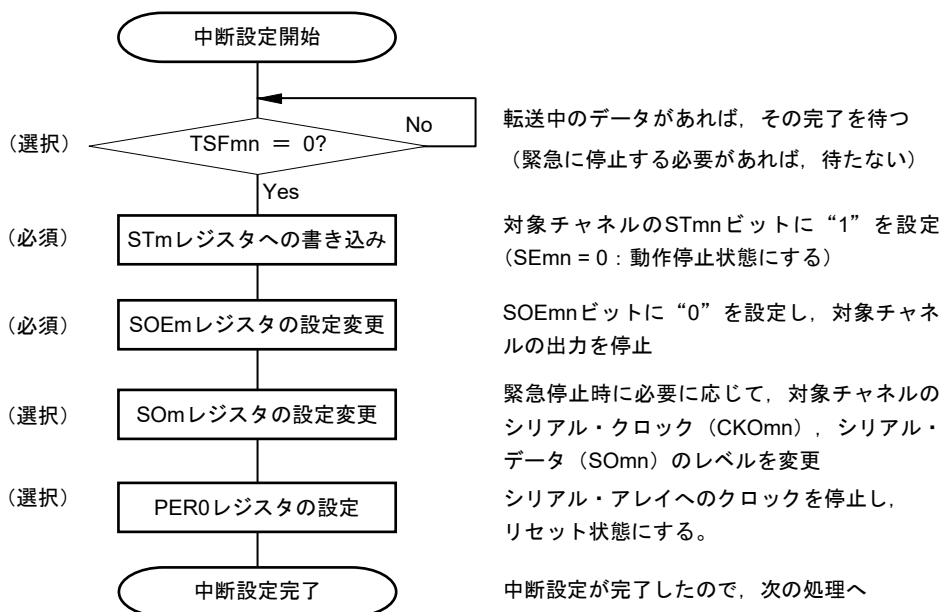
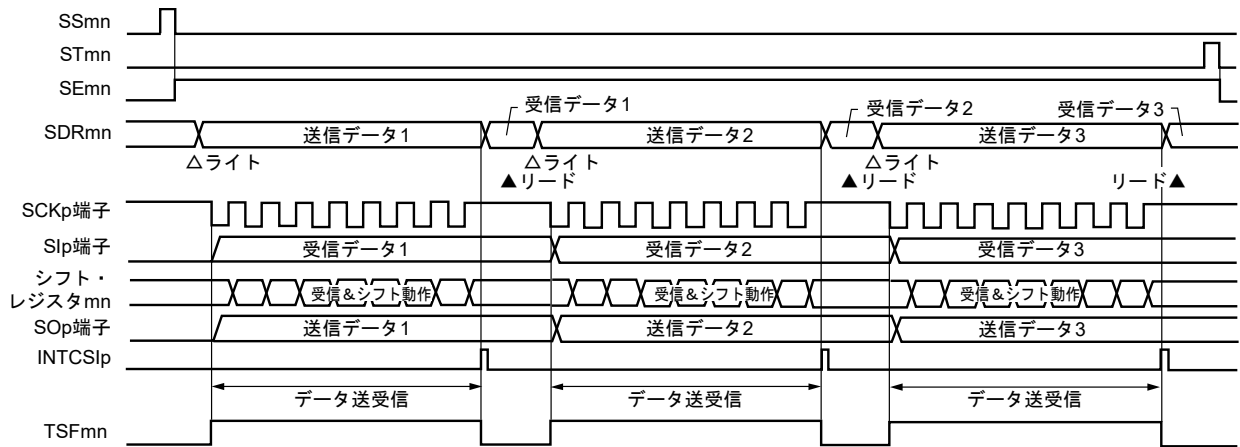


図18-43 マスタ送受信の中断手順



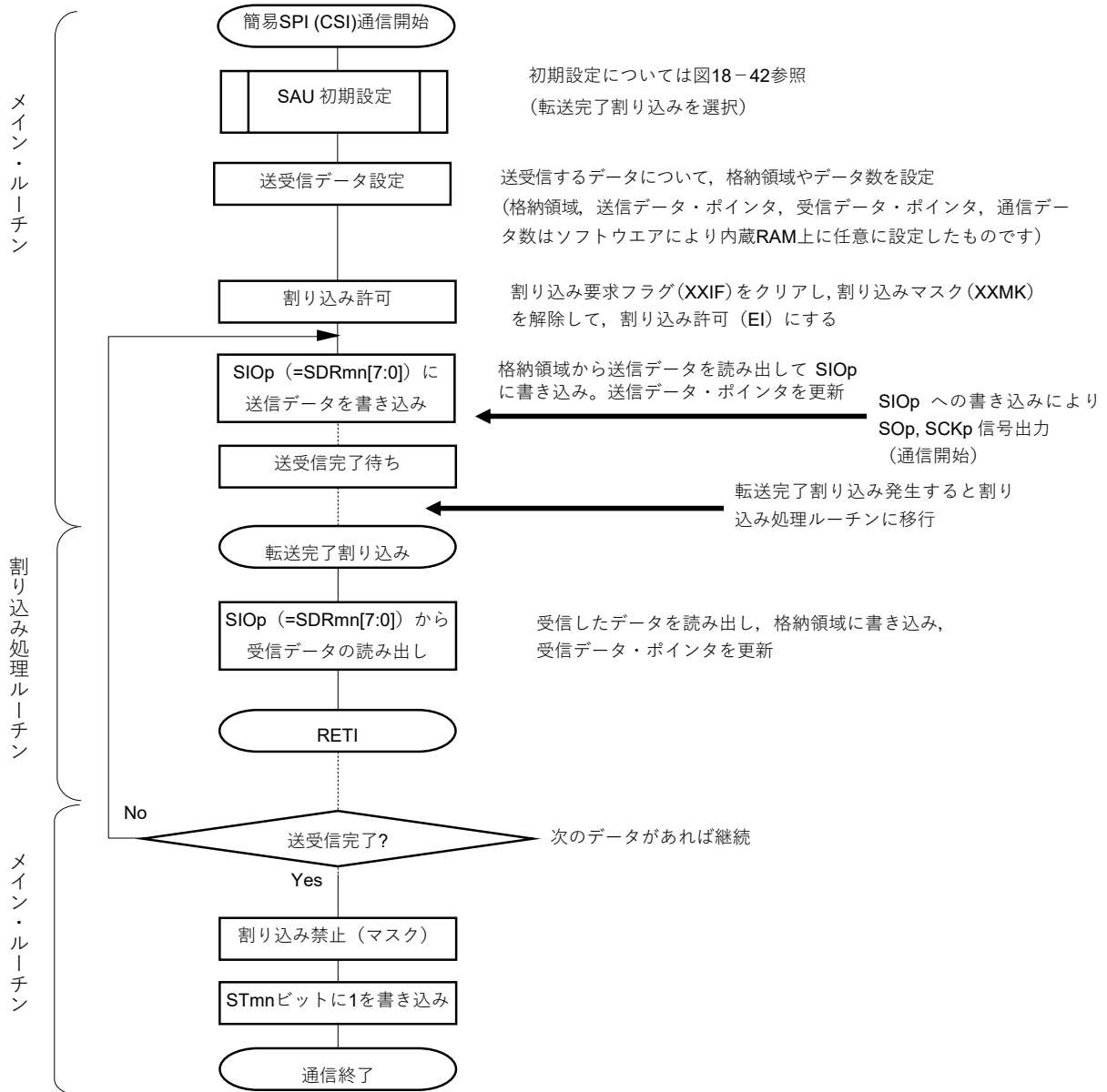
(3) 処理フロー（シングル送受信モード時）

図18-45 マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



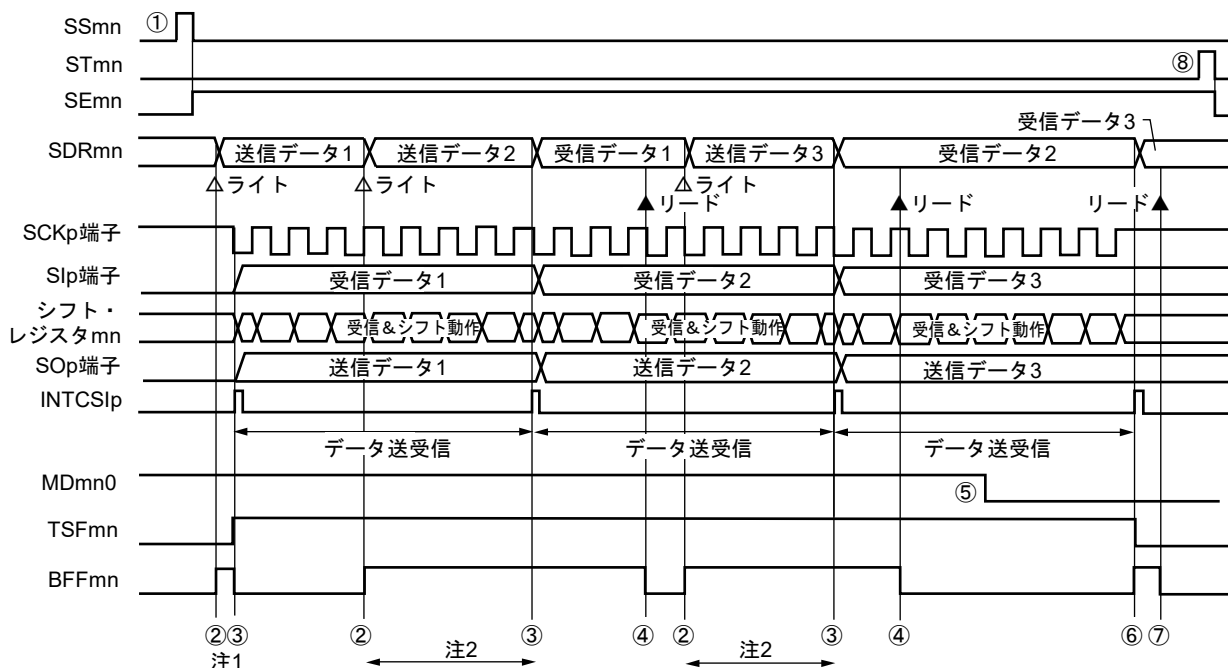
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

図18-46 マスタ送受信（シングル送受信モード時）のフロー・チャート



(4) 処理フロー（連続送受信モード時）

図18-47 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



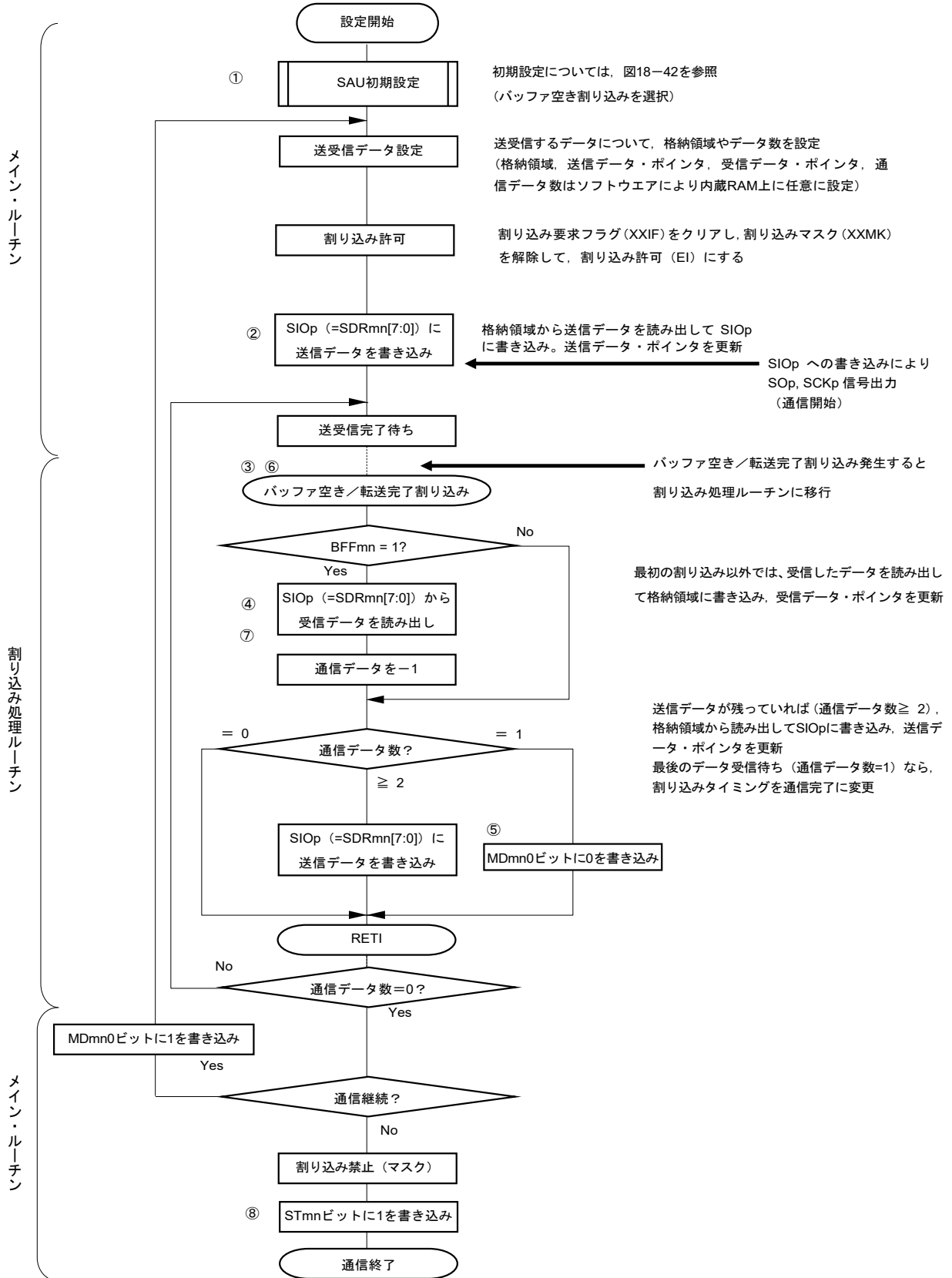
- 注1. シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
- 2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①~⑧は、図18-48 マスタ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

- 2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

図18-48 マスタ送受信（連続送受信モード時）のフロー・チャート



備考 図中の①~⑧は、図18-47 マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

18.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SO00
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

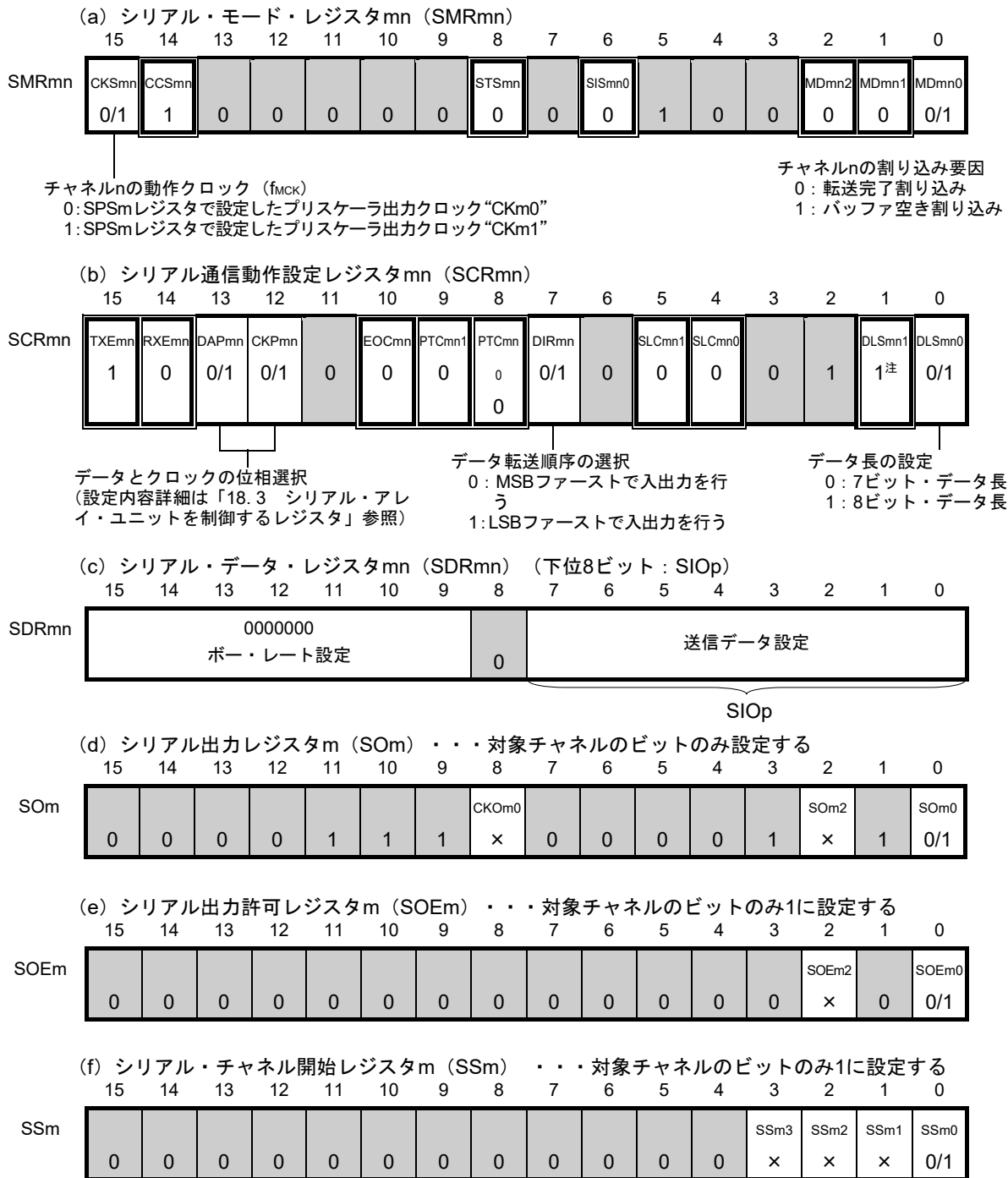
- 注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。
2. この条件を満たし、かつ電氣的特性の周辺機能特性（第37章 電氣的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

2. m：ユニット番号（m = 0） n：チャンネル番号（n = 0） mn = 00

(1) レジスタ設定

図18-49 簡易SPI (CSI00) のスレーブ送信時のレジスタ設定内容例



注 SCR00レジスタのみ。その他は1固定になります。

- 備考1. m: ユニット番号 (m=0) n: チャンネル番号 (n=0) p: CSI番号 (p=00) mn=00
2. □: 簡易SPI (CSI)スレーブ送信モードでは設定固定 ■: 設定不可 (初期値を設定)
 ×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図18-50 スレーブ送信の初期設定手順

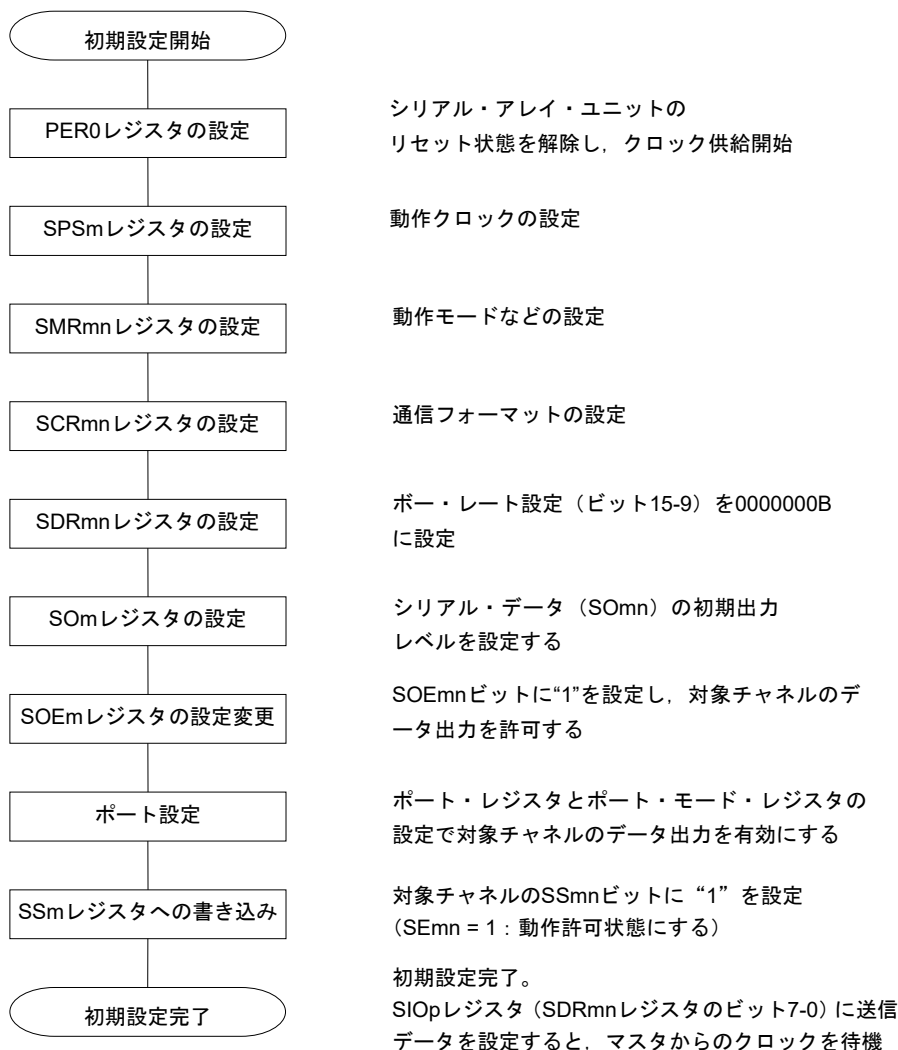


図18-51 スレーブ送信の中断手順

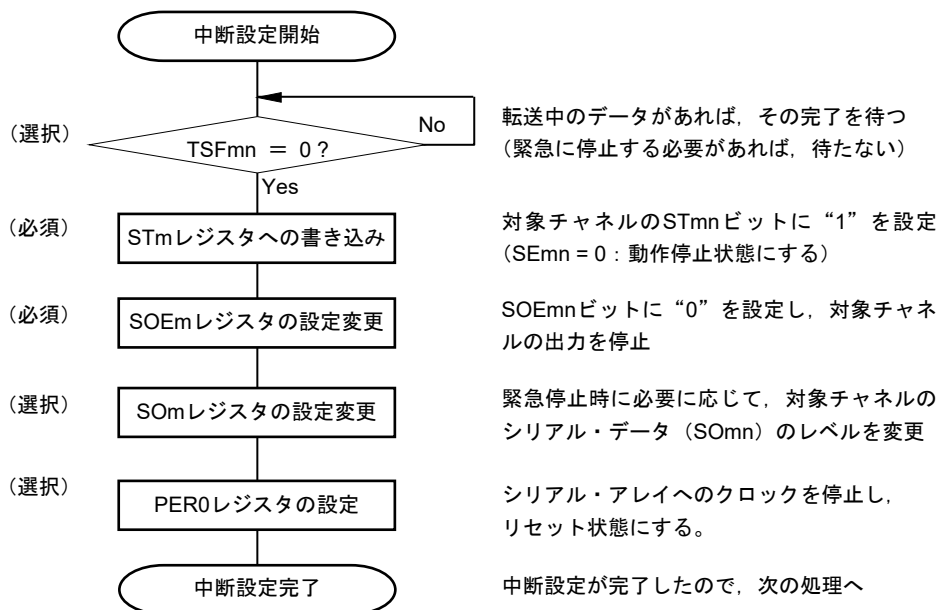
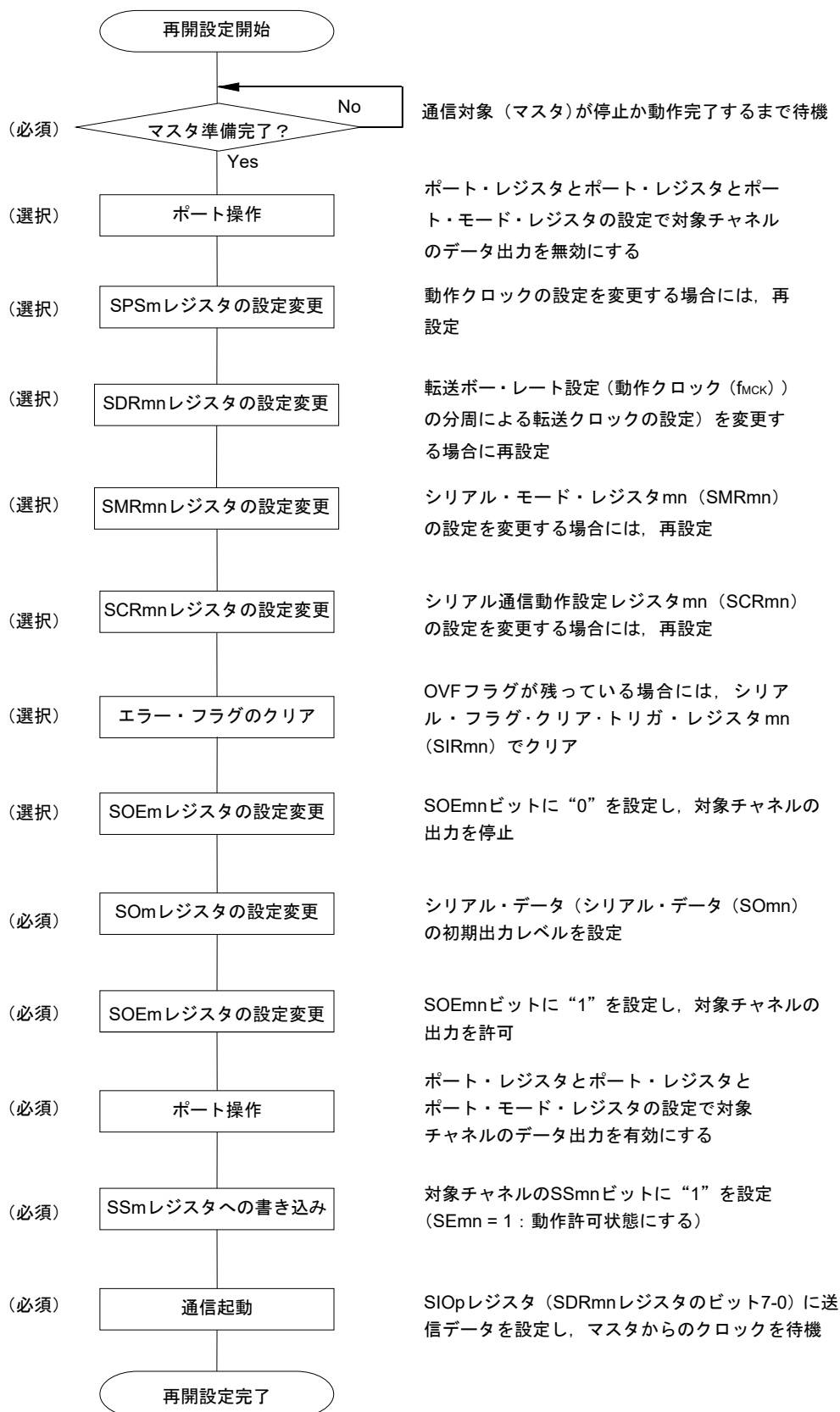


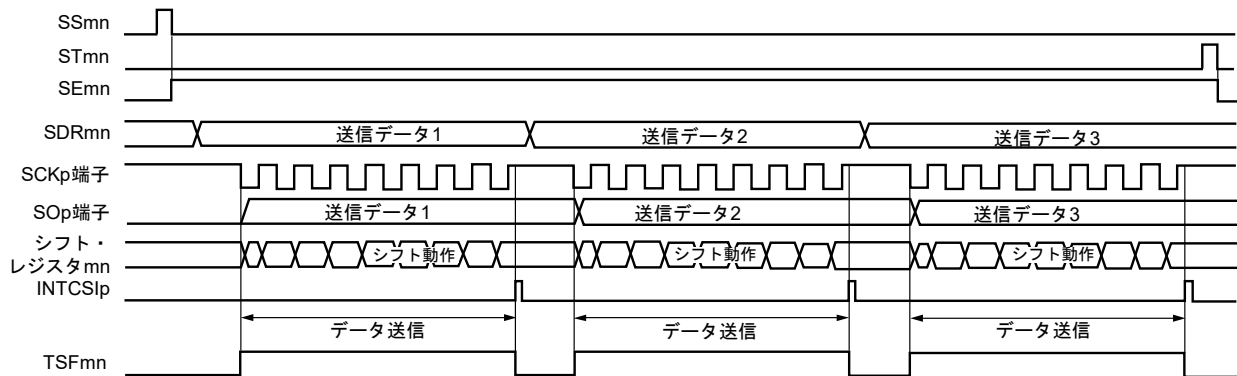
図18-52 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

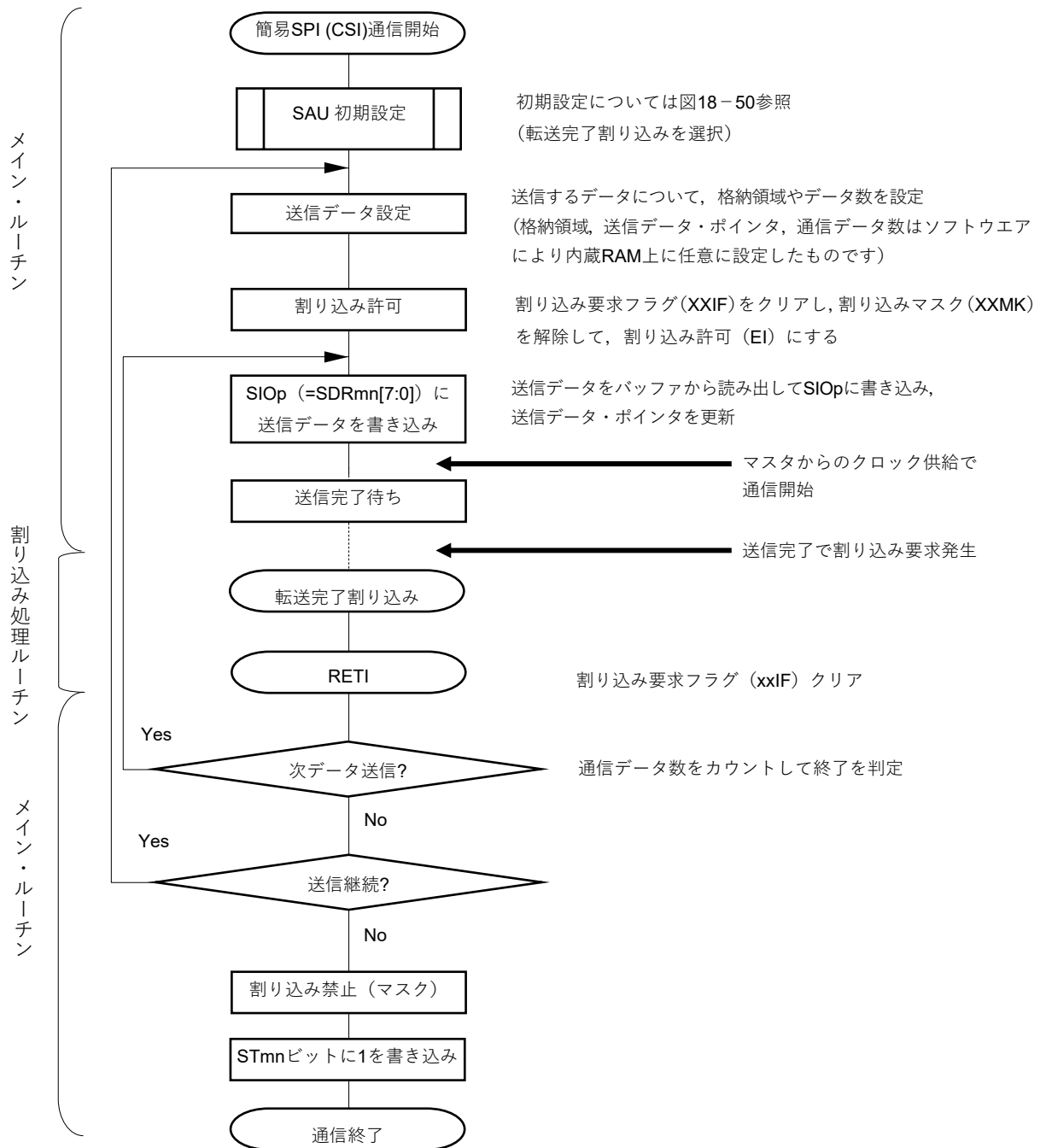
(3) 処理フロー（シングル送信モード時）

図18-53 スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

図18-54 スレーブ送信（シングル送信モード時）のフロー・チャート



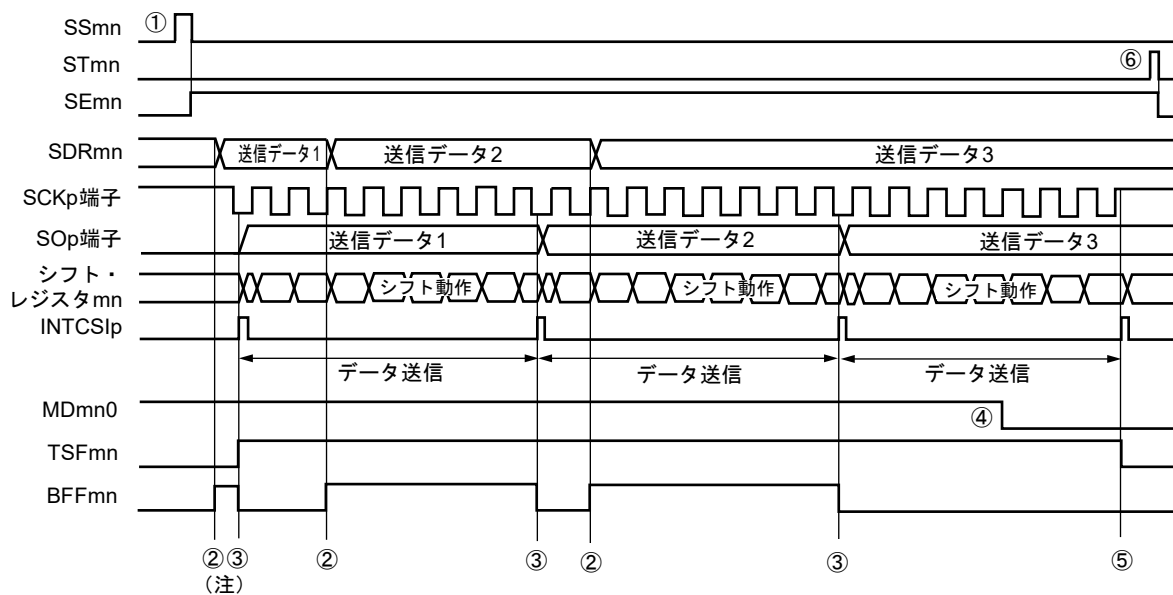
メイン・ルーチン

割り込み処理ルーチン

メイン・ルーチン

(4) 処理フロー（連続送信モード時）

図18-55 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

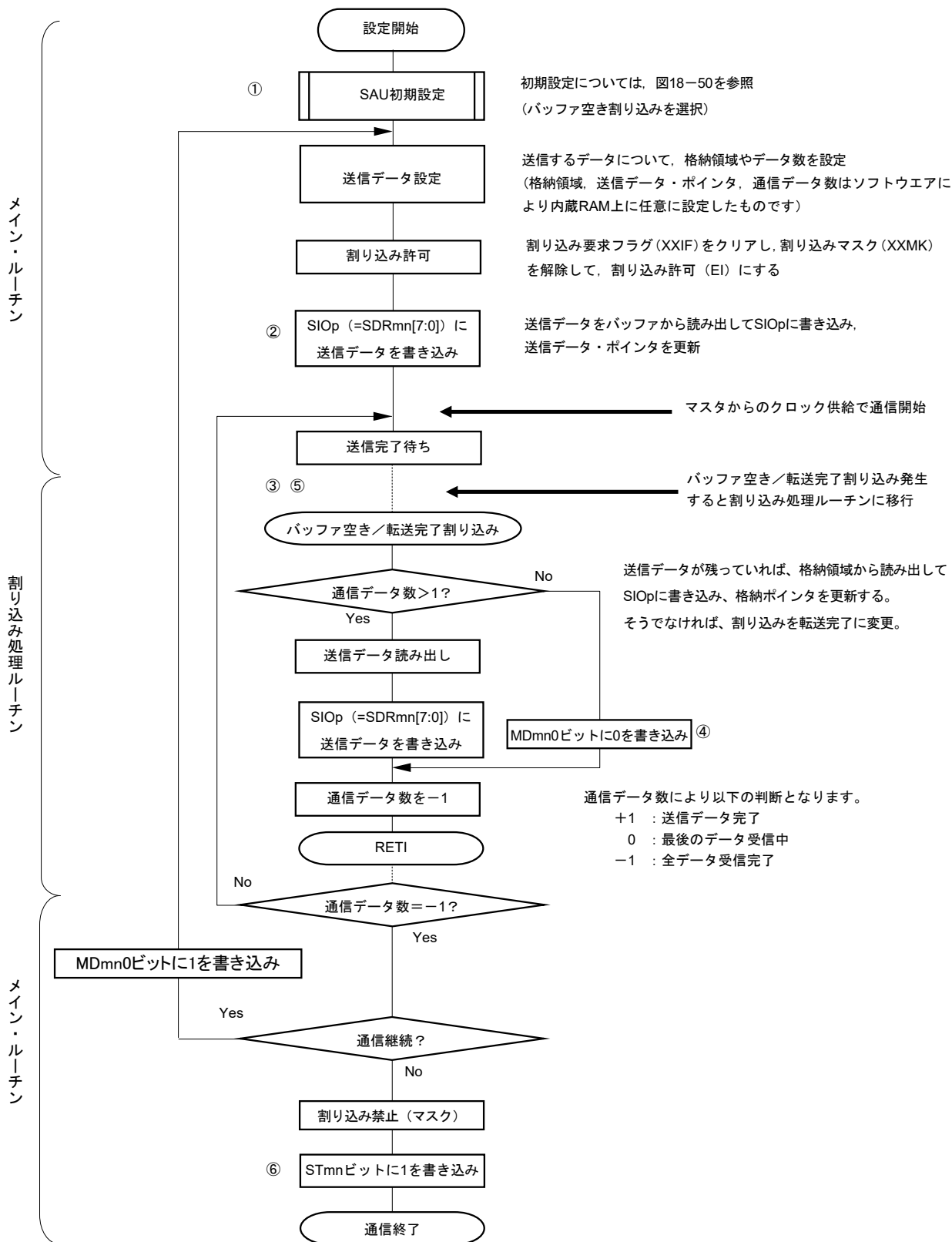


注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

図18-56 スレーブ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図18-55 スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

18.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00
割り込み	INTCSI00
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

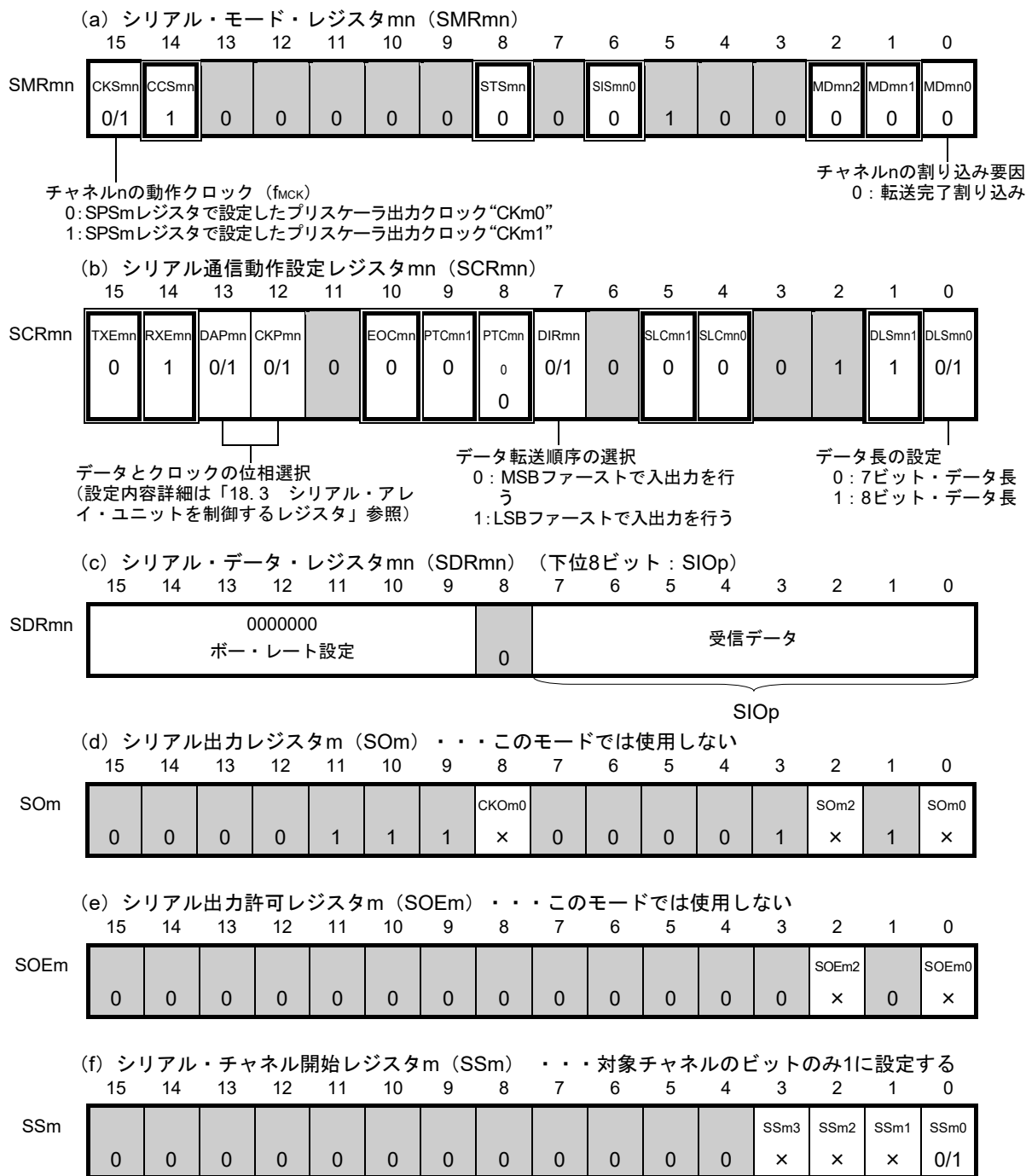
2. この条件を満たし、かつ電氣的特性の周辺機能特性（第37章 電氣的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

2. m：ユニット番号（m = 0） n：チャンネル番号（n = 0） mn = 00

(1) レジスタ設定

図18-57 簡易SPI (CSI00) のスレーブ受信時のレジスタ設定内容例



- 備考1. m: ユニット番号 (m=0) n: チャンネル番号 (n=0) p: CSI番号 (p=00) mn=00
2. □: 簡易SPI (CSI)スレーブ受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図18-58 スレーブ受信の初期設定手順

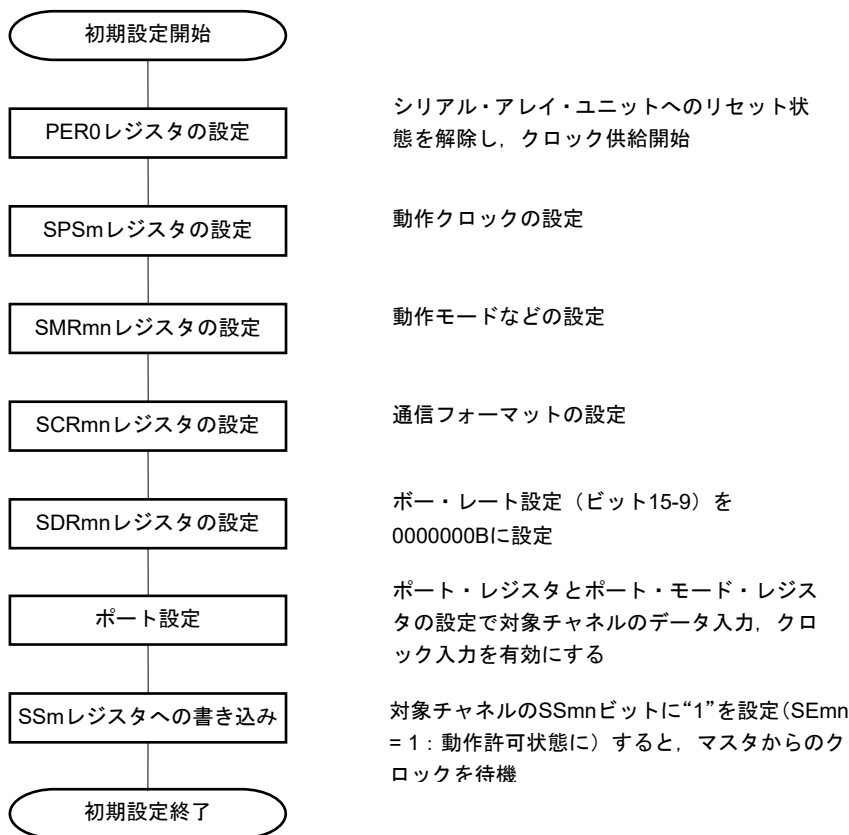


図18-59 スレーブ受信の中断手順

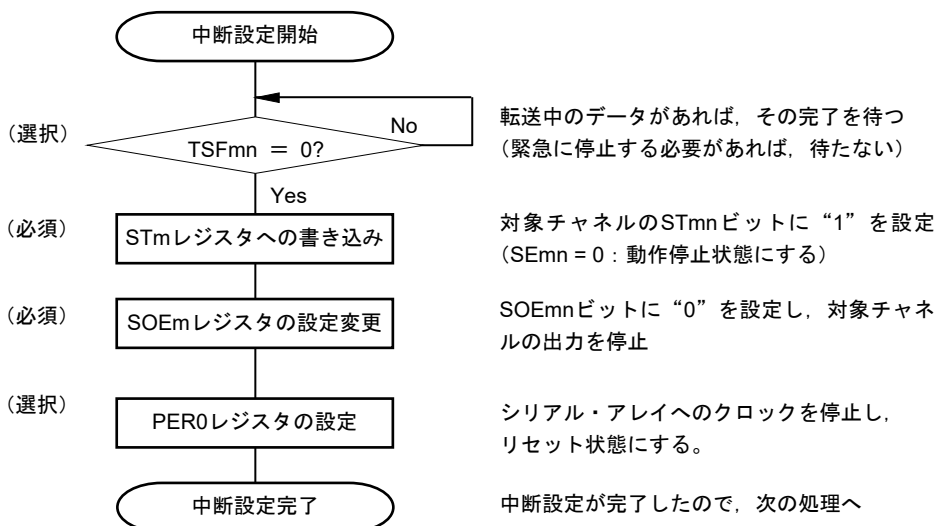
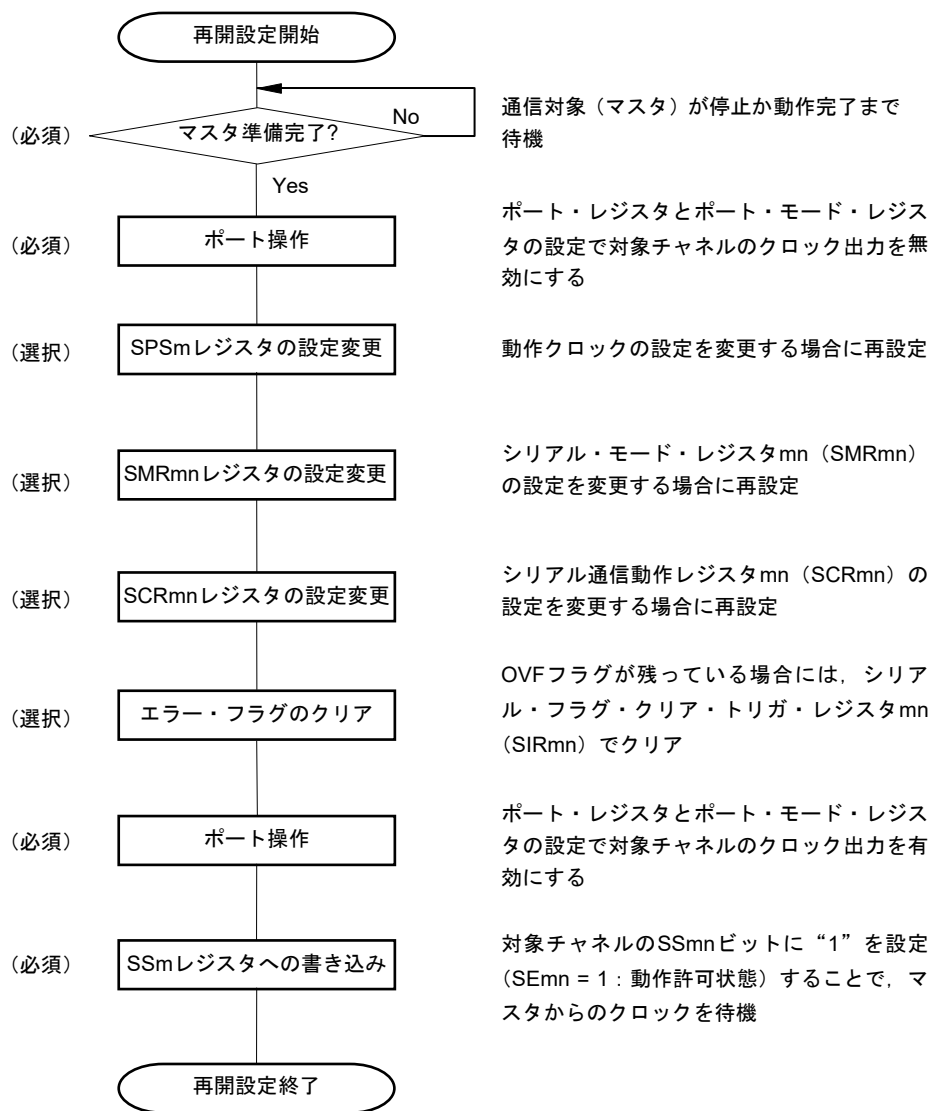


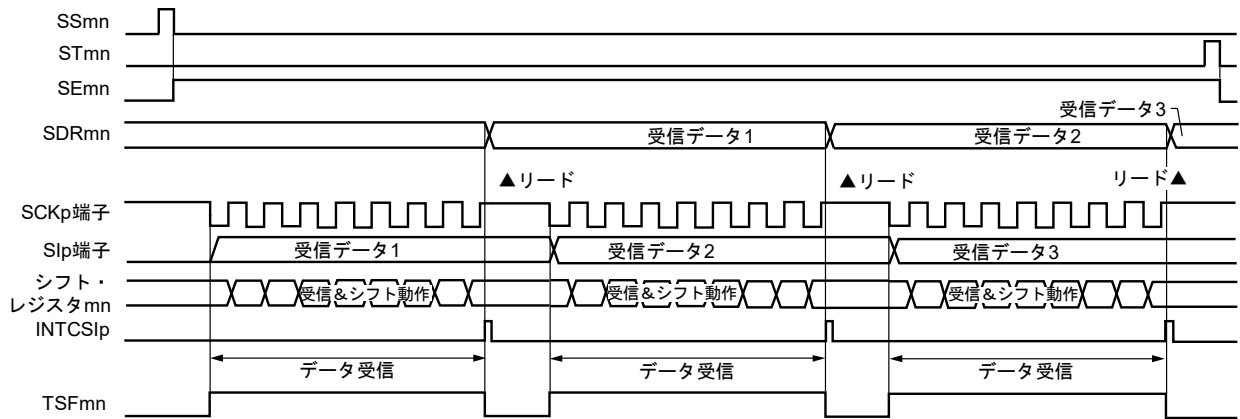
図18-60 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

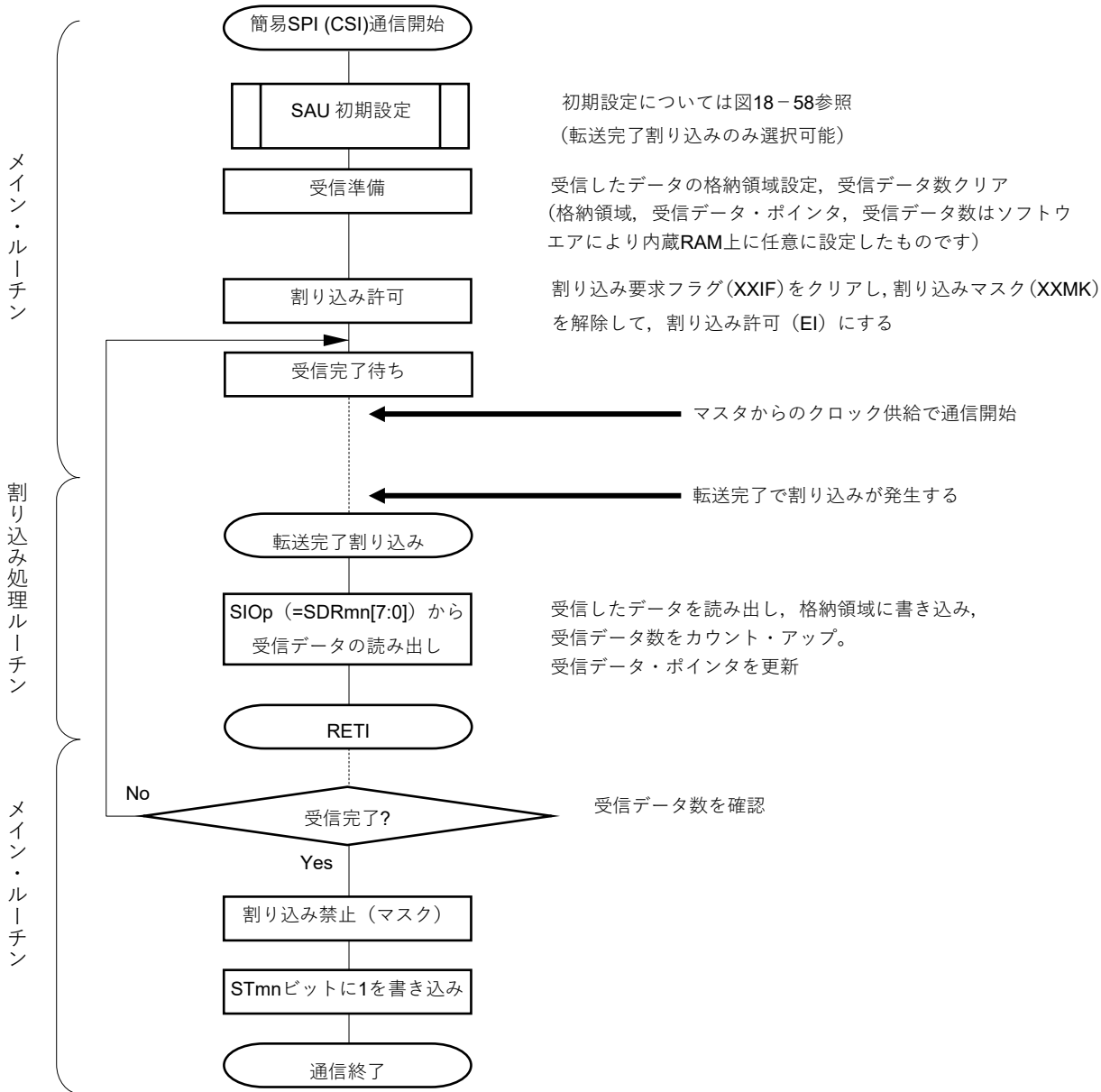
(3) 処理フロー（シングル受信モード時）

図18-61 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

図18-62 スレーブ受信（シングル受信モード時）のフロー・チャート



18.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, SO00
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

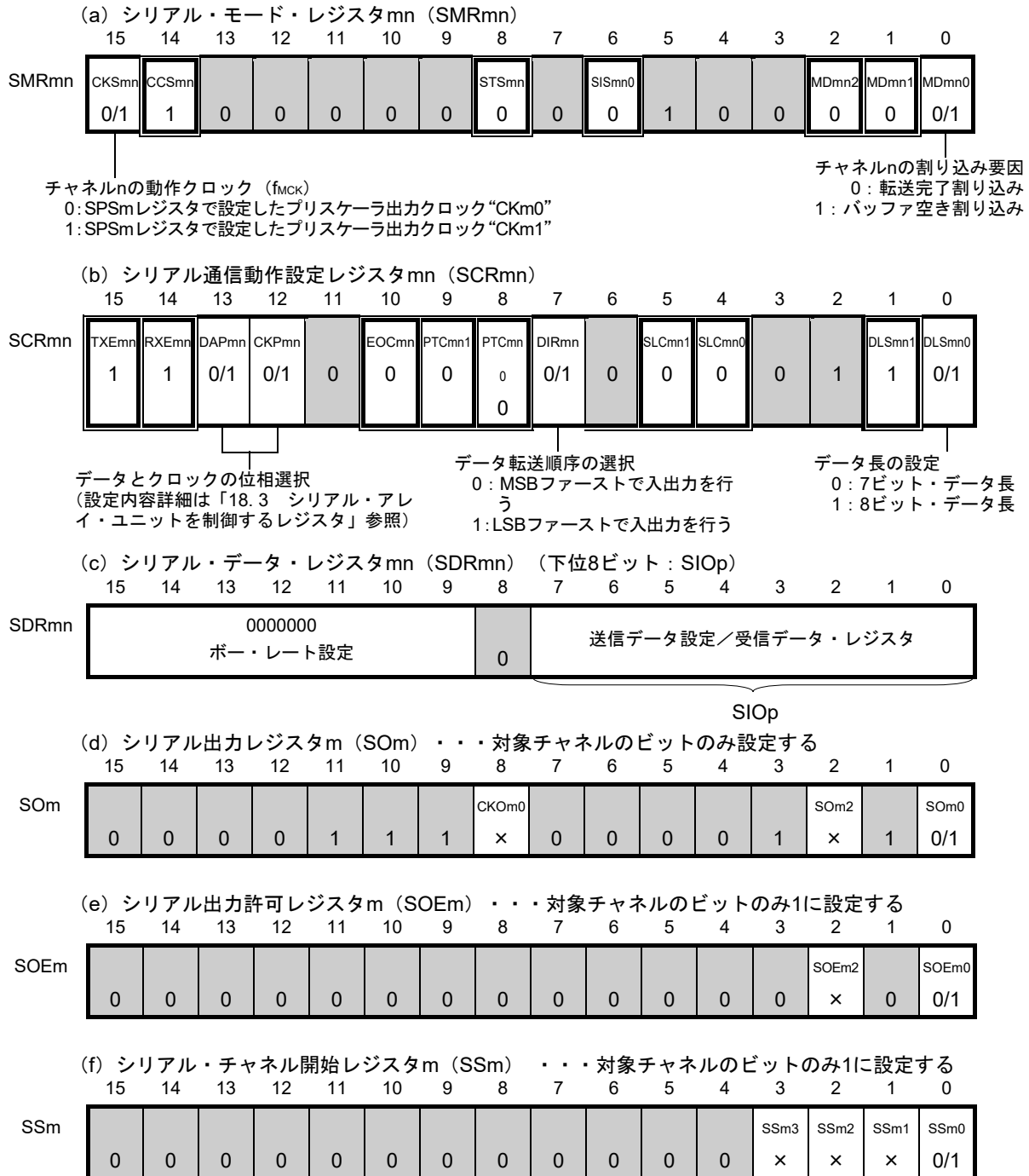
- 注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。
2. この条件を満たし、かつ電氣的特性の周辺機能特性（第37章 電氣的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

2. m：ユニット番号（m = 0） n：チャンネル番号（n = 0） mn = 00

(1) レジスタ設定

図18-63 簡易SPI (CSI00) のスレーブ送受信時のレジスタ設定内容例

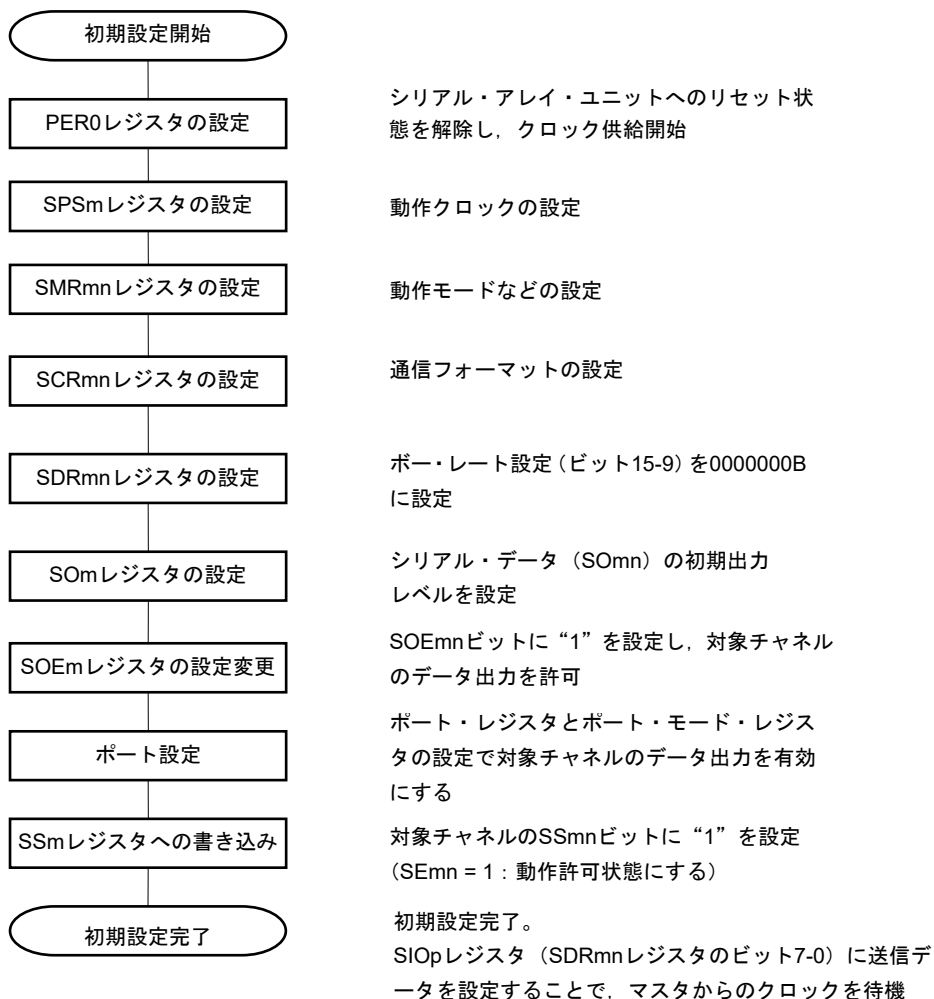


注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

- 備考1. m: ユニット番号 (m=0) n: チャンネル番号 (n=0) p: CSI番号 (p=00) mn=00
2. □: 簡易SPI (CSI)スレーブ送受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図18-64 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図18-65 スレーブ送受信の中断手順

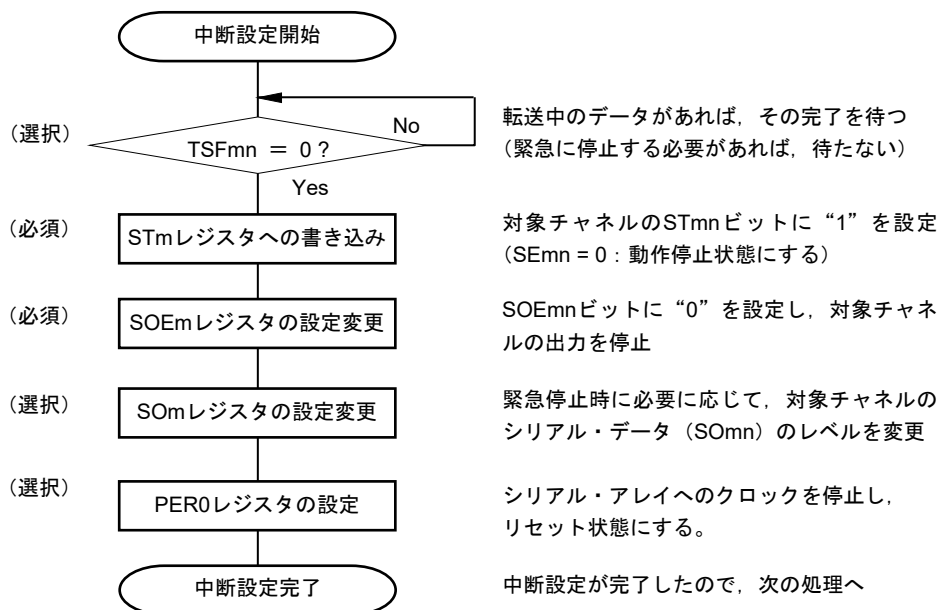
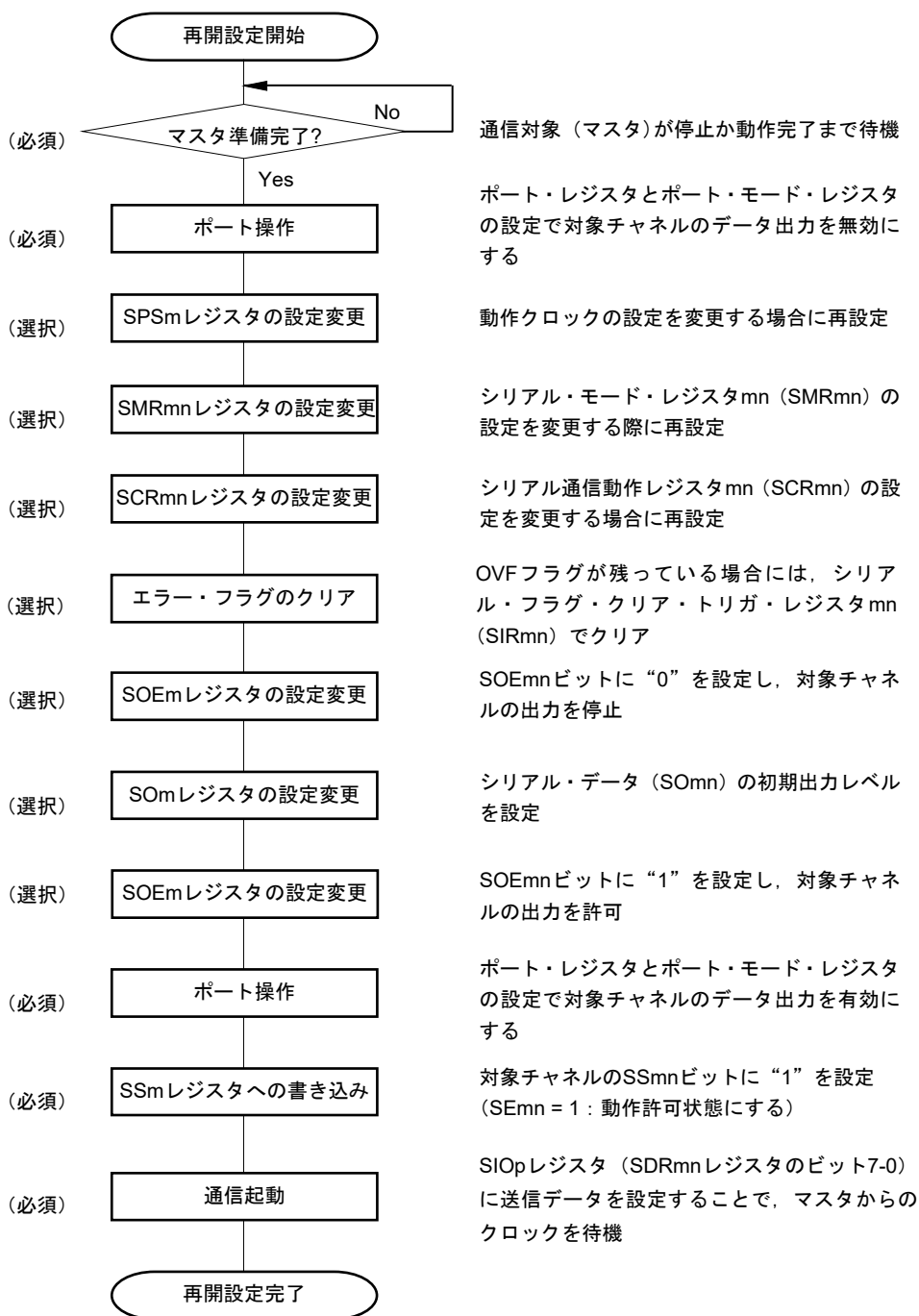


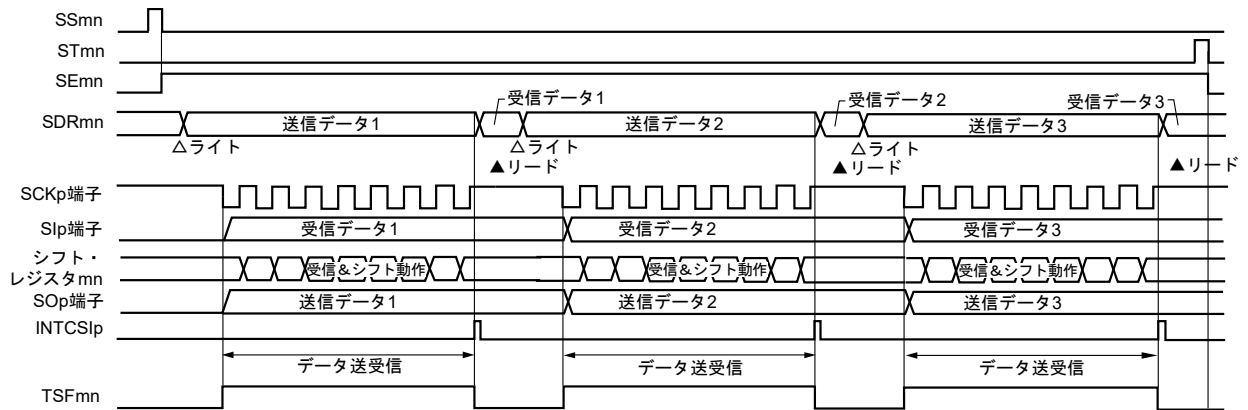
図18-66 スレーブ送受信の再開設定手順



- 注意 1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。
2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

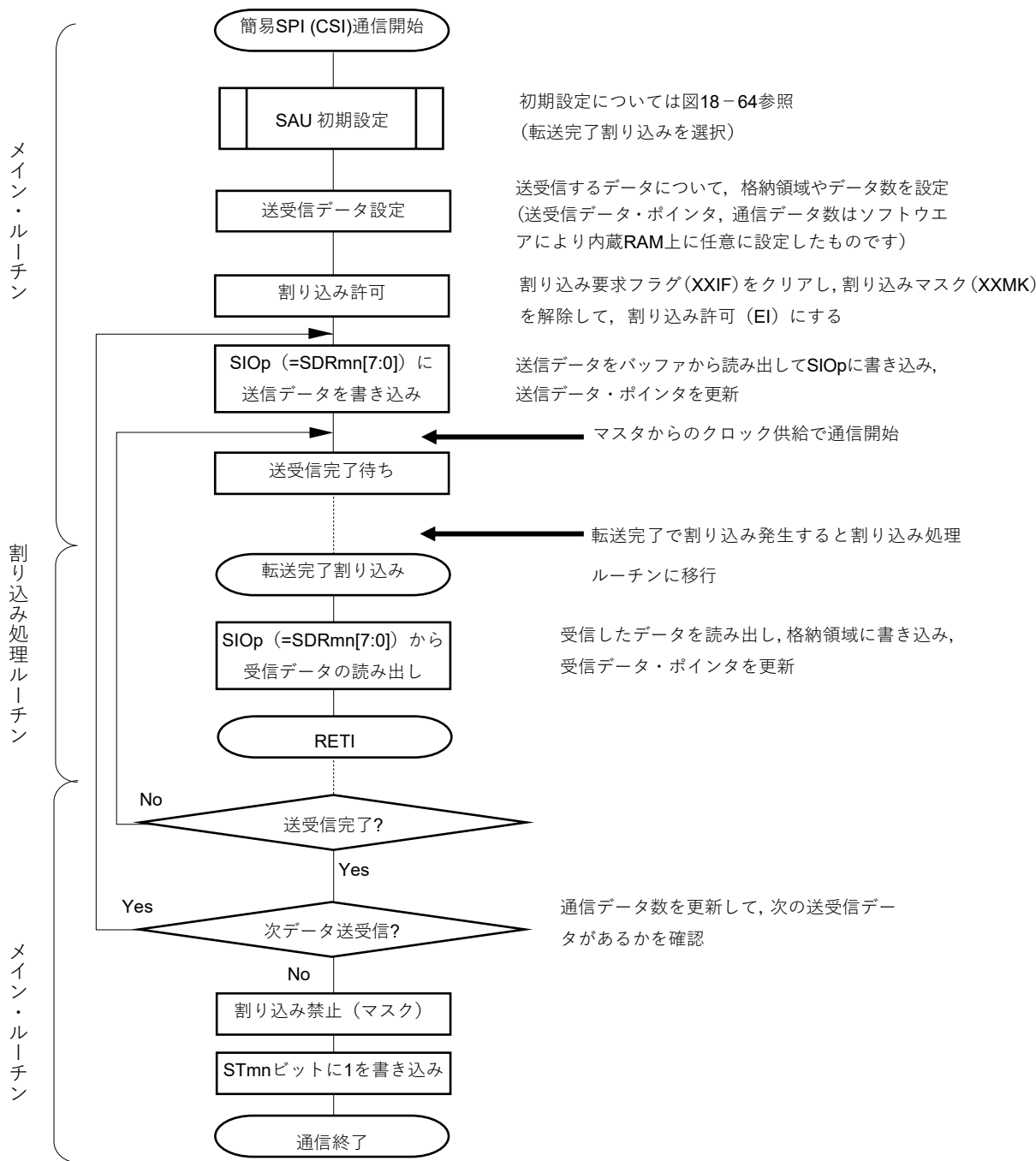
(3) 処理フロー（シングル送受信モード時）

図18-67 スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

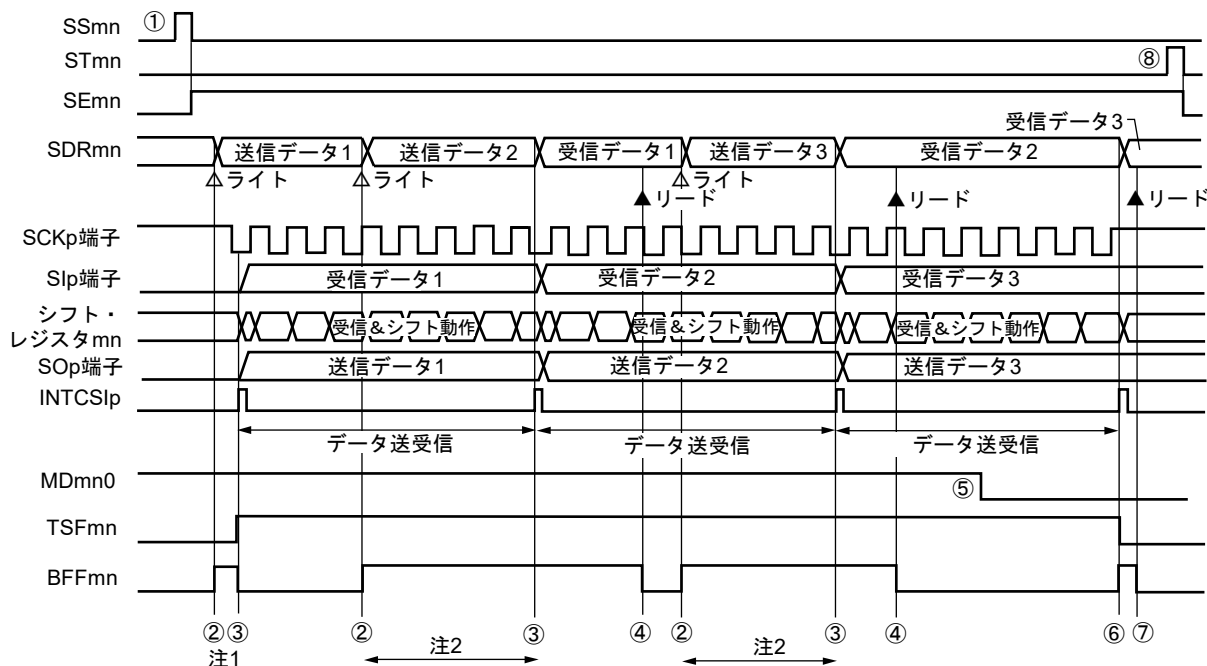
図18-68 スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー（連続送受信モード時）

図18-69 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



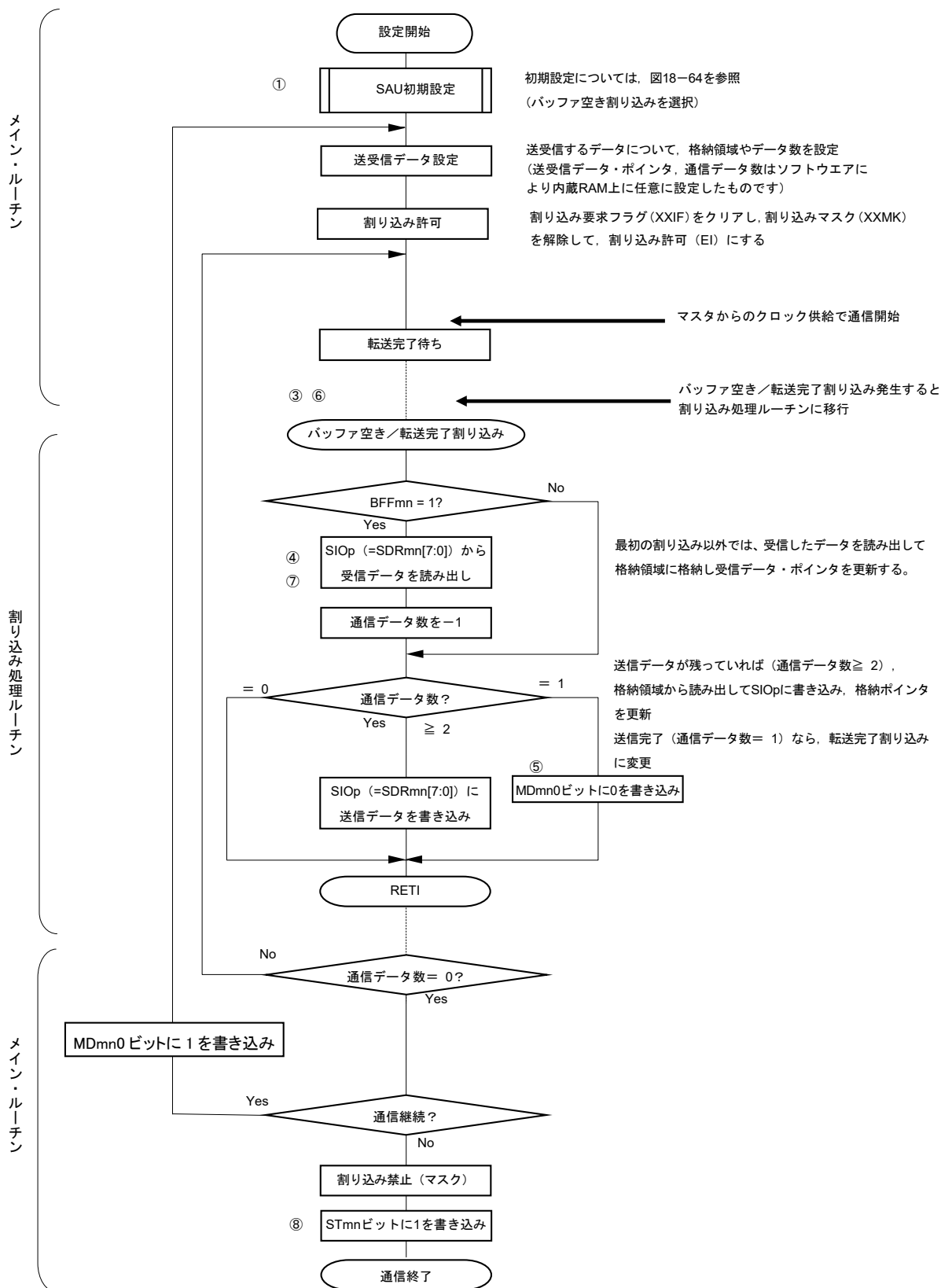
- 注1. シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①~⑧は、図18-70 スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

図18-70 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①~⑧は、図18-69 スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

18.5.7 SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI (CSI)の受信動作をさせるモードです。通常STOPモード時に簡易SPI (CSI)は通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずに簡易SPI (CSI)の受信動作を行うことができます。

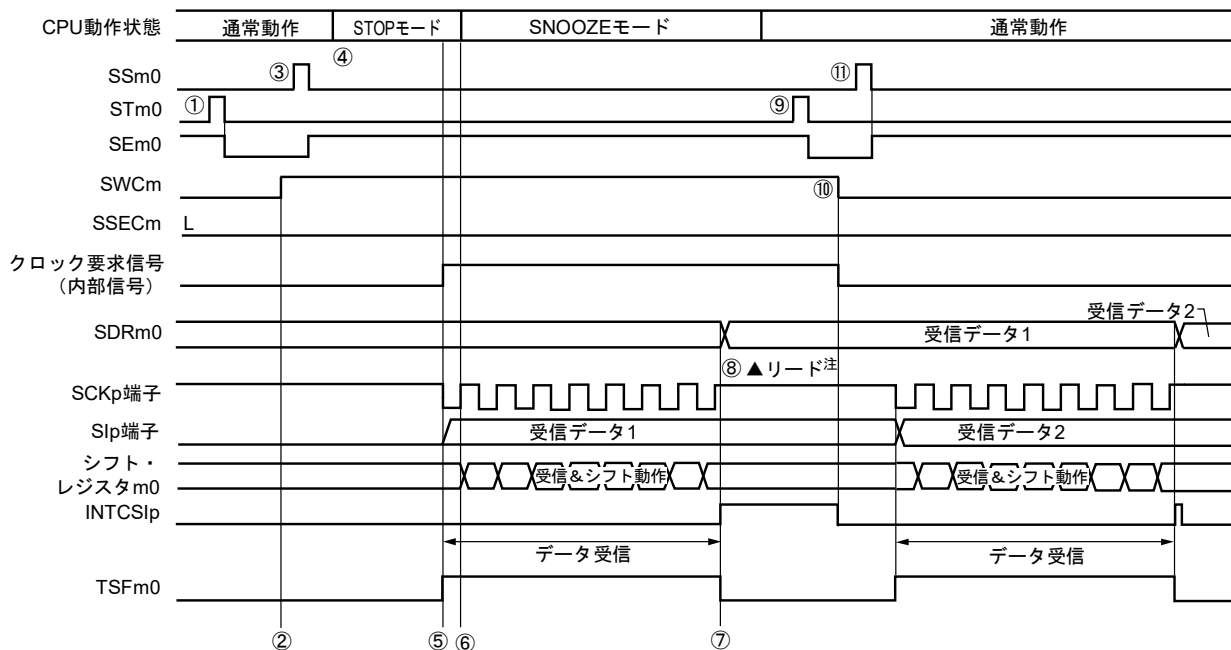
簡易SPI (CSI)をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図18-72、図18-74 SNOOZEモード動作時のフローチャートを参照)

- ・ STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm0ビットをセット (1) します。
- ・ STOPモードに移行後、SCKp端子の有効エッジを検出すると SNOOZEモードへ移行します。SCKp端子のシリアル・クロック入力により、CSIpは受信動作を開始します。

- 注意1. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
2. SNOOZEモードで使用する際の最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作 (1回起動)

図18-71 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1 : DAPm0 = 0, CKPm0 = 0)

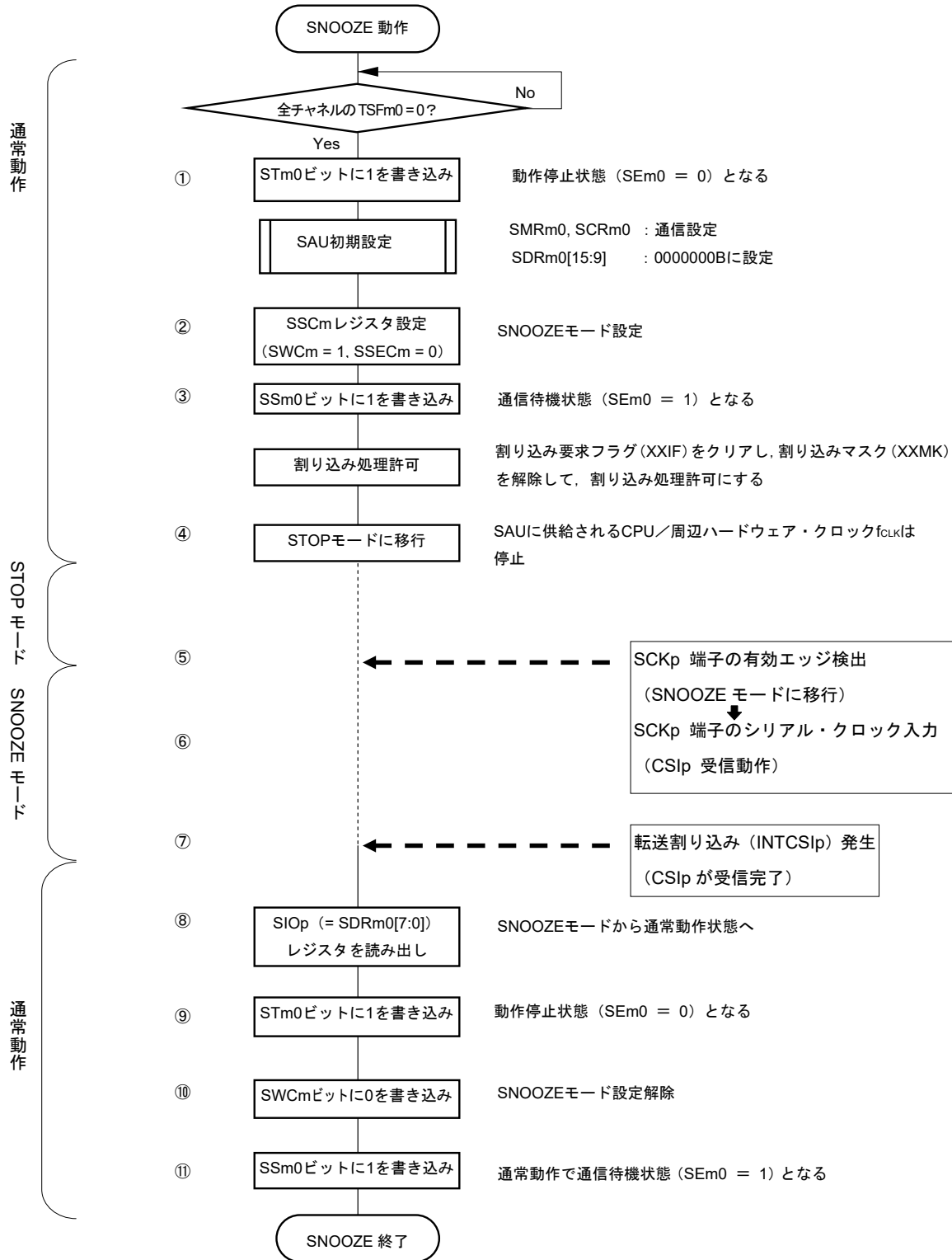


注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

- 注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください (SEm0ビットがクリアされ動作停止)。
また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。
2. SWCm = 1のときは、BFFm1, OVFm1フラグは動作しません。

- 備考1. 図中の①~⑪は、図18-72 SNOOZEモード動作 (1回起動) 時のフロー・チャートの①~⑪に対応しています。
2. m = 0; p = 00

図18-72 SNOOZEモード動作（1回起動）時のフロー・チャート

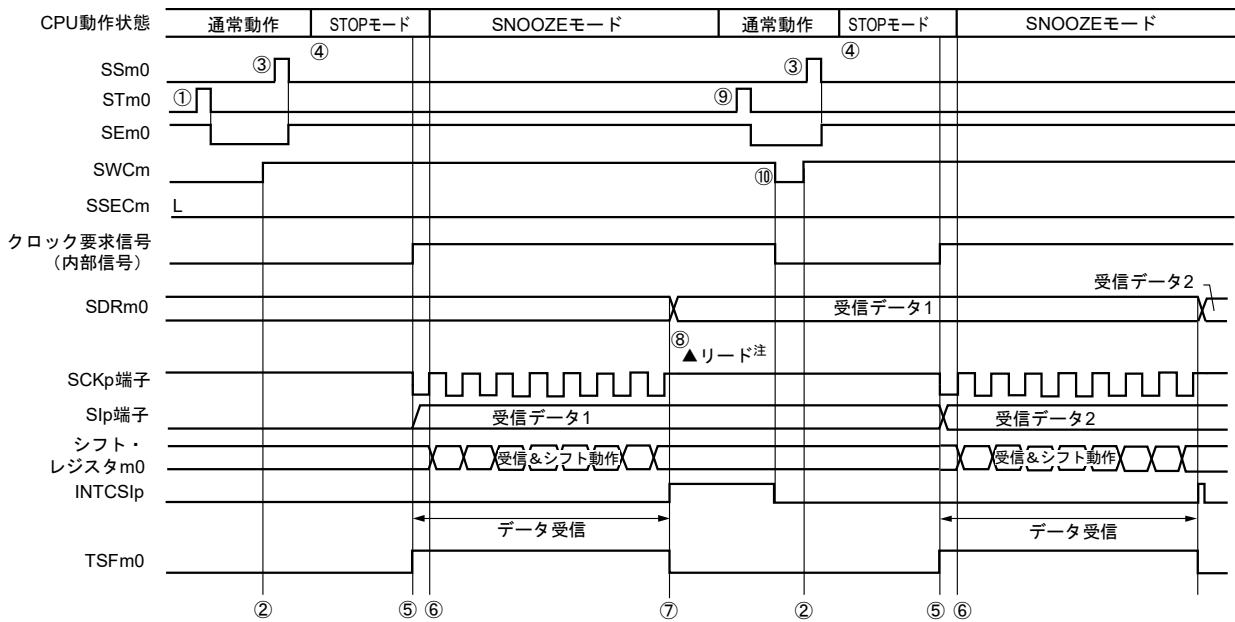


備考1. 図中の①~⑪は、図18-71 SNOOZEモード動作（1回起動）時のタイミング・チャートの①~⑪に対応しています。

2. m = 0; p = 00

(2) SNOOZEモード動作（連続起動）

図18-73 SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPm0 = 0, CKPm0 = 0）



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。

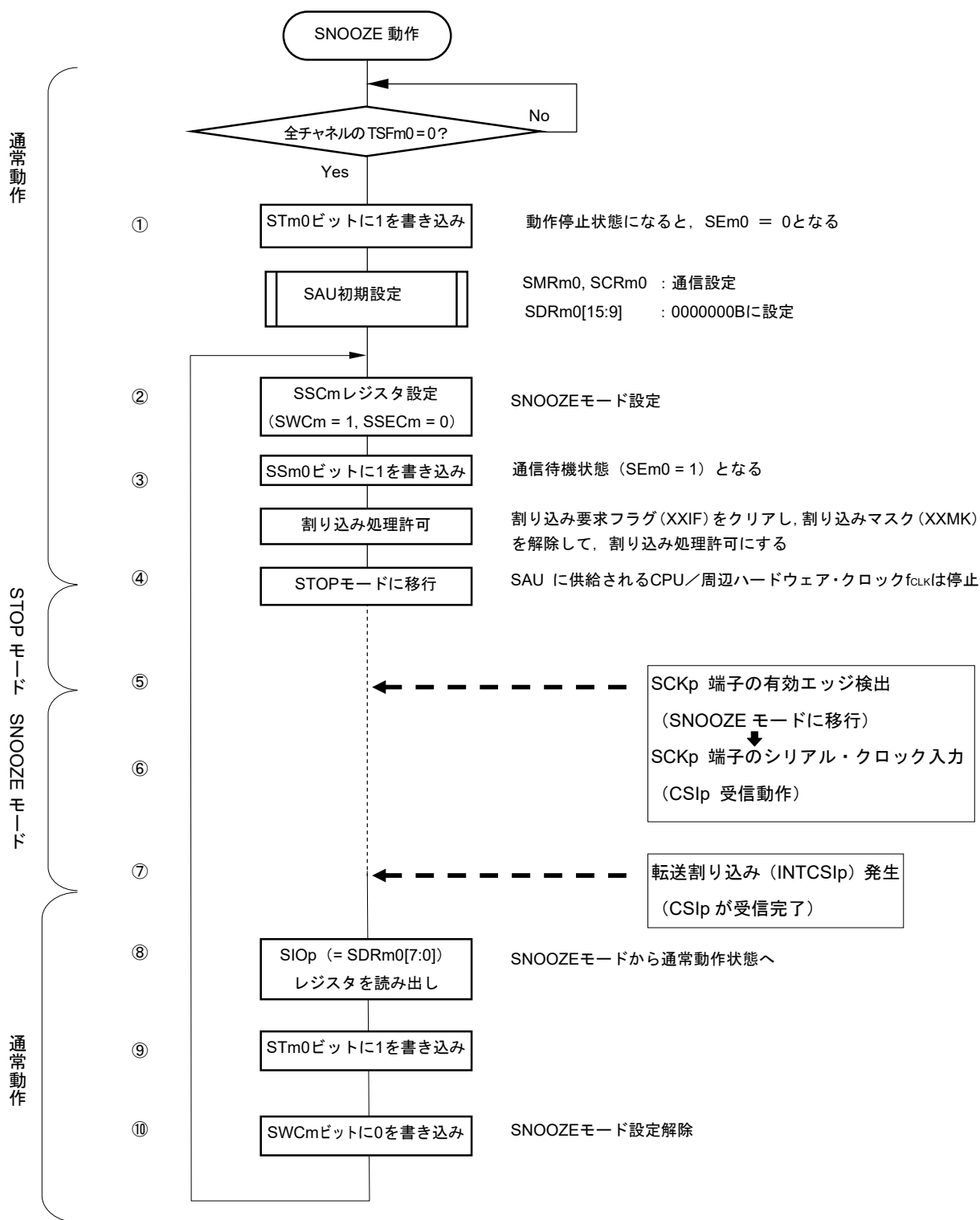
また、受信動作を完了したあとは、SWCmビットもクリアしてください（SNOOZE解除）。

2. SWCm = 1のときは、BFFm1, OVFm1フラグは動作しません。

備考1. 図中の①~⑩は、図18-74 SNOOZEモード動作（連続起動）時のフロー・チャートの①~⑩に対応しています。

2. m = 0; p = 00

図18-74 SNOOZEモード動作（連続起動）時のフロー・チャート



備考1. 図中の①~⑩は、図18-73 SNOOZEモード動作（連続起動）時のタイミング・チャートの①~⑩に対応しています。

2. m = 0; p = 00

18.5.8 転送クロック周波数の算出

簡易SPI (CSI00) 通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャンネルの動作クロック (f}_{\text{MCK}} \text{) 周波数} \} \div (\text{SDRmn}[15:9]+1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \}^{\text{注}} \text{ [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{\text{MCK}}/6$ となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn) のビット 15-9 の値 (0000000B-1111111B) なので、0-127になります。

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット 15 (CKSmn) で決まります。

表18-2 簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f _{CLK}) ^注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	24 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	12 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	6 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	3 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	11.7 kHz
	X	X	X	X	1	1	0	0	f _{CLK} /2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	f _{CLK} /2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	0	f _{CLK} /2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	f _{CLK} /2 ¹⁵	732 Hz	
1	0	0	0	0	X	X	X	X	f _{CLK}	24 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	12 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	6 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	3 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	46.9 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	23.4 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	11.7 kHz
	1	1	0	0	X	X	X	X	f _{CLK} /2 ¹²	5.86 kHz
	1	1	0	1	X	X	X	X	f _{CLK} /2 ¹³	2.93 kHz
	1	1	1	0	X	X	X	X	f _{CLK} /2 ¹⁴	1.46 kHz
1	1	1	1	X	X	X	X	f _{CLK} /2 ¹⁵	732 Hz	
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) mn = 00

18.5.9 簡易SPI (CSI00) 通信時におけるエラー発生時の処理手順

簡易SPI (CSI00) 通信時にエラーが発生した場合の処理手順を図18-75に示します。

図18-75 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが “0” となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に “1” をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) mn = 00

18.6 UART (UART0-UART2) 通信の動作

シリアル／データ送信 (TxD) とシリアル／データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ポー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重調歩同期UART通信が実現できます。また、UART0とタイマ・アレイ・ユニット0 (チャンネル7) と外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

[データ送受信]

- ・ 7, 8, 9ビットのデータ長^注
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定 (レベルを、反転するかどうかの選択)
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加, ストップ・ビット・チェック機能

[割り込み機能]

- ・ 転送完了割り込み／バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、UART0受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応している、UART0のみ設定可能です。

UART0 (ユニット0のチャンネル0, 1) は、LIN-busに対応しています。

[LIN-bus機能]

- ・ ウェイクアップ信号検出
- ・ ブレーク・フィールド (BF) 検出
- ・ シンク・フィールド測定, ポー・レート算出

} 外部割り込み (INTP0),
タイマ・アレイ・ユニット0 (チャンネル7)
を使用

注 9ビット・データ長は、UART0のみ対応しています。

UART0では、SAU0のチャンネル0, 1を使用します。

UART1では、SAU0のチャンネル2, 3を使用します。

UART2では、SAU1のチャンネル0, 1を使用します。

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	IIC10
	3	—		—
1	0	—	UART2 (IrDA対応)	—
	1	—		—

各チャンネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00を使用することはできません。しかし、UART0と同時にチャンネルが異なるチャンネル2, 3をUART1やIIC10で使用することはできます。

注意 **UART**として使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらも**UART**にしか使用できません。

UARTの通信動作は、以下の4種類があります。

- ・ UART送信 (18. 6. 1項を参照)
- ・ UART受信 (18. 6. 2項を参照)
- ・ LIN送信 (UART0のみ) (18. 7. 1項を参照)
- ・ LIN受信 (UART0のみ) (18. 7. 2項を参照)

18.6.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	TxD0	TxD1	TxD2
割り込み	INTST0	INTST1	INTST2
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}		
転送レート	Max. $f_{MCK}/6$ [bps] (SDR _{mn} [15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^{注2}		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加		
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注1. 9ビット・データ長は、UART0のみ対応しています。

- この条件を満たし、かつ電氣的特性の周辺機能特性（第37章 電氣的特性参照）を満たす範囲内で使用してください。

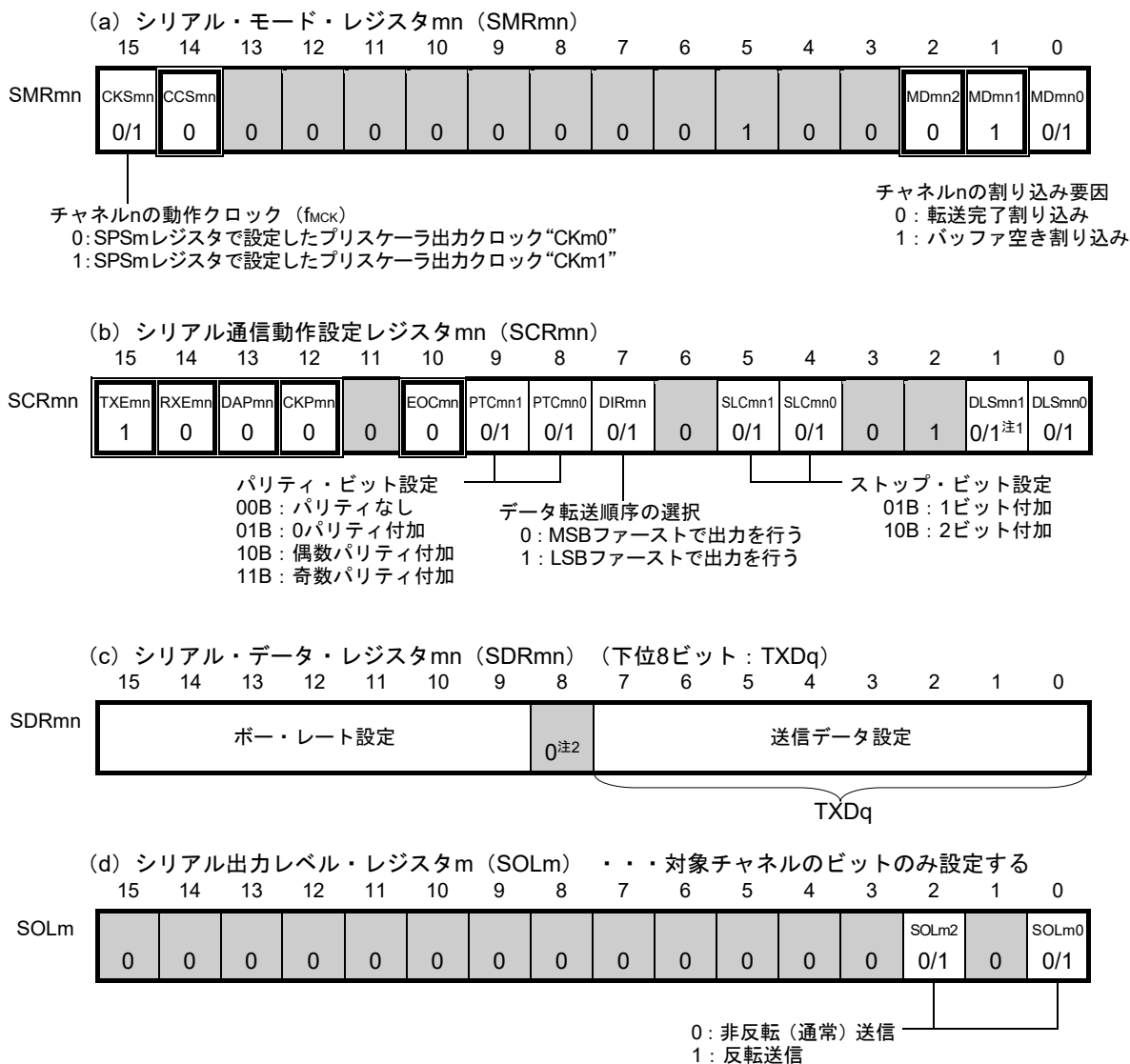
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

- m : ユニット番号 ($m = 0, 1$) n : チャンネル番号 ($n = 0, 2$) $mn = 00, 02, 10$

(1) レジスタ設定

図18-76 UART (UART0-UART2) のUART送信時のレジスタ設定内容例 (1/2)



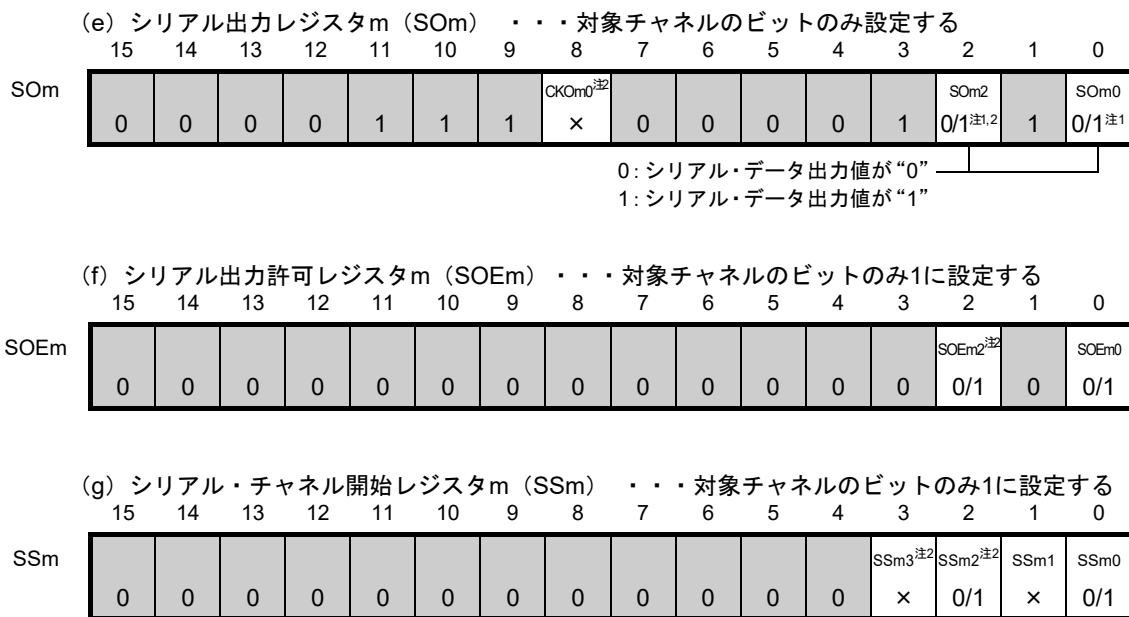
注 1. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

2. 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは、UART0のみです。

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) q: UART番号 (q = 0-2), mn = 00, 02, 10

- 2. □: UART送信モードでは設定固定 ■: 設定不可 (初期値を設定)
 ×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

図18-76 UART (UART0-UART2) のUART送信時のレジスタ設定内容例 (2/2)



注1. 該当するチャネルのSOLmnビットに0を設定している場合は“1”に、SOLmnビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

2. シリアル・アレイ・ユニット0のみ

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0-2)
mn = 00, 02, 10

- 2. : 設定不可 (初期値を設定)
- × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
- 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図18-77 UART送信の初期設定手順

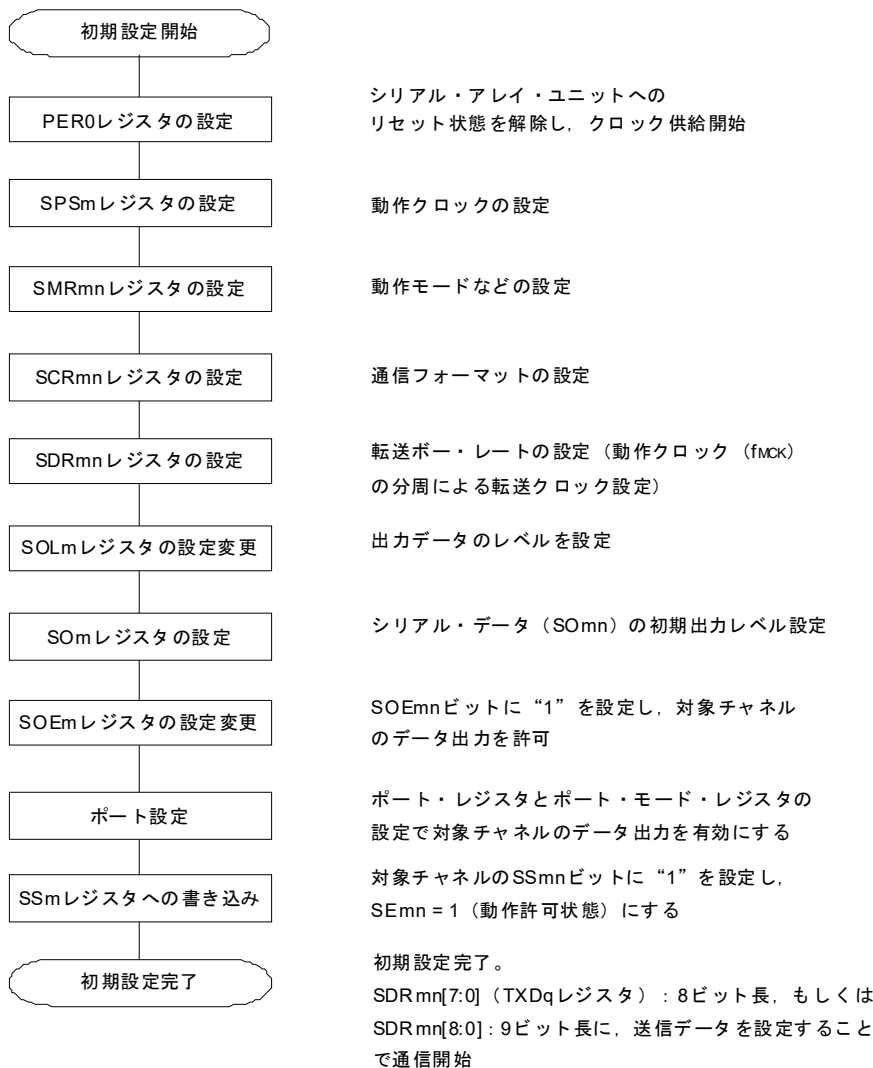


図18-78 UART送信の中断手順

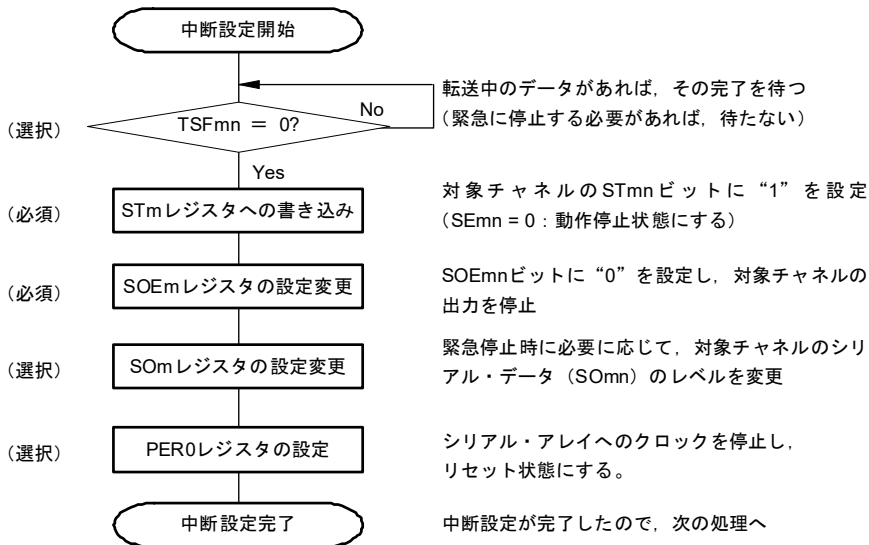
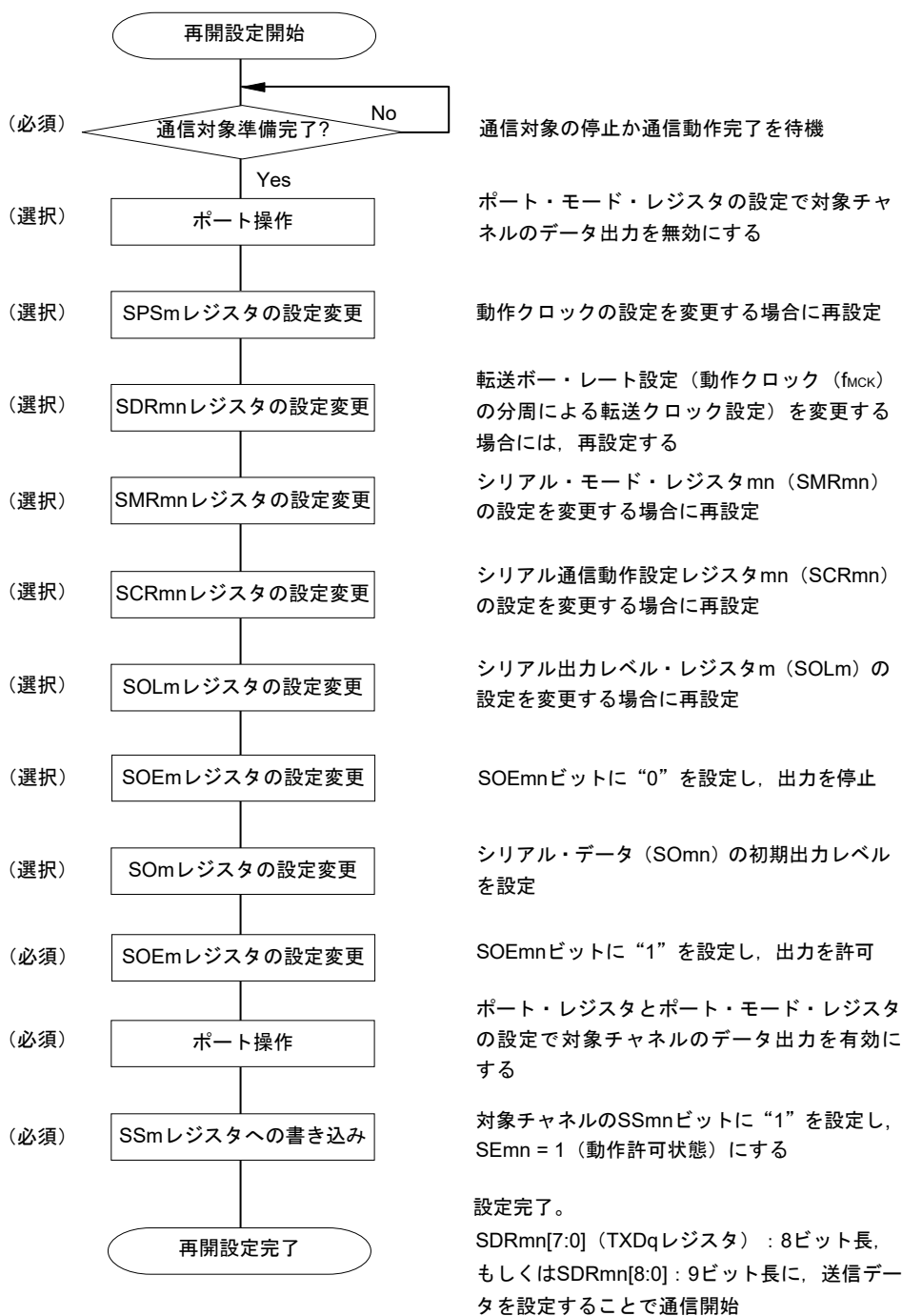


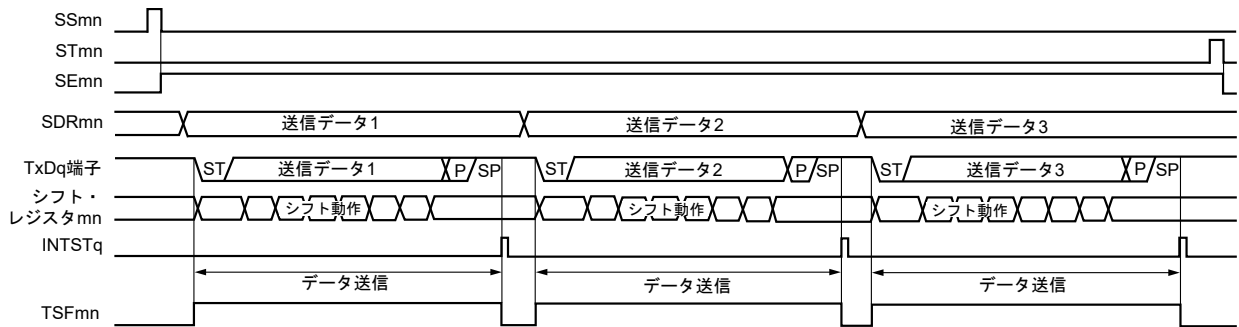
図18-79 UART送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

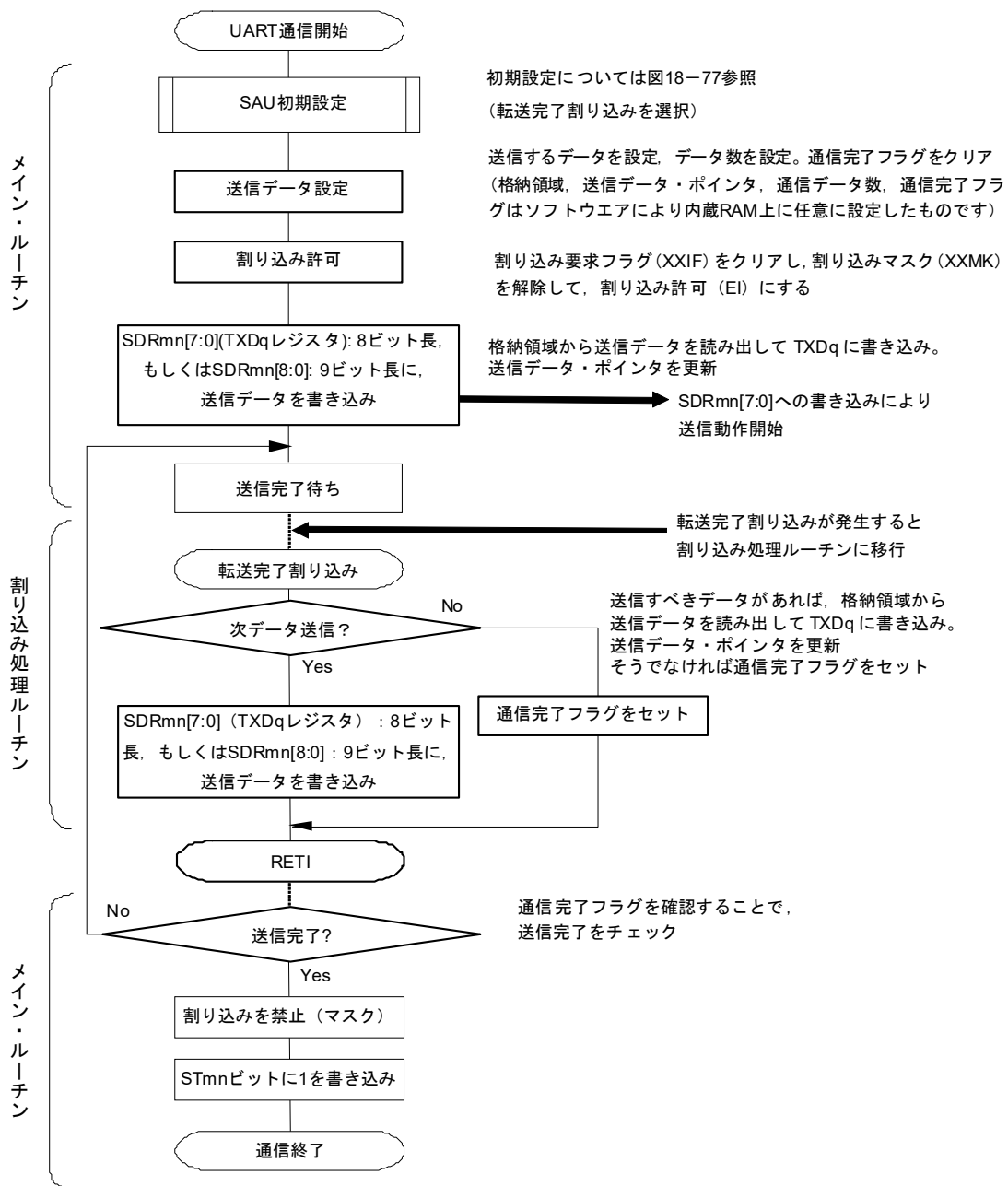
(3) 処理フロー（シングル送信モード時）

図18-80 UART送信（シングル送信モード時）のタイミング・チャート



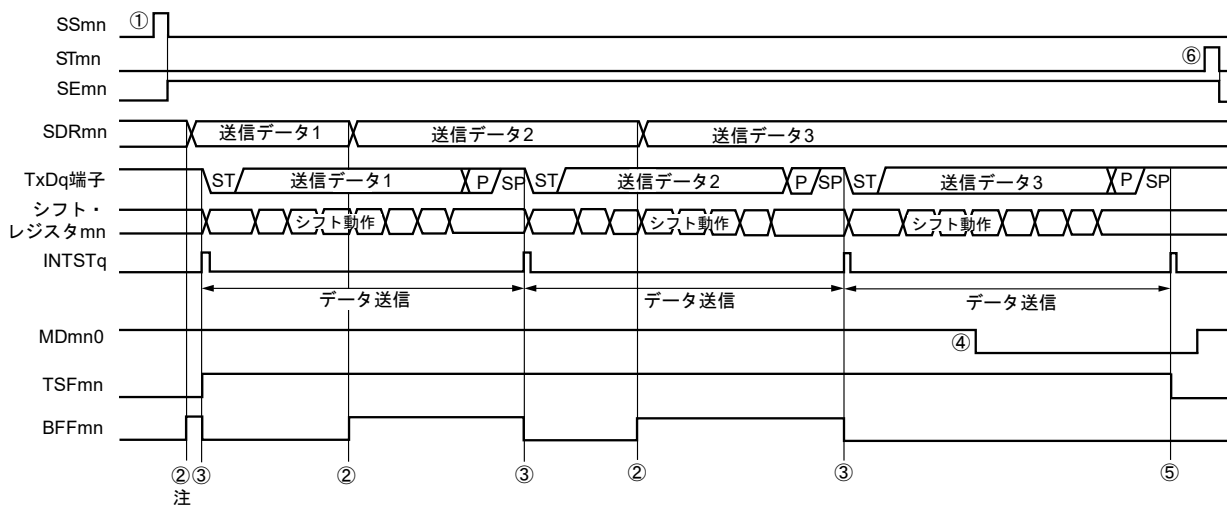
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0-2)
 mn = 00, 02, 10

図18-81 UART送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図18-82 UART送信（連続送信モード時）のタイミング・チャート

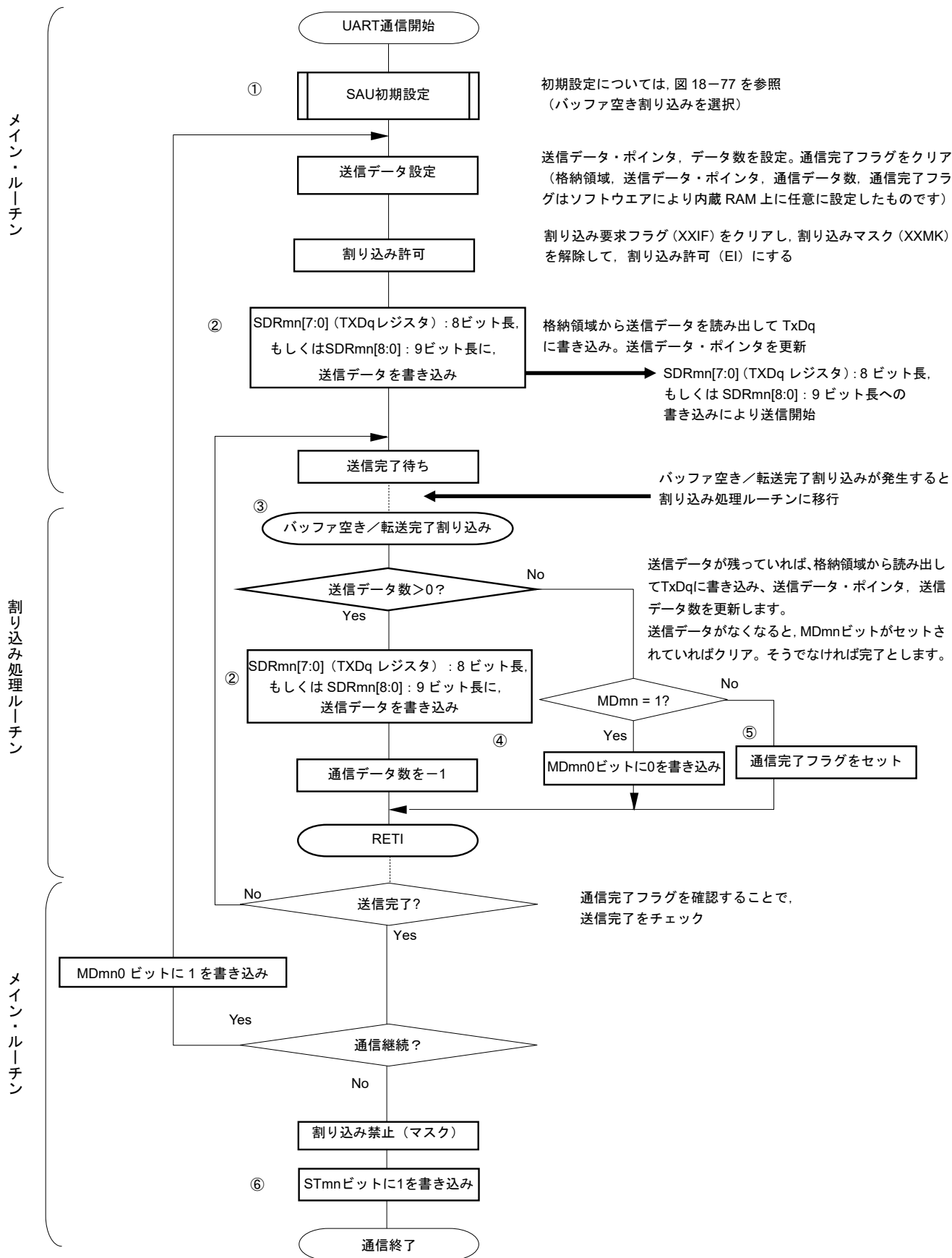


注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき)にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0-2)
mn = 00, 02, 10

図18-83 UART送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図18-82 UART送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

18.6.2 UART受信

UART受信は、他デバイスからRL78マイクロコントローラが非同期(調歩同期)でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1
使用端子	RxD0	RxD1	RxD2
割り込み	INTSR0	INTSR1	INTSR2
	転送完了割り込みのみ (バッファ空き割り込みは設定禁止)		
エラー割り込み	INTSRE0	INTSRE1	INTSRE2
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ (FEFmn) ・ パリティ・エラー検出フラグ (PEFmn) ・ オーバラン・エラー検出フラグ (OVFmn) 		
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}		
転送レート	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^{注2}		
データ位相	非反転出力 (デフォルト: ハイ・レベル) 反転出力 (デフォルト: ロウ・レベル)		
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし (パリティ・チェックなし) ・ パリティ判定なし (0パリティ) ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック 		
ストップ・ビット	1ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注1. 9ビット・データ長は、UART0のみ対応しています。

2. この条件を満たし、かつ電氣的特性の周辺機能特性 (第37章 電氣的特性参照) を満たす範囲内で使用してください。

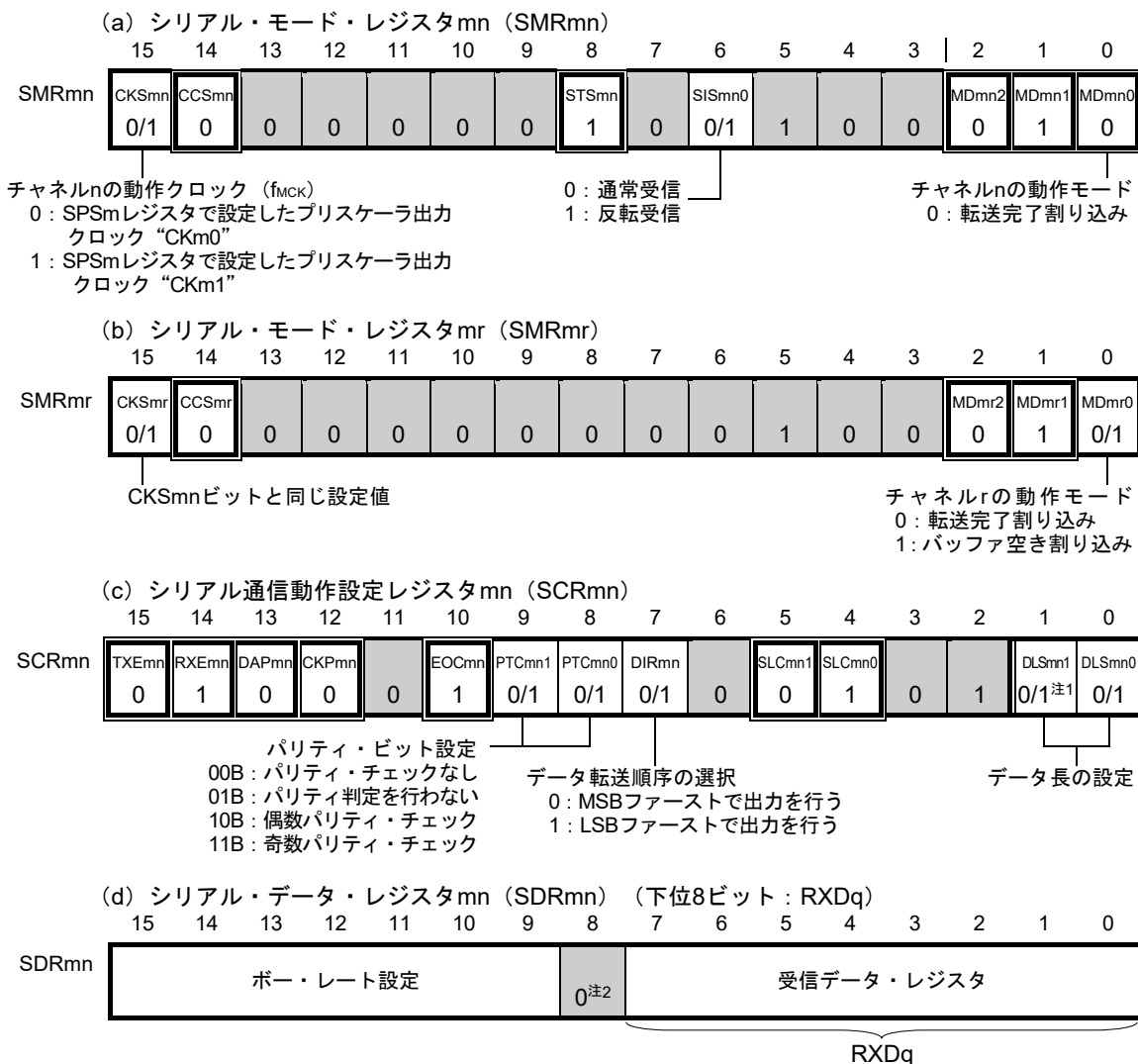
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

2. m : ユニット番号 ($m = 0, 1$) n : チャンネル番号 ($n = 1, 3$) $mn = 01, 03, 11$

(1) レジスタ設定

図18-84 UART (UART0-UART2) のUART受信時のレジスタ設定内容例 (1/2)



注 1. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

2. 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは、UART0のみです。

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 1, 3) mn = 01, 03, 11

r: チャンネル番号 (r = n-1) q: UART番号 (q = 0-2)

2. □: UART受信モードでは設定固定 ■: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図18-84 UART (UART0-UART2) のUART受信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタm (SOm) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	1	1	CKOm0 注 ×	0	0	0	0	1	SOm2 ^注 ×	1	SOm0 ×

(f) シリアル出力許可レジスタm (SOEm) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 ^注 ×	0	SOEm0 ×

(g) シリアル・チャンネル開始レジスタm (SSm) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ^注 0/1	SSm2 ^注 ×	SSm1 0/1	SSm0 ×

注 シリアル・アレイ・ユニット0のみ

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 1, 3) mn = 01, 03, 11

r : チャンネル番号 (r = n-1) q : UART番号 (q = 0-2)

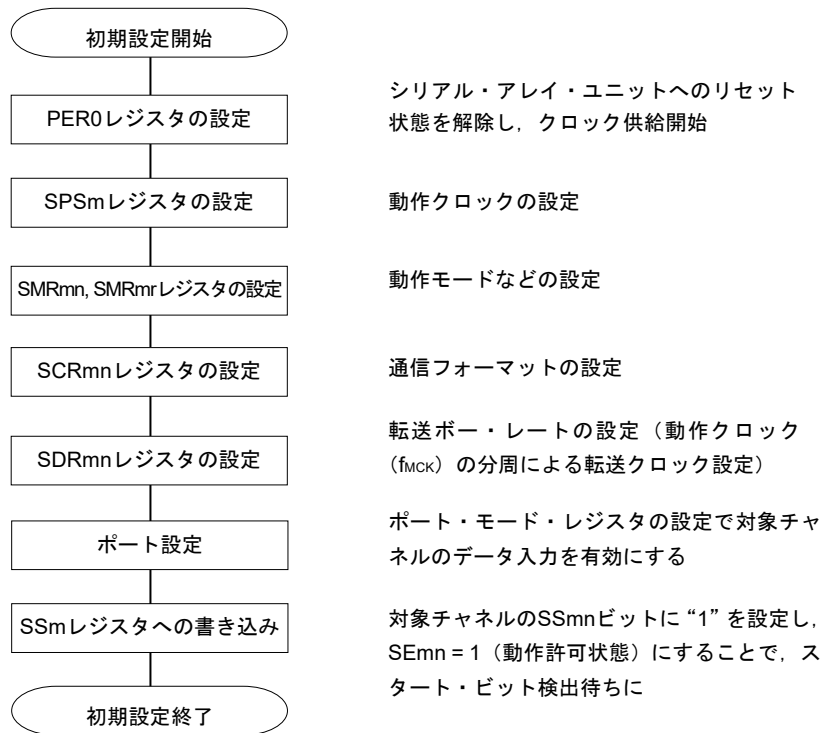
2. : UART受信モードでは設定固定 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図18-85 UART受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、 f_{MCK} の4クロック以上間隔をあけてからSSmn = 1を設定してください。

図18-86 UART受信の中断手順

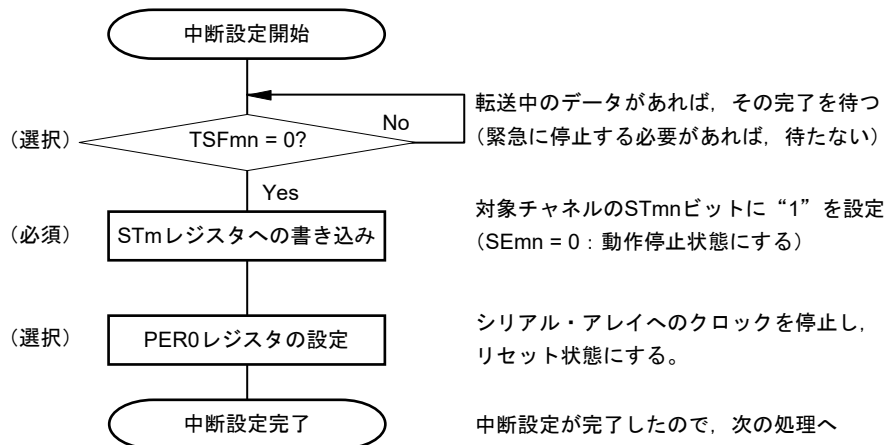
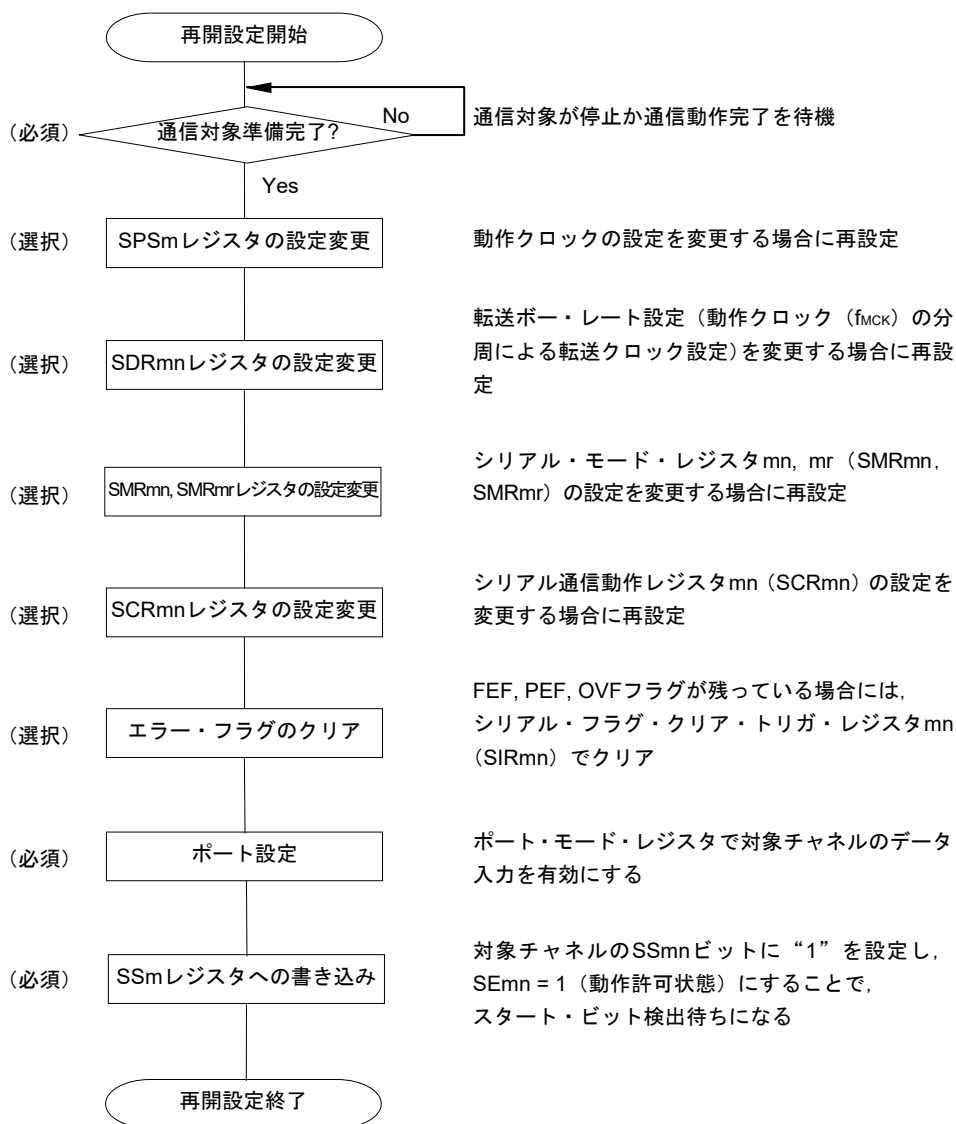


図18-87 UART受信の再開設定手順

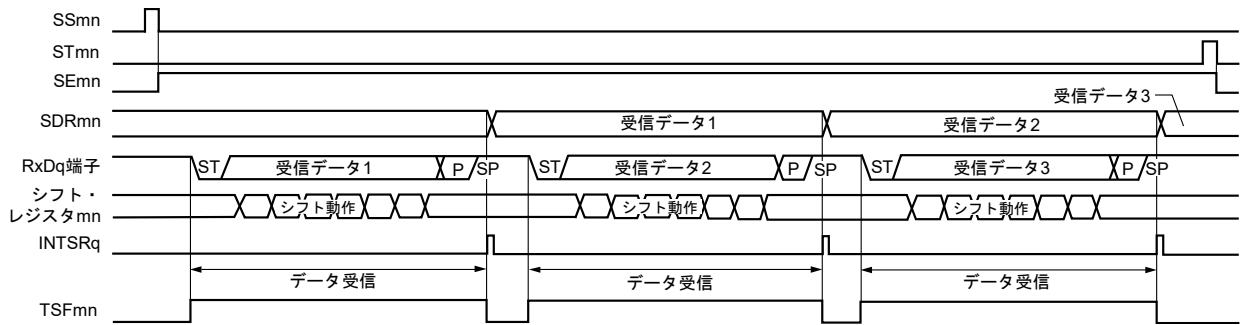


注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

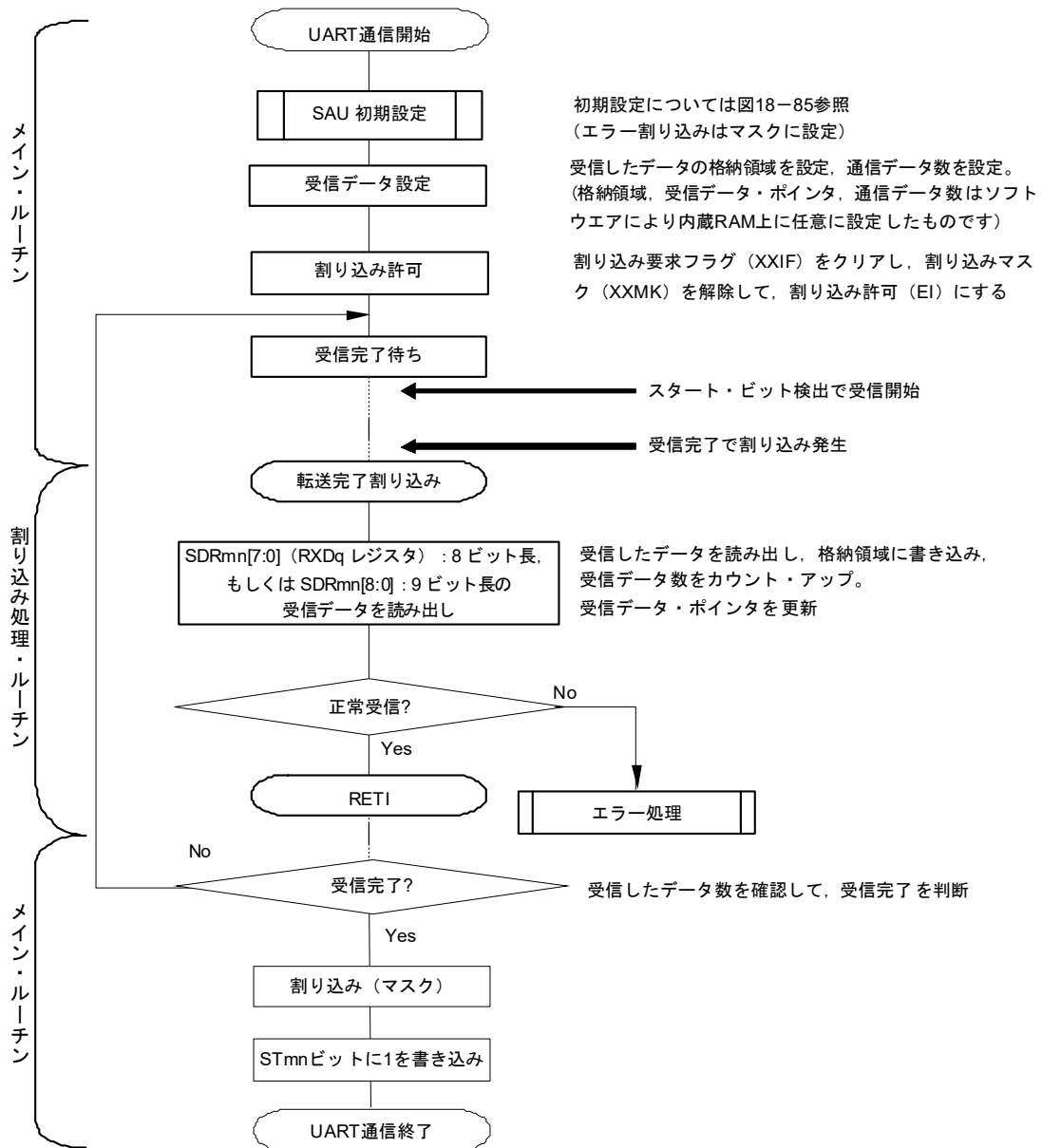
(3) 処理フロー

図18-88 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11
 r : チャネル番号 (r = n-1) q : UART番号 (q = 0-2)

図18-89 UART受信のフロー・チャート



18.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出によりUARTの受信動作をさせるモードです。通常STOP時にUARTは通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUARTの受信動作を行うことができます。SNOOZEモードは、UART0のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図18-92, 図18-94 SNOOZEモード動作時のフローチャートを参照)

- ・ SNOOZEモード時は、UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。表18-3を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- ・ EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み (INTSRE0) の発生許可/停止を設定することができます。
- ・ STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm1ビットをセット (1) します。
- ・ STOPモードに移行後、RxDq のスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. UARTqをSNOOZEモードで使用するときの最大転送レートは4800 bpsです。
3. SWCm=1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
 - ・ SWCm=1に設定後、STOPモードに移行する前に受信開始した場合
 - ・ 他のSNOOZEモード中に受信開始した場合
 - ・ STOPモードから割り込みなどで通常動作に復帰後、SWCm=0に戻す前に受信開始した場合
4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn, FEFmn, OVFmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn, FEFmn, OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq) を読み出してください。
5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。
また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

表18-3 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・ オシレータ (f_{IH})	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f_{MCK})	SDRmn [15:9]	最大許容値	最小許容値
24MHz±1.0% ^注	$f_{CLK}/2^5$	79	1.60%	-2.18%
12MHz±1.0% ^注	$f_{CLK}/2^4$	79	1.60%	-2.19%
6MHz±1.0% ^注	$f_{CLK}/2^3$	79	1.60%	-2.19%
3MHz±1.0% ^注	$f_{CLK}/2^2$	79	1.60%	-2.19%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%の場合は、次のように許容範囲が狭くなります。

・ $f_{IH}±1.5%$ の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。

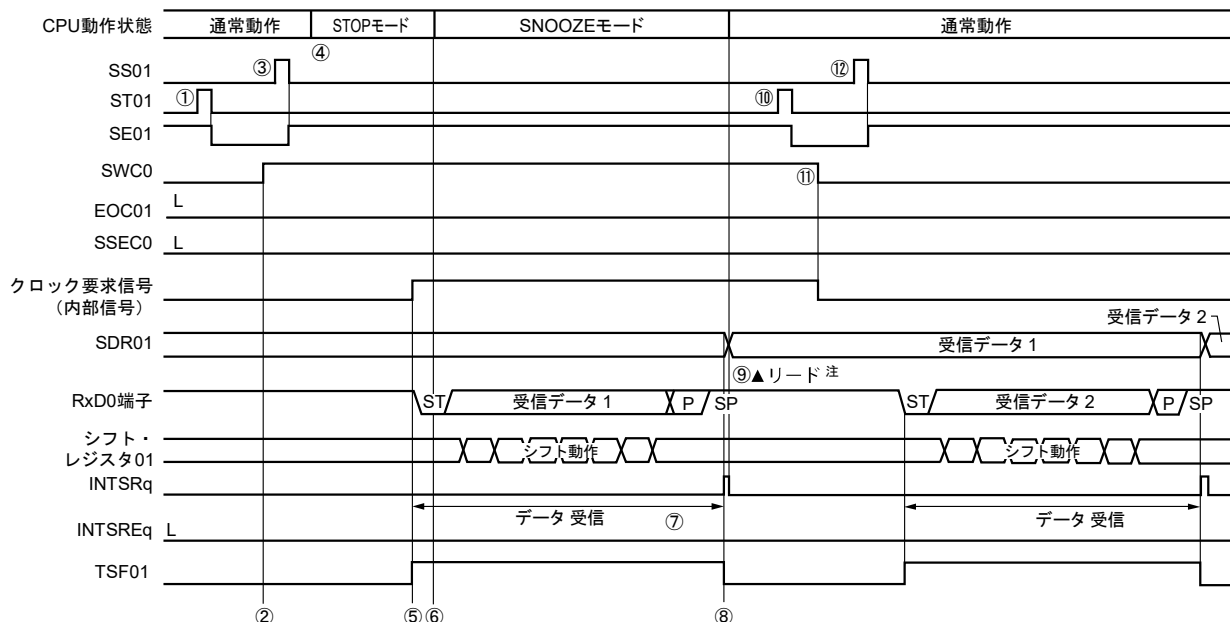
備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。

この範囲に送信側のボー・レートが収まるように設定してください。

(1) SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0のためSSECmビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (INTSRq) は発生しません。転送完了割り込み (INTSRq) は発生します。

図18-90 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



注 SWCm = 1の状態、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

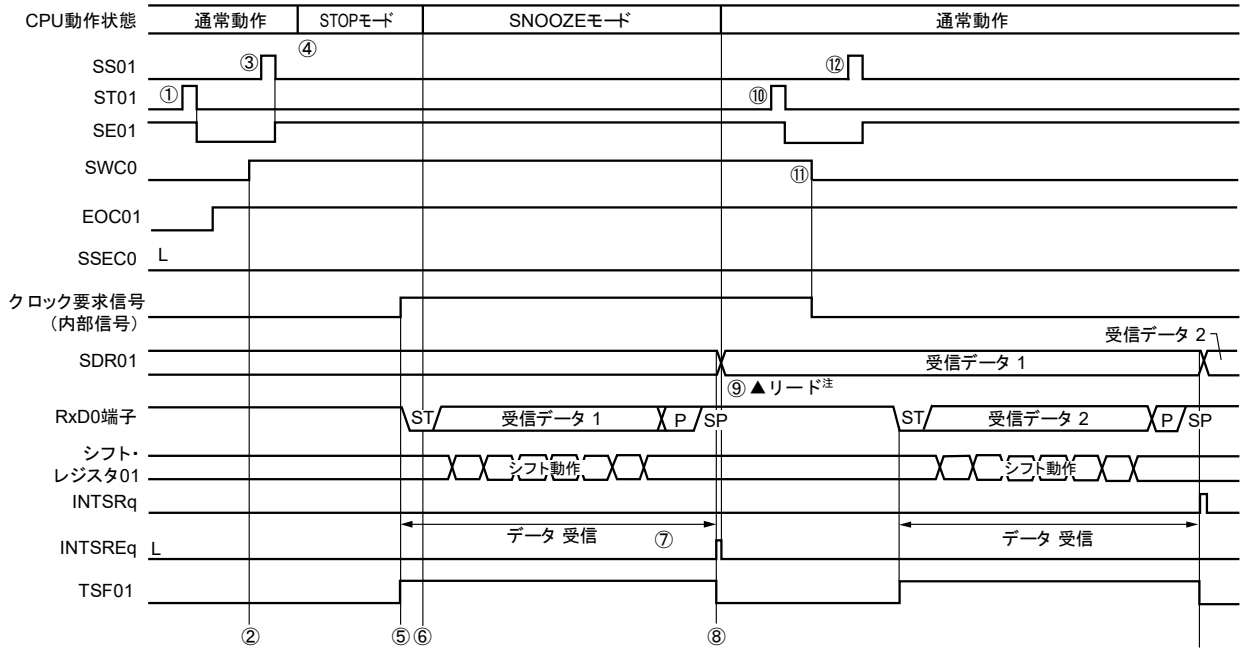
備考1. 図中の①~⑫は、図18-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

2. m = 0; q = 0

(2) SNOOZEモード動作 (EOCm1 = 1, SSECM = 0 : エラー割り込み (INTSREq) 発生許可)

EOCm1 = 1, SSECM = 0のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生します。

図18-91 SNOOZEモード動作 (EOCm1 = 1, SSECM = 0) 時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

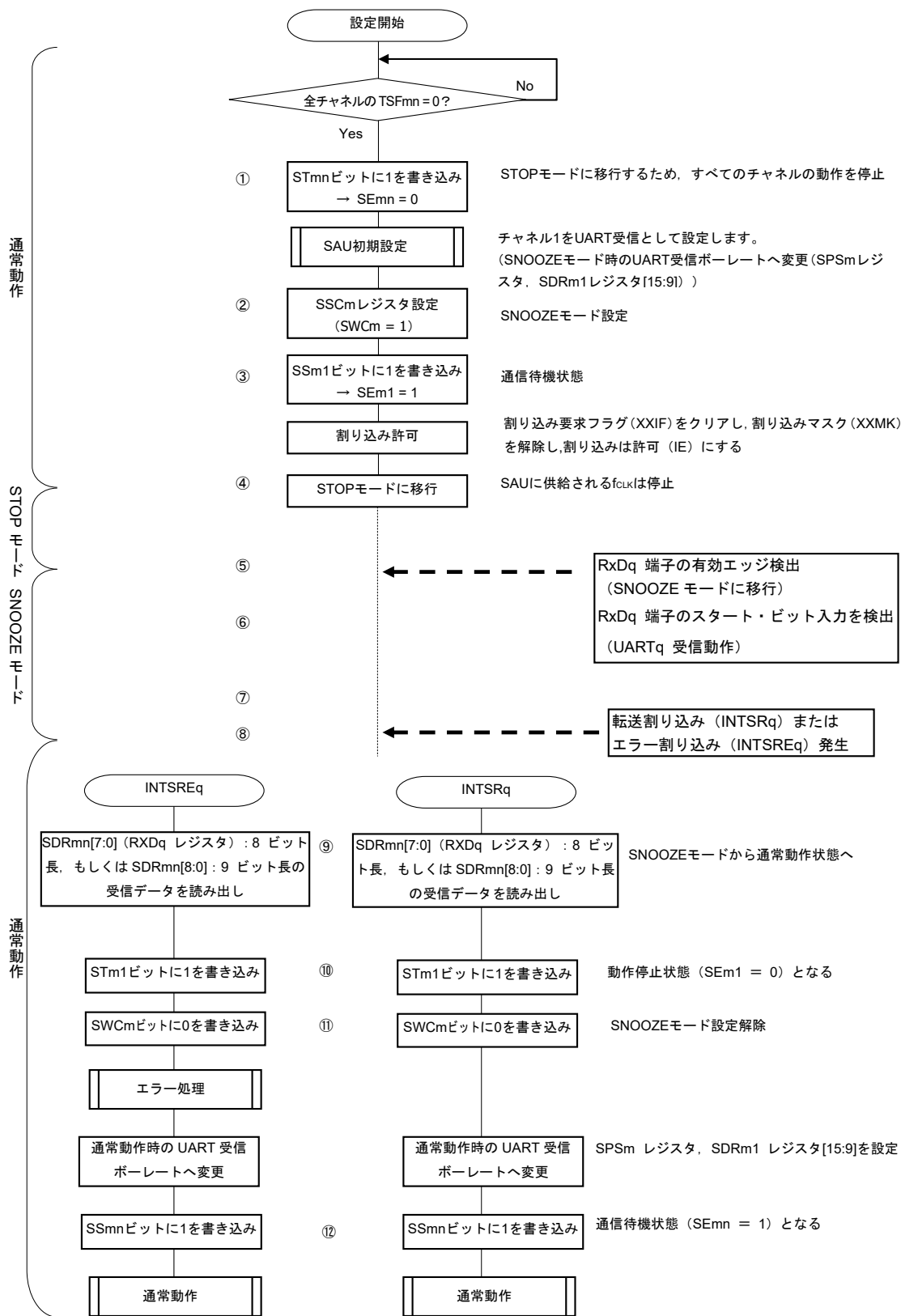
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

備考1. 図中の①~⑫は、図18-92 SNOOZEモード動作 (EOCm1 = 0, SSECM = 0/1もしくはEOCm1 = 1, SSECM = 0) 時のフロー・チャートの①~⑫に対応しています。

2. m = 0; q = 0

図18-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時の
フロー・チャート



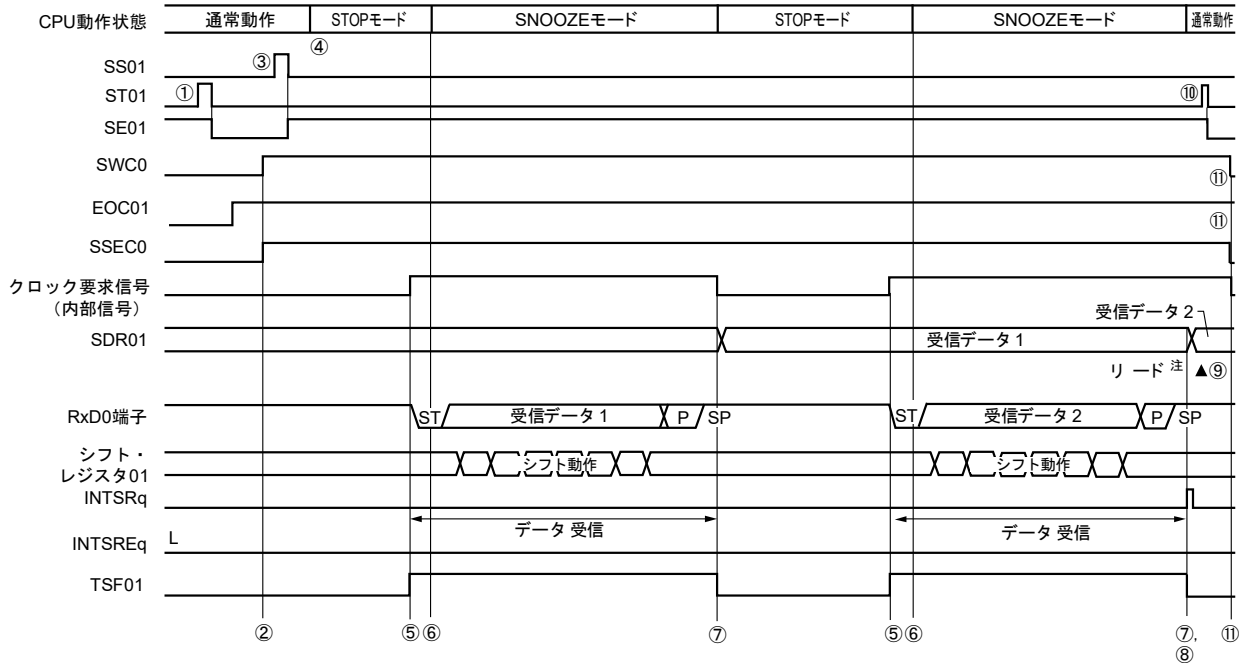
備考1. 図中の①~⑫は、図18-90 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート、図18-91 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャートの①~⑫に対応しています。

2. m = 0; q = 0

(3) SNOOZEモード動作 (EOCm1 = 1, SSECM = 1 : エラー割り込み (INTSREq) 発生停止)

EOCm1 = 1, SSECM = 1のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生しません。

図18-93 SNOOZEモード動作 (EOCm1 = 1, SSECM = 1) 時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

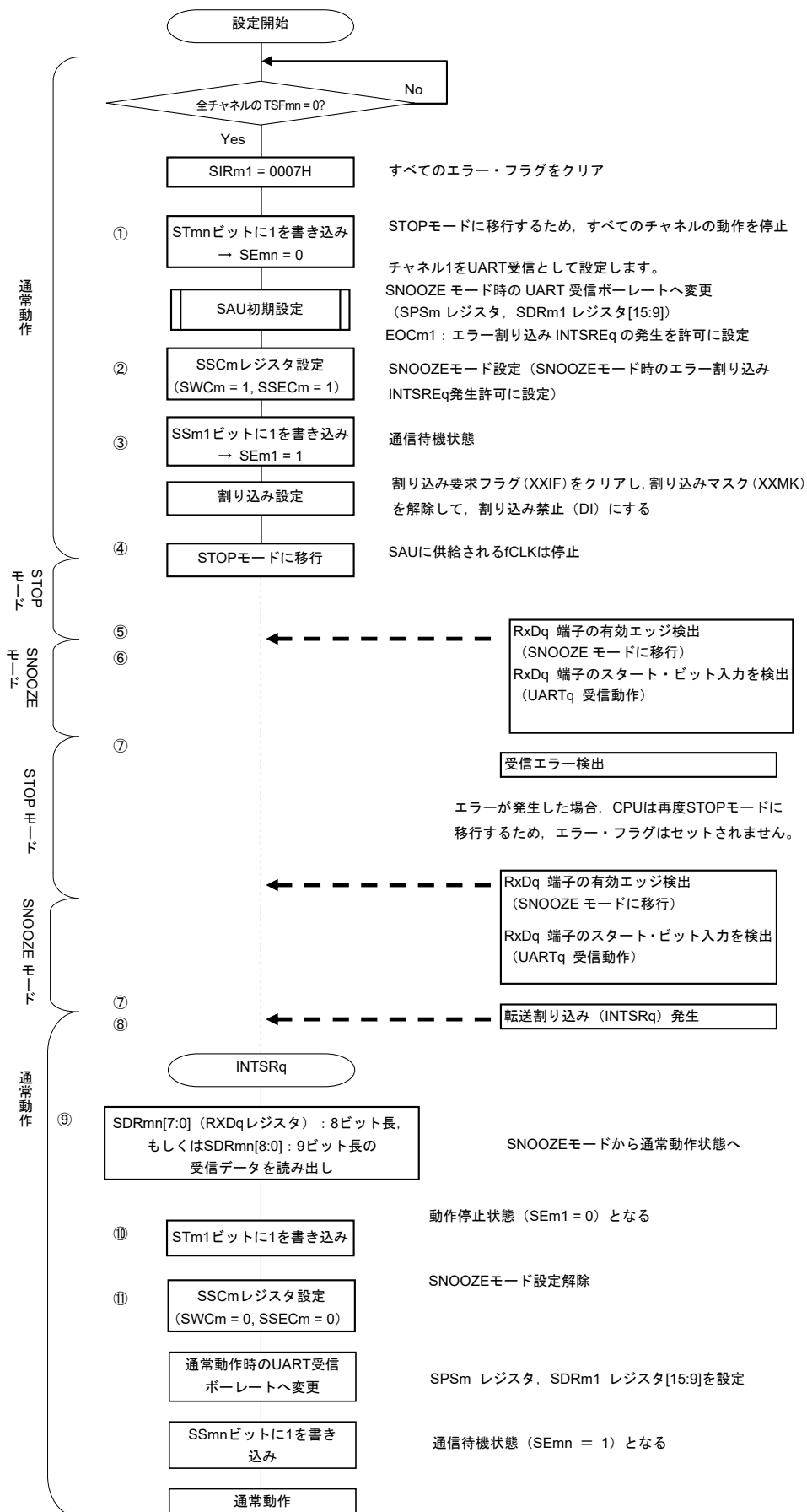
また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

2. SSECM = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECM = 1で使用するときには、SWCm = 1に設定する前にPEFm1, FEFm1, OVFm1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出ししてください。

備考1. 図中の①~⑪は、図18-94 SNOOZEモード動作 (EOCm1 = 1, SSECM = 1) 時のフロー・チャートの①~⑪に対応しています。

2. m = 0; q = 0

図18-94 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャート



(注意, 備考は次ページにあります。)

注意 SSECm = 1 のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFm1, FEFm1, OVFm1 フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1 で使用するときには、SWC0 = 1 に設定する前に PEFm1, FEFm1, OVFm1 フラグをクリアし、また、SDRm1[7:0] (RXDq レジスタ) : 8 ビット長、もしくは SDRm1[8:0] : 9 ビット長を読み出してください。

備考1. 図中の①~⑪は、図18-93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートの①~⑪に対応しています。

2. m = 0; q = 0

18.6.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0-UART2) 通信でのボー・レートは下記の計算式にて算出できます。

$$\text{(ボー・レート)} = \{\text{対象チャンネルの動作クロック (f}_{\text{MCK}}\text{) 周波数}\} \div (\text{SDRmn}[15:9]+1) \div 2 [\text{bps}]$$

注意 シリアル・データ・レジスタmn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は, SDRmn[15:9]はSDRmnレジスタのビット15-9の値 (0000010B-1111111B) なので, 2-127になります。

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-2) mn = 00-03, 10, 11

動作クロック (f_{MCK}) は, シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmnビット) で決まります。

表18-4 UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f _{CLK}) 注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	24 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	12 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	6 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	3 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	11.7 kHz
	X	X	X	X	1	1	0	0	f _{CLK} /2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	f _{CLK} /2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	0	f _{CLK} /2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	f _{CLK} /2 ¹⁵	732 Hz	
1	0	0	0	0	X	X	X	X	f _{CLK}	24 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	12 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	6 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	3 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	46.9 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	23.4 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	11.7 kHz
	1	1	0	0	X	X	X	X	f _{CLK} /2 ¹²	5.86 kHz
	1	1	0	1	X	X	X	X	f _{CLK} /2 ¹³	2.93 kHz
	1	1	1	0	X	X	X	X	f _{CLK} /2 ¹⁴	1.46 kHz
1	1	1	1	X	X	X	X	f _{CLK} /2 ¹⁵	732 Hz	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

(2) 送信時のボー・レート誤差

UART (UART0-UART2) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 24 \text{ MHz}$ の場合のUARTボー・レート設定例を示します。

UARTボー・レート (目標ボー・レート)	$f_{\text{CLK}} = 24 \text{ MHz}$ 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{\text{CLK}}/2^9$	77	300.48 bps	+0.16 %
600 bps	$f_{\text{CLK}}/2^8$	77	600.96 bps	+0.16 %
1200 bps	$f_{\text{CLK}}/2^7$	77	1201.92 bps	+0.16 %
2400 bps	$f_{\text{CLK}}/2^6$	77	2403.85 bps	+0.16 %
4800 bps	$f_{\text{CLK}}/2^5$	77	4807.69 bps	+0.16 %
9600 bps	$f_{\text{CLK}}/2^4$	77	9615.38 bps	+0.16 %
19200 bps	$f_{\text{CLK}}/2^3$	77	19230.8 bps	+0.16 %
31250 bps	$f_{\text{CLK}}/2^3$	47	31250.0 bps	±0.0 %
38400 bps	$f_{\text{CLK}}/2^2$	77	38461.5 bps	+0.16 %
76800 bps	$f_{\text{CLK}}/2$	77	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	77	153846 bps	+0.16 %
312500 bps	f_{CLK}	37	315789 bps	+1.05 %

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10

(3) 受信時のボー・レート許容範囲

UART (UART0-UART2) 通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$(\text{受信可能な最大ボー・レート}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ボー・レート}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボー・レート値 (18.6.4 (1) ボー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11

図18-95 受信時の許容ボー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

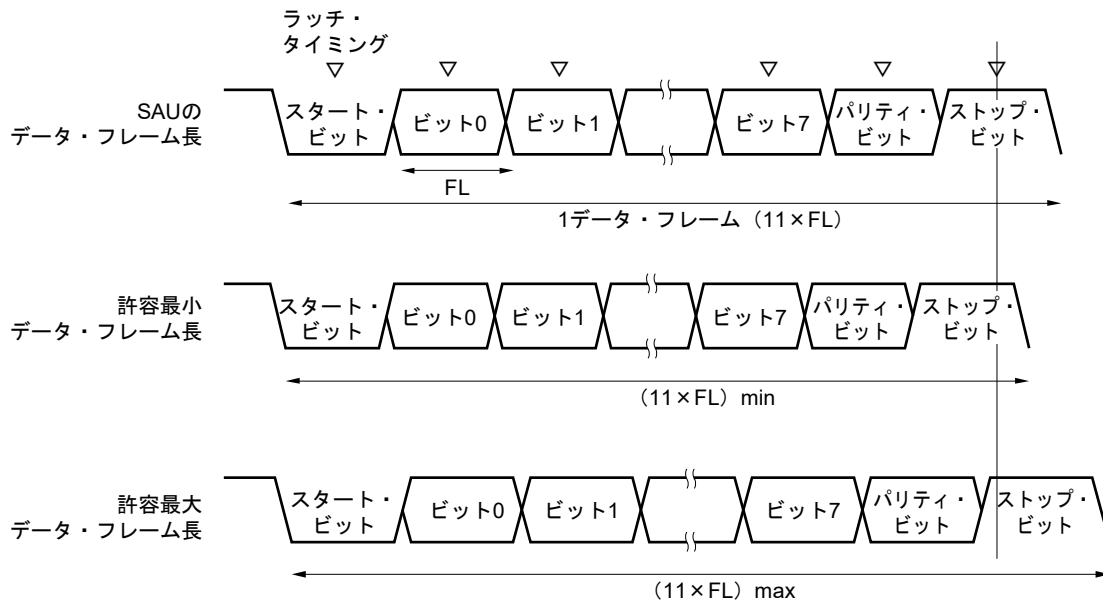


図18-95に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

18.6.5 UART (UART0-UART2) 通信時におけるエラー発生時の処理手順

UART (UART0-UART2) 通信時にエラーが発生した場合の処理手順を図18-96, 図18-97に示します。

図18-96 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが "0" となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に "1" をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図18-97 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが "0" となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに "1" を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが "0" となり、チャンネル n は動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに "1" を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが "1" となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

18.7 LIN通信の動作

18.7.1 LIN送信

UART送信のうち、UART0はLIN通信に対応しています。

LIN送信では、ユニット0のチャンネル0を使用します。

UART	UART0	UART1	UART2
LIN通信対応	可	不可	不可
対象チャンネル	SAU0のチャンネル0	—	—
使用端子	TxD0	—	—
割り込み	INTST0 転送完了割り込み（シングル転送モード時）か、パッファ空き割り込み（連続転送モード時）かを選択可能	—	—
エラー検出フラグ	なし		
転送データ長	8ビット		
転送レート	Max. $f_{MCK}/6$ [bps] (SDR00[15:9] = 2以上) , Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^注		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加		
データ方向	LSBファースト		

注 この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

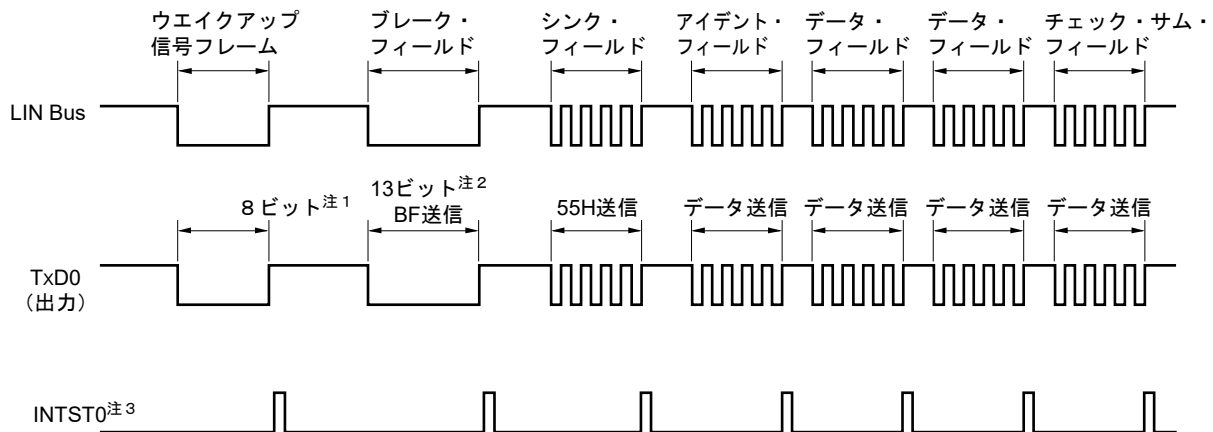
LINのマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が±15 %以下であれば、通信可能です。

LINのマスタ送信操作の概略を、図18-98に示します。

図18-98 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにボー・レートを設定し、80Hのデータ送信をすることで対応します。

2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するボー・レートをN [bps]とすると、ブレーク・フィールドで使用するボー・レートは次のようになります。

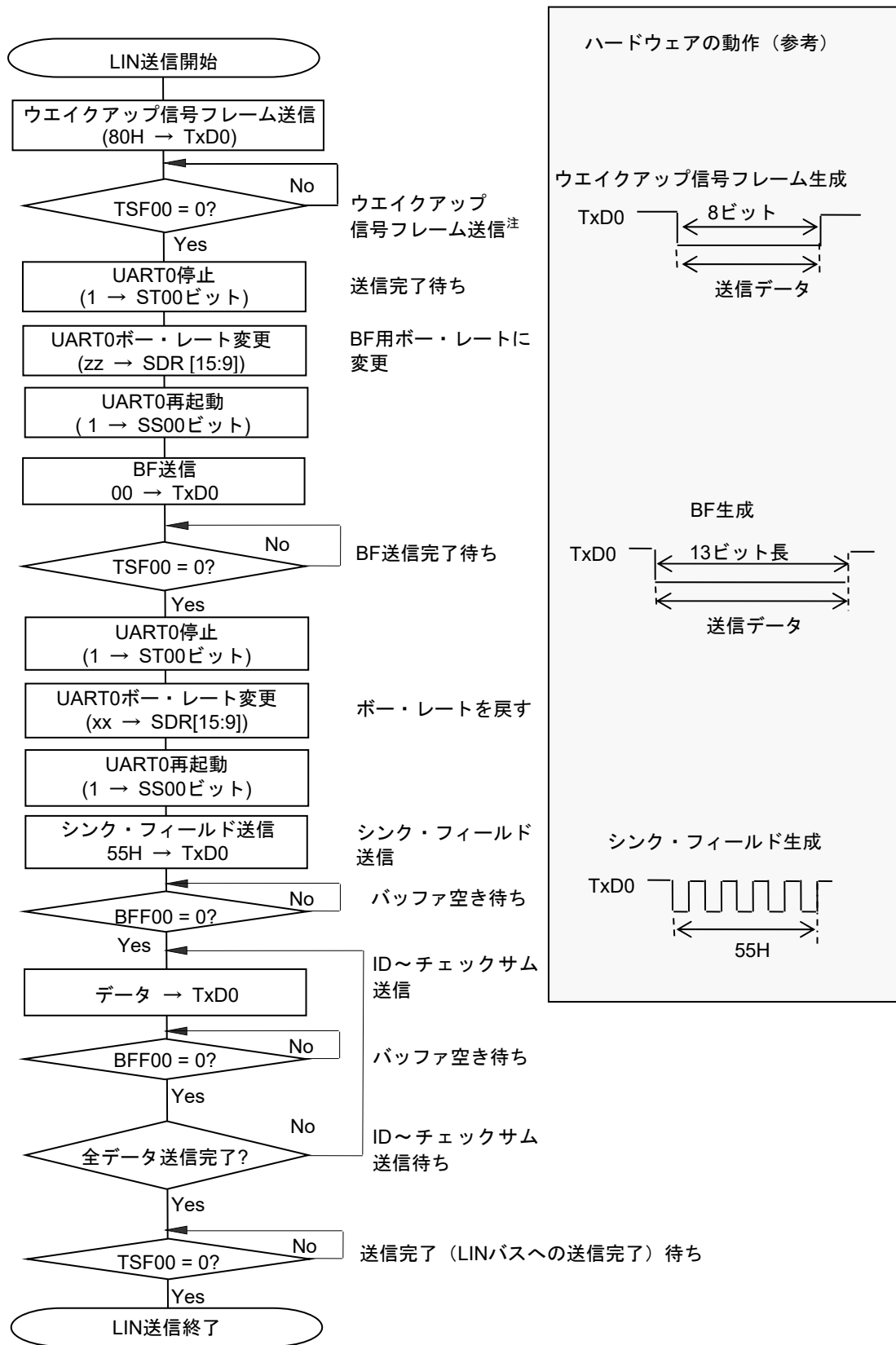
$$\boxed{(\text{ブレーク・フィールド時のボー・レート}) = 9/13 \times N}$$

このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

3. 各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図18-99 LIN送信のフロー・チャート



注 LIN-busがスリープ状態からの起動時のみ

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

18.7.2 LIN受信

UART受信のうち、UART0はLIN通信に対応しています。

LIN受信では、ユニット1のチャンネル1を使用します。

UART	UART0	UART1	UART2
LIN通信対応	可	不可	不可
対象チャンネル	SAU0のチャンネル1	—	—
使用端子	RxD0	—	—
割り込み	INTSR0	—	—
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	INTSRE0	—	—
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEF01） ・ オーバラン・エラー検出フラグ（OVF01） 		
転送データ長	8ビット		
転送レート	Max. $f_{MCK}/6$ [bps] (SDR01[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^注		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）		
ストップ・ビット	1ビット目チェック		
データ方向	LSBファースト		

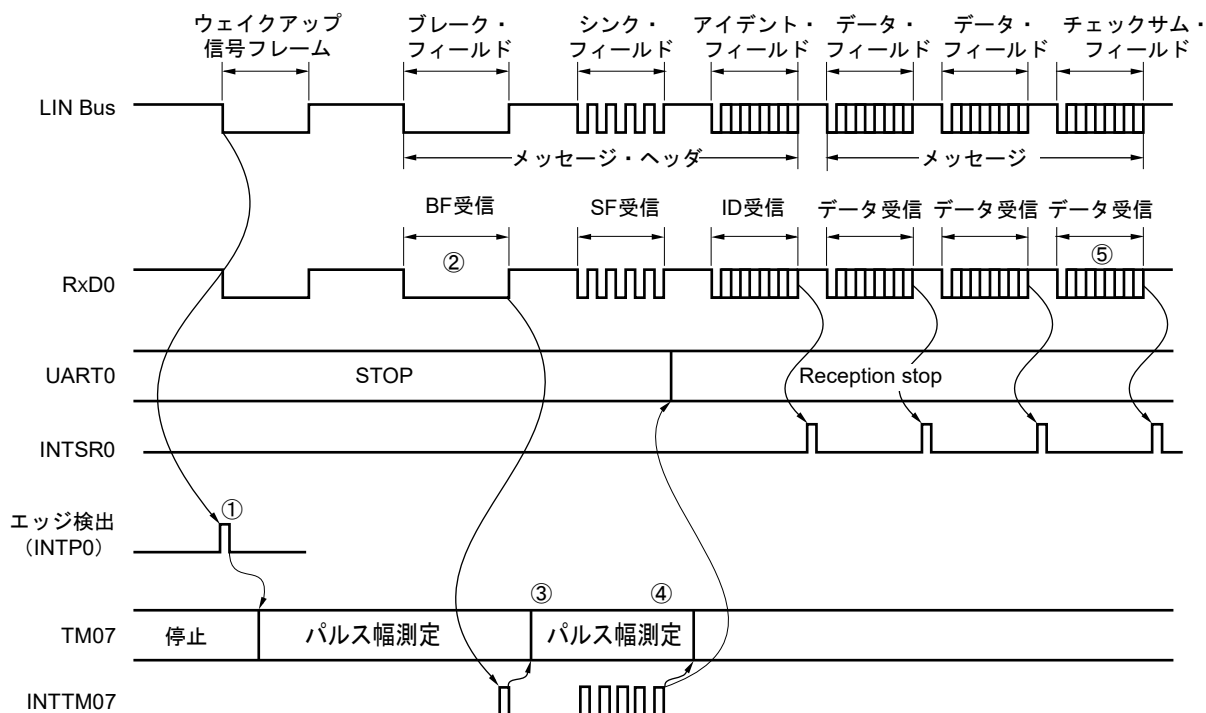
注 この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

LINの受信操作の概略を、図18-100に示します。

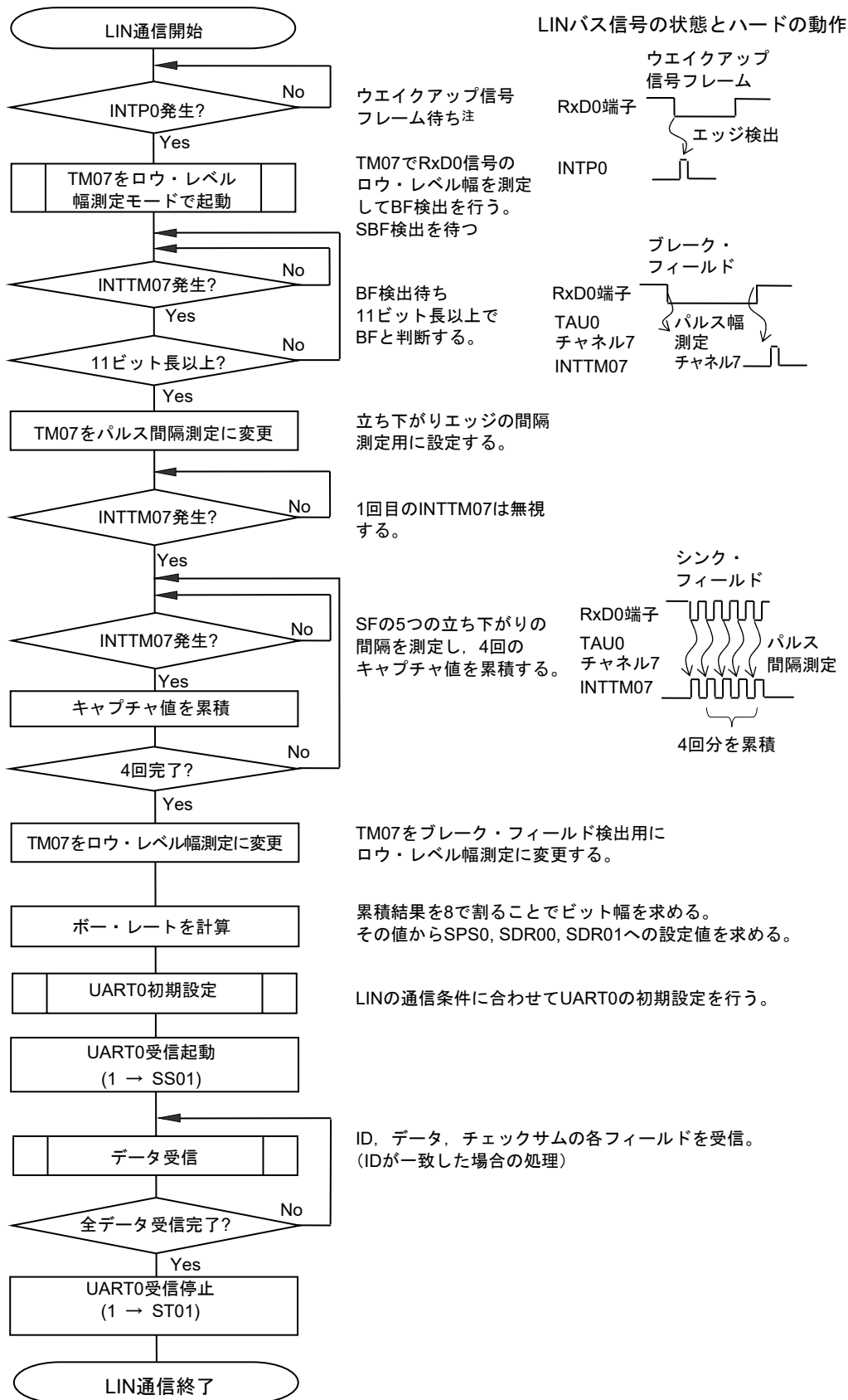
図18-100 LINの受信操作



受信処理の流れを次に示します。

- ① ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTPO) で行います。ウェイクアップ信号を検出したら、TM07をBFのロウ・レベル幅測定のためにパルス幅測定に設定して、BF受信待ち状態にします。
- ② BFの立ち下がりを検出したら、TM07はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。
- ③ BF受信を正常終了した場合、TM07をパルス間隔測定に設定し、シンク・フィールドのRxD0信号の立ち下がりの間隔を4回測定してください。
- ④ BF受信を正常終了した場合、タイマ・アレイ・ユニットのチャンネル7を起動し、シンク・フィールドのビット間隔 (パルス幅) を測定してください (7.8.3 入力パルス間隔測定としての動作を参照)。
- ⑤ シンク・フィールド (SF) のビット間隔からポー・レート誤差を算出します。そして、いったんUART0を動作停止にしてからポー・レートを調整 (再設定) してください。
- ⑥ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し、再びBF受信待ちに設定する処理もソフトウェアにて行ってください。

図18-101 LIN受信のフロー・チャート



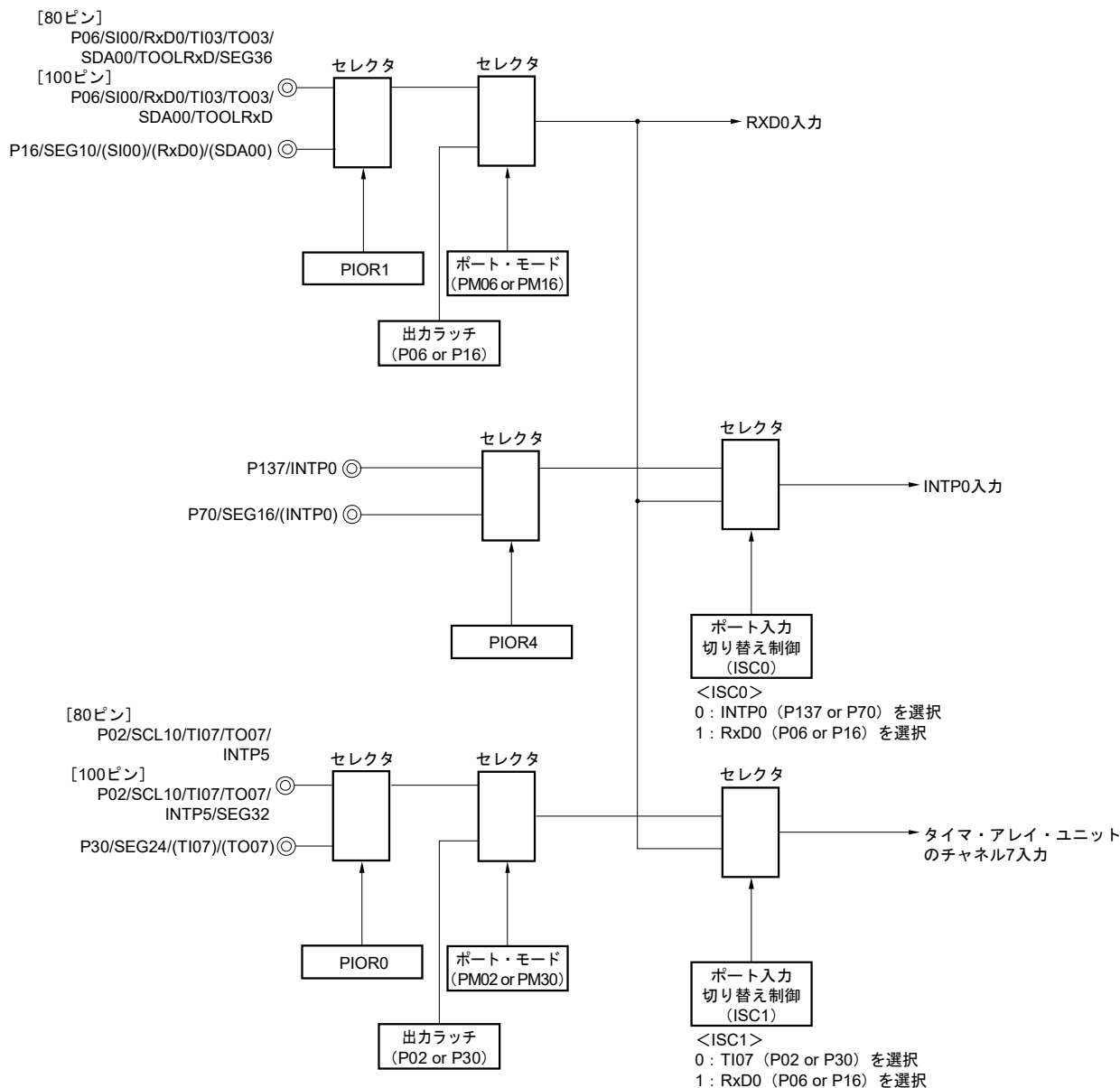
注 スリープ状態でのみ必要となります。

図18-102はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み (INTP0) のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し、ポーレート誤差を算出することができます。

ポート入力切り替え制御 (ISC0/ISC1) により、外部で結線をせずに、受信ポート入力 (RxD0) の入力ソースを外部割り込み (INTP0) およびタイマ・アレイ・ユニットへ入力することができます。

図18-102 LINの受信操作のポート構成図



備考1. ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図18-21参照)

PIOR0, PIOR1, PIOR4 : 周辺I/Oリダイレクション・レジスタ (PIOR) のビット0-4 (図4-8参照)

2. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。図4-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出
用途 : ウェイクアップ信号のエッジを検出し、通信開始を検出
- ・タイマ・アレイ・ユニットのチャンネル7 ; ポー・レート誤差検出、ブレーク・フィールド (BF) 検出
用途 : シンク・フィールド (SF) の長さを検出し、ビット数で割ることでポー・レート誤差を検出 (RxD0
入力エッジの間隔をキャプチャ・モードで測定)
ロウ・レベル幅を測定し、ブレーク・フィールド (BF) かを判定
- ・シリアル・アレイ・ユニット0 (SAU0) のチャンネル0, 1 (UART0)

18.8 簡易I²C (IIC00, IIC10) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I²Cバスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能^注, ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ・ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・パリティ・エラー (ACKエラー)

※ [簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・マルチ・マスタ機能 (アービトレーション負け検出機能)
- ・ウェイト検出機能

注 最終データの受信時は、SOEmn (SOEmレジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、18.8.3(2) 処理フローを参照してください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 2) mn = 00, 02

簡易I²C (IIC00, IIC10) に対応しているチャンネルは、SAU0のチャンネル0, 2です。

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	IIC10
	3	—		—
1	0	—	UART2 (IrDA対応)	—
	1	—		—

簡易I²C (IIC00, IIC10) の通信動作は、以下の4種類があります。

- ・ アドレス・フィールド送信 (18. 8. 1項を参照)
- ・ データ送信 (18. 8. 2項を参照)
- ・ データ受信 (18. 8. 3項を参照)
- ・ ストップ・コンディション発生 (18. 8. 4項を参照)

18.8.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、I²C通信で最初に行う送信動作です。スタート・コンディションが発生したあとに、アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

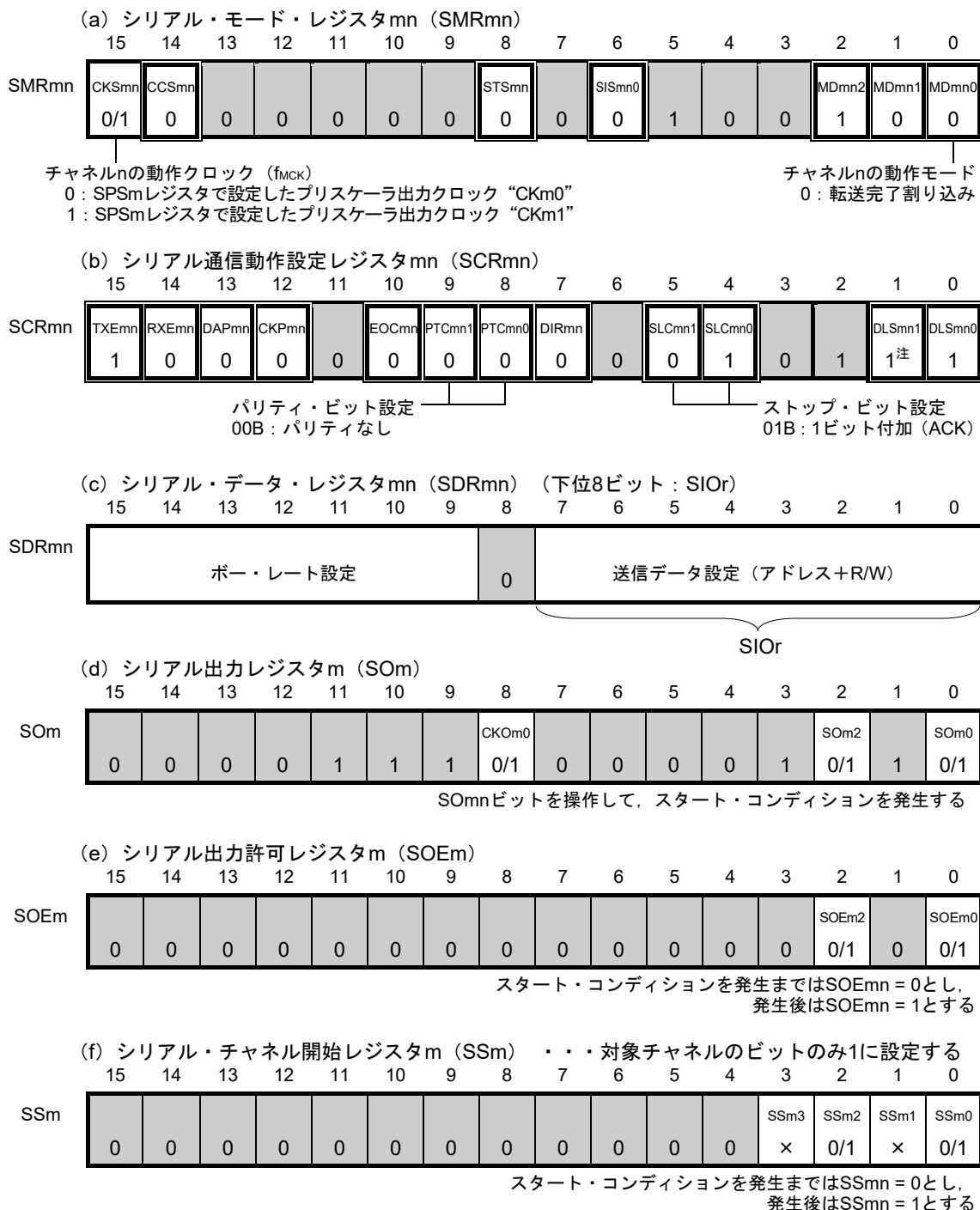
簡易I ² C	IIC00	IIC10
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2
使用端子	SCL00, SDA00 ^{注1}	SCL10, SDA10 ^{注1}
割り込み	INTIIC00	INTIIC10
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	ACKエラー検出フラグ（PEFmn）	
転送データ長	8ビット（上位7ビットをアドレス、下位1ビットをR/W制御として送信）	
転送レート ^{注2}	Max.f _{MCK} /4 [Hz]（SDRmn[15:9] = 1以上） f _{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 1 MHz（ファースト・モード・プラス） ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	非反転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK受信タイミング用）	
データ方向	MSBファースト	

- 注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（詳細は4.3.5 ポート出力モード・レジスタ（POMxx）を参照）。IIC00, IIC10を異電位外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（詳細は、4.4.4 異電位（1.8 V系, 2.5 V系, 3 V系）外部デバイスとの接続方法を参照）。
2. この条件を満たし、かつ電氣的特性の周辺機能特性（第37章 電氣的特性参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0） n：チャンネル番号（n = 0, 2） mn = 00, 02

(1) レジスタ設定

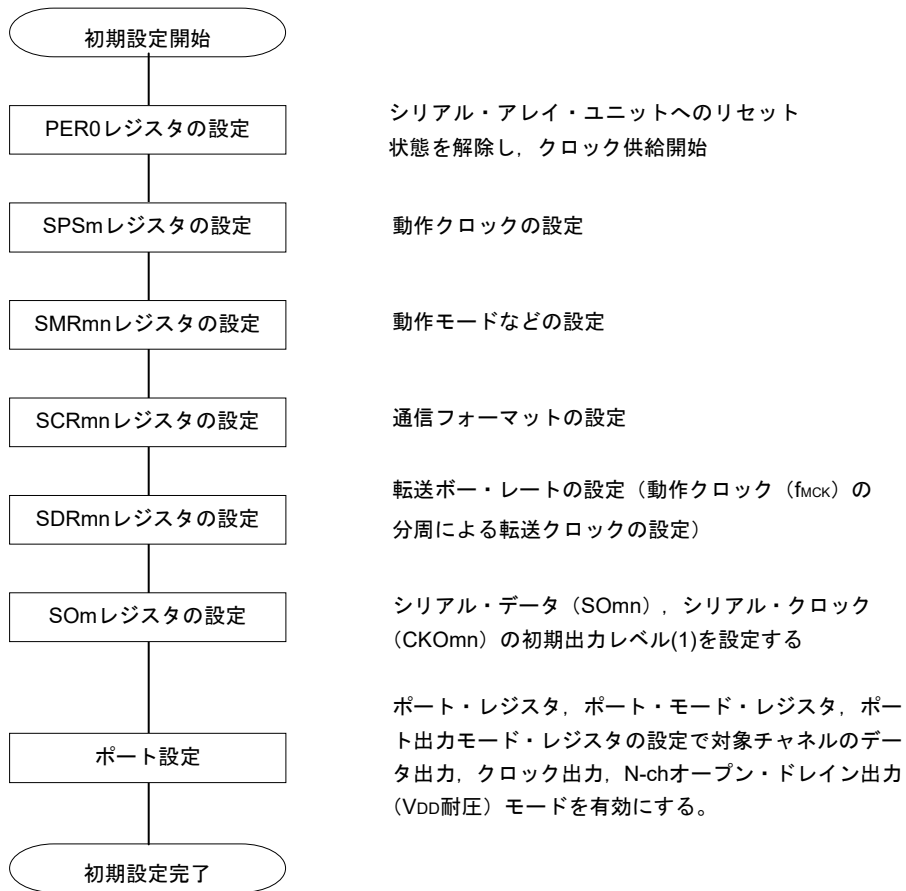
図18-103 簡易I²C (IIC00, IIC10) のアドレス・フィールド送信時のレジスタ設定内容例



注 SCR00レジスタのみ。その他は1固定になります。

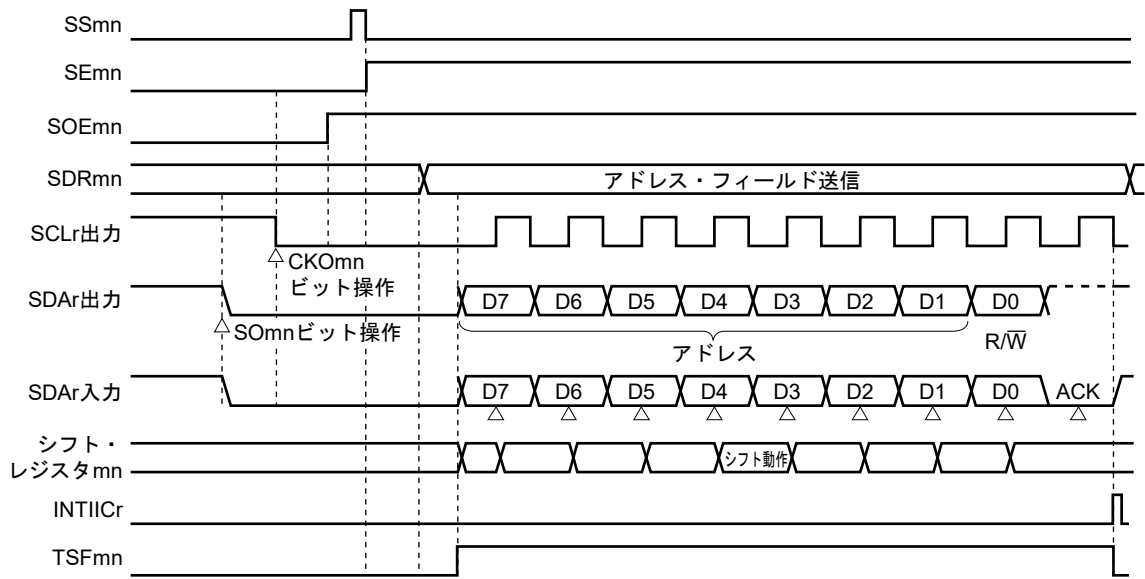
- 備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10) mn = 00, 02
2. □: IICモードでは設定固定 ■: 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図18-104 簡易I²Cアドレス・フィールド送信の初期設定手順

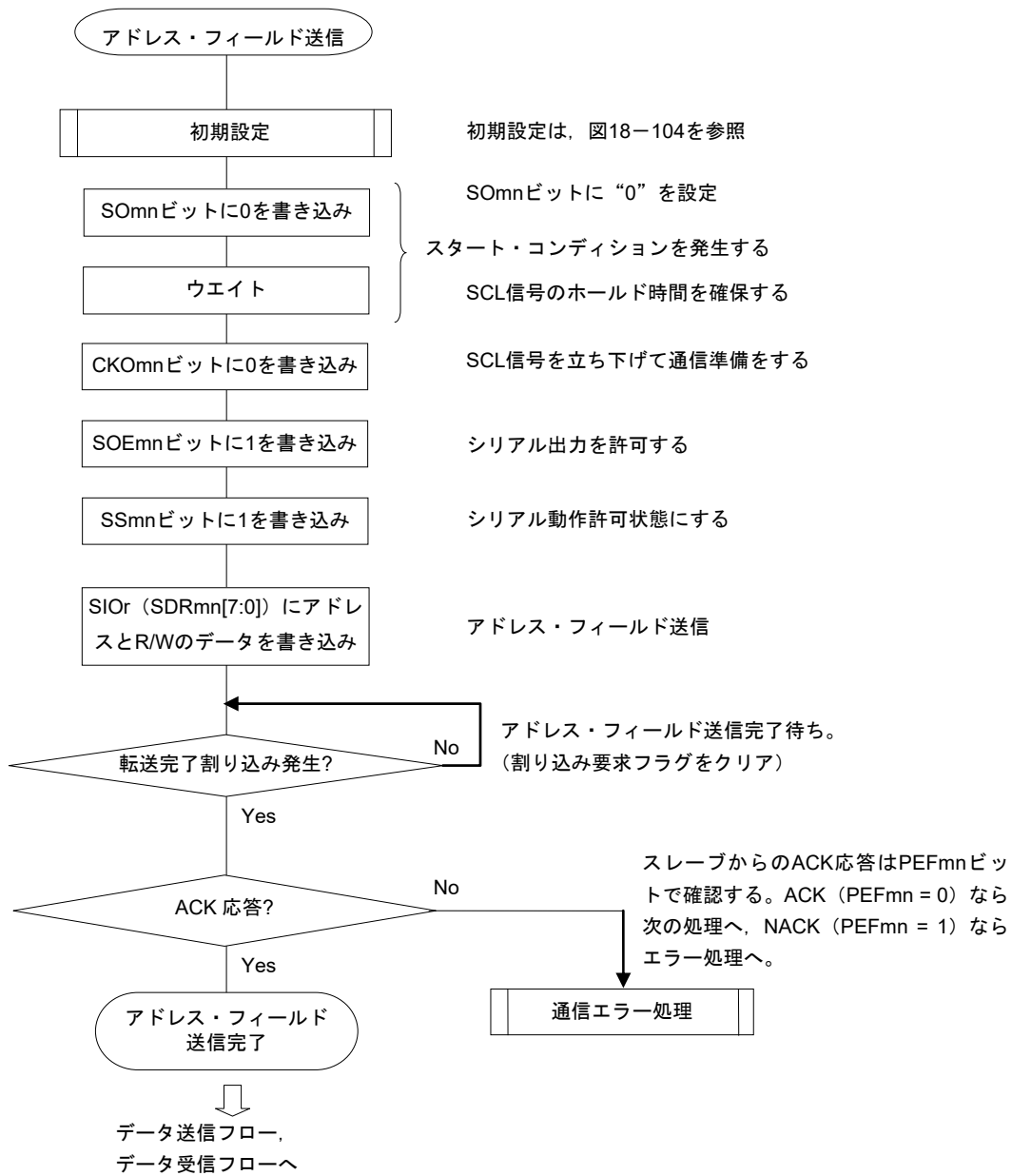
(3) 処理フロー

図18-105 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10) mn = 00, 02

図18-106 簡易I²Cアドレス・フィールド送信のフロー・チャート



18.8.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

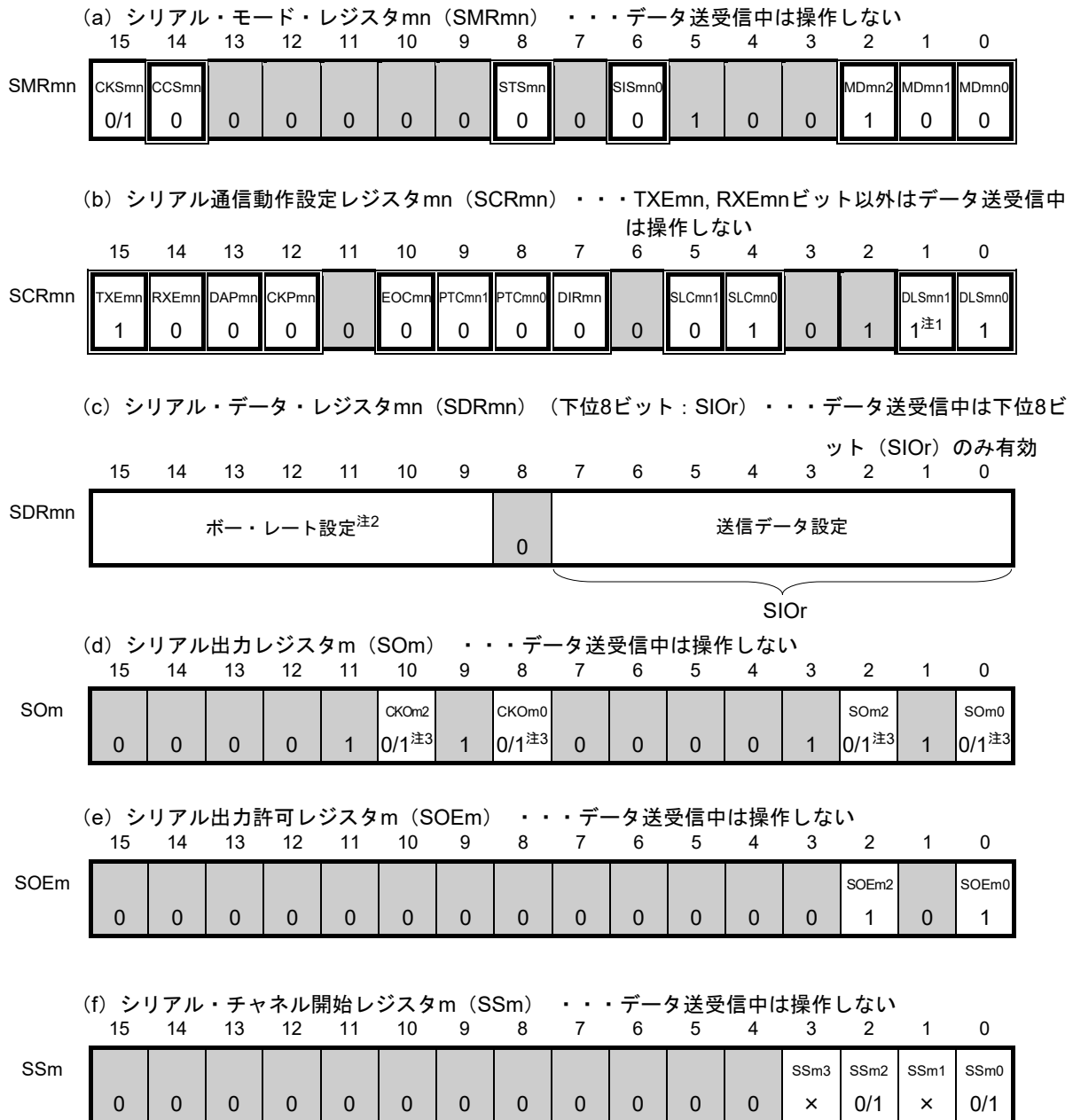
簡易I ² C	IIC00	IIC10
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2
使用端子	SCL00, SDA00 ^{注1}	SCL10, SDA10 ^{注1}
割り込み	INTIIC00	INTIIC10
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	ACKエラー・フラグ（PEFmn）	
転送データ長	8ビット	
転送レート ^{注2}	Max.f _{MCK} /4 [Hz]（SDRmn[15:9] = 1以上） f _{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 1 MHz（ファースト・モード・プラス） ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	非反転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK受信タイミング用）	
データ方向	MSBファースト	

- 注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（詳細は4.3.5 ポート出力モード・レジスタ（POMxx）を参照）。IIC00, IIC10を異電位外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（詳細は、4.4.4 異電位（1.8 V系, 2.5 V系, 3 V系）外部デバイスとの接続方法を参照）。
2. この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0） n：チャンネル番号（n = 0, 2） mn = 00, 02

(1) レジスタ設定

図18-107 簡易I²C (IIC00, IIC10) のデータ送信時のレジスタ設定内容例



注1. SCR00レジスタのみ。その他は1固定になります

2. アドレス・フィールド送信で設定済みなので、設定不要です。

3. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10) mn = 00, 02

2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図18-108 データ送金のタイミング・チャート

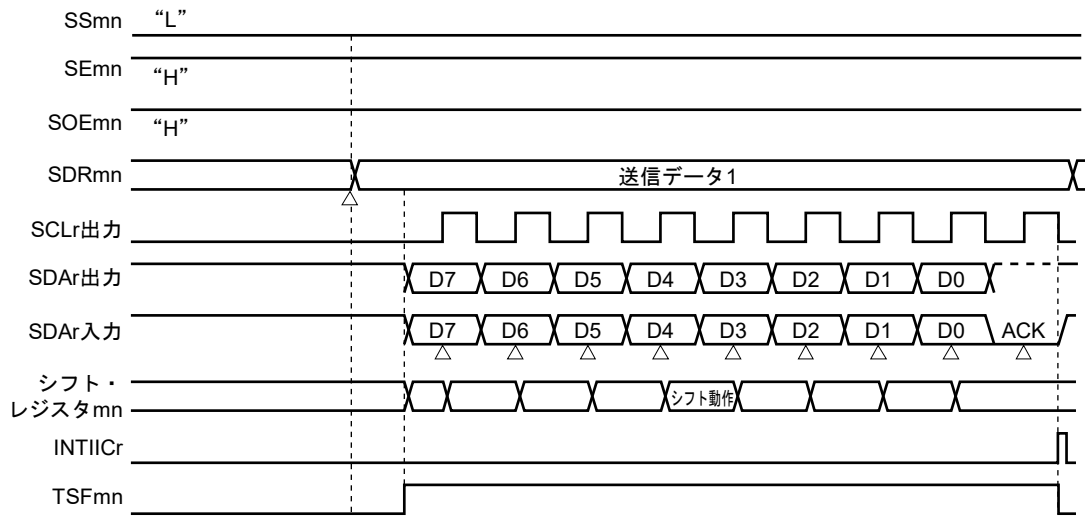
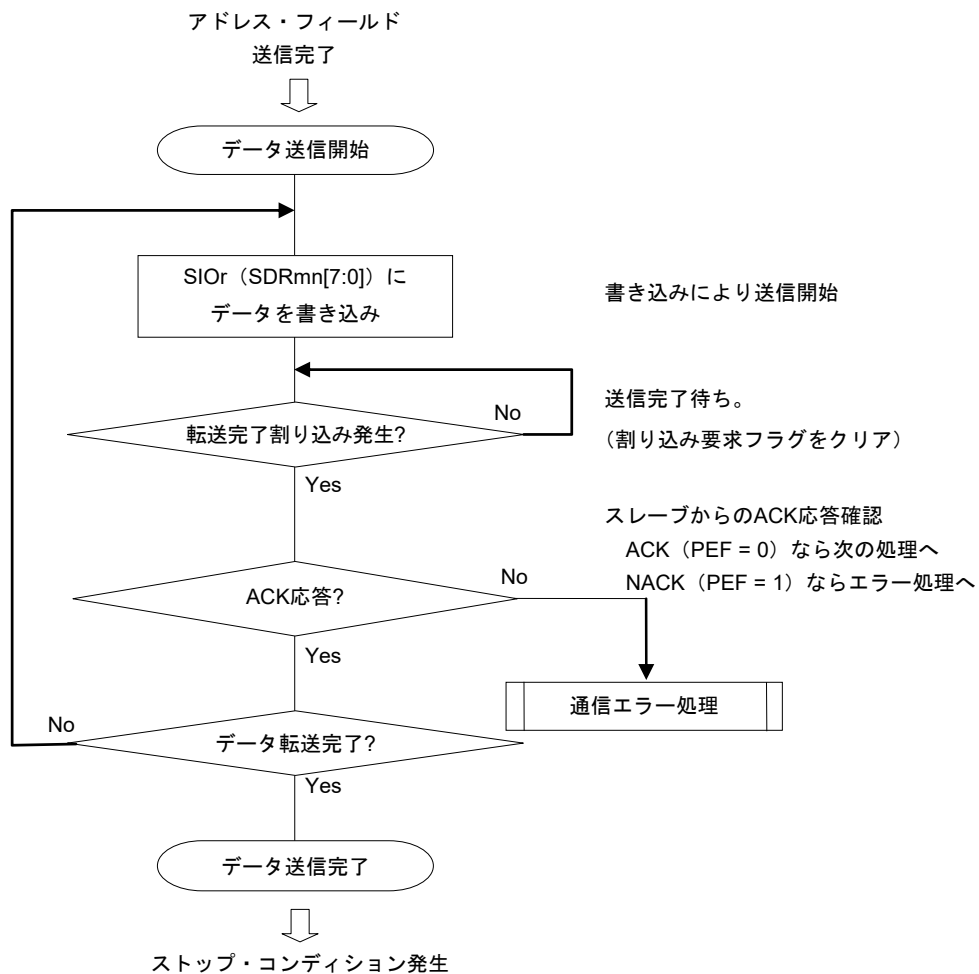


図18-109 簡易I²Cデータ送金のフロー・チャート



18.8.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC10
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2
使用端子	SCL00, SDA00 ^{注1}	SCL10, SDA10 ^{注1}
割り込み	INTIIC00 転送完了割り込みのみ（バッファ空き割り込みは選択不可）	INTIIC10
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	8ビット	
転送レート ^{注2}	Max.f _{MCK} /4 [Hz]（SDRmn[15:9] = 1以上） f _{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 1 MHz（ファースト・モード・プラス） ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	非反転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK送信）	
データ方向	MSBファースト	

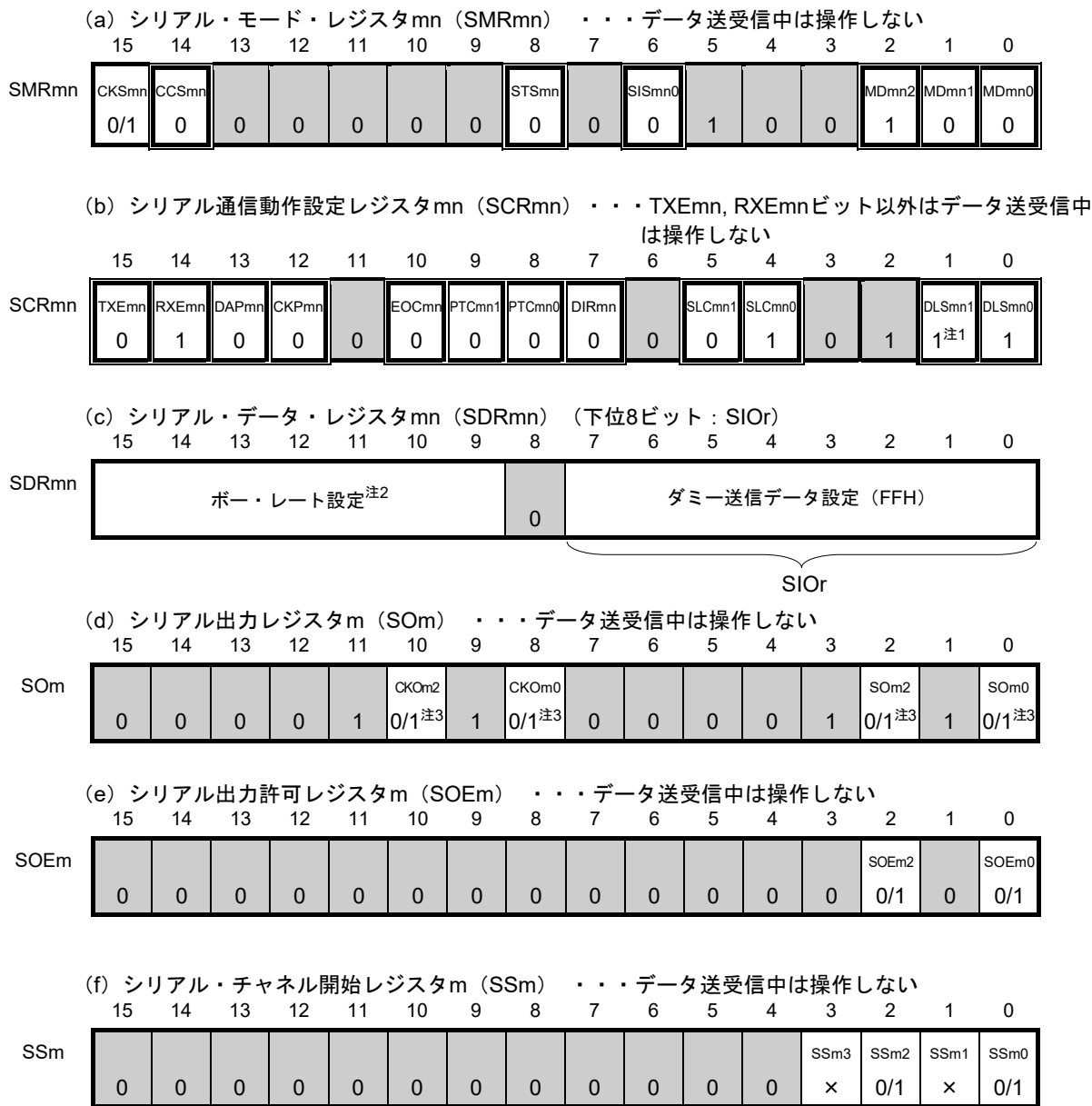
注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（詳細は4.3.5 ポート出力モード・レジスタ（POMxx）を参照）。IIC00, IIC10を異電位外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（詳細は、4.4.4 異電位（1.8 V系, 2.5 V系, 3 V系）外部デバイスとの接続方法を参照）。

2. この条件を満たし、かつ電気的特性の周辺機能特性（第37章 電気的特性参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0） n：チャンネル番号（n = 0, 2） mn = 00, 02

(1) レジスタ設定

図18-110 簡易I²C (IIC00, IIC10) のデータ受信時のレジスタ設定内容例



注 1. SCR00レジスタのみ。その他は1固定になります

2. アドレス・フィールド送信で設定済みなので、設定不要です。

3. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10) mn = 00, 02

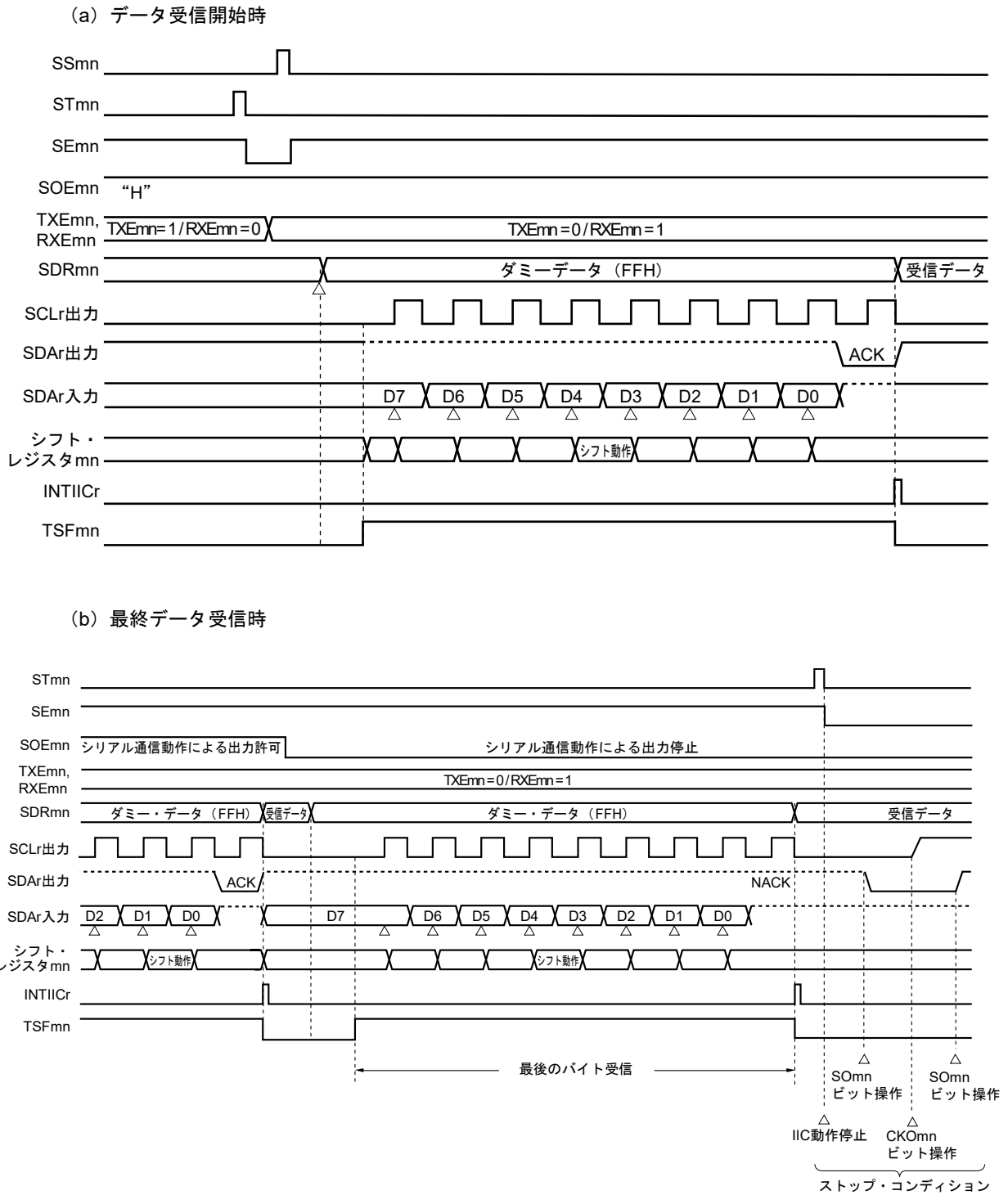
2. □: IICモードでは設定固定 ■: 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

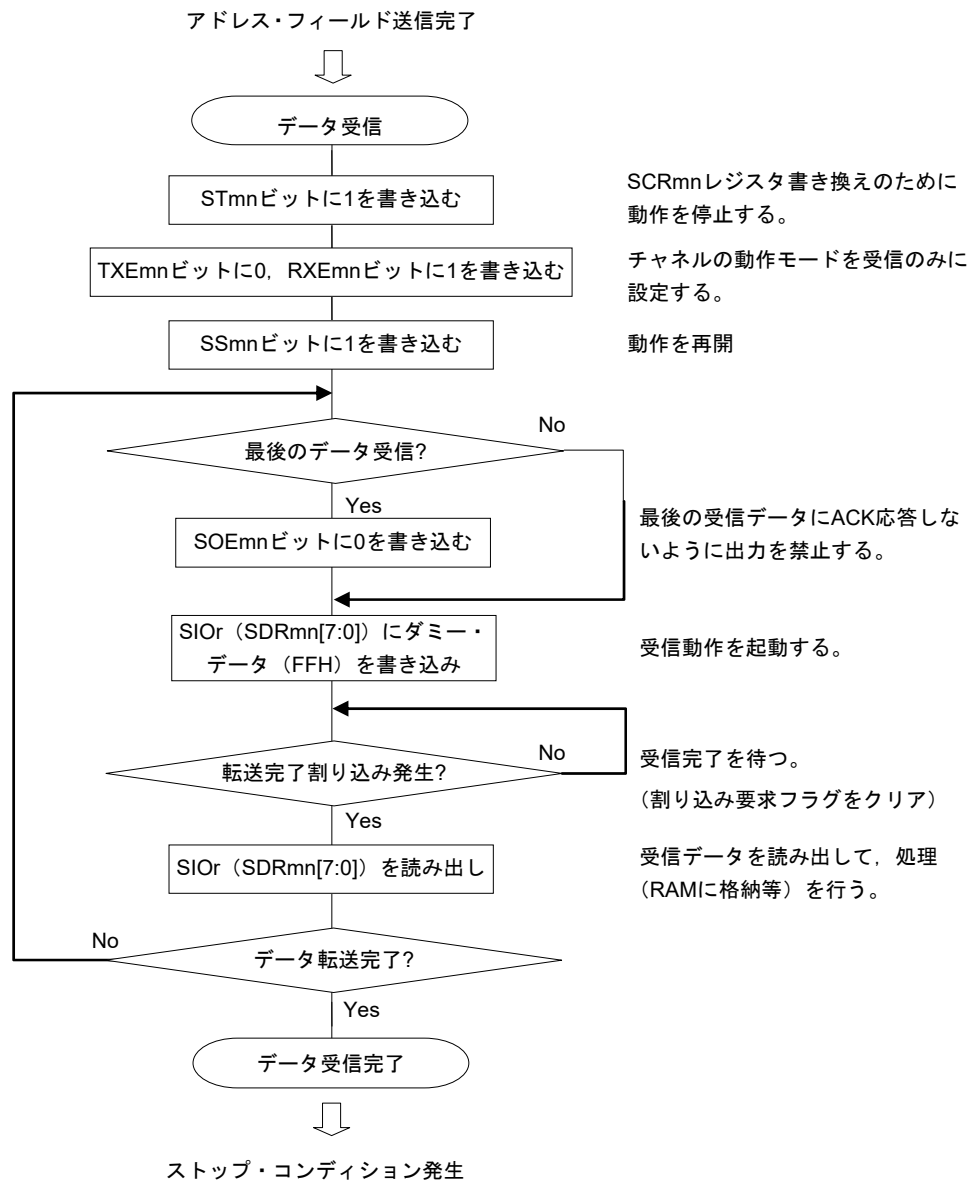
(2) 処理フロー

図18-111 データ受信のタイミング・チャート



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10) mn = 00, 02

図18-112 データ受信のフロー・チャート



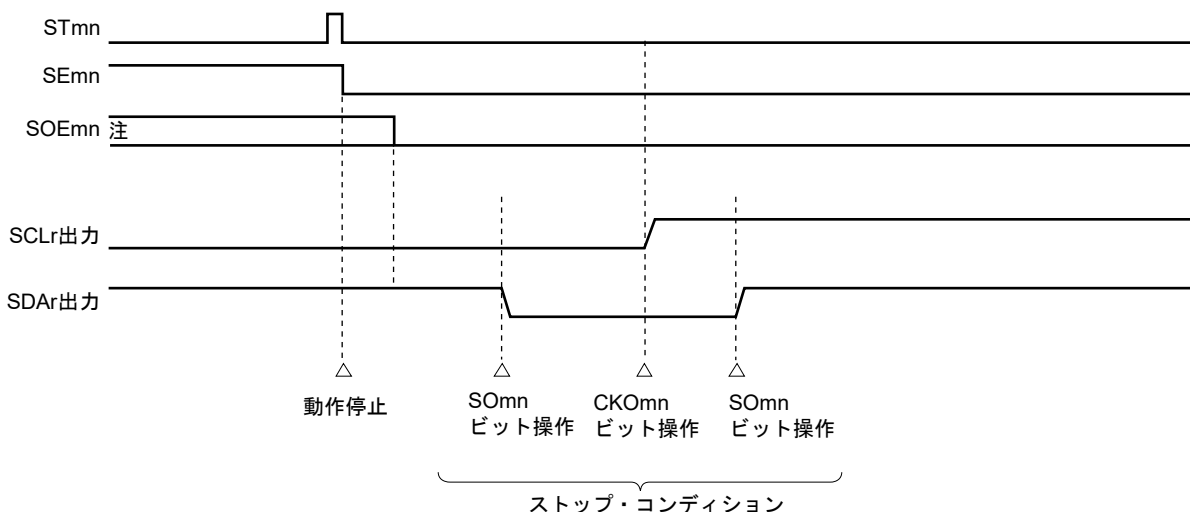
注意 最終データの受信時はACKを出力しません (NACK)。その後、シリアル・チャンネル停止レジスタm (STm) のSTmnビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

18.8.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

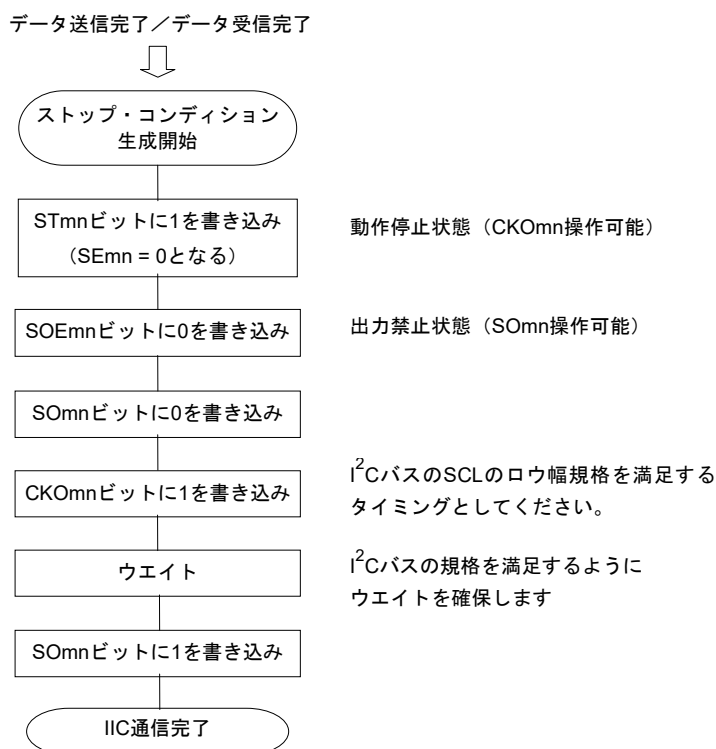
(1) 処理フロー

図18-113 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタm (SOEm) のSOEmnビットを“0”に設定しています。

図18-114 ストップ・コンディション発生のフロー・チャート



18.8.5 転送レートの算出

簡易I²C (IIC00, IIC10) 通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \text{[対象チャンネルの動作クロック (f}_{MCK}\text{) 周波数]} \div (\text{SDRmn}[15:9]+1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると、SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考 1. (SDRmn[15:9]) は、シリアル・データ・レジスタ mn (SDRmn) のビット15-9の値 (0000001B-1111111B) なので、1-127になります。

2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 2) mn = 00, 02

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット15 (CKSmnビット) で決まります。

表18-5 簡易I²C動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f _{MCK}) ^注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	24 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	12 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	6 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	3 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	23.4 kHz
X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	11.7 kHz	
1	0	0	0	0	X	X	X	X	f _{CLK}	24 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	12 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	6 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	3 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	46.9 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	23.4 kHz
1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	11.7 kHz	
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 2) mn = 00, 02

f_{MCK} = f_{CLK} = 24 MHzの場合のI²C転送レート設定例を示します。

I ² C転送モード (希望転送レート)	f _{CLK} = 24 MHz時			
	動作クロック (f _{MCK})	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f _{CLK} /2	59	100 kHz	0.0%
400 kHz	f _{CLK}	29	380 kHz	5.0% ^注
1 MHz	f _{CLK}	5	0.84 MHz	16.0% ^注

注 SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

18.8.6 簡易I²C (IIC00, IIC10) 通信時におけるエラー発生時の処理手順

簡易I²C (IIC00, IIC10) 通信時にエラーが発生した場合の処理手順を図18-117, 図18-118に示します。

図18-115 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが “0” となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に “1” をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図18-116 簡易I²Cモード時のACKエラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに “1” を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが “0” となり、チャンネル n は動作停止状態になる	ACKが返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに “1” を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが “1” となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10) mn = 00, 02

第19章 シリアル・インタフェースIICA

19.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCLAn) とシリアル・データ・バス (SDAAn) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ” および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICAn) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1 (IICCTLn1) のWUPnビットにより設定します。

図19-1に、シリアル・インタフェースIICAのブロック図を示します。

備考 n = 0

図19-1 シリアル・インタフェースIICA0のブロック図

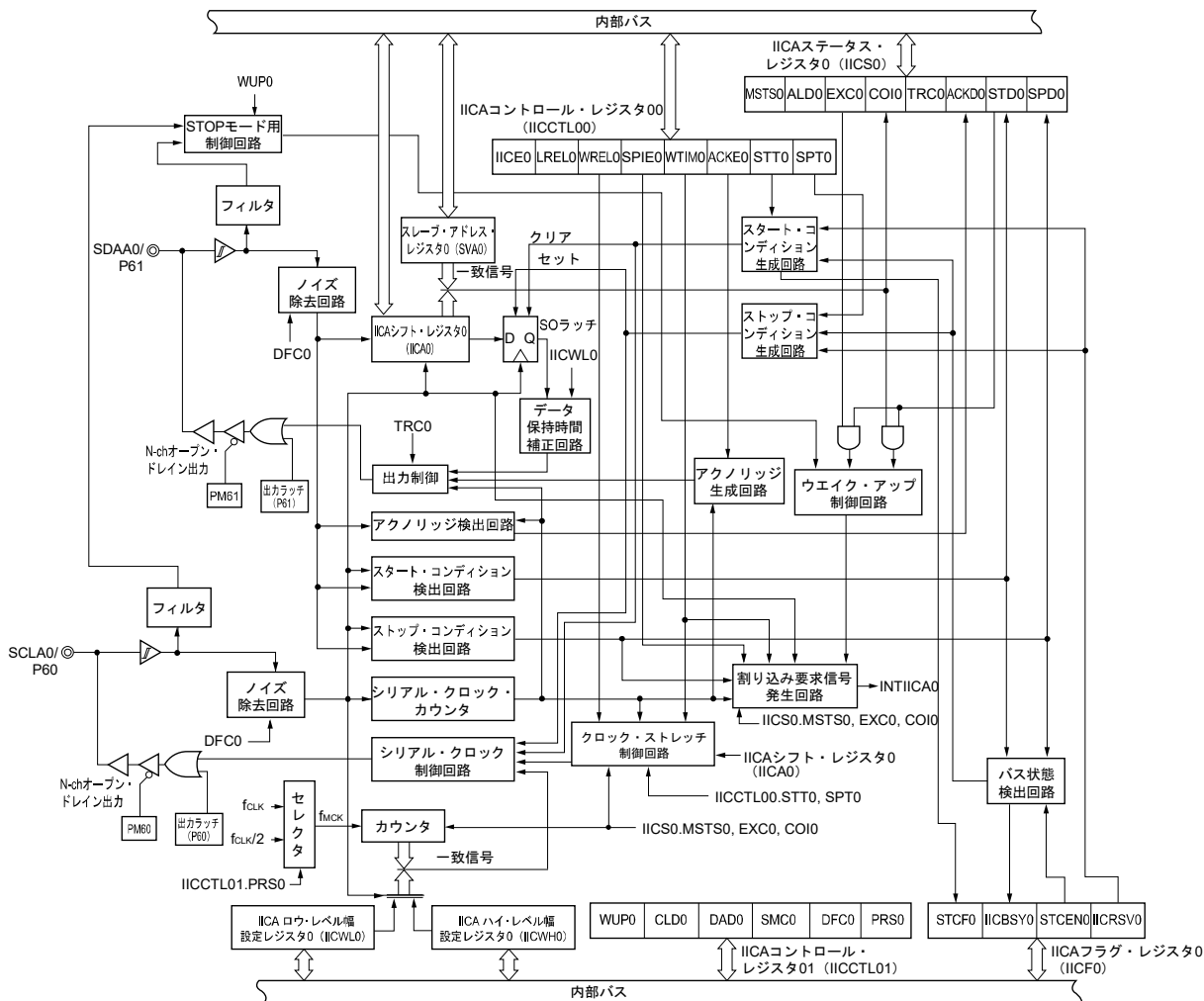
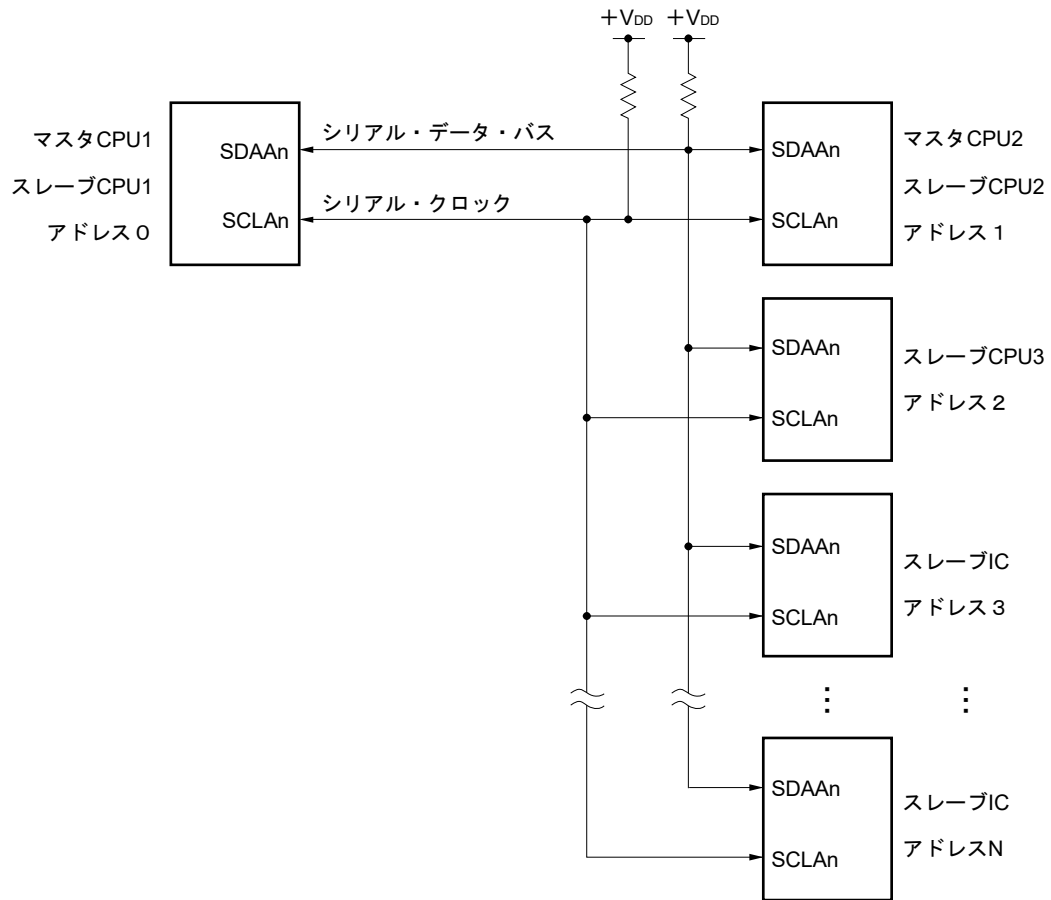


図19-2にシリアル・バス構成例を示します。

図19-2 I²Cバスによるシリアル・バス構成例



備考 n = 0

19.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表19-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ n (IICAn) スレーブ・アドレス・レジスタ n (SVAn)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) IICAコントロール・レジスタ n 0 (IICCTLn0) IICAステータス・レジスタ n (IICSn) IICAフラグ・レジスタ n (IICFn) IICAコントロール・レジスタ n 1 (IICCTLn1) IICAロウ・レベル幅設定レジスタ n (IICWLn) IICAハイ・レベル幅設定レジスタ n (IICWHn) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

備考 $n = 0$

(1) IICAシフト・レジスタ n (IICAn)

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

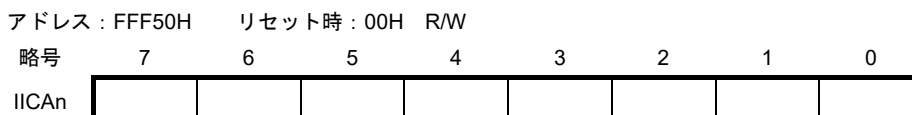
IICAnレジスタに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-3 IICAシフト・レジスタ n (IICAn) のフォーマット



- 注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。
- IICAnレジスタには、クロック・ストレッチ期間中にだけ、書き込み/読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STTn) をセット (1) したあと、1回書き込みできます。
 - 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考 $n = 0$

(2) スレーブ・アドレス・レジスタn (SVAn)

スレーブとして使用する場合に、自局アドレスの7ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn=1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図19-4 スレーブ・アドレス・レジスタn (SVAn) のフォーマット

アドレス : F0234H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0 ^注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタn (SVAn) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICAn) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICAn) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEnビットで設定)

備考 WTIMnビット : IICAコントロール・レジスタn0 (IICCTLn0) のビット3
SPIEnビット : " のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

備考 n = 0

- (9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路,
 アクノリッジ検出回路

各状態の生成および検出を行います。

- (10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

- (11) スタート・コンディション生成回路

STTnビットがセット (1) されるとスタート・コンディションを生成します。

ただし通信予約禁止状態 (IICRSVnビット = 1) で、かつバスが解放されていない (IICBSYnビット = 1) 場合には、スタート・コンディション要求は無視し、STCFnビットをセット (1) します。

- (12) ストップ・コンディション生成回路

SPTnビットがセット (1) されるとストップ・コンディションを生成します。

- (13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENnビットにより、バス状態検出回路の初期状態を設定してください。

備考1. STTnビット : IICAコントロール・レジスタn0 (IICCTLn0) のビット1
 SPTnビット : " のビット0
 IICRSVnビット : IICAフラグ・レジスタn (IICFn) のビット0
 IICBSYnビット : " のビット6
 STCFnビット : " のビット7
 STCENnビット : " のビット1

2. n = 0

19.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次の8種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・IICAコントロール・レジスタn0 (IICCTLn0)
- ・IICAフラグ・レジスタn (IICFn)
- ・IICAステータス・レジスタn (IICSn)
- ・IICAコントロール・レジスタn1 (IICCTLn1)
- ・IICAロウ・レベル幅設定レジスタn (IICWLn)
- ・IICAハイ・レベル幅設定レジスタn (IICWHn)
- ・ポート・モード・レジスタ6 (PM6)
- ・ポート・レジスタ6 (P6)

備考 n = 0

19.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAnを使用するときは、必ずビット4 (IICA0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェースIICAnの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICAnで使用するSFRへのライト不可 ・シリアル・インタフェースIICAnはリセット状態
1	入カクロック供給許可 ・シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可

注意1. シリアル・インタフェースIICAnの設定をする際には、必ず最初にIICAnEN = 1の状態、下記のレジスタの設定を行ってください。IICAnEN = 0の場合は、シリアル・インタフェースIICAの制御レジスタは初期値となり、書き込みは無視されます（ポート・モード・レジスタ6 (PM6)、ポート・レジスタ6 (P6) は除く）。

- ・IICAコントロール・レジスタn0 (IICCTLn0)
- ・IICAフラグ・レジスタn (IICFn)
- ・IICAステータス・レジスタn (IICSn)
- ・IICAコントロール・レジスタn1 (IICCTLn1)
- ・IICAロウ・レベル幅設定レジスタn (IICWLn)
- ・IICAハイ・レベル幅設定レジスタn (IICWHn)

2. ビット1には必ず“0”を設定してください。

備考 n = 0

19.3.2 IICAコントロール・レジスタn0 (IICCTLn0)

I²Cの動作許可／停止, クロック・ストレッチ・タイミングの設定, その他I²Cの動作を設定するレジスタです。

IICCTLn0レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし, SPIEn, WTIMn, ACKEnビットは, IICEn = 0のとき, またはクロック・ストレッチ期間中に設定してください。またIICEnビットを“0”から“1”に設定するときに, これらのビットを同時に設定できます。

リセット信号の発生により, 00HIになります。

備考 n = 0

図19-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (1/4)

アドレス : F0230H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn
----------	-------	-------	-------	-------	-------	-------	------	------

IICEn	I ² Cの動作許可
0	動作停止。IICAステータス・レジスタn (IICSn) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCLAn, SDAAAnラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICEn = 0)	セットされる条件 (IICEn = 1)
・命令によるクリア ・リセット時	・命令によるセット

LRELn ^{注2,3}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタn0 (IICCTLn0) , IICAステータス・レジスタn (IICSn) のうち、次のフラグがクリア (0) される。 ・STTn ・SPTn ・MSTSn ・EXCn ・COIn ・TRCn ・ACKDn ・STDn
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ・ストップ・コンディション検出後、マスタとしての起動 ・スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELn = 0)	セットされる条件 (LRELn = 1)
・実行後、自動的にクリア ・リセット時	・命令によるセット

WRELn ^{注2,3}	クロック・ストレッチ解除
0	クロック・ストレッチを解除しない。
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。
送信状態 (TRCn = 1) で、9クロック目のクロック・ストレッチ期間中にWRELnビットをセット (クロック・ストレッチを解除) した場合、SDAAAnラインをハイ・インピーダンス (TRCn = 0) にします。	
クリアされる条件 (WRELn = 0)	セットされる条件 (WRELn = 1)
・実行後、自動的にクリア ・リセット時	・命令によるセット

注1. リセットされるのは、IICAステータス・レジスタn (IICA0) , IICAフラグ・レジスタn (IICF0) の STCFn, IICBSYnビット, IICAコントロール・レジスタn1 (IICCTLn1) レジスタのCLDn, DADnビットです。

2. IICEn = 0の状態では、このビットの信号は無効になります。

3. LRELn, WRELnビットの読み出し値は常に0になります。

注意 SCLAnラインがハイ・レベル、SDAAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTLn1レジスタのDFCn = 1) のときにI²Cを動作許可 (IICEn = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可 (IICEn = 1) したあと、連続して1ビット・メモリ操作命令により、LRELnビットをセット (1) してください。

備考 n = 0

図19-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (2/4)

SPIEn ^{注1}	ストップ・コンディション検出による割り込み要求発生の許可/禁止	
0	禁止	
1	許可	
IICAコントロール・レジスタn1 (IICCTLn1) のWUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIEn = 0)		セットされる条件 (SPIEn = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIMn ^注	クロック・ストレッチおよび割り込み要求発生の制御	
1		
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでのクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでのクロック・ストレッチに入ります。		
クリアされる条件 (WTIMn = 0)		セットされる条件 (WTIMn = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

ACKEn ^{注1,2}	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。	
クリアされる条件 (ACKEn = 0)		セットされる条件 (ACKEn = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

注1. IICEn = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。

スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

備考 n = 0

図19-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (3/4)

STTn ^{注1,2}	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	バスが解放されているとき（待機状態、IICBSYnが0のとき）： セット（1）すると、スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・通信予約機能許可の場合（IICRSVn = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると、バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSVn = 1） セット（1）してもSTTnビットはクリアされ、STTnクリア・フラグ（STCFn）がセット（1）される。 スタート・コンディションは生成しない。 クロック・ストレッチ状態（マスタ時）： クロック・ストレッチを解除してリスタート・コンディションを生成する。	
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット（1）は禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたとあとのクロック・ストレッチ期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット（1）してください。 ・ストップ・コンディション・トリガ（SPTn）と同時セット（1）することは禁止です。 ・STTnビットをセット（1）後、クリア条件になる前に再度セット（1）することは禁止です。		
クリアされる条件（STTn = 0）		セットされる条件（STTn = 1）
・通信予約禁止状態でのSTTnビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LRELn = 1（通信退避）によるクリア ・IICEn = 0（動作停止）のとき ・リセット時		・命令によるセット

注1. IICEn = 0の状態では、このビットの信号は無効になります。

2. STTnビットの読み出し値は、常に0になります。

備考1. IICRSVn : IICフラグ・レジスタn (IICFn) のビット0

STCFn : " のビット7

2. n = 0

図19-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (4/4)

SPTn ^注	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する（マスタとしての転送終了）。	
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット（1）は禁止です。 ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。 ・スタート・コンディション・トリガ（STTn）と同時にセット（1）することは禁止です。 ・SPTnビットのセット（1）は、マスタのときのみ行ってください。 ・WTIMn = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPTnビットをセット（1）すると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPTnビットをセット（1）してください。 ・SPTnビットをセット（1）後、クリア条件になる前に、再度セット（1）することは禁止です。		
クリアされる条件（SPTn = 0）		セットされる条件（SPTn = 1）
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELn = 1（通信退避）によるクリア ・IICEn = 0（動作停止）のとき ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注 SPTnビットの読み出し値は、常に0になります。

注意 IICAステータス・レジスタn(IICSn)のビット3(TRCn) = 1(送信状態)のとき、9クロック目にIICCTLn0レジスタのビット5(WRELn)をセット（1）してクロック・ストレッチ解除すると、TRCnビットをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考 n = 0

19.3.3 IICAステータス・レジスタn (IICSn)

I²Cのステータスを表すレジスタです。

IICSnレジスタは、STTn = 1およびクロック・ストレッチ期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUPn = 1) 状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求と関係なくWUPnビットを1→0 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIEn = 1) して割り込み検出後にIICSnレジスタを読み出してください。

備考 STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

WUPn : IICAコントロール・レジスタn1 (IICCTLn1) のビット7

図19-7 IICAステータス・レジスタn (IICSn) のフォーマット (1/3)

アドレス : FFF51H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

IICSn MSTSn ALDn EXCn COIn TRCn ACKDn STDn SPDn

MSTSn	マスタ状態確認フラグ	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTSn = 0)		セットされる条件 (MSTSn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALDn = 1 (アービトレーション負け) のとき ・LRELn = 1 (通信回避) によるクリア ・IICEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALDn	アービトレーション負け検出	
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTSnビットがクリアされる。	
クリアされる条件 (ALDn = 0)		セットされる条件 (ALDn = 1)
<ul style="list-style-type: none"> ・IICSnレジスタ読み出し後、自動的にクリア^注 ・IICEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・アービトレーションに負けたとき

注 IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDnビット使用時は、ほかのビットよりも先にデータをリードしてください。

備考 1. LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6

IICEn : " のビット7

2. n = 0

図19-7 IICAステータス・レジスタn (IICSn) のフォーマット (2/3)

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXCn = 0)		セットされる条件 (EXCn = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1 (通信退避) によるクリア ・IICEEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COIn = 0)		セットされる条件 (COIn = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1 (通信退避) によるクリア ・IICEEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタn (SVAn)) と一致したとき (8クロック目の立ち上がりでセット)

TRCn	送信/受信状態検出	
0	受信状態 (送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSONラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRCn = 0)		セットされる条件 (TRCn = 1)
<p><マスタ, スレーブ共通></p> <ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LRELn = 1 (通信退避) によるクリア ・IICEEn = 1→0 (動作停止) のとき ・WRELn = 1 (クロック・ストレッチ解除) によるクリア^注 ・ALDn = 0→1 (アービトラージ負け) のとき ・リセット時 ・通信不参加の場合 (MSTSn, EXCn, COIn = 0) <p><マスタの場合></p> <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に“1”を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に“0”を入力したとき 		<p><マスタの場合></p> <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“0” (マスタ送信) を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> ・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“1” (スレーブ送信) が入力されたとき

注 IICAステータス・レジスタn (IICSn) のビット3 (TRCn) = 1 (送信状態) のとき、9クロック目にIICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) をセット (1) してクロック・ストレッチを解除すると、TRCnビットをクリア (受信状態) してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態) におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

- 備考 1. LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6
 IICEEn : " のビット7
2. n = 0

図19-7 IICAステータス・レジスタn (IICSn) のフォーマット (3/3)

ACKDn	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKDn = 0)		セットされる条件 (ACKDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避) によるクリア ・IICEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STDn = 0)		セットされる条件 (STDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避) によるクリア ・IICEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件 (SPDn = 0)		セットされる条件 (SPDn = 1)
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・WUPn = 1→0のとき ・IICEn = 1→0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 1. LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6

IICEn : " のビット7

2. n = 0

19.3.4 IICAフラグ・レジスタn (IICFn)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STTnクリア・フラグ (STCFn)、I²Cバス状態フラグ (IICBSYn) は読み出しのみ可能です。

IICRSVnビットにより、通信予約機能の禁止/許可を設定します。

またSTCENnビットにより、IICBSYnビットの初期値を設定します。

IICRSVn、STCENnビットはI²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により、00HIになります。

図19-8 IICAフラグ・レジスタn (IICFn) のフォーマット

アドレス : FFF52H リセット時 : 00H R/W^注

略号 7 6 5 4 3 2 1 0

IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn
-------	-------	---------	---	---	---	---	--------	---------

STCFn	STTnクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず、STTnフラグ・クリア。
クリアされる条件 (STCFn = 0)	
<ul style="list-style-type: none"> ・ STTn = 1によるクリア ・ IICEn = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (STCFn = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSVn = 1) 設定時にスタート・コンディション発行できず、STTnビットがクリア (0) されたとき 	

IICBSYn	I ² Cバス状態フラグ
0	バス解放状態 (STCENn = 1時の通信初期状態)。
1	バス通信状態 (STCENn = 0時の通信初期状態)。
クリアされる条件 (IICBSYn = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICEn = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (IICBSYn = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCENn = 0時のIICEnビットのセット 	

STCENn	初期スタート許可トリガ
0	動作許可 (IICEn = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。
1	動作許可 (IICEn = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。
クリアされる条件 (STCENn = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時 	
セットされる条件 (STCENn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

IICRSVn	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSVn = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	
セットされる条件 (IICRSVn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 ビット6, 7はRead onlyです。

- 注意1. STCENnビットへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。
2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを発行 (STTn = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。
3. IICRSVnへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。

- 備考1. STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1
 IICEn : " のビット7
2. n = 0

19.3.5 IICAコントロール・レジスタn1 (IICCTLn1)

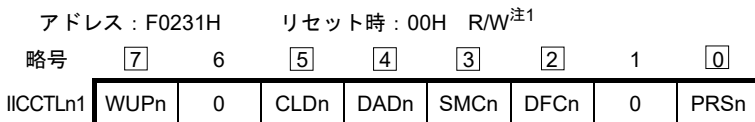
I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLDn, DADnビットは読み出しのみ可能です。

IICCTLn1レジスタは、WUPnビットを除きI²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

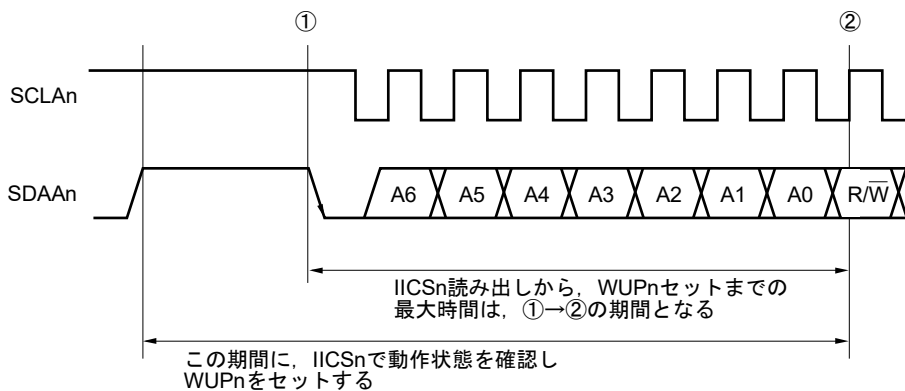
図19-9 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマット (1/2)



WUPn	アドレス一致ウエイク・アップの制御	
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止	
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可	
<p>WUPn = 1でSTOPモードに移行する場合は、WUPnビットをセット (1) してf_{MCK}の3クロック以上経過後にSTOP命令を実行してください (図19-22 WUPn = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPnビットをクリア (0) してください。WUPnビットをクリア (0) することで、その後の通信に参加する事ができます (クロック・ストレッチ解除および送信データ書き込みは、WUPnビットをクリア (0) したあとに行う必要があります)。</p> <p>WUPn = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。</p>		
クリアされる条件 (WUPn = 0)		セットされる条件 (WUPn = 1)
・命令によるクリア (アドレス一致もしくは拡張コード受信後)		・命令によるセット (MSTSn, EXCn, COIn = 0であり、STDn = 0 (通信に不参加である事) のとき) ^{注2}

注1. ビット4, 5はRead Onlyです。

2. 次に示す期間に、IICAステータス・レジスタn (IICSn) の状態を確認しセットする必要があります。



備考 n = 0

図19-9 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマット (2/2)

CLDn	SCLAn端子のレベル検出 (IICEn = 1のときのみ有効)	
0	SCLAn端子がロウ・レベルであることを検出	
1	SCLAn端子がハイ・レベルであることを検出	
クリアされる条件 (CLDn = 0)		セットされる条件 (CLDn = 1)
<ul style="list-style-type: none"> ・ SCLAn端子がロウ・レベルのとき ・ IICEn = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出 (IICEn = 1のときのみ有効)	
0	SDAAn端子がロウ・レベルであることを検出	
1	SDAAn端子がハイ・レベルであることを検出	
クリアされる条件 (DADn = 0)		セットされる条件 (DADn = 1)
<ul style="list-style-type: none"> ・ SDAAn端子がロウ・レベルのとき ・ IICEn = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDAAn端子がハイ・レベルのとき

SMCn	動作モードの切り替え	
0	標準モードで動作 (最大転送レート: 100 kbps)	
1	ファースト・モード (最大転送レート: 400 kbps) またはファースト・モード・プラス (最大転送レート: 1 Mbps) で動作	

DFCn	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。 デジタル・フィルタは、ノイズ除去のために使用します。DFCnビットのセット (1) / クリア (0) により、転送クロックが変化することはありません。		

PRSn	IICA動作クロック (f _{mck}) の制御	
0	f _{CLK} を選択 (1 MHz ≤ f _{CLK} ≤ 20 MHz)	
1	f _{CLK} /2を選択 (20MHz < f _{CLK})	

注意1. IICA動作クロック (f_{mck}) の最高動作周波数は20 MHz (Max.) です。

f_{CLK}が20 MHzを越える場合のみ、IICAコントロール・レジスタn1 (IICCTLn1) のビット0 (PRSn) に“1”を設定してください。

2. 転送クロックを設定する場合は、f_{CLK}の最低動作周波数に注意してください。

シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時: f_{CLK} = 3.5 MHz (Min.)

ファースト・モード・プラス時: f_{CLK} = 10 MHz (Min.)

標準モード時: f_{CLK} = 1 MHz (Min.)

3. ファースト・モード・プラスは、A:民生用途 (T_A = -40~+85 °C) D:産業用途 (T_A = -40~+85 °C) のみです。

備考 1. IICEn: IICAコントロール・レジスタn0 (IICCTLn0) のビット7

2. n = 0

19.3.6 IICAロウ・レベル幅設定レジスタn (IICWLn)

シリアル・インタフェースIICAが、出力するSCLAn端子信号のロウ・レベル幅 (t_{Low}) とSDAAn端子信号を制御するレジスタです。

IICWLnレジスタは、8ビット・メモリ操作命令で設定します。

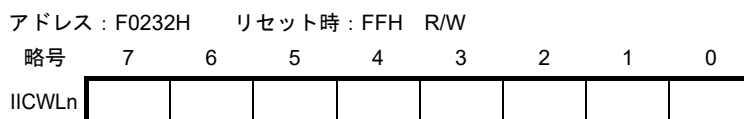
IICWLnレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

IICWLnの設定方法については、19.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法を参照してください。

また、データ・ホールド時間はIICWLnで設定した時間の1/4になります。

図19-10 IICAロウ・レベル幅設定レジスタn (IICWLn) のフォーマット



19.3.7 IICAハイ・レベル幅設定レジスタn (IICWHn)

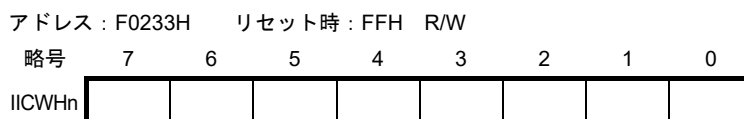
シリアル・インタフェースIICAが、出力するSCLAn端子信号のハイ・レベル幅とSDAAn端子信号を制御するレジスタです。

IICWHnレジスタは、8ビット・メモリ操作命令で設定します。

IICWHnレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図19-11 IICAハイ・レベル幅設定レジスタn (IICWHn) のフォーマット



備考1. マスタ側の転送クロックの設定方法は19.4.2 (1) を、スレーブ側のIICWLn, IICWHnレジスタの設定方法は、19.4.2 (2) を参照してください。

2. n = 0

19.3.8 ポート・モード・レジスタ6 (PM6)

ポート6の入力／出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力，P61/SDAA0端子をシリアル・データ入出力として使用するとき，PM60，PM61およびP60，P61の出力ラッチに0を設定してください。

IICEn (IICAコントロール・レジスタn0 (IICCTLn0) のビット7) が0の場合，P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力 (固定) となるため，出力モードへの切り替えは，IICEnビットに1を設定してから，行ってください。

PM6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図19-12 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	PM62	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0-2)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

19.4 I²Cバス・モードの機能

19.4.1 端子構成

シリアル・クロック端子（SCLAn）と、シリアル・データ・バス端子（SDAAn）の構成は、次のようになっています。

(1) SCLAn……シリアル・クロックを出入力するための端子。

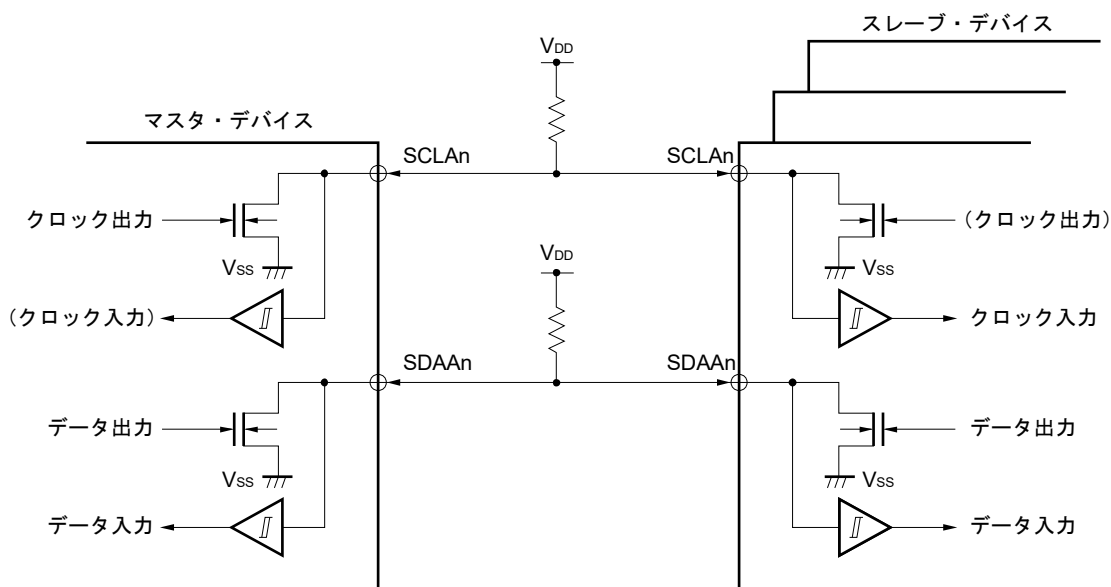
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDAAn……シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図19-13 端子構成図



備考 n = 0

19.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{MCK}}}{\text{IICWLn} + \text{IICWHn} + f_{\text{MCK}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWLn} = \frac{0.52}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWHn} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{MCK}}$$

・標準モード時

$$\text{IICWLn} = \frac{0.47}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWHn} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{MCK}}$$

・ファースト・モード・プラス時

$$\text{IICWLn} = \frac{0.50}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWHn} = \left(\frac{0.50}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{MCK}}$$

(2) スレーブ側のIICWLn, IICWHnレジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWLn} = 1.3 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWHn} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{MCK}}$$

・標準モード時

$$\text{IICWLn} = 4.7 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWHn} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{MCK}}$$

・ファースト・モード・プラス時

$$\text{IICWLn} = 0.50 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWHn} = (0.50 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{MCK}}$$

注意1. IICA動作クロック (f_{MCK}) の最高動作周波数は20 MHz (Max.) です。

f_{CLK} が20 MHzを越える場合のみ、IICAコントロール・レジスタn1 (IICCTLn1) のビット0 (PRSn) に“1”を設定してください。

2. 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時 : $f_{\text{CLK}} = 3.5 \text{ MHz (Min.)}$

ファースト・モード・プラス時 : $f_{\text{CLK}} = 10 \text{ MHz (Min.)}$

標準モード時 : $f_{\text{CLK}} = 1 \text{ MHz (Min.)}$

(備考は次ページにあります。)

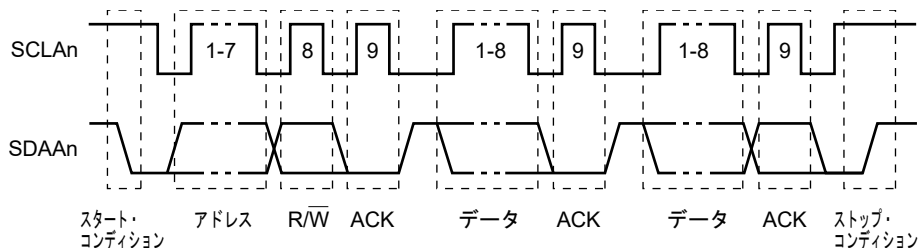
- 備考1. SDAAn, SCLAn信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。
2. IICWLn : IICAロウ・レベル幅設定レジスタn
IICWHn : IICAハイ・レベル幅設定レジスタn
 t_F : SDAAn, SCLAn信号の立ち下がり時間
 t_R : SDAAn, SCLAn信号の立ち上がり時間
 f_{MCK} : IICA動作クロック周波数
3. $n = 0$

19.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図19-14に示します。

図19-14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

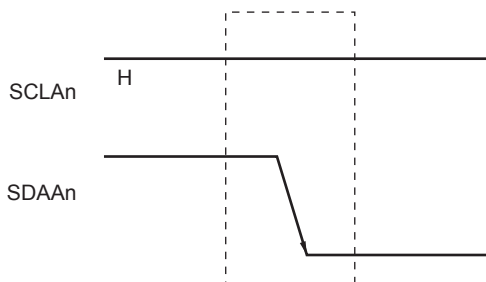
アクノリッジ (ACK) は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック (SCLAn) は，マスタが出力し続けます。ただし，スレーブはSCLAn端子のロウ・レベル期間を延長し，クロック・ストレッチを挿入できます。

19.5.1 スタート・コンディション

SCLAn端子がハイ・レベルのときに，SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子，SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図19-15 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態 (SPDn:IICAステータス・レジスタn (IICSn) のビット0 = 1) のときにIICAコントロール・レジスタn0 (IICCTLn0) のビット1 (STTn) をセット (1) すると出力されます。また，スタート・コンディションを検出すると，IICSnレジスタのビット1 (STDn) がセット (1) されます。

備考 n = 0

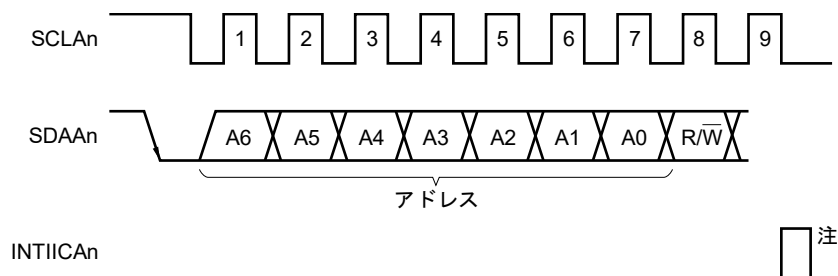
19.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVAn) と一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図19-16 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと19.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAnシフト・レジスタ n (IICAn) に書き込むと出力します。また、受信したアドレスはIICAnレジスタに書き込まれます。

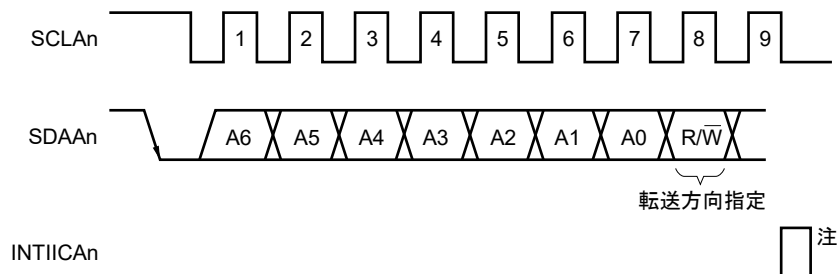
なお、スレーブのアドレスは、IICAnレジスタの上位7ビットに割り当てられます。

19.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図19-17 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考 $n = 0$

19.5.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタn (IICSn) のビット2 (ACKDn) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

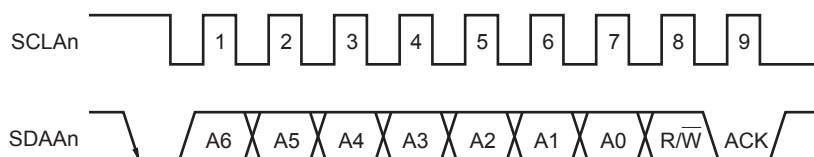
アクノリッジ生成は、受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタn0 (IICCTLn0) のビット2 (ACKEn) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3 (TRCn) が設定されます。受信 (TRCn = 0) の場合は、通常、ACKEnビットをセット (1) してください。

スレーブ受信動作時 (TRCn = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRCn = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図19-18 アクノリッジ



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

- ・8クロック・クロック・ストレッチ選択時 (IICCTLn0レジスタのビット3 (WTIMn) = 0) :
クロック・ストレッチ解除を行う前にACKEnビットをセット (1) することによって、SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・クロック・ストレッチ選択時 (IICCTLn0レジスタのビット3 (WTIMn) = 1) :
あらかじめACKEnビットをセット (1) することによって、アクノリッジを生成します。

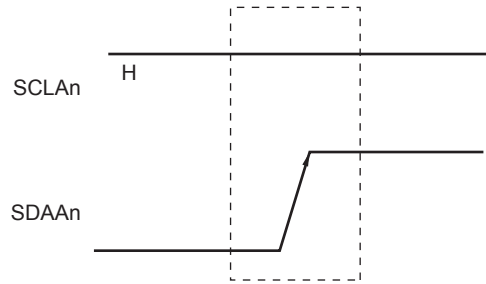
備考 n = 0

19.5.5 ストップ・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図19-19 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタn0 (IICCTLn0) のビット0 (SPTn) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタn (IICSn) のビット0 (SPDn) がセット (1) され、IICCTLn0レジスタのビット4 (SPIEn) がセット (1) されている場合にはINTIICAnが発生します。

備考 n = 0

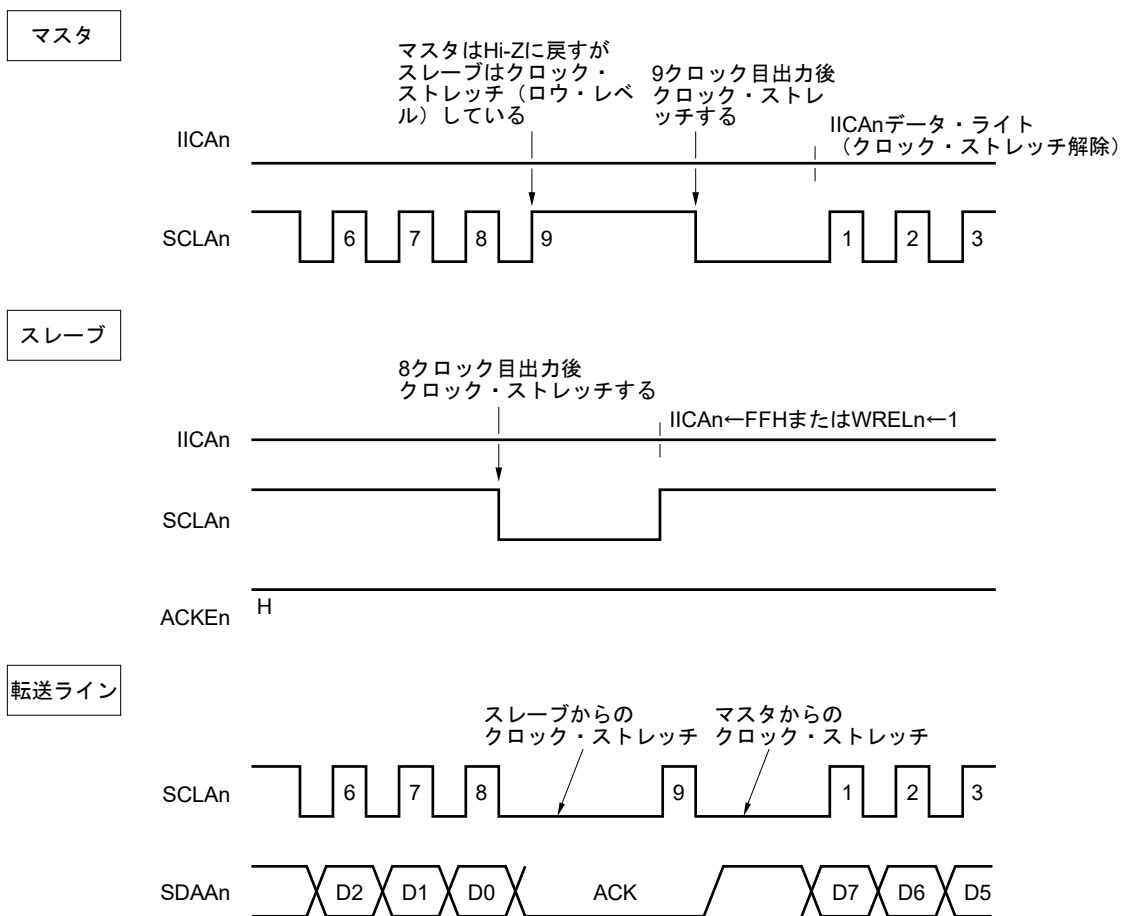
19.5.6 クロック・ストレッチ

クロック・ストレッチによっては、マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図19-20 クロック・ストレッチ (1/2)

- (1) マスタは9クロック・クロック・ストレッチ, スレーブは8クロック・クロック・ストレッチ時
 (マスタ:送信, スレーブ:受信, ACKEn = 1)

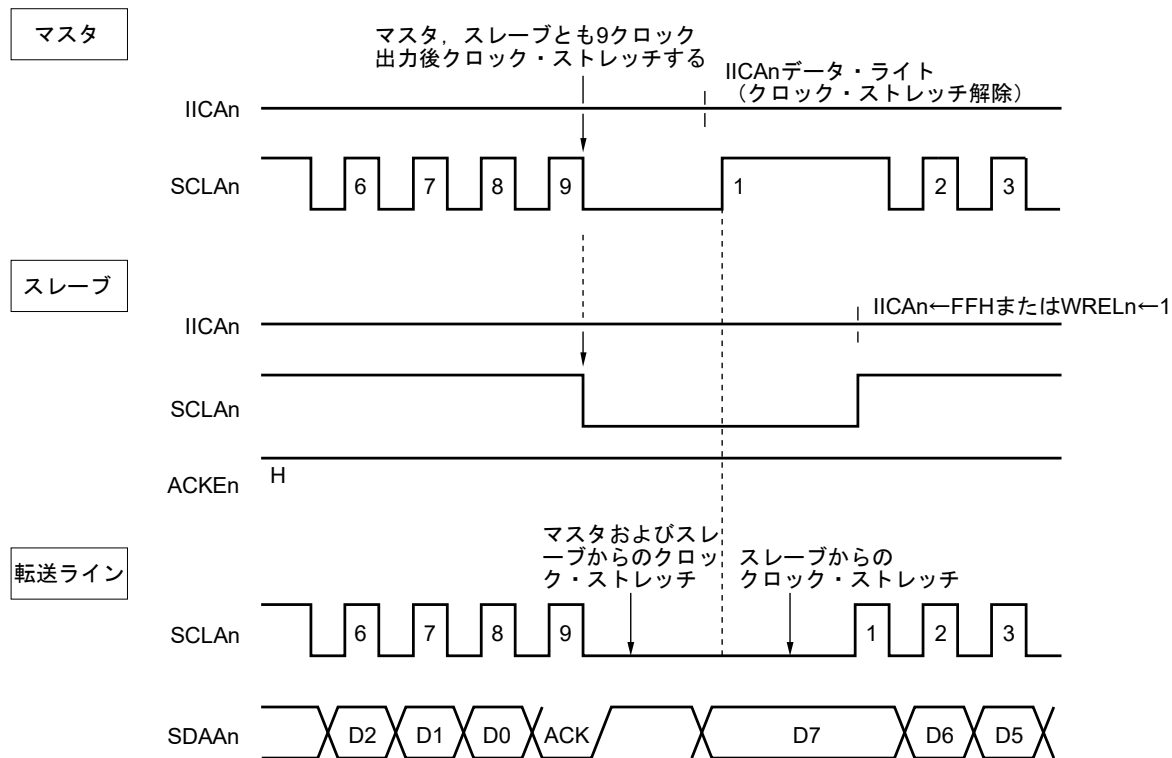


備考 n = 0

図19-20 クロック・ストレッチ (2/2)

(2) マスタ, スレーブとも9クロック・クロック・ストレッチ時

(マスタ : 送信, スレーブ : 受信, ACKEn = 1)



備考 ACKEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット2

WRELn : " のビット5

クロック・ストレッチは、IICAコントロール・レジスタn0 (IICCTLn0) のビット3 (WTIMn) の設定により自動的に発生します。

通常、受信側はIICCTLn0レジスタのビット5 (WRELnビット) = 1またはIICAシフト・レジスタn (IICAn) にFFHを書き込むとクロック・ストレッチを解除し、送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- ・ IICCTLn0レジスタのビット1 (STTn) = 1
- ・ IICCTLn0レジスタのビット0 (SPTn) = 1

備考 n = 0

19.5.7 クロック・ストレッチ解除方法

I²Cでは、通常、次のような処理でクロック・ストレッチを解除できます。

- ・ IICAシフト・レジスタn (IICAn) へのデータ書き込み
- ・ IICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) のセット (クロック・ストレッチ解除)
- ・ IICCTLn0レジスタのビット1 (STTn) のセット (スタート・コンディションの生成)^注
- ・ IICCTLn0レジスタのビット0 (SPTn) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合、I²Cはクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ (アドレスを含む) を送信する場合には、IICAnレジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0レジスタのビット5 (WRELn) をセット (1) してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTLn0レジスタのビット1 (STTn) をセット (1) してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTLn0レジスタのビット0 (SPTn) をセット (1) してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば、WRELnビットにセット (1) によるクロック・ストレッチ解除後、IICAnレジスタへのデータ書き込みを実施した場合には、SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により、SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEnビットをクリア (0) すると通信を停止するので、クロック・ストレッチを解除できません。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0レジスタのビット6 (LRELn) をセット (1) すると通信から退避するので、クロック・ストレッチを解除できます。

注意 WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。

備考 n = 0

19.5.8 割り込み要求 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御

IICAコントロール・レジスタn0 (IICCTLn0) のビット3 (WTIMn) の設定で、表19-2に示すタイミングでINTIICAnが発生し、また、クロック・ストレッチ制御を行います。

表19-2 INTIICAn発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	g ^{注1,2}	g ^{注2}	g ^{注2}	9	8	8
1	g ^{注1,2}	g ^{注2}	g ^{注2}	9	9	9

- 注1. スレーブのINTIICAn信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタn (SVAn) に設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。また、このとき、IICCTLn0レジスタのビット2 (ACKEn) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICAnを発生しますが、クロック・ストレッチは発生しません。
2. スレーブ・アドレス・レジスタn (SVAn) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAnもクロック・ストレッチも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、上記の注1, 2の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

備考 n = 0

(4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタn (IICAn) へのデータ書き込み
- ・ IICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) のセット (クロック・ストレッチ解除)
- ・ IICCTLn0レジスタのビット1 (STTn) のセット (スタート・コンディションの生成) ^注
- ・ IICCTLn0レジスタのビット0 (SPTn) のセット (ストップ・コンディションの生成) ^注

注 マスタのみ。

8クロック・クロック・ストレッチ選択 (WTIMn = 0) 時は、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIEn = 1のときのみ)。

19.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタn (SVAn) に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICAn割り込み要求が発生します。

19.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAAn) の状態が、送信しているデバイスのIICAシフト・レジスタn (IICAn) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 n = 0

19.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn) をセット (1) し、8クロック目の立ち下がりで割り込み要求 (INTIICAn) を発生します。スレーブ・アドレス・レジスタn (SVAn) に格納された自局アドレスは影響しません。

(2) SVAnレジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIICAn) は、8クロック目の立ち下がりで発生します。

- ・上位4ビット・データ的一致 : EXCn = 1
- ・7ビット・データ的一致 : COIn = 1

備考 EXCn : IICAステータス・レジスタn (IICSn) のビット5
COIn : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタn0 (IICCTLn0) のビット6 (LRELn) = 1に設定してください。次の通信待機状態にします。

表19-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

備考 1. 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。
2. n = 0

19.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（ $STDn = 1$ になる前に $STTn = 1$ にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICAステータス・レジスタ n （ $IICSn$ ）のアービトレーション負けフラグ（ $ALDn$ ）をセット（1）し、 $SCLAn$ 、 $SDAAn$ ラインともハイ・インピーダンス状態にしてバスを解放します。

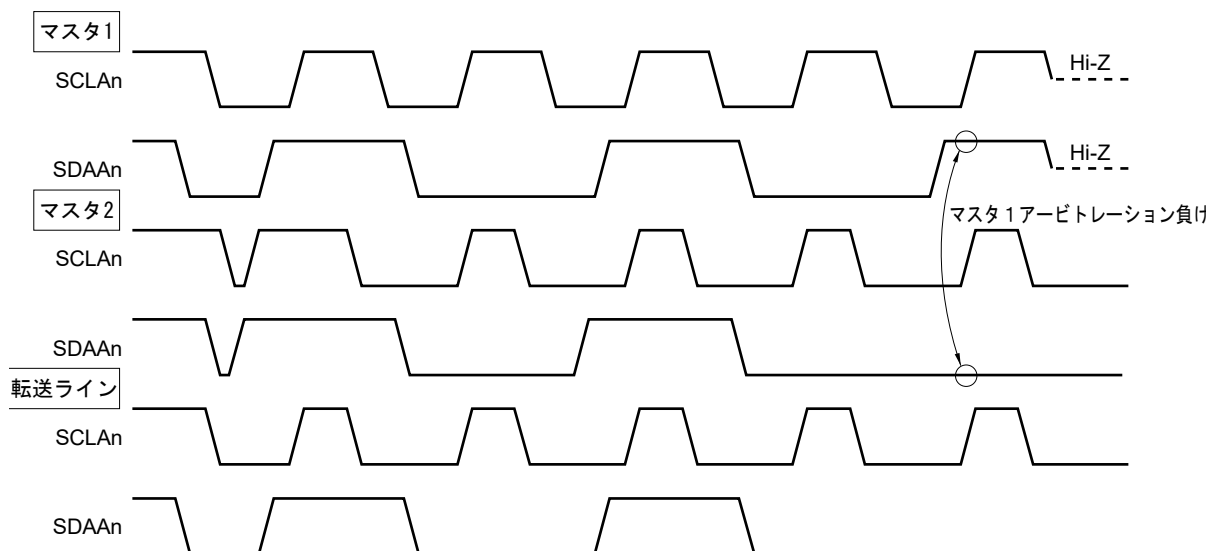
アービトレーションに負けたことは、次の割り込み要求発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアで $ALDn = 1$ になっていることで検出します。

割り込み要求発生タイミングについては、19.5.8 割り込み要求（ $INTIICAn$ ）発生タイミングおよびクロック・ストレッチ制御を参照してください。

備考 $STDn$: IICAステータス・レジスタ n （ $IICSn$ ）のビット1

$STTn$: IICAコントロール・レジスタ $n0$ （ $IICCTLn0$ ）のビット1

図19-21 アービトレーション・タイミング例



備考 $n = 0$

表19-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIEn = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEn = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. WTIMnビット (IICAコントロール・レジスタn0 (IICCTLn0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求が発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求が発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEn = 1に設定してください。

備考 1. SPIEn: IICAコントロール・レジスタn0 (IICCTLn0) のビット4

2. n = 0

19.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生する機能です。

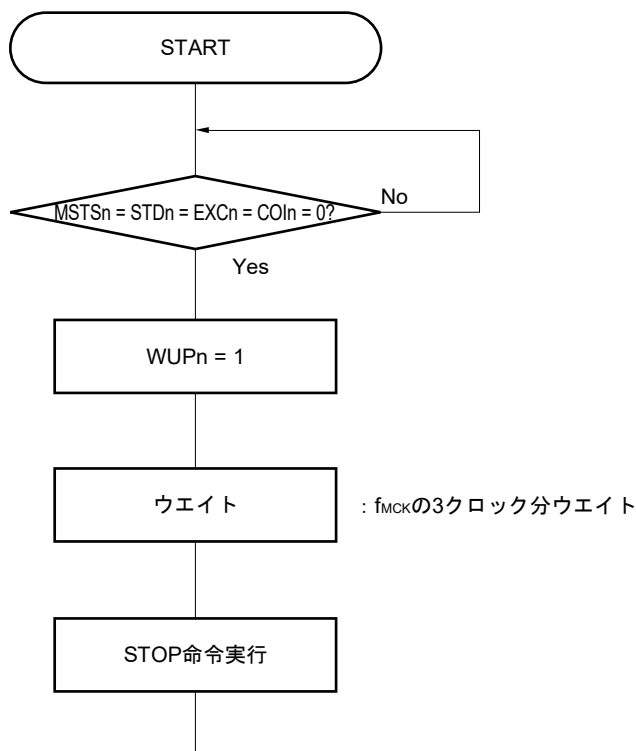
アドレスが一致しないときは不要なINTIICAn信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生します。この割り込み発生後に命令でWUPnビットをクリア（0）することで通常動作に戻ります。

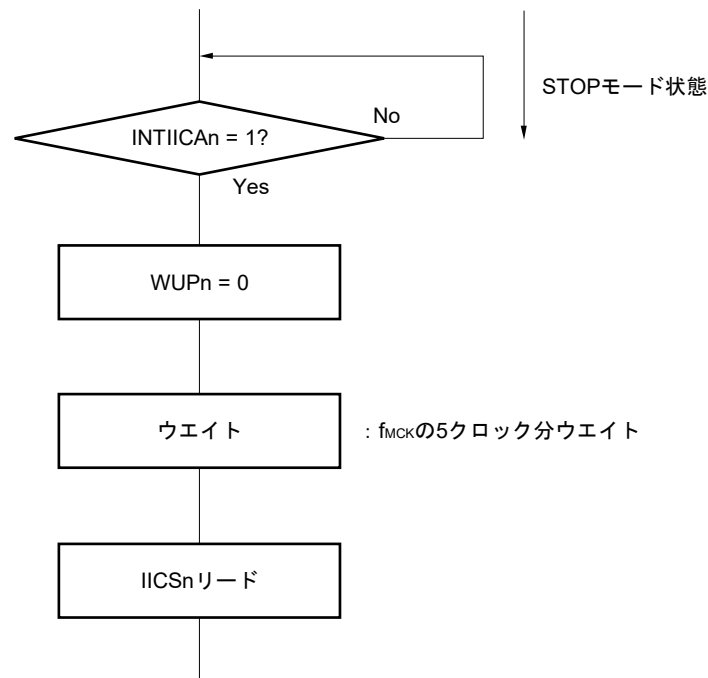
WUPn = 1に設定する場合のフローを図19-22に、アドレス一致によりWUPn = 0に設定する場合のフローを図19-23に示します。

図19-22 WUPn = 1を設定する場合のフロー



備考 n = 0

図19-23 アドレス一致によりWUPn = 0に設定する場合のフロー（拡張コード受信含む）



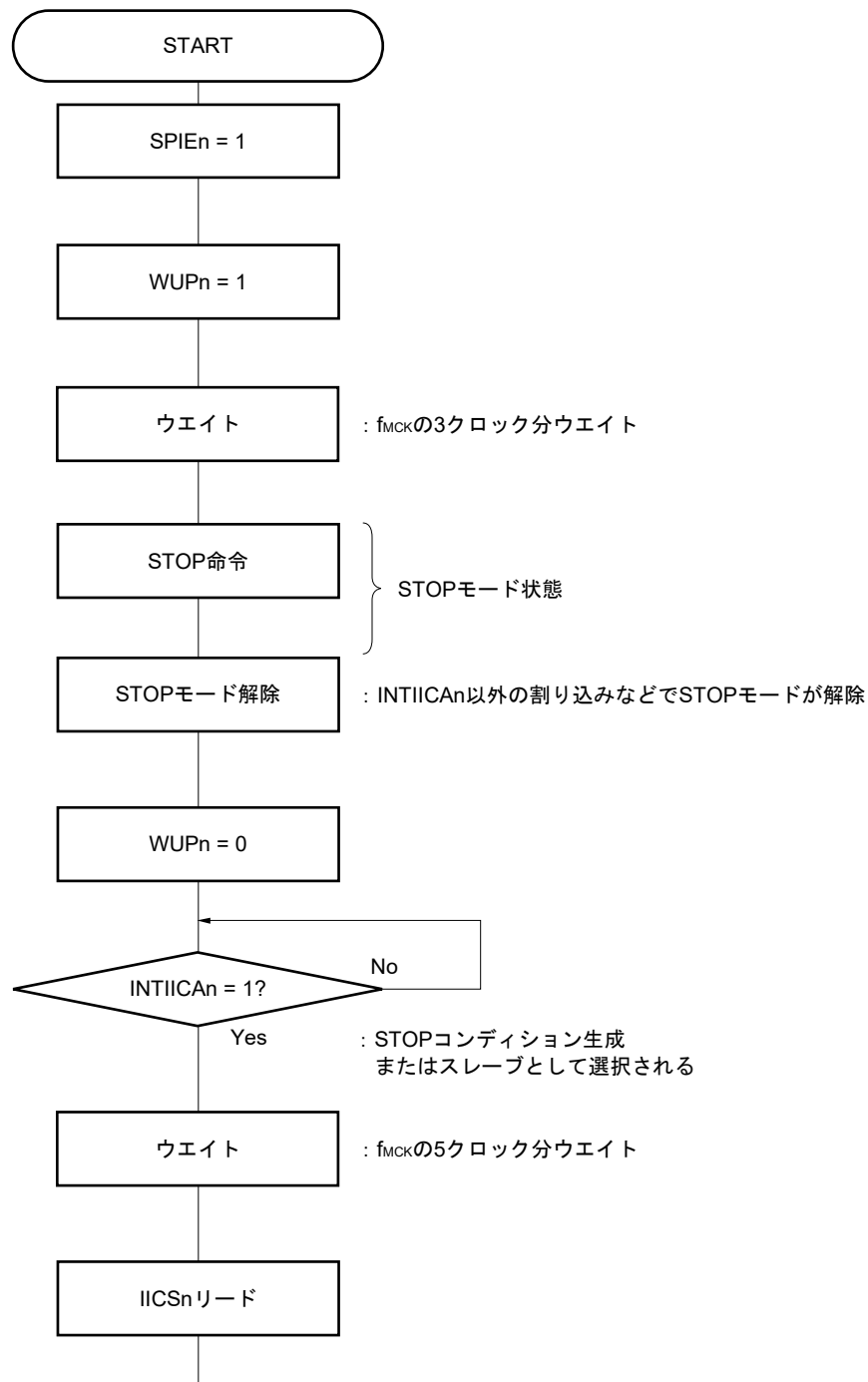
シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

また、シリアル・インタフェースIICAからの割り込み要求（INTIICAn）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- ・ 次のIIC通信をマスタとして動作させる場合 : 図19-24のフロー
- ・ 次のIIC通信をスレーブとして動作させる場合 :
 - INTIICAn割り込みで復帰した場合 : 図19-23のフローと同じになります。
 - INTIICAn割り込み以外の割り込みで復帰した場合 : INTIICAn割り込みが発生するまでWUPn = 1のまま動作を継続してください。

備考 n = 0

図19-24 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

備考 n = 0

19.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタn (IICFn) のビット0 (IICRSVn) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICAコントロール・レジスタn0 (IICCTLn0) のビット6 (LRELn) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTLn0レジスタのビット1 (STTn) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTLn0レジスタのビット4 (SPIEn) をセット (1) し、割り込み要求信号 (INTIICAn) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタn (IICAn) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき……………スタート・コンディション生成
- ・バスが解放されていないとき (待機状態) ……通信予約

通信予約として動作するかどうかは、STTnビットをセット (1) し、ウェイト時間をとったあと、MSTSnビット (IICAステータス・レジスタn (IICSn) のビット7) で確認します。

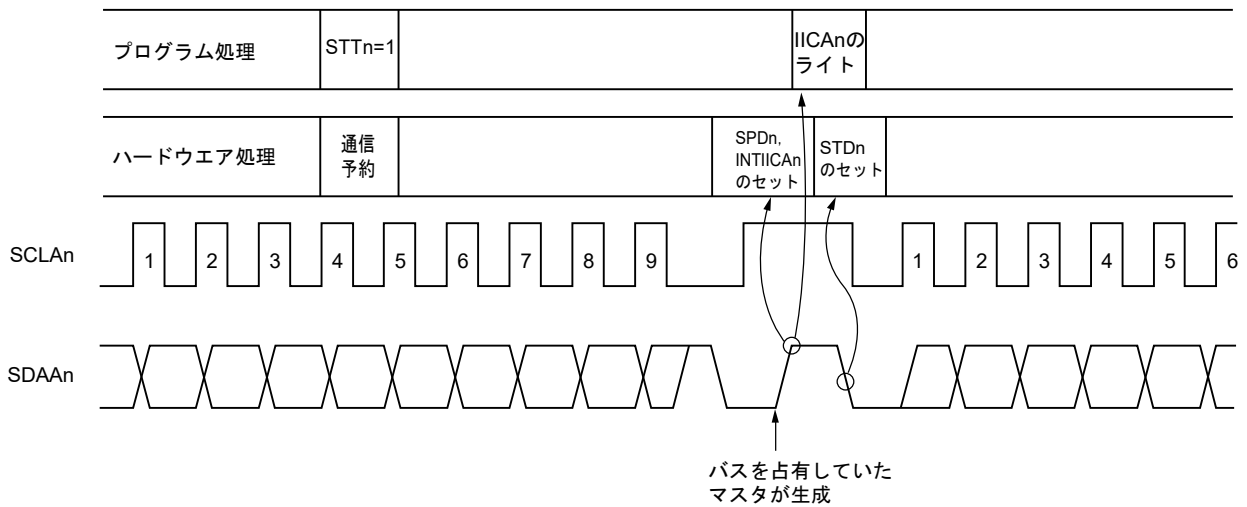
ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

$$\text{STTn} = 1 \text{ から MSTSn フラグ 確認 までの ウェイト 時間 : } \\ (\text{IICWLn の 設定 値} + \text{IICWHn の 設定 値} + 4) / \text{fMCK} + \text{tF} \times 2$$

- 備考1. IICWLn : IICAロウ・レベル幅設定レジスタn
 IICWHn : IICAハイ・レベル幅設定レジスタn
 tF : SDAAn, SCLAn信号の立ち下がり時間
 fMCK : IICA動作クロック周波数
2. n = 0

通信予約のタイミングを図19-25に示します。

図19-25 通信予約のタイミング



- 備考 IICAn : IICAシフト・レジスタn
 STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1
 STDn : IICAステータス・レジスタn (IICSn) のビット1
 SPDn : " のビット0

通信予約は図19-26に示すタイミングで受け付けられます。IICAステータス・レジスタn (IICSn) のビット1 (STDn) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタn0 (IICCTLn0) のビット1 (STTn) = 1で通信予約をします。

図19-26 通信予約受け付けタイミング

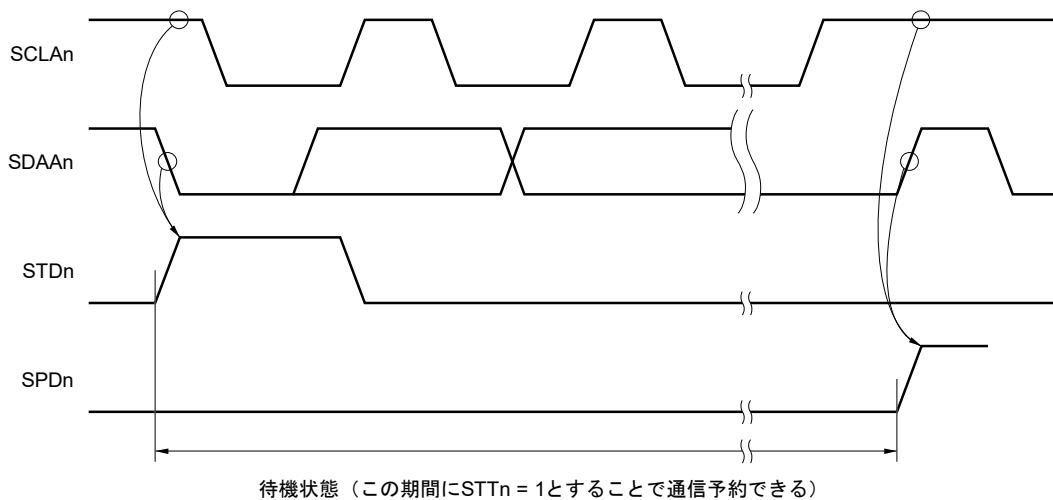
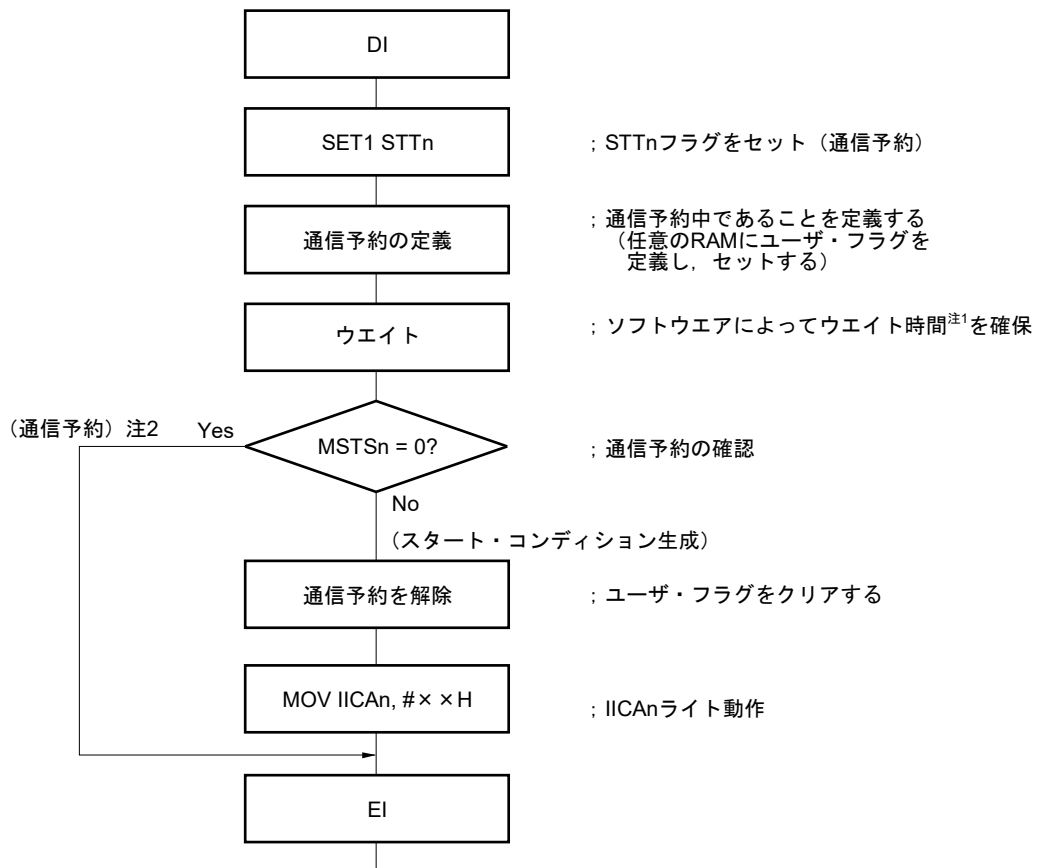


図19-27に通信予約の手順を示します。

備考 n = 0

図19-27 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / f_{MCK} + t_F \times 2$$

2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタn (IICAn) への書き込みを実行します。

備考 1. STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

MSTSn : IICAステータス・レジスタn (IICSn) のビット7

IICAn : IICAシフト・レジスタn

IICWLn : IICAロウ・レベル幅設定レジスタn

IICWHn : IICAハイ・レベル幅設定レジスタn

t_F : SDAAn, SCLAn信号の立ち下がり時間

f_{MCK} : IICA動作クロック周波数

2. n = 0

(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタn (IICFn) のビット0 (IICRSVn) = 1)

バスが通信中で、この通信に不参加の状態ではIICAコントロール・レジスタn0 (IICCTLn0) のビット1 (STTn) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICCTLn0レジスタのビット6 (LRELn) = 1で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFn (IICFnレジスタのビット7) で確認できます。STTn = 1としてからSTCFnがセット (1) されるまで f_{MCK} の5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考 n = 0

19.5.15 その他の注意事項

(1) STCENn = 0の場合

I²C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSYn = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICAコントロール・レジスタn1 (IICCTLn1) を設定する
- ② IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) をセット (1) する
- ③ IICCTLn0レジスタのビット0 (SPTn) をセット (1) する

(2) STCENn = 1の場合

I²C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを生成 (STTn = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

- ① IICCTLn0レジスタのビット4 (SPIEn) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICAn) 発生を禁止する
- ② IICCTLn0レジスタのビット7 (IICEn) をセット (1) し、I²Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで (IICEnビットをセット (1) してから、f_{MCK}の4~72クロック中) に、IICCTLn0レジスタのビット6 (LRELn) をセット (1) にし、強制的に検出を無効とする

(4) STTn, SPTnビット (IICCTLn0レジスタのビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEnビット (IICCTLn0レジスタのビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタn (IICAn) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTSnビット (IICAステータス・レジスタn (IICSn) のビット7) を検出する場合には、SPIEnビットをセット (1) する必要はありません。

備考 n = 0

19.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、RL78/I1Bをマスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定（1フレーム）期間、データとクロックがハイ・レベルであれば、RL78/I1Bが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、RL78/I1Bがアービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

RL78/I1BをI²Cバスのスレーブとして使用する場合の例を示します。

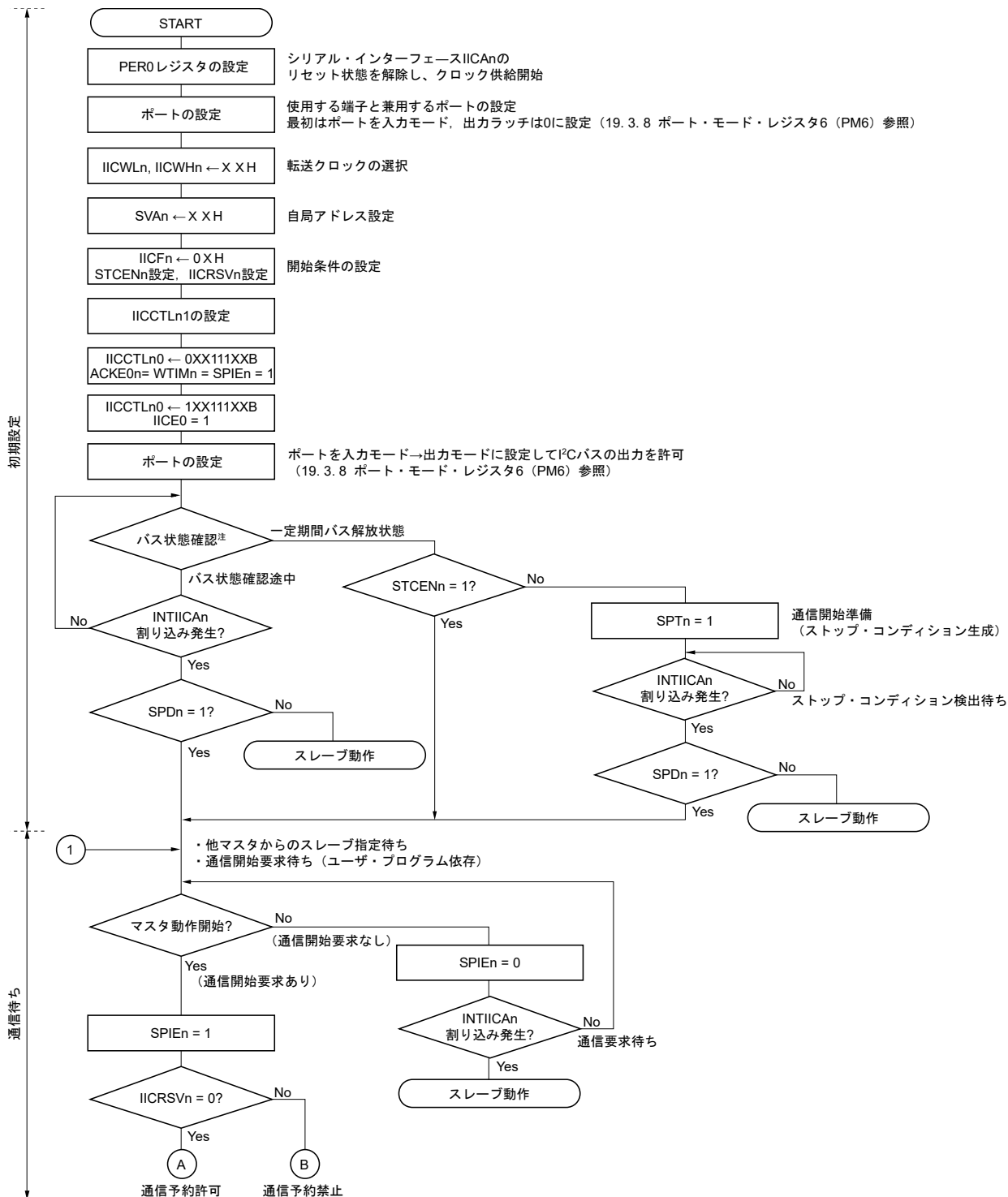
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0

(2) マルチマスタ・システムでのマスタ動作

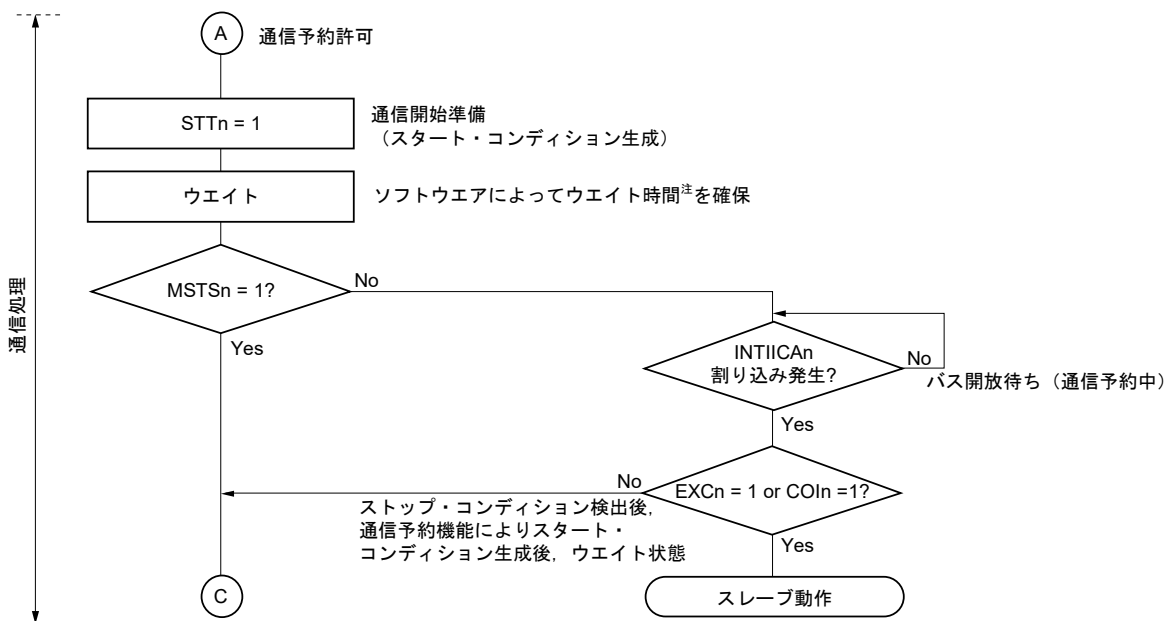
図19-29 マルチマスタ・システムでのマスタ動作 (1/3)



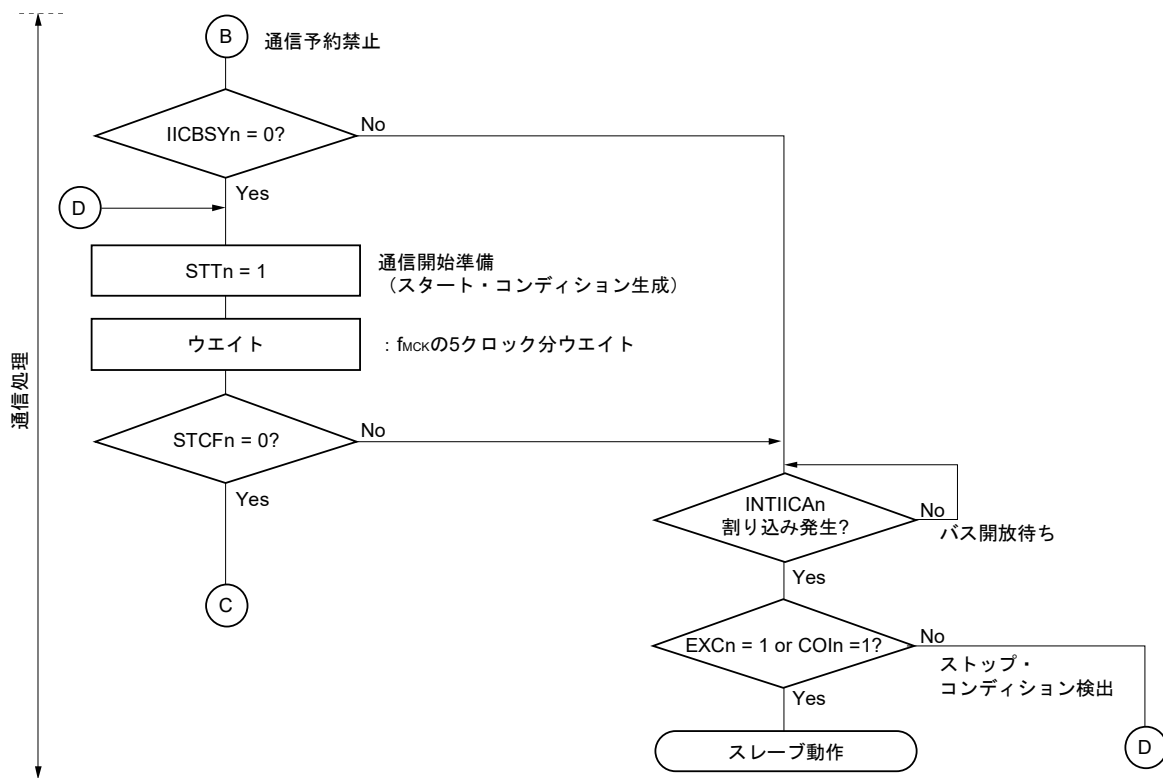
注 一定期間 (たとえば1フレーム分), バス解放状態 (CLDnビット = 1, DADnビット = 1) であることを確認してください。定常的にSDAAn端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放 (SCLAn, SDAAn端子 = ハイ・レベル) するか判断してください。

備考 n = 0

図19-29 マルチマスタ・システムでのマスタ動作 (2/3)

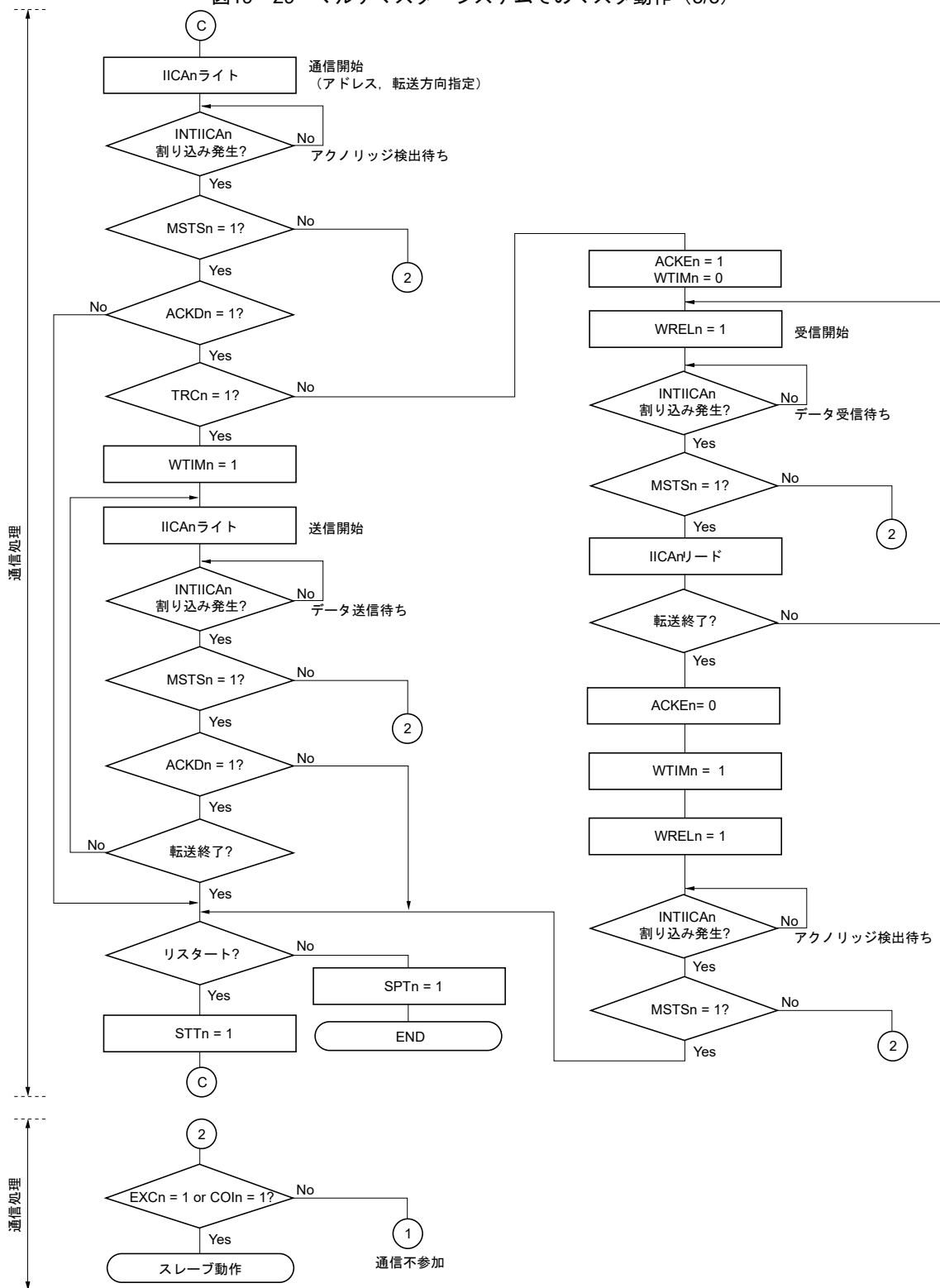


注 ウェイト時間は次のようになります。
 $(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / fMCK + tF \times 2$



- 備考 1. IICWLn : IICAロウ・レベル幅設定レジスタn
 IICWHn : IICAハイ・レベル幅設定レジスタn
 tF : SDAAn, SCLAn信号の立ち下がり時間
 fMCK : IICA動作クロック周波数
2. n = 0

図19-29 マルチマスタ・システムでのマスタ動作 (3/3)



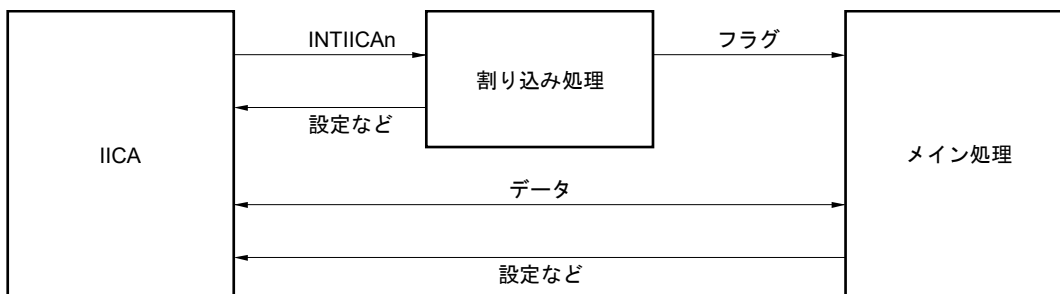
- 備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み発生ごとにMSTSnnビットをリードし、アービトレーション結果を確認してください。
3. マルチマスタ・システムでスレープとして使用する場合は、INTIICAn割り込み発生ごとにIICAステータス・レジスタn (IICSn) , IICAフラグ・レジスタn (IICFn) でステータスを確認して次に行う処理を決定してください。
4. n = 0

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAnの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRCnビットの値と同じです。

備考 n = 0

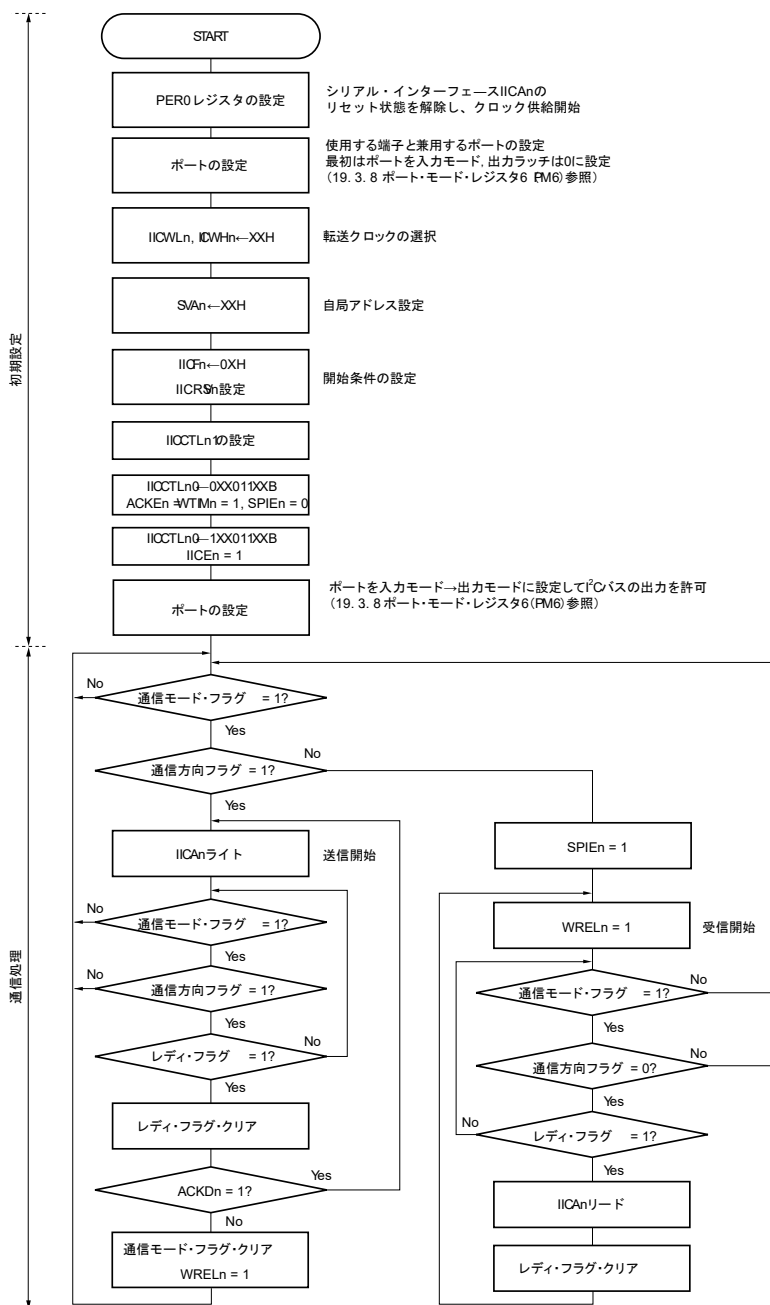
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図19-30 スレーブ動作手順 (1)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

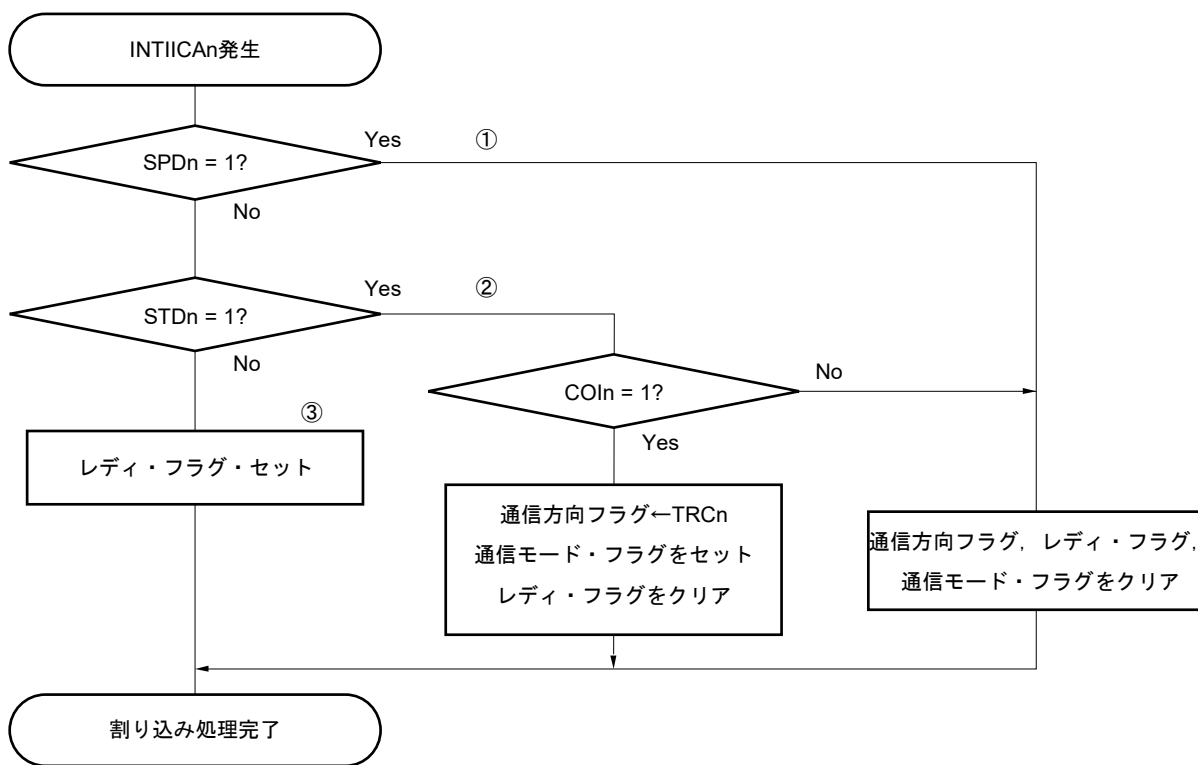
2. n = 0

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図19-31 スレーブ動作手順（2）の①～③と対応しています。

図19-31 スレーブ動作手順（2）



備考 n = 0

19.5.17 I²C割り込み要求 (INTIICAn) の発生タイミング

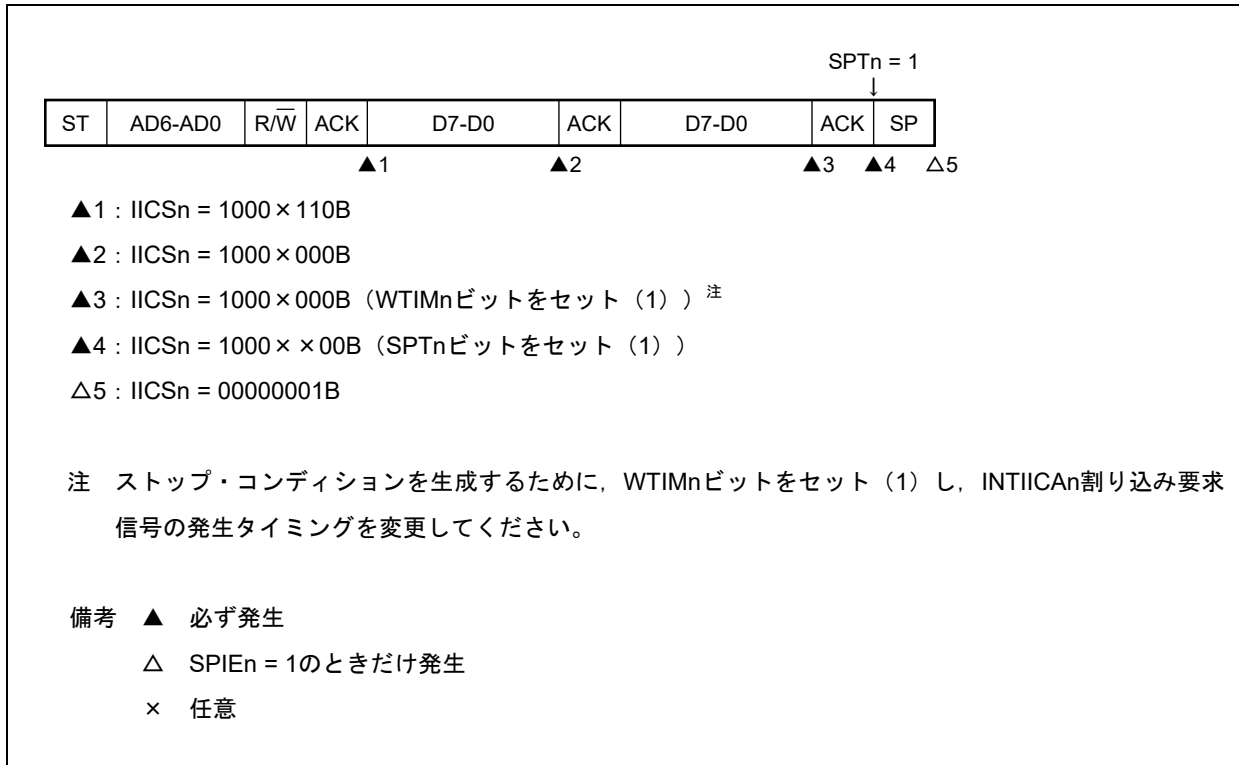
次に、データの送受信、INTIICAn割り込み要求信号発生タイミングと、INTIICAn信号タイミングでのIICAs
テータス・レジスタn (IICSn) の値を示します。

- 備考1. ST : スタート・コンディション
AD6-AD0 : アドレス
R/W : 転送方向指定
ACK : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション
2. n = 0

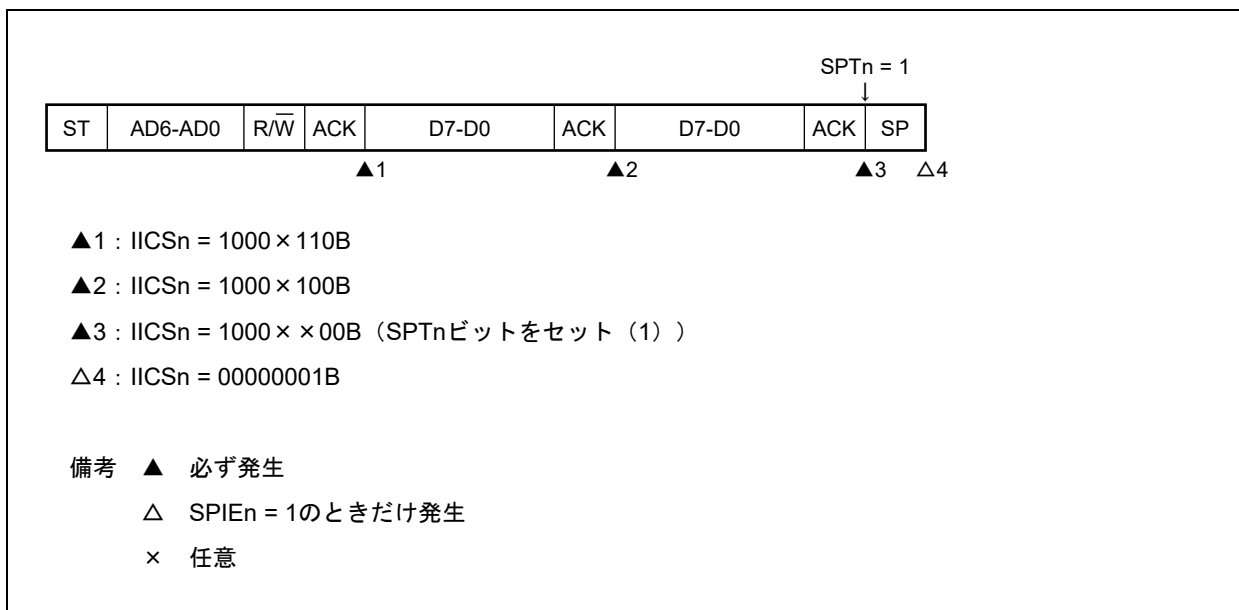
(1) マスタ動作

(a) Start~Address~Data~Data~Stop (送受信)

(i) WTIMn = 0 のとき



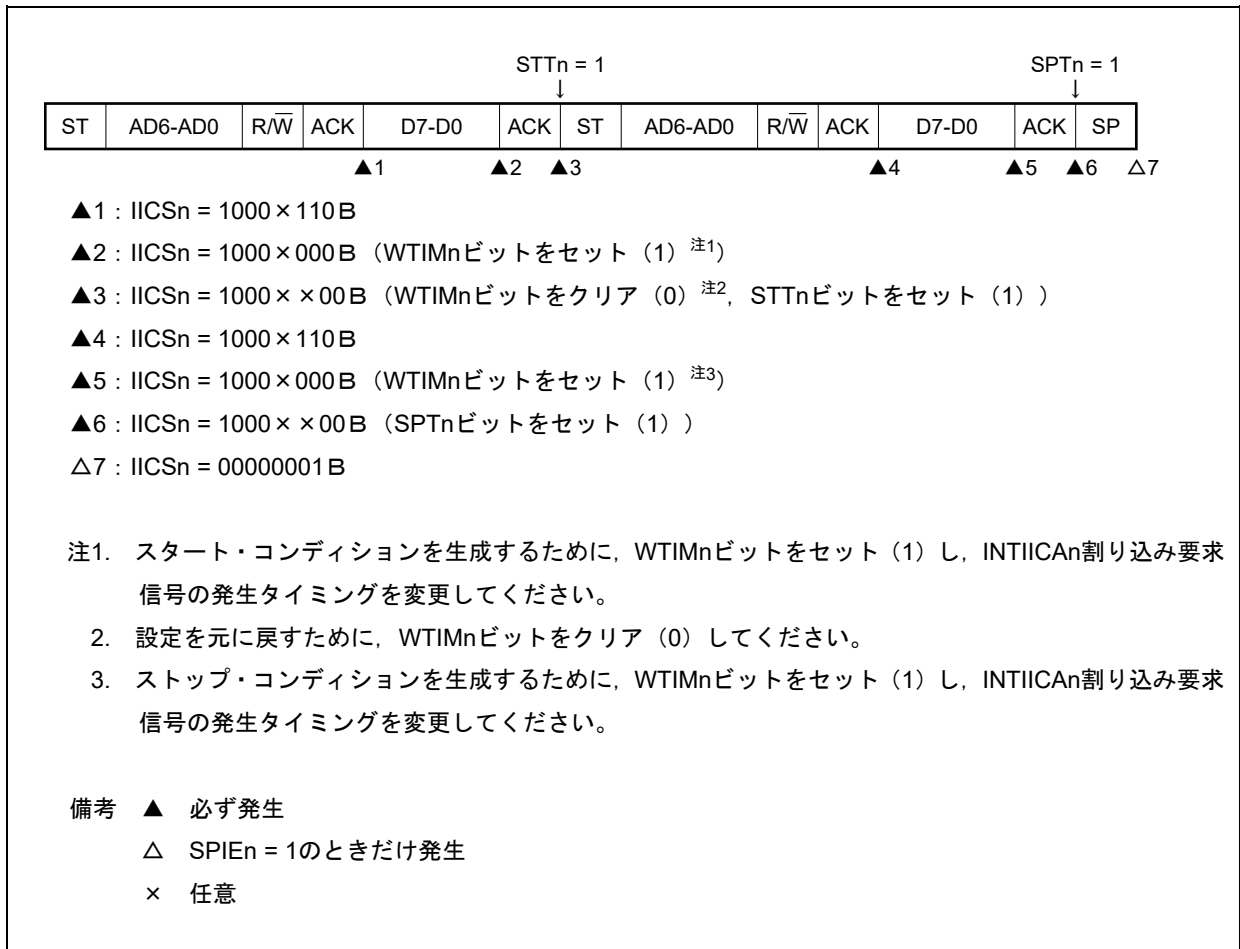
(ii) WTIMn = 1 のとき



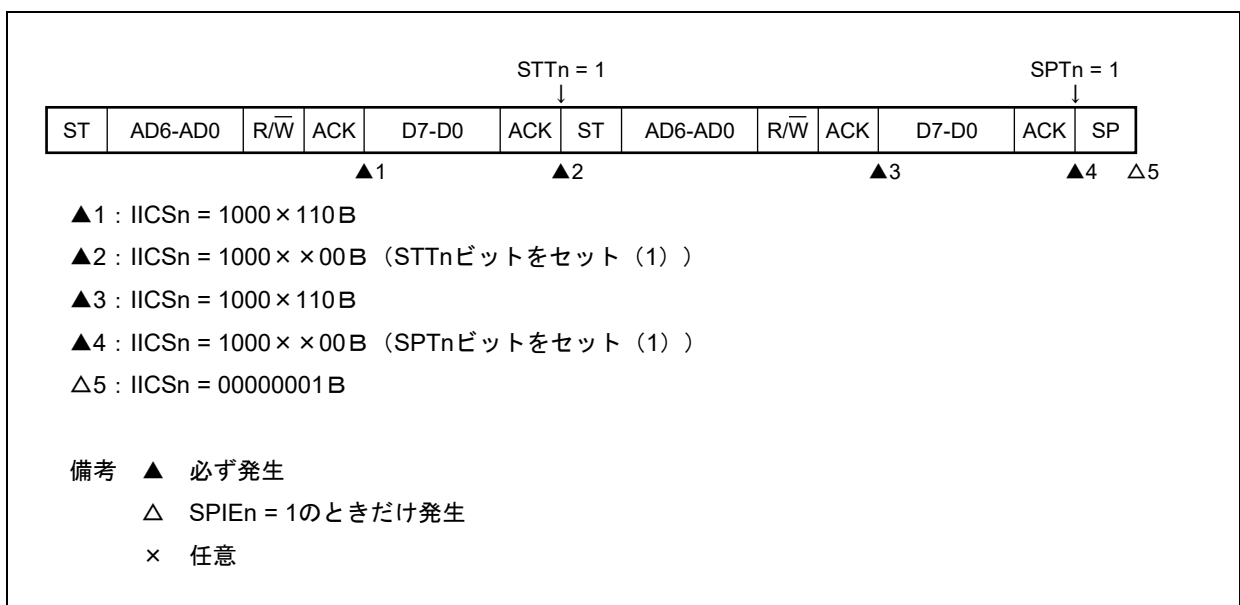
備考 n = 0

(b) Start~Address~Data~Start~Address~Data~Stop (リスタート)

(i) WTIMn = 0 のとき



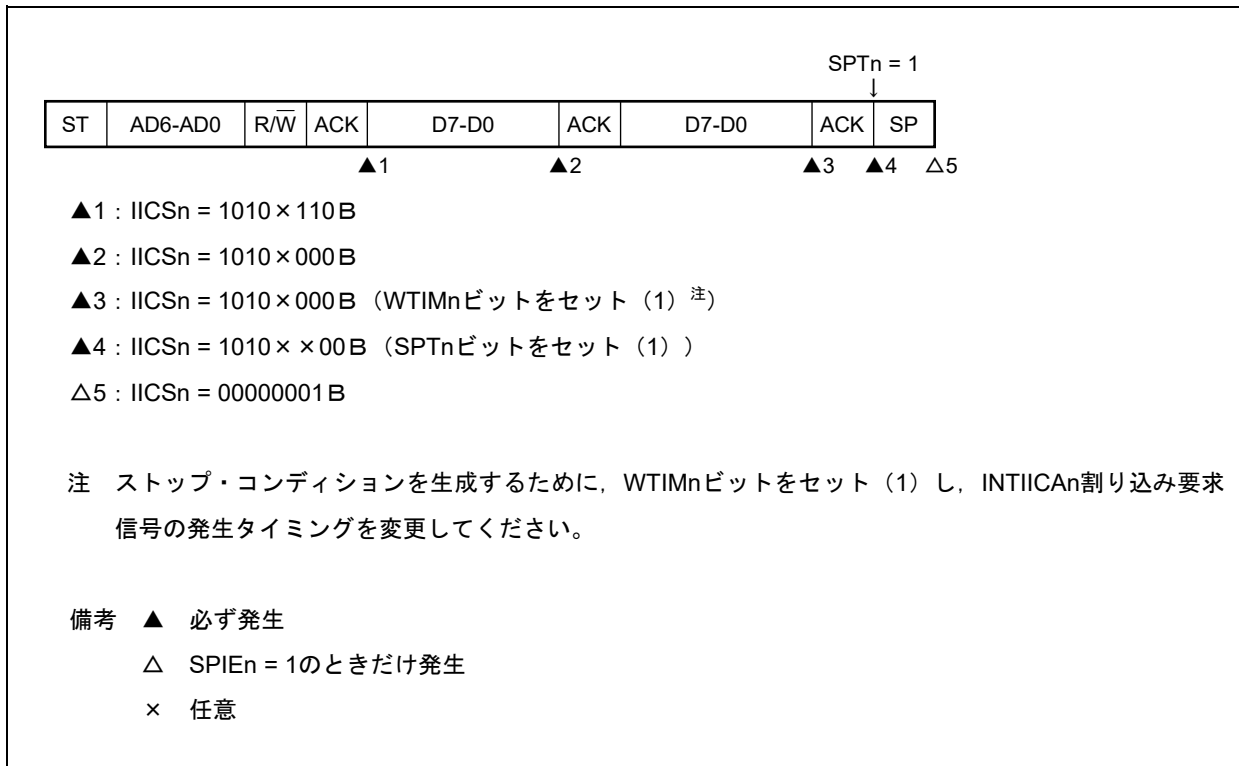
(ii) WTIMn = 1 のとき



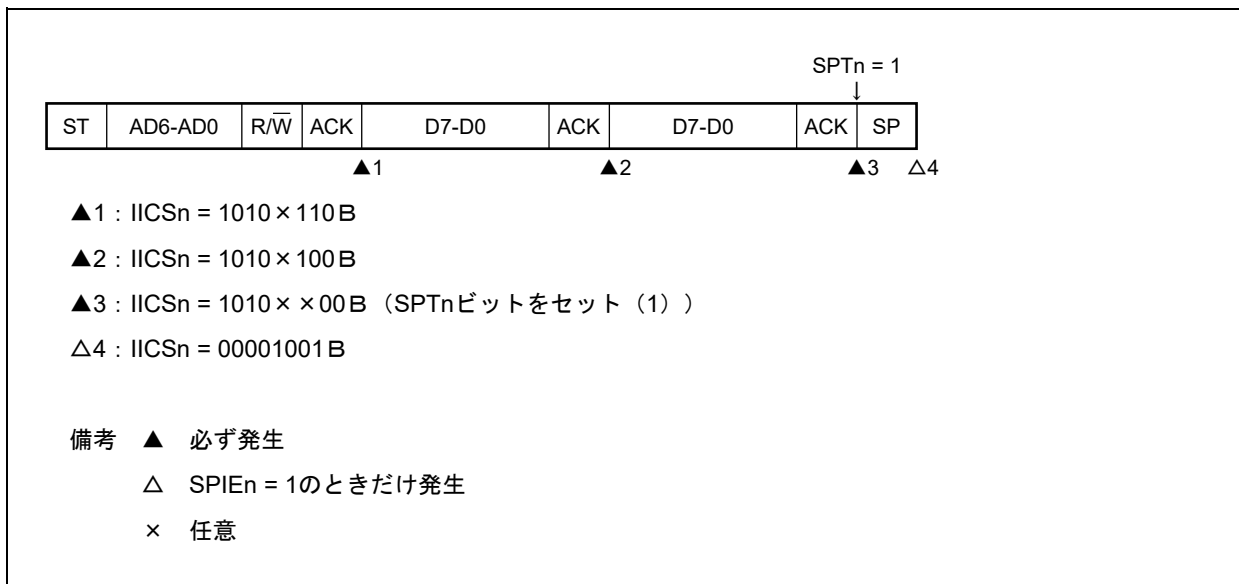
備考 n = 0

(c) Start~Code~Data~Data~Stop (拡張コード送信)

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき

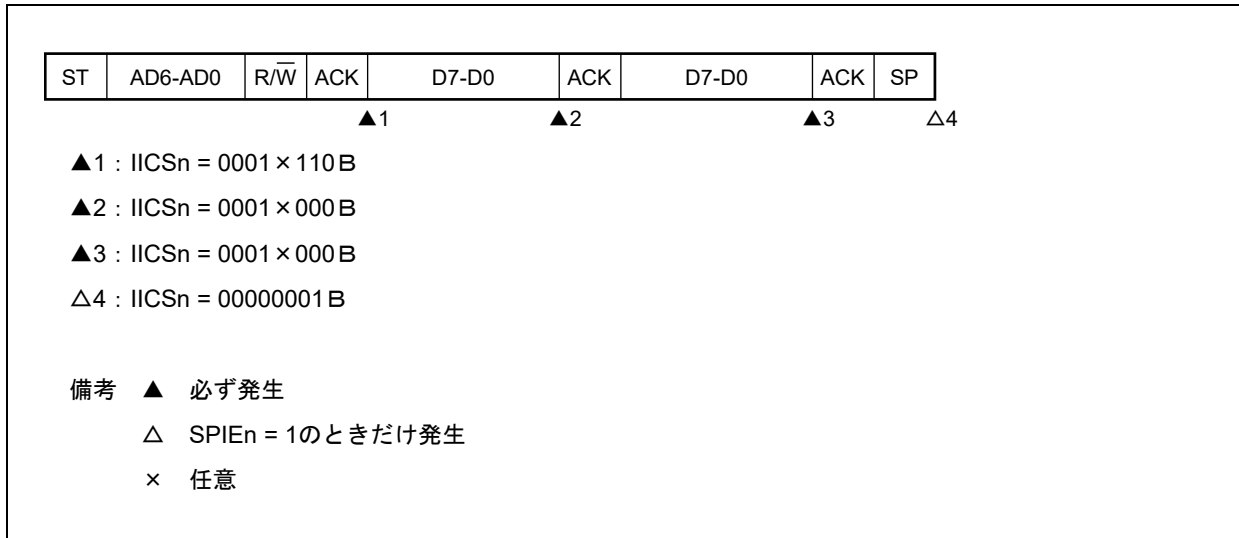


備考 n = 0

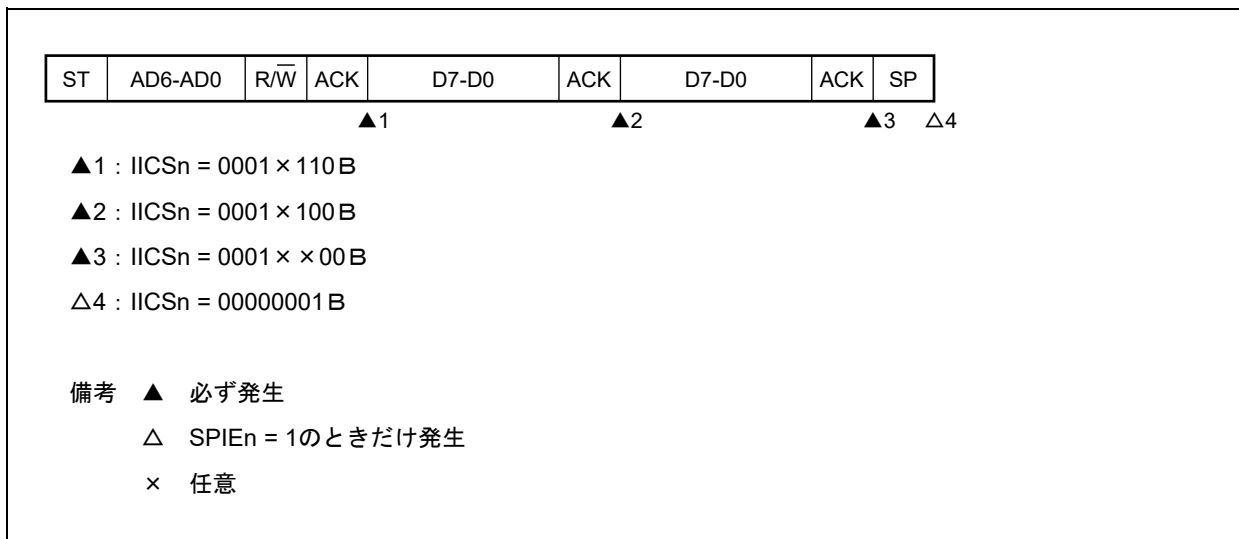
(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start~Address~Data~Data~Stop

(i) WTIMn = 0 のとき



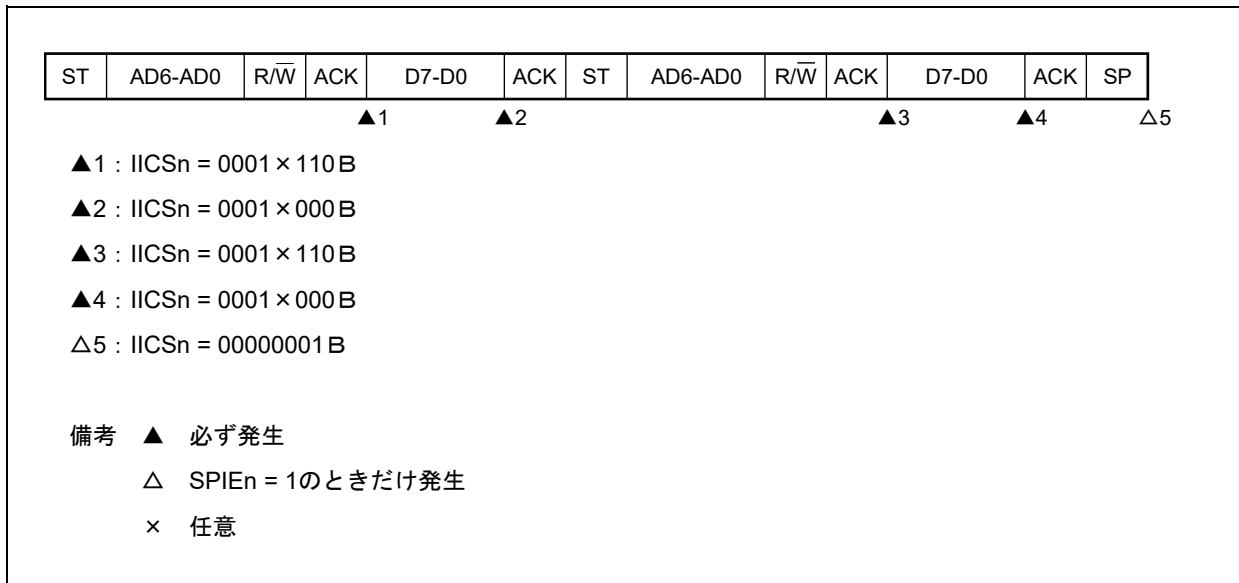
(ii) WTIMn = 1 のとき



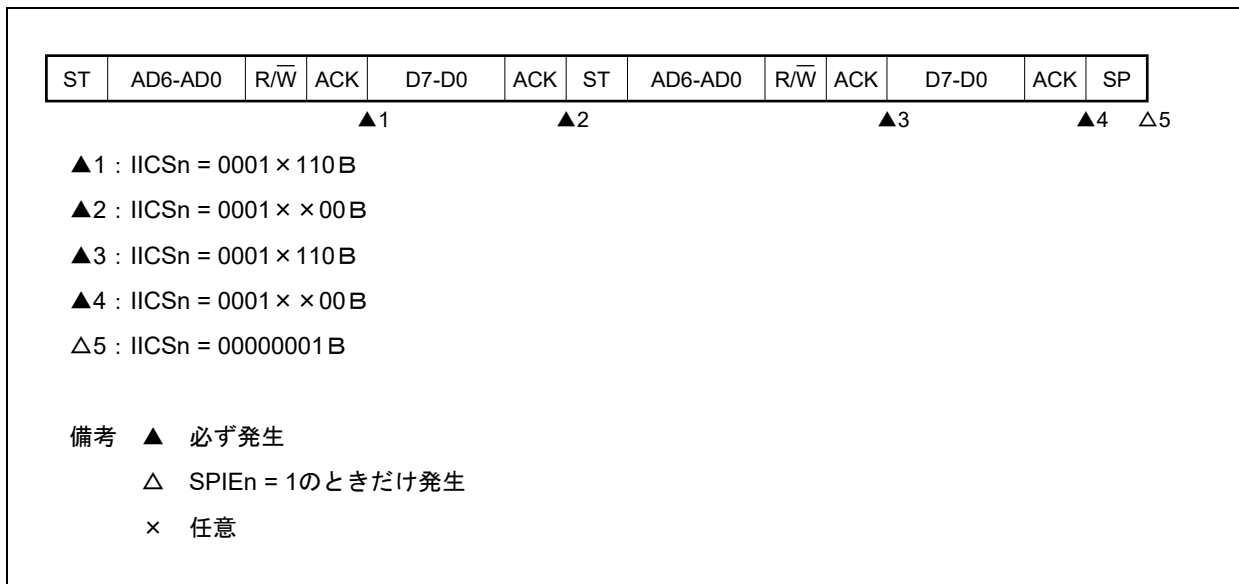
備考 n = 0

(b) Start~Address~Data~Start~Address~Data~Stop

(i) WTIMn = 0 のとき (リスタート後, SVAn一致)



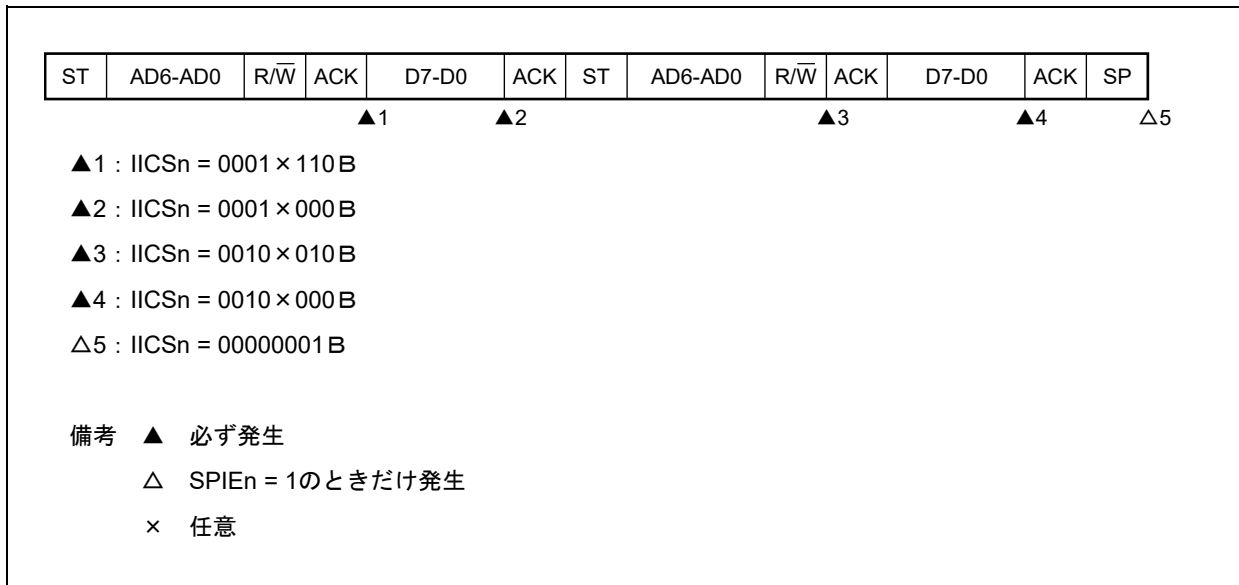
(ii) WTIMn = 1 のとき (リスタート後, SVAn一致)



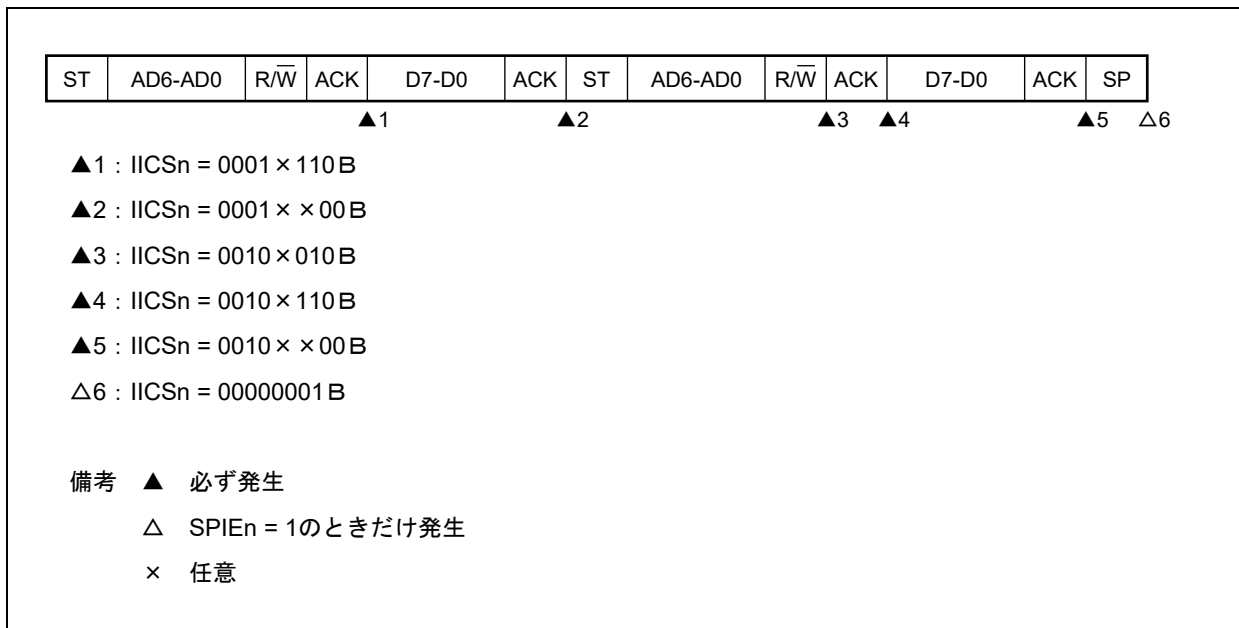
備考 n = 0

(c) Start~Address~Data~Start~Code~Data~Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード))



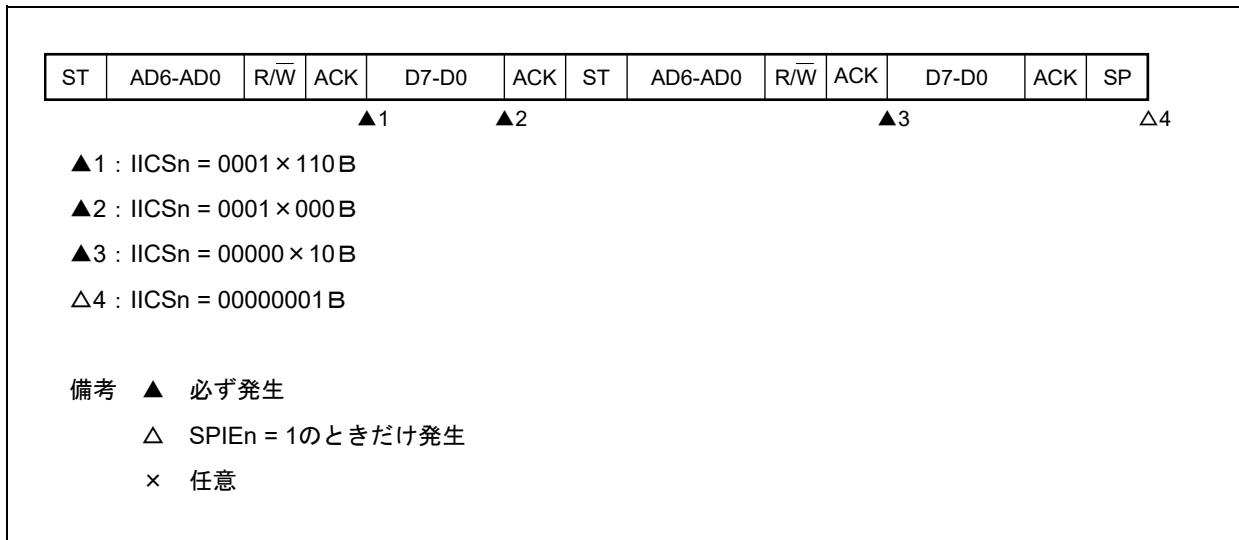
(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード))



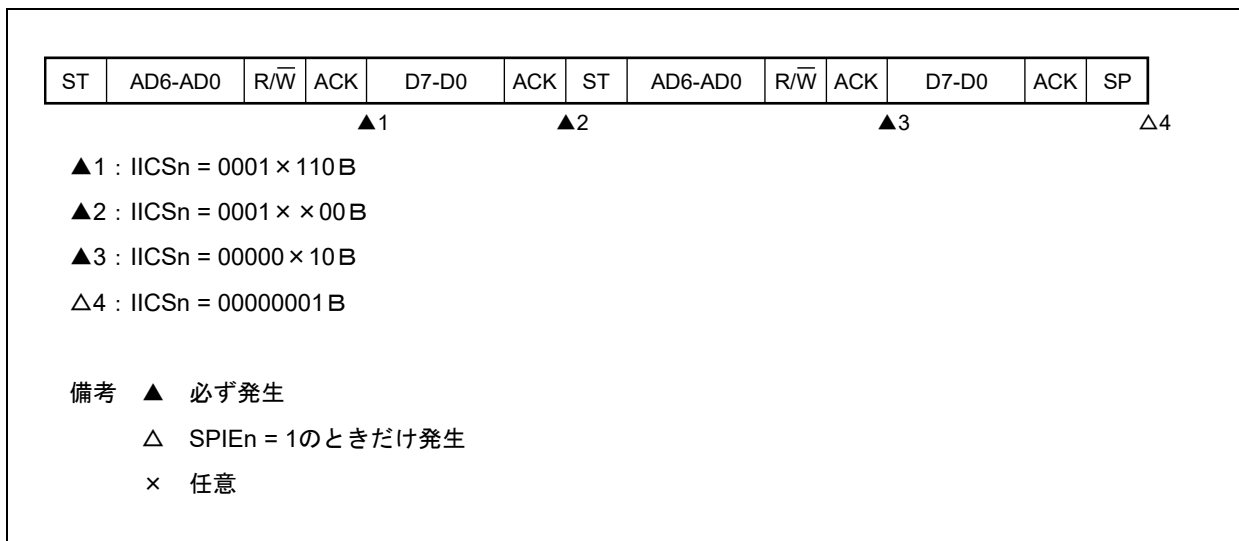
備考 n = 0

(d) Start~Address~Data~Start~Address~Data~Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



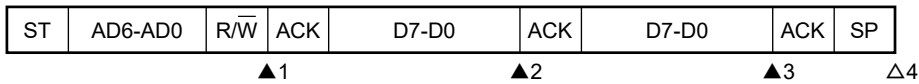
備考 n = 0

(3) スレーブ動作（拡張コード受信時）

拡張コード受信時は、常に通信に参加しています

(a) Start～Code～Data～Data～Stop

(i) WTIMn = 0 のとき



▲1 : IICSn = 0010 × 010 B

▲2 : IICSn = 0010 × 000 B

▲3 : IICSn = 0010 × 000 B

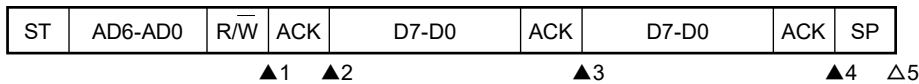
△4 : IICSn = 00000001 B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 0010 × 010 B

▲2 : IICSn = 0010 × 110 B

▲3 : IICSn = 0010 × 100 B

▲4 : IICSn = 0010 × × 00 B

備考 ▲ 必ず発生

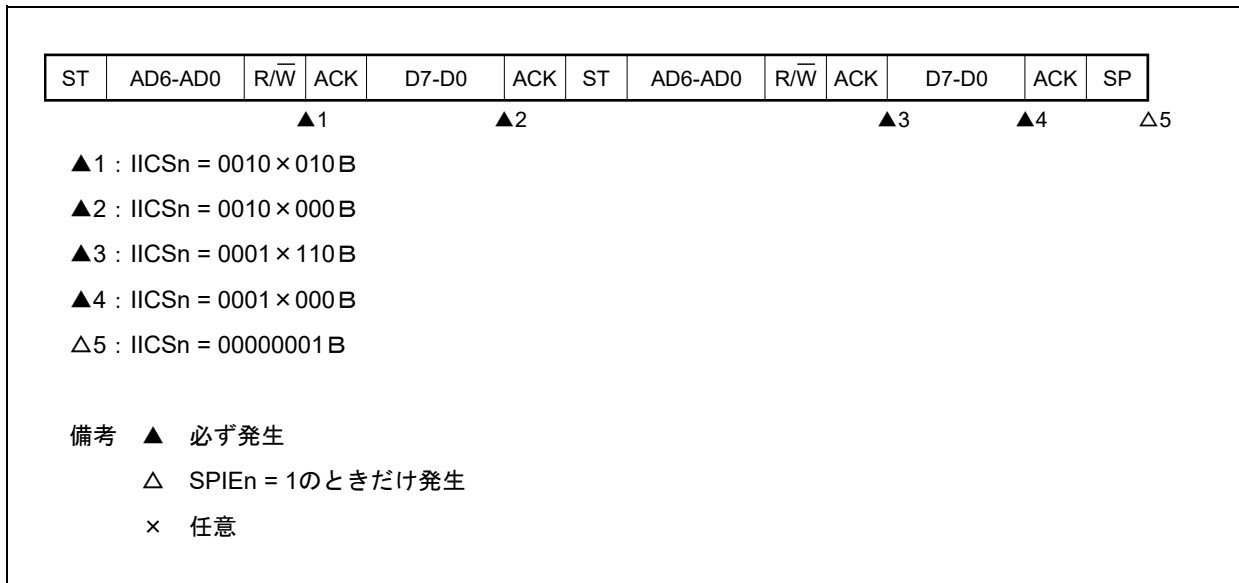
△ SPIEn = 1 のときだけ発生

× 任意

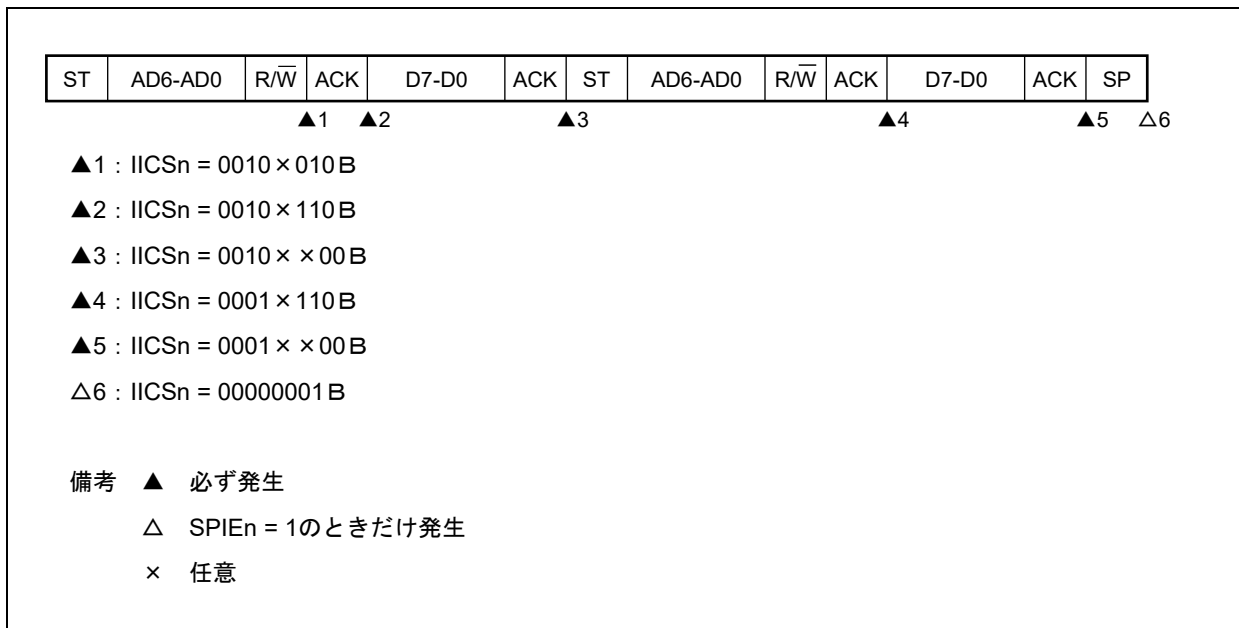
備考 n = 0

(b) Start~Code~Data~Start~Address~Data~Stop

(i) WTIMn = 0 のとき (リスタート後, SVAn一致)



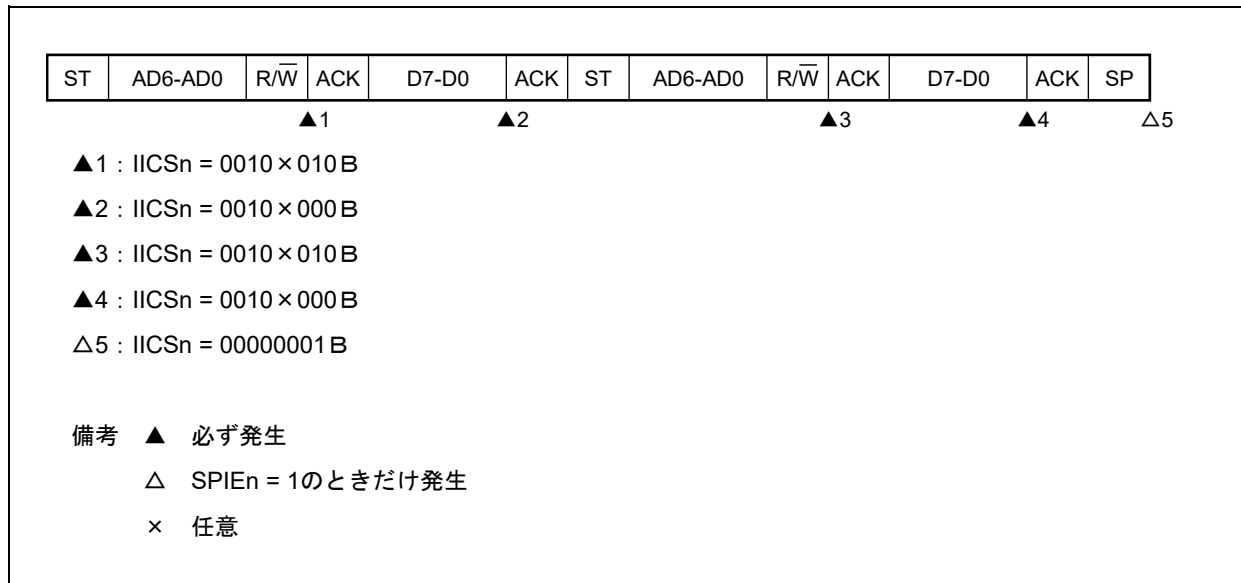
(ii) WTIMn = 1 のとき (リスタート後, SVAn一致)



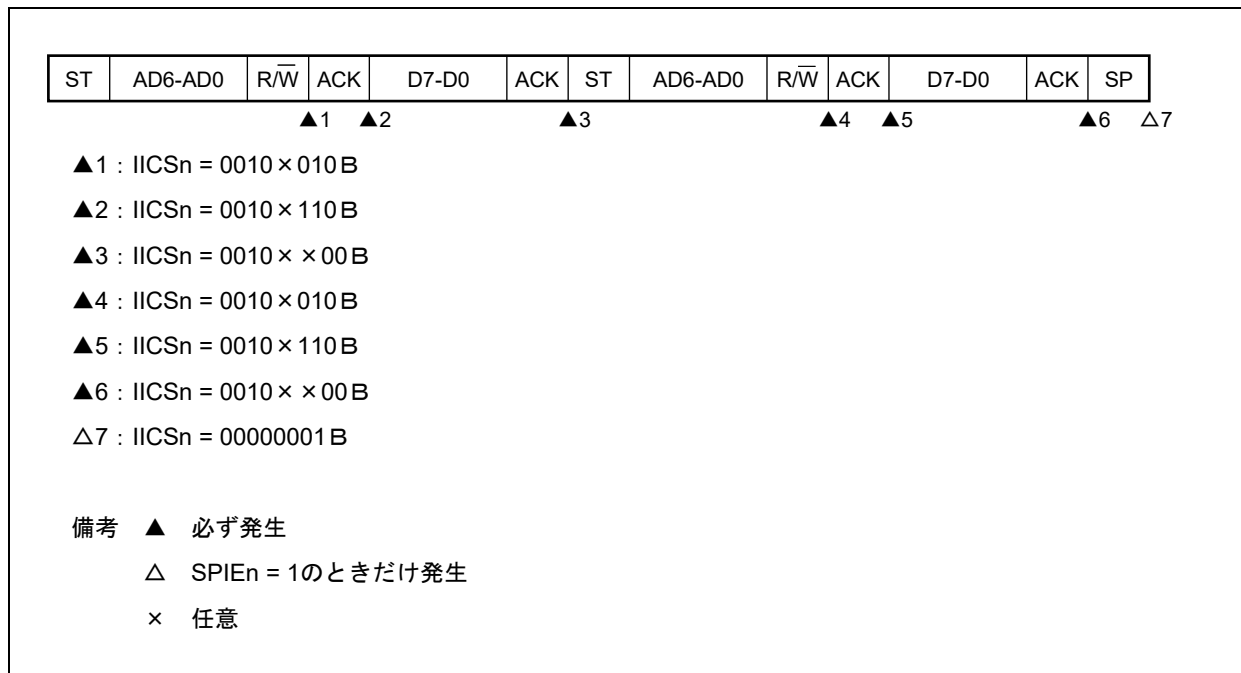
備考 n = 0

(c) Start~Code~Data~Start~Code~Data~Stop

(i) WTIMn = 0 のとき (リスタート後, 拡張コード受信)



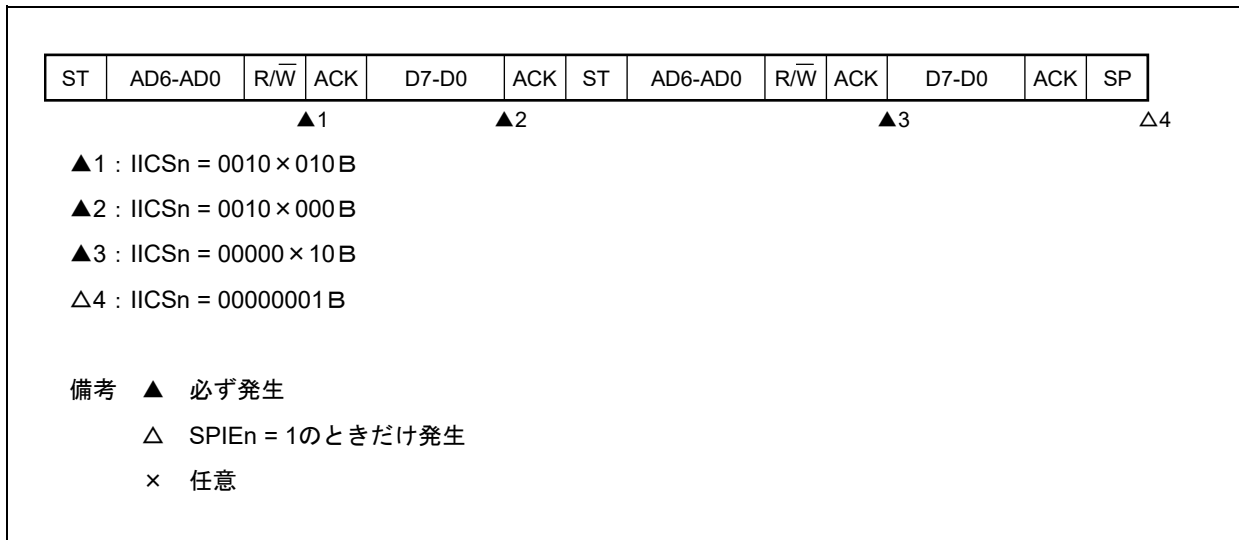
(ii) WTIMn = 1 のとき (リスタート後, 拡張コード受信)



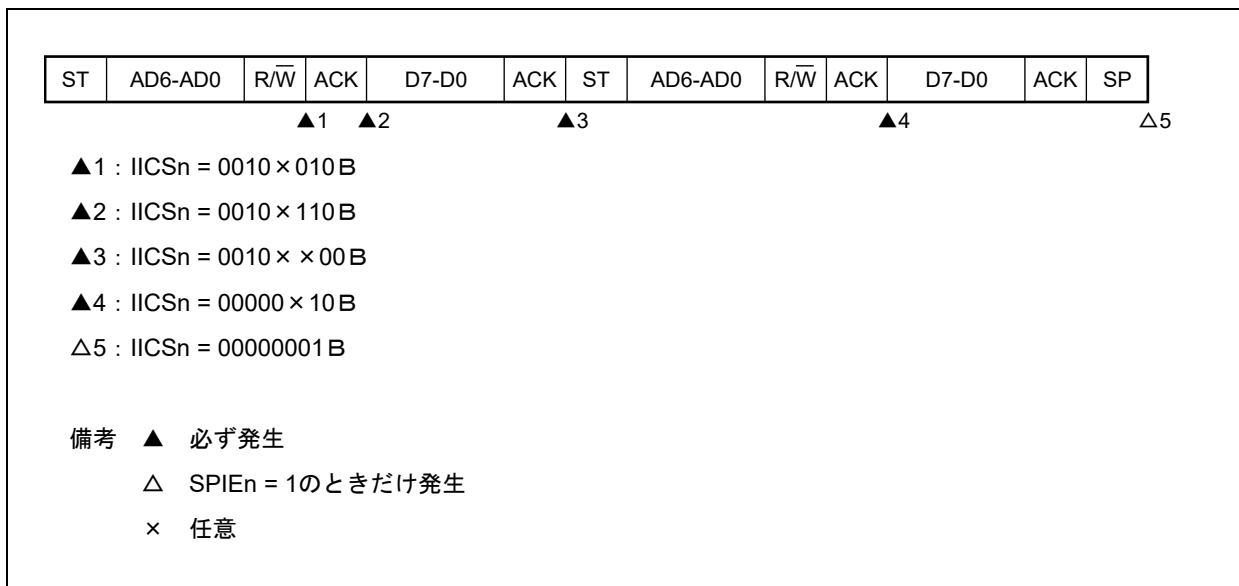
備考 n = 0

(d) Start~Code~Data~Start~Address~Data~Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



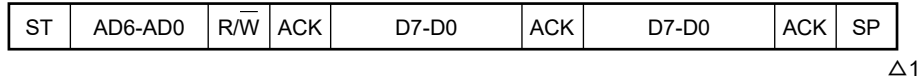
(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



備考 n = 0

(4) 通信不参加の動作

(a) Start~Code~Data~Data~Stop



△1 : IICSn = 00000001 B

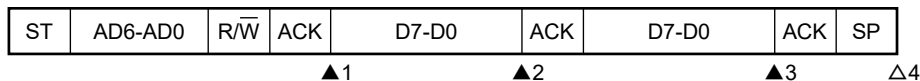
備考 △ SPIEn = 1のときだけ発生

(5) アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み要求信号の発生ごとに MSTSnビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0のとき



▲1 : IICSn = 0101 × 110 B

▲2 : IICSn = 0001 × 000 B

▲3 : IICSn = 0001 × 000 B

△4 : IICSn = 00000001 B

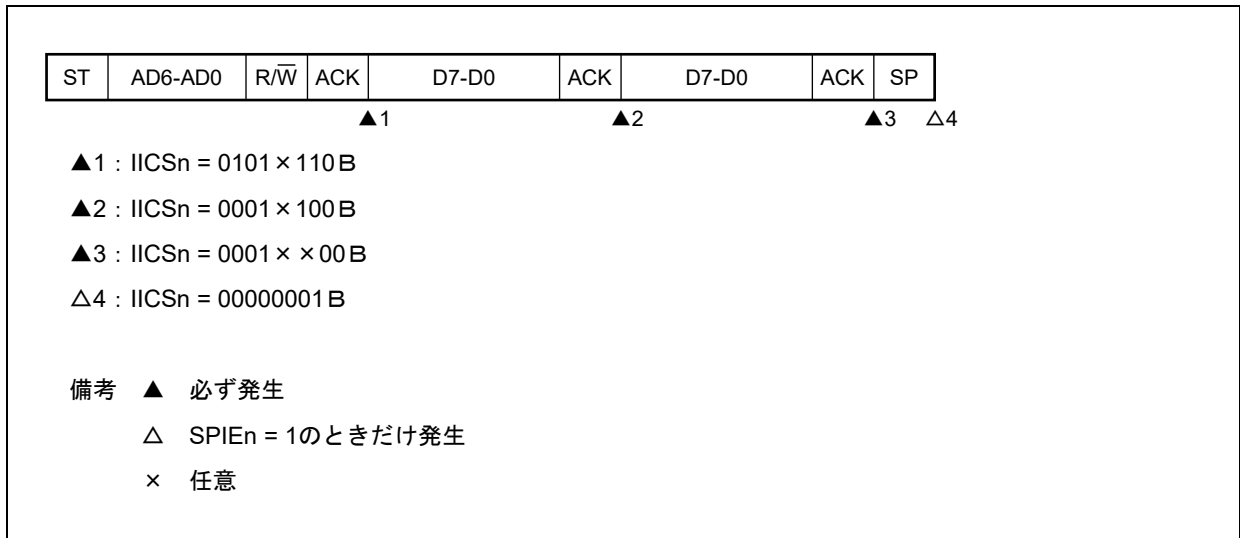
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

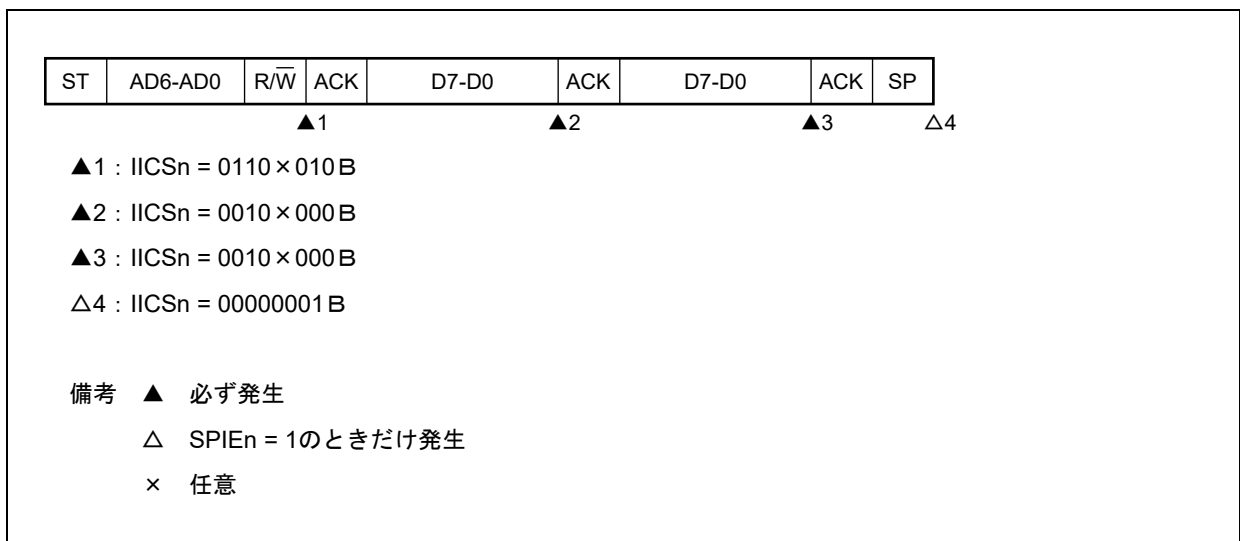
備考 n = 0

(ii) WTIMn = 1 のとき



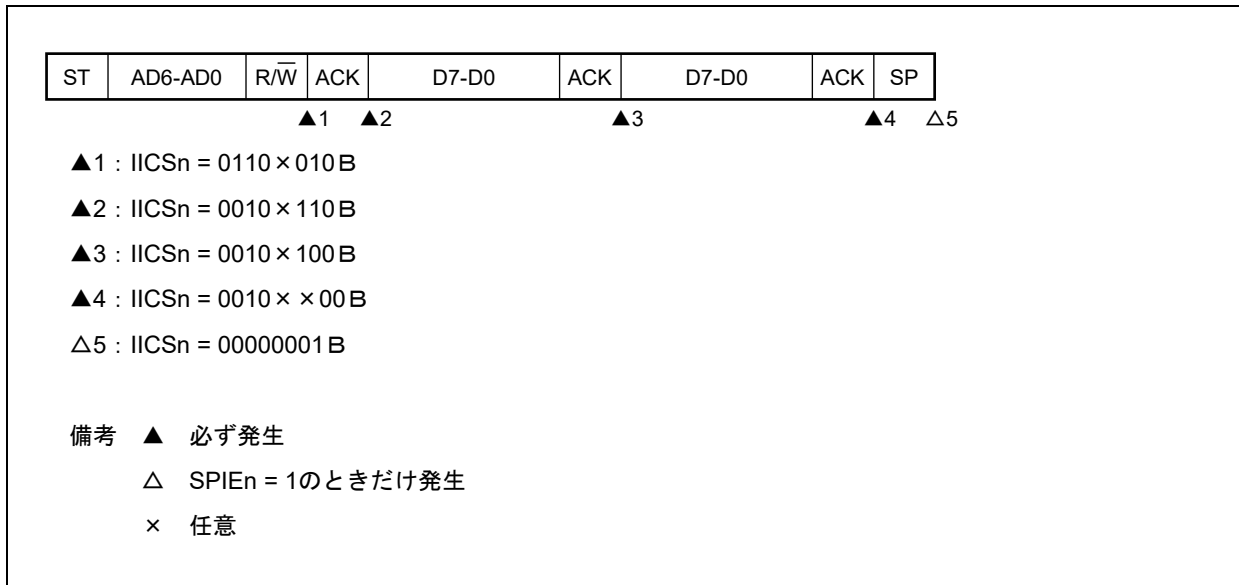
(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



備考 n = 0

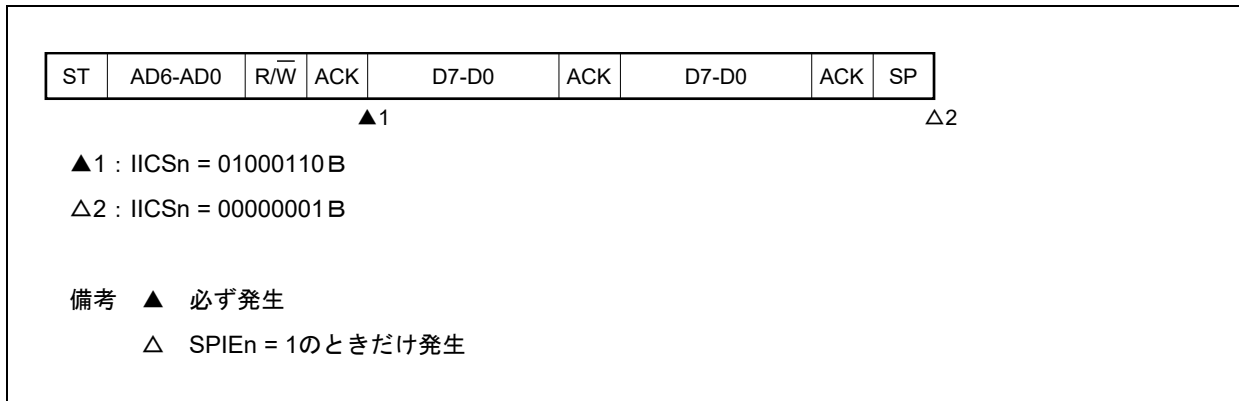
(ii) WTIMn = 1 のとき



(6) アービトレーション負けの動作（アービトレーション負けのあと、不参加）

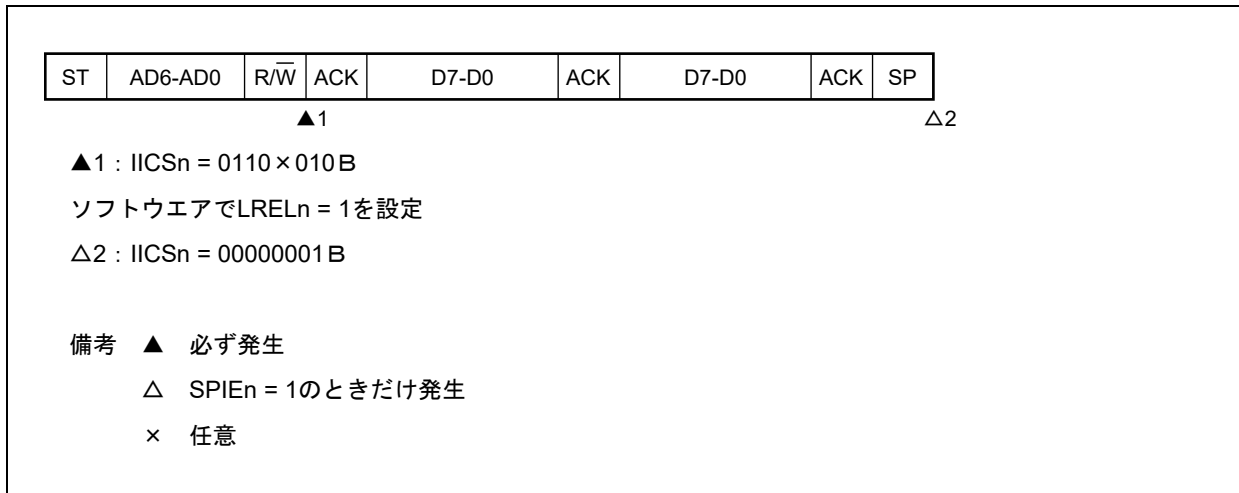
マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIMn = 1 のとき）



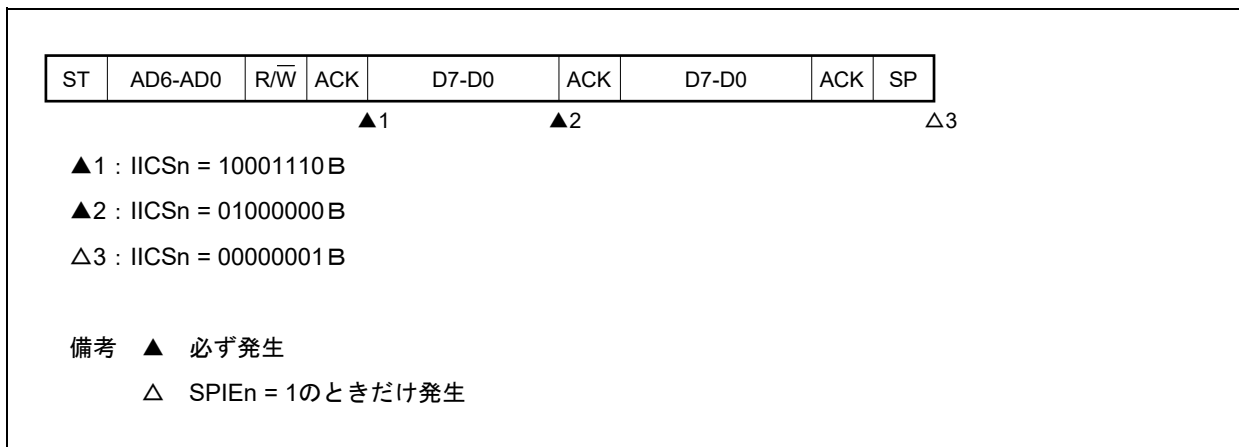
備考 n = 0

(b) 拡張コード送信中にアービトレーションに負けた場合



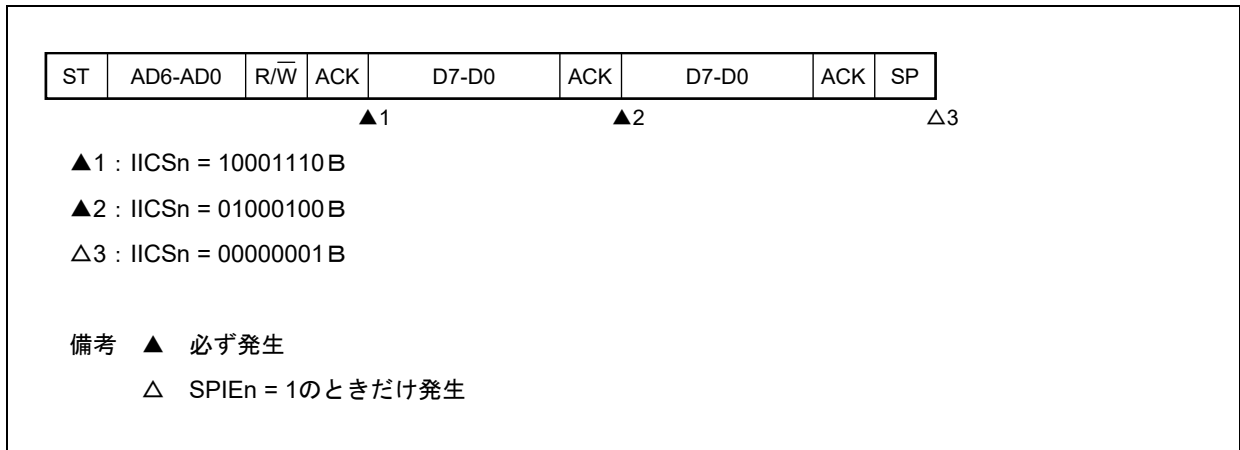
(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0のとき



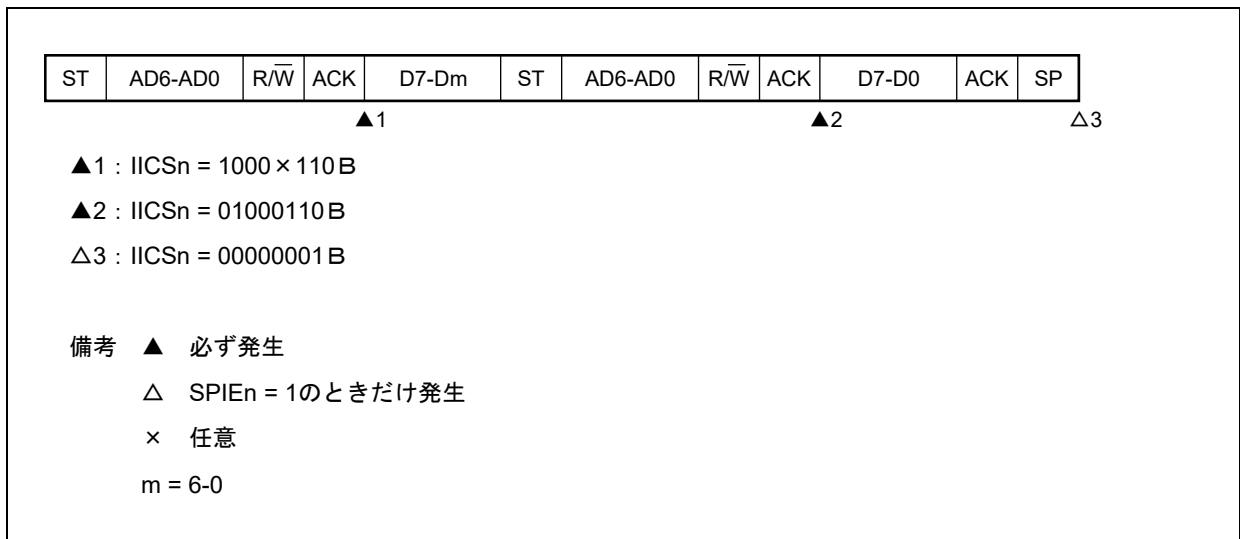
備考 n = 0

(ii) WTIMn = 1 のとき



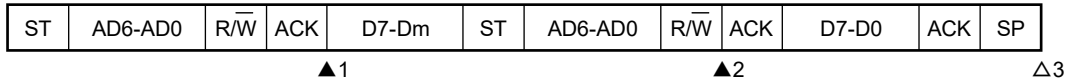
(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVAn不一致)



備考 n = 0

(ii) 拡張コード



▲1 : IICSn = 1000 × 110 B

▲2 : IICSn = 01100010 B

ソフトウェアで LRELn = 1 を設定

△3 : IICSn = 00000001 B

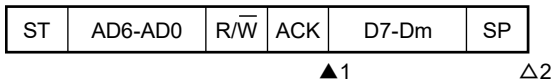
備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

m = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



▲1 : IICSn = 10000110 B

△2 : IICSn = 01000001 B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

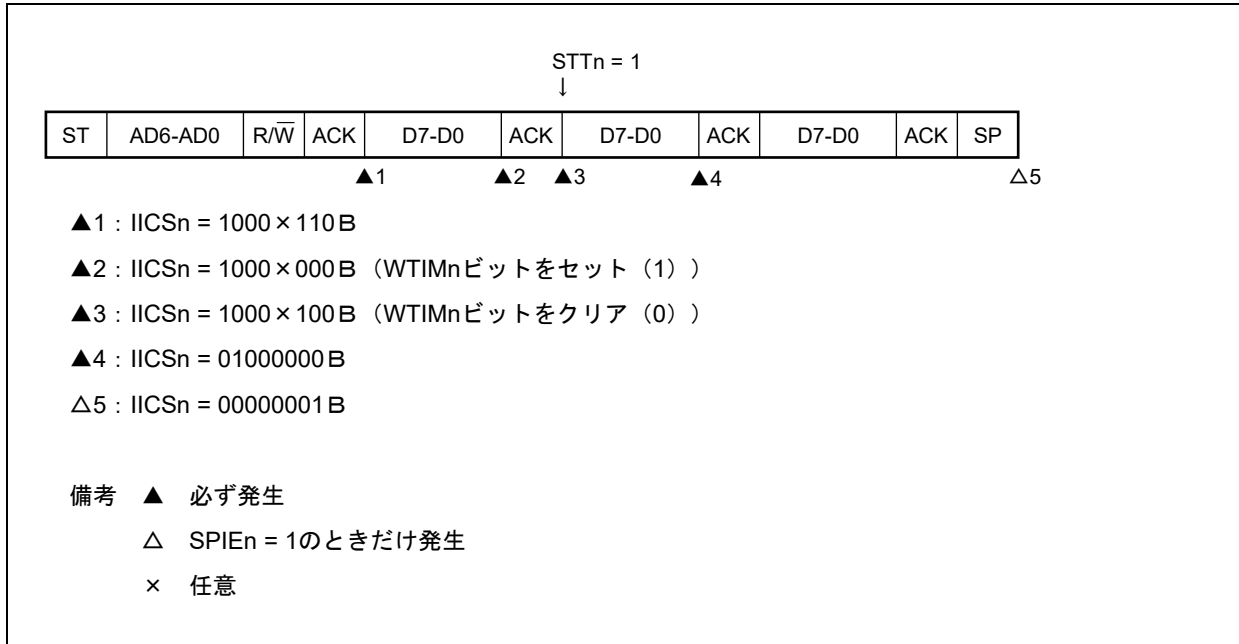
× 任意

m = 6-0

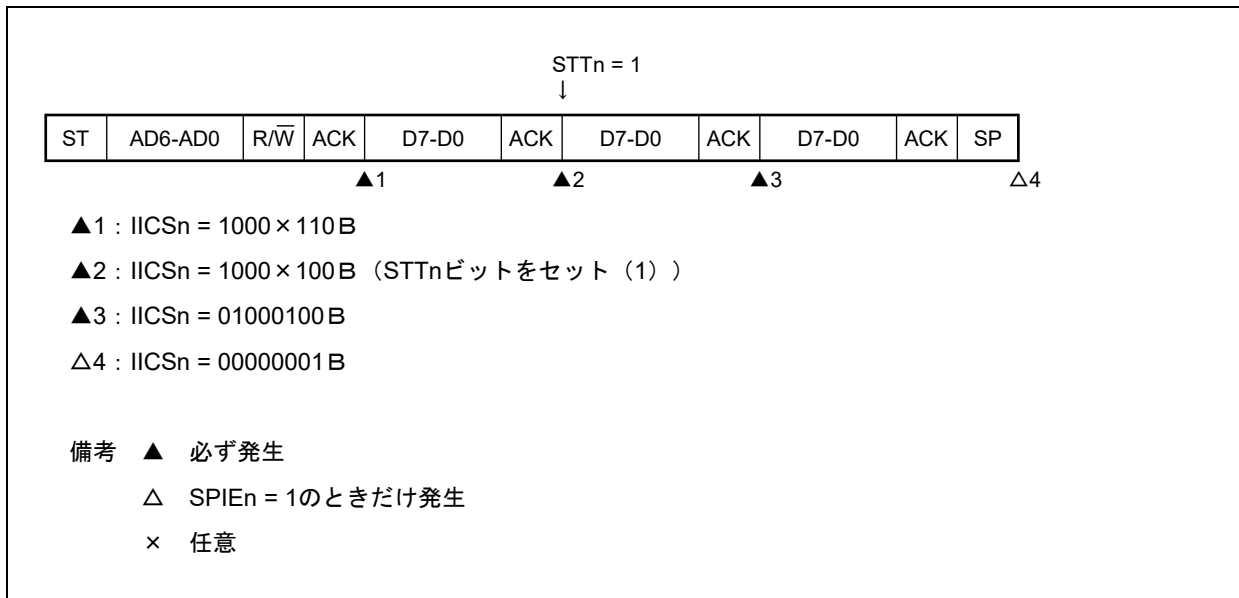
備考 n = 0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



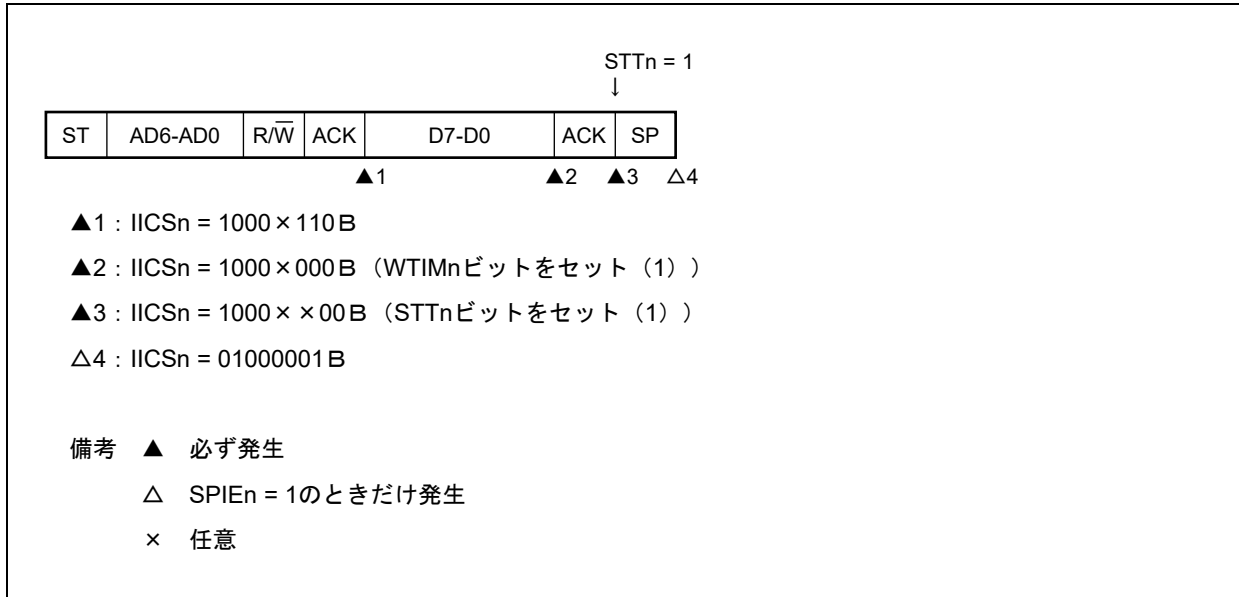
(ii) WTIMn = 1 のとき



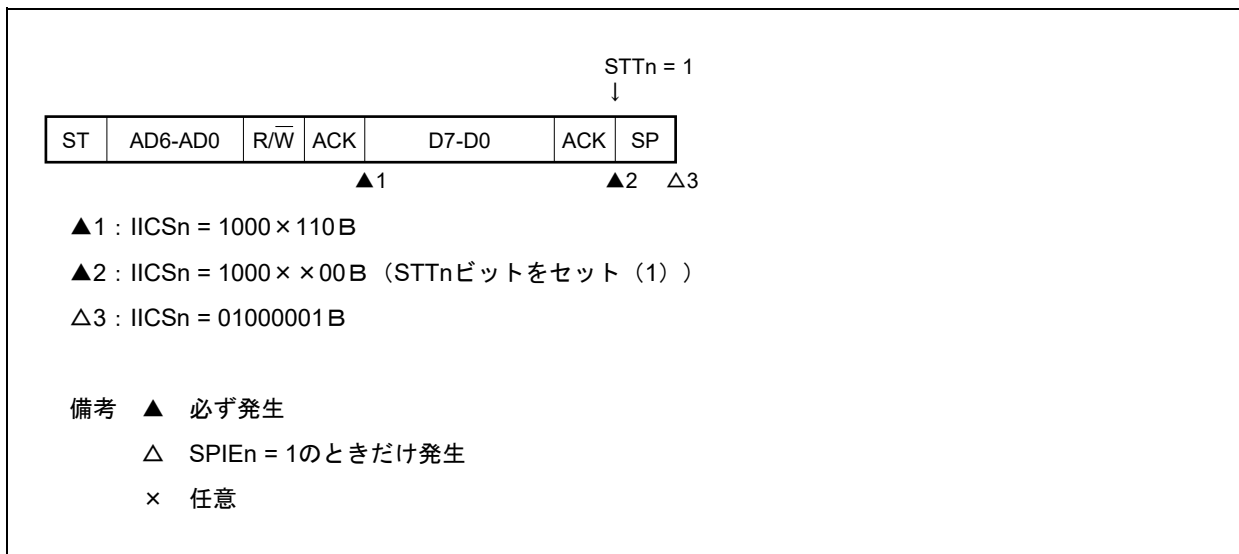
備考 n = 0

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



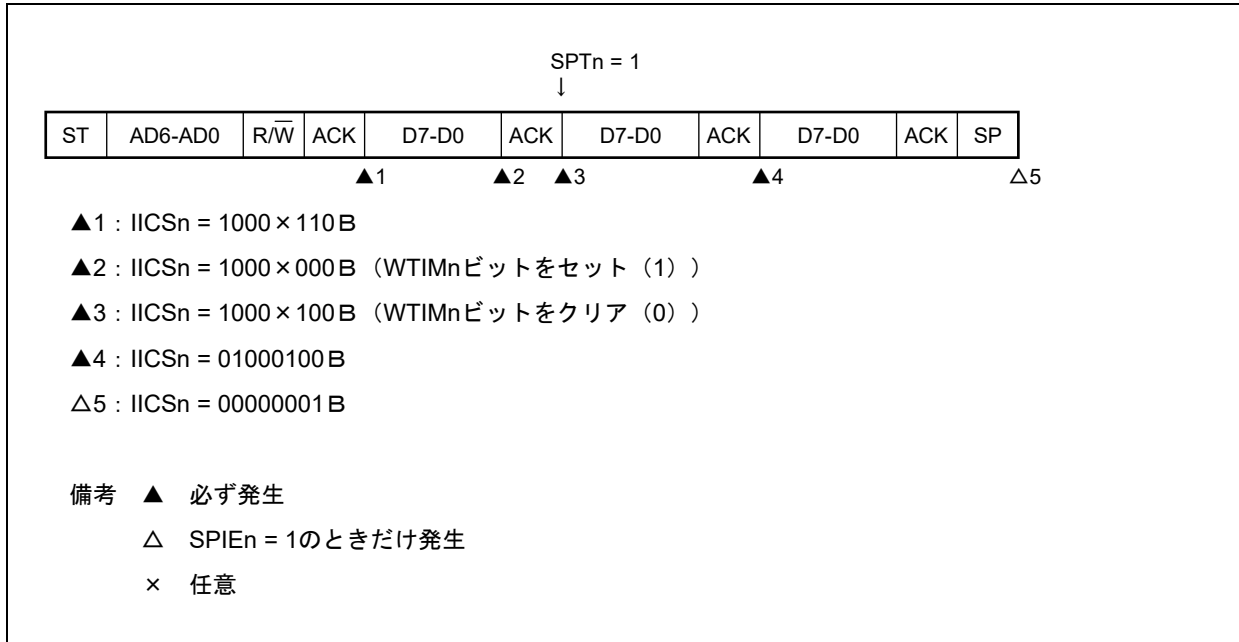
(ii) WTIMn = 1 のとき



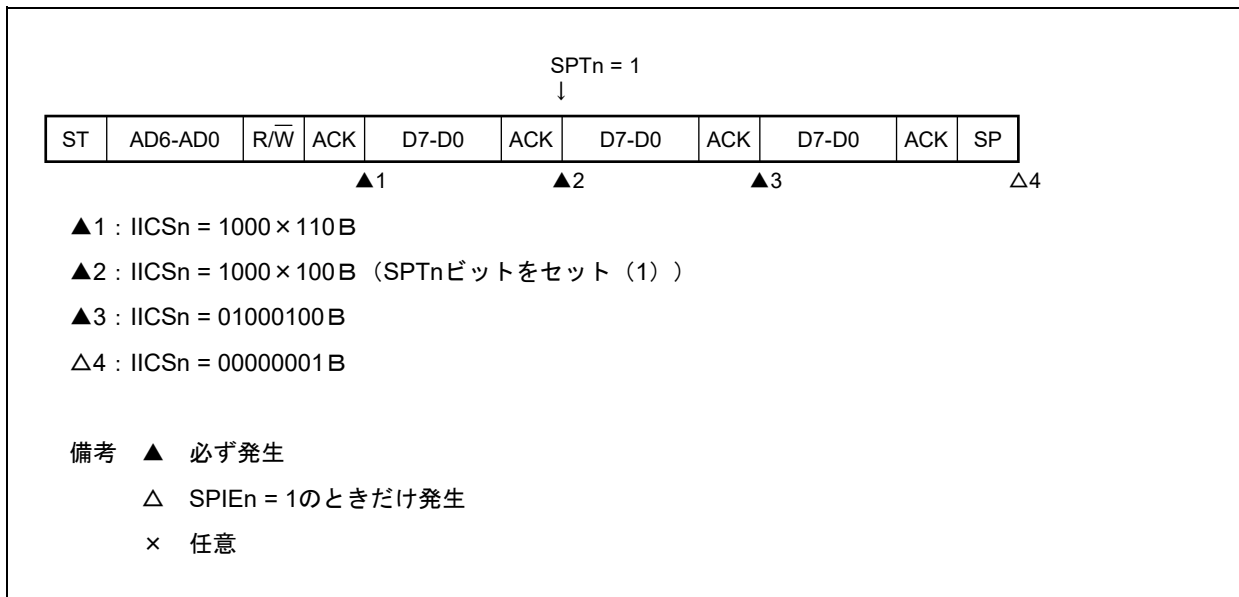
備考 n = 0

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0のとき



(ii) WTIMn = 1のとき



備考 n = 0

19.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCnビット (IICAステータス・レジスタn (IICSn) のビット3) を送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図19-32, 図19-33に示します。

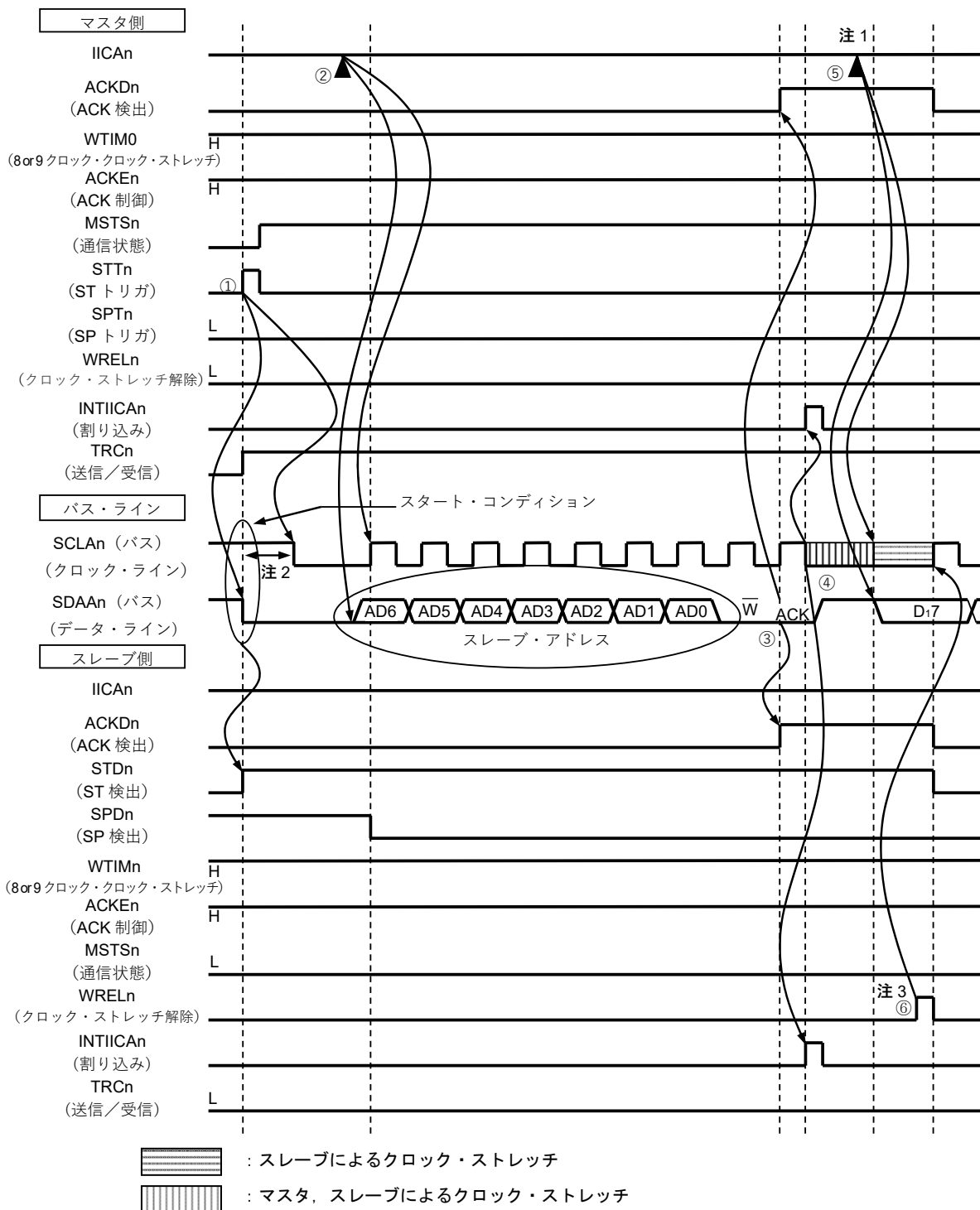
シリアル・クロック (SCLAn) の立ち下がりに同期してIICAシフト・レジスタn (IICAn) のシフト動作が行われ、送信データがSOラッチに転送され、SDAAn端子からMSBファーストで出力されます。

また、SCLAnの立ち上がりでSDAAn端子に入力されたデータがIICAnに取り込まれます。

備考 n = 0

図19-32 マスタ→スレーブ通信例 (マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択) (1/4)

(1) スタート・コンディション～アドレス～データ



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。
- 3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図19-32 (1) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ($STTn = 1$) されると、バス・データ・ライン ($SDAAn$) が立ち下がり、スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ($MSTS_n = 1$) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ n ($IICAn$) にアドレス+W (送信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側では、受信したアドレスと自局のアドレス ($SVAn$ の値) が一致した場合^注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出 ($ACKDn = 1$) されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み ($INTIICAn$: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、クロック・ストレッチ ($SCLAn = 0$) をかけ、割り込み ($INTIICAn$: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 ($WRELn = 1$) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが ($NACK: SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK、NACKの両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図19-32の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図19-32 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図19-32 (2) アドレス～データ～データでは手順③～⑩

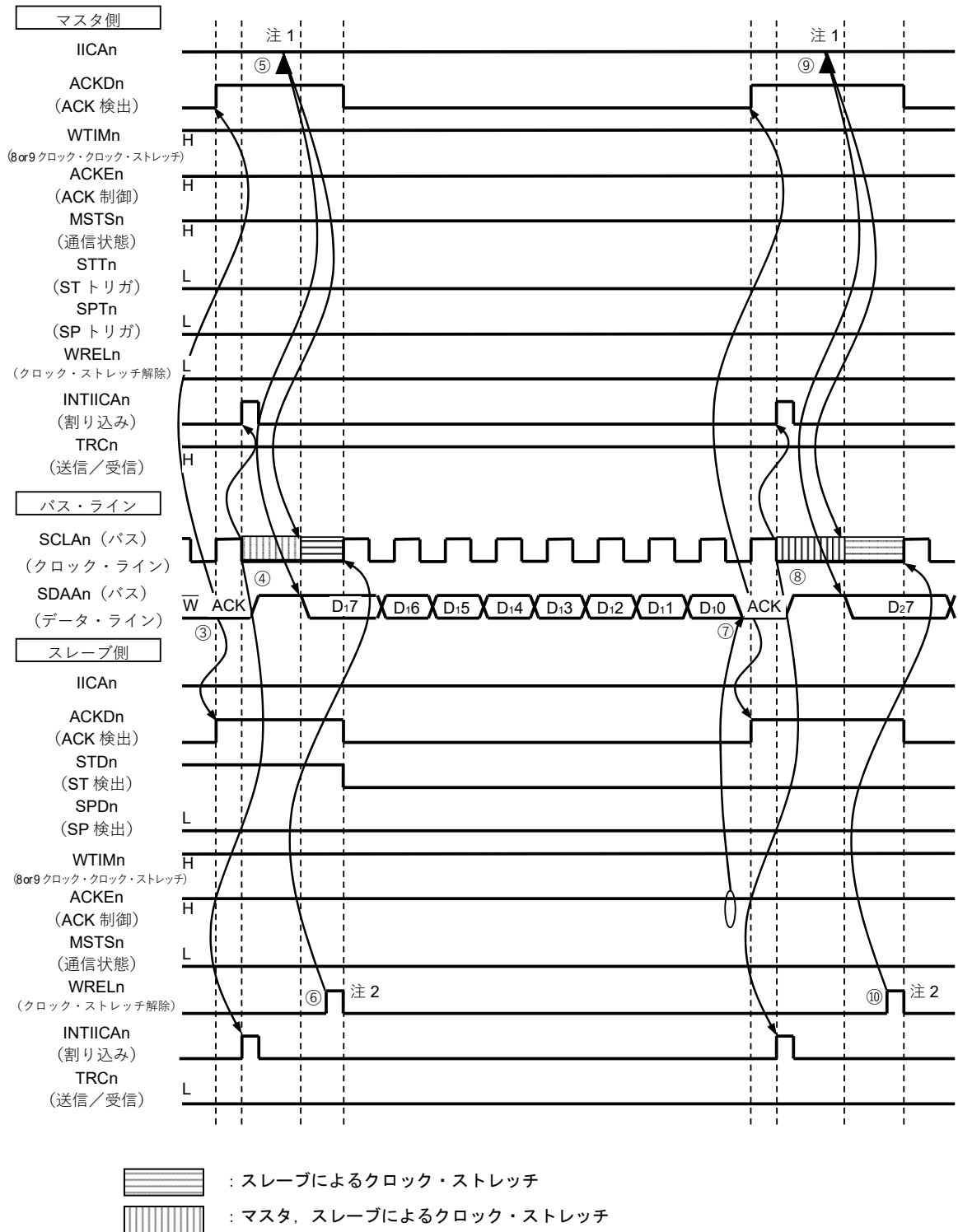
図19-32 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

2. $n = 0$

図19-32 マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択）（2/4）

(2) アドレス～データ～データ



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図19-32 (2) アドレス～データ～データの③～⑩の説明を次に示します。

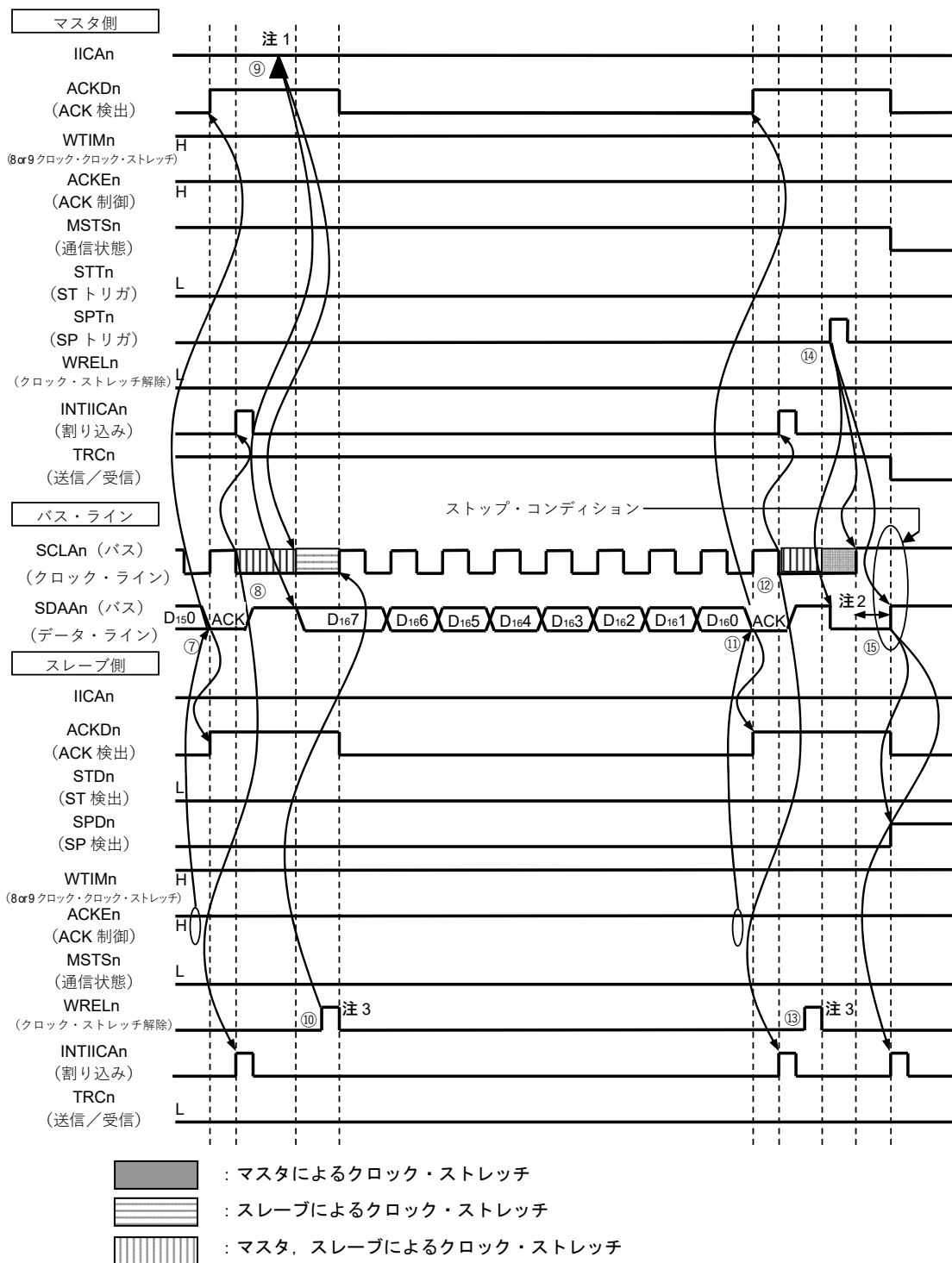
- ③ スレーブ側では、受信したアドレスと自局のアドレス (SVAnの値) が一致した場合^注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み (INTIICAn: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側がIICAシフト・レジスタn (IICAn) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑧ 9クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn: 転送完了割り込み) が発生します。
- ⑨ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK: SDAAn = 1)。また、スレーブ側のINTIICAn割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK、NACKの両方に対して、INTIICAn割り込み (アドレス送信完了割り込み) が発生します。

- 備考 1. 図19-32の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。
図19-32 (1) スタート・コンディション～アドレス～データでは手順①～⑥
図19-32 (2) アドレス～データ～データでは手順③～⑩
図19-32 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。
2. n = 0

図19-32 マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（3/4）

(3) データ～データ～ストップ・コンディション



- 備考 n = 0

図19-32 (3) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑧ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑨ マスタ側がIICAシフト・レジスタn (IICAn) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側 (ACKEn = 1) のハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑫ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット (SPTn = 1) すると、バス・データ・ラインがクリア (SDAAn = 0) され、バス・クロック・ラインがセット (SCLAn = 1) され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット (SDAAn = 1) されることでストップ・コンディション (SCLAn = 1でSDAAn = 0→1) が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、割り込み (INTIICAn : ストップ・コンディション割り込み) が発生します。

備考 1. 図19-32の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図19-32 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図19-32 (2) アドレス～データ～データでは手順③～⑩

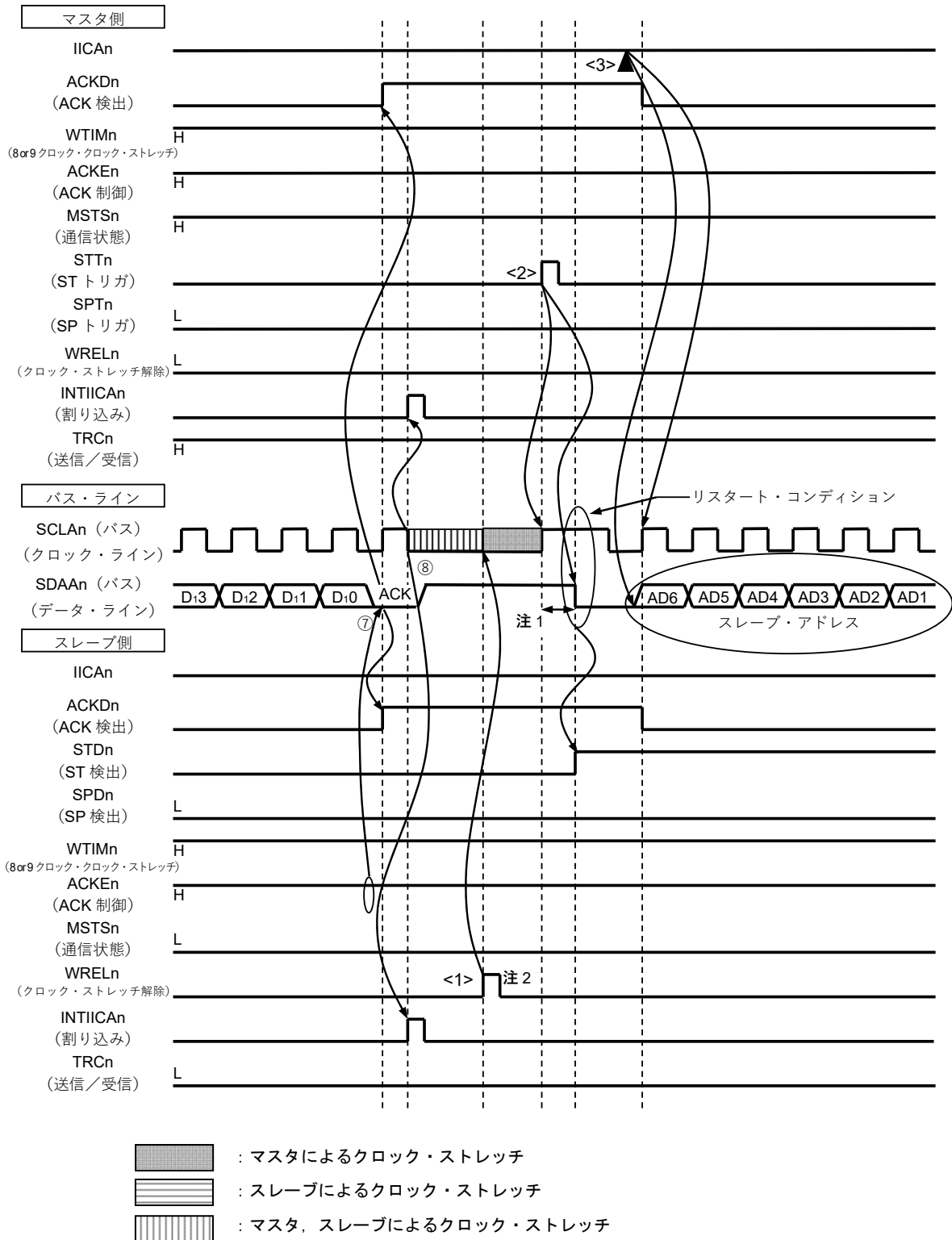
図19-32 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

2. n = 0

図19-32 マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択）（4/4）

(4) データ～リスタート・コンディション～アドレス



- 注1. リスタート・コンディションの発行後、SCLAn端子信号が立ち上がってからスタート・コンディションが生成される時間は、標準モード設定時は4.7 μs以上、ファースト・モード設定時は0.6 μs以上です。
2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

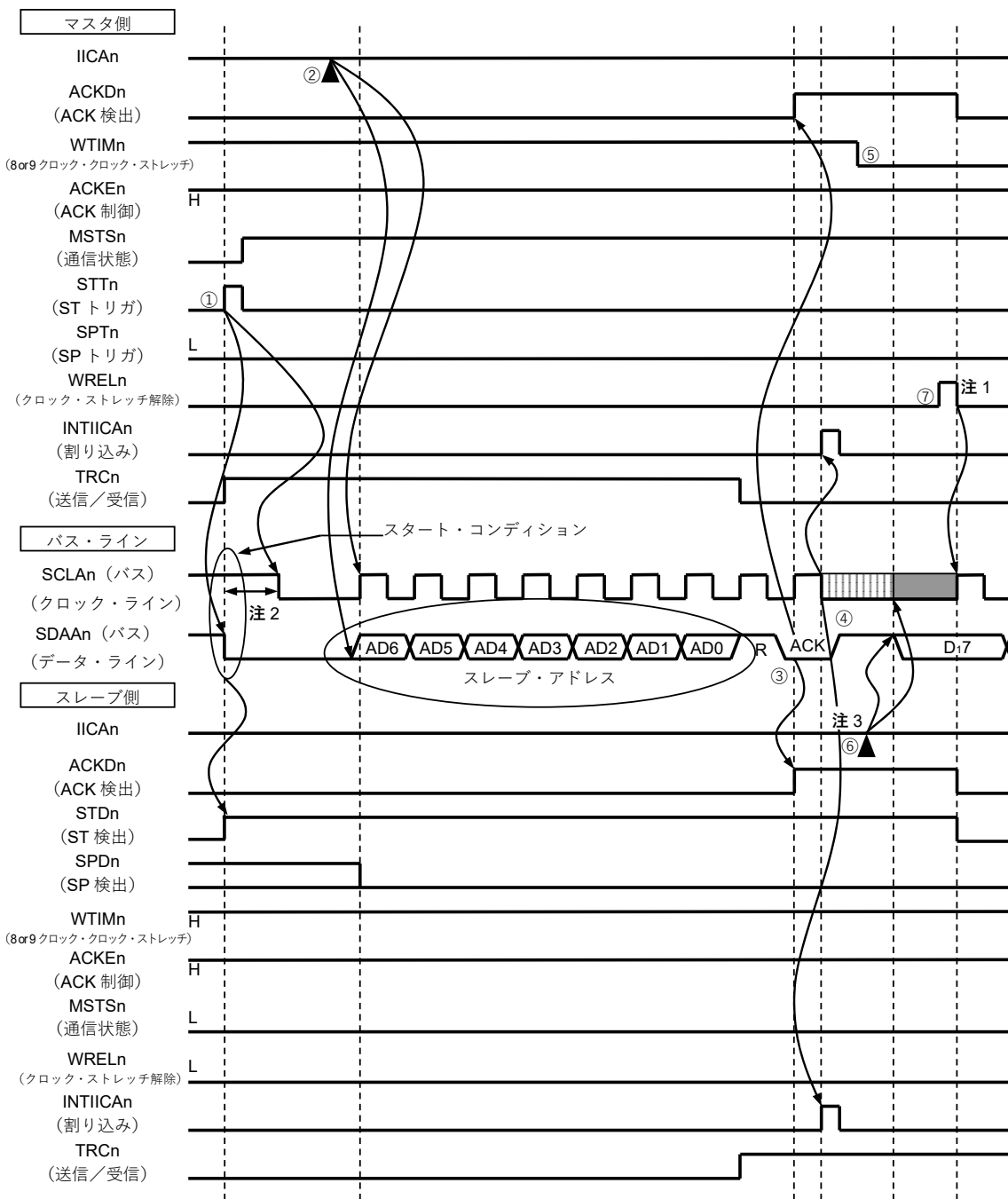
図19-32 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦, ⑧の動作後, <1>～<3>の動作を行います。それにより, 手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後, スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑧ 9クロック目の立ち下がり, マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり, マスタ側, スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- <1> スレーブ側が受信データを読み出して, クロック・ストレッチを解除 (WRELn = 1) します。
- <2> マスタ側で再度スタート・コンディション・トリガがセット (STTn = 1) されると, バス・クロック・ラインが立ち上がり (SCLAn = 1), リスタート・コンディション・セットアップ時間後バス・データ・ライン (SDAAn = 0) が立ち下がり, スタート・コンディション (SCLAn = 1でSDAAn = 1→0) が生成されます。その後, スタート・コンディションを検出すると, ホールド時間経過後, バス・クロック・ラインが立ち下がり (SCLAn = 0), 通信準備が完了となります。
- <3> マスタ側がIICAシフト・レジスタn (IICAn) にアドレス+R/W (送信) を書き込むと, スレーブ・アドレスが送信されます。

備考 n = 0

図19-33 スレーブ→マスタ通信例(マスタ:8クロック,スレーブ:9クロックでクロック・ストレッチ選択)(1/3)

(1) スタート・コンディション～アドレス～データ



- : マスタによるクロック・ストレッチ
- : スレーブによるクロック・ストレッチ
- : マスタ, スレーブによるクロック・ストレッチ

- 注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0

図19-33 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ($STTn = 1$) されると、バス・データ・ライン ($SDAAn$) が立ち下がり、スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ($MSTS_n = 1$) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ n ($IICAn$) にアドレス+R (受信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVA_n の値) が一致した場合^注、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 ($ACKDn = 1$) されません。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み ($INTIICAn$: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ ($SCLAn = 0$) をかけ、割り込み ($INTIICAn$: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に ($WTIMn = 0$) に変更します。
- ⑥ スレーブ側がIICAnレジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 ($WRELn = 1$) して、スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが ($NACK: SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK、NACKの両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図19-33の①～⑱は、I²Cバスによるデータ通信の一連の操作手順です。

図19-33 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図19-33 (2) アドレス～データ～データでは手順③～⑫

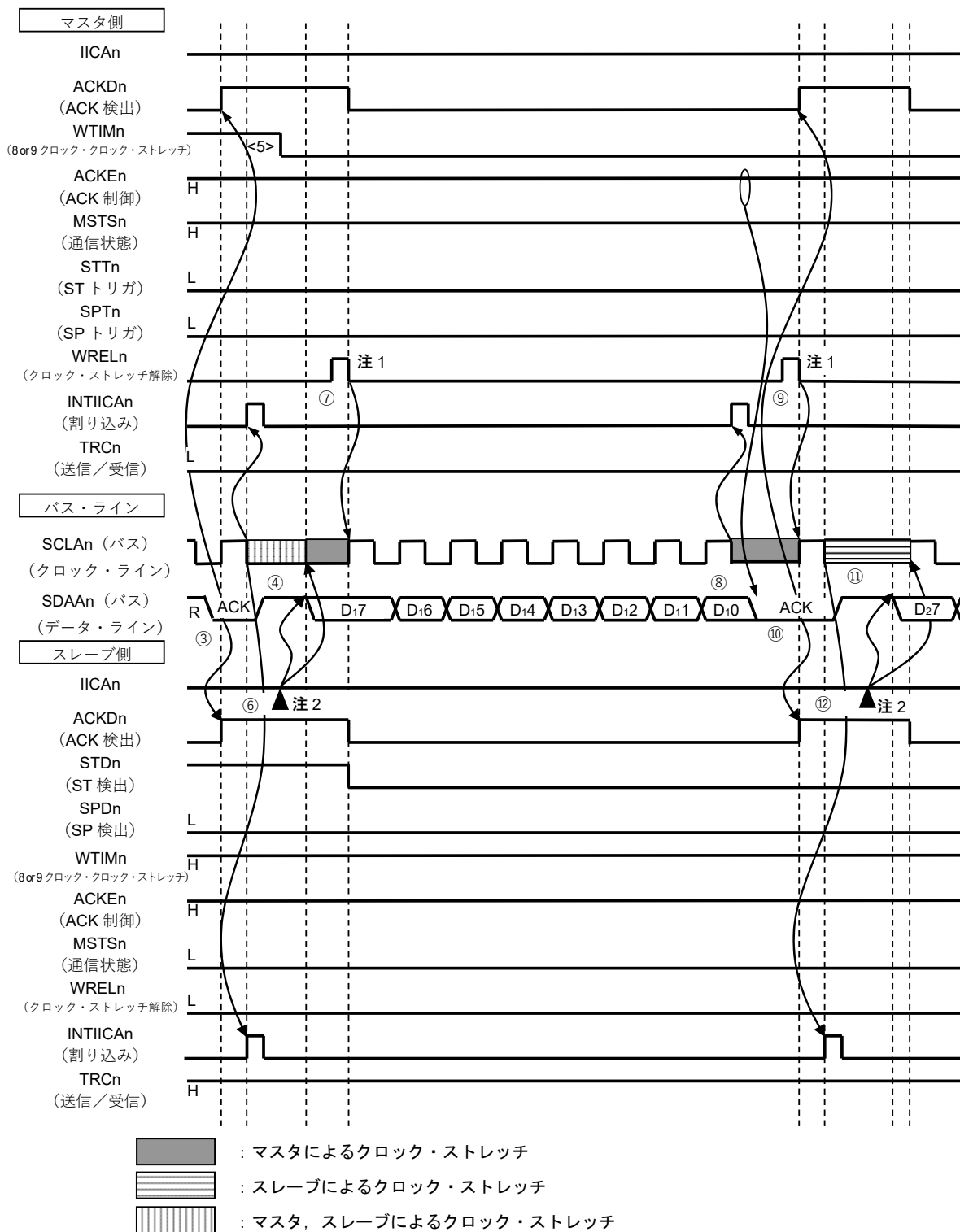
図19-33 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

2. $n = 0$

図19-33 スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでクロック・ストレッチ選択）（2/3）

(2) アドレス～データ～データ



- 注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
2. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0

図19-33 (2) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレス自局のアドレス (SVAnの値) が一致した場合^注、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ④ 9クロック目の立ち下がり時、マスタ側の割り込み (INTIICAn: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを8クロック目に (WTIMn = 0) に変更します。
- ⑥ スレーブ側がIICAnシフト・レジスタn (IICAn) に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 (WRELn = 1) して、スレーブからのデータ転送を開始します。
- ⑧ 8クロック目の立ち下がり時、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側の割り込み (INTIICAn: 転送完了割り込み) が発生し、マスタ側ACKEn = 1なのでハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKDn = 1) されます。
- ⑪ 9クロック目の立ち下がり時、スレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、スレーブ側は割り込み (INTIICAn: 転送完了割り込み) が発生します。
- ⑫ スレーブ側がIICAnレジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK: SDAAn = 1)。また、スレーブ側のINTIICAn割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図19-33の①～⑫は、I²Cバスによるデータ通信の一連の操作手順です。

図19-33 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図19-33 (2) アドレス～データ～データでは手順③～⑫

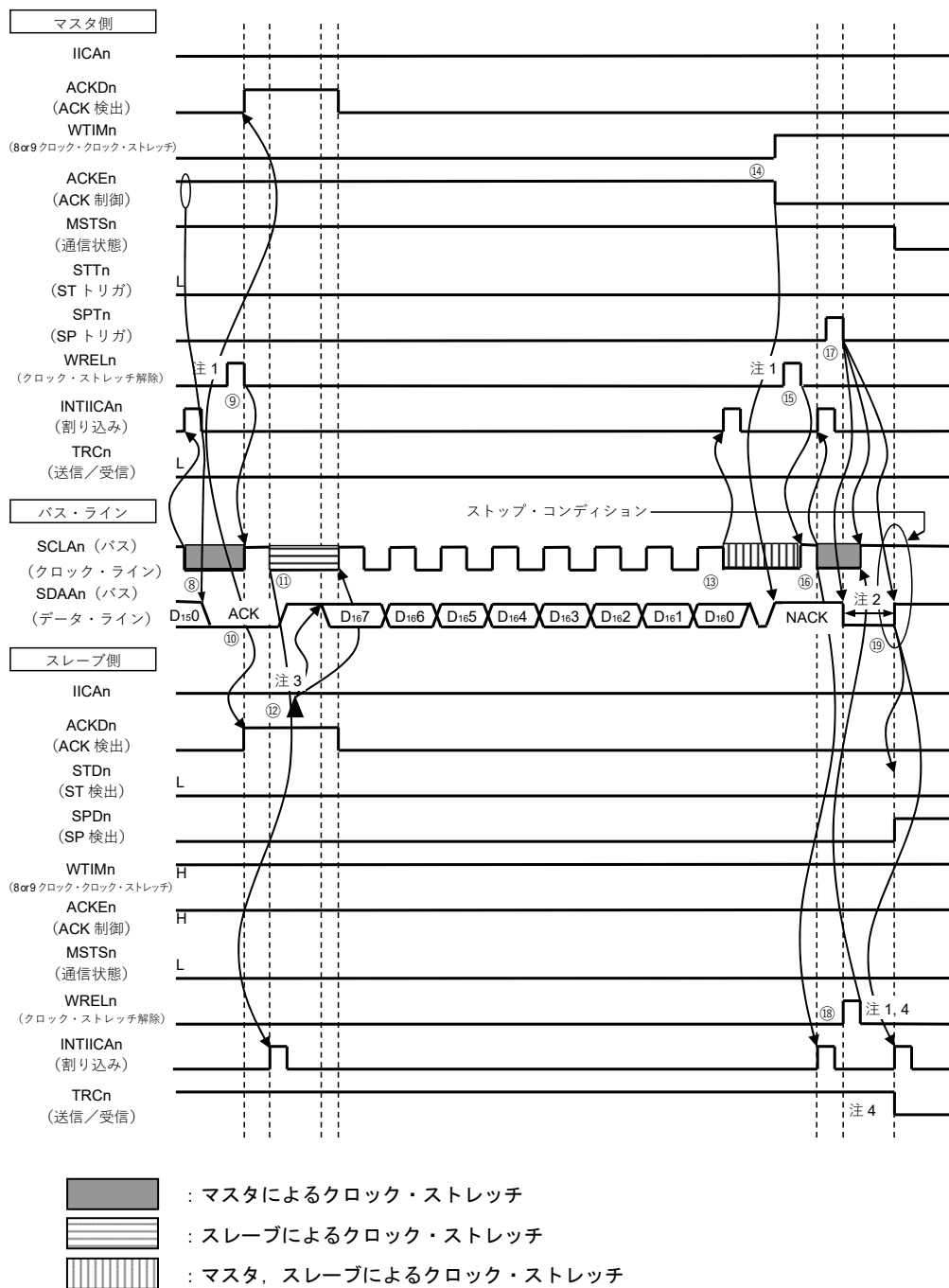
図19-33 (3) データ～データ～ストップ・コンディションでは手順⑧～⑫

について説明しています。

2. n = 0

図19-33 スレーブ→マスタ通信例（マスタ：8→9クロック、スレーブ：9クロックでクロック・ストレッチ選択）（3/3）

(3) データ～データ～ストップ・コンディション



- 注1. クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がったからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 4. スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると、TRCnビットはクリアされます。

備考 n = 0

図19-33 (3) データ～データ～ストップ・コンディションの⑧～⑱の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側はACKEn = 0なので、ハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKDn = 1) されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、スレーブ側は割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑫ スレーブ側がIICAシフト・レジスタn (IICAn) に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかります。ACK制御 (ACKEn = 1) されているので、この段階でのバス・データ・ラインはロウ・レベル (SDAAn = 0) となります。
- ⑭ マスタ側はNACK応答に設定 (ACKEn = 0) し、クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ (WTIMn = 1) に変更します。
- ⑮ マスタ側がクロック・ストレッチを解除 (WRELn = 1) すると、スレーブ側は9クロック目の立ち上がりでNACKを検出 (ACKDn = 0) します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑰ マスタ側でストップ・コンディション発行 (SPTn = 1) すると、バス・データ・ラインがクリア (SDAAn = 0) され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット (SCLAn = 1) されるまで待機します。
- ⑱ スレーブ側はNACKを確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除 (WRELn = 1) します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット (SCLAn = 1) されます。
- ⑲ マスタ側はバス・クロック・ラインがセット (SCLAn = 1) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDAAn = 1) してストップ・コンディション (SCLAn = 1でSDAAn = 0→1) を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み (INTIICAn : ストップ・コンディション割り込み) が発生します。

備考 1. 図19-33の①～⑱は、I²Cバスによるデータ通信の一連の操作手順です。

図19-33 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図19-33 (2) アドレス～データ～データでは手順③～⑫

図19-33 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

2. n = 0

第20章 IrDA

IrDAはシリアル・アレイ・ユニット（SAU）と連携してIrDA（Infrared Data Association）規格バージョン1.0に基づくIrDA通信波形の送受信を実現します。

20.1 IrDAの機能

IRCRレジスタのIREビットでIrDA機能を有効にすると、SAUのTxD2、RxD2信号はIrDA規格バージョン1.0に準拠した波形のエンコード/デコードを行います（IrTxD/IrRxD端子）。これを赤外線送受信トランスミッタ/レシーバと接続することで、IrDA規格バージョン1.0システムに準拠した赤外線送受信を実現できます。

IrDA規格バージョン1.0システムでは、9600 bpsの転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。IrDAでは、自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより、設定を変更してください。

高速オンチップオシレータ（ $f_{IH} = 24/12/6/3$ MHz）選択時、以下のボーレートを設定可能です。

- 115.2 kbps/57.6 kbps/38.4 kbps/19.2 kbps/9600 bps/2400 bps

図20-1にIrDAとSAUの連携イメージのブロック図を示します。

図20-1 IrDAとSAUの連携イメージのブロック図

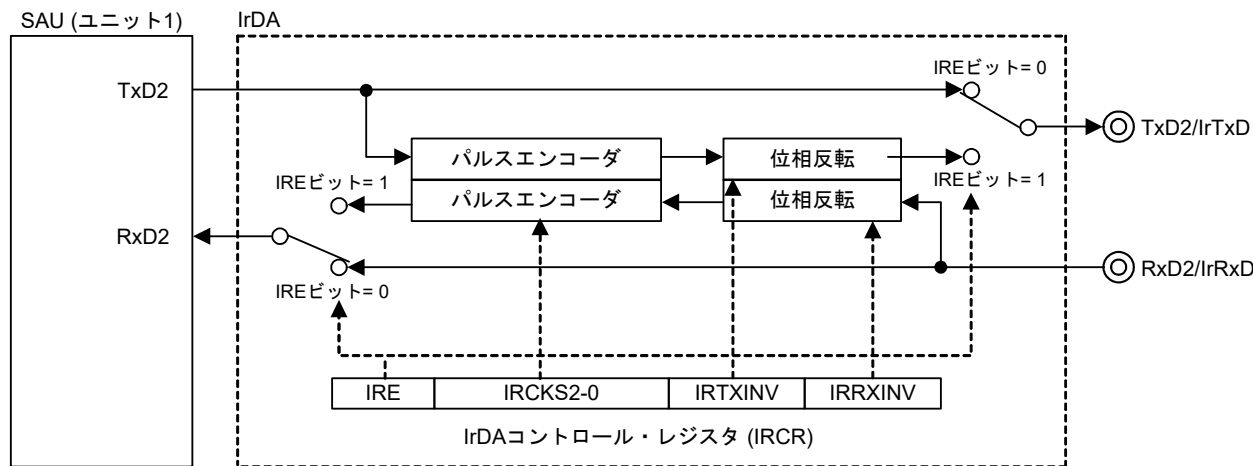


表20-1 IrDAの端子構成

端子名	入出力	機能
IrTxD	出力	送信データ出力端子
IrRxD	入力	受信データ入力端子

20.2 レジスタの説明

表20-2にIrDAのレジスタ構成を示します。

表20-2 IrDAのレジスタ構成

項 目	構 成
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	IrDAコントロール・レジスタ (IRCR)

20.2.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

IrDAを使用するときは、必ずビット6 (IRDAEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	IRDAEN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IRDAEN	IrDAの入カクロック供給の制御
0	入カクロック供給停止 ・IrDAで使用するSFRへのライト不可 ・IrDAはリセット状態
1	入カクロック供給 ・IrDAで使用するSFRへのリード／ライト可

注意1. IrDAの設定をする際には、必ず最初にIRDAEN = 1の設定を行ってください。

IRDAEN = 0の場合は、IrDAの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

2. ビット1には必ず0を設定してください。

20.2.2 IrDAコントロール・レジスタ (IRCR)

IrDA機能を制御するレジスタです。受信データ、送信データの極性切り替え、IrDAのクロックの選択、シリアル入出力端子機能（通常のシリアル機能／IrDA機能）の切り替えを選択します。

IRCRレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-3 IrDAコントロール・レジスタ (IRCR) のフォーマット

アドレス : F03A0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IRCR	IRE	IRCKS2	IRCKS1	IRCKS0	IRTXINV	IRRXINV	0	0

IRE	IrDAイネーブル
0	シリアル入出力端子は、通常のシリアル機能として動作
1	シリアル入出力端子は、IrDA機能として動作

IRCKS2	IRCKS1	IRCKS0	IrDAクロックセレクト
0	0	0	$B \times 3/16$ (B = ビットレート)
0	0	1	$f_{CLK}/2$
0	1	0	$f_{CLK}/4$
0	1	1	$f_{CLK}/8$
1	0	0	$f_{CLK}/16$
1	0	1	$f_{CLK}/32$
1	1	0	$f_{CLK}/64$
1	1	1	設定禁止

IRTXINV	IrTxDデータ極性切り替え
0	送信データをそのままIrTxD出力
1	送信データを反転してIrTxD出力

IRRXINV	IrRxDデータ極性切り替え
0	IrRxD入力をそのまま受信データとして使用
1	IrRxD入力を反転して受信データとして使用

注意1. ビット1, 0には必ず0を設定してください。

2. IRCKS[2:0], IRTXINV, IRRXINVは、IREビットが0の時のみ設定可能です。

20.3 動作説明

20.3.1 IrDA通信操作手順

(1) IrDA通信 初期設定フロー

IrDA初期設定は、以下の手順で行ってください。

1. PER0レジスタのIRDAENビットに1を設定します。
2. IRCRレジスタを設定します。
3. SAU関連レジスタ（UARTモード設定の手順を参照）を設定します。

(2) IrDA通信停止フロー

1. ポート・レジスタとポート・モード・レジスタの設定で、IrDA通信停止後のIrTxD端子の状態を設定します。

備考 手順3でIrDAリセット時にIrTxD端子は通常のシリアル・インタフェースUARTのデータ出力に切り替わるため、出力状態が変化する場合があります。

- ・ IrTxD端子からロウ・レベルを出力する場合

ポート・レジスタに0を設定します。本設定の直後にIrTxD端子はロウ・レベルに固定されます。

- ・ IrTxD端子からハイ・レベルを出力する場合

ポート・レジスタに1を設定します。本設定により、手順3 IrDAリセット直後、IrTxD端子はハイ・レベルに固定されます。

- ・ IrTxD端子をHi-Z状態に設定する場合

ポート・モード・レジスタに1を設定します。本設定の直後にIrTxD端子はHi-Z状態となります。

2. STmレジスタ（SAU関連レジスタ）のSTm0ビットおよびSTm1ビットに1を設定（SAUのチャンネル0、チャンネル1動作停止）します。
3. PER0レジスタのIRDAENビットに0を設定し、IrDAをリセットします。

上記手順以外でSTmレジスタのSTm0ビットおよびSTm1ビットに1を設定、またはIrDAのIREビットに0を設定しないでください。

(3) IrDAフレーミング・エラー発生時の手順

IrDA通信中にフレーミング・エラーが発生した場合、後続のデータを受信可能な状態にするため、以下の手順が必要です。

1. SAU STmレジスタのSTm1ビットに1を設定（SAU CH1動作停止）
2. SAU SSmレジスタのSSm1ビットに1を設定（SAU CH1動作開始）

備考 m : ユニット番号 (m = 0, 1)

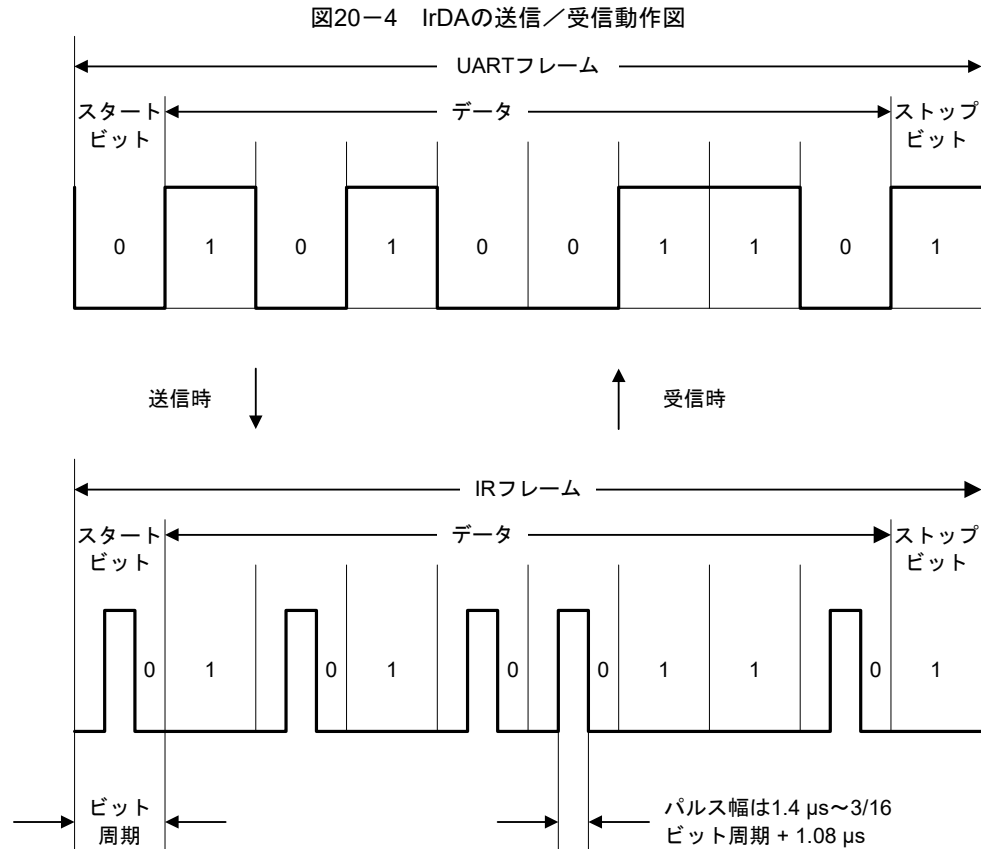
SAUフレーミング・エラー処理については、SAUの章も参照してください。

20.3.2 送信

送信時には、SAUからの出力信号(UARTフレーム)はIrDAによりIRフレームに変換されます(図20-4参照)。

IRTXINVビットが0でシリアルデータが0のとき、ビットレート(1ビット幅の期間)の3/16のハイ・パルスが出力されます(初期値)。なお、ハイ・パルス幅は、IRCKS2-IRCKS0ビットの設定値により変化させることもできます。規格では、ハイ・パルス幅は最小1.41 μ s、最大 $(3/16 + 2.5\%) \times$ ビットレート、または $(3/16 \times$ ビットレート) + 1.08 μ sと定められています。

CPU/周辺ハードウェア・クロック(f_{CLK})が20 MHzのとき、1.41 μ s以上で最大のハイ・パルス幅としては1.6 μ sが設定可能です。また、シリアルデータが1のときは、パルスは出力されません。



20.3.3 受信

受信時には、IRフレームのデータはIrDAによりUARTフレームに変換され、SAUに入力されます。IRRXINVビットが0で、ハイ・パルスが検出されたときにロウ・データを出力し、1ビット期間中にパルスがない場合にはハイ・データを出力します。最小パルス幅の1.41 μ sより短いパルスは認識されませんので注意してください。

20.3.4 ハイ・パルス幅の選択

送信時にビットレート \times 3/16よりパルス幅を短くする場合に、適用可能なIRCKS2-IRCKS0ビットの設定（最小パルス幅）と設定時のハイ・パルス幅を表20-3に示します。

表20-3 IRCKS2-IRCKS0ビットの設定値

f _{CLK} [MHz]	項目	<上段>ビットレート [kbps]					
		<下段>ビットレート \times 3/16 [μ s]					
		2.4	9.6	19.2	38.4	57.6	115.2
		78.13	19.53	9.77	4.87	3.26	1.63
1	IRCKS2-IRCKS0	001	001	001	—注1	—注1	—注1
	ハイパルス幅[μ s]	2.00	2.00	2.00	—注1	—注1	—注1
2	IRCKS2-IRCKS0	010	010	010	010	010	—注1
	ハイパルス幅[μ s]	2.00	2.00	2.00	2.00	2.00	—注1
3	IRCKS2-IRCKS0	011	011	011	011	011	—注1
	ハイパルス幅[μ s]	2.67	2.67	2.67	2.67	2.67	—注1
4	IRCKS2-IRCKS0	011	011	011	011	011	000注2
	ハイパルス幅[μ s]	2.00	2.00	2.00	2.00	2.00	1.50
6	IRCKS2-IRCKS0	100	100	100	100	100	000注2
	ハイパルス幅[μ s]	2.67	2.67	2.67	2.67	2.67	1.50
8	IRCKS2-IRCKS0	100	100	100	100	100	000注2
	ハイパルス幅[μ s]	2.00	2.00	2.00	2.00	2.00	1.50
12	IRCKS2-IRCKS0	101	101	101	101	101	000注2
	ハイパルス幅[μ s]	2.67	2.67	2.67	2.67	2.67	1.50
16	IRCKS2-IRCKS0	101	101	101	101	101	000注2
	ハイパルス幅[μ s]	2.00	2.00	2.00	2.00	2.00	1.50
24	IRCKS2-IRCKS0	110	110	110	110	110	000注2
	ハイパルス幅[μ s]	2.67	2.67	2.67	2.67	2.67	1.50

注1. “—”の意味は、通信Specを満たせないことです。

2. ビットレート \times 3/16よりパルス幅を小さくすることはできません。

20.4 IrDA使用上の注意事項

- (1) IrDA機能を使用してIrRxD受信によるSNOOZE遷移はできません。
- (2) 周辺イネーブルレジスタにより、IrDAの動作クロックの供給禁止/許可を設定することができます。初期状態では、クロック供給が禁止状態であるため、レジスタへのアクセスができません。レジスタ設定の前に、周辺イネーブルレジスタによりIrDAの動作クロックを供給許可状態にしてください。
- (3) HALTモード時は、IrDA機能は動作を継続します。
- (4) IrDA通信中にSAUの初期化機能（SSビット= 1）は使用禁止です。
- (5) IRCRレジスタのIRRXINVビット、IRTXINVビット、及びIRCKS[2:0]ビットは、IREビットが0の時のみ設定可能です。

第21章 LCDコントローラ／ドライバ

RL78/I1BのLCD表示機能端子は製品ごとに搭載する数が異なります。次の表に製品ごとのLCD表示機能端子数を示します。

表21-1 製品ごとのLCD表示機能端子

項 目		RL78/I1B															
		80ピン (R5F10MMx (x = G, E))								100ピン (R5F10MPx (x = G, E))							
LCDコントローラ／ドライバ		セグメント信号出力 : 34 (30) 注 コモン信号出力 : 8								セグメント信号出力 : 42 (38) 注 コモン信号出力 : 8							
兼用I/Oポート		bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
セグメント	P0	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32	—	—	—	—	—	—	—	—	—	—
	P1	SEG 11	SEG 10	SEG 9	SEG 8	SEG 7	SEG 6	SEG 5	SEG 4	SEG 11	SEG 10	SEG 9	SEG 8	SEG 7	SEG 6	SEG 5	SEG 4
	P3	—	—	—	—	SEG 27	SEG 26	SEG 25	SEG 24	SEG 31	SEG 30	SEG 29	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24
	P5	—	—	—	—	—	—	—	—	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32
	P7	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16	SEG 23	SEG 22	SEG 21	SEG 20	SEG 19	SEG 18	SEG 17	SEG 16
	P8	—	—	—	—	SEG 15	SEG 14	SEG 13	SEG 12	—	—	SEG 41	SEG 40	SEG 15	SEG 14	SEG 13	SEG 12
COM信号出力端子とI/Oポートの兼用関係		—															
COM信号出力端子と他のLCD表示機能端子の兼用関係	COM4	SEG0								SEG0							
	COM5	SEG1								SEG1							
	COM6	SEG2								SEG2							
	COM7	SEG3								SEG3							

注 () 内は8 com使用時の信号出力本数です。

21.1 LCDコントローラ／ドライバの機能

RL78/I1Bに内蔵しているLCDコントローラ／ドライバの機能を次に示します。

- (1) A波形、B波形の選択が可能
- (2) LCD駆動電圧生成回路は、内部昇圧／容量分割／外部抵抗分割の切り替えが可能
- (3) 表示データ・レジスタの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (4) 昇圧回路動作時に生成する基準電圧を16段階から選択可能（コントラスト調整）
- (5) LCD点滅が可能

各表示モードにおける表示可能な最大画素数を表21-2に示します。

表21-2 最大表示画素数（1/2）

(a) 80ピン製品

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割	—	スタティック	34 (34セグメント×1コモン)
		1/2	2	68 (34セグメント×2コモン)
			3	102 (34セグメント×3コモン)
		1/3	3	136 (34セグメント×4コモン)
			4	
	1/4	8	240 (30セグメント×8コモン)	
	内部昇圧	1/3	3	102 (34セグメント×3コモン)
			4	136 (34セグメント×4コモン)
		1/4	6	192 (32セグメント×6コモン)
			8	240 (30セグメント×8コモン)
容量分割	1/3	3	102 (34セグメント×3コモン)	
		4	136 (34セグメント×4コモン)	
B波形	外部抵抗分割	1/3	4	240 (30セグメント×8コモン)
	内部昇圧	1/4	8	
	容量分割	1/3	4	136 (34セグメント×4コモン)

表21-2 最大表示画素数 (2/2)

(b) 100ピン製品

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割	—	スタティック	42 (42セグメント×1コモン)
		1/2	2	84 (42セグメント×2コモン)
			3	126 (42セグメント×3コモン)
		1/3	3	168 (42セグメント×4コモン)
			4	
		1/4	8	304 (38セグメント×8コモン)
	内部昇圧	1/3	3	126 (42セグメント×3コモン)
			4	168 (42セグメント×4コモン)
		1/4	6	240 (40セグメント×6コモン)
			8	304 (38セグメント×8コモン)
	容量分割	1/3	3	126 (42セグメント×3コモン)
			4	168 (42セグメント×4コモン)
B波形	外部抵抗分割,	1/3	4	304 (38セグメント×8コモン)
	内部昇圧	1/4	8	
	容量分割	1/3	4	168 (42セグメント×4コモン)

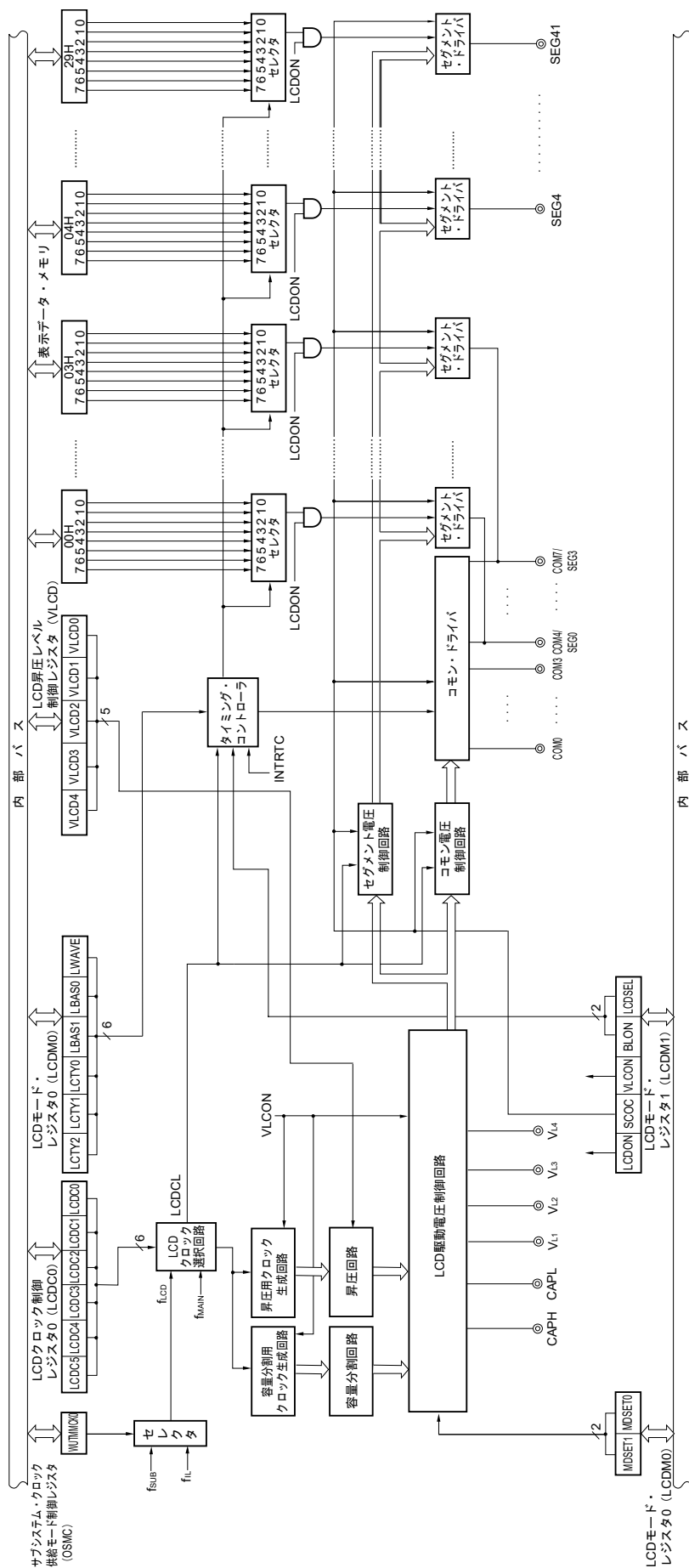
21.2 LCDコントローラ／ドライバの構成

LCDコントローラ／ドライバは、次のハードウェアで構成しています。

表21-3 LCDコントローラ／ドライバの構成

項 目	構 成
制御レジスタ	LCDモード・レジスタ0 (LCDM0) LCDモード・レジスタ1 (LCDM1) サブシステム・クロック供給モード制御レジスタ (OSMC) LCDクロック制御レジスタ0 (LCDC0) LCD昇圧レベル制御レジスタ (VLCD) LCD入力切り替え制御レジスタ (ISCLCD) LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5) ポート・モード・レジスタ0, 1, 3, 5, 7, 8 (PM0, PM1, PM3, PM5, PM7, PM8)

図21-1 LCDコントローラ/ドライバのブロック図



21.3 LCDコントローラ／ドライバを制御するレジスタ

LCDコントローラ／ドライバは、次の8種類のレジスタで制御します。

- ・ LCDモード・レジスタ0 (LCDM0)
- ・ LCDモード・レジスタ1 (LCDM1)
- ・ サブシステム・クロック供給モード制御レジスタ (OSMC)
- ・ LCDクロック制御レジスタ0 (LCDC0)
- ・ LCD昇圧レベル制御レジスタ (VLCD)
- ・ LCD入力切り替え制御レジスタ (ISCLCD)
- ・ LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5)
- ・ ポート・モード・レジスタ0, 1, 3, 5, 7, 8 (PM0, PM1, PM3, PM5, PM7, PM8)

21.3.1 LCDモード・レジスタ0 (LCDM0)

LCDの動作を設定するレジスタです。

LCDM0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-2 LCDモード・レジスタ0 (LCDM0) のフォーマット (1/2)

アドレス : FFF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDM0	MDSET1	MDSET0	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0

MDSET1	MDSET0	LCD駆動電圧生成回路の選択
0	0	外部抵抗分割方式
0	1	内部昇圧方式
1	0	容量分割方式
1	1	設定禁止

LWAVE	LCD表示波形の選択
0	A波形
1	B波形

LDTY2	LDTY1	LDTY0	LCD表示の時分割数選択
0	0	0	スタティック
0	0	1	2時分割
0	1	0	3時分割
0	1	1	4時分割
1	0	0	6時分割
1	0	1	8時分割
上記以外			設定禁止

図21-2 LCDモード・レジスタ0 (LCDM0) のフォーマット (2/2)

アドレス : FFF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDM0	MDSET1	MDSET0	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0

LBAS1	LBAS0	LCD表示のバイアス法選択
0	0	1/2バイアス法
0	1	1/3バイアス法
1	0	1/4バイアス法
1	1	設定禁止

注意1. LCDM1のSCOC = 1のときに、LCDM0の値を書き換えないでください。

- スタティックを選択した場合 (LDTY2-LDTY0ビット = 000B) , LBAS1, LBAS0ビットの設定は必ず初期値 (00B) にしてください。初期値以外の値を設定した場合の動作は保証しません。
- 表示波形, 時分割数, バイアス法の設定は表21-4に示す組み合わせのみサポートします。表21-4で示す組み合わせ以外は設定禁止です。

表21-4 表示波形／時分割数／バイアス法とフレーム周波数の組み合わせ

表示モード			設定値						駆動電圧生成方式		
表示波形	時分割数	バイアス法	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0	外部抵抗分割	内部昇圧	容量分割
A波形	8	1/4	0	1	0	1	1	0	○ (24~128 Hz)	○ (24~64 Hz)	×
A波形	6	1/4	0	1	0	0	1	0	×	○ (32~86 Hz)	×
A波形	4	1/3	0	0	1	1	0	1	○ (24~128 Hz)	○ (24~128 Hz)	○ (24~128 Hz)
A波形	3	1/3	0	0	1	0	0	1	○ (32~128 Hz)	○ (32~128 Hz)	○ (32~128 Hz)
A波形	3	1/2	0	0	1	0	0	0	○ (32~128 Hz)	×	×
A波形	2	1/2	0	0	0	1	0	0	○ (24~128 Hz)	×	×
A波形	スタティック		0	0	0	0	0	0	○ (24~128 Hz)	×	×
B波形	8	1/4	1	1	0	1	1	0	○ (24~128 Hz)	○ (24~64 Hz)	×
B波形	4	1/3	1	0	1	1	0	1	○ (24~128 Hz)	○ (24~128 Hz)	○ (24~128 Hz)

備考 ○ : 対応

× : 非対応

21.3.2 LCDモード・レジスタ1 (LCDM1)

表示動作の許可／禁止，昇圧回路もしくは容量分割回路の動作許可／停止，表示データ領域，低電圧モードを設定するレジスタです。

LCDM1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21-3 LCDモード・レジスタ1 (LCDM1) のフォーマット (1/2)

アドレス：FFF41H リセット時：00H R/W

略号	[7]	[6]	[5]	[4]	[3]	2	1	[0]
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM

SCOC	LCDON	LCD表示の許可／禁止	
		通常液晶波形 (A波形/B波形) 出力時	
0	0	セグメント端子/コモン端子にグランド・レベルを出力	
0	1		
1	0	表示オフ (セグメント出力はすべて非選択信号出力)	
1	1	表示オン	

VLCON ^{注1}	昇圧回路もしくは容量分割回路の動作許可／停止	
0	昇圧回路もしくは容量分割回路の動作停止	
1	昇圧回路もしくは容量分割回路の動作許可	

BLON ^{注2}	LCDSEL	表示データ領域の制御	
0	0	Aパターン領域 (LCD表示データ・レジスタの下位4ビット) のデータを表示	
0	1	Bパターン領域 (LCD表示データ・レジスタの上位4ビット) のデータを表示	
1	0	Aパターン領域とBパターン領域のデータを交互に表示 (リアルタイム・クロック2 (RTC2) の定周期割り込み (INTRTC) タイミングに対応した点滅表示)	
1	1		

注1. 外部抵抗分割モード時には設定禁止。

2. LCDソース・クロック (f_{LCD}) としてf_{IL}を選択する場合は，必ずBLONビット = 0にしてください。

(注意は次ページにあります。)

図21-3 LCDモード・レジスタ1 (LCDM1) のフォーマット (2/2)

アドレス : FFF41H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM

LCDVLM ^注	昇圧端子の初期値の切り替え制御
0	V _{DD} 電圧 \geq 2.7 Vの場合
1	V _{DD} 電圧 \leq 4.2 Vの場合

注 昇圧回路使用時に、V_{Lx}端子の初期状態を設定して効率的に昇圧を行うための機能です。

昇圧開始時のV_{DD}電圧が2.7 V以上の場合にはLCDVLMビット = 0、V_{DD}電圧が4.2 V以下の場合にはLCDVLMビット = 1としてください。

ただし、 $2.7\text{ V} \leq V_{DD} \leq 4.2\text{ V}$ では、LCDVLM = 0、LCDVLM = 1のいずれでも動作可能です。

- 注意1. 昇圧回路使用時にLCD表示を行わないときに消費電力を削減したい場合は、SCOC = 0, VLCON = 0を設定し、さらにMDSET1, MDSET0 = 00を設定してください。MDSET1, MDSET0 = 01の場合、内部の基準電圧生成部が動作するため電力を消費します。
2. 外部抵抗分割方式設定時 (LCDM0のMDSET1, MDSET0ビット = 00B) または容量分割方式設定時 (MDSET1, MDSET0ビット = 10B) は、LCDVLMに0を設定してください。
3. SCOC = 1のときVLCON, LCDVLMを書き換えしないでください。
4. 表示モードに8時分割数を選択した場合、BLONとLCDSELに0を設定してください。
5. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから (基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択 (LCDM0レジスタのMDSET1, MDSET0ビット = 01B) にしてから)、基準電圧セットアップ時間 (5 ms (MIN.)) をウェイトしたあとに、VLCONに1を設定してください。

備考 RTCE : リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のビット7
 RINTE : インターバル・タイマ・コントロール・レジスタ (ITMC) のビット15
 SCOC : LCDモード・レジスタ1 (LCDM1) のビット6
 VLCON : LCDモード・レジスタ1 (LCDM1) のビット5

21.3.3 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDコントローラ／ドライバ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDコントローラ／ドライバ、サブシステム・クロック周波数測定回路の動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-4 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表24-1、表24-2参照)
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDコントローラ／ドライバ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDコントローラ／ドライバの動作クロックの選択	クロック出力／ブザー出力制御回路のPCLBUZn端子の出力クロックの選択および8ビット・インターバル・タイマの動作クロックの選択	サブシステム・クロック周波数測定回路の動作
0	サブシステム・クロック (f _{SUB})	サブシステム・クロック (f _{SUB}) 選択許可	許可
1	低速オンチップ・オシレータ・クロック (f _L)	サブシステム・クロック (f _{SUB}) 選択禁止	禁止

注意1. サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択 (WUTMMCK0ビット = 0) にしてください。

2. WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。
3. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDコントローラ／ドライバの全ての機能が動作停止中のみ可能です。

21.3.4 LCDクロック制御レジスタ0 (LCDC0)

LCDソース・クロック，LCDクロックを設定するレジスタです。

LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21-5 LCDクロック制御レジスタ (LCDC0) のフォーマット

アドレス：FFF42H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDC0	0	0	LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00

LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00	LCDクロック (LCDCL)	
						WUTMMCK0 = 0	WUTMMCK0 = 1
0	0	0	0	0	1	$f_{SUB}/2^2$	$f_{IL}/2^2$
0	0	0	0	1	0	$f_{SUB}/2^3$	$f_{IL}/2^3$
0	0	0	0	1	1	$f_{SUB}/2^4$	$f_{IL}/2^4$
0	0	0	1	0	0	$f_{SUB}/2^5$	$f_{IL}/2^5$
0	0	0	1	0	1	$f_{SUB}/2^6$	$f_{IL}/2^6$
0	0	0	1	1	0	$f_{SUB}/2^7$	$f_{IL}/2^7$
0	0	0	1	1	1	$f_{SUB}/2^8$	$f_{IL}/2^8$
0	0	1	0	0	0	$f_{SUB}/2^9$	$f_{IL}/2^9$
0	0	1	0	0	1	$f_{SUB}/2^{10}$	
0	1	0	0	0	1	$f_{MAIN}/2^8$	
0	1	0	0	1	0	$f_{MAIN}/2^9$	
0	1	0	0	1	1	$f_{MAIN}/2^{10}$	
0	1	0	1	0	0	$f_{MAIN}/2^{11}$	
0	1	0	1	0	1	$f_{MAIN}/2^{12}$	
0	1	0	1	1	0	$f_{MAIN}/2^{13}$	
0	1	0	1	1	1	$f_{MAIN}/2^{14}$	
0	1	1	0	0	0	$f_{MAIN}/2^{15}$	
0	1	1	0	0	1	$f_{MAIN}/2^{16}$	
0	1	1	0	1	0	$f_{MAIN}/2^{17}$	
0	1	1	0	1	1	$f_{MAIN}/2^{18}$	
1	0	1	0	1	1	$f_{MAIN}/2^{19}$	
上記以外						設定禁止	

注意1. ビット6, 7には，必ず0を設定してください。

2. フレーム周波数は32~128 Hz (f_{IL} 選択時は24~128 Hz) の範囲内で設定してください。さらに，内部昇圧方式，容量分割方式に設定した場合，LCDクロック (LCDCL) は，512 Hz以下 (f_{IL} 選択時は235 Hz以下) に設定してください。

3. LCDM1レジスタのSCOCビット = 1のときLCDC0を設定しないでください。

備考 f_{MAIN} : メイン・システム・クロック周波数

f_{SUB} : サブシステム・クロック周波数

f_{IL} : 低速オンチップ・オシレータ・クロック周波数

21.3.5 LCD昇圧レベル制御レジスタ (VLCD)

昇圧回路動作時に生成する基準電圧を選択（コントラスト調整）するレジスタです。基準電圧は、16段階から選択することができます。

VLCDは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、04Hになります。

図21-6 LCD昇圧レベル制御レジスタ (VLCD) のフォーマット

アドレス：FFF43H リセット時：04H R/W

略号	7	6	5	4	3	2	1	0
VLCD	0	0	0	VLCD4	VLCD3	VLCD2	VLCD1	VLCD0

VLCD4	VLCD3	VLCD2	VLCD1	VLCD0	基準電圧選択 (コントラスト調整)	VL ₄ 電圧	
						1/3バイアス法時	1/4バイアス法時
0	0	1	0	0	1.00 V (デフォルト)	3.00 V	4.00 V
0	0	1	0	1	1.05 V	3.15 V	4.20 V
0	0	1	1	0	1.10 V	3.30 V	4.40 V
0	0	1	1	1	1.15 V	3.45 V	4.60 V
0	1	0	0	0	1.20 V	3.60 V	4.80 V
0	1	0	0	1	1.25 V	3.75 V	5.00 V
0	1	0	1	0	1.30 V	3.90 V	5.20 V
0	1	0	1	1	1.35 V	4.05 V	設定禁止
0	1	1	0	0	1.40 V	4.20 V	設定禁止
0	1	1	0	1	1.45 V	4.35 V	設定禁止
0	1	1	1	0	1.50 V	4.50 V	設定禁止
0	1	1	1	1	1.55 V	4.65 V	設定禁止
1	0	0	0	0	1.60 V	4.80 V	設定禁止
1	0	0	0	1	1.65 V	4.95 V	設定禁止
1	0	0	1	0	1.70 V	5.10 V	設定禁止
1	0	0	1	1	1.75 V	5.25 V	設定禁止
上記以外					設定禁止		

注意1. VLCDレジスタの設定は、昇圧回路動作時のみ有効です。

- ビット5-7には、必ず0を設定してください。
- VLCDレジスタの値を変更する場合は、必ず昇圧回路の動作を停止（VLCON = 0）してから行ってください。
- 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0ビット = 01B）にしてから）、基準電圧セットアップ時間（5 ms (MIN.)）をウェイトしたあとに、VLCONに1を設定してください。
- 外部抵抗分割方式または容量分割方式では、VLCDレジスタは初期値（04H）で使用してください。

21.3.6 LCD入力切り替え制御レジスタ (ISCLCD)

CAPL/P126, CAPH/P127, VL3/P125端子をLCD機能として動作するように設定を行うまでの期間, 貫通電流の進入を防ぐためにシュミット・トリガ・バッファを入力禁止にする必要があります。

ISCLCDレジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図21-7 LCD入力切り替え制御レジスタ (ISCLCD)

アドレス : F0308H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	VL3/P125端子のシュミット・トリガ・バッファの制御
0	入力無効
1	入力有効

ISCCAP	CAPL/P126, CAPH/P127端子のシュミット・トリガ・バッファの制御
0	入力無効
1	入力有効

注意1. ISCVL3ビット = 0の場合, 対応するポート制御レジスタは, 次のように設定してください。

PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0

2. ISCCAPビット = 0の場合, 対応するポート制御レジスタは, 次のように設定してください。

PU12レジスタのPU126ビット = 0, P12レジスタのP126ビット = 0

PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0

(1) VL3, CAPL, CAPH端子兼用ポートの動作

VL3/P125, CAPL/P126, CAPH/P127端子の機能は, LCD入力切り替え制御レジスタ (ISCLCD), LCDモード・レジスタ0 (LCDM0), ポート・モード・レジスタ12 (PM12) の設定で決定します。

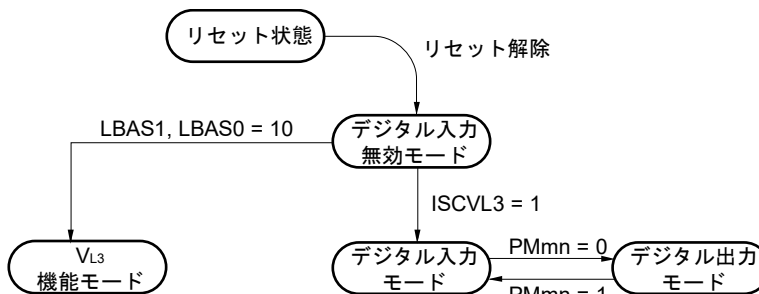
・ VL3/P125

表21-5 VL3/P125端子機能の設定

バイアス法設定 (LCDM0レジスタのLBAS1, LBAS0 ビットで設定)	ISCLCDレジスタの ISCVL3ビット	PM12レジスタの PM125ビット	端子機能	初期状態
1/4バイアス法以外 (LBAS1, LBAS0 = 00または 01)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
1/4バイアス法 (LBAS1, LBAS0 = 10)	0	1	VL3機能モード	—
上記以外			設定禁止	

V_{L3}/P125端子機能の状態遷移を次に示します。

図21-8 V_{L3}/P125端子機能の状態遷移図



注意 V_{L3}機能モードに設定する場合は、セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット = 0の期間）に設定してください。

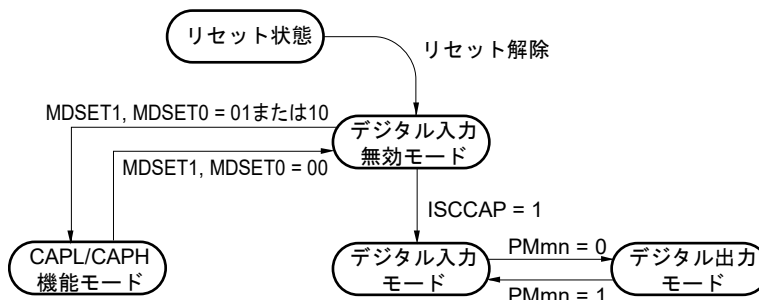
・CAPL/P126, CAPH/P127

表21-6 CAPL/P126, CAPH/P127端子機能の設定

LCD駆動電圧生成 (LCDM0レジスタのMDSET1, MDSET0ビット)	ISCLCDレジスタの ISCCAPビット	PM12レジスタの PM126, PM127ビット	端子機能	初期状態
外部抵抗分割 (MDSET1, MDSET0 = 00)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
内部昇圧または容量分割 (MDSET1, MDSET0 = 01または10)	0	1	CAPL/CAPH機能モード	—
上記以外			設定禁止	

CAPL/P126, CAPH/P127端子機能の状態遷移を次に示します。

図21-9 CAPL/P126, CAPH/P127端子機能の状態遷移図



注意 CAPL/CAPH機能モードに設定する場合は、セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット = 0の期間）に設定してください。

21.3.7 LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5)

P02-P07, P10-P17, P30-P37, P50-P57, P70-P77, P80-P85端子をポート（セグメント出力以外）/セグメント出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG5レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります（PFSEG0はF0H, PFSEG5は02H）。

備考 セグメント出力端子（SEGxx）とPFSEGレジスタ（PFSEGxxビット）の対応と、製品によるSEGxx端子の有無を表21-7 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ（PFSEGビット）に示します。

図21-10 LCDポート・ファンクション・レジスタ0-5のフォーマット

アドレス : F0300H	リセット時 : F0H	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0
アドレス : F0301H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08
アドレス : F0302H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16
アドレス : F0303H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31 ^注	PFSEG30 ^注	PFSEG29 ^注	PFSEG28 ^注	PFSEG27	PFSEG26	PFSEG25	PFSEG24
アドレス : F0304H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG4	PFSEG39 ^注	PFSEG38 ^注	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32
アドレス : F0305H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG5	0	0	0	0	0	0	PFSEG41 ^注	PFSEG40 ^注
PFSEGxx (xx=04-41)	Pmn端子のポート（セグメント出力以外）/セグメント出力の指定 (mn = 02-07, 10-17, 30-37, 50-57, 70-77, 80-85)							
0	ポート（セグメント出力以外）として使用							
1	セグメント出力として使用							

注 80ピン製品では必ず”1”を設定してください。

注意 セグメント出力として使用する（PFSEGxx = 1）場合には必ずPUmレジスタのPUmnビット = 0, POMmレジスタのPOMmnビット = 0, PIMmレジスタのPIMmnビット = 0に設定してください。

表21-7 各製品で搭載しているセグメント出力端子と対応するPFSEGREジスタ (PFSEGREビット)

PFSEGREジスタのビット名	対応するSEGxx端子	兼用するポート	100-pin	80-pin
PFSEGRE04	SEG4	P10	○	○
PFSEGRE05	SEG5	P11	○	○
PFSEGRE06	SEG6	P12	○	○
PFSEGRE07	SEG7	P13	○	○
PFSEGRE08	SEG8	P14	○	○
PFSEGRE09	SEG9	P15	○	○
PFSEGRE10	SEG10	P16	○	○
PFSEGRE11	SEG11	P17	○	○
PFSEGRE12	SEG12	P80	○	○
PFSEGRE13	SEG13	P81	○	○
PFSEGRE14	SEG14	P82	○	○
PFSEGRE15	SEG15	P83	○	○
PFSEGRE16	SEG16	P70	○	○
PFSEGRE17	SEG17	P71	○	○
PFSEGRE18	SEG18	P72	○	○
PFSEGRE19	SEG19	P73	○	○
PFSEGRE20	SEG20	P74	○	○
PFSEGRE21	SEG21	P75	○	○
PFSEGRE22	SEG22	P76	○	○
PFSEGRE23	SEG23	P77	○	○
PFSEGRE24	SEG24	P30	○	○
PFSEGRE25	SEG25	P31	○	○
PFSEGRE26	SEG26	P32	○	○
PFSEGRE27	SEG27	P33	○	○
PFSEGRE28	SEG28	P34	○	—
PFSEGRE29	SEG29	P35	○	—
PFSEGRE30	SEG30	P36	○	—
PFSEGRE31	SEG31	P37	○	—
PFSEGRE32	SEG32	P50	○	—
		P02	—	○
PFSEGRE33	SEG33	P51	○	—
		P03	—	○
PFSEGRE34	SEG34	P52	○	—
		P04	—	○
PFSEGRE35	SEG35	P53	○	—
		P05	—	○
PFSEGRE36	SEG36	P54	○	—
		P06	—	○
PFSEGRE37	SEG37	P55	○	—
		P07	—	○
PFSEGRE38	SEG38	P56	○	—
PFSEGRE39	SEG39	P57	○	—
PFSEGRE40	SEG40	P84	○	—
PFSEGRE41	SEG41	P85	○	—

(1) SEGxx端子兼用ポートの動作

セグメント出力端子 (SEGxx) の機能は, ポート・モード・レジスタ (PMxx), LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5) の設定で決定します。

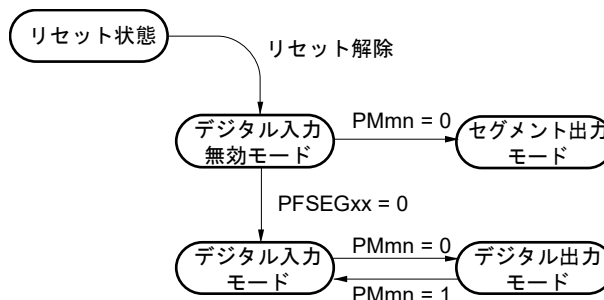
- ・ P02-P07, P10-P17, P30-P37, P50-P57, P70-P77, P80-P85
(アナログ入力端子 (ANlxx) を兼用していないポート)

表21-8 SEGxx/ポート端子機能の設定

PFSEG0-PFSEG5レジスタの PFSEGxxビット	PMxxレジスタの PMxxビット	端子機能	初期状態
1	1	デジタル入力無効モード	○
0	0	デジタル出力モード	—
0	1	デジタル入力モード	—
1	0	セグメント出力モード	—

SEGxx/Pxx端子機能の状態遷移を次に示します。

図21-11 SEGxx/Pxx端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は, セグメント出力開始前 (LCDモード・レジスタ 1 (LCDM1) のSCOCビット = 0の期間) に設定してください。

21.3.8 ポート・モード・レジスタ0, 1, 3, 5, 7, 8 (PM0, PM1, PM3, PM5, PM7, PM8)

ポート0, 1, 3, 5, 7, 8の入力／出力を1ビット単位で設定するレジスタです。

セグメント出力端子を兼用するポート (P10/SEG4など) をセグメント出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

例) P10/SEG4をセグメント出力として使用する場合

ポート・モード・レジスタ1のPM10ビットを0に設定

ポート・レジスタ1のP10ビットを0に設定

PM0, PM1, PM3, PM5, PM7, PM8レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図21-12 ポート・モード・レジスタ0, 1, 3, 5, 7, 8 (PM0, PM1, PM3, PM5, PM7, PM8) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM3	1	1	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	1	1	1	1	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3, 5, 7, 8; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、80ピン製品のポート・モード・レジスタ0, 1, 3, 5, 7, 8のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、表4-3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxxレジスタとそのビットを参照してください。

21.4 LCD表示データ・レジスタ

LCD表示データ・レジスタは、表21-9のようにマッピングしています。LCD表示データ・レジスタの内容を変更することでLCD表示内容を変更できます。

表21-9 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (1/4)

(a) 6時分割, 8時分割以外 (スタティック, 2時分割, 3時分割, 4時分割) (1/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG0	F0400H	SEG0 (Bパターン領域)				SEG0 (Aパターン領域)				○	○
SEG1	F0401H	SEG1 (Bパターン領域)				SEG1 (Aパターン領域)				○	○
SEG2	F0402H	SEG2 (Bパターン領域)				SEG2 (Aパターン領域)				○	○
SEG3	F0403H	SEG3 (Bパターン領域)				SEG3 (Aパターン領域)				○	○
SEG4	F0404H	SEG4 (Bパターン領域)				SEG4 (Aパターン領域)				○	○
SEG5	F0405H	SEG5 (Bパターン領域)				SEG5 (Aパターン領域)				○	○
SEG6	F0406H	SEG6 (Bパターン領域)				SEG6 (Aパターン領域)				○	○
SEG7	F0407H	SEG7 (Bパターン領域)				SEG7 (Aパターン領域)				○	○
SEG8	F0408H	SEG8 (Bパターン領域)				SEG8 (Aパターン領域)				○	○
SEG9	F0409H	SEG9 (Bパターン領域)				SEG9 (Aパターン領域)				○	○
SEG10	F040AH	SEG10 (Bパターン領域)				SEG10 (Aパターン領域)				○	○
SEG11	F040BH	SEG11 (Bパターン領域)				SEG11 (Aパターン領域)				○	○
SEG12	F040CH	SEG12 (Bパターン領域)				SEG12 (Aパターン領域)				○	○
SEG13	F040DH	SEG13 (Bパターン領域)				SEG13 (Aパターン領域)				○	○
SEG14	F040EH	SEG14 (Bパターン領域)				SEG14 (Aパターン領域)				○	○
SEG15	F040FH	SEG15 (Bパターン領域)				SEG15 (Aパターン領域)				○	○
SEG16	F0410H	SEG16 (Bパターン領域)				SEG16 (Aパターン領域)				○	○
SEG17	F0411H	SEG17 (Bパターン領域)				SEG17 (Aパターン領域)				○	○
SEG18	F0412H	SEG18 (Bパターン領域)				SEG18 (Aパターン領域)				○	○
SEG19	F0413H	SEG19 (Bパターン領域)				SEG19 (Aパターン領域)				○	○
SEG20	F0414H	SEG20 (Bパターン領域)				SEG20 (Aパターン領域)				○	○
SEG21	F0415H	SEG21 (Bパターン領域)				SEG21 (Aパターン領域)				○	○
SEG22	F0416H	SEG22 (Bパターン領域)				SEG22 (Aパターン領域)				○	○
SEG23	F0417H	SEG23 (Bパターン領域)				SEG23 (Aパターン領域)				○	○
SEG24	F0418H	SEG24 (Bパターン領域)				SEG24 (Aパターン領域)				○	○
SEG25	F0419H	SEG25 (Bパターン領域)				SEG25 (Aパターン領域)				○	○
SEG26	F041AH	SEG26 (Bパターン領域)				SEG26 (Aパターン領域)				○	○
SEG27	F041BH	SEG27 (Bパターン領域)				SEG27 (Aパターン領域)				○	○
SEG28	F041CH	SEG28 (Bパターン領域)				SEG28 (Aパターン領域)				○	—
SEG29	F041DH	SEG29 (Bパターン領域)				SEG29 (Aパターン領域)				○	—
SEG30	F041EH	SEG30 (Bパターン領域)				SEG30 (Aパターン領域)				○	—
SEG31	F041FH	SEG31 (Bパターン領域)				SEG31 (Aパターン領域)				○	—
SEG32	F0420H	SEG32 (Bパターン領域)				SEG32 (Aパターン領域)				○	○
SEG33	F0421H	SEG33 (Bパターン領域)				SEG33 (Aパターン領域)				○	○

表21-9 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (2/4)

(a) 6時分割, 8時分割以外 (スタティック, 2時分割, 3時分割, 4時分割) (2/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG34	F0422H	SEG34 (Bパターン領域)				SEG34 (Aパターン領域)				○	○
SEG35	F0423H	SEG35 (Bパターン領域)				SEG35 (Aパターン領域)				○	○
SEG36	F0424H	SEG36 (Bパターン領域)				SEG36 (Aパターン領域)				○	○
SEG37	F0425H	SEG37 (Bパターン領域)				SEG37 (Aパターン領域)				○	○
SEG38	F0426H	SEG38 (Bパターン領域)				SEG38 (Aパターン領域)				○	—
SEG39	F0427H	SEG39 (Bパターン領域)				SEG39 (Aパターン領域)				○	—
SEG40	F0428H	SEG40 (Bパターン領域)				SEG40 (Aパターン領域)				○	—
SEG41	F0429H	SEG41 (Bパターン領域)				SEG41 (Aパターン領域)				○	—

備考 ○ : サポートする — : サポートしない

表21-9 LCD表示データ・レジスタの内容とセグメント出力/コモン出力の関係 (3/4)

(b) 6時分割, 8時分割 (1/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG0	F0400H	SEG0 ^注								○	○
SEG1	F0401H	SEG1 ^注								○	○
SEG2	F0402H	SEG2 ^注								○	○
SEG3	F0403H	SEG3 ^注								○	○
SEG4	F0404H	SEG4								○	○
SEG5	F0405H	SEG5								○	○
SEG6	F0406H	SEG6								○	○
SEG7	F0407H	SEG7								○	○
SEG8	F0408H	SEG8								○	○
SEG9	F0409H	SEG9								○	○
SEG10	F040AH	SEG10								○	○
SEG11	F040BH	SEG11								○	○
SEG12	F040CH	SEG12								○	○
SEG13	F040DH	SEG13								○	○
SEG14	F040EH	SEG14								○	○
SEG15	F040FH	SEG15								○	○
SEG16	F0410H	SEG16								○	○
SEG17	F0411H	SEG17								○	○
SEG18	F0412H	SEG18								○	○
SEG19	F0413H	SEG19								○	○
SEG20	F0414H	SEG20								○	○
SEG21	F0415H	SEG21								○	○
SEG22	F0416H	SEG22								○	○
SEG23	F0417H	SEG23								○	○
SEG24	F0418H	SEG24								○	○
SEG25	F0419H	SEG25								○	○
SEG26	F041AH	SEG26								○	○
SEG27	F041BH	SEG27								○	○
SEG28	F041CH	SEG28								○	—
SEG29	F041DH	SEG29								○	—
SEG30	F041EH	SEG30								○	—
SEG31	F041FH	SEG31								○	—
SEG32	F0420H	SEG32								○	○
SEG33	F0421H	SEG33								○	○
SEG34	F0422H	SEG34								○	○
SEG35	F0423H	SEG35								○	○
SEG36	F0424H	SEG36								○	○
SEG37	F0425H	SEG37								○	○
SEG38	F0426H	SEG38								○	—
SEG39	F0427H	SEG39								○	—
SEG40	F0428H	SEG40								○	—

表21-9 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (4/4)

(b) 6時分割, 8時分割 (2/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG41	F0429H	SEG41								○	—

注 COM4-COM7端子とSEG0-SEG3端子は兼用しています。

備考 ○：サポートする —：サポートしない

スタティック, 2時分割, 3時分割, または4時分割で使用する場合, LCD表示データ・レジスタの各アドレスの下位4ビットはAパターン領域, 上位4ビットはBパターン領域となります。

Aパターン領域のデータとCOM信号の対応は, ビット0⇔COM0, ビット1⇔COM1, ビット2⇔COM2, ビット3⇔COM3となります。

Bパターン領域のデータとCOM信号の対応は, ビット4⇔COM0, ビット5⇔COM1, ビット6⇔COM2, ビット7⇔COM3となります。

BLON = LCDSEL = 0選択時にはAパターン領域のデータを, BLON = 0, LCDSEL=1選択時には, Bパターン領域のデータを, LCDパネルに表示します。

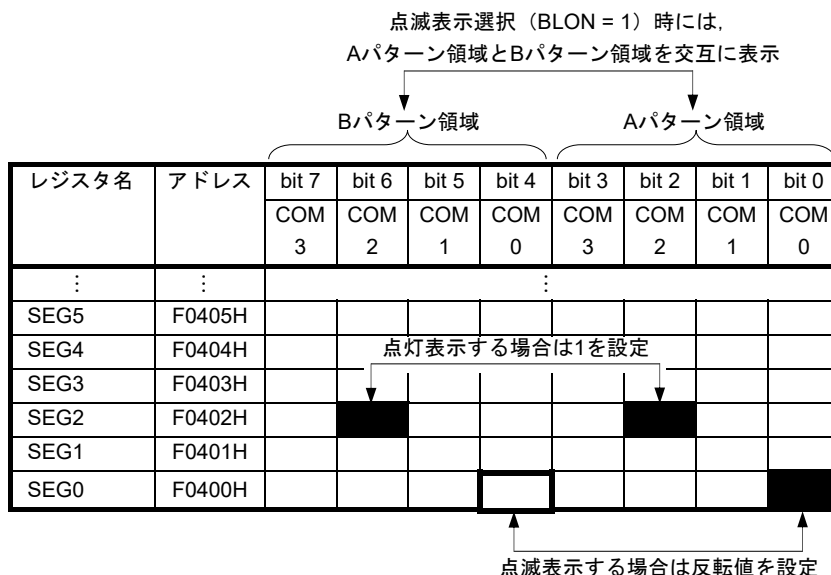
21.5 LCD表示レジスタの選択

RL78/I1Bでは、スタティック、2時分割、3時分割、または4時分割で使用する場合、BLONビットとLCDSELビットの設定により、LCD表示データ・レジスタを次の3種類から選択することができます。

- ・ Aパターン領域（LCD表示データ・レジスタの下位4ビット）のデータ表示
- ・ Bパターン領域（LCD表示データ・レジスタの上位4ビット）のデータ表示
- ・ Aパターン領域とBパターン領域のデータを交互に表示（リアルタイム・クロック2（RTC2）の定周期割り込みタイミングに対応した点滅表示）

注意 6時分割または8時分割使用時は、LCD表示データ・レジスタ（Aパターン、Bパターンまたは点滅表示）を選択することはできません。

図21-13 パターン切り替え表示時のLCD表示レジスタの設定例



21.5.1 Aパターン領域, Bパターン領域のデータ表示

BLON = LCDSEL = 0設定時では, Aパターン領域 (LCD表示データ・レジスタの下位4ビット) のデータがLCD表示レジスタとして出力されます。

BLON = 0, LCDSEL = 1設定時では, Bパターン領域 (LCD表示データ・レジスタの上位4ビット) のデータがLCD表示レジスタとして出力されます。

表示領域については, 21.4 LCD表示データ・レジスタを参照してください。

21.5.2 点滅表示 (Aパターン領域とBパターン領域のデータを交互に表示)

BLON = 1設定時では, リアルタイム・クロック2 (RTC2) の定周期割り込み (INTRTC) タイミングに対応して, Aパターン領域とBパターン領域のデータを交互に表示します。RTCの定周期割り込み (INTRTC, 0.5 s 設定のみ) タイミングの設定については, 第8章 リアルタイム・クロック2を参照してください。

LCDを点滅表示する場合, Aパターン領域のビットに対応するBパターン領域のビットに反転値を設定してください (ex. F0400Hのビット0に1を設定し, 点滅表示する場合は, F0400Hのビット4に0を設定)。また, LCDを点滅表示しない場合は, 同値を設定してください (ex. F0402Hのビット2に1を設定し, 点灯表示する場合は, F0402Hのビット6に1を設定)。

表示領域については, 21.4 LCD表示データ・レジスタを参照してください。

次に, 表示切り替えのタイミング動作を示します。

図21-14 Aパターン表示から点滅表示への切り替え動作

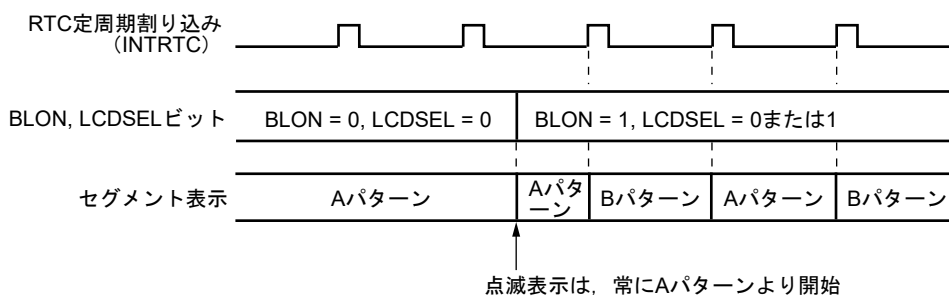


図21-15 点滅表示からAパターン表示への切り替え動作



21.6 LCDコントローラ／ドライバの設定

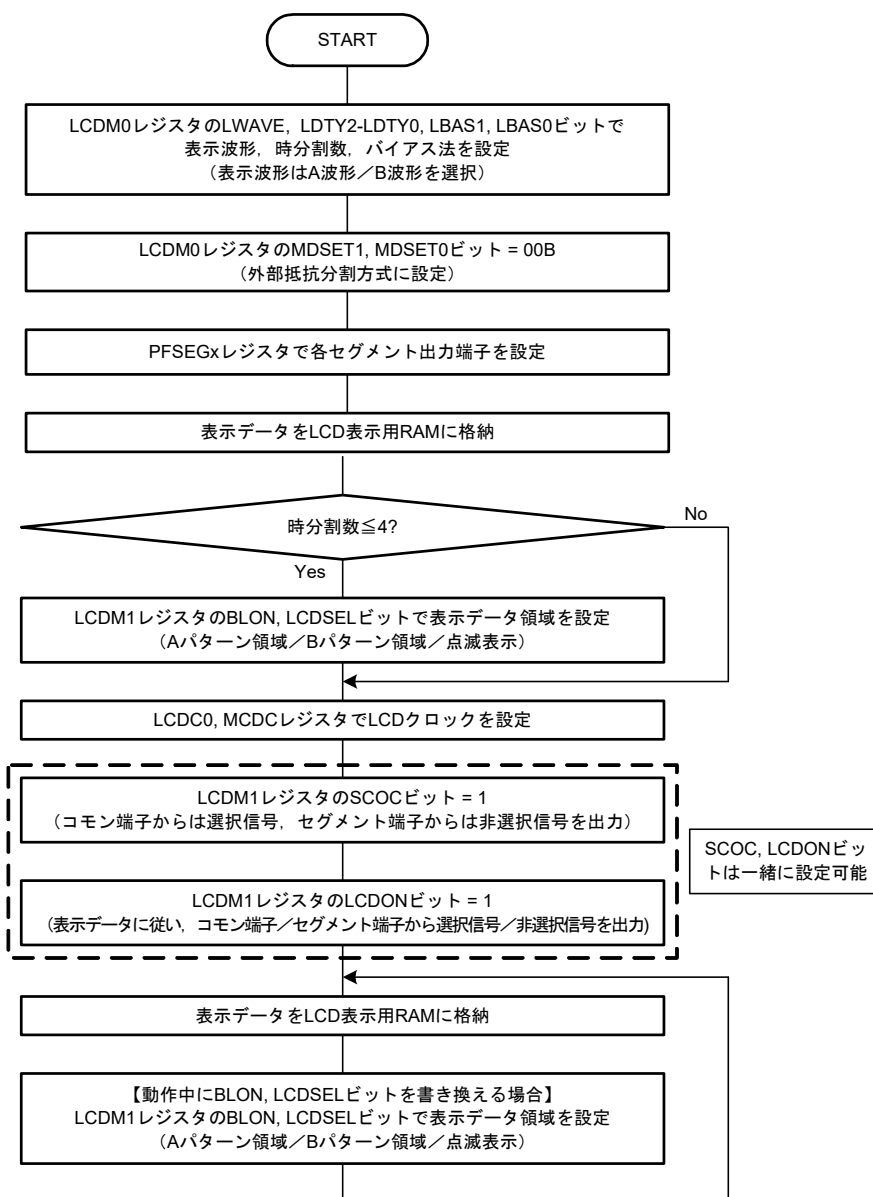
LCDコントローラ／ドライバの設定は、次のように行ってください。

注意1. LCDコントローラ／ドライバを動作させる場合は、必ず（1） - （3）の設定手順に従って動作させてください。設定手順を守らない場合の動作は保証しません。

2. （1） - （3）の設定手順は全てCPUの処理となっています。

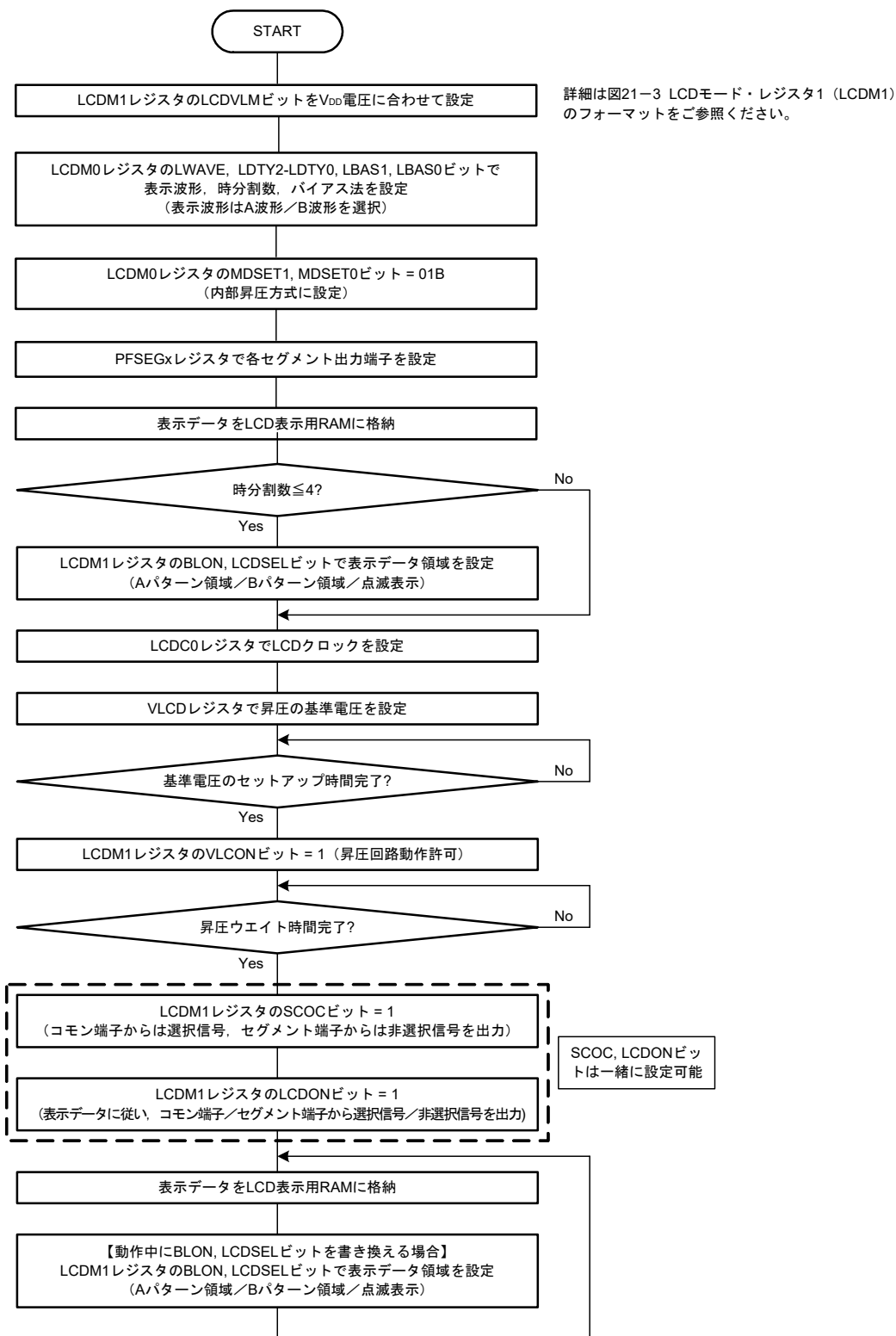
（1）外部抵抗分割方式

図21-16 外部抵抗分割方式の設定手順



(2) 内部昇圧方式

図21-17 内部昇圧方式の設定手順

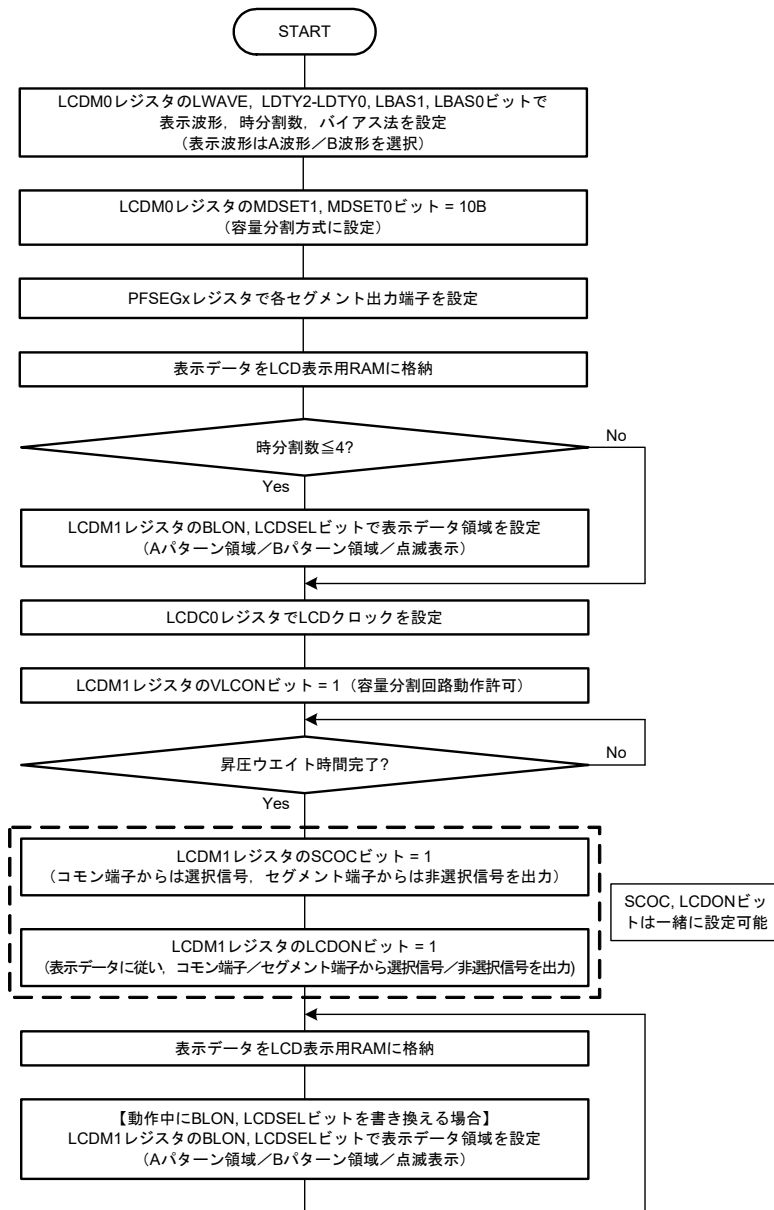


注意1. VLCDレジスタを変更しない場合でもセットアップ時間完了まで待ってください。

2. 基準電圧セットアップ時間, および昇圧ウエイト時間のスペックについては, 第37章 電気的特性を参照してください。

(3) 容量分割方式

図21-18 容量分割方式の設定手順



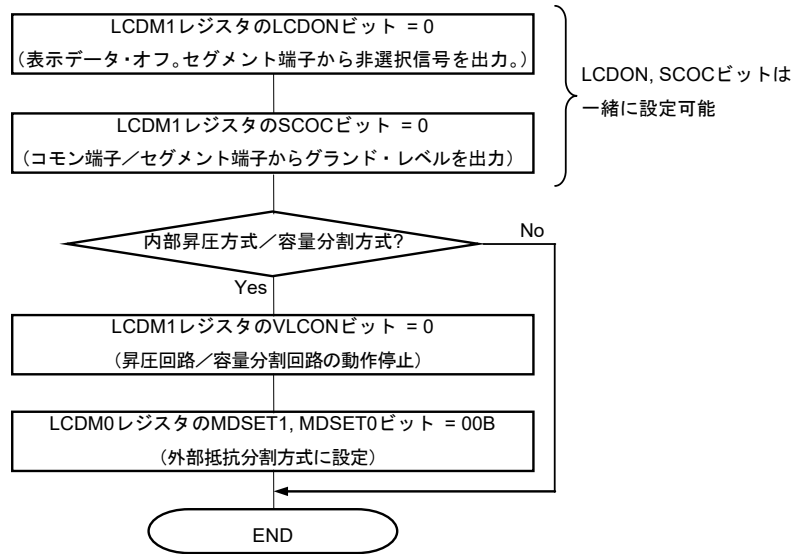
注意 昇圧ウエイト時間のスペックについては、第37章 電気的特性を参照してください。

21.7 動作停止手順

LCDパネル表示中に動作を停止させたい場合は、次に示すフロー・チャートの設定で行ってください。

LCDM1レジスタのLCDONビット = 0かつLCDM1レジスタのSCOCビット = 0に設定することで、LCDの動作は停止します。

図21-19 動作停止手順



注意 表示オン状態（LCDM1レジスタのSCOC, LCDONビット = 11B）で、昇圧／容量分割回路を停止すること（LCDM1レジスタのVLCONビット = 0）は禁止です。設定した場合の動作は保証しません。必ず表示オフ（LCDM1レジスタのSCOC, LCDONビット = 00B）にしてから昇圧／容量分割回路を停止（LCDM1レジスタのVLCONビット = 0）してください。

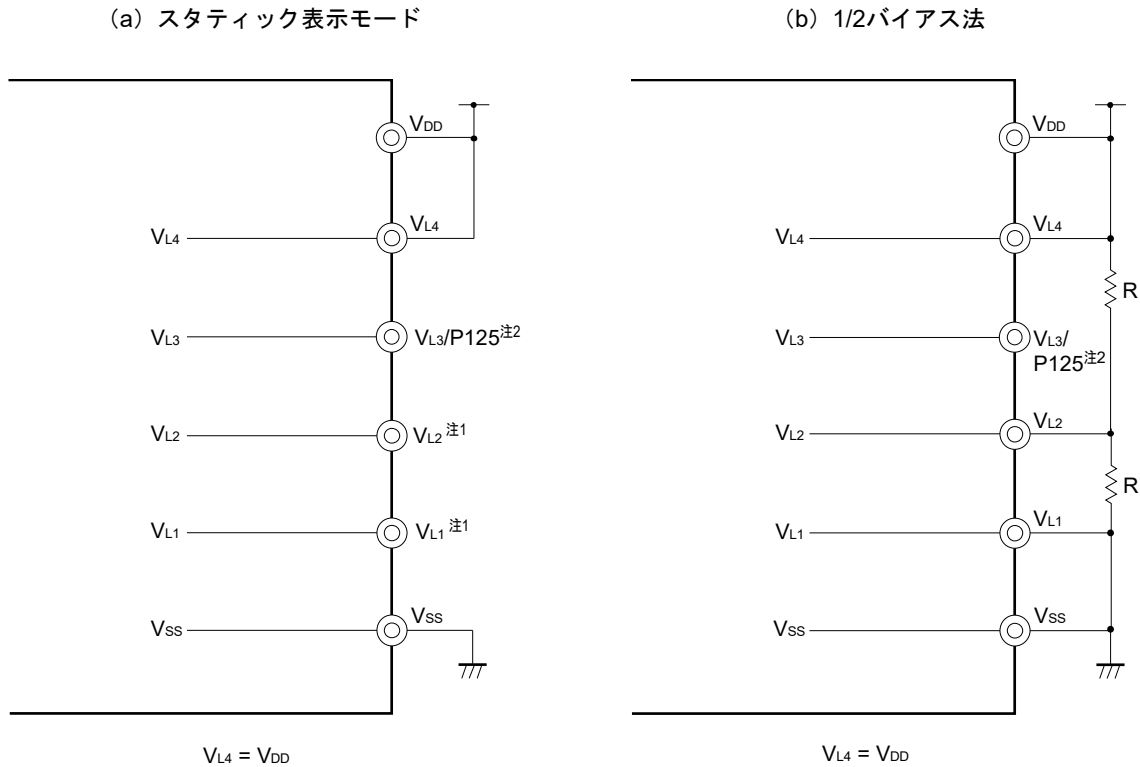
21.8 LCD駆動電圧 V_{L1} , V_{L2} , V_{L3} , V_{L4} の供給

LCD駆動用電源の生成方法として、外部抵抗分割方式、内部昇圧方式、容量分割方式の3種類を選択できます。

21.8.1 外部抵抗分割方式

図21-20に各バイアス法に応じたLCD駆動電圧の接続例を示します。

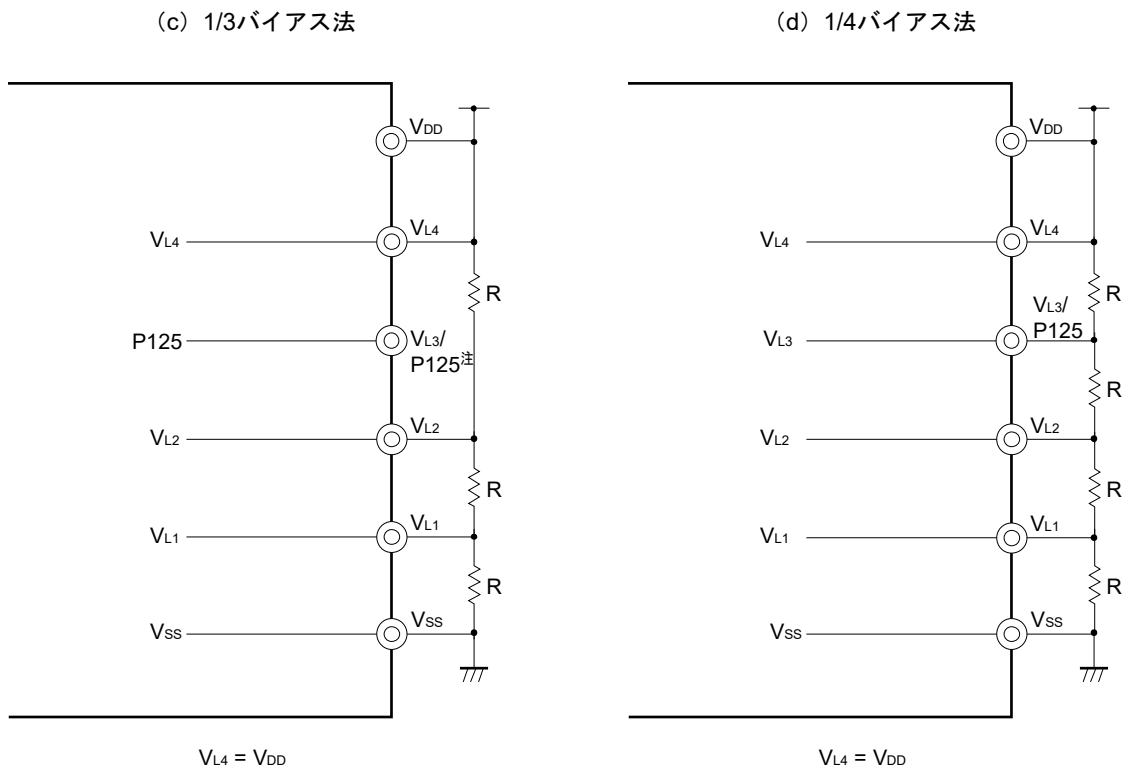
図21-20 LCD駆動用電源の接続例（外部抵抗分割方式）（1/2）



注1. V_{L1} , V_{L2} は、GNDもしくはオープンにしてください。

2. V_{L3} は、ポート（P125）として使用できます。

図21-20 LCD駆動用電源の接続例（外部抵抗分割方式）（2/2）



注 VL3は、ポート（P125）として使用できます。

注意 外部抵抗分割用抵抗Rの参考値は、10 kΩ～1 MΩです。また、VL1-VL4端子の電位を安定させる場合には、必要に応じて、VL1-VL4端子-GND間にコンデンサを接続してください。これらの参考値は、0.47 μF程度です。使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムに合わせた評価を十分に行った上で、値を調整して決定してください。

21.8.2 内部昇圧方式

RL78/I1Bは、LCD駆動電源用に内部昇圧回路を内蔵しています。内部昇圧回路と外付けのコンデンサ(0.47 μ F \pm 30%)により、LCD駆動電圧を生成します。内部昇圧方式は、1/3バイアス法または1/4バイアス法のみ使用できます。

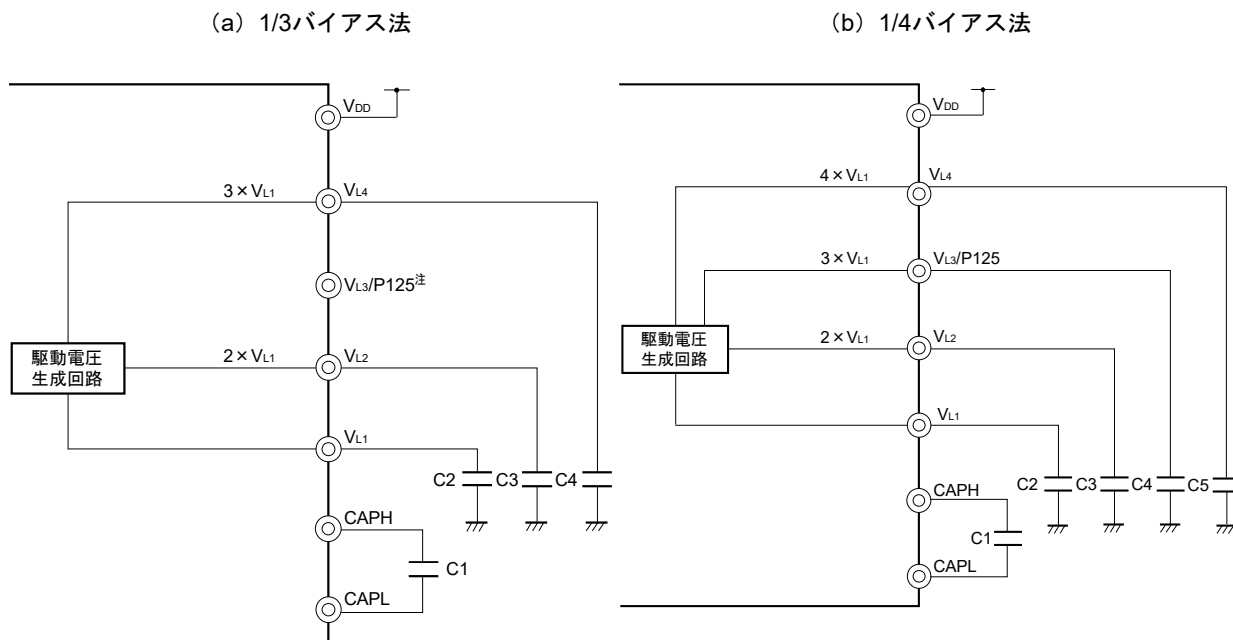
内部昇圧方式のLCD駆動電圧は、本体とは別の電源なので、 V_{DD} の変化に関わらず、一定の電圧を供給できます。

また、LCD昇圧制御レジスタ (VLCD) の設定により、コントラストを調整することができます。

表21-10 LCD駆動電圧 (内部昇圧方式)

表示モード	1/3バイアス法	1/4バイアス法
LCD駆動用電源端子		
V_{L4}	$3 \times V_{L1}$	$4 \times V_{L1}$
V_{L3}	—	$3 \times V_{L1}$
V_{L2}	$2 \times V_{L1}$	$2 \times V_{L1}$
V_{L1}	LCD基準電圧	LCD基準電圧

図21-21 LCD駆動用電源の接続例 (内部昇圧方式)



注 V_{L3} は、ポート (P125) として使用できます。

備考 なるべくリークの少ないコンデンサをご使用ください。

なお、C1は無極性コンデンサにしてください。

21.8.3 容量分割方式

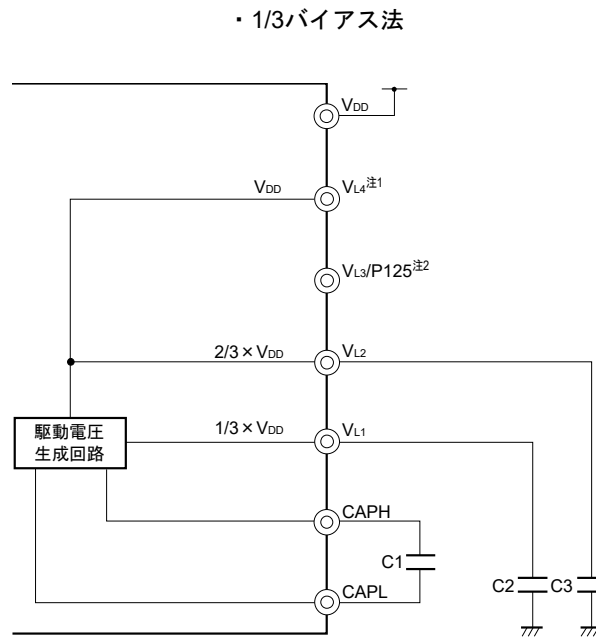
RL78/I1Bは、LCD駆動電源用に容量分割回路を内蔵しています。容量分割回路と外付けのコンデンサ(0.47 μ F \pm 30%)により、LCD駆動電圧を生成します。容量分割方式は、1/3バイアス法のみ使用できます。

外部抵抗分割方式とは異なり、容量分割方式では常時電流が流れないため、消費電流を低減することができます。

表21-11 LCD駆動電圧（容量分割方式）

LCD駆動用電源端子	表示モード	1/3バイアス法
V _{L4}		V _{DD}
V _{L3}		—
V _{L2}		$2/3 \times V_{L4}$
V _{L1}		$1/3 \times V_{L4}$

図21-22 LCD駆動用電源の接続例（容量分割方式）



注1. 内部昇圧方式に切り替えて使用する場合は、図21-21 LCD駆動用電源の接続例（内部昇圧方式）のようにコンデンサC4を接続してください。

2. V_{L3}は、ポート（P125）として使用できます。

備考 なるべくリークの少ないコンデンサをご使用ください。

なお、C1は無極性コンデンサにしてください。

21.9 コモン信号とセグメント信号

21.9.1 通常液晶波形の場合

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 V_{LCD} ）以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

(1) コモン信号

コモン信号は、設定する時分割数に応じて表21-12に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

なお、2時分割の場合のCOM2, COM3端子および3時分割の場合のCOM3端子は、オープンにして使用してください。

また、6時分割, 8時分割以外の場合のCOM4-COM7端子および6時分割の場合のCOM6, COM7端子は、オープンまたはセグメント端子として使用してください。

表21-12 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
スタティック	↑	↑	↑	↑	注	注	注	注
2時分割	↑	↑	オープン	オープン	注	注	注	注
3時分割	↑	↑	↑	オープン	注	注	注	注
4時分割	↑	↑	↑	↑	注	注	注	注
6時分割	↑	↑	↑	↑	↑	↑	注	注
8時分割	↑	↑	↑	↑	↑	↑	↑	↑

注 オープン, またはセグメント端子として使用してください。

(2) セグメント信号

セグメント信号は、LCD表示データ・レジスタ（21.4 LCD表示データ・レジスタ参照）に対応しています。

8時分割方式で使用する場合、各表示データ・レジスタのビット0からビット7が、COM0からCOM7に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（SEG4-SEG41）に出力されます。

8時分割方式以外で使用する場合、Aパターン領域では、各表示データ・レジスタのビット0からビット3がCOM0からCOM3に、Bパターン領域では、各表示データ・レジスタのビット4からビット7がCOM0からCOM3に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（SEG0-SEG41）に出力されます。

以上のことから、LCD表示データ・レジスタには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかが確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

備考 搭載するセグメント端子は、製品により異なります。

- ・ 80ピン製品： SEG0-SEG27, SEG32-SEG37
- ・ 100ピン製品： SEG0-SEG41

(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表21-13に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表21-13 LCD駆動電圧

(a) スタティック表示モード

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L4}/V_{SS}
V_{L4}/V_{SS}		$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2バイアス法

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L4}/V_{SS}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非選択信号レベル	V_{L2}	$-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$	$+\frac{1}{2}V_{LCD}/-\frac{1}{2}V_{LCD}$

(c) 1/3バイアス法 (A波形, B波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L2}/V_{L1}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$
非選択信号レベル	V_{L1}/V_{L2}	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$	$+\frac{1}{3}V_{LCD}/-\frac{1}{3}V_{LCD}$

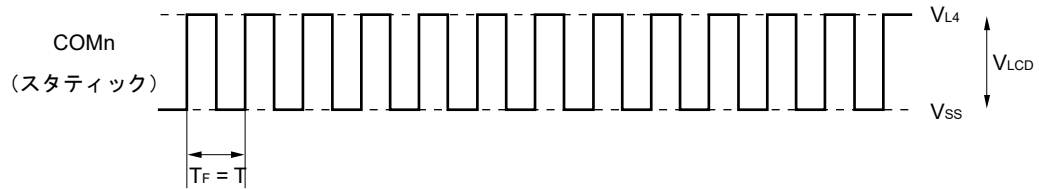
(d) 1/4バイアス法 (A波形, B波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L2}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$
非選択信号レベル	V_{L1}/V_{L3}	$-\frac{1}{4}V_{LCD}/+\frac{1}{4}V_{LCD}$	$+\frac{1}{4}V_{LCD}/-\frac{1}{4}V_{LCD}$

図21-23にコモン信号波形を、図21-24にコモン信号とセグメント信号の電圧と位相を示します。

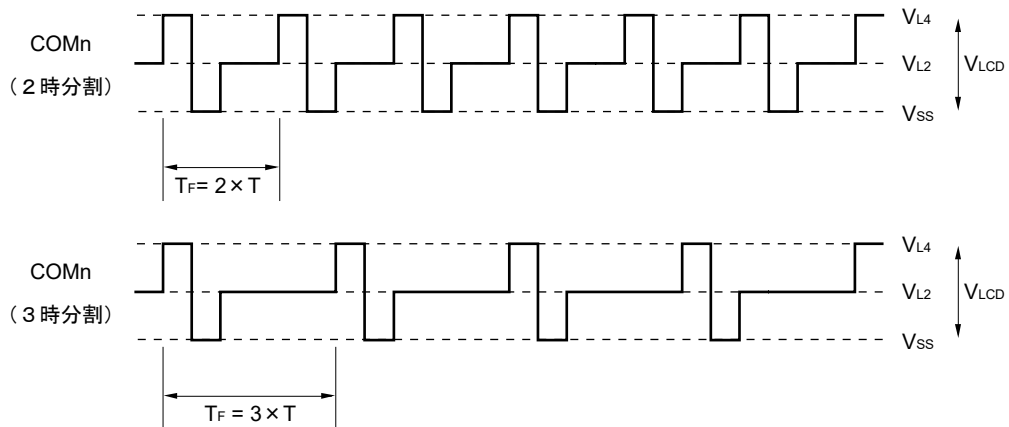
図21-23 コモン信号波形 (1/2)

(a) スタティック表示モード



T : LCDクロックの1周期分 T_F : フレーム周波数

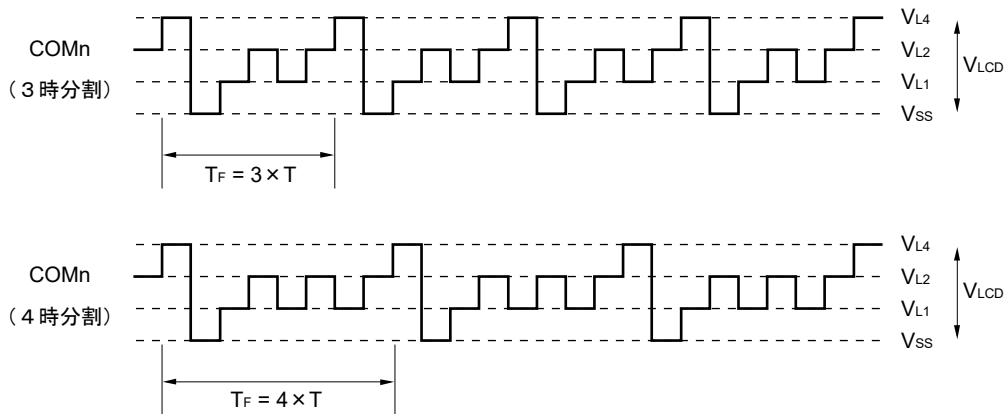
(b) 1/2バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

図21-23 コモン信号波形 (2/2)

(c) 1/3バイアス法



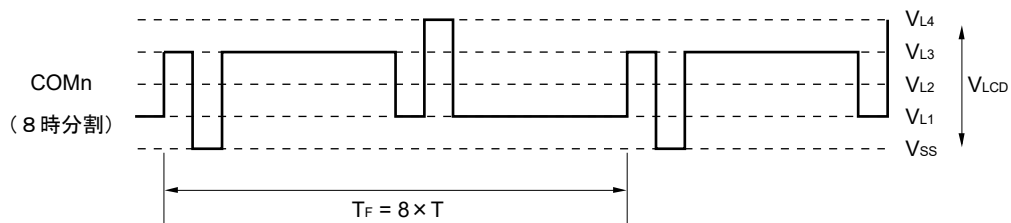
T : LCDクロックの1周期分 T_F : フレーム周波数

<LCDフレーム周波数の算出例 (4時分割使用時) >

LCDクロック : $32768/2^7 = 256 \text{ Hz}$ (LCDC0 = 06H設定時)

LCDフレーム周波数 : 64 Hz

(d) 1/4バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

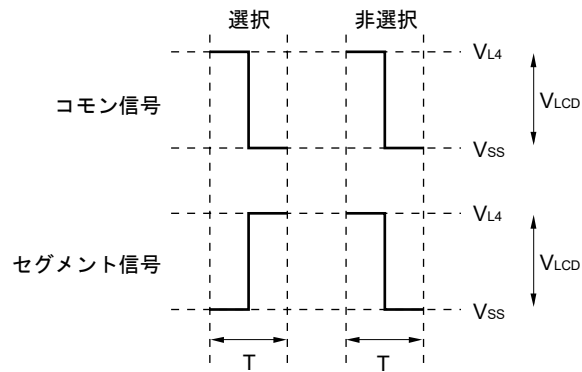
<LCDフレーム周波数の算出例 (8時分割使用時) >

LCDクロック : $32768/2^7 = 256 \text{ Hz}$ (LCDC0 = 06H設定時)

LCDフレーム周波数 : 32 Hz

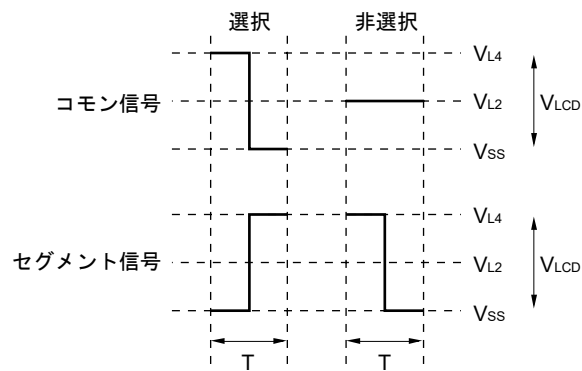
図21-24 コモン信号とセグメント信号の電圧と位相 (1/3)

(a) スタティック表示モード (A波形)



T : LCDクロックの1周期分

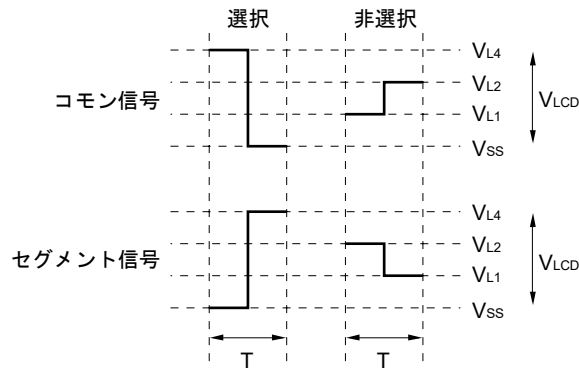
(b) 1/2バイアス法 (A波形)



T : LCDクロックの1周期分

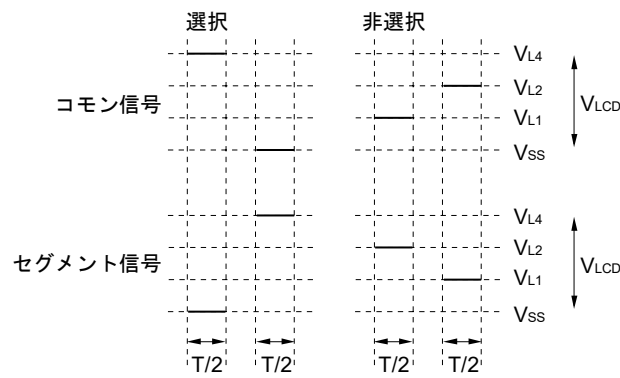
図21-24 コモン信号とセグメント信号の電圧と位相 (2/3)

(c) 1/3バイアス法 (A波形)



T : LCDクロックの1周期分

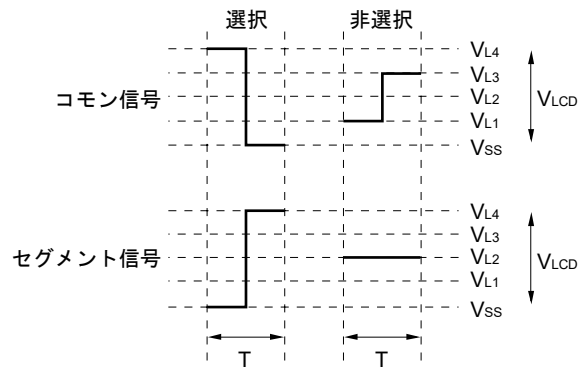
(d) 1/3バイアス法 (B波形)



T : LCDクロックの1周期分

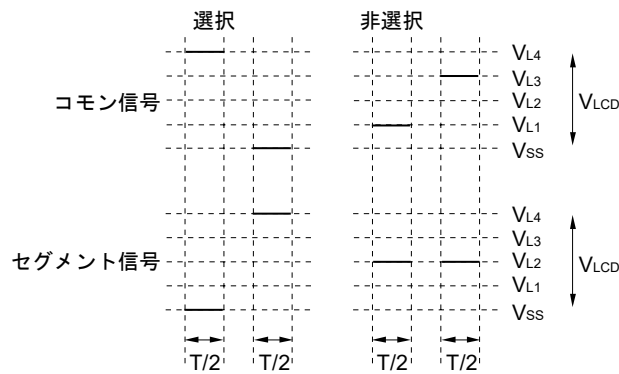
図21-24 コモン信号とセグメント信号の電圧と位相 (3/3)

(e) 1/4バイアス法 (A波形)



T : LCDクロックの1周期分

(f) 1/4バイアス法 (B波形)



T : LCDクロックの1周期分

21.10 表示モード

21.10.1 スタティック表示例

図21-26は、図21-25の表示パターンを持つスタティック方式の3桁のLCDパネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0) との接続を示します。表示例は12.3で、表示データ・レジスタ (F0400H-F0417H) の内容はこれに対応しています。

ここでは2桁目の2. (2.) を例にとって説明します。図21-25の表示パターンに従って、COM0のコモン信号のタイミングで表21-14に示すような選択、非選択電圧をSEG8-SEG15端子に出力する必要があります。

表21-14 選択、非選択電圧 (COM0)

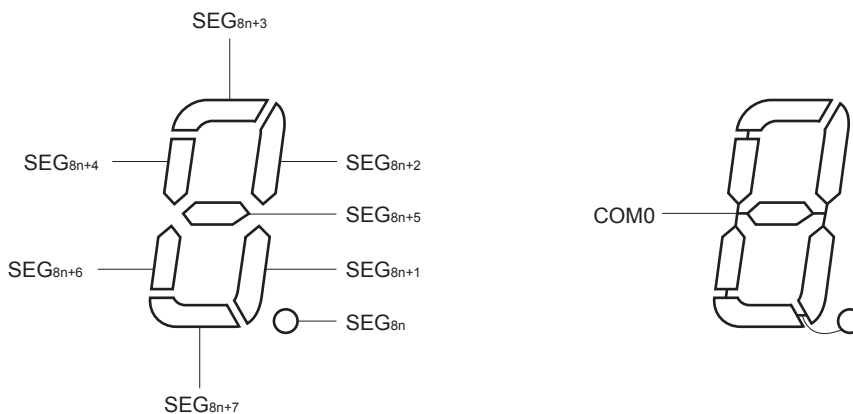
セグメント コモン	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選	非	選	選	非	選	選	選

これによりSEG8-SEG15に対応する表示データ・レジスタ (F0408H-F040FH) のビット0には、10110111を用意すればよいことが分かります。

SEG11, SEG12とCOM0とのLCD駆動波形を図21-27に示します。COM0との選択タイミングでSEG11が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図21-25 スタティックLCDの表示パターンと電極結線



備考 100ピン製品 : n = 0-4

図21-26 スタティックLCDパネルの結線例

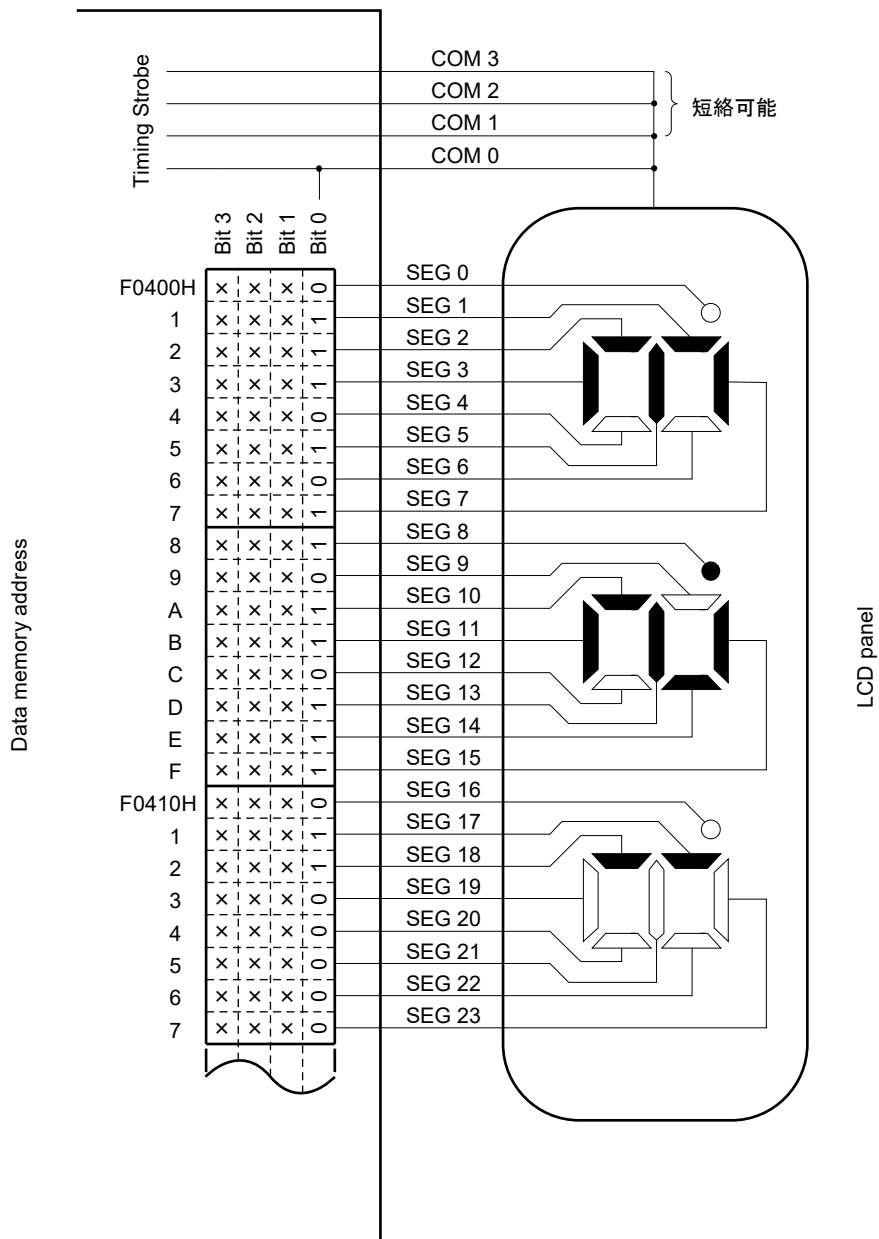
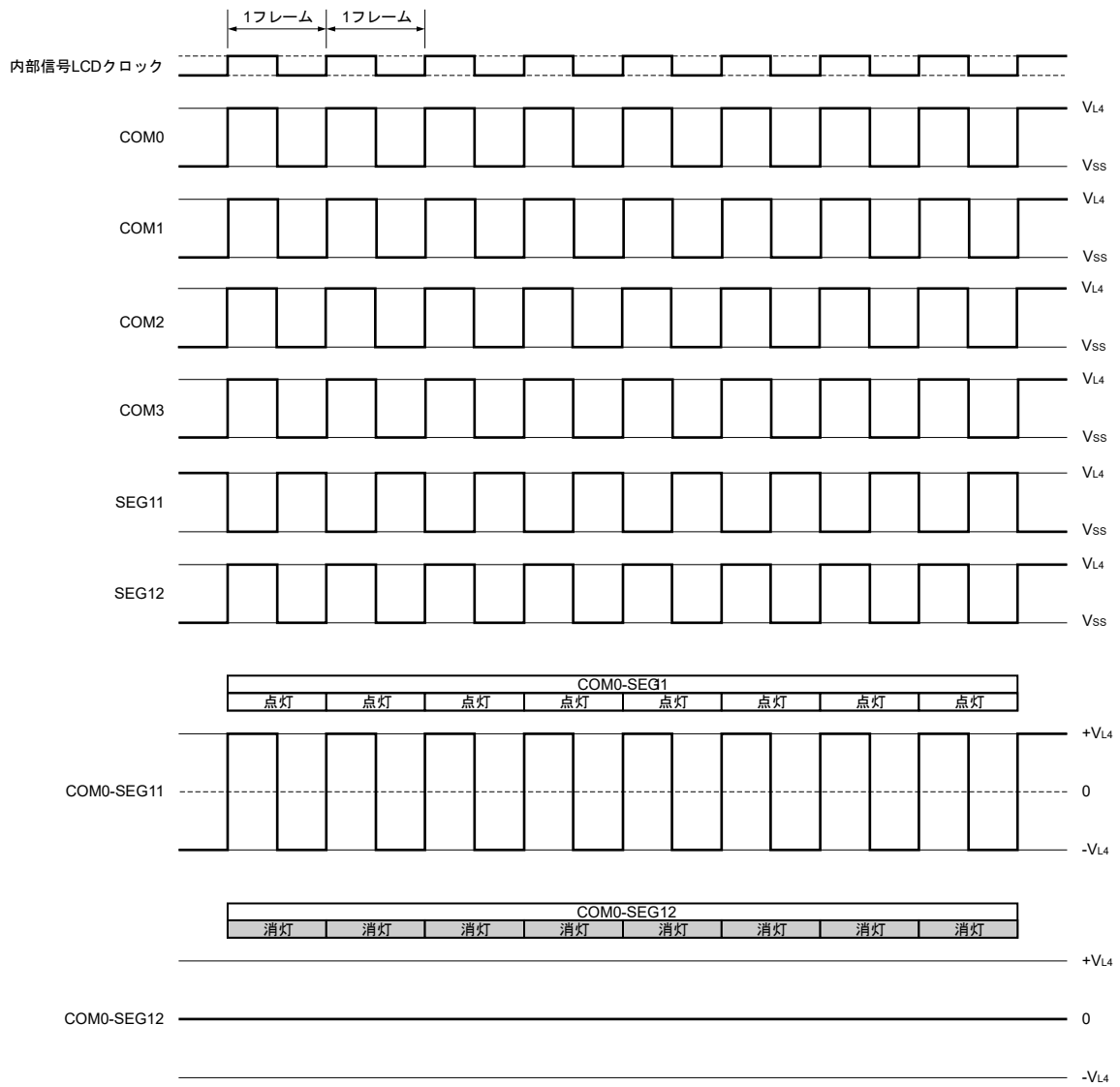


図21-27 SEG11, SEG12とCOM0とのスタティックLCD駆動波形例



21.10.2 2時分割表示例

図21-29は、図21-28の表示パターンを持つ2時分割方式の6桁LCDパネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0, COM1）との接続を示します。表示例は12345.6で、表示データ・レジスタ（F0400H-F0417H）の内容はそれらに対応しています。

ここでは4桁目の3（3）を例にとって説明します。図21-28の表示パターンに従って、COM0, COM1の各コモン信号のタイミングで表21-15に示すような選択、非選択電圧をSEG12-SEG15端子に出力する必要があります。

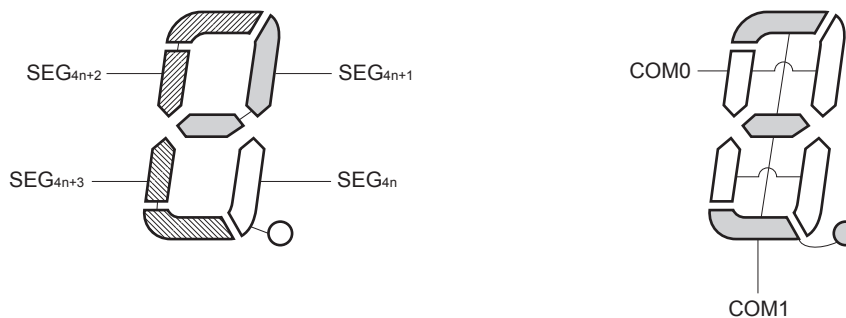
表21-15 選択、非選択電圧（COM0, COM1）

セグメント コモン	SEG12	SEG13	SEG14	SEG15
COM0	選	選	非	非
COM1	非	選	選	選

これにより、たとえばSEG15に対応する表示データ・レジスタ（F040FH番地）には、 $\times \times 10$ を用意すればよいことが分かります。

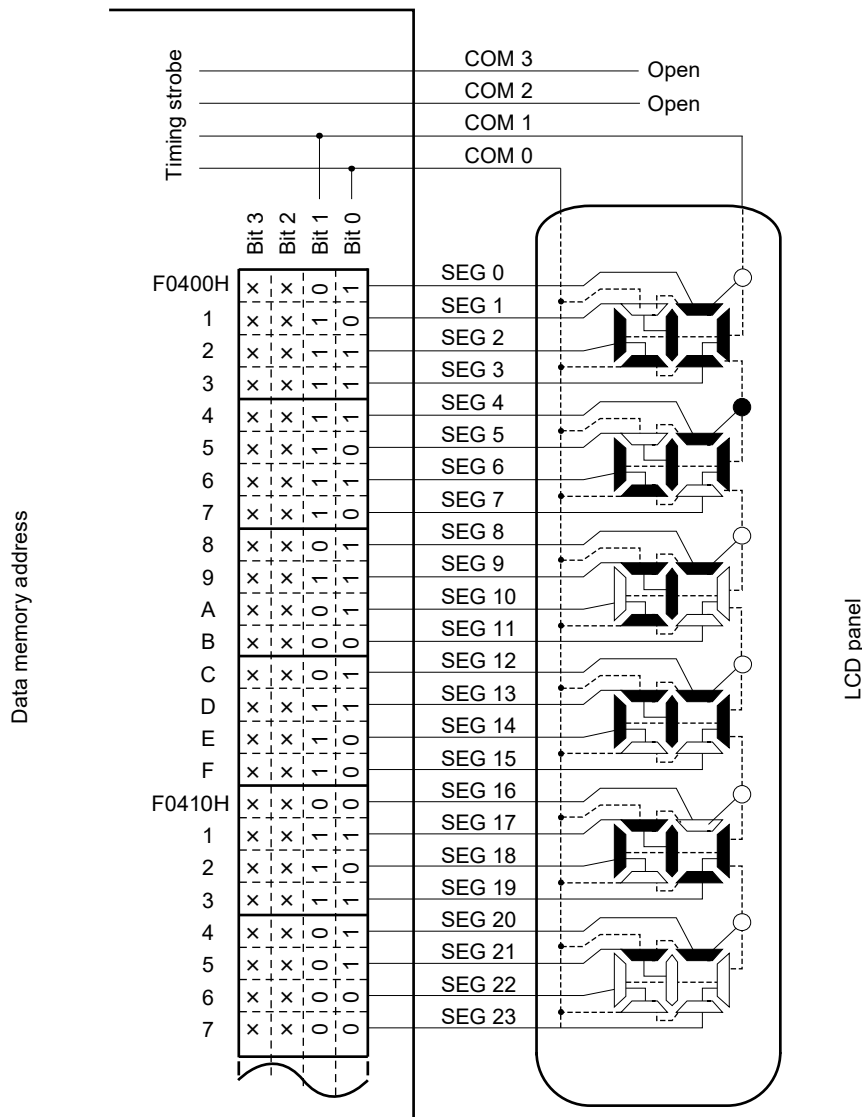
SEG15と各コモン信号間のLCD駆動波形例を図21-30に示します。COM1の選択タイミングでSEG15が選択電圧のときに、LCD点灯レベルである $+V_{Lcd}/-V_{Lcd}$ の交流矩形波が発生することが分かります。

図21-28 2時分割LCD表示パターンと電極結線



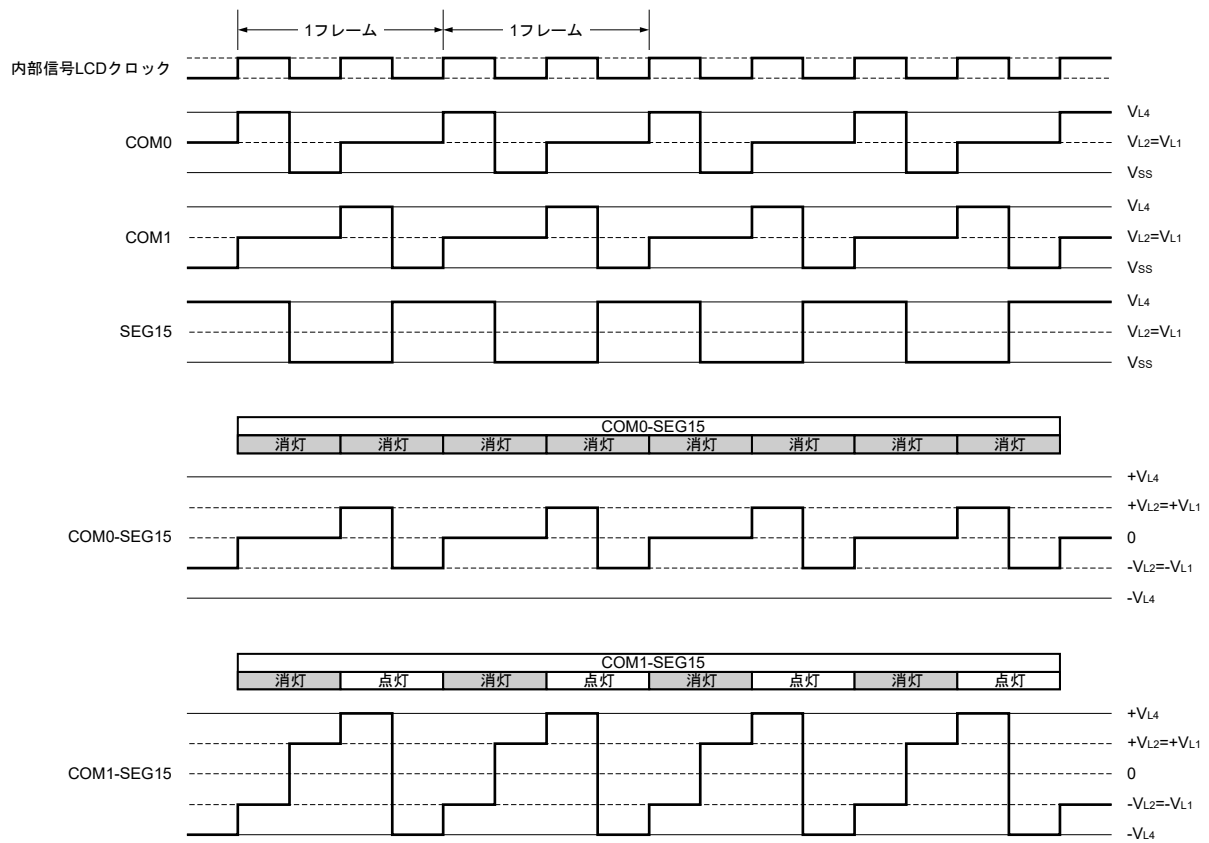
備考 100ピン製品 : n = 0-9

図21-29 2時分割LCDパネルの結線例



× : 2時分割表示のため、常に任意のデータをストア可能です。

図21-30 SEG15と各コモン信号間の2時分割LCD駆動波形例（1/2バイアス法）



21. 10. 3 3時分割表示例

図21-32は、図21-31の表示パターンを持つ3時分割方式の8桁LCDパネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM2) との接続を示します。表示例は123456.78で、表示データ・レジスタ (F0400H-F0417H) の内容はこれに対応しています。

ここでは3桁目の6. (E) を例にとって説明します。図21-31の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表21-16に示すような選択、非選択電圧をSEG6-SEG8端子に出力する必要があります。

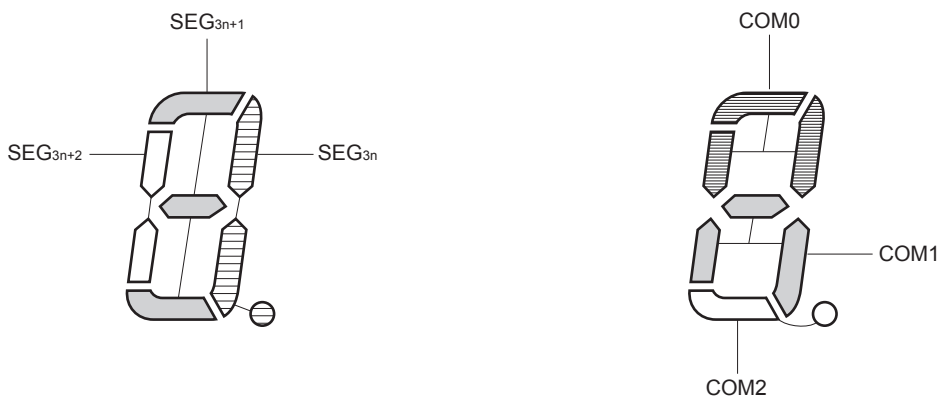
表21-16 選択、非選択電圧 (COM0-COM2)

セグメント コモン	SEG6	SEG7	SEG8
COM0	非	選	選
COM1	選	選	選
COM2	選	選	—

これによりSEG6に対応する表示データ・レジスタ (F0406H番地) には、×110を用意すればよいことが分かります。

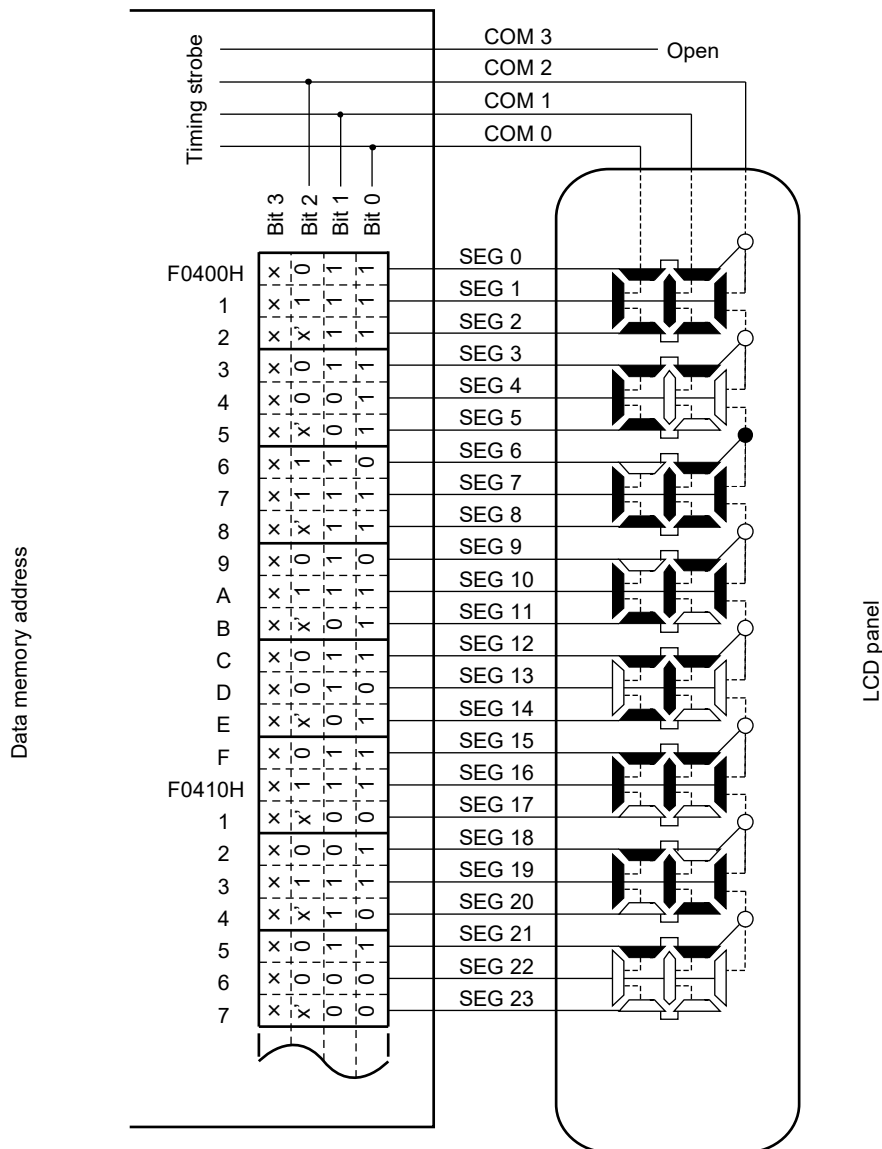
SEG6と各コモン信号間のLCD駆動波形例を図21-33 (1/2バイアス法)、図21-34 (1/3バイアス法) に示します。COM1の選択タイミングでSEG6が選択電圧のとき、およびCOM2の選択タイミングでSEG6が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図21-31 3時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-13

図21-32 3時分割LCDパネルの結線例



- X' : LCDパネルに対応セグメントがないため任意のデータをストア可能です。
- × : 3時分割表示のため、常に任意のデータをストア可能です。

図21-33 SEG6と各コモン信号間の3時分割LCD駆動波形例（1/2バイアス法）

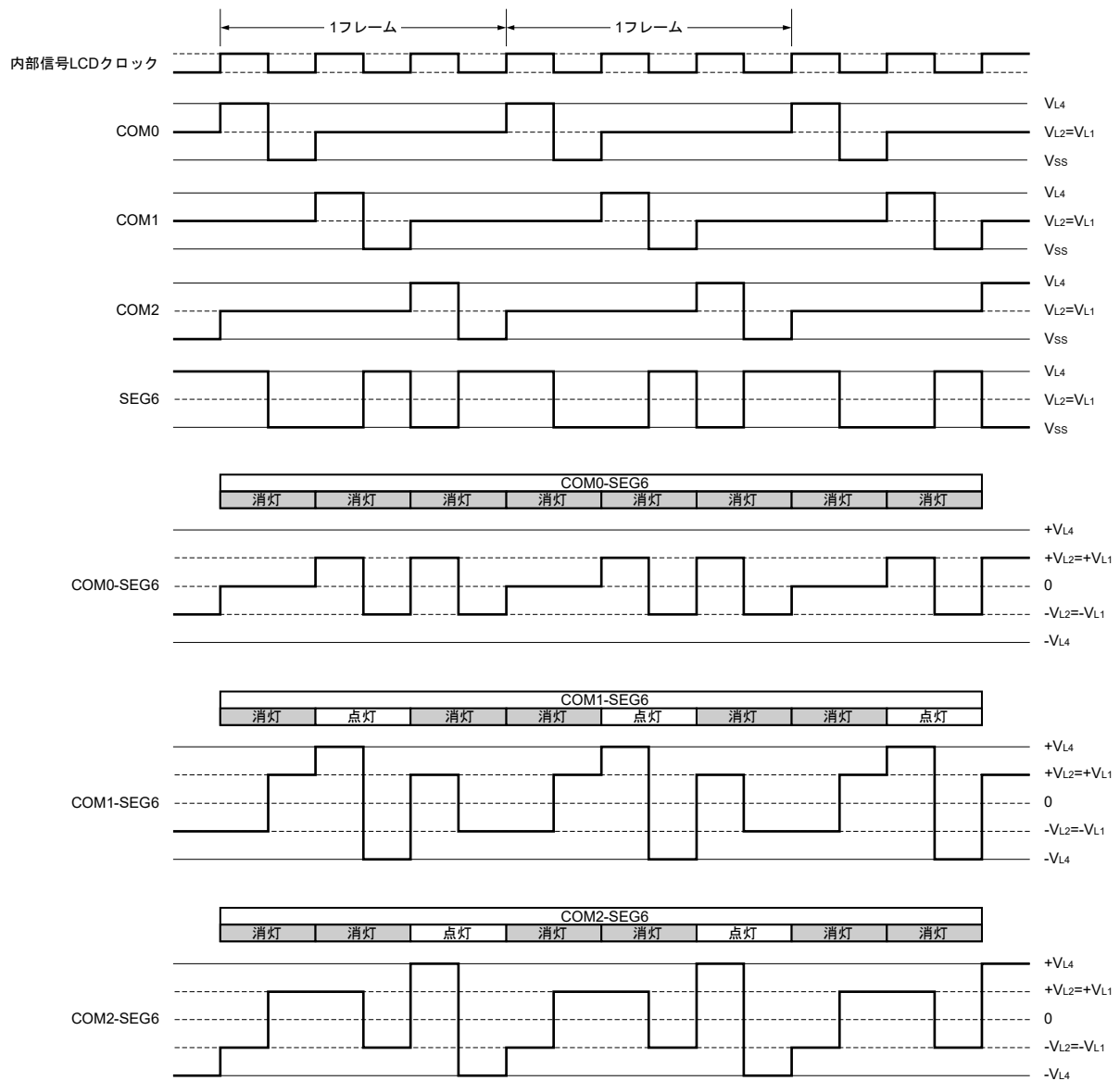
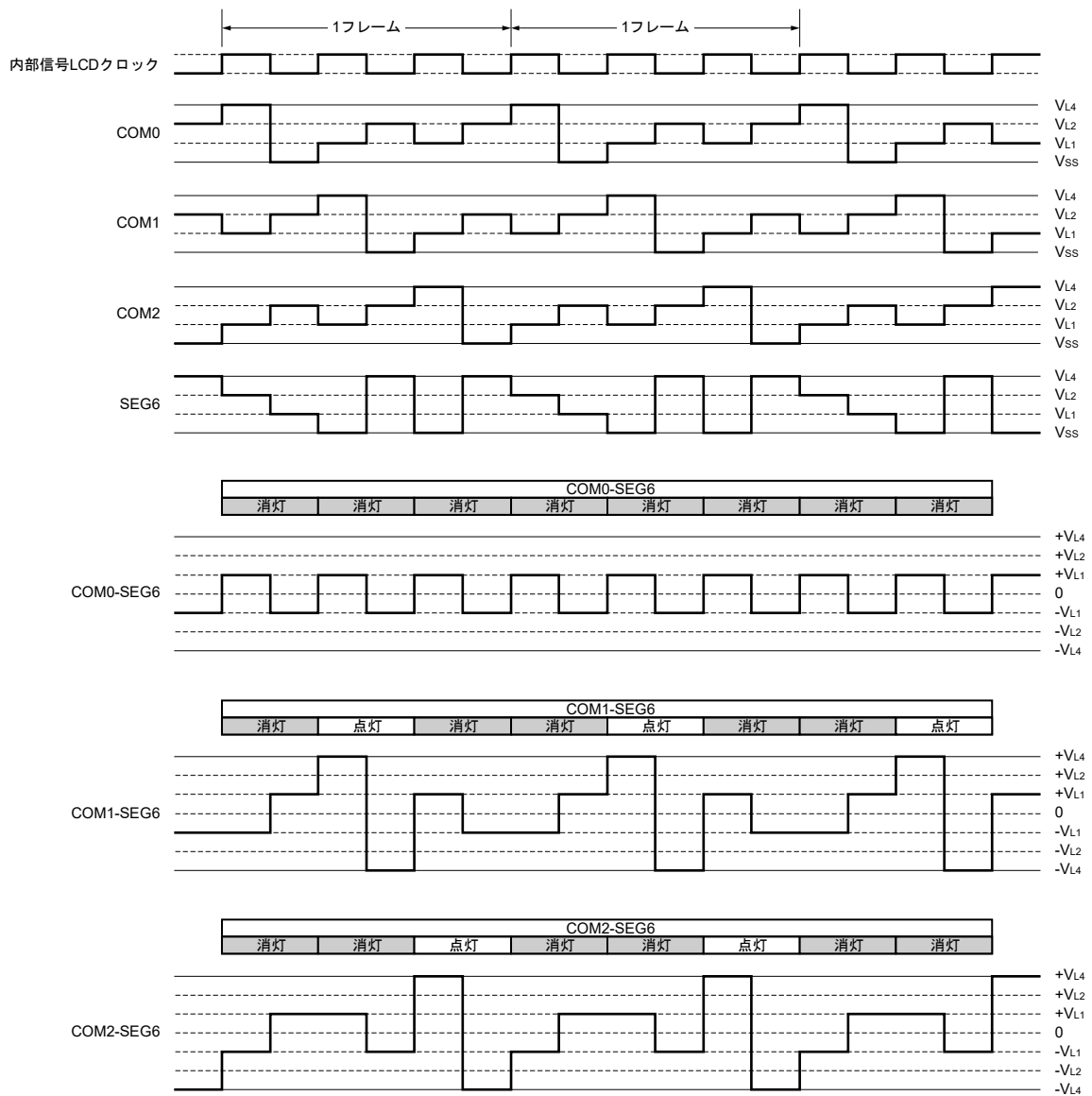


図21-34 SEG6と各コモン信号間の3時分割LCD駆動波形例（1/3バイアス法）



21. 10. 4 4時分割表示例

図21-36は、図21-35の表示パターンを持つ4時分割方式の12桁LCDパネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM3) との接続を示します。表示例は123456.789012で、表示データ・レジスタ (F0400H-F0417H番地) の内容はこれに対応しています。

ここでは7桁目の6. (E) を例にとって説明します。図21-35の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表21-17に示すような選択、非選択電圧をSEG12, SEG13端子に出力する必要があります。

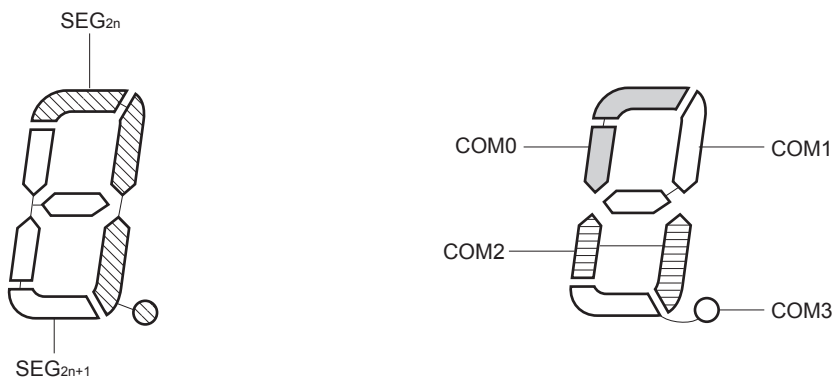
表21-17 選択、非選択電圧 (COM0-COM3)

セグメント コモン	SEG12	SEG13
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりSEG12に対応する表示データ・レジスタ (F040CH番地) には、1101を用意すればよいことが分かります。

SEG12と各コモン信号間のLCD駆動波形例を図21-37に示します。COM0の選択タイミングでSEG12が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図21-35 4時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-20

図21-36 4時分割LCDパネルの結線例

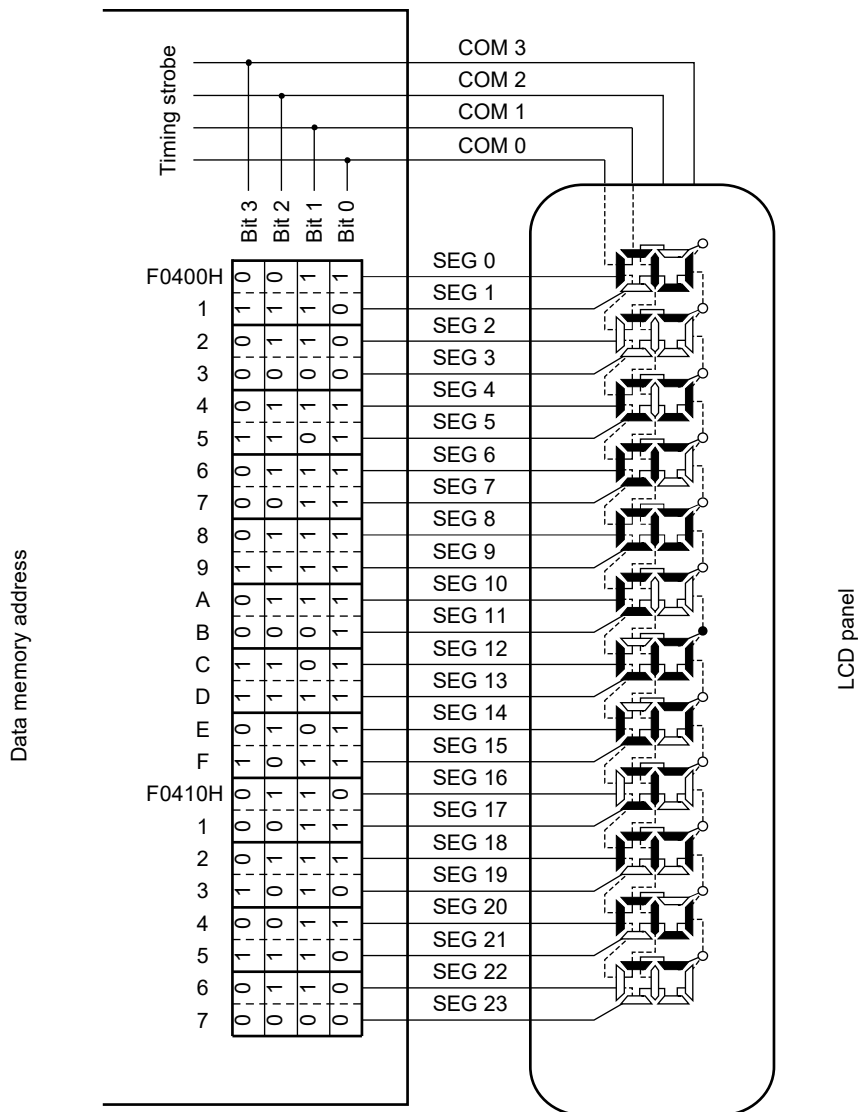


図21-37 SEG12と各コモン信号間の4時分割LCD駆動波形例（1/3バイアス法）（1/2）

(a) A波形の場合

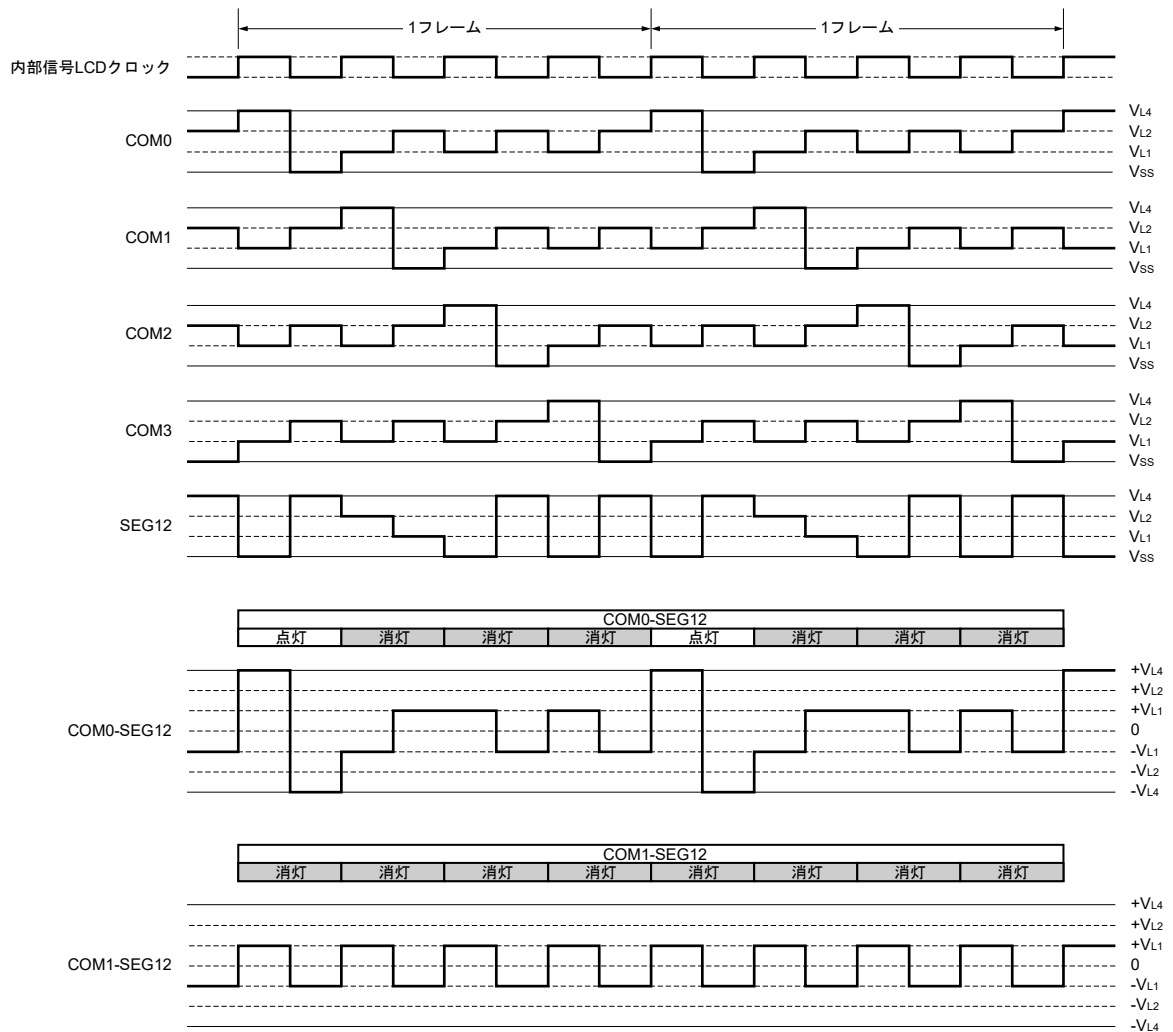
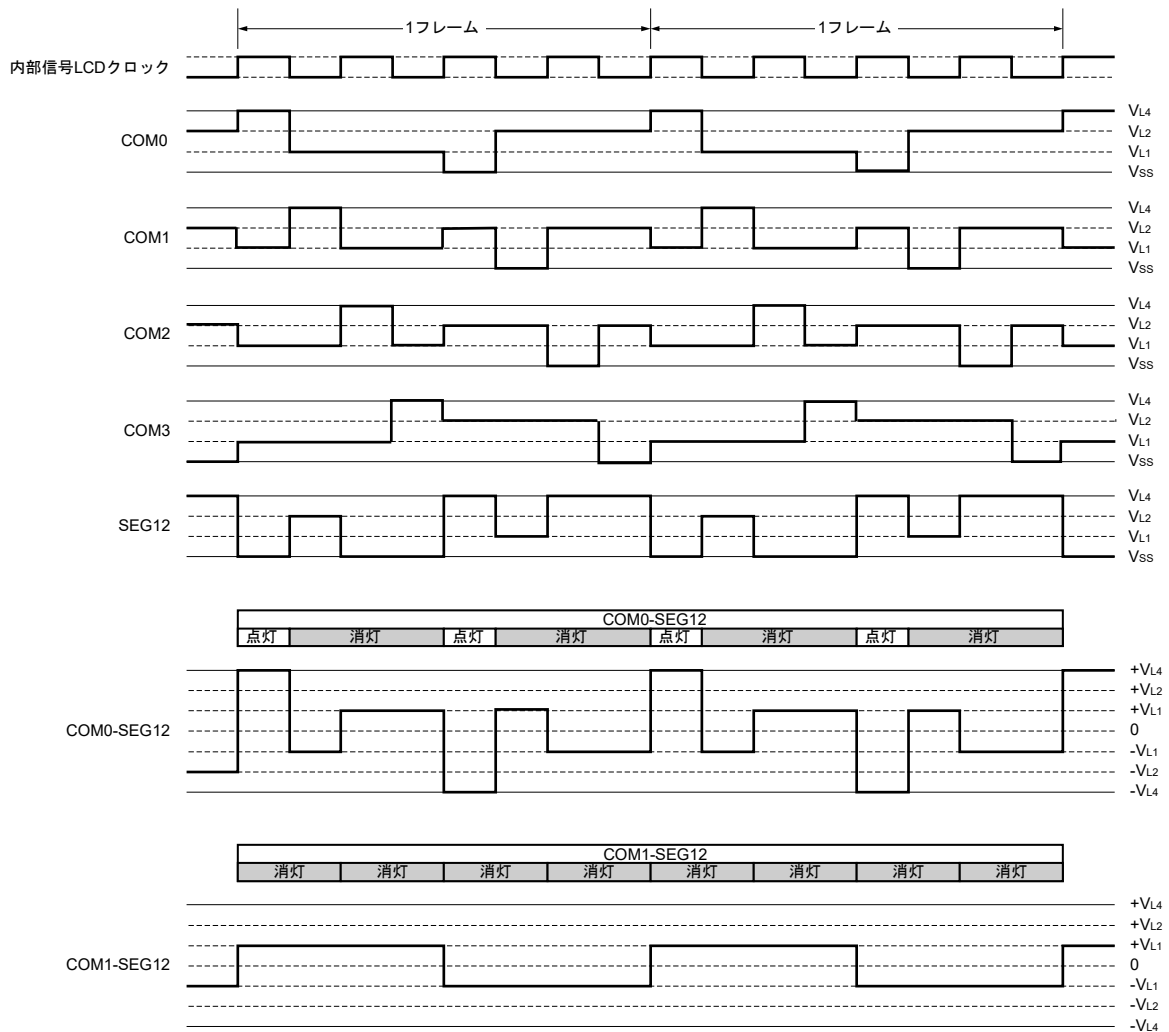


図21-37 SEG12と各コモン信号間の4時分割LCD駆動波形例（1/3バイアス法）（2/2）

(b) B波形の場合



21. 10. 5 6時分割表示例

図21-39は、図21-38の表示パターンを持つ6時分割方式の15×6のドットLCDパネルとセグメント信号 (SEG2-SEG16) およびコモン信号 (COM0-COM5) との接続を示します。表示例は123で、表示データ・レジスタ (F0402H-F0410H番地) の内容はこれに対応しています。

ここでは1桁目の3 (三) を例にとって説明します。図21-38の表示パターンに従って、COM0-COM5の各コモン信号のタイミングで表21-18に示すような選択、非選択電圧をSEG2-SEG6端子に出力する必要があります。

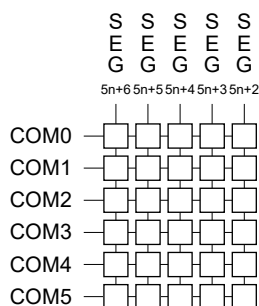
表21-18 選択、非選択電圧 (COM0-COM5)

セグメント コモン	SEG2	SEG3	SEG4	SEG5	SEG6
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	選
COM5	非	選	選	選	非

これによりSEG2に対応する表示データ・レジスタ (F0402H番地) には、010001を用意すればよいことが分かります。

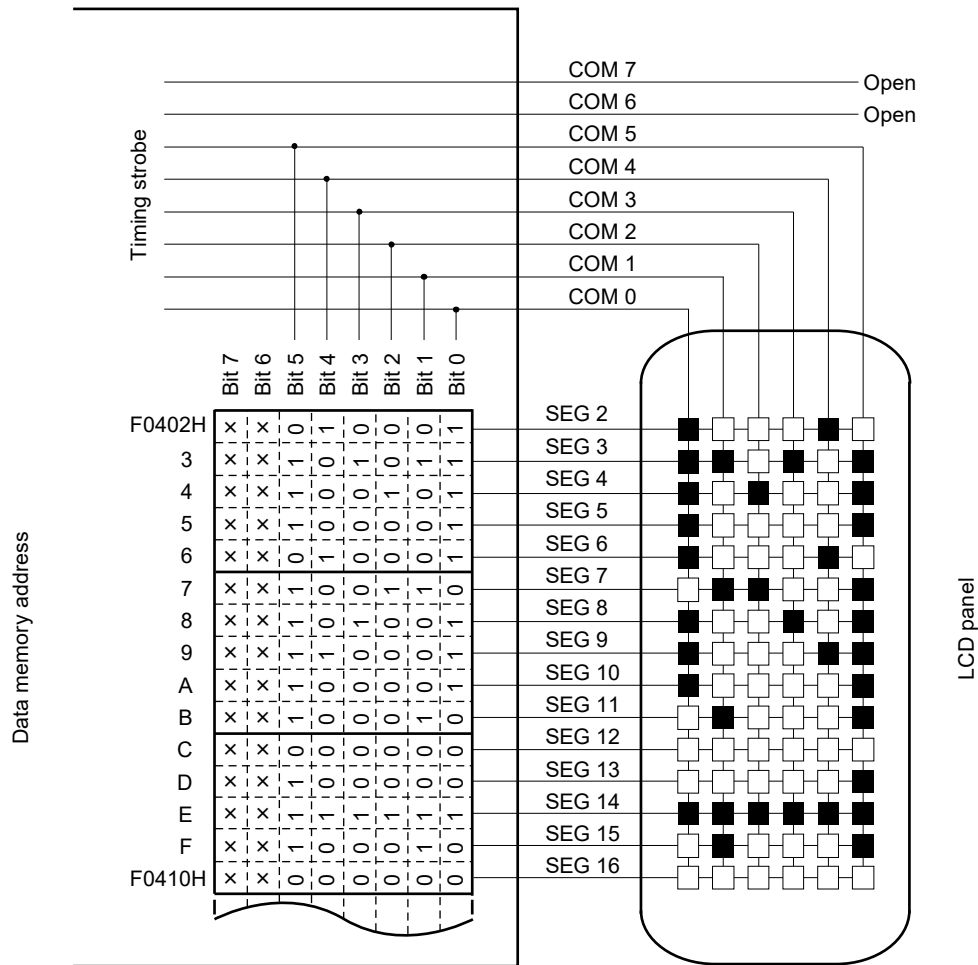
SEG2と各コモン信号間のLCD駆動波形例を図21-40に示します。COM0の選択タイミングでSEG2が選択電圧になるときに、LCD点灯レベルの波形が発生することが分かります。

図21-38 6時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-7

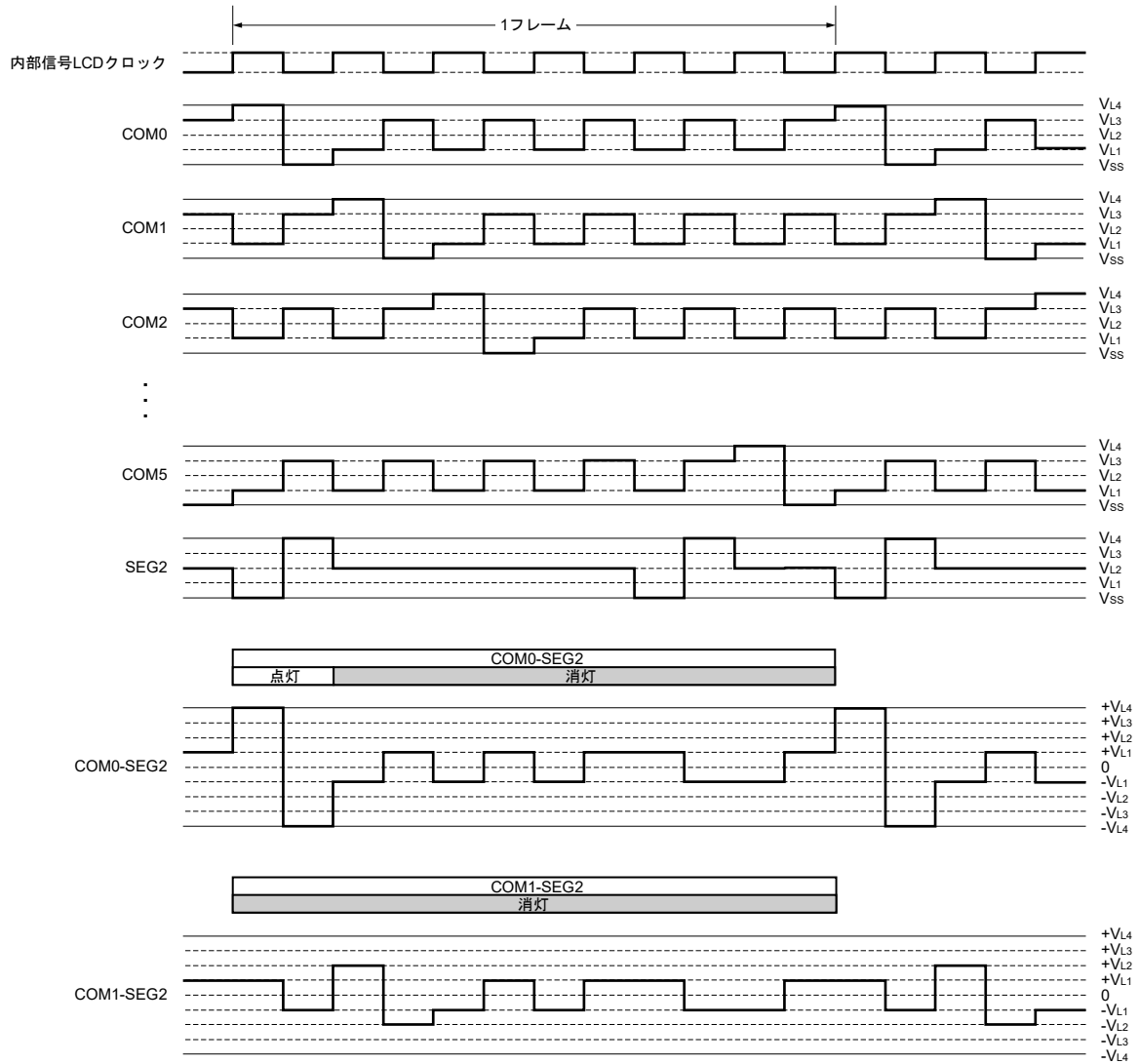
図21-39 6時分割LCDパネルの結線例



× : 6時分割表示のため、常に任意のデータをストア可能です。

図21-40 SEG2と各コモン信号間の6時分割LCD駆動波形例（1/4バイアス法）

(a) A波形の場合



21. 10. 6 8時分割表示例

図21-42は、図21-41の表示パターンを持つ8時分割方式の15×8のドットLCDパネルとセグメント信号 (SEG4-SEG18) およびコモン信号 (COM0-COM7) との接続を示します。表示例は123で、表示データ・レジスタ (F0404H-F0412H番地) の内容はこれに対応しています。

ここでは1桁目の3 (三) を例にとって説明します。図21-41の表示パターンに従って、COM0-COM7の各コモン信号のタイミングで表21-19に示すような選択、非選択電圧をSEG4-SEG8端子に出力する必要があります。

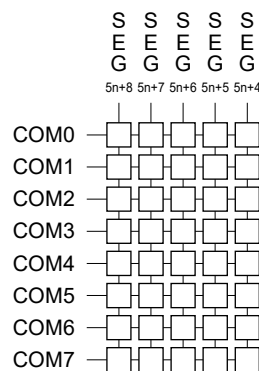
表21-19 選択、非選択電圧 (COM0-COM7)

セグメント コモン	SEG4	SEG5	SEG6	SEG7	SEG8
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	非
COM5	選	非	非	非	選
COM6	非	選	選	選	非
COM7	非	非	非	非	非

これによりSEG4に対応する表示データ・レジスタ (F0404H番地) には、00110001を用意すればよいことが分かります。

SEG4と各コモン信号間のLCD駆動波形例を図21-43に示します。COM0の選択タイミングでSEG4が選択電圧になるときに、LCD点灯レベルの波形が発生することが分かります。

図21-41 8時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-6

図21-42 8時分割LCDパネルの結線例

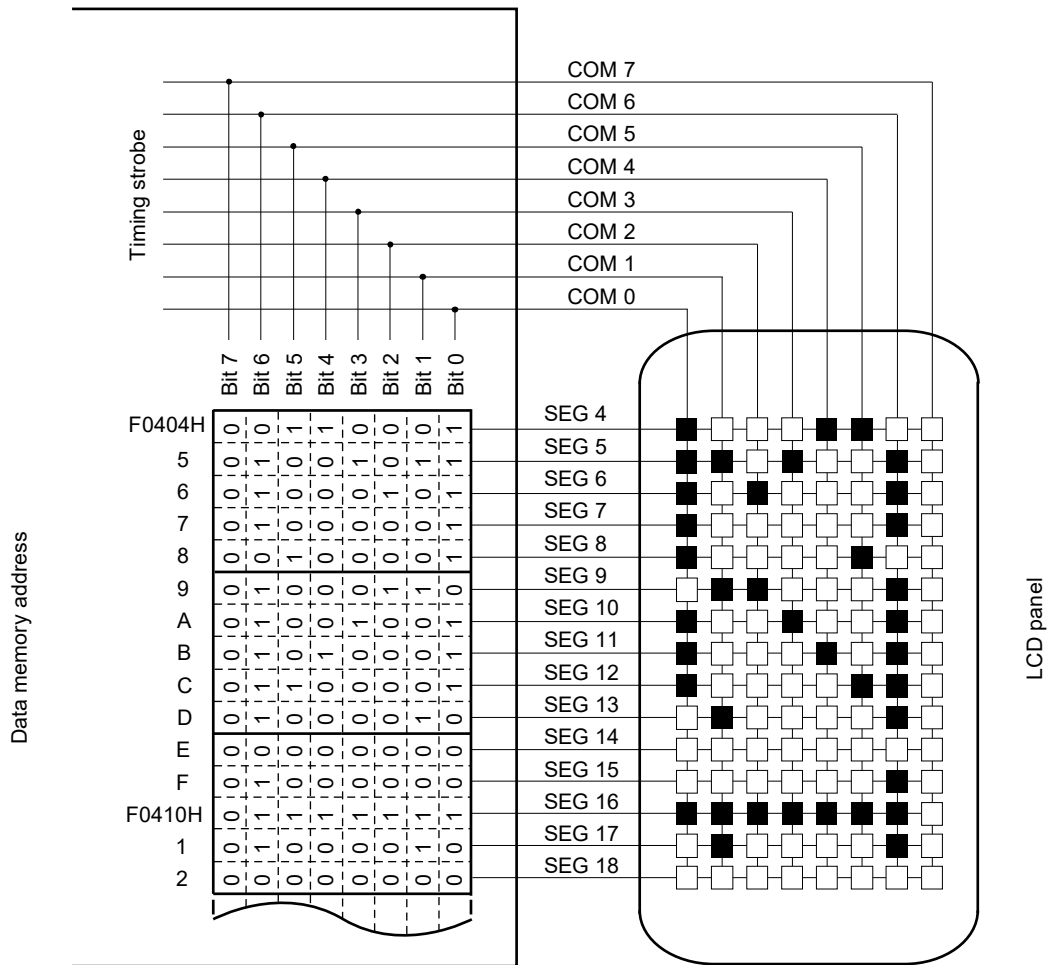


図21-43 SEG4と各コモン信号間の8時分割LCD駆動波形例（1/4バイアス法）（1/2）

(a) A波形の場合

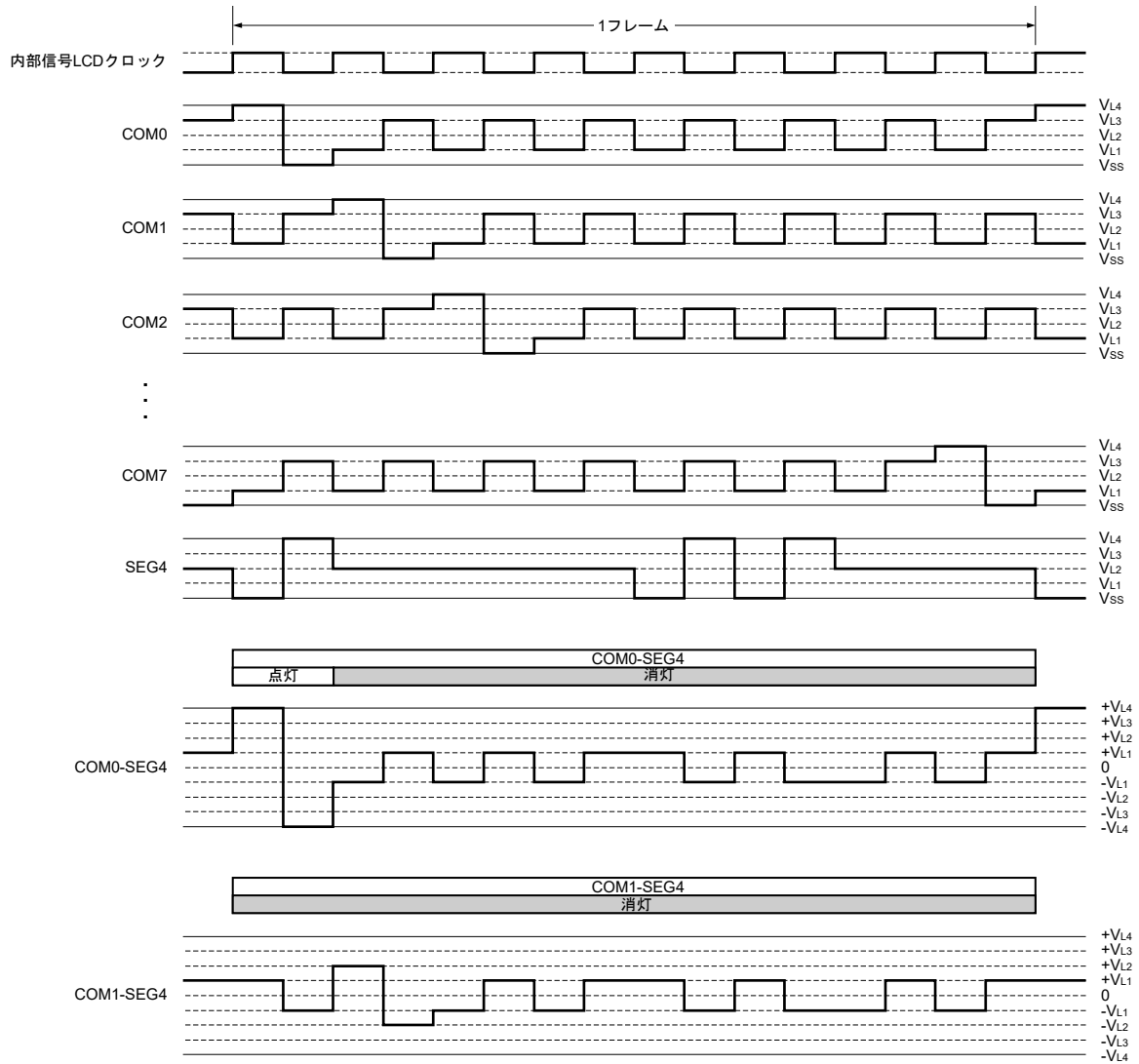
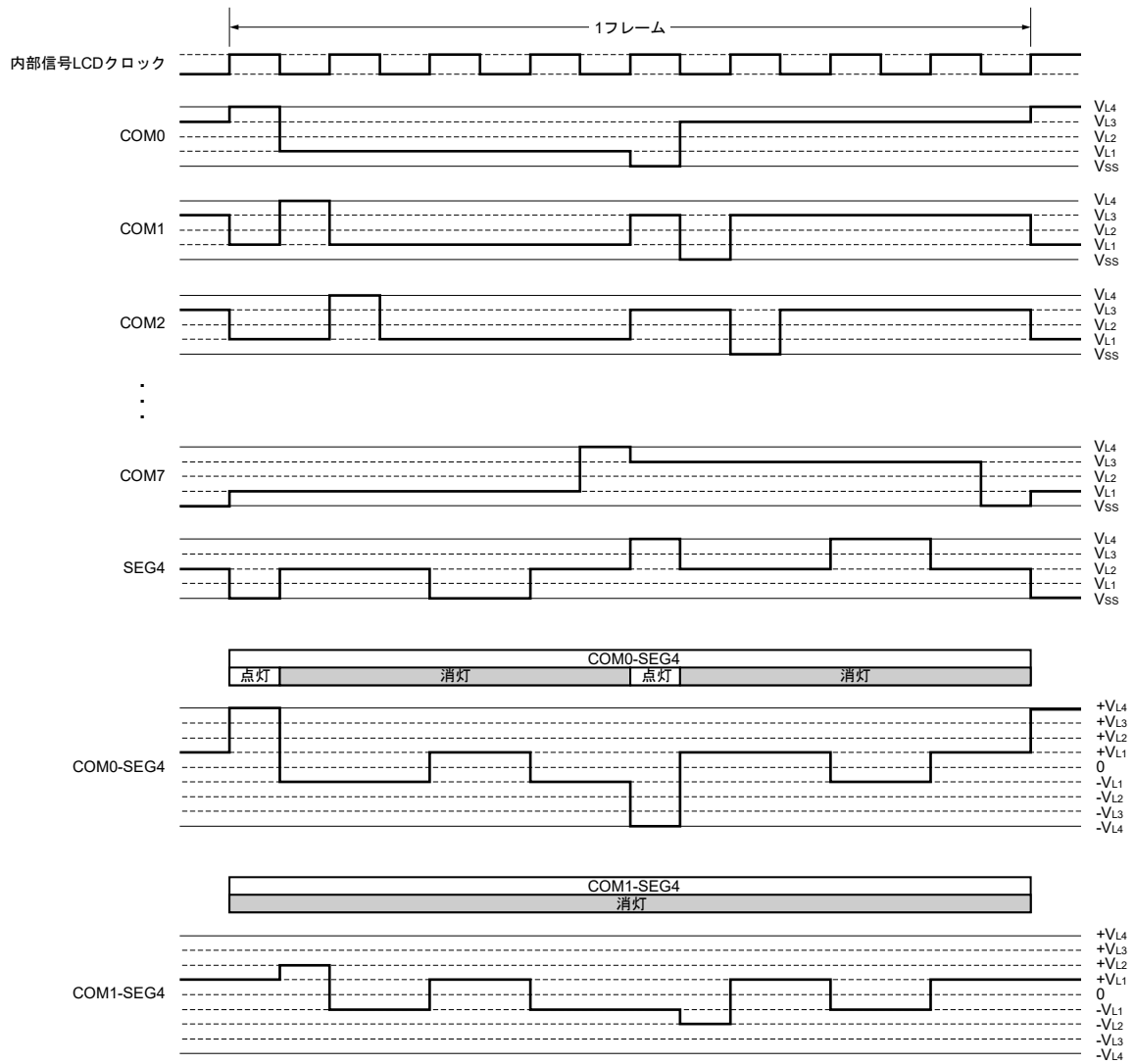


図21-43 SEG4と各コモン信号間の8時分割LCD駆動波形例（1/4バイアス法）（2/2）

(b) B波形の場合



22.1 DTCの機能

データ・トランスファ・コントローラ (DTC) は、CPUを使わずにメモリとメモリの間でデータを転送する機能です。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

表22-1にDTCの仕様を示します。

表22-1 DTCの仕様

項目		仕様
起動要因		30要因
配置可能なコントロールデータ		24通り
転送可能なアドレス空間	アドレス空間	64 Kバイト空間 (F0000H~FFFFFH) ただし、汎用レジスタを除く
	ソース	特殊機能レジスタ (SFR)、RAM領域 (汎用レジスタを除く)、ミラー領域 ^注 、拡張特殊機能レジスタ (2nd SFR)
	デスティネーション	特殊機能レジスタ (SFR)、RAM領域 (汎用レジスタを除く)、拡張特殊機能レジスタ (2nd SFR)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード (8ビット転送)	256バイト
	ノーマルモード (16ビット転送)	512バイト
	リピートモード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、DTRLDjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		表22-5 DTC起動要因とDTCベクタアドレス参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1 (割り込み発生許可) のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0~DTCENi7 ビットを1 (起動許可) にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	・ DTCENi0~DTCENi7ビットを0 (起動禁止) にする ・ DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	・ DTCENi0~DTCENi7ビットを0 (起動禁止) にする ・ RPTINTビットが1 (割り込み発生許可) のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

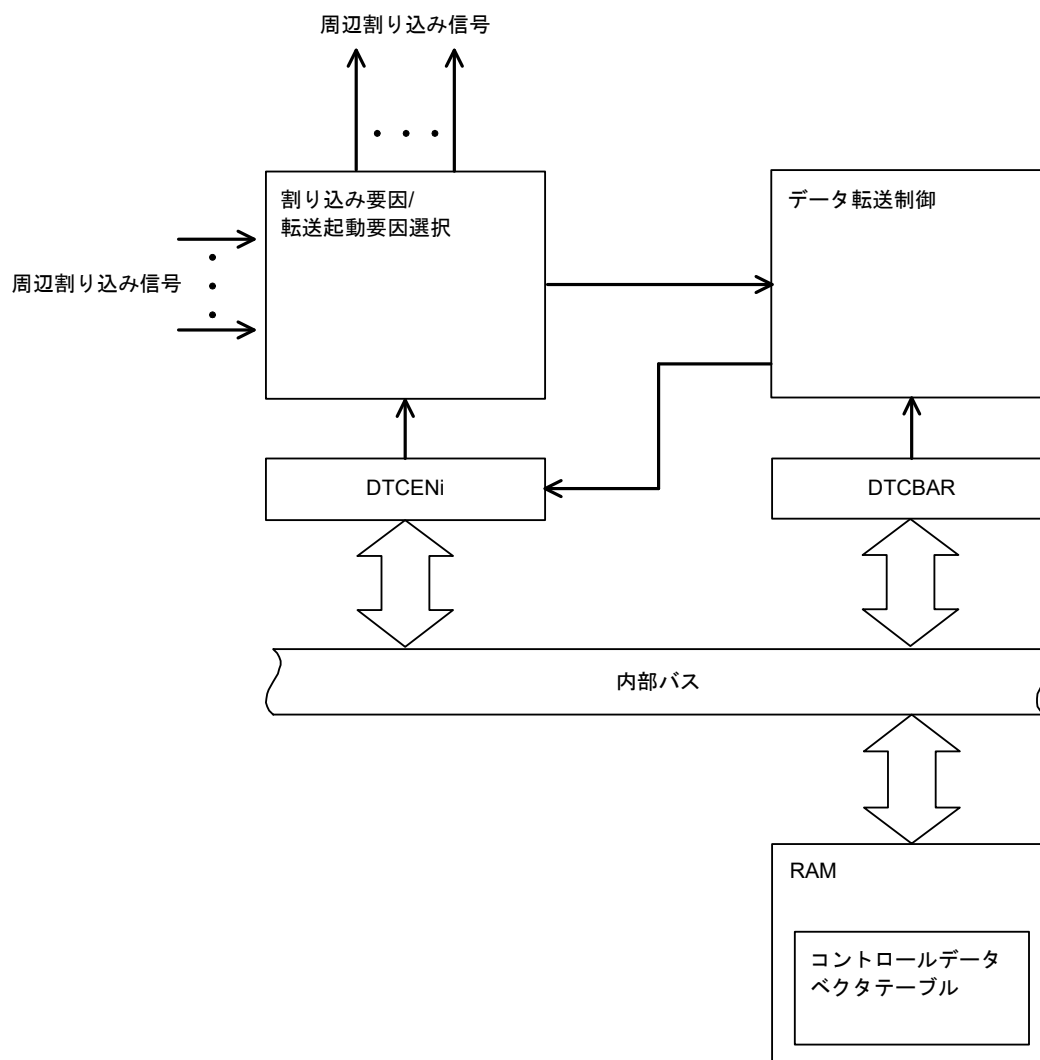
注 HALTモードおよびSNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。

備考 i = 0~3, j = 0~23

22.2 DTCの構成

図22-1にDTCのブロック図を示します。

図22-1 DTCのブロック図



22.3 DTCを制御するレジスタ

表22-2にDTCを制御するレジスタを示します。

表22-2 DTCを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
DTC起動許可レジスタ0	DTCEN0
DTC起動許可レジスタ1	DTCEN1
DTC起動許可レジスタ2	DTCEN2
DTC起動許可レジスタ3	DTCEN3
DTCベース・アドレス・レジスタ	DTCBAR

表22-3にDTCのコントロールデータを示します。

DTCのコントロールデータはRAMのDTCコントロールデータ領域に配置されます。

DTCBARレジスタでDTCコントロールデータ領域と、コントロールデータの先頭番地を格納するDTCベクタテーブル領域を含めた256バイトの領域を設定します。

表22-3 DTCのコントロールデータ

レジスタ名	シンボル
DTC制御レジスタj	DTCCRj
DTCブロック・サイズ・レジスタj	DTBLSj
DTC転送回数レジスタj	DTCCTj
DTC転送回数リロード・レジスタj	DTRLdj
DTCソース・アドレス・レジスタj	DTSARj
DTCデスティネーション・アドレス・レジスタj	DTDARj

備考 j = 0~23

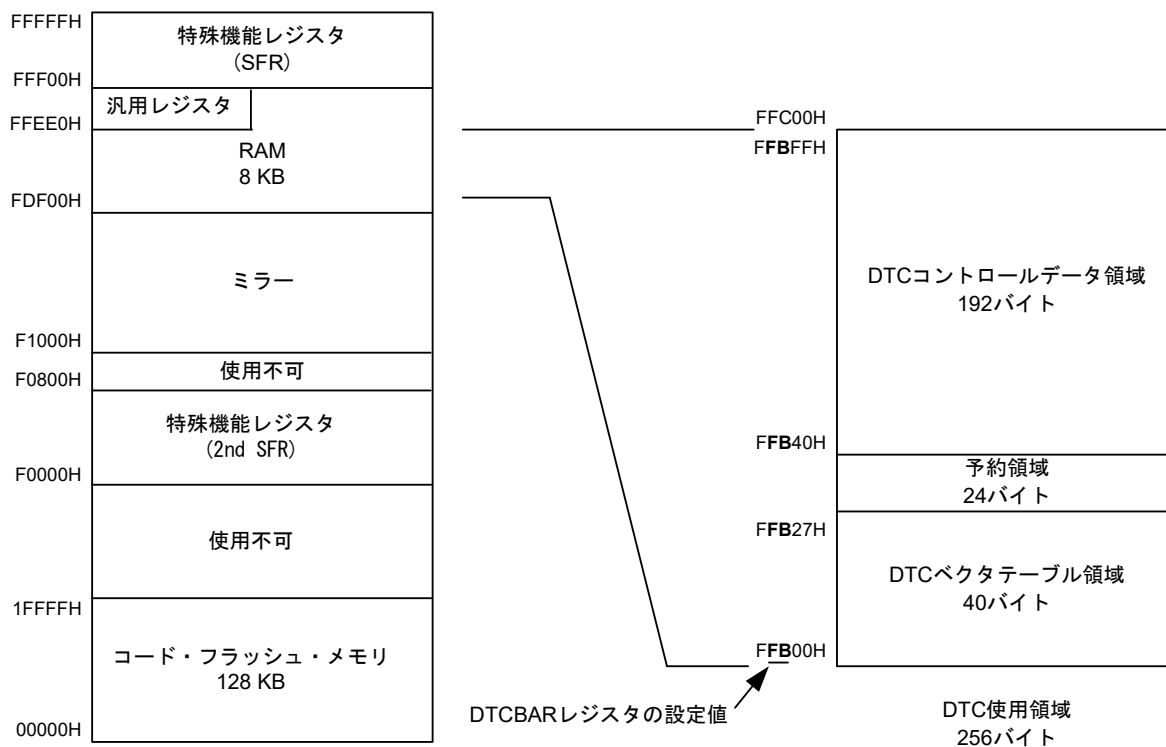
22.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCBARレジスタで、DTCのコントロールデータとベクタテーブルを配置する256バイトの領域をRAM領域内に設定します。

図22-2にDTCBARレジスタにFBHを設定したときのメモリマップ例を示します。

DTCコントロールデータ領域192バイトのうち、DTCで使用しない空間はRAMとして使用できます。

図22-2 DTCBARレジスタにFBHを設定したときのメモリマップ例 (R5F10MMGDFB, R5F10MPGDF)



DTCコントロールデータとベクタテーブルを配置できる領域は製品によって異なります。

- 注意1. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
2. スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
 3. 次に示す製品の内部RAM領域は、セルフ・プログラミング機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
R5F10MMGDFB, R5F10MPGDFB : FDF00H-FE309H
R5F10MMEDFB, R5F10MPEDFB : FE700H-FEB09H
 4. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
R5F10MME, R5F10MPE, R5F10MMG, R5F10MPG : FE300H-FE6FFH

22.3.2 コントロールデータの配置

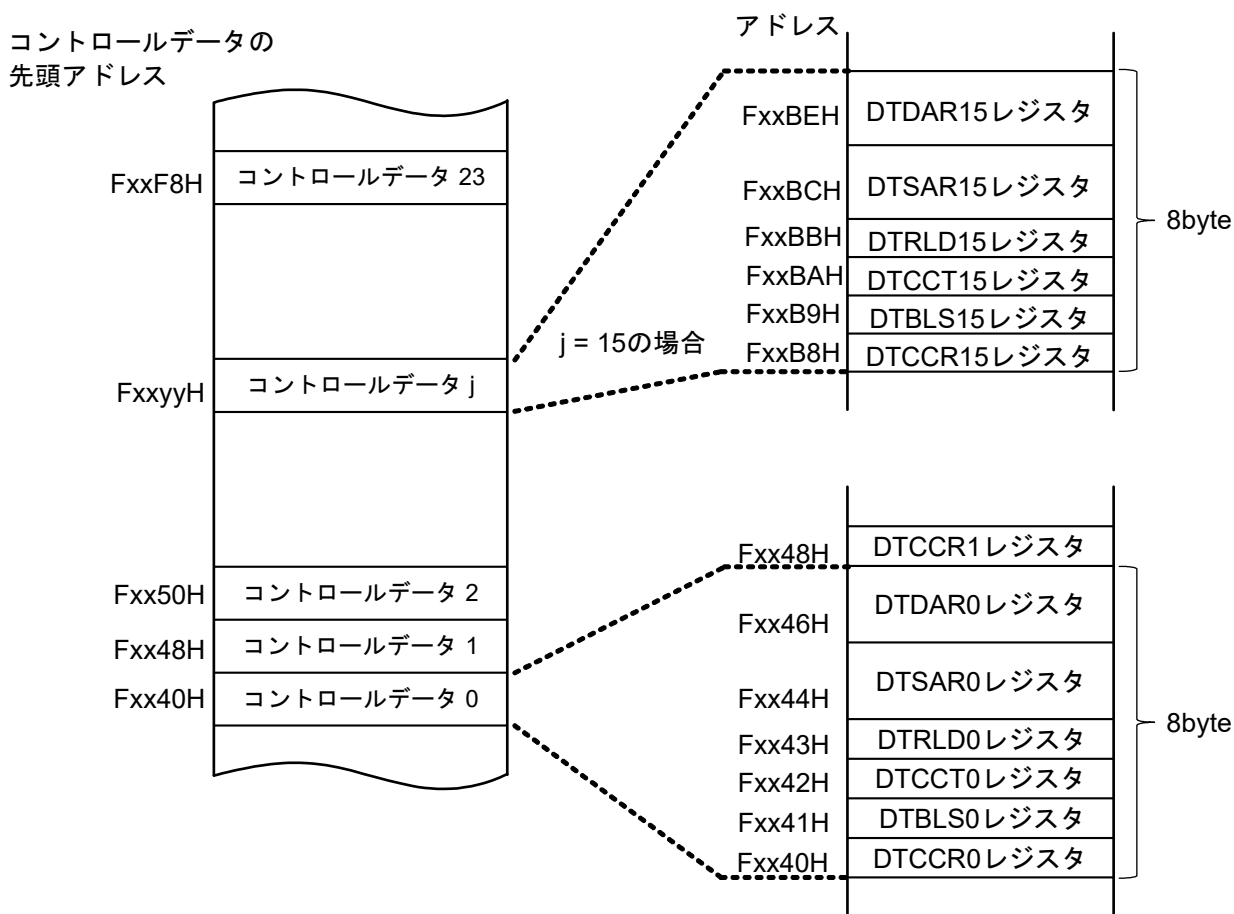
コントロールデータは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0~23) レジスタの順に配置します。

先頭アドレス0~23の上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因ごとに割り当てられているベクタテーブルでそれぞれ設定します。

図22-3にコントロールデータの配置を示します。

- 注1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi (i = 0~3) のDTCENi0~DTCENi7ビットが0 (DTC起動禁止) のときに変更してください。
- 2. DTC 転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjをアクセスしないでください。

図22-3 コントロールデータの配置



備考 xx : DTCBARレジスタの設定値

表22-4 コントロールデータの先頭アドレス

j	アドレス	j	アドレス
11	Fxx98H	23	FxxF8H
10	Fxx90H	22	FxxF0H
9	Fxx88H	21	FxxE8H
8	Fxx80H	20	FxxE0H
7	Fxx78H	19	FxxD8H
6	Fxx70H	18	FxxD0H
5	Fxx68H	17	FxxC8H
4	Fxx60H	16	FxxC0H
3	Fxx58H	15	FxxB8H
2	Fxx50H	14	FxxB0H
1	Fxx48H	13	FxxA8H
0	Fxx40H	12	FxxA0H

備考 xx : DTCBARレジスタの設定値

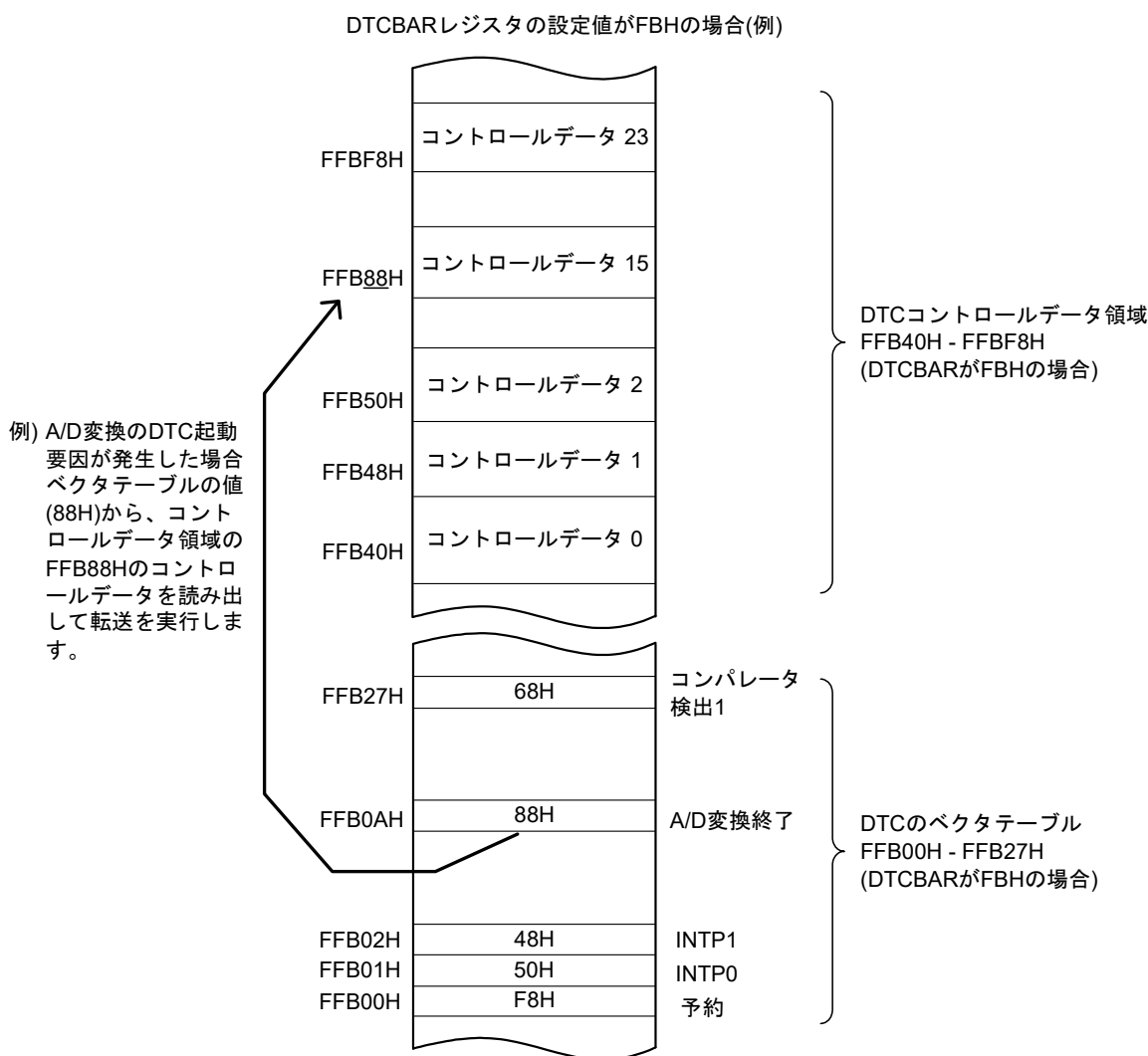
22.3.3 ベクタテーブル

DTCが起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

表22-5にDTC起動要因とベクタアドレスを示します。起動要因ごとにベクタテーブルが1バイトあり、40HからF8Hのデータを格納し、24組のコントロールデータから1つを選択します。ベクタアドレスの上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因に対応して00Hから27Hまでが割り当てられます。

注 ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0~3) レジスタのDTCENi0~DTCENi7ビットが0 (起動禁止) のときに変更してください。

図22-4 コントロールデータの先頭アドレスとベクタテーブル



22.3.4 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

DTCを使用する場合は、必ずビット3 (DTCEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-5 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	FMCEN	CM PEN	OSDCEN	DTCEN	0	0	DSACDEN

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・ DTCは動作不可
1	入カクロック供給 ・ DTCは動作可

注意 ビット1, 2には必ず“0”を設定してください。

22.3.5 DTC制御レジスタj (DTCCRj) (j = 0~23)

DTCCRjレジスタは、DTCの動作モードを制御します。

図22-6 DTC制御レジスタj (DTCCRj) のフォーマット

アドレス : 22.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE

SZ	転送データサイズの選択
0	8ビット
1	16ビット

RPTINT	リピートモード割り込みの許可・禁止
0	割り込み発生禁止
1	割り込み発生許可

MODEビットが0 (ノーマルモード) のときRPTINTビットの設定は無効です。

CHNE	チェイン転送の許可・禁止
0	チェイン転送禁止
1	チェイン転送許可

DTCCR23レジスタのCHNEビットは0 (チェイン転送禁止) にしてください。

DAMOD	転送先アドレスの制御
0	固定
1	加算

MODEビットが1 (リピートモード) でRPTSELビットが0 (転送先がリピートエリア) のときDAMODビットの設定は無効です。

SAMOD	転送元アドレスの制御
0	固定
1	加算

MODEビットが1 (リピートモード) でRPTSELビットが1 (転送元がリピートエリア) のときSAMODビットの設定は無効です。

RPTSEL	リピートエリアの選択
0	転送先がリピートエリア
1	転送元がリピートエリア

MODEビットが0 (ノーマルモード) のときRPTSELビットの設定は無効です。

MODE	転送モードの選択
0	ノーマルモード
1	リピートモード

注意 DTC転送でDTCCRjレジスタをアクセスしないでください。

22.3.6 DTCブロック・サイズ・レジスタj (DTBLSj) (j = 0~23)

1回の起動で転送されるデータのブロックサイズを設定します。

図22-7 DTCブロック・サイズ・レジスタj (DTBLSj) のフォーマット

アドレス : 22.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロックサイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
.	.	.
.	.	.
.	.	.
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

注意 DTC転送でDTBLSjレジスタをアクセスしないでください。

22.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0~23)

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図22-8 DTC転送回数レジスタj (DTCCTj) のフォーマット

アドレス : 22.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数
00H	256回
01H	1回
02H	2回
03H	3回
.	.
.	.
.	.
FDH	253回
FEH	254回
FFH	255回

注意 DTC転送でDTCCTjレジスタをアクセスしないでください。

22.3.8 DTC転送回数リロード・レジスタj (DTRLDj) (j = 0~23)

リピートモードで転送回数レジスタの初期値を設定します。リピートモード時は、本レジスタの値がDTCCTレジスタにリロードされますので、DTCCTレジスタの初期値と同じ値を設定してください。

図22-9 DTC転送回数リロード・レジスタj (DTRLDj) のフォーマット

アドレス : 22.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意 DTC転送でDTRLDjレジスタをアクセスしないでください。

22.3.9 DTCソース・アドレス・レジスタj (DTSARj) (j = 0~23)

データ転送時の転送元アドレスを指定します。

DTCCRjレジスタのSZビットが1 (16ビット転送) のとき、最下位ビットは無視され、偶数番地として扱われます。

図22-10 DTCソース・アドレス・レジスタj (DTSARj) のフォーマット

アドレス : 22.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTS ARj15	DTS ARj14	DTS ARj13	DTS ARj12	DTS ARj11	DTS ARj10	DTS ARj9	DTS ARj8	DTS ARj7	DTS ARj6	DTS ARj5	DTS ARj4	DTS ARj3	DTS ARj2	DTS ARj1	DTS ARj0

- 注意1. 転送元アドレスに汎用レジスタ (FFEE0H~FFEFFH) 空間を設定しないでください。
2. DTC転送でDTSARjレジスタをアクセスしないでください。

22.3.10 DTCデスティネーション・アドレス・レジスタj (DTDARj) (j = 0~23)

データ転送時の転送先アドレスを指定します。

DTCCRjレジスタのSZビットが1 (16ビット転送) のとき、最下位ビットは無視され、偶数番地として扱われます。

図22-11 DTCデスティネーション・アドレス・レジスタj (DTDARj) のフォーマット

アドレス : 22.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTD ARj15	DTD ARj14	DTD ARj13	DTD ARj12	DTD ARj11	DTD ARj10	DTD ARj9	DTD ARj8	DTD ARj7	DTD ARj6	DTD ARj5	DTD ARj4	DTD ARj3	DTD ARj2	DTD ARj1	DTD ARj0

- 注意1. 転送先アドレスに汎用レジスタ (FFEE0H~FFEFFH) 空間を設定しないでください。
2. DTC転送でDTDARjレジスタをアクセスしないでください。

22.3.11 DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0~3)

各割り込み要因によるDTC起動の許可または禁止を制御する8ビット・レジスタです。表22-6に割り込み要因とDTCENi0~DTCENi7ビットの対応を示します。

DTCENiレジスタは8ビット・メモリ操作命令、および1ビット・メモリ操作命令で設定できます。

- 注1. DTCENi0~DTCENi7ビットは、そのビットに対応する起動要因が発生しない箇所を変更してください。
2. DTC転送でDTCENiレジスタをアクセスしないでください。

図22-12 DTC起動許可レジスタ*i* (DTCENi) (*i* = 0~3) のフォーマット

アドレス : F02E8H (DTCEN0) , F02E9H (DTCEN1) , F02EAH (DTCEN2) , リセット時 : 00H R/W
F02EBH (DTCEN3)

略号 [7] [6] [5] [4] [3] [2] [1] [0]

DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
--------	---------	---------	---------	---------	---------	---------	---------	---------

DTCENi7	DTC起動許可i7	
0	起動禁止	
1	起動許可	
転送完了割り込みが発生する条件でDTCENi7ビットは0 (起動禁止) になります。		

DTCENi6	DTC起動許可i6	
0	起動禁止	
1	起動許可	
転送完了割り込みが発生する条件でDTCENi6ビットは0 (起動禁止) になります。		

DTCENi5	DTC起動許可i5	
0	起動禁止	
1	起動許可	
転送完了割り込みが発生する条件でDTCENi5ビットは0 (起動禁止) になります。		

DTCENi4	DTC起動許可i4	
0	起動禁止	
1	起動許可	
転送完了割り込みが発生する条件でDTCENi4ビットは0 (起動禁止) になります。		

DTCENi3	DTC起動許可i3	
0	起動禁止	
1	起動許可	
転送完了割り込みが発生する条件でDTCENi3ビットは0 (起動禁止) になります。		

DTCENi2	DTC起動許可i2	
0	起動禁止	
1	起動許可	
転送完了割り込みが発生する条件でDTCENi2ビットは0 (起動禁止) になります。		

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0（起動禁止）になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0（起動禁止）になります。	

表22-6 割り込み要因とDTCENi0~DTCENi7ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	INTP7	24ビット ΔΣA/D コンバータ	A/D変換 終了	UART0 受信の 転送完了	UART0 送信の 転送完了/ CSI00の 転送完了 または バッファ空き/ IIC00の 転送完了	UART1 受信の 転送完了	UART1 送信の 転送完了/ IIC10の 転送完了	UART2 受信の 転送完了
DTCEN2	UART2 送信の 転送完了	タイマ・ アレイ・ ユニット0の チャンネル0の カウント完了 または キャプチャ 完了	タイマ・ アレイ・ ユニット0の チャンネル1の カウント完了 または キャプチャ 完了	タイマ・ アレイ・ ユニット0の チャンネル2の カウント完了 または キャプチャ 完了	タイマ・ アレイ・ ユニット0の チャンネル3の カウント完了 または キャプチャ 完了	タイマ・ アレイ・ ユニット0の チャンネル4の カウント完了 または キャプチャ 完了	タイマ・ アレイ・ ユニット0の チャンネル5の カウント完了 または キャプチャ 完了	タイマ・ アレイ・ ユニット0の チャンネル6の カウント完了 または キャプチャ 完了
DTCEN3	タイマ・ アレイ・ ユニット0の チャンネル7の カウント完了 または キャプチャ 完了	8ビット・ インターバル・ タイマ00	8ビット・ インターバル・ タイマ01	8ビット・ インターバル・ タイマ10	8ビット・ インターバル・ タイマ11	コンパレータ 検出0	コンパレータ 検出1	予約

備考 i = 0~3

22.3.12 DTCベース・アドレス・レジスタ (DTCBAR)

DTCコントロールデータ領域の先頭番地を格納するベクタアドレスと、DTCコントロールデータ領域のアドレスを設定する8ビット・レジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

- 注意1. DTCBARレジスタは、全てのDTC起動要因を起動禁止に設定した状態で変更してください。
2. DTCBARレジスタを2回以上書き換えないでください。
 3. DTC転送でDTCBARレジスタをアクセスしないでください。
 4. DTCコントロールデータ領域とDTCベクタテーブル領域の配置については、22.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置の注意を参照してください。

図22-13 DTCベース・アドレス・レジスタ (DTCBAR) のフォーマット

アドレス : F02E0H	リセット時 : FDH	R/W						
略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

22.4 DTCの動作

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロール領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあり、転送サイズは8ビット転送と16ビット転送があります。また、DTCCTj (j = 0~23) レジスタのCHNEビットが1 (チェーン転送許可) のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します (チェーン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先は16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って加算されるか固定されません。

22.4.1 起動要因

DTCは、周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は、DTCENi (i = 0~3) レジスタで選択します。

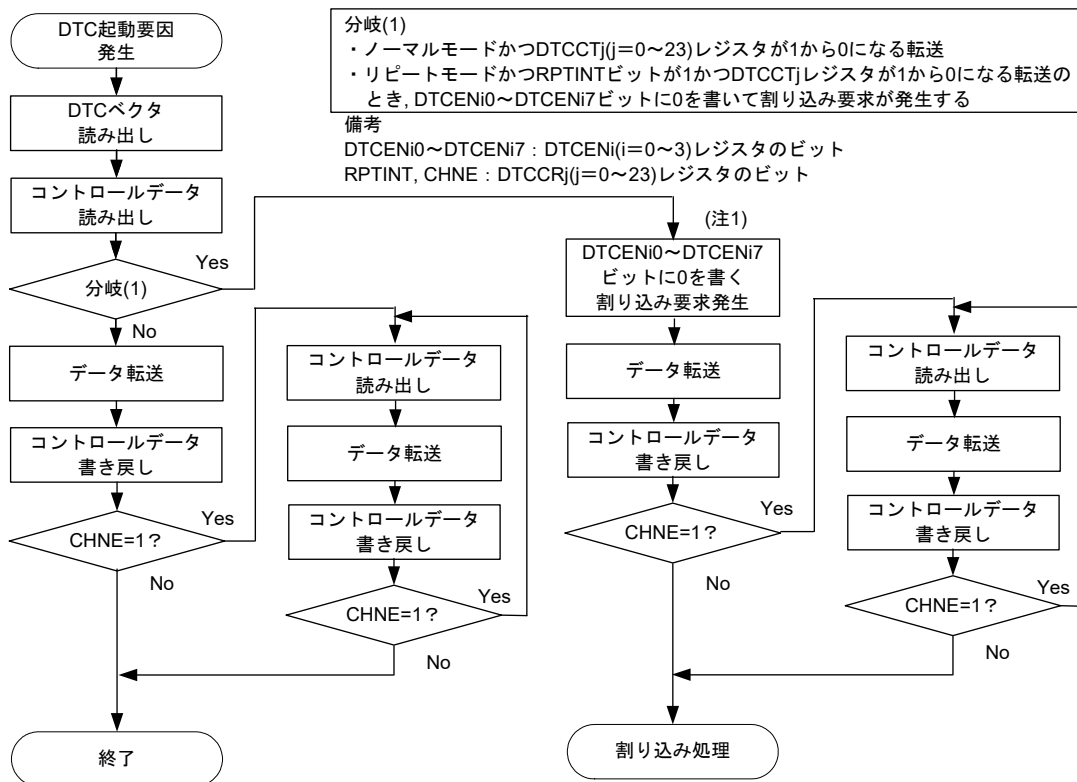
データ転送 (チェーン転送の場合、連続して行う最初の転送) の設定が、

- ・ノーマルモードでDTCCTj (j = 0~23) レジスタが0になる転送
- ・リピートモードでDTCCRjレジスタのRPTINTビットが1 (割り込み発生許可) かつDTCCTjレジスタが0になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0~DTCENi7ビットを0 (起動禁止) にします。

図22-14にDTC内部動作フローチャートを示します。

図22-14 DTC内部動作フローチャート



注1.チェーン転送の許可(CHNEビットが1)の設定により起動されたデータ転送では、DTCENi0~DTCENi7ビットに0を書きません。また、割り込み要求は発生しません。

22.4.2 ノーマルモード

1回の起動で、8ビット転送の場合1~256バイト、16ビット転送の場合2~512バイトをデータ転送します。転送回数は1~256回です。DTCCTj (j = 0~23) レジスタが0になるデータ転送を行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0~3) レジスタの対応するDTCENi0~DTCENi7ビットを0 (起動禁止) にします。

表22-7にノーマルモードでのレジスタ機能を示します。図22-15にノーマルモードでのデータ転送を示します。

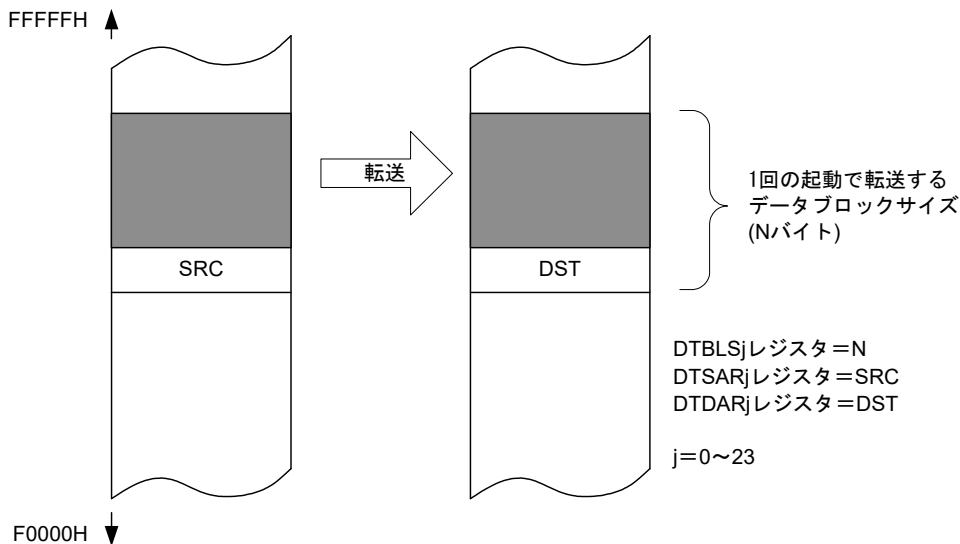
表22-7 ノーマルモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLdj	使用しません ^注
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、初期化(00H)してください。

備考 j = 0~23

図22-15 ノーマルモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC+N	DST
1	0	X	0	固定	加算	SRC	DST+N
1	1	X	0	加算	加算	SRC+N	DST+N

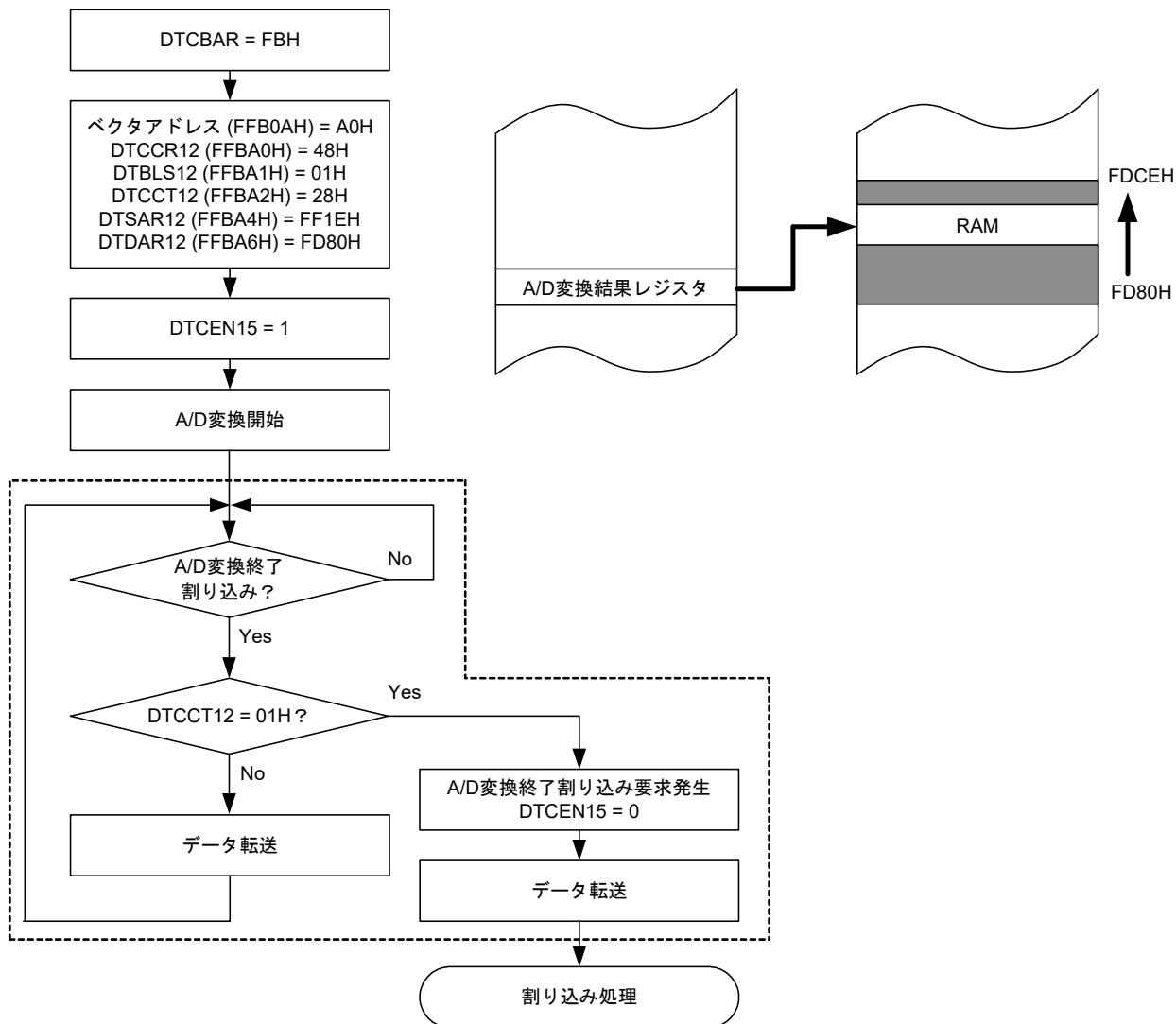
X : 0または1

(1) ノーマルモードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ・ベクタアドレスはFFB0AH, コントロールデータはFFBA0H~FFBA7Hに配置
- ・A/D変換結果レジスタ (FFF1EH, FFF1FH) の2バイトデータをRAMのFFD80H~FFDCFHの80バイトへ40回転送

図22-16 ノーマルモードの使用例1：A/D変換結果の連続取り込み



[] 内の処理はDTCが自動で実行します。

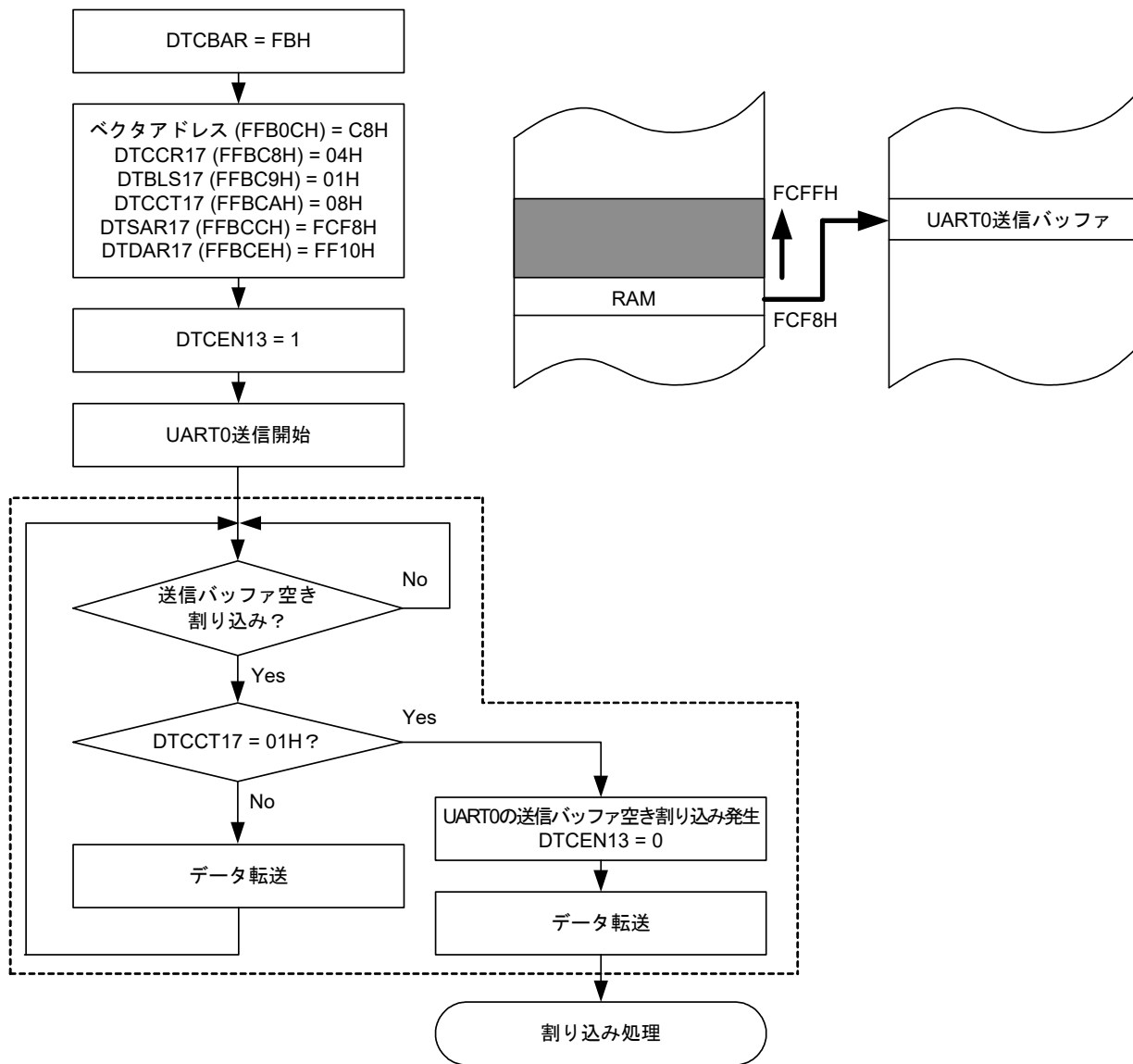
ノーマルモードのため、DTRLD12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、DTRLD12レジスタを初期化 (00H) してください。

(2) ノーマルモードの使用例2 : UART0連続送信

UART0の送信バッファ空き割り込みでDTCを起動し、RAMの値をUART0の送信バッファに転送します。

- ・ベクタアドレスはFFB0CH, コントロールデータはFFBC8H~FFBCFHに配置
- ・RAMのFFCF8H~FFCFFHの8バイトをUART0の送信バッファ (FFF10H) へ転送

図22-17 ノーマルモードの使用例2 : UART0連続送信



[] 内の処理はDTCが自動で実行します。

ノーマルモードのため、DTRL17レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、DTRL17レジスタを初期化 (00H) してください。

UART0の最初の送信は、ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより、自動的に送信されます。

22.4.3 リピートモード

1回の起動で、1~255バイトを転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1~255回です。指定回数の転送が終了すると、DTCCTj (j = 0~23) レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが1 (割り込み発生許可) でDTCCTjレジスタが0になるデータ転送をDTCが行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0~3) レジスタの対応するDTCENi0~DTCENi7ビットを0 (起動禁止) にします。DTCCRjレジスタのRPTINTビットが0 (割り込み発生禁止) の場合は、DTCCTjレジスタが0になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi0~DTCENi7ビットは0になりません。

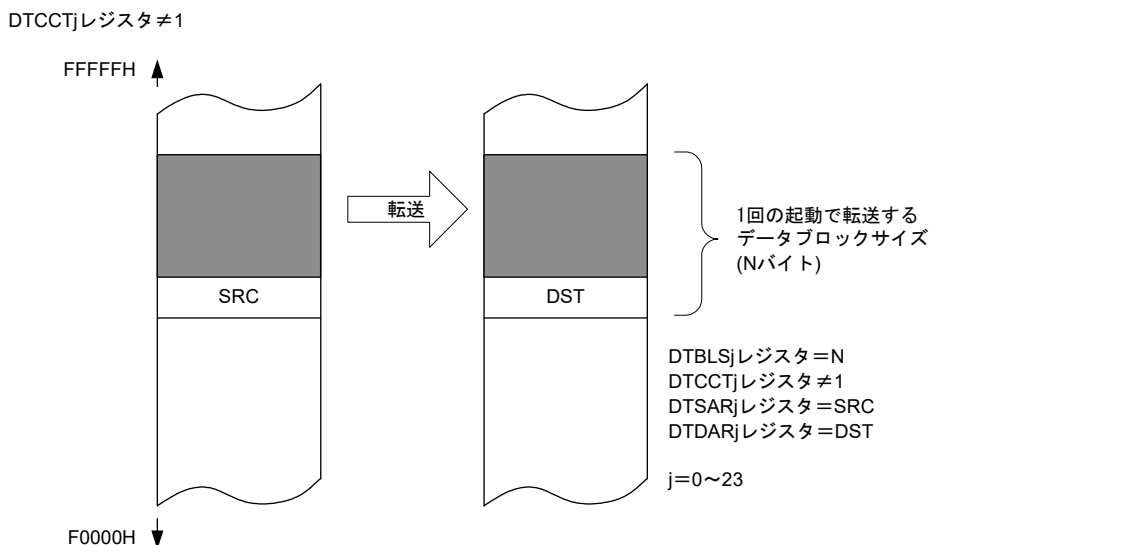
表22-8にリピートモードでのレジスタ機能を示します。図22-18にリピートモードでのデータ転送を示します。

表22-8 リピートモードでのレジスタ機能

レジスタ名称	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLdj	このレジスタの値をDTCCTレジスタへリロード (データ転送回数を初期化)
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

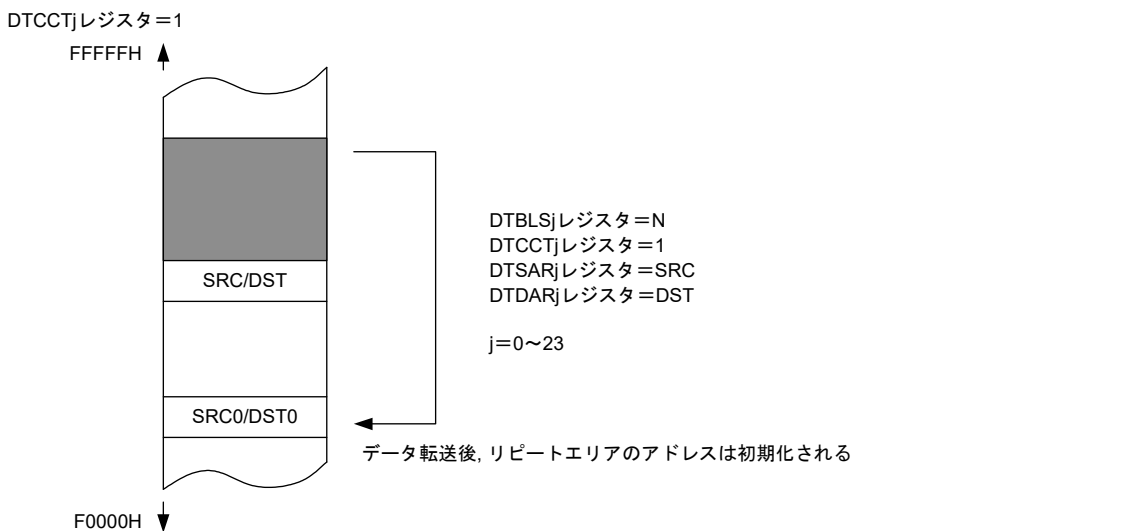
備考 j = 0~23

図22-18 リピートモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC+N	DST
1	X	1	1	リピートエリア	加算	SRC+N	DST+N
X	0	0	1	固定	リピートエリア	SRC	DST+N
X	1	0	1	加算	リピートエリア	SRC+N	DST+N

X: 0または1



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC0	DST
1	X	1	1	リピートエリア	加算	SRC0	DST+N
X	0	0	1	固定	リピートエリア	SRC	DST0
X	1	0	1	加算	リピートエリア	SRC+N	DST0

SRC0: ソースアドレス初期値
DST0: デスティネーションアドレス初期値

X: 0または1

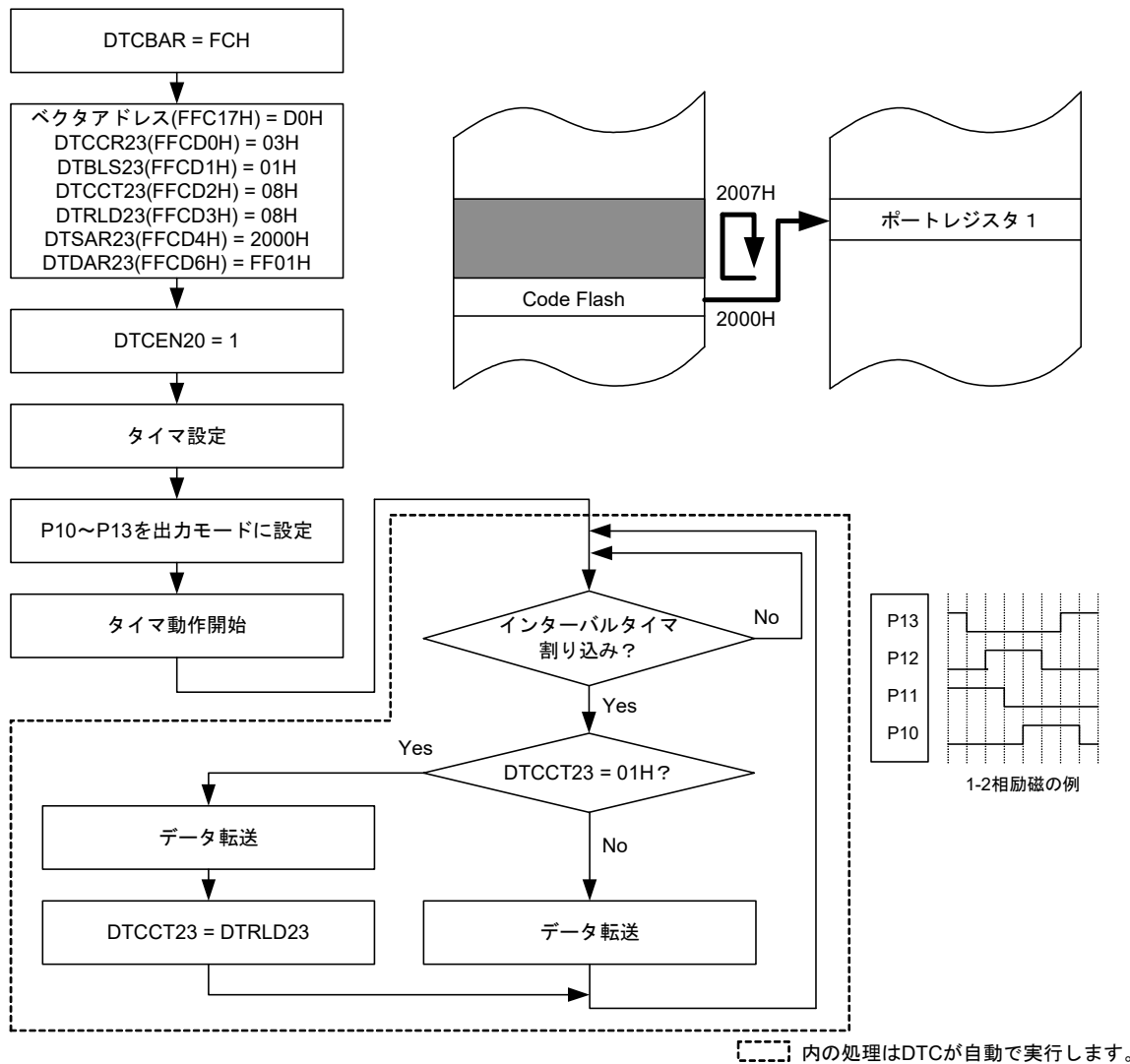
- 注意1. リピートモード使用時は, リピートエリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。
2. リピートモード使用時は, リピートエリアのデータサイズを255バイト以内にしてください。

(1) リピートモードの使用例：ポートを使ったステップングモータ制御パルス出力

インターバルタイマの割り込みでDTCを起動し、Code Flashに格納されたモータ制御パルスのパターンを汎用ポートに転送します。

- ・ベクタアドレスはFFC0CH, コントロールデータはFFCD0H~FFCD7Hに配置
- ・Code Flashの02000H~02007Hの8バイトデータをミラー空間F2000H~F2007Hからポートレジスタ 1 (FFF01H) へ転送
- ・リピートモード割り込みは禁止

図22-19 リピートモードの使用例1：ポートを使ったステップングモータ制御パルス出力



出力を停止する場合は、タイマを停止してから、DTCEN20をクリアしてください。

22.4.4 チェイン転送

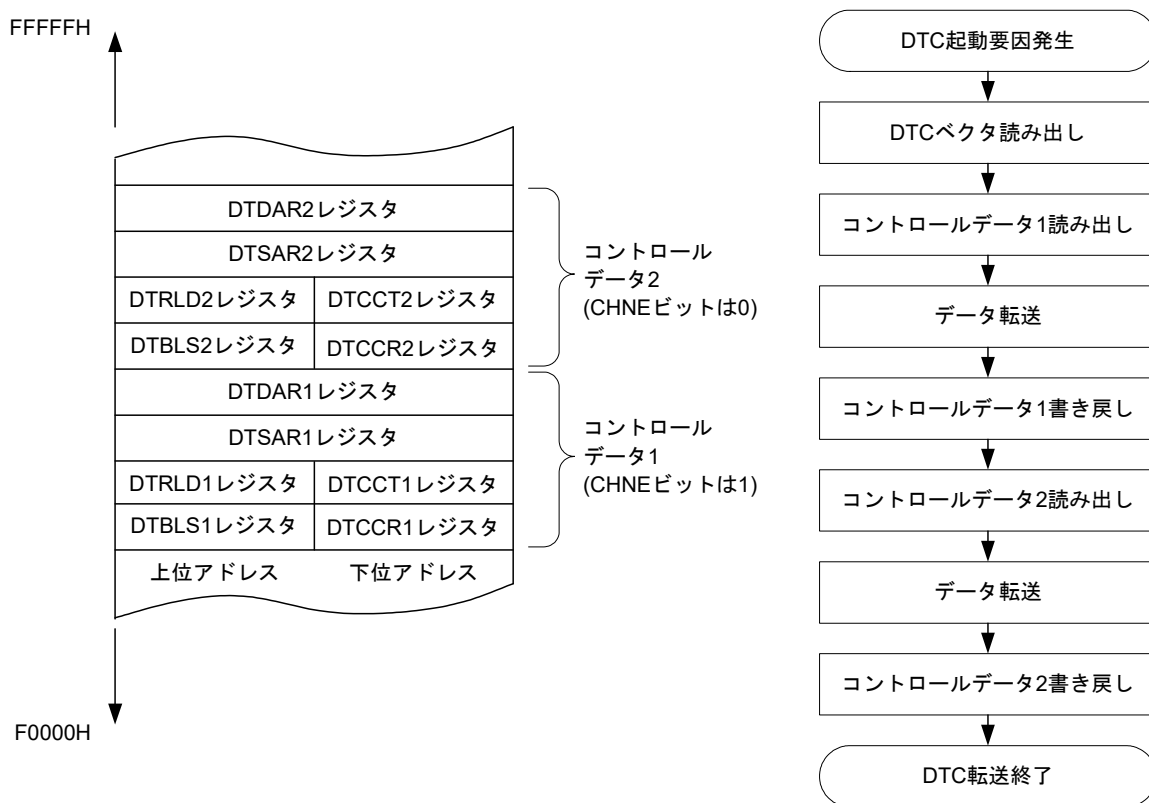
DTCCRj (j = 0~22) レジスタのCHNEビットが1 (チェーン転送許可) のとき, 1つの起動要因で複数のデータ転送を連続してできます。

DTCが起動すると, 起動要因に対応したDTCベクタアドレスから読み出されたデータによりコントロールデータを選択し, DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1 (チェーン転送許可) であれば, 転送終了後, 連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0 (チェーン転送禁止) のコントロールデータのデータ転送が終了するまで続けます。

複数のコントロールデータを用いてチェーン転送を行う場合は, 最初のコントロールデータに設定された転送回数が有効となり, 2番目以降に処理されるコントロールデータの転送回数は無効となります。

図22-20にチェーン転送でのデータ転送を示します。

図22-20 チェイン転送でのデータ転送



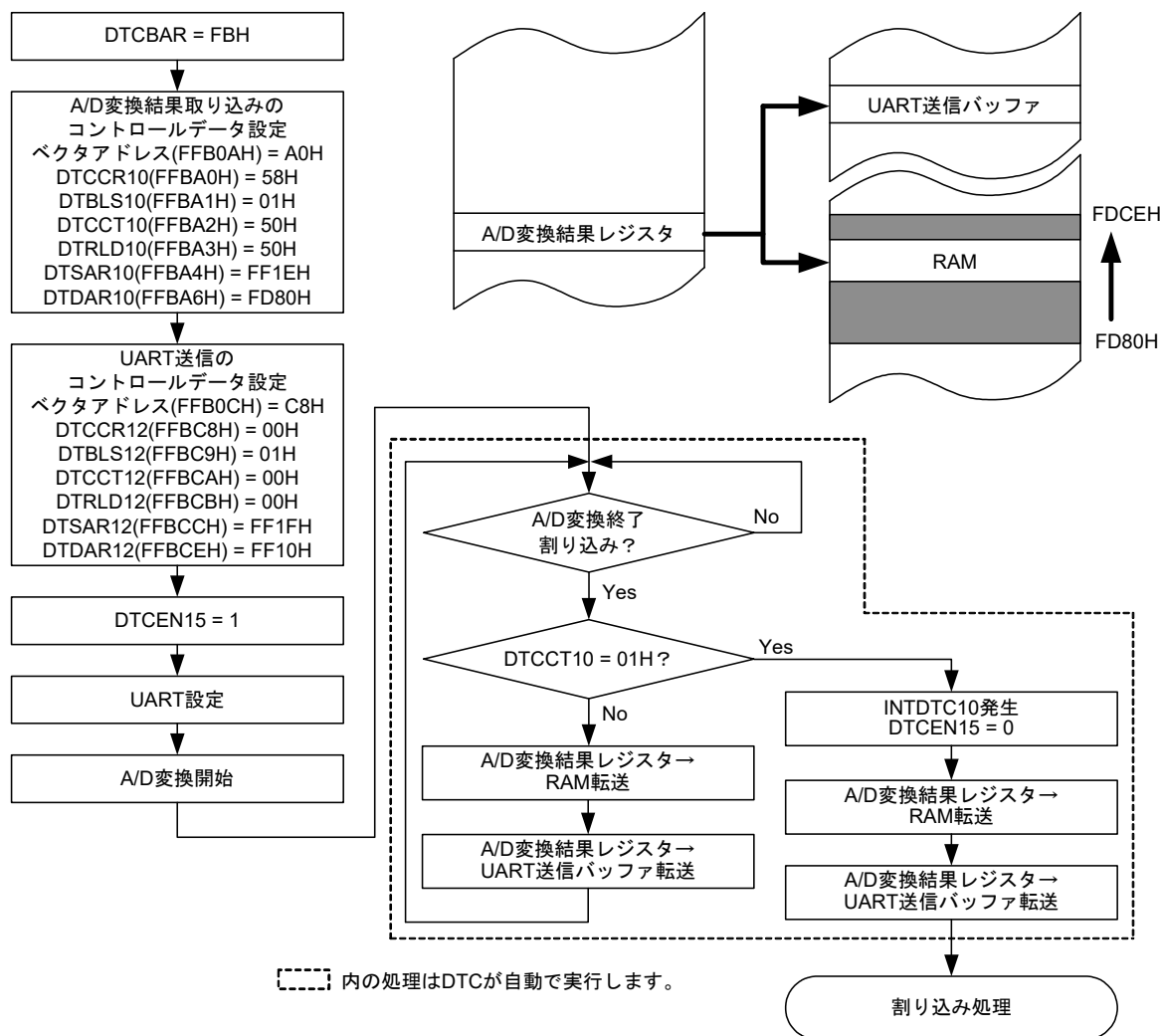
- 注1. DTCCR23レジスタのCHNEビットは0 (チェーン転送禁止) にしてください。
- 2. チェイン転送の場合, 2回目以降のデータ転送では, DTCENi (i = 0~3) レジスタのDTCENi0~DTCENi7ビットは0 (DTC起動禁止) になりません。また, 割り込み要求は発生しません。

(1) チェイン転送の使用例：A/D変換結果の連続取り込みとUART送信

A/D変換終了割り込みでDTCを起動し、A/D変換結果をRAMに転送し、UARTで送信します。

- ・ベクタアドレスはFFB0AH
- ・A/D変換結果取り込みのコントロールデータはFFBA0H~FFBA7Hに配置
- ・UART送信のコントロールデータはFFBA8H~FFBAFHに配置
- ・A/D変換終了割り込みはTRIGGER23に割り当て
- ・A/D変換結果レジスタ (FFF1FH, FFF1EH) の2バイトデータをRAMのFFD80H~FFDCFHに転送し、A/D変換結果レジスタの上位1バイト (FFF1FH) をUARTの送信バッファ (FFF10H) へ転送

図22-21 チェイン転送の使用例：A/D変換結果の連続取り込みとUART送信



22.5 DTC使用上の注意事項

22.5.1 DTCのコントロールデータおよびベクタテーブルの設定

- ・ DTC転送でDTCのSFRおよびDTCコントロールデータ領域、DTCベクタテーブル領域、汎用レジスタ (FFEE0H-FFEFFH) 空間をアクセスしないでください。
- ・ DTCベース・アドレス・レジスタ (DTCBAR) は、全てのDTC起動要因を起動禁止に設定した状態に変更してください。
- ・ DTCベース・アドレス・レジスタ (DTCBAR) を2回以上書き換えないでください。
- ・ DTCCRj, DTBLSj, DTCCTj, DTRLdj, DTSARj, DTDARjレジスタのデータは対応するDTCENi (i = 0-3) レジスタのDTCENi0-DTCENi7ビットが0 (DTC起動禁止) のときに変更してください。
- ・ ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0-3) レジスタのDTCENi0-DTCENi7ビットが0 (DTC起動禁止) のときに変更してください。
- ・ セルフ・プログラミング時は、DTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に設定しないでください。

22.5.2 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCコントロールデータとベクタテーブルを配置できる領域は製品によって異なります。

- ・ 汎用レジスタ (FFEE0H-FFEFFH) の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- ・ スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- ・ 次に示す製品の内部RAM領域は、セルフ・プログラミング機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
R5F10MMGDFB, R5F10MPGDFB : FDF00H-FE309H
R5F10MMEDFB, R5F10MPEDFB : FE700H-FEB09H
- ・ 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
R5F10MME, R5F10MPE, R5F10MMG, R5F10MPG : FE300H-FE6FFH
- ・ RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、ノーマルモード使用時においてもDTRLdレジスタを初期化(00H)してください。

22.5.3 DTC保留命令

DTC転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX命令コードと直後の1命令の間にDTCが起動されることはありません。

- ・ コールリターン命令
- ・ 無条件分岐命令
- ・ 条件付き分岐命令
- ・ コード・フラッシュ・メモリへのリードアクセス命令
- ・ IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- ・ 乗除積和算命令 (MULU命令を除く)

注意1. DTC転送要求を受け付けると、DTC転送が完了するまで、全ての割り込み要求が保留されます。

2. DTC保留命令によるDTC保留中は、全ての割り込み要求が保留されます。

22.5.4 DTC実行クロック数

表22-9にDTC起動時の実行状況と必要なクロック数を示します。

表22-9 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

- 注1. コントロールデータの書き戻しに必要なクロック数は、表22-10 コントロールデータの書き戻しに必要なクロック数を参照してください。
- 2. データの読み出し/書き込みに必要なクロック数は、表22-11 データの読み出し/書き込みに必要なクロック数を参照してください。

表22-10 コントロールデータの書き戻しに必要なクロック数

DTC CRレジスタ設定				アドレス設定		書き戻すコントロール・レジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTjレジスタ	DTRLdjレジスタ	DTSARjレジスタ	DTDARjレジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピートエリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピートエリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算		書き戻す	書き戻す	書き戻す	書き戻す	3

備考 j = 0~23, X: 0または1

表22-11 データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	SFR	2nd SFR	
				ウェイトなし	ウェイトあり
データ読み出し	1	2	1	1	1+ウェイト数 ^注
データ書き込み	1	—	1	1	1+ウェイト数 ^注

注 ウェイト数はアクセスする2nd SFRに配置されたレジスタの仕様によって異なります。

22.5.5 DTC応答時間

表22-12にDTCにおける応答時間を示します。DTC応答時間とはDTC起動要因の検出からDTC転送開始までの時間であり、DTC実行クロック数は含まれません。

表22-12 DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合には更にDTCの応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- ・ 内部RAMからの命令実行の場合
最大応答時間：20クロック
- ・ DTC保留命令実行の場合（22.5.3 DTC保留命令を参照）
最大応答時間：各条件時の最大応答時間+その条件での保留する命令の実行クロック
- ・ ウェイトが発生するレジスタをアクセスした場合
最大応答時間：各条件時の最大応答時間+1クロック

備考 1クロック：1/f_{CLK}（f_{CLK}：CPU/周辺ハードウェアクロック）

22.5.6 DTC起動要因

- ・ DTC起動要因を入力してからDTC転送が完了するまでは同一起動要因を入力しないでください。
- ・ DTC起動要因が発生する箇所で、その起動要因に対応したDTC起動許可ビットを操作しないでください。
- ・ DTC起動要因が競合した場合は、CPUがDTC転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は22.3.3 ベクタテーブルを参照してください。
- ・ 次のいずれかの条件でDTC起動を許可した場合、DTC転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタフラグ（CnMON）を確認してからDTC起動許可にしてください。（n = 0-1）
 - ・ コンパレータを片エッジ検出での割り込み要求に設定（CnEDG = 0）、コンパレータの立ち上がりエッジで割り込み要求に設定（CnEPO = 0）、かつIVCMP > IVREF（または内部基準電圧1.45 V）の状態
 - ・ コンパレータを片エッジ検出での割り込み要求に設定（CnEDG = 0）、コンパレータの立ち下がりエッジで割り込み要求に設定（CnEPO = 1）、かつIVCMP < IVREF（または内部基準電圧1.45 V）の状態

22.5.7 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能 (低消費RTCモード時は動作禁止)
STOPモード	DTC起動要因受付可能 ^{注2}
SNOOZEモード	動作可能 ^{注1, 3, 4, 5}

- 注1. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
2. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、HALTモード、SNOOZEモード中はコード・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元（ソース）にすることはできません。
3. CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、CSIpの受信再設定（STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み）をDTC転送で行ってください。
4. UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、UARTqの受信再設定（STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み）を行ってください。
5. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合、DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、A/DコンバータのSNOOZEモード機能の再設定（AWCビットをクリアしたのちにセットする）を行ってください。

注意 DTCのSNOOZE機能とUARTのSNOOZE機能を同時に使用することはできません。

備考 p = 00; q = 0; m = 0

第23章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

		割り込み要因
マスカブル割り込み	外部	10
	内部	33

23.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表23-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

23.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります（表23-1参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表23-1 割り込み要因一覧 (1/3)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
マスク可能	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバフロー時間の75%+1/2f _L)	内部	0004H	(A)
	1	INTLVI	電圧検出 ^{注4}		0006H	
	2	INTP0 ^{注5}	端子入力エッジ検出	外部	0008H	(B)
	3	INTP1			000AH	
	4	INTP2			000CH	
	5	INTP3			000EH	
	6	INTP4			0010H	
	7	INTP5	0012H			
	8	INTST2	UART2送信の転送完了, バッファ空き割り込み	内部	0014H	(A)
	9	INTSR2	UART2受信の転送完了		0016H	
	10	INTSRE2	UART2受信の通信エラー発生		0018H	
	11	INTST0 /INTCSI00 /INTIIC00	UART0送信の転送完了, バッファ空き割り込み／CSI00の転送完了, バッファ空き割り込み／IIC00の転送完了		001EH	
	12	INTTM00	タイマ・チャンネル00のカウント完了またはキャプチャ完了		0020H	
	13	INTSR0	UART0受信の転送完了		0022H	
	14	INTSRE0	UART0受信の通信エラー発生		0024H	
		INTTM01H	タイマ・チャンネル01のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)			
	15	INTST1 /INTIIC10	UART1送信の転送完了, バッファ空き割り込み／IIC10の転送完了		0026H	
	16	INTSR1	UART1受信の転送完了		0028H	
	17	INTSRE1	UART1受信の通信エラー発生		002AH	
		INTTM03H	タイマ・チャンネル03のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)			
	18	INTIICA0	IICA0通信完了		002CH	
19	INTRTIT	RTC補正タイミング	002EH			
20	INTFM	周波数測定完了	0030H			
21	INTTM01	タイマ・チャンネル01のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)	0032H			

- 注 1. デフォルト・プライオリティは、複数のマスク可能割り込みが発生している場合に、優先する順位です。0が最高順位、42が最低順位です。
2. 基本構成タイプの (A) - (C) は、それぞれ図23-1の (A) - (C) に対応しています。
3. オプション・バイト (000C0H) のビット7 (WDTINT) = 1選択時。
4. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 0選択時。
5. INTP0端子の入力バッファ電源は、内部V_{DD}に接続されています。バッテリー・バックアップ機能を使用し、VBAT端子から給電されている場合でも割り込みを受け付けることが可能です。

表23-1 割り込み要因一覧 (2/3)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	
		名称	トリガ				
マスク可能	22	INTTM02	タイマ・チャンネル02のカウンタ完了またはキャプチャ完了	内部	0034H	(A)	
	23	INTTM03	タイマ・チャンネル03のカウンタ完了またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)		0036H		
	24	INTAD	A/D変換終了		0038H		
	25	INTRTC	リアルタイム・クロック2の定周期信号/アラーム一致検出		003AH		
	26	INTIT	12ビット・インターバル・タイマのインターバル信号検出		003CH		
	27	INTDSAD	$\Delta \Sigma$ A/D変換完了		0044H		
	28	INTTM04	タイマ・チャンネル04のカウンタ完了またはキャプチャ完了		0046H		
	29	INTTM05	タイマ・チャンネル05のカウンタ完了またはキャプチャ完了		0048H		
	30	INTP6	端子入力エッジ検出	外部	004AH	(B)	
	31	INTP7			004CH		
	32	INTCMP0			コンパレータ検出0		0050H
	33	INTCMP1			コンパレータ検出1		0052H
	34	INTTM06	タイマ・チャンネル06のカウンタ完了またはキャプチャ完了	内部	0054H	(A)	
	35	INTTM07	タイマ・チャンネル07のカウンタ完了またはキャプチャ完了		0056H		
	36	INTIT00	8ビット・インターバル・タイマ・チャンネル00/チャンネル0 (カスケード時) 比較一致検出		0058H		
	37	INTIT01	8ビット・インターバル・タイマ・チャンネル01比較一致検出		005AH		
	38	INTCR	高速オンチップ・オシレータ・クロック周波数補正完了		005CH		
	39	INTOSDC	発振停止検出		0060H		
	40	INTIT10	8ビット・インターバル・タイマ・チャンネル10/チャンネル1 (カスケード時) 比較一致検出		0068H		
	41	INTIT11	8ビット・インターバル・タイマ・チャンネル11比較一致検出		006AH		
	42	INTVBAT	電源切り替え検出割り込み		006CH		

- 注 1. デフォルト・プライオリティは、複数のマスク可能割り込みが発生している場合に、優先する順位です。0が最高順位、42が最低順位です。
2. 基本構成タイプの (A) - (C) は、それぞれ図23-1の (A) - (C) に対応しています。

表23-1 割り込み要因一覧 (3/3)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
ソフトウェア	—	BRK	BRK命令の実行	—	007EH	(C)
リセット	—	RESET	RESET端子入力	—	0000H	—
		POR	パワーオン・リセット			
		LVD	電圧検出 ^{注3}			
		WDT	ウォッチドッグ・タイマのオーバフロー			
		TRAP	不正命令の実行 ^{注4}			
		IAW	不正メモリ・アクセス			
		RPE	RAMパリティ・エラー			

注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、42が最低順位です。

2. 基本構成タイプの (A) - (C) は、それぞれ図23-1の (A) - (C) に対応しています。

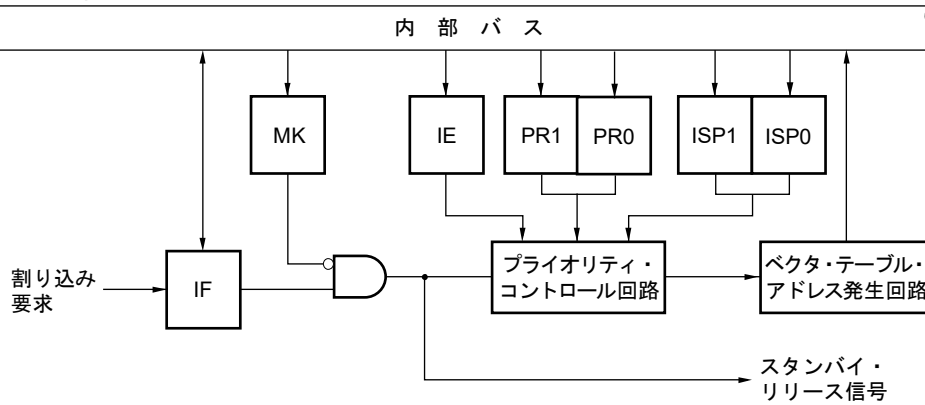
3. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 1選択時。

4. FFHの命令コードを実行したときに発生します。

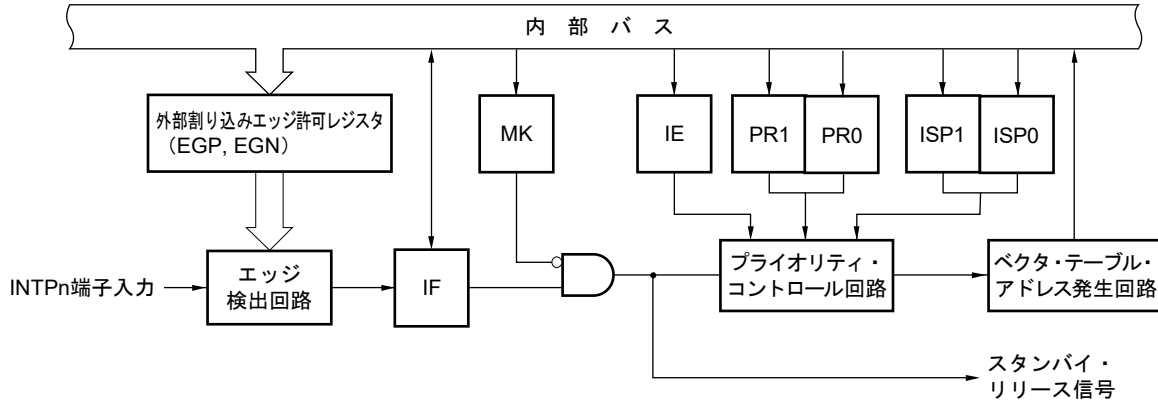
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図23-1 割り込み機能の基本構成

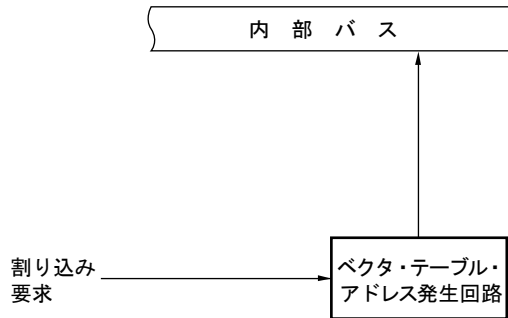
(A) 内部マスカブル割り込み



(B) 外部マスカブル割り込み (INTPn)



(C) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ0
- ISP1 : インサースビス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 n = 0-7

23.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)
- ・優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表23-2に示します。

表23-2 割り込み要求ソースに対応する各種フラグ (1/3)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1	
INTP0	PIF0		PMK0		PPR00, PPR10	
INTP1	PIF1		PMK1		PPR01, PPR11	
INTP2	PIF2		PMK2		PPR02, PPR12	
INTP3	PIF3		PMK3		PPR03, PPR13	
INTP4	PIF4		PMK4		PPR04, PPR14	
INTP5	PIF5		PMK5		PPR05, PPR15	
INTST2	STIF2	IF0H	STMK2	MK0H	STPR02, STPR12	PR00H, PR10H
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12	
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12	
INTCSI00 ^注	CSIIIF00 ^注		CSIMK00 ^注		CSIPR000, CSIPR100 ^注	
INTIIC00 ^注	IICIF00 ^注		IICMK00 ^注		IICPR000, IICPR100 ^注	
INTST0 ^注	STIF0 ^注		STMK0 ^注		STPR00, STPR10 ^注	
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100	
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10	

注 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。

表23-2 割り込み要求ソースに対応する各種フラグ (2/3)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTSRE0 ^{注1}	SREIF0 ^{注1}	IF1L	SREMK0 ^{注1}	MK1L	SREPR00, SREPR10 ^{注1}	PR01L, PR11L
INTTM01H ^{注1}	TMIF01H ^{注1}		TMMK01H ^{注1}		TMPR001H, TMPR101H ^{注1}	
INTST1 ^{注2}	STIF1 ^{注2}		STMK1 ^{注2}		STPR01, STPR11 ^{注2}	
INTIIC10 ^{注2}	IICIF10 ^{注2}		IICMK10 ^{注2}		IICPR010, IICPR110 ^{注2}	
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11	
INTSRE1 ^{注3}	SREIF1 ^{注3}		SREMK1 ^{注3}		SREPR01, SREPR11 ^{注3}	
INTTM03H ^{注3}	TMIF03H ^{注3}		TMMK03H ^{注3}		TMPR003H, TMPR103H ^{注3}	
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10	
INTRTIT	RTIF		RTITMK		RTITPR0, RTITPR1	
INTFM	FMIF		FMMK		FMPR0, FMPR1	
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101	
INTTM02	TMIF02	IF1H	TMMK02	MK1H	TMPR002, TMPR102	PR01H, PR11H
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103	
INTAD	ADIF		ADMK		ADPR0, ADPR1	
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1	
INTIT	TMKAIF		TMKAMK		TMKAPR0, TMKAPR1	
INTDSAD	DSAIF	IF2L	DSAMK	MK2L	DSAPR0, DSAPR1	PR02L, PR12L
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104	
INTTM05	TMIF05		TMMK05		TMPR005, TMPR105	
INTP6	PIF6		PMK6		PPR06, PPR16	
INTP7	PIF7		PMK7		PPR07, PPR17	
INTCMP0	CMPIF0		CMPMK0		CMPPR00, CMPPR10	
INTCMP1	CMPIF1		CMPMK1		CMPPR01, CMPPR11	

- 注 1. UART0受信のエラー割り込み, TAU0のチャンネル1 (上位8ビット・タイマ動作時) の割り込みは, 割り込み要求ソースに対する各種フラグを兼用しているため, 同時に使用しないでください。UART0受信のエラー割り込みを使用しない (EOC01 = 0) 場合は, UART0, TAU0のチャンネル1 (上位8ビット・タイマ動作時) を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち, どちらかが発生したら, IF1Lレジスタのビット0はセット (1) されます。また, MK1L, PR01L, PR11Lレジスタのビット0は, 両方の割り込み要因に対応しています。
2. 割り込み要因INTST1, INTIIC10のうち, どちらかが発生したら, IF1Lレジスタのビット1はセット (1) されます。また, MK1L, PR01L, PR11Lレジスタのビット1は, 2つすべての割り込み要因に対応しています。
3. UART1受信のエラー割り込み, TAU0のチャンネル3 (上位8ビット・タイマ動作時) の割り込みは, 割り込み要求ソースに対する各種フラグを兼用しているため, 同時に使用しないでください。UART1受信のエラー割り込みを使用しない (EOC03 = 0) 場合は, UART1, TAU0のチャンネル3 (上位8ビット・タイマ動作時) を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち, どちらかが発生したら, IF1Lレジスタのビット3はセット (1) されます。また, MK1L, PR01L, PR11Lレジスタのビット3は, 両方の割り込み要因に対応しています。

表23-2 割り込み要求ソースに対応する各種フラグ (3/3)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTTM06	TMIF06	IF2H	TMMK06	MK2H	TMPR006, TMPR106	PR02H, PR12H
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107	
INTIT00	ITIF00		ITMK00		ITPR000, ITPR100	
INTIT01	ITIF01		ITMK01		ITPR001, ITPR101	
INTCR	CRIF		CRMK		CRPR0, CRPR1	
INTOSDC	OSDIF		OSDMK		OSDPR0, OSDPR1	
INTIT10	ITIF10	IF3L	ITMK10	MK3L	ITPR010, ITPR110	PR03L, PR13L
INTIT11	ITIF11		ITMK11		ITPR011, ITPR111	
INTVBAT	VBAIF		VBAMK		VBAPR0, VBAPR1	

23.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタ、IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図23-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L) のフォーマット (1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SRIF0	TMIF00	STIF0 CSIF00 IICIF00	0	0	SREIF2	SRIF2	STIF2

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF01	FMIF	RTITIF	IICAF0	SREIF1 TMIF03H	SRIF1	STIF1 IICIF10	SREIF0 TMIF01H

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	TMKAIF	RTCIF	ADIF	TMIF03	TMIF02

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	CMPIF1	CMPIF0	0	PIF7	PIF6	TMIF05	TMIF04	DSAIF

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	0	OSDIF	0	CRIF	ITIF01	ITIF00	TMIF07	TMIF06

図23-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L) のフォーマット (2/2)

アドレス : FFFD2H リセット時 : 00H R/W

略号	7	6	5	④	③	②	1	0
IF3L	0	0	0	VBAIF	ITIF11	ITIF10	0	0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. ビットについては、表23-2を参照してください。また、搭載していないビットには必ず0を設定してください。

2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

23.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LレジスタとMK0Hレジスタ、MK1LレジスタとMK1Hレジスタ、MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHIになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図23-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L) のフォーマット

アドレス : FFFE4H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	4	3	[2]	[1]	[0]
MK0H	SRMK0	TMMK00	STMK0 CSIMK00 IICMK00	1	1	SREMK2	SRMK2	STMK2

アドレス : FFFE6H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK1L	TMMK01	FMMK	RTITMK	IICAMK0	SREMK1 TMMK03H	SRMK1	STMK1 IICMK10	SREMK0 TMMK01H

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	[4]	[3]	[2]	[1]	[0]
MK1H	1	1	1	TMKAMK	RTCMK	ADMK	TMMK03	TMMK02

アドレス : FFFD4H リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	[3]	[2]	[1]	[0]
MK2L	CMPMK1	CMPMK0	1	PMK7	PMK6	TMMK05	TMMK04	DSAMK

アドレス : FFFD5H リセット時 : FFH R/W

略号	7	[6]	5	[4]	[3]	[2]	[1]	[0]
MK2H	1	OSDMK	1	CRMK	ITMK01	ITMK00	TMMK07	TMMK06

アドレス : FFFD6H リセット時 : FFH R/W

略号	7	6	5	[4]	[3]	[2]	1	0
MK3L	1	1	1	VBAMK	ITMK11	ITMK10	1	1

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 ビットについては、表23-2を参照してください。また、搭載していないビットには必ず初期値を設定してください。

23.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせると、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LレジスタとPR00Hレジスタ、PR01LレジスタとPR01Hレジスタ、PR02LレジスタとPR02Hレジスタ、PR10LレジスタとPR10Hレジスタ、PR11LレジスタとPR11Hレジスタ、PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHIになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図23-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L) のフォーマット (1/2)

アドレス : FFFE8H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	4	3	[2]	[1]	[0]
PR00H	SRPR00	TMPR000	STPR00 CSIPR000 IICPR000	1	1	SREPR02	SRPR02	STPR02

アドレス : FFFEDH リセット時 : FFH R/W

略号	[7]	[6]	[5]	4	3	[2]	[1]	[0]
PR10H	SRPR10	TMPR100	STPR10 CSIPR100 IICPR100	1	1	SREPR12	SRPR12	STPR12

アドレス : FFFEAH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR01L	TMPR001	FMPR0	RTITPR0	IICAPR00	SREPR01 TMPR003H	SRPR01	STPR01 IICPR010	SREPR00 TMPR001H

図23-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L) のフォーマット (2/2)

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR101	FMPR1	RTITPR1	IICAPR10	SREPR11 TMPR103H	SRPR11	STPR11 IICPR110	SREPR10 TMPR101H

アドレス : FFFEBH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	1	1	1	TMKAPR0	RTCPR0	ADPR0	TMPR003	TMPR002

アドレス : FFFEFH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	1	1	1	TMKAPR1	RTCPR1	ADPR1	TMPR103	TMPR102

アドレス : FFFD8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02L	CMPPR01	CMPPR00	1	PPR07	PPR06	TMPR005	TMPR004	DSAPR0

アドレス : FFFDCH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12L	CMPPR11	CMPPR10	1	PPR17	PPR16	TMPR105	TMPR104	DSAPR1

アドレス : FFFD9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02H	1	OSDPR0	1	CRPR0	ITPR001	ITPR000	TMPR007	TMPR006

アドレス : FFFDDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12H	1	OSDPR1	1	CRPR1	ITPR101	ITPR100	TMPR107	TMPR106

アドレス : FFFDAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR03L	1	1	1	VBAPR0	ITPR011	ITPR010	1	1

アドレス : FFFDEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR13L	1	1	1	VBAPR1	ITPR111	ITPR110	1	1

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

注意 ビットについては、表23-2を参照してください。また、搭載していないビットには必ず初期値を設定してください。

23. 3. 4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0-INTP7の有効エッジを設定するレジスタです。

EGP0, EGN0レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図23-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0) のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-7)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表23-3に示します。

表23-3 EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号
EGP0	EGN0	INTP0
EGP1	EGN1	INTP1
EGP2	EGN2	INTP2
EGP3	EGN3	INTP3
EGP4	EGN4	INTP4
EGP5	EGN5	INTP5
EGP6	EGN6	INTP6
EGP7	EGN7	INTP7

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止 (EGPn, EGNn=0, 0) にしてからポート・モードレジスタ (PMxx) を0に設定してください。

備考 1. エッジ検出ポートに関しては、2.1 ポート機能を参照してください。

2. n = 0-7

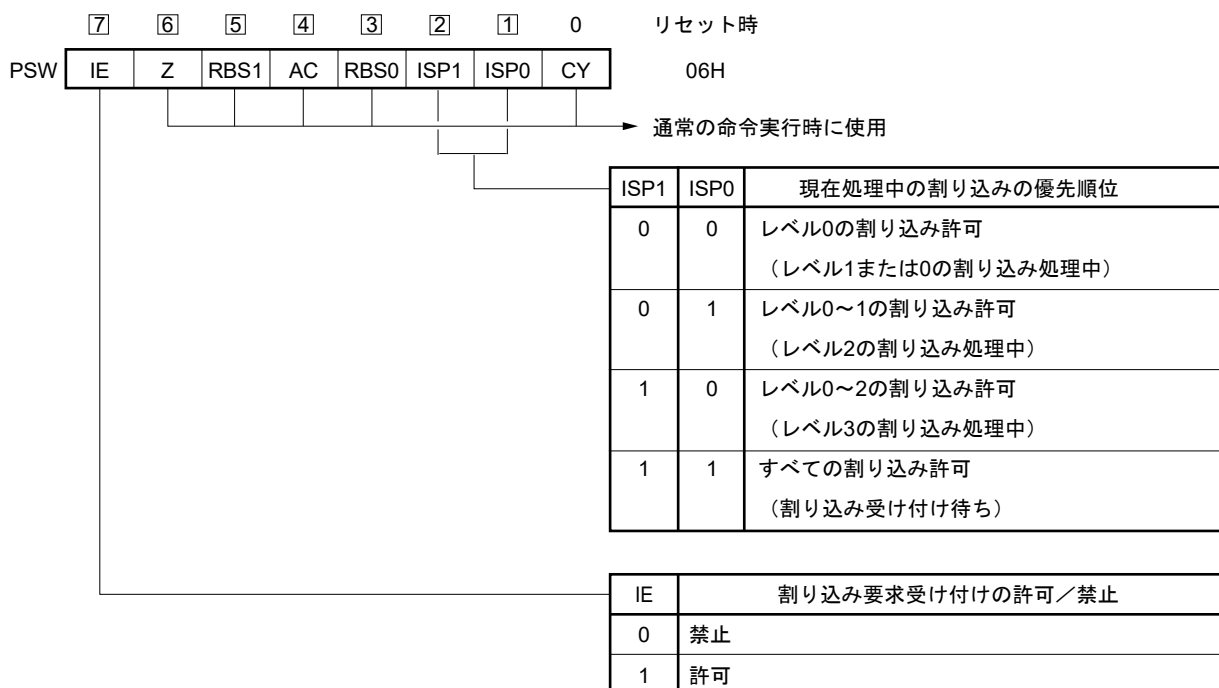
23.3.5 プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、“-1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWIは06Hとなります。

図23-6 プログラム・ステータス・ワードの構成



23.4 割り込み処理動作

23.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット (1) され、その割り込み要求のマスク (MK) フラグがクリア (0) されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態 (IEフラグがセット (1) されているとき) であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表23-4のようになります。

割り込み要求の受け付けタイミングについては、図23-8, 23-9を参照してください。

表23-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	16クロック

注 内部RAM 領域からの命令実行時は除きます。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

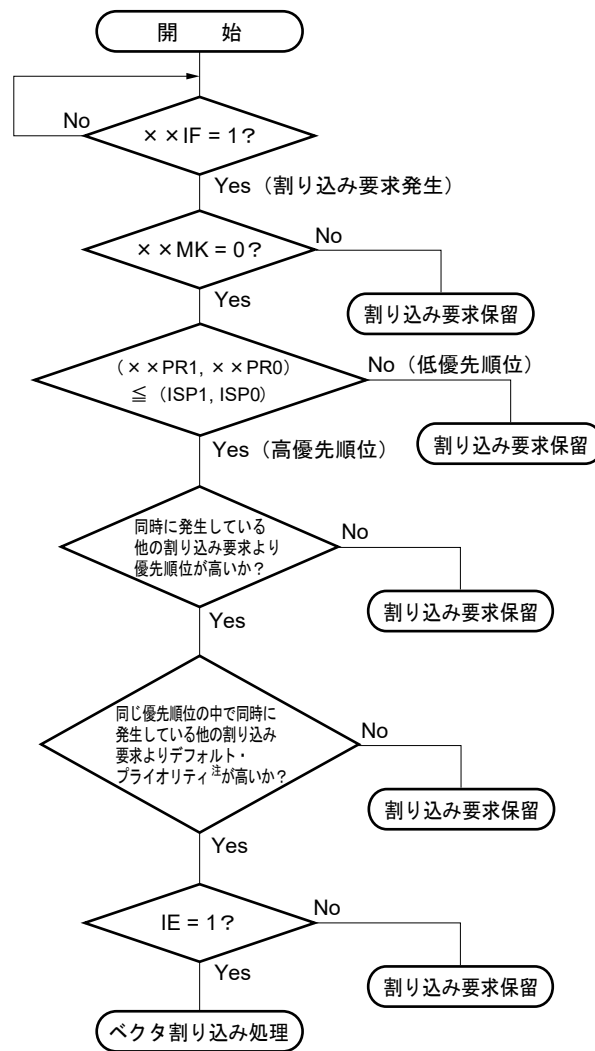
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図23-7に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図23-7 割り込み要求受け付け処理アルゴリズム



- ××IF : 割り込み要求フラグ
 ××MK : 割り込みマスク・フラグ
 ××PR0 : 優先順位指定フラグ0
 ××PR1 : 優先順位指定フラグ1
 IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)
 ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図23-6参照)

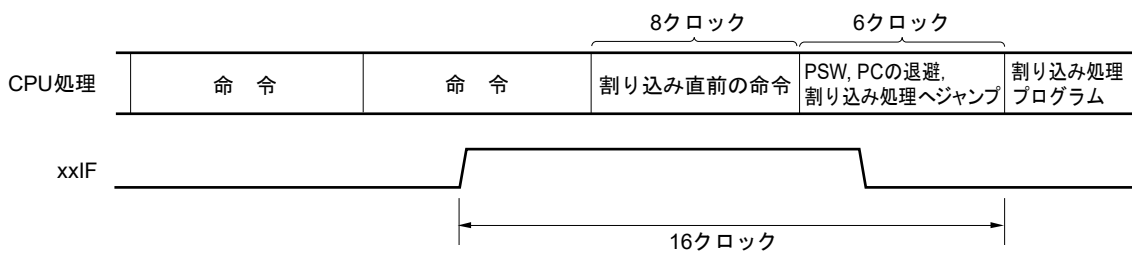
注 デフォルト・プライオリティは、表23-1 割り込み要因一覧を参照してください。

図23-8 割り込み要求の受け付けタイミング（最小時間）



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図23-9 割り込み要求の受け付けタイミング（最大時間）



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

23.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

23.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただし、レベル0の割り込み中にIEフラグをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表23-5に多重割り込み可能な割り込み要求の関係を、図23-10に多重割り込みの例を示します。

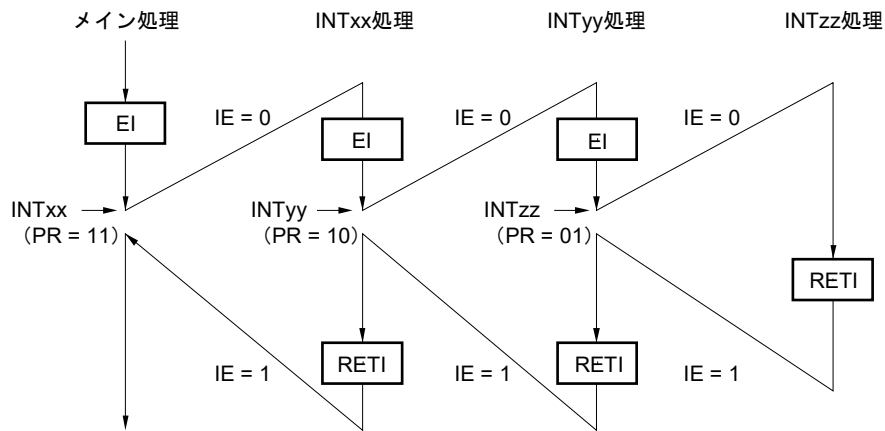
表23-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

- 備考1. ○ : 多重割り込み可能。
 2. × : 多重割り込み不可能。
 3. ISP0, ISP1, IEはPSWに含まれるフラグです。
 ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中
 ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中
 ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中
 ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち (すべての割り込み許可)
 IE = 0 : 割り込み要求受け付け禁止
 IE = 1 : 割り込み要求受け付け許可
 4. PRIはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lジスタに含まれるフラグです。
 PR = 00 : × × PR1 × = 0, × × PR0 × = 0でレベル0を指定 (高優先順位)
 PR = 01 : × × PR1 × = 0, × × PR0 × = 1でレベル1を指定
 PR = 10 : × × PR1 × = 1, × × PR0 × = 0でレベル2を指定
 PR = 11 : × × PR1 × = 1, × × PR0 × = 1でレベル3を指定 (低優先順位)

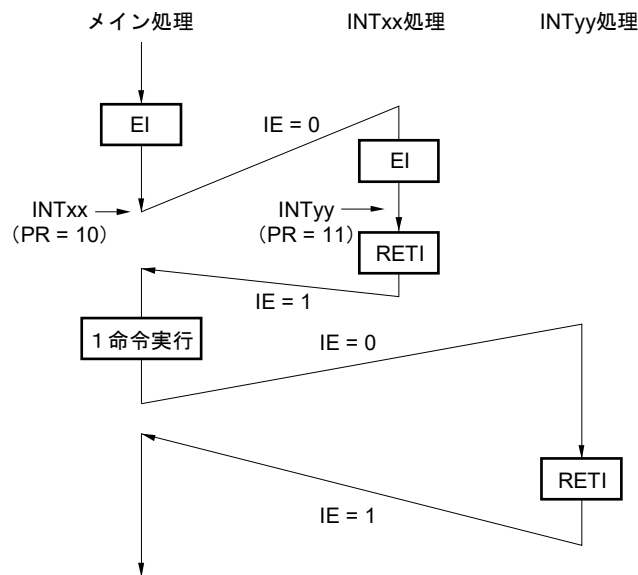
図23-10 多重割り込みの例 (1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times \times PR1 \times = 0, \times \times PR0 \times = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $\times \times PR1 \times = 0, \times \times PR0 \times = 1$ でレベル1を指定

PR = 10 : $\times \times PR1 \times = 1, \times \times PR0 \times = 0$ でレベル2を指定

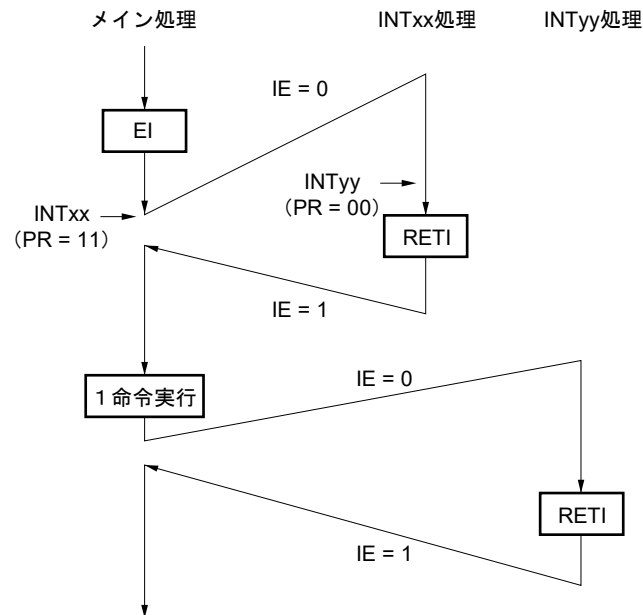
PR = 11 : $\times \times PR1 \times = 1, \times \times PR0 \times = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図23-10 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times \times PR1 \times = 0, \times \times PR0 \times = 0$ でレベル0を指定（高優先順位）

PR = 01 : $\times \times PR1 \times = 0, \times \times PR0 \times = 1$ でレベル1を指定

PR = 10 : $\times \times PR1 \times = 1, \times \times PR0 \times = 0$ でレベル2を指定

PR = 11 : $\times \times PR1 \times = 1, \times \times PR0 \times = 1$ でレベル3を指定（低優先順位）

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

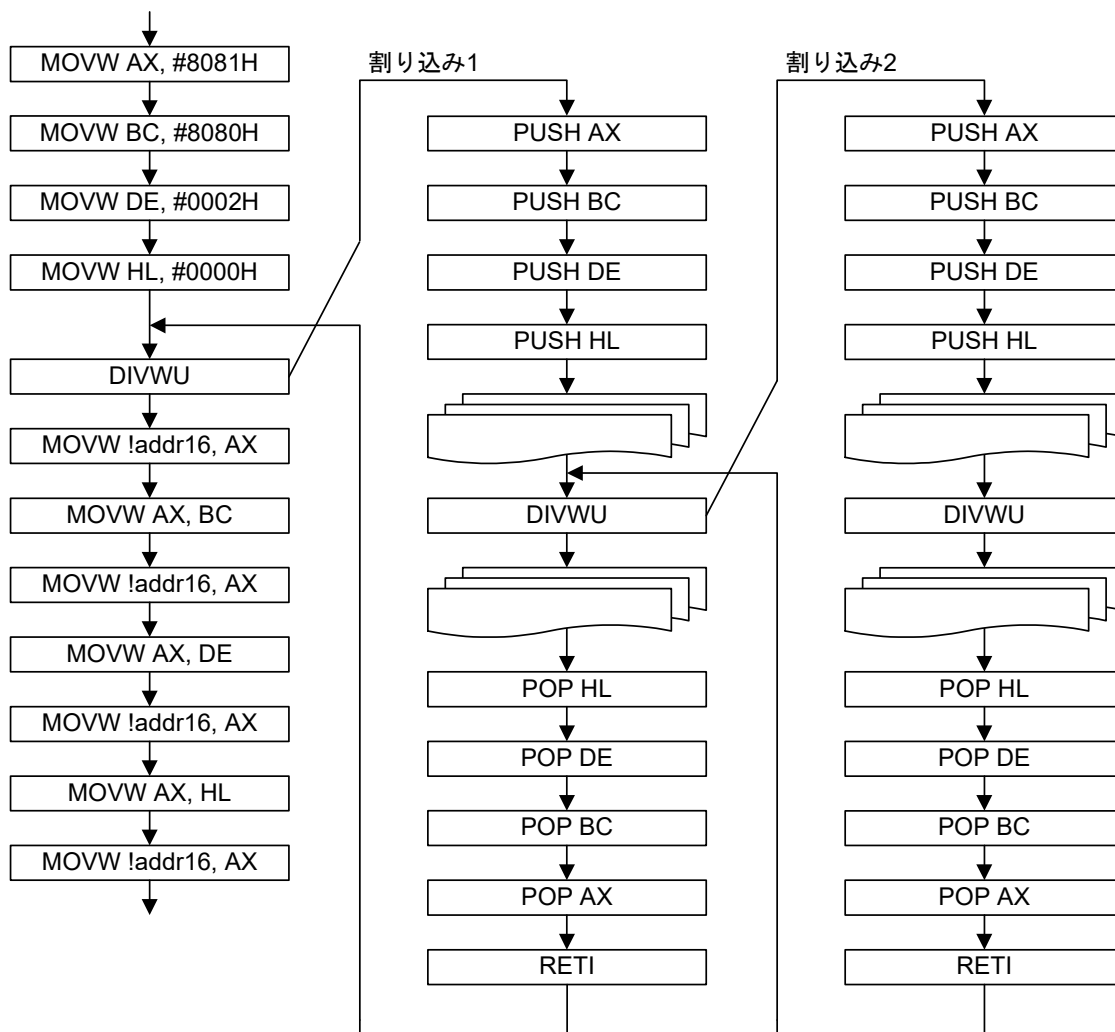
23.4.4 除算命令中の割り込み処理

RL78/I1Bは、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は、DIVHU/DIVWU命令を中断します。
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU命令を再実行するために、PC-3をスタックします。

通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← (PC)S	(SP-2) ← (PC-3)S
(SP-3) ← (PC)H	(SP-3) ← (PC-3)H
(SP-4) ← (PC)L	(SP-4) ← (PC-3)L
PCS ← 0000	PCS ← 0000
PCH ← (Vector)	PCH ← (Vector)
PCL ← (Vector)	PCL ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタックして使用してください。



注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。ただし、RAM 領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU 命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサスエレクトロニクス社コンパイラ製品) V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78 (KPIT社コンパイラ)のC言語ソース

23.4.5 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, #byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ・ MULHU
- ・ MULH
- ・ MACHU
- ・ MACH
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図23-11に示します。

図23-11 割り込み要求の保留



- 備考1. 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令

第24章 スタンバイ機能

24.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSI00, UART0のデータ受信、タイマ・トリガ信号（割り込み要求信号（INTRTC/INTIT））によるA/D変換要求、およびDTC開始要因により、STOPモードを解除し、CPUを動作させることなくCSI00, UART0のデータ受信、A/D変換、DTC変換を行います。CPU/周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定しないでください。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください（SNOOZEモード設定ユニットを除く）。
 - CSI00, UART0, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタ0（SSC0）、A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は、18.3 シリアル・アレイ・ユニットを制御するレジスタ、14.3 A/Dコンバータを制御するレジスタを参照してください。
 - A/Dコンバータ部の消費電力を低減させるためには、A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）とビット0（ADCE）を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
 - 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第32章 オプション・バイトを参照してください。

24.2 スタンバイ機能を制御するレジスタ

スタンバイを制御するレジスタを次に示します。

- ・サブシステム・クロック供給モード制御レジスタ (OSMC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 上記レジスタの詳細は、**第5章 クロック発生回路**を参照してください。また、SNOOZEモード機能を制御するレジスタは、**第14章 A/Dコンバータ**、**第18章 シリアル・アレイ・ユニット**を参照してください。

24.3 スタンバイ機能の動作

24.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが“0”（割り込み処理許可）で且つ割り込み要求フラグが“1”（割り込み要求信号が発生）の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表24-1 HALTモード時の動作状態 (1/2)

HALTモード の設定 項目		メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速オンチップ・オシレータ・ クロック (f _H) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロッ ク (f _{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f _H	動作継続 (停止不可)	動作禁止	
	f _X	動作禁止	動作継続 (停止不可)	動作不可
	f _{EX}		動作不可	動作継続 (停止不可)
サブシステム・ クロック	f _{XT}	HALTモード設定前の状態を継続		
	f _{EXS}			
f _{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブ システム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
コード・フラッシュ・メモリ				
RAM		動作停止 (DTC実行時は動作可能)		
ポート (ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット		動作可能		
リアルタイム・クロック2		動作可能	動作可能 (高精度1 Hz出力モードは動作禁止)	
サブシステム・クロック周波数測 定回路		動作禁止	動作可能	
高速オンチップ・オシレータ・ク ロック周波数補正機能		動作可能 (f _{XT} またはf _{EXS} 供給 時)	動作禁止	
発振停止検出		動作可能 (f _{IL} 発振時のみ)		
バッテリー・バックアップ機能		動作可能 (VBATEN = 1とVBATSEL = 0の場合)		
12ビット・インターバル・タイマ		動作可能		
8ビット・インターバル・タイマ				
ウォッチドッグ・タイマ		動作可能 (第13章 ウォッチドッグ・タイマ参照)		
クロック出力/ブザー出力		動作可能		
A/Dコンバータ				
ΔΣA/Dコンバータ				
温度センサ2				
コンパレータ				
シリアル・アレイ・ユニット (SAU)				
IrDA				
シリアル・インタフェース (IICA)				
LCDコントローラ/ドライバ		動作可能 (ただし, LCDソース・クロックとして選択したクロックの状態にしたがう (選択ク ロックが動作中なら動作可能, 停止中なら動作停止))		
データ・トランスファ・コント ローラ (DTC)		動作可能		
パワーオン・リセット機能				
電圧検出機能				
外部割り込み				
CRC演算 機能	高速CRC			
	汎用CRC			
RAMパリティ・エラー検出機能		動作停止 (DTC実行時のみ動作可能)		
RAMガード機能				
SFRガード機能				
不正メモリ・アクセス検出機能				

(備考は次ページにあります。)

備考	動作停止 : HALTモード移行時に自動的に動作停止	fx	: X1クロック
	動作禁止 : HALTモード移行前に動作を停止させる	fEX	: 外部メイン・システム・クロック
fiH	: 高速オンチップ・オシレータ・クロック	fxT	: XT1クロック
fiL	: 低速オンチップ・オシレータ・クロック	fEXS	: 外部サブシステム・クロック

表24-1 HALTモード時の動作状態 (2/2)

項 目		サブシステム・クロックでCPU動作中のHALT命令実行時	
		XT1クロック (f _{XT}) でCPU動作時	外部サブシステム・クロック (f _{EXS}) でCPU動作時
HALTモードの設定			
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f _{IH}	動作禁止	
	f _X		
	f _{EX}		
サブシステム・クロック	f _{XT}	動作継続 (停止不可)	動作不可
	f _{EXS}	動作不可	動作継続 (停止不可)
f _{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 (ただし, サブシステム・クロックでのCPU動作時はWUTMMCK0 = 1の設定禁止) ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止	
CPU		動作停止	
コード・フラッシュ・メモリ			
RAM		動作停止 (DTC実行時は動作可能)	
ポート (ラッチ)		HALTモード設定前の状態を保持	
タイマ・アレイ・ユニット		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)	
リアルタイム・クロック2		動作可能 (高精度1 Hz出力モードは動作禁止)	
サブシステム・クロック周波数測定回路		動作禁止	
高速オンチップ・オシレータ・クロック周波数補正機能			
発振停止検出			
バッテリー・バックアップ機能		動作可能 (VBATEN = 1とVBATSEL = 0の場合)	
12ビット・インターバル・タイマ		動作可能	
8ビット・インターバル・タイマ			
ウォッチドッグ・タイマ		動作可能 (第13章 ウォッチドッグ・タイマ参照)	
クロック出力/ブザー出力		動作可能	
A/Dコンバータ		動作禁止	
ΔΣA/Dコンバータ			
温度センサ2			
コンパレータ		コンパレータのリファレンス電圧は外部入力 (IVREFn) 選択時に動作可能	
シリアル・アレイ・ユニット (SAU)		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)	
IrDA		動作禁止	
シリアル・インタフェース (IICA)		動作禁止	
LCDコントローラ/ドライバ		動作可能 (ただし, LCDソース・クロックとして選択したクロックの状態にしたがう (選択クロックが動作中なら動作可能, 停止中なら動作停止))	
データ・トランスファ・コントローラ (DTC)		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)	
パワーオン・リセット機能		動作可能	
電圧検出機能			
外部割り込み			
CRC演算機能	高速CRC	動作禁止	
	汎用CRC	RAM領域の演算で, DTC実行時は動作可能	
RAMパリティ・エラー検出機能		動作停止 (DTC実行時のみ動作可能)	
RAMガード機能			
SFRガード機能			
不正メモリ・アクセス検出機能			

(備考は次ページにあります。)

備考	動作停止：HALTモード移行時に自動的に動作停止	fx	: X1クロック
	動作禁止：HALTモード移行前に動作を停止させる	fEX	: 外部メイン・システム・クロック
	fiH : 高速オンチップ・オシレータ・クロック	fXT	: XT1クロック
	fiL : 低速オンチップ・オシレータ・クロック	fEXS	: 外部サブシステム・クロック

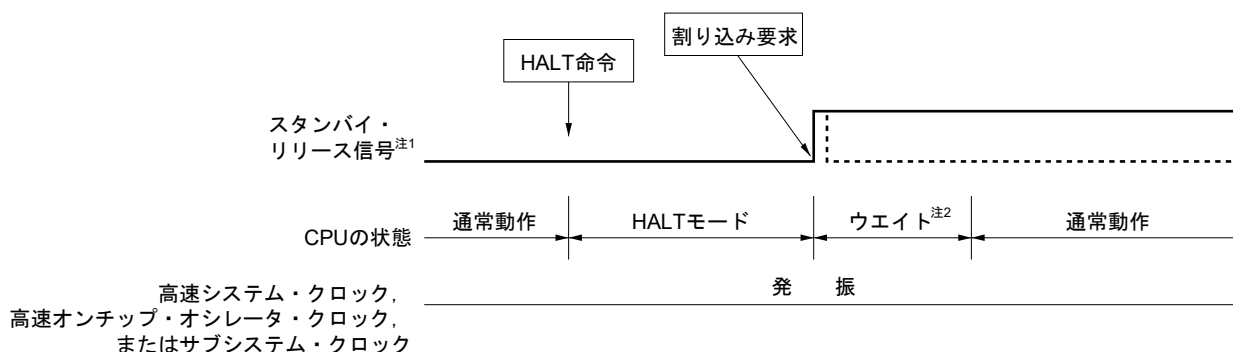
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図24-1 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関する詳細は、図23-1を参照してください。

2. HALTモード解除のウエイト時間

- ・ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時 : 15~16クロック
 - サブシステム・クロック時 (RTCLPC = 0) : 10~11クロック
 - サブシステム・クロック時 (RTCLPC = 1) : 11~12クロック
- ・ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時 : 9~10クロック
 - サブシステム・クロック時 (RTCLPC = 0) : 4~5クロック
 - サブシステム・クロック時 (RTCLPC = 1) : 5~6クロック

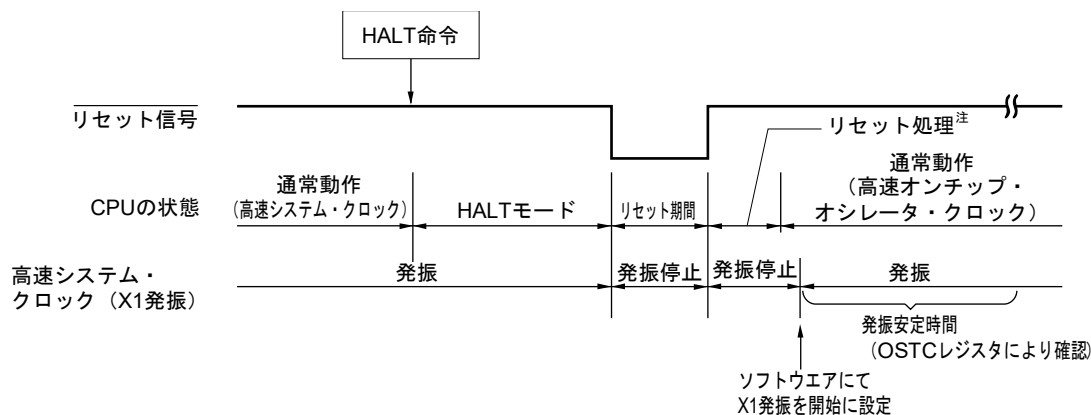
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

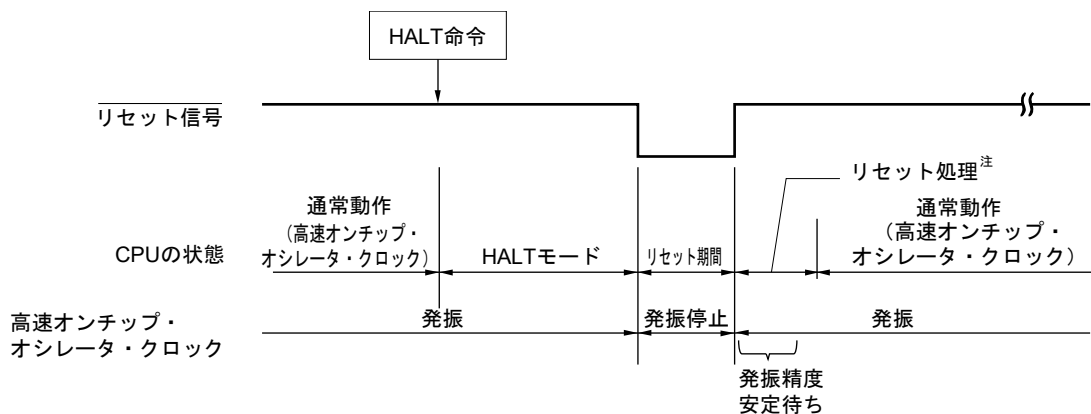
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図24-2 HALTモードのリセットによる解除

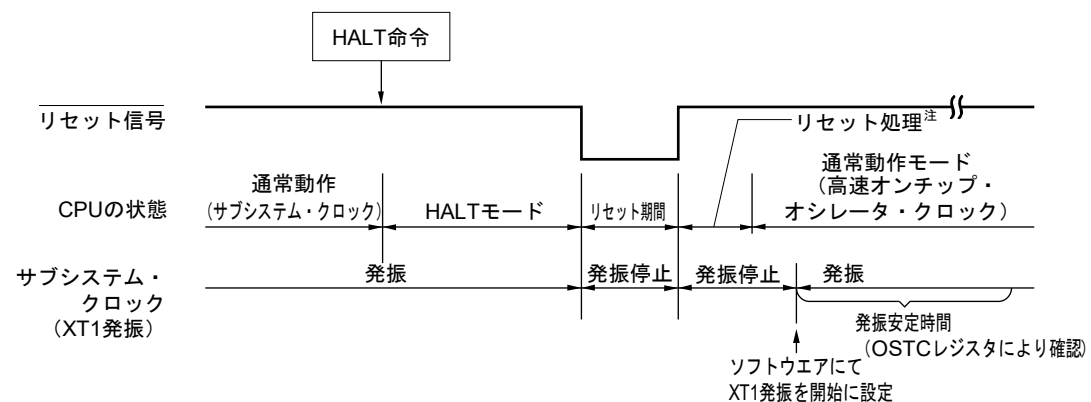
(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(3) CPUクロックがサブシステム・クロックの場合



注 リセット処理時間は、第25章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD) 回路のリセット処理時間は、第26章 パワーオン・リセット回路を参照してください。

24.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 割り込みマスク・フラグが“0”（割り込み処理許可）で且つ割り込み要求フラグが“1”（割り込み要求信号が発生）の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってただちに解除されます。したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表24-2 STOPモード時の動作状態

項 目	STOPモードの設定		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
			高速オンチップ・オシレータ・クロック (f _H) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EX}) でCPU動作時
システム・クロック			CPUへのクロック供給は停止		
メイン・システム・クロック	f _H		停止		
	f _X				
	f _{EX}				
サブシステム・クロック	f _{XT}		STOPモード設定前の状態を継続		
	f _{EXS}				
f _L			オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU			動作停止		
コード・フラッシュ・メモリ			STOPモード設定前の状態を継続		
RAM					
ポート (ラッチ)					
タイマ・アレイ・ユニット			動作禁止		
リアルタイム・クロック2			動作可能 (高精度1 Hz出力モードは動作禁止)		
サブシステム・クロック周波数測定回路			動作禁止		
高速オンチップ・オシレータ・クロック周波数補正機能			動作可能 (f _L 発振時のみ)		
発振停止検出			動作可能 (VBATEN = 1とVBATSEL = 0の場合)		
12ビット・インターバル・タイマ			動作可能		
8ビット・インターバル・タイマ			動作可能 (第13章 ウォッチドッグ・タイマ参照)		
ウォッチドッグ・タイマ			動作可能 (低消費RTCモード時(OSMCレジスタのRTCLPC = 1) は、動作禁止)		
クロック出力/ブザー出力			ウエイク・アップ動作可能 (SNOOZEモードへ移行)		
A/Dコンバータ			動作禁止		
ΔΣ A/Dコンバータ			動作可能 (デジタルフィルタ未使用時かつコンパレータのリファレンス電圧は外部入力 (IVREFn) 選択時のみ)		
温度センサ2			動作可能 (デジタルフィルタ未使用時かつコンパレータのリファレンス電圧は外部入力 (IVREFn) 選択時のみ)		
コンパレータ			動作可能 (デジタルフィルタ未使用時かつコンパレータのリファレンス電圧は外部入力 (IVREFn) 選択時のみ)		
シリアル・アレイ・ユニット (SAU)			CSI00, UART0のみウエイク・アップ動作可能 (SNOOZEモードへ移行) CSI00, UART0以外は動作禁止		
IrDA			動作禁止		
シリアル・インタフェース (IICA)			アドレス一致によるウエイク・アップ動作可能		
LCDコントローラ/ドライバ			動作可能 (ただし、LCDソース・クロックとして選択したクロックの状態にしたがう (選択クロックが動作中なら動作可能、停止中なら動作停止))		
データ・トランスファ・コントローラ (DTC)			DTC起動要因受付動作可能 (SNOOZEモードへ移行)		
パワーオン・リセット機能			動作可能		
電圧検出機能			動作停止		
外部割り込み					
CRC演算機能	高速CRC				
	汎用CRC				
RAMパリティ・エラー検出機能					
RAMガード機能			動作停止		
SFRガード機能					
不正メモリ・アクセス検出機能					

(備考は次ページにあります。)

備考	動作停止 : STOPモード移行時に自動的に動作停止	f _{XT} : XT1クロック
	動作禁止 : STOPモード移行前に動作を停止させる	f _{IL} : 低速オンチップ・オシレータ・クロック
f _H	: 高速オンチップ・オシレータ・クロック	f _{EX} : 外部メイン・システム・クロック
f _X	: X1クロック	f _{EXS} : 外部サブシステム・クロック

(2) STOPモードの解除

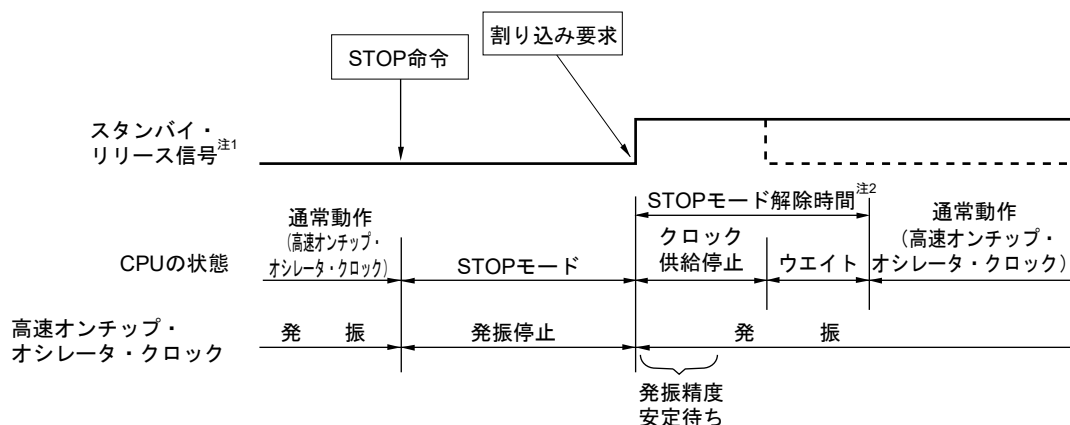
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図24-3 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1. スタンバイ・リリース信号に関する詳細は、図23-1を参照してください。

2. STOPモード解除時間

クロック供給停止 : 18 μ s~65 μ s

ウエイト

・ベクタ割り込み処理を行う場合 : 7クロック

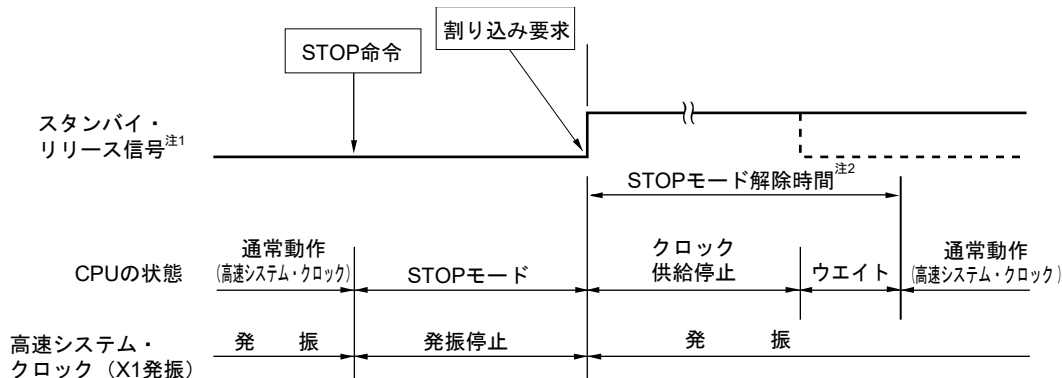
・ベクタ割り込み処理を行わない場合 : 1クロック

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図24-3 STOPモードの割り込み要求発生による解除 (2/2)

(2) CPUクロックが高速システム・クロック (X1発振) の場合



注1. スタンバイ・リリース信号に関する詳細は、図23-1を参照してください。

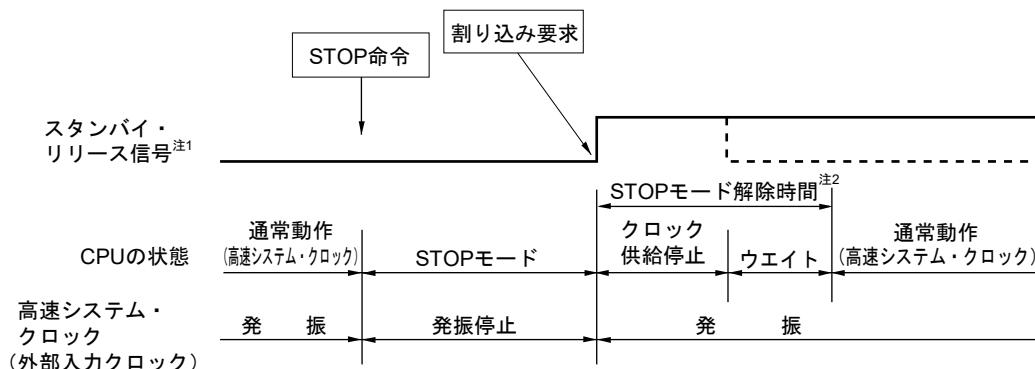
2. STOPモード解除時間

クロック供給停止 : 18 μs ~ “65 μsと発振安定時間 (OSTSで設定) の長い方”

ウェイト

- ・ベクタ割り込み処理を行う場合 : 10~11クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

(3) CPUクロックが高速システム・クロック (外部クロック入力) の場合



注1. スタンバイ・リリース信号に関する詳細は、図23-1を参照してください。

2. STOPモード解除時間

クロック供給停止 : 18 μs ~ 65 μs

ウェイト

- ・ベクタ割り込み処理を行う場合 : 7クロック
- ・ベクタ割り込み処理を行わない場合 : 1クロック

注意 高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

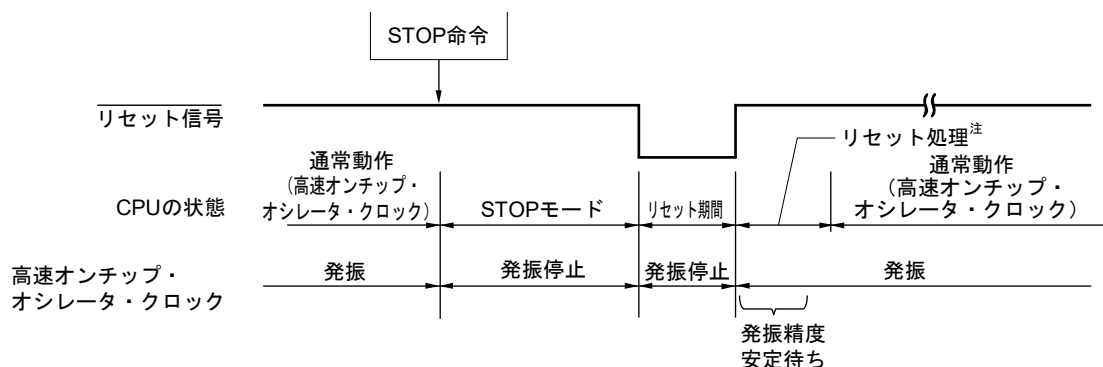
2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

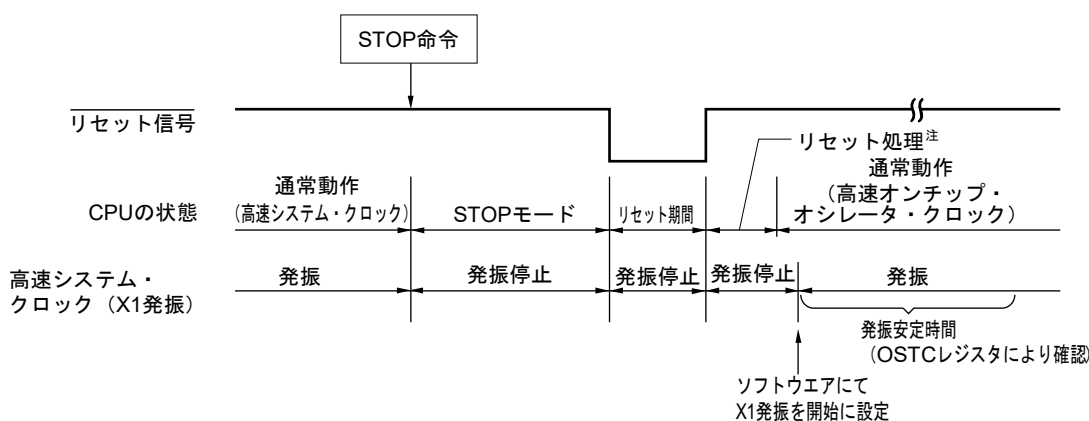
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図24-4 STOPモードのリセットによる解除

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第25章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD) 回路のリセット処理時間は、第26章 パワーオン・リセット回路を参照してください。

24.3.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

CSI00, UART0, DTCまたは、A/Dコンバータのみ設定可能です。また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSI00, UART0をSNOOZEモードで使用する場合は、STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットを1に設定してください。詳細は、18.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/DコンバータをSNOOZEモードで使用する場合は、STOPモードに移行する直前にA/Dコンバータ・モード・レジスタ2 (ADM2) のAWCビットを1に設定してください。詳細は、14.3 A/Dコンバータを制御するレジスタを参照してください。

SNOOZEモードでDTC転送をする場合は、STOPモード移行前に使用割り込みでDTCを起動してください。STOPモードでは、割り込みによるDTC起動を検出すると、DTCは自動的にSNOOZEモードに移行します。詳細は、22.3 DTCを制御するレジスタを参照してください。

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード→ SNOOZEモードの遷移時間：18 μ s～65 μ s

備考 STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間：

・ベクタ割り込み処理を行う場合

HS (高速メイン) モード：“4.99～9.44 μ s” +7クロック

LS (低速メイン) モード：“1.10～5.08 μ s” +7クロック

・ベクタ割り込み処理を行わない場合

HS (高速メイン) モード：“4.99～9.44 μ s” +1クロック

LS (低速メイン) モード：“1.10～5.08 μ s” +1クロック

次にSNOOZEモード時の動作状態を示します。

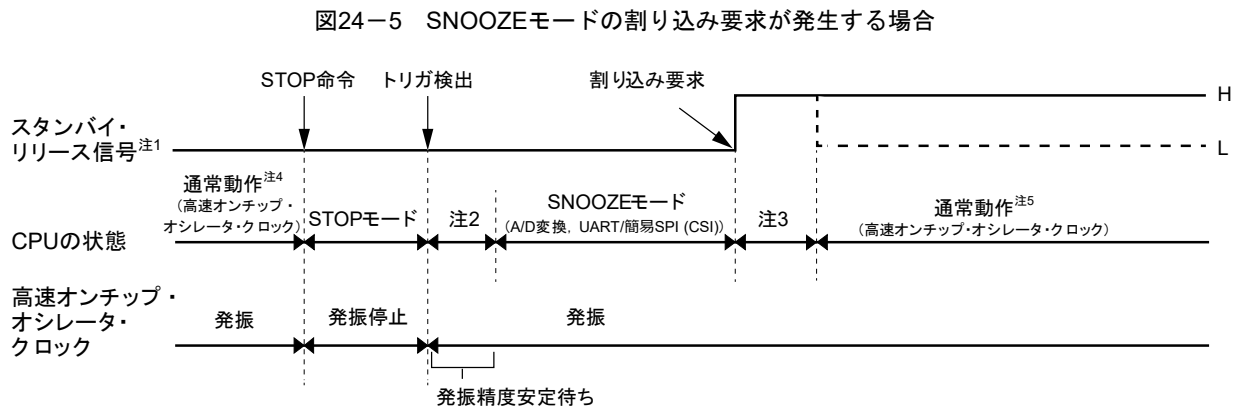
表24-3 SNOOZEモード時の動作状態

STOPモードの設定		STOPモード中にCSI00, UART0のデータ受信信号およびA/Dコンバータのタイマ・トリガ信号入力時
項目		高速オンチップ・オシレータ・クロック (f _{IH}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _{IH}	動作開始
	f _X	停止
	f _{EX}	
サブシステム・クロック	f _{XT}	STOPモード中の状態を継続
	f _{EXS}	
f _{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止
CPU		動作停止
コード・フラッシュ・メモリ		
RAM		動作停止(DTC実行時は動作可能)
ポート (ラッチ)		STOPモード中の状態を継続
タイマ・アレイ・ユニット		動作禁止
リアルタイム・クロック2		動作可能
サブシステム・クロック周波数測定回路		動作禁止
高速オンチップ・オシレータ・クロック周波数補正機能		
発振停止検出		動作可能 (f _{IL} 発振時のみ)
バッテリー・バックアップ機能		動作可能 (VBATEN = 1とVBATSEL = 0の場合)
12ビット・インターバル・タイマ		動作可能
8ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		動作可能 (第13章 ウォッチドッグ・タイマ参照)
クロック出力/ブザー出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1) は、動作禁止)
A/Dコンバータ		動作可能
ΔΣA/Dコンバータ		動作禁止
温度センサ2		
コンパレータ		動作可能 (デジタルフィルタ未使用時のみ)
シリアル・アレイ・ユニット (SAU)		CSI00, UART0のみ動作可能。CSI00, UART0以外は動作禁止。
IrDA		動作禁止
シリアル・インタフェース (IICA)		
LCDコントローラ/ドライバ		動作可能 (ただし、LCDソース・クロックとして選択したクロックの状態にしたがう (選択クロックが動作中なら動作可能、停止中なら動作停止))
データ・トランスファ・コントローラ (DTC)		動作可能
パワーオン・リセット機能		
電圧検出機能		
外部割り込み		
CRC演算機能	高速CRC	動作停止
	汎用CRC	
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		

(備考は次ページにあります。)

備考	動作停止 : STOPモード移行時に自動的に動作停止	fx	: X1クロック
	動作禁止 : STOPモード移行前に動作を停止させる	fEX	: 外部メイン・システム・クロック
f _H	: 高速オンチップ・オシレータ・クロック	f _{XT}	: XT1クロック
f _L	: 低速オンチップ・オシレータ・クロック	f _{EXS}	: 外部サブシステム・クロック

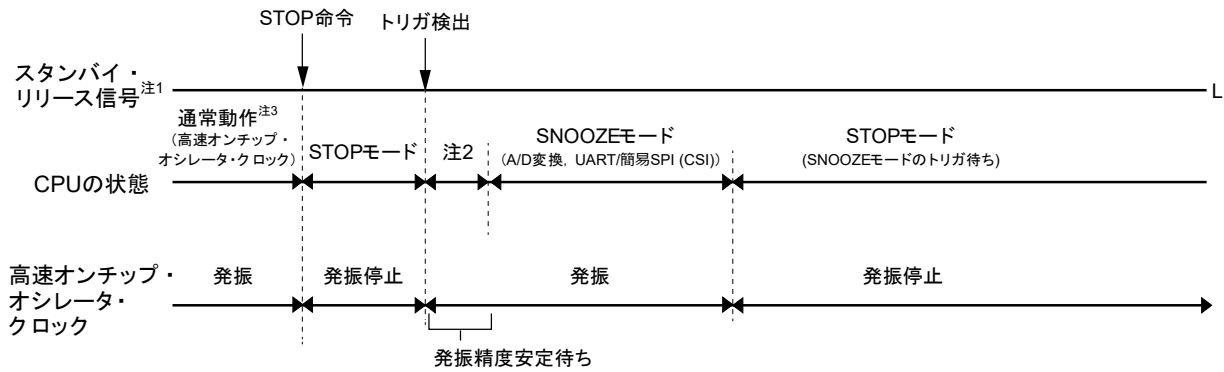
(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図



- 注1. スタンバイ・リリース信号についての詳細は、図23-1を参照してください。
- 2. STOPモード→SNOOZEモードの遷移時間
- 3. SNOOZEモード→通常動作の遷移時間
- 4. STOPモードへ移行する直前に、SNOOZEモード許可 (AWC=1/SWC=1) に設定してください。
- 5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除 (AWC=0/SWC=0) に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図24-6 SNOOZEモードの割り込み要求が発生しない場合



注1. スタンバイ・リリース信号に関する詳細は、図23-1を参照してください。

2. STOPモード→SNOOZEモードの遷移時間

3. STOPモードへ移行する直前に、SNOOZEモード許可 (AWC=1/SWC=1) に設定してください。

備考 SNOOZEモード機能の詳細は、第14章 A/Dコンバータ、第18章 シリアル・アレイ・ユニットを参照してください。

第25章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット (POR) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路 (LVD) の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット^注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行^注、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表25-1に示すような状態になります。

注 FFHの命令コードを実行したときに発生します。

このリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

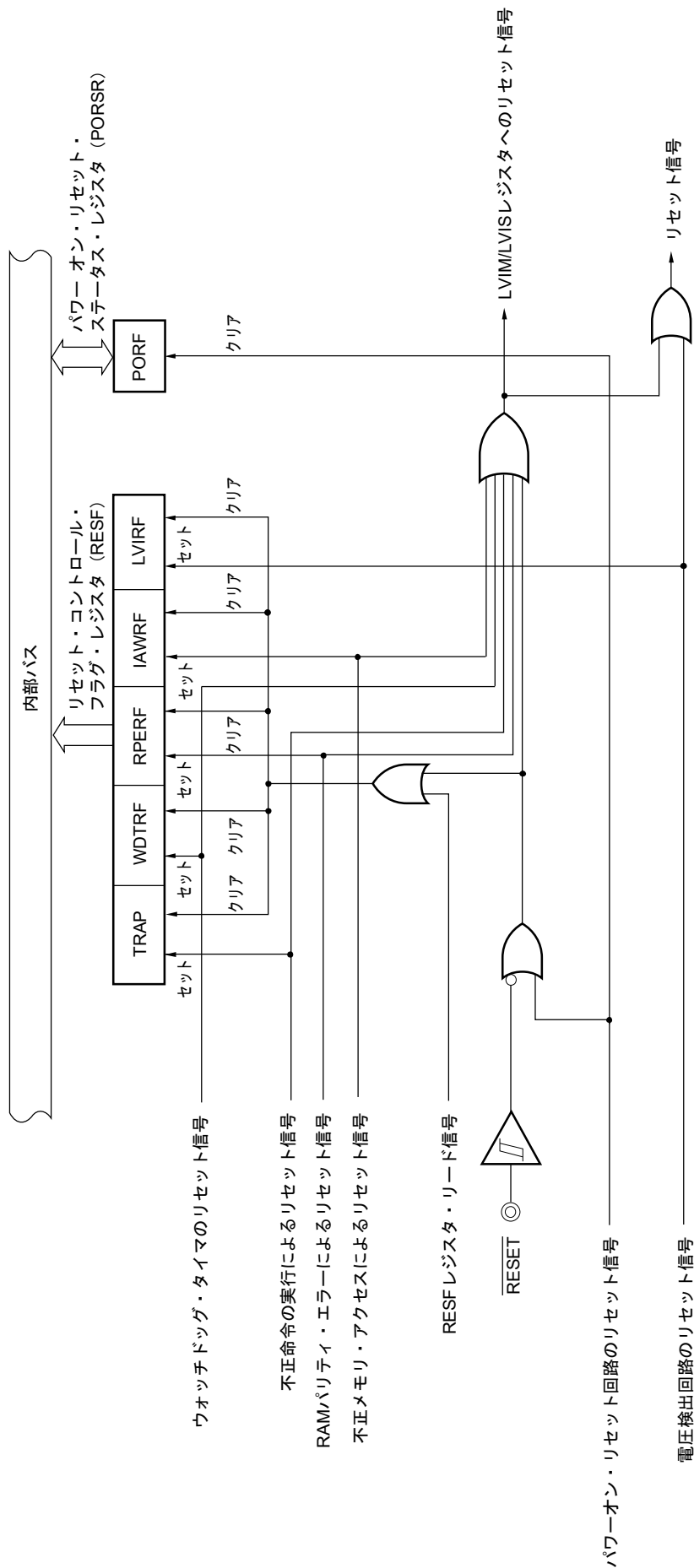
電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、37.4 AC特性に示す動作電圧範囲内の期間で10 μs 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

2. リセット信号発生中では、X1クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。
3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。
 - ・ P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)
 - ・ P130 : リセット期間中はハイ・インピーダンス。リセット受け付け後はロウ・レベル出力
 - ・ P40, P130以外のポート : リセット期間中およびリセット受け付け後はハイ・インピーダンス

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{LVD} : LVD検出電圧

図25-1 リセット機能のブロック図



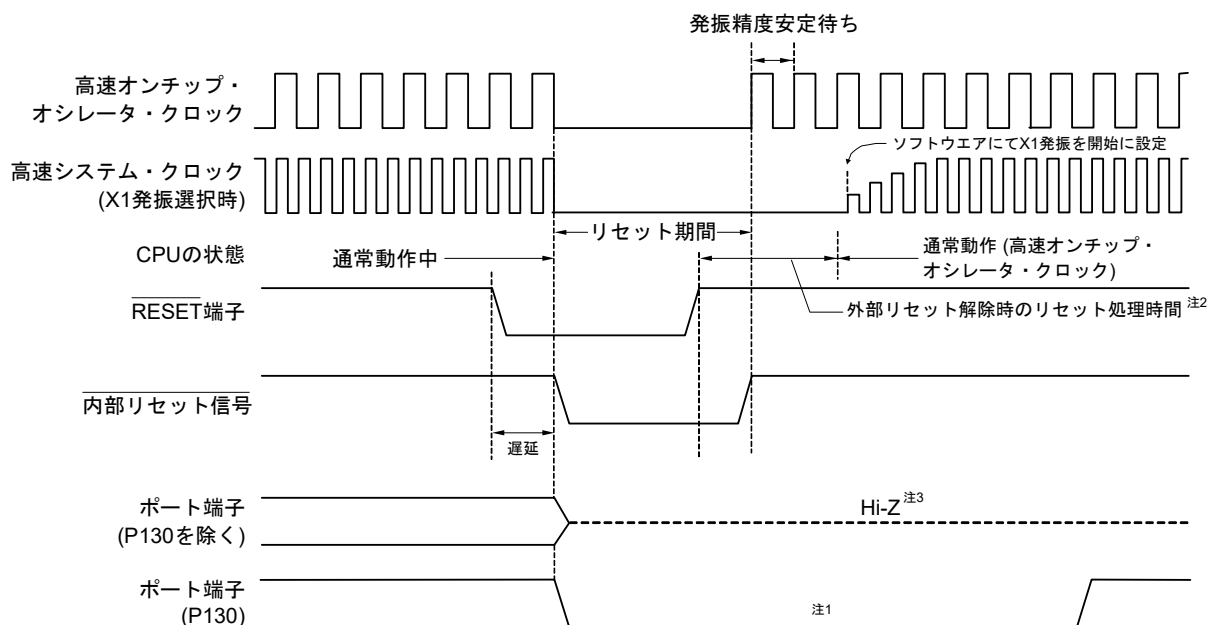
注意 LVD回路の内部リセットの場合、LVD回路はリセットされません。

- 備考 1. LVIM : 電圧検出レジスタ
 2. LVIS : 電圧検出レベル・レジスタ

25.1 リセット動作のタイミング

RESET端子にロウ・レベルが入力されて、リセットがかかり、RESET端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図25-2 RESET入力によるリセット・タイミング

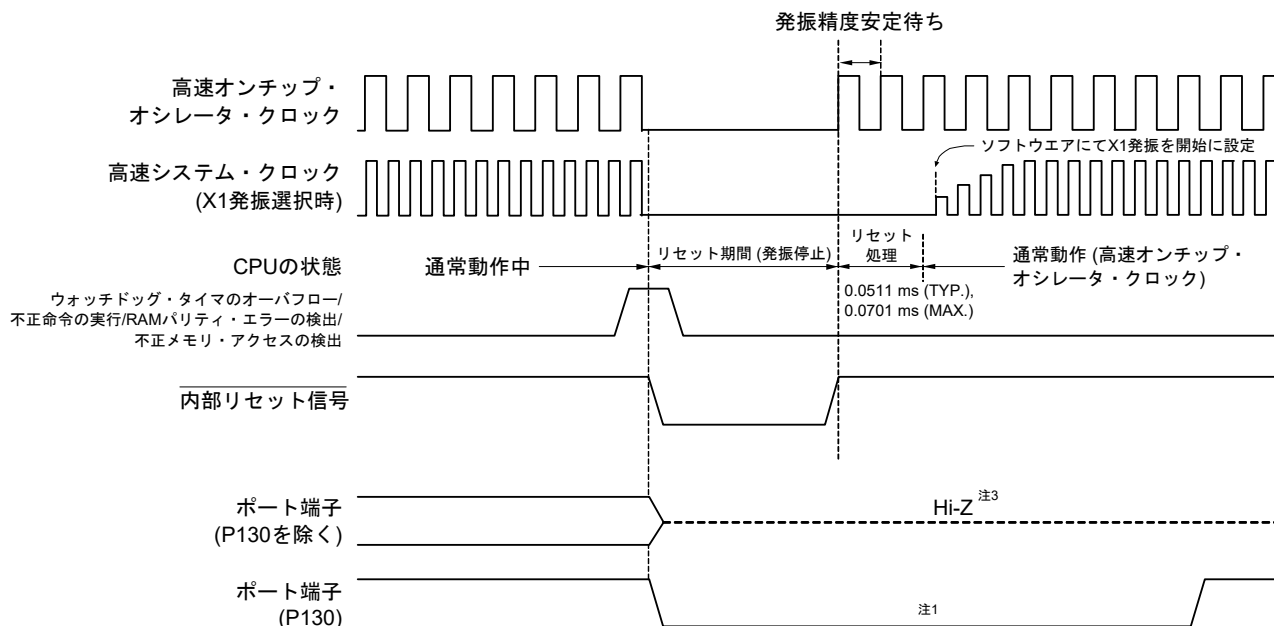


RESET端子の入力バッファは、内部V_{DD}に接続されています。バッテリー・バックアップ機能を使用する場合は、選択されている電源ソース(V_{DD}端子またはVBAT端子)の電圧をもとに、信号を入力してください。

ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

(注、注意は、次ページにあります。)

図25-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／
不正メモリ・アクセスの検出によるリセット・タイミング



注1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかると前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

2. リセット処理時間（外部リセット状態を解除する時間）

1回目のPOR解除後 : LVD使用時, 0.672 ms (typ.), 0.832 ms (max.)

LVDオフ時, 0.399 ms (typ.), 0.519 ms (max.)

2回目のPOR解除後 : LVD使用時, 0.531 ms (typ.), 0.675 ms (max.)

LVDオフ時, 0.259 ms (typ.), 0.362 ms (max.)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.)がかかります。

3. ポート端子P40は次の状態になります。

- ・外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- ・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）になります。

POR回路、LVD回路の電圧検出によるリセットは、リセット後内部 $V_{DD} \geq V_{POR}$ または内部 $V_{DD} \geq V_{LVD}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

詳細は、第26章 パワーオン・リセット回路または第27章 電圧検出回路を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{LVD} : LVD検出電圧

25.2 リセット期間中の動作状態

表25-1にリセット期間中の動作状態を、表25-2にリセット受け付け後の各ハードウェアの状態を示します。

表25-1 リセット期間中の動作状態

項 目		リセット期間中
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _H	動作停止
	f _X	動作停止 (X1, X2端子は入力ポート・モード)
	f _{EX}	クロックの入力無効 (端子は入力ポート・モード)
サブシステム・クロック	f _{XT}	動作可能 (XT1, XT2端子は入力ポート・モード)
	f _{EXS}	クロックの入力無効 (端子は入力ポート・モード)
f _L		動作停止
CPU		
コード・フラッシュ・メモリ		
RAM		
ポート (ラッチ)	P40	端子リセット, PORリセット以外: ブルアップ機能許可 端子リセット, PORリセット: ハイ・インピーダンス
	P130	不定
	P40, P130以外	ハイ・インピーダンス ^注
タイマ・アレイ・ユニット		動作停止
リアルタイム・クロック2		PORリセット以外: 動作可能 PORリセット: カレンダー動作可能, RTCC0, RTCC1, SUBCUDレジスタは動作停止
サブシステム・クロック周波数測定回路		動作停止
高速オンチップ・オシレータ・クロック周波数補正機能		
発振停止検出		
バッテリー・バックアップ機能		
12ビット・インターバル・タイマ		
8ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
A/Dコンバータ		
ΔΣA/Dコンバータ		
温度センサ2		
コンパレータ		
シリアル・アレイ・ユニット (SAU)		
IrDA		
シリアル・インタフェース (IICA)		
LCDコントローラ/ドライバ		
データ・トランスファ・コントローラ (DTC)		
パワーオン・リセット機能		検出動作可能
電圧検出機能		LVDリセット時は動作可能。それ以外のリセット時は動作停止。
外部割り込み		動作停止
CRC演算機能	高速CRC	
	汎用CRC	
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		

(注, 備考は, 次ページにあります。)

注 ポート端子P40, P130は次の状態になります。

- ・ P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル（内蔵プルアップ抵抗接続）
- ・ P130 : リセット期間中はロウ・レベル出力

備考 f_{IH} : 高速オンチップ・オシレータ・クロック
 f_X : X1発振クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1発振クロック
 f_{EXS} : 外部サブシステム・クロック周波数
 f_{IL} : 低速オンチップ・オシレータ・クロック

表25-2 リセット受け付け後の各ハードウェアの状態

ハードウェア		リセット受け付け後の状態 ^注
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR: Special Function Register) のリセット受付後の状態は、
 3.2.4 特殊機能レジスタ (SFR: Special Function Register) , 3.2.5 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register) を参照してください。

25.3 リセット要因を確認するレジスタ

25.3.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

RESET入力、パワーオン・リセット (POR) 回路によるリセットおよびRESFレジスタのデータを読み出すことにより、TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図25-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 不定^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求 ^{注2}
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出 (LVD) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。表25-3を参照してください。

2. FFHの命令コードを実行したときに発生します。

このリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

2. RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、30.3.3 RAMパリティ・エラー検出機能を参照してください。

リセット要求時のRESFレジスタの状態を表25-3に示します。

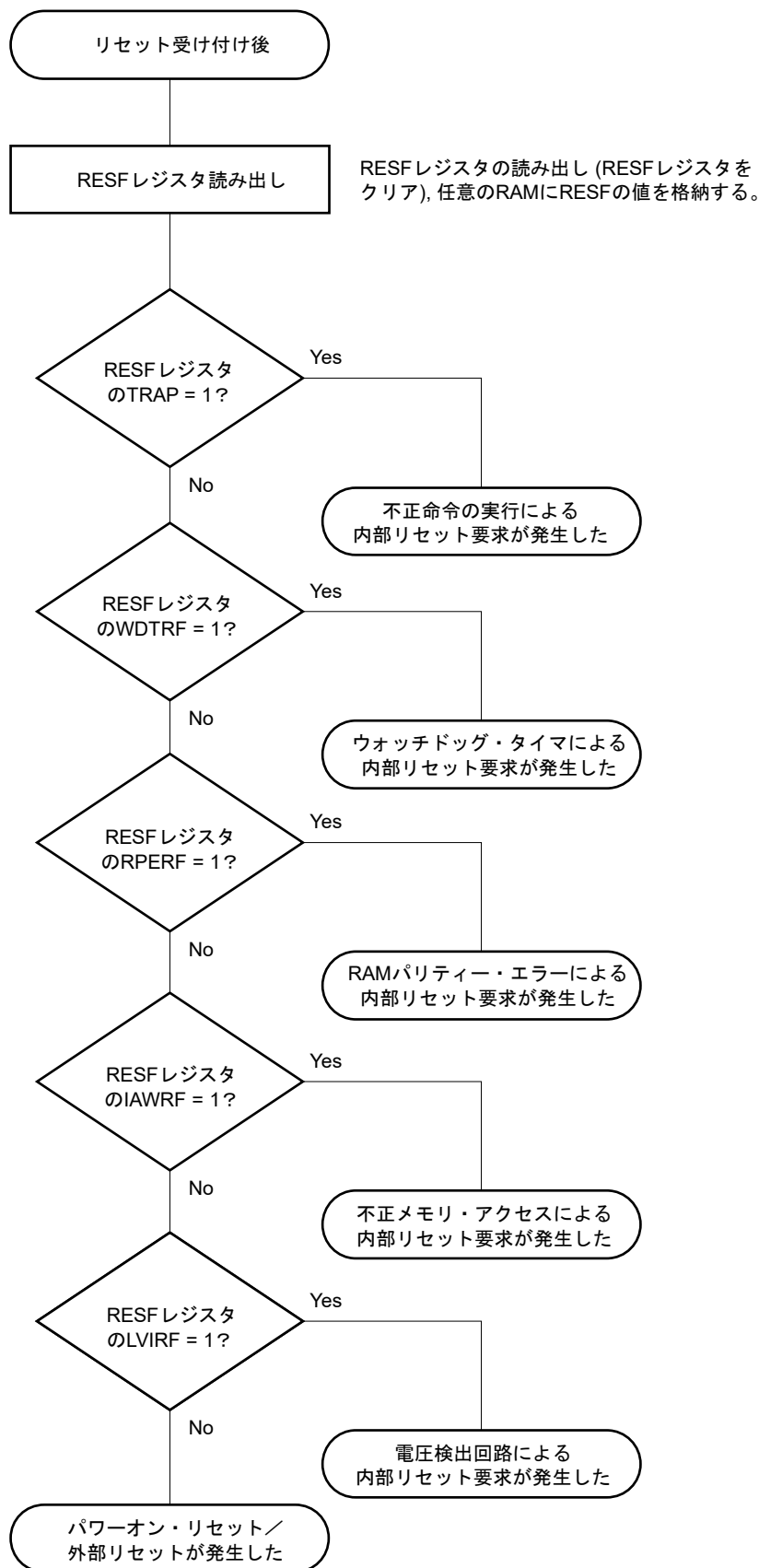
表25-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の 実行による リセット	WDTによる リセット	RAMパリティ エラーによる リセット	不正メモリ アクセスによる リセット	LVDによる リセット	
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持	保持	保持	
WDTRF			保持	セット (1)				
RPERF				保持	セット (1)			
IAWRF					保持			セット (1)
LVIRF								保持

RESFレジスタは、8ビット・メモリ操作命令で読み出すと、自動的にクリアされます。

リセット要因の手順を図25-5に示します

図25-5 リセット要因の確認手順例



25.3.2 パワーオン・リセット・ステータス・レジスタ (PORSR)

PORSRレジスタは、パワーオン・リセットの発生を確認するレジスタです。

PORSRレジスタのビット0 (PORF) への“1”書き込みは有効であり、“0”書き込みは無視されます。

パワーオン・リセット発生の有無を確認するときは、あらかじめPORFビットに“1”を書き込んでおいてください。

PORSRレジスタは、8ビット・メモリ操作命令で設定します。

パワーオン・リセット信号の発生により、00Hになります。

- 注意1. PORSRレジスタはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します)。
2. PORFが“1”のとき、パワーオン・リセットが発生していないことは保証されますが、RAMの値が保持されていることを保証するものではありません。

図25-6 パワーオン・リセット・ステータス・レジスタ (PORSR) のフォーマット

アドレス : F00F9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PORSR	0	0	0	0	0	0	0	PORF

PORF	パワーオン・リセット発生確認
0	“1”書き込みが行われていない、またはパワーオン・リセットが発生
1	パワーオン・リセットは発生していない

第26章 パワーオン・リセット回路

26.1 パワーオン・リセット回路の機能

パワーオン・リセット (POR) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
電源電圧 (V_{DD}) ^注が検出電圧 (V_{POR}) を越えた場合に、リセットを解除します。ただし、37.4 AC特性に示す動作電圧範囲まで、電圧検出機能が外部リセット端子でリセット状態を保ってください。
- ・電源電圧 (V_{DD}) ^注と検出電圧 (V_{PDR}) を比較し、 V_{DD} ^注 $<V_{PDR}$ になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、37.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注 バッテリ・バックアップ機能を使用時は、内部電源電圧 (内部 V_{DD}) です。

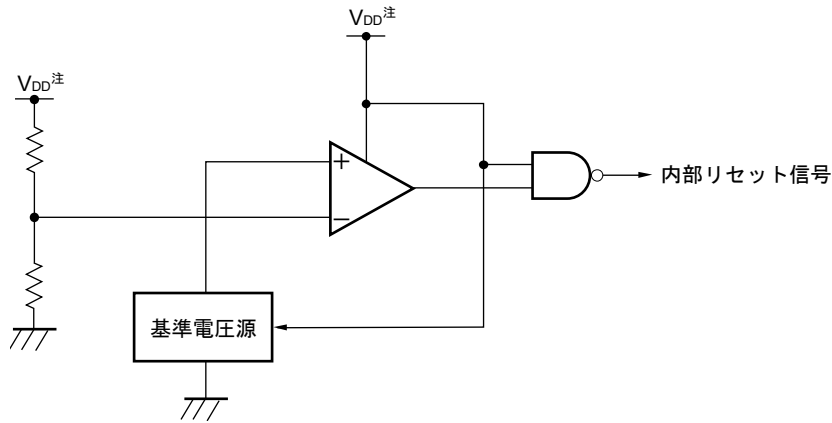
注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) およびパワーオン・リセット・ステータス・レジスタ (PORSR) がクリア (00H) されます。

- 備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 電圧検出 (LVD) 回路 / 不正命令の実行 / RAMパリティ・エラー / 不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT / LVD / 不正命令の実行 / RAMパリティ・エラー / 不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFレジスタの詳細については、第25章 リセット機能を参照してください。
2. パワーオン・リセット回路による内部リセットの発生は、パワーオン・リセット・ステータス・レジスタ (PORSR) で確認することができます。PORSRレジスタの詳細については、第25章 リセット機能を参照してください。
 3. V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧
詳細は、37.6.5 POR回路特性を参照してください。

26.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図26-1に示します。

図26-1 パワーオン・リセット回路のブロック図



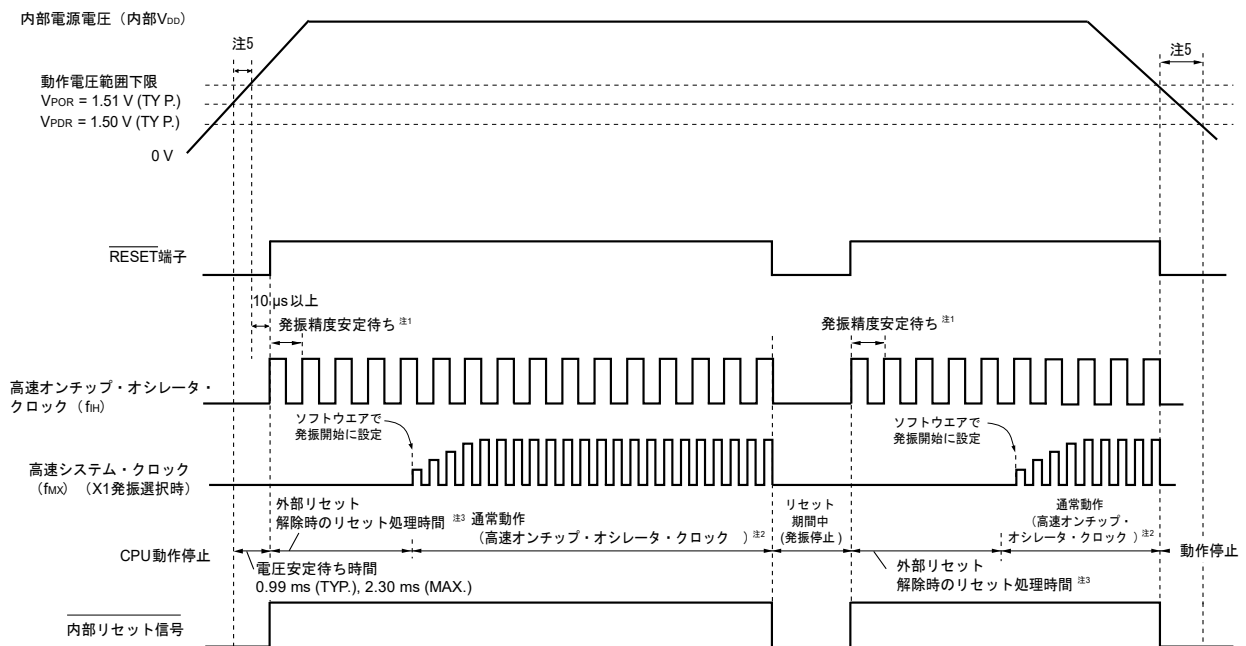
注 バッテリ・バックアップ機能を使用時は、内部電源電圧（内部V_{DD}）です。

26.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図26-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (1/3)

(1) RESET端子による外部リセット使用時



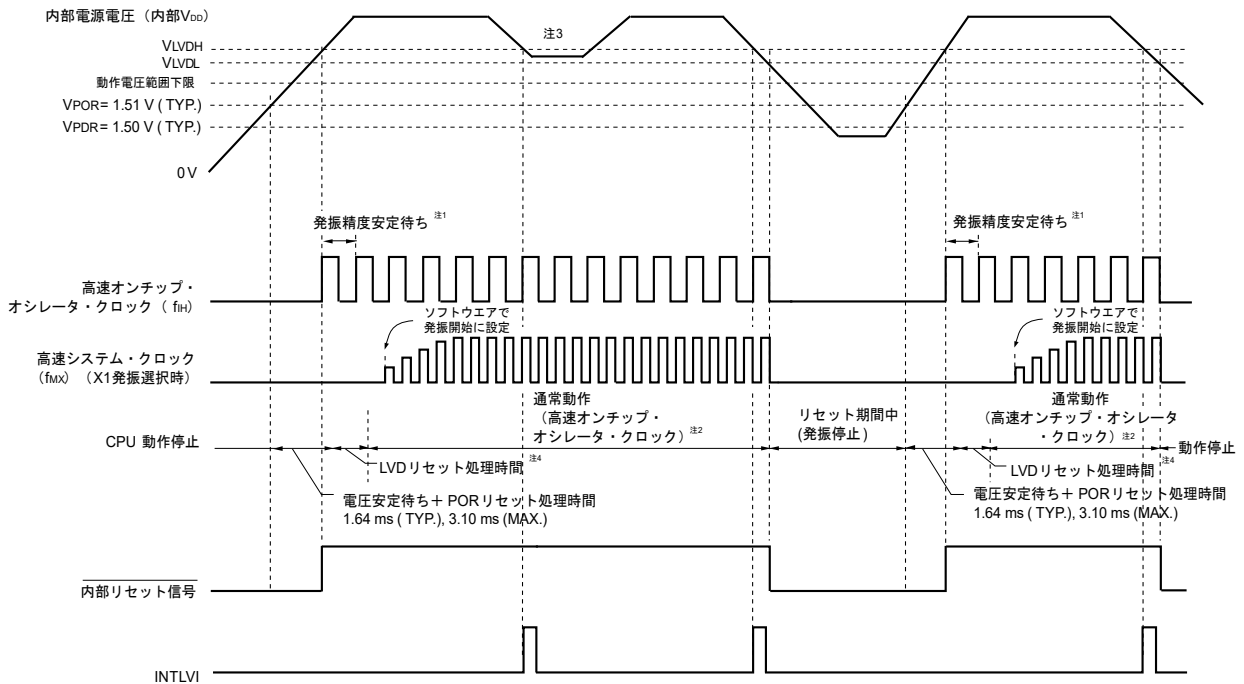
- 注 1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。
X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。
3. 通常動作が開始されるまでの時間は、 V_{POR} (1.51 V (TYP.)) に達してからの“電圧安定待ち時間”に加えて、 \overline{RESET} 信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間 (POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。
POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)
4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。
POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)
5. 電源立ち上がり時は、37.4 AC特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

注意 LVDオフ時は必ず \overline{RESET} 端子による外部リセットを使用してください。詳細は、第27章 電圧検出回路を参照してください。

図26-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (2/3)

(2) LVD割り込み&リセット・モード時 (オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)



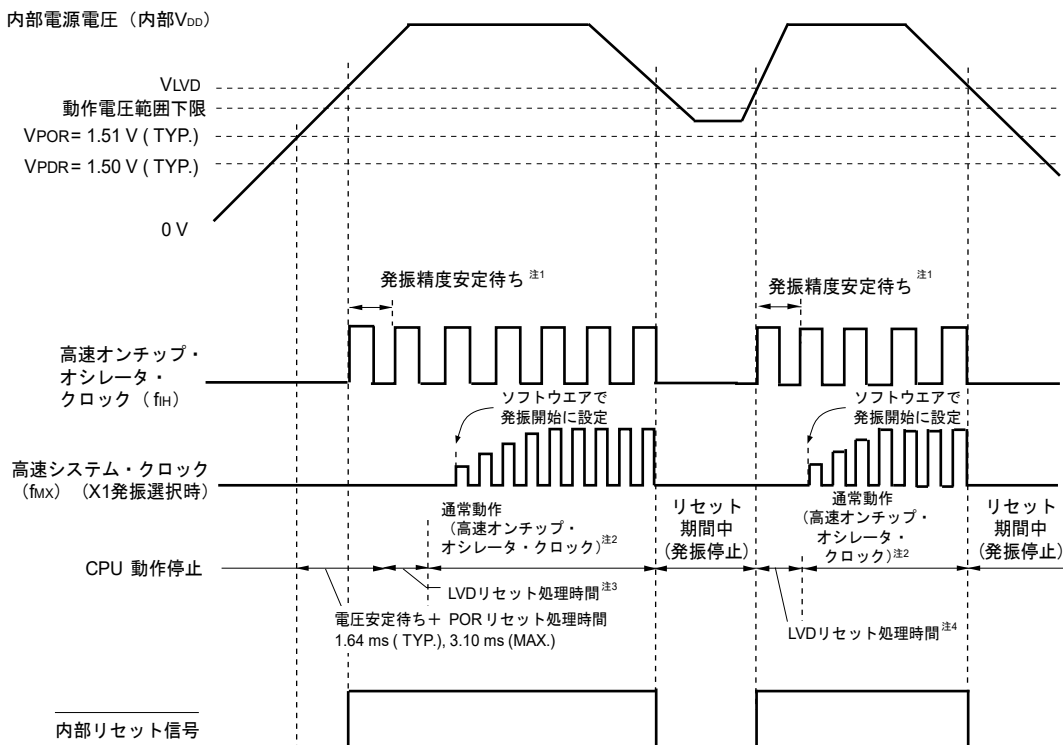
- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
3. 割り込み要求信号 (INTLVI) が発生したあと、電圧検出レベル・レジスタ (LVIS) のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧 (VLVDL) を下回らずに、高電圧検出電圧 (VLVDH) 以上に復帰する場合を考慮して、INTLVI発生後は、“図27-8 動作電圧確認／リセットの設定手順”と、“図27-9 割り込み&リセット・モードの初期設定の設定手順”に従って設定をしてください。
4. 通常動作が開始されるまでの時間は、VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル (VLVDH) に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間： 0 ms ~ 0.0701 ms (MAX.)

備考 VLVDH, VLVDL : LVD検出電圧
 VPOR : POR電源立ち上がり検出電圧
 VPDR : POR電源立ち下がり検出電圧

図26-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (3/3)

(3) LVD リセット・モード時 (オプション・バイト000C1H のLVIMDS1, LVIMDS0 = 1, 1)



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
3. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル (V_{LVD}) に達してから次の“LVDリセット処理時間”が掛かります。
- LVDリセット処理時間： 0 ms ~ 0.0701 ms (MAX.)
4. 電源電圧降下時、電圧検出回路 (LVD) による内部リセットのみ発生後に電源電圧が復帰した場合、LVD検出レベル (V_{LVD}) に達してから次の“LVDリセット処理時間”が掛かります。
- LVDリセット処理時間： 0.0511 ms (TYP.), 0.0701ms (MAX.)

備考1. V_{LVDH}, V_{LVDL} : LVD検出電圧V_{POR} : POR電源立ち上がり検出電圧V_{PDR} : POR電源立ち下がり検出電圧

2. LVD割り込みモード (オプション・バイト000C1HのLVIMD1, LVIMD0=0,1) を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図26-2 (3) LVDリセット・モード時の“注3”の時間と同じです。

第27章 電圧検出回路

27.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト (000C1H) で動作モードと検出電圧 (V_{LVDH} , V_{LVDL} , V_{LVD}) を設定します。電圧検出 (LVD) 回路は、次のような機能を持ちます。

- ・ V_{DD} 端子またはVBAT端子から供給される内部電源電圧 (内部 V_{DD}) と検出電圧 (V_{LVDH} , V_{LVDL} , V_{LVD}) を比較し、内部リセットまたは割り込み要求信号を発生します。
- ・ 内部電源電圧の検出電圧 (V_{LVDH} , V_{LVDL} , V_{LVD}) は、オプション・バイトにて検出レベルを11段階より選択できます (第32章 オプション・バイト参照)。
- ・ STOPモード時においても動作可能です。
- ・ 電源立ち上がり時は、37.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定により変わります。

(a) 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1Hで2つの検出電圧 (V_{LVDH} , V_{LVDL}) を選択します。高電圧検出レベル (V_{LVDH}) はリセット解除用/割り込み発生用として使用します。低電圧検出レベル (V_{LVDL}) はリセット発生用として使用します。

(b) リセット・モード (オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1Hで選択する1つの検出電圧 (V_{LVD}) を、リセット発生/解除用として使用します。

(c) 割り込みモード (オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1Hで選択する1つの検出電圧 (V_{LVD}) を、リセット解除用/割り込み発生用として使用します。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、内部電源電圧 (内部 V_{DD}) < V_{LVDH} を検出して割り込み要求信号を発生、内部電源電圧 (内部 V_{DD}) < V_{LVDL} を検出して内部リセットを発生。 内部電源電圧 (内部 V_{DD}) $\geq V_{LVDH}$ を検出して内部リセットを解除。	内部電源電圧 (内部 V_{DD}) $\geq V_{LVD}$ を検出して内部リセットを解除。内部電源電圧 (内部 V_{DD}) < V_{LVD} を検出して内部リセットを発生。	リセット発生直後、LVDの内部リセットは内部 $V_{DD} \geq V_{LVD}$ になるまでリセット状態を継続します。内部 $V_{DD} \geq V_{LVD}$ を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、内部 $V_{DD} < V_{LVD}$ または内部 $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号 (INTLVI) を発生します。

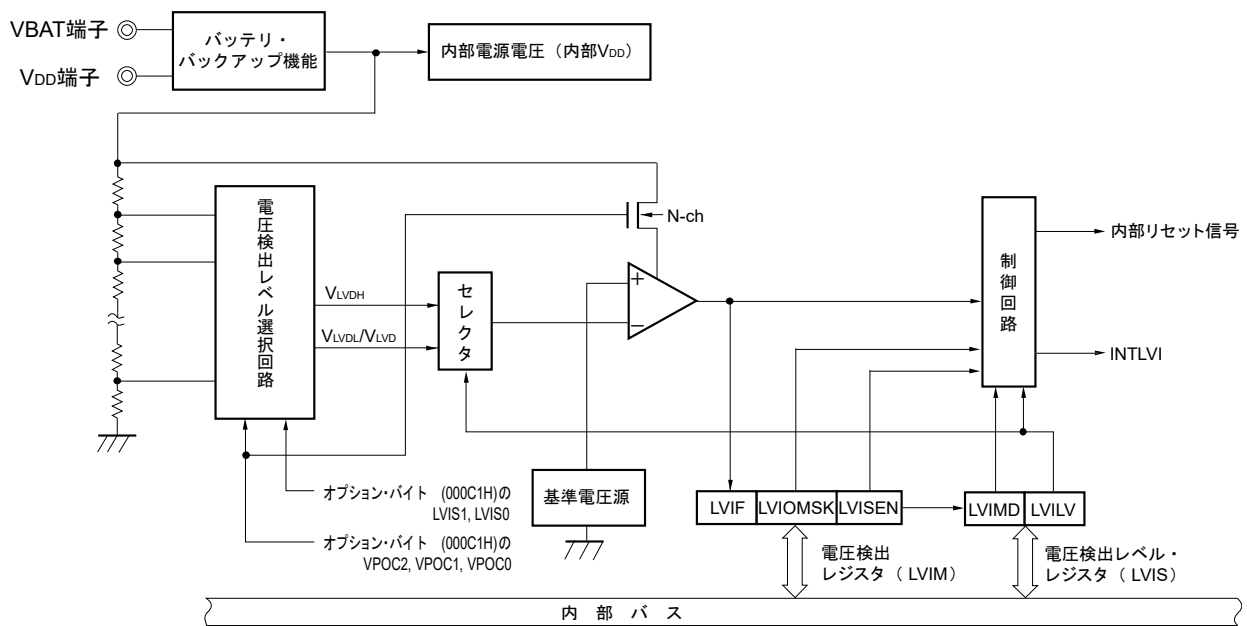
電圧検出回路動作時では、電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット0）を読み出すことにより、内部電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFレジスタについての詳細は、第25章 リセット機能を参照してください。

27.2 電圧検出回路の構成

電圧検出回路のブロック図を図27-1に示します。

図27-1 電圧検出回路のブロック図



27.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- ・電圧検出レジスタ（LVIM）
- ・電圧検出レベル・レジスタ（LVIS）

27.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可/禁止の設定, LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図27-2 電圧検出レジスタ (LVIM) のフォーマット

アドレス: FFFA9H リセット時: 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	2	[1]	[0]
LVIM	LVISEN ^{注3}	0	0	0	0	0	LVIOMSK	LVIF

LVISEN ^{注3}	電圧検出レベル・レジスタ (LVIS) の書き換え許可/禁止の設定
0	LVISレジスタの書き換え禁止 (LVIOMSK=0 (LVD出力マスク無効) になる)
1	LVISレジスタの書き換え許可 (LVIOMSK=1 (LVD出力マスク有効) になる)

LVIOMSK	LVD出力マスク状態フラグ
0	LVD出力マスク無効
1	LVD出力マスク有効 ^{注3, 4}

LVIF	電圧検出フラグ
0	内部電源電圧 (内部V _{DD}) ≥ 検出電圧 (V _{LVD}) , またはLVDオフ時
1	内部電源電圧 (内部V _{DD}) < 検出電圧 (V _{LVD})

注1. リセット値は, リセット要因により変化します。

LVDによるリセットのときには, LVIMレジスタの値はリセットされず, そのままの値を保持します。その他のリセットでは, LVISENは“0”にクリアされます。

- ビット0, 1は, Read Onlyです。
- 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) 選択時のみ設定できます。その他モードでは初期値から変更しないでください。
- 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0=1, 0) 選択時のみ, LVIOMSKビットは以下の期間に自動で“1”となり, LVDによるリセットまたは割り込み発生がマスクされます。
 - ・ LVISEN = 1の期間
 - ・ LVD割り込み発生から, LVD検出電圧が安定するまでの待ち時間
 - ・ LVILVビットの値変更から, LVD検出電圧が安定するまでの待ち時間

27.3.2 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H/01H/81H^{注1}になります。

図27-3 電圧検出レベル・レジスタ (LVIS) のフォーマット

アドレス : FFFAAH リセット時 : 00H/01H/81H^{注1} R/W

略号	[7]	6	5	4	3	2	1	[0]
LVIS	LVIMD ^{注2}	0	0	0	0	0	0	LVILV ^{注2}

LVIMD ^{注2}	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVILV ^{注2}	LVD検出レベル
0	高電圧検出レベル (VLVDH)
1	低電圧検出レベル (VLVDLまたはVLVD)

注1. リセット値は、リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は、クリア (00H) されません。

LVD以外のリセット時は、次のようになります。

- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- ・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

2. 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) 選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み&リセット・モードでのリセットまたは割り込み発生により、自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は、図27-8、図27-9の手順で行ってください。

2. LVDの動作モードと各モードの検出電圧 (VLVDH, VLVDL, VLVD) は、オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト (000C1H/010C1H) のフォーマットを図27-4に示します。オプション・バイトの詳細は第32章 オプション・バイトを参照してください。

図27-4 ユーザ・オプション・バイト (000C1H) によるLVD動作モード・検出電圧設定 (1/2)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
V _{LVDH}		V _{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
2.61 V	2.55 V	2.45 V	0	1	0	1	0	1	0
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	1		1		1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
-			上記以外は設定禁止						

・LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.98 V	1.94 V	0	0	1	1	0	1	1
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
-			上記以外は設定禁止					

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は、第27章 電圧検出回路を参照してください。

2. 検出電圧はTYP.値です。詳細は、37.6.6 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図27-4 ユーザ・オプション・バイト (000C1H) によるLVD動作モード・検出電圧設定 (2/2)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.98 V	1.94 V	0	0	1	1	0	0	1
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—	—		上記以外は設定禁止					

・LVDオフの設定 (RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—	—	上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には必ず“1”を設定してください。

- 電源立ち上がり時は、37.4 AC特性に示す動作電圧範囲まで、電圧検出回路が外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路が外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定により変わります。

備考1. × : don't care

- LVD回路の詳細は、第27章 電圧検出回路を参照してください。
- 検出電圧はTYP.値です。詳細は、37.6.6 LVD回路特性を参照してください。

27.4 電圧検出回路の動作

27.4.1 リセット・モードとして使用する場合の設定

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1, 1））と検出電圧（V_{LVD}）の設定は、オプション・バイト000C1Hで設定します。

リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は、“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- ・電圧検出レベル・レジスタ（LVIS）の初期値は、81Hに設定されます。
ビット7（LVIMD）は“1”（リセット・モード）
ビット0（LVILV）は“1”（電圧検出レベル：V_{LVD}）

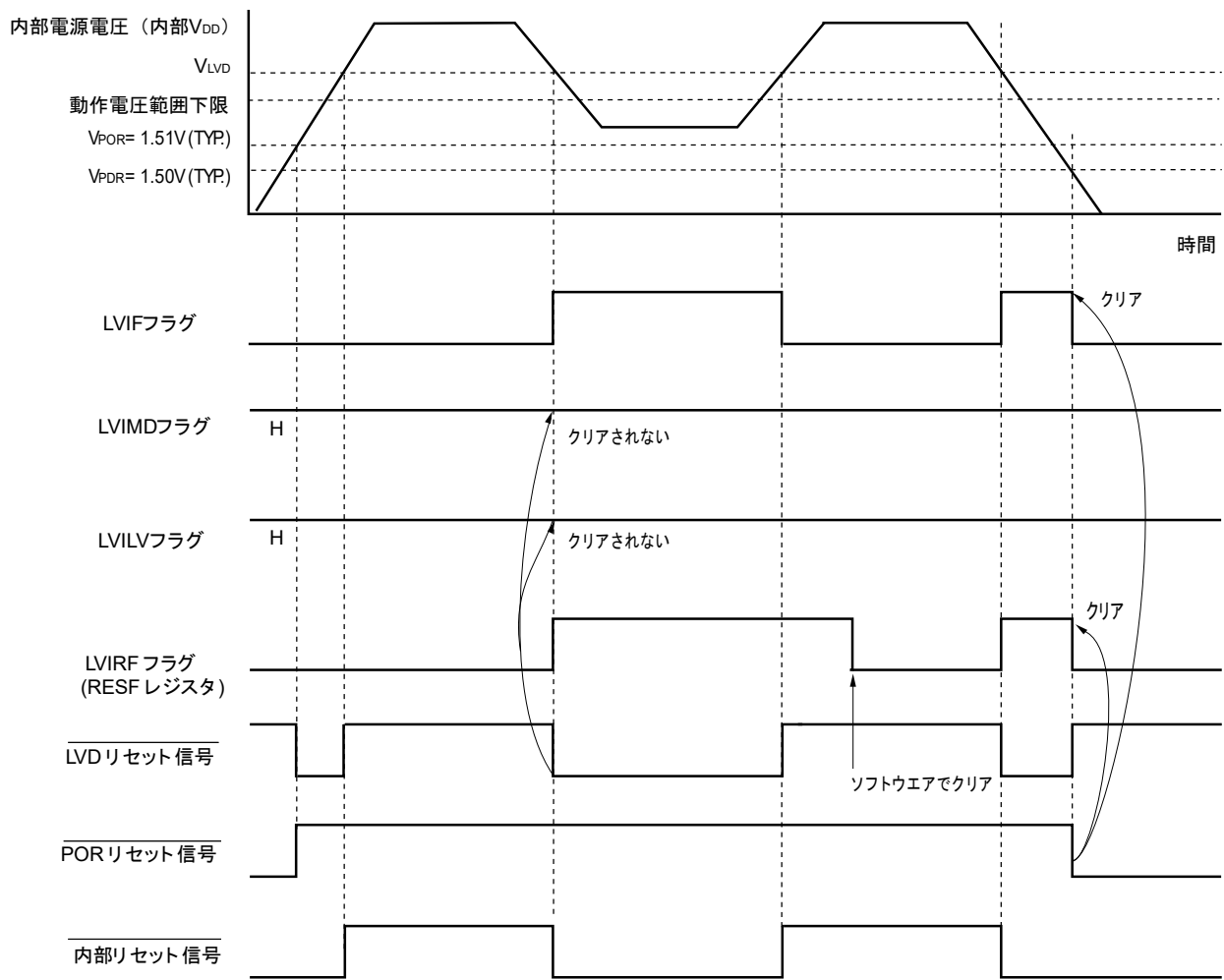
●LVDリセット・モードの動作

リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）は、電源投入時、内部電源電圧（内部V_{DD}）が電圧検出レベル（V_{LVD}）を超えるまではLVDによる内部リセット状態を保ちます。内部電源電圧（内部V_{DD}）が電圧検出レベル（V_{LVD}）を超えると内部リセットを解除します。

動作電圧降下時は内部電源電圧（内部V_{DD}）が電圧検出レベル（V_{LVD}）を下回るとLVDによる内部リセットが発生します。

図27-5に、LVDリセット・モードの内部リセット信号発生タイミングを示します。

図27-5 内部リセット信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)



備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

27.4.2 割り込みモードとして使用する場合の設定

動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と検出電圧（VLVD）の設定は、オプション・バイト000C1Hで設定します。

割り込みモードを設定した場合、次の初期設定の状態で作動を開始します。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は、“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- ・電圧検出レベル・レジスタ（LVIS）の初期値は、01HIに設定されます。
 - ビット7（LVIMD）は“0”（割り込みモード）
 - ビット0（LVILV）は“1”（電圧検出レベル：VLVD）

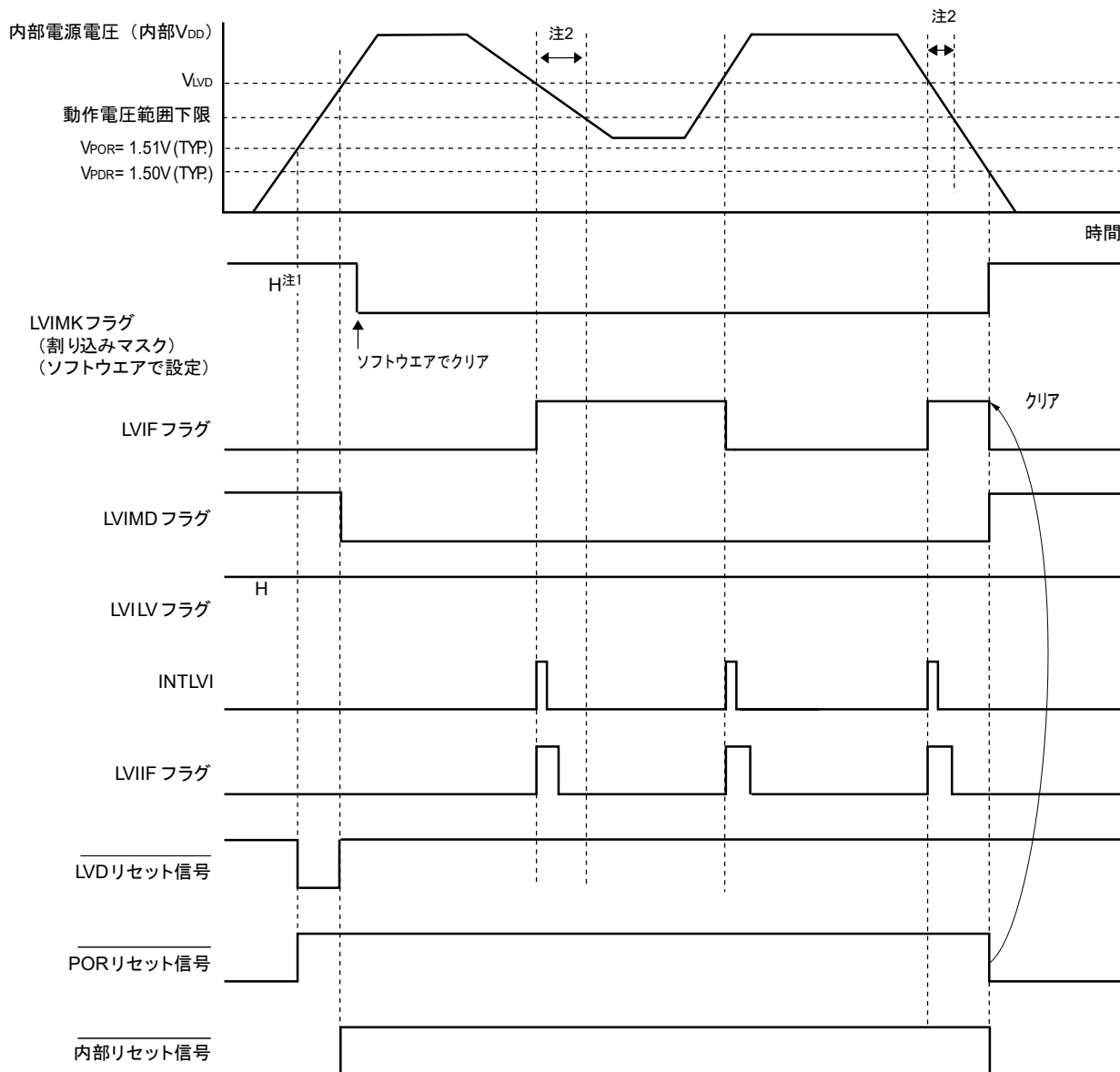
●LVD割り込みモードの動作

割り込みモード（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）では、リセット発生直後、内部電源電圧（内部V_{DD}）が電圧検出レベル（VLVD）を上回るまではLVDによる内部リセット状態を保ちます。内部電源電圧（内部V_{DD}）が電圧検出レベル（VLVD）を上回るとLVDによる内部リセットを解除します。

LVDの内部リセット解除後は、内部電源電圧（内部V_{DD}）が電圧検出レベル（VLVD）を超えるとLVDによる割り込み要求信号（INTLVI）が発生します。動作電圧降下時は、37.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、内部電源電圧が動作電圧範囲内に復帰したことを確認してください。

図27-6に、LVD割り込みモードの割り込み要求信号発生タイミングを示します。

図27-6 割り込み信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 動作電圧降下時は、37.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、内部電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
V_{PDR} : POR電源立ち下がり検出電圧

27.4.3 割り込み&リセット・モードとして使用する場合の設定

動作モード（割り込み&リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（VLVDH, VLVDL）の設定は、オプション・バイト000C1Hで設定します。

割り込み&リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は、“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- ・電圧検出レベル・レジスタ（LVIS）の初期値は、00Hに設定されます。ビット7（LVIMD）は“0”（割り込みモード）、ビット0（LVILV）は“0”（高電圧検出レベル：VLVDH）

●LVD割り込み&リセット・モードの動作

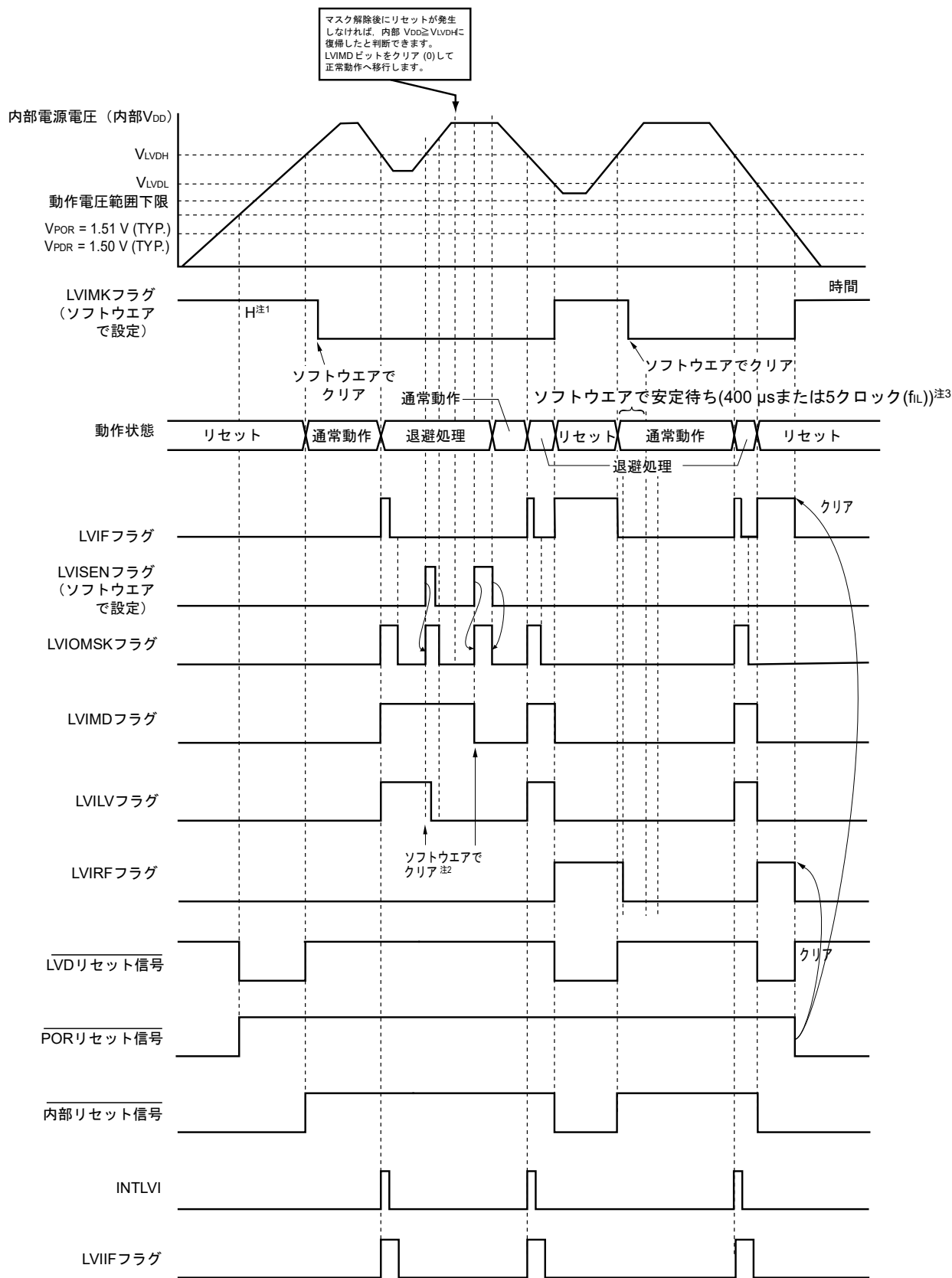
割り込み&リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）は、電源投入時、内部電源電圧（内部V_{DD}）が高電圧検出レベル（VLVDH）を超えるまではLVDによる内部リセット状態を保ちます。内部電源電圧（内部V_{DD}）が高電圧検出レベル（VLVDH）を超えると内部リセットを解除します。

動作電圧降下時は内部電源電圧（内部V_{DD}）が高電圧検出レベル（VLVDH）を下回るとLVDによる割り込み要求信号（INTLVI）が発生し、任意の退避処理を行うことができます。その後、内部電源電圧（内部V_{DD}）が低電圧検出レベル（VLVDL）を下回るとLVDによる内部リセットが発生します。ただし、INTLVI発生後、内部電源電圧（内部V_{DD}）が低電圧検出電圧（VLVDL）を下回らずに高電圧検出電圧（VLVDH）以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み&リセット・モードの使用する場合は、“図27-8 動作電圧確認／リセットの設定手順”と、“図27-9 割り込み&リセット・モードの初期設定の設定手順”に示すフローチャートの手順に従って設定をしてください。

図27-7に、LVD割り込み&リセット・モードの内部リセット信号と割り込み信号発生タイミングを示します。

図27-7 割り込み&リセット信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (1/2)

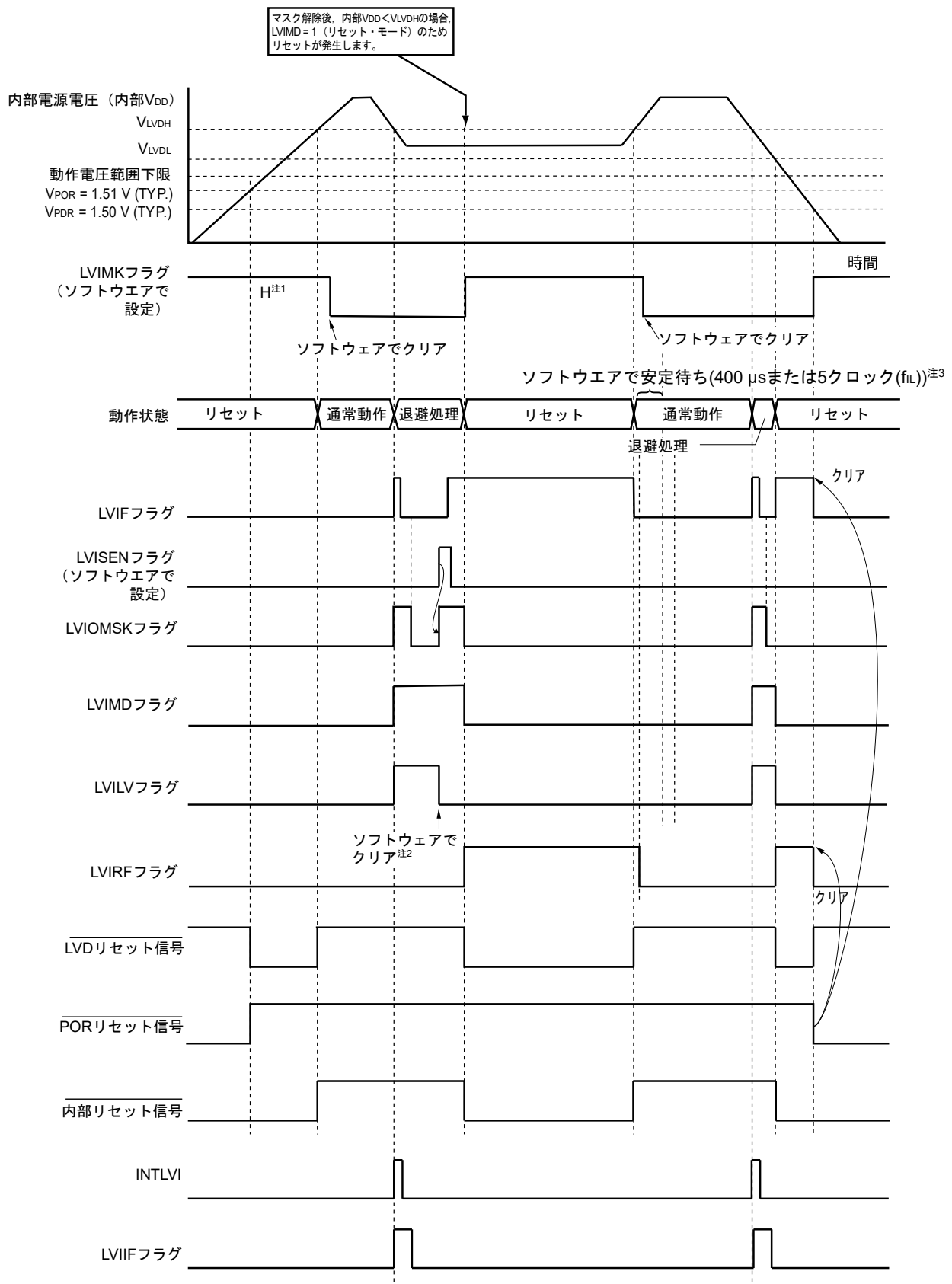


(注、備考は次ページにあります。)

- 注 1. LVIMKフラグはリセット信号の発生により, “1” になっています。
2. 割り込み&リセット・モード使用時, 割り込み発生後は, 図27-8 動作電圧確認/リセットの設定手順に従って設定をしてください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

図27-7 割り込み&リセット信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (2/2)

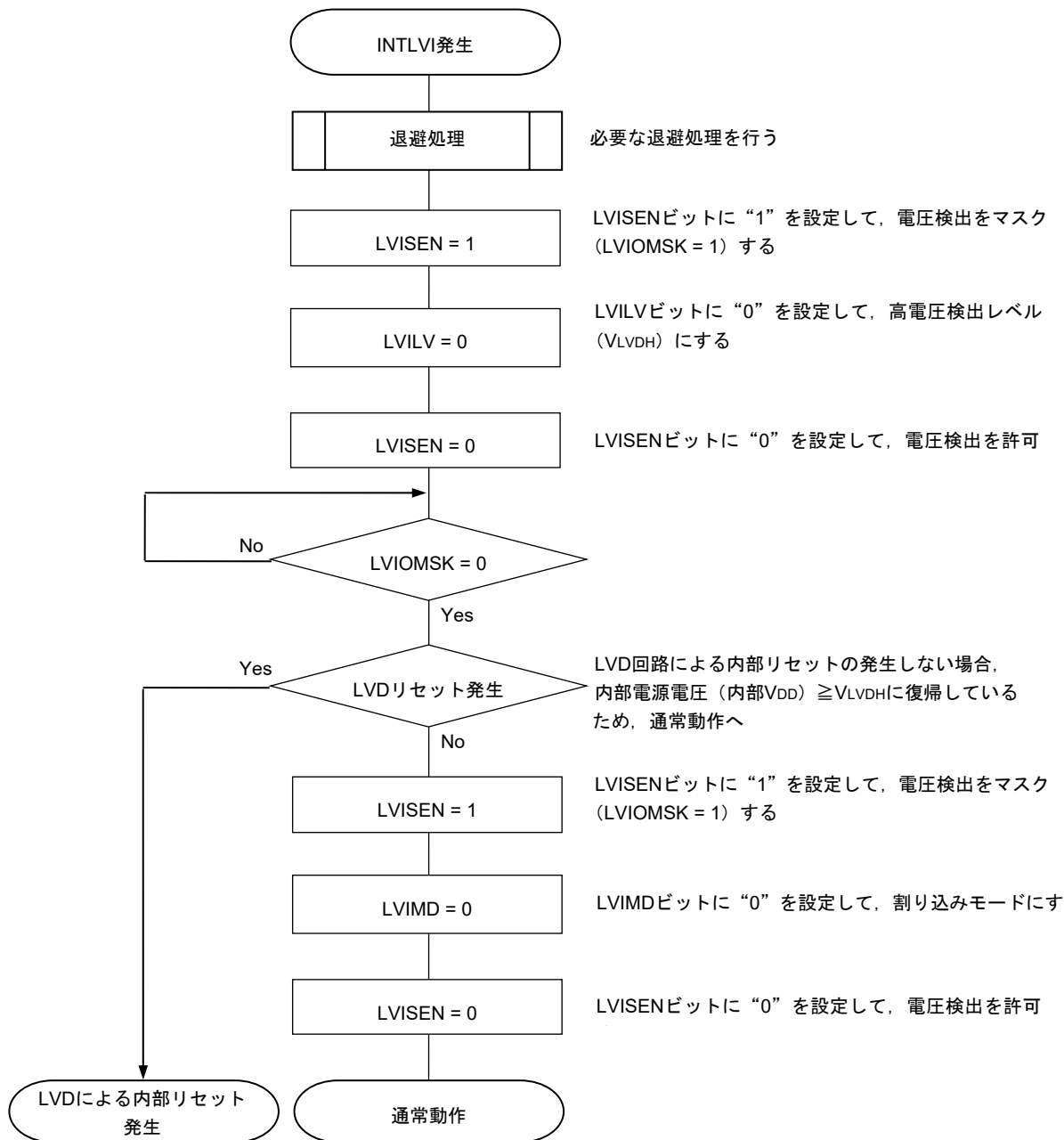


(注、備考は次ページにあります。)

- 注 1. LVIMKフラグはリセット信号の発生により，“1”になっています。
- 2. 割り込み&リセット・モード使用時，割り込み発生後は，**図27-8 動作電圧確認／リセットの設定手順**に従って設定をしてください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

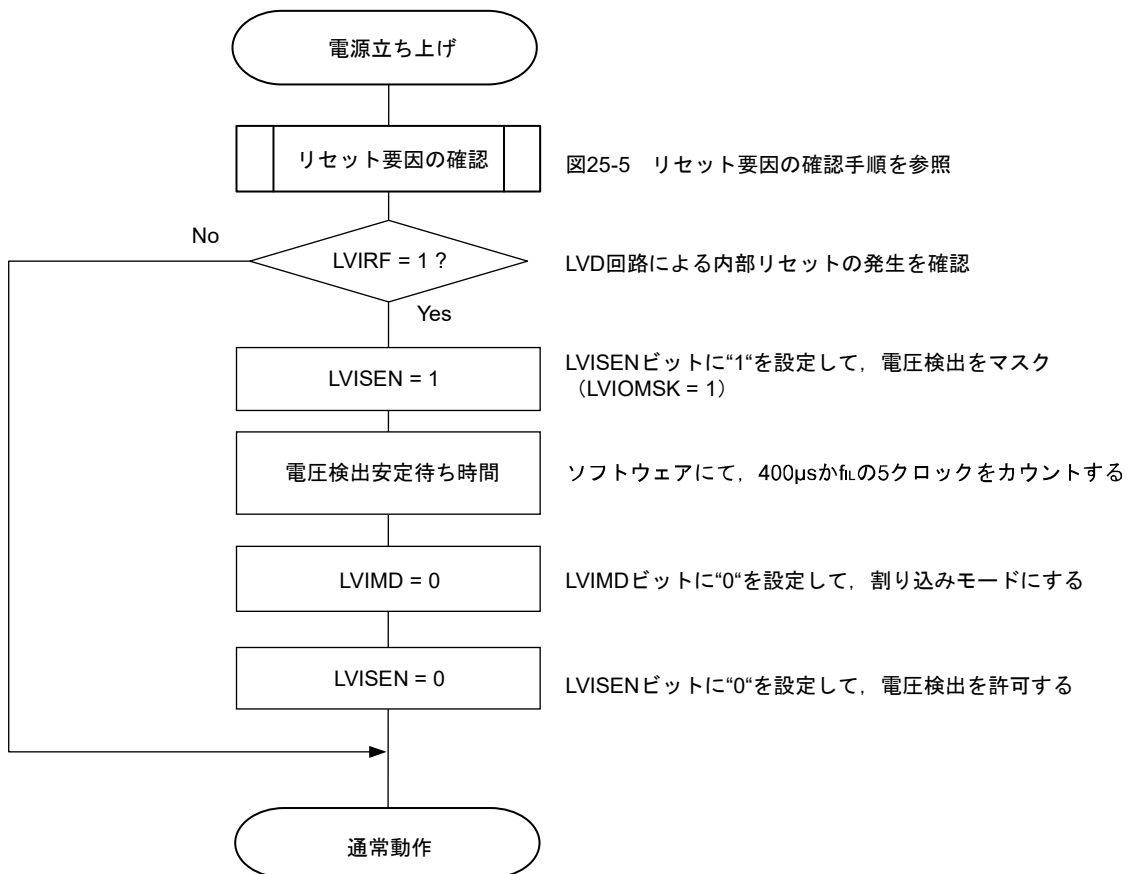
図27-8 動作電圧確認／リセットの設定手順



割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0) を設定した場合, LVDリセット解除後 (LVIRF = 1) から400 μ sか f_{IL} の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後, LVIMDビットをクリア (0) して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は, LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図27-9に割り込み&リセット・モードの初期設定の手順を示します。

図27-9 割り込み&リセット・モードの初期設定の設定手順



備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

27.5 電圧検出回路の注意事項

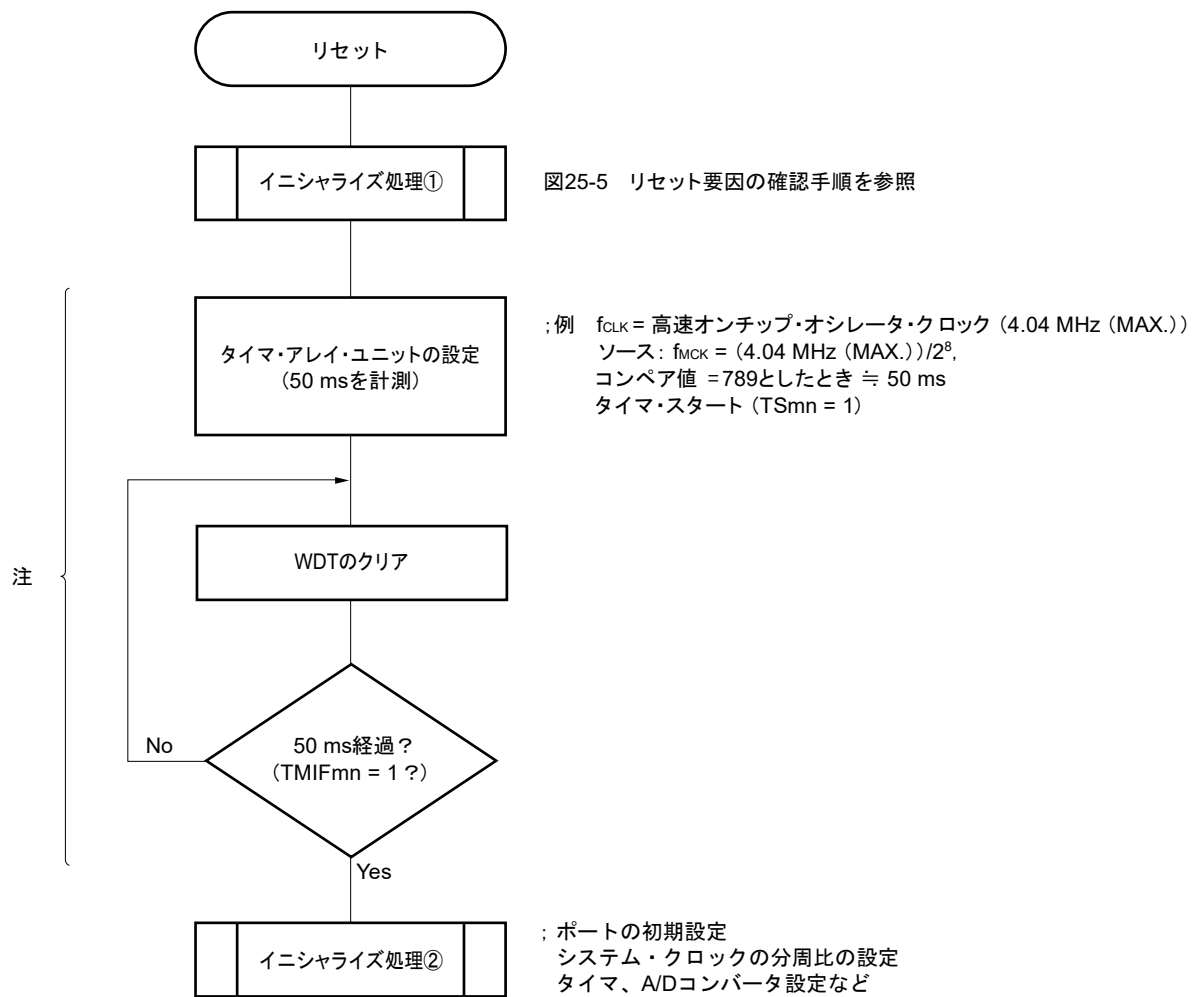
(1) 電源投入時の電圧変動について

内部電源電圧（内部V_{DD}）がLVD検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる内部電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図27-10 LVD検出電圧付近での内部電源電圧変動が50 ms以下の場合のソフト処理例



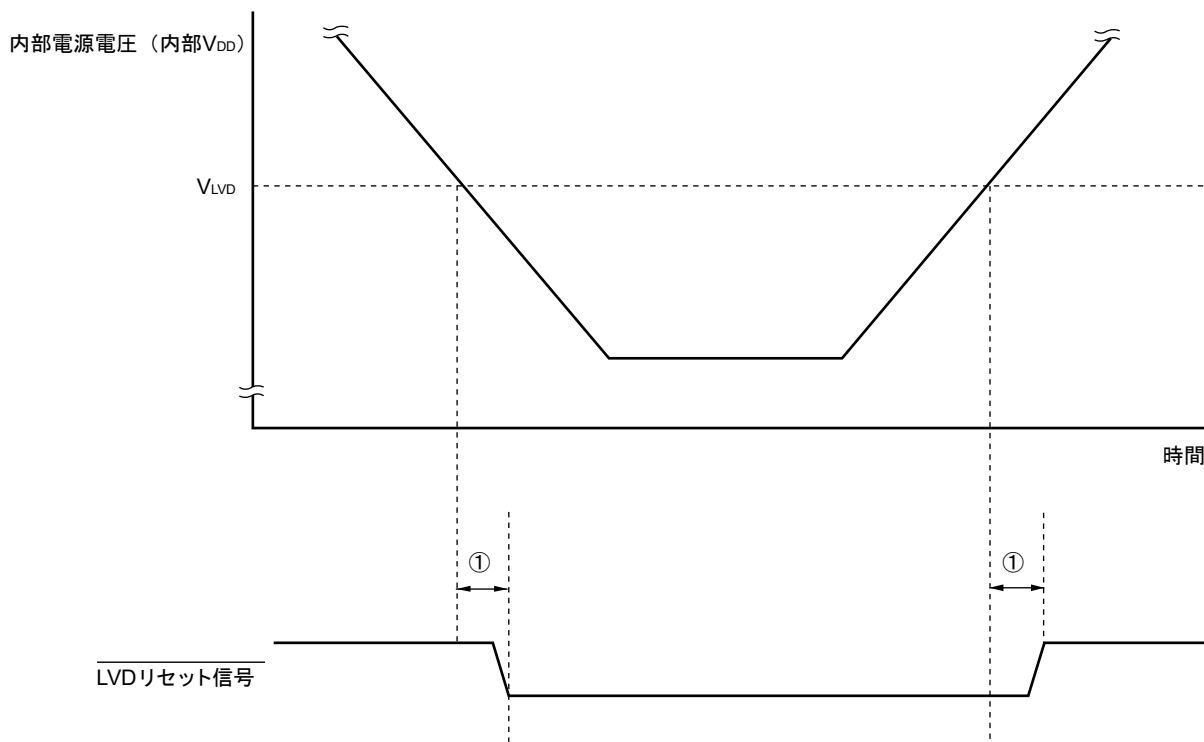
注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 $m = 0, 1$ $n = 0-7$

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

内部電源電圧（内部 V_{DD} ） $<$ LVD検出電圧（ V_{LVD} ）になってから、LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧（ V_{LVD} ） \leq 内部電源電圧（内部 V_{DD} ）になってから、LVDリセットが解除されるまでにも遅延が生じます（図27-11参照）。

図27-11 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① : 検出遅延 (300 μ s (MAX.))

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。

外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、37.4 AC特性に示す動作電圧範囲内の期間で10 μ s以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は、37.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、内部電源電圧が動作電圧範囲内に復帰したことを確認してください。

第28章 バッテリ・バックアップ機能

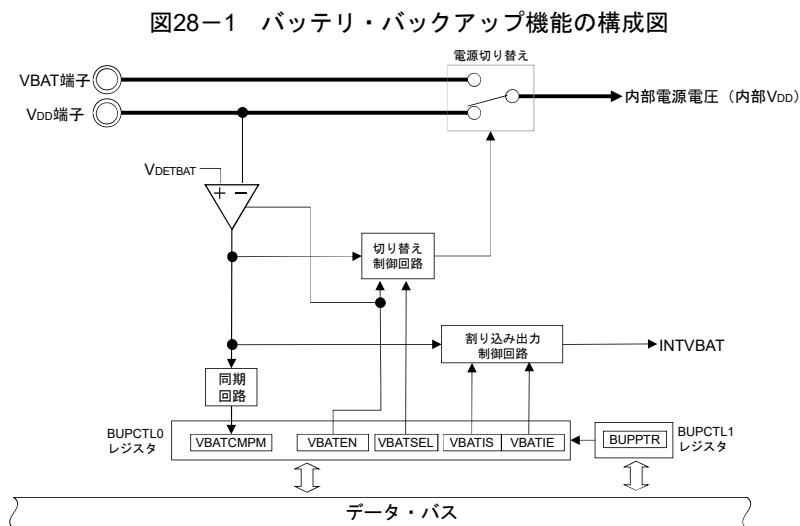
28.1 バッテリ・バックアップの機能

V_{DD}端子の電源電圧を監視し、V_{DD}端子の電圧が検出電圧よりも低下したとき、専用のバッテリ・バックアップ用電源端子（VBAT端子）からの内部電源供給に切り替えを行います。VBAT端子から内部電源を供給するモードをバッテリ・バックアップ・モードと呼びます。停電発生等によりV_{DD}端子からの電源供給が遮断された場合でも、ハードウェアでバッテリ・バックアップ・モードに切り替わることで、リアルタイム・クロック2（RTC2）の動作を継続することができます。バッテリ・バックアップ・モードではリアルタイム・クロック2（RTC2）の他に、CPU、10ビットA/Dコンバータ、内蔵温度センサ、コンパレータ、外部割り込み、V_{DD}電源系I/O^注を動作することができます。

- V_{DD}端子の電圧が検出電圧以下に低下した場合、内部電源供給をV_{DD}供給からVBAT供給に切り替えることができます。また、V_{DD}端子の電圧が検出電圧以上に復帰した場合、内部電源供給をVBAT供給からV_{DD}供給に切り替えることができます。
- VBAT ≥ V_{DD}の条件においてソフトウェアにより内部電源供給をVBAT供給に切り替えることができます。
- 電源切り替え時に電源切り替え検出割り込み（INTVBAT）を発生させることができます。ただし、ソフトウェアによる電源切り替え時は割り込みは発生せず、V_{DD}端子の電源電圧が検出電圧に達した時点で割り込みが発生します。

注 P20-P25, P121-P124, P137

図28-1にバッテリ・バックアップ機能の構成図を示します。



28.1.1 端子構成

表28-1にバッテリ・バックアップ機能の端子構成を示します。

表28-1 バッテリ・バックアップ機能の端子構成

名称	機能
V _{DD}	端子の正電源
VBAT	バッテリ・バックアップ用電源

28.2 レジスタ説明

表28-2にバッテリ・バックアップで使用するレジスタ一覧を示します。

表28-2 レジスタ一覧

レジスタ名	シンボル
バックアップ電源切り替えコントロール・レジスタ0	BUPCTL0
バックアップ電源切り替えコントロール・レジスタ1	BUPCTL1
グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS

28.2.1 バックアップ電源切り替えコントロール・レジスタ0 (BUPCTL0)

BUPCTL0レジスタは、電源切り替えの動作制御、電源切り替え割り込み許可／禁止の選択、給電端子の選択を行うレジスタです。

BUPCTL0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

VBATEN（ビット7）、VBATSEL（ビット0）は、パワーオン・リセットの発生のみにより0にクリアされます。その他のビットは、リセット信号の発生により0にクリアされます。

図28-2 バックアップ電源切り替えコントロール・レジスタ0 (BUPCTL0) のフォーマット (1/2)

アドレス：F0330H リセット時：00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
BUPCTL0	VBATEN	0	0	0	VBATCMPM	VBATIE	VBATIS	VBATSEL

VBATEN ^{注2}	電源切り替えの動作制御
0	電源切り替え機能停止 ^{注3}
1	電源切り替え機能動作

注1. VBATEN（ビット7）、VBATSEL（ビット0）はパワーオン・リセットの発生のみにより、0にクリアされます。

2. VBATENビットを1にする場合、0を書いた後に1を書き込んでください。0を書いた後に、BUPCTL0以外のSFRに書き込みを行った場合は、VBATENビットを1にすることはできません。

また、VBATENビットを0にする場合は、1を書いた後に0を書き込んでください。1を書いた後に、BUPCTL0以外のSFRに書き込みを行った場合は、VBATENビットを0にすることはできません。

3. 内部電源供給をVBAT給電中に、電源切り替え機能停止設定（VBATEN = 0）を禁止します。電源切り替え機能停止設定（VBATEN = 0）は、必ずVBATCMPMビットが0である事を確認して、内部電源供給がV_{DD}給電の状態で行ってください。

図28-2 バックアップ電源切り替えコントロール・レジスタ0 (BUPCTL0) のフォーマット (2/2)

VBATCMPM	電源切り替え用コンパレータ出力モニタ
0	V _{DD} 端子電圧 \geq 電源切り替え検出電圧 (V _{DET} BAT2) または、電源切り替え機能停止 (VBATEN = 0) の状態
1	V _{DD} 端子電圧 $<$ 電源切り替え検出電圧 (V _{DET} BAT1)

VBATIE	電源切り替え割り込み制御
0	割り込み発生禁止
1	割り込み発生許可

VBATIS	電源切り替え割り込み選択
0	V _{DD} 端子電圧 $<$ 電源切り替え検出電圧 (V _{DET} BAT1) になったとき、割り込み信号発生 V _{DD} → VBAT切り替え時に割り込み発生 ^注
1	V _{DD} 端子電圧 \geq 電源切り替え検出電圧 (V _{DET} BAT2) になったとき、割り込み信号発生 VBAT → V _{DD} 切り替え時に割り込み発生 ^注

注 VBATSELによる電源切り替え時には割り込みは発生しません。

VBATSEL ^注	給電元端子の選択
0	V _{DD} 端子の電位に応じて供給元をハードウェアで切り替える
1	VBAT端子から給電する

注 VBATSELビットを1にする場合、0を書いた後に1を書き込んでください。0を書いた後に、BUPCTL0以外のSFRに書き込みを行った場合は、VBATSELビットを1にすることはできません。また、VBATSELビットを0にする場合は、1を書いた後に0を書き込んでください。1を書いた後に、BUPCTL0以外のSFRに書き込みを行った場合は、VBATSELビットを0にすることはできません。

注意1. V_{DD}>VBATにおいてVBATSEL = 1設定は禁止です。

2. ビット6-4には必ず0を設定してください。

28.2.2 バックアップ電源切り替えコントロール・レジスタ1 (BUPCTL1)

BUPCTL1レジスタは、BUPCTL0レジスタの書き換え無効/可能を設定するレジスタです。BUPPRTビット = 0の場合、BUPCTL0レジスタの書き換えが無効なため、BUPCTL0レジスタの誤書き込み防止ができます。

BUPCTL1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28-3 バックアップ電源切り替えコントロール・レジスタ1 (BUPCTL1) のフォーマット

アドレス : F0331H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
BUPCTL1	BUPPRT	0	0	0	0	0	0	0
	BUPPRT	BUPCTL0レジスタのライトプロテクト制御						
	0	BUPCTL0レジスタのライト無効, BUPCTL0レジスタのリード可能						
	1	BUPCTL0レジスタのリード・ライト可能						

注意 ビット6-0には必ず0を設定してください。

28.2.3 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

EV_{DD}とV_{DD}を同電位で使用している場合、停電発生等によりV_{DD}端子からの電源供給が遮断された場合、EV_{DD}供給も遮断され0 Vになります。GDIDISレジスタはEV_{DD} = 0 V時に入力バッファの貫通電流を防止するレジスタです。GDIDIS0ビットを1に設定することにより、EV_{DD}に接続されているすべての入力バッファ[※]を入力禁止とし、EV_{DD}に接続されている電源がオフになったときの貫通電流を防止します。GDIDISレジスタを使用する場合は、EV_{DD}の電源がOFFになる前にGDIDIS0 = 1に設定し、EV_{DD}に電源投入後GDIDIS0 = 0に設定します。

GDIDISレジスタは、1ビット・メモリ操作または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 P20-P25, P121-P124, P137以外のポート端子です。

P20-P25, P121-P124, P137はバッテリー・バックアップ機能によりI/Oバッファの電源供給がV_{DD}端子またはVBAT端子供給に切り替わるため、GDIDIS = 1に設定してもI/Oは使用可能です。

端子の入出力バッファ電源は表2-1 各端子の入出力バッファ電源を参照してください。

図28-4 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)のフォーマット

アドレス : F007DH	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0
	GDIDIS0	EV _{DD} 電源の入力バッファ設定						
	0	入力バッファの入力許可 (デフォルト)						
	1	入力バッファの入力禁止。入力バッファへの貫通電流防止。						

28.3 動作説明

28.3.1 バッテリ・バックアップ機能

V_{DD} 端子からの電圧が検出電圧よりも低下したとき、専用のバッテリ・バックアップ用電源端子（VBAT端子）から内部電源供給へ切り替えることができます。 V_{DD} 端子からの供給電圧が検出電圧（ $V_{DETBAT1}$ ）以下に低下した場合、内部電源が V_{DD} 供給からVBAT供給へ切り替わります。

電源起動時は、内部電源は必ず V_{DD} 端子から供給されるように固定されます。パワーオン・リセットの発生により、BUPCTL0レジスタのVBATENビットが0にリセットされます。BUPCTL0レジスタのVBATENビットが0の場合、電源切り替え機能は停止し、内部電源は V_{DD} 端子から供給されます。BUPCTL0レジスタのVBATENビットを1に設定すると、電源切り替え機能が動作します。電源切り替え機能が動作した状態では、VBAT端子からの電源供給中に V_{DD} 電圧が検出電圧（ $V_{DETBAT2}$ ）以上に復帰した場合、内部電源供給がVBAT供給から V_{DD} 供給へ切り替わります。

また、ソフトウェアで V_{DD} 端子からの電源供給をVBAT端子からの電源供給に切り替えることができます。

BUPCTL0レジスタのVBATENビットが1（電源切り替え機能動作）のときに、BUPCTL0レジスタのVBATSELビットを1（VBATから給電する）にするとVBAT端子からの電源供給に切り替わります。

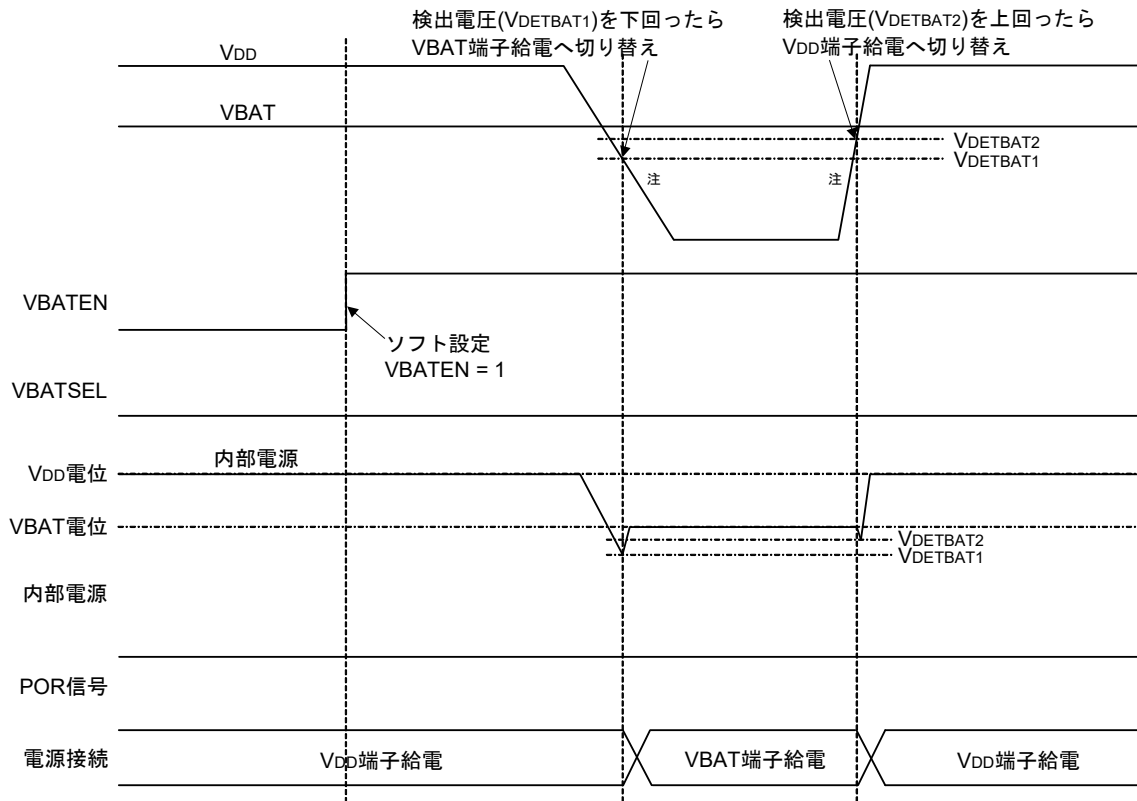
表28-3にバッテリ・バックアップ動作仕様を、図28-5、図28-6にバッテリ・バックアップ動作を示します。

表28-3 バッテリ・バックアップ動作仕様

電源	VBATEN	VBATSEL	条件	内部電源接続
起動時	x	x	—	V_{DD} 端子給電
起動後	0	x	—	V_{DD} 端子給電
			$V_{DD} \geq V_{DETBAT2}$	V_{DD} 端子給電
	1	0	$V_{DETBAT1} < V_{DD} < V_{DETBAT2}$	V_{DD} 端子給電またはVBAT端子給電 (ヒステリシス特性を持ちます)
			$V_{DD} \leq V_{DETBAT1}$	VBAT端子給電
		1	—	VBAT端子給電

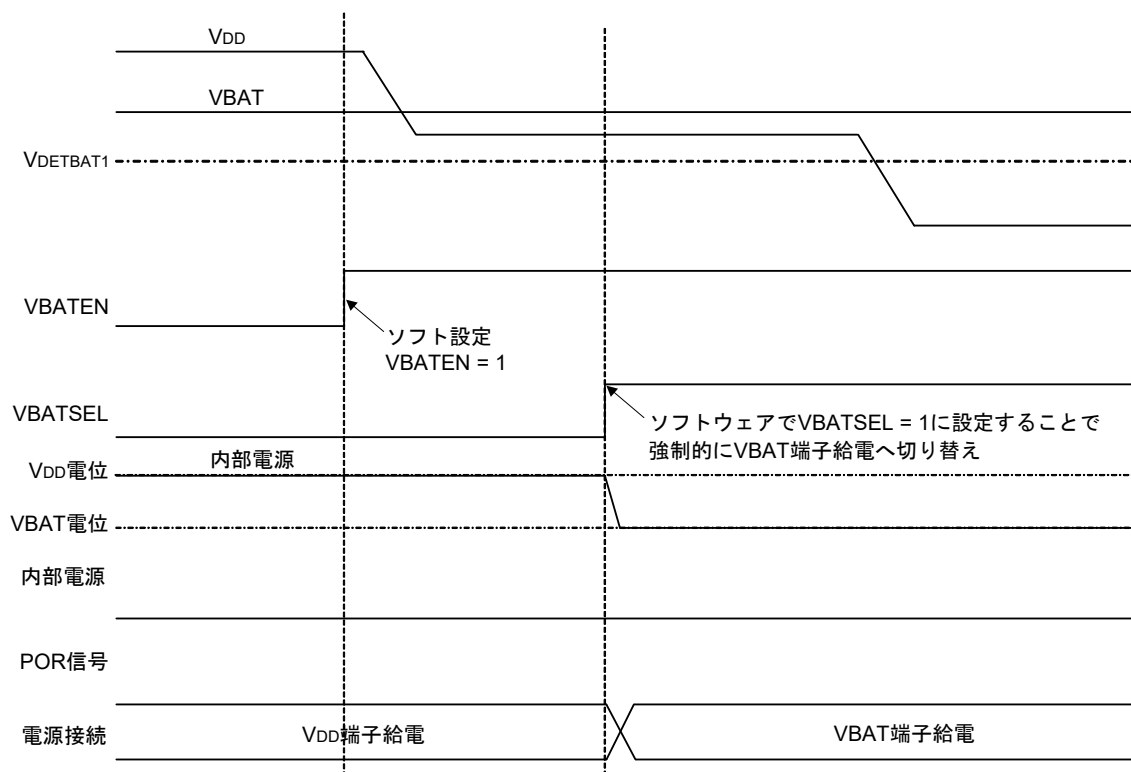
備考 x : don't care

図28-5 バッテリ・バックアップ動作 (1) (VBATEN = 1, VBATSEL = 0)



注 電源の立ち上がり立ち下りのスローブは、第37章 電気的特性を参照してください。

図28-6 バッテリ・バックアップ動作 (2) (VBATEN = 1, VBATSEL = 1)



28.4 使用上の注意事項

- (1) バッテリ・バックアップ機能を使用しない場合は、VBAT端子をVss端子と同電位に接続してください。
- (2) $V_{DD} > V_{BAT}$ においてVBATSEL = 1設定は禁止です。
- (3) VBATSEL = 1の状態では、 $V_{BAT} < 1.9\text{ V}$ にならないようにしてください。
- (4) VBATENとVBATSELの同時設定は禁止です。
- (5) VBATSEL = 1の状態ではVBATEN = 0の設定は禁止です。
- (6) 電源の立ち上がり立ち下りのスロープは、第37章 電気的特性を参照してください。
- (7) VBAT端子から電源供給されている場合は、セルフ・プログラミング機能は使用できません。
- (8) VBAT端子から内部電源を供給されている場合は、オンチップ・デバッグ機能は使用できません。
- (9) 電源切替えをハードウェアで行う (VBATEN=1, VBATSEL=0) 場合は、電源がVBATへ切替わった際、EV_{DD}系ポート端子でのリーク電流発生を回避するため、GDIDISレジスタにより入力バッファをディスエーブルに設定 (GDIDIS=01H) にしてください。
- (10) 電源切替えをハードウェアで行う (VBATEN=1, VBATSEL=0) 場合は、電源がVBATへ切替わった際、EV_{DD}系ポート端子の入力バッファはEV_{DD}電圧にて制御されているため、入力信号がEV_{DD}電圧を超えないように設計時に配慮が必要です。
- (11) 内部電源供給をVBAT給電中に、電源切り替え機能停止設定 (VBATEN = 0) を禁止します。電源切り替え機能停止設定 (VBATEN = 0) は、必ずVBATCMPMビットが0であることを確認して、内部電源供給がV_{DD}給電の状態で行ってください。

第29章 発振停止検出回路

29.1 発振停止検出回路の機能

発振停止検出回路は、低速オンチップ・オシレータ・クロック (fil) でサブシステム・クロック (fSUB) の動作状態を監視し、一定期間以上の間の動作停止を検出した場合は、XT1発振回路に異常が発生したと判断し、発振停止検出割り込み信号を出力します。

発振停止検出回路は、リセット解除後にソフトウェアで動作許可する必要があります。

発振停止検出回路は、ソフトウェアで発振停止検出動作を停止します。あるいは、 $\overline{\text{RESET}}$ 端子によるリセットまたは不正命令の実行^注による内部リセットによって、発振停止検出動作を停止します。また、内部リセットの発生によりXT1発振クロックの発振も停止するため、リセット発生後は、再度ソフトウェアでXT1発振クロックの発振を再開させたあと、発振停止検出動作を許可にしてください。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

発振停止検出回路が発振停止の判断をする期間（発振停止判定時間）は発振停止検出制御レジスタ（OSDC）のOSDCCMP11-OSDCCMP0ビットで設定できます。

発振停止判定時間 = 低速オンチップ・オシレータ・クロック (fil) 周期 × ((OSDCCMP11-OSDCCMP0設定値) + 1)

- OSDCCMP11-OSDCCMP0= 003H設定時 : 232 μs (MIN.) , 267 μs (TYP.) , 314 μs (MAX.)
- OSDCCMP11-OSDCCMP0= FFFH設定時 : 237 ms (MIN.) , 273 ms (TYP.) , 322 ms (MAX.)

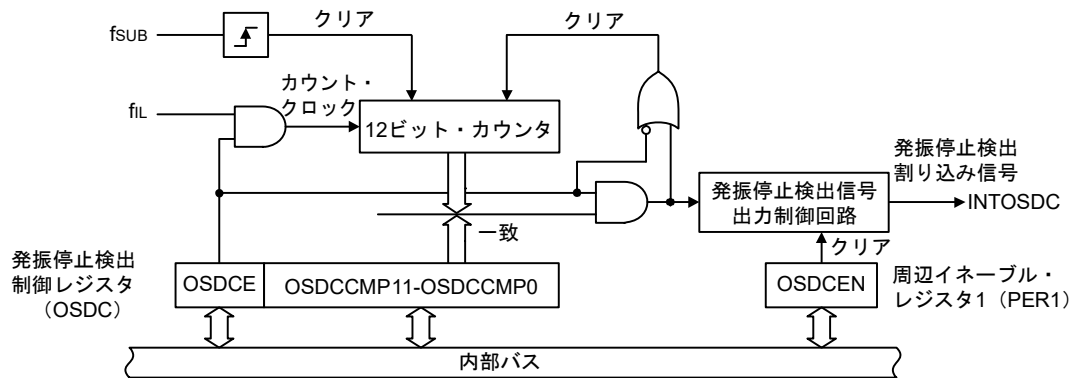
29.2 発振停止検出回路の構成

発振停止検出回路は、以下のハードウェアで構成されています。

表29-1 発振停止検出回路の構成

項目	構成
制御レジスタ	周辺イネーブル・レジスタ1 (PER1) サブシステム・クロック供給モード制御レジスタ (OSMC) 発振停止検出制御レジスタ (OSDC)

図29-1 発振停止検出回路のブロック図



29.3 発振停止検出回路で使用するレジスタ

29.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

発振停止検出回路を使用するときは、必ずビット0 (OSDCEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図29-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	FMCEN	COMPEN	OSDCEN	DTCEN	0	0	DSADCEN

OSDCEN	発振停止検出回路の入カクロック供給の制御
0	入カクロック供給停止 ・発振停止検出回路で使用するSFRへのライト不可 ・発振停止検出回路ではリセット状態
1	入カクロック供給 ・発振停止検出回路で使用する SFR へのリード／ライト可

注意1. 発振停止検出回路の設定をする際には、必ず最初にOSDCEN = 1の設定を行ってください。OSDCEN = 0の場合は、発振停止検出回路の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

2. ビット2, 1 には必ず“0”を設定してください。

29.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、発振停止検出回路以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、サブシステム・クロック周波数測定回路の動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図29-3 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表24-1、表24-2参照)
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、8ビット・インターバル・タイマ、発振停止検出回路以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0 注1, 2, 3	リアルタイム・クロック2、 12ビット・インターバル・タイマ、 LCDコントローラ／ドライバの 動作クロックの選択	クロック出力／ブザー出力制御 回路のPCLBUZn端子の出力 クロックの選択および 8ビット・インターバル・タイマ の動作クロックの選択	サブシステム・ クロック周波数 測定回路の動作
0	サブシステム・クロック (f_{SUB})	サブシステム・クロック (f_{SUB}) 選択許可	許可
1	低速オンチップ・オシレータ・ クロック (f_{IL})	サブシステム・クロック (f_{SUB}) 選択禁止	禁止

注1. f_{IL} クロックを選択 ($WUTMMCK0 = 1$) する場合は、サブシステム・クロック発振動作停止 (CSCレジスタのXTSTOPビット = 1) 時のみ可能です。

2. $WUTMMCK0$ を“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。

3. $WUTMMCK0$ を“1”に設定した場合、リアルタイム・クロック2の1Hz出力機能は使用できません。

注意 リアルタイム・クロック2の動作クロックにサブシステム・クロック ($f_{SUB} = 32.768$ kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。

低速オンチップ・オシレータ・クロック ($f_{IL} = 15$ kHz) を選択時は、定周期割り込み機能のみ使用できます。

ただし、 f_{IL} 選択時の定周期割り込み間隔は、定周期 ($RTCC0$ レジスタで選択した値) $\times 1/f_{IL}$ で算出される値になります。

29.3.3 発振停止検出制御レジスタ (OSDC)

発振停止検出回路を制御するレジスタです。発振停止検出回路の動作開始、動作停止を選択します。また、発振停止判定時間を設定します。

OSDCEビットが“0”の状態では、発振停止検出回路は動作を開始しません。

OSDCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります

図29-4 発振停止検出制御レジスタ (OSDC) のフォーマット

アドレス : F0390H リセット時 : 0FFFH R/W

略号	15	14	13	12	11	10	9	8
OSDC	OSDCE	0	0	0	OSDCCMP11	OSDCCMP10	OSDCCMP9	OSDCCMP8

略号	7	6	5	4	3	2	1	0
OSDC	OSDCCMP7	OSDCCMP6	OSDCCMP5	OSDCCMP4	OSDCCMP3	OSDCCMP2	OSDCCMP1	OSDCCMP0

OSDCE	発振停止検出動作の制御
0	発振停止検出動作停止
1	発振停止検出動作開始

OSDCCMP11-OSDCCMP0	発振停止判定時間
000H ... 002H	設定禁止
003H ... FFFH	発振停止判定時間を設定します。 OSDCCMPの設定値 (A) に対し、(A-2) サイクル~最大 (A+1) サイクルの期間発振停止した場合は、発振停止と判定されます。 発振停止判定時間 = 低速オンチップ・オシレータ・クロック (f _{IL}) 周期 × ((OSDCCMP11-OSDCCMP0ビットの設定値) + 1)

- 注意1. OSDCCMP11-OSDCCMP0ビットの設定を変更する場合は、必ずOSDCE = 0 (発振停止検出動作停止) にしてください。
2. 発振停止検出回路は、ソフトウェアでOSDCEビットに“0” (発振停止検出動作停止) を設定、あるいはRESET端子によるリセットまたは不正命令の実行による内部リセットによって発振停止検出動作を停止します。
また、内部リセットの発生によりXT1発振クロックの発振も停止するため、リセット発生後は、再度ソフトウェアでXT1発振クロックの発振を再開させたあと、発振停止検出動作を許可にしてください。
3. ビット14-12には必ず“0”を設定してください。

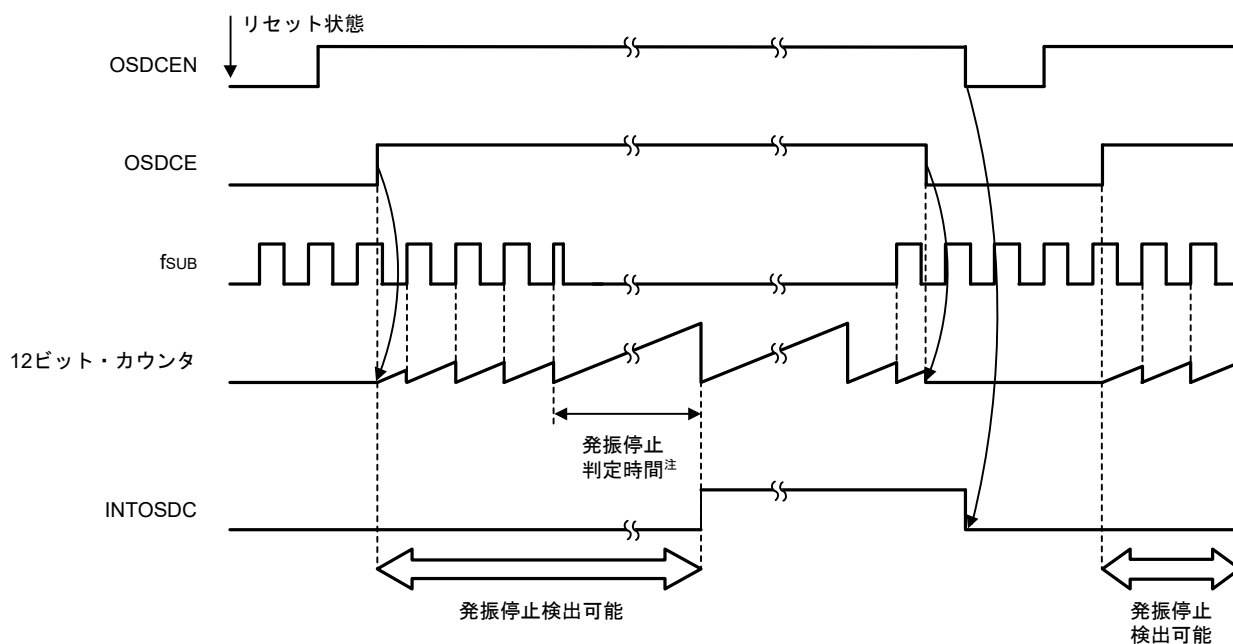
注 FFFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

29.4 発振停止検出回路の動作

29.4.1 発振停止検出回路の動作方法

1. 外部リセット解除後、サブシステム・クロックの発振を開始します。
2. 発振停止検出制御レジスタ (OSDC) に書き込みを行うことにより、発振停止検出回路が動作を開始します。
3. 発振停止検出回路が動作中に、サブシステム・クロック (f_{SUB}) が発振停止判定時間以上連続して停止すると、発振停止検出割り込み (INTOSDC) を出力します。

図29-5 発振停止検出回路のタイミング



注 OSDCCMPの設定値 (A) に対し、(A-2) サイクル～最大 (A+1) サイクルの期間発振停止した場合は、発振停止と判定されます。

29.5 発振停止検出機能使用時の注意事項

発振停止検出回路は、ウォッチドッグ・タイマと一緒に使用してください。

発振停止検出は、次のいずれかの条件で使用できます。

- ・ オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) を “1” , OSMCレジスタのビット4 (WUTMMCK0) を “0” に設定した場合
- ・ OSMCレジスタのビット4 (WUTMMCK0) を “1” に設定した場合

第30章 安全機能

30.1 安全機能の概要

- ★ 安全規格IEC60730に対応するため、RL78/I1Bでは以下の安全機能を搭載しています。
この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリCRC演算機能（高速CRC，汎用CRC）

CRC演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて、以下の2つのCRCを使い分けいただくことができます。

- ・「高速CRC」… 初期設定ルーチンの中で、CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- ・「汎用CRC」… CPU動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。

(2) RAM/パリティ・エラー検出機能

RAMをデータとして読み出すとき、パリティ・エラーを検出します。

(3) RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

(4) SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域（メモリが存在しない、アクセスが制限されている領域）への不正なアクセスを検出します。

(6) 周波数検出機能

タイマ・アレイ・ユニットを使用して、CPU/周辺ハードウェア・クロック周波数の自己チェックができます。

(7) A/Dテスト機能

A/Dコンバータの+側基準電圧，-側基準電圧，アナログ入力チャネル（ANI），温度センサ出力電圧および内部基準電圧をA/D変換することにより、A/Dコンバータの自己チェックができます。

(8) 入出力端子のデジタル出力信号レベル検出機能

入出力端子が出力モード時に、端子の出力レベルをリードすることができます。

備考 安全規格IEC60730に対応する安全機能の使用例は、RL78 MCU シリーズのIEC60730/60335 セルフテスト・ライブラリ アプリケーションノート（R01AN1062，R01AN1296）を参照してください。

30.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・フラッシュ・メモリCRC制御レジスタ (CRC0CTL) ・フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	フラッシュ・メモリCRC演算機能 (高速CRC)
・CRC入力レジスタ (CRCIN) ・CRCデータ・レジスタ (CRCD)	CRC演算機能 (汎用CRC)
・RAMパリティ・エラー制御レジスタ (RPECTL)	RAMパリティ・エラー検出機能
・不正メモリ・アクセス検出制御レジスタ (IAWCTL)	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
・タイマ入力選択レジスタ0 (TIS0)	周波数検出機能
・A/Dテスト・レジスタ (ADTES)	A/Dテスト機能
・ポート・モード選択レジスタ (PMS)	入出力ポートのデジタル出力信号レベル検出機能

各レジスタの内容については、30.3 安全機能の動作の中で説明します。

30.3 安全機能の動作

30.3.1 フラッシュ・メモリCRC演算機能（高速CRC）

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定（イニシャライズ）ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です（例 フラッシュ・メモリ32 KB: 341 μ s@24 MHz）。

CRC生成多項式はCRC-16-CCITTの「 $X^{16}+X^{12}+X^5+1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

30.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL) のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	0	0	0	FEA2 ^注	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA2 ^注	FEA1	FEA0	高速CRC演算範囲
0	0	0	0000H-3FFBH (16 K-4バイト)
0	0	1	00000H-7FFBH (32 K-4バイト)
0	1	0	00000H-BFFBH (48 K-4バイト)
0	1	1	00000H-FFFBH (64 K-4バイト)
1	0	0	00000H-13FFBH (80 K-4バイト)
1	0	1	00000H-17FFBH (96 K-4バイト)
1	1	0	00000H-1BFFBH (112 K-4バイト)
1	1	1	00000H-1FFFBH (128 K-4バイト)

注 R5F10MMEおよびR5F10MPEでは、FEA2ビットを必ず“0”に設定してください。

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

30.3.1.2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図30-2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) のフォーマット

アドレス : F02F2H リセット時 : 0000H R/W

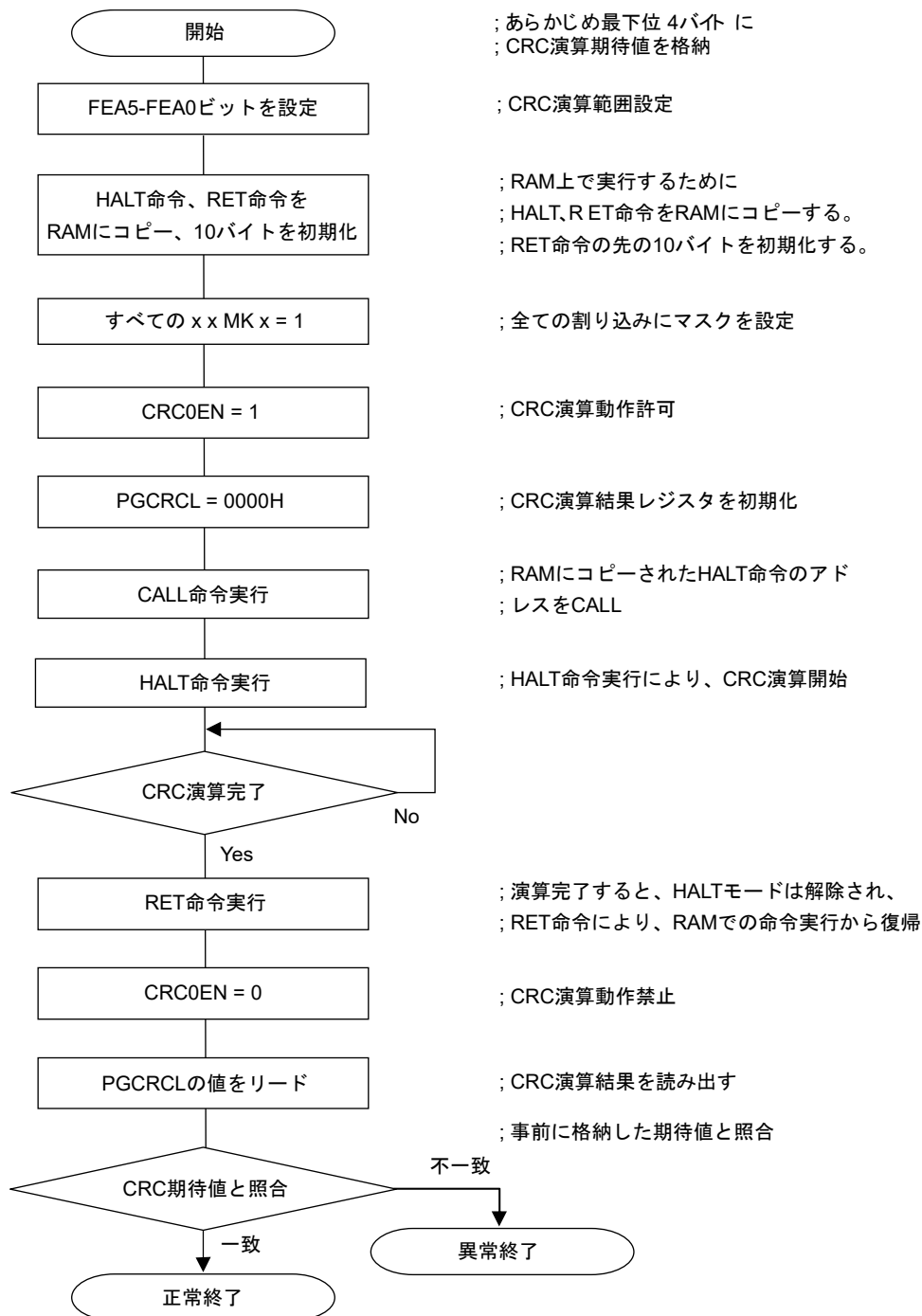
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
PGCRC15-0		高速CRC演算結果						
0000H-FFFFH		高速CRC演算結果を格納						

注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能 (高速CRC) のフロー・チャートを図30-3に示します。

<動作フロー>

図30-3 フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



- 注意 1. CRC 演算の対象は、コード・フラッシュのみです。
2. CRC 演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。
3. RAM 領域にて、HALT 命令を実行することで、CRC 演算が有効になります。
必ずRAM領域でHALT命令を実行してください。

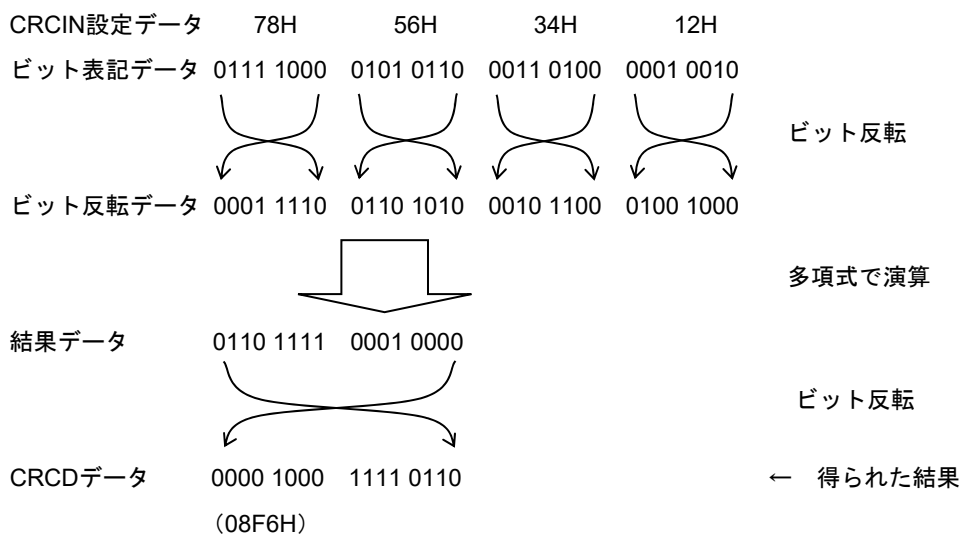
CRC 演算の期待値は、総合開発環境 CubeSuite+ を使用して算出することができます。詳細は、CubeSuite+ 統合開発環境ユーザーズマニュアルを参照してください。

30.3.2 CRC演算機能（汎用CRC）

★ この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は、DTC転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16}+X^{12}+X^5+1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッガはソフトウェア・ブレーク設定行をブレーク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

30.3.2.1 CRC 入力レジスタ（CRCIN）

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30-4 CRC入力レジスタ（CRCIN）のフォーマット

アドレス：FFFACH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
	ビット7-0		機能					
	00H-FFH		データ入力					

30.3.2.2 CRC データ・レジスタ (CRCD)

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

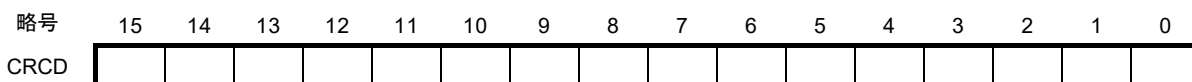
CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (f_{CLK}) の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図30-5 CRCデータ・レジスタ (CRCD) のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W

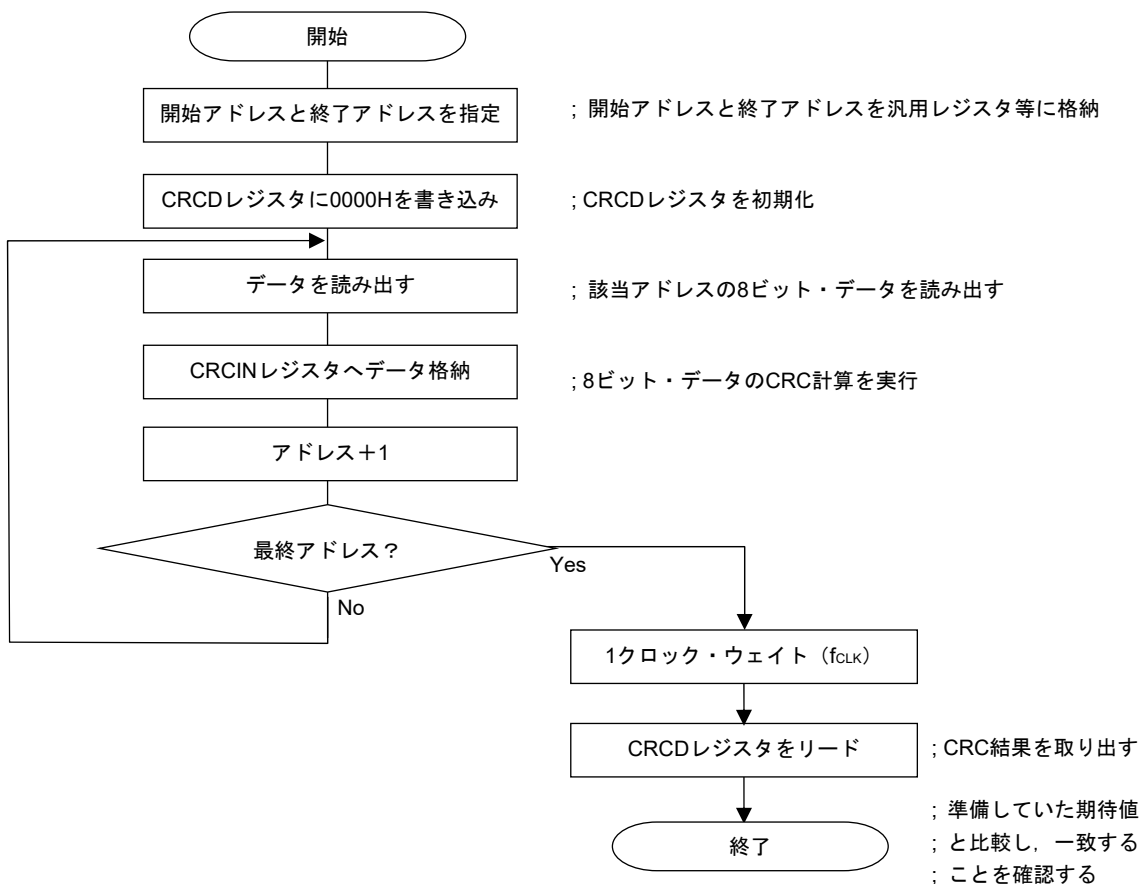


注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図30-6 CRC演算機能 (汎用CRC) のフロー・チャート



30.3.3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/I1BのRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

30.3.3.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図30-7 RAMパリティ・エラー制御レジスタ (RPECTL) のフォーマット

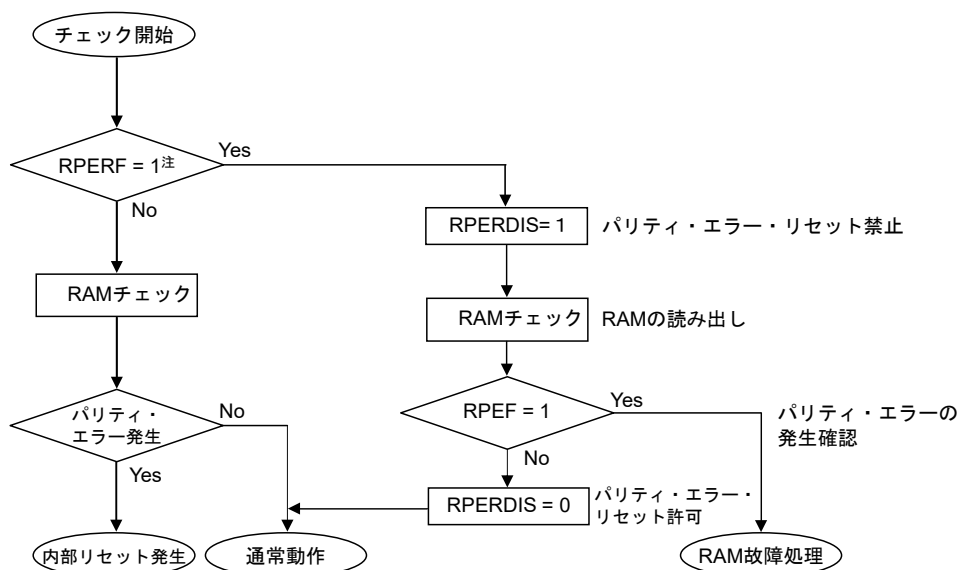
アドレス : F00F5H リセット時 : 00H R/W

略号	[7]	6	5	4	3	2	1	[0]
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。

- 備考1.** 初期状態では、パリティ・エラー・リセット発生許可 (RPERDIS = 0) になっています。
- パリティ・エラー・リセット発生禁止 (RPERDIS = 1) を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット (1) されます。なお、RPEF = 1の状態では、パリティ・エラー・リセット発生許可 (RPERDIS = 0) に設定すると、RPERDISをクリア (0) した時点でパリティ・エラー・リセットが発生します。
 - RPECTLレジスタのRPEFフラグは、パリティ・エラー発生時にセット (1) され、0の書き込み、またはすべてのリセット要因によりクリア (0) されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。
 - 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図30-8 RAMパリティ・チェックのフローチャート



注 RAMパリティ・エラーによる内部リセットの確認は、第25章 リセット機能を参照してください。

30.3.4 RAMガード機能

- ★ このRAMガード機能は、指定した空間のデータを保護するための機能です。
RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

30.3.4.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。
RAMガード機能では、GRAM1, GRAM0ビットを使用します。
IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図30-9 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間 ^注
0	0	無効。RAMへのライト可能
0	1	RAM先頭アドレスから128バイト
1	0	RAM先頭アドレスから256バイト
1	1	RAM先頭アドレスから512バイト

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

30.3.5 SFRガード機能

- ★ SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

30.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30-10 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード/ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, ADPC, PIOR, PFSEGxx, ISCLCD 注

GINT	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード/ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx

GCSC	クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのガード
0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのリード/ライト可能。
1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTs, CKC, PERx, OSMC, LVIM, LVIS, RPECTL

注 Pxx (ポート・レジスタ) はガードされません。

30.3.6 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図30-10で「NG」と記載した範囲になります。

図30-11 不正アクセス検出空間

アドレス	メモリ領域	アクセス可否		
		読み出し	書き込み	命令フェッチ (実行)
FFFFFH	特殊機能レジスタ (SFR) 256バイト	OK	OK	NG
FFF00H				命令フェッチ (実行)
FFEF0H	汎用レジスタ 32バイト	OK	OK	OK
FFEDFH				命令フェッチ (実行)
zzzzzH	RAM注	OK	OK	OK
zzzzzH				命令フェッチ (実行)
~	Mirror	OK	NG	NG
~				命令フェッチ (実行)
F1000H	使用不可	OK	OK	OK
F0FFFH				命令フェッチ (実行)
F0800H	特殊機能レジスタ (2nd SFR) 2 Kバイト	OK	OK	NG
F07FFH				命令フェッチ (実行)
F0000H	使用不可	NG	NG	OK
EF000H				命令フェッチ (実行)
~	使用不可	NG	NG	NG
~				命令フェッチ (実行)
yyyyyH	フラッシュ・メモリ注	OK	OK	OK
xxxxxH				命令フェッチ (実行)
00000H	フラッシュ・メモリ注	OK	OK	OK

注 各製品のコード・フラッシュ・メモリ、RAMのアドレスは次のようになります。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEF0H)	読み出し/命令フェッチ (実行) 時の検出最下位アドレス (yyyyyH)
R5F10MME, R5F10MPE	65536×8ビット (00000H-0FFFFH)	6144×8ビット (FE700H-FFEF0H)	10000H
R5F10MMG, R5F10MPG	131072×8ビット (00000H-1FFFFH)	8192×8ビット (FDF00H-FFEF0H)	20000H

30.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図30-12 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN ^注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注 IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイト (000C0H) のWDTON = 1 (ウォッチドッグ・タイマ動作許可) のとき，IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

30.3.7 周波数検出機能

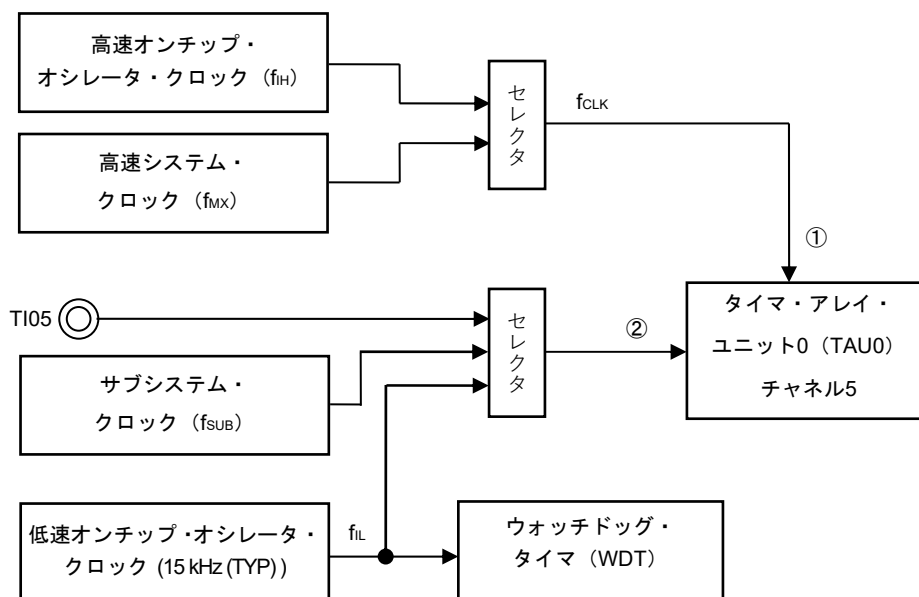
IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は、CPU/周辺ハードウェア・クロック周波数 (f_{CLK}) を使用し、タイマ・アレイ・ユニット0(TAU0)のチャンネル5の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロック、もしくは両方のクロックが停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

- ①CPU/周辺ハードウェア・クロック周波数 (f_{CLK}) :
 - ・高速オンチップ・オシレータ・クロック (f_{IH})
 - ・高速システム・クロック (f_{MX})
- ②タイマ・アレイ・ユニットのチャンネル5入力 :
 - ・チャンネル5のタイマ入力(TI05)
 - ・低速オンチップ・オシレータ・クロック (f_{IL} : 15 kHz (TYP.))
 - ・サブシステム・クロック (f_{SUB})

図30-13 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。入力パルス間隔測定の方法については、7.8.3 入力パルス間隔測定としての動作を参照してください。

30.3.7.1 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、タイマ・アレイ・ユニット0(TAU0)のチャンネル5のタイマ入力を選択するレジスタです。

TIS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30-14 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})
1	0	1	サブシステム・クロック (f _{SUB})
上記以外			設定禁止

30.3.8 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル（ANI）、温度センサ出力電圧および内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、安全機能（A/Dテスト）アプリケーションノート（R01AN0955）を参照してください。

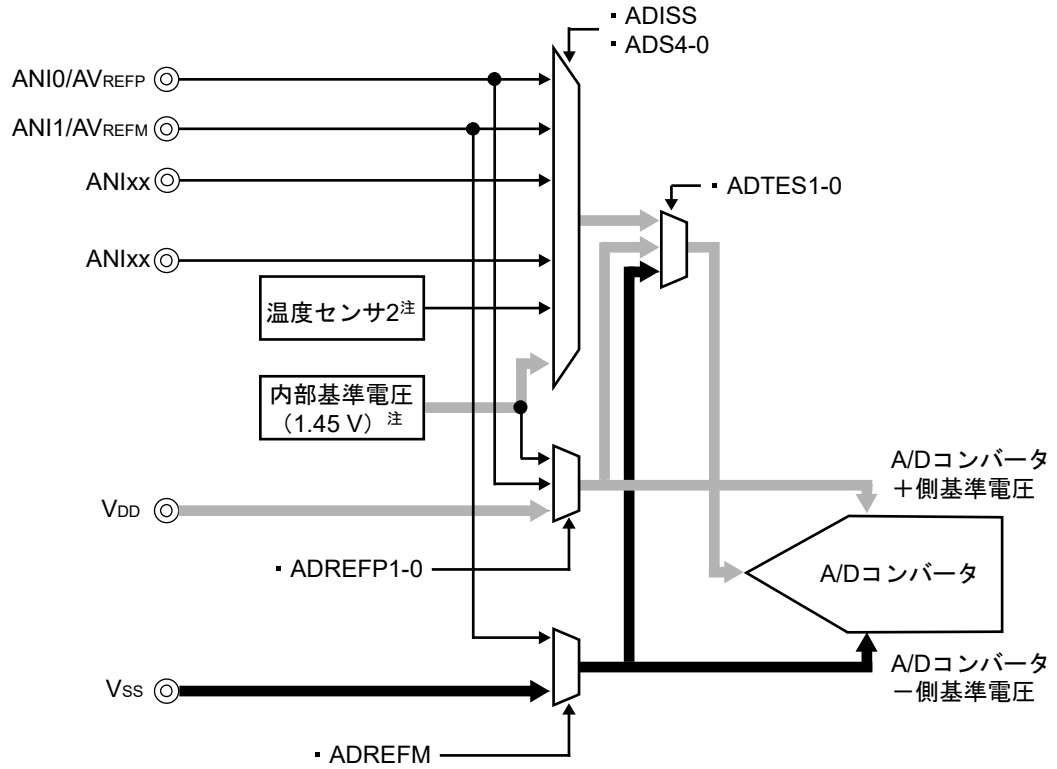
また、アナログ・マルチプレクサは、以下の手順で確認できます。

- ① ADTESレジスタでA/D変換対象にANix端子を選択（ADTES1, ADTES0=0,0）
- ② ANix端子のA/D変換を行う（変換結果1-1）。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの-側基準電圧を選択（ADTES1, ADTES0=1,0）
- ④ A/Dコンバータの-側基準電圧のA/D変換を行う（変換結果2-1）
- ⑤ ADTESレジスタでA/D変換対象にANix端子を選択（ADTES1, ADTES0=0,0）
- ⑥ ANix端子のA/D変換を行う（変換結果1-2）
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択（ADTES1, ADTES0=1,1）
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う（変換結果2-2）
- ⑨ ADTESレジスタでA/D変換対象にANix端子を選択（ADTES1, ADTES0=0,0）
- ⑩ ANix端子のA/D変換を行う（変換結果1-3）
- ⑪ 「変換結果1-1」 = 「変換結果1-2」 = 「変換結果1-3」であることを確認する。
- ⑫ 「変換結果2-1」のA/D変換結果がオール0、「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

- 備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。
2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図30-15 A/Dテスト機能の構成



注 HS (高速メイン) モードでのみ選択可能です。

30.3.8.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧，-側の基準電圧，アナログ入力チャンネル (ANlxx)，温度センサ出力電圧，内部基準電圧 (1.45V) を選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

- ・ゼロスケールを測定するときは，A/D変換対象に-側の基準電圧を選択。
- ・フルスケールを測定するときは，A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図30-16 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx/温度センサ出力電圧 ^注 /内部基準電圧 (1.45 V) ^注 (アナログ入力チャンネル指定レジスタ (ADS) で設定)
1	0	-側の基準電圧 (ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧 (ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注 温度センサ出力電圧，内部基準電圧 (1.45 V) は，HS (高速メイン) モードでのみ選択可能です。

30.3.8.2 アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

A/Dテスト機能でAN_{ixx}/温度センサ出力/内部基準電圧 (1.45 V) を測定するときは、A/Dテスト・レジスタ (ADTES) を00Hに設定してください。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30-17 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	1	1	1	0	1	—	温度センサ2出力電圧 ^注
1	0	0	0	0	1	—	内部基準電圧 (1.45 V) ^注
上記以外						設定禁止	

注 HS (高速メイン) モードでのみ選択可能です。

注意1. ビット5, 6には必ず0を設定してください。

- ADPCレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
- A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。
- ADISSビットを書き換える場合は、必ず変換停止状態 (ADCE = 0, ADCS = 0) のときに行ってください。
- AV_{REFP}をA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャンネルとして選択しないでください。
- AV_{REFM}をA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャンネルとして選択しないでください。
- ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧 (1.45 V) は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。
- STOPモードへ移行、もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、37.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流 (I_{ADREF}) の電流値が加算されます。

30.3.9 入出力ポートのデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では、端子が出力モード時に、端子のデジタル出力レベルをリードすることができます。

30.3.9.1 ポート・モード選択レジスタ (PMS)

ポートが出力モード（ポート・モード・レジスタ (PMm) のPMmnビットが0）時に、ポートの出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30-18 ポート・モード選択レジスタ (PMS) のフォーマット

アドレス : F007BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	ポートが出力モード時 (PMmn = 0) にリードするデータの選択
0	Pmnレジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

備考 m = 0-8, 12

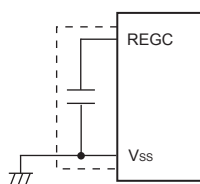
n = 0-7

- 注意1. PMSレジスタのPMS0ビットを“1”に設定時は、リード・モディファイ命令でPxレジスタを書き換えしないでください。Pxレジスタを書き換える場合は、8ビットの操作命令を使用してください。
- PMS制御は、LCD専用端子および入力専用端子 (P121-P124, P137) については無効となります。
 - SEG兼用端子をSEG出力として使用する場合には、PMS制御は無効となります (リード時は“L”固定)。
 - IICA0EN (PER0レジスタのビット4) = 0の場合、P61, P60端子はPMS制御が無効となります。

第31章 レギュレータ

31.1 レギュレータの概要

RL78/I1Bは、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ（0.47～1 μ F）を介し、V_{SS}に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、表31-1のようになります。

表31-1 レギュレータ出力電圧条件

モード	出力電圧	条 件
LS（低速メイン）モード	1.8 V	
HS（高速メイン）モード	1.8 V	STOPモード時
		サブシステム・クロック（f _{SUB} ）でCPU動作中で、高速システム・クロック（f _{MX} ）と高速オンチップ・オシレータ・クロック（f _{IH} ）が共に停止
	サブシステム・クロック（f _{SUB} ）でCPU動作設定時のHALTモード中で、高速システム・クロック（f _{MX} ）と高速オンチップ・オシレータ・クロック（f _{IH} ）が共に停止	
	2.1 V	上記以外（オンチップ・デバッグ中を含む） ^注

注 オンチップ・デバッグ中に、サブシステム・クロック動作やSTOPモードに移行する場合は、レギュレータ出力電圧は2.1 Vを継続します（1.8 Vにはなりません）。

第32章 オプション・バイト

32.1 オプション・バイトの機能

RL78/I1Bのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

32.1.1 ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）

(1) 000C0H/010C0H

- ウォッチドッグ・タイマの動作
 - ・カウンタの動作許可／禁止
 - ・HALT/STOPモード時のカウンタの動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込み
 - ・インターバル割り込みを使用する／使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

- OLVDの動作モード設定
 - ・割り込み&リセット・モード
 - ・リセット・モード
 - ・割り込みモード
 - ・LVDオフ（RESET端子による外部リセットを使用）

OLVD検出レベル（ V_{LVDH} 、 V_{LVDL} 、 V_{LVD} ）の設定

注意1. 電源立ち上がり時は、37.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

注意2. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1HIにも000C1Hと同じ値を設定してください。

(3) 000C2H/010C2H

○フラッシュの動作モード設定

使用するメイン・システム・クロック周波数(f_{MAIN})、電源電圧(VDD)に応じて設定

- ・LS (低速メイン) モード
- ・HS (高速メイン) モード

○高速オンチップ・オシレータの周波数設定

- ・3 MHz, 6 MHz, 12 MHz, 24 MHz から選択

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2HIにも000C2Hと同じ値を設定してください。

32.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)

○オンチップ・デバッグ動作制御

- ・オンチップ・デバッグ動作禁止/許可

○セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

- ・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する/消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3HIにも000C3Hと同じ値を設定してください。

32.2 ユーザ・オプション・バイトのフォーマット

図32-1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマット

アドレス : 000C0H/010C0H^{注1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用						
0	インターバル割り込みを使用しない						
1	オーパフロー時間の75%+1/2f _{IL} 到達時にインターバル割り込みを発生する						
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間 ^{注2}					
0	0	設定禁止					
0	1	50 %					
1	0	75 %					
1	1	100 %					
WDTON	ウォッチドッグ・タイマのカウンタの動作制御						
0	カウンタ動作禁止 (リセット解除後, カウント停止)						
1	カウンタ動作許可 (リセット解除後, カウント開始)						
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーパフロー時間 (f _{IL} = 17.25 kHz (MAX.) の場合)				
0	0	0	2 ⁹ /f _{IL} (3.71 ms)				
0	0	1	2 ⁷ /f _{IL} (7.42 ms)				
0	1	0	2 ⁸ /f _{IL} (14.84 ms)				
0	1	1	2 ⁹ /f _{IL} (29.68 ms)				
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)				
1	0	1	2 ¹³ /f _{IL} (474.89 ms)				
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)				
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)				
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)						
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}						
1	HALT/STOPモード時, カウンタ動作許可						

注1. ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

2. WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウィンドウ・オープン期間100%となります。

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図32-2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (1/2)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
2.61 V	2.55 V	2.45 V	0	1	0	1	0	1	0
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
—			上記以外は設定禁止						

・LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.98 V	1.94 V	0	0	1	1	0	1	1
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

- 備考1. LVDの設定に関しては27.1 電圧検出回路の機能を参照してください。
 2. 検出電圧はTYP.値です。詳細は、37.6.6 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図32-2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (2/2)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.98 V	1.94 V	0	0	1	1	0	0	1
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—	—		上記以外は設定禁止					

・LVDオフの設定 (RESET端子による外部リセット入力を使用)

検出電圧		オプション・バイト設定値						
V _{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—	—	上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

- 電源立ち上がり時は、37.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定により変わります。

備考 1. × : don't care

- LVDの設定に関しては27.1 電圧検出回路の機能を参照してください。
- 検出電圧はTYP.値です。詳細は、37.6.6 LVD回路特性を参照してください。

図32-3 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット

アドレス : 000C2H/010C2H^{注1}

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	0	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲(f_{MAIN})	動作電圧範囲(V_{DD})
1	0	LS (低速メイン) モード	6/3MHz	1.9 V~5.5 V
1	1	HS (高速メイン) モード	6/3MHz	2.1 V~5.5 V ^{注2}
			12/6/3MHz	2.4 V~5.5 V
			24/12/6/3MHz	2.7 V~5.5 V
上記以外		設定禁止		

FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップオシレータ・クロックの 周波数
			f_{IH}
0	0	0	24 MHz
0	0	1	12 MHz
0	1	0	6 MHz
0	1	1	3 MHz
上記以外			設定禁止

注1. ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

2. $-20^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ で使用してください。

注意1. ビット5, 4には、必ず10Bを書き込んでください。

2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、37.4 AC特性を参照してください。

32.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図32-4 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) のフォーマット

アドレス : 000C3H/010C3H^注

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD) のみ、値を指定できます。

ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。

ただし、設定時にはビット3-1にも、必ず初期値 (0, 1, 0) を設定してください。

32.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	5AH	; VLVDLに2.45 Vを選択 ; VLVDHに立ち上がり2.61 V, 立ち下がり2.55 Vを選択 ; LVDの動作モードに割り込み&リセット・モードを選択
	DB	A3H	; フラッシュの動作モードにLS (低速メイン) モード, 高速オンチップ・オシレータ・クロック周波数 3 MHzを選択
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		5AH	; VLVDLに2.45 Vを選択 ; VLVDHに立ち上がり2.61 V, 立ち下がり2.55 Vを選択 ; LVDの動作モードに割り込み&リセット・モードを選択
	DB		A3H	; フラッシュの動作モードにLS (低速メイン) モード, 高速オンチップ・オシレータ・クロック周波数 3 MHzを選択
	DB		85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第33章 フラッシュ・メモリ

RL78マイクロコントローラは、プログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス（UART通信）によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。

- ・フラッシュ・メモリ・プログラマによるシリアル・プログラミング（33.4参照）

専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

- ・外部デバイス（UART通信）によるシリアル・プログラミング（33.2参照）

外部デバイス（マイコンやASIC）とのUART通信を使用してオンボード上で書き込みができます。

- ・セルフ・プログラミング（33.5参照）

フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

33.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- ・ PG-FP5, FL-PR5
- ・ E1オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考 FL-PR5, FAシリーズは、（株）内藤電誠町田製作所の製品です。

表33-1 RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号	
信号名		入出力	端子機能		80ピン	100ピン
PG-FP5, FL-PR5	E1オンチップ デバッグ エミュレータ				LFQFP(12×12)	LFQFP(14×14)
—	TOOL0	入出力	送受信信号	TOOL0/P40	8	14
SI/RxD	—	入出力	送受信信号			
—	RESET	出力	リセット信号	RESET	9	15
/RESET	—	出力				
V _{DD}		入出力	V _{DD} 電圧生成/ 電源監視	V _{DD}	17	23
GND		—	グランド	V _{SS}	16	22
				EV _{SS1}	—	54
				REGC ^注	15	21
FLMD1	EMV _{DD}	—	TOOL0端子 駆動電源	V _{DD}	17	23
				EV _{DD1}	—	63

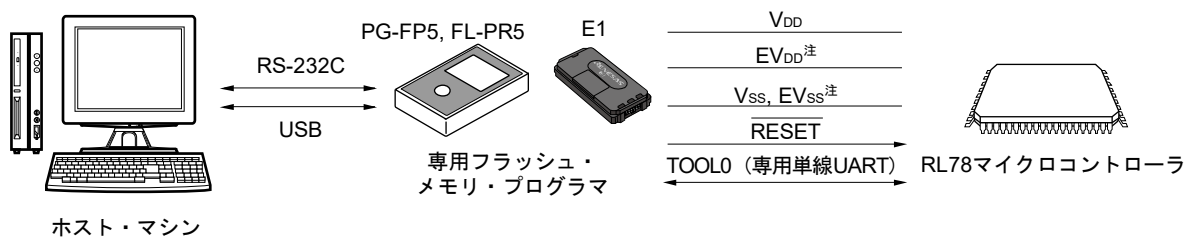
注 REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

33.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図33-1 フラッシュ・メモリにプログラムを書き込むための環境



注 100ピン製品のみ

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

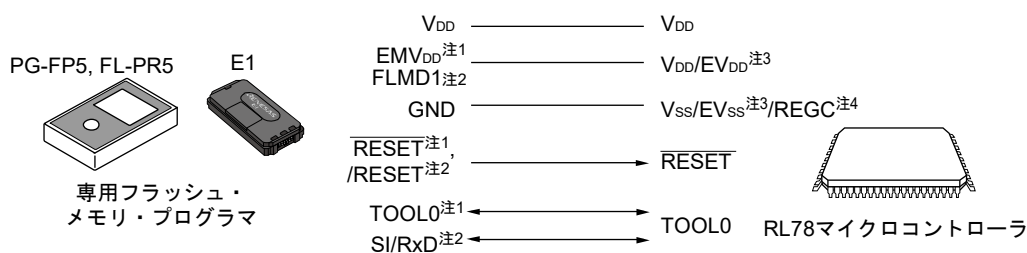
また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み／消去の操作を行います。

33.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート： 1 M, 500 k, 250 k, 115.2 kbps

図33-2 専用フラッシュ・メモリ・プログラマとの通信



注1. E1オンチップデバッグエミュレータ使用時。

2. PG-FP5, FL-PR5使用時。

3. 100ピン製品のみ

4. REGC端子はコンデンサ（0.47～1 μF）を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, FL-PR5またはE1オンチップデバッグエミュレータの各マニュアルを参照してください。

表33-2 端子接続一覧

専用フラッシュ・メモリ・プログラマ		RL78マイクロコントローラ		
信号名		入出力	端子機能	端子名 ^{注2}
PG-FP5, FL-PR5	E1オンチップデバ ギングエミュレータ			
V _{DD}		入出力	V _{DD} 電圧生成／電圧監視	V _{DD}
GND		—	グラウンド	V _{SS} , EV _{SS1} , REGC ^{注1}
FLMD1	EMV _{DD}	—	TOOL0端子駆動電源	V _{DD} , EV _{DD1}
/RESET	—	出力	リセット信号	RESET
—	RESET	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1. REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

2. 接続先端端子は、製品によって異なります。詳細は、表33-1を参照してください。

33.2 外部デバイス（UART内蔵）によるシリアル・プログラミング

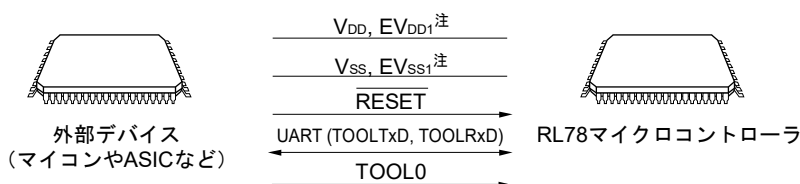
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス（マイコンやASIC）を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

33.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図33-3 フラッシュ・メモリにプログラムを書き込むための環境



注 100ピン製品のみ

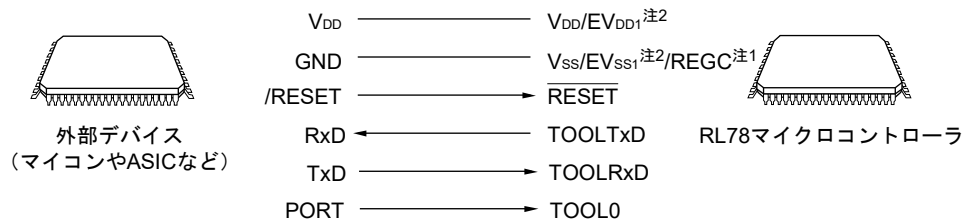
外部デバイスからRL78マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

33.2.2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート： 1 M, 500 k, 250 k, 115.2 kbps

図33-4 外部デバイスとの通信



- 注1. REGC端子はコンデンサ（0.47～1 μF）を介してグラウンドに接続してください。
2. 100ピン製品のみ。

注意 EV_{DD1}端子は、V_{DD}端子と同電位にしてください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表33-3 端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
V _{DD}	入出力	V _{DD} 電圧生成／電圧監視	V _{DD} , EV _{DD1} ^{注2}
GND	—	グラウンド	V _{SS} , EV _{SS1} ^{注2} , REGC ^{注1}
RESETOUT	出力	リセット信号出力	RESET
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

- 注1. REGC端子はコンデンサ（0.47～1 μF）を介してグラウンドに接続してください。
2. 100ピン製品のみ。

注意 EV_{DD1}端子は、V_{DD}端子と同電位にしてください。

33.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、33.4.2 フラッシュ・メモリ・プログラミング・モードを参照してください。

33.3.1 P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 k Ω の抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合は、以下の方法で使用してください。

入力時：端子リセット解除時から t_{HD} の間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

備考1. t_{HD} ：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。37.12 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

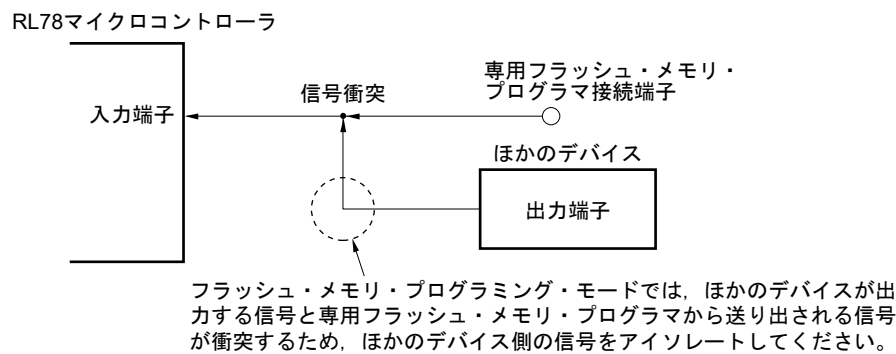
2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART (TOOL0端子) を使用するので、SAUやIICAの端子は使用しません。

33.3.2 RESET端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図33-5 信号の衝突 (RESET端子)



33.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して V_{DD} または EV_{DD1} に接続するか、もしくは抵抗を介して V_{SS} または EV_{SS1} に接続するなどの端子処理が必要です。

33.3.4 REGC端子

REGC端子は、通常動作時と同様に、特性の良いコンデンサ (0.47~1 μ F) を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

33.3.5 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック (f_{IH}) を使用します。

33.3.6 電 源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラマの V_{DD} に、 V_{SS} 端子はフラッシュ・メモリ・プログラマのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、 V_{DD} , V_{SS} 端子はフラッシュ・メモリ・プログラマの V_{DD} , GNDと必ず接続してください。

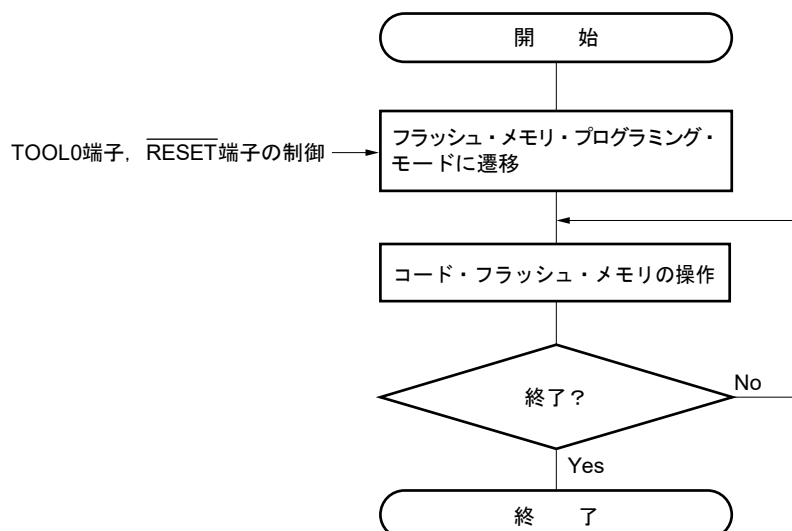
その他の電源 (EV_{DD1} , EV_{SS1}) は、 V_{DD} , V_{SS} と同じ電源を供給してください。

33.4 シリアル・プログラミング方法

33.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図33-6 コード・フラッシュ・メモリの操作手順



33.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

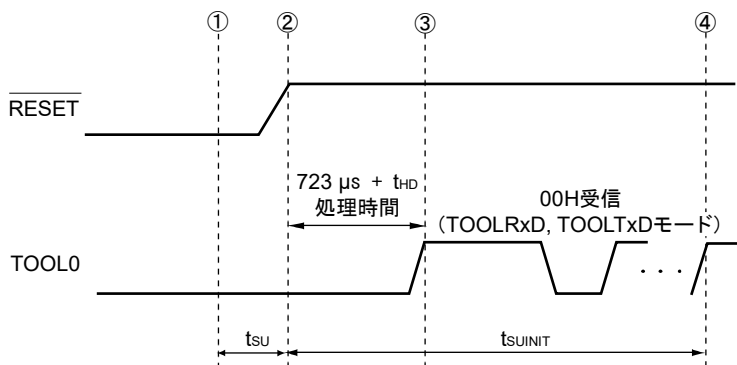
<外部デバイス（UART通信）を使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します（表33-4参照）。その後、図33-7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

表33-4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
EV _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図33-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 端子リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるモード引きこみ、ボー・レート設定完了

備考 t_{SUINIT} : この区間では、リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、端子リセットを解除するまでの時間

t_{HD} : 外部／内部リセット解除から、TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

詳細は、37.12 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は、書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表33-5 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

電源電圧 (V _{DD})	フラッシュ・メモリ・プログラミング・モード 引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数	
2.7 V ≤ V _{DD} ≤ 5.5 V	ブランク状態		フルスピード・モード
	HS (高速メイン) モード	1 MHz~24 MHz	フルスピード・モード
	LS (低速メイン) モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
2.4 V ≤ V _{DD} < 2.7 V	ブランク状態		フルスピード・モード
	HS (高速メイン) モード	1 MHz~16 MHz	フルスピード・モード
	LS (低速メイン) モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
1.9 V ≤ V _{DD} < 2.4 V	ブランク状態		ワイド・ボルテージ・モード
	LS (低速メイン) モード	1 MHz~8 MHz	ワイド・ボルテージ・モード

- 備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。
2. 通信コマンドの詳細は、33.4.4 通信コマンドを参照してください。

33.4.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表33-6 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線UART (フラッシュ・メモリ・プログラマ使用時、または外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

- UART通信にはボー・レート誤差のほか、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

33.4.4 通信コマンド

RL78マイクロコントローラは、表33-7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

表33-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます ^注 。
情報取得	Silicon Signature	RL78マイクロコントローラ情報（品名、フラッシュ・メモリ構成、プログラミング用ファームウェア・バージョンなど）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止に設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドを実行することで製品情報（品名、ファームウェア・バージョン）を取得することができます。

表33-8にシグネチャ・データ一覧、表33-9にシグネチャ・データ例を示します。

表33-8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名（ASCIIコード）	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例. 00000H-0FFFFH (64 KB) → FFH, 1FH, 00H)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 （バージョンの上位から送信されます。 例. Ver. 1.23 → 01H, 02H, 03H)	3バイト

表33-9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ (16進数)
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F10MPG	10バイト	52 = "R" 35 = "5" 46 = "F" 31 = "1" 30 = "0" 4D = "M" 50 = "P" 47 = "G" 20 = " " 20 = " "
フラッシュ・メモリ領域 最終アドレス	フラッシュ・メモリ領域 00000H-0FFFFH (64 KB)	3バイト	FF FF 00
ファームウェア・バージョン	Ver. 1. 23	3バイト	01 02 03

33.5 セルフ・プログラミング

RL78マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでコード・フラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

- 注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。
- セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア (0) されている状態でセルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI命令によりIEフラグがセット (1) されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0) して、セルフ・プログラミング・ライブラリを実行してください。
 - セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作 (HIOSTOP=0) をさせ、30 μ s 経過後にセルフ・プログラミング・ライブラリを実行してください。
 - VBAT電源供給切り替え時はセルフ・プログラミング機能は使用できません。

- 備考1. セルフ・プログラミング機能の詳細については、RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル (R01US0050) を参照してください。
- セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて、いずれかのモードを設定してください。

HS (高速メイン) モード設定時はフルスピード・モードに、LS (低速メイン) モード設定時はワイド・ボルテージ・モードに設定してください。

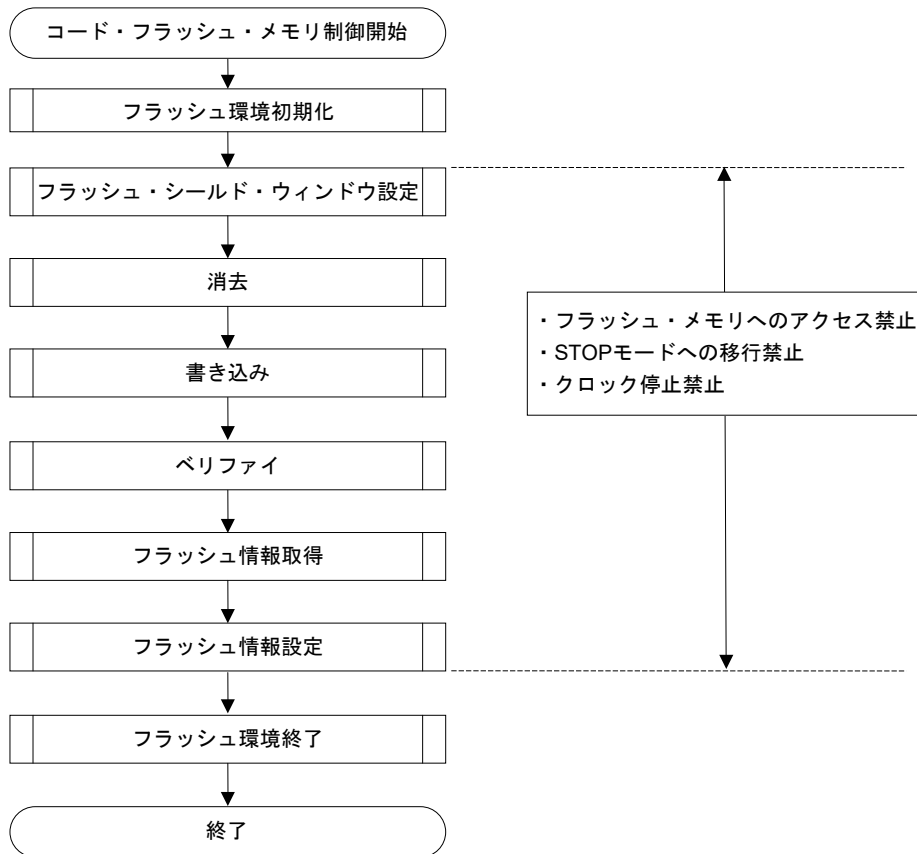
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00Hであればフルスピード・モードに、00H以外であればワイド・ボルテージ・モードに設定されます。

- 備考 ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

33.5.1 セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

図33-8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



33.5.2 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

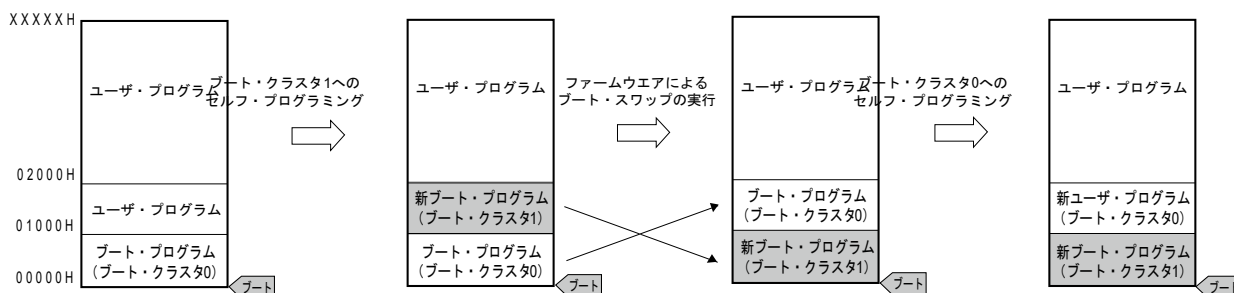
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^註の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、RL78マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4 Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図33-9 ブート・スワップ機能

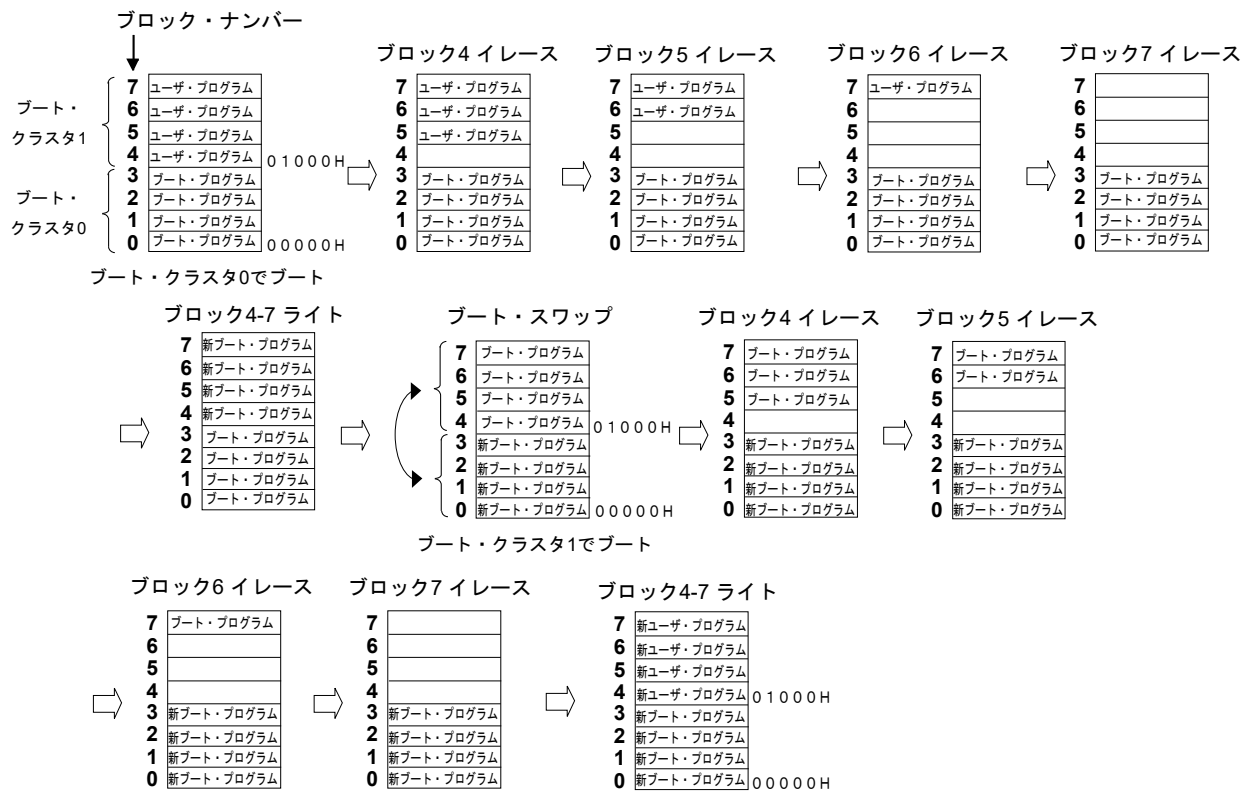


この図の例では、次のようになっています。

ブート・クラスタ0 : ブート・スワップ前のブート領域です。

ブート・クラスタ1 : ブート・スワップ後のブート領域です。

図33-10 ブート・スワップの実行例



33.5.3 フラッシュ・シールド・ウインドウ機能

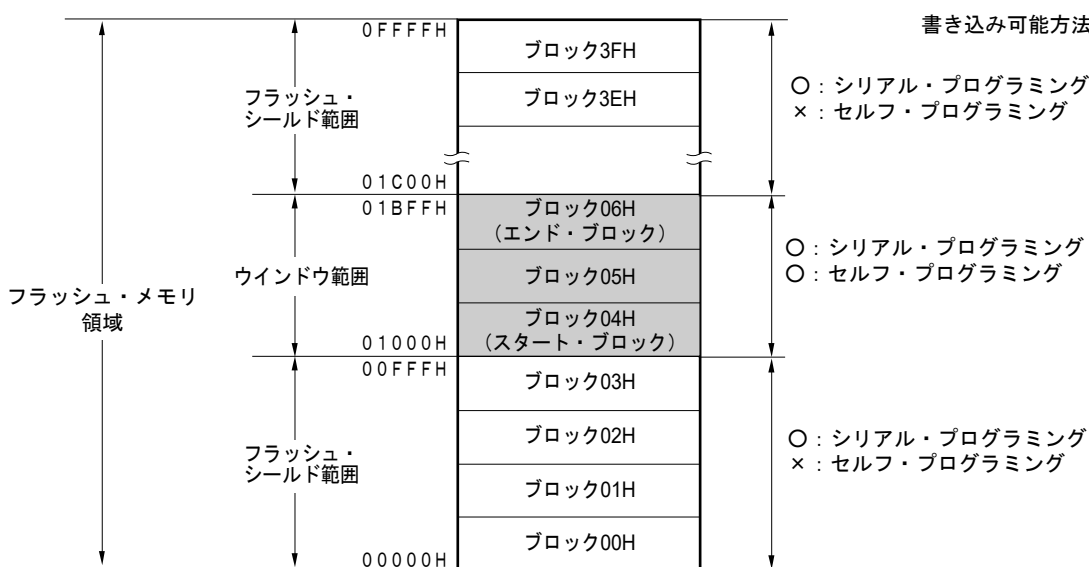
セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定/変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み/消去禁止となります。ただし、シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み/消去可能です。

図33-11 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：R5F10MME, R5F10MPE, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



注意 フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

表33-10 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定/変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 シリアル・プログラミング時の書き込み/消去を禁止したい場合には、33.6 セキュリティ設定を参照してください。

33.6 セキュリティ設定

RL78マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。Security Setコマンドを使用することにより、次の操作をすることができます。

- ・ブロック消去禁止

シリアル・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

シリアル・プログラミング時に、コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。書き込み禁止に設定後、Security Releaseコマンドによる解除はリセットで有効になります。

- ・ブート・クラスタ0の書き換え禁止

コード・フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表33-11に示します。

注意 ただし、フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は33.5.3を参照）。

表33-11 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる ^注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は33.5.3を参照）。

表33-12 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 “書き込み禁止”設定の解除は、“ブロック消去禁止”，“ブート・クラスタ0の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域がブランクの場合でのみ可能です。

(2) セルフ・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない（シリアル・プログラミング時に、専用フラッシュ・メモリ・プログラマのGUI上などで設定する）
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

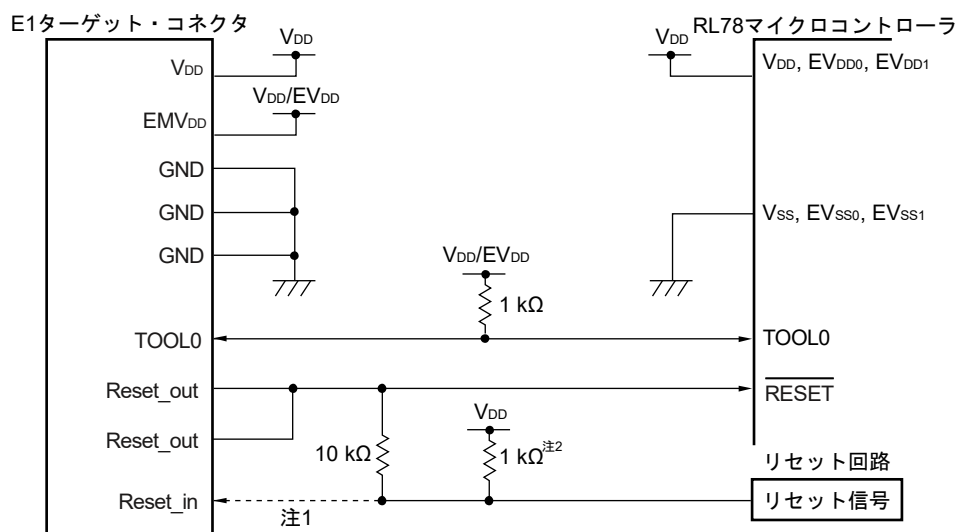
第34章 オンチップ・デバッグ機能

34.1 E1オンチップデバッグエミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、 \overline{RESET} 、 $TOOL0$ 、 V_{SS} 端子を使用します。シリアル通信としては、 $TOOL0$ 端子を使用した単線UARTを使用します。

注意 RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。また、バッテリー・バックアップ機能でVBAT端子から給電されている状態では、デバッグ機能が動作しないので注意してください。

図34-1 E1オンチップデバッグエミュレータとの接続例



- 注1. シリアル・プログラミング時、点線部の接続は必要ありません。
2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

備考 EV_{DD0} 、 EV_{DD1} 、 EV_{SS0} 、 EV_{SS1} 端子が無い製品は、 EV_{DD0} と EV_{DD1} を V_{DD} に、 EV_{SS0} と EV_{SS1} を V_{SS} に置き換えてください。

34.2 オンチップ・デバッグ・セキュリティID

RL78マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット(第32章 オプション・バイトを参照)を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H、000C4H-000CDHと010C3H、010C4H-010CDHが切り替わるので、あらかじめ010C3H、010C4H-010CDHにも同じ値を設定してください。

表34-1 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード
010C4H-010CDH	

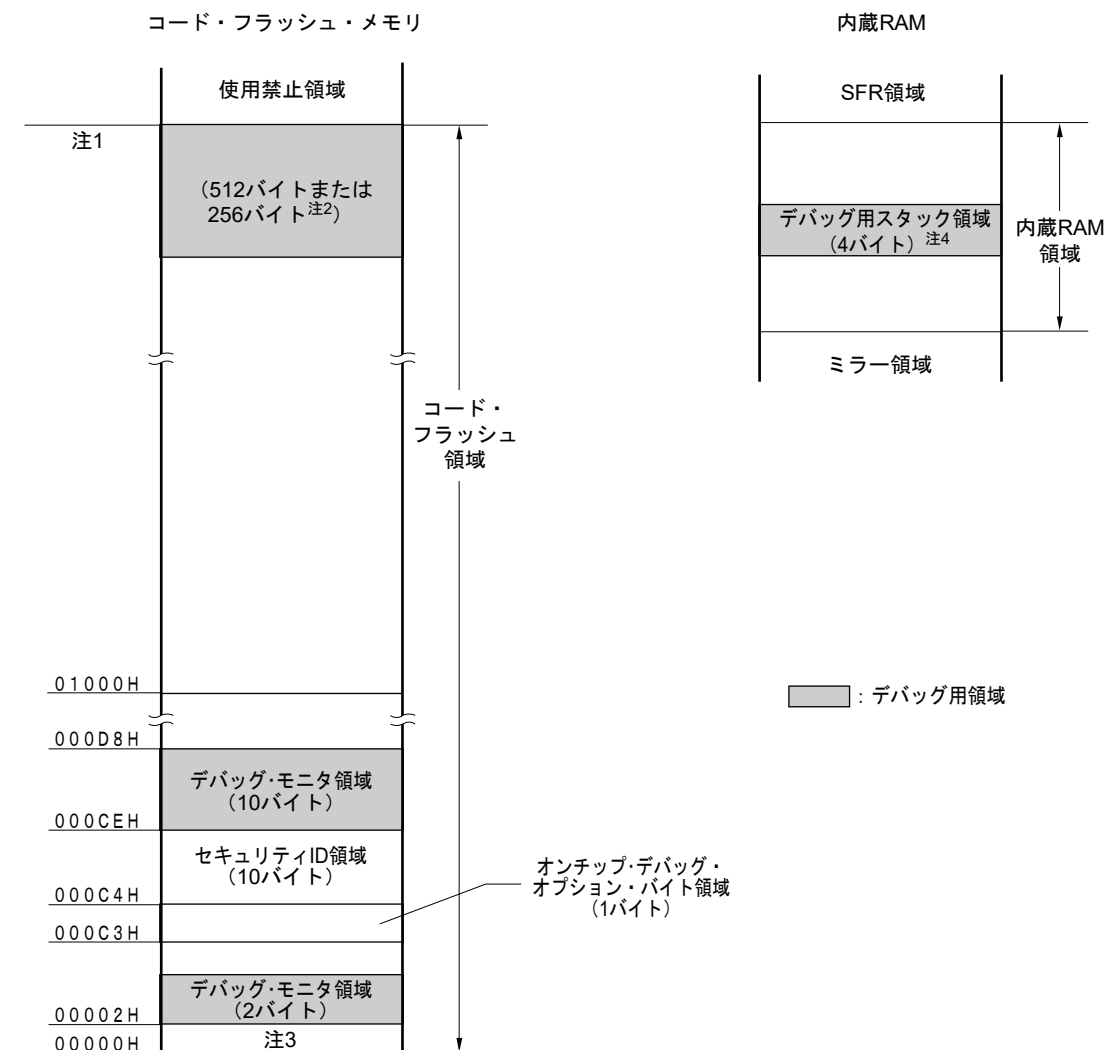
34.3 ユーザ資源の確保

RL78マイクロコントローラとE1オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図34-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図34-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名	注1のアドレス
R5F10MME, R5F10MPE	0FFFFH
R5F10MMG, R5F10MPG	1FFFFH

- リアルタイムRAMモニタ (RRM) 機能, Dynamic Memory Modification (DMM) 機能を使用しない場合は256バイトになります。
- デバッグ時, リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
- この領域はスタック領域の直下に配置されるため, スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し, 4バイト余分に消費します。セルフ・プログラミングを行う場合は, 12バイト余分に消費します。

第35章 10進補正 (BCD) 回路

35.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を、BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ (BCDADJ) を加減算することで10進補正演算結果が求められます。

35.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- ・ BCD補正結果レジスタ (BCDADJ)

35.2.1 BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

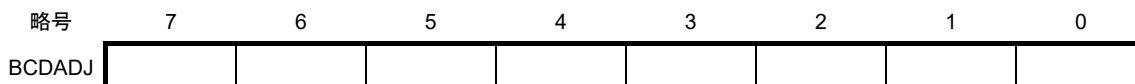
また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図35-1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



35.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

- (1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める
- ① 加算したいBCDコード値 (被加算値) をAレジスタに格納する。
 - ② Aレジスタと第2オペランドの値 (もう1つの加算したいBCDコード値, 加算値) を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ (BCDADJ) に格納される。
 - ③ Aレジスタ (2進数での加算結果) とBCDADJレジスタの値 (補正値) を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ) は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ; ①	99H	—	—	—
ADD A, #89H ; ②	22H	1	1	66H
ADD A, !BCDADJ ; ③	88H	1	0	—

例2 $85 + 15 = 100$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ; ①	85H	—	—	—
ADD A, #15H ; ②	9AH	0	0	66H
ADD A, !BCDADJ ; ③	00H	1	1	—

例3 $80 + 80 = 160$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ; ①	80H	—	—	—
ADD A, #80H ; ②	00H	1	0	60H
ADD A, !BCDADJ ; ③	60H	1	0	—

- (2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める
- ① 減算されるBCDコード値 (被減算値) をAレジスタに格納する。
 - ② Aレジスタから第2オペランドの値 (減算するBCDコード値, 減算値) を, そのまま2進数で減算することにより, 2進数での演算結果がAレジスタに格納され, 補正值がBCD補正結果レジスタ (BCDADJ) に格納される。
 - ③ Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正值) を2進数で減算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, ②の命令のあとは, 他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例 91-52 = 39

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #91H ; ①	91H	—	—	—
SUB A, #52H ; ②	3FH	0	1	06H
SUB A, !BCDADJ ; ③	39H	0	0	—

第36章 命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、RL78ファミリ ユーザーズ・マニュアル ソフトウェア編（R01US0015）を参照してください。

36.1 凡例

36.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [, ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミーディエト・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [, ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（表36-1の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表36-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル（偶数アドレスのみ ^注 ）
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFH イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ）
addr5	0080H-00BFH イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	1ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3-5 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3-6 拡張SFR（2nd SFR）一覧を参照してください。

36.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表36-2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H =上位8ビット, X _L =下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
∧	論理積 (AND)
∨	論理和 (OR)
⊖	排他的論理和 (exclusive OR)
—	反転データ
addr5	16ビット・イミューディエト・データ (0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミューディエト・データ
addr20	20ビット・イミューディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイメント値)
jdisp16	符号付き16ビット・データ (ディスプレイメント値)

36.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表36-3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

36.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDTC転送を受け付けることはありません。

表36-4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

36.2 オペレーション一覧

表36-5 オペレーション一覧 (1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	1	—	r ← byte			
		PSW, #byte	3	3	—	PSW ← byte	x	x	x
		CS, #byte	3	1	—	CS ← byte			
		ES, #byte	2	1	—	ES ← byte			
		!addr16, #byte	4	1	—	(addr16) ← byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte			
		saddr, #byte	3	1	—	(saddr) ← byte			
		sfr, #byte	3	1	—	sfr ← byte			
		[DE+byte], #byte	3	1	—	(DE+byte) ← byte			
		ES:[DE+byte],#byte	4	2	—	((ES, DE)+byte) ← byte			
		[HL+byte], #byte	3	1	—	(HL+byte) ← byte			
		ES:[HL+byte],#byte	4	2	—	((ES, HL)+byte) ← byte			
		[SP+byte], #byte	3	1	—	(SP+byte) ← byte			
		word[B], #byte	4	1	—	(B+word) ← byte			
		ES:word[B], #byte	5	2	—	((ES, B)+word) ← byte			
		word[C], #byte	4	1	—	(C+word) ← byte			
		ES:word[C], #byte	5	2	—	((ES, C)+word) ← byte			
		word[BC], #byte	4	1	—	(BC+word) ← byte			
		ES:word[BC], #byte	5	2	—	((ES, BC)+word) ← byte			
		A, r <small>注3</small>	1	1	—	A ← r			
		r, A <small>注3</small>	1	1	—	r ← A			
		A, PSW	2	1	—	A ← PSW			
		PSW, A	2	3	—	PSW ← A	x	x	x
		A, CS	2	1	—	A ← CS			
		CS, A	2	1	—	CS ← A			
		A, ES	2	1	—	A ← ES			
		ES, A	2	1	—	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	—	(addr16) ← A			
ES:!addr16, A	4	2	—	(ES, addr16) ← A					
A, saddr	2	1	—	A ← (saddr)					
saddr, A	2	1	—	(saddr) ← A					

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表36-5 オペレーション一覧 (2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, sfr	2	1	—	A ← sfr			
		sfr, A	2	1	—	sfr ← A			
		A, [DE]	1	1	4	A ← (DE)			
		[DE], A	1	1	—	(DE) ← A			
		A, ES:[DE]	2	2	5	A ← (ES, DE)			
		ES:[DE], A	2	2	—	(ES, DE) ← A			
		A, [HL]	1	1	4	A ← (HL)			
		[HL], A	1	1	—	(HL) ← A			
		A, ES:[HL]	2	2	5	A ← (ES, HL)			
		ES:[HL], A	2	2	—	(ES, HL) ← A			
		A, [DE+byte]	2	1	4	A ← (DE+byte)			
		[DE+byte], A	2	1	—	(DE+byte) ← A			
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE)+byte)			
		ES:[DE+byte], A	3	2	—	((ES, DE)+byte) ← A			
		A, [HL+byte]	2	1	4	A ← (HL+byte)			
		[HL+byte], A	2	1	—	(HL+byte) ← A			
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL)+byte)			
		ES:[HL+byte], A	3	2	—	((ES, HL)+byte) ← A			
		A, [SP+byte]	2	1	—	A ← (SP+byte)			
		[SP+byte], A	2	1	—	(SP+byte) ← A			
		A, word[B]	3	1	4	A ← (B+word)			
		word[B], A	3	1	—	(B+word) ← A			
		A, ES:word[B]	4	2	5	A ← ((ES, B)+word)			
		ES:word[B], A	4	2	—	((ES, B)+word) ← A			
		A, word[C]	3	1	4	A ← (C+word)			
		word[C], A	3	1	—	(C+word) ← A			
		A, ES:word[C]	4	2	5	A ← ((ES, C)+word)			
		ES:word[C], A	4	2	—	((ES, C)+word) ← A			
A, word[BC]	3	1	4	A ← (BC+word)					
word[BC], A	3	1	—	(BC+word) ← A					
A, ES:word[BC]	4	2	5	A ← ((ES, BC)+word)					
ES:word[BC], A	4	2	—	((ES, BC)+word) ← A					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表36-5 オペレーション一覧 (3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	A ← (HL+B)			
		[HL+B], A	2	1	—	(HL+B) ← A			
		A, ES:[HL+B]	3	2	5	A ← ((ES, HL)+B)			
		ES:[HL+B], A	3	2	—	((ES, HL)+B) ← A			
		A, [HL+C]	2	1	4	A ← (HL+C)			
		[HL+C], A	2	1	—	(HL+C) ← A			
		A, ES:[HL+C]	3	2	5	A ← ((ES, HL)+C)			
		ES:[HL+C], A	3	2	—	((ES, HL)+C) ← A			
		X, !addr16	3	1	4	X ← (addr16)			
		X, ES:!addr16	4	2	5	X ← (ES, addr16)			
		X, saddr	2	1	—	X ← (saddr)			
		B, !addr16	3	1	4	B ← (addr16)			
		B, ES:!addr16	4	2	5	B ← (ES, addr16)			
		B, saddr	2	1	—	B ← (saddr)			
		C, !addr16	3	1	4	C ← (addr16)			
		C, ES:!addr16	4	2	5	C ← (ES, addr16)			
	C, saddr	2	1	—	C ← (saddr)				
	ES, saddr	3	1	—	ES ← (saddr)				
	XCH	A, r ^{注3}	1 (r=X) 2 (r=X以外)	1	—	A ↔ r			
		A, !addr16	4	2	—	A ↔ (addr16)			
		A, ES:!addr16	5	3	—	A ↔ (ES, addr16)			
		A, saddr	3	2	—	A ↔ (saddr)			
		A, sfr	3	2	—	A ↔ sfr			
		A, [DE]	2	2	—	A ↔ (DE)			
		A, ES:[DE]	3	3	—	A ↔ (ES, DE)			
A, [HL]		2	2	—	A ↔ (HL)				
A, ES:[HL]		3	3	—	A ↔ (ES, HL)				
A, [DE+byte]		3	2	—	A ↔ (DE+byte)				
A, ES:[DE+byte]		4	3	—	A ↔ ((ES, DE)+byte)				
A, [HL+byte]		3	2	—	A ↔ (HL+byte)				
A, ES:[HL+byte]	4	3	—	A ↔ ((ES, HL)+byte)					

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表36-5 オペレーション一覧 (4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	—	A ↔ (HL+B)			
		A, ES:[HL+B]	3	3	—	A ↔ ((ES, HL)+B)			
		A, [HL+C]	2	2	—	A ↔ (HL+C)			
		A, ES:[HL+C]	3	3	—	A ↔ ((ES, HL)+C)			
	ONEB	A	1	1	—	A ← 01H			
		X	1	1	—	X ← 01H			
		B	1	1	—	B ← 01H			
		C	1	1	—	C ← 01H			
		!addr16	3	1	—	(addr16) ← 01H			
		ES:!addr16	4	2	—	(ES, addr16) ← 01H			
		saddr	2	1	—	(saddr) ← 01H			
	CLRB	A	1	1	—	A ← 00H			
		X	1	1	—	X ← 00H			
		B	1	1	—	B ← 00H			
		C	1	1	—	C ← 00H			
		!addr16	3	1	—	(addr16) ← 00H			
		ES:!addr16	4	2	—	(ES, addr16) ← 00H			
		saddr	2	1	—	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	—	(HL+byte) ← X	×		×
		ES:[HL+byte], X	4	2	—	(ES, HL+byte) ← X	×		×
	16ビット・データ転送	MOVW	rp, #word	3	1	—	rp ← word		
saddrp, #word			4	1	—	(saddrp) ← word			
sfrp, #word			4	1	—	sfrp ← word			
AX, rp <small>注3</small>			1	1	—	AX ← rp			
rp, AX <small>注3</small>			1	1	—	rp ← AX			
AX, !addr16			3	1	4	AX ← (addr16)			
!addr16, AX			3	1	—	(addr16) ← AX			
AX, ES:!addr16			4	2	5	AX ← (ES, addr16)			
ES:!addr16, AX			4	2	—	(ES, addr16) ← AX			
AX, saddrp			2	1	—	AX ← (saddrp)			
saddrp, AX			2	1	—	(saddrp) ← AX			
AX, sfrp			2	1	—	AX ← sfrp			
sfrp, AX			2	1	—	sfrp ← AX			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

CPUクロック (f_{CLK}) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (f_{CLK}) 数。

3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表36-5 オペレーション一覧 (5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット・ データ 転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE+byte)			
		[DE+byte], AX	2	1	—	(DE+byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE)+byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE)+byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL+byte)			
		[HL+byte], AX	2	1	—	(HL+byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL)+byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL)+byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP+byte)			
		[SP+byte], AX	2	1	—	(SP+byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B+word)			
		word[B], AX	3	1	—	(B+word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B)+word)			
		ES:word[B], AX	4	2	—	((ES, B)+word) ← AX			
		AX, word[C]	3	1	4	AX ← (C+word)			
		word[C], AX	3	1	—	(C+word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C)+word)			
		ES:word[C], AX	4	2	—	((ES, C)+word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC+word)			
		word[BC], AX	3	1	—	(BC+word) ← AX			
AX, ES:word[BC]	4	2	5	AX ← ((ES, BC)+word)					
ES:word[BC], AX	4	2	—	((ES, BC)+word) ← AX					

- 注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表36-5 オペレーション一覧 (6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp ^{注3}	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
BC		1	1	—	BC ← 0000H				
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A+byte	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	x	x	x
		A, r ^{注4}	2	1	—	A, CY ← A+r	x	x	x
		r, A	2	1	—	r, CY ← r+A	x	x	x
		A, !addr16	3	1	4	A, CY ← A+ (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A, CY ← A+(ES, addr16)	x	x	x
		A, saddr	2	1	—	A, CY ← A+ (saddr)	x	x	x
		A, [HL]	1	1	4	A, CY ← A+ (HL)	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A+(ES, HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A+ (HL+byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A+((ES, HL)+byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A+ (HL+B)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A+((ES, HL)+B)	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A+ (HL+C)	x	x	x
		A, ES:[HL+C]	3	2	5	A, CY ← A+((ES, HL)+C)	x	x	x

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. rp = AXを除く。
4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表36-5 オペレーション一覧 (7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	×	×	×
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	×	×	×
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A + r + CY$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A + (\text{saddr}) + CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	×	×	×
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	×	×	×
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	×	×	×
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	×	×	×
	A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	×	×	×	
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	×	×	×
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	×	×	×
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A - r$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r - A$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16})$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr})$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	×	×	×
A, [HL+byte]		2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	×	×	×	
A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	×	×	×		
A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	×	×	×		
A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$	×	×	×		
A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	×	×	×		
A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$	×	×	×		

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表36-5 オペレーション一覧 (8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	SUBC	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	×	×	×
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A - r - CY$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r - A - CY$	×	×	×
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16}) - CY$	×	×	×
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16}) - CY$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A - (saddr) - CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL}) - CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL}) - CY$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte}) - CY$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte}) - CY$	×	×	×
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B) - CY$	×	×	×
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B) - CY$	×	×	×
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C) - CY$	×	×	×
	A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C) - CY$	×	×	×	
	AND	A, #byte	2	1	—	$A \leftarrow A \wedge \text{byte}$	×		
		saddr, #byte	3	2	—	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	×		
		A, r ^{注3}	2	1	—	$A \leftarrow A \wedge r$	×		
		r, A	2	1	—	$r \leftarrow r \wedge A$	×		
		A, !addr16	3	1	4	$A \leftarrow A \wedge (\text{addr16})$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \wedge (\text{ES}: \text{addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \wedge (saddr)$	×		
		A, [HL]	1	1	4	$A \leftarrow A \wedge (\text{HL})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \wedge (\text{ES}: \text{HL})$	×		
A, [HL+byte]		2	1	4	$A \leftarrow A \wedge (\text{HL} + \text{byte})$	×			
A, ES:[HL+byte]	3	2	5	$A \leftarrow A \wedge ((\text{ES}: \text{HL}) + \text{byte})$	×				
A, [HL+B]	2	1	4	$A \leftarrow A \wedge (\text{HL} + B)$	×				
A, ES:[HL+B]	3	2	5	$A \leftarrow A \wedge ((\text{ES}: \text{HL}) + B)$	×				
A, [HL+C]	2	1	4	$A \leftarrow A \wedge (\text{HL} + C)$	×				
A, ES:[HL+C]	3	2	5	$A \leftarrow A \wedge ((\text{ES}: \text{HL}) + C)$	×				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表36-5 オペレーション一覧 (9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$		x	
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$		x	
		A, r ^{注3}	2	1	—	$A \leftarrow A \vee r$		x	
		r, A	2	1	—	$r \leftarrow r \vee A$		x	
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$		x	
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$		x	
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$		x	
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$		x	
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$		x	
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$		x	
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$		x	
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$		x	
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$		x	
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$		x	
	A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$		x		
	XOR	A, #byte	2	1	—	$A \leftarrow A \nabla \text{byte}$		x	
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$		x	
		A, r ^{注3}	2	1	—	$A \leftarrow A \nabla r$		x	
		r, A	2	1	—	$r \leftarrow r \nabla A$		x	
		A, !addr16	3	1	4	$A \leftarrow A \nabla (\text{addr16})$		x	
		A, ES:!addr16	4	2	5	$A \leftarrow A \nabla (\text{ES:addr16})$		x	
		A, saddr	2	1	—	$A \leftarrow A \nabla (\text{saddr})$		x	
		A, [HL]	1	1	4	$A \leftarrow A \nabla (\text{HL})$		x	
		A, ES:[HL]	2	2	5	$A \leftarrow A \nabla (\text{ES:HL})$		x	
		A, [HL+byte]	2	1	4	$A \leftarrow A \nabla (\text{HL} + \text{byte})$		x	
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$		x	
A, [HL+B]		2	1	4	$A \leftarrow A \nabla (\text{HL} + B)$		x		
A, ES:[HL+B]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + B)$		x			
A, [HL+C]	2	1	4	$A \leftarrow A \nabla (\text{HL} + C)$		x			
A, ES:[HL+C]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + C)$		x			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表36-5 オペレーション一覧 (10/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	—	A-byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)-byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)-byte	×	×	×
		saddr, #byte	3	1	—	(saddr)-byte	×	×	×
		A, r ^{注3}	2	1	—	A-r	×	×	×
		r, A	2	1	—	r-A	×	×	×
		A, !addr16	3	1	4	A-(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A-(ES:addr16)	×	×	×
		A, saddr	2	1	—	A-(saddr)	×	×	×
		A, [HL]	1	1	4	A-(HL)	×	×	×
		A, ES:[HL]	2	2	5	A-(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A-(HL+byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A-((ES:HL)+byte)	×	×	×
		A, [HL+B]	2	1	4	A-(HL+B)	×	×	×
		A, ES:[HL+B]	3	2	5	A-((ES:HL)+B)	×	×	×
		A, [HL+C]	2	1	4	A-(HL+C)	×	×	×
	A, ES:[HL+C]	3	2	5	A-((ES:HL)+C)	×	×	×	
	CMP0	A	1	1	—	A-00H	×	0	0
		X	1	1	—	X-00H	×	0	0
		B	1	1	—	B-00H	×	0	0
		C	1	1	—	C-00H	×	0	0
		!addr16	3	1	4	(addr16)-00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16)-00H	×	0	0
		saddr	2	1	—	(saddr)-00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X-(HL+byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X-((ES:HL)+byte)	×	×	×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (f_{CLK}) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (f_{CLK}) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表36-5 オペレーション一覧 (11/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	—	AX, CY ← AX+word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX+AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX+BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX+DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX+HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX+(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX+(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX+(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX+(HL+byte)	×	×	×
		AX, ES:[HL+byte]	4	2	5	AX, CY ← AX+((ES:HL)+byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY ← AX-word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX-BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX-DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX-HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX-(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX-(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX-(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX-(HL+byte)	×	×	×
		AX, ES:[HL+byte]	4	2	5	AX, CY ← AX-((ES:HL)+byte)	×	×	×
		CMPW	AX, #word	3	1	—	AX-word	×	×
	AX, BC		1	1	—	AX-BC	×	×	×
	AX, DE		1	1	—	AX-DE	×	×	×
	AX, HL		1	1	—	AX-HL	×	×	×
	AX, !addr16		3	1	4	AX-(addr16)	×	×	×
	AX, ES:!addr16		4	2	5	AX-(ES:addr16)	×	×	×
	AX, saddrp		2	1	—	AX-(saddrp)	×	×	×
	AX, [HL+byte]		3	1	4	AX-(HL+byte)	×	×	×
AX, ES:[HL+byte]	4		2	5	AX-((ES:HL)+byte)	×	×	×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表36-5 オペレーション一覧 (12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow A \times X \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow A \times X \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商), DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商), $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)	x	x	
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)	x	x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合, 割り込み禁止状態(DI)で実行してください。

ただし, RAM領域での命令実行を除き, アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は, 割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合, その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサスエレクトロニクス社コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78 (KPIT社コンパイラ)のC言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

2. MACR: 積和演算累計レジスタ (MACRH, MACRL)

表36-5 オペレーション一覧 (13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r+1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)+1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)+1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr)+1$	×	×	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)+1$	×	×	
		ES:[HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$	×	×	
	DEC	r	1	1	—	$r \leftarrow r-1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)-1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr)-1$	×	×	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) - 1$	×	×	
		ES:[HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte) - 1$	×	×	
	INCW	rp	1	1	—	$rp \leftarrow rp+1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)+1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)+1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp)+1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)+1$			
		ES:[HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$			
DECW	rp	1	1	—	$rp \leftarrow rp-1$				
	!addr16	3	2	—	$(addr16) \leftarrow (addr16)-1$				
	ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)-1$				
	saddrp	2	2	—	$(saddrp) \leftarrow (saddrp)-1$				
	[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) - 1$				
	ES:[HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte) - 1$				
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
		AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

2. cntはビット・シフト数です。

表36-5 オペレーション一覧 (14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
BC, 1		2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×	
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
	CY, ES:[HL].bit	3	2	5	$CY \leftarrow (ES, HL).bit$			×	
	ES:[HL].bit, CY	3	3	—	$(ES, HL).bit \leftarrow CY$				
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
CY, PSW.bit		3	1	—	$CY \leftarrow CY \vee PSW.bit$			×	
CY, saddr.bit		3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×	
CY, sfr.bit		3	1	—	$CY \leftarrow CY \vee sfr.bit$			×	
CY, [HL].bit		2	1	4	$CY \leftarrow CY \vee (HL).bit$			×	
CY, ES:[HL].bit		3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (f_{CLK}) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (f_{CLK}) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表36-5 オペレーション一覧 (15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	CY ← CY∧A.bit			×
		CY, PSW.bit	3	1	—	CY ← CY∧PSW.bit			×
		CY, saddr.bit	3	1	—	CY ← CY∧(saddr).bit			×
		CY, sfr.bit	3	1	—	CY ← CY∧sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∧(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∧(ES, HL).bit			×
	SET1	A.bit	2	1	—	A.bit ← 1			
		PSW.bit	3	4	—	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	—	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit ← 1			
		saddr.bit	3	2	—	(saddr).bit ← 1			
		sfr.bit	3	2	—	sfr.bit ← 1			
		[HL].bit	2	2	—	(HL).bit ← 1			
		ES:[HL].bit	3	3	—	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	—	A.bit ← 0			
		PSW.bit	3	4	—	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	—	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit ← 0			
		saddr.bit	3	2	—	(saddr).bit ← 0			
		sfr.bit	3	2	—	sfr.bit ← 0			
		[HL].bit	2	2	—	(HL).bit ← 0			
		ES:[HL].bit	3	3	—	(ES, HL).bit ← 0			
	SET1	CY	2	1	—	CY ← 1			1
	CLR1	CY	2	1	—	CY ← 0			0
NOT1	CY	2	1	—	CY ← CY			×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表36-5 オペレーション一覧 (16/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC ← CS, rp, SP ← SP-4			
		\$!addr20	3	3	—	(SP-2) ← (PC+3) _s , (SP-3) ← (PC+3) _H , (SP-4) ← (PC+3) _L , PC ← PC+3+jdisp16, SP ← SP-4			
		!addr16	3	3	—	(SP-2) ← (PC+3) _s , (SP-3) ← (PC+3) _H , (SP-4) ← (PC+3) _L , PC ← 0000, addr16, SP ← SP-4			
		!!addr20	4	3	—	(SP-2) ← (PC+4) _s , (SP-3) ← (PC+4) _H , (SP-4) ← (PC+4) _L , PC ← addr20, SP ← SP-4			
	CALLT	[addr5]	2	5	—	(SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC _s ← 0000, PC _H ← (0000, addr5+1), PC _L ← (0000, addr5), SP ← SP-4			
	BRK	—	2	5	—	(SP-1) ← PSW, (SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC _s ← 0000, PC _H ← (0007FH), PC _L ← (0007EH), SP ← SP-4, IE ← 0			
	RET	—	1	6	—	PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), SP ← SP+4			
	RETI	—	2	6	—	PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R
	RETB	—	2	6	—	PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (f_{CLK}) 数。

2. コード・フラッシュ領域をアクセスしたときのCPUクロック (f_{CLK}) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表36-5 オペレーション一覧 (17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP-1) ← PSW, (SP-2) ← 00H, SP ← SP-2			
		rp	1	1	—	(SP-1) ← rpH, (SP-2) ← rpL, SP ← SP-2			
	POP	PSW	2	3	—	PSW ← (SP+1), SP ← SP+2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP+1), SP ← SP+2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
ADDW	SP, #byte	2	1	—	SP ← SP+byte				
SUBW	SP, #byte	2	1	—	SP ← SP-byte				
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC+2+jdisp8			
		!addr20	3	3	—	PC ← PC+3+jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4 ^{注3}	—	PC ← PC+2+jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4 ^{注3}	—	PC ← PC+2+jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4 ^{注3}	—	PC ← PC+2+jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4 ^{注3}	—	PC ← PC+2+jdisp8 if Z = 0			
	BH	\$addr20	3	2/4 ^{注3}	—	PC ← PC+3+jdisp8 if (ZVCY)=0			
	BNH	\$addr20	3	2/4 ^{注3}	—	PC ← PC+3+jdisp8 if (ZVCY)=1			
	BT	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC ← PC+3+jdisp8 if (HL).bit = 1			
ES:[HL].bit, \$addr20		4	4/6 ^{注3}	7/8	PC ← PC+4+jdisp8 if (ES, HL).bit = 1				

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表36-5 オペレーション一覧 (18/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC ← PC+3+jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC ← PC+4+jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 ^{注3}	—	PC ← PC+4+jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr20	3	3/5 ^{注3}	—	PC ← PC+3+jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	—	PC ← PC+4+jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (ZVCY)=0			
	SKNH	—	2	1	—	Next instruction skip if (ZVCY)=1			
CPU制御	SEL ^{注4}	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
2. コード・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. クロック数は“条件不成立時/条件成立時”を表しています。
4. nはレジスタ・バンク番号です (n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

第37章 電気的特性

- 注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により搭載している端子が異なります。2.1 ポート機能 ~2.2.1 製品別の搭載機能を参照してください。

- 備考1. この章内の記述は、 EV_{DD} を EV_{DD0} , EV_{DD1} , また EV_{SS} を EV_{SS0} , EV_{SS1} と読み替えてください。
2. 80ピン製品では、 EV_{DD} , EV_{SS} を V_{DD} , V_{SS} と読み替えてください。

37.1 絶対最大定格

絶対最大定格 (1/3)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5~+6.5	V
	EV _{DD}	EV _{DD1} = V _{DD}	-0.5~+6.5	V
	VBAT		-0.5~+6.5	V
	AV _{DD}		-0.5~+6.5 かつ-0.5~V _{DD} ^{注4} +0.6	V
REGC端子入力電圧	V _{IREGC}	REGC	-0.3~+2.8 かつ-0.3~V _{DD} ^{注4} +0.3 ^{注1}	V
入力電圧	V _{I1}	P00-P07, P10-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P85, P125-P127	-0.3~EV _{DD} +0.3 かつ-0.3~V _{DD} ^{注4} +0.3 ^{注2}	V
	V _{I2}	P60-P62 (N-chオープン・ドレイン)	-0.3~+6.5	V
	V _{I3}	P20-P25, P121-P124, P137, EXCLK, EXCLKS	-0.3~V _{DD} ^{注4} +0.3 ^{注2}	V
	V _{I4}	RESET	-0.3~+6.5	V
出力電圧	V _{O1}	P00-P07, P10-P17, P30-P37, P40-P44, P50-P57, P60-P62, P70-P77, P80-P85, P125-P127, P130	-0.3~EV _{DD} +0.3 かつ-0.3~V _{DD} ^{注4} +0.3 ^{注2}	V
	V _{O2}	P20-P25	-0.3~V _{DD} ^{注4} +0.3 ^{注2}	V
アナログ入力電圧	V _{AI1}	ANI0-ANI5	-0.3~V _{DD} ^{注4} +0.3 かつ-0.3~AV _{REF(+)} +0.3 ^{注2, 3}	V
	V _{AI2}	ANIP0-ANIP3, ANIN0-ANIN3	-0.6~+2.8 かつ-0.6~AREGC+0.3 ^{注5}	V
基準電源電圧	V _{IDSAD}	AREGC, AVCM, AVRT	-0.3~+2.8 かつ-0.3~AV _{DD} +0.3 ^{注6}	V

注1. REGC端子にはコンデンサ (0.47~1 μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

- 6.5 V以下であること。
- A/D変換対象の端子は、AV_{REF(+)}+0.3 Vを越えないでください。
- バッテリー・バックアップ機能で選択された電源電圧 (V_{DD}端子またはVBAT端子)です。
- ΔΣA/D変換対象の端子は、AREGC+0.3 Vを越えないでください。
- AREGC, AVCM, AVRT端子にはコンデンサ (0.47 μF) を介してV_{SS}に接続してください。

この値は、AREGC, AVCM, AVRT端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

- AV_{REF(+)}: A/Dコンバータの+側基準電圧
- V_{SS}を基準電圧とする。

絶対最大定格 (2/3)

項目	略号	条件	定格	単位	
LCD電圧	V _{L1}	V _{L1} 電圧 ^{注1}	-0.3~+2.8 かつ-0.3~V _{L4} +0.3	V	
	V _{L2}	V _{L2} 電圧 ^{注1}	-0.3~V _{L4} +0.3 ^{注2}	V	
	V _{L3}	V _{L3} 電圧 ^{注1}	-0.3~V _{L4} +0.3 ^{注2}	V	
	V _{L4}	V _{L4} 電圧 ^{注1}	-0.3~+6.5	V	
	V _L CAP	CAPL, CAPH電圧 ^{注1}	-0.3~V _{L4} +0.3 ^{注2}	V	
	V _{OUT}	COM0-COM7, SEG0-SEG41	外部抵抗分割方式	-0.3~V _{DD} ^{注3} +0.3 ^{注2}	V
			容量分割方式	-0.3~V _{DD} ^{注3} +0.3 ^{注2}	V
出力電圧		内部昇圧方式	-0.3~V _{L4} +0.3 ^{注2}	V	

注1. この値は、V_{L1}, V_{L2}, V_{L3}, V_{L4}端子への電圧印加する場合の絶対最大定格を規定するものであり、電圧印加して使用することを推奨しているわけではありません。内部昇圧方式、容量分割方式の場合、V_{L1}, V_{L2}, V_{L3}, V_{L4}端子にはコンデンサ (0.47 μF±30%) を介してV_{SS}に接続し、CAPL端子、CAPH端子間にもコンデンサ (0.47 μF±30%) を接続してください。

- 6.5 V以下であること。
- バッテリー・バックアップ機能で選択された電源電圧 (V_{DD}端子またはVBAT端子)です。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 V_{SS}を基準電圧とする。

絶対最大定格 (3/3)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IoH1	1端子	P00-P07, P10-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P85, P125-P127, P130	-40	mA
		端子合計 -170 mA	P00-P07, P40-P44, P130	-70	mA
			P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P125-P127	-100	mA
	IoH2	1端子	P20-P25	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	IoL1	1端子	P00-P07, P10-P17, P30-P37, P40-P44, P50-P57, P60-P62, P70-P77, P80-P85, P125-P127, P130	40	mA
		端子合計 170 mA	P00-P07, P40-P44, P130	70	mA
			P10-P17, P30-P37, P50-P57, P60-P62, P70-P77, P80-P85, P125-P127	100	mA
	IoL2	1端子	P20-P25	1	mA
		端子合計		5	mA
	動作周囲温度	TA	通常動作時		-40~+85
フラッシュ・メモリ・プログラミング時					
保存温度	Tstg			-65~+150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

37.2 発振回路特性

37.2.1 X1, XT1発振回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振 周波数 (fx) 注1,2	セラミック発振子/ 水晶振動子	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0		20.0	MHz
		$2.4 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.0		16.0	MHz
		$1.9 \text{ V} \leq V_{DD} < 2.4 \text{ V}$	1.0		8.0	MHz
XT1クロック発振 周波数 (fxT) 注1,2	水晶振動子		32	32.768	35	kHz

注1. 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、37.4 AC特性を参照してください。また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

2. 電圧範囲はバッテリー・バックアップ機能で選択された電源電圧 (V_{DD} 端子またはVBAT端子)です。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

37.2.2 オンチップ・オシレータ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数 ^{注1,2}	f _{ih}			3		24	MHz
高速オンチップ・オシレータ・クロック周波数精度		-20 ~ +85 °C	1.9 V ≤ V _{DD} ^{注3} ≤ 5.5 V	-1.0		+1.0	%
		-40 ~ -20 °C	1.9 V ≤ V _{DD} ^{注3} ≤ 5.5 V	-1.5		+1.5	%
低速オンチップ・オシレータ・クロック周波数	f _{il}				15		kHz
低速オンチップ・オシレータ・クロック周波数精度				-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H/010C2H)のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

- 発振回路の特性だけを示すものです。命令実行時間は、37.4 AC特性を参照してください。
- バッテリー・バックアップ機能で選択された電源電圧 (V_{DD}端子またはVBAT端子)です。

37.3 DC特性

37.3.1 端子特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00-P07, P10-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P85, P125-P127, P130 1端子	$1.9 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$			-10.0 ^{注2}	mA
		P00-P07, P40-P44, P130	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$			-55.0	mA
		合計	$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$			-10.0	mA
		(デューティ = 70 %時 ^{注3})	$1.9 \text{ V} \leq EV_{DD} < 2.7 \text{ V}$			-5.0	mA
		P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P125-P127	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$			-80.0	mA
		合計	$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$			-19.0	mA
		(デューティ = 70 %時 ^{注3})	$1.9 \text{ V} \leq EV_{DD} < 2.7 \text{ V}$			-10.0	mA
	全端子合計 (デューティ = 70 %時 ^{注3})				-100.0	mA	
	I _{OH2}	P20-P25 1端子	$1.9 \text{ V} \leq V_{DD} \text{注4} \leq 5.5$ V			-0.1 ^{注2}	mA
		全端子合計 (デューティ = 70 %時 ^{注3})	$1.9 \text{ V} \leq V_{DD} \text{注4} \leq 5.5$ V			-0.6	mA

注1. EV_{DD} , V_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 合計の電流値を超えないでください。

3. デューティ $\leq 70 \%$ の条件でのスペックです。

デューティ $> 70 \%$ に変更した出力電流の値は、次の計算式で求めることができます（デューティ比を $n \%$ に変更する場合）。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) \div (n \times 0.01)$$

<計算例> $I_{OH} = -10.0 \text{ mA}$ の場合, $n = 80 \%$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) \div (80 \times 0.01) \approx -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. バッテリ・バックアップ機能で選択された電源電圧 (V_{DD} 端子または V_{BAT} 端子)です。

注意 P01-P07, P15-P17, P80-P82は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P00-P07, P10-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P85, P125-P127, P130 1端子			20.0 ^{注2}	mA	
		P60-P62 1端子			15.0 ^{注2}	mA	
		合計 (デューティ = 70 %時 ^{注3})	4.0 V ≤ V _{DD} ≤ 5.5 V			70.0	mA
			2.7 V ≤ V _{DD} < 4.0 V			15.0	mA
			1.9 V ≤ V _{DD} < 2.7 V			9.0	mA
		P10-P17, P30-P37, P50-P57, P60-P62, P70-P77, P80-P85, P125-P127 合計 (デューティ = 70 %時 ^{注3})	4.0 V ≤ V _{DD} ≤ 5.5 V			80.0	mA
			2.7 V ≤ V _{DD} < 4.0 V			35.0	mA
	1.9 V ≤ V _{DD} < 2.7 V			20.0	mA		
	全端子合計 (デューティ = 70 %時 ^{注3})				150.0	mA	
	I _{OL2}	P20-P25 1端子	1.9 V ≤ V _{DD} ^{注4} ≤ 5.5 V			0.4 ^{注2}	mA
全端子合計 (デューティ = 70 %時 ^{注3})		1.9 V ≤ V _{DD} ^{注4} ≤ 5.5 V			2.4	mA	

注1. 出力端子からEV_{SS}, V_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. 合計の電流値を超えないでください。

3. デューティ ≤ 70 %の条件でのスペックです。

デューティ > 70 % に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn %に変更する場合）。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OL} = 10.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4. バッテリ・バックアップ機能で選択された電源電圧（V_{DD}端子またはVBAT端子）です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P00-P07, P10-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P85, P125-P127	通常入力バッファ	0.8EV _{DD}		EV _{DD}	V
	V _{IH2}	P00, P03, P05, P06, P15, P16, P81	TTL入力バッファ 4.0 V ≤ EV _{DD} ≤ 5.5 V	2.2		EV _{DD}	V
			TTL入力バッファ 3.3 V ≤ EV _{DD} < 4.0 V	2.0		EV _{DD}	V
			TTL入力バッファ 1.9 V ≤ EV _{DD} < 3.3 V	1.5		EV _{DD}	V
	V _{IH3}	P20-P25		0.7V _{DD} ^注		V _{DD} ^注	V
	V _{IH4}	P60-P62		0.7EV _{DD}		6.0	V
	V _{IH5}	P121-P124, P137, EXCLK, EXCLKS		0.8V _{DD} ^注		V _{DD} ^注	V
V _{IH6}	RESET		0.8V _{DD} ^注		6.0	V	
ロウ・レベル入力電圧	V _{IL1}	P00-P07, P10-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P85, P125-P127	通常入力バッファ	0		0.2EV _{DD}	V
	V _{IL2}	P00, P03, P05, P06, P15, P16, P81	TTL入力バッファ 4.0 V ≤ EV _{DD} ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EV _{DD} < 4.0 V	0		0.5	V
			TTL入力バッファ 1.9 V ≤ EV _{DD} < 3.3 V	0		0.32	V
	V _{IL3}	P20-P25		0		0.3V _{DD} ^注	V
	V _{IL4}	P60-P62		0		0.3EV _{DD}	V
	V _{IL5}	P121-P124, P137, EXCLK, EXCLKS, RESET		0		0.2V _{DD} ^注	V

注 バッテリ・バックアップ機能で選択された電源電圧 (V_{DD}端子またはVBAT端子)です。

注意 P01-P07, P15-P17, P80-P82は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値 (MAX.)はV_{DD}です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	P00-P07, P10-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P85, P125-P127, P130	4.0 V ≤ EVDD ≤ 5.5 V, IOH1 = -10.0 mA	EVDD-			V
			4.0 V ≤ EVDD ≤ 5.5 V, IOH1 = -3.0 mA	EVDD-			V
			2.7 V ≤ EVDD ≤ 5.5 V, IOH = -2.0 mA	EVDD-			V
			1.9 V ≤ EVDD ≤ 5.5 V, IOH = -1.5 mA	EVDD-			V
	VOH2	P20-P25	1.9 V ≤ VDD ^注 ≤ 5.5 V, IOH2 = -100 μA	VDD-0.5			V
ロウ・レベル出力電圧	VOL1	P00-P07, P10-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P85, P125-P127, P130	4.0 V ≤ EVDD ≤ 5.5 V, IOL1 = 20.0 mA			1.3	V
			4.0 V ≤ EVDD ≤ 5.5 V, IOL1 = 8.5 mA			0.7	V
			2.7 V ≤ EVDD ≤ 5.5 V, IOL = 3.0 mA			0.6	V
			2.7 V ≤ EVDD ≤ 5.5 V, IOL1 = 1.5 mA			0.4	V
			1.9 V ≤ EVDD ≤ 5.5 V, IOL1 = 0.6 mA			0.4	V
	VOL2	P20-P25	1.9 V ≤ VDD ^注 ≤ 5.5 V, IOL2 = 400 μA			0.4	V
	VOL3	P60-P62	4.0 V ≤ EVDD ≤ 5.5 V, IOL3 = 15.0 mA			2.0	V
			4.0 V ≤ EVDD ≤ 5.5 V, IOL3 = 5.0 mA			0.4	V
			2.7 V ≤ EVDD ≤ 5.5 V, IOL3 = 3.0 mA			0.4	V
			1.9 V ≤ EVDD ≤ 5.5 V, IOL3 = 2.0 mA			0.4	V

注 バッテリ・バックアップ機能で選択された電源電圧 (VDD端子またはVBAT端子)です。

注意 P01-P07, P15-P17, P80-P82は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40 ~ +85 °C, 1.9 V ≤ V_{DD} = EV_{DD} ≤ 5.5 V, V_{SS} = EV_{SS} = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル入力 リーク電流	I _{LH1}	P00-P07, P10-P17, P30-P37, P40-P44, P60-P62, P70-P77, P80-P85, P125-P127	V _I = EV _{DD}			1	μA	
	I _{LH2}	P20-P25, P137, $\overline{\text{RESET}}$	V _I = V _{DD} ^注			1	μA	
	I _{LH3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{DD} ^注	入力ポート時, 外部クロック入力時		1	μA	
						10	μA	
ロウ・レベル入力 リーク電流	I _{L1}	P00-P07, P10-P17, P30-P37, P40-P44, P60-P62, P70-P77, P80-P85, P125-P127	V _I = EV _{SS}			-1	μA	
	I _{L2}	P20-P25, P137, $\overline{\text{RESET}}$	V _I = V _{SS}			-1	μA	
	I _{L3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{SS}	入力ポート時, 外部クロック入力時		-1	μA	
						-10	μA	
内蔵ブルアップ 抵抗	R _{U1}	P10-P17, P30-P37, P50-P57, P70-P77, P80-P85, P125-P127	V _I = V _{SS}	2.4 V ≤ EV _{DD} ≤ 5.5 V	10	20	100	kΩ
				1.9 V ≤ EV _{DD} ≤ 5.5 V	10	30	100	kΩ
	R _{U2}	P00-P07, P40-P44	V _I = V _{SS}		10	20	100	kΩ

注 バッテリ・バックアップ機能で選択された電源電圧 (V_{DD}端子またはVBAT端子)です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

37.3.2 電源電流特性

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード ^{注5}	f _{IH} = 24 MHz ^{注3}	基本動作	V _{DD} = 5.0 V	1.5		mA
						V _{DD} = 3.0 V	1.5		mA
				通常動作	V _{DD} = 5.0 V	4.1	6.6	mA	
					V _{DD} = 3.0 V	4.1	6.6	mA	
				f _{IH} = 12 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	2.5	3.8	mA
					V _{DD} = 3.0 V	2.5	3.8	mA	
			f _{IH} = 6 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	1.6	2.5	mA	
				V _{DD} = 3.0 V	1.6	2.5	mA		
			f _{IH} = 3 MHz ^{注3}	通常動作	V _{DD} = 5.0 V	1.2	1.9	mA	
				V _{DD} = 3.0 V	1.2	1.9	mA		
			LS (低速メイン)モード ^{注5}	f _{IH} = 6 MHz ^{注3}	通常動作	V _{DD} = 3.0 V	1.3	2.1	mA
					V _{DD} = 2.0 V	1.3	2.1	mA	
				f _{IH} = 3 MHz ^{注3}	通常動作	V _{DD} = 3.0 V	0.9	1.5	mA
					V _{DD} = 2.0 V	0.9	1.5	mA	
			HS (高速メイン)モード ^{注5}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	3.4	5.5	mA
						発振子接続	3.6	5.7	mA
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	3.4	5.5	mA
						発振子接続	3.6	5.7	mA
		f _{MX} = 16 MHz ^{注2} , V _{DD} = 5.0 V		通常動作	方形波入力	2.8	4.4	mA	
					発振子接続	2.9	4.6	mA	
		f _{MX} = 16 MHz ^{注2} , V _{DD} = 3.0 V		通常動作	方形波入力	2.8	4.4	mA	
					発振子接続	2.9	4.6	mA	
		f _{MX} = 12 MHz ^{注2} , V _{DD} = 5.0 V		通常動作	方形波入力	2.3	3.6	mA	
					発振子接続	2.4	3.7	mA	
		f _{MX} = 12 MHz ^{注2} , V _{DD} = 3.0 V		通常動作	方形波入力	2.3	3.6	mA	
					発振子接続	2.4	3.7	mA	
		f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	2.1	3.2	mA		
				発振子接続	2.1	3.3	mA		
		f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	2.1	3.2	mA		
				発振子接続	2.1	3.3	mA		
		LS (低速メイン)モード ^{注5}	f _{MX} = 8 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	1.2	2.0	mA	
					発振子接続	1.2	2.1	mA	
			f _{MX} = 8 MHz ^{注2} , V _{DD} = 2.0 V	通常動作	方形波入力	1.2	2.0	mA	
					発振子接続	1.2	2.1	mA	
		サブ・クロック動作	f _{SUB} = 32.768 kHz ^{注4} , TA = -40°C	通常動作	方形波入力	4.8	5.9	μA	
					発振子接続	4.9	6.0	μA	
f _{SUB} = 32.768 kHz ^{注4} , TA = +25°C	通常動作		方形波入力	4.9	5.9	μA			
			発振子接続	5.0	6.0	μA			
f _{SUB} = 32.768 kHz ^{注4} , TA = +50°C	通常動作		方形波入力	4.9	7.6	μA			
			発振子接続	5.0	7.7	μA			
f _{SUB} = 32.768 kHz ^{注4} , TA = +70°C	通常動作	方形波入力	5.2	9.3	μA				
		発振子接続	5.3	9.4	μA				
f _{SUB} = 32.768 kHz ^{注4} , TA = +85°C	通常動作	方形波入力	6.1	13.3	μA				
		発振子接続	6.2	13.4	μA				

(注, 備考は次ページにあります。)

注1. V_{DD} , EV_{DD} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD} または V_{SS} , EV_{SS} に固定した状態での入力リーク電流を含みます。VBAT端子（バッテリー・バックアップ用電源端子）を選択している場合は、VBATに流れる電流です。HS（高速メイン）モード、LS（低速メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、LCDコントローラ/ドライバ、A/Dコンバータ、 $\Delta\Sigma$ A/Dコンバータ、LVD回路、コンパレータ、バッテリー・バックアップ回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はリアルタイム・クロック2に流れる電流を含みます。

2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
3. 高速システム・クロック、サブシステム・クロックは停止時。
4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振（AMPHS1 = 1）設定時。
5. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

HS（高速メイン）モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 24\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$

LS（低速メイン）モード : $1.9\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 8\text{ MHz}$

備考1. f_{MX} : 高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

3. f_{SUB} : サブシステム・クロック周波数（XT1クロック発振周波数）

4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、 $T_A = 25\text{ }^\circ\text{C}$ です。

(TA = -40 ~ +85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

(2/4)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALT モード	HS (高速メイン) モード ^{注6}	f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V	0.50	1.45	mA
					V _{DD} = 3.0 V	0.50	1.45	mA
				f _{IH} = 12 MHz ^{注4}	V _{DD} = 5.0 V	0.40	0.91	mA
					V _{DD} = 3.0 V	0.40	0.91	mA
				f _{IH} = 6 MHz ^{注4}	V _{DD} = 5.0 V	0.33	0.63	mA
					V _{DD} = 3.0 V	0.33	0.63	mA
			f _{IH} = 3 MHz ^{注4}	V _{DD} = 5.0 V	0.29	0.49	mA	
				V _{DD} = 3.0 V	0.29	0.49	mA	
			LS (低速メイン) モード ^{注6}	f _{IH} = 6 MHz ^{注4}	V _{DD} = 3.0 V	290	620	μA
					V _{DD} = 2.0 V	290	620	μA
				f _{IH} = 3 MHz ^{注4}	V _{DD} = 3.0 V	250	534	μA
					V _{DD} = 2.0 V	250	534	μA
		HS (高速メイン) モード ^{注6}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.31	1.08	mA	
				発振子接続	0.48	1.28	mA	
			f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.31	1.08	mA	
				発振子接続	0.48	1.28	mA	
			f _{MX} = 16 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.26	0.86	mA	
				発振子接続	0.38	1.00	mA	
			f _{MX} = 16 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.26	0.86	mA	
				発振子接続	0.38	1.00	mA	
			f _{MX} = 12 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.22	0.70	mA	
				発振子接続	0.31	0.79	mA	
			f _{MX} = 12 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.22	0.70	mA	
				発振子接続	0.31	0.79	mA	
	f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.21	0.63	mA			
		発振子接続	0.28	0.71	mA			
	f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.21	0.63	mA			
		発振子接続	0.28	0.71	mA			
	LS (低速メイン) モード ^{注6}	f _{MX} = 8 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	110	360	μA		
			発振子接続	160	420	μA		
		f _{MX} = 8 MHz ^{注3} , V _{DD} = 2.0 V	方形波入力	110	360	μA		
			発振子接続	160	420	μA		
	サブ・クロック 動作	f _{SUB} = 32.768 kHz ^{注5} , T _A = -40°C	方形波入力	0.36	0.77	μA		
発振子接続			0.55	0.98	μA			
f _{SUB} = 32.768 kHz ^{注5} , T _A = +25°C		方形波入力	0.42	0.91	μA			
		発振子接続	0.61	1.30	μA			
f _{SUB} = 32.768 kHz ^{注5} , T _A = +50°C		方形波入力	0.50	2.45	μA			
		発振子接続	0.69	2.64	μA			
f _{SUB} = 32.768 kHz ^{注5} , T _A = +70°C		方形波入力	0.86	4.28	μA			
		発振子接続	1.05	4.47	μA			
f _{SUB} = 32.768 kHz ^{注5} , T _A = +85°C	方形波入力	2.29	8.44	μA				
	発振子接続	2.48	8.63	μA				
IDD3	STOP モード ^{注7}	T _A = -40°C		0.27	0.70	μA		
		T _A = +25°C		0.33	0.82	μA		
		T _A = +50°C		0.41	2.36	μA		
		T _A = +70°C		0.77	4.19	μA		
		T _A = +85°C		2.20	8.35	μA		

(注, 備考は次ページにあります。)

注1. V_{DD} , EV_{DD} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD} または V_{SS} , EV_{SS} に固定した状態での入力リーク電流を含みます。VBAT端子（バッテリー・バックアップ用電源端子）を選択している場合は、VBATに流れる電流です。

HS（高速メイン）モード、LS（低速メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、LCDコントローラ／ドライバ、A/Dコンバータ、 $\Delta\Sigma$ A/Dコンバータ、LVD回路、コンパレータ、バッテリー・バックアップ回路、I/Oポート、内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はリアルタイム・クロック2（RTC2）に流れる電流を含みます。

STOPモード時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

2. フラッシュ・メモリでのHALT命令実行時。
3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
4. 高速システム・クロック、サブシステム・クロックは停止時。
5. リアルタイム・クロック2（RTC2）動作、かつ超低消費発振（AMPHS1 = 1）設定時。高速オンチップ・オシレータ、高速システム・クロックは停止時。
6. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。
 - HS（高速メイン）モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 24\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
 - LS（低速メイン）モード : $1.9\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$
7. STOPモード時にサブシステム・クロックを動作させる場合は、サブシステム・クロック動作のHALTモード時と同じになります。

備考1. f_{MX} : 高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

3. f_{SUB} : サブシステム・クロック周波数（XT1クロック発振周波数）

4. 「サブシステム・クロック動作」、 「STOPモード」以外のTYP.値の温度条件は、 $T_A = 25\text{ }^\circ\text{C}$ です。

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

(3/4)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I _{FIL} ^{注1}				0.24		μA
RTC2動作電流	I _{RTC} ^{注1, 2, 3}	f _{SUB} = 32.768 kHz			0.02		μA
12ビット・インターバル・タイマ動作電流	I _{TMKA} ^{注1, 2, 4}	f _{SUB} = 32.768 kHz, f _{MAIN} 停止			0.04		μA
8ビット・インターバル・タイマ動作電流	I _{TMT} ^{注1, 2, 5}	f _{SUB} = 32.768 kHz, f _{MAIN} 停止, ユニットあたり	8ビット・カウンタ・モード×2ch 動作		0.12		μA
			16ビット・カウンタ・モード動作		0.10		μA
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注1, 2, 6}	f _{IL} = 15 kHz, f _{MAIN} 停止			0.22		μA
LVD動作電流	I _{LV} ^{注1, 7}				0.08		μA
発振停止検出回路動作電流	I _{OSDC} ^{注1}				0.02		μA
バッテリー・バックアップ回路動作電流	I _{BUP} ^{注1}				0.05		μA
A/Dコンバータ動作電流	I _{ADC} ^{注1, 8}	最高速変換時	標準モード, AV _{REFP} = V _{DD} = 5.0 V		1.3	2.4	mA
			低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		0.5	1.0	mA
A/Dコンバータ基準電圧電流	I _{ADREF} ^{注1}				75.0		μA
温度センサ動作電流	I _{TMPS} ^{注1}				105		μA
コンパレータ動作電流	I _{COMP} ^{注1, 9}	V _{DD} = 5.0 V, レギュレータ出力電圧 = 2.1 V	ウィンドウ・モード		12.5		μA
			コンパレータ高速モード		6.5		μA
			コンパレータ低速モード		1.7		μA
		V _{DD} = 5.0 V, レギュレータ出力電圧 = 1.8 V	ウィンドウ・モード		8.0		μA
			コンパレータ高速モード		4.0		μA
			コンパレータ低速モード		1.3		μA
		V _{DD} = 5.0 V, STOPモード	ウィンドウ・モード		8.0		μA
			コンパレータ高速モード		4.0		μA
			コンパレータ低速モード		1.3		μA
BGO電流	I _{BGO} ^{注1, 10}				2.00	12.20	mA
セルフ・プログラミング動作電流	I _{FSP} ^{注1, 11}				2.00	12.20	mA

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

(4/4)

項目	略号	条件		MIN.	TYP.	MAX.	単位
24ビット ΔΣA/Dコンバータ動作電流	I _{DSAD} ^{注1, 12}	4ch ΔΣA/Dコンバータ動作			1.50	2.25	mA
		3ch ΔΣA/Dコンバータ動作			1.18	1.77	mA
		1ch ΔΣA/Dコンバータ動作			0.53	0.80	mA
SNOOZE動作電流	I _{SNOZ} ^{注1, 13}	ADC動作	モード遷移中		0.50	0.80	mA
			変換動作中, 低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		1.20	1.80	mA
		簡易SPI (CSI)/UART動作			0.70	1.05	mA
		DTC動作			2.20		mA
LCD動作電流	I _{LCD1} ^{注1, 14, 15}	外部抵抗分割方式	f _{LCD} = f _{SUB} LCDクロック = 128 Hz 1/3バイアス, 4時分割	V _{DD} = 5.0 V V _{L4} = 5.0 V		0.06	μA
			f _{LCD} = f _{SUB} LCDクロック = 128 Hz 1/3バイアス, 4時分割	V _{DD} = 3.0 V V _{L4} = 3.0 V (VLCD = 04H)		0.85	μA
	I _{LCD2} ^{注1, 14}	内部昇圧方式	f _{LCD} = f _{SUB} LCDクロック = 128 Hz 1/3バイアス, 4時分割	V _{DD} = 5.0 V V _{L4} = 5.1 V (VLCD = 12H)		1.55	μA
			f _{LCD} = f _{SUB} LCDクロック = 128 Hz 1/3バイアス, 4時分割	V _{DD} = 3.0 V V _{L4} = 3.0 V		0.20	μA
I _{LCD3} ^{注1, 14}	容量分割方式	f _{LCD} = f _{SUB} LCDクロック = 128 Hz 1/3バイアス, 4時分割	V _{DD} = 3.0 V V _{L4} = 3.0 V		0.20	μA	

注 1. V_{DD}に流れる電流です。VBAT端子（バッテリー・バックアップ用電源端子）を選択している場合は、VBATに流れる電流です。

- 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- リアルタイム・クロック2にのみ流れる電流です（低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリアルタイム・クロック2の動作時は, I_{DD1}またはI_{DD2}にI_{RTC}を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。I_{DD2}のサブシステム・クロック動作にはリアルタイム・クロック2の動作電流が含まれています。
- 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, I_{DD1}またはI_{DD2}にI_{TMKA}を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。
- 8ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの8ビット・インターバル・タイマの動作時は, I_{DD1}またはI_{DD2}にI_{TMT}を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。
- ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が, RL78マイクロコントローラの電流値となります。
- LVD回路にのみ流れる電流です。LVD回路の動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVD}を加算した値がRL78マイクロコントローラの電流値となります。
- A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はI_{DD1}またはI_{DD2}にI_{ADC}を加算した値が, RL78マイクロコントローラの電流値となります。

- 注9. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{CMP} を加算した値が、RL78マイクロコントローラの電流値となります。
10. コード・フラッシュ1KB書き換え時に流れる電流です。
11. セルフ・プログラミング時に流れる電流です。
12. 24ビット $\Delta\Sigma A/D$ コンバータにのみ流れる電流です。24ビット $\Delta\Sigma A/D$ コンバータの動作時は I_{DD1} または I_{DD2} に I_{DSAD} を加算した値が、RL78マイクロコントローラの電流値となります。
13. SNOOZEモードへの移行時間は、24.3.3 SNOOZEモードを参照してください。
14. LCDコントローラ／ドライバにのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ／ドライバが動作中の場合、電源電流（ I_{DD1} または I_{DD2} ）にLCD動作電流（ I_{LCD1} または I_{LCD2} または I_{LCD3} ）を加算した値が、RL78マイクロコントローラの電流値となります。LCDパネルに流れる電流は含みません。TYP.値、MAX.値は以下の条件の値になります。
- ・20端子をセグメント機能として設定し、全点灯
 - ・システム・クロックに f_{SUB} 選択、LCDクロック = 128 Hz時（ $LCDC0 = 07H$ ）
 - ・4時分割、1/3バイアス設定
15. 外部抵抗分割方式使用時の外部分割抵抗に流れる電流は含みません。

- 備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
2. f_{SUB} : サブシステム・クロック周波数（XT1クロック発振周波数）
3. f_{CLK} : CPU／周辺ハードウェア・クロック周波数
4. TYP.値の温度条件は、 $T_A = 25\text{ }^\circ\text{C}$ です。

37.4 AC特性

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T _{cy}	メイン・システム・クロック (f _{MAN}) 動作	HS (高速メイン) モード	2.7 V ≤ V _{DD} ^{注1} ≤ 5.5 V	0.0417		1	μs
				2.4 V ≤ V _{DD} ^{注1} < 2.7 V	0.0625		1	μs
			LS (低速メイン) モード	1.9 V ≤ V _{DD} ^{注1} ≤ 5.5 V	0.125		1	μs
		サブシステム・クロック (f _{SUB}) 動作		1.9 V ≤ V _{DD} ^{注1} ≤ 5.5 V	28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS (高速メイン) モード	2.7 V ≤ V _{DD} ^{注1} ≤ 5.5 V	0.0417		1	μs
				2.4 V ≤ V _{DD} ^{注1} < 2.7 V	0.0625		1	μs
		LS (低速メイン) モード	1.9 V ≤ V _{DD} ^{注1} ≤ 5.5 V	0.125		1	μs	
外部システム・クロック 周波数	f _{EX}	2.7 V ≤ V _{DD} ^{注1} ≤ 5.5 V		1.0		20.0	MHz	
		2.4 V ≤ V _{DD} ^{注1} < 2.7 V		1.0		16.0	MHz	
		1.9 V ≤ V _{DD} ^{注1} < 2.4 V		1.0		8.0	MHz	
	f _{EXS}			32		35	kHz	
外部システム・クロック入力 ハイ、ロウ・レベル幅	t _{EXH} ,	2.7 V ≤ V _{DD} ^{注1} ≤ 5.5 V		24			ns	
		t _{EXL}	2.4 V ≤ V _{DD} ^{注1} < 2.7 V		30			ns
	1.9 V ≤ V _{DD} ^{注1} < 2.4 V		60			ns		
	t _{EXHS} ,			13.7			μs	
t _{EXLS}								
Ti00-Ti07入力ハイ・レベル幅, ロウ・レベル幅	t _{NIH} ,			1/f _{MCK} +			ns ^{注2}	
	t _{NIL}			10				
TO00-TO07出力周波数	f _{ro}	HS (高速メイン) モード	4.0 V ≤ EV _{DD} ≤ 5.5 V			12	MHz	
			2.7 V ≤ EV _{DD} < 4.0 V			8	MHz	
			2.4 V ≤ EV _{DD} < 2.7 V			4	MHz	
		LS (低速メイン) モード	1.9 V ≤ EV _{DD} ≤ 5.5 V				4	MHz
PCLBUZ0, PCLBUZ1出力 周波数	f _{pcl}	HS (高速メイン) モード	4.0 V ≤ EV _{DD} ≤ 5.5 V			16	MHz	
			2.7 V ≤ EV _{DD} < 4.0 V			8	MHz	
			2.4 V ≤ EV _{DD} < 2.7 V			4	MHz	
		LS (低速メイン) モード	1.9 V ≤ EV _{DD} ≤ 5.5 V				4	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INTH} ,	INTP0	1.9 V ≤ V _{DD} ^{注1} ≤ 5.5 V	1			μs	
	t _{INTL}	INTP1-INTP7	1.9 V ≤ EV _{DD} ≤ 5.5 V	1			μs	
RESETロウ・レベル幅	t _{rsL}			10			μs	

注1. バッテリー・バックアップ機能で選択された電源電圧 (V_{DD}端子またはVBAT端子)です。

2. 低電圧インタフェース時は、次の条件も必要になります。

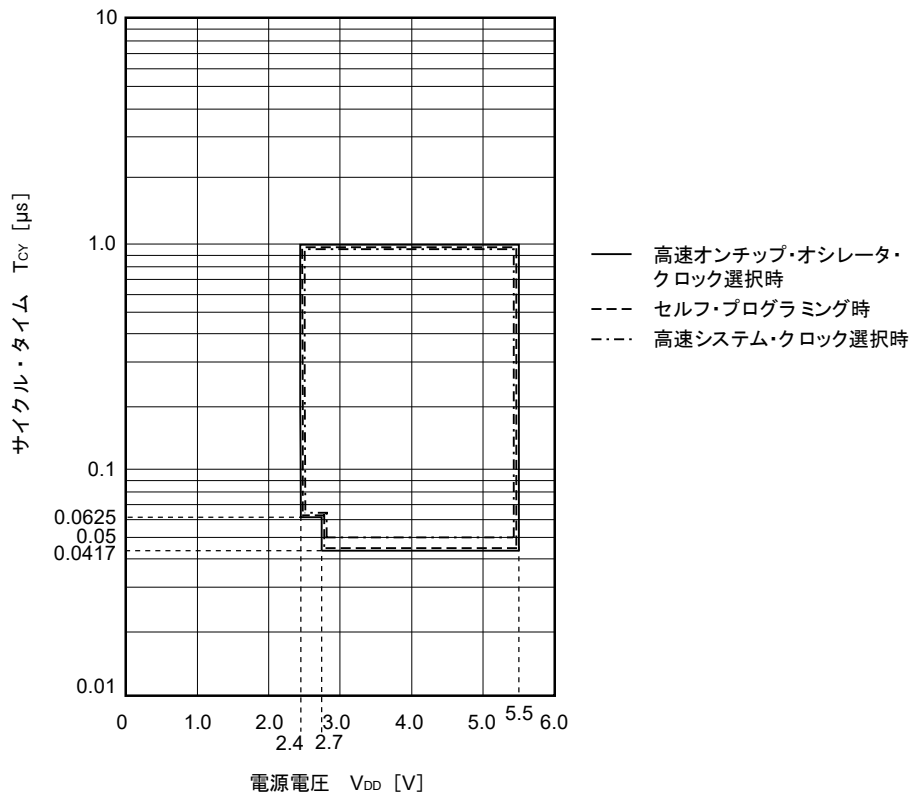
1.9 V ≤ V_{DD} < 2.7 V : MIN. 125 ns備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタmn (TMRmn) のCKSmn0, CKSmn1ビットで設定する動作クロック。

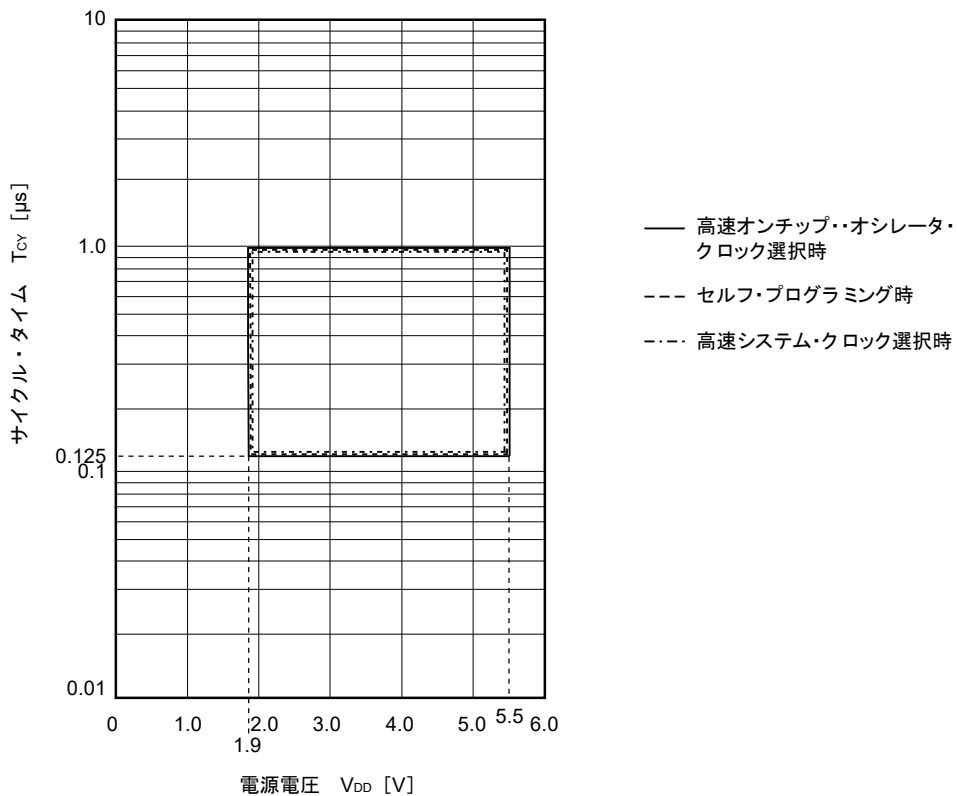
m : ユニット番号(m = 0), n : チャネル番号 (n = 0-7))

メイン・システム・クロック動作時の最小命令実行時間

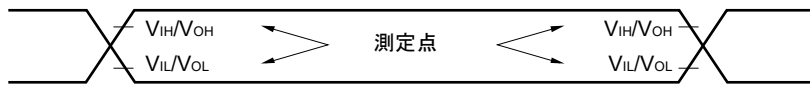
T_{CY} vs V_{DD} (HS (高速メイン) モード)



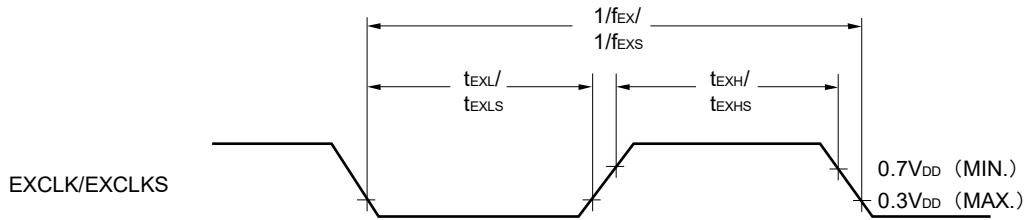
T_{CY} vs V_{DD} (LS (低速メイン) モード)



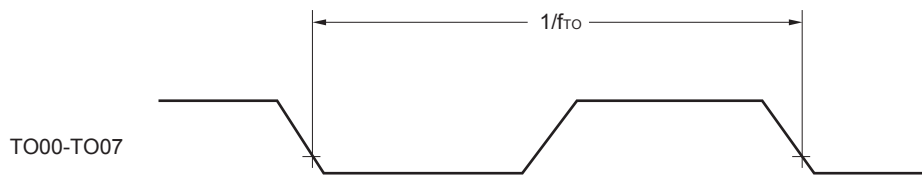
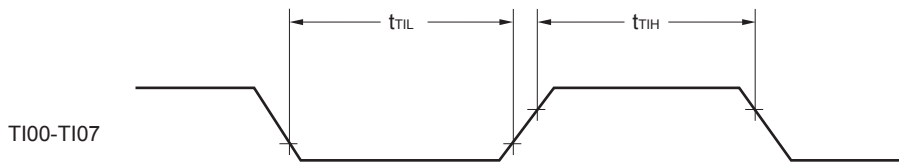
ACタイミング測定点



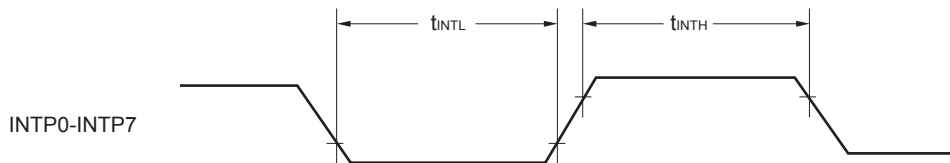
外部システム・クロック・タイミング



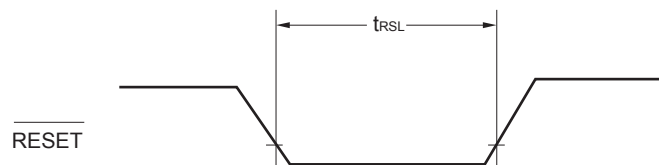
TI/TOタイミング



割り込み要求入力タイミング

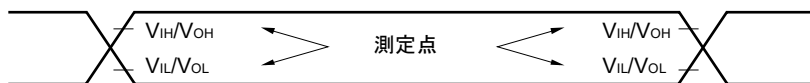


RESET入力タイミング



37.5 周辺機能特性

ACタイミング測定点



37.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート ^{注1}		$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$f_{MCK}/6$ ^{注2}		$f_{MCK}/6$ ^{注2}	bps
		最大転送レート理論値 $f_{MCK} = f_{CLK}$ ^{注3}		4.0		1.3	Mbps
		$1.9 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$				$f_{MCK}/6$ ^{注2}	bps
		最大転送レート理論値 $f_{MCK} = f_{CLK}$ ^{注3}				1.3	Mbps

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. 低電圧インタフェース時は、次の条件も必要になります。

$2.4 \text{ V} \leq EV_{DD} < 2.7 \text{ V}$: MAX. 2.6 Mbps

$1.9 \text{ V} \leq EV_{DD} < 2.4 \text{ V}$: MAX. 1.3 Mbps

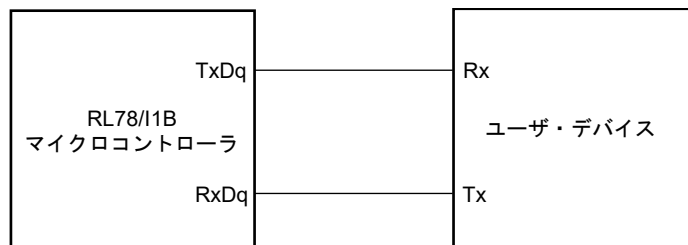
3. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード : 24 MHz

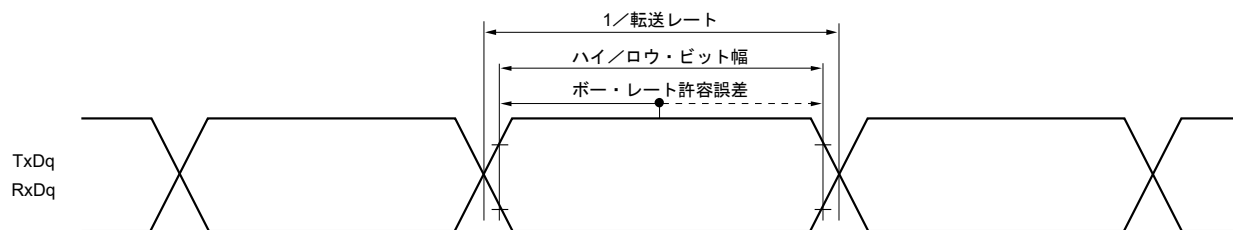
LS (低速メイン) モード : 8 MHz

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子は通常入力バッファ、TxDq端子は通常出力モードを選択。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅（同電位通信時）（参考）



- 備考1. q : UART番号 (q = 0-2) , g : PIM, POM番号 (g = 0, 1, 8)
2. f_{MCK} : シリアル・アレィ・ユニットの動作クロック周波数
 (シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。
 m : ユニット番号, n : チャネル番号 (mn = 00-03, 10, 11))

(2) 同電位通信, 簡易SPI (CSI)モード時 (マスタ・モード, SCKp…内部クロック出力)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム	t _{KCY1}	2.7 V ≤ EV _{DD} ≤ 5.5 V	167		500		ns
		2.4 V ≤ EV _{DD} ≤ 5.5 V	250		500		ns
		1.9 V ≤ EV _{DD} ≤ 5.5 V			500		ns
SCKpハイ, ロウ・ レベル幅	t _{KH1} ,	4.0 V ≤ EV _{DD} ≤ 5.5 V	t _{KCY1} /2-12		t _{KCY1} /2-50		ns
		2.7 V ≤ EV _{DD} ≤ 5.5 V	t _{KCY1} /2-18		t _{KCY1} /2-50		ns
	t _{KL1}	2.4 V ≤ EV _{DD} ≤ 5.5 V	t _{KCY1} /2-38		t _{KCY1} /2-50		ns
		1.9 V ≤ EV _{DD} ≤ 5.5 V			t _{KCY1} /2-50		ns
Slpセットアップ 時間 (対SCKp↑) 注1	t _{SIK1}	4.0 V ≤ EV _{DD} ≤ 5.5 V	44		110		ns
		2.7 V ≤ EV _{DD} ≤ 5.5 V	44		110		ns
		2.4 V ≤ EV _{DD} ≤ 5.5 V	75		110		ns
		1.9 V ≤ EV _{DD} ≤ 5.5 V			110		ns
Slpホールド時間 (対SCKp↑) 注1	t _{KSH1}	2.4 V ≤ EV _{DD} ≤ 5.5 V	19		19		ns
		1.9 V ≤ EV _{DD} ≤ 5.5 V			19		ns
SCKp ↓ → SOp出力 遅延時間注2	t _{KSO1}	C = 30 pF注3	2.4 V ≤ EV _{DD} ≤ 5.5 V	25		25	ns
			1.9 V ≤ EV _{DD} ≤ 5.5 V			25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

3. Cは, SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子は通常入力バッファ, SOp端子とSCKp端子は通常出力モードを選択。

備考 1. p : CSI番号 (p = 00) , m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0) ,
g : PIM, POM番号 (g = 0, 1)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmn
ビットで設定された動作クロック。

m : ユニット番号, n : チャネル番号 (mn = 00))

(3) 同電位通信, 簡易SPI (CSI)モード時 (スレーブ・モード, SCKp…外部クロック入力)

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム ^{注4}	t _{KCY2}	4.0 V ≤ EVDD ≤ 5.5 V	20 MHz < f _{MCK}	8/f _{MCK}		—		ns
			f _{MCK} ≤ 20 MHz	6/f _{MCK}		6/f _{MCK}		ns
	2.7 V ≤ EVDD ≤ 5.5 V	16 MHz < f _{MCK}	8/f _{MCK}		—		ns	
		f _{MCK} ≤ 16 MHz	6/f _{MCK}		6/f _{MCK}		ns	
	2.4 V ≤ EVDD ≤ 5.5 V		6/f _{MCK} かつ500		6/f _{MCK}		ns	
1.9 V ≤ EVDD ≤ 5.5 V				6/f _{MCK}		ns		
SCKpハイ、ロウ・ レベル幅	t _{KH2} ,	4.0 V ≤ EVDD ≤ 5.5 V		t _{KCY2} /2-7		t _{KCY2} /2-7		ns
			t _{KL2}		t _{KCY2} /2-8		t _{KCY2} /2-8	
	2.7 V ≤ EVDD ≤ 5.5 V		t _{KCY2} /2-8		t _{KCY2} /2-8		ns	
			t _{KCY2} /2-18		t _{KCY2} /2-18		ns	
Slpセットアップ 時間 (対SCKp↑) ^{注1}	t _{SIK2}	2.7 V ≤ EVDD ≤ 5.5 V		1/f _{MCK} +20		1/f _{MCK} +30		ns
		2.4 V ≤ EVDD ≤ 5.5 V		1/f _{MCK} +30		1/f _{MCK} +30		ns
		1.9 V ≤ EVDD ≤ 5.5 V				1/f _{MCK} +30		ns
Slpホールド時間 (対SCKp↑) ^{注1}	t _{KSI2}	2.4 V ≤ EVDD ≤ 5.5 V		1/f _{MCK} +31		1/f _{MCK} +31		ns
		1.9 V ≤ EVDD ≤ 5.5 V				1/f _{MCK} +31		ns
SCKp ↓ → SOP出 力遅延時間 ^{注2}	t _{KSO2}	C = 30 pF ^{注3}	2.7 V ≤ EVDD ≤ 5.5 V		2/f _{MCK} +44		2/f _{MCK} +110	ns
			2.4 V ≤ EVDD ≤ 5.5 V		2/f _{MCK} +75		2/f _{MCK} +110	ns
			1.9 V ≤ EVDD ≤ 5.5 V				2/f _{MCK} +110	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

3. Cは、SOP出力ラインの負荷容量です。

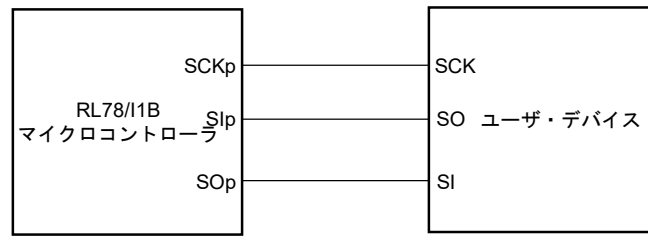
4. SNOOZEモードでの転送レートは、MAX.: 1 Mbps

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子は通常入力バッファ、SOP端子は通常出力モードを選択。

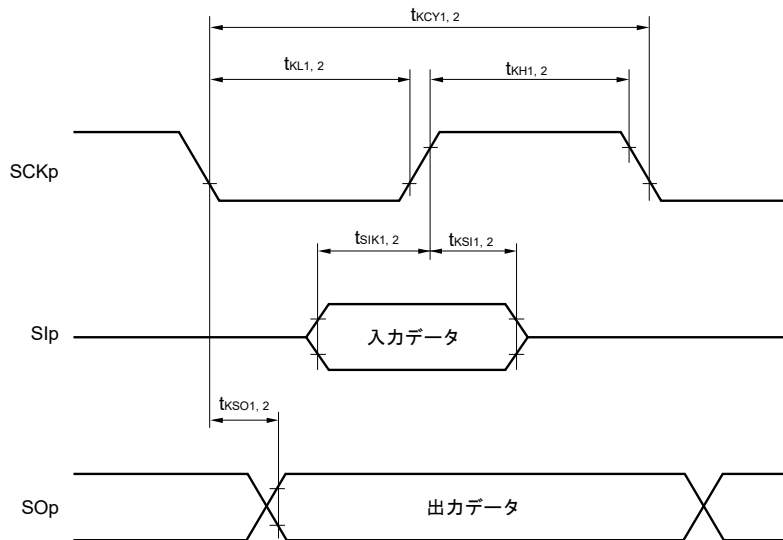
備考1. p: CSI番号 (p = 00), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0),
g: PIM, POM番号 (g = 0, 1)

2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。
m: ユニット番号, n: チャネル番号 (mn = 00))

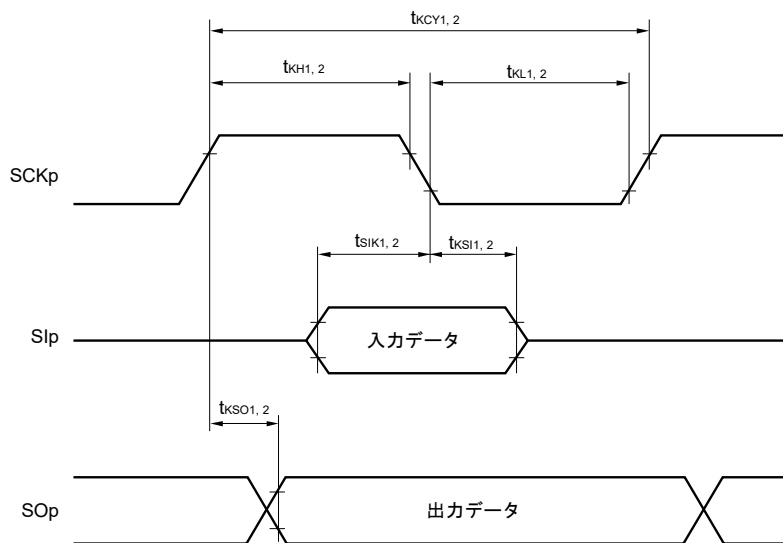
簡易SPI (CSI)モード接続図 (同電位通信時)



簡易SPI (CSI)モード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号 (p = 00)

2. m : ユニット番号, n : チャネル番号 (mn = 00)

(4) 同電位通信時 (簡易I²Cモード)

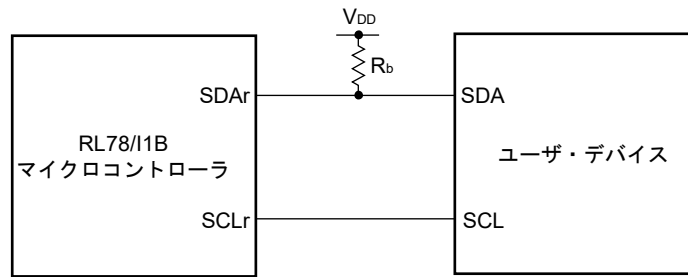
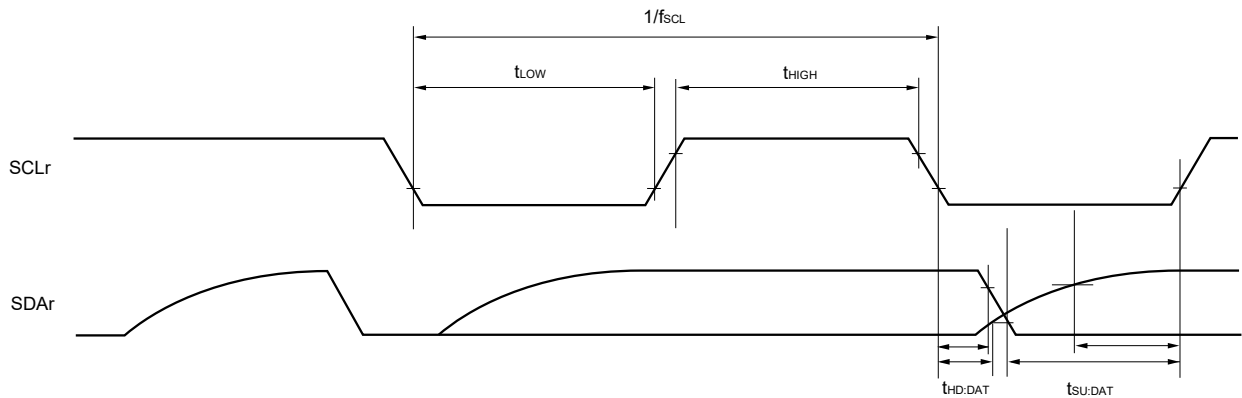
(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLr クロック周波数	f _{SCL}	2.7 V ≤ EVDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		400 ^{注1}	kHz
		1.9 V ≤ EVDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		400 ^{注1}		400 ^{注1}	kHz
		1.9 V ^{注3} ≤ EVDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ		300 ^{注1}		300 ^{注1}	kHz
SCLr = "L" のホールド・タイム	t _{LOW}	2.7 V ≤ EVDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		ns
		1.9 V ≤ EVDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		ns
		1.9 V ^{注3} ≤ EVDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		ns
SCLr = "H" のホールド・タイム	t _{HIGH}	2.7 V ≤ EVDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		ns
		1.9 V ≤ EVDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		ns
		1.9 V ^{注3} ≤ EVDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		ns
データ・セットアップ時間 (受信時)	t _{SU: DAT}	2.7 V ≤ EVDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/f _{MCK} + 85 ^{注1, 2}		1/f _{MCK} + 145 ^{注1, 2}		ns
		1.9 V ≤ EVDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/f _{MCK} + 145 ^{注1, 2}		1/f _{MCK} + 145 ^{注1, 2}		ns
		1.9 V ^{注3} ≤ EVDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/f _{MCK} + 230 ^{注1, 2}		1/f _{MCK} + 230 ^{注1, 2}		ns
データ・ホールド時間 (送信時)	t _{HD: DAT}	2.7 V ≤ EVDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	ns
		1.9 V ≤ EVDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	355	0	355	ns
		1.9 V ^{注3} ≤ EVDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	ns

注 1. かつ f_{MCK}/4 以下に設定してください。2. f_{MCK} 値は、SCLr = "L" と SCLr = "H" のホールド・タイムを越えない値に設定してください。

3. HS (高速メイン) モード時は 2.4 V になります。

(注意, 備考は次ページにあります。)

簡易I²Cモード接続図（同電位通信時）簡易I²Cモード・シリアル転送タイミング（同電位通信時）

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、SDArは通常入力バッファ、N-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択、SCLrは通常出力モードを選択。

- 備考1. R_b [Ω]: 通信ライン (SDAr) プルアップ抵抗値, C_b [F]: 通信ライン (SCLr, SDAr) 負荷容量値
2. r: IIC番号 (r = 00, 10), g: PIM, POM番号 (g = 0, 1)
3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。
 m: ユニット番号 (m = 0), n: チャンネル番号 (n = 0, 2), mn = 00, 02)

(5) 異電位 (1.9 V系, 2.5 V系, 3 V系) 通信時 (UARTモード) (1/2)

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
			転送レート	受信	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		
		最大転送レート理論値 f _{MCK} = f _{CLK} ^{注4}		4.0		1.3	Mbps
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}	bps
		最大転送レート理論値 f _{MCK} = f _{CLK} ^{注4}		4.0		1.3	Mbps
		1.9 V ^{注5} ≤ EVDD < 3.3 V, 1.8 V ≤ Vb ≤ 2.0 V		f _{MCK} /6 注1,2,3		f _{MCK} /6 注1,2	bps
		最大転送レート理論値 f _{MCK} = f _{CLK} ^{注4}		4.0		1.3	Mbps

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. EVDD ≥ Vbで使用してください。

3. 低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD < 2.7 V : MAX. 2.6 Mbps

1.9 V ≤ EVDD < 2.4 V : MAX. 1.3 Mbps

4. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード : 24 MHz

LS (低速メイン) モード : 8 MHz

5. HS (高速メイン) モード時は2.4 Vになります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファ、TxDq端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

備考1. V_b [V]: 通信ライン電圧

2. q: UART番号 (q = 0-2), g: PIM, POM番号 (g = 0, 1, 8)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。

m: ユニット番号, n: チャネル番号 (mn = 00-03, 10, 11))

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード) (2/2)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
			転送レート	送 信	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$		
		最大転送レート理論値 $C_b = 50 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$, $V_b = 2.7 \text{ V}$		2.8 ^{注3}		2.8 ^{注3}	Mbps
		$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$		注2, 4		注2, 4	bps
		最大転送レート理論値 $C_b = 50 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$, $V_b = 2.3 \text{ V}$		1.2 ^{注5}		1.2 ^{注5}	Mbps
		$1.9 \text{ V}^{\text{注9}} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$		注2, 6, 7		注2, 6, 7	bps
		最大転送レート理論値 $C_b = 50 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$, $V_b = 1.6 \text{ V}$		0.43 ^{注8}		0.43 ^{注8}	Mbps

注1. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}} \times 3 \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

2. SNOOZEモードでの転送レートは、4800 bpsのみとなります。
3. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。
4. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
 $2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}} \times 3 \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

5. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。
6. $EV_{DD} \geq V_b$ で使用してください。

注7. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

$1.9\text{ V} \leq EV_{DD} < 2.7\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}} \times 3 \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

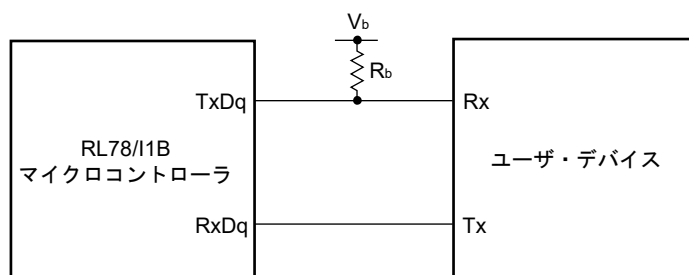
※この値は送信側と受信側の相対差の理論値となります。

8. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注7により算出してください。
9. HS (高速メイン) モード時は2.4 Vになります。

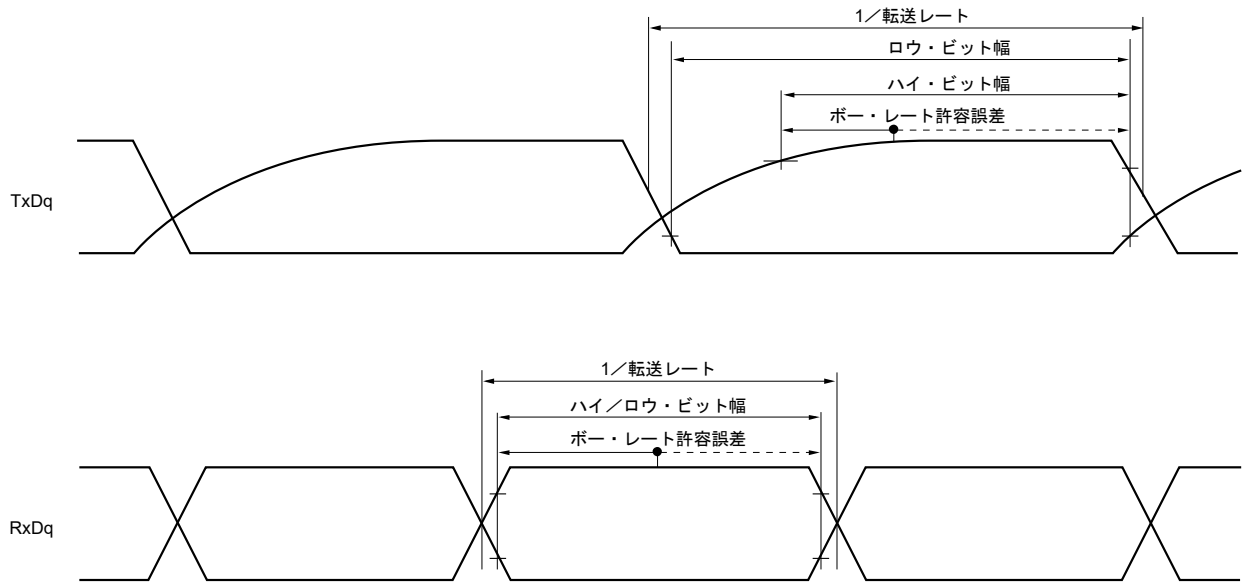
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファ、TxDq端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。なお V_{IH} , V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

- 備考1. R_b [Ω] : 通信ライン (TxDq) プルアップ抵抗値, C_b [F] : 通信ライン (TxDq) 負荷容量値, V_b [V] : 通信ライン電圧
2. q : UART番号 (q = 0-2), g : PIM, POM番号 (g = 0, 1, 8)
 3. f_{MCK} : シリアル・アレィ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。
m : ユニット番号, n : チャネル番号 (mn = 00-03, 10, 11))

UARTモード接続図 (異電位通信時)



UARTモードのビット幅（異電位通信時）（参考）



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファ、TxDq端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。なお V_{IH} 、 V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

- 備考1. R_b [Ω]: 通信ライン (TxDq) プルアップ抵抗値, V_b [V]: 通信ライン電圧
 2. q: UART番号 (q = 0-2), g: PIM, POM番号 (g = 0, 1, 8)

(6) 異電位 (2.5 V系, 3 V系) 通信 ($f_{MCK}/2$), 簡易SPI (CSI)モード時 (マスタ・モード, SCKp…内部クロック出力, CSI00のみ対応) (1/2)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	
				SCKpサイクル・タイム	t_{KCY1}	$t_{KCY1} \geq 2/f_{CLK}$	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	
			$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	300		1150		ns
SCKpハイ・レベル幅	t_{KH1}		$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	$t_{KCY1}/2 - 50$		$t_{KCY1}/2 - 50$		ns
			$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	$t_{KCY1}/2 - 120$		$t_{KCY1}/2 - 120$		ns
SCKpロウ・レベル幅	t_{KL1}		$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	$t_{KCY1}/2 - 7$		$t_{KCY1}/2 - 50$		ns
			$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	$t_{KCY1}/2 - 10$		$t_{KCY1}/2 - 50$		ns
Slpセットアップ時間 (対SCKp↑) 注1	t_{SIK1}		$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	58		479		ns
			$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	121		479		ns
Slpホールド時間 (対SCKp↑) 注1	t_{KSI1}		$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	10		10		ns
			$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	10		10		ns
SCKp↓→SOp出力 遅延時間注1	t_{KSO1}		$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$		60		60	ns
			$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$		130		130	ns

(注, 注意, 備考は次ページにあります。)

(6) 異電位 (2.5 V系, 3 V系) 通信 ($f_{mck}/2$), 簡易SPI (CSI)モード時 (マスタ・モード, SCKp…内部クロック出力, CSI00のみ対応) (2/2)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

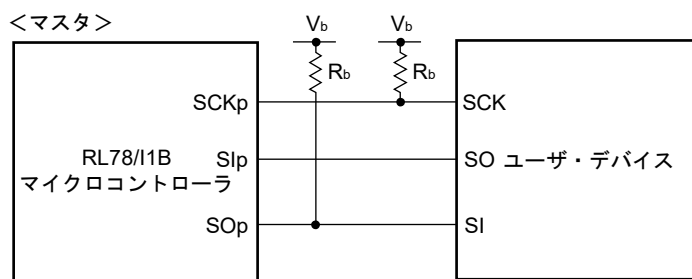
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
			Slpセットアップ 時間 (対SCKp↓) 注2	t_{SIK1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$ $2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	23	
Slpホールド 時間 (対SCKp↓) 注2	t_{KSI1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$ $2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	10		10		ns
SCKp↑→SOp 出力 遅延時間注2	t_{KSO1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$ $2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$		10		10	ns
				10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子はTTL入力バッファ, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。なお V_{IH} , V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI (CSI)モード接続図 (異電位通信時)



備考1. R_b [Ω]: 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SCKp, SOp) 負荷容量値, V_b [V]: 通信ライン電圧

2. p: CSI番号 (p = 00), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0), g: PIM, POM番号 (g = 0, 1)

3. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数 (シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。

m: ユニット番号, n: チャネル番号 (mn = 00))

4. このスペックは, CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信 ($f_{MCK}/4$), 簡易SPI (CSI)モード時 (マスタ・モード, SCKp…内部クロック出力) (1/3)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	
				SCKpサイクル・タイム	t_{KCY1}	$t_{KCY1} \geq 4/f_{CLK}$	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$ $2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$ $1.9 \text{ V}^{\text{注4}} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	
SCKpハイ・レベル幅	t_{KH1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$ $2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$ $1.9 \text{ V}^{\text{注4}} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}^{\text{注3}}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	$t_{KCY1}/2 - 75$		$t_{KCY1}/2 - 75$		ns	
				$t_{KCY1}/2 - 170$		$t_{KCY1}/2 - 170$		ns
				$t_{KCY1}/2 - 458$		$t_{KCY1}/2 - 458$		ns
SCKpロウ・レベル幅	t_{KL1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$ $2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$ $1.9 \text{ V}^{\text{注4}} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}^{\text{注3}}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	$t_{KCY1}/2 - 12$		$t_{KCY1}/2 - 50$		ns	
				$t_{KCY1}/2 - 18$		$t_{KCY1}/2 - 50$		ns
				$t_{KCY1}/2 - 50$		$t_{KCY1}/2 - 50$		ns

(注, 注意, 備考は次々ページにあります。)

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信 ($f_{MCK}/4$), 簡易SPI (CSI)モード時 (マスタ・モード, SCKp…内部クロック出力) (2/3)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp↑) 注1	t_{SIK1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	81		479		ns
		$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	177		479		ns
		$1.9 \text{ V}^{\text{注4}} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}^{\text{注3}}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	479		479		ns
Slpホールド時間 (対SCKp↑) 注1	t_{KSI1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	19		19		ns
		$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	19		19		ns
		$1.9 \text{ V}^{\text{注4}} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}^{\text{注3}}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	19		19		ns
SCKp↓→SOp出力 遅延時間注1	t_{KSO1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$		100		100	ns
		$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$		195		195	ns
		$1.9 \text{ V}^{\text{注4}} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}^{\text{注3}}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$		483		483	ns

(注, 注意, 備考は次ページにあります。)

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信 ($f_{MCK}/4$), 簡易SPI (CSI)モード時 (マスタ・モード, SCKp…内部クロック出力) (3/3)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp↓) 注2	t_{SIK1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	44		110		ns
		$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	44		110		ns
		$1.9 \text{ V}^{\text{注4}} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}^{\text{注3}}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	110		110		ns
Slpホールド時間 (対SCKp↓) 注2	t_{KSI1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	19		19		ns
		$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	19		19		ns
		$1.9 \text{ V}^{\text{注4}} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}^{\text{注3}}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	19		19		ns
SCKp↑→SOp出力 遅延時間注2	t_{KSO1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$		25		25	ns
		$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$		25		25	ns
		$1.9 \text{ V}^{\text{注4}} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}^{\text{注3}}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$		25		25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3. $EV_{DD} \geq V_b$ で使用してください。

4. HS (高速メイン) モード時は2.4 Vになります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子はTTL入力バッファ, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。なお V_{IH} , V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω]: 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SCKp, SOp) 負荷容量値, V_b [V]: 通信ライン電圧

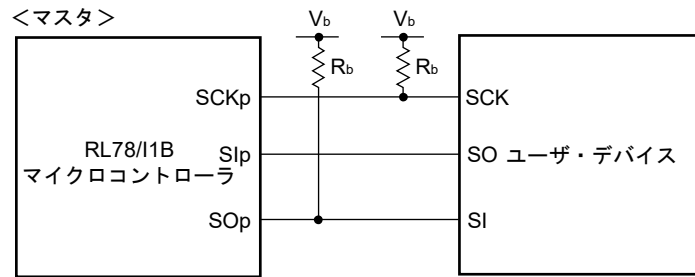
2. p: CSI番号 (p = 00), m: ユニット番号, n: チャネル番号 (mn = 00), g: PIM, POM番号 (g = 0, 1)

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。

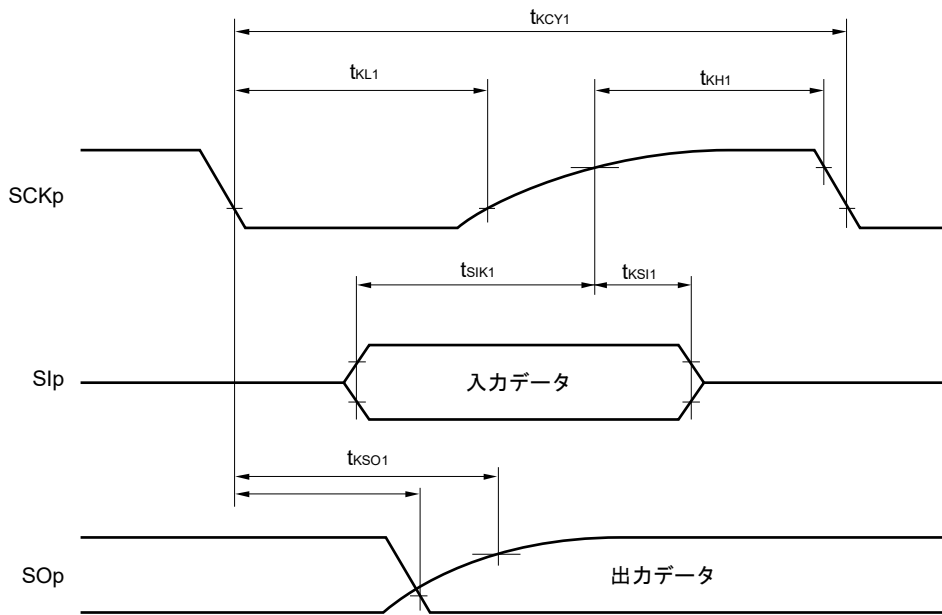
m: ユニット番号, n: チャネル番号 (mn = 00))

簡易SPI (CSI)モード接続図 (異電位通信時)

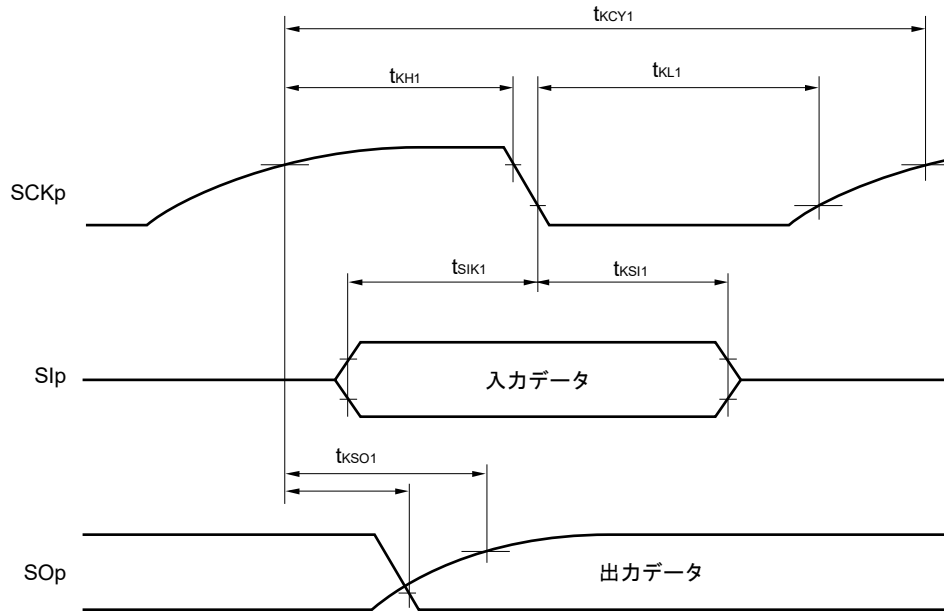


簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード (異電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
 （DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファ、SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。なお V_{IH} , V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

備考 p : CSI番号 (p = 00) , m : ユニット番号, n : チャネル番号 (mn = 00) , g : PIM, POM番号 (g = 0, 1)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信, 簡易SPI (CSI)モード時 (スレーブ・モード, SCKp…外部クロック入力)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$) (1/2)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム ^{注1}	t _{KCY2}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$	$20 \text{ MHz} < f_{MCK} \leq 24 \text{ MHz}$	$12/f_{MCK}$		—		ns
			$8 \text{ MHz} < f_{MCK} \leq 20 \text{ MHz}$	$10/f_{MCK}$		—		ns
			$4 \text{ MHz} < f_{MCK} \leq 8 \text{ MHz}$	$8/f_{MCK}$		$16/f_{MCK}$		ns
			$f_{MCK} \leq 4 \text{ MHz}$	$6/f_{MCK}$		$10/f_{MCK}$		ns
		$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$	$20 \text{ MHz} < f_{MCK} \leq 24 \text{ MHz}$	$16/f_{MCK}$		—		ns
			$16 \text{ MHz} < f_{MCK} \leq 20 \text{ MHz}$	$14/f_{MCK}$		—		ns
			$8 \text{ MHz} < f_{MCK} \leq 16 \text{ MHz}$	$12/f_{MCK}$		—		ns
			$4 \text{ MHz} < f_{MCK} \leq 8 \text{ MHz}$	$8/f_{MCK}$		$16/f_{MCK}$		ns
			$f_{MCK} \leq 4 \text{ MHz}$	$6/f_{MCK}$		$10/f_{MCK}$		ns
		$1.9 \text{ V}^{\text{注5}} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}^{\text{注2}}$	$20 \text{ MHz} < f_{MCK} \leq 24 \text{ MHz}$	$36/f_{MCK}$		—		ns
			$16 \text{ MHz} < f_{MCK} \leq 20 \text{ MHz}$	$32/f_{MCK}$		—		ns
			$8 \text{ MHz} < f_{MCK} \leq 16 \text{ MHz}$	$26/f_{MCK}$		—		ns
			$4 \text{ MHz} < f_{MCK} \leq 8 \text{ MHz}$	$16/f_{MCK}$		$16/f_{MCK}$		ns
			$f_{MCK} \leq 4 \text{ MHz}$	$10/f_{MCK}$		$10/f_{MCK}$		ns

(注, 注意, 備考は次ページにあります。)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信, 簡易SPI (CSI)モード時 (スレーブ・モード, SCKp…外部クロック入力)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$) (2/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCKp ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	t _{KCV2} /2- 12		t _{KCV2} /2- 50		ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V	t _{KCV2} /2- 18		t _{KCV2} /2- 50		ns
		1.9 V ^{注5} ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}	t _{KCV2} /2- 50		t _{KCV2} /2- 50		ns
Slpセットアップ時間 (対SCKp↑) 注3	t _{SIK2}	2.7 V ≤ EV _{DD} ≤ 5.5 V, 2.3 V ≤ V _b ≤ 4.0 V ^{注2}	1/f _{MCK} + 20		1/f _{MCK} + 30		ns
		1.9 V ^{注5} ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}	1/f _{MCK} + 30		1/f _{MCK} + 30		ns
Slpホールド時間 (対SCKp↑) 注3	t _{SI2}	2.7 V ≤ EV _{DD} ≤ 5.5 V, 2.3 V ≤ V _b ≤ 4.0 V ^{注2}	1/f _{MCK} + 31		1/f _{MCK} + 31		ns
		1.9 V ^{注5} ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}	1/f _{MCK} + 31		1/f _{MCK} + 31		ns
SCKp↓→Sop 出力遅延時間 ^{注4}	t _{KSO2}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		2/f _{MCK} + 120		2/f _{MCK} + 573	ns
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		2/f _{MCK} + 214		2/f _{MCK} + 573	ns
		1.9 V ^{注5} ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 30 pF, R _b = 5.5 kΩ		2/f _{MCK} + 573		2/f _{MCK} + 573	ns

注1. SNOOZEモードでの転送レートは, MAX.: 1 Mbps

2. EV_{DD} ≥ V_bで使用してください。

3. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対SCKp↓”となります。

4. DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき。DAP_{mn} = 0, CKP_{mn} = 1またはDAP_{mn} = 1, CKP_{mn} = 0のときは“対SCKp↑”となります。

5. HS (高速メイン) モード時は2.4 Vになります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子とSCKp端子はTTL入力バッファ, Sop端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω]: 通信ライン (SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SOp) 負荷容量値,

V_b [V]: 通信ライン電圧

2. p: CSI番号 (p = 00), m: ユニット番号, n: チャネル番号 (mn = 00),

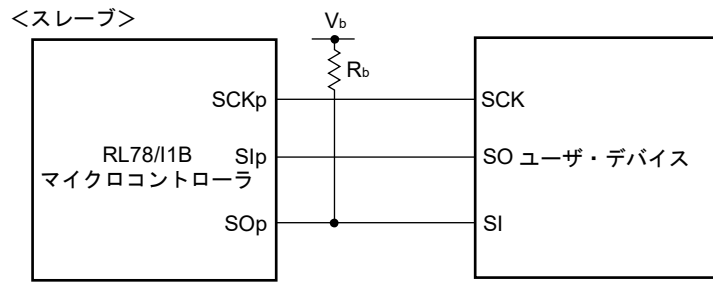
g: PIM, POM番号 (g = 0, 1)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

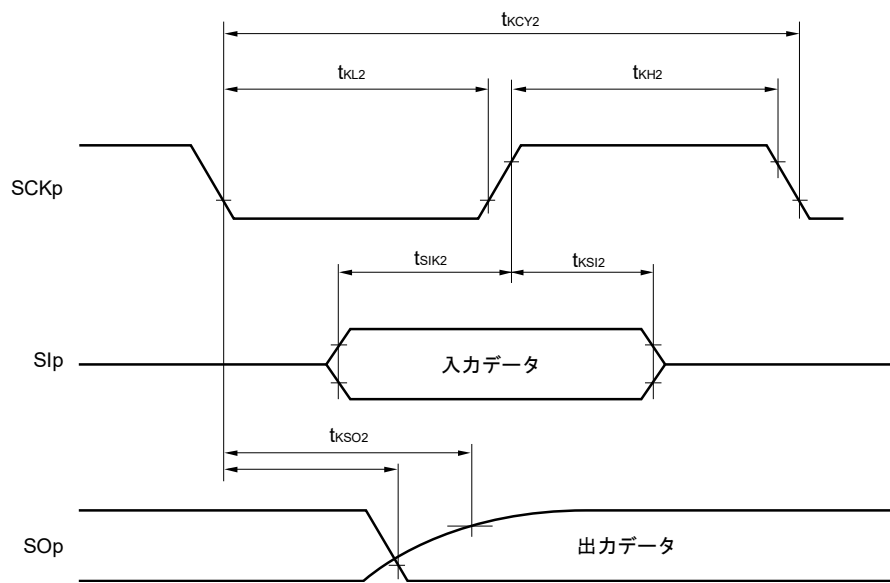
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKS_{mn}ビットで設定された動作クロック。

m: ユニット番号, n: チャネル番号 (mn = 00))

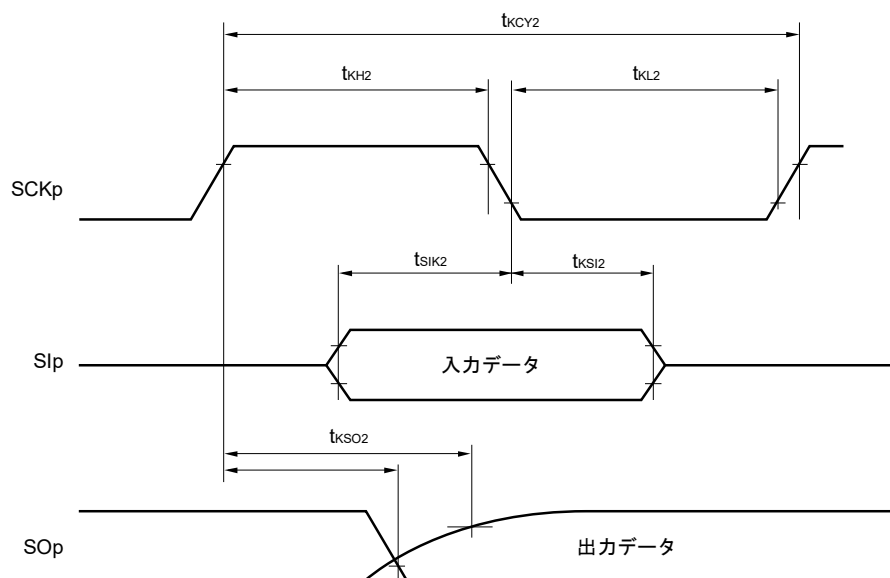
簡易SPI (CSI)モード接続図 (異電位通信時)



簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード (異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード (異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子はTTL入力バッファ、SOOp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。なお V_{IH} , V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

備考 p : CSI番号 (p = 00) , m : ユニット番号, n : チャネル番号 (mn = 00) , g : PIM, POM番号 (g = 0, 1)

(9) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード) (1/2)

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		300 ^{注1}	kHz
		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400 ^{注1}		300 ^{注1}	kHz
		1.9 V ^{注4} ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ		300 ^{注1}		300 ^{注1}	kHz
SCLr = "L"のホール ド・タイム	t _{LOW}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		ns
		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		1550		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		ns
		1.9 V ^{注4} ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	1550		1550		ns
SCLr = "H"のホール ド・タイム	t _{HIGH}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		610		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		610		ns
		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		610		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		610		ns
		1.9 V ^{注4} ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	610		610		ns

(注, 注意は次ページ, 備考は次々ページにあります。)

(9) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード) (2/2)

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
			データ・セットアップ時間 (受信時)	t _{SU} : DAT	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/f _{MCK} + 135 注3	
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/f _{MCK} + 135 注3		1/f _{MCK} + 190 注3		ns
		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		ns
		1.9 V ^{注4} ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		ns
データ・ホールド時間 (送信時)	t _{HD} : DAT	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	ns
		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	355	0	355	ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	0	355	ns
		1.9 V ^{注4} ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	0	405	0	405	ns

注 1. かつf_{MCK}/4以下に設定してください。

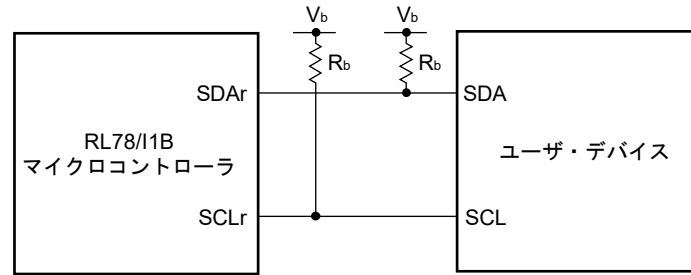
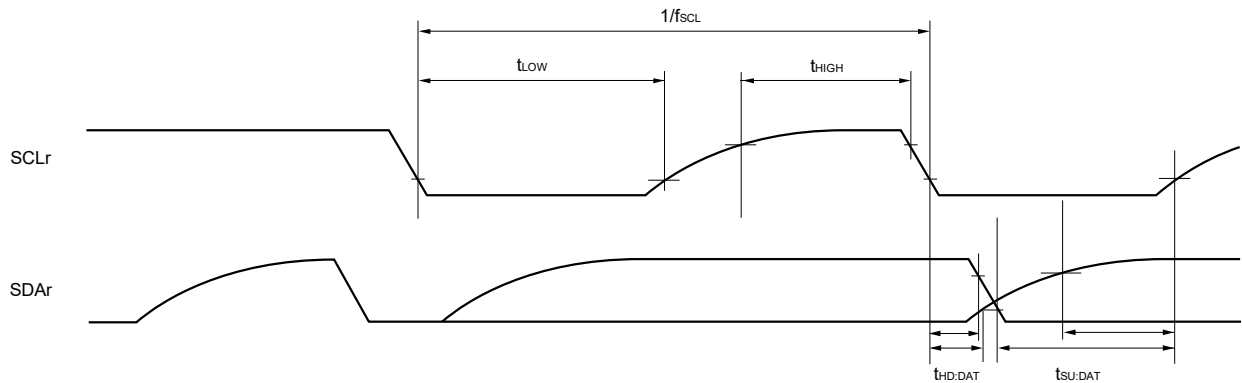
2. EVDD ≥ Vbで使用してください。

3. f_{MCK}値は, SCLr = "L"とSCLr = "H"のホールド・タイムを超えない設定にしてください。

4. HS (高速メイン) モード時は2.4 Vになります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, SDArはTTL入力バッファ, N-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択, SCLrはN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図（異電位通信時）簡易I²Cモード・シリアル転送タイミング（異電位通信時）

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択、SCLrはN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。なおV_{IH}、V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

- 備考1. R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値,
V_b [V]: 通信ライン電圧
2. r: IIC番号 (r = 00, 10), g: PIM, POM番号 (g = 0, 1)
3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定された動作クロック。
m: ユニット番号, n: チャンネル番号 (mn = 00, 02))

37.5.2 シリアル・インタフェースIICA

(1) I²C標準モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCLA0クロック 周波数	f _{SCL}	標準モード	$2.7 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$	0	100	0	100	kHz
		ド : f _{CLK} ≥ 1 MHz	$1.9 \text{ V}^{\text{注3}} \leq EV_{DD} \leq 5.5 \text{ V}$	0	100	0	100	kHz
リスタート・コンディ ションのセット アップ時間	t _{SU : STA}	$2.7 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$		4.7		4.7		μs
		$1.9 \text{ V}^{\text{注3}} \leq EV_{DD} \leq 5.5 \text{ V}$		4.7		4.7		μs
ホールド時間 ^{注1}	t _{HD : STA}	$2.7 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$		4.0		4.0		μs
		$1.9 \text{ V}^{\text{注3}} \leq EV_{DD} \leq 5.5 \text{ V}$		4.0		4.0		μs
SCLA0 = "L"のホー ルド・タイム	t _{LOW}	$2.7 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$		4.7		4.7		μs
		$1.9 \text{ V}^{\text{注3}} \leq EV_{DD} \leq 5.5 \text{ V}$		4.7		4.7		μs
SCLA0 = "H"のホー ルド・タイム	t _{HIGH}	$2.7 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$		4.0		4.0		μs
		$1.9 \text{ V}^{\text{注3}} \leq EV_{DD} \leq 5.5 \text{ V}$		4.0		4.0		μs
データ・セットアッ プ時間 (受信時)	t _{SU : DAT}	$2.7 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$		250		250		ns
		$1.9 \text{ V}^{\text{注3}} \leq EV_{DD} \leq 5.5 \text{ V}$		250		250		ns
データ・ホールド時 間 (送信時) ^{注2}	t _{HD : DAT}	$2.7 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$		0	3.45	0	3.45	μs
		$1.9 \text{ V}^{\text{注3}} \leq EV_{DD} \leq 5.5 \text{ V}$		0	3.45	0	3.45	μs
ストップ・コンディ ションのセットア ップ時間	t _{SU : STO}	$2.7 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$		4.0		4.0		μs
		$1.9 \text{ V}^{\text{注3}} \leq EV_{DD} \leq 5.5 \text{ V}$		4.0		4.0		μs
パス・フリー時間	t _{BUF}	$2.7 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$		4.7		4.7		μs
		$1.9 \text{ V}^{\text{注3}} \leq EV_{DD} \leq 5.5 \text{ V}$		4.7		4.7		μs

注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, ACK (アクノリッジ) タイミングでは, クロック・ストレッチがかかります。

3. HS (高速メイン) モード時は2.4 Vになります。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

標準モード : C_b = 400 pF, R_b = 2.7 kΩ

(2) I²C ファースト・モード

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCLA0クロック 周波数	f _{SCL}	ファースト・モード : f _{CLK} ≥ 3.5 MHz	2.7 V ≤ EVDD ≤ 5.5 V	0	400	0	400	kHz
			1.9 V ^{注3} ≤ EVDD ≤ 5.5 V	0	400	0	400	kHz
リスタート・コンディションのセットアップ時間	t _{SU: STA}		2.7 V ≤ EVDD ≤ 5.5 V	0.6		0.6		μs
			1.9 V ^{注3} ≤ EVDD ≤ 5.5 V	0.6		0.6		μs
ホールド時間 ^{注1}	t _{HD: STA}		2.7 V ≤ EVDD ≤ 5.5 V	0.6		0.6		μs
			1.9 V ^{注3} ≤ EVDD ≤ 5.5 V	0.6		0.6		μs
SCLA0 = "L"のホールド・タイム	t _{LOW}		2.7 V ≤ EVDD ≤ 5.5 V	1.3		1.3		μs
			1.9 V ^{注3} ≤ EVDD ≤ 5.5 V	1.3		1.3		μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}		2.7 V ≤ EVDD ≤ 5.5 V	0.6		0.6		μs
			1.9 V ^{注3} ≤ EVDD ≤ 5.5 V	0.6		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU: DAT}		2.7 V ≤ EVDD ≤ 5.5 V	100		100		ns
			1.9 V ^{注3} ≤ EVDD ≤ 5.5 V	100		100		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD: DAT}		2.7 V ≤ EVDD ≤ 5.5 V	0	0.9	0	0.9	μs
			1.9 V ^{注3} ≤ EVDD ≤ 5.5 V	0	0.9	0	0.9	μs
ストップ・コンディションのセットアップ時間	t _{SU: STO}		2.7 V ≤ EVDD ≤ 5.5 V	0.6		0.6		μs
			1.9 V ^{注3} ≤ EVDD ≤ 5.5 V	0.6		0.6		μs
パス・フリー時間	t _{BUF}		2.7 V ≤ EVDD ≤ 5.5 V	1.3		1.3		μs
			1.9 V ^{注3} ≤ EVDD ≤ 5.5 V	1.3		1.3		μs

注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD: DAT}の最大値 (MAX.) は, 通常転送時の数値であり, ACK (アクノリッジ) タイミングでは, クロック・ストレッチがかかります。

3. HS (高速メイン) モード時は2.4 Vになります。

備考 各モードにおけるCb (通信ライン容量) のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

ファースト・モード : Cb = 320 pF, Rb = 1.1 kΩ

(3) I²C ファースト・モード・プラス

(T_A = -40~+85 °C, 1.9 V ≤ V_{DD} = EV_{DD} ≤ 5.5 V, V_{SS} = EV_{SS} = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		単位	
				MIN.	MAX.	MIN.	MAX.		
SCLA0クロック 周波数	f _{SCL}	ファースト・モード・プラス : f _{CLK} ≥ 10 MHz	2.7 V ≤ EV _{DD} ≤ 5.5 V		0	1000	-	-	kHz
リスタート・コンディションのセットアップ時間	t _{SU : STA}	2.7 V ≤ EV _{DD} ≤ 5.5 V		0.26		-	-		μs
ホールド時間 ^{注1}	t _{HD : STA}	2.7 V ≤ EV _{DD} ≤ 5.5 V		0.26		-	-		μs
SCLA0 = "L"のホールド・タイム	t _{LOW}	2.7 V ≤ EV _{DD} ≤ 5.5 V		0.5		-	-		μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}	2.7 V ≤ EV _{DD} ≤ 5.5 V		0.26		-	-		μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}	2.7 V ≤ EV _{DD} ≤ 5.5 V		50		-	-		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD : DAT}	2.7 V ≤ EV _{DD} ≤ 5.5 V		0	0.45	-	-		μs
ストップ・コンディションのセットアップ時間	t _{SU : STO}	2.7 V ≤ EV _{DD} ≤ 5.5 V		0.26		-	-		μs
パス・フリー時間	t _{BUF}	2.7 V ≤ EV _{DD} ≤ 5.5 V		0.5		-	-		μs

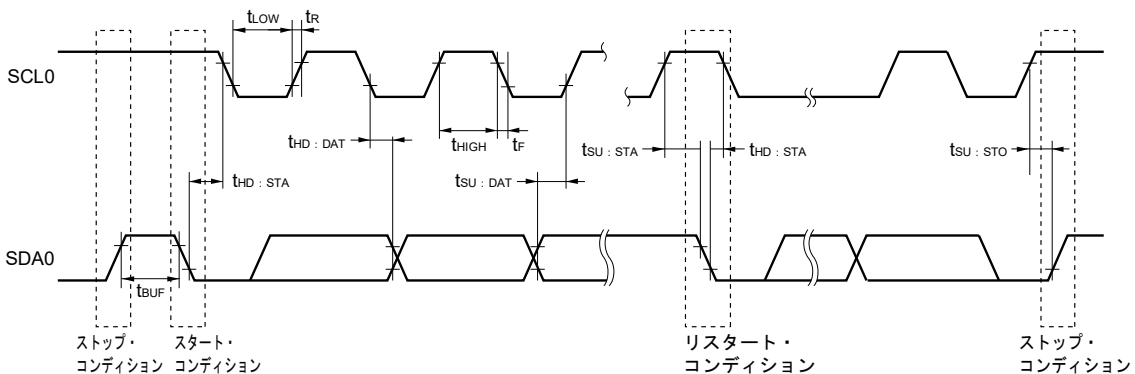
注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, ACK (アクノリッジ) タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

ファースト・モード・プラス : C_b = 120 pF, R_b = 1.1 kΩ

I²Cシリアル転送タイミング



37.6 アナログ特性

37.6.1 A/Dコンバータ特性

(1) 基準電圧 (+) = $AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), 基準電圧 (-) = $AV_{REFM}/ANI1$ ($ADREFM =$

1) 選択時, 変換対象: ANI2-ANI5, 内部基準電圧

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, 基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1,2}	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$	$1.9 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$		1.2	± 5.0	LSB
変換時間	t_{CONV}	10ビット分解能	$3.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	2.125		39	μs
			$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	3.1875		39	μs
			$1.9 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1,2}	EZS	10ビット分解能 $AV_{REFP} = V_{DD}$	$1.9 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$			± 0.35	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能 $AV_{REFP} = V_{DD}$	$1.9 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$			± 0.35	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $AV_{REFP} = V_{DD}$	$1.9 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$			± 3.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $AV_{REFP} = V_{DD}$	$1.9 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$			± 2.0	LSB
基準電圧 (+)	AV_{REFP}			1.9		V_{DD}	V
アナログ入力電圧	V_{AIN}			0		AV_{REFP}	V
	V_{BGR}	内部基準電圧出力を選択, $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, HS (高速メイン) モード		1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

(2) 基準電圧 (+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = V_{SS} (ADREFM = 0) 選択時,
変換対象: ANI0-ANI5, 内部基準電圧

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, 基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1, 2}	AINL	10ビット分解能 $1.9 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		1.2	± 10.5	LSB
変換時間	t_{CONV}	10ビット分解能 $3.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	2.125		39	μs
		$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	3.1875		39	μs
		$1.9 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	10ビット分解能 $1.9 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.85	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	10ビット分解能 $1.9 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.85	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $1.9 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 4.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $1.9 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 2.0	LSB
アナログ入力電圧	V _{AIN}		0		V_{DD}	V
	V _{BGR}	内部基準電圧出力を選択, $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, HS (高速メイン) モード	1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 基準電圧 (+) = V_{DD} を使用する場合は、バッテリー・バックアップ機能の電源切り替え回路の影響による電圧降下を考慮に入れて、A/D変換結果を使用してください。また、A/D変換中HALTモードに移行し、 V_{DD} 系のポートは入力に設定してください。

(3) 基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = AVREFM/ANI1 (ADREFM = 1) 選択時, 変換対象 : ANI0, ANI2-ANI5

(TA = -40~+85 °C, 2.4 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V, 基準電圧 (+) = VBGR, 基準電圧 (-) = AVREFM = 0 V, HS (高速メイン) モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	t _{CONV}	8ビット分解能	2.4 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	8ビット分解能	2.4 V ≤ V _{DD} ≤ 5.5 V			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	2.4 V ≤ V _{DD} ≤ 5.5 V			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	2.4 V ≤ V _{DD} ≤ 5.5 V			±1.0	LSB
基準電圧 (+)	V _{BGR}			1.38	1.45	1.5	V
アナログ入力電圧	V _{AIN}			0		V _{BGR}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

37.6.2 24ビット $\Delta\Sigma$ A/Dコンバータ特性

(1) 基準電圧

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $AV_{DD} \leq V_{DD} + 0.3 \text{ V}$, $2.4 \text{ V} \leq AV_{DD} \leq 5.5 \text{ V}$, $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
内部基準電圧	V _{AVRTO}			0.8		V
内部基準電圧の温度係数	dREF/dt	AREGC, AVRT, AVCM端子接続の0.47 μF コンデンサ		30	90	ppm/ $^\circ\text{C}$

(2) アナログ入力

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $AV_{DD} \leq V_{DD} + 0.3 \text{ V}$, $2.4 \text{ V} \leq AV_{DD} \leq 5.5 \text{ V}$, $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲 (差動)	V _{AIN}	$\times 1$ ゲイン	-500		500	mV
		$\times 2$ ゲイン	-250		250	
		$\times 4$ ゲイン	-125		125	
		$\times 8$ ゲイン	-62.5		62.5	
		$\times 16$ ゲイン	-31.25		31.25	
		$\times 32$ ゲイン (電流チャネルのみ)	-15.625		15.625	
入力ゲイン	ainGAIN	$\times 1$ ゲイン		1		dB
		$\times 2$ ゲイン		2		
		$\times 4$ ゲイン		4		
		$\times 8$ ゲイン		8		
		$\times 16$ ゲイン		16		
		$\times 32$ ゲイン (電流チャネルのみ)		32		
入力インピーダンス	ainRIN	差動	150	360		k Ω
		シングルエンド	100	240		

(3) 4 kHzサンプリング・モード

(TA = -40~+85 °C, AVDD ≤ VDD + 0.3 V, 2.4 V ≤ AVDD ≤ 5.5 V, 2.4 V ≤ VDD ≤ 5.5 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作クロック	f _{DSAD}	f _x 発振クロック/外部入力クロック/高速オンチップ・オシレータ・クロック使用		12		MHz
サンプリング周波数	f _s			3906.25		Hz
オーバーサンプリング周波数	f _{OS}			1.5		MHz
出力データ・レート	T _{DATA}			256		μs
データ幅	RES			24		bit
SNDR	SNDR	×1ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)		80		dB
		×16ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)	69	74		
		×32ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)	65	69		
通過域 (低域側)	f _{Chpf}	@-3 dB (HPF内位相調整off) DSADHPFCRレジスタのビット7, 6 (DSADCOF1, DSADCOF0) = 00		0.607		Hz
		@-3 dB (HPF内位相調整off) DSADHPFCRレジスタのビット7, 6 (DSADCOF1, DSADCOF0) = 01		1.214		Hz
		@-3 dB (HPF内位相調整off) DSADHPFCRレジスタのビット7, 6 (DSADCOF1, DSADCOF0) = 10		2.429		Hz
		@-3 dB (HPF内位相調整off) DSADHPFCRレジスタのビット7, 6 (DSADCOF1, DSADCOF0) = 11		4.857		Hz
帯域内ripple 1	rp1	45 Hz-55 Hz @50 Hz	-0.01		0.01	dB
		54 Hz-66 Hz @60 Hz				
帯域内ripple 2	rp2	45 Hz-275 Hz @50 Hz	-0.1		0.1	
		54 Hz-330 Hz @60 Hz				
帯域内ripple 3	rp3	45 Hz-1100 Hz @50 Hz	-0.1		0.1	
		54 Hz-1320 Hz @60 Hz				
通過域 (高域側)	f _{Cipf}	-3 dB		1672		Hz
阻止域 (高域側)	f _{att}	-80 dB		2545		Hz
帯域外減衰量	ATT1	f _s	-80			dB
	ATT2	2 f _s	-80			dB

(4) 2 kHzサンプリング・モード

(TA = -40~+85 °C, AVDD ≤ VDD + 0.3 V, 2.4 V ≤ AVDD ≤ 5.5 V, 2.4 V ≤ VDD ≤ 5.5 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作クロック	f _{DSAD}	f _x 発振クロック/外部入力クロック/高速オンチップ・オシレータ・クロック使用		12		MHz
サンプリング周波数	f _s			1953.125		Hz
オーバーサンプリング周波数	f _{OS}			0.75		MHz
出力データ・レート	T _{DATA}			512		μs
データ幅	RES			24		bit
SNDR	SNDR	×1 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)		80		dB
		×16 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)	69	74		
		×32 ゲイン 24ビットΔΣA/Dコンバータの動作クロックに高速システム・クロックを選択 (PCKCレジスタのビット0 (DSADCK) = 1)	65	69		
通過域 (低域側)	f _{Chpf}	@-3 dB (HPF内位相調整off)		0.303		Hz
帯域内ripple 1	rp1	45 Hz-55 Hz @50 Hz	-0.01		0.01	dB
		54 Hz-66 Hz @60 Hz				
帯域内ripple 2	rp2	45 Hz-275 Hz @50 Hz	-0.1		0.1	
		54 Hz-330 Hz @60 Hz				
帯域内ripple 3	rp3	45 Hz-660 Hz @50 Hz	-0.1		0.1	
		54 Hz-550 Hz @60 Hz				
通過域 (高域側)	f _{Cipf}	-3 dB		836		Hz
阻止域 (高域側)	f _{att}	-80 dB		1273		Hz
帯域外減衰量	ATT1	f _s	-80			dB
	ATT2	2 f _s	-80			dB

37.6.3 温度センサ2特性

(TA = -40~+85 °C, 2.4 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ2出力電圧	V _{OUT}			0.67		V
温度係数	F _{VTMPS2}	温度センサ電圧の温度依存	-11.7	-10.7	-9.7	mV/°C
動作安定待ち時間 ^注	t _{TM PON}	動作可能		15	50	μs
	t _{TM PCHG}	モード切り替え		5	15	μs

注 出力安定値±5LSB (±7 mV) 以下に収まるまでの時間。

37.6.4 コンパレータ

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力電圧範囲	lvref		0		$V_{DD} - 1.4$	V	
	lvcmp		-0.3		$V_{DD} + 0.3$	V	
出力遅延	td	$V_{DD} = 3.0\text{V}$ 入カスルーレート > 50 mV/ μs	コンパレータ高速モード, 基本モード			1.2	μs
			コンパレータ高速モード, ウィンドウモード			2.0	μs
			コンパレータ低速モード, 基本モード		3	5.0	μs
高電位側基準電圧	VTW+	コンパレータ高速モード, ウィンドウモード		0.76 V_{DD}		V	
低電位側基準電圧	VTW-	コンパレータ高速モード, ウィンドウモード		0.24 V_{DD}		V	
動作安定待ち時間	tCMP		100			μs	
基準出力電圧	V_{CMPREF}		1.00	1.45	1.50	V	

37.6.5 POR回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}	電源立ち上がり時 ^{注1}	1.47	1.51	1.55	V
	V_{PDR}	電源立ち下がり時 ^{注2}	1.46	1.50	1.54	V

注1. V_{DD} が37.4 AC特性に示す動作電圧範囲の V_{DD} (MIN.) を超えるまで、電圧検出機能か外部リセット端子でリセット状態を保ってください。

- ただし、LVDオフの条件で電源電圧降下時は、電源電圧が37.4 AC特性に示す動作電圧範囲の最小値を下回る前に、STOPモードに移行、または電圧検出機能か外部リセット端子で、リセット状態にしてください。

37.6.6 LVD回路特性

リセット・モード、割り込みモードのLVD検出電圧

(TA = -40~+85 °C, VPDR ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VLVD0	電源立ち上がり時	3.98	4.06	4.24	V
		電源立ち下がり時	3.90	3.98	4.16	V
	VLVD1	電源立ち上がり時	3.68	3.75	3.92	V
		電源立ち下がり時	3.60	3.67	3.84	V
	VLVD2	電源立ち上がり時	3.07	3.13	3.29	V
		電源立ち下がり時	3.00	3.06	3.22	V
	VLVD3	電源立ち上がり時	2.96	3.02	3.18	V
		電源立ち下がり時	2.90	2.96	3.12	V
	VLVD4	電源立ち上がり時	2.86	2.92	3.07	V
		電源立ち下がり時	2.80	2.86	3.01	V
	VLVD5	電源立ち上がり時	2.76	2.81	2.97	V
		電源立ち下がり時	2.70	2.75	2.91	V
	VLVD6	電源立ち上がり時	2.66	2.71	2.86	V
		電源立ち下がり時	2.60	2.65	2.80	V
	VLVD7	電源立ち上がり時	2.56	2.61	2.76	V
		電源立ち下がり時	2.50	2.55	2.70	V
	VLVD8	電源立ち上がり時	2.45	2.50	2.65	V
		電源立ち下がり時	2.40	2.45	2.60	V
	VLVD9	電源立ち上がり時	2.05	2.09	2.23	V
		電源立ち下がり時	2.00	2.04	2.18	V
VLVD10	電源立ち上がり時	1.94	1.98	2.12	V	
	電源立ち下がり時	1.90	1.94	2.08	V	
最小パルス幅	tLW		300			μs
検出遅延					300	μs

割り込み&リセット・モードのLVD検出電圧

(TA = -40~+85 °C, VPDR ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVD8	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がりリセット電圧	2.40	2.45	2.60	V	
	VLVD7	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.76	V
			立ち下がり割り込み電圧	2.50	2.55	2.70	V
	VLVD6	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.86	V
			立ち下がり割り込み電圧	2.60	2.65	2.80	V
	VLVD1	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.68	3.75	3.92	V
			立ち下がり割り込み電圧	3.60	3.67	3.84	V
	VLVD5	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧	2.70	2.75	2.91	V	
	VLVD4	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	3.07	V
			立ち下がり割り込み電圧	2.80	2.86	3.01	V
	VLVD3	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.18	V
			立ち下がり割り込み電圧	2.90	2.96	3.12	V
	VLVD0	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.24	V
			立ち下がり割り込み電圧	3.90	3.98	4.16	V

37.6.7 電源電圧立ち上がり傾き特性

(TA = -40~+85 °C, VSS = 0 V)

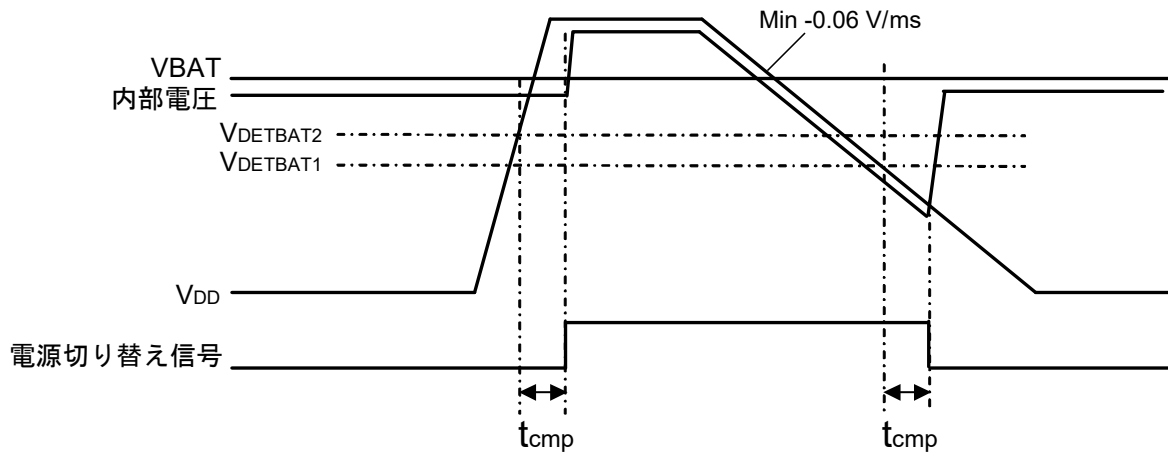
項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SV _{DDR}				54	V/ms

注意 V_{DD}が37.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

37.7 バッテリ・バックアップ機能

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源切り替え検出電圧	$V_{DET\text{BAT}1}$	$V_{DD} \rightarrow V_{BAT}$	1.92	2.00	2.08	V
	$V_{DET\text{BAT}2}$	$V_{BAT} \rightarrow V_{DD}$	2.02	2.10	2.18	V
V_{DD} の立ち下がり傾き	SV_{DDF}		-0.06			V/ms
電源切り替え検出回路の応答時間	t_{cmp}				300	μs



37.8 LCD特性

37.8.1 外部抵抗分割方式

(1) スタティック・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{L4}(\text{MIN.}) \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{L4}		2.0		V_{DD}	V

(2) 1/2バイアス, 1/4バイアス

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{L4}(\text{MIN.}) \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{L4}		2.7		V_{DD}	V

(3) 1/3バイアス

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{L4}(\text{MIN.}) \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{L4}		2.5		V_{DD}	V

37.8.2 内部昇圧方式

(1) 1/3バイアス

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C4 ^{注1} = 0.47 μF ^{注2}	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
			VLCD = 0BH	1.25	1.35	1.43	V
			VLCD = 0CH	1.30	1.40	1.48	V
			VLCD = 0DH	1.35	1.45	1.53	V
			VLCD = 0EH	1.40	1.50	1.58	V
			VLCD = 0FH	1.45	1.55	1.63	V
			VLCD = 10H	1.50	1.60	1.68	V
			VLCD = 11H	1.55	1.65	1.73	V
VLCD = 12H	1.60	1.70	1.78	V			
VLCD = 13H	1.65	1.75	1.83	V			
ダブル出力電圧	VL2	C1-C4 ^{注1} = 0.47 μF	$2 V_{L1} - 0.10$	$2 V_{L1}$	$2 V_{L1}$	V	
トリプル出力電圧	VL4	C1-C4 ^{注1} = 0.47 μF	$3 V_{L1} - 0.15$	$3 V_{L1}$	$3 V_{L1}$	V	
基準電圧セットアップ時間 ^{注2}	t_{WAIT1}		5			ms	
昇圧ウエイト時間 ^{注3}	t_{WAIT2}	C1-C4 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

$C1 = C2 = C3 = C4 = 0.47 \mu\text{F} \pm 30\%$

2. VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0ビット = 01B）にしてから）、昇圧を開始する（VLCON = 1）までに必要なウエイト時間です。

3. 昇圧を開始してから（VLCON = 1）、表示が可能になる（LCDON = 1）までのウエイト時間です。

(2) 1/4バイアス

(TA = -40~+85 °C, 1.9 V ≤ VDD = EVDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C5 ^{注1} = 0.47 μF ^{注2}	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
ダブル出力電圧	VL2	C1-C5 ^{注1} = 0.47 μF	2 VL1 - 0.08	2 VL1	2 VL1	V	
トリプル出力電圧	VL3	C1-C5 ^{注1} = 0.47 μF	3 VL1 - 0.12	3 VL1	3 VL1	V	
クアドロ出力電圧	VL4	C1-C5 ^{注1} = 0.47 μF	4 VL1 - 0.16	4 VL1	4 VL1	V	
基準電圧セットアップ時間 ^{注2}	t _{WAIT1}		5			ms	
昇圧ウエイト時間 ^{注3}	t _{WAIT2}	C1-C5 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL3-GND間に接続するコンデンサです。

C5 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = C5 = 0.47 μF ± 30%

- VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（LCDM0レジスタのMDSET1, MDSET0 = 01B）してから）、昇圧を開始する（VLCON = 1）までに必要なウエイト時間です。
- 昇圧を開始してから（VLCON = 1）、表示が可能になる（LCDON = 1）までのウエイト時間です。

37.8.3 容量分割方式

(1) 1/3バイアス

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.2 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{L4} 電圧	V_{L4}	$C1-C4 = 0.47 \mu\text{F}$ ^{注2}		V_{DD}		V
V_{L2} 電圧	V_{L2}	$C1-C4 = 0.47 \mu\text{F}$ ^{注2}	$2/3 V_{L4} -$ 0.1	$2/3 V_{L4}$	$2/3 V_{L4} +$ 0.1	V
V_{L1} 電圧	V_{L1}	$C1-C4 = 0.47 \mu\text{F}$ ^{注2}	$1/3 V_{L4} -$ 0.1	$1/3 V_{L4}$	$1/3 V_{L4} +$ 0.1	V
容量分割ウェイト時間 ^{注1}	t_{WAIT}		100			ms

注1. 降圧を開始してから ($V_{LCON} = 1$) , 表示が可能になる ($LCDON = 1$) までのウェイト時間です。

2. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : V_{L1} -GND間に接続するコンデンサです。

C3 : V_{L2} -GND間に接続するコンデンサです。

C4 : V_{L4} -GND間に接続するコンデンサです。

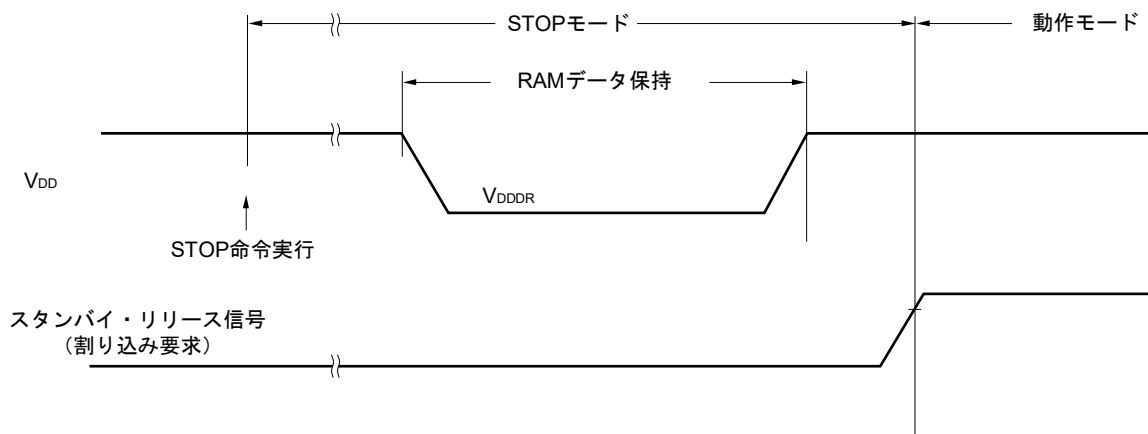
$C1 = C2 = C3 = C4 = 0.47 \mu\text{F} \pm 30\%$

37.9 RAMデータ保持特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.46 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



37.10 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f _{CLK}	$1.9 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1		24	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	C _{enwr}	保持20年 $T_A = 85 \text{ } ^\circ\text{C}$	1,000			回

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

37.11 専用フラッシュ・メモリ・プログラマ通信 (UART)

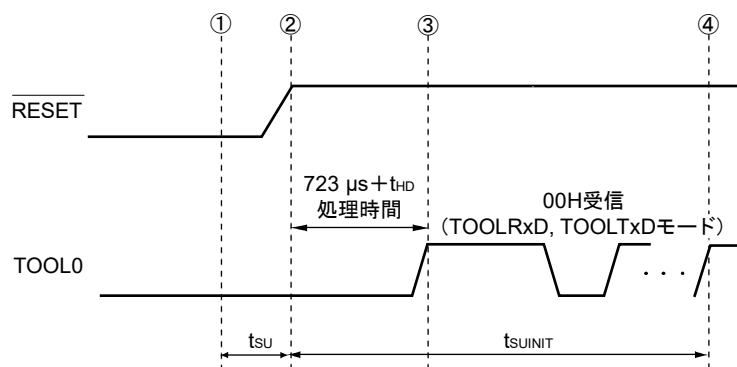
($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

37. 12 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.9 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t_{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除 (その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 t_{SUINIT} : この区間では、リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、端子リセットを解除するまでの時間

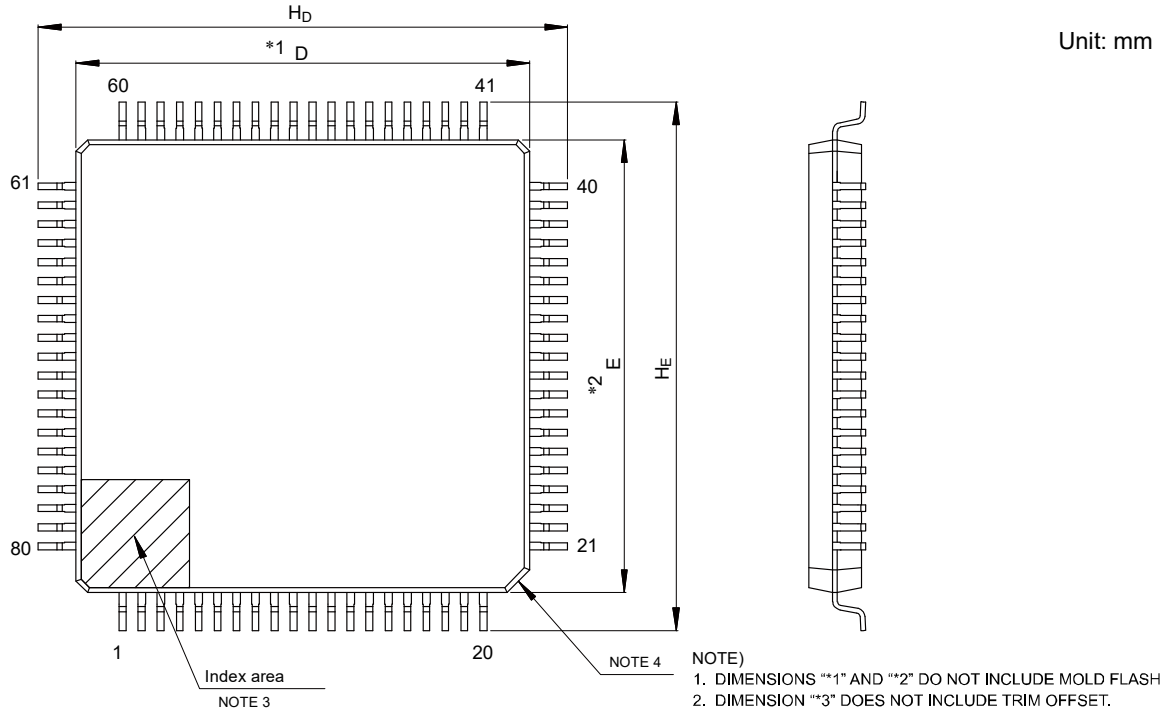
t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間 (フラッシュ・ファーム処理時間を除く)

第38章 外形図

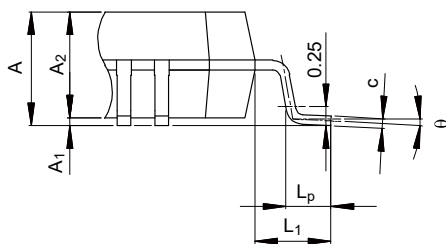
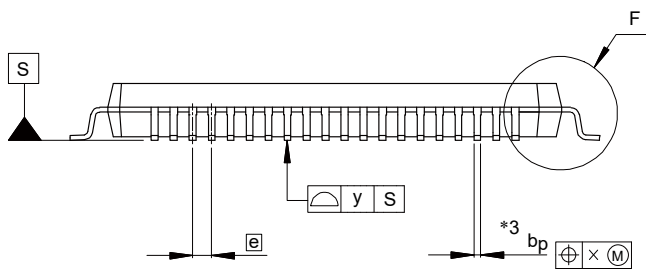
38.1 80ピン製品

R5F10MMEDFB, R5F10MMGDFB

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



- NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

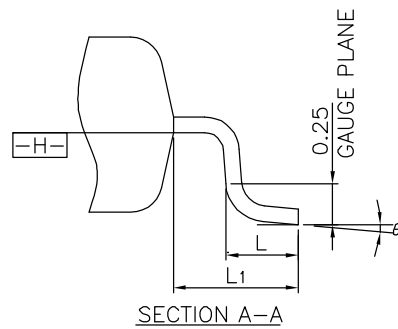
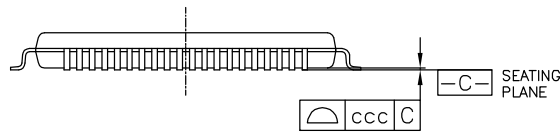
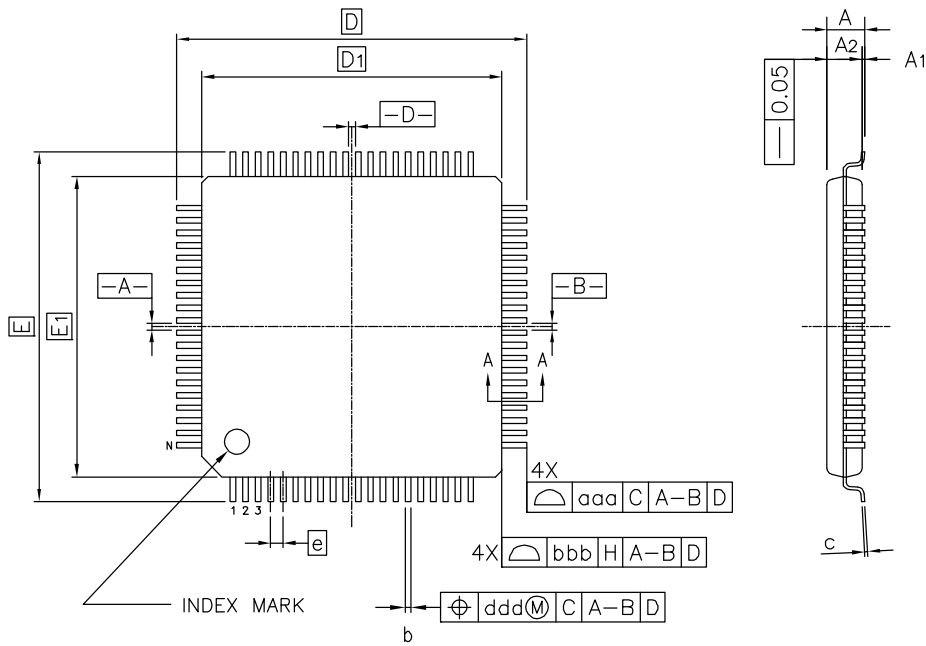


Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A ₂	—	1.4	—
H _D	13.8	14.0	14.2
H _E	13.8	14.0	14.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2017 Renesas Electronics Corporation. All rights reserved.

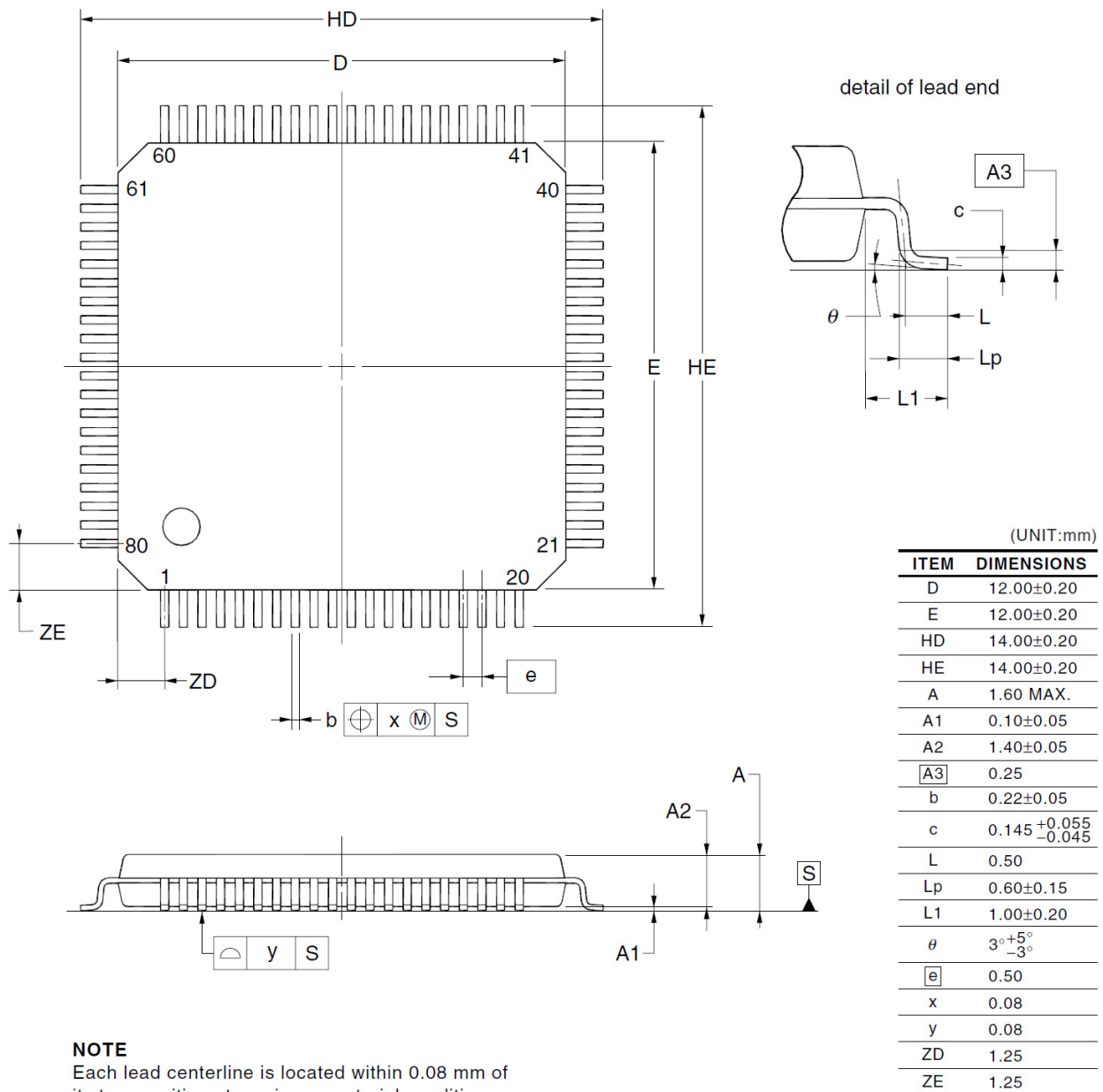
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP80-12x12-0.50	PLQP0080KJ-A	0.49



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	—	14.00	—
D ₁	—	12.00	—
E	—	14.00	—
E ₁	—	12.00	—
N	—	80	—
e	—	0.50	—
b	0.17	0.22	0.27
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.08
ddd	—	—	0.08

★

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP80-12x12-0.50	PLQP0080KE-A	P80GK-50-8EU	0.53

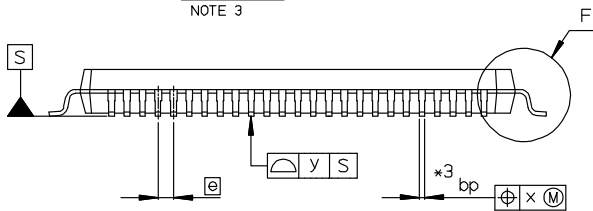
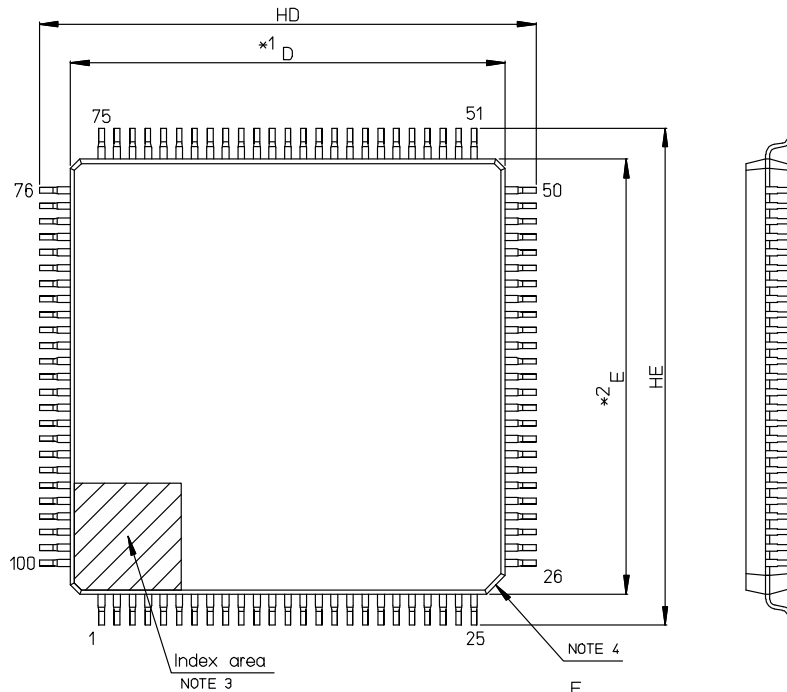


NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

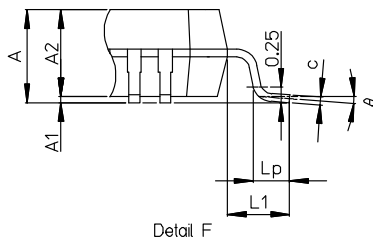
38.2 100ピン製品

R5F10MPEDFB, R5F10MPGDFB

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6g

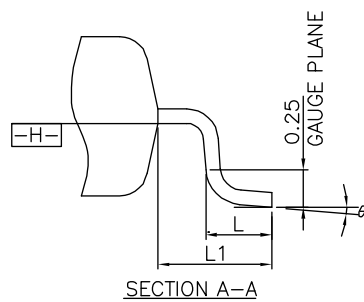
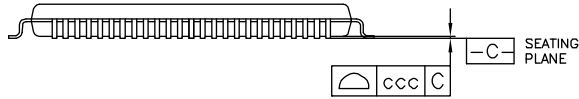
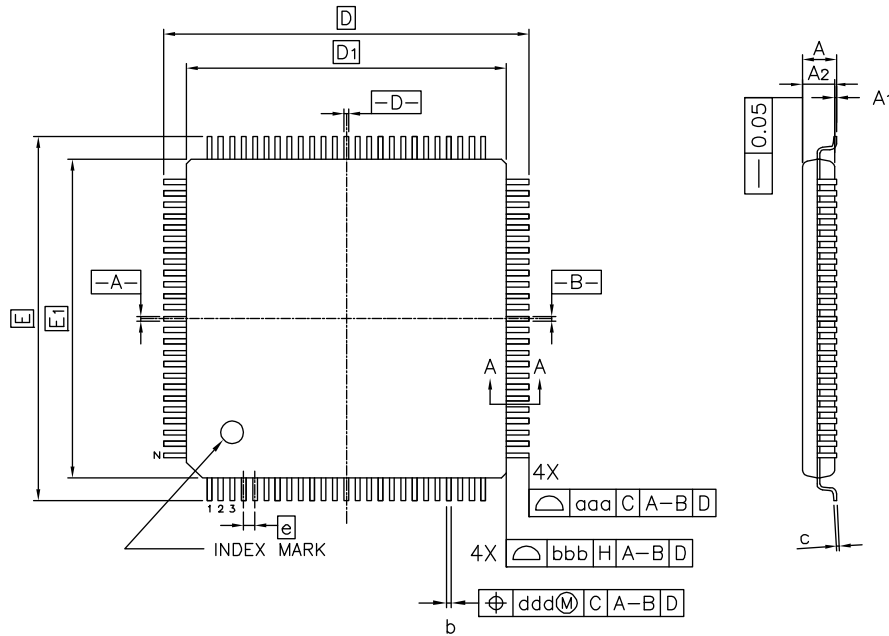


- NOTE)
1. DIMENSIONS *1* AND *2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION *3* DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL; SIZE MAY VARY.



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A2	—	1.4	—
HD	15.8	16.0	16.2
HE	15.8	16.0	16.2
A	—	—	1.7
A1	0.05	—	0.15
bp	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
[e]	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Lp	0.45	0.6	0.75
L1	—	1.0	—

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP100-14x14-0.50	PLQP0100KP-A	0.67



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	-	-	1.60
A ₁	0.05	-	0.15
A ₂	1.35	1.40	1.45
D	-	16.00	-
D ₁	-	14.00	-
E	-	16.00	-
E ₁	-	14.00	-
N	-	100	-
e	-	0.50	-
b	0.17	0.22	0.27
c	0.09	-	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	-	1.00	-
aaa	-	-	0.20
bbb	-	-	0.20
ccc	-	-	0.08
ddd	-	-	0.08

付録A 改版履歴

A.1 本版で改訂された主な箇所

箇所	内容	分類
第1章 概説		
p.4	図1-1 RL78/I1Bの型名とメモリ・サイズ、パッケージを変更	(d)
p.4	表1-1 発注型名一覧を変更	(d)
第8章 リアルタイム・クロック2		
p.282	図8-1 リアルタイム・クロック2のプロック図を変更	(a)
p.288	図8-6 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のフォーマット (1/2) の注2を変更	(a)
p.310	8.4.7 時計誤差補正レジスタの設定手順の説明を追加	(c)
p.310	(1) RTCWEN = 1に設定後に、時計誤差補正レジスタを設定。その後、RTCWEN = 0に設定してください。を変更	(c)
p.310	(2) FMCEN = 1に設定後に、時計誤差補正レジスタを設定。その後、FMCEN = 0に設定してください。を変更	(c)
第13章 ウォッチドッグ・タイマ		
p.355	表13-3 ウォッチドッグ・タイマのオーバーフロー時間の設定に注を追加	(c)
第30章 安全機能		
p.876	30.1 安全機能の概要を変更	(c)
p.881	30.3.2 CRC演算機能 (汎用CRC) を変更	(c)
p.884	30.3.4 RAMガード機能を変更	(c)
p.885	30.3.5 SFRガード機能を変更	(c)
第38章 外形図		
p1020	PLQP0080KE-Aパッケージ図を追加	(d)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加/変更, (c) : 説明, 注意事項の追加/変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/9)

版 数	内 容	適用箇所
Rev.1.00	1.2 オーダ情報を変更	第1章 概説
	2.1 ポート機能を変更	第2章 端子機能
	2.2 ポート以外の機能を変更	
	2.3 端子の入出力回路と未使用端子の処理を変更	
	3.1 概説を追加	第3章 CPUアーキテクチャ
	3.2 メモリ空間を変更	
	3.3 プロセッサ・レジスタを変更	
	4.5 兼用機能使用時のポート関連レジスタの設定を変更	第4章 ポート機能
	5.1 クロック発生回路の機能を変更	第5章 クロック発生回路
	5.2 クロック発生回路の構成を変更	
	5.3 クロック発生回路を制御するレジスタを変更	
	5.4.4 低速オンチップ・オシレータを変更	
	5.5 クロック発生回路の動作を変更	
	5.6 クロックの制御を変更	
	6.1 高速オンチップ・オシレータ・クロック周波数補正機能を修正	第6章 高速オンチップ・オシレータ・クロック周波数補正機能
	7.2 タイマ・アレイ・ユニットの構成を変更	第7章 タイマ・アレイ・ユニット
	7.3 タイマ・アレイ・ユニットを制御するレジスタを変更	
	7.5 カウンタの動作を変更	
	7.7 タイマ・アレイ・ユニットの単独チャンネル動作機能を変更	
	7.8 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を変更	
	8.1 高精度リアルタイム・クロックの機能を変更	第8章 高精度リアルタイム・クロック
	8.2 高精度リアルタイム・クロックの構成を変更	
	8.3 高精度リアルタイム・クロックを制御するレジスタを変更	
	8.4 高精度リアルタイム・クロックの動作を変更	
	9.1 サブシステム・クロック周波数測定回路を変更	第9章 サブシステム・クロック周波数測定回路
	9.2 サブシステム・クロック周波数測定回路の構成を変更	
	9.3 サブシステム・クロック周波数測定回路を制御するレジスタを変更	
	9.4 サブシステム・クロック周波数測定回路の動作を変更	
	10.2 12ビット・インターバル・タイマの構成を変更	第10章 12ビット・インターバル・タイマ
	10.3 12ビット・インターバル・タイマを制御するレジスタを変更	
	10.4 12ビット・インターバル・タイマの動作を変更	
	11.1 概要を変更	第11章 8ビット・インターバル・タイマ
	11.3 レジスタの説明を変更	
11.4 動作説明を変更		
12.1 クロック出力／ブザー出力制御回路の機能を変更	第12章 クロック出力／ブザー出力制御回路	
12.2 クロック出力／ブザー出力制御回路の構成を変更		
12.3 クロック出力／ブザー出力制御回路を制御するレジスタを変更		
12.4 クロック出力／ブザー出力制御回路の動作を変更		

(2/9)

版 数	内 容	適用箇所
Rev.1.00	13.1 ウォッチドッグ・タイマの機能を変更	第13章 ウォッチドッグ・タイマ
	13.2 ウォッチドッグ・タイマの構成を変更	
	13.4 ウォッチドッグ・タイマの動作を変更	
	14.1 A/Dコンバータの機能を変更	
14.2 A/Dコンバータの構成を変更		
14.3 A/Dコンバータを制御するレジスタを変更		
14.4 A/Dコンバータの変換動作を変更		
14.6 A/Dコンバータの動作モードを変更		
14.7 A/Dコンバータの設定フロー・チャートを変更		
14.9 A/Dコンバータ特性表の読み方を変更		
14.10 A/Dコンバータの注意事項を変更		
15.1 温度センサの機能を変更	第15章 高精度温度センサ	
15.2 レジスタの説明を変更		
15.3 設定手順を変更		
16.1 24ビット $\Delta\Sigma$ A/Dコンバータの機能を変更	第16章 24ビット $\Delta\Sigma$ A/Dコンバータ	
16.2 レジスタの説明を変更		
16.3 動作説明を変更		
16.4 24ビット $\Delta\Sigma$ A/Dコンバータ使用上の注意事項を変更		
17.1 概要を変更	第17章 コンパレータ	
17.4 動作説明を変更		
18.1 シリアル・アレイ・ユニットの機能を変更	第18章 シリアル・アレイ・ユニット	
18.2 シリアル・アレイ・ユニットの構成を変更		
18.3 シリアル・アレイ・ユニットを制御するレジスタを変更		
18.5 3線シリアルI/O (CSI00) 通信の動作を変更		
18.6 UART (UART0-UART2) 通信の動作を変更		
18.7 LIN通信の動作を変更		
18.8 簡易I ² C (IIC00, IIC10) 通信の動作を変更		
19.3 シリアル・インタフェースIICAを制御するレジスタを変更	第19章 シリアル・インタフェースIICA	
19.5 I ² Cバスの定義および制御方法を変更		
20.2 レジスタの説明を変更	第20章 IrDA	
20.3 動作説明を変更		
20.4 IrDA使用上の注意事項を変更		
21.2 LCDコントローラ/ドライバの構成を変更	第21章 LCDコントローラ/ドライバ	
21.3 LCDコントローラ/ドライバを制御するレジスタを変更		
21.6 LCDコントローラ/ドライバの設定を変更		
21.7 動作停止手順を変更		
21.8 LCD駆動電圧V _{L1} , V _{L2} , V _{L3} , V _{L4} の供給を変更		
21.10 表示モードを変更		
22.2 レジスタの説明を変更	第22章 データ・トランスファ・コントローラ	
22.4 DTC使用上の注意事項を変更		
23.2 割り込み要因と構成を変更	第23章 割り込み機能	
23.3 割り込み機能を制御するレジスタを変更		
23.4 割り込み処理動作を変更		
24.3 スタンバイ機能の動作を変更	第24章 スタンバイ機能	

(3/9)

版 数	内 容	適用箇所	
Rev.1.00	第25章 リセット機能を変更	第25章 リセット機能	
	25.1 リセット要因を確認するレジスタを変更		
	26.1 パワーオン・リセット回路の機能を変更	第26章 パワーオン・リセット回路	
	26.2 パワーオン・リセット回路の構成を変更		
	26.3 パワーオン・リセット回路の動作を変更		
	27.1 電圧検出回路の機能を変更	第27章 電圧検出回路	
	27.2 電圧検出回路の構成を変更		
	27.3 電圧検出回路を制御するレジスタを変更		
	27.4 電圧検出回路の動作を変更		
	27.5 電圧検出回路の注意事項を変更		
	28.1 バッテリ・バックアップの機能を変更	第28章 バッテリ・バックアップ機能	
	28.2 レジスタ説明を変更		
	28.3 動作説明を変更		
	28.4 使用上の注意事項を変更		
	29.1 発振停止検出回路の機能を変更	第29章 発振停止検出回路	
	29.2 発振停止検出回路の構成を変更		
	29.3 発振停止検出回路で使用するレジスタを変更		
	30.1 安全機能の概要を変更	第30章 安全機能	
	30.3 安全機能の動作を変更		
	32.1 オプション・バイトの機能を変更	第32章 オプション・バイト	
	32.2 ユーザ・オプション・バイトのフォーマットを変更		
	第33章 フラッシュ・メモリを変更	第33章 フラッシュ・メモリ	
	33.1 フラッシュ・メモリ・プログラマによる書き込み方法を変更		
	33.2 外部デバイス (UART内蔵) による書き込み方法を変更		
	33.3 オンボード上の端子処理を変更		
	33.4 プログラミング方法を変更		
	33.5 セキュリティ設定を変更		
	33.6 セルフ・プログラミングを変更		
	34.1 E1オンチップデバッグエミュレータとRL78/I1Bの接続を変更	第34章 オンチップ・デバッグ機能	
	37.1 絶対最大定格を変更	第37章 電氣的特性	
	37.2 発振回路特性を変更		
	37.3 DC特性を変更		
37.4 AC特性を変更			
37.5 周辺機能特性を変更			
37.6 アナログ特性を変更			
37.7 バッテリ・バックアップ機能を変更			
37.8 LCD特性を変更			
37.11 専用フラッシュ・メモリ・プログラマ通信 (UART) を追加			
37.12 フラッシュ・メモリ・プログラミング・モードの引き込み時のタイミングを変更			
Rev.2.00	高精度RTC→RTC2, 高精度リアルタイム・クロック→リアルタイム・クロック2に改称		全般
	高精度温度センサ→温度センサ2に改称		
	1.1 特徴を変更	第1章 概説	
	1.2 型名一覧を変更		
	1.3 端子接続図 (Top View) を変更		

(4/9)

版 数	内 容	適用箇所
Rev.2.00	2.1 ポート機能を変更	第2章 端子機能
	2.2 ポート以外の機能を変更	
	2.3 未使用端子の処理を変更	
	2.4 端子ブロック図を追加	
	3.1 メモリ空間を変更	第3章 CPUアーキテク チャ
	3.2 プロセッサ・レジスタを変更	
	3.3 命令アドレスのアドレッシングを変更	
	3.4 処理データ・アドレスに対するアドレッシングを変更	
	4.2 ポートの構成を変更	第4章 ポート機能
	4.3 ポート機能を制御するレジスタを変更	
	4.4 ポート機能の動作を変更	
	4.5 兼用機能使用時のレジスタの設定を変更	
	4.6 ポート機能使用時の注意事項を変更	
	5.3 クロック発生回路を制御するレジスタを変更	第5章 クロック発生回 路
	5.4 システム・クロック発振回路を変更	
	5.6 クロックの制御を変更	
	5.7 発振子と発振回路定数を追加	第7章 タイマ・アレ イ・ユニット
	7.2 タイマ・アレイ・ユニットの構成を変更	
	7.3 タイマ・アレイ・ユニットを制御するレジスタを変更	
	7.5 カウンタの動作を変更	
	7.6 チャンネル出力 (TOmn端子) の制御を変更	
	7.7 タイマ入力 (TImn) の制御を追加	
	7.8 タイマ・アレイ・ユニットの単独チャンネル動作機能を変更	
	7.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を変更	
	8.1 リアルタイム・クロック2の機能を変更	
	8.2 リアルタイム・クロック2の構成を変更	
	8.3 リアルタイム・クロック2を制御するレジスタを変更	
	8.4 リアルタイム・クロック2の動作を変更	
10.3 12ビット・インターバル・タイマを制御するレジスタを変更	第10章 12ビット・イン ターバル・タイマ	
11.4 動作説明を変更	第11章 8ビット・イン ターバル・タイマ	
11.5 8ビット・インターバル・タイマの注意事項を変更		
12.5 クロック出力/ブザー出力制御回路の注意事項を変更	第12章 クロック出力 /ブザー出力制御回路	
13.2 ウォッチドッグ・タイマの構成を変更	第13章 ウォッチドッ グ・タイマ	
14.3 A/Dコンバータを制御するレジスタを変更	第14章 A/Dコンバータ	
14.4 A/Dコンバータの変換動作を変更		
14.6 A/Dコンバータの動作モードを変更		
14.7 A/Dコンバータの設定フロー・チャートを変更		
14.8 SNOOZEモード機能を変更		
14.10 A/Dコンバータの注意事項を変更		
15.1 温度センサの機能を変更	第15章 温度センサ2	
16.1 24ビット $\Delta\Sigma$ A/Dコンバータの機能を変更	第16章 24ビット $\Delta\Sigma$ A/Dコンバータ	
16.2 レジスタの説明を変更		
17.1 コンパレータの機能を変更	第17章 コンパレータ	
17.2 コンパレータの構成を変更		
17.3 コンパレータを制御するレジスタを変更		
17.4 動作説明を変更		

(5/9)

版 数	内 容	適用箇所
Rev.2.00	18.1 シリアル・アレイ・ユニットの機能を変更	第18章 シリアル・アレイ・ユニット
	18.2 シリアル・アレイ・ユニットの構成を変更	
	18.3 シリアル・アレイ・ユニットを制御するレジスタを変更	
	18.5 3線シリアルI/O (CSI00) 通信の動作を変更	
	18.6 UART (UART0-UART2) 通信の動作を変更	
	18.7 LIN通信の動作を変更	
	18.8 簡易I ² C (IIC00, IIC10) 通信の動作を変更	
	19.1 シリアル・インタフェースIICAの機能を変更	
	19.3 シリアル・インタフェースIICAを制御するレジスタを変更	
	19.4 I ² Cバス・モードの機能を変更	
	19.5 I ² Cバスの定義および制御方法を変更	
	20.4 IrDA使用上の注意事項を変更	第20章 IrDA
	第21章 LCDコントローラ/ドライバを変更	第21章 LCD コントローラ/ドライバ
	21.1 LCDコントローラ/ドライバの機能を変更	
	21.3 LCDコントローラ/ドライバを制御するレジスタを変更	
	21.5 LCD表示レジスタの選択を変更	
	21.6 LCDコントローラ/ドライバの設定を変更	
	22.1 DTCの機能を変更	第22章 データ・トランスファ・コントローラ (DTC)
	22.2 DTCの構成を変更	
	22.3 DTCを制御するレジスタを変更	
	22.4 DTCの動作を変更	
	22.5 DTC使用上の注意事項を変更	
	23.3 割り込み機能を制御するレジスタを変更	第23章 割り込み機能
	23.4 割り込み処理動作を変更	
	24.2 スタンバイ機能を制御するレジスタを変更	第24章 スタンバイ機能
	24.3 スタンバイ機能の動作を変更	
	第25章 リセット機能を変更	第25章 リセット機能
	25.1 リセット動作のタイミングを変更	
	25.2 リセット期間中の動作状態を変更	
	25.3 リセット要因を確認するレジスタを変更	
	26.3 パワーオン・リセット回路の動作を変更	第26章 パワーオン・リセット回路
	27.1 電圧検出回路の機能を変更	第27章 電圧検出回路
	27.2 電圧検出回路の構成を変更	
	27.3 電圧検出回路を制御するレジスタを変更	
	27.4 電圧検出回路の動作を変更	
	29.3 発振停止検出回路で使用するレジスタを変更	第29章 発振停止検出回路
	30.1 安全機能の概要を変更	第30章 安全機能
	30.3 安全機能の動作を変更	
	31.1 レギュレータの概要を変更	第31章 レギュレータ
	32.1 オプション・バイトの機能を変更	第32章 オプション・バイト
	32.2 ユーザ・オプション・バイトのフォーマットを変更	
33.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミングを変更	第33章 フラッシュ・メモリ	
33.2 外部デバイス (UART内蔵) によるシリアル・プログラミングを変更		
33.4 シリアル・プログラミング方法を変更		
33.5 セルフ・プログラミングを変更		
33.6 セキュリティ設定を変更		

(6/9)

版 数	内 容	適用箇所
Rev.2.00	34. 1 E1オンチップデバッグエミュレータとの接続を変更	第34章 オンチップ・デバッグ機能
	36. 1 凡例を変更	第36章 命令セットの概要
	37. 1 絶対最大定格を変更	第37章 電气的特性
	37. 2 発振回路特性を変更	
	37. 3 DC特性を変更	
	37. 4 AC特性を変更	
	37. 5 周辺機能特性を変更	
	37. 6 アナログ特性を変更	
	37. 8 LCD特性を変更	
	37. 10 フラッシュ・メモリ・プログラミング特性を変更	
	37. 11 専用フラッシュ・メモリ・プログラマ通信 (UART) を変更	
38. 1 80ピン製品を変更	第38章 外形図	
Rev.2.10	1. 3. 1 80ピン製品 端子接続図 (Top View) を変更	第1章 概説
	1. 3. 2 100ピン製品 端子接続図 (Top View) を変更	
	1. 6 機能概要 メイン・システム・クロックを変更	
	2. 1. 1 80ピン製品 表の項目を変更	第2章 端子機能
	2. 1. 2 100ピン製品 表の項目を変更	
	2. 4 端子ブロック図 図2-3 を変更	
	3. 1 メモリ空間 図3-2の注1を変更	第3章 CPUアーキテクチャ
	4. 3. 9 LCDポート・ファンクション・レジスタ0-5 図4-9を変更	第4章 ポート機能
	4. 3. 9 LCDポート・ファンクション・レジスタ0-5 図4-9の注を追加	
	5. 1 クロック発生回路 説明追加	第5章 クロック発生回路
	5. 3. 3 クロック動作ステータス制御レジスタ 注意6 を変更	
	5. 5 クロック発生回路の動作 図5-15 の説明①を変更	
	5. 6. 2 X1発振回路の設定例 注意2を追加	
	5. 6. 5 CPUクロックの移行前の条件と移行後の処理 表5-4を変更	
	5. 6. 7 クロック発振停止前の条件 説明追加	
	7. 3. 3 タイマ・モード・レジスタ 図7-12 を変更	
	7. 3. 8 タイマ入力選択レジスタ 注意を変更	
	7. 6. 4 TOmnビットの一括操作の注意を削除	
	7. 8. 1 インターバル・タイマ/方形波出力としての動作 計算式を修正	
	7. 9. 1 ワンショット・パルス出力機能としての動作 注意事項を変更	
	8. 2 リアルタイム・クロック2の構成 図8-1 を変更	第8章 リアルタイム・クロック2
	8. 3. 6 リアルタイム・クロック・コントロール・レジスタ1の 注1,2を追加	第9章 サブシステム・クロック周波数測定回路
	9. 3. 5 周波数測定コントロール・レジスタ 説明を変更	
12. 5 クロック出力/ブザー出力制御回路の注意事項 説明を変更	第12章 クロック出力/ブザー出力制御回路	

(7/9)

版 数	内 容	適用箇所
Rev.2.10	14. 3. 2 A/Dコンバータ・モード・レジスタ0 図14-4 を変更	第14章 A/Dコンバータ
	14. 7. 1 ソフトウェア・トリガ・モード設定 図14-29 を変更	
	14. 7. 2 ハードウェア・トリガ・ノーウエイト・モード設定 図14-30 を変更	
	14. 7. 3 ハードウェア・トリガ・ウエイト・モード設定 図14-31 を変更	
	14. 7. 4 温度センサ出力電圧/内部基準電圧を選択時の設定 図14-32 を変更	
	14. 7. 5 テスト・モード設定 図14-33 を変更	
	14. 8 SNOOZEモード機能 図14-37 を変更	
	18. 2 シリアル・アレイ・ユニットの構成 図18-1 を変更	第18章 シリアル・アレイ・ユニット
	18. 2 シリアル・アレイ・ユニットの構成 図18-2 を変更	
	18. 3. 5 シリアル・データ・レジスタmn (SDRmn) 説明を変更	
	18. 3. 12 シリアル出力レジスタm 説明を変更	
	18. 3. 13 シリアル出力レベル・レジスタm 図18-18 を変更	
	18. 5. 7 SNOOZEモード機能 説明を変更(2箇所)	
	18. 5. 7 SNOOZEモード機能 図18-71 を変更	
	18. 5. 7 SNOOZEモード機能 注を変更	
	18. 5. 7 SNOOZEモード機能 図18-72 を変更	
	18. 5. 7 SNOOZEモード機能 図18-73 を変更	
	18. 5. 7 SNOOZEモード機能 注を変更	
	18. 5. 7 SNOOZEモード機能 図18-74 を変更	
	18. 6. 3 SNOOZEモード機能 説明文を変更	
18. 6. 3 SNOOZEモード機能 注意5を追加		
18. 6. 3 SNOOZEモード機能 図18-90 を変更		
18. 6. 3 SNOOZEモード機能 図18-91 を変更		
18. 6. 3 SNOOZEモード機能 図18-92 を変更		
18. 6. 3 SNOOZEモード機能 図18-93 を変更		
18. 6. 3 SNOOZEモード機能 図18-94 を変更		
18. 7. 1 LIN送信 図18-99 を変更		
18. 7. 2 LIN受信 図18-100 を変更		
18. 7. 2 LIN受信 図18-101 を変更		
19. 3. 6 IICAロウ・レベル幅設定レジスタn 説明追加	第19章 シリアル・インタフェースIICA	
19. 5. 14 通信予約 計算式を変更		
19. 5. 14 通信予約 図19-27の注1を変更		
19. 5. 16 通信動作 図19-28 を変更		
19. 5. 16 通信動作 図19-29 (1/3)を変更		
19. 5. 16 通信動作 図19-29 (2/3)を変更		
19. 5. 16 通信動作 図19-29の注 を変更		
19. 5. 16 通信動作 図19-30を変更		
21. 3. 2 LCDモード・レジスタ1 備考を追加	第21章 LCD コントローラ/ドライバ	
21. 3. 3 サブシステム・クロック供給モード制御レジスタ 備考を削除 (21. 3. 2に移動)		
21. 3. 7 LCDポート・ファンクション・レジスタ0-5 説明を変更		
21. 3. 7 LCDポート・ファンクション・レジスタ0-5 注を変更		

(8/9)

版数	内容	適用箇所	
Rev.2.10	22 データ・トランスファ・コントローラ 説明を追加	第22章 データ・トランスファ・コントローラ (DTC)	
	22.1 DTCの機能 表22-1を変更		
	22.3.2 コントロールデータの配置 図22-3を変更		
	22.3.2 コントロールデータの配置 表22-4を変更		
	22.3.3 ベクタテーブル 図22-4 を追加		
	22.4.2 ノーマルモード 説明を変更		
	22.4.2 ノーマルモード 図22-16 を変更		
	22.5.3 DTC保留命令 説明を追加		
	23.4.4 除算命令中の割り込み処理 節を追加		第23章 割り込み機能
	23.4.5 割り込み要求の保留 説明を追加(4箇所)		
	24.3.1 HALTモード 表24-1(1/2) を変更	第24章 スタンバイ機能	
	24.3.1 HALTモード 表24-1(2/2) を変更		
	24.3.3 SNOOZEモード 表24-3 を変更		
	25.1 リセット動作のタイミング 注意を削除	第25章 リセット機能	
	25.3 リセット要因を確認するレジスタ 図25-5 タイトルを変更		
	26.3 パワーオン・リセット回路の動作 注3を変更	第26章 パワーオン・リセット回路	
	27.1 電圧検出回路の機能 表を変更	第27章 電圧検出回路	
	32.1.1 ユーザ・オプション・バイト 説明を変更	第32章 オプション・バイト	
	32.2 ユーザ・オプション・バイトのフォーマット 図32-3 を変更		
	33.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング 表33-1 を変更	第33章 フラッシュ・メモリ	
	33.1.1 プログラミング環境 図33-1 を変更		
	33.1.2 通信方式 図33-2 を変更		
	33.1.2 通信方式 表33-2 を変更		
	33.1.2 通信方式 注2 を追加		
	33.2.1 プログラミング環境 図33-3 を変更		
	33.2.1 プログラミング環境 注を追加		
	33.2.2 通信方式 図33-4 を変更		
	33.2.2 通信方式 注2を追加		
	33.2.2 通信方式 表33-3 を変更		
	33.2.2 通信方式 注2を追加		
	33.5 セルフ・プログラミング 備考1を変更		
	36.2 オペレーション一覧 注意を追加		第36章 命令セットの概要
	37.3.1 端子特性 内蔵プルアップ抵抗 を変更 (2箇所)		第37章 電気的特性
	37.3.2 電源電流特性 電源電流 を変更 (2箇所)		
	37.3.2 電源電流特性 8ビット・インターバル・タイマ動作電流 単位を追加		
	37.6.2 24ビット Σ A/Dコンバータ特性 サンプル周波数を変更		
37.9 RAMデータ保持特性 タイトルを変更			
37.9 RAMデータ保持特性 注を変更			
37.9 RAMデータ保持特性 図を変更			
37.10 フラッシュ・メモリ・プログラミング特性 表を変更			

(9/9)

版 数	内 容	適用箇所
Rev.2.11	3線シリアルI/O、3線シリアルを簡易SPIに変更	全体
	CSIを簡易SPIに変更	
	IICAのウエイトをクロック・ストレッチに変更	
	1.1 特徴 注を追加	第1章 概説
	図1-1 RL78/I1Bの型名とメモリ・サイズ、パッケージを変更	
	表1-1 発注型名一覧を変更	第4章 ポート機能
	4.4.5 入出力バッファによる異電位(1.8 V系, 2.5 V系, 3 V系)対応 (1) 注を追加	
	第18章 シリアル・アレイ・ユニット 注を追加	第18章 シリアル・アレイ・ユニット
	37.5 (7) タイトルを修正	第37章 電気的特性
	PLQP0080KB-Bパッケージ図を変更	第38章 外形図
	PLQP0080KJ-Aパッケージ図を追加	
	PLQP0100KB-Bパッケージ図を変更	
	PLQP0100KP-Aパッケージ図を追加	
Rev.2.20	図8-7 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (3/3) を変更	第8章 リアルタイム・クロック2
	図8-21 リアルタイム・クロック2の読み出し手順の注意を変更	
	図8-22 リアルタイム・クロック2の書き込み手順の注意1.を変更	
	37.3.2 電源電流特性の注1, 注4を変更	第37章 電気的特性
	37.3.2 電源電流特性の注7を注6に変更	
	37.3.2 電源電流特性の注8を注7に変更	
	37.3.2 電源電流特性の注6を削除	
	37.3.2 電源電流特性の注1, 注5を変更、注6を削除	

RL78/I1B