

## RZ/A シリーズ ハードウェアデザインガイド

### 要旨

本アプリケーションノートは、RZ/A シリーズの LSI を搭載したハードウェアを設計する際の参考資料として、設計のポイントとなる項目をまとめたものです。

### 対象 LSI

RZ/A シリーズの下記グループ

RZ/A1H グループ<sup>\*1\*2</sup>、RZ/A1M グループ<sup>\*1\*2</sup>

RZ/A1L グループ<sup>\*1\*3</sup>、RZ/A1LU グループ<sup>\*1\*3</sup>、RZ/A1LC グループ<sup>\*1\*3</sup>

RZ/A2M グループ

【注】 これ以降、本ドキュメントでは明示的に特定のグループを指す場合を除き“グループ”を省略して表記します。

\*1. 本ドキュメントではこれらのグループをまとめて指す場合“RZ/A1”と表記します。

\*2. 本ドキュメントではこれらのグループをまとめて指す場合“RZ/A1HM”と表記します。

\*3. 本ドキュメントではこれらのグループをまとめて指す場合“RZ/A1L”と表記します。

### 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。あわせて参照してください。

- RZ/A2M グループ High-Speed USB2.0 基板設計ガイドライン (R01AN4964JJ)
- RZ/A1 High-Speed USB2.0 基板設計ガイドライン (R01AN5119JJ)
- RZ/A2M グループ LVDS&MIPI 基板設計ガイドライン (R01AN5280JJ)

### 商標

CoreSight™は Arm Ltd.の商標です。

HyperBus™/HyperFlash™/HyperRAM™/HyperMCP™は Cypress Semiconductor Corporation.の商標です。

OctaFlash™/OctaRAM™/OctaMCP™は Macronix International Co., Ltd.の商標です。

Xccela™フラッシュメモリは Micron Technology, Inc.の商標です。

## 略語および略称の説明

略語／略称	英語名	日本語名
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPU の命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMA を行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMA の第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816 規定の接触型 IC カード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

略語／略称	英語名	日本語名
CPHAR	Clock Phase Reception	入力ラッチタイミング
CPHAT	Clock Phase Transmission	出力シフトタイミング
CPOL	Clock Polarity	クロック極性
EMI	ElectroMagnetic Interference	電磁波輻射
EMS	ElectroMagnetic Susceptibility	電磁耐性
ESD	Electro Static Discharge	静電気
RSPI	Renesas Serial Peripheral Interface	ルネサスシリアルペリフルインタフェース
SPIBSC	Serial Peripheral Interface multi I/O bus controller	SPI マルチ I/O バスコントローラ

## 目次

1. 電源	5
1.1 電源	5
1.2 絶対最大定格	7
1.2.1 システム電源 OFF 時に外部から電圧が印加される場合の注意事項	9
1.3 バイパスコンデンサ	10
2. リセット	19
2.1 電源投入および切断シーケンス	19
2.2 発振安定時間	21
3. 発振回路	22
3.1 クロック端子	22
3.2 外部クロック接続例	23
3.3 水晶発振子接続例	23
4. 動作モード	24
4.1 ブートモード	24
4.1.1 ブートモード設定端子 (MD_BOOT2~MD_BOOT0)	24
4.1.2 CS0 空間 16 ビットブート	25
4.1.3 CS0 空間 32 ビットブート	25
4.1.4 eSD ブート	26
4.1.5 eMMC ブート	26
4.1.6 シリアルフラッシュブート (3.3V 品)	27
4.1.7 Octal-SPI フラッシュブート (1.8V 品)	28
4.1.8 HyperFlash ブート 1 (1.8V 品)	28
4.1.9 OctaFlash ブート (1.8V 品)	29
4.1.10 HyperFlash ブート 2 (1.8V 品)	29
4.1.11 ブートメモリとして使用するフラッシュメモリ選定時の注意事項	30
4.2 クロックモード	31
4.2.1 クロックモード設定端子	31
5. 外部メモリ	32
5.1 接続可能なメモリ	32
5.2 パラレル NOR フラッシュメモリ	33
5.3 SDRAM	35
5.4 EEPROM	38
5.5 シリアルフラッシュメモリ	39
5.6 Xccela フラッシュメモリ	42
5.7 HyperBus メモリ	43
5.7.1 HyperFlash	43
5.7.2 HyperRAM	45
5.7.3 HyperMCP	45
5.8 Octa メモリ	46
5.8.1 OctaFlash	46
5.8.2 OctaRAM	48

5.8.3	OctaMCP	48
5.9	NAND フラッシュメモリ	49
5.10	SD カード	50
5.11	eMMC	52
6.	デバッグインタフェース	53
6.1	特長	53
6.2	TRST#端子処理	53
6.3	エミュレータとの接続例	53
6.3.1	JTAG インタフェース	54
6.3.2	SWD インタフェース	54
6.3.3	TRACE インタフェース	54
6.3.4	CoreSight 20 コネクタとの接続	55
6.3.5	CoreSight 10 コネクタとの接続	57
7.	端子処理	58
7.1	アナログ端子の保護回路	58
7.2	未使用端子の処理	59
8.	レイアウトガイド	61
8.1	配置・配線	61
8.2	差動信号	62
8.2.1	インピーダンスコントロール	62
8.2.2	配線上の注意	62
9.	ノイズ対策	63
9.1	EMI 対策	63
9.2	EMS 対策	64
10.	チェックリスト	65
11.	参考ドキュメント	69
12.	設計支援情報	69
	改訂記録	70

## 1. 電源

### 1.1 電源

本シリーズの LSI には、表 1.1 および表 1.2 に示す電源があります。ボード設計時には、デジタル電源からのノイズの回り込みを防ぐため、デジタル電源とアナログ電源をできるだけ分離してください。

また、PLL 電源はノイズなどに敏感であるため、他の電源との干渉によってシステム全体に誤動作を生じさせる可能性があります。このため、PLL 電源と他の電源は、極力基板上で同一リソースを供給しないでください。接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

表 1.1 電源 (RZ/A1)

電源端子名	種別 <sup>1</sup>	名称	電圧範囲
PVcc	D	端子入出力用電源	3.0V~3.6V
Vcc	D	コア電源	1.10V~1.26V
Vss	D	グランド	0V
USBDPVcc	D	トランシーバ部デジタル端子電源	3.0V~3.6V
USBDPVss	D	トランシーバ部デジタル端子グランド	0V
USBDVcc	D	トランシーバ部デジタルコア電源	1.10V~1.26V
USBDVss	D	トランシーバ部デジタルコアグランド	0V
USBUVcc	D	USB2.0 ホスト/ファンクションモジュール 480MHz 用電源	1.10V~1.26V
USBUVss	D	USB2.0 ホスト/ファンクションモジュール 480MHz 用グランド	0V
PLLVcc	D	PLL 用電源	1.10V~1.26V
LVDSPLLVcc	D	LVDS PLL 電源	1.10V~1.26V
USBAPVcc	A	トランシーバ部アナログ端子電源	3.0V~3.6V
USBAPVss	A	トランシーバ部アナログ端子グランド	0V
USBAVcc	A	トランシーバ部アナログコア電源	1.10V~1.26V
USBAVss	A	トランシーバ部アナログコアグランド	0V
VDAVcc	A	ビデオ信号入力用アナログ電源	3.0V~3.6V
VDAVss	A	ビデオ信号アナロググランド	0V
LVDSAPVcc	A	LVDS アナログ電源	3.0V~3.6V
LVDSAPVss	A	LVDS アナロググランド	0V
AVcc	A	アナログ電源	3.0V~3.6V <sup>2</sup>
AVss	A	アナロググランド	0V
AVref	A	アナログ基準電圧	3.0V~3.6V <sup>3</sup>

【注】 全ての電源およびグランド端子を接続してください。開放端子がある場合、LSI の動作は保証されません。

パッケージによっては存在しない端子があります。

\*1. デジタル系電源を D、アナログ系電源を A として表記しています。

\*2.  $PVcc - 0.3V \leq AVcc \leq PVcc$  となるようにしてください。

\*3.  $3.0V \leq AVref \leq AVcc$  となるようにしてください。

表 1.2 電源 (RZ/A2M)

電源端子名	種別 <sup>*1</sup>	名称	電圧範囲
PVcc	D	端子入出力用電源	3.0V~3.6V
Vcc	D	コア電源	1.14V~1.26V
Vss	D	グランド	0V
USBDPVcc1、 USBDPVcc0	D	トランシーバ部デジタル端子電源	3.0V~3.6V
PVcc_SPI、 PVcc_SD1、 PVcc_SD0	D	端子入出力用 1.8V/3.3V 切替電源	1.7V~1.9V 3.0V~3.6V
PVcc_HO	D	端子入出力用電源	1.7V~1.9V
AVcc	A	アナログ電源/アナログ基準電圧	3.0V~3.6V
AVss	A	アナロググランド	0V
USBAPVcc1、 USBAPVcc0	A	トランシーバ部アナログ端子電源	3.0V~3.6V
LVDSAPVcc	A	LVDS アナログ電源	3.0V~3.6V
MIPIAVcc18	A	MIPI アナログ電源	1.7V~1.9V
PLLVcc	A	PLL 用電源	1.14V~1.26V
LVDSPLLVcc	A	LVDS PLL 電源	1.14V~1.26V
USBVss	- <sup>*2</sup>	トランシーバ部端子グランド	0V

【注】 全ての電源およびグランド端子を接続してください。開放端子がある場合、LSI の動作は保証されません。

パッケージによっては存在しない端子があります。

\*1. デジタル系電源を D、アナログ系電源を A として表記しています。

\*2. USB 用のグランドです。

## 1.2 絶対最大定格

表 1.3 および表 1.4 に示す本シリーズの LSI の絶対最大定格を満足するようボードを設計して下さい。絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

表 1.3 絶対最大定格 (RZ/A1)

端子名	名称	定格値
PVcc	端子入出力用電源	-0.3V~4.2V
Vcc	コア電源	-0.3V~1.6V
PLLVcc	PLL 電源電圧	-0.3V~1.6V
AVcc	アナログ電源電圧	-0.3V~4.2V
AVref	アナログ基準電圧	-0.3V~AVcc <sup>*1</sup> +0.3V
USBAPVcc	トランシーバ部アナログ端子電源	-0.3V~4.2V
USBDPVcc <sup>*2</sup>	トランシーバ部デジタル端子電源	-0.3V~4.2V
USBAVcc	トランシーバ部アナログコア電源	-0.3V~1.6V
USBDVcc	トランシーバ部デジタルコア電源	-0.3V~1.6V
USBUVcc	USB2.0 ホスト/ファンクション モジュール 480MHz 用電源	-0.3V~1.6V
VDAVcc	ビデオ信号入力用アナログ電源	-0.3V~4.2V
LVDSAPVcc	LVDS アナログ電源	-0.3V~4.2V
LVDSPLLVcc	LVDS PLL 電源	-0.3V~1.6V
VBUS1、VBUS0	VBUS	-0.3V~5.5V
REFRIN	USB 基準抵抗接続端子	-0.3V~USBAPVcc <sup>*1</sup> +0.3V
DP1、DM1、DP0、DM0	USB2.0 データ入出力端子	-0.3V~USBDPVcc <sup>*1*2</sup> +0.3V
VIN2A、VIN1A、VIN2B、 VIN1B、VRP、VRM、REXT	ビデオ信号入力用端子	-0.3V~VDAVcc <sup>*1</sup> +0.3V
LVDSREFRIN	LVDS 基準抵抗接続端子	-0.3V~LVDSAPVcc <sup>*1</sup> +0.3V
AN7~AN0	アナログ入力端子	-0.3V~AVcc <sup>*1</sup> +0.3V <sup>*3</sup>
その他の入力端子	—	-0.3V~PVcc <sup>*1</sup> +0.3V

【注】 パッケージによっては存在しない端子があります。

\*1. 定格値は印加されている電源電圧に応じて変化します。

たとえば、AVcc に 0V が印加されているときの AVref の定格値は -0.3V~0.3V となります。

\*2. BGA パッケージでは PVcc となります。

\*3. 汎用入出力ポートをアナログ入力端子に設定した場合の定格値です。

表 1.4 絶対最大定格 (RZ/A2M)

端子名	名称	定格値
PVcc	端子入出力用電源	-0.3V~4.2V
PVcc_SPI、 PVcc_SD1、 PVcc_SD0	端子入出力用 1.8V/3.3V 切替電源	-0.3V~4.2V
PVcc_HO	端子入出力用電源	-0.3V~4.2V
Vcc	コア電源	-0.3V~1.6V
PLLVcc	PLL 電源電圧	-0.3V~1.6V
AVcc	アナログ電源電圧	-0.3V~4.2V
USBAPVcc1、 USBAPVcc0	トランシーバ部アナログ端子電源	-0.3V~4.2V
USBDPVcc1、 USBDPVcc0	トランシーバ部デジタル端子電源	-0.3V~4.2V
LVDSAPVcc	LVDS アナログ電源	-0.3V~4.2V
LVDSPLLvcc	LVDS PLL 電源	-0.3V~1.6V
MIPIAVcc18	MIPI アナログ電源	-0.3V~2.6V
HM_RWDS/OM_DQS、 HM_DQ7/OM_SIO7~ HM_DQ0/OM_SIO0	HyperBus コントローラおよび Octa メモリコントローラの入力端子	-0.3V~PVcc_HO*1+0.3V
CSI_DATA1P、CSI_DATA1N、 CSI_DATA0P、CSI_DATA0N、 CSI_CLKP、CSI_CLKN	MIPI CSI-2 インタフェース入力端子	-0.3V~MIPIAVcc18*1+0.3V
QSPI1_SSL、 QSPI1_IO3~QSPI1_IO0、 QSPI0_IO3~QSPI0_IO0、 RPC_INT#	SPI マルチ I/O バスコントローラ 入力端子	-0.3V~PVcc_SPI*1+0.3V
SD0_DAT7~SD0_DAT0、 SD0_CMD	SD/MMC ホストインタフェース チャンネル 0 用入力端子	-0.3V~PVcc_SD0*1+0.3V
SD1_DAT3~SD1_DAT0、 SD1_CMD	SD/MMC ホストインタフェース チャンネル 1 用入力端子	-0.3V~PVcc_SD1*1+0.3V
RREF0	USB 基準抵抗接続端子	-0.3V~USBAPVcc0*1+0.3V
RREF1	USB 基準抵抗接続端子	-0.3V~USBAPVcc1*1+0.3V
DP0、DM0	USB チャンネル 0 データ入出力端子	-0.3V~USBDPVcc0*1+0.3V
DP1、DM1	USB チャンネル 1 データ入出力端子	-0.3V~USBDPVcc1*1+0.3V
AN007~AN000	アナログ入力端子	-0.3V~AVcc*1+0.3V*2
その他の入力端子	—	-0.3V~PVcc*1+0.3V

【注】 パッケージによっては存在しない端子があります。

RZ/A2M では LVDSAPVcc を使用する入力端子はありません。

RZ/A2M ハードウェアマニュアル 表 56.1 絶対最大定格 「その他の入力端子」の項目では、3.3V が印加される電源端子を一律記載しているため、LVDSAPVcc を含んでいます。

\*1. 定格値は印加されている電源電圧に応じて変化します。

たとえば、AVcc に 0V が印加されているときの AN000 の定格値は -0.3V~0.3V となります。

\*2. 汎用入出力ポートをアナログ入力端子に設定した場合の定格値です。



## 1.2.1 システム電源 OFF 時に外部から電圧が印加される場合の注意事項

本シリーズの LSI の電源が OFF のときにも、表 1.3 および表 1.4 に示す絶対最大定格を守るようボードを設計してください。

たとえば、RZ/A2M を USB ファンクションモジュールとして使用する場合、RZ/A2M の電源が OFF のときに USB ホストモジュールが接続されると、絶対最大定格 ( $-0.3V \sim 0.3V$ ) \*1 を超過した電圧が RZ/A2M の VBUSIN 入力端子\*1 に印加され、LSI の永久破壊となる可能性があります。これを避けるため、図 1.1 に示す保護回路を参考に、本シリーズの LSI を保護してください。

【注】 \*1. RZ/A2M の VBUSIN 入力端子は汎用入出力ポートにマルチプレクスされており、その端子の絶対最大定格は  $-0.3V \sim PVcc + 0.3V$  となります。詳細は表 1.4 に記載している「その他の入力端子」を参照してください。

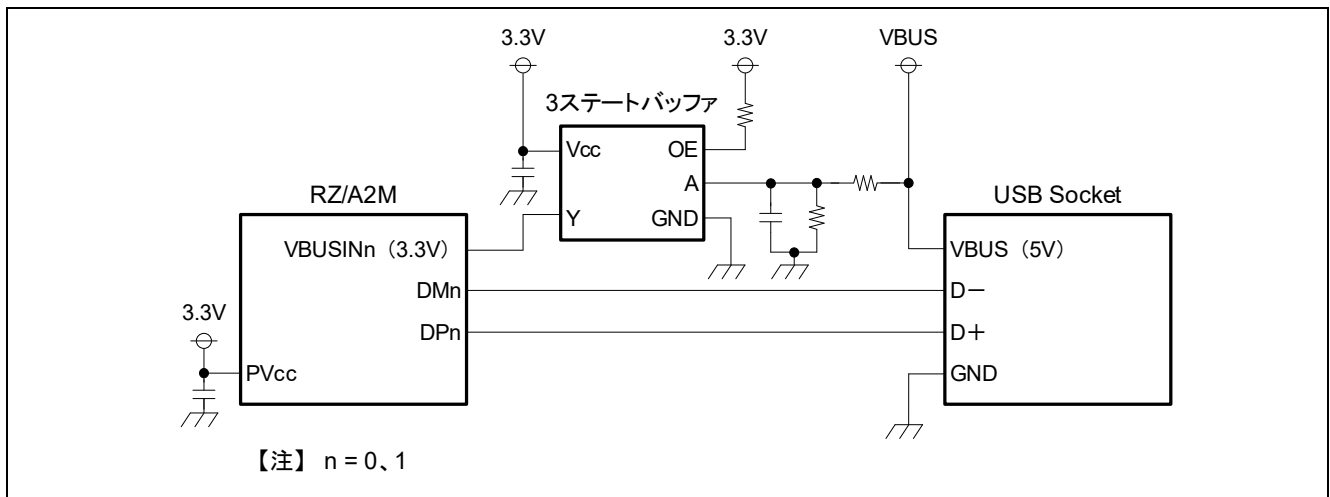


図 1.1 LSI 保護回路例

### 1.3 バイパスコンデンサ

QFP では電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして接続してください。図 1.2 に 256 ピン QFP、図 1.3 に 208 ピン QFP、図 1.4 に 176 ピン QFP のバイパスコンデンサ配置例を示します。

BGA パッケージでは、全ての電源端子にバイパスコンデンサを接続することが困難な場合、複数の電源端子をまとめて接続することも可能です。図 1.5~図 1.12 にまとめることが可能な端子を示します。

コンデンサはできる限り LSI の電源端子の近くに配置し、その容量値は 1 端子につき 0.1µF~0.33µF (推奨値) を使用してください。

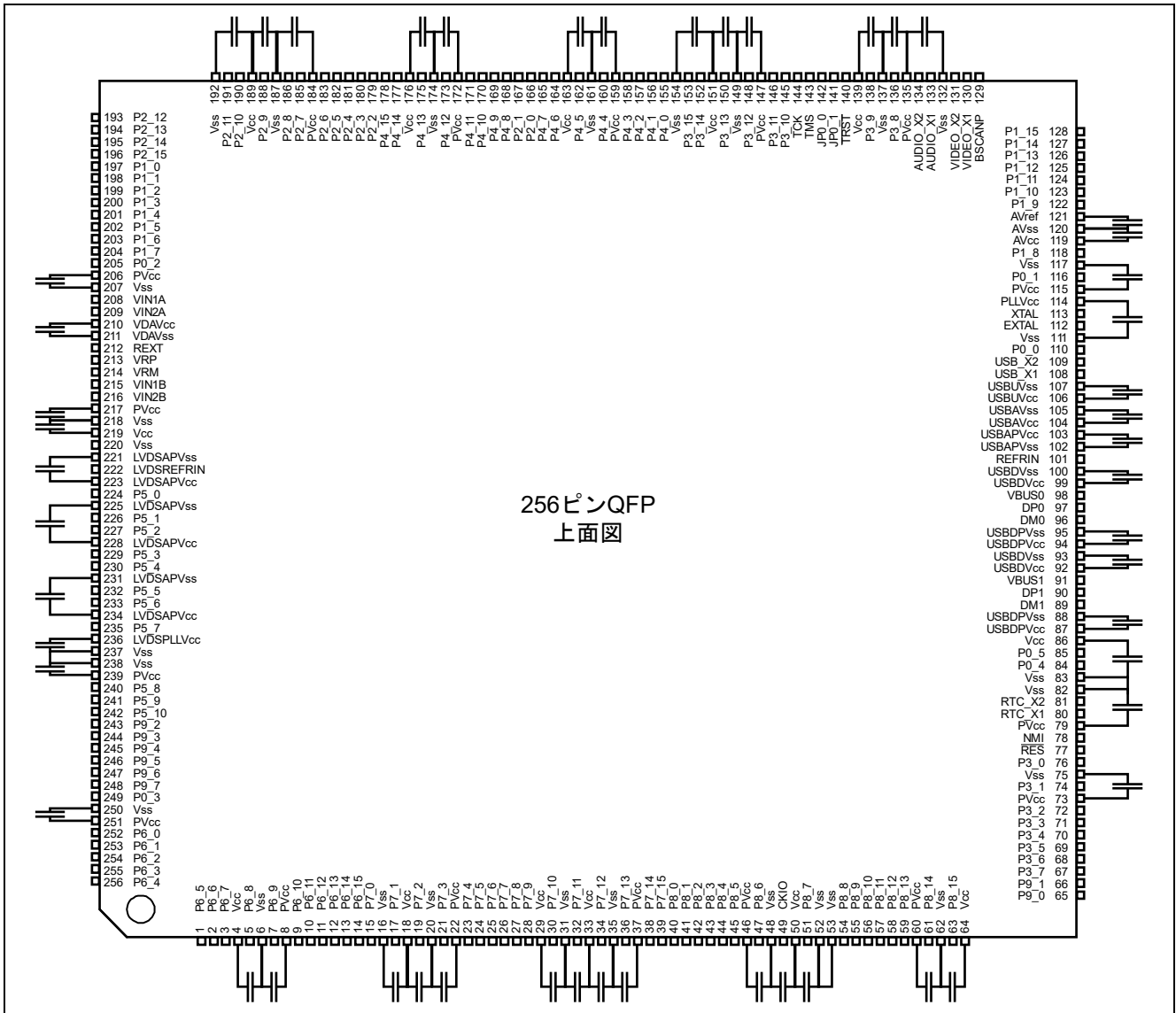


図 1.2 256 ピン QFP コンデンサ配置例 (RZ/A1HM)

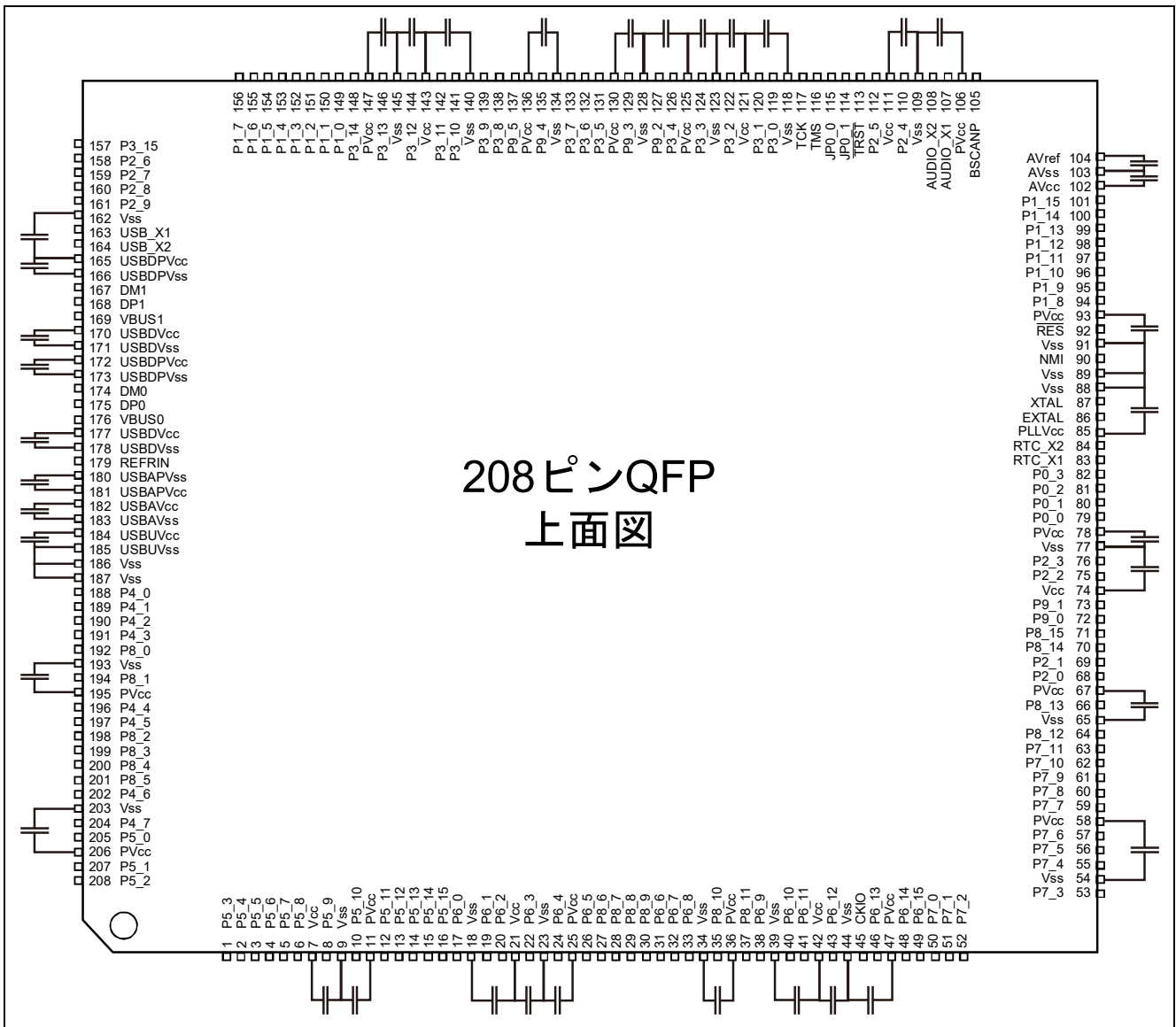


図 1.3 208 ピン QFP コンデンサ配置例 (RZ/A1L)

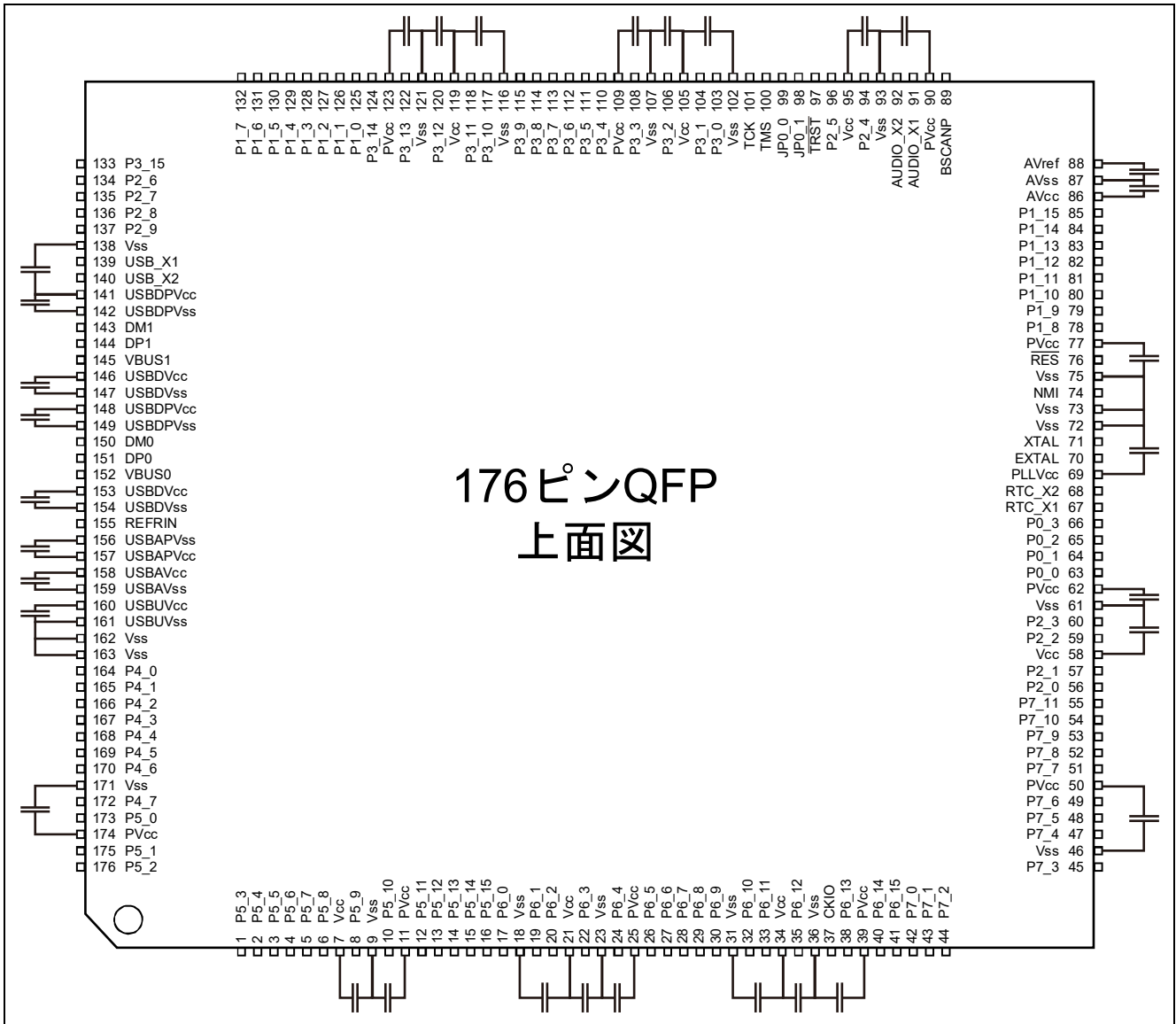


図 1.4 176 ピン QFP コンデンサ配置例 (RZ/A1L)

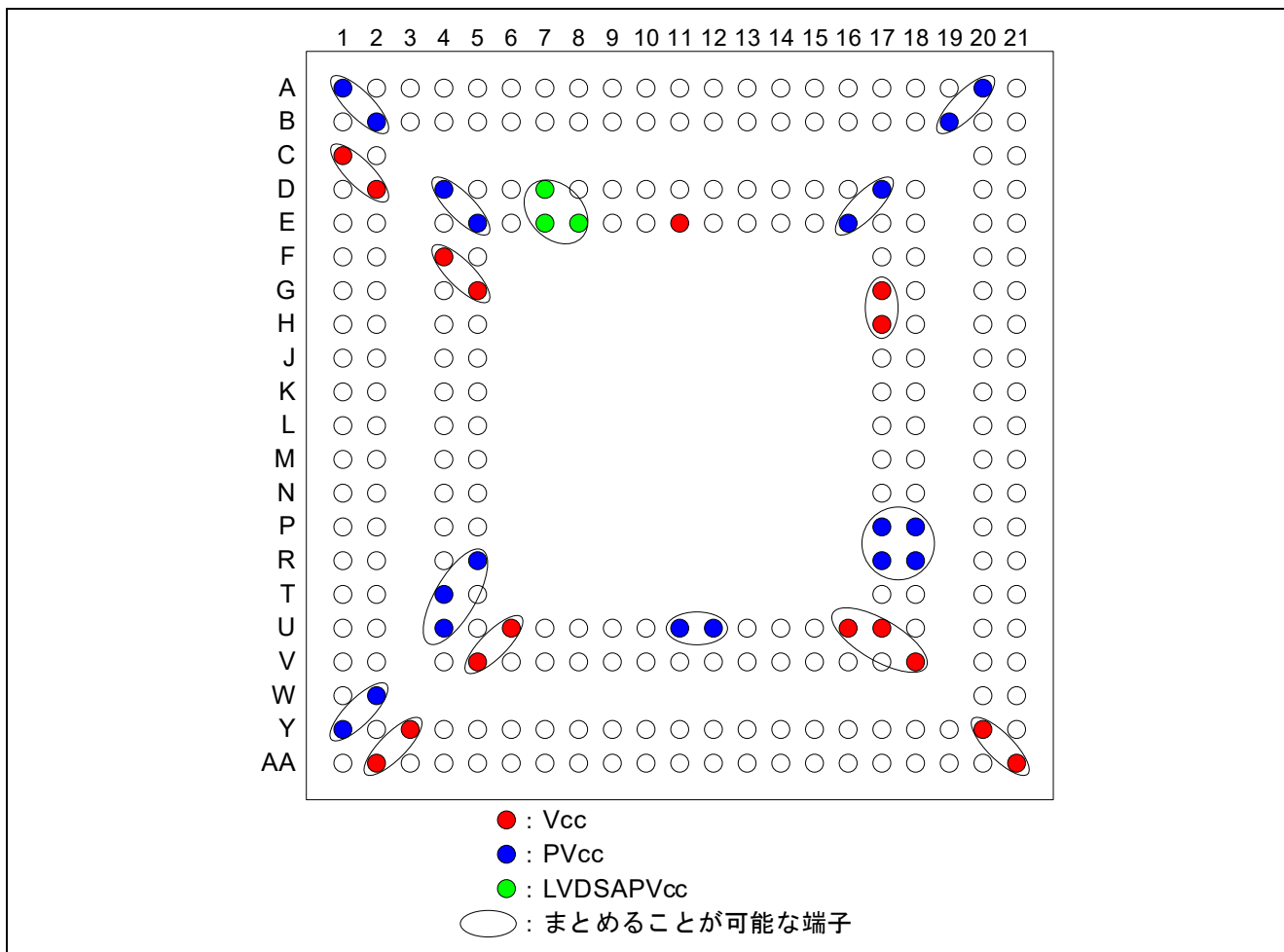


図 1.5 256 ピン BGA 電源端子まとめ例 (RZ/A1HM) (上面透視図)

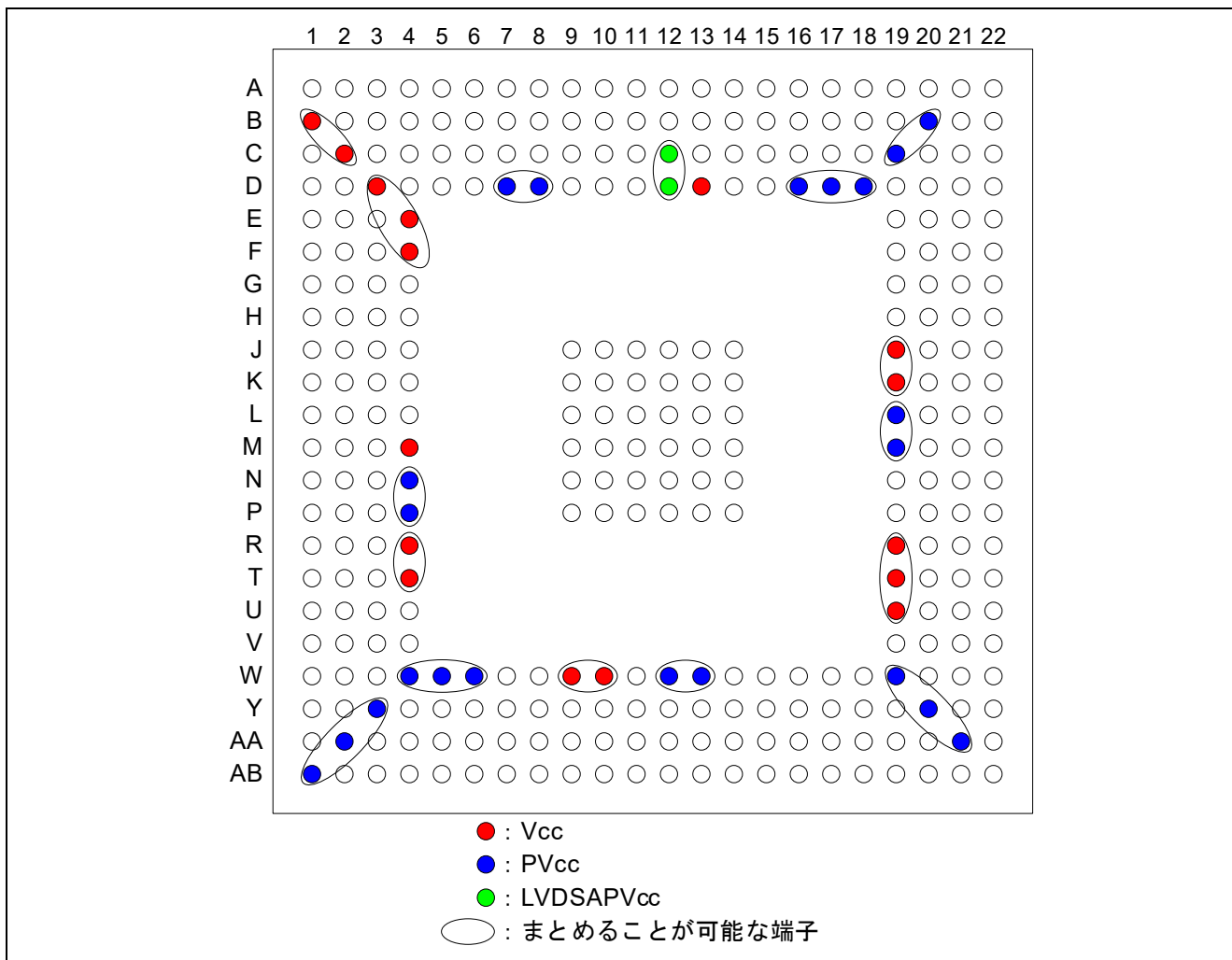


図 1.6 324 ピン BGA 電源端子まとめ例 (RZ/A1HM) (上面透視図)

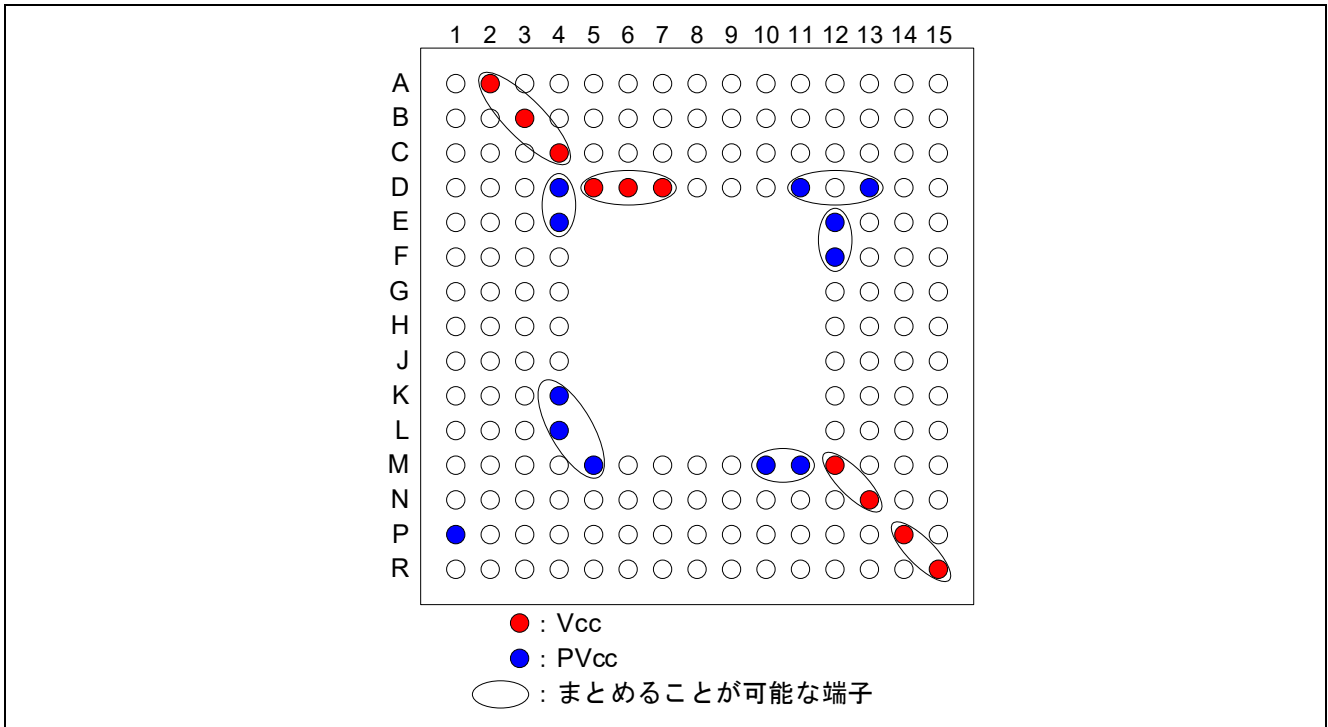


図 1.7 176 ピン BGA 電源端子まとめ例 (RZ/A1L) (上面透視図)

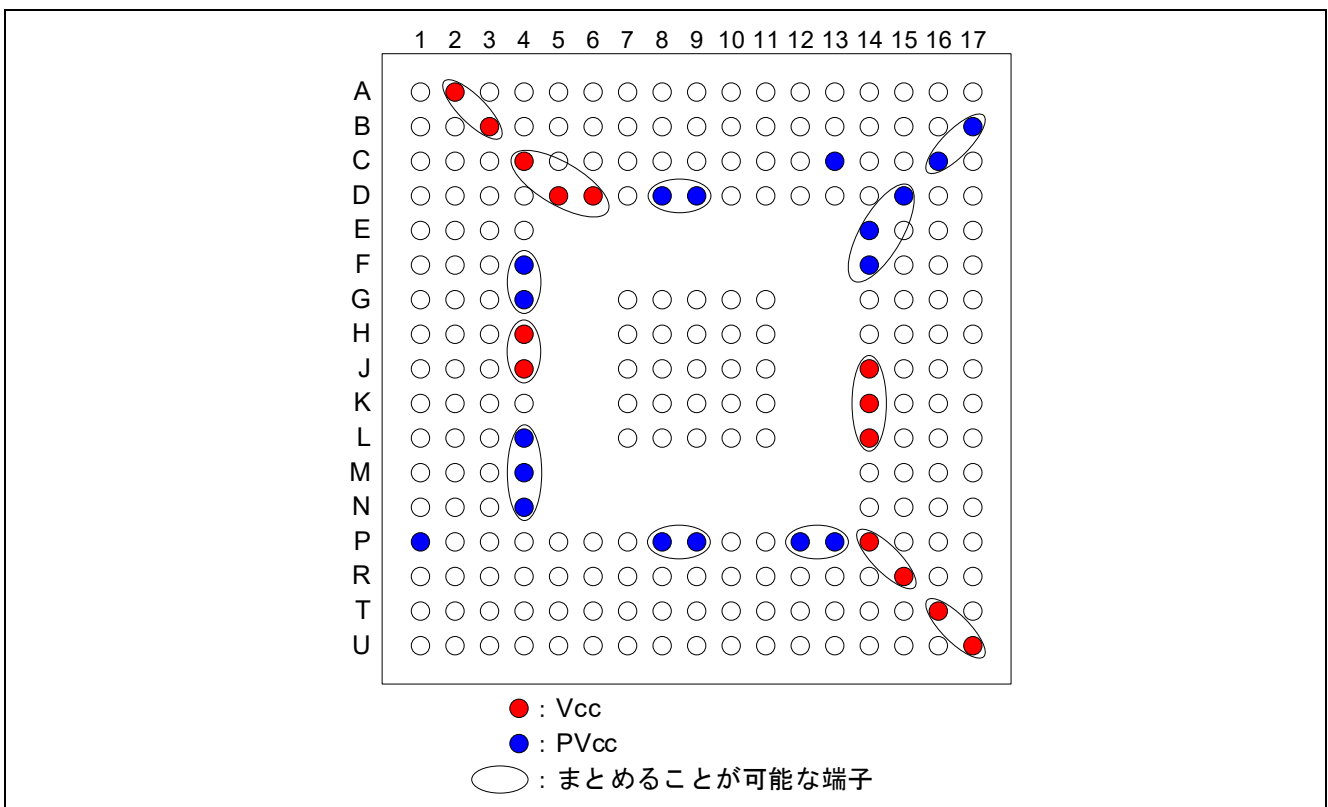


図 1.8 233 ピン BGA 電源端子まとめ例 (RZ/A1L) (上面透視図)

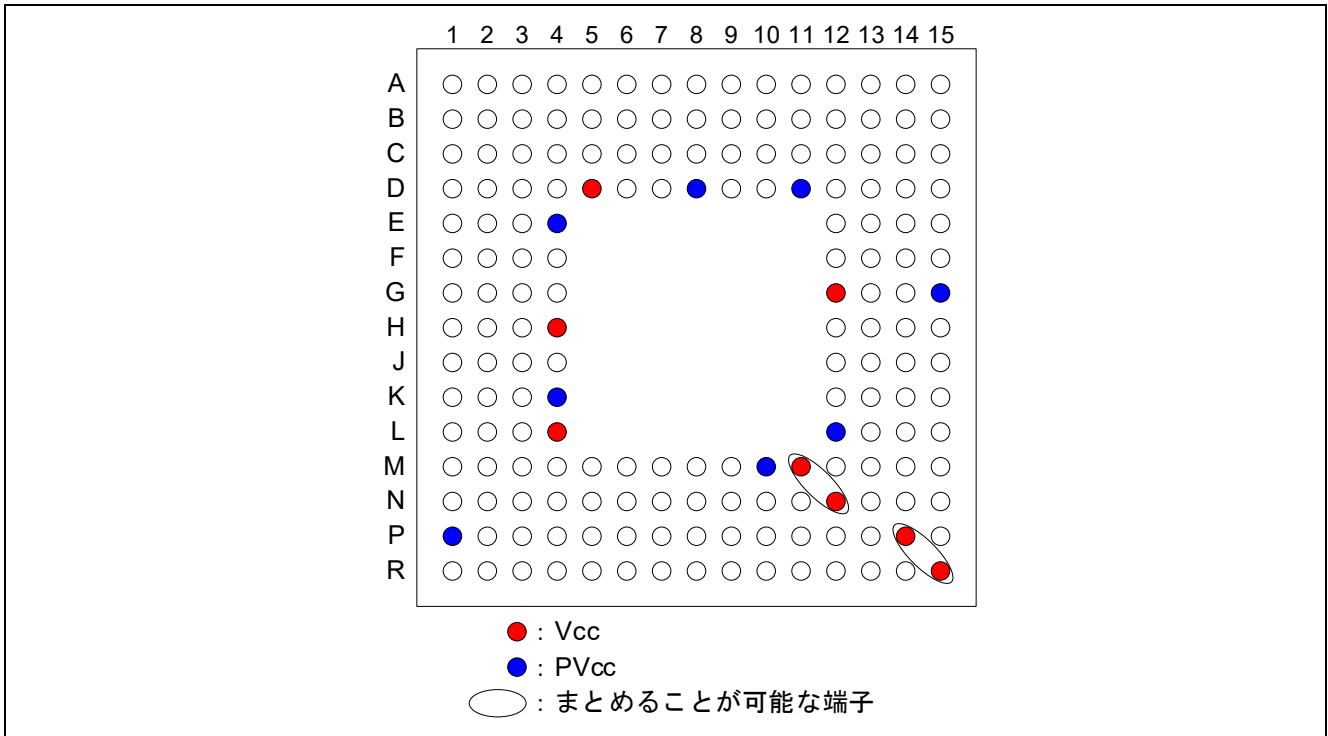


図 1.9 176 ピン BGA 電源端子まとめ例 (RZ/A2M) (上面透視図)

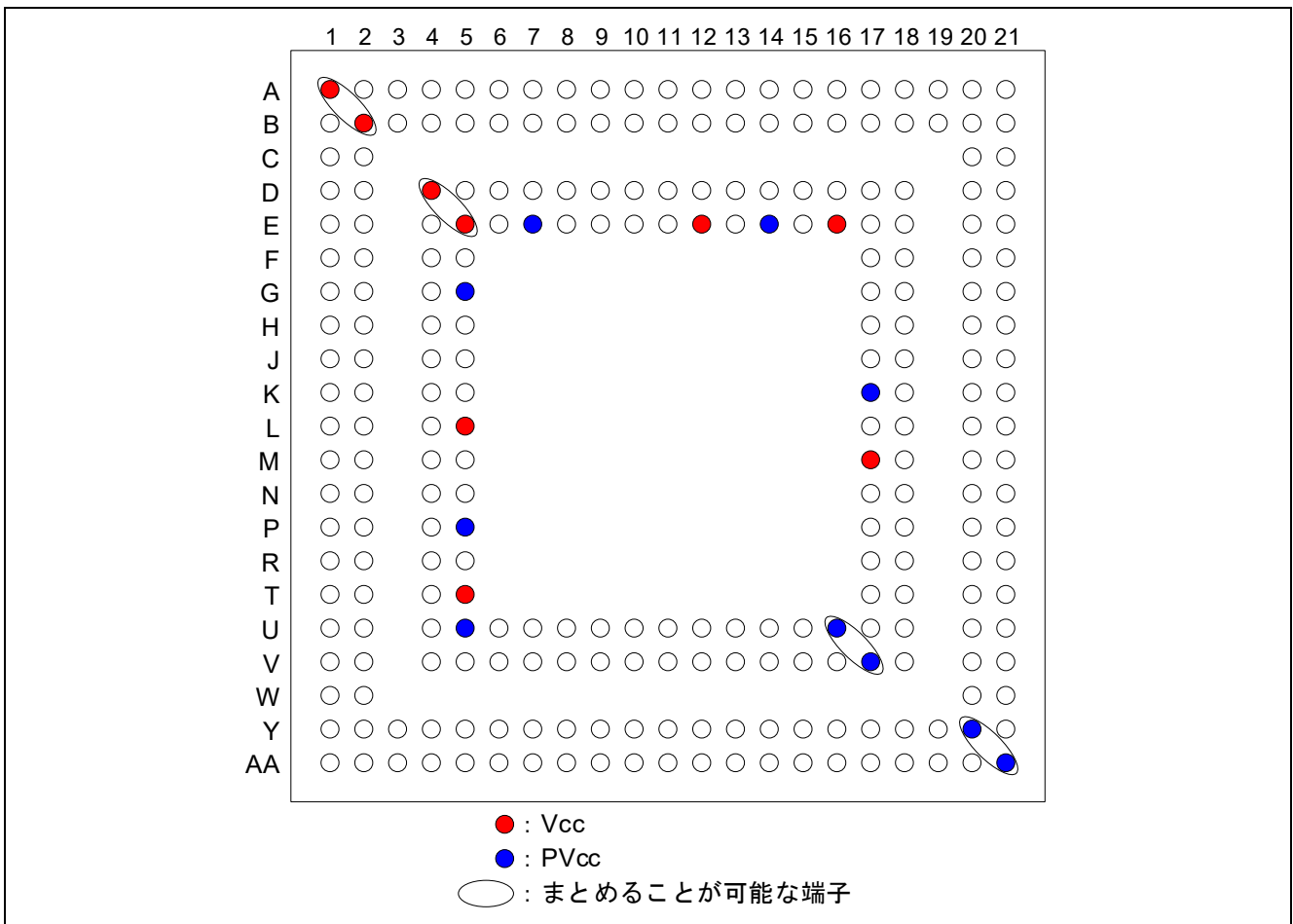


図 1.10 256 ピン BGA 電源端子まとめ例 (RZ/A2M) (上面透視図)



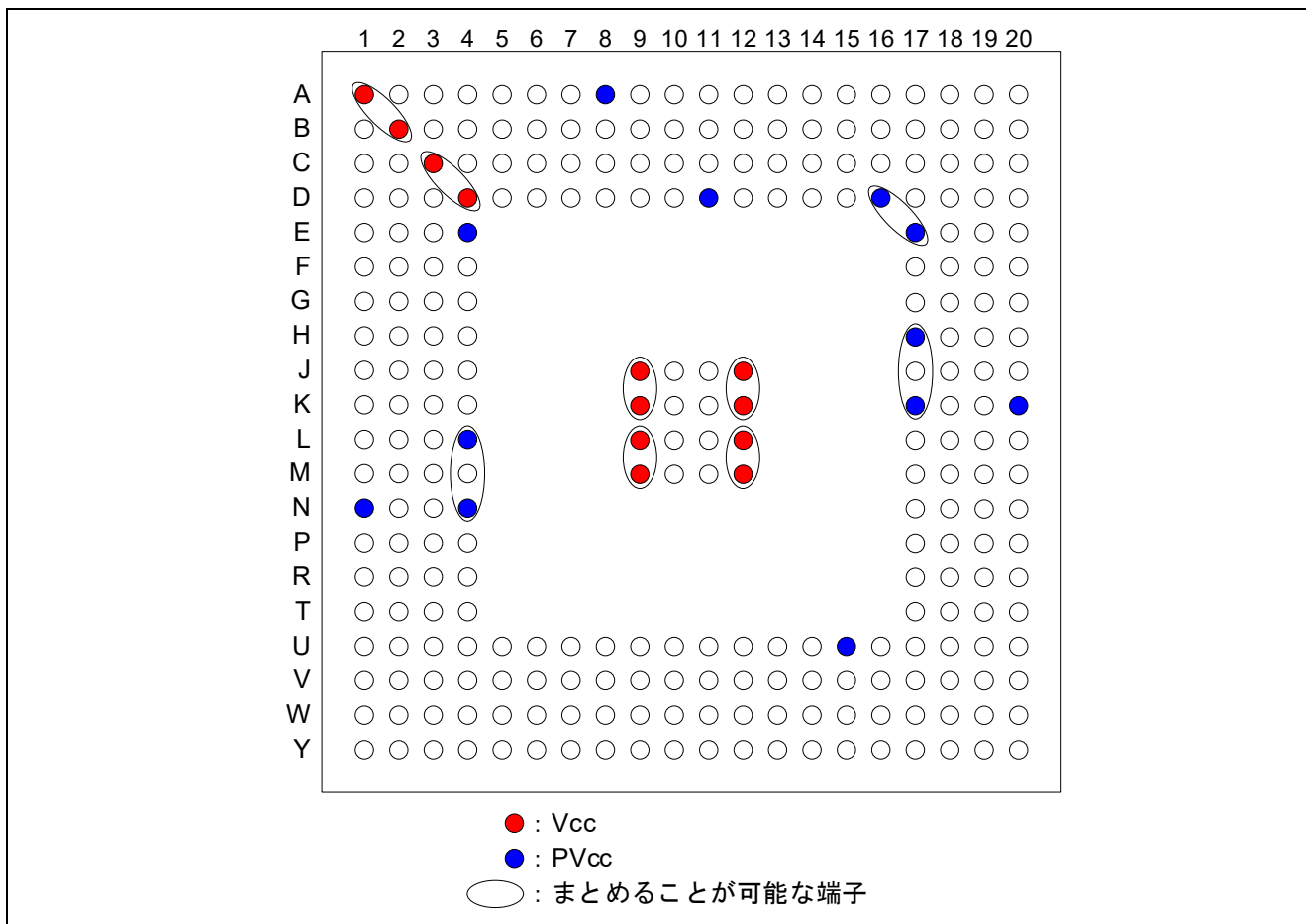


図 1.11 272 ピン BGA 電源端子まとめ例 (RZ/A2M) (上面透視図)

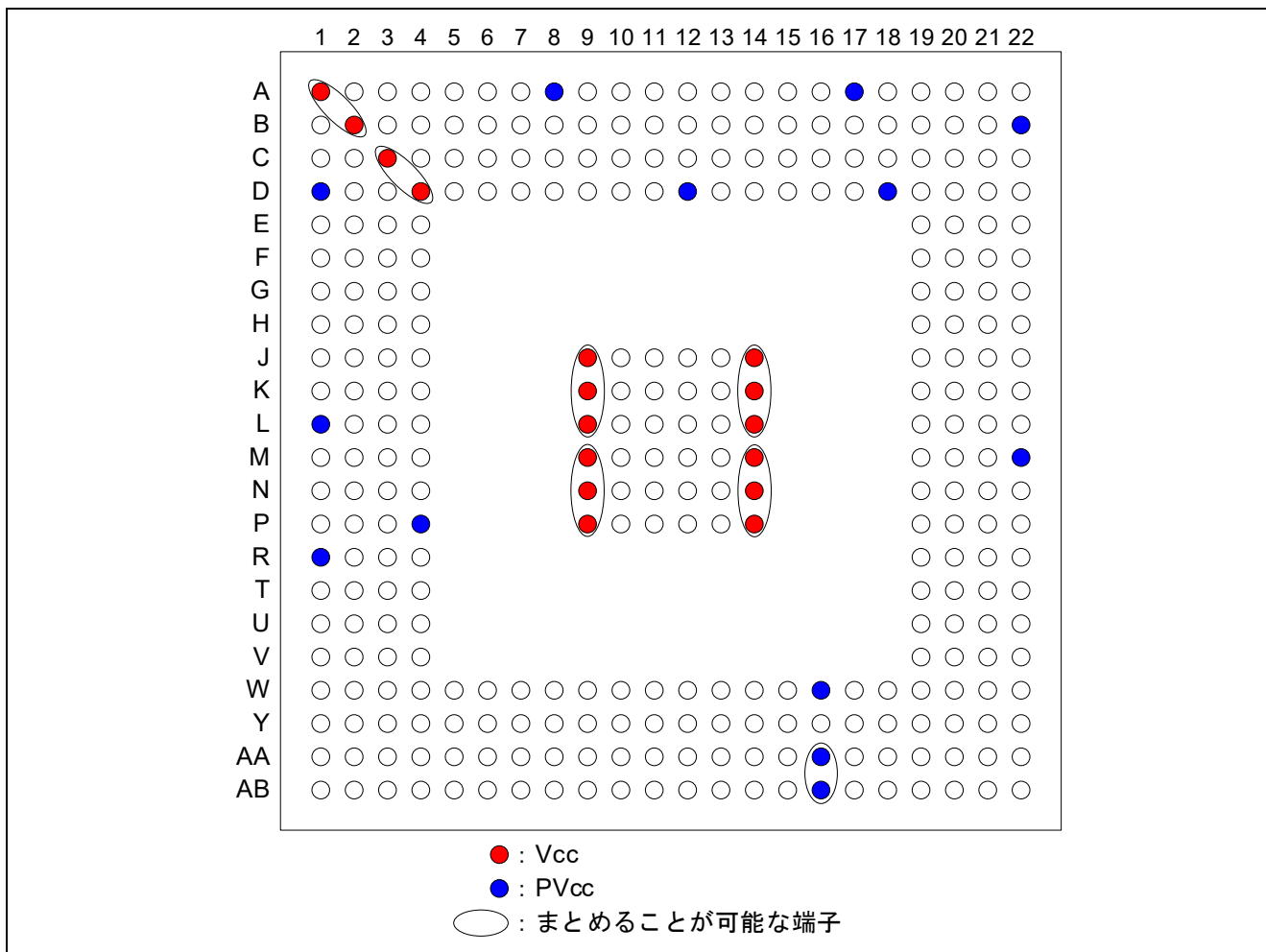


図 1.12 324 ピン BGA 電源端子まとめ例 (RZ/A2M) (上面透視図)

## 2. リセット

### 2.1 電源投入および切断シーケンス

1.2V 系電源<sup>\*1</sup>、1.8V 系電源<sup>\*1\*2</sup>、1.8V/3.3V 切替電源<sup>\*1\*2</sup> および 3.3V 系電源<sup>\*1</sup> の投入・切断順序はどのような順序でも問題ありません。

電源の投入時は、必ず TRST#端子および RES#端子をローレベルにしてください<sup>\*3</sup>。これが守られない場合、出力端子および入出力端子の出力が不定となり、それによってシステム全体が誤動作を引き起こす可能性があります。

電源の切断時も、上記が問題となる可能性がある場合は、TRST#端子および RES#端子をローレベルとなるよう設計してください。

また、表 2.1 に示す電源投入時のタイミング規定を満足するようにしてください。

【注】 \*1. 各電源の内訳は表 1.1 および表 1.2 を参照してください。

\*2. RZ/A1 にはこの電源は存在しません。

\*3. 詳細は表 2.2 および図 2.5 を参照してください。

表 2.1 タイミング規定

項目	記号	Min	Max	単位	参照図
SSCG 安定時間 <sup>*1*2</sup>	tSSCG	1	—	μs	図 2.1
RES#入力立上り時間 <sup>*3</sup>	tRSr	—	500	μs	図 2.2
RES#ネゲートホールド時間 <sup>*1*4</sup>	tRSNH	0	—	ns	図 2.3
モードホールド時間	tMDH	200	—	ns	図 2.4

【注】 \*1. RZ/A2M にはこの規定は存在しません。

\*2. SSCG 機能を使用する場合はこの規定を満足するようにしてください。

\*3. RZ/A1 では、TRST#端子と RES#端子を同一信号で制御する場合は本項目を満足するようにしてください。

\*4. TRST#端子と RES#端子を別々の信号で制御する場合は本項目を満足するようにしてください。

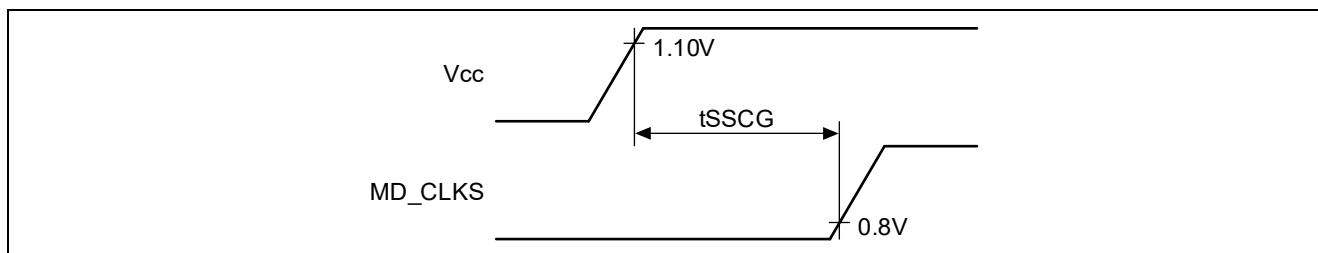


図 2.1 SSCG 安定時間

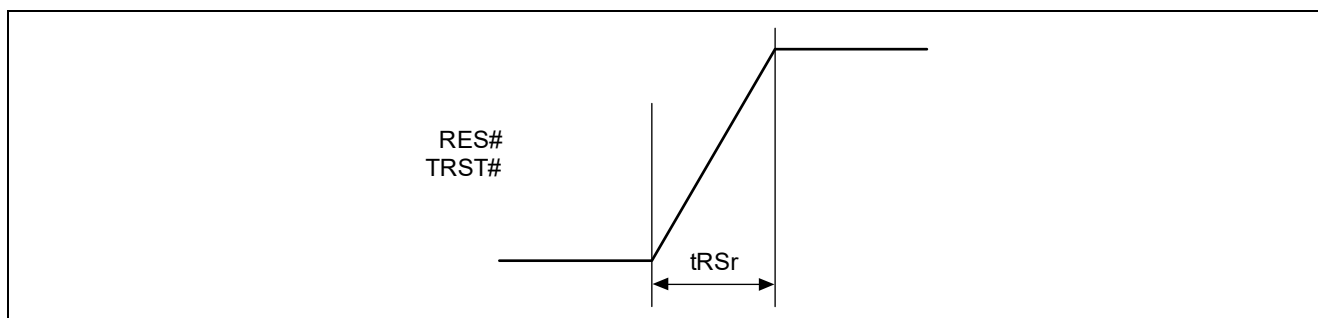


図 2.2 RES#入力立上り時間

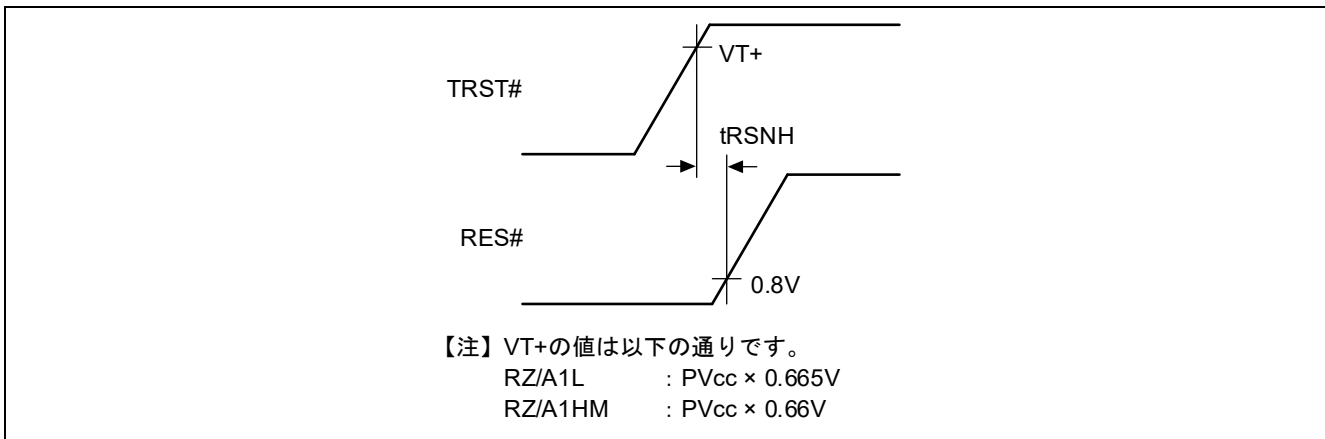


図 2.3 RES#ネゲートホールド時間

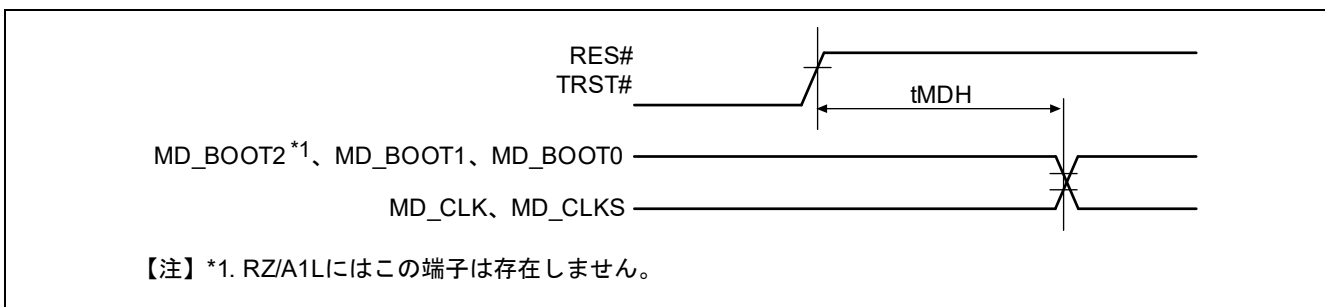


図 2.4 モードホールド時間

## 2.2 発振安定時間

RES#端子をローレベルにすると、本シリーズのLSIはパワーオンリセット状態になります。本シリーズのLSIを確実にリセットするために、電源投入時はパワーオン発振安定時間（tROSC+tPOSC）の間RES#端子およびTRST#端子をローレベルに保持してください。

パワーオン発振安定時間は電源がMin値以上になってからRES#端子がVIL Max以上になるまでの時間で規定されます。表2.2にパワーオン発振安定時間のタイミング規定を、図2.5にパワーオン発振安定時間を示します。

ルネサスエレクトロニクス製ISL88014などのリセットICを使うことにより、電源投入時のリセット制御が可能です。図2.6にリセットICとの接続例を示します。

表 2.2 パワーオン発振安定時間のタイミング規定

項目	記号	Min	Max	単位
内蔵 PLL 回路発振安定時間	tPOSC	1	—	ms
内蔵発振回路発振安定時間 <sup>*1</sup>	tROSC	—	4 <sup>*2</sup>	ms

【注】 \*1. 外部クロックを使用する場合、この時間は不要です。

\*2. 発振子メーカーによる発振評価結果をもって本スペックより小さい値を設定することが可能です。

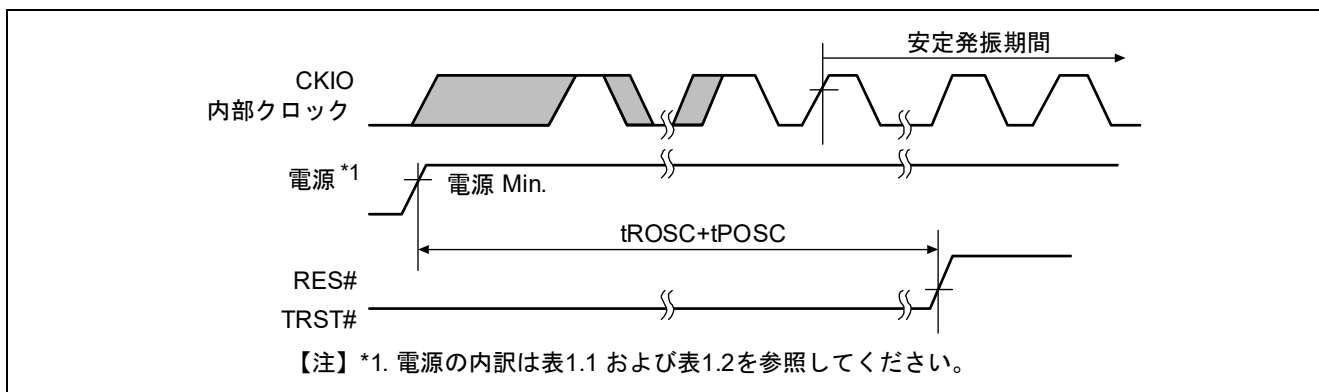


図 2.5 パワーオン発振安定時間

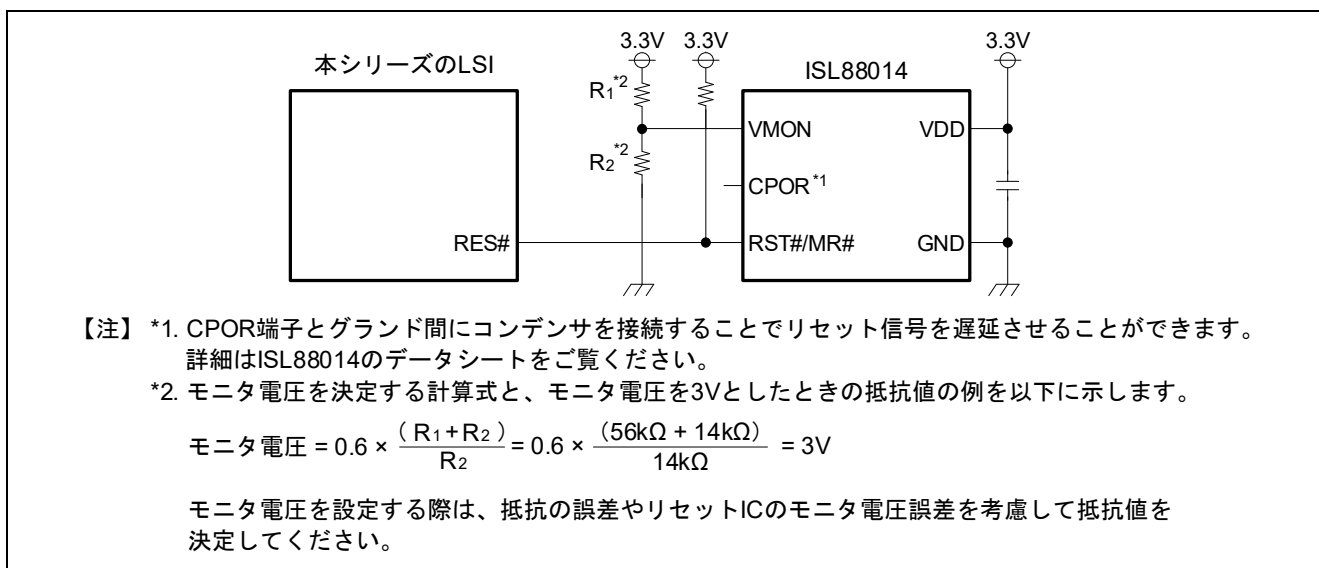


図 2.6 リセット IC 接続例

## 3. 発振回路

## 3.1 クロック端子

表 3.1 に水晶発振子の接続またはクロック入力可能な端子とその周波数を示します。

クロック端子を使用しない場合は、Xin 端子は固定（プルアップ/プルダウン/電源接続/グランド接続）、Xout 端子はオープンにしてください。

表 3.1 クロック端子

Xin 端子*1	Xout 端子*1	備考		対象 LSI
EXTAL	XTAL	EXTAL クロック入力周波数 (USB2.0 ホスト/ ファンクションモジュールへ クロック供給時)	12MHz±100ppm	RZ/A1
			12MHz±100ppm 24MHz±100ppm *2	RZ/A2M
		EXTAL クロック入力周波数 (USB2.0 ホスト/ ファンクションモジュールへ クロック非供給時)	10MHz~13.33MHz	RZ/A1
			10MHz~12MHz 20MHz~24MHz *2	RZ/A2M
USB_X1	USB_X2	ハイスピード動作時	48MHz±100ppm	RZ/A1
		非ハイスピード動作、かつ ホスト動作時	48MHz±500ppm	
		非ハイスピード動作、かつ ファンクション動作時	48MHz±2500ppm	
		USB_X1 クロック入力周波数 (USB2.0 ホスト/ ファンクションモジュールへ 48MHz クロック供給時)	48MHz±100ppm	RZ/A2M
AUDIO_X1	AUDIO_X2	水晶発振子接続時	10MHz~50MHz	RZ/A シリーズ
		外部クロック入力時	1MHz~50MHz	
RTC_X1	RTC_X2	32.768kHz		RZ/A シリーズ
RTC_X3	RTC_X4	4MHz		RZ/A1HM
VIDEO_X1	VIDEO_X2	27MHz±50ppm*3		RZ/A1HM

【注】 \*1. 外部クロックを使用する場合は Xin 端子に入力し、水晶発振子を使用する場合は Xin 端子 - Xout 端子間に接続します。

\*2. MD\_CLK 端子によって入力周波数範囲が変わります。詳細は「表 4.14 クロックモード設定端子とクロック入出力の関係」を参照してください。

\*3. 参考値です。本クロック精度は、デジタルビデオデコーダからの出力映像の画質に影響します。できるだけ精度の良いクロックを入力してください。

### 3.2 外部クロック接続例

図 3.1 に外部クロックの接続例を示します。Xout 端子を開放状態にする場合、寄生容量は 10pF 以下にしてください。

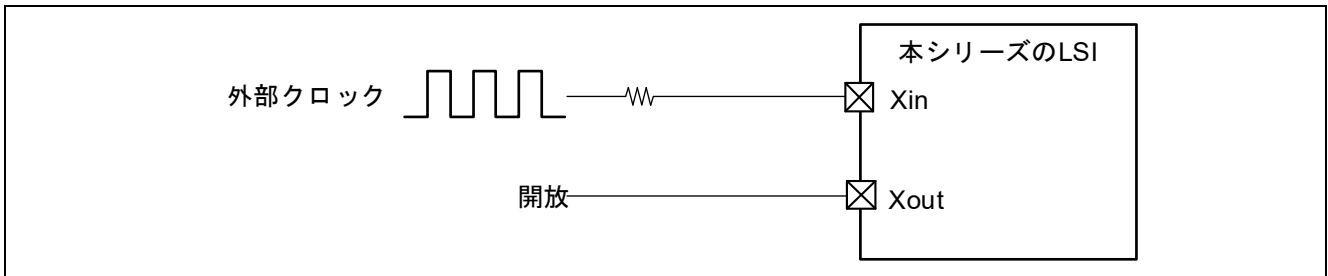


図 3.1 外部クロックの接続例

### 3.3 水晶発振子接続例

図 3.2 に水晶発振子の接続例を示します。

水晶発振子と容量 CL1、CL2 は、できるだけ Xin 端子と Xout 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、水晶発振子に付加する容量の接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

水晶発振子の回路定数は、水晶発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカー<sup>\*1</sup>と十分ご相談の上、また、十分な評価を実施してパラメータ（抵抗、容量値）を決定してください。本シリーズの LSI には帰還抵抗を内蔵していますが、水晶発振子の特性によっては外付け帰還抵抗が必要になる場合があります。

【注】 \*1. 以下の発振子メーカーサイトから本シリーズの LSI の各製品に適合する発振子と回路マッチング例を参照することができます。お客様のシステムにおける最適発振回路定数が必要な場合は、発振子メーカーにご依頼ください。

[http://prdct-search.kyocera.co.jp/crystal-ic/?p=ja\\_search/&s1=27](http://prdct-search.kyocera.co.jp/crystal-ic/?p=ja_search/&s1=27)

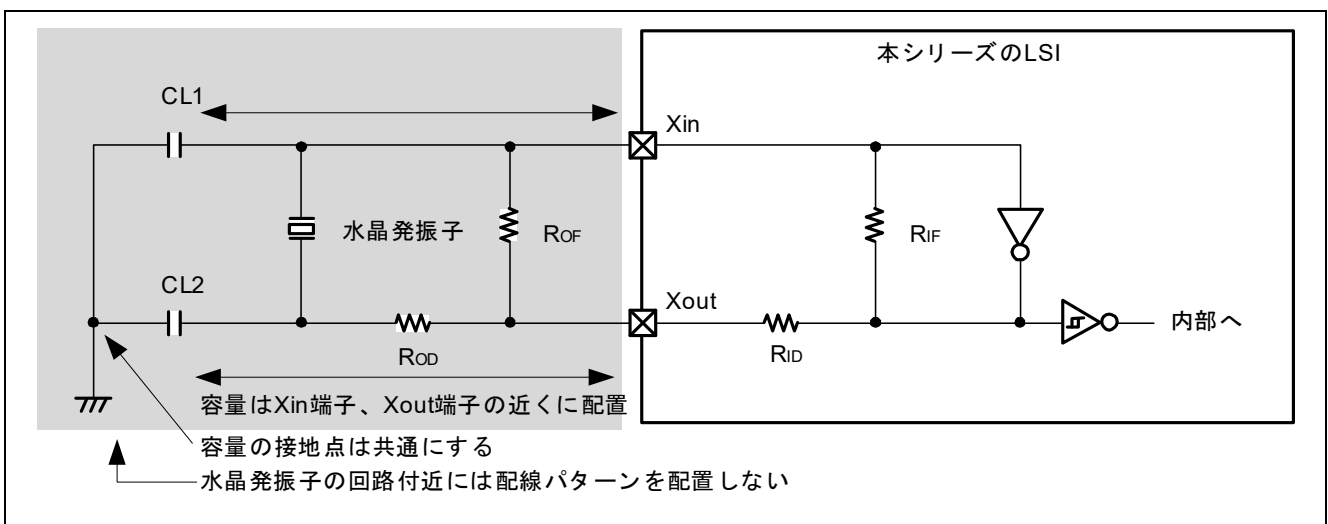


図 3.2 水晶発振子の接続例

## 4. 動作モード

### 4.1 ブートモード

本シリーズの LSI には表 4.1 に示すブートモードがあり、ブートモード設定端子 (MD\_BOOT2<sup>\*1</sup>~MD\_BOOT0) によりブートモードを決定します。

【注】 \*1. MD\_BOOT2 端子は、RZ/A1L には存在しません。

#### 4.1.1 ブートモード設定端子 (MD\_BOOT2~MD\_BOOT0)

本シリーズの LSI は、RES#端子がローレベルのときにブートモード設定端子を用いてブートモードを決定します。表 4.1 にブートモード設定端子とブートモードの関係を示します。また、図 5.1~図 5.26 に各ブートモードの接続例を示します。

リセット解除時はモードホールド時間 (tMDH) を満足するようにしてください。詳細は「2.1 電源投入および切断シーケンス」を参照してください。

表 4.1 ブートモード設定端子 (MD\_BOOT2~MD\_BOOT0) とブートモードの関係

ブートモード	RZ/A1HM			RZ/A1L		RZ/A2M			接続図
	MD_BOOT			MD_BOOT		MD_BOOT			
	2	1	0	1	0	2	1	0	
CS0 空間 16 ビットブート	N/A <sup>*1</sup>	0	0	0	0	0	0	0	図 5.1
CS0 空間 32 ビットブート	N/A <sup>*1</sup>	1	0	—	—	—	—	—	図 5.2 図 5.3
eSD ブート	0	1	1	0	1	0	0	1	—
eMMC ブート	1	1	1	1	1	0	1	0	図 5.26
シリアルフラッシュブート (3.3V 品)	1	0	1	1	0	0	1	1	図 5.10~ 図 5.13
Octal-SPI フラッシュブート (1.8V 品)	—	—	—	—	—	1	0	0	図 5.14 図 5.19
HyperFlash ブート 1 (1.8V 品)	—	—	—	—	—	1	0	1	図 5.15
OctaFlash ブート (1.8V 品)	—	—	—	—	—	1	1	0	図 5.20
HyperFlash ブート 2 (1.8V 品)	—	—	—	—	—	1	1	1	図 5.16

【注】 \*1. N/A (Not Applicable) は端子状態が 0、1 いずれでもよいことを示します。



## 4.1.2 CS0 空間 16 ビットブート

CS0 空間に接続されたメモリ（バス幅 16bit）からブートします。

表 4.2 に本ブートモードで、ブートプログラムが機能を設定する端子を示します。

A25～A21 端子は初期状態が汎用ポート<sup>\*1</sup>のため、出力が不定となり意図したアドレスにアクセスできない可能性があります。このため、A25～A21 端子を使用する場合は、外部でプルダウンしてください。

図 5.1 に本ブートモードに対応した接続例を示します。

【注】 \*1. RZ/A1 は汎用入力ポート、RZ/A2M は Hi-Z 状態の汎用入出力ポートとなります。

表 4.2 CS0 空間 16 ビットブートで使用する端子

端子名	ポート		
	RZ/A1HM	RZ/A1L	RZ/A2M <sup>*1</sup>
A20～A1	P8_12～P8_0、 P7_15～P7_9	P4_3～P4_0、 P3_15～P3_0	PA_4～PA_0、 P9_7～P9_0、 P8_7～P8_1
D15～D0	P6_15～P6_0	P5_15～P5_0	P2_3～P2_0、 P1_4～P1_0、 P0_6～P0_0
CS0#	P7_0	P2_7	PB_3
RD#	P7_8	P2_8	P7_7
CKIO	CKIO	CKIO	CKIO

【注】 \*1. 324 ピン BGA パッケージのみ。

## 4.1.3 CS0 空間 32 ビットブート

CS0 空間に接続されたメモリ（バス幅 32bit）からブートします。

表 4.3 に本ブートモードで、ブートプログラムが機能を設定する端子を示します。

A25～A21 端子は初期状態が汎用入力ポートのため、出力が不定となり意図したアドレスにアクセスできない可能性があります。このため、A25～A21 端子を使用する場合は、外部でプルダウンしてください。

図 5.2、図 5.3 に本ブートモードに対応した接続例を示します。

表 4.3 CS0 空間 32 ビットブートで使用する端子

端子名	ポート		
	RZ/A1HM	RZ/A1L	RZ/A2M
A20～A2	P8_12～P8_0、 P7_15～P7_10	—	—
D31～D0	P2_15～P2_0、 P6_15～P6_0	—	—
CS0#	P7_0	—	—
RD#	P7_8	—	—
CKIO	CKIO	—	—

## 4.1.4 eSD ブート

SD ホストインタフェース<sup>\*1</sup>のチャンネル0に接続されたSD コントローラ内蔵 NAND フラッシュメモリ<sup>\*2</sup>からブートします。

表 4.4 に本ブートモードで、ブートプログラムが機能を設定する端子を示します。

RZ/A2M の場合、未使用となる SD0\_DAT7~SD0\_DAT4 を固定（プルアップ/プルダウン）してください。詳細は「7.2 未使用端子の処理」を参照してください。

本ブートモードではライトプロテクト端子<sup>\*3</sup>、カード検出端子<sup>\*4</sup>は使用しません。システムの仕様に合わせて端子処理してください。

**【注】** SD ホスト関連製品を開発するには、SD Host/Ancillary Product License Agreement (SD HALA) の締結が必要です。

\*1. RZ/A2M は SD/MMC ホストインタフェースです。

\*2. SD Specification Part1 eSD Addendum (Version 2.10) 規格で定義されている「eSD (Embedded SD)」からブート可能です。

\*3. 端子名は RZ/A1 では SD\_WP\_0、RZ/A2M では SD0\_WP です。

\*4. 端子名は RZ/A1 では SD\_CD\_0、RZ/A2M では SD0\_CD です。

表 4.4 eSD ブートで使用する端子

端子名	ポート		
	RZ/A1HM	RZ/A1L	RZ/A2M
SD_CLK_0	P4_12	P3_3	—
SD_CMD_0	P4_13	P3_2	—
SD_D3_0~SD_D0_0	P4_14、P4_15、 P4_10、P4_11	P3_1、P3_0、 P3_5、P3_4	—
SD0_CLK	—	—	SD0_CLK
SD0_CMD	—	—	SD0_CMD
SD0_DAT3~SD0_DAT0	—	—	SD0_DAT3~SD0_DAT0

## 4.1.5 eMMC ブート

MMC ホストインタフェース<sup>\*1</sup>のチャンネル0に接続されたMMC コントローラ内蔵 NAND フラッシュメモリ<sup>\*2</sup>から、RZ/A1 では4ビット幅、RZ/A2M では8ビット幅でブートします。

表 4.5 に本ブートモードで、ブートプログラムが機能を設定する端子を示します。

図 5.26、図 5.27 に本ブートモードに対応した接続例を示します。

**【注】** \*1. RZ/A2M は SD/MMC ホストインタフェースです。

\*2. JEDEC STANDARD JESD84 A44 (MMCA 4.4) 規格に準拠した eMMC デバイスからのみブート可能です。(MMC カードからのブートはできません。)

表 4.5 eMMC ブートで使用する端子

端子名	ポート		
	RZ/A1HM	RZ/A1L	RZ/A2M
MMC_CLK	P3_12	P7_4	—
MMC_CMD	P3_13	P7_5	—
MMC_D3~MMC_D0	P3_14、P3_15、 P3_10、P3_11	P7_6、P7_7、 P7_2、P7_3	—
SD0_CLK	—	—	SD0_CLK
SD0_CMD	—	—	SD0_CMD
SD0_DAT7~SD0_DAT0	—	—	SD0_DAT7~SD0_DAT0
SD0_RST#	—	—	SD0_RST#

## 4.1.6 シリアルフラッシュブート (3.3V 品)

SPI マルチ I/O バス空間に接続されたシリアルフラッシュメモリ (3.3V 品) からブートします。

表 4.6 に本ブートモードで、ブートプログラムが機能を設定する端子を示します。

本ブートモードではリセット解除後に表 4.7 に示す設定でシリアルフラッシュメモリから読み出しを行うため、これを満たす製品を選定してください。

図 5.10～図 5.13 に本ブートモードに対応した接続例を示します。

表 4.6 シリアルフラッシュブートで使用する端子

端子名	ポート		
	RZ/A1HM	RZ/A1L	RZ/A2M
SPBCLK_0	P9_2	P4_4	—
SPBSSL_0	P9_3	P4_5	—
SPBMO0_0	P9_4	P4_6	—
SPBMO0_0	P9_5	P4_7	—
QSPI0_SPCLK	—	—	QSPI0_SPCLK
QSPI0_SSL	—	—	QSPI0_SSL
QSPI0_IO0	—	—	QSPI0_IO0
QSPI0_IO1	—	—	QSPI0_IO1

表 4.7 シリアルフラッシュブート時の設定

項目	内容
ビットレート <sup>*1</sup>	12.5MHz～16.67MHz (RZ/A1) 13.75MHz～16.5MHz (RZ/A2M)
オペコード	READ (03h)
アドレスサイクル	3 バイト
ダミーサイクル	なし
バス幅	1 ビット
CPOL	正極性
CPHAR	奇数エッジでデータ受信 (RZ/A1) 偶数エッジでデータ受信 (RZ/A2M)
CPHAT	偶数エッジでデータ送信

【注】 \*1. RZ/A1 : SPBCLK\_0  
RZ/A2M : QSPI0\_SPCLK  
ビットレートは入力周波数に依存します。

## 4.1.7 Octal-SPI フラッシュブート (1.8V 品)

SPI マルチ I/O バス空間に接続された Octal-SPI フラッシュメモリ (1.8V 品) からブートします。

表 4.8 に本ブートモードで、ブートプログラムが機能を設定する端子を示します。

本ブートモードでは、RZ/A2M はシリアルフラッシュブートと同じ動作をします。

図 5.14、図 5.19 に本ブートモードに対応した接続例を示します。

表 4.8 Octal-SPI フラッシュブートで使用する端子

端子名	ポート		
	RZ/A1HM	RZ/A1L	RZ/A2M
QSPI0_SPCLK	—	—	QSPI0_SPCLK
QSPI0_SSL	—	—	QSPI0_SSL
QSPI0_IO0	—	—	QSPI0_IO0
QSPI0_IO1	—	—	QSPI0_IO1

## 4.1.8 HyperFlash ブート 1 (1.8V 品)

SPI マルチ I/O バス空間に接続された HyperFlash (1.8V 品) からブートします。

表 4.9 に本ブートモードで、ブートプログラムが機能を設定する端子を示します。

図 5.15 に本ブートモードに対応した接続例を示します。

表 4.9 HyperFlash ブート 1 で使用する端子

端子名	ポート		
	RZ/A1HM	RZ/A1L	RZ/A2M
QSPI0_SSL	—	—	QSPI0_SSL
QSPI0_SPCLK	—	—	QSPI0_SPCLK
QSPI1_SPCLK	—	—	QSPI1_SPCLK
QSPI0_IO3~QSPI0_IO0	—	—	QSPI0_IO3~QSPI0_IO0
QSPI1_IO3~QSPI1_IO0	—	—	QSPI1_IO3~QSPI1_IO0
QSPI1_SSL	—	—	QSPI1_SSL
RPC_RESET#	—	—	RPC_RESET#

## 4.1.9 OctaFlash ブート (1.8V 品)

OctaFlash 空間に接続された OctaFlash (1.8V 品) からブートします。

表 4.10 に本ブートモードで、ブートプログラムが機能を設定する端子を示します。

また、本ブートモードではリセット解除後に表 4.11 に示す設定で OctaFlash から読み出しを行うため、これを満たす製品を選定してください。

図 5.20 に本ブートモードに対応した接続例を示します。

表 4.10 OctaFlash ブートで使用する端子

端子名	ポート		
	RZ/A1HM	RZ/A1L	RZ/A2M
OM_SCLK	—	—	OM_SCLK
OM_CS0#	—	—	OM_CS0#
OM_SIO1、OM_SIO0	—	—	OM_SIO1、OM_SIO0

表 4.11 OctaFlash ブート時の設定

項目	内容
ビットレート (OM_SCLK) *1	13.75MHz~16.5MHz
オペコード	READ (03h)
アドレスサイクル	3 バイト
ダミーサイクル	なし
バス幅	1 ビット
CPOL	正極性
CPHAR	偶数エッジでデータ受信
CPHAT	偶数エッジでデータ送信

【注】 \*1. ビットレートは入力周波数に依存します。

## 4.1.10 HyperFlash ブート 2 (1.8V 品)

HyperFlash 空間に接続された HyperFlash (1.8V 品) からブートします。

表 4.12 に本ブートモードで、ブートプログラムが機能を設定する端子を示します。

図 5.16 に本ブートモードに対応した接続例を示します。

表 4.12 HyperFlash ブート 2 で使用する端子

端子名	ポート		
	RZ/A1HM	RZ/A1L	RZ/A2M
HM_CS0#	—	—	HM_CS0#
HM_CK	—	—	HM_CK
HM_CK#	—	—	HM_CK#
HM_DQ7~HM_DQ0	—	—	HM_DQ7~HM_DQ0
HM_RWDS	—	—	HM_RWDS
HM_RESET#	—	—	HM_RESET#

## 4.1.11 ブートメモリとして使用するフラッシュメモリ選定時の注意事項

シリアルフラッシュブート、Octal-SPI フラッシュブート、OctaFlash ブートに使用するフラッシュメモリは、リセット解除時に本シリーズの LSI が発行するリードコマンド（図 4.1 参照）を受け付けるものを選定してください。選定条件は以下の 2 点です。

## 1. リセット端子が独立しているフラッシュメモリ

リセット入力にてビジー状態の解除および動作モードの初期化を行う際、リセット端子がマルチプレクスされており、他の機能端子に設定されている場合、リセットを受け付けられず初期化できないため。

例：RESET#/SIO3 端子が SIO3 に設定されている場合、リセット入力を受け付けません。

2. リセットによってアドレスサイクル 3 バイト、コマンドビット幅 1 ビットに初期化されるフラッシュメモリ  
この条件を満たすフラッシュメモリには以下があります。

- ・アドレスサイクルとコマンドビット幅が揮発性レジスタで設定可能なフラッシュメモリ

または、

- ・コマンドにてアドレスサイクルの指定およびコマンドビット幅の設定が可能なフラッシュメモリ

どちらも、リセット入力にてアドレスサイクル 3 バイト、コマンドビット幅 1 ビットに初期化されません。不揮発性レジスタにアドレスサイクル 4 バイトやコマンドビット幅 4 ビットを設定しないでください。

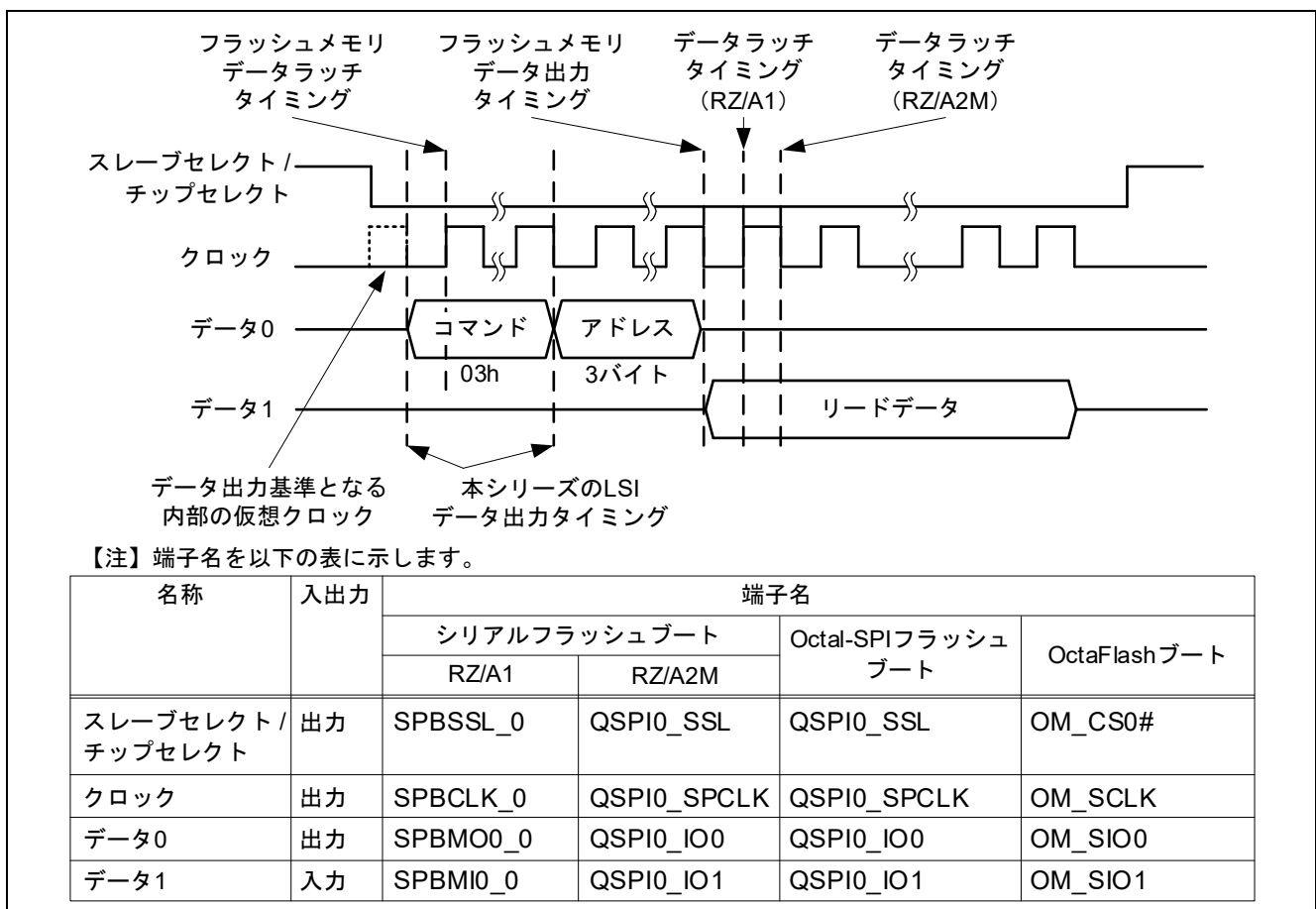


図 4.1 リードコマンドのシーケンス

## 4.2 クロックモード

### 4.2.1 クロックモード設定端子

本シリーズの LSI は、RES#端子がローレベルのときに、MD\_CLK 端子の設定値によってクロックモードを切り替えることができます。クロックモードにより、RZ/A1 ではクロック供給源が決定され、RZ/A2M ではクロック入力周波数範囲が決定されます。

表 4.13 に RZ/A1 のクロックモード設定端子とクロック入出力の関係を、表 4.14 に RZ/A2M のクロックモード設定端子とクロック入出力の関係を示します。

表 4.13 クロックモード設定端子とクロック入出力の関係 (RZ/A1)

クロックモード	MD_CLK	クロック入出力		
		供給源	入力周波数	CKIO 出力周波数
0	0	EXTAL/水晶発振子	10MHz~13.33MHz	50MHz~66.67MHz
1	1	USB_X1/水晶発振子	48MHz*1	64MHz

【注】 \*1. 許容誤差範囲は表 3.1 クロック端子を参照してください。

表 4.14 クロックモード設定端子とクロック入出力の関係 (RZ/A2M)

クロックモード	MD_CLK	クロック入出力		
		供給源	入力周波数	CKIO 出力周波数*1
0	0	EXTAL/水晶発振子	10MHz~12MHz	27.5MHz~132MHz (Bφ)
1	1	EXTAL/水晶発振子	20MHz~24MHz	27.5MHz~66MHz (P1φ)

【注】 \*1. CKIO 選択レジスタ (CKIOSEL[1:0]) の設定値によって CKIO の周波数範囲が変化します。詳細は「RZ/A2M グループ ユーザーズマニュアル ハードウェア編」を参照してください。

## 5. 外部メモリ

## 5.1 接続可能なメモリ

表 5.1 に本シリーズの LSI に接続可能なメモリと対応するコントローラおよび最大動作周波数を示します。

図 5.1～図 5.27 に各メモリとの接続例を示します。

表 5.1 接続可能なメモリ一覧

接続可能なメモリ	対応コントローラ	最大動作周波数			接続図
		RZ/A1HM	RZ/A1L	RZ/A2M	
パラレル NOR フラッシュメモリ	バスステート コントローラ	66.67MHz	66.67MHz	132MHz <sup>*1</sup>	図 5.1～ 図 5.3
SDRAM		66.67MHz	66.67MHz	132MHz <sup>*1</sup>	図 5.4～ 図 5.6
EEPROM	RSPI	33.33MHz	33.33MHz	33MHz	図 5.7
	I2C バス インタフェース	400kHz (高速モード)	400kHz (高速モード)	1MHz (高速モード プラス)	図 5.8
シリアル フラッシュメモリ	RSPI	33.33MHz	33.33MHz	33MHz	図 5.9
	SPIBSC	66.67MHz/SDR	66.67MHz/DDR <sup>*2</sup> 66.67MHz/SDR <sup>*3</sup>	66MHz/DDR	図 5.10～ 図 5.13
Xccela フラッシュメモリ	SPIBSC	—	—	132MHz/DDR	図 5.14
HyperFlash	SPIBSC	—	—	132MHz/DDR	図 5.15
	HyperBus コントローラ	—	—	132MHz/DDR	図 5.16
HyperRAM	—	—	132MHz/DDR	図 5.17	
OctaFlash	SPIBSC	—	—	132MHz/DDR	図 5.19
	Octa メモリ コントローラ	—	—	132MHz/DDR	図 5.20
OctaRAM	—	—	132MHz/DDR	図 5.21	
NAND フラッシュメモリ	NAND フラッシュ メモリコントローラ <sup>*4</sup>	16.67MHz	—	33MHz	図 5.23
eSD、 SD カード	SD ホスト インタフェース <sup>*5</sup>	33.33MHz (High Speed)	33.33MHz (High Speed)	132MHz (UHS-I/SDR104)	図 5.24 図 5.25
		33.33MHz (High Speed)	33.33MHz (High Speed)	132MHz (HS200)	図 5.26 図 5.27

【注】 \*1. 324 ピン BGA パッケージのみ接続できます。

\*2. RZ/A1LU グループの場合です。

\*3. RZ/A1L グループ、RZ/A1LC グループの場合です。

\*4. RZ/A2M の場合は、NAND フラッシュコントローラです。

\*5. RZ/A2M の場合は、SD/MMC ホストインタフェースです。



## 5.2 パラレル NOR フラッシュメモリ

RZ/A1 は 8、16、32 ビット、RZ/A2M は 8、16 ビットのデータバス幅で接続することができます。

パラレル NOR フラッシュメモリをブートメモリとして使用するとき、A25~A21 端子を使用する場合はプルダウンしてください。また、本シリーズの LSI と一緒にリセットするようにしてください。

図 5.1~図 5.3 にパラレル NOR フラッシュメモリとの接続例を示します。

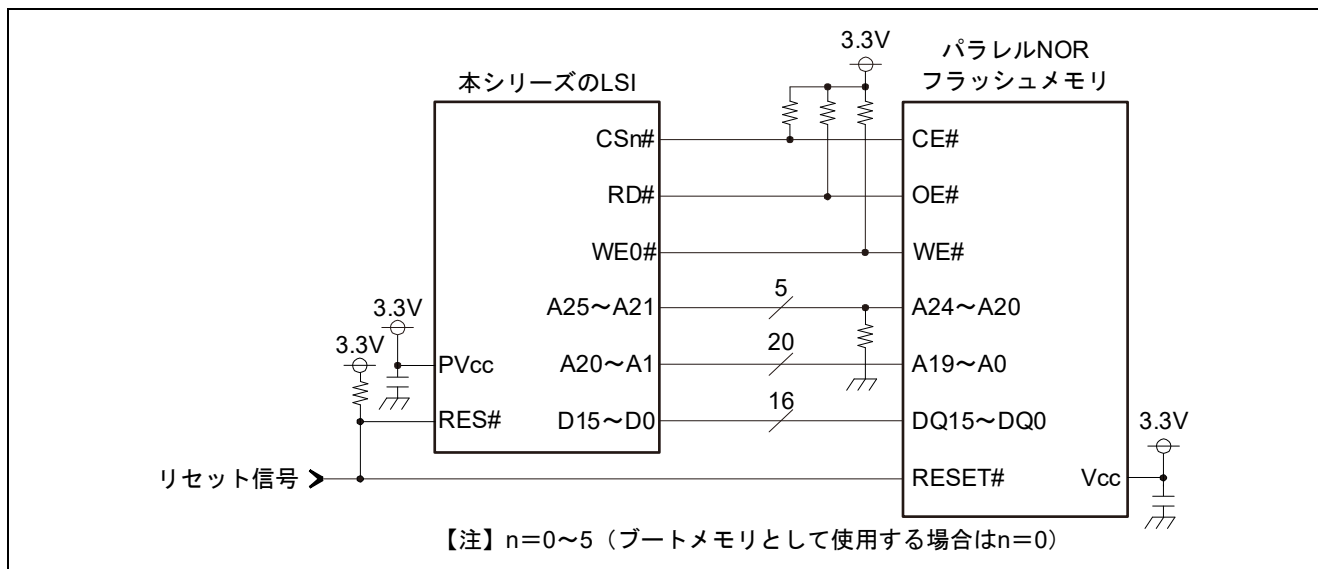


図 5.1 パラレル NOR フラッシュメモリ接続例 1 (16 ビットバス幅、16 ビット品 1 個接続)

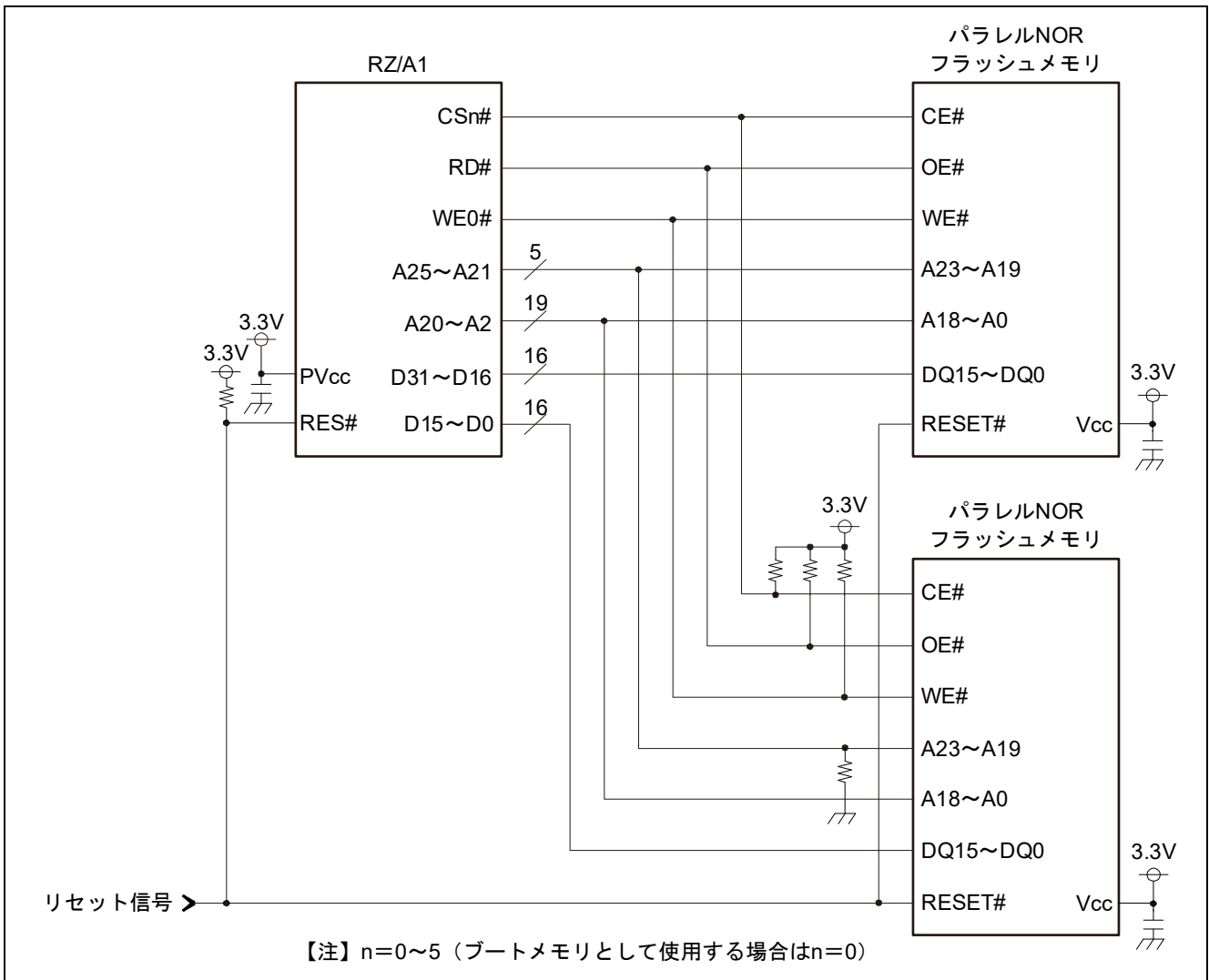


図 5.2 パラレル NOR フラッシュメモリ接続例 2 (32 ビットバス幅、16 ビット品 2 個接続) (RZ/A1)

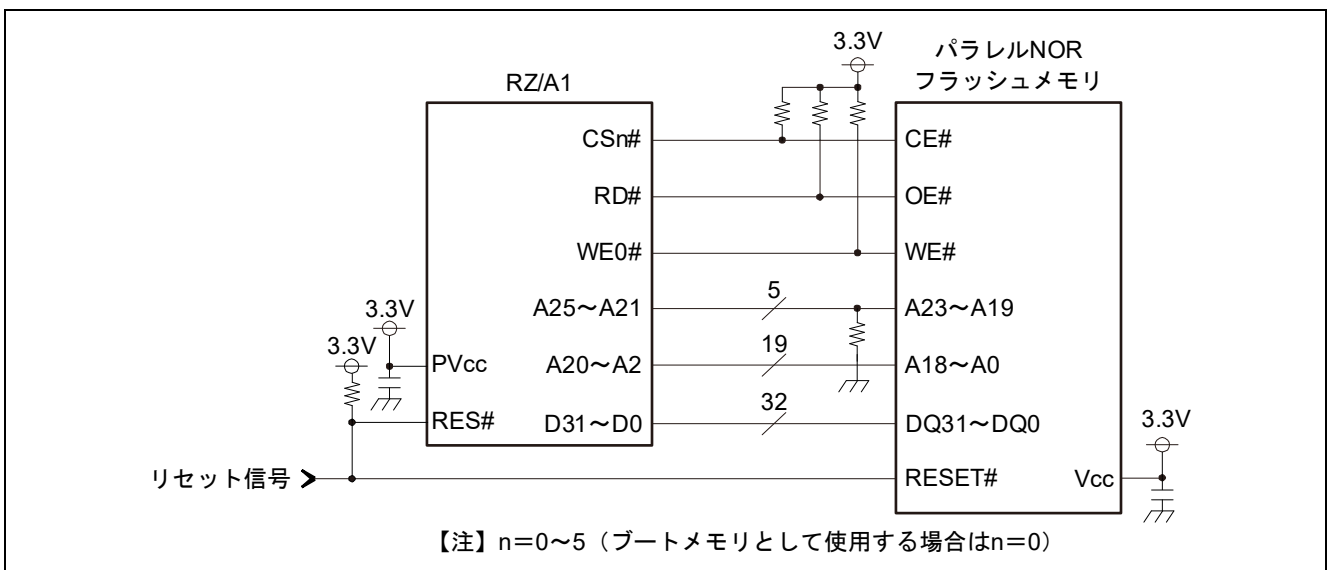


図 5.3 パラレル NOR フラッシュメモリ接続例 3 (32 ビットバス幅、32 ビット品 1 個接続) (RZ/A1)

## 5.3 SDRAM

RZ/A1 は 16、32 ビット、RZ/A2M は 16 ビットのデータバス幅で接続することができます。  
 CKE、DQM 端子の処理は SDRAM の初期化シーケンスに合わせて変更してください。  
 図 5.4～図 5.6 に SDRAM との接続例を示します。

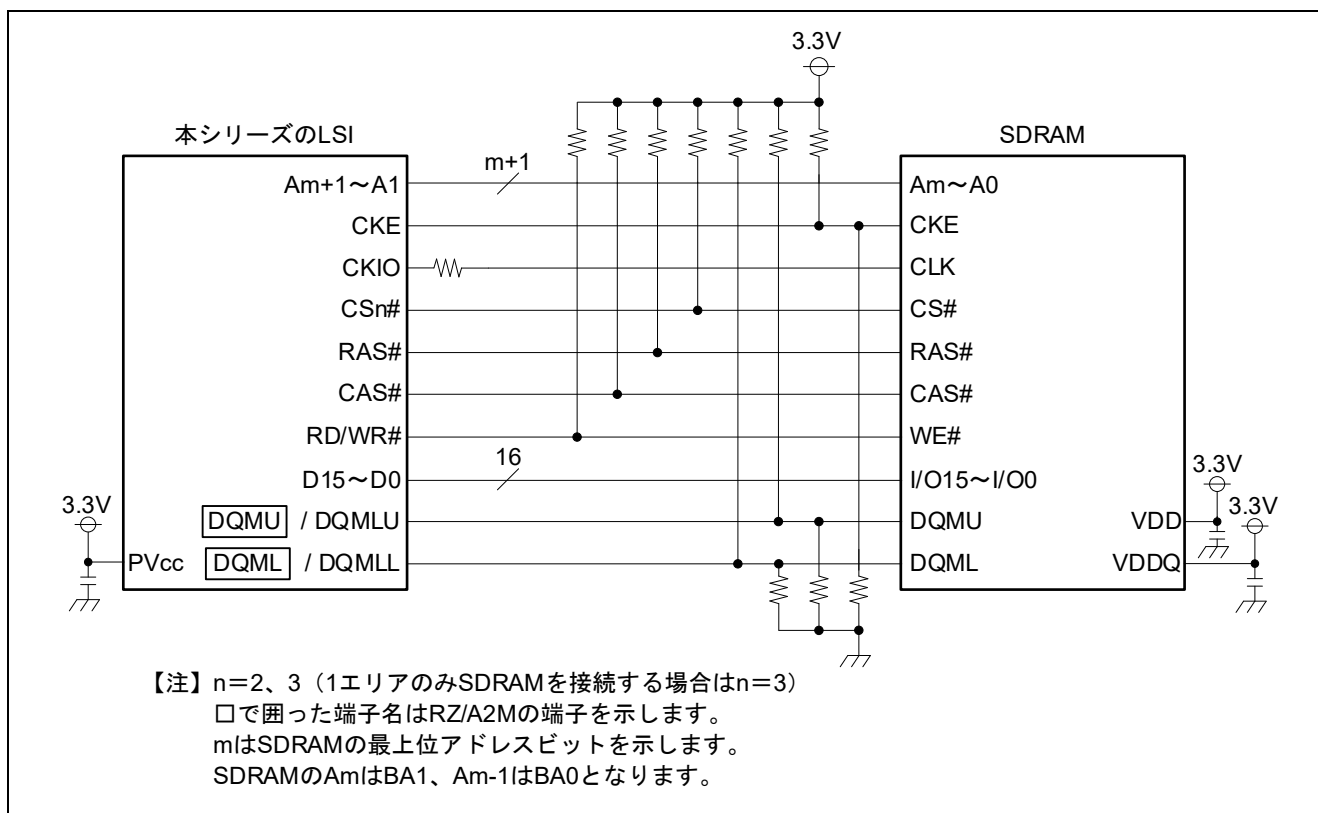


図 5.4 SDRAM 接続例 1 (16 ビットバス幅、16 ビット品 1 個接続)

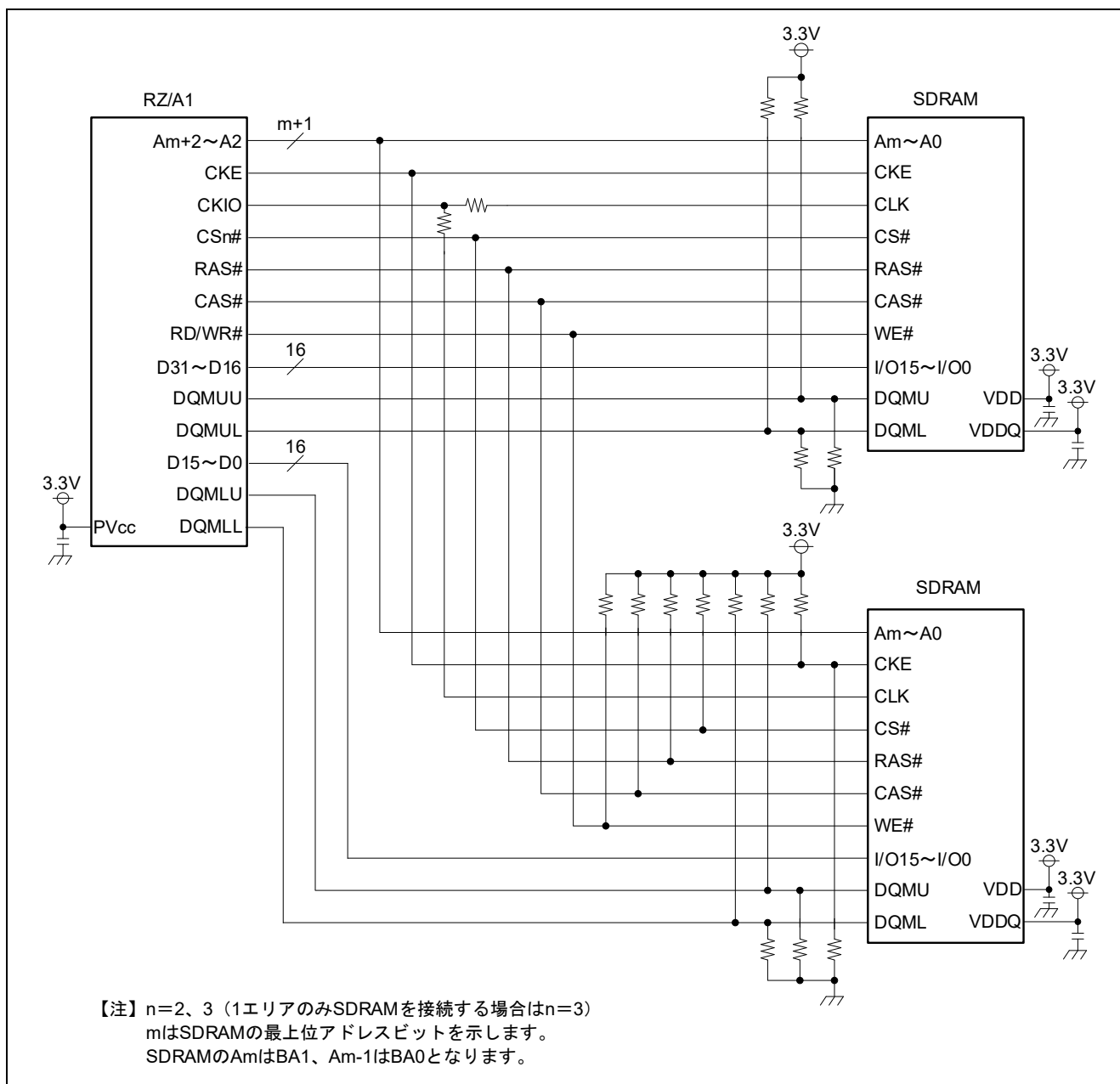


図 5.5 SDRAM 接続例 2 (32 ビットバス幅、16 ビット品 2 個接続) (RZ/A1)

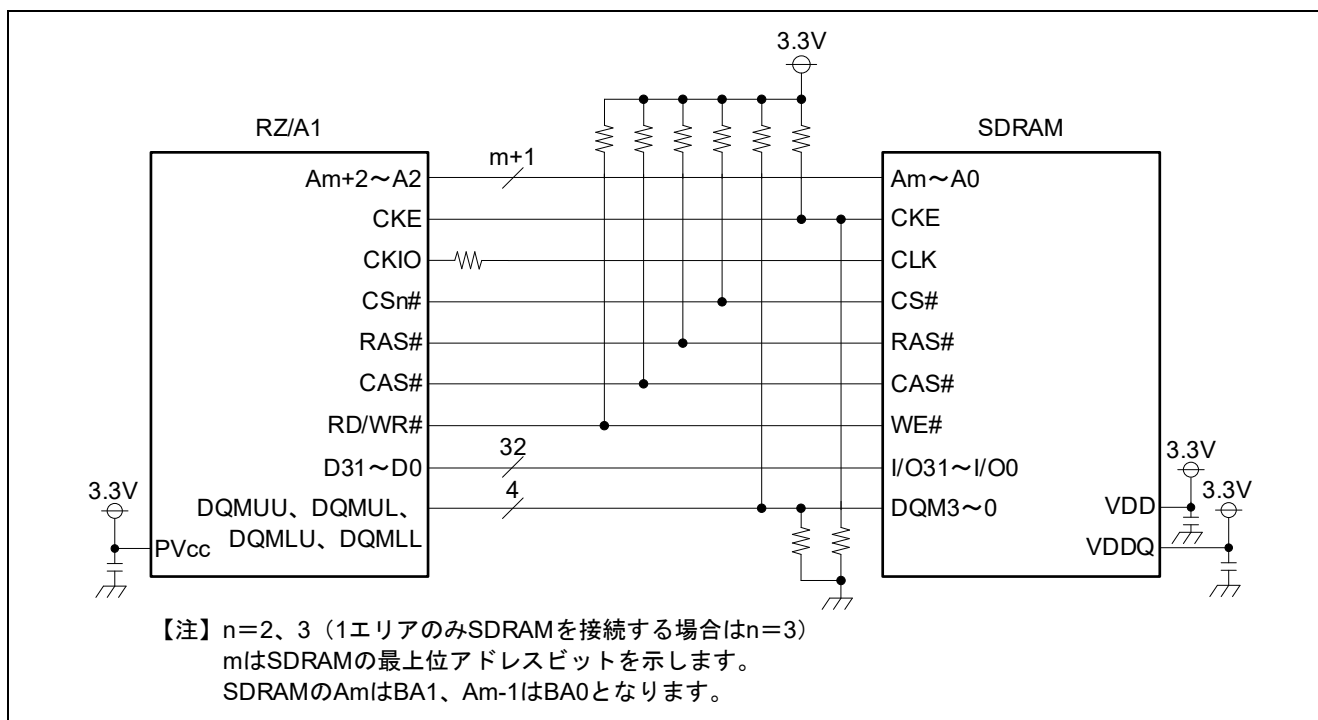


図 5.6 SDRAM 接続例 3 (32 ビットバス幅、32 ビット品 1 個接続) (RZ/A1)

## 5.4 EEPROM

W#、HOLD#、WP の端子処理は EEPROM の極性に合わせて変更してください。

図 5.7、図 5.8 に EEPROM と各コントローラとの接続例を示します。

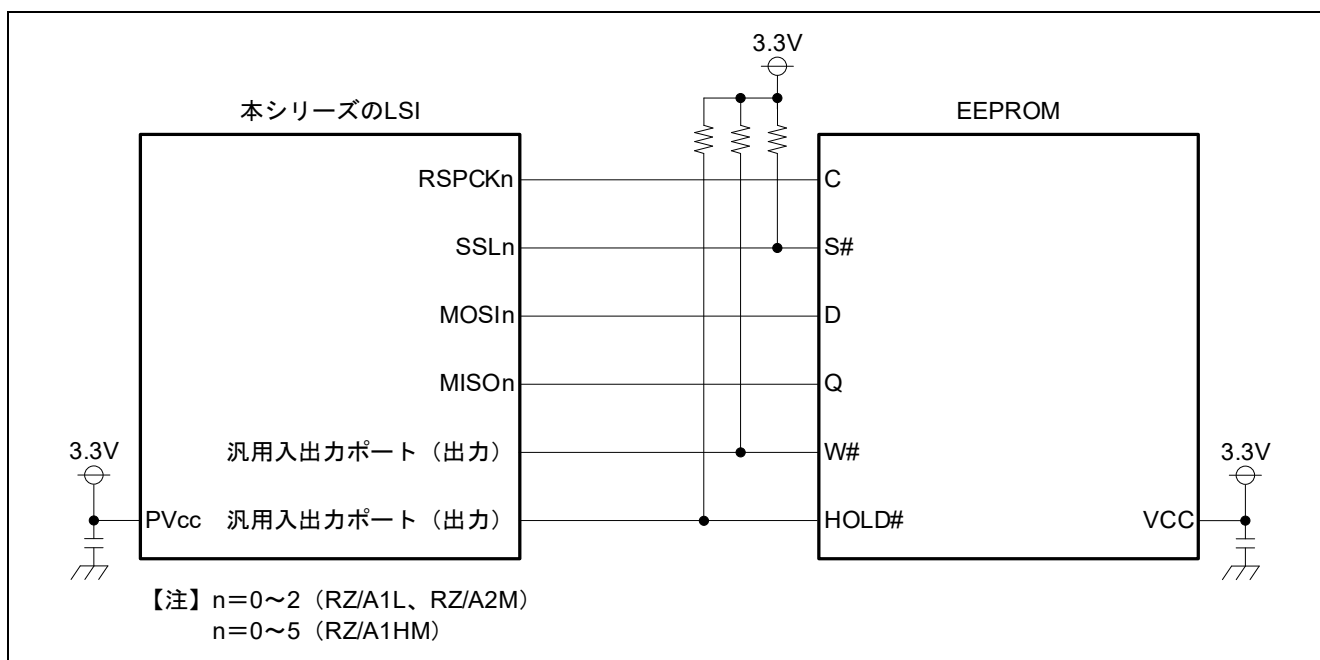


図 5.7 EEPROM 接続例 1 (RSPI)

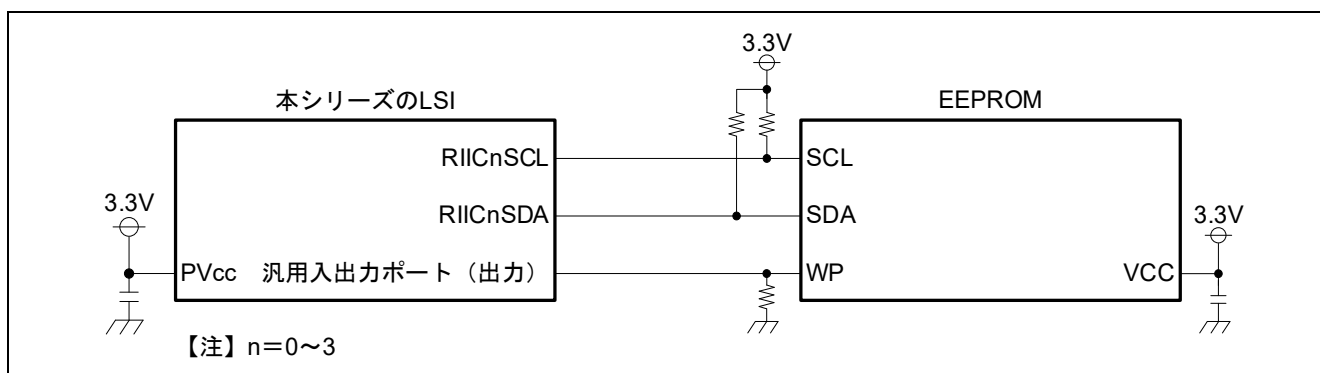


図 5.8 EEPROM 接続例 2 (I2C パスインターフェース)

## 5.5 シリアルフラッシュメモリ

RZ/A1 は 1、2、4 ビット、RZ/A2M は 1、4 ビットのデータバス幅で接続することができます。RZ/A2M は、シリアルフラッシュを 2 個接続したとき、2 つのシリアルフラッシュメモリは 8 ビットバスインタフェースとして並列に動作します。

シリアルフラッシュメモリをブートメモリとして使用する場合、リセット端子独立型のものを使用し、本シリーズの LSI と一緒にリセットするようにしてください。

RZ/A2M の場合、RES# 入力に同期してリセット出力する RPC\_RESET# 端子をシリアルフラッシュメモリの RESET# 端子と接続してください。

シリアルフラッシュメモリの選定に関する注意事項は「4.1.11 ブートメモリとして使用するフラッシュメモリ選定時の注意事項」を参照してください。

データ入出力端子とマルチプレクスされた機能端子はシリアルフラッシュメモリの極性に合わせて端子処理を変更してください。

図 5.9～図 5.13 にシリアルフラッシュメモリと各コントローラとの接続例を示します。

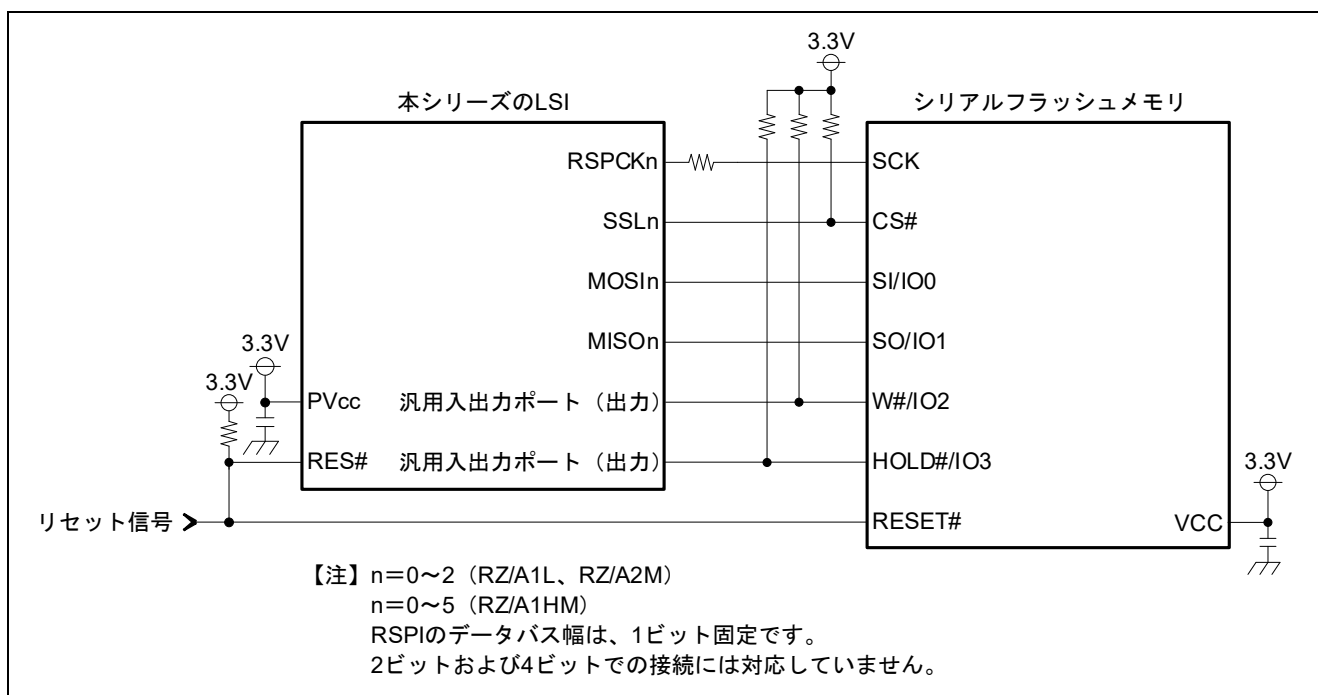


図 5.9 シリアルフラッシュメモリ接続例 1 (RSPI)

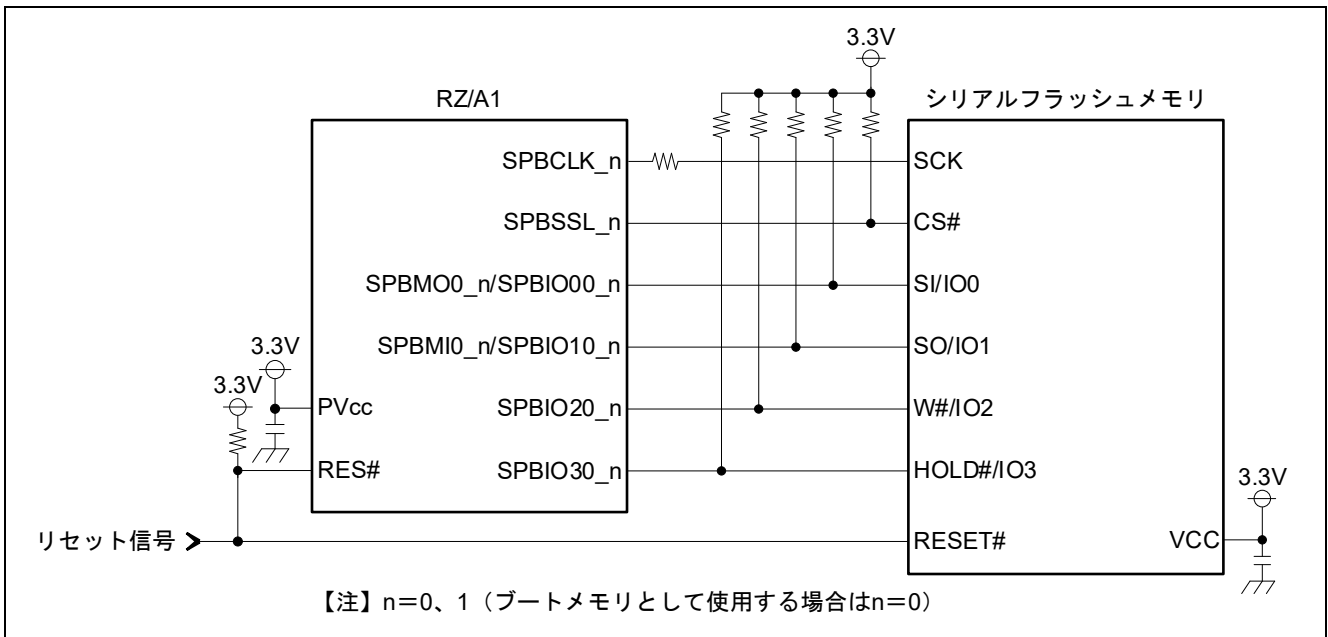


図 5.10 シリアルフラッシュメモリ接続例 2 (SPIBSC、4 ビットバス幅、4 ビット品 1 個接続) (RZ/A1)

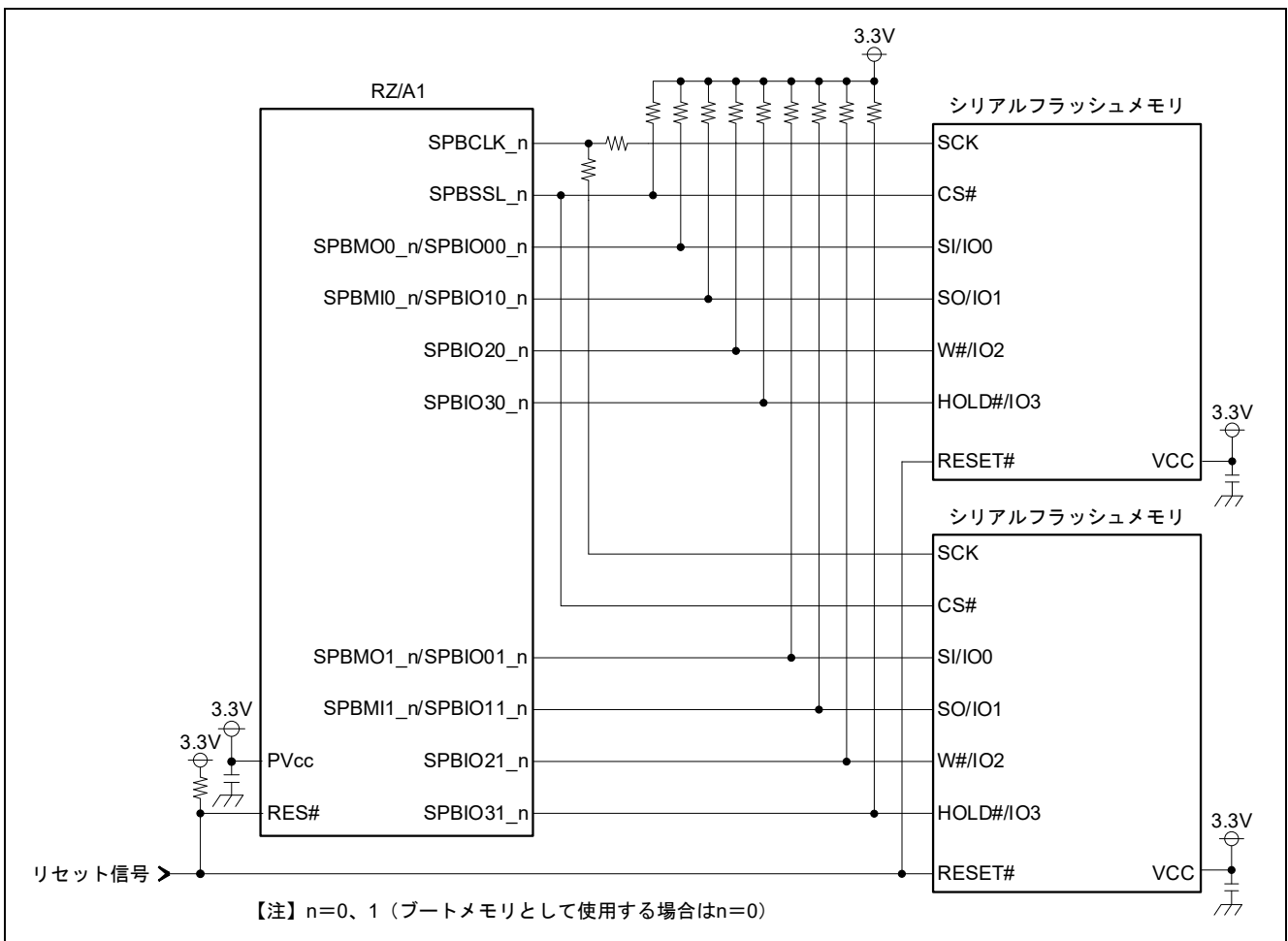


図 5.11 シリアルフラッシュメモリ接続例 3 (SPIBSC、8 ビットバス幅、4 ビット品 2 個接続) (RZ/A1)



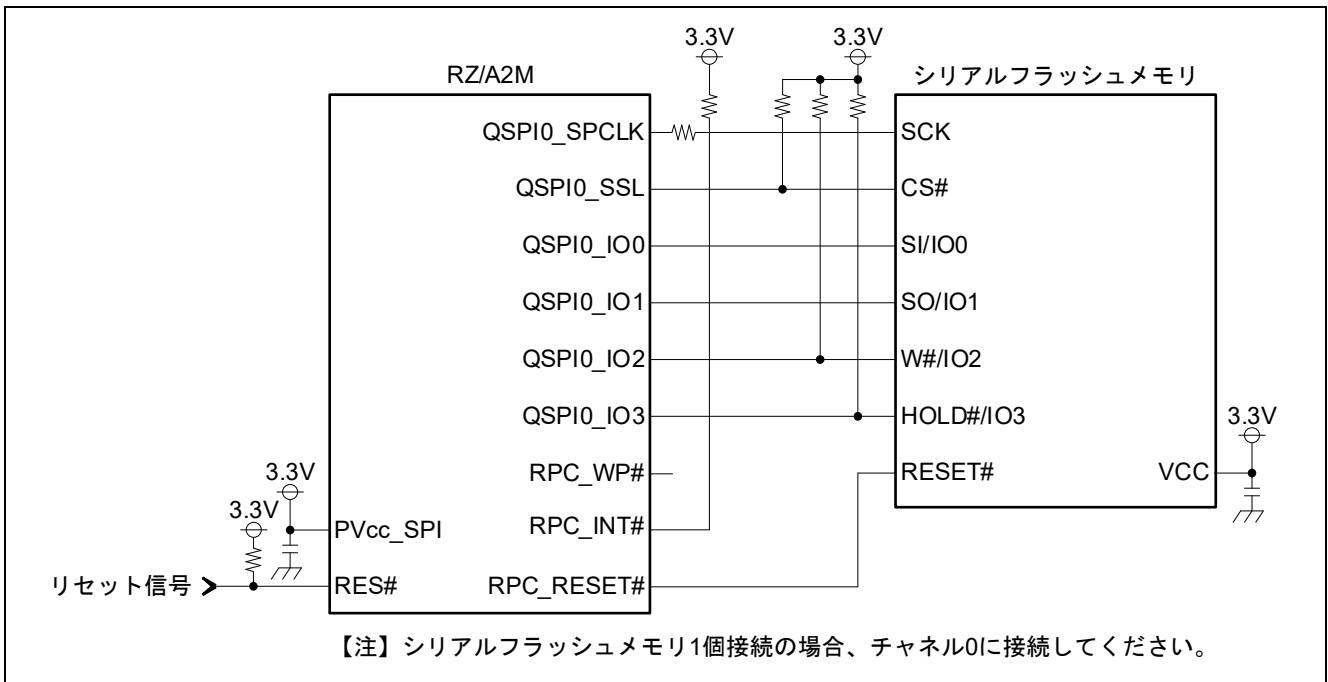


図 5.12 シリアルフラッシュメモリ接続例 4 (SPIBSC、4 ビットバス幅、4 ビット品 1 個接続) (RZ/A2M)

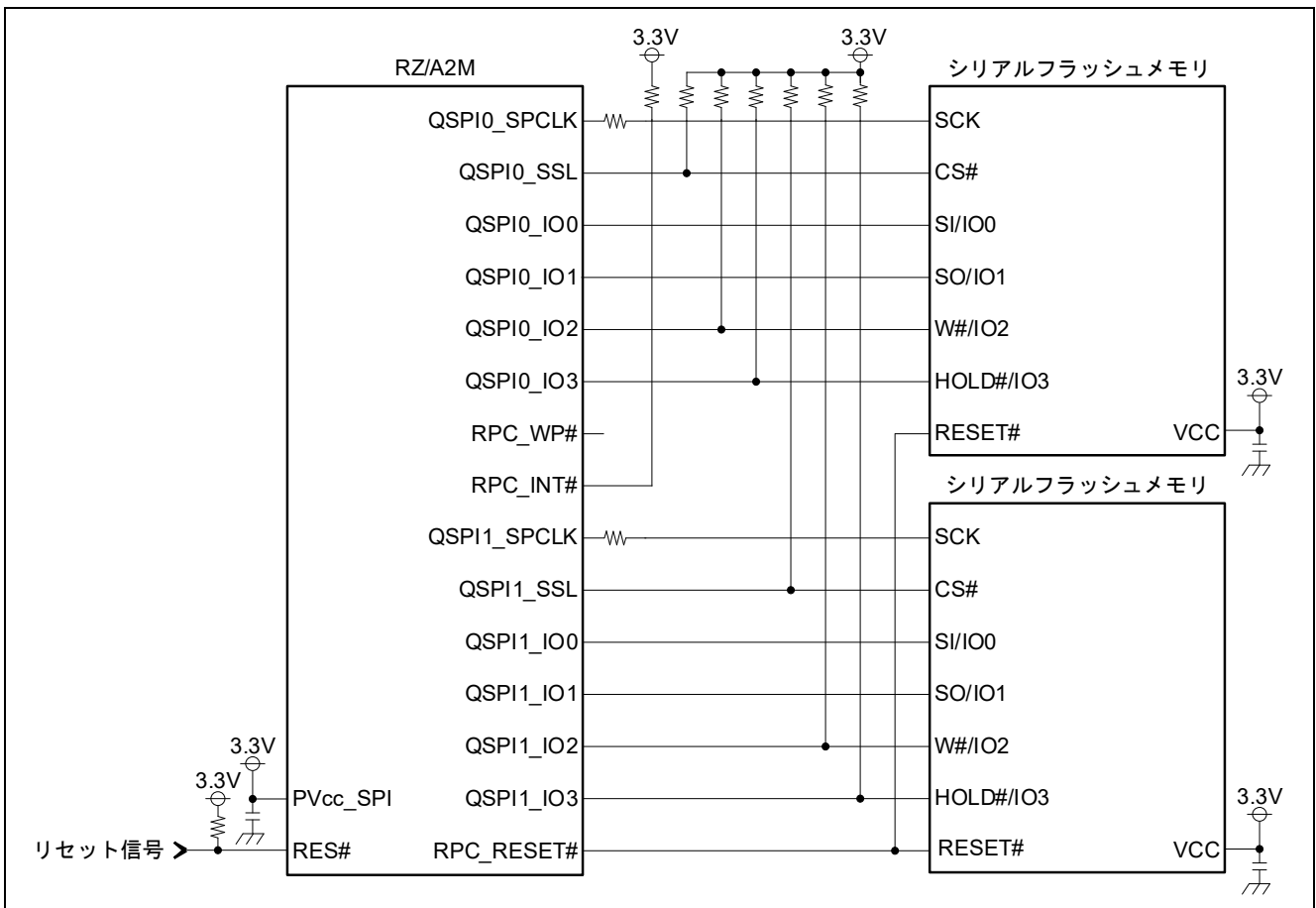


図 5.13 シリアルフラッシュメモリ接続例 5 (SPIBSC、8 ビットバス幅、4 ビット品 2 個接続) (RZ/A2M)

## 5.6 Xccela フラッシュメモリ

Xccela フラッシュメモリをブートメモリとして使用する場合、RES#入力に同期してリセット出力するRPC\_RESET#端子を Xccela フラッシュメモリの RESET#端子と接続してください。

Xccela フラッシュメモリの選定に関する注意事項は「4.1.11 ブートメモリとして使用するフラッシュメモリ選定時の注意事項」を参照してください。

図 5.14 に Xccela フラッシュメモリとの接続例を示します。

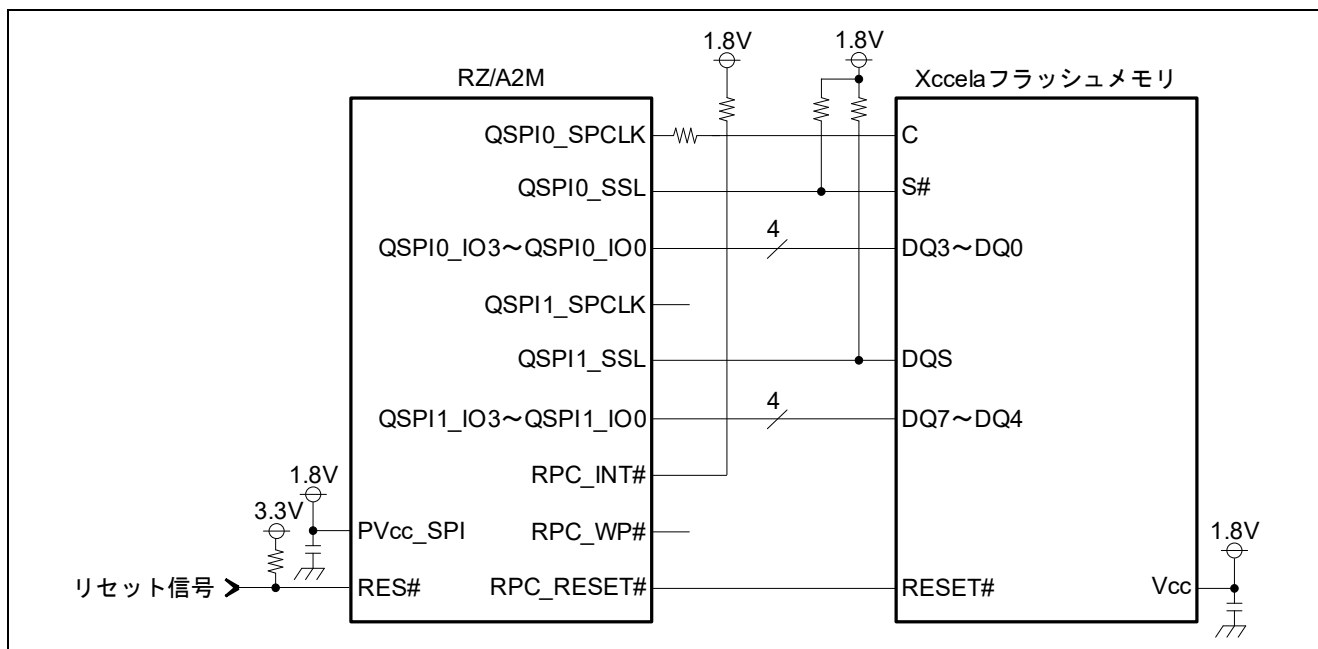


図 5.14 Xccela フラッシュメモリ接続例

## 5.7 HyperBus メモリ

HyperBus コントローラを使用して HyperBus メモリと接続する場合（図 5.16～図 5.18）、HyperBus メモリの RWDS 端子は 200kΩ 以上でプルダウンしてください。

### 5.7.1 HyperFlash

HyperFlash をブートメモリとして使用する場合、RES#入力に同期してリセット出力する RPC\_RESET# 端子、または HM\_RESET#/OM\_RESET#端子を HyperFlash の RESET#端子と接続してください。

図 5.15、図 5.16 に HyperFlash と各コントローラとの接続例を示します。

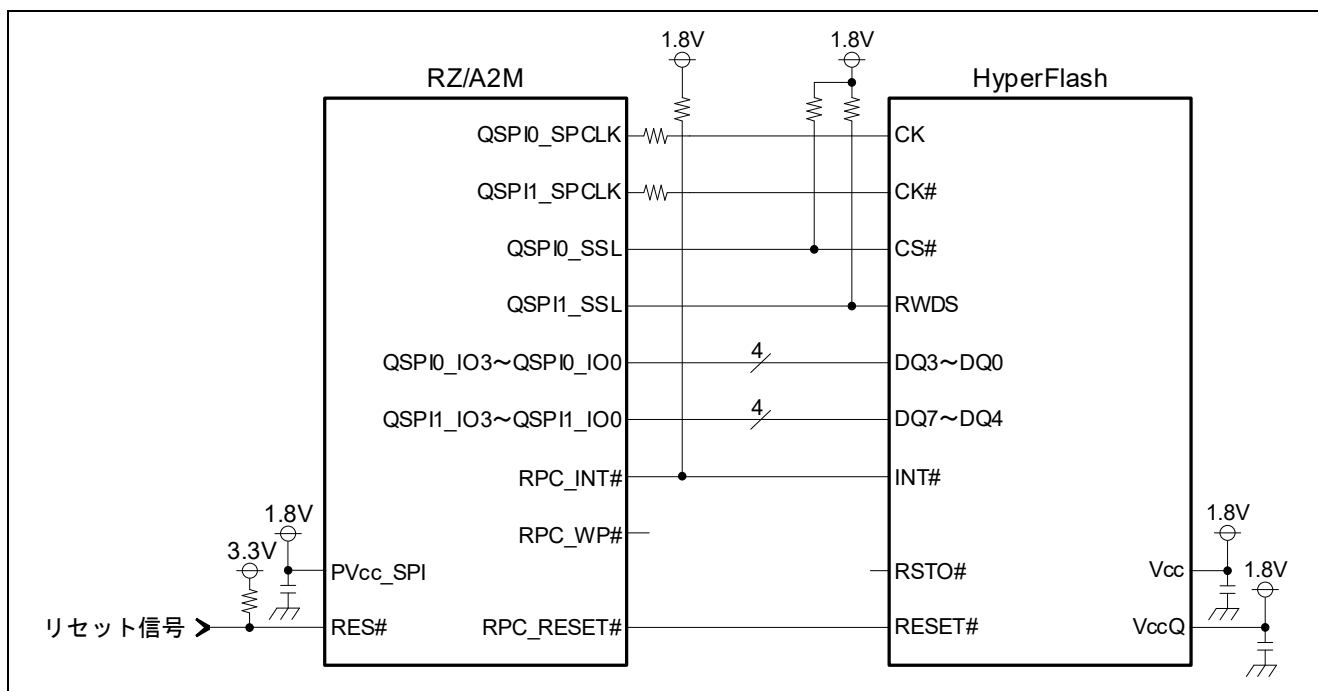


図 5.15 HyperFlash 接続例 1 (SPIBSC)

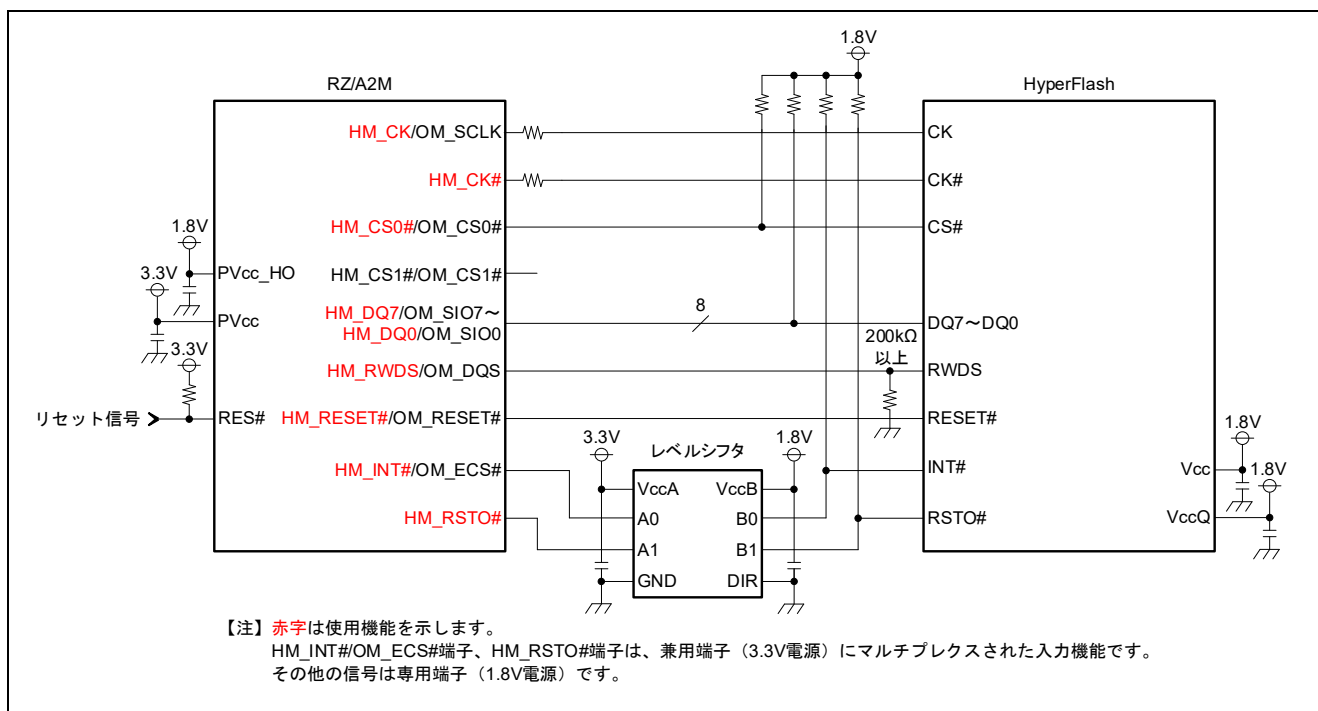


図 5.16 HyperFlash 接続例 2 (HyperBus コントローラ)

## 5.7.2 HyperRAM

図 5.17 に HyperRAM との接続例を示します。

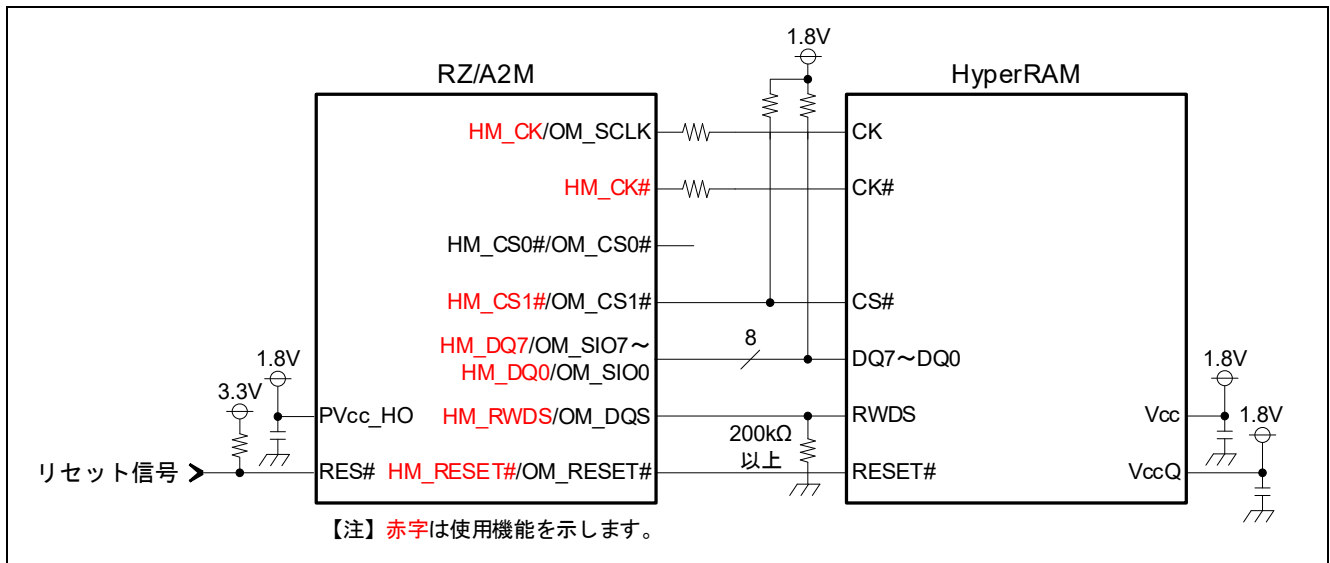


図 5.17 HyperRAM 接続例

## 5.7.3 HyperMCP

HyperMCP は HyperFlash と HyperRAM が搭載されたマルチチップモジュールです。HyperMCP の CS1#端子を HM\_CS0#端子と、CS2#端子を HM\_CS1#端子と接続してください。図 5.18 に HyperMCP との接続例を示します。

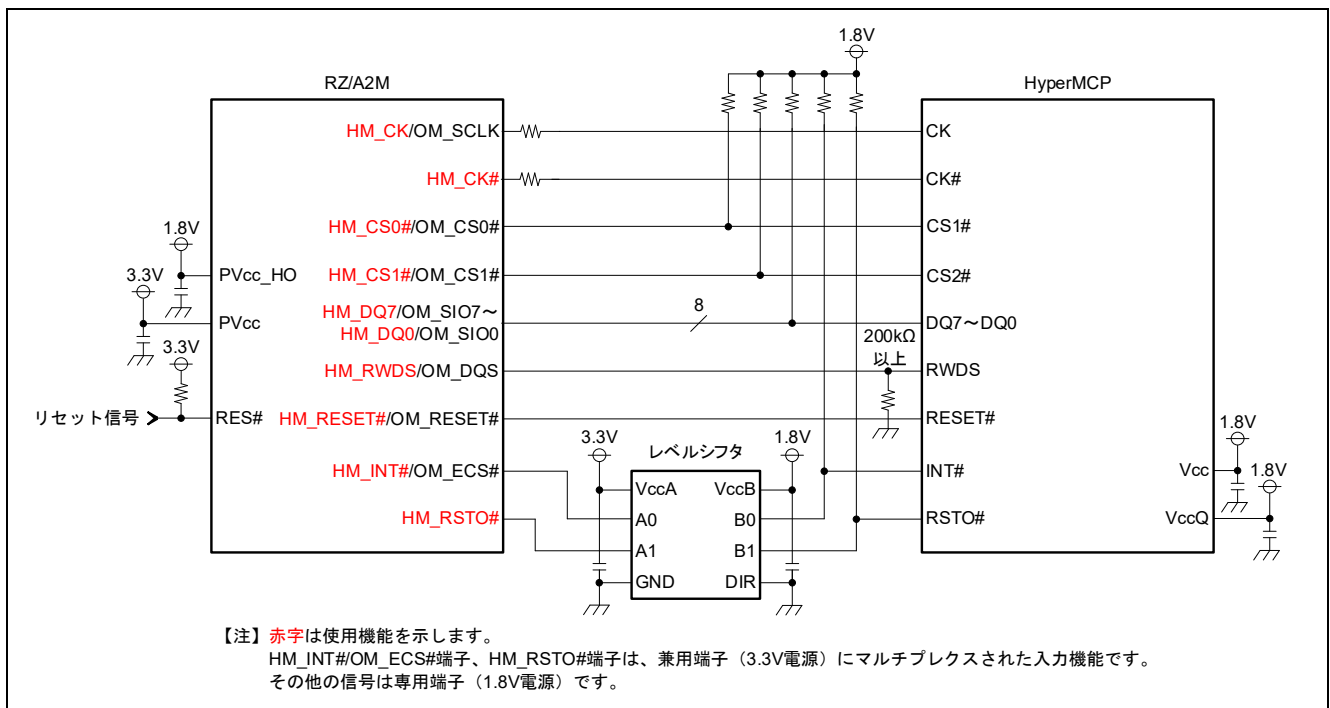


図 5.18 HyperMCP 接続例

## 5.8 Octa メモリ

## 5.8.1 OctaFlash

OctaFlash をブートメモリとして使用する場合、RES#入力に同期してリセット出力する RPC\_RESET# 端子、または HM\_RESET#/OM\_RESET#端子を OctaFlash の RESET#端子と接続してください。

OctaFlash の選定に関する注意事項は「4.1.11 ブートメモリとして使用するフラッシュメモリ選定時の注意事項」を参照してください。

図 5.19、図 5.20 に OctaFlash と各コントローラとの接続例を示します。

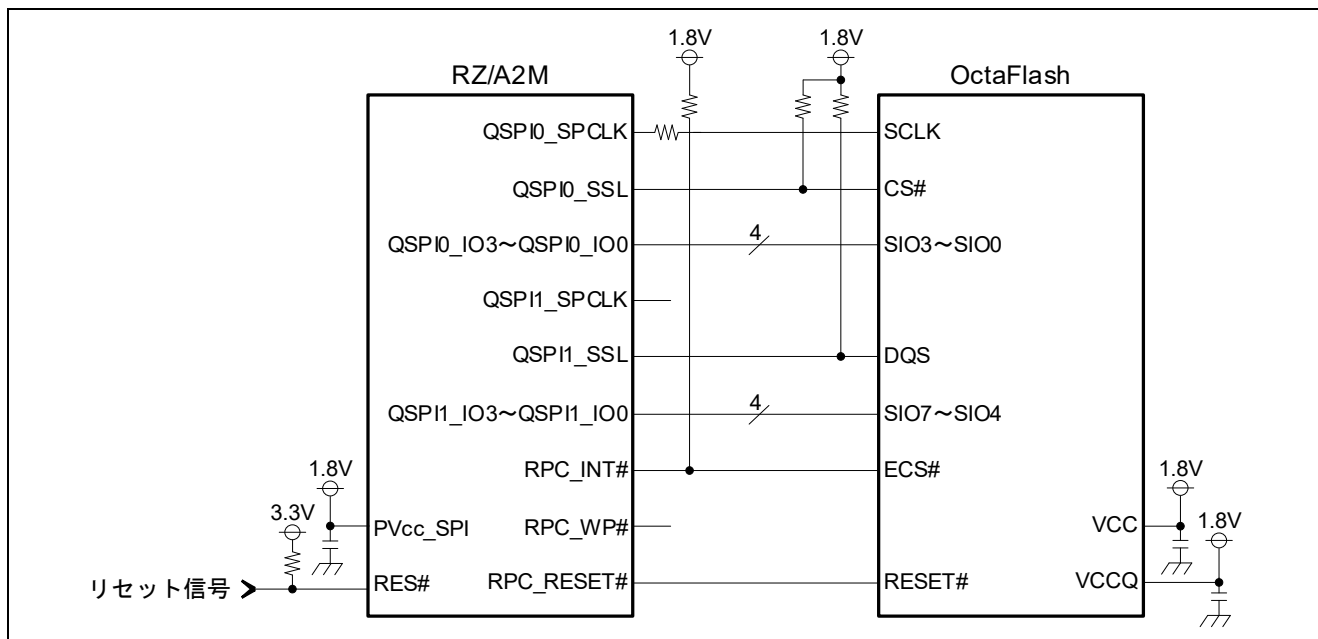


図 5.19 OctaFlash 接続例 1 (SPIBSC)

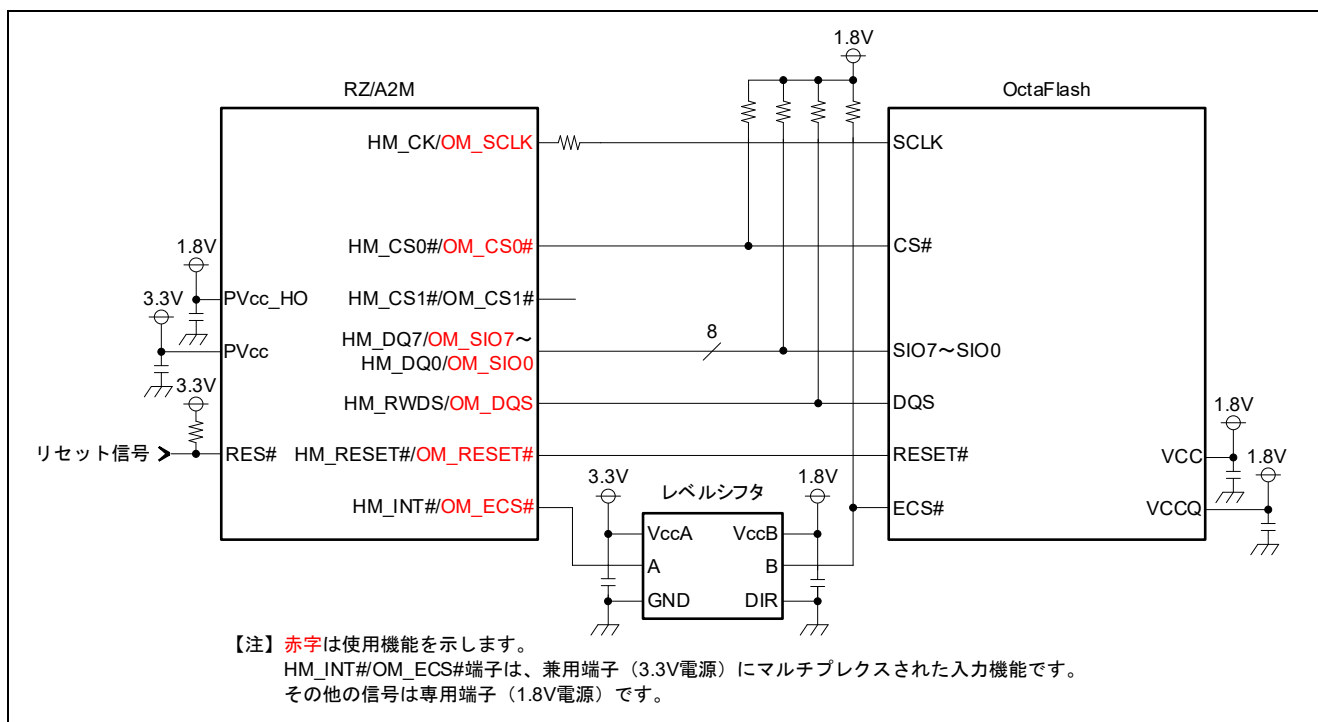


図 5.20 OctaFlash 接続例 2 (Octa メモリコントローラ)

## 5.8.2 OctaRAM

図 5.21 に OctaRAM との接続例を示します。

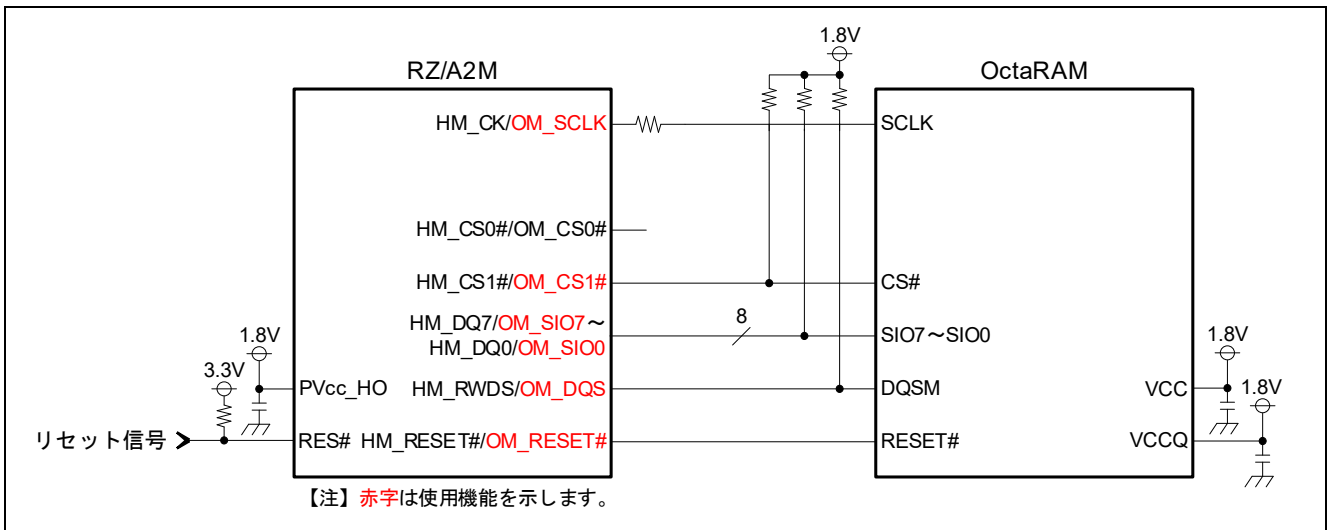


図 5.21 OctaRAM 接続例

## 5.8.3 OctaMCP

OctaMCP は OctaFlash と OctaRAM が搭載されたマルチチップモジュールです。

OctaMCP の CS#\_F 端子を OM\_CS0#端子と、CS#\_R 端子を OM\_CS1#端子と接続してください。

図 5.22 に OctaMCP との接続例を示します。

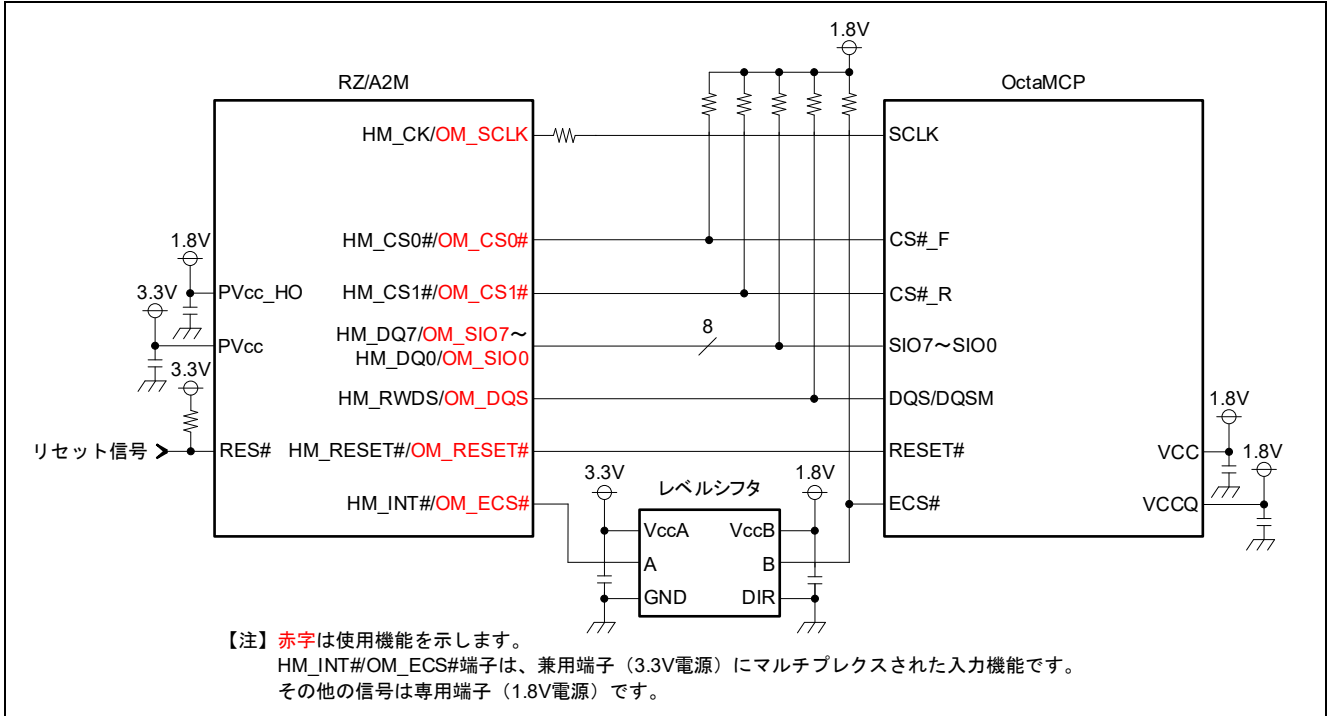


図 5.22 OctaMCP 接続例



## 5.9 NAND フラッシュメモリ

RZ/A2M の NAND フラッシュコントローラは ECC ユニートを内蔵しており、ビットエラーの訂正が可能です。RZ/A1 の NAND フラッシュメモリコントローラは ECC 機能がありません。そのため、RZ/A1 で NAND フラッシュメモリを使用する場合、ECC 機能を持った NAND フラッシュメモリを使用してください。

図 5.23 に NAND フラッシュメモリとの接続例を示します。

【注】 RZ/A2M では ONFi 1.x 仕様（タイミングモード 3、4、5 除く）の NAND フラッシュデバイスを使用してください。

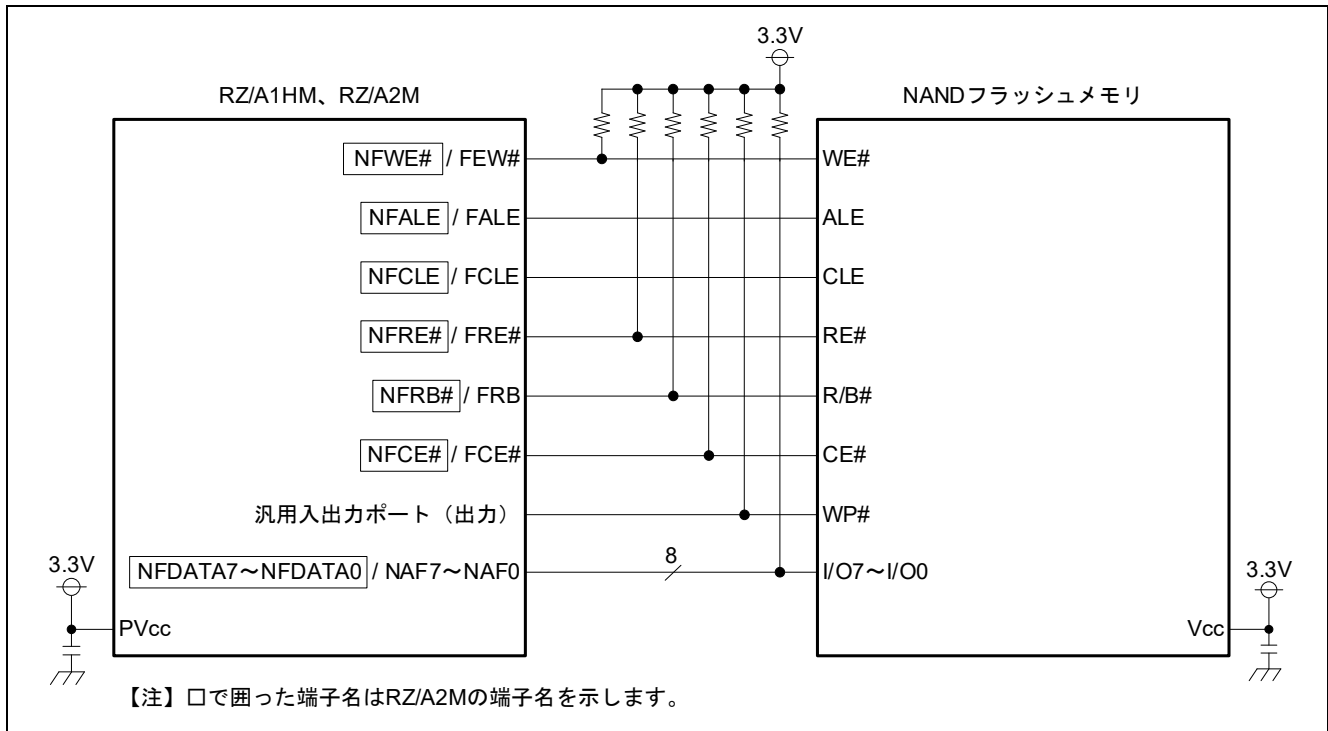


図 5.23 NAND フラッシュメモリ接続例





## 5.11 eMMC

RZ/A2M は、チャンネル 0 では 1、4、8 ビット、チャンネル 1 では 1、4 ビットのデータバス幅で接続することができます。

RZ/A1 の場合、CMD 端子は 4.7kΩ~100kΩ、DAT7~DAT0 端子は 10kΩ~100kΩ でプルアップしてください。

RZ/A2M の場合、CMD 端子は 4.7kΩ~50kΩ、DAT7~DAT0 端子は 10kΩ~50kΩ でプルアップしてください。また、動作開始時には MMCVcc に 3.3V を供給し、動作モードによって 1.8V/3.3V を切り替えてください。

eMMC をブートメモリとして使用する場合、本シリーズの LSI と一緒にリセットするようにしてください。RZ/A2M の場合、SDn\_RST#端子を eMMC の RST\_n 端子と接続してください。

図 5.26、図 5.27 に eMMC との接続例を示します。

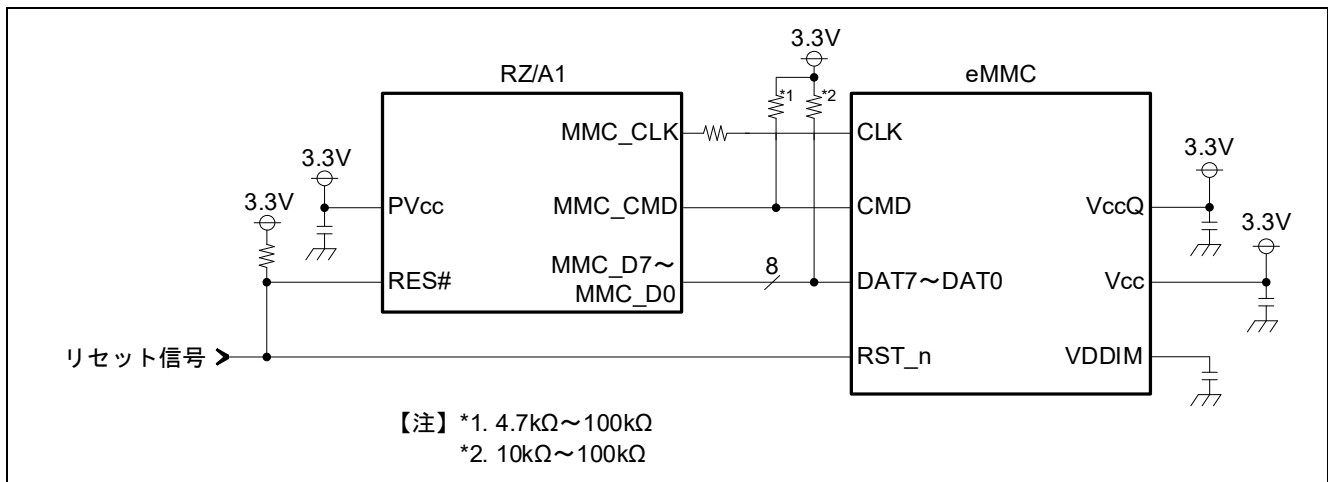


図 5.26 eMMC 接続例 1 (RZ/A1)

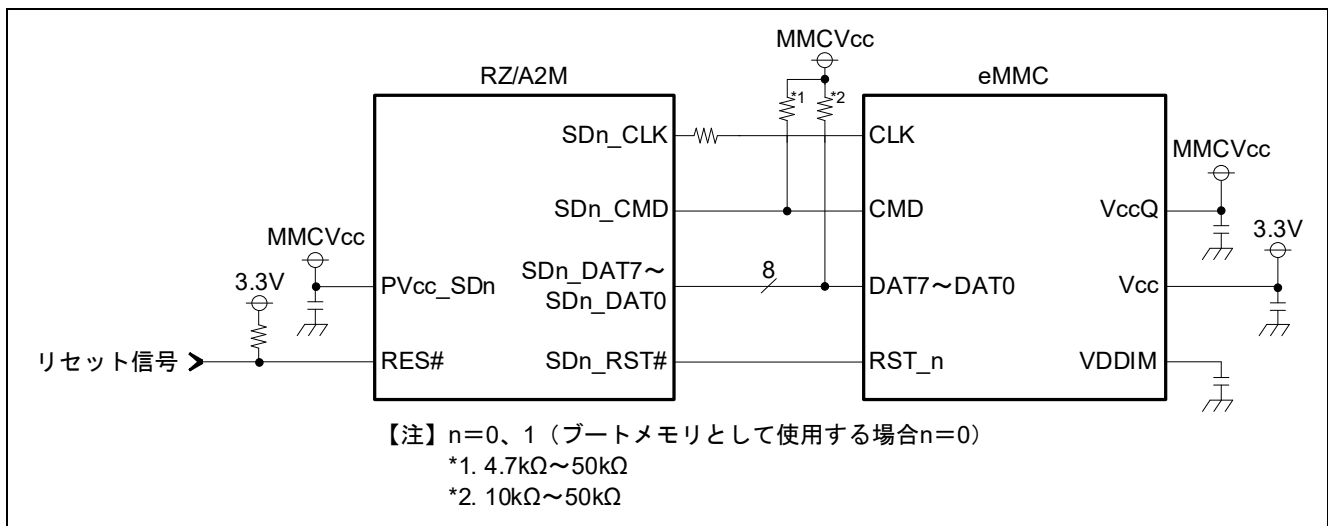


図 5.27 eMMC 接続例 2 (RZ/A2M)

## 6. デバッグインタフェース

### 6.1 特長

本シリーズの LSI のデバッグインタフェースは、JTAG インタフェースと CoreSight デバッグ・インタフェース<sup>\*1</sup>を有するシリアル入出力インタフェースで、バウンダリスキャン用 TAP コントローラと CoreSight デバッグ機能を制御する TAP コントローラを内蔵しています。

BSCANP 端子をハイレベルとすることでバウンダリスキャン用 TAP コントローラが選択され、ローレベルとすることで CoreSight デバッグ用 TAP コントローラが選択されます。表 6.1 に JTAG 端子モード表を示します。

【注】 <sup>\*1</sup>. CoreSight の詳細は、Arm Ltd. のテクニカルリファレンスマニュアルを参照してください。

表 6.1 JTAG 端子モード表

BSCANP	JTAG 端子モード
0	通常動作 (CoreSight デバッグモード)
1	バウンダリスキャンモード

### 6.2 TRST#端子処理

デバッグインタフェースモジュールの初期化信号入力端子として TRST#端子があります。デバッグインタフェースモジュール機能の利用有無にかかわらず、電源投入時に TRST#を一定期間ローレベルとなるよう設計してください。

エミュレータを使用可能なボードを設計する場合は、電源投入時に TRST#端子をローレベルにし、かつ TRST#端子単独で制御可能となるようにしてください。未使用時は、ローレベルに固定するか、RES#端子と同じ信号と接続するようにしてください。

### 6.3 エミュレータとの接続例

図 6.1 にリセット回路例を、図 6.2～図 6.4 にエミュレータとの接続例を示します。VTREF や DBGACK などの接続例がないインタフェース端子は使用するエミュレータの仕様に従って処理してください。本シリーズの LSI で未接続となる端子は「7.2 未使用端子の処理」に従って端子処理を行ってください。

また、これ以降の接続例では、図 6.1 の点線部分を「リセット回路」と省略して図示します。

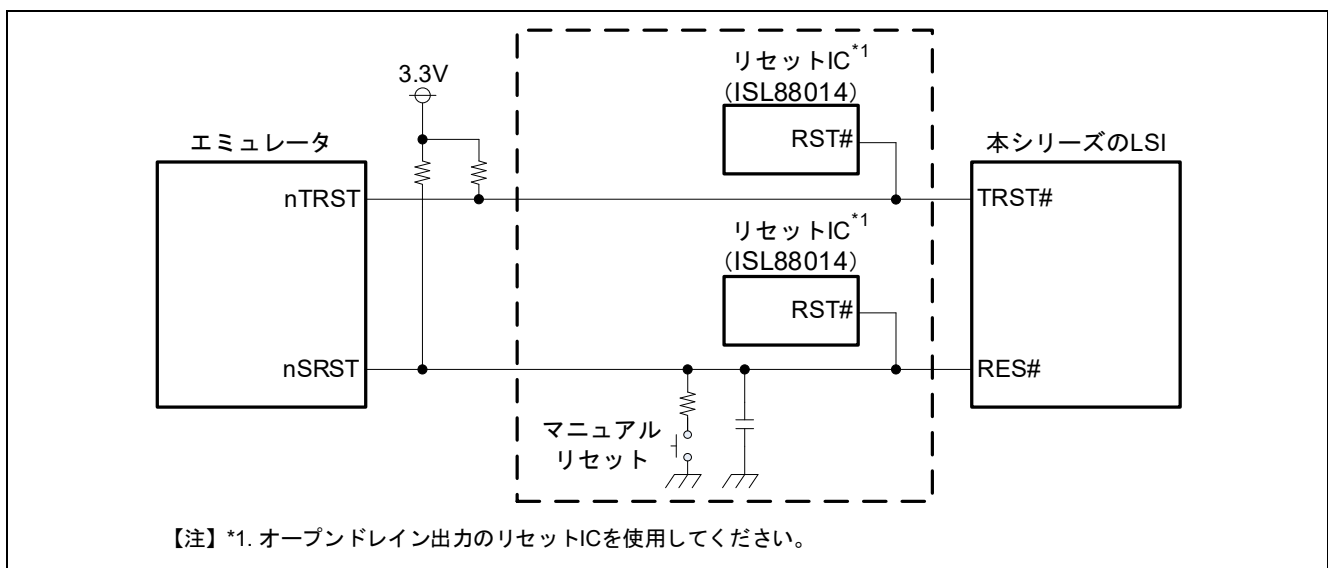


図 6.1 リセット回路例

6.3.1 JTAG インタフェース

図 6.2 に JTAG インタフェースとの接続例を示します。

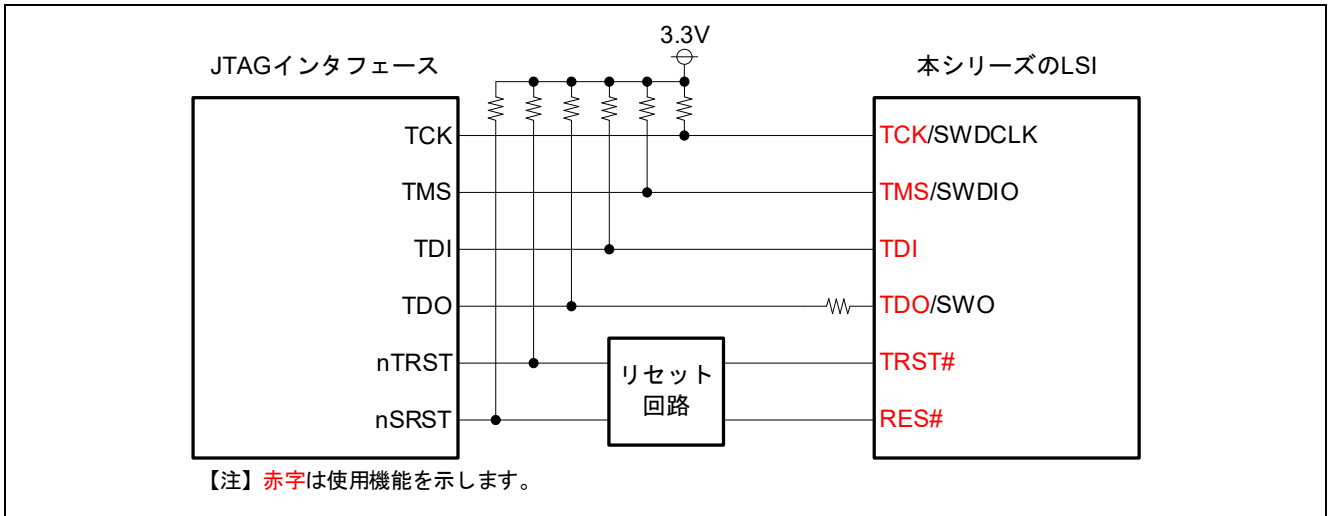


図 6.2 JTAG インタフェース接続例

6.3.2 SWD インタフェース

図 6.3 に SWD インタフェースとの接続例を示します。

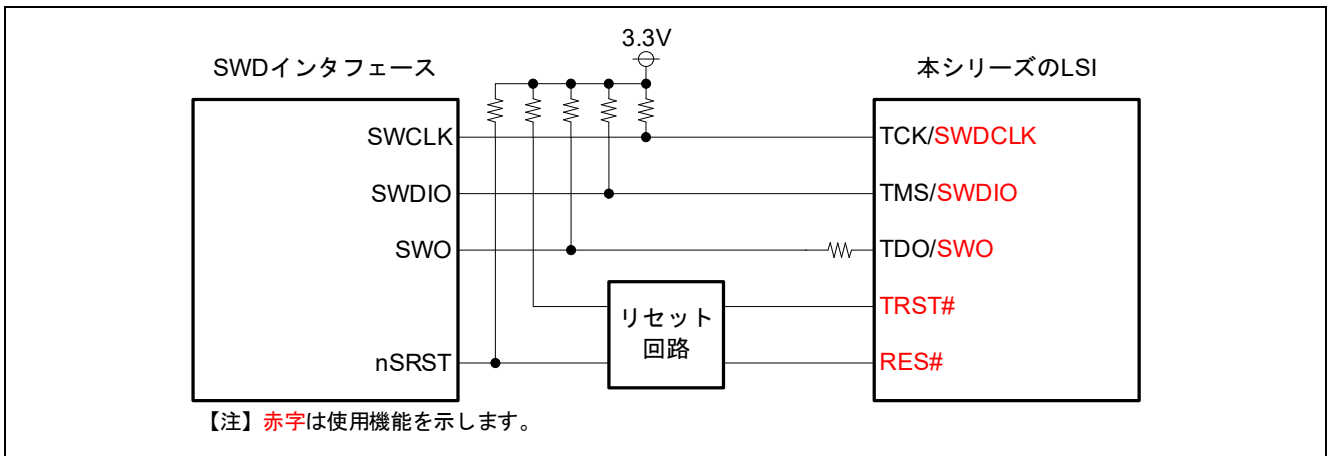


図 6.3 SWD インタフェース接続例

6.3.3 TRACE インタフェース

図 6.4 に TRACE インタフェースとの接続例を示します。

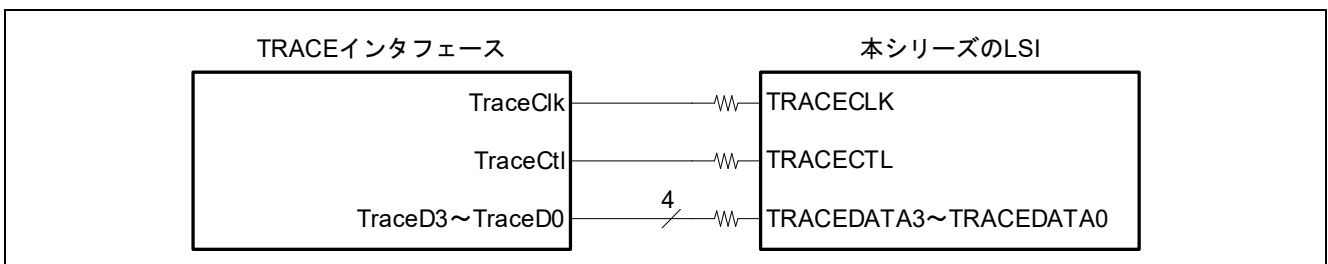


図 6.4 TRACE インタフェース接続例

## 6.3.4 CoreSight 20 コネクタとの接続

CoreSight 20 コネクタは、nTRST と TraceD1 がマルチプレクスしているため、TRACE 機能を使用する場合は SWD インタフェースで接続する必要があります。JTAG インタフェースで接続する場合、TRACE 機能は使用できません。

図 6.5 に SWD および TRACE インタフェース接続例を、図 6.6 に JTAG インタフェース接続例を示します。

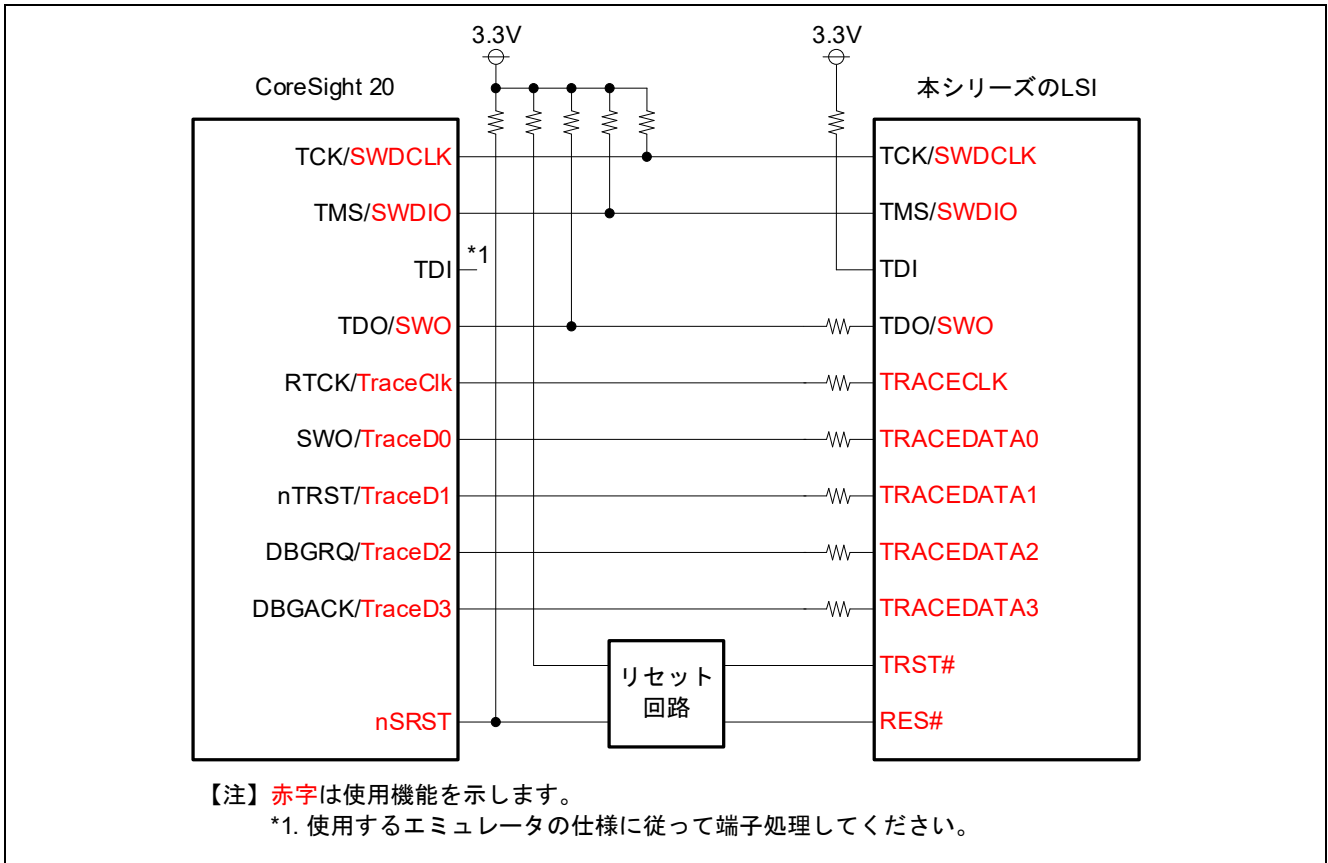


図 6.5 CoreSight 20 接続例 1 (SWD および TRACE インタフェース接続)

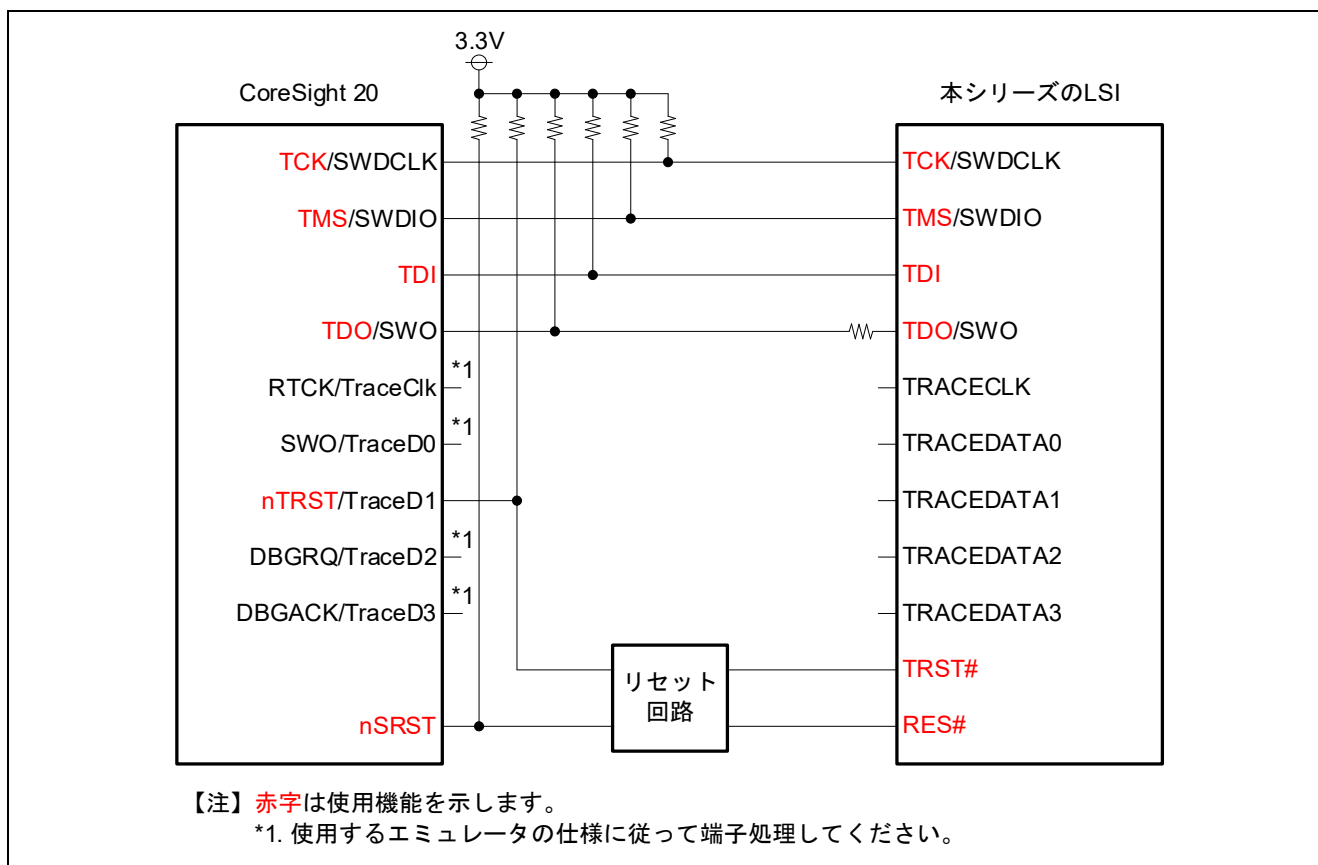


図 6.6 CoreSight 20 接続例 2 (JTAG インタフェース接続)



## 6.3.5 CoreSight 10 コネクタとの接続

CoreSight 10 コネクタのように nTRST 端子が存在しない場合でも、電源投入時には本シリーズの LSI の TRST# 端子をローレベルに固定し、RES# 端子と別の信号を入力してください。

図 6.7 に CoreSight 10 との接続例を示します。

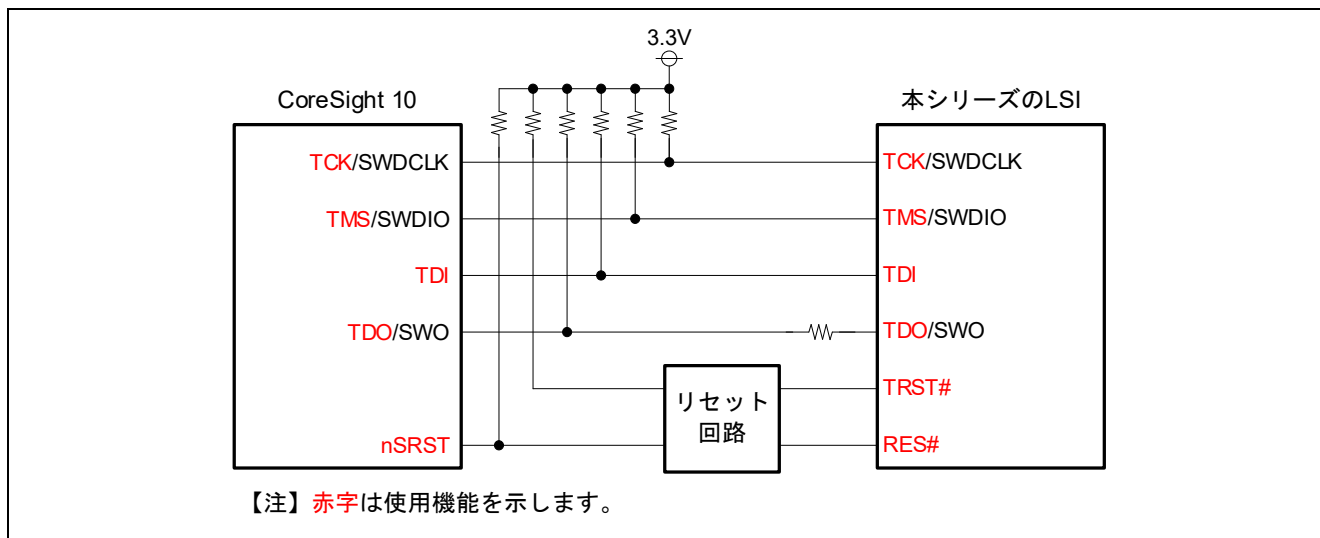


図 6.7 CoreSight 10 接続例 (JTAG インタフェース接続)

## 7. 端子処理

## 7.1 アナログ端子の保護回路

過大なサージなど異常電圧によるアナログ入力端子<sup>\*1</sup>の破壊を防ぐために、図 7.1、図 7.2 に示すような保護回路を設けてください。なお、回路定数は実際の使用条件を考慮の上で決定してください。

【注】 \*1.RZ/A1 : AN7~0  
RZ/A2M : AN007~AN000

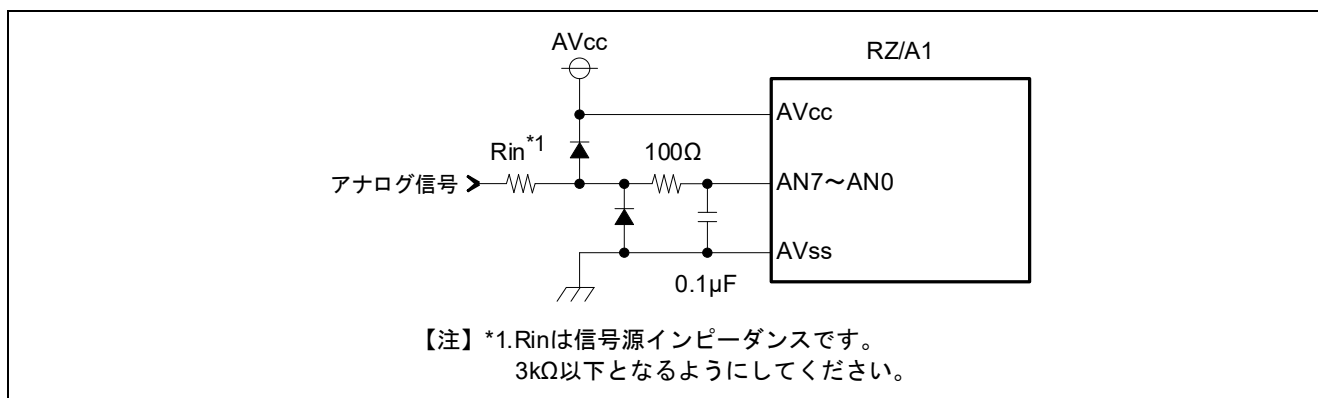


図 7.1 アナログ入力端子の保護回路例 (RZ/A1)

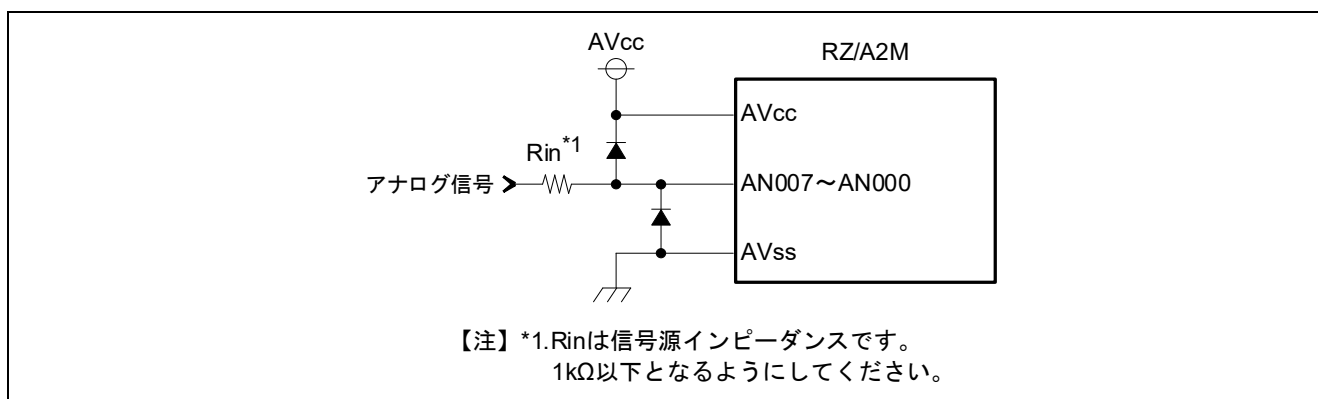


図 7.2 アナログ入力端子の保護回路例 (RZ/A2M)

## 7.2 未使用端子の処理

表 7.1 に RZ/A1 の未使用端子の処理を、表 7.2 に RZ/A2M の未使用端子の処理を示します。未使用の端子は各表の通りに処理してください。

表 7.1 未使用端子の処理 (RZ/A1)

モジュール	端子	処理
割り込み コントローラ	NMI	ハイレベル固定 (プルアップ/電源接続) *1
USB2.0 ホスト/ ファンクション モジュール	DP1、DP0、DM1、DM0、VBUS1、VBUS0	USBDPVss に接続 (QFP)、Vss に接続 (BGA パッケージ)
	REFRIN	5.6kΩ±20%の抵抗を介して USBAPVcc に接続
	USBAPVcc、USBVcc、USBVcc	1.18V 電源を供給
	USBAPVcc、USBDPVcc	3.3V 電源を供給
	USBAPVss、USBDPVss、USBAPVss、USBDVss、USBVss	グラウンドに接続
	USB_X1	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) *1
	USB_X2	オープン
A/D 変換器	AVref	AVcc に接続
	AVcc	3.3V 電源を供給
	AVss	グラウンドに接続
デジタルビデオ デコーダ	VIN1A、VIN2A、VIN1B、VIN2B、VRP、VRM、REXT	オープン
	VDAVcc	3.3V 電源を供給
	VDAVss	グラウンドに接続
	VIDEO_X1	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) *1
	VIDEO_X2	オープン
LVDS 出力 インタフェース	LVDSREFRIN	オープン
	LVDSAPVcc	3.3V 電源を供給
	LVDSPLLVcc	1.18V 電源を供給
	LVDSAPVss	グラウンドに接続
デバッガ インタフェース	BSCANP	ローレベル固定 (プルダウン/グラウンド接続) *1
	TRST#	ローレベル固定 (プルダウン/グラウンド接続) *1*3 または RES#端子と同じ信号を接続
	TCK、TMS、TDI	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) *1
	TDO	オープン*5
クロックパルス 発振器	EXTAL	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) *1
	XTAL	オープン
リアルタイム クロック	RTC_X1、RTC_X3	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) *1
	RTC_X2、RTC_X4	オープン
シリアルサウンド インタフェース	AUDIO_X1	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) *1
	AUDIO_X2	オープン
汎用入出力 ポート	P0_5*4~P0_0、P1_15~P1_8	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) *1*2
	その他の汎用入出力端子	入力端子設定にして固定 (プルアップ/プルダウン) *1*2 または出力設定にしてオープン

【注】 パッケージによっては存在しない端子があります。

プルアップ電源は 3.3V です。

\*1. プルアップ/プルダウンの抵抗は 4.7kΩ~100kΩ を推奨します。

\*2. 「ポート入力バッファ制御レジスタ (PIBCn/JPIBC0)」の設定により入力バッファを禁止できる端子は、端子固定を不要とすることができます。詳細は各 LSI のハードウェアマニュアルを参照してください。

\*3. ローレベルで固定しない場合は RES#入力立上り時間または RES#ネゲートホールド時間を満足するようにしてください。詳細は「2.1 電源投入および切断シーケンス」を参照してください。

\*4. RZ/A1L では P0\_3 となります。

\*5. エミュレータ未接続時、端子状態を固定 (プルアップ\*1) することも可能です。

表 7.2 未使用端子の処理 (RZ/A2M)

モジュール	端子	処理
割り込み コントローラ	NMI	ハイレベル固定 (プルアップ/電源接続) **4
USB2.0 ホスト/ ファンクション モジュール	DP1、DP0、DM1、DM0	10kΩ の抵抗を介してグラウンドに接続
	RREF0、RREF1	オープン
	USBAPVcc0、USBAPVcc1、USBDPVcc0、 USBDPVcc1	3.3V 電源を供給
	USBVss	グラウンドに接続
	USB_X1	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) **4
	USB_X2	オープン
A/D コンバータ	AVcc	3.3V 電源を供給
	AVss	グラウンドに接続
LVDS 出力 インタフェース	LVDSAPVcc	3.3V 電源を供給
	LVDSPLLvcc	1.2V 電源を供給
MIPI CSI-2 インタフェース	MIPIAVcc18	1.8V 電源を供給
	CSI_CLKP、CSI_CLKN、CSI_DATA0P、 CSI_DATA0N、CSI_DATA1P、CSI_DATA1N	グラウンドに接続
SD/MMC ホスト インタフェース	PVcc_SD1、PVcc_SD0	3.3V 電源を供給
	SD1_CMD、SD0_CMD、SD1_DAT3~ SD1_DAT0、SD0_DAT7~SD0_DAT0	固定 (プルアップ/プルダウン) **4
	SD1_CLK、SD0_CLK、SD0_RST#	オープン
SPI マルチ I/O バスコントローラ	PVcc_SPI	3.3V 電源を供給
	QSPI1_SPCLK、QSPI0_SPCLK、QSPI1_SSL、 QSPI0_SSL、QSPI1_IO3~QSPI1_IO0、QSPI0_IO3 ~QSPI0_IO0、RPC_RESET#、RPC_WP#	オープン
	RPC_INT#	ハイレベル固定 (プルアップ/電源接続) **4
HyperBus コントローラ、 Octa メモリ コントローラ	PVcc_HO	1.8V 電源を供給
	HM_RWDS/OM_DQS、HM_DQ7/OM_SIO7~ HM_DQ0/OM_SIO0	固定 (プルアップ/プルダウン) **5
	HM_CK/OM_SCLK、HM_CK#、HM_CS0#/OM_CS0#、 HM_CS1#/OM_CS1#、HM_RESET#/OM_RESET#、	オープン
デバッグ インタフェース	BSCANP	ローレベル固定 (プルダウン/グラウンド接続) *1
	TRST#	ローレベル固定 (プルダウン/グラウンド接続) *1 または RES#端子と同じ信号を接続
	TCK、TMS、TDI	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) **4
	TDO	オープン*3
クロックパルス 発振器	EXTAL	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) **4
	XTAL	オープン
リアルタイム クロック	RTC_X1	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) **4
	RTC_X2	オープン
シリアルサウンド インタフェース	AUDIO_X1	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) **4
	AUDIO_X2	オープン
汎用入出力 ポート	P5_7~P5_0、PL_4~PL_0	固定 (プルアップ/プルダウン/電源接続/グラウンド接続) **2*4
	上記以外の入出力端子	入力端子設定にして固定 (プルアップ/プルダウン) **1*2*4 または出力設定にしてオープン

【注】 パッケージによっては存在しない端子があります。

- \*1. プルアップ/プルダウンの抵抗は 4.7kΩ~100kΩ を推奨します。
- \*2. 「ポート方向レジスタ (PDR)」の設定により、入力 Hi-Z 状態にできる端子は、端子固定を不要とすることができます。  
詳細は「RZ/A2M グループ ユーザーズマニュアル ハードウェア編」を参照してください。
- \*3. エミュレータ未接続時、端子状態を固定 (プルアップ\*1) することも可能です。
- \*4. プルアップ電源は 3.3V です。
- \*5. プルアップ電源は 1.8V です。

## 8. レイアウトガイド

### 8.1 配置・配線

ボード設計時は、高速な信号を入出力する部品から配置し、配線の太さ、短さが要求されるクロックや高速な信号から配線してください。このとき、バイパスコンデンサは最短配線となるよう配置してください。

誘導などにより、アナログ回路の誤動作や A/D 変換値に悪影響を及ぼすため、アナログ信号はデジタル信号から離して配線してください。また、アナロググランド (AVss) は、ボード上の安定したデジタルグランド (Vss) に一点接続してください。

高速なメモリインタフェースの配線には注意が必要です。HyperBus メモリを使用する場合は Cypress Semiconductor Corporation. が提供しているレイアウトガイド<sup>\*1</sup>を参照してください。Octa メモリを使用する場合、Macronix International Co., Ltd. が提供しているレイアウトガイド<sup>\*2</sup>を参照してください。

【注】 \*1. HyperFlash and HyperRAM Layout Guide (AN211622)

\*2. OctaBus Memory PCB Layout Guide (AN0444)

## 8.2 差動信号

### 8.2.1 インピーダンスコントロール

差動インタフェースの伝送線路にはインピーダンスコントロール<sup>\*1</sup>が必要です。表 8.1 に本シリーズの LSI でサポートしている差動インタフェースの特性インピーダンスを示します。

【注】 <sup>\*1</sup>. 基板の厚さ、材質、層構成などにより、パターン幅やパターン間隔が異なります。詳細は基板メーカーにご相談ください。

表 8.1 特性インピーダンス

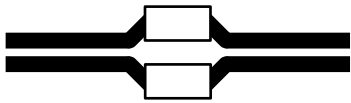
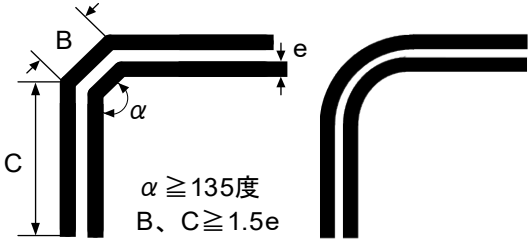
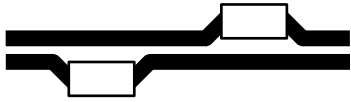
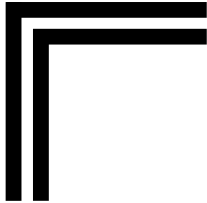
規格	差動インピーダンス <sup>*1</sup>
USB	90Ω
LVDS	100Ω
MIPI	100Ω

【注】 <sup>\*1</sup>. 詳細は要旨に記載している各関連アプリケーションノートを参照してください。

### 8.2.2 配線上の注意

ペアとなる差動信号は等長な平行配線とし、そのライン上へ部品を配置する場合は、差動ペア間で対称となるよう配置してください。クロック同期式の場合、ペアだけでなくクロックとデータも等長となるよう配線してください。パターンに曲げを含む場合は 90 度の曲げは避け、円弧か 135 度などの緩やかな曲げを繰り返すことで折り曲げてください。表 8.2 に配線パターン例を示します。

表 8.2 配線パターン例

	差動ペアの部品配置	曲げ方
良い例		 $\alpha \geq 135$ 度 $B, C \geq 1.5e$
悪い例		

## 9. ノイズ対策

### 9.1 EMI 対策

本シリーズの LSI は、PLL 回路に SSCG を内蔵しています。SSCG とは、出力周波数をわずかに変動させて発振（周波数変調）させることで、EMI ノイズのピークを抑えることができる機能です。表 9.1 に SSCG の仕様を示します。

SSCG 回路は、MD\_CLKS 端子により SSCG 機能の ON/OFF 制御を行います。SSCG 機能を ON にすると一部の周辺モジュール<sup>\*1</sup>に供給するクロック以外が、変動する周波数のクロックになります。表 9.2 に SSCG の動作設定を示します。

SSCG 機能を使用する場合、SSCG 安定時間（tSSCG）<sup>\*2</sup>の規定を満足するようにしてください。

【注】 \*1. 詳細は各 LSI のハードウェアマニュアルを参照してください。

\*2. 詳細は「2.1 電源投入および切断シーケンス」を参照してください。

表 9.1 SSCG 仕様

項目	パラメータ	対象 LSI
変調形式（変調プロファイル）	三角波	RZ/A シリーズ
スプレッドタイプ	ダウンスプレッド	RZ/A シリーズ
変調率	クロックモード 0 : -3.3% クロックモード 1 : -3.1%	RZ/A1
	-2.2%	RZ/A2M
変調周波数	20kHz~26.67kHz（EXTAL 周波数 ÷ 500） 24kHz（USB_X1 周波数 × (1/4) ÷ 500）	RZ/A1
	20kHz~24kHz （クロックモード 0 : EXTAL 周波数 ÷ 500 クロックモード 1 : EXTAL 周波数 ÷ 1000）	RZ/A2M

表 9.2 SSCG 動作設定

MD_CLKS	SSCG 動作
0	OFF
1	ON

また、以下のような対策を実施することで、EMI の低減が期待できます。

#### 回路設計時の対策

- ・ オーバーシュート、アンダーシュート、リングングを低減するため、ダンピング抵抗、フェライトビーズ、コンデンサなどを挿入する
- ・ 電源の揺れを吸収、平滑化するため、バイパスコンデンサを挿入する
- ・ EMI フィルタを挿入する

#### パターン設計時の対策

- ・ 特性インピーダンスの変化を避けるため、配線途中で線幅を変更しない  
直角曲げをしない（135 度×2 回で曲げる）
- ・ クロストークを抑えるため、水晶発振子、水晶発振器の下には配線しない  
クロックラインをグラウンドでガードリングする  
平行配線はしない（バス配線など対策が難しい場合は、数本ごとにグラウンドでガードリングする）
- ・ リターンパスを確保するため、グラウンドを分割しない（ベタグラウンドにする）
- ・ 基板外周をグラウンドで囲み、基板端の配線は避ける
- ・ バイパスコンデンサは電源の近傍に配置する
- ・ ダンピング抵抗は出力端に配置する
- ・ プルアップ/プルダウン、コンデンサなどの終端は入力端に配置する

## 9.2 EMS 対策

EMS 対策として EMI 対策を実施してください。電磁ノイズを外部へ流出させないための EMI 対策を実施することで、外部から流入するノイズを低減させ EMS を向上させる効果も期待できます。

また、静電気対策として、ESD 保護デバイスの使用や、各種シミュレーションを用いた ESD 保護回路の最適化設計を推奨します。



## 10. チェックリスト

表 10.1 チェックリスト 1 (回路図①)

項番	チェック項目 (回路図)			✓	参照
1	端子処理は正しいか				—
1-1	各電源端子の電圧は正しいか (未接続の電源端子はないか)				表 1.1 表 1.2
1-2	未使用端子の処理は適切か				7.2
1-3	電源端子のペアごとに 0.1μF~0.33μF のバイパスコンデンサが入っているか (QFP)				1.3
1-4	1 電源端子につき 0.1μF~0.33μF のバイパスコンデンサが入っているか (BGA) *1				
1-5	各 USB 電源端子に 0.01μF のバイパスコンデンサが入っているか (RZ/A2M)				*2
1-6	アナログ入力端子として使用する場合、保護回路が入っているか				7.1
1-7	エミュレータを使用する場合、TRST#端子は単独で制御可能となっているか				6.2
1-8	SDR104 または HS200 モードを使用する場合、PVcc_SdN 電源は 1.8V/3.3V 切替可能か (RZ/A2M)				図 5.25 図 5.27
1-9	電源 OFF 時、非トレラント端子に電圧印加されないか (RZ/A2M)				1.2.1
2	デジタル電源とアナログ電源を分離しているか				1.1
3	PLL 電源と他の電源は別リソースとなっているか				
4	入力周波数は正しいか				—
4-1-1	EXTAL/XTAL (RZ/A1)	UCKSEL *3			表 3.1
	12MHz±100ppm	1			
	10MHz~13.33MHz	0			
4-1-2	EXTAL/XTAL (RZ/A2M)	UCLKSEL *3	MD_CLK		
	12MHz±100ppm	0	0		
	24MHz±100ppm	0	1		
	10MHz~12MHz	1	0		
	20MHz~24MHz	1	1		
4-2-1	USB_X1/USB_X2 (RZ/A1)	使用条件			
	48MHz±100ppm	Hi-Speed			
	48MHz±500ppm	非 Hi-Speed、かつ Host			
	48MHz±2500ppm	非 Hi-Speed、かつ Function			
4-2-2	USB_X1/USB_X2 (RZ/A2M)	UCLKSEL *3			
	48MHz±100ppm	1			
	不要 (USB_X1 を固定)	0			
4-3	AUDIO_X1/AUDIO_X2 : 10MHz~50MHz (水晶発振器)、1MHz~50MHz (外部クロック) (RZ/A1)				
4-4	RTC_X1/RTC_X2 : 32.768kHz				
4-5	RTC_X3/RTC_X4 (RZ/A1HM) : 4MHz				
4-6	VIDEO_X1/VIDEO_X2 (RZ/A1HM) : 27MHz±50ppm				
5	外部クロックは Xin 端子に接続しているか (Xout 端子はオープン)				図 3.1
6	水晶発振器には、制限抵抗および帰還抵抗、負荷容量を付加しているか				図 3.2
7	モード端子の設定は正しいか				—
7-1	MD_BOOT2~MD_BOOT0 (ブートモード) : 一致しているか				表 4.1
7-2	MD_CLK (供給源) : 0=EXTAL/XTAL、1=USB_X1/USB_X2 (RZ/A1)				表 4.13
7-3	MD_CLK (周波数) : 0=10MHz~12MHz、1=20MHz~24MHz (RZ/A2M)				表 4.14
7-4	BSCANP (JTAG 端子モード) : 0=通常動作、1=バウンダリスキャンモード				表 6.1
7-5	MD_CLKS (SSCG 動作) : 0=OFF、1=ON				表 9.2

【注】 ■ : RZ/A1 のみ該当する項目、■ : RZ/A2M のみ該当する項目を示します。

\*1. RZ/A2M の USB 電源端子は 1-5 を参照してください。

\*2. 詳細は「RZ/A2M グループ High-Speed USB2.0 基板設計ガイドライン (R01AN4964JJ)」を参照してください。

\*3. USBPHY へ供給するクロックを選択するビットです。詳細は各 LSI のハードウェアマニュアルを参照してください。

表 10.2 チェックリスト 2 (回路図②)

項番	チェック項目 (回路図)	✓	参照
8	電源投入時のタイミング規定を満たしているか		—
8-1	SSCG 安定時間: $t_{SSCG} \geq 1\mu s$ (RZ/A1)		図 2.1
8-2	RES#入力立上り時間: $t_{RSr} \leq 500\mu s$		図 2.2
8-3	RES#ネゲートホールド時間: $t_{RSNH} \geq 0ns$ (RZ/A1)		図 2.3
8-4	モードホールド時間: $t_{MDH} \geq 200ns$		図 2.4
8-5	内蔵発振回路発振安定時間: $t_{ROSC} \leq 4ms$		図 2.5
8-6	内蔵 PLL 回路発振安定時間: $t_{POSC} \geq 1ms$		
9	外部デバイスの端子処理は正しいか		—
9-1	A25~A21 端子をプルダウンしているか (ブートデバイスが A25~A21 端子を使う場合)		4.1.2 4.1.3
9-2	CSn#端子をプルアップしているか (推奨)		5.2
9-3	RD#, RD#/WR#, WEn#端子をプルアップしているか (推奨)		5.3
9-4	SDRAM の CKE および DQM 端子の処理は初期化シーケンスに合っているか		5.3
9-5	ライトプロテクトやホールド端子の処理はデバイスの極性に合っているか		5.4 5.5
9-6	HyperBus メモリの RWDS 端子を 200k $\Omega$ 以上でプルダウンしているか (HyperBus コントローラと接続する場合)		図 5.16 図 5.17 図 5.18
9-7	SD カードの CMD および DAT 端子を 10k $\Omega$ ~100k $\Omega$ でプルアップしているか		図 5.24
9-8	SD カードの CD および WP 端子をシステムの仕様に合わせて処理しているか		図 5.25
9-9	eMMC の CMD 端子を 4.7k $\Omega$ ~50k $\Omega$ でプルアップしているか		図 5.26
9-10	eMMC の DAT 端子を 10k $\Omega$ ~50k $\Omega$ でプルアップしているか		図 5.27
10	外部デバイスとの接続は正しいか		—
10-1	CS0 空間ブートを行うメモリの CS#端子には、CS0#端子を接続しているか		5.2
10-2	1 エリアのみ SDRAM を接続する場合、CS2#ではなく CS3#端子を接続しているか		5.3
10-3	アドレスの結線は正しいか -16 ビット幅の場合、本シリーズの LSI の A1 と外部デバイスの A0 を接続 -32 ビット幅の場合、本シリーズの LSI の A2 と外部デバイスの A0 を接続		5.2 5.3
10-4	eSD をブートメモリとして使用する場合、チャンネル 0 を接続しているか		4.1.4
10-5	eSD ブートする場合、電源投入時に SD カードにも電源を供給しているか		図 5.24 図 5.25
10-6	eMMC をブートメモリとして使用する場合、チャンネル 0 を接続しているか (RZ/A2M)		図 5.27
10-7	eMMC ブートを行う場合、4 ビット幅以上で接続しているか (RZ/A1)		4.1.5
10-8	eMMC ブートを行う場合、8 ビット幅で接続しているか (RZ/A2M)		5.11
10-9	シリアルフラッシュをブートメモリとして使用する場合、チャンネル 0 を接続しているか (RZ/A1)		図 5.10 図 5.11
10-10	HyperFlash を使用する場合、RZ/A2M の HM_CS0#端子と CS#端子を接続しているか (RZ/A2M)		図 5.16
10-11	HyperRAM を使用する場合、RZ/A2M の HM_CS1#端子と CS#端子を接続しているか (RZ/A2M)		図 5.17
10-12	HyperMCP を使用する場合、RZ/A2M の HM_CS0#端子と CS1#端子を、HM_CS1#端子と CS2#端子を接続しているか (RZ/A2M)		図 5.18
10-13	OctaFlash を使用する場合、RZ/A2M の OM_CS0#端子と CS#端子を接続しているか (RZ/A2M)		図 5.20
10-14	OctaRAM を使用する場合、RZ/A2M の OM_CS1#端子と CS#端子を接続しているか (RZ/A2M)		図 5.21
10-15	OctaMCP を使用する場合、RZ/A2M の OM_CS0#端子と CS#_F 端子を、OM_CS1#端子と CS#_R 端子を接続しているか (RZ/A2M)		図 5.22
11	外部デバイスの選定は正しいか		—
11-1	eSD ブートデバイスは SD Specification Part1 eSD Addendum (Version 2.10) 規格に準拠しているか		4.1.4
11-2	eMMC ブートデバイスは JESD84 A44 (MMCA 4.4) 規格に準拠しているか		4.1.5
11-3	ブートメモリはリセット独立型で、システムリセットを入力しているか (シリアルフラッシュブート、Octal-SPI フラッシュブート、OctaFlash ブート)		4.1.11

【注】 ■ : RZ/A1 のみ該当する項目、 ■ : RZ/A2M のみ該当する項目を示します。

表 10.3 チェックリスト 3 (回路図③)

項番	チェック項目 (回路図)	✓	参照
12	その他		—
12-1	入力専用ポートを出力ポートとして使用していないか RZ/A2M : P5_7~P5_0、PL_4~PL_0、JP0_0 RZ/A1HM : P0_5~P0_0、P1_15~P1_8、JP0_1、JP0_0 RZ/A1L : P0_3~P0_0、P1_15~P1_8、JP0_1、JP0_0		—

表 10.4 チェックリスト 3 (パターン図)

項番	チェック項目 (パターン図)	✓	参照
1	水晶発振子および負荷容量はクロック端子の近傍に配置しているか		3.3
2	水晶発振子の回路付近に配線パターンはないか		
3	アナログ信号はデジタル信号から離して配線しているか		8.1
4	配線途中での線幅変更はないか		9.1
5	直角曲げはないか		
6	クロックラインはグラウンドでガードリングされているか		
7	平行配線はないか あっても数本ごとにグラウンドでガードリングされているか		
8	基板外周はグラウンドで囲まれているか		
9	基板端に配線はないか		
10	バイパスコンデンサは電源の近傍に配置しているか		
11	ダンピング抵抗は出力端に配置しているか		
12	プルアップ/プルダウンやコンデンサなどの終端は入力端に配置しているか		

## 11. 参考ドキュメント

- ハードウェアマニュアル

RZ/A1H グループ、RZ/A1M グループ ユーザーズマニュアルハードウェア編 (R01UH0403JJ)  
(最新版をルネサスエレクトロニクスのホームページから入手してください。)

RZ/A1L グループ、RZ/A1LU グループ、RZ/A1LC グループ ユーザーズマニュアルハードウェア編 (R01UH0437JJ)  
(最新版をルネサスエレクトロニクスのホームページから入手してください。)

RZ/A2M グループ ユーザーズマニュアル ハードウェア編 (R01UH0746JJ)  
(最新版をルネサスエレクトロニクスのホームページから入手してください。)

- HyperBus メモリレイアウトガイド

HyperFlash and HyperRAM Layout Guide (AN211622)

(最新版は Cypress Semiconductor Corporation. の下記ページから入手してください。)

[https://japan.cypress.com/documentation/application-notes/an211622-hyperflash-and-hyperram-layout-guide?source=search&cat=technical\\_documents](https://japan.cypress.com/documentation/application-notes/an211622-hyperflash-and-hyperram-layout-guide?source=search&cat=technical_documents))

- OctaBus メモリ PCB レイアウトガイド

OctaBus Memory PCB Layout Guide (AN0444)

(最新版は Macronix International Co., Ltd. の下記ページから AN 番号を検索の上、入手してください。)

<http://www.macronix.com>)

## 12. 設計支援情報

- 京セラ株式会社 水晶振動子 回路マッチング検索

[http://prdct-search.kyocera.co.jp/crystal-ic/?p=ja\\_search/&s1=27](http://prdct-search.kyocera.co.jp/crystal-ic/?p=ja_search/&s1=27)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2019.06.20	—	初版発行
1.10	2019.09.05	21	表 2.2 中の RTC_X1、RTC_X3 に関する規定を削除
		30	4.1.11 の章タイトルと本文を修正し、図を追加
		33~52	図中の注記を一部本文へ移動 図中へ電源端子を追加 外部メモリへリセット信号を入力する場合の図について、本シリーズの LSI に RES#端子を追加
		33、39、42、 43、46、52	ブートデバイスとして使用する際の注意事項を追記
		39	接続可能なデータバス幅を本文へ追記
		41~48、52	外部メモリとの接続で、RZ/A2M がリセット信号を出力する配線からプルアップを削除
		43~48	HyperBus コントローラ、Octa メモリコントローラを使用する場合の接続例の入出力端子へ端子処理（プルアップ）を追加
		44、45、47、 48、51	図の注記へ兼用端子と専用端子の説明を追記
		50、52	図を RZ/A1 と RZ/A2M の場合で分けて掲載するよう修正
		1.20	2019.12.23
50	SD カードスロットの接続例を以下のように修正 ・COMMON 端子を追加 ・CMD、DAT3~DAT0、VDD 端子への電源供給をスイッチ経路に変更		
57	CoreSight 10 の接続例を追加		
59、60	モジュールごとにまとめて端子処理を記載するよう修正 RPC_INT#端子の処理方法をハイレベル固定（プルアップ）に変更 未使用端子処理の表へ PVccSD1、PVcc_SD0、PVcc_SPI、PVcc_HO を追加 プルアップ電源を注記で追加		
62	表 8.1 の詳細参照先アプリケーションノートに関する注記を追記		
65、66	チェック項目を追加（1-5、7-4、10-4~10-6、10-10~10-15）		
1.30	2020.05.26	19	タイミング規定参照先の図表番号を追記
		21	パワーオン発振安定時間の間ローレベルに保持する必要がある端子として TRST#端子を本文中へ追記
		21	外部クロック使用時の注記を追記
		39	図 5.9 の注記へ本シリーズの LSI がサポートしているバス幅を追記
		40、49	図 5.10、図 5.11、図 5.23 のデータバスへ端子処理（プルアップ）を追加
		60	RPC_INT#の端子処理方法に電源接続を追加
		67	チェック項目を追加（表 10.3）

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違えば製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

- 当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
  7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
  8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
  9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
  10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとなります。
  11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
  12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。