

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-H8*-A0443A/J	Rev.	第1版
題名	EtherC/E-DMACレジスタアクセスに関する使用上の注意事項		情報分類	技術情報	
適用製品	H8S/2472、H8S/2463、H8S/2462 グループ	対象ロット等	関連資料	H8S/2472、H8S/2463、H8S/2462 グループ ハードウェアマニュアル Rev.2.00 (RJJ09B0430-0200)	
		全ロット			

上記適用製品ハードウェアマニュアルのイーサネットコントローラ (EtherC)、およびイーサネットコントローラ用ダイレクタメモリアクセスコントローラ (E-DMAC) 章において、使用上の注意事項があります。

1. 注意事項一覧

本テクニカルアップデートで説明する注意事項を表 1.1 に示します。

表 1.1 注意事項一覧

分類	該当条件	現象	対策	対象レジスタ
ケース 1	送受信要求中 (EDTRR. TR=1 またはEDRRR. RR=1) に、EtherCの対象レジスタを書き込む場合	E-DMACバス権移行とEtherCレジスタ書き込みの競合が発生し、対象レジスタにデータが書き込まれない	レジスタに書き込んだデータを読み出し、正しく書き込まれたことが確認できるまで同じデータを書き込む	表 2. 1
ケース 2	送受信要求中 (EDTRR. TR=1 またはEDRRR. RR=1) に、E-DMACの対象レジスタを書き込む場合	E-DMACバス権移行とE-DMACレジスタ書き込みの競合が発生し、E-DMACバス権移行中、一時的に対象レジスタの下位16ビットに誤ったデータが書き込まれる	①送受信要求中はEDTRR、EDRRR、EESR以外のE-DMACレジスタの書き込み禁止 ②送受信要求中にEDTRR. TR、EDRRR. RRにデータを書き込む場合は、”0”を読み出した後”1”を書き込む ③送受信要求中にEESRにデータを書き込む場合、EESRに書き込みたいデータをRMFCRに書き込み後、同じデータをEESRに書き込む	表 2. 2
ケース 3	EtherCレジスタアクセス直後にレジスタ間接でEtherCの対象レジスタを読み出す場合	対象レジスタの上位16ビットの値が正しく読み出されない	レジスタ間接での読み出し命令の前にNOPまたはその他のCPU処理を実行する	表 2. 3
ケース 4	EtherC/E-DMAC (ECBRRを除く) レジスタ読み出し直後にレジスタ間接でECBRRに書き込む場合	ECBRRに不定値が書き込まれる	レジスタ間接での書き込み命令の前にNOPまたはその他のCPU処理を実行する	表 2. 5
ケース 5	EtherC/E-DMAC (ECBRRを除く) レジスタ読み出し直後にレジスタ間接でSCIF/SSU/LPC/USB/PECIのレジスタに書き込む、または読み出す場合	対象レジスタに不定値が書き込まれる、または不定値が読み出される	レジスタ間接での書き込み、または読み出し命令の前にNOPまたはその他のCPU処理を実行する	表 2. 6

2. 各注意事項の説明

2.1. ケース1 (E-DMAC バス権移行と EtherC レジスタ書き込みの競合)

(1) 現象

E-DMACバス権移行とEtherCレジスタ書き込みが競合したとき、対象レジスタにデータが書き込まれません。

(2) 対象レジスタ

本現象が発生する対象レジスタを表2.1に示します。

表2.1 ケース1の対象レジスタ

No.	対象モジュール	対象レジスタ	対象：	備考
1	イーサネットコントローラ (EtherC)	EtherCモードレジスタ (ECMR)	○	TEおよびREビットを送受信中に書き込む場合は対象になります。
2		EtherCステータスレジスタ (ECSR)	○	“1”書き込みによるクリアが対象です。
3		EtherC割り込み許可レジスタ (ECSIPR)	○	
4		PHY部インタフェースレジスタ (PIR)	○	MDIはリード専用のビットです。
5		MACアドレス上位設定レジスタ (MAHR)	—	送受信中の書き込みは禁止です。
6		MACアドレス下位設定レジスタ (MALR)	—	
7		受信フレーム長上限レジスタ (RFLR)	○	
8		PHY部ステータスレジスタ (PSR)	—	
9		送信リトライオーバカウンタレジスタ (TROCR)	○	書き込みによってすべて“0”にクリアされるレジスタです。
10		遅延衝突検出カウンタレジスタ (CDCR)	○	
11		キャリア消失カウンタレジスタ (LCCR)	○	
12		キャリア未検出カウンタレジスタ (CNDCR)	○	
13		CRCエラーフレーム受信カウンタレジスタ (CEFCR)	○	
14		フレーム受信エラーカウンタレジスタ (FRECR)	○	
15		64バイト未満フレーム受信カウンタレジスタ (TSFRCR)	○	
16		指定バイト超フレーム受信カウンタレジスタ (TLFRCR)	○	
17		端数ビットフレーム受信カウンタレジスタ (RFCR)	○	
18		マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)	○	
19		IPG設定レジスタ (IPGR)	—	送受信中の書き込みは禁止です。
20		自動PAUSEフレーム設定レジスタ (APR)	○	
21		手動PAUSEフレーム設定レジスタ (MPR)	○	読み出し値は不定です。
22		自動PAUSEフレーム再送回数設定レジスタ (TPAUSER)	○	

(3) 対策

フレームの送受信要求中 (EDTRR. TR=1またはEDRRR. RR=1のとき) に表2.1に示すレジスタにデータを書き込む場合、レジスタ書き込み後に同じレジスタを読み出し、データが正しく書き込めたことを確認してください。データが正しく書き込めていなかった場合、正しく書き込めるまで同じデータを書き込んでください。手動PAUSEフレーム設定レジスタ (MPR) は読み出し値が不定であるため、代用として自動PAUSEをご利用ください。また、EtherCステータスレジスタ (ECSR) のいずれかのビットをクリアする場合、対象のビットのみクリアされたことを確認してください。なお、C言語を使用しECSRのいずれかのビットをクリアする場合は、32ビットのイミディエイトデータで記述してください。

例) ETHER. ECSR. LONG = 0x00000002;

フレーム送受信要求中にEtherCのレジスタにデータを書き込まない場合は対策不要です。

本現象を回避するためのレジスタ書き込みフローを図2.1に示します。

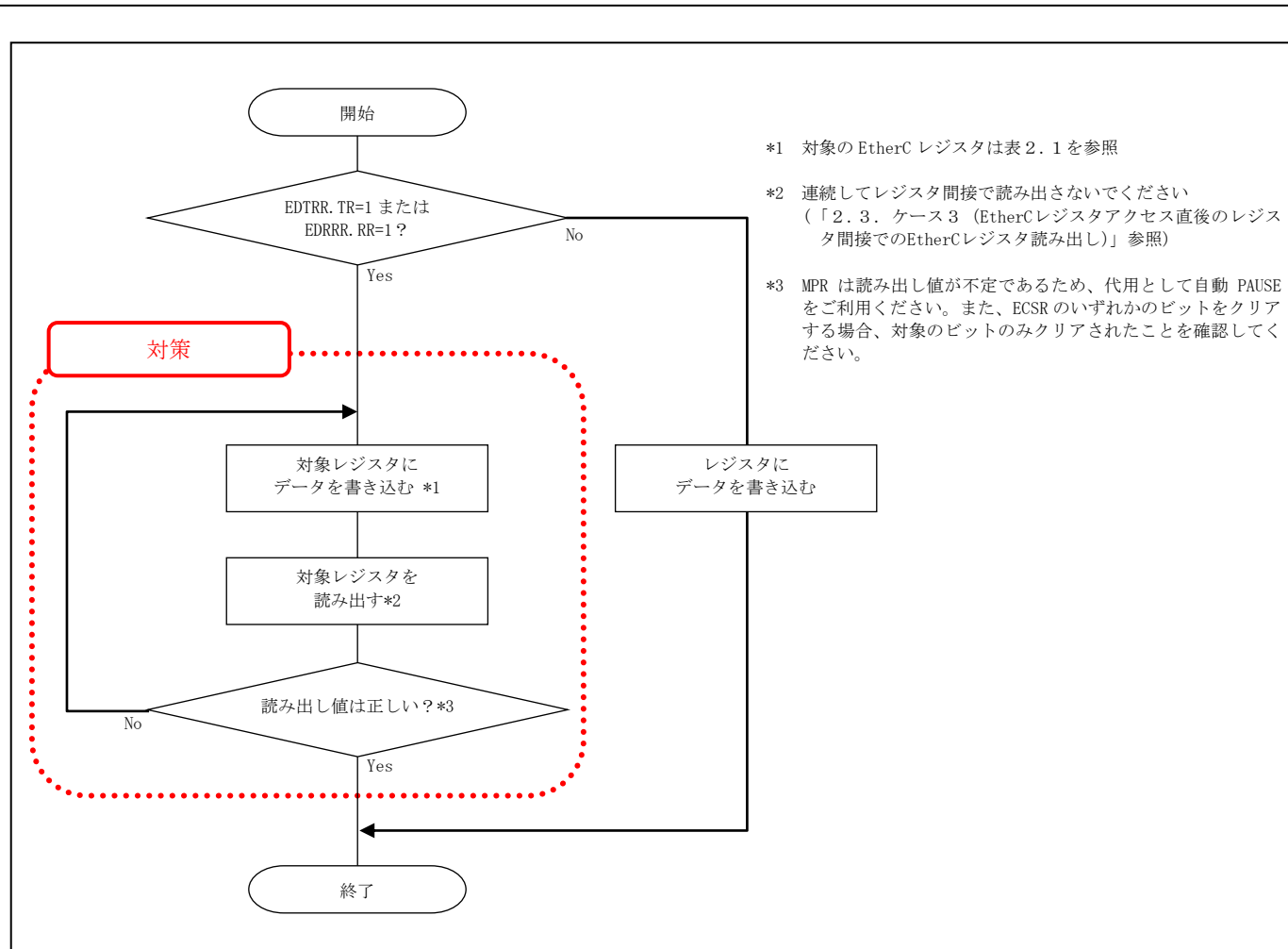


図 2. 1 ケース 1 を回避するためのレジスタ書き込みフロー

2.2. ケース2 (E-DMAC バス権移行と E-DMAC レジスタ書き込みの競合)

(1) 現象

E-DMACバス権移行とE-DMACレジスタ書き込みが競合したとき、E-DMACへバス権が移行している間、一時的に対象レジスタの下位16ビットに誤ったデータが書き込まれます。E-DMACがバス権を解放すると、対象レジスタに正しいデータが書き込まれます。EtherC/E-DMACステータスレジスタ (EESR) については、意図しないビットをクリアする可能性があり、この場合、E-DMACがバス権を解放しても、そのビットはクリアされたままになります。

(2) 対象レジスタ

本現象が発生する対象レジスタを表2.2に示します。

表2.2 ケース2の対象レジスタ

No.	対象モジュール	対象レジスタ	対象:	備考
			○	
1	イーサネットコントローラ 用ダイレクトメモリアクセ スコントローラ (E-DMAC)	動作モードレジスタ (EDMR)	○	
2		送信要求レジスタ (EDTRR)	○	
3		受信要求レジスタ (EDRRR)	○	
4		送信ディスクリプタリスト先頭アドレス レジスタ (TDLAR)	○	
5		受信ディスクリプタリスト先頭アドレス レジスタ (RDLAR)	○	
6		EtherC/E-DMAC ステータスレジスタ (EESR)	○	
7		EtherC/E-DMAC ステータス割り込み許可 レジスタ (EESIPR)	○	
8		送受信ステータスコピー指示レジスタ (TRSCER)	○	
9		ミスドフレームカウンタレジスタ (RMFCR)	—	読み出し専用レジスタのため対象外です
10		送信 FIFO しきい値指定レジスタ (TFTR)	○	
11		FIFO 容量指定レジスタ (FDR)	○	
12		受信方式制御レジスタ (RMCR)	○	
13		受信バッファライトアドレスレジスタ (RBWAR)	—	読み出し専用レジスタのため対象外です
14		受信ディスクリプタフェッチアドレス レジスタ (RDFAR)	—	読み出し専用レジスタのため対象外です
15		送信バッファリードアドレスレジスタ (TBRAR)	—	読み出し専用レジスタのため対象外です
16		送信ディスクリプタフェッチアドレス レジスタ (TDFAR)	—	読み出し専用レジスタのため対象外です
17		フロー制御開始 FIFO しきい値設定レジスタ (FCFTR)	○	
18		ビットレートレジスタ (ECBRR)	—	
19		送信割り込み設定レジスタ (TRIMD)	○	

(3) 対策

以下3つの対策を実施してください。

- ① フレーム送受信要求中 (EDTRR.TR=1 または EDRRR.RR=1 のとき) は、送信要求レジスタ (EDTRR)、受信要求レジスタ (EDRRR)、EtherC/E-DMAC ステータスレジスタ (EESR) を除くすべての E-DMAC レジスタへの書き込みを禁止します。また、フレーム送受信要求中に定期的に E-DMAC のレジスタに同じデータを上書きすることを禁止します。
- ② フレーム送受信要求中に EDTRR.TR または EDRRR.RR にデータを書き込む場合、必ず”0”を読み出した後、”1”を書き込んでください。EDTRR.TR、EDRRR.RR が”1”のときに”1”を上書きすることは禁止です。また、フレーム送受信要求中に EDTRR.TR、EDRRR.RR に”0”を書き込むことは禁止します。
- ③ フレーム送受信要求中にEESRにデータを書き込む場合、EESRへのデータ書き込みの前に、書き込みたいデータをミスドフレームカウンタレジスタ (RMFCR) に書き込んでください (RMFCRは読み出し専用レジスタのためデータは変化しません)。その後、EESRに同じデータを書き込んでください。この手順を割り込み処理内で実施する場合、多重割り

込みを許可しないでください。割り込み処理以外で実施する場合は、RMFCRへの書き込みの前に割り込みを禁止し、EESR書き込み後に元の状態に戻してください。フレーム送受信要求中にEESRにデータを書き込む場合の手順を図2.2、図2.3に示します。

フレーム送受信要求中に E-DMAC のレジスタにデータを書き込まない場合は対策不要です。また、フレーム送受信要求中に EESR にデータを書き込む場合でも、EESR の下位 16bit の割り込みを EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) により許可していなければ対策不要です。

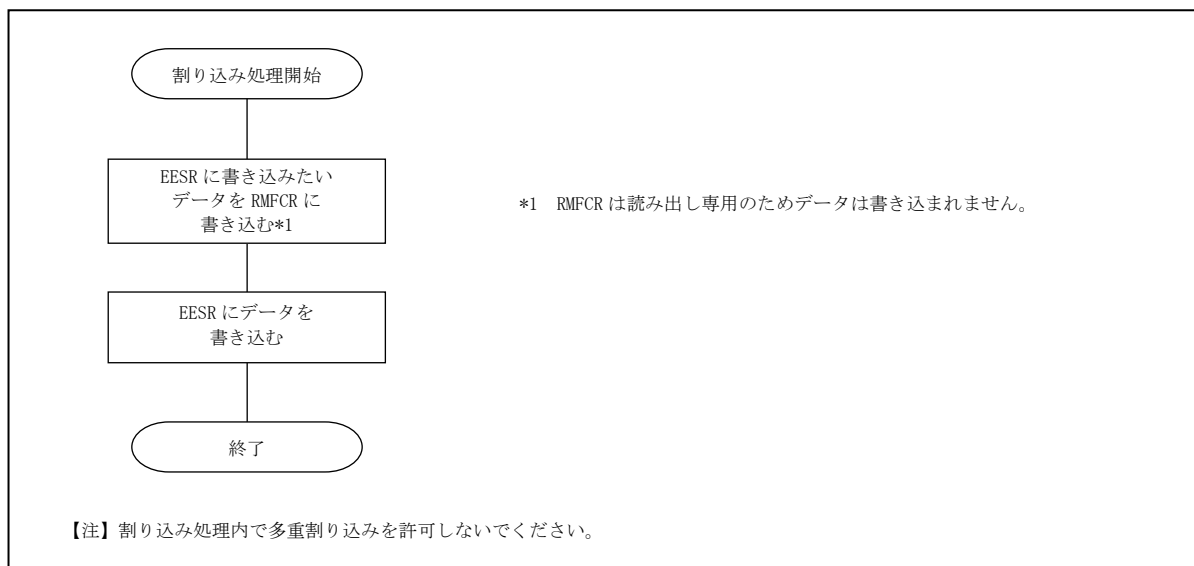


図2.2 フレーム送受信要求中に EESR にデータを書き込む場合の手順 (割り込み処理で実施する場合)

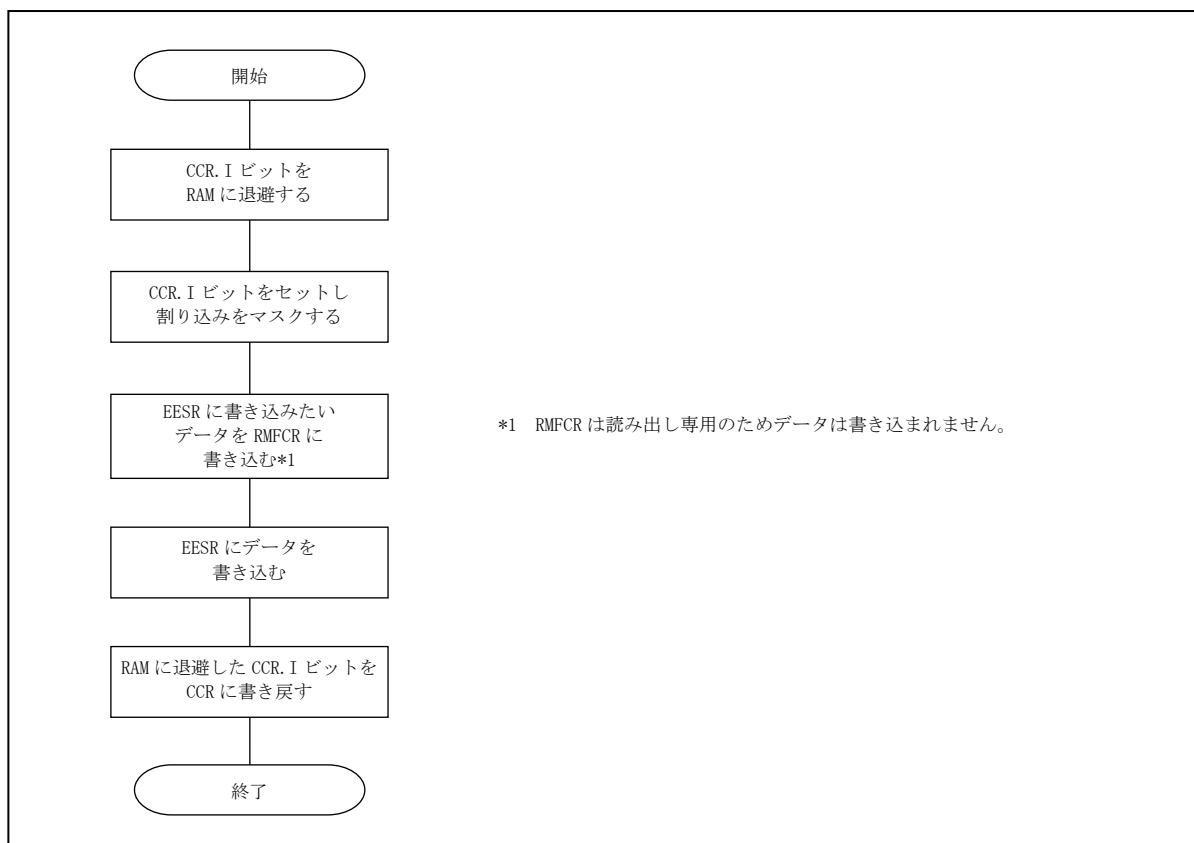


図2.3 フレーム送受信要求中に EESR にデータを書き込む場合の手順 (割り込み処理以外で実施する場合)

2.3. ケース3 (EtherC レジスタアクセス直後のレジスタ間接でのEtherC レジスタ読み出し)

(1) 現象

①EtherCのレジスタへの書き込み直後に、連続してレジスタ間接で対象レジスタを読み出すと、上位側の16ビットの値がH' 0000で読み出されます。

上位側の16ビットがリザーブビットのレジスタは対象外になります。

②EtherCのレジスタの読み出し直後に、連続してレジスタ間接で対象レジスタを読み出すと、上位側の16ビットの値が直前に読み出したEtherCのレジスタの値で読み出されます。

(2) 対象レジスタ

本現象が発生する対象レジスタを表2.3に示します。また、対象となるアドレッシングモードを表2.4に示します。

表2.3 ケース3の対象レジスタ

No.	対象モジュール	対象レジスタ	①書き込み直後に読み出す場合の対象レジスタ：○	②読み出し直後に読み出す場合の対象レジスタ：○
1	イーサネット コントローラ (EtherC)	EtherC モードレジスタ (ECMR)	○	○
2		EtherC ステータスレジスタ (ECSR)	—	○
3		EtherC 割り込み許可レジスタ (ECSIPR)	—	○
4		PHY 部インタフェースレジスタ (PIR)	—	○
5		MAC アドレス上位設定レジスタ (MAHR)	○	○
6		MAC アドレス下位設定レジスタ (MALR)	—	○
7		受信フレーム長上限レジスタ (RFLR)	—	○
8		PHY 部ステータスレジスタ (PSR)	—	○
9		送信リトライオーバーカウンタレジスタ (TROCR)	○	○
10		遅延衝突検出カウンタレジスタ (CDCR)	○	○
11		キャリア消失カウンタレジスタ (LCCR)	○	○
12		キャリア未検出カウンタレジスタ (CNDCR)	○	○
13		CRC エラーフレーム受信カウンタレジスタ (CEFCR)	○	○
14		フレーム受信エラーカウンタレジスタ (FRECR)	○	○
15		64 バイト未満フレーム受信カウンタレジスタ (TSFRCR)	○	○
16		指定バイト超フレーム受信カウンタレジスタ (TLFRCR)	○	○
17		端数ビットフレーム受信カウンタレジスタ (RFCR)	○	○
18		マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)	○	○
19		IPG 設定レジスタ (IPGR)	—	○
20		自動 PAUSE フレーム設定レジスタ (APR)	—	○
21		手動 PAUSE フレーム設定レジスタ (MPR)	—	○
22		自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER)	—	○

表2.4 対象のアドレッシングモード

No.	アドレッシングモード	記号	対象：○
1	レジスタ直接	Rn	—
2	レジスタ間接	@ERn	○
3	ディスプレースメント付きレジスタ間接	@(d:16, ERn) / @(d:32, ERn)	—
4	ポストインクリメントレジスタ間接	@ERn+	—
5	プリデクリメントレジスタ間接	@-ERn	—
6	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32	—
7	イミディエイト	#xx:8 / #xx:16 / #xx:32	—
8	プログラムカウンタ相対	@(d:8, PC) / @(d:16, PC)	—
9	メモリ間接	@@aa:8	—

(3) 対策

EtherCのレジスタをアクセス（書き込み／読み出し）後、直後の命令で表 2. 3 に示すレジスタをレジスタ間接で読み出す場合、レジスタ間接命令の前に、NOPまたはその他のCPU処理を実行してから読み出してください。C言語によるNOP挿入方法は【付録】を参照してください。NOPの他、レジスタやRAMの書き込み、読み出しなどでも問題ありません。

レジスタ間接以外のアドレッシングモードでは対策不要です。

2. 4. ケース 4（EtherC／ECBRR を除く E-DMAC レジスタ読み出し直後のレジスタ間接での ECBRR レジスタ書き込み）

(1) 現象

EtherC／E-DMAC（ECBRRを除く）レジスタ読み出し直後に、連続してレジスタ間接でビットレートレジスタ（ECBRR）にデータを書き込むと、ECBRRに不定値が書き込まれます。ECBRRの読み出しは正しく読み出されます。

(2) 対象レジスタ

本現象が発生する対象レジスタを表 2. 5 に示します。対象となるのはE-DMACのECBRRのみです。

表 2. 5 ケース 4 の対象レジスタ

No.	対象モジュール	対象レジスタ	対象：○
1	イーサネットコントローラ用 ダイレクトメモリアクセス コントローラ（E-DMAC）	動作モードレジスタ（EDMR）	—
2		送信要求レジスタ（EDTRR）	—
3		受信要求レジスタ（EDRRR）	—
4		送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）	—
5		受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）	—
6		EtherC/E-DMAC ステータスレジスタ（EESR）	—
7		EtherC/E-DMAC ステータス割り込み許可レジスタ（EESIPR）	—
8		送受信ステータスコピー指示レジスタ（TRSCER）	—
9		ミスドフレームカウンタレジスタ（RMFCR）	—
10		送信 FIFO しきい値指定レジスタ（TFTR）	—
11		FIFO 容量指定レジスタ（FDR）	—
12		受信方式制御レジスタ（RMCR）	—
13		受信バッファライトアドレスレジスタ（RBWAR）	—
14		受信ディスクリプタフェッチアドレスレジスタ（RDFAR）	—
15		送信バッファリードアドレスレジスタ（TBRAR）	—
16		送信ディスクリプタフェッチアドレスレジスタ（TDFAR）	—
17		フロー制御開始 FIFO しきい値設定レジスタ（FCFTR）	—
18		ビットレートレジスタ（ECBRR）	○
19		送信割り込み設定レジスタ（TRIMD）	—

(3) 対策

EtherC／E-DMAC（ECBRRを除く）レジスタ読み出し直後の命令で、レジスタ間接でECBRRにデータを書き込む場合、レジスタ間接命令の前に、NOPまたはその他のCPU処理を実行してから書き込んでください。C言語によるNOP挿入方法は【付録】を参照してください。NOPの他、レジスタやRAMの書き込み、読み出しなどでも問題ありません。

レジスタ間接以外のアドレッシングモードでは対策不要です。

2.5. ケース5 (EtherC/E-DMAC (ECBRRを除く) レジスタ読み出し直後のレジスタ間接でのレジスタアクセス)

(1) 現象

EtherC/E-DMAC (ECBRRを除く) レジスタ読み出し直後に、連続してレジスタ間接で対象レジスタにデータを書き込むと、不定値が書き込まれます。

EtherC/E-DMAC (ECBRRを除く) レジスタ読み出し直後に、連続してレジスタ間接で対象レジスタを読み出すと、不定値が読み出されます。

(2) 対象レジスタ

本現象が発生する対象レジスタを表2.6に示します。対象となるのは、SCIF/SSU/LPC/USB/PECIモジュールの全レジスタです。その他のモジュールでは発生しません。

表2.6 ケース5の対象レジスタ (1)

No.	対象モジュール	対象レジスタ	対象：	備考
1	FIFO内蔵シリアル コミュニケーション インタフェース (SCIF)	ホストインタフェースコントロールレジスタ5 (HICR5)	○	
2		サブチップモジュールストップコントロールレジスタBL (SUBMSTPBL)	○	
3		レシーブバッファレジスタ (FRBR)	○	
4		トランスミッタホールディングレジスタ (FTHR)	○	
5		ディバイザラッチL (FDLL)	○	
6		割り込みイネーブルレジスタ (FIER)	○	
7		ディバイザラッチH (FDLH)	○	
8		割り込み識別レジスタ (FIIR)	○	
9		FIFO制御レジスタ (FFCR)	○	
10		ライン制御レジスタ (FLCR)	○	
11		モデム制御レジスタ (FMCR)	○	
12		ラインステータスレジスタ (FLSR)	○	
13		モデムステータスレジスタ (FMSR)	○	
14		スクラッチパッドレジスタ (FSCR)	○	
15		SCIFコントロールレジスタ (SCIFCR)	○	
16		SCIFアドレスレジスタH (SCIFADRH)	○	
17		SCIFアドレスレジスタL (SCIFADRL)	○	
18		SERIRQコントロールレジスタ4 (SIRQCR4)	○	
19	シンクロナスシリアル コミュニケーション ユニット (SSU)	SSコントロールレジスタH (SSCRH)	○	
20		SSコントロールレジスタL (SSCRL)	○	
21		SSモードレジスタ (SSMR)	○	
22		SSイネーブルレジスタ (SSER)	○	
23		SSステータスレジスタ (SSSR)	○	
24		SSコントロールレジスタ2 (SSCR2)	○	
25		SSトランスミットデータレジスタ0 (SSTD0)	○	
26		SSトランスミットデータレジスタ1 (SSTD1)	○	
27		SSトランスミットデータレジスタ2 (SSTD2)	○	
28		SSトランスミットデータレジスタ3 (SSTD3)	○	
29		SSレシーブデータレジスタ0 (SSRD0)	○	
30		SSレシーブデータレジスタ1 (SSRD1)	○	
31		SSレシーブデータレジスタ2 (SSRD2)	○	
32		SSレシーブデータレジスタ3 (SSRD3)	○	
33		SSシフトレジスタ (SSTRSR)	○	

表 2.6 ケース5の対象レジスタ (2)

No.	対象モジュール	対象レジスタ	対象：	備考
			○	
1	LPC インタフェース (LPC)	ホストインタフェースコントロールレジスタ 0 (HICR0)	○	
2		ホストインタフェースコントロールレジスタ 1 (HICR1)	○	
3		ホストインタフェースコントロールレジスタ 2 (HICR2)	○	
4		ホストインタフェースコントロールレジスタ 3 (HICR3)	○	
5		ホストインタフェースコントロールレジスタ 4 (HICR4)	○	
6		ホストインタフェースコントロールレジスタ 5 (HICR5)	○	
7		ピンファンクションコントロールレジスタ (PINFNCR)	○	
8		LPC チャネル 1、2 アドレスレジスタ H、L (LADR12H、12L)	○	
9		LPC チャネル 3 アドレスレジスタ H、L (LADR3H、3L)	○	
10		入力データレジスタ 1 (IDR1)	○	
11		入力データレジスタ 2 (IDR2)	○	
12		入力データレジスタ 3 (IDR3)	○	
13		出力データレジスタ 1 (ODR1)	○	
14		出力データレジスタ 2 (ODR2)	○	
15		出力データレジスタ 3 (ODR3)	○	
16		ステータスレジスタ 1 (STR1)	○	
17		ステータスレジスタ 2 (STR2)	○	
18		ステータスレジスタ 3 (STR3)	○	
19		双方向レジスタ 0~15 (TWR0~15)	○	
20		SERIRQ コントロールレジスタ 0 (SIRQCR0)	○	
21		SERIRQ コントロールレジスタ 1 (SIRQCR1)	○	
22		SERIRQ コントロールレジスタ 2 (SIRQCR2)	○	
23		SERIRQ コントロールレジスタ 3 (SIRQCR3)	○	
24		SERIRQ コントロールレジスタ 4 (SIRQCR4)	○	
25		SERIRQ コントロールレジスタ 5 (SIRQCR5)	○	
26		ホストインタフェースセレクトレジスタ (HISEL)	○	
27		SCIF アドレスレジスタ H (SCIFADRH)	○	
28		SCIF アドレスレジスタ L (SCIFADRL)	○	
29		SMIC フラグレジスタ (SMICFLG)	○	
30		SMIC コントロールステータスレジスタ (SMICCSR)	○	
31		SMIC データレジスタ (SMICDTR)	○	
32		SMIC 割り込みレジスタ 0 (SMICIR0)	○	
33		SMIC 割り込みレジスタ 1 (SMICIR1)	○	
34		BT ステータスレジスタ 0 (BTSR0)	○	
35		BT ステータスレジスタ 1 (BTSR1)	○	
36		BT コントロールステータスレジスタ 0 (BTCSR0)	○	
37		BT コントロールステータスレジスタ 1 (BTCSR1)	○	
38		BT コントロールレジスタ (BTCCR)	○	
39		BT データバッファ (BTDTR)	○	
40		BT 割り込みマスクレジスタ (BTIMSR)	○	
41		BT FIFO 有効サイズレジスタ 0 (BTFVSR0)	○	
42		BT FIFO 有効サイズレジスタ 1 (BTFVSR1)	○	

表 2.6 ケース5の対象レジスタ (3)

No.	対象モジュール	対象レジスタ	対象：	備考
			○	
1	USB ファンクション モジュール (USB)	割り込みフラグレジスタ 0 (IFR0)	○	
2		割り込みフラグレジスタ 1 (IFR1)	○	
3		割り込みフラグレジスタ 2 (IFR2)	○	
4		割り込み選択レジスタ 0 (ISR0)	○	
5		割り込み選択レジスタ 1 (ISR1)	○	
6		割り込み選択レジスタ 2 (ISR2)	○	
7		割り込みイネーブルレジスタ 0 (IER0)	○	
8		割り込みイネーブルレジスタ 1 (IER1)	○	
9		割り込みイネーブルレジスタ 2 (IER2)	○	
10		EP0i データレジスタ (EPDR0i)	○	
11		EP0o データレジスタ (EPDR0o)	○	
12		EP0s データレジスタ (EPDR0s)	○	
13		EP1 データレジスタ (EPDR1)	○	
14		EP2 データレジスタ (EPDR2)	○	
15		EP3 データレジスタ (EPDR3)	○	
16		EP0o 受信データサイズレジスタ (EPSZ0o)	○	
17		EP1 受信データサイズレジスタ (EPSZ1)	○	
18		トリガレジスタ (TRG)	○	
19		データステータスレジスタ (DASTS)	○	
20		FIFO クリアレジスタ (FCLR)	○	
21		DTC 転送設定レジスタ (DMA)	○	
22		エンドポイントストールレジスタ (EPSTL)	○	
23		コンフィグレーションバリュールレジスタ (CVR)	○	
24		コントロールレジスタ (CTRL)	○	
25		エンドポイント情報レジスタ (EPIR)	○	
26		トランシーバテストレジスタ 0 (TRNTREG0)	○	
27		トランシーバテストレジスタ 1 (TRNTREG1)	○	
28	PECI インタフェース (PECI)	全てのレジスタ	○	守秘契約を結んで頂いた上で公開いたします。

(3) 対策

EtherC/E-DMAC (ECBRRを除く) レジスタ読み出し直後の命令で、レジスタ間接で表 2.6 に示すレジスタにデータをアクセス (書き込み/読み出し) する場合、レジスタ間接命令の前に、NOPまたはその他のCPU処理を実行してからアクセスしてください。C言語によるNOP挿入方法は【付録】を参照してください。NOPの他、レジスタやRAMの書き込み、読み出しなどでも問題ありません。

レジスタ間接以外のアドレッシングモードでは対策不要です。

以上

【付録】 C 言語によるプログラミングの例

図aにC言語を使用した場合のNOPの挿入方法を示します。また、図bにNOPを挿入できない記述と対策の例を示します。

```
#include "machine.h"
~略~
while (ETHER.ECSIPR.LONG != 0x00000017)
{
    ETHER.ECSIPR.LONG = 0x00000017;
    nop();
}
```

図a C言語によるNOPの挿入方法

1) NOP を挿入できない記述例

C 言語記述

```
if (ETHER.LCCR > ETHER.CNDCR)
{
    ~略~
}
```

コンパイル結果例 (逆アセンブル)

```
MOV.L #H'00FFF928,ER0
MOV.L #H'00FFF92C,ER1
MOV.L @ER0,ER0
MOV.L @ER1,ER1
CML ER1,ER0
BLS @H'xxxx
```

IF 文の EtherC レジスタ読み出しがレジスタ間接で展開される場合、C 言語記述で NOP を挿入できない。

2) 対策例

C 言語記述

```
a = ETHER.LCCR;
nop(); /*レジスタ間接の連続アクセスに
展開される可能性を考慮し NOP を挿入*/
b = ETHER.CNDCR
if (a > b)
{
    ~略~
}
```

コンパイル結果例 (逆アセンブル)

```
MOV.L #H'00FFF928,ER0
MOV.L #H'00FFF92C,ER1
MOV.L @ER0,ER2
MOV.L ER2,@H'00FF0C20:32
NOP ;C言語記述で挿入したNOP
MOV.L @ER1,ER2
MOV.L ER2,@H'00FF0C24:32
MOV.L @H'00FF0C20:32,ER1
MOV.L @H'00FF0C24:32,ER2
CML ER2,ER1
BLS @H'xxxx
```

変数に EtherC レジスタ値を退避させることにより、IF 文の EtherC レジスタ連続アクセスを抑制する。

※コンパイル結果は最適化により変化します。

必ずしも上記コンパイル結果になるとは限りませんので、お客様の環境で生成されたコードをご確認ください。

図b NOPを挿入できない記述と回避策の例