

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RA*-A0065A/J	Rev.	第1版
題名	RA6T2 グループ レジスタシンボルと R/W 属性の訂正		情報分類	技術情報	
適用製品	RA6T2 グループ	対象ロット等	関連資料	RA6T2 グループ ユーザーズ マニュアル: ハードウェア Rev.1.20	
		全ロット			

レジスタシンボルと R/W 属性について下記の部分を訂正します。

SVD ファイルは、RA6T2 グループ ユーザーズマニュアル ハードウェア Rev.1.30 の発行以降にリリースされる FSP で更新されます。
(FSP 4.1.0 で計画)

1) レジスタシンボル

ADC

36.2.2.2 ADSGER, 36.2.2.6 ADINTCR, 36.2.2.8 ADTRGELC, 36.2.2.9 ADTRGGPT,
36.2.2.10 ADTRGENR, 36.2.3.3 ADDOPCRB, 36.2.7.1 ADLIMINTCR,
36.2.7.3 ADLIMGRSR, 36.2.7.4 ADLIMCHSR0, 36.2.7.6 ADLIMGRSCR,
36.2.7.7 ADLIMCHSCR0,
36.2.8.1 ADCMPENR, 36.2.8.2 ADCMPINTCR, 36.2.8.3 ADCCMPCR, 36.2.8.7 ADCMPTBSR,
36.2.8.8 ADCMPTBSCR, 36.2.8.9 ADCMPCHSR0, 36.2.8.11 ADCMPCHSCR0,
36.2.9.2 ADSYSTR,
36.2.10.2 ADGRSR, 36.2.10.3 ADSCANENDSR, 36.2.10.4 ADSCANENDSCR,
36.2.10.10 ADOVFCHSR0, 36.2.10.13 ADOVFCHSCR0,
36.2.11.1 ADFIFOGR, 36.2.11.2 ADFIFOINTCR,
36.2.11.13 ADFIFODCR, 36.2.11.14 ADFIFOERSR, 36.2.11.15 ADFIFOERSCR

2) R/W 属性

CANFD

28.2.14 CFDGSTS, 28.2.16 CFDGTINTSTS, 28.2.17 CFDGTSC, 28.2.28 CFDRFPCTR,
28.2.31 CFDCFPCTR, 28.2.33 CFDFSTTS, 28.2.34 CFDFMSTS, 28.2.35 CFDRFISTS,
28.2.37 CFDCDTSTS, 28.2.47 CFDTXQPCTR, 28.2.51 CFDTHLACC1, 28.2.52 CFDTHLPCTR,
28.2.57 CFDGLOCKK,

DOC

40.2.2 DOSR, 40.2.3 DOSCR

[修正後]

36.2.2.2 ADISGER : スキャングループイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x048

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SGRE	SGRE	SGRE	SGRE	SGRE	SGRE	SGRE	SGRE	SGRE
								8	7	6	5	4	3	2	1	0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	SGRE0~SGRE8	スキャングループ n 有効化 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n を無効化 1: スキャングループ n を有効化	R/W
31:9	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADISGER レジスタは、各スキャングループの有効/無効を選択します。

36.2.2.6 ADINTCR : スキャン終了割り込みイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x05C

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	ADIE8	ADIE7	ADIE6	ADIE5	ADIE4	ADIE3	ADIE2	ADIE1	ADIE0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ADIE0~ADIE8	スキャングループ n スキャン終了割り込み許可 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャン終了割り込みを禁止 1: スキャン終了割り込みを許可	R/W
31:9	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADINTCR レジスタは、スキャン終了割り込みを許可または禁止します。

36.2.2.8 ADTRGELCn : ELC トリガイネーブルレジスタn (n = 0~8)

Base address: ADC_B = 0x4017_0000

Offset address: 0x0C4 + 0x10 x n

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	TRGE LC5	TRGE LC4	TRGE LC3	TRGE LC2	TRGE LC1	TRGE LC0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	TRGELC0~ TRGELC5	ELC トリガ m 許可 各ビットシンボルの添え字は ELC トリガ番号 m に対応します。 0: ELC トリガ m を禁止 1: ELC トリガ m を許可	R/W
31:6	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGELCn レジスタは、スキャングループ n の A/D 変換の開始条件として、ELC トリガ m を許可または禁止します。

36.2.2.9 ADTRGGPTn : GPT トリガイネーブルレジスタn (n = 0~8)

Base address: ADC_B = 0x4017_0000

Offset address: 0x0C8 + 0x10 x n

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	TRGG PTB9	TRGG PTB8	TRGG PTB7	TRGG PTB6	TRGG PTB5	TRGG PTB4	TRGG PTB3	TRGG PTB2	TRGG PTB1	TRGG PTB0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TRGG PTA9	TRGG PTA8	TRGG PTA7	TRGG PTA6	TRGG PTA5	TRGG PTA4	TRGG PTA3	TRGG PTA2	TRGG PTA1	TRGG PTA0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	TRGGPTA0~ TRGGPTA9	GPT チャネル m A/D 変換開始要求 A 許可 各ビットシンボルの添え字は GPT チャネル番号 m に対応します。 0: GPT チャネル m からの A/D 変換開始要求 A を禁止 1: GPT チャネル m からの A/D 変換開始要求 A を許可	R/W
15:10	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	TRGGPTB0~ TRGGPTB9	GPT チャネル m A/D 変換開始要求 B 許可 各ビットシンボルの添え字は GPT チャネル番号 m に対応します。 0: GPT チャネル m からの A/D 変換開始要求 B を禁止 1: GPT チャネル m からの A/D 変換開始要求 B を許可	R/W
31:26	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGGPTn レジスタは、スキャングループ n の A/D 変換の開始条件として、GPT チャネル m からの A/D 変換開始要求 A/B を許可または禁止します。

36.2.2.10 ADTRGENR : A/D 変換開始トリガインーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC08

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	STTR GEN8	STTR GEN7	STTR GEN6	STTR GEN5	STTR GEN4	STTR GEN3	STTR GEN2	STTR GEN1	STTR GEN0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	STTRGEN0~ STTRGEN8	スキャングループ n A/D 変換開始トリガ許可 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: A/D 変換開始トリガを禁止 1: A/D 変換開始トリガを許可	R/W
31:9	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADTRGENR レジスタは、スキャングループ n の A/D 変換を開始するための周辺モジュールからのトリガを許可または禁止します。各スキャングループのトリガは、ADTRGEXTn、ADTRGELCn、およびADTRGGPTn レジスタで選択します。

36.2.3.3 ADDOPCRBn : A/D 変換データ演算コントロールB レジスタ n (n = 0~36)

Base address: ADC_B = 0x4017_0000

Offset address: 0x608 + 0x10 × n

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	CMPT BLE7	CMPT BLE6	CMPT BLE5	CMPT BLE4	CMPT BLE3	CMPT BLE2	CMPT BLE1	CMPT BLE0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ADC[3:0]			-	-	-	-	-	-	-	-	AVEMD[1:0]
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	AVEMD[1:0]	加算/平均モード選択 0 0: 加算モードも平均モードも使用しない 0 1: 加算モード 1 0: 平均モード 1 1: 設定禁止	R/W
7:2	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	ADC[3:0]	加算/平均回数選択 0x0: 1 回変換 (加算なし。通常変換と同じ。) 0x1: 2 回変換 (1 回加算を行う) 0x3: 4 回変換 (3 回加算を行う) 0x4: 8 回変換 (7 回加算を行う) 0x5: 16 回変換 (15 回加算を行う) 0x6: 32 回変換 (31 回加算を行う) 0x7: 64 回変換 (63 回加算を行う) 0x8: 128 回変換 (127 回加算を行う) 0x9: 256 回変換 (255 回加算を行う) 0xA: 512 回変換 (511 回加算を行う) 0xB: 1024 回変換 (1023 回加算を行う) その他: 設定禁止	R/W
15:12	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	CMPTBLE0~ CMPTBLE7	コンペアマッチ許可 各ビットシンボルの添え字はコンペアマッチテーブルの番号 m に対応します。 0: コンペアマッチテーブル m とのコンペアマッチを禁止 1: コンペアマッチテーブル m とのコンペアマッチを許可	R/W
31:24	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADDOPCRBn レジスタは、仮想チャネル n の A/D 変換データに対してデータ演算機能を選択するレジスタの 1 つです。

36.2.7.1 ADLIMINTCR：リミッタークリップ割り込みイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x3A0

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	LIMIE8	LIMIE7	LIMIE6	LIMIE5	LIMIE4	LIMIE3	LIMIE2	LIMIE1	LIMIE0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Symbol	Function	R/W
8:0	LIMIE0~LIMIE8	リミッタークリップ割り込み n 許可ビット 各ビットシンボルの添え字はリミッタークリップ割り込み番号 n に対応します。 0: リミッタークリップ割り込み n を禁止 1: リミッタークリップ割り込み n を許可	R/W
31:9	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADLIMINTCR レジスタは、リミッタークリップ割り込み n を許可または禁止します。

36.2.7.3 ADLIMGRSR：リミッタークリップスキャングループステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD28

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	LIMGR F8	LIMGR F7	LIMGR F6	LIMGR F5	LIMGR F4	LIMGR F3	LIMGR F2	LIMGR F1	LIMGR F0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LIMGRF0~LIMGRF8	スキャングループ n リミッタークリップフラグ 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n のリミッタークリップは未検出 1: スキャングループ n のリミッタークリップを検出	R
31:9	-	読むと 0 が読めます。	R

ADLIMGRSR レジスタは、スキャングループ n のスキャン動作でリミッタークリップが発生したかどうかを示します。各フラグは ADLIMGRSCR でクリアできます。

36.2.7.4 ADLIMCHSR0：リミッタークリップチャンネルステータスレジスタ0

Base address: ADC_B = 0x4017_0000

Offset address: 0xD2C

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	LIMCH F28	LIMCH F27	LIMCH F26	LIMCH F25	LIMCH F24	LIMCH F23	LIMCH F22	LIMCH F21	LIMCH F20	LIMCH F19	LIMCH F18	LIMCH F17	LIMCH F16
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LIMCH F15	LIMCH F14	LIMCH F13	LIMCH F12	LIMCH F11	LIMCH F10	LIMCH F9	LIMCH F8	LIMCH F7	LIMCH F6	LIMCH F5	LIMCH F4	LIMCH F3	LIMCH F2	LIMCH F1	LIMCH F0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	LIMCHF0~LIMCHF28	アナログチャンネル n：リミッタークリップフラグ 各ビットシンボルの添え字はアナログチャンネル番号 n に対応します。 0: リミッタークリップは未検出 1: リミッタークリップを検出	R
31:29	-	読むと 0 が読めます。	R

ADLIMCHSR0 レジスタは、アナログチャンネル n が A/D 変換されたときに、リミッタークリップが発生したかどうかを示します。各フラグは ADLIMCHSCR0 でクリアできます。

36.2.7.6 ADLIMGRSCR：リミッタークリップスキャングループステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD3C

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	LIMGR C8	LIMGR C7	LIMGR C6	LIMGR C5	LIMGR C4	LIMGR C3	LIMGR C2	LIMGR C1	LIMGR C0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LIMGRC0~ LIMGRC8	スキャングループ n リミッタークリップフラグクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: ADLIMGRSR.LIMGRFn をクリア	W
31:9	-	書く場合、0 としてください。	W

ADLIMGRSCR レジスタは、スキャングループ n のリミッタークリップフラグ (ADLIMGRSR.LIMGRFn) をクリアします。

36.2.7.7 ADLIMCHSCR0：リミッタークリップチャンネルステータスクリアレジスタ0

Base address: ADC_B = 0x4017_0000

Offset address: 0xD40

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	LIMCH C28	LIMCH C27	LIMCH C26	LIMCH C25	LIMCH C24	LIMCH C23	LIMCH C22	LIMCH C21	LIMCH C20	LIMCH C19	LIMCH C18	LIMCH C17	LIMCH C16
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LIMCH C15	LIMCH C14	LIMCH C13	LIMCH C12	LIMCH C11	LIMCH C10	LIMCH C9	LIMCH C8	LIMCH C7	LIMCH C6	LIMCH C5	LIMCH C4	LIMCH C3	LIMCH C2	LIMCH C1	LIMCH C0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	LIMCHC0~ LIMCHC28	アナログチャンネル n リミッタークリップフラグクリアビット 各ビットシンボルの添え字はアナログチャンネル番号 n に対応します。 0: 無効 1: ADLIMCHSR0.LIMCHFn をクリア	W
31:29	-	書く場合、0 としてください。	W

ADLIMCHSCR0 レジスタは、アナログチャンネル n のリミッタークリップフラグ (ADLIMCHSR0.LIMCHFn) をクリアします。

36.2.8.1 ADCMPENR：コンペアマッチイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x400

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMPE N7	CMPE N6	CMPE N5	CMPE N4	CMPE N3	CMPE N2	CMPE N1	CMPE N0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CMPEN0~ CMPEN7	コンペアマッチ n 有効化 各ビットシンボルの添え字はコンペアマッチ番号 n に対応します。 0: コンペアマッチ n を無効化 1: コンペアマッチ n を有効化	R/W
31:8	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCMPENR レジスタは、コンペアマッチ n を有効または無効にします。

36.2.8.2 ADCMPINTCR：コンペアマッチ割り込みイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x404

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CMPIE 3	CMPIE 2	CMPIE 1	CMPIE 0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CMPIE0~CMPIE3	コンペアマッチ割り込み n 許可 各ビットシンボルの添え字はコンペアマッチ割り込み番号 n に対応します。 0: コンペアマッチ割り込み n を禁止 1: コンペアマッチ割り込み n を許可	R/W
31:4	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCMPINTCR レジスタは、コンペアマッチ割り込み n を許可または禁止します。

36.2.8.3 ADCCMPCRn：複合コンペアマッチ設定レジスタn (n = 0, 1)

Base address: ADC_B = 0x4017_0000

Offset address: 0x408 + 0x04 × n

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	CCMP TBL7	CCMP TBL6	CCMP TBL5	CCMP TBL4	CCMP TBL3	CCMP TBL2	CCMP TBL1	CCMP TBL0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CCMPCND [1:0]
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CCMPCND[1:0]	複合コンペアマッチ条件選択 0 0: 論理和 (OR) 条件 0 1: 論理積 (AND) 条件 1 0: 排他的論理和 (EXOR) 条件 1 1: 設定禁止	R/W
15:2	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	CCMPTBL0~ CCMPTBL7	複合コンペアマッチ条件テーブル選択 0: コンペアマッチテーブル m を使用しない 1: コンペアマッチテーブル m を使用する	R/W
31:24	-	読むと 0 が読めます。書く場合、0 としてください	R/W

ADCCMPCRn レジスタは、複合コンペアマッチ割り込み n の条件を設定します。

36.2.8.7 ADCMPTBSR：コンペアマッチテーブルステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD00

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMPT BF7	CMPT BF6	CMPT BF5	CMPT BF4	CMPT BF3	CMPT BF2	CMPT BF1	CMPT BF0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CMPTBF0~ CMPTBF7	コンペアマッチテーブル n マッチフラグ 各ビットシンボルの添え字はコンペアマッチテーブルの番号 n に対応します。 0: コンペアマッチテーブル n と一致するイベントは未検出 1: コンペアマッチテーブル n と一致するイベントを検出	R
31:8	-	読むと 0 が読めます。	R

ADCMPTBSR レジスタは、A/D 変換の最中にコンペアマッチテーブル n と一致するイベントが起きたかどうかを示します。各フラグは ADCMPTBSR でクリアできます

36.2.8.8 ADCMPBTBSCR：コンペアマッチテーブルステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD04

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMPT BC7	CMPT BC6	CMPT BC5	CMPT BC4	CMPT BC3	CMPT BC2	CMPT BC1	CMPT BC0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CMPTBC0~ CMPTBC7	コンペアマッチテーブル n：マッチフラグクリア 各ビットシンボルの添え字はコンペアマッチテーブルの番号 n に対応します。 0：無効 1：ADCMPBTBSCR.CMPTBFn をクリア	W
31:8	-	書く場合、0 としてください	W

ADCMPBTBSCR レジスタは、コンペアマッチ n のマッチフラグ (ADCMPBTBSCR.CMPTBFn) をクリアします。

36.2.8.9 ADCMPCHSR0：コンペアマッチチャンネルステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD08

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	CMPC HF28	CMPC HF27	CMPC HF26	CMPC HF25	CMPC HF24	CMPC HF23	CMPC HF22	CMPC HF21	CMPC HF20	CMPC HF19	CMPC HF18	CMPC HF17	CMPC HF16
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMPC HF15	CMPC HF14	CMPC HF13	CMPC HF12	CMPC HF11	CMPC HF10	CMPC HF9	CMPC HF8	CMPC HF7	CMPC HF6	CMPC HF5	CMPC HF4	CMPC HF3	CMPC HF2	CMPC HF1	CMPC HF0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	CMPCHF0~ CMPCHF28	アナログチャンネル n：コンペアマッチフラグ 各ビットシンボルの添え字はアナログチャンネル番号 n に対応します。 0：コンペアマッチは未検出 1：コンペアマッチを検出	R
31:29	-	読むと 0 が読めます。	R

ADCMPCHSR0 レジスタは、アナログチャンネル n に対するコンペアマッチイベントが検出されたかどうかを示します。各フラグは ADCMPCHSR0 でクリアできます。

36.2.8.11 ADCMPCHSCR0：コンペアマッチチャンネルステータスクリアレジスタ0

Base address: ADC_B = 0x4017_0000

Offset address: 0xD18

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	CMPC HC28	CMPC HC27	CMPC HC26	CMPC HC25	CMPC HC24	CMPC HC23	CMPC HC22	CMPC HC21	CMPC HC20	CMPC HC19	CMPC HC18	CMPC HC17	CMPC HC16
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMPC HC15	CMPC HC14	CMPC HC13	CMPC HC12	CMPC HC11	CMPC HC10	CMPC HC9	CMPC HC8	CMPC HC7	CMPC HC6	CMPC HC5	CMPC HC4	CMPC HC3	CMPC HC2	CMPC HC1	CMPC HC0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	CMPCHC0~ CMPCHC28	アナログチャンネル n：コンペアマッチフラグクリアビット 各ビットシンボルの添え字はアナログチャンネル番号 n に対応します。 0：無効 1：ADCMPCHSR0.CMPCHFn をクリア	W
31:29	-	書く場合、0 としてください。	W

ADCMPCHSCR0 レジスタは、アナログチャンネル n のコンペアマッチフラグ (ADCMPCHSR0.CMPCHFn) をクリアします。

36.2.9.2 ADSYSTR：A/D 変換同期ソフトウェア開始レジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC10

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	ADSY ST8	ADSY ST7	ADSY ST6	ADSY ST5	ADSY ST4	ADSY ST3	ADSY ST2	ADSY ST1	ADSY ST0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ADSYST0~ ADSYST8	スキャングループ n：A/D 変換開始 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0：無効 1：スキャングループ n の A/D 変換を開始	W
31:9	-	書く場合、0 としてください。	W

ADSYSTR レジスタは、スキャングループ n の A/D 変換の開始を制御します。このレジスタを使って、ソフトウェアによる複数のスキャングループの同時 A/D 変換を開始します。

36.2.10.2 ADGRSR：スキャングループステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC84

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	ACTG R8	ACTG R7	ACTG R6	ACTG R5	ACTG R4	ACTG R3	ACTG R2	ACTG R1	ACTG R0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ACTGR0~ ACTGR8*1	スキャングループ n 状態 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n はアイドル中 1: スキャングループ n はスキャン動作中	R
31:9	-	読むと 0 が読めます。	R

注 1. グループ優先動作の際、低優先グループのスキャン動作が一時中断された場合、そのスキャングループの ACTGRn ビットが 1 になります。

ADGRSR レジスタは、各スキャングループの動作状態を示します。

36.2.10.3 ADSCANENDSR：スキャン終了ステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD50

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SCEN DF8	SCEN DF7	SCEN DF6	SCEN DF5	SCEN DF4	SCEN DF3	SCEN DF2	SCEN DF1	SCEN DF0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	SCENDF0~ SCENDF8*1	スキャングループ n スキャン終了フラグ 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n は未スキャン 1: スキャングループ n のスキャン終了を検出	R
31:9	-	読むと 0 が読めます。	R

注 1. A/D 変換動作を ADSTOPR レジスタで停止した場合、スキャン動作を停止したスキャングループの SCENDFn ビットは変わりません。(ビットは 1 になりません。)

ADSCANENDSR レジスタは、各スキャングループのスキャン動作が終了したかどうかを示します。各フラグは ADSCANENDSCR レジスタでクリアできます。

36.2.10.4 ADSCANENDSCR： スキャン終了ステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD54

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SCEN DC8	SCEN DC7	SCEN DC6	SCEN DC5	SCEN DC4	SCEN DC3	SCEN DC2	SCEN DC1	SCEN DC0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	SCENDC0~ SCENDC8	スキャングループ n スキャン終了フラグクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: ADSCANENDSCR.SCENDFn をクリア	W
31:9	-	書く場合、0 としてください。	W

ADSCANENDSCR レジスタは、スキャングループ n のスキャン終了フラグをクリアします。

36.2.10.10 ADOVFCHSR0： A/D 変換オーバーフローチャンネルステータスレジスタ0

Base address: ADC_B = 0x4017_0000

Offset address: 0xCA4

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	OVFC HF28	OVFC HF27	OVFC HF26	OVFC HF25	OVFC HF24	OVFC HF23	OVFC HF22	OVFC HF21	OVFC HF20	OVFC HF19	OVFC HF18	OVFC HF17	OVFC HF16
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVFC HF15	OVFC HF14	OVFC HF13	OVFC HF12	OVFC HF11	OVFC HF10	OVFC HF9	OVFC HF8	OVFC HF7	OVFC HF6	OVFC HF5	OVFC HF4	OVFC HF3	OVFC HF2	OVFC HF1	OVFC HF0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	OVFCHF0~ OVFCHF28	アナログチャンネル n：オーバーフローフラグ 各ビットシンボルの添え字はアナログチャンネル番号 n に対応します。 0: オーバーフローは未検出 1: オーバーフローを検出	R
31:29	-	読むと 0 が読めます。	R

ADOVFCHSR0 レジスタは、アナログチャンネル n の A/D 変換でオーバーフローが発生したかどうかを示します。各フラグは ADOVFCHSCR0 レジスタでクリアできます。

36.2.10.13 ADOVFCHSCR0 : A/D 変換オーバーフローチャンネルステータスクリアレジスタ0

Base address: ADC_B = 0x4017_0000

Offset address: 0xCB8

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	OVFC HC28	OVFC HC27	OVFC HC26	OVFC HC25	OVFC HC24	OVFC HC23	OVFC HC22	OVFC HC21	OVFC HC20	OVFC HC19	OVFC HC18	OVFC HC17	OVFC HC16
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVFC HC15	OVFC HC14	OVFC HC13	OVFC HC12	OVFC HC11	OVFC HC10	OVFC HC9	OVFC HC8	OVFC HC7	OVFC HC6	OVFC HC5	OVFC HC4	OVFC HC3	OVFC HC2	OVFC HC1	OVFC HC0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	OVFCHC0~ OVFCHC28	アナログチャンネル n : オーバーフローフラグクリア 各ビットシンボルの添え字はアナログチャンネル番号 n に対応します。 0: 無効 1: ADOVFCHSCR0.OVFCHFn をクリア	W
31:29	-	書く場合、0 としてください。	W

ADOVFCHSCR0 レジスタは、アナログチャンネル n のオーバーフローフラグをクリアします。

36.2.11.1 ADFIFOOCR : FIFO コントロールレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x4C0

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	FIFOE N8	FIFOE N7	FIFOE N6	FIFOE N5	FIFOE N4	FIFOE N3	FIFOE N2	FIFOE N1	FIFOE N0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOEN0~ FIFOEN8	スキャングループ n FIFO 有効化 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n の FIFO 機能を無効化 1: スキャングループ n の FIFO 機能を有効化	R/W
31:9	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADFIFOOCR レジスタは、スキャングループ n の FIFO 機能を有効または無効にします。

36.2.11.2 ADFIFOINTCR : FIFO 割り込みコントロールレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x4C4

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	FIFOI E8	FIFOI E7	FIFOI E6	FIFOI E5	FIFOI E4	FIFOI E3	FIFOI E2	FIFOI E1	FIFO IE0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOIE0~FIFOIE8	スキャングループ n FIFO 割り込み許可 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: スキャングループ n の FIFO 割り込みを禁止 1: スキャングループ n の FIFO 割り込みを許可	R/W
31:9	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADFIFOINTCR レジスタは、スキャングループ n のための FIFO データ読み出し要求割り込みと FIFO オーバーフロー割り込みを許可または禁止します。

36.2.11.13 ADFIFODCR : FIFO データクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCF0

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	FIFOD C8	FIFOD C7	FIFOD C6	FIFOD C5	FIFOD C4	FIFOD C3	FIFOD C2	FIFOD C1	FIFOD C0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFODC0~FIFODC8	スキャングループ n FIFO データクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: スキャングループ n の FIFO のデータをクリア	W
31:9	-	書く場合、0 としてください。	W

ADFIFODCR レジスタは、各スキャングループの FIFO 内のデータをクリアします。

36.2.11.14 ADFIFOERSR : FIFO エラーステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCF4

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	FIFO LF8	FIFO LF7	FIFO LF6	FIFO LF5	FIFO LF4	FIFO LF3	FIFO LF2	FIFO LF1	FIFO LF0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	FIFO VF8	FIFO VF7	FIFO VF6	FIFO VF5	FIFO VF4	FIFO VF3	FIFO VF2	FIFO VF1	FIFO VF0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOVF0~ FIFOVFN	スキャングループ n FIFO オーバーフローフラグ 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: オーバーフローなし 1: FIFO オーバーフローを検出	R
15:9	-	読むと 0 が読めます	R
24:16	FIFOFL0~ FIFOFLN	スキャングループ n FIFO データ読み出し要求フラグ 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: FIFO データ読み出し要求は未検出 1: FIFO データ読み出し要求を検出	R
31:25	-	読むと 0 が読めます。	R

ADFIFOERSR レジスタは、FIFO の状態を示します。各フラグは ADFIFOERSCR でクリアできます。

36.2.11.15 ADFIFOERSCR : FIFO エラーステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCF8

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	FIFO LC8	FIFO LC7	FIFO LC6	FIFO LC5	FIFO LC4	FIFO LC3	FIFO LC2	FIFO LC1	FIFO LC0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	FIFO VFC8	FIFO VFC7	FIFO VFC6	FIFO VFC5	FIFO VFC4	FIFO VFC3	FIFO VFC2	FIFO VFC1	FIFO VFC0
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOVFC0~ FIFOVFCN	スキャングループ n FIFO オーバーフローフラグクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: ADFIFOERSR.FIFOVFN をクリア	W
15:9	-	書く場合、0 としてください。	W
24:16	FIFOFLC0~ FIFOFLCN	スキャングループ n FIFO データ読み出し要求フラグクリア 各ビットシンボルの添え字はスキャングループ番号 n に対応します。 0: 無効 1: ADFIFOERSR.FIFOFLN をクリア	W
31:25	-	書く場合、0 としてください。	W

ADFIFOERSCR は、スキャングループ n の FIFO オーバーフローフラグと FIFO データ読み出し要求フラグをクリアします。

28.2.14 CFDGSTS：グローバルステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x001C

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	GRAM INIT	GSLP STS	GHLT STS	GRST STS
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GRSTSTS	グローバルリセットステータス 0: リセットモードではない 1: リセットモードである	R
1	GHLTSTS	グローバル halt ステータス 0: halt モードではない 1: halt モードである	R
2	GSLPSTS	グローバルスリープステータス 0: スリープモードではない 1: スリープモードである	R
3	GRAMINIT	グローバル RAM 初期化 0: RAM 初期化完了 1: RAM 初期化実行中	R
31:4	-	読むと 0 が読めます。	R

グローバルステータスレジスタは CANFD モジュールのグローバルステータスを表示するレジスタです。

28.2.16 CFDGTINTSTS：グローバルTX 割り込みステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00A4

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	THIFO	CFTIF 0	TQIFO	TAIO	TSIFO
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSIFO	TX 成功割り込みフラグ 0: チャンネル n の TX 成功割り込みフラグ未設定 1: チャンネル n の TX 成功割り込みフラグ設定	R
1	TAIO	TX アボート割り込みフラグ 0: チャンネル n の TX アボート割り込みフラグ未設定 1: チャンネル n の TX アボート割り込みフラグ設定	R
2	TQIFO	TX キュー割り込みフラグ 0: チャンネル n の TX キュー割り込みフラグ未設定 1: チャンネル n の TX キュー割り込みフラグ設定	R
3	CFTIFO	COM FIFO TX モード割り込みフラグ 0: チャンネル n の COM FIFO TX モード割り込みフラグ未設定 1: チャンネル n の COM FIFO TX モード割り込みフラグ設定	R
4	THIFO	TX 履歴リスト割り込み 0: チャンネル n の TX 履歴リスト割り込みフラグ未設定 1: チャンネル n の TX 履歴リスト割り込みフラグ設定	R
31:5	-	読むと 0 が読めます。	R

グローバル TX 割り込みステータスレジスタは、送信固有の割り込みの検出を示します。

28.2.33 CFDFSTST : FIFO フルステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0064

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CFFLL	-	-	-	-	-	-	-	RFXFLL[1:0]
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXFLL[1:0]	RX FIFO フルステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
7:2	-	読むと 0 が読めます	R
8	CFFLL	共通 FIFO フルステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
31:9	-	読むと 0 が読めます	R

FIFO フルステータスレジスタは、FIFO バッファのフルビットの状態を示します。

28.2.34 CFDFMSTST : FIFO メッセージロストステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0068

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CFMLT	-	-	-	-	-	-	-	RFXMLT[1:0]
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXMLT[1:0]	RX FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1: 対応する FIFO メッセージロストフラグが設定されている	R
7:2	-	読むと 0 が読めます。	R
8	CFMLT	共通 FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1: 対応する FIFO メッセージロストフラグが設定されている	R
31:9	-	読むと 0 が読めます。	R

FIFO メッセージロストステータスレジスタは、FIFO バッファのメッセージロストビットの状態を示します。

40.2.2 DOSR : DOC フラグステータスレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x04

Bit position	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	DOPC F

Value after reset 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	DOPCF	データ演算回路フラグ 演算結果を示します。	R
7:1	-	読むと 0 が読めます。	R

DOSR レジスタは、データ演算のステータスを表示するレジスタです。

40.2.3 DOSCR : DOC フラグステータスクリアレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x08

Bit position	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	DOPC FCL

Value after reset 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	DOPCFCL	DOPCF クリア 0: DOPCF フラグの状態を維持 1: DOPCF フラグをクリア	W
7:1	-	書く場合、0 としてください	W

DOSCR は、データ操作のステータスをクリアできるレジスタです。このレジスタを読むと 0x00 が読めます。

[修正前]

36.2.2.2 ADSSGER：スキャングループイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x048

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	-	SGREn									-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	機能	R/W
8:0	SGREn	スキャングループ n 有効化 0: スキャングループ n を無効化 1: スキャングループ n を有効化	R/W
31:9	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0~8

ADSSGER レジスタは、各スキャングループの有効/無効を選択します。

36.2.2.6 ADINTCR：スキャン終了割り込みイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x05C

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	ADIEn									-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	機能	R/W
9:0	ADIEn	スキャングループ n スキャン終了割り込み許可 0: スキャン終了割り込みを禁止 1: スキャン終了割り込みを許可	R/W
31:10	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0~8

ADINTCR レジスタは、スキャン終了割り込みを許可または禁止します。

36.2.2.8 ADTRGELCn : ELC トリガ m 許可レジスタ (n = 0~8)

Base address: ADC_B = 0x4017_0000

Offset address: 0x0C4 + 0x10 × n

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	TRGELCm					
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	TRGELCm	ELC トリガ m 許可 0: ELC トリガ m を禁止 1: ELC トリガ m を許可	R/W
31:6	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: m = 0~5

ADTRGELCn レジスタは、スキャングループ n の A/D 変換の開始条件として、ELC トリガ m を許可または禁止します。

36.2.2.9 ADTRGGPTn : GPT トリガ m 許可レジスタ (n = 0~8)

Base address: ADC_B = 0x4017_0000

Offset address: 0x0C8 + 0x10 × n

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	TRGGPTBm									
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TRGGPTAm									
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	TRGGPTA0 to TRGGPTA9	GPT チャネル m A/D 変換開始要求 A 許可 0: GPT チャネル m からの A/D 変換開始要求 A を禁止 1: GPT チャネル m からの A/D 変換開始要求 A を許可	R/W
15:10	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:16	TRGGPTB0 to TRGGPTB9	GPT チャネル m A/D 変換開始要求 B 許可 0: GPT チャネル m からの A/D 変換開始要求 B を禁止 1: GPT チャネル m からの A/D 変換開始要求 B を許可	R/W
31:26	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: m = 0~9

ADTRGGPTn レジスタは、スキャングループ n の A/D 変換の開始条件として、GPT チャネル m からの A/D 変換開始要求 A/B を許可または禁止します。

36.2.2.10 ADTRGENR：A/D 変換開始トリガインーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC08

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	-	STTRGENn									-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	機能	R/W
8:0	STTRGENn	スキャングループ n A/D 変換開始トリガ許可 0: A/D 変換開始トリガを禁止 1: A/D 変換開始トリガを許可	R/W
31:9	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

注：n = 0~8

ADTRGENR レジスタは、スキャングループ n の A/D 変換を開始するための周辺モジュールからのトリガを許可または禁止します。各スキャングループのトリガは、ADTRGEXTn、ADTRGELCn、およびADTRGGPTn レジスタで選択します。

36.2.3.3 ADDOPCRBn：A/D 変換データ演算コントロールB レジスタn (n = 0~36)

Base address: ADC_B = 0x4017_0000

Offset address: 0x608 + 0x10 × n

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	-	-	CMPTBLEm								-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	ADC[3:0]			-	-	-	-	-	-	-	-	AVEMD[1:0]		
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	機能	R/W
1:0	AVEMD[1:0]	加算／平均モード選択 R/W 0 0: 加算モードも平均モードも使用しない 0 1: 加算モード 1 0: 平均モード 1 1: 設定禁止	R/W
7:2	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	ADC[3:0]	加算／平均回数選択 0x0: 1 回変換 (加算なし。通常変換と同じ。) 0x1: 2 回変換 (1 回加算を行う) 0x3: 4 回変換 (3 回加算を行う) 0x4: 8 回変換 (7 回加算を行う) 0x5: 16 回変換 (15 回加算を行う) 0x6: 32 回変換 (31 回加算を行う) 0x7: 64 回変換 (63 回加算を行う) 0x8: 128 回変換 (127 回加算を行う) 0x9: 256 回変換 (255 回加算を行う) 0xA: 512 回変換 (511 回加算を行う) 0xB: 1024 回変換 (1023 回加算を行う) その他: 設定禁止	R/W
15:12	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	CMPTBLEm	コンペアマッチ許可 0: コンペアマッチテーブル m とのコンペアマッチを禁止 1: コンペアマッチテーブル m とのコンペアマッチを許可	R/W
31:24	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

注：m = 0~7

ADDOPCRBn レジスタは、仮想チャネル n の A/D 変換データに対してデータ演算機能を選択するレジスタの 1 つです。

36.2.8.1 ADCMPENR：コンペアマッチイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x400

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMPENn							
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CMPENn	コンペアマッチ n 有効化 0: コンペアマッチ n を無効化 1: コンペアマッチ n を有効化	R/W
31:8	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

注：n = 0~7

ADCMPENR レジスタは、コンペアマッチ n を有効または無効にします。

36.2.8.2 ADCMPINTCR：コンペアマッチ割り込みイネーブルレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x404

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CMPIE n			
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CMPIE n	コンペアマッチ割り込み n 許可 0: コンペアマッチ割り込み n を禁止 1: コンペアマッチ割り込み n を許可	R/W
31:4	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

注：n = 0~3

ADCMPINTCR レジスタは、コンペアマッチ割り込み n を許可または禁止します。

36.2.8.3 ADCCMPCRn：複合コンペアマッチ設定レジスタn (n = 0, 1)

Base address: ADC_B = 0x4017_0000

Offset address: 0x408 + 0x04 × n

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	CCMPTBLm							-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CCMPCND [1:0]	
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	機能	R/W
1:0	CCMPCND[1:0]	複合コンペアマッチ条件選択 0 0: 論理和 (OR) 条件 0 1: 論理積 (AND) 条件 1 0: 排他的論理和 (EXOR) 条件 1 1: 設定禁止	R/W
15:2	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	CCMPTBLm	複合コンペアマッチ条件テーブル選択 0: コンペアマッチテーブル m を使用しない 1: コンペアマッチテーブル m を使用する	R/W
31:24	-	読むと 0 が読めます。書く場合、0 としてください	R/W

注：m = 0~7

ADCCMPCRn レジスタは、複合コンペアマッチ割り込み n の条件を設定します。

36.2.8.7 ADCMPTBSR：コンペアマッチテーブルステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD00

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	CMPTBFn							-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	機能	R/W
7:0	CMPTBFn	コンペアマッチテーブル n マッチフラグ 0: コンペアマッチテーブル n と一致するイベントは未検出 1: コンペアマッチテーブル n と一致するイベントを検出	R
31:8	-	読むと 0 が読めます。	R

注：n = 0~7

ADCMPTBSR レジスタは、A/D 変換の最中にコンペアマッチテーブル n と一致するイベントが起きたかどうかを示します。各フラグは ADCMPTBSCR でクリアできます

36.2.8.11 ADCMPCHSCR0：コンペアマッチチャンネルステータスクリアレジスタ0

Base address: ADC_B = 0x4017_0000

Offset address: 0xD18

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	CMPCHCn												
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMPCHCn															
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	CMPCHCn	アナログチャンネル n：コンペアマッチフラグクリアビット 0：無効 1：ADCMPCHSR0.CMPCHF _n をクリア	W
31:29	-	書く場合、0 としてください。	W

注：n = 0~28

ADCMPCHSCR0 レジスタは、アナログチャンネル n のコンペアマッチフラグ (ADCMPCHSR0.CMPCHF_n) をクリアします。

36.2.9.2 ADSYSTR：A/D 変換同期ソフトウェア開始レジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC10

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	ADSYSTn								
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ADSYSTn	スキャングループ n：A/D 変換開始 0：無効 1：スキャングループ n の A/D 変換を開始	W
31:9	-	書く場合、0 としてください。	W

注：n = 0~8

ADSYSTR レジスタは、スキャングループ n の A/D 変換の開始を制御します。このレジスタを使って、ソフトウェアによる複数のスキャングループの同時 A/D 変換を開始します。

36.2.10.2 ADGRSR：スキャングループステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xC84

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	-	ACTGRn									-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	機能	R/W
8:0	ACTGRn*1	スキャングループ n 状態 0: スキャングループ n はアイドル中 1: スキャングループ n はスキャン動作中	R
31:9	-	読むと 0 が読めます。	R

注.: n = 0~8

注 1. グループ優先動作の際、低優先グループのスキャン動作が一時中断された場合、そのスキャングループの ACTGRn ビットが 1 になります。

ADGRSR レジスタは、各スキャングループの動作状態を示します。

36.2.10.3 ADSCANENDSR：スキャン終了ステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xD50

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	-	SCENDFn									-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	機能	R/W
8:0	SCENDFn*1	スキャングループ n スキャン終了フラグ 0: スキャングループ n は未スキャン 1: スキャングループ n のスキャン終了を検出	R
31:9	-	読むと 0 が読めます。	R

注.: n = 0~8

注 1. A/D 変換動作を ADSTOPR レジスタで停止した場合、スキャン動作を停止したスキャングループの SCENDFn ビットは変わりません。(ビットは 1 になりません。)

ADSCANENDSR レジスタは、各スキャングループのスキャン動作が終了したかどうかを示します。各フラグは ADSCANENDSCR レジスタでクリアできます。

36.2.11.2 ADFIFOINTCR : FIFO 割り込みコントロールレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0x4C4

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	-	FIFOIE _n									-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	機能	R/W
8:0	FIFOIE _n	スキャングループ n FIFO 割り込み許可 0: スキャングループ n の FIFO 割り込みを禁止 1: スキャングループ n の FIFO 割り込みを許可	R/W
31:9	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: n = 0~8

ADFIFOINTCR レジスタは、スキャングループ n のための FIFO データ読み出し要求割り込みと FIFO オーバーフロー割り込みを許可または禁止します。

36.2.11.13 ADFIFODCR : FIFO データクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCF0

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	-	FIFODC _n									-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	機能	R/W
8:0	FIFODC _n	スキャングループ n FIFO データクリア 0: 無効 1: スキャングループ n の FIFO のデータをクリア	W
31:9	-	書く場合、0 としてください。	W

注: n = 0~8

ADFIFODCR レジスタは、各スキャングループの FIFO 内のデータをクリアします。

36.2.11.14 ADFIFOERSR : FIFO エラーステータスレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCF4

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	FIFOFLFn								
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	FIFOOVFn								
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOOVFn	スキャングループ n FIFO オーバーフローフラグ 0: オーバーフローなし 1: FIFO オーバーフローを検出	R
15:9	-	読むと 0 が読めます	R
24:16	FIFOFLFn	スキャングループ n FIFO データ読み出し要求フラグ 0: FIFO データ読み出し要求は未検出 1: FIFO データ読み出し要求を検出	R
31:25	-	読むと 0 が読めます。	R

注: n = 0~8

ADFIFOERSR レジスタは、FIFO の状態を示します。各フラグは ADFIFOERSCR でクリアできます。

36.2.11.15 ADFIFOERSCR : FIFO エラーステータスクリアレジスタ

Base address: ADC_B = 0x4017_0000

Offset address: 0xCF8

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	FIFOFLCn								
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	FIFOOVFCn								
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FIFOOVFCn	スキャングループ n FIFO オーバーフローフラグクリア 0: 無効 1: ADFIFOERSR.FIFOOVFn をクリア	W
15:9	-	書く場合、0 としてください。	W
24:16	FIFOFLCn	スキャングループ n FIFO データ読み出し要求フラグクリア 0: 無効 1: ADFIFOERSR.FIFOFLFn をクリア	W
31:25	-	書く場合、0 としてください。	W

注: n = 0~8

ADFIFOERSCR は、スキャングループ n の FIFO オーバーフローフラグと FIFO データ読み出し要求フラグをクリアします。

28.2.14 CFDGSTS：グローバルステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x001C

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	GRAM INIT	GSLP STS	GHLT STS	GRST STS
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GRSTSTS	グローバルリセットステータス 0: リセットモードではない 1: リセットモードである	R
1	GHLTSTS	グローバル halt ステータス 0: halt モードではない 1: halt モードである	R
2	GSLPSTS	グローバルスリープステータス 0: スリープモードではない 1: スリープモードである	R
3	GRAMINIT	グローバル RAM 初期化 0: RAM 初期化完了 1: RAM 初期化実行中	R
31:4	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

グローバルステータスレジスタは CANFD モジュールのグローバルステータスを表示するレジスタです。

28.2.16 CFDGTINTSTS：グローバルTX 割り込みステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00A4

Bit position	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	THIFO	CFTIF 0	TQIFO	TAIO	TSIFO
Value after reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSIFO	TX 成功割り込みフラグ 0: チャンネル n の TX 成功割り込みフラグ未設定 1: チャンネル n の TX 成功割り込みフラグ設定	R
1	TAIO	TX アボート割り込みフラグ 0: チャンネル n の TX アボート割り込みフラグ未設定 1: チャンネル n の TX アボート割り込みフラグ設定	R
2	TQIFO	TX キュー割り込みフラグ 0: チャンネル n の TX キュー割り込みフラグ未設定 1: チャンネル n の TX キュー割り込みフラグ設定	R
3	CFTIFO	COM FIFO TX モード割り込みフラグ 0: チャンネル n の COM FIFO TX モード割り込みフラグ未設定 1: チャンネル n の COM FIFO TX モード割り込みフラグ設定	R
4	THIFO	TX 履歴リスト割り込み 0: チャンネル n の TX 履歴リスト割り込みフラグ未設定 1: チャンネル n の TX 履歴リスト割り込みフラグ設定	R
31:5	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

グローバル TX 割り込みステータスレジスタは、送信固有の割り込みの検出を示します。

28.2.33 CFDFFFSTS : FIFO フルステータスレジスタ

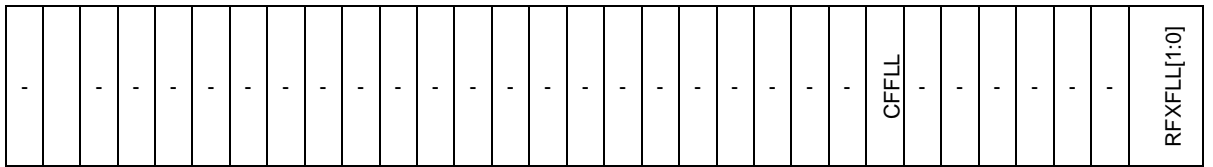
Base address: CANFD_B = 0x400B_0000

Offset address: 0x0064

Bit position 31

8

1 0



Value after reset 0

ビット	シンボル	機能	R/W
1:0	RFXFLL[1:0]	RX FIFO フルステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
7:2	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CFFLL	共通 FIFO フルステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
31:9	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

FIFO フルステータスレジスタは、FIFO バッファのフルビットの状態を示します。

28.2.34 CFDFMSTS : FIFO メッセージロストステータスレジスタ

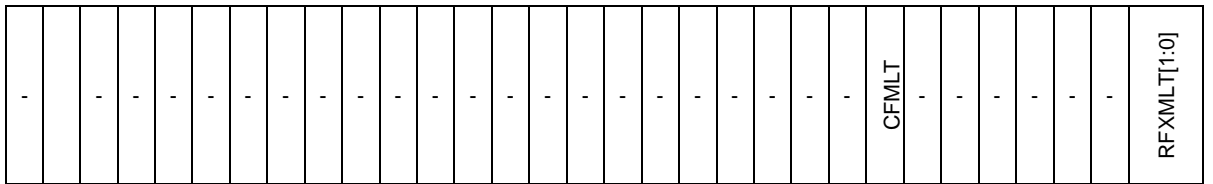
Base address: CANFD_B = 0x400B_0000

Offset address: 0x0068

Bit position 31

8

1 0



Value after reset 0

ビット	シンボル	機能	R/W
1:0	RFXMLT[1:0]	RX FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1: 対応する FIFO メッセージロストフラグが設定されている	R
7:2	-	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CFMLT	共通 FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1: 対応する FIFO メッセージロストフラグが設定されている	R
31:9	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

FIFO メッセージロストステータスレジスタは、FIFO バッファのメッセージロストビットの状態を示します。

40.2.2 DOSR : DOC フラグステータスレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x04

Bit position	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	DOPCF

Value after reset 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	DOPCF	データ演算回路フラグ 演算結果を示します。	R
7:1	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

DOSR レジスタは、データ演算のステータスを表示するレジスタです。

40.2.3 DOSCR : DOC フラグステータスクリアレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x08

Bit position	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	DOPCFCL

Value after reset 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	DOPCFCL	DOPCF クリア 0: DOPCF フラグの状態を維持 1: DOPCF フラグをクリア	W
7:1	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

DOSCR は、データ操作のステータスをクリアできるレジスタです。このレジスタを読むと 0x00 が読めます。

以上