

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-16C-A211A/J	Rev.	第1版
題名	R32C/116A グループ ユーザーズマニュアル ハードウェア編の誤記訂正		情報分類	技術情報	
適用製品	R32C/116A グループ	対象ロット等	関連資料	R32C/116A グループ ユーザーズ マニュアル ハードウェア編 Rev.1.00 (RJJ09B0610-0100)	

R32C/116A グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 において誤記がありましたので、以下のとおり訂正いたします。

〈訂正内容〉

•Page 24 of 536

表1.19のP2_0~P2_7の選択可能な機能を以下のとおり訂正いたします。

【誤】

表 1.19 端子の機能一覧

端子名	パッケージ		選択可能な機能		5Vトレラント入力 (注3)
	176 ピン版	144 ピン版	プルアップ抵抗 (注1)	Nチャンネルオープン ドレイン出力(注2)	
P2_0~P2_7	○	○	○		

【正】

表 1.19 端子の機能一覧

端子名	パッケージ		選択可能な機能		5Vトレラント入力 (注3)
	176 ピン版	144 ピン版	プルアップ抵抗 (注1)	Nチャンネルオープン ドレイン出力(注2)	
P2_0~P2_7	○	○	○	○	

•Page 73 of 536

図8.1を以下のとおり訂正いたします。

【誤】

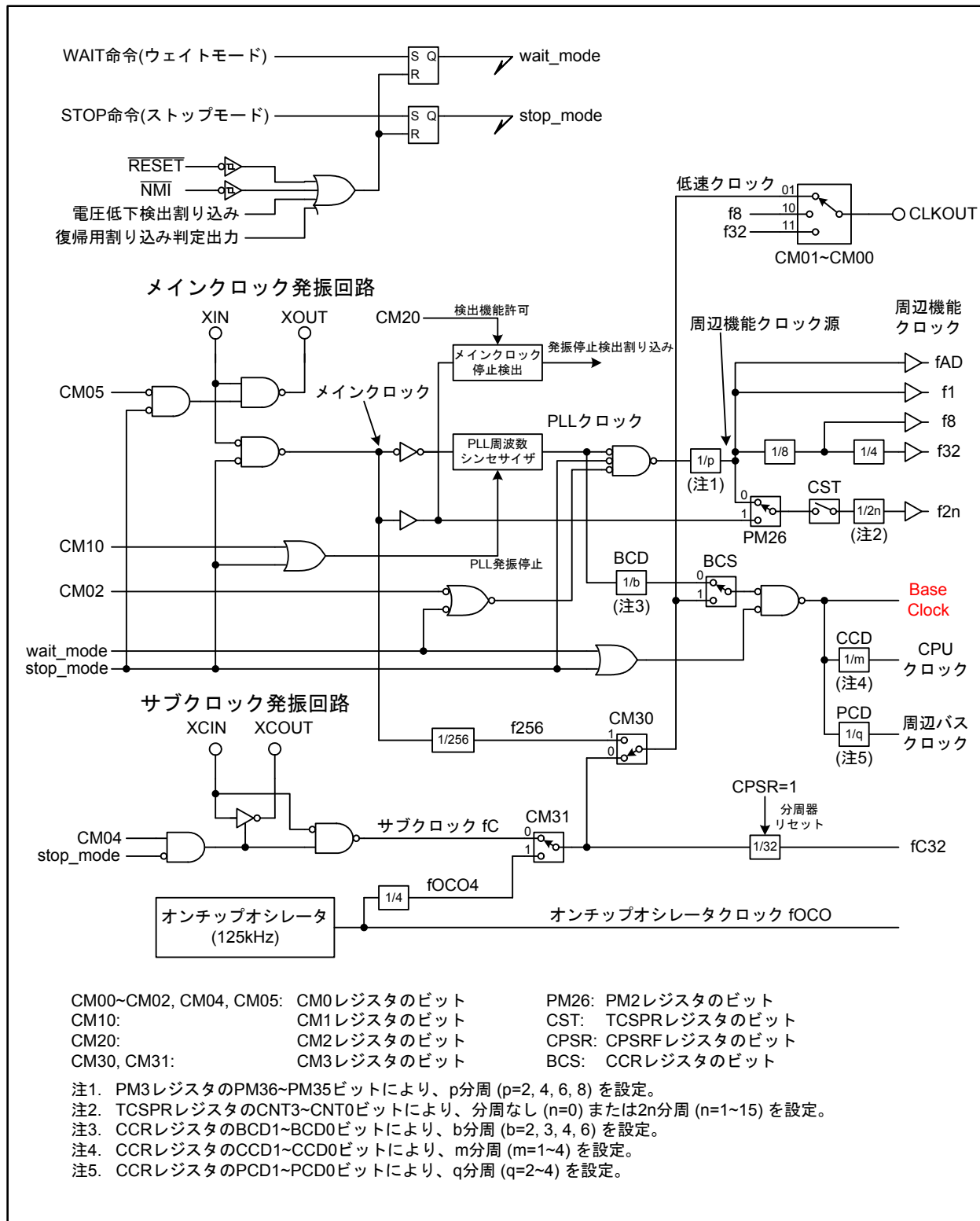


図8.1 クロック発生回路のブロック図

【正】

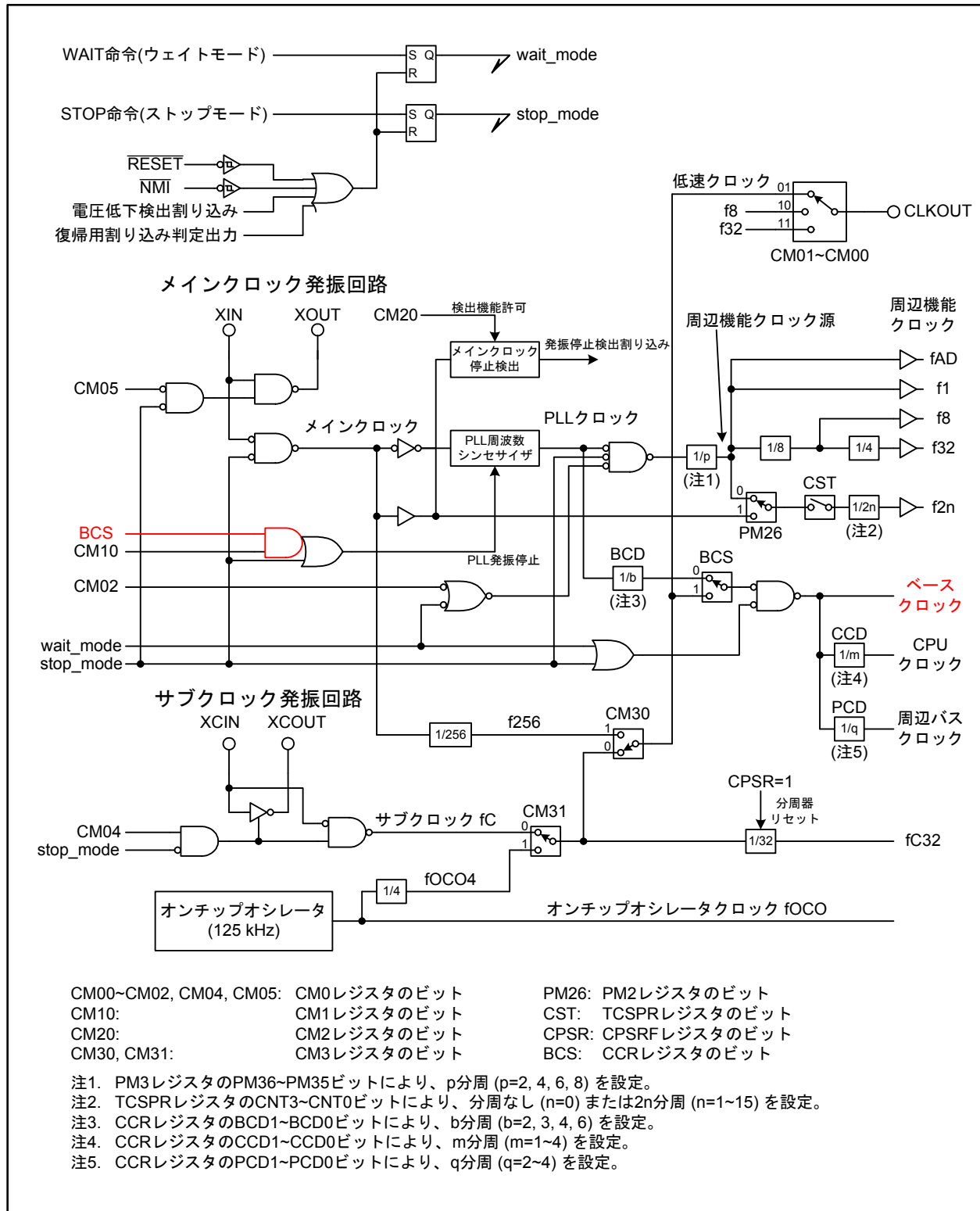


図8.1 クロック発生回路のブロック図

•Page 75 of 536

図8.3の注8を以下のとおり訂正いたします。

【誤】

注8. このビットはウォッチドッグタイマを動作させる前に設定してください。

【正】

注8. このビットはウォッチドッグタイマを動作させる前に設定してください。動作中に書き換える場合は、WDTSレジスタに書いた直後に実施してください。

•Page 76 of 536

図8.4の注2の文章を以下のとおり訂正いたします。

【誤】

注2. CCRレジスタのBCSビットが“0” (ベースクロック源はPLLクロック)の場合、CM10ビットを“1”にすることはできません。

【正】

注2. CCRレジスタのBCSビットが“0” (ベースクロック源はPLLクロック)の場合、CM10ビットを“1”にしてもPLL周波数シンセサイザの発振は停止しません。

•Page 105 of 536

9.3.1項の本文下部の数式を以下のとおり訂正いたします。

【誤】

- メモリ拡張モードの場合

$$0080000h < (CB23 \times 2^{18}) < (CB12 \times 2^{18}) < (CB01 \times 2^{18}) \leq 3DC0000h$$

- マイクロプロセッサモードの場合

$$0080000h < (CB23 \times 2^{18}) < (CB12 \times 2^{18}) < (CB01 \times 2^{18}) \leq 3FC0000h$$

【正】

- メモリ拡張モードの場合

$$0080000h \leq (CB23 \times 2^{18}) \leq (CB12 \times 2^{18}) \leq (CB01 \times 2^{18}) \leq 3DC0000h$$

- マイクロプロセッサモードの場合

$$0080000h \leq (CB23 \times 2^{18}) \leq (CB12 \times 2^{18}) \leq (CB01 \times 2^{18}) \leq 3FC0000h$$

•Page 107, 108 of 536

図9.4、図9.5、図9.6の注2を削除いたします。

【誤】

注2. シングルチップモード時は、このレジスタに値を設定しないでください。

【正】

—なし—

•Page 108, 109 of 536

図9.7、図9.8、図9.9の設定範囲と注2を以下のとおり訂正いたします。

【誤】

•図9.7

メモリ拡張モード時: 04h~F8h

マイクロプロセッサモード時: 04h~FFh

注2. CB12レジスタの設定値より大きい値を設定してください。

•図9.8

メモリ拡張モード時: 03h~F7h

マイクロプロセッサモード時: 03h~FEh

注2. CB23レジスタの設定値より大きい値を設定してください。また、CB01レジスタの設定値より小さい値を設定してください。

•図9.9

メモリ拡張モード時: 02h~F6h

マイクロプロセッサモード時: 02h~FDh

注2. CB12レジスタの設定値より小さい値を設定してください。

【正】

•図9.7

メモリ拡張モード時: 02h~F8h

マイクロプロセッサモード時: 02h~FFh

注2. CB12レジスタの設定値以上の値を設定してください。

•図9.8

メモリ拡張モード時: 02h~F8h

マイクロプロセッサモード時: 02h~FFh

注2. CB23レジスタの設定値以上の値を設定してください。また、CB01レジスタの設定値以下の値を設定してください。

•図9.9

メモリ拡張モード時: 02h~F8h

マイクロプロセッサモード時: 02h~FFh

注2. CB12レジスタの設定値以下の値を設定してください。

•Page 110 of 536

図9.10の注1を以下のとおり訂正いたします。

【誤】

注1. 各 \overline{CS} 領域の有効最大サイズは、ポート4から \overline{CS} 信号を出力しない場合16MBです。これ以上のサイズを指定した場合、16MBごとに同じデータが見えます。

ポート4から \overline{CS} 信号を出力する場合、減少するアドレス線の本数に応じ、有効最大サイズは減少します。

【正】

注1. 各 \overline{CS} 領域の有効最大サイズは、ポートP4から \overline{CS} 信号を出力しない場合16MBです。これ以上のサイズを指定した場合、16MBごとに同じデータが見えます。

ポートP4から \overline{CS} 信号を出力する場合、減少するアドレス線の本数に応じ、有効最大サイズは減少します。

•Page 111 of 536

図9.11の注1を以下のとおり訂正いたします。

【誤】

注1. 各 \overline{CS} 領域の有効最大サイズは、ポート4から $\overline{CS0}$ 以外の \overline{CS} 信号を出力しない場合8MBです。これ以上のサイズを指定した場合、8MBごとに同じデータが見えます。

ポート4から $\overline{CS0}$ 以外の \overline{CS} 信号を出力する場合、減少するアドレス線の本数に応じ、有効最大サイズは減少します。

【正】

注1. 各 \overline{CS} 領域の有効最大サイズは、ポートP4から $\overline{CS0}$ 以外の \overline{CS} 信号を出力しない場合8MBです。これ以上のサイズを指定した場合、8MBごとに同じデータが見えます。

ポートP4から $\overline{CS0}$ 以外の \overline{CS} 信号を出力する場合、減少するアドレス線の本数に応じ、有効最大サイズは減少します。

•Page 170 of 536

表13.5の外部バスのアドレスを以下のとおり訂正いたします。

【誤】

表 13.5 デバイスごとのバス幅およびバスサイクル数

デバイス名称	アドレス(注1)	バス幅	アクセスサイクル数(注2)	基準クロック
外部バス	00060000h~01FFFFFFh FE000000h~FFDFFFFFFh	8/16/32 ビット	EBCnレジスタ(n=0~3) の設定値に依存(注5)	周辺バスクロック

【正】

表 13.5 デバイスごとのバス幅およびバスサイクル数

デバイス名称	アドレス(注1)	バス幅	アクセスサイクル数(注2)	基準クロック
外部バス	00080000h~01FFFFFFh FE000000h~FFDFFFFFFh	8/16/32 ビット	EBCnレジスタ(n=0~3) の設定値に依存(注5)	周辺バスクロック

•Page 228 of 536

17.3本文の3段落目の一部を以下のとおり削除いたします。

【誤】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTA_i、TA_{i-1}(i=4, 1, 2)と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。このモードではTA_iレジスタ設定値とTA_{i1}レジスタ設定値の合計がTB₂レジスタ設定値と一致するようにします。

【正】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTA_i、TA_{i-1}(i=4, 1, 2)と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。

•Page 243 of 536

図18.7のUiIRSビットの機能欄を以下のとおり訂正いたします。

0: **UiTBレジスタ空** (TI=1) **【誤】**

0: **送信バッファ空** (TI=1) **【正】**

•Page 256 of 536

図18.21の波形の名称を以下のとおり訂正いたします。

UiC0レジスタのTXEPT **フラグ** **【誤】**

UiC0レジスタのTXEPT **ビット** **【正】**

•Page 256 of 536

図18.21の設定条件記載箇所の4項目目を以下のとおり訂正いたします。

【誤】
• UiC1レジスタ、U78CONレジスタのUiIRSビット=0 (**UiTBレジスタ空**で割り込み要求発生)

【正】
• UiC1レジスタ、U78CONレジスタのUiIRSビット=0 (**送信バッファ空**で割り込み要求発生)

•Page 311 of 536

図21.1を以下のとおり訂正いたします。

【誤】

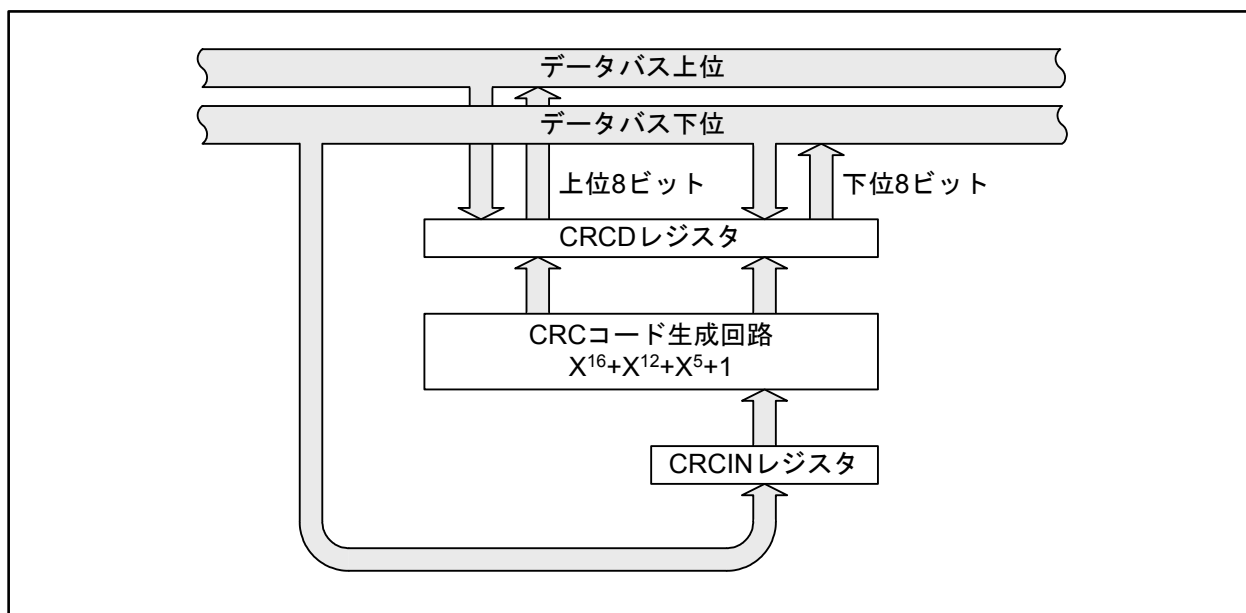


図21.1 CRC演算回路のブロック図

【正】

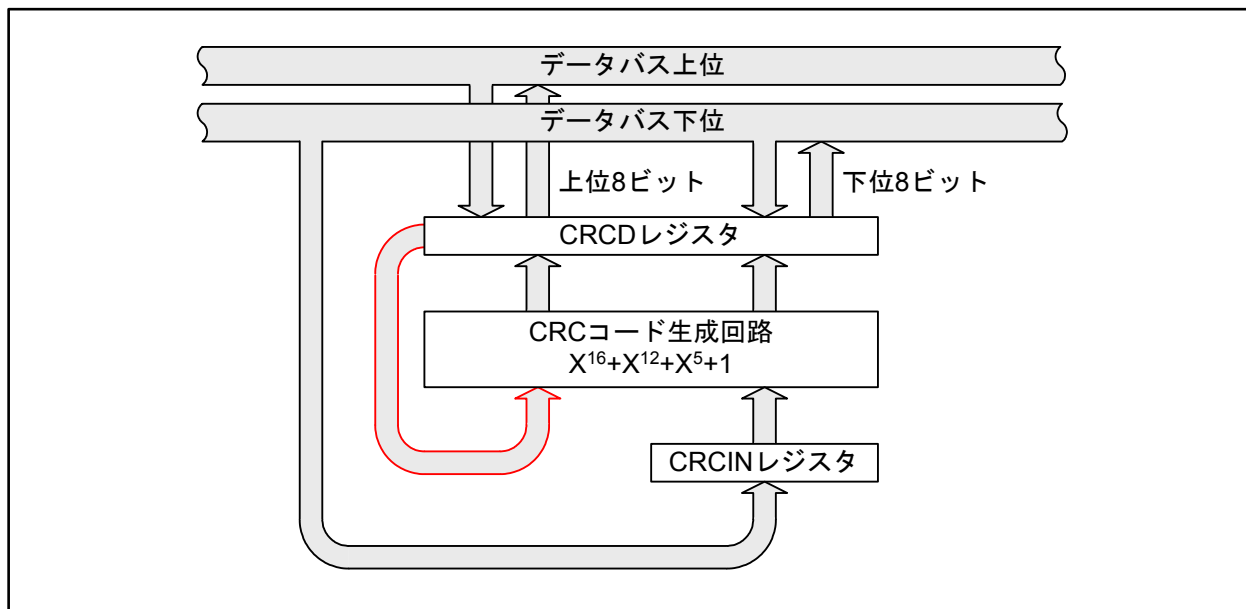


図21.1 CRC演算回路のブロック図

•Page 327 of 536

図23.9の注3を以下のとおり削除いたします。

【誤】

注3. ゲート機能解除後、GOCビットは“0”になります。

【正】

—なし—

•Page 366 of 536

表24.2のスレーブアドレス一致検出の機能欄を以下のとおり訂正いたします。

【誤】

スレーブ送受信時、スレーブアドレスの検出を行い、一致した場合はACKを自動的に送出します。一致しない場合はNACKを送出し、それ以降は送受信を行いません

【正】

スレーブ受信時、スレーブアドレスの検出を行い、一致した場合はACKを自動的に送出します。一致しない場合はNACKを送出し、それ以降は送受信を行いません

•Page 388, 389 of 536

図24.19、図24.22の基準クロックのシンボルをそれぞれ以下のとおり訂正いたします。

【誤】

図24.19 VIICの1.5サイクル
図24.22 VIICの0.5サイクル

【正】

図24.19 ϕ IICの1.5サイクル
図24.22 ϕ IICの0.5サイクル

•Page 399 of 536

26 本文の2段落目を以下のとおり訂正いたします(TN-16C-A200A/J参照)。

【誤】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は端子が出力になっている場合と、アナログ入出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

【正】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は、端子が出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

•Page 399 of 536

図26.1を以下のとおり訂正いたします(TN-16C-A200A/J参照)。

【誤】

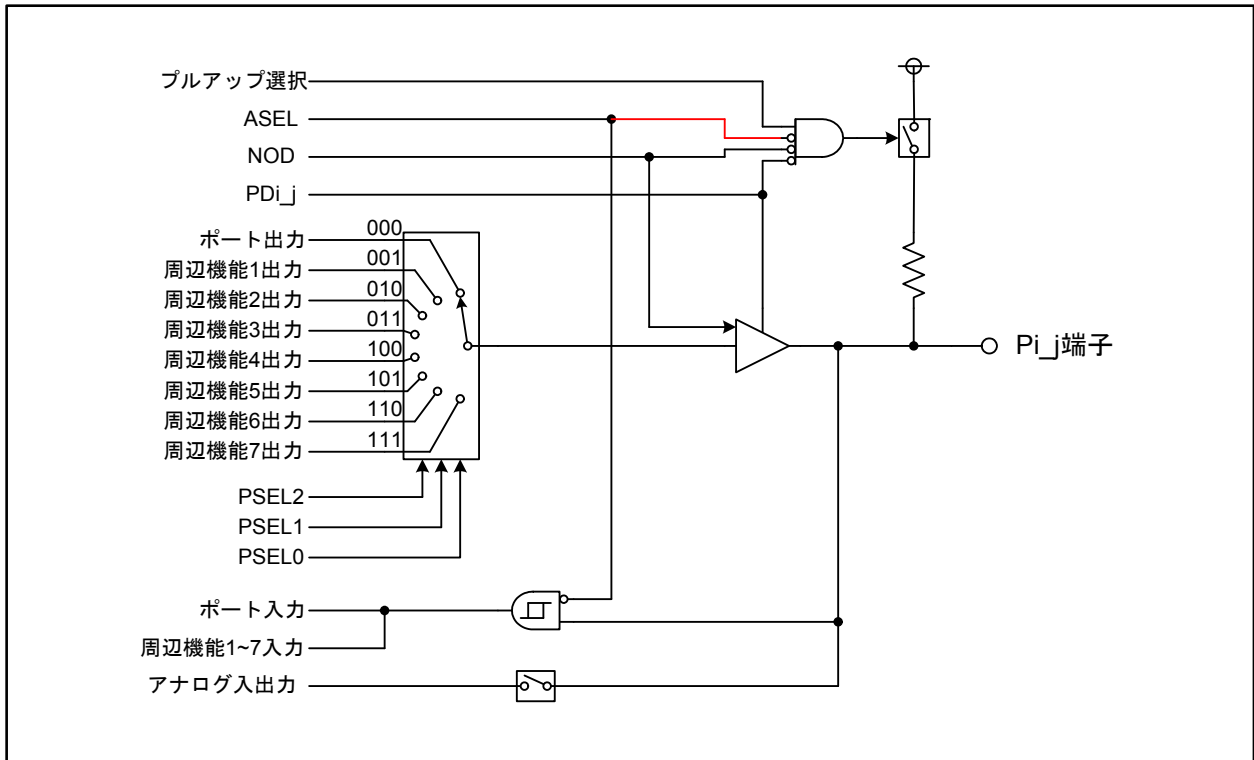


図26.1 入出力端子ブロック図(代表例) (i=0~19、j=0~7)

【正】

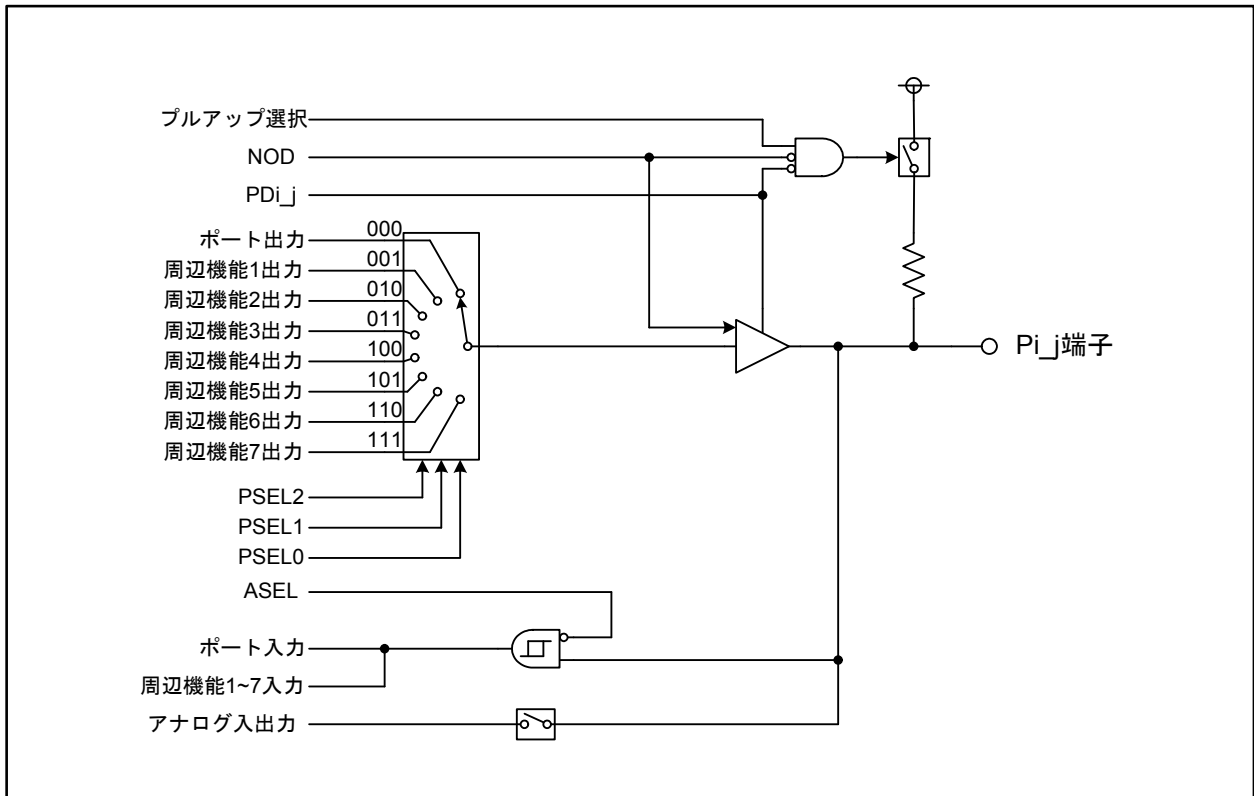


図26.1 入出力端子ブロック図(代表例) (i=0~19、j=0~7)

•Page 484, 497 of 536

表28.16、表28.42のヒステリシスの項目の信号線名を以下のとおり訂正いたします。

【誤】

$\overline{\text{HOLD}}$, $\overline{\text{RDY}}$, $\overline{\text{NMI}}$, $\overline{\text{INT0}}\sim\overline{\text{INT8}}$, $\overline{\text{KI0}}\sim\overline{\text{KI3}}$, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB5IN,
 $\overline{\text{CTS0}}\sim\overline{\text{CTS10}}$, CLK0~CLK10, RXD0~RXD10, SCL0~SCL6, SDA0~SDA6, $\overline{\text{SS0}}\sim\overline{\text{SS6}}$,
SRXD0~SRXD6, $\overline{\text{ADTRG}}$, IIO0_0~IIO0_7, IIO1_0~IIO1_7, UD0A, UD0B, UD1A, UD1B, ISCLK2,
ISRXD2, IEIN

【正】

$\overline{\text{HOLD}}$, $\overline{\text{RDY}}$, $\overline{\text{NMI}}$, $\overline{\text{INT0}}\sim\overline{\text{INT8}}$, $\overline{\text{KI0}}\sim\overline{\text{KI3}}$, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB5IN,
 $\overline{\text{CTS0}}\sim\overline{\text{CTS10}}$, CLK0~CLK10, RXD0~RXD10, SCL0~SCL6, SDA0~SDA6, $\overline{\text{SS0}}\sim\overline{\text{SS6}}$,
SRXD0~SRXD6, $\overline{\text{ADTRG}}$, IIO0_0~IIO0_7, IIO1_0~IIO1_7, UD0A, UD0B, UD1A, UD1B, ISCLK2,
ISRXD2, IEIN, **MSCL**, **MSDA**

以上