

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-SH7-A869A/J	Rev. <del>1.00</del> 第1版
題名	SSU モジュールの TEND ビット、TDRE ビット、RDRF ビットのクリア条件設定のハードウェアマニュアルへの記載抜けについて		情報分類	技術情報
適用製品	SH7280 シリーズ	対象ロット等	関連資料	SH7280 グループ、SH7243 グループ ユーザーズマニュアル ハードウェア編 (R01UH0229J0300)
		全ロット		

上記製品の SSU モジュールの TEND ビット、TDRE ビット、RDRF ビットのクリア条件について、FCLRM ビット設定の記載抜けがあるため訂正します。

## 【内容】

## 18.3.5 SS ステータスレジスタ (SSSR)

誤)

ビット	ビット名	初期値	R/W	説明
3	TEND	0	R/W	トランスミットエンド [セット条件] <ul style="list-style-type: none"> <li>SSCR2 の TENDSTS が 0 のとき、TDRE=1 の状態で、送信データの最後尾ビットの送信時</li> <li>SSCR2 の TENDSTS が 1 のとき、TDRE=1 の状態で、送信データの最後尾ビットの送信後</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>TEND=1 の状態をリードした後、TEND フラグに 0 をライトしたとき</li> <li>SSTDR ヘデータをライトしたとき</li> </ul>
2	TDRE	1	R/W	トランスミットデータエンプティ SSTDR 内のデータの有無を表示します。 [セット条件] <ul style="list-style-type: none"> <li>SSER の TE が 0 のとき</li> <li>SSTDR から SSTRSR にデータが転送され、SSTDR にデータライトが可能になったとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき</li> <li>TE=1 で、SSTDR ヘデータをライトしたとき</li> <li>SSTXI 割り込みにより DMAC が起動され、DMAC 転送により SSTDR に転送データをライトしたとき</li> <li>SSTXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SSTDR に転送データをライトしたとき (DTC の転送カウンタ値が H'0000 になったときを除く)</li> </ul>
1	RDRF	0	R/W	レシーブデータレジスタフル SSRDR 内のデータの有無を表示します。 [セット条件] <ul style="list-style-type: none"> <li>シリアル受信が正常終了し、SSTRSR から SSRDR へ受信データが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>RDRF=1 の状態をリードした後、RDRF フラグに 0 をライトしたとき</li> <li>SSRDR から受信データをリードしたとき</li> <li>SSRXI 割り込みにより DMAC が起動され、DMAC 転送により SSRDR から受信データをリードしたとき</li> <li>SSRXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SSRDR に受信データをリードしたとき (転送カウンタ値が H'0000 になったときを除く)</li> </ul>

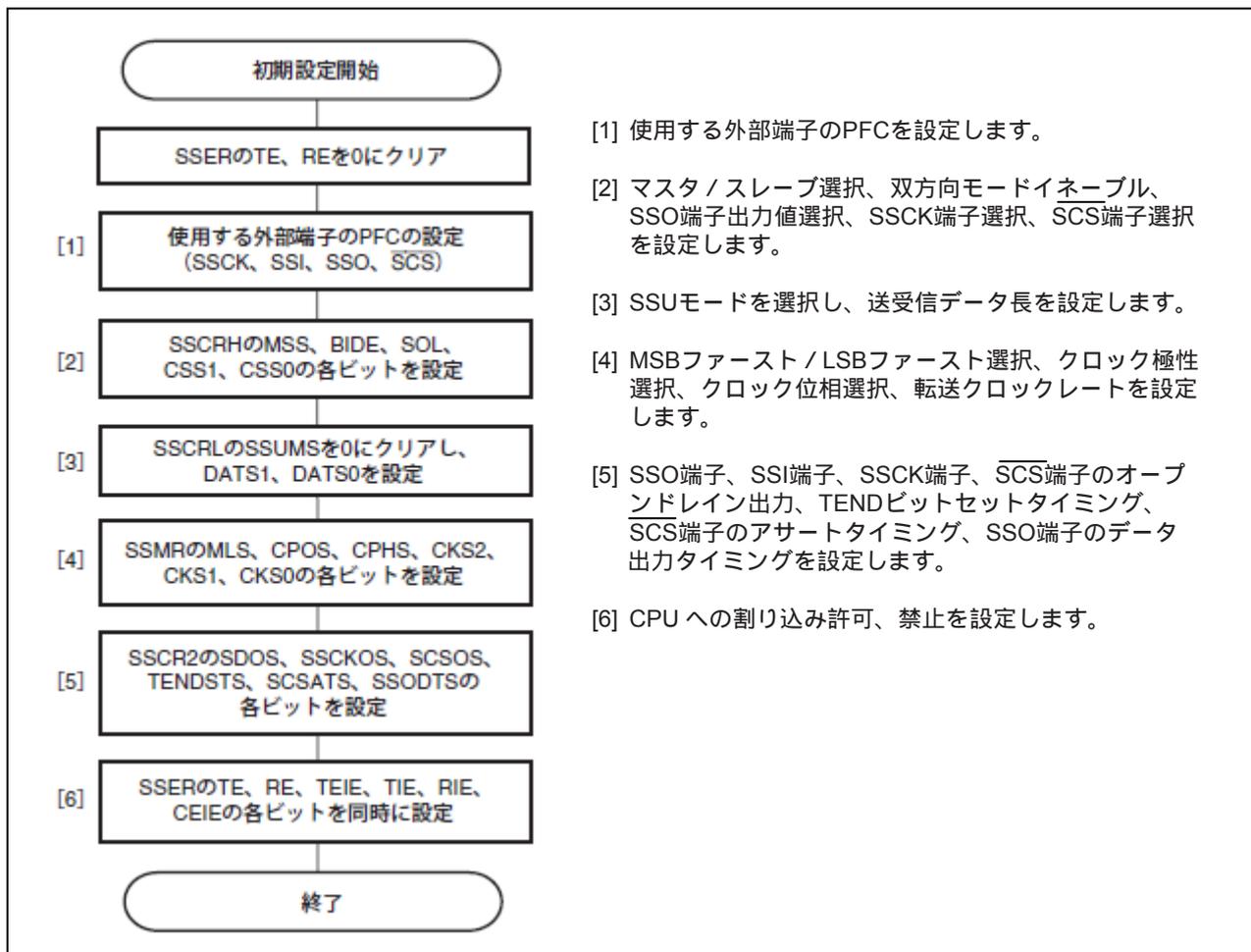
正)

ビット	ビット名	初期値	R/W	説明
3	TEND	0	R/W	トランスミットエンド [セット条件] • SSCR2 の TENDSTS が 0 のとき、TDRE=1 の状態で、送信データの最後尾ビットの送信時 • SSCR2 の TENDSTS が 1 のとき、TDRE=1 の状態で、送信データの最後尾ビットの送信後 [クリア条件] • TEND=1 の状態をリードした後、TEND フラグに 0 をライトしたとき • <b>FCLRM=1</b> で、SSTDR ヘデータをライトしたとき • <b>FCLRM=1</b> で、SSTXI 割り込みにより DMAC が起動され、DMAC 転送により SSTDR に転送データをライトしたとき • SSTXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SSTDR に転送データをライトしたとき (DTC の転送カウンタ値が H'0000 になったときを除く) *1
2	TDRE	1	R/W	トランスミットデータエンプティ SSTDR 内のデータの有無を表示します。 [セット条件] • SSER の TE が 0 のとき • SSTDR から SSTRSR にデータが転送され、SSTDR にデータライトが可能になったとき [クリア条件] • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき • TE=1 かつ <b>FCLRM=1</b> で、SSTDR ヘデータをライトしたとき • <b>FCLRM=1</b> で、SSTXI 割り込みにより DMAC が起動され、DMAC 転送により SSTDR に転送データをライトしたとき • SSTXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SSTDR に転送データをライトしたとき (DTC の転送カウンタ値が H'0000 になったときを除く) *1
1	RDRF	0	R/W	レシーブデータレジスタフル SSRDR 内のデータの有無を表示します。 [セット条件] • シリアル受信が正常終了し、SSTRSR から SSRDR へ受信データが転送されたとき [クリア条件] • RDRF=1 の状態をリードした後、RDRF フラグに 0 をライトしたとき • <b>FCLRM=1</b> で、SSRDR から受信データをリードしたとき • <b>FCLRM=1</b> で、SSRXI 割り込みにより DMAC が起動され、DMAC 転送により SSRDR から受信データをリードしたとき • SSRXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SSRDR に受信データをリードしたとき (DTC の転送カウンタ値が H'0000 になったときを除く) *1

\*1 DTC による転送は、FCLRM ビットを 0 にして使用してください。

18.4.5 SSU モード

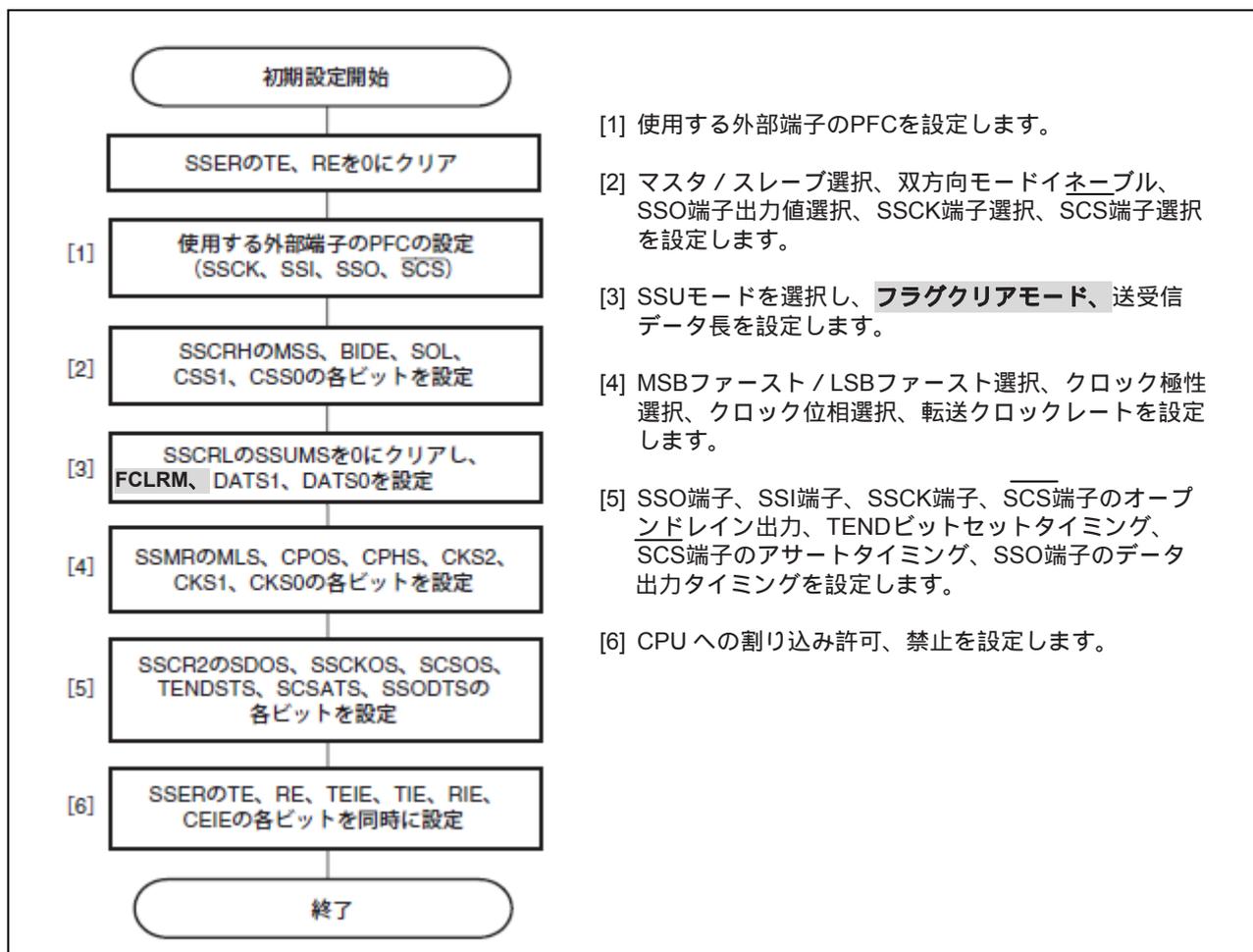
誤)



- [1] 使用する外部端子のPFCを設定します。
- [2] マスタ/スレーブ選択、双方向モードイネーブル、SSO端子出力値選択、SSCK端子選択、SCS端子選択を設定します。
- [3] SSUモードを選択し、送受信データ長を設定します。
- [4] MSBファースト/LSBファースト選択、クロック極性選択、クロック位相選択、転送クロックレートを設定します。
- [5] SSO端子、SSI端子、SSCK端子、SCS端子のオープンドレイン出力、TENDビットセットタイミグ、SCS端子のアサートタイミグ、SSO端子のデータ出力タイミグを設定します。
- [6] CPU への割り込み許可、禁止を設定します。

図 18.4 SSU モードの初期設定例

正)

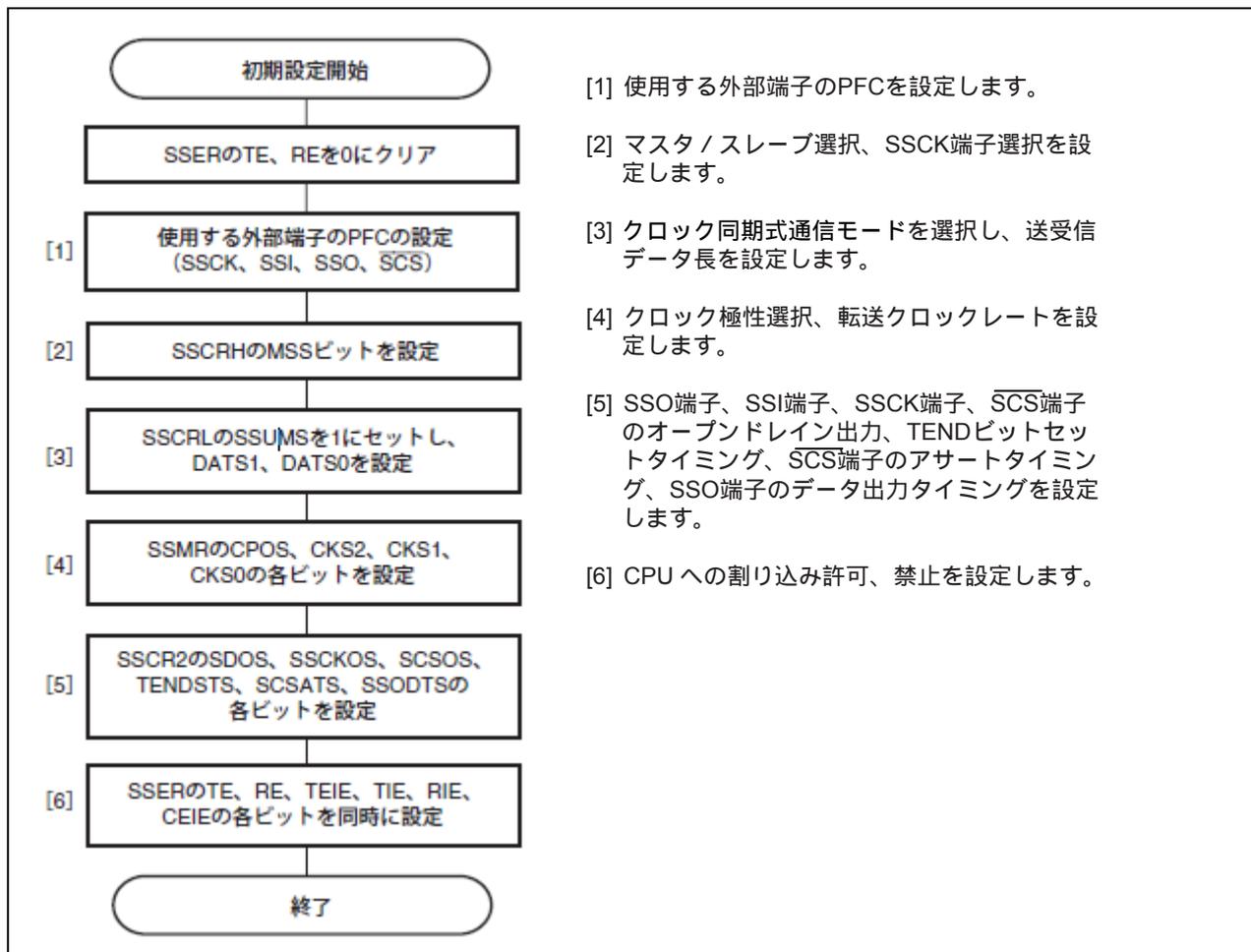


- [1] 使用する外部端子のPFCを設定します。
- [2] マスタ/スレーブ選択、双方向モードイネーブル、SSO端子出力値選択、SSCK端子選択、SCS端子選択を設定します。
- [3] SSUモードを選択し、**フラグクリアモード**、送受信データ長を設定します。
- [4] MSBファースト/LSBファースト選択、クロック極性選択、クロック位相選択、転送クロックレートを設定します。
- [5] SSO端子、SSI端子、SSCK端子、SCS端子のオープンドレイン出力、TENDビットセットタイミング、SCS端子のアサートタイミング、SSO端子のデータ出力タイミングを設定します。
- [6] CPU への割り込み許可、禁止を設定します。

図 18.4 SSU モードの初期設定例

18.4.7 クロック同期式通信モード

誤)



- [1] 使用する外部端子のPFCを設定します。
- [2] マスタ/スレーブ選択、SSCK端子選択を設定します。
- [3] クロック同期式通信モードを選択し、送受信データ長を設定します。
- [4] クロック極性選択、転送クロックレートを設定します。
- [5] SSO端子、SSI端子、SSCK端子、SCS端子のオープンドレイン出力、TENDビットセットタイミング、SCS端子のアサートタイミング、SSO端子のデータ出力タイミングを設定します。
- [6] CPU への割り込み許可、禁止を設定します。

図 18.12 クロック同期式通信モードの初期設定例

正)

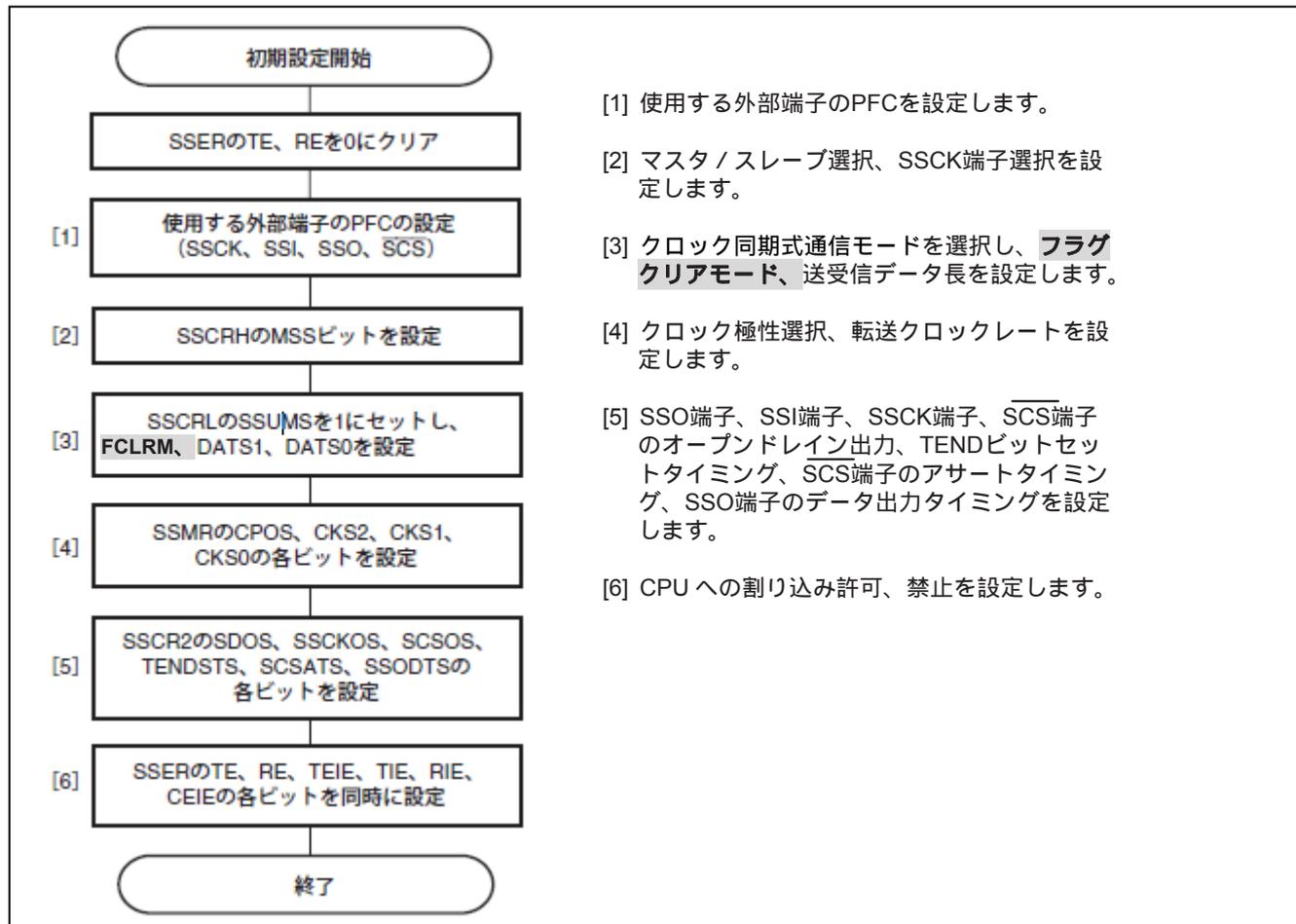


図 18.12 クロック同期式通信モードの初期設定例

以上