発行日：2015 年 10 月 27 日

RENESAS TECHNICAL UPDATE

〒135-0061　東京都江東区豊洲 3-2-24
豊洲フォレシア
問合せ窓口　http://japan.renesas.com/contact/
E-mail: csc@renesas.com

製品分類	MPU ＆ MCU	発行番号	TN-RL*-A033B/J	Rev.	第2版
題名	誤記訂正通知 RL78/L1C　ユーザーズマニュアル Rev.2.00 の記載変更	情報分類	技術情報		
適用製品	RL78/L1C グループ	対象ロット等 全ロット	関連資料	RL78/L1C　ユーザーズマニュアル ハードウェア編　Rev.2.00 R01UH0409JJ0200 (Jun.2014)	

RL78/L1C ユーザーズマニュアル ハードウェア編 Rev.2.00（R01UH0409JJ0200）において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
5.2 クロック発生回路の構成	p.170	記載追加
5.3.2 システム・クロック制御レジスタ(CKC)	p.174	誤記訂正
5.3.6 周辺イネーブル・レジスタ0, 1, 2 (PER0, PER1, PER2)	p.180, 181	誤記訂正
5.3.10 PLL制御レジスタ(DSCCTL)	p.187	記載追加
5.4.5 PLL (Phase Locked Loop)	p.194	誤記訂正
5.6.1 高速オンチップ・オシレータの設定例	p.197	記載追加
5.6.4 PLL回路の設定例	p.201	誤記訂正
5.6.5 CPUクロック状態移行図	p.202	誤記訂正
5.6.5 CPUクロック状態移行図 表5 - 4 CPUクロックの移行とSFRレジスタの設定例(USB搭載製品)	p.203 – p.209	誤記訂正
5.6.5 CPUクロック状態移行図 表5 - 4 CPUクロックの移行とSFRレジスタの設定例(USB非搭載製品)	p.213	誤記訂正
5.6.6 CPUクロックの移行前の条件と移行後の処理	p.216, 217	誤記訂正
6.3.1 周辺イネーブル・レジスタ0 (PER0)	p.240	誤記訂正
8.3.1 周辺イネーブル・レジスタ0 (PER0)	p.451	誤記訂正
8.4.1 リアルタイム・クロック2の動作開始	p.469	誤記訂正
12.3.1 周辺イネーブル・レジスタ0 (PER0)	p.502	誤記訂正
15.3.1 周辺イネーブル・レジスタ0 (PER0)	p.591	誤記訂正
16.3.1 周辺イネーブル・レジスタ0 (PER0)	p.734	誤記訂正
34. 1　絶対最大定格	p.1172	誤記訂正
34. 3. 1　端子特性	p.1175, p.1176	誤記訂正
35. 1　絶対最大定格	p.1239	誤記訂正
35. 3. 1　端子特性	p.1242, p.1243	誤記訂正

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズ・マニュアルの訂正一覧

No	訂正内容と該当箇所		本通知での該当ページ
	ドキュメントNo.　和文　R01UH0409JJ0200		
1	3.3.4 特殊機能レジスタ(SFR：Special Function Register)の誤記訂正	p.82 , p.83	p.3 – p.4
2	6.3.3 タイマ・モード・レジスタmn(TMRmn)の誤記訂正	p.248	p.5
3	15.5.7 SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャートの誤記訂正（図15-74，図15-76）	p.663, p.665	p.6 – p.7
4	15.6.3 SNOOZEモード機能の記載追加	p.688	p.8
5	15.6.3 SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャートの誤記訂正（図15-95，図15-96，図15-98）	p.690, p.691, p.693	p.9 – p.11
6	17.4.5 FIFOバッファ・メモリの誤記訂正	p.895	p.12
7	34.6.1 A/Dコンバータ特性の仕様拡張	p.1221	p.13 – p.14
8	34. 9 データ・メモリSTOPモード低電源電圧データ保持特性の記載変更	p.1234	p.15
9	35. 9 データ・メモリSTOPモード低電源電圧データ保持特性の記載変更	p.1294	p.16
10	8.3.4 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)の記載追加	p.457	p.17
11	5.2 クロック発生回路の構成	p.170	p.18
12	5.3.2 システム・クロック制御レジスタ(CKC)	p.174	p.19
13	5.3.6 周辺イネーブル・レジスタ0, 1, 2 (PER0, PER1, PER2)	p.180, 181	p.20,21
14	5.3.10 PLL制御レジスタ(DSCCTL)	p.187	p.22
15	5.4.5 PLL (Phase Locked Loop)	p.194	p.23
16	5.6.1 高速オンチップ・オシレータの設定例	p.197	p.24
17	5.6.4 PLL回路の設定例	p.201	p.25,26
18	5.6.5 CPUクロック状態移行図	p.202	p.27
19	5.6.5 CPUクロック状態移行図 表5 - 4 CPUクロックの移行とSFRレジスタの設定例(USB搭載製品)	p.203 – p.209	p.28-p.35
20	5.6.5 CPUクロック状態移行図 表5 - 4 CPUクロックの移行とSFRレジスタの設定例(USB非搭載製品)	p.213	p.36
21	5.6.6 CPUクロックの移行前の条件と移行後の処理	p.216, 217	p.37,38
22	6.3.1 周辺イネーブル・レジスタ0 (PER0)	p.240	p.39
23	8.3.1 周辺イネーブル・レジスタ0 (PER0)	p.451	p.40
24	8.4.1 リアルタイム・クロック2の動作開始	p.469	p.41
25	12.3.1 周辺イネーブル・レジスタ0 (PER0)	p.502	p.42
26	15.3.1 周辺イネーブル・レジスタ0 (PER0)	p.591	p.43
27	16.3.1 周辺イネーブル・レジスタ0 (PER0)	p.734	p.44
28	34. 1　絶対最大定格	p.1172	p.45
29	34. 3. 1　端子特性	p.1175, p.1176	p.46,47
30	35. 1　絶対最大定格	p.1239	p.48
31	35. 3. 1　端子特性	p.1242, p.1243	p,49,50

誤記訂正の該当箇所は、誤）太字下線、正）グレー・ハッチングで記載します。

発行文書履歴

RL78/L1C ユーザーズ・マニュアル Rev.2.00 誤記訂正通知　発行文書履歴

文書番号	発行日	記事
TN-RL*-A033A/J	2014 年 8 月 18 日	初版発行 訂正一覧の No.1 ～ No.9 の誤記訂正
TN- RL*-A046A/J	2015 年 7 月 6 日	訂正一覧の No.10 の記載追加
TN-RL*-A033B/J	2015 年10 月27 日	第 2 版発行 訂正一覧の No.11 ～ No.31 の誤記訂正(本通知です。)

1. 3.3.4 特殊機能レジスタ(SFR：Special Function Register)

表 3-7 SFR 一覧(1/4),(2/4)の誤記訂正(p.82 , p.83)

誤)

表3－7　SFR一覧（1/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲 1ビット	8ビット	16ビット	リセット時
(省略)								
FFF10H	シリアル・データ・レジスタ00	TXD0/SIO00	SDR00	R/W	－	○	○	0000H
FFF11H		－			－	－		
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	－	○	○	0000H
FFF13H		－			－	－		
FFF14H	シリアル・データ・レジスタ12	**TXD3**	SDR12	R/W	－	○	○	0000H
FFF15H		**SIO30**			－	－		
FFF16H	シリアル・データ・レジスタ13	RXD3	SDR13	R/W	－	○	○	0000H
FFF17H		－			－	－		
(省略)								

正)

表3－7　SFR一覧（1/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲 1ビット	8ビット	16ビット	リセット時
(省略)								
FFF10H	シリアル・データ・レジスタ00	TXD0/SIO00	SDR00	R/W	－	○	○	0000H
FFF11H		－			－	－		
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	－	○	○	0000H
FFF13H		－			－	－		
FFF14H	シリアル・データ・レジスタ12	TXD3/SIO30	SDR12	R/W	－	○	○	0000H
FFF15H		－			－	－		
FFF16H	シリアル・データ・レジスタ13	RXD3	SDR13	R/W	－	○	○	0000H
FFF17H		－			－	－		
(省略)								

誤)

表3－8　SFR一覧（2/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
（省略）								
FFF44H	シリアル・データ・レジスタ02	TXD1/SIO10	SDR02	R/W	－	○	○	0000H
FFF45H		－			－	－		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	－	○	○	0000H
FFF47H		－			－	－		
FFF48H	シリアル・データ・レジスタ10	TXD2	SDR10	R/W	－	○	○	0000H
FFF49H		SIO20			－	－		
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	－	○	○	0000H
FFF4BH		－			－	－		
（省略）								

正)

表3－8　SFR一覧（2/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
（省略）								
FFF44H	シリアル・データ・レジスタ02	TXD1/SIO10	SDR02	R/W	－	○	○	0000H
FFF45H		－			－	－		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	－	○	○	0000H
FFF47H		－			－	－		
FFF48H	シリアル・データ・レジスタ10	TXD2/SIO20	SDR10	R/W	－	○	○	0000H
FFF49H		－			－	－		
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	－	○	○	0000H
FFF4BH		－			－	－		
（省略）								

2. 6.3.3 タイマ・モード・レジスタ mn(TMRmn)

図 6-17 タイマ・モード・レジスタ mn(TMRmn)のフォーマット(4/4)の誤記訂正(p.248)

誤)

図6-17　タイマ・モード・レジスタmn（TMRmn）のフォーマット（4/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　**リセット時：**0000H　R/W

（省略）

動作モード（MDmn3-MDmn1で設定（上表参照））	MDmn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード（0, 0, 0） ・キャプチャ・モード（0, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
	1	カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。
・イベント・カウンタ・モード（0, 1, 1）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・ワンカウント・モード[注2]（1, 0, 0）	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする[注3]。その際に割り込みは発生する。
・キャプチャ＆ワンカウント・モード（1, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。 カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
上記以外		設定禁止

正)

図6-17　タイマ・モード・レジスタmn（TMRmn）のフォーマット（4/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　**リセット時：**0000H　R/W

（省略）

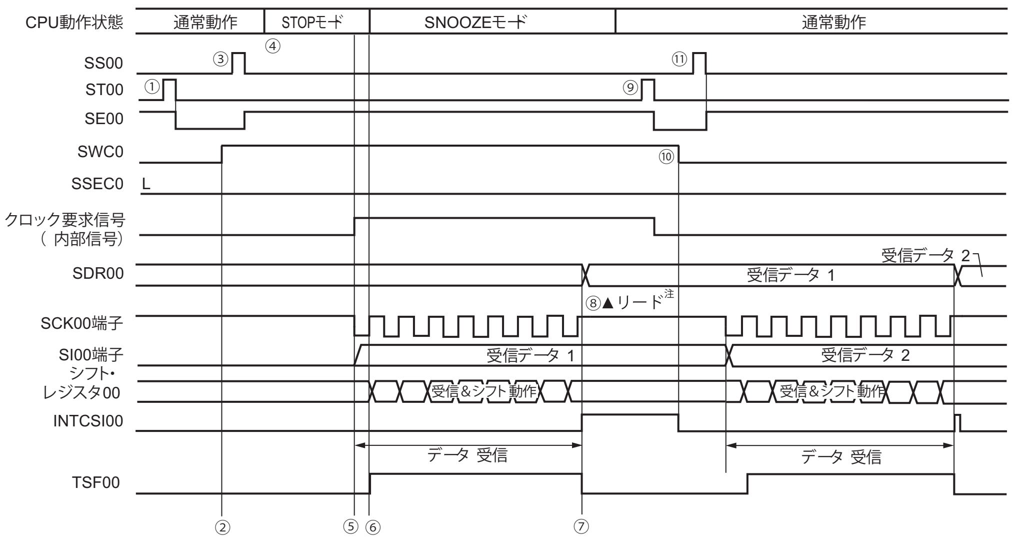
動作モード（MDmn3-MDmn1で設定（上表参照））	MDmn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード（0, 0, 0） ・キャプチャ・モード（0, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
	1	カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。
・イベント・カウンタ・モード（0, 1, 1）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・ワンカウント・モード[注2]（1, 0, 0）	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする[注3]。その際に割り込みは発生しない。
・キャプチャ＆ワンカウント・モード（1, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。 カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
上記以外		設定禁止

3. 15.5.7 SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャート（図15-74，図15-76）（p.663, p.665）

CPU動作状態、クロック要求信号（内部信号）とTSF00のタイミング・チャートの誤記訂正

誤）

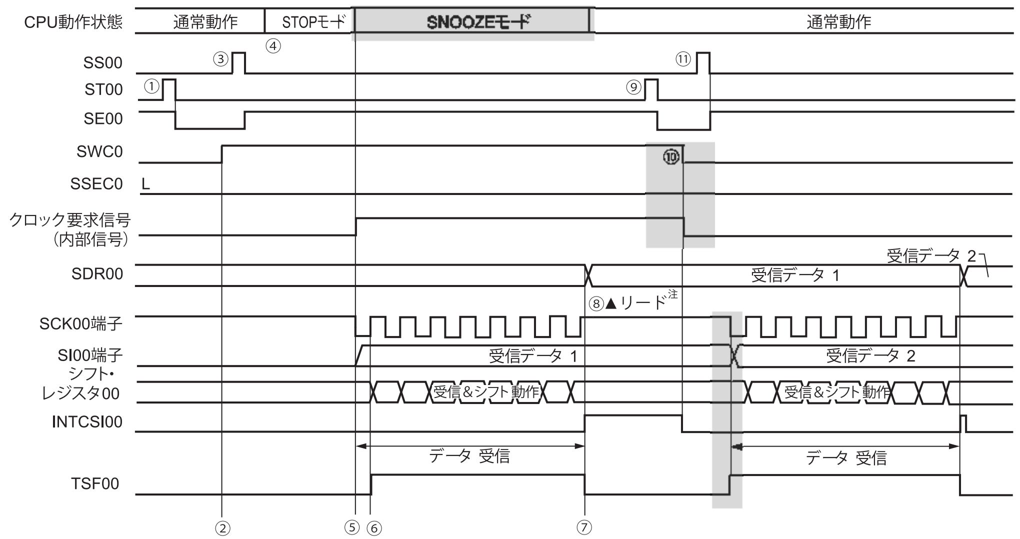
図15－74 SNOOZEモード動作（1回起動）時のタイミング・チャート
（タイプ1：DAPmn =0, CKPmn = 0）



（省略）

正）

図15－74 SNOOZEモード動作（1回起動）時のタイミング・チャート
（タイプ1：DAPmn =0, CKPmn = 0）

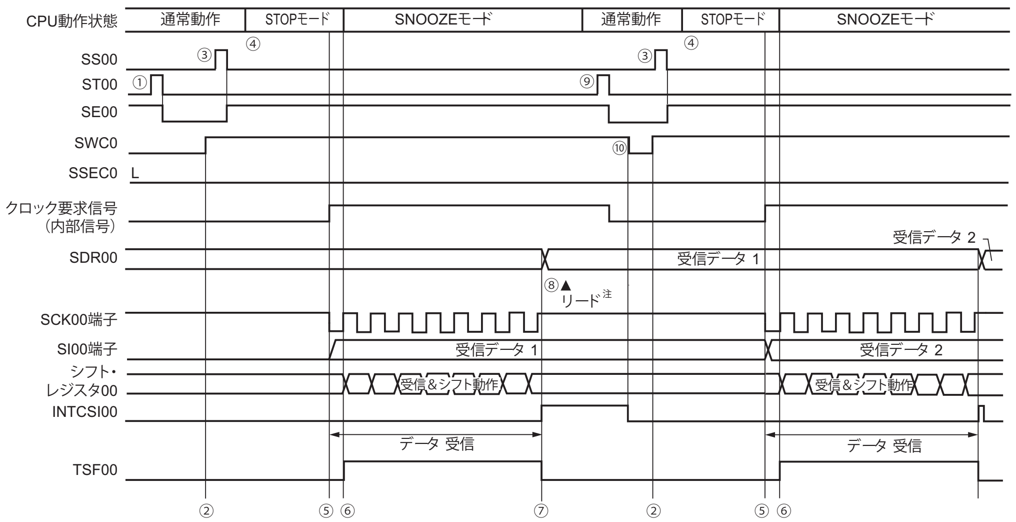


（省略）

CPU動作状態、クロック要求信号（内部信号）とINTCSI00のタイミング・チャートの誤記訂正

誤）

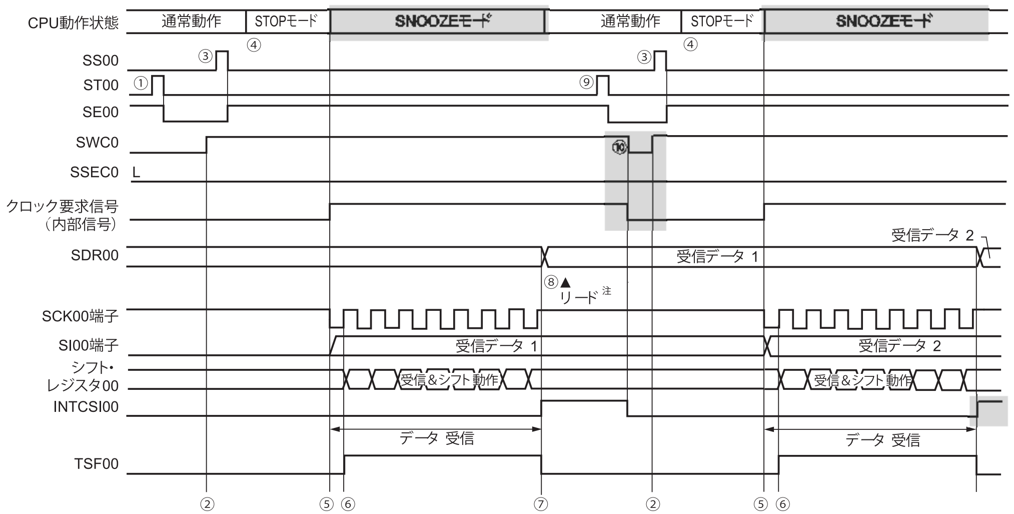
図 15－76 SNOOZE モード動作（連続起動）時のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



（省略）

正）

図 15－76 SNOOZE モード動作（連続起動）時のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



（省略）

4.15.6.3 SNOOZE モード機能の注意追加（p.688）

誤）

15. 6. 3　SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により，UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが，SNOOZEモード機能を使用することで，CPUを動作させずにUART受信を行うことができます。

（省略）

注意1.　SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロック（f_{IH}）を選択している場合のみ設定可能です。

（省略）

注意4.　SSECm=1の設定では，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFmn，FEFmn、OVFmnフラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm＝1で使用するときは，SWC0=1に設定する前にPEFmn，FEFmn，OVFmnフラグをクリアし，また，SDRm1レジスタのビット7-0（RxDq）を読み出してください。

正）

15. 6. 3　SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により，UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが，SNOOZEモード機能を使用することで，CPUを動作させずにUART受信を行うことができます。

（省略）

注意1.　SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロック（f_{IH}）を選択している場合のみ設定可能です。

（省略）

注意4.　SSECm=1の設定では，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFmn，FEFmn、OVFmnフラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm＝1で使用するときは，SWC0=1に設定する前にPEFmn，FEFmn，OVFmnフラグをクリアし，また，SDRm1レジスタのビット7-0（RxDq）を読み出してください。

注意5.　RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。
また，スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず，SNOOZEモードを継続することがあります。この場合，次のUART受信で正しくデータ受信できず，フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

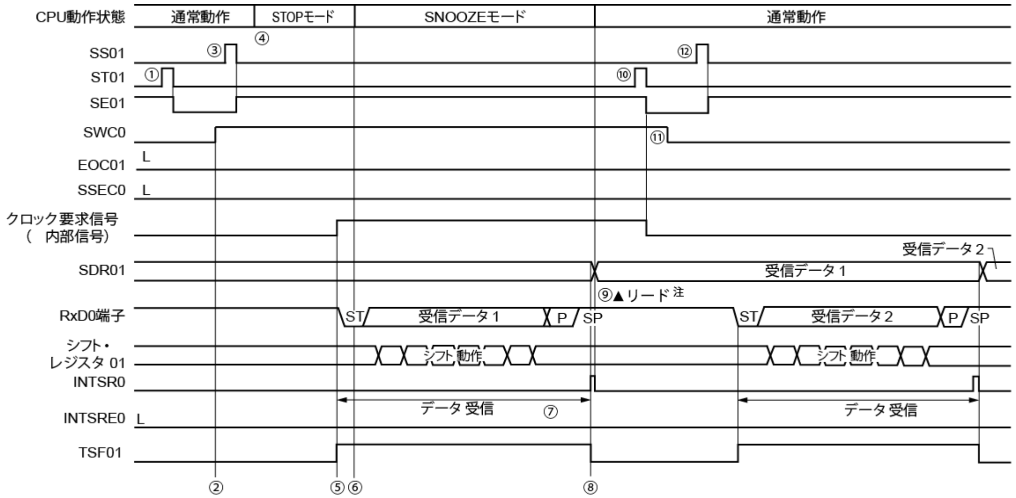
5. 15.6.3 SNOOZE モード機能

SNOOZE モード動作時のタイミング・チャート（図 15-95，図 15-96，図 15-98）（p.690, p.691, p.693）

CPU動作状態、クロック要求信号（内部信号）、INTSR0とTSF01のタイミング・チャートの誤記訂正

誤）

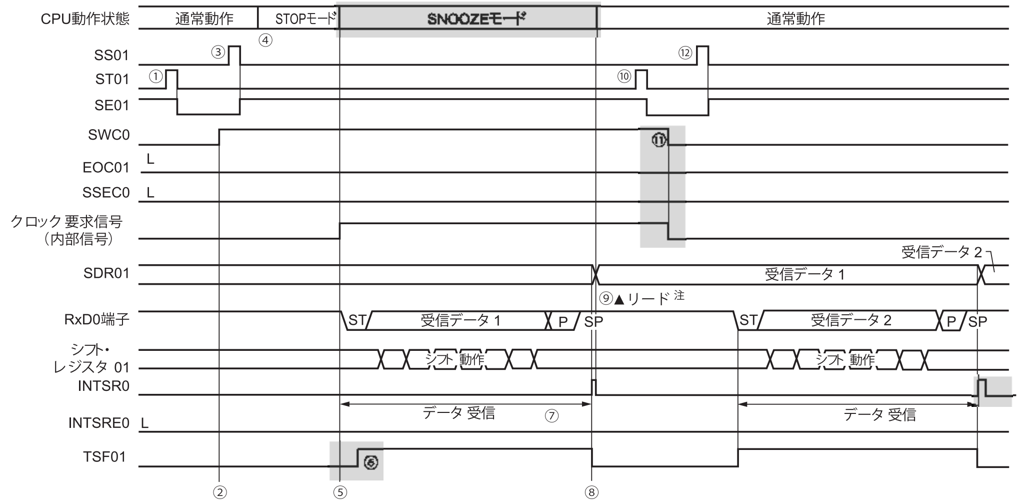
図 15－95 SNOOZE モード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート



（省略）

正）

図 15－95 SNOOZE モード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート

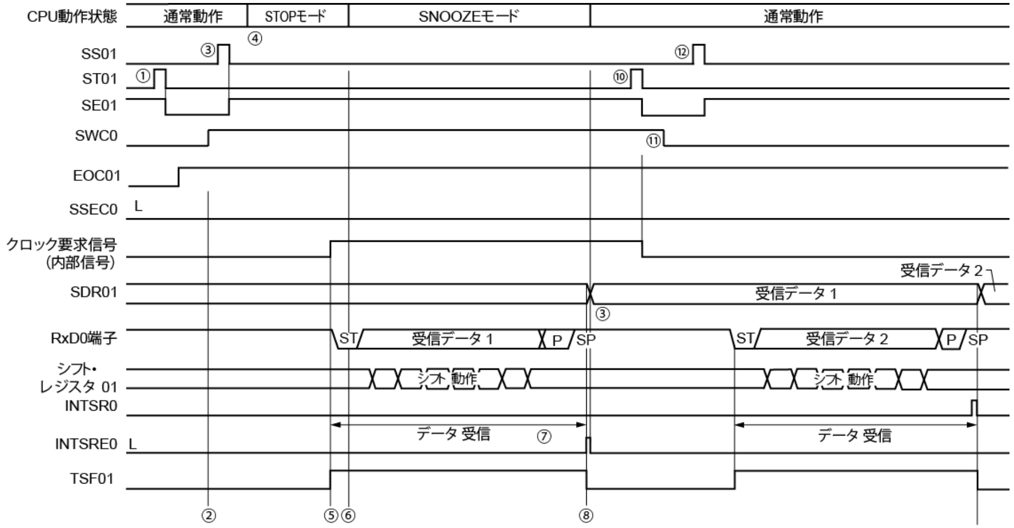


（省略）

CPU 動作状態、クロック要求信号（内部信号)、SDR01、INTSR0 と TSF01 のタイミング・チャートの誤記訂正

誤）

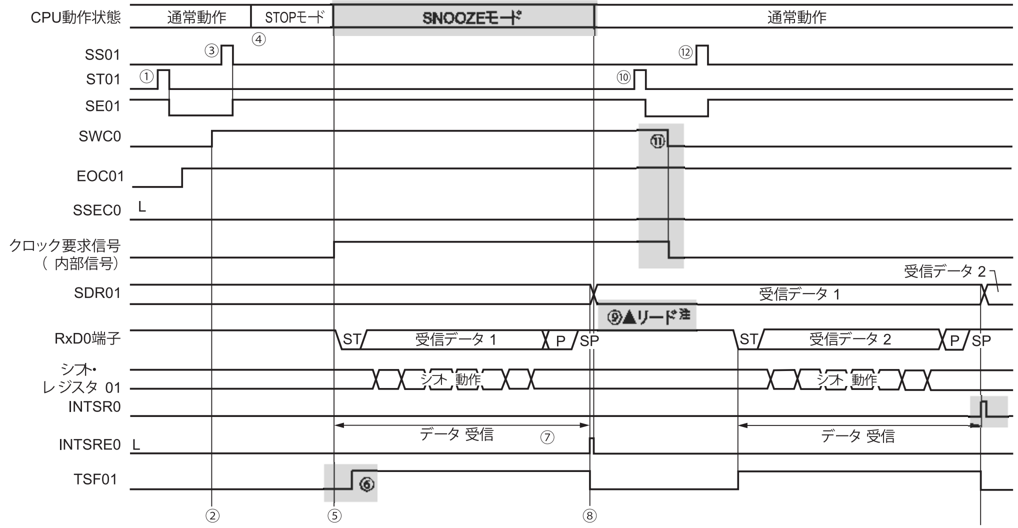
図 15－96 SNOOZE モード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャート



（省略）

正）

図 15－96 SNOOZE モード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャート

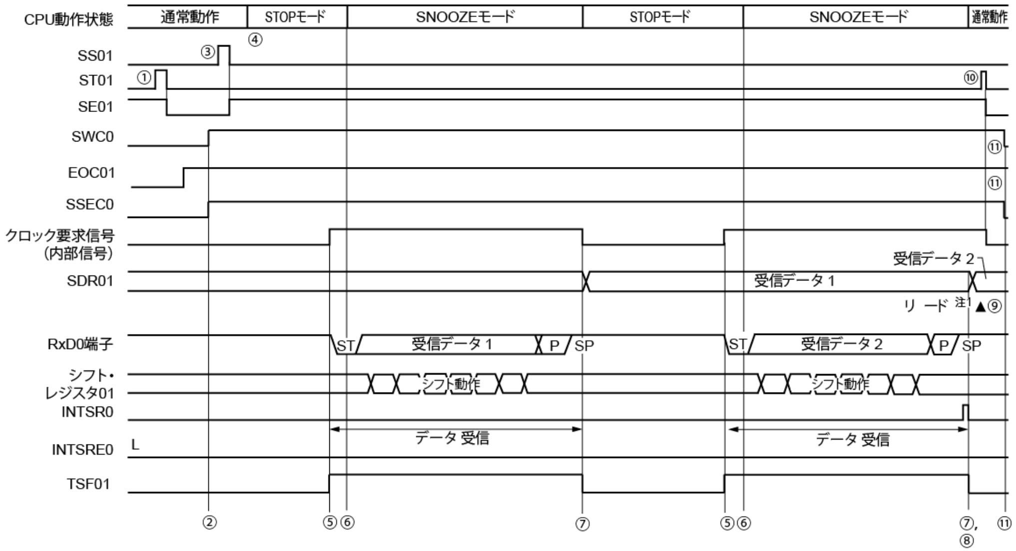


（省略）

CPU 動作状態、クロック要求信号（内部信号）、INTSR0 と TSF01 のタイミング・チャートの誤記訂正

誤）

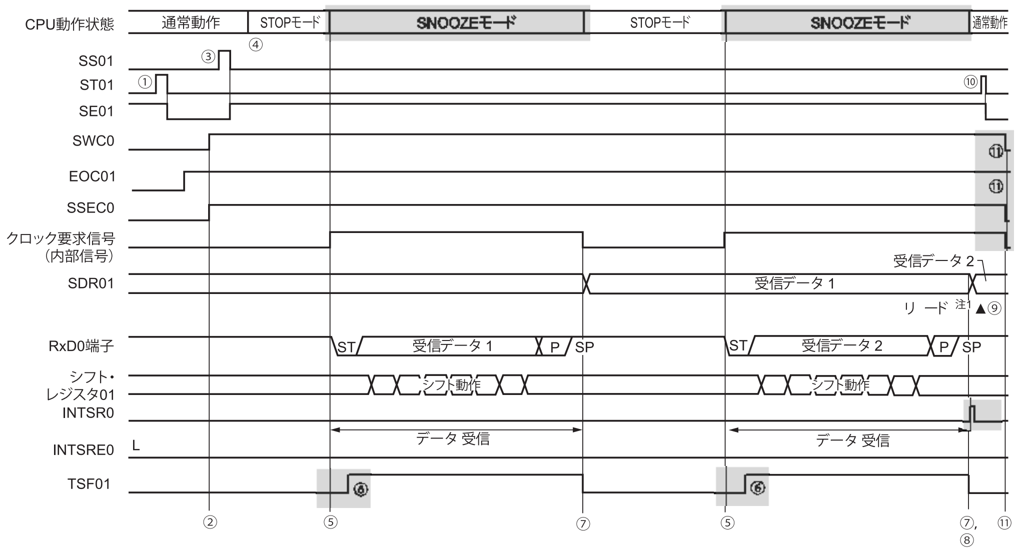
図 15－98 SNOOZE モード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャート



（省略）

正）

図 15－98 SNOOZE モード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャート



（省略）

6. 17.4.5 FIFO バッファ・メモリ

表 17-22 DTC 設定一覧の説明追加(p.895)

旧)

表17-22 DTC設定一覧

	サイクルスチール転送	ブロック転送
DTCCRj	MODE = 0（ノーマルモードで使用してください。） SAMOD = FIFO読み出し方向：0, FIFO書き込み方向：1 DAMOD = FIFO読み出し方向：1, FIFO書き込み方向：0 (FIFO側のアドレスを固定してください。) CHNE = 0（チェイン転送を禁止にしてください。） Sz = MBWの設定と合わせてください。 ノーマルモードのため他のビットの設定は無効になります。	
DTBLSj (DTCブロックサイズ)	01H (Sz = 0：1バイト/Sz = 1：2バイト)	Sz = 0：Max. Packet Size Sz = 1：Max. Packet Size/2
DTCCTj	任意(Max. 256回)	任意(Max. 256回)

新)

表17-22 DTC設定一覧

	サイクルスチール転送	ブロック転送
DTCCRj	MODE = 0（ノーマルモードで使用してください。） SAMOD = FIFO読み出し方向：0, FIFO書き込み方向：1 DAMOD = FIFO読み出し方向：1, FIFO書き込み方向：0 (FIFO側のアドレスを固定してください。) CHNE = 0（チェイン転送を禁止にしてください。） Sz = MBWの設定と合わせてください。 ノーマルモードのため他のビットの設定は無効になります。	
DTBLSj (DTCブロックサイズ)	01H (Sz = 0：1バイト/Sz = 1：2バイト)	Sz = 0：Max. Packet Size Sz = 1：Max. Packet Size/2
DTCCTj	任意(Max. 256回)	任意(Max. 256回)
DTDARj (ディスティネーションアドレス)	FIFO読み出し方向：FIFOデータの送信先 FIFO書き込み方向：D0FIFOD00/D1FIFOD00	
DTSARj (ソースアドレス)	FIFO読み出し方向：D0FIFOD00/D1FIFOD00 FIFO書き込み方向：FIFOデータの送信元	

注 j=D0FIFO/D1FIFOに割り当てた起動要因番号（0~23）

DTC の設定方法の詳細は、「第 19 章 データトランスファコントローラ(DTC)」を参照してください。

7. 34. 6. 1 A/D コンバータ特性

A/D 変換精度の電圧範囲を拡張(p.1221)

変更前）

（1）基準電圧（＋）= AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（－）= AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI2-ANI12

（T_A = －40～＋85 ℃，**2.7 V≦AV_{REFP}≦AV_{DD}=V_{DD}≦3.6 V**, V_{SS} = 0 V, AV_{SS} = 0 V，基準電圧（＋）= AV_{REFP},

基準電圧（－）= AV_{REFM} = 0 V，HALTモード）

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能	R_{ES}				12	bit
総合誤差[注1, 2, 3]	AINL	12ビット分解能		±1.7	±3.3	LSB
変換時間	t_{CONV}	ADTYP = 0, 12ビット分解能	3.375			μs
ゼロスケール誤差[注1, 2, 3]	E_{ZS}	12ビット分解能		±1.3	±3.2	LSB
フルスケール誤差[注1, 2, 3]	E_{FS}	12ビット分解能		±0.7	±2.9	LSB
積分直線性誤差[注1, 2, 3]	ILE	12ビット分解能		±1.0	±1.4	LSB
微分直線性誤差[注1, 2, 3]	DLE	12ビット分解能		±0.9	±1.2	LSB
アナログ入力電圧	V_{AIN}		0		AV_{REFP}	V

注1． TYP.値は、AV_{DD} = AV_{REFP} = 3V , T_A = 25℃の平均値です。MAX.値は正規分布における、平均値±3σの値です。

注2． この値は特性評価結果による値であり，出荷検査は行っていません。

注3． 量子化誤差（±1/2 LSB）を含みません。

注意1. 各電源／グランド・ラインにノイズが載らないよう配線を引き回し，コンデンサを挿入する等の対策をしてください。

また，AV_{REFP}の基準電圧ラインは他の電源ラインと分離し，ノイズの影響が及ばないようにしてください。

注意2. A/D変換中は，変換端子の隣接端子とP20-P27, P150-P154に対して，デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

変更後）

（1）基準電圧（＋）= AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（－）= AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI2-ANI12

（T_A = －40～＋85 ℃，2.4 V≦AV_{REFP}≦AV_{DD}=V_{DD}≦3.6 V, V_{SS} = 0 V, AV_{SS} = 0 V，基準電圧（＋）= AV_{REFP}, 基準電圧（－）= AV_{REFM} = 0 V，HALTモード）

項　目	略 号	条　件	MIN.	TYP.	MAX.	単 位
分解能	R_{ES}				12	bit
総合誤差注1, 2, 3	AINL	12**ビット分解能**		±1.7	±3.3	LSB
変換時間	t_{CONV}	ADTYP = 0, 12**ビット分解能**	3.375			μs
ゼロスケール誤差注1, 2, 3	E_{ZS}	12**ビット分解能**		±1.3	±3.2	LSB
フルスケール誤差注1, 2, 3	E_{FS}	12**ビット分解能**		±0.7	±2.9	LSB
積分直線性誤差注1, 2, 3	ILE	12**ビット分解能**		±1.0	±1.4	LSB
微分直線性誤差注1, 2, 3	DLE	12**ビット分解能**		±0.9	±1.2	LSB
アナログ入力電圧	V_{AIN}		0		AV_{REFP}	V

注1.　TYP.**値は、**AV_{DD} = AV_{REFP} = 3V , T_A = 25**℃の平均値です。**MAX.**値は正規分布における、平均値**±3σ**の値です。**

注2.　**この値は特性評価結果による値であり，出荷検査は行っていません。**

注3.　**量子化誤差（**±1/2 LSB**）を含みません。**

注意1.　各電源／グランド・ラインにノイズが載らないよう配線を引き回し，コンデンサを挿入する等の対策をしてください。

また，AV_{REFP}の基準電圧ラインは他の電源ラインと分離し，ノイズの影響が及ばないようにしてください。

注意2.　A/D変換中は，変換端子の隣接端子とP20-P27, P150-P154に対して，デジタル信号のように急激に変化するパルスが入出力されないようにしてください

8. 34. 9 データ・メモリ STOP モード低電源電圧データ保持特性（p.1234）

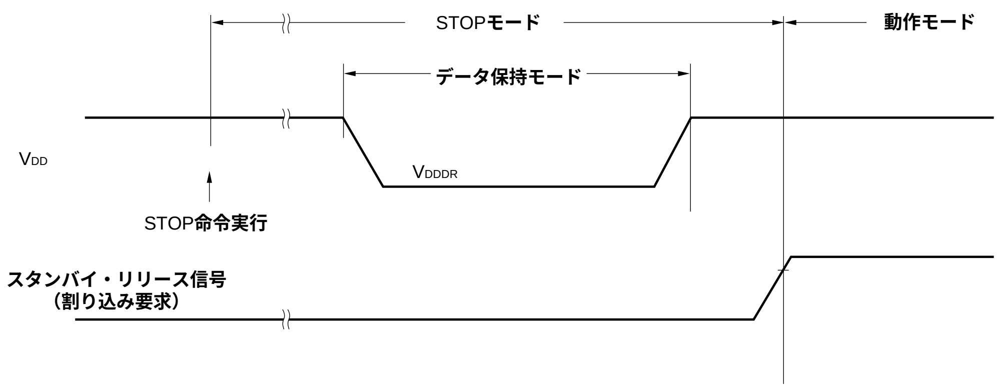
旧）

34. 9 データ・メモリSTOPモード低電源電圧データ保持特性

（T_A = −40～+85 ℃）

項　目	略 号	条　件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.46注		3.6	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではデータを保持しますが，PORリセットがかかった場合のデータは保持されません。



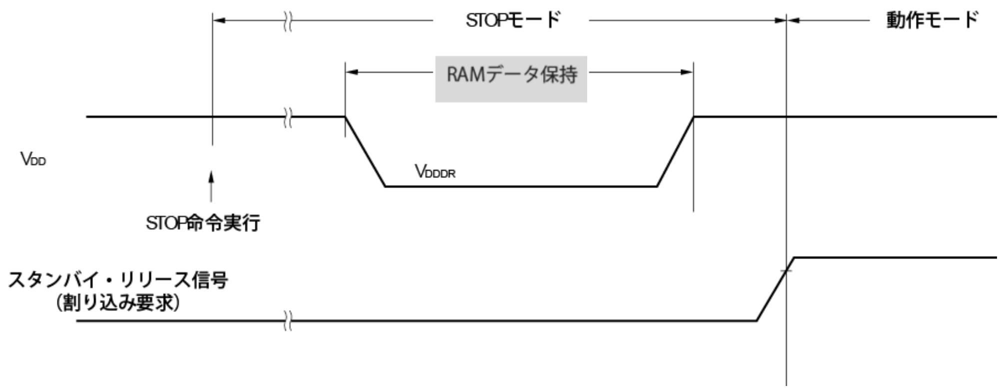
新）

34. 9 RAMデータ保持特性

（T_A = −40～+85 ℃）

項　目	略 号	条　件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.46注		3.6	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではRAMのデータを保持しますが，PORリセットがかかった場合のRAMのデータは保持されません。



9. 35. 9 データ・メモリ STOP モード低電源電圧データ保持特性（p.1294）

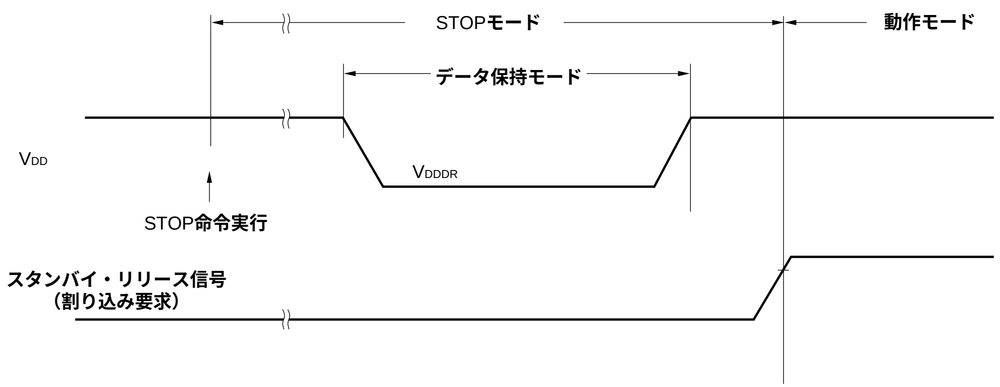
旧）

35. 9　データ・メモリSTOPモード低電源電圧データ保持特性

（TA = －40～＋105 ℃）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
データ保持電源電圧	V_{DDDR}		1.44注		3.6	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではデータを保持しますが，PORリセットがかかった場合のデータは保持されません。



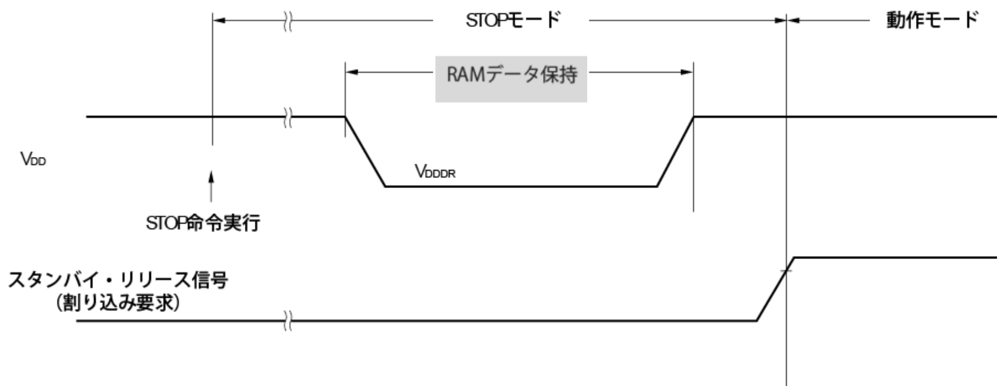
新）

35. 9　RAMデータ保持特性

（TA = －40～＋105 ℃）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
データ保持電源電圧	V_{DDDR}		1.44注		3.6	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではRAMのデータを保持しますが，PORリセットがかかった場合のRAMのデータは保持されません。



10. 8.3.4 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1) 図 8 - 8 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1)のフォーマット(3/3)の記載追加 (p.457)

旧)

RWAIT	リアルタイム・クロック 2 のウエイト制御
0	カウンタ動作設定
1	SEC～YEAR カウンタ停止設定。カウンタ値読み出し，書き込みモード。

カウンタの動作を制御します。
カウンタ値を読み出し，書き込みを行う際は必ず“1”を書き込んでください。
カウンタ(16ビット)は動作を継続するので，1秒以内に読み出しや書き込みを終了し，0に戻してください。
RWAIT = 1に設定後，カウンタ値の読み出し，書き込みが可能(RWST = 1)となるまで最大1クロック(fRTC)の時間がかかります。RWST = 1になっていることを確認したあとカウンタ読み出し，書き込みを行ってください。
カウンタ(16ビット)のオーバフローがRWAIT = 1の時に起きた場合は，オーバフローが起きたことを保持してRWAIT = 0になったあと，カウント・アップします。
ただし，秒カウント・レジスタへの書き込みを行った場合は，オーバフローが起きたことを保持しません。

新）

RWAIT	リアルタイム・クロック 2 のウエイト制御
0	カウンタ動作設定
1	SEC～YEAR カウンタ停止設定。カウンタ値読み出し，書き込みモード。

カウンタの動作を制御します。
カウンタ値を読み出し，書き込みを行う際は必ず“1”を書き込んでください。
カウンタ(16ビット)は動作を継続するので，1秒以内に読み出しや書き込みを終了し，0に戻してください。
RWAIT = 1に設定後，カウンタ値の読み出し，書き込みが可能(RWST = 1)となるまで最大1クロック(fRTC)の時間がかかります。(注1、注2) RWST = 1になっていることを確認したあとカウンタ読み出し，書き込みを行ってください。
カウンタ(16ビット)のオーバフローがRWAIT = 1の時に起きた場合は，オーバフローが起きたことを保持してRWAIT = 0になったあと，カウント・アップします。
ただし，秒カウント・レジスタへの書き込みを行った場合は，オーバフローが起きたことを保持しません。

注1．　RTCE＝1に設定した後、f_{RTC} の1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック（f_{RTC}）の2クロック時間がかかる場合があります。

注2．　スタンバイ（HALTモード、STOPモード、SNOOZEモード）から復帰した後、f_{RTC} の１クロック時間内で、RWAIT=1とした場合、RWSTビットが”1”になるまでに、動作クロック（f_{RTC}）の2クロック時間がかかる場合があります。

11. 5.2 クロック発生回路の構成

図 5 - 1 クロック発生回路のブロック図(USB 搭載製品) 図 5 - 2 クロック発生回路のブロック図(USB 非搭載製品)に対する備考の追加 (p.170)

旧)

備考 f_X： X1 クロック発振周波数

f_{HOCO}： 高速オンチップ・オシレータ・クロック周波数(最大 48 MHz)

f_{IH}： 高速オンチップ・オシレータ・クロックの 1/2/4/8 分周，もしくは PLL クロックの 2/4/8 分周を選択したメイン・システム・クロック・ソースの周波数 (最大 24 MHz)

f_{EX}： 外部メイン・システム・クロック周波数

f_{MX}： 高速システム・クロック周波数

f_{MAIN}： メイン・システム・クロック周波数

f_{XT}： XT1 クロック発振周波数

f_{EXT}： 外部サブシステム・クロック周波数

f_{SUB}： サブシステム・クロック周波数

f_{CLK}：CPU／周辺ハードウエア・クロック周波数

f_{IL}： 低速オンチップ・オシレータ・クロック周波数

新)

備考 f_X： X1 クロック発振周波数

f_{HOCO}： 高速オンチップ・オシレータ・クロック周波数(最大 48 MHz)

f_{IH}： 高速オンチップ・オシレータ・クロックの 1/2/4/8 分周，もしくは PLL クロックの 2/4/8 分周を選択したメイン・システム・クロック・ソースの周波数 (最大 24 MHz)

f_{EX}： 外部メイン・システム・クロック周波数

f_{MX}： 高速システム・クロック周波数

f_{MAIN}： メイン・システム・クロック周波数

f_{XT}： XT1 クロック発振周波数

f_{EXT}： 外部サブシステム・クロック周波数

f_{SUB}： サブシステム・クロック周波数

f_{CLK}：CPU／周辺ハードウエア・クロック周波数

f_{IL}： 低速オンチップ・オシレータ・クロック周波数

f_{PLL}： PLL クロック周波数

f_{USB}： USB クロック周波数

12. 5.3.2 システム・クロック制御レジスタ(CKC)
注意 5.の誤記訂正(p.174)

誤)

注意 5. 高速オンチップ・オシレータ・クロック fHOCO の 48MHz (オプション・バイト(000C2H)の FRQSEL4 = 1), または　PLL クロック(48MHz)を USB／ファンクションコントローラ, または 16 ビット・タイマ KB20, KB21, KB22 に使用する場合は，**CCS** に必ず 0 を設定してください。

正)

注意 5. 高速オンチップ・オシレータ・クロック fHOCO の 48MHz (オプション・バイト(000C2H)の FRQSEL4 = 1), または　PLL クロック(48MHz)を USB／ファンクションコントローラ, または 16 ビット・タイマ KB20, KB21, KB22 に使用する場合は，CSS に必ず 0 を設定してください。

13. 5.3.6 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2) 注の削除(p.180,181)

誤)

図5 － 8 周辺イネーブル・レジスタ0 (PER0)のフォーマット(1/2)

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN注	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCWEN注	リアルタイム・クロック2 (RTC2)の入力クロック供給の制御
0	入力クロック供給停止 リアルタイム・クロック2 (RTC2)で使用するSFRへのライト不可 リアルタイム・クロック2 (RTC2)は動作可能
1	入力クロック供給 リアルタイム・クロック2 (RTC2)で使用するSFRへのリード／ライト可 リアルタイム・クロック2 (RTC2)は動作可能

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 A/Dコンバータで使用するSFRへのライト不可 A/Dコンバータはリセット状態
1	入力クロック供給 A/Dコンバータで使用するSFRへのリード／ライト可

注 RTCWENビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。

注意　ビット6, 1には必ず“0”を設定してください。

正)

図5 － 8 周辺イネーブル・レジスタ0 (PER0)のフォーマット(1/2)

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCWEN	リアルタイム・クロック2 (RTC2)の入力クロック供給の制御
0	入力クロック供給停止(f_{CLK}供給停止) リアルタイム・クロック2 (RTC2)で使用するSFRへのライト不可 リアルタイム・クロック2 (RTC2)は動作可能
1	入力クロック供給 リアルタイム・クロック2 (RTC2)で使用するSFRへのリード／ライト可 リアルタイム・クロック2 (RTC2)は動作可能

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 A/Dコンバータで使用するSFRへのライト不可 A/Dコンバータはリセット状態
1	入力クロック供給 A/Dコンバータで使用するSFRへのリード／ライト可

注意　ビット6, 1には必ず“0”を設定してください。

誤)

図5 - 9 周辺イネーブル・レジスタ0 (PER0)のフォーマット(2/2)

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN注	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

（省略）

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 シリアル・アレイ・ユニット0で使用するSFRへのライト不可 シリアル・アレイ・ユニット0はリセット状態
1	入力クロック供給 シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニットの入力クロック供給の制御
0	入力クロック供給停止 タイマ・アレイ・ユニットで使用するSFRへのライト不可 タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注 RTCWENビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。

注意　ビット6, 1には必ず“0”を設定してください。

正)

図5 - 9 周辺イネーブル・レジスタ0 (PER0)のフォーマット(2/2)

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

（省略）

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 シリアル・アレイ・ユニット0で使用するSFRへのライト不可 シリアル・アレイ・ユニット0はリセット状態
1	入力クロック供給 シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニットの入力クロック供給の制御
0	入力クロック供給停止 タイマ・アレイ・ユニットで使用するSFRへのライト不可 タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注意　ビット6, 1には必ず“0”を設定してください。

14. 5.3.10 PLL 制御レジスタ(DSCCTL)

図 5 - 15 PLL 制御レジスタ(DSCCTL)のフォーマットの記載追加(p.187)

旧)

図5－15　PLL制御レジスタ（DSCCTL）のフォーマット

アドレス：F02E5H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV	DSCM	DSCON

DSFRDIV	PLLリファレンス・クロック分周制御
0	分周なし
1	2分周

備考　PLLリファレンス・クロックは，高速システム・クロック（f_{MX}）です。

DSCM	PLL逓倍選択
0	12逓倍（6倍）
1	16逓倍（8倍）

備考　PLL発振回路の最終段にて2分周されるため，() 内の倍数となります。

DSCON	PLL発振，出力制御
0	停止
1	発振，出力

注意 ビット 3-7 には必ず “0” を設定してください。

新)

図5－15　PLL制御レジスタ（DSCCTL）のフォーマット

アドレス：F02E5H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV	DSCM	DSCON

DSFRDIV	PLLリファレンス・クロック分周制御
0	分周なし
1	2分周

備考　PLLリファレンス・クロックは，高速システム・クロック（f_{MX}）です。

DSCM	PLL逓倍選択
0	12逓倍（6倍）
1	16逓倍（8倍）

備考　PLL発振回路の最終段にて2分周されるため，() 内の倍数となります。

DSCON	PLL発振，出力制御
0	停止
1	発振，出力

注意 1. ビット 3-7 には必ず “0” を設定してください。

注意 2. DSFRDIV と DSCM を変更する場合は、DSCON=0 にしてください。

注意 3. システム・クロックに PLL クロックを選択している場合は、DSCON=0 にしないでください。

15. 5.4.5 PLL (Phase Locked Loop)

注意 2.の誤記訂正(p.188)

誤)

注意 1. PLL モードから，高速オンチップ・オシレータ・クロック，高速システム・クロックに移行する場合は，PLL 出力クロック(f_{PLL})が供給される機能(USB ファンクション・コントローラ)を停止させてください。

注意 2. サブシステム・クロック動作中に **PLL** 動作を行うことはできません。

正)

注意 1. PLL モードから，高速オンチップ・オシレータ・クロック，高速システム・クロックに移行する場合は，PLL 出力クロック(f_{PLL})が供給される機能(USB ファンクション・コントローラ)を停止させてください。

注意 2. CPU がサブシステム・クロック動作中は、PLL 動作開始（DSCON=1）にしないでください。

16. 5.6.1 高速オンチップ・オシレータの設定例

注の記載追加(p.197)

旧)

【オプション・バイト設定】

アドレス：000C2H

オプション・バイト (000C2H)	7	6	5	4	3	2	1	0
	CMODE1 0/1	CMODE0 0/1	1	FRQSEL4 0/1	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
0	0	LV (低電圧メイン)モード	V_{DD} = 1.6 V～3.6 V @ 1 MHz～4 MHz
1	0	LS (低速メイン)モード	V_{DD} = 1.8 V～3.6 V @ 1 MHz～8 MHz
1	1	HS（高速メイン）モード	V_{DD} = 2.4 V～3.6 V@1 MHz～16 MHz V_{DD} = 2.7 V～3.6 V@1 MHz～24 MHz
上記以外		設定禁止	

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数	
					f_{HOCO}	f_{IH}
1	0	0	0	0	48 MHz	24/12/6MHz[注]
(省略)						
上記以外					設定禁止	

注 分周設定はMCKCレジスタを参考してください。

新)

【オプション・バイト設定】

アドレス：000C2H

オプション・バイト (000C2H)	7	6	5	4	3	2	1	0
	CMODE1 0/1	CMODE0 0/1	1	FRQSEL4 0/1	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
0	0	LV (低電圧メイン)モード	V_{DD} = 1.6 V～3.6 V @ 1 MHz～4 MHz
1	0	LS (低速メイン)モード	V_{DD} = 1.8 V～3.6 V @ 1 MHz～8 MHz
1	1	HS（高速メイン）モード[注1]	V_{DD} = 2.4 V～3.6 V@1 MHz～16 MHz V_{DD} = 2.7 V～3.6 V@1 MHz～24 MHz
上記以外		設定禁止	

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数	
					f_{HOCO}	f_{IH}
1	0	0	0	0	48 MHz[注2]	24/12/6MHz[注3]
(省略)						
上記以外					設定禁止	

注1. PLLを使用する時は、HS（高速メイン）モードを選択してください。

注2. PLLを使用する時は、FRQSEL4=0に設定し48MHzは選択しないでください。

注3. 分周設定はMCKCレジスタを参考にしてください。

17. 5.6.4 PLL 回路の設定例

記載追加(p.201)

旧)

【レジスタ設定】①～⑤の順に設定してください。

① DSCCTLレジスタのDSFRDIVビット，DSCMビットを設定して，PLLの逓倍，分周を設定します。

	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV 0/1	DSCM 0/1	DSCON 0

② MCKCレジスタのRDIV1，RDIV0ビットを設定して，システム・クロックの分周を設定します。

	7	6	5	4	3	2	1	0
MCKC	0	0	0	0	0	RDIV1 0/1	RDIV0 0/1	CKSELR 0

③ 1 μs以上のウエイトのあと，DSCCTLレジスタのDSCONビットをセット（1）して，PLL回路を動作させます。[注]

	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV 0/1	DSCM 0/1	DSCON 1

④ ソフトウエアで40 μs（PLL出力安定時間）以上ウエイトします。

⑤ MCKCレジスタのCKSELRビットをセット（1）して，システム・クロックにPLL出力を選択します。

	7	6	5	4	3	2	1	0
MCKC	0	0	0	0	0	RDIV1 0/1	RDIV0 0/1	CKSELR 1

注 X1発振クロックが発振安定してから1 μs以降にPLLを動作させてください。またPLL停止後，再び動作させる場合は4 μs以上待ってから動作させてください。

新)

【レジスタ設定】①～⑤の順に設定してください。

①CSCレジスタのHIOSTOPビットを設定して、高速オンチップ・オシレータを動作させます。

	7	6	5	4	3	2	1	0
CSC	0/1	0/1	0	0	0	0	0	HIOSTOP 0[注1]

②DSCCTLレジスタのDSFRDIVビット，DSCMビットを設定して，PLLの逓倍，分周を設定します。

	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV 0/1	DSCM 0/1	DSCON 0

③MCKCレジスタのRDIV1, RDIV0ビットを設定して，システム・クロックの分周を設定します。

	7	6	5	4	3	2	1	0
MCKC	0	0	0	0	0	RDIV1 0/1	RDIV0 0/1	CKSELR 0[注1]

④1 μs以上のウエイトのあと，DSCCTLレジスタのDSCONビットをセット（1）して，PLL回路を動作させます。[注2]

	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV 0/1	DSCM 0/1	DSCON 1

⑤MCKCレジスタのCKSELRビットをセット（1）して，システム・クロックにPLL出力を選択します。

	7	6	5	4	3	2	1	0
MCKC	0	0	0	0	0	RDIV1 0/1	RDIV0 0/1	CKSELR 1

次ページに続きます。

新)

【レジスタ設定】続き

⑥ソフトウエアで65μsウエイトします。[注3]

⑦CSCレジスタのHIOSTOPビットを設定して、高速オンチップ・オシレータを停止させます。[注2]

	7	6	5	4	3	2	1	0
CSC	0/1	0/1	0	0	0	0	0	HIOSTOP 1[注1]

⑧CKCレジスタのMCM0ビットを設定して、メイン・システム・クロック(f_{MAIN})にPLLクロックの2/4/8分周を選択したメイン・システム・クロック・ソースの周波数(最大24 MHz)(f_{IH})を選択します。

	7	6	5	4	3	2	1	0
CKC	CLS 0/1	CSS 0/1	MCS 0	MCM0 0	0	0	0	0

注1. CKSELR=1の状態からPLLに切り替える時には設定の必要はありません。
　　CKSELR=1に変更する時は必ず高速オンチップ・オシレータを動作させてください。

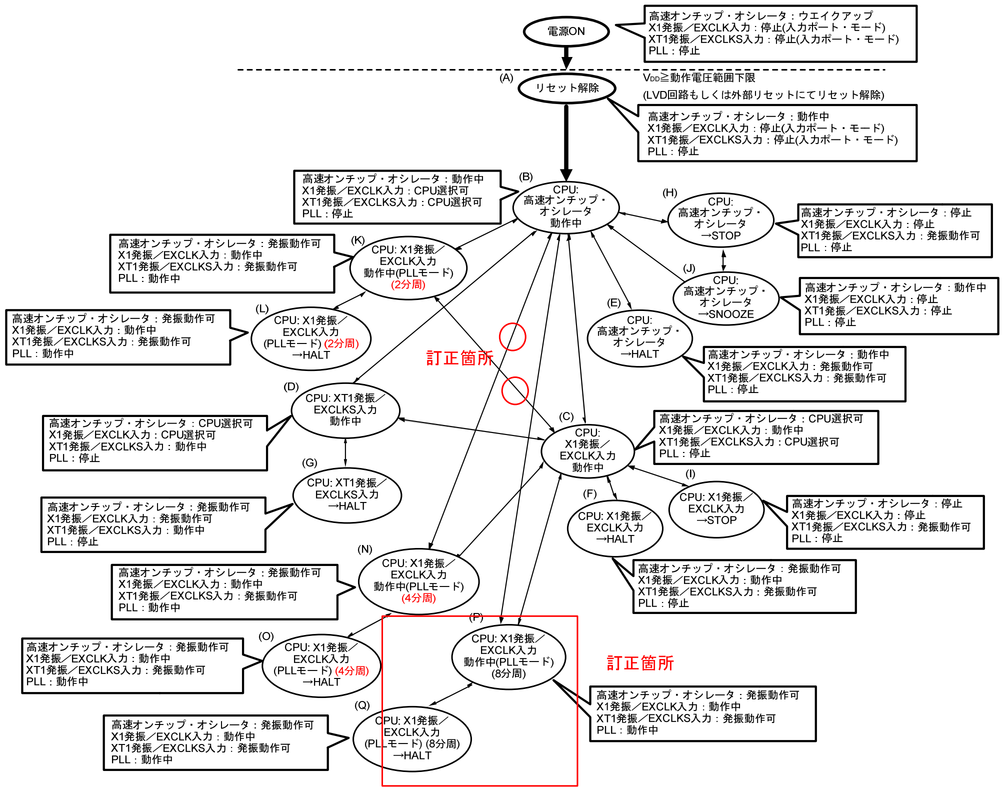
注2. X1発振クロックが発振安定してから1　μs以降にPLLを動作させてください。またPLL停止後，再び動作させる場合は4μs以上待ってから動作させてください。

注3. HIOSTOP=0の設定を行わない場合は40usの発振安定待ちとなります。

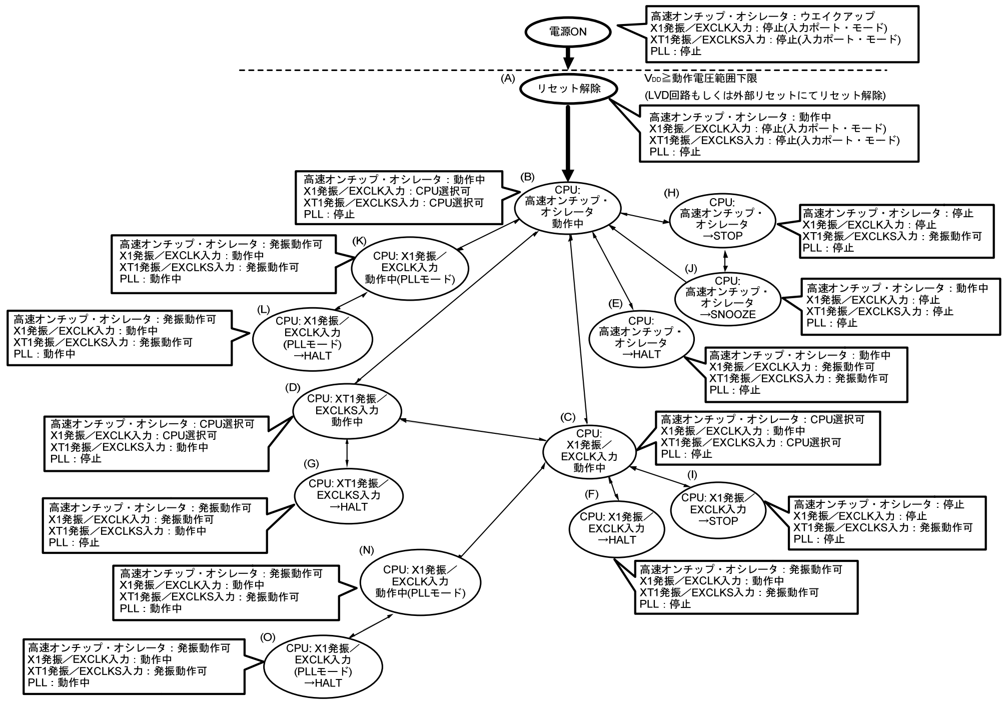
18. 5.6.5 CPU クロック状態移行図

CPU クロック状態移行図と、CPU クロックの移行と SFR レジスタの設定例(USB 非搭載製品)の誤記訂正(p.202)

誤)



正)



19. 5.6.5 CPU クロック状態移行図

表 5 - 4 CPU クロックの移行と SFR レジスタの設定例の誤記訂正(p.203 – p.209)

誤)

（2）リセット解除後 (A) に，CPU を高速システム・クロック動作 (C) へ移行

（リセット解除直後，CPU は高速オンチップ・オシレータ・クロックで動作 (B) ）

（SFRレジスタの設定順序）

状態遷移 ＼ SFRレジスタの設定フラグ	CMCレジスタ[注1]			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A) → (B) → (C) （X1クロック：1 MHz≦fx≦10 MHz）	0	1	0	注2	0	確認必要	1
(A) → (B) → (C) （X1クロック：10 MHz＜fx≦20 MHz）	0	1	0	注2	0	確認必要	1
(A) → (B) → (C) （外部メイン・クロック）	1	1	×	注2	0	確認不要	1

正)

（2）リセット解除後 (A) に，CPU を高速システム・クロック動作 (C) へ移行

（リセット解除直後，CPU は高速オンチップ・オシレータ・クロックで動作 (B) ）

（SFRレジスタの設定順序）

状態遷移 ＼ SFRレジスタの設定フラグ	CMCレジスタ[注1]			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A) → (B) → (C) （X1クロック：1 MHz≦fx≦10 MHz）	0	1	0	注2	0	確認必要	1
(A) → (B) → (C) （X1クロック：10 MHz＜fx≦20 MHz）	0	1	1	注2	0	確認必要	1
(A) → (B) → (C) （外部メイン・クロック）	1	1	×	注2	0	確認不要	1

誤)

（4）CPU を高速オンチップ・オシレータ・クロック動作 (B) から高速システム・クロック動作 (C) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ / 状態遷移	CMCレジスタ[注1]			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(B) → (C)（X1クロック：1 MHz≦fx≦10 MHz）	0	1	0	注2	0	確認必要	1
(B) → (C)（X1クロック：10 MHz<fx≦20 MHz）	0	1	1	注2	0	確認必要	1
(B) → (D)（外部メイン・クロック）	1	1	×	注2	0	確認不要	1

設定済みの場合は不要（CMCレジスタ）

高速システム・クロック動作中の場合は不要（OSTS～CKCレジスタ）

（6）CPU を高速システム・クロック動作 (C) から，高速オンチップ・オシレータ・クロック動作 (B) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ / 状態遷移	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		MCM0
(C) → (B)	0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0 の場合：18 μs～65μs

FRQSEL4 = 1 の場合：18 μs～75 μs

正)

（4）CPU を高速オンチップ・オシレータ・クロック動作 (B) から高速システム・クロック動作 (C) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ / 状態遷移	CMCレジスタ[注1]			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(B) → (C)（X1クロック：1 MHz≦fx≦10 MHz）	0	1	0	注2	0	確認必要	1
(B) → (C)（X1クロック：10 MHz<fx≦20 MHz）	0	1	1	注2	0	確認必要	1
(B) → (C)（外部メイン・クロック）	1	1	×	注2	0	確認不要	1

設定済みの場合は不要（CMCレジスタ）

高速システム・クロック動作中の場合は不要（OSTS～CKCレジスタ）

（6）CPU を高速システム・クロック動作 (C) から，高速オンチップ・オシレータ・クロック動作 (B) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ / 状態遷移	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		MCM0
(C) → (B)	0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0 の場合：18 μs～65μs

FRQSEL4 = 1 の場合：18 μs～135 μs

誤)

（8）CPU をサブシステム・クロック動作（D）から，高速オンチップ・オシレータ・クロック動作（B）へ移行

（SFRレジスタの設定順序） →

SFRレジスタの設定フラグ / 状態遷移	CSCレジスタ HIOSTOP	発振精度安定待ち	CKCレジスタ CSS
(D) → (B)	0	**注**	0

（CSCレジスタ～発振精度安定待ち）高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0 の場合：18 μs～65μs

FRQSEL4 = 1 の場合：18 μs～75 μs

正)

（8）CPU をサブシステム・クロック動作（D）から，高速オンチップ・オシレータ・クロック動作（B）へ移行

（SFRレジスタの設定順序） →

SFRレジスタの設定フラグ / 状態遷移	CSCレジスタ HIOSTOP	発振精度安定待ち	CKCレジスタ CSS
(D) → (B)	0	**注**	0

（CSCレジスタ～発振精度安定待ち）高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0 の場合：18 μs～65μs

FRQSEL4 = 1 の場合：18 μs～135 μs

誤)

（10）・CPU を高速オンチップ・オシレータ・クロック動作（B）から，高速システム・クロック（PLL モード）（2 分周）動作（K）へ移行

・CPU を高速オンチップ・オシレータ・クロック動作（B）から，高速システム・クロック（PLL モード）（4 分周）動作（N）へ移行

・CPU を高速オンチップ・オシレータ・クロック動作（B）から，高速システム・クロック（PLL モード）（8 分周）動作（P）へ移行

・CPU を高速システム・クロック動作（C）から，高速システム・クロック（PLL モード）（2 分周）動作（K）へ移行

・CPU を高速システム・クロック動作（C）から，高速システム・クロック（PLL モード）（4 分周）動作（N）へ移行

・CPU を高速システム・クロック動作（C）から，高速システム・クロック（PLL モード）（8 分周）動作（P）へ移行

（SFRレジスタの設定順序）

SFRレジスタの設定フラグ / 状態遷移	DSCCTLレジスタ		MCKCレジスタ		発振安定待ち	MCKCレジスタ
	DSFRDIV	DSCM	RDIV1	RDIV0		CKSELR
(B) → (K) (B) → (N) (B) → (P) (C) → (K) (C) → (N) (C) → (P)	0/1	0/1	0/1	0/1	40 μs	1

正)

（10）・CPU を高速オンチップ・オシレータ・クロック動作（B）から，高速システム・クロック（PLL モード）動作（K）へ移行

・CPU を高速システム・クロック動作（C）から，高速システム・クロック（PLL モード）動作（N）へ移行

設定例の図を次ページに記載します。

（SFRレジスタの設定順序）

SFR レジスタの設定フラグ / 状態遷移	CMC レジスタ [注1]			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	DSCCTL レジスタ		MCKC レジスタ		発振安定待ち	DSCCTL レジスタ	発振安定待ち	MCKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		DSFRDIV	DSCM	RDIV1	RDIV0		DSCON		CKSELR
(B) → (K) 2 分周	0/1	1	0/1	注 2	0	確認必要	0/1	0/1	0	0		1		1
(B) → (K) 4 分周	0/1	1	0/1	注 2	0	確認必要	0/1	0/1	0	1	1us	1	40us	1
(B) → (K) 8 分周	0/1	1	0/1	注 2	0	確認必要	0/1	0/1	1	0		1		1

注1：クロック動作モード制御レジスタ(CMC)は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。

注2：発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意：CKSELR=1に設定後クロックの切り替えが完了するにはFRQSEL4=1の時は最大２クロック、FRQSEL4=0の時は最大１０クロックかかります。切り替えが完了するまで高速・オンチップ・オシレータは停止しないでください。

（SFRレジスタの設定順序）

SFR レジスタの設定フラグ / 状態遷移	CSC レジスタ	DSCCTL レジスタ		MCKC レジスタ		DSCCTL レジスタ	MCKC レジスタ	発振安定待ち	CSC レジスタ	CKC レジスタ
	HIOSTOP	DSFRDIV	DSCM	RDIV1	RDIV0	DSCON	CKSELR		HIOSTOP	MCM0
(C) → (N) 2 分周	0 [注3]	0/1	0/1	0	0	1	1 [注3]		1 [注3]	0
(C) → (N) 4 分周	0 [注3]	0/1	0/1	0	1	1	1 [注3]	65us [注4]	1 [注3]	0
(C) → (N) 8 分周	0 [注3]	0/1	0/1	1	0	1	1 [注3]		1 [注3]	0

注3. CKSELR=1の状態からPLLに切り替える時には設定の必要はありません。 CKSELR=1に変更する時は必ず高速オンチップ・オシレータを動作させてください。

注4. HIOSTOP=0の設定を行わない場合は40usの発振安定待ちとなります。

誤)

(11) **• CPUを高速システム・クロック(PLLモード) (2分周)動作(K) から，高速オンチップ・オシレータ・クロック動作(B) へ移行**

• CPUを高速システム・クロック(PLLモード) (4分周)動作(N) から，高速オンチップ・オシレータ・クロック動作(B) へ移行

• CPUを高速システム・クロック(PLLモード) (8分周)動作(P) から，高速オンチップ・オシレータ・クロック動作(B) へ移行

• CPUを高速システム・クロック(PLLモード) **(2分周)**動作(K) から，高速システム・クロック動作(C) へ移行

• CPUを高速システム・クロック(PLLモード) (4分周)動作(N) から，高速システム・クロック動作(C)へ移行

• CPUを高速システム・クロック(PLLモード) (8分周)動作(P) から，高速システム・クロック動作(C) へ移行

（SFRレジスタの設定順序）→

状態遷移 \ SFRレジスタの設定フラグ	MCKCレジスタ CKSELR	DSCCTLレジスタ DSCON
(K) → (B)	0	0
(N) → (B)		
(P) → (B)		
(K) → (C)		
(N) → (C)		
(P) → (C)		

正)

(11) • CPUを高速システム・クロック(PLLモード)動作(K) から，高速オンチップ・オシレータ・クロック動作(B) へ移行

• CPUを高速システム・クロック(PLLモード)動作(N) から，高速システム・クロック動作(C) へ移行

状態遷移 \ SFR レジスタの設定フラグ	CSC レジスタ HIOSTOP	発振精度安定待ち	MCKC レジスタ CKSELR	クロック切り替え待ち	DSCCTL レジスタ DSCON
(K) → (B) FRQSEL4=0	0	18～65 μs	0	256 クロック	0
(K) → (B) FRQSEL4=1		18～135 μs		16 クロック	

次ページに続きます。

（SFRレジスタの設定順序）

状態遷移 ＼ SFR レジスタの設定フラグ	CKC レジスタ MCM0	クロック切り替え待ち	DSCCTL レジスタ DSCON
(N) → (C) 2 分周(RDIV1,0 = 00) 高速システム・クロック(fMX) = 16MHz	1	3 クロック	0
(N) → (C) 2 分周(RDIV1,0 = 00) 高速システム・クロック(fMX) = 12MHz		4 クロック	
(N) → (C) 2 分周(RDIV1,0 = 00) 高速システム・クロック(fMX) = 8MHz		6 クロック	
(N) → (C) 2 分周(RDIV1,0 = 00) 高速システム・クロック(fMX) = 6MHz		8 クロック	
(N) → (C) 4 分周(RDIV1,0 = 01) 高速システム・クロック(fMX) = 16MHz		2 クロック	
(N) → (C) 4 分周(RDIV1,0 = 01) 高速システム・クロック(fMX) = 12MHz		2 クロック	
(N) → (C) 4 分周(RDIV1,0 = 01) 高速システム・クロック(fMX) = 8MHz		3 クロック	
(N) → (C) 4 分周(RDIV1,0 = 01) 高速システム・クロック(fMX) = 6MHz		4 クロック	
(N) → (C) 8 分周(RDIV1,0 = 10) 高速システム・クロック(fMX) = 16MHz		2 クロック	
(N) → (C) 8 分周(RDIV1,0 = 10) 高速システム・クロック(fMX) = 12MHz		2 クロック	
(N) → (C) 8 分周(RDIV1,0 = 10) 高速システム・クロック(fMX) = 8MHz		2 クロック	
(N) → (C) 8 分周(RDIV1,0 = 10) 高速システム・クロック(fMX) = 6MHz		2 クロック	

誤)

(12) • CPUが高速オンチップ・オシレータ・クロック動作中(B) にHALTモード(E)へ移行

• CPUが高速システム・クロック動作中(C) にHALTモード(F)へ移行

• CPUがサブシステム・クロック動作中(D) にHALTモード(G)へ移行

• CPUが高速システム・クロック(PLLモード) (2分周)動作中(K) にHALTモード(L)へ移行

• CPUが高速システム・クロック(PLLモード) (4分周)動作中(N) にHALTモード(O)へ移行

• CPUが高速システム・クロック(PLLモード) (8分周)動作中(P) にHALTモード(Q)へ移行

状態遷移	設定内容
(B) → (E) (C) → (F) (D) → (G) (K) → (L) (N) → (O) (P) → (Q)	HALT命令を実行する

(15) • CPUが高速システム・クロック(PLLモード) (2分周)動作中(K) にSTOPモード(I)へ移行

• CPUが高速システム・クロック(PLLモード) (4分周)動作中(N) にSTOPモード(I)へ移行

• CPUが高速システム・クロック(PLLモード) (8分周)動作中(P) にSTOPモード(I)へ移行

PLLモード動作から，高速オンチップ・オシレータ・クロック，高速システム・クロック動作に移行(5.6.5　(11)参照)し，PLLを停止後(DSCON = 0)，STOP命令を実行してください。

正)

(12) • CPUが高速オンチップ・オシレータ・クロック動作中(B) にHALTモード(E)へ移行

• CPUが高速システム・クロック動作中(C) にHALTモード(F)へ移行

• CPUがサブシステム・クロック動作中(D) にHALTモード(G)へ移行

• CPUが高速システム・クロック(PLLモード)動作中(K) にHALTモード(L)へ移行

• CPUが高速システム・クロック(PLLモード)動作中(N) にHALTモード(O)へ移行

状態遷移	設定内容
(B) → (E) (C) → (F) (D) → (G) (K) → (L) (N) → (O)	HALT命令を実行する

(15) • CPUが高速システム・クロック(PLLモード)動作中(K) にSTOPモード(I)へ移行

PLLモード動作から，高速システム・クロック動作に移行し，PLLを停止後(DSCON = 0)，STOP命令を実行してください。

20. 5.6.5 CPU クロック状態移行図
CPU クロック状態移行図と、CPU クロックの移行と SFR レジスタの設定例(USB 非搭載製品)の誤記訂正(p.213)

誤)

（6）CPU を高速システム・クロック動作（C）から，高速オンチップ・オシレータ・クロック動作（B）へ移行

（SFRレジスタの設定順序）→

状態遷移 ＼ SFRレジスタの設定フラグ	CSCレジスタ HIOSTOP	発振精度安定待ち	CKCレジスタ MCM0
(C) → (B)	0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0 の場合：18 μs～65 μs

FRQSEL4 = 1 の場合：18 μs～75 μs

備考　高速オンチップ・オシレータ・クロックの発振精度安定待ちは，温度条件と STOP モード期間によって変化します。

（8）CPU をサブシステム・クロック動作（D）から，高速オンチップ・オシレータ・クロック動作（B）へ移行

（SFRレジスタの設定順序）→

状態遷移 ＼ SFRレジスタの設定フラグ	CSCレジスタ HIOSTOP	発振精度安定待ち	CKCレジスタ CSS
(D) → (B)	0	18 μs～105 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0 の場合：18 μs～65 μs

FRQSEL4 = 1 の場合：18 μs～75 μs

正)

（6）CPU を高速システム・クロック動作（C）から，高速オンチップ・オシレータ・クロック動作（B）へ移行

（SFRレジスタの設定順序）→

状態遷移 ＼ SFRレジスタの設定フラグ	CSCレジスタ HIOSTOP	発振精度安定待ち	CKCレジスタ MCM0
(C) → (B)	0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0 の場合：18 μs～65 μs

FRQSEL4 = 1 の場合：18 μs～135 μs

備考　高速オンチップ・オシレータ・クロックの発振精度安定待ちは，温度条件と STOP モード期間によって変化します。

（8）CPU をサブシステム・クロック動作（D）から，高速オンチップ・オシレータ・クロック動作（B）へ移行

（SFRレジスタの設定順序）→

状態遷移 ＼ SFRレジスタの設定フラグ	CSCレジスタ HIOSTOP	発振精度安定待ち	CKCレジスタ CSS
(D) → (B)	0	18 μs～105 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0 の場合：18 μs～65 μs

FRQSEL4 = 1 の場合：18 μs～135 μs

21. 5.6.6 CPU クロックの移行前の条件と移行後の処理
CPU クロックの移行前の条件と移行後の処理の誤記訂正(p.216-p.217)

誤)

表5−16　CPUクロックの移行について（1/3）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
X1 クロック	(省略)		
	PLLクロック	PLLが発振されていること • DSCON = 1	−

正)

表5−16　CPUクロックの移行について（1/3）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
X1 クロック	(省略)		
	PLLクロック	PLLが発振されていること • DSCON = 1 高速オンチップ・オシレータの発振を許可していること • HIOSTOP = 0 • 発振精度安定時間経過後	−

誤)

表5－16　CPUクロックの移行について（2/3）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイン・システム・クロック	(省略)		
	PLL クロック	PLLが発振されていること ・DSCON = 1	－
(省略)			

正)

表5－16　CPUクロックの移行について（2/3）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイン・システム・クロック	(省略)		
	PLL クロック	PLLが発振されていること ・DSCON = 1 高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	－
(省略)			

22. 6.3.1 周辺イネーブル・レジスタ 0 (PER0)

注の削除(p.240)

誤)

図 6 － 11 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN注	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注 RTCWENビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。

正)

図 6 － 11 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

23. 8.3.1 周辺イネーブル・レジスタ 0 (PER0)

注の削除(p.451)

誤)

図 8 － 2 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN注	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCWEN注	リアルタイム・クロック2の入力クロック供給の制
0	入力クロック供給停止 ・リアルタイム・クロック2で使用するSFRへのライト不可 ・リアルタイム・クロック2は動作可能
1	入力クロック供給 ・リアルタイム・クロック2で使用するSFRへのリード／ライト可 ・リアルタイム・クロック2は動作可能

注 RTCWENビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。

正)

図 8 － 2 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

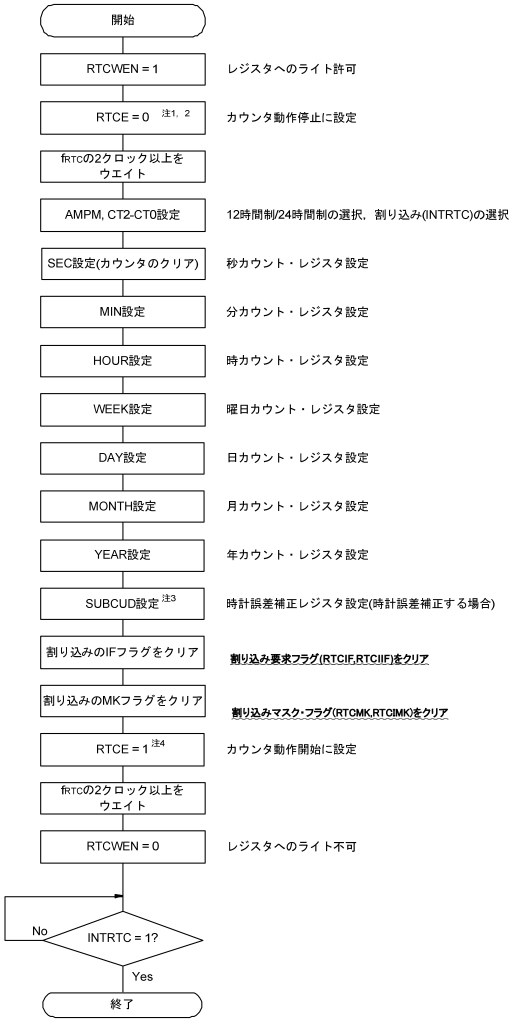
RTCWEN	リアルタイム・クロック2の入力クロック供給の制
0	入力クロック供給停止（f_{CLK}供給停止） ・リアルタイム・クロック2で使用するSFRへのライト不可 ・リアルタイム・クロック2は動作可能
1	入力クロック供給 ・リアルタイム・クロック2で使用するSFRへのリード／ライト可 ・リアルタイム・クロック2は動作可能

24. 8.4.1 リアルタイム・クロック 2 の動作開始

図 8 - 20 リアルタイム・クロック 2 の動作開始手順の誤記訂正(p.469)

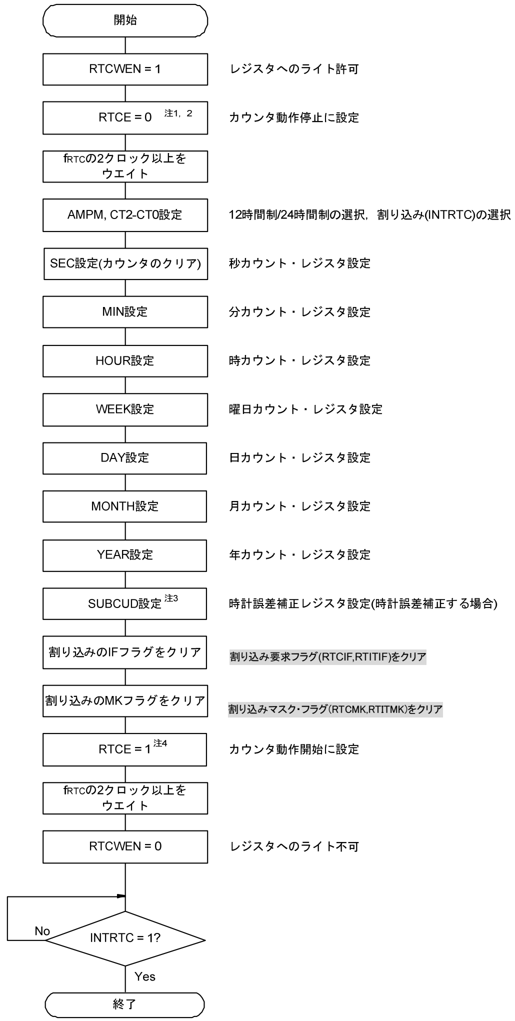
誤)

図 8 - 20 リアルタイム・クロック 2 の動作開始手順



正)

図 8 - 20 リアルタイム・クロック 2 の動作開始手順



25. 12.3.1 周辺イネーブル・レジスタ 0 (PER0)

注の削除(p.502)

誤)

図 12 － 2 周辺イネーブル・レジスタ 0 （PER0）のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN注	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

注 RTCWENビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。

正)

図 12 － 2 周辺イネーブル・レジスタ 0 （PER0）のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

26. 15.3.1 周辺イネーブル・レジスタ 0 (PER0)

注の削除(p.591)

誤)

図 15 － 5 周辺イネーブル・レジスタ 0 （PER0)のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN注	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

注 RTCWENビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。

正)

図 15 － 5 周辺イネーブル・レジスタ 0 （PER0)のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

27. 16.3.1 周辺イネーブル・レジスタ 0 (PER0)
注の削除(p.734)

誤)

図 16 － 5 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN注	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェースIICAnの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAnで使用するSFRへのライト不可 ・シリアル・インタフェースIICAnはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可

注 RTCWENビットはパワーオン・リセットによるリセット時のみ初期化され，その他のリセット要因では，値を保持します。

正)

図 16 － 5 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェースIICAnの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAnで使用するSFRへのライト不可 ・シリアル・インタフェースIICAnはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可

28. 34. 1　絶対最大定格
ハイ・レベル出力電流とロウ・レベル出力電流の誤記訂正(p.1172)

誤)

絶対最大定格(T_A = 25 ℃)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P140-P143	-40	mA
		端子合計 -170 mA	P40-P46	-70	mA
			P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P80-P83, P125-P127, P140-P143	-100	mA
	IOH2	1端子	**P130**, P150-P156	-0.1	mA
		端子合計		**-0.8**	mA
	IOH3	1端子	UDP, UDM	-3	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P140-P143	40	mA
		端子合計 170 mA	P40-P46	70	mA
			P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P80-P83, P125-P127, P140-P143	100	mA
	IOL2	1端子	**P130,** P150-P156	0.4	mA
		端子合計		**3.2**	mA
	IOL3	1端子	UDP, UDM	3	mA

正)

絶対最大定格(T_A = 25 ℃)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	-40	mA
		端子合計 -170 mA	P40-P46	-70	mA
			P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	-100	mA
	IOH2	1端子	P150-P156	-0.1	mA
		端子合計		-0.7	mA
	IOH3	1端子	UDP, UDM	-3	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P130, P140-P143	40	mA
		端子合計 170 mA	P40-P46	70	mA
			P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	100	mA
	IOL2	1端子	P150-P156	0.4	mA
		端子合計		2.8	mA
	IOL3	1端子	UDP, UDM	3	mA

29. 34.3.1 端子特性
ハイ・レベル出力電流とロウ・レベル出力電流の誤記訂正(p.1175, p.1176)

誤)

(TA = -40～+85 ℃, 1.6 V≦AVDD = VDD≦3.6 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流[注1]	IOH1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P140-P143　1端子				-10.0[注2]	mA
		P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P140-P143　合計 (デューティ ＝70%時[注3])	2.7 V≦VDD≦3.6 V			-15.0	mA
			1.8 V≦VDD＜2.7 V			-7.0	mA
			1.6 V≦VDD＜1.8 V			-3.0	mA
	IOH2	P130, P150-P156　1端子	1.6 V≦VDD≦3.6 V			-0.1[注2]	mA
		全端子合計	1.6 V≦VDD≦3.6 V			-0.8	mA

正)

(TA = -40～+85 ℃, 1.6 V≦AVDD = VDD≦3.6 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流[注1]	IOH1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143　1端子				-10.0[注2]	mA
		P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143　合計 (デューティ ＝70%時[注3])	2.7 V≦VDD≦3.6 V			-15.0	mA
			1.8 V≦VDD＜2.7 V			-7.0	mA
			1.6 V≦VDD＜1.8 V			-3.0	mA
	IOH2	P150-P156　1端子	1.6 V≦VDD≦3.6 V			-0.1[注2]	mA
		全端子合計	1.6 V≦VDD≦3.6 V			-0.7	mA

誤)

(TA = -40～+85 ℃, 1.6 V≦AVDD = VDD≦3.6 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流注1	IOL1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P140-P143　1端子				20.0注2	mA
		P60, P61　1端子				15.0注2	mA
		P40-P46　合計 (デューティ ＝70%時注3)	2.7 V≦VDD≦3.6 V			15.0	mA
			1.8 V≦VDD＜2.7 V			9.0	mA
			1.6 V≦VDD＜1.8 V			4.5	mA
		P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P140-P143　合計 (デューティ ＝70%時注3)	2.7 V≦VDD≦3.6 V			35.0	mA
			1.8 V≦VDD＜2.7 V			20.0	mA
			1.6 V≦VDD＜1.8 V			10.0	mA
		全端子合計 (デューティ ＝70%時注3)				50.0	mA
	IOL2	P130, P150-P156　1端子				0.4注2	mA
		全端子合計	1.6 V≦VDD≦3.6 V			3.2	mA

正)

(TA = -40～+85 ℃, 1.6 V≦AVDD = VDD≦3.6 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流注1	IOL1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P130, P140-P143　1端子				20.0注2	mA
		P60, P61　1端子				15.0注2	mA
		P40-P46　合計 (デューティ ＝70%時注3)	2.7 V≦VDD≦3.6 V			15.0	mA
			1.8 V≦VDD＜2.7 V			9.0	mA
			1.6 V≦VDD＜1.8 V			4.5	mA
		P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P130, P140-P143　合計 (デューティ ＝70%時注3)	2.7 V≦VDD≦3.6 V			35.0	mA
			1.8 V≦VDD＜2.7 V			20.0	mA
			1.6 V≦VDD＜1.8 V			10.0	mA
		全端子合計 (デューティ ＝70%時注3)				50.0	mA
	IOL2	P150-P156　1端子				0.4注2	mA
		全端子合計	1.6 V≦VDD≦3.6 V			2.8	mA

30. 35.1 絶対最大定格
ハイ・レベル出力電流とロウ・レベル出力電流の誤記訂正(p.1239)

誤)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P140-P143	-40	mA
		端子合計 -170 mA	P40-P46	-70	mA
			P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P80-P83, P125-P127, P140-P143	-100	mA
	IOH2	1端子	P130, P150-P156	-0.1	mA
		端子合計		-0.8	mA
	IOH3	1端子	UDP, UDM	-3	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P140-P143	40	mA
		端子合計 170 mA	P40-P46	70	mA
			P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P80-P83, P125-P127, P140-P143	100	mA
	IOL2	1端子	P130, P150-P156	0.4	mA
		端子合計		3.2	mA
	IOL3	1端子	UDP, UDM	3	mA

正)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	-40	mA
		端子合計 -170 mA	P40-P46	-70	mA
			P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	-100	mA
	IOH2	1端子	P150-P156	-0.1	mA
		端子合計		-0.7	mA
	IOH3	1端子	UDP, UDM	-3	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P130, P140-P143	40	mA
		端子合計 170 mA	P40-P46	70	mA
			P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	100	mA
	IOL2	1端子	P150-P156	0.4	mA
		端子合計		2.8	mA
	IOL3	1端子	UDP, UDM	3	mA

31. 35.3.1 端子特性

ハイ・レベル出力電流とロウ・レベル出力電流の誤記訂正(p.1242, P.1243)

誤)

(TA = -40～+105 ℃, 2.4 V≦AVDD = VDD≦3.6 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流注1	IOH1	P00-P07，P10-P17，P20-P27，P30-P37，P40-P46，P50-P57，P70-P77，P80-P83，P125-P127，P140-P143　1端子				-10.0注2	mA
		P00-P07，P10-P17，P20-P27，P30-P37，P40-P46，P50-P57，P70-P77，P80-P83，P125-P127, P140-P143　合計 (デューティ ＝70%時注3)	2.7 V≦VDD≦3.6 V			-15.0	mA
			2.4 V≦VDD＜2.7 V			-7.0	mA
	IOH2	P130, P150-P156　1端子				-0.1注2	mA
		全端子合計	2.4 V≦VDD≦3.6 V			-0.8	mA

正)

(TA = -40～+105 ℃, 2.4 V≦AVDD = VDD≦3.6 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流注1	IOH1	P00-P07，P10-P17，P20-P27，P30-P37，P40-P46，P50-P57，P70-P77，P80-P83，P125-P127，P130，P140-P143　1端子				-10.0注2	mA
		P00-P07，P10-P17，P20-P27，P30-P37，P40-P46，P50-P57，P70-P77，P80-P83，P125-P127, P130, P140-P143　合計 (デューティ ＝70%時注3)	2.7 V≦VDD≦3.6 V			-15.0	mA
			2.4 V≦VDD＜2.7 V			-7.0	mA
	IOH2	P150-P156　1端子				-0.1注2	mA
		全端子合計	2.4 V≦VDD≦3.6 V			-0.7	mA

誤)

(TA = -40～+105 ℃, 2.4 V≦AVDD = VDD≦3.6 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流[注1]	IOL1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P140-P143 1端子				20.0[注2]	mA
		P60, P61 1端子				15.0[注2]	mA
		P40-P46 合計 (デューティ = 70%時[注3])	2.7 V≦VDD≦3.6 V			15.0	mA
			2.4 V≦VDD＜2.7 V			9.0	mA
		P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P140-P143 合計 (デューティ = 70%時[注3])	2.7 V≦VDD≦3.6 V			35.0	mA
			2.4 V≦VDD＜2.7 V			20.0	mA
		全端子合計 (デューティ = 70%時[注3])				50.0	mA
	IOL2	P130, P150-P156 1端子				0.4[注2]	mA
		全端子合計	2.4 V≦VDD≦3.6 V			3.2	mA

正)

(TA = -40～+105 ℃, 2.4 V≦AVDD = VDD≦3.6 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流[注1]	IOL1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P130, P140-P143 1端子				20.0[注2]	mA
		P60, P61 1端子				15.0[注2]	mA
		P40-P46 合計 (デューティ = 70%時[注3])	2.7 V≦VDD≦3.6 V			15.0	mA
			2.4 V≦VDD＜2.7 V			9.0	mA
		P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P130, P140-P143 合計 (デューティ = 70%時[注3])	2.7 V≦VDD≦3.6 V			35.0	mA
			2.4 V≦VDD＜2.7 V			20.0	mA
		全端子合計 (デューティ = 70%時[注3])				50.0	mA
	IOL2	P150-P156 1端子				0.4[注2]	mA
		全端子合計	2.4 V≦VDD≦3.6 V			2.8	mA

以上