

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A033A/J	Rev.	第1版
題名	誤記訂正通知 RL78/L1C ユーザーズマニュアル Rev.2.00 の記載変更		情報分類	技術情報	
適用製品	RL78/L1C グループ	対象ロット等 全ロット	関連資料	RL78/L1C ユーザーズマニュアル ハードウェア編 Rev.2.00 R01UH0409JJ0200 (Jun.2014)	

RL78/L1C ユーザーズマニュアル ハードウェア編 Rev.2.00 (R01UH0409JJ0200)において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
3.3.4 特殊機能レジスタ(SFR: Special Function Register)	p.82, p.83	誤記訂正
6.3.3 タイマ・モード・レジスタmn(TMRmn)	p.248	誤記訂正
15.5.7 SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャート(図15-74, 図15-76)	p.663, p.665	誤記訂正
15.6.3 SNOOZEモード機能	p.688	注意追加
15.6.3 SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャート(図15-95, 図15-96, 図15-98)	p.690, p.691, p.693	誤記訂正
17.4.5 FIFOバッファ・メモリ	p.895	説明追加
34.6.1 A/Dコンバータ特性	p.1221	仕様拡張
34.9 データ・メモリSTOPモード低電源電圧データ保持特性	p.1234	記載変更
35.9 データ・メモリSTOPモード低電源電圧データ保持特性	p.1294	記載変更

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0409JJ0200	
1	3.3.4	特殊機能レジスタ(SFR: Special Function Register)の誤記訂正	p.82, p.83	p.3, 4
2	6.3.3	タイマ・モード・レジスタmn(TMRmn)	p.248	p.5
3	15.5.7	SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャート(図15-74, 図15-76)	p.663, p.665	p.6, 7
4	15.6.3	SNOOZEモード機能	p.688	p.8
5	15.6.3	SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャート(図15-95, 図15-96, 図15-98)	p.690, p.691, p.693	p.9 - 11
6	17.4.5	FIFOバッファ・メモリ	p.895	p.12
7	34.6.1	A/Dコンバータ特性	p.1221	p.13, 14
8	34.9	データ・メモリSTOPモード低電源電圧データ保持特性	p.1234	p.15
9	35.9	データ・メモリSTOPモード低電源電圧データ保持特性	p.1294	p.16

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

発行文書履歴

RL78/L1C ユーザーズマニュアル Rev.2.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A033A/J	2014年9月17日	初版発行 訂正一覧の No.1 ~ No.9 の誤記訂正(本通知です。)

1. 3.3.4 特殊機能レジスタ(SFR:Special Function Register)

表 3-7 SFR 一覧(1/4),(2/4)の誤記訂正 (p.82 , p.83)

誤)

表3 - 7 SFR一覧 (1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット範囲			リセット時
				罫			
				1ビット	8ビット	16ビット	
(省略)							
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	-		0000H
FFF11H		-			-	-	
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	-		0000H
FFF13H		-			-	-	
FFF14H	シリアル・データ・レジスタ12	TXD3	SDR12	R/W	-		0000H
FFF15H		SIO30			-	-	
FFF16H	シリアル・データ・レジスタ13	RXD3	SDR13	R/W	-		0000H
FFF17H		-			-	-	
(省略)							

正)

表3 - 7 SFR一覧 (1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット範囲			リセット時
				罫			
				1ビット	8ビット	16ビット	
(省略)							
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	-		0000H
FFF11H		-			-	-	
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	-		0000H
FFF13H		-			-	-	
FFF14H	シリアル・データ・レジスタ12	TXD3 /SIO30	SDR12	R/W	-		0000H
FFF15H		-			-	-	
FFF16H	シリアル・データ・レジスタ13	RXD3	SDR13	R/W	-		0000H
FFF17H		-			-	-	
(省略)							

誤)

表3 - 8 SFR一覧 (2/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
(省略)							
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	-		0000H
FFF45H		-			-		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	-		0000H
FFF47H		-			-		
FFF48H	シリアル・データ・レジスタ10	TXD2	SDR10	R/W	-		0000H
FFF49H		SIO20			-	-	
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	-		0000H
FFF4BH		-			-	-	
(省略)							

正)

表3 - 8 SFR一覧 (2/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
(省略)							
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	-		0000H
FFF45H		-			-		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	-		0000H
FFF47H		-			-		
FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10	R/W	-		0000H
FFF49H		-			-		
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	-		0000H
FFF4BH		-			-	-	
(省略)							

2. 6.3.3 タイマ・モード・レジスタ mn(TMRmn)

図 6-17 タイマ・モード・レジスタ mn(TMRmn)のフォーマット(4/4)の誤記

訂正(p.248)

誤)

図6-17 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス:F0190H, F0191H(TMR00)-F019EH, F019FH(TMR07) リセット時:0000H R/W

(省略)

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード (0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。 その際に割り込みは発生する。
・キャプチャ&ワンカウント・モード(1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは有効とする。 その際に割り込みは発生する。
上記以外		設定禁止

正)

図6-17 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス:F0190H, F0191H(TMR00)-F019EH, F019FH(TMR07) リセット時:0000H R/W

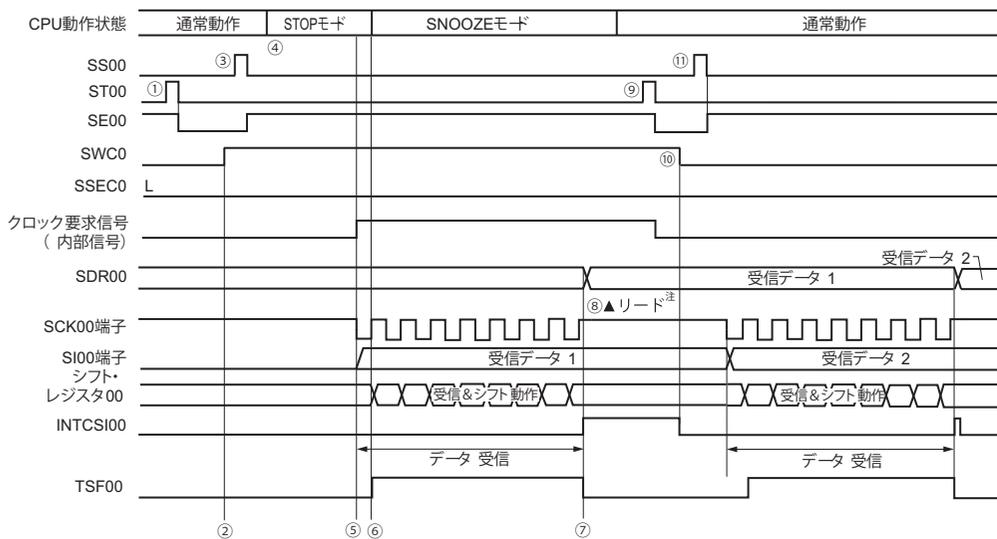
(省略)

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード (0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。 その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード(1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは有効とする。 その際に割り込みは発生する。
上記以外		設定禁止

3. 15.5.7 SNOOZE モード機能
 SNOOZE モード動作時のタイミング・チャート(図 15-74, 図 15-76) (p. 663, p.665)

CPU動作状態、クロック要求信号(内部信号)とTSF00のタイミング・チャートの誤記
 訂正
 誤)

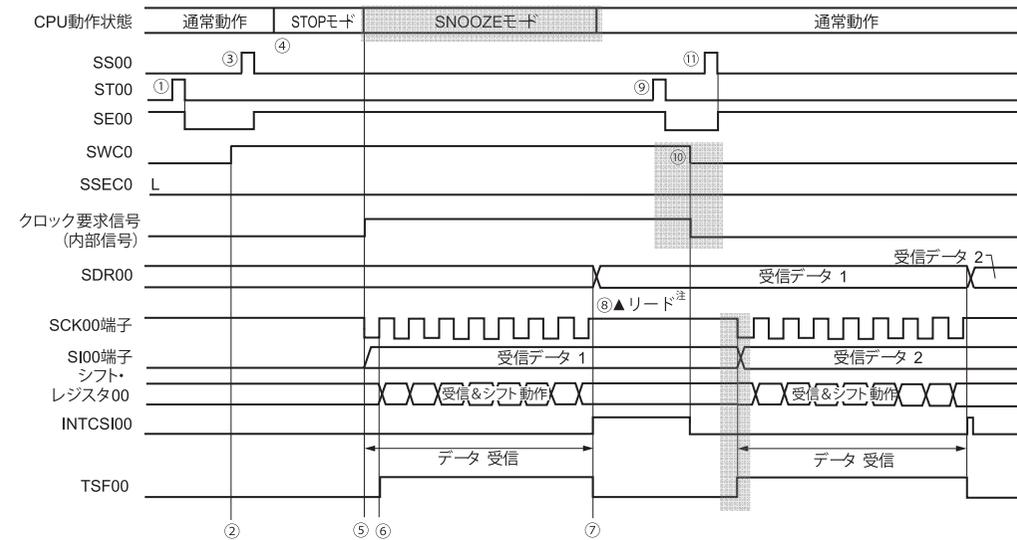
図 15 - 74 SNOOZE モード動作 (1 回起動) 時のタイミング・チャート
 (タイプ 1 : DAPmn =0, CKPmn = 0)



(省略)

正)

図 15 - 74 SNOOZE モード動作 (1 回起動) 時のタイミング・チャート
 (タイプ 1 : DAPmn =0, CKPmn = 0)

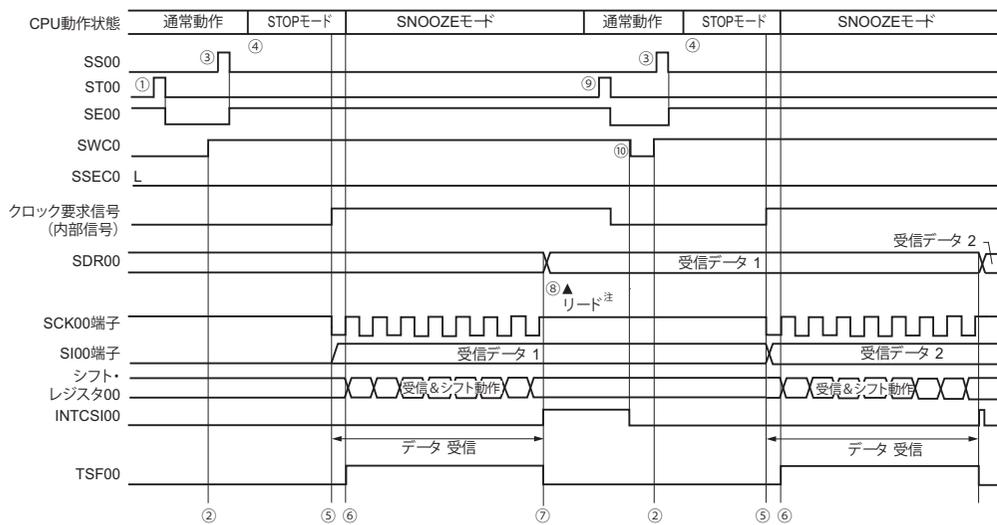


(省略)

CPU動作状態、クロック要求信号（内部信号）とINTCSI00のタイミング・チャートの誤記訂正

誤)

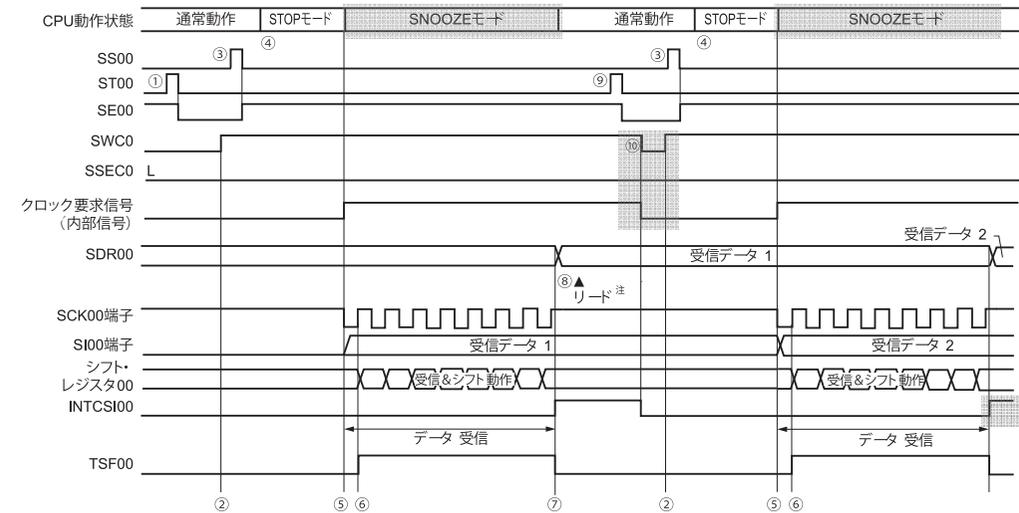
図 15 - 76 SNOOZE モード動作（連続起動）時のタイミング・チャート
（タイプ 1：DAPmn = 0, CKPmn = 0）



(省略)

正)

図 15 - 76 SNOOZE モード動作（連続起動）時のタイミング・チャート
（タイプ 1：DAPmn = 0, CKPmn = 0）



(省略)

4. 15.6.3 SNOOZE モード機能の注意追加(p.688)

誤)

15.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

(省略)

注意1. SNOOZEモードは、 f_{CLK} に高速オンチップ・オシレータ・クロック (f_{IH}) を選択している場合のみ設定可能です。

(省略)

注意4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1 で使用するときには、SWC0= 1 に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq) を読み出してください。

正)

15.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

(省略)

注意1. SNOOZEモードは、 f_{CLK} に高速オンチップ・オシレータ・クロック (f_{IH}) を選択している場合のみ設定可能です。

(省略)

注意4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1 で使用するときには、SWC0= 1 に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq) を読み出してください。

注意5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。

また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

5. 15.6.3 SNOOZE モード機能

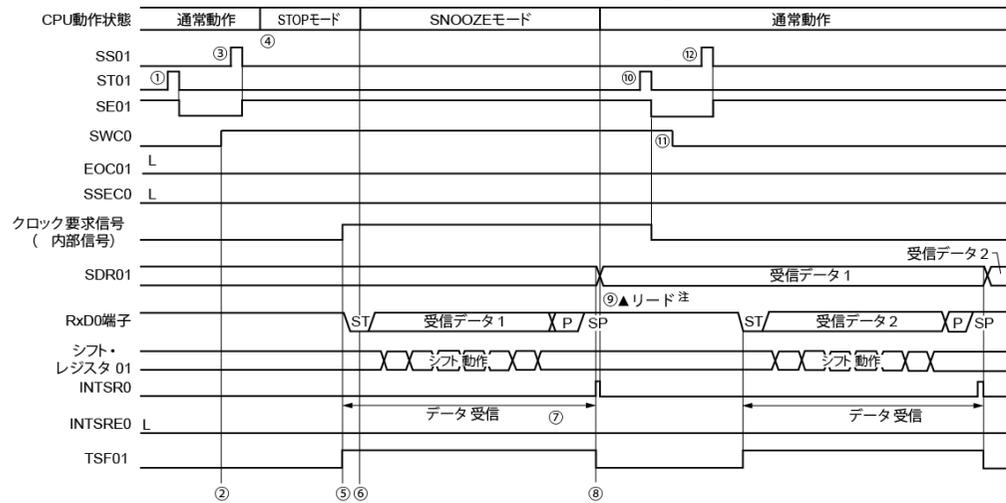
SNOOZE モード動作時のタイミング・チャート(図 15-95, 図 15-96,

図 15-98) (p.690, p.691, p.693)

CPU動作状態、クロック要求信号(内部信号)、INTSR0とTSF01のタイミング・チャートの誤記訂正

誤)

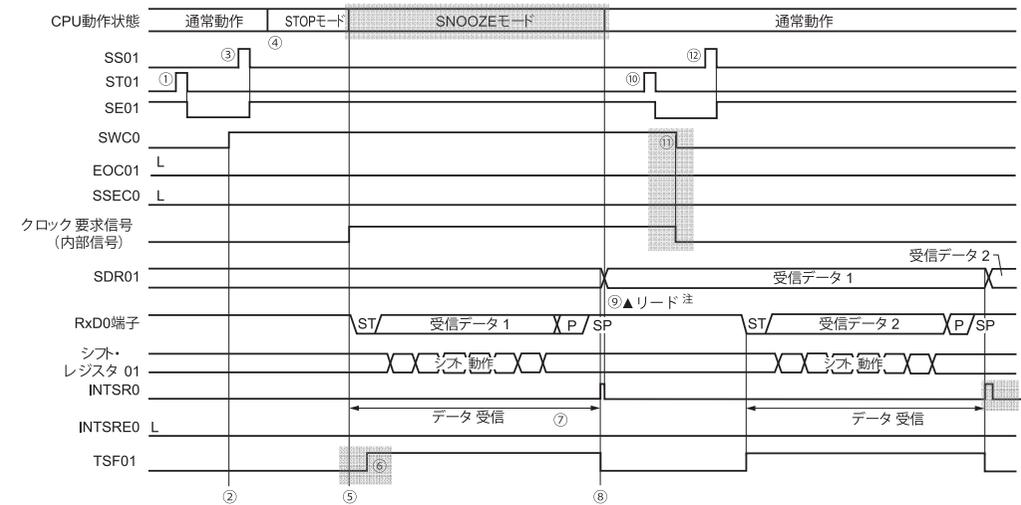
図 15 - 95 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



(省略)

正)

図 15 - 95 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート

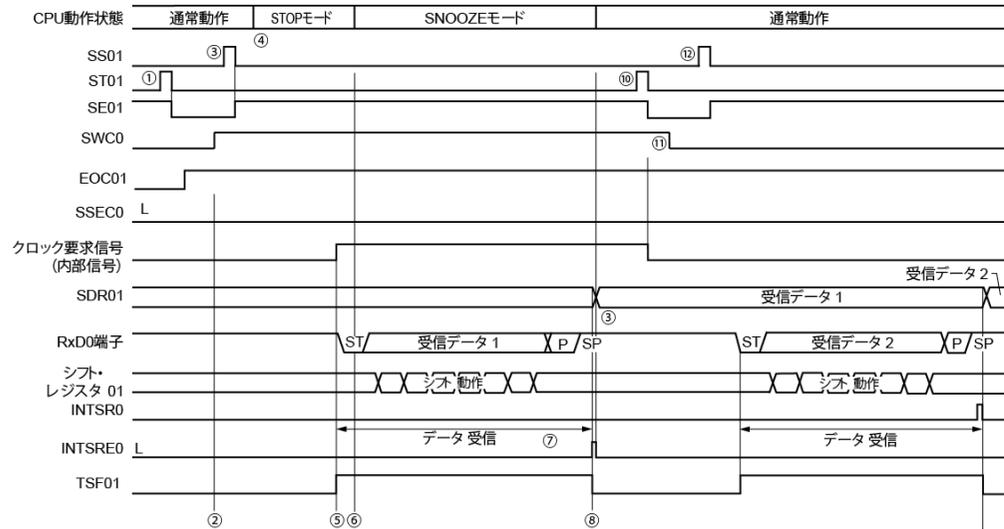


(省略)

CPU 動作状態、クロック要求信号 (内部信号)、SDR01、INTSR0 と TSF01 のタイミング・チャートの誤記訂正

誤)

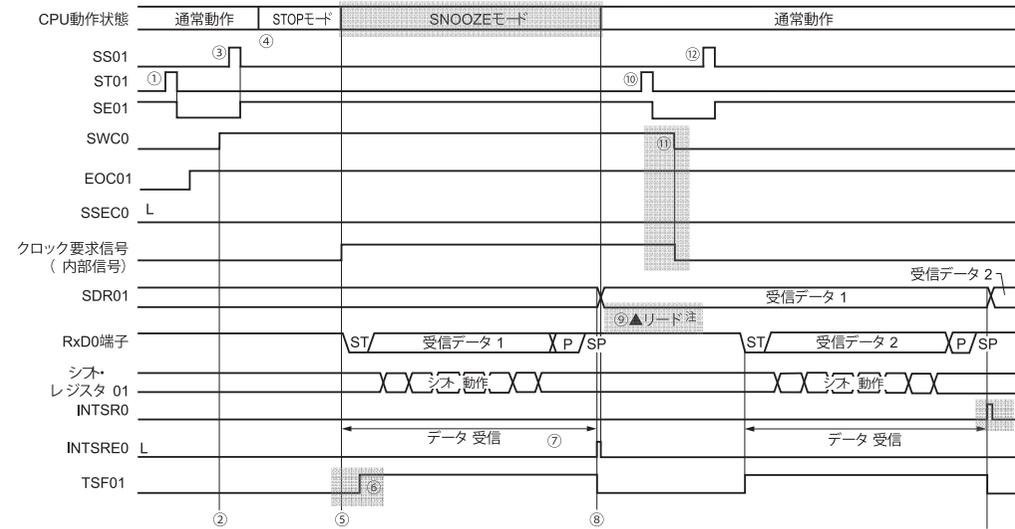
図 15 - 96 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



(省略)

正)

図 15 - 96 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート

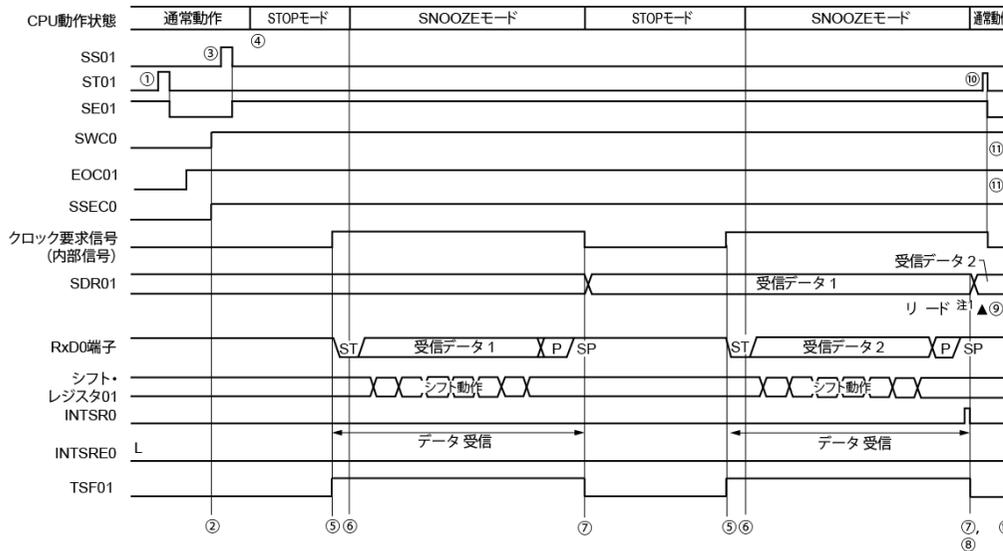


(省略)

CPU動作状態、クロック要求信号(内部信号)、INTSR0とTSF01のタイミング・チャートの誤記訂正

誤)

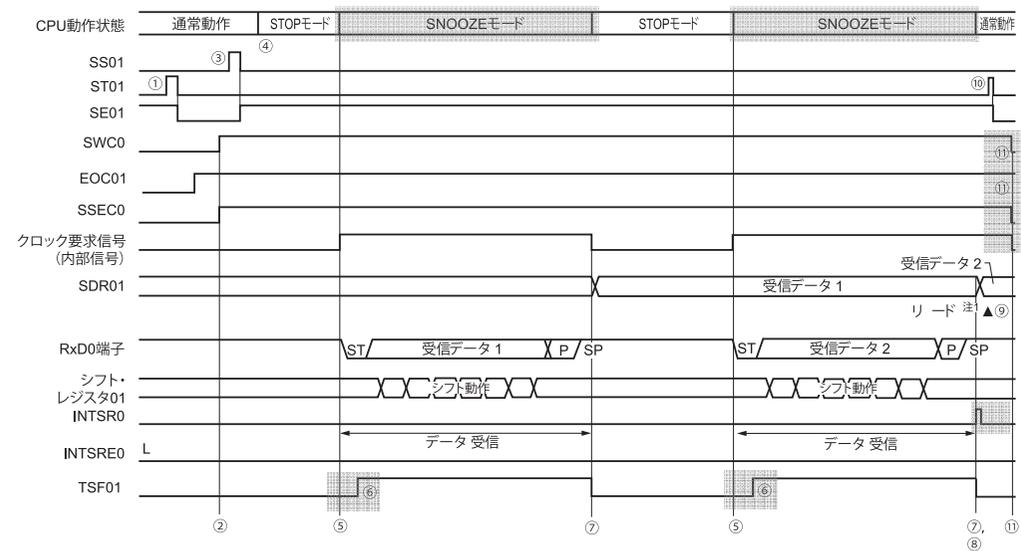
図 15 - 98 SNOOZE モード動作 (EOCm1 = 1, SSECM = 1) 時のタイミング・チャート



(省略)

正)

図 15 - 98 SNOOZE モード動作 (EOCm1 = 1, SSECM = 1) 時のタイミング・チャート



(省略)

6. 17.4.5 FIFO バッファ・メモリ

表 17-22 DTC 設定一覧の説明追加(p.895)

旧)

表17-22 DTC設定一覧

	サイクルスチール転送	ブロック転送
DTCCRj	MODE = 0 (ノーマルモードで使用してください。) SAMOD = FIFO読み出し方向 : 0, FIFO書き込み方向 : 1 DAMOD = FIFO読み出し方向 : 1, FIFO書き込み方向 : 0 (FIFO側のアドレスを固定してください。) CHNE = 0 (チェーン転送を禁止にしてください。) Sz = MBWの設定と合わせてください。 ノーマルモードのため他のビットの設定は無効になります。	
DTBLSj (DTCブロックサイズ)	01H (Sz = 0 : 1バイト/Sz = 1 : 2バイト)	Sz = 0 : Max. Packet Size Sz = 1 : Max. Packet Size/2
DTCCTj	任意 (Max. 256回)	任意 (Max. 256回)

新)

表17-22 DTC設定一覧

	サイクルスチール転送	ブロック転送
DTCCRj	MODE = 0 (ノーマルモードで使用してください。) SAMOD = FIFO読み出し方向 : 0, FIFO書き込み方向 : 1 DAMOD = FIFO読み出し方向 : 1, FIFO書き込み方向 : 0 (FIFO側のアドレスを固定してください。) CHNE = 0 (チェーン転送を禁止にしてください。) Sz = MBWの設定と合わせてください。 ノーマルモードのため他のビットの設定は無効になります。	
DTBLSj (DTCブロックサイズ)	01H (Sz = 0 : 1バイト/Sz = 1 : 2バイト)	Sz = 0 : Max. Packet Size Sz = 1 : Max. Packet Size/2
DTCCTj	任意 (Max. 256回)	任意 (Max. 256回)
DTDARj (ディスティネーションアドレス)	FIFO読み出し方向 : FIFOデータの送信先 FIFO書き込み方向 : D0FIFO00/D1FIFO00	
DTSARj (ソースアドレス)	FIFO読み出し方向 : D0FIFO00/D1FIFO00 FIFO書き込み方向 : FIFOデータの送信元	

注 j=D0FIFO/D1FIFOに割り当てた起動要因番号 (0~23)

DTC の設定方法の詳細は、「第 19 章 データトランスファコントローラ(DTC)」を参照してください。

7. 34. 6. 1 A/D コンバータ特性

A/D 変換精度の電圧範囲を拡張(p.1221)

変更前)

(1) 基準電圧 (+) = $AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = $AV_{REFM}/ANI1$ (ADREFM = 1)
 選択時, 変換対象: ANI2-ANI12

($T_A = -40 \sim +85$ 2.7 V, AV_{REFP} , $AV_{DD}=V_{DD}$, 3.6 V, $V_{SS} = 0$ V, $AV_{SS} = 0$ V, 基準電圧 (+) = AV_{REFP} ,
 基準電圧 (-) = $AV_{REFM} = 0$ V, HALTモード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	R_{ES}				12	bit
総合誤差 ^{注1, 2, 3}	A_{INL}	12ビット分解能		± 1.7	± 3.3	LSB
変換時間	t_{CONV}	ADTYP = 0, 12ビット分解能	3.375			μs
ゼロスケール誤差 ^{注1, 2, 3}	E_{ZS}	12ビット分解能		± 1.3	± 3.2	LSB
フルスケール誤差 ^{注1, 2, 3}	E_{FS}	12ビット分解能		± 0.7	± 2.9	LSB
積分直線性誤差 ^{注1, 2, 3}	I_{LE}	12ビット分解能		± 1.0	± 1.4	LSB
微分直線性誤差 ^{注1, 2, 3}	D_{LE}	12ビット分解能		± 0.9	± 1.2	LSB
アナログ入力電圧	V_{AIN}		0		AV_{REFP}	V

注1. TYP.値は、 $AV_{DD} = AV_{REFP} = 3$ V, $T_A = 25$ の平均値です。MAX.値は正規分布における、平均値 ± 3 の値です。

注2. この値は特性評価結果による値であり、出荷検査は行っていません。

注3. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

注意1. 各電源/グランド・ラインにノイズが載らないよう配線を引き回し、コンデンサを挿入する等の対策をしてください。

また、 AV_{REFP} の基準電圧ラインは他の電源ラインと分離し、ノイズの影響が及ばないようにしてください。

注意2. A/D変換中は、変換端子の隣接端子とP20-P27, P150-P154に対して、デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

変更後)

(1) 基準電圧 (+) = $AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = $AV_{REFM}/ANI1$ (ADREFM = 1)
 選択時, 変換対象: ANI2-ANI12

($T_A = -40 \sim +85$ 2.4 V AV_{REFP} $AV_{DD}=V_{DD}$ 3.6 V, $V_{SS} = 0$ V, $AV_{SS} = 0$ V, 基準電圧(+)= AV_{REFP} ,

基準電圧(-) = $AV_{REFM} = 0$ V, HALTモード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
総合誤差 ^{注1, 2, 3}	AINL	12ビット分解能		± 1.7	± 3.3	LSB
変換時間	t _{CONV}	ADTYP = 0, 12ビット分解能	3.375			μs
ゼロスケール誤差 ^{注1, 2, 3}	E _{ZS}	12ビット分解能		± 1.3	± 3.2	LSB
フルスケール誤差 ^{注1, 2, 3}	E _{FS}	12ビット分解能		± 0.7	± 2.9	LSB
積分直線性誤差 ^{注1, 2, 3}	ILE	12ビット分解能		± 1.0	± 1.4	LSB
微分直線性誤差 ^{注1, 2, 3}	DLE	12ビット分解能		± 0.9	± 1.2	LSB
アナログ入力電圧	V _{AIN}		0		AV_{REFP}	V

注1. TYP.値は、 $AV_{DD} = AV_{REFP} = 3$ V, $T_A = 25$ の平均値です。MAX.値は正規分布における、平均値 ± 3 の値です。

注2. この値は特性評価結果による値であり、出荷検査は行っていません。

注3. 量子化誤差 (± 1/2 LSB) を含みません。

注意1. 各電源/グランド・ラインにノイズが載らないよう配線を引き回し、コンデンサを挿入する等の対策をしてください。

また、 AV_{REFP} の基準電圧ラインは他の電源ラインと分離し、ノイズの影響が及ばないようにしてください。

注意2. A/D変換中は、変換端子の隣接端子とP20-P27, P150-P154に対して、デジタル信号のように急激に変化するパルスが入出力されないようにしてください

8. 34.9 データ・メモリ STOP モード低電源電圧データ保持特性

(p.1234)

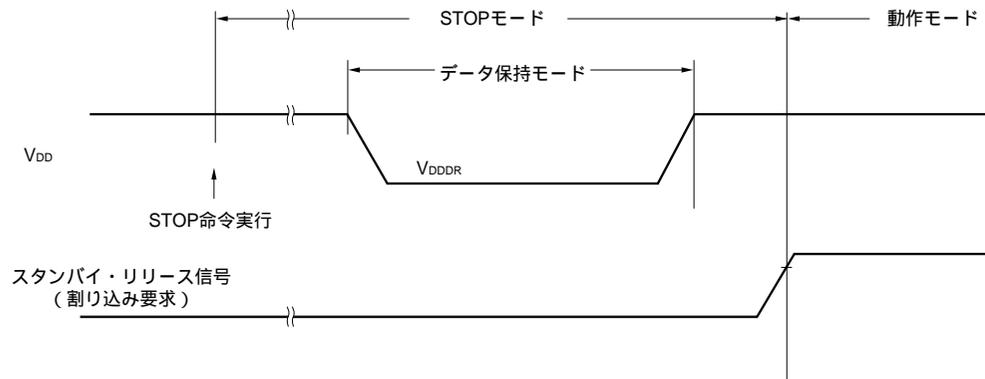
旧)

34.9 データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.46 ^注		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



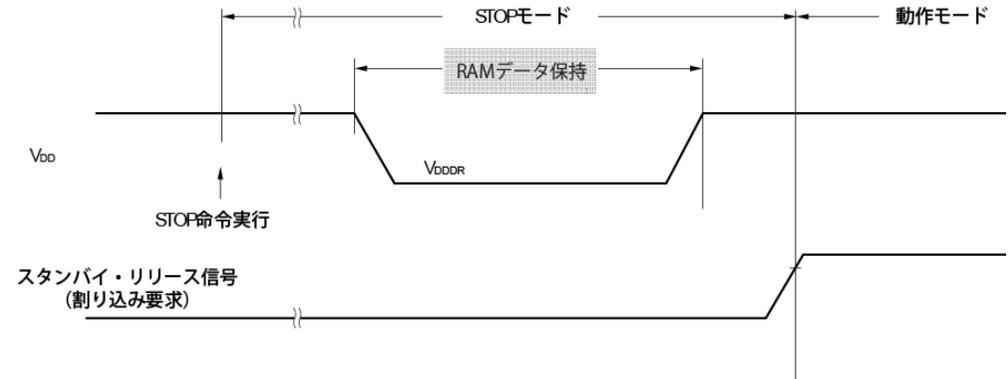
新)

34.9 RAMデータ保持特性

($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.46 ^注		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



9. 35.9 データ・メモリ STOP モード低電源電圧データ保持特性

(p.1294)

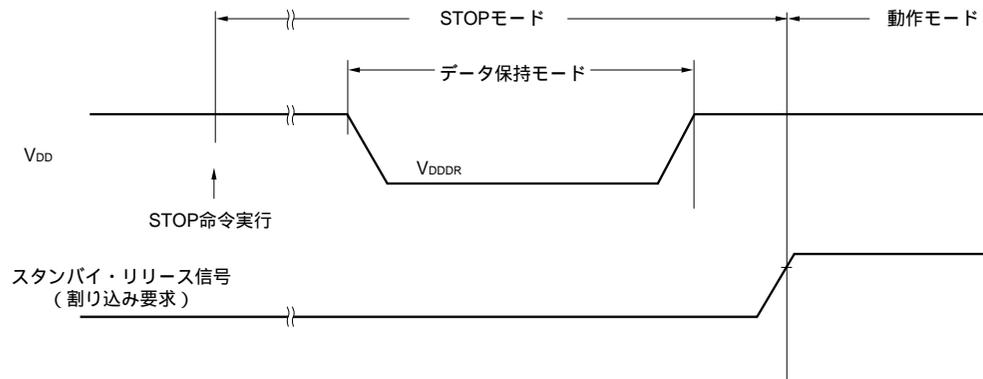
旧)

35.9 データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +105$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.44 ^注		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



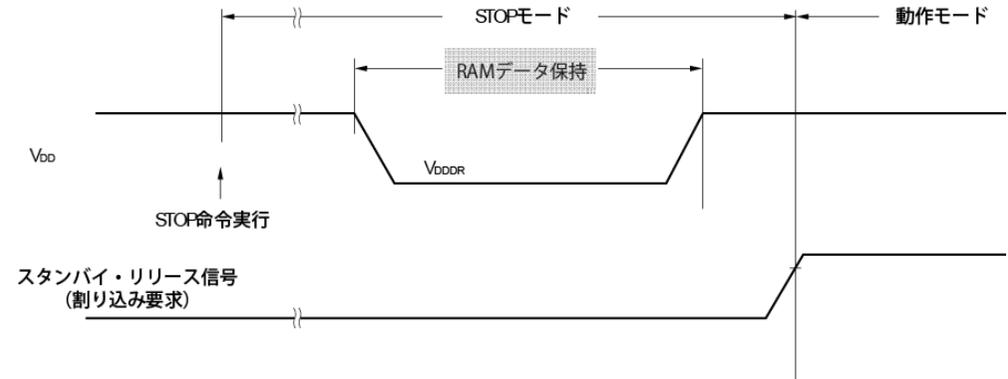
新)

35.9 RAMデータ保持特性

($T_A = -40 \sim +105$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.44 ^注		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



以上