

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>

E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A729A/J	Rev.	第1版
題名	SH7280 グループハードウェアマニュアル誤記訂正		情報分類	技術情報	
適用製品	<ul style="list-style-type: none"> ・ SH7280 グループ ・ SH7243 グループ 	対象ロット等	関連資料	<ul style="list-style-type: none"> ・ SH7280 グループハードウェアマニュアル (RJJ09B0366-0100(H)) 	
		全ロット			

上記適用製品のハードウェアマニュアルにおいて、誤記がございましたので、訂正のご連絡を致します。

詳細は、以下をご参照ください。

<誤記訂正内容>

「1章 概要」 1.1 SH7286/85/43 の特長の表 1.1 SH7286/85/43 の特長 のバスステートコントローラ(BSC)の特長に以下を追記します。

【変更後】

エリアごとに接続するメモリを指定することによって SRAM, バイト選択付き SRAM, SDRAM, バースト ROM(クロック同期/クロック非同期)との直結が可能。また、アドレス/データマルチプレクス I/O(MPX)インターフェースをサポート

「1章 概要」 1.1 SH7286/85/43 の特長の表 1.1 SH7286/85/43 の特長 の電源電圧の特長を以下のように修正します。

【変更前】

・ VCC : 3.0~3.6V または 4.5~5.5V、 AVCC : 4.5~5.5V

【変更後】

・ VCC : 3.0~5.5V、 AVCC : 4.5~5.5V

DrVCC : 3.0~3.6V(USB 使用時)

: 3.0~5.5V(USB 未使用時)

「3章 MCU動作モード」 3.4 アドレスマップの図 3.3 と図 3.5 のモード 0,1 の内蔵 RAM(24KB)と予約の間のアドレスを以下のように修正します。

【変更前】

H'FFF8 7FFF
H'FFF8 8000

【変更後】

H'FFF8 5FFF
H'FFF8 6000

「3章 MCU動作モード」 3.4 アドレスマップの図 3.7 のモード 0,1 の内蔵 RAM(8KB)と予約の間のアドレスを以下のように修正します。

【変更前】

H'FFF8 2FFF
H'FFF8 3000

【変更後】

H'FFF8 1FFF
H'FFF8 2000

「5章 例外処理」 5.3.1 アドレスエラー発生要因の表 5.6 に以下のように追加します。

【変更前】

データ読み出し ／書き込み	CPUまたは DMAC また は DTC	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを16 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを8 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
		シングルチップモード時に外部メモリにアクセスしたとき	アドレスエラー発生

【変更後】

データ読み出し /書き込み	CPUまたは DMAC また は DTC	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ダブルロングワードデータをダブルロングワード境界からアクセス	なし (正常)
		ダブルロングワードデータをダブルロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを16 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを8 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
		シングルチップモード時に外部メモリにアクセスしたとき	アドレスエラー発生

「6章 割り込みコントローラ(INTC)」 6.3 レジスタの説明の表 6.2 を以下のように修正します。

【変更前】

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	*1	H' FFFE0800	16、32
割り込みコントロールレジスタ 1	ICR1	R/W	H' 0000	H' FFFE0802	16、32
IRQ 割り込み要求レジスタ	IRQRR	R/(W)*2	H' 0000	H' FFFE0806	16、32
バンクコントロールレジスタ	IBCR	R/W	H' 0000	H' FFFE080C	16、32
バンク番号レジスタ	IBNR	R/W	H' 0000	H' FFFE080E	16、32
割り込み優先レベル設定レジスタ 01	IPR01	R/W	H' 0000	H' FFFE0818	16、32
割り込み優先レベル設定レジスタ 02	IPR02	R/W	H' 0000	H' FFFE081A	16、32
割り込み優先レベル設定レジスタ 05	IPR05	R/W	H' 0000	H' FFFE0820	16、32
割り込み優先レベル設定レジスタ 06	IPR06	R/W	H' 0000	H' FFFE0C00	16、32
割り込み優先レベル設定レジスタ 07	IPR07	R/W	H' 0000	H' FFFE0C02	16、32
割り込み優先レベル設定レジスタ 08	IPR08	R/W	H' 0000	H' FFFE0C04	16、32
割り込み優先レベル設定レジスタ 09	IPR09	R/W	H' 0000	H' FFFE0C06	16、32
割り込み優先レベル設定レジスタ 10	IPR10	R/W	H' 0000	H' FFFE0C08	16、32
割り込み優先レベル設定レジスタ 11	IPR11	R/W	H' 0000	H' FFFE0C0A	16、32
割り込み優先レベル設定レジスタ 12	IPR12	R/W	H' 0000	H' FFFE0C0C	16、32
割り込み優先レベル設定レジスタ 13	IPR13	R/W	H' 0000	H' FFFE0C0E	16、32
割り込み優先レベル設定レジスタ 14	IPR14	R/W	H' 0000	H' FFFE0C10	16、32
割り込み優先レベル設定レジスタ 15	IPR15	R/W	H' 0000	H' FFFE0C12	16、32
割り込み優先レベル設定レジスタ 16	IPR16	R/W	H' 0000	H' FFFE0C14	16、32
割り込み優先レベル設定レジスタ 17	IPR17	R/W	H' 0000	H' FFFE0C16	16、32
割り込み優先レベル設定レジスタ 18	IPR18	R/W	H' 0000	H' FFFE0C18	16、32
USB-DTC 転送割り込み要求レジスタ	USDENDRR	R/(W)*2	H' 0000	H' FFFE0C50	16、32

【変更後】

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	*1	H' FFFE0800	16、32
割り込みコントロールレジスタ 1	ICR1	R/W	H' 0000	H' FFFE0802	16
IRQ 割り込み要求レジスタ	IRQRR	R/(W)*2	H' 0000	H' FFFE0806	16
バンクコントロールレジスタ	IBCR	R/W	H' 0000	H' FFFE080C	16、32
バンク番号レジスタ	IBNR	R/W	H' 0000	H' FFFE080E	16
割り込み優先レベル設定レジスタ 01	IPR01	R/W	H' 0000	H' FFFE0818	16、32
割り込み優先レベル設定レジスタ 02	IPR02	R/W	H' 0000	H' FFFE081A	16
割り込み優先レベル設定レジスタ 05	IPR05	R/W	H' 0000	H' FFFE0820	16
割り込み優先レベル設定レジスタ 06	IPR06	R/W	H' 0000	H' FFFE0C00	16、32
割り込み優先レベル設定レジスタ 07	IPR07	R/W	H' 0000	H' FFFE0C02	16
割り込み優先レベル設定レジスタ 08	IPR08	R/W	H' 0000	H' FFFE0C04	16、32
割り込み優先レベル設定レジスタ 09	IPR09	R/W	H' 0000	H' FFFE0C06	16
割り込み優先レベル設定レジスタ 10	IPR10	R/W	H' 0000	H' FFFE0C08	16、32
割り込み優先レベル設定レジスタ 11	IPR11	R/W	H' 0000	H' FFFE0C0A	16
割り込み優先レベル設定レジスタ 12	IPR12	R/W	H' 0000	H' FFFE0C0C	16、32
割り込み優先レベル設定レジスタ 13	IPR13	R/W	H' 0000	H' FFFE0C0E	16
割り込み優先レベル設定レジスタ 14	IPR14	R/W	H' 0000	H' FFFE0C10	16、32
割り込み優先レベル設定レジスタ 15	IPR15	R/W	H' 0000	H' FFFE0C12	16
割り込み優先レベル設定レジスタ 16	IPR16	R/W	H' 0000	H' FFFE0C14	16、32
割り込み優先レベル設定レジスタ 17	IPR17	R/W	H' 0000	H' FFFE0C16	16
割り込み優先レベル設定レジスタ 18	IPR18	R/W	H' 0000	H' FFFE0C18	16
USB-DTC 転送割り込み要求レジスタ	USDTEHDR	R/(W)*2	H' 0000	H' FFFE0C50	16

「6章 割り込みコントローラ(INTC)」 6.3.1 割り込み優先レベル設定レジスタ 01,02,05~18の表 6.3 を以下のように修正します。

【変更前】

レジスタ名	ビット			
	15~12	11~8	7~4	3~0
割り込み優先レベル設定レジスタ 01	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ 02	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ 05	予約	予約	ADIO	ADI1
割り込み優先レベル設定レジスタ 06	DMAC0	DMAC1	DMAC2	DMAC3
割り込み優先レベル設定レジスタ 07	DMAC4	DMAC5	DMAC6	DMAC7
割り込み優先レベル設定レジスタ 08	CMT0	CMT1	BSC	WDT
割り込み優先レベル設定レジスタ 09	MTU0 (TGI0A~TGI0D)	MTU0 (TCI0V、TGI0E、 TGI0F)	MTU1 (TGI1A、TGI1B)	MTU1 (TCI1V、TCI1U)
割り込み優先レベル設定レジスタ 10	MTU2 (TGI2A、TGI2B)	MTU2 (TCI2V、TCI2U)	MTU3 (TGI3A~TGI3D)	MTU3 (TCI3V)
割り込み優先レベル設定レジスタ 11	MTU4 (TGI4A~TGI4D)	MTU4 (TCI4V)	MTU5 (TGI5U、TGI5V、 TGI5W)	POE2 (OEI1、OEI2)
割り込み優先レベル設定レジスタ 12	MTU3S (TGI3A~TGI3D)	MTU3S (TCI3V)	MTU4S (TGI4A~TGI4D)	MTU4S (TCI4V)
割り込み優先レベル設定レジスタ 13	MTU5S (TGI5U、TGI5V、 TGI5W)	POE2 (OEI3)	IIC3*1	予約
割り込み優先レベル設定レジスタ 14	予約	予約	予約	SCIF3
割り込み優先レベル設定レジスタ 15	予約	予約	予約	予約
割り込み優先レベル設定レジスタ 16	SCIO	SCI1*1	SCI2	予約
割り込み優先レベル設定レジスタ 17	SSU*1	SCI4*1	ADI2*2	予約
割り込み優先レベル設定レジスタ 18	USB*1	RCAN*2	EP1-FIFO フル DTC 転送終了*1	EP2-FIFO エンプティ DTC 転送終了*1

【変更後】

レジスタ名	ビット			
	15~12	11~8	7~4	3~0
割り込み優先レベル設定レジスタ 01	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ 02	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ 05	予約	予約	ADI0	ADI1
割り込み優先レベル設定レジスタ 06	DMAC0	DMAC1	DMAC2	DMAC3
割り込み優先レベル設定レジスタ 07	DMAC4	DMAC5	DMAC6	DMAC7
割り込み優先レベル設定レジスタ 08	CMI0	CMI1	BSC	WDT
割り込み優先レベル設定レジスタ 09	MTU2_0 (TGIA_0~TGID_0)	MTU2_0 (TCIV_0、TGIE_0、 TGIF_0)	MTU2_1 (TGIA_1、TGIB_1)	MTU2_1 (TCIV_1、TCIU_1)
割り込み優先レベル設定レジスタ 10	MTU2_2 (TGIA_2、TGIB_2)	MTU2_2 (TCIV_2、TCIU_2)	MTU2_3 (TGIA_3~TGID_3)	MTU2_3 (TCIV_3)
割り込み優先レベル設定レジスタ 11	MTU2_4 (TGIA_4~TGID_4)	MTU2_4 (TCIV_4)	MTU2_5 (TGIU_5、TGIV_5、 TGIW_5)	POE2 (OEI1、OEI2)
割り込み優先レベル設定レジスタ 12	MTU2S_3 (TGIA_3~TGID_3)	MTU2S_3 (TCIV_3)	MTU2S_4 (TGIA_4~TGID_4)	MTU2S_4 (TCIV_4)
割り込み優先レベル設定レジスタ 13	MTU2S_5 (TGIU_5、TGIV_5、 TGIW_5)	POE2 (OEI3)	IIC3*1	予約
割り込み優先レベル設定レジスタ 14	予約	予約	予約	SCIF3
割り込み優先レベル設定レジスタ 15	予約	予約	予約	予約
割り込み優先レベル設定レジスタ 16	SCIO	SCI1*1	SCI2	予約
割り込み優先レベル設定レジスタ 17	SSU*1	SCI4*1	ADI2*2	予約
割り込み優先レベル設定レジスタ 18	USB*1 (USIO、USI1)	RCAN_ET*2	EP1-FIFO フル DTC 転送終了*1 (USBRX1)	EP2-FIFO エンプティ DTC 転送終了*1 (USBTX1)

「6章 割り込みコントローラ(INTC)」 6.5 割り込み例外処理ベクタテーブルと優先順位の表 6.4 の USB,MTU2,MTU2S の割り込み要因番号を以下のように修正します。

【変更前】

USB	EP1-FIFO フル DTC 転送終了	
	EP2-FIFO エンプティ DTC 転送終了	
MTU2	MTU0	TGIA_0
		TGIB_0
		TGIC_0
		TGID_0
		TCIV_0
		TGIE_0
		TGIF_0
	MTU1	TGIA_1
		TGIB_1
		TCIV_1
		TCIU_1
	MTU2	TGIA_2
		TGIB_2
		TCIV_2
		TCIU_2
	MTU3	TGIA_3
		TGIB_3
		TGIC_3
		TCIV_3
	MTU4	TGIA_4
		TGIB_4
		TGIC_4
		TGID_4
		TCIV_4
	MTU5	TGIU_5
		TGIV_5
		TGIW_5

MTU2S	MTU3S	TGIA_3
		TGIB_3
		TGIC_3
		TGID_3
		TCIV_3
	MTU4S	TGIA_4
		TGIB_4
		TGIC_4
		TGID_4
		TCIV_4
	MTU5S	TGIU_5
		TGIV_5
		TGIW_5

【変更後】

USB	EP1-FIFO フル DTC 転送終了 (USBRXI)	
	EP2-FIFO エンプティ DTC 転送終了 (USBTXI)	
MTU2	MTU2_0	TGIA_0
		TGIB_0
		TGIC_0
		TGID_0
		TCIV_0
		TGIE_0
	MTU2_1	TGIA_1
		TGIB_1
		TCIV_1
		TCIU_1
	MTU2_2	TGIA_2
		TGIB_2
		TCIV_2
	MTU2_3	TGIA_3
		TGIB_3
		TGIC_3
		TGID_3
	MTU2_4	TCIV_3
		TGIA_4
		TGIB_4
		TGIC_4
	MTU2_5	TGID_4
		TCIV_4
		TGIU_5
TGIV_5		
		TGIW_5

MTU2S	MTU2S_3	TGIA_3S	
		TGIB_3S	
		TGIC_3S	
		TGID_3S	
		TCIV_3S	
	MTU2S_4	TGIA_4S	
		TGIB_4S	
		TGIC_4S	
		TGID_4S	
	MTU2S_5	TCIV_4S	
		TGIU_5S	
			TGIV_5S
			TGIW_5S

「6章 割り込みコントローラ(INTC)」 P6-35 の 6.10 使用上の注意事項に下記の項目を追記します。

【変更後】

6.10.2 NMI を使用しない場合

NMI を使用しない場合は、抵抗を用いて VCC に接続し、ハイに固定してください。

「7章 ユーザブ레이크コントローラ(UBC)」 P7-27 の 7.5 使用上の注意事項に下記の項目を追記します。

【変更後】

- 9. DIVU、DIVS 命令の次命令に命令実行前ブ레이크を設定しないでください。DIVU、DIVS 命令の次命令に対して命令実行前ブ레이크を設定した場合、DIVU、DIVS 命令実行中に例外、割り込みが発生し、DIVU、DIVS 命令の実行が中断されても、次命令の命令実行前ブ레이크が発生します。
- 10. 同一アドレスに命令実行前ブ레이크と命令実行後ブ레이크を同時に設定しないでください。たとえば、同一アドレスに対して、同時にチャンネル0 命令実行前/チャンネル1 命令実行後ブ레이크を設定した場合、チャンネル0 で命令実行前にブ레이크が発生してもチャンネル1 の命令実行後の条件一致フラグが成立します。

「8章 データトランスファコントローラ(DTC)」 P8-2 の【注】を以下のように修正します。

【変更前】

【注】 * 転送情報を内蔵 RAM に配置した場合、必ず RAMCR の RAME ビットを 1 にセットしてください。

【変更後】

【注】 * 転送情報を内蔵 RAM に配置した場合、必ず SYSCR1 の RAME ビットを 1 にセットしてください。

「8章 データトランスファコントローラ(DTC)」 P8-13 の表 8.2 割り込み要因と DTC ベクタアドレスおよび対応する DTCE を以下のように修正します。

【変更前】

起動要因発生元	起動要因
・	・
RCAN	RM0_0
・	・
USB	USRDTCE
	USTDTCEND
・	・
MTU2S_CH3	TGISA_3
	TGISB_3
	TGISC_3
	TGISD_3
MTU2S_CH4	TGISA_4
	TGISB_4
	TGISC_4
	TGISD_4
	TCISV_4
MTU2S_CH5	TGISU_5
	TGISV_5
	TGISW_5

【変更後】

起動要因発生元	起動要因
・	・
RCAN_ET	RM0_0
・	・
USB	EP1 FIFO フル転送要因 (USBRX1)
	EP2-FIFO エンプティ転送要求 (USBTX1)
・	・
MTU2S_CH3	TGIA_3S
	TGIB_3S
	TGIC_3S
	TGID_3S
MTU2S_CH4	TGIA_4S
	TGIB_4S
	TGIC_4S
	TGID_4S
	TCIV_4S
MTU2S_CH5	TGIU_5S
	TGIV_5S
	TGIW_5S

「10章 ダイレクトメモリアクセスコントローラ(DMAC)」 10.3.9 DMA 拡張リソースセクタ 0~3(DMARS0~DMARS3)の4行目、5行目を下記のように追記修正します。

【変更前】

SCIF からの8 要因、IIC3 からの2 要因、A/D 変換器からの2 要因、MTU2 からの5 要因、CMT からの2 要因に対して転送要求を受け付けることができるように設定できます。

【変更後】

SCIF からの2 要因、IIC3 からの2 要因、A/D 変換器からの1 要因、MTU2 からの5 要因、CMT からの2 要因、USBからの2 要因、RCAN_ETからの1 要因、SSUからの2 要因に対して転送要求を受け付けることができるように設定できます。

「10章 ダイレクトメモリアクセスコントローラ(DMAC)」 10.3.9 DMA 拡張リソースセクタ 0~3(DMARS0~DMARS3)の表 10.4 を以下のように修正します。

【変更前】

周辺モジュール	
USB	EP1FIFO
	EP2FIFO
RCAN	RM0_0
SSU	SSTXI
	SSRXI
SCIF_3	TXI3
	RXI3
IIC3	TXI
	RXI
A/D 変換器_0	ADIO
MTU2_0	TGIOA
MTU2_1	TGI1A
MTU2_2	TGI2A
MTU2_3	TGI3A
MTU2_4	TGI4A
CMT_0	CMT_0
CMT_1	CMT_1

【変更後】

周辺モジュール	
USB	USBRXI
	USBTXI
RCAN_ET	RM0_0
SSU	SSTXI
	SSRXI
SCIF_3	TXI3
	RXI3
IIC3	TXI
	RXI
A/D 変換器_0	ADIO
MTU2_0	TGIA_0
MTU2_1	TGIA_1
MTU2_2	TGIA_2
MTU2_3	TGIA_3
MTU2_4	TGIA_4
CMT_0	CMIO
CMT_1	CMI1

「10章 ダイレクトメモリアクセスコントローラ(DMAC)」 P10-25 表 10.8 を以下のように修正します。

【変更前】

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	MID	RID					
1000	100000	01	USB 受信	EP1FIFO フル転送要求	USBEPDR1	任意	サイクル スチール
		10	USB 送信	EP2FIFO エンプティ転送要求	任意	USBEPDR2	サイクル スチール
	100001	10	RCAN	RM0_0(RCAN 受信割り込み)	MB0~15*	任意	サイクル スチール
	・	・	・	・	・	・	・
	・	・	・	・	・	・	・
	・	・	・	・	・	・	・
	111000	11	MTU2_0	TGI0A	任意	任意	サイクル スチール/ バースト
	111001	11	MTU2_1	TGI1A	任意	任意	
	111010	11	MTU2_2	TGI2A	任意	任意	
	111011	11	MTU2_3	TGI3A	任意	任意	
111100	11	MTU2_4	TGI4A	任意	任意		
111110	11	CMT_0	コンペアマッチ転送要求 0	任意	任意	サイクル スチール/ バースト	
111111	11	CMT_1	コンペアマッチ転送要求 1	任意	任意		

【変更後】

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	MID	RID					
1000	100000	01	USB 受信	EP1FIFO フル転送要求(USB RXI)	USBEPDR1	任意	サイクル スチール
		10	USB 送信	EP2FIFO エンプティ転送要求 (USB TXI)	任意	USBEPDR2	サイクル スチール
	100001	10	RCAN_ET	RM0_0(RCAN_ET 受信割り込み)	MB0~15*	任意	サイクル スチール
	・	・	・	・	・	・	・
	・	・	・	・	・	・	・
	・	・	・	・	・	・	・
	111000	11	MTU2_0	TGIA_0	任意	任意	サイクル スチール/ バースト
	111001	11	MTU2_1	TGIA_1	任意	任意	
	111010	11	MTU2_2	TGIA_2	任意	任意	
	111011	11	MTU2_3	TGIA_3	任意	任意	
111100	11	MTU2_4	TGIA_4	任意	任意		
111110	11	CMT_0	コンペアマッチ転送要求 0	任意	任意	サイクル スチール/ バースト	
111111	11	CMT_1	コンペアマッチ転送要求 1	任意	任意		

「11章 マルチファンクションタイマパルスユニット2(MTU2)」 P11-40 TIER_5 を以下のように修正します。

【変更前】

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TGIE5U	0	R/W	TGR インタラプトイネーブル5U TCNTU_5 とTGRU_5 のコンペアマッチによるTGIU_5 割り込み要求の発生を許可または禁止します。 0：TGIU_5 割り込み要求を禁止 1：TGIU_5 割り込み要求を許可
1	TGIE5V	0	R/W	TGR インタラプトイネーブル5V TCNTV_5 とTGRV_5 のコンペアマッチによるTGIV_5 割り込み要求の発生を許可または禁止します。 0：TGIV_5 割り込み要求を禁止 1：TGIV_5 割り込み要求を許可
0	TGIE5W	0	R/W	TGR インタラプトイネーブル5W TCNTW_5 とTGRW_5 のコンペアマッチによるTGIW_5 割り込み要求の発生を許可または禁止します。 0：TGIW_5 割り込み要求を禁止 1：TGIW_5 割り込み要求を許可

【変更後】

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TGIE5U	0	R/W	TGR インタラプトイネーブル5U TSR_5 とCMFU5 ビットに1がセットされたとき、CMFU5 ビットによる割り込み要求(TGIU_5)を許可または禁止します。 0：TGIU_5 割り込み要求を禁止 1：TGIU_5 割り込み要求を許可
1	TGIE5V	0	R/W	TGR インタラプトイネーブル5V TSR_5 とCMFV5 ビットに1がセットされたとき、CMFV5 ビットによる割り込み要求(TGIV_5)を許可または禁止します。 0：TGIV_5 割り込み要求を禁止 1：TGIV_5 割り込み要求を許可
0	TGIE5W	0	R/W	TGR インタラプトイネーブル5W TSR_5 とCMFW5 ビットに1がセットされたとき、CMFW5 ビットによる割り込み要求(TGIW_5)を許可または禁止します。 0：TGIW_5 割り込み要求を禁止 1：TGIW_5 割り込み要求を許可

「11章 マルチファンクションタイマパルスユニット2(MTU2)」 P11-49 の 11.3.9 を以下のように修正します。

【変更前】

11.3.9 タイマシンクロクリアレジスタ (TSYCR)

TSYCR は、8ビットの読み出し/書き込み可能なレジスタで、MTU2 からの MTU2S の TCNT_3、TCNT_4 の同期クリア条件の設定を行います。MTU2S には、チャンネル3に1本の TSYCR があります。ただし、MTU2 には TSYCR はありません。

【変更前】

11.3.9 タイマシンクロクリアレジスタ S (TSYCRS)

TSYCRS は、8ビットの読み出し/書き込み可能なレジスタで、MTU2 からの MTU2S の TCNT_3、TCNT_4 の同期クリア条件の設定を行います。MTU2S には、チャンネル3に1本の TSYCRS があります。ただし、MTU2 には TSYCRS はありません。

「11章 マルチファンクションタイマパルスユニット2(MTU2)」 P11-67 の11.3.23 の下に【注】を追記します。

【変更後】

【注】 * MTU2S で BDC ビットに 1 を設定した場合、FB ビットには 0 を設定しないでください。

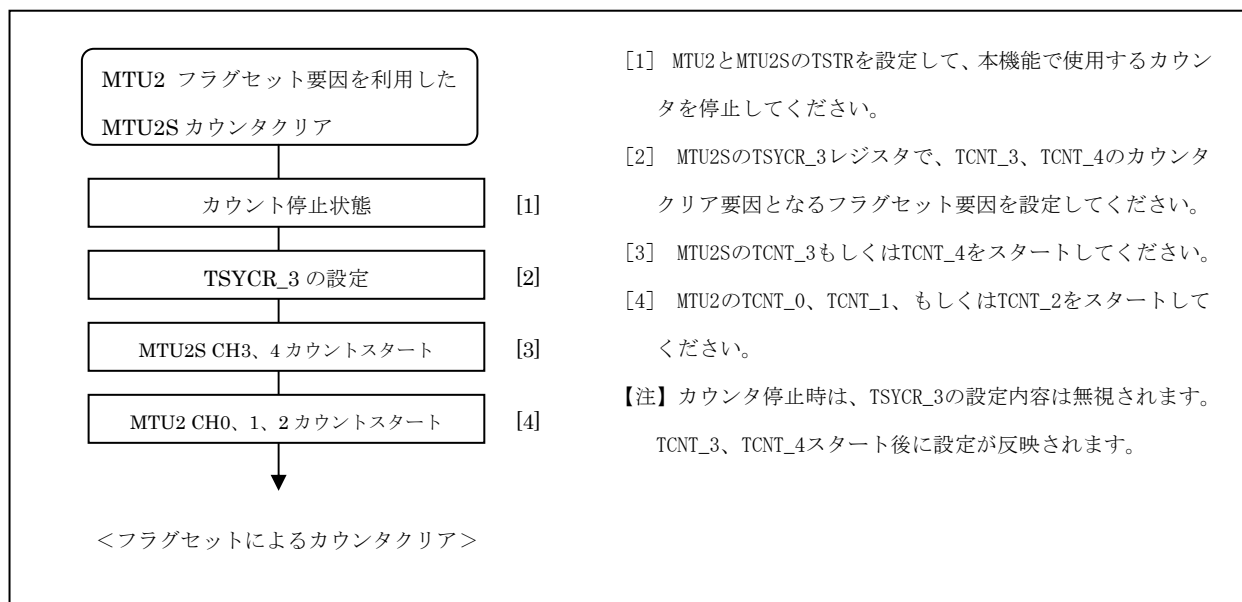
「11章 マルチファンクションタイマパルスユニット2(MTU2)」 P11-148 を以下のように修正します。

【変更前】

(2) MTU2 フラグセット要因を利用した MTU2S カウンタクリア (MTU2-MTU2S カウンタ同期クリア)
 MTU2S は TSYCR_3 レジスタを設定することにより、MTU2 の TSR_0~TSR_2 のフラグセット要因を利用して、
 カウンタクリアすることができます。

(a) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例

MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例を図 11.85 に示します。

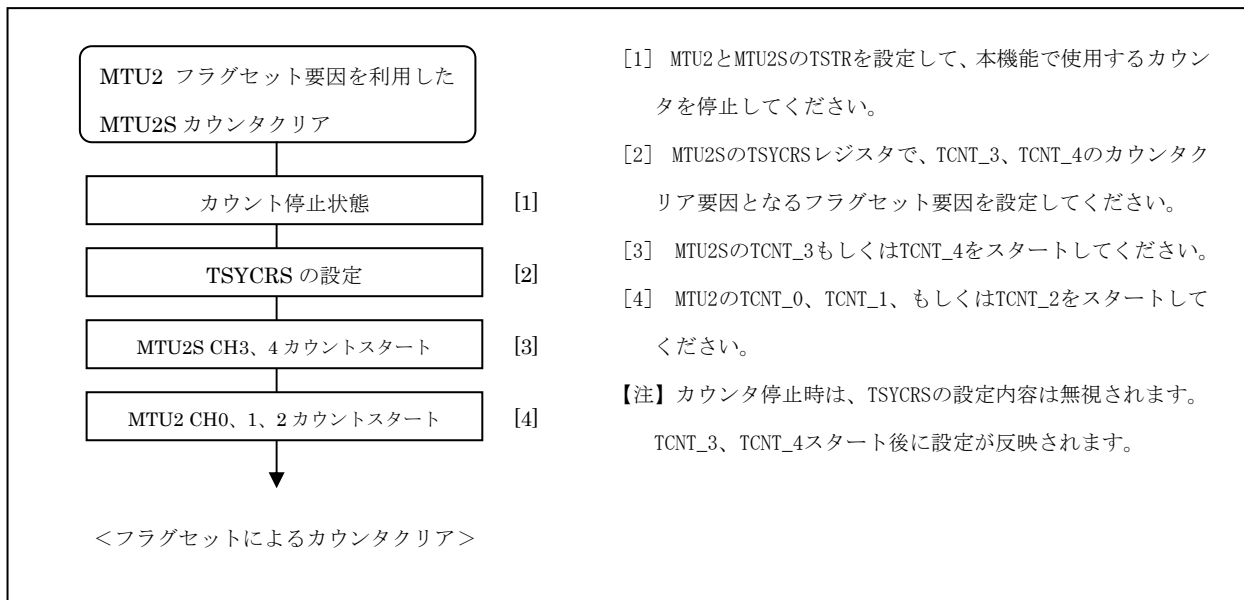


【変更後】

(2) MTU2 フラグセット要因を利用した MTU2S カウンタクリア (MTU2-MTU2S カウンタ同期クリア)
 MTU2S は TSYCRS レジスタを設定することにより、MTU2 の TSR_0~TSR_2 のフラグセット要因を利用して、
 カウンタクリアすることができます。

(a) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例

MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例を図 11.85 に示します。



「12章 マルチファンクションタイマパルスユニット 2S (MTU2S)」 P12-5 を以下のように修正します。

【変更前】

タイマシンクロクリアレジスタ S	TSYCRS	R/W	H'00	H'FFFE4A50	8
------------------	--------	-----	------	------------	---

【変更後】

タイマシンクロクリアレジスタ S*1	TSYCRS	R/W	H'00	H'FFFE4A50	8
--------------------	--------	-----	------	------------	---

*1 レジスタの詳細な説明は「第 11 章 マルチファンクションタイマパルスユニット 2 (MTU2)」の「11.3.9 タイマシンクロクリアレジスタ S (TSYCRS)」と図 11.85 を参照してください。

「13章 ポートアウトプットイネーブル 2 (POE2)」 13.2 入出力端子の表 13.1 を以下のように修正します。

【変更前】

名称	端子名	入出力	機能
ポートアウトプットイネーブル入力端子 0~3	POE0~POE3	入力	MTU2 用の大電流端子 (PE9/TIOC3B、PE11/TIOC3D、PE12/TIOC4A、PE13/TIOC4B、PE14/TIOC4C、PE15/TIOC4D) をハイインピーダンス状態にする要求信号を入力
ポートアウトプットイネーブル入力端子 4~7	POE4~POE7	入力	MTU2S 用の大電流端子 (PE5/TIOC3BS、PE6/TIOC3DS、PE0/TIOC4AS、PE1/TIOC4BS、PE2/TIOC4CS、PE3/TIOC4DS、PD10/TIOC3BS、PD11/TIOC3DS、PD12/TIOC4AS、PD13/TIOC4BS、PD14/TIOC4CS、PD15/TIOC4DS、PD29/TIOC3BS、PD28/TIOC3DS、PD27/TIOC4AS、PD26/TIOC4BS、PD25/TIOC4CS、PD24/TIOC4DS) をハイインピーダンス状態にする要求信号を入力
ポートアウトプットイネーブル入力端子 8	POE8	入力	MTU2 用のCH0 端子 (PE0/TIOC0A、PE1/TIOC0B、PE2/TIOC0C、PA3/TIOC0D) をハイインピーダンス状態にする要求信号を入力

【変更後】

名称	端子名	入出力	機能
ポートアウトプットイネーブル入力端子0～3	POE0～POE3	入力	MTU2 用の大電流端子 (PE9/TIOC3B、PE11/TIOC3D、PE12/TIOC4A、PE13/TIOC4B、PE14/TIOC4C、PE15/TIOC4D) をハイインピーダンス状態にする要求信号を入力
ポートアウトプットイネーブル入力端子4～7	POE4～POE7	入力	MTU2S 用の大電流端子 (PE5/TIOC3BS、PE6/TIOC3DS、PE0/TIOC4AS、PE1/TIOC4BS、PE2/TIOC4CS、PE3/TIOC4DS、PD10/TIOC3BS、PD11/TIOC3DS、PD12/TIOC4AS、PD13/TIOC4BS、PD14/TIOC4CS、PD15/TIOC4DS、PD29/TIOC3BS、PD28/TIOC3DS、PD27/TIOC4AS、PD26/TIOC4BS、PD25/TIOC4CS、PD24/TIOC4DS) をハイインピーダンス状態にする要求信号を入力
ポートアウトプットイネーブル入力端子8	POE8	入力	MTU2 用のCH0 端子 (PE0/TIOC0A、PE1/TIOC0B、PE2/TIOC0C、PE3/TIOC0D) をハイインピーダンス状態にする要求信号を入力

「13章 ポートアウトプットイネーブル2 (POE2)」 13.2 ポートアウトプットイネーブルコントロールレジスタ2(POE2CR2)を以下のように修正します。

【変更前】

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
14	MTU2P1CZE	1	R/W*	MTU2 ポート1 出力比較/ハイインピーダンスイネーブル MTU2 用の大電流端子のPE9/TIOC3B とPE11/TIOC3D について、出力レベル比較を行うかどうか、また、OCE1 ビットが1 のときにOSF1 ビットがセットされたとき、またはPOE0F、POE1F、POE3F、MTU2CH34HIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうか設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
13	MTU2P2CZE	1	R/W*	MTU2 ポート2 出力比較/ハイインピーダンスイネーブル MTU2 用の大電流端子のPE12/TIOC4A とPE14/TIOC4C について、出力レベル比較を行うかどうか、また、OCE1 ビットが1 のときにOSF1 ビットがセットされたとき、またはPOE0F、POE1F、POE3F、MTU2CH34HIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうか設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
12	MTU2P3CZE	1	R/W*	MTU2 ポート3 出力比較/ハイインピーダンスイネーブル MTU2 用の大電流端子のPE13/TIOC4B とPE15/TIOC4D について、出力レベル比較を行うかどうか、また、OCE1 ビットが1 のときにOSF1 ビットがセットされたとき、またはPOE0F、POE1F、POE3F、MTU2CH34HIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうか設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
11	—	0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。

ビット	ビット名	初期値	R/W	説明
10	MTU2SP1CZE	1	R/W*	MTU2S ポート1 出力比較/ハイインピーダンスディスエーブル MTU2S 用の大電流端子のPE5/TIOC3BS とPE6/TIOC3DS について、出力比較を行うかどうか、またPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
9	MTU2SP2CZE	1	R/W*	MTU2S ポート2 出力比較/ハイインピーダンスディスエーブル MTU2S 用の大電流端子のPE0/TIOC4AS とPE2/TIOC4CS について、出力比較を行うかどうか、またOCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
8	MTU2SP3CZE	1	R/W*	MTU2S ポート3 出力比較/ハイインピーダンスディスエーブル MTU2S 用の大電流端子のPE1/TIOC4BS とPE3/TIOC4DS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
7	—	0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
6	MTU2SP4CZE	0	R/W*	MTU2S ポート4 出力比較/ハイインピーダンスイネーブル MTU2S 用の大電流端子のPD10/TIOC3BS とPD11/TIOC3DS について出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
5	MTU2SP5CZE	0	R/W*	MTU2S ポート5 出力比較/ハイインピーダンスイネーブル MTU2S 用の大電流端子のPD12/TIOC4AS とPD14/TIOC4CS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。

ビット	ビット名	初期値	R/W	説明
4	MTU2SP6CZE	0	R/W*	MTU2S ポート6 出力比較/ハイインピーダンスイネーブル MTU2S 用の大電流端子のPD13/TIOC4BS とPD15/TIOC4DS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
3	—	0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
2	MTU2SP7CZE	0	R/W*	MTU2S ポート7 出力比較/ハイインピーダンスイネーブル MTU2S 用の大電流端子のPD29/TIOC3BS とPD28/TIOC3DS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
1	MTU2SP8CZE	0	R/W*	MTU2S ポート8 出力比較/ハイインピーダンスイネーブル MTU2S 用の大電流端子のPD27/TIOC4AS とPD25/TIOC4CS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
0	MTU2SP9CZE	0	R/W*	MTU2S ポート9 出力比較/ハイインピーダンスイネーブル MTU2S 用の大電流端子のPD26/TIOC4BS とPD24/TIOC4DS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。

【変更後】

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
14	MTU2P1CZE	1	R/W*	MTU2 ポート1 出力比較/ハイインピーダンスイネーブル MTU2 用の大電流端子のPE9/TIOC3B とPE11/TIOC3D について、出力レベル比較を行うかどうか、また、OCE1 ビットが1 のときにOSF1 ビットがセットされたとき、またはPOE0F、POE1F、POE2F、POE3F、MTU2CH34HIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうか設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
13	MTU2P2CZE	1	R/W*	MTU2 ポート2 出力比較/ハイインピーダンスイネーブル MTU2 用の大電流端子のPE12/TIOC4A とPE14/TIOC4C について、出力レベル比較を行うかどうか、また、OCE1 ビットが1 のときにOSF1 ビットがセットされたとき、またはPOE0F、POE1F、POE2F、POE3F、MTU2CH34HIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうか設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
12	MTU2P3CZE	1	R/W*	MTU2 ポート3 出力比較/ハイインピーダンスイネーブル MTU2 用の大電流端子のPE13/TIOC4B とPE15/TIOC4D について、出力レベル比較を行うかどうか、また、OCE1 ビットが1 のときにOSF1 ビットがセットされたとき、またはPOE0F、POE1F、POE2F、POE3F、MTU2CH34HIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうか設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
11	—	0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。

ビット	ビット名	初期値	R/W	説明
10	MTU2SP1CZE	1	R/W*	MTU2S ポート1 出力比較/ハイインピーダンスディスエーブル MTU2S 用の大電流端子のPE5/TIOC3BS とPE6/TIOC3DS について、出力比較を行うかどうか、またOCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうか設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
9	MTU2SP2CZE	1	R/W*	MTU2S ポート2 出力比較/ハイインピーダンスディスエーブル MTU2S 用の大電流端子のPE0/TIOC4AS とPE2/TIOC4CS について、出力比較を行うかどうか、またOCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうか設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
8	MTU2SP3CZE	1	R/W*	MTU2S ポート3 出力比較/ハイインピーダンスディスエーブル MTU2S 用の大電流端子のPE1/TIOC4BS とPE3/TIOC4DS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうか設定します。 0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。
7	—	0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。

6	MTU2SP4CZE	0	R/W*	<p>MTU2S ポート4 出力比較/ハイインピーダンスイネーブル MTU2S 用の大電流端子のPD10/TIOC3BS とPD11/TIOC3DS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。</p>
5	MTU2SP5CZE	0	R/W*	<p>MTU2S ポート5 出力比較/ハイインピーダンスイネーブル MTU2S 用の大電流端子のPD12/TIOC4AS とPD14/TIOC4CS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。</p>

ビット	ビット名	初期値	R/W	説明
4	MTU2SP6CZE	0	R/W*	<p>MTU2S ポート6 出力比較/ハイインピーダンスイネーブル MTU2S 用の大電流端子のPD13/TIOC4BS とPD15/TIOC4DS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。</p>
3	—	0	R	<p>リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。</p>
2	MTU2SP7CZE	0	R/W*	<p>MTU2S ポート7 出力比較/ハイインピーダンスイネーブル MTU2S 用の大電流端子のPD29/TIOC3BS とPD28/TIOC3DS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。</p>
1	MTU2SP8CZE	0	R/W*	<p>MTU2S ポート8 出力比較/ハイインピーダンスイネーブル MTU2S 用の大電流端子のPD27/TIOC4AS とPD25/TIOC4CS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。</p>
0	MTU2SP9CZE	0	R/W*	<p>MTU2S ポート9 出力比較/ハイインピーダンスイネーブル MTU2S 用の大電流端子のPD26/TIOC4BS とPD24/TIOC4DS について、出力比較を行うかどうか、また、OCE2 ビットが1 のときにOSF2 ビットがセットされたとき、またはPOE4F、POE5F、POE6F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。</p>

「13章 ポートアウトプットイネーブル 2 (POE2)」 13.5 割り込みの表 13.5 を以下のように修正します。

【変更後】

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル 割り込み 1	POE3F、POE2F、POE1F、POE0F、 OSF1	PIE1・(POE3F+POE2F+POE1F+POE0F) + OIE1・OSF1
OEI2	アウトプットイネーブル 割り込み 2	POE8F	PIE3・POE8F
OEI3	アウトプットイネーブル 割り込み 3	POE4F、POE5F、POE6F、POE7F、 OSF2	PIE2・(POE4F+POE5F+POE6F+POE7F) + OIE2・OSF2

「15章 ウォッチドックタイマ (WDT)」 P15-14 に以下の項目を追加します。

【変更後】

15.5.5 $\overline{\text{WDTOVF}}$ 信号の接続について

$\overline{\text{WDTOVF}}$ を使用しない場合は、端子をオープンにしてください。また、 $\overline{\text{WDTOVF}}$ はプルダウンしないでください。プルダウンが必要な場合は 1MΩ 以上の抵抗を使用してください。

「16章 シリアルコミュニケーションインターフェース (SCI)」 16.3 レジスタの説明の表 16.2 を以下のように修正します。

【変更前】

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'01	H' FFFF800E	8
1	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'01	H' FFFF880E	8
2	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'01	H' FFFF900E	8
4	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・

【変更後】

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0x	H' FFFF800E	8
1	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0x	H' FFFF880E	8
2	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0x	H' FFFF900E	8
4	・ ・	・ ・	・ ・	・ ・	・ ・	・ ・

「16章 シリアルコミュニケーションインターフェース (SCI)」 16.3.8 シリアルポートレジスタ(SCSPTR) を以下のように修正します。

【変更前】

ビット：	7	6	5	4	3	2	1	0
	EIO	-	-	-	SPB1IO	SPB1DT	-	SPB0DT
初期値：	0	0	0	0	0	不定	0	1
R/W：	R/W	-	-	-	R/W	R/W	-	W

ビット	ビット名	初期値	R/W	説明
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
2	SPB1DT	不定	R/W	シリアルポートクロックポートデータ シリアルポートのSCK 端子の出力データを指定します。出力有効であるかはSPB1IO ビットで指定します（詳細はSPB1IO ビットの説明を参照）。出力の場合、SPB1DT ビットの値がSCK 端子に出力されます。 0：出力データがローレベル 1：出力データがハイレベル
・	・	・	・	・
・	・	・	・	・

【変更後】

ビット：	7	6	5	4	3	2	1	0
	EIO	-	-	-	SPB1IO	SPB1DT	-	SPB0DT
初期値：	0	0	0	0	0	不定	0	1
R/W：	R/W	-	-	-	R/W	W	-	W

ビット	ビット名	初期値	R/W	説明
・	・	・	・	・
・	・	・	・	・
・	・	・	・	・
2	SPB1DT	不定	W	シリアルポートクロックポートデータ シリアルポートのSCK 端子の出力データを指定します。出力有効であるかはSPB1IO ビットで指定します（詳細はSPB1IO ビットの説明を参照）。出力の場合、SPB1DT ビットの値がSCK 端子に出力されます。 0：出力データがローレベル 1：出力データがハイレベル
・	・	・	・	・
・	・	・	・	・

「16章 シリアルコミュニケーションインターフェース (SCI)」 16.4.3 クロック同期式モード時の動作の(2) に以下を追加します。

【変更後】

ただし、受信動作のみの場合は、オーバランエラーが発生するか、RE ビットを0にクリアするまで同期クロックは出力されます。nキャラクタ数の受信動作を行いたいときは、クロックソースを外部クロックにしてください。内部クロックを使用するときは、RE=1かつTE=1としてから、nキャラクタ数のダミーデータ送信と同時にnキャラクタ数の受信を行うという手順でしてください。

「17章 FIFO 内蔵シリアルコミュニケーションインターフェース (SCIF)」 17.3 レジスタの説明の表 17.2 を以下のように修正します。

【変更前】

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
3	・	・	・	・	・	・
	シリアルポートレジスタ_3	SCSPTR_3	R/W	H'0050	H' FFFE9820	16
	・	・	・	・	・	・

【変更後】

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
3	・	・	・	・	・	・
	シリアルポートレジスタ_3	SCSPTR_3	R/W	H'00xx	H' FFFE9820	16
	・	・	・	・	・	・

「17章 FIFO 内蔵シリアルコミュニケーションインターフェース (SCIF)」 17.3.11 シリアルポートレジスタ(SCSPTR) を以下のように修正します。

【変更前】

SCSPTR は、常にCPU による読み出し/書き込みが可能です。SCSPTR は、パワーオンリセット時にH'0050 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値：	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
・	・	・	・	・
2	SCKDT	0	R/W	SCK ポートデータ シリアルポートのSCK 端子の入出力データを指定します。入力か出力かはSCKIO ビットで指定します。出力の場合、SCKDT ビットの値がSCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからはSCK 端子の値が読み出されます。ただしPFC でSCK 入出力に設定しておく必要があります。 0：入出力データがローレベル 1：入出力データがハイレベル
・	・	・	・	・

ビット	ビット名	初期値	R/W	説明
0	SPB2DT	0	R/W	シリアルポートブレイクデータ シリアルポートのRXD 端子の入力データおよびTXD 端子の出力データを指定します。入力か出力かはSPB2IO ビットで指定します。TXD 端子を出力に設定した場合、SPB2DT ビットの値がTXD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからはRXD 端子の値が読み出されます。ただしPFC でRXD 入力、TXD 出力に設定しておく必要があります。 0：入出力データがローレベル 1：入出力データがハイレベル

【変更後】

SCSPTR は、常にCPU による読み出し／書き込みが可能です。SCSPTR は、パワーオンリセット時にH'00xx に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値：	0	0	0	0	0	0	0	0	0	不定	0	不定	0	不定	0	不定
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	W	R/W	W

ビット	ビット名	初期値	R/W	説明
・	・	・	・	・
・	・	・	・	・
2	SCKDT	不定	W	SCK ポートデータ シリアルポートのSCK 端子の入出力データを指定します。入力か出力かはSCKIO ビットで指定します。出力の場合、SCKDT ビットの値がSCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからはSCK 端子の値が読み出されます。ただしPFC でSCK 入出力に設定しておく必要があります。 0：入出力データがローレベル 1：入出力データがハイレベル
・	・	・	・	・
・	・	・	・	・

ビット	ビット名	初期値	R/W	説明
0	SPB2DT	不定	W	シリアルポートブレイクデータ シリアルポートのRXD 端子の入力データおよびTXD 端子の出力データを指定します。入力か出力かはSPB2IO ビットで指定します。TXD 端子を出力に設定した場合、SPB2DT ビットの値がTXD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからはRXD 端子の値が読み出されます。ただしPFC でRXD 入力、TXD 出力に設定しておく必要があります。 0：入出力データがローレベル 1：入出力データがハイレベル

「17 章 FIFO 内蔵シリアルコミュニケーションインターフェース (SCIF)」 P17-39 ・シリアルデータ送信(クロック同期式モード) の図 17.11 の(1) を以下のように修正します。

【変更前】

- SCIFの状態を確認して、送信データを書き込み：
SCFSRを読み出して、TDFEフラグが1であることを確認した後、トランスミットFIFOデータレジスタ (SCFTDR) に送信データを書き込み、TDFEとTENDフラグの1を読み出した後、これらのフラグを0にクリアします。

【変更後】

- SCIFの状態を確認して、送信データを書き込み：
SCFSRを読み出して、TDFEフラグとTENDフラグが1であることを確認した後、トランスミットFIFOデータレジスタ (SCFTDR) に送信データを書き込み、TDFEとTENDフラグの1を読み出した後、これらのフラグを0にクリアします。

「17章 FIFO 内蔵シリアルコミュニケーションインターフェース (SCIF)」 P17-43 ・シリアルデータ送受信同時動作(クロック同期式モード) の図 17.16 の(1) を以下のように修正します。

【変更前】

- (1) SCIFの状態確認と送信データの書き込み：
 SCFSRを読み出して、TDFE=1であることを確認した後、SCFTDRに送信データを書き込み、TDFEとTENDフラグの1を読み出した後、これらのフラグを0にクリアします。TDFEフラグの0から1への変化は、TXI割り込みによっても知ることができます。

【変更後】

- (1) SCIFの状態確認と送信データの書き込み：
 SCFSRを読み出して、TDFEフラグとTENDフラグが1であることを確認した後、SCFTDRに送信データを書き込み、TDFEとTENDフラグを0にクリアします。TDFEフラグの0から1への変化は、TXI割り込みによっても知ることができます。

「18章 シンクロナスシリアルコミュニケーションユニット (SSU)」 18.4.4 各通信モードと端子機能 の表 18.6 を以下のように修正します。

【変更前】

通信モード	レジスタ状態			端子状態
	SSUMS	MSS	SCKS	SSCK
SSU 通信モード	0	0	0	－
			1	入力
		1	0	－
			1	出力
クロック同期式 通信モード	1	0	0	－
			1	入力
		1	0	－
			1	出力

【変更後】

通信モード	レジスタ状態		端子状態
	SSUMS	MSS	SSCK
SSU 通信モード	0	0	入力
			出力
		1	0
1	出力		

「20章 A/D 変換器 (ADC)」 20.3.1 A/D コントロールレジスタ (ADCR_0~ADCR_2) を以下のように修正します。

【変更前】

ビット	ビット名	初期値	R/W	説明
7	ADST	0	R/W	A/D スタート 0 にクリアするとA/D 変換を中止し、待機状態になります。1 にセットするとA/D 変換を開始します。1 サイクルスキャンモードでは選択したチャンネルのA/D 変換が終了すると自動的にクリアされます。連続スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモードまたはモジュールスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮

【変更前】

ビット	ビット名	初期値	R/W	説明
7	ADST	0	R/W	A/D スタート 0 にクリアするとA/D 変換を中止し、待機状態になります。1 にセットするとA/D 変換を開始します。1 サイクルスキャンモードでは選択したチャンネルのA/D 変換が終了すると自動的にクリアされます。連続スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮

「24章 I/O ポート」 P24-40 に下記の項目を追記します。

【変更後】

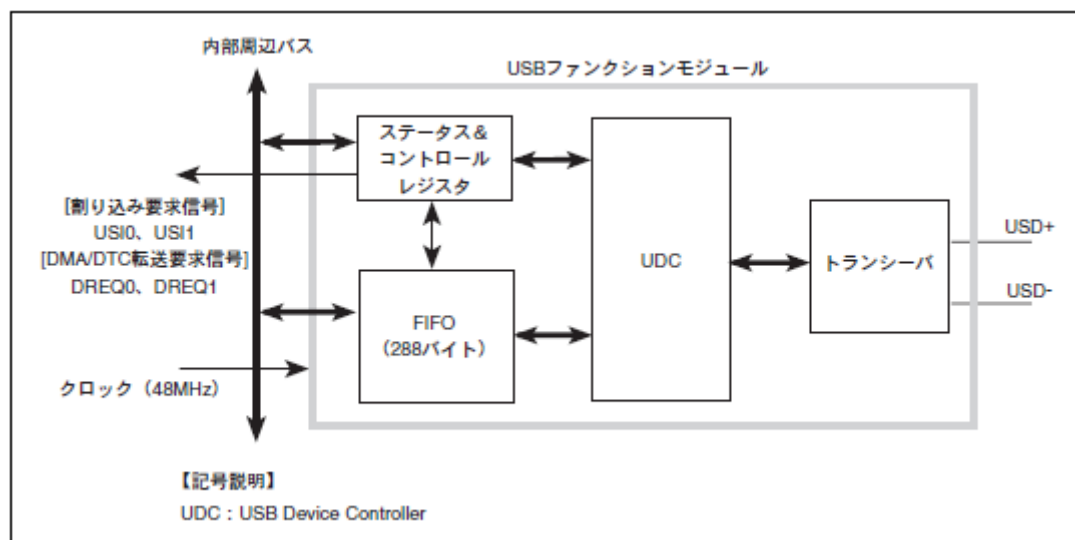
24.7 使用上の注意事項

24.7.1 未使用端子の処理について

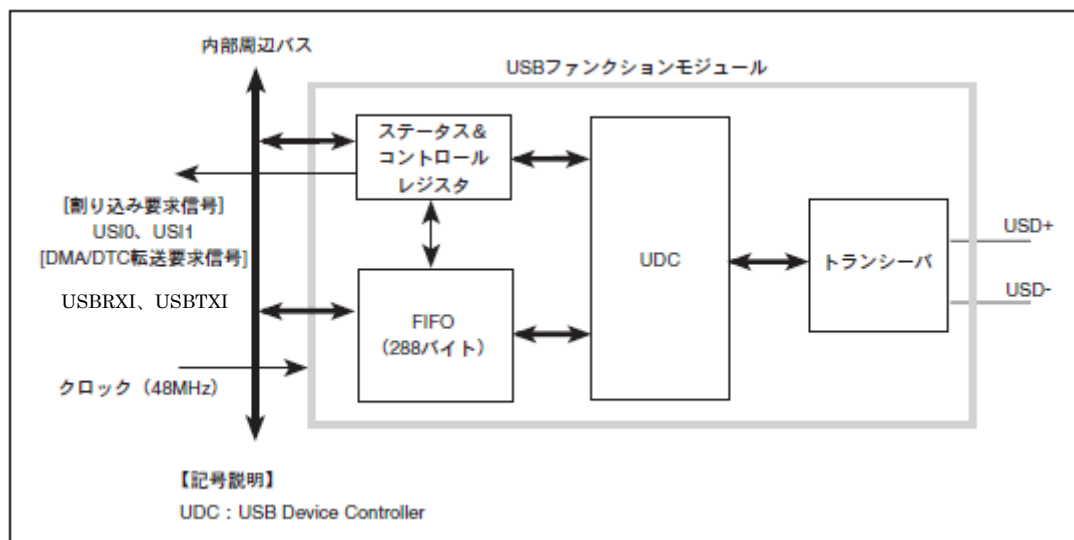
未使用端子は、抵抗を用いて、VCC もしくは GND に接続し、ハイまたはローに固定してください。なお、PF0~PF11 は、AVCC もしくは AVSS に抵抗を用いて接続してください。ただし、NMI,USD+,USD-,EXTAL,XTAL,USBEXTAL,USBXTAL,WDTOVF,TRST,TMS,TCK,TDO,TDI の各端子の処理については、各該当モジュールの説明に従って処理してください。

「25章 USB ファンクションモジュール」 25.1.1 ブロック図の図 25.1 を以下のように修正します。

【変更前】



【変更後】



「25章 USB ファンクションモジュール」 25.1.2 入出力端子の【注】を以下のように修正します。

【変更前】

- 【注】 * $3.0 \leq V_{cc} \leq 3.6V$ の場合、 $DrV_{cc} \leq V_{cc}$
 $3.6 \leq V_{cc} \leq 5.5V$ の場合、 $DrV_{cc} \leq 3.6V < V_{cc}$

【変更後】

- 【注】 * $3.0 \leq V_{cc} \leq 3.6V$ の場合、 $DrV_{cc} = V_{cc}$ もしくは、 $3.0 \leq DrV_{cc} \leq 3.6V$
 $3.6 \leq V_{cc} \leq 5.5V$ の場合、 $DrV_{cc} \leq 3.6V < V_{cc}$

「25章 USB ファンクションモジュール」 25.3.18 USBDMA 転送設定レジスタ(USBDMAR)の【注】を以下のように修正します。

【変更前】

- 【注】 *1 DMA 転送を起動する場合、本ビットをセットする前にDMAOR レジスタのDME ビットをセットしてください。
 DTC 転送を起動する場合、本ビットをセットする前にDTCERA レジスタのDTCE0 ビットをセットしてください。
- *2 DMA 転送を起動する場合、本ビットをセットする前にDMAOR レジスタのDME ビットをセットしてください。
 DTC 転送を起動する場合、本ビットをセットする前にDTCERA レジスタのDTCE1 ビットをセットしてください。

【変更後】

【注】 *1 DMA 転送を起動する場合、本ビットをセットする前にDMAOR レジスタのDME ビットをセットしてください。
 DTC 転送を起動する場合、本ビットをセットする前にDTCERA レジスタのDTCE0 ビットをセットしてください。
 DMAORレジスタのDMEビットおよびDTCERAレジスタのDTCE0ビットをセットしない場合、EP2-FIFOエンプティDTC
 転送終了割り込み(USDTENDRRレジスタのTXFビット)が発生します。

*2 DMA 転送を起動する場合、本ビットをセットする前にDMAOR レジスタのDME ビットをセットしてください。
 DTC 転送を起動する場合、本ビットをセットする前にDTCERA レジスタのDTCE1 ビットをセットしてください。
 DMAORレジスタのDMEビットおよびDTCERAレジスタのDTCE1ビットをセットしない場合、EP1-FIFOフルDTC転送
 終了割り込み(USDTENDRRレジスタのRXFビット)が発生します。

「25章 USB ファンクションモジュール」 25.4 割り込み要因の表 25.3 を以下のように修正します。

【変更前】

レジスタ	ビット	転送タイプ	割り込み 要因	説明	割り込み 要求信号	USB リクエスト による DMAC/DTC 起動
USBIFR0	7	(Status)	BRST	バスリセット	USI0 または USI1	×
	6	バルクアウト (EP1)	EP1FULL	EP1FIFO フル	USI0 または USI1	DREQ0*1
	5	バルクイン (EP2)	EP2TR	EP2 転送リクエスト	USI0 または USI1	×
	4		EP2EMPTY	EP2FIFO エンプティ	USI0 または USI1	DREQ1*2
	・	・	・	・	・	・
・	・	・	・	・	・	
USBIFR1	・	・	・	・	・	・
	・	・	・	・	・	・

【変更後】

レジスタ	ビット	転送タイプ	割り込み 要因	説明	割り込み 要求信号	USB リクエスト による DMAC/DTC 起動
USBIFR0	7	(Status)	BRST	バスリセット	USI0 または USI1	×
	6	バルクアウト (EP1)	EP1FULL	EP1FIFO フル	USI0 または USI1	USBRXI*1
	5	バルクイン (EP2)	EP2TR	EP2 転送リクエスト	USI0 または USI1	×
	4		EP2EMPTY	EP2FIFO エンプティ	USI0 または USI1	USBTXI*2
	・	・	・	・	・	・
・	・	・	・	・	・	
USBIFR1	・	・	・	・	・	・
	・	・	・	・	・	・

「第31章 電気的特性」の31.3.3 バスタイミング 表31.7を以下のように追記修正します。

【変更前】

項目	記号	Bφ = 50MHz*		単位	参照図
		Min.	Max.		
アドレス遅延時間 1	t _{AD1}	1	20	ns	31.11~31.35、31.38
アドレス遅延時間 2	t _{AD2}	1/2tcyc+1	1/2tcyc+20	ns	31.18
アドレス遅延時間 3	t _{AD3}	1/2tcyc+1	1/2tcyc+20	ns	31.36、31.37
アドレスセットアップ時間	t _{AS}	0	—	ns	31.11~31.14、31.18
アドレスホールド時間	t _{AH}	0	—	ns	31.11~31.14
BS 遅延時間	t _{BSD}	—	20	ns	31.11~31.32、31.36、31.38
CS 遅延時間 1	t _{CSD1}	1	20	ns	31.11~31.35、31.38
CS 遅延時間 2	t _{CSD2}	1/2tcyc+1	1/2tcyc+20	ns	31.36、31.37
リードライト遅延時間 1	t _{RWD1}	1	20	ns	31.11~31.35、31.38
リードライト遅延時間 2	t _{RWD2}	1/2tcyc+1	1/2tcyc+20	ns	31.36、31.37
リードストロブ遅延時間	t _{RSD}	1/2tcyc+1	1/2tcyc+20	ns	31.11~31.15、 31.17~31.18、31.38
リードデータセットアップ時間 1	t _{RDS1}	1/2tcyc+20	—	ns	31.11~31.15、 31.17、31.38
リードデータセットアップ時間 2	t _{RDS2}	20	—	ns	31.16、31.19~31.22、 31.27~31.29
リードデータセットアップ時間 3	t _{RDS3}	1/2tcyc+20	—	ns	31.18
リードデータセットアップ時間 4	t _{RDS4}	1/2tcyc+20	—	ns	31.36
リードデータホールド時間 1	t _{RDH1}	0	—	ns	31.11~31.15、31.17、31.38
リードデータホールド時間 2	t _{RDH2}	5	—	ns	31.16、31.19~31.22、 31.27~31.29
リードデータホールド時間 3	t _{RDH3}	0	—	ns	31.18
リードデータホールド時間 4	t _{RDH4}	1/2tcyc+5	—	ns	31.36
ライトイネーブル遅延時間 1	t _{WED1}	1/2tcyc+1	1/2tcyc+20	ns	31.11~31.15、31.38
ライトイネーブル遅延時間 2	t _{WED2}	—	20	ns	31.17
ライトデータ遅延時間 1	t _{WDD1}	—	20	ns	31.11~31.17、31.38
ライトデータ遅延時間 2	t _{WDD2}	—	20	ns	31.23~31.26、31.30~31.32
ライトデータ遅延時間 3	t _{WDD3}	—	1/2tcyc+20	ns	31.36
ライトデータホールド時間 1	t _{WDH1}	1	—	ns	31.11~31.17、31.38
ライトデータホールド時間 2	t _{WDH2}	1	—	ns	31.23~31.26、31.30~31.32
ライトデータホールド時間 3	t _{WDH3}	1/2tcyc+1	—	ns	31.36

項目	記号	Bφ = 50MHz*		単位	参照図
		Min.	Max.		
WAIT セットアップ時間	t _{WTS}	1/2tcyc+20	—	ns	31.12~31.18
WAIT ホールド時間	t _{WTH}	1/2tcyc+10	—	ns	31.12~31.18
RAS 遅延時間 1	t _{RASD1}	1	20	ns	31.19~31.35
RAS 遅延時間 2	t _{RASD2}	1/2tcyc+1	1/2tcyc+20	ns	31.36、31.37
CAS 遅延時間 1	t _{CASD1}	1	20	ns	31.19~31.35
CAS 遅延時間 2	t _{CASD2}	1/2tcyc+1	1/2tcyc+20	ns	31.36、31.37
DQM 遅延時間 1	t _{DQMD1}	1	20	ns	31.19~31.32
DQM 遅延時間 2	t _{DQMD2}	1/2tcyc+1	1/2tcyc+20	ns	31.36、31.37
CKE 遅延時間 1	t _{CKED1}	1	20	ns	31.34
CKE 遅延時間 2	t _{CKED2}	1/2tcyc+1	1/2tcyc+20	ns	31.37
AH 遅延時間	t _{AHD}	1/2tcyc+1	1/2tcyc+20	ns	31.15
マルチプレクスアドレス遅延時間	t _{MAD}	—	20	ns	31.15
マルチプレクスアドレスホールド時間	t _{MAH}	1	—	ns	31.15
DACK、TEND 遅延時間	t _{DACD}	—	周辺モジュール参照	ns	31.10~31.31、31.35、31.37
FRAME 遅延時間	t _{FMD}	1	20	ns	31.16

【変更後】

項目	記号	B ϕ = 50MHz*		単位	参照図
		Min.	Max.		
アドレス遅延時間 1	t _{AD1}	1	18	ns	31.11~31.35
アドレス遅延時間 2	t _{AD2}	1/2tcyc+1	1/2tcyc+18	ns	31.18
アドレス遅延時間 3	t _{AD3}	1/2tcyc+1	1/2tcyc+18	ns	31.36、31.37
アドレスセットアップ時間	t _{AS}	0	—	ns	31.11~31.14、31.18
アドレスホールド時間	t _{AH}	0	—	ns	31.11~31.14
BS 遅延時間	t _{BSD}	—	18	ns	31.11~31.32、31.36
CS 遅延時間 1	t _{CSD1}	1	18	ns	31.11~31.35
CS 遅延時間 2	t _{CSD2}	1/2tcyc+1	1/2tcyc+18	ns	31.36、31.37
CS セットアップ時間	t _{CSS}	0	—	ns	31.11~31.14
CS ホールド時間	t _{CSH}	0	—	ns	31.11~31.14
リードライト遅延時間 1	t _{RWD1}	1	18	ns	31.11~31.35
リードライト遅延時間 2	t _{RWD2}	1/2tcyc+1	1/2tcyc+18	ns	31.36、31.37
リードストロープ遅延時間	t _{RSD}	1/2tcyc+1	1/2tcyc+18	ns	31.11~31.18
リードデータセットアップ時間 1	t _{RDS1}	1/2tcyc+14	—	ns	31.11~31.17
リードデータセットアップ時間 2	t _{RDS2}	14	—	ns	31.19~31.22、 31.27~31.29
リードデータセットアップ時間 3	t _{RDS3}	1/2tcyc+14	—	ns	31.18
リードデータセットアップ時間 4	t _{RDS4}	1/2tcyc+14	—	ns	31.36
リードデータホールド時間 1	t _{RDH1}	0	—	ns	31.11~31.15、31.17
リードデータホールド時間 2	t _{RDH2}	2	—	ns	31.16、31.19~31.22、 31.27~31.29
リードデータホールド時間 3	t _{RDH3}	0	—	ns	31.18
リードデータホールド時間 4	t _{RDH4}	1/2tcyc+5	—	ns	31.36
ライトイネーブル遅延時間 1	t _{WED1}	1/2tcyc+1	1/2tcyc+18	ns	31.11~31.15
ライトイネーブル遅延時間 2	t _{WED2}	—	18	ns	31.17
ライトデータ遅延時間 1	t _{WDD1}	—	18	ns	31.11~31.17
ライトデータ遅延時間 2	t _{WDD2}	—	18	ns	31.23~31.26、31.30~31.32
ライトデータ遅延時間 3	t _{WDD3}	—	1/2tcyc+18	ns	31.36
ライトデータホールド時間 1	t _{WDH1}	1	15	ns	31.11~31.17
ライトデータホールド時間 2	t _{WDH2}	1	—	ns	31.23~31.26、31.30~31.32
ライトデータホールド時間 3	t _{WDH3}	1/2tcyc+1	—	ns	31.36
ライトデータホールド時間 4	T _{WDH4}	0	—	ns	31.11~31.14

項目	記号	B ϕ = 50MHz*		単位	参照図
		Min.	Max.		
リードデータアクセス時間	t _{ACC}	Tcycx(n+1.5) -33	—	ns	31.11~31.14
リードストロープからのアクセス時間	t _{OE}	Tcycx(n+1) -31	—	ns	31.11~31.14
WAIT セットアップ時間	t _{WTS}	1/2tcyc+18	—	ns	31.12~31.18
WAIT ホールド時間	t _{WTH}	1/2tcyc+2	—	ns	31.12~31.18
RAS 遅延時間 1	t _{RASD1}	1	18	ns	31.19~31.35
RAS 遅延時間 2	t _{RASD2}	1/2tcyc+1	1/2tcyc+18	ns	31.36、31.37
CAS 遅延時間 1	t _{CASD1}	1	18	ns	31.19~31.35
CAS 遅延時間 2	t _{CASD2}	1/2tcyc+1	1/2tcyc+18	ns	31.36、31.37
DQM 遅延時間 1	t _{DQMD1}	1	18	ns	31.19~31.32
DQM 遅延時間 2	t _{DQMD2}	1/2tcyc+1	1/2tcyc+18	ns	31.36、31.37
CKE 遅延時間 1	t _{CKED1}	1	18	ns	31.34
CKE 遅延時間 2	t _{CKED2}	1/2tcyc+1	1/2tcyc+18	ns	31.37
AH 遅延時間	t _{AHD}	1/2tcyc+1	1/2tcyc+18	ns	31.15
マルチプレクスアドレス遅延時間	t _{MAD}	—	18	ns	31.15
マルチプレクスアドレスホールド時間	t _{MAH}	1	—	ns	31.15
DACK、TEND 遅延時間	t _{DACD}	—	周辺モジュール 参照	ns	31.11~31.32、31.36、31.39
FRAME 遅延時間	t _{FMD}	1	18	ns	

「第31章 電気的特性」の31.3.3 バスタイミングの図31.11~14を以下のように追記します。

【変更後】

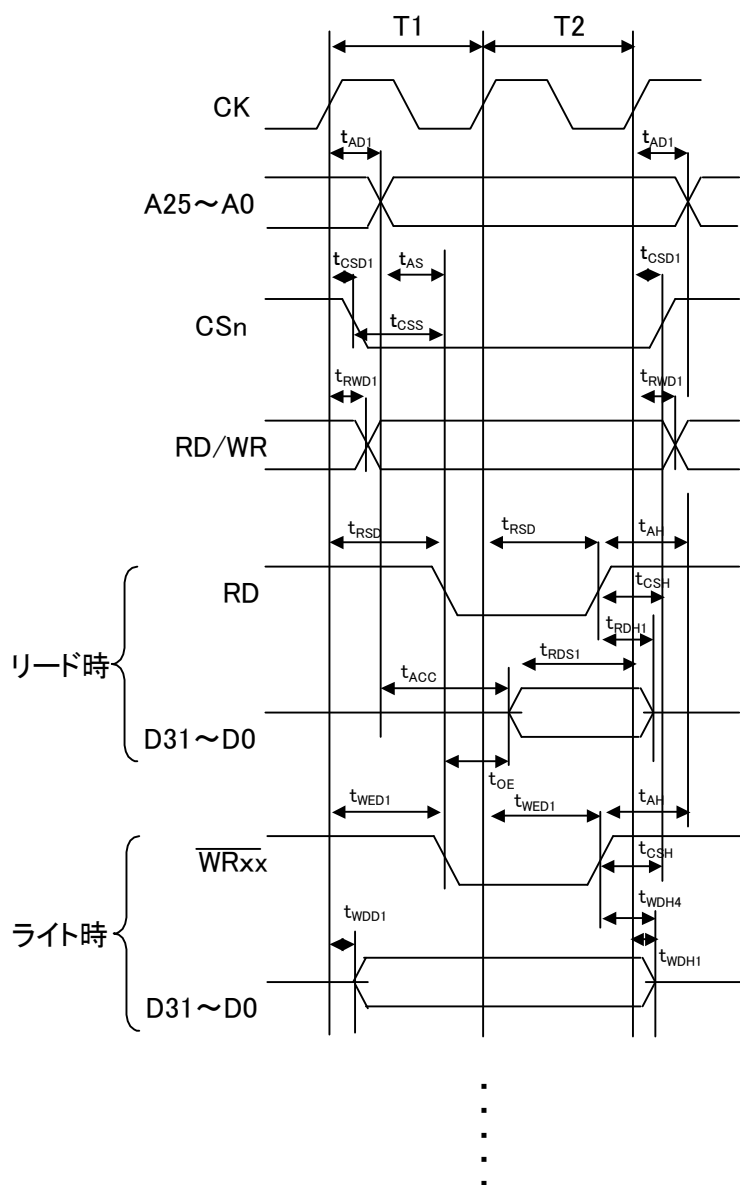


図31.11 通常空間基本バスサイクル(ノーウェイト)

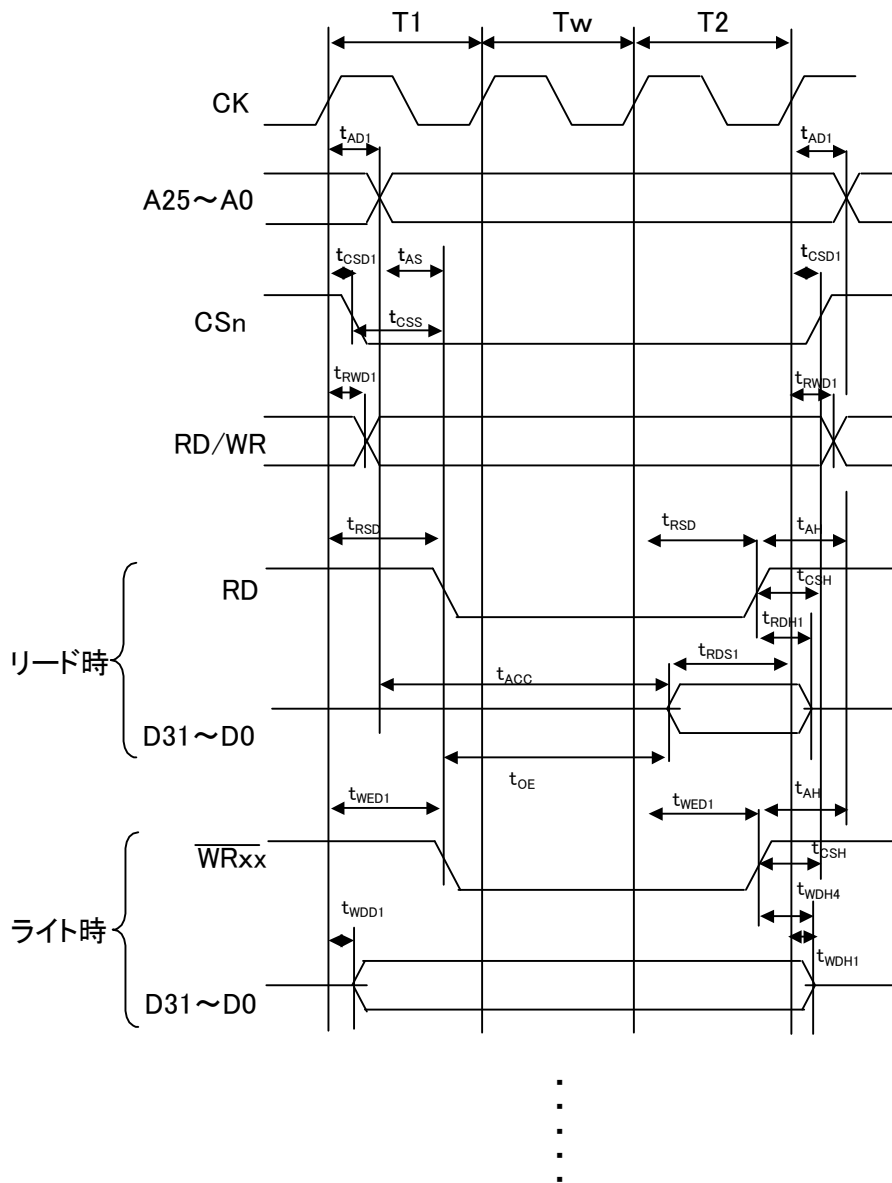


図31.12 通常空間基本バスサイクル(ソフトウェアウェイト1)

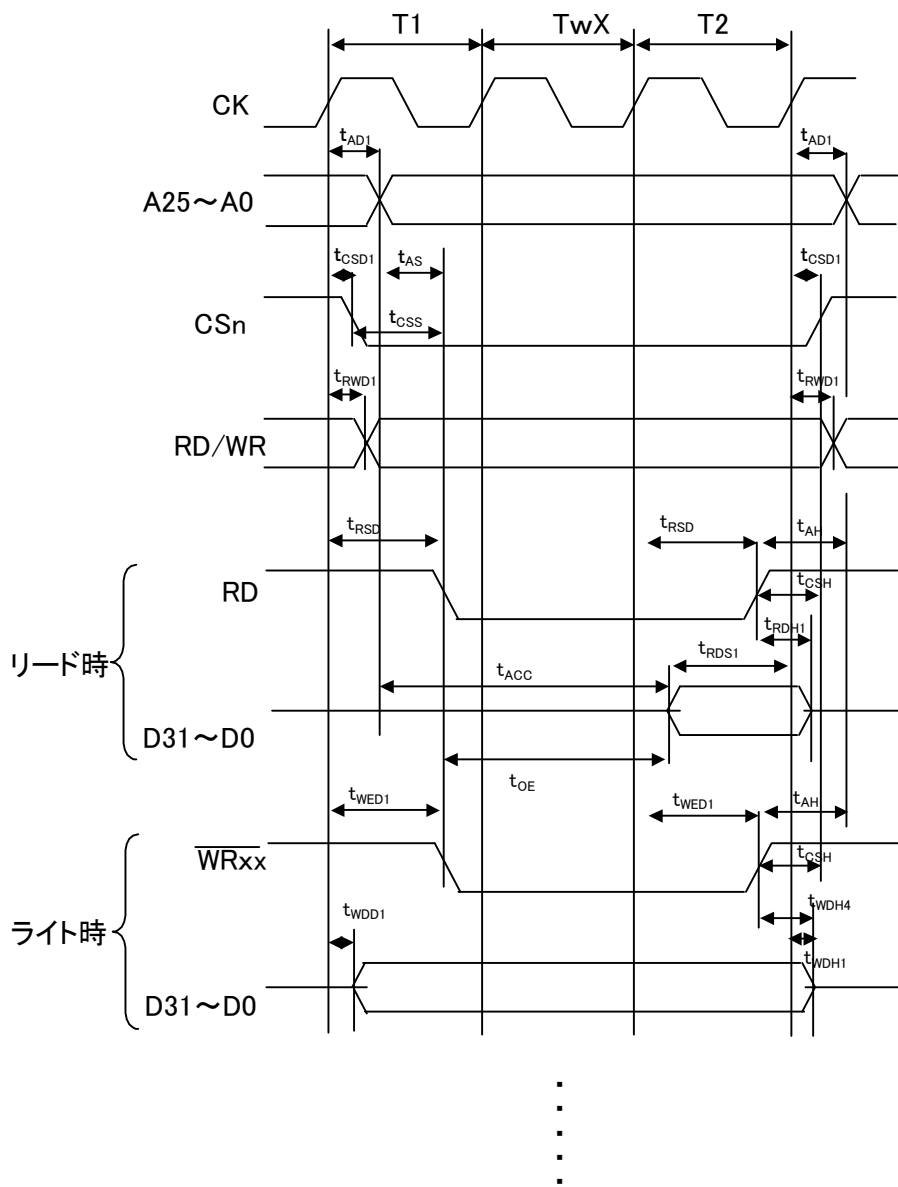


図31.13 通常空間基本バスサイクル(外部ウェイト1挿入)

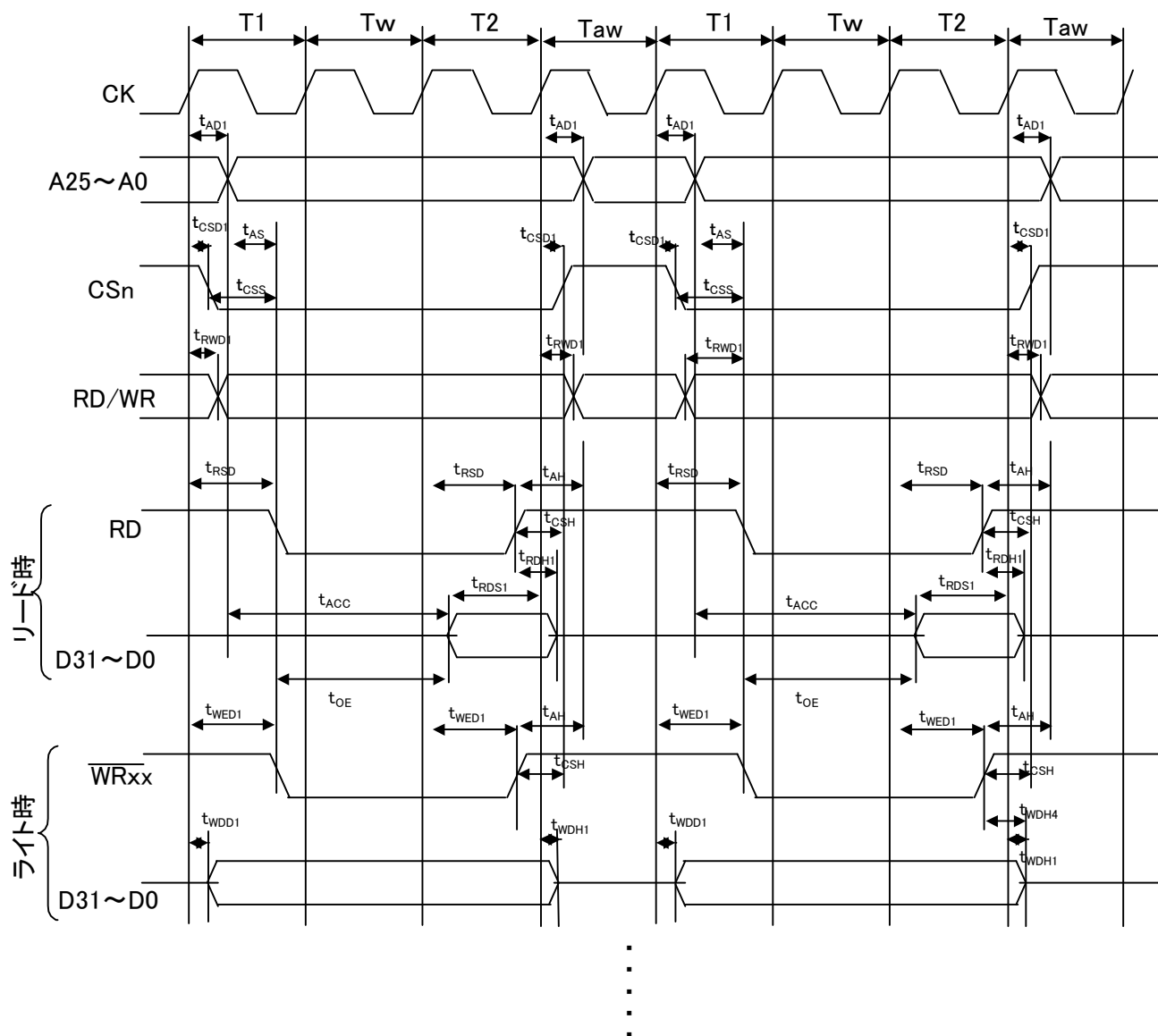


図31.14 通常空間基本バスサイクル
 (ソフトウェアウェイト1、外部ウェイト有効(WMビット=0)、アイドルサイクルなし)

「第31章 電気的特性」の31.3.13 IIC3 モジュールタイミング 表 31.17 を以下のように追記修正します。

【変更前】

項目	記号	測定条件	規格値			単位	参照図
			Min	Typ	Max		
SCL 入力サイクル時間	tsCL		12t _{peyc} +600	—	—	ns	31.54
SCL 入力 High パルス幅	tsCLH		3t _{peyc} +300	—	—	ns	
SCL 入力 Low パルス幅	tsCLL		5t _{peyc} +300	—	—	ns	
SCL.SDA 入力立ち上がり時間	tsr		—	—	300	t _{peyc} *1	
SCL.SDA 入力立ち下がり時間	tsf		—	—	1t _{peyc}	ns	
SCL.SDA 入カスパイクパルス除去時間*2	tsp		—	—	1t _{peyc}	ns	
SDA 入力バスフリー時間	tBUF		5	—	—	t _{peyc} *1	
開始条件入力ホールド時間	tSTAH		3	—	—	t _{peyc} *1	
再送開始条件入力セットアップ時間	tSTAS		3	—	—	t _{peyc} *1	
停止条件入力セットアップ時間	tSTOS		3	—	—	t _{peyc} *1	
データ入力セットアップ時間	tSDAS		1t _{peyc} +20	—	—	ns	
データ入力ホールド時間	tSDAH		0	—	—	ns	
SCL、SDA の容量性負荷	Cb		0	—	400	pF	
SCL、SDA 出力立下り時間*3	tsf		20+0.1cb	—	250	ns	

【変更後】

項目	記号	測定条件	規格値			単位	参照図
			Min	Typ	Max		
SCL 入力サイクル時間	tsCL		12t _{peyc} *1+600	—	—	ns	31.54
SCL 入力 High パルス幅	tsCLH		3t _{peyc} *1+300	—	—	ns	
SCL 入力 Low パルス幅	tsCLL		5t _{peyc} *1+300	—	—	ns	
SCL.SDA 入力立ち上がり時間	tsr		—	—	300	ns	
SCL.SDA 入力立ち下がり時間	tsf		—	—	300	ns	
SCL.SDA 入カスパイクパルス除去時間*2	tsp		—	—	5t _{peyc} *2	t _{peyc} *1	
SDA 入力バスフリー時間	tBUF		5	—	—	t _{peyc} *1	
開始条件入力ホールド時間	tSTAH		3	—	—	t _{peyc} *1	
再送開始条件入力セットアップ時間	tSTAS		3	—	—	t _{peyc} *1	
停止条件入力セットアップ時間	tSTOS		3	—	—	t _{peyc} *1	
データ入力セットアップ時間	tSDAS		1t _{peyc} *1+20	—	—	ns	
データ入力ホールド時間	tSDAH		0	—	—	ns	
SCL、SDA の容量性負荷	Cb		0	—	400	pF	
SCL、SDA 出力立下り時間*3	tsf		20+0.1cb	—	250	ns	

「第31章 電気的特性」の31.7 フラッシュメモリ特性 表31.24 を以下のように修正します。

【変更前】

項目	記号	Min.	Typ.	Max.	単位
書き込み時間*1*2	t _P	—	1	10	ms/128バイト
消去時間*1*3*4	t _E	—	0.6	1.5	s
書き換え回数	N _{WEC}	—	—	100	回

【変更後】

項目	記号	Min.	Typ.	Max.	単位
書き込み時間*1*2	t _P	—	2	20	ms/256バイト
消去時間*1*3*4	t _E	—	0.6	1.5	s
書き換え回数	N _{WEC}	—	—	100	回

「第31章 電気的特性」P31-58 に下記の項目を追記します。

【変更後】

31.8 使用上の注意事項

31.8.1 コンデンサ接続方法

本LSIでは、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源(V_{CL}端子)とV_{SS}端子間には、内部電圧安定用のコンデンサを接続する必要があります。外付けコンデンサ接続方法を図31.62に示します。外付けコンデンサは端子の近くに配置してください。V_{CL}端子には、電源電圧を印加しないでください。

電源端子(V_{CC},GND)のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎりLSIの電源端子の近くに実装してください。水晶発振関連のコンデンサについては「4.9.1 ボード設計上の注意事項」を参照してください。

バイパスコンデンサ、内部電圧安定用コンデンサとも、システムで評価し0.02μF~0.33μFのコンデンサを接続してください。

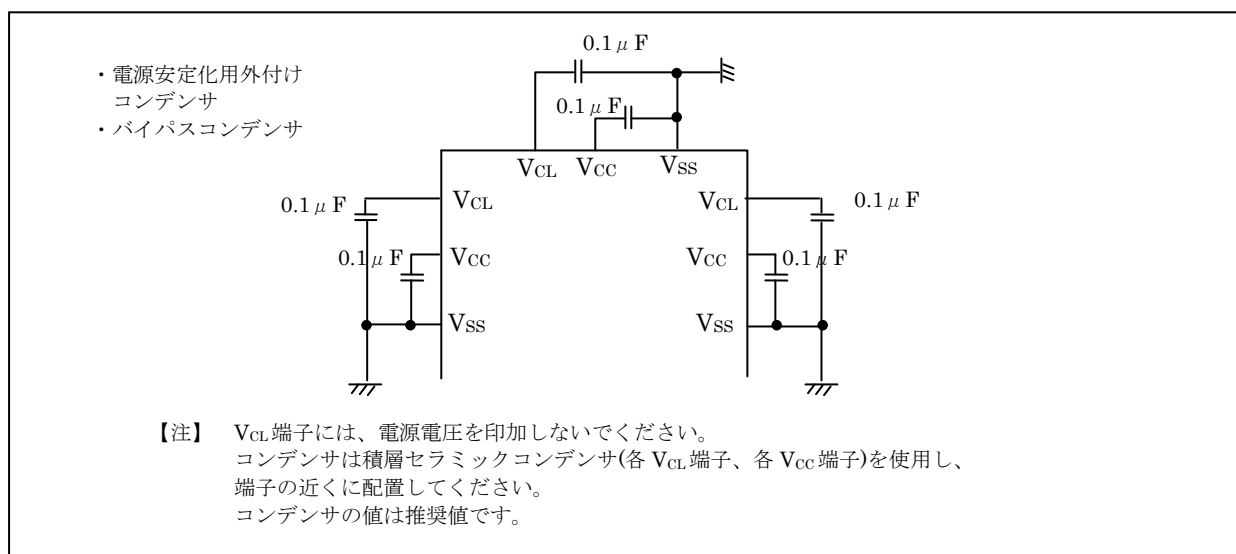


図 31.62 コンデンサ接続方法