

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A894A/J	Rev.	第1版
題名	バスステートコントローラ (BSC) の内部バスの最小アイドル数説明の追加		情報分類	技術情報	
適用製品	<ul style="list-style-type: none"> SH7214 グループ、SH7216 グループ SH7239 グループ、SH7237 グループ 	対象ロット等	関連資料	<ul style="list-style-type: none"> SH7214 グループ、SH7216 グループ ユーザーズマニュアル ハードウェア編 Rev.4.00(R01UH0230JJ0400) SH7239 グループ、SH7237 グループ ユーザーズマニュアル ハードウェア編 Rev.2.00(R01UH0086JJ0200) 	
	全ロット				

上記適用製品のユーザーズマニュアルに於いて、誤記がございましたので、訂正のご連絡を致します。以下、\$\$/##は表番号、項1.~2. は訂正項番号を示し、各製品グループとの対応は下表になります。

グループ	章番号	項1. 表番号(\$\$)	項2. 表番号(##)
SH7214, SH7216	9	表 9.22	表 9.23
SH7239, SH7237	9	表 9.8	表 9.9

1. 内部バスの最小アイドル数 (CPU 動作)

9.5.10 アクセスサイクル間アイドル

< 訂正前 >

表 9. \$\$ 内部バスの最小アイドル数 (CPU 動作)

CPU 動作	クロック比 (Iφ : Bφ)			
	8:1	4:1	2:1	1:1
ライト→ライト	0	0	0	0
ライト→リード	0	0	0	0
リード→ライト	1	1	2	3
リード→リード	0	0	0	0

【条件】

- CS1BCR および CS2BCR のサイクル間アイドル指定はすべて0 を指定
- CS1WCR および CS2WCR のWM ビットは1 (外部WAIT 端子無効)、HW[1:0]は00 (CS ネゲート延長しない)
- CS1 および CS2 ともに、通常 SRAM を接続し、バス幅 32 ビット=アクセスサイズビット

< 訂正後 >

表 9. \$\$ 内部バスの最小アイドル数 (CPU 動作)

CPU 動作	クロック比 (Iφ : Bφ)			
	8:1	4:1	2:1	1:1
ライト→ライト	0	0	0	0
ライト→リード	0	0	0	0
リード→ライト	1 or 0 ¹	1 or 0 ¹	2 or 0 ¹	3 or 0 ¹
リード→リード	0	0	0	0

【動作条件】

- CS1BCR および CS2BCR のサイクル間アイドル指定はすべて0 を指定。
- CS1WCR および CS2WCR のWM ビットは1 (外部WAIT端子無効) HW[1:0]は00 (CSネゲート延長しない)。

- 3. CS1 および CS2 とともに SRAM を接続し、バス幅は 16 ビット。
- 4. CPU のデータ転送命令による、アクセスサイズは 16 ビット (MOV.W)。

【注】 *1 命令フェッチによる外部バスのリード (Fバス経由) と、データ転送命令による外部バスのライト (Mバス経由) が連続した場合です。

2. 内部バスの最小アイドル数 (DMAC 動作)

< 訂正前 >

表 9. ## 内部バスの最小アイドル数 (DMAC 動作)

DMAC 動作	転送モード					
	デュアルアドレス				シングルアドレス ^{#2}	
	オートリクエスト	周辺モジュール	外部リクエスト (レベル)	外部リクエスト (エッジ)	外部リクエスト (レベル)	外部リクエスト (エッジ)
ライト→ライト	1	1	3	3	6	1
ライト→リード	0	0	2 or 0 ^{*1}	1 or 0 ^{*1}	0	0
リード→ライト	0	0	0	0	0	0
リード→リード	2	2	5	4	5	2

【動作条件】

- 1. ライト→ライトは内蔵メモリ→外部メモリ間データ転送、リード→リードは外部メモリ→内蔵メモリ間データ転送、ライト→リード、リード→ライトは外部メモリ - 外部メモリ間データ転送で、それぞれ動作モードはバーストモードです。
- 2. 外部バス幅=16 ビット、DMAC 転送サイズ=16 ビットの場合です。
- 3. lck : Bck=4 : 1 の場合です。

【注】 *1 外部リクエスト (レベル) での転送のライト→リードの0 は、異なるチャンネルが連続起動した場合、2 は同一チャンネルが連続起動した場合です。
外部リクエスト (エッジ) での転送のライト→リードの0 は、異なるチャンネルが連続起動した場合、1 は同一チャンネルが連続起動した場合です。

*2 シングルアドレスのライト→リード、リード→ライトは異なるチャンネルを連続起動した場合です。

「ライト」はDACK 付きデバイス→外部メモリ、「リード」は外部メモリ→DACK 付きデバイスへの転送です。

< 訂正後 >

表 9. ## 内部バスの最小アイドル数 (DMAC 動作)

DMAC 動作	転送モード				
	デュアルアドレス				
	オートリクエスト	周辺モジュール	外部リクエスト (レベル, AM=0)	外部リクエスト (レベル, AM=1)	外部リクエスト (エッジ)
ライト ライト ^{*3}	2	2	4 ^{*1} or 2 ^{*2}	9 ^{*1*4} or 2 ^{*2}	4 ^{*1} or 2 ^{*2}
ライト リード ^{*3}	0	0	2 ^{*1} or 0 ^{*2}	6 ^{*1*4} or 0 ^{*2}	1 ^{*1} or 0 ^{*2}
リード ライト	0	0	0	0	0
リード リード	2	2	5 ^{*1} or 2 ^{*2}	4 ^{*1} or 2 ^{*2}	4 ^{*1} or 2 ^{*2}

DMAC 動作	転送モード	
	シングルアドレス	
	外部リクエスト (レベル)	外部リクエスト (エッジ)
ライト ライト ^{*3}	7 ^{*1*4} or 0 ^{*2}	2 ^{*1} or 0 ^{*2}
ライト リード ^{*3}	0 ^{*2}	0 ^{*2}
リード ライト	0 ^{*2}	0 ^{*2}
リード リード	5 ^{*1} or 0 ^{*2}	2 ^{*1} or 0 ^{*2}

【動作条件】

- 1. CS1BCR および CS2BCR のサイクル間アイドル指定はすべて 0 を指定。
- 2. CS1WCR および CS2WCR の WM ビットは 1 (外部 WAIT 端子無効)、SW[1:0]は 00 (CS アサート延長しない)、HW[1:0]は 00 (CS ネゲート延長しない)。
- 3. CS1 および CS2 とともに SRAM を接続し、バス幅は 16 ビット。

4. DMA 転送サイズは 16 ビット。DMAC の動作モードはバーストモード。
5. デュアルアドレスのライト ライトは内蔵メモリ 外部メモリ間データ転送、リード リードは外部メモリ 内蔵メモリ間データ転送、ライト リード、リード ライトは外部メモリ 外部メモリ間データ転送。
6. シングルアドレスのライトは、DACK 付きデバイス 外部メモリ、リードは外部メモリ DACK 付きデバイスへの転送。

- 【注】
- *1 同一チャンネルの DMA 転送が連続した場合の、最小アイドル数です。
 - *2 異なるチャンネル間の DMA 転送が連続した場合の、最小アイドル数です。
 - *3 前アクセスに対してCS アサート延長 (Th)、アクセスウェイト(Tw)、CS ネゲート延長 (Tf) を挿入する場合、ライトバッファ効果で、表の値よりも Th+Tw+Tf だけ最小アイドル数は小さくなります。
 - *4 ライトバッファ効果による、最小アイドル数の減少は発生しません。

以上