

# Renesas RA6T1 グループ

ユーザーズマニュアル ハードウェア編

32

32-bit MCU

Renesas Advanced (RA) Family

Renesas RA6 Series

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
  2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
  3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
  4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
  5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング等、その他、不適切に使用しないでください。かかる改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
  6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等  
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
  7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
  8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
  9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
  10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
  11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
  12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
  13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
  14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# はじめに

## 1. このマニュアルについて

このマニュアルは主に、製品の概要、CPU、システム制御機能、周辺機能、電気的特性の仕様および使用上の注意事項で構成されています。このマニュアルはマイクロコントローラ（MCU）のスーパーセットの製品特性を記述します。お客様の製品によっていくつかの端子、レジスタまたは機能が存在しないものがある場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

## 2. 対象読者

このマニュアルは、本 MCU を使用したプログラミングアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路および MCU に関する基本的な知識が求められます。

## 3. 関連ドキュメント

弊社では、本 MCU 用に下記のドキュメントを提供しています。

ドキュメントの種類	内容
データシート	特長、概要およびMCUの電気的特性
ユーザーズマニュアル ハードウェア編	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などのMCU仕様
アプリケーションノート	テクニカルノート、ボードデザインのガイドラインおよびソフトウェア移行情報
テクニカルアップデート (TU)	制限や正誤表などの製品仕様に関する予備レポート

## 4. 数値の表記法

数値には、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
011b	2進数。たとえば、数値3を2進数で表記すると011bになります。
1Fh	16進数。たとえば、数値31を16進数で表記すると1Fhになります。場合によっては、C/C++フォーマットに基づいて、プレフィックス0xが付いた16進数が示されます。
1234	10進数。一般的に10進数には後付き記号を付けません。

## 5. シンボルの表記法

シンボルには、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
ICU.NMICR.NMIMD	機能モジュールのシンボル (ICU)、レジスタのシンボル (NMICR)、およびビットフィールドのシンボル (NMIMD) は、ピリオドで区切られます。
ICU.NMICR	機能モジュールのシンボル (ICU) とレジスタのシンボル (NMICR) は、ピリオドで区切られます。
NMICR.NMIMD	レジスタのシンボル (NMICR) とビットフィールドのシンボル (NMIMD) は、ピリオドで区切られます。
NFCLKSEL[1:0]	レジスタビット名において、角括弧内に記されたビット範囲は、その位置におけるフィールドのビット番号を示します。たとえば、NFCLKSEL[1:0]はNMI端子割り込みコントロールレジスタ (NMICR)の指定位置の2ビットフィールドを表します。

## 6. 単位記号

下記の単位記号は誤解を招くことがあります。これらの単位記号は、このマニュアル全体を通して下記の意味で用いられます。

例	内容
b	Bit
B	Byte この単位記号は、一般にMCUおよびアドレススペースのメモリ指定に使用されます。
k	$1000 = 10^3$ kは1024 ( $2^{10}$ ) を表すのにも使用されますが、この単位記号はこのマニュアル全体を通して1000 ( $10^3$ ) 表すために使用されます。
K	$1024 = 2^{10}$ この単位記号は、このマニュアル全体を通して1000 ( $10^3$ ) ではなく1024 ( $2^{10}$ ) を表すために使用されます。

## 7. 特殊用語

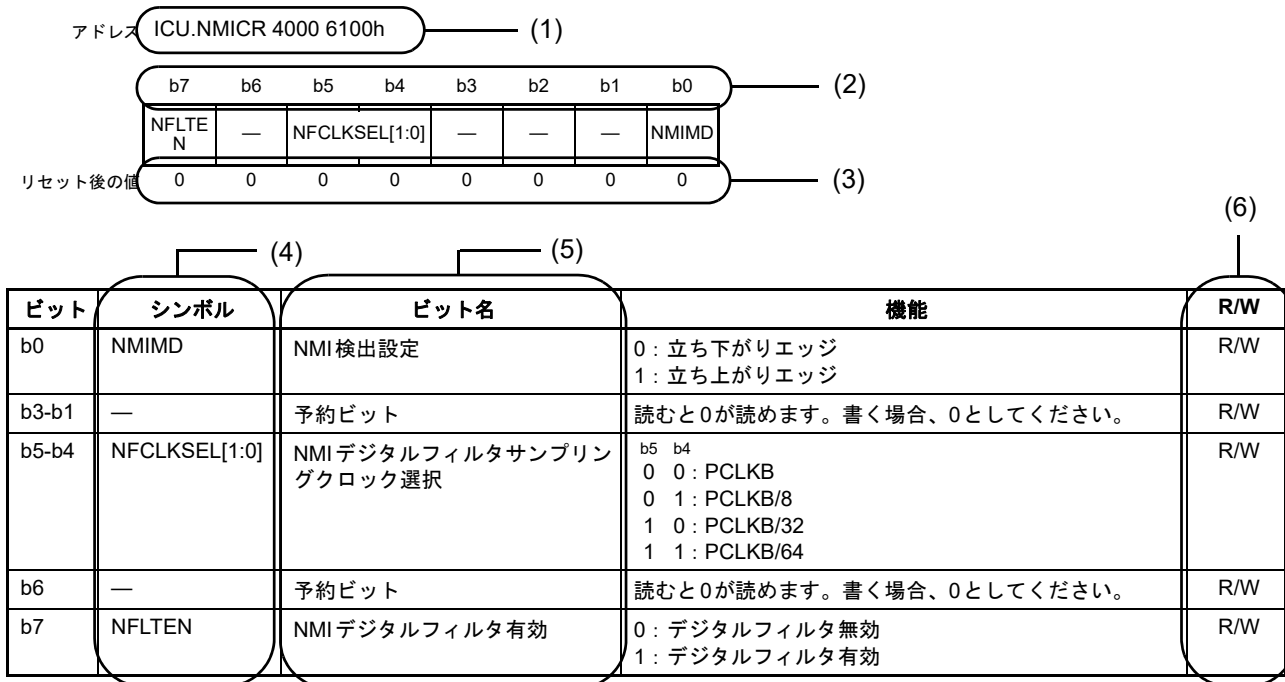
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。NCは、端子がMCUに接続されていないことを意味します。
Hi-Z	ハイインピーダンス

## 8. レジスタの説明

各章の「レジスタの説明」には、ビットの並びを示すレジスタ配置図と、各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用されている記号例については、以降の項で説明します。以下は、レジスタの説明および関連するビットフィールド定義の例です。

### X.X.X NMI 端子割り込みコントロールレジスタ (NMICR)



#### (1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレス割り当て

この部分には、通常、機能モジュールのシンボル、レジスタのシンボル、およびこのレジスタのアドレス割り当てが記載されます。たとえば、ICU.NMICR 4000 6100h は、割り込みコントローラユニット (ICU) の NMI 端子割り込みコントロールレジスタ (NMICR) がアドレス 4000 6100h に割り当てられることを表します。

#### (2) ビット番号

この番号はビット番号を表します。32 ビットレジスタの場合は b31 ~ b0 の順に、16 ビットレジスタの場合は b15 ~ b0 の順に、8 ビットレジスタの場合は b7 ~ b0 の順に示されます。

#### (3) リセット後の値

これらのシンボルや数字は、ハードリセット後の各ビット値を示しています。特に記載のない限り、値は 2 進数で示されます。

- 0: ハードリセット後、値は 0
- 1: ハードリセット後、値は 1
- x: ハードリセット後、値は不定

#### (4) ビットシンボル

ビットシンボルは、ビットフィールドの略名です。予約ビットの場合は、— と表記されます。

#### (5) ビット名

ビット名は、ビットフィールドの正式名です。

#### (6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であることを示します。

R/W: 読み出しも書き込みも可能

R(W): 読み出しも書き込みも可能。しかし、本ビットフィールドに書き込むにはいくつかの制限があります。制限の詳細については、それぞれのレジスタの説明または注釈を参照してください。

R: 読み出しのみ可能。書き込みは無効

W: 書き込みのみ可能。読み出し値は不定

## 9. 略称

このマニュアルで使用する略称が下表に示されています。

略称	内容
AES	Advanced Encryption Standard (高度暗号化標準)
AHB	Advanced High-performance Bus (アドバンストハイパフォーマンスバス)
AHB-AP	AHB Access Port (AHBアクセスポート)
APB	Advanced Peripheral Bus (アドバンスト周辺バス)
ARC	Alleged RC (Alleged RC暗号)
ATB	Advanced Trace Bus (アドバンストトレースバス)
BCD	Binary Coded Decimal (2進化10進数)
BSDL	Boundary Scan Description Language (パウンダリスキャン記述言語)
DES	Data Encryption Standard (データ暗号化標準)
DSA	Digital Signature Algorithm (デジタル署名アルゴリズム)
ECC	Error Correction Code (誤り訂正コード)
ETB	Embedded Trace Buffer (エンベデッドトレースバッファ)
ETM	Embedded Trace Macrocell (エンベデッドトレースマクロセル)
FLL	Frequency Locked Loop (周波数安定化ループ回路)
FPU	Floating Point Unit (浮動小数点ユニット)
GSM	Global System for Mobile communications (第2世代移動通信システム (2G) 規格)
HMI	Human Machine Interface (ヒューマンマシンインタフェース)
IrDA	Infrared Data Association (赤外線通信協会/規格)
LSB	Least Significant Bit (最下位ビット)
MSB	Most Significant Bit (最上位ビット)
NVIC	Nested Vector Interrupt Controller (ネスト型ベクタ割り込みコントローラ)
PC	Program Counter (プログラムカウンタ)
PFS	Port Function Select (ポート機能選択)
PLL	Phase Locked Loop (位相同期回路)
POR	Power-on Reset (パワーオンリセット)
PWM	Pulse Width Modulation (パルス幅変調)
RSA	Rivest Shamir Adleman (Rivest/Shamir/Adlemanによる公開鍵暗号方式)
SHA	Secure Hash Algorithm (セキュアハッシュアルゴリズム)
S/H	Sample and Hold (サンプルアンドホールド)
SP	Stack Pointer (スタックポインタ)
SWD	Serial Wire Debug (シリアルワイヤデバッグ)
SW-DP	Serial Wire-Debug Port (シリアルワイヤデバッグポート)
TRNG	True Random Number Generator (真性乱数発生器)
UART	Universal Asynchronous Receiver/Transmitter (調歩同期式シリアルインタフェース)

## 10. 所有権通知

このマニュアルに含まれるすべてのテキスト、画像、写真、商標、ロゴ、挿絵、コンピュータコード（総称して「コンテンツ」）は、ルネサスが所有、管理、またはライセンス保持するものであり、トレードドレス法、著作権法、特許法、商標法、その他の知的所有権法、不当競争法で保護されています。このマニュアルに明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、このマニュアルの一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

Arm® および Cortex® は、Arm Limited の登録商標です。CoreSight™ は Arm Limited の商標です。

CoreMark® は、Embedded Microprocessor Benchmark Consortium の登録商標です。

Magic Packet™ は、Advanced Micro Devices、Inc. の商標です。

SuperFlash® は、Silicon Storage Technology、Inc. の日本と米国を含むいくつかの国での登録商標です。

このマニュアルに記載されているその他のブランド名は、それぞれの所有者の商標または登録商標です。



# 目次

特長 .....	41
1. 概要 .....	42
1.1 機能の概要 .....	42
1.2 ブロック図 .....	47
1.3 型名 .....	48
1.4 機能の比較 .....	49
1.5 端子機能 .....	50
1.6 ピン配置図 .....	53
1.7 端子一覧 .....	55
2. CPU .....	57
2.1 概要 .....	57
2.1.1 CPU .....	57
2.1.2 デバッグ .....	58
2.1.3 動作周波数 .....	59
2.2 MCU 実装オプション .....	60
2.3 トレースインタフェース .....	60
2.4 JTAG/SWD インタフェース .....	61
2.5 デバッグモード .....	62
2.5.1 デバッグモード定義 .....	62
2.5.2 デバッグモードの影響 .....	62
2.5.2.1 低消費電力モード .....	62
2.5.2.2 リセット .....	63
2.6 プログラマモデル .....	64
2.6.1 アドレス空間 .....	64
2.6.2 Cortex-M4 ペリフェラルアドレスマップ .....	64
2.6.3 CoreSight ROM テーブル .....	65
2.6.3.1 ROM エントリ .....	65
2.6.3.2 CoreSight コンポーネントレジスタ .....	65
2.6.4 DBGREG モジュール .....	66
2.6.4.1 デバッグステータスレジスタ (DBGSTR) .....	66
2.6.4.2 デバッグストップコントロールレジスタ (DBGSTOPCR) .....	67
2.6.4.3 トレースコントロールレジスタ (TRACECTR) .....	68
2.6.4.4 DBGREG CoreSight コンポーネントレジスタ .....	68
2.6.5 OCDREG モジュール .....	69
2.6.5.1 ID 認証コードレジスタ (IAUTH0 ~ 3) .....	69
2.6.5.2 MCU ステータスレジスタ (MCUSTAT) .....	70
2.6.5.3 MCU コントロールレジスタ (MCUCTRL) .....	71
2.6.5.4 OCDREG CoreSight コンポーネントレジスタ .....	71
2.7 CoreSight ATB ファネル .....	72

2.8	フラッシュパッチ & ブレークユニット .....	72
2.9	SysTick システムタイマ .....	72
2.10	CoreSight タイムスタンプジェネレータ .....	73
2.11	OCD エミュレータ接続 .....	73
2.11.1	DBGEN .....	73
2.11.2	アンロック ID コード .....	74
2.11.3	OCD エミュレータ接続における制限 .....	74
2.11.3.1	低消費電力モード中の接続開始 .....	74
2.11.3.2	OCD モードにおける低消費電力モードの切り替え .....	74
2.11.3.3	OSIS におけるアンロック ID コードの変更 .....	74
2.11.3.4	接続順序と JTAG/SWD 認証 .....	75
2.12	参考資料 .....	76
3.	動作モード .....	77
3.1	概要 .....	77
3.2	動作モードの説明 .....	77
3.2.1	シングルチップモード .....	77
3.2.2	SCI ブートモード .....	77
3.3	動作モード遷移 .....	77
3.3.1	モード設定端子による動作モード遷移 .....	77
4.	アドレス空間 .....	78
4.1	概要 .....	78
5.	メモリミラー機能 (MMF) .....	79
5.1	概要 .....	79
5.2	レジスタの説明 .....	80
5.2.1	MemMirror 特殊機能レジスタ (MMSFR) .....	80
5.2.2	MemMirror イネーブルレジスタ (MMEN) .....	81
5.3	動作説明 .....	82
5.3.1	MMF 動作 .....	82
5.3.2	設定例 .....	85
6.	リセット .....	86
6.1	概要 .....	86
6.2	レジスタの説明 .....	90
6.2.1	リセットステータスレジスタ 0 (RSTSR0) .....	90
6.2.2	リセットステータスレジスタ 1 (RSTSR1) .....	92
6.2.3	リセットステータスレジスタ 2 (RSTSR2) .....	94
6.2.4	リセットコントロールレジスタ 1 (RCR1) .....	94
6.2.5	リセットコントロールレジスタ 2 (RCR2) .....	95
6.2.6	リセットコントロールレジスタ 4 (RCR4) .....	95
6.3	動作説明 .....	96
6.3.1	RES 端子リセット .....	96
6.3.2	パワーオンリセット .....	97

6.3.3	電圧監視リセット .....	98
6.3.4	ディープソフトウェアスタンバイリセット .....	100
6.3.5	独立ウォッチドッグタイマリセット .....	100
6.3.6	ウォッチドッグタイマリセット .....	100
6.3.7	ソフトウェアリセット .....	100
6.3.8	コールドスタート／ウォームスタート判定機能 .....	101
6.3.9	リセット発生要因の判定 .....	102
6.4	リセット後に必要な初期化手順 .....	103
7.	オプション設定メモリ .....	104
7.1	概要 .....	104
7.2	レジスタの説明 .....	105
7.2.1	オプション機能選択レジスタ 0 (OFS0) .....	105
7.2.2	オプション機能選択レジスタ 1 (OFS1) .....	108
7.2.3	アクセスウィンドウ設定レジスタ (AWS) .....	109
7.2.4	OCD / シリアルプログラマ ID 設定レジスタ (OSIS) .....	111
7.3	オプション設定メモリの設定方法 .....	112
7.3.1	オプション設定メモリへのデータの配置方法 .....	112
7.3.2	オプション設定メモリにプログラムするデータの設定方法 .....	112
7.4	使用上の注意事項 .....	113
7.4.1	オプション設定メモリの予約領域および予約ビットにプログラムするデータ .....	113
8.	低電圧検出 (LVD) .....	114
8.1	概要 .....	114
8.2	レジスタの説明 .....	117
8.2.1	電圧モニタ 1 回路コントロールレジスタ 1 (LVD1CR1) .....	117
8.2.2	電圧モニタ 1 回路ステータスレジスタ (LVD1SR) .....	118
8.2.3	電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1) .....	118
8.2.4	電圧モニタ 2 回路ステータスレジスタ (LVD2SR) .....	119
8.2.5	電圧モニタ回路コントロールレジスタ (LVCMPCR) .....	120
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR) .....	121
8.2.7	電圧モニタ 1 回路コントロールレジスタ 0 (LVD1CR0) .....	122
8.2.8	電圧モニタ 2 回路コントロールレジスタ 0 (LVD2CR0) .....	123
8.3	VCC 入力電圧のモニタ .....	124
8.3.1	$V_{det0}$ のモニタ .....	124
8.3.2	$V_{det1}$ のモニタ .....	124
8.3.3	$V_{det2}$ のモニタ .....	124
8.4	電圧監視 0 リセット .....	125
8.5	電圧監視 1 割り込み、電圧監視 1 リセット .....	126
8.6	電圧監視 2 割り込み、電圧監視 2 リセット .....	129
8.7	イベントリンク出力 .....	132
8.7.1	割り込み処理とイベントリンクの関係 .....	132

9.	クロック発生回路 .....	133
9.1	概要 .....	133
9.2	レジスタの説明 .....	138
9.2.1	システムクロック分周コントロールレジスタ (SCKDIVCR) .....	138
9.2.2	システムクロックソースコントロールレジスタ (SCKSCR) .....	142
9.2.3	PLL クロックコントロールレジスタ (PLLCCR) .....	145
9.2.4	PLL コントロールレジスタ (PLLCR) .....	146
9.2.5	メインクロック発振器コントロールレジスタ (MOSCCR) .....	147
9.2.6	サブクロック発振器コントロールレジスタ (SOSCCR) .....	148
9.2.7	低速オンチップオシレータコントロールレジスタ (LOCOCR) .....	149
9.2.8	高速オンチップオシレータコントロールレジスタ (HOCOCR) .....	150
9.2.9	高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR) .....	151
9.2.10	中速オンチップオシレータコントロールレジスタ (MOCOCR) .....	152
9.2.11	FLL コントロールレジスタ 1 (FLLCR1) .....	153
9.2.12	FLL コントロールレジスタ 2 (FLLCR2) .....	155
9.2.13	発振安定フラグレジスタ (OSCSF) .....	156
9.2.14	発振停止検出コントロールレジスタ (OSTDCR) .....	158
9.2.15	発振停止検出ステータスレジスタ (OSTDSR) .....	159
9.2.16	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) .....	160
9.2.17	メインクロック発振器モード発振コントロールレジスタ (MOMCR) .....	161
9.2.18	サブクロック発振器モードコントロールレジスタ (SOMCR) .....	162
9.2.19	クロックアウトコントロールレジスタ (CKOCR) .....	163
9.2.20	LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR) .....	164
9.2.21	MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR) .....	164
9.2.22	HOCO ユーザトリミングコントロールレジスタ (HOCOUTCR) .....	165
9.2.23	トレースクロックコントロールレジスタ (TRCKCR) .....	165
9.3	メインクロック発振器 .....	166
9.3.1	水晶振動子を接続する方法 .....	166
9.3.2	外部クロックを入力する方法 .....	167
9.3.3	外部クロック入力に関する注意事項 .....	167
9.4	サブクロック発振器 .....	168
9.4.1	32.768kHz 水晶振動子を接続する方法 .....	168
9.4.2	サブクロック発振器を使用しない場合の端子処理 .....	169
9.5	発振停止検出機能 .....	170
9.5.1	発振停止検出と検出後の動作 .....	170
9.5.2	発振停止検出割り込み .....	172
9.6	PLL 回路 .....	173
9.7	内部クロック .....	173
9.7.1	システムクロック (ICLK) .....	174
9.7.2	周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD) .....	175
9.7.3	フラッシュインタフェースクロック (FCLK) .....	175

9.7.4	CAN クロック (CANMCLK) .....	176
9.7.5	CAC クロック (CACCLK) .....	176
9.7.6	IWDT 専用クロック (IWDTCLK) .....	176
9.7.7	AGT 専用クロック (AGTSCLK, AGTLCLK) .....	176
9.7.8	SysTick タイマ専用クロック (SYSTICCLK) .....	176
9.7.9	クロック/ブザー出力クロック (CLKOUT) .....	176
9.7.10	JTAG クロック (JTAGTCK) .....	176
9.8	使用上の注意事項 .....	177
9.8.1	クロック発生回路に関する注意事項 .....	177
9.8.2	発振子に関する注意事項 .....	177
9.8.3	ボード設計に関する注意事項 .....	177
9.8.4	発振子接続端子に関する注意事項 .....	178
9.8.5	メインクロック発振器駆動能力自動切り替え機能に関する注意事項 .....	178
10.	クロック周波数精度測定回路 (CAC) .....	179
10.1	概要 .....	179
10.2	レジスタの説明 .....	181
10.2.1	CAC コントロールレジスタ 0 (CACR0) .....	181
10.2.2	CAC コントロールレジスタ 1 (CACR1) .....	182
10.2.3	CAC コントロールレジスタ 2 (CACR2) .....	183
10.2.4	CAC 割り込みコントロールレジスタ (CAICR) .....	184
10.2.5	CAC ステータスレジスタ (CASTR) .....	185
10.2.6	CAC 上限値設定レジスタ (CAULVR) .....	186
10.2.7	CAC 下限値設定レジスタ (CALLVR) .....	186
10.2.8	CAC カウンタバッファレジスタ (CACNTBR) .....	186
10.3	動作説明 .....	187
10.3.1	クロック周波数測定 .....	187
10.3.2	CACREF 端子のデジタルフィルタ機能 .....	188
10.4	割り込み要求 .....	188
10.5	使用上の注意事項 .....	188
10.5.1	モジュールストップ機能の設定 .....	188
11.	低消費電力モード .....	189
11.1	概要 .....	189
11.2	レジスタの説明 .....	194
11.2.1	スタンバイコントロールレジスタ (SBYCR) .....	194
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA) .....	195
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB) .....	196
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC) .....	198
11.2.5	モジュールストップコントロールレジスタ D (MSTPCRD) .....	199
11.2.6	動作電力コントロールレジスタ (OPCCR) .....	201
11.2.7	サブ動作電力コントロールレジスタ (SOPCCR) .....	202
11.2.8	スヌーズコントロールレジスタ (SNZCR) .....	204

11.2.9	スヌーズ終了コントロールレジスタ (SNZEDCR) .....	205
11.2.10	スヌーズ要求コントロールレジスタ (SNZREQCR) .....	207
11.2.11	ディープソフトウェアスタンバイコントロールレジスタ (DPSBYCR) .....	209
11.2.12	ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 0 (DPSIER0) .....	210
11.2.13	ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 1 (DPSIER1) .....	211
11.2.14	ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 2 (DPSIER2) .....	212
11.2.15	ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 3 (DPSIER3) .....	213
11.2.16	ディープソフトウェアスタンバイ割り込みフラグレジスタ 0 (DPSIFR0) .....	214
11.2.17	ディープソフトウェアスタンバイ割り込みフラグレジスタ 1 (DPSIFR1) .....	215
11.2.18	ディープソフトウェアスタンバイ割り込みフラグレジスタ 2 (DPSIFR2) .....	216
11.2.19	ディープソフトウェアスタンバイ割り込みフラグレジスタ 3 (DPSIFR3) .....	217
11.2.20	ディープソフトウェアスタンバイ割り込みエッジレジスタ 0 (DPSIEGR0) .....	218
11.2.21	ディープソフトウェアスタンバイ割り込みエッジレジスタ 1 (DPSIEGR1) .....	218
11.2.22	ディープソフトウェアスタンバイ割り込みエッジレジスタ 2 (DPSIEGR2) .....	219
11.2.23	システムコントロール OCD コントロールレジスタ (SYOCDCR) .....	220
11.2.24	スタンバイ条件レジスタ (STCONR) .....	221
11.3	クロックの切り替えによる消費電力の低減 .....	222
11.4	モジュールストップ機能 .....	222
11.5	低消費電力機能 .....	223
11.5.1	動作電力制御モードの設定方法 .....	223
11.6	スリープモード .....	225
11.6.1	スリープモードへの遷移 .....	225
11.6.2	スリープモードの解除 .....	225
11.7	ソフトウェアスタンバイモード .....	227
11.7.1	ソフトウェアスタンバイモードへの遷移 .....	227
11.7.2	ソフトウェアスタンバイモードの解除 .....	230
11.7.3	ソフトウェアスタンバイモードの応用例 .....	232
11.8	スヌーズモード .....	233
11.8.1	スヌーズモードへの遷移 .....	233
11.8.2	スヌーズモードの解除 .....	234
11.8.3	ソフトウェアスタンバイモードへの復帰 .....	235
11.8.4	スヌーズモードの動作例 .....	236
11.9	ディープソフトウェアスタンバイモード .....	240
11.9.1	ディープソフトウェアスタンバイモードへの遷移 .....	240
11.9.2	ディープソフトウェアスタンバイモードの解除 .....	241
11.9.3	ディープソフトウェアスタンバイモード解除時の端子状態 .....	241
11.9.4	ディープソフトウェアスタンバイモードの応用例 .....	242
11.9.5	ディープソフトウェアスタンバイモード使用時のフローチャート .....	243
11.10	使用上の注意事項 .....	244
11.10.1	レジスタアクセス .....	244
11.10.2	I/O ポートの状態 .....	245

11.10.3	DMAC と DTC のモジュールストップ状態 .....	246
11.10.4	内部割り込み要因 .....	246
11.10.5	DIRQnE ビット (n = 0, 1, 4 ~ 12) による入力バッファ制御 .....	246
11.10.6	低消費電力モードへの遷移 .....	246
11.10.7	WFI 命令のタイミング .....	246
11.10.8	スリープモード/スヌーズモード時の DMAC または DTC による WDT および IWDT レジスタへの書き込みについて .....	246
11.10.9	スヌーズモードにおける発振器について .....	246
11.10.10	RXD0 の立ち下がりエッジによるスヌーズモードエントリ .....	247
11.10.11	スヌーズモードにおける SCI0 の使用 .....	247
11.10.12	スヌーズモードにおける A/D 変換開始条件 .....	247
11.10.13	スヌーズモードにおける ELC イベント .....	247
12.	レジスタライトプロテクション .....	248
12.1	概要 .....	248
12.2	レジスタの説明 .....	249
12.2.1	プロテクトレジスタ (PRCR) .....	249
13.	割り込みコントローラユニット (ICU) .....	250
13.1	概要 .....	250
13.2	レジスタの説明 .....	252
13.2.1	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 13) .....	252
13.2.2	ノンマスカブル割り込みステータスレジスタ (NMISR) .....	254
13.2.3	ノンマスカブル割り込みイネーブルレジスタ (NMIER) .....	257
13.2.4	ノンマスカブル割り込みステータスクリアレジスタ (NMICLR) .....	259
13.2.5	NMI 端子割り込みコントロールレジスタ (NMICR) .....	261
13.2.6	ICU イベントリンク設定レジスタ n (IELSRn) (n = 0 ~ 95) .....	262
13.2.7	DMAC イベントリンク設定レジスタ n (DELSRn) (n = 0 ~ 7) .....	264
13.2.8	SYS イベントリンク設定レジスタ (SELSR0) .....	265
13.2.9	ウェイクアップ割り込みイネーブルレジスタ (WUPEN) .....	266
13.3	ベクタテーブル .....	268
13.3.1	割り込みベクタテーブル .....	268
13.3.2	イベント番号 .....	271
13.4	割り込み動作 .....	278
13.4.1	割り込みの検出 .....	278
13.4.2	割り込み要求先の選択 .....	279
13.4.2.1	CPU 割り込み要求 .....	279
13.4.2.2	DTC の起動 .....	279
13.4.2.3	DMAC の起動 .....	280
13.4.3	デジタルフィルタ .....	281
13.4.4	外部端子割り込み .....	281
13.5	ノンマスカブル割り込みの動作 .....	282
13.6	低消費電力モードからの復帰 .....	283

13.6.1	スリープモードからの復帰 .....	283
13.6.2	ソフトウェアスタンバイモードからの復帰 .....	283
13.6.3	スヌーズモードからの復帰 .....	283
13.7	ノンマスクブル割り込みとともに WFI 命令を使用する場合 .....	284
13.8	参考資料 .....	284
14.	バス .....	285
14.1	概要 .....	285
14.2	バスの説明 .....	287
14.2.1	メインバス .....	287
14.2.2	スレーブインタフェース .....	287
14.2.3	並列動作 .....	288
14.2.4	エンディアンに関する制限事項 .....	288
14.3	レジスタの説明 .....	289
14.3.1	マスタバスコントロールレジスタ (BUSMCNT<master>) .....	289
14.3.2	スレーブバスコントロールレジスタ (BUSSCNT<slave>) .....	290
14.3.3	バスエラーアドレスレジスタ (BUSnERRADD) (n = 1 ~ 5) .....	292
14.3.4	バスエラーステータスレジスタ (BUSnERRSTAT) (n = 1 ~ 4) .....	293
14.4	バスエラー監視 .....	294
14.4.1	バスエラーの種類 .....	294
14.4.2	バスエラー発生時の動作 .....	294
14.4.3	不正アドレスアクセスエラーを引き起こす条件 .....	295
14.4.4	タイムアウト .....	295
14.5	フラッシュキャッシュ使用時の注意事項 .....	296
14.6	参考資料 .....	296
15.	メモリプロテクションユニット (MPU) .....	297
15.1	概要 .....	297
15.2	CPU スタックポインタモニタ .....	298
15.2.1	レジスタの説明 .....	301
15.2.1.1	メインスタックポインタモニタ開始アドレスレジスタ (MSPMPUSA) .....	301
15.2.1.2	メインスタックポインタモニタ終了アドレスレジスタ (MSPMPUEA) .....	301
15.2.1.3	プロセススタックポインタモニタ開始アドレスレジスタ (PSPMPUSA) .....	302
15.2.1.4	プロセススタックポインタモニタ終了アドレスレジスタ (PSPMPUEA) .....	302
15.2.1.5	スタックポインタモニタ検出後動作レジスタ (MSPMPUOAD, PSPMPUOAD) .....	303
15.2.1.6	スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL, PSPMPUCTL) .....	304
15.2.1.7	スタックポインタモニタ保護レジスタ (MSPMPUPT, PSPMPUPT) .....	305
15.2.2	動作説明 .....	306
15.2.2.1	レジスタの保護 .....	306
15.2.2.2	オーバフローエラーとアンダーフローエラー .....	306
15.3	Arm MPU .....	306
15.4	バスマスタ MPU .....	307



15.4.1	レジスタの説明 .....	309
15.4.1.1	グループ A 領域 n 開始アドレスレジスタ (MMPUSAn) (n = 0 ~ 31) .....	309
15.4.1.2	グループ A 領域 n 終了アドレスレジスタ (MMPUEAn) (n = 0 ~ 31) .....	310
15.4.1.3	グループ A 領域 n アクセスコントロールレジスタ (MMPUACAn) (n = 0 ~ 31) .....	311
15.4.1.4	バスマスタ MPU コントロールレジスタ (MMPUCTLA) .....	313
15.4.1.5	グループ A レジスタ保護 (MMPUPTA) .....	314
15.4.2	動作説明 .....	314
15.4.2.1	メモリプロテクション .....	314
15.4.2.2	レジスタの保護 .....	317
15.4.2.3	メモリプロテクションエラー .....	317
15.5	バススレーブ MPU .....	318
15.5.1	レジスタの説明 .....	319
15.5.1.1	メモリバス 3 アクセスコントロールレジスタ (SMPUMBIU) .....	319
15.5.1.2	内部周辺バス 9 アクセスコントロールレジスタ (SMPUFBIU) .....	320
15.5.1.3	内部周辺バス 1 アクセスコントロールレジスタ (SMPUP0BIU) .....	321
15.5.1.4	内部周辺バス 3 アクセスコントロールレジスタ (SMPUP2BIU) .....	322
15.5.1.5	内部周辺バス 7 アクセスコントロールレジスタ (SMPUP6BIU) .....	323
15.5.1.6	スレーブ MPU コントロールレジスタ (SMPUCTL) .....	324
15.5.2	動作説明 .....	325
15.5.2.1	メモリプロテクション .....	325
15.5.2.2	レジスタの保護 .....	325
15.5.2.3	メモリプロテクションエラー .....	325
15.6	セキュリティ MPU .....	326
15.6.1	レジスタの説明 (オプション設定メモリ) .....	327
15.6.1.1	セキュリティ MPU プログラムカウンタ開始アドレスレジスタ (SECMPUPCSn) (n = 0, 1) .....	327
15.6.1.2	セキュリティ MPU プログラムカウンタ終了アドレスレジスタ (SECMPUPCEn) (n = 0, 1) .....	328
15.6.1.3	セキュリティ MPU 領域 0 開始アドレスレジスタ (SECMPUS0) .....	328
15.6.1.4	セキュリティ MPU 領域 0 終了アドレスレジスタ (SECMPUE0) .....	329
15.6.1.5	セキュリティ MPU 領域 1 開始アドレスレジスタ (SECMPUS1) .....	329
15.6.1.6	セキュリティ MPU 領域 1 終了アドレスレジスタ (SECMPUE1) .....	330
15.6.1.7	セキュリティ MPU 領域 2 開始アドレスレジスタ (SECMPUS2) .....	331
15.6.1.8	セキュリティ MPU 領域 2 終了アドレスレジスタ (SECMPUE2) .....	332
15.6.1.9	セキュリティ MPU 領域 3 開始アドレスレジスタ (SECMPUS3) .....	333
15.6.1.10	セキュリティ MPU 領域 3 終了アドレスレジスタ (SECMPUE3) .....	334
15.6.1.11	セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) .....	335
15.6.2	メモリプロテクション .....	336
15.6.3	使用上の注意事項 .....	337
15.7	参考資料 .....	337

16.	DMA コントローラ (DMAC)	338
16.1	概要	338
16.2	レジスタの説明	340
16.2.1	DMA 転送元アドレスレジスタ (DMSAR)	340
16.2.2	DMA 転送先アドレスレジスタ (DMDAR)	340
16.2.3	DMA 転送カウントレジスタ (DMCRA)	341
16.2.4	DMA ブロック転送カウントレジスタ (DMCRB)	343
16.2.5	DMA 転送モードレジスタ (DMTMD)	344
16.2.6	DMA 割り込み設定レジスタ (DMINT)	345
16.2.7	DMA アドレスモードレジスタ (DMAMD)	347
16.2.8	DMA オフセットレジスタ (DMOFR)	350
16.2.9	DMA 転送イネーブルレジスタ (DMCNT)	350
16.2.10	DMA ソフトウェア起動レジスタ (DMREQ)	351
16.2.11	DMA ステータスレジスタ (DMSTS)	352
16.2.12	DMAC モジュール起動レジスタ (DMAST)	354
16.3	動作説明	355
16.3.1	転送モード	355
16.3.2	拡張リポート領域機能	359
16.3.3	オフセットを使用したアドレス更新機能	361
16.3.4	起動要因	365
16.3.5	動作タイミング	366
16.3.6	DMAC の実行サイクル	367
16.3.7	DMAC の起動	368
16.3.8	DMA 転送の開始	369
16.3.9	DMA 転送中のレジスタ	369
16.3.10	チャンネル優先順位	370
16.4	DMA 転送の終了	371
16.4.1	設定した総転送回数完了による転送終了	371
16.4.2	リポートサイズ終了割り込みによる転送終了	371
16.4.3	拡張リポート領域オーバーフロー割り込みによる転送終了	371
16.4.4	DMA 転送の終了に関する注意事項	372
16.5	割り込み	373
16.6	イベントリンク	375
16.7	低消費電力機能	375
16.8	使用上の注意事項	376
16.8.1	DMA 転送中のレジスタアクセスについて	376
16.8.2	予約領域への DMA 転送について	376
16.8.3	割り込みコントローラユニットの DMAC イベントリンク設定レジスタ (ICU.DELSRn) の設定	376
16.8.4	DMA 起動の保留/再開方法	376
17.	データトランスファコントローラ (DTC)	377
17.1	概要	377

17.2	レジスタの説明 .....	379
17.2.1	DTC モードレジスタ A (MRA) .....	379
17.2.2	DTC モードレジスタ B (MRB) .....	380
17.2.3	DTC 転送元レジスタ (SAR) .....	381
17.2.4	DTC 転送先レジスタ (DAR) .....	381
17.2.5	DTC 転送カウントレジスタ A (CRA) .....	382
17.2.6	DTC 転送カウントレジスタ B (CRB) .....	383
17.2.7	DTC コントロールレジスタ (DTCCR) .....	383
17.2.8	DTC ベクタベースレジスタ (DTCVBR) .....	384
17.2.9	DTC モジュール起動レジスタ (DTCST) .....	384
17.2.10	DTC ステータスレジスタ (DTCSTS) .....	385
17.3	起動要因 .....	386
17.3.1	転送情報の配置と DTC ベクタテーブル .....	386
17.4	動作説明 .....	388
17.4.1	転送情報のリードスキップ機能 .....	390
17.4.2	転送情報のライトバックスキップ機能 .....	391
17.4.3	ノーマル転送モード .....	392
17.4.4	リポート転送モード .....	393
17.4.5	ブロック転送モード .....	395
17.4.6	チェーン転送 .....	396
17.4.7	動作タイミング .....	397
17.4.8	DTC の実行サイクル .....	399
17.4.9	DTC のバス権解放タイミング .....	399
17.5	DTC の設定手順 .....	400
17.6	DTC の使用例 .....	401
17.6.1	ノーマル転送 .....	401
17.6.2	チェーン転送 .....	402
17.6.3	カウンタ = 0 のときのチェーン転送 .....	404
17.7	割り込み要因 .....	406
17.8	イベントリンク .....	406
17.9	スヌーズ制御インタフェース .....	406
17.10	モジュールストップ機能 .....	406
17.11	使用上の注意事項 .....	407
17.11.1	転送情報の開始アドレス .....	407
18.	イベントリンクコントローラ (ELC) .....	408
18.1	概要 .....	408
18.2	レジスタの説明 .....	409
18.2.1	イベントリンクコントローラレジスタ (ELCR) .....	409
18.2.2	イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) (n = 0, 1) .....	410
18.2.3	イベントリンク設定レジスタ (ELSRn) (n = 0 ~ 17) .....	411
18.3	動作説明 .....	418

18.3.1	割り込み処理とイベントリンクの関係 .....	418
18.3.2	イベントのリンク .....	418
18.3.3	イベントリンクの動作設定手順例 .....	418
18.4	使用上の注意事項 .....	419
18.4.1	DMAC または DTC 転送終了のイベントリンクを使用する場合 .....	419
18.4.2	クロック設定について .....	419
18.4.3	モジュールストップ機能の設定 .....	419
18.4.4	ELC 遅延時間 .....	419
19.	I/O ポート .....	420
19.1	概要 .....	420
19.2	レジスタの説明 .....	422
19.2.1	ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) .....	422
19.2.2	ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR) .....	423
19.2.3	ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) .....	424
19.2.4	ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) .....	425
19.2.5	ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) (m = 0 ~ 7; n = 00 ~ 15) .....	426
19.2.6	書き込みプロテクトレジスタ (PWPR) .....	428
19.2.7	AGT 入力コントロールレジスタ (VBTICTLR) .....	428
19.3	動作説明 .....	429
19.3.1	汎用入出力ポート .....	429
19.3.2	ポート機能選択 .....	429
19.3.3	ELC のポートグループ機能 .....	430
19.3.3.1	ELC から ELC_PORT1, 2, 3, 4 が入力された場合の動作 .....	430
19.3.3.2	イベントパルスが ELC に出力された場合の動作 .....	431
19.4	未使用端子の処理 .....	432
19.5	使用上の注意事項 .....	433
19.5.1	端子機能の設定手順 .....	433
19.5.2	ポートグループ入力の使用手順 .....	433
19.5.3	ポート出力データレジスタ (PODR) の概要 .....	433
19.5.4	アナログ機能使用時の注意事項 .....	433
19.5.5	入出力バッファの仕様 .....	434
19.6	製品ごとの周辺選択設定 .....	435
19.7	PmnPFS レジスタ設定に関する注意事項 .....	435
20.	キー割り込み機能 (KINT) .....	443
20.1	概要 .....	443
20.2	レジスタの説明 .....	445
20.2.1	キーリターンコントロールレジスタ (KRCTL) .....	445
20.2.2	キーリターンフラグレジスタ (KRF) .....	445
20.2.3	キーリターンモードレジスタ (KRM) .....	446
20.3	動作説明 .....	447
20.3.1	キー割り込みフラグを使用しない場合の動作 (KRMD = 0) .....	447

20.3.2	キー割り込みフラグを使用する場合の動作 (KRMD = 1)	448
20.4	使用上の注意事項	450
21.	GPT 用ポートアウトプットイネーブル (POEG)	451
21.1	概要	451
21.2	レジスタの説明	453
21.2.1	POEG グループ n 設定レジスタ (POEGGn) (n = A ~ D)	453
21.3	出力禁止制御の動作	455
21.3.1	端子入力レベル検出時の動作	455
21.3.1.1	デジタルフィルタ	456
21.3.2	GPT からの出力禁止要求	456
21.3.3	コンパレータ割り込みの検出	456
21.3.4	発振停止検出による出力禁止制御	456
21.3.5	レジスタによる出力禁止制御	456
21.3.6	出力禁止状態の解除	457
21.4	割り込み要因	458
21.5	GPT に対する外部トリガ出力	459
21.6	使用上の注意事項	459
21.6.1	ソフトウェアスタンバイモードへの遷移	459
21.6.2	GPT 対応端子の指定	459
22.	汎用 PWM タイマ (GPT)	460
22.1	概要	460
22.2	レジスタの説明	465
22.2.1	汎用 PWM タイマ書き込み保護レジスタ (GTWP)	467
22.2.2	汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)	468
22.2.3	汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)	469
22.2.4	汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)	469
22.2.5	汎用 PWM タイマスタート要因選択レジスタ (GTSSR)	470
22.2.6	汎用 PWM タイマストップ要因選択レジスタ (GTPSR)	474
22.2.7	汎用 PWM タイマクリア要因選択レジスタ (GTCSR)	478
22.2.8	汎用 PWM タイマアップカウント要因選択レジスタ (GTUPSR)	481
22.2.9	汎用 PWM タイマダウンカウント要因選択レジスタ (GTDNSR)	485
22.2.10	汎用 PWM タイマインพุットキャプチャ要因選択レジスタ A (GTICASR)	489
22.2.11	汎用 PWM タイマインพุットキャプチャ要因選択レジスタ B (GTICBSR)	493
22.2.12	汎用 PWM タイマコントロールレジスタ (GTCR)	497
22.2.13	汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC)	499
22.2.14	汎用 PWM タイマ I/O コントロールレジスタ (GTIOR)	502
22.2.15	汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)	506
22.2.16	汎用 PWM タイマステータスレジスタ (GTST)	508
22.2.17	汎用 PWM タイマバッファイネーブルレジスタ (GTBER)	514
22.2.18	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)	517
22.2.19	汎用 PWM タイマカウンタ (GTCNT)	519

22.2.20	汎用 PWM タイマコンペアキャプチャレジスタ n (GTCCRn) (n = A ~ F)	519
22.2.21	汎用 PWM タイマ周期設定レジスタ (GTPR)	520
22.2.22	汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)	520
22.2.23	汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)	520
22.2.24	A/D 変換開始要求タイミングレジスタ n (GTADTRn) (n = A, B)	521
22.2.25	A/D 変換開始要求タイミングバッファレジスタ n (GTADTBRn) (n = A, B)	521
22.2.26	A/D 変換開始要求タイミングダブルバッファレジスタ n (GTADTDBRn) (n = A, B)	522
22.2.27	汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCR)	523
22.2.28	汎用 PWM タイマデッドタイム値レジスタ n (GTDVn) (n = U, D)	525
22.2.29	汎用 PWM タイマデッドタイムバッファレジスタ n (GTDBn) (n = U, D)	526
22.2.30	汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS)	526
22.2.31	汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR)	527
22.2.32	出力相切り替えコントロールレジスタ (OPSCR)	528
22.3	動作説明	531
22.3.1	基本動作	531
22.3.1.1	カウンタの動作	531
22.3.1.2	コンペアマッチによる波形出力機能	537
22.3.1.3	インプットキャプチャ機能	541
22.3.2	バッファ動作	543
22.3.2.1	GTPR レジスタのバッファ動作	543
22.3.2.2	GTCCRA、GTCCRB レジスタのバッファ動作	546
22.3.2.3	GTADTRA、GTADTRB レジスタのバッファ動作	551
22.3.3	PWM 出力動作モード	554
22.3.3.1	のこぎり波 PWM モード	554
22.3.3.2	のこぎり波ワンショットパルスモード	556
22.3.3.3	三角波 PWM モード 1 (谷 32 ビット転送)	559
22.3.3.4	三角波 PWM モード 2 (山/谷 32 ビット転送)	561
22.3.3.5	三角波 PWM モード 3 (谷 64 ビット転送)	563
22.3.4	デッドタイム自動設定機能	566
22.3.5	カウント方向切り替え機能	571
22.3.6	出力デューティ 0% および出力デューティ 100% 機能	572
22.3.7	ハードウェアカウントスタート/カウントストップ、カウントクリア動作	574
22.3.7.1	ハードウェアスタート動作	574
22.3.7.2	ハードウェアストップ動作	576
22.3.7.3	ハードウェアクリア動作	580
22.3.8	同期動作	583
22.3.8.1	ソフトウェアによる同期動作	583
22.3.8.2	ハードウェアによる同期動作	585
22.3.9	PWM 出力動作例	587
22.3.10	位相計数機能	593

22.3.11	出力相切り替え (GPT_OPS) .....	603
22.3.11.1	外部入力信号の同期および入力選択 .....	607
22.3.11.2	入力サンプリング .....	607
22.3.11.3	入力相デコード .....	608
22.3.11.4	出力選択制御 .....	608
22.3.11.5	出力選択制御 (グループ出力禁止機能) .....	609
22.3.11.6	イベントリンクコントローラ (ELC) 出力 .....	609
22.3.11.7	GPT_OPS スタート動作設定フロー .....	610
22.4	割り込み要因 .....	611
22.4.1	DMAC/DTC 起動 .....	618
22.4.2	割り込み、A/D 変換要求の間引き機能 .....	618
22.5	A/D 変換開始要求 .....	622
22.6	ELC によるリンク動作 .....	624
22.6.1	ELC へのイベント信号出力 .....	624
22.6.2	ELC からのイベント信号入力 .....	624
22.7	ノイズフィルタ機能 .....	625
22.8	保護機能 .....	626
22.8.1	レジスタの書き込み保護 .....	626
22.8.2	バッファ動作の禁止 .....	626
22.8.3	GTIOC 端子出力のネゲート制御 .....	627
22.8.4	GTIOC 端子出力の出力保護機能 .....	628
22.8.4.1	バッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能 .....	628
22.8.4.2	谷でのバッファ転送中に GTCCRA レジスタ $\geq$ GTPR レジスタとなった場合の出力保護機能 .....	633
22.8.4.3	山でのバッファ転送中に GTCCRA レジスタ $\geq$ GTPR レジスタとなった場合の出力保護機能 .....	635
22.8.4.4	出力保護機能の注意事項 .....	636
22.8.4.5	出力保護機能の一時解除 .....	636
22.9	出力端子の初期化方法 .....	638
22.9.1	リセット後の端子設定 .....	638
22.9.2	動作中の異常による端子の初期化 .....	638
22.10	使用上の注意事項 .....	639
22.10.1	モジュールストップ機能の設定 .....	639
22.10.2	コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F) .....	639
22.10.3	GTCNT カウンタの範囲設定 .....	640
22.10.4	GTCNT カウンタのスタート/ストップ .....	640
22.10.5	イベントごとの優先順位 .....	641
23.	PWM 遅延生成回路 .....	642
23.1	概要 .....	642
23.2	レジスタの説明 .....	644
23.2.1	PWM 出力遅延コントロールレジスタ (GTDLYCR) .....	644
23.2.2	PWM 出力遅延コントロールレジスタ 2 (GTDLYCR2) .....	645

23.2.3	GTIOcN <sub>A</sub> 立ち上がり出力遅延レジスタ (GTDLYRn <sub>A</sub> ) (n = 0 ~ 3)	646
23.2.4	GTIOcN <sub>A</sub> 立ち下がり出力遅延レジスタ (GTDLYFn <sub>A</sub> ) (n = 0 ~ 3)	647
23.2.5	GTIOcN <sub>B</sub> 立ち上がり出力遅延レジスタ (GTDLYRn <sub>B</sub> ) (n = 0 ~ 3)	648
23.2.6	GTIOcN <sub>B</sub> 立ち下がり出力遅延レジスタ (GTDLYFn <sub>B</sub> ) (n = 0 ~ 3)	649
23.3	動作説明	650
23.3.1	PWM 波形の立ち上がりおよび立ち下がりエッジのタイミング調整	650
23.3.2	GTDLYRn <sub>A</sub> 、GTDLYRn <sub>B</sub> 、GTDLYFn <sub>A</sub> 、GTDLYFn <sub>B</sub> レジスタ設定値の転送タイミング	651
23.4	使用上の注意事項	653
23.4.1	モジュールストップ機能の設定	653
23.4.2	PWM 遅延生成回路の遅延設定に関する注意事項	653
24.	低消費電力非同期汎用タイマ (AGT)	654
24.1	概要	654
24.2	レジスタの説明	656
24.2.1	AGT カウンタレジスタ (AGT)	656
24.2.2	AGT コンペアマッチ A レジスタ (AGTCMA)	656
24.2.3	AGT コンペアマッチ B レジスタ (AGTCMB)	657
24.2.4	AGT コントロールレジスタ (AGTCR)	658
24.2.5	AGT モードレジスタ 1 (AGTMR1)	660
24.2.6	AGT モードレジスタ 2 (AGTMR2)	661
24.2.7	AGT I/O コントロールレジスタ (AGTIOC)	662
24.2.8	AGT イベント端子選択レジスタ (AGTISR)	663
24.2.9	AGT コンペアマッチ機能選択レジスタ (AGTCMSR)	663
24.2.10	AGT 端子選択レジスタ (AGTIOSEL)	664
24.3	動作説明	665
24.3.1	リロードレジスタおよびカウンタの書き換え動作	665
24.3.2	リロードレジスタおよびコンペアレジスタ A/B の書き換え動作	667
24.3.3	タイマモード	668
24.3.4	パルス出力モード	669
24.3.5	イベントカウンタモード	670
24.3.6	パルス幅測定モード	672
24.3.7	パルス周期測定モード	673
24.3.8	コンペアマッチ機能	674
24.3.9	各モードの出力設定	676
24.3.10	スタンバイモード	678
24.3.11	割り込み要因	678
24.3.12	ELC へのイベント信号出力	679
24.4	使用上の注意事項	680
24.4.1	カウント動作の開始および停止制御	680
24.4.2	カウンタレジスタへのアクセス	680
24.4.3	モード変更時	681



24.4.4	デジタルフィルタ .....	681
24.4.5	イベント番号、パルス幅、およびパルス周期の計算方法 .....	681
24.4.6	TSTOP ビットで強制的にカウントを停止した場合 .....	681
24.4.7	カウントソースとして AGT0 アンダーフローを選択した場合 .....	682
24.4.8	I/O レジスタのリセット .....	682
24.4.9	カウントソースに PCLKB、PCLKB/8、または PCLKB/2 を選択した場合 .....	682
24.4.10	カウントソースに AGTSCCLK または AGTLCLK を選択した場合 .....	682
24.4.11	クロックソースを切り替える場合 .....	682
25.	ウォッチドッグタイマ (WDT) .....	683
25.1	概要 .....	683
25.2	レジスタの説明 .....	685
25.2.1	WDT リフレッシュレジスタ (WDTRR) .....	685
25.2.2	WDT コントロールレジスタ (WDTCR) .....	686
25.2.3	WDT ステータスレジスタ (WDTSR) .....	689
25.2.4	WDT リセットコントロールレジスタ (WDTRCR) .....	690
25.2.5	WDT カウント停止コントロールレジスタ (WDTCSPTPR) .....	691
25.2.6	オプション機能選択レジスタ 0 (OFS0) .....	691
25.3	動作説明 .....	692
25.3.1	スタートモード別のカウント動作 .....	692
25.3.1.1	レジスタスタートモード .....	692
25.3.1.2	オートスタートモード .....	694
25.3.2	WDTCR、WDTRCR、および WDTCSPTPR レジスタへの書き込み制御 .....	696
25.3.3	リフレッシュ動作 .....	697
25.3.4	リセット出力 .....	698
25.3.5	割り込み要因 .....	698
25.3.6	ダウンカウンタ値の読み出し .....	698
25.3.7	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係 .....	699
25.4	ELC によるリンク動作 .....	699
25.5	使用上の注意事項 .....	699
25.5.1	ICU イベントリンク設定レジスタ n (IELSRn) の設定 .....	699
26.	独立ウォッチドッグタイマ (IWDT) .....	700
26.1	概要 .....	700
26.2	レジスタの説明 .....	702
26.2.1	IWDT リフレッシュレジスタ (IWDTRR) .....	702
26.2.2	IWDT ステータスレジスタ (IWDTSR) .....	703
26.2.3	オプション機能選択レジスタ 0 (OFS0) .....	705
26.3	動作説明 .....	708
26.3.1	オートスタートモード .....	708
26.3.2	リフレッシュ動作 .....	710
26.3.3	ステータスフラグ .....	711
26.3.4	リセット出力 .....	711

26.3.5	割り込み要因 .....	712
26.3.6	ダウンカウンタ値の読み出し .....	712
26.4	ELC によるリンク動作 .....	713
26.5	使用上の注意事項 .....	713
26.5.1	リフレッシュ動作 .....	713
26.5.2	クロック分周比の設定に関する制限 .....	713
27.	シリアルコミュニケーションインタフェース (SCI) .....	714
27.1	概要 .....	714
27.2	レジスタの説明 .....	719
27.2.1	受信シフトレジスタ (RSR) .....	719
27.2.2	受信データレジスタ (RDR) .....	719
27.2.3	受信 9 ビットデータレジスタ (RDRHL) .....	719
27.2.4	受信 FIFO データレジスタ H, L, HL (FRDRH, FRDRL, FRDRHL) .....	720
27.2.5	送信データレジスタ (TDR) .....	722
27.2.6	送信 9 ビットデータレジスタ (TDRHL) .....	722
27.2.7	送信 FIFO データレジスタ H, L, HL (FTDRH, FTDRHL) .....	723
27.2.8	送信シフトレジスタ (TSR) .....	724
27.2.9	非スマートカードインタフェースモード用シリアルモードレジスタ (SMR) (SCMR.SMIF = 0) .....	724
27.2.10	スマートカードインタフェースモード用シリアルモードレジスタ (SMR_SMCI) (SCMR.SMIF = 1) .....	726
27.2.11	非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0) .....	728
27.2.12	スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR_SMCI) (SCMR.SMIF = 1) .....	730
27.2.13	非スマートカードインタフェースおよび非 FIFO モード用シリアルステータス レジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0) .....	732
27.2.14	非スマートカードインタフェースおよび FIFO モード用シリアルステータス レジスタ (SSR_FIFO) (SCMR.SMIF = 0 および FCR.FM = 1) .....	735
27.2.15	スマートカードインタフェースモード用シリアルステータスレジスタ (SSR_SMCI) (SCMR.SMIF = 1) .....	738
27.2.16	スマートカードモードレジスタ (SCMR) .....	741
27.2.17	ビットレートレジスタ (BRR) .....	743
27.2.18	モジュレーションデューティレジスタ (MDDR) .....	753
27.2.19	シリアル拡張モードレジスタ (SEMR) .....	756
27.2.20	ノイズフィルタ設定レジスタ (SNFR) .....	758
27.2.21	I <sup>2</sup> C モードレジスタ 1 (SIMR1) .....	759
27.2.22	I <sup>2</sup> C モードレジスタ 2 (SIMR2) .....	760
27.2.23	I <sup>2</sup> C モードレジスタ 3 (SIMR3) .....	761
27.2.24	I <sup>2</sup> C ステータスレジスタ (SISR) .....	763
27.2.25	SPI モードレジスタ (SPMR) .....	764
27.2.26	FIFO コントロールレジスタ (FCR) .....	766
27.2.27	FIFO データ数レジスタ (FDR) .....	768

27.2.28	ラインステータスレジスタ (LSR) .....	769
27.2.29	コンペアマッチデータレジスタ (CDR) .....	770
27.2.30	データコンペアマッチコントロールレジスタ (DCCR) .....	771
27.2.31	シリアルポートレジスタ (SPTR) .....	773
27.3	調歩同期式モードの動作 .....	774
27.3.1	シリアル転送フォーマット .....	775
27.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン .....	777
27.3.3	クロック .....	778
27.3.4	倍速動作とビットレートの 6 倍の周波数 .....	778
27.3.5	CTS、RTS 機能 .....	778
27.3.6	アドレス一致 (受信データ一致) 検出機能 .....	779
27.3.7	SCI の初期化 (調歩同期式モード) .....	782
27.3.8	シリアルデータの送信 (調歩同期式モード) .....	784
27.3.9	シリアルデータの受信 (調歩同期式モード) .....	790
27.4	マルチプロセッサ通信機能 .....	797
27.4.1	マルチプロセッサシリアルデータ送信 .....	799
27.4.2	マルチプロセッサシリアルデータ受信 .....	802
27.5	クロック同期式モードの動作 .....	807
27.5.1	クロック .....	807
27.5.2	CTS、RTS 機能 .....	808
27.5.3	SCI の初期化 (クロック同期式モード) .....	809
27.5.4	シリアルデータの送信 (クロック同期式モード) .....	811
27.5.5	シリアルデータの受信 (クロック同期式モード) .....	816
27.5.6	シリアルデータの同時送受信動作 (クロック同期式モード) .....	821
27.6	スマートカードインタフェースモードの動作 .....	825
27.6.1	接続例 .....	825
27.6.2	データフォーマット (ブロック転送モード時を除く) .....	826
27.6.3	ブロック転送モード .....	827
27.6.4	受信データのサンプリングタイミングと受信マージン .....	828
27.6.5	SCI の初期化 .....	829
27.6.6	シリアルデータの送信 (ブロック転送モード時を除く) .....	831
27.6.7	シリアルデータの受信 (ブロック転送モード時を除く) .....	834
27.6.8	クロック出力制御 .....	836
27.7	簡易 IIC モードの動作 .....	837
27.7.1	開始条件、再開条件、停止条件の生成 .....	838
27.7.2	クロック同期化 .....	839
27.7.3	SDA 出力遅延 .....	840
27.7.4	SCI の初期化 (簡易 IIC モード) .....	841
27.7.5	マスタ送信動作 (簡易 IIC モード) .....	842
27.7.6	マスタ受信動作 (簡易 IIC モード) .....	844
27.8	簡易 SPI モードの動作 .....	846

27.8.1	マスタモード、スレーブモードと各端子の状態 .....	847
27.8.2	マスタモード時の SS 機能 .....	847
27.8.3	スレーブモード時の SS 機能 .....	847
27.8.4	クロックと送受信データの関係 .....	848
27.8.5	SCI の初期化 (簡易 SPI モード) .....	848
27.8.6	シリアルデータの送受信 (簡易 SPI モード) .....	849
27.9	ビットレートモジュレーション機能 .....	849
27.10	割り込み要因 .....	850
27.10.1	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作 (非 FIFO 選択時) .....	850
27.10.2	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作 (FIFO 選択時) .....	850
27.10.3	調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける 割り込み .....	850
27.10.4	スマートカードインタフェースモードにおける割り込み .....	852
27.10.5	簡易 IIC モードにおける割り込み .....	853
27.11	イベントリンク機能 .....	854
27.12	アドレス不一致イベント出力 (SCI0_DCUF) .....	855
27.13	ノイズ除去機能 .....	856
27.14	使用上の注意事項 .....	857
27.14.1	モジュールストップ状態の設定 .....	857
27.14.2	低消費電力状態での SCI の動作について .....	857
27.14.3	ブレークの検出と処理について .....	862
27.14.4	マーク状態とブレークの送付 .....	862
27.14.5	受信エラーフラグと送信動作 (クロック同期式モードおよび簡易 SPI モード) .....	862
27.14.6	クロック同期送信に関する制限事項 (クロック同期式モードおよび 簡易 SPI モード) .....	863
27.14.7	DMAC または DTC 使用時の制限事項 .....	865
27.14.8	通信の開始に関する注意事項 .....	865
27.14.9	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力 .....	865
27.14.10	簡易 SPI モードの制限事項 .....	866
28.	IrDA インタフェース .....	867
28.1	概要 .....	867
28.2	レジスタの説明 .....	868
28.2.1	IrDA コントロールレジスタ (IRCR) .....	868
28.3	動作説明 .....	869
28.3.1	IrDA インタフェースの設定手順 .....	869
28.3.2	送信 .....	869
28.3.3	受信 .....	869
28.4	使用上の注意事項 .....	870
28.4.1	モジュールストップ状態の設定 .....	870
28.4.2	調歩同期式モードにおける SCI1 の基準クロック .....	870
29.	I <sup>2</sup> C バスインタフェース (IIC) .....	871
29.1	概要 .....	871

29.2	レジスタの説明 .....	874
29.2.1	I <sup>2</sup> C バスコントロールレジスタ 1 (ICCR1) .....	874
29.2.2	I <sup>2</sup> C バスコントロールレジスタ 2 (ICCR2) .....	877
29.2.3	I <sup>2</sup> C バスモードレジスタ 1 (ICMR1) .....	881
29.2.4	I <sup>2</sup> C バスモードレジスタ 2 (ICMR2) .....	882
29.2.5	I <sup>2</sup> C バスモードレジスタ 3 (ICMR3) .....	884
29.2.6	I <sup>2</sup> C バスファンクションイネーブルレジスタ (ICFER) .....	886
29.2.7	I <sup>2</sup> C バスステータスイネーブルレジスタ (ICSER) .....	888
29.2.8	I <sup>2</sup> C バス割り込みイネーブルレジスタ (ICIER) .....	890
29.2.9	I <sup>2</sup> C バスステータスレジスタ 1 (ICSR1) .....	892
29.2.10	I <sup>2</sup> C バスステータスレジスタ 2 (ICSR2) .....	895
29.2.11	I <sup>2</sup> C バスウェイクアップユニットレジスタ (ICWUR) .....	899
29.2.12	I <sup>2</sup> C バスウェイクアップユニットレジスタ 2 (ICWUR2) .....	900
29.2.13	スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2) .....	901
29.2.14	スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2) .....	902
29.2.15	I <sup>2</sup> C バスビットレート Low レジスタ (ICBRL) .....	903
29.2.16	I <sup>2</sup> C バスビットレート High レジスタ (ICBRH) .....	904
29.2.17	I <sup>2</sup> C バス送信データレジスタ (ICDRT) .....	906
29.2.18	I <sup>2</sup> C バス受信データレジスタ (ICDRR) .....	906
29.2.19	I <sup>2</sup> C バスシフトレジスタ (ICDRS) .....	906
29.3	動作説明 .....	907
29.3.1	通信データフォーマット .....	907
29.3.2	初期設定 .....	908
29.3.3	マスタ送信動作 .....	909
29.3.4	マスタ受信動作 .....	913
29.3.5	スレーブ送信動作 .....	918
29.3.6	スレーブ受信動作 .....	921
29.4	SCL 同期回路 .....	923
29.5	SDA 出力遅延機能 .....	924
29.6	デジタルノイズフィルタ回路 .....	925
29.7	アドレス一致検出機能 .....	926
29.7.1	スレーブアドレス一致検出機能 .....	926
29.7.2	ジェネラルコールアドレス検出機能 .....	928
29.7.3	デバイス ID アドレス検出機能 .....	928
29.7.4	ホストアドレス検出機能 .....	930
29.8	ウェイクアップ機能 .....	931
29.8.1	ノーマルウェイクアップモード 1 .....	932
29.8.2	ノーマルウェイクアップモード 2 .....	935
29.8.3	コマンドリカバリモードと EEP 応答モード (特殊ウェイクアップモード) .....	938
29.8.4	WFI 命令の実行に関する注意事項 .....	941
29.9	SCL の自動 Low ホールド機能 .....	942

29.9.1	送信データの誤送信防止機能 .....	942
29.9.2	NACK 受信転送中断機能 .....	943
29.9.3	受信データ取りこぼし防止機能 .....	944
29.10	アービトレーションロスト検出機能 .....	946
29.10.1	マスタアービトレーションロスト検出機能 (MALE ビット) .....	946
29.10.2	NACK 送信中のアービトレーションロスト検出機能 (NALE ビット) .....	948
29.10.3	スレーブアービトレーションロスト検出機能 (SALE ビット) .....	949
29.11	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能 .....	950
29.11.1	スタートコンディション発行動作 .....	950
29.11.2	リスタートコンディション発行動作 .....	950
29.11.3	ストップコンディション発行動作 .....	953
29.12	バスハングアップ .....	954
29.12.1	タイムアウト検出機能 .....	954
29.12.2	SCL クロック追加出力機能 .....	956
29.12.3	IIC リセット、内部リセット .....	957
29.13	SMBus 動作 .....	958
29.13.1	SMBus タイムアウト測定 .....	958
29.13.2	パケットエラーコード (PEC) .....	959
29.13.3	SMBus ホスト通知プロトコル (Notify ARP Master コマンド) .....	959
29.14	割り込み要因 .....	960
29.14.1	IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作 .....	960
29.15	各コンディション発行時のリセット、レジスタ、機能の状態 .....	961
29.16	イベントリンク出力 .....	962
29.16.1	割り込み処理とイベントリンク機能 .....	962
29.17	使用上の注意事項 .....	962
29.17.1	モジュールストップ状態の設定 .....	962
29.17.2	転送開始に関する注意事項 .....	962
30.	CAN (Controller Area Network) モジュール .....	963
30.1	概要 .....	963
30.2	レジスタの説明 .....	966
30.2.1	コントロールレジスタ (CTRL) .....	966
30.2.2	ビットコンフィグレーションレジスタ (BCR) .....	970
30.2.3	マスクレジスタ k (MKRk) (k = 0 ~ 7) .....	972
30.2.4	FIFO 受信 ID 比較レジスタ 0、1 (FIDCR0、FIDCR1) .....	973
30.2.5	マスク無効レジスタ (MKIVLR) .....	974
30.2.6	メールボックスレジスタ j (MBj_ID、MBj_DL、MBj_Dm、MBj_TS) (j = 0 ~ 31; m = 0 ~ 7) .....	975
30.2.7	メールボックス割り込みイネーブルレジスタ (MIER) .....	980
30.2.8	FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ (MIER_FIFO) .....	981
30.2.9	送信用メッセージコントロールレジスタ (MCTL_TXj) (j = 0 ~ 31) .....	982

30.2.10	受信用メッセージコントロールレジスタ (MCTL_RXj) (j = 0 ~ 31) .....	985
30.2.11	受信 FIFO コントロールレジスタ (RFCR) .....	987
30.2.12	受信 FIFO ポインタコントロールレジスタ (RFPCR) .....	989
30.2.13	送信 FIFO コントロールレジスタ (TFCR) .....	990
30.2.14	送信 FIFO ポインタコントロールレジスタ (TFPCR) .....	992
30.2.15	ステータスレジスタ (STR) .....	993
30.2.16	メールボックスサーチモードレジスタ (MSMR) .....	995
30.2.17	メールボックスサーチステータスレジスタ (MSSR) .....	996
30.2.18	チャネルサーチサポートレジスタ (CSSR) .....	997
30.2.19	アクセプタンスフィルタサポートレジスタ (AFSR) .....	998
30.2.20	エラー割り込みイネーブルレジスタ (EIER) .....	999
30.2.21	エラー割り込み要因判定レジスタ (EIFR) .....	1001
30.2.22	受信エラーカウントレジスタ (RECR) .....	1003
30.2.23	送信エラーカウントレジスタ (TECR) .....	1003
30.2.24	エラーコード格納レジスタ (ECSR) .....	1004
30.2.25	タイムスタンプレジスタ (TSR) .....	1006
30.2.26	テストコントロールレジスタ (TCR) .....	1007
30.3	動作モード .....	1009
30.3.1	CAN リセットモード .....	1010
30.3.2	CAN halt モード .....	1011
30.3.3	CAN スリープモード .....	1012
30.3.4	CAN オペレーションモード (バスオフ状態以外) .....	1012
30.3.5	CAN オペレーションモード (バスオフ状態) .....	1013
30.4	データ転送レートの設定 .....	1014
30.4.1	クロックの設定 .....	1014
30.4.2	ビットタイミングの設定 .....	1014
30.4.3	データ転送レート .....	1015
30.5	メールボックスとマスクレジスタの構成 .....	1016
30.6	アクセプタンスフィルタ機能とマスク機能 .....	1018
30.7	受信/送信 .....	1021
30.7.1	受信 .....	1022
30.7.2	送信 .....	1024
30.8	割り込み .....	1025
30.9	使用上の注意事項 .....	1026
30.9.1	モジュールストップ状態の設定 .....	1026
30.9.2	動作クロックの設定 .....	1026
31.	シリアルペリフェラルインタフェース (SPI) .....	1027
31.1	概要 .....	1027
31.2	レジスタの説明 .....	1031
31.2.1	SPI コントロールレジスタ (SPCR) .....	1031
31.2.2	SPI スレーブ選択極性レジスタ (SSLP) .....	1033

31.2.3	SPI 端子コントロールレジスタ (SPPCR) .....	1034
31.2.4	SPI ステータスレジスタ (SPSR) .....	1035
31.2.5	SPI データレジスタ (SPDR/SPDR_HA) .....	1038
31.2.6	SPI シーケンスコントロールレジスタ (SPSCR) .....	1041
31.2.7	SPI シーケンスステータスレジスタ (SPSSR) .....	1042
31.2.8	SPI ビットレートレジスタ (SPBR) .....	1043
31.2.9	SPI データコントロールレジスタ (SPDCR) .....	1044
31.2.10	SPI クロック遅延レジスタ (SPCKD) .....	1046
31.2.11	SPI スレーブ選択ネゲート遅延レジスタ (SSLND) .....	1047
31.2.12	SPI 次アクセス遅延レジスタ (SPND) .....	1048
31.2.13	SPI コントロールレジスタ 2 (SPCR2) .....	1049
31.2.14	SPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7) .....	1051
31.2.15	SPI データコントロールレジスタ 2 (SPDCR2) .....	1054
31.3	動作説明 .....	1055
31.3.1	SPI 動作の概要 .....	1055
31.3.2	SPI 端子の制御 .....	1056
31.3.3	SPI システム構成例 .....	1057
31.3.3.1	シングルマスタ/シングルスレーブ (MCU はマスタ) .....	1057
31.3.3.2	シングルマスタ/シングルスレーブ (MCU はスレーブ) .....	1058
31.3.3.3	シングルマスタ/マルチスレーブ (MCU はマスタ) .....	1059
31.3.3.4	シングルマスタ/マルチスレーブ (MCU はスレーブ) .....	1060
31.3.3.5	マルチマスタ/マルチスレーブ (MCU はマスタ) .....	1061
31.3.3.6	クロック同期式動作のマスタ/スレーブの構成 (MCU はマスタ) .....	1062
31.3.3.7	クロック同期式動作のマスタ/スレーブの構成 (MCU はスレーブ) .....	1062
31.3.4	データフォーマット .....	1063
31.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0) の動作 .....	1064
31.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1) の動作 .....	1068
31.3.5	転送フォーマット .....	1072
31.3.5.1	CPHA ビット = 0 の場合の転送フォーマット .....	1072
31.3.5.2	CPHA ビット = 1 の場合 .....	1073
31.3.6	データ転送モード .....	1074
31.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD = 0) .....	1074
31.3.6.2	送信のみ動作 (SPCR.TXMD = 1) .....	1075
31.3.7	送信バッファエンプティ/受信バッファフル割り込み .....	1076
31.3.8	エラー検出 .....	1078
31.3.8.1	オーバーランエラー .....	1079
31.3.8.2	パリティエラー .....	1081
31.3.8.3	モードフォルトエラー .....	1082
31.3.8.4	アンダーランエラー .....	1082
31.3.9	SPI の初期化 .....	1083
31.3.9.1	SPE ビットのクリアによる初期化 .....	1083



31.3.9.2	システムリセットによる初期化 .....	1083
31.3.10	SPI 動作 .....	1084
31.3.10.1	マスタモード動作 .....	1084
31.3.10.2	スレーブモード動作 .....	1094
31.3.11	クロック同期式動作 .....	1099
31.3.11.1	マスタモード動作 .....	1099
31.3.11.2	スレーブモード動作 .....	1103
31.3.12	ループバックモード .....	1105
31.3.13	パリティビット機能の自己診断 .....	1106
31.3.14	割り込み要因 .....	1107
31.4	イベントリンクコントローラ (ELC) への出力 .....	1108
31.4.1	受信バッファフルイベント出力 .....	1108
31.4.2	送信バッファエンptyイベント出力 .....	1108
31.4.3	モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力 ...	1108
31.4.4	SPI アイドルイベント出力 .....	1109
31.4.5	送信完了イベント出力 .....	1109
31.5	使用上の注意事項 .....	1110
31.5.1	モジュールストップ状態の設定 .....	1110
31.5.2	低消費電力機能に関する制約 .....	1110
31.5.3	転送の開始に関する制限 .....	1110
31.5.4	モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント 出力に関する制限 .....	1110
31.5.5	SPRF および SPTEF フラグに関する制限 .....	1110
32.	巡回冗長検査 (CRC) 演算器 .....	1111
32.1	概要 .....	1111
32.2	レジスタの説明 .....	1112
32.2.1	CRC コントロールレジスタ 0 (CRCCR0) .....	1112
32.2.2	CRC コントロールレジスタ 1 (CRCCR1) .....	1113
32.2.3	CRC データ入力レジスタ (CRCDIR/CRCDIR_BY) .....	1113
32.2.4	CRC データ出力レジスタ (CRCDOR/CRCDOR_HA/CRCDOR_BY) .....	1114
32.2.5	スヌープアドレスレジスタ (CRCSAR) .....	1115
32.3	動作説明 .....	1116
32.3.1	基本動作 .....	1116
32.3.2	CRC スヌープ .....	1120
32.4	使用上の注意事項 .....	1121
32.4.1	モジュールストップ状態の設定 .....	1121
32.4.2	送信時の注意事項 .....	1121
33.	バウンダリスキャン .....	1122
33.1	概要 .....	1122
33.2	レジスタの説明 .....	1123
33.2.1	インストラクションレジスタ (JTIR) .....	1124

33.2.2	ID コードレジスタ (JTIDR) .....	1125
33.2.3	バイパスレジスタ (JTBPR) .....	1125
33.2.4	バウンダリスキャンレジスタ (JTBSR) .....	1125
33.3	動作説明 .....	1126
33.3.1	TAP コントローラ .....	1126
33.3.2	コマンド .....	1127
33.4	使用上の注意事項 .....	1128
34.	セキュア暗号エンジン (SCE7) .....	1129
34.1	概要 .....	1129
34.2	動作説明 .....	1131
34.2.1	暗号エンジン .....	1131
34.2.2	暗号化と復号 .....	1132
34.3	使用上の注意事項 .....	1132
34.3.1	ソフトウェアスタンバイモード .....	1132
34.3.2	モジュールストップ機能の設定 .....	1132
35.	12 ビット A/D コンバータ (ADC12) .....	1133
35.1	概要 .....	1133
35.2	レジスタの説明 .....	1139
35.2.1	A/D データレジスタ y (ADDRy)、 A/D データ 2 重化レジスタ (ADDBLDR)、 A/D データ 2 重化レジスタ A (ADDBLDRA)、 A/D データ 2 重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR) .....	1139
35.2.2	A/D 自己診断データレジスタ (ADRD) .....	1143
35.2.3	A/D コントロールレジスタ (ADCSR) .....	1147
35.2.4	A/D チャネル選択レジスタ A0 (ADANSA0) .....	1151
35.2.5	A/D チャネル選択レジスタ A1 (ADANSA1) .....	1152
35.2.6	A/D チャネル選択レジスタ B0 (ADANSB0) .....	1153
35.2.7	A/D チャネル選択レジスタ B1 (ADANSB1) .....	1154
35.2.8	A/D 変換値加算/平均チャネル選択レジスタ 0 (ADADS0) .....	1155
35.2.9	A/D 変換値加算/平均チャネル選択レジスタ 1 (ADADS1) .....	1156
35.2.10	A/D 変換値加算/平均回数選択レジスタ (ADADC) .....	1157
35.2.11	A/D コントロール拡張レジスタ (ADCER) .....	1158
35.2.12	A/D 変換開始トリガ選択レジスタ (ADSTRGR) .....	1160
35.2.13	A/D 変換拡張入力コントロールレジスタ (ADEXICR) .....	1162
35.2.14	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 00 ~ 03, 05 ~ 07, L, T, O) .....	1164
35.2.15	A/D サンプル & ホールド回路コントロールレジスタ (ADSHCR) .....	1165
35.2.16	A/D サンプル & ホールド動作モード選択レジスタ (ADSHMSR) .....	1166
35.2.17	A/D 断線検出コントロールレジスタ (ADDISCR) .....	1167
35.2.18	A/D グループスキャン優先コントロールレジスタ (ADGSPCR) .....	1168
35.2.19	A/D コンペア機能コントロールレジスタ (ADCMPCR) .....	1169

35.2.20	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0 (ADCOMPANSR0) .....	1171
35.2.21	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1 (ADCOMPANSR1) .....	1172
35.2.22	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCOMPANSER) .....	1173
35.2.23	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0) .....	1174
35.2.24	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1) .....	1176
35.2.25	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER) ..	1177
35.2.26	A/D コンペア機能ウィンドウ A 下側レベル設定レジスタ (ADCOMPDR0)、 A/D コンペア機能ウィンドウ A 上側レベル設定レジスタ (ADCOMPDR1)、 A/D コンペア機能ウィンドウ B 下側レベル設定レジスタ (ADWINLLB)、 A/D コンペア機能ウィンドウ B 上側レベル設定レジスタ (ADWINULB) .....	1178
35.2.27	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0 (ADCMPSR0) ...	1180
35.2.28	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 1 (ADCMPSR1) ...	1181
35.2.29	A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ (ADCMPSER) .....	1182
35.2.30	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCOMPBNSR) .....	1183
35.2.31	A/D コンペア機能ウィンドウ B ステータスレジスタ (ADCOMPBSR) .....	1185
35.2.32	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON) .....	1186
35.2.33	A/D プログラマブルゲインアンプコントロールレジスタ (ADPGACR) .....	1188
35.2.34	A/D プログラマブルゲインアンプゲイン設定レジスタ 0 (ADPGAGS0) .....	1189
35.2.35	A/D プログラマブルゲインアンプ疑似差動入力コントロールレジスタ (ADPGADCR0) .....	1190
35.3	動作説明 .....	1191
35.3.1	スキップの動作説明 .....	1191
35.3.2	シングルスキップモード .....	1192
35.3.2.1	基本動作 (チャンネル専用サンプル&ホールド回路なし) .....	1192
35.3.2.2	基本動作 (チャンネル専用サンプル&ホールド回路あり、 常時サンプリング無効) .....	1193
35.3.2.3	基本動作 (チャンネル専用サンプル&ホールド回路あり、 常時サンプリング有効) .....	1194
35.3.2.4	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールド回路なし) .....	1195
35.3.2.5	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールド回路あり、 常時サンプリング無効) .....	1196
35.3.2.6	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールド回路あり、 常時サンプリング有効) .....	1197
35.3.2.7	温度センサ出力/内部基準電圧選択時の A/D 変換動作 .....	1198
35.3.2.8	ダブルトリガモード選択時の A/D 変換動作 .....	1199
35.3.2.9	ダブルトリガモード選択時の拡張動作 .....	1200
35.3.3	連続スキップモード .....	1202
35.3.3.1	基本動作 (チャンネル専用サンプル&ホールド回路なし) .....	1202
35.3.3.2	基本動作 (チャンネル専用サンプル&ホールド回路あり、 常時サンプリング無効) .....	1203
35.3.3.3	基本動作 (チャンネル専用サンプル&ホールド回路あり、 常時サンプリング有効) .....	1204
35.3.3.4	チャンネル選択と自己診断 (チャンネル専用サンプル&ホールド回路なし) .....	1206

35.3.3.5	チャンネル選択と自己診断（チャンネル専用サンプル&ホールド回路あり、常時サンプリング無効）	1207
35.3.3.6	チャンネル選択と自己診断（チャンネル専用サンプル&ホールド回路あり、常時サンプリング有効）	1208
35.3.3.7	温度センサ出力／内部基準電圧選択時の A/D 変換動作	1210
35.3.4	グループスキャンモード	1211
35.3.4.1	基本動作	1211
35.3.4.2	ダブルトリガモード選択時の A/D 変換動作	1212
35.3.4.3	グループ A 優先制御動作	1214
35.3.5	コンペア機能（ウィンドウ A、ウィンドウ B）	1225
35.3.5.1	コンペア機能	1225
35.3.5.2	コンペア機能のイベント出力	1227
35.3.5.3	コンペア機能の制限事項	1229
35.3.6	アナログ入力のサンプリング時間とスキャン変換時間	1229
35.3.7	A/D データレジスタの自動クリア機能の使用例	1232
35.3.8	A/D 変換値加算／平均モード	1232
35.3.9	断線検出アシスト機能	1233
35.3.10	非同期トリガによる A/D 変換の開始	1235
35.3.11	周辺モジュールからの同期トリガによる A/D 変換の開始	1235
35.3.12	プログラマブルゲインアンプ	1235
35.4	割り込み要因と DTC/DMAC 転送要求	1237
35.4.1	割り込み要求	1237
35.5	イベントリンク機能	1239
35.5.1	ELC へのイベント出力	1239
35.5.2	ELC からのイベントによる ADC12 の動作	1239
35.6	使用上の注意事項	1240
35.6.1	データレジスタの読み出しに関する制限	1240
35.6.2	A/D 変換停止時の注意事項	1240
35.6.3	A/D 変換強制停止と再開時の動作タイミング	1241
35.6.4	スキャン終了割り込み処理の制限	1242
35.6.5	モジュールストップ機能の設定	1242
35.6.6	低消費電力状態への遷移に関する注意事項	1242
35.6.7	断線検出アシスト機能使用時の絶対精度誤差	1242
35.6.8	AN000 ～ AN002、AN007、AN100 ～ AN102、および AN107 の使用可能な機能とレジスタ設定	1242
35.6.9	動作モードおよびステータスビットについての注意事項	1244
35.6.10	ボード設計に関する注意事項	1245
35.6.11	ノイズ対策時の制約	1245
35.6.12	ADC12 入力使用時のポート設定	1246
35.6.13	ADC12（ユニット 0 およびユニット 1）と ACMPHS の関係	1246
36.	12 ビット D/A コンバータ（DAC12）	1247
36.1	概要	1247

36.2	レジスタの説明 .....	1249
36.2.1	D/A データレジスタ m (DADRm) (m = 0, 1) .....	1249
36.2.2	D/A コントロールレジスタ (DACR) .....	1250
36.2.3	DADRm フォーマット選択レジスタ (DADPR) .....	1251
36.2.4	D/A A/D 同期スタートコントロールレジスタ (DAADSCR) .....	1252
36.2.5	D/A 出力アンプコントロールレジスタ (DAAMPCR) .....	1253
36.2.6	D/A アンプ安定ウェイトコントロールレジスタ (DAASWCR) .....	1254
36.2.7	D/A A/D 同期ユニット選択レジスタ (DAADUSR) .....	1255
36.3	動作説明 .....	1256
36.3.1	D/A 変換と A/D 変換の干渉の低減 .....	1257
36.4	イベントリンクの動作設定手順 .....	1259
36.4.1	DA0 イベントリンクの動作設定手順 .....	1259
36.4.2	DA1 イベントリンクの動作設定手順 .....	1259
36.5	イベントリンク動作における注意事項 .....	1259
36.6	使用上の注意事項 .....	1260
36.6.1	モジュールストップ機能の設定 .....	1260
36.6.2	モジュールストップ時の DAC12 の動作 .....	1260
36.6.3	ソフトウェアスタンバイモード時の DAC12 の動作 .....	1260
36.6.4	ディープソフトウェアスタンバイモードへの遷移に関する制約 .....	1260
36.6.5	出力アンプを使用した初期化手順 .....	1260
36.6.6	D/A 変換と A/D 変換の干渉低減有効時の制限事項 .....	1261
37.	温度センサ (TSN) .....	1262
37.1	概要 .....	1262
37.2	レジスタの説明 .....	1263
37.2.1	温度センサコントロールレジスタ (TSCR) .....	1263
37.2.2	温度センサ補正データレジスタ (TSCDR) .....	1263
37.3	温度センサの使用方法 .....	1264
37.3.1	使用前の準備 .....	1264
37.3.2	温度センサの使用手順 .....	1265
37.4	使用上の注意事項 .....	1267
37.4.1	モジュールストップ機能の設定 .....	1267
37.4.2	制限事項 .....	1267
38.	高速アナログコンパレータ (ACMPHS) .....	1268
38.1	概要 .....	1268
38.2	レジスタの説明 .....	1270
38.2.1	コンパレータコントロールレジスタ (CMPCTL) .....	1270
38.2.2	コンパレータ入力選択レジスタ (CMPSEL0) .....	1271
38.2.3	コンパレータ基準電圧選択レジスタ (CMPSEL1) .....	1272
38.2.4	コンパレータ出力モニタレジスタ (CMPMON) .....	1272
38.2.5	コンパレータ出力コントロールレジスタ (CPIOC) .....	1273
38.3	動作説明 .....	1274

38.4	ノイズフィルタ .....	1276
38.5	ACMPHS 割り込み .....	1277
38.6	イベントリンクコントローラ (ELC) への ACMPHS 出力 .....	1277
38.7	ACMPHS 端子出力 .....	1277
38.8	使用上の注意事項 .....	1277
38.8.1	モジュールストップ機能の設定 .....	1277
38.8.2	ADC12 との関係 .....	1277
39.	データ演算回路 (DOC) .....	1278
39.1	概要 .....	1278
39.2	レジスタの説明 .....	1279
39.2.1	DOC コントロールレジスタ (DOCR) .....	1279
39.2.2	DOC データ入力レジスタ (DODIR) .....	1280
39.2.3	DOC データ設定レジスタ (DODSR) .....	1280
39.3	動作説明 .....	1281
39.3.1	データ比較モード .....	1281
39.3.2	データ加算モード .....	1281
39.3.3	データ減算モード .....	1282
39.4	イベントリンクコントローラ (ELC) への割り込み要求と出力 .....	1283
39.5	使用上の注意事項 .....	1283
39.5.1	モジュールストップ状態の設定 .....	1283
40.	SRAM .....	1284
40.1	概要 .....	1284
40.2	レジスタの説明 .....	1285
40.2.1	SRAM パリティエラー検出後動作レジスタ (PARIOAD) .....	1285
40.2.2	SRAM プロテクトレジスタ (SRAMPRCR) .....	1285
40.3	動作説明 .....	1286
40.3.1	低消費電力機能 .....	1286
40.3.2	パリティ計算機能 .....	1287
40.3.3	SRAM エラー要因 .....	1288
40.3.4	アクセスサイクル .....	1288
40.4	使用上の注意事項 .....	1289
40.4.1	SRAM 領域からの命令フェッチ .....	1289
40.4.2	SRAM のストアバッファ .....	1289
41.	フラッシュメモリ .....	1290
41.1	概要 .....	1290
41.2	メモリ構成 .....	1292
41.3	フラッシュキャッシュ .....	1293
41.3.1	概要 .....	1293
41.3.2	レジスタの説明 .....	1294
41.3.2.1	フラッシュキャッシュイネーブルレジスタ (FCACHEE) .....	1294
41.3.2.2	フラッシュキャッシュインバリデートレジスタ (FCACHEIV) .....	1294

41.3.2.3	フラッシュウェイトサイクルレジスタ (FLWT)	1295
41.4	動作説明	1296
41.4.1	フラッシュキャッシュ使用における注意	1296
41.5	フラッシュメモリ関連の動作モード	1297
41.5.1	IDコードプロテクト	1297
41.6	機能概要	1299
41.6.1	構成領域ビットマップ	1301
41.6.2	スタートアップ領域選択	1302
41.6.3	アクセスウィンドウによるプロテクション	1302
41.7	プログラムコマンド	1305
41.8	サスペンド動作	1305
41.9	プロテクション機能	1305
41.10	シリアルプログラミングモード	1306
41.10.1	SCI ブートモード	1306
41.11	シリアルプログラマを使用する場合	1307
41.11.1	シリアルプログラミング	1307
41.11.2	プログラミング環境	1307
41.12	セルフプログラミング	1308
41.12.1	概要	1308
41.12.2	バックグラウンドオペレーション	1308
41.13	フラッシュメモリの読み出し	1309
41.13.1	コードフラッシュメモリの読み出し	1309
41.13.2	データフラッシュメモリの読み出し	1309
41.14	使用上の注意事項	1309
41.14.1	プログラム/イレースを中断した領域の読み出し	1309
41.14.2	追加の書き込みに関する制約	1309
41.14.3	プログラム/イレース中のリセット	1309
41.14.4	プログラム/イレース中の割り込み/例外ベクタの配置	1309
41.14.5	プログラム/イレース中の制約	1309
41.14.6	プログラム/イレース中の異常終了	1310
42.	内部電圧レギュレータ	1311
42.1	概要	1311
42.2	動作説明	1311
43.	電気的特性	1312
43.1	絶対最大定格	1313
43.2	DC 特性	1314
43.2.1	Tj/Ta の定義	1314
43.2.2	I/O V <sub>IH</sub> , V <sub>IL</sub>	1314
43.2.3	I/O I <sub>OH</sub> , I <sub>OL</sub>	1315
43.2.4	I/O V <sub>OH</sub> , V <sub>OL</sub> , その他の特性	1316
43.2.5	動作電流とスタンバイ電流	1317

43.2.6	VCC 立ち上がり／立ち下がり勾配とリップル周波数 .....	1320
43.3	AC 特性 .....	1321
43.3.1	周波数 .....	1321
43.3.2	クロックタイミング .....	1322
43.3.3	リセットタイミング .....	1325
43.3.4	ウェイクアップタイミング .....	1326
43.3.5	NMI/IRQ ノイズフィルタ .....	1329
43.3.6	I/O ポート、POEG、GPT32、AGT、KINT、ADC12 トリガタイミング .....	1330
43.3.7	PWM 遅延生成回路タイミング .....	1333
43.3.8	CAC タイミング .....	1333
43.3.9	SCI タイミング .....	1334
43.3.10	SPI タイミング .....	1339
43.3.11	IIC タイミング .....	1344
43.4	ADC12 特性 .....	1346
43.5	DAC12 特性 .....	1350
43.6	TSN 特性 .....	1350
43.7	OSC 停止検出特性 .....	1351
43.8	POR/LVD 特性 .....	1352
43.9	ACMPHS 特性 .....	1354
43.10	PGA 特性 .....	1355
43.11	フラッシュメモリ特性 .....	1357
43.11.1	コードフラッシュメモリ特性 .....	1357
43.11.2	データフラッシュメモリ特性 .....	1359
43.12	バウンダリスキャン .....	1360
43.13	ジョイントテストアクショングループ (JTAG) .....	1362
43.14	シリアルワイヤデバッグ (SWD) .....	1363
43.15	エンベデッドトレースマクロインタフェース (ETM) .....	1364
付録 1.	各プロセスモードのポート状態 .....	1365
付録 2.	外形寸法図 .....	1367
付録 3.	I/O レジスタ .....	1369
3.1	周辺機能のベースアドレス .....	1369
3.2	アクセスサイクル .....	1371
3.3	レジスタの説明 .....	1373
改訂記録	.....	1395



トップ性能の 120MHz Arm<sup>®</sup> Cortex<sup>®</sup>-M4 コア、最大 512KB のコードフラッシュメモリ、64KB SRAM、セキュリティ&セーフティ機能、および高度なアナログ機能

## 特長

### ■ 浮動小数点ユニット(FPU)内蔵 Arm Cortex-M4 コア

- Armv7E-M アーキテクチャ (DSP 命令セット搭載)
- 最高動作周波数: 120MHz
- 4GB アドレス空間をサポート
- オンチップデバッグシステム: JTAG、SWD、および ETM
- バウンダリスキャンおよび Arm メモリプロテクションユニット (Arm MPU)

### ■ メモリ

- 最大 512KB のコードフラッシュメモリ (40MHz ゼロウェイトステート)
- 8KB データフラッシュメモリ (125000 回のイレース/ライトサイクル)
- 64KB の SRAM
- フラッシュキャッシュ (FCACHE)
- メモリプロテクションユニット (MPU)
- メモリミラー機能 (MMF)
- 128 ビットの固有の ID

### ■ 接続性

- FIFO 内蔵シリアルコミュニケーションインタフェース (SCI) × 7
- シリアルペリフェラルインタフェース (SPI) × 2
- I<sup>2</sup>C バスインタフェース (IIC) × 2
- CAN モジュール (CAN) × 1
- IrDA インタフェース

### ■ アナログ

- 12 ビット A/D コンバータ (ADC12) × 2、それぞれに 3 つの サンプル&ホールド回路を搭載
- 12 ビット D/A コンバータ (DAC12) × 2
- 高速アナログコンパレータ (ACMPHS) × 6
- プログラマブルゲインアンプ (PGA) × 6
- 温度センサ (TSN)

### ■ タイマ

- 32 ビット拡張高分解能汎用 PWM タイマ (GPT32EH) × 4
- 32 ビット拡張汎用 PWM タイマ (GPT32E) × 4
- 32 ビット汎用 PWM タイマ (GPT32) × 5
- 低消費電力非同期汎用タイマ (AGT) × 2
- ウォッチドッグタイマ (WDT)

### ■ セーフティ

- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトブットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- メインクロック発振器停止検出
- 不正メモリアクセス

### ■ システムおよびパワーマネジメント

- 低消費電力モード
- イベントリンクコントローラ (ELC)
- DMA コントローラ (DMAC) × 8
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 低電圧検出機能 (LVD) の設定可能

### ■ セキュリティおよび暗号化

- AES128/192/256
- 3DES/ARC4
- SHA1/SHA224/SHA256/MD5
- GHASH
- RSA/DSA/ECC
- 真性乱数発生器 (TRNG)

### ■ マルチクロックソース

- メインクロック発振器 (MOSC) (8 ~ 24MHz)
- サブクロック発振器 (SOSC) (32.768kHz)
- 高速オンチップオシレータ (HOCO) (16/18/20MHz)
- 中速オンチップオシレータ (MOCO) (8MHz)
- 低速オンチップオシレータ (LOCO) (32.768kHz)
- IWDT 専用オンチップオシレータ (15kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- クロックアウトのサポート

### ■ 汎用入出力ポート

- 最大 76 本の入出力端子
  - 最大 9 本の CMOS 入力
  - 最大 67 本の CMOS 入出力
  - 最大 14 本の 5V トレラント入出力
  - 最大 13 本の大電流端子 (20mA)

### ■ 動作電圧

- VCC : 2.7 ~ 3.6V

### ■ 動作温度およびパッケージ

- Ta = -40 °C ~ +105 °C
  - 100 ピン LQFP (14mm × 14mm、0.5mm ピッチ)
  - 64 ピン LQFP (10mm × 10mm、0.5mm ピッチ)

## 1. 概要

本 MCU は、ソフトウェア互換性および端子互換性を有する Arm® ベースの 32 ビットコアシリーズを統合したものであり、共通のルネサス周辺デバイスを共有することで、設計変更およびプラットフォーム単位の効率的製品開発を容易に行うことができます。

本シリーズの MCU には、次の各機能を有し、最大 120MHz で駆動する、高性能 Arm Cortex®-M4 コアが含まれます。

- 最大 512KB のコードフラッシュメモリ
- 64KB の SRAM
- セキュリティ&セーフティ機能
- 12 ビット A/D コンバータ (ADC12)
- 12 ビット D/A コンバータ (DAC12)
- アナログ周辺機能

### 1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M4 コア	<ul style="list-style-type: none"> <li>• 最高動作周波数：120MHz</li> <li>• Arm Cortex-M4 コア： <ul style="list-style-type: none"> <li>- リビジョン：r0p1-01rel0</li> <li>- Armv7E-M アーキテクチャプロファイル</li> <li>- 単精度浮動小数点ユニット (ANSI/IEEE 規格 754-2008 に準拠)</li> </ul> </li> <li>• Arm メモリプロテクションユニット (Arm MPU)： <ul style="list-style-type: none"> <li>- Armv7 保護メモリシステムアーキテクチャ</li> <li>- 8 つのメモリ保護領域</li> </ul> </li> <li>• SysTick タイマ： <ul style="list-style-type: none"> <li>- SYSTICCLK (LOCO) または ICLK により駆動</li> </ul> </li> </ul>

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 512KB のコードフラッシュメモリ。「41. フラッシュメモリ」を参照してください。
データフラッシュメモリ	8KB のデータフラッシュメモリ。「41. フラッシュメモリ」を参照してください。
メモリミラー機能 (MMF)	メモリミラー機能 (MMF) は、コードフラッシュメモリ内の対象アプリケーションイメージロードアドレスをミラーリングして、23 ビット未使用メモリ空間 (メモリミラー空間アドレス) 内のアプリケーションイメージリンクアドレスに反映するよう設定することが可能です。ユーザアプリケーションコードを開発する場合、この MMF 転送先アドレスから実行するようにリンクします。開発するアプリケーションコード側でコードフラッシュメモリ内の格納位置を考慮する必要はありません。「5. メモリミラー機能 (MMF)」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。「7. オプション設定メモリ」を参照してください。
SRAM	パリティビットを有する高速 SRAM を内蔵しています。「40. SRAM」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2種類の動作モード： <ul style="list-style-type: none"> <li>• シングルチップモード</li> <li>• SCIブートモード</li> </ul> 「3. 動作モード」を参照してください。
リセット	以下の13種類のリセットをサポートしています。 <ul style="list-style-type: none"> <li>• RES端子リセット</li> <li>• パワーオンリセット</li> <li>• 電圧監視0リセット</li> <li>• 電圧監視1リセット</li> <li>• 電圧監視2リセット</li> <li>• 独立ウォッチドッグタイマリセット</li> <li>• ウォッチドッグタイマリセット</li> <li>• ディープソフトウェアスタンバイリセット</li> <li>• SRAMパリティエラーリセット</li> <li>• バスマスタMPUエラーリセット</li> <li>• バススレーブMPUエラーリセット</li> <li>• スタックポインタエラーリセット</li> <li>• ソフトウェアリセット</li> </ul> 「6. リセット」を参照してください。
低電圧検出 (LVD)	低電圧検出 (LVD) 機能は、VCC端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムを使用して選択できます。「8. 低電圧検出 (LVD)」を参照してください。
クロック	<ul style="list-style-type: none"> <li>• メインクロック発振器 (MOSC)</li> <li>• サブクロック発振器 (SOSC)</li> <li>• 高速オンチップオシレータ (HOCO)</li> <li>• 中速オンチップオシレータ (MOCO)</li> <li>• 低速オンチップオシレータ (LOCO)</li> <li>• PLL周波数シンセサイザ</li> <li>• 独立ウォッチドッグタイマ (IWDT) オンチップオシレータ</li> <li>• クロックアウトのサポート</li> </ul> 「9. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定基準として使用するクロック (測定基準クロック) によって発生する時間内における、測定されるクロック (測定対象クロック) のパルスをカウントし、そのパルス数が許容範囲内にあるか否かに基づき精度を判定します。測定が終了したとき、または測定基準クロックによって発生する時間内のパルス数が許容範囲内でない場合、割り込み要求が発生します。 「10. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、NVIC/DTCモジュールとDMACモジュールにリンクされるイベント信号を制御します。また、NMI割り込みも制御します。「13. 割り込みコントローラユニット (ICU)」を参照してください。
キー割り込み機能 (KINT)	キー割り込みは、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子に立ち上がりエッジまたは立ち下がりエッジを入力することで発生させることができます。 「20. キー割り込み機能 (KINT)」を参照してください。
低消費電力モード	消費電力は以下の方法で削減可能です： クロック分周器を設定する、モジュールを停止する、通常動作時に電力制御モードを選択する、および低消費電力モードへ移行するなど。詳細は「11. 低消費電力モード」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。「12. レジスタライトプロテクション」を参照してください。
メモリプロテクションユニット (MPU)	メモリプロテクションユニット (MPU) およびCPUスタックポインタモニタ機能は、メモリを保護するために備えられています。「15. メモリプロテクションユニット (MPU)」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は14ビットのダウンカウンタです。システムが暴走してWDTをリフレッシュできないためにカウンタがアンダーフローした場合、MCUをリセットするために使用できます。また、アンダーフローにより、ノンマスクブル割り込みまたは割り込みを発生させることもできます。 リフレッシュ許可期間を設定することによりカウンタをリフレッシュすることができます。リフレッシュ許可期間はシステムの暴走を検知する条件として使用できます。詳細は「25. ウォッチドッグタイマ (WDT)」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は14ビットダウンカウンタで構成されます。このカウンタはアンダーフロー防止のため定期的に動作させる必要があります。IWDTには、MCUをリセットする機能や、タイマのアンダーフローに備えて割り込み/ノンマスクابل割り込みを生成する機能があります。このタイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、MCUをフェールセーフ機構と呼ばれる状態に戻すことに特に役立ちます。IWDTは、リセット、アンダーフロー、またはリフレッシュエラー時に自動的に起動します。あるいはレジスタのカウント値のリフレッシュによっても起動します。「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号として使用し、それらを異なるモジュールに接続することにより、CPUを介さずにモジュール間の直接的な相互作用を可能にします。「18. イベントリンクコントローラ (ELC)」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) モジュールは割り込み要求による起動時に、データ転送を行います。「17. データトランスファコントローラ (DTC)」を参照してください。
DMAコントローラ (DMAC)	8チャンネルのDMAコントローラ (DMAC) モジュールは、CPUを介さずにデータ転送を行うために備えられています。DMA転送要求が発生すると、DMACは転送元アドレスに格納されているデータを転送先アドレスへ転送します。「16. DMAコントローラ (DMAC)」を参照してください。

表 1.6 タイマ

機能	機能の説明
汎用PWMタイマ (GPT)	汎用PWMタイマ (GPT) は、13チャンネルの32ビットタイマです。PWM波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、ブラシレスDCモータ制御用のPWM波形を発生させることもできます。GPTは汎用タイマとしても使用可能です。「22. 汎用PWMタイマ (GPT)」を参照してください。
GPT用のポートアウトプットイネーブル (POEG)	汎用PWMタイマ (GPT) の出力端子を出力禁止状態とするには、GPT用のポートアウトプットイネーブル (POEG) 機能を使用します。「21. GPT用ポートアウトプットイネーブル (POEG)」を参照してください。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルスの出力、外部パルスの幅/周期の測定、および外部イベントのカウントに利用可能な16ビットタイマです。この16ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTレジスタでアクセスが可能です。「24. 低消費電力非同期汎用タイマ (AGT)」を参照してください。

表 1.7 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) は、下記の5種類の調歩同期式および同期式シリアルインタフェースとして設定可能です。 <ul style="list-style-type: none"> <li>調歩同期式インタフェース (UARTおよび調歩同期式通信アダプタ (ACIA))</li> <li>8ビットクロック同期式インタフェース</li> <li>簡易IIC (マスタのみ)</li> <li>簡易SPI</li> <li>スマートカードインタフェース</li> </ul> スマートカードインタフェースは、電子信号と伝送プロトコルに関してISO/IEC 7816-3規格に準拠しています。 各SCIはFIFOバッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のポーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。「 <a href="#">27. シリアルコミュニケーションインタフェース (SCI)</a> 」を参照してください。
IrDAインタフェース (IrDA)	IrDAインタフェースは、SCI1と連携してIrDA (Infrared Data Association) 規格バージョン1.0に基づくIrDA通信波形の送受信を行います。「 <a href="#">28. IrDAインタフェース</a> 」を参照してください。
I <sup>2</sup> Cバスインタフェース (IIC)	2チャンネルのI <sup>2</sup> Cバスインタフェース (IIC) は、NXP社のI <sup>2</sup> C (Inter-Integrated Circuit) バスインタフェース方式に準拠し、そのサブセット機能を提供しています。「 <a href="#">29. I<sup>2</sup>Cバスインタフェース (IIC)</a> 」を参照してください。
シリアルペリフェラルインタフェース (SPI)	独立した2つのシリアルペリフェラルインタフェース (SPI) により、複数のプロセッサおよび周辺デバイスとの高速全二重同期式シリアル通信が可能です。「 <a href="#">31. シリアルペリフェラルインタフェース (SPI)</a> 」を参照してください。
コントローラエリアネットワーク (CAN) モジュール	コントローラエリアネットワーク (CAN) モジュールは、電磁ノイズの多い応用機器において、複数のスレーブ・マスタ間でメッセージベースのプロトコルを用いたデータの送受信機能を提供しています。 CANモジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠しており、通常のメールボックスモードおよびFIFOモードを送信用に設定可能な最大32個のメールボックスをサポートしています。標準 (11ビット) と拡張 (29ビット) の両方のメッセージフォーマットに対応しています。「 <a href="#">30. CAN (Controller Area Network) モジュール</a> 」を参照してください。

表 1.8 アナログ

機能	機能の説明
12ビットA/Dコンバータ (ADC12)	逐次比較方式の12ビットA/Dコンバータ (ADC12) を2ユニット内蔵しています。ユニット0では最大11チャンネル、ユニット1では最大8チャンネルのアナログ入力を選択可能です。ただしユニット0およびユニット1の各2つのアナログ入力は共通のポートに割り当てられており (AN005/AN105, AN006/AN106)、同時に使用可能なアナログ入力は、最大17端子です。また内蔵の温度センサ出力および内部基準電圧を各ユニットのアナログ入力として選択できます。A/D変換精度として、12ビット、10ビット、および8ビットの各変換が選択可能であり、デジタル値生成における速度と分解能のバランスを最適化できます。「 <a href="#">35. 12ビットA/Dコンバータ (ADC12)</a> 」を参照してください。
12ビットD/Aコンバータ (DAC12)	DAC12は出力アンプを内蔵した12ビットD/Aコンバータです。「 <a href="#">36. 12ビットD/Aコンバータ (DAC12)</a> 」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でダイの温度を決定し、監視することが可能です。このセンサはダイ温度に正比例した電圧を出力するため、ダイ温度と出力電圧はリニアな関係にあります。出力された電圧はADC12で変換されてから、末端の応用機器で使用できます。「 <a href="#">37. 温度センサ (TSN)</a> 」を参照してください。
高速アナログコンパレータ (ACMPHS)	高速アナログコンパレータ (ACMPHS) は、テスト電圧と基準電圧を比較し、変換結果に基づいてデジタル出力を行います。テスト電圧と基準電圧は、どちらも内部電源 (DAC12出力や内部基準電圧) と外部電源 (内部PGAありまたはなし) からコンパレータに供給できます。こうした柔軟性は、必ずしもA/D変換を必要とせずに、アナログ信号に対して実行/中止の比較を行わなければならないアプリケーションに有効です。「 <a href="#">38. 高速アナログコンパレータ (ACMPHS)</a> 」を参照してください。

表 1.9 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC) 演算器は、データ内の誤りを検出するためのCRCコードを生成します。LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることができます。さらに、さまざまなCRC生成多項式を使用できます。スヌープ機能により、特定のアドレスに対する読み出しと書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントでCRCコードの自動生成が必要となるアプリケーションで役立ちます。「32. 巡回冗長検査 (CRC) 演算器」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16ビットのデータを比較、加算、または減算する機能です。「39. データ演算回路 (DOC)」を参照してください。

表 1.10 セキュリティ

機能	機能の説明
セキュアクリプトエンジン7 (SCE7)	<ul style="list-style-type: none"> <li>• セキュリティアルゴリズム : <ul style="list-style-type: none"> <li>- 対称暗号方式 : AES、3DES、ARC4</li> <li>- 非対称暗号方式 : RSA、DSA、ECC</li> </ul> </li> <li>• その他のサポート機能 : <ul style="list-style-type: none"> <li>- TRNG (真性乱数発生器)</li> <li>- ハッシュ値生成 : SHA1、SHA224、SHA256、GHASH、MD5</li> <li>- 128ビットの固有のID</li> </ul> </li> </ul>

表 1.11 I/Oポート

機能	機能の説明
設定可能なI/Oポート	<ul style="list-style-type: none"> <li>• 100ピンLQFP <ul style="list-style-type: none"> <li>- 入出力 : 67</li> <li>- 入力 : 9</li> <li>- プルアップ抵抗 : 68</li> <li>- Nチャンネルオープンドレイン出力 : 67</li> <li>- 5Vトレラント : 14</li> </ul> </li> <li>• 64ピンLQFP <ul style="list-style-type: none"> <li>- 入出力 : 35</li> <li>- 入力 : 5</li> <li>- プルアップ抵抗 : 36</li> <li>- Nチャンネルオープンドレイン出力 : 35</li> <li>- 5Vトレラント : 9</li> </ul> </li> </ul>

## 1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスによっては、その機能のサブセットを持つ場合があります。

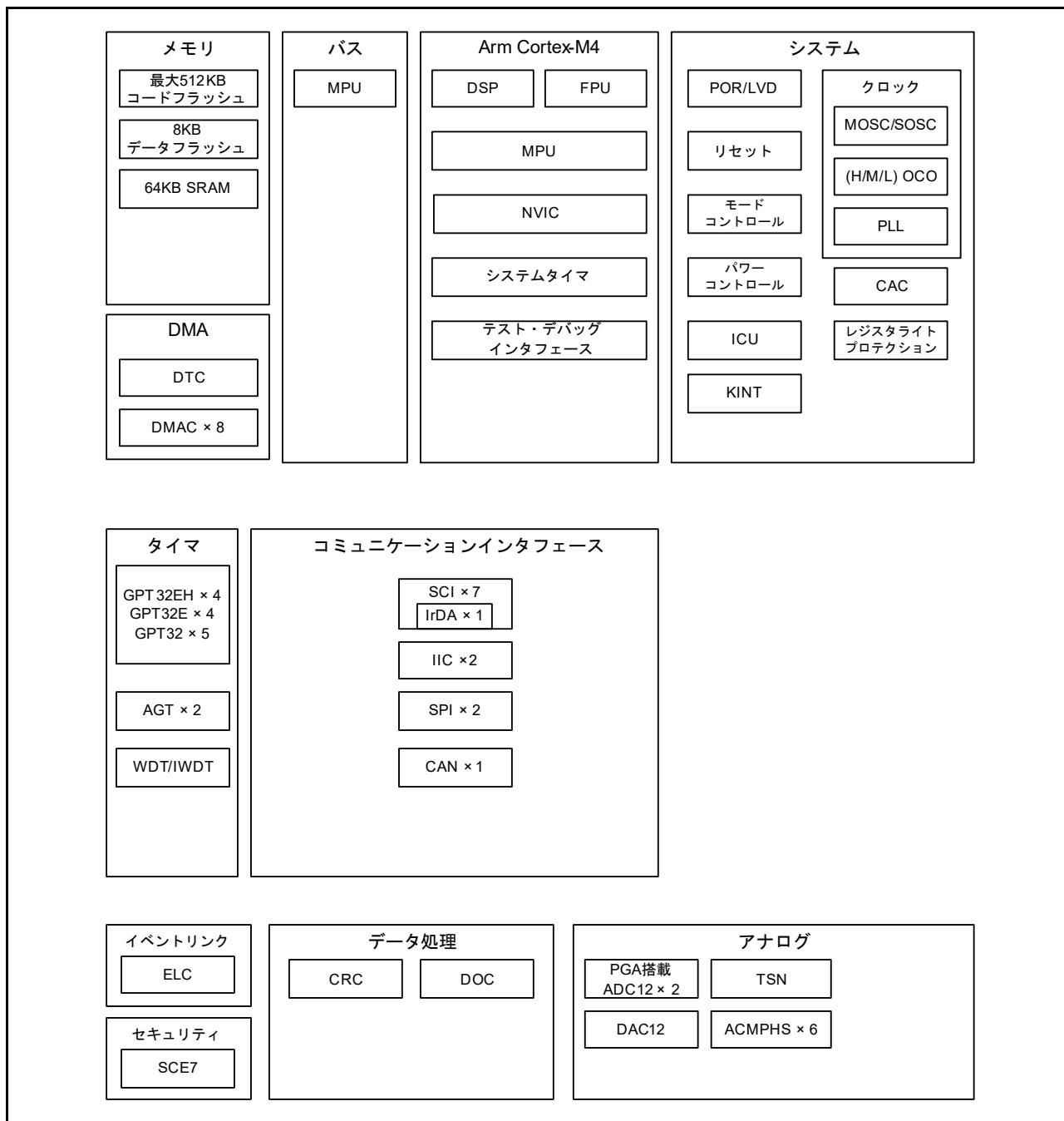


図 1.1 ブロック図

### 1.3 型名

図 1.2 に、メモリ容量やパッケージタイプなどを含む製品型名情報の読み方について示します。また、表 1.12 に製品一覧を示します。

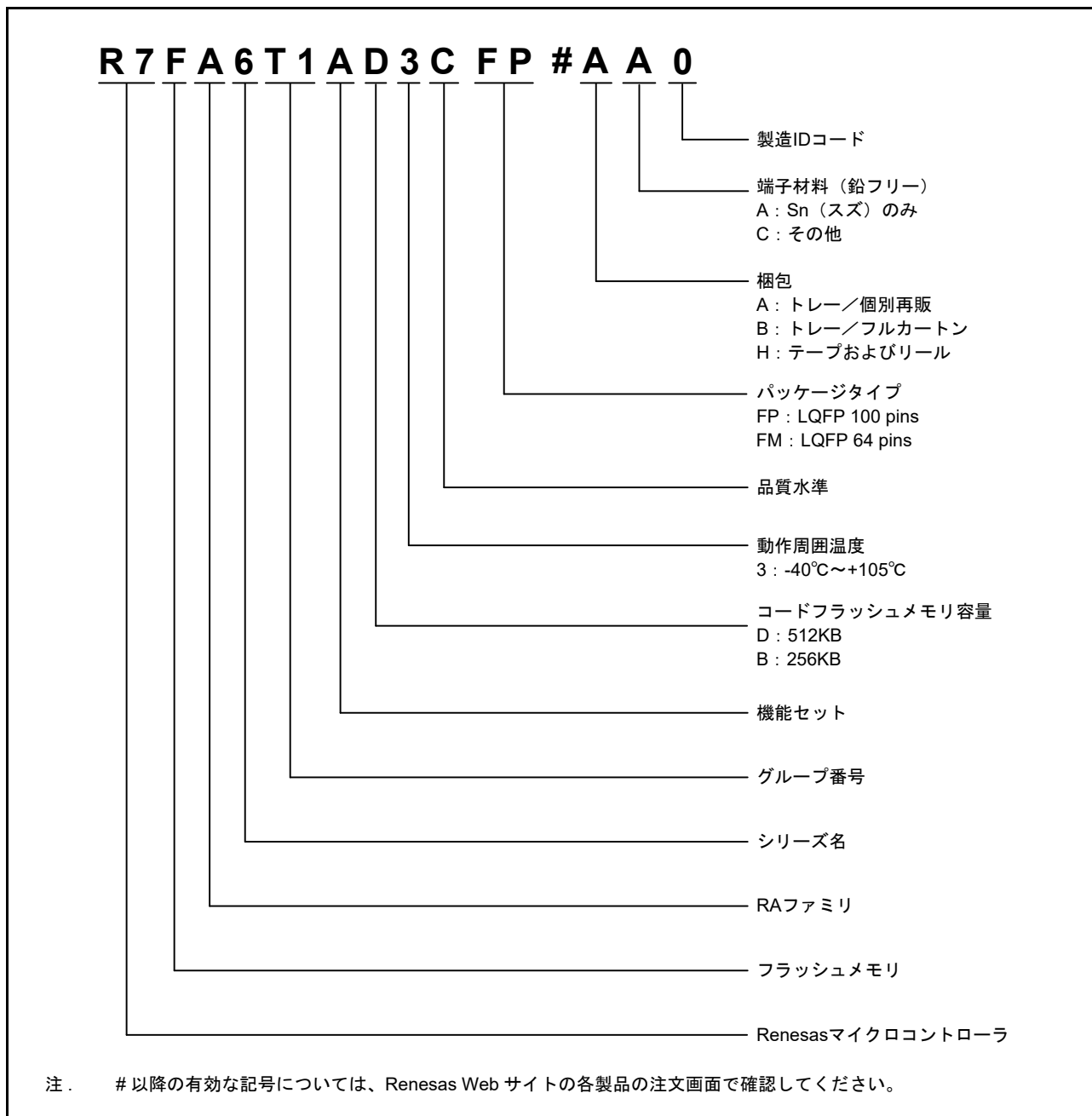


図 1.2 型名の読み方

表 1.12 製品一覧

型名	パッケージ	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA6T1AD3CFP	PLQP0100KB-B	512KB	8KB	64KB	-40 ~ +105 °C
R7FA6T1AB3CFP	PLQP0100KB-B	256KB			
R7FA6T1AD3CFM	PLQP0064KB-C	512KB			
R7FA6T1AB3CFM	PLQP0064KB-C	256KB			



## 1.4 機能の比較

表 1.13 機能の比較

機能		型名			
		R7FA6T1AD3CFP	R7FA6T1AB3CFP	R7FA6T1AD3CFM	R7FA6T1AB3CFM
端子総数		100		64	
パッケージ		LQFP			
コードフラッシュメモリ		512KB	256KB	512KB	256KB
データフラッシュメモリ		8KB			
SRAMHS	パリティ	64KB			
システム	CPUクロック	120MHz			
	バックアップレジスタ	512B			
	ICU	あり			
	KINT	8			
イベントリンク	ELC	あり			
DMA	DTC	8			
	DMAC	4			
タイマ	GPT32EH	4			
	GPT32E	4		3	
	GPT32	5		4	
	AGT	2			
	WDT/IWDT	あり			
通信	SCI	7			
	IIC	2			
	SPI	2			
	CAN	1			
アナログ	ADC12	ユニット0 : 11 ユニット1 : 8 端子共有 : 2 (注1)		ユニット0 : 7 ユニット1 : 3 端子共有 : 2 (注1)	
	3ch-S/H	ユニット0 : 1 (3ch) ユニット1 : 1 (3ch)		ユニット0 : 1 (3ch)	
	PGA	ユニット0 : 3 ユニット1 : 3		ユニット0 : 3	
	DAC12	2			
	ACMPHS	6			
	TSN	あり			
データ処理	CRC	あり			
	DOC	あり			
セキュリティ		SCE7			
I/Oポート	入出力	67		35	
	入力	9		5	
	プルアップ抵抗	68		36	
	Nチャンネルオープンドレイン出力	67		35	
	5Vトレラント	14		9	

注 1. 各 ADC ユニットの入力チャンネルが、同一ポートにアサインされています。

## 1.5 端子機能

表 1.14 端子機能 (1/3)

機能	端子名	入出力	説明	
電源	VCC	入力	電源端子。本端子は、各モジュールおよび内部電圧レギュレータのデジタル電源端子として使用されます。また、POR/LVDの電圧監視にも使用されます。システムの電源に接続してください。この端子は0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。	
	VCL0	入力	内部電源供給を安定化するための0.1μFの平滑コンデンサを経由してこの端子をVSSに接続します。コンデンサは端子近くに配置してください。	
	VCL	入力		
	VSS	入力	グランド端子。システムの電源（0V）に接続してください。	
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL端子を通じて外部クロック信号の入力が可能です。	
	EXTAL	入力		
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください。	
	XCOUT	出力		
	CLKOUT	出力	クロック出力端子	
動作モード コントロール	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。	
システム制御	RES	入力	リセット信号入力端子。本端子がLowになると、MCUはリセット状態となります。	
CAC	CACREF	入力	測定基準クロックの入力端子	
割り込み	NMI	入力	ノンマスクابل割り込み要求端子	
	IRQ0～IRQ13	入力	マスクابل割り込み要求端子	
KINT	KR00～KR07	入力	キー割り込みは、キー割り込み入力端子に立ち下がリエッジを入力することで発生させることが可能です。	
オンチップ エミュレータ	TMS	入出力	オンチップエミュレータ用またはバウンダリスキャン用端子	
	TDI	入力		
	TCK	入力		
	TDO	出力		
	TCLK	出力	トレースデータと同期をとるためのクロックを出力します。	
	TDATA0～TDATA3	出力	トレースデータ出力	
	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子	
	SWCLK	入力	シリアルワイヤクロック端子	
	SWO	出力	シリアルワイヤトレース出力端子	
GPT	GTETRGA, GTETRGB, GTETRGC, GTETRGD	入力	外部トリガ入力端子	
	GTIOC0A～ GTIOC12A, GTIOC0B～ GTIOC12B	入出力	インプットキャプチャ、アウトプットコンペア、またはPWM出力端子	
	GTIU	入力	ホールセンサ入力端子U	
	GTIV	入力	ホールセンサ入力端子V	
	GTIW	入力	ホールセンサ入力端子W	
	GTOUUP	出力	BLDCモータ制御用3相PWM出力（正相U相）	
	GTOULO	出力	BLDCモータ制御用3相PWM出力（逆相U相）	
	GTOVUP	出力	BLDCモータ制御用3相PWM出力（正相V相）	
	GTOVLO	出力	BLDCモータ制御用3相PWM出力（逆相V相）	
	GTOWUP	出力	BLDCモータ制御用3相PWM出力（正相W相）	
	GTOWLO	出力	BLDCモータ制御用3相PWM出力（逆相W相）	
	AGT	AGTEE0, AGTEE1	入力	外部イベント入力イネーブル信号
		AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力端子
AGTO0, AGTO1		出力	パルス出力端子	
AGTOA0, AGTOA1		出力	出力コンペアマッチA出力端子	
AGTOB0, AGTOB1		出力	出力コンペアマッチB出力端子	

表 1.14 端子機能 (2/3)

機能	端子名	入出力	説明
SCI	SCK0～SCK4, SCK8, SCK9	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXD0～RXD4, RXD8, RXD9	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXD0～TXD4, TXD8, TXD9	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS0_RTS0～ CTS4_RTS4, CTS8_RTS8, CTS9_RTS9	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブLow
	SCL0～SCL4, SCL8, SCL9	入出力	IICクロック用の入出力端子 (簡易IICモード)
	SDA0～SDA4 SDA8, SDA9	入出力	IICデータ用の入出力端子 (簡易IICモード)
	SCK0～SCK4, SCK8, SCK9	入出力	クロック用の入出力端子 (簡易SPIモード)
	MISO0～MISO4, MISO8, MISO9	入出力	データのスレーブ送信用の入出力端子 (簡易SPIモード)
	MOSI0～MOSI4, MOSI8, MOSI9	入出力	データのマスタ送信用の入出力端子 (簡易SPIモード)
	SS0～SS4, SS8, SS9	入力	チップセレクト入力端子 (簡易SPIモード)、アクティブLow
IIC	SCL0, SCL1	入出力	クロック用の入出力端子
	SDA0, SDA1	入出力	データ用の入出力端子
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA, MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1～SSLA3, SSLB1～SSLB3	出力	スレーブ選択用の出力端子
CAN	CRX0	入力	受信データ
	CTX0	出力	送信データ
アナログ電源	AVCC0	入力	アナログ電圧端子。それぞれのモジュールのアナログ電源端子として使用されます。この端子にはVCC端子と同じ電圧を供給してください。
	AVSS0	入力	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子にはVSS端子と同じ電圧を供給してください。
	VREFH0	入力	ADC12 (ユニット0) 用のアナログ基準電圧端子。ADC12 (ユニット0) およびAN000～AN002にサンプル&ホールド回路を使用しない場合は、この端子をVCCに接続してください。
	VREFL0	入力	ADC12用のアナログ基準グランド端子。ADC12 (ユニット0) およびAN000～AN002にサンプル&ホールド回路を使用しない場合は、この端子をVSSに接続してください。
	VREFH	入力	ADC12 (ユニット1) とD/Aコンバータ用のアナログ基準電圧端子。ADC12 (ユニット1)、AN100～AN102にサンプル&ホールド回路およびD/Aコンバータを使用しない場合は、この端子をVCCに接続してください。
	VREFL	入力	ADC12とD/Aコンバータ用のアナログ基準グランド端子。ADC12 (ユニット1)、AN100～AN102にサンプル&ホールド回路およびD/Aコンバータを使用しない場合は、この端子をVSSに接続してください。
ADC12	AN000～AN003, AN005～AN007, AN016～AN018, AN020	入力	ADC12で処理されるアナログ信号用の入力端子 AN005とAN105、およびAN006とAN106はそれぞれ同じポートに割り当てられています。
	AN100～AN102, AN105～AN107, AN116, AN117	入力	
	ADTRG0	入力	A/D変換を開始する外部トリガ信号用の入力端子
	ADTRG1	入力	
	PGAVSS000, PGAVSS100	入力	疑似差動入力端子

表 1.14 端子機能 (3/3)

機能	端子名	入出力	説明
DAC12	DA0, DA1	出力	D/A コンバータで処理されるアナログ信号用の出力端子
ACMPHS	VCOOUT	出力	コンパレータ出力端子
	IVREF0 ~ IVREF3	入力	コンパレータ用の基準電圧入力端子
	IVCMP0 ~ IVCMP3	入力	コンパレータ用のアナログ電圧入力端子
I/Oポート	P000 ~ P007	入力	汎用入力端子
	P008, P014, P015	入出力	汎用入出力端子
	P100 ~ P115	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P205 ~ P214	入出力	汎用入出力端子
	P300 ~ P307	入出力	汎用入出力端子
	P400 ~ P415	入出力	汎用入出力端子
	P500 ~ P504, P508	入出力	汎用入出力端子
	P600 ~ P602, P608 ~ P610	入出力	汎用入出力端子
	P708	入出力	汎用入出力端子

### 1.6 ピン配置図

図 1.3 と図 1.4 にピン配置図を示します。

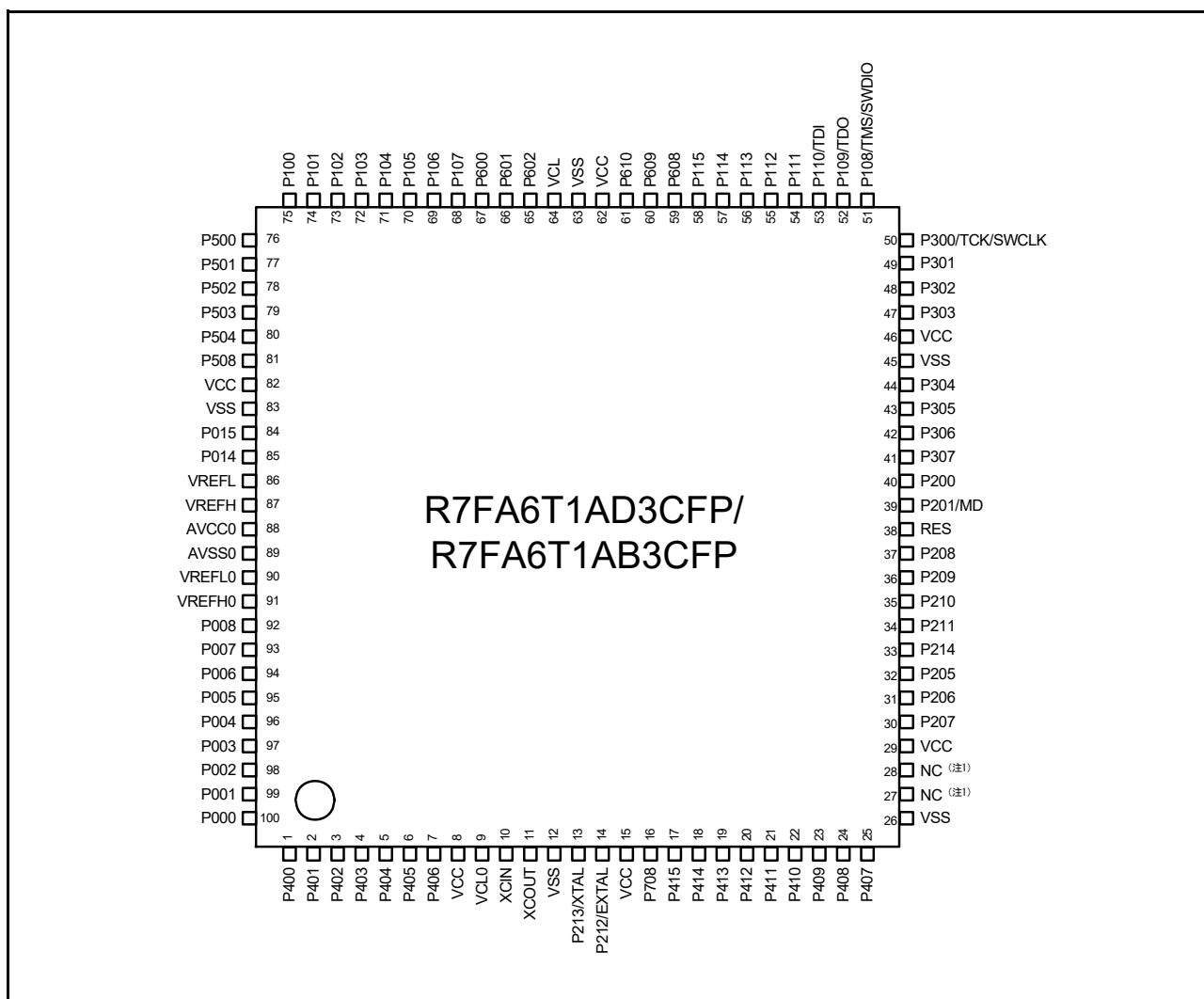


図 1.3 100-pin LQFP のピン配置図 (上面図)

注 1. これらのピンは、フロートにしてください。

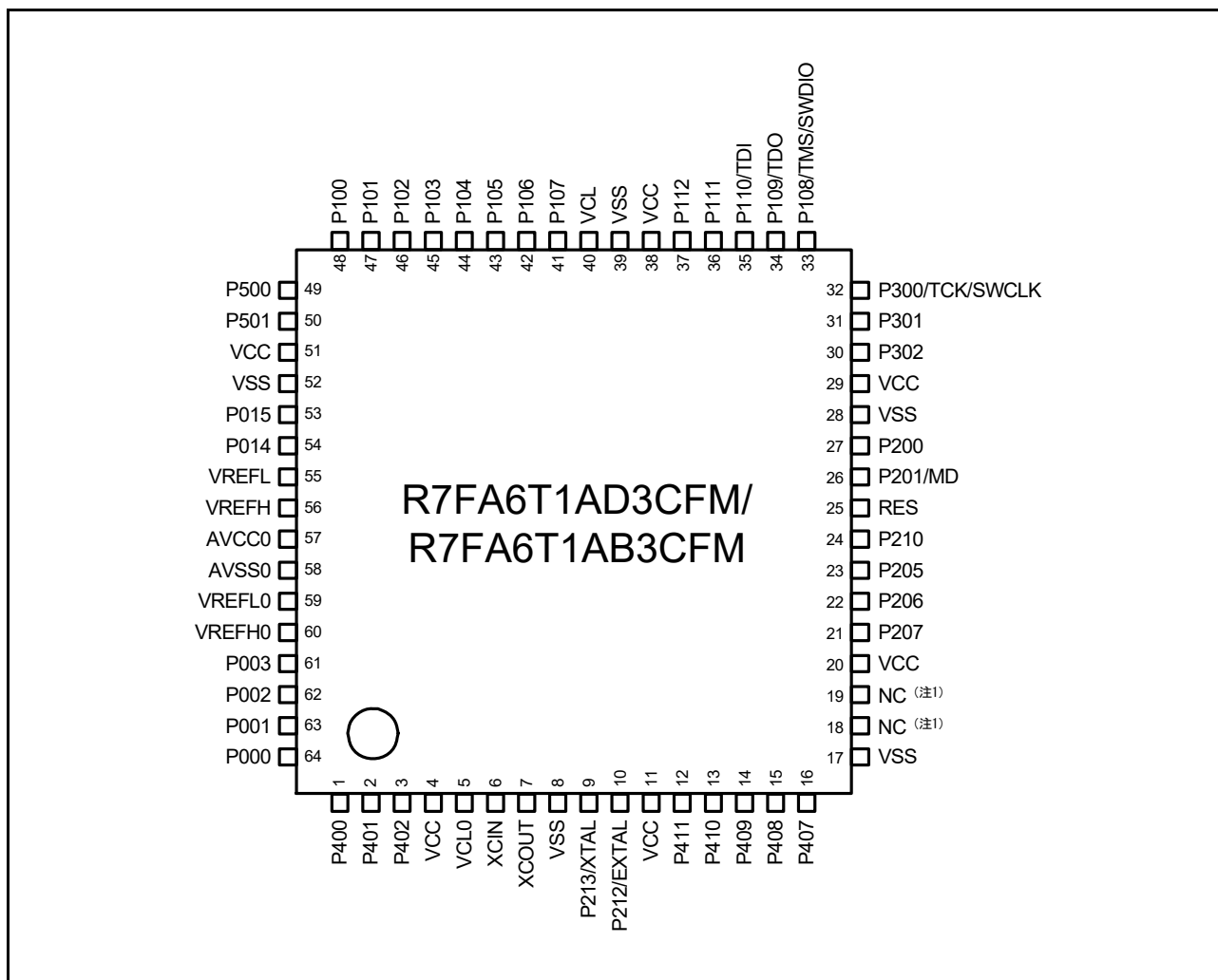


図 1.4 64-pin LQFP のピン配置図 (上面図)

注 1. これらのピンは、フロートにしてください。

1.7 端子一覧

ピン番号		電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	タイマ			通信インターフェース					アナログ	
LQFP100	LQFP64				AGT	GPT	GPT	CAN	SCI0,2,4,8 (30 MHz)	SCI1,3,9 (30 MHz)	IIC	SPI	ADC12	DAC12, ACMPHS
1	1	-	IRQ0	P400	AGTIO1	-	GTIOC6A	-	SCK4	-	SCL0_A	-	ADTRG1	-
2	2	-	IRQ5-DS	P401	-	GTETRGA	GTIOC6B	CTX0	CTS4_RTS4/SS4	-	SDA0_A	-	-	-
3	3	CACREF	IRQ4-DS	P402	AGTIO0/AGTIO1	-	-	CRX0	-	-	-	-	-	-
4	-	-	-	P403	AGTIO0/AGTIO1	-	GTIOC3A	-	-	-	-	-	-	-
5	-	-	-	P404	-	-	GTIOC3B	-	-	-	-	-	-	-
6	-	-	-	P405	-	-	GTIOC1A	-	-	-	-	-	-	-
7	-	-	-	P406	-	-	GTIOC1B	-	-	-	-	-	-	-
8	4	VCC	-	-	-	-	-	-	-	-	-	-	-	-
9	5	VCL0	-	-	-	-	-	-	-	-	-	-	-	-
10	6	XCIN	-	-	-	-	-	-	-	-	-	-	-	-
11	7	XCOUT	-	-	-	-	-	-	-	-	-	-	-	-
12	8	VSS	-	-	-	-	-	-	-	-	-	-	-	-
13	9	XTAL	IRQ2	P213	-	GTETRGC	GTIOC0A	-	-	TXD1/MOSI1/SDA1	-	-	ADTRG1	-
14	10	EXTAL	IRQ3	P212	AGTEE1	GTETRGD	GTIOC0B	-	-	RXD1/MISO1/SCL1	-	-	-	-
15	11	VCC	-	-	-	-	-	-	-	-	-	-	-	-
16	-	CACREF	IRQ11	P708	-	-	-	-	-	RXD1/MISO1/SCL1	-	SSLA3_B	-	-
17	-	-	IRQ8	P415	-	-	GTIOC0A	-	-	-	-	SSLA2_B	-	-
18	-	-	IRQ9	P414	-	-	GTIOC0B	-	-	-	-	SSLA1_B	-	-
19	-	-	-	P413	-	GTOUUP	-	-	CTS0_RTS0/SS0	-	-	SSLA0_B	-	-
20	-	-	-	P412	AGTEE1	GTOULO	-	-	SCK0	-	-	RSPCKA_B	-	-
21	12	-	IRQ4	P411	AGTOA1	GTOVUP	GTIOC9A	-	TXD0/MOSI0/SDA0	CTS3_RTS3/SS3	-	MOSIA_B	-	-
22	13	-	IRQ5	P410	AGTOB1	GTOVLO	GTIOC9B	-	RXD0/MISO0/SCL0	SCK3	-	MISOA_B	-	-
23	14	-	IRQ6	P409	-	GTOVUP	GTIOC10A	-	-	TXD3/MOSI3/SDA3	-	-	-	-
24	15	-	IRQ7	P408	-	GTOVLO	GTIOC10B	-	-	RXD3/MISO3/SCL3	SCL0_B	-	-	-
25	16	-	-	P407	AGTIO0	-	-	-	CTS4_RTS4/SS4	-	SDA0_B	-	ADTRG0	-
26	17	VSS	-	-	-	-	-	-	-	-	-	-	-	-
27	18	-	-	-	-	-	-	-	-	-	-	-	-	-
28	19	-	-	-	-	-	-	-	-	-	-	-	-	-
29	20	VCC	-	-	-	-	-	-	-	-	-	-	-	-
30	21	-	-	P207	-	-	-	-	-	-	-	-	-	-
31	22	-	IRQ0-DS	P206	-	GTIU	-	-	RXD4/MISO4/SCL4	-	SDA1_A	-	-	-
32	23	CLKOUT	IRQ1-DS	P205	AGTO1	GTIV	GTIOC4A	-	TXD4/MOSI4/SDA4	CTS9_RTS9/SS9	SCL1_A	-	-	-
33	-	TCLK	-	P214	-	GTIU	-	-	-	-	-	-	-	-
34	-	TDATA0	-	P211	-	GTIV	-	-	-	-	-	-	-	-
35	24	TDATA1	-	P210	-	GTIW	-	-	-	-	-	-	-	-
36	-	TDATA2	-	P209	-	GTOVUP	-	-	-	-	-	-	-	-
37	-	TDATA3	-	P208	-	GTOVLO	-	-	-	-	-	-	-	-
38	25	RES	-	-	-	-	-	-	-	-	-	-	-	-
39	26	MD	-	P201	-	-	-	-	-	-	-	-	-	-
40	27	-	NMI	P200	-	-	-	-	-	-	-	-	-	-
41	-	-	-	P307	-	GTOUUP	-	-	-	-	-	-	-	-
42	-	-	-	P306	-	GTOULO	-	-	-	-	-	-	-	-
43	-	-	IRQ8	P305	-	GTOVUP	-	-	-	-	-	-	-	-
44	-	-	IRQ9	P304	-	GTOVLO	GTIOC7A	-	-	-	-	-	-	-
45	28	VSS	-	-	-	-	-	-	-	-	-	-	-	-
46	29	VCC	-	-	-	-	-	-	-	-	-	-	-	-
47	-	-	-	P303	-	-	GTIOC7B	-	-	-	-	-	-	-
48	30	-	IRQ5	P302	-	GTOUUP	GTIOC4A	-	TXD2/MOSI2/SDA2	-	-	SSLB3_B	-	-
49	31	-	IRQ6	P301	AGTIO0	GTOULO	GTIOC4B	-	RXD2/MISO2/SCL2	CTS9_RTS9/SS9	-	SSLB2_B	-	-
50	32	TCK/SWCLK	-	P300	-	GTOUUP	GTIOC0A_A	-	-	-	-	SSLB1_B	-	-
51	33	TMS/SWDIO	-	P108	-	GTOULO	GTIOC0B_A	-	-	CTS9_RTS9/SS9	-	SSLB0_B	-	-
52	34	CLKOUT/TDO/SWO	-	P109	-	GTOVUP	GTIOC1A_A	-	-	TXD9/MOSI9/SDA9	-	MOSIB_B	-	-
53	35	TDI	IRQ3	P110	-	GTOVLO	GTIOC1B_A	-	CTS2_RTS2/SS2	RXD9/MISO9/SCL9	-	MISOB_B	-	VCOUT
54	36	-	IRQ4	P111	-	-	GTIOC3A_A	-	SCK2	SCK9	-	RSPCKB_B	-	-
55	37	-	-	P112	-	-	GTIOC3B_A	-	TXD2/MOSI2/SDA2	SCK1	-	SSLB0_B	-	-
56	-	-	-	P113	-	-	GTIOC2A	-	RXD2/MISO2/SCL2	-	-	-	-	-
57	-	-	-	P114	-	-	GTIOC2B	-	-	-	-	-	-	-
58	-	-	-	P115	-	-	GTIOC4A	-	-	-	-	-	-	-
59	-	-	-	P608	-	-	GTIOC4B	-	-	-	-	-	-	-
60	-	-	-	P609	-	-	GTIOC5A	-	-	-	-	-	-	-
61	-	-	-	P610	-	-	GTIOC5B	-	-	-	-	-	-	-

ピン番号		電源、システム、 クロック、デバッグ、 CAC	割り込み	I/Oポート	タイマ			通信インターフェース					アナログ		
LQFP100	LQFP64				AGT	GPT	GPT	CAN	SCI0,2,4,8 (30 MHz)	SCI1,3,9 (30 MHz)	IIC	SPI	ADC12	DAC12, ACMIPHS	
62	38	VCC	-	-	-	-	-	-	-	-	-	-	-	-	-
63	39	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-
64	40	VCL	-	-	-	-	-	-	-	-	-	-	-	-	-
65	-	-	-	P602	-	-	GTIOC7B	-	-	-	TXD9	-	-	-	-
66	-	-	-	P601	-	-	GTIOC6A	-	-	-	RXD9	-	-	-	-
67	-	CLKOUT/ CACREF	-	P600	-	-	GTIOC6B	-	-	-	SCK9	-	-	-	-
68	41	-	KR07	P107	AGTOA0	-	GTIOC8A	-	-	CTS8_RTS/ SS8	-	-	-	-	-
69	42	-	KR06	P106	AGTOB0	-	GTIOC8B	-	-	SCK8	-	-	SSLA3_A	-	-
70	43	-	IRQ0/KR05	P105	-	GTETRGA	GTIOC1A	-	-	TXD8/MOSI8/ SDA8	-	-	SSLA2_A	-	-
71	44	-	IRQ1/KR04	P104	-	GTETRGB	GTIOC1B	-	-	RXD8/MISO8/ SCL8	-	-	SSLA1_A	-	-
72	45	-	KR03	P103	-	GTOWUP	GTIOC2A_A	CTX0	CTS0_RTS/ SS0	-	-	-	SSLA0_A	-	-
73	46	-	KR02	P102	AGTO0	GTOWLO	GTIOC2B_A	CRX0	SCK0	-	-	-	RSPCKA_A	ADTRG0	-
74	47	-	IRQ1/KR01	P101	AGTEE0	GTETRGB	GTIOC5A	-	TXD0/MOSI0/ SDA0	CTS1_RTS1/ SS1	SDA1_B	MOSIA_A	-	-	-
75	48	-	IRQ2/KR00	P100	AGTIO0	GTETRGA	GTIOC5B	-	RXD0/MISO0/ SCL0	SCK1	SCL1_B	MISOA_A	-	-	-
76	49	-	-	P500	AGTOA0	GTIU	GTIOC11A	-	-	-	-	-	-	AN016	IVREF0
77	50	-	IRQ11	P501	AGTOB0	GTIV	GTIOC11B	-	-	-	-	-	-	AN116	IVREF1
78	-	-	IRQ12	P502	-	GTIW	GTIOC12A	-	-	-	-	-	-	AN017	IVCMP0
79	-	-	-	P503	-	GTETRGC	GTIOC12B	-	-	-	-	-	-	AN117	-
80	-	-	-	P504	-	GTETRGD	-	-	-	-	-	-	-	AN018	-
81	-	-	-	P508	-	-	-	-	-	-	-	-	-	AN020	-
82	51	VCC	-	-	-	-	-	-	-	-	-	-	-	-	-
83	52	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-
84	53	-	IRQ13	P015	-	-	-	-	-	-	-	-	-	AN006/AN106	DA1/IVCMP1
85	54	-	-	P014	-	-	-	-	-	-	-	-	-	AN005/AN105	DA0/IVREF3
86	55	VREFL	-	-	-	-	-	-	-	-	-	-	-	-	-
87	56	VREFH	-	-	-	-	-	-	-	-	-	-	-	-	-
88	57	AVCC0	-	-	-	-	-	-	-	-	-	-	-	-	-
89	58	AVSS0	-	-	-	-	-	-	-	-	-	-	-	-	-
90	59	VREFL0	-	-	-	-	-	-	-	-	-	-	-	-	-
91	60	VREFH0	-	-	-	-	-	-	-	-	-	-	-	-	-
92	-	-	IRQ12-DS	P008	-	-	-	-	-	-	-	-	-	AN003	-
93	-	-	-	P007	-	-	-	-	-	-	-	-	-	PGAVSS100/ AN107	-
94	-	-	IRQ11-DS	P006	-	-	-	-	-	-	-	-	-	AN102	IVCMP2
95	-	-	IRQ10-DS	P005	-	-	-	-	-	-	-	-	-	AN101	IVCMP2
96	-	-	IRQ9-DS	P004	-	-	-	-	-	-	-	-	-	AN100	IVCMP2
97	61	-	-	P003	-	-	-	-	-	-	-	-	-	PGAVSS000/ AN007	-
98	62	-	IRQ8-DS	P002	-	-	-	-	-	-	-	-	-	AN002	IVCMP2
99	63	-	IRQ7-DS	P001	-	-	-	-	-	-	-	-	-	AN001	IVCMP2
100	64	-	IRQ6-DS	P000	-	-	-	-	-	-	-	-	-	AN000	IVCMP2

注. いくつかの端子名には、\_A、\_B という接尾語が付加されています。GPT、IIC、SPI 機能を割り当てる場合、同じ接尾語の機能端子を選択してください。



## 2. CPU

本 MCU は、Arm® Cortex®-M4 コアをベースにしています。

### 2.1 概要

#### 2.1.1 CPU

- Arm Cortex-M4
  - リビジョン : r0p1-01rel0
  - Armv7E-M アーキテクチャプロファイル
  - 単精度浮動小数点ユニット (ANSI/IEEE 規格 754-2008 に準拠)
- メモリプロテクションユニット (MPU)
  - Armv7 保護メモリシステムアーキテクチャ
  - 8つのメモリ保護領域
- SysTick タイマ
  - SYSTICCLK (LOCO) または ICLK により駆動

詳細は、[参考資料 1.](#) および [参考資料 2.](#) を参照してください。

## 2.1.2 デバッグ

- Arm CoreSight™ ETM-M4
  - リビジョン : r0p1-00rel0
  - Arm ETM アーキテクチャバージョン 3.5
- CoreSight 計装トレースマクロセル (ITM)
- データウォッチポイント & トレース (DWT) ユニット
  - ウォッチポイントとトリガ用の 4 つのコンパレータ
- フラッシュパッチ&ブレイクポイント (FPB) ユニット
  - フラッシュパッチ (リマップ) 機能は使用できない。ブレイクポイント機能のみ使用可能
  - 6 つの命令コンパレータ
  - 2 つのリテラルコンパレータ
- CoreSight タイムスタンプジェネレータ (TSG)
  - ETM および ITM 用タイムスタンプ
  - CPU クロックによる駆動
- デバッグレジスタモジュール (DBGREG)
  - リセットコントロール
  - 停止コントロール
- CoreSight デバッグアクセスポート (DAP)
  - JTAG デバッグポート (JTAG-DP)
  - シリアルワイヤデバッグポート (SW-DP)
- Cortex-M4 トレースポートインタフェースユニット (TPIU)
  - 4 ビット TPIU フォーマッタ出力
  - シリアルワイヤ出力
- CoreSight エンベデッドトレースバッファ (ETB)
  - CoreSight トレースメモリコントローラ (ETB コンフィグレーション内蔵)
  - バッファサイズ : 2KB

詳細は、[参考資料 1](#) および [参考資料 2](#) を参照してください。

### 2.1.3 動作周波数

本 MCU の動作周波数は以下のとおりです。

- CPU : 最大 120MHz
- 4ビット TPIU トレースインタフェース : 最大 60MHz
- シリアルワイヤ出力 (SWO) トレースインタフェース : 最大 60MHz
- ジョイントテストアクショングループ (JTAG) インタフェース : 最大 25MHz
- シリアルワイヤデバッグ (SWD) インタフェース : 最大 25MHz

図 2.1 に Cortex-M4 CPU のブロック図を示します。

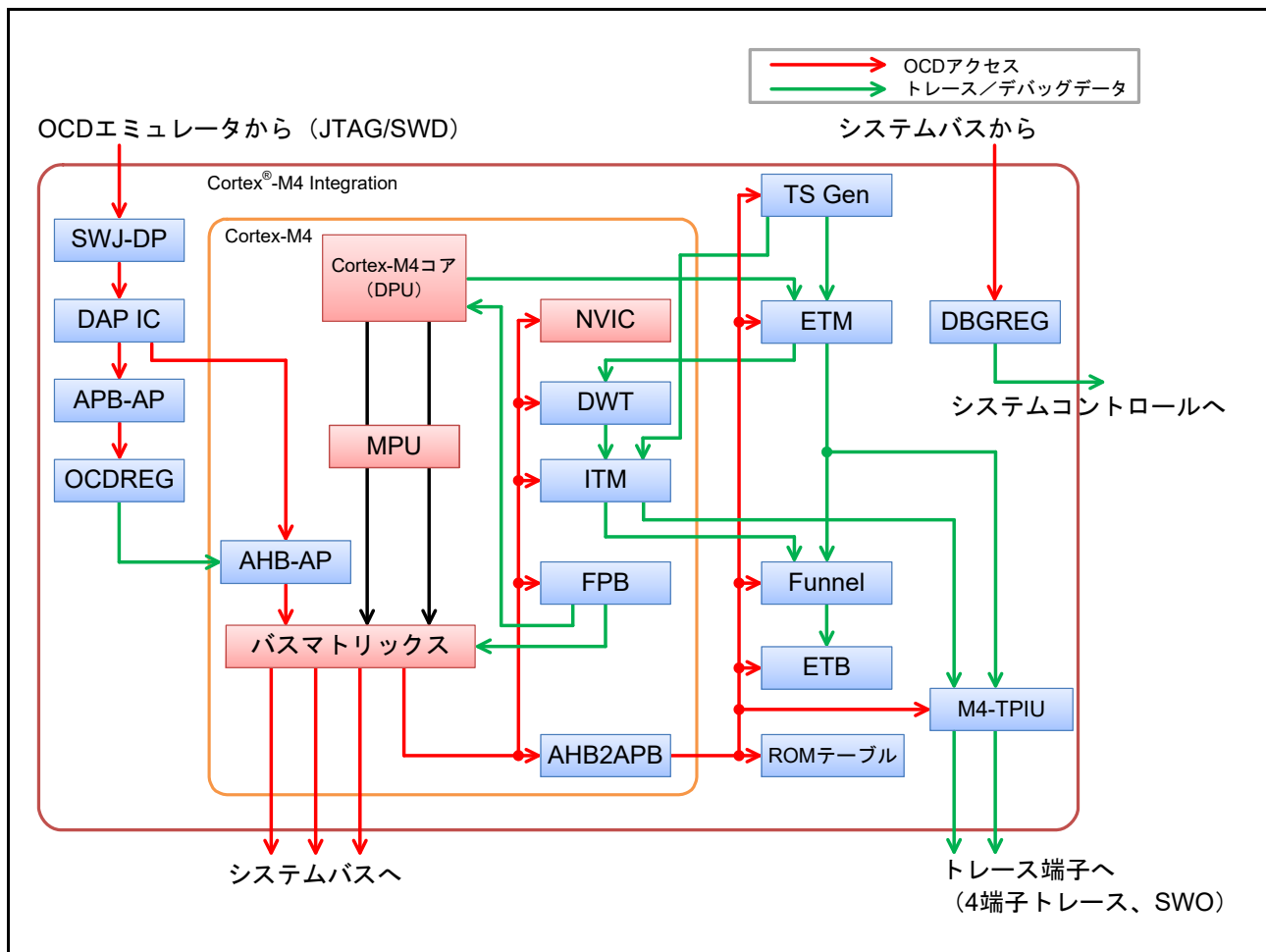


図 2.1 Cortex-M4 CPU ブロック図

## 2.2 MCU 実装オプション

表 2.1 に本 MCU の実装オプションを示します。これは、参考資料 2. の構成可能オプションを基にしています。

表 2.1 実装オプション

オプション	実装
MPU	あり (8つのメモリ保護領域)
FPB	フラッシュパッチ (リマップ) 機能は使用できません。ブレークポイント機能のみ使用可能です。
ブレークポイント機能	あり
FPU	あり
割り込み回数	96
プライオリティビット数	4
ウェイクアップ割り込みコントローラ (WIC (注1)) の数	なし
スリープモードパワーセーブ	スリープモードなどの低消費電力モードがサポートされています。詳細は、「11. 低消費電力モード」を参照してください。SCB.SCR.SLEEPDEEPは無視されます。
エンディアン形式	リトルエンディアン
SysTick SYST_CALIBレジスタ	SYST_CALIB = 4000 0147h ビット[31] = 0            基準クロック提供 ビット[30] = 1            TERMS値が精度異常 ビット[29:24] = 00h       予約ビット ビット[23:0] = 000147h    TERM: (32768 × 10ms) - 1/32.768kHz = 326.66 (10進) = 327 (スケューを含む) = 000147h
イベント入出力	実装なし
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタのSYSRESETREQビットによってCPUがリセットされます。
補助フォルト入力 (AUXFAULT)	実装なし

注 1. ウェイクアップ割り込みコントローラ (WIC) の代わりに、ICUによってCPUのウェイクアップが可能です。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

## 2.3 トレースインタフェース

トレースポートインタフェースユニット (TPIU) とシリアルワイヤ出力 (SWO) は、トレース出力を行います。表 2.2 は、この機能に対応する MCU 端子を示しています。これらの端子は他機能との兼用端子です。

表 2.2 トレース機能の端子

名称	入出力	幅	機能
TCLK	出力	1ビット	トレースクロック
TDATA0	出力	1ビット	トレースデータ出力0
TDATA1	出力	1ビット	トレースデータ出力1
TDATA2	出力	1ビット	トレースデータ出力2
TDATA3	出力	1ビット	トレースデータ出力3
TDO/SWO	出力	1ビット	JTAG TDO端子と兼用のシリアルワイヤ出力

## 2.4 JTAG/SWD インタフェース

表 2.3 は JTAG/SWD 端子を示しています。

表 2.3 JTAG/SWD 端子

名称	入出力	P/N	幅	機能	使用しない場合
TCK/SWCLK	入力	Pos.	1ビット	JTAGクロック端子	プルアップ
TMS/SWDIO	入出力	Neg.	1ビット	JTAG TMS 端子 SWD 入出力端子	プルアップ
TDI	入力	Pos.	1ビット	JTAG TDI 端子	プルアップ
TDO/SWO	出力	Neg.	1ビット	シリアルワイヤ出力と兼用のJTAG TDO 端子	オープン

## 2.5 デバッグモード

### 2.5.1 デバッグモード定義

シングルチップモードでは、デバッグ接続状態はOCD（オンチップデバッガ）モードと定義され、デバッグ未接続状態はユーザモードと定義されます。表 2.4 に、CPU デバッグモードおよびその使用条件を示します。

表 2.4 CPU デバッグモードおよび条件

条件		モード	
OCD 接続	JTAG/SWD 認証	デバッグモード	デバッグ認証
未接続	—	ユーザモード	禁止
接続	不合格	ユーザモード	禁止
接続	合格	OCD モード	許可

- 注． OCD 接続は、SWJ-DP レジスタの CDBGPWUPREQ ビット出力によって判別されます。このビットは OCD によってのみ書き込むことができます。ただし、このビットのレベルは、DBGSTR.CDBGPWUPREQ ビットの読み出しによって確認できます。
- 注． デバッグ認証は、Armv7-M アーキテクチャによって定義されます。「許可」とは、侵入型と非侵入型の両方の CPU デバッグが許可されることを意味します。「禁止」とは、両方とも許可されないことを意味します。

### 2.5.2 デバッグモードの影響

この節ではデバッグモードの影響について説明します。デバッグモードは CPU の内部および外部に影響を与えます。

#### 2.5.2.1 低消費電力モード

すべての CoreSight デバッグコンポーネントは、CPU がソフトウェアスタンバイモード、スヌーズモード、あるいはディープソフトウェアスタンバイモードに入った場合でも、レジスタの設定値を格納することが可能です。ただし、これらの低消費電力モードにおいては、AHB-AP はオンチップデバッグ（OCD）アクセスに応答できません。CoreSight デバッグコンポーネントにアクセスするには、OCD は低消費電力モードが解除されるのを待つ必要があります。OCD は MCUCTRL レジスタの DBIRQ ビットを設定することで、低消費電力モードの解除を要求できます。詳細は、2.6.5.3 MCU コントロールレジスタ（MCUCTRL）を参照してください。

### 2.5.2.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPCR の設定内容に依存します。

表 2.5 リセットまたは割り込みおよびモード設定

リセットまたは割り込みの名称	オンチップデバッグ (OCD) モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザモードと同じ	
パワーオンリセット	ユーザモードと同じ	
独立ウォッチドッグタイマリセット/割り込み	発生なし (注1)	DBGSTOPCR の設定内容に依存 (注2)
ウォッチドッグタイマリセット/割り込み	発生なし (注1)	DBGSTOPCR の設定内容に依存 (注2)
電圧監視0リセット	DBGSTOPCR の設定内容に依存 (注3)	
電圧監視1リセット/割り込み	DBGSTOPCR の設定内容に依存 (注3)	
電圧監視2リセット/割り込み	DBGSTOPCR の設定内容に依存 (注3)	
SRAM パリティエラーリセット/割り込み	DBGSTOPCR の設定内容に依存 (注3)	
MPU バスマスタリセット/割り込み	ユーザモードと同じ	
MPU バススレーブリセット/割り込み	ユーザモードと同じ	
スタックポインタエラーリセット/割り込み	ユーザモードと同じ	
ディープソフトウェアスタンバイリセット	ユーザモードと同じ	
ソフトウェアリセット	ユーザモードと同じ	

注. OCD ブレークモードでは CPU が停止しています。OCD RUN モードでは CPU が OCD モードにあって、停止していません。

注 1. このモードでは IWDT と WDT は常に停止しています。

注 2. IWDT と WDT の動作は、DBGSTOPCR の設定内容に依存します。

注 3. リセットまたは割り込みのマスク処理は、DBGSTOPCR の設定内容に依存します。

## 2.6 プログラマモデル

### 2.6.1 アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート (AP) があります。

- AHB-AP : CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします
- APB-AP : 専用のアドレス空間 (OCD アドレス空間) を持ち、OCD レジスタに接続されます

図 2.2 は、AP 接続とアドレス空間のブロック図です。

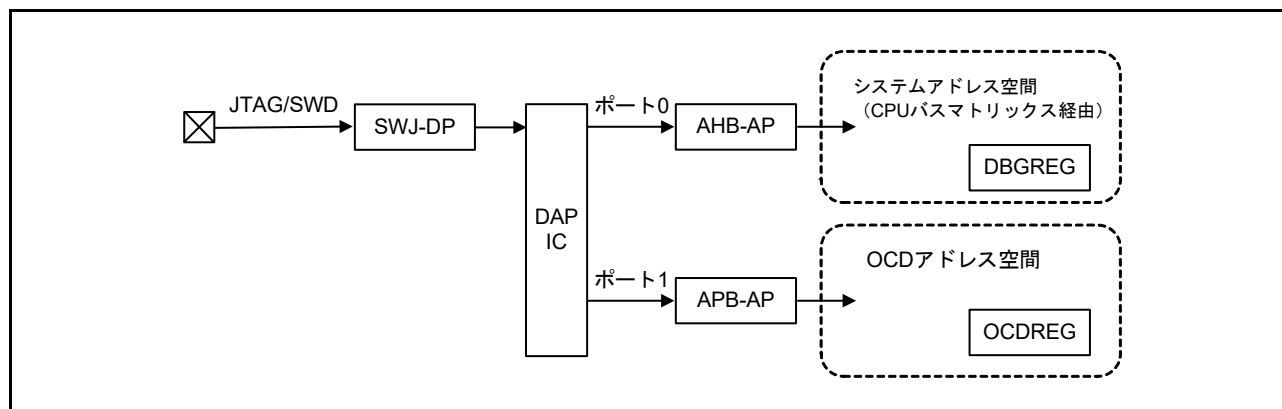


図 2.2 JTAG/SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、OCD エミュレータ、CPU、および MCU の他のバスマスタからアクセスが可能です。OCDREG は OCD アドレス空間に配置され、OCD ツールからのみアクセスが可能です。CPU と他のバスマスタは OCD レジスタにアクセスできません。

### 2.6.2 Cortex-M4 ペリフェラルアドレスマップ

システムアドレス空間では、Cortex-M4 コアは専用周辺バス (PPB) を備えます。このバスは CPU および OCD エミュレータからのみアクセスが可能です。PPB は、本 MCU に対する Cortex-M4 オリジナル実装から拡張されます。表 2.6 は、本 MCU のアドレスマップを示しています。

表 2.6 Cortex-M4ペリフェラルアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
ITM	E000 0000h	E000 0FFFh	参考資料2.を参照してください。
DWT	E000 1000h	E000 1FFFh	参考資料2.を参照してください。
FPB	E000 2000h	E000 2FFFh	参考資料2.を参照してください。
SCS	E000 E000h	E000 EFFFh	参考資料2.を参照してください。
TPIU	E004 0000h	E004 0FFFh	参考資料2.を参照してください。
ETM	E004 1000h	E004 1FFFh	参考資料5.を参照してください。
ATB ファネル	E004 2000h	E004 2FFFh	2.7 および参考資料4.を参照してください。
ETB	E004 3000h	E004 3FFFh	参考資料6.を参照してください。
タイムスタンプジェネレータ	E004 4000h	E004 4FFFh	2.10 および参考資料4.を参照してください。
ROM テーブル	E00F F000h	E00F FFFFh	2.6.3 および参考資料7.を参照してください。



### 2.6.3 CoreSight ROM テーブル

本 MCU には 1 つの CoreSight ROM テーブルがあります。これは Arm コンポーネントの一覧表です。

#### 2.6.3.1 ROM エントリ

表 2.7 に、CoreSight ROM テーブル内の ROM エントリを示します。OCD エミュレータは、この ROM エントリを使用して、システムに実装されているコンポーネントを識別できます。詳細は参考資料 7. を参照してください。

表 2.7 CoreSight ROM テーブル

#	アドレス	アクセスサイズ	R/W	値	コンポーネント
0	E00F F000h	32ビット	R	FFF0 F003h	NVIC
1	E00F F004h	32ビット	R	FFF0 2003h	SWT
2	E00F F008h	32ビット	R	FFF0 3003h	FPB
3	E00F F00Ch	32ビット	R	FFF0 1003h	ITM
4	E00F F010h	32ビット	R	FFF4 1003h	TPIU
5	E00F F014h	32ビット	R	FFF4 2003h	ETM
6	E00F F018h	32ビット	R	FFF4 3003h	ファネル
7	E00F F01Ch	32ビット	R	FFF4 4003h	ETB
8	E00F F020h	32ビット	R	FFF4 5003h	TSG
9	E00F F024h	32ビット	R	0000 0000h	エントリ終了

#### 2.6.3.2 CoreSight コンポーネントレジスタ

CoreSight ROM テーブルは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタの一覧表です。

表 2.8 にこれらのレジスタを示します。各レジスタの詳細は、参考資料 7. を参照してください。

表 2.8 CoreSight ROM テーブルの CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
DEVTYPE	E00F FFCCh	32ビット	R	0000 0001h
PID4	E00F FFD0h	32ビット	R	0000 0004h
PID5	E00F FFD4h	32ビット	R	0000 0000h
PID6	E00F FFD8h	32ビット	R	0000 0000h
PID7	E00F FFDCh	32ビット	R	0000 0000h
PID0	E00F FFE0h	32ビット	R	0000 0027h
PID1	E00F FFE4h	32ビット	R	0000 0030h
PID2	E00F FFE8h	32ビット	R	0000 000Ah
PID3	E00F FFECh	32ビット	R	0000 0000h
CID0	E00F FFF0h	32ビット	R	0000 000Dh
CID1	E00F FFF4h	32ビット	R	0000 0010h
CID2	E00F FFF8h	32ビット	R	0000 0005h
CID3	E00F FFFCh	32ビット	R	0000 00B1h

## 2.6.4 DBGREG モジュール

DBGREG モジュールはデバッグ機能を制御し、CoreSight 準拠のコンポーネントとして実装されています。

表 2.9 に、CoreSight コンポーネントレジスタ以外の DBGREG レジスタを示します。

表 2.9 CoreSight ではない DBGREG レジスタ

名称	DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	ポート0	4001 B000h	32ビット	R
デバッグストップコントロールレジスタ	ポート0	4001 B010h	32ビット	R/W
トレースコントロールレジスタ	ポート0	4001 B020h	32ビット	R/W

### 2.6.4.1 デバッグステータスレジスタ (DBGSTR)

アドレス [DBG.DBGSTR 4001 B000h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	CDBGPWRUPACK	CDBGPWRUPREQ	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと0が読めます。	R
b28	CDBGPWRUPREQ	デバッグパワーアップ要求	0 : OCDはデバッグパワーアップを要求していない 1 : OCDはデバッグパワーアップを要求している	R
b29	CDBGPWRUPACK	デバッグパワーアップアクトリッジ	0 : デバッグパワーアップ要求は受け付けられていない 1 : デバッグパワーアップ要求は受け付けられている	R
b31-b30	—	予約ビット	読むと0が読めます。	R

## 2.6.4.2 デバッグストップコントロールレジスタ (DBGSTOPCR)

アドレス DBG.DBGSTOPCR 4001 B010h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	DBGSTO P_RPER	—	—	—	—	—	DBGSTOP_LVD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTO P_WDT	DBGSTO P_IWDT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DBGSTOP_IWDT	IWDTリセット/割り込み用のマスクビット	OCD RUNモードでのIWDTリセット/割り込み用のマスクビット OCDブレークモードでは、このビットの値に関係なく、リセット/割り込みはマスクされ、IWDTカウンタは停止します。 0: IWDTリセット/割り込みを許可 1: IWDTリセット/割り込みをマスクし、IWDTカウンタを停止	R/W
b1	DBGSTOP_WDT	WDTリセット/割り込み用のマスクビット	OCD RUNモードでのWDTリセット/割り込み用のマスクビット OCDブレークモードでは、このビットの値に関係なく、リセット/割り込みはマスクされ、WDTカウンタは停止します。 0: WDTリセット/割り込みを許可 1: WDTリセット/割り込みをマスクし、WDTカウンタを停止	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	DBGSTOP_LVD[2:0]	LVD0リセット用のマスクビット	0: LVD0リセットを許可 1: LVD0リセットをマスク	R/W
b17	—	LVD1リセット/割り込み用のマスクビット	0: LVD1リセット/割り込みを許可 1: LVD1リセット/割り込みをマスク	R/W
b18	—	LVD2リセット/割り込み用のマスクビット	0: LVD2リセット/割り込みを許可 1: LVD2リセット/割り込みをマスク	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	DBGSTOP_RPER	SRAMパリティエラーリセット/割り込み用のマスクビット	0: SRAMパリティエラーリセット/割り込みを許可 1: SRAMパリティエラーリセット/割り込みをマスク	R/W
b31-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時の機能停止を制御します。このレジスタの全ビットは、MCU が OCD モードでないときは、0 とみなされます。

### 2.6.4.3 トレースコントロールレジスタ (TRACECTR)

アドレス [DBG.TRACECTR 4001 B020h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ENETB FULL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	<a href="#">ENETBFULL</a>	ETBフル時の停止要求用のイネーブルビット	0 : ETBフルはCPUを停止させない 1 : ETBフルはCPUを停止させる	R/W

### 2.6.4.4 DBGREG CoreSight コンポーネントレジスタ

DBGREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを備えています。

[表 2.10](#) に、これらのレジスタを示します。各レジスタの詳細は、[参考資料 7](#) を参照してください。

**表 2.10** DBGREG CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	4001 BFD0h	32ビット	R	0000 0004h
PID5	4001 BFD4h	32ビット	R	0000 0000h
PID6	4001 BFD8h	32ビット	R	0000 0000h
PID7	4001 BFDCh	32ビット	R	0000 0000h
PID0	4001 BFE0h	32ビット	R	0000 0005h
PID1	4001 BFE4h	32ビット	R	0000 0030h
PID2	4001 BFE8h	32ビット	R	0000 001Ah
PID3	4001 BFECCh	32ビット	R	0000 0000h
CID0	4001 BFF0h	32ビット	R	0000 000Dh
CID1	4001 BFF4h	32ビット	R	0000 00F0h
CID2	4001 BFF8h	32ビット	R	0000 0005h
CID3	4001 BFFCh	32ビット	R	0000 00B1h

## 2.6.5 OCDREG モジュール

OCDREG レジスタモジュールは、オンチップデバッグ（OCD）エミュレータ機能を制御します。CoreSight 準拠のコンポーネントとして実装されています。

表 2.11 に、CoreSight コンポーネントレジスタ以外の OCDREG レジスタを示します。

表 2.11 CoreSight ではない OCDREG レジスタ

名称	DAPポート	アドレス	アクセスサイズ	R/W	
ID 認証コードレジスタ 0	IAUTH0	ポート1	8000 0000h	32ビット	W
ID 認証コードレジスタ 1	IAUTH1	ポート1	8000 0100h	32ビット	W
ID 認証コードレジスタ 2	IAUTH2	ポート1	8000 0200h	32ビット	W
ID 認証コードレジスタ 3	IAUTH3	ポート1	8000 0300h	32ビット	W
MCU ステータスレジスタ	MCUSTAT	ポート1	8000 0400h	32ビット	R
MCU コントロールレジスタ	MCUCTRL	ポート1	8000 0410h	32ビット	R/W

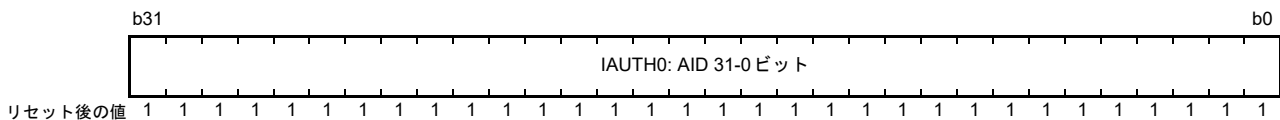
注. OCDREG は専用の OCD アドレス空間に配置されます。このアドレスマップはシステムのアドレスマップから独立していません。2.6.2 [Cortex-M4 ペリフェラルアドレスマップ](#)を参照してください。

### 2.6.5.1 ID 認証コードレジスタ（IAUTH0～3）

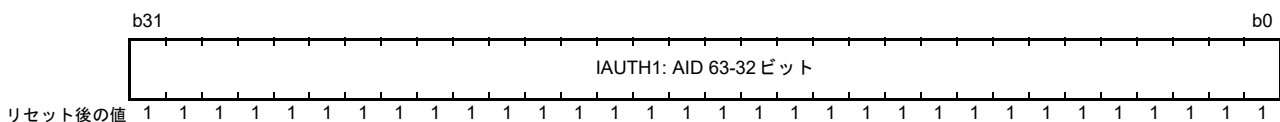
128 ビットキーを書き込むための 4 つの認証レジスタが存在します。これらのレジスタは、IAUTH0 から IAUTH3 への順序で書き込む必要があります。レジスタセットへの書き込みがこの順序に従わないと、予測できない結果となります。

32 ビットの書き込みのみが許可されます。このレジスタの初期値はすべて 1 です。これは、OSIS レジスタの ID コードが初期値の場合、JTAG/SWD アクセスが許可されることを意味します。2.11.2 [アンロック ID コード](#)を参照してください。

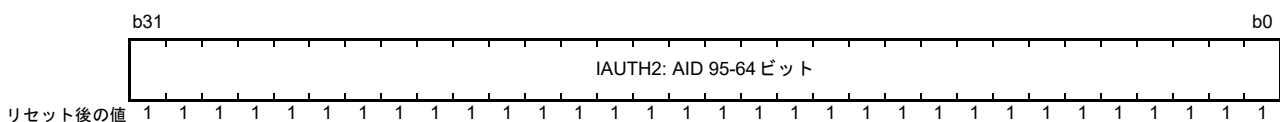
アドレス [IAUTH0 8000 0000h](#)



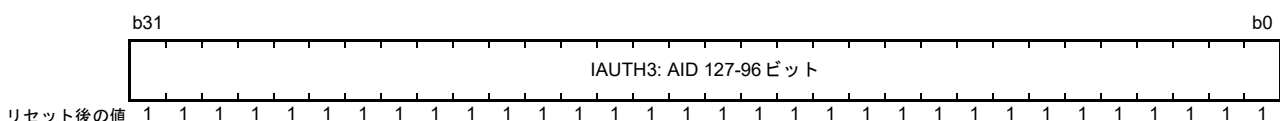
アドレス [IAUTH1 8000 0100h](#)



アドレス [IAUTH2 8000 0200h](#)



アドレス [IAUTH3 8000 0300h](#)



## 2.6.5.2 MCU ステータスレジスタ (MCUSTAT)

アドレス MCUSTAT 8000 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUSTOPCLK	CPUSLEEP	AUTH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0 (注1)	1/0 (注1)	0

ビット	シンボル	ビット名	機能	R/W
b0	AUTH	認証ステータス	0: 認証失敗 1: 認証成功	R
b1	CPUSLEEP		0: CPUは非スリープモード 1: CPUはスリープモード	R
b2	CPUSTOPCLK		0: CPUクロックを停止させない。MCUがノーマルモードまたはスリープモードであることを示す 1: CPUクロックを停止させる。MCUがスヌーズモードまたはソフトウェアスタンバイモードであることを示す	R
b31-b3	—	予約ビット	読むと0が読めます。	R

注 1. MCU 状態に依存します。

## 2.6.5.3 MCU コントロールレジスタ (MCUCTRL)

アドレス MCUCTRL 8000 0410h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	EDBGRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EDBGRQ	外部デバッグ要求	このビットに1を書き込むと、CPUが停止するかデバッグモニタ例外となります。 0：デバッグイベントを要求しない 1：デバッグイベントを要求する EDBGRQ ビットを0にするか、CPUが停止したとき、EDBGRQ ビットはクリアされます。	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	DBIRQ	デバッグ割り込み要求	このビットに1を書き込むと、MCUは低消費電力モードから復帰します。 0：デバッグ割り込みを要求しない 1：デバッグ割り込みを要求する この条件はDBIRQ ビットに0を書き込むことで解除できます。	R/W
b31-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． DBIRQ ビットと EDBGRQ ビットは同じ値にしてください。

## 2.6.5.4 OCDREG CoreSight コンポーネントレジスタ

OCDREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを備えています。

表 2.12 に、これらのレジスタを示します。各レジスタの詳細は、[参考資料 7](#) を参照してください。

表 2.12 OCDREG CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	8000 0FD0h	32ビット	R	0000 0004h
PID5	8000 0FD4h	32ビット	R	0000 0000h
PID6	8000 0FD8h	32ビット	R	0000 0000h
PID7	8000 0FDCh	32ビット	R	0000 0000h
PID0	8000 0FE0h	32ビット	R	0000 0004h
PID1	8000 0FE4h	32ビット	R	0000 0030h
PID2	8000 0FE8h	32ビット	R	0000 000Ah
PID3	8000 0FECh	32ビット	R	0000 0000h
CID0	8000 0FF0h	32ビット	R	0000 000Dh
CID1	8000 0FF4h	32ビット	R	0000 00F0h
CID2	8000 0FF8h	32ビット	R	0000 0005h
CID3	8000 0FFCh	32ビット	R	0000 00B1h

## 2.7 CoreSight ATB ファネル

MCUには、1個のCoreSight ATB ファネルがあります。このファネルは、2個のATB スレーブと1個のATB マスタを持ち、ETM および ITM からETB へのデバッグトレースのソースを選択します。図 2.3 は、本MCUにおけるCoreSight ATB 接続を示しています。

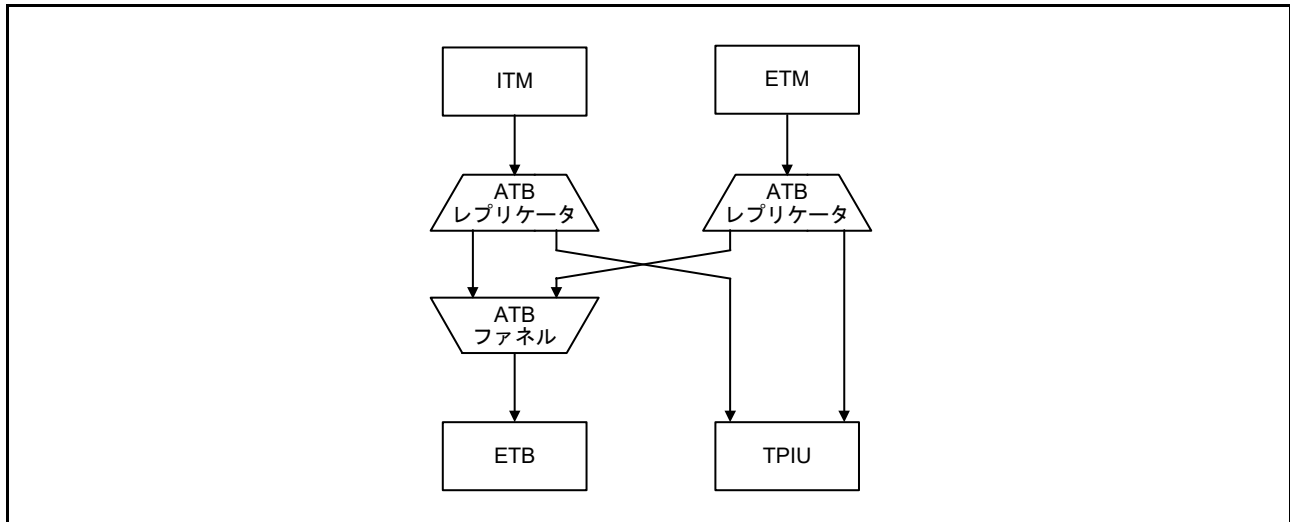


図 2.3 CoreSight ATB 接続

表 2.13 は ATB ファネルのスレーブ接続を示しています。

表 2.13 ATBスレーブ接続

ATBスレーブ番号	接続されるトレースソース
#0	ITM
#1	ETM

ATB とファネルの詳細は、参考資料 4. を参照してください。

## 2.8 フラッシュパッチ & ブレークユニット

本 MCU は、フラッシュパッチ & ブレークユニットを備えています。ブレークポイント機能は使用可能ですが、フラッシュパッチ (リマップ) 機能は使用できません。したがって、FP\_COMPn レジスタの REPLACE ビット ([31:30]) を 0 にしないでください。FP\_REMAP レジスタのビット [28] は、常に 1 に固定されています。本レジスタに書き込む場合は、ビット [28] に 1 を書き込んでください。本レジスタを読み出す場合は、ビット [28] は常に 1 が読み出されます。詳細は、参考資料 1. および 2.9 SysTick システムタイマを参照してください。

## 2.9 SysTick システムタイマ

SysTick システムタイマは、簡易的な 24 ビットダウンカウンタを備えています。このタイマの基準クロックには、CPU クロック (ICLK) または SysTick タイマクロック (SYSTICCLK) を選択できます。詳細は、「9. クロック発生回路」および参考資料 1. (注 1) を参照してください。

注 1. 参照先では、IMPLEMENTATION DEFINED 外部基準クロックに SYSTICCLK (LOCO) を使用し、プロセッサクロックに ICLK を使用しています。



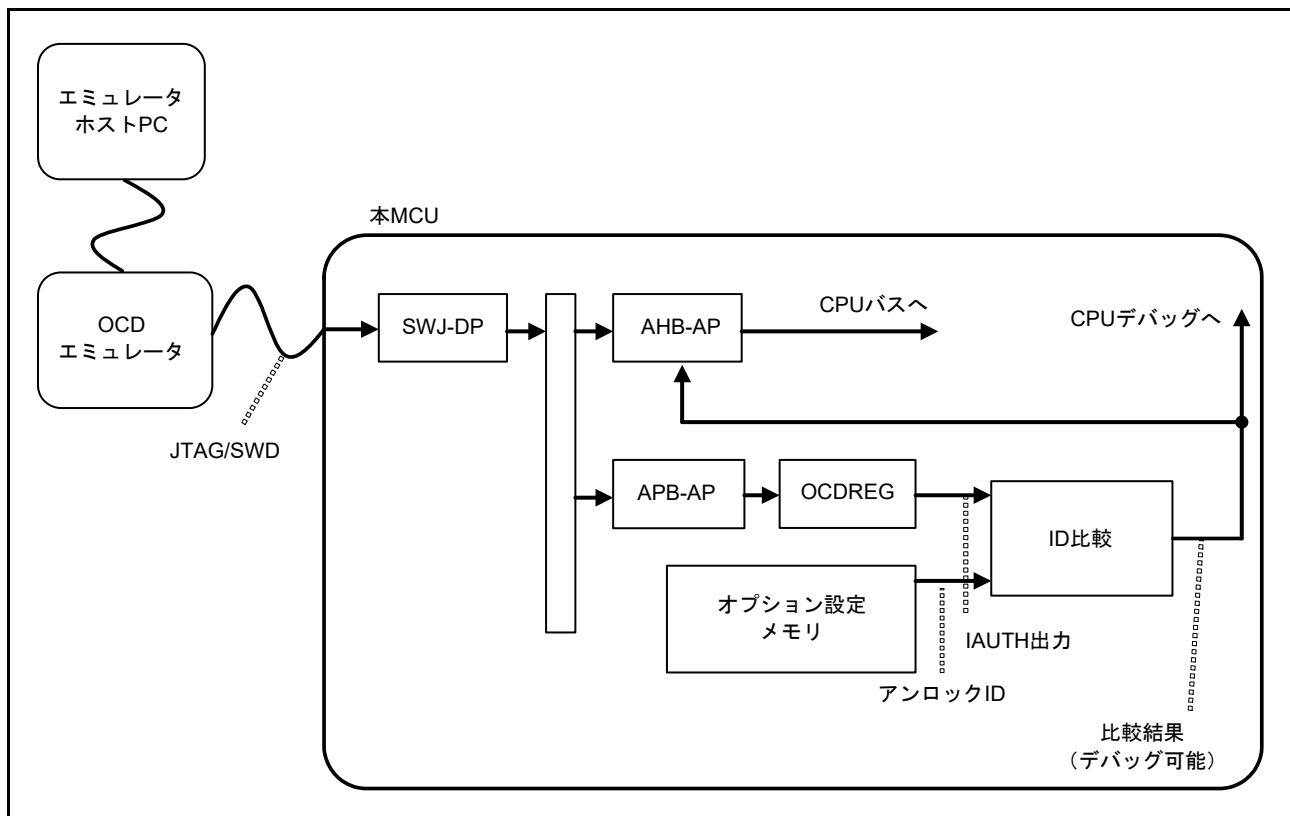
## 2.10 CoreSight タイムスタンプジェネレータ

CoreSight タイムスタンプジェネレータは、CPU クロックベースのタイムスタンプを ITM と ETM に供給します。64 ビットカウンタの 48LSB ビットが、これら 2 つのコンポーネントに用いられます。詳細は[参考資料 4](#) を参照してください。

## 2.11 OCD エミュレータ接続

JTAG/SWD 認証機構は、デバッグと MCU リソースへのアクセス許可をチェックします。全デバッグ機能を取得するには、この認証機構の合格結果が必要です。

[図 2.4](#) に、認証機構のブロック図を示します。



**図 2.4** 認証機構のブロック図

本 MCU には認証用の ID コンパレータがあります。このコンパレータは、OCDREG からの 128 ビットの IAUTH 出力と、オプション設定メモリからの 128 ビットのアンロック ID コードを比較します。これら 2 つの出力が同一であると、CPU デバッグ機能と、OCD エミュレータからのシステムバスアクセスが許可されます。

### 2.11.1 DBGEN

OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ (SYOCD CR) の DBGEN ビットを設定する必要があります。また、OCD エミュレータは DBGEN ビットをクリアしないと切断されません。詳細は、「[11. 低消費電力モード](#)」を参照してください。

### 2.11.2 アンロック ID コード

アンロック ID コードは、デバッグとオンチップリソースへのアクセスの許可を判定するために用いられます。アンロック ID コードが ID 認証レジスタ 0～3 に書き込まれた 128 ビットデータと一致した場合、JTAG/SWD デバッガはアクセス許可を取得します。アンロック ID コードは、オプション設定メモリの OCD / シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれます。アンロック ID コードの初期値は、すべて 1 (FFFFFFFF\_FFFFFFFF\_FFFFFFFFh) です。詳細は、「[7. オプション設定メモリ](#)」を参照してください。

### 2.11.3 OCD エミュレータ接続における制限

この節では、エミュレータのアクセス制限について説明します。

#### 2.11.3.1 低消費電力モード中の接続開始

OCD エミュレータから JTAG/SWD 接続を開始するとき、MCU はノーマルモードかスリープモードでなければいけません。本 MCU がソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードであると、OCD エミュレータは本 MCU をハングさせます。

#### 2.11.3.2 OCD モードにおける低消費電力モードの切り替え

本 MCU が OCD モードであるとき、低消費電力モードへの切り替えが可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。[表 2.14](#) に制限事項を示します。

**表 2.14** モード別の制限

アクティブモード	OCDエミュレータ 接続の開始	低消費電力モード への切り替え	AHB-APとシステムバス へのアクセス	APB-APとOCDREG へのアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能
スヌーズ	不可能	可能	不可能	可能
ディープソフトウェアスタンバイ	不可能	可能	不可能	可能

ソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを設定して、MCU を低消費電力モードから復帰させてください。同時に、OCDREG の MCUCTRL.EDBGRQ ビットを用いることで、OCD エミュレータは CPU ブレークによって CPU の実行を開始することなく、MCU を復帰させることが可能です。

#### 2.11.3.3 OSIS におけるアンロック ID コードの変更

OSIS においてアンロック ID コードを変更した後、OCD エミュレータは、RES 端子をアサートするか、またはシステムコントロールブロックのアプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットを 1 にすることによって、MCU をリセットする必要があります。変更されたアンロック ID コードは、リセット後に反映されます。

### 2.11.3.4 接続順序と JTAG/SWD 認証

OCD エミュレータは JTAG/SWD 認証機構で保護されているため、OCD では認証レジスタに対し ID コードの入力が必要となる場合があります。オプション設定メモリの OSIS 値によって、コード入力が必要かどうかが決まります。

リセットネゲート後、コールドスタート時の OSIS 値を比較する前に 5 $\mu$ s の待ち時間が必要です。

#### (1) OSIS の MSB が 0 (ビット [127] = 0) のとき

ID コードは常に不一致であり、OCD への接続は禁止されます。

しかし、ALeRASE コマンドは受け入れられます。ALeRASE コマンドを実行すると、ユーザーメモリ領域とオプションメモリ領域が消去されます。OSIS レジスタ値も消去されるため、エミュレータを再接続できません。

OSIS ビット [127] = 0 の場合、ALeRASE コマンドの受け入れを無効にするには、以下のようにいくつかの追加設定が必要です。ユーザは、2つの回避策を選択できます。

A) SECMPUAC の設定 (ブートスワップが設定されている場合、SECMPAC のアドレスは 2000h シフトします。)

- SECMPUAC でデータを 0xFEFF に設定してください。
- SECMPUPCS0 に 0xFFFF\_FFFC を設定し、SECMPUPCE0 に 0xFFFF\_FFFF を設定してください。

または、

B) AWS の設定

AWS ビット [15] = 0 に設定してください。

AWS ビット [15] は、0 に設定されると 1 に変更できません。AWS ビットをクリアした後、アクセスウィンドウとスタートアップエリアの選択オプションは永続的に固定され、再度使用することはできません。この場合、起動領域を交換できないため、セルフプログラミングは禁止されています。

#### (2) OSIS がすべて 1 (デフォルト) のとき

OCD 認証は不要であり、OCD は認証なしで AHB-AP を使用できます。

1. JTAG または SWD インタフェースを介して OCD エミュレータを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CDBGPWRUPACK がアサートされるまで待ちます。
3. システムアドレス空間にアクセスするよう AHB-AP を設定します。この AHB-AP は DAP バスのポート 0 に接続されます。
4. AHB-AP を使用して、CPU デバッガリソースへのアクセスを開始します。

#### (3) OSIS[127:126] = 10b のとき

OCD 認証が必要であり、OCD は、OCDREG の IAUTH レジスタ 0 ~ 3 にアンロック ID コードを書き込んでから、AHB-AP を使用する必要があります。

1. JTAG または SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJDP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CDBGPWRUPACK がアサートされるまで待ちます。
3. OCDREG にアクセスするよう APB-AP を設定します。この APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH レジスタ 0 ~ 3 に 128 ビット ID コードを書き込みます。
5. この 128 ビット ID コードが OSIS の値と一致した場合、AHB-AP に対して AHB トランザクションを発行する権限が与えられます。認証結果は、MCUSTAT レジスタの AUTH ビット、または AHB-AP コントロールステータスワードレジスタの DbgStatus ビットで確認することが可能です。

- DbgStatus ビットが 1 の場合、128 ビット ID コードが OSIS 値と一致している。AHB 転送が許可される
  - DbgStatus ビットが 0 の場合、128 ビット ID コードが OSIS 値と一致していない。AHB 転送は許可されない
6. システムアドレス空間にアクセスするよう AHB-AP を設定します。この AHB-AP は DAP バスのポート 0 に接続されます。
  7. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

#### (4) OSIS[127:126] = 11b のとき

OCD 認証が必要であり、OCD は、OCDREG の IAUTH レジスタ 0～3 にアンロック ID コードを書き込む必要があります。接続順序は、「ALeRASE」機能を除いて、OSIS[127:126] = 10b の場合と同じです。

IATUH レジスタ 0～3 に ASCII コードで「ALeRASE」(414C\_6552\_4153\_45FF\_FFFF\_FFFF\_FFFF\_FFFFh) と書き込まれている場合、コードフラッシュ、データフラッシュ、および構成領域の内容はただちに消去されます。詳細は、「41. フラッシュメモリ」を参照してください。

ALeRASE のシーケンスは下記のとおりです。

1. JTAG または SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJDP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CDBGPWRUPACK がアサートされるまで待ちます。
3. OCDREG にアクセスするよう APB-AP を設定します。この APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH レジスタ 0～3 に 128 ビット ID コードを書き込みます。
5. 128 ビット ID コードが ASCII コードの「ALeRASE」の場合、コードフラッシュ、データフラッシュ、および構成領域の内容は消去されます。その後、MCU はスリープモードに遷移します。

## 2.12 参考資料

1. *ARM®v7-M Architecture Reference Manual (ARM DDI 0403D)*
2. *ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D)*
3. *ARM® Cortex®-M4 Devices Generic User Guide (ARM DUI 0553A)*
4. *ARM® CoreSight™ SoC-400 Technical Reference Manual (ARM DDI 0480F)*
5. *ARM® CoreSight™ ETM-M4 Technical Reference Manual (ARM DDI 0440C)*
6. *ARM® CoreSight™ Trace Memory Controller Technical Reference Manual (ARM DDI 0461B)*
7. *ARM® CoreSight™ Architecture Specification (ARM IHI 0029D)*

## 3. 動作モード

### 3.1 概要

表 3.1 は、モード設定端子による動作モードの選択を示しています。詳細は、3.2 動作モードの説明を参照してください。どのモードで起動しても、内蔵フラッシュメモリが有効な場合に動作を開始します。

表 3.1 モード設定端子による動作モードの選択

モード設定端子	動作モード	内蔵フラッシュメモリ	外部バス
MD			
1	シングルチップモード	有効	無効
0	SCIブートモード	有効	無効

### 3.2 動作モードの説明

#### 3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。MD 端子が High になっているときにリセットが解除されると、MCU はシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

#### 3.2.2 SCI ブートモード

このモードでは、MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き込みルーチン（SCI ブートプログラム）が用いられます。調歩同期式シリアル通信インタフェース（UART）SCI を使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「41. フラッシュメモリ」を参照してください。MD 端子を Low に保持してリセットを解除すると、本 MCU は SCI ブートモードで起動します。

### 3.3 動作モード遷移

#### 3.3.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

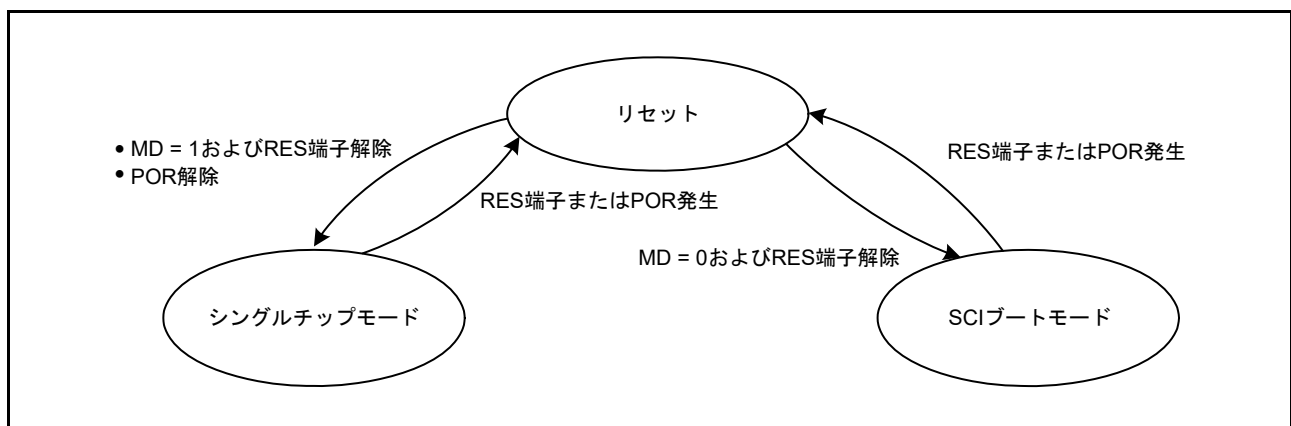


図 3.1 モード設定端子のレベルと動作モード

## 4. アドレス空間

### 4.1 概要

本 MCU は、プログラムとデータの両方を格納できる 4GB のリニアアドレス空間（0000 0000h ~ FFFF FFFFh）をサポートしています。図 4.1 にメモリマップを示します。

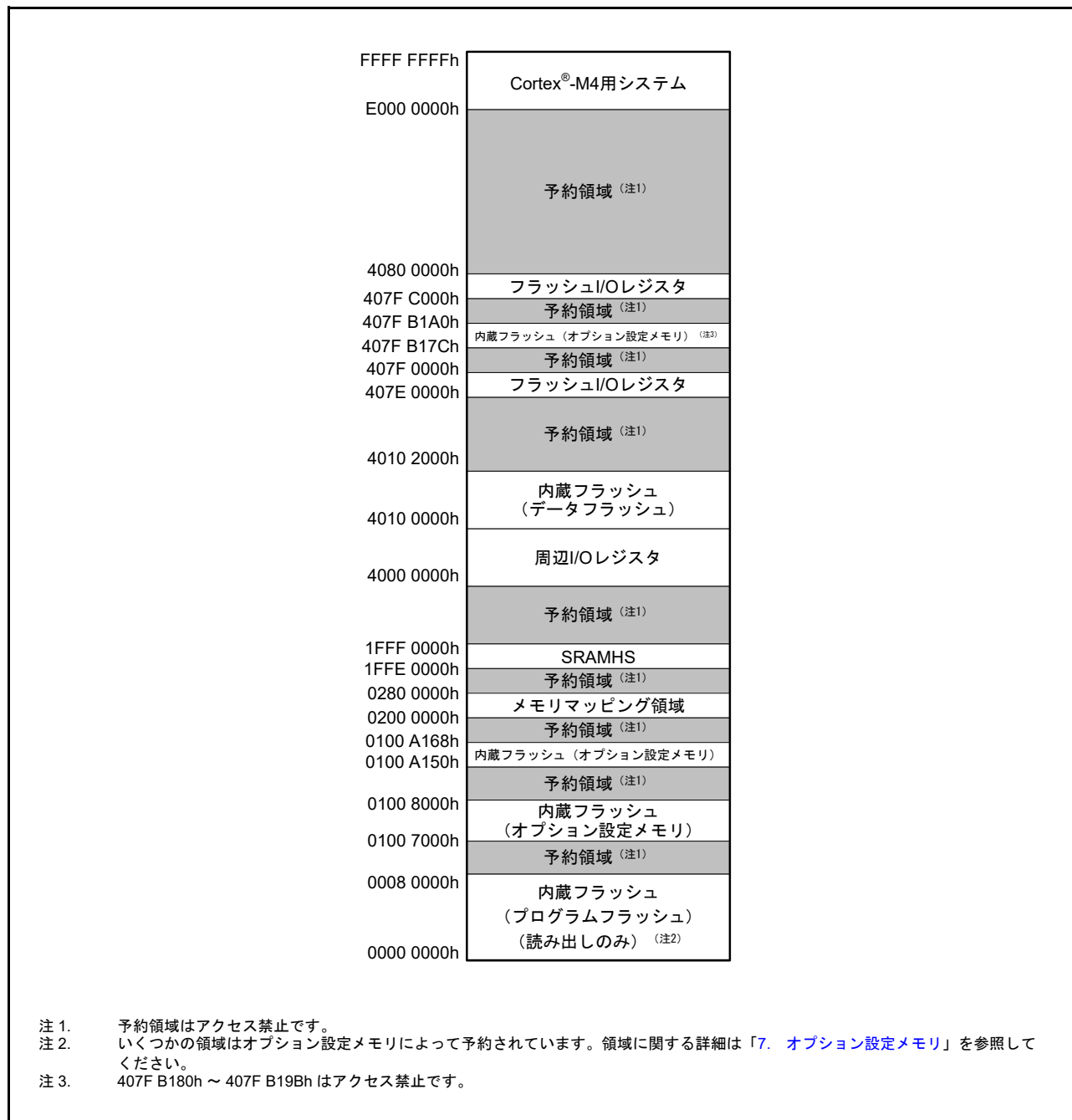


図 4.1 メモリマップ

## 5. メモリミラー機能 (MMF)

### 5.1 概要

本 MCU はメモリミラー機能 (MMF) を備えています。MMF を構成することによって、コードフラッシュメモリ内のアプリケーションイメージのロードアドレスを、未使用の 23 ビットメモリミラー空間アドレスにおけるアプリケーションイメージのリンクアドレスへマップすることが可能です。ユーザアプリケーションコードを開発する場合、この MMF 転送先アドレスから実行するようにリンクする必要があります。アプリケーションコードでは、コードフラッシュメモリ内に格納されるときにロードアドレスを認識する必要がありません。

MMF の仕様を表 5.1 に示します。

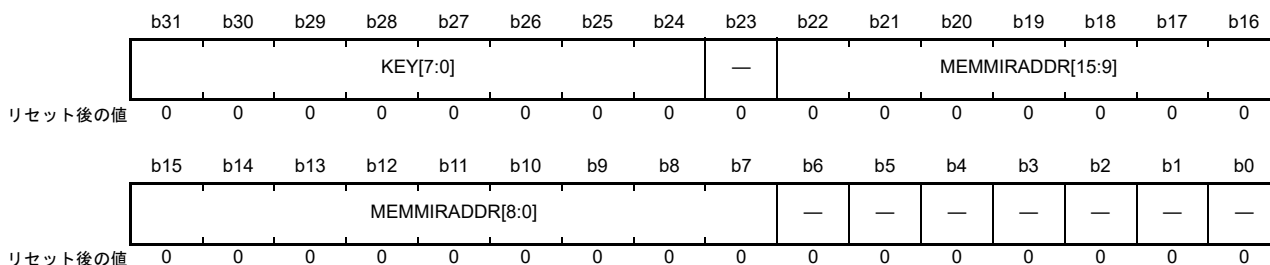
表 5.1 MMFの仕様

項目	内容
メモリミラー空間	8MB (0200 0000h ~ 027F FFFFh)
メモリミラー境界	128バイト

## 5.2 レジスタの説明

### 5.2.1 MemMirror 特殊機能レジスタ (MMSFR)

アドレス [MMF.MMSFR 4000 1000h](#)



ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22-b7	MEMMIRADDR[15:0]	メモリミラーアドレス	0000h~FFFFh (8MB)	R/W
b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b24	KEY[7:0]	MMSFRキーコード	MEMMIRADDRビットの書き換えの可否を制御します。	R/W

#### MEMMIRADDR[15:0] ビット (メモリミラーアドレス)

メモリミラーアドレスの [22:7] ビットを指定します。これらのビットでは、メモリミラー空間アドレスの開始アドレス (0200 0000h) のリンク先を定義します。これらのビットへの書き込みは、このレジスタが 32 ビットワードでアクセスされ、かつ DBh の値が KEY[7:0] ビットに書き込まれた場合にのみ有効になります。

#### KEY[7:0] ビット (MMSFR キーコード)

MEMMIRADDR[15:0] ビットの書き換えの可否を制御します。KEY ビットへの書き込みデータは保存されません。読むと 0 が読めます。キーコードと MEMMIRADDR[15:0] は、同じサイクルで書き込む必要があります。



## 5.2.2 MemMirror イネーブルレジスタ (MMEN)

アドレス MMF.MMEN 4000 1004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	KEY[7:0]							—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN	メモリミラー機能イネーブル	0: メモリミラー機能は無効 1: メモリミラー機能は有効	R/W
b23-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b24	KEY[7:0]	MMENキーコード	ENビットの書き換えの可否を制御します。	R/W

### EN ビット (メモリミラー機能イネーブル)

EN ビットへの書き込みは、MemMirror イネーブルレジスタが 32 ビットワードでアクセスされ、かつ DBh の値が KEY[7:0] ビットに書き込まれた場合にのみ有効になります。

### KEY[7:0] ビット (MMEN キーコード)

EN ビットの書き換えの可否を制御します。KEY[7:0] ビットへの書き込みデータは保存されません。読むと 0 が読めます。キーコードと EN ビットは、同じサイクルで書き込む必要があります。

## 5.3 動作説明

### 5.3.1 MMF 動作

MMFは、メモリミラー空間 (0200 0000h ~ 027F FFFFh) をコードフラッシュメモリ領域にリンクさせます。MMEN.EN=1の場合、CPUは通常のアドレス (開始アドレス: 0000 0000h) とメモリミラー空間アドレス (開始アドレス: 0200 0000h) の両方を使用してコードフラッシュメモリにアクセスできます。

図 5.1 に MMF の概要を示します。MMSFR.MEMMIRADDR[15:0] ビットでは、メモリミラー空間アドレスの開始アドレス (0200 0000h) のリンク先を指定します。図 5.2、図 5.3、および図 5.4 に MMF の動作を示します。また、図 5.5 に MMF の設定手順を示します。

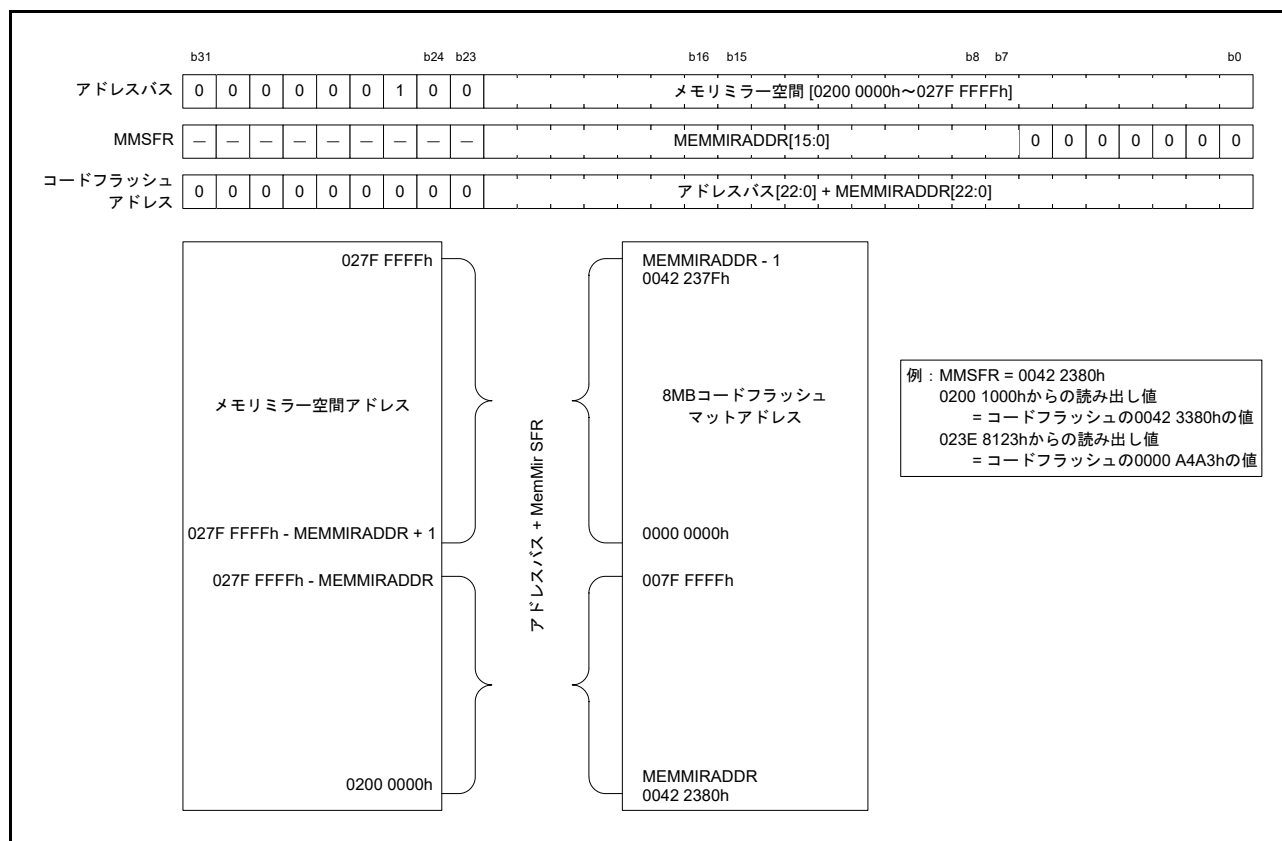


図 5.1 MMF 動作

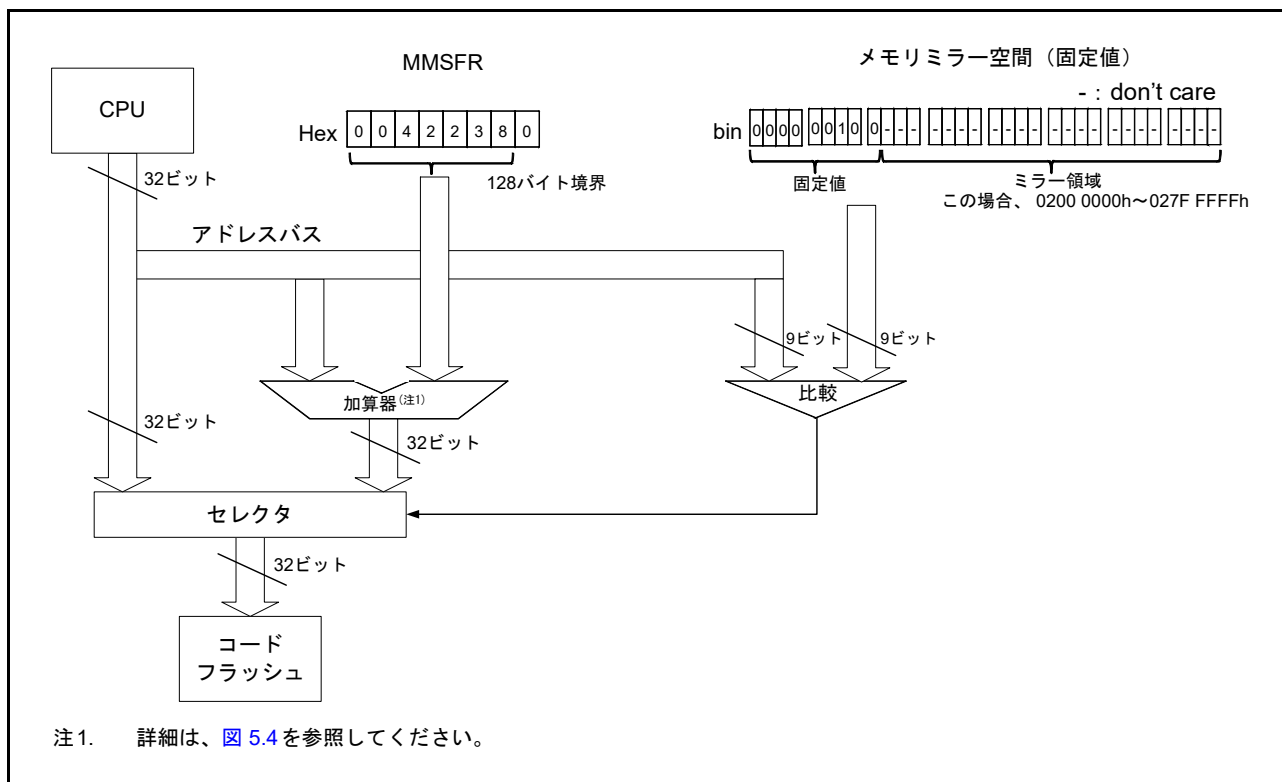


図 5.2 MMF ブロック図

図 5.3 に、各モジュールで処理されるアドレスを示します。Arm® MPU は CPU のオリジナルアドレスを使用します。セキュリティ MPU およびコードフラッシュメモリは、メモリミラー機能による変換後のアドレスを使用します。

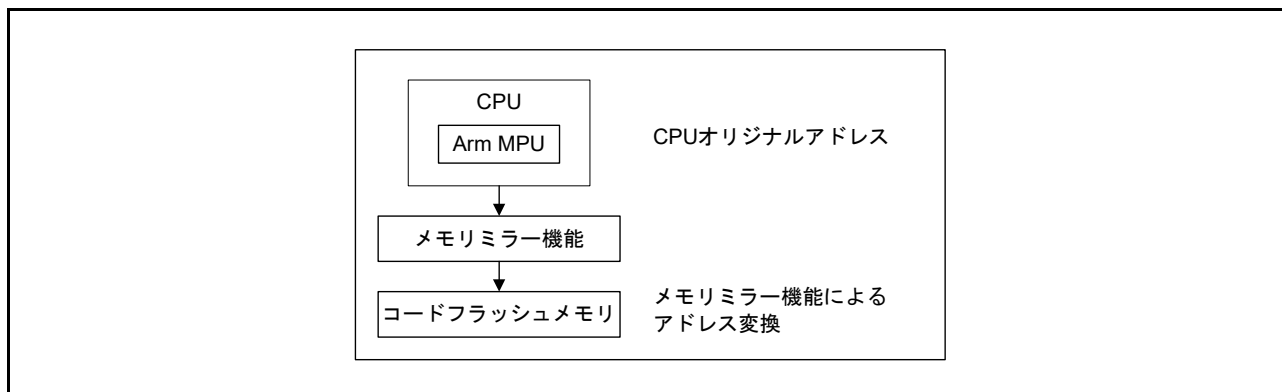


図 5.3 MMF アドレス処理

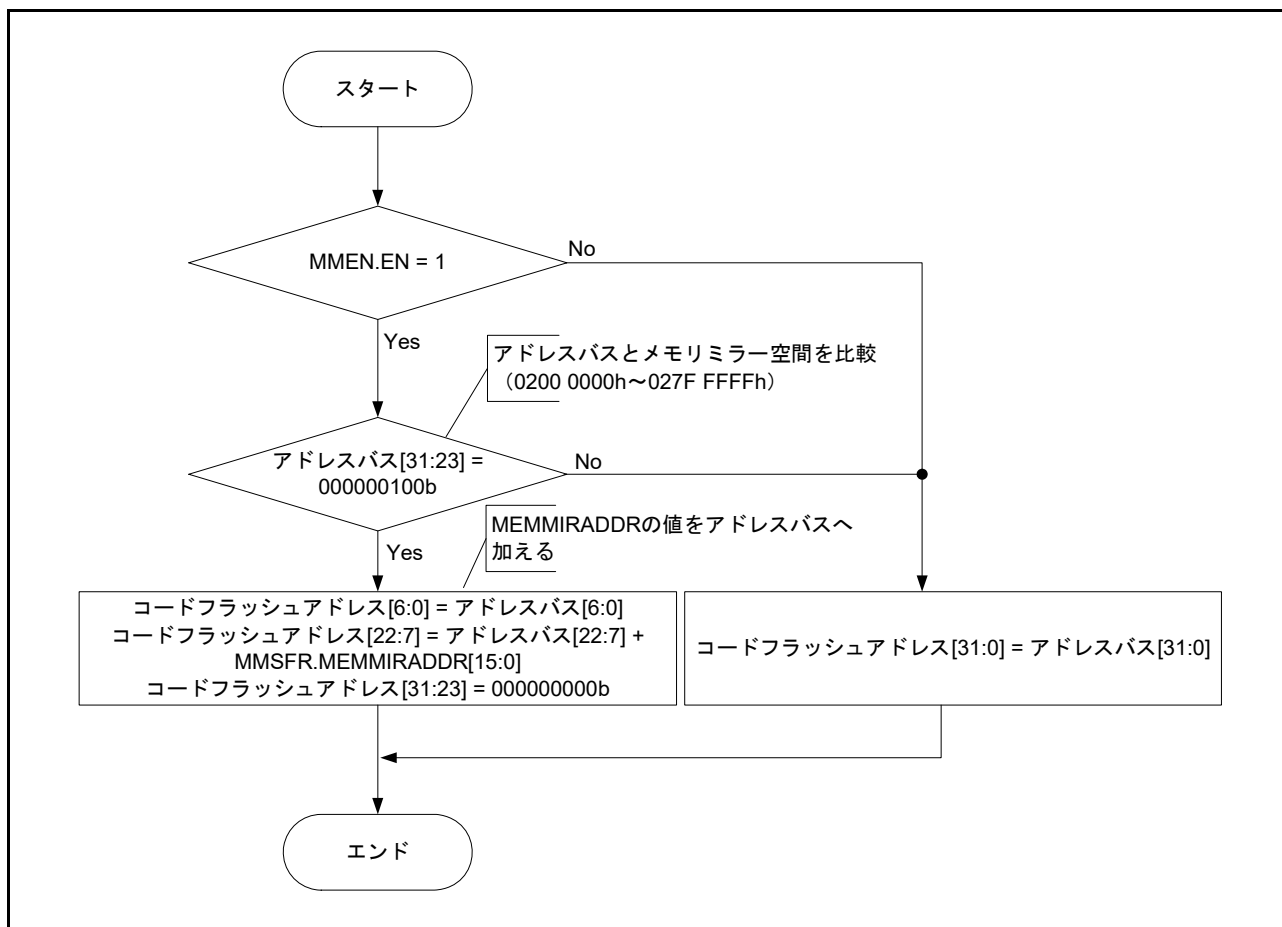


図 5.4 MMF 動作フロー

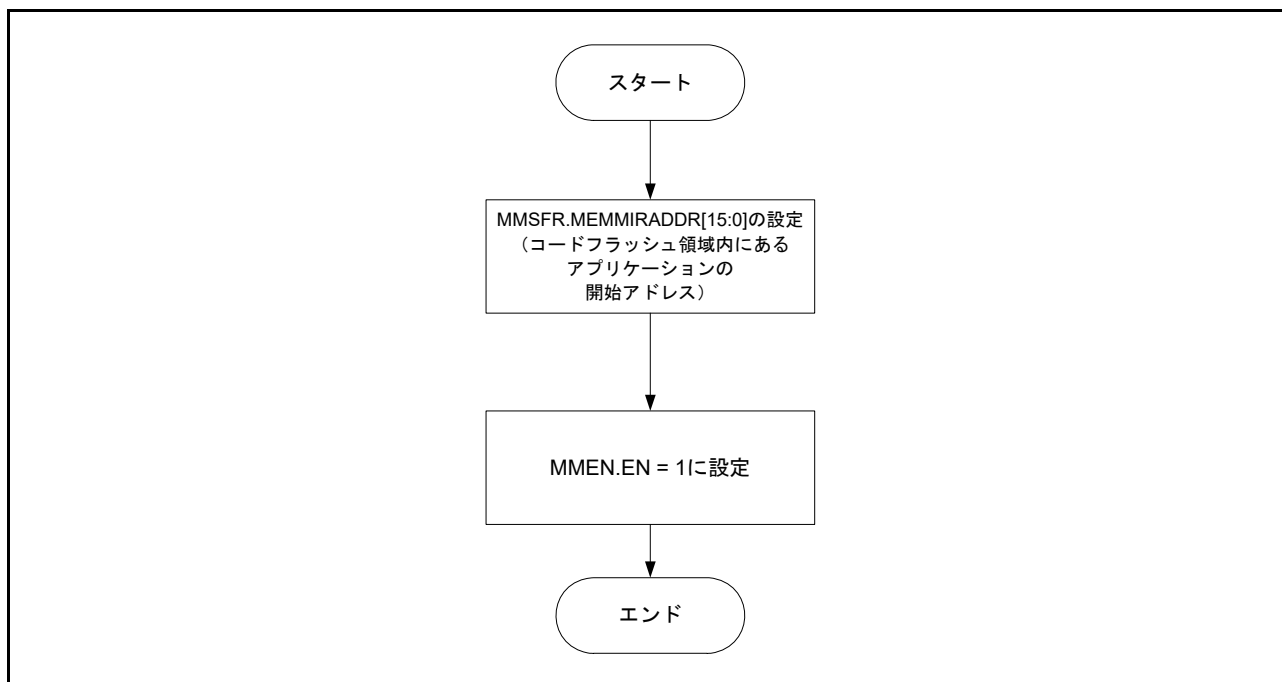


図 5.5 MMF 設定フロー

### 5.3.2 設定例

コードフラッシュメモリ上の目的のアプリケーションコードは、MMSFR.MEMMIRADDR[15:0] でコードフラッシュメモリの開始アドレスを指定し、MMEN.EN=1 に設定することによって、メモリミラー空間上のアドレス 0200 0000h からアクセスすることが可能です。

図 5.6 に、MMF の使用方法の例を示します。

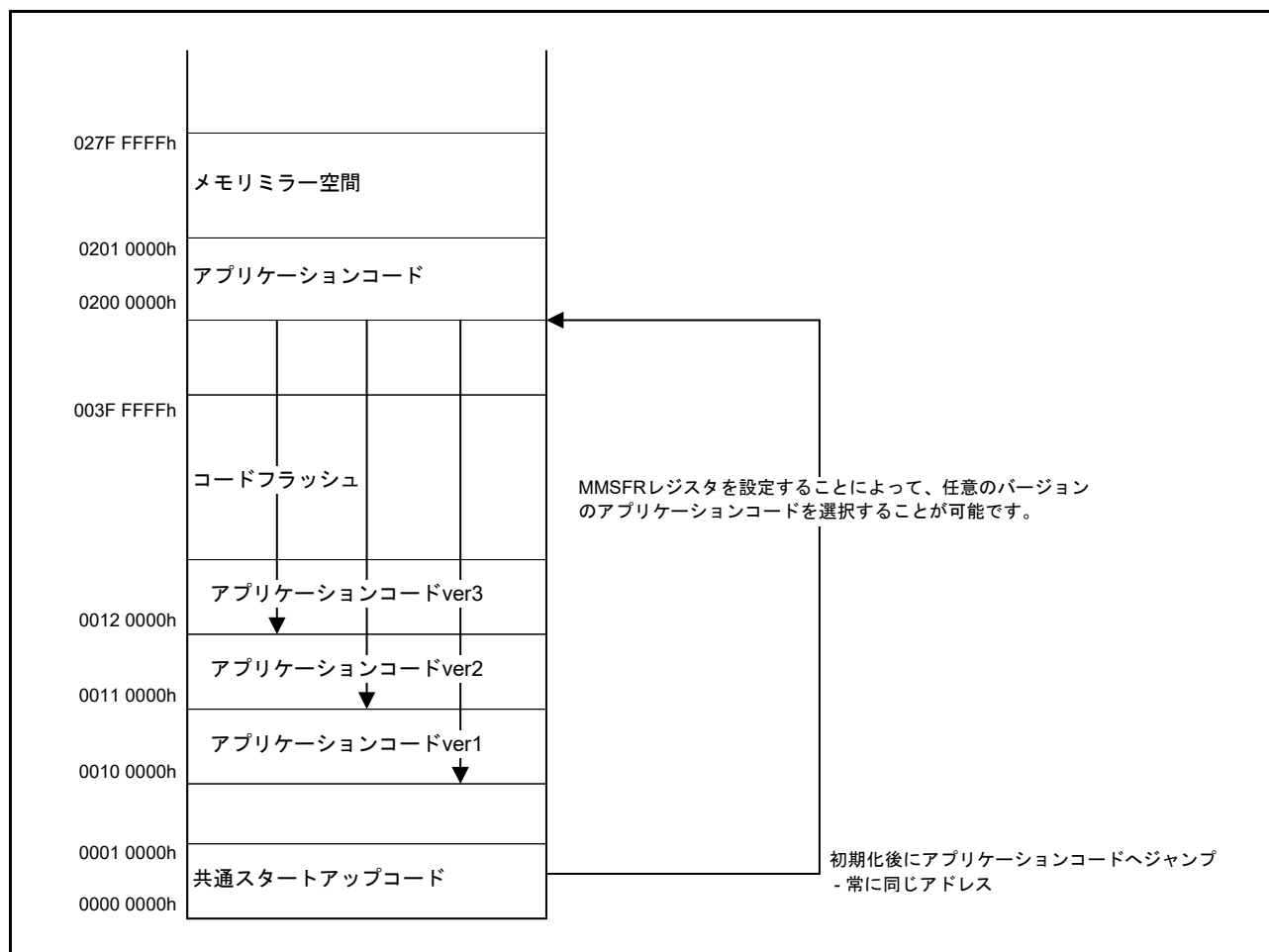


図 5.6 MMF 設定例

アプリケーションコード Ver.1 を使用する場合は、MMSFR レジスタを DB10 0000h に設定。

アプリケーションコード Ver.2 を使用する場合は、MMSFR レジスタを DB11 0000h に設定。

アプリケーションコード Ver.3 を使用する場合は、MMSFR レジスタを DB12 0000h に設定。

## 6. リセット

### 6.1 概要

本 MCU は、以下の 13 種類のリセットをサポートしています。

- RES 端子リセット
- パワーオンリセット
- 独立ウォッチドッグタイマリセット
- ウォッチドッグタイマリセット
- 電圧監視 0 リセット
- 電圧監視 1 リセット
- 電圧監視 2 リセット
- SRAM パリティエラーリセット
- バスマスタ MPU エラーリセット
- バススレーブ MPU エラーリセット
- スタックポインタエラーリセット
- ディープソフトウェアスタンバイリセット
- ソフトウェアリセット

表 6.1 にリセットの名称と要因を示します。

表 6.1 リセットの名称と要因

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が Low
パワーオンリセット	VCC の上昇 (監視電圧: $V_{POR}$ ) (注1)
独立ウォッチドッグタイマリセット	IWDT のアンダーフローまたはリフレッシュエラー
ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラー
電圧監視 0 リセット	VCC の下降 (監視電圧: $V_{det0}$ ) (注1)
電圧監視 1 リセット	VCC の下降 (監視電圧: $V_{det1}$ ) (注1)
電圧監視 2 リセット	VCC の下降 (監視電圧: $V_{det2}$ ) (注1)
SRAM パリティエラーリセット	SRAM パリティエラー検出
バスマスタ MPU エラーリセット	バスマスタ MPU エラー検出
バススレーブ MPU エラーリセット	バススレーブ MPU エラー検出
スタックポインタエラーリセット	スタックポインタエラー検出
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
ソフトウェアリセット	レジスタ設定 (Arm®ソフトウェアリセットビット、AIRCR.SYSRESETREQ を使用)

注 1. 監視電圧 ( $V_{POR}$ 、 $V_{det0}$ 、 $V_{det1}$ 、 $V_{det2}$ ) については、「8. 低電圧検出 (LVD)」と「43. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 6.2 と表 6.3 に、リセット種別ごとの初期化対象を示します。

表 6.2 リセット要因ごとの初期化対象リセット検出フラグ

初期化対象フラグ	リセット要因							
	RES 端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	ウォッチ ドッグタイマ リセット	電圧監視1 リセット	電圧監視2 リセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	x	x	x	x	x	x	x
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	x	x	x	x	x	x
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	○	○	○	x	x	x	x	x
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	○	○	○	x	x	x	x	x
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	x	x	x	x	x
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	x	x	x	x	x
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	○	○	○	x	x	x	x	x
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	○	○	○	x	x	x	x	x
バススレーブMPUエラーリセット検出フラグ (RSTSR1.BUSSRF)	○	○	○	x	x	x	x	x
バスマスタMPUエラーリセット検出フラグ (RSTSR1.BUSMRF)	○	○	○	x	x	x	x	x
スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	○	○	○	x	x	x	x	x
ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)	○	○	○	x	x	x	x	x
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	x	○	x	x	x	x	x	x

初期化対象フラグ	リセット要因					
	SRAM パリティ エラー リセット	バスマスタ MPUエラー リセット	バススレーブ MPUエラー リセット	スタック ポインタ エラー リセット	ディープソフトウェア スタンバイリセット	
					DEEPCUT[0] = 0	DEEPCUT[0] = 1
パワーオンリセット検出フラグ (RSTSR0.PORF)	x	x	x	x	x	x
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	x	x	x	x	x	x
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	x	x	x	x	○	○
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	x	x	x	x	○	○
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	x	x	x	x	x	x
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	x	x	x	x	x	x
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	x	x	x	x	○	○
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	x	x	x	x	○	○
バススレーブMPUエラーリセット検出フラグ (RSTSR1.BUSSRF)	x	x	x	x	○	○
バスマスタMPUエラーリセット検出フラグ (RSTSR1.BUSMRF)	x	x	x	x	○	○
スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	x	x	x	x	○	○
ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)	x	x	x	x	x	x
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	x	x	x	x	x	x

○：初期化される。x：初期化されない。

表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタ

初期化対象レジスタ		リセット要因							
		RES端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	ウォッチ ドッグタイマ リセット	電圧監視1 リセット	電圧監視2 リセット	ソフトウェア リセット
ウォッチドッグタイマの レジスタ	WDTRR, WDTOR, WDTSR, WDTRCR, WDTCSSTPR	○	○	○	○	○	○	○	○
電圧監視機能1のレジスタ	LVD1CR0, LVCMPPCR.LVD1E, LVDLVL.R.LVD1LVL	○	○	○	○	○	x	x	x
	LVD1CR1/LVD1SR	○	○	○	○	○	x	x	x
電圧監視機能2のレジスタ	LVD2CR0, LVCMPPCR.LVD2E, LVDLVL.R.LVD2LVL	○	○	○	○	○	x	x	x
	LVD2CR1/LVD2SR	○	○	○	○	○	x	x	x
SOSCのレジスタ	SOSCCR	x	○ (注1)	x	x	x	x	x	x
	SOMCR	x	x	x	x	x	x	x	x
LOCOのレジスタ	LOCOCR	○	○	○	○	○	○	○	○
	LOCOUTCR	x	○	○	x	x	○	○	x
MOSCのレジスタ	MOMCR	○	○	○	○	○	○	○	○
AGTのレジスタ		x	○	○	x	x	○	○	x
MPUのレジスタ		○	○	○	○	○	○	○	○
端子状態 (XCIN/XCOUT端子以外)		○	○	○	○	○	○	○	○
端子状態 (XCIN/XCOUT端子)		x	x	x	x	x	x	x	x
低消費電力機能のレジスタ	DPSBYCR, DPSIER0~DPSIER3, DPSIFR0~DPSIFR3, DPSIEGR0~DPSIEGR2	○	○	○	○	○	○	○	○
上記以外のレジスタ、CPU、および内部状態		○	○	○	○	○	○	○	○

初期化対象レジスタ		リセット要因					
		SRAM パリティ エラー リセット	バスマスタ MPUエラー リセット	バスマスタ MPUエラー リセット	スタック ポインタ エラー リセット	ディープソフトウェア スタンバイリセット	
						DEEPCUT[0] = 0	DEEPCUT[0] = 1
ウォッチドッグタイマの レジスタ	WDTRR, WDTOR, WDTSR, WDTRCR, WDTCSSTPR	○	○	○	○	○	○
電圧監視機能1のレジスタ	LVD1CR0, LVCMPPCR.LVD1E, LVDLVL.R.LVD1LVL	x	x	x	x	x	x
	LVD1CR1/LVD1SR	x	x	x	x	○	○
電圧監視機能2のレジスタ	LVD2CR0, LVCMPPCR.LVD2E, LVDLVL.R.LVD2LVL	x	x	x	x	x	x
	LVD2CR1/LVD2SR	x	x	x	x	○	○
SOSCのレジスタ	SOSCCR	x	x	x	x	x	x
	SOMCR	x	x	x	x	x	x
LOCOのレジスタ	LOCOCR	○	○	○	○	○	○
	LOCOUTCR	x	x	x	x	x	○
MOSCのレジスタ	MOMCR	○	○	○	○	x	x
AGTのレジスタ		x	x	x	x	x	○
MPUのレジスタ		○	x	x	x	○	○
端子状態 (XCIN/XCOUT端子以外)		○	○	○	○	(注2)	(注2)
端子状態 (XCIN/XCOUT端子)		x	x	x	x	x	x
低消費電力機能のレジスタ	DPSBYCR, DPSIER0~DPSIER3, DPSIFR0~DPSIFR3, DPSIEGR0~DPSIEGR2	○	○	○	○	x	x
上記以外のレジスタ、CPU、および内部状態		○	○	○	○	○	○

○：初期化される。x：初期化されない。

注 1. 各レジスタの初期値については、「9. クロック発生回路」を参照してください。

注 2. DPSBYCR.IOKEEP の設定値に依存します。



表 6.4 および表 6.5 に、リセット発生時の SOSC と LOCO の状態を示します。

表 6.4 リセット発生時の SOSC の状態

		リセット要因	
		POR	その他
SOSC	有効または無効	有効に初期化	リセット発生前に選択されていた状態を継続
	駆動能力	リセット発生前に選択されていた状態を継続	

表 6.5 リセット発生時の LOCO の状態

		リセット要因	
		POR, LVD0, LVD1, LVD2/ ディープソフトウェアスタンバイ (DEEPCUT[0] = 1)	その他
LOCO	有効または無効	有効に初期化	
	発振精度 (注1)	LOCOUTCRによるトリミング前の精度に 初期化 (精度 : ± 15%)	LOCOUTCRによってトリミングされた精度を継続

注 1. LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR) は、POR、LVD0、LVD1、LVD2 およびディープソフトウェアスタンバイ (DEEPCUT[0] = 1) の各リセットでリセットされます。これにより、LOCO は、デフォルトの発振精度に戻ります。事前に設定した LOCO 発振精度に戻すには、これらのいずれかのリセットの後、LOCOUTCR に必要なトリミング値をリロードしてください。

表 6.6 にリセット機能に関連する入出力端子を示します。

表 6.6 リセットの入出力端子

端子名	入出力	機能
RES	入力	リセット端子

## 6.2 レジスタの説明

### 6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス SYSTEM.RSTSR0 4001 E410h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSRS TF	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
リセット後の値	X (注1)	0	0	0	X (注1)	X (注1)	X (注1)	X (注1)

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0: パワーオンリセット未検出 1: パワーオンリセット検出	R(W) (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0: 電圧監視0リセット未検出 1: 電圧監視0リセット検出	R(W) (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0: 電圧監視1リセット未検出 1: 電圧監視1リセット検出	R(W) (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0: 電圧監視2リセット未検出 1: 電圧監視2リセット検出	R(W) (注2)
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DPSRSTF	ディープソフトウェアスタンバイ リセットフラグ	0: 割り込みによるディープソフトウェアスタンバイ モード解除要求の発生なし 1: 割り込みによるディープソフトウェアスタンバイ モード解除要求の発生あり	R(W) (注2)

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための0の書き込みのみ可能です。このフラグは、1を読んだ後、0を書くことでクリアする必要があります。

#### PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

[1 になる条件]

- パワーオンリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

#### LVD0RF フラグ (電圧監視0リセット検出フラグ)

VCC 電圧が  $V_{det0}$  レベル以下になったことを示します。

[1 になる条件]

- 電圧監視0リセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

**LVD1RF フラグ (電圧監視 1 リセット検出フラグ)**

VCC 電圧が  $V_{det1}$  レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- [表 6.2](#) に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**LVD2RF フラグ (電圧監視 2 リセット検出フラグ)**

VCC 電圧が  $V_{det2}$  レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- [表 6.2](#) に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**DPSRSTF フラグ (ディープソフトウェアスタンバイリセットフラグ)**

外部または内部割り込みによってディープソフトウェアスタンバイモードが解除されたこと、および、ディープソフトウェアスタンバイモードからの例外発生時に内部リセット (ディープソフトウェアスタンバイリセット) が発生したことを示します。

[1 になる条件]

- 外部または内部割り込みによってディープソフトウェアスタンバイモードが解除されたとき。詳細は、「[11. 低消費電力モード](#)」を参照してください。

[0 になる条件]

- [表 6.2](#) に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

## 6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス SYSTEM.RSTSR1 4001 E0C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SPERF	BUSMRF	BUSSRF	—	RPERF	—	—	—	—	—	SWRF	WDTRF	IWDTRF
リセット後の値	0	0	0	X (注1)	X (注1)	X (注1)	X (注1)	X (注1)	0	0	0	0	0	X (注1)	X (注1)	X (注1)

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R(W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R(W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R(W) (注2)
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	RPERF	SRAMパリティエラーリセット検出フラグ	0: SRAMパリティエラーリセット未検出 1: SRAMパリティエラーリセット検出	R(W) (注2)
b9	—	予約ビット	書く場合、0としてください。	R/W
b10	BUSSRF	バススレーブMPUエラーリセット検出フラグ	0: バススレーブMPUエラーリセット未検出 1: バススレーブMPUエラーリセット検出	R(W) (注2)
b11	BUSMRF	バスマスタMPUエラーリセット検出フラグ	0: バスマスタMPUエラーリセット未検出 1: バスマスタMPUエラーリセット検出	R(W) (注2)
b12	SPERF	SPエラーリセット検出フラグ	0: SPエラーリセット未検出 1: SPエラーリセット検出	R(W) (注2)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための0の書き込みのみ可能です。このフラグは、1を読んだ後、0を書くことでクリアする必要があります。

### IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

[1になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

### WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

[1になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

**SWRF フラグ (ソフトウェアリセット検出フラグ)**

ソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**RPERF フラグ (SRAM パリティエラーリセット検出フラグ)**

SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**BUSSRF フラグ (バススレーブ MPU エラーリセット検出フラグ)**

バススレーブ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バススレーブ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**BUSMRF フラグ (バスマスタ MPU エラーリセット検出フラグ)**

バスマスタ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バスマスタ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

**SPERF フラグ (SP エラーリセット検出フラグ)**

スタックポインタエラーリセットが発生したことを示します。

[1 になる条件]

- スタックポインタエラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

### 6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス SYSTEM.RSTSR2 4001 E411h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	X (注1)

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0: コールドスタート 1: ウォームスタート	R(W) (注2)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをセットするための1の書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

#### CWSF フラグ（コールドスタート/ウォームスタート判別フラグ）

リセット処理の種類（コールドスタートまたはウォームスタート）を示します。CWSF フラグは、パワーオンリセットで初期化されます。RES 端子リセットでは初期化されません。

[1になる条件]

- ソフトウェアで1を書いたとき。0を書いても変化しない

[0になる条件]

- 表 6.2 に示すリセットを行ったとき

### 6.2.4 リセットコントロールレジスタ 1 (RCR1)

アドレス RTC.RCR1 4004 4022h

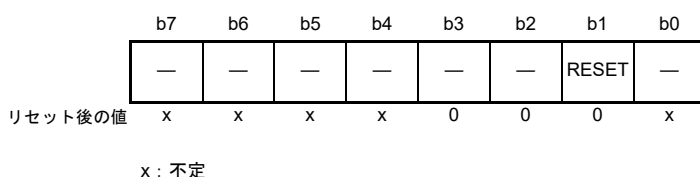
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	0	x	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書く場合、0としてください。	R/W
b1	—	予約ビット	書く場合、0としてください。	R/W
b2	—	予約ビット	書く場合、0としてください。	R/W
b3	—	予約ビット	書く場合、0としてください。	R/W
b7-b4	—	予約ビット	書く場合、0としてください。	R/W

## 6.2.5 リセットコントロールレジスタ 2 (RCR2)

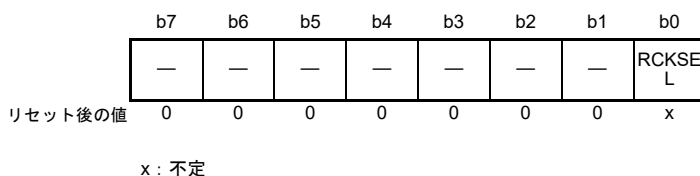
アドレス RTC.RCR2 4004 4024h



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書く場合、0としてください。	R/W
b1	RESET	ソフトウェアリセット	<ul style="list-style-type: none"> <li>書き込み時</li> <li>0: 無効 (0の書き込みは無効です)</li> <li>1: ソフトウェアリセット対象レジスタを初期化</li> <li>読み出し時</li> <li>0: ソフトウェアリセット完了</li> <li>1: ソフトウェアリセット処理中</li> </ul>	R/W
b3-b2	—	予約ビット	書く場合、0としてください。	R/W
b7-b4	—	予約ビット	書く場合、0としてください。	R/W

## 6.2.6 リセットコントロールレジスタ 4 (RCR4)

アドレス RTC.RCR4 4004 4028h



ビット	シンボル	ビット名	機能	R/W
b0	RCKSEL	カウントソース選択	<ul style="list-style-type: none"> <li>0: サブクロック発振器を使用しない</li> <li>1: サブクロック発振器を使用</li> </ul>	R/W
b7-b1	—	予約ビット	書く場合、0としてください。	R/W

## 6.3 動作説明

### 6.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切れ、MCU はリセット状態になります。MCU を適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、RES 解除後待機時間 ( $t_{RESWT}$ ) 経過後に内部リセットが解除されます。この後 CPU はリセット例外処理を開始します。

詳細は、「[43. 電気的特性](#)」を参照してください。



### 6.3.2 パワーオンリセット

パワーオンリセット (POR) は、パワーオンリセット回路による内部リセットです。RES 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が  $V_{POR}$  を超えると、一定のパワーオンリセット時間経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間とは、外部電源と MCU 回路のための安定期間です。パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が  $V_{det0}$  以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。

VCC が  $V_{det0}$  を超えると、電圧監視 0 リセット時間 ( $t_{LVD0}$ ) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。 $V_{det0}$  の電圧検出レベルは、オプション機能選択レジスタ 1 (OFS1) の VDSEL[1:0] ビットの設定により変更できます。

図 6.1 に、パワーオンリセットおよび電圧監視 0 リセット時の動作例を示します。

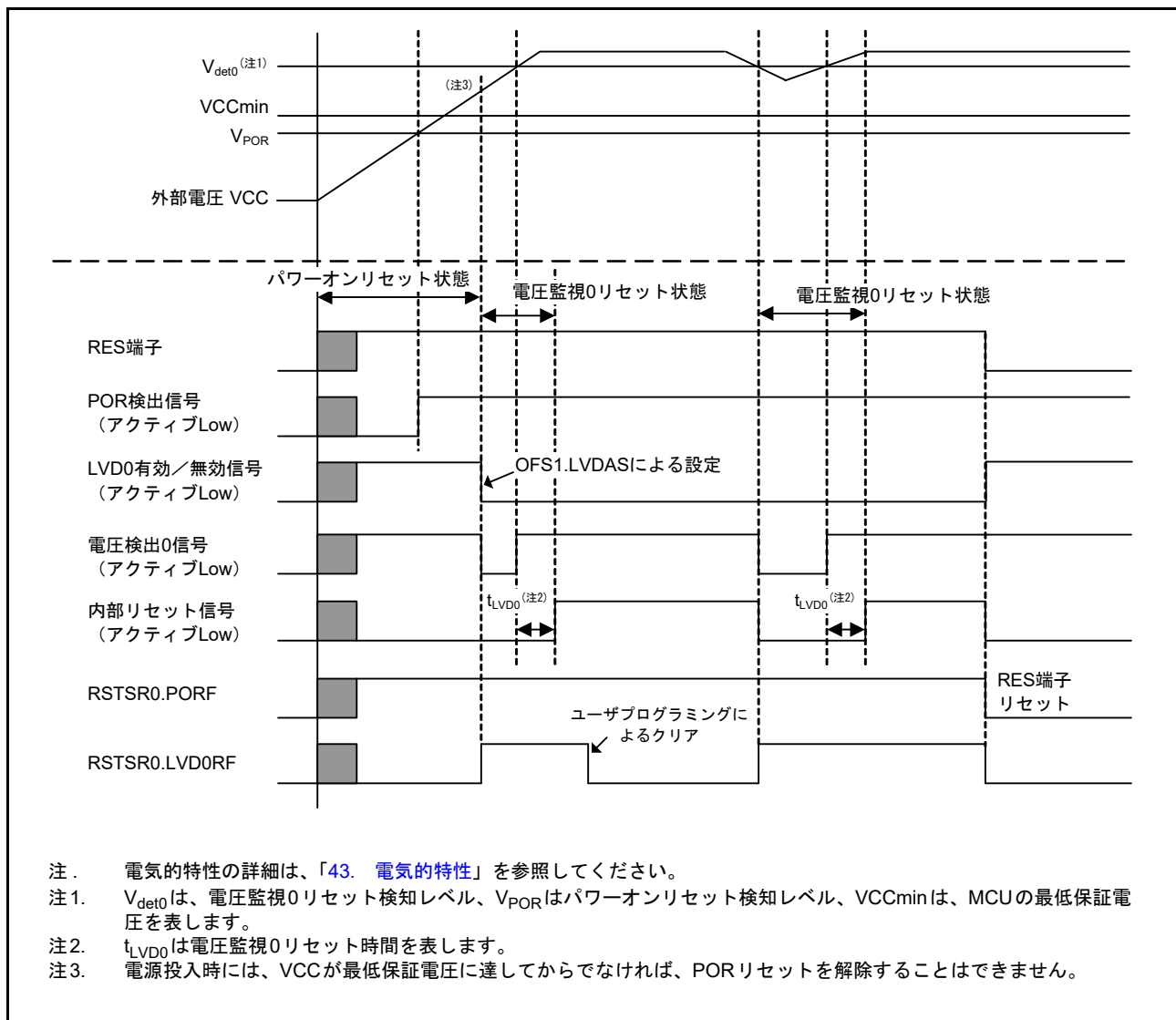


図 6.1 パワーオンリセットおよび電圧監視 0 リセット時の動作例

### 6.3.3 電圧監視リセット

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が  $V_{det0}$  以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が  $V_{det0}$  を超えると、電圧監視 0 リセット時間 ( $t_{LVD0}$ ) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (RIE) が 1 (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1CR0.RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC が  $V_{det1}$  以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧検出回路は電圧監視 1 リセットを発生させます。

同様に、電圧監視 2 回路コントロールレジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (RIE) が 1 (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2CR0.RI) が 1 (低電圧検出時、リセット発生を選択) の状態にあるとき、VCC が  $V_{det2}$  以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧検出回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。LVD1CR0.RN ビットが 0 で、かつ VCC が  $V_{det1}$  以下になっている場合、 $V_{det1}$  を超えてから LVD1 リセット時間 ( $t_{LVD1}$ ) が経過すると、CPU は内部リセット状態から解除され、リセット例外処理を開始します。また、LVD1CR0.RN ビットが 1 で、かつ VCC が  $V_{det1}$  以下になっている場合、LVD1 リセット時間 ( $t_{LVD1}$ ) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様であり、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) で選択可能です。

$V_{det1}$  および  $V_{det2}$  の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) で変更できます。

図 6.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「8. 低電圧検出 (LVD)」を参照してください。

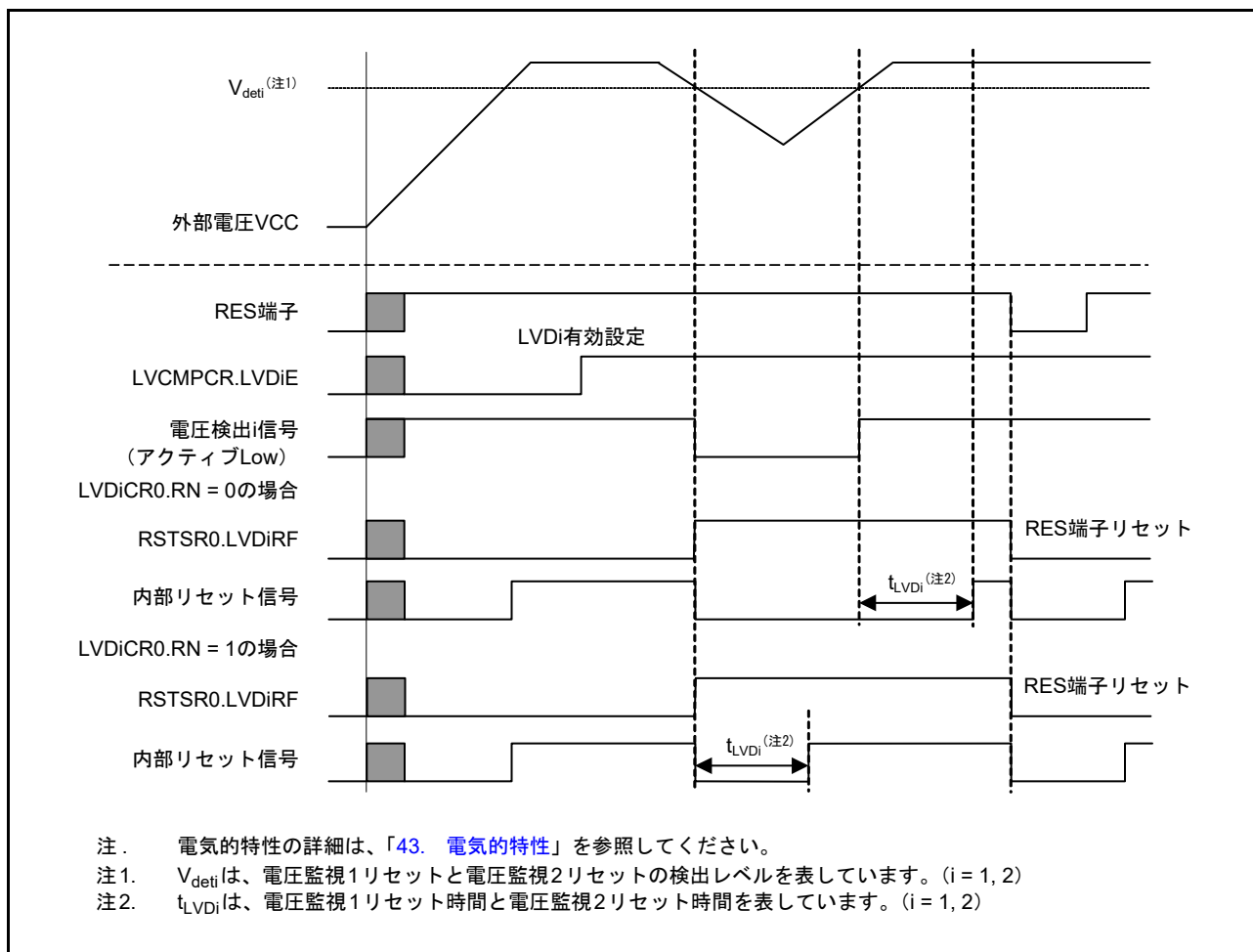


図 6.2 電圧監視1リセットおよび電圧監視2リセット時の動作例

### 6.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイリセットは、ディープソフトウェアスタンバイモードを関連の割り込みによって解除する場合に発生する内部リセットです。ディープソフトウェアスタンバイモード解除後復帰時間 (tDSBY) が経過すると、ディープソフトウェアスタンバイリセットは解除されます。

ディープソフトウェアスタンバイモードの解除後に、ディープソフトウェアスタンバイモード解除後待機時間 (tDSBYWT) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、「11. 低消費電力モード」を参照してください。

### 6.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマ (IWDT) による内部リセットです。オプション機能選択レジスタ 0 (OFS0) によって、IWDT からリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、IWDT がアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、このリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### 6.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマ (WDT) による内部リセットです。WDT リセットコントロールレジスタ (WDTRCR) またはオプション機能選択レジスタ 0 (OFS0) によって、WDT からリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセットの出力を選択した場合、WDT がアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、このリセットが発生します。ウォッチドッグタイマリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

### 6.3.7 ソフトウェアリセット

ソフトウェアリセットは、Arm コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットについての詳細は、ARM® Cortex®-M4 Technical Reference Manual を参照してください。

### 6.3.8 コールドスタート/ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因を判定できます。このフラグは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを示します。

CWSF フラグは、パワーオンリセットが発生すると 0（コールドスタート）になります。その他のリセットを行っても 0 になりません。また、ソフトウェアで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

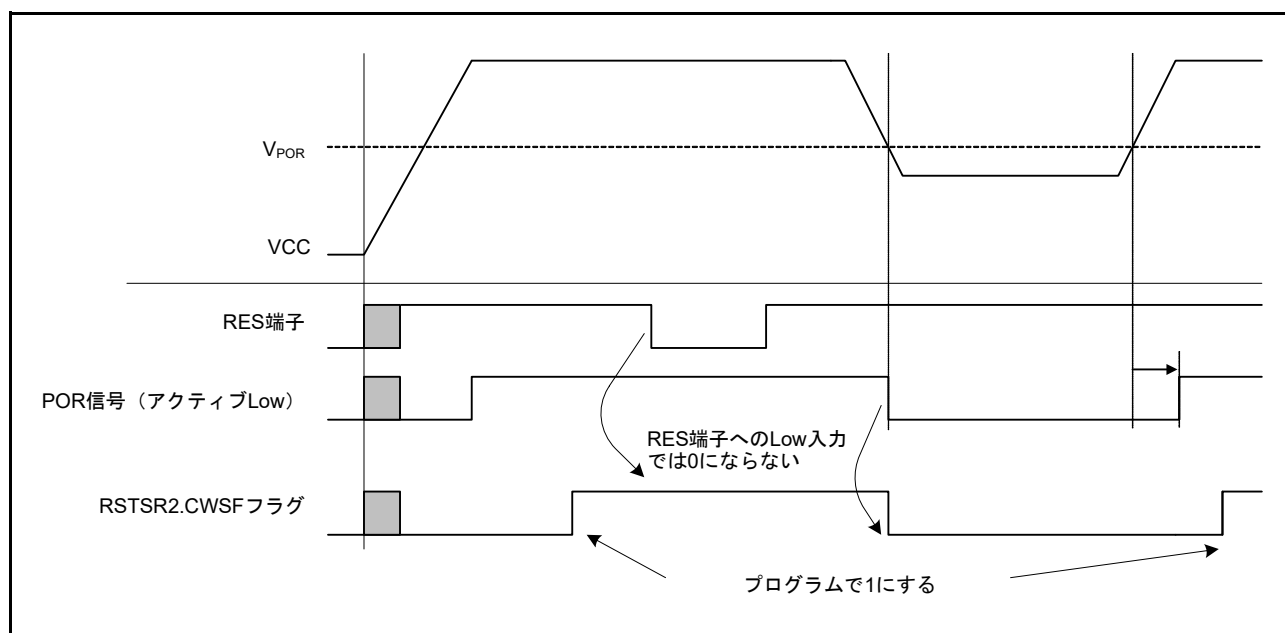


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

### 6.3.9 リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。図 6.4 にリセット発生要因の判定フロー例を示します。リセットフラグは、1 を読んだ後に 0 を書く必要があります。

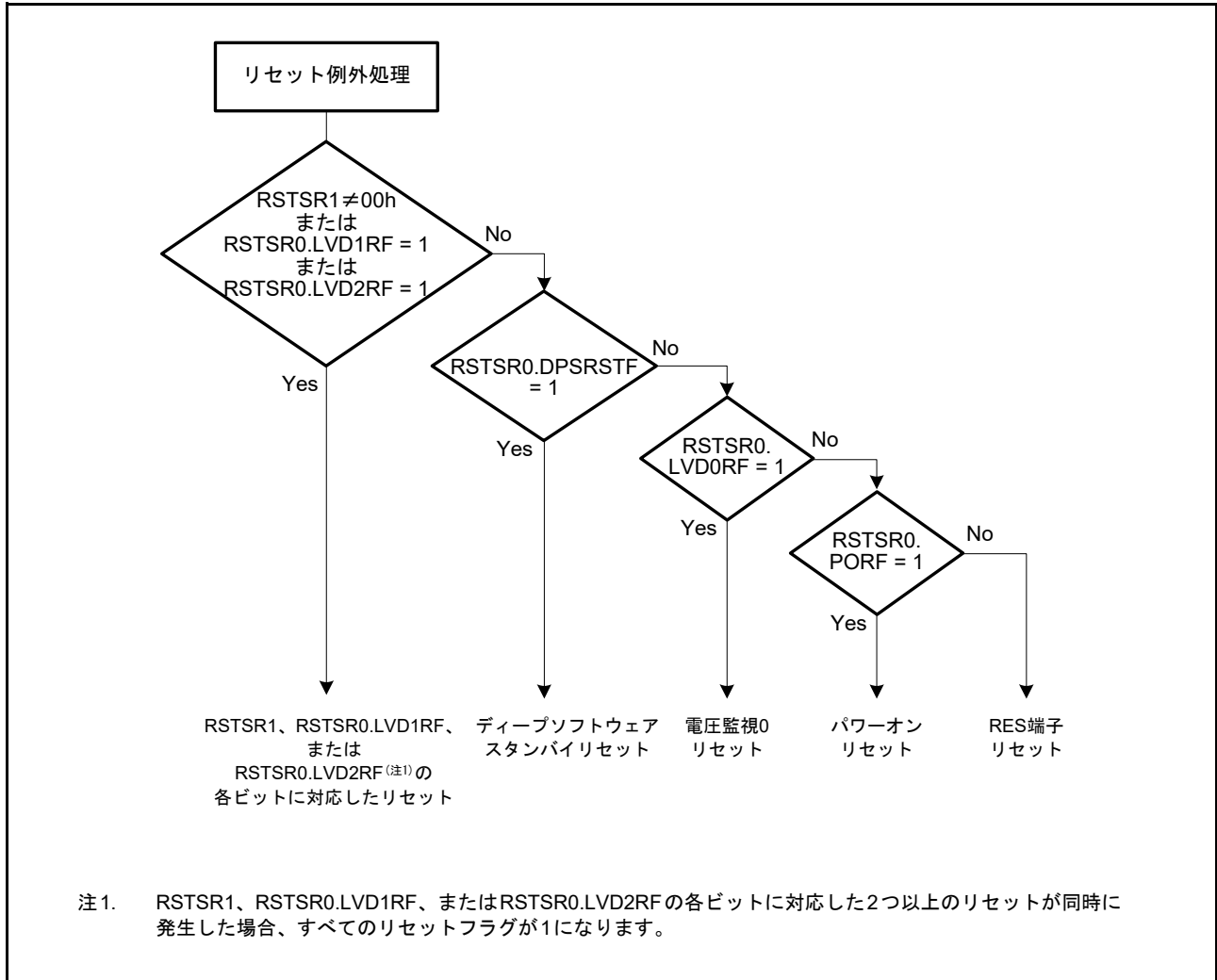


図 6.4 リセット発生要因の判定フロー例

## 6.4 リセット後に必要な初期化手順

本 MCU にはリセット後初期化されないレジスタがあり、場合によっては意図しない割り込み要求の発生により、消費電力の増加や誤動作が引き起こされることがあります。そのため、リセット後には図 6.5 または図 6.6 に示す手順に従い、これらのレジスタの初期化を実施してください。

図 6.5 はすべての場合に適用可能な一般的な初期化手順、図 6.6 はサブクロックを使用しない場合に適用可能な初期化手順です。

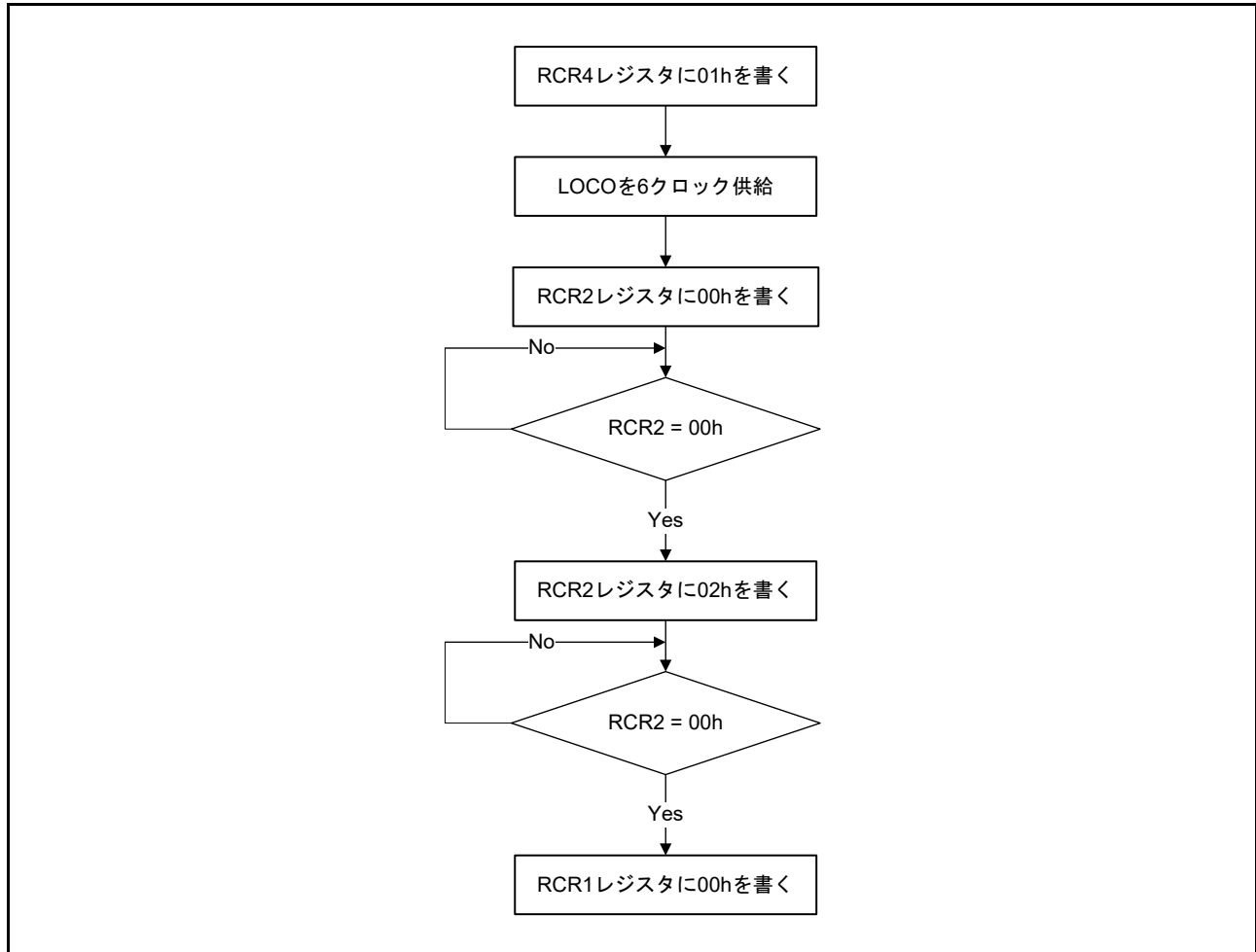


図 6.5 一般的な初期化手順

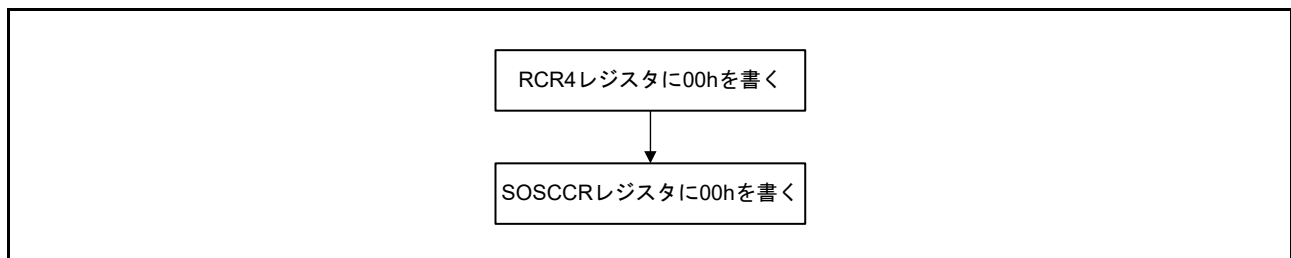


図 6.6 サブクロックを使用しない場合の初期化手順

SOSCCR レジスタの設定については、「9. クロック発生回路」を参照してください。

## 7. オプション設定メモリ

### 7.1 概要

オプション設定メモリは、MCUのリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域とプログラムフラッシュ領域に配置されます。これら2つの領域では設定方法が異なります。

図 7.1 にオプション設定メモリの領域を示します。

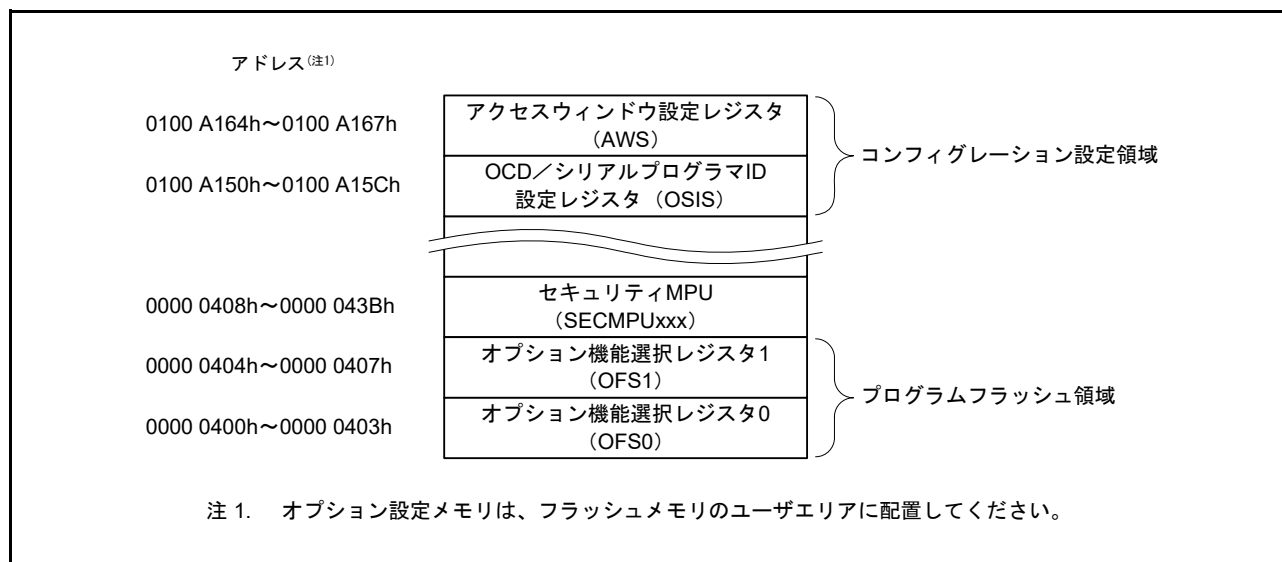


図 7.1 オプション設定メモリの領域



## 7.2 レジスタの説明

## 7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス OFS0 0000 0400h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	WDTST PCTL	—	WDTRS TIRQS	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]	WDTST RT	—				
リセット後の値															
ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTST TPCTL	—	IWDRS STIRQS	IWDRPSS[1:0]	IWDRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDTST TRT	—				
リセット後の値															
ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。 書く場合、1としてください。	R
b1	IWDTSTRT	IWDTスタートモード選択	0: リセット後、IWDTは自動的に起動 (オートスタートモード) 1: IWDTは無効	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択	b3 b2 0 0: 128サイクル (007Fh) 0 1: 512サイクル (01FFh) 1 0: 1024サイクル (03FFh) 1 1: 2048サイクル (07FFh)	R
b7-b4	IWDTCKS[3:0]	IWDT専用クロック分周比選択	b7 b4 0 0 0 0: 1分周 0 0 1 0: 16分周 0 0 1 1: 32分周 0 1 0 0: 64分周 1 1 1 1: 128分周 0 1 0 1: 256分周 上記以外は設定しないでください。	R
b9-b8	IWDRPES[1:0]	IWDTウィンドウ終了位置選択	b9 b8 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDRPSS[1:0]	IWDTウィンドウ開始位置選択	b11 b10 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100% (ウィンドウの開始位置設定なし)	R
b12	IWDRSTIRQS	IWDTリセット割り込み要求選択	0: 割り込み 1: リセット	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。 書く場合、1としてください。	R
b14	IWDTSTPCTL	IWDT停止制御	0: カウントは継続 1: スリープモード、スヌーズモード、またはソフト ウェアスタンバイモードの状態にあるとき、カウン ト停止	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。 書く場合、1としてください。	R
b17	WDTSTRT	WDTスタートモード選択	0: リセット後、WDTは自動的に起動 (オートスタートモード) 1: リセット後、WDTは停止状態 (レジスタスタートモード)	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDTタイムアウト期間選択	b19 b18 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R
b23-b20	WDTCKS[3:0]	WDTクロック分周比選択	b23 b20 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2048 1 0 0 0 : PCLKB/8192 上記以外は設定しないでください。	R
b25-b24	WDRPES[1:0]	WDTウィンドウ終了位置選択	b25 b24 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDRPSS[1:0]	WDTウィンドウ開始位置選択	b27 b26 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b28	WDRSTIRQS	WDTリセット割り込み要求選択	WDT動作の選択 0 : 割り込み 1 : リセット	R
b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b30	WDTSTPCTL	WDT停止制御	0 : カウントは継続 1 : スリープモード遷移時にカウント停止	R
b31	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

注1. ブランク品は、FFFF FFFFh です。ユーザがプログラムした値になります。

### IWDTSTRT ビット (IWDT スタートモード選択)

リセット後のIWDTの起動モード（停止状態または起動状態）を選択します。

### IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでのタイムアウト期間を、IWDTCKS[3:0] ビットで設定した分周クロックを1サイクルとして、128、512、1024、2048の各サイクル数で指定します。リフレッシュ後、カウンタがアンダーフローするまでの時間は、IWDTCKS[3:0] ビットとIWDTTOPS[1:0] ビットの組み合わせで決定されます。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)

IWDT専用クロックを分周するプリスケアラの分周比設定を、1、16、32、64、128、256の各分周から選択します。この設定をIWDTTOPS[1:0] ビット設定と組み合わせることで、IWDTのカウント期間は128から524288までのIWDTクロック数に設定可能です。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)

ダウンカウンタのウィンドウ終了位置を、カウント値の0%、25%、50%、75%から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくしなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の設定値のみが有効となります。

IWDRPSS[1:0] およびIWDRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、IWDTTOPS[1:0] ビットの設定によって変わります。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。それ以外はリフレッシュ禁止期間です。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択)

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### IWDSTPCTL ビット (IWDT 停止制御)

スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時にカウントを停止するかどうかを選択します。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

### WDTSTRT ビット (WDT スタートモード選択)

リセット後の WDT の起動モード (停止状態または起動状態) を選択します。オートスタートモードでの起動の場合、WDT の設定は OFS0 レジスタの設定が有効となります。

### WDTTOPS[1:0] ビット (WDT タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでのタイムアウト期間を、WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、16384 の各サイクル数で指定します。リフレッシュ後、カウンタがアンダーフローするまでの PCLKB サイクル数は、WDTCKS[3:0] ビットと WDTTOPS[1:0] ビットの組み合わせで決定されます。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

### WDTCKS[3:0] ビット (WDT クロック分周比選択)

PCLKB を分周するプリスケアラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。この設定を WDTTOPS[1:0] ビット設定と組み合わせることで、WDT のカウント期間は 4096 から 134217728 までの PCLKB クロック数に設定可能です。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

### WDRPES[1:0] ビット (WDT ウィンドウ終了位置選択)

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくしなければなりません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の設定値のみが有効となります。

WDRPSS[1:0] ビットおよび WDRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、WDTTOPS[1:0] ビットの設定によって変わります。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

### WDRPSS[1:0] ビット (WDT ウィンドウ開始位置選択)

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。それ以外はリフレッシュ禁止期間です。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

### WDRSTIRQS ビット (WDT リセット割り込み要求選択)

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

### WDTSTPCTL ビット (WDT 停止制御)

スリープモード遷移時に、カウントを停止させるかどうかを選択します。詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

## 7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス OFS1 0000 0404h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	HOCOFRQ0[1:0]	HOCOEN	—	—	—	—	—	—	LVDAS	VDSEL0[1:0]	—
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL0[1:0]	電圧検出 0 レベル選択	b1 b0 0 0 : 設定禁止 0 1 : 2.94V を選択 1 0 : 2.87V を選択 1 1 : 2.80V を選択	R
b2	LVDAS	電圧検出 0 回路起動	0 : リセット後、電圧監視 0 リセット有効 1 : リセット後、電圧監視 0 リセット無効	R
b7-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。 書く場合、1としてください。	R
b8	HOCOEN	HOCO 発振有効	0 : リセット後、HOCO 発振が有効 1 : リセット後、HOCO 発振が無効	R
b10-b9	HOCOFRQ0[1:0]	HOCO 周波数設定 0	b10 b9 0 0 : 16MHz 0 1 : 18MHz 1 0 : 20MHz 1 1 : 設定禁止	R
b31-b11	—	予約ビット	読んだ場合は、プログラムした値が読めます。 書く場合、1としてください。	R

注 1. ブランク品は、FFFF FFFFh です。ユーザがプログラムした値になります。

### VDSEL0[1:0] ビット (電圧検出 0 レベル選択)

電圧検出 0 回路の電圧検出レベルを選択します。

### LVDAS ビット (電圧検出 0 回路起動)

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

### HOCOEN ビット (HOCO 発振有効)

リセット後、HOCO 発振を有効にするか無効にするかを選択します。このビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO クロックを使用する場合は、OFS1.HOCOFRQ0[1:0] ビットを最適な値に設定してください。

### HOCOFRQ0[1:0] ビット (HOCO 周波数設定 0)

リセット後の HOCO 周波数を、16、18、20MHz から選択します。

## 7.2.3 アクセスウィンドウ設定レジスタ (AWS)

アドレス AWS 0100 A164h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
BTFLG	—	—	—	—											
リセット後の値															
ユーザの設定値															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FSPR	—	—	—	—											
リセット後の値															
ユーザの設定値															

ビット	シンボル	ビット名	機能	R/W
b10-b0	FAWS[10:0]	アクセスウィンドウ開始ブロックアドレス	アクセスウィンドウの開始ブロックアドレスを指定します。これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。このブロックアドレスは、ブロックの先頭アドレスを指定し、アドレスビット23～13で構成されます。	R
b14-b11	—	予約ビット	読んだ場合は、プログラムした値が読めます。	R
b15	FSPR	アクセスウィンドウとスタートアップ領域選択機能の保護	アクセスウィンドウ、スタートアップ領域選択フラグ (AWS.BTFLG)、およびテンポラリブートスワップ制御に対するライト/イレース保護のプログラミングを制御します。このビットは0にすると、1に変更できません。 0: アクセスウィンドウ (FAWE[10:0]、FAWS[10:0]) とスタートアップ領域選択フラグ (AWS.BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は無効。 1: アクセスウィンドウ (FAWE[10:0]、FAWS[10:0]) とスタートアップ領域選択フラグ (AWS.BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は有効。	R
b26-b16	FAWE[10:0]	アクセスウィンドウ終了ブロックアドレス	アクセスウィンドウの終了ブロックアドレスを指定します。これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウの終了ブロックアドレスは、アクセスウィンドウで定義されるプログラム/イレース受け付け可能領域の次のブロックです。このブロックアドレスは、ブロックの先頭アドレスを指定し、アドレスビット23～13で構成されます。	R
b30-b27	—	予約ビット	読んだ場合は、プログラムした値が読めます。 書く場合、1としてください。	R
b31	BTFLG	スタートアップ領域選択フラグ	スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。 0: 最初の8KB領域 (0000 0000h～0000 1FFFh) と次の8KB領域 (0000 2000h～0000 3FFFh) が入れ替わる 1: 最初の8KB領域 (0000 0000h～0000 1FFFh) と次の8KB領域 (0000 2000h～0000 3FFFh) は入れ替わらない	R

アクセスウィンドウ外の領域にプログラム/イレース (P/E) コマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。アクセスウィンドウは FSPR ビットでロックすることが可能です。

アクセスウィンドウは、FAWS[10:0] ビットおよびFAWE[10:0] ビットの両方で指定されます。以下に、FAWS[10:0] ビットとFAWE[10:0] ビットの設定方法を説明します。

- FAWE[10:0] = FAWS[10:0] : P/E コマンドは、全プログラムフラッシュ領域に対して実行が許可される
- FAWE[10:0] > FAWS[10:0] : P/E コマンドは、FAWS[10:0] ビットで指示されたブロックから、FAWE[10:0] ビットで指示されたブロックより1つ下のブロックまでのウィンドウでのみ実行が許可される

- FAWE[10:0] < FAWS[10:0] : P/E コマンドは、プログラムフラッシュ領域に対して実行が禁止される

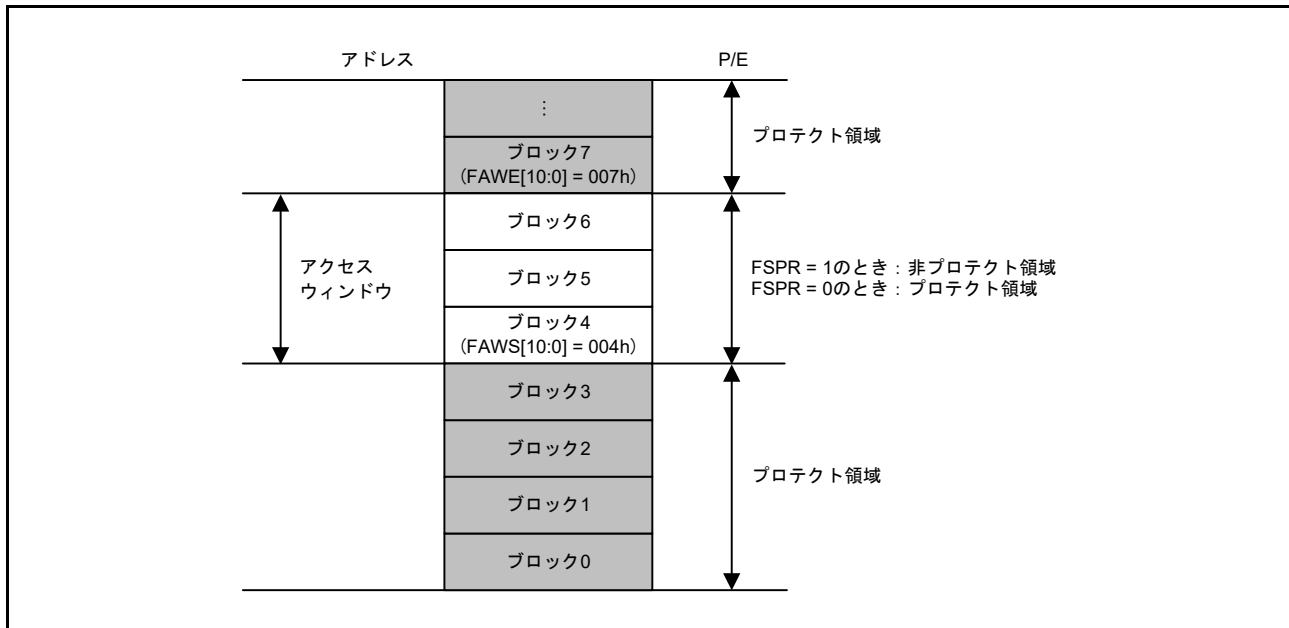


図 7.2 アクセスウィンドウの概要

## 7.2.4 OCD / シリアルプログラマ ID 設定レジスタ (OSIS)

OSIS レジスタは、OCD / シリアルプログラマの ID コードプロテクト機能の ID を格納します。OCD / シリアルプログラマを接続する場合、MCU がその接続を許可するか否か判定できるようにするための値を書き込んでください。このレジスタを用いて、OCD / シリアルプログラマから送られてくるコードが、オプション設定メモリ上の ID コードと一致するか否かを判定してください。

ID コードが一致した場合、OCD / シリアルプログラマとの接続が許可されます。ID コードが一致しない場合、OCD / シリアルプログラマとの接続はできません。OSIS レジスタは 32 ビットワード単位で設定する必要があります。

アドレス OSIS 0100 A150h, OSIS 0100 A154h, OSIS 0100 A158h, OSIS 0100 A15Ch



OCD / シリアルプログラマの ID 認証に使用する ID を格納します。

ID コードのビット 127 とビット 126 は、ID コードプロテクト機能の有効 / 無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 7.1 に示します。

ビット 127 を 0 にすると、ルネサスはテストモードにアクセスできなくなります。そのため、ビット [126:0] を設定しないと、ルネサスは故障解析を実施できません。ルネサスが保証クレームを処理するためには、故障解析を実行する必要があります。

表 7.1 ID コードプロテクト機能の仕様

起動時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCI ブートモード)	FFh, ..., FFh (全バイトが FFh)	プロテクト無効	ID コードはチェックされません。ID コードは常に一致して、プログラマまたはオンチップデバッグへの接続が許可されます。
オンチップデバッグモード (JTAG/SWD ブートモード)	ビット 127 = 1 および ビット 126 = 1、かつ 16 バイトのうち少なくとも 1 つが FFh 以外	プロテクト有効	ID コードの一致 = 認証が完了し、プログラマまたはオンチップデバッグとの接続が許可されます。 ID コードの不一致 = ID コードプロテクト待ち状態へ遷移します。 プログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの ALeRASE (414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFFh) であると、ユーザフラッシュ領域の内容は消去されます。ただし、FSPR ビットが 0 であれば、強制消去は実行されません。
	ビット 127 = 1 および ビット 126 = 0	プロテクト有効	ID コードの一致 = 認証が完了し、プログラマまたはオンチップデバッグとの接続が許可されます。 ID コードの不一致 = ID コードプロテクト待ち状態へ遷移します。
	ビット 127 = 0	プロテクト有効	ID コードはチェックされません。ID コードは常に不一致であり、プログラマまたはオンチップデバッグへの接続は禁止されていますが、ALeRASE コマンドは受け入れられます。ALeRASE コマンドの禁止については、2.11.3.4 接続順序と JTAG/SWD 認証の (1) OSIS の MSB が 0 (ビット [127] = 0) のときを参照してください。ルネサスはテストモードにアクセスできません。

## 7.3 オプション設定メモリの設定方法

### 7.3.1 オプション設定メモリへのデータの配置方法

プログラムデータは、[図 7.1](#) に示すオプション設定メモリのアドレスに配置されます。配置したデータは、フラッシュ書き込みソフトウェアやオンチップデバッガなどのツールで使用されます。

注． プログラムの書式はコンパイラによって異なります。詳細は、コンパイラのマニュアルを参照してください。

### 7.3.2 オプション設定メモリにプログラムするデータの設定方法

[7.3.1 オプション設定メモリへのデータの配置方法](#) に記述されたとおりにデータを配置するだけでは、オプション設定メモリにプログラムできません。合わせて、本項に記載されている下記のいずれかを実施してください。

#### (1) セルフプログラミングでオプション設定メモリを変更する場合

プログラムフラッシュ領域へデータを書き込むため、プログラムコマンドを使用してください。また、コンフィグレーション設定領域のオプション設定メモリへデータを書き込むため、コンフィグレーション設定コマンドを使用してください。さらに、スタートアップ領域選択機能を用いて、オプション設定メモリを含むブートプログラムを安全に更新してください。

プログラムコマンド、コンフィグレーション設定コマンド、およびスタートアップ領域選択機能の詳細については、「[41. フラッシュメモリ](#)」を参照してください。

注． コンフィグレーション設定領域へのプログラミングには以下の制約があります。

- ・すべてのバスマスタから、式 1 で記述された範囲を満たすアドレスに対してコードによるアクセスをしないでください。
- ・式 1 で記述された範囲を満たすアドレス上でコードの実行をしないでください。

式 1 :

```
If (((address & 0x0101F800) == 0x01010000) || ((address & 0x0101FC00) == 0x01012000))
```

たとえば、アドレス範囲 0x1FFF0000 ~ 0x1FFF07FF または 0x1FFF2000 ~ 0x1FFF23FF は、制約を示すタグが付された SRAMHS 領域に対応しています。また、割り込みは可能ですが、割り込みステータスレジスタには上記の制約があります。したがって、コンフィグレーション設定領域をプログラミングするときは、すべての割り込みと、CPU 以外のバスマスタを無効にしてください。割り込みおよびそれらモジュールは、式 1 で示す禁止領域にアクセスする可能性があるためです。

#### (2) OCD によるデバッグ時またはフラッシュライターによってプログラムする場合

この手順は使用するツールによって異なるため、詳細はツールのマニュアルを参照してください。

本 MCU には、以下の 2 つの設定手順があります。

- [7.3.1 オプション設定メモリへのデータの配置方法](#) に示すように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へプログラムする
- ツールの GUI インタフェースを使用して、[7.3.1 オプション設定メモリへのデータの配置方法](#) に示すように配置された同じデータをプログラムする

注． OSIS および AWS レジスタへのプログラミングには以下の制約があります。

- ・すべてのバスマスタから、式 1 で記述された範囲を満たすアドレスに対してコードによるアクセスをしないでください。
- ・式 1 で記述された範囲を満たすアドレス上でコードの実行をしないでください。



## 7.4 使用上の注意事項

### 7.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには1を書き込んでください。これらのビットに0を書き込むと、動作は保証されません。

## 8. 低電圧検出 (LVD)

### 8.1 概要

低電圧検出 (LVD) モジュールは、VCC 端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。LVD モジュールは、3つの独立した電圧レベル検出器 (0、1、2 回路) で構成され、それぞれが VCC 端子への入力電圧レベルを測定します。LVD 電圧検出レジスタにより、さまざまな電圧しきい値で VCC の変動を検出するようにユーザアプリケーションを設定できます。

それぞれの電圧レベル検出器には、電圧監視 0、1、2 などの電圧監視回路が対応しています。電圧モニタレジスタを用いることで、電圧しきい値を通過したときに、割り込み、イベントリンク出力、またはリセットを発生させるように LVD を設定できます。

表 8.1 に LVD の仕様を示します。また、図 8.1 に電圧検出 0、1、2 回路のブロック図を、図 8.2 に電圧監視 1 割り込み/リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み/リセット発生回路のブロック図を示します。

表 8.1 LVD の仕様

項目		電圧監視0の仕様	電圧監視1の仕様	電圧監視2の仕様
VCC監視	監視電圧	$V_{det0}$	$V_{det1}$	$V_{det2}$
	検出イベント	下降して $V_{det0}$ を通過	上昇または下降して $V_{det1}$ を通過	上昇または下降して $V_{det2}$ を通過
	検出電圧	OFS1.VDSEL0[1:0]ビットで3レベルから選択可能	LVDLVL.R.LVD1LVL[4:0]ビットで3レベルから選択可能	LVDLVL.R.LVD2LVL[2:0]ビットで3レベルから選択可能
	モニタフラグ	なし	LVD1SR.MON フラグ: 電圧が $V_{det1}$ より高いか低いかを監視 LVD1SR.DET フラグ: $V_{det1}$ 通過検出	LVD2SR.MON フラグ: 電圧が $V_{det2}$ より高いか低いかを監視 LVD2SR.DET フラグ: $V_{det2}$ 通過検出
電圧検出時の処理	リセット	電圧監視0リセット $V_{det0} > VCC$ でリセット。 $VCC > V_{det0}$ の一定時間後にCPU動作再開	電圧監視1リセット $V_{det1} > VCC$ でリセット。 CPU動作再開タイミングとして、 $VCC > V_{det1}$ の一定時間後、または $V_{det1} > VCC$ の一定時間後を選択可能	電圧監視2リセット $V_{det2} > VCC$ でリセット。 CPU動作再開タイミングとして、 $VCC > V_{det2}$ の一定時間後、または $V_{det2} > VCC$ の一定時間後を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 $V_{det1} > VCC$ または $VCC > V_{det1}$ のとき割り込み要求	ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 $V_{det2} > VCC$ または $VCC > V_{det2}$ のとき割り込み要求
デジタルフィルタ	有効/無効の切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCOのn分周×2 (n: 2, 4, 8, 16)	LOCOのn分周×2 (n: 2, 4, 8, 16)
イベントリンク機能		なし	あり $V_{det1}$ 通過検出時にイベント信号出力	あり $V_{det2}$ 通過検出時にイベント信号出力

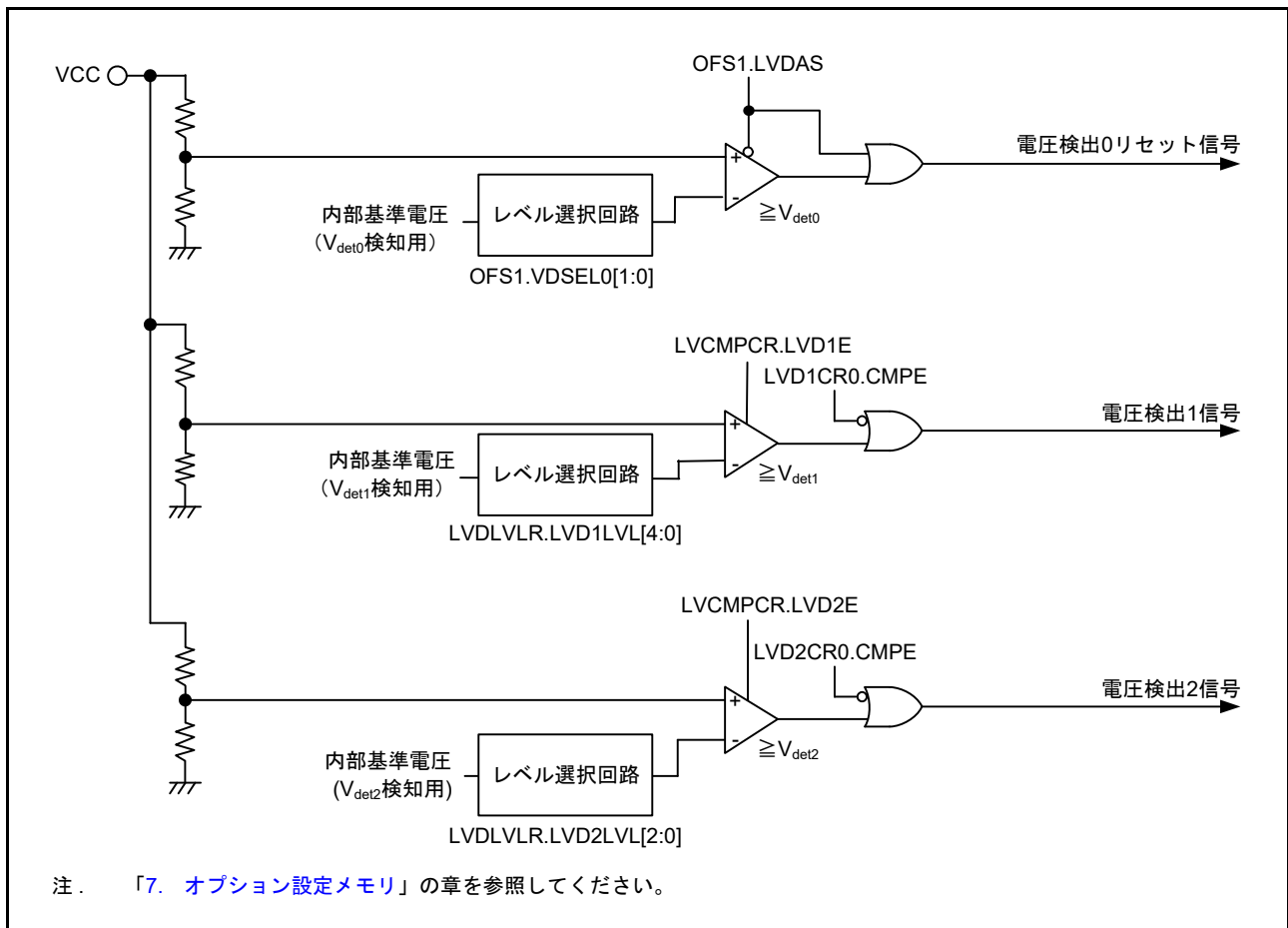


図 8.1 電圧検出 0、1、2 回路のブロック図

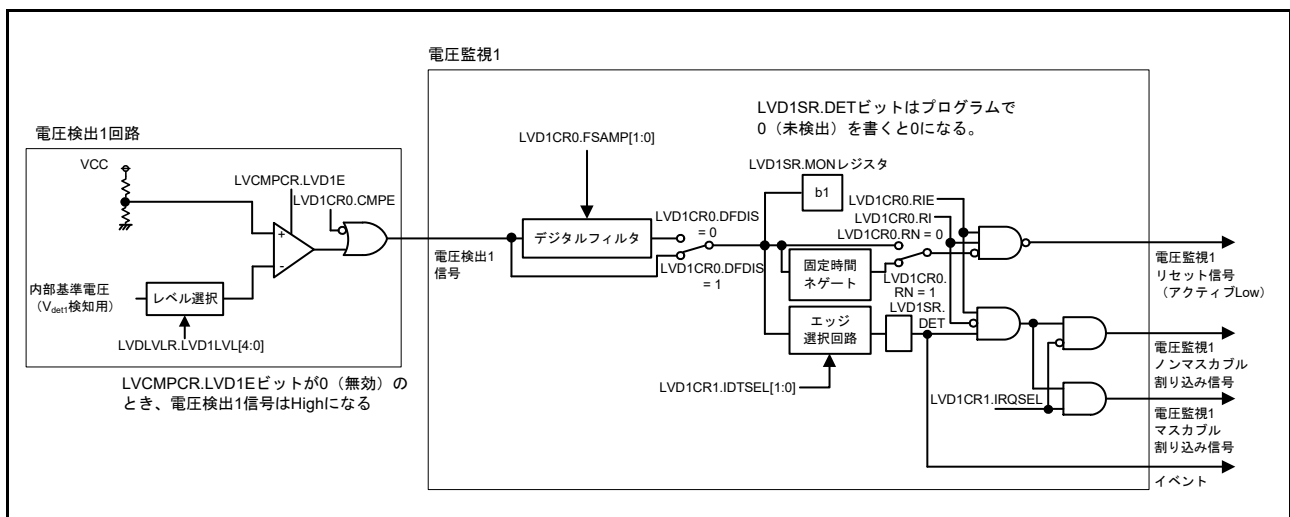


図 8.2 電圧監視 1 割り込み/リセット発生回路のブロック図

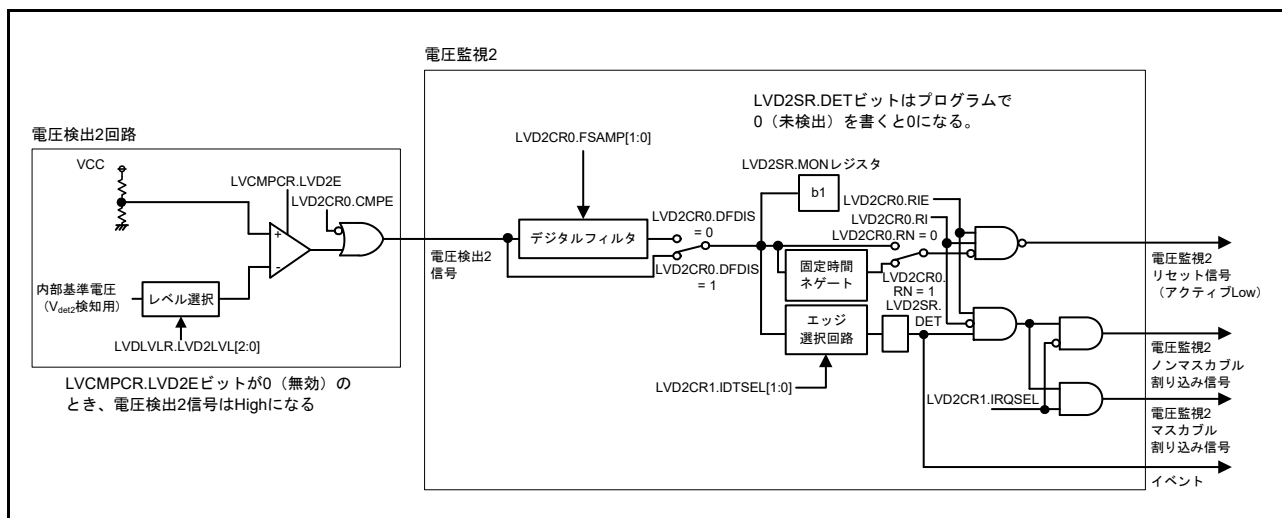


図 8.3 電圧監視 2 割り込み/リセット発生回路のブロック図

## 8.2 レジスタの説明

### 8.2.1 電圧モニタ1回路コントロールレジスタ1 (LVD1CR1)

アドレス SYSTEM.LVD1CR1 4001 E0E0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
					L		
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	IDTSEL[1:0]	電圧監視1割り込み発生条件選択	b1 b0 0 0: $V_{CC} \geq V_{det1}$ (上昇) 検出時 0 1: $V_{CC} < V_{det1}$ (下降) 検出時 1 0: 下降および上昇検出時 1 1: 設定禁止	R/W
b2	IRQSEL	電圧監視1割り込み種類選択	0: ノンマスクブル割り込み 1: マスクブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. マスクブル割り込みを許可する場合、ICUのNMIER.LVD1EN ビット値をリセット状態から変更しないでください。

## 8.2.2 電圧モニタ 1 回路ステータスレジスタ (LVD1SR)

アドレス SYSTEM.LVD1SR 4001 E0E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MON	DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	DET	電圧監視1電圧変化検出フラグ	0: 未検出 1: $V_{det1}$ 通過検出	R(W) (注1)
b1	MON	電圧監視1信号モニタフラグ	0: $VCC < V_{det1}$ 1: $VCC \geq V_{det1}$ または MON 無効	R
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. このビットには 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

### DET フラグ (電圧監視1電圧変化検出フラグ)

DET フラグは、LVCMPCR.LVD1E ビットが 1 (電圧検出1回路有効) であり、かつ LVD1CR0.CMPE ビットが 1 (電圧監視1回路比較結果出力許可) のときに有効になります。

DET フラグを 0 にするときは、LVD1CR0.RIE を 0 (禁止) にしてから行ってください。LVD1CR0.RIE を 0 にした後、再度 1 (許可) にする場合は、PCLKB が 2 サイクル以上経過してから行ってください。

### MON フラグ (電圧監視1信号モニタフラグ)

MON フラグは、LVCMPCR.LVD1E ビットが 1 (電圧検出1回路有効) であり、かつ LVD1CR0.CMPE ビットが 1 (電圧監視1回路比較結果出力許可) のときに有効になります。

## 8.2.3 電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1)

アドレス SYSTEM.LVD2CR1 4001 E0E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	IDTSEL[1:0]	電圧監視2割り込み発生条件選択	b1 b0 0 0: $VCC \geq V_{det2}$ (上昇) 検出時 0 1: $VCC < V_{det2}$ (下降) 検出時 1 0: 下降および上昇検出時 1 1: 設定禁止	R/W
b2	IRQSEL	電圧監視2割り込み種類選択	0: ノンマスク割込み 1: マスク割込み (注1)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. マスク割込みを許可する場合、ICU の NMIER.LVD2EN ビット値をリセット状態から変更しないでください。

## 8.2.4 電圧モニタ 2 回路ステータスレジスタ (LVD2SR)

アドレス SYSTEM.LVD2SR 4001 E0E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MON	DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	DET	電圧監視2電圧変化検出フラグ	0: 未検出 1: $V_{det2}$ 通過検出	R/(W) (注1)
b1	MON	電圧監視2信号モニタフラグ	0: $VCC < V_{det2}$ 1: $VCC \geq V_{det2}$ または MON 無効	R
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. このビットには 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

### DET フラグ (電圧監視 2 電圧変化検出フラグ)

DET フラグは、LVCMPCR.LVD2E ビットが 1 (電圧検出 2 回路有効) であり、かつ LVD2CR0.CMPE ビットが 1 (電圧監視 2 回路比較結果出力許可) のときに有効になります。

DET フラグを 0 にするときは、LVD2CR0.RIE を 0 (禁止) にしてから行ってください。LVD2CR0.RIE を 0 にした後、再度 1 (許可) にする場合は、PCLKB の 2 サイクル以上が経過してから行ってください。

### MON フラグ (電圧監視 2 信号モニタフラグ)

MON フラグは、LVCMPCR.LVD2E ビットが 1 (電圧検出 2 回路有効) であり、かつ LVD2CR0.CMPE ビットが 1 (電圧監視 2 回路比較結果出力許可) のときに有効になります。

## 8.2.5 電圧モニタ回路コントロールレジスタ (LVCMPCR)

アドレス SYSTEM.LVCMPCR 4001 E417h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	LVD1E	電圧検出1有効	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2有効	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを1 (書き込み許可) にしてから、このレジスタを書き換えてください。

### LVD1E ビット (電圧検出1有効)

電圧検出1の割り込み/リセットを使用する場合、または LVD1SR.MON ビットを使用する場合、LVD1E ビットを1にしてください。LVD1E ビットを0から1に変更した後、 $t_{d(E-A)}$  経過すると、電圧検出1回路が動作します。ディープソフトウェアスタンバイモード時に電圧検出1回路を使用する場合は、DPSBYCR.DEEPCUT[1:0] ビットを11b にしないでください。

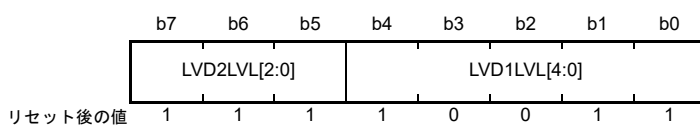
### LVD2E ビット (電圧検出2有効)

電圧検出2の割り込み/リセットを使用する場合、または LVD2SR.MON ビットを使用する場合、LVD2E ビットを1にしてください。LVD2E ビットを0から1に変更した後、 $t_{d(E-A)}$  経過すると、電圧検出2回路が動作します。ディープソフトウェアスタンバイモード時に電圧検出2回路を使用する場合は、DPSBYCR.DEEPCUT[1:0] ビットを11b にしないでください。



## 8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス SYSTEM.LVDLVLR 4001 E418h



ビット	シンボル	ビット名	機能	R/W												
b4-b0	LVD1LVL[4:0]	電圧検出1レベル選択 (電圧下降時の標準電圧)	<table border="0"> <tr> <td>b4</td> <td>b0</td> <td></td> </tr> <tr> <td>1 0 0 0</td> <td>1</td> <td>: 2.99V (<math>V_{det1\_1}</math>)</td> </tr> <tr> <td>1 0 0 1</td> <td>0</td> <td>: 2.92V (<math>V_{det1\_2}</math>)</td> </tr> <tr> <td>1 0 0 1</td> <td>1</td> <td>: 2.85V (<math>V_{det1\_3}</math>)</td> </tr> </table> 上記以外は設定しないでください。	b4	b0		1 0 0 0	1	: 2.99V ( $V_{det1\_1}$ )	1 0 0 1	0	: 2.92V ( $V_{det1\_2}$ )	1 0 0 1	1	: 2.85V ( $V_{det1\_3}$ )	R/W
b4	b0															
1 0 0 0	1	: 2.99V ( $V_{det1\_1}$ )														
1 0 0 1	0	: 2.92V ( $V_{det1\_2}$ )														
1 0 0 1	1	: 2.85V ( $V_{det1\_3}$ )														
b7-b5	LVD2LVL[2:0]	電圧検出2レベル選択 (電圧下降時の標準電圧)	<table border="0"> <tr> <td>b7</td> <td>b5</td> <td></td> </tr> <tr> <td>1 0 1</td> <td></td> <td>: 2.99V (<math>V_{det2\_1}</math>)</td> </tr> <tr> <td>1 1 0</td> <td></td> <td>: 2.92V (<math>V_{det2\_2}</math>)</td> </tr> <tr> <td>1 1 1</td> <td></td> <td>: 2.85V (<math>V_{det2\_3}</math>)</td> </tr> </table> 上記以外は設定しないでください。	b7	b5		1 0 1		: 2.99V ( $V_{det2\_1}$ )	1 1 0		: 2.92V ( $V_{det2\_2}$ )	1 1 1		: 2.85V ( $V_{det2\_3}$ )	R/W
b7	b5															
1 0 1		: 2.99V ( $V_{det2\_1}$ )														
1 1 0		: 2.92V ( $V_{det2\_2}$ )														
1 1 1		: 2.85V ( $V_{det2\_3}$ )														

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

LVDLVLR レジスタは、LVCMPCR.LVD1E ビット、LVCMPCR.LVD2E ビットがともに 0 (電圧検出 n 回路無効、n = 1, 2) の場合のみ変更可能です。また、LVD の電圧検出 1 および 2 回路は、同じ電圧検出レベルに設定しないでください。

## 8.2.7 電圧モニタ 1 回路コントロールレジスタ 0 (LVD1CR0)

アドレス SYSTEM.LVD1CR0 4001 E41Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	RN	RI	FSAMP[1:0]	—	CMPE	DFDIS	RIE	
リセット後の値	1	0	0	0	x	0	1	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	RIE	電圧監視 1 割り込み／リセット許可	0: 禁止 1: 許可	R/W
b1	DFDIS	電圧監視 1 デジタルフィルタ無効モード選択	0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
b2	CMPE	電圧監視 1 回路比較結果出力許可	0: 電圧監視 1 回路比較結果出力禁止 1: 電圧監視 1 回路比較結果出力許可	R/W
b3	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b5-b4	FSAMP[1:0]	サンプリングクロック選択	b5 b4 0 0: LOCOの2分周 0 1: LOCOの4分周 1 0: LOCOの8分周 1 1: LOCOの16分周	R/W
b6	RI	電圧監視 1 回路モード選択	0: $V_{det1}$ 通過時に電圧監視 1 割り込み発生 1: 下降して $V_{det1}$ 通過時に電圧監視 1 リセット許可	R/W
b7	RN	電圧監視 1 リセットネゲート選択	0: $VCC > V_{det1}$ 検出時、安定時間 ( $t_{LVD1}$ ) 経過後にネゲート 1: LVD1 リセットアサート時、安定時間 ( $t_{LVD1}$ ) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

**RIE ビット (電圧監視 1 割り込み／リセット許可)**

電圧監視 1 の割り込み／リセットを許可または禁止にします。このビットが 1 に設定されている状態で、かつフラッシュメモリのプログラム／イレース中の場合には、電圧監視 1 割り込みと電圧監視 1 リセットをどちらも発生させないようにしてください。

**DFDIS ビット (電圧監視 1 デジタルフィルタ無効モード選択)**

デジタルフィルタ回路を有効にします。このビットが 0 (有効) の場合、LOCOCR.LCSTP ビットは 0 (LOCO 動作) にしてください。電圧監視 1 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで使用する場合、このビットを 1 (無効) にしてください。

**FSAMP[1:0] ビット (サンプリングクロック選択)**

LVD1CR0.DFDIS ビットが 1 (デジタルフィルタ回路無効) の場合のみ、FSAMP[1:0] ビットを書き換えてください。LVD1CR0.DFDIS ビットが 0 (デジタルフィルタ回路有効) の場合は書き換えしないでください。

**RI ビット (電圧監視 1 回路モード選択)**

RI ビットが 1 (電圧監視 1 リセット選択)、または LVD2CR0.RI ビットが 1 (電圧監視 2 リセット選択) の場合は、ディープソフトウェアスタンバイモードではなく、ソフトウェアスタンバイモードへの遷移が可能です。ディープソフトウェアスタンバイモードへ遷移するには、RI ビットを 0 (電圧監視 1 割り込み選択)、かつ LVD2CR0.RI ビットを 0 (電圧監視 2 割り込み選択) にしてください。

**RN ビット (電圧監視 1 リセットネゲート選択)**

RN ビットを 1 (LVD1 リセットアサート時、安定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは 0 (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、RN ビットは 0 ( $VCC > V_{det1}$  検出時、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 にしないでください。

## 8.2.8 電圧モニタ 2 回路コントロールレジスタ 0 (LVD2CR0)

アドレス SYSTEM.LVD2CR0 4001 E41Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	RN	RI	FSAMP[1:0]	—	CMPE	DFDIS	RIE	
リセット後の値	1	0	0	0	x	0	1	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	RIE	電圧監視2割り込み／リセット許可	0: 禁止 1: 許可	R/W
b1	DFDIS	電圧監視2デジタルフィルタ無効モード選択	0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
b2	CMPE	電圧監視2回路比較結果出力許可	0: 電圧監視2回路比較結果出力禁止 1: 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b5-b4	FSAMP[1:0]	サンプリングクロック選択	b5 b4 0 0: LOCOの2分周 0 1: LOCOの4分周 1 0: LOCOの8分周 1 1: LOCOの16分周	R/W
b6	RI	電圧監視2回路モード選択	0: $V_{det2}$ 通過時に電圧監視2割り込み発生 1: 下降して $V_{det2}$ 通過時に電圧監視2リセット許可	R/W
b7	RN	電圧監視2リセットネゲート選択	0: $VCC > V_{det2}$ 検出時、安定時間 ( $t_{LVD2}$ ) 経過後にネゲート 1: LVD2リセットアサート時、安定時間 ( $t_{LVD2}$ ) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

**RIE ビット (電圧監視 2 割り込み／リセット許可)**

電圧監視 2 の割り込み／リセットを許可または禁止にします。このビットが 1 に設定されている状態で、かつフラッシュメモリのプログラム／イレース中の場合には、電圧監視 2 割り込みと電圧監視 2 リセットをどちらも発生させないようにしてください。

**DFDIS ビット (電圧監視 2 デジタルフィルタ無効モード選択)**

デジタルフィルタ回路を有効にします。このビットが 0 (有効) の場合、LOCOCR.LCSTP ビットは 0 (LOCO 動作) にしてください。電圧監視 2 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで使用する場合、このビットを 1 (無効) にしてください。

**FSAMP[1:0] ビット (サンプリングクロック選択)**

LVD2CR0.DFDIS ビットが 1 (デジタルフィルタ回路無効) の場合のみ、FSAMP[1:0] ビットを書き換えてください。LVD2CR0.DFDIS ビットが 0 (デジタルフィルタ回路有効) の場合は書き換えないでください。

**RI ビット (電圧監視 2 回路モード選択)**

RI ビットが 1 (電圧監視 2 リセット選択)、または LVD1CR0.RI ビットが 1 (電圧監視 1 リセット選択) の場合は、ディープソフトウェアスタンバイモードではなく、ソフトウェアスタンバイモードへの遷移が可能です。ディープソフトウェアスタンバイモードへ遷移するには、RI ビットを 0 (電圧監視 2 割り込み選択)、かつ LVD1CR0.RI ビットを 0 (電圧監視 1 割り込み選択) にしてください。

**RN ビット (電圧監視 2 リセットネゲート選択)**

RN ビットを 1 (LVD2 リセットアサート時、安定時間経過後にネゲート) にする場合は、LOCOCR.LCSTP ビットは 0 (LOCO 動作) にしてください。また、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、RN ビットは 0 ( $VCC > V_{det2}$  検出時、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 (LVD2 リセットアサート時、安定時間経過後にネゲート) にしないでください。

### 8.3 VCC 入力電圧のモニタ

#### 8.3.1 $V_{det0}$ のモニタ

電圧監視 0 の比較結果は、読み出すことができません。

#### 8.3.2 $V_{det1}$ のモニタ

表 8.2 に  $V_{det1}$  のモニタの設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果をモニタできます。

表 8.2  $V_{det1}$  のモニタの設定手順

手順	電圧監視1比較結果モニタ
電圧検出1回路の設定	1 LVDLVLRLレジスタへ書き込む前に、LVCMPCLR.LVD1E = 0にして、電圧検出1回路を無効にする
	2 LVDLVLRL.LVD1LVL[4:0]ビットで検出電圧を選択する
	3 LVCMPCLR.LVD1E = 1にして、電圧検出1を有効にする
	4 $t_{d(E-A)}$ (LVD有効切り替え後のLVD動作安定時間) 以上待つ (注1)
デジタルフィルタの設定 (注2)	5 LVD1CR0.FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	6 LVD1CR0.DFDIS = 0にして、デジタルフィルタを有効にする
	7 LOCOの $2n + 3$ サイクル以上待つ (ここで、 $n = 2, 4, 8, 16$ であり、デジタルフィルタのサンプリングクロックはLOCOの $n$ 分周です)
出力許可の設定	8 LVD1CR0.CMPE = 1にして、電圧監視1の比較結果出力を許可する

注 1. 手順 4 の待ち時間中に手順 5 ~ 7 を行うことができます。 $t_{d(E-A)}$ の詳細は、「43. 電気的特性」を参照してください。

注 2. デジタルフィルタを使用しない場合、手順 5 ~ 7 は不要です。

#### 8.3.3 $V_{det2}$ のモニタ

表 8.3 に  $V_{det2}$  のモニタの設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果をモニタできます。

表 8.3  $V_{det2}$  のモニタの設定手順

手順	電圧監視2比較結果モニタ
電圧検出2回路の設定	1 LVDLVLRLレジスタへ書き込む前に、LVCMPCLR.LVD2E = 0にして、電圧検出2回路を無効にする
	2 LVDLVLRL.LVD2LVL[2:0]ビットで検出電圧を選択する
	3 LVCMPCLR.LVD2E = 1にして、電圧検出2回路を有効にする
	4 $t_{d(E-A)}$ (LVD有効切り替え後のLVD動作安定時間) 以上待つ (注1)
デジタルフィルタの設定 (注2)	5 LVD2CR0.FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	6 LVD2CR0.DFDIS = 0にして、デジタルフィルタを有効にする
	7 LOCOの $2n + 3$ サイクル以上待つ (ここで、 $n = 2, 4, 8, 16$ であり、デジタルフィルタのサンプリングクロックはLOCOの $n$ 分周です)
出力許可の設定	8 LVD2CR0.CMPE = 1にして、電圧監視2の比較結果出力を許可する

注 1. 手順 4 の待ち時間中に手順 5 ~ 7 を行うことができます。 $t_{d(E-A)}$ の詳細は、「43. 電気的特性」を参照してください。

注 2. デジタルフィルタを使用しない場合、手順 5 ~ 7 は不要です。

## 8.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFS1.LVDAS ビットを0 (リセット後、電圧監視0リセット有効) にしてください。ただし、ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視0リセットは無効です。図 8.4 に電圧監視0リセットの動作例を示します。

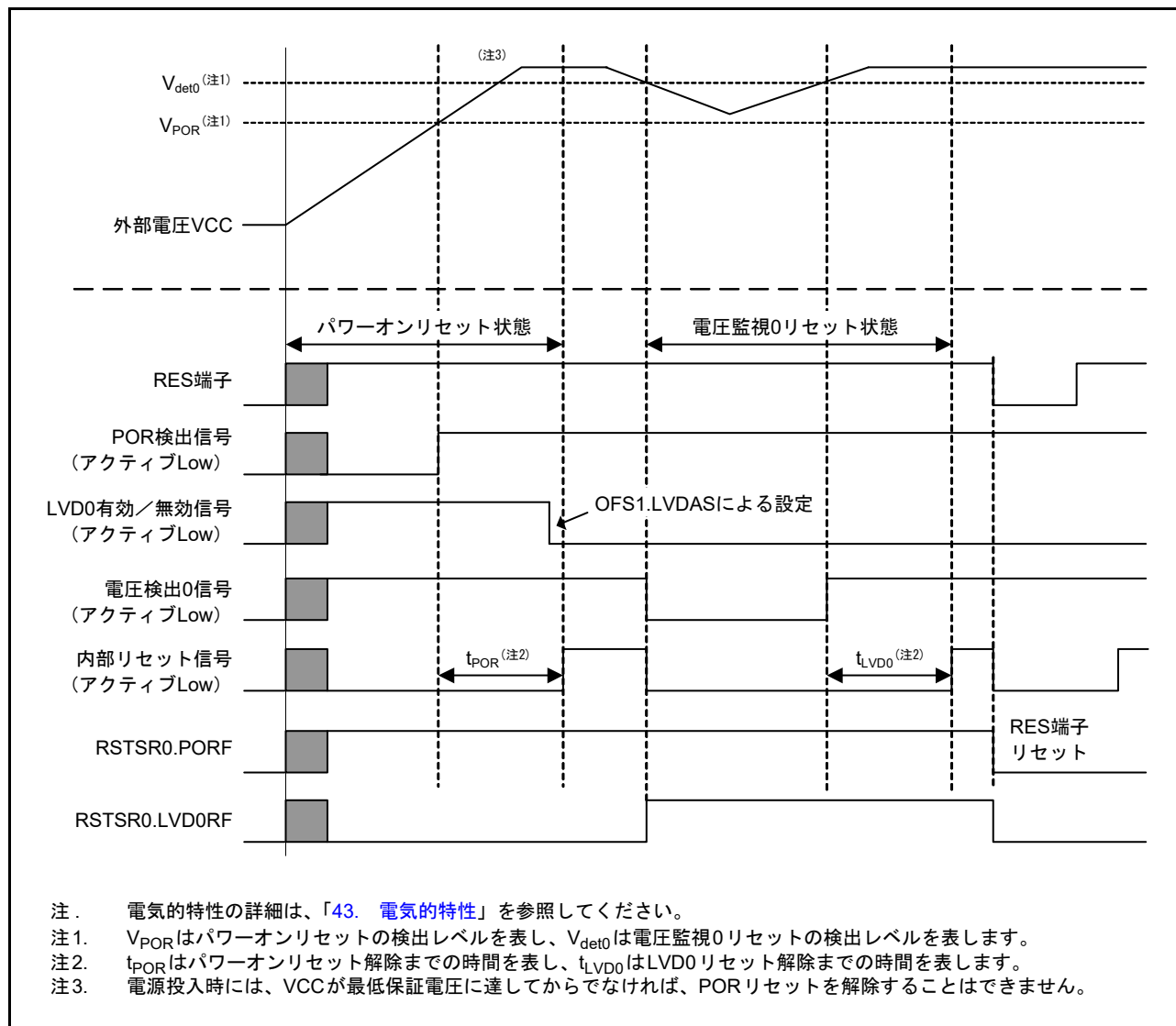


図 8.4 電圧監視0リセットの動作例

## 8.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果に基づいて、割り込みやリセットを発生させることが可能です。

表 8.4 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を示します。表 8.5 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を示します。図 8.5 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、以下の手順に従って回路を設定してください。

### (1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD1CR0.DFDIS = 1) にする
- VCC > V<sub>det1</sub> 検出時、安定時間経過後に電圧監視 1 リセット信号をネゲート (LVD1CR0.RN = 0) にする

### (2) ディープソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD1CR0.DFDIS = 1) にする
- 電圧監視 1 割り込みを許可 (LVD1CR0.RI = 0) にする。電圧監視 1 リセットを許可 (LVD1CR0.RI = 1) にすると、ディープソフトウェアスタンバイモードへの遷移はできず、ソフトウェアスタンバイモードへ遷移する
- DPSBYCR.DEEPCUT[1:0] ビットが 11b の場合は、電圧監視 1 回路が停止する。ディープソフトウェアスタンバイモードで電圧監視 1 回路を使用するには、DPSBYCR.DEEPCUT[1:0] ビットを 11b 以外にする

表 8.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)	電圧監視 1 リセット
電圧検出 1 回路の設定	1	LVDLVL レジスタへ書き込む前に、LVCMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にする
	2	LVDLVL.LVD1LVL[4:0] ビットで検出電圧を選択する
	3	LVCMPCR.LVD1E = 1 にして、電圧検出 1 回路を有効にする
	4	t <sub>d(E-A)</sub> (LVD 有効切り替え後の LVD 動作安定時間) 以上待つ (注1)
デジタルフィルタの設定 (注2)	5	LVD1CR0.FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する
	6	LVD1CR0.DFDIS = 0 にして、デジタルフィルタを有効にする
	7	LOCO の 2n + 3 サイクル以上待つ (ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO の n 分周です) (注4)
電圧監視 1 割り込み / リセットの設定	8	LVD1CR0.RI = 0 にして、電圧監視 1 割り込みを選択する <ul style="list-style-type: none"> <li>LVD1CR0.RI = 1 にして、電圧監視 1 リセットを選択する</li> <li>LVD1CR0.RN ビットでリセットネゲートの種類を選択する</li> </ul>
	9	<ul style="list-style-type: none"> <li>LVD1CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する</li> <li>LVD1CR1.IRQSEL ビットで割り込みの種類を選択する</li> </ul>
出力許可の設定	10	LVD1SR.DET = 0 にする
	11	LVD1CR0.RIE = 1 にして、電圧監視 1 割り込み / リセットを許可する (注3)
	12	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可する

注 1. 手順 4 の待ち時間中に手順 5 ~ 11 を行うことができます。t<sub>d(E-A)</sub> の詳細は、「43. 電氣的特性」を参照してください。

注 2. デジタルフィルタを使用しない場合、手順 5 ~ 7 は不要です。

注 3. ELC イベント信号のみを出力させる場合、手順 11 は不要です。

注 4. 手順 7 の待ち時間中に手順 8 ~ 11 を行うことができます。

表 8.5 電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定手順

手順	電圧監視1割り込み (電圧監視1 ELC イベント出力)、電圧監視1リセット	
出力許可停止の設定	1	LVD1CR0.CMPE = 0にして、電圧監視1の比較結果出力を禁止する
	2	LOCOの2n + 3サイクル以上待つ (ここで、n = 2, 4, 8, 16であり、デジタルフィルタのサンプリングクロックはLOCOのn分周です) (注1)
	3	LVD1CR0.RIE = 0にして、電圧監視1割り込み/リセットを禁止する (注2)
デジタルフィルタ停止の設定	4	LVD1CR0.DFDIS = 1にして、デジタルフィルタを無効にする (注1) (注3)
電圧検出1回路停止の設定	5	LVCMPCR.LVD1E = 0にして、電圧検出1回路を無効にする

注 1. デジタルフィルタを使用しない場合、手順 2 と 4 は不要です。

注 2. ELC イベント信号のみを出力させる場合、手順 3 は不要です。

注 3. デジタルフィルタを有効状態から無効にした後に再度有効にする場合、無効にしてから再度有効にするまで、LOCO クロックの 2 サイクル以上待つ必要があります。

電圧監視 1 割り込み/リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することが可能です。

- 電圧検出 1 回路の設定を変更しない場合、回路の設定または停止は不要
- デジタルフィルタの設定を変更しない場合、デジタルフィルタの設定または停止は不要
- 電圧監視 1 割り込み/リセットの設定を変更しない場合、電圧監視 1 割り込み/リセットの設定は不要

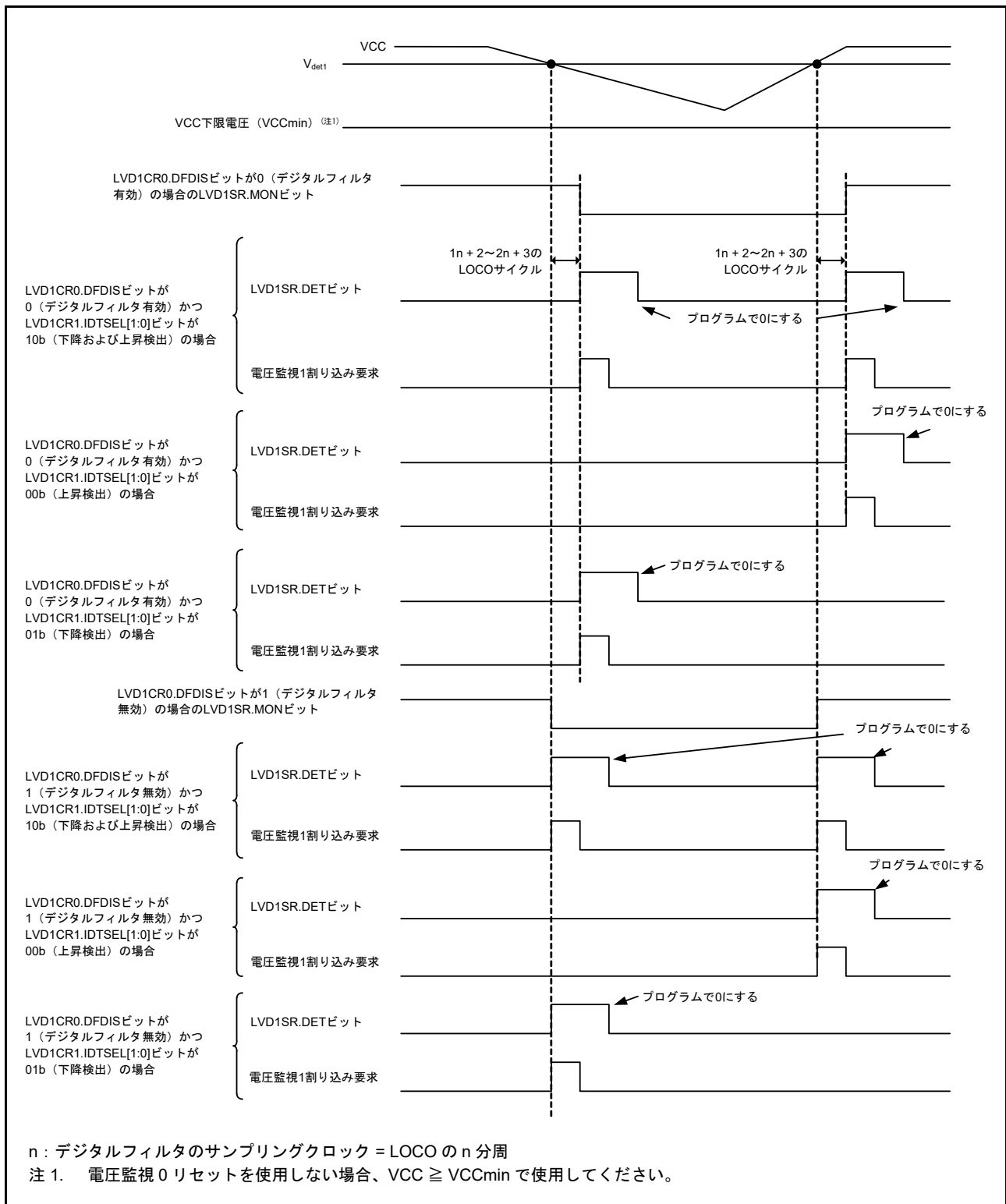


図 8.5 電圧監視 1 割り込みの動作例



## 8.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧監視 2 回路での比較結果に基づいて、割り込みやリセットを発生させることが可能です。

表 8.6 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を示します。表 8.7 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を示します。図 8.6 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで電圧監視 2 回路を使用する場合は、以下の手順に従って回路を設定してください。

### (1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD2CR0.DFDIS = 1) にする
- VCC > V<sub>det2</sub> 検出時、安定時間経過後に電圧監視 2 リセット信号をネグート (LVD2CR0.RN = 0) にする

### (2) ディープソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD2CR0.DFDIS = 1) にする
- 電圧監視 2 割り込みを許可 (LVD2CR0.RI = 0) にする。電圧監視 2 リセットを許可 (LVD2CR0.RI = 1) にすると、ディープソフトウェアスタンバイモードへの遷移はできず、ソフトウェアスタンバイモードへ遷移する
- DPSBYCR.DEEPCUT[1:0] ビットが 11b の場合は、電圧監視 2 回路が停止する。ディープソフトウェアスタンバイモードで電圧監視 2 回路を使用するには、DPSBYCR.DEEPCUT[1:0] ビットを 11b 以外にする

表 8.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)	電圧監視 2 リセット
電圧検出 2 回路の設定	1	LVDLVLRLVLR レジスタへ書き込む前に、LVCMPCLR.LVD2E = 0 にして、電圧検出 2 回路を無効にする
	2	LVDLVLRLVLR.LVD2LVL[2:0] ビットで検出電圧を選択する
	3	LVCMPCLR.LVD2E = 1 にして、電圧検出 2 回路を有効にする
	4	t <sub>d(E-A)</sub> (LVD 有効切り替え後の LVD 動作安定時間) 以上待つ (注1)
デジタルフィルタの設定 (注2)	5	LVD2CR0.FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する
	6	LVD2CR0.DFDIS = 0 にして、デジタルフィルタを有効にする
	7	LOCO の 2n + 3 サイクル以上待つ (ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO の n 分周です) (注4)
電圧監視 2 割り込み / リセットの設定	8	LVD2CR0.RI = 0 にして、電圧監視 2 割り込みを選択する
	9	<ul style="list-style-type: none"> <li>LVD2CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する</li> <li>LVD2CR1.IRQSEL ビットで割り込みの種類を選択する</li> </ul>
出力許可の設定	10	LVD2SR.DET = 0 にする
	11	LVD2CR0.RIE = 1 にして、電圧監視 2 割り込み / リセットを許可する (注3)
	12	LVD2CR0.CMPE = 1 にして、電圧監視 2 の比較結果出力を許可する

注 1. 手順 4 の待ち時間中に手順 5 ~ 11 を行うことができます。t<sub>d(E-A)</sub> の詳細は、「43. 電気的特性」を参照してください。

注 2. デジタルフィルタを使用しない場合、手順 5 ~ 7 は不要です。

注 3. ELC イベント信号のみを出力させる場合、手順 11 は不要です。

注 4. 手順 7 の待ち時間中に手順 8 ~ 11 を行うことができます。

表 8.7 電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定手順

手順	電圧監視2割り込み (電圧監視2 ELC イベント出力)、電圧監視2リセット	
出力許可停止の設定	1	LVD2CR0.CMPE = 0にして、電圧監視2の比較結果出力を禁止する
	2	LOCOの2n + 3サイクル以上待つ (ここで、n = 2, 4, 8, 16であり、デジタルフィルタのサンプリングクロックはLOCOのn分周です) (注1)
	3	LVD2CR0.RIE = 0にして、電圧監視2割り込み/リセットを禁止する (注2)
デジタルフィルタ停止の設定	4	LVD2CR0.DFDIS = 1にして、デジタルフィルタを無効にする (注1) (注3)
電圧検出2回路停止の設定	5	LVCMPCR.LVD2E = 0にして、電圧検出2回路を無効にする

注 1. デジタルフィルタを使用しない場合、手順 2 と 4 は不要です。

注 2. ELC イベント信号のみを出力させる場合、手順 3 は不要です。

注 3. デジタルフィルタを有効状態から無効にした後に再度有効にする場合、無効にしてから再度有効にするまで、LOCO の 2 サイクル以上待つ必要があります

電圧監視 2 割り込み/リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することが可能です。

- 電圧検出 2 回路の設定を変更しない場合、回路の設定または停止は不要
- デジタルフィルタの設定を変更しない場合、デジタルフィルタの設定または停止は不要
- 電圧監視 2 割り込み/リセットの設定を変更しない場合、電圧監視 2 割り込み/リセットの設定は不要

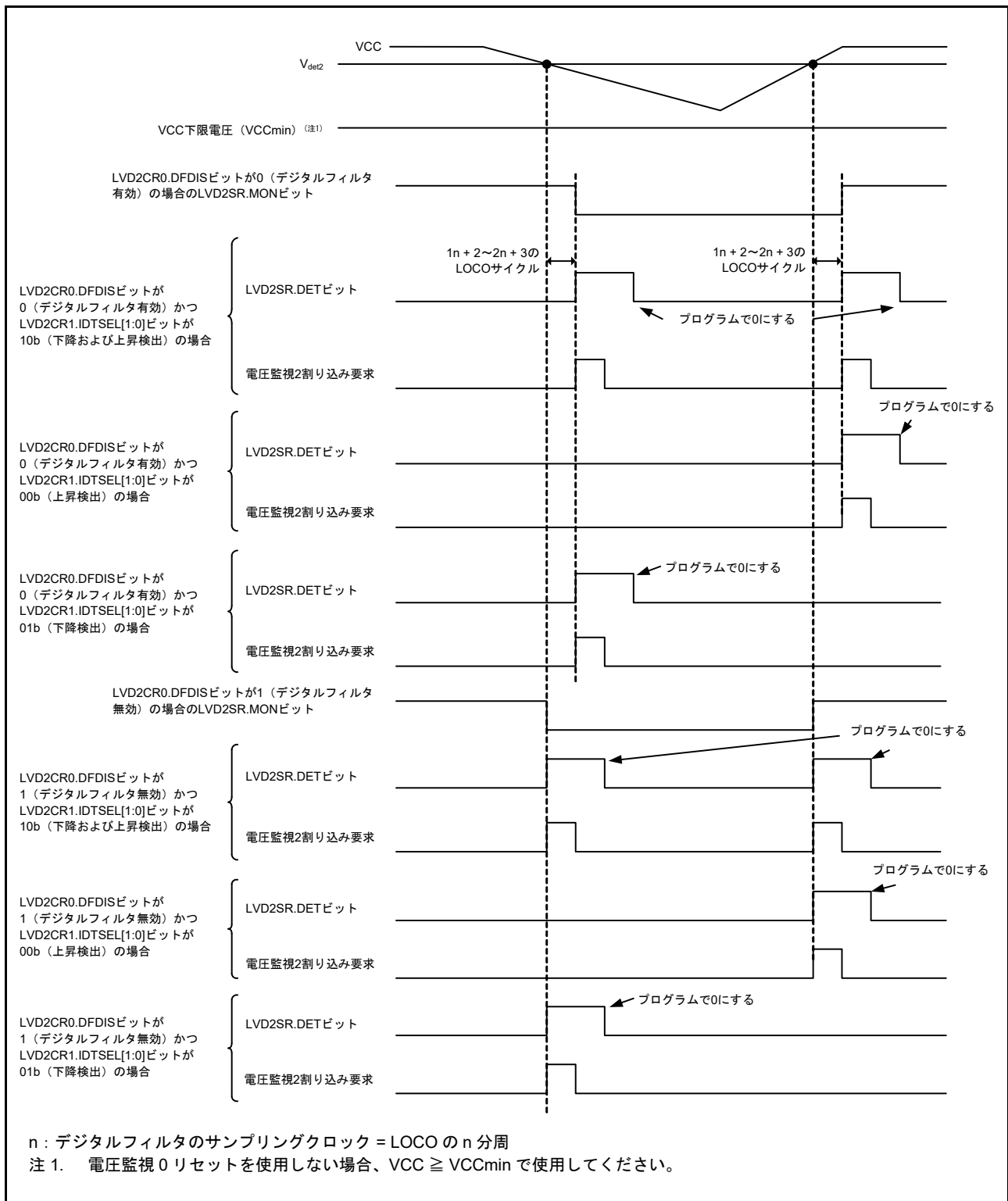


図 8.6 電圧監視 2 割り込みの動作例

## 8.7 イベントリンク出力

LVDは、イベントリンクコントローラ (ELC) に対してイベント信号出力が可能です。

### (1) $V_{det1}$ 通過検出イベント

電圧検出1回路有効かつ電圧監視1回路比較結果出力許可の状態において、電圧の $V_{det1}$ 通過を検出した場合、LVDはイベント信号を出力します。

### (2) $V_{det2}$ 通過検出イベント

電圧検出2回路有効かつ電圧監視2回路比較結果出力許可の状態において、電圧の $V_{det2}$ 通過を検出した場合、LVDはイベント信号を出力します。

LVDのイベントリンク出力機能を有効にする場合、LVDを有効にしてから、ELC側のLVDイベントリンク機能を有効にする必要があります。LVDのイベントリンク出力機能を停止する場合は、LVDの停止設定を行う前に、ELC側のLVDイベントリンク機能を無効にしてください。

### 8.7.1 割り込み処理とイベントリンクの関係

LVDには、電圧監視1割り込みと電圧監視2割り込みのそれぞれに割り込み許可/禁止を制御するビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合は、割り込み信号(LVD1CR0.RIEまたはLVD2CR0.RIE)がCPUへ出力されます。

一方、割り込み要因が発生するとすぐに、割り込み許可ビットの状態にかかわらず、イベントリンク信号がイベント信号として、ELCを介して他のモジュールに出力されます。

ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードにおいても、電圧監視1割り込み信号および電圧監視2割り込み信号を出力することが可能です。ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードでは、ELC用のイベント信号が以下のように出力されます。

- ソフトウェアスタンバイモード期間中に $V_{det1}$ または $V_{det2}$ 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないためELC用のイベント信号は出力されない。 $V_{det1}$ および $V_{det2}$ 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、 $V_{det1}$ および $V_{det2}$ 検出フラグの状態に従ってELC用のイベント信号が出力される
- ディープソフトウェアスタンバイモード期間中に $V_{det1}$ または $V_{det2}$ 通過イベントを検出した場合、ELC用のイベント信号は出力されない

## 9. クロック発生回路

### 9.1 概要

本 MCU はクロック発生回路を内蔵しています。

表 9.1 および表 9.2 に、クロック発生回路の仕様を示します。図 9.1 にブロック図を、表 9.3 に入出力端子を示します。

表 9.1 クロック発生回路の仕様 (クロックソース)

クロックソース	項目	内容
メインクロック 発振器 (MOSC)	発振子周波数	8 ~ 24MHz
	外部クロック入力周波数	最大24MHz
	外部発振子または付加回路: セラミック発振子、水晶振動子	あり
	接続端子: EXTAL、XTAL	
	駆動能力切り替え 発振停止検出機能	
サブクロック発振器 (SOSC)	発振子周波数	32.768kHz
	外部発振子または付加回路: 水晶振動子	あり
	接続端子: XCIN、XCOUT 駆動能力切り替え	
PLL回路	入力クロックソース	MOSC、HOCO
	入力分周比	1、2、3分周から選択可能
	入力周波数	8 ~ 24MHz
	逡倍比	10 ~ 30逡倍から選択可能 (0.5ステップ単位)
	PLL出力周波数	120 ~ 240MHz
高速オンチップ オシレータ (HOCO)	発振周波数	16、18、20MHz
	ユーザトリミング	あり
中速オンチップ オシレータ (MOCO)	発振周波数	8MHz
	ユーザトリミング	あり
低速オンチップ オシレータ (LOCO)	発振周波数	32.768kHz
	ユーザトリミング	あり
IWDT専用 オンチップ オシレータ (IWDTLOCO)	発振周波数	15kHz
JTAG用外部 クロック入力 (TCK)	入力クロック周波数	最大25MHz
SWD用外部 クロック入力 (SWCLK)	入力クロック周波数	最大25MHz

表 9.2 クロック発生回路の仕様（内部クロック）

項目	クロックソース	クロック供給	内容
システムクロック (ICLK)	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	CPU, DTC, DMAC、フラッシュ、SRAM	最大120MHz 分周比：1、2、4、8、16、32、64
周辺モジュールクロック A (PCLKA)	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	周辺モジュール (SPI、SCI、SCE7、CRC、IrDA、GPTバスクロック)	最大120MHz 分周比：1、2、4、8、16、32、64
周辺モジュールクロック B (PCLKB)	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	周辺モジュール (IIC、DOC、CAC、CAN、DAC12、POEG、AGT、ELC、I/Oポート、WDT、IWDT、ADC12、KINT、ACMPHS、TSN)	最大60MHz 分周比：1、2、4、8、16、32、64
周辺モジュールクロック C (PCLKC)	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	周辺モジュール (ADC12変換クロック)	最大60MHz 分周比：1、2、4、8、16、32、64
周辺モジュールクロック D (PCLKD)	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	周辺モジュール (GPTカウントクロック)	最大120MHz 分周比：1、2、4、8、16、32、64
フラッシュインタフェースクロック (FCLK)	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	フラッシュインタフェース	4~60MHz (P/E) 最大60MHz (読み出し) (注1) 分周比：1、2、4、8、16、32、64
CANクロック (CANMCLK)	MOSC	CAN	8~24MHz
AGTクロック (AGTSCLK、AGTLCLK)	SOSC, LOCO	AGT	32.768kHz
CACメインクロック (CACMCLK)	MOSC	CAC	最大24MHz
CACサブクロック (CACSCLK)	SOSC	CAC	32.768kHz
CAC LOCOクロック (CACLCLK)	LOCO	CAC	32.768kHz
CAC MOCOクロック (CACMOCLK)	MOCO	CAC	8MHz
CAC HOCOクロック (CACHCLK)	HOCO	CAC	16、18、20MHz
CAC IWDTLOCOクロック (CACILCLK)	IWDTLOCO	CAC	15kHz
IWDTクロック (IWDTCLK)	IWDTLOCO	IWDT	15kHz
SysTickタイマクロック (SYSTICCLK)	LOCO	SysTickタイマ	32.768kHz
JTAGクロック (JTAGTCK)	TCK端子	JTAG	最大25MHz
クロックおよびブザー出力 (CLKOUT)	MOSC, SOSC, LOCO, MOCO, HOCO	CLKOUT端子	最大24MHz 分周比：1、2、4、8、16、32、64、128
シリアルワイヤクロック (SWCLK)	SWCLK端子	OCD	最大25MHz
トレースクロック (TRCLK)	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	CPU-OCD	最大60MHz 分周比：1、2、4
TCLK端子出力 (TCLK)	TRCLKの2分周	TCLK端子	最大30MHz

注． クロック周波数の設定に関する制限：ICLK  $\geq$  PCLKA  $\geq$  PCLKB、PCLKD  $\geq$  PCLKA  $\geq$  PCLKB  
 クロック周波数比に関する制限（N：整数、最大64）：  
 ICLK:FCLK = N:1、ICLK:PCLKA = N:1、ICLK:PCLKB = N:1  
 ICLK:PCLKC = N:1 または 1:N、ICLK:PCLKD = N:1 または 1:N  
 A/Dコンバータが有効な場合のクロック周波数比に関する制限：  
 PCLKB:PCLKC = 1:1、1:2、1:4、2:1、4:1、または 8:1

- 注． クロックには、許容周波数範囲があります。表 9.2 を参照してください。  
フラッシュメモリにも、各ウェイトサイクルの設定値に許容動作周波数範囲があります。「41. フラッシュメモリ」を参照してください。  
これらのクロック周波数範囲は、HOCO 自身に最大または最小周波数があったとしても、必ず満たす必要があります。「43. 電気的特性」を参照してください。
- 注． PLL 基準クロックソースが HOCO の場合、PLL 逡倍の設定値は、HOCO 周波数（最小／最大値）を考慮して 120 ～ 240MHz に設定する必要があります。
- 注 1. プログラム／イレース（P/E）モードでの最小 FCLK 周波数は 4MHz です。

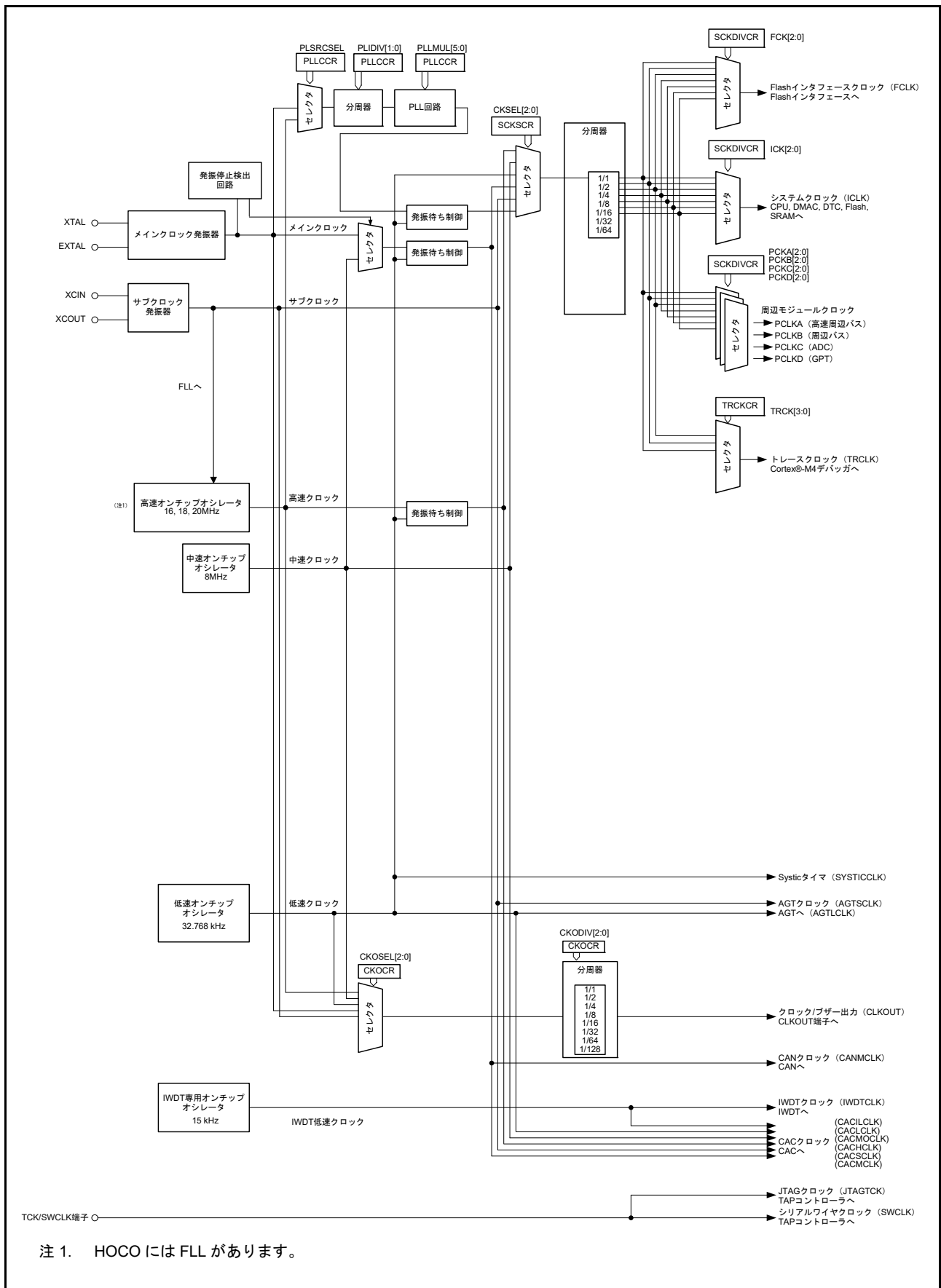


図 9.1 クロック発生回路のブロック図



表 9.3 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	水晶振動子用の接続端子。EXTAL端子は外部クロックの入力にも使用可能です。 詳細は、 <a href="#">9.3.2 外部クロックを入力する方法</a> を参照してください。
EXTAL	入力	
XCIN	入力	32.768kHz水晶振動子用の接続端子
XCOU	出力	
TCK/SWCLK	入力	JTAG用のクロック入力
CLKOUT	出力	CLKOUT/BUZZERクロック用の出力端子

## 9.2 レジスタの説明

## 9.2.1 システムクロック分周コントロールレジスタ (SCKDIVCR)

アドレス SYSTEM.SCKDIVCR 4001 E020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	FCK[2:0]			—	ICK[2:0]			—	—	—	—	—	—	—	—	
リセット後の値	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	PCKA[2:0]			—	PCKB[2:0]			—	PCKC[2:0]			—	PCKD[2:0]			
リセット後の値	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	PCKD[2:0]	周辺モジュールクロックD (PCLKD) 選択(注3)	b2 b0 0 0 0 : 1分周 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 1 1 0 : 64分周 上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	PCKC[2:0]	周辺モジュールクロックC (PCLKC) 選択(注3)	b6 b4 0 0 0 : 1分周 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 1 1 0 : 64分周 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	PCKB[2:0]	周辺モジュールクロックB (PCLKB) 選択(注2)	b10 b8 0 0 0 : 1分周 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 1 1 0 : 64分周 上記以外は設定しないでください。	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b12	PCKA[2:0]	周辺モジュールクロックA (PCLKA) 選択(注2)	b14 b12 0 0 0 : 1分周 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 1 1 0 : 64分周 上記以外は設定しないでください。	R/W
b16-b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b23-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b26-b24	ICK[2:0]	システムクロック (ICLK) 選択 (注1) (注2) (注3) (注4)	b26 b24 0 0 0 : 1分周 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 1 1 0 : 64分周 上記以外は設定しないでください。	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b30-b28	FCK[2:0]	フラッシュインタフェースクロック (FCLK) 選択(注1)	b30 b28 0 0 0 : 1分周 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 1 1 0 : 64分周 上記以外は設定しないでください。	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. システムクロック (ICLK) とフラッシュインタフェースクロック (FCLK) との間には次の周波数関係が必要です。  
ICLK:FCLK = N:1 (N : 整数)  
ICLK < FCLK となる設定は無視されます。
- 注 2. システムクロック (ICLK) と周辺モジュールクロック (PCLKA, PCLKB) の間には次の周波数関係が必要です。  
ICLK:PCLKA = N:1, ICLK:PCLKB = N:1 (N : 整数)  
ICLK < PCLKA または ICLK < PCLKB となる設定は無視されます。
- 注 3. システムクロック (ICLK) と周辺モジュールクロック (PCLKC, PCLKD) の間には次の周波数関係が必要です。  
ICLK:PCLKC = N:1 または 1:N, ICLK:PCLKD = N:1 または 1:N (N : 整数)
- 注 4. システムクロック (ICLK) の周波数は、フラッシュウェイトサイクルレジスタ (FLWT) によって制限されます。「41. フラッシュメモリ」を参照してください。

SCKDIVCR レジスタは、システムクロック (ICLK)、周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)、およびフラッシュインタフェースクロック (FCLK) の周波数を選択するレジスタです。

クロックソースとして PLL を選択した場合、以下のモジュールをモジュールストップ状態に設定してから SCKDIVCR の値を変更してください。

- SCE7
- GPT32EH
- GPT32E

また、SCKDIVCR の値を低い分周比から高い分周比に変更する場合、事前に少なくとも 750ns 待機してください。高い分周比から低い分周比に値を変更した場合は、値の変更後、少なくとも 250ns 待機してから、次の処理を開始してください。

待機時間の計測にはソフトウェアを使用することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。

図 9.2 に、SCKDIVCR の値の変更フロー例を示します。

#### PCKD[2:0] ビット (周辺モジュールクロック D (PCLKD) 選択)

周辺モジュールクロック D (PCLKD) の周波数を選択します。

#### PCKC[2:0] ビット (周辺モジュールクロック C (PCLKC) 選択)

周辺モジュールクロック C (PCLKC) の周波数を選択します。

#### PCKB[2:0] ビット (周辺モジュールクロック B (PCLKB) 選択)

周辺モジュールクロック B (PCLKB) の周波数を選択します。

**PCKA[2:0] ビット (周辺モジュールクロック A (PCLKA) 選択)**

周辺モジュールクロック A (PCLKA) の周波数を選択します。

**ICK[2:0] ビット (システムクロック (ICK) 選択)**

CPU、DMAC、および DTC 用システムクロックの周波数を選択します。

**FCK[2:0] ビット (フラッシュインタフェースクロック (FCLK) 選択)**

フラッシュインタフェースクロック (FCLK) の周波数を選択します。

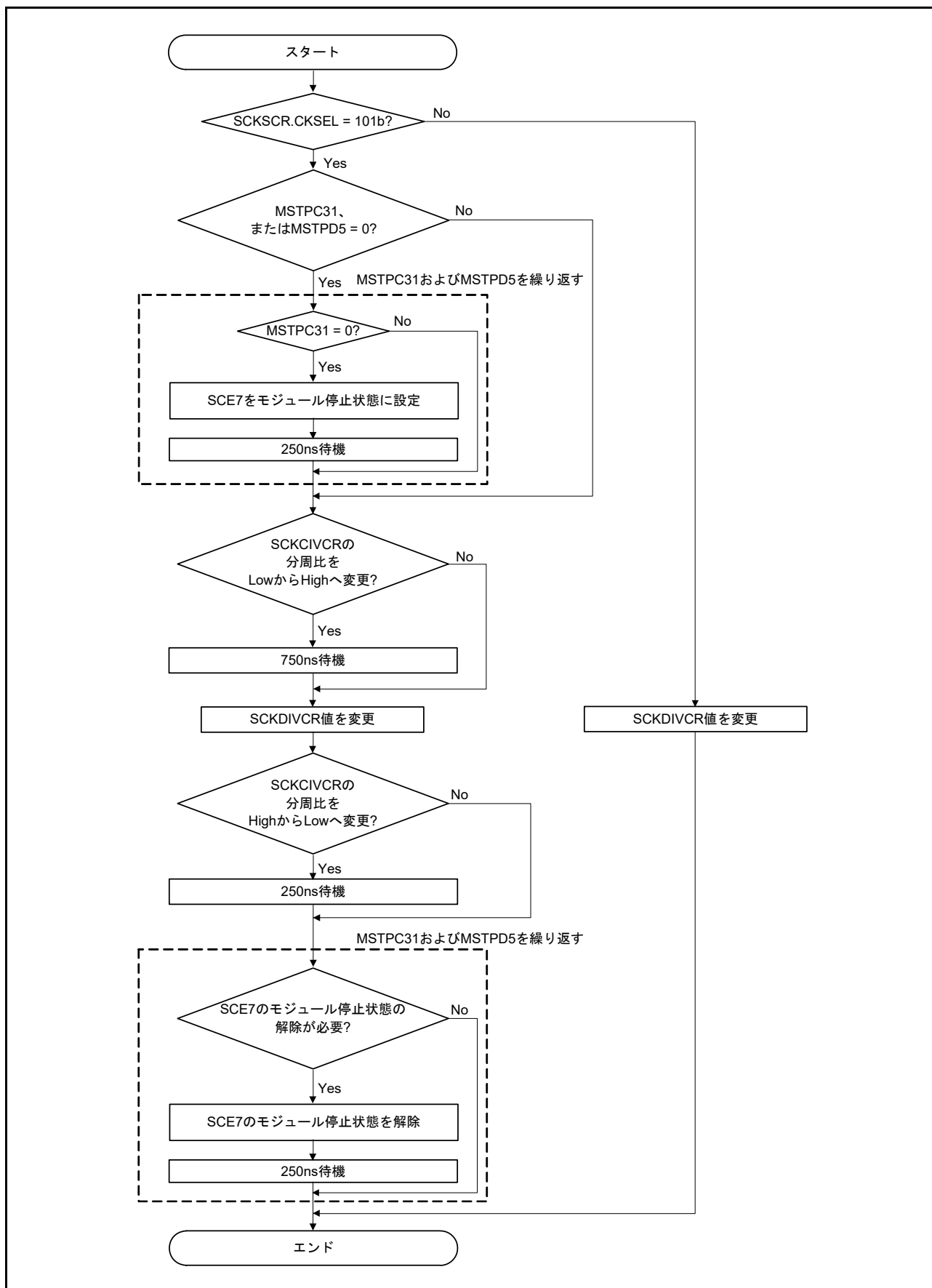
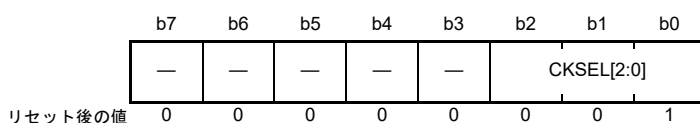


図 9.2 SCKDIVCR 値の変更フロー例

## 9.2.2 システムクロックソースコントロールレジスタ (SCKSCR)

アドレス SYSTEM.SCKSCR 4001 E026h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKSEL[2:0]	クロックソース選択	b2 b0 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: メインクロック発振器 1 0 0: サブクロック発振器 1 0 1: PLL 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. SCKSCR レジスタに書き込むときは、8ビットアクセスで書き込んでください。

SCKSCR レジスタは、システムクロックのクロックソースを選択するレジスタです。

PLL を選択または非選択するために SCKSCR の値を変更するときは、下記モジュールをモジュールストップ状態に設定してから SCKSCR の値を変更してください。

- SCE7
- GPT32EH
- GPT32E

また、SCKSCR の値を PLL から別のクロックソースへ変更する場合、少なくとも 750ns 待機してから値を変更してください。PLL 以外のクロックソースから PLL に値を変更するときは、値の変更後に少なくとも 250ns 待機してから次の処理を開始してください。

待機時間の計測にはソフトウェアを使用することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。

図 9.3 に、SCKSCR の値の変更フロー例を示します。

### CKSEL[2:0] ビット (クロックソース選択)

下記モジュールのクロックソースを選択します。

- システムクロック (ICLK)
- 周辺モジュールクロック (PCLKA、PCLKB、PCLKC、および PCLKD)
- フラッシュインタフェースクロック (FCLK)

下記のクロックソースから1つ選択します。

- 低速オンチップオシレータ (LOCO)
- 中速オンチップオシレータ (MOCO)
- 高速オンチップオシレータ (HOCO)
- メインクロック発振器
- サブクロック発振器
- PLL 回路

内部非同期割り込みが発生していないときに、クロックソースの切り替えを行ってください。停止しているクロックソースへの切り替えは禁止です。

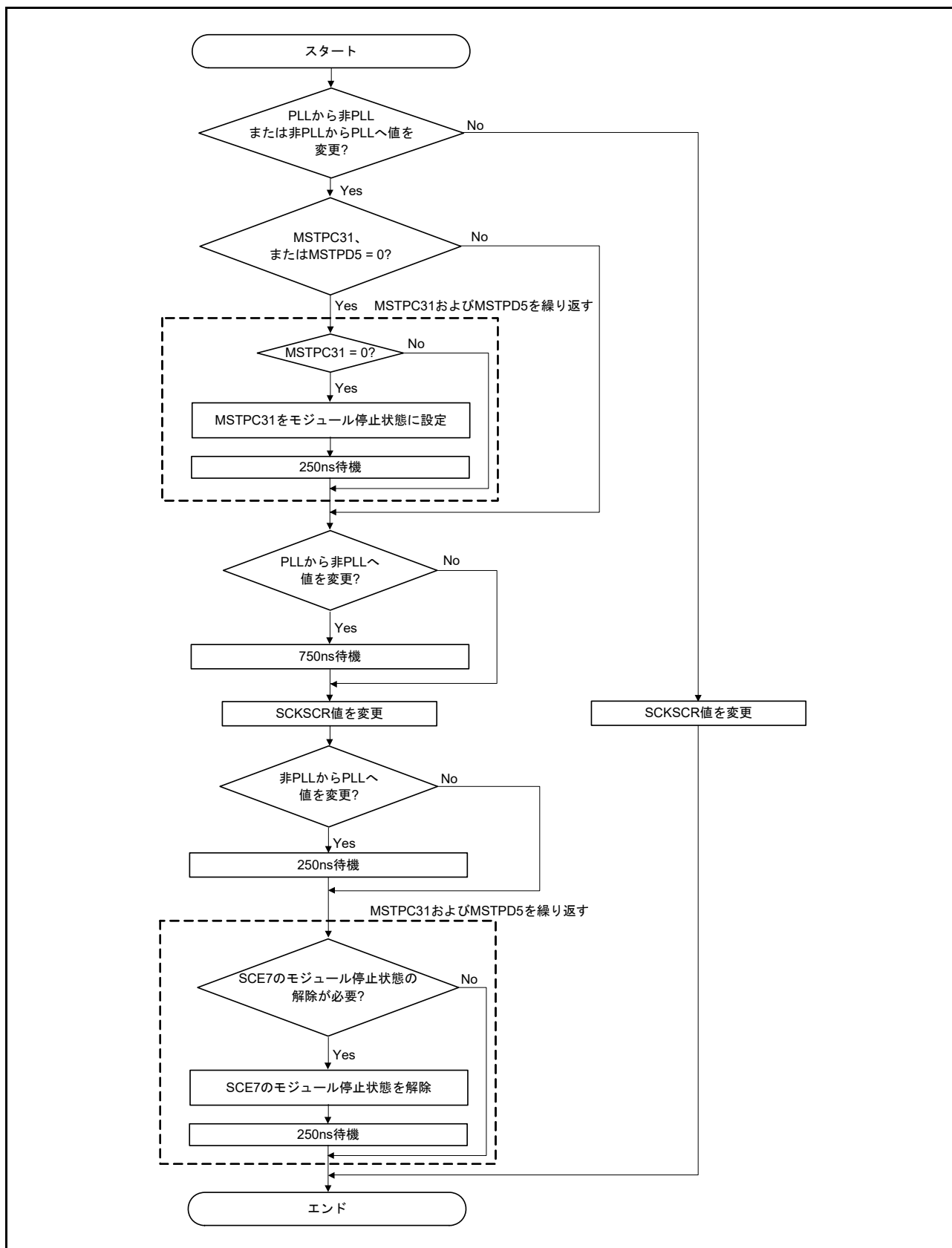
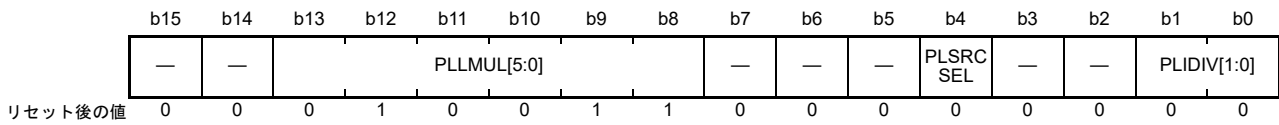


図 9.3 SCKSCR 値変更のフロー例



### 9.2.3 PLL クロックコントロールレジスタ (PLLCCR)

アドレス SYSTEM.PLLCCR 4001 E028h



ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択 (注1)	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 3分周 1 1 : 設定禁止	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PLSRCSEL	PLLクロックソース選択	0 : メインクロック発振器 (注3) 1 : HOCO	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b8	PLLMUL[5:0]	PLL周波数通倍率選択 (注2)	b13 b8 0 1 0 0 1 1 : 10.0倍 0 1 0 1 0 0 : 10.5倍 0 1 0 1 0 1 : 11.0倍 : 0 1 1 1 0 0 : 14.5倍 0 1 1 1 0 1 : 15.0倍 0 1 1 1 1 0 : 15.5倍 : 1 1 1 0 1 0 : 29.5倍 1 1 1 0 1 1 : 30.0倍 上記以外は設定しないでください。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. PLIDIV[1:0] ビットは、PLLの入力周波数が表 9.1 に示す範囲に収まるように設定する必要があります。

注2. PLLMUL[5:0] ビットは、PLL の出力周波数が表 9.1 に示す範囲に収まるように設定する必要があります。

注3. PLSRCSEL ビットは、UCLK 使用時には0にする必要があります。

PLLCCR レジスタは、PLL 回路の動作を設定するレジスタです。PLL が動作中 (PLLCCR.PLLSTP ビットが0) の場合、PLLCCR レジスタへの書き込みは禁止です。

#### PLIDIV[1:0] ビット (PLL 入力分周比選択)

PLL クロックソースの分周比を選択します。

#### PLSRCSEL ビット (PLL クロックソース選択)

PLL のクロックソースを選択します。

#### PLLMUL[5:0] ビット (PLL 周波数通倍率選択)

PLL 回路の周波数通倍率を選択します。

## 9.2.4 PLL コントロールレジスタ (PLLCR)

アドレス SYSTEM.PLLCR 4001 E02Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	PLLST P
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLSTP	PLL停止制御	0 : PLL動作 1 : PLL停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PLLCR レジスタは、PLL 回路の動作を制御するレジスタです。

### PLLSTP ビット (PLL 停止制御)

PLL 回路を起動または停止させます。PLLCCR.PLSRCSEL ビットで、PLL のクロックソースとしてメインクロック発振器を選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) も設定する必要があります。

PLLSTP ビットを 0 にした後、OSCSF.PLLSF ビットが 1 になっていることを確認してから、PLL クロックを使用してください。PLL を動作するように設定してから、発振が安定するまでに一定の時間を要します。PLL 動作が停止してから、発振が停止するまでにも一定の時間を要します。

PLL 動作の開始および停止に関しては、以下の制限があります。

- PLL の停止後、動作を再開させる前に OSCSF.PLLSF ビットが 0 であることを確認すること
- PLL を停止させる前に、PLL が動作していること、および OSCSF.PLLSF ビットが 1 であることを確認すること
- PLL クロックをシステムクロックとして選択しているかどうかにかかわらず、PLL を動作させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 1 になっていることを確認した上で WFI 命令を実行すること
- PLL を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 0 になっていることを確認した上で WFI 命令を実行すること

以下の条件下で PLLSTP ビットに 1 を書き込むことは禁止です。

- SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL)

PLLSTP に 0 を書き込む前に、以下の条件が適用されていることを確認してください。

- PLL クロックソース = MOSC の場合、OSCSF.MOSCSF ビット = 1
- PLL クロックソース = HOCO の場合、OSCSF.HOCOSF ビット = 1

## 9.2.5 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス SYSTEM.MOSCCR 4001 E032h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止	0: メインクロック発振器動作 (注1) 1: メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. MOSTP を0にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御するレジスタです。

### MOSTP ビット (メインクロック発振器停止)

メインクロック発振器を起動または停止させます。メインクロック発振器を動作させるには、本ビットを0にします。本ビットの値を変更する場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

メインクロック発振器を使用する場合は、MOSTP ビットを0にする前に、メインクロック発振器モード発振コントロールレジスタ (MOMCR) およびメインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) を設定する必要があります。

MOSTP ビットを0にした後、OSCSF.MOSCSF ビットが1になっていることを確認してから、メインクロック発振器を使用してください。メインクロック発振器を動作するように設定してから、発振が安定するまでに一定の待ち時間を要します。メインクロック発振器が停止してから、発振が停止するまでにも一定の時間を要します。

メインクロック発振器の動作の開始および停止に関しては、以下の制限があります。

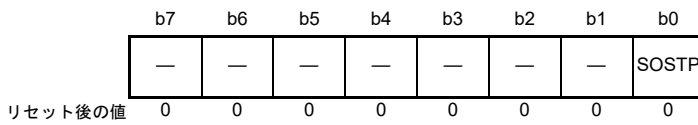
- メインクロック発振器の停止後、動作を再開させる前に OSCSF.MOSCSF ビットが0であることを確認すること
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OSCSF.MOSCSF ビットが1であることを確認すること
- メインクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、MOSTP ビットでメインクロック発振器を動作設定にしてソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが1になっていることを確認した上で WFI 命令を実行すること
- メインクロック発振器を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが0になっていることを確認した上で WFI 命令を実行すること

以下の条件下で MOSTP ビットに1を書き込むことは禁止です。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC)
- PLLCCR.PLSRCSEL = 0 (PLL ソースクロック = MOSC) および SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL)
- PLLCCR.PLSRCSEL = 0 (PLL ソースクロック = MOSC) および PLLCR.PLLSTP = 0 (PLL 動作)

## 9.2.6 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス SYSTEM.SOSCCR 4001 E480h



ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止	0 : サブクロック発振器動作 (注1) 1 : サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SOSTP を 0 にする前に、SOMCR レジスタを設定する必要があります。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

### SOSTP ビット (サブクロック発振器停止)

サブクロック発振器を起動または停止させます。

本ビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。周辺モジュールに対するソースとしてサブクロック発振器を使用する場合、SOSTP ビットを使用します。

サブクロック発振器を使用する場合は、SOSTP ビットを 0 にする前に、サブクロック発振器モードコントロールレジスタ (SOMCR) を設定する必要があります。

SOSTP ビットを 0 にした後、必ずサブクロック発振安定待機時間 ( $t_{SUBOSCWT}$ ) が経過してから、サブクロック発振器を使用してください。サブクロック発振器を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでも一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- サブクロック発振器の停止後、動作を再開させるまでに SOSC クロックで 5 サイクル以上の待ち時間が必要
- サブクロック発振器を停止させる前に、サブクロック発振器の発振が安定していることを確認すること
- サブクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、サブクロック発振器の発振が安定していることを確認した上で WFI 命令を実行すること
- サブクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、SOSC クロックで 3 サイクル以上待った後、WFI 命令を実行すること

以下の条件下で SOSTP ビットに 1 を書き込むことは禁止です。

- SCKSCR.CKSEL[2:0] = 100b (システムクロックソース = SOSC)

## 9.2.7 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス SYSTEM.LOCOCR 4001 E490h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止	0 : LOCOクロック動作 1 : LOCOクロック停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

LOCOCR レジスタは、LOCO クロックを制御するレジスタです。

### LCSTP ビット (LOCO 停止)

LOCO クロックを起動または停止させます。

LCSTP ビットを 0 にして LOCO クロックを起動した後、必ず LOCO クロック発振安定待機時間 (tLOCOWT) が経過してから、LOCO クロックを使用してください。LOCO クロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでも一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- LOCO クロックの停止後、動作を再開させるまでに LOCO クロックで 5 サイクル以上の待ち時間が必要
- LOCO クロックを停止させる前に、LOCO クロックの発振が安定していることを確認すること
- LOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックの発振が安定していることを確認した上で WFI 命令を実行すること
- LOCO クロックを停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックで 3 サイクル以上待った後、WFI 命令を実行すること

以下の条件下で LCSTP ビットに 1 を書き込むことは禁止です。

- SCKSCR.CKSEL[2:0] = 010b (システムクロックソース = LOCO)

LOCO クロックは他の発振器の待機時間を計測しているため、LOCOCR.LCSTP ビットの設定値にかかわらず、待機時間の計測中は LOCO クロックが発振しています。そのため、LCSTP ビットが停止に設定されていても、意図せず LOCO クロックが供給される場合があります。

## 9.2.8 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス SYSTEM.HOCOOCR 4001 E036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止	0 : HOCOクロック動作 (注2) 1 : HOCOクロック停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. OFS1.HOCOEN ビットが0のとき、HCSTP ビットのリセット後の値は0になります。OFS1.HOCOEN ビットが1のとき、本ビットのリセット後の値は1になります。

注2. HOCO を使用する場合 (HCSTP = 0)、OFS1.HOCOFREQ[1:0] ビットを最適な値に設定する必要があります。

HOCOOCR レジスタは、HOCO クロックを制御するレジスタです。

### HCSTP ビット (HOCO 停止)

HOCO クロックを起動または停止させます。

HCSTP ビットで HOCO が動作するように変更した場合、必ず OSCSF.HOCOSF ビットが1になっていることを確認してから、このクロックを使用してください。OFS1.HOCOEN ビットが0になっている場合、HCSTP ビットを0にして HOCO クロックを起動した後、HOCO クロックを使用してください。HOCO クロックを動作するように設定してから、発振が安定するまでに一定の待ち時間を要します。また、発振が停止するまでも一定の時間を要します。HOCO を動作させるには、HOCO ウェイトコントロールレジスタ (HOCOWTCR) も設定してください。

動作の開始および停止に関しては、以下の制限があります。

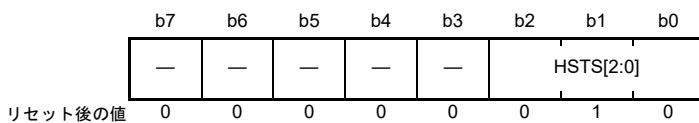
- HOCO クロックの停止後、動作を再開させる前に OSCSF.HOCOSF ビットが0であることを確認すること
- HOCO クロックを停止させる前に、HOCO クロックが動作していること、および OSCSF.HOCOSF ビットが1であることを確認すること
- HOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、HCSTP ビットで HOCO を動作設定にしてソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが1になっていることを確認した上で WFI 命令を実行すること
- HOCO クロックを停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが0になっていることを確認した上で WFI 命令を実行すること

以下の条件下で HCSTP ビットに1を書き込むことは禁止です。

- SCKSCR.CKSEL[2:0] = 000b (システムクロックソース = HOCO)
- PLLCCR.PLSRCSEL = 1 (PLL ソースクロック = HOCO) および SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL)
- PLLCCR.PLSRCSEL = 1 (PLL ソースクロック = HOCO) および PLLCR.PLLSTP = 0 (PLL 動作)

### 9.2.9 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)

アドレス SYSTEM.HOCOWTCR 4001 E0A5h



ビット	シンボル	ビット名	機能	R/W
b2-b0	HSTS[2:0]	HOCO待機時間設定	待機時間 (s) = (HSTS[2:0]設定値 + 3)/f <sub>LOCO</sub>	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

#### HSTS[2:0] ビット (HOCO 待機時間設定)

スヌーズモードで SCI0 を使用している場合以外は、HSTS[2:0] ビットを 110b にしてください。スヌーズモードで SCI0 を使用している場合は、当該ビットを 010b にしてください。

## 9.2.10 中速オンチップオシレータコントロールレジスタ (MOCO CR)

アドレス SYSTEM.MOCO CR 4001 E038h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	MCSTP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MCSTP	MOCO停止	0 : MOCOクロック動作 1 : MOCOクロック停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MOCO CR レジスタは、MOCO クロックを制御するレジスタです。

**MCSTP ビット (MOCO 停止)**

MOCO クロックを起動または停止させます。

MCSTP ビットを 0 にして MOCO クロックを起動した後、必ず MOCO クロック発振安定時間 (tMOCOWT) が経過してから、MOCO クロックを使用してください。MOCO クロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。MCSTP ビットを 1 に設定してから、発振が停止するまでも一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- MOCO クロックの停止後、動作を再開させるまでに MOCO クロックで 5 サイクル以上の待ち時間が必要
- MOCO クロックを停止させる前に、MOCO クロックの発振が安定していることを確認すること
- MOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックの発振が安定していることを確認した上で WFI 命令を実行すること
- MOCO クロックを停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックで 3 サイクル以上待った後、WFI 命令を実行すること

以下の条件下で MCSTP ビットに 1 を書き込むことは禁止です。

- SCKSCR.CKSEL[2:0] = 001b (システムクロックソース = MOCO)

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) を有効にしているとき、MCSTP ビットを 1 (MOCO 停止) にすることは禁止です。



## 9.2.11 FLL コントロールレジスタ 1 (FLLCR1)

アドレス SYSTEM.FLLCR1 4001 E039h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	FLEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLEN	FLL有効	0 : FLL機能は無効 1 : FLL機能は有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. HOCOを停止 (HOCO.CR.HCSTP = 1) にしてから、FLLCR1.FLEN ビットを変更する必要があります。  
FLLが有効 (FLLCR1.FLEN = 1) であるとき、SOSCは安定して動作中でなければいけません。

FLLCR1レジスタは、HOCOのFLL機能を制御するレジスタです。FLL機能は、HOCOの精度向上にSOSCが利用できるならSOSCを使用します。

## FLEN ビット (FLL 有効)

HOCOのFLL機能を有効または無効にします。

FLLが有効な場合、FLLが安定してからでなければ周波数精度は保証されません。FLLの安定は、HOCOの安定後にクロック周波数精度測定回路 (CAC) で周波数を測定することにより確認できます。

FLENビットを0に設定しFLL機能を無効にしてからソフトウェアスタンバイモードへ遷移してください。

図 9.4 および図 9.5 に、各状況に応じたFLLの設定フロー例を示します。

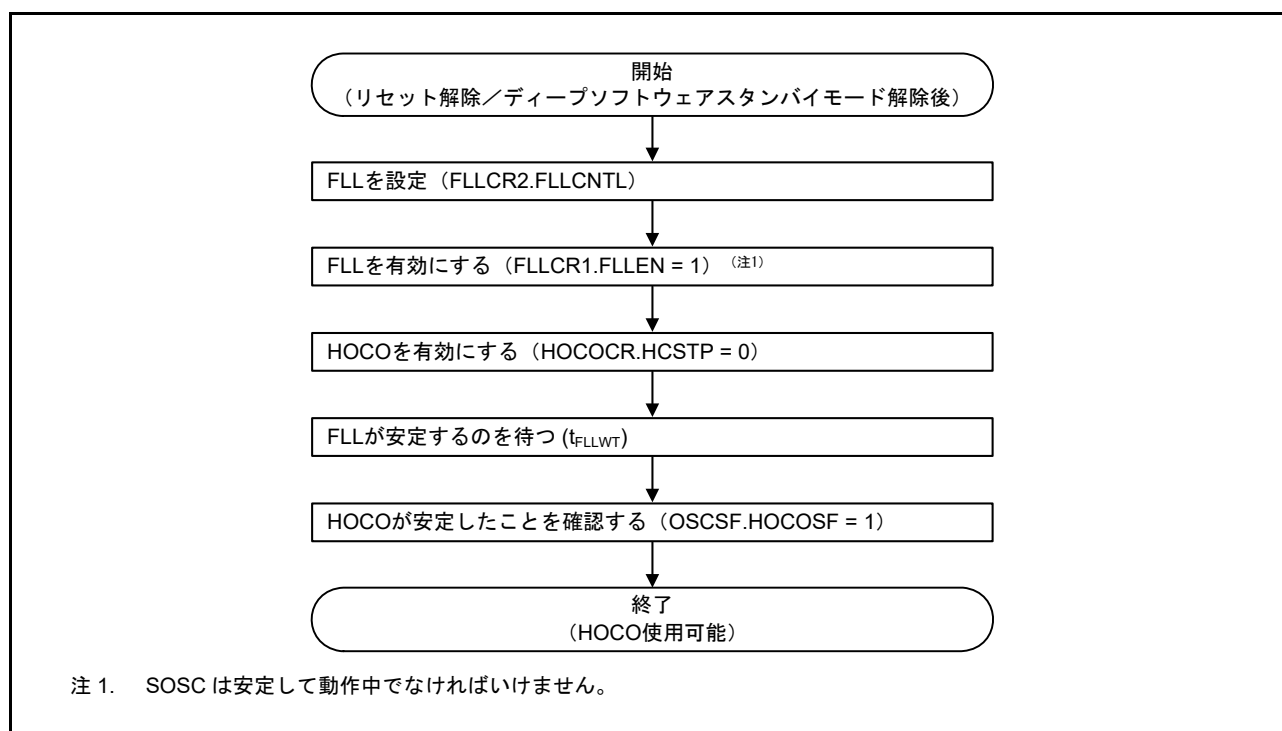


図 9.4 FLL 設定フロー (リセット解除後/ディープソフトウェアスタンバイモード解除後)

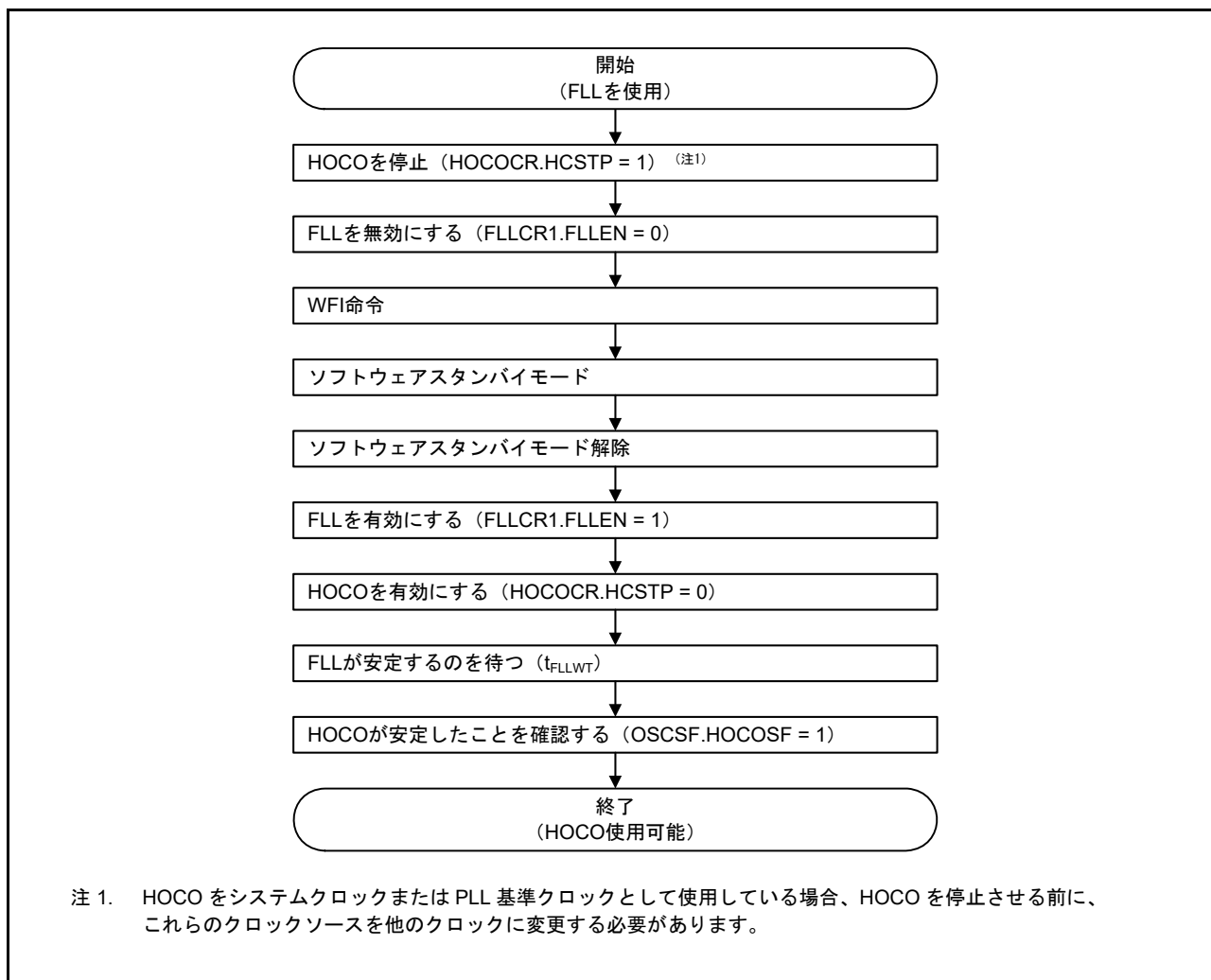
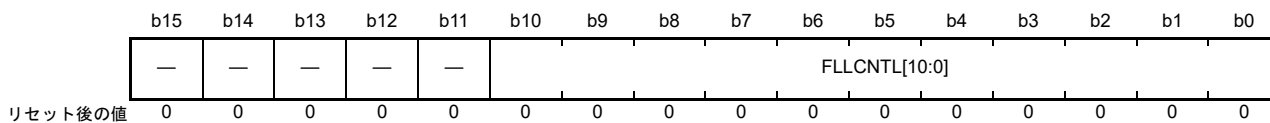


図 9.5 ソフトウェアスタンバイモード遷移/解除フロー

## 9.2.12 FLL コントロールレジスタ 2 (FLLCR2)

アドレス SYSTEM.FLLCR2 4001 E03Ah



ビット	シンボル	ビット名	機能	R/W
b10-b0	FLLCNTL[10:0]	FLL 逡倍制御	<ul style="list-style-type: none"> <li>• OFS1.HOCOFRQ0[1:0]ビットが00b (16MHz) の場合、これらのビットは1E9hにする必要があります。</li> <li>• OFS1.HOCOFRQ0[1:0]ビットが01b (18MHz) の場合、これらのビットは226hにする必要があります。</li> <li>• OFS1.HOCOFRQ0[1:0]ビットが10b (20MHz) の場合、これらのビットは263hにする必要があります。</li> </ul> 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FLLCR2 レジスタは、HOCO の FLL 機能を制御するレジスタです。

**FLLCNTL[10:0] ビット (FLL 逡倍制御)**

FLL 基準クロックの逡倍比を選択します。FLL を有効 (FLLCR1.FLLEN = 1) にする前に、これらのビットを設定する必要があります。

## 9.2.13 発振安定フラグレジスタ (OSCSF)

アドレス SYSTEM.OSCSF 4001 E03Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PLLSF	—	MOSC SF	—	—	HOCO SF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HOCOSF	HOCOクロック発振安定フラグ	0 : HOCOクロックは停止、または発振安定待ち中 1 : HOCOクロックは安定、システムクロックとして使用可能	R
b2-b1	—	予約ビット	読むと0が読めます。	R
b3	MOSC SF	メインクロック発振安定フラグ	0 : メインクロック発振器は停止 (MOSTP = 1)、または発振安定待ち中 (注2) 1 : メインクロック発振器は安定、システムクロックとして使用可能	R
b4	—	予約ビット	読むと0が読めます。	R
b5	PLLSF	PLLクロック発振安定フラグ	0 : PLLクロックは停止、または発振安定待ち中 1 : PLLクロックは安定、システムクロックとして使用可能	R
b7-b6	—	予約ビット	読むと0が読めます。	R

注 1. リセット後の値は、OFS1.HOCOEN の設定値で決まります。

OFS1.HOCOEN が 1 になっている場合、HOCOSF のリセット後の値は 0 です。

OFS1.HOCOEN が 0 になっている場合は、リセット解除直後に HOCOSF の値が 0 になり、HOCO 発振安定待ち時間の経過後に HOCOSF の値が 1 になります。

注 2. 該当する発振器のウェイトコントロールレジスタに適切な値が設定されます。値 (待機時間) が不十分な場合、発振が安定する前に発振安定フラグが 1 になり、内部回路へのクロック信号の供給が開始します。

OSCSF レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すフラグからなるレジスタです。

これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、クロック供給が安定しており、対応する回路で利用可能なことを示します。

## HOCOSF フラグ (HOCO クロック発振安定フラグ)

高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。OFS1.HOCOEN ビットが 0 になっている場合、OSCSF.HOCOSF ビットが 1 になっていることを確認してから、HOCO クロックを使用してください。

[1 になる条件]

- HOCO クロックが停止し HOCOCR.HCSTP ビットが 0 になった後、HOCOWTCR レジスタの設定値に応じた LOCO サイクル数が経過してから MCU クロック供給が開始されたとき

[0 になる条件]

- HOCO クロックの動作時に、HOCOCR.HCSTP ビットを 1 にした結果、HOCO クロックが発振停止になったとき

**MOSCSF フラグ (メインクロック発振安定フラグ)**

メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[1になる条件]

- メインクロック発振器が停止しMOSCCR.MOSTPビットが0になった後、MOSCWTCRレジスタの設定値に応じた LOCO サイクル数が経過してから MCU クロック供給が開始されたとき

[0になる条件]

- メインクロック発振器の動作時に、MOSCCR.MOSTP ビットを1にした結果、メインクロック発振器が発振停止になったとき

**PLLSF フラグ (PLLクロック発振安定フラグ)**

PLLの待機時間を計測するカウンタの動作状態を示します。

[1になる条件]

- PLLの停止しPLLCCR.PLLSTPビットが0になった後、LOCOクロックで31サイクル経過してから、MCUへクロック供給が開始されたとき。ただし、PLLSTPビットを0にしたときに、PLLCCR.PLSRCSELビットで選択されたPLLクロックソースの発振が安定していなければ、PLLクロックソースの発振が安定した後もLOCOサイクルのカウンタは継続します。待機時間は次式で計算されます。

$$1 \text{ サイクル} = \text{LOCO} (32.768\text{kHz}) \times 8 (3.81\mu\text{s (標準)})$$

[0になる条件]

- PLLの動作時に、PLLCCR.PLLSTPビットを1にした結果、PLLが発振停止になったとき

## 9.2.14 発振停止検出コントロールレジスタ (OSTDCR)

アドレス SYSTEM.OSTDCR 4001 E040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可	0: 発振停止検出割り込みを禁止 (POEGへの通知なし) 1: 発振停止検出割り込みを許可 (POEGへの通知あり)	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	OSTDE	発振停止検出機能有効	0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

OSTDCR レジスタは、発振停止検出機能を制御するレジスタです。

**OSTDIE ビット (発振停止検出割り込み許可)**

発振停止検出機能割り込みを許可します。また、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) をクリアする必要がある場合、OSTDIE ビットを 0 にしてから OSTDF をクリアしてください。OSTDIE ビットを 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB 待ち時間が必要になる場合があります。

**OSTDE ビット (発振停止検出機能有効)**

発振停止検出機能を有効にします。

OSTDE ビットを 1 (有効) にすると、MOCO 停止ビット (MOCO CR.MCSTP) が 0 となり、MOCO が起動します。発振停止検出機能が有効の間は、MOCO クロックは停止できません。MOCO CR.MCSTP ビットへの 1 の書き込み (MOCO 停止) は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が 1 (メインクロック発振停止検出) のとき、OSTDE ビットへの 0 の書き込みは無効です。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する前に、OSTDE ビットを 0 にする必要があります。ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードのいずれかへ遷移する場合は、最初に OSTDE ビットを 0 にしてから WFI 命令を実行してください。

発振停止検出機能を使用する場合、以下の制限があります。

- Low-speed モードでは、ICLK、FCLK、PCLKA、PCLKB、PCLKC、および PCLKD に対する 1 分周、2 分周、4 分周、8 分周の設定は禁止

## 9.2.15 発振停止検出ステータスレジスタ (OSTDSR)

アドレス SYSTEM.OSTDSR 4001 E041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロック発振停止を未検出 1: メインクロック発振停止を検出	R(/W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 0のみ書けます。

OSTDSR レジスタは、メインクロック発振器の発振停止の検出状態を示すレジスタです。

### OSTDF フラグ (発振停止検出フラグ)

メインクロック発振器の状態を示します。本フラグが1のとき、メインクロックの発振停止が検出されたことを示します。発振停止が検出された後、メインクロックの発振が再開しても OSTDF フラグは0になりません。OSTDF フラグは、1の状態を読み出した後、0を書き込むことで0になります。

OSTDF に0を書き込んでから、0を読み出せるようになるまで、ICLK で3サイクル以上待つ必要があります。メインクロックの発振が停止しているとき、OSTDF フラグを0にすると、OSTDF フラグはいったん0になった後、再度1に戻ります。

以下の条件下では、OSTDF フラグは0にできません。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC)
- PLLCCR.PLSRCSEL = 0 (PLL ソースクロック = MOSC) および SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL)

クロックソースをメインクロック発振器と PLL 以外に切り替えた後、OSTDF フラグを0にする必要があります。

[1になる条件]

- OSTDCR.OSTDE ビットが1 (発振停止検出機能有効) の状態で、メインクロック発振器が停止したとき

[0になる条件]

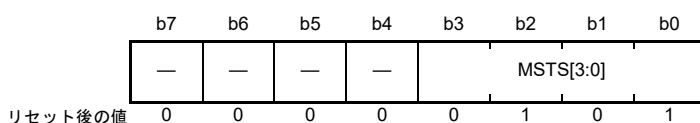
1を読んだ後、0を書いたとき

ただし、下記条件の時は0になりません。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC)
- PLLCCR.PLSRCSEL = 0 (PLL ソースクロック = MOSC) および SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL)

## 9.2.16 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス SYSTEM.MOSCWTCR 4001 E0A2h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MSTS[3:0]	メインクロック発振器待機時間設定	駆動能力自動切り替え機能が無効のとき (MOMCR.AUTODRVEN = 0 (デフォルト)) : b3      b0 0 0 0 1 : 待機時間 = 35 サイクル (133.5μs) 0 0 1 0 : 待機時間 = 67 サイクル (255.6μs) 0 0 1 1 : 待機時間 = 131 サイクル (499.7μs) 0 1 0 0 : 待機時間 = 259 サイクル (988.0μs) 0 1 0 1 : 待機時間 = 547 サイクル (2086.6μs) (リセット後の値) 0 1 1 0 : 待機時間 = 1059 サイクル (4039.8μs) 0 1 1 1 : 待機時間 = 2147 サイクル (8190.2μs) 1 0 0 0 : 待機時間 = 4291 サイクル (16368.9μs) 1 0 0 1 : 待機時間 = 8163 サイクル (31139.4μs)  駆動能力自動切り替え機能が有効のとき (MOMCR.AUTODRVEN = 1) b3      b0 0 0 0 1 : 待機時間 = 36 サイクル (137.3μs) 0 0 1 0 : 待機時間 = 68 サイクル (259.4μs) 0 0 1 1 : 待機時間 = 132 サイクル (503.5μs) 0 1 0 0 : 待機時間 = 260 サイクル (991.8μs) 0 1 0 1 : 待機時間 = 548 サイクル (2090.5μs) (リセット後の値) 0 1 1 0 : 待機時間 = 1060 サイクル (4043.6μs) 0 1 1 1 : 待機時間 = 2148 サイクル (8194.0μs) 1 0 0 0 : 待機時間 = 4292 サイクル (16372.7μs) 1 0 0 1 : 待機時間 = 8164 サイクル (31143.2μs) 上記以外は設定しないでください。  待機時間は次式で計算されます。 1 サイクル (μs) = 1/(f <sub>Loco</sub> [MHz] × 8) = 1/(0.032768 × 8) = 3.81μs	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**MSTS[3:0] ビット (メインクロック発振器待機時間設定)**

メインクロック発振器の発振安定待機時間を設定します。

発振器メーカーが推奨する安定時間以上の時間をメインクロック発振安定時間に設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので 0001b に設定してください。

MSTS[3:0] ビットに設定した待機時間は、次式を用いてカウントされます。

$$1 \text{ サイクル } (\mu\text{s}) = 1/(f_{\text{Loco}} [\text{MHz}] \times 8) = 1/(0.032768 \times 8) = 3.81 (\mu\text{s})$$

LOCO クロックは、必要であれば、LOCOCR.LOSTP ビットの値にかかわらず、自動的に発振を開始します。設定した待機時間が経過すると、MCU 内部へメインクロック発振器の供給が開始され、OSCSF.MOSCSF フラグは 1 になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロック発振器の供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが 1 で、かつ OSCSF.MOSCSF フラグが 0 の場合にのみ行ってください。他の状態ではレジスタの書き換えを行わないでください。



## 9.2.17 メインクロック発振器モード発振コントロールレジスタ (MOMCR)

アドレス SYSTEM.MOMCR 4001 E413h

	b7	b6	b5	b4	b3	b2	b1	b0
	AUTODRVEN	MOSEL	MODRV0[1:0]	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	MODRV0[1:0]	メインクロック発振器駆動能力0切り替え	b5 b4 0 0 : 20 ~ 24MHz 0 1 : 16 ~ 20MHz 1 0 : 8 ~ 16MHz 1 1 : 8MHz	R/W
b6	MOSEL	メインクロック発振器切り替え	0 : 発振子 1 : 外部クロック入力	R/W
b7	AUTODRVEN	メインクロック発振器駆動能力自動切り替え有効化	0 : 無効 1 : 有効	R/W

注. EXTAL/XTAL 端子もポートとして使用されます。初期状態では、ポート機能が選択されています。

注. このレジスタを変更する前に、MOSCCR.MOSTP ビットを 1 (MOSC 停止) にする必要があります。

**MODRV0[1:0] ビット (メインクロック発振器駆動能力 0 切り替え)**

メインクロック発振器の駆動能力を切り替えます。

**MOSEL ビット (メインクロック発振器切り替え)**

メインクロック発振器の発振源を切り替えます。

**AUTODRVEN ビット (メインクロック発振器駆動能力自動切り替え有効化)**

メインクロック発振器の駆動能力自動切り替えを制御します。

AUTODRVEN = 1 の場合、メインクロック発振器ウェイトコントロールレジスタの MSTS ビットでの設定時間が経過すると、メインクロック発振器駆動能力は、MOMCR.MODRV0[1:0] 設定にかかわらず自動的に最も低い状態になります。MOSCCR.MOSTP の設定またはソフトウェアスタンバイモードへの遷移によって発振が停止した後、メインクロック発振器は、MODRV0[1:0] ビットの設定で駆動能力を切り替えて、発振を再開します。

## 9.2.18 サブクロック発振器モードコントロールレジスタ (SOMCR)

アドレス SYSTEM.SOMCR 4001 E481h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SODRV 1	—
リセット後の値	0	0	0	0	0	0	x	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	SODRV1	サブクロック発振器駆動能力切り替え	0: 通常駆動 1: 低駆動	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. 本レジスタを変更する前に、SOSCCR.SOSTP ビットを1 (SOSC 停止) にする必要があります。

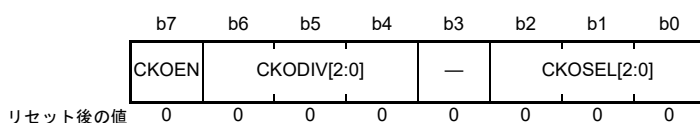
**SODRV1 ビット (サブクロック発振器駆動能力切り替え)**

サブクロック発振器の駆動能力を切り替えます。初電源投入時の値は定義されていませんが、SOSCCR.SOSTP ビットのリセット後の値は0 (SOSC 動作) です。そのため、初電源投入時に SOSC を以下のように設定してください。

1. SOSCCR.SOSTP ビットを1 (SOSC 停止) にする
2. SODRV1 ビットに電流コンデンサに合った正しい値を設定する
3. SOSCCR.SOSTP ビットを0 (SOSC 動作) にする

## 9.2.19 クロックアウトコントロールレジスタ (CKOCR)

アドレス SYSTEM.CKOCR 4001 E03Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKOSEL[2:0]	クロックアウトソース選択	b2 b0 0 0 0 : HOCO 0 0 1 : MOCO 0 1 0 : LOCO 0 1 1 : MOSC 1 0 0 : SOSC 上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	CKODIV[2:0]	クロックアウト入力分周比選択	b6 b4 0 0 0 : 1分周 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 1 1 0 : 64分周 1 1 1 : 128分周	R/W
b7	CKOEN	クロックアウト許可	0 : クロックアウト禁止 1 : クロックアウト許可	R/W

**CKOSEL[2:0] ビット (クロックアウトソース選択)**

HOCO、MOCO、LOCO、MOSC、または SOSC クロックを、CLKOUT 端子から出力するクロックのソースとして設定します。CLKOUT ソースクロックを変更する場合、CKOEN ビットを 0 にしてください。

**CKODIV[2:0] ビット (クロックアウト入力分周比選択)**

クロック分周比を設定します。分周比を変更する場合、CKOEN ビットを 0 にしてください。出力クロック周波数の分周比は、CLKOUT 端子出力周波数の特性を超えない値に設定する必要があります。CLKOUT 端子の特性の詳細については、「43. 電気的特性」を参照してください。

**CKOEN ビット (クロックアウト許可)**

CLKOUT 端子からの出力を許可します。CKOEN ビットを 1 にすると、選択したクロックが出力されます。CKOEN ビットを 0 にすると、Low が出力されます。本ビットを変更する場合は、CKOSEL[2:0] ビットで選択したクロックアウトのソースクロックが安定していることを確認してください。安定していないと、出力にグリッチを生じる恐れがあります。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する際は、これらのモードで選択中のクロックアウトソースクロックを停止させる場合、事前に CKOEN ビットをクリアしておいてください。





### 9.3 メインクロック発振器

メインクロック発振器にクロック信号を供給するには、下記のいずれかの方法を使用します。

- 発振器を接続
- 外部クロック信号の入力を接続

#### 9.3.1 水晶振動子を接続する方法

水晶振動子の接続例を図 9.6 に示します。必要に応じてダンピング抵抗 ( $R_d$ ) を挿入することが可能です。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーが外部帰還抵抗 ( $R_f$ ) の使用を推奨している場合は、その指示に従って EXTAL と XTAL の間に  $R_f$  を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 9.1 に記載されているように、メインクロック発振器の発振子周波数の範囲内としてください。

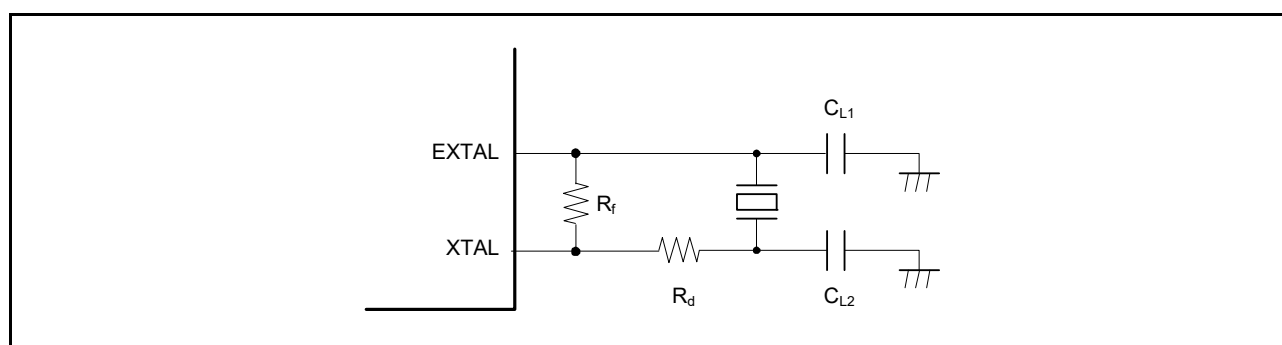


図 9.6 水晶振動子の接続例

水晶振動子の等価回路を図 9.7 に示します。

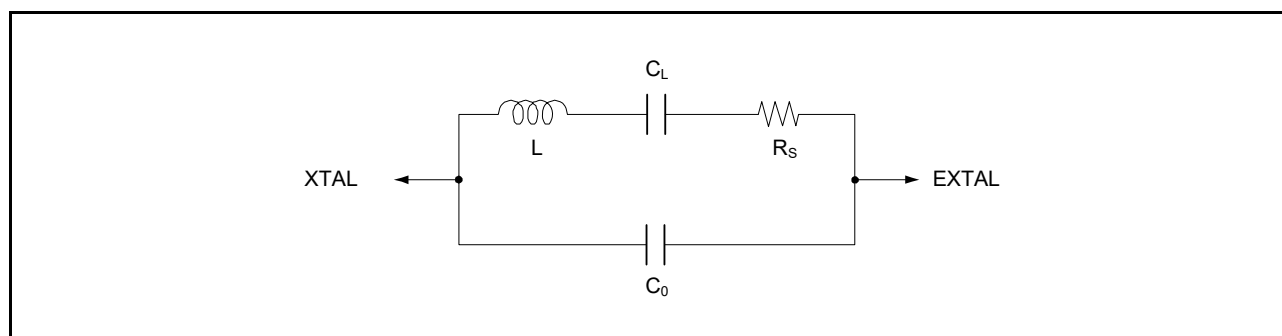


図 9.7 水晶振動子の等価回路

### 9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 9.8 に示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子は PFS.P213PFS レジスタで設定する機能です。

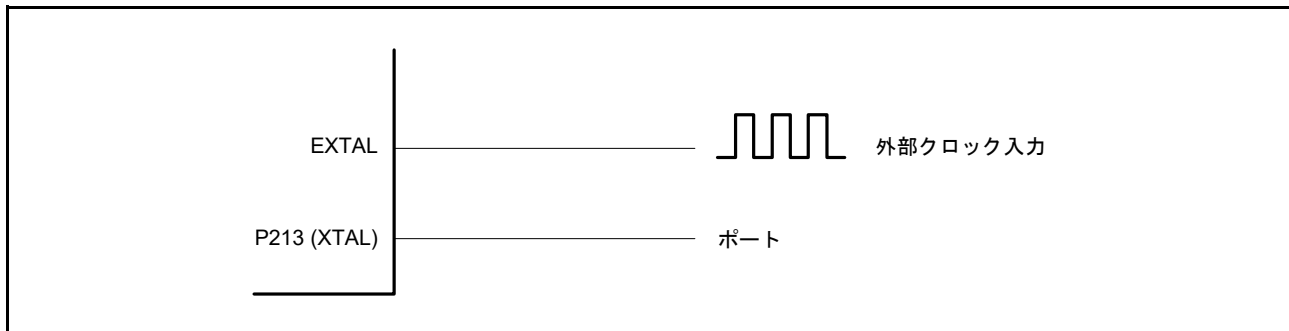


図 9.8 外部クロックの等価回路

### 9.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器の停止ビット (MOSCCR.MOSTP) が 0 の場合、外部クロック入力周波数を変更しないでください。

## 9.4 サブクロック発振器

サブクロック発振器へクロックを供給する唯一の方法は、水晶振動子を接続することです。

### 9.4.1 32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、[図 9.9](#) に示すように 32.768kHz 水晶振動子を接続します。必要に応じてダンピング抵抗 ( $R_d$ ) を挿入することが可能です。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーが外部帰還抵抗 ( $R_f$ ) の使用を推奨している場合は、その指示に従って XCIN と XCOUT の間に  $R_f$  を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、[表 9.1](#) に記載されているように、サブクロック発振器の発振子周波数の範囲内としてください。

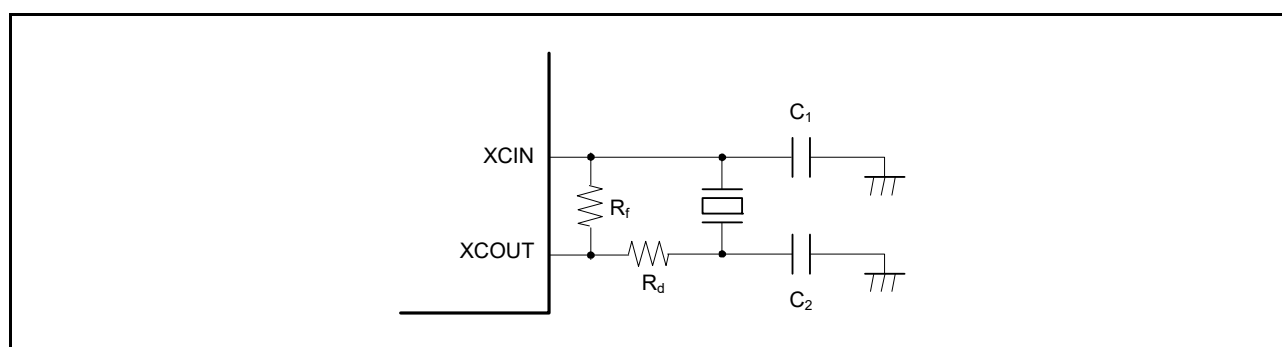


図 9.9 32.768kHz 水晶振動子の接続例

32.768kHz 水晶振動子の等価回路を[図 9.10](#) に示します。

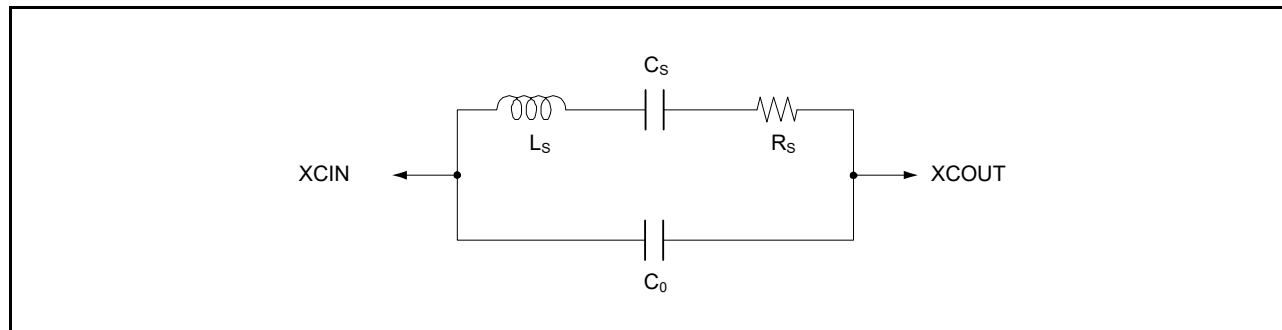


図 9.10 32.768kHz 水晶振動子の等価回路



### 9.4.2 サブクロック発振器を使用しない場合の端子処理

サブクロック発振器を使用しない場合は、[図 9.11](#) に示すように、XCIN 端子を抵抗を介して VSS に接続（プルダウン）し、XCOUT 端子をオープンとしてください。さらに、発振器を接続しない場合、サブクロック発振器の停止ビット（SOSCCR.SOSTP）を 1 にして発振器を停止してください。

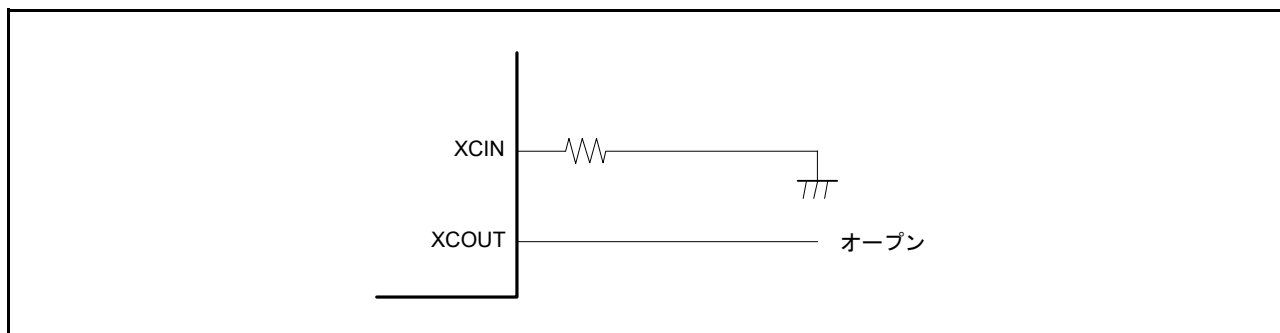


図 9.11 サブクロック発振器を使用しない場合の端子処理

## 9.5 発振停止検出機能

### 9.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出します。発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC) で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わる
- PLLCCR.PLSRCSEL = 0 (PLL ソースクロック = MOSC) および SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL) で発振停止が検出された場合、PLL クロックはシステムクロックソースのままとなる。周波数はフリーラン発振周波数となり、SCKSCR.CKSEL[2:0] ビットの設定は変化しない

発振停止検出時には発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ (GPT) 出力をハイインピーダンスにすることが可能です。

メインクロック発振器に異常が発生した場合など、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロック発振器が検出されます。「43. 電気的特性」を参照してください。

メインクロック発振器と MOCO クロックの切り替え、または PLL クロックと PLL フリーランクロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。

OSTDF フラグは切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC) の場合：
  - OSTDF が 0 から 1 になると、クロックソースは MOCO クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは MOSC に戻る
- PLLCCR.PLSRCSEL = 0 (PLL ソースクロック = MOSC) および SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL) の場合：
  - OSTDF が 0 から 1 になると、クロックソースは PLL フリーラン発振クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは PLL に戻る

発振停止検出後にクロックソースをメインクロック発振器または PLL クロックに戻したい場合は、いったん CKSEL[2:0] ビットの設定をメインクロック発振器または PLL クロック以外に変更し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0] ビットの設定をメインクロック発振器または PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット (OSTDCR.OSTDE) に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロック発振器が停止したことを検出します。そのため、ソフトウェアによってメインクロック発振器を停止させる前や、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する前に、発振停止検出機能を無効にしてください。

発振停止検出機能は、以下のクロックを MOCO クロック (システムクロックが MOSC の場合) または PLL フリーランクロック (システムクロックが PLL の場合) に切り替えます。

- CLKOUT 以外の MOSC クロックまたは PLL として選択できるすべてのクロック
- MOCO 動作中 (システムクロックが MOSC の場合) または PLL フリーラン動作中 (システムクロックが PLL の場合) のシステムクロック (ICLK) 周波数は、MOCO 発振周波数と、システムクロック選択ビット (SCKDIVCR.ICK[2:0]) で設定された分周比に指定される

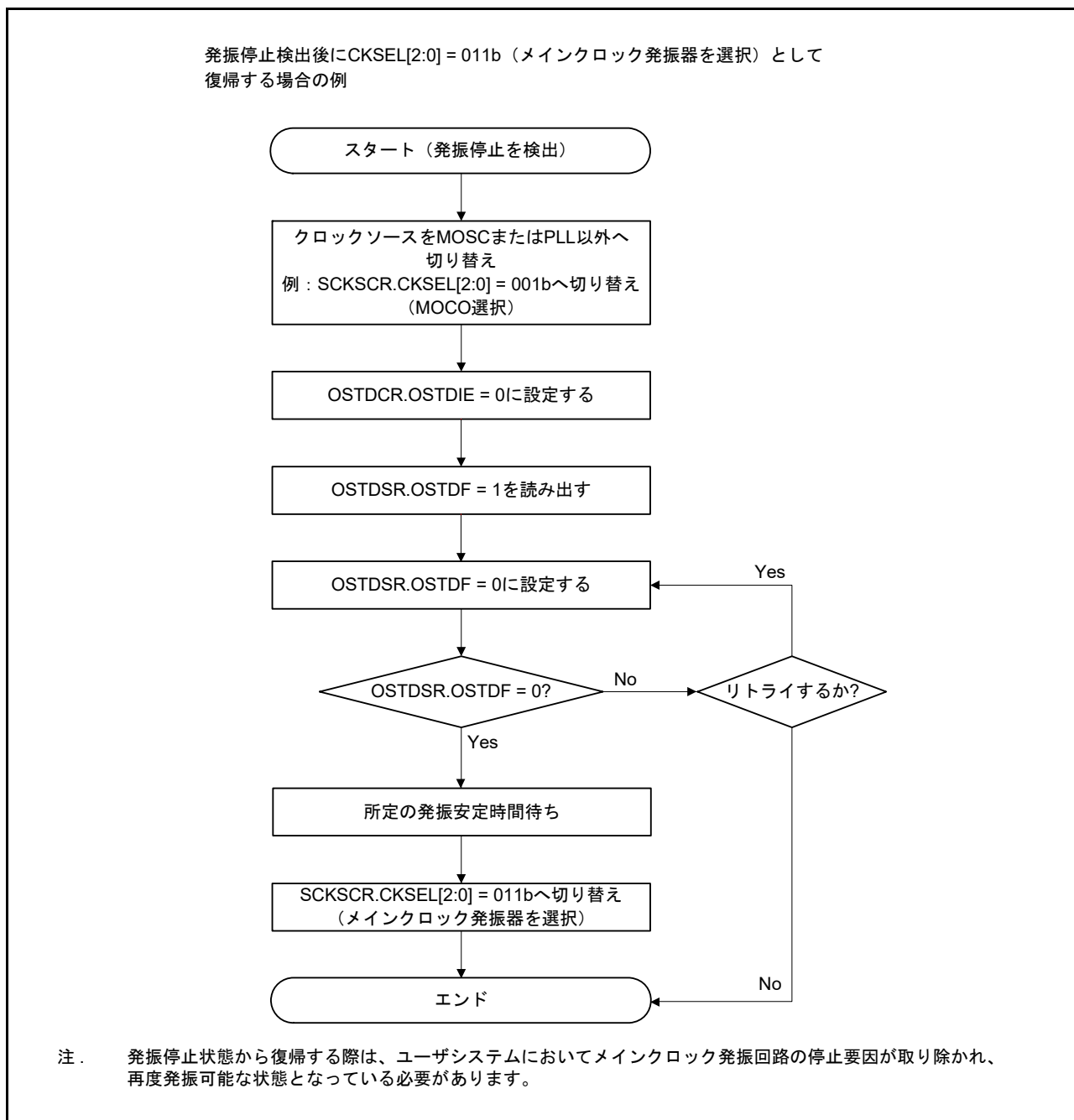


図 9.12 発振停止検出時の復帰フロー

### 9.5.2 発振停止検出割り込み

発振停止検出フラグ (OSTDSR.OSTDF) が 1 で、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が 1 (許可) のとき、発振停止検出割り込み (MOSC\_STOP) が発生します。このとき GPT 用ポートアウトプットイネーブル (POEG) に対して、メインクロック発振器の停止が通知されます。POEG は、発振停止の通知を受けて、POEG グループ n 設定レジスタ (POEGGn.OSTPF) (n = A, B) の発振停止検出フラグを 1 にします。

この POEGGn.OSTPF フラグに対しては、発振停止を検出後、PCLKB で 10 サイクル以上経過するまで書き込みできません。OSTDSR.OSTDF フラグのクリアは、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を 0 にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度 1 にする場合は、PCLKB クロックで 2 サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB 待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態ではノンマスカブル割り込みは禁止されているため、発振停止検出割り込みを使用する前にソフトウェアでノンマスカブル割り込みを許可してください。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

## 9.6 PLL 回路

PLL 回路は、発振器からの周波数を通倍する機能を提供します。

## 9.7 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック発振器
- サブクロック発振器
- HOCO クロック
- MOCO クロック
- LOCO クロック
- PLL クロック
- IWDT 専用クロック
- JTAG 用外部クロック

これらのソースから、以下の内部クロックが生成されます。

- CPU、DMAC、DTC、フラッシュメモリ、および SRAM の動作クロック — システムクロック (ICLK)
- 周辺モジュールの動作クロック — PCLKA、PCLKB、PCLKC、および PCLKD
- フラッシュインタフェースの動作クロック — FCLK
- CAN の動作クロック — CANMCLK
- CAC の動作クロック — CACCLK
- IWDT の動作クロック — IWDTCCLK
- AGT LOCO クロックの動作クロック — AGTLCLK
- AGT サブクロックの動作クロック — AGTSCLK
- SysTick タイマの動作クロック — SYSTICCLK
- 外部端子出力のクロック — CLKOUT
- JTAG の動作クロック — JTAGTCK

内部クロックの周波数設定に使用するレジスタの詳細については、[9.7.1 システムクロック \(ICLK\) ～ 9.7.10 JTAG クロック \(JTAGTCK\)](#) を参照してください。

各ビットを書き換えると、変更後の周波数で動作します。

### 9.7.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DMAC、DTC、フラッシュメモリ、およびSRAMの動作クロックです。

ICLKの周波数は下記のビットで設定します。

- SCKDIVCR.ICK[2:0] ビット
- SCKSCR.CKSEL[2:0] ビット
- PLLCCR.PLLMUL[5:0] ビットおよびPLLCCR.PLIDIV[1:0] ビット
- OFS1.HOCOFRQ[1:0] ビット

ICLKクロックソースを切り替えると、クロックソースの遷移期間中にICLKクロックサイクルの期間が長くなります。図9.13および図9.14を参照してください。

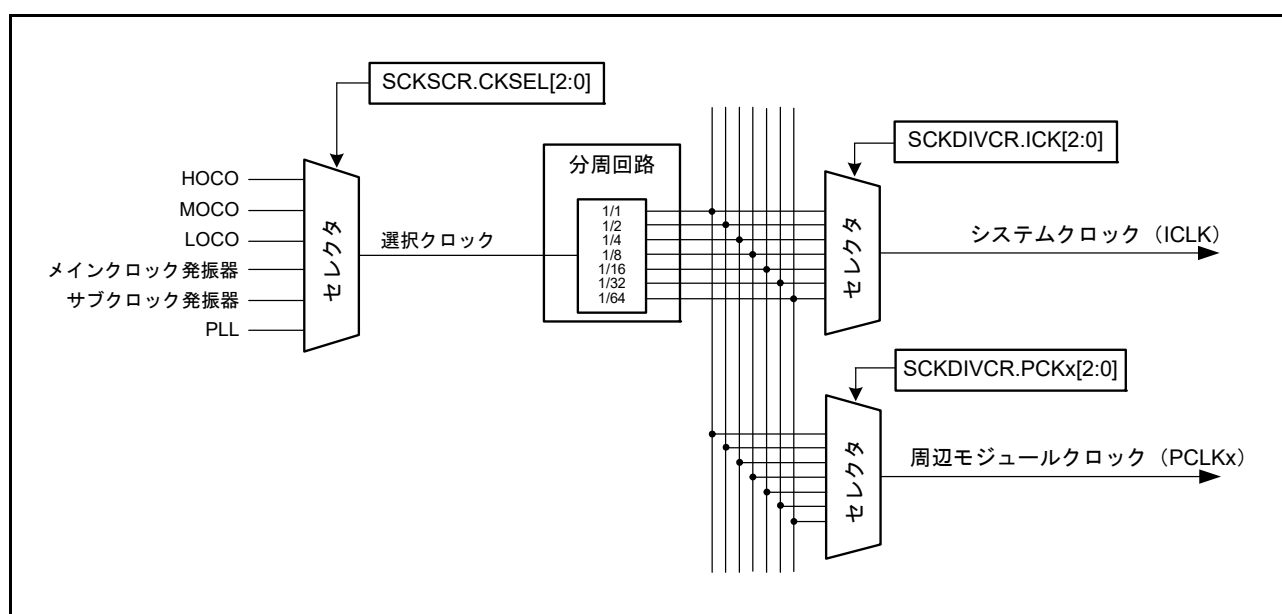


図 9.13 クロックソース選択ブロック図

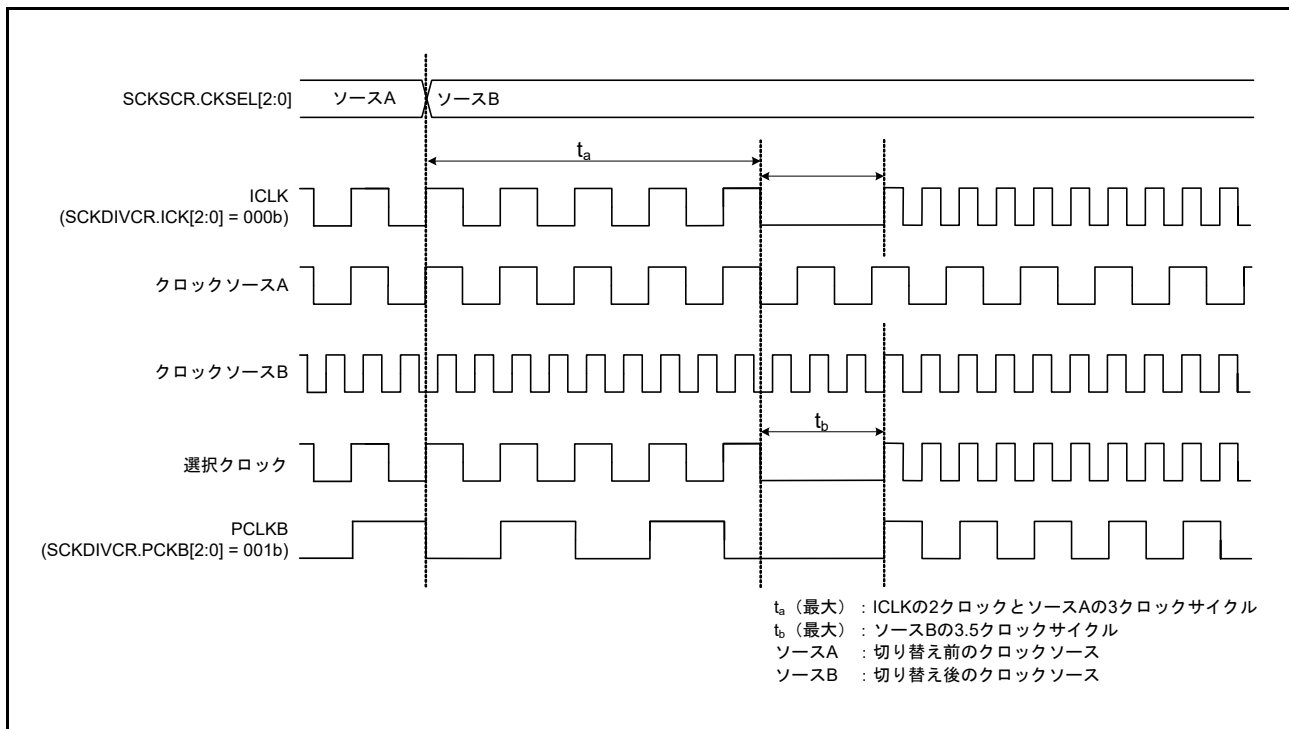


図 9.14 クロックソース切り替えタイミング図

### 9.7.2 周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD）

周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD）は、周辺モジュールの動作クロックです。

各クロックの周波数は下記のビットで設定します。

- SCKDIVCR.PCKA[2:0] ビット、SCKDIVCR.PCKB[2:0] ビット、SCKDIVCR.PCKC[2:0] ビット、および SCKDIVCR.PCKD[2:0] ビット
- SCKSCR.CKSEL[2:0] ビット
- PLLCCR.PLLMUL[5:0] ビットおよび PLLCCR.PLIDIV[1:0] ビット
- OFS1.HOCOFRQ0[1:0] ビット

周辺モジュールクロックのクロックソースを切り替えると、クロックソースの遷移期間中に周辺モジュールクロックサイクルの期間が長くなります。図 9.13 および図 9.14 を参照してください。

### 9.7.3 フラッシュインタフェースクロック（FCLK）

フラッシュインタフェースクロック（FCLK）は、フラッシュメモリインタフェースの動作クロックです。データフラッシュからの読み出しに加え、FCLK はコードフラッシュとデータフラッシュのプログラム/イレースに使用されます。

FCLK の周波数は下記のビットで設定します。

- SCKDIVCR.FCK[2:0] ビット
- SCKSCR.CKSEL[2:0] ビット
- PLLCCR.PLLMUL[5:0] ビットおよび PLLCCR.PLIDIV[1:0] ビット
- OFS1.HOCOFRQ0[1:0] ビット

#### 9.7.4 CAN クロック (CANMCLK)

CAN クロック (CANMCLK) は、CAN モジュールの動作クロックです。CANMCLK は、メインクロック発振器で生成されます。

#### 9.7.5 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC の動作クロックです。CACCLK は下記の発振器で生成されます。

- メインクロック発振器
- サブクロック発振器
- 高速クロック発振器 (HOCO)
- 中速クロック発振器 (MOCO)
- 低速オンチップオシレータ (LOCO)
- IWDT 専用オンチップオシレータ

#### 9.7.6 IWDT 専用クロック (IWDTCCLK)

IWDT 専用クロック (IWDTCCLK) は、IWDT の動作クロックです。IWDTCCLK は、IWDT 専用オンチップオシレータの内部発振によって生成されます。

#### 9.7.7 AGT 専用クロック (AGTSCLK, AGTLCLK)

AGT 専用クロック (AGTSCLK および AGTLCLK) は、AGT の動作クロックです。AGTSCLK はサブクロック発振器で生成され、AGTLCLK は LOCO クロックで生成されます。

#### 9.7.8 SysTick タイマ専用クロック (SYSTICCLK)

SysTick タイマ専用クロック (SYSTICCLK) は、SysTick タイマの動作クロックです。SYSTICCLK は、LOCO クロックで生成されます。

#### 9.7.9 クロック/ブザー出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力用に CLKOUT 端子から外部に出力されます。CKOCR.CKOEN を 1 にすると、CLKOUT を CLKOUT 端子に出力できます。CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビットの値を変更できるのは、CKOCR.CKOEN ビットが 0 の場合だけです。

CLKOUT の周波数は下記のビットで設定します。

- CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビット
- OFS1.HOCOFREQ[1:0] ビット

#### 9.7.10 JTAG クロック (JTAGTCK)

JTAG 専用クロック (JTAGTCK) は、JTAG の動作クロックです。JTAGTCK は、JTAG 外部クロック (TCK) で生成されます。



## 9.8 使用上の注意事項

### 9.8.1 クロック発生回路に関する注意事項

各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKA ~ PCLKD)、およびフラッシュインタフェースクロック (FCLK) の周波数は、SCKDIVCR レジスタの設定に従って変化します。各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 電気的特性で規定されるクロックサイクル時間 ( $t_{cyc}$ ) の動作保証範囲内に収まるように選択すること。「43. 電気的特性」を参照してください
- 周波数は表 9.2 に記載の周波数範囲を超えないこと
- 周辺モジュールは PCLKA と PCLKB を基準に動作する。周波数変更の前後で、タイマや SCI などのモジュールは動作速度が変化する
- システムクロック (ICLK)、周辺モジュールクロック (PCLKA ~ PCLKD)、およびフラッシュインタフェースクロック (FCLK) は、表 9.2 に従って設定すること

クロック周波数変更後の処理を正しく行うには、当該クロックコントロールレジスタへの書き込みによって周波数を変更してからレジスタの値を読み出し、以降の処理を実行してください。

### 9.8.2 発振子に関する注意事項

発振子の特性はユーザのボード設計に密接に関係するので、使用する前に十分な評価が必要です。発振子の接続例については図 9.9 を参照してください。発振子の回路定数は、使用する発振子および実装回路の浮動容量によって異なります。回路定数を決定する際は、常に発振子メーカーと相談してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

### 9.8.3 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 9.15 に示すように、発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

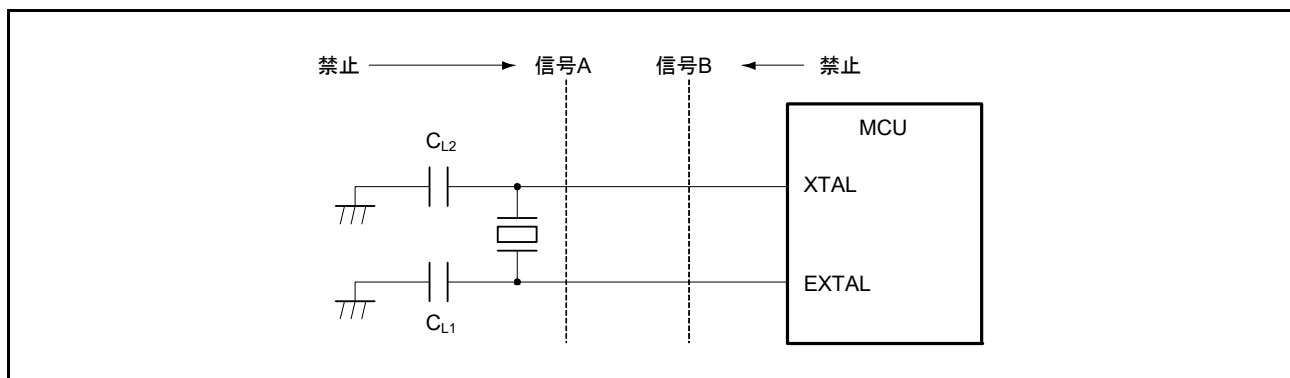


図 9.15 発振回路部のボード設計に関する信号のルーティング (メインクロック発振器の場合、サブクロック発振器も同様)

#### 9.8.4 発振子接続端子に関する注意事項

メインクロック発振器を使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポート P212 および P213 として使用可能です。これらの端子を汎用ポートとして使用する場合は、メインクロック発振器を停止させる (MOSCCR.MOSTP ビットを 1 にする) 必要があります。

#### 9.8.5 メインクロック発振器駆動能力自動切り替え機能に関する注意事項

駆動能力自動切り替え機能は、メインクロック発振器の動作開始後に、メインクロック発振器の駆動能力を自動で低下させてメインクロック発振器起因の EMI を抑止します。

駆動能力自動切り替え機能を有効にするには、メインクロック発振器が停止 (MOSCCR.MOSTP = 1) しているときに、MOMCR.AUTODRVEN ビットを 1 にしてください。MOMCR.AUTODRVEN の設定に関係なく、駆動能力切り替えレジスタのビット (MOMCR.MODRV0[1:0]) は、選択した発振器に応じて正しく設定する必要があります。その後、メインクロック発振器を有効 (MOSCCR.MOSTP = 0) にしてください。発振安定フラグ (OSCSF.MOSCSF) が 1 になれば、メインクロックが使用できます。

発振安定待機時間を延長することによって、EMI の抑止機能を向上することができます。詳細は、[9.2.16 メインクロック発振器ウェイトコントロールレジスタ \(MOSCWTCR\)](#) を参照してください。

## 10. クロック周波数精度測定回路 (CAC)

### 10.1 概要

クロック周波数精度測定回路 (CAC) は、測定基準として選択したクロック (測定基準クロック) で生成した時間内における、測定するクロック (測定対象クロック) のパルス数をカウントします。CAC はそのパルス数が許容範囲内にあるか否かに基づき精度を判定します。

基準クロックは、外部から I/O ポート端子を介して供給、または内蔵発振器から供給することができます。測定が終了したとき、または測定基準クロックで生成した時間内のパルス数が許容範囲内でない場合には、割り込み要求が発生します。この機能は、ホームオートメーションや工業オートメーション機器のフェールセーフ機構の実現において役立ちます。

表 10.1 に CAC の仕様、図 10.1 にブロック図、表 10.2 に入出力端子を示します。

表 10.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> <li>• メインクロック発振器</li> <li>• サブクロック発振器</li> <li>• HOCOクロック</li> <li>• MOCOクロック</li> <li>• LOCOクロック</li> <li>• IWDTCCLKクロック</li> <li>• 周辺モジュールクロック B (PCLKB)</li> </ul>
測定基準クロック	以下のクロックを基準として使用可能 <ul style="list-style-type: none"> <li>• 外部から CACREF 端子に入力したクロック</li> <li>• メインクロック発振器</li> <li>• サブクロック発振器</li> <li>• HOCOクロック</li> <li>• MOCOクロック</li> <li>• LOCOクロック</li> <li>• IWDTCCLKクロック</li> <li>• 周辺モジュールクロック B (PCLKB)</li> </ul>
選択機能	デジタルフィルタ
割り込み要因	<ul style="list-style-type: none"> <li>• 測定終了</li> <li>• 周波数エラー</li> <li>• オーバーフロー</li> </ul>
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

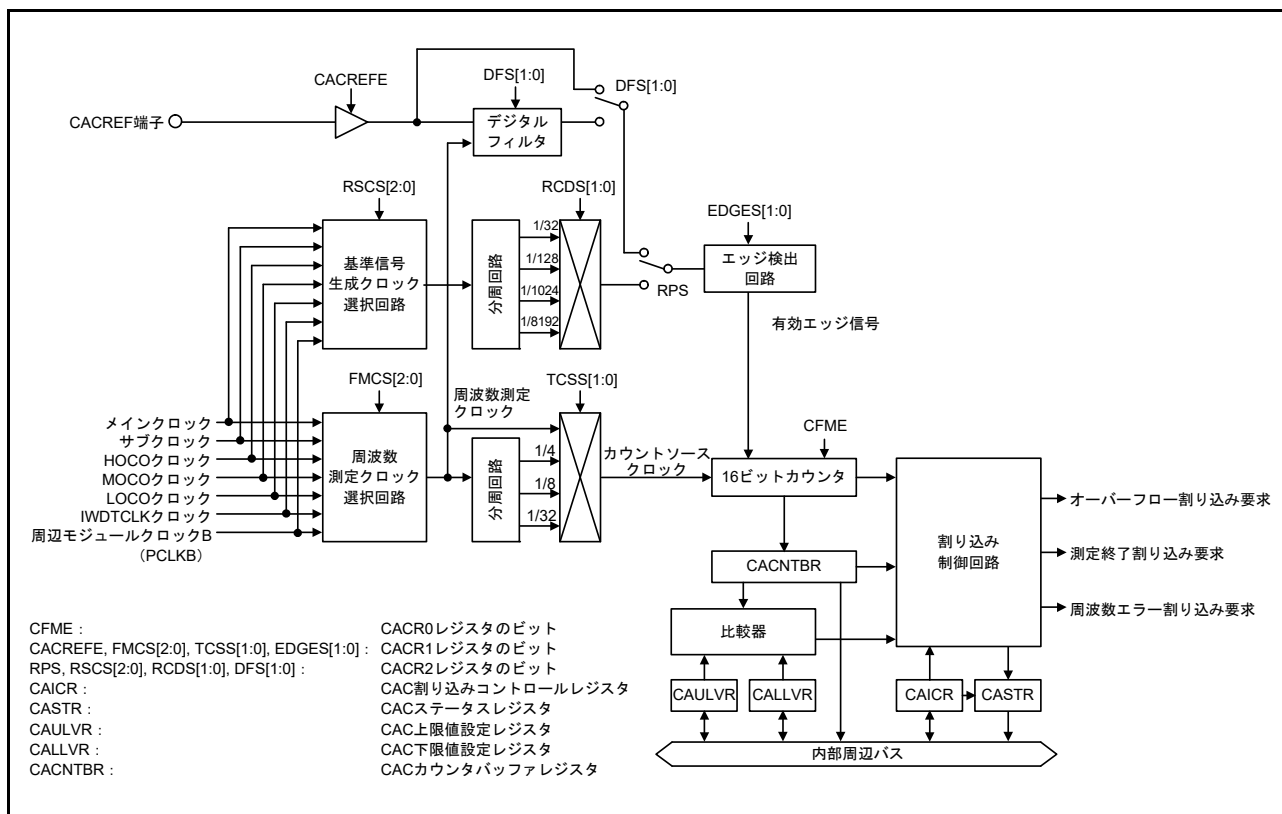


図 10.1 CAC のブロック図

表 10.2 CAC の入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

## 10.2 レジスタの説明

### 10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス CAC.CACR0 4004 4600h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

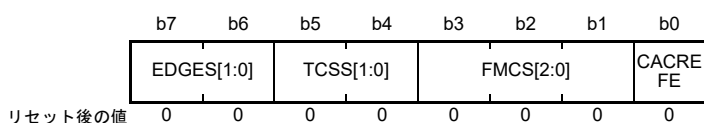
ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効	0 : 無効 1 : 有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### CFME ビット (クロック周波数測定有効)

クロック周波数測定を有効にします。CFME ビットを読み出すことで、このビットが変更されたことを確認できます。変更が完了するまでは、さらなる書き込みは無視されます。

## 10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 4004 4601h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効	0 : 無効 1 : 有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択	b3 b1 0 0 0 : メインクロック発振器 0 0 1 : サブクロック発振器 0 1 0 : HOCOクロック 0 1 1 : MOCOクロック 1 0 0 : LOCOクロック 1 0 1 : 周辺モジュールクロック (PCLKB) 1 1 0 : IWDTCCLKクロック 1 1 1 : 設定禁止	R/W
b5-b4	TCSS[1:0]	測定対象クロック分周比選択	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定禁止	R/W

注. CACR1 レジスタは、CACR0.CFME ビットが0のときに設定してください。

**CACREFE ビット (CACREF 端子入力有効)**

CACREF 端子入力を有効にします。

**FMCS[2:0] ビット (測定対象クロック選択)**

周波数を測定する測定対象クロックを選択します。

**TCSS[1:0] ビット (測定対象クロック分周比選択)**

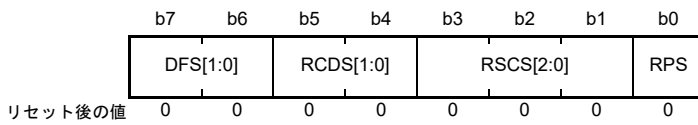
測定対象クロックの分周比を選択します。

**EDGES[1:0] ビット (有効エッジ選択)**

基準信号の有効エッジを選択します。

## 10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 4004 4602h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択	b3 b1 0 0 0 : メインクロック発振器 0 0 1 : サブクロック発振器 0 1 0 : HOCOクロック 0 1 1 : MOCOクロック 1 0 0 : LOCOクロック 1 0 1 : 周辺モジュールクロック (PCLKB) 1 1 0 : IWDTCCLKクロック 1 1 1 : 設定禁止	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックとして使用 1 0 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックの4分周クロックとして使用 1 1 : デジタルフィルタ用のサンプリングクロックを周波数測定クロックの16分周クロックとして使用	R/W

注. CACR2 レジスタは、CACR0.CFME ビットが0のときに設定してください。

**RPS ビット (基準信号選択)**

基準信号として CACREF 端子入力と内部クロック (内部生成信号) のどちらを使用するかを選択します。

**RSCS[2:0] ビット (測定基準クロック選択)**

測定基準クロックを選択します。

**RCDS[1:0] ビット (測定基準クロック分周比選択)**

内部基準クロックを選択 (RPS = 1) した場合、測定基準クロックの分周比を選択します。RPS = 0 (CACREF 端子を基準クロックソースとして使用) の場合、基準クロックは分周されません。

**DFS[1:0] ビット (デジタルフィルタ機能選択)**

デジタルフィルタを有効または無効にします。また、そのサンプリングクロックを選択します。

## 10.2.4 CAC 割り込みコントロールレジスタ (CAICR)

アドレス CAC.CAICR 4004 4603h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可	0: 周波数エラー割り込み要求禁止 1: 周波数エラー割り込み要求許可	R/W
b1	MENDIE	測定終了割り込み要求許可	0: 測定終了割り込み要求禁止 1: 測定終了割り込み要求許可	R/W
b2	OVFIE	オーバーフロー割り込み要求許可	0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	FERRFCL	FERRF フラグクリア	本ビットを1にすると FERRF フラグをクリアします。 読むと0が読めます。	R/W
b5	MENDFCL	MENDF フラグクリア	本ビットを1にすると MENDF フラグをクリアします。 読むと0が読めます。	R/W
b6	OVFFCL	OVFF フラグクリア	本ビットを1にすると OVFF フラグをクリアします。 読むと0が読めます。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**FERRIE ビット (周波数エラー割り込み要求許可)**

周波数エラー割り込み要求を許可します。

**MENDIE ビット (測定終了割り込み要求許可)**

測定終了割り込み要求を許可します。

**OVFIE ビット (オーバーフロー割り込み要求許可)**

オーバーフロー割り込み要求を許可します。

**FERRFCL ビット (FERRF フラグクリア)**

このビットを1にすると CASTR.FERRF フラグをクリアします。

**MENDFCL ビット (MENDF フラグクリア)**

このビットを1にすると CASTR.MENDF フラグをクリアします。

**OVFFCL ビット (OVFF フラグクリア)**

このビットを1にすると CASTR.OVFF フラグをクリアします。



### 10.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 4004 4604h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロック周波数は許容範囲内 1: クロック周波数が許容範囲を外れた (周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定終了	R
b2	OVFF	オーバーフローフラグ	0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローした	R
b7-b3	—	予約ビット	読むと0が読めます。	R

#### FERRF フラグ (周波数エラーフラグ)

クロック周波数が設定値から外れた (周波数エラー) ことを示します。

[1 になる条件]

- クロック周波数が CAULVR と CALLVR の両レジスタで定義された許容範囲を外れたとき

[0 になる条件]

- FERRFCL ビットに 1 を書いたとき

#### MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[1 になる条件]

- 測定が終了したとき

[0 になる条件]

- MENDFCL ビットに 1 を書いたとき

#### OVFF フラグ (オーバーフローフラグ)

カウンタがオーバーフローしたことを示します。

[1 になる条件]

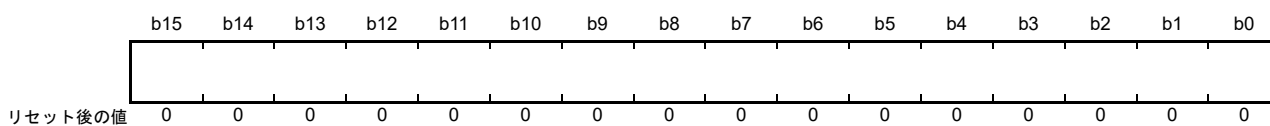
- カウンタがオーバーフローしたとき

[0 になる条件]

- OVFFCL ビットに 1 を書いたとき

### 10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス CAC.CAULVR 4004 4606h

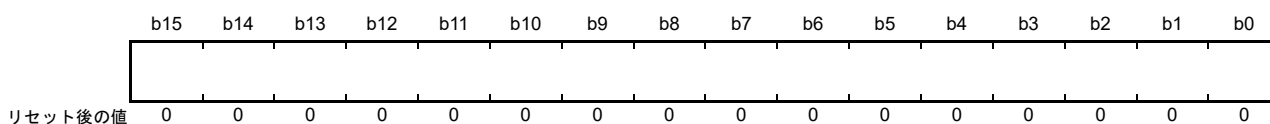


CAULVR レジスタは、許容範囲の上限値を指定する 16 ビットの読み出し/書き込みが可能なレジスタです。カウンタ値がこのレジスタに指定された値を上回った場合、周波数エラーが検出されます。CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに格納されるカウンタ値がずれる可能性があります。そのため、余裕を持った値を設定してください。

### 10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス CAC.CALLVR 4004 4608h

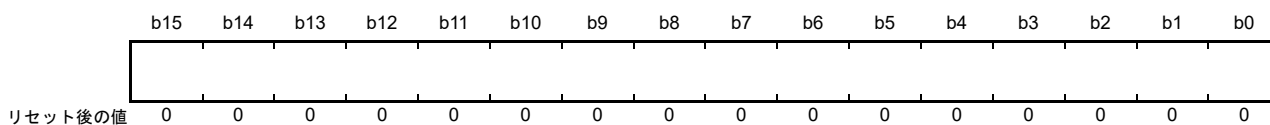


CALLVR レジスタは、許容範囲の下限値を指定する 16 ビットの読み出し/書き込みが可能なレジスタです。カウンタ値がこのレジスタに指定された値を下回った場合、周波数エラーが検出されます。CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに格納されるカウンタ値がずれる可能性があります。そのため、余裕を持った値を設定してください。

### 10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス CAC.CACNTBR 4004 460Ah



CACNTBR レジスタは、測定結果を格納する 16 ビットの読み出し専用レジスタです。

## 10.3 動作説明

### 10.3.1 クロック周波数測定

CAC は、CACREF 端子入力または内部クロックを基準にしてクロック周波数を測定します。図 10.2 に CAC の動作例を示します。

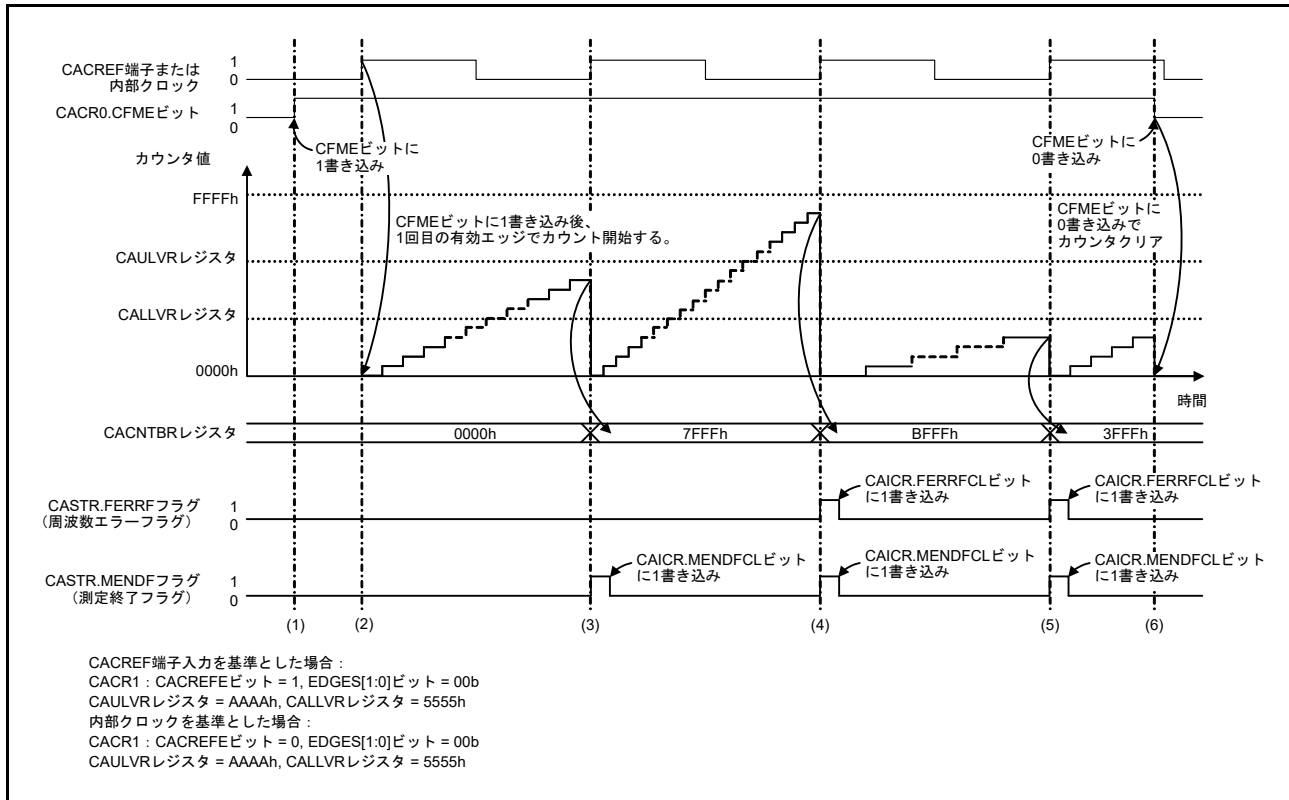


図 10.2 CAC の動作例

図 10.2 では、以下のように設定しています。

1. CACR0.CFME ビットに 1 を書き込む前に、CACR1 レジスタと CACR2 レジスタを設定して、測定対象クロックと測定基準クロックを定義します。CACR0.CFME ビットに 1 を書き込むと、クロック周波数測定が有効になります。
2. CACR1.EDGES[1:0] ビットで選択した有効エッジが測定基準クロックから入力されると、タイマがカウントアップを開始します。図 10.2 で、有効エッジは立ち上がりエッジです (CACR1.EDGES[1:0]=00b)。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR ≤ CAULVR かつ CACNTBR ≥ CALLVR が成立する場合、クロック周波数は正常なので CASTR.MENDF フラグのみが 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR > CAULVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生します。測定終了時に CASTR の MENDF フラグは 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR < CALLVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生します。測定終了時に CASTR の MENDF フラグは 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。

6. CACR0.CFME ビットが1のときは、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACR0.CFME ビットに0を書き込むと、カウンタをクリアしカウントアップが停止します。

### 10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期で CACREF 端子レベルが3回連続で一致した場合、内部回路に一致したレベルを送信します。再度サンプリングした端子のレベルが3回連続で一致するまで内部へ同じレベルを送信し続けます。デジタルフィルタ機能では、デジタルフィルタ機能の有効/無効と、サンプリングクロックの設定が可能です。

デジタルフィルタと CACREF 端子入力信号の位相差によって、CACNTBR レジスタに転送されるカウンタ値には、サンプリングクロックの最大1周期分の誤差が生じる場合があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウンタ値の誤差を表すことができます。

$$\text{カウンタ値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

## 10.4 割り込み要求

CAC は次の3種類の割り込み要求を発生させます。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

割り込み要因が発生すると、対応するステータスフラグが1になります。表 10.3 に、CAC の割り込み要求に関する情報を示します。

表 10.3 CACの割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー 割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較した結果が、CACNTBR > CAULVR または CACNTBR < CALLVR のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	<ul style="list-style-type: none"> <li>• CACREF 端子または内部クロックから有効エッジが入力されたとき</li> <li>• CACR0.CFME ビットに1を書き込んだ後の1回目の有効エッジでは、測定終了割り込みの発生なし</li> </ul>
オーバーフロー 割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

## 10.5 使用上の注意事項

### 10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、CAC の動作を許可または禁止することが可能です。リセット後の初期状態では、CAC モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

## 11. 低消費電力モード

### 11.1 概要

本 MCU には、クロック分周器の設定、モジュールストップ設定、通常モード時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 11.1 に低消費電力モード機能の仕様を示します。表 11.2 に、低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DMAC、DTC、および SRAM のみが動作しています。

表 11.1 低消費電力モード機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)、およびフラッシュインタフェースクロック (FCLK) に対して、個別に分周比を選択可能 (注1)
モジュールストップ状態	周辺モジュール機能を個別に停止可能
低消費電力モード	<ul style="list-style-type: none"> <li>スリープモード</li> <li>ソフトウェアスタンバイモード</li> <li>スヌーズモード</li> <li>ディープソフトウェアスタンバイモード</li> </ul>
電力制御モード	<p>動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、およびスヌーズモード時の消費電力を低減することが可能</p> <p>3つの動作電力制御モードが利用可能：</p> <ul style="list-style-type: none"> <li>High-speed モード</li> <li>Low-speed モード</li> <li>Subosc-speed モード</li> </ul>

注 1. 詳細は、「9. クロック発生回路」を参照してください。

表 11.2 各低消費電力モードの動作状態 (1/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード (注1)	ディープソフトウェアスタンバイモード
遷移条件	SBYCR.SSBY = 0 の状態で WFI 命令	SBYCR.SSBY = 1 かつ DPSBYCR.DPSBY = 0 の状態で WFI 命令	ソフトウェアスタンバイモードにおけるスヌーズ要求トリガ SNZCR.SNZE = 1	SBYCR.SSBY = 1 かつ DPSBYCR.DPSBY = 1 の状態で WFI 命令
解除方法	すべての割り込み。このモードで利用可能なすべてのリセット	表 11.3 に示す割り込み。このモードで利用可能なすべてのリセット	表 11.3 に示す割り込み。このモードで利用可能なすべてのリセット	表 11.3 に示す割り込み。このモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	リセット状態
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態	リセット状態
メインクロック発振器	選択可能	停止	選択可能 (注2)	停止
サブクロック発振器	選択可能	選択可能	選択可能	選択可能
高速オンチップオシレータ	選択可能	停止	選択可能	停止
中速オンチップオシレータ	選択可能	停止	選択可能	停止
低速オンチップオシレータ	選択可能	選択可能	選択可能	選択可能 (注3)
IWDT 専用オンチップオシレータ	選択可能 (注5)	選択可能 (注5)	選択可能 (注5)	停止
PLL	選択可能	停止	選択可能 (注2)	停止
発振停止検出機能	選択可能	動作禁止	動作禁止	動作禁止
クロック/ブザー出力機能	選択可能	選択可能 (注4)	選択可能	停止 (不定)
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
SRAMHS	選択可能	停止 (保持)	選択可能	停止 (不定)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)	停止 (保持)
DMA コントローラ (DMAC)	選択可能	停止 (保持)	動作禁止	停止 (不定)
データトランスファコントローラ (DTC)	選択可能	停止 (保持)	選択可能	停止 (不定)
ウォッチドッグタイマ (WDT)	選択可能 (注5)	停止 (保持)	停止 (保持)	停止 (不定)
独立ウォッチドッグタイマ (IWDT)	選択可能 (注5)	選択可能 (注5)	選択可能 (注5)	停止 (不定)
低消費電力非同期汎用タイマ (AGTn, n = 0, 1)	選択可能	選択可能 (注6)	選択可能 (注6)	選択可能 (注6)
12ビット A/D コンバータ (ADC12)	選択可能	停止 (保持)	選択可能 (注15)	停止 (不定)
プログラマブルゲインアンプ (PGA)	選択可能 (注16)	選択可能 (注16)	選択可能 (注16)	停止 (不定)
12ビット D/A コンバータ (DAC12)	選択可能	停止 (保持)	選択可能	停止 (不定)
データ演算回路 (DOC)	選択可能	停止 (保持)	選択可能	停止 (不定)
シリアルコミュニケーションインタフェース (SCI0)	選択可能	停止 (保持)	選択可能 (スヌーズモードへ遷移するために RXD0 立ち下がりエッジが利用可能) (調歩同期式モード時のみ) (注11)	停止 (不定)
シリアルコミュニケーションインタフェース (SCI1, n = 1 ~ 4, 8, 9)	選択可能	停止 (保持)	動作禁止	停止 (不定)
I <sup>2</sup> C バスインタフェース (IIC0)	選択可能	選択可能 (注10)	選択可能 (注10)	停止 (不定)
I <sup>2</sup> C バスインタフェース (IIC1)	選択可能	停止 (保持)	動作禁止	停止 (不定)

表 11.2 各低消費電力モードの動作状態 (2/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード (注1)	ディープソフトウェアスタンバイモード
イベントリンクコントローラ (ELC)	選択可能	停止 (保持)	選択可能 (注7)	停止 (不定)
高速アナログコンパレータ (ACMPHS0)	選択可能	選択可能 (注9)	選択可能 VCOUT機能のみ (注9)	停止 (不定)
高速アナログコンパレータ (ACMPHSn, n = 1~5)	選択可能	選択可能 (注8)	選択可能 VCOUT機能のみ (注8)	停止 (不定)
IRQn (n = 0~13) 端子割り込み	選択可能	選択可能	選択可能	停止 (不定)
NMI, IRQn-DS (n = 0, 1, 4~12) 端子割り込み	選択可能	選択可能	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能	選択可能	停止 (不定)
低電圧検出 (LVD)	選択可能	選択可能	選択可能	選択可能 (注12)
パワーオンリセット回路	動作	動作	動作	動作 (注13)
その他の周辺モジュール	選択可能	停止 (保持)	動作禁止	停止 (不定)
I/Oポート	動作	保持 (注14)	動作	保持 (注14)

- 注 . 「選択可能」とは、動作/停止がコントロールレジスタで選択できることを意味します。  
「停止 (保持)」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。  
「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。  
「停止 (不定)」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。
- 注 1. モジュールストップビットが 0 に設定されているモジュールはすべて、スヌーズモード遷移後に PCLK が供給されると、ただちに起動します。スヌーズモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを 1 にしてください。
- 注 2. スヌーズモードで SCI0 を使用する場合、MOSCCR.MOSTP ビットと PLLCR.PLLSTP ビットは 1 でなければいけません。
- 注 3. DPSBYCR.DEEPCUT[1:0] ビットが 00b の場合、発振器の状態はディープソフトウェアスタンバイモード遷移前と同じです。DPSBYCR.DEEPCUT[1:0] ビットが 00b でない場合、MCU がディープソフトウェアスタンバイモードへ遷移すると発振器は停止します。
- 注 4. クロックアウトプットソース選択ビット (CKOCR.CKOSEL[2:0]) が 010b (LOCO) および 100b (SOSC) 以外の値に設定されている場合は停止します。
- 注 5. IWDT 専用オンチップ発振器および IWDT は、IWDT オートスタートモード時にプッシュ機能選択レジスタ 0(OFS0) の IWDT 停止制御ビット (IWDTSTPCTL) の設定により、動作または停止を選択することが可能です。WDT は、WDT オートスタートモード時にオプション機能選択レジスタ 0(OFS0) の WDT 停止制御ビット (WDTSTPCTL) の設定により、動作または停止を選択することが可能です。
- 注 6. AGT0.AGTMR1.TCK[2:0] ビットで 100b (AGTLCLK) または 110b (AGTSCLK) が選択されている場合、AGT0 は動作可能です。AGT1.AGTMR1.TCK[2:0] ビットで 100b (AGTLCLK)、110b (AGTSCLK)、または 101b (AGT0 からのアンダーフローイベント信号) が選択されている場合、AGT1 は動作可能です。AGTn.AGTMR1.TCK[2:0] ビット (n = 0, 1) で 100b (AGTLCLK) が選択されている場合、ディープソフトウェアスタンバイモードへ遷移する前に DPSBYCR.DEEPCUT[1:0] ビットを 00b にする必要があります。
- 注 7. イベントは、11.10.13 スヌーズモードにおける ELC イベントに記載のものに限定されます。
- 注 8. VCOUT 機能のみが許可されます。ACMPHS がデジタルフィルタを使用していない場合に、VCOUT 端子は動作します。デジタルフィルタの詳細については、「38. 高速アナログコンパレータ (ACMPHS)」を参照してください。
- 注 9. CMPCTL.CSTEN ビットが 1 の場合、コンパレータ検出によるソフトウェアスタンバイモードの解除またはスヌーズモードへの遷移が可能です。
- 注 10. IIC0 ウェイクアップ割り込みが利用可能です。
- 注 11. SCI0 のシリアル通信モードは、調歩同期式モードです。
- 注 12. ディープソフトウェアスタンバイモードで LVD を使用する場合、ディープソフトウェアスタンバイモードへ遷移する前に DPSBYCR.DEEPCUT[1:0] ビットを 00b または 01b にする必要があります。
- 注 13. DPSBYCR.DEEPCUT[1:0] ビットが 11b の状態で MCU がディープソフトウェアスタンバイモードへ遷移した場合、LVD 回路は停止し、パワーオンリセット回路の低消費電力機能が有効になります。
- 注 14. アドレスバスとバス制御信号 (CS0, CS1, CS4 ~ CS7, RD, WR0、および ALE) に対しては、出力状態を維持するか、またはハイインピーダンス状態へ変化するかを SBYCR.OPE ビットで選択可能です。
- 注 15. スヌーズモードで 12 ビット A/D コンバータを使用する場合、ADCMPCR.CMPAE ビットおよび ADCMPCR.CMPBE ビットは 1 でなければいけません。
- 注 16. プログラマブルゲインアンプを使用する場合、MSTPDn (n = 15, 16) を 0 にする必要があります。詳細は「35.3.12 プログラマブルゲインアンプ」を参照してください。

表 11.3 スヌーズモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードを解除するための割り込み要因

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード	ディープソフトウェアスタンバイモード
NMI		可能	可能	可能
ポート	PORT_IRQn (n = 0 ~ 13)	可能	可能	不可能
	PORT_IRQn-DS (n = 0, 1, 4 ~ 12)	可能	可能	可能
LVD	LVD_LVD1	可能	可能	可能
	LVD_LVD2	可能	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能	不可能
KINT	KEY_INTKR	可能	可能	不可能
AGT1	AGT1_AGTI	可能	可能 (注3)	可能
	AGT1_AGTCMAI	可能	可能	不可能
	AGT1_AGTCMBI	可能	可能	不可能
ACMPHS	ACMP_HS0	可能	可能	不可能
IIC0	IIC0_WUI	可能	可能	不可能
ADC12n (n = 0, 1)	ADC12n_WCMPPM	不可能	SELSR0で可能 (注1) (注3)	不可能
	ADC12n_WCMPUM	不可能	SELSR0で可能 (注1) (注3)	不可能
SCI0	SCI0_AM	不可能	SELSR0で可能 (注1) (注2)	不可能
	SCI0_RXI_OR_ERI	不可能	SELSR0で可能 (注1) (注2)	不可能
DTC	DTC_COMPLETE	不可能	SELSR0で可能 (注1) (注3)	不可能
DOC	DOC_DOPCI	不可能	SELSR0で可能 (注1)	不可能

注 1. 割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。「13. 割り込みコントローラユニット (ICU)」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、通常モードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられる可能性はトリガ発生のタイミングに依存します。

注 2. SCI0\_AM または SCI0\_RXI\_OR\_ERI のいずれか一方のみ選択可能です。

注 3. SNZEDCR レジスタで許可されたイベントを使用してはいけません。



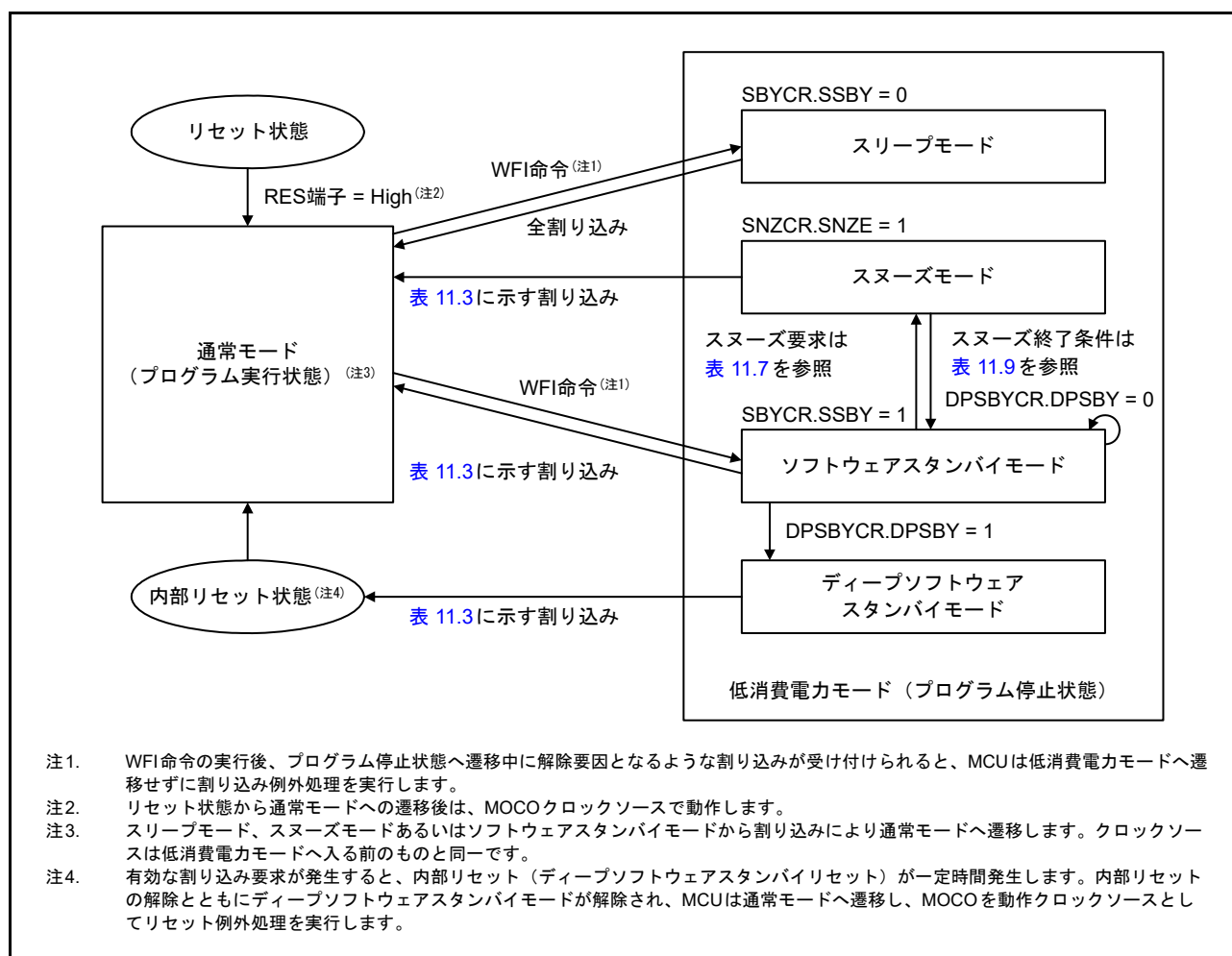


図 11.1 モード遷移

## 11.2 レジスタの説明

### 11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス SYSTEM.SBYCR 4001 E00Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	OPE	出力ポート許可	0: ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時、アドレスバスとバス制御信号をハイインピーダンス状態に設定。スヌーズモード時、アドレスバスとバス制御信号の状態はソフトウェアスタンバイモード遷移前と同じ 1: ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時、アドレスバスとバス制御信号の出力状態を保持	R/W
b15	SSBY	ソフトウェアスタンバイ	0: スリープモード 1: DPSBYCR.DPSBY = 0の場合、ソフトウェアスタンバイモード、DPSBYCR.DPSBY = 1の場合、ディープソフトウェアスタンバイモード	R/W

#### OPE ビット (出力ポート許可)

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に、アドレスバスとバス制御信号 (CS0、CS1、CS4 ~ CS7、RD、WR0、および ALE) の出力をハイインピーダンス状態にするか保持するかを選択します。

#### SSBY ビット (ソフトウェアスタンバイ)

WFI 命令実行後の遷移先を設定します。

本ビットが 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。なお、MCU が割り込みによってソフトウェアスタンバイモードを解除したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

OSTDCR.OSTDE ビットが 1 のときは、SSBY ビットは無視されます。SSBY ビットが 1 であっても、WFI 命令を実行するとスリープモードへ遷移します。

FENTRYR.FENTRYi ビット (i=0~3) が 1、または FENTRYR.FENTRYD ビットが 1 の場合、SSBY ビットの設定は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行するとスリープモードへ遷移します。詳細は表 11.6 を参照してください。

HOCO クロックを使用してソフトウェアスタンバイモードへ遷移する場合、STCONR.STCON[1:0] ビットは 00b、HOCOWTCR.HSTS[2:0] ビットは 110b にしてください。ただし、スヌーズモードで SCIO を使用しているときは、HOCOWTCR.HSTS[2:0] ビットは 010b にしてください。

## 11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス SYSTEM.MSTPCRA 4001 E01Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	MSTPA 22	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	MSTPA 5	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	書く場合、1としてください。	R/W
b4-b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	MSTPA5	高速SRAMモジュールストップ設定	対象モジュール：高速SRAM 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b7-b6	—	予約ビット	書く場合、1としてください。	R/W
b21-b8	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPA22	DMAコントローラ/データトランスファコントローラモジュールストップ設定 (注1)	対象モジュール：DMAC, DTC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b31-b23	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

注． 0ビットと6ビットの設定値は同じでなければいけません。

注1. MSTPA22ビットを0から1に書き換える場合、DMACおよびDTCを無効にしてからMSTPA22ビットを設定してください。

## 11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス MSTP.MSTPCRB 4004 7000h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
MSTPB31	MSTPB30	MSTPB29	MSTPB28	MSTPB27	—	—	—	MSTPB23	MSTPB22	—	—	MSTPB19	MSTPB18	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	MSTPB9	MSTPB8	—	—	MSTPB5	—	—	MSTPB2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPB2	コントローラエリアネットワーク0 モジュールストップ設定 (注1)	対象モジュール：CAN0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b4-b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	MSTPB5	IrDAモジュールストップ設定	対象モジュール：IrDA 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b7-b6	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b8	MSTPB8	I <sup>2</sup> Cバスインタフェース1モジュール ストップ設定	対象モジュール：IIC1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPB9	I <sup>2</sup> Cバスインタフェース0モジュール ストップ設定	対象モジュール：IIC0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b17-b10	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b18	MSTPB18	シリアルペリフェラルインタフェー ス1モジュールストップ設定	対象モジュール：SPI1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b19	MSTPB19	シリアルペリフェラルインタフェー ス0モジュールストップ設定	対象モジュール：SPI0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b21-b20	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPB22	シリアルコミュニケーションインタ フェース9モジュールストップ設定	対象モジュール：SCI9 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b23	MSTPB23	シリアルコミュニケーションインタ フェース8モジュールストップ設定	対象モジュール：SCI8 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b26-b24	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b27	MSTPB27	シリアルコミュニケーションインタ フェース4モジュールストップ設定	対象モジュール：SCI4 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b28	MSTPB28	シリアルコミュニケーションインタ フェース3モジュールストップ設定	対象モジュール：SCI3 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPB29	シリアルコミュニケーションインタ フェース2モジュールストップ設定	対象モジュール：SCI2 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定	対象モジュール：SCI1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタフェース0モジュールストップ設定	対象モジュール：SCI0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W

注1. MSTPBi ビットの書き換えは、このビットによって制御されるクロックの発振が安定しているときに行う必要があります。本ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 CAN クロック (CANMCLK) が2 サイクル経過してから WFI 命令を実行してください (i = 1, 2)。

## 11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス MSTP.MSTPCRC 4004 7004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPC31	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MSTPC14	MSTPC13	—	—	—	—	—	—	—	—	—	—	—	MSTPC1	MSTPC0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0 (注1)	クロック周波数精度測定回路モジュールストップ設定	対象モジュール：CAC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPC1	巡回冗長検査演算器モジュールストップ設定	対象モジュール：CRC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b12-b2	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b13	MSTPC13	データ演算回路モジュールストップ設定	対象モジュール：DOC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPC14	イベントリンクコントローラモジュールストップ設定	対象モジュール：ELC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b30-b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b31	MSTPC31	SCE7モジュールストップ設定	対象モジュール：SCE7 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W

注 1. MSTPC0 ビットの書き換えは、このビットによって制御されるクロックの発振が安定しているときに行う必要があります。本ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移する場合は、発振器によって出力されるクロックのうち、最も遅いクロックが2 サイクル経過してから WFI 命令を実行してください。

## 11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス MSTP.MSTPCRD 4004 7008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	MSTPD 28	MSTPD 27	MSTPD 26	MSTPD 25	MSTPD 24	MSTPD 23	MSTPD 22	—	MSTPD 20	—	—	—	MSTPD 16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPD 15	MSTPD 14	—	—	—	—	—	—	—	MSTPD 6	MSTPD 5	—	MSTPD 3	MSTPD 2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPD2	低消費電力非同期汎用タイマ1モジュールストップ設定 (注1)	対象モジュール：AGT1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPD3	低消費電力非同期汎用タイマ0モジュールストップ設定 (注2)	対象モジュール：AGT0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	MSTPD5	汎用PWMタイマ32EH0～32EH3、32E4～32E7およびPWM遅延発生回路モジュールストップ設定	対象モジュール：GPT32EHx (x=0～3)、GPT32Ey (y=4～7) およびPWM遅延発生回路 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPD6	汎用PWMタイマ328～3212モジュールストップ設定	対象モジュール：GPT32x (x=8～12) 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b13-b7	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b14	MSTPD14	GPT用ポートアウトブットイネーブルモジュールストップ設定	対象モジュール：POEG 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPD15	12ビットA/Dコンバータ1モジュールストップ設定	対象モジュール：ADC121 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b16	MSTPD16	12ビットA/Dコンバータ0モジュールストップ設定	対象モジュール：ADC120 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b19-b17	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b20	MSTPD20	12ビットD/Aコンバータモジュールストップ設定	対象モジュール：DAC12 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b21	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPD22	温度センサモジュールストップ設定	対象モジュール：TSN 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b23	MSTPD23	高速アナログコンパレータ5モジュールストップ設定	対象モジュール：ACMPHS5 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b24	MSTPD24	高速アナログコンパレータ4モジュールストップ設定	対象モジュール：ACMPHS4 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b25	MSTPD25	高速アナログコンパレータ3モジュールストップ設定	対象モジュール：ACMPHS3 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPD26	高速アナログコンパレータ2モジュールストップ設定	対象モジュール：ACMPHS2 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPD27	高速アナログコンパレータ1モジュールストップ設定	対象モジュール：ACMPHS1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b28	MSTPD28	高速アナログコンパレータ0モジュールストップ設定	対象モジュール：ACMPHS0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b31- b29	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

- 注 1. カウントソースがサブクロック発振器または LOCO の場合、MSTPD2 ビットを 1 にしても、AGT1 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT1 レジスタにアクセスする場合を除いて、このビットを 1 にする必要があります。
- 注 2. カウントソースがサブクロック発振器または LOCO の場合、MSTPD3 ビットを 1 にしても、AGT0 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT0 レジスタにアクセスする場合を除いて、このビットを 1 にする必要があります。



## 11.2.6 動作電力コントロールレジスタ (OPCCR)

アドレス SYSTEM.OPCCR 4001 E0A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	—	OPCM[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OPCM[1:0]	動作電力制御モード選択	b1 b0 0 0 : High-speed モード 1 1 : Low-speed モード 上記以外は設定しないでください。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	OPCMTSF	動作電力制御モード遷移状態フラグ	<ul style="list-style-type: none"> <li>読み出し 0 : 遷移完了 1 : 遷移中</li> <li>書き込み 書く場合、0としてください。</li> </ul>	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

OPCCR レジスタは、低い動作周波数と動作電圧を指定することによって、通常モードとスリープモード時の消費電力を低減させるためのレジスタです。動作電力制御モードの変更手順については、[11.5 低消費電力機能](#)を参照してください。

ソフトウェアスタンバイモードから通常モードまたはスヌーズモードへ遷移する場合は、ソフトウェアスタンバイモード遷移前の設定値にかかわらず、OPCCR.OPCM[1:0] ビットと SOPCCR.SOPCM ビットの設定値は以下のとおりです。

- OPCCR.OPCM[1:0] = 00b (High-speed モード)
- SOPCCR.SOPCM = 0b (Subosc-speed モード以外)

ソフトウェアスタンバイモードへの遷移が完了する前にソフトウェアスタンバイモードが解除されると、OPCCR.OPCM[1:0] ビットと SOPCCR.SOPCM ビットは、WFI 命令実行前の設定値を保持します。これによって問題が生じる場合は、ソフトウェアスタンバイモードを解除する際の例外処理手順において MCU を High-speed モードに設定してください。

### OPCM[1:0] ビット (動作電力制御モード選択)

通常モードとスリープモード時の動作電力制御モードを選択します。[表 11.4](#) は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

### OPCMTSF フラグ (動作電力制御モード遷移状態フラグ)

動作電力制御モード切り替え時の切り替え制御状態を示します。本フラグは、OPCM[1:0] ビットへのライトアクセス時に 1 になり、モード遷移が完了すると 0 になります。本フラグが 0 であることを確認してから次の処理を行ってください。

### 11.2.7 サブ動作電力コントロールレジスタ (SOPCCR)

アドレス SYSTEM.SOPCCR 4001 E0AAh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SOPC MTSF	—	—	—	SOPC M
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOPCM	サブ動作電力制御モード選択	0 : Subosc-speed モード以外 1 : Subosc-speed モード	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SOPCMTSF	サブ動作電力制御モード遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SOPCCR レジスタは、Subosc-speed モードへの遷移とこのモードからの復帰によって、通常モードとスリープモード時の消費電力を低減させるためのレジスタです。Subosc-speed モードは、サブクロック発振器または分周なしの LOCO を使用した場合に限り利用可能です。

FCACHEE.FCACHEEN を 0 にしてフラッシュキャッシュ機能を禁止にしてから、動作電力制御モードを変更してください。詳細は、「41. フラッシュメモリ」を参照してください。

動作電力制御モードの変更手順については、11.5 低消費電力機能を参照してください。

#### SOPCM ビット (サブ動作電力制御モード選択)

通常モードおよびスリープモード時の動作電力制御モードを選択します。このビットを 1 にすることで、Subosc-speed モードへ遷移できます。また、このビットを 0 にすることで、Subosc-speed モード遷移前の動作モード (OPCCR.OPCM[1:0] で設定された動作モード) へ復帰できます。

ソフトウェアスタンバイモードから通常モードまたはスヌーズモードへ遷移する場合、ソフトウェアスタンバイモード遷移前の設定値にかかわらず、OPCCR.OPCM[1:0] ビットと SOPCCR.SOPCM ビットの設定値は以下のとおりです。

- OPCCR.OPCM[1:0] = 00b (High-speed モード)
- SOPCCR.SOPCM = 0b (Subosc-speed モード以外)

ソフトウェアスタンバイモードへの遷移が完了する前にソフトウェアスタンバイモードが解除されると、OPCCR.OPCM[1:0] ビットと SOPCCR.SOPCM ビットは、WFI 命令実行前の設定値を保持します。これによって問題が生じる場合は、ソフトウェアスタンバイモードを解除する際の例外処理手順において MCU を High-speed モードに設定してください。

表 11.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

**SOPCMTSF フラグ (サブ動作電力制御モード遷移状態フラグ)**

動作電力制御モードを Subosc-speed モードへまたは Subosc-speed モードから切り替えたときの切り替え制御状態を示します。本フラグは、SOPCM ビットへのライトアクセス時に 1 になり、モード遷移が完了すると 0 になります。本フラグが 0 であることを確認してから次の処理を行ってください。

表 11.4 に、各動作電力制御モードを示します。

**表 11.4 各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係**

動作電力制御モード	OPCM[1:0] ビット	SOPCM ビット	消費電力
High-speed モード	00b	0	高 ↓ 低
Low-speed モード	11b	0	
Subosc-speed モード	00b, 11b	1	

注. 動作周波数範囲と電圧範囲については、「43. 電気的特性」を参照してください。

**High-speed モード**

リセット解除後、MCU はこのモードで動作します。

**Low-speed モード**

Low-speed モードには下記の制限事項があります。

- フラッシュメモリに対するプログラム/イレース操作は禁止
- PLL は使用禁止。11.10.1 レジスタアクセスを参照してください。

このモードでは、同じ条件（動作周波数、動作電圧など）で同じ動作をさせる場合、High-speed モードよりも消費電力を低減できます。

**Subosc-speed モード**

Subosc-speed モードには下記の制限事項があります。

- フラッシュメモリに対するプログラム/イレース操作は禁止
- データフラッシュの読み出しは禁止
- MOSC、PLL、MOCO、HOCO は使用禁止。11.10.1 レジスタアクセスを参照してください。
- ICK または FCK に対して分周クロックは使用禁止。11.10.1 レジスタアクセスを参照してください。
- メインクロック発振器の発振停止検出機能は使用禁止

## 11.2.8 スヌーズコントロールレジスタ (SNZCR)

アドレス SYSTEM.SNZCR 4001 E092h

	b7	b6	b5	b4	b3	b2	b1	b0
	SNZE	—	—	—	—	—	SNZDTCEN	RXDREQEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXDREQEN	RXD0 スヌーズ要求許可	0: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを無視 1: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを検出	R/W
b1	SNZDTCEN	スヌーズモード時の DTC 許可	0: スヌーズモード時に DTC 動作を禁止 1: スヌーズモード時に DTC 動作を許可	R/W
b6-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	SNZE	スヌーズモード許可	0: スヌーズモードを禁止 1: スヌーズモードを許可	R/W

### RXDREQEN ビット (RXD0 スヌーズ要求許可)

ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジを検出するか否かを指定します。このビットは SCIO が調歩同期式モードで作動しているときのみ使用可能です。RXD0 端子の立ち下がりエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジが検出されると、MCU はスヌーズモードへ遷移します。

### SNZDTCEN ビット (スヌーズモード時の DTC 許可)

スヌーズモード時に DTC と SRAM を使用するかどうかを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、IELSRn (ICU イベントリンク設定レジスタ n) を設定することで、DTC を起動することが可能です。

### SNZE ビット (スヌーズモード許可)

ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可または禁止します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットを 1 にすると、ソフトウェアスタンバイモード時に発生するいずれかのイベントトリガ (表 11.7 に示すもの) によって、MCU はスヌーズモードへ遷移します。ソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットをいったんクリアしてから再設定してください。詳細は、11.8 スヌーズモードを参照してください。

## 11.2.9 スヌーズ終了コントロールレジスタ (SNZEDCR)

アドレス SYSTEM.SNZEDCR 4001 E094h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCI0UMTED	AD1UMTED	AD1MATED	AD0UMTED	AD0MATED	DTCNZRED	DTCZRED	AGTUNFED
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AGTUNFED	AGT1アンダーフロー時スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b1	DTCZRED	最後のDTC送信完了時スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b2	DTCNZRED	最後以外のDTC送信完了時スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b3	AD0MATED	ADコンペアマッチ0スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b4	AD0UMTED	ADコンペア不一致0スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b5	AD1MATED	ADコンペアマッチ1スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b6	AD1UMTED	ADコンペア不一致1スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b7	SCI0UMTED	SCI0アドレス不一致スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W

表 11.8 に示すトリガの1つをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用するには、SNZEDCR レジスタの対応するビットを1にしてください。

表 11.3 に示したような、スヌーズモードから通常モードへ復帰させるためのイベントは、SNZEDCR レジスタで許可しないでください。

**AGTUNFED ビット (AGT1 アンダーフロー時スヌーズ終了許可)**

AGT1 アンダーフロー時のスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「24. 低消費電力非同期汎用タイマ (AGT)」を参照してください。

**DTCZRED ビット (最後の DTC 送信完了時スヌーズ終了許可)**

最後の DTC 送信完了時 (DTC の CRA または CRB レジスタが 0 のとき) のスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「17. データトランスファコントローラ (DTC)」を参照してください。

**DTCNZRED ビット (最後以外の DTC 送信完了時スヌーズ終了許可)**

各 DTC 送信完了時 (DTC の CRA または CRB レジスタが 0 以外するとき) のスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「17. データトランスファコントローラ (DTC)」を参照してください。

**AD0MATED ビット (AD コンペアマッチ 0 スヌーズ終了許可)**

変換結果が期待値と一致した場合に、AD0 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「35. 12 ビット A/D コンバータ (ADC12)」を参照してください。

**AD0UMTED ビット (AD コンペア不一致 0 スヌーズ終了許可)**

変換結果が期待値と一致しない場合に、AD0 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「35. 12 ビット A/D コンバータ (ADC12)」を参照してください。

**AD1MATED ビット (AD コンペアマッチ 1 スヌーズ終了許可)**

変換結果が期待値と一致した場合に、AD1 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「[35. 12 ビット A/D コンバータ \(ADC12\)](#)」を参照してください。

**AD1UMTED ビット (AD コンペア不一致 1 スヌーズ終了許可)**

変換結果が期待値と一致しない場合に、AD1 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「[35. 12 ビット A/D コンバータ \(ADC12\)](#)」を参照してください。

**SCI0UMTED ビット (SCI0 アドレス不一致スヌーズ終了許可)**

ソフトウェアスタンバイモード時に受信したアドレスが期待値と一致しない場合に、SCI0 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「[27. シリアルコミュニケーションインタフェース \(SCI\)](#)」を参照してください。このビットは SCI0 が調歩同期式モードを作動しているときにのみ 1 にしてください。

## 11.2.10 スヌーズ要求コントロールレジスタ (SNZREQCR)

アドレス SYSTEM.SNZREQCR 4001 E098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	SNZREQEN30	SNZREQEN29	SNZREQEN28	—	—	—	—	—	SNZREQEN22	—	—	—	—	SNZREQEN17	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SNZREQEN13	SNZREQEN12	SNZREQEN11	SNZREQEN10	SNZREQEN9	SNZREQEN8	SNZREQEN7	SNZREQEN6	SNZREQEN5	SNZREQEN4	SNZREQEN3	SNZREQEN2	SNZREQEN1	SNZREQEN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SNZREQEN0	スヌーズ要求許可0	IRQ0端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b1	SNZREQEN1	スヌーズ要求許可1	IRQ1端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b2	SNZREQEN2	スヌーズ要求許可2	IRQ2端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b3	SNZREQEN3	スヌーズ要求許可3	IRQ3端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b4	SNZREQEN4	スヌーズ要求許可4	IRQ4端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b5	SNZREQEN5	スヌーズ要求許可5	IRQ5端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b6	SNZREQEN6	スヌーズ要求許可6	IRQ6端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b7	SNZREQEN7	スヌーズ要求許可7	IRQ7端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b8	SNZREQEN8	スヌーズ要求許可8	IRQ8端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b9	SNZREQEN9	スヌーズ要求許可9	IRQ9端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b10	SNZREQEN10	スヌーズ要求許可10	IRQ10端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b11	SNZREQEN11	スヌーズ要求許可11	IRQ11端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b12	SNZREQEN12	スヌーズ要求許可12	IRQ12端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b13	SNZREQEN13	スヌーズ要求許可13	IRQ13端子のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b16-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b17	SNZREQEN17	スヌーズ要求許可 17	キー割り込みのスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b21-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22	SNZREQEN22	スヌーズ要求許可 22	ACMPHS0のスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b27-b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	SNZREQEN28	スヌーズ要求許可 28	AGT1アンダーフローのスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b29	SNZREQEN29	スヌーズ要求許可 29	AGT1コンペアマッチAのスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b30	SNZREQEN30	スヌーズ要求許可 30	AGT1コンペアマッチBのスヌーズ要求を許可 0: スヌーズ要求禁止 1: スヌーズ要求許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SNZREQCR レジスタは、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのトリガを制御します。WUPEN レジスタ（「13. 割り込みコントローラユニット (ICU)」を参照）において、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR の対応するビットが1であっても、そのトリガが発生するとMCUは通常モードへ遷移します。WUPEN レジスタの設定値は、SNZREQCR レジスタの設定値よりも常に優先順位は高くなります。詳細は、11.8 スヌーズモードと「13. 割り込みコントローラユニット (ICU)」を参照してください。



## 11.2.11 ディープソフトウェアスタンバイコントロールレジスタ (DPSBYCR)

アドレス SYSTEM.DPSBYCR 4001 E400h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP	—	—	—	—	DEEPCUT[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	DEEPCUT[1:0]	電源制御	b1 b0 0 0: ディープソフトウェアスタンバイモード時に、低速オンチップオシレータ、およびAGTnへ電源を供給する 0 1: ディープソフトウェアスタンバイモード時に、低速オンチップオシレータ、およびAGTnへ電源を供給しない 1 0: 設定禁止 1 1: ディープソフトウェアスタンバイモード時に、低速オンチップオシレータ、およびAGTnへ電源を供給しない。さらに、LVDを無効にし、パワーオンリセット回路の低消費電力機能を有効にする	R/W
b5-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	IOKEEP	I/Oポート保持	0: ディープソフトウェアスタンバイモード解除時に、I/Oポートをリセット状態にクリア 1: ディープソフトウェアスタンバイモード解除時に、I/Oポートをディープソフトウェアスタンバイモード時と同じ状態に保持	R/W
b7	DPSBY	ディープソフトウェアスタンバイ	0: スリープモード (SBYCR.SSBY = 0) またはソフトウェアスタンバイモード (SBYCR.SSBY = 1) 1: スリープモード (SBYCR.SSBY = 0) またはディープソフトウェアスタンバイモード (SBYCR.SSBY = 1)	R/W

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

## DEEPCUT[1:0] ビット (電源制御)

ディープソフトウェアスタンバイモード時に、低速オンチップオシレータおよび AGTn へ供給する内部電源を制御します。さらに、ディープソフトウェアスタンバイモード時に、LVD とパワーオンリセット回路の状態を制御します。また、ディープソフトウェアスタンバイモード時に LVD 割り込みを使用する場合は、DEEPCUT[1:0] ビットを 00b または 01b にする必要があります。

消費電力を低減させるため、LVD を停止させて、パワーオンリセット回路の低消費電力モード機能を有効にするには、DEEPCUT[1:0] ビットを 11b にしてください。DEEPCUT[1:0] ビットの設定値にかかわらず、ディープソフトウェアスタンバイモード時には SRAM の内部電源供給は停止します。

## IOKEEP ビット (I/Oポート保持)

ディープソフトウェアスタンバイモード時に、I/Oポートはソフトウェアスタンバイモード時と同じ状態を維持します。IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除後、I/Oポートの状態をリセットするか否かを指定します。

### DPSBY ビット (ディープソフトウェアスタンバイ)

ディープソフトウェアスタンバイモードへの遷移を制御します。詳細は表 11.6 を参照してください。

SBYCR.SSBY ビットと DPSBYCR.DPSBY ビットがともに 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ遷移します。

外部端子割り込みの発生元となる一部の端子 (NMI、IRQ0-DS、IRQ1-DS、および IRQ4-DS ~ IRQ12-DS)、または周辺機能割り込み (電圧監視 1、電圧監視 2) によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは 1 のままです。このビットを 0 にするには、0 を書いてください。

OFS0.IWDTSTPCTL ビットが 0 (カウント継続) の場合、OFS0.IWDTSTRT ビット設定値にかかわらず、DPSBY ビットの設定値は無効です。SBYCR.SSBY ビットと DPSBY ビットが 1 であっても、WFI 命令実行後はソフトウェアスタンバイモードへ遷移します。

また、電圧監視 1 リセットが許可 (LVD1CR0.RI=1) になっている場合、あるいは電圧監視 2 リセットが許可 (LVD2CR0.RI=1) になっている場合も、DPSBY ビットの設定値は無効です。SBYCR.SSBY ビットと DPSBY ビットが 1 であっても、WFI 命令を実行すると MCU はソフトウェアスタンバイモードへ遷移します。

#### 11.2.12 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 0 (DPSIER0)

アドレス SYSTEM.DPSIER0 4001 E402h

b7	b6	b5	b4	b3	b2	b1	b0
DIRQ7 E	DIRQ6 E	DIRQ5 E	DIRQ4 E	—	—	DIRQ1 E	DIRQ0 E
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0E	IRQ0-DS 端子許可	IRQ0-DS 端子によるディープソフトウェアスタンバイモードの解除を許可 0: 禁止 1: 許可	R/W
b1	DIRQ1E	IRQ1-DS 端子許可	IRQ1-DS 端子によるディープソフトウェアスタンバイモードの解除を許可 0: 禁止 1: 許可	R/W
b3-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	DIRQ4E	IRQ4-DS 端子許可	IRQ4-DS 端子によるディープソフトウェアスタンバイモードの解除を許可 0: 禁止 1: 許可	R/W
b5	DIRQ5E	IRQ5-DS 端子許可	IRQ5-DS 端子によるディープソフトウェアスタンバイモードの解除を許可 0: 禁止 1: 許可	R/W
b6	DIRQ6E	IRQ6-DS 端子許可	IRQ6-DS 端子によるディープソフトウェアスタンバイモードの解除を許可 0: 禁止 1: 許可	R/W
b7	DIRQ7E	IRQ7-DS 端子許可	IRQ7-DS 端子によるディープソフトウェアスタンバイモードの解除を許可 0: 禁止 1: 許可	R/W

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。なお、DPSIER0 レジスタの設定を変更すると、対応する端子の状態によっては内部的にエッジが発生し、対応する DPSIFR0 レジスタのビット値が 1 になる可能性があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR0 レジスタを 0 にしてください。

## 11.2.13 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 1 (DPSIER1)

アドレス SYSTEM.DPSIER1 4001 E403h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DIRQ12E	DIRQ11E	DIRQ10E	DIRQ9E	DIRQ8E
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8E	IRQ8-DS 端子許可	IRQ8-DS 端子によるディープソフトウェアスタンバイモードの解除を許可 0: 禁止 1: 許可	R/W
b1	DIRQ9E	IRQ9-DS 端子許可	IRQ9-DS 端子によるディープソフトウェアスタンバイモードの解除を許可 0: 禁止 1: 許可	R/W
b2	DIRQ10E	IRQ10-DS 端子許可	IRQ10-DS 端子によるディープソフトウェアスタンバイモードの解除を許可 0: 禁止 1: 許可	R/W
b3	DIRQ11E	IRQ11-DS 端子許可	IRQ11-DS 端子によるディープソフトウェアスタンバイモードの解除を許可 0: 禁止 1: 許可	R/W
b4	DIRQ12E	IRQ12-DS 端子許可	IRQ12-DS 端子によるディープソフトウェアスタンバイモードの解除を許可 0: 禁止 1: 許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DPSIER1 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、[表 6.2 リセット要因ごとの初期化対象リセット検出フラグ](#)を参照してください。なお、DPSIER1 レジスタの設定を変更すると、対応する端子の状態によっては内部的にエッジが発生し、対応する DPSIFR1 レジスタのビット値が1になる可能性があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR1 レジスタを0にしてください。

## 11.2.14 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 2 (DPSIER2)

アドレス SYSTEM.DPSIER2 4001 E404h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DNMIE	—	—	DLVD2IE	DLVD1IE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IE	LVD1ディープソフトウェアスタンバイ解除信号許可	電圧監視1信号によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b1	DLVD2IE	LVD2ディープソフトウェアスタンバイ解除信号許可	電圧監視2信号によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DNMIE	NMI端子許可	NMI端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W (注1)
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 一度だけ1を書くことができます。以後のライトアクセスは無効です。

DPSIER2 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、[表 6.2 リセット要因ごとの初期化対象リセット検出フラグ](#)を参照してください。なお、DPSIER2 レジスタの設定を変更すると、対応する端子の状態によっては内部的にエッジが発生し、対応する DPSIFR2 レジスタのビット値が1になる可能性があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR2 レジスタを0にしてください。

## 11.2.15 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 3 (DPSIER3)

アドレス SYSTEM.DPSIER3 4001 E405h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	DAGT1 IE	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	DAGT1IE	AGT1アンダーフローディープソフトウェアスタンバイ解除信号許可	AGT1アンダーフローによるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DPSIER3 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、[表 6.2 リセット要因ごとの初期化対象リセット検出フラグ](#)を参照してください。なお、DPSIER3 レジスタの設定を変更すると、対応する端子の状態によっては内部的にエッジが発生し、対応する DPSIFR3 レジスタのビット値が1になる可能性があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR3 レジスタを0にしてください。

## 11.2.16 ディープソフトウェアスタンバイ割り込みフラグレジスタ 0 (DPSIFR0)

アドレス SYSTEM.DPSIFR0 4001 E406h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7	DIRQ6	DIRQ5	DIRQ4	—	—	DIRQ1	DIRQ0
	F	F	F	F			F	F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0F	IRQ0-DS 端子ディープソフトウェアスタンバイ解除フラグ	IRQ0-DS 端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b1	DIRQ1F	IRQ1-DS 端子ディープソフトウェアスタンバイ解除フラグ	IRQ1-DS 端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/(W) (注1)
b4	DIRQ4F	IRQ4-DS 端子ディープソフトウェアスタンバイ解除フラグ	IRQ4-DS 端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b5	DIRQ5F	IRQ5-DS 端子ディープソフトウェアスタンバイ解除フラグ	IRQ5-DS 端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b6	DIRQ6F	IRQ6-DS 端子ディープソフトウェアスタンバイ解除フラグ	IRQ6-DS 端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b7	DIRQ7F	IRQ7-DS 端子ディープソフトウェアスタンバイ解除フラグ	IRQ7-DS 端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)

注1. フラグをクリアするための0の書き込みのみ可能です。

DPSIEGR0 レジスタで設定した該当の解除要求が発生すると、DPSIFR0 レジスタのフラグが1になります。ディープソフトウェアスタンバイモードではない状態でも、解除要求が発生すると1になる場合があります。また、DPSIER0 レジスタの設定を変更しても1になる場合があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR0 レジスタを00h にしてください。

DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを00h にする場合は、PCLKB が6サイクル以上経過してから、DPSIFR0 レジスタを読んだ後、0を書き込んでください。たとえば、DPSIER0 レジスタを読むことによって、PCLKB の6サイクル以上が確保されます。DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

## DIRQnF フラグ (IRQn-DS 端子ディープソフトウェアスタンバイ解除フラグ) (n = 0, 1, 4 ~ 7)

IRQn-DS 端子による解除要求が発生したことを示します。

[1になる条件]

- DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

## 11.2.17 ディープソフトウェアスタンバイ割り込みフラグレジスタ 1 (DPSIFR1)

アドレス SYSTEM.DPSIFR1 4001 E407h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DIRQ1 2F	DIRQ11 F	DIRQ10 F	DIRQ9 F	DIRQ8 F
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8F	IRQ8-DS 端子ディープソフトウェアスタンバイ解除フラグ	IRQ8-DS 端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b1	DIRQ9F	IRQ9-DS 端子ディープソフトウェアスタンバイ解除フラグ	IRQ9-DS 端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b2	DIRQ10F	IRQ10-DS 端子ディープソフトウェアスタンバイ解除フラグ	IRQ10-DS 端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b3	DIRQ11F	IRQ11-DS 端子ディープソフトウェアスタンバイ解除フラグ	IRQ11-DS 端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b4	DIRQ12F	IRQ12-DS 端子ディープソフトウェアスタンバイ解除フラグ	IRQ12-DS 端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. フラグをクリアするための0の書き込みのみ可能です。

DPSIEGR1 レジスタで設定した対応する解除要求が発生すると、DPSIFR1 レジスタのフラグが1になります。ディープソフトウェアスタンバイモードではない状態でも、解除要求が発生すると1になる場合があります。また、DPSIER1 レジスタの設定を変更しても1になる場合があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR1 レジスタを00h にしてください。

DPSIER1 レジスタの設定変更後に DPSIFR1 レジスタを00h にする場合は、PCLKB が6サイクル以上経過してから、DPSIFR1 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER1 レジスタを読むことによって、PCLKB の6サイクル以上が確保されます。DPSIFR1 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

## DIRQnF フラグ (IRQn-DS 端子ディープソフトウェアスタンバイ解除フラグ) (n = 8 ~ 12)

IRQn-DS 端子による解除要求が発生したことを示します。

[1 になる条件]

- DPSIEGR1 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

## 11.2.18 ディープソフトウェアスタンバイ割り込みフラグレジスタ 2 (DPSIFR2)

アドレス SYSTEM.DPSIFR2 4001 E408h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DNMIF	—	—	DLVD2IF	DLVD1IF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IF	LVD1ディープソフトウェアスタンバイ解除フラグ	電圧監視1信号によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b1	DLVD2IF	LVD2ディープソフトウェアスタンバイ解除フラグ	電圧監視2信号によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DNMIF	NMIディープソフトウェアスタンバイ解除フラグ	NMI端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R/(W) (注1)
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. フラグをクリアするための0の書き込みのみ可能です。

DPSIEGR2 レジスタで設定した対応する解除要求が発生すると、DPSIFR2 レジスタのフラグが1になります。ディープソフトウェアスタンバイモードではない状態でも、解除要求が発生すれば1になる場合があります。また、DPSIER2 レジスタの設定を変更しても1になる場合があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR2 レジスタを00hにしてください。

DPSIER2 レジスタの設定変更後に DPSIFR2 レジスタを00hにする場合は、PCLKB が6サイクル以上経過してから、DPSIFR2 レジスタを読んだ後、0を書いてください。たとえば、DPSIER2 レジスタを読むことによって、PCLKB の6サイクル以上が確保されます。DPSIFR2 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

**DLVDmIF フラグ (LVDm ディープソフトウェアスタンバイ解除フラグ) (m = 1, 2)**

電圧監視 m 信号による解除要求が発生したことを示します。

[1 になる条件]

- DPSIEGR2 レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

**DNMIF フラグ (NMI ディープソフトウェアスタンバイ解除フラグ)**

NMI 端子による解除要求が発生したことを示します。

[1 になる条件]

- DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき



## 11.2.19 ディープソフトウェアスタンバイ割り込みフラグレジスタ 3 (DPSIFR3)

アドレス SYSTEM.DPSIFR3 4001 E409h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	DAGT1 IF	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	DAGT1IF	AGT1アンダーフローディープソフトウェアスタンバイ解除フラグ	AGT1アンダーフローによるディープソフトウェアスタンバイモード解除要求の発生を示します。 0: 要求の発生なし 1: 要求の発生あり	R(W) (注1)
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. フラグをクリアするための0の書き込みのみ可能です。

対応する解除要求が発生すると、DPSIFR3 レジスタのフラグが1になります。ディープソフトウェアスタンバイモードではない状態でも、解除要求が発生すれば1になる場合があります。また、DPSIER3 レジスタの設定を変更しても1になる場合があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR3 レジスタを00h にしてください。

DPSIER3 レジスタの設定変更後に DPSIFR3 レジスタを00h にする場合は、PCLKB が6サイクル以上経過してから、DPSIFR3 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER3 レジスタを読むことによって、PCLKB の6サイクル以上が確保されます。DPSIFR3 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、「6. リセット」を参照してください。

**DAGT1IF フラグ (AGT1 アンダーフローディープソフトウェアスタンバイ解除フラグ)**

AGT1 アンダーフローによる解除要求が発生したことを示します。

[1になる条件]

- AGT1 アンダーフローによる解除要求が発生したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

## 11.2.20 ディープソフトウェアスタンバイ割り込みエッジレジスタ 0 (DPSIEGR0)

アドレス SYSTEM.DPSIEGR0 4001 E40Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7 EG	DIRQ6 EG	DIRQ5 EG	DIRQ4 EG	—	—	DIRQ1 EG	DIRQ0 EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0EG	IRQ0-DS 端子エッジ選択	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b1	DIRQ1EG	IRQ1-DS 端子エッジ選択	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DIRQ4EG	IRQ4-DS 端子エッジ選択	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b5	DIRQ5EG	IRQ5-DS 端子エッジ選択	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b6	DIRQ6EG	IRQ6-DS 端子エッジ選択	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b7	DIRQ7EG	IRQ7-DS 端子エッジ選択	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

## 11.2.21 ディープソフトウェアスタンバイ割り込みエッジレジスタ 1 (DPSIEGR1)

アドレス SYSTEM.DPSIEGR1 4001 E40Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DIRQ1 2EG	DIRQ11 EG	DIRQ1 0EG	DIRQ9 EG	DIRQ8 EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8EG	IRQ8-DS 端子エッジ選択	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b1	DIRQ9EG	IRQ9-DS 端子エッジ選択	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b2	DIRQ10EG	IRQ10-DS 端子エッジ選択	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b3	DIRQ11EG	IRQ11-DS 端子エッジ選択	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b4	DIRQ12EG	IRQ12-DS 端子エッジ選択	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がリエッジで解除要求を発生	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DPSIEGR1 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

## 11.2.22 ディープソフトウェアスタンバイ割り込みエッジレジスタ 2 (DPSIEGR2)

アドレス SYSTEM.DPSIEGR2 4001 E40Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIE G	—	—	DLVD2 EG	DLVD1 EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1EG	LVD1エッジ選択	0 : $V_{CC} < V_{det1}$ (下降) 検出時に解除要求を発生 1 : $V_{CC} \geq V_{det1}$ (上昇) 検出時に解除要求を発生	R/W
b1	DLVD2EG	LVD2エッジ選択	0 : $V_{CC} < V_{det2}$ (下降) 検出時に解除要求を発生 1 : $V_{CC} \geq V_{det2}$ (上昇) 検出時に解除要求を発生	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DNMIEG	NMI端子エッジ選択	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がリエッジで解除要求を発生	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

## 11.2.23 システムコントロール OCD コントロールレジスタ (SYOCDRCR)

アドレス SYSTEM.SYOCDRCR 4001 E40Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	DBGEN	—	—	—	—	—	—	DOCDF
リセット後の値	0	0	0	0	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	DOCDF	ディープソフトウェアスタンバイ OCD フラグ	MCUCTRL.DBIRQ ビットによる解除要求を示します。 0: DBIRQ の発生なし 1: DBIRQ の発生あり	R/(W) (注1)
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DBGEN	デバッグ有効	0: オンチップデバッグは無効 1: オンチップデバッグは有効 オンチップデバッグ (OCD) モードで最初に1にしてください。	R/W

注1. 0 を書くとフラグが0になります。1 の書き込みは無視されます。

SYOCDRCR レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

**DOCDF フラグ (ディープソフトウェアスタンバイ OCD フラグ)**

MCUCTRL.DBIRQ ビットによるディープソフトウェアスタンバイモード解除要求が発生したことを示します。解除要求が発生したときに1になります。ディープソフトウェアスタンバイモードではない状態でも、解除要求が発生すれば1になる場合があります。ディープソフトウェアスタンバイモードへ遷移する前に、DOCDF フラグを0にしてください。

[1 になる条件]

- MCUCTRL.DBIRQ ビットによる解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DBGEN ビットが0 のとき

**DBGEN ビット (デバッグ有効)**

OCD モードを有効にします。このビットは、OCD モードで最初に1にする必要があります。

[1 になる条件]

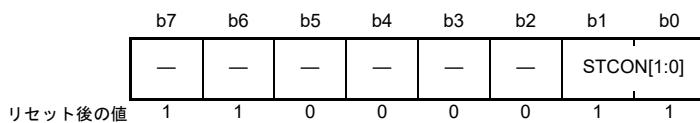
- デバッグの接続時に1を書いたとき

[0 になる条件]

- パワーオンリセットが発生したとき
- 0 を書いたとき

## 11.2.24 スタンバイ条件レジスタ (STCONR)

アドレス SYSTEM.STCONR 4001 E40Fh



ビット	シンボル	ビット名	機能	R/W
b1-b0	STCON[1:0]	SSTBY条件	b1 b0 0 0 : HOCO使用時にソフトウェアスタンバイモードへ遷移する 1 1 : HOCO不使用時にソフトウェアスタンバイモードへ遷移する	R/W
b5-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

## STCON[1:0] ビット (SSTBY 条件)

HOCO クロックの使用時にソフトウェアスタンバイモードへ遷移するには、STCON[1:0] ビットを常に00b にする必要があります。

### 11.3 クロックの切り替えによる消費電力の低減

次のビットが設定されたときにクロック周波数が変わります。

- SCKDIVCR.FCK[2:0]
- ICK[2:0]
- PCKA[2:0]
- PCKB[2:0]
- PCKC[2:0]
- PCKD[2:0]

モジュールとクロックの対応関係は以下の通りです。

- CPU、DMAC、DTC、フラッシュ、および SRAM は、ICK[2:0] ビットで設定された動作クロックを使用
- 周辺モジュールは、PCKA[2:0]、PCKB[2:0]、PCKC[2:0]、および PCKD[2:0] の各ビットで設定された動作クロックを使用
- フラッシュメモリインタフェースは、FCK[2:0] ビットで設定された動作クロックを使用

詳細は、「9. クロック発生回路」を参照してください。

### 11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することが可能です。

MSTPCRA ~ MSTPCRD レジスタの MSTPmi ビット (m = A ~ D, i = 31 ~ 0) を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は動作を継続します。MSTPmi ビットを 0 にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュール内部の状態が保持されます。

リセット解除後は、DMAC、DTC、および SRAM モジュール以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。そうでないと、そのモジュールに対するデータの読み出し/書き込みやモジュールの動作は保証されません。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

PLL をクロックソースとして選択したとき、MSTPmi ビットは 1 ビットずつ変更してください。以下のいずれかのビットを変更する際、各 MSTPmi ビットの変更後に次の操作を行う場合は、少なくとも 250ns 待機してください。

- MSTPA22 (DMAC, DTC)
- MSTPC31 (SCE7)
- MSTPD5 (GPT32EH, GPT32E)

待機時間の計測にはソフトウェアを使用することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。

## 11.5 低消費電力機能

所定の動作周波数と動作電圧に合わせて適切な動作電力モードを選択することにより、通常モード時、スリープモード時の消費電力を削減できます。

### 11.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、電圧範囲や周波数範囲などの動作条件が仕様範囲内に収まっていることを必ず確認してください。動作電力制御モードの切り替え手順例を以下に示します。

表 11.5 各モードで利用可能な発振器

モード	発振器						
	PLL	高速オンチップ オシレータ	中速オンチップ オシレータ	低速オンチップ オシレータ	メインクロック 発振器	サブクロック 発振器	IWDT専用 オンチップ オシレータ
High-speed	可能	可能	可能	可能	可能	可能	可能
Low-speed	不可能	可能	可能	可能	可能	可能	可能
Subosc-speed	不可能	不可能	不可能	可能	不可能	可能	可能

#### (1) 消費電力が大きいモードから小さいモードへ切り替える場合

例 1 : High-speed モードから Low-speed モードへの切り替え

最初は High-speed モードで動作しています。

1. 発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最大動作周波数以下とする。
2. Low-speed モードで不要な発振器をオフにする。
3. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. OPCCR.OPCM[1:0] ビットを 11b (Low-speed モード) にする。
5. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。

動作は Low-speed モードになります。

例 2 : High-speed モードから Subosc-speed モードへの切り替え

最初は High-speed モードで動作しています。

1. クロックソースをサブクロック発振器に切り替える。
2. HOCO、MOCO、LOCO、メイン発振器、および PLL をオフにする。
3. サブクロック発振器以外の全クロックソースが停止していることを確認する。
4. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
5. SOPCCR.SOPCM ビットを 1 (Subosc-speed モード) にする。
6. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。

動作は Subosc-speed モードになります。

#### (2) 消費電力が小さいモードから大きいモードへ切り替える場合

例 1 : Subosc-speed モードから High-speed モードへの切り替え

最初は Subosc-speed モードで動作しています。

1. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
2. SOPCCR.SOPCM ビットを 0 (High-speed モード) にする。

3. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. High-speed モードに必要な発振器をオンにする。
5. 各クロックの周波数を、High-speed モードにおける最大動作周波数以下とする。  
動作は High-speed モードになります。

例 2 : Low-speed モードから High-speed モードへの切り替え

最初は Low-speed モードで動作しています。

1. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
2. OPCCR.OPCM[1:0] ビットを 00b (High-speed モード) にする。
3. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. High-speed モードに必要な発振器をオンにする。
5. 各クロックの周波数を、High-speed モードにおける最大動作周波数以下とする。  
動作は High-speed モードになります。



## 11.6 スリープモード

### 11.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。スリープモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止) の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSSTPR.SLCSTP ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0 の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。WDTSTPCTL ビットは 0 (WDT はスリープモードで停止しない) です。同様に、WDT がレジスタスタートモードであり、かつ WDTCSSTPR.SLCSTP ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

### 11.6.2 スリープモードの解除

スリープモードは以下の方法で解除されます。

- 割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- SRAM パリティエラーリセット
- バスマスタ MPU エラーリセット
- バススレーブ MPU エラーリセット
- IWDT または WDT アンダーフローによるリセット

動作は以下の通りです。

1. 割り込みによる解除  
割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除  
RES 端子を Low にすると、MCU はリセット状態になります。「[43. 電気的特性](#)」に示す規定の期間に従って、RES 端子を Low に保つ必要があります。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。

## 3. IWDT リセットによる解除

IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。

- OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1

## 4. WDT リセットによる解除

WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT はスリープモードで停止して、スリープモードを解除するための内部リセットが発生しません。

- OFS0.WDTSTRT = 0 (オートスタートモード) かつ OFS0.WDTSTPCTL = 1
- OFS0.WDTSTRT = 1 (レジスタスタートモード) かつ WDTCSTPR.SLCSTP = 1

## 5. スリープモードで利用可能な他のリセットによる解除

その他の利用可能なリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注 . 割り込みの正しい設定方法については、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

## 11.7 ソフトウェアスタンバイモード

### 11.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1、かつ DPSBYCR.DPSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。表 11.2 に、内蔵周辺機能と発振器の状態を示します。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 11.3 を、ソフトウェアスタンバイモードからの復帰については、13.2.9 **ウェイクアップ割り込みイネーブルレジスタ (WUPEN)** を参照してください。割り込みを使用してソフトウェアスタンバイモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「13. **割り込みコントローラユニット (ICU)**」を参照してください。

ソフトウェアスタンバイモード時のアドレスバスとバス制御信号の状態は、SBYCR.OPE ビットで選択可能です。

スヌーズモード時に DTC を使用する場合を除き、DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止) の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。MCU がソフトウェアスタンバイモードへ遷移すると、WDT はカウントを停止します。

OSTDCR.OSTDE が 1 (発振停止検出機能が有効) の状態で、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、発振停止検出機能を無効 (OSTDCR.OSTDE を 0) にした後、WFI 命令を実行してください。OSTDCR.OSTDE ビットが 1 の状態で WFI 命令を実行すると、SBYCR.SSBY ビットが 1 であっても、MCU はスリープモードへ遷移します。フラッシュメモリのプログラム/イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム/イレース処理が完了してから WFI 命令を実行してください。

クロックソースとして PLL を選択した場合、以下のモジュールをモジュールストップ状態に設定してから WFI 命令を実行してください。

- SCE7
- GPT32EH
- GPT32E

少なくとも 750ns 待機してから WFI 命令を実行する必要があります。待機時間の計測にはソフトウェアを使用することを推奨します。ワーストケースの使用条件を考慮して、必要な待機時間が経過したことを確認してください。

表 11.6 に、関連する制御ビットの設定値と、WFI 命令実行時に遷移するモードを示します。

図 11.2 に、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへの遷移時のフロー例を示します。

表 11.6 WFI 命令実行時のモードに影響を与えるビット設定

他のビットの設定値		SBYCR.SSBYビットとDPSBYCR.DPSBYビットの設定値			
		SSBY = 0, DPSBY = 0	SSBY = 0, DPSBY = 1	SSBY = 1, DPSBY = 0	SSBY = 1, DPSBY = 1
OSTDCR.OSTDE	0	スリープモード	スリープモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
	1			スリープモード	スリープモード
FENTRYR.FENTRYI	0	スリープモード	スリープモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
	1			スリープモード	スリープモード
OFS0.IWDTSTPCTL	0	スリープモード	スリープモード	ソフトウェアスタンバイモード	ソフトウェアスタンバイモード
	1				ディープソフトウェアスタンバイモード
LVD1CR0.RI	0	スリープモード	スリープモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
	1				ソフトウェアスタンバイモード
LVD2CR0.RI	0	スリープモード	スリープモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
	1				ソフトウェアスタンバイモード

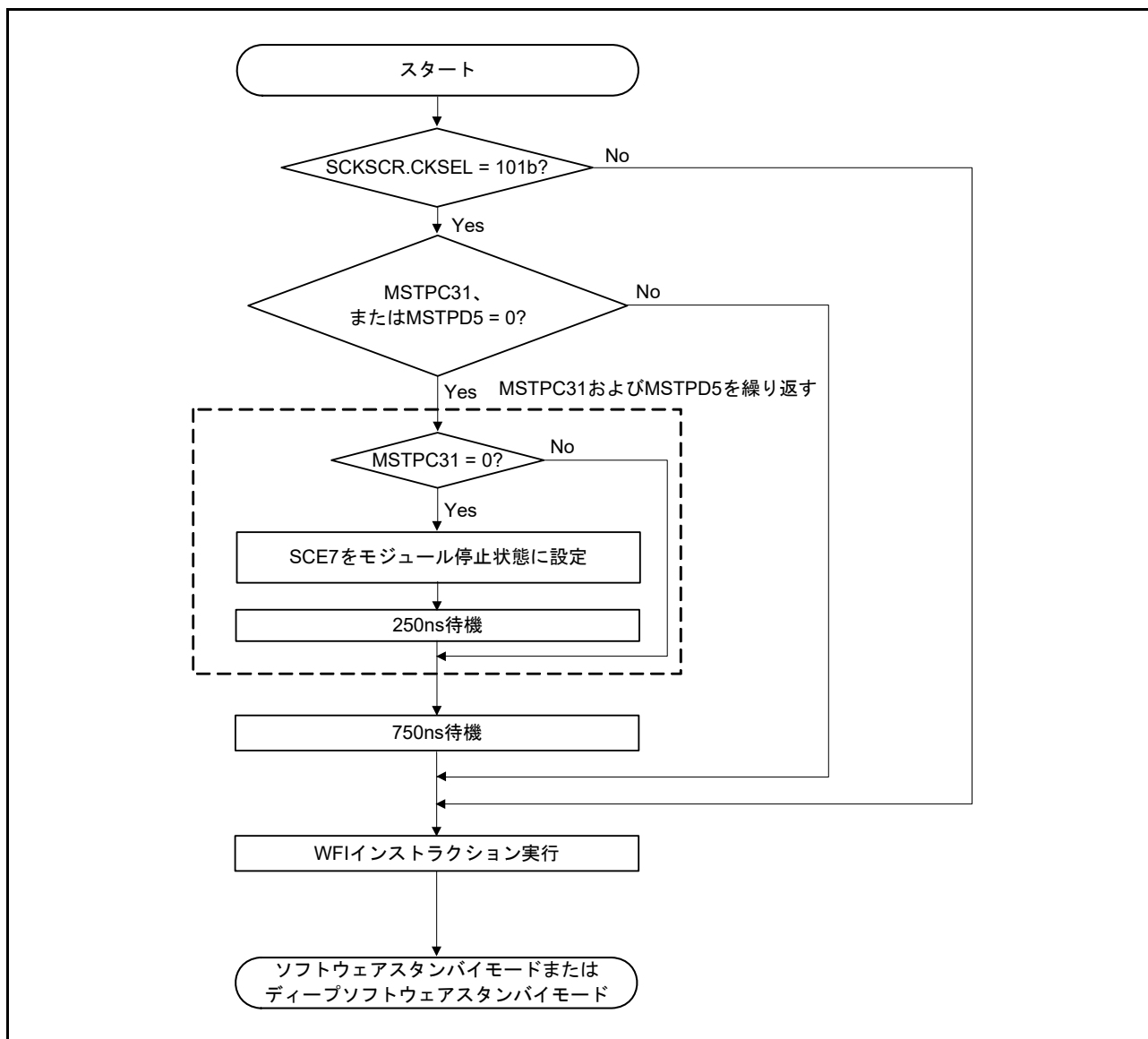


図 11.2 ソフトウェアスタンバイまたはディープソフトウェアスタンバイモード遷移時のフロー例

### 11.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは以下の方法で解除されます。

- [表 11.3](#) に示す利用可能な割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- IWDT アンダーフローに起因したリセット

ソフトウェアスタンバイモードが解除されると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。これらすべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰します。ソフトウェアスタンバイモードからの復帰については、[13.2.9 ウェイクアップ割り込みイネーブルレジスタ \(WUPEN\)](#) を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

- 割り込みによる解除  
利用可能な割り込み要求 ([表 11.3](#) を参照) が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していたすべての発振器が動作を再開します。これらすべての発振器が安定してから、MCU はソフトウェアスタンバイモードを解除して、割り込み処理を開始します。PLL をクロックソースとして選択したとき、割り込み処理の開始時に、少なくとも 250ms 待機する必要があります。待機時間の計測にはソフトウェアを使用することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。[図 11.3](#) に割り込みによるソフトウェアスタンバイ解除のフロー例を示します。
- RES 端子リセットによる解除  
RES 端子を Low にすると、MCU はリセット状態に遷移し、発振器はデフォルト状態で動作を開始します。「[43. 電气的特性](#)」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
- IWDT リセットによる解除  
IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
  - $OFS0.IWDTSTRT = 0$  かつ  $OFS0.IWDTSTPCTL = 1$
- ソフトウェアスタンバイモードで利用可能な他のリセットによる解除  
その他の利用可能なリセットによってソフトウェアスタンバイモードは解除され、MCU はリセット例外処理を開始します。

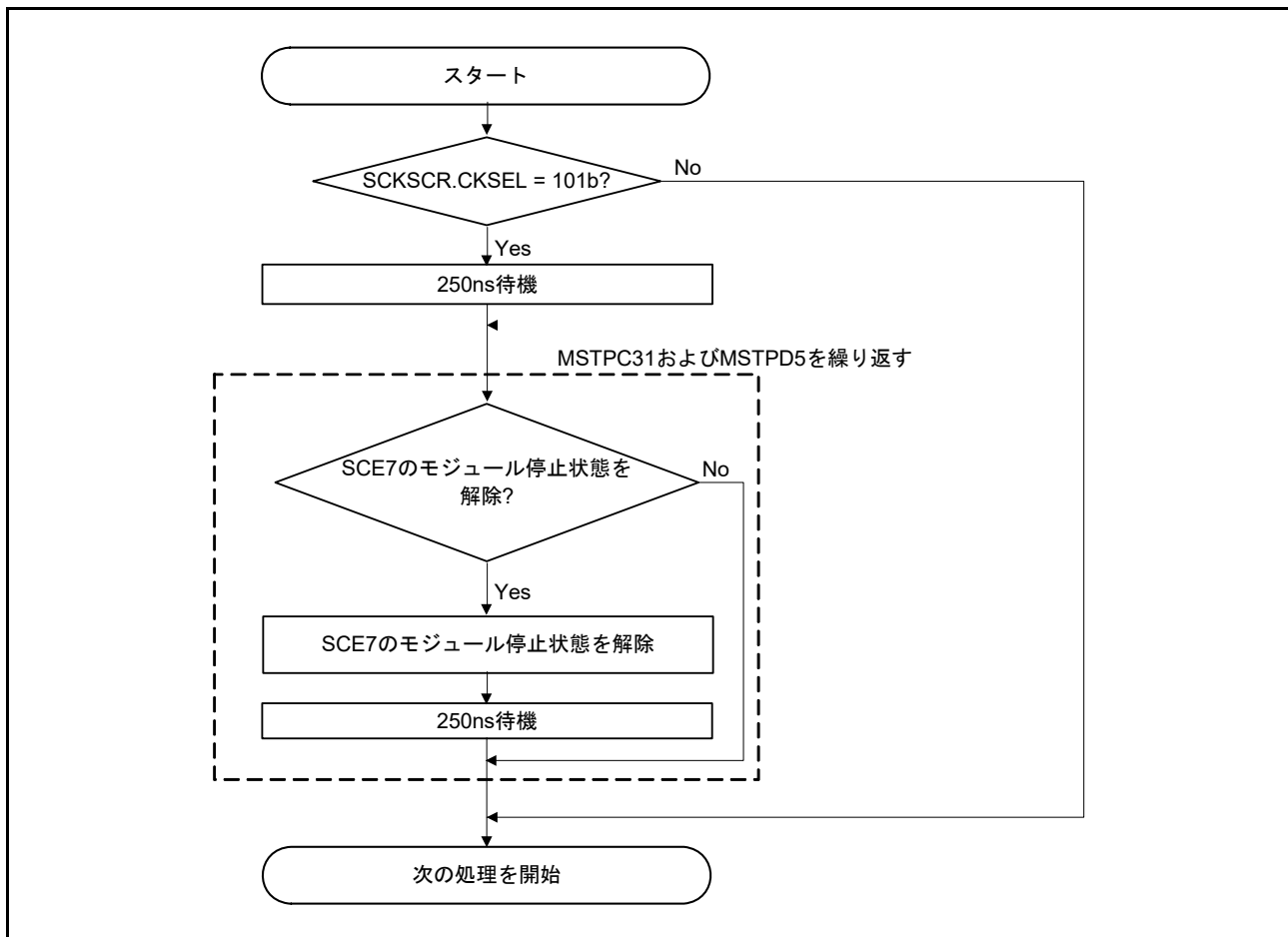


図 11.3 ソフトウェアスタンバイモードの解除フロー例

### 11.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジ検出時のソフトウェアスタンバイモードの解除の例を図 11.4 に示します。

この例では、通常モードにおいて ICU の IRQCRi.IRQMD[1:0] ビットが 00b (立ち下がりエッジ) のとき、IRQn 端子割り込みを受け付けた後、このビットを 01b (立ち上がりエッジ) にしています。続いて、SBYCR.SSBY ビットを 1 にして、WFI 命令を実行しています。ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。図 11.4 の発振安定時間については、「43. 電気的特性」に示されています。

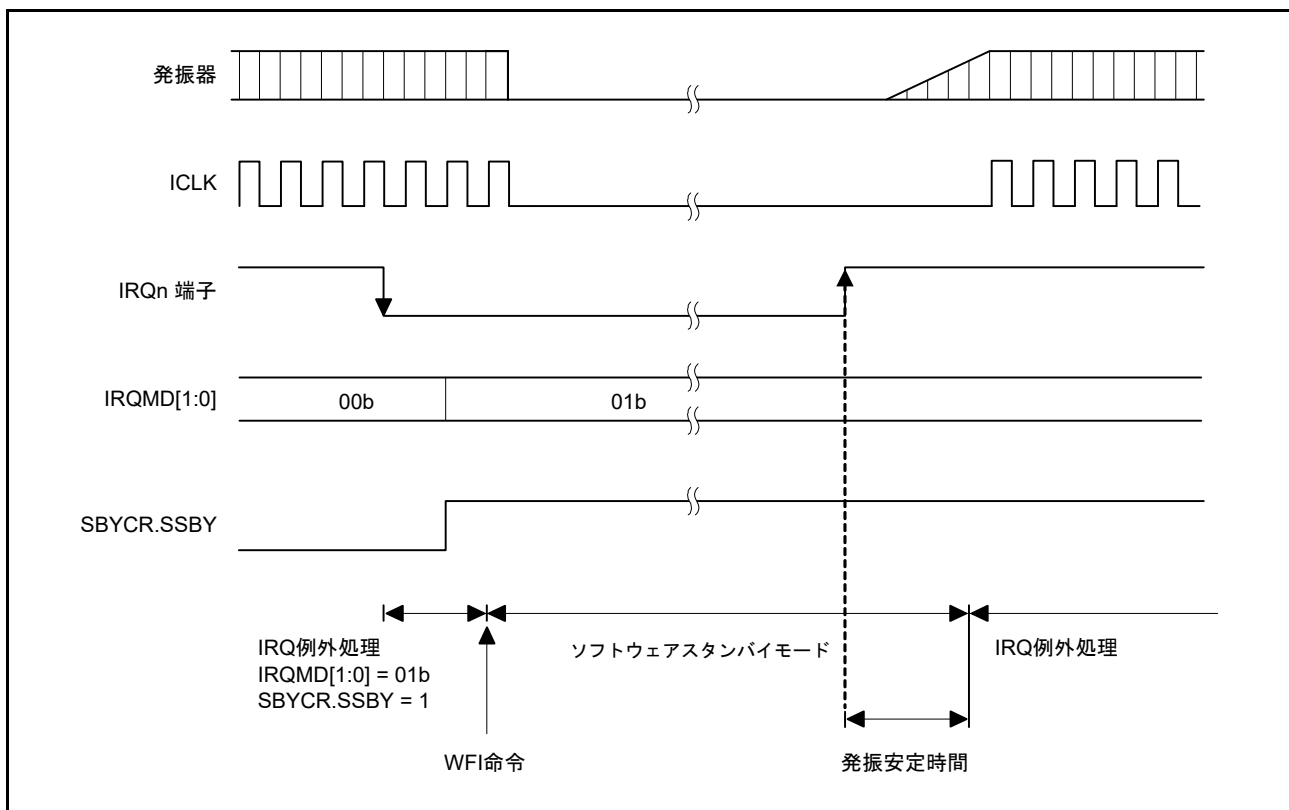


図 11.4 ソフトウェアスタンバイモードの応用例



## 11.8 スヌーズモード

### 11.8.1 スヌーズモードへの遷移

図 11.5 に、スヌーズモードエントリの構成を示します。ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。スヌーズモードで動作可能な周辺モジュールを、表 11.2 に示します。また、スヌーズモード時の DTC の動作は、SNZCR.SNZDTCEN ビットで選択できます。

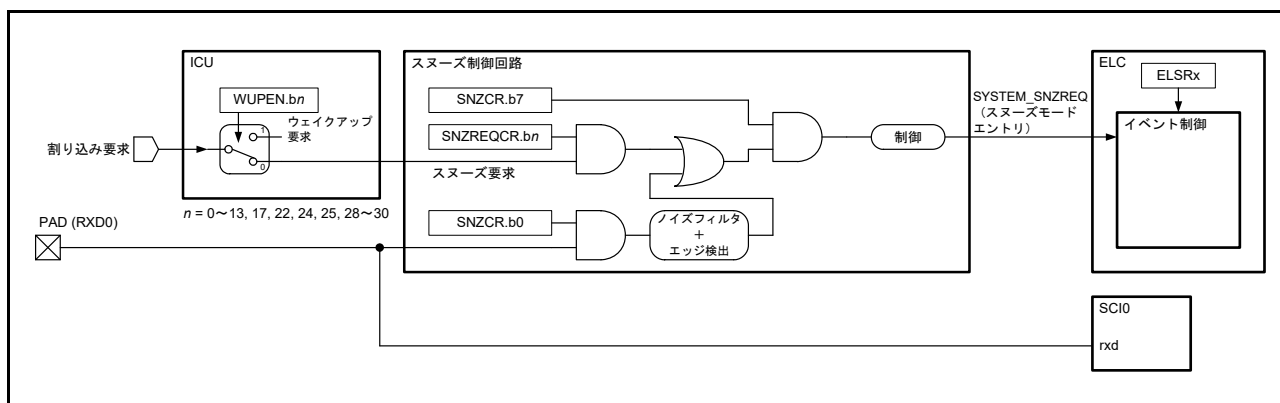


図 11.5 スヌーズエントリの構成

表 11.7 に、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、SNZREQCR レジスタの対応する SNZREQENn ビット、または SNZCR レジスタの RXDREQEN ビットを設定する必要があります。

表 11.7 スヌーズモードへの切り替えに利用可能なスヌーズ要求

スヌーズ要求	コントロールレジスタ	
	レジスタ	ビット (注1)
PORT_IRQn (n = 0 ~ 13)	SNZREQCR	SNZREQENn (n = 0 ~ 13)
KEY_INTKR	SNZREQCR	SNZREQEN17
ACMP_HS0	SNZREQCR	SNZREQEN22
AGT1_AGTI	SNZREQCR	SNZREQEN28
AGT1_AGTCMAI	SNZREQCR	SNZREQEN29
AGT1_AGTCMBI	SNZREQCR	SNZREQEN30
RXD0 立ち下がりエッジ	SNZCR	RXDREQEN (注2)

注 1. 同時に複数のスヌーズ要求を有効にしないでください。

注 2. 調歩同期式モード以外では、RXDREQEN ビットを 1 にしないでください。

### 11.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能なすべての割り込み要求、またはすべてのリセットで解除されます。各モードを解除するために使用可能な要求を、表 11.3 に示します。スヌーズモードを解除すると、MCUは通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 レジスタで選択した割り込み要求によって引き起こされる動作が、スヌーズモードを解除します。スヌーズモードを解除するための割り込みは、対応する割り込み処理のNVICとリンクさせるため、IELSRn (n=0~96) で選択する必要があります。SELSR0 レジスタとIELSRn レジスタの設定方法については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

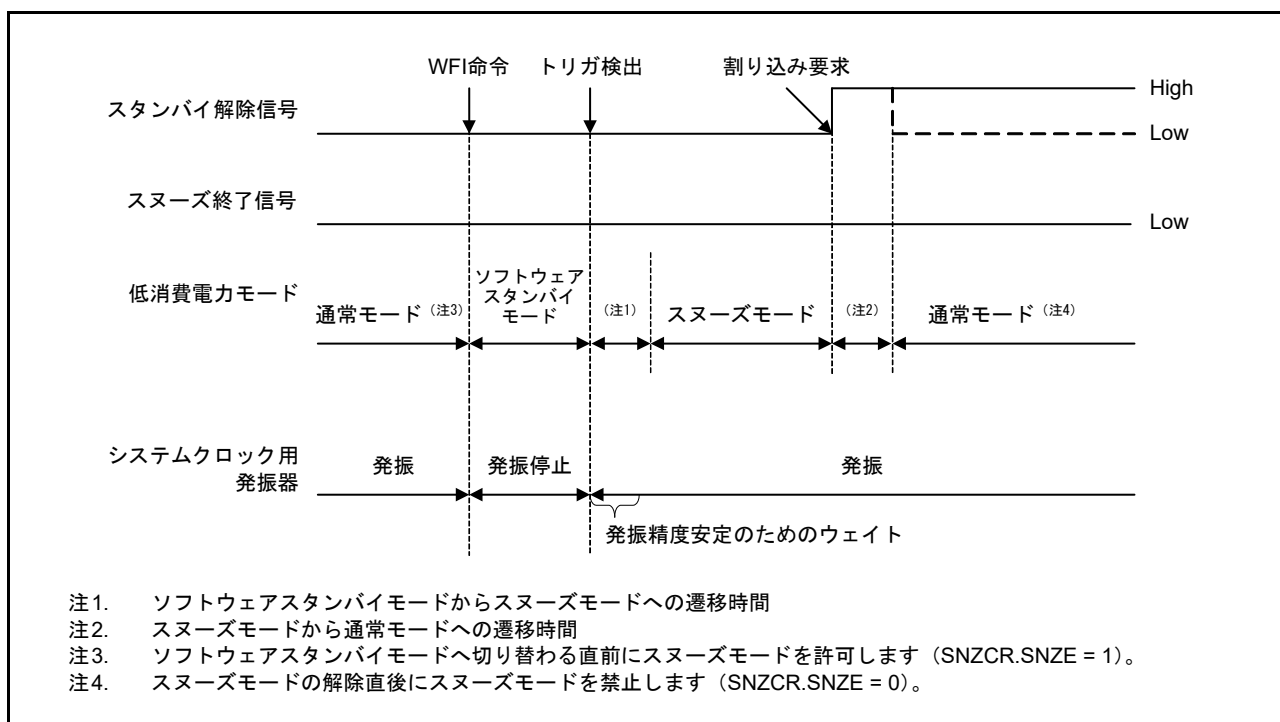


図 11.6 割り込み要求信号が発生する場合のスヌーズモードの解除

### 11.8.3 ソフトウェアスタンバイモードへの復帰

表 11.8 に、ソフトウェアスタンバイモードへの復帰トリガとして使用可能なスヌーズ終了要求を示します。スヌーズ終了要求は、スヌーズモードでのみ利用可能です。MCU がスヌーズモード状態でないときに要求が発生しても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスヌーズモードからソフトウェアスタンバイモードへの遷移を行います。

表 11.9 に、スヌーズ終了条件を構成するスヌーズ終了要求と周辺モジュールの条件を示します。SCI0、ADC120、ADC121、DTC の各モジュールは、それらの動作が完了するまで MCU をスヌーズモード状態に保ちます。ただし、ソフトウェアスタンバイモードへの復帰トリガとしての AGT1 アンダーフローは、SCI0 の動作完了を待たずにスヌーズモードを解除します。

図 11.7 に、スヌーズモードからソフトウェアスタンバイモードへ遷移する際のタイミング図を示します。このようなモード遷移は、SNZEDCR レジスタで設定したスヌーズ終了要求に従って発生します。ソフトウェアスタンバイモードへ復帰後、スヌーズ要求は自動的にクリアされます。

表 11.8 利用可能なスヌーズ終了要求（ソフトウェアスタンバイモードへの復帰トリガ）

スヌーズ終了要求	許可/禁止制御	
	レジスタ	ビット
AGT1 アンダーフローまたは測定終了 (AGT1_AGTI)	SNZEDCR	b0
DTC 転送終了 (DTC_COMPLETE)	SNZEDCR	b1
DTC 転送未了 (DTC_TRANSFER)	SNZEDCR	b2
ADC120 ウィンドウ A/B コンペアマッチ (ADC120_WCMPPM)	SNZEDCR	b3
ADC120 ウィンドウ A/B コンペア不一致 (ADC120_WCMPUM)	SNZEDCR	b4
ADC121 ウィンドウ A/B コンペアマッチ (ADC121_WCMPPM)	SNZEDCR	b5
ADC121 ウィンドウ A/B コンペア不一致 (ADC121_WCMPUM)	SNZEDCR	b6
SCI0 アドレス不一致 (SCI0_DCUF)	SNZEDCR	b7

表 11.9 スヌーズ終了条件

スヌーズ終了要求発生時の動作モジュール	スヌーズ終了要求	
	AGT1 アンダーフロー	AGT1 アンダーフロー以外のすべて
DTC	これら全モジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。	これら全モジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。
ADC120		
ADC121		
SCI0	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	
その他の全モジュール	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	

注． DTC を用いて ADC120、ADC121、または SCI を起動した場合は、スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移します。

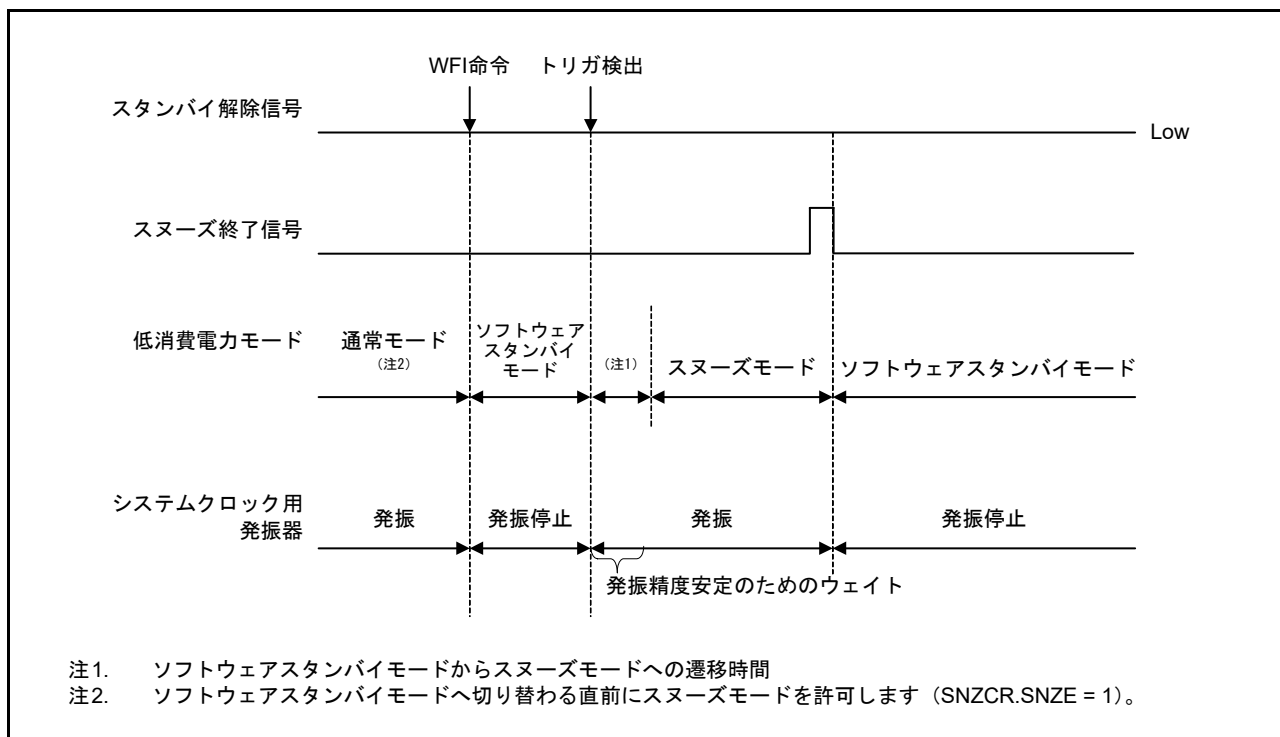


図 11.7 割り込み要求信号が発生しない場合のスヌーズモードの解除

### 11.8.4 スヌーズモードの動作例

図 11.8 に、スヌーズモードで ELC を使用する場合の設定例を示します。

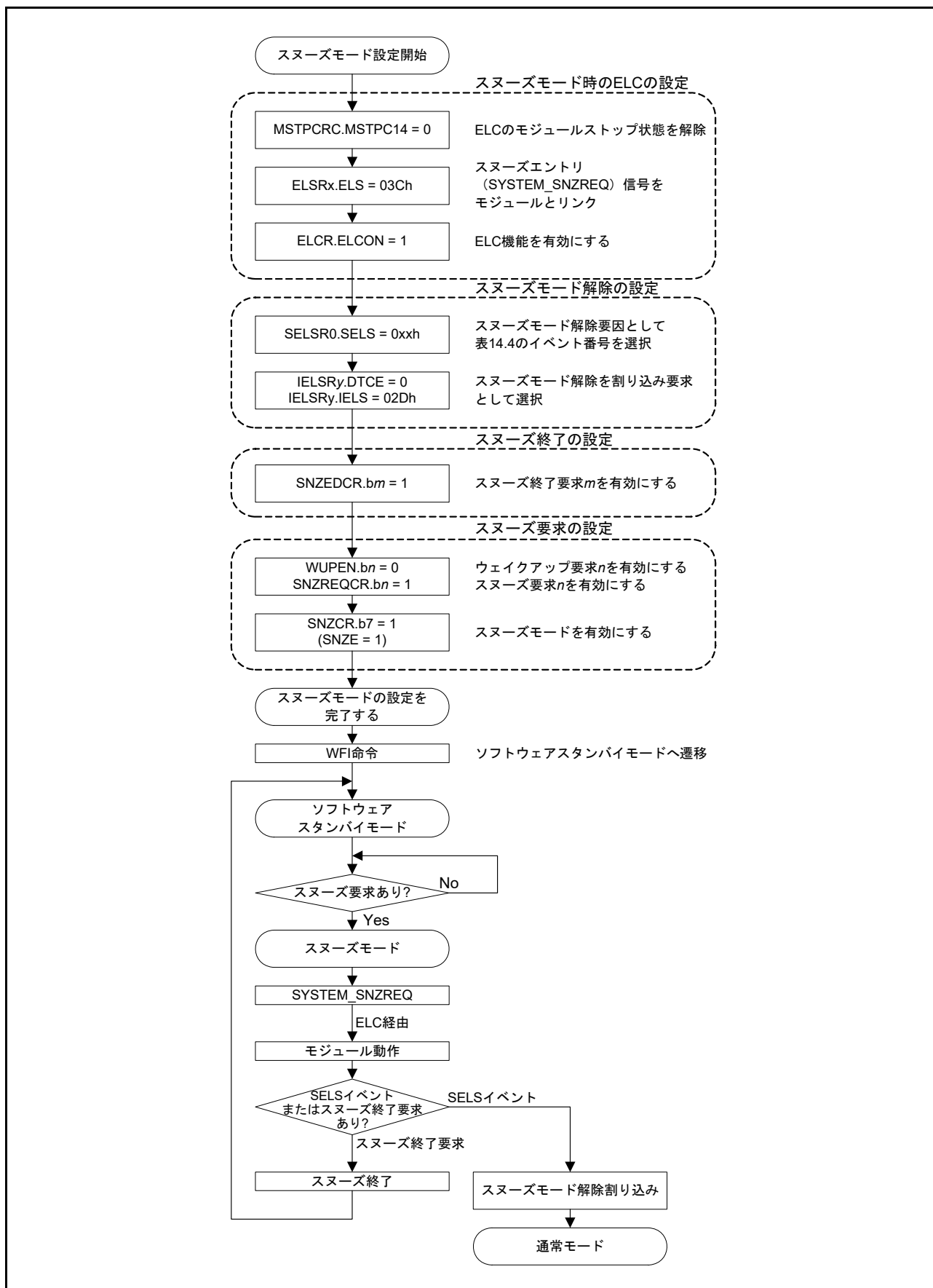


図 11.8 スリープモードで ELC を使用するための設定例

本 MCU は、CPU を介さずに SCI0 の調歩同期式モードでデータの送受信が可能です。スヌーズモードで SCI0 を使用する場合は、High-speed モードまたは Low-speed モードのいずれかを使用してください。

Subosc-speed モードは使用しないでください。表 11.10 に、スヌーズモードにおける SCI0 の最大転送速度を示します。

表 11.10 HOCO :  $\pm 1.4\%$  ( $T_a = -20 \sim +105^\circ\text{C}$ )

(単位 : bps)

ICLK、PCLKA、PCLKB、PCLKC、PCLKD、 FCLK、TRCLKの最大分周比	HOCO周波数					
	LOCO停止中			LOCO動作中		
	16MHz	18MHz	20MHz	16MHz	18MHz	20MHz
1	2400			4800		
2						
4						
8						
16						
32	1200			2400		
64						

図 11.9 に、スヌーズモードエントリで SCIO を使用する場合の設定例を示します。

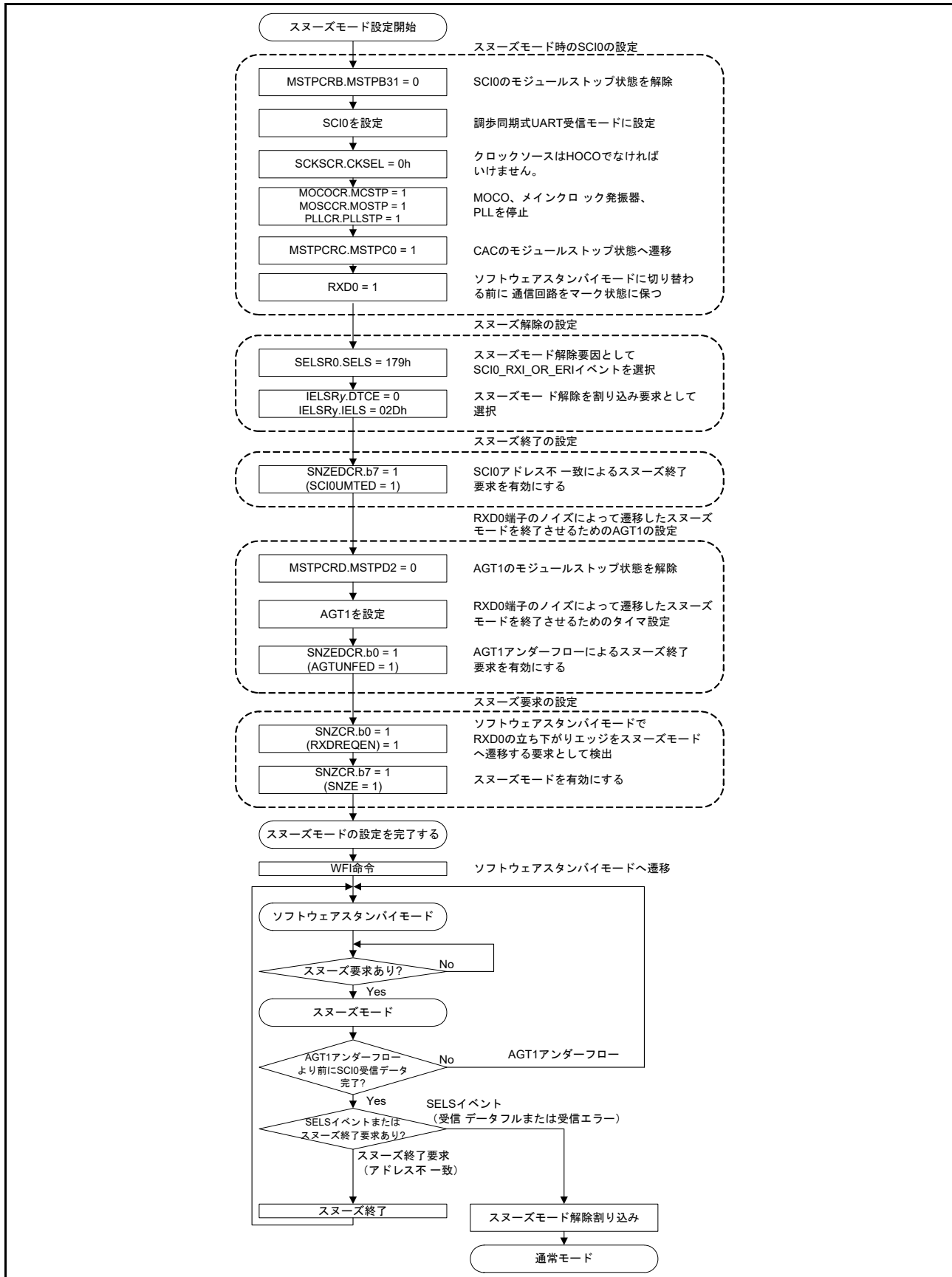


図 11.9 スヌーズモードエントリで SCIO を使用するための設定例

## 11.9 ディープソフトウェアスタンバイモード

### 11.9.1 ディープソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1、かつ DPSBYCR.DPSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はディープソフトウェアスタンバイモードへ遷移します。関連する制御ビットの設定値については、[表 11.6](#) を参照してください。

ディープソフトウェアスタンバイモードでは、次のモジュールが停止します。

- CPU
- 各オンチップ周辺機能
- SRAM
- サブクロック発振器と低速オンチップオシレータを除くすべての発振器

これらのモジュールに対する内部電源の供給が停止するので、消費電力が削減されます。CPU レジスタと内蔵周辺モジュールの内容はすべて不定となります。

DEEPCUT[1:0] ビットの設定値が 11b であると、LVD が停止し、パワーオンリセット回路の低消費電力モード機能が有効になります。そのため、消費電力はさらに削減されます。詳細は、「[43. 電気的特性](#)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 の状態で MCU がディープソフトウェアスタンバイモードへ遷移すると、IWDT 専用クロックと IWDT への電源供給が停止します。IWDT はカウントも停止します。

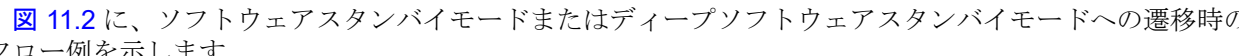
OFS0.IWDTSTPCTL ビットが 0 の場合は、OFS0.IWDTSTRT ビットまたは DPSBYCR.DPSBY ビットの設定値にかかわらず、MCU はディープソフトウェアスタンバイモードではなく、ソフトウェアスタンバイモードへ遷移します。OFS0.IWDTSTRT ビットが 0 (オートスタートモード) であるとき OFS0.IWDTSTPCTL ビットが 0 の場合は、IWDT 専用クロックと IWDT は動作を継続します。

LVD1CR0.RI ビットが 1 (電圧監視 1 リセット選択)、または LVD2CR0.RI ビットが 1 (電圧監視 2 リセット選択) の場合は、MCU はディープソフトウェアスタンバイモードではなく、ソフトウェアスタンバイモードへ遷移します。I/O ポートの状態はソフトウェアスタンバイモード時と同じです。

クロックソースとして PLL を選択した場合、以下のモジュールをモジュールストップ状態に設定してから WFI 命令を実行してください。

- SCE7
- GPT32EH
- GPT32E

この場合は、少なくとも 750ns 待機してから WFI 命令を実行する必要があります。待機時間の計測にはソフトウェアを使用することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。

 [図 11.2](#) に、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへの遷移時のフロー例を示します。

注． WFI 命令を実行する前に、ソフトウェアスタンバイモードへ遷移するための DTC、DMAC、および IWDT に関する条件を満たしておく必要があります。詳細は、[11.7 ソフトウェアスタンバイモード](#)を参照してください。



### 11.9.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは以下の方法で解除されます。

- 表 11.3 に示す割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視 0 リセット

動作は以下の通りです。

1. 割り込みによる解除  
割り込みによる解除は、DPSIER<sub>n</sub> (n=0~3) レジスタと DPSIFR<sub>n</sub> (n=0~3) レジスタで制御されます。利用可能な割り込み要求が発生すると、DPSIFR<sub>n</sub> レジスタの当該フラグが 1 になります。DPSIER<sub>n</sub> レジスタで割り込みが許可されていると、ディープソフトウェアスタンバイモードが解除されます。立ち上がりまたは立ち下がりエッジ検出は、DPSIEGR<sub>n</sub> (n=0~2) で選択できます。検出エッジは、NMI、IRQ0-DS、IRQ1-DS、IRQ4-DS ~ IRQ12-DS、電圧監視 1、電圧監視 2 の各割り込みに対して選択可能です。ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源が供給され、MOCO クロックが発振を開始し、その後 MCU 全体に対して内部リセット（ディープソフトウェアスタンバイリセット）が発生します。その後、安定した MOCO クロックが MCU 全体に供給され、ディープソフトウェアスタンバイリセットが解除されます。そして MCU はリセット例外処理を開始します。外部割り込み端子または内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが 1 になります。
2. RES 端子リセットによる解除  
RES 端子を Low にすると、MCU はディープソフトウェアスタンバイモードを解除して、リセット状態になります。「43. 電气的特性」に示す規定の期間に従って、RES 端子を Low に保つように入力してください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除  
パワーオンリセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視 0 リセットによる解除  
電圧検出回路による電圧監視 0 リセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。

### 11.9.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモードと同じ状態を保持しています。ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって MCU は初期化され、ただちにリセット例外処理が開始されます。DPSBYCR.IOKEEP ビットの設定値によって、I/O ポートを初期化するか、またはソフトウェアスタンバイモード時の I/O ポート状態を保持するかが決まります。ビット設定に対する I/O ポート状態は下記のとおりです。

- DPSBYCR.IOKEEP ビット = 0 の場合  
ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/O ポートは初期化されます。
- DPSBYCR.IOKEEP ビット = 1 の場合  
ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、MCU は初期化されますが、I/O ポートは MCU の内部状態にかかわらずソフトウェアスタンバイモード時の状態を保持します。I/O ポートまたは周辺モジュールの設定を行っても、I/O ポート状態はソフトウェアスタンバイモード時のまま変わりません。DPSBYCR.IOKEEP ビットを 0 にすることによって、保持されていた I/O ポート状態が解放され、MCU は内部状態に従って動作します。DPSBYCR.IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

## 11.9.4 ディープソフトウェアスタンバイモードの応用例

## (1) ディープソフトウェアスタンバイモードの遷移と復帰

IRQn-DS 端子の立ち下がりエッジ検出時のディープソフトウェアスタンバイモードへの遷移と、IRQn-DS 端子の立ち上がりエッジ検出時のディープソフトウェアスタンバイモードからの復帰の例を図 11.10 に示します。この例では、ICU の IRQCRi.IRQMD[1:0] ビットを 00b (立ち下がりエッジ) にした状態で、IRQn 端子の割り込みを受け付けています。次に、DPSIEGRy.DIRQnEG ビット (y=0, 1, n=0, 1, 4~12) を 1 (立ち上がりエッジ) にして、SBYCR.SSBY ビットと DPSBYCR.DPSBY ビットをともに 1 にした後、WFI 命令を実行しています。その結果、MCU はディープソフトウェアスタンバイモードへ遷移します。その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

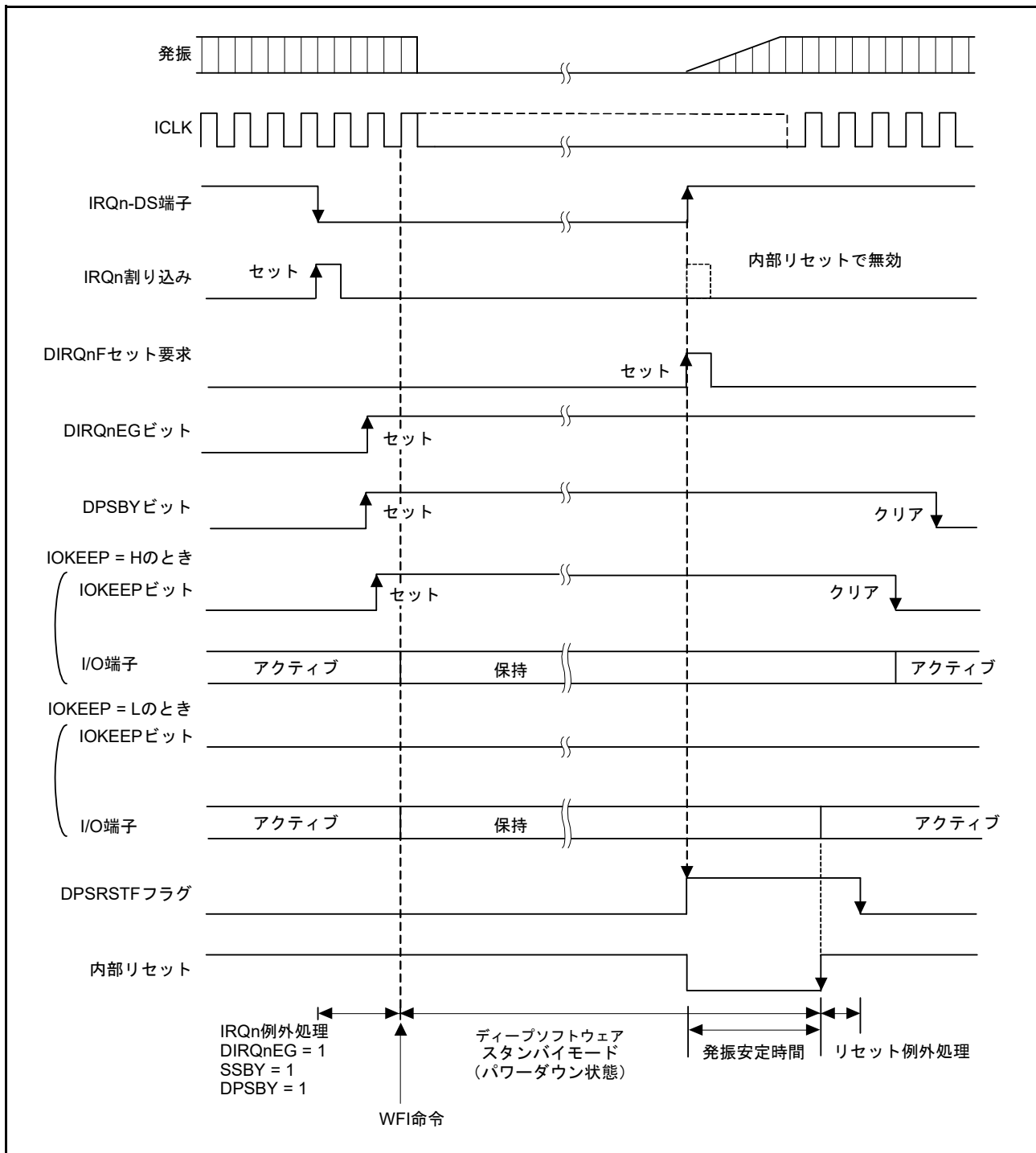


図 11.10 ディープソフトウェアスタンバイモードの応用例

## 11.9.5 ディープソフトウェアスタンバイモード使用時のフローチャート

図 11.11 に、ディープソフトウェアスタンバイモード使用時のフローチャート例を示します。この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグを読み出して、RES 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。RES 端子によるリセットの場合は、必要なレジスタの設定を行った後、ディープソフトウェアスタンバイモードへ遷移しています。ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で DPSBYCR.IOKEEP ビットを 0 にしています。

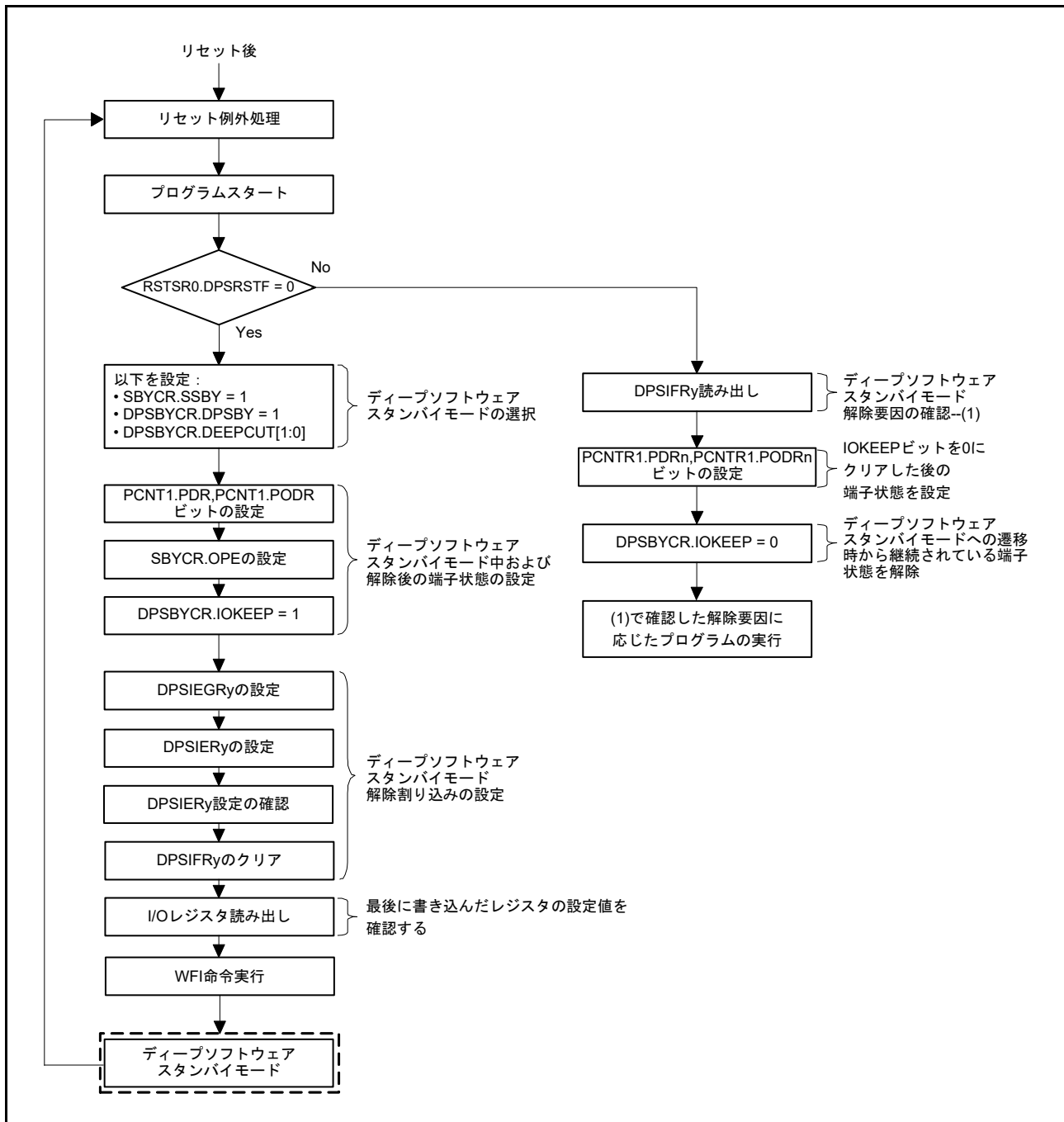


図 11.11 ディープソフトウェアスタンバイモード使用時のフローチャート例

## 11.10 使用上の注意事項

### 11.10.1 レジスタアクセス

#### (1) 特定モードの期間中または遷移中の無効なレジスタへのライトアクセス

下記の条件のいずれかに当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- “SYSTEM” という周辺名をもつ全レジスタ

[条件]

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1 (動作電力制御モードへの遷移中)
- WFI 命令の実行から通常モードへ復帰するまでの期間中
- FENTRYR.FENTRYi = 1 (i = 0 ~ 3) (フラッシュ P/E モード)、または FENTRYR.FENTRYD = 1 (データフラッシュ P/E モード)

#### (2) クロック関連レジスタに対する有効な設定値

表 11.11 と表 11.12 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。有効な設定値以外の値を書き込まないようにしてください。これら以外の値を書き込んでも無視されません。また、各レジスタには、動作電力制御モード関連以外の特定の条件下で禁止される設定値もあります。これらの各レジスタに対する他の条件については、「9. クロック発生回路」を参照してください。

表 11.11 クロック関連レジスタに対する有効な設定値 (1)

モード	有効な設定値							
	SCKSCR.CKSEL[2:0], CKOCR.CKOSEL[2:0]	SCKDIVCR.FCK[2:0], ICK[2:0]	PLLCR. PLLSTP	HOCOVR. HCSTP	MOCOVR. MCSTP	LOCOVR. LCSTP	MOSCCR. MOSTP	SOSCCR. SOSTP
High-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (メインクロック) 100b (サブクロック) 101b (PLL) (注1)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)
Low-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (メインクロック) 100b (サブクロック)		1 (停止)					
Subosc-speed	010b (LOCO) 100b (サブクロック)	000b (1/1)	1 (停止)	1 (停止)	1 (停止)	0 (動作) 1 (停止)	1 (停止)	0 (動作) 1 (停止)

注 1. SCKSCR.CKSEL[2:0] のみ

表 11.12 クロック関連レジスタに対する有効な設定値 (2)

動作発振器	有効な設定値	
	OPCCR.OPCM[1:0]	SOPCCR.SOPCM
PLL	00b	0
高速オンチップオシレータ	00b, 11b	0
中速オンチップオシレータ		
メインクロック発振器		
低速オンチップオシレータ	00b, 11b	0, 1
サブクロック発振器		
IWDT専用オンチップオシレータ		

**(3) Subosc-speed モードにおける無効なレジスタへのライトアクセス**

下記の条件に当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SCKSCR, OPCCR

[条件]

- SOPCCR.SOPCM = 1 (Subosc-speed モード)

**(4) DTC または DMAC による無効なレジスタへのライトアクセス**

DTC または DMAC によって、下記のレジスタに書き込まないでください。

[レジスタ]

- MSTPCRA

**(5) スヌーズモードにおける無効なレジスタへのライトアクセス**

スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

[レジスタ]

- SNZCR, SNZEDCR, SNZREQCR

**(6) FLWT.FLWT[2:0] への無効なライトアクセス**

下記の条件に当てはまる場合、FLWT.FLWT[2:0] ビットに 000b 以外の値を書き込まないでください。

[条件]

- SOPCCR.SOPCM = 1 (Subosc-speed モード)

**(7) PRCR.PRC1 ビットが 0 の場合の無効なライトアクセス**

PRCR.PRC1 ビットが 0 の場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SBYCR, SNZCR, SNZEDCR, SNZREQCR, OPCCR, SOPCCR, DPSBYCR, DPSIERn (n = 0 ~ 3), DPSIFRn (n = 0 ~ 3), DPSIEGRn (n = 0 ~ 2), SYOCDCR

**11.10.2 I/O ポートの状態**

ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、およびスヌーズモード（スヌーズモード時に書き換える場合は除く）における I/O ポート状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、消費電力は低減されません。

### 11.10.3 DMAC と DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DMAC の DMAST.DMST ビットと、DTC の DTCST.DTCST ビットを 0 にしてください。

### 11.10.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているとき、モジュールストップビットを設定すると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

### 11.10.5 DIRQnE ビット (n = 0, 1, 4 ~ 12) による入力バッファ制御

DPSIERy.DIRQnE ビット (y = 0, 1, n = 0, 1, 4 ~ 12) を 1 にすることによって、IRQ0-DS 端子、IRQ1-DS 端子、および IRQ4-DS ~ IRQ12-DS 端子の対応する入力バッファが有効になります。これらの端子への入力は DPSIFRy.DIRQnF ビット (y = 0, 1, n = 0, 1, 4 ~ 12) に伝わりますが、ICU、周辺モジュール、または I/O ポートには伝わりません。

### 11.10.6 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（スリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex<sup>®</sup>-M4 コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットは設定しないでください。

### 11.10.7 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻して、書き込みの完了を確認してください。

### 11.10.8 スリープモード/スヌーズモード時の DMAC または DTC による WDT および IWDT レジスタへの書き込みについて

スリープモードやスヌーズモードへ遷移すると WDT や IWDT は停止します。その間に DMAC または DTC によって WDT または IWDT レジスタを書き換えしないでください。

### 11.10.9 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードへ遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCU はスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要な発振器を無効にする必要があります。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

### 11.10.10 RXD0 の立ち下がりエッジによるスヌーズモードエントリ

SNZCR.RXDREQEN ビットが 1 の場合、RXD0 端子のノイズが原因で、MCU がソフトウェアスタンバイモードからスヌーズモードへ遷移する場合があります。また RXD0 端子のノイズによって、スヌーズモード時に後続の RXD0 データを受信する可能性があります。ノイズ発生後、MCU が RXD0 データを受信しなければ、割り込み (SCI0\_ERI や SCI0\_RXI など) もアドレス不一致イベントも発生せず、MCU はスヌーズモードを維持します。この問題を避けるには、スヌーズモードで SCI0 を使用する場合、AGT1 アンダーフロー割り込みを用いてソフトウェアスタンバイモードまたは通常モードへ復帰するようにしてください。ただし SCI 通信中は、AGT1 アンダーフロー割り込みがソフトウェアスタンバイモードへの復帰要因とならないように AGT1 を設定してください。これは、SCI0 の動作を中途半端に停止させます。

### 11.10.11 スヌーズモードにおける SCI0 の使用

スヌーズモードで SCI0 を使用する場合、割り込み要求またはスヌーズ終了要求には AGT1 アンダーフローを使用する必要があります。これ以外のトリガは使用しないでください。

スヌーズモードで SCI0 を使用する場合は、下記の条件が満たされなければいけません。

- クロックソースは HOCO であること
- MOCO、メインクロック発振器、および PLL は、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0 端子は、ソフトウェアスタンバイモード遷移前に High レベルを維持していること
- SCI 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0 ビットが 1 であること

### 11.10.12 スヌーズモードにおける A/D 変換開始条件

スヌーズモードでは、ELC のみが ADC12 の開始トリガとなれます。ソフトウェアトリガや ADTRGn 端子を使用しないでください。

### 11.10.13 スヌーズモードにおける ELC イベント

スヌーズモードでは、下記に示す ELC イベントのみが利用可能です。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ (ELSRn) において、スヌーズモードエントリイベント (SYSTEM\_SNZREQ) をトリガとして設定する必要があります。

- スヌーズモードエントリ (SYSTEM\_SNZREQ)
- DTC 転送終了 (DTC\_DTCEND)
- ADC12n ウィンドウ A/B コンペアマッチ (ADC12n\_WCMPPM) (n = 0, 1)
- ADC12n ウィンドウ A/B コンペア不一致 (ADC12n\_WCMPUM) (n = 0, 1)
- データ演算回路割り込み (DOC\_DOPCI)

## 12. レジスタライトプロテクション

### 12.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護されるレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 12.1 に PRCR レジスタのビットと保護されるレジスタの対応を示します。

表 12.1 PRCR レジスタのビットと保護されるレジスタの対応関係

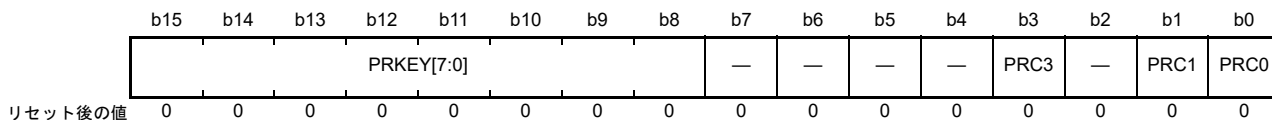
PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> <li>クロック発生回路関連レジスタ SCKDIVCR, SCKSCR, PLLCCR, PLLCR, MOSCCR, HOCOCCR, MOCOCCR, CKOCCR, TRCKCR, OSTDCR, OSTDSR, MOCOUTCR, HOCOUTCR, MOSCWTCR, MOMCR, SOSCCR, SOMCR, LOCOCCR, LOCOUTCR, HOCOWTCR, FLLCR1, FLLCR2</li> </ul>
PRC1 ビット	<ul style="list-style-type: none"> <li>低消費電力モード関連レジスタ SBYCR, SNZCR, SNZEDCR, SNZREQCR, OPCCR, SOPCCR, DPSBYCR, DPSIER0~3, DPSIFR0~3, DPSIEGR0~2, SYOCDCCR, STCONR</li> <li>AGT 機能関連レジスタ VBTICTLR</li> </ul>
PRC3 ビット	<ul style="list-style-type: none"> <li>LVD 関連レジスタ LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVCMPCCR, LVDLVLR, LVD1CR0, LVD2CR0</li> </ul>



## 12.2 レジスタの説明

### 12.2.1 プロテクトレジスタ (PRCR)

アドレス SYSTEM.PRCR 4001 E3FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	低消費電力モードおよびAGT機能関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	PRCキーコード	PRCRレジスタへの書き込みを制御します。PRCRレジスタを書き換える場合、上位8ビットにA5h、下位8ビットに目的の値を、16ビット単位で書いてください。	W (注1)

注 1. 書き込みデータは保持されません。読むと 00h が読めます。

#### PRCn ビット (プロテクトビット n) (n = 0, 1, 3)

保護されるレジスタ (表 12.1 を参照) への書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可、0 にすると書き込み禁止になります。

## 13. 割り込みコントローラユニット (ICU)

### 13.1 概要

割り込みコントローラユニット (ICU) は、NVIC、DTC、およびDMAC モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。

表 13.1 に ICU の仕様、図 13.1 にブロック図、そして表 13.2 に入出力端子を示します。

表 13.1 ICUの仕様

項目		内容
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> <li>周辺モジュールからの割り込み 要因数：268 (イベントリスト番号64～511から要因を選択)</li> </ul>
	外部端子割り込み	<ul style="list-style-type: none"> <li>割り込み検出：Lowレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ これらの検出法は要因ごとに1つ設定可能</li> <li>デジタルフィルタ機能をサポート</li> <li>14要因 (IRQ0～IRQ13端子からの割り込み)</li> </ul>
	DTCおよびDMAC制御	割り込み要因によってDTCとDMACの起動が可能 (注1)
	NVICへの割り込み要因	96要因
ノンマスクابل割り込み (注2)	NMI端子割り込み	<ul style="list-style-type: none"> <li>NMI端子からの割り込み</li> <li>割り込み検出：立ち下がりエッジまたは立ち上がりエッジ</li> <li>デジタルフィルタ機能をサポート</li> </ul>
	発振停止検出割り込み (注3)	メイン発振器の停止を検出したときの割り込み
	WDTアンダーフロー／リフレッシュエラー (注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDTアンダーフロー／リフレッシュエラー (注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	電圧監視1割り込み (注3)	低電圧検出1回路 (LVD1) の電圧監視割り込み
	電圧監視2割り込み (注3)	低電圧検出2回路 (LVD2) の電圧監視割り込み
	RPEST	SRAMパリティエラー発生時の割り込み
	BUSSTS	MPUバススレーブエラー発生時の割り込み
	BUSMST	MPUバスマスタエラー発生時の割り込み
	SPEST	CPUスタックポインタモニタによる割り込み
低消費電力モードからの復帰 (注4)	<ul style="list-style-type: none"> <li>スリープモード：ノンマスクابل割り込みまたはその他の割り込み要因によって復帰</li> <li>ソフトウェアスタンバイモード：ノンマスクابل割り込みによって復帰 割り込みはWUPENレジスタで選択可能 (注5)</li> <li>スヌーズモード：ノンマスクابل割り込みによって復帰 割り込みはSELSR0およびWUPENレジスタで選択可能 (注5)</li> </ul>	

注 1. DTC と DMAC の起動要因については、表 13.4 イベントテーブルを参照してください。

注 2. リセット解除後に1回だけノンマスクابل割り込みを許可することが可能です。

注 3. これらのノンマスクابل割り込みは、イベント信号としても使用可能です。割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視1と電圧監視2の割り込みを許可するには、LVD1CR1.IRQSEL ビットとLVD2CR1.IRQSEL ビットを1にしてください。

注 4. ディープソフトウェアスタンバイモードからの復帰については、11.9 ディープソフトウェアスタンバイモードを参照してください。

注 5. 13.2.8 SYS イベントリンク設定レジスタ (SELSR0) および 13.2.9 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。

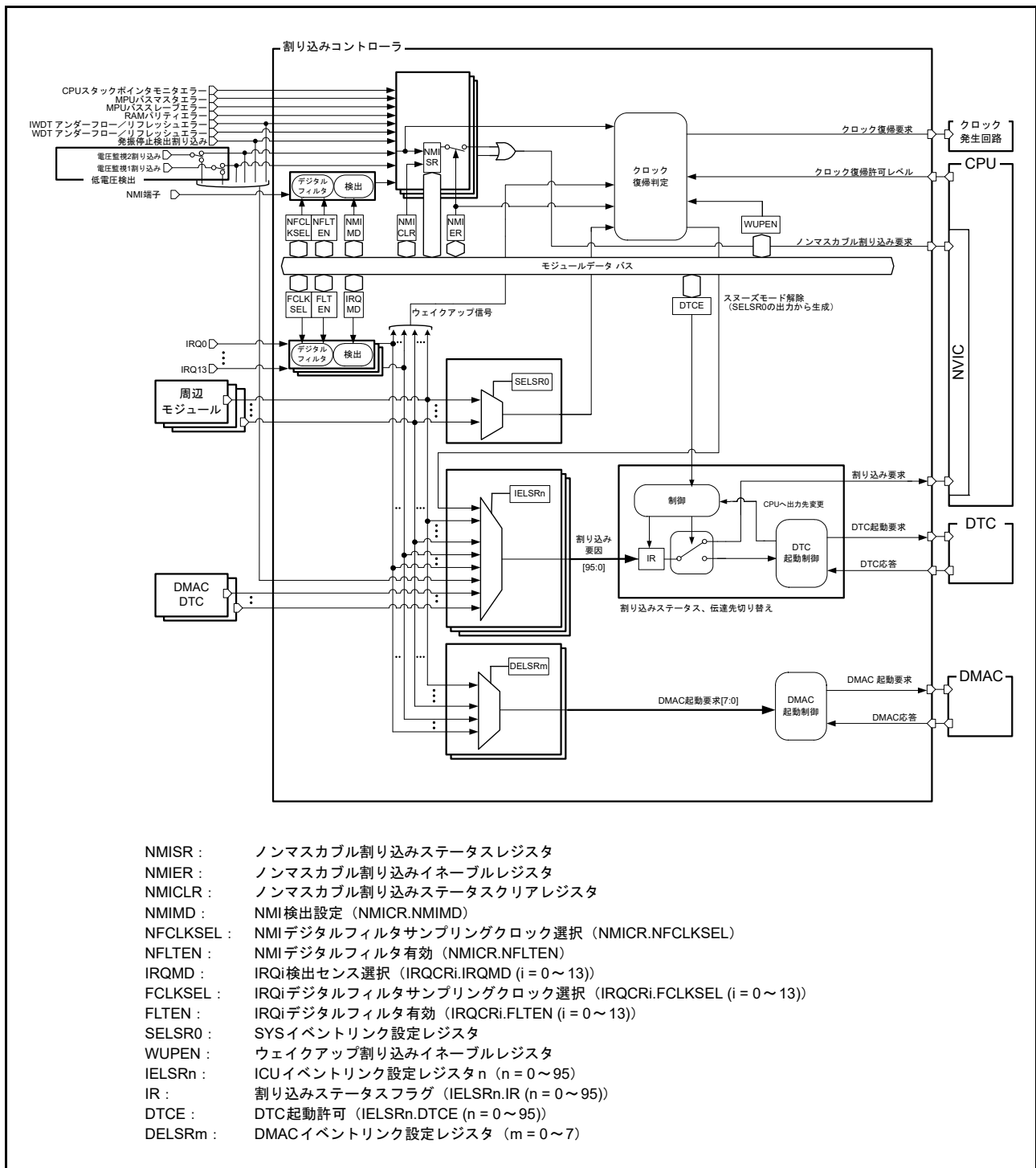


図 13.1 ICUのブロック図

表 13.2 に ICU の入出力端子を示します。

表 13.2 ICUの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスク割り込み要求端子
IRQ0 ~ IRQ13	入力	外部割り込み要求端子

## 13.2 レジスタの説明

本章では、Arm® NVIC の内部レジスタについては説明していません。これらのレジスタについては、ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D) を参照してください。

### 13.2.1 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 13)

アドレス ICU.IRQCR0 4000 6000h, ICU.IRQCR1 4000 6001h, ICU.IRQCR2 4000 6002h, ICU.IRQCR3 4000 6003h, ICU.IRQCR4 4000 6004h, ICU.IRQCR5 4000 6005h, ICU.IRQCR6 4000 6006h, ICU.IRQCR7 4000 6007h, ICU.IRQCR8 4000 6008h, ICU.IRQCR9 4000 6009h, ICU.IRQCR10 4000 600Ah, ICU.IRQCR11 4000 600Bh, ICU.IRQCR12 4000 600Ch, ICU.IRQCR13 4000 600Dh

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN	—	FCLKSEL[1:0]	—	—	—	IRQMD[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IRQMD[1:0]	IRQi 検出センス選択	b1 b0 0 0: 立ち下がリエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ 1 1: Lowレベル	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリング クロック選択	b5 b4 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	FLTEN	IRQi デジタルフィルタ有効	0: 無効 1: 有効	R/W

IRQCRi レジスタの変更には、以下の条件があります。

- CPU 割り込みまたは DTC 起動要因の場合：  
IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ (n = 0 ~ 95) を設定する必要があります。  
対象の IELSRn レジスタが 0000h の場合にのみ、レジスタ値の変更が可能です。
- DMAC 起動要因の場合：  
IRQCRi レジスタの設定を変更してから、対象の DELSRn レジスタ (n = 0 ~ 7) を設定する必要があります。  
DELSRn.DELS[8:0] ビットが 000h の場合にのみ、レジスタ値の変更が可能です。
- ウェイクアップ許可信号の場合：  
IRQCRi レジスタの設定を変更してから、対象の WUPEN.IRQWUPEN[n] ビット (n = 0 ~ 13) を設定する必要があります。  
対象の WUPEN.IRQWUPEN[n] ビットが 000h の場合にのみ、レジスタ値の変更が可能です。

#### IRQMD[1:0] ビット (IRQi 検出センス選択)

IRQi 外部端子割り込み要因の検出センシング方法を設定します。外部端子割り込み使用時の設定方法は、[13.4.4 外部端子割り込み](#)を参照してください。

**FCLKSEL[1:0] ビット (IRQi デジタルフィルタサンプリングクロック選択)**

IRQi 外部端子割り込み要求のデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB (毎サイクル)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細については、[13.4.3 デジタルフィルタ](#)を参照してください。

**FLTEN ビット (IRQi デジタルフィルタ有効)**

IRQi 外部端子割り込み要因に使用するデジタルフィルタを有効にします。デジタルフィルタは、FLTEN ビットが 1 の場合に有効になり、FLTEN ビットが 0 の場合に無効になります。IRQi 端子レベルは、FCLKSEL[1:0] ビットで指定されたクロックサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、[13.4.3 デジタルフィルタ](#)を参照してください。

## 13.2.2 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 4000 6140h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPEST	BUSMST	BUSSTS	—	RPEST	NMIST	OSTST	—	—	LVD2ST	LVD1ST	WDTST	IWDTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTST	IWDTアンダーフロー/リフレッシュエラーステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b1	WDTST	WDTアンダーフロー/リフレッシュエラーステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b2	LVD1ST	電圧監視1割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b3	LVD2ST	電圧監視2割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b5-b4	—	予約ビット	読むと0が読めます。	R
b6	OSTST	メインクロック発振停止検出割り込みステータスフラグ	0: メインクロック発振停止検出割り込み要求なし 1: メインクロック発振停止検出割り込み要求あり	R
b7	NMIST	NMI端子割り込みステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b8	RPEST	SRAMパリティエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b9	—	予約ビット	読むと0が読めます。	R
b10	BUSSTS	MPUバススレーブエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b11	BUSMST	MPUバスマスターエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b12	SPEST	CPUスタックポインタモニタ割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b15-b13	—	予約ビット	読むと0が読めます。	R

NMISR レジスタは、ノンマスクابل割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスクابل割り込み許可レジスタ (NMIER) の設定は、このレジスタのステータスフラグには影響しません。ノンマスクابل割り込みの処理ルーチンでは、このレジスタの全ビットが0になっていることをチェックして、他のNMI要求が発生していないことを確認してから、処理を終了してください。

**IWDTST フラグ (IWDT アンダーフロー/リフレッシュエラーステータスフラグ)**

IWDT アンダーフロー/リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1になる条件]

- IWDT アンダーフロー/リフレッシュエラー割り込みが発生し、この割り込み要因が許可されているとき

[0になる条件]

- NMICLR.IWDTCLR ビットに1を書いたとき

**WDTST フラグ (WDT アンダーフロー/リフレッシュエラーステータスフラグ)**

WDT アンダーフロー/リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、

NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

- WDT アンダーフロー/リフレッシュエラー割り込みが発生したとき

[0 になる条件]

- NMICLR.WDTCLR ビットに 1 を書いたとき

#### **LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)**

電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

[1 になる条件]

- 電圧監視 1 割り込みが発生し、この割り込み要因が許可されているとき

[0 になる条件]

- NMICLR.LVD1CLR ビットに 1 を書いたとき

#### **LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)**

電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

[1 になる条件]

- 電圧監視 2 割り込みが発生し、この割り込み要因が許可されているとき

[0 になる条件]

- NMICLR.LVD2CLR ビットに 1 を書いたとき

#### **OSTST フラグ (メインクロック発振停止検出割り込みステータスフラグ)**

メインクロック発振器の発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。

[1 になる条件]

- メインクロック発振停止検出割り込みが発生したとき

[0 になる条件]

- NMICLR.OSTCLR ビットに 1 を書いたとき

#### **NMIST フラグ (NMI 端子割り込みステータスフラグ)**

NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMICLR ビットでクリアされます。

[1 になる条件]

- NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

- NMICLR.NMICLR ビットに 1 を書いたとき

#### **RPEST フラグ (SRAM パリティエラー割り込みステータスフラグ)**

SRAM パリティエラー割り込み要求を示します。

[1 になる条件]

- SRAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.RPECLR ビットに 1 を書いたとき

**BUSST フラグ (MPU バススレーブエラー割り込みステータスフラグ)**

バススレーブエラー割り込み要求を示します。

[1 になる条件]

- バススレーブエラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.BUSSCLR ビットに 1 を書いたとき

**BUSMST フラグ (MPU バスマスタエラー割り込みステータスフラグ)**

バスマスタエラー割り込み要求を示します。

[1 になる条件]

- バスマスタエラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.BUSMCLR ビットに 1 を書いたとき

**SPEST フラグ (CPU スタックポインタモニタ割り込みステータスフラグ)**

CPU スタックポインタモニタ割り込み要求を示します。

[1 になる条件]

- CPU スタックポインタモニタエラーにより、割り込みが発生したとき

[0 になる条件]

- NMICLR.SPECLR ビットに 1 を書いたとき



## 13.2.3 ノンマスクブル割り込みイネーブルレジスタ (NMIER)

アドレス ICU.NMIER 4000 6120h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPEEN	BUSMEN	BUSSEN	—	RPEEN	NMIEN	OSTEN	—	—	LVD2EN	LVD1EN	WDTEN	IWDTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTEN	IWDTアンダーフロー/リフレッシュエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b1	WDTEN	WDTアンダーフロー/リフレッシュエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b2	LVD1EN	電圧監視1割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b3	LVD2EN	電圧監視2割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b5-b4	—	予約ビット	読むと0が読めます。 書く場合、0としてください。	R/W
b6	OSTEN	メインクロック発振停止検出割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b7	NMIEN	NMI端子割り込み許可	0: 禁止 1: 許可	R/(W) (注1)
b8	RPEEN	SRAMパリティエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b9	—	予約ビット	読むと0が読めます。 書く場合、0としてください。	R/W
b10	BUSSEN	MPUバススレーブエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b11	BUSMEN	MPUバスマスターエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b12	SPEEN	CPUスタックポインタモニタ割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b15-b13	—	予約ビット	読むと0が読めます。 書く場合、0としてください。	R/W

注1. リセット後、本ビットに1回だけ1を書き込むことが可能です。以後のライトアクセスは無効です。0の書き込みは無効です。

注2. イベント信号として使用する場合、1にしないでください。

**IWDTEN** ビット (IWDTアンダーフロー/リフレッシュエラー割り込み許可)

NMIの起動要因となるIWDTアンダーフロー/リフレッシュエラー割り込みを許可します。

**WDTEN** ビット (WDTアンダーフロー/リフレッシュエラー割り込み許可)

NMIの起動要因となるWDTアンダーフロー/リフレッシュエラー割り込みを許可します。

**LVD1EN** ビット (電圧監視1割り込み許可)

NMIの起動要因となる電圧監視1割り込みを許可します。

**LVD2EN** ビット (電圧監視2割り込み許可)

NMIの起動要因となる電圧監視2割り込みを許可します。

**OSTEN** ビット (メインクロック発振停止検出割り込み許可)

NMIの起動要因となるメインクロック発振器の発振停止検出割り込みを許可します。

**NMIEN ビット (NMI 端子割り込み許可)**

NMI の起動要因となる NMI 端子割り込みを許可します。

**RPEEN ビット (SRAM パリティエラー割り込み許可)**

NMI の起動要因となる SRAM パリティエラー割り込みを許可します。

**BUSSEN ビット (MPU バススレーブエラー割り込み許可)**

NMI の起動要因となるバススレーブエラー割り込みを許可します。

**BUSMEN ビット (MPU バスマスタエラー割り込み許可)**

NMI の起動要因となるバスマスタエラー割り込みを許可します。

**SPEEN ビット (CPU スタックポインタモニタ割り込み許可)**

NMI の起動要因となる CPU スタックポインタモニタ割り込みを許可します。

## 13.2.4 ノンマスクブル割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 4000 6130h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPECL R	BUSM CLR	BUSSC LR	—	RPECL R	NMICL R	OSTCL R	—	—	LVD2C LR	LVD1C LR	WDTCL R	IWDTCL LR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTCLR	IWDTクリア	0: 無効 1: NMISR.IWDTST フラグをクリア	R/(W) (注1)
b1	WDTCLR	WDTクリア	0: 無効 1: NMISR.WDTST フラグをクリア	R/(W) (注1)
b2	LVD1CLR	LVD1クリア	0: 無効 1: NMISR.LVD1ST フラグをクリア	R/(W) (注1)
b3	LVD2CLR	LVD2クリア	0: 無効 1: NMISR.LVD2ST フラグをクリア	R/(W) (注1)
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/(W)
b6	OSTCLR	OSTクリア	0: 無効 1: NMISR.OSTST フラグをクリア	R/(W) (注1)
b7	NMICLR	NMIクリア	0: 無効 1: NMISR.NMIST フラグをクリア	R/(W) (注1)
b8	RPECLR	SRAMパリティエラークリア	0: 無効 1: NMISR.RPEST フラグをクリア	R/(W) (注1)
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	BUSSCLR	バススレーブエラークリア	0: 無効 1: NMISR.BUSSST フラグをクリア	R/(W) (注1)
b11	BUSMCLR	バスマスタエラークリア	0: 無効 1: NMISR.BUSMST フラグをクリア	R/(W) (注1)
b12	SPECLR	SPESTクリア	0: 無効 1: NMISR.SPEST フラグをクリア	R/(W) (注1)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/(W)

注1. 本ビットへの書き込みは、1のみとしてください。

**IWDTCLR ビット (IWDT クリア)**

1 を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと 0 が読めます。

**WDTCLR ビット (WDT クリア)**

1 を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと 0 が読めます。

**LVD1CLR ビット (LVD1 クリア)**

1 を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと 0 が読めます。

**LVD2CLR ビット (LVD2 クリア)**

1 を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと 0 が読めます。

**OSTCLR ビット (OST クリア)**

1 を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと 0 が読めます。

**NMICLR ビット (NMI クリア)**

1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

**RPECLR ビット (SRAM パリティエラークリア)**

1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと 0 が読めます。

**BUSSCLR ビット (バススレーブエラークリア)**

1 を書き込むことにより、NMISR.BUSSST フラグをクリアします。読むと 0 が読めます。

**BUSMCLR ビット (バスマスタエラークリア)**

1 を書き込むことにより、NMISR.BUSMST フラグをクリアします。読むと 0 が読めます。

**SPECLR ビット (SPEST クリア)**

1 を書き込むことにより、NMISR.SPEST フラグをクリアします。読むと 0 が読めます。

## 13.2.5 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 4000 6100h

b7	b6	b5	b4	b3	b2	b1	b0
NFLTEN	—	NFCLKSEL[1:0]	—	—	—	—	NMIMD
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIMD	NMI検出設定	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	NFCLKSEL[1:0]	NMIデジタルフィルタサンプリングクロック選択	b5 b4 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	NFLTEN	NMIデジタルフィルタ有効	0: 無効 1: 有効	R/W

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可 (NMICR.NMIEN ビットを 1) にしてください。

**NMIMD ビット (NMI 検出設定)**

NMI 端子割り込みの検出センシング方法を選択します。

**NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック選択)**

NMI 端子割り込みのデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB (毎サイクル)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細については、[13.4.3 デジタルフィルタ](#)を参照してください。

**NFLTEN ビット (NMI デジタルフィルタ有効)**

NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NMICR.NFCLKSEL[1:0] ビットで指定されたクロックサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、[13.4.3 デジタルフィルタ](#)を参照してください。

## 13.2.6 ICU イベントリンク設定レジスタ n (IELSRn) (n = 0 ~ 95)

アドレス ICU.IELSR0 4000 6300h, ICU.IELSR1 4000 6304h, ICU.IELSR2 4000 6308h, ICU.IELSR3 4000 630Ch,.....  
.....ICU.IELSR92 4000 6470h, ICU.IELSR93 4000 6474h, ICU.IELSR94 4000 6478h, ICU.IELSR95 4000 647Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	IELS[8:0]								—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b8-b0	IELS[8:0]	ICU イベントリンク選択	b8 b0 00000000 : 対応する NVIC または DTC モジュールへの割り込みは禁止 00000001 ~ 11111111 : リンクするイベント信号の番号 詳細は、表 13.4 を参照してください。	R/W
b15-b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b16	IR	割り込みステータスフラグ	0 : 割り込み要求の発生なし 1 : 割り込み要求の発生あり	R/(W) (注1)
b23-b17	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b24	DTCE	DTC 起動許可	0 : 禁止 1 : 許可	R/W
b31-b25	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタにはハーフワードまたはワードアクセスが必要です。

注 1. IR フラグを 1 にする書き込みは禁止です。

IELSRn レジスタでは、NVIC で使用する IRQ 要因を選択します。詳細は、表 13.4 を参照してください。IELSRn (n = 0 ~ 95) は、NVIC IRQ 入力要因番号 0 ~ 95 に対応しています。

#### IELS[8:0] ビット (ICU イベントリンク選択)

対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。これら全ビットを同時に書き込む必要があります。

#### IR フラグ (割り込みステータスフラグ)

IELS[8:0] で指定されたイベントからの割り込み要求の有無を示します。

[1 になる条件]

- 対応する周辺モジュールまたは IRQ<sub>i</sub> 端子から割り込み要求を受信したとき

[0 になる条件]

- 0 を書いたとき。DTCE ビットを 0 にしてから、IR フラグを 0 にすること

IR フラグのクリア方法 :

- 入力割り込み信号をネゲートする。
- 周辺リードアクセスを 1 回実行し、対象モジュールクロックの 2 クロックサイクル分待つ。
- 0 を書き込んで IR フラグをクリアする。

**DTCE ビット (DTC 起動許可)**

DTCE ビットを1にすると、対応するイベントが DTC 起動要因として選択されます。

[1になる条件]

- 1を書いたとき

[0になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- 0を書いたとき

## 13.2.7 DMAC イベントリンク設定レジスタ n (DELSRn) (n = 0 ~ 7)

アドレス ICU.DELSR0 4000 6280h, ICU.DELSR1 4000 6284h, ICU.DELSR2 4000 6288h, ICU.DELSR3 4000 628Ch,  
ICU.DELSR4 4000 6290h, ICU.DELSR5 4000 6294h, ICU.DELSR6 4000 6298h, ICU.DELSR7 4000 629Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IR	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	DELS[8:0]								—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b8-b0	DELS[8:0]	DMAC イベントリンク選択	b8 b0 00000000 : 対応する DMAC モジュールへの DMA 起動要求は無効 00000001 ~ 11111111 : リンクするイベント信号の番号 詳細は、表 13.4 を参照してください。	R/W (注1)
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	IR	DMAC の割り込みステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/(W) (注2)
b31-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. このレジスタにはハーフワードまたはワードアクセスが必要です。

注 2. IR フラグを 1 にする書き込みは禁止です。

**DELS[8:0] ビット (DMAC イベントリンク選択)**

DMAC モジュールへのイベント信号を指定します。これら全ビットを同時に書き込む必要があります。

**IR フラグ (DMAC の割り込みステータスフラグ)**

各 DMA 転送要求のステータスフラグです。本フラグは、同じレジスタの DELS[8:0] ビットに対応します。

[1 になる条件]

- 本フラグは、対応する周辺モジュールまたは IRQi 端子から DMA 転送要求が発生したときに 1 になる

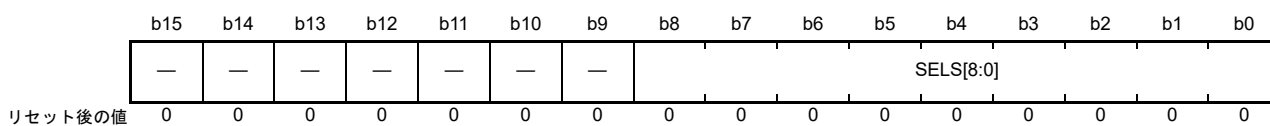
[0 になる条件]

- 0 を書いたとき
- DMA 転送要求の発生後、DMA 転送を開始したとき



## 13.2.8 SYS イベントリンク設定レジスタ (SELSR0)

アドレス ICU.SELSR0 4000 6200h



ビット	シンボル	ビット名	機能	R/W
b8-b0	SELS[8:0]	SYSイベントリンク選択	b8 b0 000000000 : 対応する低消費電力モードモジュールへのイベント出力は無効 000000001 ~ 111111111 : リンクするイベント信号の番号 詳細は、表 13.4 を参照してください。	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. このレジスタにはハーフワードアクセスが必要です。

SELSR0 レジスタでは、スヌーズモードから CPU を復帰させるためのイベントを選択します。表 13.4 において「スヌーズモードの解除」欄に○印が付いたイベントのみを使用できます。IELSRn.IELS ビットに 02Dh が設定されると、スヌーズモードを解除する割り込みの発生が可能です。

**SELS[8:0] ビット (SYS イベントリンク選択)**

これら全ビットを同時に書き込む必要があります。

## 13.2.9 ウェイクアップ割り込みイネーブルレジスタ (WUPEN)

アドレス ICU.WUPEN 4000 61A0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
IIC0WUPEN	AGT1CBWUPEN	AGT1CAWUPEN	AGT1UDWUPEN	—	—	—	—	—	ACMPHS0WUPEN	—	—	LVD2WUPEN	LVD1WUPEN	KEYWUPEN	IWDTWUPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	IRQWUPEN[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	IRQWUPEN[13:0]	IRQ割り込みソフトウェアスタンバイ復帰許可	0: IRQ割り込みによるソフトウェアスタンバイ復帰禁止 1: IRQ割り込みによるソフトウェアスタンバイ復帰許可	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	IWDTWUPEN	IWDT割り込みソフトウェアスタンバイ復帰許可	0: IWDT割り込みによるソフトウェアスタンバイ復帰禁止 1: IWDT割り込みによるソフトウェアスタンバイ復帰許可	R/W
b17	KEYWUPEN	キー割り込みソフトウェアスタンバイ復帰許可	0: キー割り込みによるソフトウェアスタンバイ復帰禁止 1: キー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b18	LVD1WUPEN	LVD1割り込みソフトウェアスタンバイ復帰許可	0: LVD1割り込みによるソフトウェアスタンバイ復帰禁止 1: LVD1割り込みによるソフトウェアスタンバイ復帰許可	R/W
b19	LVD2WUPEN	LVD2割り込みソフトウェアスタンバイ復帰許可	0: LVD2割り込みによるソフトウェアスタンバイ復帰禁止 1: LVD2割り込みによるソフトウェアスタンバイ復帰許可	R/W
b21-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22	ACMPHS0WUPEN	ACMPHS0割り込みソフトウェアスタンバイ復帰許可	0: ACMPHS0割り込みによるソフトウェアスタンバイ復帰禁止 1: ACMPHS0割り込みによるソフトウェアスタンバイ復帰許可	R/W
b27-b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	AGT1UDWUPEN	AGT1アンダーフロー割り込みソフトウェアスタンバイ復帰許可	0: AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b29	AGT1CAWUPEN	AGT1コンペアマッチA割り込みソフトウェアスタンバイ復帰許可	0: AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰許可	R/W
b30	AGT1CBWUPEN	AGT1コンペアマッチB割り込みソフトウェアスタンバイ復帰許可	0: AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰許可	R/W
b31	IIC0WUPEN	IIC0アドレス一致割り込みソフトウェアスタンバイ復帰許可	0: IIC0アドレス一致割り込みによるソフトウェアスタンバイ復帰禁止 1: IIC0アドレス一致割り込みによるソフトウェアスタンバイ復帰許可	R/W

このレジスタの各ビットは、対応する割り込みがソフトウェアスタンバイモードから CPU を復帰させることができるかどうかを制御します。

**IRQWUPEN[13:0] ビット (IRQ 割り込みソフトウェアスタンバイ復帰許可)**

ソフトウェアスタンバイモードを解除するため IRQ<sub>n</sub> 割り込みの使用を許可します。

**IWDTWUPEN ビット (IWDT 割り込みソフトウェアスタンバイ復帰許可)**

ソフトウェアスタンバイモードを解除するため IWDT 割り込みの使用を許可します。

**KEYWUPEN ビット (キー割り込みソフトウェアスタンバイ復帰許可)**

ソフトウェアスタンバイモードを解除するためキー割り込みの使用を許可します。

**LVD1WUPEN ビット (LVD1 割り込みソフトウェアスタンバイ復帰許可)**

ソフトウェアスタンバイモードを解除するため LVD1 割り込みの使用を許可します。

**LVD2WUPEN ビット (LVD2 割り込みソフトウェアスタンバイ復帰許可)**

ソフトウェアスタンバイモードを解除するため LVD2 割り込みの使用を許可します。

**ACMPHS0WUPEN ビット (ACMPHS0 割り込みソフトウェアスタンバイ復帰許可)**

ソフトウェアスタンバイモードを解除するため ACMPHS0 割り込みの使用を許可します。

**AGT1UDWUPEN ビット (AGT1 アンダーフロー割り込みソフトウェアスタンバイ復帰許可)**

ソフトウェアスタンバイモードを解除するため AGT1 アンダーフロー割り込みの使用を許可します。

**AGT1CAWUPEN ビット (AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイ復帰許可)**

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ A 割り込みの使用を許可します。

**AGT1CBWUPEN ビット (AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイ復帰許可)**

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ B 割り込みの使用を許可します。

**IIC0WUPEN ビット (IIC0 アドレス一致割り込みソフトウェアスタンバイ復帰許可)**

ソフトウェアスタンバイモードを解除するため IIC0 割り込みの使用を許可します。

### 13.3 ベクタテーブル

ICUは、マスクابل割り込みとノンマスクابل割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D) の NVIC の章を参照してください。

#### 13.3.1 割り込みベクタテーブル

表 13.3 に割り込みベクタを示します。アドレスは、NVIC の仕様に従います。

表 13.3 割り込みベクタテーブル (1/3)

例外番号	IRQ番号	ベクタ オフセット	発生元	内容
0	-	000h	Arm	初期スタックポインタ
1	-	004h	Arm	初期プログラムカウンタ (リセットベクタ)
2	-	008h	Arm	ノンマスクابل割り込み (NMI)
3	-	00Ch	Arm	ハード障害
4	-	010h	Arm	MemManage障害
5	-	014h	Arm	バス障害
6	-	018h	Arm	使用障害
7	-	01Ch	Arm	予約
8	-	020h	Arm	予約
9	-	024h	Arm	予約
10	-	028h	Arm	予約
11	-	02Ch	Arm	スーパーバイザコール (SVCall)
12	-	030h	Arm	デバッグ監視
13	-	034h	Arm	予約
14	-	038h	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	-	03Ch	Arm	システムティックタイマ (SysTick)
16	0	040h	ICU.IELSR0	ICU.IELSR0レジスタで選択されたイベント
17	1	044h	ICU.IELSR1	ICU.IELSR1レジスタで選択されたイベント
18	2	048h	ICU.IELSR2	ICU.IELSR2レジスタで選択されたイベント
19	3	04Ch	ICU.IELSR3	ICU.IELSR3レジスタで選択されたイベント
20	4	050h	ICU.IELSR4	ICU.IELSR4レジスタで選択されたイベント
21	5	054h	ICU.IELSR5	ICU.IELSR5レジスタで選択されたイベント
22	6	058h	ICU.IELSR6	ICU.IELSR6レジスタで選択されたイベント
23	7	05Ch	ICU.IELSR7	ICU.IELSR7レジスタで選択されたイベント
24	8	060h	ICU.IELSR8	ICU.IELSR8レジスタで選択されたイベント
25	9	064h	ICU.IELSR9	ICU.IELSR9レジスタで選択されたイベント
26	10	068h	ICU.IELSR10	ICU.IELSR10レジスタで選択されたイベント
27	11	06Ch	ICU.IELSR11	ICU.IELSR11レジスタで選択されたイベント
28	12	070h	ICU.IELSR12	ICU.IELSR12レジスタで選択されたイベント
29	13	074h	ICU.IELSR13	ICU.IELSR13レジスタで選択されたイベント
30	14	078h	ICU.IELSR14	ICU.IELSR14レジスタで選択されたイベント
31	15	07Ch	ICU.IELSR15	ICU.IELSR15レジスタで選択されたイベント
32	16	080h	ICU.IELSR16	ICU.IELSR16レジスタで選択されたイベント
33	17	084h	ICU.IELSR17	ICU.IELSR17レジスタで選択されたイベント
34	18	088h	ICU.IELSR18	ICU.IELSR18レジスタで選択されたイベント
35	19	08Ch	ICU.IELSR19	ICU.IELSR19レジスタで選択されたイベント
36	20	090h	ICU.IELSR20	ICU.IELSR20レジスタで選択されたイベント

表 13.3 割り込みベクタテーブル (2/3)

例外番号	IRQ 番号	ベクタ オフセット	発生元	内容
37	21	094h	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	098h	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	09Ch	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0A0h	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0A4h	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0A8h	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0ACh	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0B0h	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0B4h	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0B8h	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0BCh	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント
48	32	0C0h	ICU.IELSR32	ICU.IELSR32 レジスタで選択されたイベント
49	33	0C4h	ICU.IELSR33	ICU.IELSR33 レジスタで選択されたイベント
50	34	0C8h	ICU.IELSR34	ICU.IELSR34 レジスタで選択されたイベント
51	35	0CCh	ICU.IELSR35	ICU.IELSR35 レジスタで選択されたイベント
52	36	0D0h	ICU.IELSR36	ICU.IELSR36 レジスタで選択されたイベント
53	37	0D4h	ICU.IELSR37	ICU.IELSR37 レジスタで選択されたイベント
54	38	0D8h	ICU.IELSR38	ICU.IELSR38 レジスタで選択されたイベント
55	39	0DCh	ICU.IELSR39	ICU.IELSR39 レジスタで選択されたイベント
56	40	0E0h	ICU.IELSR40	ICU.IELSR40 レジスタで選択されたイベント
57	41	0E4h	ICU.IELSR41	ICU.IELSR41 レジスタで選択されたイベント
58	42	0E8h	ICU.IELSR42	ICU.IELSR42 レジスタで選択されたイベント
59	43	0ECh	ICU.IELSR43	ICU.IELSR43 レジスタで選択されたイベント
60	44	0F0h	ICU.IELSR44	ICU.IELSR44 レジスタで選択されたイベント
61	45	0F4h	ICU.IELSR45	ICU.IELSR45 レジスタで選択されたイベント
62	46	0F8h	ICU.IELSR46	ICU.IELSR46 レジスタで選択されたイベント
63	47	0FCh	ICU.IELSR47	ICU.IELSR47 レジスタで選択されたイベント
64	48	100h	ICU.IELSR48	ICU.IELSR48 レジスタで選択されたイベント
65	49	104h	ICU.IELSR49	ICU.IELSR49 レジスタで選択されたイベント
66	50	108h	ICU.IELSR50	ICU.IELSR50 レジスタで選択されたイベント
67	51	10Ch	ICU.IELSR51	ICU.IELSR51 レジスタで選択されたイベント
68	52	110h	ICU.IELSR52	ICU.IELSR52 レジスタで選択されたイベント
69	53	114h	ICU.IELSR53	ICU.IELSR53 レジスタで選択されたイベント
70	54	118h	ICU.IELSR54	ICU.IELSR54 レジスタで選択されたイベント
71	55	11Ch	ICU.IELSR55	ICU.IELSR55 レジスタで選択されたイベント
72	56	120h	ICU.IELSR56	ICU.IELSR56 レジスタで選択されたイベント
73	57	124h	ICU.IELSR57	ICU.IELSR57 レジスタで選択されたイベント
74	58	128h	ICU.IELSR58	ICU.IELSR58 レジスタで選択されたイベント
75	59	12Ch	ICU.IELSR59	ICU.IELSR59 レジスタで選択されたイベント
76	60	130h	ICU.IELSR60	ICU.IELSR60 レジスタで選択されたイベント
77	61	134h	ICU.IELSR61	ICU.IELSR61 レジスタで選択されたイベント
78	62	138h	ICU.IELSR62	ICU.IELSR62 レジスタで選択されたイベント
79	63	13Ch	ICU.IELSR63	ICU.IELSR63 レジスタで選択されたイベント
80	64	140h	ICU.IELSR64	ICU.IELSR64 レジスタで選択されたイベント
81	65	144h	ICU.IELSR65	ICU.IELSR65 レジスタで選択されたイベント

表 13.3 割り込みベクタテーブル (3/3)

例外番号	IRQ番号	ベクタ オフセット	発生元	内容
82	66	148h	ICU.IELSR66	ICU.IELSR66 レジスタで選択されたイベント
83	67	14Ch	ICU.IELSR67	ICU.IELSR67 レジスタで選択されたイベント
84	68	150h	ICU.IELSR68	ICU.IELSR68 レジスタで選択されたイベント
85	69	154h	ICU.IELSR69	ICU.IELSR69 レジスタで選択されたイベント
86	70	158h	ICU.IELSR70	ICU.IELSR70 レジスタで選択されたイベント
87	71	15Ch	ICU.IELSR71	ICU.IELSR71 レジスタで選択されたイベント
88	72	160h	ICU.IELSR72	ICU.IELSR72 レジスタで選択されたイベント
89	73	164h	ICU.IELSR73	ICU.IELSR73 レジスタで選択されたイベント
90	74	168h	ICU.IELSR74	ICU.IELSR74 レジスタで選択されたイベント
91	75	16Ch	ICU.IELSR75	ICU.IELSR75 レジスタで選択されたイベント
92	76	170h	ICU.IELSR76	ICU.IELSR76 レジスタで選択されたイベント
93	77	174h	ICU.IELSR77	ICU.IELSR77 レジスタで選択されたイベント
94	78	178h	ICU.IELSR78	ICU.IELSR78 レジスタで選択されたイベント
95	79	17Ch	ICU.IELSR79	ICU.IELSR79 レジスタで選択されたイベント
96	80	180h	ICU.IELSR80	ICU.IELSR80 レジスタで選択されたイベント
97	81	184h	ICU.IELSR81	ICU.IELSR81 レジスタで選択されたイベント
98	82	188h	ICU.IELSR82	ICU.IELSR82 レジスタで選択されたイベント
99	83	18Ch	ICU.IELSR83	ICU.IELSR83 レジスタで選択されたイベント
100	84	190h	ICU.IELSR84	ICU.IELSR84 レジスタで選択されたイベント
101	85	194h	ICU.IELSR85	ICU.IELSR85 レジスタで選択されたイベント
102	86	198h	ICU.IELSR86	ICU.IELSR86 レジスタで選択されたイベント
103	87	19Ch	ICU.IELSR87	ICU.IELSR87 レジスタで選択されたイベント
104	88	1A0h	ICU.IELSR88	ICU.IELSR88 レジスタで選択されたイベント
105	89	1A4h	ICU.IELSR89	ICU.IELSR89 レジスタで選択されたイベント
106	90	1A8h	ICU.IELSR90	ICU.IELSR90 レジスタで選択されたイベント
107	91	1ACh	ICU.IELSR91	ICU.IELSR91 レジスタで選択されたイベント
108	92	1B0h	ICU.IELSR92	ICU.IELSR92 レジスタで選択されたイベント
109	93	1B4h	ICU.IELSR93	ICU.IELSR93 レジスタで選択されたイベント
110	94	1B8h	ICU.IELSR94	ICU.IELSR94 レジスタで選択されたイベント
111	95	1BCh	ICU.IELSR95	ICU.IELSR95 レジスタで選択されたイベント

## 13.3.2 イベント番号

下表は、イベント番号を記した表 13.4 の各項目の説明です。

項目	内容
割り込み要求の発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVICへの接続	CPU割り込み (IELSRnの設定) として使用可能な割り込みが○印で示されています。
DTCの起動	DTCの起動要求 (IELSRnの設定) に使用可能な割り込みが○印で示されています。
DMACの起動	DMACの起動要求 (DELSRnの設定) に使用可能な割り込みが○印で示されています。
スヌーズモードの解除	SELSR0を使用したスヌーズモードからの復帰要求に使用可能な割り込みが○印で示されています。それ以外では、直接使用可能な割り込みが○印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが○印で示されています。
ディープソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが○印で示されています。

表 13.4 イベントテーブル (1/7)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動			
001h	Port	PORT_IRQ0	○	○	○	○	○	○
002h		PORT_IRQ1	○	○	○	○	○	○
003h		PORT_IRQ2	○	○	○	○	○	○
004h		PORT_IRQ3	○	○	○	○	○	○
005h		PORT_IRQ4	○	○	○	○	○	○
006h		PORT_IRQ5	○	○	○	○	○	○
007h		PORT_IRQ6	○	○	○	○	○	○
008h		PORT_IRQ7	○	○	○	○	○	○
009h		PORT_IRQ8	○	○	○	○	○	○
00Ah		PORT_IRQ9	○	○	○	○	○	○
00Bh		PORT_IRQ10	○	○	○	○	○	○
00Ch		PORT_IRQ11	○	○	○	○	○	○
00Dh		PORT_IRQ12	○	○	○	○	○	○
00Eh		PORT_IRQ13	○	○	○	○	○	○
020h	DMAC0	DMAC0_INT	○	○	-	-	-	-
021h	DMAC1	DMAC1_INT	○	○	-	-	-	-
022h	DMAC2	DMAC2_INT	○	○	-	-	-	-
023h	DMAC3	DMAC3_INT	○	○	-	-	-	-
024h	DMAC4	DMAC4_INT	○	○	-	-	-	-
025h	DMAC5	DMAC5_INT	○	○	-	-	-	-
026h	DMAC6	DMAC6_INT	○	○	-	-	-	-
027h	DMAC7	DMAC7_INT	○	○	-	-	-	-
029h	DTC	DTC_COMPLETE	○	-	-	○ (注5)	-	-
02Dh	ICU	ICU_SNZCANCEL	○	-	-	○	-	-
030h	FCU	FCU_FIFERR	○	-	-	-	-	-
031h		FCU_FRDYI	○	-	-	-	-	-
038h	LVD	LVD_LVD1	○	-	-	○	○	○
039h		LVD_LVD2	○	-	-	○	○	○
03Bh	MOSC	MOSC_STOP	○	-	-	-	-	-

表 13.4 イベントテーブル (2/7)

イベント 番号	割り込み要求の 発生元	名称	IELSRn		DELSRn	スヌーズ モードの 解除	ソフトウェア スタンバイ モードの解除	ディープ ソフトウェア スタンバイ モードの解除
			NVICへの 接続	DTCの 起動	DMACの 起動			
03Ch	低消費電力モード	SYSTEM_SNZREQ	-	○	-	-	-	-
040h	AGT0	AGT0_AGTI	○	○	○	-	-	-
041h		AGT0_AGTCMAI	○	○	○	-	-	-
042h		AGT0_AGTCMBI	○	○	○	-	-	-
043h	AGT1	AGT1_AGTI	○	○	○	○	○	○
044h		AGT1_AGTCMAI	○	○	○	○	○	-
045h		AGT1_AGTCMBI	○	○	○	○	○	-
046h	IWDT	IWDT_NMIUNDF	○	-	-	○	○	-
047h	WDT	WDT_NMIUNDF	○	-	-	-	-	-
04Bh	ADC120	ADC120_ADI	○	○	○	-	-	-
04Ch		ADC120_GBADI	○	○	○	-	-	-
04Dh		ADC120_CMPAI	○	-	-	-	-	-
04Eh		ADC120_CMPBI	○	-	-	-	-	-
04Fh		ADC120_WCMPM	-	○	○	○ (注5)	-	-
050h		ADC120_WCMPUM	-	○	○	○ (注5)	-	-
051h		ADC121	ADC121_ADI	○	○	○	-	-
052h	ADC121_GBADI		○	○	○	-	-	-
053h	ADC121_CMPAI		○	-	-	-	-	-
054h	ADC121_CMPBI		○	-	-	-	-	-
055h	ADC121_WCMPM		-	○	○	○ (注5)	-	-
056h	ADC121_WCMPUM		-	○	○	○ (注5)	-	-
057h	ACMPHS	ACMP_HS0	○	-	-	○ (注1)	○ (注1)	-
058h		ACMP_HS1	○	-	-	-	-	-
059h		ACMP_HS2	○	-	-	-	-	-
05Ah		ACMP_HS3	○	-	-	-	-	-
05Bh		ACMP_HS4	○	-	-	-	-	-
05Ch		ACMP_HS5	○	-	-	-	-	-
063h	IIC0	IIC0_RXI	○	○	○	-	-	-
064h		IIC0_TXI	○	○	○	-	-	-
065h		IIC0_TEI	○	-	-	-	-	-
066h		IIC0_EEI	○	-	-	-	-	-
067h		IIC0_WUI	○	-	-	○	○	-
068h	IIC1	IIC1_RXI	○	○	○	-	-	-
069h		IIC1_TXI	○	○	○	-	-	-
06Ah		IIC1_TEI	○	-	-	-	-	-
06Bh		IIC1_EEI	○	-	-	-	-	-
085h	KINT	KEY_INTKR	○	-	-	○ (注2)	○ (注2)	-
086h	DOC	DOC_DOPCI	○	-	-	○ (注5)	-	-
087h	CAC	CAC_FERRI	○	-	-	-	-	-
088h		CAC_MENDI	○	-	-	-	-	-
089h		CAC_OVFI	○	-	-	-	-	-
08Ah	CAN0	CAN0_ERS	○	-	-	-	-	-
08Bh		CAN0_RXF	○	-	-	-	-	-
08Ch		CAN0_TXF	○	-	-	-	-	-
08Dh		CAN0_RXM	○	-	-	-	-	-
08Eh		CAN0_TXM	○	-	-	-	-	-



表 13.4 イベントテーブル (3/7)

イベント 番号	割り込み要求の 発生元	名称	IELSRn		DELSRn	スヌーズ モードの 解除	ソフトウェア スタンバイ モードの解除	ディープ ソフトウェア スタンバイ モードの解除
			NVICへの 接続	DTCの 起動	DMACの 起動			
094h	I/Oポート	IOPORT_GROUP1	○	○ (注3)	○ (注3)	-	-	-
095h		IOPORT_GROUP2	○	○ (注3)	○ (注3)	-	-	-
096h		IOPORT_GROUP3	○	○ (注3)	○ (注3)	-	-	-
097h		IOPORT_GROUP4	○	○ (注3)	○ (注3)	-	-	-
098h	ELC	ELC_SWEVT0	○ (注4)	○	-	-	-	-
099h		ELC_SWEVT1	○ (注4)	○	-	-	-	-
09Ah	POEG	POEG_GROUP0	○	-	-	-	-	-
09Bh		POEG_GROUP1	○	-	-	-	-	-
09Ch		POEG_GROUP2	○	-	-	-	-	-
09Dh		POEG_GROUP3	○	-	-	-	-	-
0B0h	GPT32EH0	GPT0_CCMPA	○	○	○	-	-	-
0B1h		GPT0_CCMPB	○	○	○	-	-	-
0B2h		GPT0_CMPC	○	○	○	-	-	-
0B3h		GPT0_CMPD	○	○	○	-	-	-
0B4h		GPT0_CMPE	○	○	○	-	-	-
0B5h		GPT0_CMPF	○	○	○	-	-	-
0B6h		GPT0_OVF	○	○	○	-	-	-
0B7h		GPT0_UDF	○	○	○	-	-	-
0B8h		GPT0_ADTRGA	○	○	○	-	-	-
0B9h		GPT0_ADTRGB	○	○	○	-	-	-
0BAh	GPT32EH1	GPT1_CCMPA	○	○	○	-	-	-
0BBh		GPT1_CCMPB	○	○	○	-	-	-
0BCh		GPT1_CMPC	○	○	○	-	-	-
0BDh		GPT1_CMPD	○	○	○	-	-	-
0BEh		GPT1_CMPE	○	○	○	-	-	-
0BFh		GPT1_CMPF	○	○	○	-	-	-
0C0h		GPT1_OVF	○	○	○	-	-	-
0C1h		GPT1_UDF	○	○	○	-	-	-
0C2h		GPT1_ADTRGA	○	○	○	-	-	-
0C3h		GPT1_ADTRGB	○	○	○	-	-	-
0C4h	GPT32EH2	GPT2_CCMPA	○	○	○	-	-	-
0C5h		GPT2_CCMPB	○	○	○	-	-	-
0C6h		GPT2_CMPC	○	○	○	-	-	-
0C7h		GPT2_CMPD	○	○	○	-	-	-
0C8h		GPT2_CMPE	○	○	○	-	-	-
0C9h		GPT2_CMPF	○	○	○	-	-	-
0CAh		GPT2_OVF	○	○	○	-	-	-
0CBh		GPT2_UDF	○	○	○	-	-	-
0CCh		GPT2_ADTRGA	○	○	○	-	-	-
0CDh		GPT2_ADTRGB	○	○	○	-	-	-

表 13.4 イベントテーブル (4/7)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動			
0CEh	GPT32EH3	GPT3_CCMPA	○	○	○	-	-	-
0CFh		GPT3_CCMPB	○	○	○	-	-	-
0D0h		GPT3_CMPC	○	○	○	-	-	-
0D1h		GPT3_CMPD	○	○	○	-	-	-
0D2h		GPT3_CMPE	○	○	○	-	-	-
0D3h		GPT3_CMPF	○	○	○	-	-	-
0D4h		GPT3_OVF	○	○	○	-	-	-
0D5h		GPT3_UDF	○	○	○	-	-	-
0D6h		GPT3_ADTRGA	○	○	○	-	-	-
0D7h		GPT3_ADTRGB	○	○	○	-	-	-
0D8h		GPT32E4	GPT4_CCMPA	○	○	○	-	-
0D9h	GPT4_CCMPB		○	○	○	-	-	-
0DAh	GPT4_CMPC		○	○	○	-	-	-
0DBh	GPT4_CMPD		○	○	○	-	-	-
0DCh	GPT4_CMPE		○	○	○	-	-	-
0DDh	GPT4_CMPF		○	○	○	-	-	-
0DEh	GPT4_OVF		○	○	○	-	-	-
0DFh	GPT4_UDF		○	○	○	-	-	-
0E0h	GPT4_ADTRGA		○	○	○	-	-	-
0E1h	GPT4_ADTRGB		○	○	○	-	-	-
0E2h	GPT32E5		GPT5_CCMPA	○	○	○	-	-
0E3h		GPT5_CCMPB	○	○	○	-	-	-
0E4h		GPT5_CMPC	○	○	○	-	-	-
0E5h		GPT5_CMPD	○	○	○	-	-	-
0E6h		GPT5_CMPE	○	○	○	-	-	-
0E7h		GPT5_CMPF	○	○	○	-	-	-
0E8h		GPT5_OVF	○	○	○	-	-	-
0E9h		GPT5_UDF	○	○	○	-	-	-
0EAh		GPT5_ADTRGA	○	○	○	-	-	-
0EBh		GPT5_ADTRGB	○	○	○	-	-	-
0ECh		GPT32E6	GPT6_CCMPA	○	○	○	-	-
0EDh	GPT6_CCMPB		○	○	○	-	-	-
0EEh	GPT6_CMPC		○	○	○	-	-	-
0EFh	GPT6_CMPD		○	○	○	-	-	-
0F0h	GPT6_CMPE		○	○	○	-	-	-
0F1h	GPT6_CMPF		○	○	○	-	-	-
0F2h	GPT6_OVF		○	○	○	-	-	-
0F3h	GPT6_UDF		○	○	○	-	-	-
0F4h	GPT6_ADTRGA		○	○	○	-	-	-
0F5h	GPT6_ADTRGB		○	○	○	-	-	-

表 13.4 イベントテーブル (5/7)

イベント 番号	割り込み要求の 発生元	名称	IELSRn		DELSRn	スヌーズ モードの 解除	ソフトウェア スタンバイ モードの解除	ディープ ソフトウェア スタンバイ モードの解除
			NVICへの 接続	DTCの 起動	DMACの 起動			
0F6h	GPT32E7	GPT7_CCMPA	○	○	○	-	-	-
0F7h		GPT7_CCMPB	○	○	○	-	-	-
0F8h		GPT7_CMPC	○	○	○	-	-	-
0F9h		GPT7_CMPD	○	○	○	-	-	-
0FAh		GPT7_CMPE	○	○	○	-	-	-
0FBh		GPT7_CMPF	○	○	○	-	-	-
0FCh		GPT7_OVF	○	○	○	-	-	-
0FDh		GPT7_UDF	○	○	○	-	-	-
0FEh		GPT7_ADTRGA	○	○	○	-	-	-
0FFh		GPT7_ADTRGB	○	○	○	-	-	-
100h		GPT328	GPT8_CCMPA	○	○	○	-	-
101h	GPT8_CCMPB		○	○	○	-	-	-
102h	GPT8_CMPC		○	○	○	-	-	-
103h	GPT8_CMPD		○	○	○	-	-	-
104h	GPT8_CMPE		○	○	○	-	-	-
105h	GPT8_CMPF		○	○	○	-	-	-
106h	GPT8_OVF		○	○	○	-	-	-
107h	GPT8_UDF		○	○	○	-	-	-
10Ah	GPT329	GPT9_CCMPA	○	○	○	-	-	-
10Bh		GPT9_CCMPB	○	○	○	-	-	-
10Ch		GPT9_CMPC	○	○	○	-	-	-
10Dh		GPT9_CMPD	○	○	○	-	-	-
10Eh		GPT9_CMPE	○	○	○	-	-	-
10Fh		GPT9_CMPF	○	○	○	-	-	-
110h		GPT9_OVF	○	○	○	-	-	-
111h		GPT9_UDF	○	○	○	-	-	-
114h	GPT3210	GPT10_CCMPA	○	○	○	-	-	-
115h		GPT10_CCMPB	○	○	○	-	-	-
116h		GPT10_CMPC	○	○	○	-	-	-
117h		GPT10_CMPD	○	○	○	-	-	-
118h		GPT10_CMPE	○	○	○	-	-	-
119h		GPT10_CMPF	○	○	○	-	-	-
11Ah		GPT10_OVF	○	○	○	-	-	-
11Bh		GPT10_UDF	○	○	○	-	-	-
11Eh	GPT3211	GPT11_CCMPA	○	○	○	-	-	-
11Fh		GPT11_CCMPB	○	○	○	-	-	-
120h		GPT11_CMPC	○	○	○	-	-	-
121h		GPT11_CMPD	○	○	○	-	-	-
122h		GPT11_CMPE	○	○	○	-	-	-
123h		GPT11_CMPF	○	○	○	-	-	-
124h		GPT11_OVF	○	○	○	-	-	-
125h		GPT11_UDF	○	○	○	-	-	-

表 13.4 イベントテーブル (6/7)

イベント 番号	割り込み要求の 発生元	名称	IELSRn		DELSRn	スヌーズ モードの 解除	ソフトウェア スタンバイ モードの解除	ディープ ソフトウェア スタンバイ モードの解除
			NVICへの 接続	DTCの 起動	DMACの 起動			
128h	GPT3212	GPT12_CCMPA	○	○	○	-	-	-
129h		GPT12_CCMPB	○	○	○	-	-	-
12Ah		GPT12_CMPC	○	○	○	-	-	-
12Bh		GPT12_CMPD	○	○	○	-	-	-
12Ch		GPT12_CMPE	○	○	○	-	-	-
12Dh		GPT12_CMPF	○	○	○	-	-	-
12Eh		GPT12_OVF	○	○	○	-	-	-
12Fh		GPT12_UDF	○	○	○	-	-	-
150h	GPT	GPT_UVWEDGE	○	-	-	-	-	-
174h	SCI0	SCI0_RXI	○	○	○	-	-	-
175h		SCI0_TXI	○	○	○	-	-	-
176h		SCI0_TEI	○	-	-	-	-	-
177h		SCI0_ERI	○	-	-	-	-	-
178h		SCI0_AM	○	-	-	○ (注5)	-	-
179h		SCI0_RXI_OR_ERI	-	-	-	○ (注5)	-	-
17Ah	SCI1	SCI1_RXI	○	○	○	-	-	-
17Bh		SCI1_TXI	○	○	○	-	-	-
17Ch		SCI1_TEI	○	-	-	-	-	-
17Dh		SCI1_ERI	○	-	-	-	-	-
17Eh		SCI1_AM	○	-	-	-	-	-
180h	SCI2	SCI2_RXI	○	○	○	-	-	-
181h		SCI2_TXI	○	○	○	-	-	-
182h		SCI2_TEI	○	-	-	-	-	-
183h		SCI2_ERI	○	-	-	-	-	-
184h		SCI2_AM	○	-	-	-	-	-
186h	SCI3	SCI3_RXI	○	○	○	-	-	-
187h		SCI3_TXI	○	○	○	-	-	-
188h		SCI3_TEI	○	-	-	-	-	-
189h		SCI3_ERI	○	-	-	-	-	-
18Ah		SCI3_AM	○	-	-	-	-	-
18Ch	SCI4	SCI4_RXI	○	○	○	-	-	-
18Dh		SCI4_TXI	○	○	○	-	-	-
18Eh		SCI4_TEI	○	-	-	-	-	-
18Fh		SCI4_ERI	○	-	-	-	-	-
190h		SCI4_AM	○	-	-	-	-	-
1A4h	SCI8	SCI8_RXI	○	○	○	-	-	-
1A5h		SCI8_TXI	○	○	○	-	-	-
1A6h		SCI8_TEI	○	-	-	-	-	-
1A7h		SCI8_ERI	○	-	-	-	-	-
1A8h		SCI8_AM	○	-	-	-	-	-
1AAh	SCI9	SCI9_RXI	○	○	○	-	-	-
1ABh		SCI9_TXI	○	○	○	-	-	-
1ACh		SCI9_TEI	○	-	-	-	-	-
1ADh		SCI9_ERI	○	-	-	-	-	-
1AEh		SCI9_AM	○	-	-	-	-	-

表 13.4 イベントテーブル (7/7)

イベント 番号	割り込み要求の 発生元	名称	IELSRn		DELSRn	スヌーズ モードの 解除	ソフトウェア スタンバイ モードの解除	ディープ ソフトウェア スタンバイ モードの解除
			NVICへの 接続	DTCの 起動	DMACの 起動			
1BCh	SPI0	SPI0_SPRI	○	○	○	-	-	-
1BDh		SPI0_SPTI	○	○	○	-	-	-
1BEh		SPI0_SPII	○	-	-	-	-	-
1BFh		SPI0_SPEI	○	-	-	-	-	-
1C0h		SPI0_SPTEND	○	-	-	-	-	-
1C1h		SPI1	SPI1_SPRI	○	○	○	-	-
1C2h	SPI1_SPTI		○	○	○	-	-	-
1C3h	SPI1_SPII		○	-	-	-	-	-
1C4h	SPI1_SPEI		○	-	-	-	-	-
1C5h	SPI1_SPTEND		○	-	-	-	-	-

注 1. CMPCTL.CSTEN = 1 の場合にのみサポートされます。

注 2. KRCTL.KRMD = 1 の場合にのみサポートされます。

注 3. 最初のエッジ検出のみが有効です。

注 4. DTC 転送後の割り込みのみがサポートされます。

注 5. SELSR0 の使用

## 13.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択 (CPU 割り込み、DTC 起動、DMAC 起動など)

### 13.4.1 割り込みの検出

外部端子割り込み要求は、下記の2つの方法のいずれかで検出されます。

- 割り込み信号のエッジ (立ち下がりエッジ／立ち上がりエッジ／両エッジ)
- 割り込み信号のレベル (Low レベル)

IRQ<sub>i</sub> 端子検出モードを選択するには、IRQCR<sub>i</sub> レジスタの IRQMD[1:0] ビットを設定します。周辺モジュールに関連した割り込み要因については、14.3.2 イベント番号を参照してください。イベントは、割り込みが発生して CPU に受け付けられる前に、NVIC で受け付けられる必要があります。

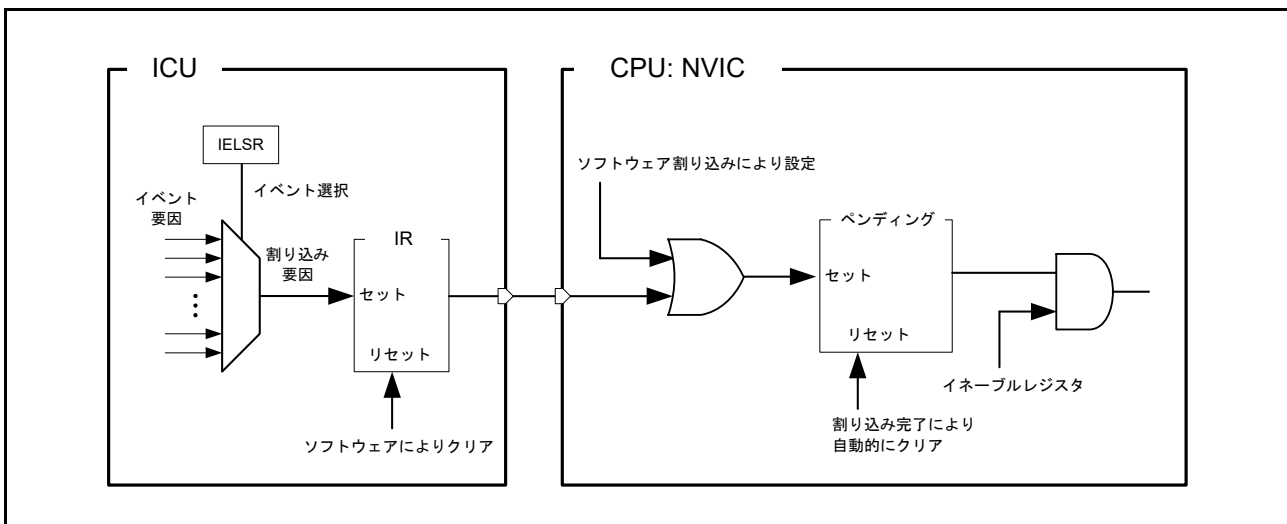


図 13.2 ICU および CPU: NVIC の割り込み経路

割り込みを検出するには以下の手順に従ってください。

割り込み中の一般的動作

- 非ソフトウェア割り込みが発生したとき：  
IELSR<sub>n</sub>.IR フラグと割り込みセット／クリア保留レジスタ (NVIC) が設定される
- ソフトウェア割り込みが発生したとき：  
割り込みセット保留レジスタを設定する
- 割り込みが完了したとき：  
ソフトウェアで IELSR<sub>n</sub>.IR フラグをクリアする。  
割り込みセット／クリア保留レジスタは自動的にクリアされる

割り込みが許可される場合

1. 割り込みセットイネーブルレジスタ (NVIC) を設定する。
2. IELSR<sub>n</sub>.IELS ビットを割り込み要因として設定する。
3. イベント要因に対し動作設定値を指定する。

割り込みが禁止される場合

1. イベント要因に対し設定値を無効にする。
2. IELSRn.IELS[8:0] ビットをクリアする (IELSRn.IELS[8:0] = 0000h)。必要に応じて、IELSRn.IR フラグをクリアする。
3. 割り込みクリアイネーブルレジスタをクリアする。必要に応じて、割り込みクリア保留レジスタをクリアする。

割り込みのポーリングを行う場合

1. 割り込みクリアイネーブルレジスタを設定 (割り込みを禁止) する。
2. IELSRn.IELS[8:0] ビットを設定 (割り込み要因を選択) する。
3. イベント要因に対し動作設定値を指定する。
4. 割り込みセット保留レジスタをポーリングする。
5. ポーリングが不要になった場合、割り込みが完了したときに、そのクリア手順に従うソフトウェアで IELSRn.IR フラグをクリアする。

### 13.4.2 割り込み要求先の選択

割り込み出力先 (CPU、DTC、または DMAC) は、割り込み要因ごとに個別に選択できます。利用可能な出力先は、表 13.4 に示されているように、割り込みごとに固定されています。

注. イベントリスト (表 13.4) で O 印が付いていない割り込み要求先の設定は使用しないでください。

1 つの IELSRn レジスタで CPU または DTC を選択した場合、他の IELSRn レジスタで同じ割り込み要因を設定することは禁止されます。同様に、1 つの DELSRn レジスタで DMAC を選択した場合、他の DELSRn レジスタで同じ割り込み要因を設定することは禁止されます。

注. IELSRn や DELSRn で同じ割り込みを設定することは禁止されています。

DMAC または DTC が IRQ<sub>i</sub> 端子からの要求先として選択された場合、その割り込みに対して IRQCRi の IRQMD[1:0] ビットをエッジ検出の選択に設定する必要があります。

#### 13.4.2.1 CPU 割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。IELSRn.IELS ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 0 にする。

#### 13.4.2.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。DTC 送信の完了後、対応する割り込みが発生します。以下の手順に従ってください。

1. IELSRn.IELS ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 1 にする。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 にする。

DTC が要求先となる場合の動作を表 13.5 に示します。

表 13.5 DTC が起動するときの動作

割り込み要求先	DISEL (注1)	残り転送動作	1要求あたりの動作	IR (注2)	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC 転送 → CPU 割り込み	CPU による割り込み受け付け時にクリアされる。	DTC
		= 0	DTC 転送 → CPU 割り込み	CPU による割り込み受け付け時にクリアされる。	IELSRn.DTCE ビットがクリアされ、CPU が要求先になる。
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる。	DTC
		= 0	DTC 転送 → CPU 割り込み	CPU による割り込み受け付け時にクリアされる。	IELSRn.DTCE ビットがクリアされ、CPU が要求先になる。

- 注 1. DTC.MRB.DISEL ビットで DTC 用の割り込み要求モードを設定します。
- 注 2. IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求 (DTC 起動要求) は無視されます。
- 注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。このとき、DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。「17. データトランスファコントローラ (DTC)」の表 17.3 チェーン転送の条件を参照してください。

### 13.4.2.3 DMAC の起動

DELSRn レジスタで指定されたイベントが DMAC に出力されます。DMAC に対して割り込み要因を設定するには、以下の手順に従ってください。

1. DELSRn.DELS[8:0] ビットを対象のイベントに設定する。
2. 割り込みを使用する場合、IELSRn.IELS ビットを設定して DMAC を割り込み要因とし、IELSRn.DTCE ビットを 1 にする。
3. 対象の DMAC チャンルの起動要因 (DMACm.DMTMD.DCTG[1:0]) を 01b (割り込みモジュール検出) にする。
4. 対象の DMAC チャンルの DMAC 転送許可ビット (DMACm.DMCNT.DTE) を 1 にする。
5. DMAC 動作許可ビット (DMACm.DMAST.DMST) を 1 にする。

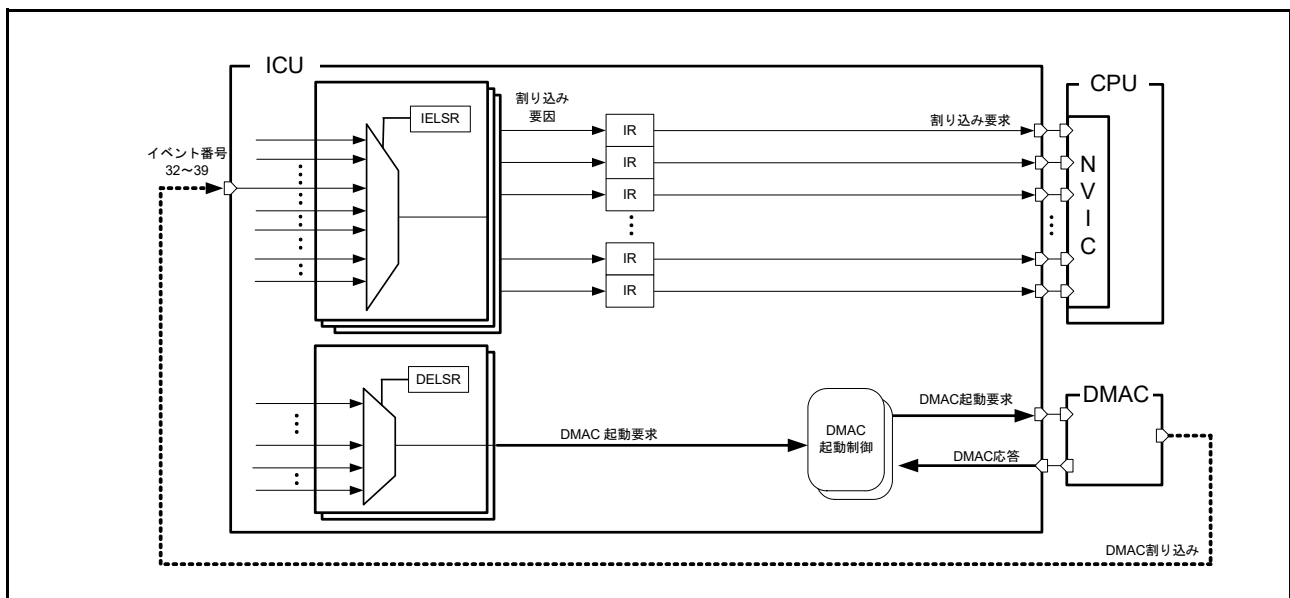


図 13.3 DMAC 要求トリガと割り込み経路



### 13.4.3 デジタルフィルタ

デジタルフィルタ機能は、外部割り込み要求端子 (IRQ<sub>i</sub>, i=0~13) と NMI 端子割り込みのために準備されています。この機能は、入力信号をフィルタサンプリングクロック (PCLKB) でサンプリングし、3 サンプル周期未満のパルス幅を持つ信号を除去します。

IRQ<sub>i</sub> 端子に対するデジタルフィルタの使用法：

1. IRQCRi.FCLKSEL[1:0] ビットで、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
2. IRQCRi.FLTEN ビットを 1 (デジタルフィルタ有効) にする。

NMI 端子に対するデジタルフィルタの使用法：

1. NMICR.NFCLKSEL[1:0] ビットで、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
2. NMICR.NFLTEN ビットを 1 (デジタルフィルタ有効) にする。

図 13.4 にデジタルフィルタの動作例を示します。

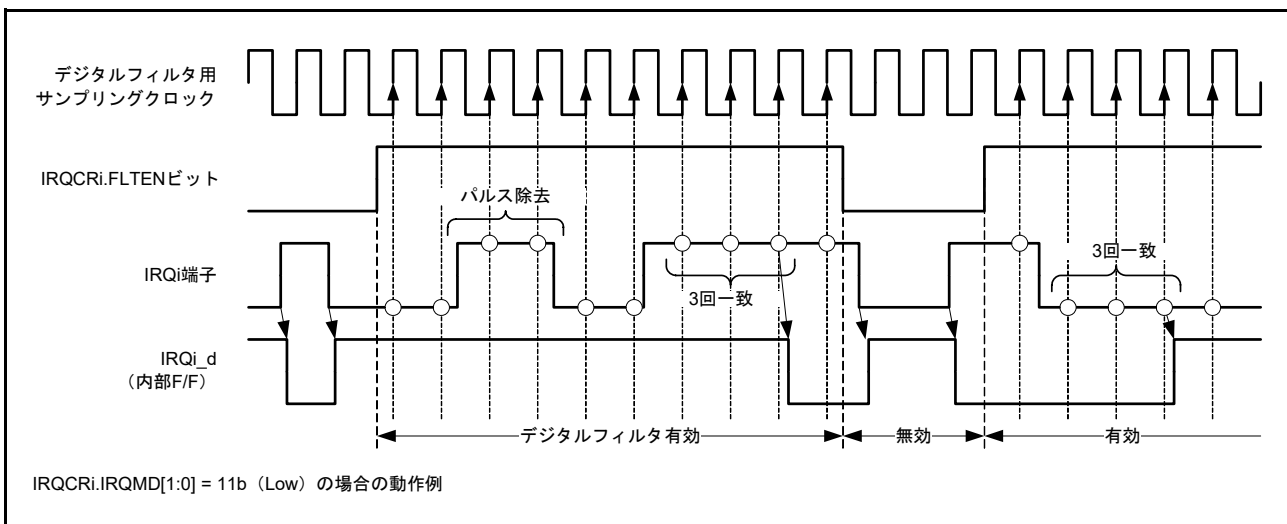


図 13.4 デジタルフィルタの動作例

ソフトウェアスタンバイモードへ遷移する前に、IRQCRi.FLTEN ビットと NMICR.NFLTEN ビットをクリアして、デジタルフィルタを無効にしてください。ICU のクロックはソフトウェアスタンバイモードでは停止します。ソフトウェアスタンバイモードの終了時、回路はスタンバイ前の状態をスタンバイ解除後の状態と比較することでエッジを検出します。ソフトウェアスタンバイモード中に入力に変化すると、誤ったエッジが検出される可能性があります。ソフトウェアスタンバイモードの終了後、デジタルフィルタを再度有効にできます。

### 13.4.4 外部端子割り込み

外部端子割り込みの使用法：

1. IRQCRi.FLTEN ビット (i=0~13) を 0 (デジタルフィルタ無効) にする。
2. I/O ポートの設定値を設定または確認する。
3. IRQCRi レジスタの IRQMD[1:0] ビット、FCLKSEL[1:0] ビット、および FLTEN ビットを設定する。
4. IRQ 端子を以下のように選択する。
  - IRQ 端子を CPU 割り込み要求に使用する場合、IELSRn.IELS ビットを設定し、IELSRn.DTCE ビットを 0 にする
  - IRQ 端子を DTC 起動に使用する場合、IELSRn.IELS ビットを設定し、IELSRn.DTCE ビットを 1 にする
  - IRQ 端子を DMAC 起動に使用する場合、DELSRn.DELS ビットを設定する

### 13.5 ノンマスカブル割り込みの動作

ノンマスカブル割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- SRAM パリティエラー割り込み
- MPU バスマスタエラー割り込み
- MPU バススレーブエラー割り込み
- CPU スタックポインタモニタ割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC または DMAC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。NMI 処理ルーチンから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスカブル割り込みはデフォルトで無効になっています。ノンマスカブル割り込みを使用するには、以下の手順に従う必要があります。

1. NMI 端子を使用するために、NMICR.NFLTEN ビットを 0 (デジタルフィルタ無効) にする。
2. NMI 端子を使用するために、NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0] ビット、および NFLTEN ビットを設定する。
3. NMI 端子を使用するために、NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にする。
4. ノンマスカブル割り込みイネーブルレジスタ (NMIER) の対応するビットを 1 にしてノンマスカブル割り込みを許可にする。

NMIER レジスタに 1 を書いた後は、NMIER レジスタの NMIEN ビットに対する後続のライトアクセスは無視されます。NMI 割り込みは、リセットの場合を除いて、許可されたものを禁止することはできません。

## 13.6 低消費電力モードからの復帰

スリープモードまたはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因は、表 13.4 に示されています。詳細は、「11. 低消費電力モード」を参照してください。13.6.1 ~ 13.6.3 には、割り込みを使用してスリープモード、ソフトウェアスタンバイモード、およびスヌーズモードから復帰する方法が示されています。ディープソフトウェアスタンバイモードについては、11.9 ディープソフトウェアスタンバイモードを参照してください。

### 13.6.1 スリープモードからの復帰

割り込みによってスリープモードから復帰する方法：

1. 割り込み要求先として CPU を選択する。
2. NVIC で割り込みを許可にする。

ノンマスカブル割り込みによってスリープモードから復帰するには、NMIER レジスタを使用して対象の割り込み要求を許可します。

### 13.6.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスカブル割り込みを用いるか、または WUPEN レジスタで選択された割り込みを用いて、ソフトウェアスタンバイモードからの復帰を可能にします。13.2.9 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。

ソフトウェアスタンバイモードから復帰する方法：

1. ソフトウェアスタンバイモードからの復帰を許可する割り込み要因を選択する。
  - ノンマスカブル割り込みの場合、NMIER レジスタを使用して対象の割り込み要求を許可する
  - マスカブル割り込みの場合、WUPEN レジスタを使用して対象の割り込み要求を許可する
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可にする。

これらの条件を満たさない IRQ 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

### 13.6.3 スヌーズモードからの復帰

ICU は、スヌーズモード用の割り込みを用いて、スヌーズモードから通常モードへの復帰を可能にします。

スヌーズモードから通常モードへ復帰する方法：

1. 以下の方法のうちいずれかを使用して、スヌーズモードから通常モードへの復帰をトリガしたいイベントを選択する。
  - SELSR0.SELS ビットにスヌーズモードから通常モードへの復帰をトリガしたいイベントを設定し、IELSRn.IELS[8:0] ビットに値 02Dh (ICU\_SNZCANCEL) を設定する
  - IELSRn.IELS[8:0] ビットにスヌーズモードから通常モードへの復帰をトリガしたいイベントを設定する
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可にする。

注． スヌーズモードでは、クロックが ICU に供給されます。IELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクノリッジを実行できます。DELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、DMAC は割り込みアクノリッジを実行できます。

### 13.7 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

### 13.8 参考資料

*ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D).*

## 14. バス

### 14.1 概要

表 14.1 にバスの仕様を、図 14.1 にバスの構成図を、表 14.2 にバス種類別アドレス対応表を示します。

本バスインタフェースは、LCD Intel 8080 インタフェースおよび Motorola 6800 インタフェースを接続する場合にも適用されます。

表 14.1 バスの仕様

バスの種類	内容	
メインバス	Icodeバス (CPU)	<ul style="list-style-type: none"> <li>• CPUを接続</li> <li>• 内蔵メモリ (コードフラッシュメモリ、SRAMHS) を接続</li> </ul>
	Dcodeバス (CPU)	<ul style="list-style-type: none"> <li>• CPUを接続</li> <li>• 内蔵メモリ (コードフラッシュメモリ、SRAMHS) を接続</li> </ul>
	システムバス (CPU)	<ul style="list-style-type: none"> <li>• CPUを接続</li> <li>• 内蔵メモリ、内部周辺バスを接続</li> </ul>
	DMAバス	<ul style="list-style-type: none"> <li>• DMACおよびDTCを接続</li> <li>• 内蔵メモリ、内部周辺バスを接続</li> </ul>
スレーブインタフェース	メモリバス1	<ul style="list-style-type: none"> <li>• コードフラッシュメモリを接続</li> </ul>
	メモリバス2	<ul style="list-style-type: none"> <li>• SRAMHSを接続</li> </ul>
	メモリバス3	<ul style="list-style-type: none"> <li>• DMAバスを介して、コードフラッシュメモリとSRAMHSを接続</li> </ul>
	内部周辺バス1	<ul style="list-style-type: none"> <li>• 周辺モジュール関連のシステムコントロールを接続</li> </ul>
	内部周辺バス3	<ul style="list-style-type: none"> <li>• 周辺モジュール (CAC、ELC、I/Oポート、POEG、WDT、IWDT、IIC、CAN、ADC12、DAC12、TSN、DOC) を接続</li> </ul>
	内部周辺バス4	<ul style="list-style-type: none"> <li>• 周辺モジュール (GPT、SCI、IrDA、SPI、CRC) を接続</li> </ul>
	内部周辺バス5	<ul style="list-style-type: none"> <li>• 周辺モジュール (KINT、AGT、ACMPHS) を接続</li> </ul>
	内部周辺バス7	<ul style="list-style-type: none"> <li>• セキュアIP (SCE7) を接続</li> </ul>
内部周辺バス9	<ul style="list-style-type: none"> <li>• フラッシュメモリ (P/E時)<sup>(注1)</sup>、データフラッシュメモリ、TSNを接続</li> </ul>	

注1. P/E : プログラム/イレース

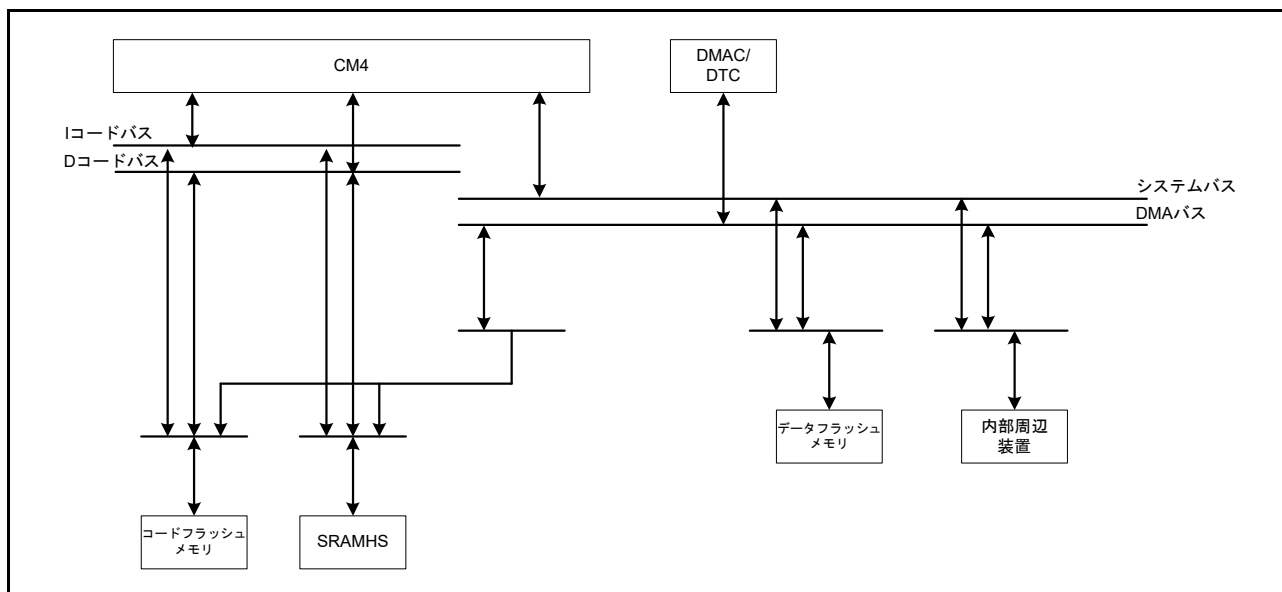


図 14.1 バスの構成図

表 14.2 バス種類別アドレス対応表

アドレス	バス	領域
0000 0000h ~ 01FF FFFFh	メモリバス 1、3	コードフラッシュメモリ
1FFE 0000h ~ 1FFE FFFFh	メモリバス 2、3	SRAMHS
4000 0000h ~ 4001 FFFFh	内部周辺バス 1	周辺 I/O レジスタ
4004 0000h ~ 4005 FFFFh	内部周辺バス 3	
4006 0000h ~ 4007 FFFFh	内部周辺バス 4	
4008 0000h ~ 4009 FFFFh	内部周辺バス 5	
400C 0000h ~ 400D FFFFh	内部周辺バス 7	
4010 0000h ~ 407F FFFFh	内部周辺バス 9	フラッシュメモリ (P/E時 (注1))、データフラッシュメモリ、TSN

注 1. P/E : プログラムノイレーズ

## 14.2 バスの説明

### 14.2.1 メインバス

CPU用のメインバスは、ICodeバス、DCodeバス、およびシステムバスで構成されます。

- ICodeバスとDCodeバス:コードフラッシュメモリとSRAMHSに接続。ICodeバスはCPUへの命令アクセスに使用、DCodeバスはCPUへのデータアクセスに使用
- システムバス:データフラッシュメモリ、内部周辺バスに接続。CPUへの命令およびデータのアクセスに使用

CPU以外のモジュール用のメインバスは、DMAバスで構成されます。

- DMAバス:コードフラッシュメモリ、SRAMHS、データフラッシュメモリに接続

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。

DMACおよびDTCブロックでは、DMACとDTCの間でDMAバス権の調停が行われます。下記の固定優先順位が用いられます。

DMAC0 > DMAC1 > DMAC2 > DMAC3 > DMAC4 > DMAC5 > DMAC6 > DMAC7 > DTC

起動要求を受け付けた1つのDTCとDMACチャンネルのみが、バス権要求を発行できます。また、DTCの転送制御情報を読み出している間は、DTC以外のマスタからのバスアクセス要求は受け付けません。

調停プロトコルには、優先順位固定またはラウンドロビンのいずれかを選択できます。詳細は、[14.3.2 スレーブバスコントロールレジスタ \(BUSSCNT<slave>\)](#)を参照してください。

### 14.2.2 スレーブインタフェース

Cortex®-M4コアを用いた製品には、ICodeおよびDCodeバス領域とシステムバス領域が含まれています。

ICodeおよびDCodeバス領域を作成するため、バスマトリックスは、メインバスからコードフラッシュメモリとSRAMHSのスレーブインタフェースまで、ICodeバス、DCodeバス、およびメモリバス3を接続しています。これらのバス間で、スレーブインタフェースへのバスアクセスが調停されます。調停プロトコルには、優先順位固定またはラウンドロビンのいずれかを選択できます。詳細は、[14.3.2 スレーブバスコントロールレジスタ \(BUSSCNT<slave>\)](#)を参照してください。

システムバス領域を作成するため、バスマトリックスは、メインバスからデータフラッシュメモリ、内部周辺バスのスレーブインタフェースまで、システムバス、およびDMAバスを接続しています。これら3つのバス間で、スレーブインタフェースへのバスアクセスが調停されます。調停プロトコルには、優先順位固定またはラウンドロビンのいずれかを選択できます。詳細は、[14.3.2 スレーブバスコントロールレジスタ \(BUSSCNT<slave>\)](#)を参照してください。

メインバスからスレーブインタフェースへの接続については、[表 14.1](#)に記載のスレーブインタフェースを参照してください。

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。

### 14.2.3 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPUがフラッシュから命令、SRAMからオペランドをフェッチする場合、同時にDMACは、周辺バスとデータフラッシュの間で転送処理が可能です。

図14.2に並列動作の例を示します。この例では、CPUは命令バスとオペランドバスを使用して、それぞれフラッシュとSRAMに同時にアクセスしています。また、CPUがフラッシュメモリとSRAMにアクセスする間、DMAC/DTCはDMAバス（DMAC/DTC）を同時に使用して、周辺バスまたはデータフラッシュにアクセスしています。

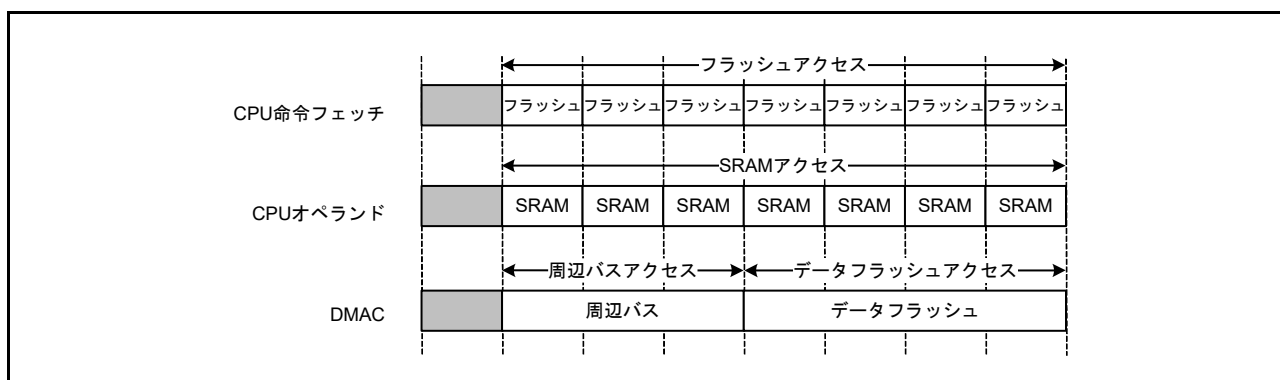


図 14.2 並列動作の例

### 14.2.4 エンディアンに関する制限事項

Cortex-M4 コアでコードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。



## 14.3 レジスタの説明

### 14.3.1 マスタバスコントロールレジスタ (BUSMCNT<master>)

アドレス [BUS.BUSMCNTM4I 4000 4000h](#), [BUS.BUSMCNTM4D 4000 4004h](#), [BUS.BUSMCNTSYS 4000 4008h](#),  
[BUS.BUSMCNTDMA 4000 400Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IERES	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	IERES	エラー応答無視	0 : バスエラーを通知する 1 : バスエラーを通知しない	R/W

注 . 予約ビットを初期値 0 から変更することは禁止されています。書き換え中の動作は保証されません。

表 14.3 に、バスの種類に対応したレジスタを示します。

表 14.3 バスの種類とレジスタの対応関係

バスの種類	マスタバス コントロールレジスタ	スレーブバス コントロールレジスタ	バスエラー アドレスレジスタ	バスエラー ステータスレジスタ
ICodeバス (CPU)	BUSMCNTM4I	-	BUS1ERRADD	BUS1ERRSTAT
DCodeバス (CPU)	BUSMCNTM4D	-	BUS2ERRADD	BUS2ERRSTAT
システムバス (CPU)	BUSMCNTSYS	-	BUS3ERRADD	BUS3ERRSTAT
DMAバス	BUSMCNTDMA	-	BUS4ERRADD	BUS4ERRSTAT
メモリバス1	-	BUSSCNTFLI	-	-
メモリバス2	-	BUSSCNTRAMH	-	-
メモリバス3	-	BUSSCNTMBIU	-	-
内部周辺バス1、3、4、5、7	-	BUSSCNTpNB (n = 0, 2, 3, 4, 6)	-	-
内部周辺バス9	-	BUSSCNTFBU	-	-

#### IERES ビット (エラー応答無視)

本ビットを 1 にすると、AHB-Lite プロトコルエラー応答が無効になります。

### 14.3.2 スレーブバスコントロールレジスタ (BUSSCNT<slave>)

アドレス BUS.BUSSCNTFLI 4000 4100h, BUS.BUSSCNTRAMH 4000 4104h, BUS.BUSSCNTMBIU 4000 4108h,  
BUS.BUSSCNTPOB 4000 4114h, BUS.BUSSCNT2B 4000 4118h, BUS.BUSSCNT3B 4000 411Ch, BUS.BUSSCNT4B 4000 4120h,  
BUS.BUSSCNT6B 4000 4128h, BUS.BUSSCNTFBU 4000 4130h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	EWRES	—	—	ARBMET[1:0]	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	ARBMET[1:0]	調停法	グループ優先順位を指定します。 b5 b4 0 0: 優先順位固定 0 1: ラウンドロビン 1 0: 設定禁止 1 1: 設定禁止	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	EWRES	早期ライト応答	0: 早期ライト応答は無効 1: 早期ライト応答は有効	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. 予約ビットを初期値0から変更することは禁止されています。書き換え中の動作は保証されません。

表 14.3 に、バスの種類に対応したレジスタを示します。

#### ARBMET[1:0] ビット (調停法)

調停プロトコルを、すべてのバスマスタに定義される優先順位で指定します。優先順位固定については、表 14.4 を参照してください。ラウンドロビンについては、表 14.5 を参照してください。

#### EWRES ビット (早期ライト応答)

現行のライトトランザクションの応答がある前に、次のライト要求を受け付けるか否かを指定します。本ビットが1の場合、次のライト要求が受け付けられ高速転送が可能になりますが、AHB-Lite エラー応答は検出されません。バスエラーは、AHB-Lite のエラー応答プロトコルを用いて要求マスタ IP に返されます。各バスに生じるエラーについての詳細は、14.4 バスエラー監視を参照してください。BUSSCNTMBIU、BUSSCNTPOB、および BUSSCNTTEXT レジスタのみを使用してください。

表 14.4 優先順位固定 (ARBMET[1:0] = 00b) によるバス優先順位

スレーブバス コントロールレジスタ	スレーブインタフェース	優先順位
BUSSCNTFLI	メモリバス1	メモリバス3 > DCodeバス (CPU) > ICodeバス (CPU)
BUSSCNTRAMH	メモリバス2	メモリバス3 > DCodeバス (CPU) > ICodeバス (CPU)
BUSSCNTPhB (n = 0, 2, 3, 4, 6)	内部周辺バス1、3、4、5、7	DMAバス > システムバス (CPU)
BUSSCNTFBU	内部周辺バス9	DMAバス > システムバス (CPU)

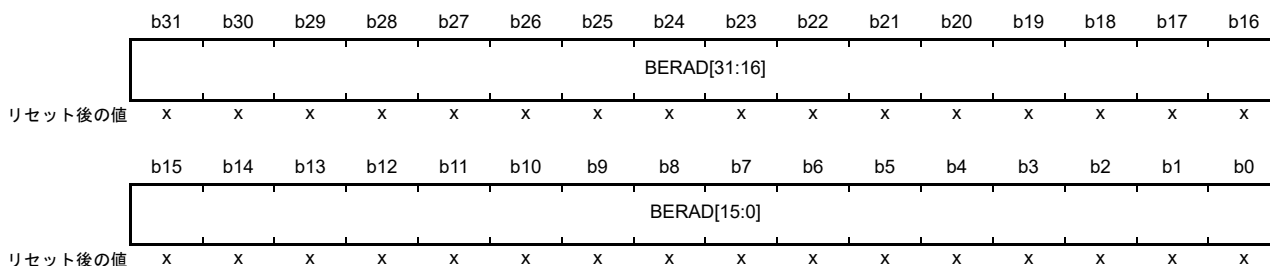
表 14.5 ラウンドロビン (ARBMET[1:0] = 01b) によるバス優先順位

スレーブバス コントロールレジスタ	スレーブインタフェース	優先順位 (注1)
BUSSCNTFLI	メモリバス1	メモリバス3 <=> DCodeバス (CPU) <=> ICodeバス (CPU)
BUSSCNTRAMH	メモリバス2	メモリバス3 <=> DCodeバス (CPU) <=> ICodeバス (CPU)
BUSSCNTPhB (n = 0, 2, 3, 4, 6)	内部周辺バス1、3、4、5、7	DMAバス <=> システムバス (CPU)
BUSSCNTFBU	内部周辺バス9	DMAバス <=> システムバス (CPU)

注1. ラウンドロビンであることは <=> で示されます。

### 14.3.3 バスエラーアドレスレジスタ (BUSnERRADD) (n = 1 ~ 5)

アドレス [BUS.BUS1ERRADD 4000 4800h](#), [BUS.BUS2ERRADD 4000 4810h](#), [BUS.BUS3ERRADD 4000 4820h](#),  
[BUS.BUS4ERRADD 4000 4830h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	BERAD[31:0]	バスエラーアドレス	バスエラーが発生した場合、そのエラーアドレスを格納します。	R

注. 本レジスタは、MPU 関連リセット以外のリセットによってのみクリアされます。詳細については、「[6. リセット](#)」と「[15. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

表 14.3 に、バスの種類に対応したレジスタを示します。

#### BERAD[31:0] ビット (バスエラーアドレス)

バスエラーが発生した場合、そのアクセスアドレスを格納します。詳細については、BUSnERRSTAT.ERRSTAT ビットの説明と [14.4 バスエラー監視](#)を参照してください。

BUSnERRADD.BERAD[31:0] ビット (n = 1 ~ 4) の値は、BUSnERRSTAT.ERRSTAT ビット (n = 1 ~ 4) が 1 の場合にのみ有効です。

### 14.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 1 ~ 4)

アドレス [BUS.BUS1ERRSTAT 4000 4804h](#), [BUS.BUS2ERRSTAT 4000 4814h](#), [BUS.BUS3ERRSTAT 4000 4824h](#),  
[BUS.BUS4ERRSTAT 4000 4834h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	ERRSTAT	—	—	—	—	—	—	ACCSTAT
リセット後の値	0	0	0	0	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	ACCSTAT	エラーアクセス状態	エラー発生時のアクセス状態 1: ライトアクセス 0: リードアクセス	R
b6-b1	—	予約ビット	読むと0が読めます。	R
b7	ERRSTAT	バスエラー状態	0: バスエラー発生なし 1: バスエラー発生あり	R

注. 本レジスタは、MPU 関連のリセット以外のリセットによってのみクリアされます。詳細については、「[6. リセット](#)」と「[15. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

表 14.3 に、バスの種類に対応したレジスタを示します。

#### ACCSTAT ビット (エラーアクセス状態)

対応するバスにエラーが発生した場合、そのアクセス状態 (ライトアクセスまたはリードアクセス) を示します。詳細については、BUSnERRSTAT.ERRSTAT ビットの説明と [14.4 バスエラー監視](#) を参照してください。

本ビットの値は、BUSnERRSTAT.ERRSTAT ビット (n = 1 ~ 4) が 1 の場合にのみ有効です。

#### ERRSTAT ビット (バスエラー状態)

バスエラーの発生の有無を示します。対応するバスにエラーが発生した場合、そのアクセスアドレスとアクセス状態 (ライトアクセスまたはリードアクセス) が格納されます。BUSnERRSTAT.ERRSTAT ビット (n = 1 ~ 4) は 1 になります。

それぞれのバスでは、下記のエラーが生じる可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

バスマスタ MPU エラーまたはバススレーブ MPU エラーを検出時に、各 OAD ビットがリセットを選択している場合、ウェイトの設定によっては、MPU エラーの原因となったバスアクセスが内部リセット信号が生成されるよりも後に完了し、BUSnERRSTAT.ERRSTAT (n = 1 ~ 4) が 1 にならないことがあります。

バスマスタ MPU エラーまたはバススレーブ MPU エラーを検出時に、各 OAD ビットで NMI を選択している場合は、MPU エラーの原因となったバスアクセスが完了すると、BUSnERRSTAT.ERRSTAT (n = 1 ~ 4) は 1 になります。

各バスに生じるエラーについては、[14.4 バスエラー監視](#)と「[15. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

## 14.4 バスエラー監視

バスエラー監視システムは、個々の領域を監視して、エラーを検出すると AHB-Lite エラー応答プロトコルを用いてそのエラーを要求マスタ IP に返します。

### 14.4.1 バスエラーの種類

それぞれのバスでは、下記のエラーが生じる可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

表 14.6 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスレンジを示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。バスマスタ MPU とバススレーブ MPU については、「15. メモリプロテクションユニット (MPU)」を参照してください。

### 14.4.2 バスエラー発生時の動作

バスエラーが発生すると、動作は保証されず、要求マスタ IP にエラーが返されます。マスタごとに発生するバスエラーが、BUSnERRADD レジスタと BUSnERRSTAT レジスタに格納されます。これらのレジスタは必ずリセットでクリアする必要があります。詳細については、14.3.3 バスエラーアドレスレジスタ (BUSnERRADD) (n = 1 ~ 5) と 14.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 1 ~ 4) を参照してください。

注 . DMAC と DTC はバスエラーを受信しません。DMAC または DTC がバスにアクセスした場合、転送は継続されます。

### 14.4.3 不正アドレスアクセスエラーを引き起こす条件

表 14.6 に、不正アドレスアクセスエラーを引き起こす、バスごとのアドレス空間を示します。

表 14.6 不正アドレスアクセスエラーを引き起こす条件

アドレス	スレーブバス名	マスタバス	
		CPU (ICode、DCode、システム)	DMA
0000 0000h ~ 01FF FFFFh	メモリバス1 メモリバス3	—	—
0200 0000h ~ 027F FFFFh	メモリマッピング領域	(注1)	E
0280 0000h ~ 1FFD FFFFh	予約領域	E	E
1FFE 0000h ~ 1FFF FFFFh	メモリバス2 メモリバス3	—	—
2000 0000h ~ 200F FFFFh	予約領域	—	—
2010 0000h ~ 3FFF FFFFh	予約領域	E	E
4000 0000h ~ 4001 FFFFh	周辺バス1	—	—
4002 0000h ~ 4003 FFFFh	予約領域	E	E
4004 0000h ~ 4005 FFFFh	周辺バス3	—	—
4006 0000h ~ 4007 FFFFh	周辺バス4	—	—
4008 0000h ~ 4009 FFFFh	周辺バス5	—	—
400A 0000h ~ 400B FFFFh	予約領域	—	—
400C 0000h ~ 400D FFFFh	周辺バス7	—	—
400E 0000h ~ 400F FFFFh	予約領域	E	E
4010 0000h ~ 407F FFFFh	周辺バス9	—	—
4080 0000h ~ 5FFF FFFFh	予約領域	E	E
6000 0000h ~ 67FF FFFFh	予約領域	—	—
6800 0000h ~ 7FFF FFFFh	予約領域	E	E
8000 0000h ~ 97FF FFFFh	予約領域	—	—
9800 0000h ~ DFFF FFFFh	予約領域	E	E
E000 0000h ~ FFFF FFFFh	Cortex-M4用システム	—	E

E：不正アドレスアクセスエラーが生じる経路を示します。

注 1. バスモジュールは、メモリミラー機能（MMF）がアドレスを切り替えたか否かの検出を行いません。そのため、MMFが有効な状態でCPUが0200 0000hにアクセスしても、エラーは発生しません。これは、切り替えられたアドレスに依存します。MMFが無効な状態でCPUが0200 0000hにアクセスすると、バスモジュールがエラーを検出します。

バスモジュールは、スレーブに対して何も領域が割り当てられていない場合など、予約領域へのアクセスに起因したアクセスエラーを検出します。

- 0200 0000h ~ 1FFD FFFFh：アクセスエラーを検出
- 0000 0000h ~ 01FF FFFFh：メモリバス1のアクセスエラー検出なし

### 14.4.4 タイムアウト

一部の周辺モジュールでは、モジュールストップ機能によってタイムアウトエラーが発生します。一定期間スレーブから応答がなかった場合は、タイムアウトエラーが検出され、AHB-Lite エラー応答プロトコルを用いてそのエラーを要求マスタ IP に返します。

## 14.5 フラッシュキャッシュ使用時の注意事項

CPUからのアクセスを通じてフラッシュキャッシュを使用する場合は、Arm® MPUもキャッシング対象に設定する必要があります。詳細については、参考資料の 1. および 2. を参照してください。

## 14.6 参考資料

1. *ARM®v7-M Architecture Reference Manual (ARM DDI 0403D)*
2. *ARM® Cortex®-M4 Devices Generic User Guide (ARM DUI 0553A)*



## 15. メモリプロテクションユニット (MPU)

### 15.1 概要

本 MCU は、4つのメモリプロテクションユニット (MPU) と、CPU スタックポインタモニタ機能を備えています。表 15.1 に MPU の仕様を、表 15.2 に各 MPU エラー検出時の動作を示します。

表 15.1 MPUの仕様

項目	モジュール/機能	内容
不正メモリアクセス	Arm® Cortex®-M4 CPU	<ul style="list-style-type: none"> <li>Arm CPUはデフォルトのメモリマップを内蔵。CPUが不正アクセスを行うと、例外割り込みが発生</li> <li>デフォルトのメモリマップはMPUで変更可能</li> </ul>
	CPUスタックポインタモニタ	2領域 <ul style="list-style-type: none"> <li>メインスタックポインタ (MSP)</li> <li>プロセススタックポインタ (PSP)</li> </ul>
メモリプロテクション	Arm MPU	CPU用のメモリプロテクション機能 <ul style="list-style-type: none"> <li>8 MPU領域 (サブ領域とバックグラウンド領域を含む)</li> </ul>
	バスマスタMPU	CPUを除く各バスマスタ用のメモリプロテクション機能 <ul style="list-style-type: none"> <li>バスマスタMPUグループA: 32領域</li> </ul>
	バススレーブMPU	各バススレーブ用のメモリプロテクション機能
セキュリティ	セキュリティMPU	非セキュアプログラムから下記のセキュリティ領域へのアクセスを保護 <ul style="list-style-type: none"> <li>2領域 (PC)</li> <li>4領域 (コードフラッシュ、SRAM、2つのセキュリティ機能)</li> </ul>

表 15.2 MPUエラー検出時の動作

MPUの種類	通知動作	エラー検出時のバスアクセス	エラーアクセス情報の格納
CPUスタックポインタモニタ	リセットまたはノンマスカブル割り込み	Don't care	保持しない
Arm MPU	ハード障害	<ul style="list-style-type: none"> <li>正しくライトアクセスできない</li> <li>正しくリードアクセスできない</li> </ul>	Cortex-M4 プロセッサ内に格納
バスマスタMPU	リセットまたはノンマスカブル割り込み	<ul style="list-style-type: none"> <li>保護領域にライトアクセス</li> <li>保護領域にリードアクセス</li> </ul>	格納
バススレーブMPU	<ul style="list-style-type: none"> <li>リセットまたはノンマスカブル割り込み</li> <li>ハード障害</li> </ul>	<ul style="list-style-type: none"> <li>ライトアクセスは無視</li> <li>リードアクセスは0が読める</li> </ul>	格納
セキュリティMPU	通知なし	<ul style="list-style-type: none"> <li>正しくライトアクセスできない</li> <li>正しくリードアクセスできない</li> </ul>	保持しない

Arm MPU に対するエラーアクセスについては、15.7 参考資料を参照してください。他の MPU に対するエラーアクセスについては、「14. バス」の 14.3.3 バスエラーアドレスレジスタ (BUSnERRADD) (n = 1 ~ 5) および 14.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 1 ~ 4) を参照してください。

## 15.2 CPU スタックポインタモニタ

CPU スタックポインタモニタは、スタックポインタのオーバーフローとアンダーフローを検出します。Arm CPU には、メインスタックポインタ (MSP) とプロセススタックポインタ (PSP) の2つのスタックポインタがあるため、2つのCPU スタックポインタモニタをサポートしています。スタックポインタのアンダーフローやオーバーフローを検出すると、CPU スタックポインタモニタはリセットまたはノンマスカブル割り込みを発生させます。

CPU スタックポインタモニタを有効にするには、スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL、PSPMPUCTL) のスタックポインタモニタ有効ビットを1にします。

表 15.3 に CPU スタックポインタモニタの仕様、図 15.1 にブロック図、そして図 15.2 にレジスタの設定フローを示します。

表 15.3 CPUスタックポインタモニタの仕様

項目	内容
SRAM領域	メモリプロテクション対象領域
領域数	2領域 : <ul style="list-style-type: none"> <li>• メインスタックポインタ (MSP)</li> <li>• プロセススタックポインタ (PSP)</li> </ul>
各領域のアドレス仕様	領域の開始および終了アドレスの設定可能
各領域のスタックポインタモニタの有効/無効設定	各領域のスタックポインタモニタは、有効または無効に設定可能
エラー検出時の動作	リセットまたはノンマスカブル割り込みの発生が可能
レジスタの保護	レジスタに対する不正書き込みの防止が可能

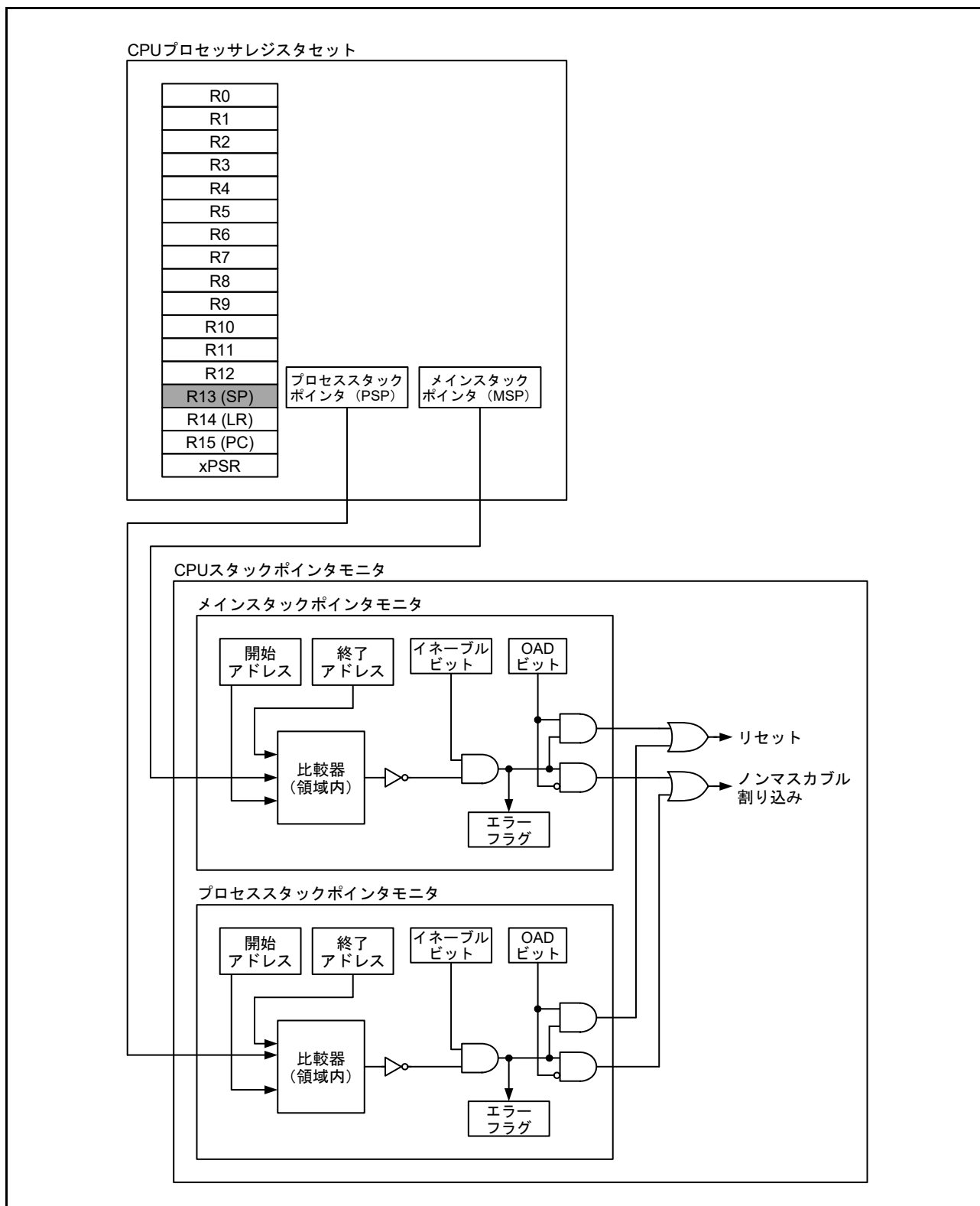


図 15.1 CPU スタックポインタモニタブロック図

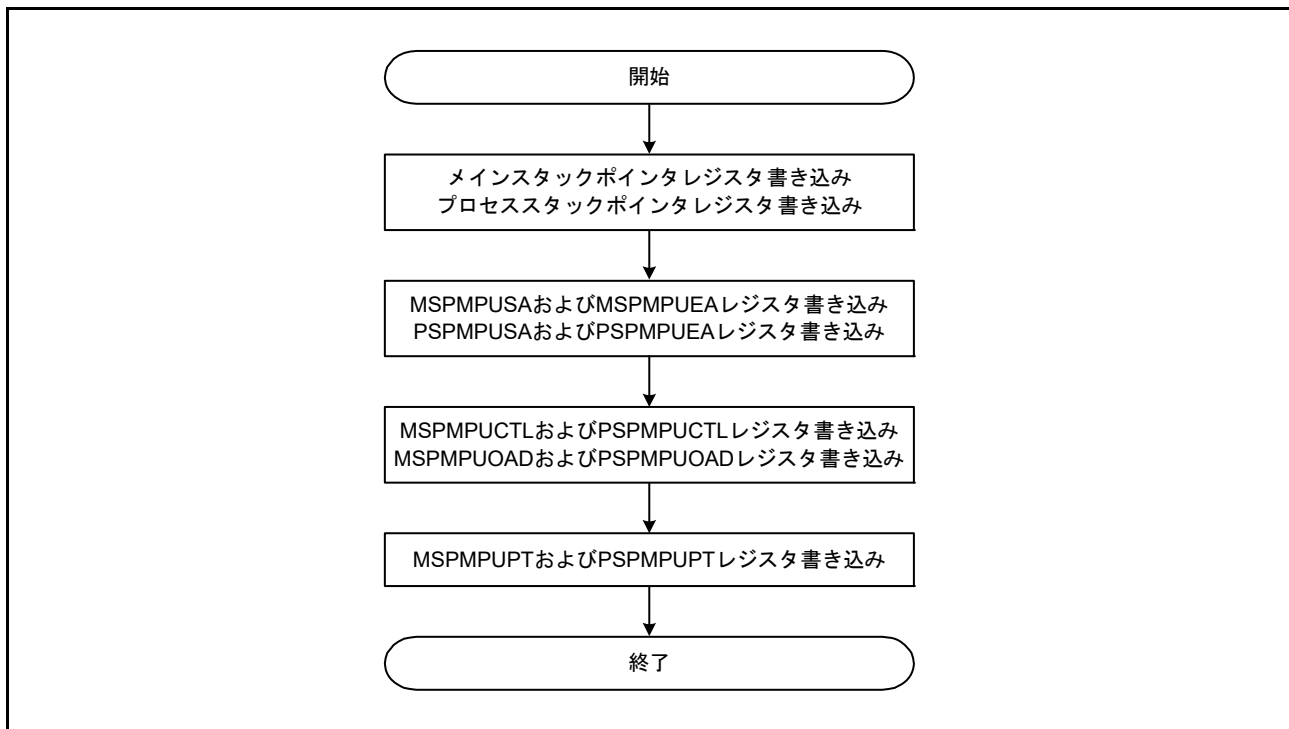


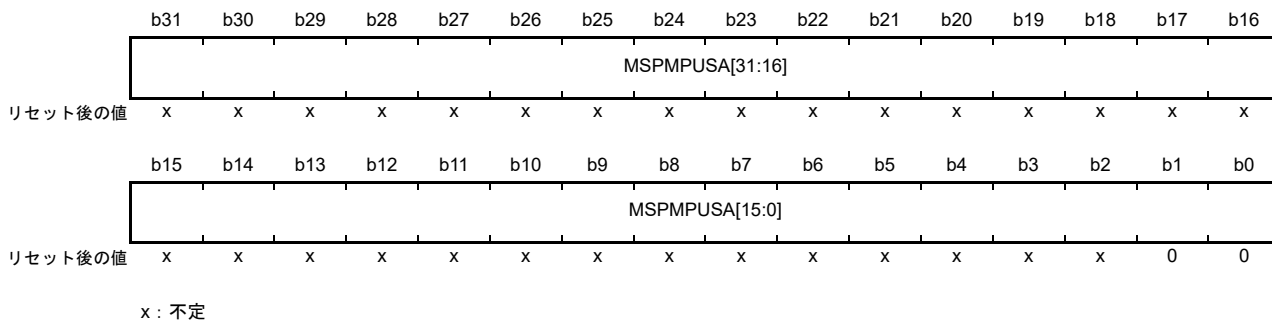
図 15.2 レジスタ設定フロー

## 15.2.1 レジスタの説明

注. MPUレジスタに書き込みを行う前に、バスアクセスを停止する必要があります。

### 15.2.1.1 メインスタックポインタモニタ開始アドレスレジスタ (MSPMPUSA)

アドレス [SPMON.MSPMPUSA 4000 0D08h](#)

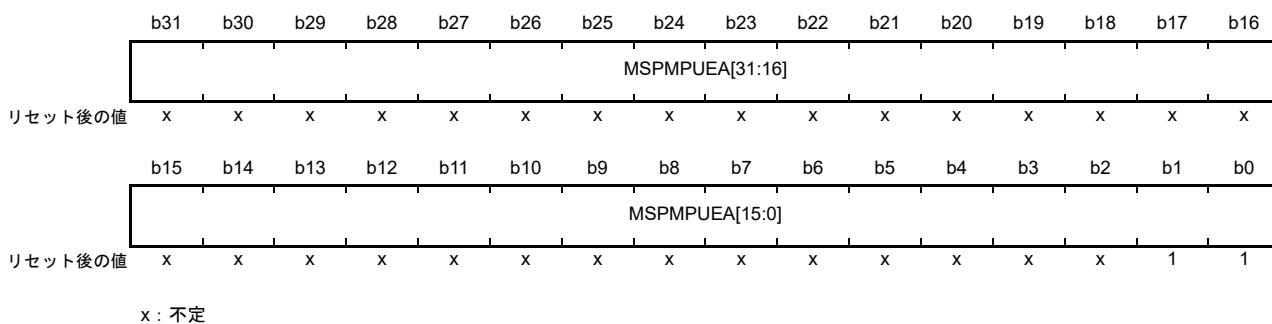


ビット	シンボル	ビット名	機能	R/W
b31-b0	MSPMPUSA[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。下位2ビットは0にしてください。値の範囲は、予約領域を除く1FF0 0000h～1FFE FFFChです。	R/W

MSPMPUSAレジスタとMSPMPUEAレジスタでは、SRAMのCPUスタック領域（1FF0 0000h～1FFE FFFhのうち、予約領域を除く領域）を指定します。カバーされるSRAM領域については、[図 4.1 メモリマップ](#)を参照してください。

### 15.2.1.2 メインスタックポインタモニタ終了アドレスレジスタ (MSPMPUEA)

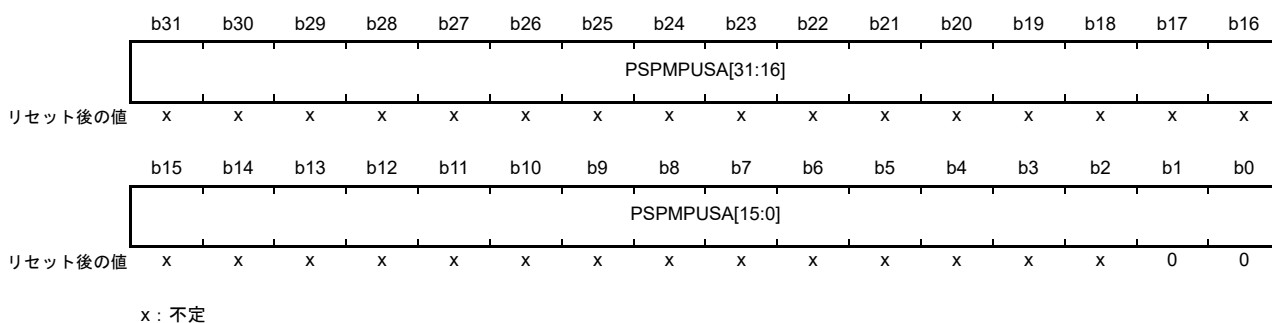
アドレス [SPMON.MSPMPUEA 4000 0D0Ch](#)



ビット	シンボル	ビット名	機能	R/W
b31-b0	MSPMPUEA[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。下位2ビットは1にしてください。値の範囲は、予約領域を除く1FF0 0003h～1FFE FFFhです。	R/W

## 15.2.1.3 プロセススタックポインタモニタ開始アドレスレジスタ (PSPMPUSA)

アドレス SPMON.PSPMPUSA 4000 0D18h

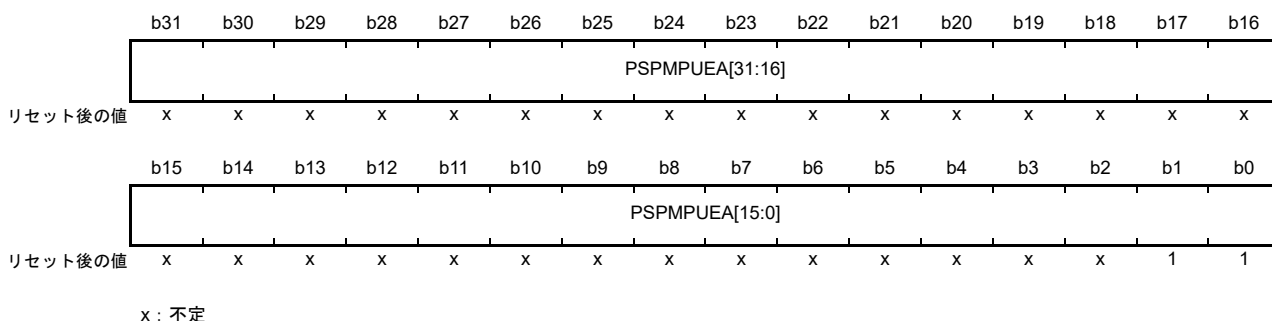


ビット	シンボル	ビット名	機能	R/W
b31-b0	PSPMPUSA[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。下位2ビットは0にしてください。値の範囲は、予約領域を除く1FF0 0000h～1FFE FFFChです。	R/W

PSPMPUSA レジスタと PSPMPUEA レジスタでは、SRAM の CPU スタック領域 (1FF0 0000h ~ 1FFE FFFFh のうち、予約領域を除く領域) を指定します。カバーされる SRAM 領域については、[図 4.1 メモリマップ](#)を参照してください。

## 15.2.1.4 プロセススタックポインタモニタ終了アドレスレジスタ (PSPMPUEA)

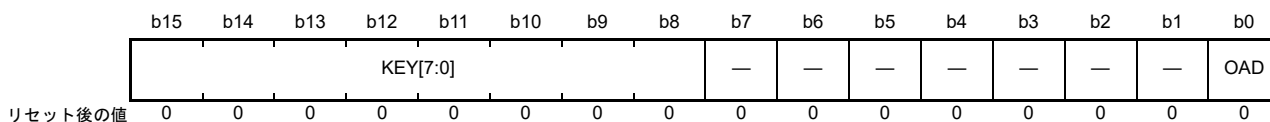
アドレス SPMON.PSPMPUEA 4000 0D1Ch



ビット	シンボル	ビット名	機能	R/W
b31-b0	PSPMPUEA[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。下位2ビットは1にしてください。値の範囲は、予約領域を除く1FF0 0003h～1FFE FFFFhです。	R/W

### 15.2.1.5 スタックポインタモニタ検出後動作レジスタ (MSPMPUOAD, PSPMPUOAD)

アドレス SPMON.MSPMPUOAD 4000 0D00h, SPMON.PSPMPUOAD 4000 0D10h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	0: ノンマスカブル割り込み 1: リセット	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

#### OAD ビット (検出後の動作)

CPU スタックポインタモニタによってスタックポインタのアンダーフローまたはオーバーフローが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。

メインスタックポインタモニタとプロセススタックポインタモニタは、それぞれ OAD ビットを使用して、スタックポインタのアンダーフローまたはオーバーフロー検出時に発生させる信号を決定します。OAD ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

#### KEY[7:0] ビット (キーコード)

OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

### 15.2.1.6 スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL, PSPMPUCTL)

アドレス SPMON.MSPMPUCTL 4000 0D04h, SPMON.PSPMPUCTL 4000 0D14h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ERROR	—	—	—	—	—	—	—	ENAB LE
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	スタックポインタモニタ有効	0 : スタックポインタモニタ無効 1 : スタックポインタモニタ有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	ERROR	スタックポインタモニタエラーフラグ	0 : スタックポインタのアンダーフローまたはオーバーフロー発生なし 1 : スタックポインタのアンダーフローまたはオーバーフロー発生あり	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 初期値はリセット発生要因によって異なります。

#### ENABLE ビット (スタックポインタモニタ有効)

スタックポインタモニタ機能を有効または無効にします。メインスタックポインタモニタとプロセススタックポインタモニタを個別に設定できます。

MSPMPUCTL.ENABLE ビットを1にした場合、以下のレジスタが利用可能になります。

- MSPMPUSA
- MSPMPUEA
- MSPMPUOAD

PSPMPUCTL.ENABLE ビットを1にした場合、以下のレジスタが利用可能になります。

- PSPMPUSA
- PSPMPUEA
- PSPMPUOAD

#### ERROR ビット (スタックポインタモニタエラーフラグ)

スタックポインタモニタの状態を示します。各スタックポインタモニタは独立した ERROR ビットを持っています。

[1になる条件]

- スタックポインタがオーバーフローまたはアンダーフローしたとき

[0になる条件]

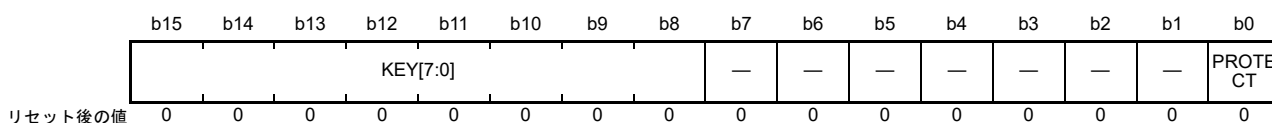
- 本ビットに0を書いたとき
- バスマスタ MPU エラーリセット、バスマスレーブ MPU エラーリセット、およびスタックポインタエラーリセット以外のリセットが発生したとき

注. ERROR ビットには0のみ書けます。



## 15.2.1.7 スタックポインタモニタ保護レジスタ (MSPMPUPT, PSPMPUPT)

アドレス SPMON.MSPMPUPT 4000 0D06h, SPMON.PSPMPUPT 4000 0D16h



ビット	シンボル	ビット名	機能	R/W
b0	PROTECT	レジスタの保護	0: スタックポインタモニタ関連レジスタの書き込みを許可 1: スタックポインタモニタ関連レジスタの書き込みから保護 (読み出しは許可)	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	PROTECTビットへの書き込みを許可または禁止します。	R/(W) (注1)

注1. 書き込みデータは保持されません。

**PROTECT ビット (レジスタの保護)**

保護する関連レジスタへの書き込みを許可または禁止します。メインスタックポインタモニタとプロセススタックポインタモニタをそれぞれ個別に設定できます。

MSPMPUPT.PROTECT ビットは、下記のメインスタックポインタ保護レジスタを制御します。

- MSPMPUCTL
- MSPMPUSA
- MSPMPUEA

PSPMPUPT.PROTECT ビットは、下記のプロセススタックポインタ保護レジスタを制御します。

- PSPMPUCTL
- PSPMPUSA
- PSPMPUEA

PROTECT ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

**KEY[7:0] ビット (キーコード)**

PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。これ以外の値を書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

## 15.2.2 動作説明

### 15.2.2.1 レジスタの保護

CPU スタックポインタモニタ関連のレジスタを保護するには、対応する PROTECT ビットを設定します。

### 15.2.2.2 オーバーフローエラーとアンダーフローエラー

オーバーフローまたはアンダーフローエラーが検出されると、CPU スタックポインタモニタはエラーを発生させます。OAD ビットを設定することで、このエラーをノンマスカブル割り込みとリセットのどちらで通知するか選択できます。ノンマスカブル割り込み状態は ICU.NMISR.SPEST フラグに示されます。「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。リセット状態は SYSTEM.RSTSR1.SPERF フラグに示されます。「[6. リセット](#)」を参照してください。

ICU.NMISR.SPEST フラグが CPU スタックポインタモニタ割り込みの発生を示した場合、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR ビットをチェックして、メインスタックポインタモニタエラーまたはプロセススタックポインタモニタエラーのどちらのエラーであるかを判定してください。

スタックポインタがアンダーフローまたはオーバーフローすると、ノンマスカブル割り込みが設定されたままになります。エラーを解除するため、ICU.NMICLR.SPECLR ビットに 1 を書き込むことによりノンマスカブル割り込みフラグをクリアしてください。MSPMPUCTL レジスタまたは PSPMPUCTL レジスタの ERROR ビットを 0 書き込みでクリアしてください。

## 15.3 Arm MPU

Arm MPU は下記の項目を全面的にサポートしています。

- 8 つの保護領域
- 保護領域のオーバーラップ (優先順位は昇順)
  - 7 = 最高優先順位
  - 0 = 最低優先順位
- アクセス許可
- メモリ属性のシステムへのエクスポート

Arm MPU の不一致および許可違反によって、優先順位のプログラム可能な MemManage フォルト (ハード障害) ハンドラが呼び出されます。詳細は、[15.7 参考資料](#)を参照してください。

## 15.4 バスマスタ MPU

バスマスタ MPU は、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象にバスマスタがアクセスするアドレスを監視しています。アクセス制御情報は、読み出し許可と書き込み許可からなり、最大 32 の領域に対して個別に設定が可能です。バスマスタ MPU は、これらの設定に基づいて各領域へのアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU はリセットまたはノンマスカブル割り込みを発生させます。エラーアクセスについての詳細は、「14. バス」の 14.3.3 および 14.3.4 を参照してください。

表 15.4 にバスマスタ MPU の仕様を、図 15.3 にブロック図を示します。図 15.4 に、バスマスタ MPU のグループ A を示します。

表 15.4 バスマスタ MPU仕様

項目	内容
保護されるマスタグループ	バスマスタ MPUグループA : DMAバス
保護領域	0000 0000h ~ FFFF FFFFh
領域数	バスマスタ MPUグループA : 32領域
各領域のアドレス仕様	領域の開始および終了アドレスの設定可能
各領域のメモリプロテクションの有効/無効設定	対応する領域の設定を有効/無効
各領域のアクセス制御設定	読み出し許可と書き込み許可
エラー検出時の動作	リセットまたはノンマスカブル割り込み
レジスタの保護	レジスタに対する不正書き込みの防止が可能

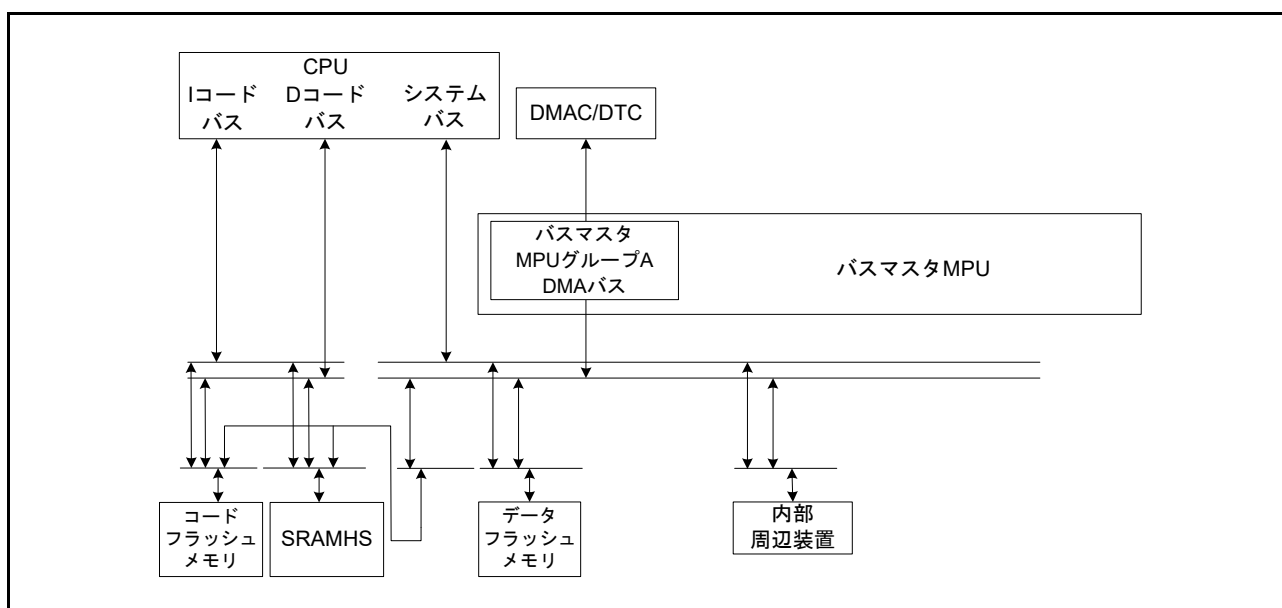


図 15.3 バスマスタ MPU ブロック図

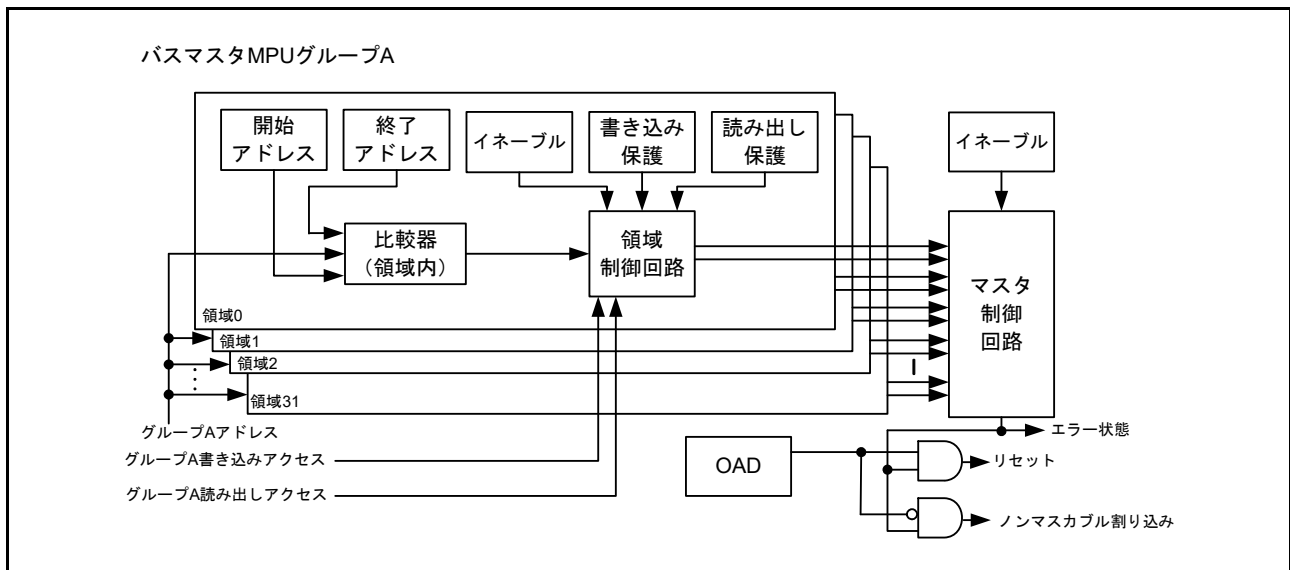


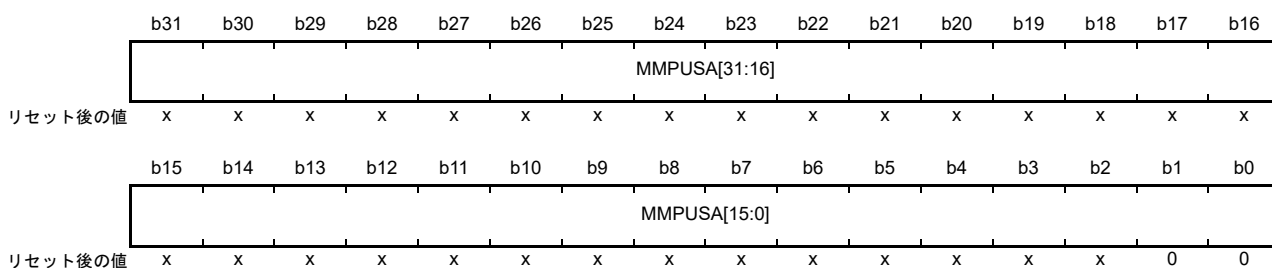
図 15.4 バスマスタ MPU グループ A

### 15.4.1 レジスタの説明

注. MPUレジスタに書き込みを行う前に、バスアクセスを停止する必要があります。

#### 15.4.1.1 グループ A 領域 n 開始アドレスレジスタ (MMPUSAn) (n = 0 ~ 31)

アドレス MMPU.MMPUSA0 4000 0204h, MMPU.MMPUSA1 4000 0214h, MMPU.MMPUSA2 4000 0224h, MMPU.MMPUSA3 4000 0234h, MMPU.MMPUSA4 4000 0244h, MMPU.MMPUSA5 4000 0254h, MMPU.MMPUSA6 4000 0264h, MMPU.MMPUSA7 4000 0274h, MMPU.MMPUSA8 4000 0284h, MMPU.MMPUSA9 4000 0294h, MMPU.MMPUSA10 4000 02A4h, MMPU.MMPUSA11 4000 02B4h, MMPU.MMPUSA12 4000 02C4h, MMPU.MMPUSA13 4000 02D4h, MMPU.MMPUSA14 4000 02E4h, MMPU.MMPUSA15 4000 02F4h, MMPU.MMPUSA16 4000 0304h, MMPU.MMPUSA17 4000 0314h, MMPU.MMPUSA18 4000 0324h, MMPU.MMPUSA19 4000 0334h, MMPU.MMPUSA20 4000 0344h, MMPU.MMPUSA21 4000 0354h, MMPU.MMPUSA22 4000 0364h, MMPU.MMPUSA23 4000 0374h, MMPU.MMPUSA24 4000 0384h, MMPU.MMPUSA25 4000 0394h, MMPU.MMPUSA26 4000 03A4h, MMPU.MMPUSA27 4000 03B4h, MMPU.MMPUSA28 4000 03C4h, MMPU.MMPUSA29 4000 03D4h, MMPU.MMPUSA30 4000 03E4h, MMPU.MMPUSA31 4000 03F4h

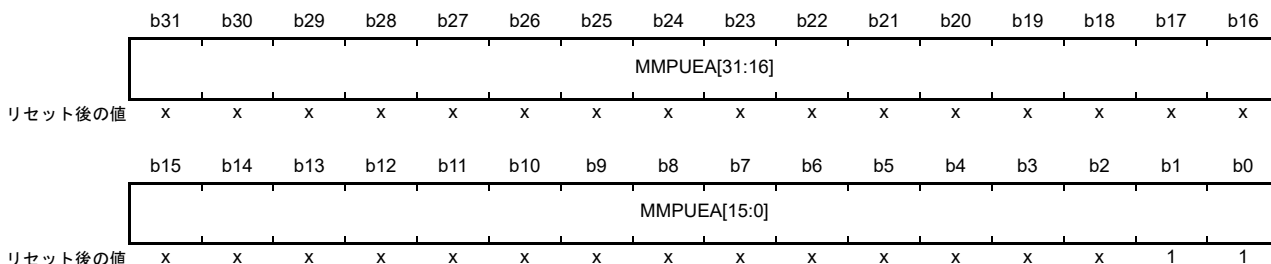


x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MMPUSA[31:0]	領域開始アドレス	領域判定に使用する領域開始アドレス。下位2ビットは0にしてください。	R/W

### 15.4.1.2 グループ A 領域 n 終了アドレスレジスタ (MMPUEAn) (n = 0 ~ 31)

アドレス MMPU.MMPUEA0 4000 0208h, MMPU.MMPUEA1 4000 0218h, MMPU.MMPUEA2 4000 0228h, MMPU.MMPUEA3 4000 0238h, MMPU.MMPUEA4 4000 0248h, MMPU.MMPUEA5 4000 0258h, MMPU.MMPUEA6 4000 0268h, MMPU.MMPUEA7 4000 0278h, MMPU.MMPUEA8 4000 0288h, MMPU.MMPUEA9 4000 0298h, MMPU.MMPUEA10 4000 02A8h, MMPU.MMPUEA11 4000 02B8h, MMPU.MMPUEA12 4000 02C8h, MMPU.MMPUEA13 4000 02D8h, MMPU.MMPUEA14 4000 02E8h, MMPU.MMPUEA15 4000 02F8h, MMPU.MMPUEA16 4000 0308h, MMPU.MMPUEA17 4000 0318h, MMPU.MMPUEA18 4000 0328h, MMPU.MMPUEA19 4000 0338h, MMPU.MMPUEA20 4000 0348h, MMPU.MMPUEA21 4000 0358h, MMPU.MMPUEA22 4000 0368h, MMPU.MMPUEA23 4000 0378h, MMPU.MMPUEA24 4000 0388h, MMPU.MMPUEA25 4000 0398h, MMPU.MMPUEA26 4000 03A8h, MMPU.MMPUEA27 4000 03B8h, MMPU.MMPUEA28 4000 03C8h, MMPU.MMPUEA29 4000 03D8h, MMPU.MMPUEA30 4000 03E8h, MMPU.MMPUEA31 4000 03F8h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MMPUEA[31:0]	領域終了アドレス	領域判定に使用する領域終了アドレス。下位2ビットは1にしてください。	R/W

### 15.4.1.3 グループ A 領域 n アクセスコントロールレジスタ (MMPUACAn) (n = 0 ~ 31)

アドレス MMPU.MMPUACA0 4000 0200h, MMPU.MMPUACA1 4000 0210h, MMPU.MMPUACA2 4000 0220h, MMPU.MMPUACA3 4000 0230h, MMPU.MMPUACA4 4000 0240h, MMPU.MMPUACA5 4000 0250h, MMPU.MMPUACA6 4000 0260h, MMPU.MMPUACA7 4000 0270h, MMPU.MMPUACA8 4000 0280h, MMPU.MMPUACA9 4000 0290h, MMPU.MMPUACA10 4000 02A0h, MMPU.MMPUACA11 4000 02B0h, MMPU.MMPUACA12 4000 02C0h, MMPU.MMPUACA13 4000 02D0h, MMPU.MMPUACA14 4000 02E0h, MMPU.MMPUACA15 4000 02F0h, MMPU.MMPUACA16 4000 0300h, MMPU.MMPUACA17 4000 0310h, MMPU.MMPUACA18 4000 0320h, MMPU.MMPUACA19 4000 0330h, MMPU.MMPUACA20 4000 0340h, MMPU.MMPUACA21 4000 0350h, MMPU.MMPUACA22 4000 0360h, MMPU.MMPUACA23 4000 0370h, MMPU.MMPUACA24 4000 0380h, MMPU.MMPUACA25 4000 0390h, MMPU.MMPUACA26 4000 03A0h, MMPU.MMPUACA27 4000 03B0h, MMPU.MMPUACA28 4000 03C0h, MMPU.MMPUACA29 4000 03D0h, MMPU.MMPUACA30 4000 03E0h, MMPU.MMPUACA31 4000 03F0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	領域有効	0 : グループ A 領域 n ユニットの無効 1 : グループ A 領域 n ユニットの有効	R/W
b1	RP	読み出し保護	0 : リードアクセスを許可 1 : リードアクセスを保護	R/W
b2	WP	書き込み保護	0 : ライトアクセスを許可 1 : ライトアクセスを保護	R/W
b15-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ENABLE ビット、RP ビット、および WP ビットは、グループ A 領域 n ユニットごとに個別に設定が可能です。

#### ENABLE ビット (領域有効)

グループ A 領域 n ユニットの有効または無効にします。ENABLE ビットを 1 にした場合、MMPUSAn レジスタと MMPUEAn レジスタに設定した領域へのアクセスを、RP ビットと WP ビットの設定によって許可または保護することが可能です。ENABLE ビットを 0 にした場合、グループ A 領域 n のアクセスに対して領域は指定されません。

#### RP ビット (読み出し保護)

グループ A 領域 n の読み出し保護を有効または無効にします。ENABLE ビットを 1 にした場合に RP ビットを使用できます。

#### WP ビット (書き込み保護)

グループ A 領域 n の書き込み保護を有効または無効にします。ENABLE ビットを 1 にした場合に WP ビットを使用できます。

MMPUACAn レジスタで設定した領域にアクセスした際に、グループ A 領域 n ユニットから出力される情報の対応を表 15.5 に示します。

表 15.5 領域制御回路の機能

MMPUACAn.ENABLE (注1)	MMPUACAn.RP (注1)	MMPUACAn.WP (注1)	アクセス	領域	グループA領域nユニットの出力 (注1)
0	—	—	リード	—	領域外
			ライト	—	領域外
1	0	0	リード	内部	許可領域
				外部	領域外
			ライト	内部	許可領域
				外部	領域外
	0	1	リード	内部	許可領域
				外部	領域外
			ライト	内部	保護領域
				外部	領域外
	1	0	リード	内部	保護領域
				外部	領域外
			ライト	内部	許可領域
				外部	領域外
1	1	リード	内部	保護領域	
			外部	領域外	
		ライト	内部	保護領域	
			外部	領域外	

注 1. n = 0 ~ 31

表 15.6 マスタ制御回路の機能

MMPUCTLA.ENABLE	グループA領域0 ユニットの出力	グループA領域1 ユニットの出力	グループA領域2~31 ユニットの出力	グループAの機能
1	保護領域	Don't care	Don't care	エラー発生
1	Don't care	保護領域	Don't care	エラー発生
1	Don't care	Don't care	保護領域	エラー発生
1	領域外	領域外	領域外	エラー発生
その他の場合				エラーなし

マスタ MPU エラーは下記の条件で発生します。

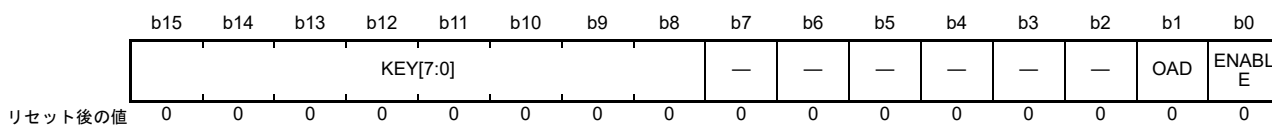
- MMPUCTLA.ENABLE = 1 で、かつ 1 つ以上の領域 n ユニットの出力が保護領域の場合
- MMPUCTLA.ENABLE = 1 で、かつすべての領域 n ユニットの出力が領域外の場合

その他の場合は許可領域として処理されます。



## 15.4.1.4 バスマスタ MPU コントロールレジスタ (MMPUCTLA)

アドレス MMPU.MMPUCTLA 4000 0000h



ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	マスタグループ有効	0 : マスタグループAは無効 1 : マスタグループAは有効	R/W
b1	OAD	検出後の動作	0 : ノンマスカブル割り込み 1 : リセット	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットとENABLEビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

**ENABLE ビット (マスタグループ有効)**

マスタグループ A のバスマスタ MPU 機能を有効または無効にします。本ビットが 1 になっていれば、MMPUACAn が利用可能です。本ビットを 0 にすると、すべての領域の許可領域を含めて、MMPUACAn レジスタが使用できなくなります。ENABLE ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

**OAD ビット (検出後の動作)**

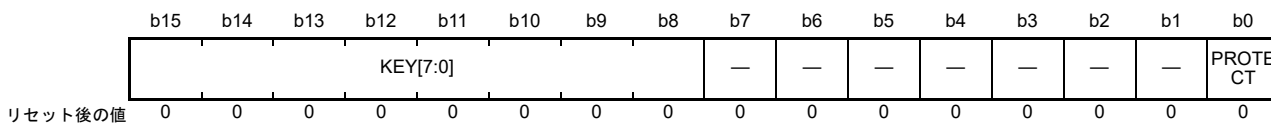
バスマスタ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。OAD ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

**KEY[7:0] ビット (キーコード)**

ENABLE ビットと OAD ビットへの書き込みを許可または禁止します。ENABLE ビットと OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。これ以外の値を書き込むと、ENABLE ビットと OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

### 15.4.1.5 グループ A レジスタ保護 (MMPUPTA)

アドレス `MMPU.MMPUPTA 4000 0102h`



ビット	シンボル	ビット名	機能	R/W
b0	PROTECT	レジスタの保護	0 : 全バスマスタ MPU グループ A レジスタの書き込みを許可 1 : 全バスマスタ MPU グループ A レジスタの書き込みを保護 (読み出しは可能)	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b15-b8	KEY[7:0]	キーコード	PROTECT ビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

#### PROTECT ビット (レジスタの保護)

保護するレジスタへの書き込みを許可または禁止します。

MMPUPTA.PROTECT ビットは、バスマスタ MPU グループ A 保護レジスタを制御します。下記のレジスタが MMPUPTA.PROTECT ビットで保護されます。

- MMPUSAn
- MMPUEAn
- MMPUACAn
- MMPUCTLA

PROTECT ビットへ書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0] ビットに A5h を書き込んでください。

#### KEY[7:0] ビット (キーコード)

PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。これ以外の値を書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

## 15.4.2 動作説明

### 15.4.2.1 メモリプロテクション

バスマスタ MPU は、アクセス制御領域に対して個別に設定された制御情報を用いてメモリアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU は、最大 32 の保護領域に対して設定することが可能です。保護領域には、許可領域と保護領域のオーバーラップした領域と、2 つの許可領域のオーバーラップした領域が含まれます。

バスマスタ MPU にはグループ A があります。メモリプロテクション機能は、統合したマスタグループに対してバスのアドレスをチェックするため、マスタグループによる全アクセスが保護されます。バスマスタ MPU は、リセット後、すべての領域を許可に設定します。MMPUCTLA.ENABLE ビットを 1 にすることで、すべての領域が保護されます。領域ごとに、許可領域が保護領域の内部に設定されます。保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。

図 15.5 に、バスマスタ MPU の使用例を示します。

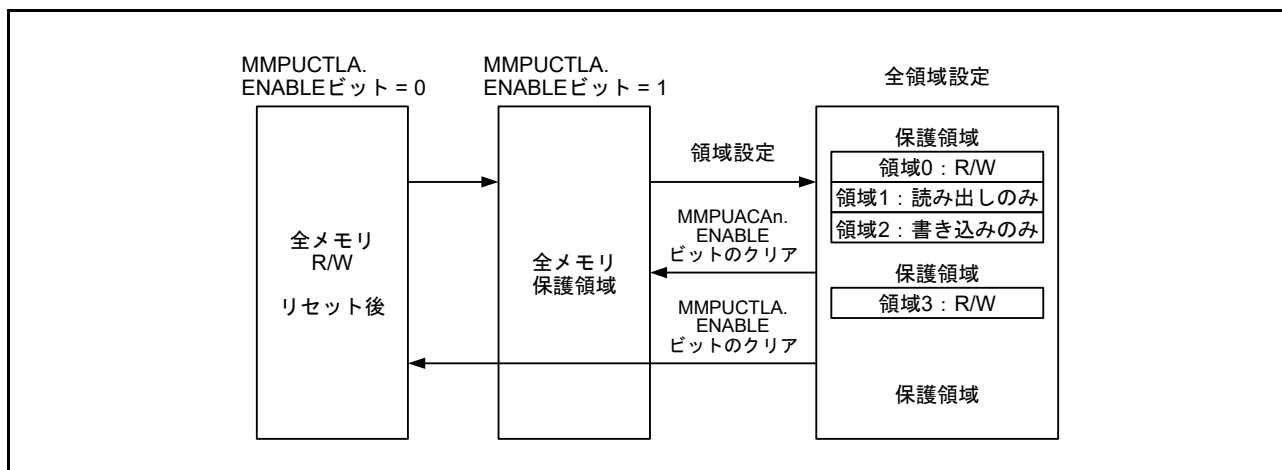


図 15.5 バスマスタ MPU の使用例

図 15.6 に、バスマスタ MPU のオーバーラップ領域に対するアクセスの許可または保護について示します。オーバーラップ領域に対するアクセス制御は以下のとおりです。

- 1つ以上の領域ユニットの出力が保護領域の場合、領域は保護領域として処理される
- すべての領域ユニットの出力が領域外の場合、領域は保護領域として処理される
- その他の場合は許可領域として処理される

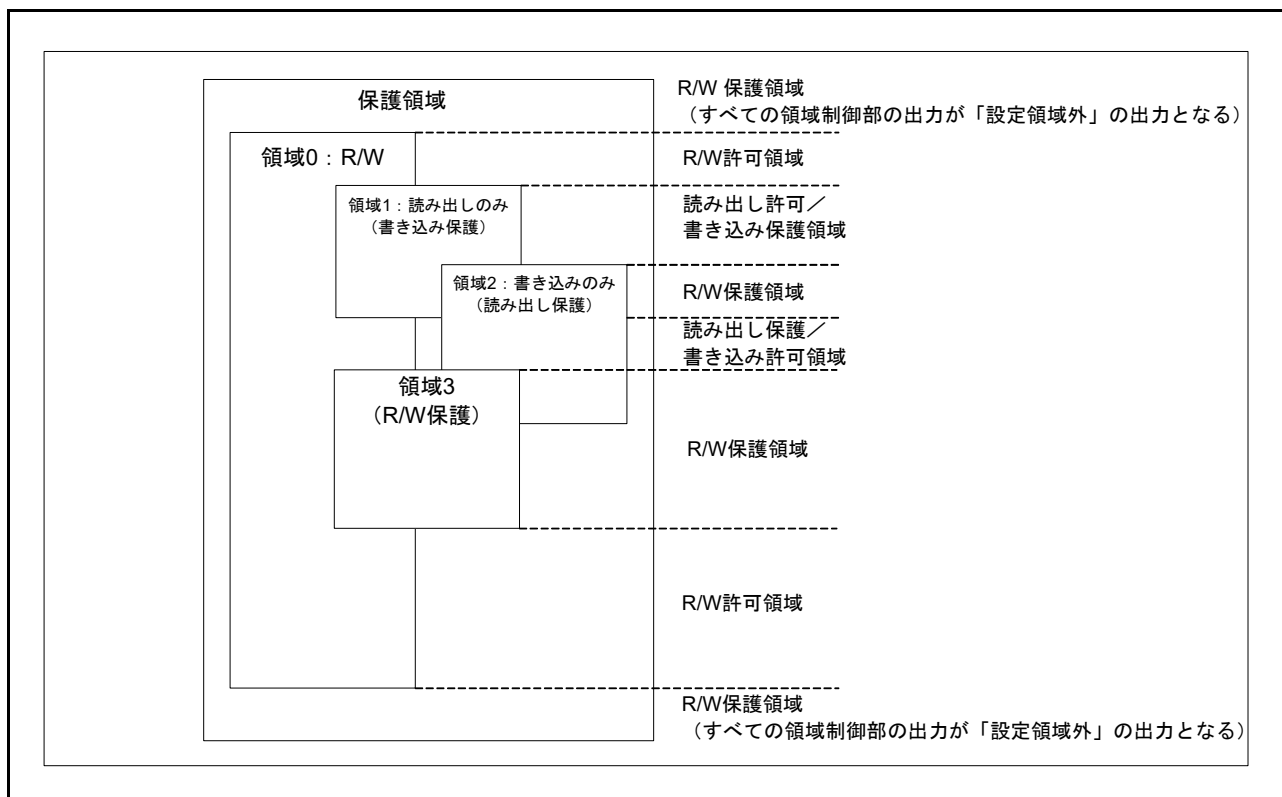


図 15.6 バスマスタ MPU 領域のオーバーラップによるアクセスの許可または保護

図 15.7 に、リセット後のレジスタ設定フローを示します。このレジスタ設定中は、CPU を除く全マスタを停止してください。

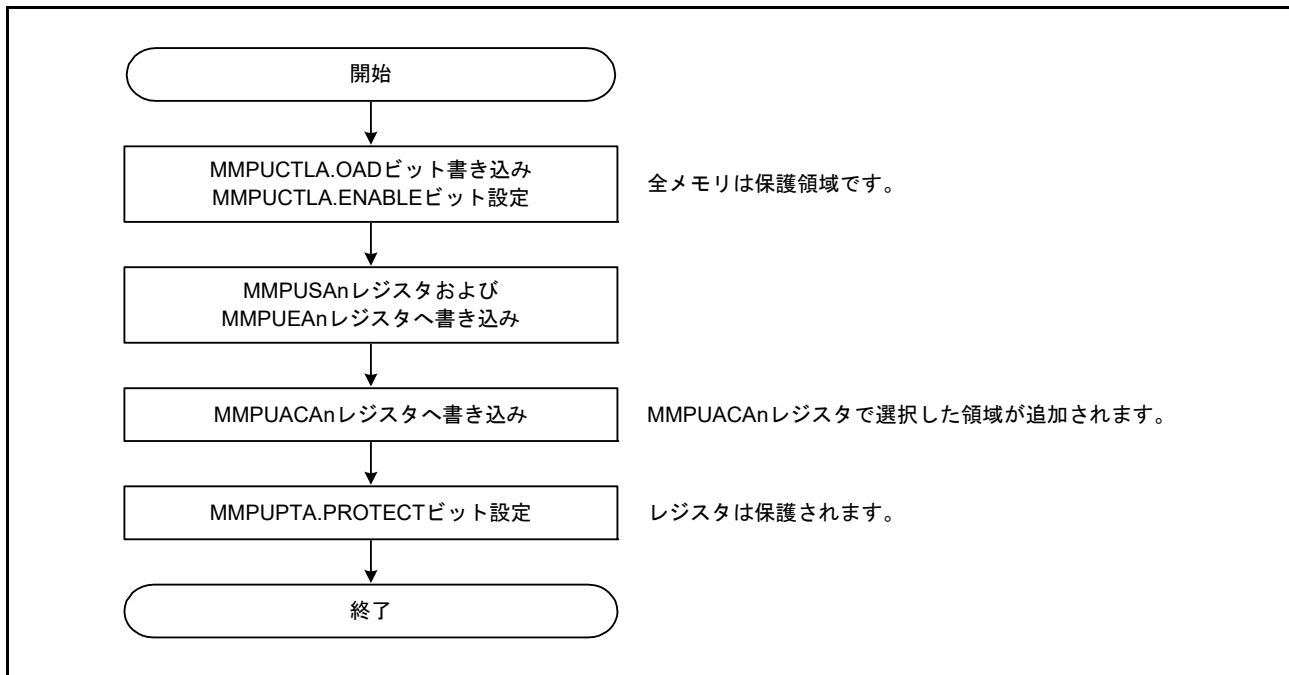


図 15.7 リセット後のレジスタ設定フロー

図 15.8 に、領域を追加するためのレジスタ設定フローを示します。このレジスタ設定中は、CPU を除く全マスタを停止してください。



図 15.8 領域追加のレジスタ設定フロー

### 15.4.2.2 レジスタの保護

バスマスタ MPU 関連のレジスタを保護するには、MMPUPTA レジスタの PROTECT ビットを設定します。

### 15.4.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。OAD ビットを設定して、このエラーをノンマスカブル割り込みとリセットのどちらで通知するか選択します。ノンマスカブル割り込み状態は ICU.NMISR.BUSMST フラグに示されます。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。リセット状態は SYSTEM.RSTSR1.BUSMRF フラグに示されます。詳細は、「[6. リセット](#)」を参照してください。

### 15.5 バススレーブ MPU

バススレーブ MPU は、フラッシュや SRAM などのバススレーブ機能に対するアクセスを監視します。この機能は、2つのバスマスタ (CPU、バスマスタ MPU グループ A) からアクセスできます。バススレーブ MPU は、これら2つのバスマスタごとに独立したプロテクトレジスタを備えており、それぞれ個別に読み出し許可と書き込み許可からなるアクセス保護が可能です。保護領域に対するアクセスが検出されると、バススレーブ MPU はリセットまたはノンマスカブル割り込みを発生させ、バスエラーアドレス、バスエラー状態、およびエラーアクセス状態を記録します。詳細は「14. バス」の 14.3.3 および 14.3.4 を参照してください。

表 15.7 にバススレーブ MPU の仕様を、図 15.9 にブロック図を示します。

表 15.7 バススレーブ MPU 仕様

項目	内容
保護されるバスマスタ	バスマスタ MPU グループ A : DMAバス
保護されるスレーブ機能	<ul style="list-style-type: none"> <li>メモリバス3 : コードフラッシュメモリ、SRAMHS</li> <li>内部周辺バス1 : 周辺モジュール (DTC、DMAC、割り込みコントローラ、フラッシュレジスタ、MPU、SRAMレジスタ、システムコントローラ、およびバスコントローラ) に接続</li> <li>内部周辺バス3、4、5 : その他の周辺モジュールに接続</li> <li>内部周辺バス7 : セキュア IP (SCE7) に接続</li> <li>内部周辺バス9 : フラッシュメモリ (P/E時)、データフラッシュメモリ、およびTSN</li> </ul>
各領域のアクセス制御設定	読み出し許可と書き込み許可
エラー検出時の動作	リセット、ノンマスカブル割り込み、または例外
レジスタの保護	レジスタに対する不正書き込みの防止が可能

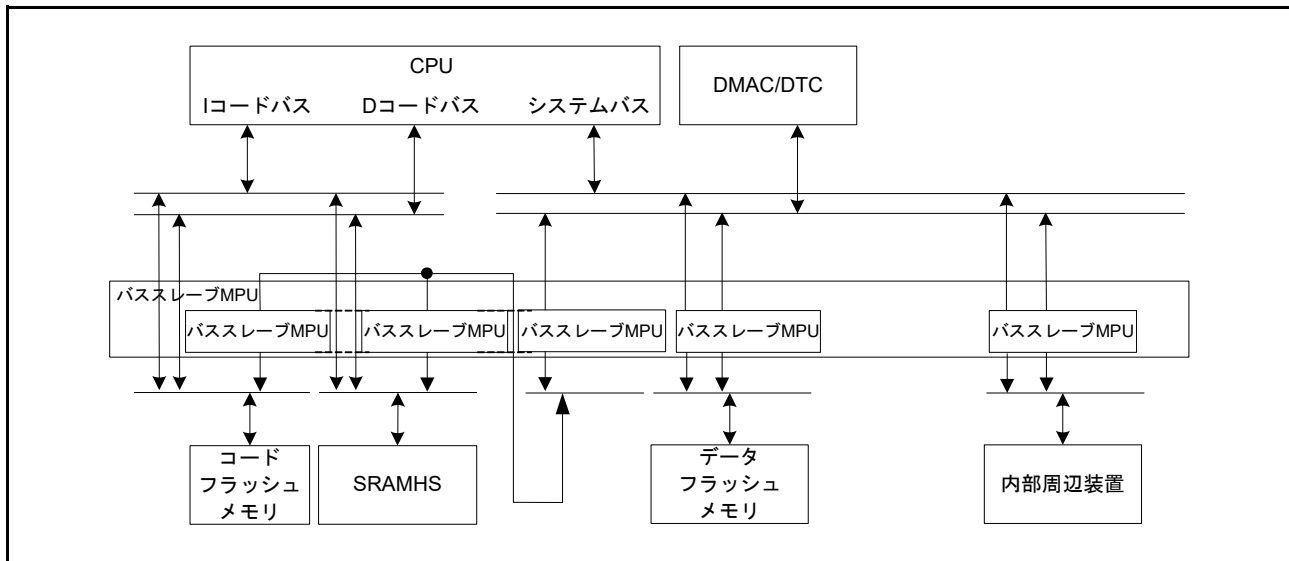


図 15.9 バススレーブ MPU ブロック図

### 15.5.1 レジスタの説明

注. MPUレジスタに書き込みを行う前に、バスアクセスを停止する必要があります。

#### 15.5.1.1 メモリバス3アクセスコントロールレジスタ (SMPUMBIU)

アドレス SMPU.SMPUMBIU 4000 0C10h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
WPSRAMHS	RPSRAMHS	WPFLI	RPFLI	—	—	—	—	—	—	—	—	WPGRPA	RPGRPA	—	—
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b11-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	RPFLI	コードフラッシュメモリ読み出し保護	0: マスタグループAからのコードフラッシュメモリ読み出しのメモリプロテクションは無効 1: マスタグループAからのコードフラッシュメモリ読み出しのメモリプロテクションは有効	R/W
b13	WPFLI	コードフラッシュメモリ書き込み保護	0: マスタグループAからのコードフラッシュメモリ書き込みのメモリプロテクションは無効 1: マスタグループAからのコードフラッシュメモリ書き込みのメモリプロテクションは有効 読むと1が読めます。書く場合、1としてください。	R/W
b14	RPSRAMHS	SRAMHS読み出し保護	0: マスタグループAからのSRAMHS読み出しのメモリプロテクションは無効 1: マスタグループAからのSRAMHS読み出しのメモリプロテクションは有効	R/W
b15	WPSRAMHS	SRAMHS書き込み保護	0: マスタグループAからのSRAMHS書き込みのメモリプロテクションは無効 1: マスタグループAからのSRAMHS書き込みのメモリプロテクションは有効	R/W

SMPUMBIUレジスタは、マスタグループAからコードフラッシュメモリとSRAMHSへのアクセスに対して、指定したマスタおよびスレーブのメモリプロテクションを有効にします。

#### RPGRPA ビット (マスタグループA読み出し保護)

メモリバス3でのマスタグループAによる読み出しに対してメモリプロテクションを有効または無効にします。

#### WPGRPA ビット (マスタグループA書き込み保護)

メモリバス3でのマスタグループAによる書き込みに対してメモリプロテクションを有効または無効にします。

#### RPFLI ビット (コードフラッシュメモリ読み出し保護)

コードフラッシュメモリでのマスタグループAによる読み出しに対してメモリプロテクションを有効または無効にします。

#### WPFLI ビット (コードフラッシュメモリ書き込み保護)

コードフラッシュメモリでのマスタグループAによる書き込みに対してメモリプロテクションを有効にします。

**RPSRAMHS ビット (SRAMHS 読み出し保護)**

SRAMHS でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

**WPSRAMHS ビット (SRAMHS 書き込み保護)**

SRAMHS でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

**15.5.1.2 内部周辺バス 9 アクセスコントロールレジスタ (SMPUFBIU)**

アドレス SMPU.SMPUFBIU 4000 0C14h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

内部周辺バス 9 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

内部周辺バス 9 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタグループ A 読み出し保護)**

内部周辺バス 9 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタグループ A 書き込み保護)**

内部周辺バス 9 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。



## 15.5.1.3 内部周辺バス 1 アクセスコントロールレジスタ (SMPUP0BIU)

アドレス SMPU.SMPUP0BIU 4000 0C20h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU	
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b5-b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

内部周辺バス 1 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

内部周辺バス 1 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタグループ A 読み出し保護)**

内部周辺バス 1 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタグループ A 書き込み保護)**

内部周辺バス 1 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

## 15.5.1.4 内部周辺バス 3 アクセスコントロールレジスタ (SMPUP2BIU)

アドレス SMPU.SMPUP2BIU 4000 0C24h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b5-b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

内部周辺バス 3、4、5 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

内部周辺バス 3、4、5 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタグループ A 読み出し保護)**

内部周辺バス 3、4、5 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタグループ A 書き込み保護)**

内部周辺バス 3、4、5 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

## 15.5.1.5 内部周辺バス7アクセスコントロールレジスタ (SMPUP6BIU)

アドレス SMPU.SMPUP6BIU 4000 0C28h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU	
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b5-b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

内部周辺バス7でのCPUによる読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

内部周辺バス7でのCPUによる書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタグループA 読み出し保護)**

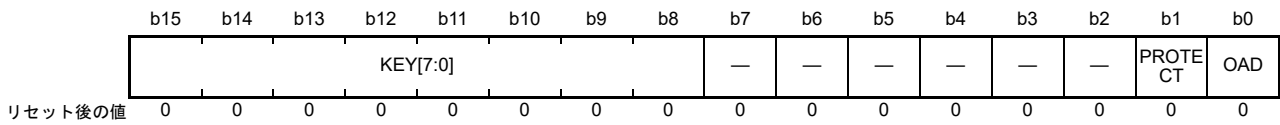
内部周辺バス7でのマスタグループAによる読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタグループA 書き込み保護)**

内部周辺バス7でのマスタグループAによる書き込みに対してメモリプロテクションを有効または無効にします。

### 15.5.1.6 スレーブ MPU コントロールレジスタ (SMPUCTL)

アドレス SMPU.SMPUCTL 4000 0C00h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	0: ノンマスカブル割り込み 1: リセット	R/W
b1	PROTECT	レジスタの保護	0: 全バススレーブMPUレジスタの書き込みを許可 1: 全バススレーブMPUレジスタの書き込みを保護 (読み出しは許可)	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットとPROTECTビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

#### OAD ビット (検出後の動作)

バススレーブ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。OAD ビットへ書き込む際は、ハーフワードアクセスを使用し、同時に KEY[7:0] ビットに A5h を書き込んでください。

#### PROTECT ビット (レジスタの保護)

保護するレジスタへの書き込みを許可または禁止します。SMPUCTL.PROTECT ビットは下記のレジスタを制御します。

- SMPUMBIU
- SMPUFBIU
- SMPUP0BIU
- SMPUP2BIU
- SMPUP6BIU

PROTECT ビットへ書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0] ビットに A5h を書き込んでください。

#### KEY[7:0] ビット (キーコード)

OAD ビットと PROTECT ビットへの書き込みを許可または禁止します。OAD ビットと PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。これ以外の値を書き込むと、OAD ビットと PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

## 15.5.2 動作説明

### 15.5.2.1 メモリプロテクション

バススレーブ MPU による監視は、各アクセスコントロールレジスタに設定されたアクセス制御情報を使用します。保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。

バススレーブ MPU は、アクセスコントロールレジスタ (SMPUMBIU, SMPUFBIU, SMPUP0BIU, SMPUP2BIU, SMPUP6BIU) の書き込み保護 (WPCPU または WPGRPA) ビットまたは読み出し保護 (RPCPU または RPGRPA) ビットを 1 にすることで有効になります。

### 15.5.2.2 レジスタの保護

バススレーブ MPU 関連のレジスタは、SMPUCTL レジスタの PROTECT ビットで保護することが可能です。

### 15.5.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。OAD ビットを設定することで、このエラーをノンマスカブル割り込みとリセットのどちらで通知するか選択できます。

ノンマスカブル割り込み状態は ICU.NMISR.BUSSST フラグに示されます。「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。リセット状態は SYSTEM.RSTSR1.BUSSRF フラグに示されます。「[6. リセット](#)」を参照してください。

### 15.6 セキュリティ MPU

本 MCU には 4 つのセキュア領域を持つセキュリティ MPU が内蔵されており、セキュア領域にはコードフラッシュ、SRAM、および 2 つのセキュリティ機能が含まれます。セキュア領域を、非セキュアプログラムのアクセスから保護することが可能です。非セキュアプログラムから保護領域へのアクセスは許可されていません。

表 15.8 にセキュリティ MPU の仕様を、図 15.10 にセキュリティ MPU のブロック図を示します。

表 15.8 セキュリティ MPU の仕様

項目	内容
セキュア領域	コードフラッシュ、SRAM、2つのセキュリティ機能
保護領域	0000 0000h ~ FFFF FFFFh
領域数	プログラムカウンタ : 2領域 データアクセス : 4領域
各領域のアドレス指定	領域の開始アドレスと終了アドレスを設定
各領域のメモリプロテクション有効/無効設定	対応する領域に対し有効/無効を設定

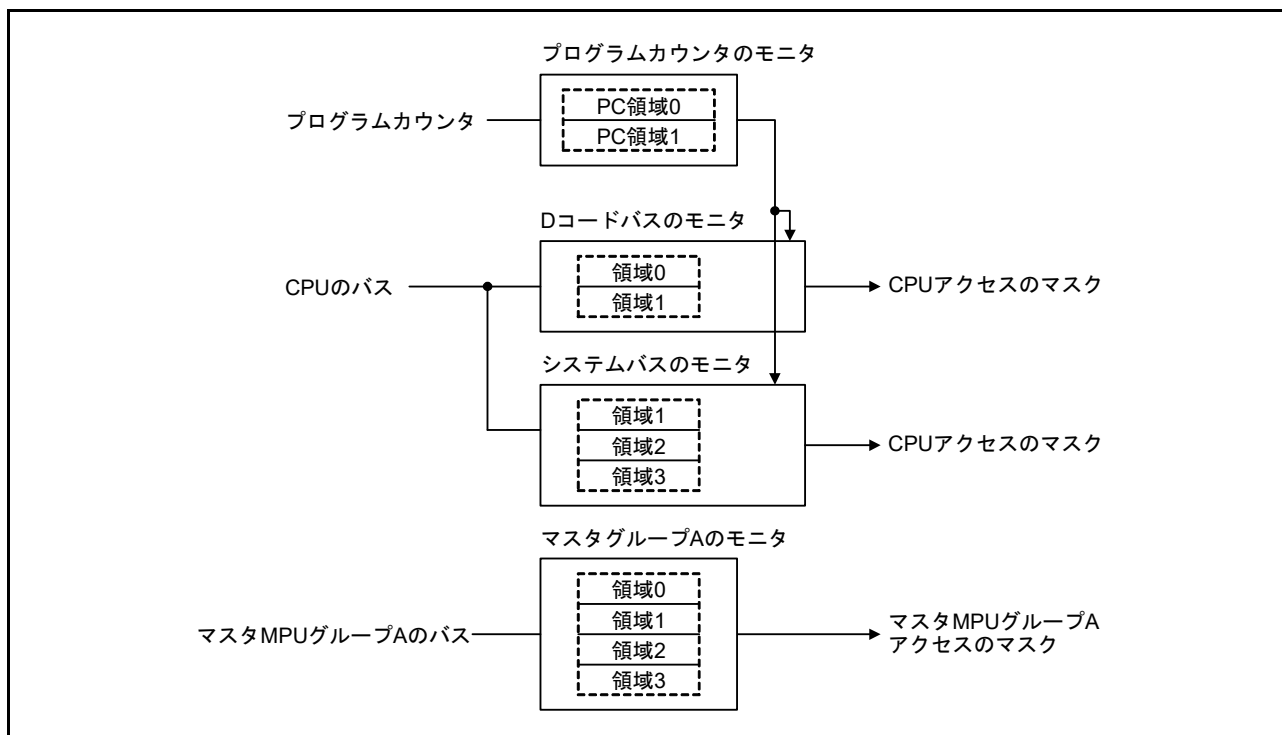


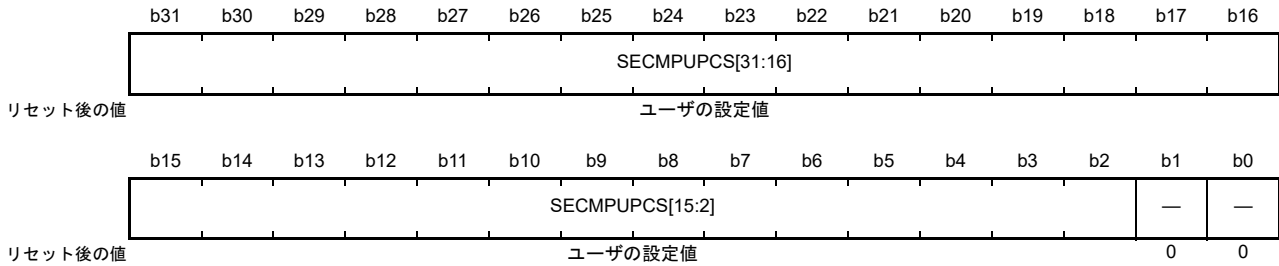
図 15.10 セキュリティ MPU のブロック図

### 15.6.1 レジスタの説明 (オプション設定メモリ)

セキュリティ MPU のすべてのレジスタは、オプション設定メモリです。オプション設定メモリとは、リセット後のマイコン状態の選択に用いられる一連のレジスタを指します。オプション設定メモリはフラッシュに配置されます。

#### 15.6.1.1 セキュリティ MPU プログラムカウンタ開始アドレスレジスタ (SECMUPCSn) (n = 0, 1)

アドレス [SECMUPCS0 0000 0408h](#), [SECMUPCS1 0000 0410h](#)



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R
b31-b2	SECMUPCS[31:2]	領域開始アドレス	領域判定に使用する領域開始アドレス。	R

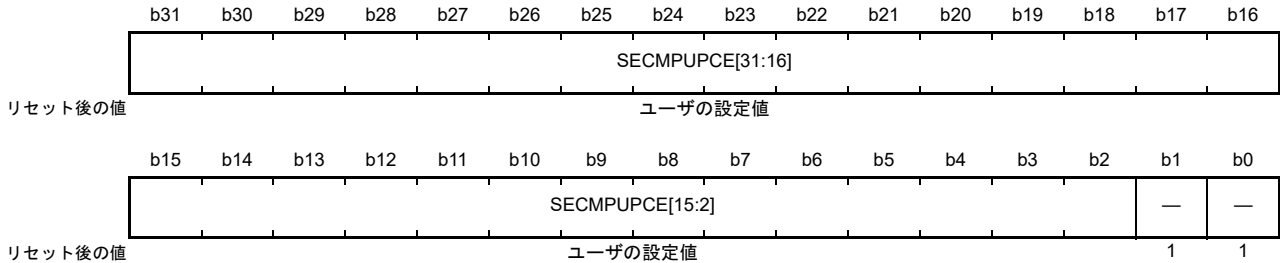
SECMUPCSn レジスタと SECMUPCEn レジスタは、コードフラッシュまたは SRAM のセキュリティフェッチ領域 (0000 0000h ~ FFFF FFFFh) を指定します。セキュアプログラムは、SECMUPCSn レジスタおよび SECMUPCEn レジスタで定義されたメモリ空間で実行され、SECMUPSm レジスタおよび SECMUPEm レジスタ (m = 0 ~ 3) で指定されたセキュアデータにアクセスできます。

SECMUPCSn レジスタは、領域開始位置のアドレスを指定します。MMF のメモリミラー空間 (0200 0000h ~ 027F FFFFh) に設定することは禁止されています。

非セキュアプログラムの最後の命令とセキュアプログラムの最初の命令の間には 12 バイトより大きなアドレス空間が必要です。

### 15.6.1.2 セキュリティ MPU プログラムカウンタ終了アドレスレジスタ (SECMUPCEn) (n = 0, 1)

アドレス [SECMUPCE0 0000 040Ch](#), [SECMUPCE1 0000 0414h](#)



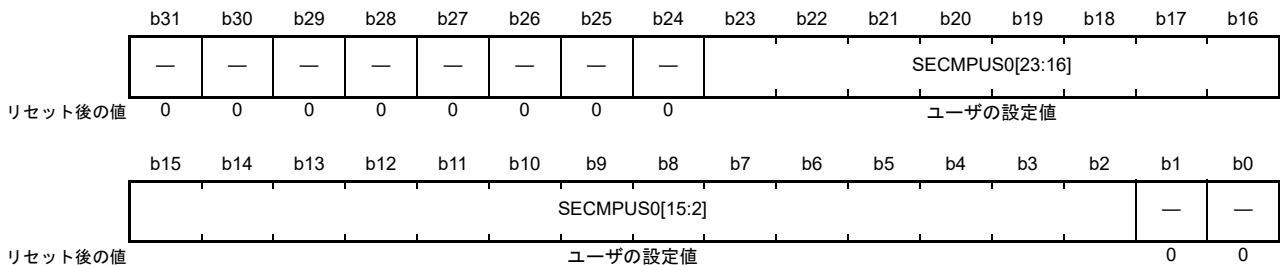
ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。フラッシュに書き込む場合、常に1としてください。	R
b31-b2	SECMUPCE[31:2]	領域終了アドレス	領域判定に使用する領域終了アドレス	R

SECMUPCSn レジスタと SECMUPCEn レジスタは、コードフラッシュまたは SRAM のセキュリティフェッチ領域 (0000 0000h ~ FFFF FFFFh) を指定します。

SECMUPCEn レジスタは、領域終了位置のアドレスを指定します。

### 15.6.1.3 セキュリティ MPU 領域 0 開始アドレスレジスタ (SECMUPUS0)

アドレス [SECMUPUS0 0000 0418h](#)



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R
b23-b2	SECMUPUS0[23:2]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。	R
b31-b24	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R

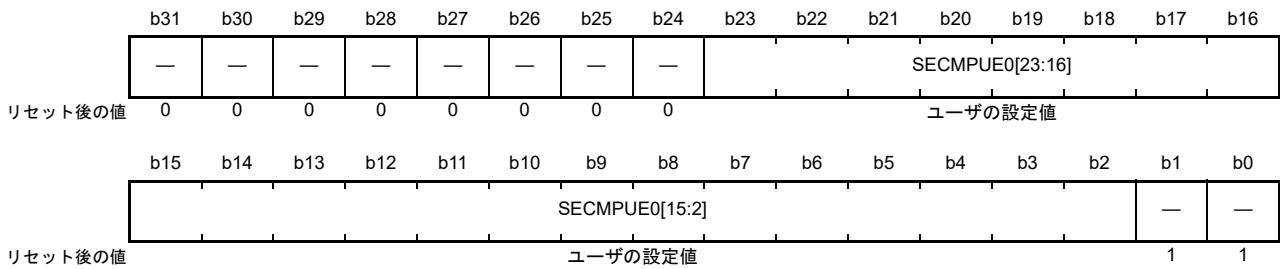
SECMUPUS0 レジスタと SECMUPUE0 レジスタは、フラッシュのセキュア領域 (0000 0000 ~ 00FF FFFFh) を指定します。SECMUPUS0 レジスタおよび SECMUPUE0 レジスタで定義されたメモリ空間は、SECMUPCSn レジスタおよび SECMUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

SECMUPUS0 レジスタは、領域開始位置のアドレスを指定します。ベクタテーブル領域の設定は禁止です。



## 15.6.1.4 セキュリティ MPU 領域 0 終了アドレスレジスタ (SECMPUE0)

アドレス SECMPUE0 0000 041Ch



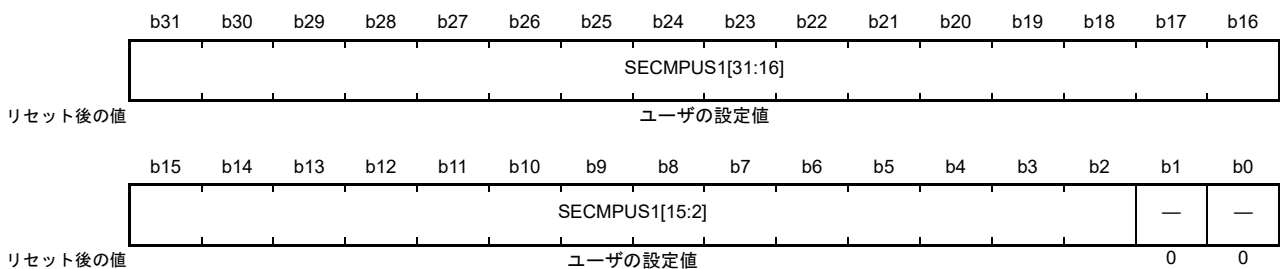
ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。フラッシュに書き込む場合、常に1としてください。	R
b23-b2	SECMPUE0[23:2]	領域終了アドレス	領域判定に使用する領域終了アドレス	R
b31-b24	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R

SECMPUS0 レジスタと SECMPUE0 レジスタは、フラッシュのセキュア領域 (0000 0000 ~ 00FF FFFFh) を指定します。SECMPUS0 レジスタおよび SECMPUE0 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

SECMPUE0 レジスタは、領域終了位置のアドレスを指定します。

## 15.6.1.5 セキュリティ MPU 領域 1 開始アドレスレジスタ (SECMPUS1)

アドレス SECMPUS1 0000 0420h



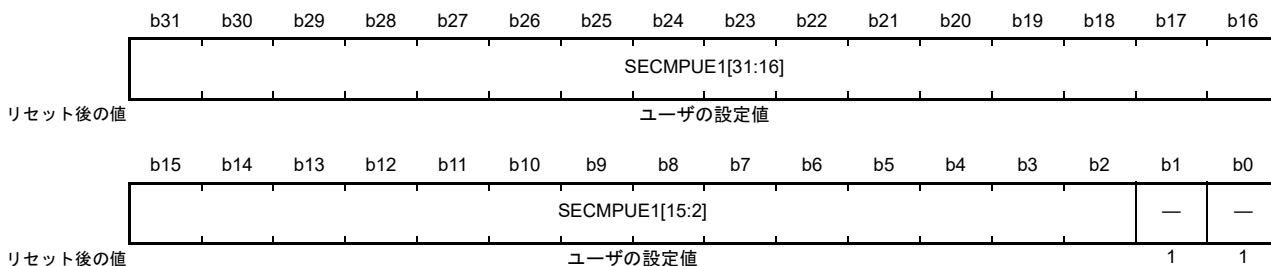
ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R
b19-b2	SECMPUS1[19:2]	領域開始アドレス	領域判定に使用する領域開始アドレス	R
b31-b20	SECMPUS1[31:20]	領域開始アドレス	領域判定に使用する領域開始アドレス。書く場合、常に1FFhとしてください。	R

SECMPUS1 レジスタと SECMPUE1 レジスタは、SRAM のセキュア領域 (1FF0 0000h ~ 1FFE FFFFh) を指定します。SECMPUS1 レジスタおよび SECMPUE1 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

SECMPUS1 レジスタには、領域開始位置のアドレスを指定します。スタック領域およびベクタテーブルの設定は禁止です。

### 15.6.1.6 セキュリティ MPU 領域 1 終了アドレスレジスタ (SECMPE1)

アドレス SECMPE1 0000 0424h



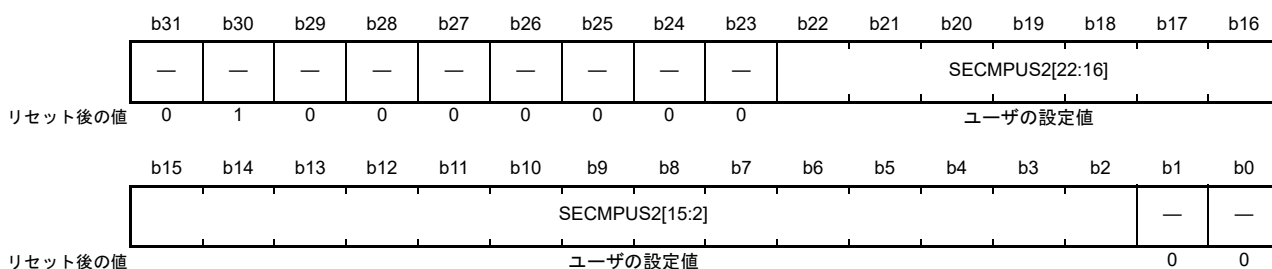
ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。フラッシュに書き込む場合、常に1としてください。	R
b19-b2	SECMPE1[19:2]	領域終了アドレス	領域判定に使用する領域終了アドレス	R
b31-b20	SECMPE1[31:20]	領域終了アドレス	領域判定に使用する領域終了アドレス 書く場合、常に1FFhとしてください。	R

SECMPE1 レジスタと SECMPE1 レジスタは、SRAM のセキュア領域 (1FF0 0000h ~ 1FFE FFFFh) を指定します。SECMPE1 レジスタおよび SECMPE1 レジスタに定義されたメモリ空間は、SECMPE1Sn レジスタおよび SECMPE1En レジスタで設定されたセキュアプログラムからのみアクセス可能です。

SECMPE1 レジスタは、領域終了位置のアドレスを指定します。

## 15.6.1.7 セキュリティ MPU 領域 2 開始アドレスレジスタ (SECMPUS2)

アドレス SECMPUS2 0000 0428h



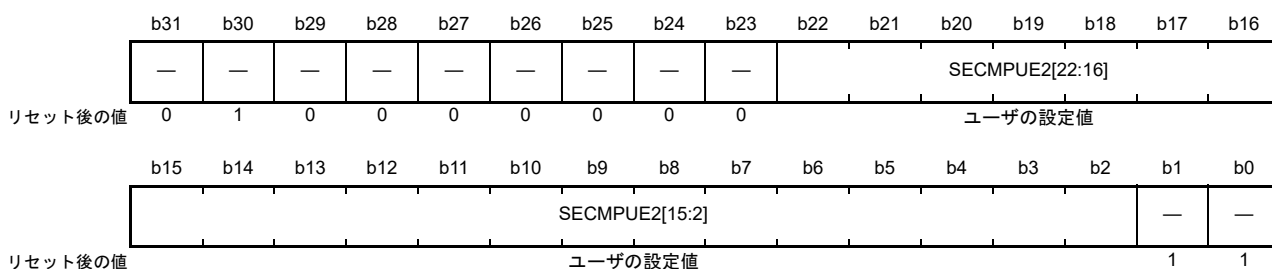
ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R
b22-b2	SECMPUS2[22:2]	領域開始アドレス	領域判定に使用する領域開始アドレス	R
b29-b23	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R
b30	—	予約ビット	読むと1が読めます。フラッシュに書き込む場合、常に1としてください。	R
b31	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R

SECMPUS2 レジスタおよび SECMPUE2 レジスタは、セキュリティ機能 1 のセキュア領域 (400C 0000h ~ 400D FFFFh および 4010 0000h ~ 407F FFFFh) を指定します。SECMPUS2 レジスタおよび SECMPUE2 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

SECMPUS2 レジスタは、領域開始位置のアドレスを指定します。

## 15.6.1.8 セキュリティ MPU 領域 2 終了アドレスレジスタ (SECOMPUE2)

アドレス SECOMPUE2 0000 042Ch



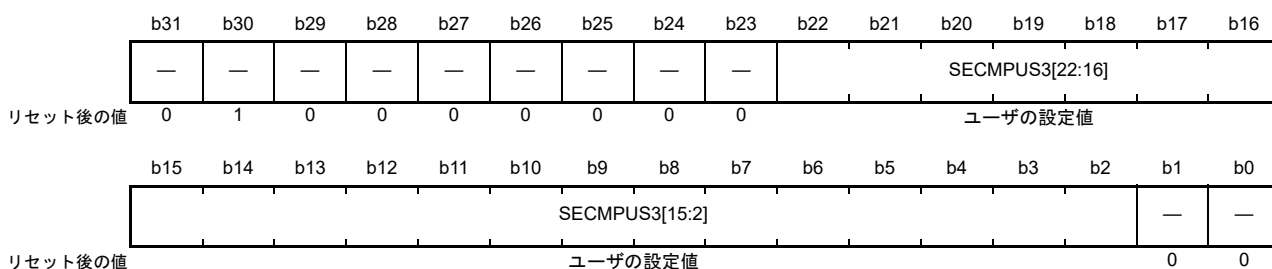
ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。フラッシュに書き込む場合、常に1としてください。	R
b22-b2	SECOMPUE2[22:2]	領域終了アドレス	領域判定に使用する領域終了アドレス	R
b29-b23	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R
b30	—	予約ビット	読むと1が読めます。フラッシュに書き込む場合、常に1としてください。	R
b31	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R

SECOMPUS2 レジスタおよび SECOMPUE2 レジスタは、セキュリティ機能 1 のセキュア領域 (400C 0000h ~ 400D FFFFh および 4010 0000h ~ 407F FFFFh) を指定します。SECOMPUS2 レジスタおよび SECOMPUE2 レジスタで定義されたメモリ空間は、SECOMPUPCSn レジスタおよび SECOMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

SECOMPUE2 レジスタは、領域終了位置のアドレスを指定します。

## 15.6.1.9 セキュリティ MPU 領域 3 開始アドレスレジスタ (SECMPUS3)

アドレス SECMPUS3 0000 0430h



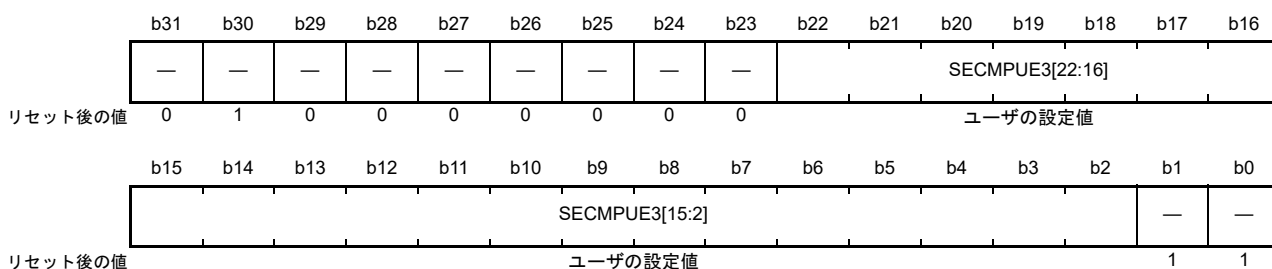
ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R
b22-b2	SECMPUS3[22:2]	領域開始アドレス	領域判定に使用する領域開始アドレス	R
b29-b23	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R
b30	—	予約ビット	読むと1が読めます。フラッシュに書き込む場合、常に1としてください。	R
b31	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R

SECMPUS3 レジスタおよび SECMPUE3 レジスタは、セキュリティ機能 2 のセキュア領域 (400C 0000h ~ 400D FFFFh および 4010 0000h ~ 407F FFFFh) を指定します。SECMPUS3 レジスタおよび SECMPUE3 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

SECMPUS3 レジスタは、領域開始位置のアドレスを指定します。

## 15.6.1.10 セキュリティ MPU 領域 3 終了アドレスレジスタ (SECMPUE3)

アドレス SECMPUE3 0000 0434h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。フラッシュに書き込む場合、常に1としてください。	R
b22-b2	SECMPUE3[22:2]	領域終了アドレス	領域判定に使用する領域終了アドレス	R
b29-b23	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R
b30	—	予約ビット	読むと1が読めます。フラッシュに書き込む場合、常に1としてください。	R
b31	—	予約ビット	読むと0が読めます。フラッシュに書き込む場合、常に0としてください。	R

SECMPUS3 レジスタおよび SECMPUE3 レジスタは、セキュリティ機能 2 のセキュア領域 (400C 0000h ~ 400D FFFFh および 4010 0000h ~ 407F FFFFh) を指定します。SECMPUS3 レジスタおよび SECMPUE3 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

SECMPUE3 レジスタは、領域終了位置のアドレスを指定します。

## 15.6.1.11 セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC)

アドレス SECMPUAC 0000 0438h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DISPC 1	DISPC 0	—	—	—	—	DIS3	DIS2	DIS1	DIS0
リセット後の値	1	1	1	1	1	1			1	1	1	1				
	リセット後の値						ユーザの設定値						ユーザの設定値			

ビット	シンボル	ビット名	機能	R/W
b0	DIS0	領域0無効	0: セキュリティ MPUの領域0は有効 1: セキュリティ MPUの領域0は無効	R
b1	DIS1	領域1無効	0: セキュリティ MPUの領域1は有効 1: セキュリティ MPUの領域1は無効	R
b2	DIS2	領域2無効	0: セキュリティ MPUの領域2は有効 1: セキュリティ MPUの領域2は無効	R
b3	DIS3	領域3無効	0: セキュリティ MPUの領域3は有効 1: セキュリティ MPUの領域3は無効	R
b7-b4	—	予約ビット	読むと1が読めます。フラッシュに書き込む場合、常に1としてください。	R
b8	DISPC0	PC領域0無効	0: セキュリティ MPUのPC領域0は有効 1: セキュリティ MPUのPC領域0は無効	R
b9	DISPC1	PC領域1無効	0: セキュリティ MPUのPC領域1は有効 1: セキュリティ MPUのPC領域1は無効	R
b15-b10	—	予約ビット	読むと1が読めます。フラッシュに書き込む場合、常に1としてください。	R

注. フラッシュメモリが消去されると、セキュリティ MPUは無効になります。

注. セキュリティ MPUを有効または無効にするには、15.6.2 メモリプロテクションを参照してください。

**DIS0 ビット (領域 0 無効)**

セキュリティ MPUの領域0を有効または無効にします。セキュリティ MPUの領域0を有効にすると、SECMPUS0レジスタとSECMPUE0レジスタで設定した範囲内のコードフラッシュ領域がセキュアデータとなります。

**DIS1 ビット (領域 1 無効)**

セキュリティ MPUの領域1を有効または無効にします。セキュリティ MPUの領域1を有効にすると、SECMPUS1レジスタとSECMPUE1レジスタで設定した範囲内のSRAM領域がセキュアデータとなります。

**DIS2 ビット (領域 2 無効)**

セキュリティ MPUの領域2を有効または無効にします。セキュリティ MPUの領域2を有効にすると、SECMPUS2レジスタとSECMPUE2レジスタで設定した範囲内のセキュリティ機能領域がセキュアデータとなります。

**DIS3 ビット (領域 3 無効)**

セキュリティ MPUの領域3を有効または無効にします。セキュリティ MPUの領域3を有効にすると、SECMPUS3レジスタとSECMPUE3レジスタで設定した範囲内のセキュリティ機能領域がセキュアデータとなります。

**DISPC0 ビット (PC 領域 0 無効)**

セキュリティ MPU PCの領域0を有効または無効にします。セキュリティ MPU PCの領域0を有効にすると、SECMPUPCS0レジスタとSECMPUPCE0レジスタで設定した範囲内のコードフラッシュ領域またはSRAM領域がセキュアプログラムで構成されます。

**DISPC1 ビット (PC 領域 1 無効)**

セキュリティ MPU PCの領域1を有効または無効にします。セキュリティ MPU PCの領域1を有効にすると、SECMPUPCS1レジスタとSECMPUPCE1レジスタで設定した範囲内のコードフラッシュ領域またはSRAM領域がセキュアプログラムで構成されます。

## 15.6.2 メモリプロテクション

セキュリティ MPU は、非セキュアプログラムからアクセスできないように領域（コードフラッシュ、SRAM、および2つのセキュリティ機能の領域）を保護します。保護領域に対するアクセスが検出されると、そのアクセスは無効になります。

セキュリティ MPU が有効の場合、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DISPC0 ビットまたは DISPC1 ビットを 0 にする必要があります。さらに、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DIS0、DIS1、DIS2、または DIS3 ビットを 0 にする必要があります。

セキュリティ MPU が無効の場合、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DISPC0、DISPC1、DIS0、DIS1、DIS2、および DIS3 ビットをすべて 1 にする必要があります。セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の上記以外の設定は禁止です。

セキュリティ MPU は、以下の条件でアクセス保護を行います。

- セキュアデータが非セキュアプログラムからアクセスされる時
- セキュアデータが CPU 以外 (DMAC、DTC) からアクセスされる時
- セキュアデータがデバッガからアクセスされる時

セキュアデータは、セキュアプログラムからのみアクセス可能です。

注.	セキュアプログラム :	SECMPUPCS0 レジスタと SECMPUPCE0 レジスタで設定した範囲内にあるコードフラッシュ領域または SRAM 領域 SECMPUPCS1 レジスタと SECMPUPCE1 レジスタで設定した範囲内にあるコードフラッシュ領域または SRAM 領域
	非セキュアプログラム :	セキュアプログラム領域外の全領域
	セキュアデータ :	SECMPUS0 レジスタと SECMPUE0 レジスタで設定した範囲内にあるコードフラッシュ領域 SECMPUS1 レジスタと SECMPUE1 レジスタで設定した範囲内にある SRAM 領域 SECMPUS2 レジスタと SECMPUE2 レジスタで設定した範囲内にあるセキュリティ機能領域 SECMPUS3 レジスタと SECMPUE3 レジスタで設定した範囲内にあるセキュリティ機能領域



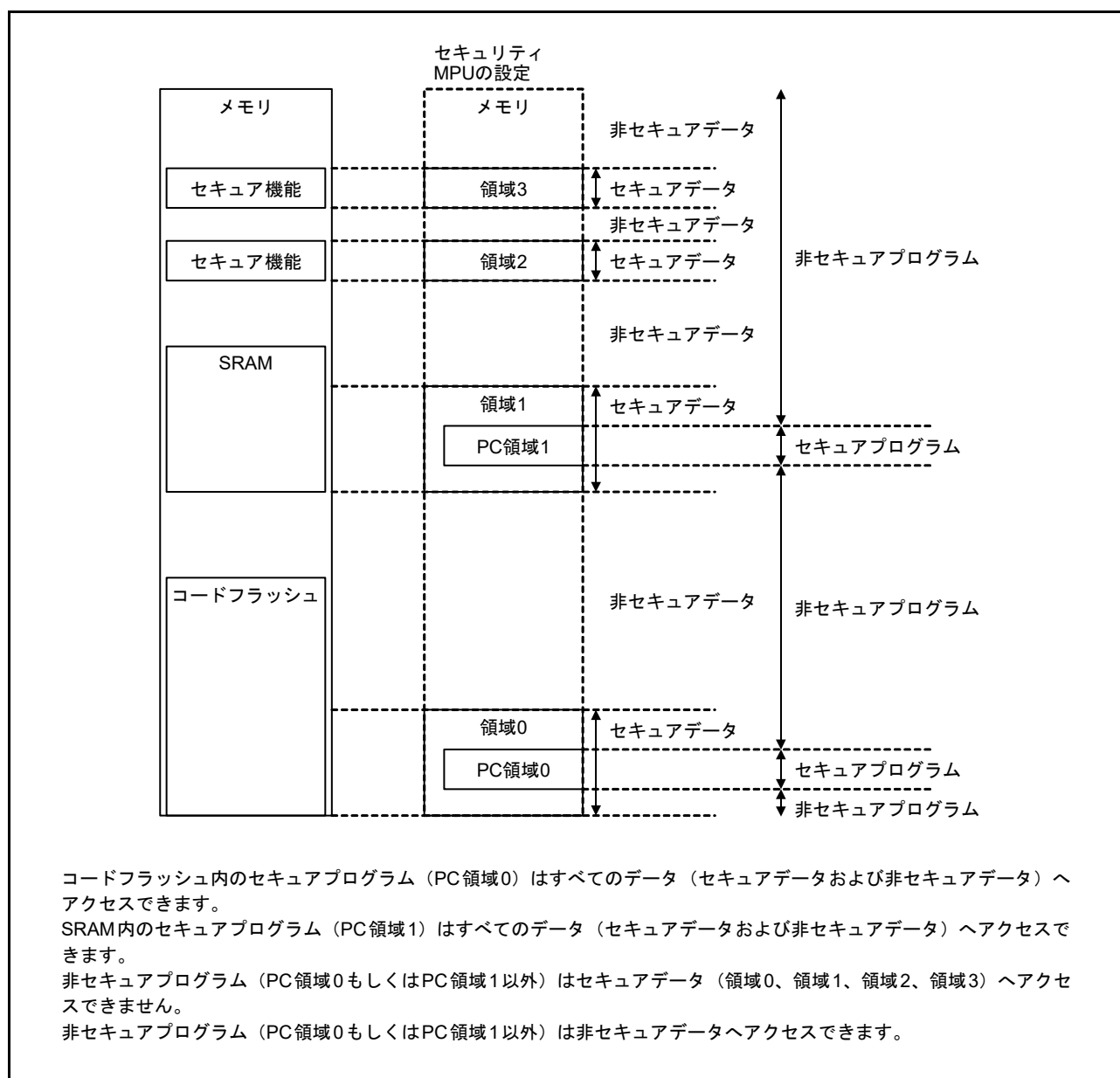


図 15.11 セキュリティ MPU の使用例

### 15.6.3 使用上の注意事項

セキュリティ MPU を有効にすると、保護されたメモリをデバッグできません。セキュアプログラムをデバッグするには、セキュリティ MPU を無効にしてください。

### 15.7 参考資料

1. ARM<sup>®</sup>v7-M Architecture Reference Manual (ARM DDI 0403D)
2. ARM<sup>®</sup> Cortex<sup>®</sup>-M4 Processor Technical Reference Manual (ARM DDI 0439D)
3. ARM<sup>®</sup> Cortex<sup>®</sup>-M4 Devices Generic User Guide (ARM DUI 0553A)

## 16. DMAコントローラ (DMAC)

### 16.1 概要

本MCUは、8チャンネルのDMAコントローラ(DMAC)を内蔵しており、CPUを介さずにデータ転送が可能です。DMA転送要求が発生すると、DMACは転送元アドレスに格納されているデータを転送先アドレスへ転送します。

表 16.1 に DMAC の仕様を、図 16.1 にブロック図を示します。

表 16.1 DMACの仕様

項目		内容
チャンネル数		8チャンネル (DMACm, m = 0 ~ 7)
転送空間		4Gバイト (0000 0000h ~ FFFF FFFFhのうち、予約領域を除く領域)
最大転送データ数		64Mデータ (ブロック転送モードにおける最大総転送数: 1024データ × 65536ブロック)
DMA起動要因		チャンネルごとに選択可能 <ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>周辺モジュールからの割り込み要求/外部割り込み入力端子からのトリガ (注1)</li> </ul>
チャンネル優先順位		チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3... > チャンネル7 (チャンネル0: 最優先)
転送データ	1データ	ビット長: 8ビット、16ビット、32ビット
	ブロックサイズ	データ数: 1 ~ 1024データ
転送モード	ノーマル転送モード	<ul style="list-style-type: none"> <li>1回のDMA転送要求で1データを転送</li> <li>総データ転送数を指定しない設定 (フリーランニングモード) を選択可能</li> </ul>
	リピート転送モード	<ul style="list-style-type: none"> <li>1回のDMA転送要求で1データを転送</li> <li>転送元または転送先に指定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰</li> <li>設定可能な最大リピートサイズ: 1024</li> </ul>
	ブロック転送モード	<ul style="list-style-type: none"> <li>1回のDMA転送要求で1ブロックを転送</li> <li>設定可能な最大ブロックサイズ: 1024データ</li> </ul>
選択機能	拡張リピート領域機能	<ul style="list-style-type: none"> <li>転送アドレスレジスタの上位ビット値を固定したまま、特定範囲のアドレスを繰り返すことでデータ転送が可能</li> <li>拡張リピート領域は2バイトから128Mバイトまで転送元、転送先別に設定可能</li> </ul>
割り込み要求 (DMACm_INT)	転送終了割り込み	転送カウンタで設定したデータ数の転送終了時に発生
	転送エスケープ終了割り込み	下記の条件で発生 <ul style="list-style-type: none"> <li>リピートサイズ分のデータ転送を終了したとき</li> <li>拡張リピート領域の転送元アドレスがオーバーフローしたとき</li> <li>拡張リピート領域の転送先アドレスがオーバーフローしたとき</li> </ul>
イベントリンク起動 (DMACm_INT)		各データ転送後 (ブロックの場合は各ブロック転送後)、イベントリンク要求を発生
モジュールストップ機能		モジュールストップ状態に設定して消費電力を削減

注 1. DMACの起動要因については、「13. 割り込みコントローラユニット (ICU)」の表 13.3 割り込みベクタテーブルを参照してください。

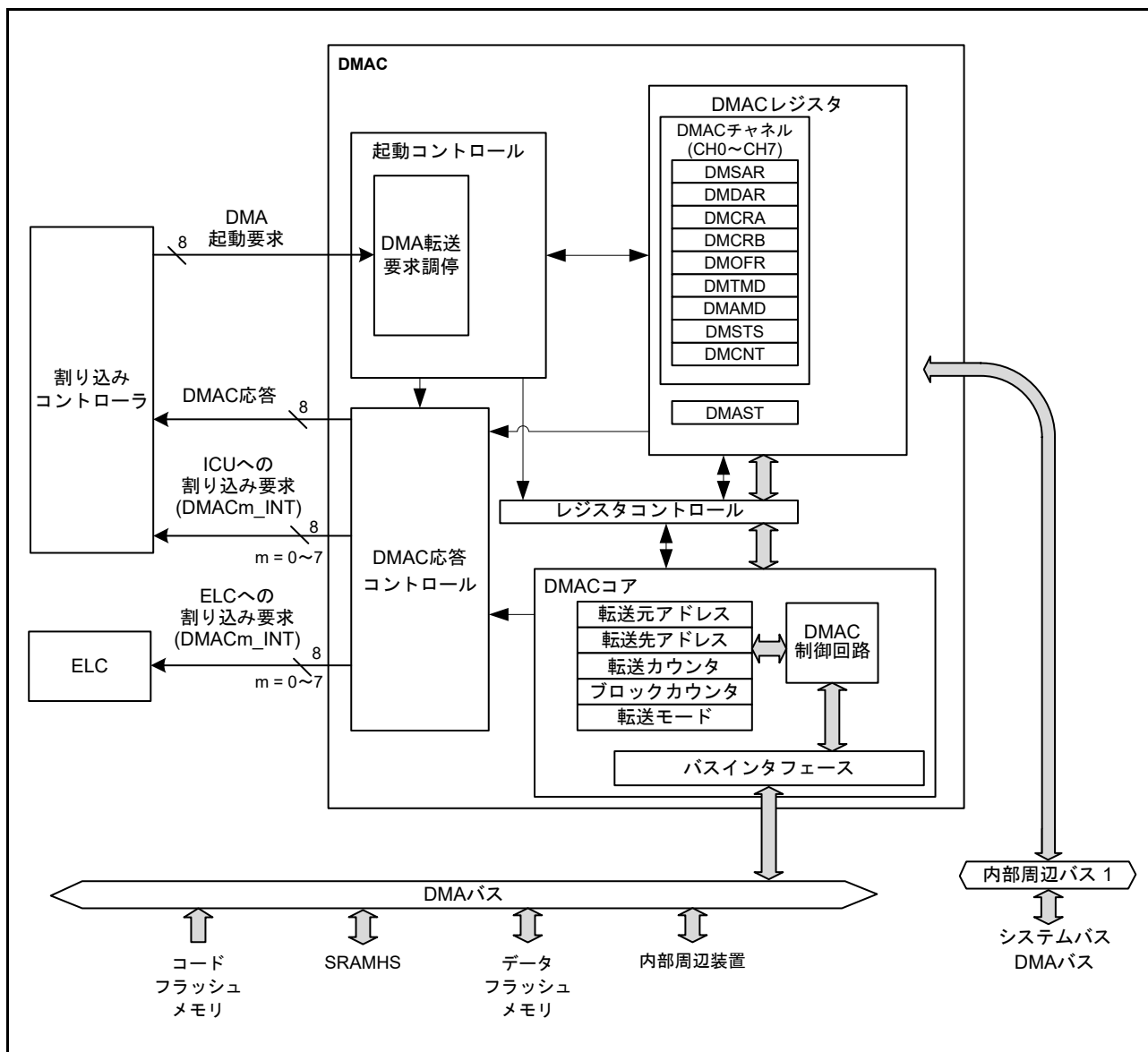
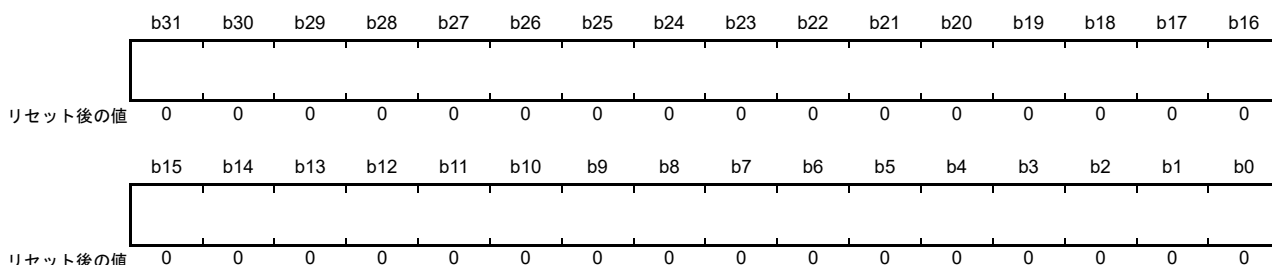


図 16.1 DMAC のブロック図

## 16.2 レジスタの説明

### 16.2.1 DMA 転送元アドレスレジスタ (DMSAR)

アドレス [DMAC0.DMSAR 4000 5000h](#), [DMAC1.DMSAR 4000 5040h](#), [DMAC2.DMSAR 4000 5080h](#), [DMAC3.DMSAR 4000 50C0h](#),  
[DMAC4.DMSAR 4000 5100h](#), [DMAC5.DMSAR 4000 5140h](#), [DMAC6.DMSAR 4000 5180h](#), [DMAC7.DMSAR 4000 51C0h](#)



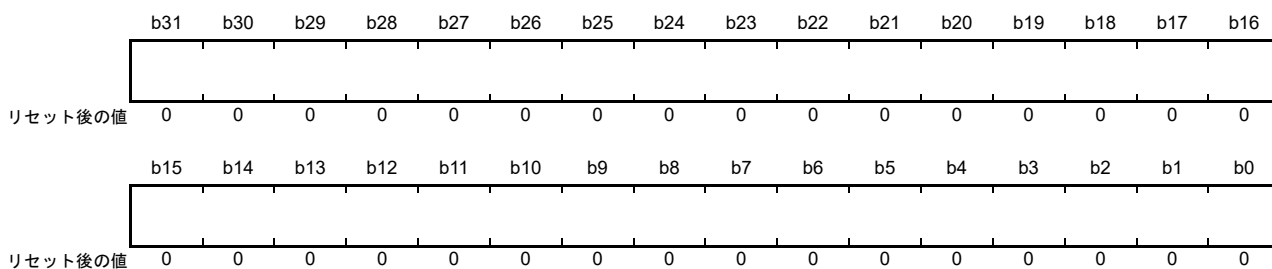
ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	0000 0000h~FFFF FFFFh (4Gバイト)	R/W

DMSAR レジスタは、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD レジスタの SZ ビットで選択した転送データサイズ値と一致している必要があります。

### 16.2.2 DMA 転送先アドレスレジスタ (DMDAR)

アドレス [DMAC0.DMDAR 4000 5004h](#), [DMAC1.DMDAR 4000 5044h](#), [DMAC2.DMDAR 4000 5084h](#), [DMAC3.DMDAR 4000 50C4h](#),  
[DMAC4.DMDAR 4000 5104h](#), [DMAC5.DMDAR 4000 5144h](#), [DMAC6.DMDAR 4000 5184h](#), [DMAC7.DMDAR 4000 51C4h](#)



ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	0000 0000h~FFFF FFFFh (4Gバイト)	R/W

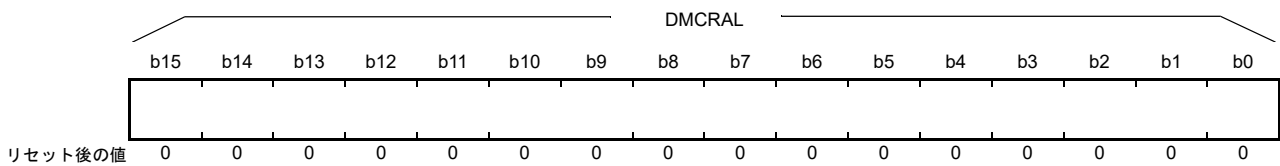
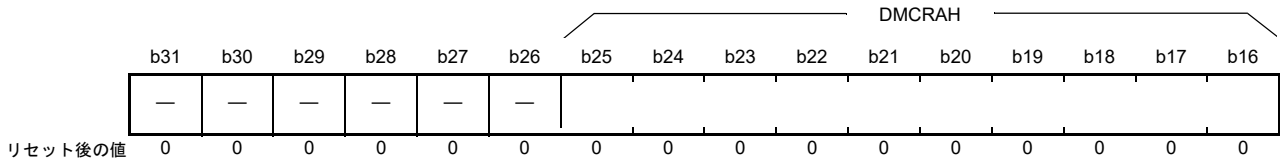
DMDAR レジスタは、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD レジスタの SZ ビットで選択した転送データサイズ値と一致している必要があります。

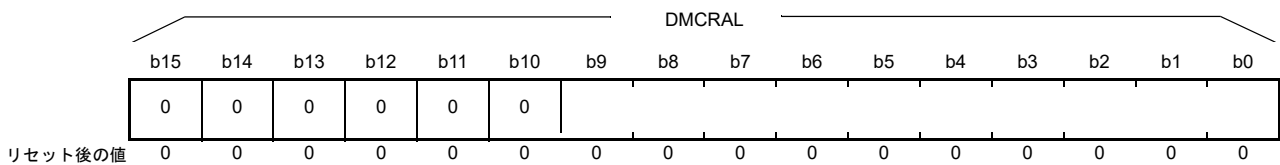
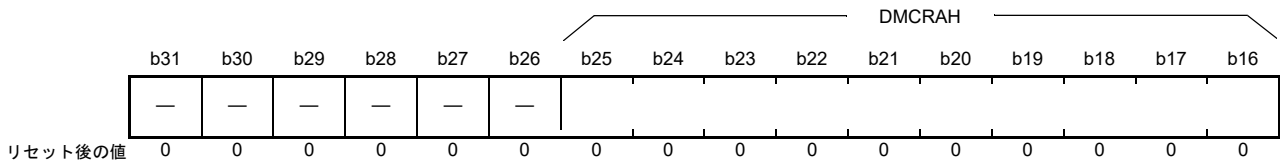
### 16.2.3 DMA 転送カウントレジスタ (DMCRA)

アドレス [DMAC0.DMCRA 4000 5008h](#), [DMAC1.DMCRA 4000 5048h](#), [DMAC2.DMCRA 4000 5088h](#), [DMAC3.DMCRA 4000 50C8h](#)  
[DMAC4.DMCRA 4000 5108h](#), [DMAC5.DMCRA 4000 5148h](#), [DMAC6.DMCRA 4000 5188h](#), [DMAC7.DMCRA 4000 51C8h](#)

#### • ノーマル転送モード



#### • リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAL	転送カウント下位ビット	転送回数を設定	R/W
DMCRAH	転送カウント上位ビット		R/W

注. リピート転送モードとブロック転送モードでは、DMCRAH レジスタと DMCRAL レジスタに同じ値を設定してください。

#### (1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

ノーマル転送モードでは、DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65535 回となります。1 回のデータ転送を行うたびにデクリメント (-1) されます。設定値が 0000h のときは転送回数の指定なしとなり、転送カウンタが停止した状態でデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは、DMCRAH レジスタを使用しないでください。DMCRAH レジスタへは 0000h を書いてください。

#### (2) リピート転送モード (DMACm.DMTMD.MD[1:0] ビット = 01b) のとき

リピート転送モードでは、DMCRAH レジスタはリピートサイズを指定し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。転送回数は、設定値が 001h のときは 1 回、3FFh のときは 1023 回、000h のときは 1024 回となります。このモードでは、DMCRAH レジスタと DMCRAL レジスタの設定可能範囲は、000h ~ 3FFh (1 ~ 1024 回) です。

DMCRAL レジスタのビット [15:10] の設定値は無効です。これらのビットには 0 を書いてください。DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (-1) され、000h になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。

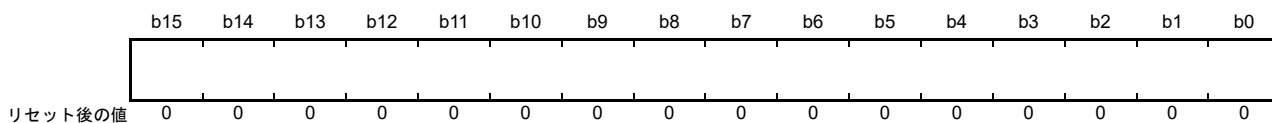
### (3) ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき

ブロック転送モードでは、DMCRAHレジスタはブロックサイズを指定し、DMCRALレジスタは10ビットのブロックサイズカウンタとして機能します。設定値が001hのときはブロックサイズ1、3FFhのときはブロックサイズ1023、000hのときはブロックサイズ1024となります。このモードでは、DMCRAHレジスタとDMCRALレジスタの設定可能範囲は、000h～3FFhです。

DMCRALレジスタのビット[15:10]の設定値は無効です。これらのビットには0を書いてください。DMCRALレジスタは1回のデータ転送を行うたびにデクリメント(-1)され、000hになるとDMCRAHレジスタの値がDMCRALレジスタにロードされます。

## 16.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス DMAC0.DMCRB 4000 500Ch, DMAC1.DMCRB 4000 504Ch, DMAC2.DMCRB 4000 508Ch, DMAC3.DMCRB 4000 50CCh, DMAC4.DMCRB 4000 510Ch, DMAC5.DMCRB 4000 514Ch, DMAC6.DMCRB 4000 518Ch, DMAC7.DMCRB 4000 51CCh



ビット	機能	設定範囲	R/W
b15-b0	ブロック転送回数またはリピート転送回数を設定	0001h ~ FFFFh (1 ~ 65535回) 0000h (65536回)	R/W

DMCRB レジスタは、ブロック転送モード時とリピート転送モード時の転送回数を指定するレジスタです。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65535 回、0000h のときは 65536 回となります。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (-1) されます。ブロック転送モードの場合、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モードでは、設定は無効ですので、DMCRB レジスタは使用しないでください。

## 16.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス DMAC0.DMTMD 4000 5010h, DMAC1.DMTMD 4000 5050h, DMAC2.DMTMD 4000 5090h, DMAC3.DMTMD 4000 50D0h,  
DMAC4.DMTMD 4000 5110h, DMAC5.DMTMD 4000 5150h, DMAC6.DMTMD 4000 5190h, DMAC7.DMTMD 4000 51D0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値															
0		0		0	0	0		0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求元選択	b1 b0 0 0: ソフトウェア 0 1: 周辺モジュールまたは外部割り込み入力端子からの割り込み (注1) 1 0: 設定禁止 1 1: 設定禁止	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	SZ[1:0]	データ転送サイズ選択	b9 b8 0 0: 8ビット 0 1: 16ビット 1 0: 32ビット 1 1: 設定禁止	R/W
b11-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	DTS[1:0]	リピート領域選択	b13 b12 0 0: 転送先をリピート領域またはブロック領域に設定 0 1: 転送元をリピート領域またはブロック領域に設定 1 0: リピート領域、ブロック領域の設定なし 1 1: 設定禁止	R/W
b15-b14	MD[1:0]	転送モード選択	b15 b14 0 0: ノーマル転送 0 1: リピート転送 1 0: ブロック転送 1 1: 設定禁止	R/W

注1. DMACの起動要因を選択するには、ICU.DELSRn レジスタを使用してください。DMACの起動要因については、「13. 割り込みコントローラユニット (ICU)」の表 13.4 イベントテーブルを参照してください。

## DTS[1:0] ビット (リピート領域選択)

転送元または転送先を、リピート転送モードではリピート領域、ブロック転送モードではブロック領域として選択します。ノーマル転送モードでは、これらのビットの設定値は無効です。



## 16.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス **DMAC0.DMINT 4000 5013h, DMAC1.DMINT 4000 5053h, DMAC2.DMINT 4000 5093h, DMAC3.DMINT 4000 50D3h, DMAC4.DMINT 4000 5113h, DMAC5.DMINT 4000 5153h, DMAC6.DMINT 4000 5193h, DMAC7.DMINT 4000 51D3h**

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピート領域 オーバーフロー割り込み許可	0: 禁止 1: 許可	R/W
b1	SARIE	転送元アドレス拡張リピート領域 オーバーフロー割り込み許可	0: 禁止 1: 許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可	0: 禁止 1: 許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可	0: 禁止 1: 許可	R/W
b4	DTIE	転送終了割り込み許可	0: 禁止 1: 許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

### DARIE ビット (転送先アドレス拡張リピート領域オーバーフロー割り込み許可)

DARIE ビットが1のとき、転送先アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが0になります。同時に DMSTS.ESIF フラグが1になり、転送先アドレスの拡張リピート領域オーバーフローによって割り込み要求がトリガされたことを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1ブロック分のデータ転送終了後に割り込みが発生します。割り込みにより転送を終了したチャンネルの DMACm.DMCNT.DTE ビットを1にすると、転送終了時の状態から再び転送を開始することが可能です。転送先アドレスに拡張リピート領域を設定していない場合、このビットは無視されます。

### SARIE ビット (転送元アドレス拡張リピート領域オーバーフロー割り込み許可)

SARIE ビットが1のとき、転送元アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが0になります。同時に DMSTS.ESIF フラグが1になり、転送元アドレスの拡張リピート領域オーバーフローによって割り込み要求がトリガされたことを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1ブロック分のデータ転送終了後に割り込みが発生します。割り込みにより転送を終了したチャンネルの DMACm.DMCNT.DTE ビットを1にすると、転送終了時の状態から再び転送を開始することが可能です。転送元アドレスに拡張リピート領域を設定していない場合、このビットは無視されます。

### RPTIE ビット (リピートサイズ終了割り込み許可)

リピート転送モードにおいて RPTIE ビットを1にすると、1リピートサイズ分の転送終了後に DMCNT.DTE ビットを0にクリアします。同時に DMSTS.ESIF フラグが1になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットを10b (リピート領域、ブロック領域の指定なし) にしたときも、リピートサイズ終了割り込み要求が発生させることができます。

RPTIE ビットをブロック転送モードで1にしたときも、リピート転送モードの場合と同様に1ブロック分のデータ転送終了後に DMCNT.DTE ビットを0にクリアします。同時に DMSTS.ESIF フラグが1になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットを10b (リピート領域、ブロック領域の指定なし) にしたときも、リピートサイズ終了割り込み要求が発生させることができます。

**ESIE ビット (転送エスケープ終了割り込み許可)**

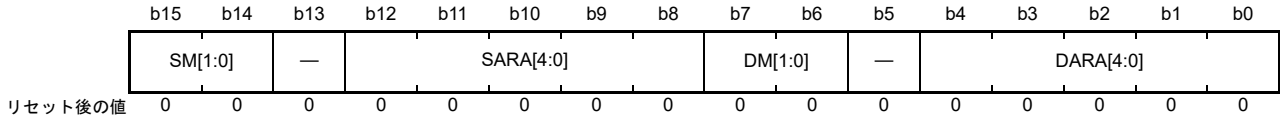
DMA 転送中に発生した転送エスケープ終了割り込み要求 (リピートサイズ終了割り込み要求、拡張リピート領域オーバーフロー割り込み要求) を許可します。このビットが 1 がかつ DMSTS.ESIF フラグが 1 のときに割り込みが発生します。転送エスケープ終了割り込みを解除するには、このビットまたは DMSTS.ESIF フラグを 0 にします。

**DTIE ビット (転送終了割り込み許可)**

指定した回数のデータ転送が終了したときに発生する転送終了割り込み要求を許可します。このビットが 1 がかつ DMSTS.DTIF フラグが 1 のときに割り込みが発生します。転送終了割り込みを解除するには、このビットまたは DMSTS.DTIF フラグを 0 にします。

## 16.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 4000 5014h, DMAC1.DMAMD 4000 5054h, DMAC2.DMAMD 4000 5094h, DMAC3.DMAMD 4000 50D4h, DMAC4.DMAMD 4000 5114h, DMAC5.DMAMD 4000 5154h, DMAC6.DMAMD 4000 5194h, DMAC7.DMAMD 4000 51D4h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピート領域設定	転送先アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 16.2 を参照してください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定	b7 b6 0 0: アドレス固定 0 1: オフセット加算 1 0: インクリメント 1 1: デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピート領域設定	転送元アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 16.2 を参照してください。	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定	b15 b14 0 0: アドレス固定 0 1: オフセット加算 1 0: インクリメント 1 1: デクリメント	R/W

## DARA[4:0] ビット (転送先アドレス拡張リピート領域設定)

転送先アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128M バイトまで設定可能です。設定間隔は2 のべき乗バイト単位です。アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMACm.DMTMD.DTS[1:0] = 00b (転送先にリピート領域またはブロック領域を設定) であれば、DARA[4:0] ビットには 00000b を書いてください。

拡張リピート領域にオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.DARIE ビットを 1 にします。表 16.2 には、各設定値に対応した拡張リピート領域が示されています。

## DM[1:0] ビット (転送先アドレス更新モード設定)

転送先アドレスの更新モードを選択します。

- インクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされる
- デクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされる
- オフセット加算を選択した場合、DMACm.DMOFR レジスタで設定したオフセット値をアドレスに加算

**SARA[4:0] ビット (転送元アドレス拡張リピート領域設定)**

転送元アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMACm.DMTMD.DTS[1:0] = 01b (転送元にリピート領域またはブロック領域を設定) であれば、SARA[4:0] ビットには 00000b を書いてください。

拡張リピート領域にオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.SARIE ビットを 1 にします。表 16.2 には、各設定値に対応した拡張リピート領域が示されています。

**SM[1:0] ビット (転送元アドレス更新モード設定)**

転送元アドレスの更新モードを選択します。

- インクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされる
- デクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされる
- オフセット加算を選択した場合、DMACm.DMOFR レジスタで設定したオフセット値をアドレスに加算

**表 16.2 SARA[4:0] または DARA[4:0] の設定値と対応するリピート領域 (1/2)**

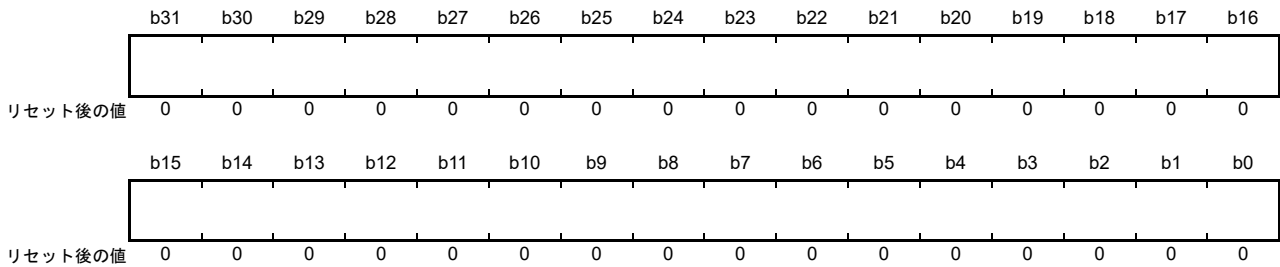
SARA[4:0] または DARA[4:0]	拡張リピート領域
00000b	拡張リピート領域を設定しない
00001b	当該アドレスの下位 1 ビット (2 バイト) を拡張リピート領域に設定
00010b	当該アドレスの下位 2 ビット (4 バイト) を拡張リピート領域に設定
00011b	当該アドレスの下位 3 ビット (8 バイト) を拡張リピート領域に設定
00100b	当該アドレスの下位 4 ビット (16 バイト) を拡張リピート領域に設定
00101b	当該アドレスの下位 5 ビット (32 バイト) を拡張リピート領域に設定
00110b	当該アドレスの下位 6 ビット (64 バイト) を拡張リピート領域に設定
00111b	当該アドレスの下位 7 ビット (128 バイト) を拡張リピート領域に設定
01000b	当該アドレスの下位 8 ビット (256 バイト) を拡張リピート領域に設定
01001b	当該アドレスの下位 9 ビット (512 バイト) を拡張リピート領域に設定
01010b	当該アドレスの下位 10 ビット (1K バイト) を拡張リピート領域に設定
01011b	当該アドレスの下位 11 ビット (2K バイト) を拡張リピート領域に設定
01100b	当該アドレスの下位 12 ビット (4K バイト) を拡張リピート領域に設定
01101b	当該アドレスの下位 13 ビット (8K バイト) を拡張リピート領域に設定
01110b	当該アドレスの下位 14 ビット (16K バイト) を拡張リピート領域に設定
01111b	当該アドレスの下位 15 ビット (32K バイト) を拡張リピート領域に設定
10000b	当該アドレスの下位 16 ビット (64K バイト) を拡張リピート領域に設定
10001b	当該アドレスの下位 17 ビット (128K バイト) を拡張リピート領域に設定
10010b	当該アドレスの下位 18 ビット (256K バイト) を拡張リピート領域に設定
10011b	当該アドレスの下位 19 ビット (512K バイト) を拡張リピート領域に設定
10100b	当該アドレスの下位 20 ビット (1M バイト) を拡張リピート領域に設定
10101b	当該アドレスの下位 21 ビット (2M バイト) を拡張リピート領域に設定
10110b	当該アドレスの下位 22 ビット (4M バイト) を拡張リピート領域に設定

表 16.2 SARA[4:0]またはDARA[4:0]の設定値と対応するリピート領域 (2/2)

SARA[4:0]またはDARA[4:0]	拡張リピート領域
10111b	当該アドレスの下位23ビット (8Mバイト) を拡張リピート領域に設定
11000b	当該アドレスの下位24ビット (16Mバイト) を拡張リピート領域に設定
11001b	当該アドレスの下位25ビット (32Mバイト) を拡張リピート領域に設定
11010b	当該アドレスの下位26ビット (64Mバイト) を拡張リピート領域に設定
11011b	当該アドレスの下位27ビット (128Mバイト) を拡張リピート領域に設定
11100b~11111b	設定禁止

### 16.2.8 DMA オフセットレジスタ (DMOFR)

アドレス [DMAC0.DMOFR 4000 5018h](#), [DMAC1.DMOFR 4000 5058h](#), [DMAC2.DMOFR 4000 5098h](#), [DMAC3.DMOFR 4000 50D8h](#),  
[DMAC4.DMOFR 4000 5118h](#), [DMAC5.DMOFR 4000 5158h](#), [DMAC6.DMOFR 4000 5198h](#), [DMAC7.DMOFR 4000 51D8h](#)

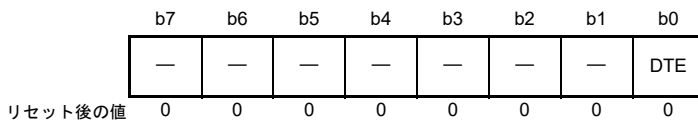


ビット	機能	設定範囲	R/W
b31-b0	転送元または転送先のアドレス更新モードとしてオフセット加算が選択されている場合、そのオフセット値を設定	0000 0000h ~ 00FF FFFFh (0バイト ~ (16M - 1)バイト) FF00 0000h ~ FFFF FFFFh (-16Mバイト ~ -1バイト)	R/W

このレジスタへの書き込みは、データ転送中ではなく、DMAC 動作停止中または DMA 転送が禁止されているときに行ってください。[31:25] ビットの設定は無効です。[24] ビットの値が [31:25] ビットへ拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

### 16.2.9 DMA 転送イネーブルレジスタ (DMCNT)

アドレス [DMAC0.DMCNT 4000 501Ch](#), [DMAC1.DMCNT 4000 505Ch](#), [DMAC2.DMCNT 4000 509Ch](#), [DMAC3.DMCNT 4000 50DCh](#),  
[DMAC4.DMCNT 4000 511Ch](#), [DMAC5.DMCNT 4000 515Ch](#), [DMAC6.DMCNT 4000 519Ch](#), [DMAC7.DMCNT 4000 51DCh](#)



ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA 転送許可	0 : 禁止 1 : 許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### DTE ビット (DMA 転送許可)

DMA 転送を許可します。DMA 転送を許可するには、DMAST.DMST ビットを 1 (DMAC 起動許可) にした後、DTE ビットを 1 (対応するチャンネルの DMA 転送許可) にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- 設定されたデータ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき

## 16.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 4000 501Dh, DMAC1.DMREQ 4000 505Dh, DMAC2.DMREQ 4000 509Dh, DMAC3.DMREQ 4000 50DDh, DMAC4.DMREQ 4000 511Dh, DMAC5.DMREQ 4000 515Dh, DMAC6.DMREQ 4000 519Dh, DMAC7.DMREQ 4000 51DDh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CLRS	—	—	—	SWREQ
0	0	0	0	0	0	0	0

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動	0: DMA転送要求なし 1: DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	CLRS	DMAソフトウェア起動ビット自動クリア選択	0: ソフトウェアによるDMA転送開始後にSWREQビットをクリアする 1: ソフトウェアによるDMA転送開始後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## SWREQ ビット (DMA ソフトウェア起動)

SWREQ ビットを1にするとDMA転送要求が発生します。DMA転送の開始後、CLRS ビットが0の場合、SWREQ ビットは0にクリアされます。CLRS ビットが1の場合、SWREQ ビットはクリアされません。DMA転送要求は、転送終了後に再発行できます。

注. DMTMD.DCTG[1:0] ビットが00b (DMA 起動要因がソフトウェア) になっている場合のみ、このビットの設定が有効となり、ソフトウェアによるDMA転送が可能となります。DMTMD.DCTG[1:0] ビットが00b以外になっている場合、このビットの設定は無効です。

CLRS ビットが0の状態ではソフトウェアによるDMA転送を行う場合、SWREQ ビットが0であることを確認してからSWREQ ビットに1を書いてください。

[1になる条件]

- 1を書いたとき

[0になる条件]

- CLRS ビットが0 (ソフトウェアによるDMA転送開始後にSWREQ ビットをクリアする) の場合に、ソフトウェアによるDMA転送要求が受け付けられてDMA転送が開始したとき
- 0を書いたとき

## CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

SWREQ ビットを1にして転送要求が発生させた場合、DMA転送が開始された後にSWREQ ビットを0にするか否かを設定します。CLRS ビットを0にすると、DMA転送の開始後、SWREQ ビットは0になります。CLRS ビットを1にすると、SWREQ ビットは0になりません。DMA転送要求は、転送終了後に再発行できます。

## 16.2.11 DMA ステータスレジスタ (DMSTS)

アドレス [DMAC0.DMSTS 4000 501Eh](#), [DMAC1.DMSTS 4000 505Eh](#), [DMAC2.DMSTS 4000 509Eh](#), [DMAC3.DMSTS 4000 50DEh](#),  
[DMAC4.DMSTS 4000 511Eh](#), [DMAC5.DMSTS 4000 515Eh](#), [DMAC6.DMSTS 4000 519Eh](#), [DMAC7.DMSTS 4000 51DEh](#)

b7	b6	b5	b4	b3	b2	b1	b0
ACT	—	—	DTIF	—	—	—	ESIF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ終了割り込みフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b4	DTIF	転送終了割り込みフラグ	0 : 割り込み発生なし 1 : 割り込み発生あり	R/W (注1)
b6-b5	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b7	ACT	DMA アクティブフラグ	0 : DMACが停止中 1 : DMACが動作中	R

注1. フラグをクリアするための0の書き込みのみ可能です。

**ESIF フラグ (転送エスケープ終了割り込みフラグ)**

転送エスケープ終了割り込みが発生したことを示します。

[1になる条件]

- リピート転送モードにおいて、DMINT.RPTIE ビットが1の状態での1リピートサイズ分のデータ転送が終了したとき
- ブロック転送モードにおいて、DMINT.RPTIE ビットが1の状態での1ブロック分のデータ転送が終了したとき
- DMINT.SARIE ビットが1であり、かつ DMAMD.SARA[4:0] ビットが00000b以外(転送元アドレスに拡張リピート領域を設定)の状態、転送元アドレスに拡張リピート領域オーバーフローが発生したとき
- DMINT.DARIE ビットが1であり、かつ DMAMD.DARA[4:0] ビットが00000b以外(転送先アドレスに拡張リピート領域を設定)の状態、転送先アドレスに拡張リピート領域オーバーフローが発生したとき

[0になる条件]

- 0を書いたとき
- DMCNT.DTE ビットに1を書いたとき

**DTIF フラグ (転送終了割り込みフラグ)**

転送終了割り込みが発生したことを示します。

[1になる条件]

- ノーマル転送モードにおいて、指定した回数のデータ転送が終了したとき (DMCRAL レジスタの値が0になり転送が終了したとき)
- リピート転送モードにおいて、指定した回数のリピート転送が終了したとき (DMCRB レジスタの値が0になり転送が終了したとき)
- ブロック転送モードにおいて、指定したブロック数の転送が終了したとき (DMCRB レジスタの値が0になり転送が終了したとき)



[0になる条件]

- 0を書いたとき
- DMCNT.DTE ビットに1を書いたとき

#### **ACT フラグ (DMA アクティブフラグ)**

DMAC がアイドル状態であるか、または動作中であることを示します。

[1になる条件]

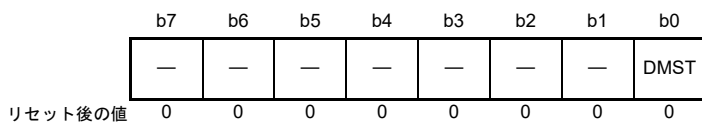
- DMAC がデータ転送を開始したとき

[0になる条件]

- 1 転送要求に対するデータ転送が終了したとき

## 16.2.12 DMAC モジュール起動レジスタ (DMAST)

アドレス DMA.DMAST 4000 5200h



ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC 動作許可	0: 禁止 1: 許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**DMST ビット (DMAC 動作許可)**

DMST ビットを 1 にすると、DMAC 全チャネルの起動が許可されます。DMST ビットを 1 (DMAC 起動許可) にした場合、複数チャネルの DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にすることで、対応する全チャネルが同時に転送要求受け付け可能状態になります。

DMA 転送中に DMST ビットを 0 にすると、実行中の 1 転送要求に対するデータ転送が終了した後、DMA 転送が一時停止します。DMA 転送を再開するには、再度 DMST ビットを 1 にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき

## 16.3 動作説明

### 16.3.1 転送モード

#### (1) ノーマル転送モード

ノーマル転送モードでは、1転送要求に対して1データの転送を行います。DMACm.DMCRALレジスタで転送回数を最大65535回まで指定できます。また、DMACm.DMCRALレジスタを0000hにすると、転送回数は指定なしとなり、転送カウンタが停止した状態でデータ転送を行います（フリーランニングモード）。フリーランニングモードの場合を除き、指定した転送回数の終了後に転送終了割り込み要求を発生させることが可能です。ノーマル転送モードでは、DMACm.DMCRBレジスタの設定は無効です。

ノーマル転送モードにおけるレジスタ更新動作を表16.3に示します。

表 16.3 ノーマル転送モードにおけるレジスタ更新動作

レジスタ	機能	1転送要求に対する転送終了後の更新動作
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算
DMACm.DMCRAL	転送カウンタ	1減算/更新なし（フリーランニングモード時）
DMACm.DMCRAH	-	更新なし（ノーマル転送モードでは使用しない）
DMACm.DMCRB	-	更新なし（ノーマル転送モードでは使用しない）

ノーマル転送モードにおける転送動作を図16.2に示します。

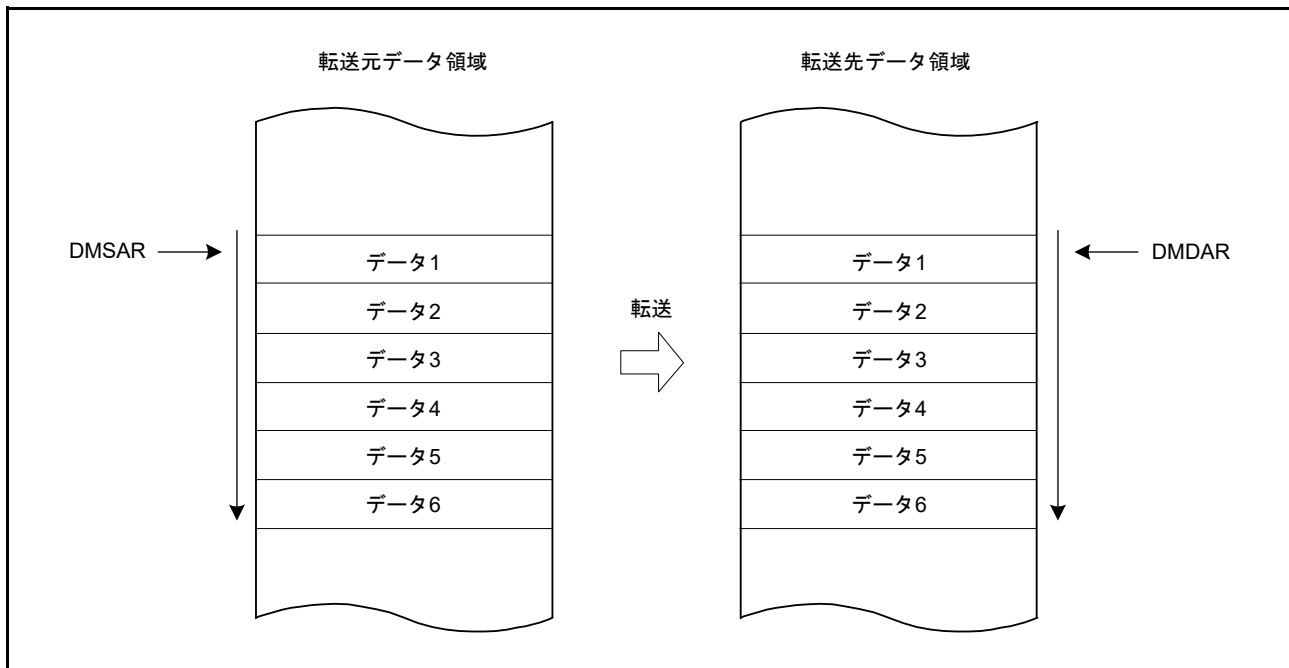


図 16.2 ノーマル転送モードにおける転送動作

## (2) リピート転送モード

リピート転送モードでは、1 転送要求に対して 1 データの転送を行います。DMACm.DMCRA レジスタで最大 1K データのリピート転送サイズを設定します。DMACm.DMCRB レジスタで最大 64K のリピート転送回数を設定します。総データ転送サイズは最大 64M データ単位 (1K データ単位 × 64K リピート転送動作) の設定が可能です。

転送元または転送先のどちらか一方をリピート領域に指定することが可能です。リピート領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、リピートサイズ分のデータ転送が終了すると、転送開始時のアドレスに復帰します。このモードでは、指定したリピートサイズ分のデータ転送が終了したとき、DMA 転送を停止させて、リピートサイズ終了割り込みを要求することが可能です。DMA 転送を再開させるには、リピートサイズ終了割り込み処理で DMACm.DMCNT.DTE ビットに 1 を書き込んでください。

また、指定したリピート転送回数の終了後に、転送終了割り込み要求を発生させることができます。

リピート転送モードにおけるレジスタ更新動作を [表 16.4](#) に、リピート転送モードにおける転送動作を [図 16.3](#) に示します。

**表 16.4** リピート転送モードにおけるレジスタ更新動作

レジスタ	機能	1 転送要求に対する転送終了後の更新動作	
		DMACm.DMCRAL レジスタが 1 以外するとき	DMACm.DMCRAL レジスタが 1 のとき (リピートサイズの最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算	<ul style="list-style-type: none"> <li>DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算</li> <li>DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSAR の初期値</li> <li>DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算</li> </ul>
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算	<ul style="list-style-type: none"> <li>DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDAR の初期値</li> <li>DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算</li> <li>DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算</li> </ul>
DMACm.DMCRAH	リピートサイズ	更新なし	更新なし
DMACm.DMCRAL	転送カウント	1 減算	DMACm.DMCRAH
DMACm.DMCRB	リピート転送回数のカウント	更新なし	1 減算

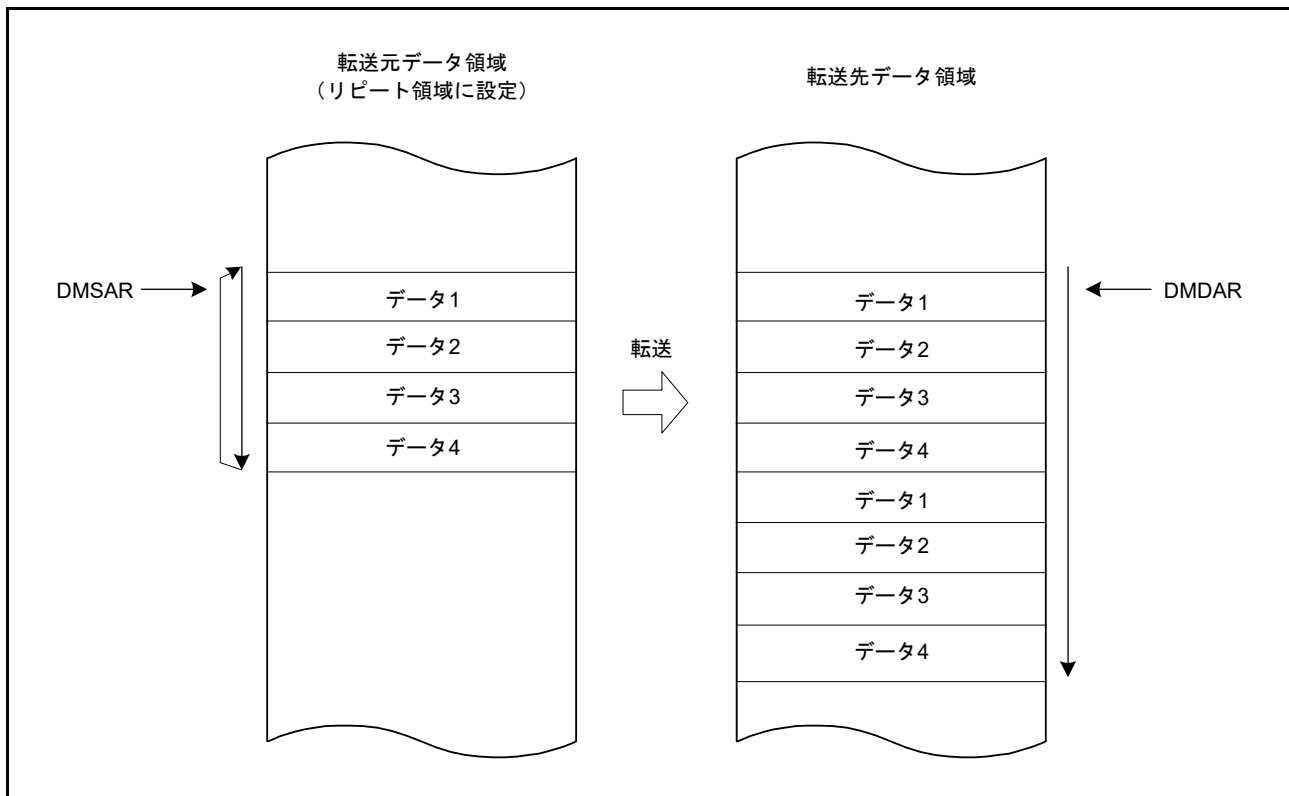


図 16.3 リピート転送モードにおける転送動作

### (3) ブロック転送モード

ブロック転送モードでは、1転送要求に対して1ブロックのデータ転送を行います。DMACm.DMCRAレジスタで最大1Kデータのブロックサイズを設定します。DMACm.DMCRBで最大64Kのブロック転送回数を設定します。総データ転送サイズは最大64Mデータ単位(1Kデータ単位×64Kブロック転送動作)の設定が可能です。

転送元または転送先のどちらか一方をブロック領域に指定することが可能です。ブロック領域に指定された方のアドレスレジスタ(DMACm.DMSARまたはDMACm.DMDAR)は、1ブロックのデータ転送が終了すると、転送開始時のアドレスに復帰します。このモードでは、1ブロックのすべてのデータ転送が終了したとき、DMA転送を停止させて、リピートサイズ終了割り込みを要求することが可能です。DMA転送を再開させるには、リピートサイズ終了割り込み処理でDMACm.DMCNT.DTEビットに1を書き込んでください。

また、指定したブロック転送回数の終了後に、転送終了割り込み要求を発生させることができます。

ブロック転送モードにおけるレジスタ更新動作を表16.5に、ブロック転送モードにおける転送動作を図16.4に示します。

表 16.5 ブロック転送モードにおけるレジスタ更新動作

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新動作
DMACm.DMSAR	転送元アドレス	<ul style="list-style-type: none"> <li>DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算</li> <li>DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値</li> <li>DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算</li> </ul>
DMACm.DMDAR	転送先アドレス	<ul style="list-style-type: none"> <li>DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値</li> <li>DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算</li> <li>DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算</li> </ul>
DMACm.DMCRAH	ブロックサイズ	更新なし
DMACm.DMCRAL	転送カウント	DMACm.DMCRAH
DMACm.DMCRB	ブロック転送回数のカウント	1減算

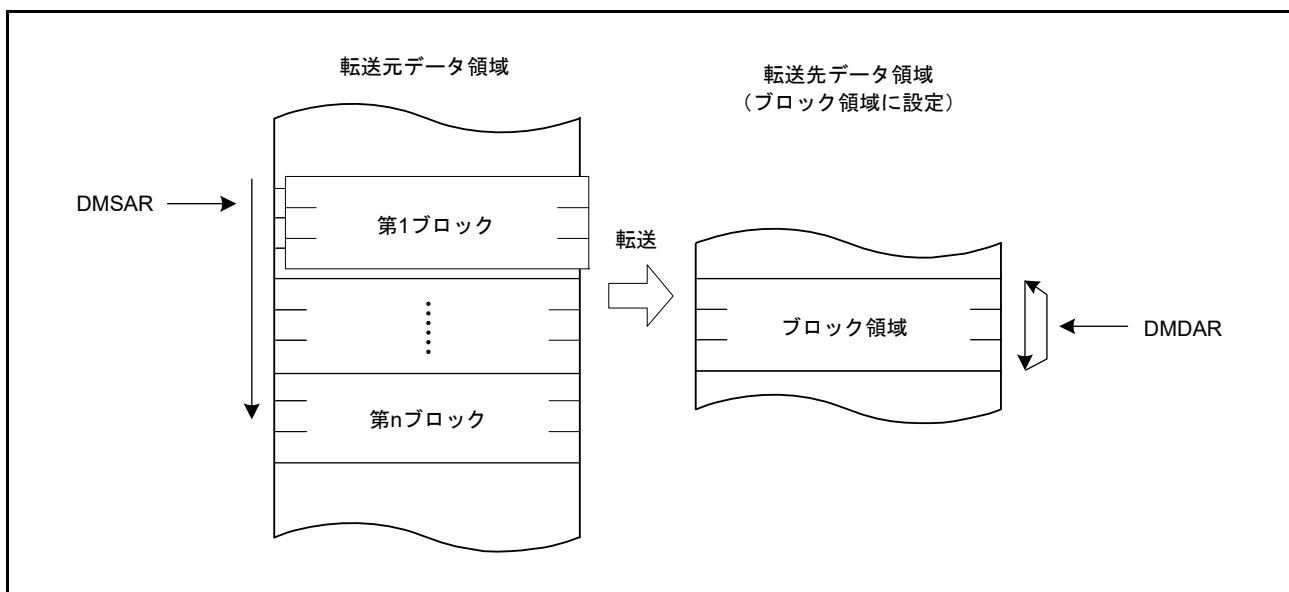


図 16.4 ブロック転送モードにおける転送動作

### 16.3.2 拡張リピート領域機能

DMACは転送元アドレスと転送先アドレスに対して拡張リピート領域をサポートしています。DMACm.DMSARレジスタ(転送元アドレスレジスタ)と、DMACm.DMDARレジスタ(転送先アドレスレジスタ)でそれぞれ個別に設定可能です。この機能を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。

転送元アドレスの拡張リピート領域は、DMACm.DMAMD.SARA[4:0]ビットで設定します。転送先アドレスの拡張リピート領域は、DMACm.DMAMD.DARA[4:0]ビットで設定します。転送元と転送先に異なるサイズの設定が可能です。ただし、リピート領域またはブロック領域として設定した転送元または転送先に、拡張リピート領域を設定することはできません。

アドレスレジスタの値が拡張リピート領域の終了アドレスに到達し、拡張リピート領域がオーバーフローすると、DMA転送を停止させて、拡張リピート領域オーバーフロー割り込み要求を発生させることができます。DMACm.DMINT.SARIEビットが1のとき、転送元の拡張リピート領域がオーバーフローすると、DMACm.DMSTS.ESIFフラグが1になり、DMACm.DMCNT.DTEビットを0にしてDMA転送を終了させます。このとき、DMACm.DMINT.ESIEビットが1になっていると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMACm.DMINT.DARIEビットが1の場合、この機能は転送先アドレスレジスタが対象になります。DMA転送を再開させるには、割り込み処理でDMACm.DMCNT.DTEビットに1を書き込んでください。

図 16.5 に、拡張リピート領域の動作例を示します。

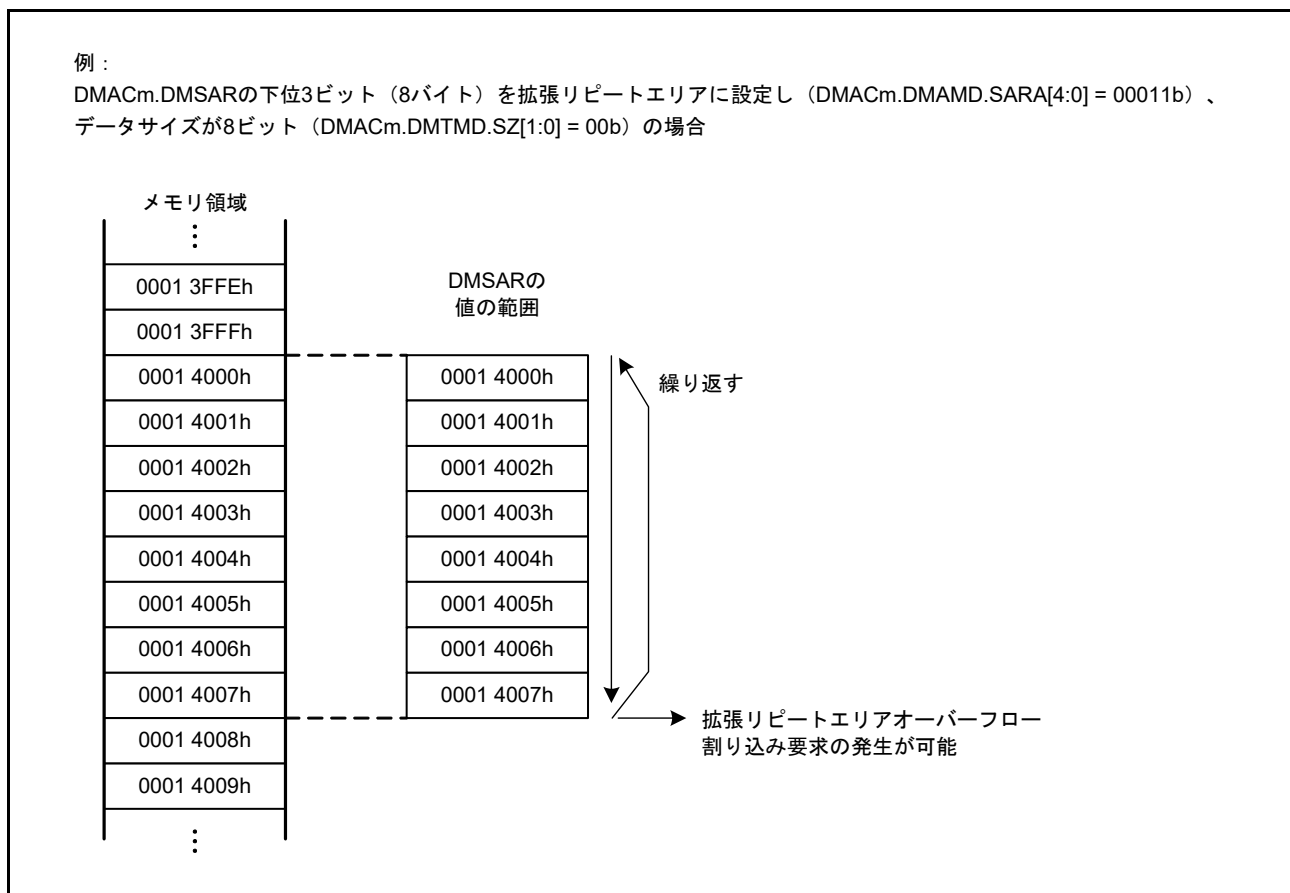


図 16.5 拡張リピート領域の動作例

ブロック転送モードで拡張リピート領域オーバーフロー割り込みを使用する場合は、以下の点に注意してください。

- 拡張リピート領域オーバーフロー割り込みで転送を終了させる場合、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの境界と拡張リピート領域の範囲の境界が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックの転送中に拡張リピート領域にオーバーフローが発生した場合、そのブロックの転送が終了するまで拡張リピート領域オーバーフロー割り込みは保留され、転送はオーバーランします。

図 16.6 に、ブロック転送モードにおける拡張リピート領域機能の使用例を示します。

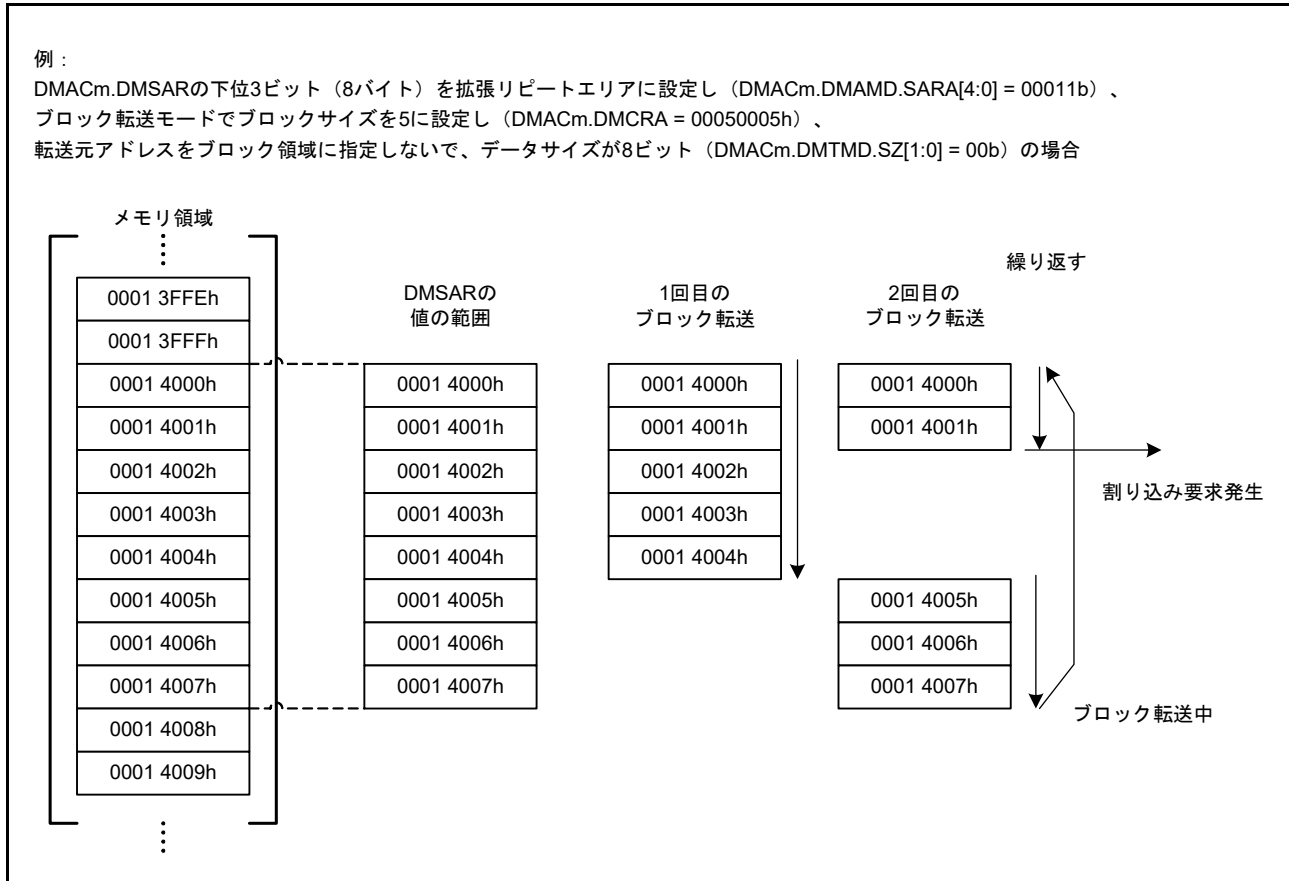


図 16.6 ブロック転送モードにおける拡張リピート領域機能の使用例



### 16.3.3 オフセットを使用したアドレス更新機能

転送元アドレスと転送先アドレスの更新方法には、固定、インクリメント、デクリメントの他にオフセット加算があります。オフセット加算では、DMACが1データの転送を実行するたびに、DMA オフセットレジスタ (DMACm.DMOFR) で設定したオフセット値がアドレスに加算されます。また、DMACm.DMOFR に負の値を設定すると、オフセットによる減算も可能です。負の値は2の補数で設定する必要があります。

各アドレス更新モードにおけるアドレス更新方法を表 16.6 に示します。

表 16.6 各アドレス更新モードにおけるアドレス更新方法

アドレス更新モード	アドレス更新モードに対する DMACm.DMAMD.SM[1:0]および DMACm.DMAMD.DM[1:0]の 設定値	DMACm.DMTMD.SZ[1:0]の設定値別アドレス更新方法		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR (注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注 1. DMA オフセットレジスタに負の値を設定する場合、その値は次式で計算される2の補数でなければいけません。  
負のオフセット値の2の補数表現 =  $\sim$  (オフセット値) + 1 ( $\sim$  = ビット反転)

#### (1) オフセット加算を使用した基本的な転送

オフセット加算によるアドレス更新機能の動作例を図 16.7 に示します。

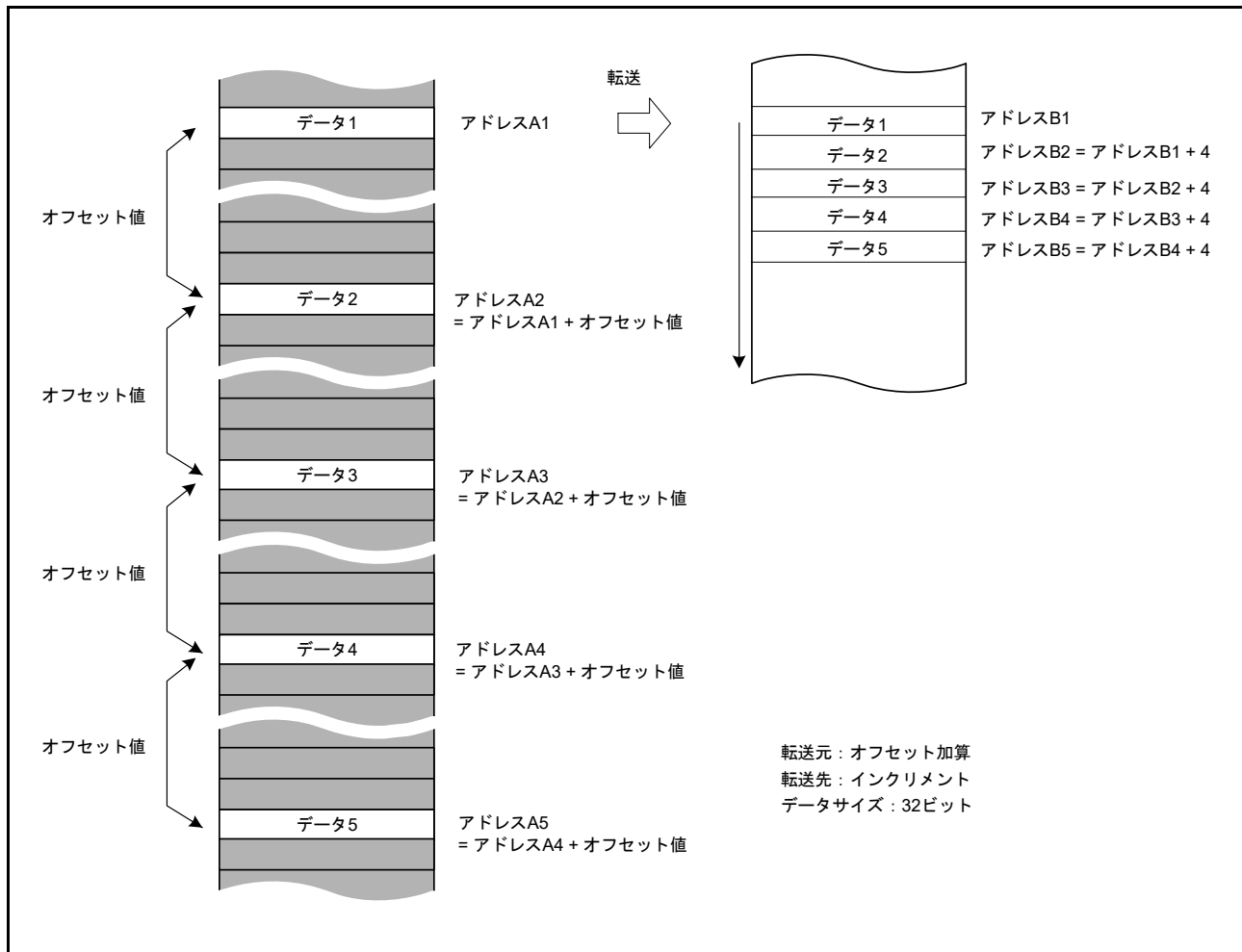


図 16.7 オフセット加算によるアドレス更新機能の動作例

図 16.7 では、以下のように設定しています。

- 転送データサイズは 32 ビット
- 転送元アドレスの更新モードはオフセット加算
- 転送先アドレスの更新モードはインクリメント

2 回目以降のデータは、前回のアドレスにオフセット値を加算することで得られる転送元アドレスから読み出されます。指定された間隔で読み出されたデータは、転送先では連続した領域に書き込まれます。

## (2) オフセット加算を使用した XY 変換例

図 16.8 に、リピート転送モードとオフセット加算を組み合わせる XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD — 転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD — 転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD — データ転送サイズ選択：32 ビット
- DMAC0.DMTMD — 転送モード設定：リピート転送
- DMAC0.DMTMD — リピート領域選択：転送元をリピート領域に設定
- DMAC0.DMOFR — オフセットアドレス：10h
- DMAC0.DMCRA — リピートサイズ：4h
- DMAC0.DMINT — リピートサイズ終了割り込みを許可

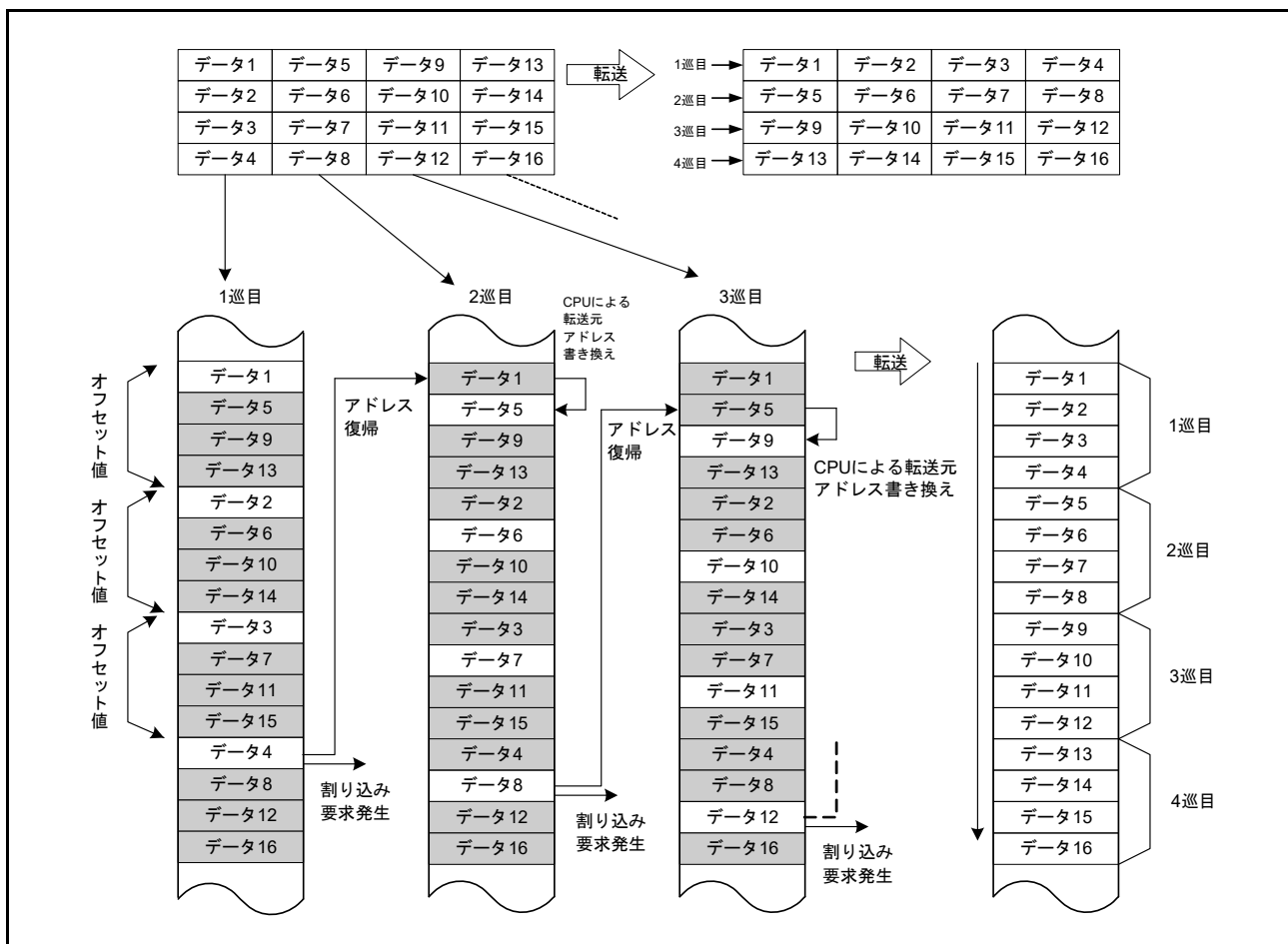


図 16.8 リピート転送モード+オフセット加算による XY 変換動作

転送が開始されると、毎回、転送元アドレスにオフセット値を加算してデータ転送が行われます。転送データは、連続した転送先アドレスに書き込まれます。データ 4 まで転送されたときの動作は以下のとおりです。

- リpeatサイズ分のデータ転送が終了する
- 転送元アドレスは転送開始時のアドレス (転送元のデータ 1 のアドレス) に復帰する
- リpeatサイズ終了割り込要求が発生する

この割り込みによって転送が一時停止している間、以下の処理を行います。

- DMAC0.DMSAR — DMA 転送元アドレスをデータ 5 のアドレスに書き換える  
(この例ではデータ 1 のアドレスに 4 を加算)
- DMAC0.DMCNT — DTE ビットを 1 にする

DMA 転送が中断したときの状態から DMA 転送が再開されます。以降、同じ処理を繰り返すと、転送元のデータが転送先で配置を入れ替えられます (XY 変換)。

図 16.9 に XY 変換の処理フローを示します。

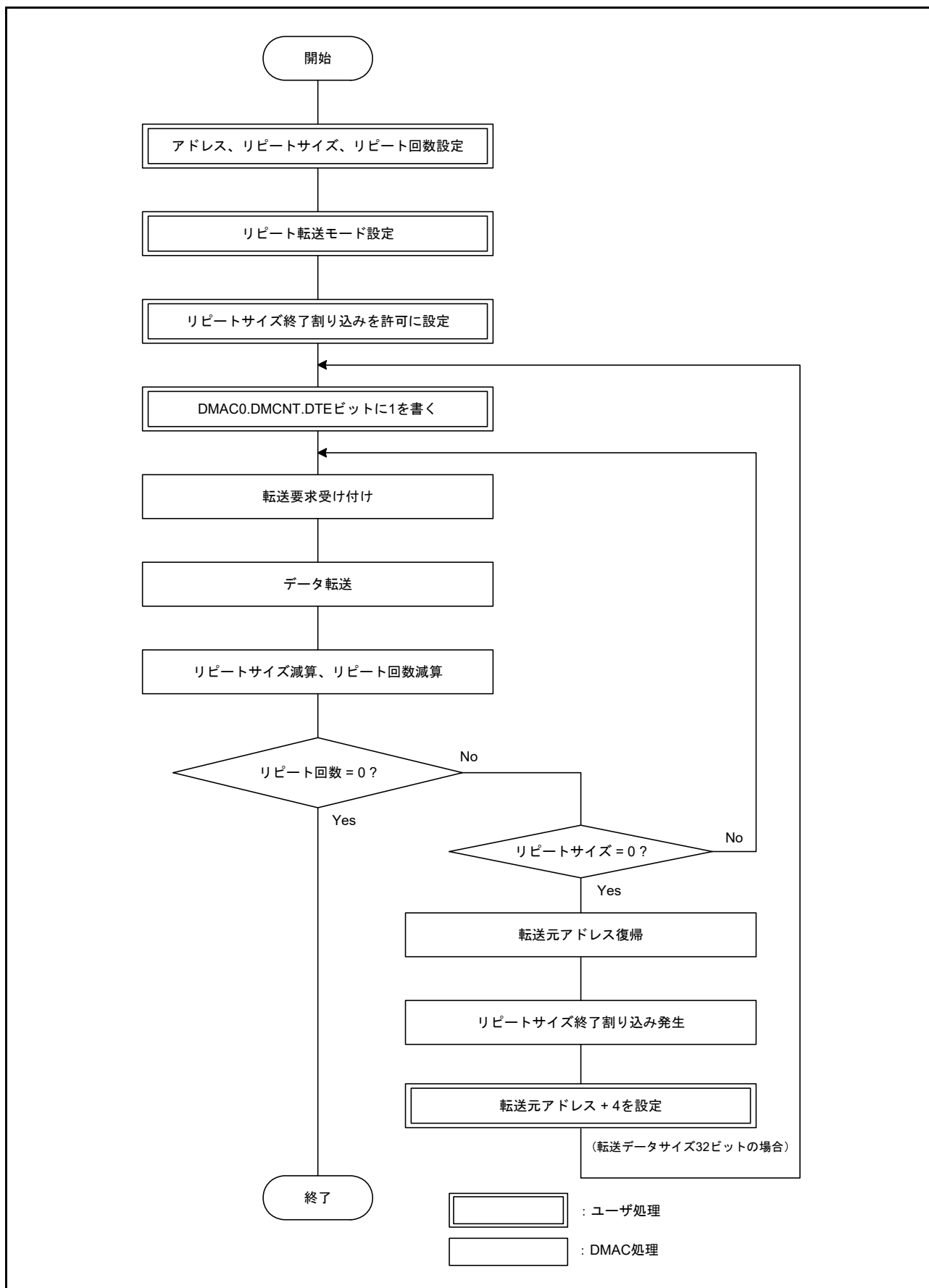


図 16.9 リピート転送モード+オフセット加算によるXY変換フロー

### 16.3.4 起動要因

ソフトウェア、周辺モジュールからの割り込み要求、および外部割り込み要求は、すべて DMAC 起動要因として指定可能です。起動要因を選択するには、DMACm.DMTMD.DCTG[1:0] ビットを設定します。

#### (1) ソフトウェアによる DMAC 起動

ソフトウェアによって DMA 転送を開始する場合、以下の手順に従います。

1. DMACm.DMTMD.DCTG[1:0] ビットを 00b にする。
2. DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にする。
3. DMAST.DMST ビットを 1 (DMAC 起動許可) にする。
4. DMACm.DMREQ.SWREQ ビットを 1 (DMA 転送要求あり) にする。

DMACm.DMREQ.CLRS ビットが 0 の状態でソフトウェアによる DMAC 起動を行った場合、DMA 転送要求に対する転送が開始されると DMACm.DMREQ.SWREQ ビットが 0 になります。

DMACm.DMREQ.CLRS ビットが 1 の状態でソフトウェアによる DMAC 起動を行った場合は、転送を開始しても DMACm.DMREQ.SWREQ ビットは 0 になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

#### (2) 内蔵周辺モジュール／外部割り込み要求による DMAC 起動

内蔵周辺モジュールからの割り込み要求と外部割り込み要求を、DMAC 起動要因に指定することが可能です。起動要因は、ICU.DELSRn.DELS[8:0] ビット (n = 0 ~ 7) でチャンネルごとに個別に選択できます。

内蔵周辺モジュールからの割り込み要求または外部割り込み要求によって DMAC 転送を開始する場合、以下の手順に従います。

1. DMACm.DMTMD.DCTG[1:0] ビットを 01b (周辺モジュールまたは外部割り込み端子からの割り込み) にする。
2. DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にする。
3. ICU.DELSRn.DSEL ビットにイベント番号を設定する (DMAC イベントリンクを選択する)。
4. DMAST.DMST ビットを 1 (DMAC 起動許可) にする。

DMAC 起動要因となる割り込み要求については、「[13. 割り込みコントローラユニット \(ICU\)](#)」の表 [13.3 割り込みベクタテーブル](#)を参照してください。

### 16.3.5 動作タイミング

下記のタイミング図は、最小実行サイクル数を示しています。

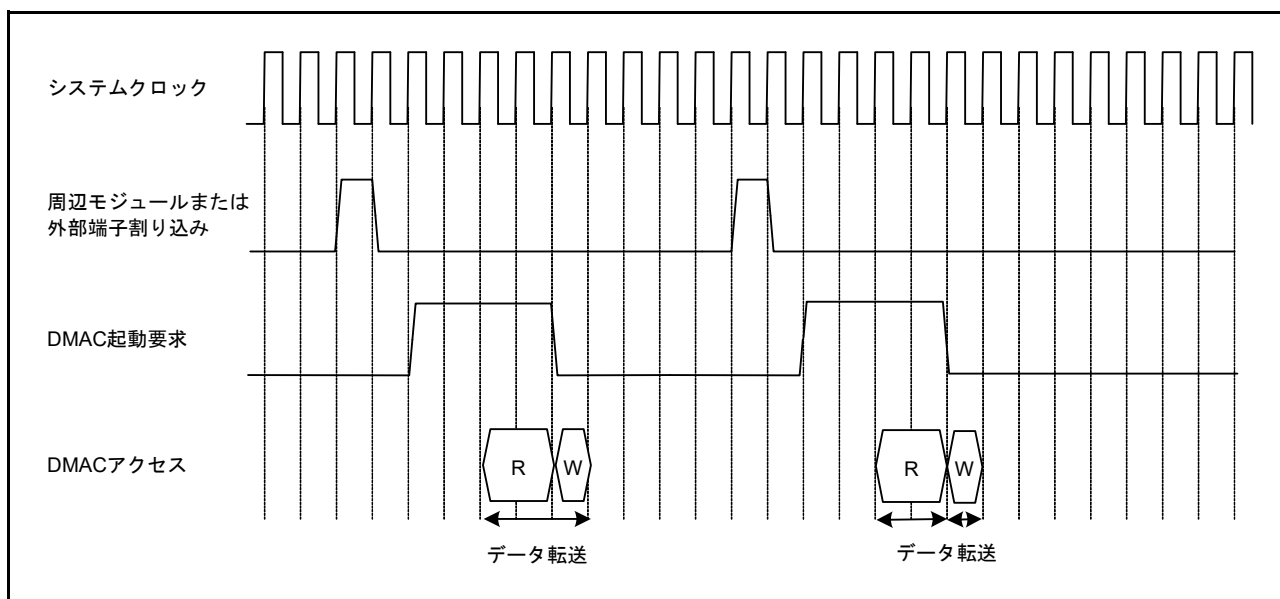


図 16.10 DMAC 動作タイミング例 1：周辺モジュールまたは外部割り込み入力端子からの割り込みによる DMA 起動（ノーマル転送モードまたはリピート転送モードの場合）

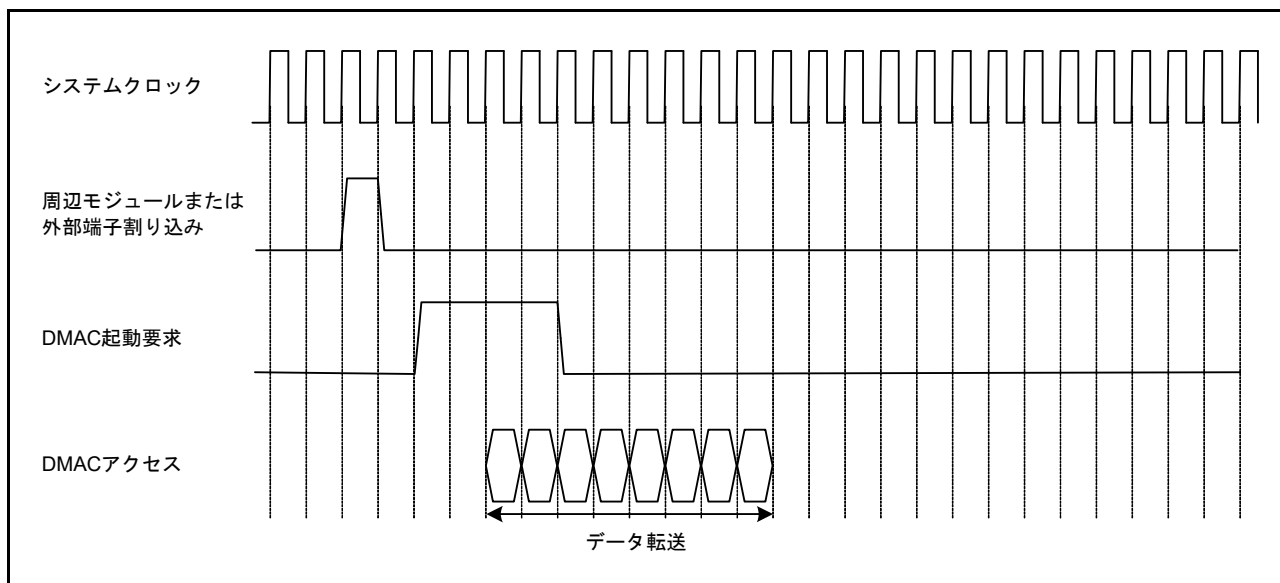


図 16.11 DMAC 動作タイミング例 2：周辺モジュールまたは外部割り込み入力端子からの割り込みによる DMA 起動（ブロック転送モードでブロックサイズ = 4 の場合）

### 16.3.6 DMAC の実行サイクル

表 16.7 に、DMAC の 1 回のデータ転送の実行サイクルを示します。

表 16.7 DMACの実行サイクル

転送モード	データ転送 (読み出し)	データ転送 (書き込み)
ノーマル	$Cr + Cs + 1$	$Cw + Cs$
リピート	$Cr + Cs + 1$	$Cw + Cs$
ブロック (注1)	$P \times (Cr + Cs)$	$P \times (Cw + Cs)$

注. P = ブロックサイズ (DMCRAH レジスタの設定値)  
 Cr = データリード先アクセスサイクル  
 Cw = データライト先アクセスサイクル  
 Cs = システムコントロールに関連する SRAMHS および周辺モジュールへのアクセス時 : 2 サイクル  
 上記以外へのアクセス時 : 0 サイクル  
 スレーブバスがリード/ライトデータ転送によって変化する場合、さらに 1 サイクルを追加

注 1. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

Cr と Cw はアクセス先で異なります。アクセス先ごとのサイクル数については、「40. SRAM」、「41. フラッシュメモリ」を参照してください。システムクロックと周辺クロックの周波数比も考慮されています。

データ転送 (読み出し) 列の「+1」の単位は、システムクロック (ICLK) の 1 サイクルです。動作例については、16.3.5 動作タイミングを参照してください。

DMAC の応答時間は、DMAC の起動要因が検出されてから DMAC 転送が始まるまでの時間です。表 16.7 には、DMAC の起動要因がアクティブになってから DMAC 転送が始まるまでの時間は含まれていません。

### 16.3.7 DMAC の起動

図 16.12 にレジスタの設定手順を示します。

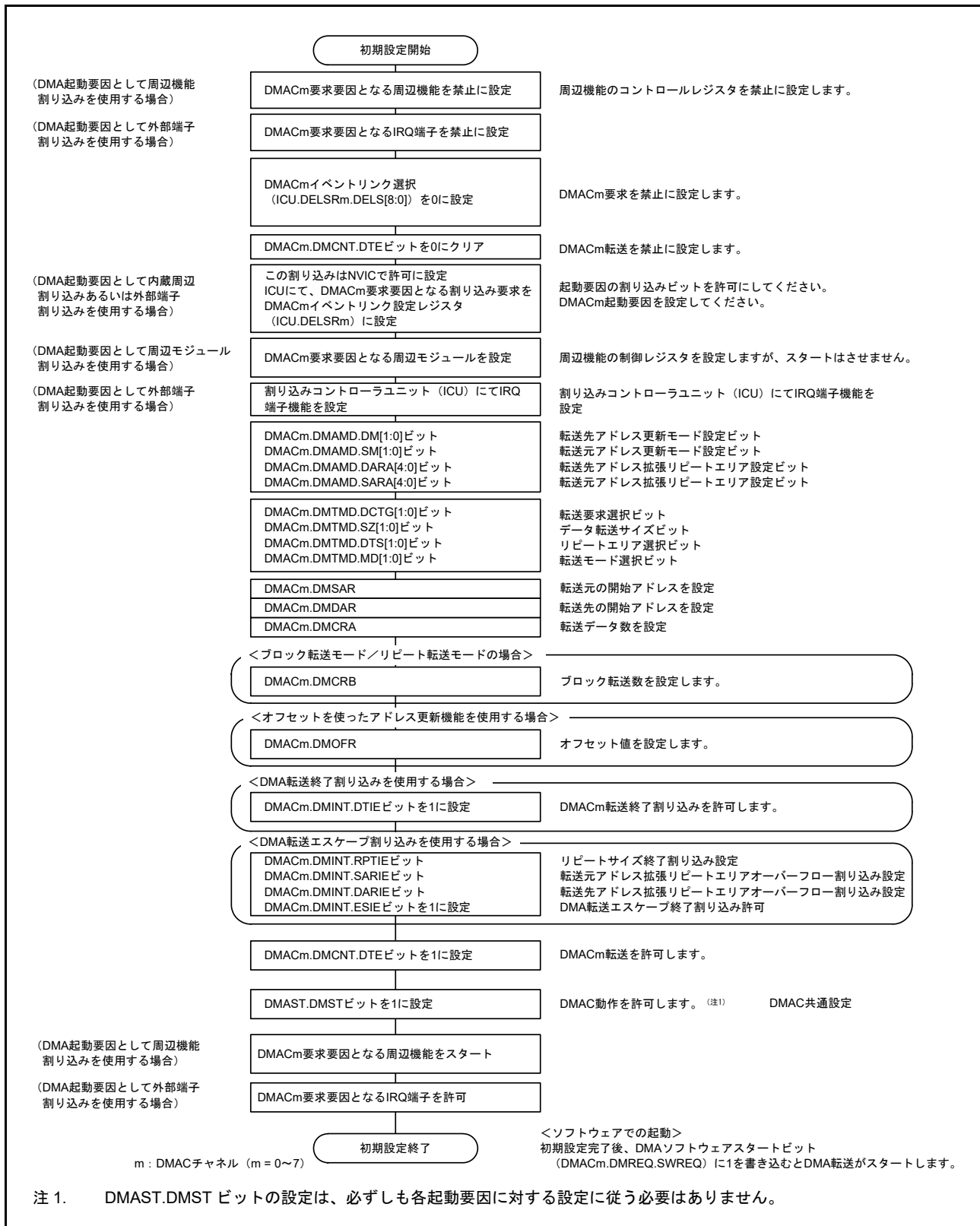


図 16.12 レジスタの設定手順



### 16.3.8 DMA 転送の開始

チャンネル  $m$  の DMA 転送を有効にするには、DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にして、DMAST.DMST ビットを 1 (DMAC 起動許可) にします。他の DMAC チャンネルや DTC の転送中は、新たな起動要求は受け付けられません。先行する転送が終了した時点で最も優先順位の高いチャンネルの DMA 転送要求が選択され、そのチャンネルの DMA 転送が開始されます。DMA 転送が始まると、DMACm.DMSTS.ACT フラグが 1 (DMAC 動作中) になります。

### 16.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理によって値が更新されます。更新される値は、各種設定や転送の状態によって異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、および DMACm.DMSTS です。これらの説明を下記に示します。各転送モードにおけるレジスタの更新動作については、表 16.3 ~ 表 16.5 を参照してください。

#### (1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送が終了すると、DMSAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

#### (2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送が終了すると、DMDAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

#### (3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

#### (4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

#### (5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可/禁止を制御します。DMA 転送の状態に応じて自動的に DMAC によって 0 にクリアされます。

DMAC がこのビットをクリアする条件は、以下のとおりです。

- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき

対応する DMACm.DMCNT.DTE ビットが 1 になっているチャンネルのレジスタへの書き込みは禁止です (DMACm.DMCNT レジスタを除く)。本ビットを 0 にした後のみ、書き込みが可能になります。

#### (6) DMA アクティブフラグ (DMACm.DMSTS.ACT)

DMACm.DMSTS.ACT フラグは、DMACm がアイドル状態であるか、または動作中であることを示します。このフラグは DMAC がデータ転送を開始すると 1 になり、1 転送要求に対するデータ転送が終了すると 0 になります。DMA 転送中に DMACm.DMCNT.DTE ビットに 0 を書いて DMA 転送を停止させた場合でも、このフラグは DMA 転送が終了するまで 1 を保持します。

### (7) 転送終了割り込みフラグ (DMACm.DMSTS.DTIF)

総転送サイズ分の DMA 転送が終了すると、DMACm.DMSTS.DTIF フラグは 1 になります。このフラグと DMACm.DMINT.DTIE ビットがともに 1 の場合、転送終了割り込み要求が発生します。このフラグが 1 になるタイミングは、DMA 転送のバスサイクルが終了し、DMACm.DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。割り込み処理中に DMACm.DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 クリアされます。

### (8) 転送エスケープ終了割り込みフラグ (DMACm.DMSTS.ESIF)

リピートサイズ終了割り込み、または拡張リピート領域オーバーフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは 1 になります。このフラグと DMACm.DMINT.ESIE ビットがともに 1 の場合、転送エスケープ終了割り込み要求が発生します。このフラグが 1 になるタイミングは、割り込み要求が発生させる要因になった DMA 転送のバスサイクルが終了し、DMACm.DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。割り込み処理中に DMACm.DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 クリアされます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

## 16.3.10 チャネル優先順位

DMAC は、複数の DMA 転送要求が発生したとき、DMA 転送要求のあるチャネルの優先順位を判断します。

チャネル優先順位は、チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3 > チャネル 4 > チャネル 5 > チャネル 6 > チャネル 7 の順で固定です (チャネル 0 が最優先)。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送後にチャネルアービトレーションを行い、最も優先順位の高いチャネルの転送が開始されます。

## 16.4 DMA 転送の終了

DMA 転送の終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが 1 から 0 になります。

### 16.4.1 設定した総転送回数完了による転送終了

#### (1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) の場合

DMACm.DMCRAL レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.DTIF フラグが 1 になります。このとき DMACm.DMINT.DTIE ビットが 1 であると、CPU または DTC へ転送終了割り込み要求が送信されます。

#### (2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) の場合

DMACm.DMCRB レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.DTIF フラグが 1 になります。このとき DMACm.DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

#### (3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) の場合

DMACm.DMCRB レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.DTIF フラグが 1 になります。このとき DMACm.DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

### 16.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが 1 であれば、1 リピートサイズ分の転送終了時にリピートサイズ終了割り込み要求が発生します。DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.ESIF フラグが 1 になります。このとき DMACm.DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。転送を再開させるには、DMACm.DMCNT.DTE ビットに 1 を書き込んでください。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。1 ブロックサイズ分の転送終了時に、リピート転送モードと同様に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

### 16.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了

拡張リピート領域が指定され、かつ DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが 1 の場合に、拡張リピート領域がオーバーフローすると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMA 転送が停止して、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.ESIF フラグが 1 になります。このとき DMACm.DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

この割り込み要求がリードサイクル中に発生しても、以降のライトサイクルは実行されます。ブロック転送モードでは、割り込み要求が 1 ブロックの転送中に発生しても、そのブロックの残りのデータが転送されるまで、転送は終了しません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

#### 16.4.4 DMA 転送の終了に関する注意事項

DMA 転送終了後、次の要求時に DMA 起動要求が発生する場合があります。このような状況が生じた場合、DMA 転送が開始され、DMA 起動要求は DMAC 内に保持されます。これを避けるには、ICU の DELSRn.DSELS[8:0] ビットを 0 にして、DMA 起動要求を停止してください。

最後の DMA 転送後に DMA 起動要求が発生した場合は、ICU.DELSRm.IR ビットを 0 にして DMA 起動要求をクリアしてください。

## 16.5 割り込み

各 DMAC チャンネルは、1 要求分の転送終了後、CPU または DTC へ割り込み要求 (DMACm\_INT) を出力することが可能です。

表 16.8 に、各割り込み要因とそれらに対応するステータスフラグおよび許可ビットを示します。図 16.13 に、割り込み出力の概略論理図 (DMAC0 ~ DMAC7) を示します。また、DMAC 割り込み処理ルーチンで DMA 転送を再開/終了する手順を図 16.14 に示します。

表 16.8 割り込み要因、割り込みステータスフラグ、割り込み許可ビットの対応関係

割り込み要因		割り込み許可ビット	割り込みステータスフラグ	要求出力許可ビット
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピート領域オーバーフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピート領域オーバーフロー	DMACm.DMINT.DARIE		

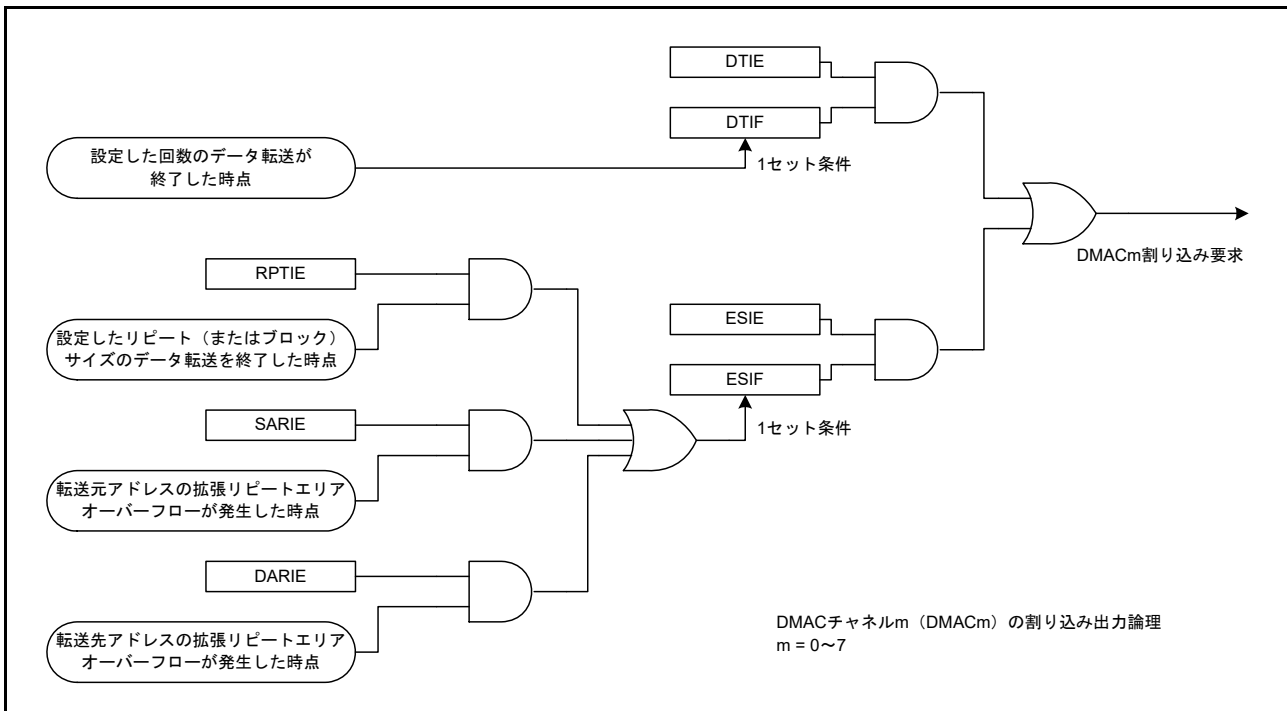


図 16.13 割り込み出力 (DMAC0 ~ DMAC7) の概略論理図

割り込みを解除して DMA 転送を再開する方法は、以下のケースで異なります。

- DMA 転送を終了した場合
- DMA 転送を継続した場合

### (1) DMA 転送を終了した場合

転送終了割り込みの場合は、DMACm.DMSTS.DTIF フラグに 0 を書いてください。また、リピートサイズ割り込みと拡張リピート領域オーバーフロー割り込みの場合は、DMACm.DMSTS.ESIF フラグに 0 を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後、新たな DMA 転送を開始する場合は、必要なレジスタを設定して、DMACm.DMCNT.DTE ビットを 1 (DMA 転送許可) にしてください。

## (2) DMA 転送を継続した場合

DMACm.DMCNT.DTE ビットに 1 を書いてください。自動的に DMACm.DMSTS.ESIF フラグが 0 にクリア (割り込み要因がクリア) され、DMA 転送が再開します。

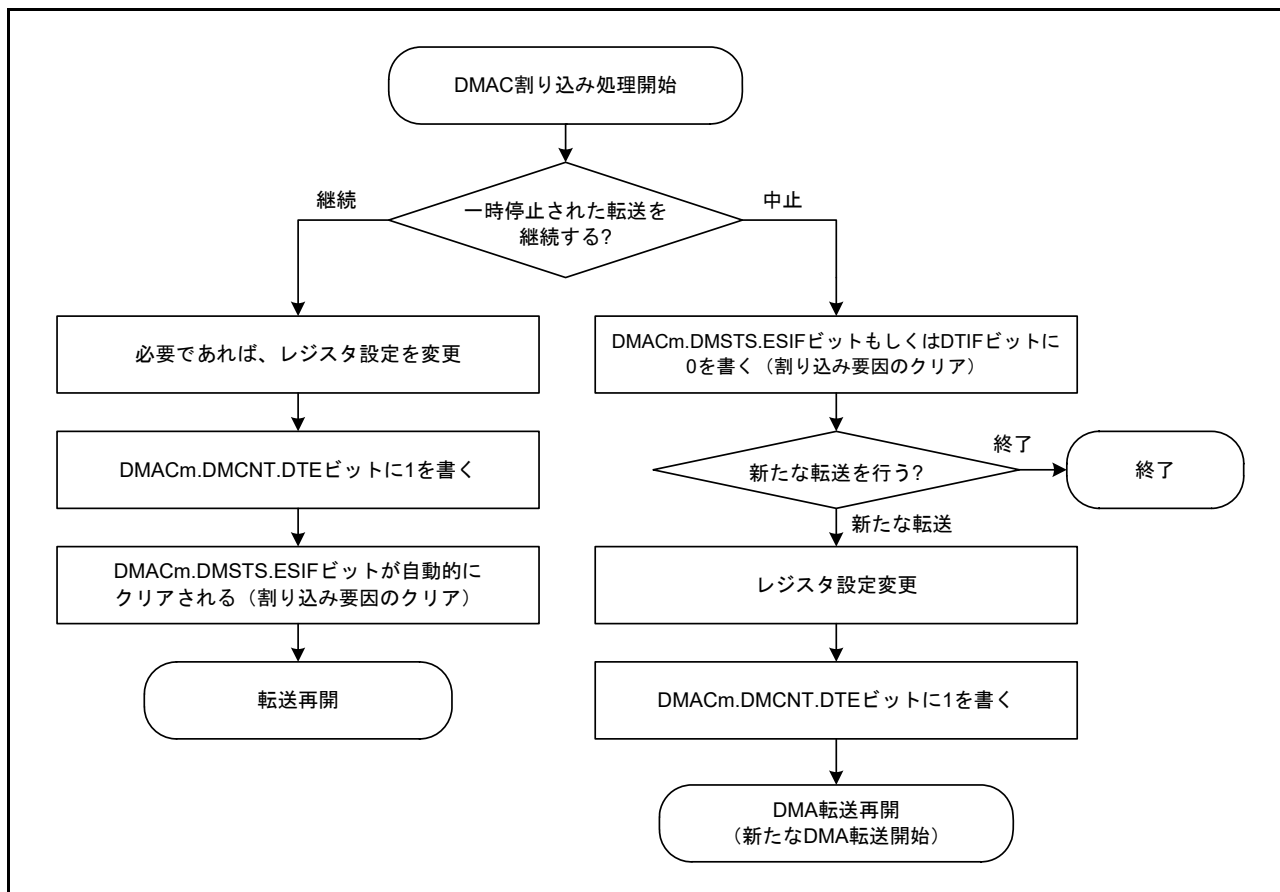


図 16.14 DMAC 割り込み処理ルーチンで DMA 転送を再開/終了する手順

## 16.6 イベントリンク

各 DMAC チャネルは、1 回のデータ転送（ブロック転送モードの場合は 1 ブロックの転送）が終了するたびに、イベントリンク要求信号 (DMACm\_INT) を出力します。詳細は、「[18. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

## 16.7 低消費電力機能

モジュールストップ状態、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードへ遷移する際は、最初に DMAST.DMST ビットを 0 (DMAC モジュール停止) にして、以下のように設定してください。

### (1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたとき、DMA 転送が動作中の場合は、DMA 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のとき、DMAC のレジスタにアクセスすることは禁止されています。MSTPCRA.MSTPA22 ビットに 0 を書くことで、DMAC のモジュールストップ状態は解除されます。

### (2) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

[11.7.1 ソフトウェアスタンバイモードへの遷移](#)および [11.9.1 ディープソフトウェアスタンバイモードへの遷移](#)に示す手順に従って設定してください。

WFI 命令実行時に DMA 転送が動作中の場合、DMA 転送が終了してからソフトウェアスタンバイモードやディープソフトウェアスタンバイモードへ遷移します。

### (3) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定については、[11.10.7 WFI 命令のタイミング](#)を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットを 1 にしてください。ソフトウェアスタンバイモード時に発生した要求を、DMAC 起動要求ではなく CPU への割り込み要求として使用する場合は、[13.4.2 割り込み要求先の選択](#)に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。

## 16.8 使用上の注意事項

### 16.8.1 DMA 転送中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが 1 (DMAC 動作中)、または DMACm.DMCNT.DTE ビットが 1 (DMA 転送許可) の状態で、同じチャンネルの下記のレジスタに書き込まないでください。

- DMSAR
- DMDAR
- DMCRA
- DMCRB
- DMTMD
- DMINT
- DMAMD
- DMOFR

### 16.8.2 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域の詳細は、「[4. アドレス空間](#)」を参照してください。

### 16.8.3 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ (ICU.DELSRn) の設定

DMAC イベントリンク設定レジスタ (ICU.DELSRn) を設定する前に、DMA 転送許可ビット (DMACm.DMCNT.DTE) が 0 (DMA 転送禁止) であることを確認してください。また、ICU.DELSRn レジスタで設定したイベント番号に対応する DTC 起動許可ビット (ICU.IELSRn.DTCE) を 1 にしないでください。ICU.IELSRn.DTCE レジスタと ICU.DELSRn レジスタの詳細は、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

### 16.8.4 DMA 起動の保留／再開方法

DMA 起動要求を保留するには、DMAC イベントリンク選択ビット (ICU.DELSRn.DELS[8:0]) を 0 にしてください。DMA 転送を再開するには、[16.3.7 DMAC の起動](#)に示す設定を行った上で、ICU.DELSRn.DELS[8:0] ビットにイベント番号を書き込んでください。



## 17. データトランスファコントローラ (DTC)

### 17.1 概要

本 MCU はデータトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込み要求によって起動するとデータ転送を行います。表 17.1 に DTC の仕様を、図 17.1 にブロック図を示します。

表 17.1 DTCの仕様

項目	内容
転送モード	<ul style="list-style-type: none"> <li>ノーマル転送モード 1回の起動で1データを転送</li> <li>リピート転送モード 1回の起動で1データを転送 リピートサイズ分データを転送すると転送開始時のアドレスに復帰 リピート回数は最大256回設定可能で、最大256 × 32ビット (1024バイト) 転送可能</li> <li>ブロック転送モード 1回の起動で1ブロックを転送 ブロックサイズは、最大256 × 32ビット = 1024バイト設定可能</li> </ul>
転送チャンネル	<ul style="list-style-type: none"> <li>割り込み要因に対応するチャンネルの転送が可能 (ICUからのDTC起動要求で転送)</li> <li>1つの起動要因に対して複数データの転送が可能 (チェーン転送)</li> <li>チェーン転送は「カウンタが0のとき実施」または「毎回実施」のいずれかを設定可能</li> </ul>
転送空間	<ul style="list-style-type: none"> <li>4GB (0000 0000h ~ FFFF FFFFhのうち、予約領域を除く領域)</li> </ul>
データ転送単位	<ul style="list-style-type: none"> <li>1データ: 1バイト (8ビット)、1ハーフワード (16ビット)、または1ワード (32ビット)</li> <li>1ブロックサイズ: 1 ~ 256データ</li> </ul>
CPU割り込み要因	<ul style="list-style-type: none"> <li>DTCを起動した割り込みでCPUへの割り込み要求を発生可能</li> <li>1回のデータ転送後にCPUへの割り込み要求を発生可能</li> <li>指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能</li> </ul>
イベントリンク機能	1回のデータ転送後 (ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報の読み出しをスキップ可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、転送情報のライトバックをスキップ可能
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

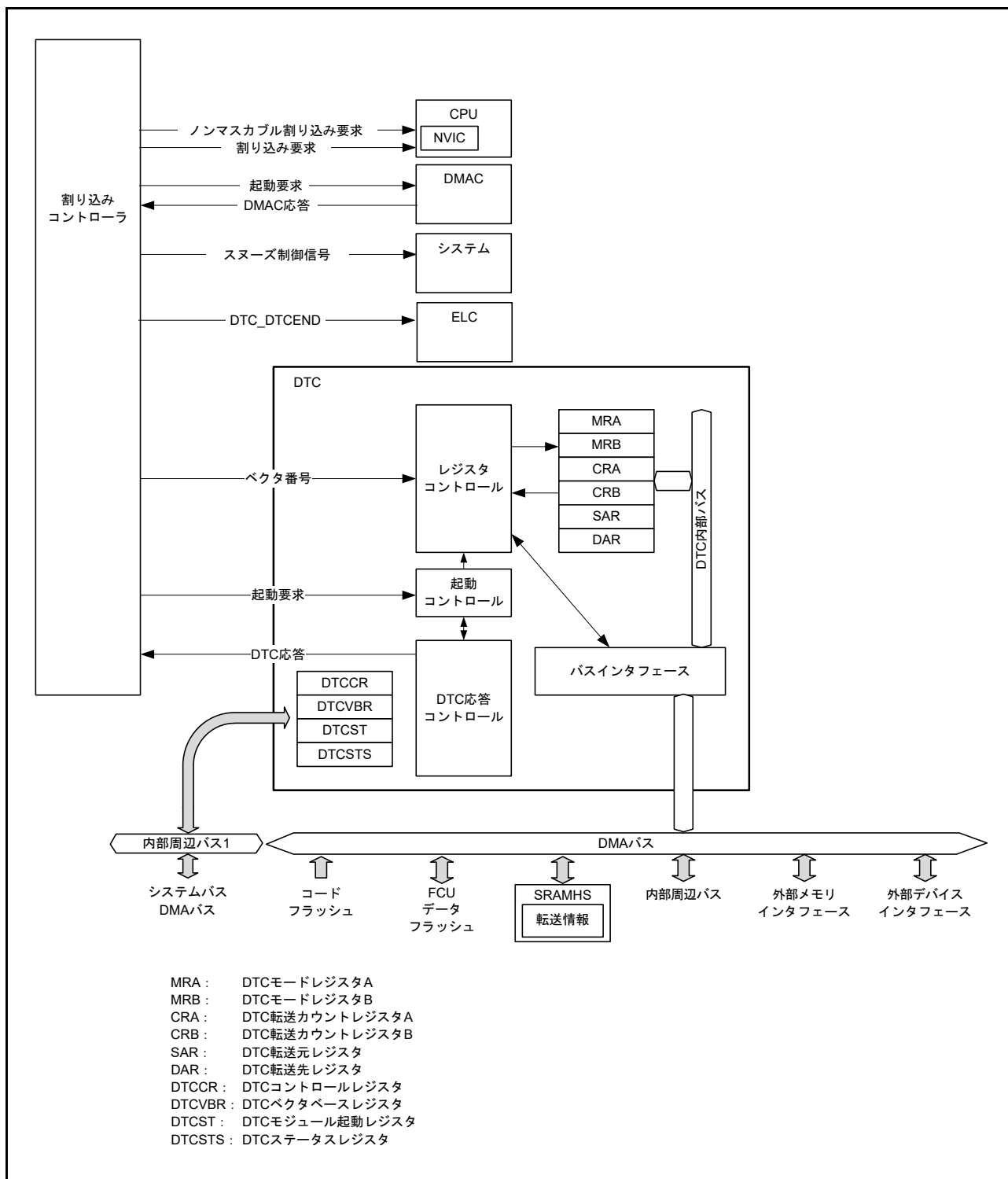


図 17.1 DTC のブロック図

DTC と NVIC (CPU 内) の接続関係については、「13. 割り込みコントローラユニット (ICU)」の 13.1 概要を参照してください。

## 17.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

### 17.2.1 DTC モードレジスタ A (MRA)

アドレス (CPU から直接アクセス不可。17.3.1 を参照してください)

b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		SZ[1:0]		SM[1:0]		—	—
リセット後の値	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと、不定値が読めます。書く場合、0としてください。	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモード	b3 b2 0 0: SARレジスタはアドレス固定 (SARレジスタへのライトバックをスキップ) 0 1: SARレジスタはアドレス固定 (SARレジスタへのライトバックをスキップ) 1 0: 転送後SARレジスタをインクリメント SZ[1:0] = 00bのとき+1 SZ[1:0] = 01bのとき+2 SZ[1:0] = 10bのとき+4 1 1: 転送後SARレジスタをデクリメント SZ[1:0] = 00bのとき-1 SZ[1:0] = 01bのとき-2 SZ[1:0] = 10bのとき-4	—
b5-b4	SZ[1:0]	DTCデータ転送サイズ	b5 b4 0 0: バイト (8ビット) 転送 0 1: ハーフワード (16ビット) 転送 1 0: ワード (32ビット) 転送 1 1: 設定禁止	—
b7-b6	MD[1:0]	DTC転送モード選択	b7 b6 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 03h) にアクセス可能なので、DTC によって MRA レジスタから (および MRA レジスタへ) 自動的に MRA 転送情報が転送されます。17.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

## 17.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可。17.3.1を参照してください)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	
リセット後の値	X	X	X	X	X	X	X	X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと、不定値が読めます。書く場合、0としてください。	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモード	b3 b2 0 0: DARレジスタはアドレス固定 (DARレジスタへのライトバックをスキップ) 0 1: DARレジスタはアドレス固定 (DARレジスタへのライトバックをスキップ) 1 0: 転送後DARレジスタをインクリメント MRA.SZ[1:0] = 00bのとき+1 MRA.SZ[1:0] = 01bのとき+2 MRA.SZ[1:0] = 10bのとき+4 1 1: 転送後DARレジスタをデクリメント MRA.SZ[1:0] = 00bのとき-1 MRA.SZ[1:0] = 01bのとき-2 MRA.SZ[1:0] = 10bのとき-4	—
b4	DTS	DTC転送モード選択	0: 転送先にリピート領域またはブロック領域を選択 1: 転送元にリピート領域またはブロック領域を選択	—
b5	DISEL	DTC割り込み選択	0: 指定されたデータ転送終了時、CPUへの割り込みが発生 1: DTCデータ転送のたびに、CPUへの割り込みが発生	—
b6	CHNS	DTCチェーン転送選択	0: 連続してチェーン転送を行う 1: 転送カウンタが1→0、または1→CRAHとなったとき、チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可	0: チェーン転送禁止 1: チェーン転送許可	—

MRBレジスタは、CPUから直接アクセスすることはできません。ただし、CPUはSRAM領域(転送情報(n)の開始アドレス+02h)にアクセス可能なので、DTCによってMRBレジスタから(およびMRBレジスタへ)自動的にMRB転送情報が転送されます。17.3.1 転送情報の配置とDTCベクタテーブルを参照してください。

## DTS ビット (DTC 転送モード選択)

リピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に設定します。

## CHNS ビット (DTC チェーン転送選択)

チェーン転送の条件を選択します。CHNEビットが0のとき、CHNSビットの設定は無視されます。チェーン転送の条件については、表 17.3 チェーン転送の条件を参照してください。

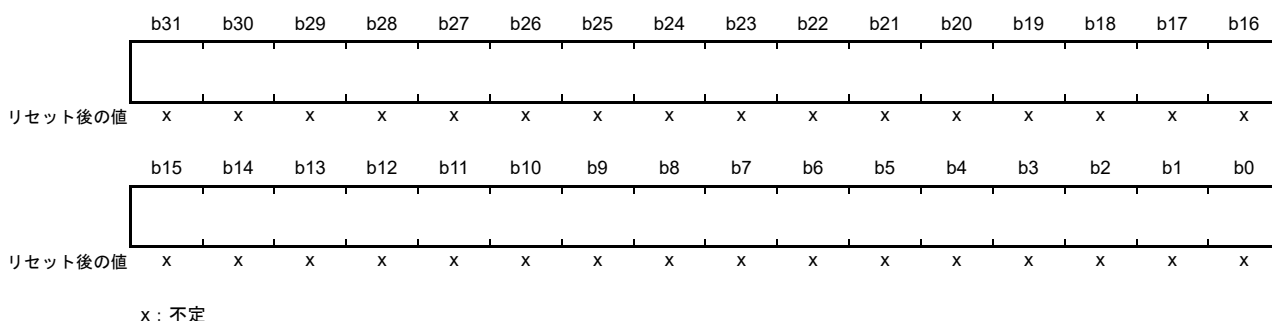
次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPUへの割り込み要求は発生しません。

## CHNE ビット (DTC チェーン転送許可)

チェーン転送を許可します。チェーン転送条件の選択は、CHNSビットで行います。チェーン転送の詳細については、17.4.6 チェーン転送を参照してください。

### 17.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可。17.3.1を参照してください)



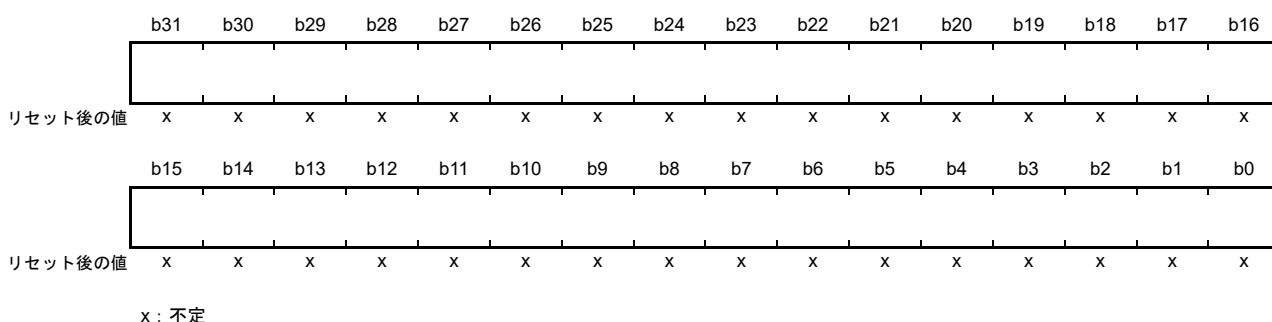
SAR レジスタは、転送元の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 04h) にアクセス可能なので、DTC によって SAR レジスタから (および SAR レジスタへ) 自動的に SAR 転送情報が転送されます。

17.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

注 . DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 でなければいけません。MRA.SZ[1:0] = 10b の場合、ビット 1 およびビット 0 は 0 でなければいけません。

### 17.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可。17.3.1を参照してください)



DAR レジスタは、転送先の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 08h) にアクセス可能なので、DTC によって DAR レジスタから (および DAR レジスタへ) 自動的に DAR 転送情報が転送されます。

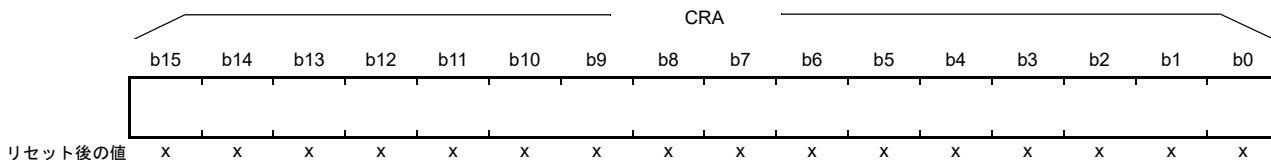
17.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

注 . DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 でなければいけません。MRA.SZ[1:0] = 10b の場合、ビット 1 およびビット 0 は 0 でなければいけません。

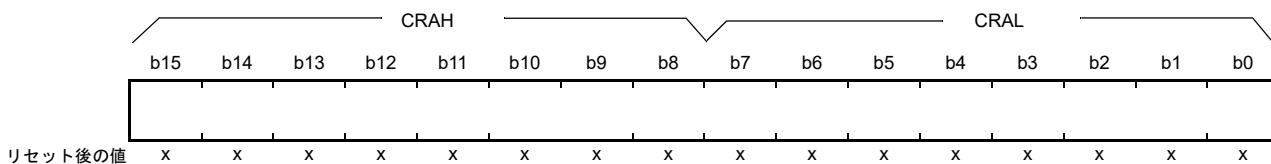
### 17.2.5 DTC 転送カウンタレジスタ A (CRA)

アドレス (CPUから直接アクセス不可。17.3.1を参照してください)

- ノーマル転送モード



- リピート転送モード/ブロック転送モード



x: 不定

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定	—
CRAH	転送カウンタA上位レジスタ		—

注. 転送モードによって機能が異なります。

注. リピート転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは、CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 0Eh) にアクセス可能なので、DTC によって CRA レジスタから (および CRA レジスタへ) 自動的に CRA 転送情報が転送されます。17.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

#### (1) ノーマル転送モードの場合 (MRA.MD[1:0] = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65535 回、0000h のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。

#### (2) リピート転送モードの場合 (MRA.MD[1:0] = 01b)

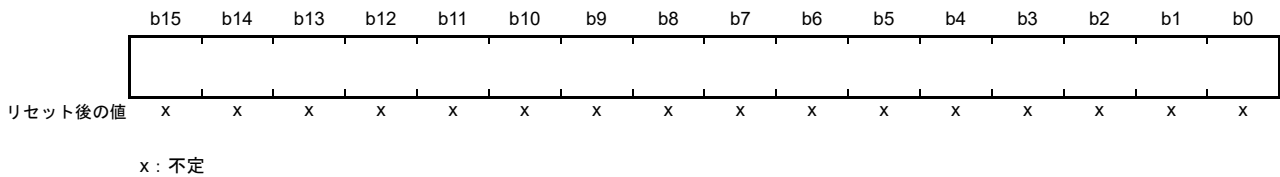
リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

#### (3) ブロック転送モードの場合 (MRA.MD[1:0] = 10b)

ブロック転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

## 17.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可。17.3.1を参照してください)

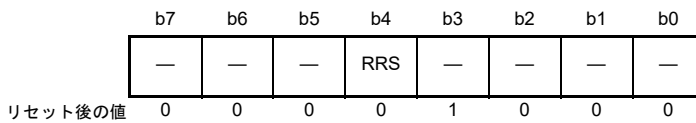


CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65535 回、0000h のときは 65536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、CRB レジスタは使用されず、設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 0Ch) にアクセス可能なので、DTC によって CRB レジスタから (および CRB レジスタへ) 自動的に CRB 転送情報が転送されます。17.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

## 17.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 4000 5400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b4	RRS	DTC 転送情報リードスキップ許可	0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

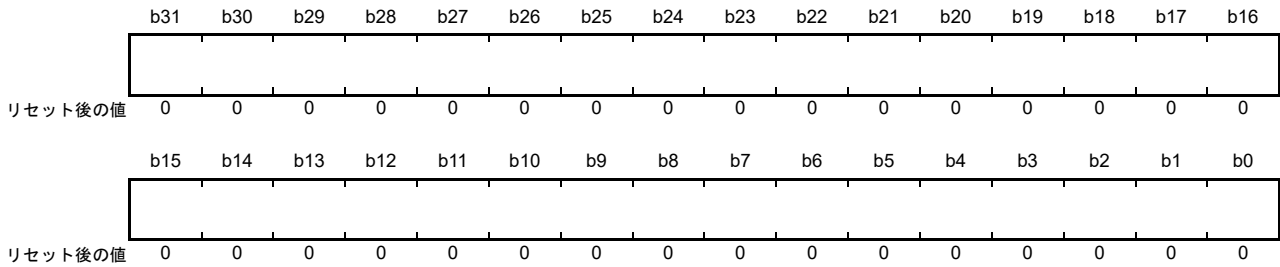
### RRS ビット (DTC 転送情報リードスキップ許可)

ベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ (CRA レジスタ) が 0 になっている場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

### 17.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス DTC.DTCVBR 4000 5404h



ビット	ビット名	機能	R/W
b31-b0	DTCベクタベースアドレス	DTCベクタベースアドレスを設定します。下位10ビットは0にしてください。	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0000 0000h ~ FFFF FFFFh (4G バイト) の範囲内で 1K バイト単位の設定が可能です。

### 17.2.9 DTC モジュール起動レジスタ (DTCST)

アドレス DTC.DTCST 4000 540Ch



ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動	0 : DTCモジュール停止 1 : DTCモジュール起動	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### DTCST ビット (DTC モジュール起動)

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

下記の状態またはモードへ遷移する際は、事前に DTCST ビットを 0 にする必要があります :

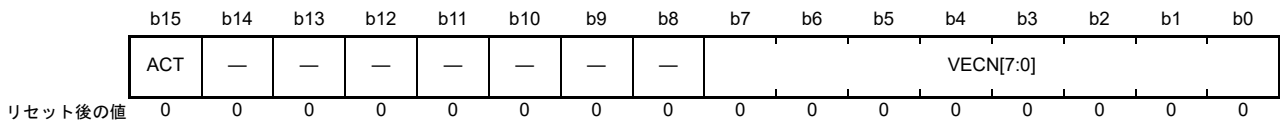
- モジュールストップ状態
- スヌーズモードへの遷移を伴わないソフトウェアスタンバイモード
- ディープソフトウェアスタンバイモード

これらの遷移については、17.10 モジュールストップ機能と「11. 低消費電力モード」を参照してください。



## 17.2.10 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 4000 540Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号 モニタ	DTC転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC転送動作中 (ACTフラグが1) の場合にのみ有効 です。	R
b14-b8	—	予約ビット	読むと0が読めます。書き込みは無効です。	R
b15	ACT	DTCアクティブフラグ	0 : DTC転送動作なし 1 : DTC転送動作中	R

**VECN[7:0] ビット (DTC アクティブベクタ番号モニタ)**

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1 (DTC 転送動作中) であれば、読み出された VECN[7:0] の値は有効であり、ACT フラグが 0 (DTC 転送動作なし) であれば、読み出された VECN[7:0] の値は無効です。

**ACT フラグ (DTC アクティブフラグ)**

DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

### 17.3 起動要因

DTC は割り込み要求によって起動します。ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSRn に設定されたセクタ出力番号  $n$  ( $n=0 \sim 95$ ) は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号  $n$  に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[8:0] ( $n=0 \sim 95$ ) で選択されます (「13. 割り込みコントローラユニット (ICU)」の表 13.4 イベントテーブルを参照)。ソフトウェアによる起動については、18.2.2 イベントリンクソフトウェアイベント発生レジスタ  $n$  (ELSEGRn) ( $n=0, 1$ ) を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DMAC または DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後 DTCST.DTCST が 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時 (チェーン転送の場合、連続した最後の転送時)、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に対して割り込み要求が送信される
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が送信される
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR ビットはデータ転送開始時に 0 になる

#### 17.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

ベクタテーブルのベースアドレス (開始アドレス) は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号  $n$  を持つ転送情報  $n$  の開始アドレスは、ベクタテーブルのベースアドレス  $+4n$  番地でなければいけません。

DTC ベクタテーブルと転送情報の対応を図 17.2 に示します。SRAM 領域上の転送情報の配置を図 17.3 に示します。

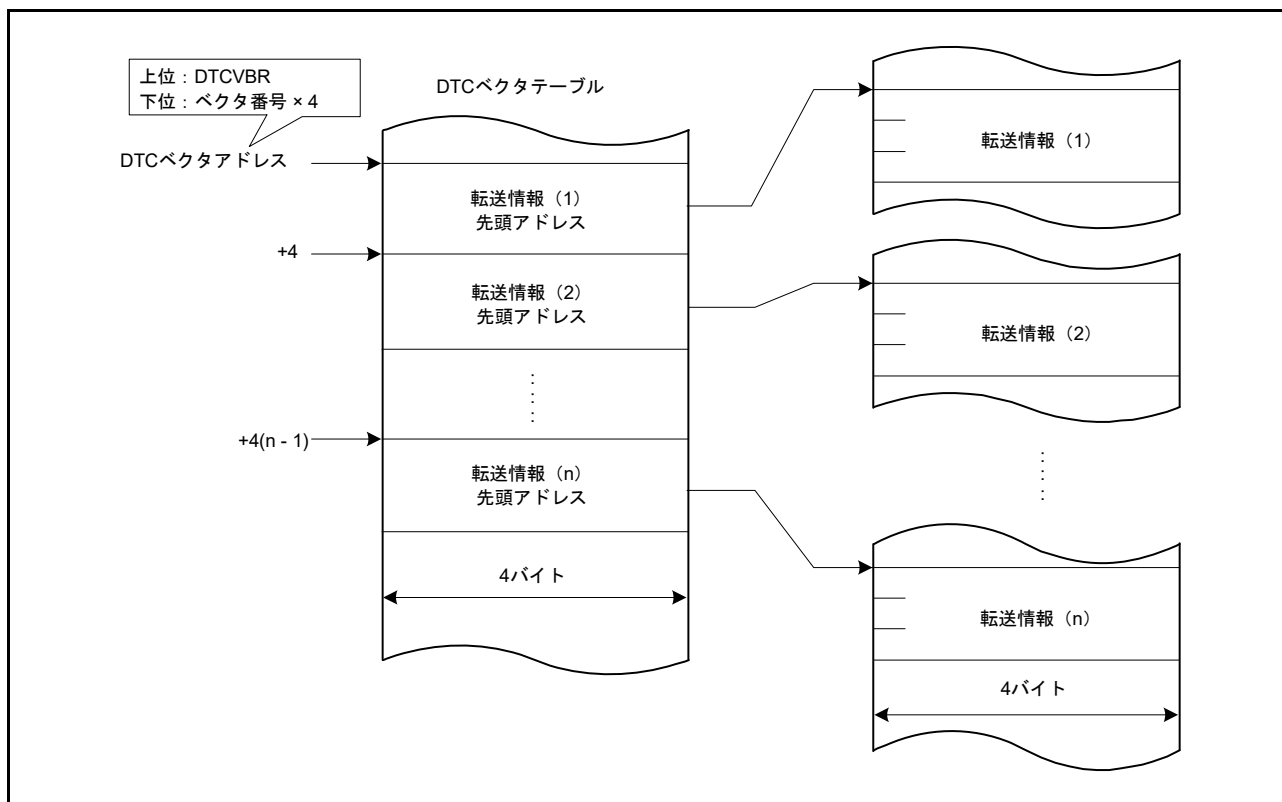


図 17.2 DTC ベクタテーブルと転送情報の対応関係

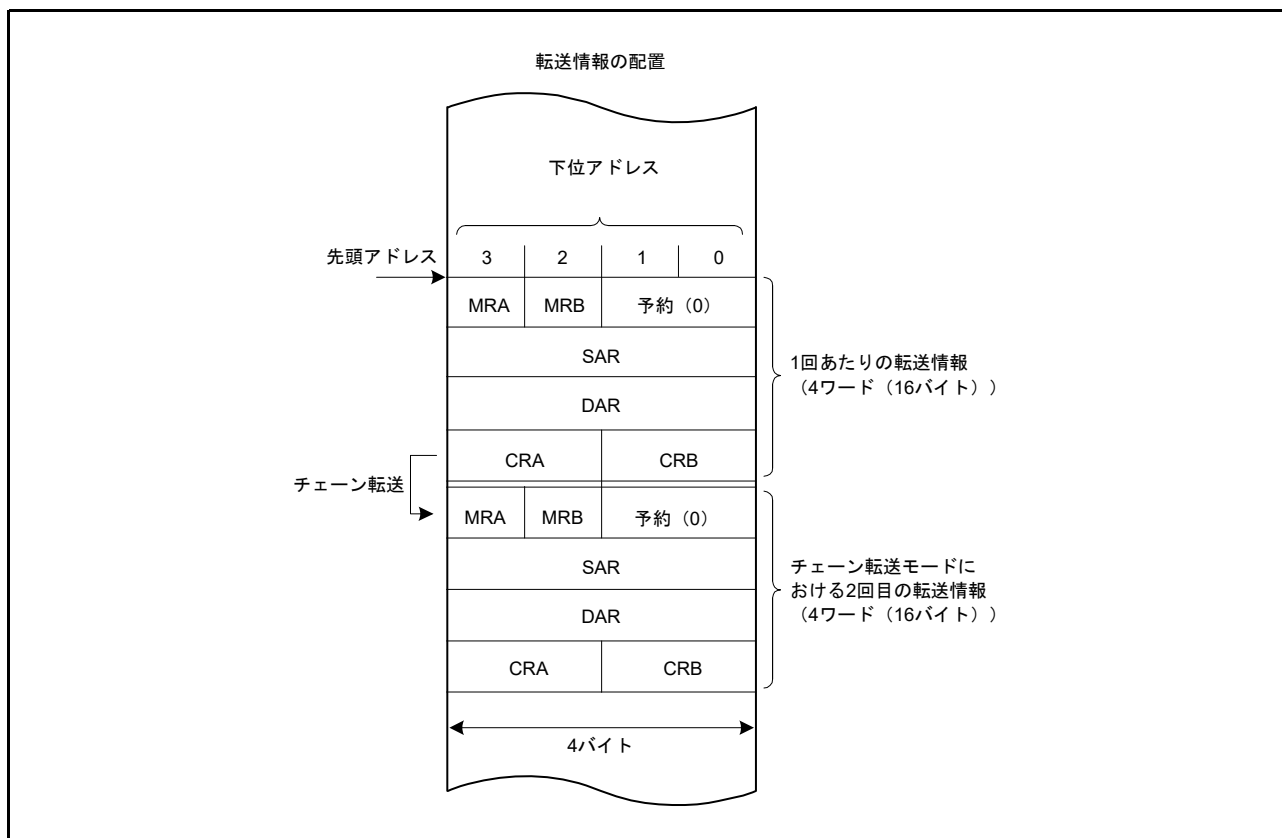


図 17.3 SRAM 領域上の転送情報の配置

## 17.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャンネル数のデータ転送が可能になります。

転送モードには、下記の種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

DTC の転送モードを表 17.2 に示します。

表 17.2 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト (8ビット) / 1ハーフワード (16ビット) / 1ワード (32ビット)	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536回
リピート転送モード (注1)	1バイト (8ビット) / 1ハーフワード (16ビット) / 1ワード (32ビット)	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ (1～256バイト / 1～256ハーフワード (2～512バイト) / 1～256ワード (4～1024バイト))	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536回

- 注 1. 転送元または転送先のいずれかをリピート領域に設定します。  
 注 2. 転送元または転送先のいずれかをブロック領域に設定します。  
 注 3. 指定回数の転送終了後は、初期状態を回復し動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC 動作フローを図 17.4 に示します。チェーン転送の条件を表 17.3 に示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。

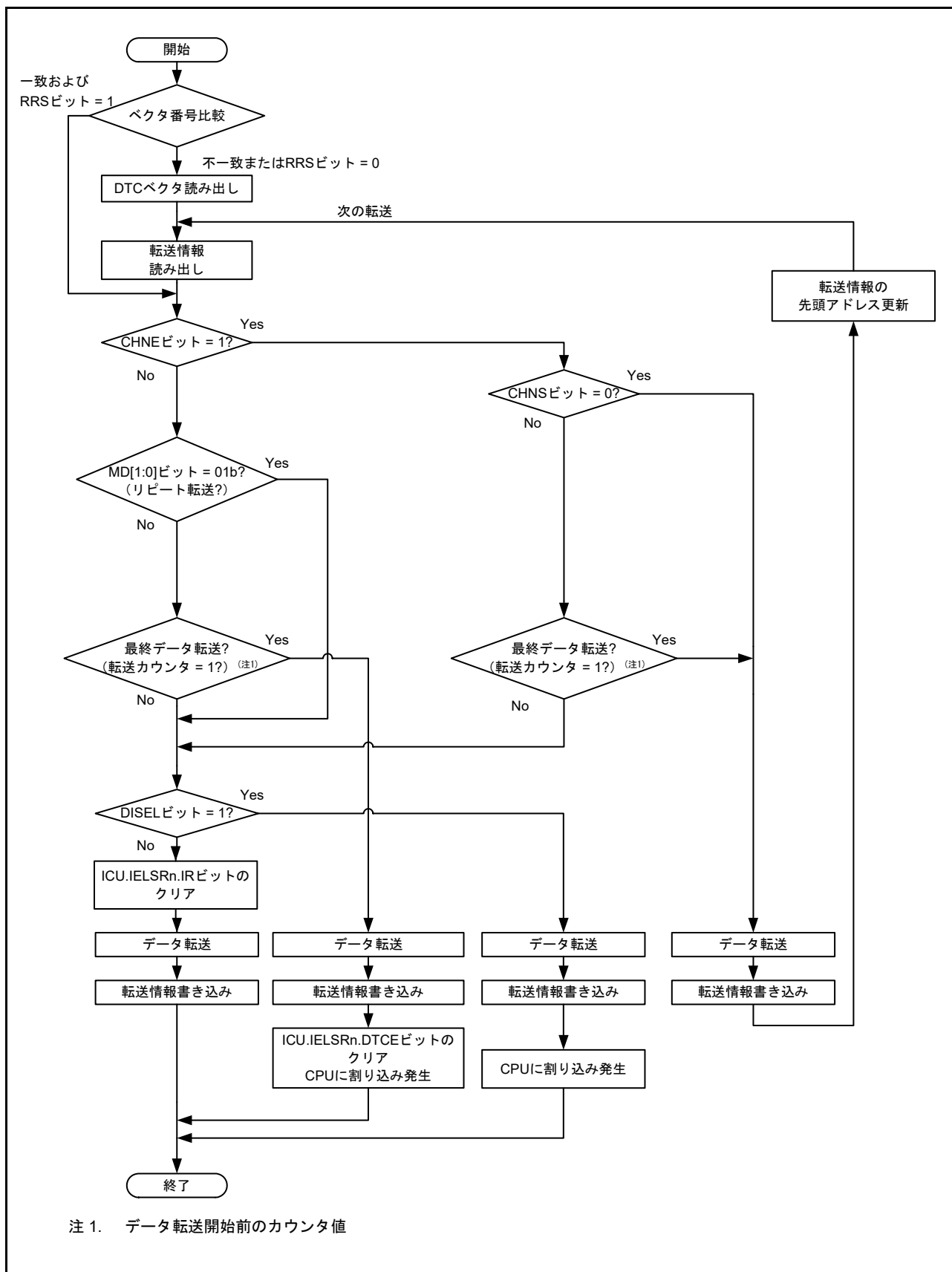


図 17.4 DTC の動作フローチャート

表 17.3 チェーン転送の条件

第1転送				第2転送 (注3)				DTC転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1) (注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1) (注2)	
0	—	0	(1→0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1→0)	—	—	—	—	第1転送で終了しCPUへ 割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了しCPUへ 割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第1転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了しCPUへ 割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第1転送で終了しCPUへ 割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。

ノーマル転送モード：CRA レジスタ  
 リピート転送モード：CRAL レジスタ  
 ブロック転送モード：CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下のとおりです。

ノーマル転送モード、ブロック転送モードでは (1→0)  
 リピート転送モードでは (1→CRAH)

表中の (1→\*) は、モードに応じて、これら両方の動作を表します。

注 3. 2番目以降の転送に対してチェーン転送の選択が可能です。第2転送とCHNEビットが1の組み合わせに対する条件は省略されています。

#### 17.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が 0 になっている場合、またはブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、DTCCR.RRS ビットにかかわらず転送情報が読み出されます。転送情報のリードスキップの動作例を図 17.12 に示します。

ベクタテーブルと転送情報を更新するには

1. RRS ビットを 0 にします。
2. ベクタテーブルと転送情報を更新します。
3. RRS ビットを 1 にします。

DTCCR.RRS ビットをいったん 0 にすることによって、格納されていたベクタ番号が破棄されます。次の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

### 17.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0] ビットまたは MRB.DM[1:0] ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。転送情報のライトバックスキップ条件と対応するレジスタを表 17.4 に示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされます。

表 17.4 転送情報のライトバックスキップ条件と適用されるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

### 17.4.3 ノーマル転送モード

ノーマル転送モードでは、1つの起動要因で、1バイト (8ビット)、1ハーフワード (16ビット)、または1ワード (32ビット) のデータ転送が可能です。転送回数は1～65536回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表 17.5 に、ノーマル転送モードのメモリマップを図 17.5 に示します。

表 17.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新なし

注1. アドレス固定のとき、ライトバックはスキップされます。

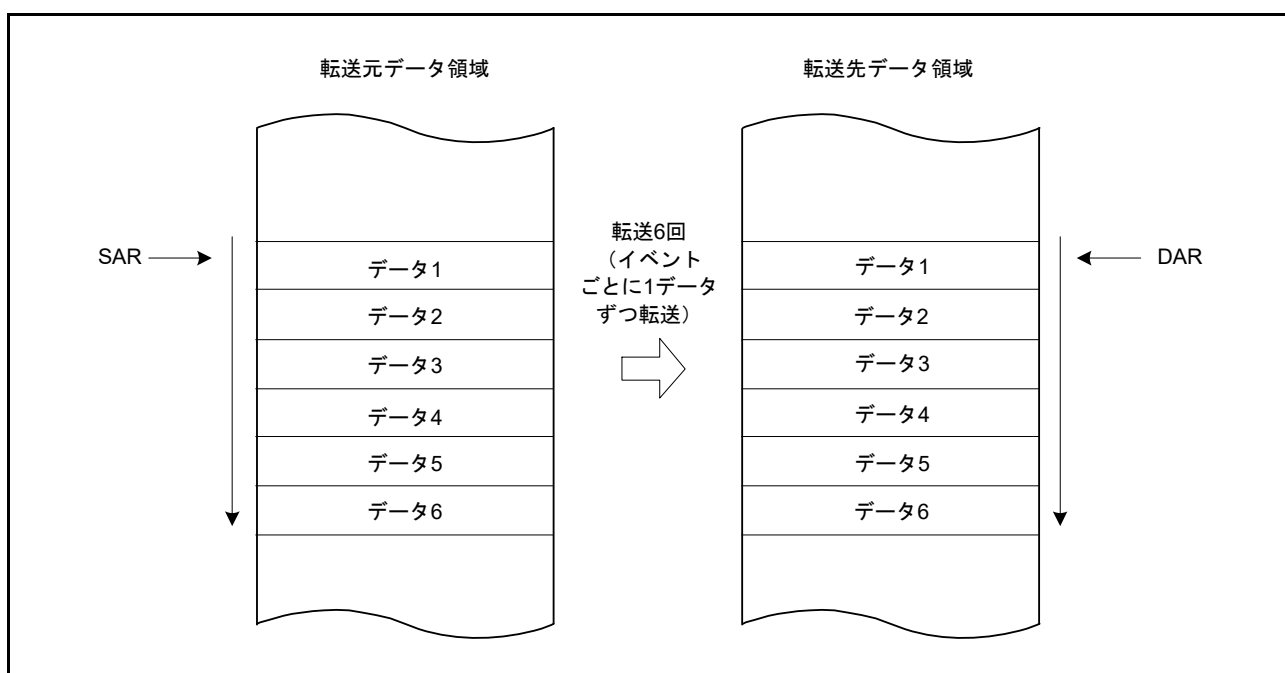


図 17.5 ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0006h)



#### 17.4.4 リピート転送モード

リピート転送モードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、または1ワード（32ビット）のデータ転送が可能です。MRB.DTSビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256回まで設定できます。指定回数の転送が終了すると、リピート領域に指定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ（CRALレジスタ）が00hになると、CRALレジスタの値はCRAHレジスタで設定した値に更新されます。このため、転送カウンタが00hにならないので、MRB.DISELビットが0になっていると、CPUへの割り込み要求は禁止されます。指定されたデータ転送が終了したとき、CPUへの割り込みが発生します。

リピート転送モードのレジスタ機能を表17.6に、リピート転送モードのメモリマップを図17.6に示します。

表 17.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値	
		CRALが1以外のとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	<ul style="list-style-type: none"> <li>MRB.DTSビット=0のとき インクリメント、デクリメントまたは固定 (注1)</li> <li>MRB.DTSビット=1のとき SARレジスタの初期値</li> </ul>
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	<ul style="list-style-type: none"> <li>MRB.DTSビット=0のとき DARレジスタの初期値</li> <li>MRB.DTSビット=1のとき インクリメント、デクリメントまたは固定 (注1)</li> </ul>
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタA	CRAL - 1	CRAH
CRB	転送カウンタB	更新なし	更新なし

注1. アドレス固定のとき、ライトバックはスキップされます。

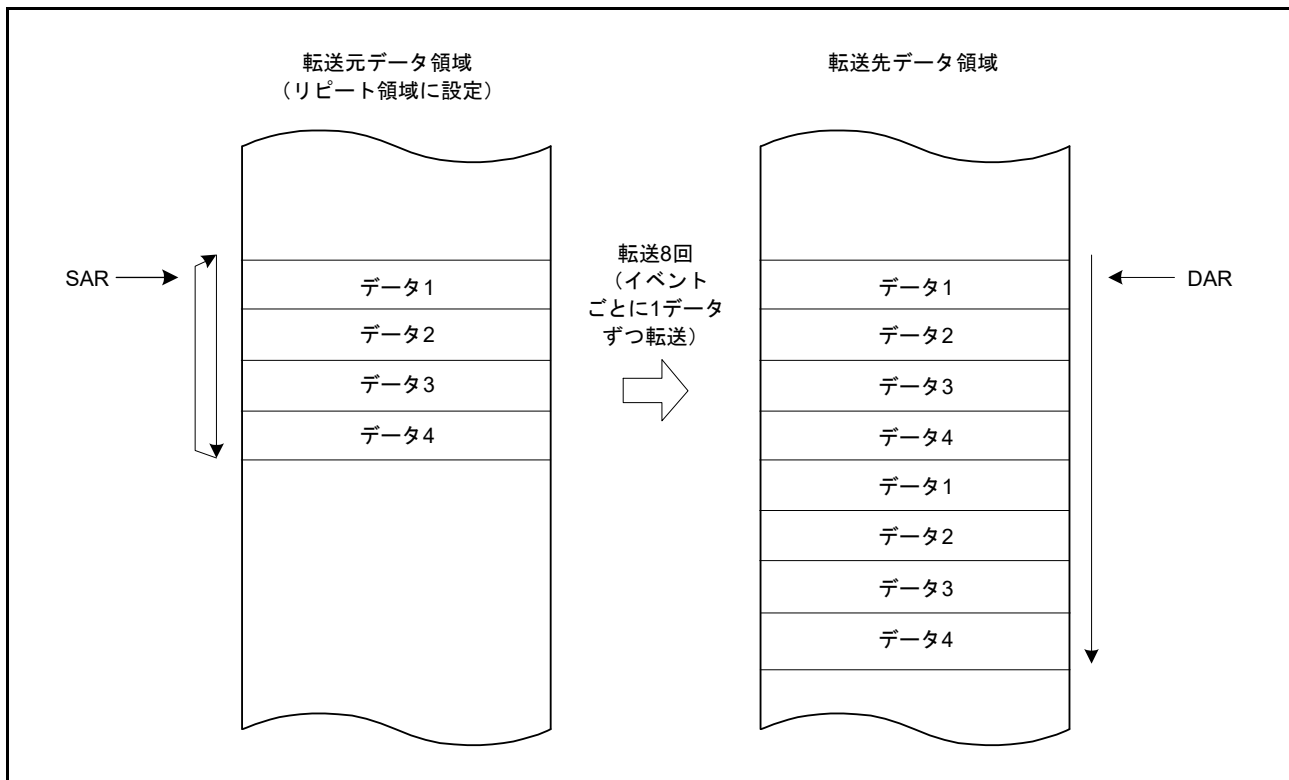


図 17.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合) (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 04h)

### 17.4.5 ブロック転送モード

ブロック転送モードでは、1つの起動要因で1ブロックのデータ転送が可能です。MRB.DTSビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1～256バイト、1～256ハーフワード(2～512バイト)、または1～256ワード(4～1024バイト)に設定できます。指定された1ブロックの転送が終了すると、ブロックサイズカウンタ(CRALレジスタ)と、ブロック領域に指定したアドレスレジスタ(MRB.DTSビットが1のときSARレジスタ、DTSビットが0のときDARレジスタ)は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数(ブロック数)は、1～65536まで指定可能です。指定回数ブロック転送が終了すると、CPUへの割り込み要求を発生させることができます。

ブロック転送モードのレジスタ機能を表17.7に、ブロック転送モードのメモリマップを図17.7に示します。

表 17.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	<ul style="list-style-type: none"> <li>MRB.DTSビット=0のとき インクリメント/デクリメント/固定(注1)</li> <li>MRB.DTSビット=1のとき SARレジスタの初期値</li> </ul>
DAR	転送先アドレス	<ul style="list-style-type: none"> <li>MRB.DTSビット=0のとき DARレジスタの初期値</li> <li>MRB.DTSビット=1のとき インクリメント/デクリメント/固定(注1)</li> </ul>
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注1. アドレス固定のとき、ライトバックはスキップされます。

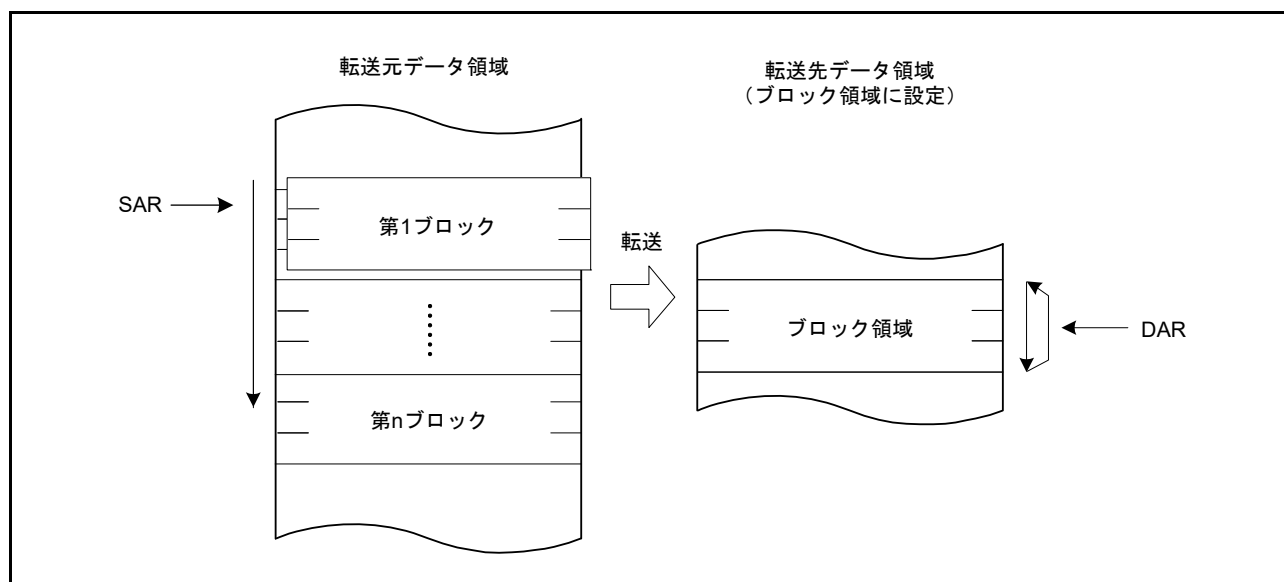


図 17.7 ブロック転送モードのメモリマップ

### 17.4.6 チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL ビット = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR ビットに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 17.8 にチェーン転送の動作を示します。

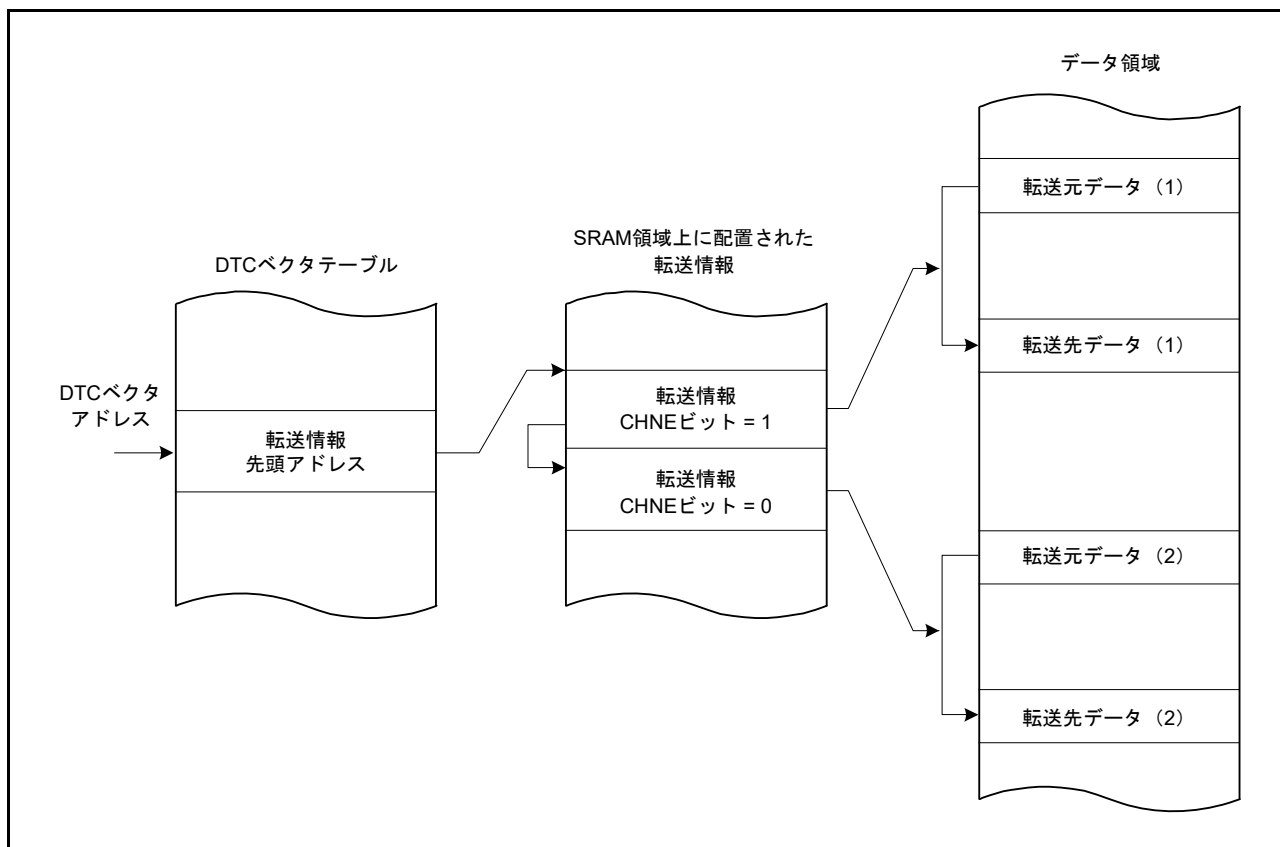


図 17.8 チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 17.3 チェーン転送の条件を参照してください。

### 17.4.7 動作タイミング

図 17.9 ~ 図 17.12 に示すタイミング図は、最小実行サイクル数を示しています。

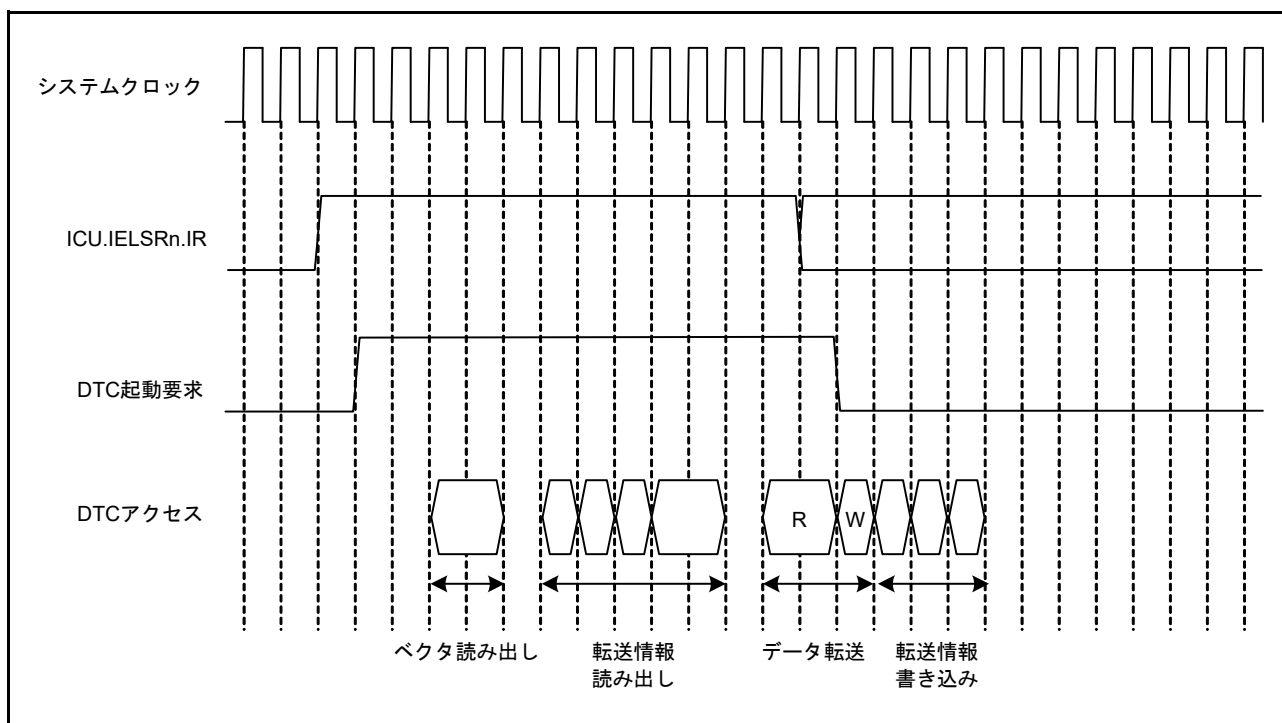


図 17.9 DTC 動作タイミング例 1 (ノーマル転送モード、リピート転送モードの場合)

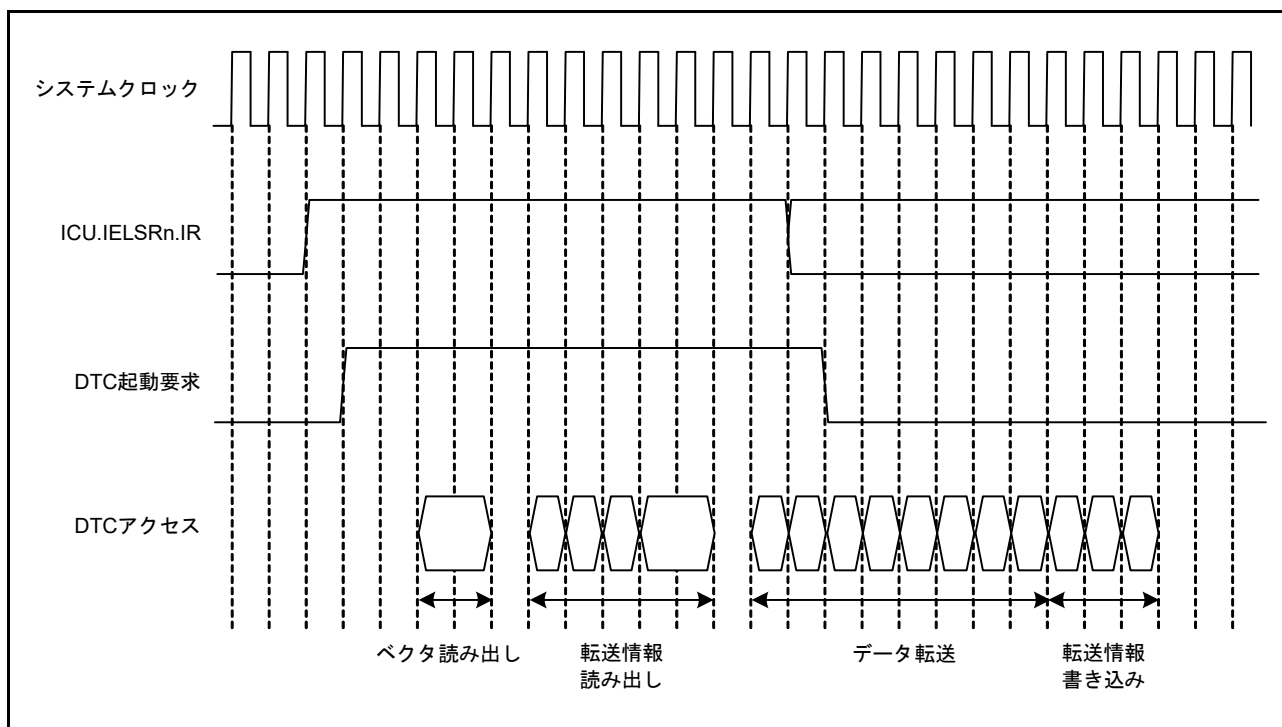


図 17.10 DTC 動作タイミング例 2 (ブロック転送モードでブロックサイズ=4の場合)

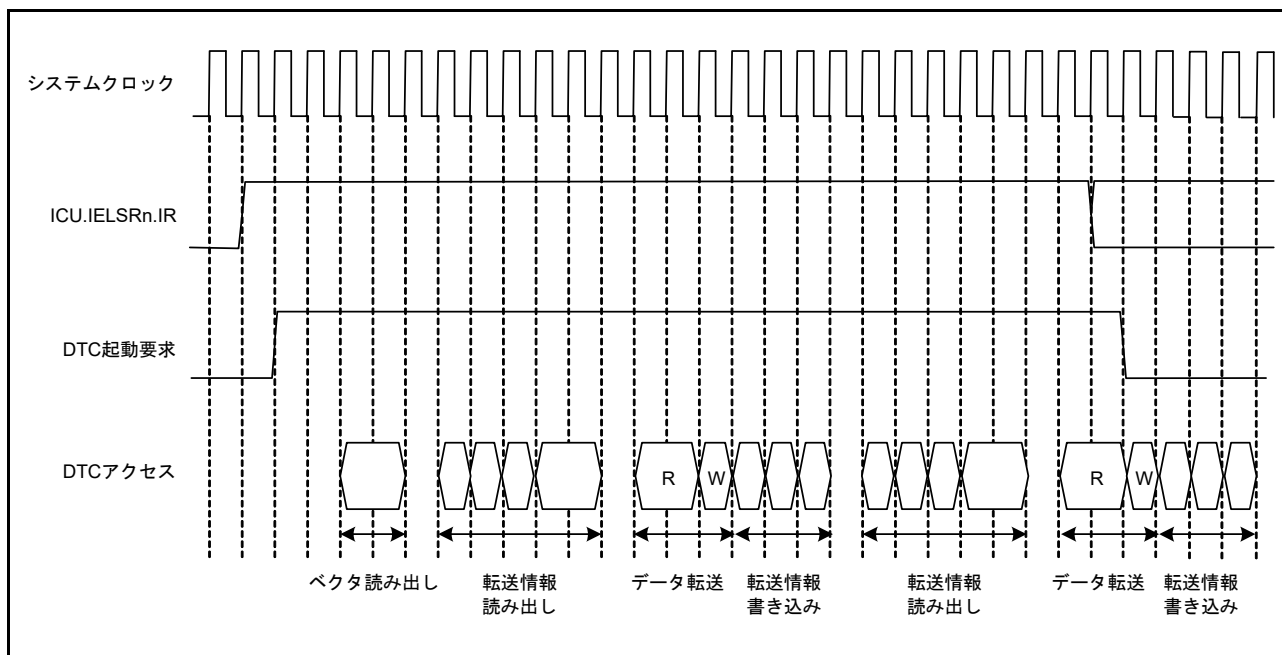


図 17.11 DTC 動作タイミング例 3 (チェーン転送の場合)

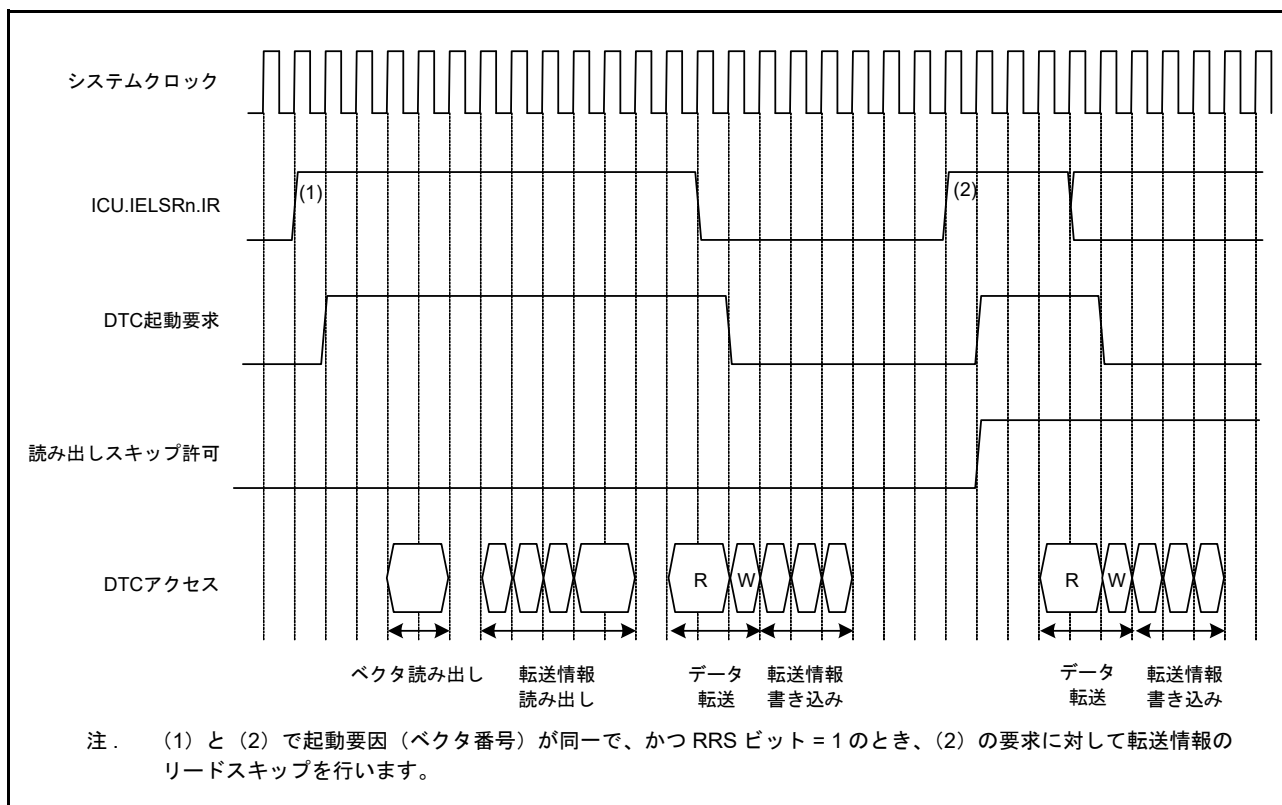


図 17.12 転送情報リードスキップ時の動作例 (ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合)

### 17.4.8 DTCの実行サイクル

DTCの1回のデータ転送の実行サイクルを表17.8に示します。

各実行状態の順序については、17.4.7 動作タイミングを参照してください。

表 17.8 DTCの実行サイクル

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
								読み出し	書き込み		
ノーマル	$Cv + Cs1 + 1$	0 (注1)	$4 \times (Ci + Cs1) + 1$	0 (注1)	$3 \times (Ci + Cs1) + 1$ (注2)	$2 \times (Ci + Cs1) + 1$ (注3)	$(Ci + Cs1)$ (注4)	$Cr + Cs2 + 1$	$Cw + Cs2 + 1$	2	0 (注1)
リポート								$Cr + Cs2 + 1$	$Cw + Cs2 + 1$		
ブロック (注5)								$P \times (Cr + Cs2)$	$P \times (Cw + Cs2)$		

注1. 転送情報がリードスキップされる場合

注2. SARレジスタとDARレジスタがともにアドレス固定でない場合

注3. SARレジスタとDARレジスタのいずれかがアドレス固定の場合

注4. SARレジスタとDARレジスタがともにアドレス固定の場合

注5. ブロックサイズが2以上の場合。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

P: ブロックサイズ (CRAHおよびCRALレジスタの初期設定値)

Cv: ベクタ転送情報格納先へのアクセスサイクル

Ci: 転送情報格納先アドレスへのアクセスサイクル

Cr: データリード先へのアクセスサイクル

Cw: データライト先へのアクセスサイクル

Cs1: SRAMHSへのアクセス時: 2サイクル

上記以外へのアクセス時: 0サイクル

スレーブバスがリード/ライトデータ転送によって変化する場合、さらに1サイクルを追加

Cs2: システムコントロールに関連するSRAMHSおよび周辺モジュールへのアクセス時: 2サイクル

上記以外へのアクセス時: 0サイクル

スレーブバスがリード/ライトデータ転送によって変化する場合、さらに1サイクルを追加

ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の+1の単位と、内部動作の列に記載の2の単位は、システムクロック (ICLK) です。

Cv、Ci、Cr、Cwは対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「40. SRAM」および「41. フラッシュメモリ」を参照してください。

システムクロックと周辺クロックの周波数比も考慮されています。

DTCの応答時間は、DTCの起動要因が検出されてからDTC転送が始まるまでの時間です。

この表には、DTCの起動要因がアクティブになってからDTCデータ転送が始まるまでの時間は含まれていません。

### 17.4.9 DTCのバス権解放タイミング

DTCは、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「14. バス」を参照してください。

## 17.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。図 17.13 に、DTC の設定手順を示します。

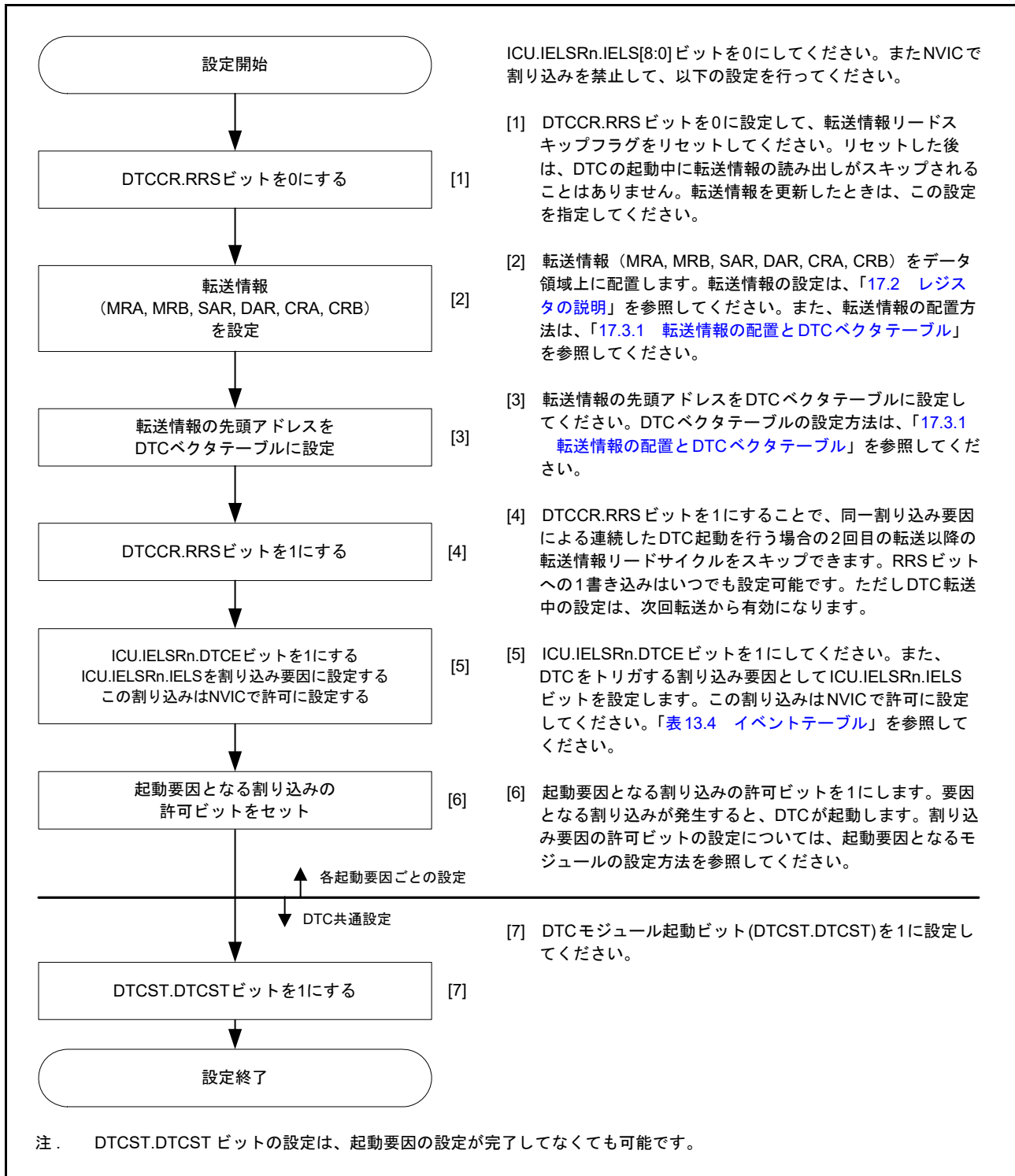


図 17.13 DTC の設定手順



## 17.6 DTC の使用例

### 17.6.1 ノーマル転送

ここでは、SCI から 128 バイトのデータ受信を行う場合の DTC の使用例と応用例を示します。

#### (1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0]=00b)、ノーマル転送モード (MRA.MD[1:0]=00b)、およびバイト転送 (MRA.SZ[1:0]=00b) を設定します。MRB レジスタには、転送先アドレスインクリメント (MRB.DM[1:0]=10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE=0、MRB.DISEL=0) を設定します。MRB.DTS ビットは、任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0080h) を設定します。CRB レジスタは任意の値を設定できます。

#### (2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

#### (3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

#### (4) SCI の設定

SCI の SCR.RIE ビットを 1 にして RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるように設定してください。

#### (5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

#### (6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する RXI 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

## 17.6.2 チェーン転送

ここでは、DTCのチェーン転送の例として、汎用PWMタイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWMタイマのコンペア値を転送し、GPT用PWMタイマの周期を変更することが可能です。

チェーン転送の最初の転送には、GPT32m.GTCCRCレジスタ ( $m = \text{EH0} \sim \text{EH3}, \text{E4} \sim \text{E7}, 8 \sim 12$ ) への転送用にノーマル転送モードを指定します。チェーン転送の2番目の転送には、GPT32m.GTCCREレジスタへの転送用にノーマル転送モードを指定します。チェーン転送の3番目の転送には、GPT32m.GTPBRレジスタへの転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の3番目の転送、すなわちMRB.CHNE = 0のときの転送にのみ行われるからです。

以下の例では、DTCの起動要因として、GPT32EH0.GTPRレジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

### (1) 第1転送情報の設定

GPT32EH0.GTCCRCレジスタへの転送を設定します。

1. MRAレジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRBレジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1、MRB.CHNS = 0) を設定します。
4. SARレジスタにデータテーブルの先頭アドレスを設定します。
5. DARレジスタにGPT32EH0.GTCCRCレジスタのアドレスを設定します。
6. CRAHおよびCRALレジスタにデータテーブルのサイズを設定します。CRBレジスタは任意の値を設定できます。

### (2) 第2転送情報の設定

GPT32EH0.GTCCREレジスタへの転送を設定します。

1. MRAレジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRBレジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1、MRB.CHNS = 0) を設定します。
4. SARレジスタにデータテーブルの先頭アドレスを設定します。
5. DARレジスタにGPT32EH0.GTCCREレジスタのアドレスを設定します。
6. CRAHおよびCRALレジスタにデータテーブルのサイズを設定します。CRBレジスタは任意の値を設定できます。

### (3) 第3転送情報の設定

GPT32EH0.GTPBRレジスタへの転送を設定します。

1. MRAレジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRBレジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、1回の割り込みで1回のデータ転送 (MRB.CHNE = 0、MRB.DISEL = 0) を設定します。MRB.DTSビットは、任意の値を設定できます。
4. SARレジスタにデータテーブルの先頭アドレスを設定します。
5. DARレジスタにGPT32EH0.GTPBRレジスタのアドレスを設定します。
6. CRAレジスタにデータテーブルのサイズを設定します。CRBレジスタは任意の値を設定できます。

#### (4) 転送情報の配置

GPT32EH0.GTPBR レジスタへのデータ転送で使用する転送情報は、GPT32EH0.GTCCRC レジスタと GPT32EH0.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

#### (5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT32EH0.GTCCRC レジスタと GPT32EH0.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

#### (6) ICU の設定と DTC モジュールの起動

1. GPT32EH0 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[8:0] ビットを 182 (B6h) にして、GPT32EH0 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

#### (7) GPT の設定

1. GTCCRA および GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT32EH0.GTIOR レジスタを設定します。
2. GPT32EH0.GTCCRA レジスタと GPT32EH0.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT32EH0.GTCCRC レジスタと GPT32EH0.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。
3. GPT32EH0.GTPR レジスタには、デフォルトの PWM タイマ周期を設定し、GPT32EH0.GTPBR レジスタには、次の PWM タイマ周期を設定します。
4. PmnPFS.PDR の出力ビットを 1 にして、PmnPFS.PSEL[4:0] の周辺選択ビットを 00011b にします。

#### (8) GPT の起動

GPT32EH0.GTSTR.CSTRT ビットを 1 にして、GPT32EH0.GTCNT カウンタのカウント動作を開始します。

#### (9) DTC 転送

GPT32EH0.GTPR レジスタで GPT32EH0 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT32EH0.GTCCRC レジスタと GPT32EH0.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT32EH0.GTPBR レジスタへ転送されます。

#### (10) 割り込み処理

指定した回数の転送終了後 (たとえば、GPT 転送用 CRA レジスタの値が 0 になると)、CPU に対して GPT カウンタオーバーフロー割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

### 17.6.3 カウンタ = 0 のときのチェーン転送

第2転送は第1データ転送の転送カウンタが0になったときにだけ実行されます。第1データ転送情報は第2転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256回以上のリピータ転送が可能になります。

以下に、128Kバイトの入力バッファを構成する例を示します。入力バッファは下位アドレスが0000hから始まるように設定されています。カウンタ=0のときのチェーン転送を図17.14に示します。

1. 第1データ転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
  - a. 転送元アドレス = 固定
  - b. CRAレジスタ = 0000h (65536回)
  - c. MRB.CHNEビット = 1 (チェーン転送許可)
  - d. MRB.CHNSビット = 1 (転送カウンタが0の場合のみチェーン転送を行う)
  - e. MRB.DISELビット = 0 (指定されたデータ転送の終了時、CPUへの割り込み要求が発生)
2. 第1データ転送の転送先アドレスの65536回ごとに、開始アドレスの上位8ビットアドレスを別の領域(フラッシュなど)に用意してください。たとえば、入力バッファを20 0000h ~ 21 FFFFhにする場合は、21hと20hを用意します。
3. 第2データ転送は以下のように設定してください。
  - a. 第1データ転送の転送先アドレスをリセットするため、リピータ転送モード(転送元をリピータ領域)に設定
  - b. 転送先として、第1転送情報領域のDARレジスタの上位8ビットを指定
  - c. MRB.CHNEビット = 0 (チェーン転送禁止)
  - d. MRB.DISELビット = 0 (指定されたデータ転送の終了時、CPUへの割り込み要求が発生)
  - e. 入力バッファを20 0000h ~ 21 FFFFhにした場合は、転送カウンタ = 2
4. 1回の割り込みで、第1データ転送が65536回実行されます。第1データ転送の転送カウンタが0になると、第2データ転送がスタートします。第1データ転送の転送先アドレスの上位8ビットを21hにしてください。転送先アドレスの下位16ビットと、第1データ転送の転送カウンタは0000hになります。
5. 引き続き1回の割り込みで、第1データ転送用に指定された65536回だけ、第1データ転送が実行されます。第1データ転送の転送カウンタが0になると、第2データ転送がスタートします。第1データ転送の転送先アドレスの上位8ビットを20hにしてください。転送先アドレスの下位16ビットと、第1データ転送の転送カウンタは0000hになります。
6. 手順4と5が無限に繰り返されます。第2データ転送はリピータ転送モードのため、CPUへの割り込み要求は発生しません。

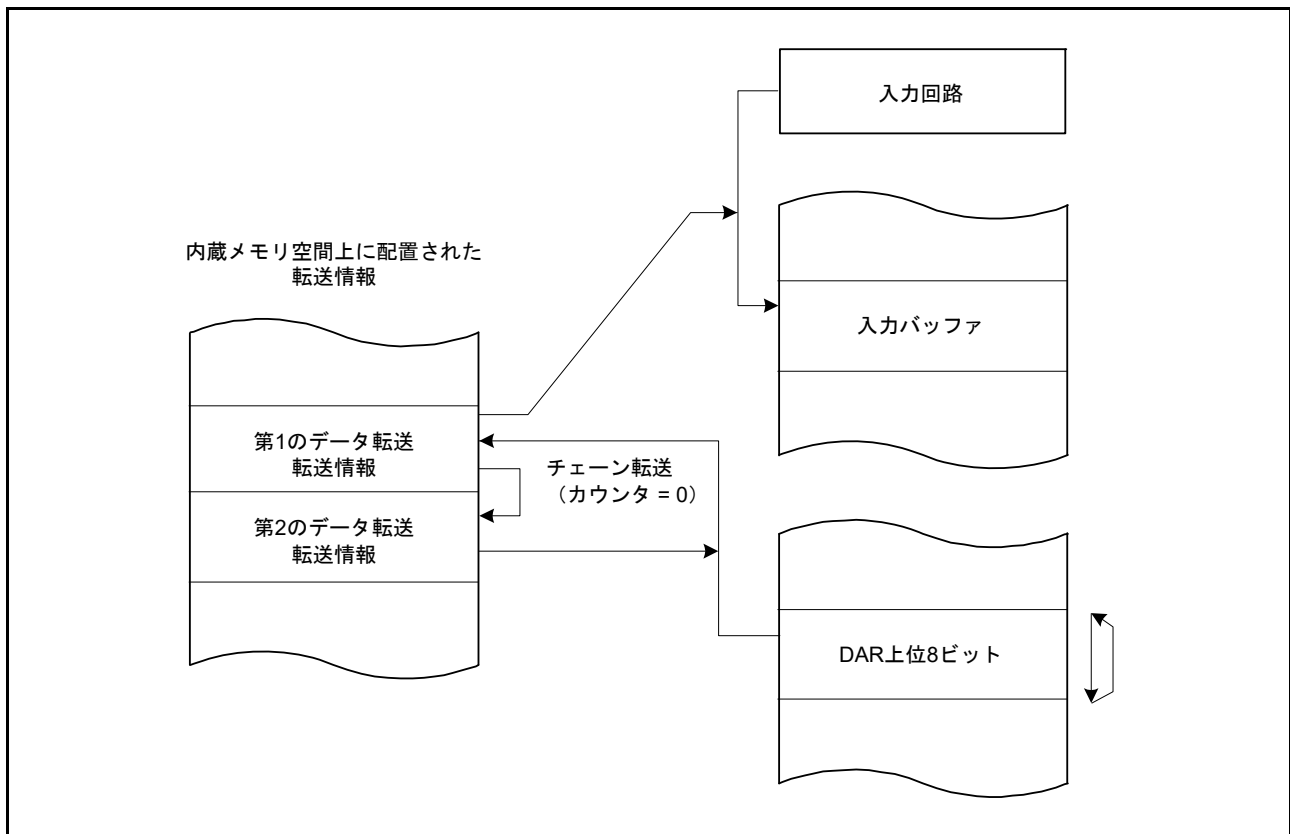


図 17.14 カウンタ = 0 のときのチェーン転送

## 17.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。CPU に対する割り込みは、NVIC および ICU.IELSRn.IELS[8:0] ビットの設定に従って制御されます。「13. 割り込みコントローラユニット (ICU)」を参照してください。

DTC が決定する起動要因の優先順位は、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

## 17.8 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力することが可能です。

## 17.9 スヌーズ制御インタフェース

DTC によってスヌーズモードからソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED を 1 にしてください。11.8.3 ソフトウェアスタンバイモードへの復帰を参照してください。

SYSTEM.SNZEDCR.DTCZRED は、最後の DTC 送信完了 (CRA と CRB が 0 であるときに検出) 時に、スヌーズ終了要求を許可または禁止にします。

SYSTEM.SNZEDCR.DTCNZRED は、最後以外の DTC 送信完了 (CRA と CRB が 0 以外であるときに検出) 時に、スヌーズ終了要求を許可または禁止にします。

## 17.10 モジュールストップ機能

モジュールストップ機能、スヌーズモードへの遷移を伴わないソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にした後、本項に示す動作を実行してください。LPW.SNZCR.SNZDTCEN を 1 にすると、DTC はスヌーズモードでも利用可能です。「11. 低消費電力モード」を参照してください。

### (1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたときに DTC 転送が動作中の場合、DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書くことで、DTC のモジュールストップ状態が解除されます。

### (2) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

11.7.1 ソフトウェアスタンバイモードへの遷移または 11.9.1 ディープソフトウェアスタンバイモードへの遷移の手順に従って設定してください。

WFI 命令実行時に DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードやディープソフトウェアスタンバイモードへ遷移します。

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。11.8.1 スヌーズモードへの遷移を参照してください。スヌーズモード時の DTC の動作は、SYSTEM.SNZCR.SNZDTCEN ビットで選択できます。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。DTC によってソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED を 1 にしてください。11.8.3 ソフトウェアスタンバイモードへの復帰を参照してください。ソフトウェアスタンバイモード中は ICU からの DTC 起動要求は停止しますが、スヌーズモード中は停止しません。

### (3) モジュールストップ機能の注意事項

WFI 命令とレジスタの設定手順については、「11. 低消費電力モード」を参照してください。

スヌーズモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、13.4.2 割り込み要求先の選択に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スヌーズモード時に DTC 動作を許可にする場合、DTC のモジュールストップ機能を使用しないでください。

## 17.11 使用上の注意事項

### 17.11.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

## 18. イベントリンクコントローラ (ELC)

### 18.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 18.1 に ELC の仕様を、図 18.1 にブロック図を示します。

表 18.1 ELCの仕様

項目	内容
イベントリンク機能	229種類のイベント信号を、直接モジュールに接続可能。ELCイベント信号およびDTC起動用のイベントの発生が可能
モジュールストップ機能	モジュールストップ状態の設定が可能

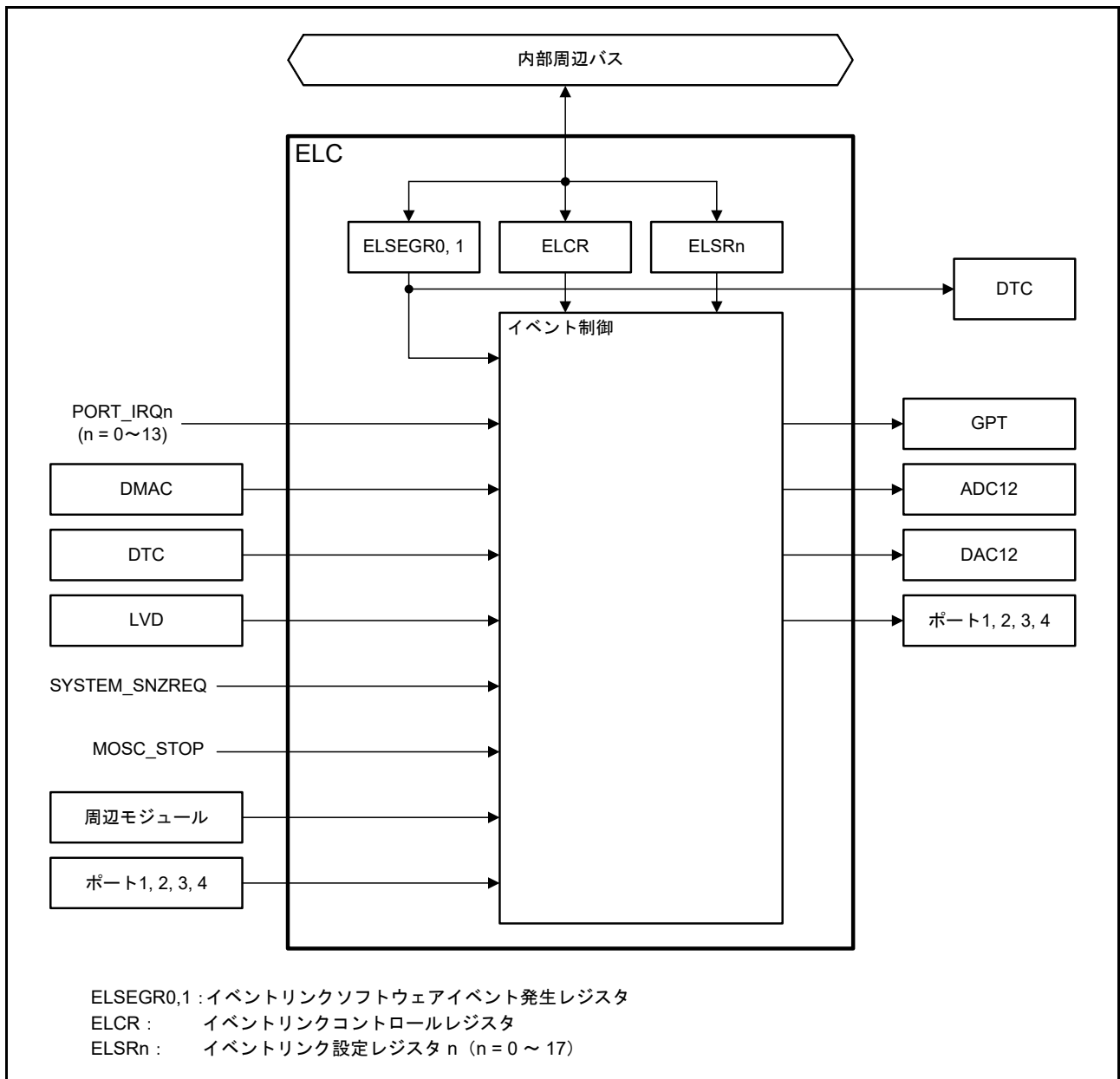


図 18.1 ELCのブロック図



## 18.2 レジスタの説明

### 18.2.1 イベントリンクコントローラレジスタ (ELCR)

アドレス [ELC.ELCR 4004 1000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	<a href="#">ELCON</a>	全イベントリンク有効	0 : ELC機能は無効 1 : ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

## 18.2.2 イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) (n = 0, 1)

アドレス ELC.ELSEGR0 4004 1002h, ELC.ELSEGR1 4004 1004h

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生	0: 通常動作 1: ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	WE	SEGビット書き込み許可	0: SEGビットへの書き込み禁止 1: SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止	0: ELSEGRレジスタへの書き込み許可 1: ELSEGRレジスタへの書き込み禁止	W

**SEG ビット (ソフトウェアイベント発生)**

WE ビットが1の状態ではSEG ビットに1を書くと、ソフトウェアイベントが発生します。読むと0が読めます。1を書いてもデータは格納されません。WE ビットを1にしてから、このビットを書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることが可能です。

**WE ビット (SEG ビット書き込み許可)**

WE ビットが1の場合にのみ、SEG ビットへの書き込みが可能になります。WI ビットを0にクリアしてから、このビットを書く必要があります。

[1になる条件]

- WI ビットが0の状態では1を書いたとき

[0になる条件]

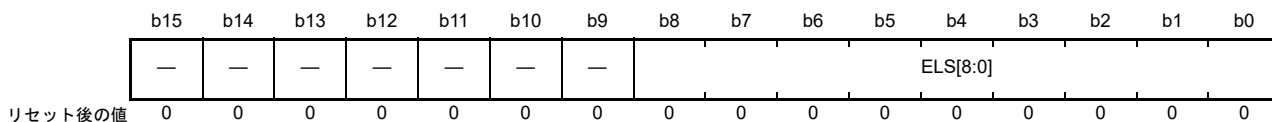
- WI ビットが0の状態では0を書いたとき

**WI ビット (ELSEGR レジスタ書き込み禁止)**

WI ビットへの書き込み値が0の場合にのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと1が読めます。WI ビットを0にしてから、WE または SEG ビットを設定する必要があります。

## 18.2.3 イベントリンク設定レジスタ (ELSRn) (n = 0 ~ 17)

アドレス [ELC.ELSR0 4004 1010h](#), [ELC.ELSR1 4004 1014h](#), [ELC.ELSR2 4004 1018h](#), [ELC.ELSR3 4004 101Ch](#), [ELC.ELSR4 4004 1020h](#),  
[ELC.ELSR5 4004 1024h](#), [ELC.ELSR6 4004 1028h](#), [ELC.ELSR7 4004 102Ch](#), [ELC.ELSR8 4004 1030h](#), [ELC.ELSR9 4004 1034h](#),  
[ELC.ELSR10 4004 1038h](#), [ELC.ELSR11 4004 103Ch](#), [ELC.ELSR12 4004 1040h](#), [ELC.ELSR13 4004 1044h](#),  
[ELC.ELSR14 4004 1048h](#), [ELC.ELSR15 4004 104Ch](#), [ELC.ELSR16 4004 1050h](#), [ELC.ELSR17 4004 1054h](#)



ビット	シンボル	ビット名	機能	R/W
b8-b0	<a href="#">ELS[8:0]</a>	イベントリンク選択	b8 b0 000000000 : 対応する周辺モジュールへのイベント出力は禁止  000000001 ~ 111000101b : リンクするイベント信号の番号を指定  上記以外は設定しないでください。	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を[表 18.2](#)に示します。また、ELSRn レジスタに設定するイベント信号名と信号番号の対応を[表 18.3](#)に示します。

表 18.2 ELSRn レジスタと周辺機能の対応

レジスタ名	周辺機能 (モジュール)	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR4	GPT (E)	ELC_GPTE
ELSR5	GPT (F)	ELC_GPTF
ELSR6	GPT (G)	ELC_GPTG
ELSR7	GPT (H)	ELC_GPTH
ELSR8	ADC12A0	ELC_AD00
ELSR9	ADC12B0	ELC_AD01
ELSR10	ADC12A1	ELC_AD10
ELSR11	ADC12B1	ELC_AD11
ELSR12	DAC12チャンネル0	ELC_DA0
ELSR13	DAC12チャンネル1	ELC_DA1
ELSR14	PORT 1	ELC_PORT1
ELSR15	PORT 2	ELC_PORT2
ELSR16	PORT 3	ELC_PORT3
ELSR17	PORT 4	ELC_PORT4

表 18.3 ELSRn.ELS[8:0] ビットに設定するイベント信号名と信号番号の対応 (1/6)

イベント番号	割り込み要求の発生元	名称	内容
001h	ポート	PORT_IRQ0 (注1)	外部端子割り込み0
002h		PORT_IRQ1 (注1)	外部端子割り込み1
003h		PORT_IRQ2 (注1)	外部端子割り込み2
004h		PORT_IRQ3 (注1)	外部端子割り込み3
005h		PORT_IRQ4 (注1)	外部端子割り込み4
006h		PORT_IRQ5 (注1)	外部端子割り込み5
007h		PORT_IRQ6 (注1)	外部端子割り込み6
008h		PORT_IRQ7 (注1)	外部端子割り込み7
009h		PORT_IRQ8 (注1)	外部端子割り込み8
00Ah		PORT_IRQ9 (注1)	外部端子割り込み9
00Bh		PORT_IRQ10 (注1)	外部端子割り込み10
00Ch		PORT_IRQ11 (注1)	外部端子割り込み11
00Dh		PORT_IRQ12 (注1)	外部端子割り込み12
00Eh		PORT_IRQ13 (注1)	外部端子割り込み13
020h	DMAC0	DMAC0_INT	DMAC転送終了0
021h	DMAC1	DMAC1_INT	DMAC転送終了1
022h	DMAC2	DMAC2_INT	DMAC転送終了2
023h	DMAC3	DMAC3_INT	DMAC転送終了3
024h	DMAC4	DMAC4_INT	DMAC転送終了4
025h	DMAC5	DMAC5_INT	DMAC転送終了5
026h	DMAC6	DMAC6_INT	DMAC転送終了6
027h	DMAC7	DMAC7_INT	DMAC転送終了7
02Ah	DTC	DTC_DTCEND (注3)	DTC転送終了
038h	LVD	LVD_LVD1	電圧監視1割り込み
039h		LVD_LVD2	電圧監視2割り込み
03Bh	MOSC	MOSC_STOP	メインクロック発振停止
03Ch	低消費電力モード	SYSTEM_SNZREQ (注2) (注3)	スヌーズエントリ
040h	AGT0	AGT0_AGTI	AGT割り込み
041h		AGT0_AGTCMAI	コンペアマッチA
042h		AGT0_AGTCMBI	コンペアマッチB
043h	AGT1	AGT1_AGTI	AGT割り込み
044h		AGT1_AGTCMAI	コンペアマッチA
045h		AGT1_AGTCMBI	コンペアマッチB
046h	IWDT	IWDT_NMIUNDF	IWDTアンダーフロー
047h	WDT	WDT_NMIUNDF	WDTアンダーフロー
04Bh	ADC120	ADC120_ADI	A/Dスキャン変換終了割り込み
04Fh		ADC120_WCMPPM (注3)	コンペアマッチ
050h		ADC120_WCMPUM (注3)	コンペア不一致
051h	ADC121	ADC121_ADI	A/Dスキャン変換終了割り込み
055h		ADC121_WCMPPM (注3)	コンペアマッチ
056h		ADC121_WCMPUM (注3)	コンペア不一致

表 18.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (2/6)

イベント番号	割り込み要求の発生元	名称	内容
057h	ACMPHS	ACMP_HS0 (注1)	高速アナログコンパレータ割り込み0
058h		ACMP_HS1 (注1)	高速アナログコンパレータ割り込み1
059h		ACMP_HS2 (注1)	高速アナログコンパレータ割り込み2
05Ah		ACMP_HS3 (注1)	高速アナログコンパレータ割り込み3
05Bh		ACMP_HS4 (注1)	高速アナログコンパレータ割り込み4
05Ch		ACMP_HS5 (注1)	高速アナログコンパレータ割り込み5
063h	IIC0	IIC0_RXI	受信データフル
064h		IIC0_TXI	送信データエンプティ
065h		IIC0_TEI	送信終了
066h		IIC0_EEI	通信エラー
068h	IIC1	IIC1_RXI	受信データフル
069h		IIC1_TXI	送信データエンプティ
06Ah		IIC1_TEI	送信終了
06Bh		IIC1_EEI	通信エラー
086h	DOC	DOC_DOPCI (注3)	データ演算回路割り込み
094h	I/Oポート	IOPORT_GROUP1	ポート1イベント
095h		IOPORT_GROUP2	ポート2イベント
096h		IOPORT_GROUP3	ポート3イベント
097h		IOPORT_GROUP4	ポート4イベント
098h	ELC	ELC_SWEVT0	ソフトウェアイベント0
099h		ELC_SWEVT1	ソフトウェアイベント1
0B0h	GPT32EH0	GPT0_CCMPA	コンペアマッチA
0B1h		GPT0_CCMPB	コンペアマッチB
0B2h		GPT0_CMPC	コンペアマッチC
0B3h		GPT0_CMPD	コンペアマッチD
0B4h		GPT0_CMPE	コンペアマッチE
0B5h		GPT0_CMPF	コンペアマッチF
0B6h		GPT0_OVF	オーバーフロー
0B7h		GPT0_UDF	アンダーフロー
0B8h		GPT0_ADTRGA	A/D変換開始要求A
0B9h		GPT0_ADTRGB	A/D変換開始要求B
0BAh	GPT32EH1	GPT1_CCMPA	コンペアマッチA
0BBh		GPT1_CCMPB	コンペアマッチB
0BCh		GPT1_CMPC	コンペアマッチC
0BDh		GPT1_CMPD	コンペアマッチD
0BEh		GPT1_CMPE	コンペアマッチE
0BFh		GPT1_CMPF	コンペアマッチF
0C0h		GPT1_OVF	オーバーフロー
0C1h		GPT1_UDF	アンダーフロー
0C2h		GPT1_ADTRGA	A/D変換開始要求A
0C3h		GPT1_ADTRGB	A/D変換開始要求B

表 18.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (3/6)

イベント番号	割り込み要求の発生元	名称	内容
0C4h	GPT32EH2	GPT2_CCMPA	コンペアマッチA
0C5h		GPT2_CCMPB	コンペアマッチB
0C6h		GPT2_CMPC	コンペアマッチC
0C7h		GPT2_CMPD	コンペアマッチD
0C8h		GPT2_CMPE	コンペアマッチE
0C9h		GPT2_CMPF	コンペアマッチF
0CAh		GPT2_OVF	オーバーフロー
0CBh		GPT2_UDF	アンダーフロー
0CCh		GPT2_ADTRGA	A/D変換開始要求A
0CDh		GPT2_ADTRGB	A/D変換開始要求B
0CEh		GPT32EH3	GPT3_CCMPA
0CFh	GPT3_CCMPB		コンペアマッチB
0D0h	GPT3_CMPC		コンペアマッチC
0D1h	GPT3_CMPD		コンペアマッチD
0D2h	GPT3_CMPE		コンペアマッチE
0D3h	GPT3_CMPF		コンペアマッチF
0D4h	GPT3_OVF		オーバーフロー
0D5h	GPT3_UDF		アンダーフロー
0D6h	GPT3_ADTRGA		A/D変換開始要求A
0D7h	GPT3_ADTRGB		A/D変換開始要求B
0D8h	GPT32E4		GPT4_CCMPA
0D9h		GPT4_CCMPB	コンペアマッチB
0DAh		GPT4_CMPC	コンペアマッチC
0DBh		GPT4_CMPD	コンペアマッチD
0DCh		GPT4_CMPE	コンペアマッチE
0DDh		GPT4_CMPF	コンペアマッチF
0DEh		GPT4_OVF	オーバーフロー
0DFh		GPT4_UDF	アンダーフロー
0E0h		GPT4_ADTRGA	A/D変換開始要求A
0E1h		GPT4_ADTRGB	A/D変換開始要求B
0E2h		GPT32E5	GPT5_CCMPA
0E3h	GPT5_CCMPB		コンペアマッチB
0E4h	GPT5_CMPC		コンペアマッチC
0E5h	GPT5_CMPD		コンペアマッチD
0E6h	GPT5_CMPE		コンペアマッチE
0E7h	GPT5_CMPF		コンペアマッチF
0E8h	GPT5_OVF		オーバーフロー
0E9h	GPT5_UDF		アンダーフロー
0EAh	GPT5_ADTRGA		A/D変換開始要求A
0EBh	GPT5_ADTRGB		A/D変換開始要求B

表 18.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (4/6)

イベント番号	割り込み要求の発生元	名称	内容
0ECh	GPT32E6	GPT6_CCMPA	コンペアマッチA
0EDh		GPT6_CCMPB	コンペアマッチB
0EEh		GPT6_CMPC	コンペアマッチC
0EFh		GPT6_CMPD	コンペアマッチD
0F0h		GPT6_CMPE	コンペアマッチE
0F1h		GPT6_CMPF	コンペアマッチF
0F2h		GPT6_OVF	オーバーフロー
0F3h		GPT6_UDF	アンダーフロー
0F4h		GPT6_ADTRGA	A/D変換開始要求A
0F5h		GPT6_ADTRGB	A/D変換開始要求B
0F6h	GPT32E7	GPT7_CCMPA	コンペアマッチA
0F7h		GPT7_CCMPB	コンペアマッチB
0F8h		GPT7_CMPC	コンペアマッチC
0F9h		GPT7_CMPD	コンペアマッチD
0FAh		GPT7_CMPE	コンペアマッチE
0FBh		GPT7_CMPF	コンペアマッチF
0FCh		GPT7_OVF	オーバーフロー
0FDh		GPT7_UDF	アンダーフロー
0FEh		GPT7_ADTRGA	A/D変換開始要求A
0FFh		GPT7_ADTRGB	A/D変換開始要求B
100h	GPT328	GPT8_CCMPA	コンペアマッチA
101h		GPT8_CCMPB	コンペアマッチB
102h		GPT8_CMPC	コンペアマッチC
103h		GPT8_CMPD	コンペアマッチD
104h		GPT8_CMPE	コンペアマッチE
105h		GPT8_CMPF	コンペアマッチF
106h		GPT8_OVF	オーバーフロー
107h		GPT8_UDF	アンダーフロー
10Ah	GPT329	GPT9_CCMPA	コンペアマッチA
10Bh		GPT9_CCMPB	コンペアマッチB
10Ch		GPT9_CMPC	コンペアマッチC
10Dh		GPT9_CMPD	コンペアマッチD
10Eh		GPT9_CMPE	コンペアマッチE
10Fh		GPT9_CMPF	コンペアマッチF
110h		GPT9_OVF	オーバーフロー
111h		GPT9_UDF	アンダーフロー
114h	GPT3210	GPT10_CCMPA	コンペアマッチA
115h		GPT10_CCMPB	コンペアマッチB
116h		GPT10_CMPC	コンペアマッチC
117h		GPT10_CMPD	コンペアマッチD
118h		GPT10_CMPE	コンペアマッチE
119h		GPT10_CMPF	コンペアマッチF
11Ah		GPT10_OVF	オーバーフロー
11Bh		GPT10_UDF	アンダーフロー

表 18.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (5/6)

イベント番号	割り込み要求の発生元	名称	内容
11Eh	GPT3211	GPT11_CCMPA	コンペアマッチA
11Fh		GPT11_CCMPB	コンペアマッチB
120h		GPT11_CMPC	コンペアマッチC
121h		GPT11_CMPD	コンペアマッチD
122h		GPT11_CMPE	コンペアマッチE
123h		GPT11_CMPF	コンペアマッチF
124h		GPT11_OVF	オーバーフロー
125h		GPT11_UDF	アンダーフロー
128h		GPT3212	GPT12_CCMPA
129h	GPT12_CCMPB		コンペアマッチB
12Ah	GPT12_CMPC		コンペアマッチC
12Bh	GPT12_CMPD		コンペアマッチD
12Ch	GPT12_CMPE		コンペアマッチE
12Dh	GPT12_CMPF		コンペアマッチF
12Eh	GPT12_OVF		オーバーフロー
12Fh	GPT12_UDF		アンダーフロー
150h	GPT		GPT_UVWEDGE
174h	SCI0	SCI0_RXI (注4)	受信データフル
175h		SCI0_TXI (注4)	送信データエンプティ
176h		SCI0_TEI	送信終了
177h		SCI0_ERI (注4)	受信エラー
178h		SCI0_AM	アドレス一致イベント
17Ah	SCI1	SCI1_RXI (注4)	受信データフル
17Bh		SCI1_TXI (注4)	送信データエンプティ
17Ch		SCI1_TEI	送信終了
17Dh		SCI1_ERI (注4)	受信エラー
17Eh		SCI1_AM	アドレス一致イベント
180h	SCI2	SCI2_RXI (注4)	受信データフル
181h		SCI2_TXI (注4)	送信データエンプティ
182h		SCI2_TEI	送信終了
183h		SCI2_ERI (注4)	受信エラー
184h		SCI2_AM	アドレス一致イベント
186h	SCI3	SCI3_RXI (注4)	受信データフル
187h		SCI3_TXI (注4)	送信データエンプティ
188h		SCI3_TEI	送信終了
189h		SCI3_ERI (注4)	受信エラー
18Ah		SCI3_AM	アドレス一致イベント
18Ch	SCI4	SCI4_RXI (注4)	受信データフル
18Dh		SCI4_TXI (注4)	送信データエンプティ
18Eh		SCI4_TEI	送信終了
18Fh		SCI4_ERI (注4)	受信エラー
190h		SCI4_AM	アドレス一致イベント



表 18.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (6/6)

イベント番号	割り込み要求の発生元	名称	内容
1A4h	SCI8	SCI8_RXI (注4)	受信データフル
1A5h		SCI8_TXI (注4)	送信データエンプティ
1A6h		SCI8_TEI	送信終了
1A7h		SCI8_ERI (注4)	受信エラー
1A8h		SCI8_AM	アドレス一致イベント
1AAh	SCI9	SCI9_RXI (注4)	受信データフル
1ABh		SCI9_TXI (注4)	送信データエンプティ
1ACh		SCI9_TEI	送信終了
1ADh		SCI9_ERI (注4)	受信エラー
1AEh		SCI9_AM	アドレス一致イベント
1BCh	SPI0	SPI0_SPRI	受信データフル
1BDh		SPI0_SPTI	送信データエンプティ
1BEh		SPI0_SPII	アイドル
1BFh		SPI0_SPEI	受信エラー
1C0h		SPI0_SPTEND	送信終了
1C1h	SPI1	SPI1_SPRI	受信データフル
1C2h		SPI1_SPTI	送信データエンプティ
1C3h		SPI1_SPII	アイドル
1C4h		SPI1_SPEI	受信エラー
1C5h		SPI1_SPTEND	送信終了

注 1. パルス（エッジ検出）のみがサポートされています。

注 2. ELSR8 ~ ELSR11、および ELSR14 ~ ELSR17 が、このイベントを選択できます。

注 3. このイベントはスヌーズモードでも発生可能です。

注 4. このイベントは FIFO モードではサポートされていません。

## 18.3 動作説明

### 18.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

### 18.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSRn) に設定しておいたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、前もって完了しておく必要があります。表 18.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 18.4 イベント発生時のモジュールの動作

モジュール	イベント発生時の動作
GPT	<ul style="list-style-type: none"> <li>• カウント開始</li> <li>• カウント停止</li> <li>• カウントクリア</li> <li>• アップカウント</li> <li>• ダウンカウント</li> <li>• インプットキャプチャ</li> </ul>
ADC12	A/D変換開始
DAC12	D/A変換開始
I/Oポート	<ul style="list-style-type: none"> <li>• EORR (リセット) または EOSR (セット) に基づく端子出力の変化</li> <li>• 端子状態を EIDR にラッチ</li> <li>• ELC で使用可能なポート : <ul style="list-style-type: none"> <li>PORT 1</li> <li>PORT 2</li> <li>PORT 3</li> <li>PORT 4</li> </ul> </li> </ul>
DTC	DTCデータ転送開始

### 18.3.3 イベントリンクの動作設定手順例

イベントのリンク方法は以下のとおりです。

1. イベントをリンクするモジュールの動作設定を行います。
2. イベントをリンクするモジュールに対して、ELSRn レジスタを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にします。
4. イベント出力元モジュールの設定を行い、起動させます。これによって、2つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[8:0] ビットを 00000000b にします。また、ELCR.ELCON ビットを 0 にすることにより、すべてのイベントリンクを停止します。

## 18.4 使用上の注意事項

### 18.4.1 DMAC または DTC 転送終了のイベントリンクを使用する場合

DMAC または DTC 転送終了のイベントリンクを使用する場合、DMAC または DTC 転送先とイベントのリンク先を同一周辺モジュールに設定しないでください。設定すると、周辺モジュールへの DMAC または DTC 転送が完了する前に、周辺モジュールが起動する場合があります。

### 18.4.2 クロック設定について

イベントリンクを使用するには、ELC と対象モジュールが動作可能な状態でなければいけません。対象モジュールがモジュールストップ状態の場合、または、対象モジュールが停止するような低消費電力モード（ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード）の場合、そのモジュールは動作できません。モジュールによっては、スヌーズモードで動作できるものもあります。詳細については、表 18.3 と「11. 低消費電力モード」を参照してください。

### 18.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC 動作を禁止または許可することが可能です。リセット後の初期状態では、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。詳細については、表 18.3 と「11. 低消費電力モード」を参照してください。

### 18.4.4 ELC 遅延時間

図 18.2 では、モジュール A は ELC を通じてモジュール B にアクセスしています。モジュール A とモジュール B の間にある ELC では遅延時間が発生します。この ELC 遅延時間を表 18.5 に示します。

モジュール A とモジュール B のクロックドメインが同一であれば、遅延時間は 0 です。しかし、モジュール A とモジュール B のクロックドメインが異なっていれば、ELC モジュールにある程度の遅延が生じています。この遅延時間は、モジュール A とモジュール B のクロックのうち周波数の遅い方が基準となります。

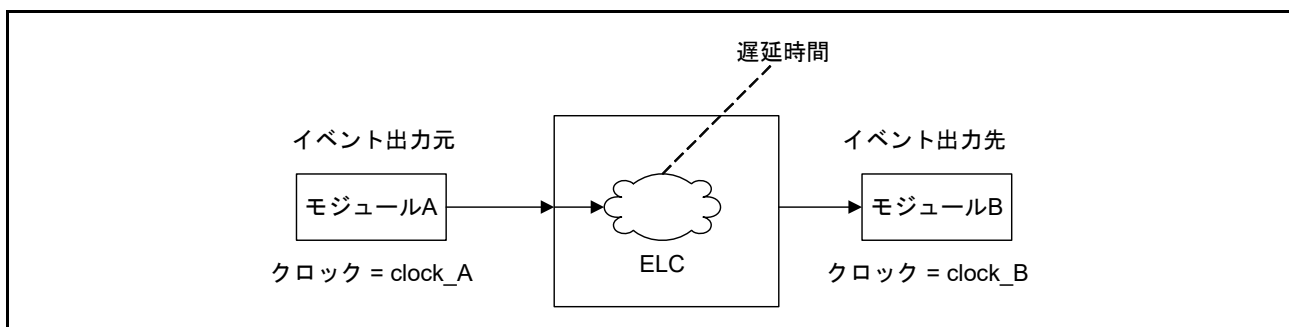


図 18.2 ELC 遅延時間

表 18.5 ELC 遅延時間

クロックドメイン	クロック周波数	ELC 遅延時間
clock_A = clock_B	clock_A = clock_B	0 サイクル
clock_A ≠ clock_B	clock_A = clock_B	1~2 サイクル
	clock_A > clock_B	B のクロックの 1~2 サイクル
	clock_A < clock_B	A のクロックの 1~2 サイクル

## 19. I/Oポート

### 19.1 概要

I/Oポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、またはELCのポートグループ機能として動作します。すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子のI/Oポートと周辺モジュールは、対応するレジスタで設定します。

図 19.1 に、I/Oポートレジスタの接続図を示します。パッケージによってI/Oポートの構成は異なります。表 19.1 にパッケージ別のI/Oポートの仕様を、表 19.2 にI/Oポートの機能を示します。

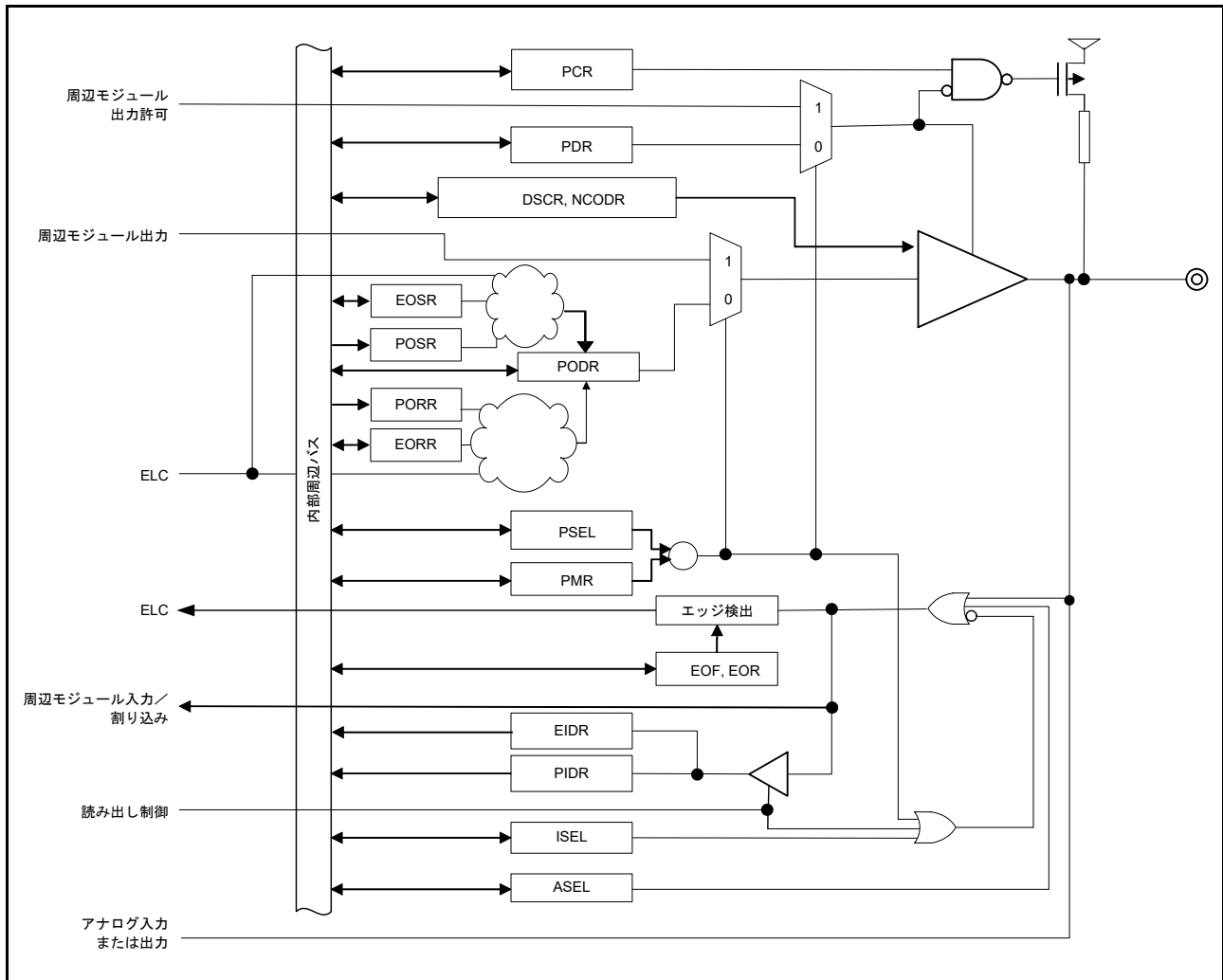


図 19.1 I/Oポートレジスタの接続図

注. 図 19.1 はポートの基本構成を示しています。ポートによって構成は異なります。

表 19.1 I/Oポートの仕様

ポート	パッケージ		パッケージ	
	100ピン	本数	64ピン	本数
ポート0	P000～P008, P014, P015	11	P000～P003, P014, P015	6
ポート1	P100～P115	16	P100～P112	13
ポート2	P200, P201, P205～P214	12	P200, P201, P205～P207, P210, P212, P213	8
ポート3	P300～P307	8	P300～P302	3
ポート4	P400～P415	16	P400～P402, P407～P411	8
ポート5	P500～P504, P508	6	P500, P501	2
ポート6	P600～P602, P608～P610	6	なし	0
ポート7	P708	1	なし	0
	合計本数	76	合計本数	40

表 19.2 I/Oポートの機能

ポート	ポート名	入力プルアップ	オープン ドレイン出力	駆動能力切り替え	5Vトレラント
ポート0	P000～P007	○	-	-	-
	P008, P014, P015	○	○	-	-
ポート1	P100～P115	○	○	低/中/高	-
ポート2	P200	○	-	-	-
	P201	○	○	-	-
	P205, P206	○	○	低/中/高	○
	P207～P214	○	○	低/中/高	-
ポート3	P300～P307	○	○	低/中/高	-
ポート4	P400, P401, P407～P415	○	○	低/中/高	○
	P402～P406	○	○	低/中/高	-
ポート5	P500～P504, P508	○	○	低/中/高	-
ポート6	P600～P602, P608～P610	○	○	低/中/高	-
ポート7	P708	○	○	低/中/高	○

○：使用可能

## 19.2 レジスタの説明

### 19.2.1 ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR)

アドレス PORT0.PCNTR1 4004 0000h, PORT1.PCNTR1 4004 0020h, PORT2.PCNTR1 4004 0040h, PORT3.PCNTR1 4004 0060h, PORT4.PCNTR1 4004 0080h, PORT5.PCNTR1 4004 00A0h, PORT6.PCNTR1 4004 00C0h, PORT7.PCNTR1 4004 00E0h

PORT0.PODR 4004 0000h, PORT1.PODR 4004 0020h, PORT2.PODR 4004 0040h, PORT3.PODR 4004 0060h, PORT4.PODR 4004 0080h, PORT5.PODR 4004 00A0h, PORT6.PODR 4004 00C0h, PORT7.PODR 4004 00E0h

PORT0.PDR 4004 0002h, PORT1.PDR 4004 0022h, PORT2.PDR 4004 0042h, PORT3.PDR 4004 0062h, PORT4.PDR 4004 0082h, PORT5.PDR 4004 00A2h, PORT6.PDR 4004 00C2h, PORT7.PDR 4004 00E2h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PODR 15	PODR 14	PODR 13	PODR 12	PODR 11	PODR 10	PODR 09	PODR 08	PODR 07	PODR 06	PODR 05	PODR 04	PODR 03	PODR 02	PODR 01	PODR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR09	PDR08	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PDRn	Pmn 方向	0 : 入力 (入力端子として機能) 1 : 出力 (出力端子として機能)	R/W
b31-b16	PODRn	Pmn 出力データ	0 : Low出力 1 : High出力	R/W

m = 0 ~ 7

n = 00 ~ 15

ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) は、32 ビットおよび 16 ビットの読み出し/書き込みが可能なレジスタで、ポート方向およびポート出力データを制御します。

PCNTR1 はポート方向とポート出力データを指定し、32 ビット単位でアクセスされます。PDRn (PCNTR1 のビット [15:0]) および PODRn (PCNTR1 のビット [31:16]) はそれぞれ 16 ビット単位でアクセスされます。

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力/出力方向を選択します。ポート m の各端子はそれぞれ PORTm.PCNTR1.PDRn ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P000 ~ P007 と P200 は入力専用です。そのため PORT0.PCNTR1.PDR00 ~ PDR07 と PORT2.PCNTR1.PDR00 は予約ビットです。PORTm.PCNTR1 レジスタの PDRn ビットは、PFS.PmnPFS レジスタの PDR ビットと同じ機能を提供します。

PODRn ビットは、汎用入出力端子から出力されるデータを格納します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。P000 ~ P007 と P200 は入力専用です。そのため PORT0.PCNTR1.PODR00 ~ PODR07 と PORT2.PCNTR1.PODR00 は予約ビットです。P000 ~ P007 と P200 に対応するビットへの書き込みは何も影響を与えません。PORTm.PCNTR1 レジスタの PODRn ビットは、PFS.PmnPFS レジスタの PODR ビットと同じ機能を提供します。

## 19.2.2 ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR)

アドレス PORT0.PCNTR2 4004 0004h, PORT1.PCNTR2 4004 0024h, PORT2.PCNTR2 4004 0044h, PORT3.PCNTR2 4004 0064h, PORT4.PCNTR2 4004 0084h, PORT5.PCNTR2 4004 00A4h, PORT6.PCNTR2 4004 00C4h, PORT7.PCNTR2 4004 00E4h

PORT1.EIDR 4004 0024h, PORT2.EIDR 4004 0044h, PORT3.EIDR 4004 0064h, PORT4.EIDR 4004 0084h

PORT0.PIDR 4004 0006h, PORT1.PIDR 4004 0026h, PORT2.PIDR 4004 0046h, PORT3.PIDR 4004 0066h, PORT4.PIDR 4004 0086h, PORT5.PIDR 4004 00A6h, PORT6.PIDR 4004 00C6h, PORT7.PIDR 4004 00E6h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EIDR15	EIDR14	EIDR13	EIDR12	EIDR11	EIDR10	EIDR09	EIDR08	EIDR07	EIDR06	EIDR05	EIDR04	EIDR03	EIDR02	EIDR01	EIDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIDR15	PIDR14	PIDR13	PIDR12	PIDR11	PIDR10	PIDR09	PIDR08	PIDR07	PIDR06	PIDR05	PIDR04	PIDR03	PIDR02	PIDR01	PIDR00
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b15-b0	PIDRn	Pmn 状態	0 : Low レベル 1 : High レベル	R
b31-b16	EIDRn	ポートイベント入力データ (注1)	ELC_PORTx 信号の発生時 : 0 : Low 入力 1 : High 入力	R

m = 0 ~ 7

n = 00 ~ 15

x = 1 ~ 4

注 1. ポート 1 ~ 4 に対応しています。

ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR) は、Pmn 状態およびポートイベント入力データへの、32 ビットアクセスまたは 16 ビットアクセスでのリードアクセスを可能にします。

PCNTR2 は Pmn 状態とポートイベント入力データを示し、32 ビット単位でアクセスされます。PIDRn (PCNTR2 のビット [15:0]) および EIDRn (PCNTR2 のビット [31:16]) はそれぞれ 16 ビット単位でアクセスされます。存在しない端子に対応するビットは予約ビットです。予約ビットを読むと、不定値が読めます。

PIDRn ビットは、PmnPFS.PMR ビットと PORTm.PCNTR1.PDRn ビットの設定値にかかわらず、ポートの個々の端子状態を反映します。PORTm.PCNTR2 レジスタの PIDRn ビットは、PFS.PmnPFS レジスタの PIDR ビットと同じ機能を提供します。

次の機能のいずれかが有効の場合、端子状態は PIDRn に反映できません。

- メインクロック発振器 (MOSC)
- アナログ機能 (ASEL = 1)

EIDRn ビットは、ELC\_PORTx 信号の発生時に端子状態をラッチします。PmnPFS.PMR = 0 かつ PORTm.PCNTR1.PDRn = 0 の場合にのみ、EIDRn ビットに端子状態を入力できます。PmnPFS.ASEL ビットを 1 にすると、関連する端子状態は EIDRn に反映されません。

## 19.2.3 ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR)

アドレス PORT0.PCNTR3 4004 0008h, PORT1.PCNTR3 4004 0028h, PORT2.PCNTR3 4004 0048h, PORT3.PCNTR3 4004 0068h, PORT4.PCNTR3 4004 0088h, PORT5.PCNTR3 4004 00A8h, PORT6.PCNTR3 4004 00C8h, PORT7.PCNTR3 4004 00E8h

PORT0.PORR 4004 0008h, PORT1.PORR 4004 0028h, PORT2.PORR 4004 0048h, PORT3.PORR 4004 0068h, PORT4.PORR 4004 0088h, PORT5.PORR 4004 00A8h, PORT6.PORR 4004 00C8h, PORT7.PORR 4004 00E8h

PORT0.POSR 4004 000Ah, PORT1.POSR 4004 002Ah, PORT2.POSR 4004 004Ah, PORT3.POSR 4004 006Ah, PORT4.POSR 4004 008Ah, PORT5.POSR 4004 00AAh, PORT6.POSR 4004 00CAh, PORT7.POSR 4004 00EAh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	POSRn	Pmn出力設定	0 : 出力に影響なし 1 : High出力	W
b31-b16	PORRn	Pmn出力リセット	0 : 出力に影響なし 1 : Low出力	W

m = 0 ~ 7

n = 00 ~ 15

ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) は、32 ビットおよび 16 ビットの書き込み可能なレジスタで、ポート出力データの設定またはリセットを制御します。

PCNTR3 はポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。POSRn (PCNTR3 のビット [15:0]) および PORRn (PCNTR3 のビット [31:16]) はそれぞれ 16 ビット単位でアクセスされます。

POSR ビットがソフトウェア書き込みによって設定されると、PODR ビットが変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.POSR00 が 1 であると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P000 ~ P007 と P200 は入力専用です。そのため PORT0.PCNTR3.POSR00 ~ POSR07 と PORT2.PCNTR3.POSR00 は予約ビットです。

PORR ビットがソフトウェア書き込みによって設定されると、PODR ビットが変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.PORR00 が 1 であると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P000 ~ P007 と P200 は入力専用です。そのため PORT0.PCNTR3.PORR00 ~ PORR07 と PORT2.PCNTR3.PORR00 は予約ビットです。

- 注 . EORRn または EOSRn が設定されている場合は、PODRn、PORRn および POSRn への書き込みは禁止です。  
注 . PORRn および POSRn は同時に設定しないでください。



## 19.2.4 ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR)

アドレス PORT1.PCNTR4 4004 002Ch, PORT2.PCNTR4 4004 004Ch, PORT3.PCNTR4 4004 006Ch, PORT4.PCNTR4 4004 008Ch  
 PORT1.EORR 4004 002Ch, PORT2.EORR 4004 004Ch, PORT3.EORR 4004 006Ch, PORT4.EORR 4004 008Ch  
 PORT1.EOSR 4004 002Eh, PORT2.EOSR 4004 004Eh, PORT3.EOSR 4004 006Eh, PORT4.EOSR 4004 008Eh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	EOSRn	Pmn イベント出力設定	ELC_PORTxの発生時： 0：出力に影響なし 1：High出力	R/W
b31-b16	EORRn	Pmn イベント出力リセット	ELC_PORTxの発生時： 0：出力に影響なし 1：Low出力	R/W

m = 1 ~ 4

n = 00 ~ 15

x = 1 ~ 4

ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) は、32 ビットおよび 16 ビットの読み出し/書き込みが可能なレジスタで、ELC からのイベント入力によりポート出力データの設定またはリセットを制御します。

PCNTR4 は、ELC からのイベント入力によりポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。EOSRn (PCNTR4 のビット [15:0]) および EORRn (PCNTR4 のビット [31:16]) はそれぞれ 16 ビット単位でアクセスされます。

EOSR ビットが ELC\_PORTx 信号の発生によって設定されると、PODR ビットが変更されます。たとえば P100 端子の場合、ELC\_PORTx の発生時に PORT1.PCNTR1.PODR00 が 1 になると、PORT1.PCNTR4.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用です。そのため PORT2.PCNTR4.EOSR00 は予約ビットです。

EORR ビットが ELC\_PORTx 信号の発生によってリセットされると、PODR ビットが変更されます。たとえば P100 端子の場合、ELC\_PORTx の発生時に PORT1.PCNTR1.PODR00 が 1 になると、PORT1.PCNTR4.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用です。そのため PORT2.PCNTR4.EORR00 は予約ビットです。

注． EORRn または EOSRn が設定されている場合は、PODRn、PORRn および POSRn への書き込みは禁止です。

注． EORRn および EOSRn は同時に設定しないでください。

## 19.2.5 ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS\_HA/PmnPFS\_BY) (m = 0 ~ 7; n = 00 ~ 15)

アドレス PFS.P000PFS 4004 0800h ~ PFS.P015PFS 4004 083Ch, PFS.P100PFS 4004 0840h ~ PFS.P115PFS 4004 087Ch, PFS.P200PFS 4004 0880h ~ PFS.P214PFS 4004 08B8h, PFS.P300PFS 4004 08C0h ~ PFS.P307PFS 4004 08DCh, PFS.P400PFS 4004 0900h ~ PFS.P415PFS 4004 093Ch, PFS.P500PFS 4004 0940h ~ PFS.P508PFS 4004 0960h, PFS.P600PFS 4004 0980h ~ PFS.P610PFS 4004 09A8h, PFS.P708PFS 4004 09E0h

PFS.P000PFS\_HA 4004 0802h ~ PFS.P015PFS\_HA 4004 083Eh, PFS.P100PFS\_HA 4004 0842h ~ PFS.P115PFS\_HA 4004 087Eh, PFS.P200PFS\_HA 4004 0882h ~ PFS.P214PFS\_HA 4004 08BAh, PFS.P300PFS\_HA 4004 08C2h ~ PFS.P307PFS\_HA 4004 08DEh, PFS.P400PFS\_HA 4004 0902h ~ PFS.P415PFS\_HA 4004 093Eh, PFS.P500PFS\_HA 4004 0942h ~ PFS.P508PFS\_HA 4004 0962h, PFS.P600PFS\_HA 4004 0982h ~ PFS.P610PFS\_HA 4004 09AAh, PFS.P708PFS\_HA 4004 09E2h

PFS.P000PFS\_BY 4004 0803h ~ PFS.P015PFS\_BY 4004 083Fh, PFS.P100PFS\_BY 4004 0843h ~ PFS.P115PFS\_BY 4004 087Fh, PFS.P200PFS\_BY 4004 0883h ~ PFS.P214PFS\_BY 4004 08BBh, PFS.P300PFS\_BY 4004 08C3h ~ PFS.P307PFS\_BY 4004 08DFh, PFS.P400PFS\_BY 4004 0903h ~ PFS.P415PFS\_BY 4004 093Fh, PFS.P500PFS\_BY 4004 0943h ~ PFS.P508PFS\_BY 4004 0963h, PFS.P600PFS\_BY 4004 0983h ~ PFS.P610PFS\_BY 4004 09ABh, PFS.P708PFS\_BY 4004 09E3h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	PSEL[4:0]				—	—	—	—	—	—	—	—	PMR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 (注2)
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	EOF	EOR	DSCR[1:0]		—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR
リセット後の値	0 (注2)	0	0	0	0	0 (注2)	0	0	0	0	0	0 (注2)	0	0	0	x 0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	PODR	ポート出力データ	0: Low出力 1: High出力	R/W
b1	PIDR	Pmn状態	0: Lowレベル 1: Highレベル	R
b2	PDR	ポート方向	0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PCR	プルアップ制御	0: 入力プルアップ無効 1: 入力プルアップ有効	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	NCODR	Nチャンネルオープンドレイン制御	0: CMOS出力 1: NMOSオープンドレイン出力	R/W
b9-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b10	DSCR[1:0]	ポート駆動能力	b11 b10 0 0: 低駆動 0 1: 中駆動 1 0: 設定禁止 1 1: 高駆動	R/W
b13-b12	EOF/EOR	立ち下がり時イベント/立ち上がり時イベント (注1)	b13 b12 0 0: Don'tcare 0 1: 立ち上がりエッジ検出 1 0: 立ち下がりエッジ検出 1 1: 両エッジ検出	R/W
b14	ISEL	IRQ入力許可	0: IRQn入力端子として使用しない 1: IRQn入力端子として使用する	R/W
b15	ASEL	アナログ入力許可	0: アナログ端子として使用しない 1: アナログ端子として使用する	R/W
b16	PMR	ポートモード制御	0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b28-b24	PSEL[4:0]	周辺機能選択	周辺機能を選択します。各端子の機能については、この章の関連する表を参照してください。	R/W
b31-b29	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. P009PFS ~ P013PFS、P202PFS ~ P204PFS、P505PFS ~ P507PFS、および P603PFS ~ P607PFS には 32 ビットアクセス、16 ビットアクセス、8 ビットアクセスはできません。

注 1. ポート 1 ~ 4 に対応しています。

注 2. P000 ~ P007、P108、P109、P110、P201、P300 の初期値は 0000\_0000h 以外になります。

P000 ~ P007 は 0000\_8000h、P108 は 0001\_0410h、P109 は 0001\_0400h、P110 は 0001\_0010h、P201 は 0000\_0010h、P300 は 0001\_0010h になります。

ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS\_HA/PmnPFS\_BY) は、32 ビット、16 ビットおよび 8 ビットの読み出し/書き込み可能なコントロールレジスタです。PmnPFS はポート mn 機能の選択を制御し、32 ビット単位でアクセスされます。PmnPFS\_HA (PmnPFS[15:0] ビット) は 16 ビット単位でアクセスされます。PmnPFS\_BY (PmnPFS[7:0] ビット) は 8 ビット単位でアクセスされます。

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR レジスタ値が読めます。

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。端子が入力状態にあって、PmnPFS.PCR の対応するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

DSCR ビットは、ポートの駆動能力を切り替えます。端子の駆動能力が固定されている場合、対応するビットは読み出し/書き込みが可能ですが、駆動能力は変更できません。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

EOF/EOR ビットは、ポートグループ入力信号のエッジ検出方法を選択します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOF/EOR ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

ISEL ビットは、IRQ 入力端子を設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) は 1 つの端子にのみ許可できます。

ASEL ビットは、アナログ端子を設定します。本ビットで、端子をアナログ端子として設定する場合、以下のように指定します。

1. ポートモード制御ビット (PmnPFS.PMR) で、その端子を汎用入出力ポートに指定します。
2. プルアップ制御ビット (PmnPFS.PCR) で、入力プルアップ抵抗を無効にします。
3. ポート方向ビット (PmnPFS.PDR) で、入力に指定します。このとき、端子状態を読むことはできません。PmnPFS レジスタは、ライトプロテクトレジスタ (PWPR) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定の IRQn に対する ISEL ビットは予約ビットです。未指定のアナログ入出力端子に対する ASEL ビットは予約ビットです。

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

PSEL[4:0] ビットは、周辺機能を割り当てます。

製品ごとの周辺選択設定に関する詳細は [19.6 製品ごとの周辺選択設定](#) を参照してください。

## 19.2.6 書き込みプロテクトレジスタ (PWPR)

アドレス [PMISC.PWPR 4004 0D03h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	BOWI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	<a href="#">PFSWE</a>	PmnPFSレジスタ書き込み許可	0: PmnPFSレジスタへの書き込みを禁止 1: PmnPFSレジスタへの書き込みを許可	R/W
b7	<a href="#">BOWI</a>	PFSWEビット書き込み禁止	0: PFSWEビットへの書き込みを許可 1: PFSWEビットへの書き込みを禁止	R/W

### PFSWE ビット (PmnPFS レジスタ書き込み許可)

PFSWE ビットを1にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に BOWI ビットに0を書きしてから、PFSWE ビットを1にする必要があります。

### BOWI ビット (PFSWE ビット書き込み禁止)

BOWI ビットを0にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

## 19.2.7 AGT 入力コントロールレジスタ (VBTICTLR)

アドレス [SYSTEM.VBTICTLR 4001 E4BBh](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	VCH2INEN	VCH1INEN	VCH0INEN
リセット後の値	0	0	0	0	0	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	<a href="#">VCH0INEN</a>	AGT入力許可 (P402)	0: 禁止 1: 許可	R/W
b1	<a href="#">VCH1INEN</a>	AGT入力許可 (P403)	0: 禁止 1: 許可	R/W
b2	<a href="#">VCH2INEN</a>	予約ビット	読むと、不定値が読めます。書く場合、0としてください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VBTICTLR レジスタは、AGT 入力端子 (P402, P403) の入力方向を選択するレジスタです。

### VCHnINEN ビット (AGT 入力許可) (n = 0, 1)

対応する AGT 入力端子 (P402, P403) の入力方向を許可します。存在しない端子に対応するビットは予約ビットです。書く場合、0としてください。

CH0, CH1 対応機能については、[19.5.5 入出力バッファの仕様](#)を参照してください。

## 19.3 動作説明

### 19.3.1 汎用入出力ポート

P000 ~ P007、P108 ~ P110、および P300 以外のすべての端子は、リセット後は汎用入力ポートとして動作します。汎用入出力ポートは、16 ビットで構成されたポートです。ポートコントロールレジスタ PCNTRn (n=1 ~ 4) により、ポート単位のアクセスが可能です。また、ポート mn 端子機能選択レジスタにより、端子単位でのアクセスが可能です。これらのレジスタの詳細は、[19.2 レジスタの説明](#)を参照してください。

各ポートには以下のビットがあります。

- ポート方向ビット (PDRn) : 入力/出力の方向を選択する
- ポート出力データビット (PODRn) : 出力用データを格納する
- ポート入力データビット (PIDRn) : 端子状態を示す
- イベント入力データビット (EIDRn) : ELC\_PORT1, 2, 3, 4 信号発生時の端子状態を示す
- ポート出力設定ビット (POSRn) : ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットビット (PORRn) : ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定ビット (EOSRn) : ELC\_PORT1, 2, 3, 4 信号発生時の出力値を示す
- イベント出力リセットビット (EORRn) : ELC\_PORT1, 2, 3, 4 信号発生時の出力値を示す

### 19.3.2 ポート機能選択

各端子の設定時、以下のポート機能を利用できます。

- 入出力設定 : CMOS 出力または NMOS オープンドレイン出力、プルアップ制御、および駆動強度
- 汎用入出力ポート : ポート方向、出力データ設定、および入力データの読み出し
- 代替機能 : 端子への機能の割り当て

各端子は、ポート mn 端子機能選択レジスタ (PmnPFS) に対応しています。このレジスタには、対応するビット PODR、PIDR、および PDR があります。さらに、PmnPFS レジスタは以下のビットを持ちます。

- PCR : 入力プルアップ MOS のオン/オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR : 各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- DSCR : 駆動能力を選択するための駆動能力制御ビット
- EOR : ポート入力の立ち上がりエッジ検出に使用する立ち上がり時イベントビット
- EOF : ポート入力の立ち下がりエッジ検出に使用する立ち下がり時イベントビット
- ISEL : IRQ 入力端子を設定するための IRQ 入力許可ビット
- ASEL : アナログ端子を設定するためのアナログ入力許可ビット
- PMR : 各ポートの端子機能を設定するためのポートモード制御ビット
- PSEL[4:0] : 対応する周辺機能を選択するためのポート機能選択ビット

これらは、ポート mn 端子機能選択レジスタへのシングルレジスタアクセスで設定することができます。詳細は、[19.2.5 ポート mn 端子機能選択レジスタ \(PmnPFS/PmnPFS\\_HA/PmnPFS\\_BY\)](#) (m = 0 ~ 7; n = 00 ~ 15) を参照してください。

### 19.3.3 ELC のポートグループ機能

本 MCU では、ポート 1～4 がポートグループ機能に割り当てられています。

#### 19.3.3.1 ELC から ELC\_PORT1, 2, 3, 4 が入力された場合の動作

ELC から ELC\_PORT1, 2, 3, 4 信号が入力されたとき、本 MCU は、以下に示す 2 つの機能をサポートしています。

##### (1) EIDR への入力

GPI 機能 (PmnPFS レジスタで PDR = 0 および PMR = 0) では、ELC から ELC\_PORT1, 2, 3, 4 信号が入力されると、入出力セルの入力許可がアサートされ、外部端子からのデータが EIDR ビットに読み出されます。図 19.2 を参照してください。

GPO 機能 (PDR = 1) または周辺モード (PMR = 1) では、外部端子から EIDR ビットに 0 が入力されます。

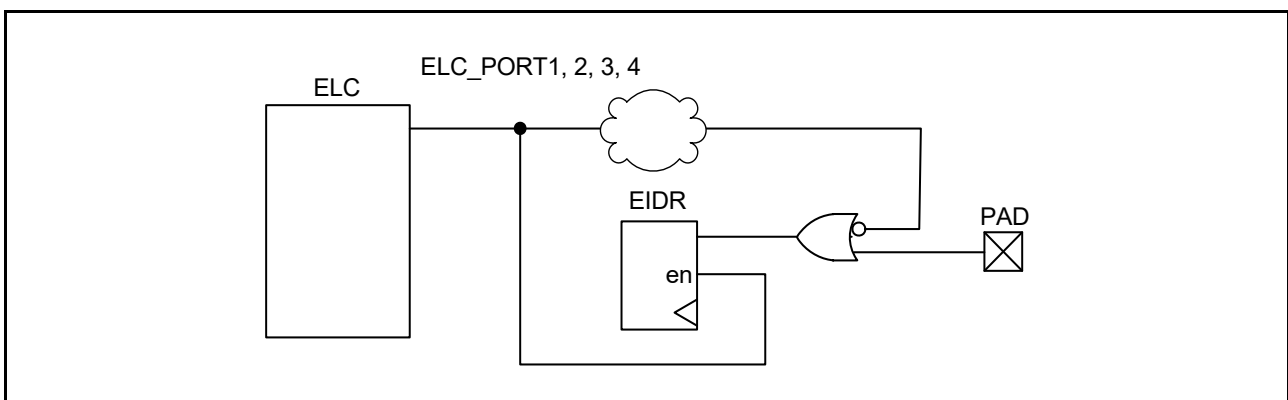


図 19.2 イベントポート入力データ

##### (2) EOSR/EORR による PODR からの出力

ELC\_PORT1, 2, 3, 4 信号の発生時に、EOSR/EORR ビット設定値に基づいて、PODR から外部端子へデータが出力されます。図 19.3 を参照してください。

- EOSR を 1 にすると、ELC\_PORT1, 2, 3, 4 発生時に PODR レジスタは外部端子へ 1 を出力する。EOSR = 0 の場合、PODR の値が保持される
- EORR を 1 にすると、ELC\_PORT1, 2, 3, 4 発生時に PODR レジスタは外部端子へ 0 を出力する。EORR = 0 の場合、PODR の値が保持される

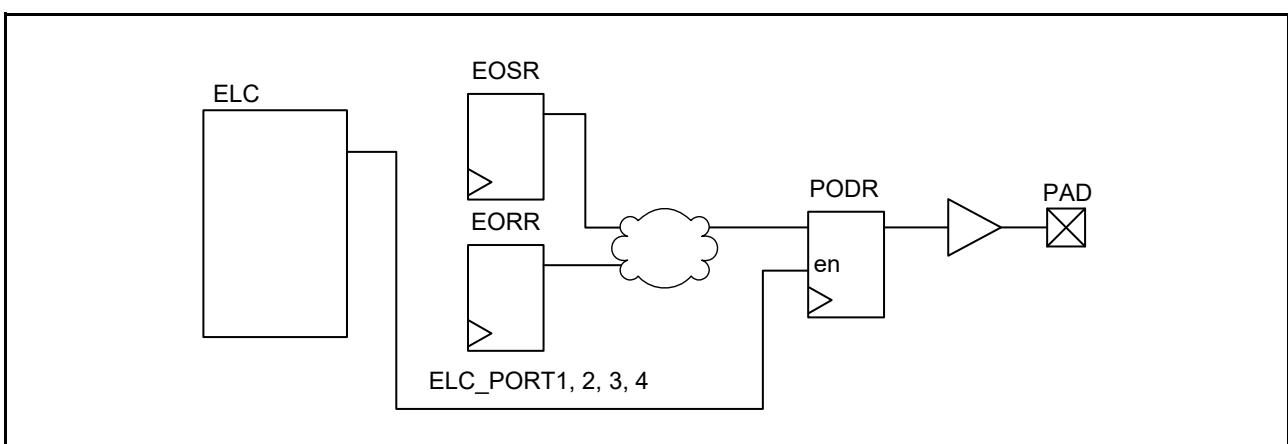


図 19.3 イベントポート出力データ

### 19.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC へイベントパルスを出力するには、PmnPFS レジスタの EOR/EOF ビットを設定します。詳細は、[19.2.5 ポート mn 端子機能選択レジスタ \(PmnPFS/PmnPFS\\_HA/PmnPFS\\_BY\) \(m = 0 ~ 7; n = 00 ~ 15\)](#) を参照してください。EOR/EOF ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子からのデータが入力となります。たとえばポート 1 に対して、P100 から P115 へデータが入力されると、これら 16 端子のデータは OR 論理で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート 2 ~ 4 の動作も同じです。[図 19.4](#) を参照してください。

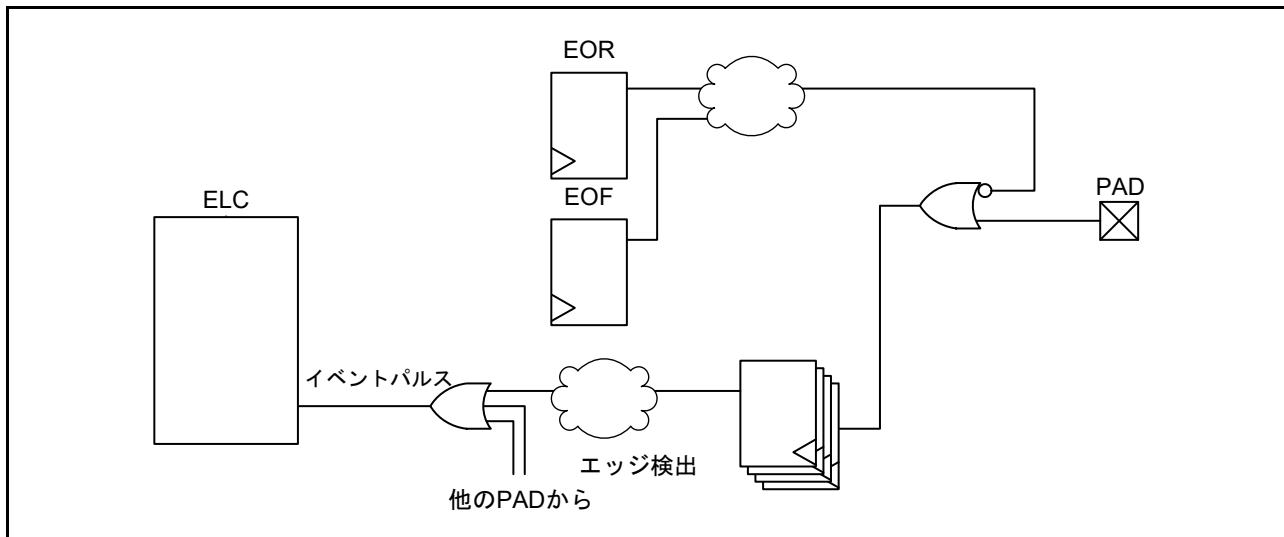


図 19.4 イベントパルスの発生

## 19.4 未使用端子の処理

表 19.3 に、未使用端子の処理方法を示します。

表 19.3 未使用端子の処理

端子名	未使用時の処理
MD	モード端子として使用
RES	抵抗を介してVCCに接続（プルアップ）
P200/NMI	抵抗を介してVCCに接続（プルアップ）
EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTPビットを1（汎用ポートP212）に設定。この端子をポートP212として使用しない場合、P1x～P7xと同じ処理をしてください。
XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTPビットを1（汎用ポートP213）に設定。外部クロックがEXTAL端子に入力される場合、XTAL端子はP213として機能する。この端子をポートP213として使用しない場合、P1x～P7xと同じ処理をしてください。
XCIN	抵抗を介してVSSに接続（プルダウン）
XCOUT	開放したまま
P000～P007	抵抗を介してAVCC0に接続（プルアップ）または抵抗を介してAVSS0に接続（プルダウン）（注1）（注4）
P008, P014, P015	<ul style="list-style-type: none"> <li>入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子を抵抗を介してAVCC0に接続（プルアップ）、または抵抗を介してAVSS0に接続（プルダウン）（注1）</li> <li>出力（PCNTR1.PDRn = 1）に設定した場合、端子を開放（注1）</li> </ul>
P1x～P7x	<ul style="list-style-type: none"> <li>入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子を抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）（注1）（注2）</li> <li>出力（PCNTR1.PDRn = 1）に設定した場合、端子を開放（注1）（注3）</li> </ul>
VREFH0, VREFH	AVCC0に接続
VREFL0, VREFL	AVSS0に接続

- 注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、PmnPFS.PCR ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。
- 注 2. P108、P110、および P300 は、初期値（PmnPFS.PCR = 1）から入力プルアップが許可されている端子です。このため、抵抗を介したプルアップ VCC（プルアップ）に推奨されます。
- 注 3. P109 は、初期値から出力に設定されている端子です。このため、出力（PCNTR1.PDRn = 1）として設定されることが推奨されます。
- 注 4. P003 および P007 の入力リーク電流を低減するため、P003PFS.ASEL および P007PFS.ASEL ビットを 0 にしてください。64 ピンの製品を使用するときは、P007PFS.ASEL ビットを 0 にしてください。



## 19.5 使用上の注意事項

### 19.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.BOWI ビットをクリアします。PWPR.PFSWE ビットに書き込みできるようになります。
2. PWPR.PFSWE ビットを 1 にします。PmnPFS レジスタに書き込みできるようになります。
3. 当該端子の PMR のポートモード制御ビットをクリアして、汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0] ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR ビットを 1 にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。
7. PWPR.BOWI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。

### 19.5.2 ポートグループ入力の使用手順

ポートグループ入力（ポート 1～4）を使用するには、下記の手順に従ってください。

1. ELSRx.ELSR[8:0] ビットを 0000 0000b にして、意図しないパルスが無視します。詳細は、「[18. イベントリンクコントローラ \(ELC\)](#)」を参照してください。
2. PmnPFS.EOF/EOR ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、少しの間（たとえば 100ns）待ちます。意図しないパルスが無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELSR[8:0] ビットを設定して、イベント信号を許可します。

### 19.5.3 ポート出力データレジスタ (PODR) の概要

このレジスタは下記のようにデータを出力します。

1. ELC\_PORT1, 2, 3, 4 発生時に PCNTR4.EORRn が 1 の場合、0 を出力する。
2. ELC\_PORT1, 2, 3, 4 発生時に PCNTR4.EOSRn が 1 の場合、1 を出力する。
3. PCNTR3.PORRn に 1 を設定すると、0 を出力する。
4. PCNTR3.POSRn に 1 を設定すると、1 を出力する。
5. PCNTR1.PODRn が設定されると、0 または 1 を出力する。
6. PmnPFS.PODRn が設定されると、0 または 1 を出力する。

上記の番号は、PODR への書き込み優先順位に相当しています。たとえば、上記の 1. と 3. が同時に発生した場合、優先順位の高い 1. が実行されます。

### 19.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモード制御ビット (PMR) とポート方向ビット (PDR) を 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、ポート mn 端子機能選択レジスタ (PmnPFS.ASEL) のアナログ入力許可ビット (ASEL) を 1 にしてください。

### 19.5.5 入出力バッファの仕様

P402、P403、およびP404は、AGT入力、およびその他の周辺機能として使用できます。

表 19.4 に、P402、P403、P404 の仕様を示します。

表 19.4 P402、P403、P404の仕様

I/Oポート	機能			
	AGT		その他の周辺機能	
	AGT入力イネーブルレジスタ	AGT	他の周辺機能イネーブルレジスタ	CAC、GPT、CAN、および割り込み
P402	VBTICTLR.VCH0INEN	AGTIO0 AGTIO1	P402PFS.PSEL およびPMR	詳細は表 19.12 を参照してください。 入出力端子機能のレジスタ設定（ポート4）
P403	VBTICTLR.VCH1INEN	AGTIO0 AGTIO1	P403PFS.PSEL およびPMR	
P404	VBTICTLR.VCH2INEN	—	P404PFS.PSEL およびPMR	

これらのAGT入力は、VBTICTLRレジスタによって制御されます。また、このレジスタは、AGT入力機能選択において最優先されます。図 19.5 を参照してください。

VBTICTLRレジスタは、リセット時に初期化されません。そのため、AGT入力を使用しない場合、VBTICTLRレジスタの対応するビットは、リセット後に0にする必要があります。VBTICTLR.VCH1INENビットが0の状態、64ピン製品を使用する際は、リセット後、VBTICTLR.VCH2INENビットを0にしてください。

VBTICTLRレジスタの詳細は 19.2.7 AGT入力コントロールレジスタ (VBTICTLR) を参照してください。

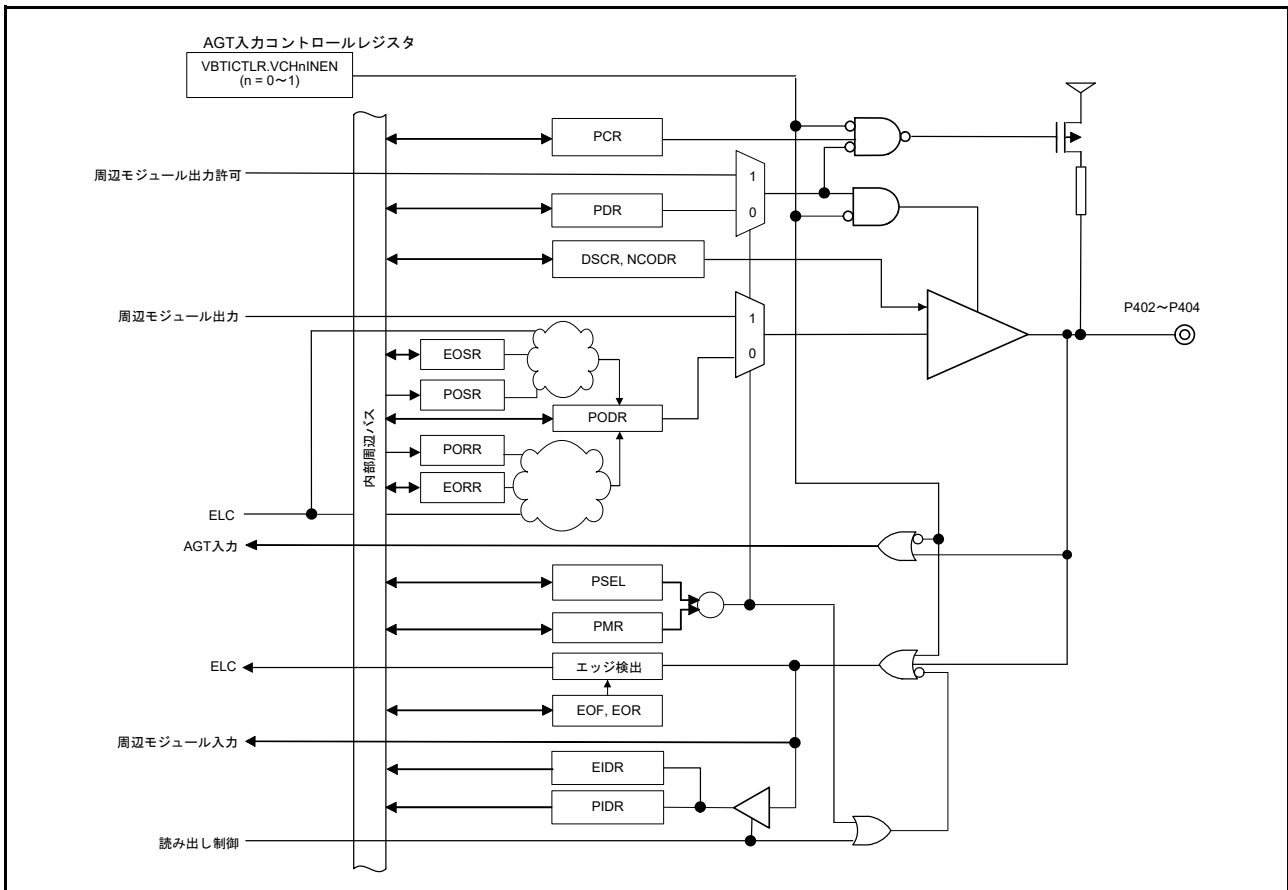


図 19.5 P402、P403、P404の接続図

## 19.6 製品ごとの周辺選択設定

本節では、PmnPFS レジスタの端子機能選択設定について説明します。いくつかの端子名には、A、および B という接尾語が付加されています。IIC および SPI 機能を割り当てる場合、同じ接尾語の機能端子を選択してください。その他の端子は、接尾語に関係なく選択可能です。ただし、同じ機能を2つ以上の端子に同時に割り当てることはしないでください。

## 19.7 PmnPFS レジスタ設定に関する注意事項

- (1) Pmn 端子機能選択レジスタ (PmnPFS) では、対象端子の PMR ビットが 0 のときに、PSEL ビットを必ず設定しなければなりません。PMR ビットが 1 のときに PSEL ビットを設定すると、入力機能の場合は意図しないエッジが入力され、出力機能の場合は意図しないパルスが外部端子に出力される場合があります。
- (2) PmnPFS レジスタの PSEL ビットでは、許可された値 (機能) 以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。
- (3) PmnPFS レジスタでは、1 つの機能を複数の端子に割り付けしないでください。
- (4) ポート 0 とポート 5 は、A/D コンバータや D/A コンバータなどのアナログ機能を持っています。これらの端子をアナログ機能用に使用する場合、分解能の低下を防止するため、PMR ビットと PDR ビットは 0 にしてください。その後、ASEL ビットを 1 にしてください。
- (5) P003 および P007 の ASEL ビットの初期値は 1 です。これらの端子をアナログ機能として使用しない場合、入力リーク電流を低減するため、ASEL ビットを 0 にする必要があります。64 ピン製品を使用するときは、P007PFS.ASEL ビットを 0 にクリアしてください。

表 19.5 入出力端子機能のレジスタ設定 (ポート 0)

PSEL[4:0] ビット 設定値	機能	端子							
		P000	P001	P002	P003	P004	P005	P006	P007
00000b (リセット後の値)	Hi-z/JTAG/SWD	Hi-Z							
ASEL ビット		AN000/ IVCMP2	AN001/ IVCMP2	AN002/ IVCMP2	PGAVSS000/ AN007	AN100/ IVCMP2	AN101/ IVCMP2	AN102/ IVCMP2	PGAVSS100/ AN107
ISEL ビット		IRQ6-DS	IRQ7-DS	IRQ8-DS	—	IRQ9-DS	IRQ10-DS	IRQ11-DS	—
DSCR[1:0] ビット	駆動能力制御	—	—	—	—	—	—	—	—
NCODR ビット	Nチャネルオープン ドレイン	—	—	—	—	—	—	—	—
PCR ビット	プルアップ	—	—	—	—	—	—	—	—
ピン本数	100ピン	○	○	○	○	○	○	○	○
	64ピン	○	○	○	○	—	—	—	—

○ : 可能

表 19.6 入出力端子機能のレジスタ設定 (ポート0)

PSEL[4:0]ビット 設定値	機能	端子		
		P008	P014	P015
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z		
ASELビット		AN003	AN005/ AN105/ DA0/ IVREF3	AN006/ AN106/ DA1/ IVCMP1
ISELビット		IRQ12-DS	—	IRQ13
DSCR[1:0]ビット	駆動能力制御	(注1)	(注1)	(注1)
NCODRビット	Nチャンネルオープン ドレイン	○	○	○
PCRビット	プルアップ	○	○	○
ピン本数	100ピン	○	○	○
	64ピン	—	○	○

○：可能  
—：設定禁止

注 1. このポートの駆動強度は、PmnPFS.DSCR[1:0] ビットで制御することはできません。

表 19.7 入出力端子機能のレジスタ設定 (ポート1)

PSEL[4:0]ビット 設定値	機能	端子							
		P100	P101	P102	P103	P104	P105	P106	P107
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	AGTIO0	AGTEE0	AGTO0	—	—	—	AGTOB0	AGTOA0
00010b	GPT	GTETRGA	GTETRGB	GTOWLO	GTOWUP	GTETRGB	GTETRGA	—	—
00011b	GPT (注2)	GTIOC5B	GTIOC5A	GTIOC2B_A	GTIOC2A_A	GTIOC1B	GTIOC1A	GTIOC8B	GTIOC8A
00100b	SCI	RXD0/MISO0/ SCL0	TXD0/MOSI0/ SDA0	SCK0	CTS0_RTS0/ SS0	RXD8/MISO8/ SCL8	TXD8/MOSI8/ SDA8	SCK8	CTS8_RTS8/ SS8
00101b	SCI	SCK1	CTS1_RTS1/ SS1	—	—	—	—	—	—
00110b	SPI (注1)	MISOA_A	MOSIA_A	RSPCKA_A	SSLA0_A	SSLA1_A	SSLA2_A	SSLA3_A	—
00111b	IIC (注1)	SCL1_B	SDA1_B	—	—	—	—	—	—
01000b	KINT	KR00	KR01	KR02	KR03	KR04	KR05	KR06	KR07
01010b	CAC/ADC12	—	—	ADTRG0	—	—	—	—	—
10000b	CAN	—	—	CRX0	CTX0	—	—	—	—
ASELビット		—	—	—	—	—	—	—	—
ISELビット		IRQ2	IRQ1	—	—	IRQ1	IRQ0	—	—
DSCR[1:0]ビット	駆動能力制御	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高
NCODRビット	Nチャンネルオープン ドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	100ピン	○	○	○	○	○	○	○	○
	64ピン	○	○	○	○	○	○	○	○

○：可能  
—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に “\_A” や “\_B” などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電气的特性の AC タイミングは各グループで測定しています。

注 2. 中駆動と高駆動の 2 種類の出力バッファが利用可能です。出カスキューの仕様 (t<sub>GTISK</sub>) に合わせて、同じ駆動バッファを用いることを推奨します。

表 19.8 入出力端子機能のレジスタ設定（ポート1）

PSEL[4:0]ビット 設定値	機能	端子							
		P108	P109	P110	P111	P112	P113	P114	P115
00000b (リセット後の値)	Hi-Z/JTAG/SWD	TMS/SWDIO	TDO/SWO	TDI	Hi-Z				
00010b	GPT	GTOULO	GTOVUP	GTOVLO	—	—	—	—	—
00011b	GPT (注2)	GTIOC0B_A	GTIOC1A_A	GTIOC1B_A	GTIOC3A_A	GTIOC3B_A	GTIOC2A	GTIOC2B	GTIOC4A
00100b	SCI	—	—	CTS2_RTS2/ SS2	SCK2	TXD2/MOSI2/ SDA2	RXD2/MISO2/ SCL2	—	—
00101b	SCI	CTS9_RTS9/ SS9	TXD9/MOSI9/ SDA9	RXD9/MISO9/ SCL9	SCK9	SCK1	—	—	—
00110b	SPI (注1)	SSLB0_B	MOSIB_B	MISOB_B	RSPCKB_B	SSLB0_B	—	—	—
01001b	CLKOUT/ACMPHS	—	CLKOUT	VCOUT	—	—	—	—	—
10000b	CAN	—	—	—	—	—	—	—	—
ASELビット		—	—	—	—	—	—	—	—
ISELビット		—	—	IRQ3	IRQ4	—	—	—	—
DSCR[1:0]ビット	駆動能力制御	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高
NCODRビット	Nチャンネルオープン ドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	100ピン	○	○	○	○	○	○	○	○
	64ピン	○	○	○	○	○	—	—	—

○：可能  
—：設定禁止

- 注 1. 所属グループを示すため、端子名の末尾に“\_A”や“\_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性のACタイミングは各グループで測定しています。
- 注 2. 中駆動と高駆動の2種類の出力バッファが利用可能です。出カスキューの仕様（ $t_{GTISK}$ ）に合わせて、同じ駆動バッファを用いることを推奨します。

表 19.9 入出力端子機能のレジスタ設定 (ポート2)

PSEL[4:0]ビット 設定値	機能	端子				
		P200 (注4)	P201	P205	P206	P207
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z				
00001b	AGT	—	—	AGTO1	—	—
00010b	GPT	—	—	GTIV	GTIU	—
00011b	GPT (注2)	—	—	GTIOC4A	—	—
00100b	SCI	—	—	TXD4/MOSI4/ SDA4	RXD4/MISO4/ SCL4	—
00101b	SCI	—	—	CTS9_RTS9/ SS9	—	—
00111b	IIC (注1)	—	—	SCL1_A	SDA1_A	—
01001b	CLKOUT/ACMPHS	—	—	CLKOUT	—	—
10000b	CAN	—	—	—	—	—
ASELビット		—	—	—	—	—
ISELビット		—	—	IRQ1-DS	IRQ0-DS	—
DSCR[1:0]ビット	駆動能力制御	—	(注3)	低/中/高	低/中/高	低/中/高
NCODRビット	Nチャンネルオープン ドレイン	—	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○
ピン本数	100ピン	○	○	○	○	○
	64ピン	○	○	○	○	○

○：可能  
—：設定禁止

- 注 1. 所属グループを示すため、端子名の末尾に "\_A" や "\_B" などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性の AC タイミングは各グループで測定しています。
- 注 2. 中駆動と高駆動の 2 種類の出力バッファが利用可能です。出カスケューの仕様 (t<sub>GTISK</sub>) に合わせて、同じ駆動バッファを用いることを推奨します。
- 注 3. このポートの駆動強度は、PmnPFS.DSCR[1:0] ビットで制御することはできません。
- 注 4. NMI ピン割り込みを使用する場合、ポート関連のレジスタ設定は必要ありません。

表 19.10 入出力端子機能のレジスタ設定 (ポート2)

PSEL[4:0]ビット 設定値	機能	端子						
		P208	P209	P210	P211	P212	P213	P214
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z						
00001b	AGT	—	—	—	—	AGTEE1	—	—
00010b	GPT	GTOVL0	GTOVUP	GTIW	GTIV	GTETRGD	GTETRGC	GTIU
00011b	GPT (注1)	—	—	—	—	GTIOC0B	GTIOC0A	—
00101b	SCI	—	—	—	—	RXD1/MISO1/ SCL1	TXD1/MOSI1/ SDA1	—
01010b	CAC/ADC12	—	—	—	—	—	ADTRG1	—
11010b	トレース (デバッグ)	TDATA3	TDATA2	TDATA1	TDATA0	—	—	TCLK
ASELビット		—	—	—	—	—	—	—
ISELビット		—	—	—	—	IRQ3	IRQ2	—
DSCR[1:0]ビット	駆動能力制御	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高
NCODRビット	Nチャンネルオープン ドレイン	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○
ピン本数	100ピン	○	○	○	○	○	○	○
	64ピン	—	—	○	—	○	○	—

○：可能  
—：設定禁止

- 注 1. 中駆動と高駆動の 2 種類の出力バッファが利用可能です。出カスケューの仕様 (t<sub>GTISK</sub>) に合わせて、同じ駆動バッファを用いることを推奨します。

表 19.11 入出力端子機能のレジスタ設定 (ポート3)

PSEL[4:0]ビット 設定値	機能	端子							
		P300	P301	P302	P303	P304	P305	P306	P307
00000b (リセット後の値)	Hi-Z/JTAG/SWD	TCK/SWCLK	Hi-Z						
00001b	AGT	—	AGTIO0	—	—	—	—	—	—
00010b	GPT	—	GTOULO	GTOUUP	—	GTOWLO	GTOWUP	GTOULO	GTOUUP
00011b	GPT (注2)	GTIOC0A_A	GTIOC4B	GTIOC4A	GTIOC7B	GTIOC7A	—	—	—
00100b	SCI	—	RXD2/MISO2/ SCL2	TXD2/MOSI2/ SDA2	—	—	—	—	—
00101b	SCI	—	CTS9_RTS9/ SS9	—	—	—	—	—	—
00110b	SPI (注1)	SSLB1_B	SSLB2_B	SSLB3_B	—	—	—	—	—
ASELビット		—	—	—	—	—	—	—	—
ISELビット		—	IRQ6	IRQ5	—	IRQ9	IRQ8	—	—
DSCR[1:0]ビット	駆動能力制御	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高
NCODRビット	Nチャネルオープン ドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	100ピン	○	○	○	○	○	○	○	○
	64ピン	○	○	○	—	—	—	—	—

○：可能  
—：設定禁止

- 注 1. 所属グループを示すため、端子名の末尾に“\_A”や“\_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性のACタイミングは各グループで測定しています。
- 注 2. 中駆動と高駆動の2種類の出力バッファが利用可能です。出力スキューの仕様 ( $t_{GTISK}$ ) に合わせて、同じ駆動バッファを用いることを推奨します。

表 19.12 入出力端子機能のレジスタ設定（ポート4）

PSEL[4:0]ビット 設定値	機能	端子							
		P400	P401	P402	P403	P404	P405	P406	P407
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	AGTIO1	—	—	—	—	—	—	AGTIO0
00010b	GPT	—	GTETRGA	—	—	—	—	—	—
00011b	GPT (注3)	GTIOC6A	GTIOC6B	—	GTIOC3A	GTIOC3B	GTIOC1A	GTIOC1B	—
00100b	SCI	SCK4	CTS4_RTS4/ SS4	—	—	—	—	—	CTS4_RTS4/ SS4
00111b	IIC (注2)	SCL0_A	SDA0_A	—	—	—	—	—	SDA0_B
01001b	CLKOUT/ACMPHS	—	—	—	—	—	—	—	—
01010b	CAC/ADC12	ADTRG1	—	CACREF	—	—	—	—	ADTRG0
10000b	CAN	—	CTX0	CRX0	—	—	—	—	—
Don't care	AGT	—	—	AGTIO0 (注1) / AGTIO1 (注1)	AGTIO0 (注1) / AGTIO1 (注1)	—	—	—	—
ASELビット		—	—	—	—	—	—	—	—
ISELビット		IRQ0	IRQ5-DS	IRQ4-DS	—	—	—	—	—
DSCR[1:0]ビット	駆動能力制御	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高
NCODRビット	Nチャンネルオープン ドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	100ピン	○	○	○	○	○	○	○	○
	64ピン	○	○	○	—	—	—	—	○

○：可能  
—：設定禁止

- 注 1. この端子機能を使用する場合は、該当端子を汎用入力（PmnPFS.PDR ビットと PmnPFS.PMR ビットを 0）にしてください。
- 注 2. 所属グループを示すため、端子名の末尾に “\_A” や “\_B” などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性の AC タイミングは各グループで測定しています。
- 注 3. 中駆動と高駆動の 2 種類の出力バッファが利用可能です。出カスキューの仕様（ $t_{GTISK}$ ）に合わせて、同じ駆動バッファを用いることを推奨します。



表 19.13 入出力端子機能のレジスタ設定（ポート4）

PSEL[4:0]ビット 設定値	機能	端子							
		P408	P409	P410	P411	P412	P413	P414	P415
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	—	—	AGTOB1	AGTOA1	AGTEE1	—	—	—
00010b	GPT	GTOWLO	GTOWUP	GTOVLO	GTOVUP	GTOULO	GTOUUP	—	—
00011b	GPT (注2)	GTIOC10B	GTIOC10A	GTIOC9B	GTIOC9A	—	—	GTIOC0B	GTIOC0A
00100b	SCI	—	—	RXD0/MISO0/ SCL0	TXD0/MOSI0/ SDA0	SCK0	CTS0_RTS0/ SS0	—	—
00101b	SCI	RXD3/MISO3/ SCL3	TXD3/MOSI3/ SDA3	SCK3	CTS3_RTS3/ SS3	—	—	—	—
00110b	SPI (注1)	—	—	MISOA_B	MOSIA_B	RSPCKA_B	SSLA0_B	SSLA1_B	SSLA2_B
00111b	IIC (注1)	SCL0_B	—	—	—	—	—	—	—
ASELビット		—	—	—	—	—	—	—	—
ISELビット		IRQ7	IRQ6	IRQ5	IRQ4	—	—	IRQ9	IRQ8
DSCR[1:0]ビット	駆動能力制御	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高
NCODRビット	Nチャンネルオープン ドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	100ピン	○	○	○	○	○	○	○	○
	64ピン	○	○	○	○	—	—	—	—

○：可能  
—：設定禁止

- 注 1. 所属グループを示すため、端子名の末尾に“\_A”や“\_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性のACタイミングは各グループで測定しています。
- 注 2. 中駆動と高駆動の2種類の出力バッファが利用可能です。出カスキューの仕様 (t<sub>GTISK</sub>) に合わせて、同じ駆動バッファを用いることを推奨します。

表 19.14 入出力端子機能のレジスタ設定（ポート5）

PSEL[4:0]ビット 設定値	機能	端子					
		P500	P501	P502	P503	P504	P508
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z					
00001b	AGT	AGTOA0	AGTOB0	—	—	—	—
00010b	GPT	GTIU	GTIV	GTIW	GTETRGC	GTETRGD	—
00011b	GPT (注1)	GTIOC11A	GTIOC11B	GTIOC12A	GTIOC12B	—	—
ASELビット		AN016/ IVREF0	AN116/ IVREF1	AN017/ IVCMP0	AN117	AN018	AN020
ISELビット		—	IRQ11	IRQ12	—	—	—
DSCR[1:0]ビット	駆動能力制御	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高
NCODRビット	Nチャンネルオープン ドレイン	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○
ピン本数	100ピン	○	○	○	○	○	○
	64ピン	○	○	—	—	—	—

○：可能  
—：設定禁止

- 注 1. 中駆動と高駆動の2種類の出力バッファが利用可能です。出カスキューの仕様 (t<sub>GTISK</sub>) に合わせて、同じ駆動バッファを用いることを推奨します。

表 19.15 入出力端子機能のレジスタ設定（ポート6）

PSEL[4:0]ビット 設定値	機能	端子					
		P600	P601	P602	P608	P609	P610
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z					
00011b	GPT (注1)	GTIOC6B	GTIOC6A	GTIOC7B	GTIOC4B	GTIOC5A	GTIOC5B
00101b	SCI	SCK9	RXD9	TXD9	—	—	—
01001b	CLKOUT/ACMPHS	CLKOUT	—	—	—	—	—
01010b	CAC/ADC12	CACREF	—	—	—	—	—
10000b	CAN	—	—	—	—	—	—
ASELビット		—	—	—	—	—	—
ISELビット		—	—	—	—	—	—
DSCR[1:0]ビット	駆動能力制御	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高	低/中/高
NCODRビット	Nチャネルオープン ドレイン	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○
ピン本数	100ピン	○	○	○	○	○	○
	64ピン	—	—	—	—	—	—

○：可能  
—：設定禁止

注 1. 中駆動と高駆動の2種類の出力バッファが利用可能です。出力スキューの仕様（ $t_{GTISK}$ ）に合わせて、同じ駆動バッファを用いることを推奨します。

表 19.16 入出力端子機能のレジスタ設定（ポート7）

PSEL[4:0]ビット 設定値	機能	端子
		P708
00000b (リセット後の値)	Hi-Z/JTAG/SWD	Hi-Z
00101b	SCI	RXD1/MISO1/ SCL1
00110b	SPI (注1)	SSLA3_B
01010b	CAC/ADC12	CACREF
ASELビット		—
ISELビット		IRQ11
DSCR[1:0]ビット	駆動能力制御	低/中/高
NCODRビット	Nチャネルオープン ドレイン	○
PCRビット	プルアップ	○
ピン本数	100ピン	○
	64ピン	—

○：可能  
—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に“\_A”や“\_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性のACタイミングは各グループで測定しています。

## 20. キー割り込み機能 (KINT)

キー割り込み (KEY\_INTKR) は、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子 KR00 ~ KR07 に立ち上がりまたは立ち下がりエッジを入力することで発生させることができます。

### 20.1 概要

表 20.1 にキー割り込み検出端子の配置、表 20.2 にこの機能の構成、そして図 20.1 にブロック図を示します。

表 20.1 キー割り込み検出端子の配置

キー割り込みモード制御 n (n = 0 ~ 7)	内容
KRM0	1ビット単位でKR00信号を制御
KRM1	1ビット単位でKR01信号を制御
KRM2	1ビット単位でKR02信号を制御
KRM3	1ビット単位でKR03信号を制御
KRM4	1ビット単位でKR04信号を制御
KRM5	1ビット単位でKR05信号を制御
KRM6	1ビット単位でKR06信号を制御
KRM7	1ビット単位でKR07信号を制御

表 20.2 キー割り込み機能の構成

項目	構成
入力	KR00 ~ KR07
コントロールレジスタ	キーリターンコントロールレジスタ (KRCTL) キーリターンモードレジスタ (KRM) キーリターンフラグレジスタ (KRF)

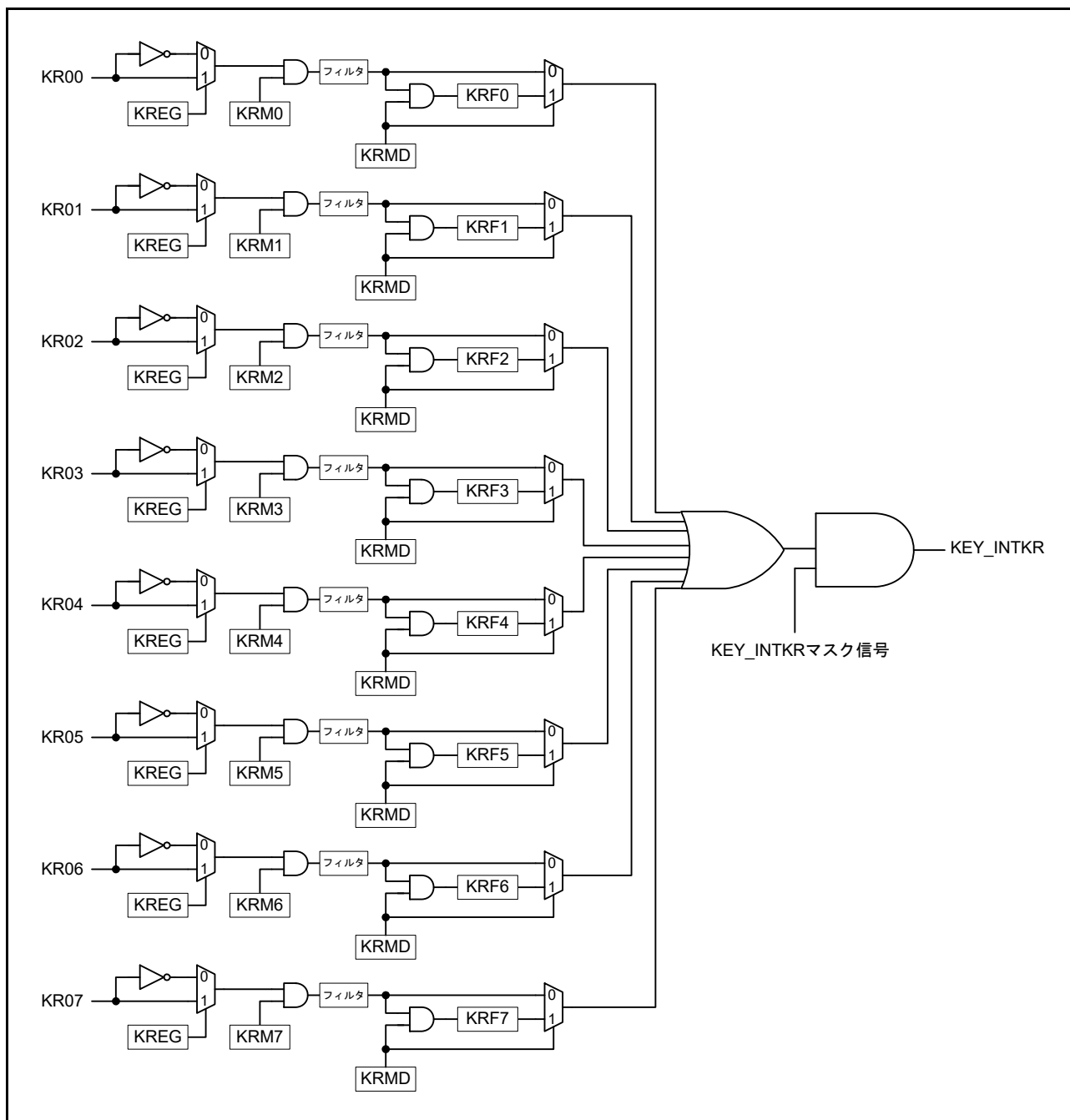


図 20.1 キー割り込み機能のブロック図

注 . 図 20.1 において、すべてのキーリターン要因が OR ゲートでマージされて、マージされたキー復帰要因を KEY\_INTKR マスク信号によってマスクするために、キー割り込み (KEY\_INTKR) が AND ゲートの出力となります。KRFn (KRMn = 1) を使用する場合、KEY\_INTKR マスク信号は、KRFn をクリアすることでアサートされる出力マスクとして使用されます。

## 20.2 レジスタの説明

### 20.2.1 キーリターンコントロールレジスタ (KRCTL)

アドレス [KINT.KRCTL 4008 0000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	KRMD	—	—	—	—	—	—	KREG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	<a href="#">KREG</a>	検出エッジ選択 (KR00～KR07)	0 : 立ち下がリエッジ 1 : 立ち上がりエッジ	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	<a href="#">KRMD</a>	キー割り込みフラグ使用状態 (KRF0～KRF7)	0 : キー割り込みフラグを使用しない 1 : キー割り込みフラグを使用する	R/W

KRCTL レジスタは、キー割り込みフラグ (KRF0～KRF7) の使用状態を制御し、検出エッジを設定するためのレジスタです。

### 20.2.2 キーリターンフラグレジスタ (KRF)

アドレス [KINT.KRF 4008 0004h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	$KRF_n$	キー割り込みフラグn	0 : キー割り込みの検出なし 1 : キー割り込みの検出あり	R/W

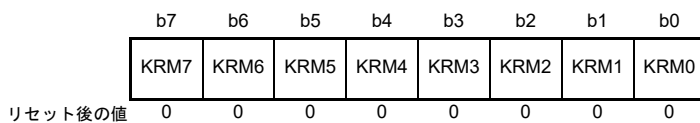
n = 0～7

注. KRMD = 0 の場合、 $KRF_n$  ビットを 1 にすることは禁止です。  
 $KRF_n$  ビットを 1 に設定しても  $KRF_n$  の値は変化しません。 $KRF_n$  ビットをクリアする場合は、0 を書き込む前に該当ビットが 1 であることを確認し、その後でその他のビットには 1 を書き込んでください。

KRF レジスタは、キー割り込みフラグ (KRF0～KRF7) を制御するレジスタです。

## 20.2.3 キーリターンモードレジスタ (KRM)

アドレス KINT.KRM 4008 0008h



ビット	シンボル	ビット名	機能	R/W
b7-b0	KRMn	キー割り込みモード制御n	0 : キー割り込み信号の検出なし 1 : キー割り込み信号の検出あり	R/W

n = 0 ~ 7

- 注 . 対応するキー割り込み入力端子をプルアップ機能に設定することで、内蔵プルアップ抵抗の適用が可能です。詳細は、「19. I/Oポート」を参照してください。
- キー割り込みは PmnPFS.PSEL[4:0] ビットで割り当てることができます。詳細は、「19. I/Oポート」を参照してください。
- キー割り込み入力端子へ入力中の信号が Low レベル (KREG = 0) または High レベル (KREG = 1) のとき、KRM レジスタの対象ビットがセットされると割り込みが発生します。この割り込みを無視するには、割り込み処理を禁止してから、KRM レジスタを設定してください。

KRM レジスタは、キー割り込みモードの設定を行うレジスタです。

## 20.3 動作説明

### 20.3.1 キー割り込みフラグを使用しない場合の動作 (KRMD = 0)

キー割り込み端子 KR00 ~ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み (KEY\_INTKR) が発生します。有効エッジが入力されたチャンネルを判別するには、キー割り込み (KEY\_INTKR) の発生後にポートレジスタを読み出して、ポートのレベルをチェックしてください。

KEY\_INTKR 信号は、キー割り込み入力端子 (KR00 ~ KR07) の入力レベルに応じて変化します。

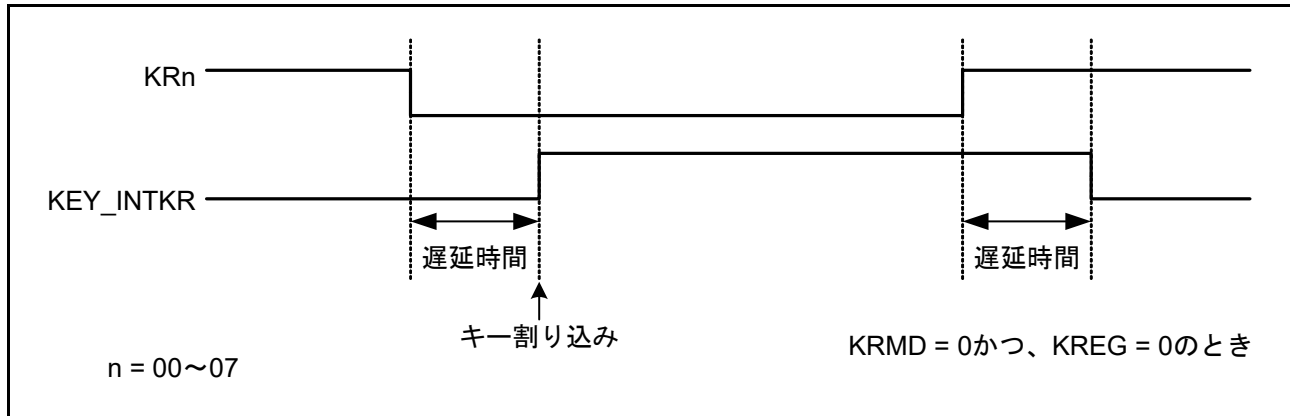


図 20.2 キー割り込みが1つのチャンネルに入力された場合の KEY\_INTKR 信号の動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 20.3 に示します。一方の端子に Low レベルが入力中であると、KEY\_INTKR 信号がセットされます (KREG = 0 の場合)。そのため、この期間中に他方の端子に立ち上がりエッジが入力されても、再度キー割り込み (KEY\_INTKR) は発生しません。図 20.3 の [1] を参照してください。

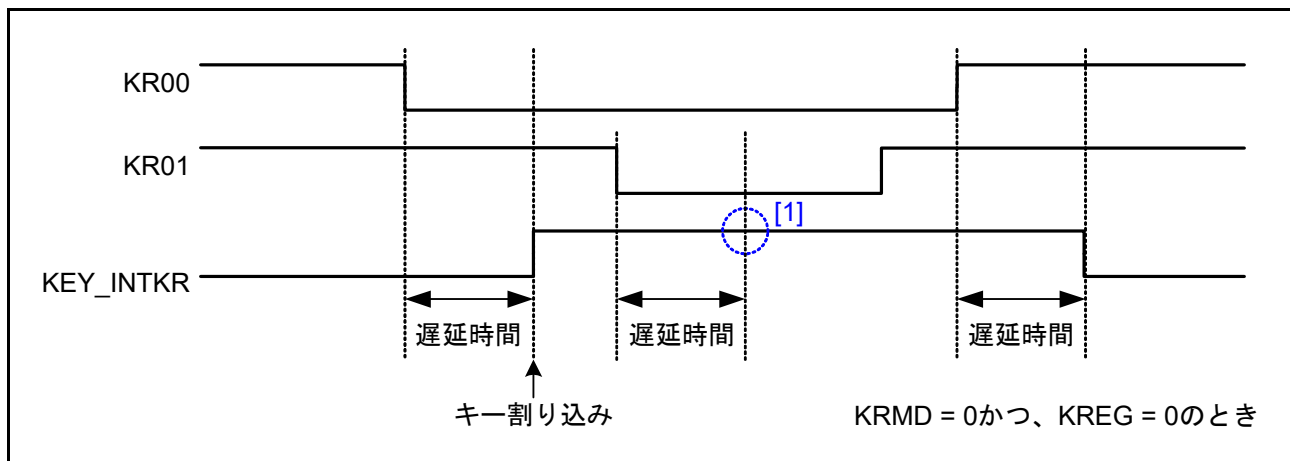


図 20.3 キー割り込みが複数のチャンネルに入力された場合の KEY\_INTKR 信号の動作

## 20.3.2 キー割り込みフラグを使用する場合の動作 (KRMD = 1)

キー割り込み端子 KR00 ~ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み (KEY\_INTKR) が発生します。有効エッジが入力されたチャンネルを判別するには、キー割り込み (KEY\_INTKR) の発生後にキーリターンフラグレジスタ (KRF) を読み出します。KRMD ビットが 1 になっている場合は、KRF レジスタの対応するビットをクリアして、KEY\_INTKR 信号をクリアしてください。

図 20.4 に示すように、KREG ビットが 0 の場合、1 つのチャンネルに立ち下がりエッジが入力されるごとに、1 回だけ割り込みが発生します。立ち上がりエッジが入力される前や後に KRFn ビットがクリアされても、それ以上割り込みは発生しません。

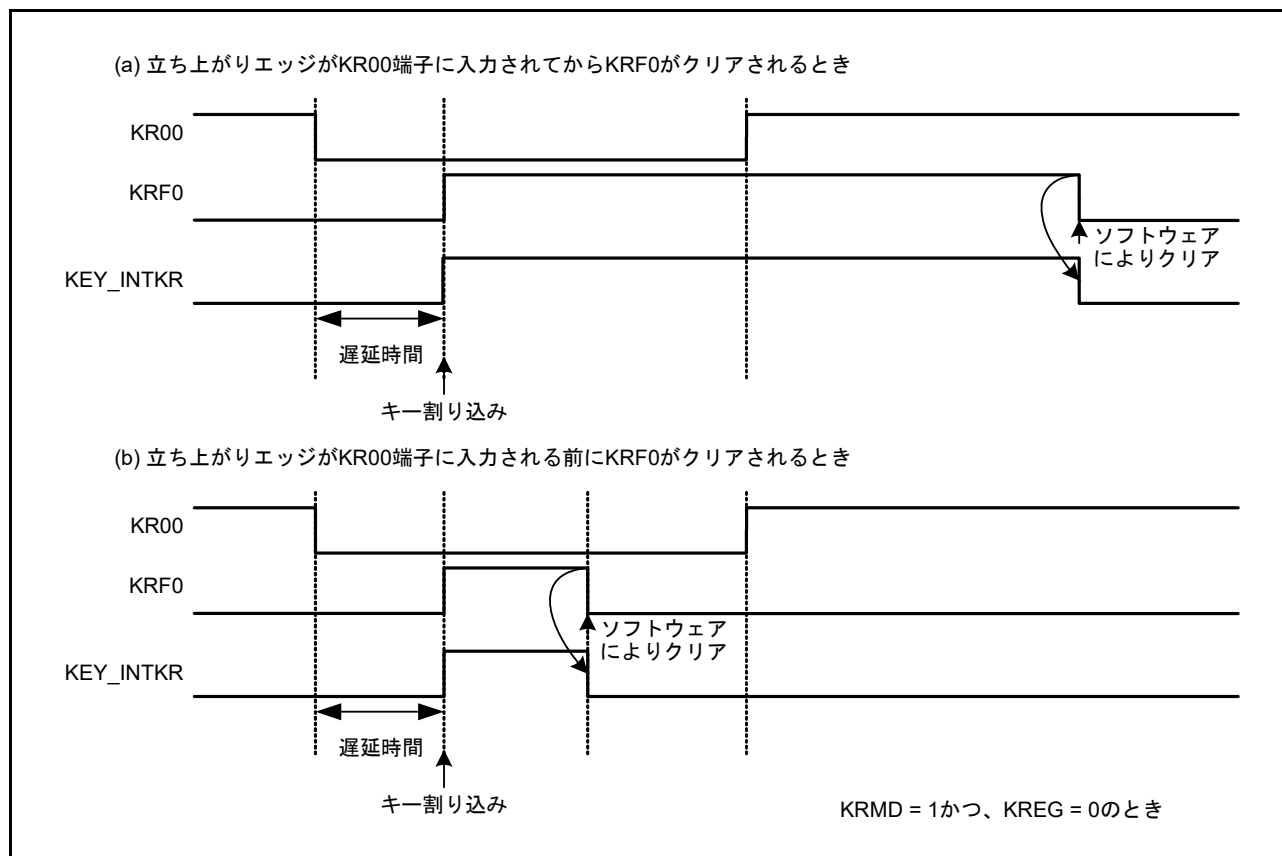


図 20.4 キー割り込みフラグを使用する場合の KEY\_INTKR 信号の基本動作



有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 20.5 に示します。KR00 端子に立ち下がりエッジが入力された後に、KR01 端子と KR05 端子にも立ち下がりエッジが入力されます (KREG = 0 の場合)。KRF0 ビットがクリアされたとき、KRF1 ビットはセット状態になっています。そのため、KRF0 ビットがクリアされると、KEY\_INTKR が PCLKB で 1 クロックの期間 L になった後再び H になります。図 20.5 の [1] を参照してください。また、KR05 端子に立ち下がりエッジが入力された後に、KRF5 ビットがセットされます。KRF1 ビットは図中の [2] のタイミングでクリアされます。そのため、KRF1 ビットがクリアされると、KEY\_INTKR が PCLKB で 1 クロックの期間 L になった後再び H になります。図中の [3] を参照してください。したがって、複数チャンネルに有効エッジが入力されたとき、それぞれキー割り込みを発生させることが可能です。

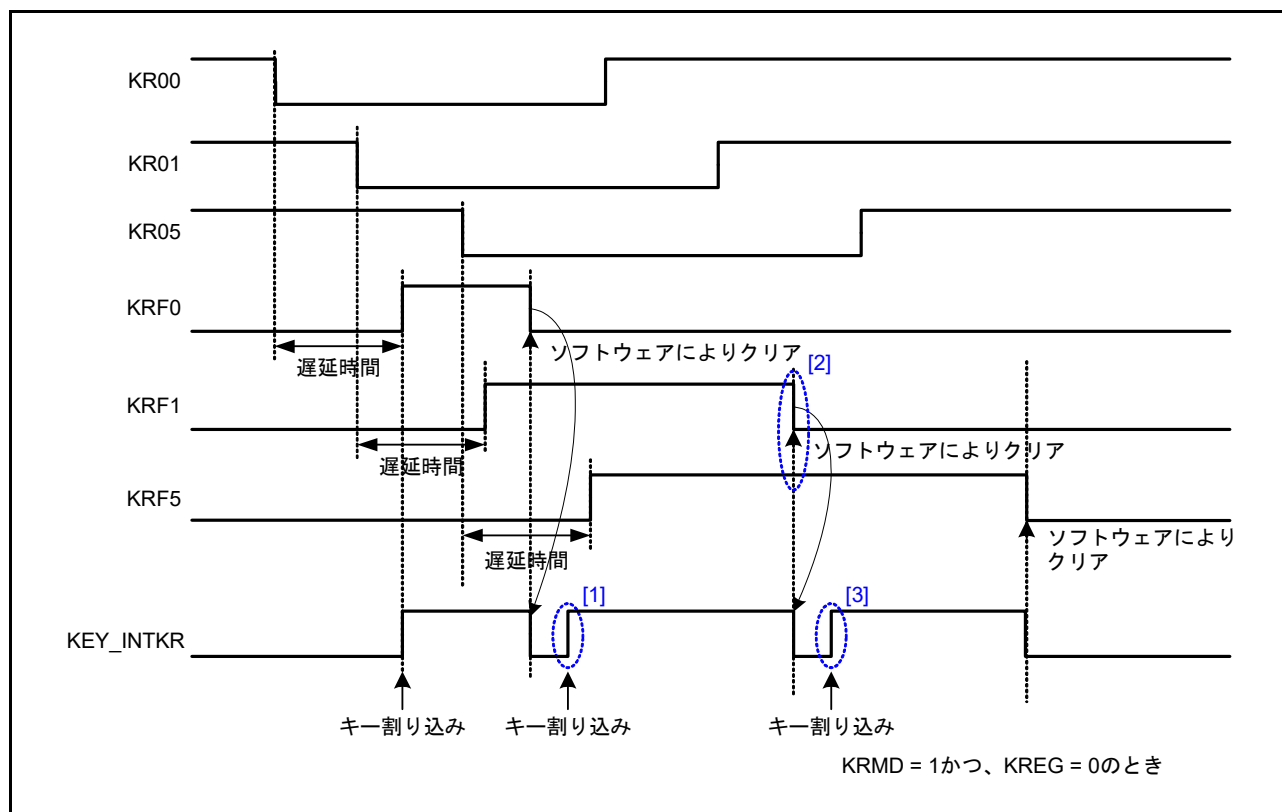


図 20.5 キー割り込みが複数のチャンネルに入力された場合の KEY\_INTKR 信号の動作

## 20.4 使用上の注意事項

- KEY\_INTKR をスヌーズ要求として用いる場合は、KRMD を 0 にすること
- KEY\_INTKR をスヌーズモードおよびソフトウェアスタンバイモードから通常モードへ復帰するための割り込み要因として用いる場合は、KRMD ビットを 1 にすること
- キー割り込み機能 (KINT) が端子に割り当てられる場合、この端子入力ソフトウェアスタンバイモード時に常に許可される。また、端子レベルが変化すると、対応する KRFn フラグがセットされる可能性がある。そのため、ソフトウェアスタンバイモードの解除時に、キー割り込みが発生する可能性がある

ソフトウェアスタンバイモード時のキー割り込み端子の変化を無視するには、ソフトウェアスタンバイモードへ遷移する前に、対応する KRM ビットをクリアしてください。ソフトウェアスタンバイモードの解除後は、対応する KRM ビットがセットされる前に、KRFn をクリアする必要があります。

## 21. GPT用ポートアウトプットイネーブル (POEG)

### 21.1 概要

GPT用ポートアウトプットイネーブル (POEG) 機能は、以下の方法の1つを使用して、汎用PWMタイマ (GPT) の出力端子を出力禁止状態にすることが可能です。

- GTETR<sub>Gn</sub> 端子 (n = A, B, C, D) の入力レベル検出
- GPTからの出力禁止要求
- コンパレータ割り込み要求検出
- クロック発生回路の発振停止検出
- レジスタ設定

GTETR<sub>Gn</sub> 端子 (n = A, B, C, D) は、GPTへの外部トリガ入力端子としても利用可能です。

表 21.1 に POEG の仕様、図 21.1 にブロック図、そして表 21.2 に入力端子を示します。

表 21.1 POEGの仕様

項目	内容
入力レベル検出による出力禁止制御	極性とフィルタの選択後、GTETR <sub>Gn</sub> 端子の立ち上がりエッジまたはHighレベルをサンプリングした場合、GPT出力端子を出力禁止に設定可能
GPTからの出力禁止要求	<ul style="list-style-type: none"> <li>• GTIOCAおよびGTIOCB端子が同時にアクティブレベルとなる場合、GPTはPOEGに対して出力禁止要求を発生させる。POEGは、これらの要求を受信して、GTIOCAおよびGTIOCB端子を出力禁止にするか否かの制御が可能</li> <li>• GPT出力端子がデッドタイムエラーを検出した場合に、GPT出力端子を出力禁止に設定可能</li> </ul>
コンパレータ (ACMPHS) 割り込み検出による出力禁止制御	割り込み要求がどのコンパレータ出力結果の変化によって発生した場合でも、GPT出力端子を出力禁止に設定可能
発振停止検出による出力禁止制御	クロック発生回路の発振が停止した場合に、GPT出力端子を出力禁止に設定可能
ソフトウェア (レジスタ) による出力禁止制御	レジスタの設定値を書き換えることにより、GPT出力端子を出力禁止に設定可能
割り込み	<ul style="list-style-type: none"> <li>• 入力レベル検出による出力禁止制御が可能</li> <li>• GPTまたはACMPHSからの出力禁止要求が可能</li> </ul>
GPTに対する外部トリガ出力 (カウント開始/カウント停止/カウントクリア/アップカウント/ダウンカウント/インプットキャプチャ機能)	極性とフィルタの選択後、GTETR <sub>Gn</sub> 信号をGPTへ出力可能
ノイズフィルタリング	<ul style="list-style-type: none"> <li>• どの入力端子 (GTETR<sub>Gn</sub>) に対しても、PCLKB/1、PCLKB/8、PCLKB/32、またはPCLKB/128クロックごとに3回のサンプリングを設定可能</li> <li>• どの入力端子 (GTETR<sub>Gn</sub>) に対しても、正または負の極性を選択可能</li> <li>• 極性およびフィルタ選択後の信号状態のモニタが可能</li> </ul>

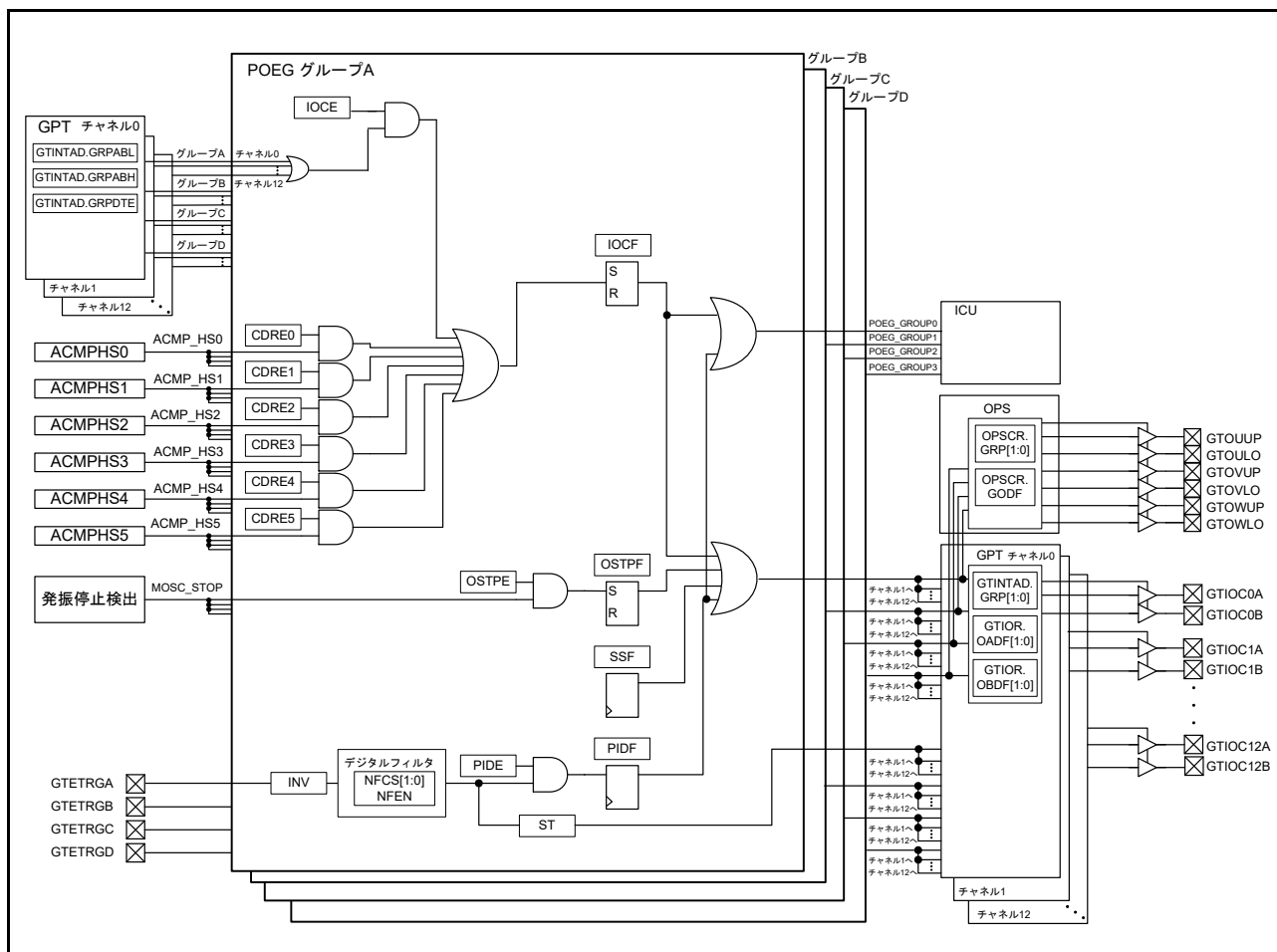


図 21.1 POEGのブロック図

表 21.2 POEGの入力端子

端子名	入出力	機能
GTETRGA	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子A
GTETRGB	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子B
GTETRC	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子C
GTETRGD	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子D

## 21.2 レジスタの説明

## 21.2.1 POEGグループn設定レジスタ (POEGGn) (n = A ~ D)

アドレス POEG.POEGGA 4004 2000h, POEG.POEGGB 4004 2100h, POEG.POEGGC 4004 2200h, POEG.POEGGD 4004 2300h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCS[1:0]	NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	—	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	CDRE5	CDRE4	CDRE3	CDRE2	CDRE1	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIDF	ポート入力検出フラグ	0: GTETRn端子からの出力禁止要求なし 1: GTETRn端子からの出力禁止要求あり	R/W (注1)
b1	IOCF	GPTまたはACMPHS出力禁止要求検出フラグ	0: GPTの禁止要求またはACMPHSによる出力禁止要求なし 1: GPTの禁止要求またはACMPHSによる出力禁止要求あり	R/W (注1)
b2	OSTPF	発振停止検出フラグ	0: 発振停止検出による出力禁止要求なし 1: 発振停止検出による出力禁止要求あり	R/W (注1)
b3	SSF	ソフトウェア停止フラグ	0: ソフトウェアからの出力禁止要求なし 1: ソフトウェアからの出力禁止要求あり	R/W
b4	PIDE	ポート入力検出許可	0: GTETRn端子からの出力禁止要求を禁止 1: GTETRn端子からの出力禁止要求を許可	R/W (注2)
b5	IOCE	GPT出力禁止要求許可	0: GPTの禁止要求による出力禁止要求を禁止 1: GPTの禁止要求による出力禁止要求を許可	R/W (注2)
b6	OSTPE	発振停止検出許可	0: 発振停止検出による出力禁止要求を禁止 1: 発振停止検出による出力禁止要求を許可	R/W (注2)
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CDRE0	ACMP_HS0許可	0: コンパレータ0の禁止要求を禁止 1: コンパレータ0の禁止要求を許可	R/W (注2)
b9	CDRE1	ACMP_HS1許可	0: コンパレータ1の禁止要求を禁止 1: コンパレータ1の禁止要求を許可	R/W (注2)
b10	CDRE2	ACMP_HS2許可	0: コンパレータ2の禁止要求を禁止 1: コンパレータ2の禁止要求を許可	R/W (注2)
b11	CDRE3	ACMP_HS3許可	0: コンパレータ3の禁止要求を禁止 1: コンパレータ3の禁止要求を許可	R/W (注2)
b12	CDRE4	ACMP_HS4許可	0: コンパレータ4の禁止要求を禁止 1: コンパレータ4の禁止要求を許可	R/W (注2)
b13	CDRE5	ACMP_HS5許可	0: コンパレータ5の禁止要求を禁止 1: コンパレータ5の禁止要求を許可	R/W (注2)
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	ST	GTETRn入力ステータスフラグ	0: フィルタリング後のGTETRn入力は0 1: フィルタリング後のGTETRn入力は1	R
b27-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	INV	GTETRn入力反転	0: GTETRnをそのまま入力 1: GTETRnを反転して入力	R/W
b29	NFEN	ノイズフィルタ有効	0: ノイズフィルタリングを無効 1: ノイズフィルタリングを有効	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCS[1:0]	ノイズフィルタクロック選択	b31 b30 0 0 : GTETRn端子の入カレベルをPCLKB/1クロックごとに3回サンプリング 0 1 : GTETRn端子の入カレベルをPCLKB/8クロックごとに3回サンプリング 1 0 : GTETRn端子の入カレベルをPCLKB/32クロックごとに3回サンプリング 1 1 : GTETRn端子の入カレベルをPCLKB/128クロックごとに3回サンプリング	R/W

注 1. フラグをクリアするための0の書き込みのみ可能です。

注 2. リセット後、1回のみ書き込み可能です。

POEGGA ~ POEGGD レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御するレジスタです。以下の説明で POEGn とは、POEGGA ~ POEGGD レジスタのすべてを表しています。

### 21.3 出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、GTIOCxB、および BLDC モータ制御用 3 相 PWM 出力端子を出力禁止に設定できます。

- GTETR<sub>Gn</sub> 端子の入力レベルまたはエッジ検出  
POEG<sub>Gn</sub>.PIDE ビットが 1 の状態で、POEG<sub>Gn</sub>.PIDF フラグが 1 になったとき
- GPT からの出力禁止要求  
POEG<sub>Gn</sub>.IOCE ビットが 1 の場合、GTINTAD レジスタで禁止要求が許可されると、POEG<sub>Gn</sub>.IOCF フラグは 1 になる。GTINTAD.GRPDTE、GTINTAD.GRPABH、および GTINTAD.GRPABL の設定は、GPT レジスタの GTINTAD.GRP[1:0] および OPSCR.GRP[1:0] ビットで選択されたグループに適用される
- コンパレータ (ACMPHS) 割り込み要求検出  
コンパレータ割り込みの検出は、POEG<sub>Gn</sub>.CDRE[5:0] レジスタのいずれかが 1 の場合にアクティブになる。対応するコンパレータ割り込みが発生すると、GPT 出力端子は出力禁止状態になる。  
POEG<sub>Gn</sub>.IOCF フラグが検出状態を示す
- クロック発生回路の発振停止検出  
POEG<sub>Gn</sub>.OSTPE ビットが 1 の場合、POEG<sub>Gn</sub>.OSTPF フラグが 1 になる
- SSF ビットの設定  
POEG<sub>Gn</sub>.SSF ビットが 1 のとき、GPT と PWM は出力禁止状態になる

出力禁止状態は GPT で制御されます。GTIOCxA 端子および GTIOCxB 端子の出力禁止は、GPT<sub>x</sub> の GTINTAD.GRP[1:0] ビット、GTIOR.OADF[1:0] ビット、および GTIOR.OBDF[1:0] ビットで設定されます。BLDC モータ制御用 3 相 PWM 出力端子の出力禁止は、GPT OPS の OPSCR.GRP[1:0] ビットおよび OPSCR.GODF ビットで設定されます。

#### 21.3.1 端子入力レベル検出時の動作

POEG<sub>Gn</sub>.PIDE ビット、POEG<sub>Gn</sub>.NFCS[1:0] ビット、POEG<sub>Gn</sub>.NFEN ビット、および POEG<sub>Gn</sub>.INV ビットに設定された入力条件が、GTETR<sub>Gn</sub> 端子で発生すると、GPT 出力端子は出力禁止状態になります。

### 21.3.1.1 デジタルフィルタ

図 21.2 に、デジタルフィルタによる High 検出時の動作を示します。POEGn.INV ビットの極性の設定に対応した High 状態が、POEGn.NFCS[1:0] ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETRn 端子のレベル変化が無視されます。

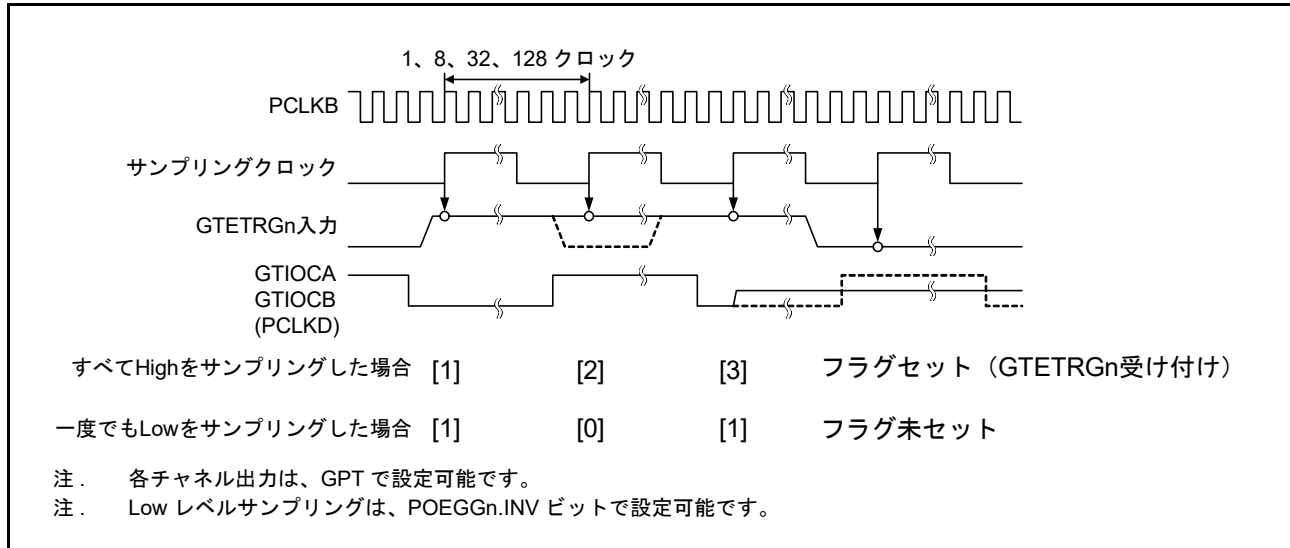


図 21.2 デジタルフィルタの動作例

### 21.3.2 GPT からの出力禁止要求

この動作の詳細については、「22. 汎用 PWM タイマ (GPT)」に記載の GTIOC 端子の出力禁止制御を参照してください。

### 21.3.3 コンパレータ割り込みの検出

POEGn.CDRE[5:0] ビットが 1 の場合、対応するコンパレータ割り込み要求が発生すると、GPT 出力端子はグループごとに出力禁止状態になります。ステータスフラグは POEGn.IOCF であり、これは GPT の出力禁止検出と共通です。

### 21.3.4 発振停止検出による出力禁止制御

POEGn.OSTPE ビットが 1 の場合、クロック発生回路の発振停止検出機能が発振停止を検出すると、GPT 出力端子はグループごとに出力禁止状態になります。

### 21.3.5 レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ (POEGn.SSF) に書き込むことで直接制御が可能です。



### 21.3.6 出力禁止状態の解除

出力禁止状態になっている GPT 出力端子を解放するには、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアします。

- POEGn.PIDF
- POEGn.IOCF
- POEGn.OSTPF
- POEGn.SSF

外部入力端子 GTETRn が無効ではなく、かつ POEGn.ST ビットが 0 になっていなければ、POEGn.PIDF フラグに 0 を書いても無視されます (フラグはクリアされません)。

GPT の GTST.DTEF フラグ、GTST.OABHF フラグ、および GTST.OABLF フラグがすべて 0 になっている場合にのみ、POEGn.IOCF フラグに 0 を書くこと (フラグをクリアすること) ができます。

クロック発生回路の OSTDSR.OSTDF フラグが 0 になっていない場合、POEGn.OSTPF フラグに 0 を書いても無視されます (フラグはクリアされません)。また、フラグのセットとクリアが同時に発生した場合、セットが優先されます。

図 21.3 に、出力禁止状態の解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。

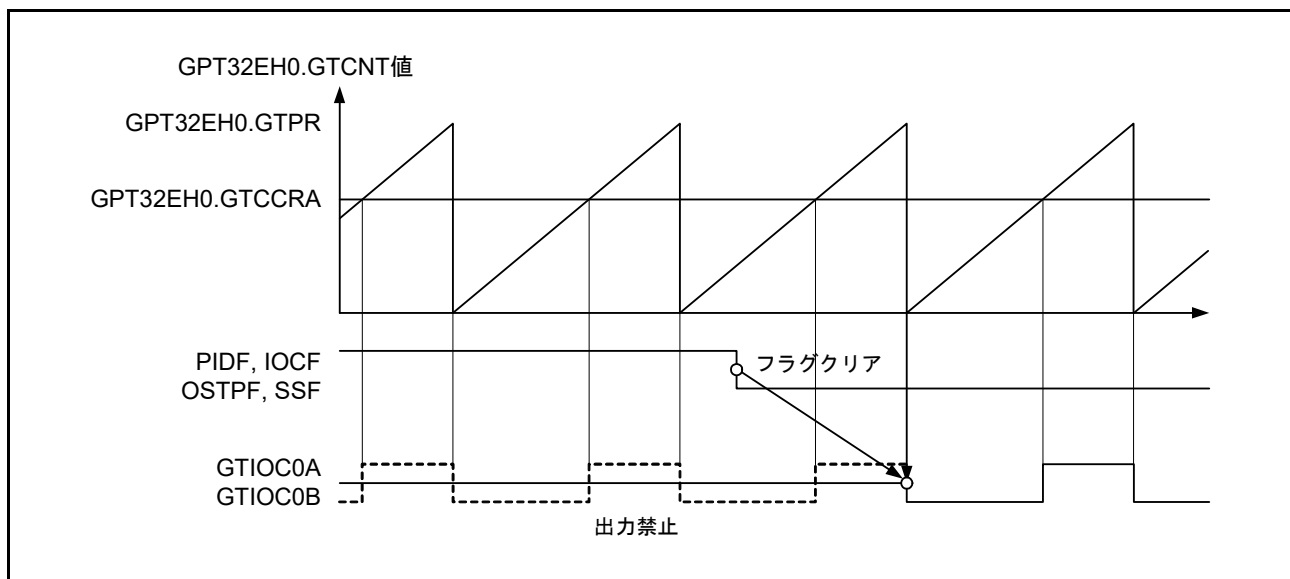


図 21.3 GPT 端子出力の出力禁止状態の解除タイミング

## 21.4 割り込み要因

POEGは、以下の要因によって、割り込み要求を発生させます。

- 入力レベル検出による出力禁止制御
- GPTからの出力禁止要求
- コンパレータ割り込み要求検出による出力禁止要求

表 21.3 に、割り込み要求の条件を示します。

表 21.3 割り込み要因と条件

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEGグループA割り込み	POEG_GROUP0	POEGGA.IOCF	GPT禁止要求による出力禁止要求の発生
			コンパレータ割り込み要求による出力禁止要求の発生
POEGグループB割り込み	POEG_GROUP1	POEGGA.PIDF	GTETRGA端子からの出力禁止要求の発生
POEGグループB割り込み	POEG_GROUP1	POEGGB.IOCF	GPT禁止要求による出力禁止要求の発生
			コンパレータ割り込み要求による出力禁止要求の発生
POEGグループB割り込み	POEG_GROUP1	POEGGB.PIDF	GTETRGB端子からの出力禁止要求の発生
POEGグループC割り込み	POEG_GROUP2	POEGGC.IOCF	GPT禁止要求による出力禁止要求の発生
			コンパレータ割り込み要求による出力禁止要求の発生
POEGグループC割り込み	POEG_GROUP2	POEGGC.PIDF	GTETRC端子からの出力禁止要求の発生
POEGグループD割り込み	POEG_GROUP3	POEGGD.IOCF	GPT禁止要求による出力禁止要求の発生
			コンパレータ割り込み要求による出力禁止要求の発生
POEGグループD割り込み	POEG_GROUP3	POEGGD.PIDF	GTETRGD端子からの出力禁止要求の発生

## 21.5 GPT に対する外部トリガ出力

POEG は、下記の GPT 動作のトリガ信号として、GTETR $G_n$  信号を出力します。

- カウント開始
- カウント停止
- カウントクリア
- アップカウント
- ダウンカウント
- インพุットキャプチャ

POEG $G_n$ .INV ビットで設定した極性信号に対し、POEG $G_n$ .NFCS[1:0] で選択したサンプリングクロックで同じレベルが 3 回連続して入力されたとき、その値が出力されます。コントロールレジスタは [21.3.1 端子入力レベル検出時の動作](#) で記載したビットを設定してください。フィルタリング後の状態は POEG $G_n$ .ST フラグでモニタできます。

図 21.4 に、GPT に対する外部トリガ出力のタイミングを示します。

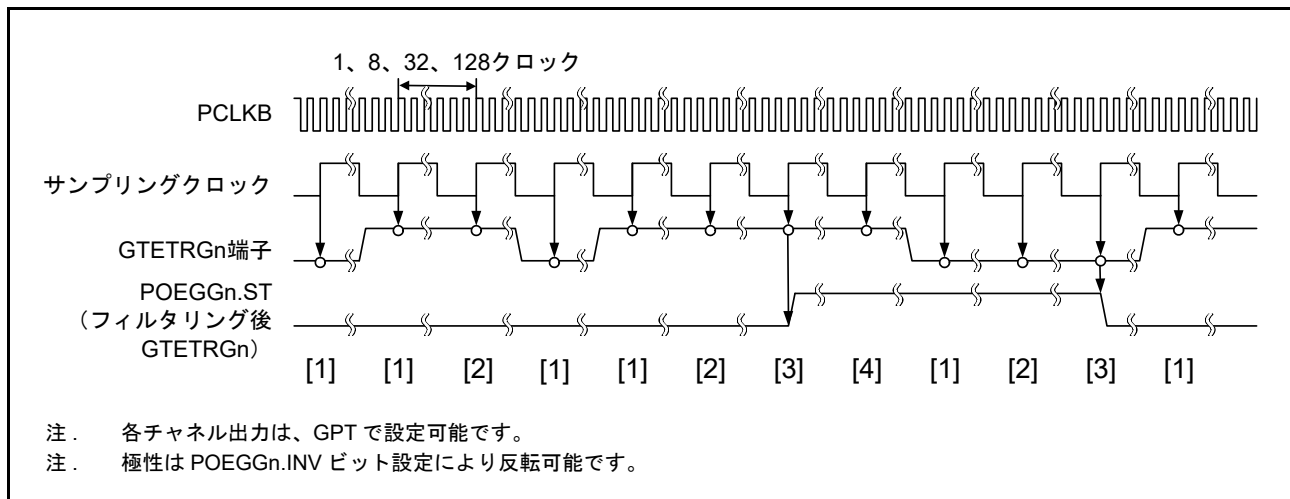


図 21.4 GPT に対する外部トリガ出力のタイミング

## 21.6 使用上の注意事項

### 21.6.1 ソフトウェアスタンバイモードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移しないでください。このモードでは POEG が停止するため、端子の出力禁止を制御することができません。

### 21.6.2 GPT 対応端子の指定

POEG は、PmnPFS.PMR および PmnPFS.PSEL[4:0] ビットによって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEG は出力禁止制御を行いません。

## 22. 汎用 PWM タイマ (GPT)

### 22.1 概要

汎用 PWM タイマ (GPT) は、4 チャンネルの GPT32EH、4 チャンネルの GPT32E、および 5 チャンネルの GPT32 によって構成される 32 ビットタイマです。PWM 波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、ブラシレス DC モータ制御用の PWM 波形を発生させることもできます。GPT は汎用タイマとしても使用可能です。

表 22.1 に GPT の仕様を、表 22.2 に GPT の機能一覧を、図 22.1 にブロック図を示します。

表 22.1 GPTの仕様

項目	内容
機能	<ul style="list-style-type: none"> <li>• 32ビット×13チャンネル</li> <li>• 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、またはアップダウンカウント（三角波）</li> <li>• チャンネルごとに独立したクロックソースを選択可能</li> <li>• チャンネルごとに2本の入出力端子</li> <li>• チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本</li> <li>• 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能</li> <li>• アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成</li> <li>• チャンネルごとにフレーム周期設定用レジスタを搭載（オーバーフロー/アンダーフローで割り込み可能）</li> <li>• PWM動作の際にデッドタイム生成が可能</li> <li>• 任意チャンネルのカウンタの同期スタート/ストップ/クリア</li> <li>• 最大8個のELCイベントに対応したアップ/ダウンカウンタのスタート/ストップ/クリア</li> <li>• 入力レベル比較に対応したアップ/ダウンカウンタのスタート/ストップ/クリア</li> <li>• 最大4個の外部トリガに対応したアップ/ダウンカウンタのスタート/ストップ/クリア</li> <li>• デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能</li> <li>• A/Dコンバータの変換開始トリガ生成が可能</li> <li>• ブラシレスDCモータ制御用のPWM波形生成が可能</li> <li>• コンペアマッチA~Fイベント、オーバーフローイベント/アンダーフローイベント、および入力UVWエッジイベントをELCに出力可能</li> <li>• インプットキャプチャおよび入力UVWのノイズフィルタを使用可能</li> <li>• バスクロック：PCLKA</li> <li>• コアクロック：PCLKD</li> <li>• 周波数比：PCLKA:PCLKD = 1:N (N = 1/2/4/8/16/32/64)</li> </ul>

表 22.2 GPTの機能一覧 (1/2)

項目	GPT32EH, GPT32E	GPT32
カウントクロック	PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024	PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024
アウトプットコンペア/インプットキャプチャレジスタ (GTCCR)	GTCCRA GTCCRB	GTCCRA GTCCRB
コンペア/バッファレジスタ	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ	GTPR	GTPR
周期設定バッファレジスタ	GTPBR GTPDBR	GTPBR
入出力端子	GTIOCA GTIOCB	GTIOCA GTIOCB

表 22.2 GPTの機能一覧 (2/2)

項目		GPT32EH, GPT32E	GPT32
外部トリガ入力端子 (注1)		GTETRGA GTETRGB GTETRGC GTETRGD	GTETRGA GTETRGB GTETRGC GTETRGD
カウンタクリア要因		GTPRレジスタコンペアマッチ、インプットキャプチャ、入力端子状態、ELCイベント入力、およびGTETRGN (n = A, B, C, D) 端子入力	GTPRレジスタコンペアマッチ、インプットキャプチャ、入力端子状態、ELCイベント入力、およびGTETRGN (n = A, B, C, D) 端子入力
コンペアマッチ出力	Low出力	可能	可能
	High出力	可能	可能
	トグル出力	可能	可能
インプットキャプチャ機能		可能	可能
デッドタイム自動付加機能		可能	可能 (デッドタイムバッファなし)
PWMモード		可能	可能
位相計数機能		可能	可能
バッファ動作		ダブルバッファ	ダブルバッファ
ワンショット動作		可能	可能
DTCの起動		すべての割り込み要因	すべての割り込み要因
A/D変換開始トリガ		GTADTRAまたはGTADTRBのコンペアマッチ	-
ブラシレスDCモータ制御機能		可能	可能
割り込み要因		10要因 <ul style="list-style-type: none"> <li>• GTCCRAコンペアマッチ/インプットキャプチャ (GPTn_CCMPA)</li> <li>• GTCCRBコンペアマッチ/インプットキャプチャ (GPTn_CCMPB)</li> <li>• GTCCRCコンペアマッチ (GPTn_CMPC)</li> <li>• GTCCRDコンペアマッチ (GPTn_CMPD)</li> <li>• GTCCREコンペアマッチ (GPTn_CMPE)</li> <li>• GTCCRFコンペアマッチ (GPTn_CMPF)</li> <li>• GTADTRAコンペアマッチ (GPTn_ADTRGA)</li> <li>• GTADTRBコンペアマッチ (GPTn_ADTRGB)</li> <li>• GTCNTオーバーフロー (GTPRコンペアマッチ) (GPTn_OVF)</li> <li>• GTCNTアンダーフロー (GPTn_UDF)</li> </ul>	8要因 <ul style="list-style-type: none"> <li>• GTCCRAコンペアマッチ/インプットキャプチャ (GPTn_CCMPA)</li> <li>• GTCCRBコンペアマッチ/インプットキャプチャ (GPTn_CCMPB)</li> <li>• GTCCRCコンペアマッチ (GPTn_CMPC)</li> <li>• GTCCRDコンペアマッチ (GPTn_CMPD)</li> <li>• GTCCREコンペアマッチ (GPTn_CMPE)</li> <li>• GTCCRFコンペアマッチ (GPTn_CMPF)</li> <li>• GTCNTオーバーフロー (GTPRコンペアマッチ) (GPTn_OVF)</li> <li>• GTCNTアンダーフロー (GPTn_UDF)</li> </ul>
割り込み間引き機能		GTCNTオーバーフロー (GTPRコンペアマッチ) (GPTn_OVF) の間引き/ GTCNTアンダーフロー (GPTn_UDF) 割り込み (その他割り込みまたはA/D変換要求に対するインターロック機能付き) の間引き	-
イベントリンク (ELC) 機能		可能	可能
ノイズフィルタ機能		可能	可能

注1. GTETRGNは、POEGモジュールを経由してGPTに接続します。このため、GPTの機能を使用するには、MSTPD14ビットをクリアすることでクロックをPOEGに供給してください。

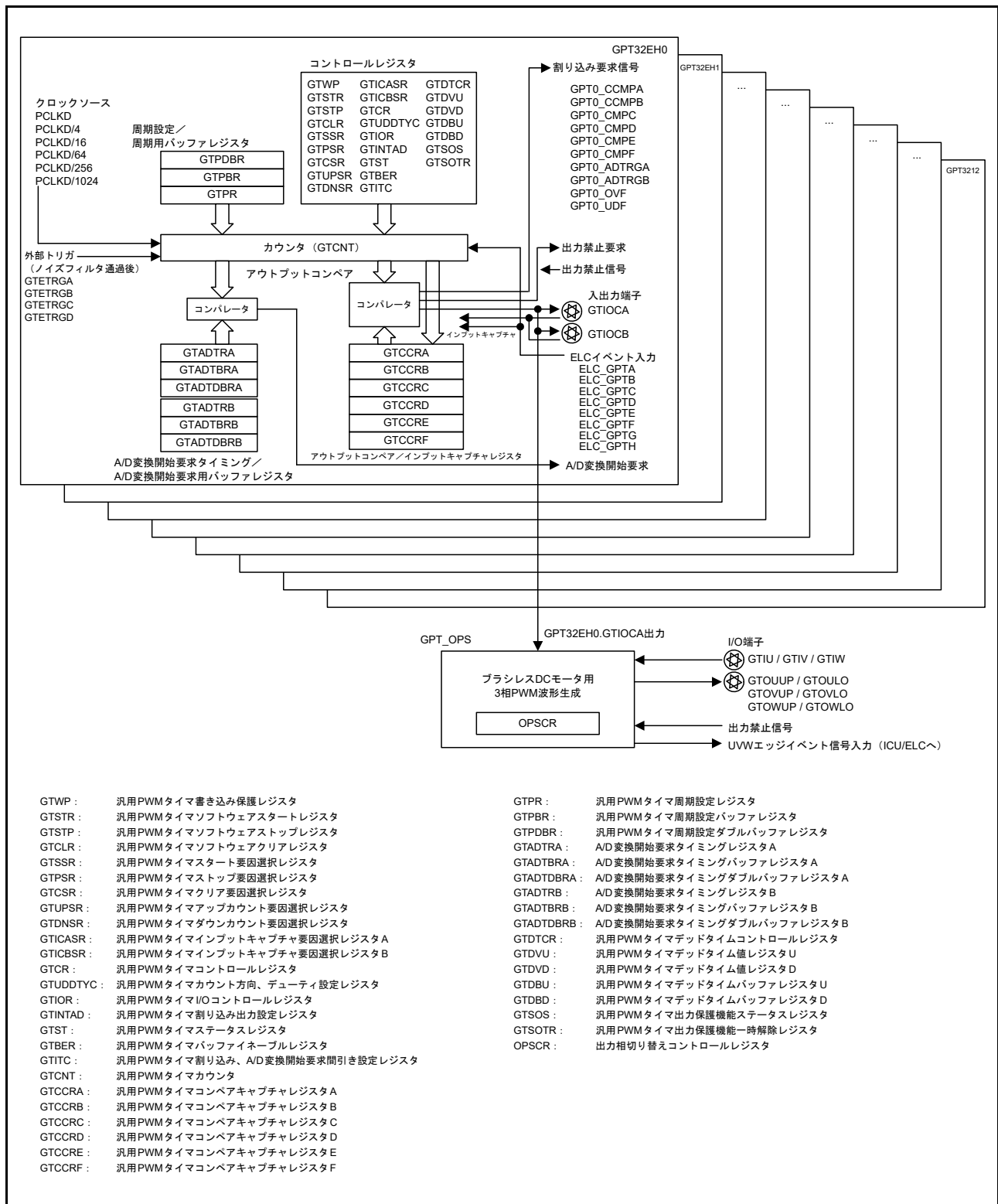


図 22.1 GPTのブロック図

図 22.2 に複数の GPT の使用例を示します。

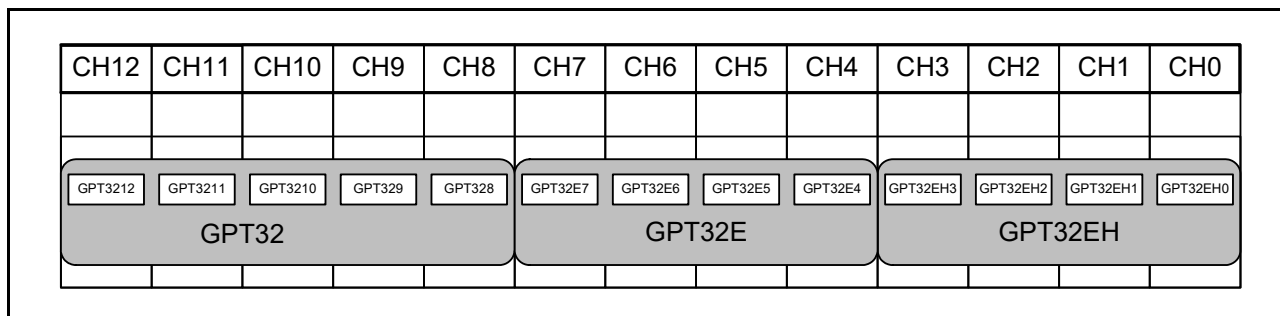


図 22.2 GPT チャンネルとモジュール名の対応関係

表 22.3 GPTの入出力端子 (1/2)

チャンネル	端子名	入出力	機能
共通	GTETRGA	入力	外部トリガ入力端子A (ノイズフィルタリング後)
	GTETRGB	入力	外部トリガ入力端子B (ノイズフィルタリング後)
	GTETRGC	入力	外部トリガ入力端子C (ノイズフィルタリング後)
	GTETRGD	入力	外部トリガ入力端子D (ノイズフィルタリング後)
GPT32EH0	GTIOC0A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT32EH1	GTIOC1A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC1B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT32EH2	GTIOC2A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC2B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT32EH3	GTIOC3A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC3B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT32E4	GTIOC4A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC4B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT32E5	GTIOC5A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC5B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT32E6	GTIOC6A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC6B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT32E7	GTIOC7A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC7B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

表 22.3 GPTの入出力端子 (2/2)

チャンネル	端子名	入出力	機能
GPT328	GTIOC8A	入出力	GTCCRA レジスタのインพุットキャブチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC8B	入出力	GTCCRB レジスタのインพุットキャブチャ入力/アウトプットコンペア出力/PWM出力端子
GPT329	GTIOC9A	入出力	GTCCRA レジスタのインพุットキャブチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC9B	入出力	GTCCRB レジスタのインพุットキャブチャ入力/アウトプットコンペア出力/PWM出力端子
GPT3210	GTIOC10A	入出力	GTCCRA レジスタのインพุットキャブチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC10B	入出力	GTCCRB レジスタのインพุットキャブチャ入力/アウトプットコンペア出力/PWM出力端子
GPT3211	GTIOC11A	入出力	GTCCRA レジスタのインพุットキャブチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC11B	入出力	GTCCRB レジスタのインพุットキャブチャ入力/アウトプットコンペア出力/PWM出力端子
GPT3212	GTIOC12A	入出力	GTCCRA レジスタのインพุットキャブチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC12B	入出力	GTCCRB レジスタのインพุットキャブチャ入力/アウトプットコンペア出力/PWM出力端子
GPT OPS	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDC モータ制御用3相PWM出力 (正相U相)
	GTOULO	出力	BLDC モータ制御用3相PWM出力 (逆相U相)
	GTOVUP	出力	BLDC モータ制御用3相PWM出力 (正相V相)
	GTOVLO	出力	BLDC モータ制御用3相PWM出力 (逆相V相)
	GTOVUP	出力	BLDC モータ制御用3相PWM出力 (正相W相)
	GTOVLO	出力	BLDC モータ制御用3相PWM出力 (逆相W相)



## 22.2 レジスタの説明

表 22.4 に GPT のレジスタ一覧を示します。

表 22.4 GPT レジスタ (1/2)

モジュール シンボル	レジスタ名	レジスタ シンボル	リセット値	アドレス (m = 0 ~ 12)	アクセス サイズ	GPT32EH/ GPT32E	GPT32
GPT32EHm (m = 0 ~ 3) GPT32Em (m = 4 ~ 7) GPT32m (m = 8 ~ 12)	汎用PWMタイマ書き込み保護レジスタ	GTWP	0000_0000h	4007 8000h + 0100h × m	32	○	○
	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	0000_0000h	4007 8004h + 0100h × m	32	○	○
	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	FFFF_FFFFh	4007 8008h + 0100h × m	32	○	○
	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	0000_0000h	4007 800Ch + 0100h × m	32	○	○
	汎用PWMタイマスタート要因選択レジスタ	GTSSR	0000_0000h	4007 8010h + 0100h × m	32	○	○
	汎用PWMタイマストップ要因選択レジスタ	GTSPSR	0000_0000h	4007 8014h + 0100h × m	32	○	○
	汎用PWMタイマクリア要因選択レジスタ	GTCSR	0000_0000h	4007 8018h + 0100h × m	32	○	○
	汎用PWMタイマアップカウント要因選択レジスタ	GTUPSR	0000_0000h	4007 801Ch + 0100h × m	32	○	○
	汎用PWMタイマダウンカウント要因選択レジスタ	GTDNSR	0000_0000h	4007 8020h + 0100h × m	32	○	○
	汎用PWMタイマインプットキャプチャ要因選択レジスタA	GTICASR	0000_0000h	4007 8024h + 0100h × m	32	○	○
	汎用PWMタイマインプットキャプチャ要因選択レジスタB	GTICBSR	0000_0000h	4007 8028h + 0100h × m	32	○	○
	汎用PWMタイマコントロールレジスタ	GTCR	0000_0000h	4007 802Ch + 0100h × m	32	○	○
	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	0000_0001h	4007 8030h + 0100h × m	32	○	○
	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	0000_0000h	4007 8034h + 0100h × m	32	○	○
	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	0000_0000h	4007 8038h + 0100h × m	32	○	(○) (注1)
汎用PWMタイマステータスレジスタ	GTST	0000_8000h	4007 803Ch + 0100h × m	32	○	(○) (注1)	
汎用PWMタイマパッファイネーブルレジスタ	GTBER	0000_0000h	4007 8040h + 0100h × m	32	○	(○) (注1)	
GPT32EHm (m = 0 ~ 3) GPT32Em (m = 4 ~ 7)	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	0000_0000h	4007 8044h + 0100h × m	32	○	-
GPT32EHm (m = 0 ~ 3) GPT32Em (m = 4 ~ 7) GPT32m (m = 8 ~ 12)	汎用PWMタイマカウンタ	GTCNT	0000_0000h	4007 8048h + 0100h × m	32	○	○
	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	FFFF_FFFFh	4007 804Ch + 0100h × m	32	○	○
	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	FFFF_FFFFh	4007 8050h + 0100h × m	32	○	○
	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	FFFF_FFFFh	4007 8054h + 0100h × m	32	○	○
	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	FFFF_FFFFh	4007 8058h + 0100h × m	32	○	○
	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	FFFF_FFFFh	4007 805Ch + 0100h × m	32	○	○
	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	FFFF_FFFFh	4007 8060h + 0100h × m	32	○	○
	汎用PWMタイマ周期設定レジスタ	GTTPR	FFFF_FFFFh	4007 8064h + 0100h × m	32	○	○
	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	FFFF_FFFFh	4007 8068h + 0100h × m	32	○	○

表 22.4 GPT レジスタ (2/2)

モジュール シンボル	レジスタ名	レジスタ シンボル	リセット値	アドレス (m = 0 ~ 12)	アクセス サイズ	GPT32EH/ GPT32E	GPT32
GPT32EHm (m = 0 ~ 3) GPT32Em (m = 4 ~ 7)	汎用PWMタイマ周期設定ダブル バッファレジスタ	GTPDBR	FFFF_FFFFh	4007 806Ch + 0100h × m	32	○	-
	A/D変換開始要求タイミングレジ スタA	GTADTRA	FFFF_FFFFh	4007 8070h + 0100h × m	32	○	-
	A/D変換開始要求タイミングバッ ファレジスタA	GTADTBRA	FFFF_FFFFh	4007 8074h + 0100h × m	32	○	-
	A/D変換開始要求タイミングダブル バッファレジスタA	GTADTBRA	FFFF_FFFFh	4007 8078h + 0100h × m	32	○	-
	A/D変換開始要求タイミングレジ スタB	GTADTRB	FFFF_FFFFh	4007 807Ch + 0100h × m	32	○	-
	A/D変換開始要求タイミングバッ ファレジスタB	GTADTRB	FFFF_FFFFh	4007 8080h + 0100h × m	32	○	-
	A/D変換開始要求タイミングダブル バッファレジスタB	GTADTBRB	FFFF_FFFFh	4007 8084h + 0100h × m	32	○	-
GPT32EHm (m = 0 ~ 3) GPT32Em (m = 4 ~ 7) GPT32m (m = 8 ~ 12)	汎用PWMタイマデッドタイムコン トロールレジスタ	GTDTCR	0000_0000h	4007 8088h + 0100h × m	32	○	(○) (注1)
	汎用PWMタイマデッドタイム値 レジスタU	GTDVU	FFFF_FFFFh	4007 808Ch + 0100h × m	32	○	○
GPT32EHm (m = 0 ~ 3) GPT32Em (m = 4 ~ 7)	汎用PWMタイマデッドタイム値 レジスタD	GTDVD	FFFF_FFFFh	4007 8090h + 0100h × m	32	○	-
	汎用PWMタイマデッドタイム バッファレジスタU	GTDBU	FFFF_FFFFh	4007 8094h + 0100h × m	32	○	-
	汎用PWMタイマデッドタイム バッファレジスタD	GTDBD	FFFF_FFFFh	4007 8098h + 0100h × m	32	○	-
	汎用PWMタイマ出力保護機能ス テータスレジスタ	GTSOS	0000_0000h	4007 809Ch + 0100h × m	32	○	-
	汎用PWMタイマ出力保護機能一 時解除レジスタ	GTSOTR	0000_0000h	4007 80A0h + 0100h × m	32	○	-
GPT_OPS	出力相切り替えコントロールレジ スタ	OPSCR	0000_0000h	4007 8FF0h	32	○	○

注 1. GPT32EH/GPT32E から一部機能が削減されます。

## 22.2.1 汎用 PWM タイマ書き込み保護レジスタ (GTWP)

アドレス GPT32EHm.GTWP 4007 8000h + 0100h × m (m = 0 ~ 3),  
 GPT32Em.GTWP 4007 8000h + 0100h × m (m = 4 ~ 7),  
 GPT32m.GTWP 4007 8000h + 0100h × m (m = 8 ~ 12)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16			
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0			
	PRKEY[7:0]											—	—	—	—	—	—	—	WP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止	0 : レジスタへの書き込みを許可 1 : レジスタへの書き込みを禁止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	GTWPキーコード	A5hを書き込むと、WPビットへの書き込みが許可されます。 読むと0が読めます。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTWP レジスタは、誤書き込み防止のため以下のレジスタへの書き込みを許可/禁止します。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCORA, GTCORB, GTCORC, GTCORD, GTCORE, GTCORF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR

## 22.2.2 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)

アドレス GPT32EHm.GTSTR 4007 8004h + 0100h × m (m = 0~3),  
 GPT32Em.GTSTR 4007 8004h + 0100h × m (m = 4~7),  
 GPT32m.GTSTR 4007 8004h + 0100h × m (m = 8~12)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CSTRT	CSTRT	CSTRT	CSTRT	CSTRT	CSTRT	CSTRT	CSTRT	CSTRT	CSTRT	CSTRT	CSTRT	CSTRT
				12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTSTR レジスタは、各チャンネル  $n$  ( $n = 0 \sim 12$ ) の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャンネル番号に相当します。GTSTR レジスタは各チャンネル共通です。1 が書き込まれた GTSTR レジスタのビットに対応するチャンネルの GTCNT カウンタが動作を開始します。0 を書き込んでも、GTCNT カウンタの状態および GTSTR レジスタの値には影響しません。

GTSTR のビット番号とチャンネル番号の対応関係については、[図 22.2](#) を参照してください。

**CSTRT[12:0] ビット (チャンネル  $n$  GTCNT カウントスタート) ( $n = 0 \sim 12$ )**

チャンネル  $n$  の GTCNT カウンタ動作を開始します。GPTm.GTSSR.CSTRT ビットを 1 にしない限り、GTSTR.CSTRT $n$  ビット ( $n = 0 \sim 12$ ) への書き込みは無効です (GPT32EH については  $m = 0 \sim 3$ 、GPT32E については  $m = 4 \sim 7$ 、GPT32 については  $m = 8 \sim 12$ )。リードデータは各チャンネルのカウンタ状態 (GTCR.CST ビット値) を示します。0 はカウンタ停止を、1 はカウンタ実行を意味します。

### 22.2.3 汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)

アドレス GPT32EHm.GTSTP 4007 8008h + 0100h × m (m = 0~3),  
GPT32Em.GTSTP 4007 8008h + 0100h × m (m = 4~7),  
GPT32m.GTSTP 4007 8008h + 0100h × m (m = 8~12)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CSTOP <sub>12</sub>	CSTOP <sub>11</sub>	CSTOP <sub>10</sub>	CSTOP <sub>9</sub>	CSTOP <sub>8</sub>	CSTOP <sub>7</sub>	CSTOP <sub>6</sub>	CSTOP <sub>5</sub>	CSTOP <sub>4</sub>	CSTOP <sub>3</sub>	CSTOP <sub>2</sub>	CSTOP <sub>1</sub>	CSTOP <sub>0</sub>
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTSTP レジスタは、各チャンネル  $n$  ( $n=0\sim 12$ ) の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャンネル番号に相当します。GTSTP レジスタは各チャンネル共通です。1 が書き込まれた GTSTP レジスタのビットに対応するチャンネルの GTCNT カウンタが動作を停止します。0 を書き込んでも、GTCNT カウンタの状態および GTSTP レジスタの値には影響しません。GTSTP のビット番号とチャンネル番号の対応関係については、[図 22.2](#) を参照してください。

#### CSTOP $n$ ビット (チャンネル $n$ GTCNT カウントストップ) ( $n=0\sim 12$ )

チャンネル  $n$  の CSTOP $n$  カウンタ動作を停止します。GPT $m$ .GTPSR.CSTOP ビットを 1 にしない限り、GTSTP.CSTOP $n$  ビット ( $n=0\sim 12$ ) への書き込みは無効です (GPT32EH については  $m=0\sim 3$ 、GPT32E については  $m=4\sim 7$ 、GPT32 については  $m=8\sim 12$ )。

リードデータは各チャンネルのカウンタ状態 (GTCR.CST ビットの反転値) を示します。0 はカウンタ実行を、1 はカウンタ停止を意味します。

### 22.2.4 汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)

アドレス GPT32EHm.GTCLR 4007 800Ch + 0100h × m (m = 0~3),  
GPT32Em.GTCLR 4007 800Ch + 0100h × m (m = 4~7),  
GPT32m.GTCLR 4007 800Ch + 0100h × m (m = 8~12)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CCLR <sub>12</sub>	CCLR <sub>11</sub>	CCLR <sub>10</sub>	CCLR <sub>9</sub>	CCLR <sub>8</sub>	CCLR <sub>7</sub>	CCLR <sub>6</sub>	CCLR <sub>5</sub>	CCLR <sub>4</sub>	CCLR <sub>3</sub>	CCLR <sub>2</sub>	CCLR <sub>1</sub>	CCLR <sub>0</sub>
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTCLR レジスタは書き込み専用レジスタであり、各チャンネル  $n$  ( $n=0\sim 12$ ) の GTCNT カウンタ動作をクリアします。

GTCLR レジスタのビット番号はチャンネル番号に相当します。GTCLR レジスタは各チャンネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャンネルの GTCNT カウンタがクリアされます。0 を書き込んでも GTCNT カウンタの状態には影響しません。

GTCLR のビット番号とチャンネル番号の対応関係については、[図 22.2](#) を参照してください。

#### CCLR[12:0] ビット (チャンネル $n$ GTCNT カウントクリア) ( $n=0\sim 12$ )

1 を書き込むと、チャンネル  $n$  の GTCNT カウンタ値がクリアされます。読むと 0 が読めます。

### 22.2.5 汎用 PWM タイマスタート要因選択レジスタ (GTSSR)

アドレス GPT32EHm.GTSSR 4007 8010h + 0100h × m (m = 0~3),  
 GPT32Em.GTSSR 4007 8010h + 0100h × m (m = 4~7),  
 GPT32m.GTSSR 4007 8010h + 0100h × m (m = 8~12)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CSTRT	—	—	—	—	—	—	—	SSELC H	SSELC G	SSELC F	SSELC E	SSELC D	SSELC C	SSELC B	SSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SSCBF AH	SSCBF AL	SSCBR AH	SSCBR AL	SSCAF BH	SSCAF BL	SSCAR BH	SSCAR BL	SSGTR GDF	SSGTR GDR	SSGTR GCF	SSGTR GCR	SSGTR GBF	SSGTR GBR	SSGTR GAF	SSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタスタート許可	0: GTETRGA入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b1	SSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタスタート許可	0: GTETRGA入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b2	SSGTRGBR	GTETRGR端子立ち上がり入力要因カウンタスタート許可	0: GTETRGR入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGR入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b3	SSGTRGBF	GTETRGR端子立ち下がり入力要因カウンタスタート許可	0: GTETRGR入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGR入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b4	SSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタスタート許可	0: GTETRGC入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGC入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b5	SSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタスタート許可	0: GTETRGC入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGC入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b6	SSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタスタート許可	0: GTETRGD入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGD入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b7	SSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタスタート許可	0: GTETRGD入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGD入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b8	SSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタスタート許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b9	SSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタスタート許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	SSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタスタート許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b11	SSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタスタート許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b12	SSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタスタート許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b13	SSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタスタート許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b14	SSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタスタート許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b15	SSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタスタート許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b16	SSELCA	ELC_GPTAイベント要因カウンタスタート許可	0: ELC_GPTAイベント入力でのカウンタスタートを禁止 1: ELC_GPTAイベント入力でのカウンタスタートを許可	R/W
b17	SSELCB	ELC_GPTBイベント要因カウンタスタート許可	0: ELC_GPTBイベント入力でのカウンタスタートを禁止 1: ELC_GPTBイベント入力でのカウンタスタートを許可	R/W
b18	SSELCC	ELC_GPTCイベント要因カウンタスタート許可	0: ELC_GPTCイベント入力でのカウンタスタートを禁止 1: ELC_GPTCイベント入力でのカウンタスタートを許可	R/W
b19	SSELCD	ELC_GPTDイベント要因カウンタスタート許可	0: ELC_GPTDイベント入力でのカウンタスタートを禁止 1: ELC_GPTDイベント入力でのカウンタスタートを許可	R/W
b20	SSELCE	ELC_GPTEイベント要因カウンタスタート許可	0: ELC_GPTEイベント入力でのカウンタスタートを禁止 1: ELC_GPTEイベント入力でのカウンタスタートを許可	R/W
b21	SSELCF	ELC_GPTFイベント要因カウンタスタート許可	0: ELC_GPTFイベント入力でのカウンタスタートを禁止 1: ELC_GPTFイベント入力でのカウンタスタートを許可	R/W
b22	SSELCG	ELC_GPTGイベント要因カウンタスタート許可	0: ELC_GPTGイベント入力でのカウンタスタートを禁止 1: ELC_GPTGイベント入力でのカウンタスタートを許可	R/W
b23	SSELCH	ELC_GPTHイベント要因カウンタスタート許可	0: ELC_GPTHイベント入力でのカウンタスタートを禁止 1: ELC_GPTHイベント入力でのカウンタスタートを許可	R/W
b30-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTRT	ソフトウェア要因カウンタスタート許可	0: GTSTRレジスタによるカウンタスタートを禁止 1: GTSTRレジスタによるカウンタスタートを許可	R/W

GTSSRレジスタはGTCNTカウンタの開始要因を設定するレジスタです。

**SSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタスタート許可)**

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタスタート許可)**

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタスタート許可)**

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタスタート許可)**

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSGTRGCR ビット (GTETRGC 端子立ち上がり入力要因カウンタスタート許可)**

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSGTRGCF ビット (GTETRGC 端子立ち下がり入力要因カウンタスタート許可)**

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSGTRGDR ビット (GTETRGD 端子立ち上がり入力要因カウンタスタート許可)**

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSGTRGDF ビット (GTETRGD 端子立ち下がり入力要因カウンタスタート許可)**

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタスタート許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタスタート許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタスタート許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSCAFBLH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタスタート許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタスタート許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタスタート許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタスタート許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。

**SSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタスタート許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可/禁止を選択します。



**SSELCm ビット (ELC\_GPTm イベント要因カウンタスタート許可) (m = A ~ H)**

ELC\_GPTm イベント入力での GTCNT カウンタスタートの許可/禁止を選択します。

**CSTRT ビット (ソフトウェア要因カウンタスタート許可)**

GTSTR レジスタによる GTCNT カウンタスタートの許可/禁止を選択します。

## 22.2.6 汎用PWMタイマストップ要因選択レジスタ (GTPSR)

アドレス GPT32EHm.GTPSR 4007 8014h + 0100h × m (m = 0~3),  
 GPT32Em.GTPSR 4007 8014h + 0100h × m (m = 4~7),  
 GPT32m.GTPSR 4007 8014h + 0100h × m (m = 8~12)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CSTOP	—	—	—	—	—	—	—	PSELC H	PSELC G	PSELC F	PSELC E	PSELC D	PSELC C	PSELC B	PSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PSCBF AH	PSCBF AL	PSCBR AH	PSCBR AL	PSCAF BH	PSCAF BL	PSCAR BH	PSCAR BL	PSGTR GDF	PSGTR GDR	PSGTR GCF	PSGTR GCR	PSGTR GBF	PSGTR GBR	PSGTR GAF	PSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタストップ許可	0: GTETRGA入力の立ち上がりエッジでのカウンタストップを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b1	PSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタストップ許可	0: GTETRGA入力の立ち下がりエッジでのカウンタストップを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b2	PSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタストップ許可	0: GTETRGB入力の立ち上がりエッジでのカウンタストップを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b3	PSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタストップ許可	0: GTETRGB入力の立ち下がりエッジでのカウンタストップを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b4	PSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタストップ許可	0: GTETRGC入力の立ち上がりエッジでのカウンタストップを禁止 1: GTETRGC入力の立ち上がりエッジでのカウンタストップを許可	R/W
b5	PSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタストップ許可	0: GTETRGC入力の立ち下がりエッジでのカウンタストップを禁止 1: GTETRGC入力の立ち下がりエッジでのカウンタストップを許可	R/W
b6	PSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタストップ許可	0: GTETRGD入力の立ち上がりエッジでのカウンタストップを禁止 1: GTETRGD入力の立ち上がりエッジでのカウンタストップを許可	R/W
b7	PSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタストップ許可	0: GTETRGD入力の立ち下がりエッジでのカウンタストップを禁止 1: GTETRGD入力の立ち下がりエッジでのカウンタストップを許可	R/W
b8	PSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b9	PSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	PSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b11	PSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b12	PSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタストップ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b13	PSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタストップ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b14	PSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタストップ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b15	PSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタストップ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b16	PSELCA	ELC_GPTAイベント要因カウンタストップ許可	0: ELC_GPTAイベント入力でのカウンタストップを禁止 1: ELC_GPTAイベント入力でのカウンタストップを許可	R/W
b17	PSELCB	ELC_GPTBイベント要因カウンタストップ許可	0: ELC_GPTBイベント入力でのカウンタストップを禁止 1: ELC_GPTBイベント入力でのカウンタストップを許可	R/W
b18	PSELCC	ELC_GPTCイベント要因カウンタストップ許可	0: ELC_GPTCイベント入力でのカウンタストップを禁止 1: ELC_GPTCイベント入力でのカウンタストップを許可	R/W
b19	PSELCD	ELC_GPTDイベント要因カウンタストップ許可	0: ELC_GPTDイベント入力でのカウンタストップを禁止 1: ELC_GPTDイベント入力でのカウンタストップを許可	R/W
b20	PSELCE	ELC_GPTEイベント要因カウンタストップ許可	0: ELC_GPTEイベント入力でのカウンタストップを禁止 1: ELC_GPTEイベント入力でのカウンタストップを許可	R/W
b21	PSELCF	ELC_GPTFイベント要因カウンタストップ許可	0: ELC_GPTFイベント入力でのカウンタストップを禁止 1: ELC_GPTFイベント入力でのカウンタストップを許可	R/W
b22	PSELCG	ELC_GPTGイベント要因カウンタストップ許可	0: ELC_GPTGイベント入力でのカウンタストップを禁止 1: ELC_GPTGイベント入力でのカウンタストップを許可	R/W
b23	PSELCH	ELC_GPTHイベント要因カウンタストップ許可	0: ELC_GPTHイベント入力でのカウンタストップを禁止 1: ELC_GPTHイベント入力でのカウンタストップを許可	R/W
b30-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTOP	ソフトウェア要因カウンタストップ許可	0: GTSTPレジスタによるカウンタストップを禁止 1: GTSTPレジスタによるカウンタストップを許可	R/W

GTSPR レジスタは GTCNT カウンタの停止要因を設定するレジスタです。

**PSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタストップ許可)**

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタストップ許可)**

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタストップ許可)**

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタストップ許可)**

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSGTRGCR ビット (GTETRGC 端子立ち上がり入力要因カウンタストップ許可)**

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSGTRGCF ビット (GTETRGC 端子立ち下がり入力要因カウンタストップ許可)**

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSGTRGDR ビット (GTETRGD 端子立ち上がり入力要因カウンタストップ許可)**

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSGTRGDF ビット (GTETRGD 端子立ち下がり入力要因カウンタストップ許可)**

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタストップ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタストップ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタストップ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタストップ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタストップ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタストップ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタストップ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタストップ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可/禁止を選択します。

**PSELC<sub>m</sub> ビット (ELC\_GPT<sub>m</sub> イベント要因カウンタストップ許可) (m = A ~ H)**

ELC\_GPT<sub>m</sub> イベント入力での GTCNT カウンタストップの許可/禁止を選択します。

**CSTOP ビット (ソフトウェア要因カウンタストップ許可)**

GTSTP レジスタによる GTCNT カウンタストップの許可/禁止を選択します。

### 22.2.7 汎用PWM タイマクリア要因選択レジスタ (GTCSR)

アドレス GPT32EHm.GTCSR 4007 8018h + 0100h × m (m = 0~3),  
 GPT32Em.GTCSR 4007 8018h + 0100h × m (m = 4~7),  
 GPT32m.GTCSR 4007 8018h + 0100h × m (m = 8~12)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CCLR	—	—	—	—	—	—	—	CSELC H	CSELC G	CSELC F	CSELC E	CSELC D	CSELC C	CSELC B	CSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CSCBF AH	CSCBF AL	CSCBR AH	CSCBR AL	CSCAF BH	CSCAF BL	CSCAR BH	CSCAR BL	CSGTR GDF	CSGTR GDR	CSGTR GCF	CSGTR GCR	CSGTR GBF	CSGTR GBR	CSGTR GAF	CSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタクリア許可	0: GTETRGA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b1	CSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタクリア許可	0: GTETRGA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b2	CSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタクリア許可	0: GTETRGB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b3	CSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタクリア許可	0: GTETRGB入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b4	CSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタクリア許可	0: GTETRGC入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGC入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b5	CSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタクリア許可	0: GTETRGC入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGC入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b6	CSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタクリア許可	0: GTETRGD入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGD入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b7	CSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタクリア許可	0: GTETRGD入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGD入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b8	CSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b9	CSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	CSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b11	CSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b12	CSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタクリア許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b13	CSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタクリア許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b14	CSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタクリア許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b15	CSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタクリア許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b16	CSELCA	ELC_GPTAイベント要因カウンタクリア許可	0: ELC_GPTAイベント入力でのカウンタクリアを禁止 1: ELC_GPTAイベント入力でのカウンタクリアを許可	R/W
b17	CSELCB	ELC_GPTBイベント要因カウンタクリア許可	0: ELC_GPTBイベント入力でのカウンタクリアを禁止 1: ELC_GPTBイベント入力でのカウンタクリアを許可	R/W
b18	CSELCC	ELC_GPTCイベント要因カウンタクリア許可	0: ELC_GPTCイベント入力でのカウンタクリアを禁止 1: ELC_GPTCイベント入力でのカウンタクリアを許可	R/W
b19	CSELCD	ELC_GPTDイベント要因カウンタクリア許可	0: ELC_GPTDイベント入力でのカウンタクリアを禁止 1: ELC_GPTDイベント入力でのカウンタクリアを許可	R/W
b20	CSELCE	ELC_GPTEイベント要因カウンタクリア許可	0: ELC_GPTEイベント入力でのカウンタクリアを禁止 1: ELC_GPTEイベント入力でのカウンタクリアを許可	R/W
b21	CSELCF	ELC_GPTFイベント要因カウンタクリア許可	0: ELC_GPTFイベント入力でのカウンタクリアを禁止 1: ELC_GPTFイベント入力でのカウンタクリアを許可	R/W
b22	CSELCG	ELC_GPTGイベント要因カウンタクリア許可	0: ELC_GPTGイベント入力でのカウンタクリアを禁止 1: ELC_GPTGイベント入力でのカウンタクリアを許可	R/W
b23	CSELCH	ELC_GPTHイベント要因カウンタクリア許可	0: ELC_GPTHイベント入力でのカウンタクリアを禁止 1: ELC_GPTHイベント入力でのカウンタクリアを許可	R/W
b30-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CCLR	ソフトウェア要因カウンタクリア許可	0: GTCLRレジスタによるカウンタクリアを禁止 1: GTCLRレジスタによるカウンタクリアを許可	R/W

GTCSR レジスタは GTCNT カウンタのクリア要因を設定するレジスタです。

#### CSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタクリア許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

#### CSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタクリア許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

#### CSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタクリア許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

#### CSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタクリア許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSGTRGCR ビット (GTETRG 端子立ち上がり入力要因カウンタクリア許可)**

GTETRG 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSGTRGCF ビット (GTETRG 端子立ち下がり入力要因カウンタクリア許可)**

GTETRG 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSGTRGDR ビット (GTETRGD 端子立ち上がり入力要因カウンタクリア許可)**

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSGTRGDF ビット (GTETRGD 端子立ち下がり入力要因カウンタクリア許可)**

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタクリア許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタクリア許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタクリア許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタクリア許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタクリア許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタクリア許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタクリア許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタクリア許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可/禁止を選択します。

**CSELCm ビット (ELC\_GPTm イベント要因カウンタクリア許可) (m = A ~ H)**

ELC\_GPTm イベント入力での GTCNT カウンタクリアの許可/禁止を選択します。

**CCLR ビット (ソフトウェア要因カウンタクリア許可)**

GTCLR レジスタによる GTCNT カウンタクリアの許可/禁止を選択します。



22.2.8 汎用 PWM タイマアップカウント要因選択レジスタ (GTUPSR)

アドレス GPT32EHm.GTUPSR 4007 801Ch + 0100h × m (m = 0~3),  
 GPT32Em.GTUPSR 4007 801Ch + 0100h × m (m = 4~7),  
 GPT32m.GTUPSR 4007 801Ch + 0100h × m (m = 8~12)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	USELCH	USELHG	USELHF	USELHE	USELHD	USELHC	USELHB	USELHA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
USCBFAH	USCBFAL	USCBRAH	USCBRAL	USCAF BH	USCAF BL	USCAR BH	USCAR BL	USGTR GDF	USGTR GDR	USGTR GCF	USGTR GCR	USGTR GBF	USGTR GBR	USGTR GAF	USGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA端子立ち上がり入力要因カウンタカウントアップ許可	0: GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b1	USGTRGAF	GTETRGA端子立ち下がり入力要因カウンタカウントアップ許可	0: GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b2	USGTRGBR	GTETRGB端子立ち上がり入力要因カウンタカウントアップ許可	0: GTETRGB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b3	USGTRGBF	GTETRGB端子立ち下がり入力要因カウンタカウントアップ許可	0: GTETRGB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b4	USGTRGCR	GTETRGC端子立ち上がり入力要因カウンタカウントアップ許可	0: GTETRGC入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTETRGC入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b5	USGTRGCF	GTETRGC端子立ち下がり入力要因カウンタカウントアップ許可	0: GTETRGC入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTETRGC入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b6	USGTRGDR	GTETRGD端子立ち上がり入力要因カウンタカウントアップ許可	0: GTETRGD入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTETRGD入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b7	USGTRGDF	GTETRGD端子立ち下がり入力要因カウンタカウントアップ許可	0: GTETRGD入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTETRGD入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b8	USCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b9	USCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	USCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b11	USCFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b12	USCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタカウントアップ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b13	USCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタカウントアップ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b14	USCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b15	USCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b16	USELCA	ELC_GPTAイベント要因カウンタカウントアップ許可	0: ELC_GPTAイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTAイベント入力でのカウンタカウントアップを許可	R/W
b17	USELCB	ELC_GPTBイベント要因カウンタカウントアップ許可	0: ELC_GPTBイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTBイベント入力でのカウンタカウントアップを許可	R/W
b18	USELCC	ELC_GPTCイベント要因カウンタカウントアップ許可	0: ELC_GPTCイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTCイベント入力でのカウンタカウントアップを許可	R/W
b19	USELCD	ELC_GPTDイベント要因カウンタカウントアップ許可	0: ELC_GPTDイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTDイベント入力でのカウンタカウントアップを許可	R/W
b20	USELCE	ELC_GPTEイベント要因カウンタカウントアップ許可	0: ELC_GPTEイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTEイベント入力でのカウンタカウントアップを許可	R/W
b21	USELCF	ELC_GPTFイベント要因カウンタカウントアップ許可	0: ELC_GPTFイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTFイベント入力でのカウンタカウントアップを許可	R/W
b22	USELCG	ELC_GPTGイベント要因カウンタカウントアップ許可	0: ELC_GPTGイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTGイベント入力でのカウンタカウントアップを許可	R/W
b23	USELCH	ELC_GPTHイベント要因カウンタカウントアップ許可	0: ELC_GPTHイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTHイベント入力でのカウンタカウントアップを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTUPSRレジスタはGTCNTカウンタのカウントアップ要因を設定するレジスタです。

GTUPSR レジスタの少なくとも1つのビットを1にした場合、GTUPSR が1に設定した要因によって GTCNT カウンタがカウントアップされます。この場合、GTCR.TPCS には影響しません。

#### **USGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USGTRGCR ビット (GTETRGC 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USGTRGCF ビット (GTETRGC 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USGTRGDR ビット (GTETRGD 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USGTRGDF ビット (GTETRGD 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTIOCB 入力が0のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTIOCB 入力が1のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTIOCB 入力が0のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTIOCB 入力が1のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTIOCA 入力が0のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可)**

GTIOCA 入力が1のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

#### **USCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がリエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

**USCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がリエッジでの GTCNT カウンタカウントアップの許可/禁止を選択します。

**USELCm ビット (ELC\_GPTm イベント要因カウンタカウントアップ許可) (m = A ~ H)**

ELC\_GPTm イベント入力での GTCNT カウンタカウントアップの許可/禁止を選択します。

22.2.9 汎用 PWM タイマダウンカウンタ要因選択レジスタ (GTDNSR)

アドレス GPT32EHm.GTDNSR 4007 8020h + 0100h × m (m = 0~3),  
 GPT32Em.GTDNSR 4007 8020h + 0100h × m (m = 4~7),  
 GPT32m.GTDNSR 4007 8020h + 0100h × m (m = 8~12)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	DSELC H	DSELC G	DSELC F	DSELC E	DSELC D	DSELC C	DSELC B	DSELC A
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DSCBF AH	DSCBF AL	DSCBR AH	DSCBR AL	DSCAF BH	DSCAF BL	DSCAR BH	DSCAR BL	DSGTR GDF	DSGTR GDR	DSGTR GCF	DSGTR GCR	DSGTR GBF	DSGTR GBR	DSGTR GAF	DSGTR GAR
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA 端子立ち上がり入力要因 カウンタカウントダウン許可	0: GTETRGA 入力の立ち上がりエッジでのカウンタカ ウントダウンを禁止 1: GTETRGA 入力の立ち上がりエッジでのカウンタカ ウントダウンを許可	R/W
b1	DSGTRGAF	GTETRGA 端子立ち下がり入力要因 カウンタカウントダウン許可	0: GTETRGA 入力の立ち下がりエッジでのカウンタカ ウントダウンを禁止 1: GTETRGA 入力の立ち下がりエッジでのカウンタカ ウントダウンを許可	R/W
b2	DSGTRGBR	GTETRGB 端子立ち上がり入力要因 カウンタカウントダウン許可	0: GTETRGB 入力の立ち上がりエッジでのカウンタカ ウントダウンを禁止 1: GTETRGB 入力の立ち上がりエッジでのカウンタカ ウントダウンを許可	R/W
b3	DSGTRGBF	GTETRGB 端子立ち下がり入力要因 カウンタカウントダウン許可	0: GTETRGB 入力の立ち下がりエッジでのカウンタカ ウントダウンを禁止 1: GTETRGB 入力の立ち下がりエッジでのカウンタカ ウントダウンを許可	R/W
b4	DSGTRGCR	GTETRGC 端子立ち上がり入力要因 カウンタカウントダウン許可	0: GTETRGC 入力の立ち上がりエッジでのカウンタカ ウントダウンを禁止 1: GTETRGC 入力の立ち上がりエッジでのカウンタカ ウントダウンを許可	R/W
b5	DSGTRGCF	GTETRGC 端子立ち下がり入力要因 カウンタカウントダウン許可	0: GTETRGC 入力の立ち下がりエッジでのカウンタカ ウントダウンを禁止 1: GTETRGC 入力の立ち下がりエッジでのカウンタカ ウントダウンを許可	R/W
b6	DSGTRGDR	GTETRGD 端子立ち上がり入力要因 カウンタカウントダウン許可	0: GTETRGD 入力の立ち上がりエッジでのカウンタカ ウントダウンを禁止 1: GTETRGD 入力の立ち上がりエッジでのカウンタカ ウントダウンを許可	R/W
b7	DSGTRGDF	GTETRGD 端子立ち下がり入力要因 カウンタカウントダウン許可	0: GTETRGD 入力の立ち下がりエッジでのカウンタカ ウントダウンを禁止 1: GTETRGD 入力の立ち下がりエッジでのカウンタカ ウントダウンを許可	R/W
b8	DSCARBL	GTIOCB 値 Low での GTIOCA 端子 立ち上がり入力要因カウンタカ ウントダウン許可	0: GTIOCB 入力が 0 のとき、GTIOCA 入力の立ち上 がりエッジでのカウンタカウント ダウンを禁止 1: GTIOCB 入力が 0 のとき、GTIOCA 入力の立ち上 がりエッジでのカウンタカ ウントダウンを許可	R/W
b9	DSCARBH	GTIOCB 値 High での GTIOCA 端子 立ち上がり入力要因カウンタカ ウントダウン許可	0: GTIOCB 入力が 1 のとき、GTIOCA 入力の立ち上 がりエッジでのカウンタカ ウントダウンを禁止 1: GTIOCB 入力が 1 のとき、GTIOCA 入力の立ち上 がりエッジでのカウンタカ ウントダウンを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	DSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b11	DSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b12	DSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b13	DSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b14	DSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b15	DSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b16	DSELCA	ELC_GPTAイベント要因カウンタカウントダウン許可	0: ELC_GPTAイベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTAイベント入力でのカウンタカウントダウンを許可	R/W
b17	DSELCB	ELC_GPTBイベント要因カウンタカウントダウン許可	0: ELC_GPTBイベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTBイベント入力でのカウンタカウントダウンを許可	R/W
b18	DSELCC	ELC_GPTCイベント要因カウンタカウントダウン許可	0: ELC_GPTCイベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTCイベント入力でのカウンタカウントダウンを許可	R/W
b19	DSELCD	ELC_GPTDイベント要因カウンタカウントダウン許可	0: ELC_GPTDイベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTDイベント入力でのカウンタカウントダウンを許可	R/W
b20	DSELCE	ELC_GPTEイベント要因カウンタカウントダウン許可	0: ELC_GPTEイベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTEイベント入力でのカウンタカウントダウンを許可	R/W
b21	DSELCF	ELC_GPTFイベント要因カウンタカウントダウン許可	0: ELC_GPTFイベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTFイベント入力でのカウンタカウントダウンを許可	R/W
b22	DSELCG	ELC_GPTGイベント要因カウンタカウントダウン許可	0: ELC_GPTGイベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTGイベント入力でのカウンタカウントダウンを許可	R/W
b23	DSELCH	ELC_GPTHイベント要因カウンタカウントダウン許可	0: ELC_GPTHイベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTHイベント入力でのカウンタカウントダウンを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDNSR レジスタは GTCNT カウンタのカウントダウン要因を設定するレジスタです。

GTDNSR レジスタの少なくとも 1 つのビットを 1 にした場合、本レジスタが 1 に設定した要因によって GTCNT カウンタがカウントダウンされます。この場合、GTCR.TPCS には影響しません。

#### **DSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

#### **DSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

#### **DSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

#### **DSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

#### **DSGTRGCR ビット (GTETRGC 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

#### **DSGTRGCF ビット (GTETRGC 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

#### **DSGTRGDR ビット (GTETRGD 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

#### **DSGTRGDF ビット (GTETRGD 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

#### **DSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

#### **DSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

#### **DSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

#### **DSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

#### **DSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

**DSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

**DSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

**DSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可/禁止を選択します。

**DSELCm ビット (ELC\_GPTm イベント要因カウンタカウントダウン許可) (m = A ~ H)**

ELC\_GPTm イベント入力での GTCNT カウンタカウントダウンの許可/禁止を選択します。



22.2.10 汎用PWM タイマインプットキャプチャ要因選択レジスタ A (GTICASR)

アドレス GPT32EHm.GTICASR 4007 8024h + 0100h × m (m = 0~3),  
 GPT32Em.GTICASR 4007 8024h + 0100h × m (m = 4~7),  
 GPT32m.GTICASR 4007 8024h + 0100h × m (m = 8~12)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	ASELCH	ASELHG	ASELHF	ASELHE	ASELHD	ASELHC	ASELHB	ASELHA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ASCBF AH	ASCBF AL	ASCBR AH	ASCBR AL	ASCAF BH	ASCAF BL	ASCAR BH	ASCAR BL	ASGTR GDF	ASGTR GDR	ASGTR GCF	ASGTR GCR	ASGTR GBF	ASGTR GBR	ASGTR GAF	ASGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA端子立ち上がり入力要因 GTCCRAインプットキャプチャ許可	0: GTETRGA入力の立ち上がりエッジでのGTCCRAイン プットキャプチャを禁止 1: GTETRGA入力の立ち上がりエッジでのGTCCRAイン プットキャプチャを許可	R/W
b1	ASGTRGAF	GTETRGA端子立ち下がり入力要因 GTCCRAインプットキャプチャ許可	0: GTETRGA入力の立ち下がりエッジでのGTCCRAイン プットキャプチャを禁止 1: GTETRGA入力の立ち下がりエッジでのGTCCRAイン プットキャプチャを許可	R/W
b2	ASGTRGBR	GTETRGB端子立ち上がり入力要因 GTCCRAインプットキャプチャ許可	0: GTETRGB入力の立ち上がりエッジでのGTCCRAイン プットキャプチャを禁止 1: GTETRGB入力の立ち上がりエッジでのGTCCRAイン プットキャプチャを許可	R/W
b3	ASGTRGBF	GTETRGB端子立ち下がり入力要因 GTCCRAインプットキャプチャ許可	0: GTETRGB入力の立ち下がりエッジでのGTCCRAイン プットキャプチャを禁止 1: GTETRGB入力の立ち下がりエッジでのGTCCRAイン プットキャプチャを許可	R/W
b4	ASGTRGCR	GTETRGC端子立ち上がり入力要因 GTCCRAインプットキャプチャ許可	0: GTETRGC入力の立ち上がりエッジでのGTCCRAイン プットキャプチャを禁止 1: GTETRGC入力の立ち上がりエッジでのGTCCRAイン プットキャプチャを許可	R/W
b5	ASGTRGCF	GTETRGC端子立ち下がり入力要因 GTCCRAインプットキャプチャ許可	0: GTETRGC入力の立ち下がりエッジでのGTCCRAイン プットキャプチャを禁止 1: GTETRGC入力の立ち下がりエッジでのGTCCRAイン プットキャプチャを許可	R/W
b6	ASGTRGDR	GTETRGD端子立ち上がり入力要因 GTCCRAインプットキャプチャ許可	0: GTETRGD入力の立ち上がりエッジでのGTCCRAイン プットキャプチャを禁止 1: GTETRGD入力の立ち上がりエッジでのGTCCRAイン プットキャプチャを許可	R/W
b7	ASGTRGDF	GTETRGD端子立ち下がり入力要因 GTCCRAインプットキャプチャ許可	0: GTETRGD入力の立ち下がりエッジでのGTCCRAイン プットキャプチャを禁止 1: GTETRGD入力の立ち下がりエッジでのGTCCRAイン プットキャプチャを許可	R/W
b8	ASCARBL	GTIOCB値LowでのGTIOCA端子立 ち上がり入力要因GTCCRAインプ ットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がり エッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がり エッジでのGTCCRAインプットキャプチャを許可	R/W
b9	ASCARBH	GTIOCB値HighでのGTIOCA端子立 ち上がり入力要因GTCCRAインプ ットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がり エッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がり エッジでのGTCCRAインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	ASCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b11	ASCFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b12	ASCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b13	ASCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b14	ASCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b15	ASCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b16	ASELCA	ELC_GPTAイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTAイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTAイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b17	ASELCB	ELC_GPTBイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTBイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTBイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b18	ASELCC	ELC_GPTCイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTCイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTCイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b19	ASELCD	ELC_GPTDイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTDイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTDイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b20	ASELCE	ELC_GPTEイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTEイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTEイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b21	ASELCF	ELC_GPTFイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTFイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTFイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b22	ASELCG	ELC_GPTGイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTGイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTGイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b23	ASELCH	ELC_GPTHイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTHイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTHイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICASRレジスタはGTCCRAのインプットキャプチャ要因を設定します。

**ASGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGA 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASGTRGCR ビット (GTETRGC 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGC 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASGTRGCF ビット (GTETRGC 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGC 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASGTRGDR ビット (GTETRGD 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGD 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASGTRGDF ビット (GTETRGD 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTETRGD 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASCAFBLH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャの許可/禁止を選択します。

**ASELCm ビット (ELC\_GPTm イベント要因カウンタ GTCCRA インพุットキャプチャ許可) (m = A ~ H)**

ELC\_GPTm イベント入力での GTCCRA インพุットキャプチャの許可/禁止を選択します。

22.2.11 汎用PWM タイマインプットキャプチャ要因選択レジスタ B (GTICBSR)

アドレス GPT32EHm.GTICBSR 4007 8028h + 0100h × m (m = 0~3),  
 GPT32Em.GTICBSR 4007 8028h + 0100h × m (m = 4~7),  
 GPT32m.GTICBSR 4007 8028h + 0100h × m (m = 8~12)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	BSELC H	BSELC G	BSELC F	BSELC E	BSELC D	BSELC C	BSELC B	BSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSCBF AH	BSCBF AL	BSCBR AH	BSCBR AL	BSCAF BH	BSCAF BL	BSCAR BH	BSCAR BL	BSGTR GDF	BSGTR GDR	BSGTR GCF	BSGTR GCR	BSGTR GBF	BSGTR GBR	BSGTR GAF	BSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA端子立ち上がり入力要因 GTCCRBインプットキャプチャ許可	0: GTETRGA入力の立ち上がりエッジでのGTCCRBイン プットキャプチャを禁止 1: GTETRGA入力の立ち上がりエッジでのGTCCRBイン プットキャプチャを許可	R/W
b1	BSGTRGAF	GTETRGA端子立ち下がり入力要因 GTCCRBインプットキャプチャ許可	0: GTETRGA入力の立ち下がりエッジでのGTCCRBイン プットキャプチャを禁止 1: GTETRGA入力の立ち下がりエッジでのGTCCRBイン プットキャプチャを許可	R/W
b2	BSGTRGBR	GTETRGB端子立ち上がり入力要因 GTCCRBインプットキャプチャ許可	0: GTETRGB入力の立ち上がりエッジでのGTCCRBイン プットキャプチャを禁止 1: GTETRGB入力の立ち上がりエッジでのGTCCRBイン プットキャプチャを許可	R/W
b3	BSGTRGBF	GTETRGB端子立ち下がり入力要因 GTCCRBインプットキャプチャ許可	0: GTETRGB入力の立ち下がりエッジでのGTCCRBイン プットキャプチャを禁止 1: GTETRGB入力の立ち下がりエッジでのGTCCRBイン プットキャプチャを許可	R/W
b4	BSGTRGCR	GTETRGC端子立ち上がり入力要因 GTCCRBインプットキャプチャ許可	0: GTETRGC入力の立ち上がりエッジでのGTCCRBイン プットキャプチャを禁止 1: GTETRGC入力の立ち上がりエッジでのGTCCRBイン プットキャプチャを許可	R/W
b5	BSGTRGCF	GTETRGC端子立ち下がり入力要因 GTCCRBインプットキャプチャ許可	0: GTETRGC入力の立ち下がりエッジでのGTCCRBイン プットキャプチャを禁止 1: GTETRGC入力の立ち下がりエッジでのGTCCRBイン プットキャプチャを許可	R/W
b6	BSGTRGDR	GTETRGD端子立ち上がり入力要因 GTCCRBインプットキャプチャ許可	0: GTETRGD入力の立ち上がりエッジでのGTCCRBイン プットキャプチャを禁止 1: GTETRGD入力の立ち上がりエッジでのGTCCRBイン プットキャプチャを許可	R/W
b7	BSGTRGDF	GTETRGD端子立ち下がり入力要因 GTCCRBインプットキャプチャ許可	0: GTETRGD入力の立ち下がりエッジでのGTCCRBイン プットキャプチャを禁止 1: GTETRGD入力の立ち下がりエッジでのGTCCRBイン プットキャプチャを許可	R/W
b8	BSCARBL	GTIOCB値LowでのGTIOCA端子立 ち上がり入力要因GTCCRBインプ ットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がり エッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がり エッジでのGTCCRBインプットキャプチャを許可	R/W
b9	BSCARBH	GTIOCB値HighでのGTIOCA端子立 ち上がり入力要因GTCCRBインプ ットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がり エッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がり エッジでのGTCCRBインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	BSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b11	BSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b12	BSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b13	BSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b14	BSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b15	BSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b16	BSELCA	ELC_GPTAイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTAイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTAイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b17	BSELCB	ELC_GPTBイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTBイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTBイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b18	BSELCC	ELC_GPTCイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTCイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTCイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b19	BSELCD	ELC_GPTDイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTDイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTDイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b20	BSELCE	ELC_GPTEイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTEイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTEイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b21	BSELCF	ELC_GPTFイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTFイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTFイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b22	BSELCG	ELC_GPTGイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTGイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTGイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b23	BSELCH	ELC_GPTHイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTHイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTHイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICBSRレジスタはGTCCRBのインプットキャプチャ要因を設定します。

**BSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGA 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSGTRGCR ビット (GTETRGC 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGC 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSGTRGCF ビット (GTETRGC 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGC 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSGTRGDR ビット (GTETRGD 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGD 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSGTRGDF ビット (GTETRGD 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTETRGD 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャの許可/禁止を選択します。

**BSELCm ビット (ELC\_GPTm イベント要因カウンタ GTCCRB インพุットキャプチャ許可) (m = A ~ H)**

ELC\_GPTm イベント入力での GTCCRB インพุットキャプチャの許可/禁止を選択します。



## 22.2.12 汎用 PWM タイマコントロールレジスタ (GTCR)

アドレス GPT32EHm.GTCR 4007 802Ch + 0100h × m (m = 0~3),  
 GPT32Em.GTCR 4007 802Ch + 0100h × m (m = 4~7),  
 GPT32m.GTCR 4007 802Ch + 0100h × m (m = 8~12)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	TPCS[2:0]			—	—	—	—	—	MD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタート	0: カウント動作を停止 1: カウント動作を実行	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	MD[2:0]	モード選択	b18 b16 0 0 0: のこぎり波PWMモード (シングル/ダブルバッファ可) 0 0 1: のこぎり波ワンショットパルスモード (バッファ動作固定) 0 1 0: 設定禁止 0 1 1: 設定禁止 1 0 0: 三角波PWMモード1 (谷32ビット転送) (シングル/ダブルバッファ可) 1 0 1: 三角波PWMモード2 (山/谷32ビット転送) (シングル/ダブルバッファ可) 1 1 0: 三角波PWMモード3 (谷64ビット転送) (バッファ動作固定) 1 1 1: 設定禁止	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	TPCS[2:0]	タイマプリスケラ選択	b26 b24 0 0 0: PCLKD/1 0 0 1: PCLKD/4 0 1 0: PCLKD/16 0 1 1: PCLKD/64 1 0 0: PCLKD/256 1 0 1: PCLKD/1024	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTCR レジスタは、GTCNT を制御します。

## CST ビット (カウントスタート)

GTCNT カウンタのスタート/ストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが1の状態、GTSTR レジスタの値 (チャンネル番号はビット番号に対応) を1にしたとき
- ELC イベント入力、またはカウンタスタート要因により GTSSR レジスタで許可した GTIOCA/GTIOCB/GTETRn ポート入力イベントが発生したとき
- ソフトウェアで直接1を書き込んだとき

[0 になる条件]

- GTPSR.CSTOP ビットが1の状態、GTSTP レジスタの値 (チャンネル番号はビット番号に対応) を1にしたとき

- ELC イベント入力、またはカウンタストップ要因により GTPSR レジスタで許可した GTIOCA/GTIOCB/GTETR<sub>Gn</sub> ポート入力イベントが発生したとき
- ソフトウェアで直接 0 を書き込んだとき

#### MD[2:0] ビット (モード選択)

GPT の動作モードを選択します。MD[2:0] ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

#### TPCS[2:0] ビット (タイマプリスケアラ選択)

GTCNT カウンタのクロックを選択します。チャンネルごとに個別にクロックプリスケアラの選択が可能です。TPCS[2:0] ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

22.2.13 汎用 PWM タイマカウンタ方向、デューティ設定レジスタ (GTUDDTYC)

アドレス GPT32EHm.GTUDDTYC 4007 8030h + 0100h × m (m = 0~3),  
 GPT32Em.GTUDDTYC 4007 8030h + 0100h × m (m = 4~7),  
 GPT32m.GTUDDTYC 4007 8030h + 0100h × m (m = 8~12)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	OBDTYR	OBDTYF	OBDTY[1:0]	—	—	—	—	OADTYR	OADTYF	OADTY[1:0]	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウンタ方向設定	0 : GTCNTがカウンタダウン 1 : GTCNTがカウンタアップ	R/W
b1	UDF	カウンタ方向強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	OADTY[1:0]	GTIOCA出力デューティ設定	b17 b16 0 x : GTIOCA端子のデューティはコンペアマッチに依存 1 0 : GTIOCA端子のデューティ = 0% 1 1 : GTIOCA端子のデューティ = 100%	R/W
b18	OADTYF	GTIOCA出力デューティ強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b19	OADTYR	0%/100%デューティ設定解除後のGTIOCA出力値選択	0 : 0%/100%デューティ設定解除後に、0%/100%デューティに設定された出力値をGTIOA[3:2]機能に適用 1 : 0%/100%デューティ設定解除後に、マスクされたコンペアマッチ出力値をGTIOA[3:2]機能に適用	R/W
b23-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	OBDTY[1:0]	GTIOCB出力デューティ設定	b25 b24 0 x : GTIOCB端子のデューティはコンペアマッチに依存 1 0 : GTIOCB端子のデューティ = 0% 1 1 : GTIOCB端子のデューティ = 100%	R/W
b26	OBDTYF	GTIOCB出力デューティ強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b27	OBDTYR	0%/100%デューティ設定解除後のGTIOCB出力値選択	0 : 0%/100%デューティ設定解除後に、0%/100%デューティに設定された出力値をGTIOB[3:2]機能に適用 1 : 0%/100%デューティ設定解除後に、マスクされたコンペアマッチ出力値をGTIOB[3:2]機能に適用	R/W
b31-b28	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

x : Don't care

GTUDDTYC レジスタは、GTCNT カウンタのカウンタ方向 (アップ/ダウン) および GTIOCA/GTIOCB 端子出力のデューティを設定します。

【カウンタ方向】

- のこぎり波モードの場合

アップカウンタ中に UD ビットを 0 にした場合、オーバーフロー時に (GTCNT カウンタ値が GTPR 値になった後、カウンタクロックに同期したタイミングで) カウンタ方向が切り替わります。ダウンカウンタ中に UD ビットを 1 にした場合、アンダーフロー時に (GTCNT カウンタ値が 0 になった後、カウンタクロックに同期したタイミングで) カウンタ方向が切り替わります。

カウンタストップ中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウンタ動作はアップカウンタとなり、オーバーフロー時に (GTCNT カウンタ値が GTPR 値になった後、カウンタクロックに

同期したタイミングで) カウント方向が切り替わります。カウントストップ中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に (GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで) カウント方向が切り替わります。

カウントストップ中に UDF ビットを 1 にすると、UD ビットの値がカウントスタート時のカウント方向に反映されます。

#### 【カウント方向】

- 三角波モードの場合

カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD ビットの値を変更しても、カウントスタート時のカウント方向には反映されません。

カウントストップ中に UDF ビットを 1 にすると、UD ビットの値がカウントスタート時のカウント方向に反映されます。

### UD ビット (カウント方向設定)

GTCNT カウンタのカウント方向 (アップカウントまたはダウンカウント) を設定します。

### UDF ビット (カウント方向強制設定)

GTCNT カウンタ動作スタート時のカウント方向を強制的に UD ビットの値に設定します。カウンタ動作中の書き込みは、0 としてください。カウントストップ中に UDF に 1 を書いた場合、カウントスタートまでに UDF を 0 に戻してください。

#### 【出力デューティ】

- のこぎり波モードの場合

アップカウント動作中に OADTY/OBDTY 値を変更すると、オーバーフロー時にデューティが反映されません (GTCNT = GTPR)。ダウンカウント動作中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティが反映されます (GTCNT = 0)。

カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更しても、カウンタ動作開始時に出力デューティは反映されません。カウント方向がアップカウントの場合、オーバーフロー時 (GTCNT = GTPR) に出力デューティが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時 (GTCNT = 0) に出力デューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更しても、カウンタ動作開始時に出力デューティが反映されます。

#### 【出力デューティ】

- 三角波モードの場合

カウント動作中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティが反映されます。カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更しても、カウンタ動作開始時に出力デューティは反映されません。アンダーフロー時には出力デューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更しても、カウンタ動作開始時に出力デューティが反映されます。

### OmDTY[1:0] ビット (GTIOCM 出力デューティ設定) (m = A, B)

GTIOCM 端子の出力デューティを 0%、100%、またはコンペアマッチ制御に設定します。

### OmDTYF ビット (GTIOCM 出力デューティ強制設定) (m = A, B)

出力デューティサイクルを OmDTY の設定値に強制的に設定します。カウンタ動作時には、本ビットを 0 として使用してください。カウントストップ中に OmDTYF ビットを 1 にした場合、カウンタスタート後、最初の周期が終わるまでに OmDTYF ビットを 0 に戻してください。

**OmDTYR ビット (0%/100% デューティ設定解除後の GTIOCm 出力値選択) (m = A, B)**

制御が 0%/100% デューティ設定から GTIOCm 端子および GTIOR レジスタのコンペアマッチに変更された場合、周期の終わりで出力保持/トグル出力の対象となる値を選択します。GTIOm[3:2] ビットが 00b (周期の終わりで出力保持) に、または GTIOR.GTIOm[3:2] ビットが 11b (周期の終わりでトグル出力) に設定されます。

0%/100% デューティ動作実行中、コンペアマッチ動作は、GPT32 内部で継続します。OmDTYR ビットを 1 にすると、GTIOCm 端子は、コンペアマッチ動作中の周期の終わりで GTIOR.GTIOm[3:2] ビットで選択した出力状態になります。

22.2.14 汎用PWMタイマ I/O コントロールレジスタ (GTIOR)

アドレス GPT32EHm.GTIOR 4007 8034h + 0100h × m (m = 0~3),  
 GPT32Em.GTIOR 4007 8034h + 0100h × m (m = 4~7),  
 GPT32m.GTIOR 4007 8034h + 0100h × m (m = 8~12)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCBSB[1:0]	NFBEN	—	—	OBDF[1:0]	OBE	OBHLD	OBDFL T	—	GTIOB[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
NFCSA[1:0]	NFAEN	—	—	OADF[1:0]	OAE	OAHL	OADFL T	—	GTIOA[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	GTIOA[4:0]	GTIOCA端子機能選択	表 22.5を参照してください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OADFLT	カウントストップ時のGTIOCA端子出力値設定	0: カウントストップ時にGTIOCA端子はLowを出力 1: カウントストップ時にGTIOCA端子はHighを出力	R/W
b7	OAHL	カウントスタート/ストップ時のGTIOCA端子出力設定	0: カウントスタート/ストップ時のGTIOCA端子の出力レベルは、レジスタ設定値に従う 1: カウントスタート/ストップ時のGTIOCA端子の出力レベルを保持する	R/W
b8	OAE	GTIOCA端子出力許可	0: 出力禁止 1: 出力許可	R/W
b10-b9	OADF[1:0]	GTIOCA端子禁止値設定	b10 b9 0 0: 下記要因を設定しない 0 1: 出力ネゲート制御時にGTIOCA端子をHi-Zにする 1 0: 出力ネゲート制御時にGTIOCA端子を0にする 1 1: 出力ネゲート制御時にGTIOCA端子を1にする	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	NFAEN	ノイズフィルタAを許可	0: GTIOCA端子のノイズフィルタを停止 1: GTIOCA端子のノイズフィルタを許可	R/W
b15-b14	NFCSA[1:0]	ノイズフィルタAサンプリングクロック選択	b15 b14 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W
b20-b16	GTIOB[4:0]	GTIOCB端子機能選択	表 22.5を参照してください。	R/W
b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22	OBDFLT	カウントストップ時のGTIOCB端子出力値設定	0: カウントストップ時にGTIOCB端子はLowを出力 1: カウントストップ時にGTIOCB端子はHighを出力	R/W
b23	OBHL	カウントスタート/ストップ時のGTIOCB端子出力設定	0: カウントスタート/ストップ時のGTIOCB端子の出力レベルは、レジスタ設定値に従う 1: カウントスタート/ストップ時のGTIOCB端子の出力レベルを保持する	R/W
b24	OBE	GTIOCB端子出力許可	0: 出力禁止 1: 出力許可	R/W
b26-b25	OBDF[1:0]	GTIOCB端子禁止値設定	b26 b25 0 0: 下記要因を設定しない 0 1: 出力ネゲート制御時にGTIOCB端子をHi-Zにする 1 0: 出力ネゲート制御時にGTIOCB端子を0にする 1 1: 出力ネゲート制御時にGTIOCB端子を1にする	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFBEN	ノイズフィルタBを許可	0: GTIOCB端子のノイズフィルタを停止 1: GTIOCB端子のノイズフィルタを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFC SB[1:0]	ノイズフィルタBサンプリングクロック選択	b31 b30 0 0 : PCLKD/1 0 1 : PCLKD/4 1 0 : PCLKD/16 1 1 : PCLKD/64	R/W

GTIOR レジスタは、GTIOCA 端子および GTIOCB 端子の機能を設定します。

#### GTIOA[4:0] ビット (GTIOCA 端子機能選択)

GTIOCA 端子の機能を選択します。詳細は、表 22.5 を参照してください。

#### OADFLT ビット (カウントストップ時の GTIOCA 端子出力値設定)

カウントストップ時に、GTIOCA 端子が Low または High のいずれを出力するかを選択します。

#### OAHLDBIT ビット (カウントスタート/ストップ時の GTIOCA 端子出力設定)

GTIOCA 端子の出力レベルを保持するか、カウントスタート/ストップ時にレベルがレジスタ設定値に合うかを設定します。

OAHLDBIT ビットを 0 にした場合

- カウントスタート時に、GTIOA[4:0] ビットのビット [4] で指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に OADFLT ビットを書き換えた場合、新規の値はただちに出力に反映される

OAHLDBIT ビットを 1 にした場合

- カウントスタート/ストップ時に出力が保持される

#### OAE ビット (GTIOCA 端子出力許可)

GTIOCA 端子出力する/しないを選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくとも 1 つのビットを 1 にした場合)、OAE ビットの設定にかかわらず GTIOCnA 端子出力を行いません。

#### OADF[1:0] ビット (GTIOCA 端子禁止値設定)

OADF[1:0] ビットは POEG からの出力停止要求によって GTIOCnA 端子から出力する値を選択します。

#### NFAEN ビット (ノイズフィルタ A を許可)

GTIOCA 端子からの入力に対してノイズフィルタの許可/停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、GTIOR レジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、本ビットを切り替えてください。

#### NFC SA[1:0] ビット (ノイズフィルタ A サンプリングクロック選択)

GTIOCA 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

#### GTIOB[4:0] ビット (GTIOCB 端子機能選択)

GTIOCB 端子の機能を選択します。詳細は、表 22.5 を参照してください。

#### OBDFLT ビット (カウントストップ時の GTIOCB 端子出力値設定)

カウントストップ時に、GTIOCB 端子が High または Low のいずれを出力するかを設定します。

#### OBHLDBIT ビット (カウントスタート/ストップ時の GTIOCB 端子出力設定)

GTIOCB 端子の出力レベルを保持するか、カウントスタート/ストップ時のレベルはレジスタ設定値に合うかを設定します。

OBHLD ビットを 0 にした場合

- カウントスタート時に、GTIOB[4:0] ビットのビット [4] で指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に OBDFLT ビットを書き換えた場合、新規の値はただちに出力に反映される

OBHLD ビットを 1 にした場合

- カウントスタート/ストップ時に出力が保持される

#### **OBE ビット (GTIOCB 端子出力許可)**

GTIOCB 端子出力する/しないを選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合 (GTICBSR レジスタの少なくとも 1 つのビットを 1 にした場合)、OBE ビットの設定にかかわらず GTIOCnB 端子出力を行いません。

#### **OBDF[1:0] ビット (GTIOCB 端子禁止値設定)**

OBDF[1:0] ビットは POEG からの出力停止要求によって GTIOCnB 端子から出力する値を選択します。

#### **NFBEN ビット (ノイズフィルタ B を許可)**

GTIOCB 端子の入力のノイズフィルタ機能の許可/停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、GTIOR レジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、本ビットを切り替えてください。

#### **NFCSB[1:0] ビット (ノイズフィルタ B サンプリングクロック選択)**

GTIOCB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。



表 22.5 GTIOA[4:0]ビットと GTIOB[4:0]ビットの設定値

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2 (注1) (注2) (注3)	b1-b0 (注2)
0	0	0	0	0	初期出力Lowの設定	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	0	0	0	初期出力Highの設定	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

- 注 1. 周期の終わりとは、のこぎり波のときはオーバフロー（アップカウント動作時に GTCNT が GTPR から 0 になる）、アンダフロー（ダウンカウント動作時に GTCNT が 0 から GTPR になる）、GTCNT カウンタクリア、三角波のときは谷（GTCNT が 0 から 1 になる）を示します。
- 注 2. コンペアマッチ動作時、周期の終わりと GTCCRA/GTCCRB コンペアマッチのタイミングが一致する場合、のこぎり波 PWM モードでは b3-b2 の設定が優先され、それ以外のモードでは b1-b0 の設定が優先されます。
- 注 3. GTUPSR レジスタまたは GTDNSR レジスタの少なくとも 1 つのビットが 1 の場合のイベントカウント動作では、b3-b2 の設定値は無視されます。

22.2.15 汎用PWMタイマ割り込み出力設定レジスタ (GTINTAD)

アドレス GPT32EHm.GTINTAD 4007 8038h + 0100h × m (m = 0~3),  
 GPT32Em.GTINTAD 4007 8038h + 0100h × m (m = 4~7),  
 GPT32m.GTINTAD 4007 8038h + 0100h × m (m = 8~12)

• GPT32EH, GPT32E

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	GRPABL	GRPABH	GRPDTE	—	—	GRP[1:0]	—	—	—	—	—	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

• GPT32

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	GRPABL	GRPABH	—	—	—	GRP[1:0]	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	ADTRAUEN	GTADTRAコンペアマッチ (アップカウンタ) A/D変換開始要求許可	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b17	ADTRADEN	GTADTRAコンペアマッチ (ダウンカウンタ) A/D変換開始要求許可	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b18	ADTRBUEN	GTADTRBコンペアマッチ (アップカウンタ) A/D変換開始要求許可	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b19	ADTRBDEN	GTADTRBコンペアマッチ (ダウンカウンタ) A/D変換開始要求許可	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b23-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	GRP[1:0]	出力禁止要因選択	b25 b24 0 0: グループA出力禁止要求 0 1: グループB出力禁止要求 1 0: グループC出力禁止要求 1 1: グループD出力禁止要求	R/W
b27-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	GRPDTE	デッドタイムエラー出力禁止要求許可	0: デッドタイムエラー出力禁止要求を禁止 1: デッドタイムエラー出力禁止要求を許可	R/W
b29	GRPABH	同時出力レベルHigh禁止要求許可	0: 同時出力レベルHigh禁止要求を禁止 1: 同時出力レベルHigh禁止要求を許可	R/W
b30	GRPABL	同時出力レベルLow禁止要求許可	0: 同時出力レベルLow禁止要求を禁止 1: 同時出力レベルLow禁止要求を許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTINTADレジスタは、割り込み要求、A/D変換開始要求、および出力禁止要求の許可/禁止を設定するレジスタです。

**ADTRAUEN ビット (GTADTRA コンペアマッチ (アップカウント) A/D 変換開始要求許可)**

GTCNT カウンタのアップカウント中に、GTADTRA コンペアマッチによって生成される A/D 変換開始要求を許可/禁止します。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

**ADTRADEN ビット (GTADTRA コンペアマッチ (ダウンカウント) A/D 変換開始要求許可)**

GTCNT カウンタのダウンカウント中に、GTADTRA コンペアマッチによって生成される A/D 変換開始要求を許可/禁止します。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

**ADTRBUEN ビット (GTADTRB コンペアマッチ (アップカウント) A/D 変換開始要求許可)**

GTCNT カウンタのアップカウント中に、GTADTRB コンペアマッチによって生成される A/D 変換開始要求を許可/禁止します。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

**ADTRBDEN ビット (GTADTRB コンペアマッチ (ダウンカウント) A/D 変換開始要求許可)**

GTCNT カウンタのダウンカウント中に、GTADTRB コンペアマッチによって生成される A/D 変換開始要求を許可/禁止します。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

**GRP[1:0] ビット (出力禁止要因選択)**

GTIOCA 端子または GTIOCB 端子の出力禁止要因を選択します。

POEG への出力禁止要求は、出力禁止要求許可ビットに基づいてデッドタイムエラー、同時出力レベル High、または同時出力レベル Low が発生するときに、GRP[1:0] ビットで選択されるグループへ出力されません。

GTST.ODF が、GRP[1:0] ビットで選択した出力禁止要因グループの要求を示します。GRP[1:0] ビットの設定は、GTIOR.OAE ビットと GTIOR.OBE ビットの両方が 0 のときに行ってください。

**GRPDTE ビット (デッドタイムエラー出力禁止要求許可)**

デッドタイムエラー出力禁止要求を許可/禁止します。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

**GRPABH ビット (同時出力レベル High 禁止要求許可)**

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力する場合の出力禁止要求を許可/禁止します。

**GRPABL ビット (同時出力レベル Low 禁止要求許可)**

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力する場合の出力禁止要求を許可/禁止します。

22.2.16 汎用PWM タイマステータスレジスタ (GTST)

アドレス GPT32EHm.GTST 4007 803Ch + 0100h × m (m = 0~3),  
 GPT32Em.GTST 4007 803Ch + 0100h × m (m = 4~7),  
 GPT32m.GTST 4007 803Ch + 0100h × m (m = 8~12)

• GPT32EH, GPT32E

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	OABLF	OABHF	DTEF	—	—	—	ODF	—	—	—	—	ADTRB DF	ADTRB UF	ADTRA DF	ADTRA UF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	ITCNT[2:0]	—	TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

• GPT32

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	OABLF	OABHF	—	—	—	—	ODF	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	—	—	TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	インプットキャプチャ/コンペアマッチフラグA	0: GTCCRAのインプットキャプチャ/コンペアマッチの発生なし 1: GTCCRAのインプットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b1	TCFB	インプットキャプチャ/コンペアマッチフラグB	0: GTCCRBのインプットキャプチャ/コンペアマッチの発生なし 1: GTCCRBのインプットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b2	TCFC	インプットコンペアマッチフラグC	0: GTCCRCのコンペアマッチの発生なし 1: GTCCRCのコンペアマッチの発生あり	R/(W) (注1)
b3	TCFD	インプットコンペアマッチフラグD	0: GTCCRDのコンペアマッチの発生なし 1: GTCCRDのコンペアマッチの発生あり	R/(W) (注1)
b4	TCFE	インプットコンペアマッチフラグE	0: GTCCREのコンペアマッチの発生なし 1: GTCCREのコンペアマッチの発生あり	R/(W) (注1)
b5	TCFF	インプットコンペアマッチフラグF	0: GTCCRFのコンペアマッチの発生なし 1: GTCCRFのコンペアマッチの発生あり	R/(W) (注1)
b6	TCFPO	オーバーフローフラグ	0: オーバーフロー (山) の発生なし 1: オーバーフロー (山) の発生あり	R/(W) (注1)
b7	TCFPU	アンダーフローフラグ	0: アンダーフロー (谷) の発生なし 1: アンダーフロー (谷) の発生あり	R/(W) (注1)
b10-b8	ITCNT[2:0]	GPTn_OVF/GPTn_UDF 割り込み間引き回数カウンタ	タイマ割り込みが間引かれる回数をカウントするカウンタ	R
b14-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	TUCF	カウント方向フラグ	0: GTCNTカウンタはダウンカウント 1: GTCNTカウンタはアップカウント	R
b16	ADTRAUF	GTADTRAコンペアマッチ (アップカウント) A/Dコンバータ開始リクエストフラグ	0: アップカウント時のGTADTRAのコンペアマッチの発生なし 1: アップカウント時のGTADTRAのコンペアマッチの発生あり	R/(W) (注1)

ビット	シンボル	ビット名	機能	R/W
b17	ADTRADF	GTADTRAコンペアマッチ (ダウンカウント) A/Dコンバータ開始リクエストフラグ	0: ダウンカウント時のGTADTRAのコンペアマッチの発生なし 1: ダウンカウント時のGTADTRAのコンペアマッチの発生あり	R/(W) (注1)
b18	ADTRBUF	GTADTRBコンペアマッチ (アップカウント) A/Dコンバータ開始リクエストフラグ	0: アップカウント時のGTADTRBのコンペアマッチの発生なし 1: アップカウント時のGTADTRBのコンペアマッチの発生あり	R/(W) (注1)
b19	ADTRBDF	GTADTRBコンペアマッチ (ダウンカウント) A/Dコンバータ開始リクエストフラグ	0: ダウンカウント時のGTADTRBのコンペアマッチの発生なし 1: ダウンカウント時のGTADTRBのコンペアマッチの発生あり	R/(W) (注1)
b23-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	ODF	出力禁止フラグ	0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
b27-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	DTEF	デッドタイムエラーフラグ	0: デッドタイムエラーの発生なし 1: デッドタイムエラーの発生あり	R
b29	OABHF	同時出力レベルHighフラグ	0: GTIOCA端子とGTIOCB端子は同時に1を出力しない 1: GTIOCA端子とGTIOCB端子は同時に1を出力する	R
b30	OABLF	同時出力レベルLowフラグ	0: GTIOCA端子とGTIOCB端子は同時に0を出力しない 1: GTIOCA端子とGTIOCB端子は同時に0を出力する	R
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. このビットには0のみ書けます。1を書き込まないでください。

GTSTレジスタは、GPTの状態を示します。

#### TCFA フラグ (インプットキャプチャ/コンペアマッチフラグ A)

GTCCRAのインプットキャプチャまたはコンペアマッチのステータスフラグです。

[1になる条件]

- GTCCRAレジスタがコンペアマッチレジスタとして機能している場合、GTCNTカウンタ = GTCCRAレジスタになったとき
- GTCCRAレジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によってGTCNTカウンタ値がGTCCRAレジスタに転送されたとき

[0になる条件]

- このフラグに0を書いたとき

#### TCFB フラグ (インプットキャプチャ/コンペアマッチフラグ B)

GTCCRBのインプットキャプチャまたはコンペアマッチのステータスフラグです。

[1になる条件]

- GTCCRBレジスタがコンペアマッチレジスタとして機能している場合、GTCNTカウンタ = GTCCRBレジスタになったとき
- GTCCRBレジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によってGTCNTカウンタ値がGTCCRBレジスタに転送されたとき

[0になる条件]

- このフラグに0を書いたとき

**TCFC フラグ (インプットコンペアマッチフラグ C)**

GTCCRC のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ = GTCCRC レジスタになったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

**TCFD フラグ (インプットコンペアマッチフラグ D)**

GTCCRD のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ = GTCCRD レジスタになったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRD レジスタがバッファ動作)

**TCFE フラグ (インプットコンペアマッチフラグ E)**

GTCCRE のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ = GTCCRE レジスタになったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 01b、10b、11b (GTCCRE レジスタがバッファ動作)

**TCFF フラグ (インプットコンペアマッチフラグ F)**

GTCCRF のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ = GTCCRF レジスタになったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 10b、11b (GTCCRF レジスタがバッファ動作)

#### TCFPO フラグ (オーバーフローフラグ)

オーバーフローまたは山が発生したことを示します。

[1 になる条件]

- のこぎり波モードでオーバーフロー (アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化) が発生したとき
- 三角波モードで山 (GTCNT カウンタが GTPR 値から GTPR 値 -1 に変化) が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化) が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

#### TCFPU フラグ (アンダーフローフラグ)

アンダーフローまたは谷が発生したことを示します。

[1 になる条件]

- のこぎり波モードでアンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき
- 三角波モードで谷 (GTCNT カウンタが 0 から 1 に変化) が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

#### ITCNT[2:0] ビット (GPTn\_OVF/GPTn\_UDF 割り込み間引き回数カウンタ)

GPTn\_OVF/GPTn\_UDF (n = 0 ~ 7) 割り込み間引き機能を使用 (GTITC.IVTC[1:0] ビットを 00b 以外に設定) した場合、GTITC.IVTC[1:0] ビットで指定した GPTn\_OVF/GPTn\_UDF 割り込み要因が発生するたびに、ITCNT[2:0] ビットが 1 カウントアップします。

GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

[0 になる条件]

- GPTn\_OVF/GPTn\_UDF 割り込み間引き機能を使用しないとき (GTITC.IVTC[1:0] ビット = 00b で、GTITC.IVTT[2:0] ビット = 000b のとき)
- GPTn\_OVF/GPTn\_UDF 割り込み間引き回数が指定した回数と一致したとき (ITCNT[2:0] ビット値が GTITC.IVTT[2:0] ビットで指定した間引き回数と一致したとき)

#### TUCF フラグ (カウント方向フラグ)

GTCNT カウンタのカウント方向を示します。イベントカウント動作において、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

**ADTRAUFL フラグ (GTADTRA コンペアマッチ (アップカウント) A/D コンバータ開始リクエストフラグ)**

GTADTRA コンペアマッチのアップカウント時のステータスフラグです。

[1 になる条件]

- アップカウント時に  $GTCNT = GTADTRA$  のとき

[0 になる条件]

- このフラグに 0 を書いたとき

**ADTRADF フラグ (GTADTRA コンペアマッチ (ダウンカウント) A/D コンバータ開始リクエストフラグ)**

GTADTRA コンペアマッチのダウンカウント時のステータスフラグです。

[1 になる条件]

- ダウンカウント時に  $GTCNT = GTADTRA$  のとき

[0 になる条件]

- このフラグに 0 を書いたとき

**ADTRBUF フラグ (GTADTRB コンペアマッチ (アップカウント) A/D コンバータ開始リクエストフラグ)**

GTADTRB コンペアマッチのアップカウント時のステータスフラグです。

[1 になる条件]

- アップカウント時に  $GTCNT = GTADTRB$  のとき

[0 になる条件]

- このフラグに 0 を書いたとき

**ADTRBDF フラグ (GTADTRB コンペアマッチ (ダウンカウント) A/D コンバータ開始リクエストフラグ)**

GTADTRB コンペアマッチのダウンカウント時のステータスフラグです。

[1 になる条件]

- ダウンカウント時に  $GTCNT = GTADTRB$  のとき

[0 になる条件]

- このフラグに 0 を書いたとき

**ODF フラグ (出力禁止フラグ)**

GRP[1:0] ビットで選択した出力禁止要因グループの要求を示します。出力禁止時、出力禁止要求がネゲートされる周期の間、出力禁止制御は解除されません。次の周期に解除されます。

**DTEF フラグ (デッドタイムエラーフラグ)**

デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期を超えたことを示します。

デッドタイム自動付加後のタイマ出力トグルポイントがタイマ周期に戻ると、DTEF は 0 に戻ります。DTEF は読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。

[1 になる条件]

- デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期を超えたとき  
アップカウント時の三角波の場合 :  $GTCRA$  レジスタ -  $GTDVU$  レジスタ  $\leq 0$   
ダウンカウント時の三角波の場合 :  $GTCRA$  レジスタ -  $GTDVD$  レジスタ  $< 0$   
アップカウント時ののこぎり波ワンショットパルスモードの場合 :  
 $GTCRA$  レジスタ -  $GTDVU$  レジスタ  $< 0$ 、または  $GTCRA$  レジスタ +  $GTDVD$  レジスタ  $> GTPR$  レジスタ  
ダウンカウント時ののこぎり波ワンショットパルスモードの場合 :  
 $GTCRA$  レジスタ +  $GTDVU$  レジスタ  $> GTPR$  レジスタ、または  $GTCRA$  レジスタ -  $GTDVD$  レジスタ  $< 0$



[0 になる条件]

- デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期内にあるとき  
GPT32EH と GPT32E にのみ、本フラグがあります。GPT32 には、本フラグはありません。  
GPT32 には、デッドタイム自動設定機能がありますが、デッドタイムエラーは生成しません。

#### OABHF フラグ (同時出力レベル High フラグ)

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 0 を出力した場合、OABHF フラグは 0 に戻ります。OABHF フラグは読み出し専用です。本フラグをクリアするために 0 を書き込むことはしないでください。OABHF フラグによる割り込みが許可 (GTINTAD.GRPABH ビット = 1) されている場合、OABHF フラグが出力禁止要求として POEG に出力されます。

[1 になる条件]

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 のとき

#### OABLF フラグ (同時出力レベル Low フラグ)

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 1 を出力した場合、OABLF フラグは 0 に戻ります。OABLF フラグは読み出し専用です。本フラグをクリアするために 0 を書き込むことはしないでください。OABLF フラグによる割り込みが許可 (GTINTAD.GRPABL ビット = 1) されている場合、OABLF フラグが出力禁止要求として POEG に出力されます。

[1 になる条件]

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力 (PWM 出力) 信号です。出力禁止状態が有効の場合、コンペアマッチが GPT 内部で継続して実行され、OABHF/OABLF フラグは比較値の結果に従って更新されます。

22.2.17 汎用PWM タイマバッファイネーブルレジスタ (GTBER)

アドレス GPT32EHm.GTBER 4007 8040h + 0100h × m (m = 0~3),  
 GPT32Em.GTBER 4007 8040h + 0100h × m (m = 4~7),  
 GPT32m.GTBER 4007 8040h + 0100h × m (m = 8~12)

• GPT32EH,GPT32E

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	ADTDB	ADTTB[1:0]	—	ADTDA	ADTTA[1:0]	—	CCRS WT	PR[1:0]	CCRB[1:0]	CCRA[1:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	BD[3]	BD[2]	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

• GPT32

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	CCRS WT	PR[1:0]	CCRB[1:0]	CCRA[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD[0]	GTCCRバッファ動作禁止	0 : バッファ動作を許可 1 : バッファ動作を禁止	R/W
b1	BD[1]	GTPRバッファ動作禁止		R/W
b2	BD[2]	GTADTRバッファ動作禁止		R/W
b3	BD[3]	GTDVバッファ動作禁止		R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	CCRA[1:0]	GTCCRAバッファ動作	b17b16 0 0 : バッファ動作しない 0 1 : シングルバッファ動作 (GTCCRAレジスタ⇔GTCCRCレジスタ) 1 x : ダブルバッファ動作 (GTCCRAレジスタ⇔GTCCRCレジスタ⇔GTCCRDレジスタ)	R/W
b19-b18	CCRB[1:0]	GTCCRBバッファ動作	b19b18 0 0 : バッファ動作しない 0 1 : シングルバッファ動作 (GTCCRBレジスタ⇔GTCCREレジスタ) 1 x : ダブルバッファ動作 (GTCCRBレジスタ⇔GTCCREレジスタ⇔GTCCRFレジスタ)	R/W
b21-b20	PR[1:0]	GTPRバッファ動作	b21b20 0 0 : バッファ動作しない 0 1 : シングルバッファ動作 (GTPBRレジスタ⇔GTPRレジスタ) 1 x : ダブルバッファ動作 (GTPDBRレジスタ⇔GTPBRレジスタ⇔GTPRレジスタ)	R/W
b22	CCRSWT	GTCCRAおよびGTCCRB強制バッファ動作	1を書くとGTCCRAおよびGTCCRBレジスタのバッファ転送を強制的に行います。このビットは1を書いた後、自動的に0に戻ります。読むと0が読めます。	R/W
b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b25-b24	ADTTA[1:0]	GTADTRAバッファ転送タイミング選択	<ul style="list-style-type: none"> <li>三角波の場合 b25 b24 0 0: 転送しない 0 1: 山で転送 1 0: 谷で転送 1 1: 山と谷の両方で転送</li> <li>のこぎり波の場合 b25 b24 0 0: 転送しない 0 0以外: アンダーフロー (ダウンカウント時) またはオーバーフロー (アップカウント時) で転送</li> </ul>	R/W
b26	ADTDA	GTADTRAダブルバッファ動作	0: シングルバッファ動作 (GTADTBRAレジスタ⇒GTADTRAレジスタ) 1: ダブルバッファ動作 (GTADTDBRAレジスタ⇒GTADTBRAレジスタ⇒GTADTRAレジスタ)	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29-b28	ADTTB[1:0]	GTADTRBバッファ転送タイミング選択	<ul style="list-style-type: none"> <li>三角波の場合 b29 b28 0 0: 転送しない 0 1: 山で転送 1 0: 谷で転送 1 1: 山と谷の両方で転送</li> <li>のこぎり波の場合 b29 b28 0 0: 転送しない 0 0以外: アンダーフロー (ダウンカウント時) またはオーバーフロー (アップカウント時) で転送</li> </ul>	R/W
b30	ADTDB	GTADTRBダブルバッファ動作	0: シングルバッファ動作 (GTADTBRBレジスタ⇒GTADTRBレジスタ) 1: ダブルバッファ動作 (GTADTDBRBレジスタ⇒GTADTBRBレジスタ⇒GTADTRBレジスタ)	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTBER レジスタは、バッファ動作を設定します。GTCNT カウンタが停止しているときに設定する必要があります。

#### BD[0] ビット (GTCCR バッファ動作禁止)

GTCCRA、GTCCRC、GTCCRD レジスタを組み合わせたバッファ動作、および GTCCRB、GTCCRE、GTCCRF を組み合わせたバッファ動作を禁止します。

GTDTCR.TDE ビットが1のとき、BD[0] ビットを0にすると、GTCCRB レジスタはバッファ動作を実行せずに、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

#### BD[1] ビット (GTPR バッファ動作禁止)

GTPR、GTPBR、および GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

#### BD[2] ビット (GTADTR バッファ動作禁止)

GTADTRA、GTADTBRA、GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB、GTADTBRB、GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。イベントカウント動作時は、本ビットは使用できず、GTADTR バッファ動作は実行されません。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には本ビットはありません。

#### BD[3] ビット (GTDV バッファ動作禁止)

GTDVU および GTDBU レジスタを組み合わせたバッファ動作、GTDVD および GTDBD レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDFER ビットが1のとき、BD[3] ビットが0であっても、バッファ動作は実行されず、GTDVD 値には GTDVU レジスタの値が自動的に設定されます。イベントカウント動作時は、このビットは使用できず、GTDV バッファ動作は実行されません。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

**CCRA[1:0] ビット (GTCCRA バッファ動作)**

GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されません。(注1)

**CCRB[1:0] ビット (GTCCRB バッファ動作)**

GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されません。(注1)

**PR[1:0] ビット (GTPR バッファ動作)**

GTPR、GTPBR、および GTPDBR レジスタを組み合わせたバッファ動作を設定します。GPT32 には、PR[1] ビットはありません。GPT32 では、PR[0] ビットによるシングルバッファ動作の設定のみが可能です。

**CCRSWT ビット (GTCCRA および GTCCRB 強制バッファ動作)**

CCRSWT ビットに 1 を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読め、有効となるのは指定したコンペアマッチ動作でカウントが停止した場合のみです。

**ADTTA[1:0] ビット (GTADTRA バッファ転送タイミング選択)**

GTADTRA、GTADTBRA、および GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。イベントカウント動作時は使用できません。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

**ADTDA ビット (GTADTRA ダブルバッファ動作)**

GTADTRA、GTADTBRA、および GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。イベントカウント動作時は使用できません。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

**ADTTB[1:0] ビット (GTADTRB バッファ転送タイミング選択)**

GTADTRB、GTADTBRB、および GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。イベントカウント動作時は使用できません。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

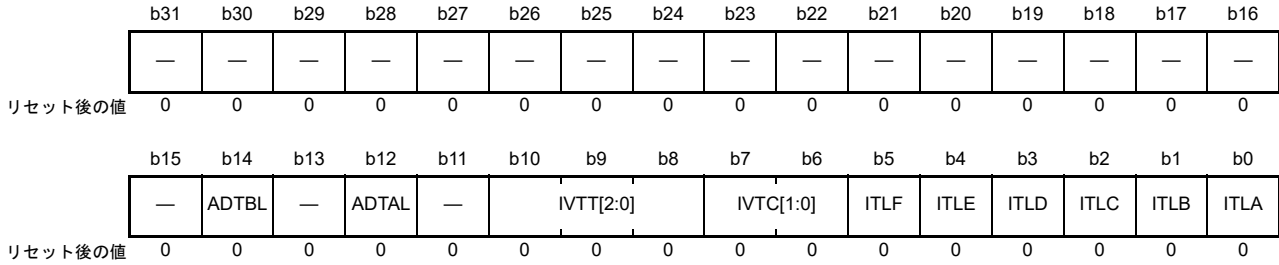
**ADTDB ビット (GTADTRB ダブルバッファ動作)**

GTADTRB、GTADTBRB、および GTADTDBRB レジスタを組み合わせたバッファ動作を設定します。イベントカウント動作時は使用できません。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

注 1. のこぎり波ワンショットパルスモード、または三角波 PWM モード 3 (谷 64 ビット転送) の場合、バッファ動作モードは固定となります。

22.2.18 汎用 PWM タイマ 割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)

アドレス GPT32EHm.GTITC 4007 8044h + 0100h × m (m = 0~3),  
GPT32Em.GTITC 4007 8044h + 0100h × m (m = 4~7)



ビット	シンボル	ビット名	機能	R/W
b0	ITLA	GTCCRA コンペアマッチ/イン プットキャプチャ割り込み連動	0 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
b1	ITLB	GTCCRB コンペアマッチ/イン プットキャプチャ割り込み連動	0 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
b2	ITLC	GTCCRC コンペアマッチ割り込み 連動	0 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
b3	ITLD	GTCCRD コンペアマッチ割り込み 連動	0 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
b4	ITLE	GTCCRE コンペアマッチ割り込み 連動	0 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
b5	ITLF	GTCCRF コンペアマッチ割り込み 連動	0 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
b7-b6	IVTC[1:0]	GPTn_OVF/GPTn_UDF 割り込み 間引き機能選択	b7 b6 0 0 : 間引きしない 0 1 : のこぎり波ではオーバーフローとアンダーフローの両 方、三角波では山をカウントして間引く 1 0 : のこぎり波ではオーバーフローとアンダーフローの両 方、三角波では谷をカウントして間引く 1 1 : のこぎり波ではオーバーフローとアンダーフローの両 方、三角波では山と谷の両方をカウントして間引く	R/W
b10-b8	IVTT[2:0]	GPTn_OVF/GPTn_UDF 割り込み 間引き回数選択	b10 b8 0 0 0 : 間引きしない 0 0 1 : 間引き回数 : 1回 0 1 0 : 間引き回数 : 2回 0 1 1 : 間引き回数 : 3回 1 0 0 : 間引き回数 : 4回 1 0 1 : 間引き回数 : 5回 1 1 0 : 間引き回数 : 6回 1 1 1 : 間引き回数 : 7回	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	ADTAL	GTADTRA A/D 変換開始要求連動	0 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	ADTBL	GTADTRB A/D 変換開始要求連動	0 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1 : GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
b31-b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTITC レジスタは、GTCNT カウンタオーバーフロー (GTPR コンペアマッチ) 割り込み (GPTn\_OVF) と、GTCNT カウンタアンダーフロー割り込み (GPTn\_UDF) に対して間引き機能を設定します。また、その他の割り込みと A/D 変換開始要求を、GPTn\_OVF/GPTn\_UDF 割り込み間引き機能と連動させるか否かを指定します。POEG への出力禁止要求を、GPTn\_OVF/GPTn\_UDF 割り込み間引き機能と連動させることはできません。イベントカウント動作時は使用できません。GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には本レジスタはなく、0 が読み出されます。

**ITLA ビット (GTCCRA コンペアマッチ/インプットキャプチャ割り込み連動)**

GTCCRA コンペアマッチ/インプットキャプチャ割り込み (GPTn\_CCMPA) を、GPTn\_OVF/GPTn\_UDF 割り込み間引き機能と連動させるか否かを指定します。

**ITLB ビット (GTCCRB コンペアマッチ/インプットキャプチャ割り込み連動)**

GTCCRB コンペアマッチ/インプットキャプチャ割り込み (GPTn\_CCMPB) を、GPTn\_OVF/GPTn\_UDF 割り込み間引き機能と連動させるか否かを指定します。

**ITLC ビット (GTCCRC コンペアマッチ割り込み連動)**

GTCCRC コンペアマッチ割り込み (GPTn\_CCMPC) を、GPTn\_OVF/GPTn\_UDF 割り込み間引き機能と連動させるか否かを指定します。

**ITLD ビット (GTCCRD コンペアマッチ割り込み連動)**

GTCCRD コンペアマッチ割り込み (GPTn\_CCMRD) を、GPTn\_OVF/GPTn\_UDF 割り込み間引き機能と連動させるか否かを指定します。

**ITLE ビット (GTCCRE コンペアマッチ割り込み連動)**

GTCCRE コンペアマッチ割り込み (GPTn\_CCMPE) を、GPTn\_OVF/GPTn\_UDF 割り込み間引き機能と連動させるか否かを指定します。

**ITLF ビット (GTCCRF コンペアマッチ割り込み連動)**

GTCCRF コンペアマッチ割り込み (GPTn\_CCMRF) を、GPTn\_OVF/GPTn\_UDF 割り込み間引き機能と連動させるか否かを指定します。

**IVTC[1:0] ビット (GPTn\_OVF/GPTn\_UDF 割り込み間引き機能選択)**

GTPR コンペアマッチ (GTCNT オーバーフロー) 割り込み (GPTn\_OVF) と、GTCNT カウンタアンダーフロー割り込み (GPTn\_UDF) に対して間引き機能を設定します。

**IVTT[2:0] ビット (GPTn\_OVF/GPTn\_UDF 割り込み間引き回数選択)**

GTPR コンペアマッチ (GTCNT オーバーフロー) 割り込み (GPTn\_OVF) と、GTCNT カウンタアンダーフロー割り込み (GPTn\_UDF) に対して間引き回数を設定します。IVTT[2:0] ビットを書き換える場合は、最初に IVTC[1:0] ビットを 00b にしてください。

**ADTAL ビット (GTADTRA A/D 変換開始要求連動)**

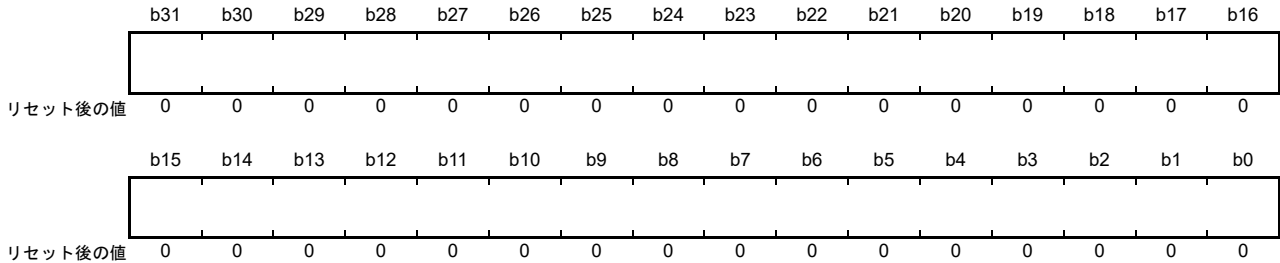
GTADTRA の A/D 変換開始要求を、GPTn\_OVF/GPTn\_UDF 割り込み間引き機能と連動させるか否かを指定します。

**ADTBL ビット (GTADTRB A/D 変換開始要求連動)**

GTADTRB の A/D 変換開始要求を、GPTn\_OVF/GPTn\_UDF 割り込み間引き機能と連動させるか否かを指定します。

## 22.2.19 汎用 PWM タイマカウンタ (GTCNT)

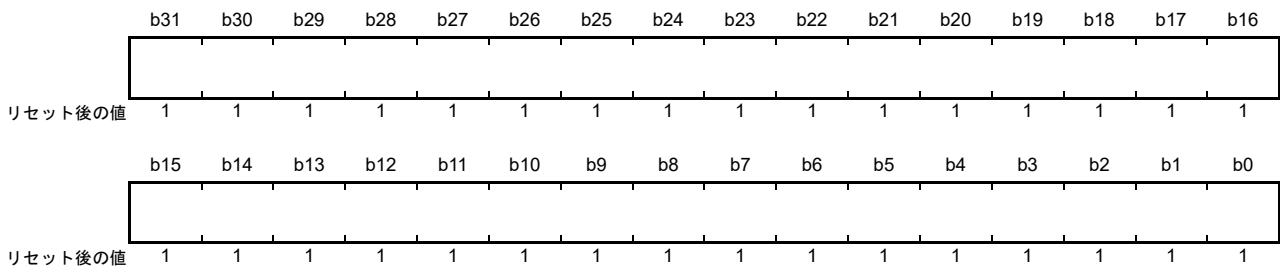
アドレス GPT32EHm.GTCNT 4007 8048h + 0100h × m (m = 0~3),  
 GPT32Em.GTCNT 4007 8048h + 0100h × m (m = 4~7),  
 GPT32m.GTCNT 4007 8048h + 0100h × m (m = 8~12)



GTCNT レジスタは、32 ビットの読み出し/書き込みが可能なカウンタです。カウントストップ後にのみ書き込み可能です。32 ビット単位でアクセスしてください。8 ビット単位/16 ビット単位でのアクセスはしないでください。GTCNT レジスタは、 $0 \leq \text{GTCNT} \leq \text{GTPR}$  の範囲に収まるように設定する必要があります。

## 22.2.20 汎用 PWM タイマコンペアキャプチャレジスタ n (GTCCRn) (n = A ~ F)

アドレス GPT32EHm.GTCCRA 4007 804Ch + 0100h × m (m = 0~3),  
 GPT32Em.GTCCRA 4007 804Ch + 0100h × m (m = 4~7),  
 GPT32m.GTCCRA 4007 804Ch + 0100h × m (m = 8~12),  
 GPT32EHm.GTCCRB 4007 8050h + 0100h × m (m = 0~3),  
 GPT32Em.GTCCRB 4007 8050h + 0100h × m (m = 4~7),  
 GPT32m.GTCCRB 4007 8050h + 0100h × m (m = 8~12),  
 GPT32EHm.GTCCRC 4007 8054h + 0100h × m (m = 0~3),  
 GPT32Em.GTCCRC 4007 8054h + 0100h × m (m = 4~7),  
 GPT32m.GTCCRC 4007 8054h + 0100h × m (m = 8~12),  
 GPT32EHm.GTCCRE 4007 8058h + 0100h × m (m = 0~3),  
 GPT32Em.GTCCRE 4007 8058h + 0100h × m (m = 4~7),  
 GPT32m.GTCCRE 4007 8058h + 0100h × m (m = 8~12),  
 GPT32EHm.GTCCRD 4007 805Ch + 0100h × m (m = 0~3),  
 GPT32Em.GTCCRD 4007 805Ch + 0100h × m (m = 4~7),  
 GPT32m.GTCCRD 4007 805Ch + 0100h × m (m = 8~13),  
 GPT32EHm.GTCCRF 4007 8060h + 0100h × m (m = 0~3),  
 GPT32Em.GTCCRF 4007 8060h + 0100h × m (m = 4~7),  
 GPT32m.GTCCRF 4007 8060h + 0100h × m (m = 8~13)



GTCCRn レジスタは、読み出し/書き込みが可能なレジスタです。

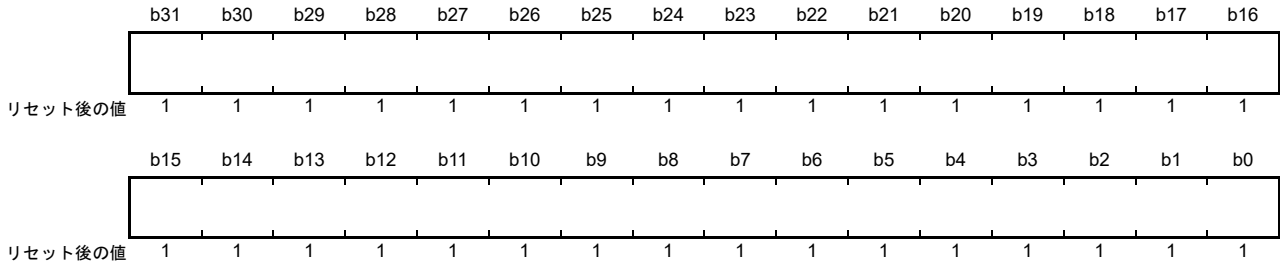
GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア/インプットキャプチャ兼用のレジスタです。

GTCCRC レジスタと GTCCRE レジスタは、コンペアマッチレジスタですが、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。

GTCCRD レジスタと GTCCRF レジスタは、コンペアマッチレジスタですが、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ (GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ) としても機能します。

### 22.2.21 汎用 PWM タイマ周期設定レジスタ (GTPR)

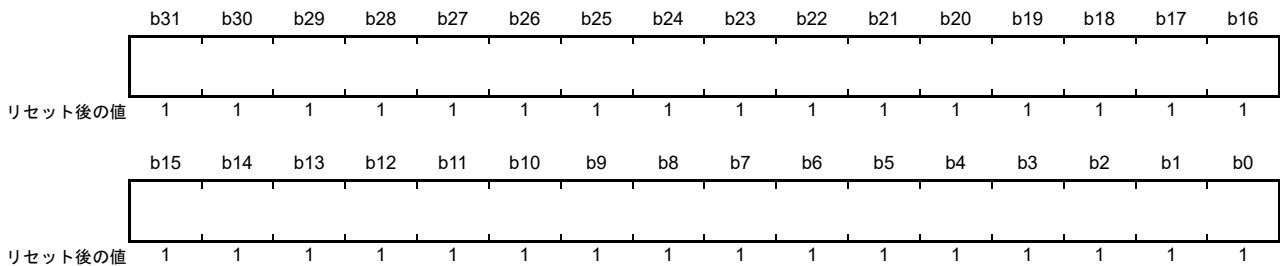
アドレス GPT32EHm.GTPR 4007 8064h + 0100h × m (m = 0~3),  
GPT32Em.GTPR 4007 8064h + 0100h × m (m = 4~7),  
GPT32m.GTPR 4007 8064h + 0100h × m (m = 8~12)



GTPR レジスタは、読み出し/書き込みが可能なレジスタであり、GTCNT カウンタの最大カウント値を設定します。のこぎり波の場合、GTPR 値 + 1 がカウント周期になります。三角波の場合、GTPR 値 × 2 がカウント周期になります。

### 22.2.22 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)

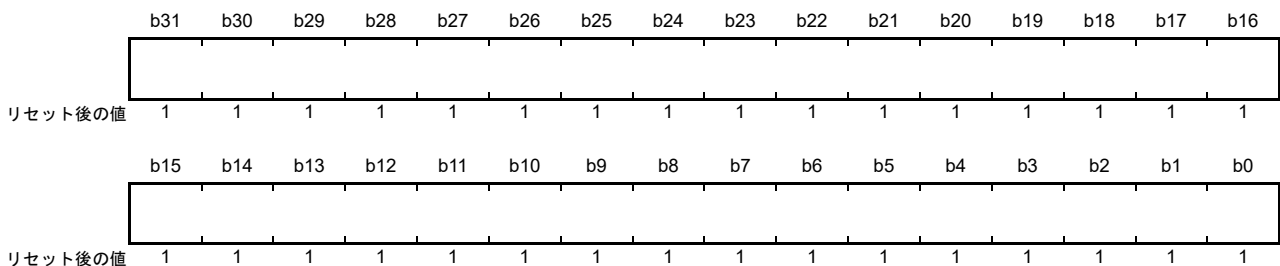
アドレス GPT32EHm.GTPBR 4007 8068h + 0100h × m (m = 0~3),  
GPT32Em.GTPBR 4007 8068h + 0100h × m (m = 4~7),  
GPT32m.GTPBR 4007 8068h + 0100h × m (m = 8~12)



GTPBR レジスタは、読み出し/書き込みが可能なレジスタであり、GTPR レジスタ用のバッファレジスタとして機能します。

### 22.2.23 汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)

アドレス GPT32EHm.GTPDBR 4007 806Ch + 0100h × m (m = 0~3),  
GPT32Em.GTPDBR 4007 806Ch + 0100h × m (m = 4~7)



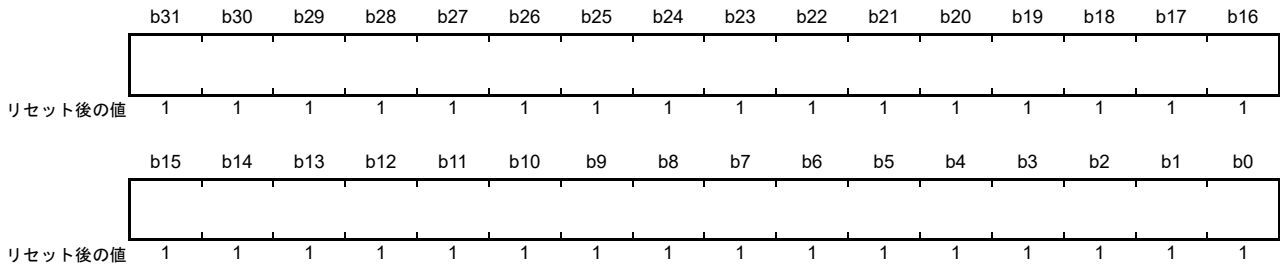
GTPDBR レジスタは、32 ビットの読み出し/書き込みが可能なレジスタであり、GTPBR レジスタ用のバッファレジスタ (GTPR レジスタ用のダブルバッファレジスタ) として機能します。GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。本レジスタは、リセット後の値が読み出されます。



### 22.2.24 A/D 変換開始要求タイミングレジスタ n (GTADTRn) (n = A, B)

アドレス GPT32EHm.GTADTRA 4007 8070h + 0100h × m (m = 0~3),  
GPT32Em.GTADTRA 4007 8070h + 0100h × m (m = 4~7)

GPT32EHm.GTADTRB 4007 807Ch + 0100h × m (m = 0~3),  
GPT32Em.GTADTRB 4007 807Ch + 0100h × m (m = 4~7)

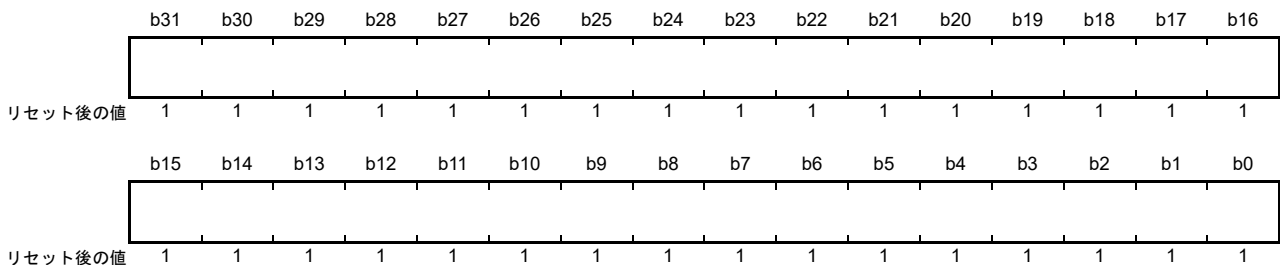


GTADTRn レジスタは、32 ビットの読み出し/書き込みが可能なレジスタであり、A/D 変換開始要求のタイミングを設定します。GTADTRn レジスタの値が GTCNT カウンタ値と一致したとき、A/D 変換開始要求が発生します。32 ビット単位でアクセスしてください。8 ビット単位/16 ビット単位でのアクセスはしないでください。GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。本レジスタは、リセット後の値が読み出されます。

### 22.2.25 A/D 変換開始要求タイミングバッファレジスタ n (GTADTBRn) (n = A, B)

アドレス GPT32EHm.GTADTBRA 4007 8074h + 0100h × m (m = 0~3),  
GPT32Em.GTADTBRA 4007 8074h + 0100h × m (m = 4~7)

GPT32EHm.GTADTBRB 4007 8080h + 0100h × m (m = 0~3),  
GPT32Em.GTADTBRB 4007 8080h + 0100h × m (m = 4~7)

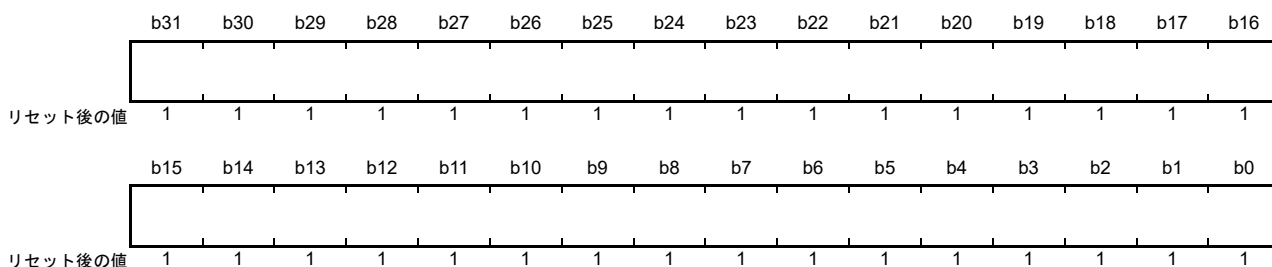


GTADTBRn レジスタは、32 ビットの読み出し/書き込みが可能なレジスタであり、GTADTRn レジスタ用のバッファレジスタとして動作します。32 ビット単位でアクセスしてください。8 ビット単位/16 ビット単位でのアクセスはしないでください。GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。本レジスタは、リセット後の値が読み出されます。

## 22.2.26 A/D変換開始要求タイミングダブルバッファレジスタ n (GTADTDBRn) (n = A, B)

アドレス GPT32EHm.GTADTDBRA 4007 8078h + 0100h × m (m = 0~3),  
GPT32Em.GTADTDBRA 4007 8078h + 0100h × m (m = 4~7)

GPT32EHm.GTADTDBRB 4007 8084h + 0100h × m (m = 0~3),  
GPT32Em.GTADTDBRB 4007 8084h + 0100h × m (m = 4~7)



GTADTDBRn レジスタは、32 ビットの読み出し／書き込みが可能なレジスタであり、GTADTBRn レジスタ用のバッファレジスタ (GTADTR レジスタ用のダブルバッファレジスタ) として動作します。32 ビット単位でアクセスしてください。8 ビット単位／16 ビット単位でのアクセスはしないでください。GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。本レジスタは、リセット後の値が読み出されます。

## 22.2.27 汎用PWMタイマデッドタイムコントロールレジスタ (GTDTCCR)

アドレス GPT32EHm.GTDTCCR 4007 8088h + 0100h × m (m = 0~3),  
 GPT32Em.GTDTCCR 4007 8088h + 0100h × m (m = 4~7),  
 GPT32m.GTDTCCR 4007 8088h + 0100h × m (m = 8~12)

## • GPT32EH,GPT32E

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## • GPT32

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDE
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定	0 : GTDVUおよびGTDVDレジスタを使用しないで、GTCCRBレジスタを設定する 1 : GTDVUおよびGTDVDレジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値をGTCCRBレジスタに自動設定する	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TDBUE	GTDVUバッファ動作許可	0 : GTDVUバッファ動作を禁止 1 : GTDVUバッファ動作を許可	R/W
b5	TDBDE	GTDVDバッファ動作許可	0 : GTDVDバッファ動作を禁止 1 : GTDVDバッファ動作を許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TDFER	GTDVD設定	0 : GTDVUおよびGTDVDレジスタを個別に設定する 1 : GTDVUレジスタに書き込んだ値を、GTDVDレジスタにも自動設定する	R/W
b31-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDTCCRレジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可します。

GPT32EH、GPT32E、およびGPT32には、デッドタイム制御機能があります。GPT32は、デッドタイムバッファ機能を持たず、デッドタイム値の設定にはGTDVUレジスタのみを使用します。

### TDE ビット (逆相波形設定)

GTDVU および GTDVD レジスタを使用するか否かを指定します。GTDVU および GTDVD レジスタを使用する場合、正相波形のコンペアマッチ値 (GTCCRA) とデッドタイム値 (GTDVU および GTDVD) から算出したデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、自動設定は行われません。

GTCCRB レジスタ値が自動設定される時、下記のような上限値/下限値があります。算出された GTCCRB レジスタ値が上限値/下限値の範囲外となる場合は、GTCCRB レジスタには以下の上限値/下限値が設定され、GTST.DTEF フラグが 1 になります。ただし、三角波では、算出された GTCCRB レジスタ値が上限値を超えると、GTST.DTEF フラグが 0 にクリアされます。

- 三角波  
上限値 :  $GTPR - 1$   
下限値 : アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモード  
上限値 : GTPR  
下限値 : 0

### TDBUE ビット (GTDVU バッファ動作許可)

GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバーフローまたはアンダーフローです。

GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

### TDBDE ビット (GTDVD バッファ動作許可)

GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバーフローまたはアンダーフローです。TDFER ビットを同時に 1 にした場合、TDFER ビットの設定が優先されます。

GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

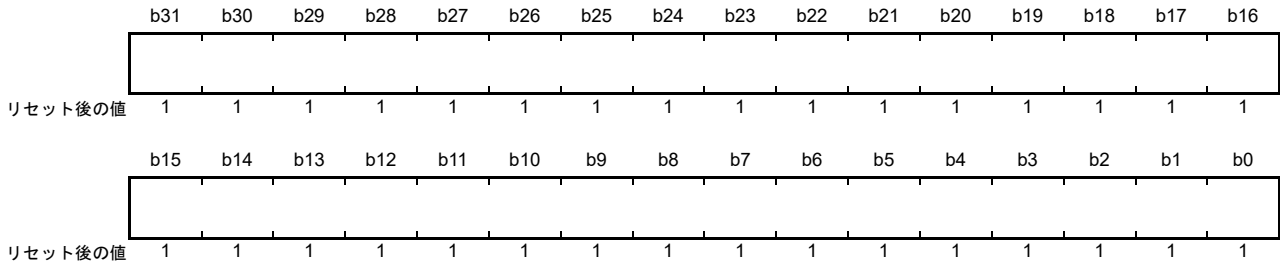
### TDFER ビット (GTDVD 設定)

GTDVU レジスタに書き込んだ値を GTDVD レジスタにも自動設定するかどうかを選択します。

GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

## 22.2.28 汎用 PWM タイマデッドタイム値レジスタ n (GTDVn) (n = U, D)

アドレス GPT32EHm.GTDVU 4007 808Ch + 0100h × m (m = 0~3),  
 GPT32Em.GTDVU 4007 808Ch + 0100h × m (m = 4~7),  
 GPT32m.GTDVU 4007 808Ch + 0100h × m (m = 8~12),  
 GPT32EHm.GTDVD 4007 8090h + 0100h × m (m = 0~3),  
 GPT32Em.GTDVD 4007 8090h + 0100h × m (m = 4~7)



GTDVn レジスタは、32 ビットの読み出し／書き込みが可能なレジスタであり、デッドタイム付きの PWM 波形を生成するためのデッドタイムを設定します。逆相波形の前半部の切り替わりポイントにおけるデッドタイムは GTDVU レジスタに、後半部の切り替わりポイントにおけるデッドタイムは GTDVD レジスタに設定します。

GTDVn 値に GTPR 以上の値を設定しないでください。また、周期を超えるデッドタイムの設定もしないでください。デッドタイム自動設定機能によって設定された逆相波形のコンペアマッチ値は、GTCCRB レジスタ値から読み出すことで確認できます。

GTDVn レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。このレジスタ値を 0 にすると、デッドタイムなしの波形が出力されます。GTDVn レジスタは 32 ビット単位でアクセスする必要があります。8 ビット単位／16 ビット単位でのアクセスはしないでください。GTDVn を書き換える方法は GPT チャネル番号によって異なります。

**GPT32EH0 ~ GPT32EH3 および GPT32E4 ~ GPT32E7**

GTDVn バッファ動作が許可されている場合、GTDBn はいつでも書き込み可能です。GTDBn は周期の終わりで GTDVn に転送されます。GTDVn バッファ動作が禁止されている場合、GTDVn を新しい値に変更する前に、GTCR レジスタの CST ビットで GPT を停止してください。

**GPT328 ~ GPT3212**

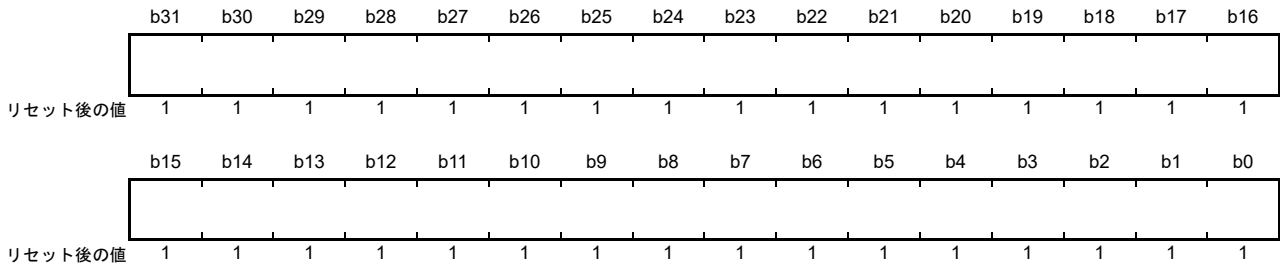
GPT の動作中は、GTDVU レジスタ値の変更はしないでください。GTDVU を新しい値に変更するには、GTCR レジスタの CST ビットで GPT を停止してください。

GPT32EH と GPT32E にのみ、GTDVD レジスタがあります。GPT32 には、GTDVD レジスタはありません。本レジスタは、リセット後の値が読み出されます。

## 22.2.29 汎用 PWM タイマデッドタイムバッファレジスタ n (GTDBn) (n = U, D)

アドレス GPT32EHm.GTDBU 4007 8094h + 0100h × m (m = 0~3),  
GPT32Em.GTDBU 4007 8094h + 0100h × m (m = 4~7)

GPT32EHm.GTDBD 4007 8098h + 0100h × m (m = 0~3),  
GPT32Em.GTDBD 4007 8098h + 0100h × m (m = 4~7)

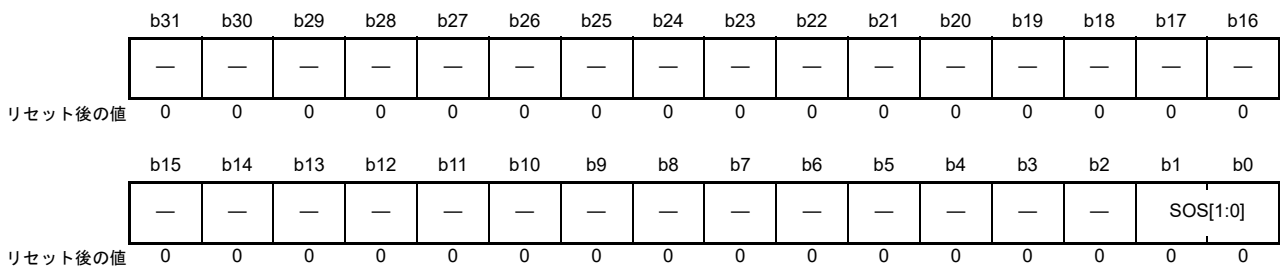


GTDBn レジスタは、32 ビットの読み出し/書き込みが可能なレジスタであり、GTDVn レジスタ用のバッファレジスタとして動作します。

GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。本レジスタは、リセット後の値が読み出されます。

## 22.2.30 汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS)

アドレス GPT32EHm.GTSOS 4007 809Ch + 0100h × m (m = 0~3),  
GPT32Em.GTSOS 4007 809Ch + 0100h × m (m = 4~7)



ビット	シンボル	ビット名	機能	R/W
b1-b0	SOS[1:0]	出力保護機能ステータス	b1 b0 0 0: 通常動作 0 1: 保護状態 (谷または山での転送時にGTCCRA = 0が設定された) 1 0: 保護状態 (谷での転送時にGTCCRA ≥ GTPRが設定された) 1 1: 保護状態 (山での転送時にGTCCRA ≥ GTPRが設定された)	R
b31-b2	—	予約ビット	読むと0が読めます。書き込みは無視されます。	R

GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイムが自動設定 (GTDTCR.TDE ビット = 1) されている場合にのみ有効です。

GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。

## SOS[1:0] ビット (出力保護機能ステータス)

三角波 PWM モードにおいて、出力保護機能のステータスを示します。

## 22.2.31 汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR)

アドレス GPT32EHm.GTSOTR 4007 80A0h + 0100h × m (m = 0~3),  
GPT32Em.GTSOTR 4007 80A0h + 0100h × m (m = 4~7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOTR	出力保護機能一時解除	0: 保護状態を解除しない 1: 保護状態を解除する	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTSOTR レジスタは、出力保護が設定されている場合に、GTIOCB 端子出力の保護状態を一時的に解除します。GTSOS.SOS[1:0] ビット = 10b (保護状態、谷での転送時に GTCCRA ≥ GTPR が設定された) の場合に限り、保護状態を解除できます。他の状態の場合には、保護状態は解除できません。

GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。読むと 0000\_0000h が読めます。

**SOTR ビット (出力保護機能一時解除)**

出力保護状態時に、GTIOCB 端子出力の保護状態を一時的に解除するか否かを設定します。SOTR ビットを 1 にすると、最初に現れる谷以降の出力保護機能が解除されます。SOTR ビットを 0 にすると、最初に現れる谷以降の出力保護機能が再開します。

## 22.2.32 出力相切り替えコントロールレジスタ (OPSCR)

アドレス GPT\_OPS.OPSCR 4007 8FF0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCS[1:0]	NFEN	—	—	GODF	GRP[1:0]	—	—	ALIGN	—	INV	N	P	FB		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	入力相ソフト設定	ソフトウェア設定により入力相を設定します。OPSCR.FBビットが1の場合に、これらのビットの設定が有効になります。	R/W
b1	VF			R/W
b2	WF			R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	U	入力U相監視	入力相の状態を監視します。 OPSCR.FB = 0 : PCLKDと同期した外部入力 OPSCR.FB = 1 : OPSCR.Uビット、OPSCR.Vビット、およびOPSCR.Wビットは、OPSCR.UFビット、OPSCR.VFビット、およびOPSCR.WFビットの値の読み出しが可能です。	R
b5	V	入力V相監視		R
b6	W	入力W相監視		R
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	EN	イネーブル相出力制御	0 : 出力しない (Hi-Z外部端子) 1 : 出力する (注1)	R/W
b15-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	FB	外部フィードバック信号許可	ソフトウェア設定または外部入力から入力相を選択します。 0 : 外部入力を選択 1 : ソフトウェア設定を選択 (OPSCR.UF、VF、WFビット)	R/W
b17	P	正相出力 (P) 制御	0 : レベル信号を出力 1 : PWM信号を出力	R/W
b18	N	逆相出力 (N) 制御	0 : レベル信号を出力 1 : PWM信号を出力	R/W
b19	INV	反転相出力制御	0 : 正論理 (アクティブHigh) を出力 1 : 負論理 (アクティブLow) を出力	R/W
b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b21	ALIGN	入力相アライメント	0 : 入力相をPCLKDに調整 1 : 入力相をPWMに調整	R/W
b23-b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	GRP[1:0]	出力禁止要因選択	b25 b24 0 0 : グループA出力禁止要因を選択 0 1 : グループB出力禁止要因を選択 1 0 : グループC出力禁止要因を選択 1 1 : グループD出力禁止要因を選択	R/W
b26	GODF	グループ出力禁止機能	0 : このビット機能を見無視 1 : グループ禁止でOPSCR.ENビットをクリア (注1)	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFEN	外部入力ノイズフィルタ有効	0 : 外部入力にノイズフィルタを使用しない 1 : 外部入力にノイズフィルタを使用する	R/W



ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCS[1:0]	外部入力ノイズフィルタクロック 選択	外部入力のノイズフィルタサンプリングクロック設定 b31 b30 0 0 : PCLKD/1 0 1 : PCLKD/4 1 0 : PCLKD/16 1 1 : PCLKD/64	R/W

注1. OPSCR.GODF ビット = 1 で、かつ OPSCR.GRP[1:0] ビットで選択した信号値が High のとき、OPSCR.EN ビットは 0 になります。

OPSCR レジスタは、ブラシレス DC モータ制御に必要な信号波形の出力を設定するレジスタです。

### UF、VF、WF ビット (入力相ソフト設定)

ソフトウェア設定からの入力相を設定します。OPSCR.FB ビットが 1 の場合に、これらのビットが有効になります。UF/VF/WF ビットの設定値が U/V/W 外部入力に代わります。

### U、V、W ビット (入力相モニタ)

OPSCR.FB ビットが 0 の場合、PCLKD と同期した外部入力を監視します。OPSCR.FB ビットが 1 の場合、OPSCR.U、OPSCR.V、OPSCR.W ビットは、OPSCR.UF、OPSCR.VF、OPSCR.WF ビットの値を読み出せません。

### EN ビット (イネーブル相出力制御)

出力許可信号出力相 (正相/逆相) を制御します。

OPSCR.EN ビット = 1 の場合、信号波形が出力されます。

OPSCR.EN ビット = 0 の場合は、最初に OPSCR.FB、OPSCR.UF/VF/WF (ソフトウェア設定を選択)、OPSCR.P/N、OPSCR.INV、OPSCR.RV、OPSCR.ALIGN、OPSCR.GRP、OPSCR.GODF、OPSCR.NFEN および OPSCR.NFCS ビットを設定してください。その後、このビットを 1 にしてください。また、OPSCR.GODF ビット = 1 で、OPSCR.GRP ビットで選択した信号値が High のとき、OPSCR.EN ビットは 0 になります。

### FB ビット (外部フィードバック信号許可)

ソフトウェア設定 (OPSCR.UF、VF、WF ビット)、およびホール素子などの外部入力からの入力相を選択します。

### P ビット (正相出力 (P) 制御)

レベル信号出力、または正相出力の PWM 信号出力 (GTOUUP 端子、GTOVUP 端子、GTOWUP 端子) のどちらかを選択します。

### N ビット (逆相出力 (N) 制御)

レベル信号出力、または逆相出力の PWM 信号出力 (GTOULO 端子、GTOVLO 端子、GTOWLO 端子) のどちらかを選択します。

### INV ビット (反転相出力制御)

出力相として、正論理 (アクティブ High) 出力または負論理 (アクティブ Low) 出力のどちらかを選択します。

### ALIGN ビット (入力相アライメント)

入力相のサンプリングとして、PCLKD または PWM を選択します (入力相は OPSCR.FB ビットで指定)。

OPSCR.ALIGN ビット = 0 のとき、入力相は PCLKD に調整されます。

注. PWM 出力 (OPSCR.P/N ビット = 1) を選択して、PCLKD 入力相を調整すると、PWM パルスは短パルスになる場合があります。

注. OPSCR.ALIGN ビット = 1 のとき、入力相は PWM 出力に調整されます。

**GRP[1:0] ビット (出力禁止要因選択)**

出力禁止要因 (A ~ D) を選択します。

**GODF ビット (グループ出力禁止機能)**

GODF ビット=1 で、OPSCR.GRP ビットで選択した信号値が High のとき、OPSCR.EN ビットは 0 になります。GODF ビット=0 の場合、このビットは無視されます。

**NFEN ビット (外部入力ノイズフィルタ有効)**

外部入力用のノイズフィルタを選択します。OPSCR.NFEN ビット=0 の場合、外部入力にノイズフィルタは使用されません。

注. 意図しない内部エッジにより本ビットが切り替わった場合、OPSCR.EN ビットを 0 にしてください。

**NFCS[1:0] ビット (外部入力ノイズフィルタクロック選択)**

外部入力ノイズフィルタのクロックを選択します。OPSCR.NFEN ビット=1 の場合、外部入力のノイズフィルタサンプリングクロック設定が有効になります。

1. NFCS[1:0] を設定します。
2. クロックの 2 周期分待ちます。
3. OPSCR.EN ビットを 1 にします。

## 22.3 動作説明

### 22.3.1 基本動作

各チャンネルには32ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPRレジスタがカウント周期を制御します。

GTCNTカウンタ値がGTCCRAまたはGTCCRBレジスタの値と一致する場合、対応するGTIOCA端子またはGTIOCB端子からの出力を変更できます。GTCCRAまたはGTCCRBレジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用可能です。

GTCCRCおよびGTCCRDレジスタは、GTCCRAレジスタ用のバッファレジスタとして機能します。また、GTCCREおよびGTCCRFレジスタは、GTCCRBレジスタ用のバッファレジスタとして機能します。

#### 22.3.1.1 カウンタの動作

##### (1) カウンタスタート/ストップ

各チャンネルのカウンタは、GTCR.CSTビットを1にするとカウント動作を開始します。GTCR.CSTビット値は以下の要因によって変化します。

- GTCRレジスタへの書き込み
- GTSSR.CSTRTビットが1の場合、GTSTRレジスタのGPTチャンネル番号に対応したビットへの1の書き込み
- GTPSR.CSTOPビットが1の場合、GTSTPレジスタのGPTチャンネル番号に対応したビットへの1の書き込み
- GTSSRレジスタで選択したハードウェア要因
- GTPSRレジスタで選択したハードウェア要因

##### (2) カウントクロックによるアップカウント時の周期カウント動作

各チャンネルのGTCNTカウンタは、GTUPSRおよびGTDNSRレジスタを0000 0000hにした状態で、対応するGTCR.CSTビットを1にすると、アップカウントを開始します。GTCNTカウンタ値がGTPRレジスタ値から0になる（オーバーフロー）と、GTST.TCFPOフラグは1になります。GTCNTカウンタはオーバーフロー時、0000 0000hからアップカウントを継続します。

アップカウント時の周期カウント動作例を図22.3に示します。

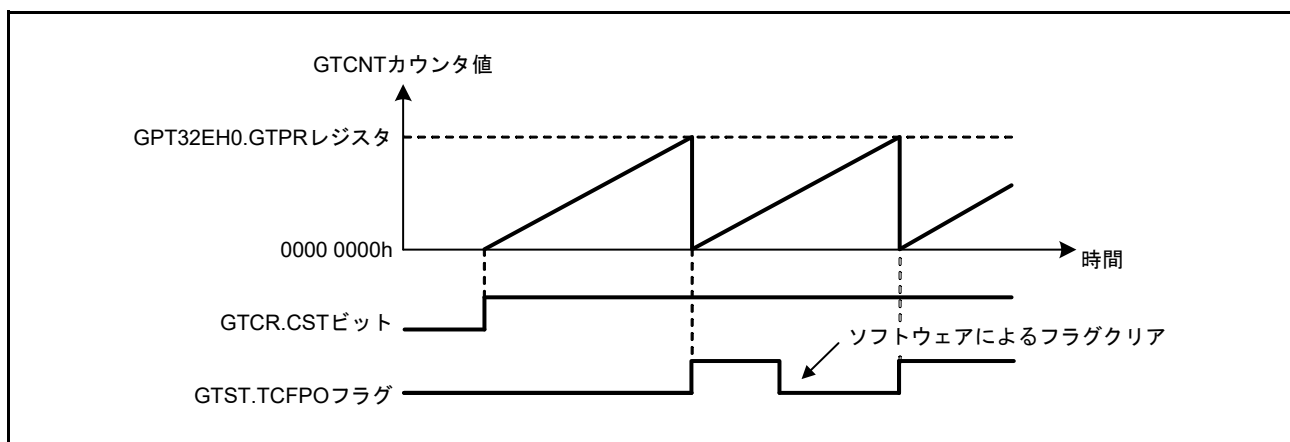


図 22.3 カウントクロックによるアップカウント時の周期カウント動作例

アップカウント時の周期カウント動作設定例を図 22.4 に示します。

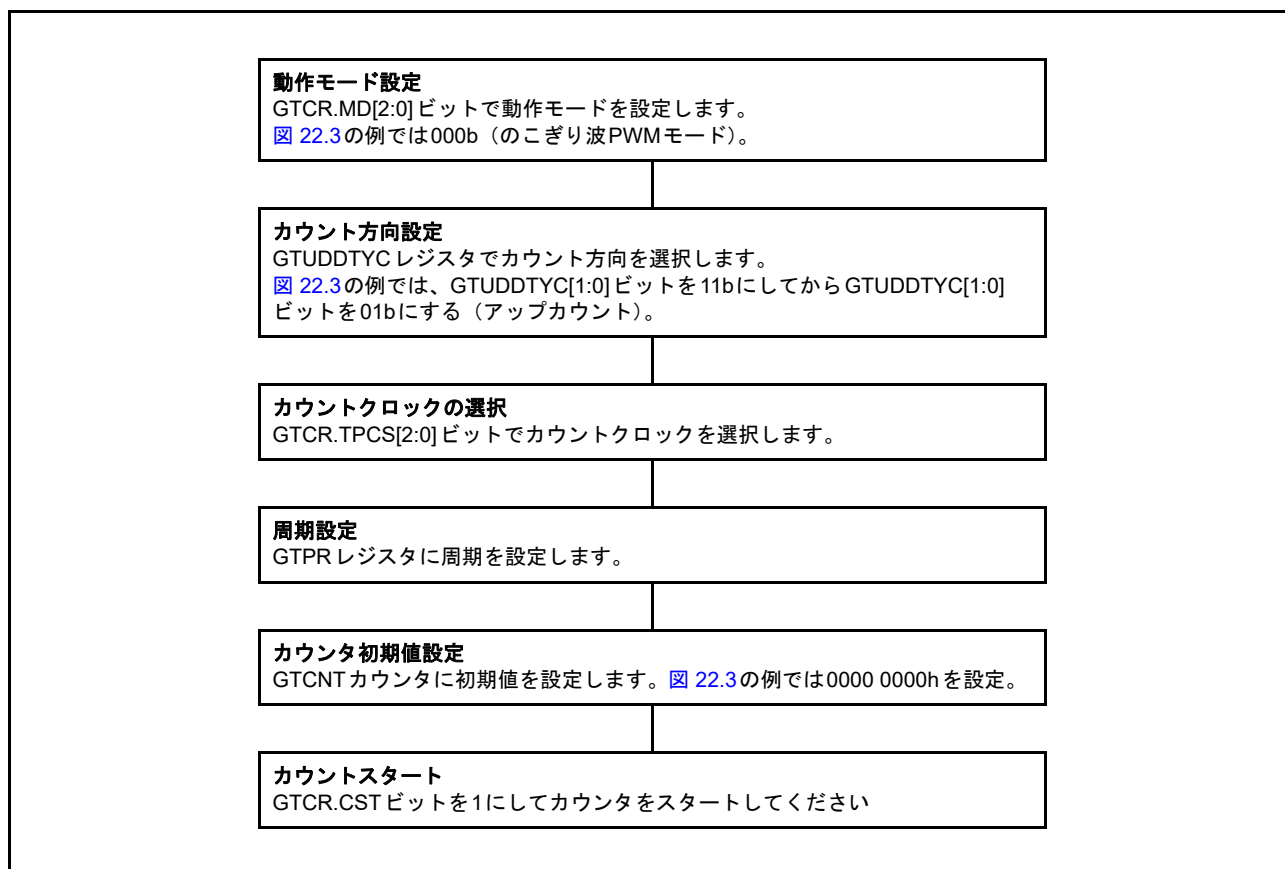


図 22.4 カウントクロックによるアップカウント時の周期カウント動作設定例

### (3) カウントクロックによるダウンカウント時の周期カウント動作

各チャンネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0000 0000h にした状態で、GTUDDTYC.UD ビットを設定することにより、ダウンカウントを実行できます。GTCNT カウンタ値が 0 から GTPR 値に変化 (アンダーフロー) すると、GTST.TCFPU ビットが 1 になります。GTCNT カウンタがアンダーフローすると、GTPR 値からダウンカウントを再開します。

カウントクロックによるダウンカウント時の周期カウント動作例を図 22.5 に示します。

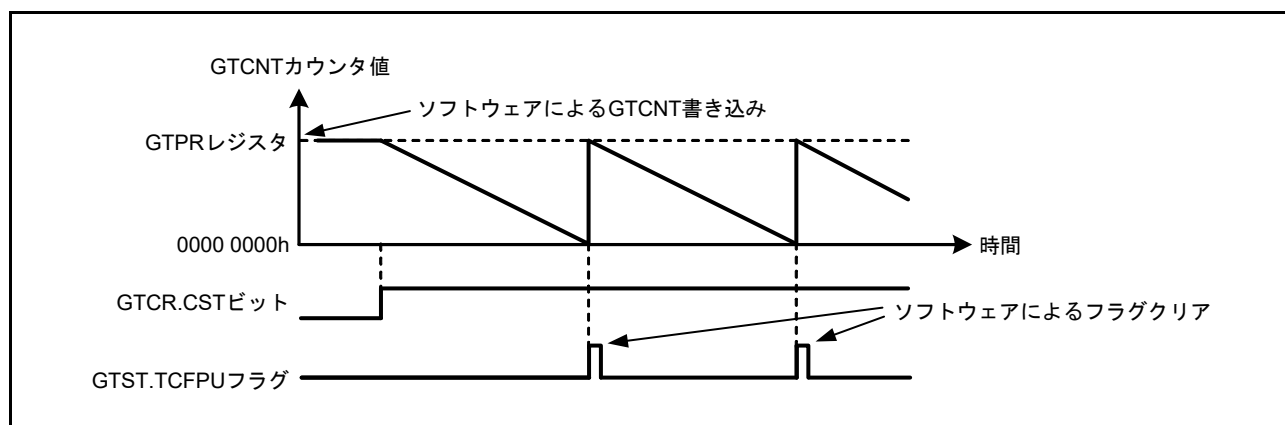


図 22.5 カウントクロックによるダウンカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作設定例を図 22.6 に示します。

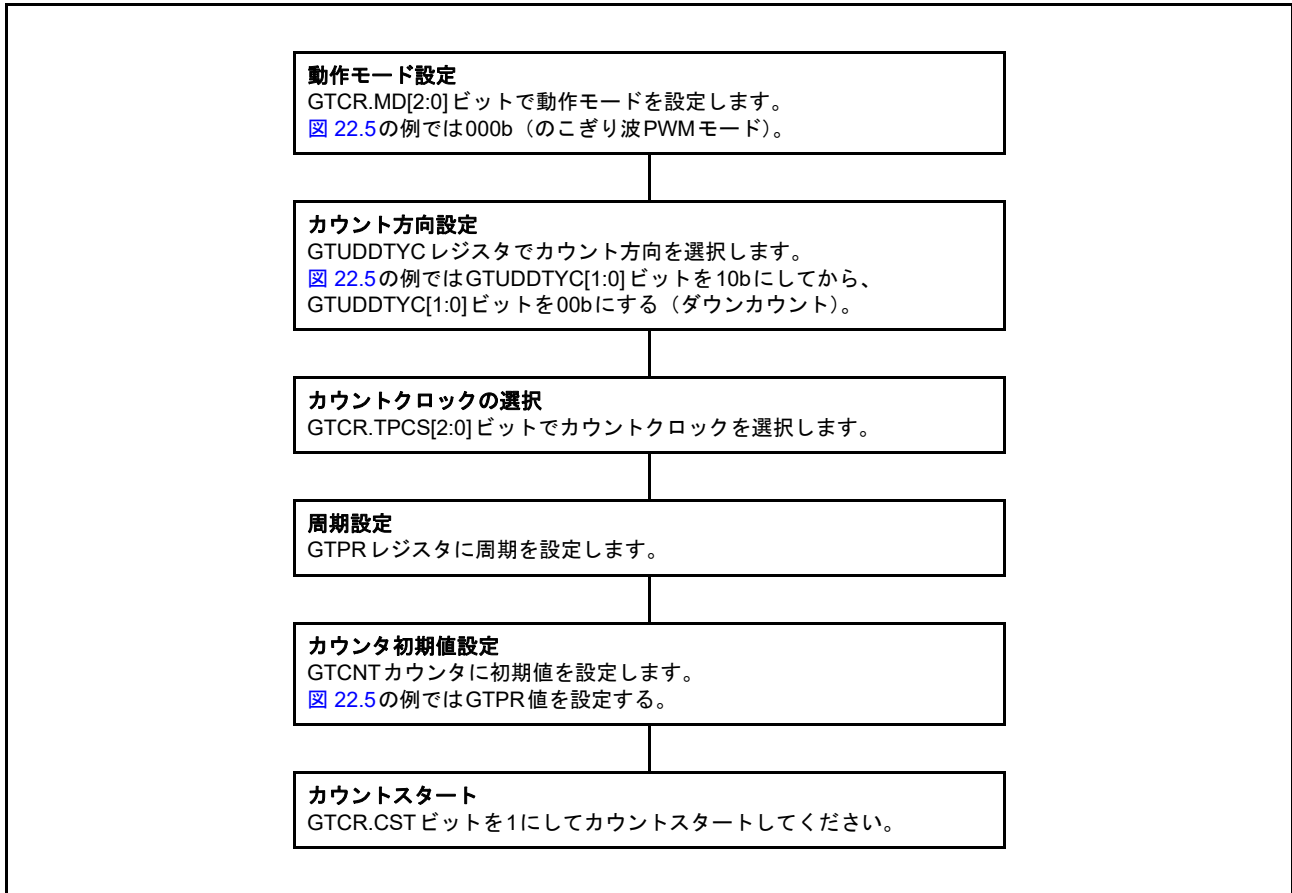


図 22.6 カウントクロックによるダウンカウント時の周期カウント動作設定例

#### (4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタで設定したハードウェア要因によるアップカウントを実行できます。

GTUPSR レジスタを許可に設定すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックと、GTUDDTYC.UD ビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるアップカウントのオーバーフロー動作は、カウントクロックによるアップカウントのオーバーフロー動作と同じです。

ハードウェア要因によるカウントアップを行うために、GTCR.CST ビットを 1 にしてカウント動作を有効にしてください。GTCR.CST ビットを 1 にすると、GTCR.TPCS[2:0] ビットで指定した 1 クロック周期の間カウンタはアップカウントされません。これは、カウント動作は、GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期するためです。PCLKD 1 クロック遅れでカウントアップを行う場合、GTCR.TPCS[2:0] ビットを 000b にしてください。

ハードウェア要因 (GTETRGA 端子の立ち上がりエッジ) によるアップカウント時の周期カウント動作例を図 22.7 に示します。

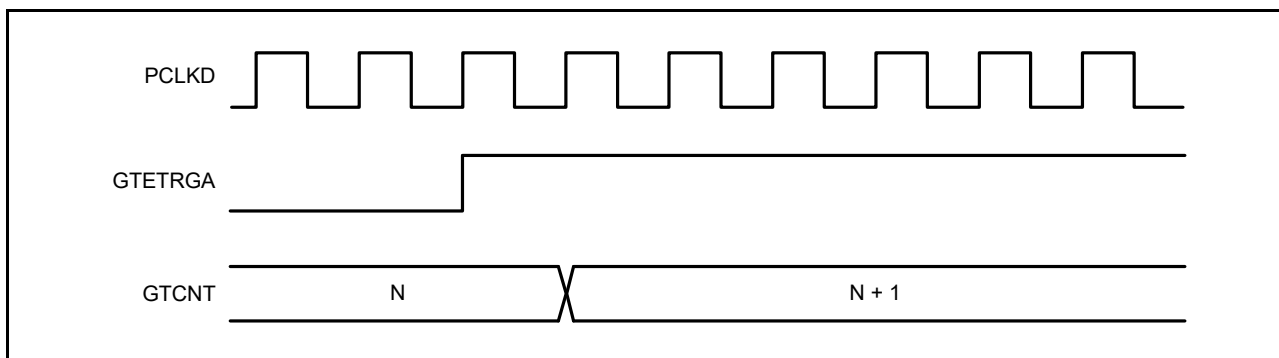


図 22.7 ハードウェア要因によるアップカウント時の周期カウント動作例

ハードウェア要因によるアップカウント時の周期カウント動作設定例を図 22.8 に示します。

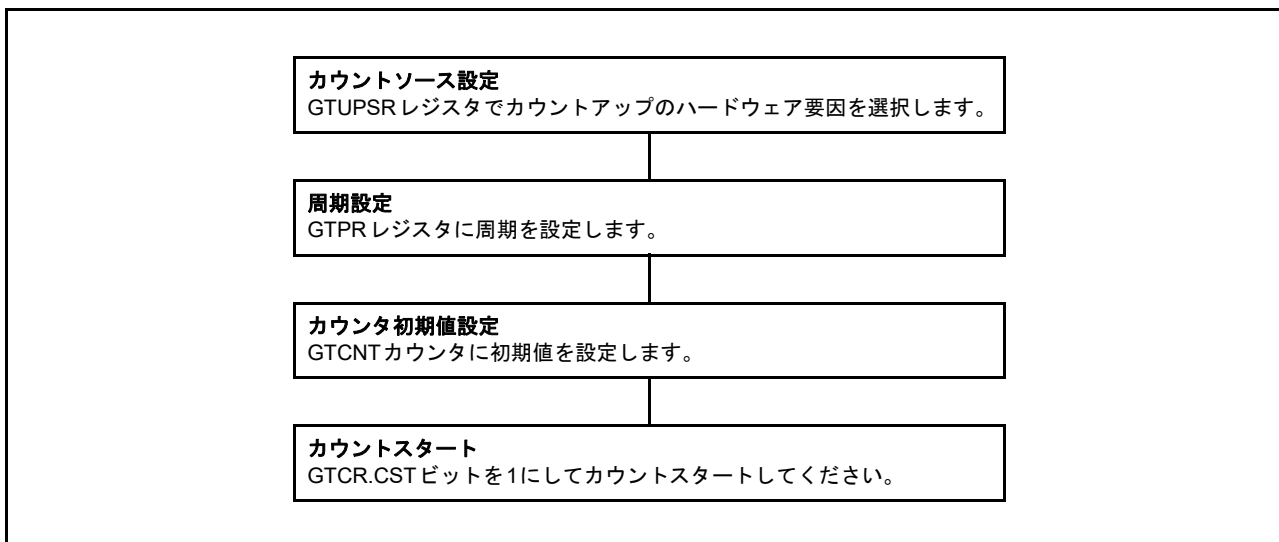


図 22.8 ハードウェア要因によるアップカウント時のイベントカウント動作設定例

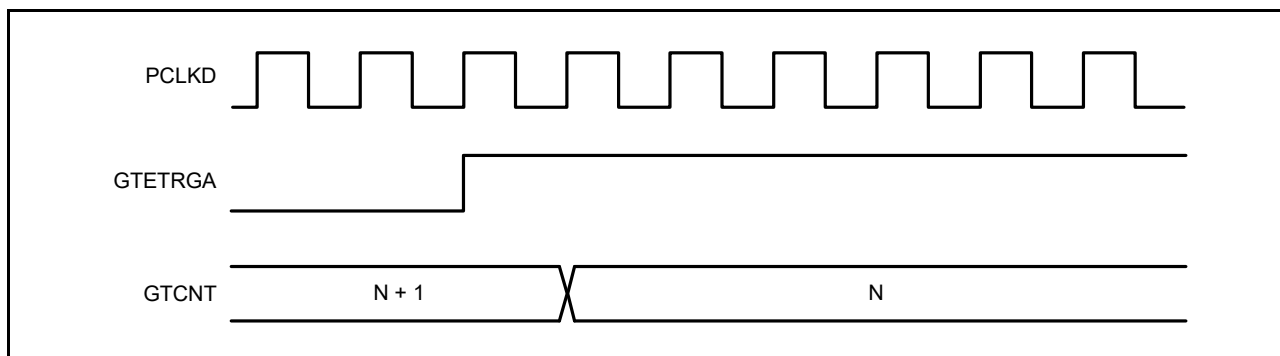
#### (5) ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因によるダウンカウントを実行できます。

GTDNSR レジスタを許可に設定すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックと、GTUDDTYC.UD ビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウントのアンダーフロー動作は、カウントクロックによるダウンカウントのアンダーフロー動作と同じです。

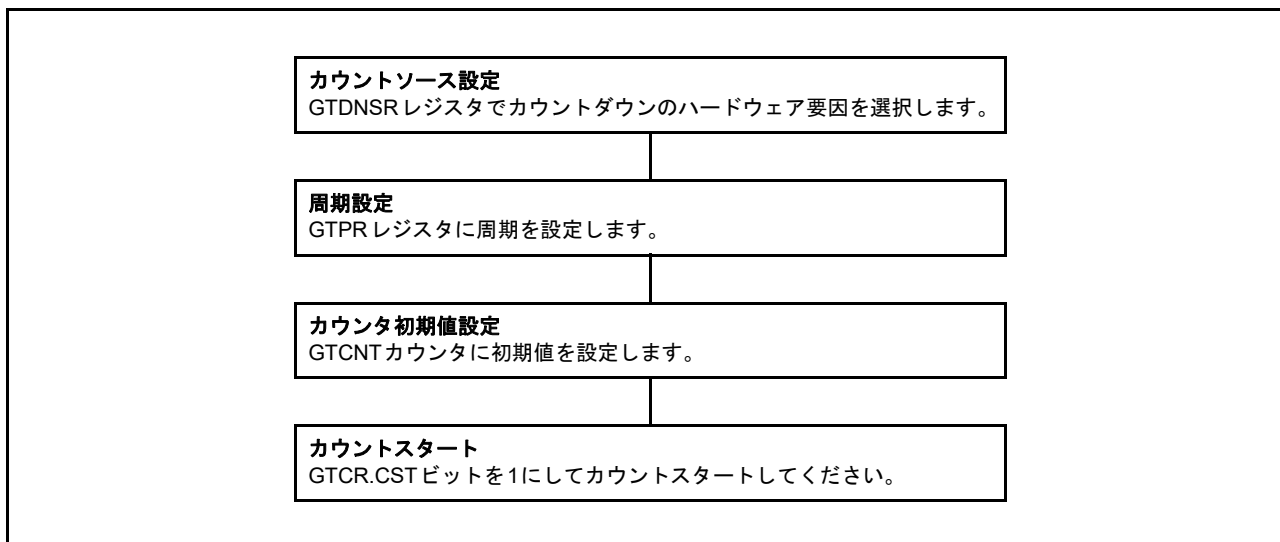
GTCR.CST ビットを 1 にしてハードウェア要因によるカウントダウンを行うと、カウント動作が有効になります。GTCR.CST ビットを 1 にすると、GTCR.TPCS[2:0] ビットで指定した 1 クロック周期の間カウンタはダウンカウントされません。これは、カウント動作は、GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期するためです。PCLKD 1 クロック遅れでカウントダウンを行う場合、GTCR.TPCS[2:0] ビットを 000b にしてください。

ハードウェア要因 (GTETRGA 端子の立ち上がりエッジ) によるダウンカウント時の周期カウント動作例を [図 22.9](#) に示します。



**図 22.9** イベントカウント動作例 (ハードウェア要因によるダウンカウント時)

ハードウェア要因によるダウンカウント時の周期カウント動作設定例を [図 22.10](#) に示します。



**図 22.10** ハードウェア要因によるダウンカウント時のイベントカウント動作設定例

## (6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアされます。

- GTCNT レジスタへの 0 の書き込み
- GTCR.CCLR ビットが 1 の場合、GTCLR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTCR レジスタで選択したハードウェア要因

カウント動作時は、GTCNT レジスタへの書き込みはしないでください。GTCNT カウンタは、カウント中でも (GTCR.CST ビット=1)、カウント中でなくても (GTCR.CST ビット=0)、GTCLR レジスタへの 1 の書き込みとハードウェア要因のクリア要求の両方の方法でクリアできます。

GTCR.MD[2:0] ビットおよびダウンカウント (GTST.TUCF ビット=0) を示すカウント方向フラグで指定したのこぎり波の場合、GTCLR レジスタに 1 を書き込み、またはハードウェア要因によりクリアすると、GTCNT レジスタは GTPR レジスタの値に設定されます。

のこぎり波モードでもダウンカウントでもない場合、GTCLR レジスタへの 1 の書き込みと、ハードウェア要因によるクリアの実行時に、GTCNT レジスタは 0 になります。

GTUPSR または GTDNSR レジスタの少なくとも 1 ビットが 1 の場合のイベントカウント動作では、クリア要因発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアがただちに実行され、PCLKD と同期が取られます。その他の設定を使用すると、GTCR.TPCS[2:0] ビットで選択したカウンタロックと同期してクリアが実行されます。



### 22.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA または GTCCRB レジスタ値と一致することを意味します。コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は、対応する GTIOCA または GTIOCB 出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。また、GTPR レジスタで決定される周期の終わりでも、GTIOCA または GTIOCB 端子出力を Low 出力 / High 出力 / トグル出力とすることが可能です。

周期の終わりとは、以下の場合です。

- アップカウント時ののこぎり波の場合：GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- ダウンカウント時ののこぎり波の場合：GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波の場合：GTCNT カウンタがクリアされたとき
- 三角波の場合：GTCNT カウンタが 0 から 1 に変化したとき（谷）

#### (1) Low 出力 / High 出力

GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力 / High 出力の動作例を図 22.11 に示します。

この例では、GPT32EH0.GTCNT カウンタがアップカウント動作を行い、GPT32EH0.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子から High が出力され、GPT32EH0.GTCCRB レジスタのコンペアマッチによって GTIOC0B 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合、端子レベルは変化しません。

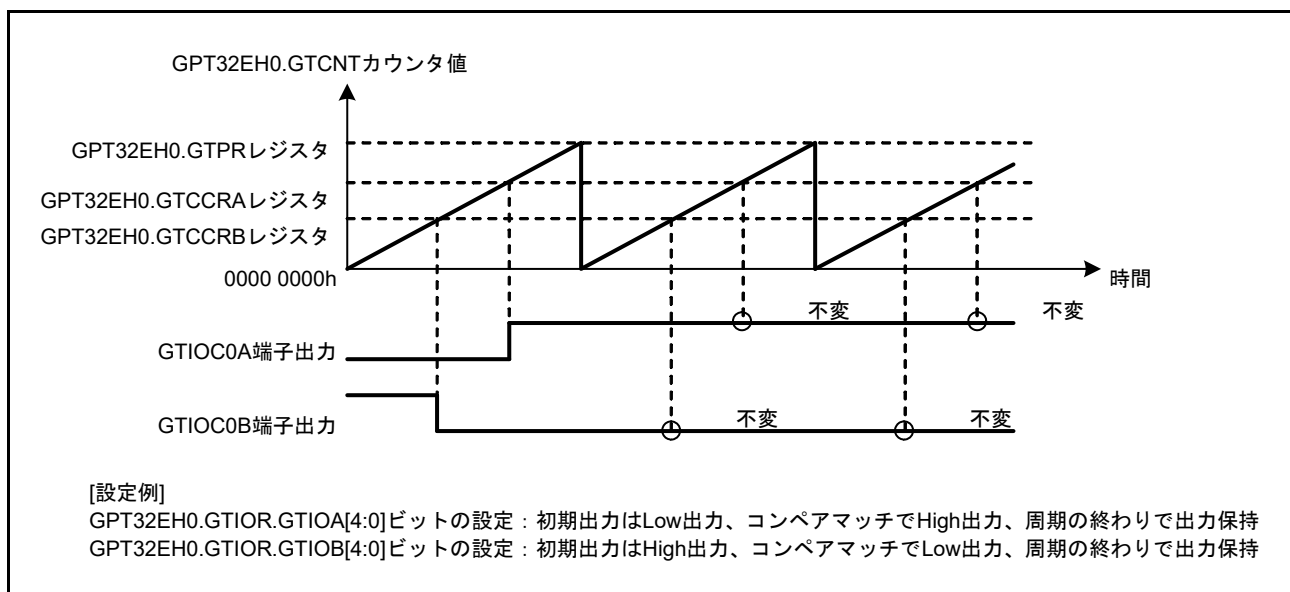


図 22.11 Low 出力 / High 出力動作例

Low 出力 / High 出力動作設定例を図 22.12 に示します。

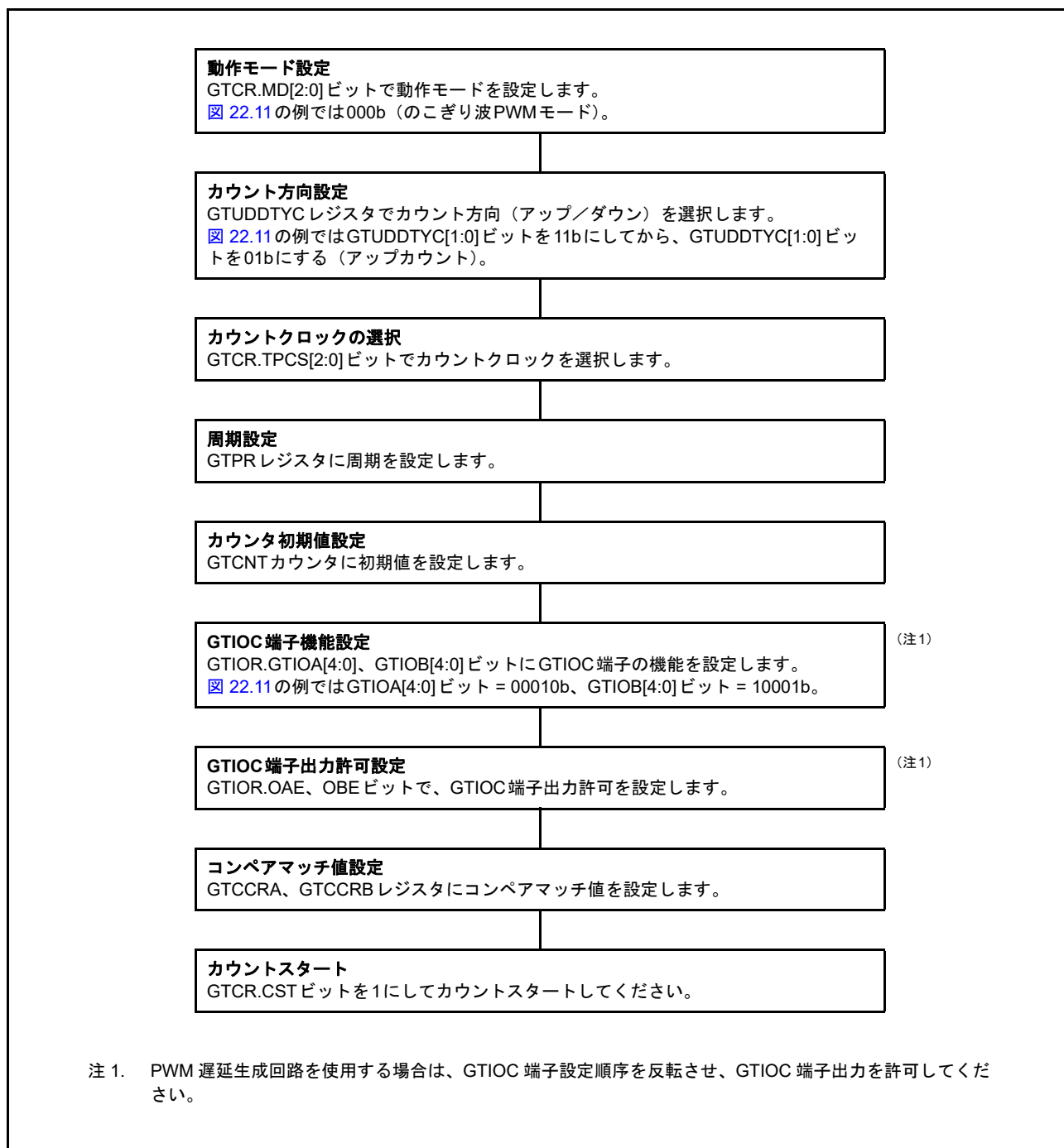


図 22.12 Low 出力 / High 出力動作設定例

## (2) トグル出力

GTCRA および GTCCRB レジスタのコンペアマッチによるトグル出力の動作例を、[図 22.13](#) および [図 22.14](#) に示します。[図 22.13](#) は、GPT32EH0.GTCNT カウンタがアップカウント動作を行い、GPT32EH0.GTCRA、GPT32EH0.GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOC0A 端子と GTIOC0B 端子がトグル出力となるように設定した場合の例です。

[図 22.14](#) は、GPT32EH0.GTCNT カウンタがアップカウント動作を行い、GPT32EH0.GTCRA レジスタのコンペアマッチによって GTIOC0A 端子をトグル出力、周期の終わりで GTIOC0B 端子をトグル出力となるように設定した場合の例です。

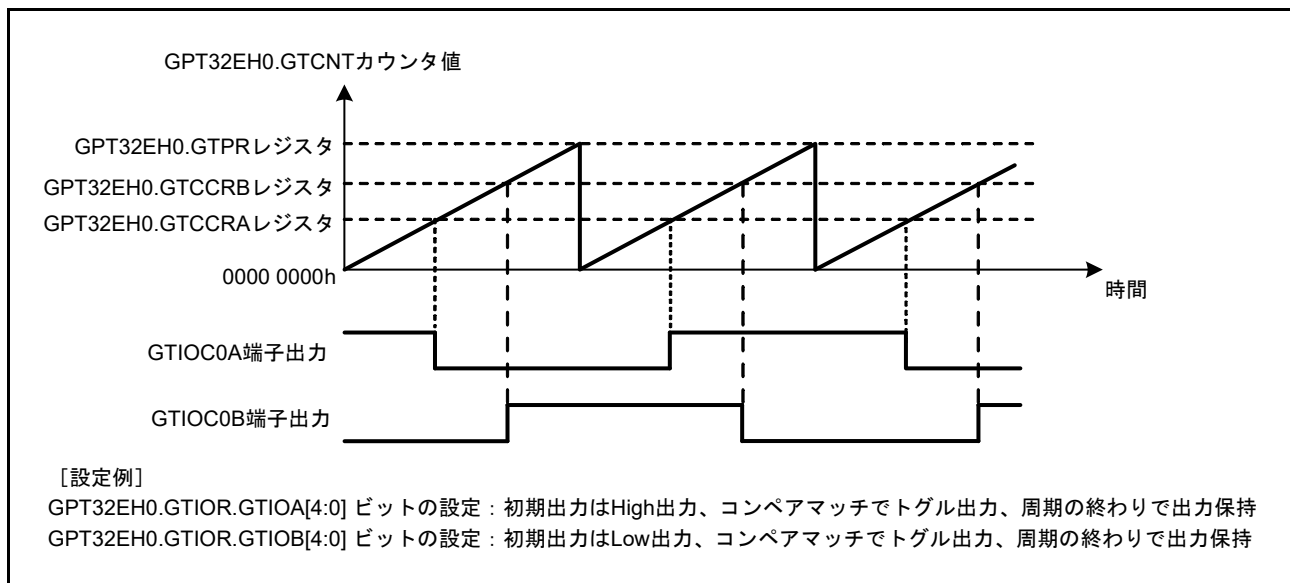


図 22.13 トグル出力動作例 (1)

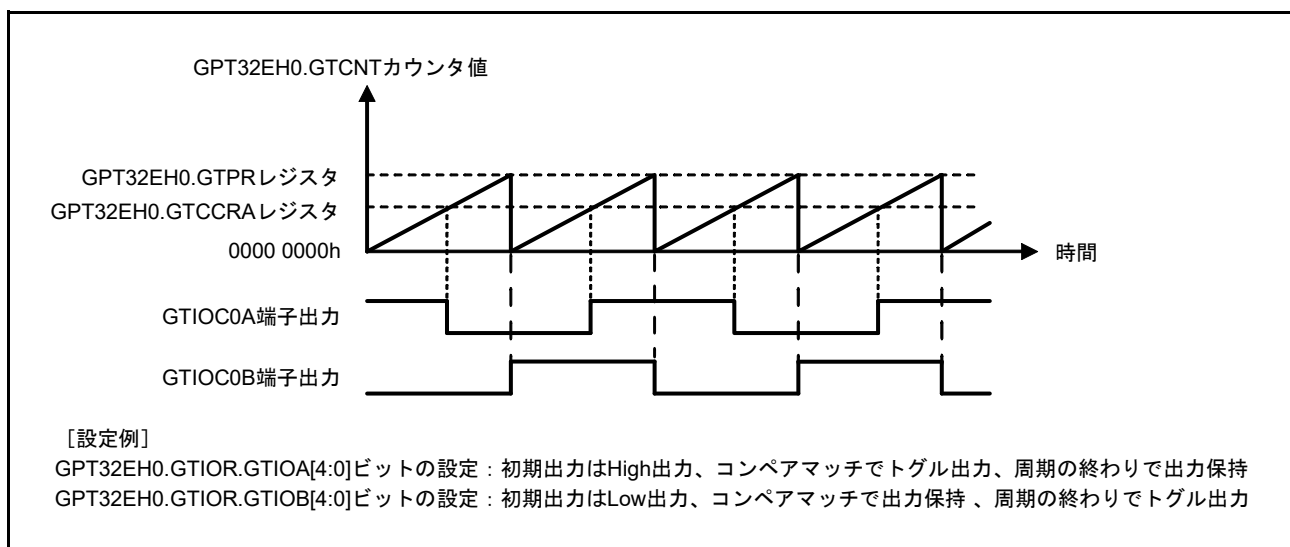


図 22.14 トグル出力動作例 (2)

トル出力動作設定例を図 22.15 に示します。

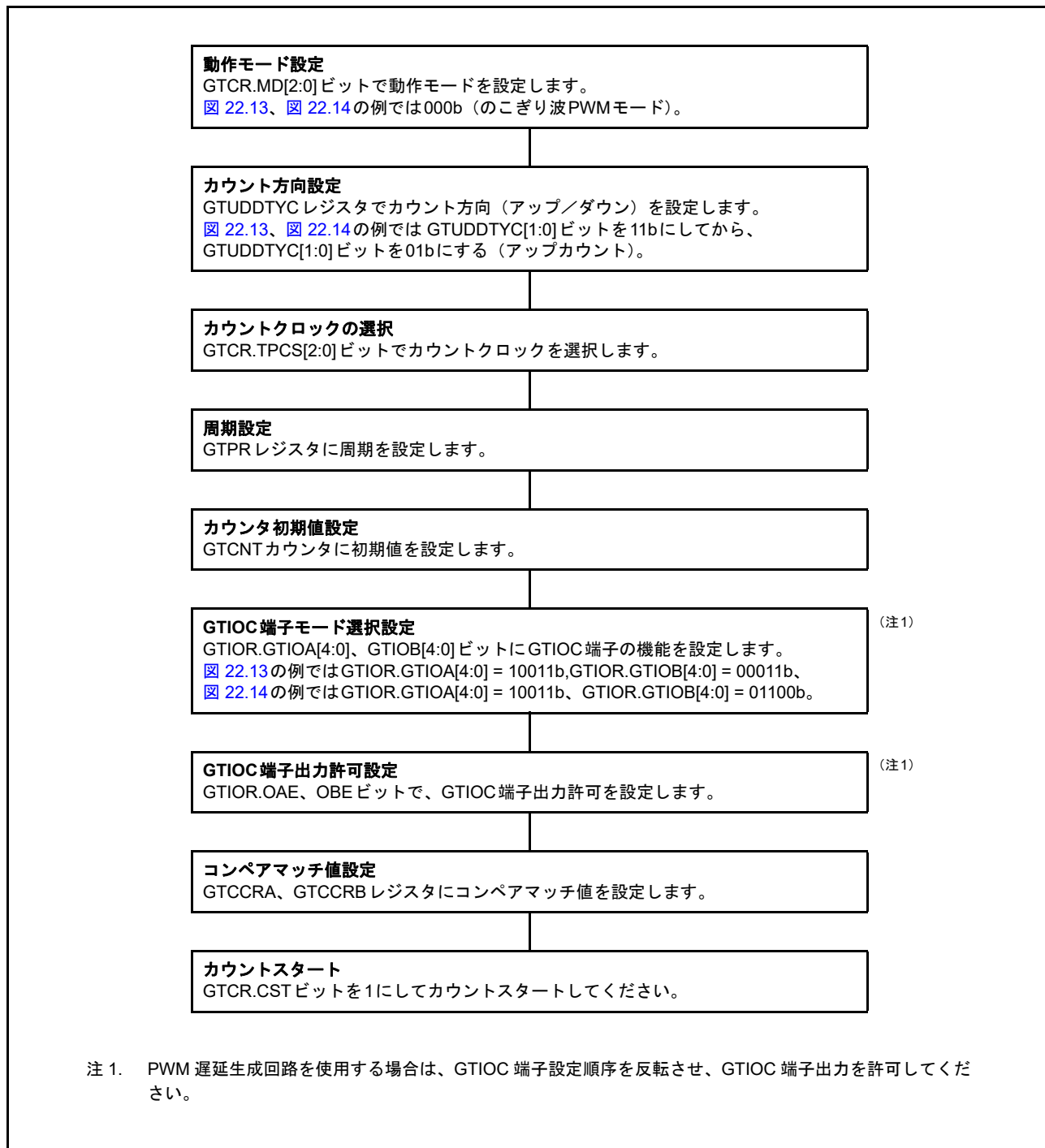


図 22.15 トル出力動作設定例

### 22.3.1.3 インพุットキャプチャ機能

GTICASR および GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。

インพุットキャプチャ機能の動作例を図 22.16 に示します。

この例では、カウントクロックで GPT32EH0.GTCNT カウンタがアップカウント動作を行い、GTIOC0A 入力端子の両エッジで GTCCRA レジスタにインพุットキャプチャを実行し、GTIOC0B 入力端子の立ち上がりエッジで GTCCRB レジスタにインพุットキャプチャを実行するように設定しています。

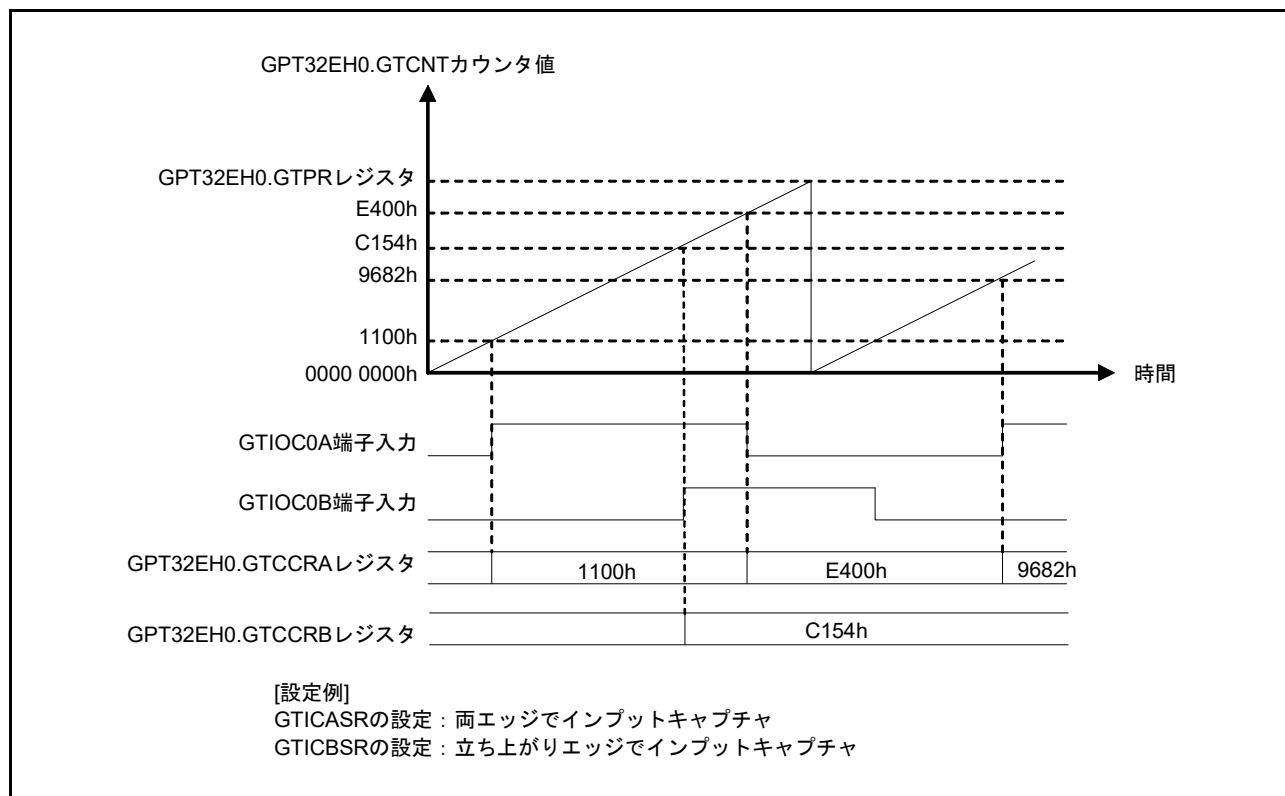


図 22.16 インพุットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作設定例を図 22.17 に示します。

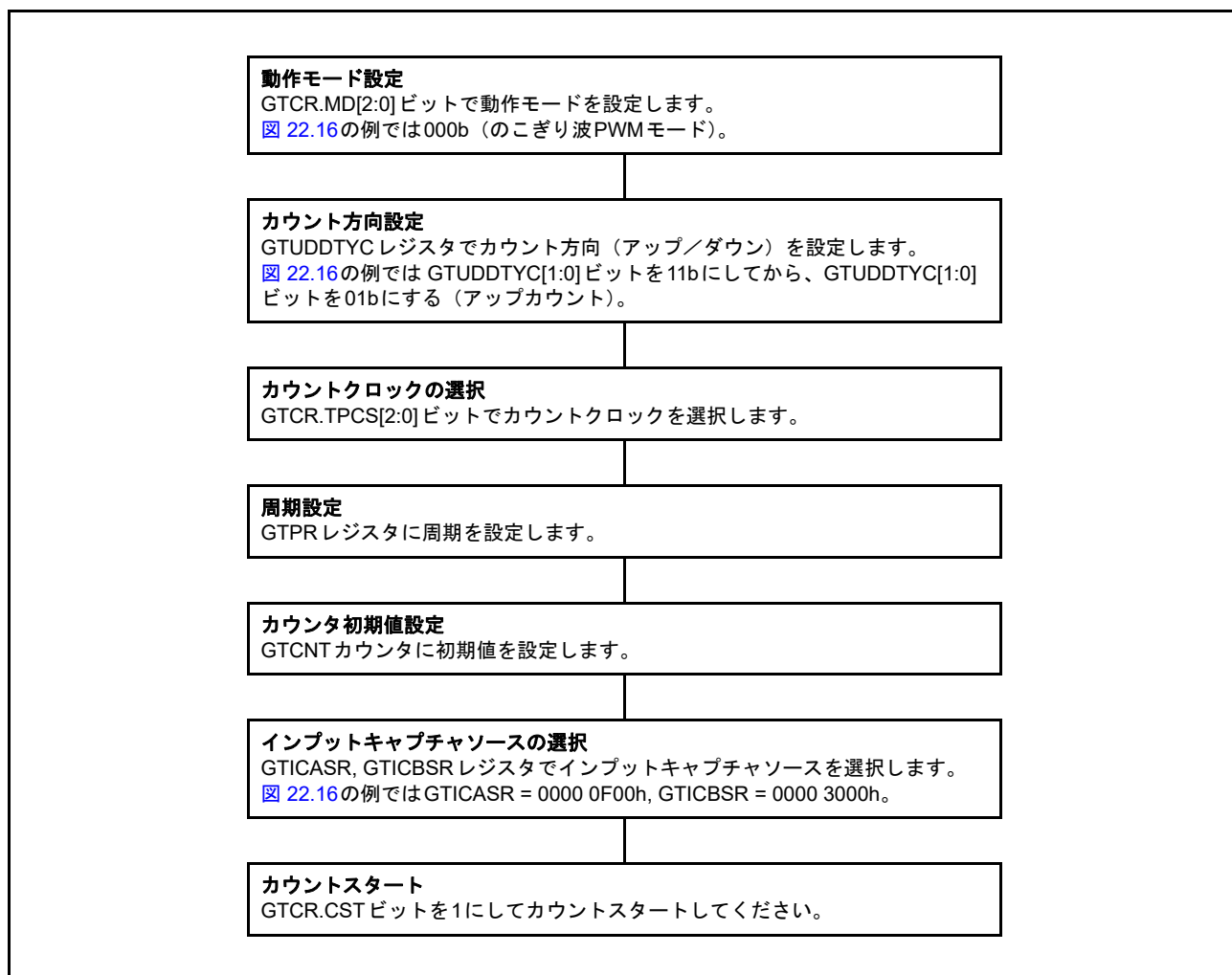


図 22.17 インプットキャプチャ動作設定例

### 22.3.2 バッファ動作

GTBERレジスタによって、以下のバッファ動作の設定が可能です。

- GTPR、GTPBR、およびGTPDBR
- GTCCRA、GTCCRC、およびGTCCRD
- GTCCRB、GTCCRE、およびGTCCRF
- GTADTRA、GTADTBRA、およびGTADTDDBRA
- GTADTRB、GTADTBRB、およびGTADTDDBRB

GTDTCRレジスタを設定することにより、以下のバッファ動作が可能です。

- GTDVUおよびGTDBU
- GTDVDおよびGTDBD

#### 22.3.2.1 GTPRレジスタのバッファ動作

GTPBRレジスタはGTPRレジスタのバッファレジスタ、GTPDBRレジスタはGTPBRレジスタ用のバッファレジスタ（GTPRレジスタ用のダブルバッファレジスタ）として動作します。バッファ転送は、のこぎり波モードまたはイベントカウン트의オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）、および三角波モードの谷で実行されます。

のこぎり波モードまたはイベントカウンでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因はGTCSR[23:0]ビットで選択）
- ソフトウェアによるクリア（GTCSR.CCLRビットが1、GTCLR[n]ビットが1、n=チャンネル番号）

GTPRレジスタのダブルバッファ動作を設定するには、GTBER.PR[1:0]ビットを10bまたは11bにしてください。GTPRレジスタのバッファ動作を設定しない場合は、GTBER.PR[1:0]ビットを00bにしてください。

GTPRレジスタのバッファ動作例を図22.18～図22.20に、GTPRレジスタのバッファ動作設定例を図22.21に示します。

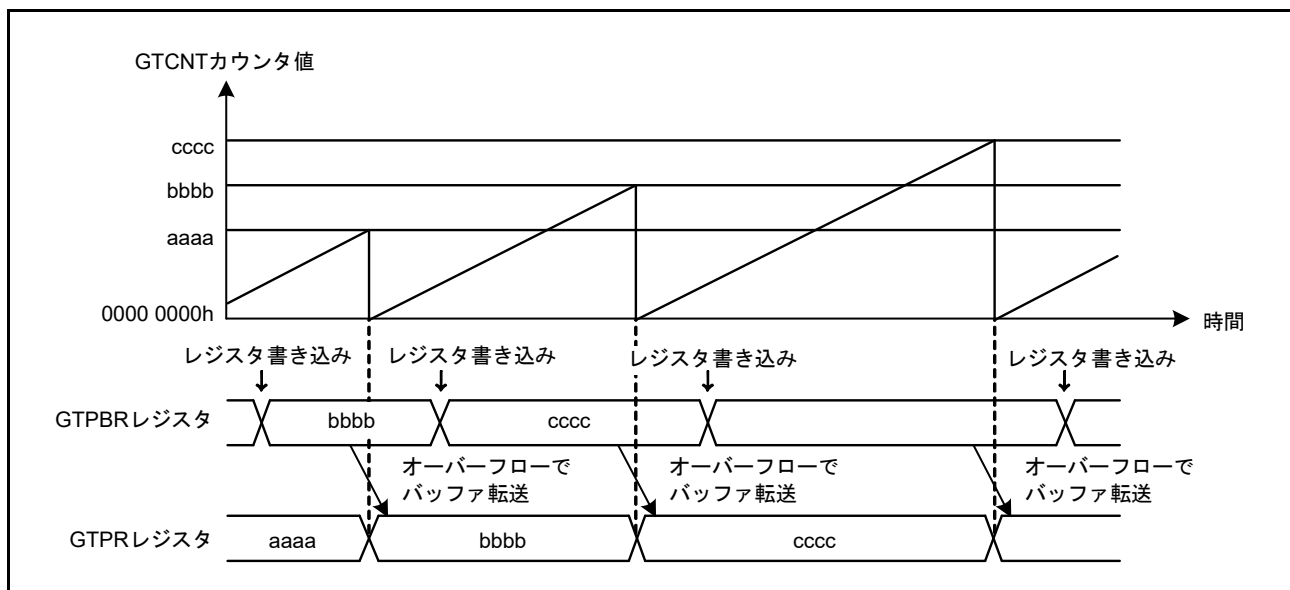


図 22.18 GTPRレジスタのバッファ動作例（のこぎり波でアップカウントの場合）

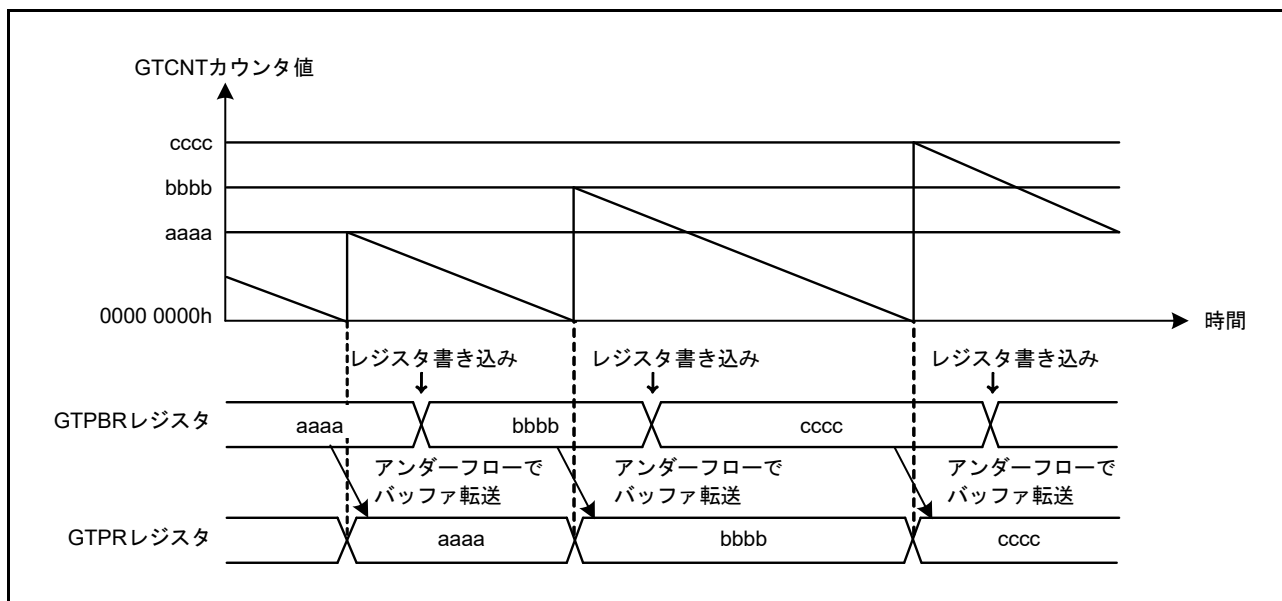


図 22.19 GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合)

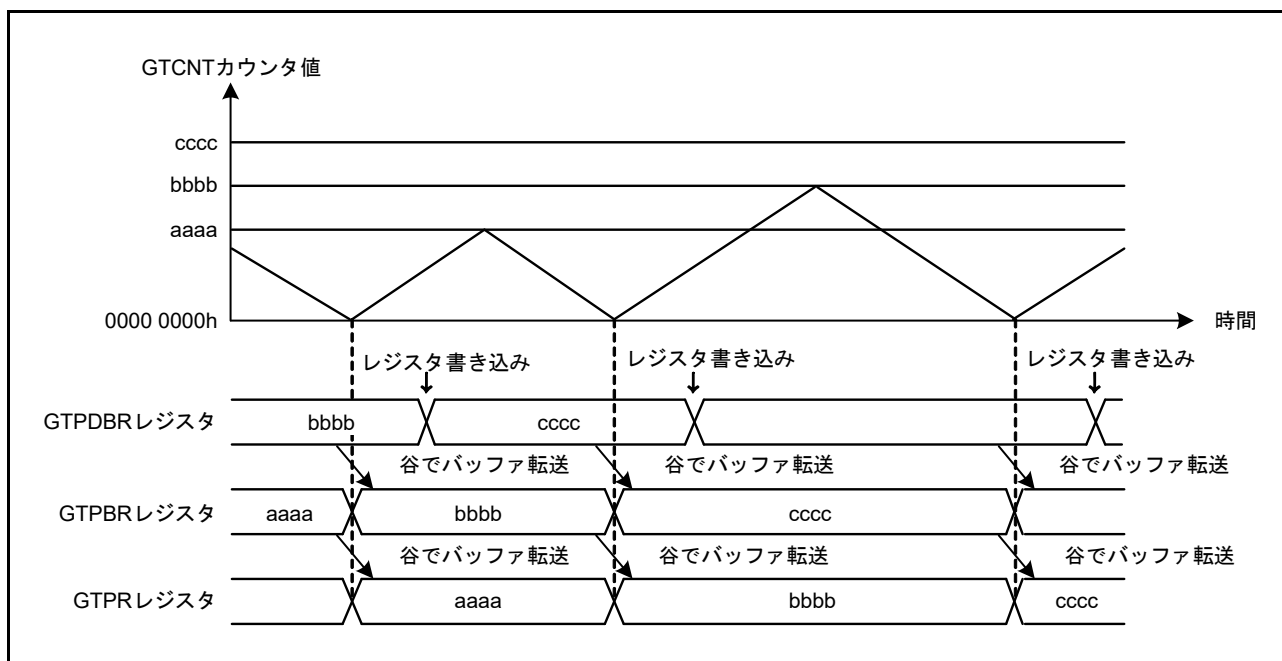


図 22.20 GTPR レジスタのダブルバッファ動作例 (三角波の場合)



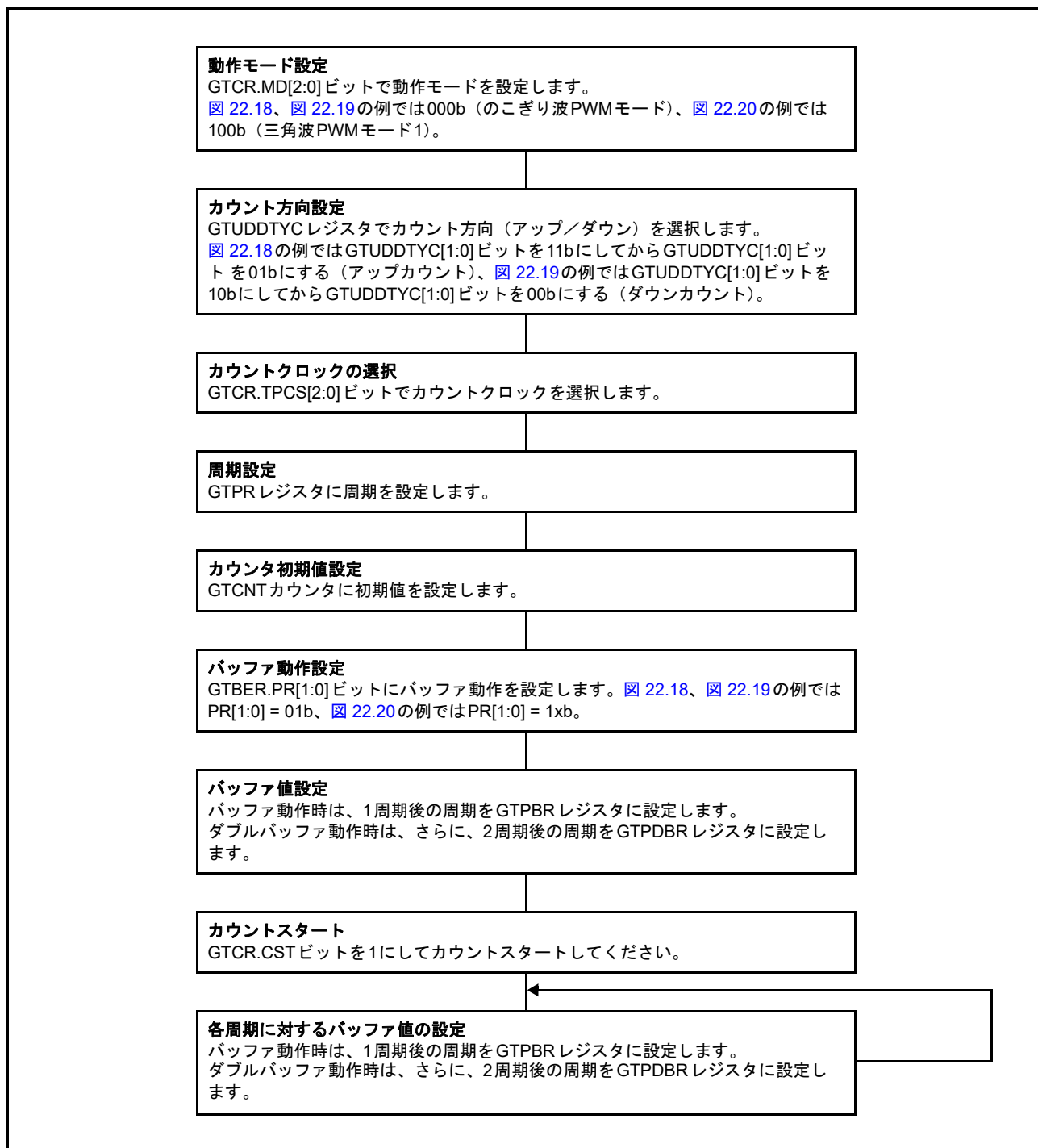


図 22.21 GTPR レジスタのバッファ動作設定例

### 22.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRD レジスタは GTCCRC レジスタのバッファレジスタ (GTCCRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTCCRE レジスタは GTCCRB レジスタのバッファレジスタ、GTCCRF レジスタは GTCCRE レジスタのバッファレジスタ (GTCCRB レジスタのダブルバッファレジスタ) として動作します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 10b または 11b にします。シングルバッファとして動作設定するには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 01b にします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 00b にします。

#### (1) GTCCRA または GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

バッファ転送は以下の状況で発生します。

- オーバーフロー／アンダーフローによるバッファ転送  
のこぎり波モードまたはイベントカウント動作では、オーバーフロー時 (アップカウント中) またはアンダーフロー時 (ダウンカウント中) に、バッファ転送が実行されます。三角波モードでは、谷 (三角波 PWM モード 1) または山と谷 (三角波 PWM モード 2) で、バッファ転送が実行されます。
- カウンタクリアによるバッファ転送  
のこぎり波モードまたはイベントカウント動作では、カウント中に 23.3.2.1 GTPR レジスタのバッファ動作に示すものと同じカウンタクリア要因によって、バッファ転送が (アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時と同様に) 実行されます。三角波モードでは、カウンタクリアによるバッファ転送は実行されません。
- バッファ強制転送  
カウントストップ中に GTBER.CCRSWT ビットを 1 にすると、のこぎり波モード、イベントカウント動作、および三角波モードでは、GTCCRA および GTCCRB レジスタのバッファ転送が強制的に実行されます。さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタから一時レジスタ A へのバッファ転送、および GTCCRF レジスタから一時レジスタ B へのバッファ転送が実行されます。

GTCCRA および GTCCRB レジスタのバッファ動作例を [図 22.22](#) ~ [図 22.24](#) に、GTCCRA および GTCCRB レジスタのバッファ動作設定例を [図 22.25](#) に示します。

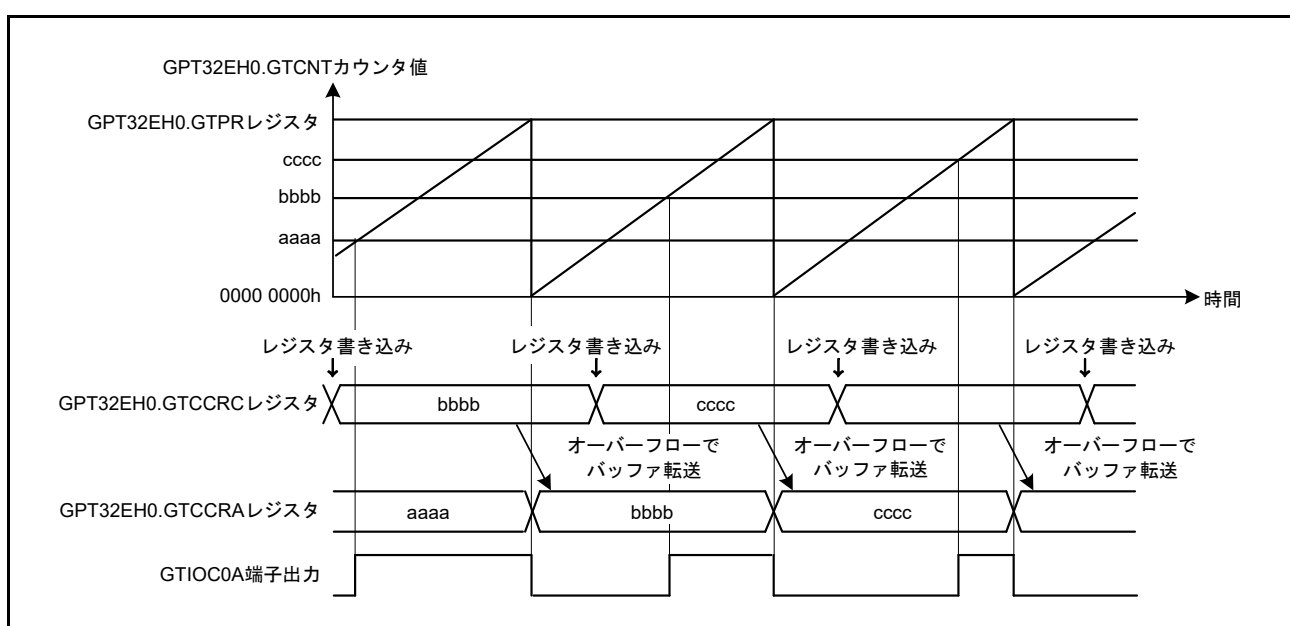


図 22.22 GTCCRA、GTCCRB レジスタのバッファ動作例 (アウトプットコンペア、アップカウント時ののこぎり波、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合)

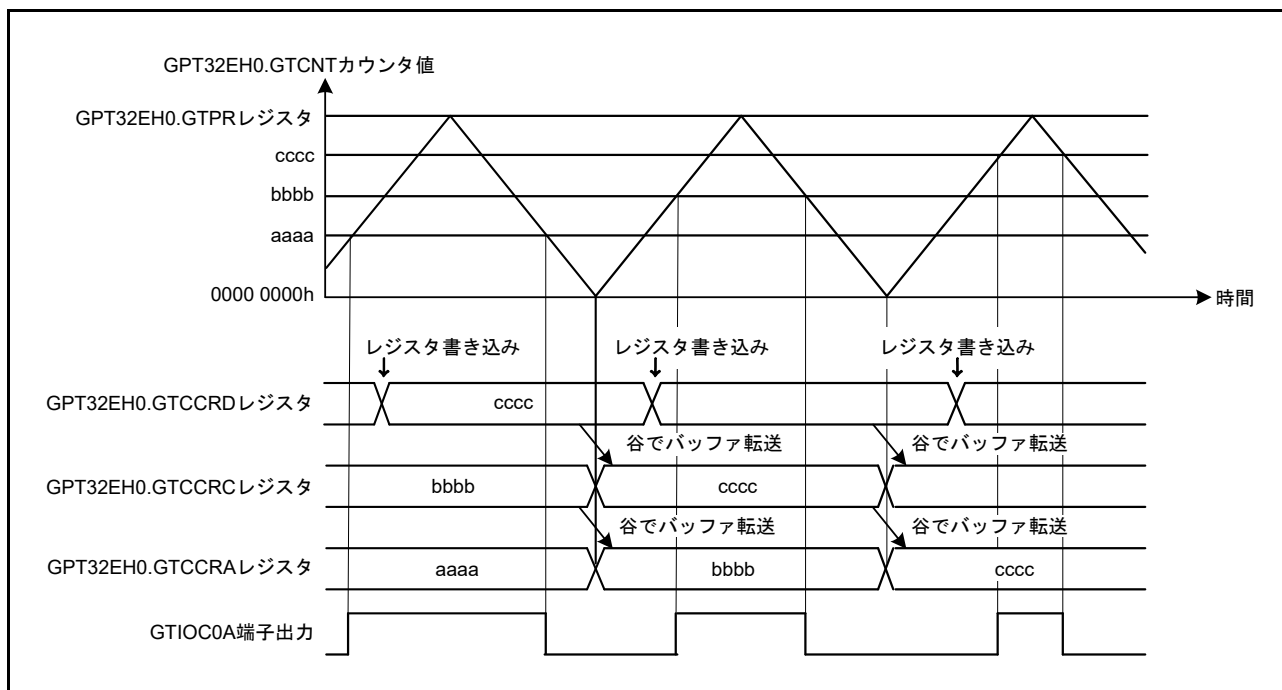


図 22.23 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

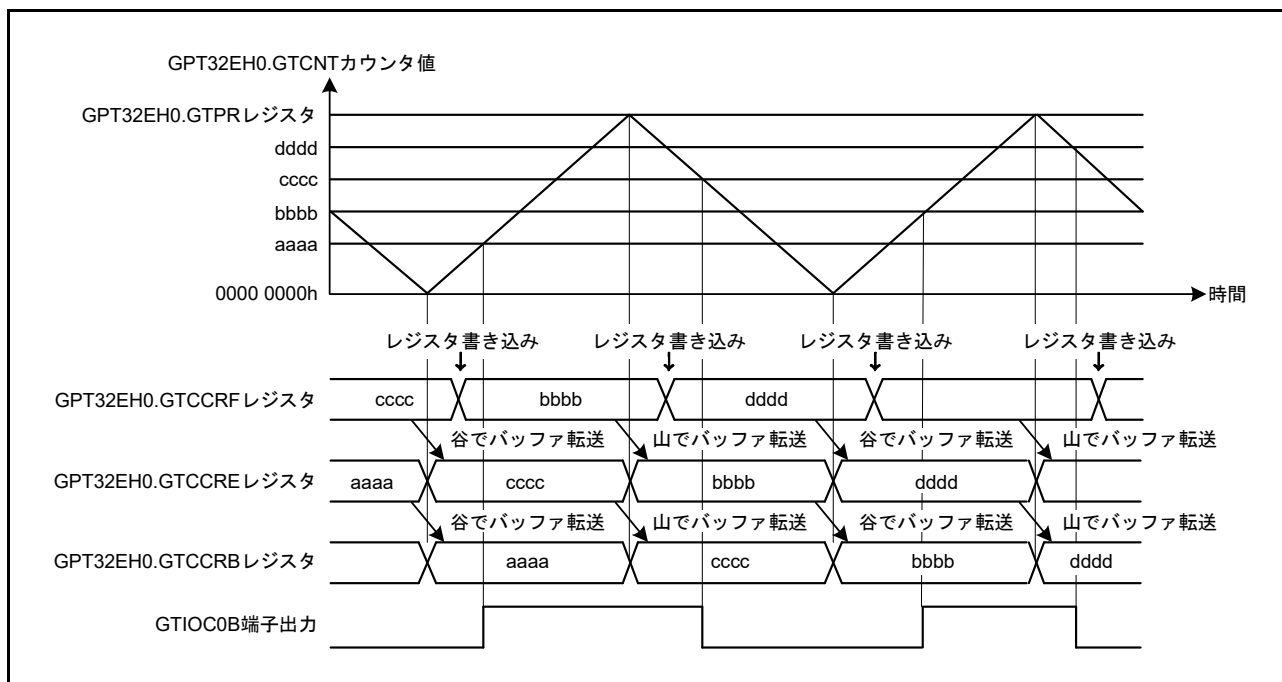


図 22.24 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

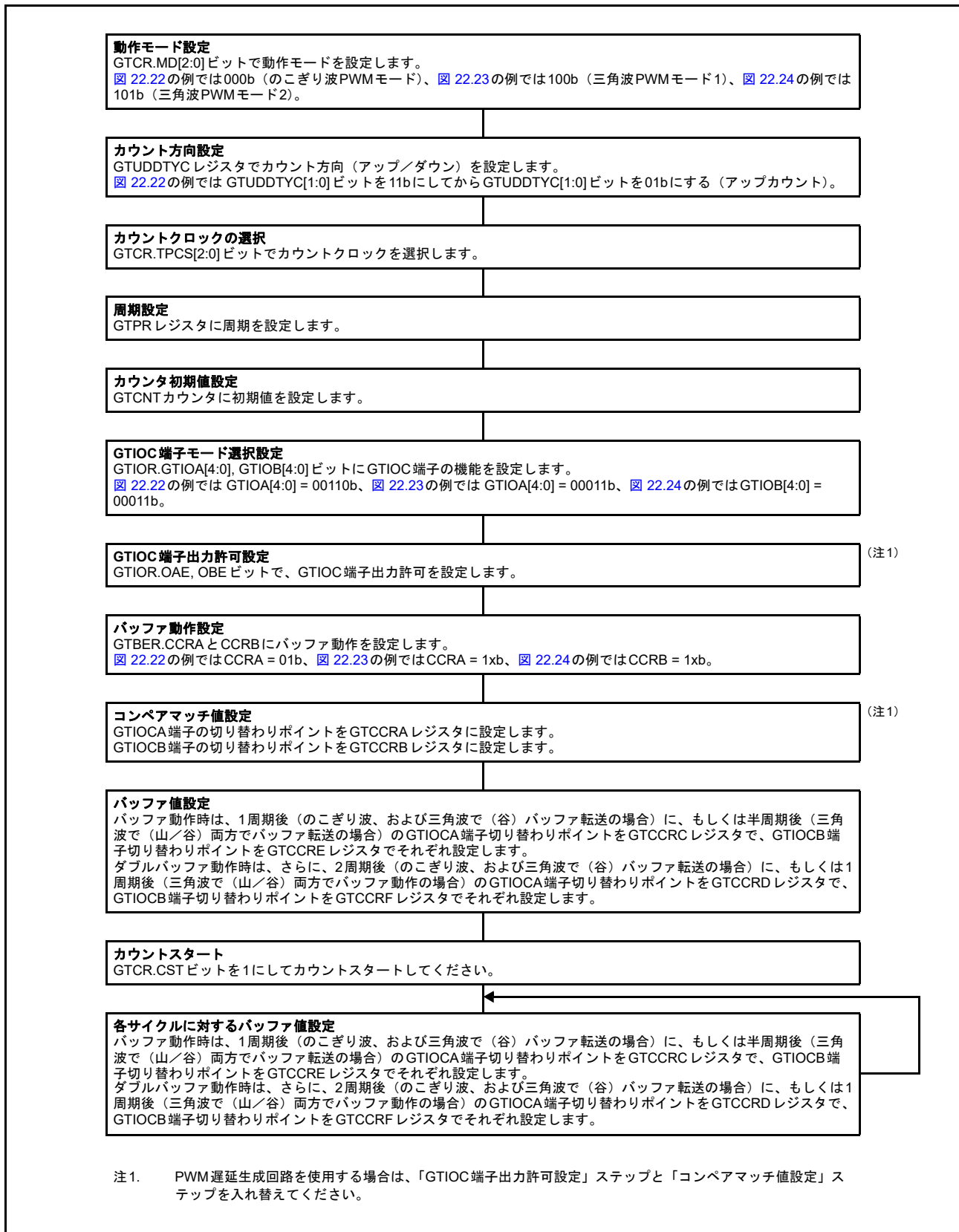


図 22.25 GTCCRA、GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時)

(2) GTCCRA または GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

GTCCRA および GTCCRB レジスタのバッファ動作例を図 22.26 および図 22.27 に、GTCCRA および GTCCRB レジスタのバッファ動作設定例を図 22.28 に示します。

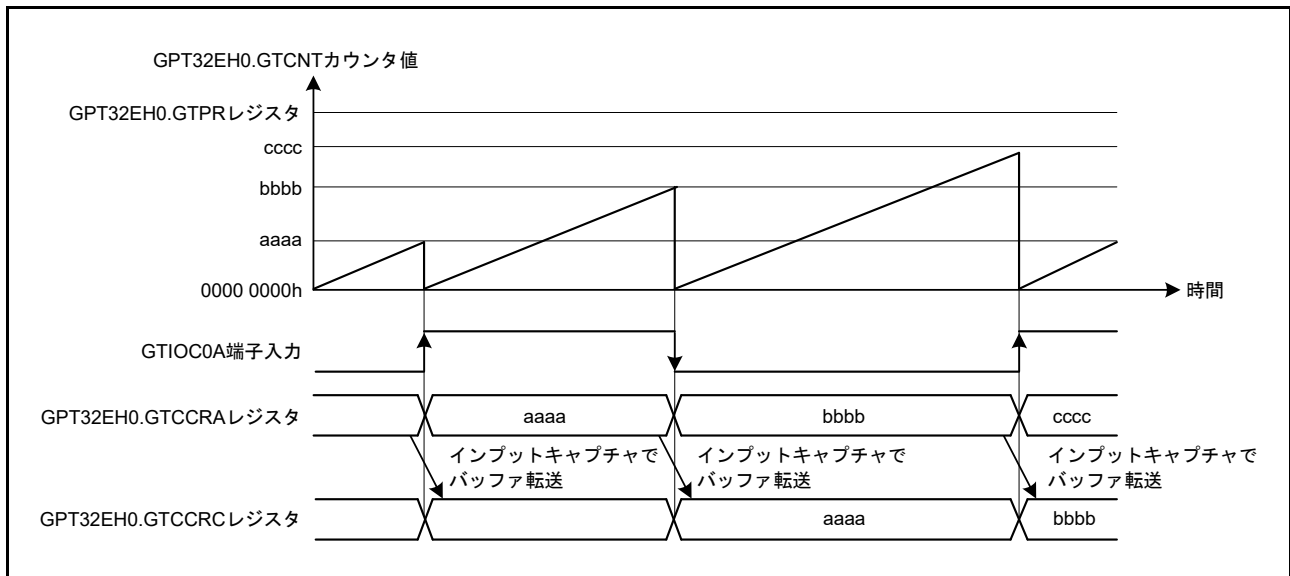


図 22.26 GTCCRA、GTCCRB レジスタのバッファ動作例 (GTIOC0A 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0A 端子入力の両エッジで GTCNT カウンタクリアの場合)

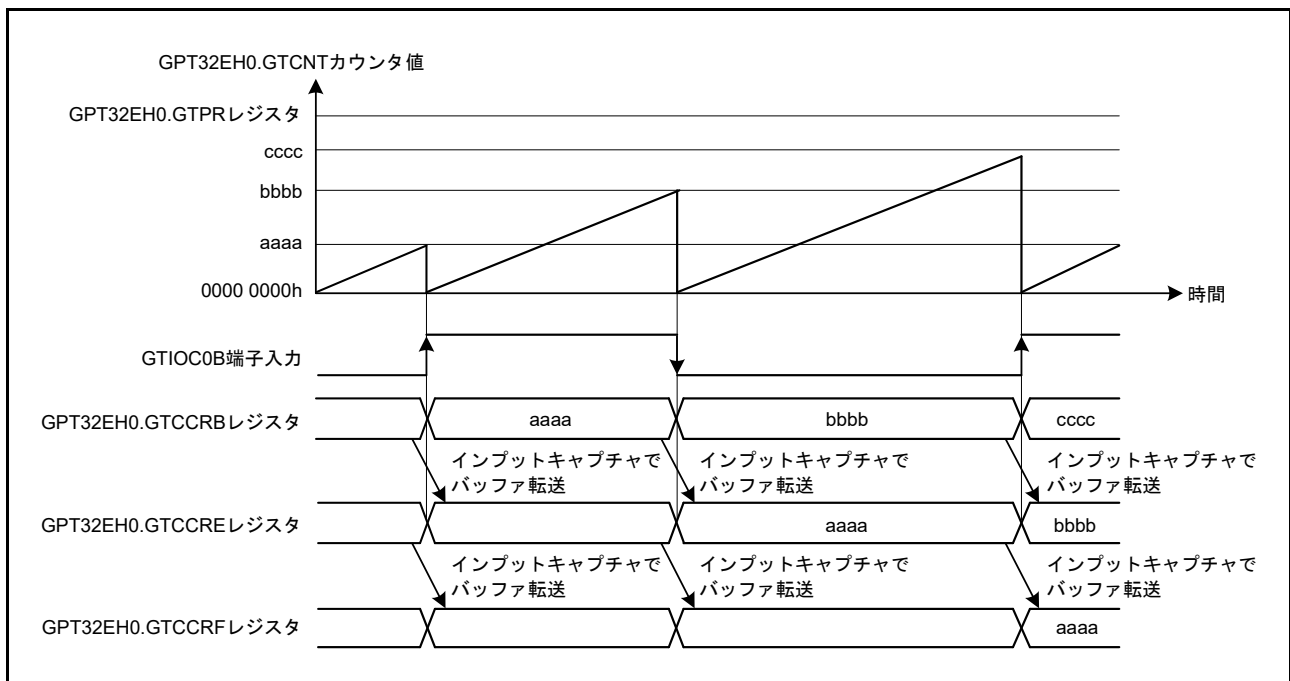


図 22.27 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (GTIOC0B 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0B 端子入力の両エッジで GTCNT カウンタクリアの場合)

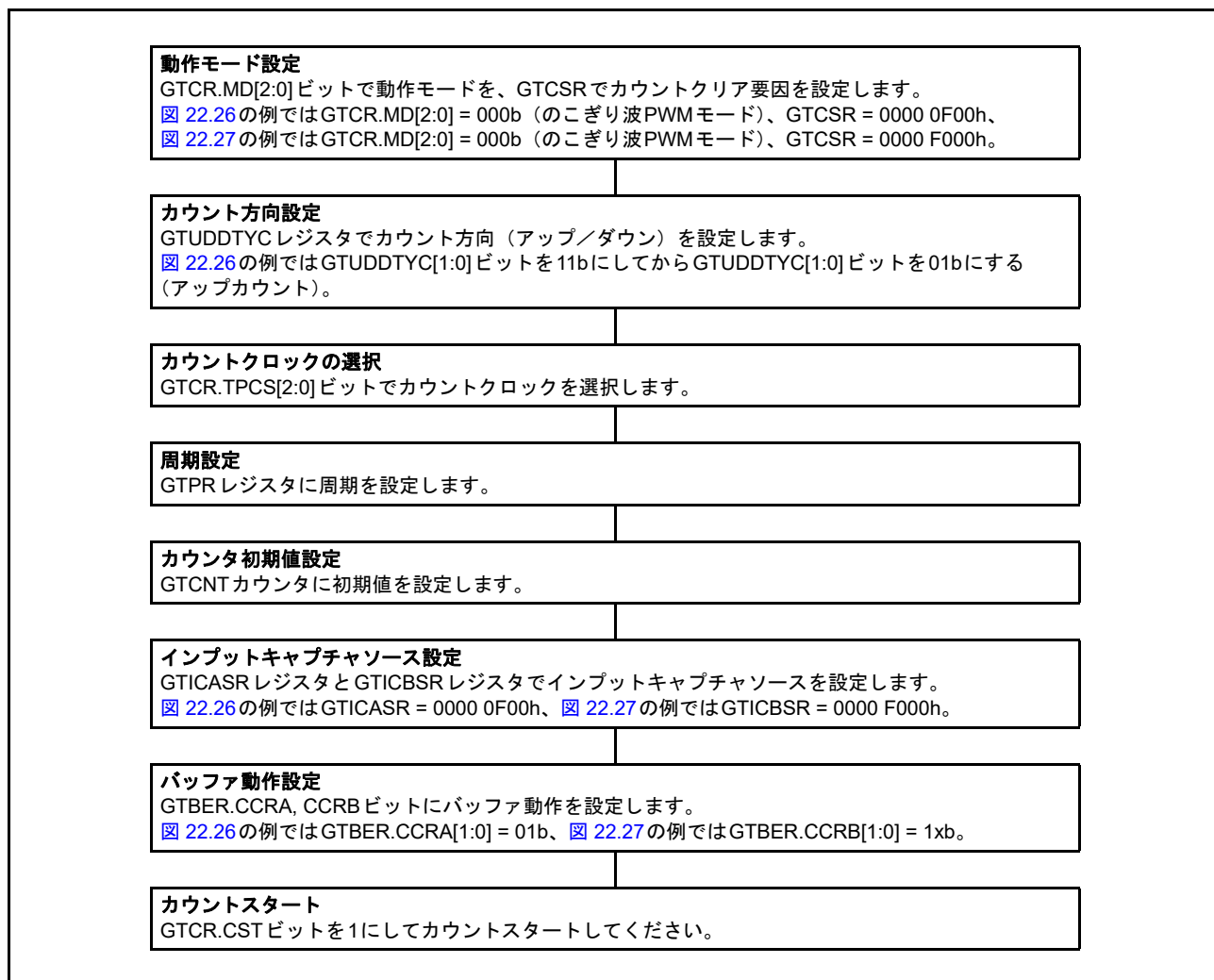


図 22.28 GTCCRA、GTCCRB レジスタのバッファ動作設定例 (インプットキャプチャ時)

### 22.3.2.3 GTADTRA、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ (GTADTRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ (GTADTRB レジスタのダブルバッファレジスタ) として動作します。

GTADTRA または GTADTRB レジスタのダブルバッファ動作させる場合には、GTBER.ADTDA または GTBER.ADTDB ビットを 1 にします。シングルバッファとして動作設定するには、GTBER.ADTDA または GTBER.ADTDB ビットを 0 にします。GTADTRA または GTADTRB レジスタのバッファ動作させない場合は、GTBER.ADTTA[1:0] または GTBER.ADTTB[1:0] ビットを 00b にします。

バッファ転送のタイミングは、GTBER.ADTTA[1:0] ビットで設定できます。のこぎり波の場合、オーバーフロー (アップカウント中) またはアンダーフロー (ダウンカウント中) を選択できます。三角波の場合、GTBER.ADTTA[1:0] ビット = 01b のときは山、GTBER.ADTTA[1:0] ビット = 10b のときは谷、GTBER.ADTTA[1:0] ビット = 11b のときは山と谷の両方を選択できます。

GTADTRA および GTADTRB レジスタのバッファ動作例を [図 22.29](#) ~ [図 22.31](#) に、GTADTRA および GTADTRB レジスタのバッファ動作設定例を [図 22.32](#) に示します。

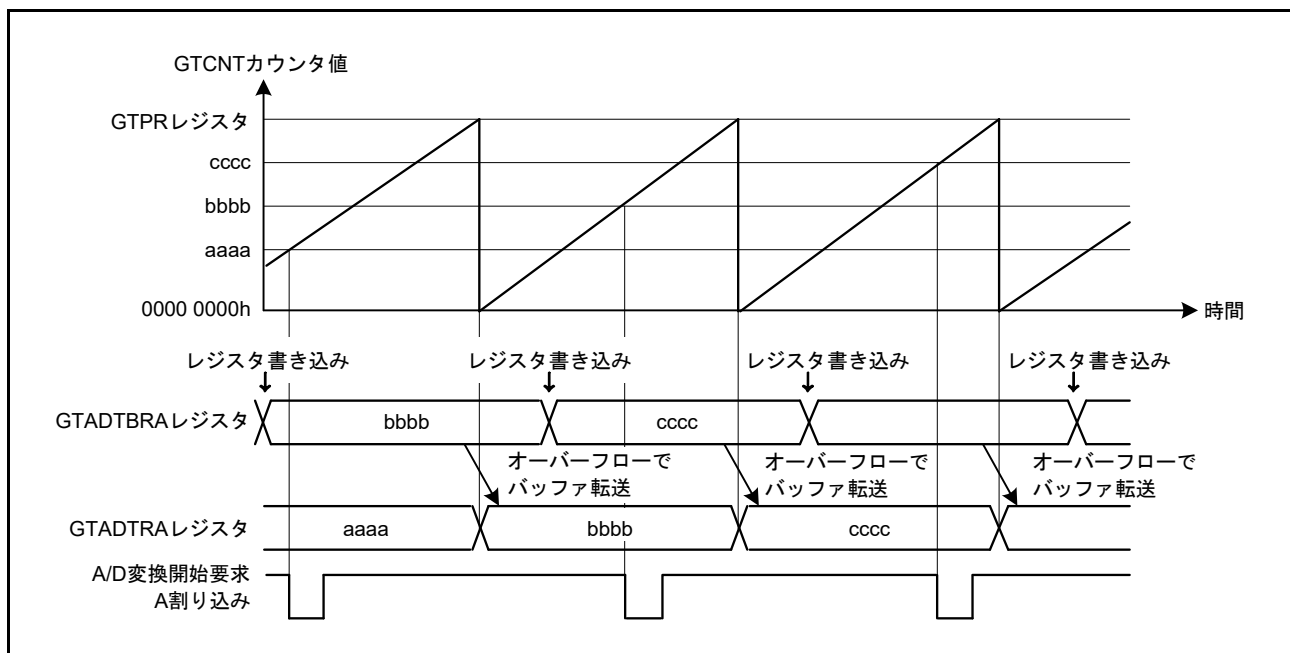


図 22.29 GTADTRA、GTADTRB レジスタのバッファ動作例 (のこぎり波でアップカウント、アップカウントで A/D 変換開始要求割り込み発生の場合)

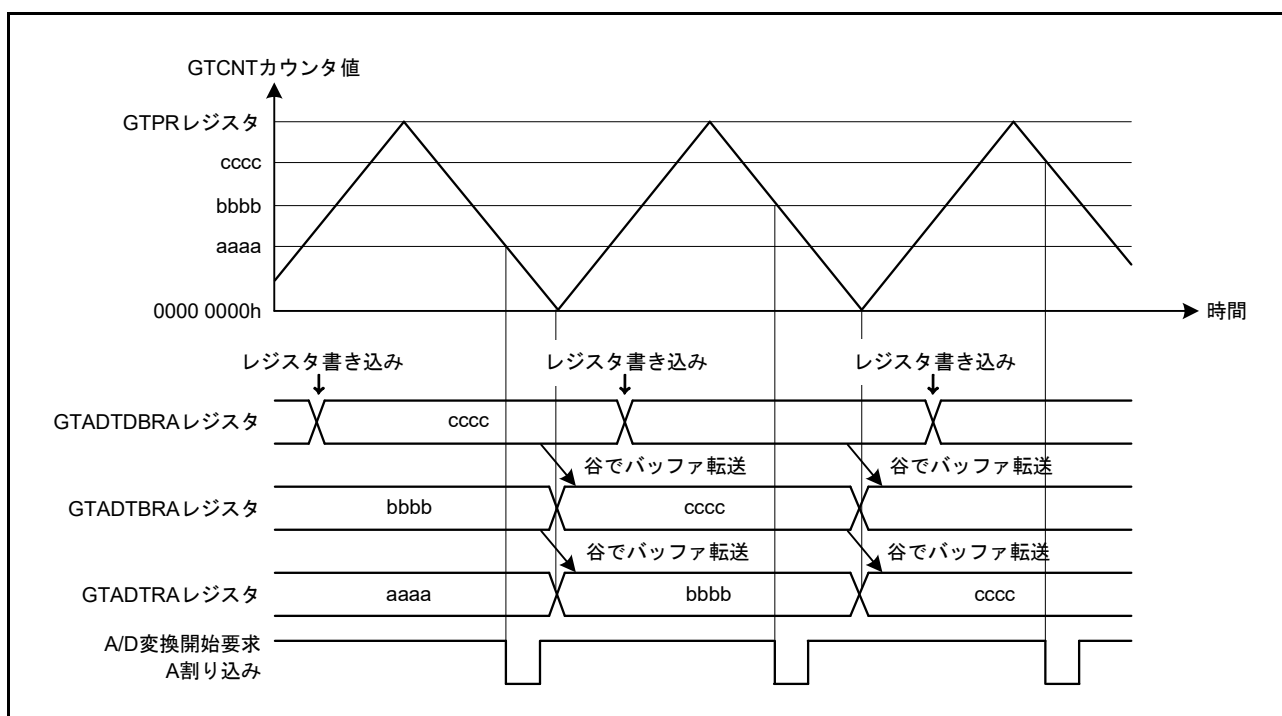


図 22.30 GTADTRA、GTADTRB レジスタのダブルバッファ動作例 (三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求割り込み発生の場合)

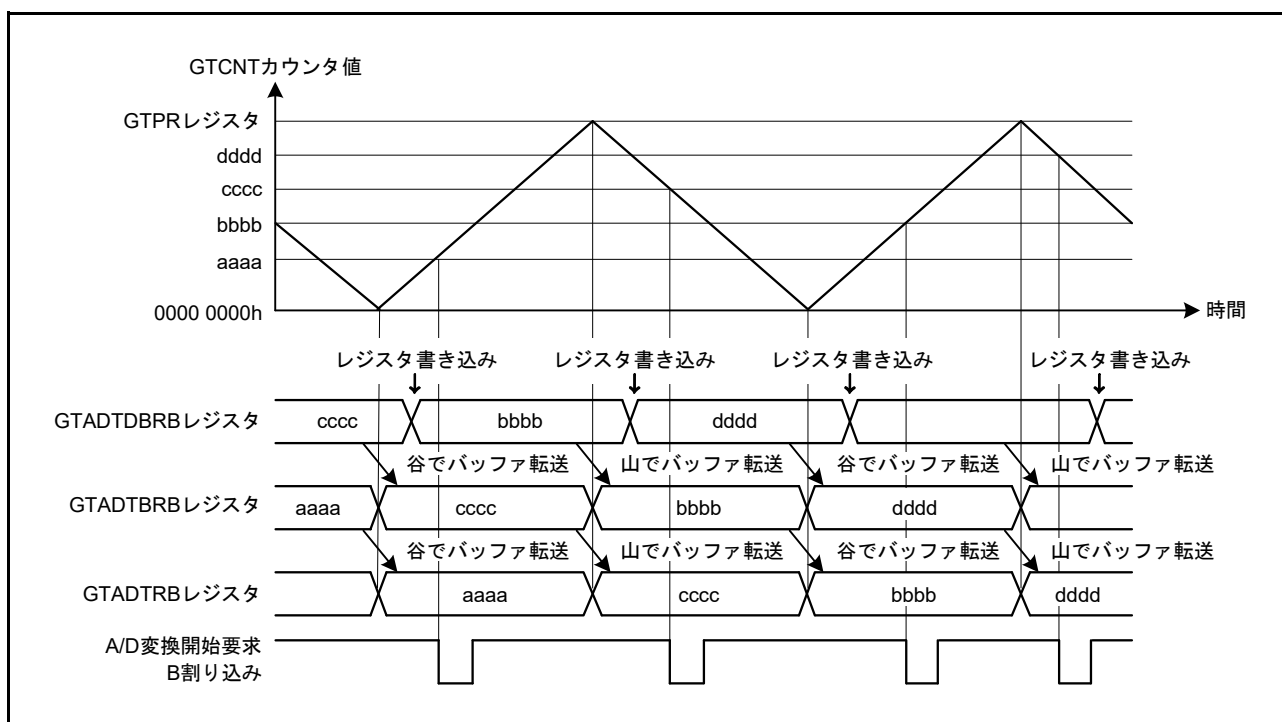


図 22.31 GTADTRA、GTADTRB レジスタのダブルバッファ動作例 (三角波、谷と山の両方でバッファ転送、アップカウントとダウンカウント両方で A/D 変換開始要求割り込み発生の場合)





図 22.32 GTADTRA、GTADTRB レジスタのバッファ動作設定例

### 22.3.3 PWM 出力動作モード

GPTは、GTCNTカウンタとGTCCRAまたはGTCCRBレジスタとのコンペアマッチに基づいて、GTIOCA端子またはGTIOCB端子へPWM波形を出力することが可能です。また、GTDTCR、GTDVU、およびGTDVDレジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRBレジスタに自動設定することが可能です。

#### 22.3.3.1 のこぎり波PWMモード

のこぎり波PWMモードでは、GTPRレジスタに周期を設定することにより、GTCNTカウンタにのこぎり波（半波）動作を実行させます。また、GTCCRAまたはGTCCRBレジスタのコンペアマッチ発生時に、GTIOCAまたはGTIOCB端子にPWM波形を出力させます。端子の出力値は、GTIORレジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別にLow出力/High出力/トグル出力から選択することが可能です。

図 22.33 にのこぎり波PWMモードの動作例を、図 22.34 にのこぎり波PWMモードの設定例を示します。

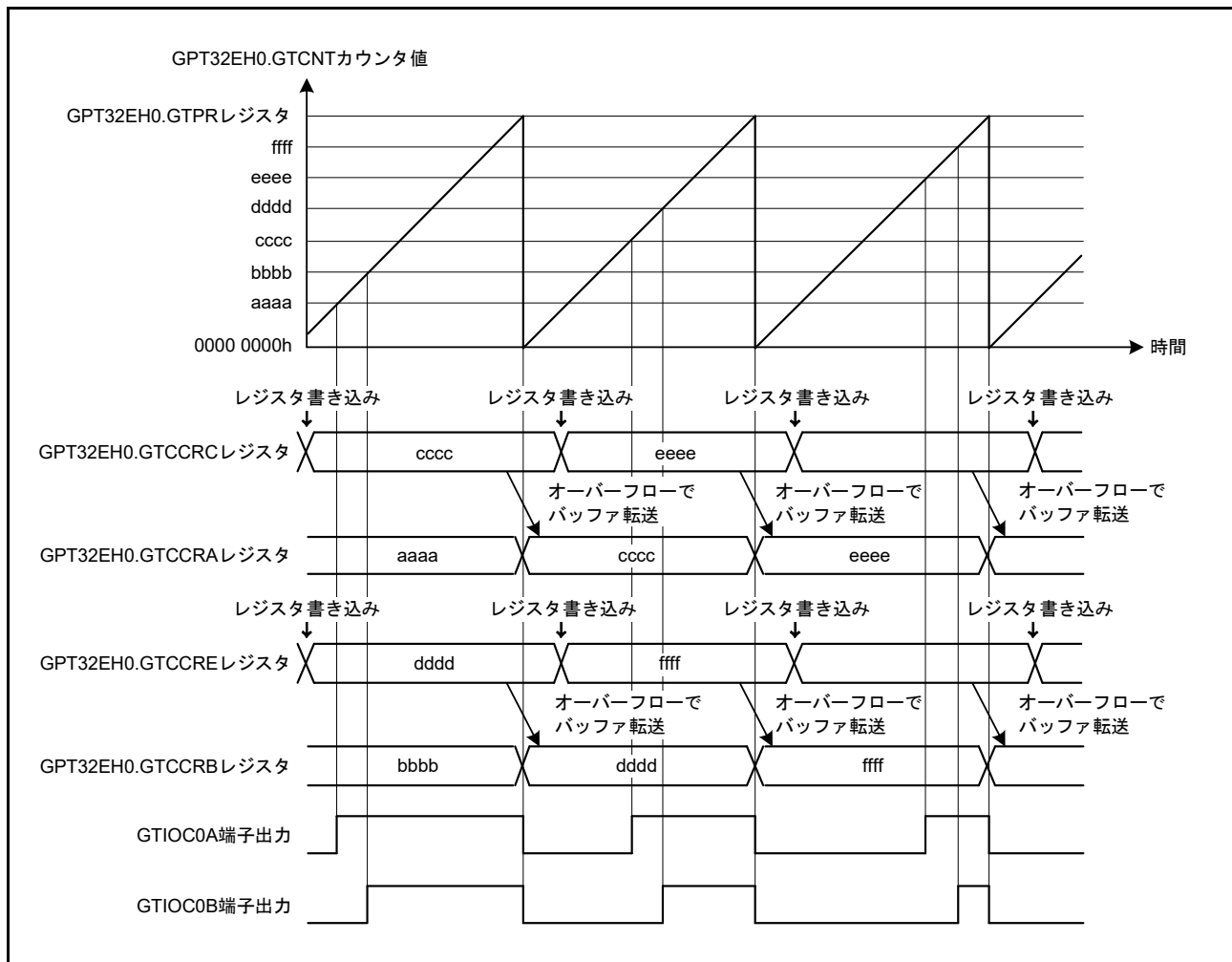


図 22.33 のこぎり波PWMモード動作例（アップカウント、バッファ動作、GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力、周期の終わりでLow出力の場合）

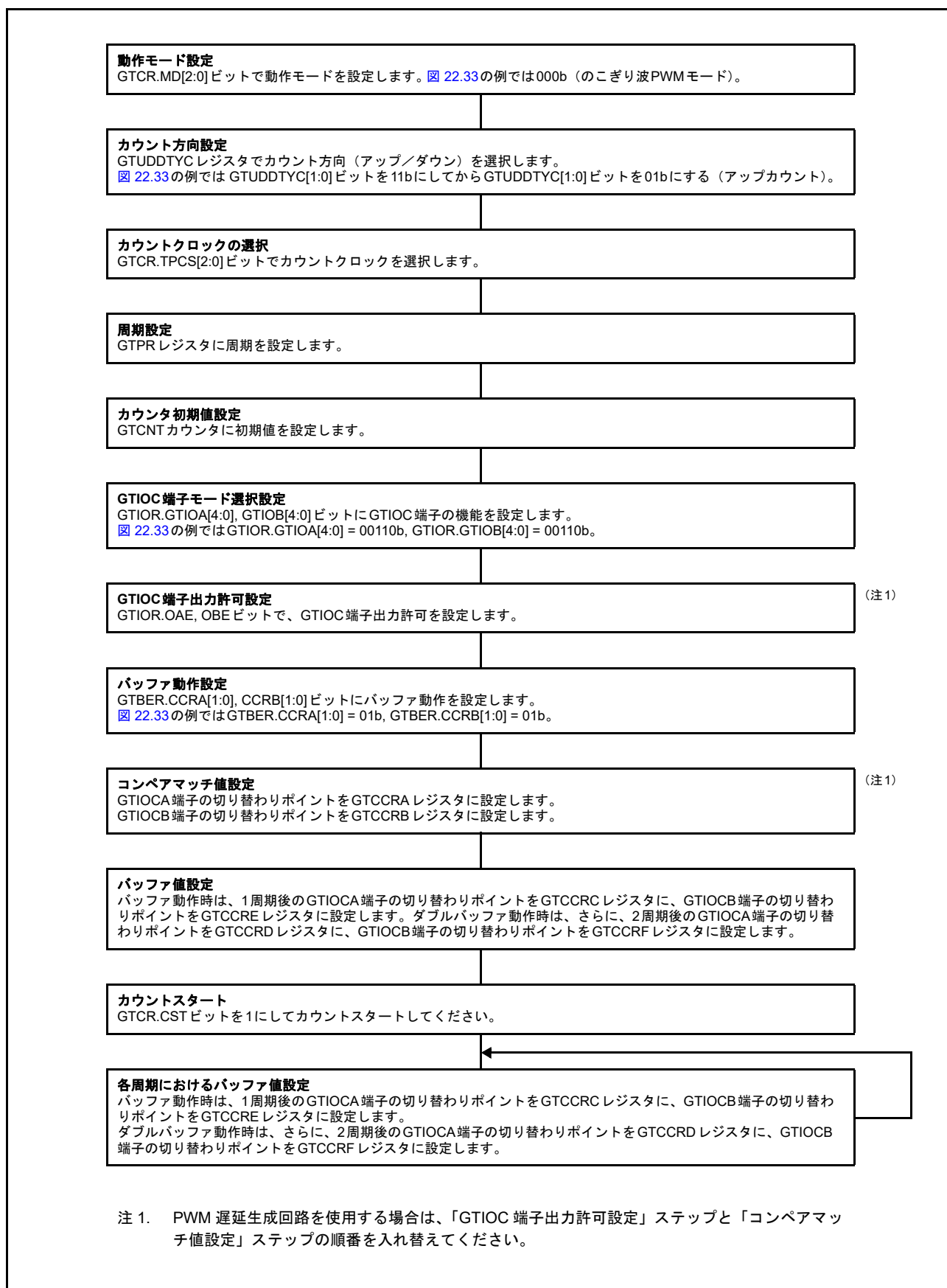


図 22.34 のこぎり波 PWM モード設定例

### 22.3.3.2 のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPRレジスタに周期を設定するモードです。GTCNTカウンタにのこぎり波（半波）動作を実行させ、バッファ動作固定で、GTCCRAまたはGTCCRBレジスタのコンペアマッチ発生時にGTIOCAまたはGTIOCB端子にPWM波形を出力します。

のこぎり波ワンショットパルスモードでのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- 周期の終わりにGTCCRCレジスタからGTCCRAレジスタへ
- 周期の終わりにGTCCREレジスタからGTCCRBレジスタへ
- 周期の終わりにGTCCRDレジスタから一時レジスタAへ
- 周期の終わりにGTCCRFレジスタから一時レジスタBへ
- GTCCRAレジスタのコンペアマッチ時に、一時レジスタAからGTCCRAレジスタへ
- GTCCRBレジスタのコンペアマッチ時に、一時レジスタBからGTCCRBレジスタへ

端子の出力値は、GTIORレジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別にLow出力／High出力／トグル出力から選択することが可能です。カウントストップ中にGTBER.CCRSWTビットを1にすると、GTCCRDレジスタから一時レジスタAへ、およびGTCCRFレジスタから一時レジスタBへ、バッファ転送が強制的に実行されます。また、GTDTCR、GTDVU、およびGTDVDレジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値はGTCCRBレジスタに自動設定されます。

図 22.35 に、のこぎり波ワンショットパルスモードの動作例を、図 22.36 に、のこぎり波ワンショットパルスモードの設定例を示します。

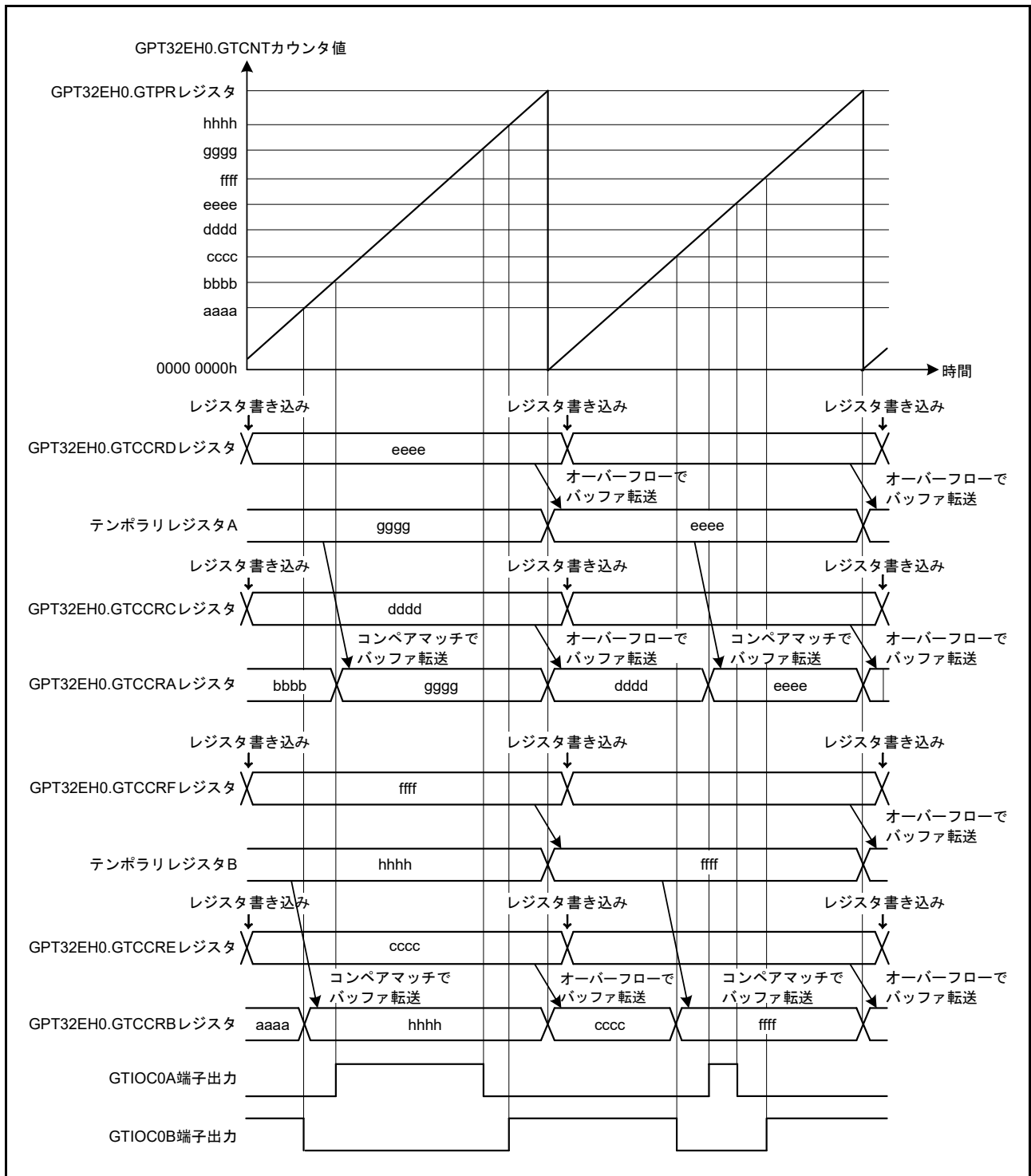


図 22.35 のこぎり波ワンショットパルスモード動作例 (アップカウント、カウントスタート時 GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA / GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

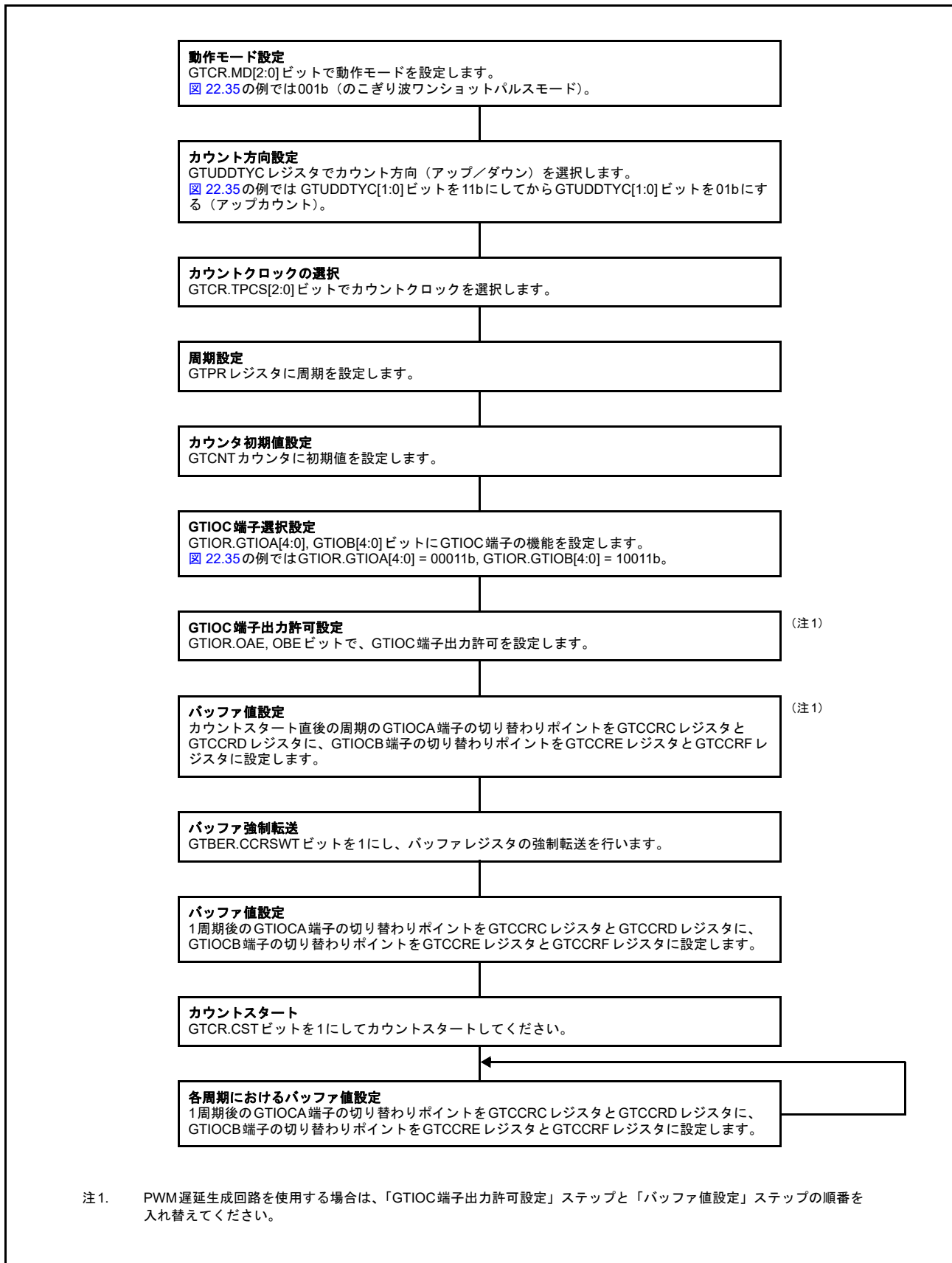


図 22.36 のこぎり波ワンショットパルスモード設定例

### 22.3.3.3 三角波 PWM モード 1 (谷 32 ビット転送)

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波 (全波) 動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

図 22.37 に三角波 PWM モード 1 の動作例を、図 22.38 に三角波 PWM モード 1 の設定例を示します。

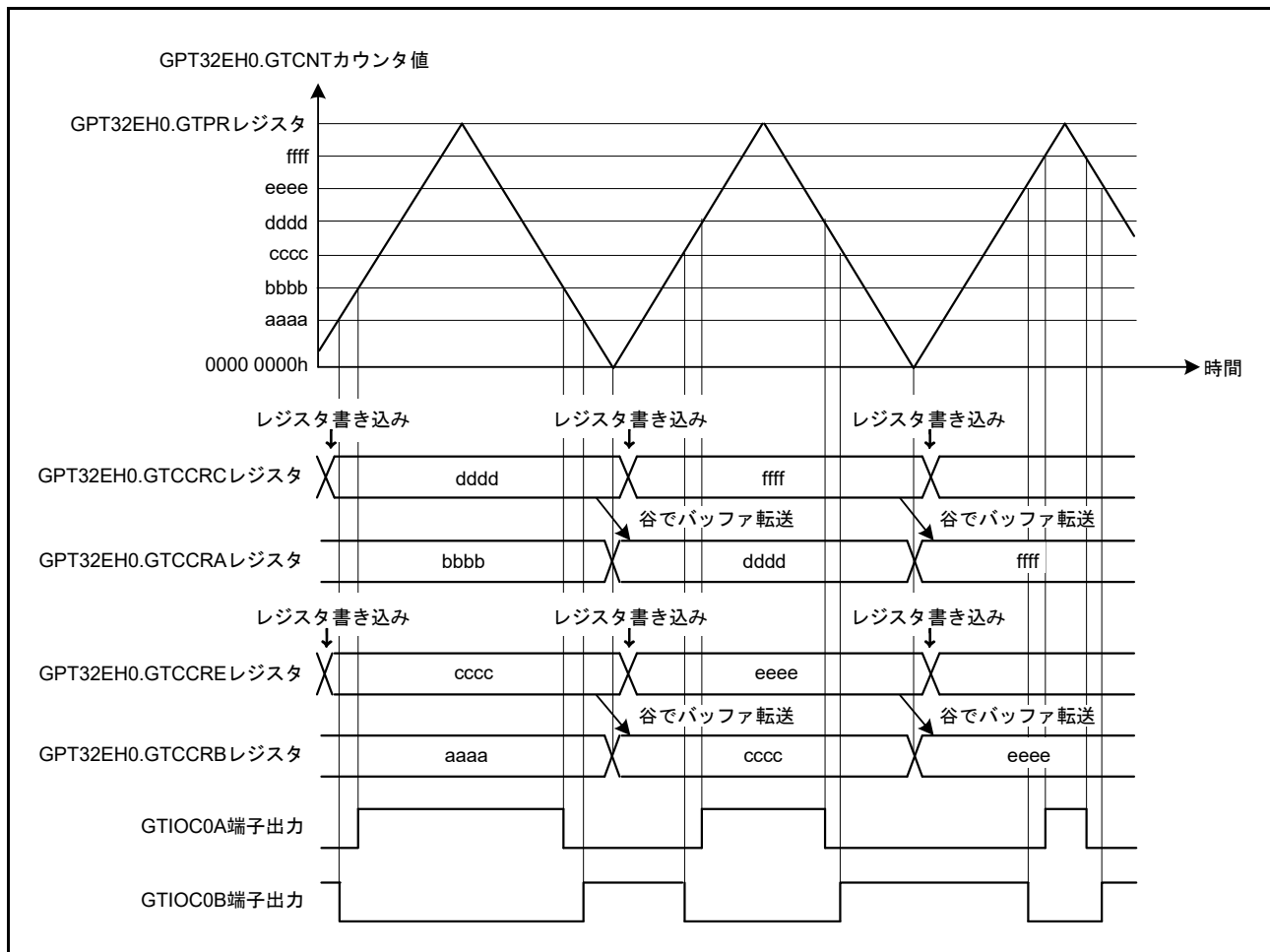


図 22.37 三角波 PWM モード 1 動作例 (バッファ動作、カウントスタート時 GTIOCA 端子 = Low 出力 / GTIOCB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

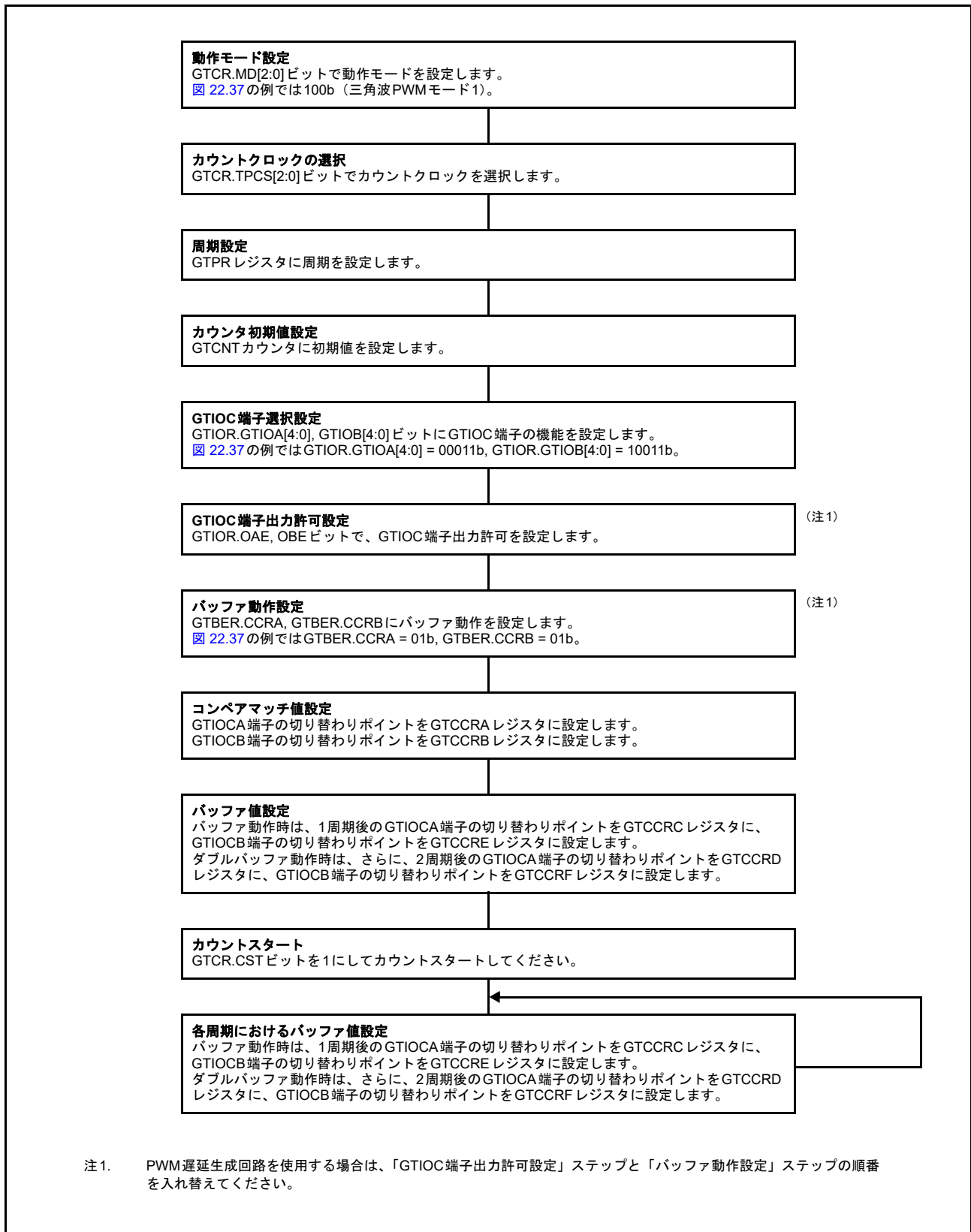


図 22.38 三角波 PWM モード 1 設定例



### 22.3.3.4 三角波 PWM モード 2 (山/谷 32 ビット転送)

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波 (全波) 動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOC0B 端子に PWM 波形を出力させます。山と谷の両方でバッファ転送が行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択することが可能です。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

図 22.39 に三角波 PWM モード 2 の動作例を、図 22.40 に三角波 PWM モード 2 の設定例を示します。

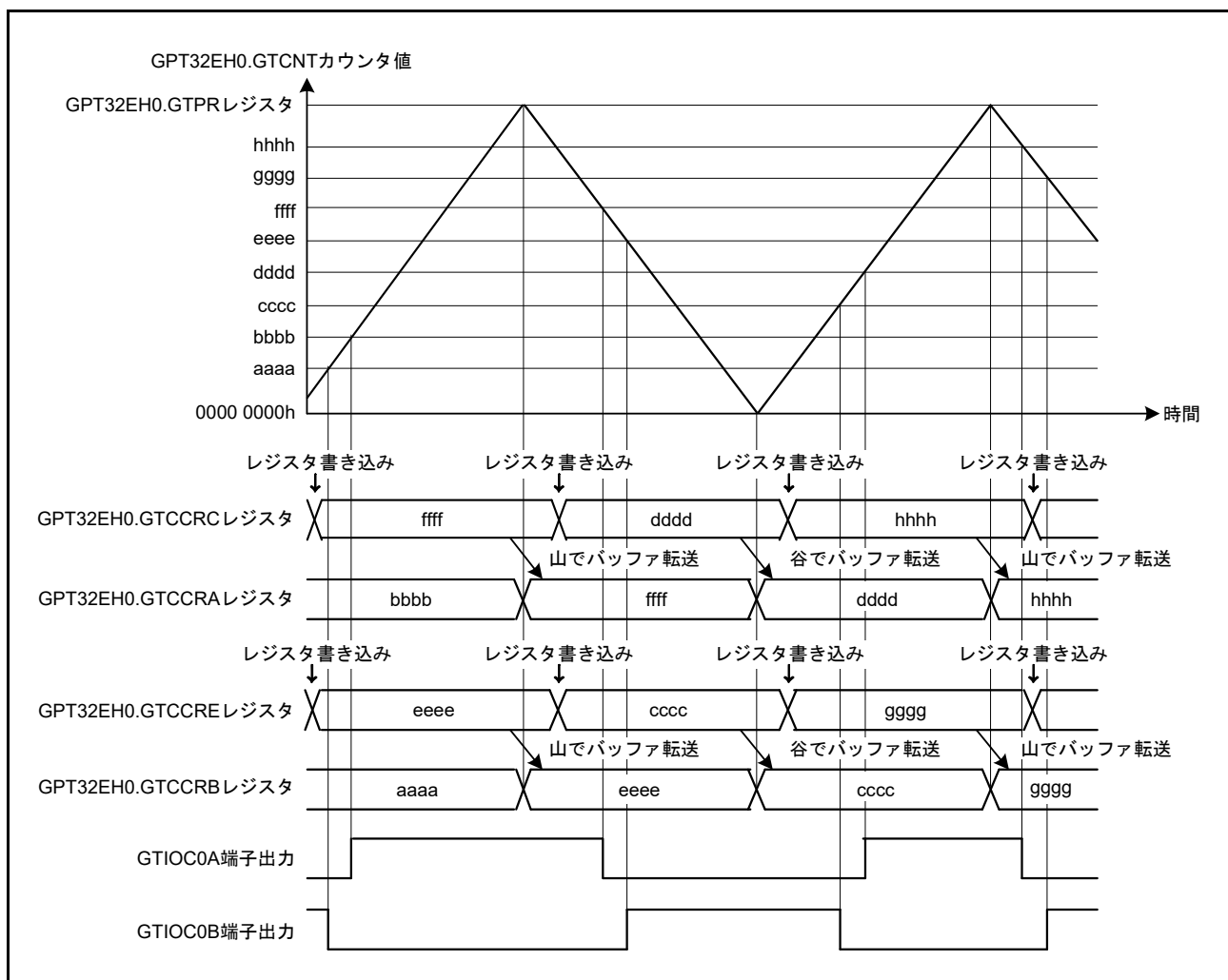


図 22.39 三角波 PWM モード 2 動作例 (バッファ動作、カウントスタート時 GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

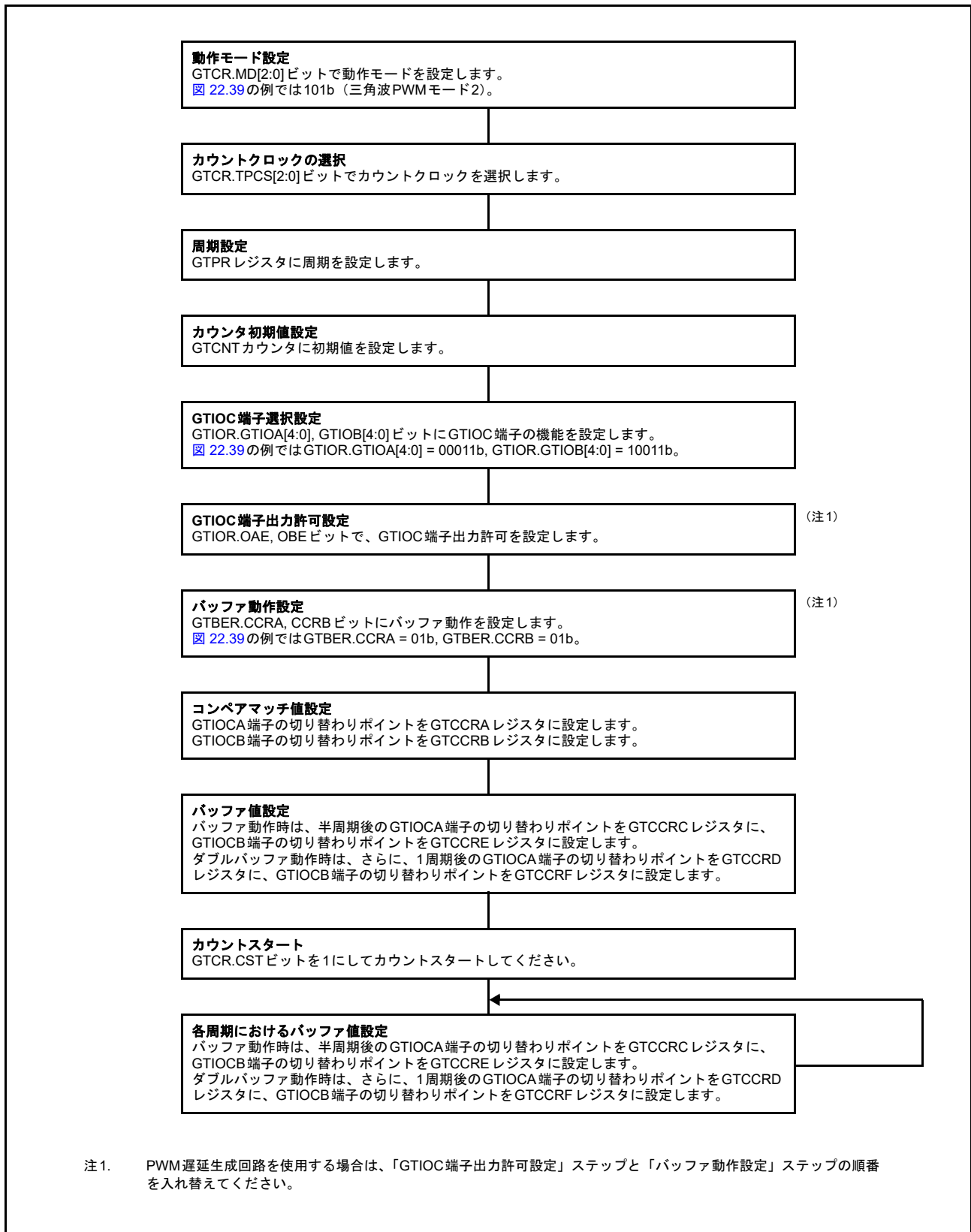


図 22.40 三角波 PWM モード 2 設定例

### 22.3.3.5 三角波 PWM モード 3 (谷 64 ビット転送)

三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波 (全波) 動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。三角波 PWM モード 3 でのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- 谷で GTCCRC レジスタから GTCCRA レジスタへ
- 谷で GTCCRE レジスタから GTCCRB レジスタへ
- 谷で GTCCRD レジスタから一時レジスタ A へ
- 谷で GTCCRF レジスタから一時レジスタ B へ
- 山で一時レジスタ A から GTCCRA レジスタへ
- 山で一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

図 22.41 に三角波 PWM モード 3 の動作例を、図 22.42 に三角波 PWM モード 3 の設定例を示します。

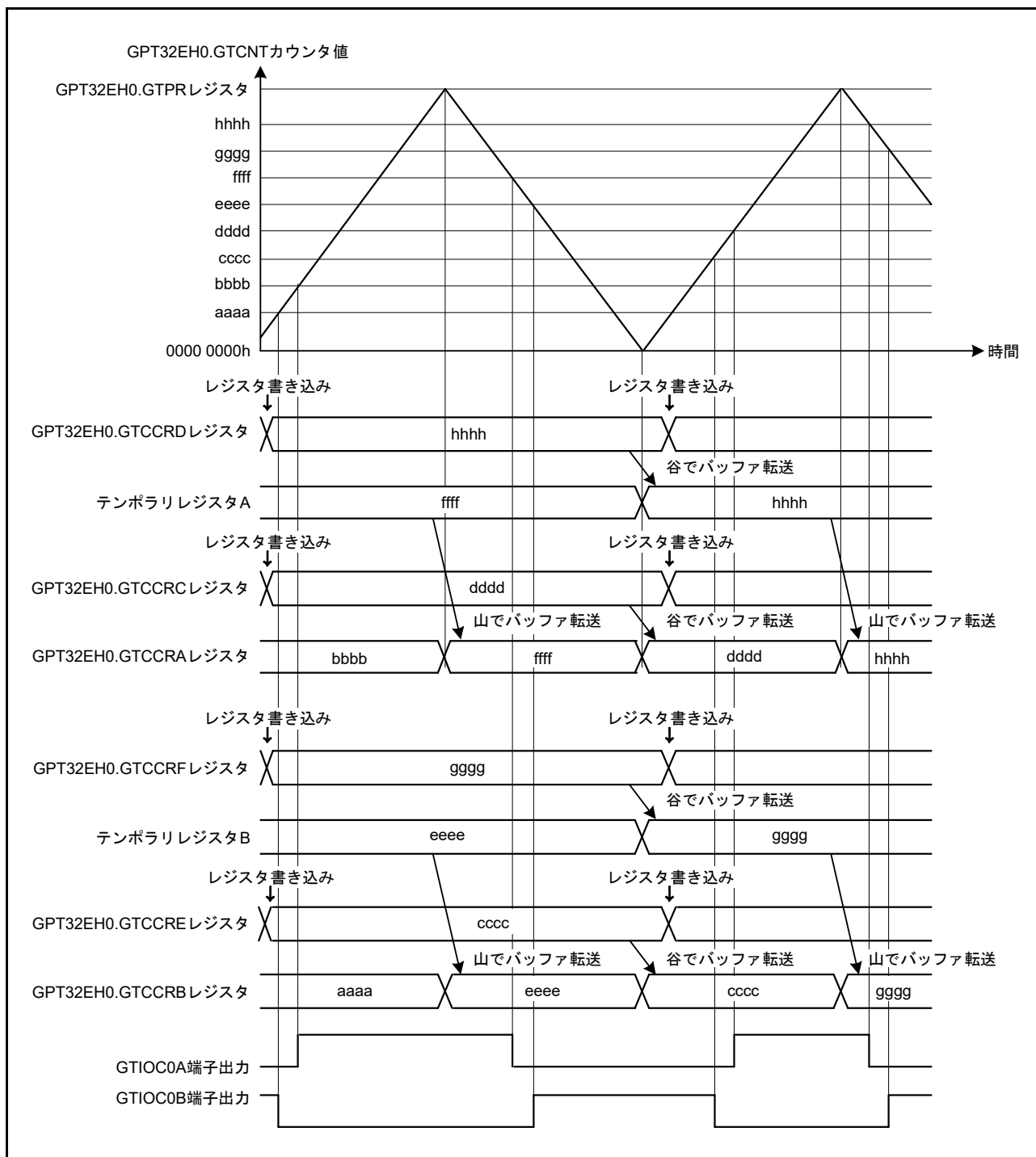


図 22.41 三角波 PWM モード 3 動作例 (カウントスタート時 GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

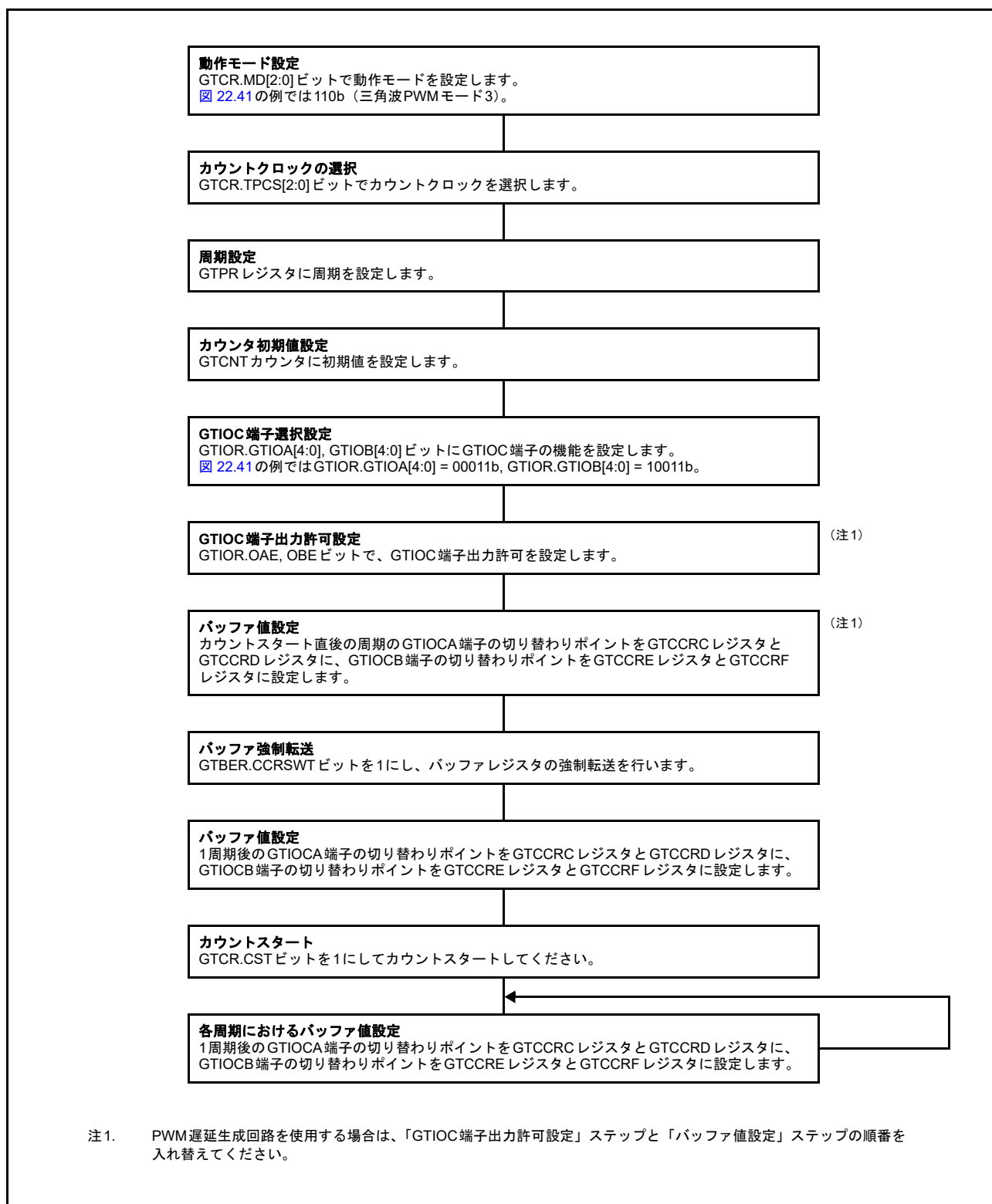


図 22.42 三角波 PWM モード 3 設定例

### 22.3.4 デッドタイム自動設定機能

GTDTCR レジスタを設定することにより、正相波形のコンペアマッチ値 (GTCCRA 値) と指定したデッドタイム値 (GTDVU および GTDVD 値) からデッドタイム付き逆相波形のコンペアマッチ値を生成し、GTCCRB レジスタに自動設定することが可能です。このデッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

デッドタイムは、1つの波形の前半部と後半部で個別に設定できます。逆相波形の前半部の切り替わりポイントにおけるデッドタイムは GTDVU レジスタに、後半部の切り替わりポイントにおけるデッドタイムは GTDVD レジスタに設定します。GTDTCR.TDFER ビットを 1 にして、前半部と後半部で同じデッドタイムを設定することも可能です。

GTDBU レジスタは GTDVU レジスタのバッファレジスタとして、GTDBD レジスタは GTDVD レジスタのバッファレジスタとして使用可能です。バッファ転送は、のこぎり波の場合は GTCNT カウンタのオーバーフロー時 (アップカウント中)、アンダーフロー時 (ダウンカウント中)、またはクリア時に周期の終わりで実行され、三角波では谷で実行されます。

デッドタイム自動設定機能によって設定されたコンペアマッチ値は、GTCCRB レジスタ値を読み出すことで確認できます。なお、デッドタイム自動設定機能を使用する場合、GTCCRB レジスタへの書き込みはしないでください。

周期を超えるデッドタイムの設定はしないでください。表 22.6 に示すように、デッドタイムエラーが発生した場合、正相波形と逆相波形のコンペアマッチ値はデッドタイム付き波形を生成するように調整されます。逆相波形の調整値は GTCCRB レジスタに自動設定されます。正相波形の調整値は内部信号として使用され、GTCCRA レジスタには設定されません。

のこぎり波ワンショットパルスモードでは、調整値が周期を超えていたり、調整された波形のトグルポイントが不規則な場合、これらの波形の相補性は保証されません。

三角波モードでは、GTCCR 値 = 0 または GTCCRA 値  $\geq$  GTPR に設定することでデッドタイムが周期を超える場合、出力保護機能により出力レベルが保持されます。詳細は、22.8.4 GTIOC 端子出力の出力保護機能を参照してください。GTCCRA 値が  $GTCCRA \geq GTPR + GTDV_n$  の場合、GTCCRB に対する上限値として GTPR-1 が設定されます。GTCCRB レジスタのデッドタイム値の自動設定は、デッドタイム自動設定値の計算用レジスタが更新された次のカウンタクロックで実行されます。

GTDV<sub>n</sub> を書き換える方法は GPT チャンネル番号によって異なります。

表 22.6 デッドタイムエラー補正後のコンペアマッチ値

PWM 出力動作モード	カウント方向	前半部/後半部	デッドタイムエラーの条件	補正後のコンペアマッチ値	
				正相波形	逆相波形
のこぎり波ワンショットパルスモード	アップ	前半部	$GTCCRA - GTDVU < 0$	GTDVU	0
		後半部	$GTCCRA + GTDVD > GTPR$	$GTPR - GTDVD$	GTPR
	ダウン	前半部	$GTCCRA + GTDVU > GTPR$	$GTPR - GTDVU$	GTPR
		後半部	$GTCCRA - GTDVD < 0$	GTDVD	0
三角波PWMモード1/2/3	アップ	前半部	$GTCCRA - GTDVU \leq 0$	$GTDVU + 1$	1
	ダウン	後半部	$GTCCRA - GTDVD < 0$	GTDVD	0

### GPT32EH0 ~ GPT32EH3 および GPT32E4 ~ GPT32E7

GTDV<sub>n</sub> バッファ動作が許可されている場合、GTDB<sub>n</sub> はいつでも書き込み可能です。周期の終わりに GTDB<sub>n</sub> は GTDV<sub>n</sub> へ転送されます。

GTDV<sub>n</sub> バッファ動作が禁止されている場合、GTDV<sub>n</sub> レジスタを新しい値に変更する前に、GTCR レジスタの CST ビットを用いて GPT を停止してください。

### GPT328 ~ GPT3212

GPT の動作中は、GTDVU レジスタ値の変更はしないでください。GTDVU レジスタを新しい値に変更するには、最初に GTCR レジスタの CST ビットを用いて GPT を停止してください。

GPT32EH および GPT32E のデッドタイム自動設定機能の動作例を図 22.43 ~ 図 22.46 に示します。設定例を図 22.47 および図 22.48 に示します。

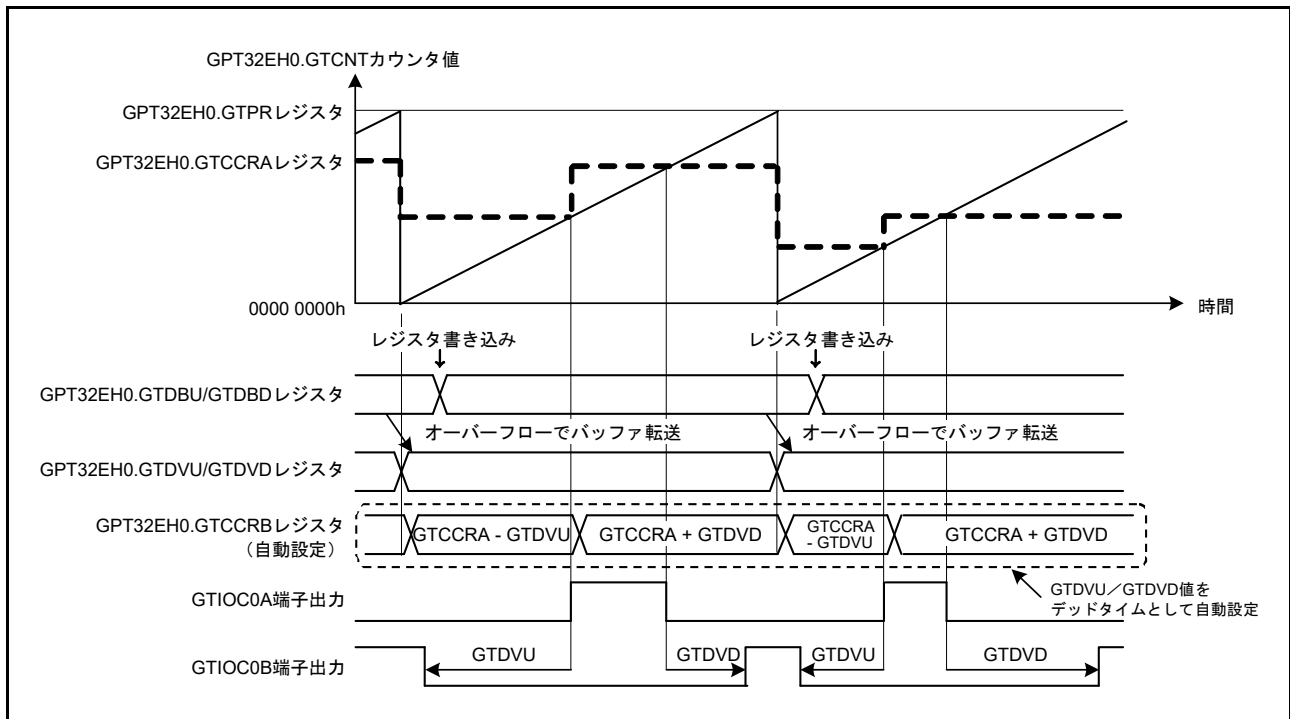


図 22.43 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、アップカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合)

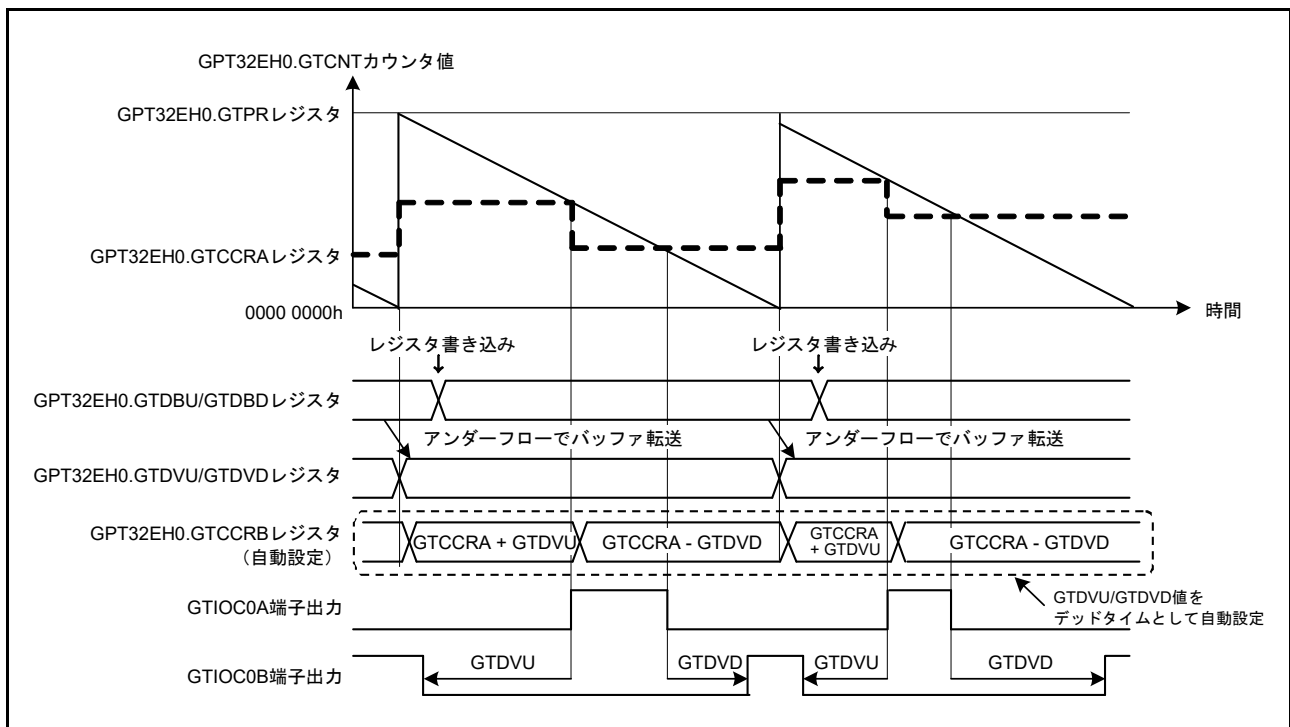


図 22.44 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、ダウンカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合)

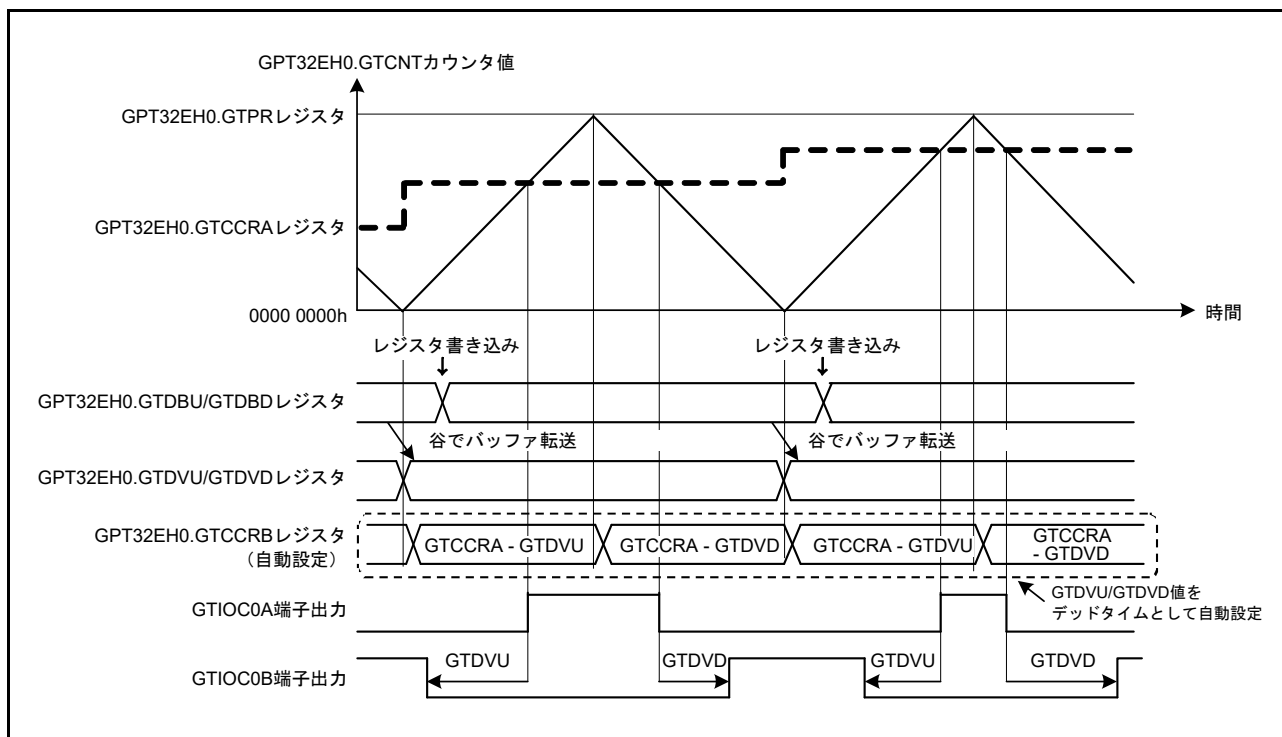


図 22.45 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 1、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合)

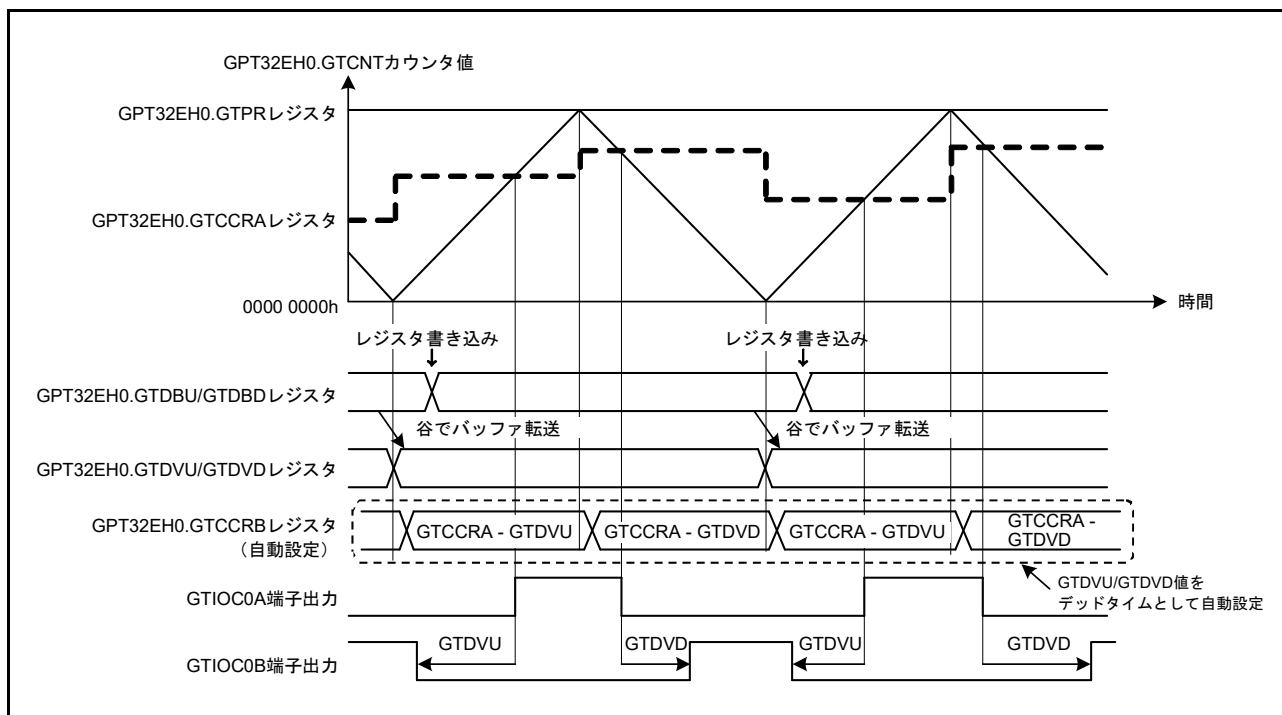


図 22.46 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 2 または 3、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合)



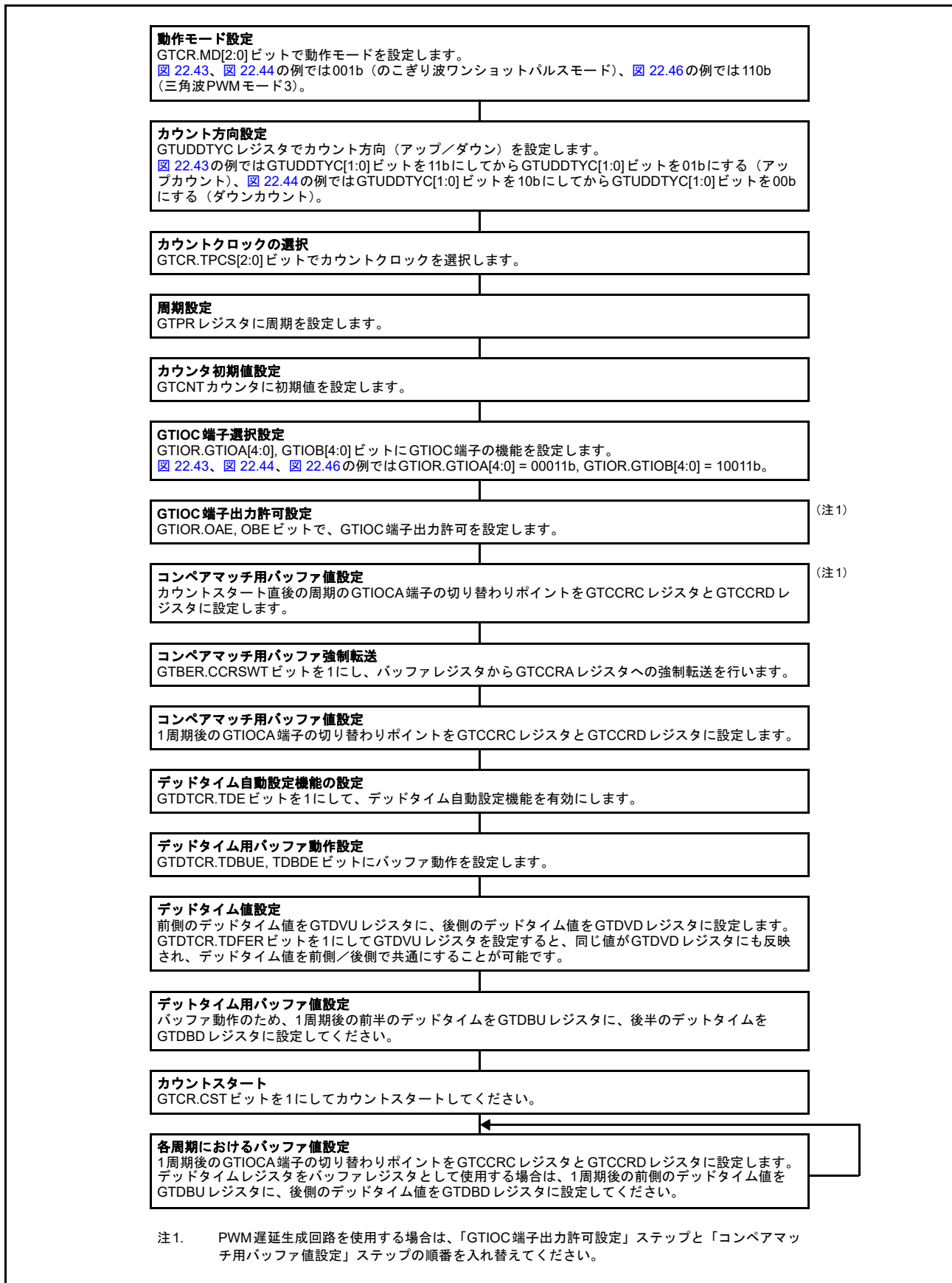


図 22.47 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合)

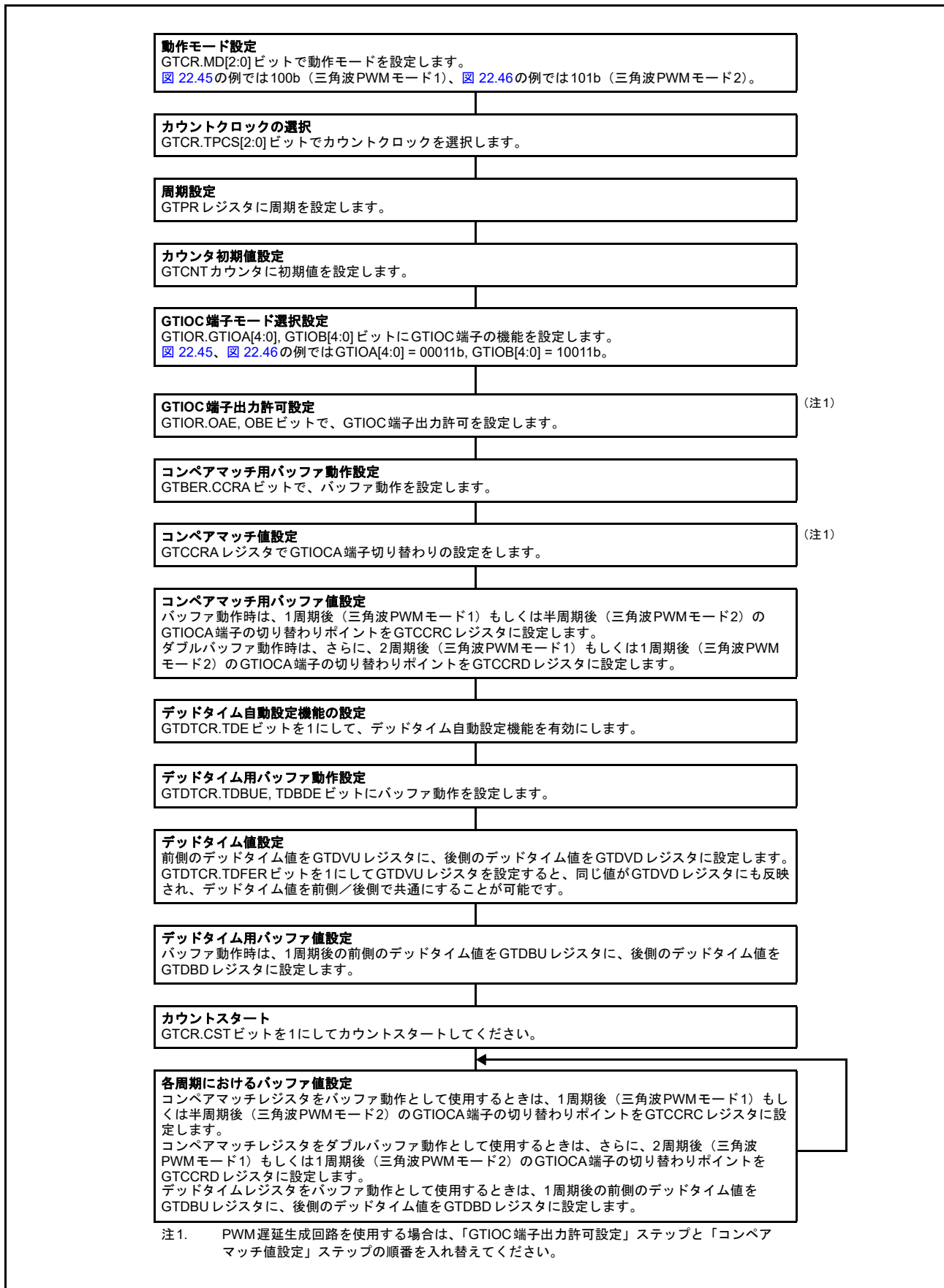


図 22.48 デッドタイム自動設定機能の設定例 (三角波PWMモード1または2の場合)

### 22.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート前の GTPR 値が反映されます。

図 22.49 にカウント方向切り替え機能の動作例を示します。

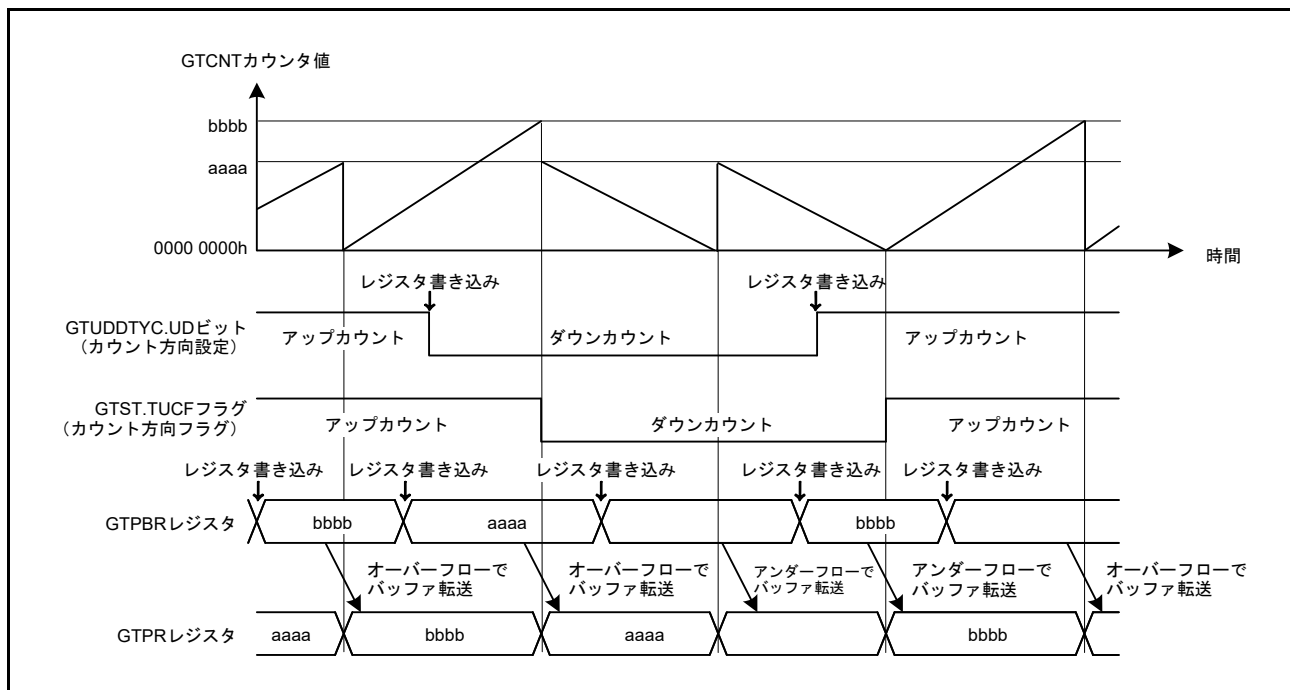


図 22.49 カウント方向切り替え機能の動作例（バッファ動作時）

### 22.3.6 出力デューティ 0% および出力デューティ 100% 機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCA 端子と GTIOCB 端子の出力デューティが 0% または 100% に設定されます。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。出力デューティはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットを 1 にすると、そのときの GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダーフロー発生時に出力デューティの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティの変更値はカウントスタート時に反映されます。

0% または 100% デューティ動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0% または 100% デューティ設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCA 端子の出力値は、GTIOR.GTIOA[3:2] ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCB 端子の出力値は、GTIOR.GTIOB[3:2] ビットと GTUDDTYC.OBDTYR ビットで決定されます。

GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2] ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。周期の終わりでの GTIOCA/GTIOCB 端子の出力値を [表 22.7](#) に示します。

表 22.7 0%または100% デューティ設定解除後の出力値 (m = A, B)

GTIOR.GTIOm[3:2]	0%または100%デューティ 設定でマスクされた周期の 終わりでのコンペアマッチ値	デューティ 0% 設定時の GTUDDTYC.OmDTYR		デューティ 100% 設定時の GTUDDTYC.OmDTYR	
		0	1	0	1
00 (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01 (周期の終わりでLow出力)	—	0	0	0	0
10 (周期の終わりでHigh出力)	—	1	1	1	1
11 (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0

図 22.50 に、出力デューティが 0% および 100% の機能動作例を示します。

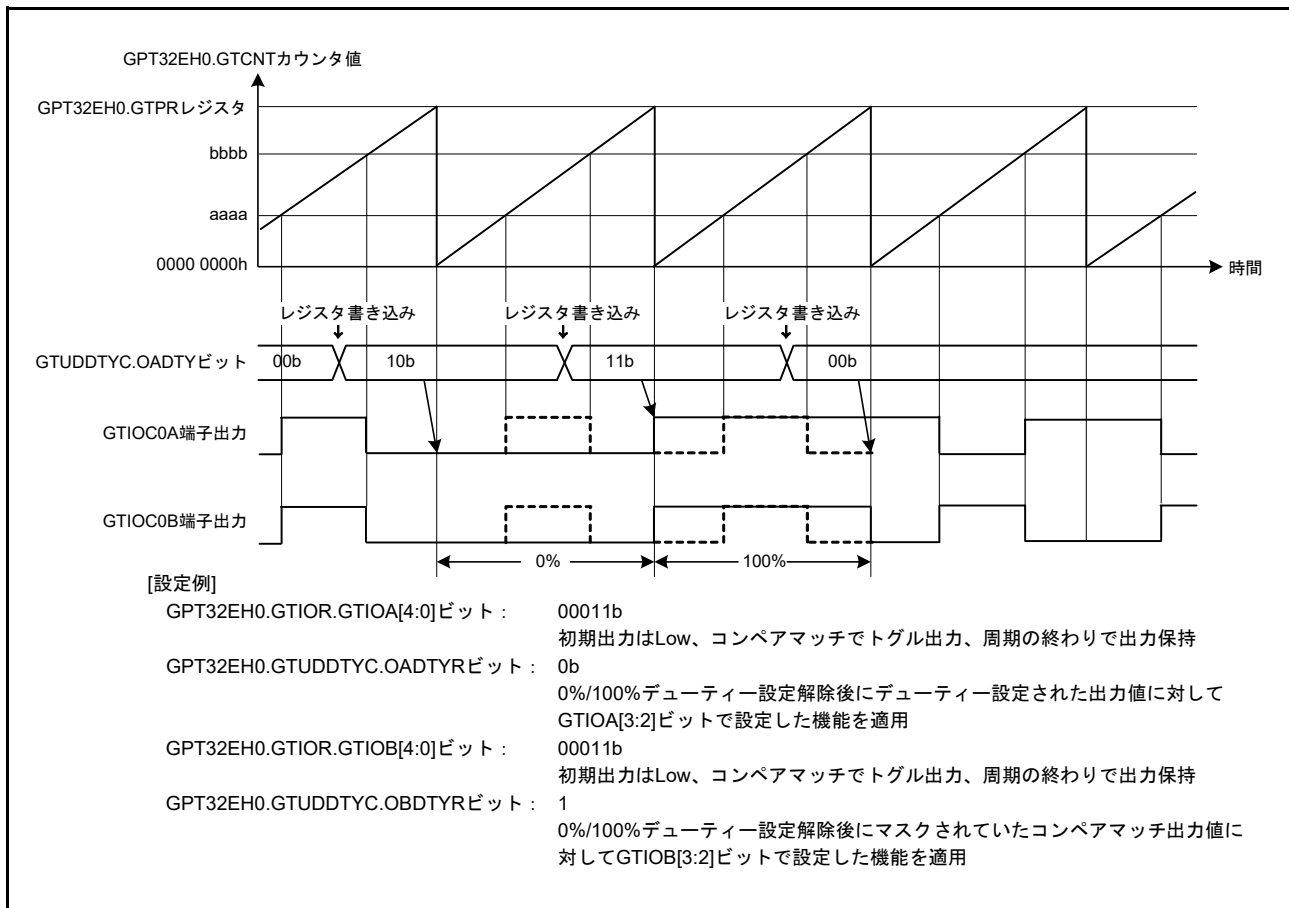


図 22.50 出力デューティ 0%、100% 機能動作例

### 22.3.7 ハードウェアカウントスタート/カウントストップ、カウントクリア動作

下記のハードウェア要因によって、GTCNTカウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 外部トリガ入力
- ELC イベント入力
- GTIOCA/GTIOCB 端子入力

#### 22.3.7.1 ハードウェアスタート動作

GTSSRレジスタでハードウェア要因を選択することにより、GTCNTカウンタのカウントスタートが可能です。

図 22.51 にハードウェア要因によるカウントスタートの動作例を示します。図 22.52 に設定例を示します。

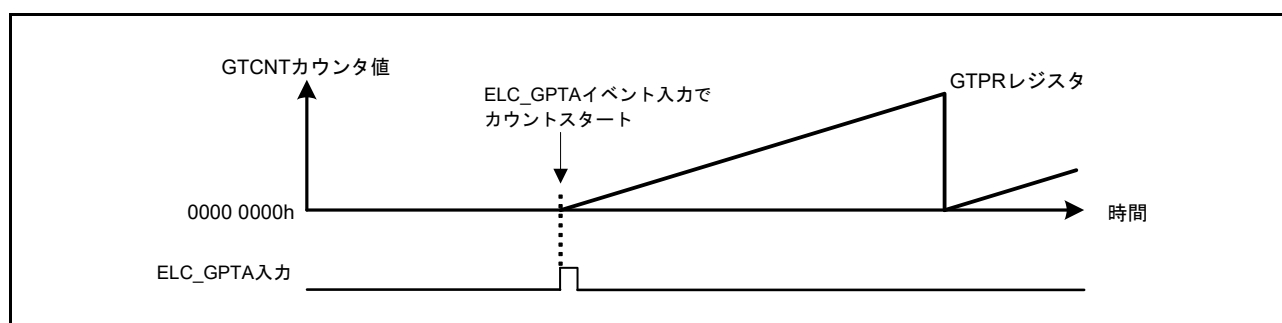


図 22.51 ハードウェア要因によるカウントスタート動作例 (ELC\_GPTA イベントからの信号入力時のスタート)

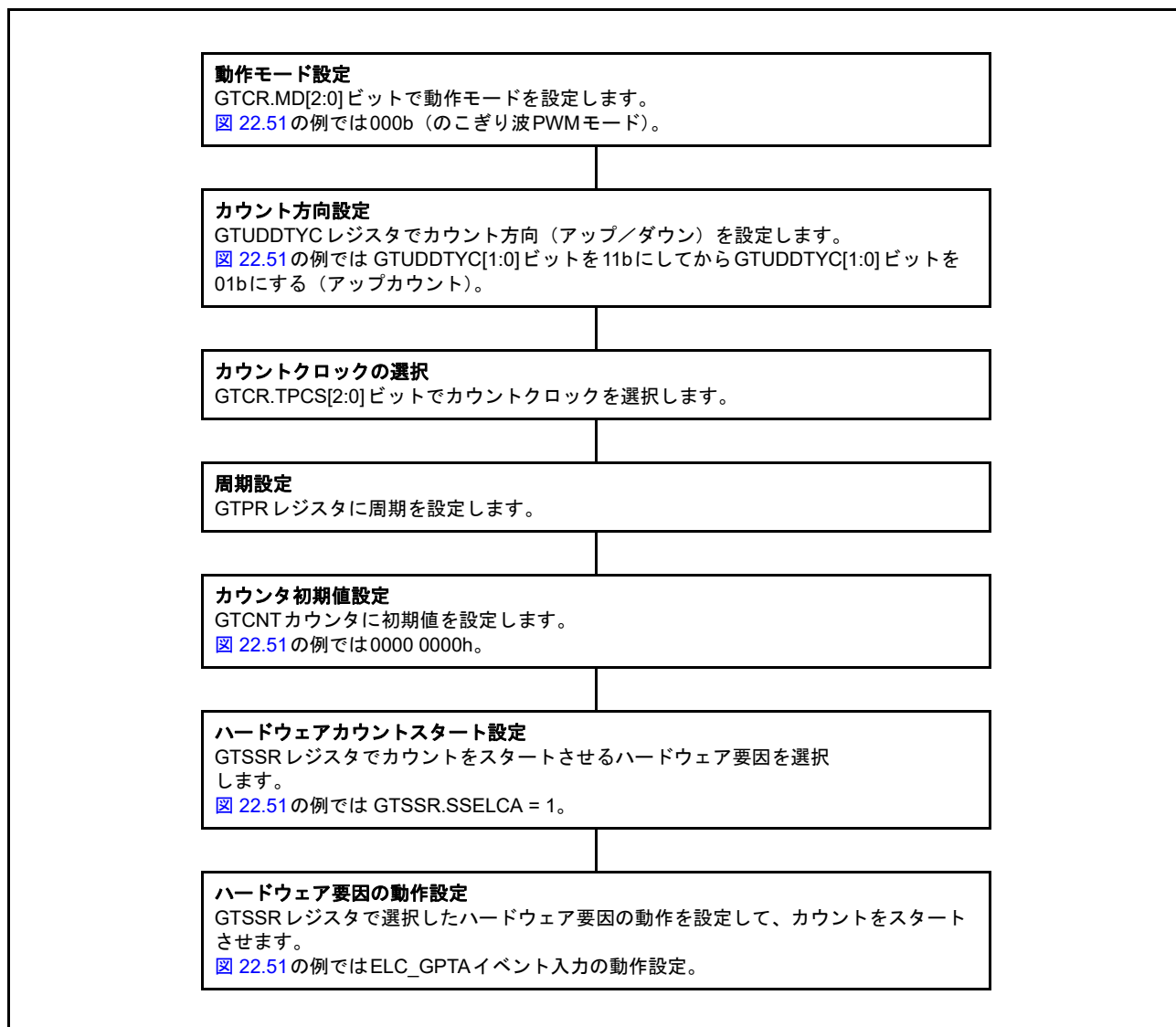


図 22.52 ハードウェア要因によるカウントスタート動作設定例

### 22.3.7.2 ハードウェアストップ動作

GTPSRレジスタでハードウェア要因を選択することにより、GTCNTカウンタのカウントストップが可能です。

図 22.53 にハードウェア要因によるカウントストップの動作例を示します。図 22.54 に設定例を示します。この例では、カウント動作が ELC\_GPTA イベント入力のエッジでストップし、ELC\_GPTB イベント入力のエッジで再スタートしています。

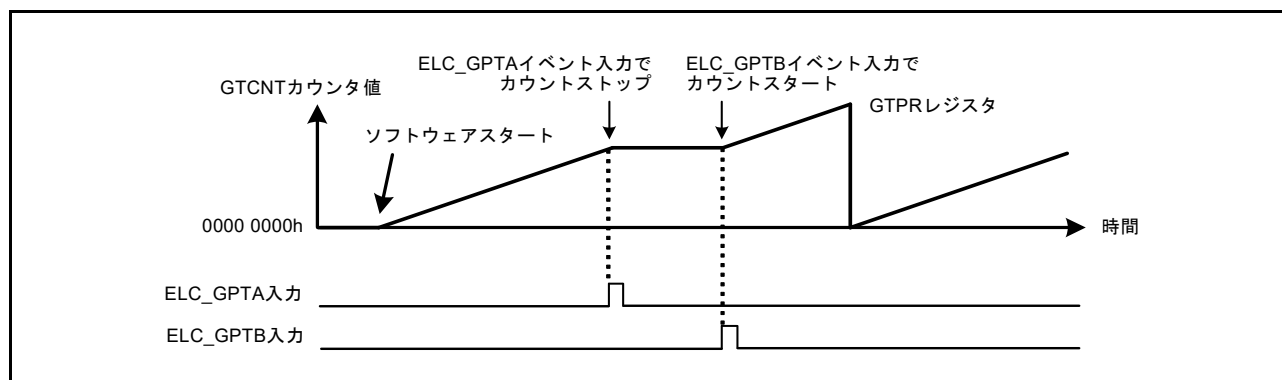


図 22.53 ハードウェア要因によるカウントストップ動作例 (ソフトウェアによるスタート、ELC\_GPTA 入力でのストップ、ELC\_GPTB 入力での再スタートの場合)



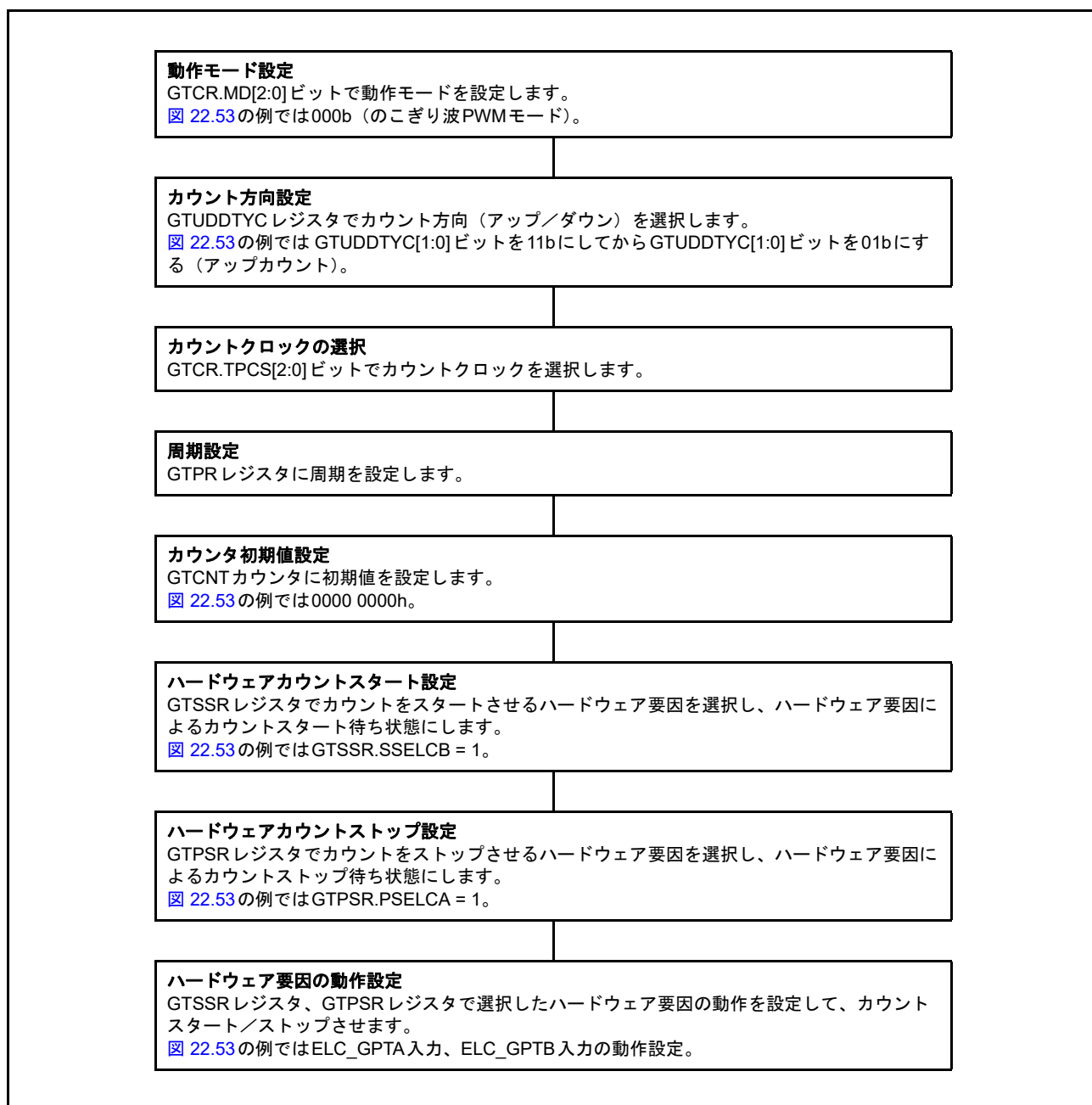


図 22.54 ハードウェア要因によるカウントストップ動作設定例

図 22.55 にハードウェア要因によるカウントスタート/ストップ動作例を示します。図 22.56 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

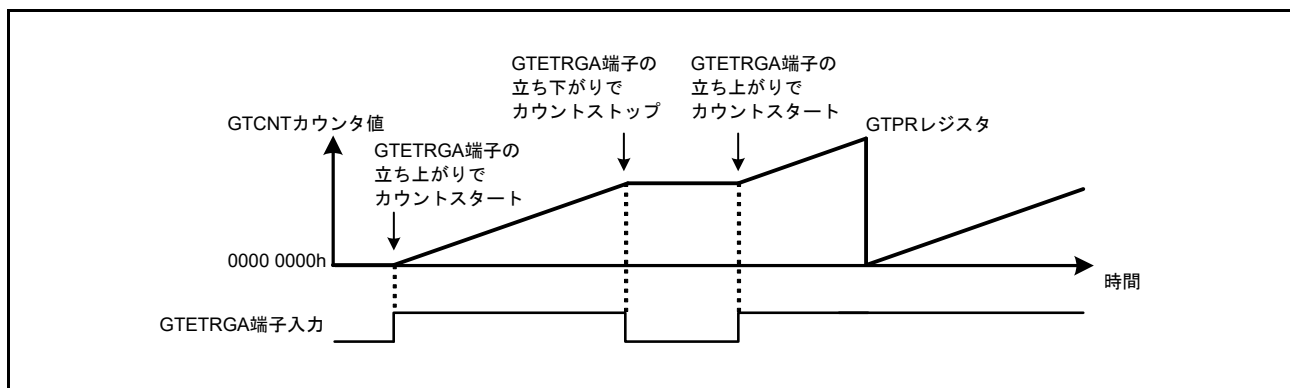


図 22.55 ハードウェア要因によるカウントスタート/ストップ動作例 (GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合)

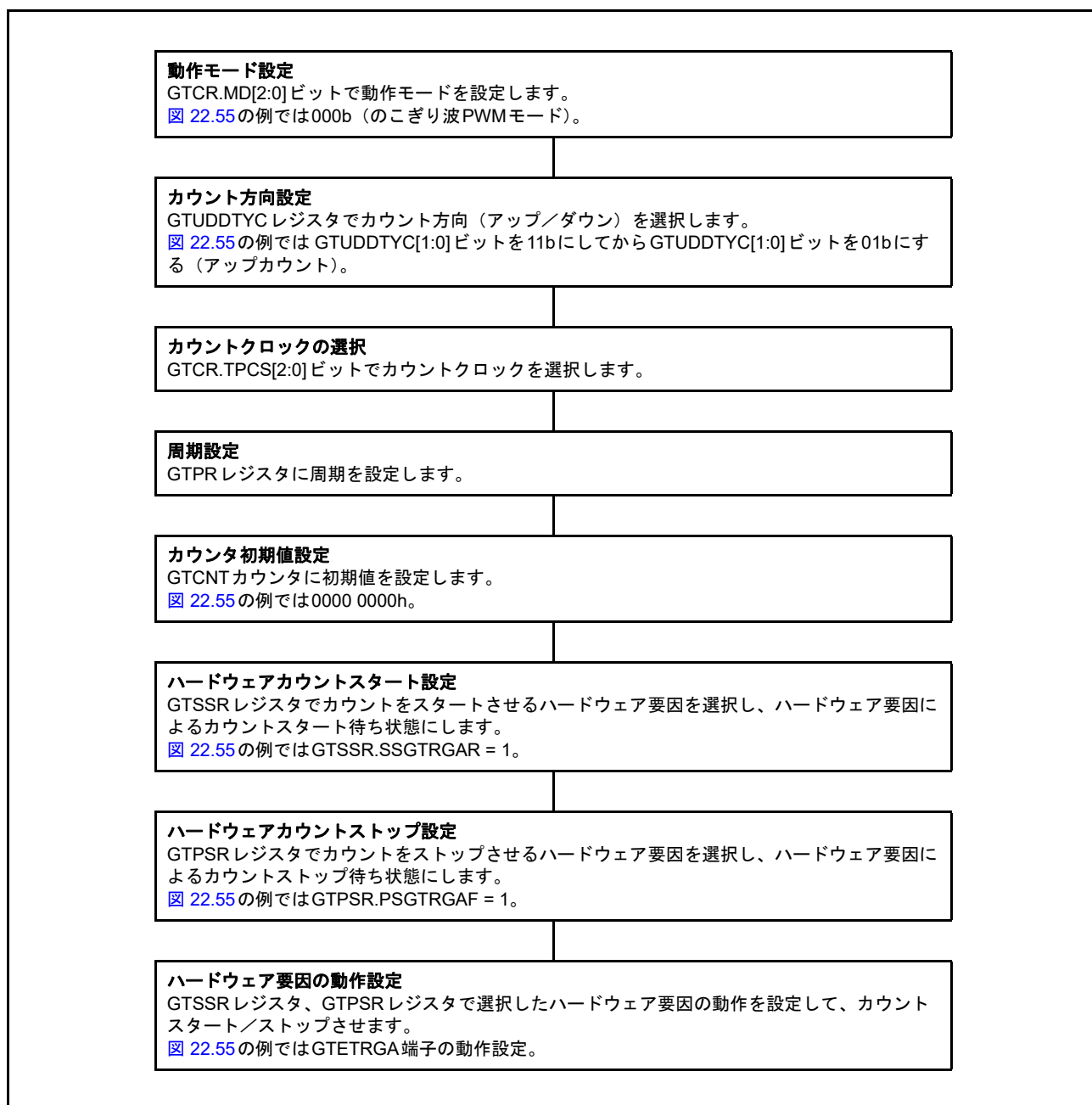


図 22.56 ハードウェア要因によるカウントスタート/ストップ動作設定例

### 22.3.7.3 ハードウェアクリア動作

GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウンタクリアが可能で  
す。ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn\_OVF/  
GPTn\_UDF (n=0~12) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 22.57 および図 22.58 に、ハードウェア要因による GTCNT カウンタのクリア動作例を示します。図  
22.59 に設定例を示します。この例では、GTCNT カウンタは ELC\_GPTA イベント入力のエッジでスタート  
し、ELC\_GPTB イベント入力のエッジでストップ/クリアされています。

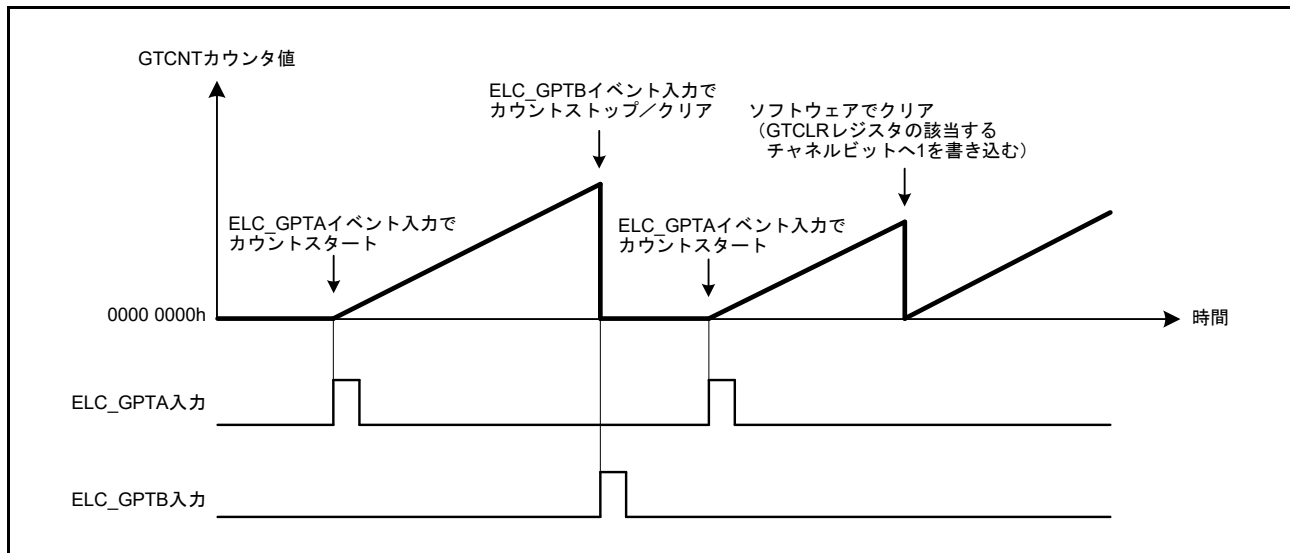


図 22.57 ハードウェア要因によるカウンタクリア動作例 (のこぎり波アップカウント、ELC\_GPTA イベント入力  
でスタート、ELC\_GPTB イベント入力でストップ/クリアの場合)

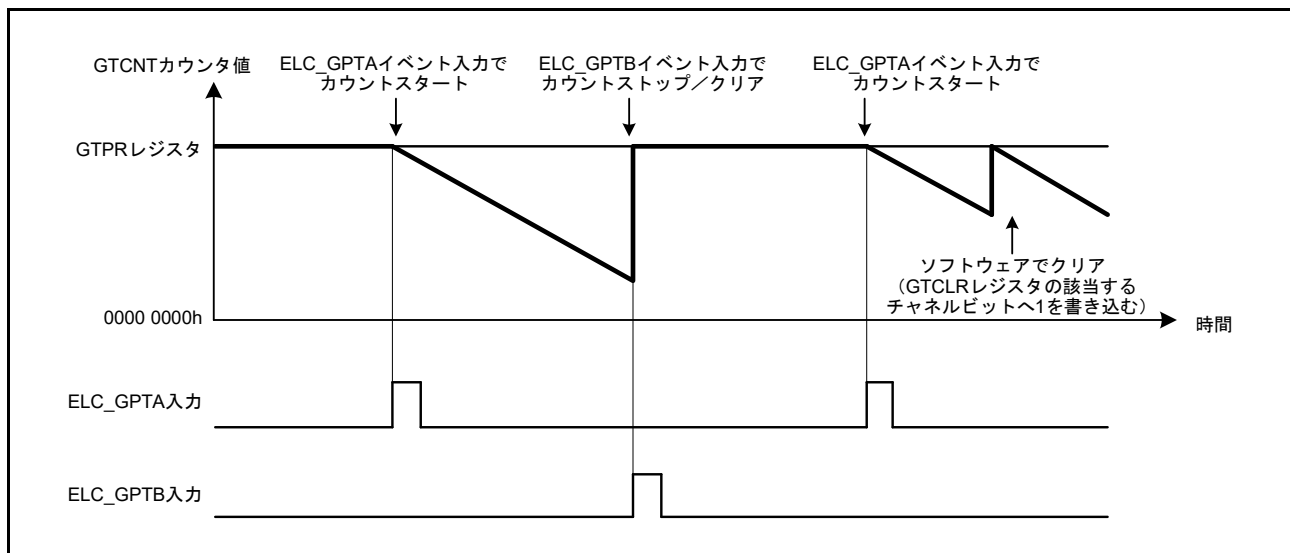


図 22.58 ハードウェア要因によるカウンタクリア動作例 (のこぎり波ダウンカウント、ELC\_GPTA イベント入  
力でスタート、ELC\_GPTB イベント入力でストップ/クリアの場合)

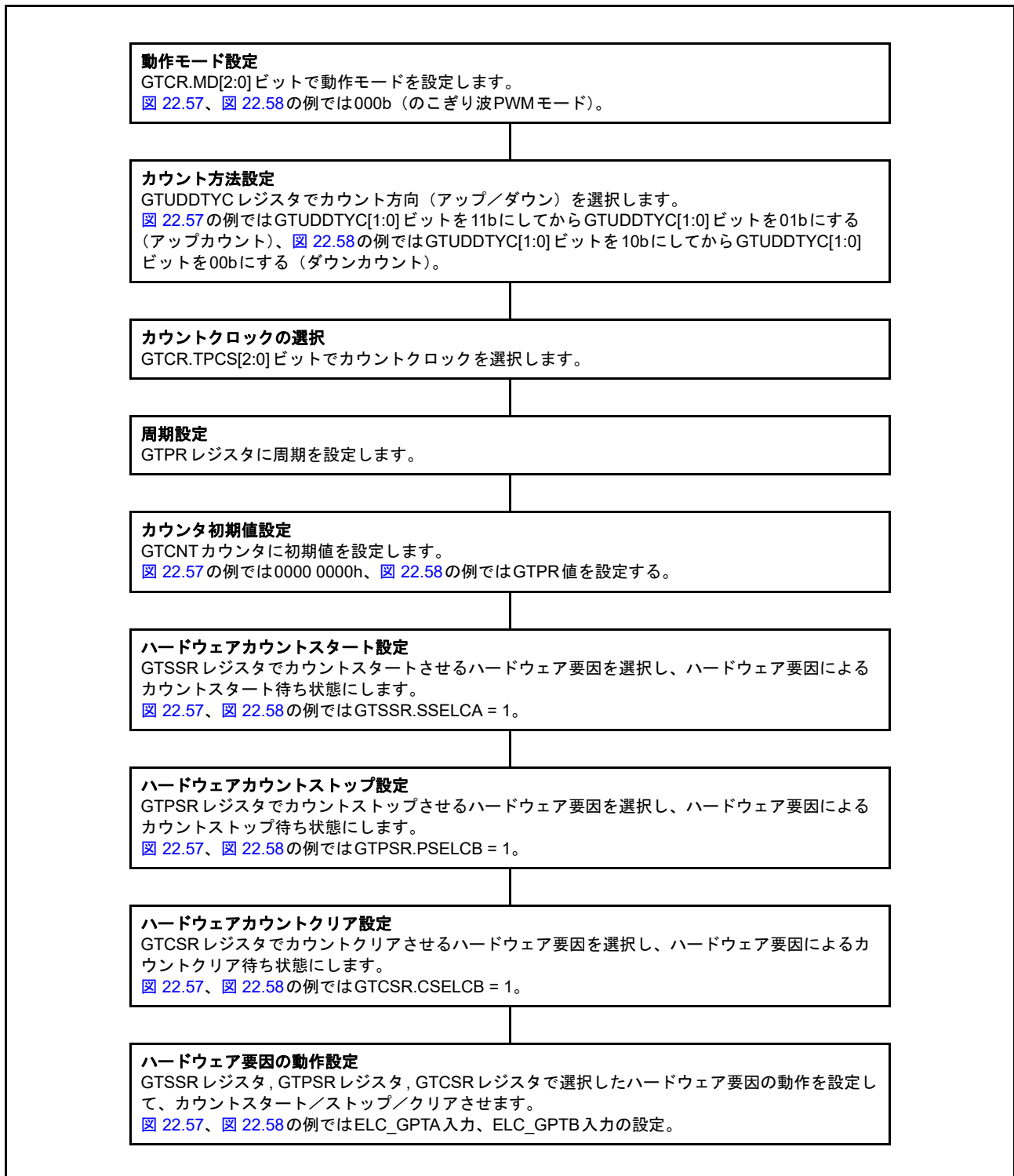


図 22.59 ハードウェア要因によるカウンタクリア動作設定例

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn\_OVF/GPTn\_UDF (n = 0 ~ 12) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 22.60 にハードウェア要因によるカウンタクリアと GPTn\_OVF/GPTn\_UDF (n=0~12) 割り込みの関係を示します。

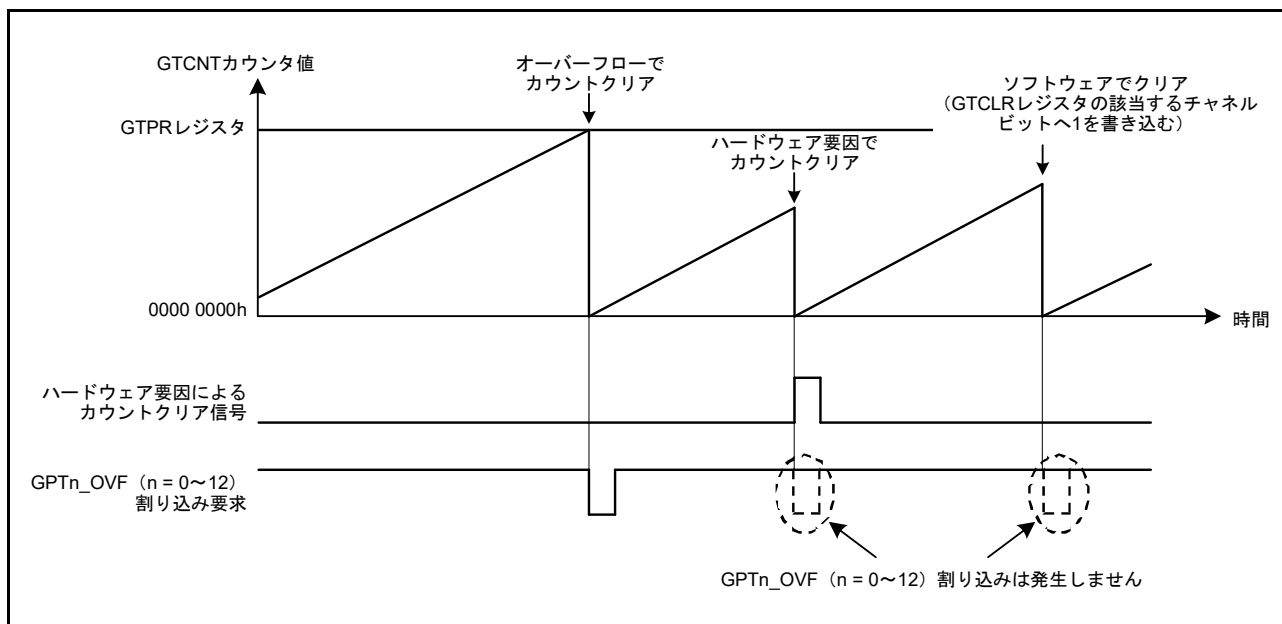


図 22.60 ハードウェア要因によるカウンタクリアと GPTn\_OVF (n=0~12) 割り込みの関係

## 22.3.8 同期動作

同期スタート/ストップ/クリア動作など、チャンネル間の同期動作を実行できます。

### 22.3.8.1 ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャンネル上でスタート/ストップ/クリアが可能です。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

図 22.61 に、ソフトウェアによる同時スタート/ストップ/クリアの動作例を示します。図 22.62 に、ソフトウェアによる位相スタートの動作例を示します。

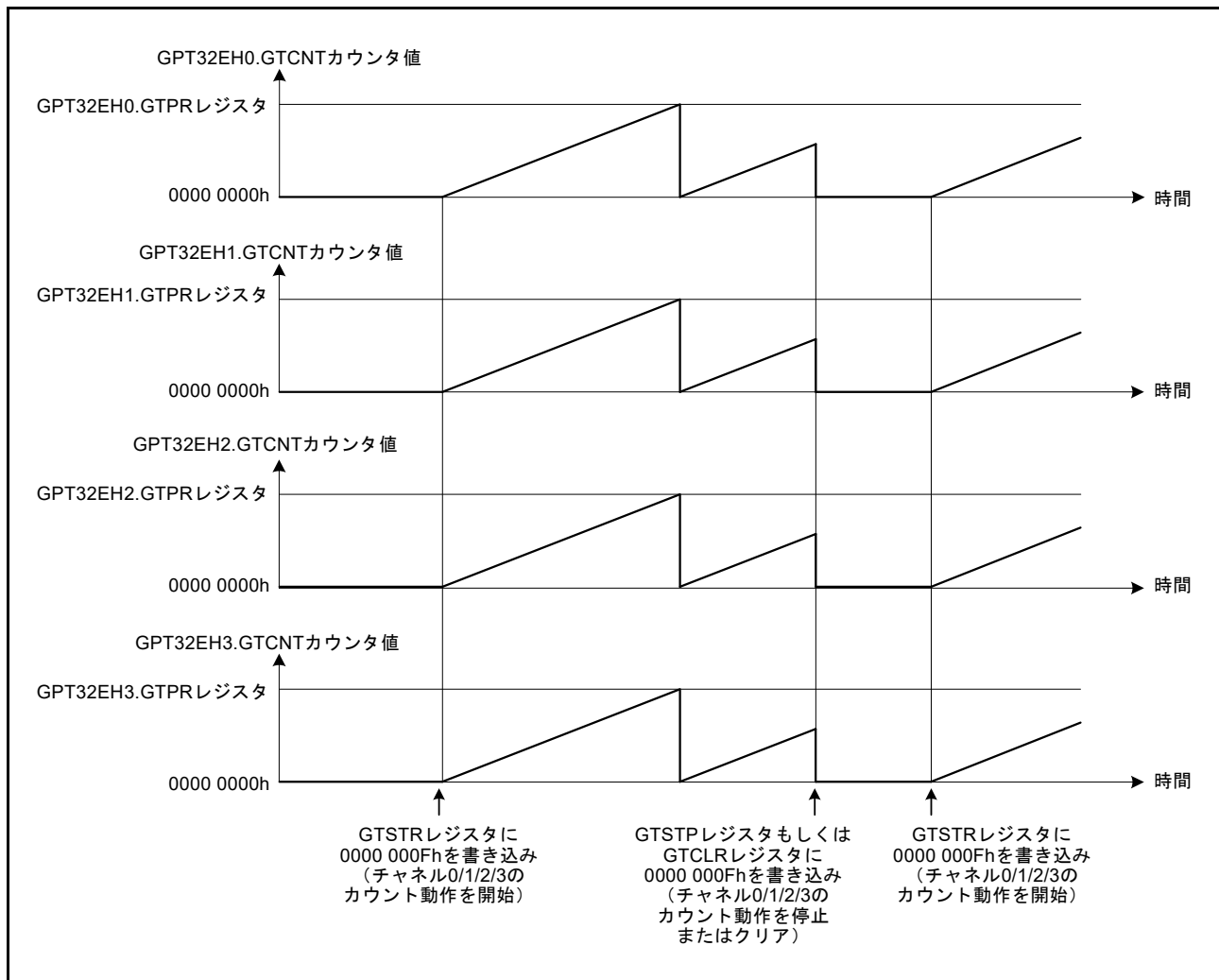


図 22.61 ソフトウェアによる同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

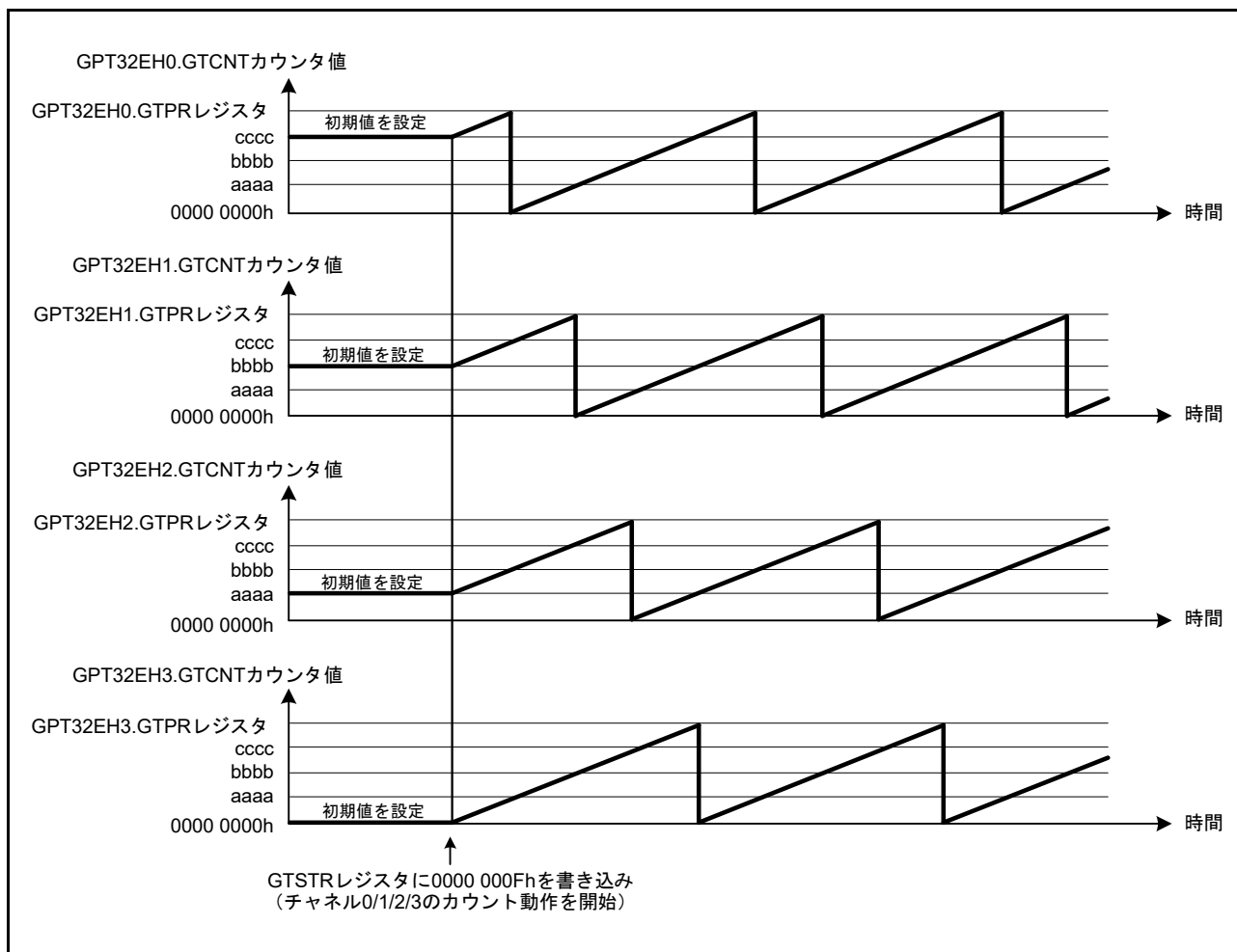


図 22.62 ソフトウェアによる位相スタート動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)



### 22.3.8.2 ハードウェアによる同期動作

下記のハードウェア要因によって、GTCNTカウンタの同時スタートが可能です。

- 外部トリガ入力
- ELC イベント入力

図 22.63 にハードウェア要因による同時スタート/ストップ/クリアの動作例を示します。図 22.64 に設定例を示します。

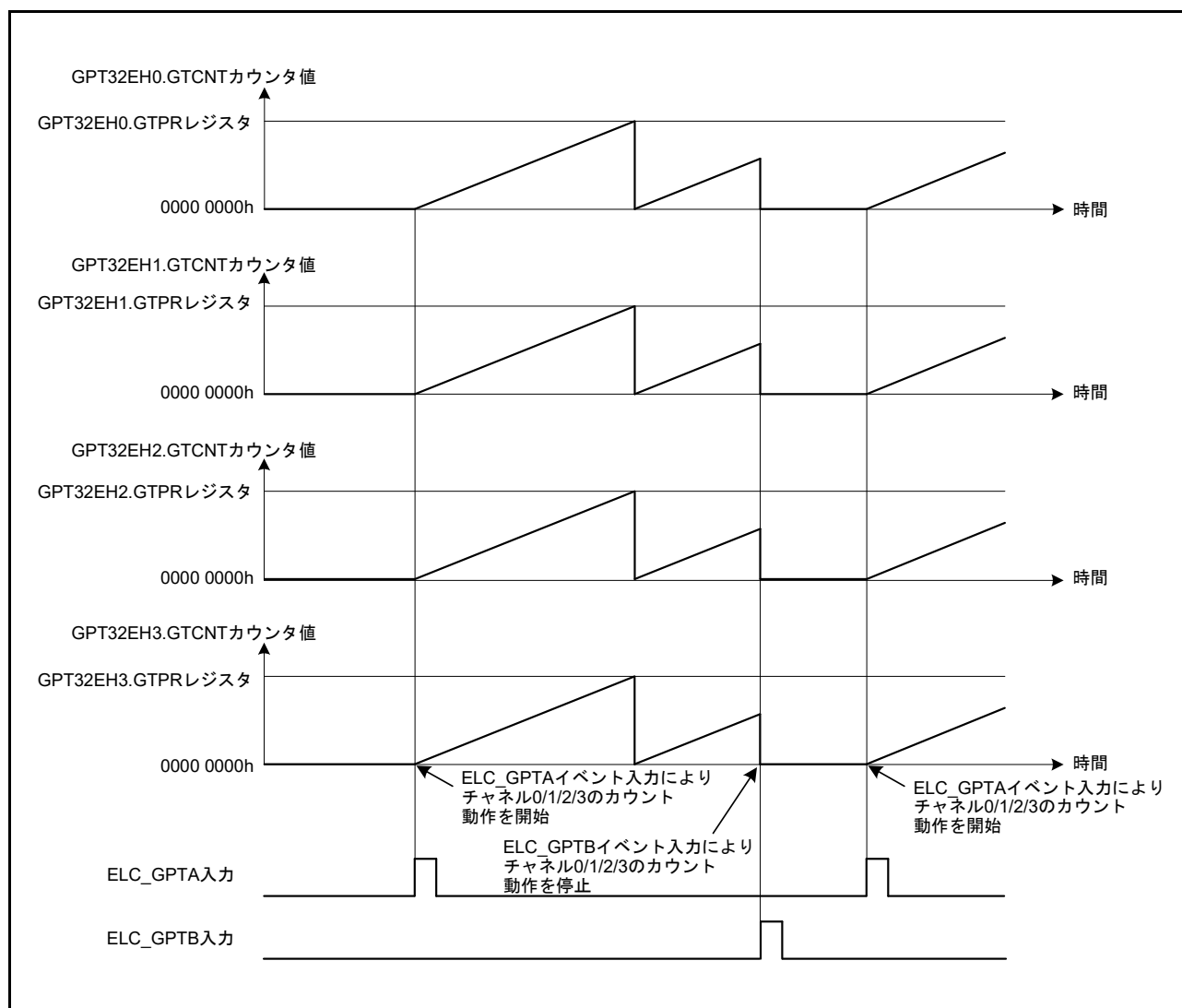


図 22.63 ハードウェア要因による同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

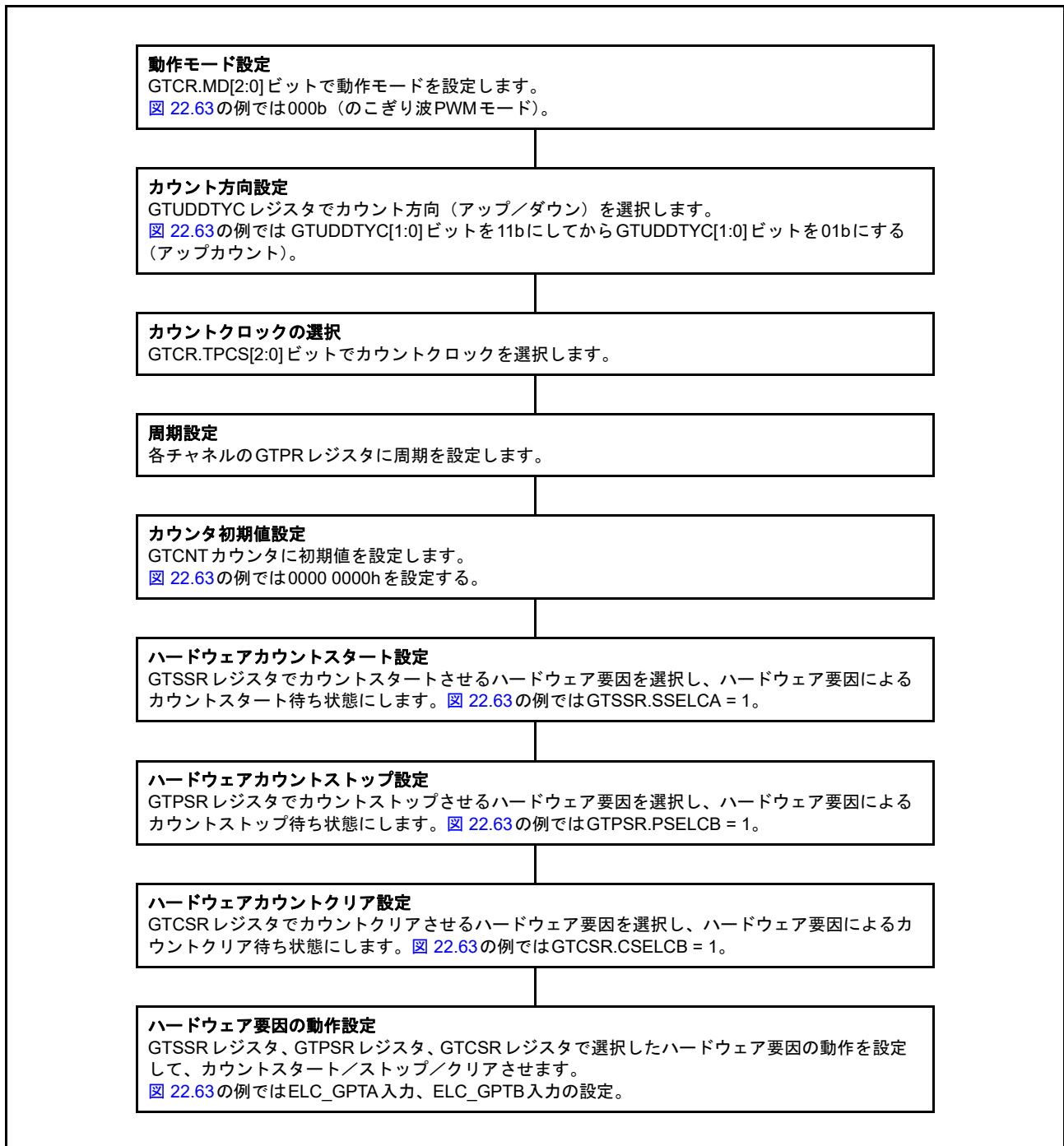


図 22.64 ハードウェア要因による同時スタート設定例

## 22.3.9 PWM 出力動作例

## (1) 同期 PWM 出力

複数の GPT を使用することで、最大 13 チャンネル 26 相の連動した PWM 波形を出力します。

図 22.65 に、4 チャンネルをのこぎり波 PWM モードで同期動作させて、8 相の PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

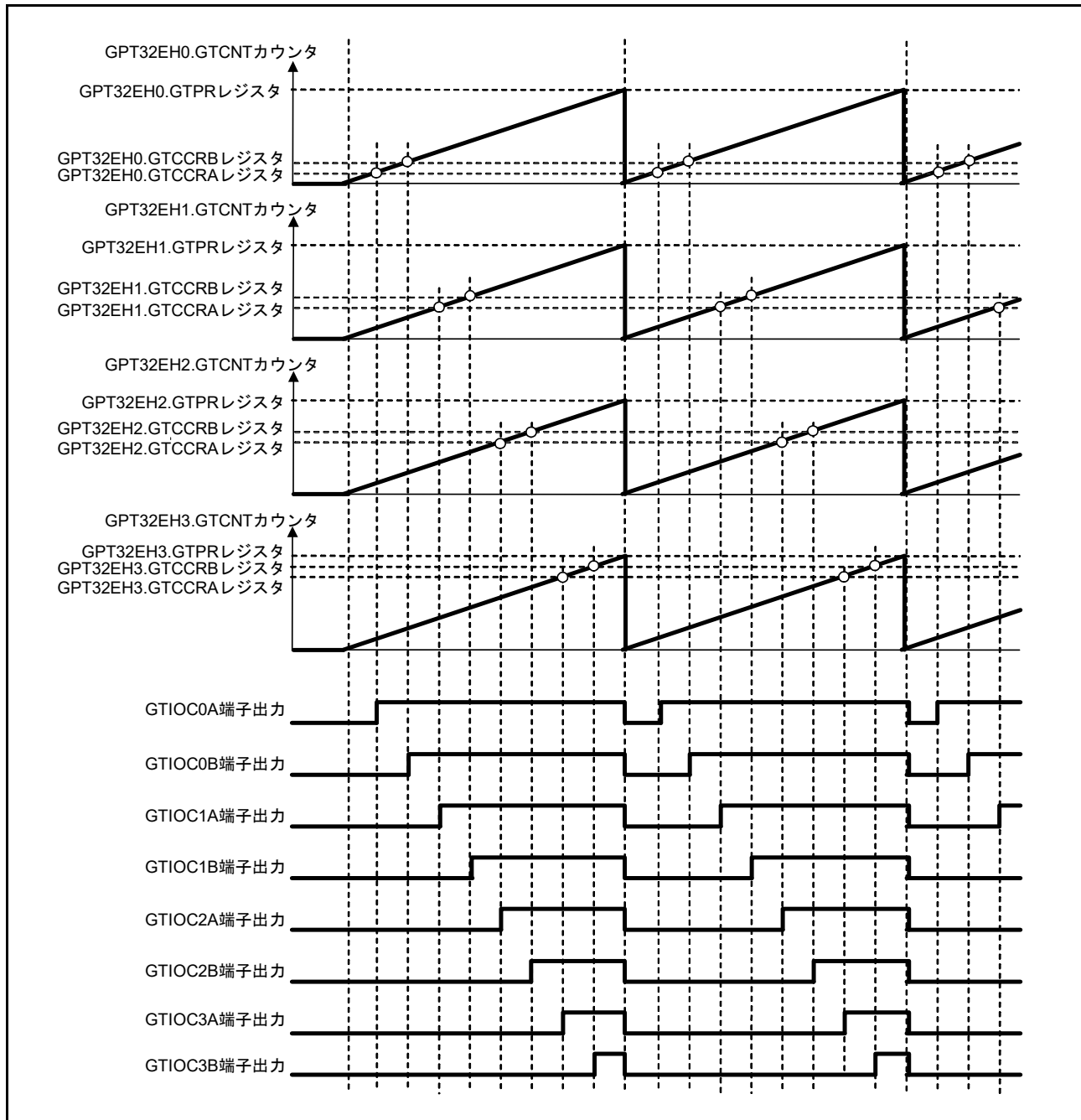


図 22.65 同期 PWM 出力例

## (2) のこぎり波3相相補PWM出力

図 22.66 に、3チャンネルをのこぎり波PWMモードで同期動作させて、3相の相補PWM波形を出力させる例を示します。GTIOCA端子は、初期値としてLow出力、GTCCRAレジスタのコンペアマッチでHigh出力、周期の終わりでLow出力するように設定されています。GTIOCB端子は、初期値としてHigh出力、GTCCRBレジスタのコンペアマッチでLow出力、周期の終わりでHigh出力するように設定されています。

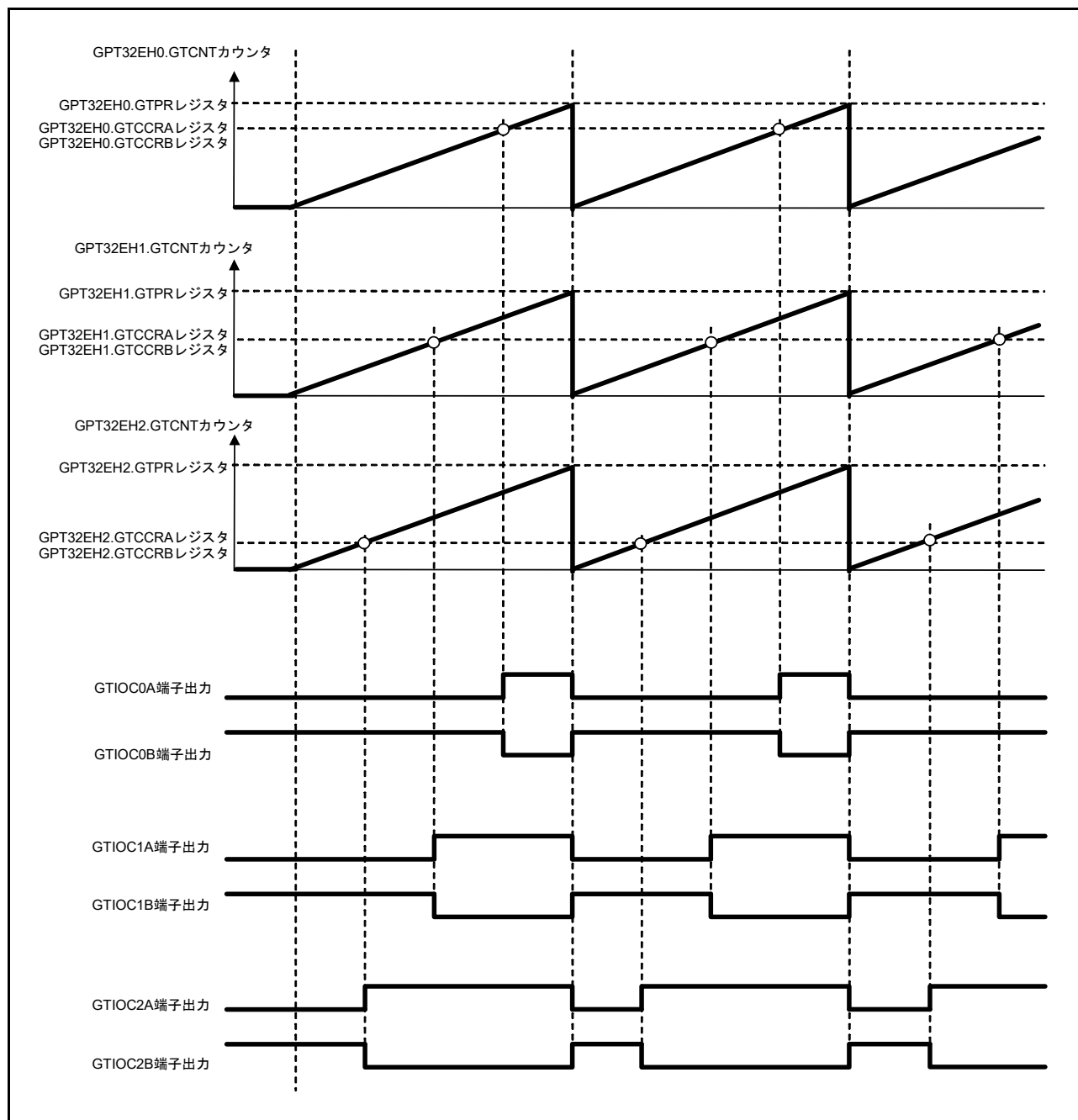


図 22.66 のこぎり波3相相補PWM出力例

(3) のこぎり波3相相補PWM出力 (デッドタイム自動設定)

図 22.67 に、デッドタイム自動設定機能を使用して、3チャンネルをのこぎり波ワンショットパルスモードで同期動作させ、3相の相補PWM波形を出力させる例を示します。GTIOCA端子は、初期値としてLow出力、GTCCRAレジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB端子は、初期値としてHigh出力、GTCCRBレジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

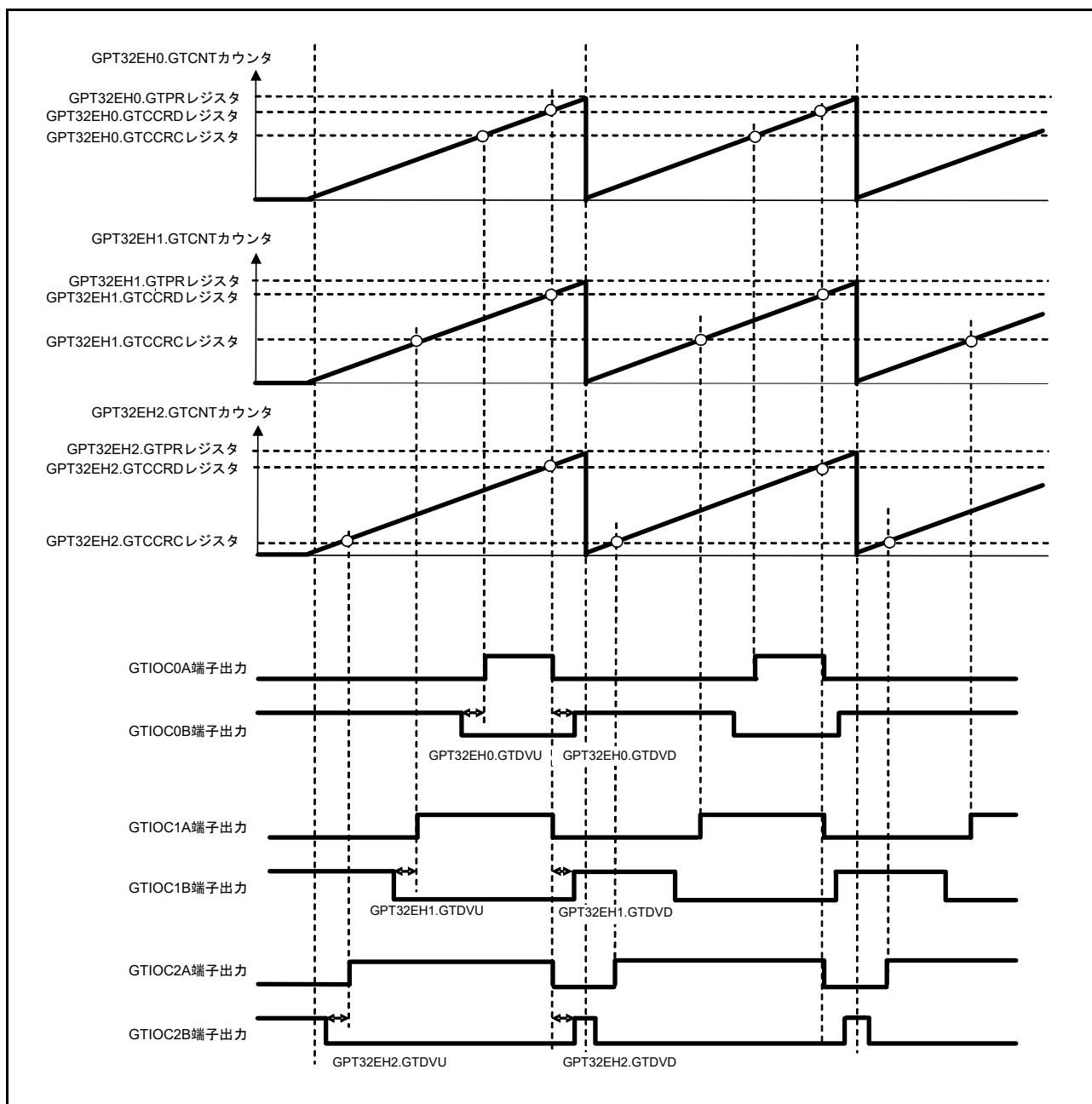


図 22.67 のこぎり波3相相補PWM出力例 (デッドタイム自動設定)

## (4) 三角波 3 相相補 PWM 出力

図 22.68 に、3 チャネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

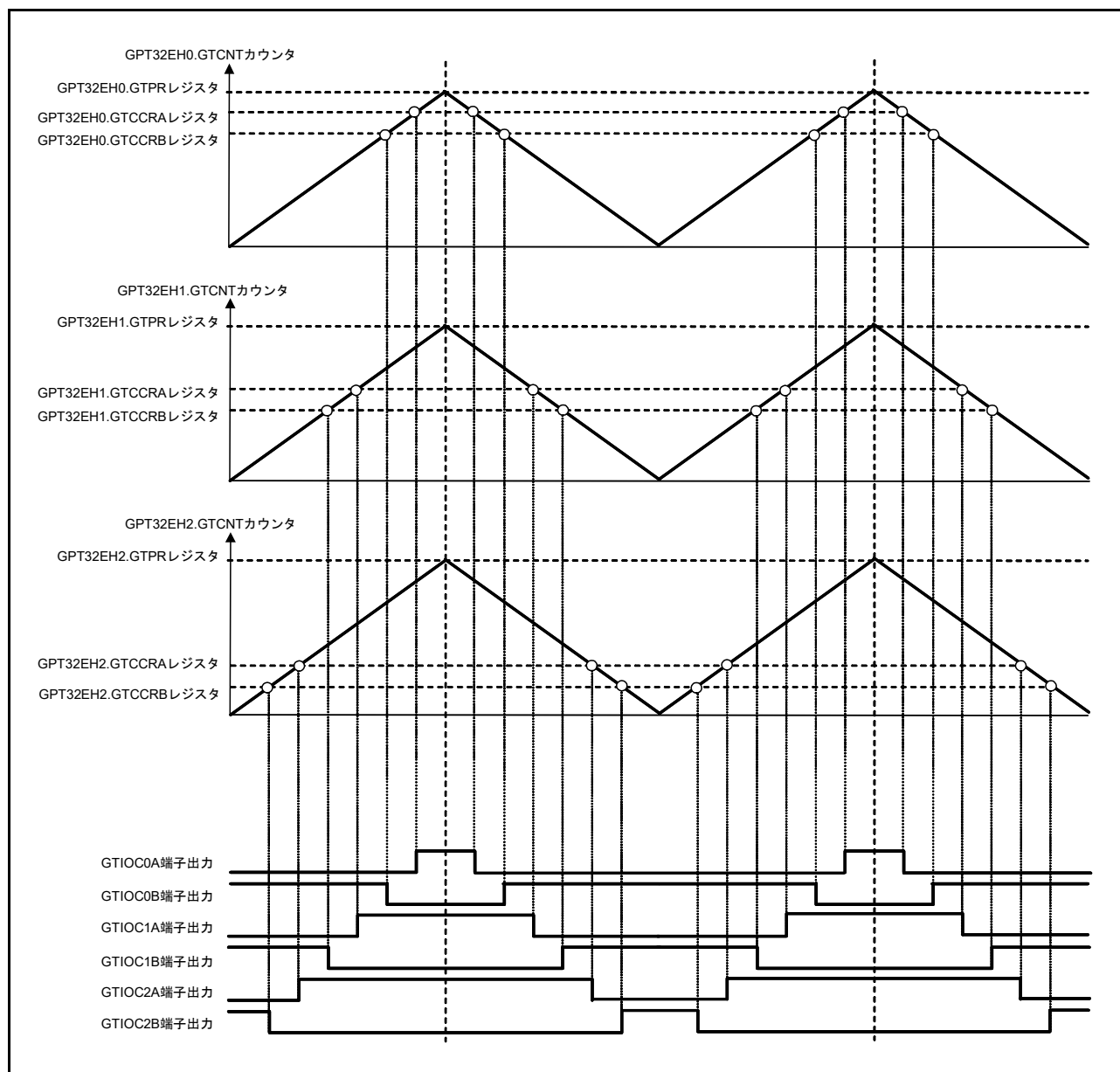


図 22.68 三角波 3 相相補 PWM 出力例

## (5) 三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 22.69 に、デッドタイム自動設定機能を使用して、3 チャンネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

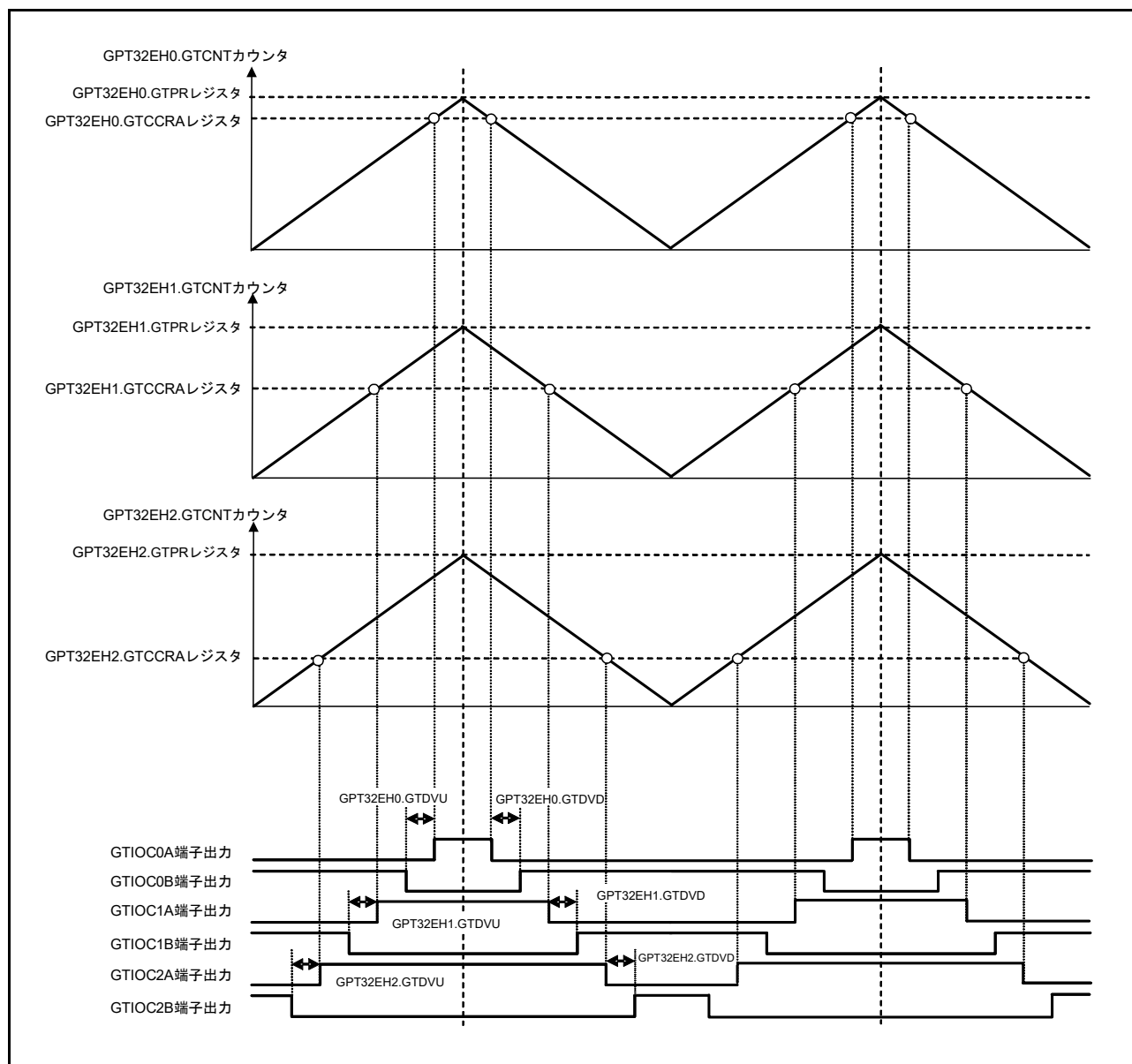


図 22.69 三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 22.70 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

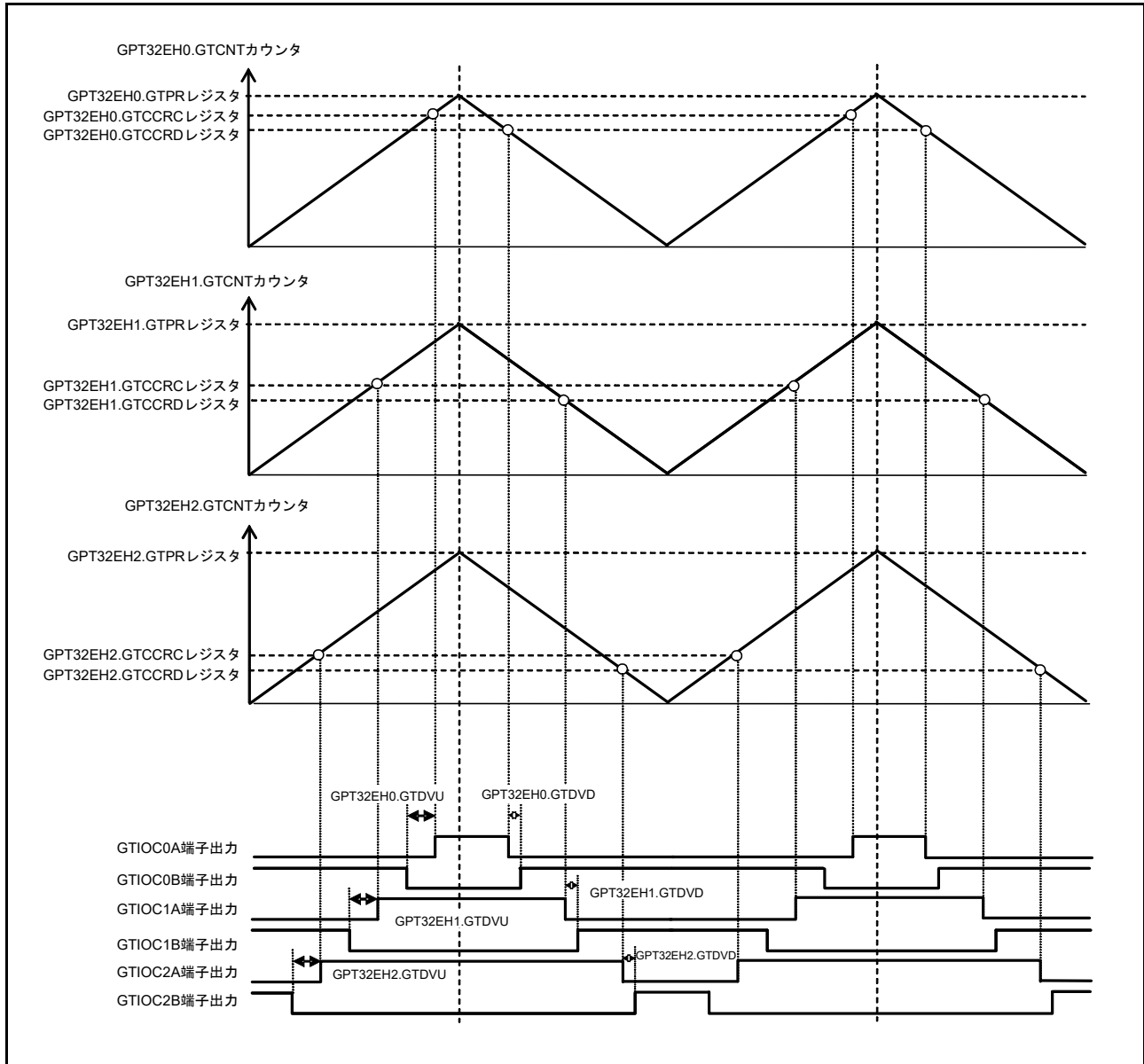


図 22.70 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)



### 22.3.10 位相計数機能

GTIOCA 端子入力と GTIOCB 端子入力の間で位相差が検出されると、対応する GTCNT カウンタがカウントアップまたはカウントダウンを実行します。GTUPSR および GTDNSR レジスタに設定されている GTIOCA 端子入力と GTIOCB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作については、[22.3.1.1 カウンタの動作](#)を参照してください。

[図 22.71](#) ~ [図 22.80](#) に、位相計数機能 1 ~ 5 を示します。[表 22.8](#) ~ [表 22.17](#) に、アップカウント/ダウンカウントの条件と、GTUPSR および GTDNSR レジスタの設定値を示します。

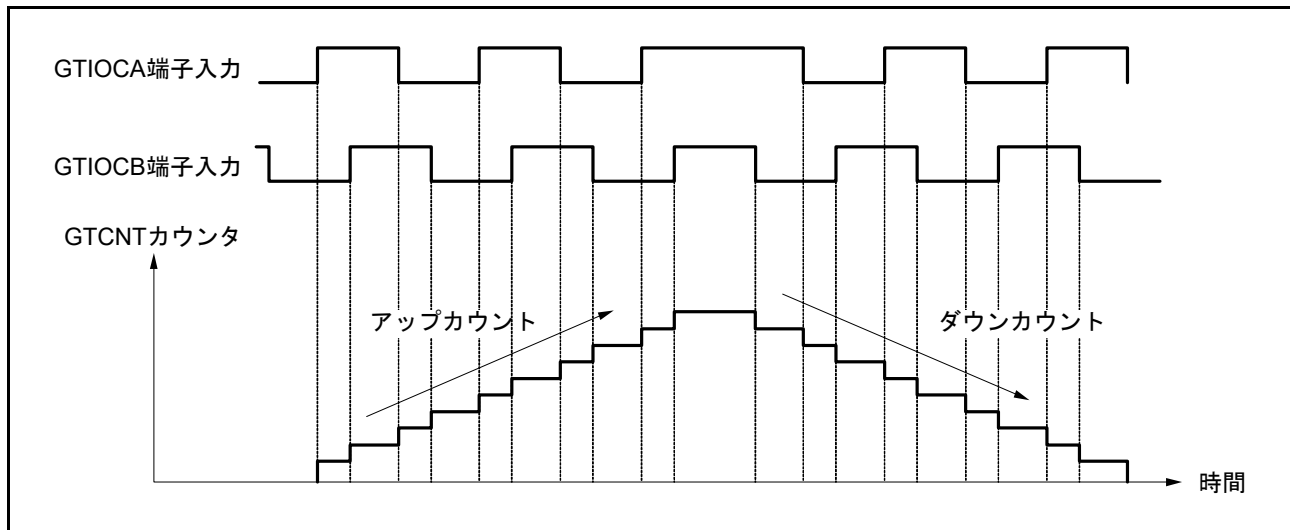


図 22.71 位相計数機能 1 の動作例

表 22.8 位相計数機能 1 でのアップカウント/ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR = 0000 6900h GTDNSR = 0000 9600h
Low			
	Low		
	High		
High		ダウンカウント	
Low			
	High		
	Low		

: 立ち上がりエッジ

: 立ち下がりエッジ

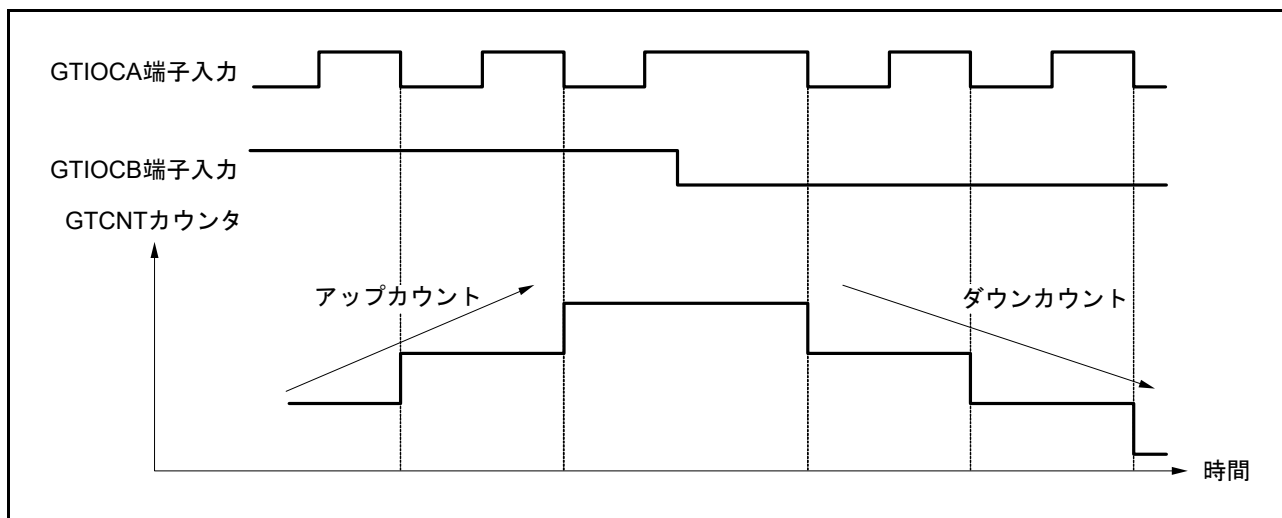


図 22.72 位相計数機能 2 の動作例 (A)

表 22.9 位相計数機能2でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR = 0000 0800h GTDNSR = 0000 0400h
Low			
	Low	アップカウント	
	High		
High		Don't care	
Low			
	High	ダウンカウント	
	Low		

: 立ち上がりエッジ  
 : 立ち下がりエッジ

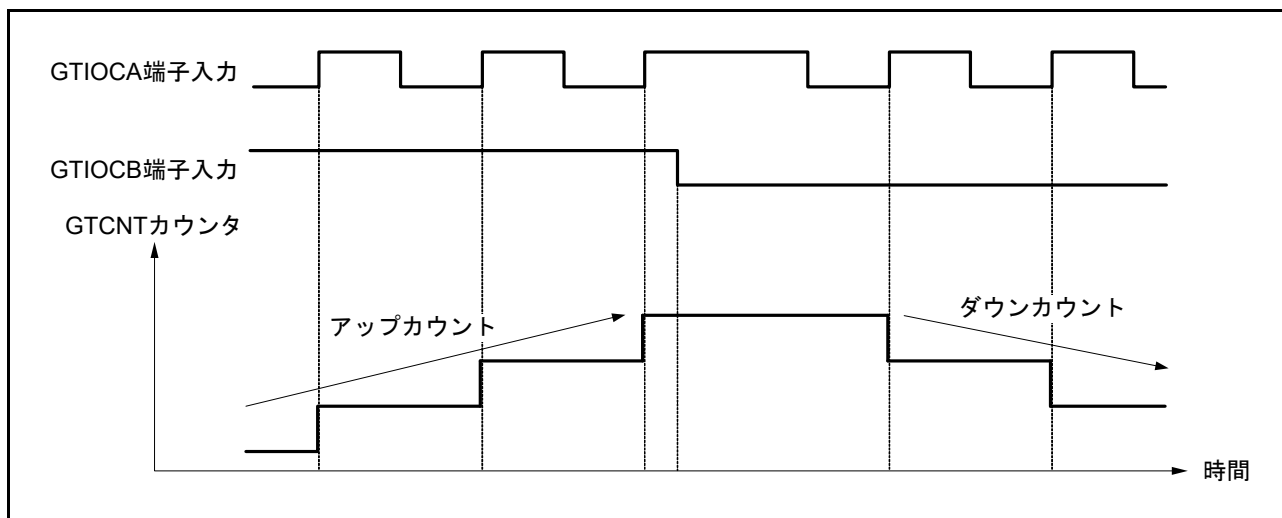


図 22.73 位相計数機能 2 の動作例 (B)

表 22.10 位相計数機能2でのアップカウント/ダウンカウントの条件 (B)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR = 0000 0200h GTDNSR = 0000 0100h
Low		Don't care	
	Low	ダウンカウント	
	High	Don't care	
High		Don't care	
Low		Don't care	
	High	アップカウント	
	Low	Don't care	

: 立ち上がりエッジ

: 立ち下がりエッジ

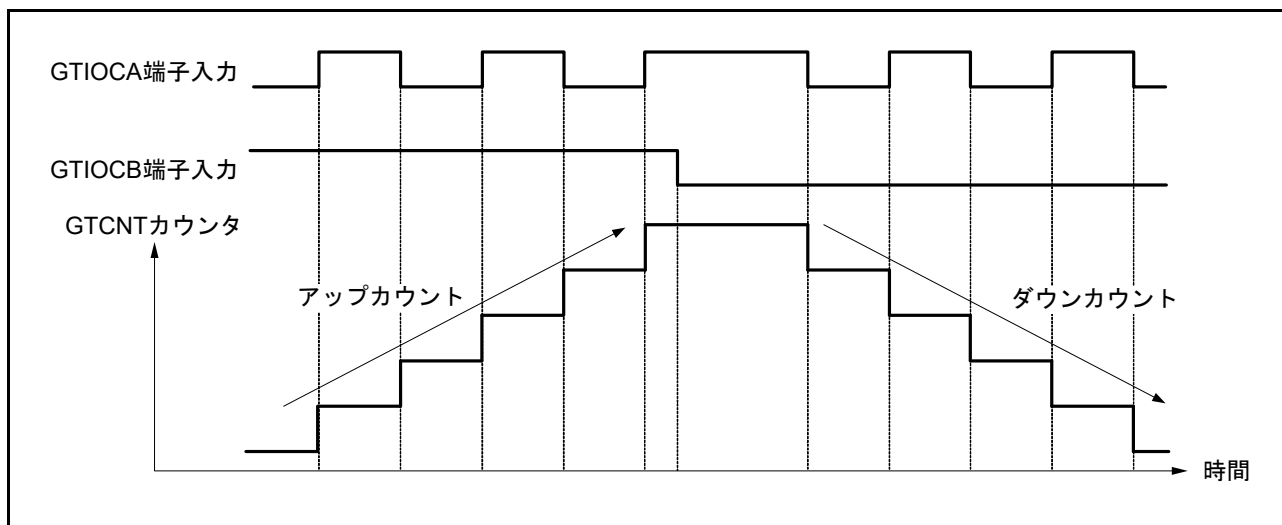


図 22.74 位相計数機能 2 の動作例 (C)

表 22.11 位相計数機能 2 でのアップカウント/ダウンカウントの条件 (C)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR = 0000 0A00h GTDNSR = 0000 0500h
Low			
	Low	ダウンカウント	
	High	アップカウント	
High		Don't care	
Low			
	High	アップカウント	
	Low	ダウンカウント	

: 立ち上がりエッジ  
 : 立ち下がりエッジ

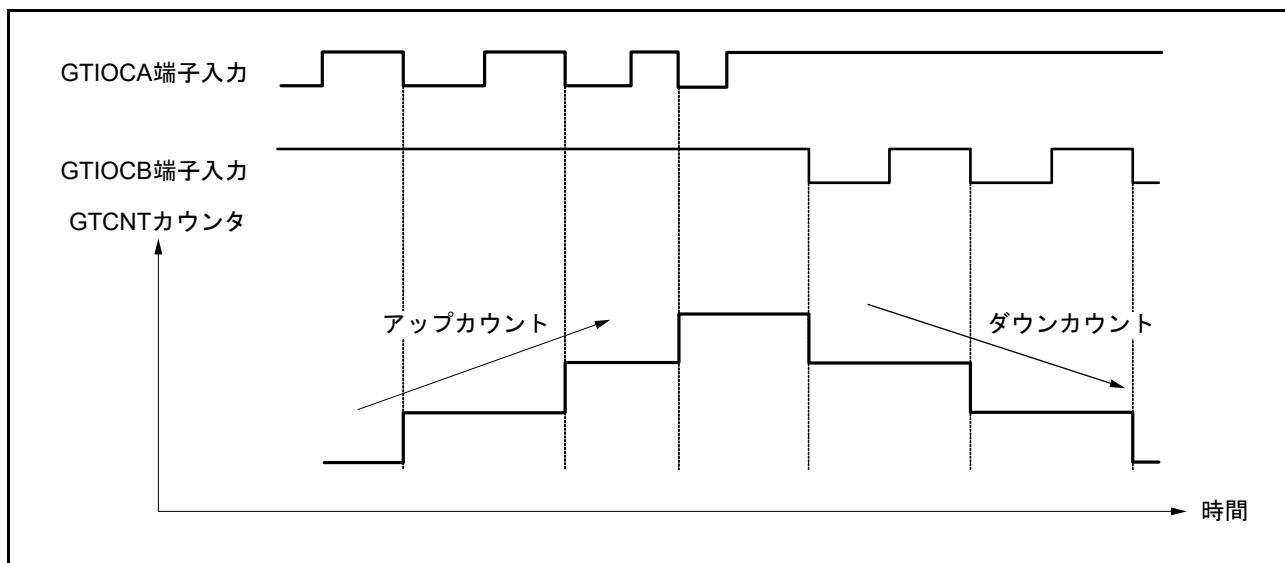


図 22.75 位相計数機能3の動作例 (A)

表 22.12 位相計数機能3でのアップカウント/ダウンカウントの条件 (A)

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR = 0000 0800h GTDNSR = 0000 8000h
Low			
	Low	アップカウント	
	High		
High		ダウンカウント	
Low		Don't care	
	High		
	Low		

: 立ち上がりエッジ

: 立ち下がりエッジ

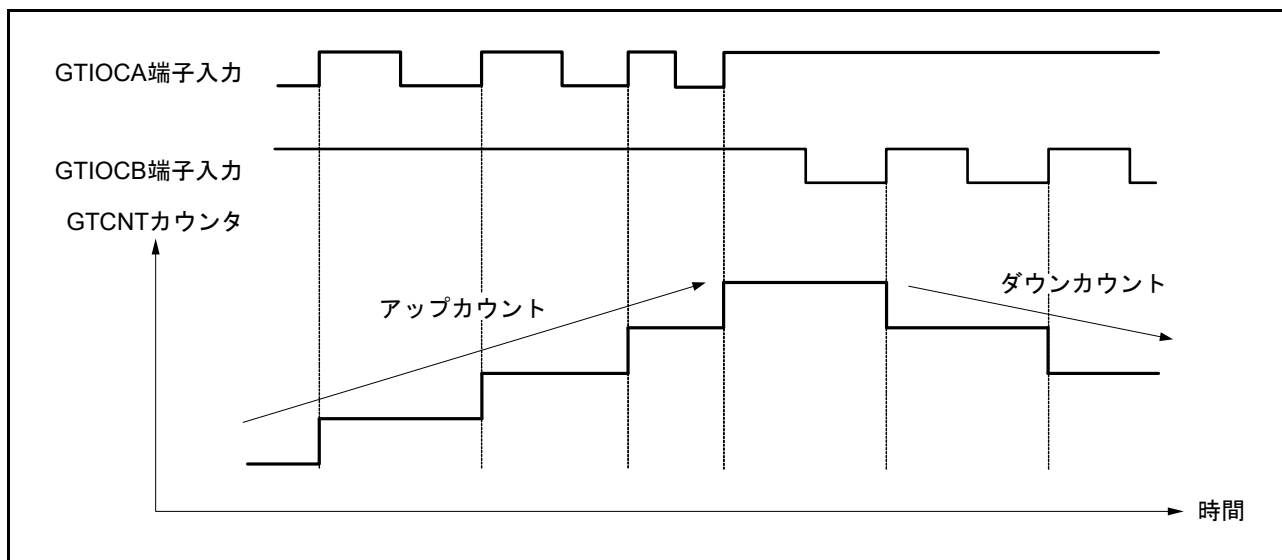


図 22.76 位相計数機能 3 の動作例 (B)

表 22.13 位相計数機能 3 でのアップカウント/ダウンカウントの条件 (B)

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR = 0000 0200h GTDNSR = 0000 2000h
Low	↓	Don't care	
↑	Low	Don't care	
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	Don't care	

↑ : 立ち上がりエッジ  
↓ : 立ち下がりエッジ

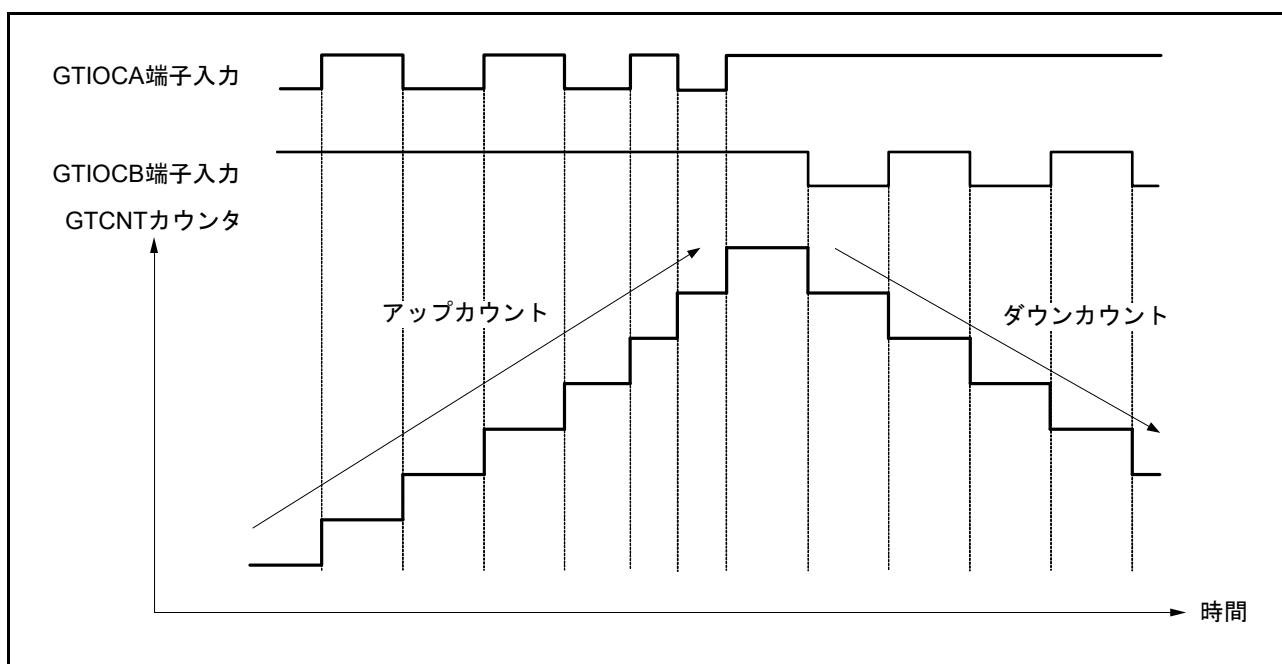


図 22.77 位相計数機能3の動作例 (C)

表 22.14 位相計数機能3でのアップカウント/ダウンカウントの条件 (C)

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR = 0000 0A00h GTDNSR = 0000 A000h
Low		Don't care	
	Low	アップカウント	
	High		
High		ダウンカウント	
Low		Don't care	
	High	アップカウント	
	Low	Don't care	

: 立ち上がりエッジ

: 立ち下がりエッジ

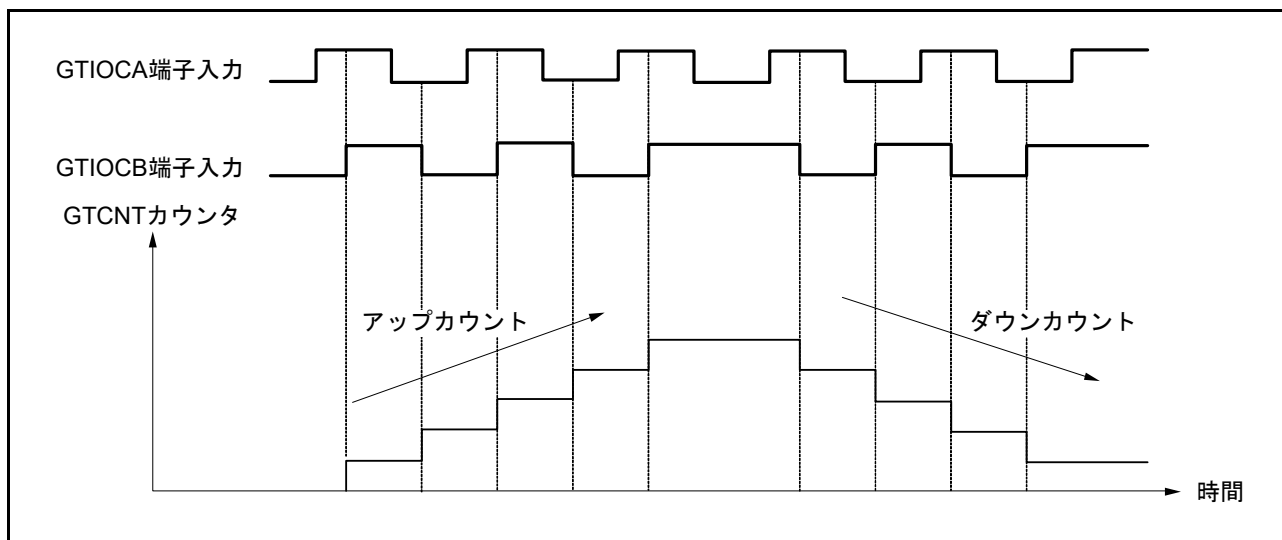


図 22.78 位相計数機能 4 の動作例

表 22.15 位相計数機能4でのアップカウント/ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR = 0000 6000h GTDNSR = 0000 9000h
Low	↓		
↑	Low	Don't care	
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High	Don't care	
↓	Low		

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ



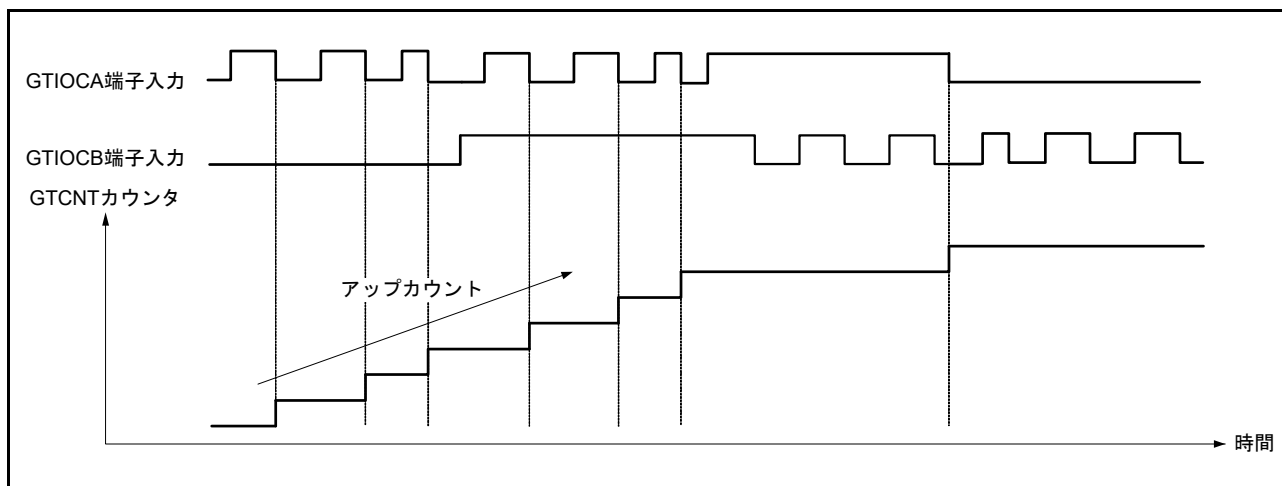


図 22.79 位相計数機能5の動作例 (A)

表 22.16 位相計数機能5でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR = 0000 0C00h GTDNSR = 0000 0000h
Low			
	Low	アップカウント	
	High		
High		Don't care	
Low			
	High	アップカウント	
	Low		

: 立ち上がりエッジ  
 : 立ち下がりエッジ

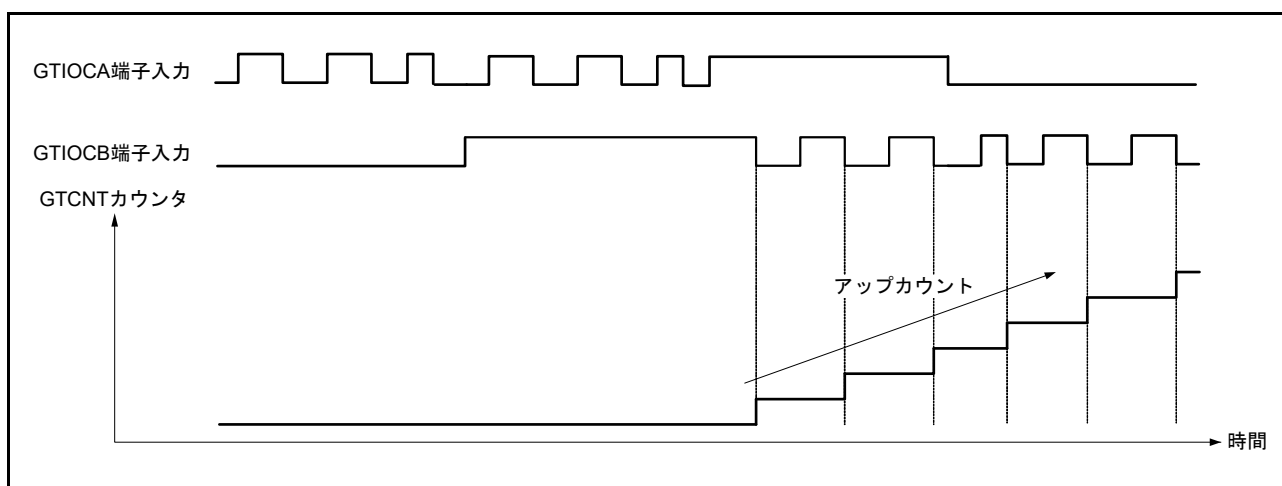


図 22.80 位相計数機能 5 の動作例 (B)

表 22.17 位相計数機能 5 でのアップカウント/ダウンカウントの条件 (B)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR = 0000 0C00h GTDNSR = 0000 0000h
Low		アップカウント	
	Low	Don't care	
	High	Don't care	
High		アップカウント	
Low		Don't care	
	High	Don't care	
	Low	Don't care	

: 立ち上がりエッジ  
 : 立ち下がりエッジ

### 22.3.11 出力相切り替え (GPT\_OPS)

GPT\_OPS は、出力相切り替えコントロールレジスタ (OPSCR) によるブラシレス DC モータ動作の簡易制御機能を提供します。

GPT\_OPS は、6相モータ制御の各相 (U 正相/逆相、V 正相/逆相、W 正相/逆相) のレベル信号またはチョップ制御に使用する PWM 信号を出力します。この機能では、ソフトウェアで設定したソフト設定値 (OPSCR.UF、VF、WF ビット)、ホール素子により検知した外部信号、GPT32EH0.GTIOCA 端子の PWM 波形などを使用します。

図 22.81 に GPT\_OPS 制御フローの概念図を示します。

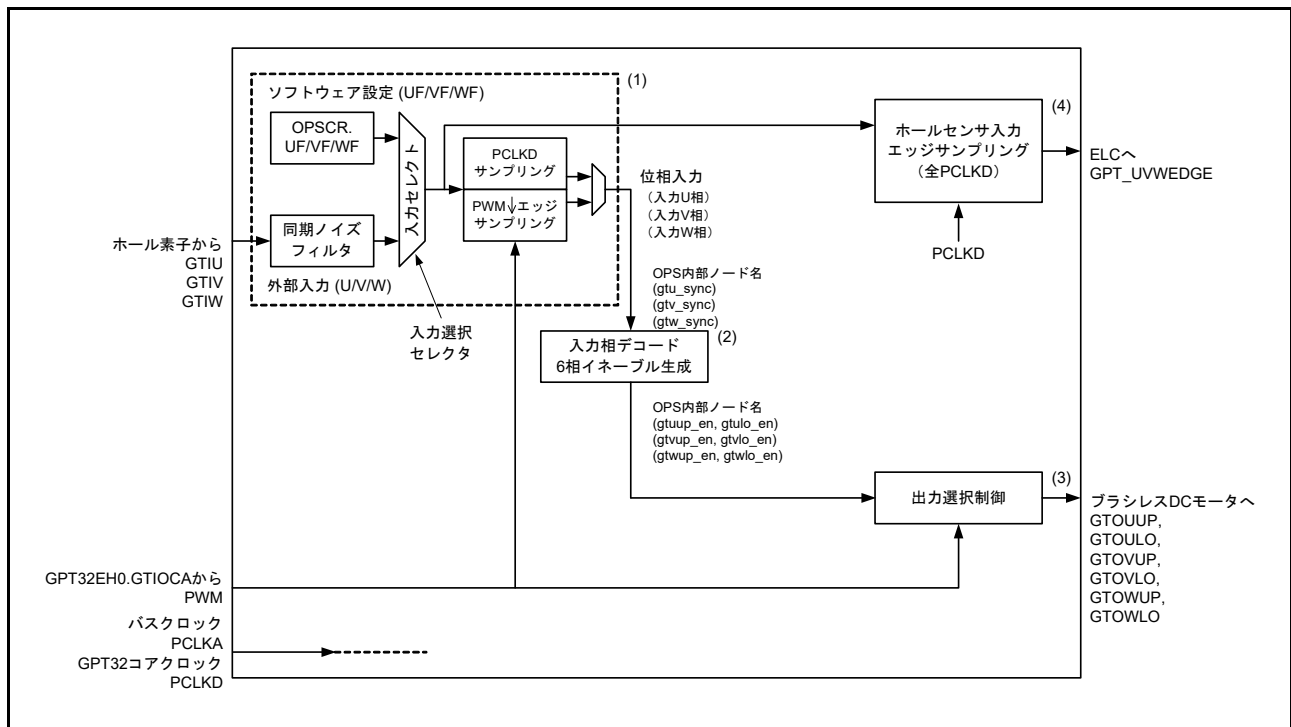


図 22.81 GPT\_OPS 制御フローの概念図

図 22.82 に GPT\_OPS 動作の 6 相レベル信号出力例を示します。

図 22.82 の GPT\_UVWEDGE 信号は、ELC へ出力するホールセンサ入力エッジです。

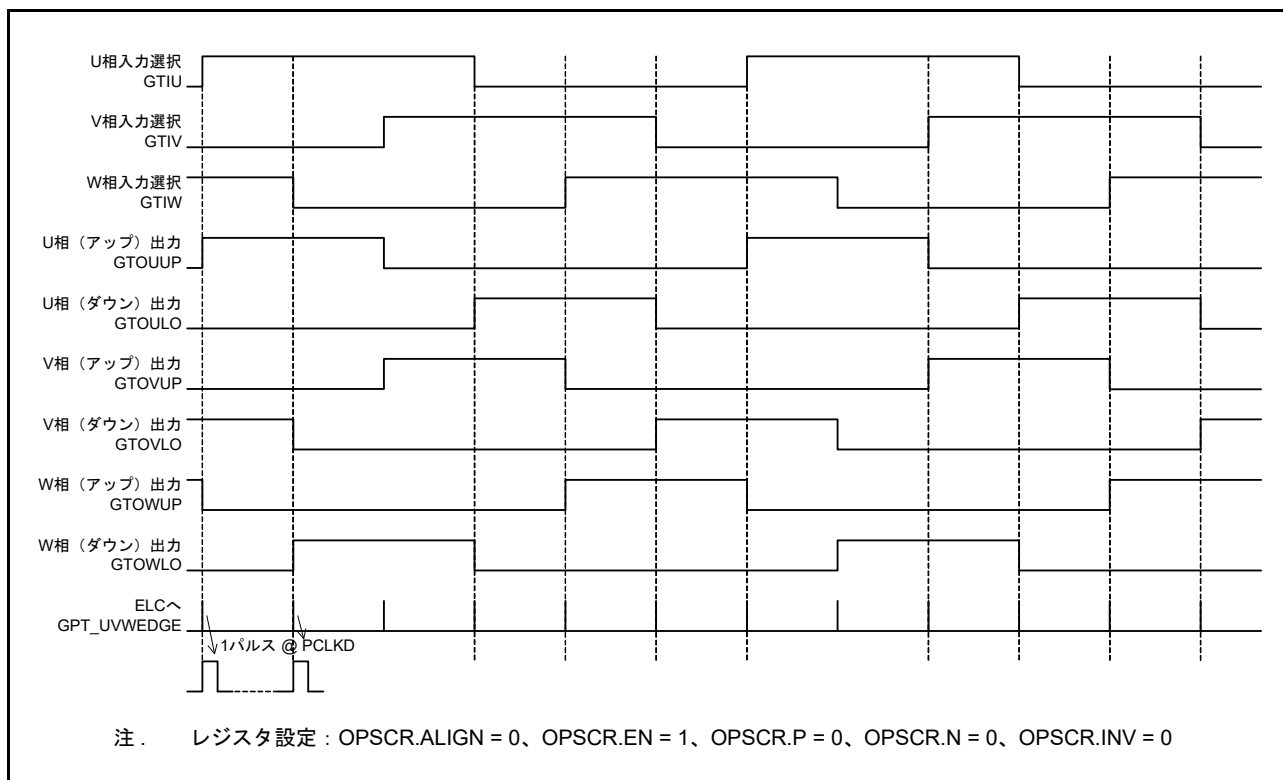


図 22.82 6 相レベル出力動作例

図 22.83 に GPT\_OPS 動作の 6 相 PWM 出力例 (チョップ制御) を示します。

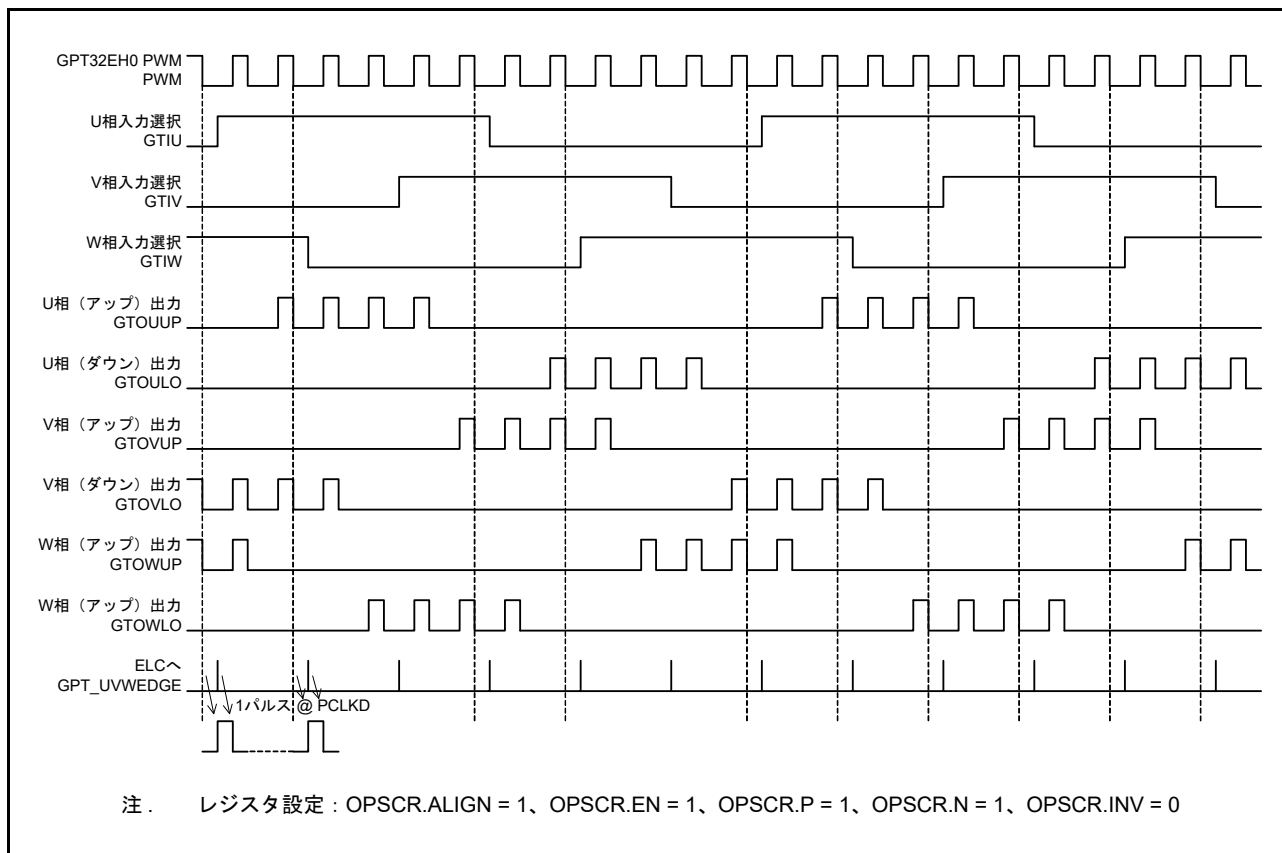


図 22.83 6 相 PWM 出力動作例 (チョップ制御)

図 22.84 に出力禁止制御の例 (6相PWM出力動作) を示します。

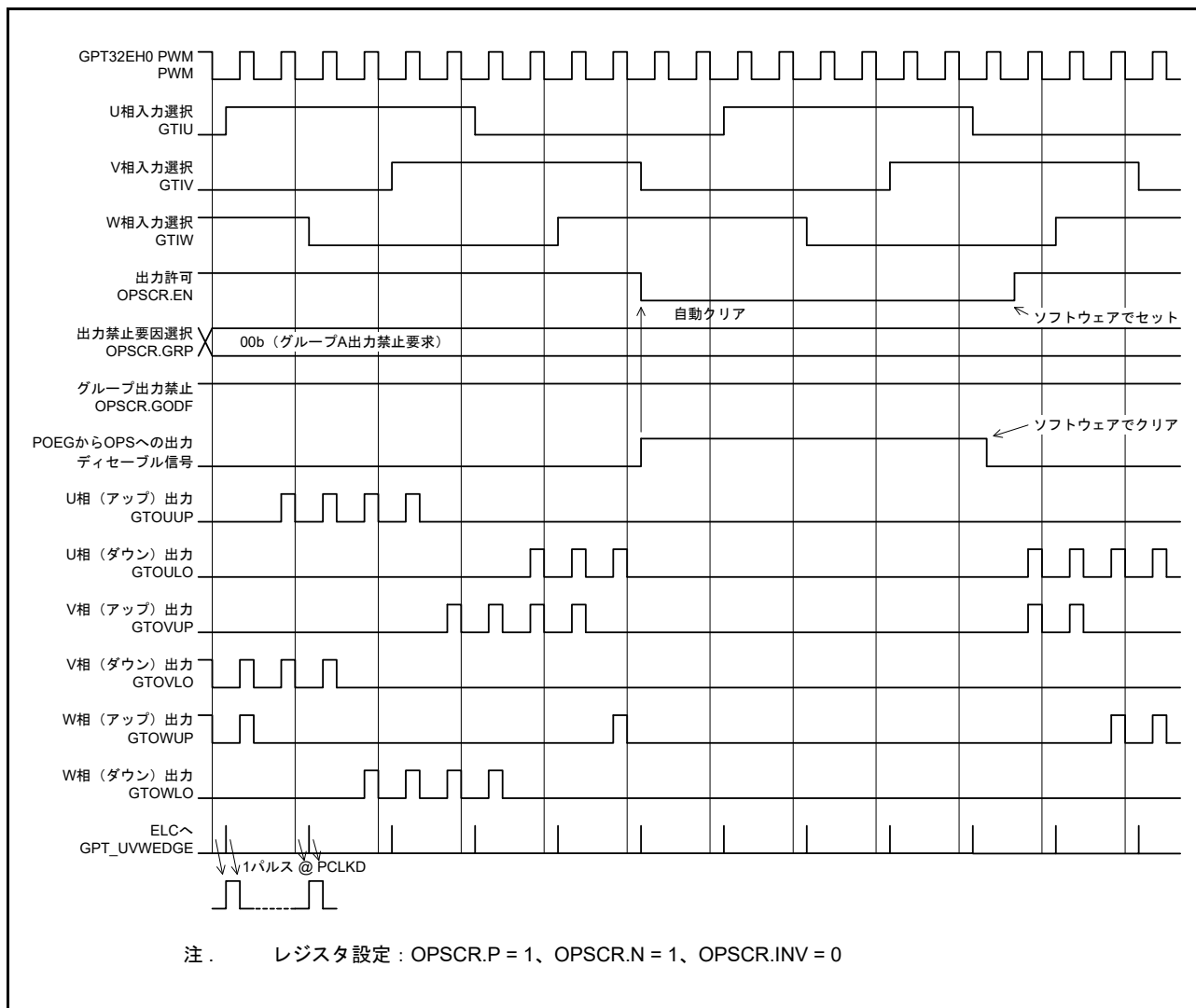


図 22.84 グループ出力禁止制御動作例

### 22.3.11.1 外部入力信号の同期および入力選択

図 22.81 に示す GPT\_OPS 制御フロー概念図の (1) の部分では、OPSCR.FB ビットの設定により、ソフトウェア設定による入力相か外部入力のどちらかを選択します。

OPSCR.FB ビット=0 のとき、ホールセンサ入力を GPT\_OPS の入力相に選択します。ホールセンサ入力は、PCLKD の同期化、ノイズフィルタ (任意選択) の処理を実施後、OPSCR.ALIGN=1 によって PWM (GPT320.GTIOC0A 端子の PWM) の立ち下がり (↓) エッジサンプリングを行い入力相となります。

OPSCR.FB ビット=1 のとき、ソフトウェア設定値 (OPSCR.UF、VF、WF) を選択し、OPSCR.ALIGN=1 によって PWM (GPT320.GTIOC0A 端子の PWM) の立ち下がり (↓) エッジサンプリングを行い入力相となります。

OPSCR.ALIGN ビット=0 のときは、OPSCR.FB=0/1 のいずれの場合も PCLKD 同期の入力相となりますが、PWM 出力を選択 (OPSCR.P/N=1) すると出力相 U/V/W 切り替え (U=>V=>W=>U) タイミング直前/直後の PWM パルス幅が短くなることがあります。

表 22.18 に、入力選択処理と対応する OPSCR レジスタのビット設定を示します。

表 22.18 入力選択処理方法

OPSCR レジスタ		入力相サンプリング方法の選択 (U/V/W相)	同期入出力選択処理 (GPT_OPS 内部ノード名)
FB ビット	ALIGN ビット		
0	1	PWM立ち下がリエッジサンプリングでの外部入力 (PCLKD同期 + 立ち下がリエッジサンプル)	入力相 入力U相 (gtu_sync) 入力V相 (gtv_sync) 入力W相 (gtw_sync)
	0	PCLKD同期出力での外部入力 (PCLKD同期 + スルーモード)	
1	1	PWM立ち下がリエッジサンプリングでのソフトウェア設定 (立ち下がリエッジサンプルの OPSCR.UF、VF、WF ビット)	
	0	ソフトウェア設定値選択 (= OPSCR.UF/VF/WF ビット値) (= PCLKD同期)	

### 22.3.11.2 入力サンプリング

OPSCR.U、V、W ビットは、OPSCR.FB ビットで選択した入力の PCLKD サンプリング結果を示します。

OPSCR.FB ビット=0 の場合、GPT コアクロック (PCLKD) との同期およびノイズフィルタリング (オプション) 後に、OPSCR.U、V、W ビットは外部入力のサンプリング結果を示します。OPSCR.FB ビット=1 の場合、OPSCR.U、V、W ビットはソフト設定値 (OPSCR.UF、VF、WF ビット) になります。

## 22.3.11.3 入力相デコード

図 22.81 に示す GPT\_OPS 制御フロー概念図の (2) の部分では、OPSCR.FB ビットで選択した入力相をデコードすることにより、6 相信号を有効にします。6 相許可信号は、GPT\_OPS の内部処理に使用されます。

表 22.19 に入力相のデコード表を示します。

表 22.19 入力相デコード表

入力相 (U/V/W) (GPT_OPS内部ノード名)			入力相のデコードによる6相許可 [U/V/W (Up/Lo)] (GPT_OPS内部ノード名)					
入力U相	入力V相	入力W相	U相 (Up)	U相 (Lo)	V相 (Up)	V相 (Lo)	W相 (Up)	W相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	0	0	1
1	1	0	0	0	1	0	0	1
0	1	0	0	1	1	0	0	0
0	1	1	0	1	0	0	1	0
0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

## 22.3.11.4 出力選択制御

図 22.81 に示す GPT\_OPS 制御フロー概念図の (3) の部分では、OPSCR レジスタのビットを設定することによって出力波形を選択します。

出力選択に関連するビットを以下に示します。

- OPSCR.EN ビット：6 相出力の出力/停止を制御
- OPSCR.P ビットおよび OPSCR.N ビット：出力相に対してレベル信号/ PWM 信号 (チョッパ出力) を選択可能
- 出力相の極性は、OPSCR.INV ビットで正論理/負論理に設定可能

表 22.20 および表 22.21 に、OPSCR レジスタのビットを使用した出力選択制御方法を示します。

表 22.20 出力選択制御方法 (正相) (1/2)

イネーブル相出力制御	正相出力 (P) 制御	反転相出力制御	出力ポート名 (正相 = Up) (出力選択内部ノード割り当て)	
			GTOUUP GTOVUP GTOWUP	モード
OPSCR.EN ビット	OPSCR.P ビット	OPSCR.INV ビット		
0	x	x	0	出力停止 (外部端子 Hi-Z) GPT_OPS ⇒ 0 出力
1	0	0	レベル信号 (gtuup_en) (gtvup_en) (gtwup_en)	レベル出力モード (正相) (正論理)
1	0	1	レベル信号 (~gtuup_en) (~gtvup_en) (~gtwup_en)	レベル出力モード (正相) (負論理)
1	1	0	PWM 信号 (PWM & gtuup_en) (PWM & gtvup_en) (PWM & gtwup_en)	PWM 出力モード (正相) (正論理)



表 22.20 出力選択制御方法 (正相) (2/2)

イネーブル相出力制御	正相出力 (P) 制御	反転相出力制御	出力ポート名 (正相 = Up) (出力選択内部ノード割り当て)	
OPSCR.EN ビット	OPSCR.P ビット	OPSCR.INV ビット	GTOUUP GTOVUP GTOWUP	モード
1	1	1	PWM 信号 (~(PWM & gtuup_en)) (~(PWM & gtvup_en)) (~(PWM & gtwup_en))	PWM出力モード (正相) (負論理)

表 22.21 出力選択制御方法 (逆相)

イネーブル相出力制御	正相出力 (N) 制御	反転相出力制御	出力ポート名 (逆相 = Lo) (出力選択内部ノード割り当て)	
OPSCR.EN ビット	OPSCR.N ビット	OPSCR.INV ビット	GTOULO GTOVLO GTOWLO	モード
0	x	x	0	出力停止 (外部端子 Hi-Z) GPT_OPS⇒0出力
1	0	0	レベル信号 (gtulo_en) (gtvlo_en) (gtwlo_en)	レベル出力モード (逆相) (正論理)
1	0	1	レベル信号 (~gtulo_en) (~gtvlo_en) (~gtwlo_en)	レベル出力モード (逆相) (負論理)
1	1	0	PWM 信号 (PWM & gtulo_en) (PWM & gtvlo_en) (PWM & gtwlo_en)	PWM出力モード (逆相) (正論理)
1	1	1	PWM 信号 (~(PWM & gtulo_en)) (~(PWM & gtvlo_en)) (~(PWM & gtwlo_en))	PWM出力モード (逆相) (負論理)

### 22.3.11.5 出力選択制御 (グループ出力禁止機能)

OPSCR.GODF ビット = 1 かつ OPSCR.GRP ビットで選択した信号値が High (出力禁止要求) のとき、GPT\_OPS 出力端子は非同期に Hi-Z に変化し、PCLKD と同期した出力禁止要求信号により OPSCR.EN ビットは 0 になります。復帰するには、ソフトウェアで出力禁止要求をクリアした後、OPSCR.EN ビットを 1 にしてください。

OPSCR.EN ビットが 0 にクリアされるタイミングは、出力禁止要求が発生してから PCLKD の 3 周期後です。出力禁止制御を確実に実行するには、(POEG の出力禁止要求フラグのクリアによる) 出力禁止要求の発生から停止まで、少なくとも PCLKD の 4 周期分待つ必要があります。グループ出力禁止制御の動作例については、[図 22.84](#) を参照してください。

### 22.3.11.6 イベントリンクコントローラ (ELC) 出力

[図 22.81](#) に示す GPT\_OPS 制御フロー概念図の (4) の部分では、ホールセンサ入力信号エッジを ELC に出力します。

ホールセンサ入力エッジ信号は、PCLKD でサンプリングされた U 相 / V 相 / W 相入力のそれぞれの立ち上がり / 立ち下がりエッジとの論理和となります。すなわち、U 相 / V 相 / W 相入力のそれぞれの High レベル持続期間が短いと、その時点でホールセンサエッジ入力信号は出力されません。

OPSCR.FB ビット = 0 の場合、ホールセンサ入力エッジ信号は、PCLKD でサンプリングされた外部入力相

のエッジ信号の論理和となります。

OPSCR.FB ビット=1 の場合、ホールセンサ入力エッジ信号は、PCLKD でサンプリングされたソフト設定 (OPSCR.UF、VF、WF ビット) のエッジ信号の論理和となります。

ELC への出力信号の例については、[図 22.82](#) ~ [図 22.84](#) を参照してください。

### 22.3.11.7 GPT\_OPS スタート動作設定フロー

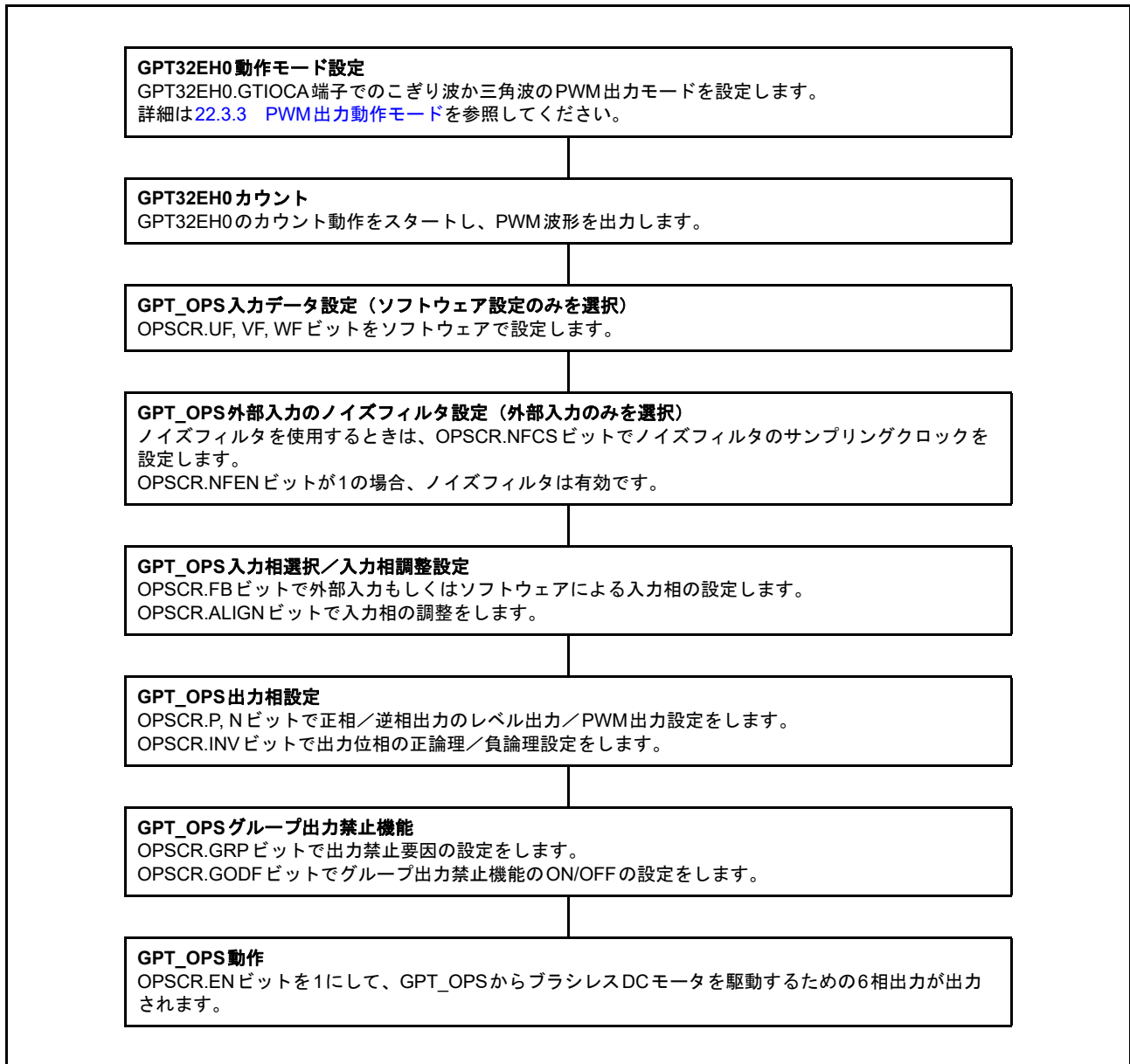


図 22.85 GPT\_OPS スタート動作設定例

## 22.4 割り込み要因

GPT には以下の割り込み要因があります。

- GTCCR インพุットキャプチャ/コンペアマッチ
- GTADTR コンペアマッチ
- GTCNT カウンタオーバーフロー (GTPR コンペアマッチ) /アンダーフロー

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態によって自動更新されます。

表 22.22 に GPT の割り込み要因を示します。

表 22.22 割り込み要因 (1/4)

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの起動
0	GPT0_CCMPA	GPT32EH0.GTCCRAインพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT0_CCMPB	GPT32EH0.GTCCRBインพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT0_CMPC	GPT32EH0.GTCCRCコンペアマッチ	TCFC	可能
	GPT0_CMPD	GPT32EH0.GTCCRDコンペアマッチ	TCFD	可能
	GPT0_CMPE	GPT32EH0.GTCCREコンペアマッチ	TCFE	可能
	GPT0_CMPF	GPT32EH0.GTCCRFコンペアマッチ	TCFF	可能
	GPT0_ADTRGA	GPT32EH0.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	GPT0_ADTRGB	GPT32EH0.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	GPT0_OVF	GPT32EH0.GTCNTオーバーフロー (GPT32EH0.GTPRコンペアマッチ)	TCFPO	可能
	GPT0_UDF	GPT32EH0.GTCNTアンダーフロー	TCFPU	可能
1	GPT1_CCMPA	GPT32EH1.GTCCRAインพุットキャプチャ/コンペアマッチ	TCFA	可能
	GPT1_CCMPB	GPT32EH1.GTCCRBインพุットキャプチャ/コンペアマッチ	TCFB	可能
	GPT1_CMPC	GPT32EH1.GTCCRCコンペアマッチ	TCFC	可能
	GPT1_CMPD	GPT32EH1.GTCCRDコンペアマッチ	TCFD	可能
	GPT1_CMPE	GPT32EH1.GTCCREコンペアマッチ	TCFE	可能
	GPT1_CMPF	GPT32EH1.GTCCRFコンペアマッチ	TCFF	可能
	GPT1_ADTRGA	GPT32EH1.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	GPT1_ADTRGB	GPT32EH1.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	GPT1_OVF	GPT32EH1.GTCNTオーバーフロー (GPT32EH1.GTPRコンペアマッチ)	TCFPO	可能
	GPT1_UDF	GPT32EH1.GTCNTアンダーフロー	TCFPU	可能

表 22.22 割り込み要因 (2/4)

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの起動
2	GPT2_CCMPA	GPT32EH2.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT2_CCMPB	GPT32EH2.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT2_CMPC	GPT32EH2.GTCCRCコンペアマッチ	TCFC	可能
	GPT2_CMPD	GPT32EH2.GTCCRDコンペアマッチ	TCFD	可能
	GPT2_CMPE	GPT32EH2.GTCCREコンペアマッチ	TCFE	可能
	GPT2_CMPF	GPT32EH2.GTCCRFコンペアマッチ	TCFF	可能
	GPT2_ADTRGA	GPT32EH2.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	GPT2_ADTRGB	GPT32EH2.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	GPT2_OVF	GPT32EH2.GTCNTオーバーフロー (GPT32EH2.GTPRコンペアマッチ)	TCFPO	可能
	GPT2_UDF	GPT32EH2.GTCNTアンダーフロー	TCFPU	可能
3	GPT3_CCMPA	GPT32EH3.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT3_CCMPB	GPT32EH3.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT3_CMPC	GPT32EH3.GTCCRCコンペアマッチ	TCFC	可能
	GPT3_CMPD	GPT32EH3.GTCCRDコンペアマッチ	TCFD	可能
	GPT3_CMPE	GPT32EH3.GTCCREコンペアマッチ	TCFE	可能
	GPT3_CMPF	GPT32EH3.GTCCRFコンペアマッチ	TCFF	可能
	GPT3_ADTRGA	GPT32EH3.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	GPT3_ADTRGB	GPT32EH3.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	GPT3_OVF	GPT32EH3.GTCNTオーバーフロー (GPT32EH3.GTPRコンペアマッチ)	TCFPO	可能
	GPT3_UDF	GPT32EH3.GTCNTアンダーフロー	TCFPU	可能
4	GPT4_CCMPA	GPT32E4.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT4_CCMPB	GPT32E4.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT4_CMPC	GPT32E4.GTCCRCコンペアマッチ	TCFC	可能
	GPT4_CMPD	GPT32E4.GTCCRDコンペアマッチ	TCFD	可能
	GPT4_CMPE	GPT32E4.GTCCREコンペアマッチ	TCFE	可能
	GPT4_CMPF	GPT32E4.GTCCRFコンペアマッチ	TCFF	可能
	GPT4_ADTRGA	GPT32E4.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	GPT4_ADTRGB	GPT32E4.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	GPT4_OVF	GPT32E4.GTCNTオーバーフロー (GPT32E4.GTPRコンペアマッチ)	TCFPO	可能
	GPT4_UDF	GPT32E4.GTCNTアンダーフロー	TCFPU	可能

表 22.22 割り込み要因 (3/4)

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの起動
5	GPT5_CCMPA	GPT32E5.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT5_CCMPB	GPT32E5.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT5_CMPC	GPT32E5.GTCCRCコンペアマッチ	TCFC	可能
	GPT5_CMPD	GPT32E5.GTCCRDコンペアマッチ	TCFD	可能
	GPT5_CMPE	GPT32E5.GTCCREコンペアマッチ	TCFE	可能
	GPT5_CMPF	GPT32E5.GTCCRFコンペアマッチ	TCFF	可能
	GPT5_ADTRGA	GPT32E5.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	GPT5_ADTRGB	GPT32E5.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	GPT5_OVF	GPT32E5.GTCNTオーバーフロー (GPT32E5.GTPRコンペアマッチ)	TCFPO	可能
	GPT5_UDF	GPT32E5.GTCNTアンダーフロー	TCFPU	可能
6	GPT6_CCMPA	GPT32E6.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT6_CCMPB	GPT32E6.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT6_CMPC	GPT32E6.GTCCRCコンペアマッチ	TCFC	可能
	GPT6_CMPD	GPT32E6.GTCCRDコンペアマッチ	TCFD	可能
	GPT6_CMPE	GPT32E6.GTCCREコンペアマッチ	TCFE	可能
	GPT6_CMPF	GPT32E6.GTCCRFコンペアマッチ	TCFF	可能
	GPT6_ADTRGA	GPT32E6.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	GPT6_ADTRGB	GPT32E6.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	GPT6_OVF	GPT32E6.GTCNTオーバーフロー (GPT32E6.GTPRコンペアマッチ)	TCFPO	可能
	GPT6_UDF	GPT32E6.GTCNTアンダーフロー	TCFPU	可能
7	GPT7_CCMPA	GPT32E7.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT7_CCMPB	GPT32E7.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT7_CMPC	GPT32E7.GTCCRCコンペアマッチ	TCFC	可能
	GPT7_CMPD	GPT32E7.GTCCRDコンペアマッチ	TCFD	可能
	GPT7_CMPE	GPT32E7.GTCCREコンペアマッチ	TCFE	可能
	GPT7_CMPF	GPT32E7.GTCCRFコンペアマッチ	TCFF	可能
	GPT7_ADTRGA	GPT32E7.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	GPT7_ADTRGB	GPT32E7.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	GPT7_OVF	GPT32E7.GTCNTオーバーフロー (GPT32E7.GTPRコンペアマッチ)	TCFPO	可能
	GPT7_UDF	GPT32E7.GTCNTアンダーフロー	TCFPU	可能
8	GPT8_CCMPA	GPT328.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT8_CCMPB	GPT328.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT8_CMPC	GPT328.GTCCRCコンペアマッチ	TCFC	可能
	GPT8_CMPD	GPT328.GTCCRDコンペアマッチ	TCFD	可能
	GPT8_CMPE	GPT328.GTCCREコンペアマッチ	TCFE	可能
	GPT8_CMPF	GPT328.GTCCRFコンペアマッチ	TCFF	可能
	GPT8_OVF	GPT328.GTCNTオーバーフロー (GPT328.GTPRコンペアマッチ)	TCFPO	可能
	GPT8_UDF	GPT328.GTCNTアンダーフロー	TCFPU	可能

表 22.22 割り込み要因 (4/4)

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの起動
9	GPT9_CCMPA	GPT329.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT9_CCMPB	GPT329.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT9_CMPC	GPT329.GTCCRCコンペアマッチ	TCFC	可能
	GPT9_CMPD	GPT329.GTCCRDコンペアマッチ	TCFD	可能
	GPT9_CMPE	GPT329.GTCCREコンペアマッチ	TCFE	可能
	GPT9_CMPF	GPT329.GTCCRFコンペアマッチ	TCFF	可能
	GPT9_OVF	GPT329.GTCNTオーバーフロー (GPT329.GTPRコンペアマッチ)	TCFPO	可能
	GPT9_UDF	GPT329.GTCNTアンダーフロー	TCFPU	可能
10	GPT10_CCMPA	GPT3210.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT10_CCMPB	GPT3210.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT10_CMPC	GPT3210.GTCCRCコンペアマッチ	TCFC	可能
	GPT10_CMPD	GPT3210.GTCCRDコンペアマッチ	TCFD	可能
	GPT10_CMPE	GPT3210.GTCCREコンペアマッチ	TCFE	可能
	GPT10_CMPF	GPT3210.GTCCRFコンペアマッチ	TCFF	可能
	GPT10_OVF	GPT3210.GTCNTオーバーフロー (GPT3210.GTPRコンペアマッチ)	TCFPO	可能
	GPT10_UDF	GPT3210.GTCNTアンダーフロー	TCFPU	可能
11	GPT11_CCMPA	GPT3211.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT11_CCMPB	GPT3211.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT11_CMPC	GPT3211.GTCCRCコンペアマッチ	TCFC	可能
	GPT11_CMPD	GPT3211.GTCCRDコンペアマッチ	TCFD	可能
	GPT11_CMPE	GPT3211.GTCCREコンペアマッチ	TCFE	可能
	GPT11_CMPF	GPT3211.GTCCRFコンペアマッチ	TCFF	可能
	GPT11_OVF	GPT3211.GTCNTオーバーフロー (GPT3211.GTPRコンペアマッチ)	TCFPO	可能
	GPT11_UDF	GPT3211.GTCNTアンダーフロー	TCFPU	可能
12	GPT12_CCMPA	GPT3212.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT12_CCMPB	GPT3212.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT12_CMPC	GPT3212.GTCCRCコンペアマッチ	TCFC	可能
	GPT12_CMPD	GPT3212.GTCCRDコンペアマッチ	TCFD	可能
	GPT12_CMPE	GPT3212.GTCCREコンペアマッチ	TCFE	可能
	GPT12_CMPF	GPT3212.GTCCRFコンペアマッチ	TCFF	可能
	GPT12_OVF	GPT3212.GTCNTオーバーフロー (GPT3212.GTPRコンペアマッチ)	TCFPO	可能
	GPT12_UDF	GPT3212.GTCNTアンダーフロー	TCFPU	可能

**(1) GPTn\_ADTRGA 割り込み (n = 0 ~ 7)**

GTCNT カウンタ値が GTADTRA レジスタ値と一致した場合、以下の条件で割り込み要求が発生します。

- アップカウント時、GTINTAD レジスタの割り込み許可ビット (ADTRAUEN) が 1 のとき
  - ダウンカウント時、GTINTAD レジスタの割り込み許可ビット (ADTRADEN) が 1 のとき
- イベントカウント動作時、この割り込み要求は発生しません。

**(2) GPTn\_ADTRGB 割り込み (n = 0 ~ 7)**

GTCNT カウンタ値が GTADTRB レジスタ値と一致した場合、以下の条件で割り込み要求が発生します。

- アップカウント時、GTINTAD レジスタの割り込み許可ビット (ADTRBUEN) が 1 のとき
  - ダウンカウント時、GTINTAD レジスタの割り込み許可ビット (ADTRBDEN) が 1 のとき
- イベントカウント動作時、この割り込み要求は発生しません。

**(3) GPTn\_CCMPA 割り込み (n = 0 ~ 12)**

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRA レジスタ値と一致したとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

**(4) GPTn\_CCMPB 割り込み (n = 0 ~ 12)**

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき

**(5) GPTn\_CMPC 割り込み (n = 0 ~ 12)**

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRC レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

**(6) GPTn\_CMPD 割り込み (n = 0 ~ 12)**

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRD レジスタがバッファ動作)

**(7) GPTn\_CMPE 割り込み (n = 0 ~ 12)**

割り込み要求は以下の条件で発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRE レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード3)
- GTBER.CCRB[1:0] ビット = 01b、10b、11b (GTCCRE レジスタがバッファ動作)

**(8) GPTn\_CMPF 割り込み (n = 0 ~ 12)**

割り込み要求は以下の条件で発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRF レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード3)
- GTBER.CCRB[1:0] ビット = 10b、11b (GTCCRF レジスタがバッファ動作)

**(9) GPTn\_OVF 割り込み (n = 0 ~ 12)**

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、オーバーフロー時 (アップカウント中に GTCNT カウンタ値が GTPR 値から 0 に変化) に割り込み要求が許可されているとき
- 三角波モードの場合、山 (GTCNT カウンタ値が GTPR 値から GTPR 値 -1 に変化) で割り込み要求が許可されているとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) が発生したとき



## (10) GPTn\_UDF 割り込み (n = 0 ~ 12)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、アンダーフロー時 (ダウンカウント中に GTCNT カウンタ値が 0 から GTPR 値に変化) に割り込み要求が許可されているとき
- 三角波モードの場合、谷 (GTCNT カウンタ値が 0 から 1 に変化) で割り込み要求が許可されているとき
- ハードウェア要因によるカウントで、アンダーフロー (ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化) が発生したとき

表 22.23 割り込み信号、割り込み許可ビット、割り込みステータスフラグ

割り込み信号	割り込み許可ビット	割り込みステータスフラグ
GPTn_UDF	— (注1)	GTST[7] (TCFPU)
GPTn_OVF		GTST[6] (TCFPO)
GPTn_ADTRGB	GTINTAD[19] (ADTRBDEN) GTINTAD[18] (ADTRBUEN)	GTST[19] (ADTRBDF) GTST[18] (ADTRBUF)
GPTn_ADTRGA	GTINTAD[17] (ADTRADEN) GTINTAD[16] (ADTRAUEN)	GTST[17] (ADTRADF) GTST[16] (ADTRAUF)
GPTn_CMPF	— (注1)	GTST[5] (TCFF)
GPTn_CMPE		GTST[4] (TCFE)
GPTn_CMPD		GTST[3] (TCFD)
GPTn_CMPC		GTST[2] (TCFC)
GPTn_CCMPB		GTST[1] (TCFB)
GPTn_CCMPA		GTST[0] (TCFA)

注 1. 割り込みは常に許可されます。

### 22.4.1 DMAC/DTC 起動

各チャネルの割り込みによって、DMAC と DTC を起動することが可能です。詳細は、「13. 割り込みコントロールユニット (ICU)」と「17. データトランスファコントローラ (DTC)」を参照してください。

### 22.4.2 割り込み、A/D 変換要求の間引き機能

GTITC レジスタを設定することにより、GTCNT カウンタのオーバーフロー (GTPR レジスタのコンペアマッチ) 割り込み (GPTn\_OVF) と、アンダーフロー割り込み (GPTn\_UDF) を間引くことが可能です。また、他の割り込みや A/D 変換開始要求信号も、GPTn\_OVF/GPTn\_UDF 割り込み間引き機能と連動して間引くことができます。

割り込み要求間引き機能は、GTITC レジスタの設定のみに依存し、GTINTAD レジスタの割り込み許可ビットの設定には依存しません。

三角波モードで谷と山の両方をカウントして間引く場合、間引き回数を奇数に設定すると、間引きカウンタの開始タイミングによっては、谷のみまたは山のみで GPTn\_OVF/GPTn\_UDF 割り込み要求が発生しません。三角波モードで谷と山の両方をカウントし、谷のみまたは山のみで GPTn\_OVF/GPTn\_UDF 割り込みを発生させるには、間引き回数を偶数に設定してください。

同様に、のこぎり波モードでカウント方向を変えながらオーバーフローとアンダーフローの両方をカウントして間引く場合、オーバーフローまたはアンダーフローのいずれか一方のみでは GPTn\_OVF/GPTn\_UDF 割り込み要求が発生しません。のこぎり波モードでカウント方向を変えながらオーバーフローとアンダーフローの両方をカウントし、オーバーフローまたはアンダーフローのいずれか一方のみで GPTn\_OVF/GPTn\_UDF 割り込みを発生させるには、最初に間引き状態を検討する必要があります。

間引き回数を変更する前に、間引き機能をいったん解除 (GTITC.IVTC[1:0] ビット = 00b) してください。

間引き機能の動作例を図 22.86 ~ 図 22.91 に示します。

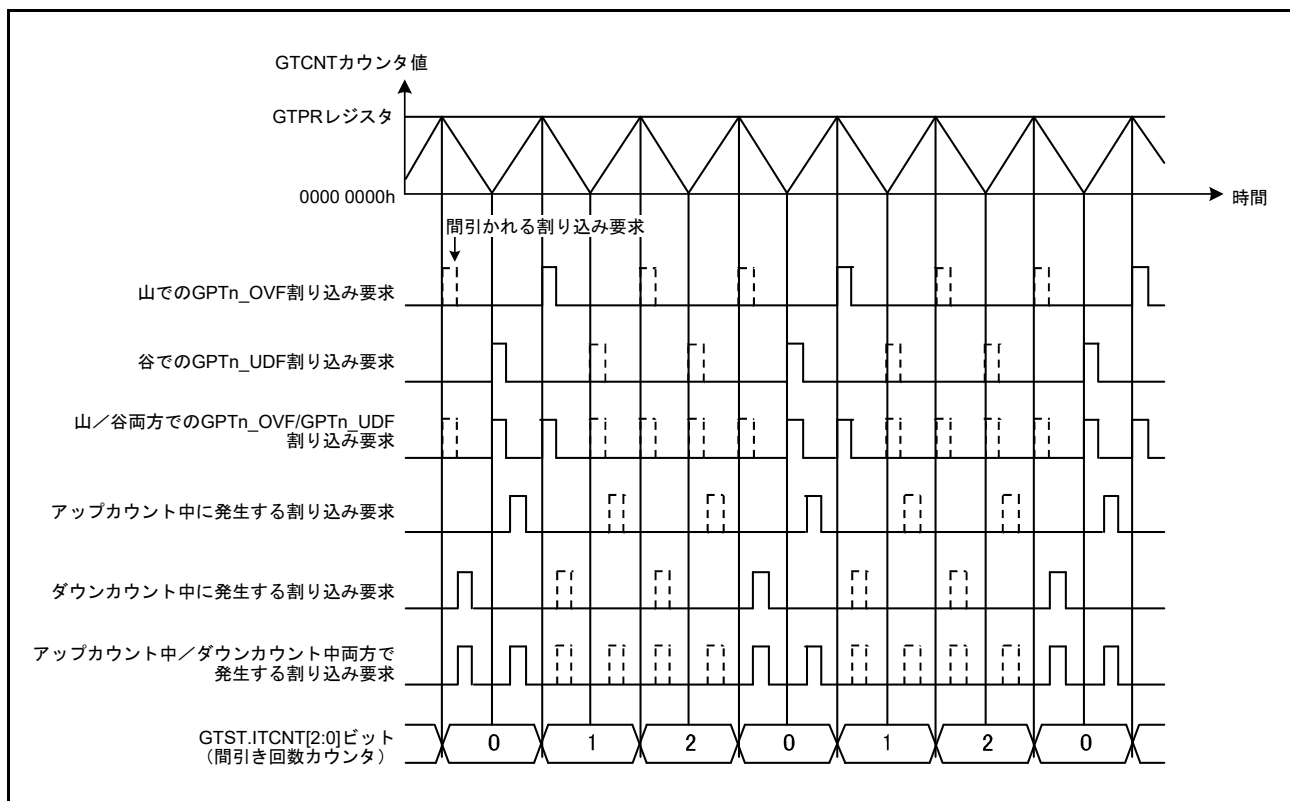


図 22.86 割り込み間引き機能の動作例 (三角波、山をカウントして間引き、間引き回数 2 の場合)

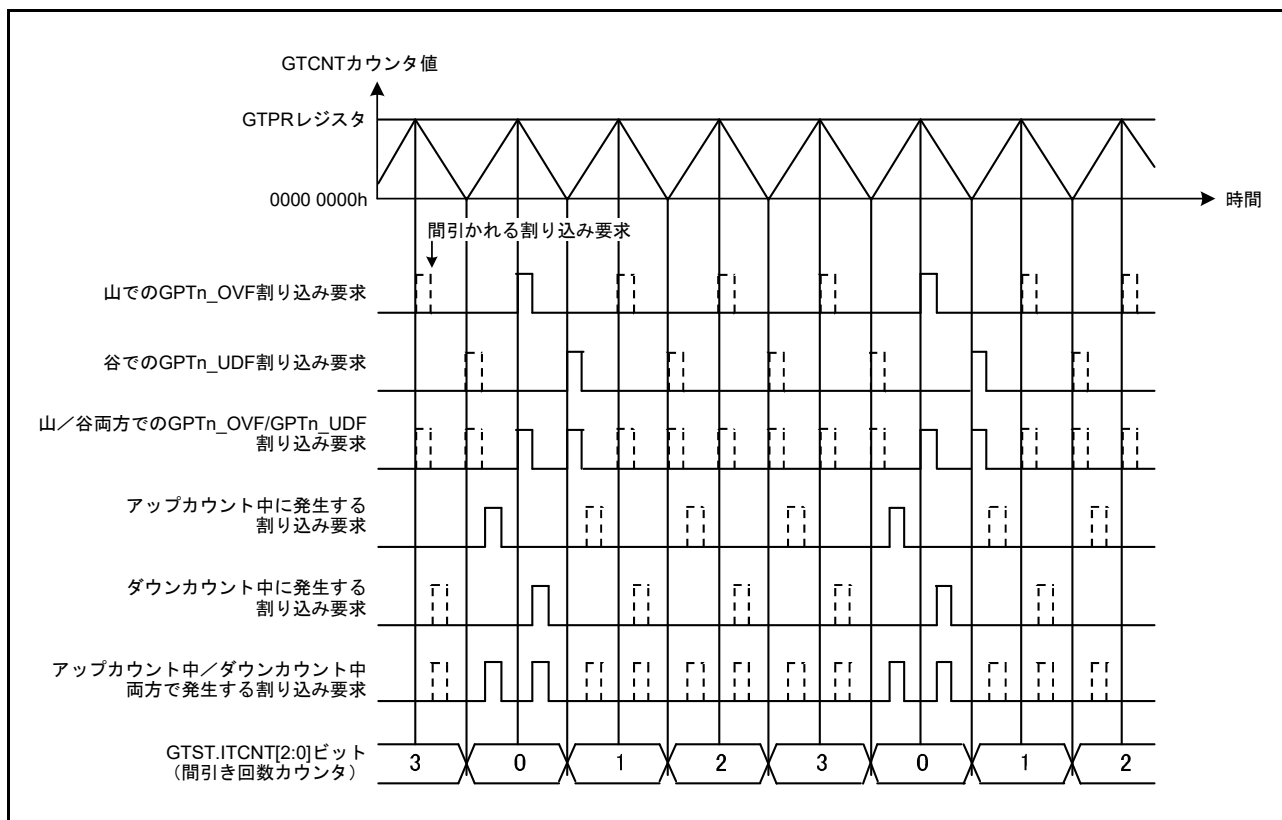


図 22.87 割り込み間引き機能の動作例 (三角波、谷をカウントして間引き、間引き回数 3 の場合)

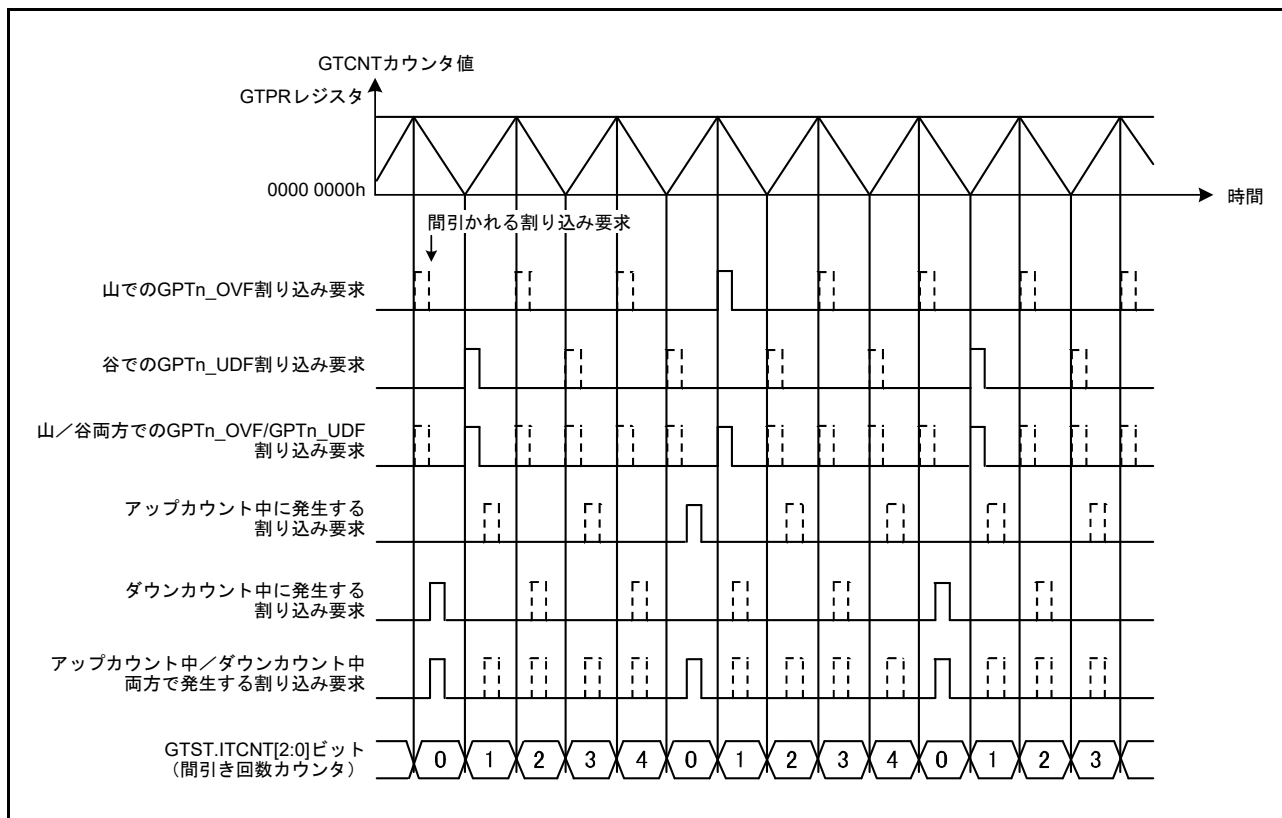


図 22.88 割り込み間引き機能の動作例 (三角波、谷と山の両方をカウントして間引き、間引き回数 4 の場合)

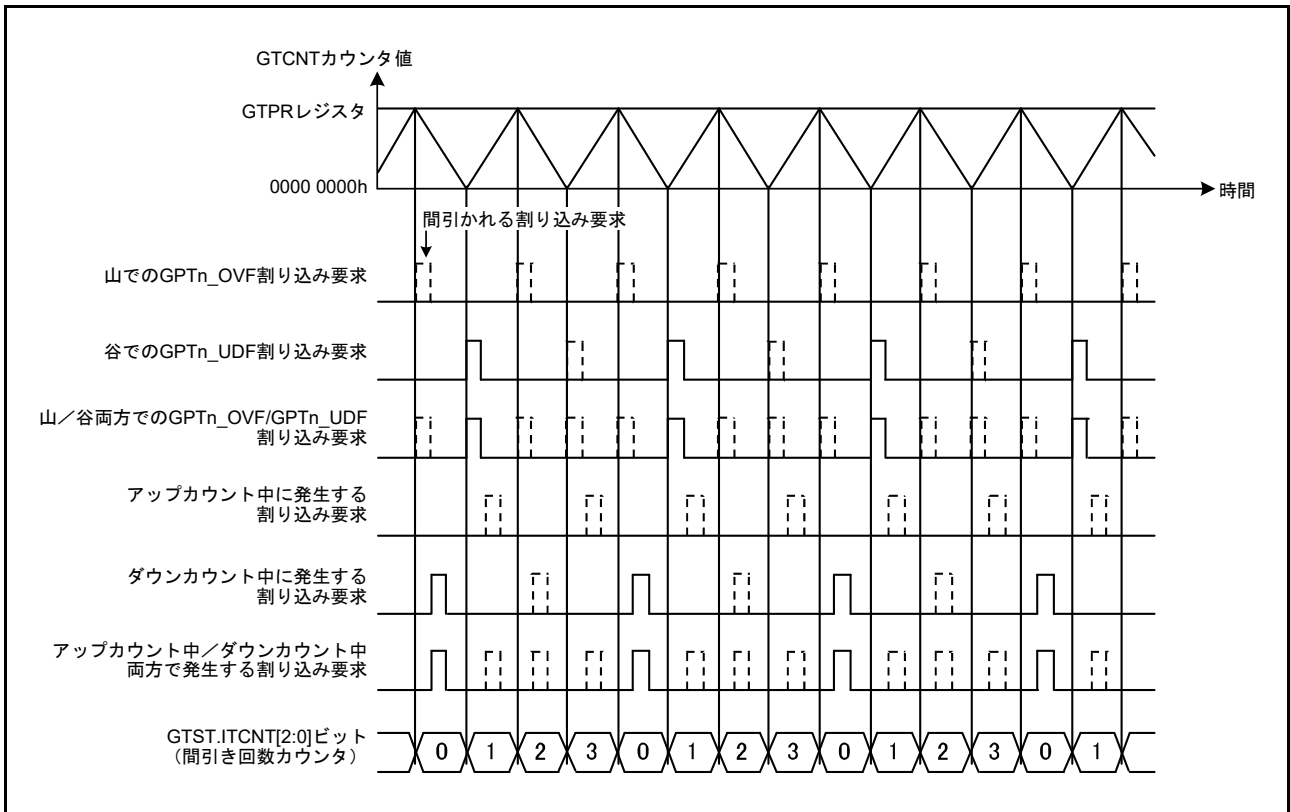


図 22.89 割り込み間引き機能の動作例 (三角波、谷と山の両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合)

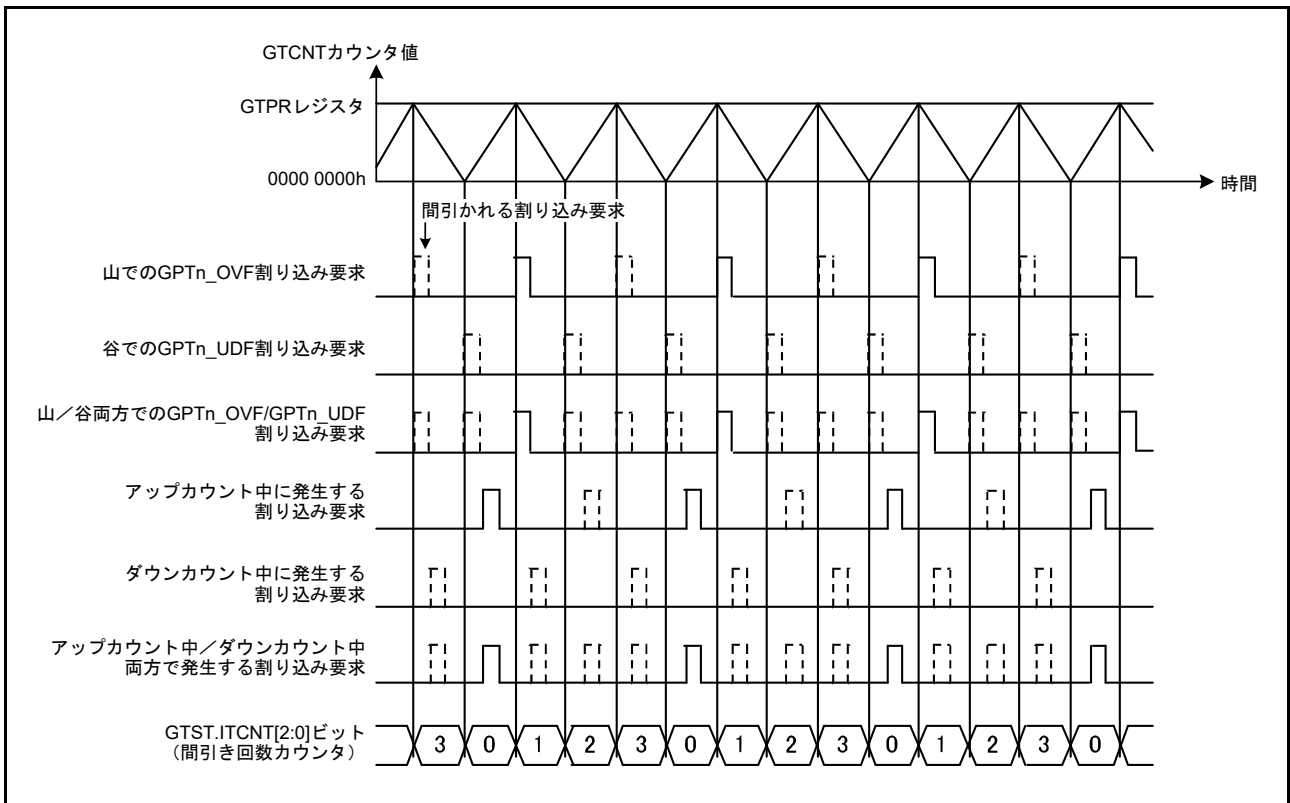


図 22.90 割り込み間引き機能の動作例 (三角波、谷と山の両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合)

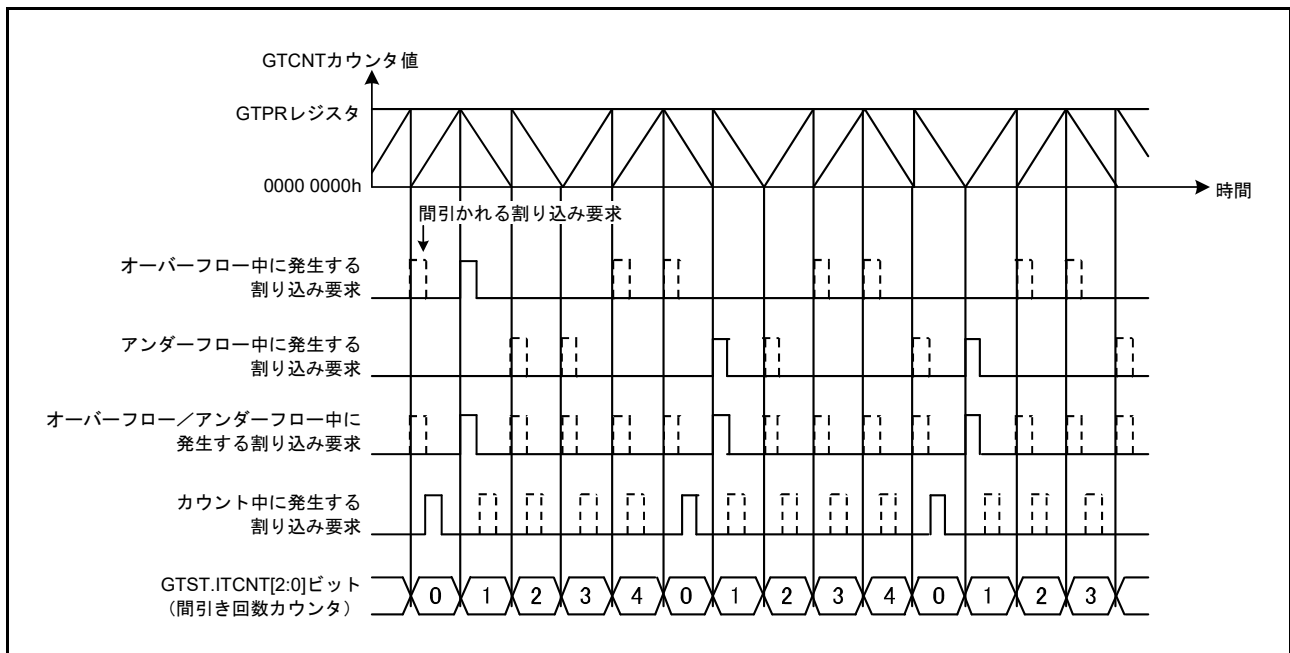


図 22.91 割り込み間引き機能の動作例 (のこぎり波でカウント方向を切替えながら動作、オーバーフローとアンダーフローの両方をカウントして間引き、間引き回数4の場合)

## 22.5 A/D 変換開始要求

GTCNTカウンタとGTADTRAまたはGTADTRBレジスタとのコンペアマッチで、A/D変換開始要求を発生させることができます。アップカウント時のみ、ダウンカウント時のみ、またはアップカウントとダウンカウント両方の指定ができます。

イベントカウンタ動作実行時は、A/D変換開始要求割り込みを発生させることはできません。A/D変換開始要求は、A/Dコンバータモジュールに直接出力されませんが、ELCにイベント信号として出力されます。

GTADTRAおよびGTADTRBレジスタは、それぞれ2つのバッファレジスタを持ちます。GTADTRAレジスタでは、GTADTBRAレジスタとGTADTDBRAレジスタを組み合わせたバッファ動作が、GTADTRBレジスタでは、GTADTBRBレジスタとGTADTDBRBレジスタを組み合わせたバッファ動作が可能です。

図 22.92 に A/D 変換開始要求の動作例を、図 22.93 に A/D 変換開始要求動作設定例を示します。

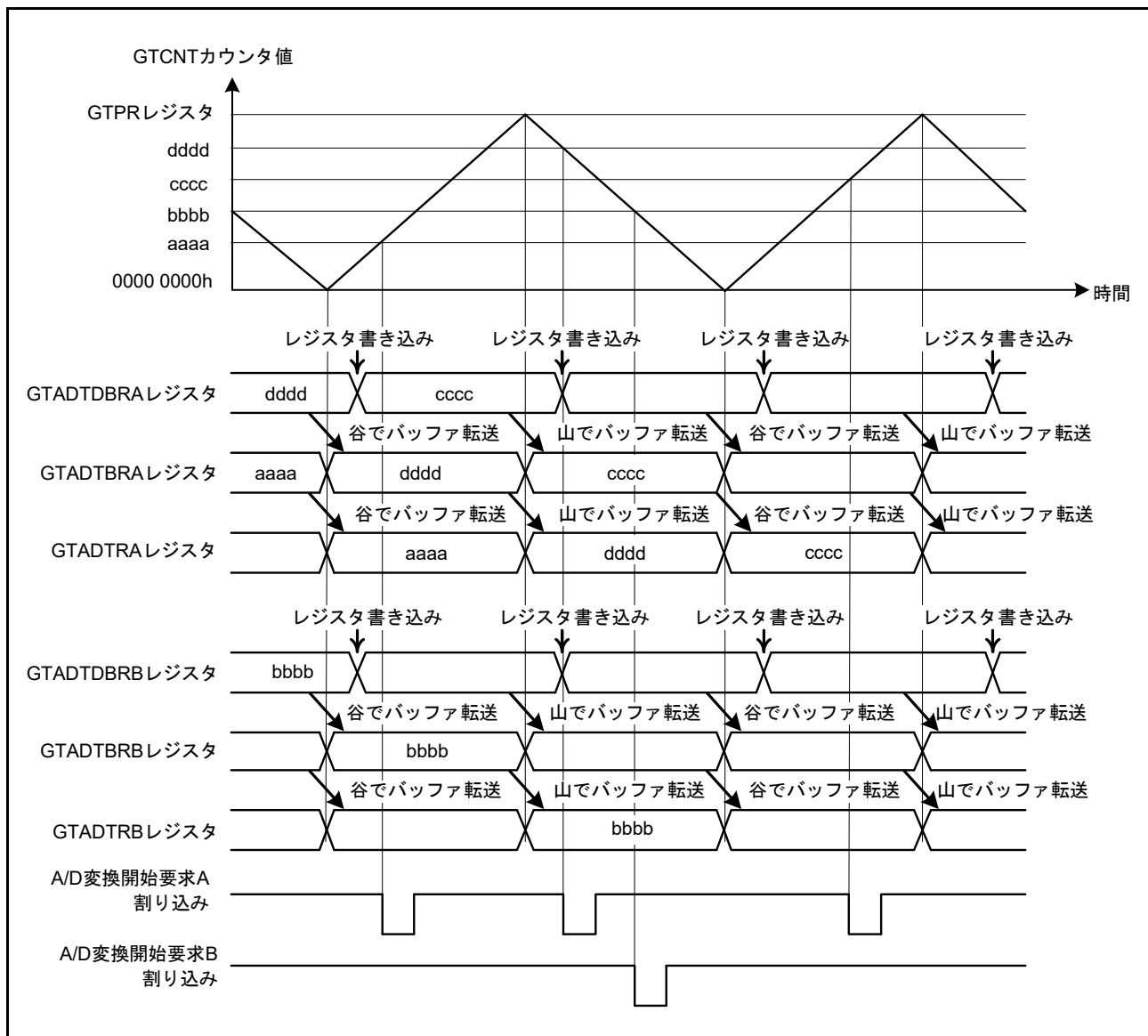


図 22.92 A/D 変換開始要求タイミング動作例 (三角波、ダブルバッファ動作、谷と山の両方でバッファ転送、GTADTRA レジスタはアップカウントとダウンカウントの両方で A/D 変換開始要求割り込みを発生、GTADTRB レジスタはダウンカウントで A/D 変換開始要求割り込みを発生の場合)

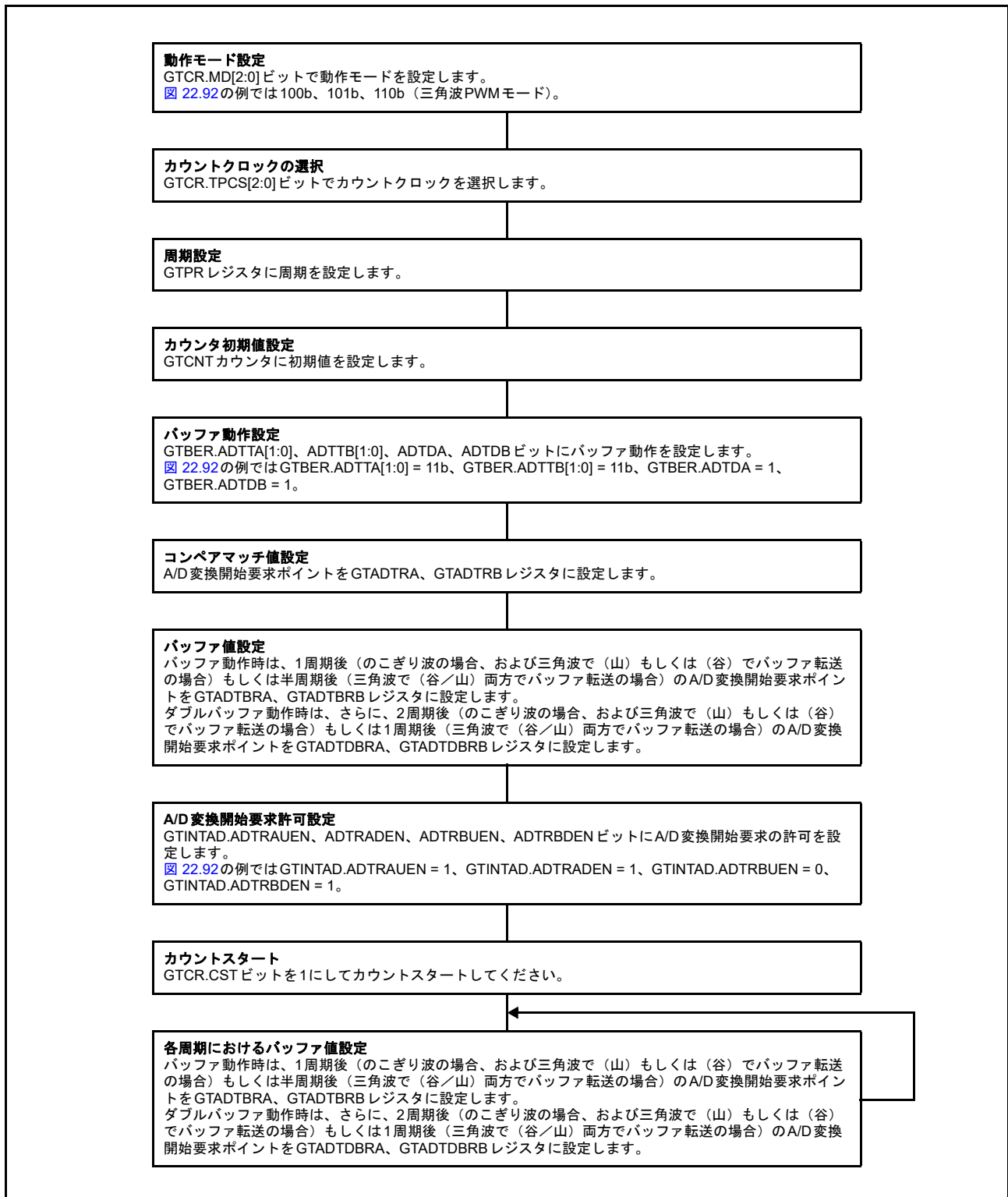


図 22.93 A/D 変換開始要求タイミング動作設定例

## 22.6 ELCによるリンク動作

### 22.6.1 ELC へのイベント信号出力

GPT では、その割り込み要求信号をイベントリンクコントローラ (ELC) でイベント信号として使用して、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

A/D 変換開始要求は、割り込み要求許可ビットによって、割り込みと ELC へのイベント出力の両方に対し、アップカウントとダウンカウントでそれぞれ個別に許可または禁止できます。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn\_CCMPA (n = 0 ~ 12))
- コンペアマッチ B 割り込み発生 (GPTn\_CCMPB (n = 0 ~ 12))
- コンペアマッチ C 割り込み発生 (GPTn\_CMPC (n = 0 ~ 12))
- コンペアマッチ D 割り込み発生 (GPTn\_CMPD (n = 0 ~ 12))
- コンペアマッチ E 割り込み発生 (GPTn\_CMPE (n = 0 ~ 12))
- コンペアマッチ F 割り込み発生 (GPTn\_CMPF (n = 0 ~ 12))
- オーバーフロー割り込み発生 (GPTn\_OVF (n = 0 ~ 12))
- アンダーフロー割り込み発生 (GPTn\_UDF (n = 0 ~ 12))
- A/D 変換開始要求 A 割り込み (GPTn\_ADTRGA (n = 0 ~ 7))
- A/D 変換開始要求 B 割り込み (GPTn\_ADTRGB (n = 0 ~ 7))

### 22.6.2 ELC からのイベント信号入力

GPT は、ELC からの最大 8 個のイベントに対して、以下の動作を実行できます。

- カウントスタート/ストップ/クリア
- アップカウント/ダウンカウント
- インプットキャプチャ

ハードウェア要因についての詳細は、[22.3 動作説明](#)を参照してください。



## 22.7 ノイズフィルタ機能

GPTのインプットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3サンプリング周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効/無効にすることや、チャンネルごとにサンプリングクロックを設定することが可能です。

図 22.94 にノイズフィルタのタイミングを示します。

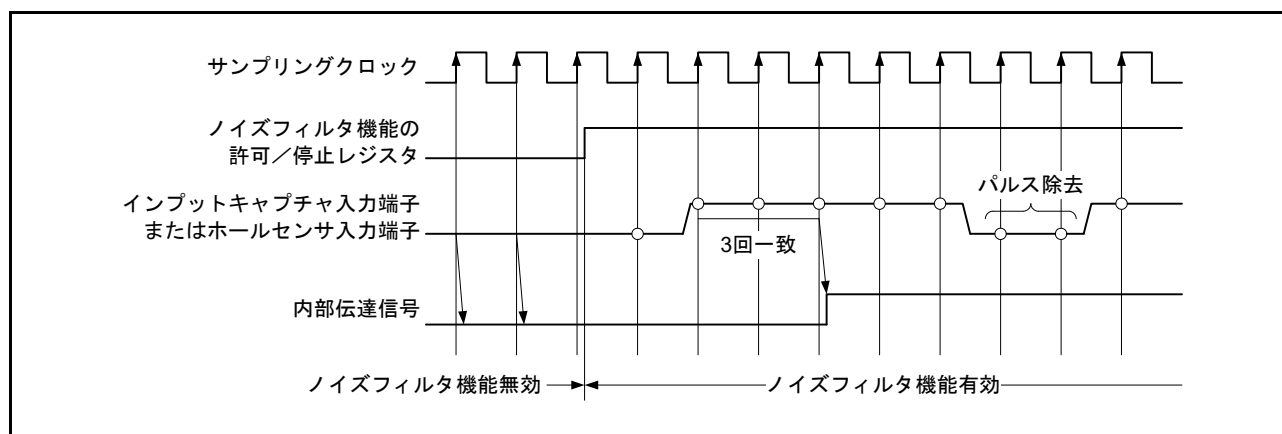


図 22.94 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、「サンプリング周期 × 3 + PCLKD」の遅延の後、ノイズフィルタ対象信号の両エッジでインプットキャプチャ動作またはホールセンサ入力動作が実行されます。この遅延は、インプットキャプチャ入力またはホールセンサ入力動作に対するノイズフィルタリングに起因するものです。

## 22.8 保護機能

### 22.8.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャンネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR

### 22.8.2 バッファ動作の禁止

バッファレジスタへの書き込みタイミングが、バッファの転送タイミングに対して遅延した場合、GTBER.BD ビットの設定でバッファ動作の中断が可能です。バッファレジスタの書き込み中にバッファ転送条件が発生した場合でも、バッファ転送を一時的に禁止することが可能です。そのためには、バッファレジスタの書き込み前に対応する GTBER.BD ビットを1 (バッファ動作禁止) にしておき、すべてのバッファレジスタへの書き込み終了後に0 (バッファ動作許可) に戻します。

図 22.95 にバッファ動作を禁止するための動作例を示します。

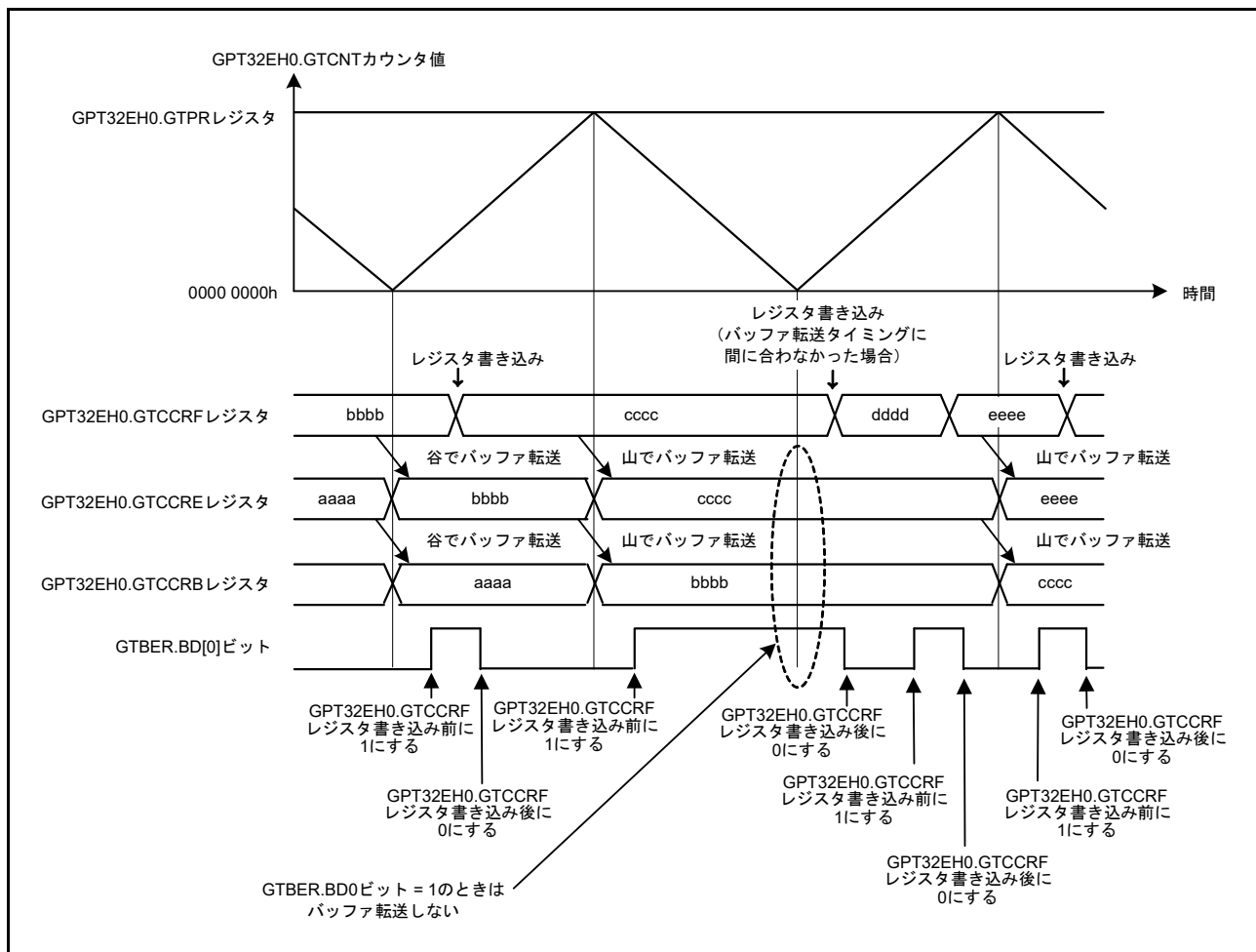


図 22.95 バッファ動作禁止の動作例 (三角波、ダブルバッファ動作、谷と山の両方でバッファ転送の場合)

### 22.8.3 GTIOC 端子出力のネゲート制御

システム障害から保護するために、POEG からの出力禁止要求によって、GTIOC 端子の出力値を強制的に変更する出力禁止制御が備えられています。

デッドタイムエラーが発生した場合や、GTIOCA 端子の出力値が GTIOCB 端子の出力値と同じ場合には、出力保護が必要です。GPT はこのような条件を検出すると、GTINTAD.GRPDTE ビット、GTINTAD.GRPABH ビットおよび GTINTAD.GRPABL ビットなどの出力禁止要求許可ビットの設定に応じて、POEG に対して出力禁止要求を生成します。POEG は、各チャンネルから出力禁止要求を受信すると、OR 演算を用いて外部入力を計算し、GPT に対して出力禁止要求を発生させます。

POEG が生成した 4 つの出力禁止要求のうちの 1 つの出力禁止要求信号 (GTIOCA 端子と GTIOCB 端子の共通出力禁止要求信号) を、GTINTAD.GRP[1:0] ビットの設定で選択します。選択した禁止出力要求の状態は、GTST.ODF ビットを読むことでモニタできます。出力禁止中の出力レベルは、GTIOCA 端子については GTIOR.OADF[1:0] ビットの設定、GTIOCB 端子については GTIOR.OBDF[1:0] ビットの設定に依存します。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止状態の解除タイミングは、出力禁止要求の停止から、早くとも PCLKD の 3 周期後です。出力禁止制御を確実に実行するには、(POEG で出力禁止要求フラグをクリアすることにより) 出力禁止要求が発生してから停止するまでに、少なくとも PCLKD で 4 周期分待つ必要があります。

イベントカウント実行時、または出力禁止状態を周期の終わりを待たずにただちに解除する必要がある場合は、GTIOR.OADF[1:0] ビットを 00b (GTIOCA 端子の場合) にするか、または GTIOR.OBDF[1:0] ビットを 00b (GTIOCB 端子の場合) にする必要があります。

図 22.96 に GTIOC 端子出力禁止制御動作例を示します。

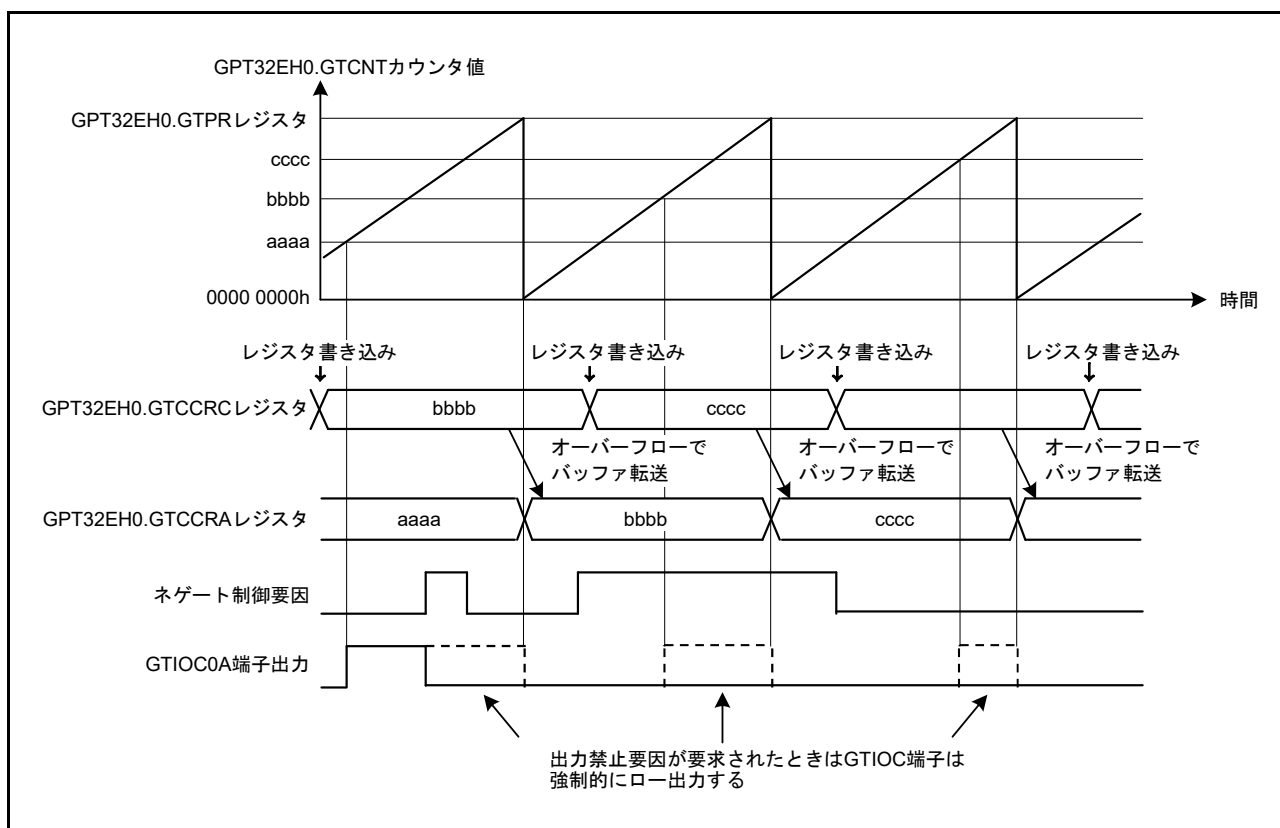


図 22.96 GTIOC 端子出力禁止制御動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベル1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合)

## 22.8.4 GTIOC 端子出力の出力保護機能

GTCCRAレジスタの誤設定（「 $0 < \text{GTCCRAレジスタ} < \text{GTPRレジスタ}$ 」の範囲外の設定）に備えて、三角波モードでデッドタイム自動設定（ $\text{GTDTCR.TDE}$ ビット=1）が実行されると、GTIOC端子出力の出力保護機能（禁止機能）が起動されます。出力保護機能の状態は、 $\text{GTSOS.SOS}[1:0]$ ビットを読むことで確認できます。

図 22.97 に出力保護機能の状態遷移を示します。

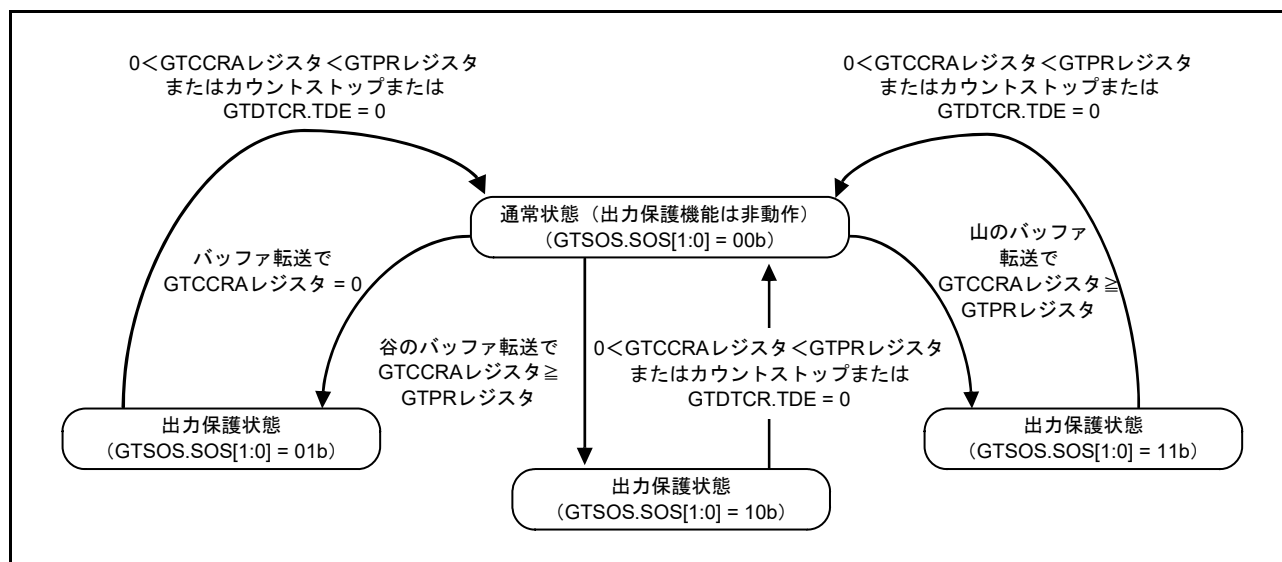
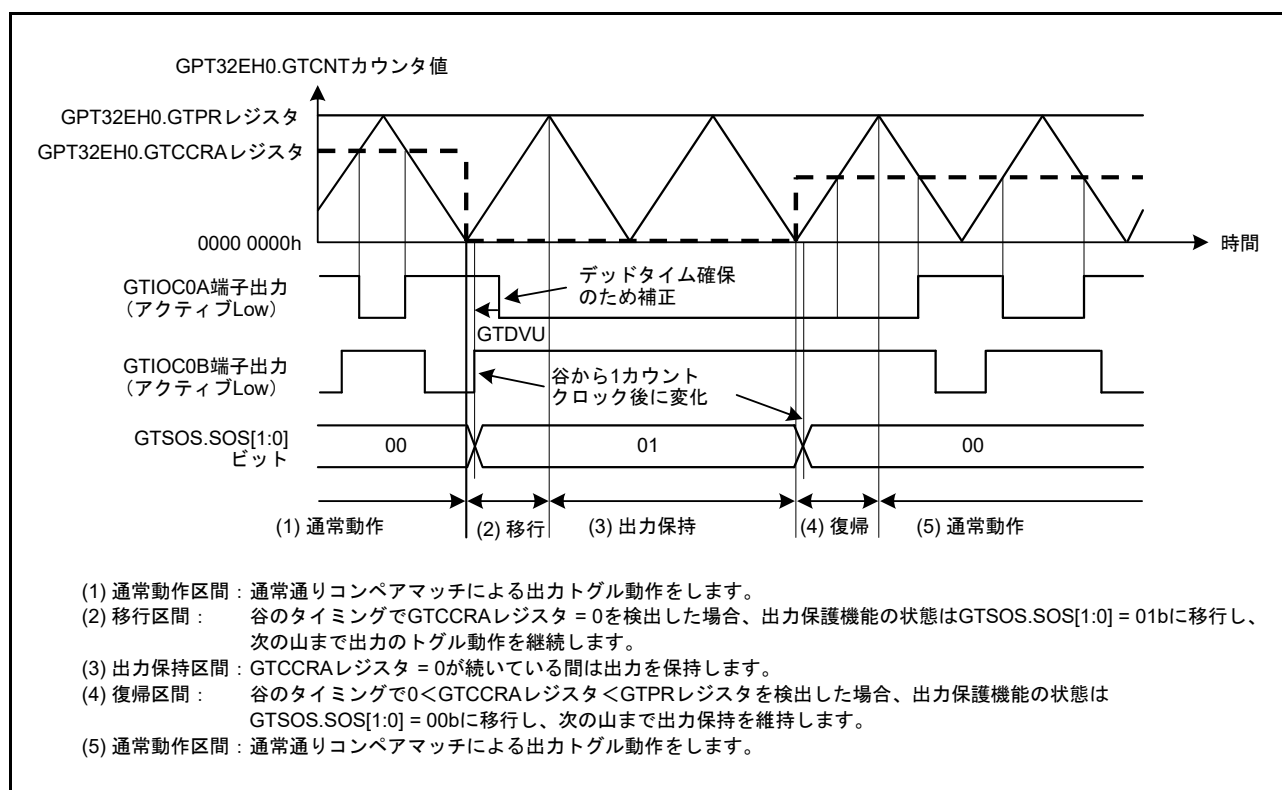


図 22.97 出力保護機能

### 22.8.4.1 バッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能

図 22.98 と図 22.99 に、谷でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例を、図 22.100 と図 22.101 に、山でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例を示します。



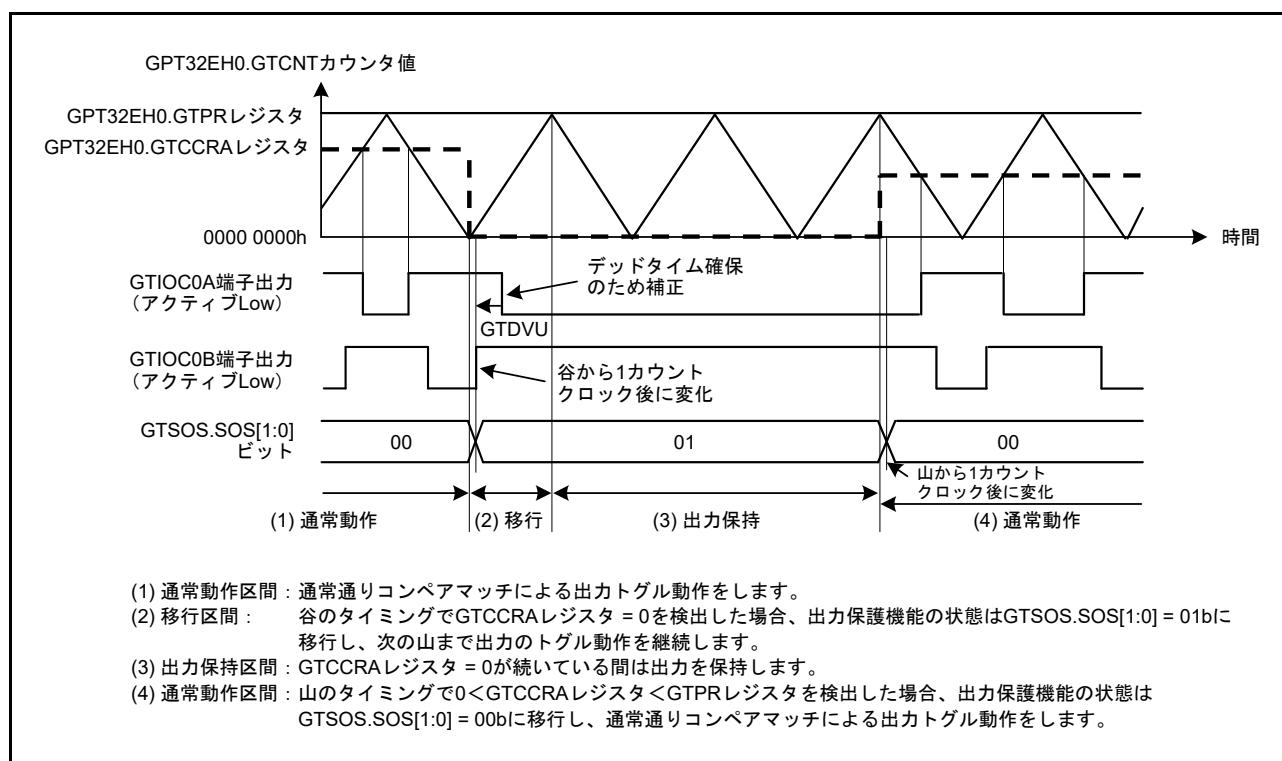


図 22.99 谷でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例 (山でのバッファ転送中に  $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$  を回復、アクティブ Low の場合)

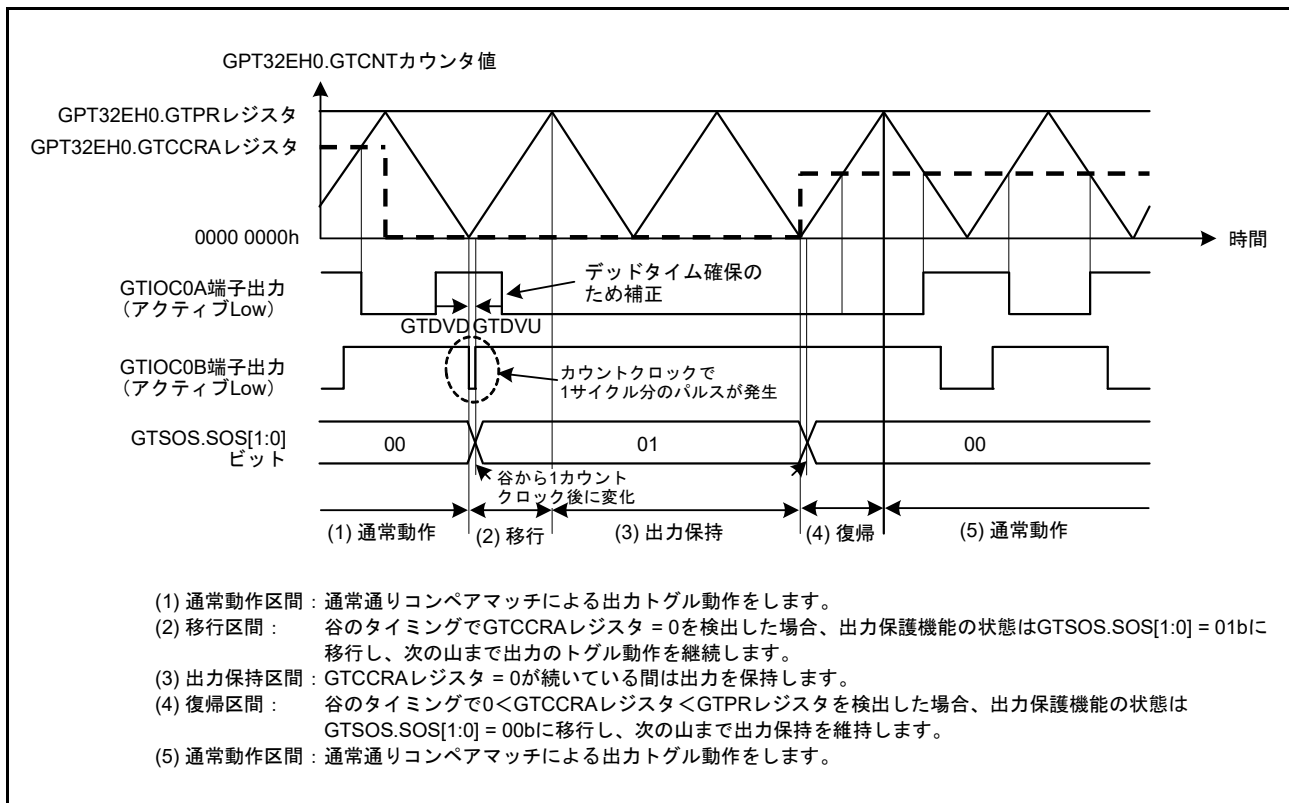


図 22.100 山でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例 (谷でのバッファ転送中に  $0 < GTCCRA$  レジスタ  $< GTPR$  レジスタを回復、アクティブ Low の場合)

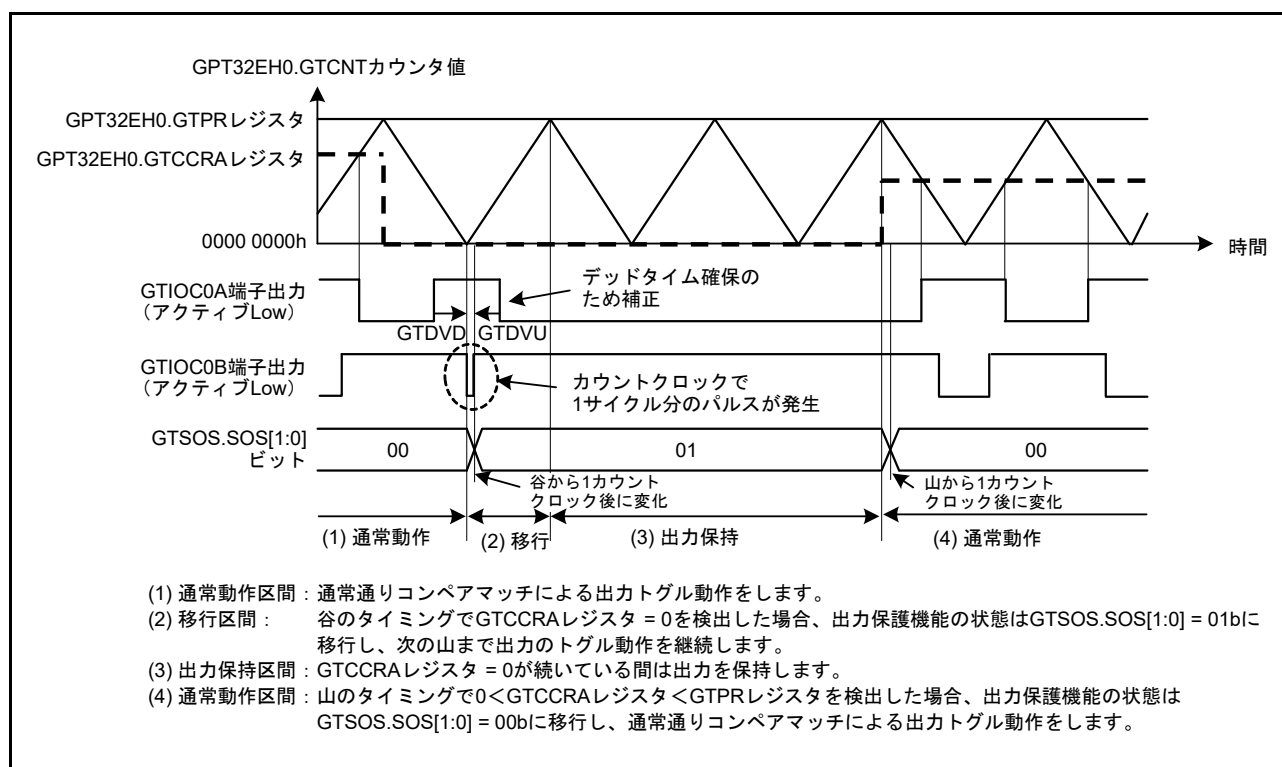


図 22.101

山でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例 (山でのバッファ転送中に  $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$  を回復、アクティブ Low の場合)



### 22.8.4.2 谷でのバッファ転送中に $GTCCRA$ レジスタ $\geq$ $GTPR$ レジスタとなった場合の出力保護機能

図 22.102 と図 22.103 に、谷でのバッファ転送中に  $GTCCRA$  レジスタ  $\geq$   $GTPR$  レジスタとなった場合の出力保護機能の動作例を示します。

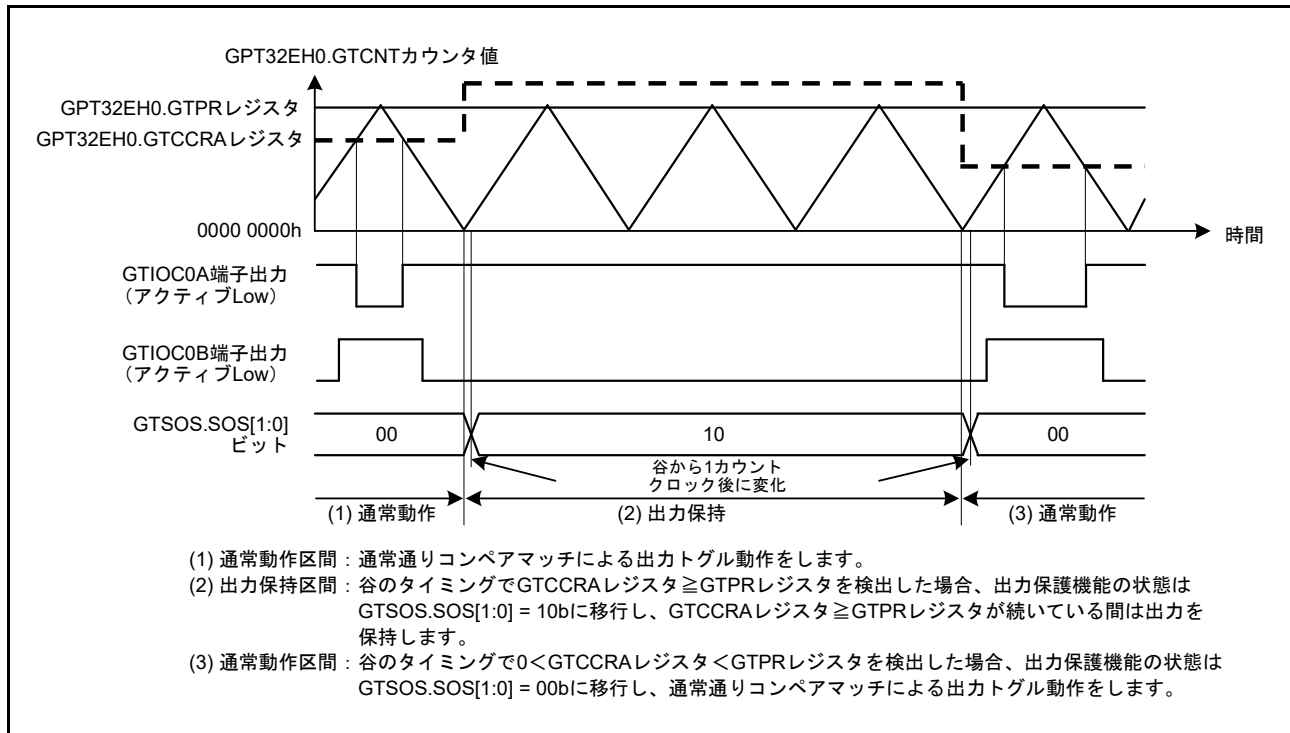


図 22.102 谷でのバッファ転送中に  $GTCCRA$  レジスタ  $\geq$   $GTPR$  レジスタとなった場合の出力保護機能の動作例 (谷でのバッファ転送中に  $0 < GTCCRA$  レジスタ  $< GTPR$  レジスタを回復、アクティブ Low の場合)

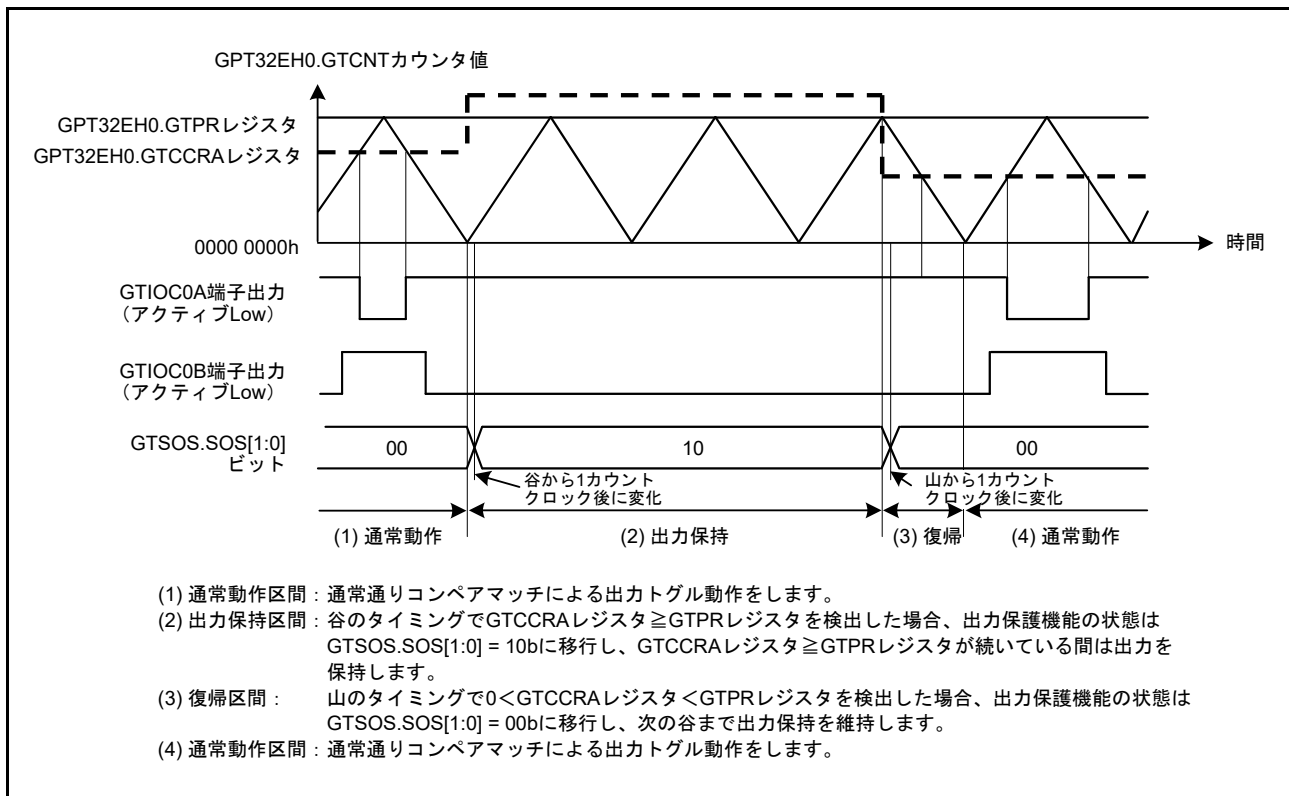


図 22.103

谷でのバッファ転送中に GTCCRA レジスタ  $\geq$  GTPR レジスタとなった場合の出力保護機能の動作例 (山でのバッファ転送中に  $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$  を回復、アクティブ Low の場合)

### 22.8.4.3 山でのバッファ転送中に GTCCRA レジスタ $\geq$ GTPR レジスタとなった場合の出力保護機能

図 22.104 と図 22.105 に、山でのバッファ転送中に GTCCRA レジスタ  $\geq$  GTPR レジスタとなった場合の出力保護機能の動作例を示します。

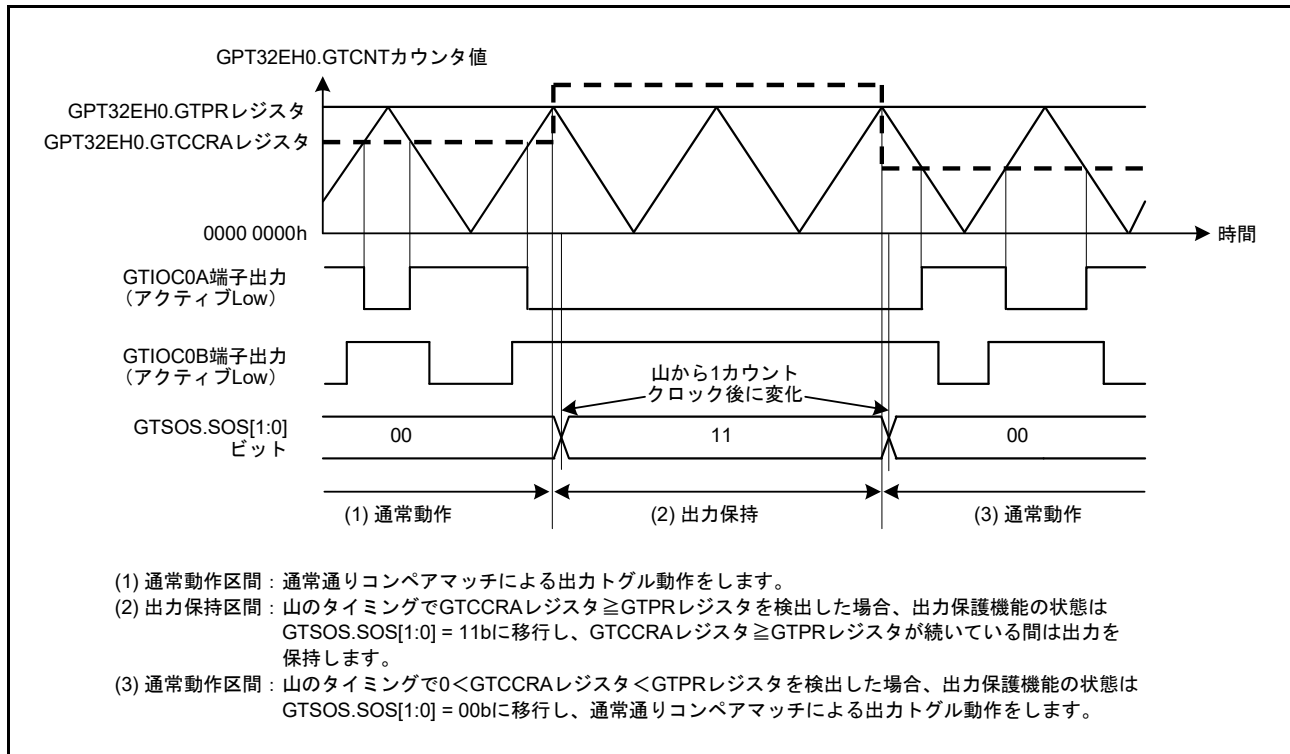


図 22.104 山でのバッファ転送中に GTCCRA レジスタ  $\geq$  GTPR レジスタとなった場合の出力保護機能の動作例 (山でのバッファ転送中に  $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$  を回復、アクティブ Low の場合)

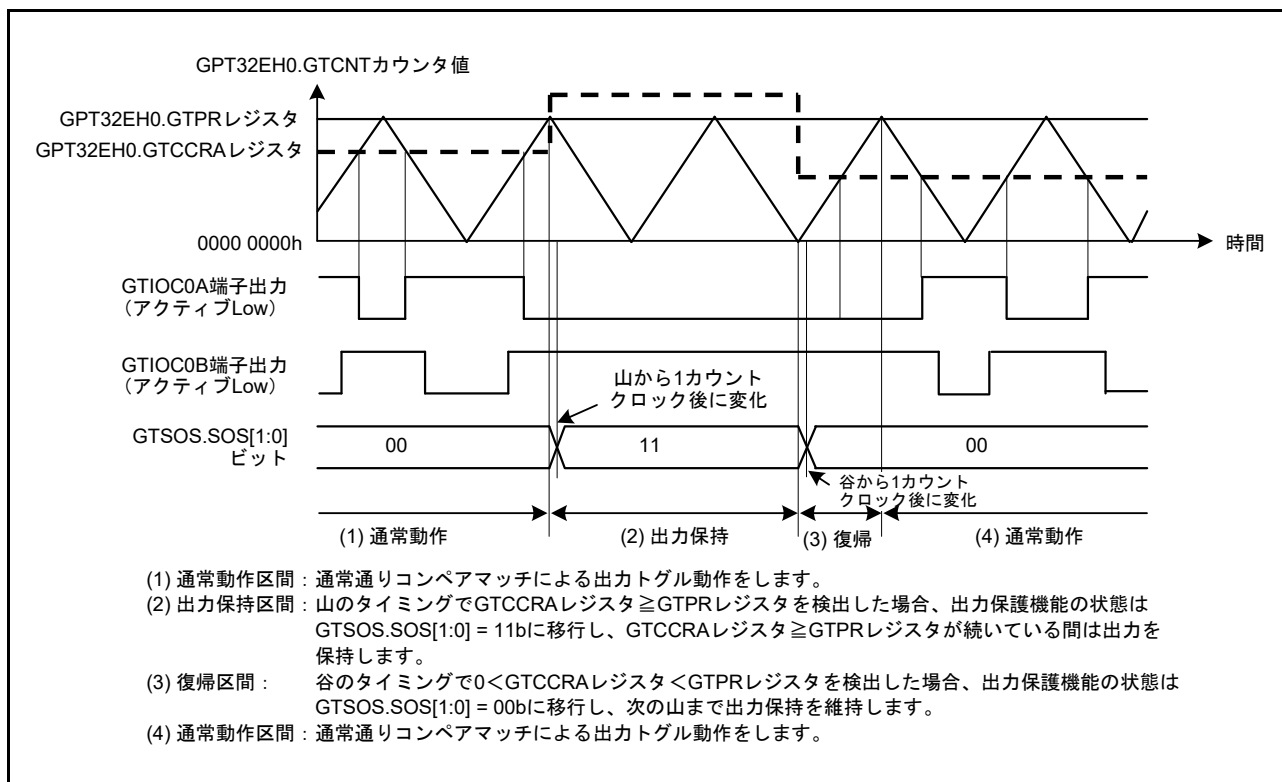


図 22.105 山でのバッファ転送中に GTCCRA レジスタ  $\geq$  GTPR レジスタとなった場合の出力保護機能の動作例 (谷でのバッファ転送中に  $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$  を回復、アクティブ Low の場合)

### 22.8.4.4 出力保護機能の注意事項

カウントスタート時に、GTCCRA レジスタの値は、 $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$  の範囲に設定してください。カウント動作中に GTCCRA レジスタに異常値 ( $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$  の範囲外の値) が設定されると、出力保護機能は、正相出力と逆相出力のうちどちらかが非アクティブ出力となるように機能します。

以下の条件が満たされない場合、機能は正しく動作しません。

- カウントスタート時に、 $0 < \text{GTCCRA} < \text{GTPR}$  である

### 22.8.4.5 出力保護機能の一時解除

GTSOS.SOS[1:0] ビットが 10b の状態 (谷でのバッファ転送中に GTCCRA レジスタ  $\geq$  GTPR レジスタとなったことによる出力保護状態) で、GTSOTR.SOTR ビットを 1 にすると、GTIOCB 端子の出力保護機能が一時的に解除されます。出力保護機能を解除しても、GTSOS.SOS[1:0] ビットは 10b の値を保持します。SOTR ビットを 0 にすると、GTIOCB 端子の出力保護機能が再開します。

図 22.106 に、谷でのバッファ転送中に GTCCRA レジスタ  $\geq$  GTPR レジスタとなった場合の出力保護機能の一時解除例を示します。

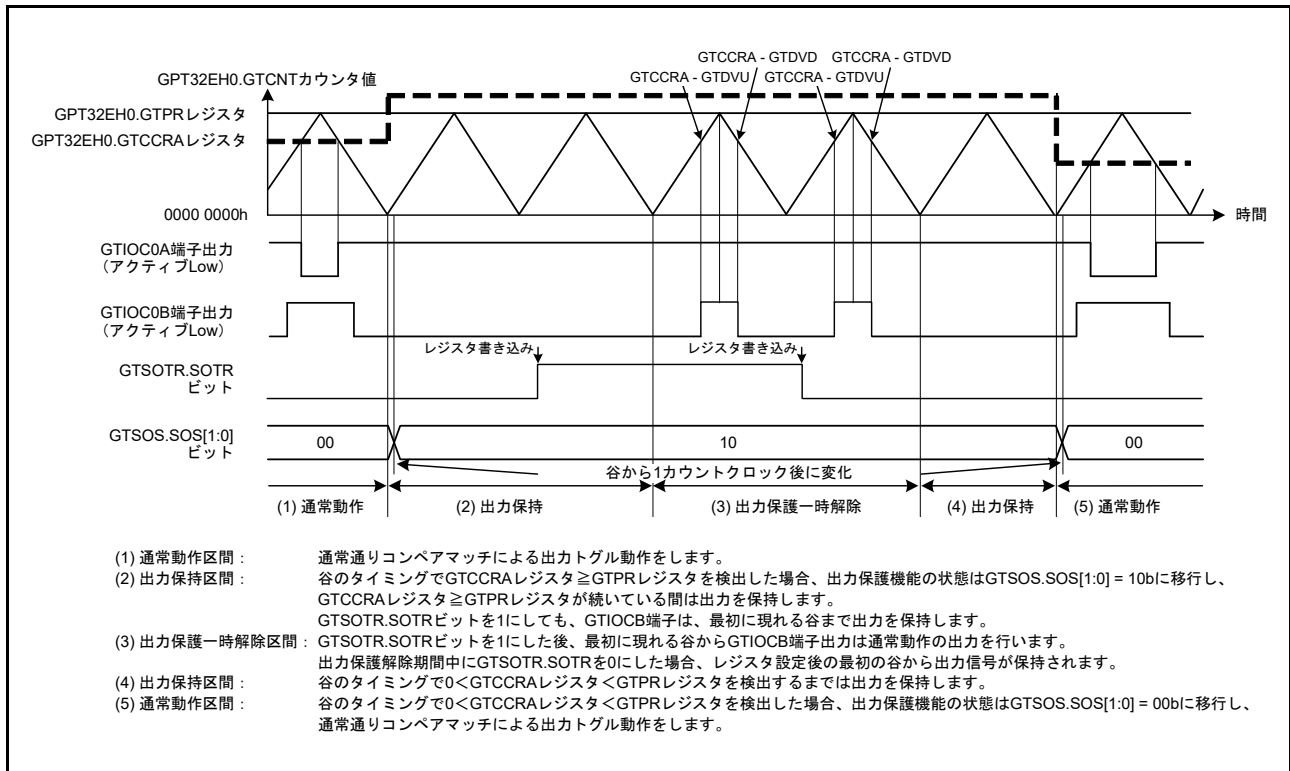


図 22.106 谷でのバッファ転送中に GTCRA レジスタ  $\geq$  GTPR レジスタとなった場合の出力保護機能一時解除例 (谷でのバッファ転送中に  $0 < \text{GTCRA レジスタ} < \text{GTPR レジスタ}$  を回復、アクティブ Low の場合)

## 22.9 出力端子の初期化方法

### 22.9.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。PmnPFS レジスタでポート端子機能を選択し、GTIOR.OAE および GTIOR.OBE ビットを設定し、GPT 機能を外部端子に出力してから、カウントを開始してください。

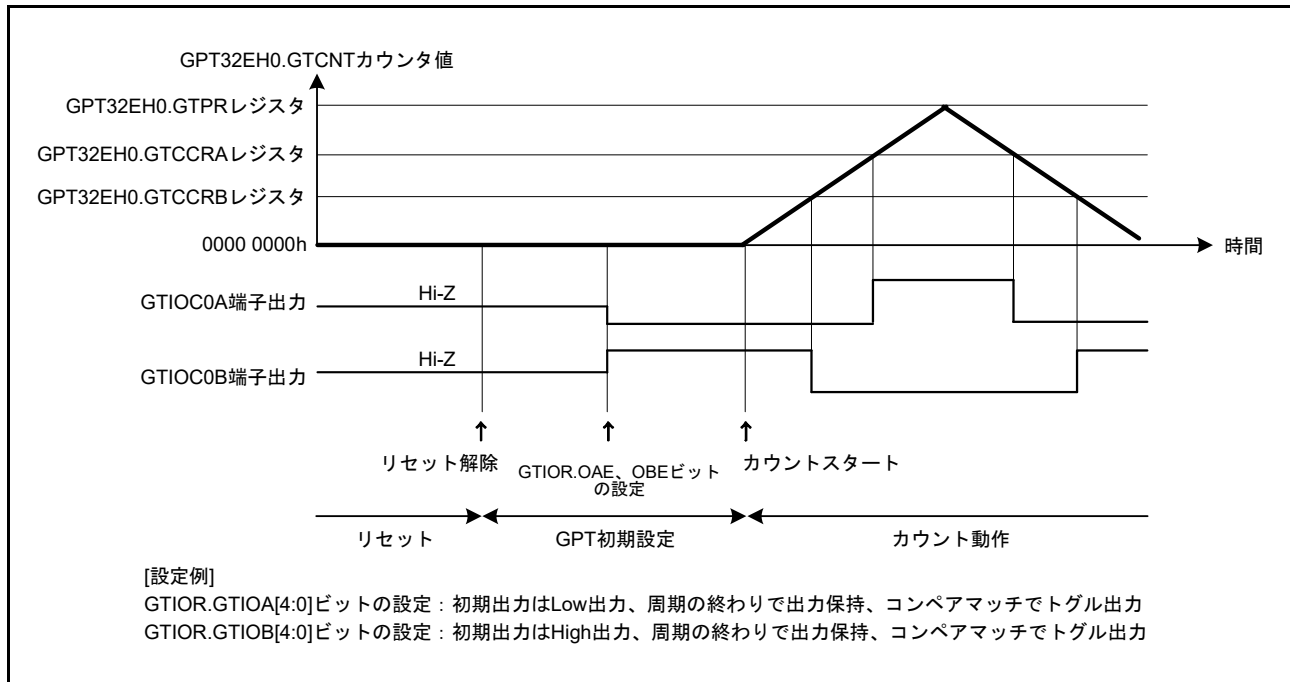


図 22.107 リセット後の端子設定例

### 22.9.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子処理を実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの PDR、PODR、PmnPFS レジスタを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PmnPFS.PMR レジスタの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行った場合、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウント動作を停止した場合は、各レジスタを初期化してからカウントを再開してください。

## 22.10 使用上の注意事項

### 22.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、GPT の動作を禁止/許可することが可能です。リセット後の初期状態では、GPT モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

### 22.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F)

#### (1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次のすべての条件を満たす必要があります。

- $GTDVU < GTCCRA$
- $GTDVD < GTCCRA$
- $GTCCRA < GTPR$

カウント動作中に GTCCRA レジスタ = 0 または  $GTCCRA \text{ レジスタ} \geq GTPR$  レジスタとなった場合、出力保護機能が起動します。

ただし、以下の条件が満たされない場合、機能は正しく動作しません。

- カウントスタート時に、 $0 < GTCCRA < GTPR$  である

詳細は、22.8.4 GTIOC 端子出力の出力保護機能を参照してください。

#### (2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$  の範囲に収まるように設定する必要があります。GTCCRA = 0 または  $GTCCRA = GTPR$  に設定すると、 $GTCCRA = 0$  または  $GTCCRA = GTPR$  が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に GTCCRB レジスタも、 $0 < GTCCRB < GTPR$  の範囲に収まるように設定する必要があります。GTCCRB = 0 または  $GTCCRB = GTPR$  に設定すると、 $GTCCRB = 0$  または  $GTCCRB = GTPR$  が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

#### (3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時 :  $GTCCRC < GTCCRD, GTCCRC > GTDVU, GTCCRD < (GTPR - GTDVD)$
- ダウンカウント時 :  $GTCCRC > GTCCRD, GTCCRC < (GTPR - GTDVU), GTCCRD > GTDVD$

#### (4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時 :  $0 < GTCCRC < GTCCRD < GTPR$
- ダウンカウント時 :  $GTPR > GTCCRC > GTCCRD > 0$

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時 :  $0 < GTCCRE < GTCCRF < GTPR$
- ダウンカウント時 :  $GTPR > GTCCRE > GTCCRF > 0$

### (5) のこぎり波 PWM モードの場合

GTCRA レジスタは、 $0 < GTCRA < GTPR$  の範囲に収まるように設定してください。GTCRA = 0 または GTCRA = GTPR に設定すると、GTCRA = 0 または GTCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < GTCCRB < GTPR$  の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

### 22.10.3 GTCNT カウンタの範囲設定

GTCNT カウンタレジスタは、 $0 \leq GTCNT \leq GTPR$  の範囲に収まるように設定してください。

### 22.10.4 GTCNT カウンタのスタート/ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート/ストップ制御タイミングは、GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート/ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視されます。これに対して、GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生する可能性があります。



## 22.10.5 イベントごとの優先順位

### (1) GTCNT レジスタ

表 22.24 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 22.24 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPUによる書き込み (GTCNT/GTCLRレジスタへの書き込み)	高 ↑ 低
GTCSRレジスタで設定したハードウェア要因によるクリア	
GTUPSR/GTDNSRレジスタで設定したハードウェア要因によるカウントアップ/ダウン	
カウント動作	

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

### (2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート/ストップと CPU による書き込み (GTCR/GTSTR/GTSTP レジスタへの書き込み) の間で競合があると、CPU による書き込みが優先されます。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

### (3) GTCCRn レジスタ (n = A ~ F)

インプットキャプチャ/バッファ転送動作と GTCCRn レジスタへの書き込みの間で競合があると、GTCCRn レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みまたはハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRn レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

### (4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

### (5) GTADTRn レジスタ (n = A, B)

バッファ転送動作と GTADTRn レジスタへの書き込みの間で競合があると、GTADTRn レジスタへの書き込みが優先されます。GTADTRn レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

### (6) GTDVn レジスタ (n = U, D)

バッファ転送動作と GTDVn レジスタへの書き込みの間で競合があると、GTDVn レジスタへの書き込みが優先されます。GTDVn レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

## 23. PWM 遅延生成回路

### 23.1 概要

本 MCU は、汎用 PWM タイマ（General PWM Timer : GPT）に接続可能な 4 チャンネルの遅延回路を備えています。表 23.1 に PWM 遅延生成回路の仕様を、図 23.1 にブロック図を、表 23.2 に入出力端子を示します。

表 23.1 PWM 遅延生成回路の仕様

項目	内容
機能	この回路は、チャンネル0、1、2、3それぞれ2つのPWM出力端子の信号の立ち上がりまたは立ち下がりタイミングを、GPTクロック（PCLKD）周期の最大1/32倍の精度で制御できます。

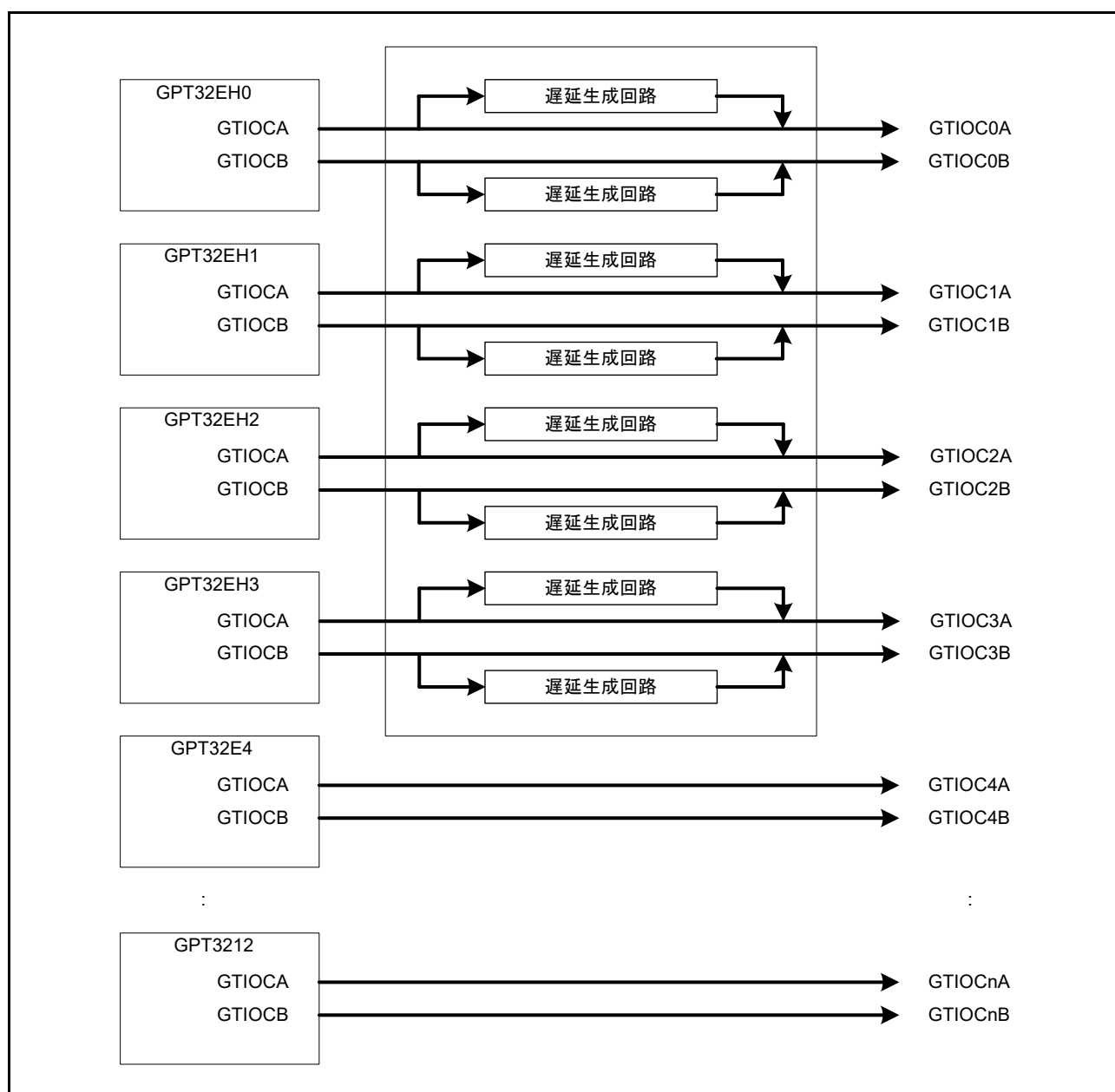


図 23.1 PWM 遅延生成回路のブロック図

表 23.2 PWM遅延生成回路の入出力端子

入出力端子	入出力	機能
GTIOC0A	出力	GPTチャンネル0のGTIOCA端子の遅延出力
GTIOC0B	出力	GPTチャンネル0のGTIOCB端子の遅延出力
GTIOC1A	出力	GPTチャンネル1のGTIOCA端子の遅延出力
GTIOC1B	出力	GPTチャンネル1のGTIOCB端子の遅延出力
GTIOC2A	出力	GPTチャンネル2のGTIOCA端子の遅延出力
GTIOC2B	出力	GPTチャンネル2のGTIOCB端子の遅延出力
GTIOC3A	出力	GPTチャンネル3のGTIOCA端子の遅延出力
GTIOC3B	出力	GPTチャンネル3のGTIOCB端子の遅延出力

## 23.2 レジスタの説明

### 23.2.1 PWM出力遅延コントロールレジスタ (GTDLYCR)

アドレス `GPT_ODC.GTDLYCR 4007 B000h`

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DLYRS T	DLLEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLLEN	DLL動作許可	0 : DLL動作を禁止 1 : DLL動作を許可	R/W
b1	DLYRST	PWM遅延生成回路リセット	0 : 通常動作 1 : リセット	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDLYCR レジスタは、PWM出力に遅延を適用するためのPWM遅延生成回路を制御します。GTDLYCR レジスタは、レジスタライトプロテクション機能が無効 (GPT32EH0.GTWP.WP = 0) のときに書き込むことができます。

#### DLLEN ビット (DLL動作許可)

PWM遅延生成回路のオンチップDLLを起動するかどうかを選択します。

#### DLYRST ビット (PWM遅延生成回路リセット)

PWM遅延生成回路の内部状態をリセットします。

## 23.2.2 PWM 出力遅延コントロールレジスタ 2 (GTDLYCR2)

アドレス GPT\_ODC.GTDLYCR2 4007 B002h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	DLYEN <sub>3</sub>	DLYEN <sub>2</sub>	DLYEN <sub>1</sub>	DLYEN <sub>0</sub>	—	—	—	—	DLYBS <sub>3</sub>	DLYBS <sub>2</sub>	DLYBS <sub>1</sub>	DLYBS <sub>0</sub>
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLYBS0	チャンネル0のPWM遅延生成回路バイパス	0: チャンネル0の遅延生成回路をバイパスする 1: チャンネル0の遅延生成回路をバイパスしない	R/W
b1	DLYBS1	チャンネル1のPWM遅延生成回路バイパス	0: チャンネル1の遅延生成回路をバイパスする 1: チャンネル1の遅延生成回路をバイパスしない	R/W
b2	DLYBS2	チャンネル2のPWM遅延生成回路バイパス	0: チャンネル2の遅延生成回路をバイパスする 1: チャンネル2の遅延生成回路をバイパスしない	R/W
b3	DLYBS3	チャンネル3のPWM遅延生成回路バイパス	0: チャンネル3の遅延生成回路をバイパスする 1: チャンネル3の遅延生成回路をバイパスしない	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	DLYEN0	チャンネル0のPWM遅延生成回路許可	0: チャンネル0の遅延生成回路を許可 1: チャンネル0の遅延生成回路を禁止	R/W
b9	DLYEN1	チャンネル1のPWM遅延生成回路許可	0: チャンネル1の遅延生成回路を許可 1: チャンネル1の遅延生成回路を禁止	R/W
b10	DLYEN2	チャンネル2のPWM遅延生成回路許可	0: チャンネル2の遅延生成回路を許可 1: チャンネル2の遅延生成回路を禁止	R/W
b11	DLYEN3	チャンネル3のPWM遅延生成回路許可	0: チャンネル3の遅延生成回路を許可 1: チャンネル3の遅延生成回路を禁止	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDLYCR2 レジスタは、PWM 遅延生成回路の各チャンネルを制御します。GTDLYCR2 レジスタは、レジスタライトプロテクション機能が無効 (GPT32EH0.GTWP.WP = 0) のときに書き込むことができます。

**DLYBSn (n = 0 ~ 3) ビット (チャンネル n 用 PWM 遅延生成回路バイパス)**

GTIOCnA および GTIOCnB 端子 (n = 0 ~ 3) からの PWM 出力信号に PWM 遅延生成回路で遅延を適用するか否か、あるいは回路をバイパスするか否かを選択します。

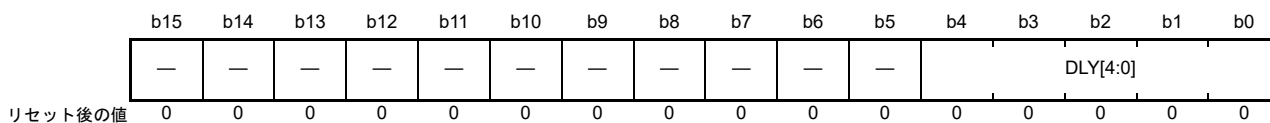
PWM 遅延生成回路で遅延された信号は、PWM 遅延生成回路をバイパスした場合よりも、GPT 動作クロック (PCLKD) の 3 サイクル分遅れて出力されます。

**DLYENn (n = 0 ~ 3) ビット (チャンネル n 用 PWM 遅延生成回路許可)**

PWM 遅延生成回路のチャンネル n (n = 0 ~ 3) の電源をオンにするかオフにするかを選択します。PWM 遅延生成回路のチャンネル n を使用しない場合、1 にしてください。

## 23.2.3 GTIOCnA 立ち上がり出力遅延レジスタ (GTDLYRnA) (n = 0 ~ 3)

アドレス [GPT\\_ODC.GTDLYR0A 4007 B018h](#), [GPT\\_ODC.GTDLYR1A 4007 B01Ch](#),  
[GPT\\_ODC.GTDLYR2A 4007 B020h](#), [GPT\\_ODC.GTDLYR3A 4007 B024h](#)



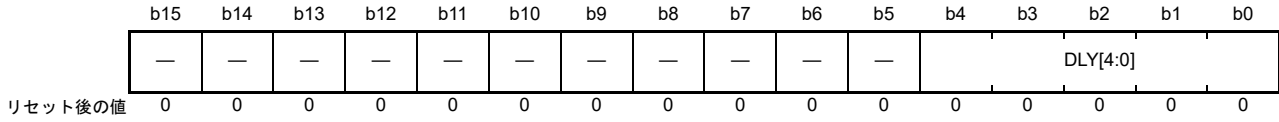
ビット	シンボル	ビット名	機能	R/W																																																																																																			
b4-b0	DLY[4:0]	GTIOCnA出力立ち上がりエッジ遅延設定	<table border="1"> <tr> <td>b4</td><td>b0</td><td>機能</td></tr> <tr> <td>0 0 0 0 0</td><td>0</td><td>: 立ち上がりエッジで遅延を適用しない</td></tr> <tr> <td>0 0 0 0 1</td><td>1</td><td>: PCLKD周期の1/32倍の遅延を適用</td></tr> <tr> <td>0 0 0 1 0</td><td>2</td><td>: PCLKD周期の2/32倍の遅延を適用</td></tr> <tr> <td>0 0 0 1 1</td><td>3</td><td>: PCLKD周期の3/32倍の遅延を適用</td></tr> <tr> <td>0 0 1 0 0</td><td>4</td><td>: PCLKD周期の4/32倍の遅延を適用</td></tr> <tr> <td>0 0 1 0 1</td><td>5</td><td>: PCLKD周期の5/32倍の遅延を適用</td></tr> <tr> <td>0 0 1 1 0</td><td>6</td><td>: PCLKD周期の6/32倍の遅延を適用</td></tr> <tr> <td>0 0 1 1 1</td><td>7</td><td>: PCLKD周期の7/32倍の遅延を適用</td></tr> <tr> <td>0 1 0 0 0</td><td>8</td><td>: PCLKD周期の8/32倍の遅延を適用</td></tr> <tr> <td>0 1 0 0 1</td><td>9</td><td>: PCLKD周期の9/32倍の遅延を適用</td></tr> <tr> <td>0 1 0 1 0</td><td>10</td><td>: PCLKD周期の10/32倍の遅延を適用</td></tr> <tr> <td>0 1 0 1 1</td><td>11</td><td>: PCLKD周期の11/32倍の遅延を適用</td></tr> <tr> <td>0 1 1 0 0</td><td>12</td><td>: PCLKD周期の12/32倍の遅延を適用</td></tr> <tr> <td>0 1 1 0 1</td><td>13</td><td>: PCLKD周期の13/32倍の遅延を適用</td></tr> <tr> <td>0 1 1 1 0</td><td>14</td><td>: PCLKD周期の14/32倍の遅延を適用</td></tr> <tr> <td>0 1 1 1 1</td><td>15</td><td>: PCLKD周期の15/32倍の遅延を適用</td></tr> <tr> <td>1 0 0 0 0</td><td>16</td><td>: PCLKD周期の16/32倍の遅延を適用</td></tr> <tr> <td>1 0 0 0 1</td><td>17</td><td>: PCLKD周期の17/32倍の遅延を適用</td></tr> <tr> <td>1 0 0 1 0</td><td>18</td><td>: PCLKD周期の18/32倍の遅延を適用</td></tr> <tr> <td>1 0 0 1 1</td><td>19</td><td>: PCLKD周期の19/32倍の遅延を適用</td></tr> <tr> <td>1 0 1 0 0</td><td>20</td><td>: PCLKD周期の20/32倍の遅延を適用</td></tr> <tr> <td>1 0 1 0 1</td><td>21</td><td>: PCLKD周期の21/32倍の遅延を適用</td></tr> <tr> <td>1 0 1 1 0</td><td>22</td><td>: PCLKD周期の22/32倍の遅延を適用</td></tr> <tr> <td>1 0 1 1 1</td><td>23</td><td>: PCLKD周期の23/32倍の遅延を適用</td></tr> <tr> <td>1 1 0 0 0</td><td>24</td><td>: PCLKD周期の24/32倍の遅延を適用</td></tr> <tr> <td>1 1 0 0 1</td><td>25</td><td>: PCLKD周期の25/32倍の遅延を適用</td></tr> <tr> <td>1 1 0 1 0</td><td>26</td><td>: PCLKD周期の26/32倍の遅延を適用</td></tr> <tr> <td>1 1 0 1 1</td><td>27</td><td>: PCLKD周期の27/32倍の遅延を適用</td></tr> <tr> <td>1 1 1 0 0</td><td>28</td><td>: PCLKD周期の28/32倍の遅延を適用</td></tr> <tr> <td>1 1 1 0 1</td><td>29</td><td>: PCLKD周期の29/32倍の遅延を適用</td></tr> <tr> <td>1 1 1 1 0</td><td>30</td><td>: PCLKD周期の30/32倍の遅延を適用</td></tr> <tr> <td>1 1 1 1 1</td><td>31</td><td>: PCLKD周期の31/32倍の遅延を適用</td></tr> </table>	b4	b0	機能	0 0 0 0 0	0	: 立ち上がりエッジで遅延を適用しない	0 0 0 0 1	1	: PCLKD周期の1/32倍の遅延を適用	0 0 0 1 0	2	: PCLKD周期の2/32倍の遅延を適用	0 0 0 1 1	3	: PCLKD周期の3/32倍の遅延を適用	0 0 1 0 0	4	: PCLKD周期の4/32倍の遅延を適用	0 0 1 0 1	5	: PCLKD周期の5/32倍の遅延を適用	0 0 1 1 0	6	: PCLKD周期の6/32倍の遅延を適用	0 0 1 1 1	7	: PCLKD周期の7/32倍の遅延を適用	0 1 0 0 0	8	: PCLKD周期の8/32倍の遅延を適用	0 1 0 0 1	9	: PCLKD周期の9/32倍の遅延を適用	0 1 0 1 0	10	: PCLKD周期の10/32倍の遅延を適用	0 1 0 1 1	11	: PCLKD周期の11/32倍の遅延を適用	0 1 1 0 0	12	: PCLKD周期の12/32倍の遅延を適用	0 1 1 0 1	13	: PCLKD周期の13/32倍の遅延を適用	0 1 1 1 0	14	: PCLKD周期の14/32倍の遅延を適用	0 1 1 1 1	15	: PCLKD周期の15/32倍の遅延を適用	1 0 0 0 0	16	: PCLKD周期の16/32倍の遅延を適用	1 0 0 0 1	17	: PCLKD周期の17/32倍の遅延を適用	1 0 0 1 0	18	: PCLKD周期の18/32倍の遅延を適用	1 0 0 1 1	19	: PCLKD周期の19/32倍の遅延を適用	1 0 1 0 0	20	: PCLKD周期の20/32倍の遅延を適用	1 0 1 0 1	21	: PCLKD周期の21/32倍の遅延を適用	1 0 1 1 0	22	: PCLKD周期の22/32倍の遅延を適用	1 0 1 1 1	23	: PCLKD周期の23/32倍の遅延を適用	1 1 0 0 0	24	: PCLKD周期の24/32倍の遅延を適用	1 1 0 0 1	25	: PCLKD周期の25/32倍の遅延を適用	1 1 0 1 0	26	: PCLKD周期の26/32倍の遅延を適用	1 1 0 1 1	27	: PCLKD周期の27/32倍の遅延を適用	1 1 1 0 0	28	: PCLKD周期の28/32倍の遅延を適用	1 1 1 0 1	29	: PCLKD周期の29/32倍の遅延を適用	1 1 1 1 0	30	: PCLKD周期の30/32倍の遅延を適用	1 1 1 1 1	31	: PCLKD周期の31/32倍の遅延を適用	R/W
b4	b0	機能																																																																																																					
0 0 0 0 0	0	: 立ち上がりエッジで遅延を適用しない																																																																																																					
0 0 0 0 1	1	: PCLKD周期の1/32倍の遅延を適用																																																																																																					
0 0 0 1 0	2	: PCLKD周期の2/32倍の遅延を適用																																																																																																					
0 0 0 1 1	3	: PCLKD周期の3/32倍の遅延を適用																																																																																																					
0 0 1 0 0	4	: PCLKD周期の4/32倍の遅延を適用																																																																																																					
0 0 1 0 1	5	: PCLKD周期の5/32倍の遅延を適用																																																																																																					
0 0 1 1 0	6	: PCLKD周期の6/32倍の遅延を適用																																																																																																					
0 0 1 1 1	7	: PCLKD周期の7/32倍の遅延を適用																																																																																																					
0 1 0 0 0	8	: PCLKD周期の8/32倍の遅延を適用																																																																																																					
0 1 0 0 1	9	: PCLKD周期の9/32倍の遅延を適用																																																																																																					
0 1 0 1 0	10	: PCLKD周期の10/32倍の遅延を適用																																																																																																					
0 1 0 1 1	11	: PCLKD周期の11/32倍の遅延を適用																																																																																																					
0 1 1 0 0	12	: PCLKD周期の12/32倍の遅延を適用																																																																																																					
0 1 1 0 1	13	: PCLKD周期の13/32倍の遅延を適用																																																																																																					
0 1 1 1 0	14	: PCLKD周期の14/32倍の遅延を適用																																																																																																					
0 1 1 1 1	15	: PCLKD周期の15/32倍の遅延を適用																																																																																																					
1 0 0 0 0	16	: PCLKD周期の16/32倍の遅延を適用																																																																																																					
1 0 0 0 1	17	: PCLKD周期の17/32倍の遅延を適用																																																																																																					
1 0 0 1 0	18	: PCLKD周期の18/32倍の遅延を適用																																																																																																					
1 0 0 1 1	19	: PCLKD周期の19/32倍の遅延を適用																																																																																																					
1 0 1 0 0	20	: PCLKD周期の20/32倍の遅延を適用																																																																																																					
1 0 1 0 1	21	: PCLKD周期の21/32倍の遅延を適用																																																																																																					
1 0 1 1 0	22	: PCLKD周期の22/32倍の遅延を適用																																																																																																					
1 0 1 1 1	23	: PCLKD周期の23/32倍の遅延を適用																																																																																																					
1 1 0 0 0	24	: PCLKD周期の24/32倍の遅延を適用																																																																																																					
1 1 0 0 1	25	: PCLKD周期の25/32倍の遅延を適用																																																																																																					
1 1 0 1 0	26	: PCLKD周期の26/32倍の遅延を適用																																																																																																					
1 1 0 1 1	27	: PCLKD周期の27/32倍の遅延を適用																																																																																																					
1 1 1 0 0	28	: PCLKD周期の28/32倍の遅延を適用																																																																																																					
1 1 1 0 1	29	: PCLKD周期の29/32倍の遅延を適用																																																																																																					
1 1 1 1 0	30	: PCLKD周期の30/32倍の遅延を適用																																																																																																					
1 1 1 1 1	31	: PCLKD周期の31/32倍の遅延を適用																																																																																																					
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																																																																																																			

GTDLRnA レジスタは、GTIOCnA 端子の出力信号の立ち上がりエッジに適用する遅延を設定します。設定値の転送タイミングについては、[23.3.2 GTDLRnA、GTDLRnB、GTDLFnA、GTDLFnB レジスタ設定値の転送タイミング](#)を参照してください。

GTDLRnA レジスタは、レジスタライトプロテクション機能が無効 (GPT32EHn.GTWP.WP = 0) のときに書き込むことができます。

### 23.2.4 GTIOCnA 立ち下がり出力遅延レジスタ (GTDLYFnA) (n = 0 ~ 3)

アドレス [GPT\\_ODC.GTDLYF0A 4007 B028h](#), [GPT\\_ODC.GTDLYF1A 4007 B02Ch](#),  
[GPT\\_ODC.GTDLYF2A 4007 B030h](#), [GPT\\_ODC.GTDLYF3A 4007 B034h](#)



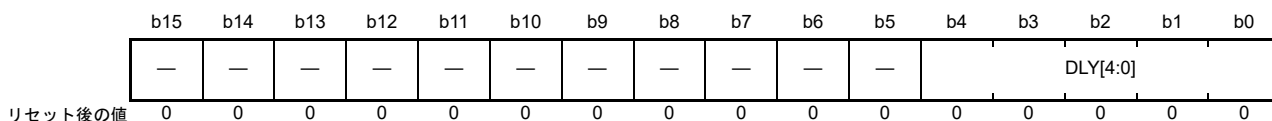
ビット	シンボル	ビット名	機能	R/W																																																																																																			
b4-b0	DLY[4:0]	GTIOCnA出力立ち下がりエッジ遅延設定	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">b4</td> <td style="width: 10%;">b0</td> <td></td> </tr> <tr> <td>0 0 0 0</td> <td>0</td> <td>: 立ち下がりエッジで遅延を適用しない</td> </tr> <tr> <td>0 0 0 0</td> <td>1</td> <td>: PCLKD周期の1/32倍の遅延を適用</td> </tr> <tr> <td>0 0 0 1</td> <td>0</td> <td>: PCLKD周期の2/32倍の遅延を適用</td> </tr> <tr> <td>0 0 0 1</td> <td>1</td> <td>: PCLKD周期の3/32倍の遅延を適用</td> </tr> <tr> <td>0 0 1 0</td> <td>0</td> <td>: PCLKD周期の4/32倍の遅延を適用</td> </tr> <tr> <td>0 0 1 0</td> <td>1</td> <td>: PCLKD周期の5/32倍の遅延を適用</td> </tr> <tr> <td>0 0 1 1</td> <td>0</td> <td>: PCLKD周期の6/32倍の遅延を適用</td> </tr> <tr> <td>0 0 1 1</td> <td>1</td> <td>: PCLKD周期の7/32倍の遅延を適用</td> </tr> <tr> <td>0 1 0 0</td> <td>0</td> <td>: PCLKD周期の8/32倍の遅延を適用</td> </tr> <tr> <td>0 1 0 0</td> <td>1</td> <td>: PCLKD周期の9/32倍の遅延を適用</td> </tr> <tr> <td>0 1 0 1</td> <td>0</td> <td>: PCLKD周期の10/32倍の遅延を適用</td> </tr> <tr> <td>0 1 0 1</td> <td>1</td> <td>: PCLKD周期の11/32倍の遅延を適用</td> </tr> <tr> <td>0 1 1 0</td> <td>0</td> <td>: PCLKD周期の12/32倍の遅延を適用</td> </tr> <tr> <td>0 1 1 0</td> <td>1</td> <td>: PCLKD周期の13/32倍の遅延を適用</td> </tr> <tr> <td>0 1 1 1</td> <td>0</td> <td>: PCLKD周期の14/32倍の遅延を適用</td> </tr> <tr> <td>0 1 1 1</td> <td>1</td> <td>: PCLKD周期の15/32倍の遅延を適用</td> </tr> <tr> <td>1 0 0 0</td> <td>0</td> <td>: PCLKD周期の16/32倍の遅延を適用</td> </tr> <tr> <td>1 0 0 0</td> <td>1</td> <td>: PCLKD周期の17/32倍の遅延を適用</td> </tr> <tr> <td>1 0 0 1</td> <td>0</td> <td>: PCLKD周期の18/32倍の遅延を適用</td> </tr> <tr> <td>1 0 0 1</td> <td>1</td> <td>: PCLKD周期の19/32倍の遅延を適用</td> </tr> <tr> <td>1 0 1 0</td> <td>0</td> <td>: PCLKD周期の20/32倍の遅延を適用</td> </tr> <tr> <td>1 0 1 0</td> <td>1</td> <td>: PCLKD周期の21/32倍の遅延を適用</td> </tr> <tr> <td>1 0 1 1</td> <td>0</td> <td>: PCLKD周期の22/32倍の遅延を適用</td> </tr> <tr> <td>1 0 1 1</td> <td>1</td> <td>: PCLKD周期の23/32倍の遅延を適用</td> </tr> <tr> <td>1 1 0 0</td> <td>0</td> <td>: PCLKD周期の24/32倍の遅延を適用</td> </tr> <tr> <td>1 1 0 0</td> <td>1</td> <td>: PCLKD周期の25/32倍の遅延を適用</td> </tr> <tr> <td>1 1 0 1</td> <td>0</td> <td>: PCLKD周期の26/32倍の遅延を適用</td> </tr> <tr> <td>1 1 0 1</td> <td>1</td> <td>: PCLKD周期の27/32倍の遅延を適用</td> </tr> <tr> <td>1 1 1 0</td> <td>0</td> <td>: PCLKD周期の28/32倍の遅延を適用</td> </tr> <tr> <td>1 1 1 0</td> <td>1</td> <td>: PCLKD周期の29/32倍の遅延を適用</td> </tr> <tr> <td>1 1 1 1</td> <td>0</td> <td>: PCLKD周期の30/32倍の遅延を適用</td> </tr> <tr> <td>1 1 1 1</td> <td>1</td> <td>: PCLKD周期の31/32倍の遅延を適用</td> </tr> </table>	b4	b0		0 0 0 0	0	: 立ち下がりエッジで遅延を適用しない	0 0 0 0	1	: PCLKD周期の1/32倍の遅延を適用	0 0 0 1	0	: PCLKD周期の2/32倍の遅延を適用	0 0 0 1	1	: PCLKD周期の3/32倍の遅延を適用	0 0 1 0	0	: PCLKD周期の4/32倍の遅延を適用	0 0 1 0	1	: PCLKD周期の5/32倍の遅延を適用	0 0 1 1	0	: PCLKD周期の6/32倍の遅延を適用	0 0 1 1	1	: PCLKD周期の7/32倍の遅延を適用	0 1 0 0	0	: PCLKD周期の8/32倍の遅延を適用	0 1 0 0	1	: PCLKD周期の9/32倍の遅延を適用	0 1 0 1	0	: PCLKD周期の10/32倍の遅延を適用	0 1 0 1	1	: PCLKD周期の11/32倍の遅延を適用	0 1 1 0	0	: PCLKD周期の12/32倍の遅延を適用	0 1 1 0	1	: PCLKD周期の13/32倍の遅延を適用	0 1 1 1	0	: PCLKD周期の14/32倍の遅延を適用	0 1 1 1	1	: PCLKD周期の15/32倍の遅延を適用	1 0 0 0	0	: PCLKD周期の16/32倍の遅延を適用	1 0 0 0	1	: PCLKD周期の17/32倍の遅延を適用	1 0 0 1	0	: PCLKD周期の18/32倍の遅延を適用	1 0 0 1	1	: PCLKD周期の19/32倍の遅延を適用	1 0 1 0	0	: PCLKD周期の20/32倍の遅延を適用	1 0 1 0	1	: PCLKD周期の21/32倍の遅延を適用	1 0 1 1	0	: PCLKD周期の22/32倍の遅延を適用	1 0 1 1	1	: PCLKD周期の23/32倍の遅延を適用	1 1 0 0	0	: PCLKD周期の24/32倍の遅延を適用	1 1 0 0	1	: PCLKD周期の25/32倍の遅延を適用	1 1 0 1	0	: PCLKD周期の26/32倍の遅延を適用	1 1 0 1	1	: PCLKD周期の27/32倍の遅延を適用	1 1 1 0	0	: PCLKD周期の28/32倍の遅延を適用	1 1 1 0	1	: PCLKD周期の29/32倍の遅延を適用	1 1 1 1	0	: PCLKD周期の30/32倍の遅延を適用	1 1 1 1	1	: PCLKD周期の31/32倍の遅延を適用	R/W
b4	b0																																																																																																						
0 0 0 0	0	: 立ち下がりエッジで遅延を適用しない																																																																																																					
0 0 0 0	1	: PCLKD周期の1/32倍の遅延を適用																																																																																																					
0 0 0 1	0	: PCLKD周期の2/32倍の遅延を適用																																																																																																					
0 0 0 1	1	: PCLKD周期の3/32倍の遅延を適用																																																																																																					
0 0 1 0	0	: PCLKD周期の4/32倍の遅延を適用																																																																																																					
0 0 1 0	1	: PCLKD周期の5/32倍の遅延を適用																																																																																																					
0 0 1 1	0	: PCLKD周期の6/32倍の遅延を適用																																																																																																					
0 0 1 1	1	: PCLKD周期の7/32倍の遅延を適用																																																																																																					
0 1 0 0	0	: PCLKD周期の8/32倍の遅延を適用																																																																																																					
0 1 0 0	1	: PCLKD周期の9/32倍の遅延を適用																																																																																																					
0 1 0 1	0	: PCLKD周期の10/32倍の遅延を適用																																																																																																					
0 1 0 1	1	: PCLKD周期の11/32倍の遅延を適用																																																																																																					
0 1 1 0	0	: PCLKD周期の12/32倍の遅延を適用																																																																																																					
0 1 1 0	1	: PCLKD周期の13/32倍の遅延を適用																																																																																																					
0 1 1 1	0	: PCLKD周期の14/32倍の遅延を適用																																																																																																					
0 1 1 1	1	: PCLKD周期の15/32倍の遅延を適用																																																																																																					
1 0 0 0	0	: PCLKD周期の16/32倍の遅延を適用																																																																																																					
1 0 0 0	1	: PCLKD周期の17/32倍の遅延を適用																																																																																																					
1 0 0 1	0	: PCLKD周期の18/32倍の遅延を適用																																																																																																					
1 0 0 1	1	: PCLKD周期の19/32倍の遅延を適用																																																																																																					
1 0 1 0	0	: PCLKD周期の20/32倍の遅延を適用																																																																																																					
1 0 1 0	1	: PCLKD周期の21/32倍の遅延を適用																																																																																																					
1 0 1 1	0	: PCLKD周期の22/32倍の遅延を適用																																																																																																					
1 0 1 1	1	: PCLKD周期の23/32倍の遅延を適用																																																																																																					
1 1 0 0	0	: PCLKD周期の24/32倍の遅延を適用																																																																																																					
1 1 0 0	1	: PCLKD周期の25/32倍の遅延を適用																																																																																																					
1 1 0 1	0	: PCLKD周期の26/32倍の遅延を適用																																																																																																					
1 1 0 1	1	: PCLKD周期の27/32倍の遅延を適用																																																																																																					
1 1 1 0	0	: PCLKD周期の28/32倍の遅延を適用																																																																																																					
1 1 1 0	1	: PCLKD周期の29/32倍の遅延を適用																																																																																																					
1 1 1 1	0	: PCLKD周期の30/32倍の遅延を適用																																																																																																					
1 1 1 1	1	: PCLKD周期の31/32倍の遅延を適用																																																																																																					
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																																																																																																			

GTDLyFnA レジスタは、GTIOCnA 端子の出力信号の立ち下がりエッジに適用する遅延を設定します。設定値の転送タイミングについては、[23.3.2 GTDLyRnA、GTDLyRnB、GTDLyFnA、GTDLyFnB レジスタ設定値の転送タイミング](#)を参照してください。

GTDLyFnA レジスタは、レジスタライトプロテクション機能が無効 (GPT32EHn.GTWP.WP = 0) のときに書き込むことができます。

## 23.2.5 GTIOCnB 立ち上がり出力遅延レジスタ (GTDLYRnB) (n = 0 ~ 3)

アドレス [GPT\\_ODC.GTDLYR0B 4007 B01Ah](#), [GPT\\_ODC.GTDLYR1B 4007 B01Eh](#),  
[GPT\\_ODC.GTDLYR2B 4007 B022h](#), [GPT\\_ODC.GTDLYR3B 4007 B026h](#)



ビット	シンボル	ビット名	機能	R/W																																																																																																			
b4-b0	DLY[4:0]	GTIOCnB出力立ち上がりエッジ遅延設定	<table border="0"> <tr> <td>b4</td><td>b0</td><td></td> </tr> <tr> <td>0 0 0 0</td><td>0</td><td>: 立ち上がりエッジで遅延を適用しない</td> </tr> <tr> <td>0 0 0 0</td><td>1</td><td>: PCLKD周期の1/32倍の遅延を適用</td> </tr> <tr> <td>0 0 0 1</td><td>0</td><td>: PCLKD周期の2/32倍の遅延を適用</td> </tr> <tr> <td>0 0 0 1</td><td>1</td><td>: PCLKD周期の3/32倍の遅延を適用</td> </tr> <tr> <td>0 0 1 0</td><td>0</td><td>: PCLKD周期の4/32倍の遅延を適用</td> </tr> <tr> <td>0 0 1 0</td><td>1</td><td>: PCLKD周期の5/32倍の遅延を適用</td> </tr> <tr> <td>0 0 1 1</td><td>0</td><td>: PCLKD周期の6/32倍の遅延を適用</td> </tr> <tr> <td>0 0 1 1</td><td>1</td><td>: PCLKD周期の7/32倍の遅延を適用</td> </tr> <tr> <td>0 1 0 0</td><td>0</td><td>: PCLKD周期の8/32倍の遅延を適用</td> </tr> <tr> <td>0 1 0 0</td><td>1</td><td>: PCLKD周期の9/32倍の遅延を適用</td> </tr> <tr> <td>0 1 0 1</td><td>0</td><td>: PCLKD周期の10/32倍の遅延を適用</td> </tr> <tr> <td>0 1 0 1</td><td>1</td><td>: PCLKD周期の11/32倍の遅延を適用</td> </tr> <tr> <td>0 1 1 0</td><td>0</td><td>: PCLKD周期の12/32倍の遅延を適用</td> </tr> <tr> <td>0 1 1 0</td><td>1</td><td>: PCLKD周期の13/32倍の遅延を適用</td> </tr> <tr> <td>0 1 1 1</td><td>0</td><td>: PCLKD周期の14/32倍の遅延を適用</td> </tr> <tr> <td>0 1 1 1</td><td>1</td><td>: PCLKD周期の15/32倍の遅延を適用</td> </tr> <tr> <td>1 0 0 0</td><td>0</td><td>: PCLKD周期の16/32倍の遅延を適用</td> </tr> <tr> <td>1 0 0 0</td><td>1</td><td>: PCLKD周期の17/32倍の遅延を適用</td> </tr> <tr> <td>1 0 0 1</td><td>0</td><td>: PCLKD周期の18/32倍の遅延を適用</td> </tr> <tr> <td>1 0 0 1</td><td>1</td><td>: PCLKD周期の19/32倍の遅延を適用</td> </tr> <tr> <td>1 0 1 0</td><td>0</td><td>: PCLKD周期の20/32倍の遅延を適用</td> </tr> <tr> <td>1 0 1 0</td><td>1</td><td>: PCLKD周期の21/32倍の遅延を適用</td> </tr> <tr> <td>1 0 1 1</td><td>0</td><td>: PCLKD周期の22/32倍の遅延を適用</td> </tr> <tr> <td>1 0 1 1</td><td>1</td><td>: PCLKD周期の23/32倍の遅延を適用</td> </tr> <tr> <td>1 1 0 0</td><td>0</td><td>: PCLKD周期の24/32倍の遅延を適用</td> </tr> <tr> <td>1 1 0 0</td><td>1</td><td>: PCLKD周期の25/32倍の遅延を適用</td> </tr> <tr> <td>1 1 0 1</td><td>0</td><td>: PCLKD周期の26/32倍の遅延を適用</td> </tr> <tr> <td>1 1 0 1</td><td>1</td><td>: PCLKD周期の27/32倍の遅延を適用</td> </tr> <tr> <td>1 1 1 0</td><td>0</td><td>: PCLKD周期の28/32倍の遅延を適用</td> </tr> <tr> <td>1 1 1 0</td><td>1</td><td>: PCLKD周期の29/32倍の遅延を適用</td> </tr> <tr> <td>1 1 1 1</td><td>0</td><td>: PCLKD周期の30/32倍の遅延を適用</td> </tr> <tr> <td>1 1 1 1</td><td>1</td><td>: PCLKD周期の31/32倍の遅延を適用</td> </tr> </table>	b4	b0		0 0 0 0	0	: 立ち上がりエッジで遅延を適用しない	0 0 0 0	1	: PCLKD周期の1/32倍の遅延を適用	0 0 0 1	0	: PCLKD周期の2/32倍の遅延を適用	0 0 0 1	1	: PCLKD周期の3/32倍の遅延を適用	0 0 1 0	0	: PCLKD周期の4/32倍の遅延を適用	0 0 1 0	1	: PCLKD周期の5/32倍の遅延を適用	0 0 1 1	0	: PCLKD周期の6/32倍の遅延を適用	0 0 1 1	1	: PCLKD周期の7/32倍の遅延を適用	0 1 0 0	0	: PCLKD周期の8/32倍の遅延を適用	0 1 0 0	1	: PCLKD周期の9/32倍の遅延を適用	0 1 0 1	0	: PCLKD周期の10/32倍の遅延を適用	0 1 0 1	1	: PCLKD周期の11/32倍の遅延を適用	0 1 1 0	0	: PCLKD周期の12/32倍の遅延を適用	0 1 1 0	1	: PCLKD周期の13/32倍の遅延を適用	0 1 1 1	0	: PCLKD周期の14/32倍の遅延を適用	0 1 1 1	1	: PCLKD周期の15/32倍の遅延を適用	1 0 0 0	0	: PCLKD周期の16/32倍の遅延を適用	1 0 0 0	1	: PCLKD周期の17/32倍の遅延を適用	1 0 0 1	0	: PCLKD周期の18/32倍の遅延を適用	1 0 0 1	1	: PCLKD周期の19/32倍の遅延を適用	1 0 1 0	0	: PCLKD周期の20/32倍の遅延を適用	1 0 1 0	1	: PCLKD周期の21/32倍の遅延を適用	1 0 1 1	0	: PCLKD周期の22/32倍の遅延を適用	1 0 1 1	1	: PCLKD周期の23/32倍の遅延を適用	1 1 0 0	0	: PCLKD周期の24/32倍の遅延を適用	1 1 0 0	1	: PCLKD周期の25/32倍の遅延を適用	1 1 0 1	0	: PCLKD周期の26/32倍の遅延を適用	1 1 0 1	1	: PCLKD周期の27/32倍の遅延を適用	1 1 1 0	0	: PCLKD周期の28/32倍の遅延を適用	1 1 1 0	1	: PCLKD周期の29/32倍の遅延を適用	1 1 1 1	0	: PCLKD周期の30/32倍の遅延を適用	1 1 1 1	1	: PCLKD周期の31/32倍の遅延を適用	R/W
b4	b0																																																																																																						
0 0 0 0	0	: 立ち上がりエッジで遅延を適用しない																																																																																																					
0 0 0 0	1	: PCLKD周期の1/32倍の遅延を適用																																																																																																					
0 0 0 1	0	: PCLKD周期の2/32倍の遅延を適用																																																																																																					
0 0 0 1	1	: PCLKD周期の3/32倍の遅延を適用																																																																																																					
0 0 1 0	0	: PCLKD周期の4/32倍の遅延を適用																																																																																																					
0 0 1 0	1	: PCLKD周期の5/32倍の遅延を適用																																																																																																					
0 0 1 1	0	: PCLKD周期の6/32倍の遅延を適用																																																																																																					
0 0 1 1	1	: PCLKD周期の7/32倍の遅延を適用																																																																																																					
0 1 0 0	0	: PCLKD周期の8/32倍の遅延を適用																																																																																																					
0 1 0 0	1	: PCLKD周期の9/32倍の遅延を適用																																																																																																					
0 1 0 1	0	: PCLKD周期の10/32倍の遅延を適用																																																																																																					
0 1 0 1	1	: PCLKD周期の11/32倍の遅延を適用																																																																																																					
0 1 1 0	0	: PCLKD周期の12/32倍の遅延を適用																																																																																																					
0 1 1 0	1	: PCLKD周期の13/32倍の遅延を適用																																																																																																					
0 1 1 1	0	: PCLKD周期の14/32倍の遅延を適用																																																																																																					
0 1 1 1	1	: PCLKD周期の15/32倍の遅延を適用																																																																																																					
1 0 0 0	0	: PCLKD周期の16/32倍の遅延を適用																																																																																																					
1 0 0 0	1	: PCLKD周期の17/32倍の遅延を適用																																																																																																					
1 0 0 1	0	: PCLKD周期の18/32倍の遅延を適用																																																																																																					
1 0 0 1	1	: PCLKD周期の19/32倍の遅延を適用																																																																																																					
1 0 1 0	0	: PCLKD周期の20/32倍の遅延を適用																																																																																																					
1 0 1 0	1	: PCLKD周期の21/32倍の遅延を適用																																																																																																					
1 0 1 1	0	: PCLKD周期の22/32倍の遅延を適用																																																																																																					
1 0 1 1	1	: PCLKD周期の23/32倍の遅延を適用																																																																																																					
1 1 0 0	0	: PCLKD周期の24/32倍の遅延を適用																																																																																																					
1 1 0 0	1	: PCLKD周期の25/32倍の遅延を適用																																																																																																					
1 1 0 1	0	: PCLKD周期の26/32倍の遅延を適用																																																																																																					
1 1 0 1	1	: PCLKD周期の27/32倍の遅延を適用																																																																																																					
1 1 1 0	0	: PCLKD周期の28/32倍の遅延を適用																																																																																																					
1 1 1 0	1	: PCLKD周期の29/32倍の遅延を適用																																																																																																					
1 1 1 1	0	: PCLKD周期の30/32倍の遅延を適用																																																																																																					
1 1 1 1	1	: PCLKD周期の31/32倍の遅延を適用																																																																																																					
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																																																																																																			

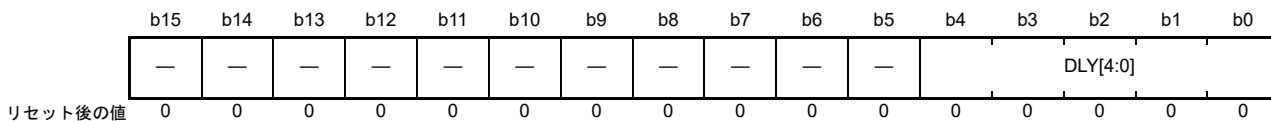
GTDLRnB レジスタは、GTIOCnB 端子の出力信号の立ち上がりエッジに適用する遅延を設定します。設定値の転送タイミングについては、[23.3.2 GTDLRnA、GTDLRnB、GTDLFmA、GTDLFmB レジスタ設定値の転送タイミング](#)を参照してください。

GTDLRnB レジスタは、レジスタライトプロテクション機能が無効 (GPT32EHn.GTWP.WP = 0) のときに書き込むことができます。



### 23.2.6 GTIOcN<sub>B</sub> 立ち下がり出力遅延レジスタ (GTDLYFn<sub>B</sub>) (n = 0 ~ 3)

アドレス [GPT\\_ODC.GTDLYF0B 4007 B02Ah](#), [GPT\\_ODC.GTDLYF1B 4007 B02Eh](#),  
[GPT\\_ODC.GTDLYF2B 4007 B032h](#), [GPT\\_ODC.GTDLYF3B 4007 B036h](#)



ビット	シンボル	ビット名	機能	R/W																																																																																																			
b4-b0	DLY[4:0]	GTIOcN <sub>B</sub> 出力立ち下がりエッジ遅延設定	<table border="0"> <tr> <td>b4</td> <td>b0</td> <td></td> </tr> <tr> <td>0 0 0 0</td> <td>0</td> <td>: 立ち下がりエッジで遅延を適用しない</td> </tr> <tr> <td>0 0 0 0</td> <td>1</td> <td>: PCLKD周期の1/32倍の遅延を適用</td> </tr> <tr> <td>0 0 0 1</td> <td>0</td> <td>: PCLKD周期の2/32倍の遅延を適用</td> </tr> <tr> <td>0 0 0 1</td> <td>1</td> <td>: PCLKD周期の3/32倍の遅延を適用</td> </tr> <tr> <td>0 0 1 0</td> <td>0</td> <td>: PCLKD周期の4/32倍の遅延を適用</td> </tr> <tr> <td>0 0 1 0</td> <td>1</td> <td>: PCLKD周期の5/32倍の遅延を適用</td> </tr> <tr> <td>0 0 1 1</td> <td>0</td> <td>: PCLKD周期の6/32倍の遅延を適用</td> </tr> <tr> <td>0 0 1 1</td> <td>1</td> <td>: PCLKD周期の7/32倍の遅延を適用</td> </tr> <tr> <td>0 1 0 0</td> <td>0</td> <td>: PCLKD周期の8/32倍の遅延を適用</td> </tr> <tr> <td>0 1 0 0</td> <td>1</td> <td>: PCLKD周期の9/32倍の遅延を適用</td> </tr> <tr> <td>0 1 0 1</td> <td>0</td> <td>: PCLKD周期の10/32倍の遅延を適用</td> </tr> <tr> <td>0 1 0 1</td> <td>1</td> <td>: PCLKD周期の11/32倍の遅延を適用</td> </tr> <tr> <td>0 1 1 0</td> <td>0</td> <td>: PCLKD周期の12/32倍の遅延を適用</td> </tr> <tr> <td>0 1 1 0</td> <td>1</td> <td>: PCLKD周期の13/32倍の遅延を適用</td> </tr> <tr> <td>0 1 1 1</td> <td>0</td> <td>: PCLKD周期の14/32倍の遅延を適用</td> </tr> <tr> <td>0 1 1 1</td> <td>1</td> <td>: PCLKD周期の15/32倍の遅延を適用</td> </tr> <tr> <td>1 0 0 0</td> <td>0</td> <td>: PCLKD周期の16/32倍の遅延を適用</td> </tr> <tr> <td>1 0 0 0</td> <td>1</td> <td>: PCLKD周期の17/32倍の遅延を適用</td> </tr> <tr> <td>1 0 0 1</td> <td>0</td> <td>: PCLKD周期の18/32倍の遅延を適用</td> </tr> <tr> <td>1 0 0 1</td> <td>1</td> <td>: PCLKD周期の19/32倍の遅延を適用</td> </tr> <tr> <td>1 0 1 0</td> <td>0</td> <td>: PCLKD周期の20/32倍の遅延を適用</td> </tr> <tr> <td>1 0 1 0</td> <td>1</td> <td>: PCLKD周期の21/32倍の遅延を適用</td> </tr> <tr> <td>1 0 1 1</td> <td>0</td> <td>: PCLKD周期の22/32倍の遅延を適用</td> </tr> <tr> <td>1 0 1 1</td> <td>1</td> <td>: PCLKD周期の23/32倍の遅延を適用</td> </tr> <tr> <td>1 1 0 0</td> <td>0</td> <td>: PCLKD周期の24/32倍の遅延を適用</td> </tr> <tr> <td>1 1 0 0</td> <td>1</td> <td>: PCLKD周期の25/32倍の遅延を適用</td> </tr> <tr> <td>1 1 0 1</td> <td>0</td> <td>: PCLKD周期の26/32倍の遅延を適用</td> </tr> <tr> <td>1 1 0 1</td> <td>1</td> <td>: PCLKD周期の27/32倍の遅延を適用</td> </tr> <tr> <td>1 1 1 0</td> <td>0</td> <td>: PCLKD周期の28/32倍の遅延を適用</td> </tr> <tr> <td>1 1 1 0</td> <td>1</td> <td>: PCLKD周期の29/32倍の遅延を適用</td> </tr> <tr> <td>1 1 1 1</td> <td>0</td> <td>: PCLKD周期の30/32倍の遅延を適用</td> </tr> <tr> <td>1 1 1 1</td> <td>1</td> <td>: PCLKD周期の31/32倍の遅延を適用</td> </tr> </table>	b4	b0		0 0 0 0	0	: 立ち下がりエッジで遅延を適用しない	0 0 0 0	1	: PCLKD周期の1/32倍の遅延を適用	0 0 0 1	0	: PCLKD周期の2/32倍の遅延を適用	0 0 0 1	1	: PCLKD周期の3/32倍の遅延を適用	0 0 1 0	0	: PCLKD周期の4/32倍の遅延を適用	0 0 1 0	1	: PCLKD周期の5/32倍の遅延を適用	0 0 1 1	0	: PCLKD周期の6/32倍の遅延を適用	0 0 1 1	1	: PCLKD周期の7/32倍の遅延を適用	0 1 0 0	0	: PCLKD周期の8/32倍の遅延を適用	0 1 0 0	1	: PCLKD周期の9/32倍の遅延を適用	0 1 0 1	0	: PCLKD周期の10/32倍の遅延を適用	0 1 0 1	1	: PCLKD周期の11/32倍の遅延を適用	0 1 1 0	0	: PCLKD周期の12/32倍の遅延を適用	0 1 1 0	1	: PCLKD周期の13/32倍の遅延を適用	0 1 1 1	0	: PCLKD周期の14/32倍の遅延を適用	0 1 1 1	1	: PCLKD周期の15/32倍の遅延を適用	1 0 0 0	0	: PCLKD周期の16/32倍の遅延を適用	1 0 0 0	1	: PCLKD周期の17/32倍の遅延を適用	1 0 0 1	0	: PCLKD周期の18/32倍の遅延を適用	1 0 0 1	1	: PCLKD周期の19/32倍の遅延を適用	1 0 1 0	0	: PCLKD周期の20/32倍の遅延を適用	1 0 1 0	1	: PCLKD周期の21/32倍の遅延を適用	1 0 1 1	0	: PCLKD周期の22/32倍の遅延を適用	1 0 1 1	1	: PCLKD周期の23/32倍の遅延を適用	1 1 0 0	0	: PCLKD周期の24/32倍の遅延を適用	1 1 0 0	1	: PCLKD周期の25/32倍の遅延を適用	1 1 0 1	0	: PCLKD周期の26/32倍の遅延を適用	1 1 0 1	1	: PCLKD周期の27/32倍の遅延を適用	1 1 1 0	0	: PCLKD周期の28/32倍の遅延を適用	1 1 1 0	1	: PCLKD周期の29/32倍の遅延を適用	1 1 1 1	0	: PCLKD周期の30/32倍の遅延を適用	1 1 1 1	1	: PCLKD周期の31/32倍の遅延を適用	R/W
b4	b0																																																																																																						
0 0 0 0	0	: 立ち下がりエッジで遅延を適用しない																																																																																																					
0 0 0 0	1	: PCLKD周期の1/32倍の遅延を適用																																																																																																					
0 0 0 1	0	: PCLKD周期の2/32倍の遅延を適用																																																																																																					
0 0 0 1	1	: PCLKD周期の3/32倍の遅延を適用																																																																																																					
0 0 1 0	0	: PCLKD周期の4/32倍の遅延を適用																																																																																																					
0 0 1 0	1	: PCLKD周期の5/32倍の遅延を適用																																																																																																					
0 0 1 1	0	: PCLKD周期の6/32倍の遅延を適用																																																																																																					
0 0 1 1	1	: PCLKD周期の7/32倍の遅延を適用																																																																																																					
0 1 0 0	0	: PCLKD周期の8/32倍の遅延を適用																																																																																																					
0 1 0 0	1	: PCLKD周期の9/32倍の遅延を適用																																																																																																					
0 1 0 1	0	: PCLKD周期の10/32倍の遅延を適用																																																																																																					
0 1 0 1	1	: PCLKD周期の11/32倍の遅延を適用																																																																																																					
0 1 1 0	0	: PCLKD周期の12/32倍の遅延を適用																																																																																																					
0 1 1 0	1	: PCLKD周期の13/32倍の遅延を適用																																																																																																					
0 1 1 1	0	: PCLKD周期の14/32倍の遅延を適用																																																																																																					
0 1 1 1	1	: PCLKD周期の15/32倍の遅延を適用																																																																																																					
1 0 0 0	0	: PCLKD周期の16/32倍の遅延を適用																																																																																																					
1 0 0 0	1	: PCLKD周期の17/32倍の遅延を適用																																																																																																					
1 0 0 1	0	: PCLKD周期の18/32倍の遅延を適用																																																																																																					
1 0 0 1	1	: PCLKD周期の19/32倍の遅延を適用																																																																																																					
1 0 1 0	0	: PCLKD周期の20/32倍の遅延を適用																																																																																																					
1 0 1 0	1	: PCLKD周期の21/32倍の遅延を適用																																																																																																					
1 0 1 1	0	: PCLKD周期の22/32倍の遅延を適用																																																																																																					
1 0 1 1	1	: PCLKD周期の23/32倍の遅延を適用																																																																																																					
1 1 0 0	0	: PCLKD周期の24/32倍の遅延を適用																																																																																																					
1 1 0 0	1	: PCLKD周期の25/32倍の遅延を適用																																																																																																					
1 1 0 1	0	: PCLKD周期の26/32倍の遅延を適用																																																																																																					
1 1 0 1	1	: PCLKD周期の27/32倍の遅延を適用																																																																																																					
1 1 1 0	0	: PCLKD周期の28/32倍の遅延を適用																																																																																																					
1 1 1 0	1	: PCLKD周期の29/32倍の遅延を適用																																																																																																					
1 1 1 1	0	: PCLKD周期の30/32倍の遅延を適用																																																																																																					
1 1 1 1	1	: PCLKD周期の31/32倍の遅延を適用																																																																																																					
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																																																																																																			

GTDL<sub>Y</sub>F<sub>n</sub>B レジスタは、GTIOcN<sub>B</sub> 端子の出力信号の立ち下がりエッジに適用する遅延を設定します。設定値の転送タイミングについては、[23.3.2 GTDL<sub>Y</sub>R<sub>n</sub>A](#)、[GTDL<sub>Y</sub>R<sub>n</sub>B](#)、[GTDL<sub>Y</sub>F<sub>n</sub>A](#)、[GTDL<sub>Y</sub>F<sub>n</sub>B レジスタ設定値の転送タイミング](#)を参照してください。

GTDL<sub>Y</sub>F<sub>n</sub>B レジスタは、レジスタライトプロテクション機能が無効 (GPT32EH<sub>n</sub>.GTWP.WP = 0) のときに書き込むことができます。

## 23.3 動作説明

### 23.3.1 PWM 波形の立ち上がりおよび立ち下がりエッジのタイミング調整

GTIOcNA および GTIOcNB 端子 (n はチャンネル番号) から出力される PWM 波形の立ち上がりおよび立ち下がりエッジのタイミングは、GPT 動作クロック (PCLKD) 周期の 1/32 の精度で遅延させることができます。

GTIOcNA および GTIOcNB 端子から出力される PWM 波形の立ち上がりまたは立ち下がりエッジのタイミングを調整する必要がある場合、[図 23.2](#) の手順に従って PWM 生成回路の初期設定を行ってください。

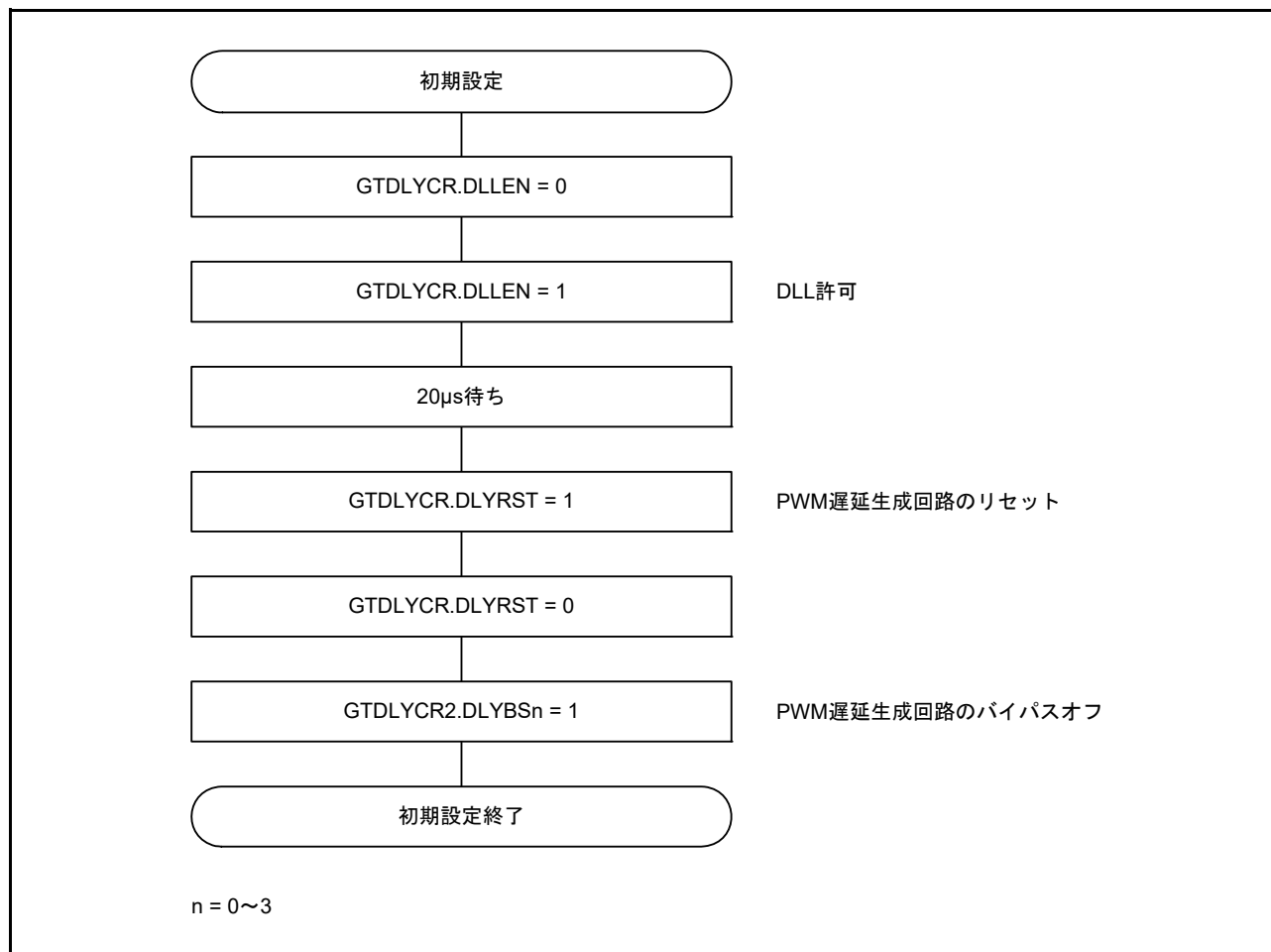


図 23.2 PWM 遅延生成回路の初期化フロー例

PWM 遅延生成回路では、PWM 出力の立ち上がりおよび立ち下がりエッジに、GPT 動作クロック (PCLKD) 周期の 1/32 の精度で遅延を適用できます。詳細は、[22.3.3 PWM 出力動作モード](#)を参照してください。設定値に対応した遅延が、[23.3.2 GTDLYRnA、GTDLYRnB、GTDLYFnA、GTDLYFnB レジスタ設定値の転送タイミング](#)に示すタイミングで PWM 出力に反映されます。

GTDLYRnA、GTDLYRnB、GTDLYFnA、および GTDLYFnB レジスタと、PWM 出力との対応関係を[表 23.3](#)に示します。

表 23.3 PWM 出力端子と遅延設定レジスタの対応関係

PWM 出力端子	立ち上がりエッジ遅延設定レジスタ	立ち下がりエッジ遅延設定レジスタ
GTIOC0A	GTDLYR0A	GTDLYF0A
GTIOC0B	GTDLYR0B	GTDLYF0B
GTIOC1A	GTDLYR1A	GTDLYF1A
GTIOC1B	GTDLYR1B	GTDLYF1B
GTIOC2A	GTDLYR2A	GTDLYF2A
GTIOC2B	GTDLYR2B	GTDLYF2B
GTIOC3A	GTDLYR3A	GTDLYF3A
GTIOC3B	GTDLYR3B	GTDLYF3B

PWM 遅延生成回路を使用している場合、PWM 出力信号の立ち上がりおよび立ち下がりタイミングを、GPT 動作クロック (PCLKD) 周期の 1/32 の精度で制御できます。この機能を使用していない場合、PWM 出力波形の周期は、タイマカウンタの入力クロック (PCLKD) の 1 周期の精度で制御されます。PWM 遅延生成回路を使用すると、32 倍精密な精度で出力を制御できます。また、遅延設定では、PWM 波形の High レベルおよび Low レベルの周期を、特定の精度で制御することも可能です。各 PWM 遅延生成回路チャンネルは、それぞれ個別に有効または無効にできます。

### 23.3.2 GTDLYRnA、GTDLYRnB、GTDLYFnA、GTDLYFnB レジスタ設定値の転送タイミング

GTDLYRnA、GTDLYRnB、GTDLYFnA、および GTDLYFnB レジスタの設定値は、最初に一時レジスタに転送され、その後、GTIOCnA および GTIOCnB (n=0~3) 出力の遅延量に反映されます。設定値は、のこぎり波の場合はオーバーフロー時 (アップカウント中) またはアンダーフロー時 (ダウンカウント中)、三角波の場合は谷のとき転送されます。

GTDLYR0A および GTDLYF0A レジスタの動作例を図 23.3 と図 23.4 に示します。

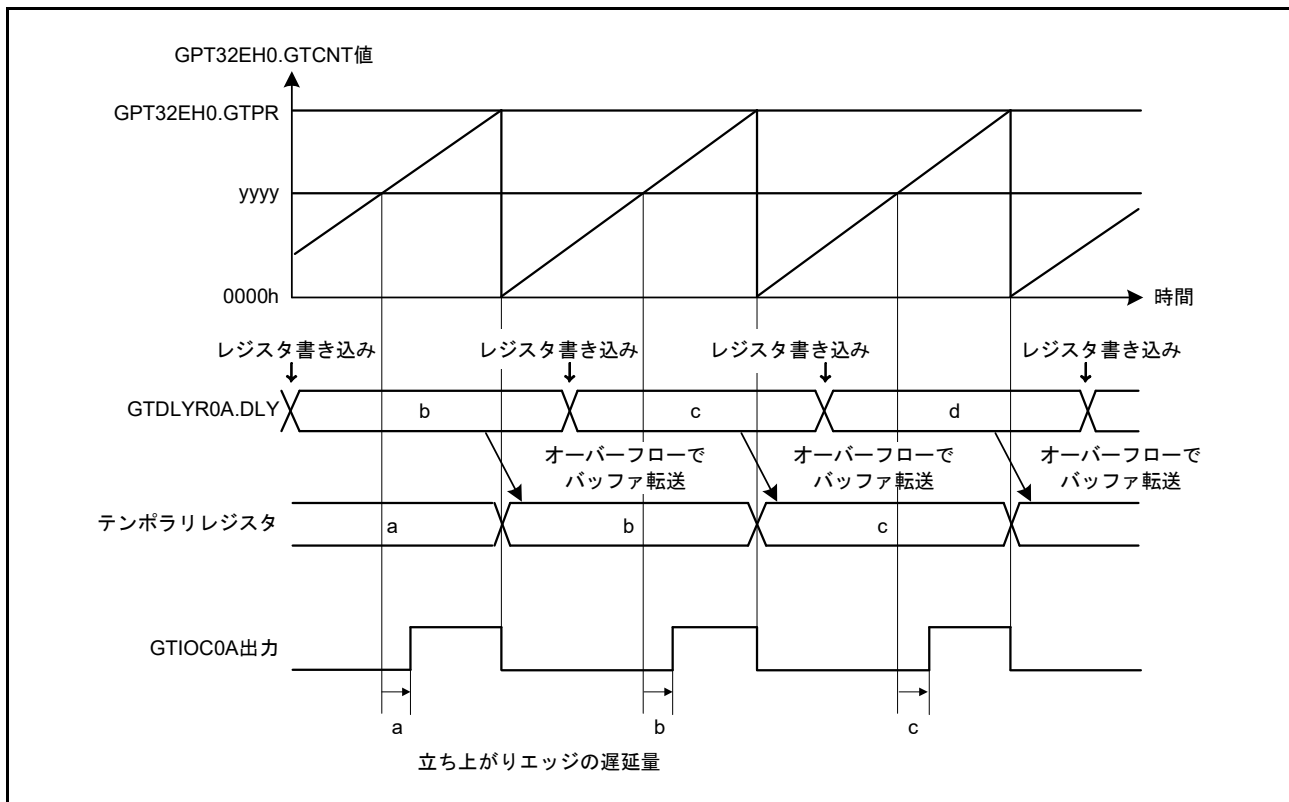


図 23.3 GTDLYR0A レジスタの動作例 (PWM のこぎり波生成時)

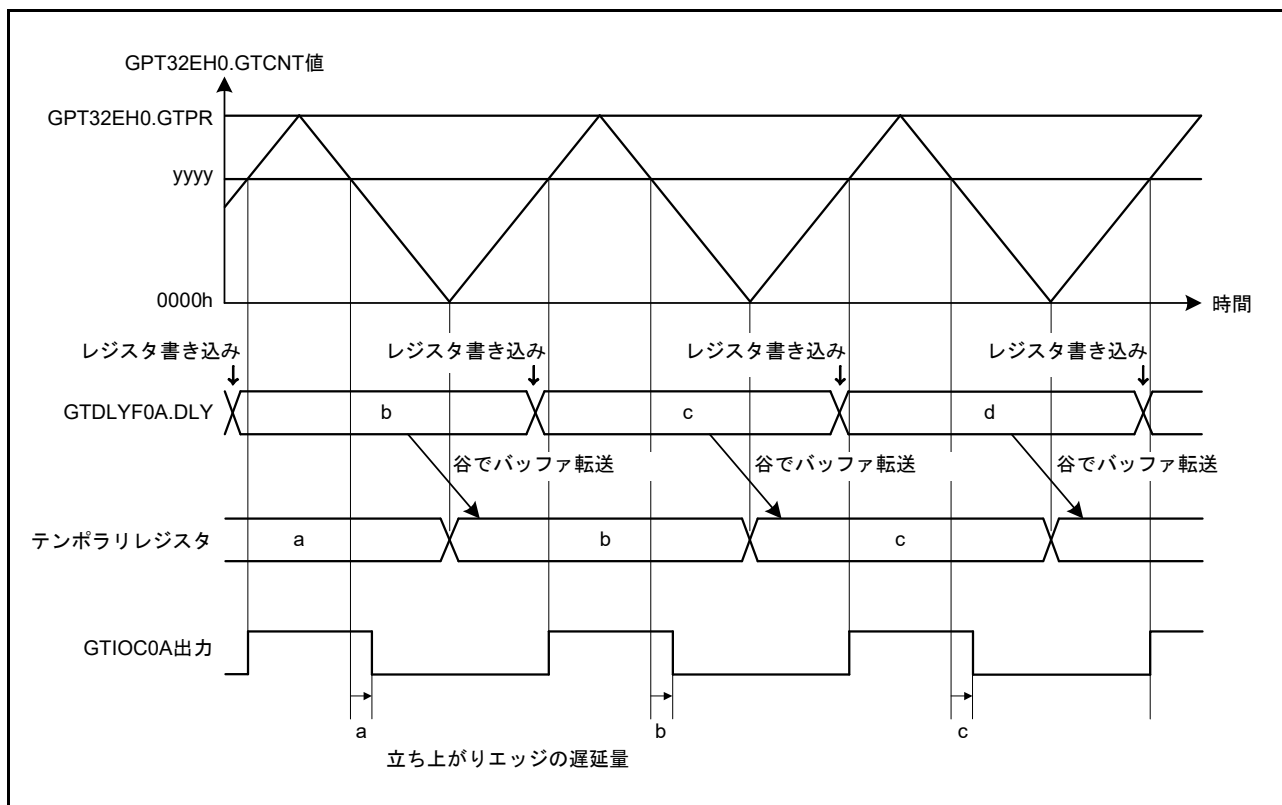


図 23.4 GTLDYF0A レジスタの動作例 (PWM 三角波生成時)

## 23.4 使用上の注意事項

### 23.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) は、PWM 遅延生成回路の動作を許可／禁止できます。リセット後の初期状態では、PWM 遅延生成回路の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

### 23.4.2 PWM 遅延生成回路の遅延設定に関する注意事項

PWM 遅延生成回路が PWM 出力波形の遅延を生成し、その波形がコンペアマッチに対してトグルされる場合、コンペアマッチ値が表 23.4 に示す範囲にある間は、遅延の設定を変更しないでください。この制約は GTDLYFnA、GTDLYRnA、GTDLYFnB、および GTDLYRnB レジスタに適用されます。

表 23.4 遅延設定の制約

モード	カウント方向	コンペアマッチ値
のこぎり波モード	アップ	GTPR - 2以上
	ダウン	2以下
三角波モード	ダウン	2以下

図 23.5 に、この制約がのこぎり波ワンショットパルスモード（カウントアップ）の GTDLYFnA レジスタの設定タイミングに適用される例を示します。GTCCR $\geq$  GTPR - 2の間は GTDLYFnA レジスタの設定値を変更しないでください。

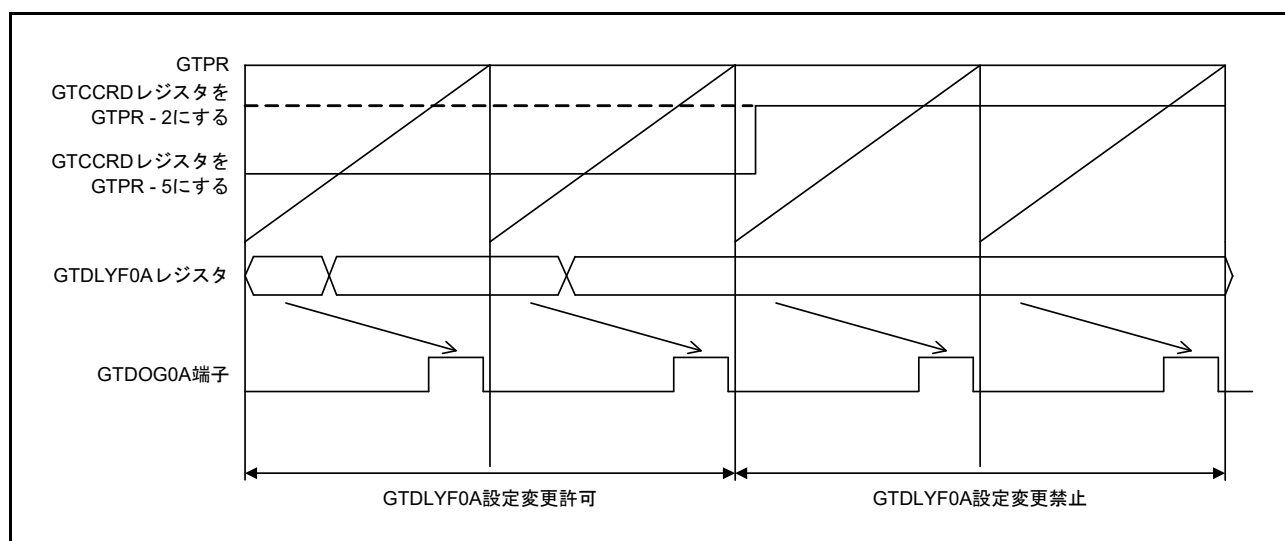


図 23.5 GTDLYF0A レジスタの設定タイミングの制約

設定変更が禁止されている期間に、GTDLYFnA、GTDLYRnA、GTDLYFnB、および GTDLYRnB レジスタの値を変更すると、出力波形の切り替わりポイントのタイミングが期待値とずれるなど、出力波形の不良の原因となる恐れがあります。

## 24. 低消費電力非同期汎用タイマ (AGT)

### 24.1 概要

低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 16 ビットのタイマです。

この 16 ビットタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。

表 24.1 に AGT の仕様を、図 24.1 にブロック図を、表 24.2 に入出力端子を示します。

表 24.1 AGTの仕様

項目		内容
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	タイマがアンダーフローするごとにカウントソースをカウントし、出力を反転
	イベントカウンタモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
カウントソース (動作クロック) (注2)		PCLKB、PCLKB/2、PCLKB/8、AGTLCLK、AGTLCLK/2、AGTLCLK/4、AGTLCLK/8、AGTLCLK/16、AGTLCLK/32、AGTLCLK/64、AGTLCLK/128、AGTSCLK、AGTSCLK/2、AGTSCLK/4、AGTSCLK/8、AGTSCLK/16、AGTSCLK/32、AGTSCLK/64、AGTSCLK/128、またはAGT0 (注1) のアンダーフロー信号を選択可能
割り込み/イベントリンク機能 (出力)		<ul style="list-style-type: none"> <li>• アンダーフローイベント信号または測定完了イベント信号 <ul style="list-style-type: none"> <li>- カウンタがアンダーフローしたとき</li> <li>- 外部入力 (AGTIO) のアクティブ幅の測定がパルス幅測定モードで終了したとき</li> <li>- 外部入力 (AGTIO) の設定エッジがパルス周期測定モードで入力されたとき</li> </ul> </li> <li>• コンペアマッチAイベント信号 <ul style="list-style-type: none"> <li>- AGTとAGTCMAの値が一致したとき (コンペアマッチA機能が有効)</li> </ul> </li> <li>• コンペアマッチBイベント信号 <ul style="list-style-type: none"> <li>- AGTとAGTCMBの値が一致したとき (コンペアマッチB機能が有効)</li> </ul> </li> </ul>
選択可能な機能		<ul style="list-style-type: none"> <li>• コンペアマッチ機能 <ul style="list-style-type: none"> <li>コンペアマッチAレジスタとコンペアマッチBレジスタの両方または一方を選択可能</li> </ul> </li> </ul>

注 1. AGT0 では AGT0 アンダーフロー信号を使用できません。AGT1 が、AGT0 タイマからのアンダーフローイベント信号に直接接続します。

注 2. 周辺モジュールクロック (PCLKB) 周波数  $\geq$  カウントソースクロック周波数となるように設定してください。

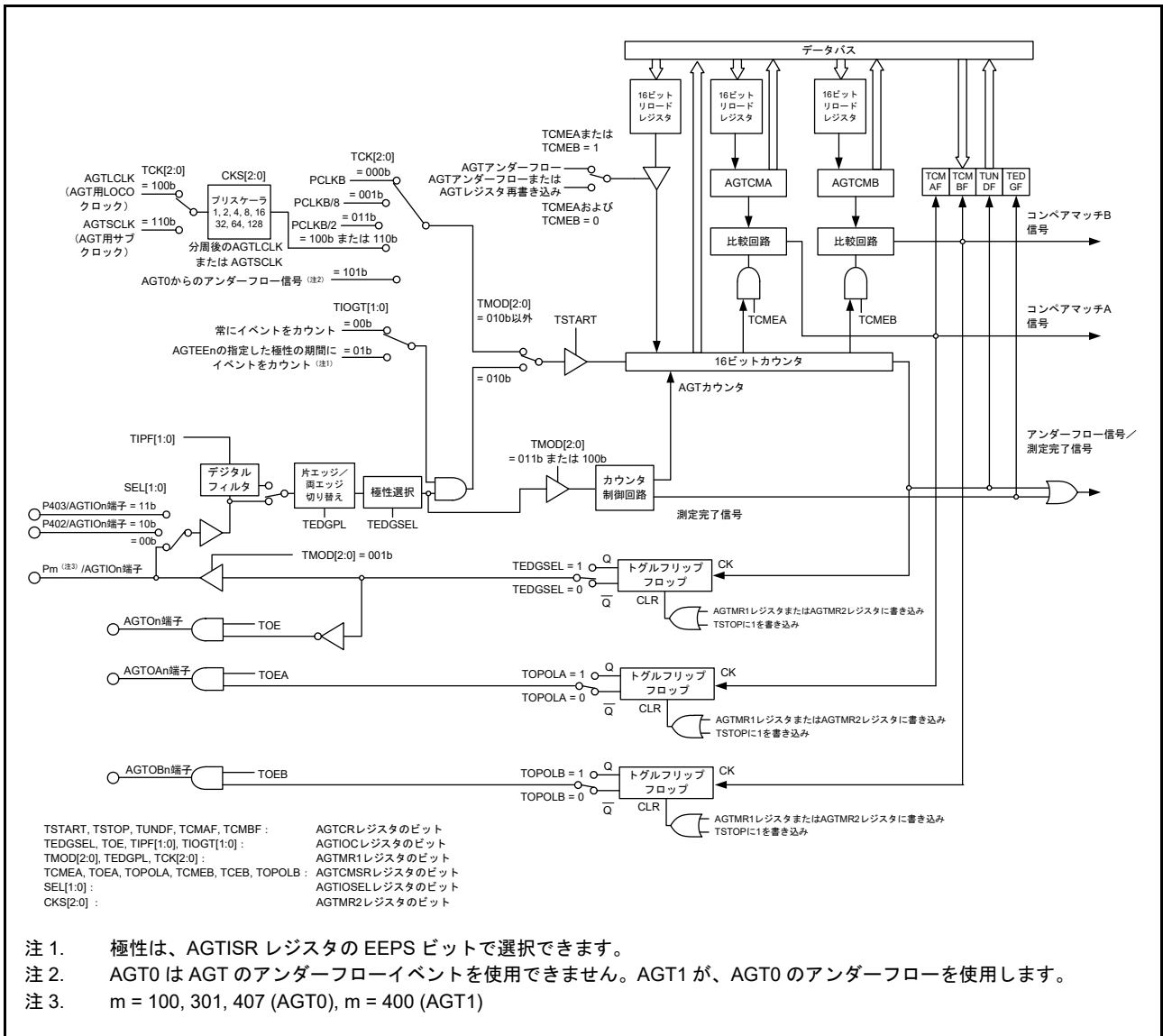


図 24.1 AGT のブロック図

表 24.2 AGT の入出力端子

端子名	入出力	機能
AGTEEn	入力	AGT の外部イベント入力
AGTIO <sub>n</sub> (注1)	入力 (注1) / 出力	AGT の外部イベント入力およびパルス出力
AGTOn	出力	AGT のパルス出力
AGTOAn	出力	AGT の出力コンペアマッチA出力
AGTOBn	出力	AGT の出力コンペアマッチB出力

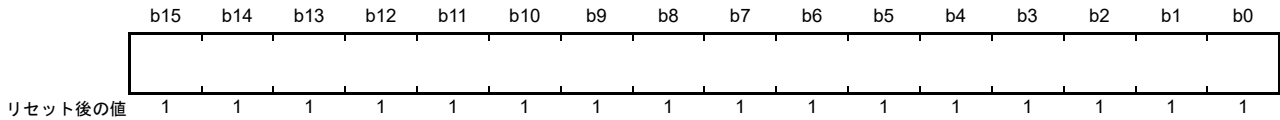
注 . チャネル番号 (n = 0, 1)  
 注 1. AGTIO はディープソフトウェアスタンバイモードでも使用可能です。

AGTIO は VBTICTLR レジスタで制御できます。詳細については、19.2.7 AGT 入力コントロールレジスタ (VBTICTLR) と 19.5.5 入出力バッファの仕様を参照してください。

## 24.2 レジスタの説明

### 24.2.1 AGT カウンタレジスタ (AGT)

アドレス [AGT0.AGT 4008 4000h](#), [AGT1.AGT 4008 4100h](#)



ビット	機能	設定範囲	R/W
b15-b0	16ビットのカウンタおよびリロードレジスタ (注1) (注2)	0000h~FFFFh	R/W

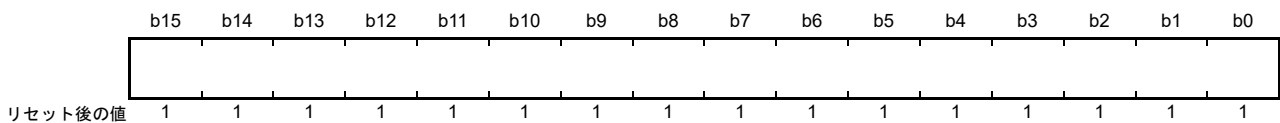
- 注1. AGTCR レジスタの TSTOP ビットに 1 を書き込むと、この 16 ビットカウンタは強制的に停止して、FFFFh になります。
- 注2. AGTMR1 レジスタの TCK[2:0] ビットの設定値が 001b (PCLKB/8) または 011b (PCLKB/2) 以外の場合、AGT レジスタが 0000h になると、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度発生します。AGTOn および AGTIOh はトグル出力となります。
- イベントカウンタモードで AGT レジスタが 0000h になると、TCK[2:0] ビットの値にかかわらず、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度発生します。
- また、指定したカウント期間以外の期間でも AGTOn はトグル出力となります。AGT レジスタが 0001h 以上になると、AGT がアンダーフローするたびに要求信号が発生します。

AGT は 16 ビットのレジスタです。書き込み値はリロードレジスタに書き込まれ、読み出し値はカウンタから読み出されます。

リロードレジスタおよびカウンタの状態は、AGTCR レジスタの TSTART ビットおよび AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は、[24.3.1 リロードレジスタおよびカウンタの書き換え動作](#)を参照してください。AGT レジスタは、16 ビットのメモリ操作命令によって設定できます。

### 24.2.2 AGT コンペアマッチ A レジスタ (AGTCMA)

アドレス [AGT0.AGTCMA 4008 4002h](#), [AGT1.AGTCMA 4008 4102h](#)



ビット	機能	設定範囲	R/W
b15-b0	16ビットのコンペアマッチAデータを格納 (注1)	0000h~FFFFh	R/W

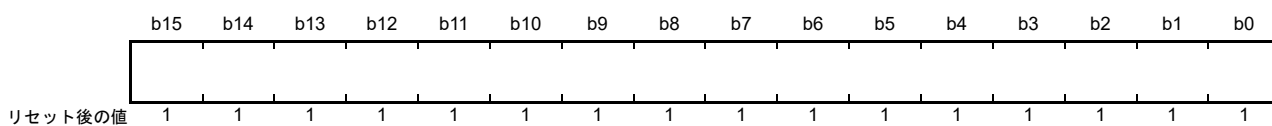
- 注1. コンペアマッチ A を使用しない場合、AGTCMA レジスタは FFFFh にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込みが可能なレジスタです。リロードレジスタおよびコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、[24.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作](#)を参照してください。AGTCMA レジスタは、16 ビットのメモリ操作命令によって設定できます。



### 24.2.3 AGT コンペアマッチ B レジスタ (AGTCMB)

アドレス AGT0.AGTCMB 4008 4004h, AGT1.AGTCMB 4008 4104h



ビット	機能	設定範囲	R/W
b15-b0	16ビットのコンペアマッチBデータを格納 (注1)	0000h~FFFFh	R/W

注1. コンペアマッチ B を使用しない場合、AGTCMB レジスタは FFFFh にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込みが可能なレジスタです。リロードレジスタおよびコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、[24.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作](#)を参照してください。AGTCMB レジスタは、16 ビットのメモリ操作命令によって設定できます。

## 24.2.4 AGT コントロールレジスタ (AGTCR)

アドレス AGT0.AGTCR 4008 4008h, AGT1.AGTCR 4008 4108h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCMBF	TCMAF	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	AGT カウント開始 (注2)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	AGT カウント状態フラグ (注2)	0: カウント停止 1: カウント実行中	R
b2	TSTOP	AGT カウント強制停止 (注1)	0: 書き込みは無効 1: 強制的にカウント停止	W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TEDGF	アクティブエッジ判定フラグ	0: アクティブエッジ未受信 1: アクティブエッジ受信	R/(W) (注3)
b5	TUNDF	アンダーフローフラグ	0: アンダーフローなし 1: アンダーフロー	R/(W) (注3)
b6	TCMAF	コンペアマッチAフラグ	0: 不一致 1: 一致	R/(W) (注3)
b7	TCMBF	コンペアマッチBフラグ	0: 不一致 1: 一致	R/(W) (注3)

注1. TSTOP ビットに1 (強制的にカウント停止) を書き込むと、TSTOP、TSTART、および TCSTF ビットが同時に初期化されます。パルス出カレベルも初期化されます。読むと0が読めます。

注2. TSTART および TCSTF ビットの使用については、24.4.1 カウント動作の開始および停止制御を参照してください。

注3. フラグをクリアするための0の書き込みのみ可能です。

## TSTART ビット (AGT カウント開始)

TSTART ビットに1を書き込むとカウント動作が開始し、0を書き込むとカウント動作が停止します。このビットを1 (カウント開始) にすると、カウントソースと同期して、TCSTF ビットが1 (カウント実行中) になります。また、TSTART ビットに0を書き込むと、カウントソースと同期して、TCSTF ビットが0 (カウント停止) になります。詳細は、24.4.1 カウント動作の開始および停止制御を参照してください。

## TCSTF フラグ (AGT カウント状態フラグ)

AGT のカウント状態を示します。

[1になる条件]

- TSTART ビットに1を書いたとき (カウントソースと同期して、TCSTF フラグが1になる)

[0になる条件]

- TSTART ビットに0を書いたとき (カウントソースと同期して、TCSTF フラグが0になる)
- TSTOP ビットに1を書いたとき

## TSTOP ビット (AGT カウント強制停止)

TSTOP ビットに1を書くと、強制的にカウントが停止します。読むと0が読めます。

**TEDGF フラグ (アクティブエッジ判定フラグ)**

アクティブエッジが検出されたことを示します。

[1 になる条件]

- 外部入力 (AGTIO) のアクティブ幅の測定がパルス幅測定モードで終了したとき
- 外部入力 (AGTIO) の設定エッジがパルス周期測定モードで入力されたとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

**TUNDF フラグ (アンダーフローフラグ)**

カウンタがアンダーフローしたことを示します。

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

**TCMAF フラグ (コンペアマッチ A フラグ)**

コンペアマッチ A が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

**TCMBF フラグ (コンペアマッチ B フラグ)**

コンペアマッチ B が検出されたことを示します。

[1 になる条件]

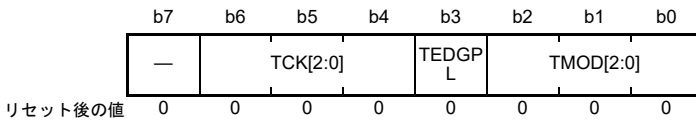
- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

24.2.5 AGT モードレジスタ 1 (AGTMR1)

アドレス AGT0.AGTMR1 4008 4009h, AGT1.AGTMR1 4008 4109h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TMOD[2:0]	動作モード (注3)	b2 b0 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウンタモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード 上記以外は設定しないでください。	R/W
b3	TEDGPL	エッジ極性 (注4)	0: 片エッジ 1: 両エッジ	R/W
b6-b4	TCK[2:0]	カウントソース (注1) (注2) (注5)	b6 b4 0 0 0: PCLKB 0 0 1: PCLKB/8 0 1 1: PCLKB/2 1 0 0: AGTMR2レジスタのCKS[2:0]ビットで設定した分周クロック AGTLCLK 1 0 1: AGT0からのアンダーフローイベント信号 (注6) 1 1 0: AGTMR2レジスタのCKS[2:0]ビットで設定した分周クロック AGTSCLK 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 . AGTMR1 レジスタに書き込みを行うと、AGT の AGTOn、AGTIO<sub>n</sub>、AGTOAn、および AGTOB<sub>n</sub> 端子 (n = 0, 1) からの出力が初期化されます。初期化時の出力レベルについては、24.2.7 AGT I/O コントロールレジスタ (AGTIOC) の説明を参照してください。
- 注 1. イベントカウンタモードを選択した場合、TCK[2:0] ビットの設定にかかわらず、カウントソースに外部入力 (AGTIO<sub>n</sub>) が選択されます。
- 注 2. カウント動作中は、カウントソースを切り替えしないでください。AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ、カウントソースを切り替えてください。
- 注 3. AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の状態で、カウントが停止した場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。
- 注 4. TEDGPL ビットは、イベントカウンタモード時に限り有効です。
- 注 5. ソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードで AGT を実行する場合、AGTSCLK または AGTLCLK (TCK[2:0] = 100b または 110b) をカウントソースにしてください。
- 注 6. AGT0 では AGT0 アンダーフローは使用できません (設定禁止)。AGT1 が、AGT0 のアンダーフローを使用します。

## 24.2.6 AGT モードレジスタ 2 (AGTMR2)

アドレス AGT0.AGTMR2 4008 400Ah, AGT1.AGTMR2 4008 410Ah

b7	b6	b5	b4	b3	b2	b1	b0
LPM	—	—	—	—	CKS[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	AGTSCCLK/AGTLCLK カウントソース クロック分周比 (注1) (注2) (注3)	b2 b0 0 0 0 : 1/1 0 0 1 : 1/2 0 1 0 : 1/4 0 1 1 : 1/8 1 0 0 : 1/16 1 0 1 : 1/32 1 1 0 : 1/64 1 1 1 : 1/128	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	LPM	低消費電力モード	0 : 通常モード 1 : 低消費電力モード	R/W

注 1. カウント動作中は、CKS[2:0] を書き換えしないでください。AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ、CKS[2:0] ビットを書き換えてください。

注 2. カウントソースが AGTSCCLK/AGTLCLK の場合に、CKS[2:0] の切り替えが有効です。

注 3. CKS[2:0] ビットが 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0] ビットを切り替えしないでください。CKS[2:0] ビットを 000b にした後、AGTMR1 レジスタの TCK[2:0] ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

## LPM ビット (低消費電力モード)

低消費電力モードに設定します。これによって、特定の AGT レジスタへのアクセスに影響があります。低消費電力で動作させるには 1 にしてください。本ビットが 1 の場合、下記のレジスタへはアクセスしないでください。

- AGT/AGTCMA/AGTCMB/AGTCR

本ビットを 1 から 0 に切り替えた後は、上記のレジスタへの最初のアクセスが以下のように制限されます。

- AGT : AGT レジスタを 2 回読む必要があります。2 回目の読み出しデータのみが有効です
- AGT、AGTCMA、AGTCMB、および AGTCR : レジスタに書き込む場合、少なくともカウントソースクロックの 2 サイクルは必要です

## 24.2.7 AGT I/O コントロールレジスタ (AGTIOC)

アドレス AGT0.AGTIOC 4008 400Ch, AGT1.AGTIOC 4008 410Ch

b7	b6	b5	b4	b3	b2	b1	b0
TIOGT[1:0]	TIPF[1:0]	—	TOE	—	TEDGSEL		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	I/O極性切り替え	動作モードによって機能が異なります。表 24.3 と表 24.4 を参照してください。 TEDGSEL ビットは、AGTO の出力極性、および AGTIO の入出力エッジと極性を切り替えます。パルス出力モードでは、AGTOn の出力極性と AGTIO の出力極性のみ操作します。AGTMR1 レジスタに書き込みを行った場合、および AGTCR レジスタの TSTOP ビットに 1 を書いた場合、AGTOn 出力と AGTIO の出力が初期化されます。	R/W
b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b2	TOE	AGTOn 出力許可	0 : AGTOn 出力を禁止 1 : AGTOn 出力を許可	R/W
b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b5-b4	TIPF[1:0]	入力フィルタ (注3)	b5 b4 0 0 : フィルタなし 0 1 : PCLKB でのフィルタサンプリング 1 0 : PCLKB/8 でのフィルタサンプリング 1 1 : PCLKB/32 でのフィルタサンプリング これらのビットは、AGTIO 入力用フィルタのサンプリング周波数を指定します。AGTIO 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。	R/W
b7-b6	TIOGT[1:0]	カウント制御 (注1) (注2) (注4)	b7 b6 0 0 : 常にイベントをカウントする 0 1 : AGTEEn に指定された極性の期間に、イベントをカウントする 上記以外は設定しないでください。	R/W

- 注 1. AGTEEn 端子を使用する場合、イベントをカウントするための極性は AGTISR レジスタの EEPS ビットで選択できます。  
 注 2. TIOGT[1:0] ビットは、イベントカウンタモード時に限り有効です。  
 注 3. ソフトウェアスタンバイモードとディープソフトウェアスタンバイモード中にイベントカウンタモード動作が実行される場合、デジタルフィルタ機能は使用できません。  
 注 4. ディープソフトウェアスタンバイモードで使用する場合、TIOGT[1:0] ビットは 00b (常にイベントをカウントする) にしてください。

表 24.3 AGTIO の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0 : High で出力開始 (初期レベル : High) 1 : Low で出力開始 (初期レベル : Low)
イベントカウンタモード	0 : 立ち上がりエッジでカウント 1 : 立ち下がりエッジでカウント
パルス幅測定モード	0 : Low レベル幅を測定 1 : High レベル幅を測定
パルス周期測定モード	0 : ある立ち上がりエッジから次の立ち上がりエッジまで測定 1 : ある立ち下がりエッジから次の立ち下がりエッジまで測定

表 24.4 AGTOn の出力極性切り替え

動作モード	機能
全モード	0 : Low で出力開始 (初期レベル : Low) 1 : High で出力開始 (初期レベル : High)

## 24.2.8 AGT イベント端子選択レジスタ (AGTISR)

アドレス AGT0.AGTISR 4008 400Dh, AGT1.AGTISR 4008 410Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	EEPS	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	EEPS	AGTEEn極性選択	0: Lowの期間、イベントをカウントする 1: Highの期間、イベントをカウントする	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## 24.2.9 AGT コンペアマッチ機能選択レジスタ (AGTCMSR)

アドレス AGT0.AGTCMSR 4008 400Eh, AGT1.AGTCMSR 4008 410Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	TOPOL B	TOEB	TCMEB	—	TOPOL A	TOEA	TCMEA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCMEA	コンペアマッチAレジスタ許可 (注1) (注2)	0: コンペアマッチAレジスタを禁止 1: コンペアマッチAレジスタを許可	R/W
b1	TOEA	AGTOAn出力許可 (注1) (注2)	0: AGTOAn出力を禁止 1: AGTOAn出力を許可	R/W
b2	TOPOLA	AGTOAn極性選択 (注1) (注2)	0: AGTOAn出力をLowで開始 1: AGTOAn出力をHighで開始	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TCMEB	コンペアマッチBレジスタ許可 (注1) (注2)	0: コンペアマッチBレジスタを禁止 1: コンペアマッチBレジスタを許可	R/W
b5	TOEB	AGTOBn出力許可 (注1) (注2)	0: AGTOBn出力を禁止 1: AGTOBn出力を許可	R/W
b6	TOPOLB	AGTOBn極性選択 (注1) (注2)	0: AGTOBn出力をLowで開始 1: AGTOBn出力をHighで開始	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. カウント動作中は、AGTCMSR レジスタを書き換えないでください。AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ、AGTCMSR レジスタを書き換えてください。

注 2. パルス幅測定モードまたはパルス周期測定モード時は、1にしないでください。

## 24.2.10 AGT 端子選択レジスタ (AGTIOSEL)

アドレス AGT0.AGTIOSEL 4008 400Fh, AGT1.AGTIOSEL 4008 410Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TIES	—	—	SEL[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SEL[1:0]	AGTIO端子選択 (注1) (注3)	b1 b0 0 0: Pm (注2) /AGTIOをAGTIOとして選択 ディープソフトウェアスタンバイモード時、Pm/AGTIOはAGTIO入力端子として使用できません。 0 1: 設定禁止 1 0: P402/AGTIOをAGTIOとして選択 ディープソフトウェアスタンバイモード時、P402/AGTIOはAGTIO入力端子として使用できます。 P402/AGTIOは入力専用です。出力には使用できません。 1 1: P403/AGTIOをAGTIOとして選択 ディープソフトウェアスタンバイモード時、P403/AGTIOはAGTIO入力端子として使用できます。 P403/AGTIOは入力専用です。出力には使用できません。	R/W (注1)
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TIES	AGTIO入力許可	0: ソフトウェアスタンバイモード中、外部イベント入力を禁止 1: ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. ディープソフトウェアスタンバイモード時、P402/AGTIO および P403/AGTIO は、AGT の外部イベント入力端子として使用できます。ディープソフトウェアスタンバイモード時、Pm (注2) /AGTIO は、AGT の外部イベント入力端子として使用できません。P402/AGTIO および P403/AGTIO は入力専用です。  
Pm/AGTIO を選択した場合は、ポート mn 端子機能選択 (PmnPFS) レジスタの設定が必要です。「19. I/O ポート」を参照してください。

注2. m = 100, 301, 407 (AGT0), m = 400 (AGT1)

注3. P402/AGTIO および P403/AGTIO 選択時は VBTICTLR レジスタを設定してください。19.2.7 AGT 入力コントロールレジスタ (VBTICTLR) を参照してください。

ディープソフトウェアスタンバイモードおよびソフトウェアスタンバイモードで AGTIO を使用するとき、AGTIOSEL レジスタで AGTIO 端子を設定します。AGTIOSEL レジスタは、8 ビットのメモリ操作命令によって設定できます。

**SEL[1:0] ビット (AGTIO 端子選択)**

AGTIO 端子の機能を選択します。

**TIES ビット (AGTIO 入力許可)**

外部イベント入力を許可または禁止します。



## 24.3 動作説明

### 24.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA および TCMEB ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウンタ値がリロードレジスタとカウンタに直接書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA および TCMEB ビットが 0 (コンペアマッチ A/B レジスタが無効) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、次のカウントソースと同期してカウンタに書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA ビットと TCMEB ビットのどちらかが 1 (コンペアマッチ A/B レジスタが有効) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミングを図 24.2 および図 24.3 に示します。

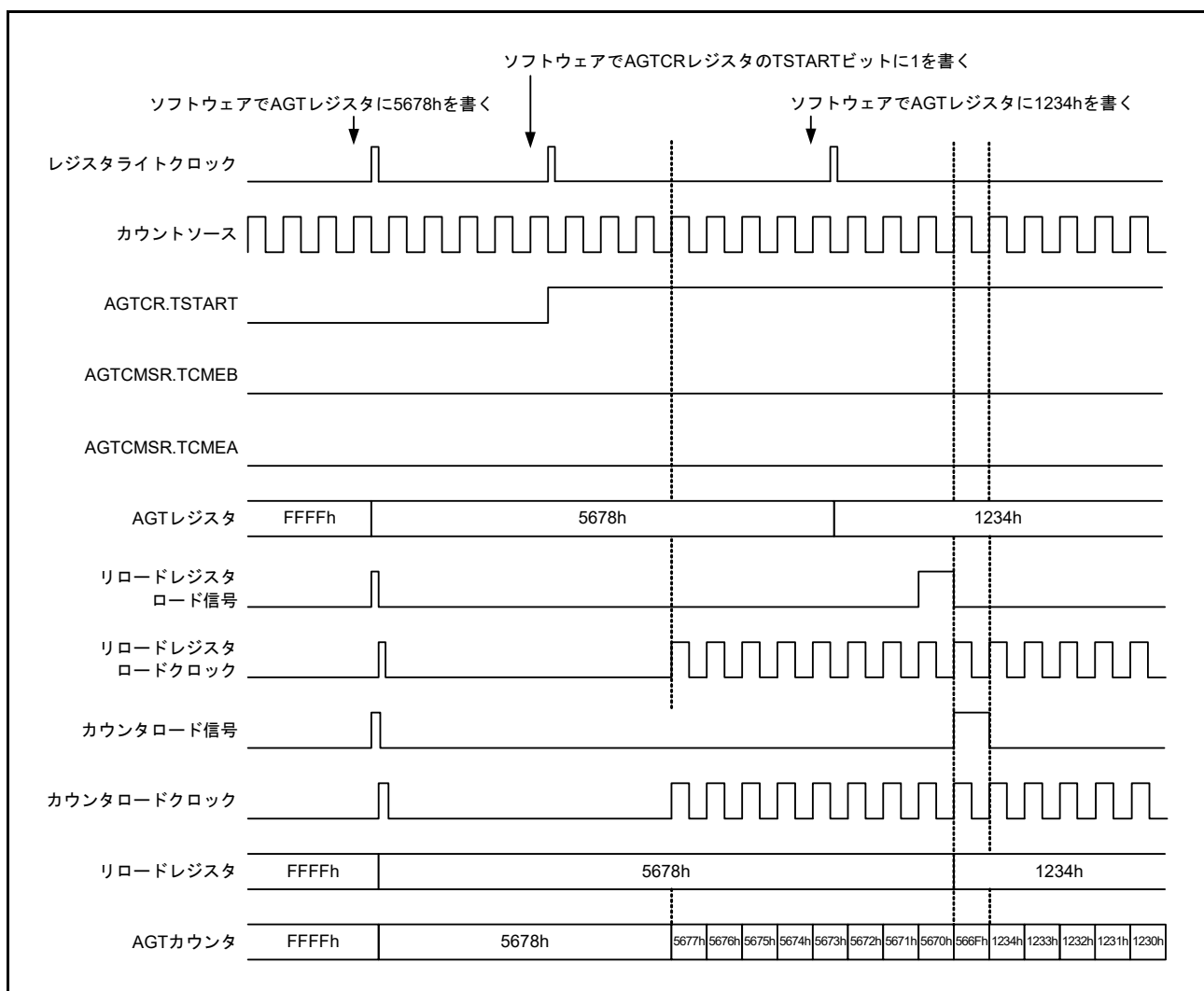


図 24.2 TSTART ビット値、TCMEA および TCMEB ビット値による書き換え動作のタイミング (コンペアマッチレジスタ A および B が無効の場合)

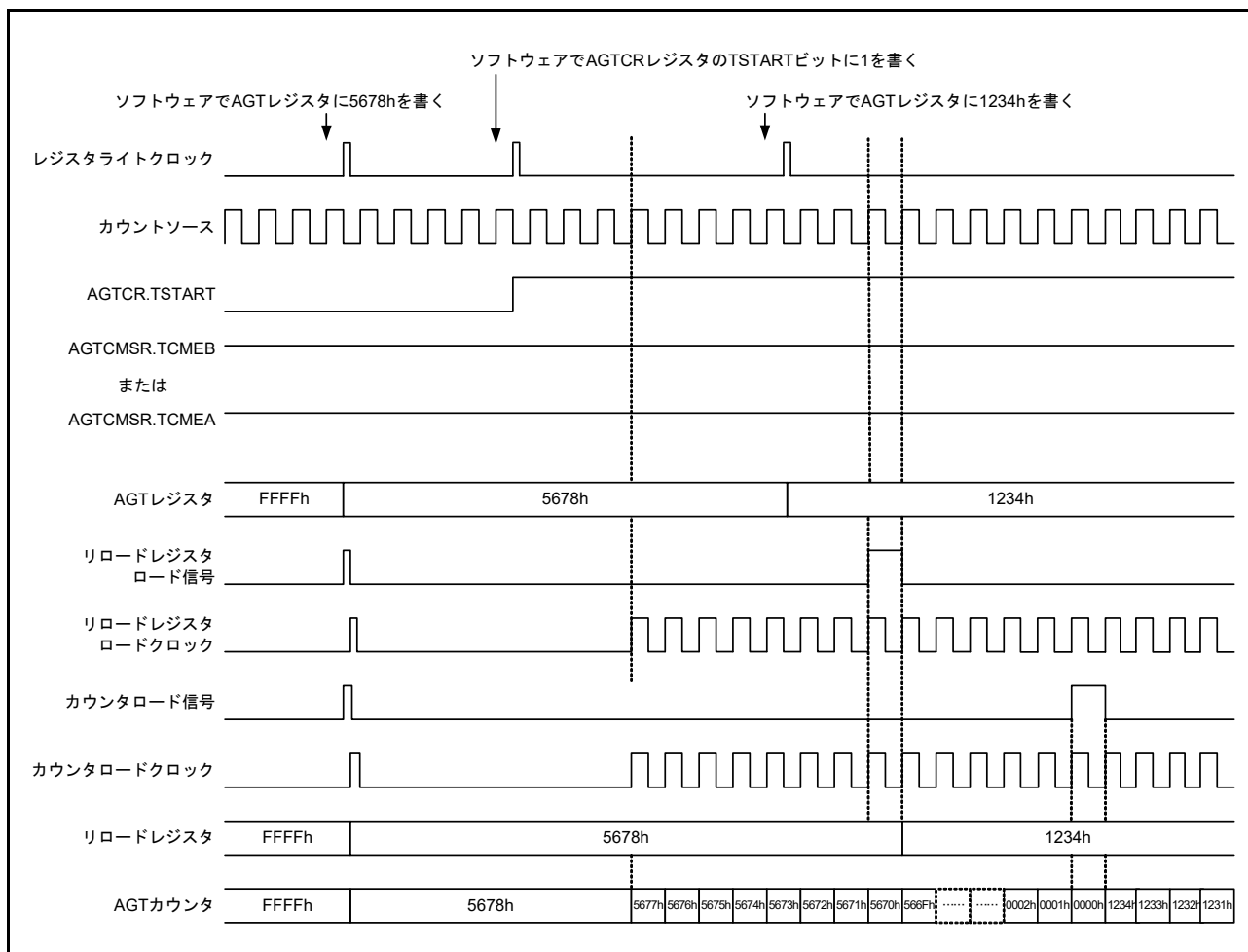


図 24.3 TSTART ビット値および TCMEA または TCMEB ビット値による書き換え動作のタイミング (コンペアマッチレジスタ A または B が有効の場合)

### 24.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作

動作モードにかかわらず、コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタとコンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1 (カウント開始) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

TSTART ビット値によるコンペアレジスタ A への書き換え動作のタイミングを図 24.4 に示します。コンペアレジスタ B のタイミングもコンペアレジスタ A と同じです。

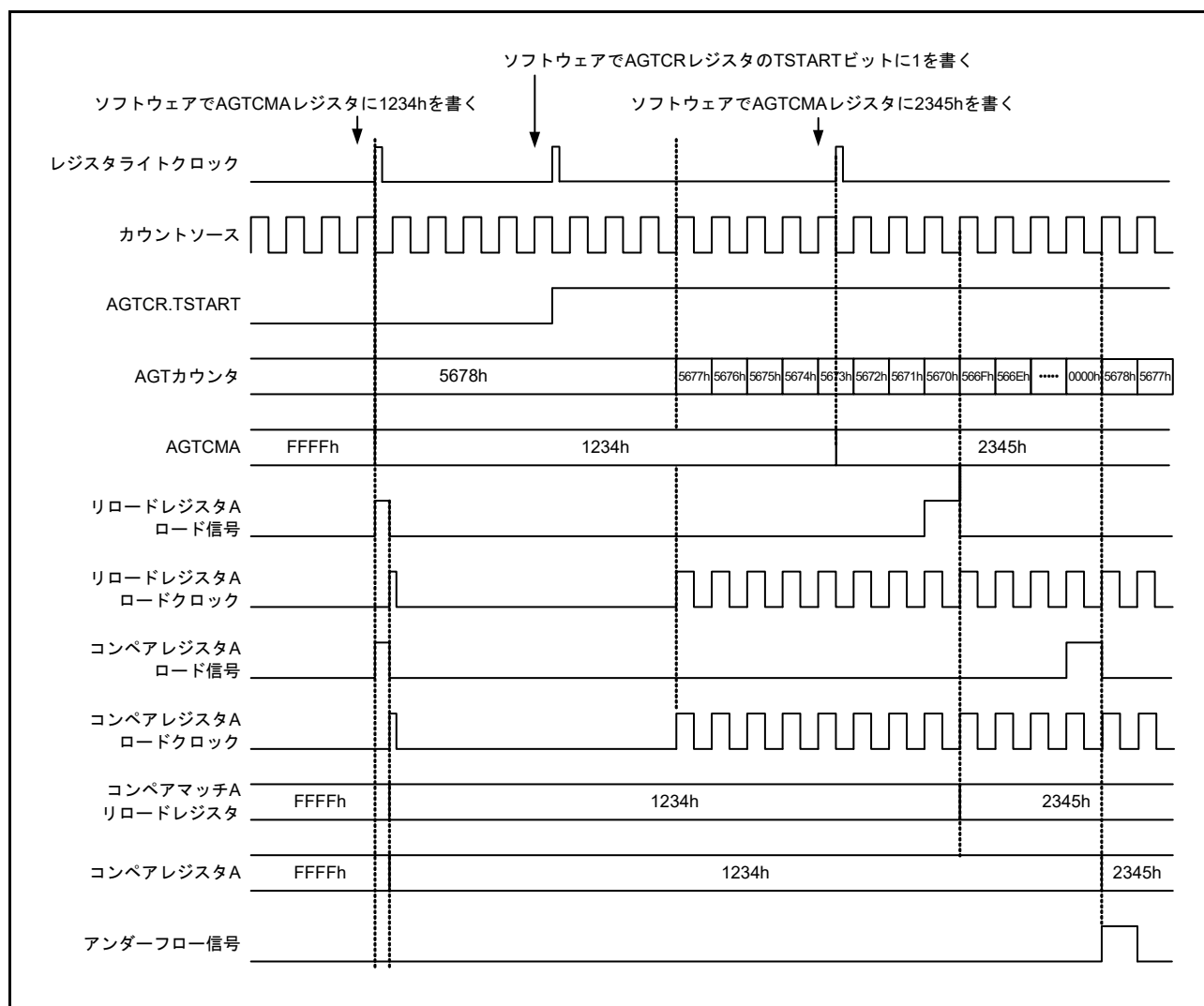


図 24.4 TSTART ビット値による書き換え動作のタイミング (コンペアレジスタ A の場合)

### 24.3.3 タイマモード

タイマモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに1ずつデクリメントします。カウント値が 0000h に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。

タイマモードでの動作例を図 24.5 に示します。

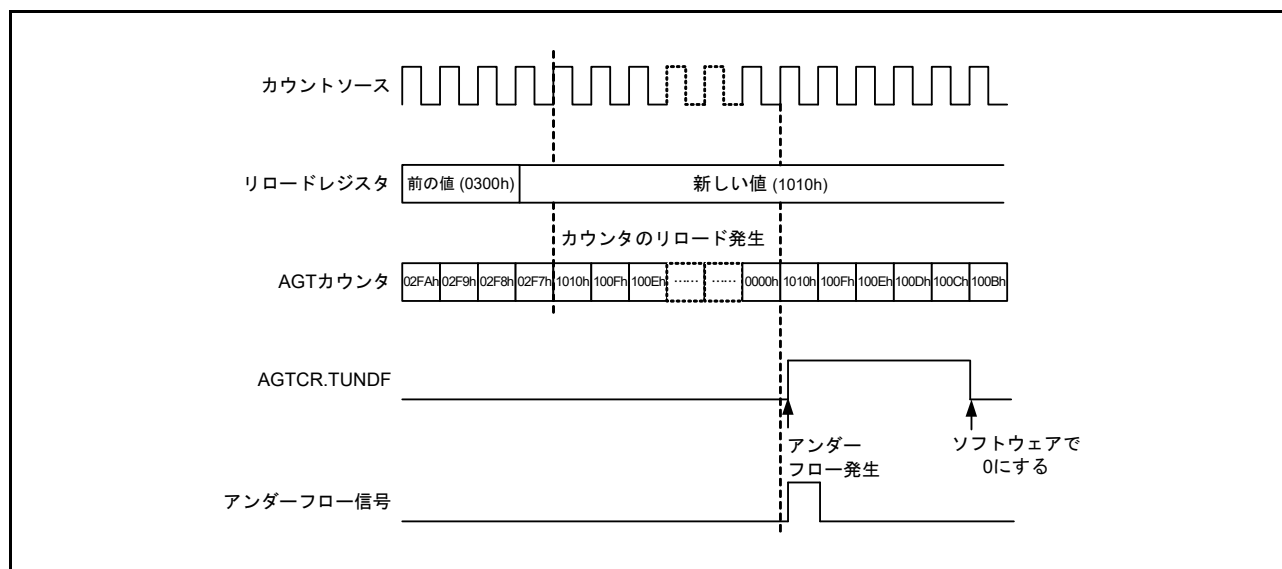


図 24.5 タイマモードでの動作例

### 24.3.4 パルス出力モード

パルス出力モードでは、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するごとに AGTIO<sub>n</sub> および AGTO<sub>n</sub> 端子の出力レベルが反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに1ずつデクリメントします。カウント値が 0000h に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTIO<sub>n</sub> および AGTO<sub>n</sub> 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTO<sub>n</sub> 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは、AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 24.6 に示します。

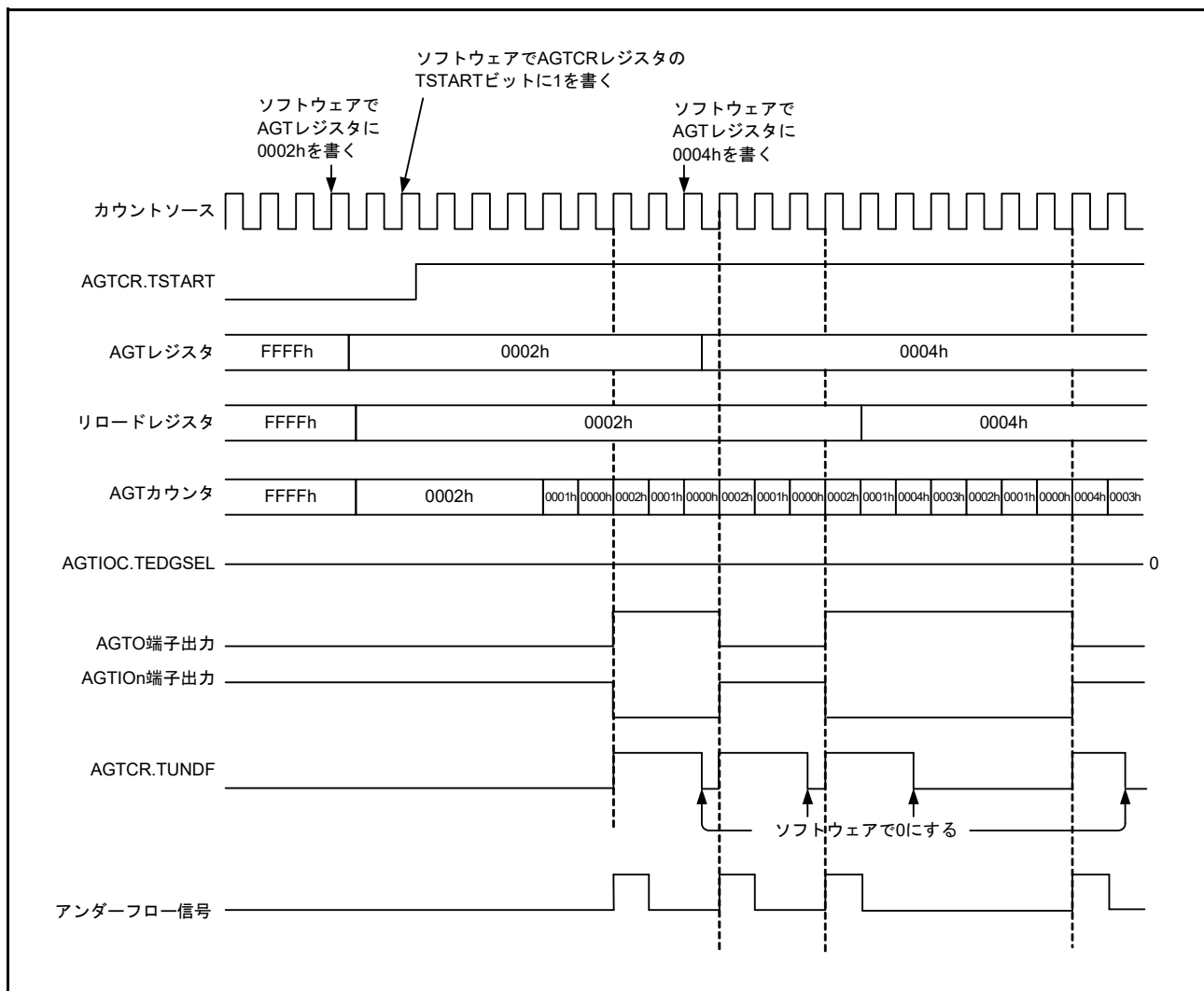


図 24.6 パルス出力モードでの動作例

### 24.3.5 イベントカウンタモード

イベントカウンタモードでは、カウンタはAGTIO<sub>n</sub>端子への外部イベント信号（カウントソース）入力によってデクリメントします。イベントをカウントする期間は、AGTIOCレジスタのTIOGT[1:0]ビットとAGTISRレジスタによってさまざまな設定が可能です。さらに、AGTIOCレジスタのTIPF[1:0]ビットによって、AGTIO<sub>n</sub>入力用のフィルタ機能を指定できます。イベントカウンタモードでも、AGTIO<sub>n</sub>端子からトグル出力が可能です。

イベントカウンタモードでの動作例を図24.7に示します。

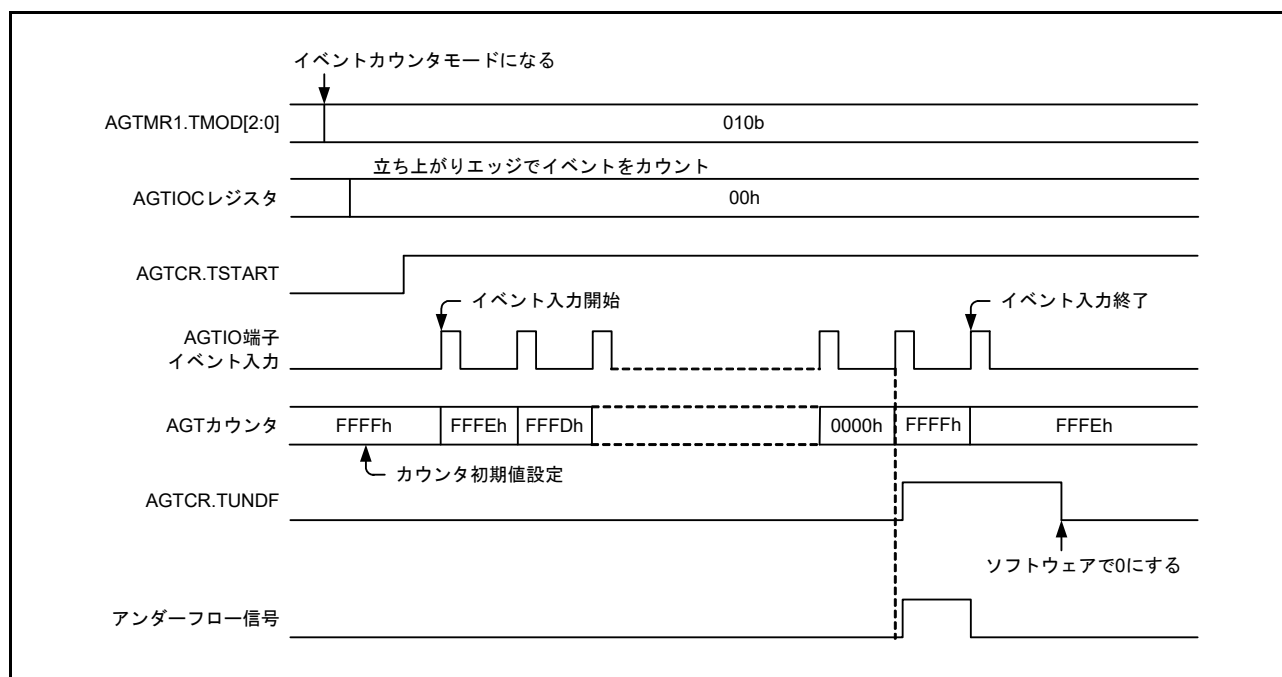


図 24.7 イベントカウンタモードでの動作例 1

イベントカウンタモードの指定期間 (AGTIOC レジスタの TIOGT[1:0] ビットが 01b) 中の動作例を図 24.8 に示します。

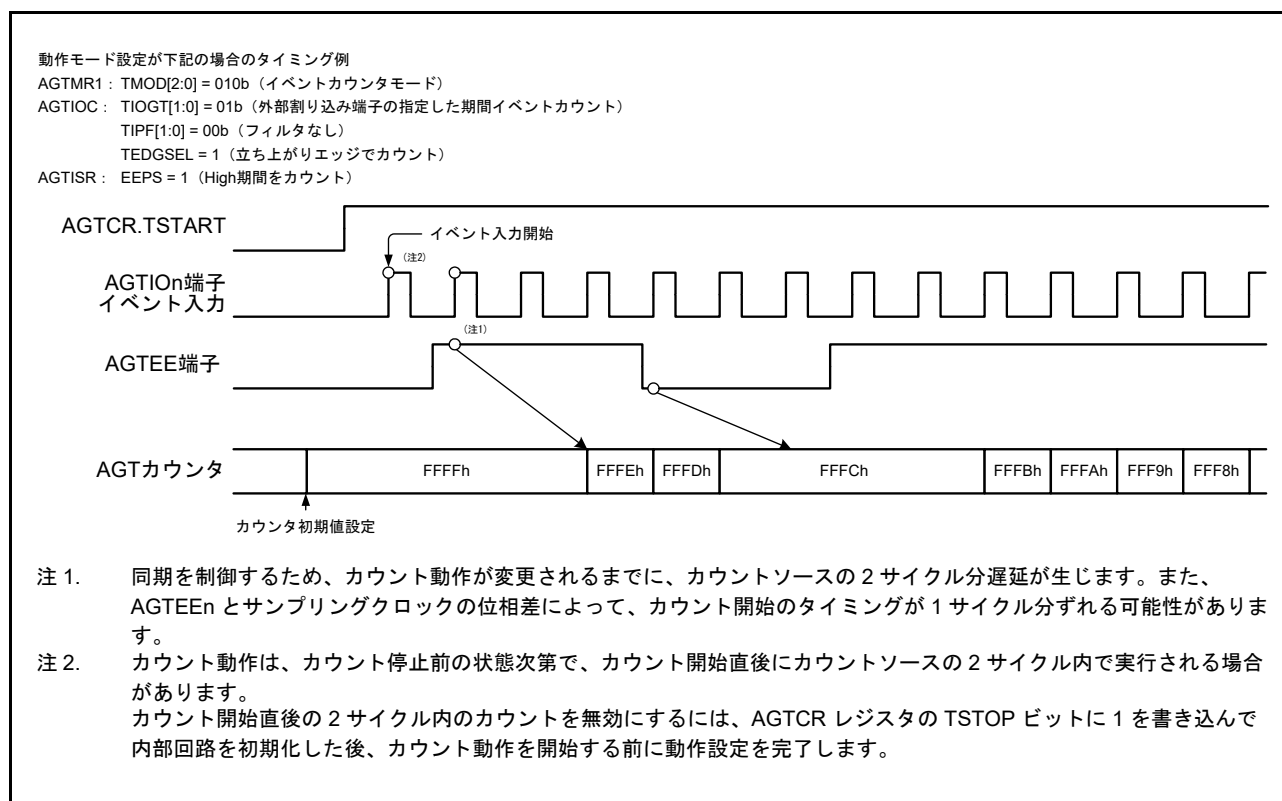


図 24.8 イベントカウンタモードでの動作例 2

### 24.3.6 パルス幅測定モード

パルス幅測定モードでは、AGTIO<sub>n</sub> 端子に入力される外部信号のパルス幅を測定します。AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIO<sub>n</sub> 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIO<sub>n</sub> 端子レベルが終了すると、カウンタは停止して、AGTCR レジスタの TEDGF ビットが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。カウンタの停止中にカウント値を読み出すことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 になり、割り込み要求が発生します。

パルス幅測定モードでの動作例を図 24.9 に示します。

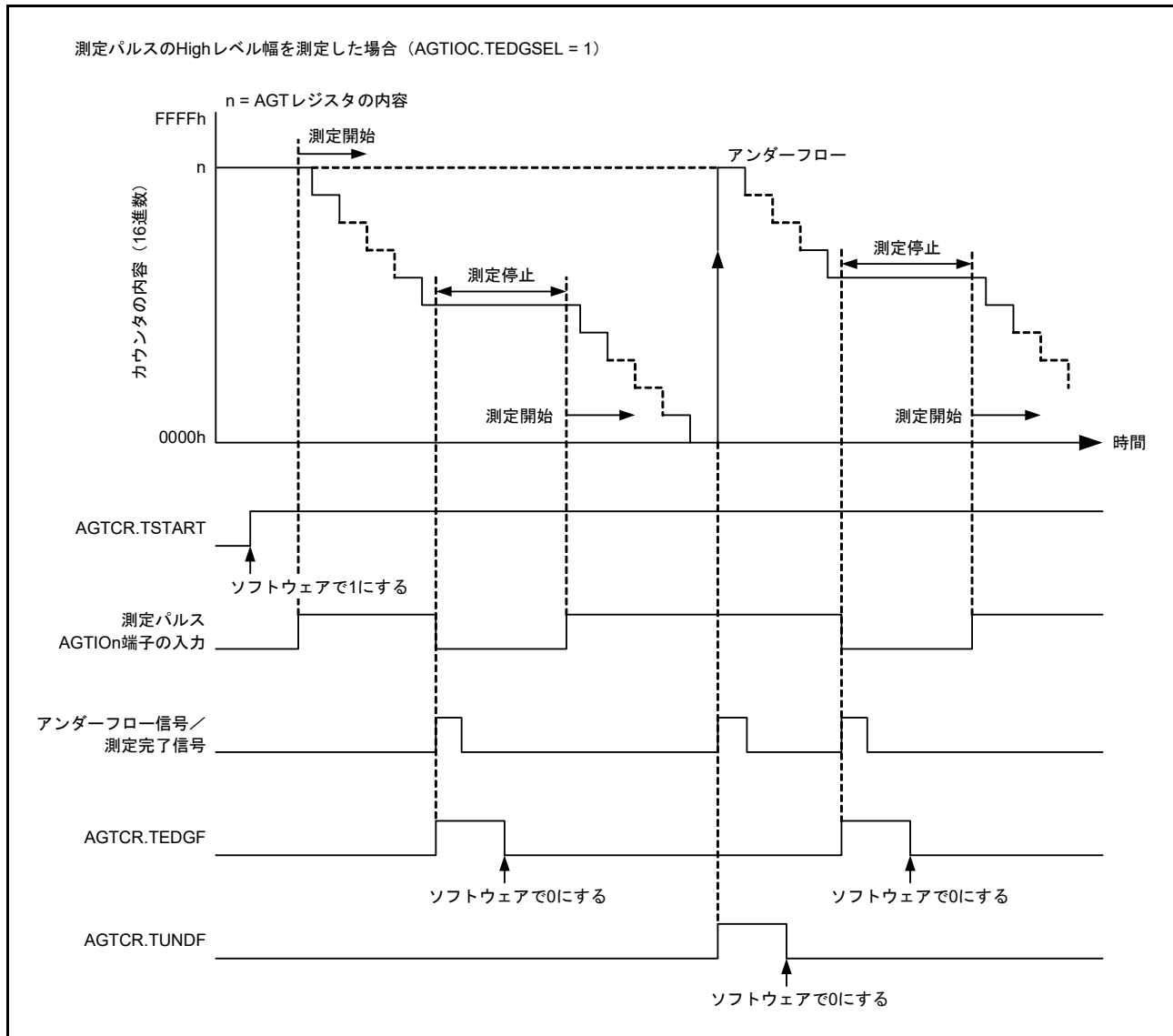


図 24.9 パルス幅測定モードでの動作例



### 24.3.7 パルス周期測定モード

パルス周期測定モードでは、AGTIO<sub>n</sub> 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIO<sub>n</sub> 端子に入力されると、カウントソースの立ち上がりエッジでカウント値が読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF ビットが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。この時点で読み出しバッファ (AGT レジスタ) が読み出され、リロード値 (24.4.5 イベント番号、パルス幅、およびパルス周期の計算方法を参照) との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 (アンダーフロー) になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 24.10 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、両方ともカウントソースの周期より長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。

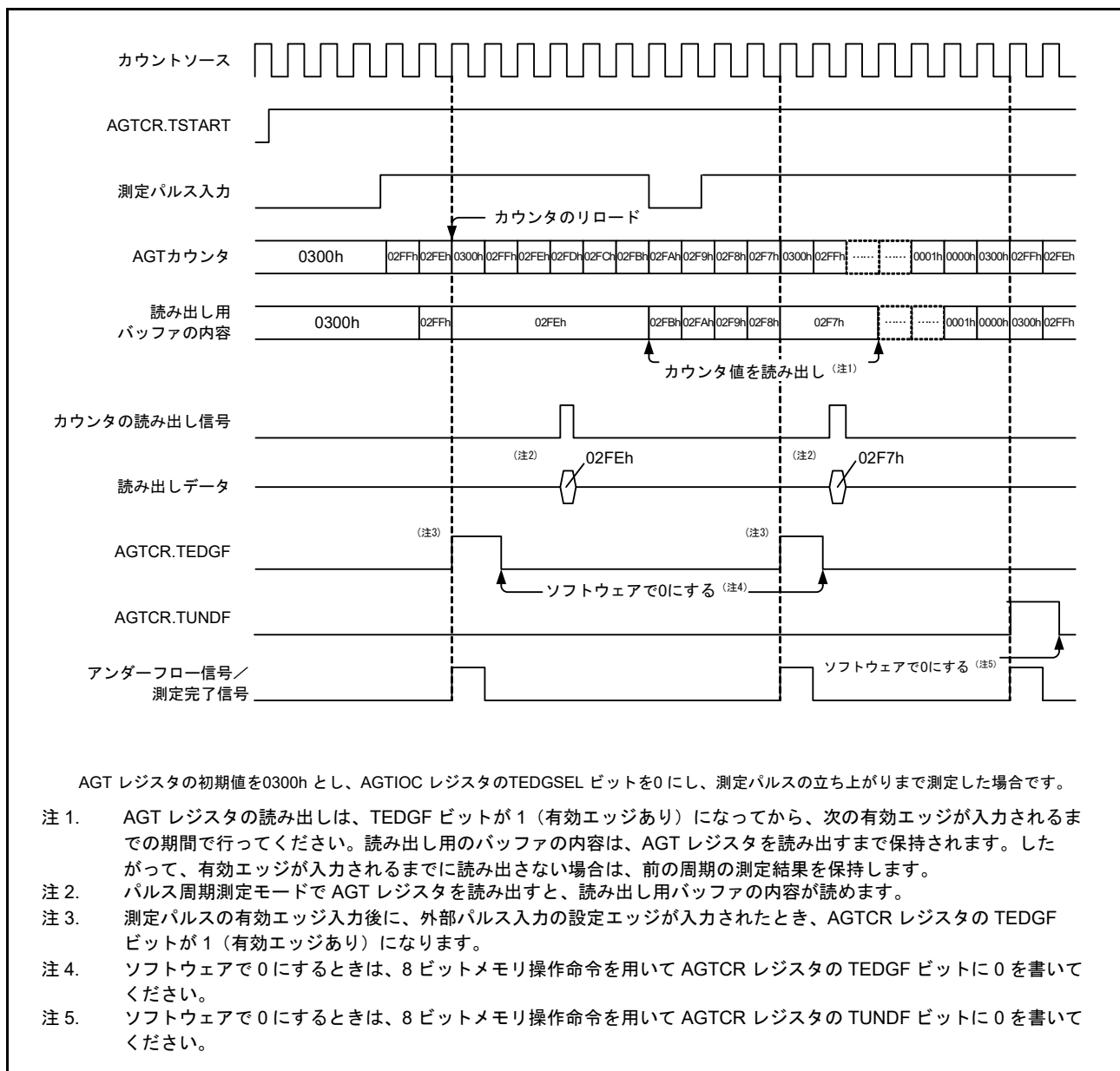


図 24.10 パルス周期測定モードでの動作例

### 24.3.8 コンペアマッチ機能

コンペアマッチ機能は、AGTCMA または AGTCMB レジスタの内容と AGT レジスタの内容の一致 (コンペアマッチ) を検出します。この機能は、AGTCMSR レジスタの TCMEA または TCMEB ビットが 1 (コンペアマッチ A レジスタまたはコンペアマッチ B レジスタが有効) の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA または AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF ビットが 1 (一致) になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタでは、書き替え動作のタイミングが異なります。詳細は、[24.3.1 リロードレジスタおよびカウンタの書き換え動作](#)を参照してください。また、AGTOAn および AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA または TOPOLB ビットで選択できます。

コンペアマッチモードでの動作例を [図 24.11](#) に示します。

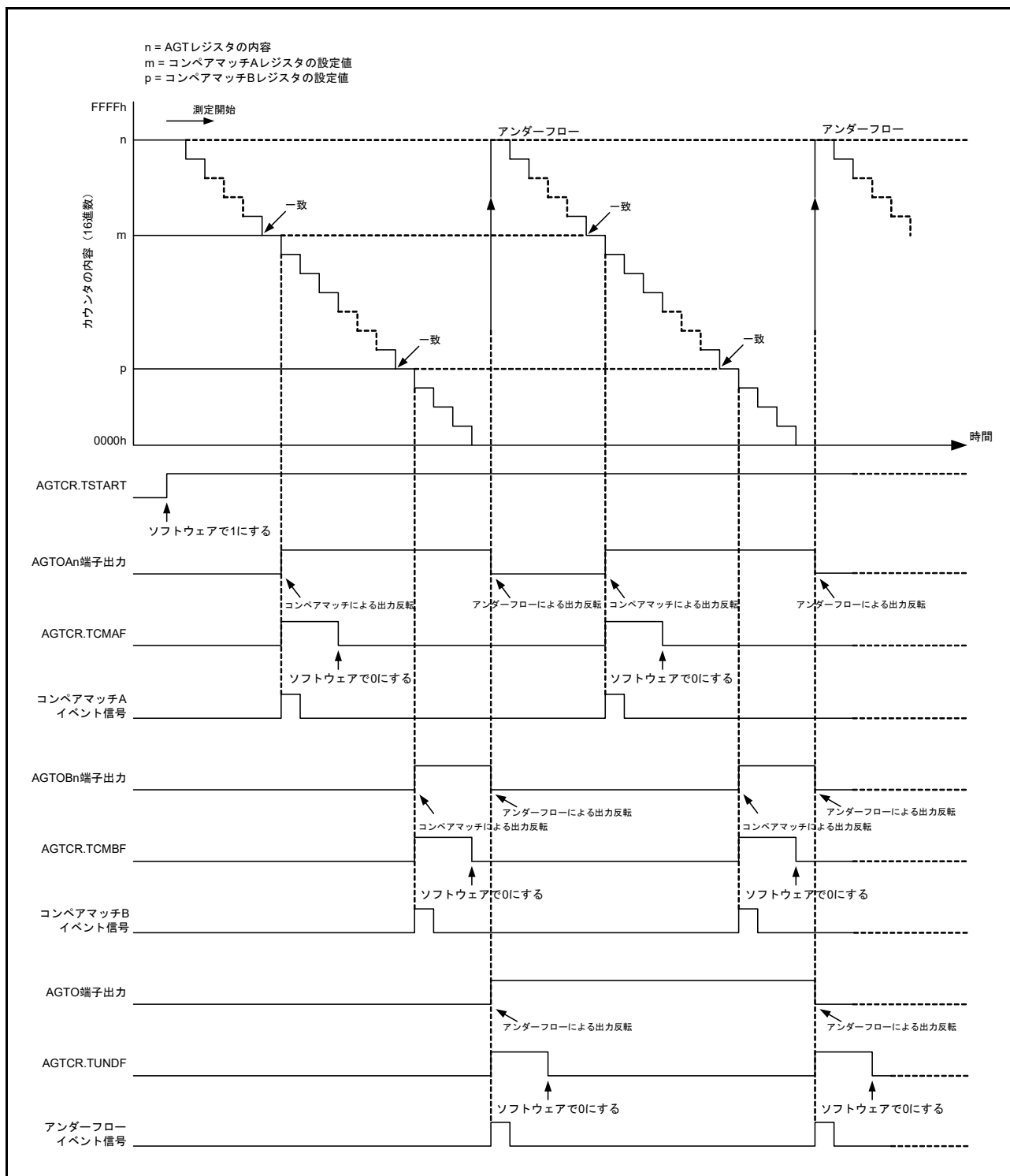


図 24.11 コンペアマッチモードでの動作例 (TOPOLA = 0、TOPOLB = 0)

## 24.3.9 各モードの出力設定

各モードでの AGTOn、AGTIOOn、AGTOAn、および AGTOBn 端子の状態を表 24.5 ~ 表 24.8 に示します。

表 24.5 AGTOn端子の設定

動作モード	AGTIOCレジスタ		AGTOn端子出力
	TOEビット	TEDGSELビット	
全モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止

表 24.6 AGTIOOn端子の設定

動作モード	AGTIOCレジスタ	AGTIOOn端子入出力
	TEDGSELビット	
タイマモード	0または1	入力 (使用しない)
パルス出力モード	1	通常出力
	0	反転出力
イベントカウンタモード	0または1	入力
パルス幅測定モード		
パルス周期測定モード		

表 24.7 AGTOAn端子の設定

動作モード	AGTCMSRレジスタ		AGTOAn端子出力
	TOEAビット	TOPOLAビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
イベントカウンタモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

表 24.8 AGTOBn端子の設定

動作モード	AGTCMSRレジスタ		AGTOBn端子出力
	TOEBビット	TOPOLBビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
イベントカウンタモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

### 24.3.10 スタンバイモード

AGTはソフトウェアスタンバイモードとディープソフトウェアスタンバイモードで動作可能です。カウント動作開始 (TSTART=1 および TCSTF=1) の状態で、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードに設定してください。

ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードで使用可能な設定を表 24.9 および表 24.10 に示します。

表 24.9 ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードで使用可能な設定 (AGT0)

動作モード	AGTMR1レジスタのTCK[2:0]ビット	動作クロック	CPUの回復要因
タイマモード	100bまたは110b	AGTLCLKまたはAGTSCLK	—
パルス出力モード	100bまたは110b	AGTLCLKまたはAGTSCLK	—
イベントカウンタモード	— (無効)	AGTIO <sub>n</sub>	—
パルス幅測定モード	100bまたは110b	AGTLCLKまたはAGTSCLK	—
パルス周期測定モード	100bまたは110b	AGTLCLKまたはAGTSCLK	—

表 24.10 ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードで使用可能な設定 (AGT1)

動作モード	AGTMR1レジスタのTCK[2:0]ビット	動作クロック	CPUの回復要因
タイマモード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、 またはAGT0アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>コンペアマッチA/B</li> </ul>
パルス出力モード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、 またはAGT0アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>コンペアマッチA/B</li> </ul>
イベントカウンタモード	— (無効)	AGTIO <sub>n</sub>	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>コンペアマッチA/B</li> </ul>
パルス幅測定モード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、 またはAGT0アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>アクティブエッジ</li> </ul>
パルス周期測定モード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、 またはAGT0アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>アクティブエッジ</li> </ul>

注. ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードの解除はAGT1のみです。

注1. AGT0が表 24.9 に示す状態で動作している場合のみ。

### 24.3.11 割り込み要因

AGTには、表 24.11 に示すように3種類の割り込み要因があります。

表 24.11 AGTの割り込み要因

名称	割り込み要因	DMAC/DTCの起動
AGT <sub>n</sub> _AGTI	<ul style="list-style-type: none"> <li>カウンタがアンダーフローしたとき</li> <li>外部入力 (AGTIO) のアクティブ幅の測定がパルス幅測定モードで終了したとき</li> <li>外部入力 (AGTIO) の設定エッジがパルス周期測定モードで入力されたとき</li> </ul>	可能
AGT <sub>n</sub> _AGTCMAI	AGTとAGTCMAの値が一致したとき	可能
AGT <sub>n</sub> _AGTCMBI	AGTとAGTCMBの値が一致したとき	可能

注. チャネル番号 (n=0 または1)

### 24.3.12 ELC へのイベント信号出力

AGT はイベントリンクコントローラ (ELC) を用いて、割り込み要求信号をイベント信号として使用することにより、指定したモジュールに対してリンク動作が可能です。AGT は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー/測定完了信号をイベント信号として出力します。詳細は、「[18. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

## 24.4 使用上の注意事項

### 24.4.1 カウント動作の開始および停止制御

- 動作モード (表 24.1 参照) がイベントカウンタモード以外に設定されている場合、またはカウントソースが AGT0 アンダーフロー (TCK[2:0]=101b) 以外に設定されている場合：
- カウント停止中に AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、カウントソースの 3 サイクル中は、AGTCR レジスタの TCSTF ビットは 0 (カウント停止) のままです。TCSTF ビットが 1 (カウント実行中) になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。
- カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、カウントソースの 3 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。
- TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. AGT 関連レジスタ : AGT、AGTCMA、AGTCMB、AGTCR、AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR

- 動作モード (表 24.1 参照) がイベントカウンタモードに設定されている場合、またはカウントソースが AGT0 アンダーフロー (TCK[2:0]=101b) に設定されている場合：
- カウント停止中に AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、PCLKB の 2 サイクル中は、AGTCR レジスタの TCSTF ビットは 0 (カウント停止) のままです。TCSTF ビットが 1 (カウント実行中) になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。
- カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、PCLKB の 2 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。
- TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. AGT 関連レジスタ : AGT、AGTCMA、AGTCMB、AGTCR、AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR

### 24.4.2 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART および TCSTF ビットがともに 1 (カウント開始) の場合、AGT レジスタへ連続して書き込むときの書き込み間隔には、少なくともカウントソースクロックの 3 サイクル分の余裕が必要です。



### 24.4.3 モード変更時

AGTの動作モードに関連するレジスタ (AGTMR1、AGTMR2、AGTIOC、AGTISR、およびAGTCMSR) は、TSTART および TCSTF ビットがともに 0 (カウント停止) になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGTの動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、およびTCMBF ビットの値は不定となります。カウントを開始する前に、以下のビットに 0 を書き込んでください。

- TEDGF (アクティブエッジ未受信)
- TUNDF (アンダーフローなし)
- TCMAF (不一致)
- TCMBF (不一致)

### 24.4.4 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0] ビットを設定した後、およびAGTIOCレジスタのTEDGSEL ビットを変更した場合は、デジタルフィルタクロックの5サイクル内はタイマ動作を開始しないでください。

### 24.4.5 イベント番号、パルス幅、およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号が以下のように計算されます。  
イベント番号 = カウンタ [AGT レジスタ] の初期値 - アクティブイベント終了のカウンタ値
- パルス幅測定モードでは、パルス幅が以下のように計算されます。  
パルス幅 = 測定停止のカウンタ値 - 次の測定停止のカウンタ値
- パルス周期測定モードでは、入力パルス周期が以下のように計算されます。  
入力パルス周期 = (カウンタ [AGT レジスタ] の初期値 - 読み出しバッファの読み出し値) + 1

### 24.4.6 TSTOP ビットで強制的にカウントを停止した場合

AGTCR レジスタのTSTOP ビットでカウンタを強制的に停止した後、カウントソースの1サイクル間、下記のI/Oレジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

### 24.4.7 カウントソースとして AGT0 アンダーフローを選択した場合

カウントソースとして AGT のアンダーフロー信号を選択した場合、以下の手順に従って AGT を操作してください。

#### (1) 動作開始手順

1. AGT0 および AGT1 を設定します。
2. AGT1 のカウント動作を開始します。
3. AGT0 のカウント動作を開始します。

#### (2) 動作停止手順

1. AGT0 のカウント動作を停止します。
2. AGT1 のカウント動作を停止します。
3. AGT1 のカウントソースクロックを停止します。(AGT1.AGTMR1.TCK[2:0] ビットに 000b を書き込む)

### 24.4.8 I/O レジスタのリセット

AGT の I/O レジスタは、異なる種類のリセットでは初期化されません。詳細は、「6. リセット」を参照してください。

### 24.4.9 カウントソースに PCLKB、PCLKB/8、または PCLKB/2 を選択した場合

リセット発生後、AGT の動作は保証されません。AGT 関連レジスタを再設定してください。

### 24.4.10 カウントソースに AGTSCLK または AGTLCLK を選択した場合

MSTPCRD レジスタの MSTPD2 ビットは、AGT1 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPCRD レジスタの MSTPD3 ビットは、AGT0 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPD2 ビットまたは MSTPD3 ビットが 0 の状態でリセットが発生した場合、AGT1 または AGT0 の動作は保証されません。AGT 関連レジスタを再設定してください。

### 24.4.11 クロックソースを切り替える場合

SCKSCR.CKSEL[2:0] ビットを使用してクロックソースを切り替えた場合、セクタからのクロック出力は切り替えたクロックの 4 サイクルの間停止します。したがって、AGTIO<sub>n</sub>、AGTEE<sub>n</sub>、もしくは両方の入力端子を外部イベント入力として使用する場合、クロックソースの切り替えはしないでください。外部イベント入力の使用中にクロックソースを切り替える場合、入力パルス幅を、切り替えたクロックソースの 4 サイクル分延長してください。

## 25. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走して WDT をリフレッシュできなくなったため、カウンタがアンダーフローした場合に MCU をリセットするために使用できます。さらに、ノンマスクابل割り込みやアンダーフロー割り込みを発生させるためにも使用できます。ウィンドウ機能によりリフレッシュ許可期間を設定することで、カウンタのリフレッシュやシステムの暴走検知が可能になります。

### 25.1 概要

表 25.1 に WDT の仕様を、図 25.1 にブロック図を示します。

表 25.1 WDTの仕様

項目	内容
カウンタソース	周辺クロック (PCLKB)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	<ul style="list-style-type: none"> <li>オートスタートモード：リセット後、またはアンダーフロー/リフレッシュエラー発生後に自動的にカウント開始</li> <li>レジスタスタートモード：WDTRRレジスタへの書き込みによるリフレッシュ動作でカウント開始</li> </ul>
カウンタ停止条件	<ul style="list-style-type: none"> <li>リセット（ダウンカウンタおよび他のレジスタが初期値に戻る）</li> <li>カウンタのアンダーフローまたはリフレッシュエラー発生時</li> </ul>
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能（リフレッシュ許可/禁止期間）
WDTリセット要因	<ul style="list-style-type: none"> <li>ダウンカウンタがアンダーフローしたとき</li> <li>リフレッシュ許可期間外でリフレッシュを行ったとき（リフレッシュエラー）</li> </ul>
ノンマスクابل割り込み/割り込み要因	<ul style="list-style-type: none"> <li>ダウンカウンタがアンダーフローしたとき</li> <li>リフレッシュ許可期間外でリフレッシュを行ったとき（リフレッシュエラー）</li> </ul>
カウンタ値の読み出し	WDTSRレジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	<ul style="list-style-type: none"> <li>ダウンカウンタアンダーフローイベント出力</li> <li>リフレッシュエラーイベント出力</li> </ul>
出力信号（内部信号）	<ul style="list-style-type: none"> <li>リセット出力</li> <li>割り込み要求出力</li> <li>スリープモードカウント停止制御出力</li> </ul>

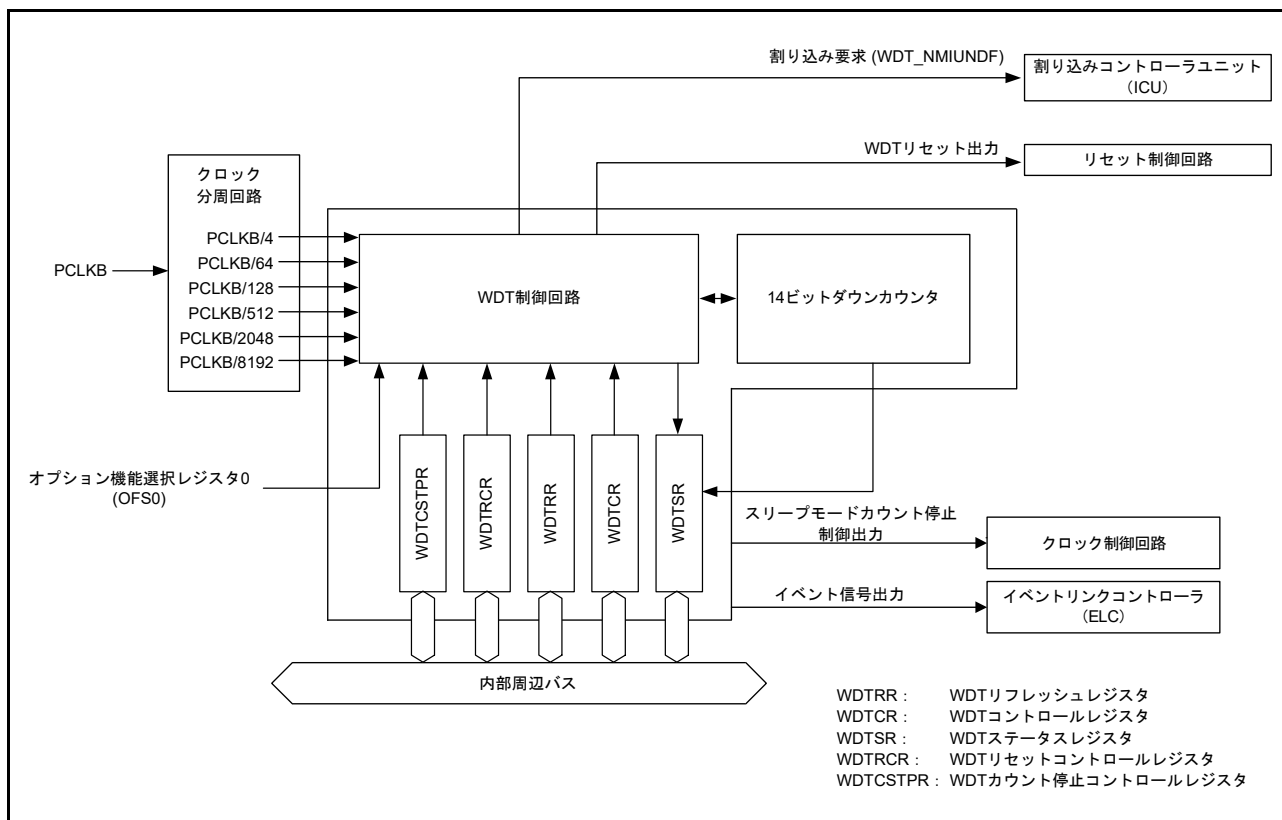


図 25.1 WDT のブロック図

## 25.2 レジスタの説明

### 25.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス WDT.WDTRR 4004 4200h



ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは、ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 の WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で選択されている値からダウンカウントを行います。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で選択されている値からダウンカウントを行います。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、[25.3.3 リフレッシュ動作](#)を参照してください。

## 25.2.2 WDT コントロールレジスタ (WDTCR)

アドレス WDT.WDTCR 4004 4202h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b4	CKS[3:0]	クロック分周比選択	b7 b4 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2048 1 0 0 0 : PCLKB/8192 上記以外は設定しないでください。	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウ終了位置の設定なし)	R/W
b11-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウ開始位置の設定なし)	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は、[25.3.2 WDTCR、WDTRCR、および WDTCTPR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCR レジスタと同様の設定が可能です。詳細は、[25.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

## TOPS[1:0] ビット (タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでのタイムアウト期間について、CKS[3:0] ビットで設定した分周クロックを1サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。ダウンカウンタのリフレッシュ後、アンダーフローするまでのPCLKB サイクル数は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 25.2 に、CKS[3:0] および TOPS[1:0] ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 25.2 タイムアウト期間の設定

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLKB クロックサイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	PCLKB/4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	PCLKB/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	PCLKB/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	PCLKB/512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	PCLKB/2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	PCLKB/8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

### CKS[3:0] ビット (クロック分周比選択)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、周辺クロック (PCLKB) の 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択できます。TOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB クロックの 4096 ~ 134217728 サイクルから選択できます。

### RPES[1:0] ビット (ウィンドウ終了位置選択)

リフレッシュ許可期間を示すウィンドウの終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を選択してください (ウィンドウ開始位置 > ウィンドウ終了位置)。「ウィンドウ開始位置 ≤ ウィンドウ終了位置」の設定を行った場合、ウィンドウ開始位置の設定のみが有効となり、ウィンドウ終了位置は 0% になります。

### RPSS[1:0] ビット (ウィンドウ開始位置選択)

リフレッシュ許可期間を示すウィンドウの開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を選択してください (ウィンドウ開始位置 > ウィンドウ終了位置)。

「ウィンドウ開始位置 ≤ ウィンドウ終了位置」の設定を行った場合、ウィンドウ開始位置の設定のみが有効となり、ウィンドウ終了位置は 0% になります。

ウィンドウ開始、終了位置のカウント値を表 25.3 に、RPSS[1:0]、RPES[1:0]、TOPS[1:0] ビットで設定されるリフレッシュ許可期間を図 25.2 に示します。

表 25.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
		サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

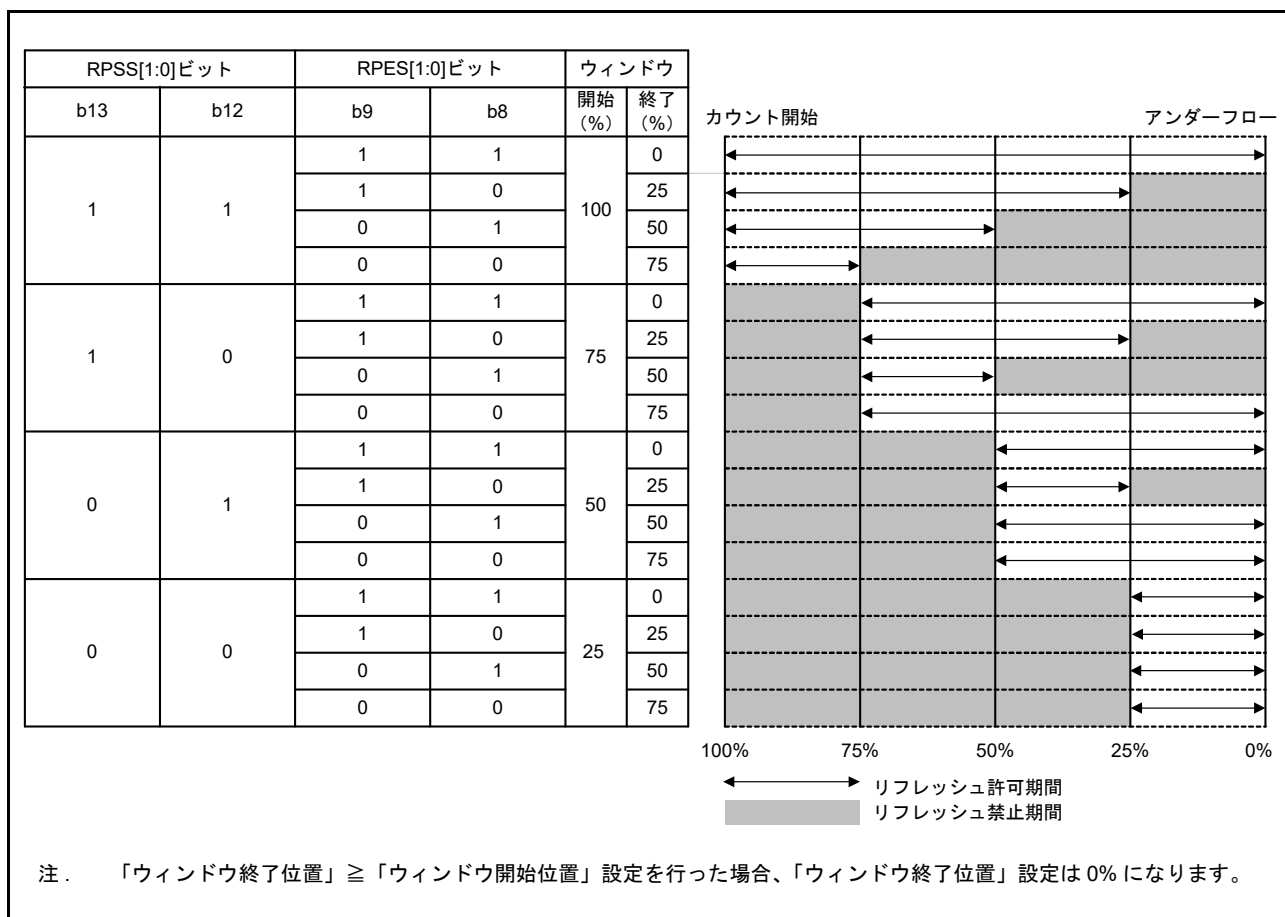
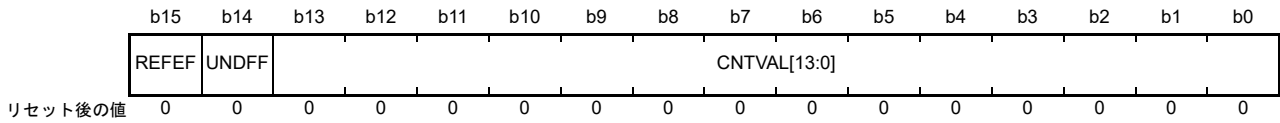


図 25.2 RPSS[1:0] および RPES[1:0] ビットとリフレッシュ許可期間



### 25.2.3 WDT ステータスレジスタ (WDTSR)

アドレス WDT.WDTSR 4004 4204h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダーフローフラグ	0: アンダーフロー発生なし 1: アンダーフロー発生あり	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラー発生なし 1: リフレッシュエラー発生あり	R/(W) (注1)

注1. フラグをクリアするための0の書き込みのみ可能です。

#### CNTVAL[13:0] ビット (ダウンカウンタ値)

CNTVAL[13:0] ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウンタ値から1カウントずれる場合があります。

#### UNDFE フラグ (アンダーフローフラグ)

UNDFE フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が1のとき、ダウンカウンタがアンダーフローしたことを示します。値を0にするには0を書き込んでください。1の書き込みは無効です。

UNDFE フラグのクリアには、(N+1) PCLKB サイクルを要します。さらに、アンダーフローの発生から(N+1) PCLKB サイクルの間は、このフラグをクリアしても無視されます。Nは、次式のように、WDTCR.CKS[3:0] ビットで指定されます。

- WDTCR.CKS[3:0] = 0001b のとき、N = 4
- WDTCR.CKS[3:0] = 0100b のとき、N = 64
- WDTCR.CKS[3:0] = 1111b のとき、N = 128
- WDTCR.CKS[3:0] = 0110b のとき、N = 512
- WDTCR.CKS[3:0] = 0111b のとき、N = 2048
- WDTCR.CKS[3:0] = 1000b のとき、N = 8192

#### REFEF フラグ (リフレッシュエラーフラグ)

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。リフレッシュエラーは、リフレッシュ禁止期間中にリフレッシュ動作が実行されたことを示します。読み出し値が1のとき、リフレッシュエラーが発生した状態です。値を0にするには0を書き込んでください。1の書き込みは無効です。

REFEF フラグのクリアには、(N+1) PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から(N+1) PCLKB サイクルの間は、このフラグをクリアしても無視されます。Nは、次式のように、WDTCR.CKS[3:0] ビットで指定されます。

- WDTCR.CKS[3:0] = 0001b のとき、N = 4
- WDTCR.CKS[3:0] = 0100b のとき、N = 64
- WDTCR.CKS[3:0] = 1111b のとき、N = 128
- WDTCR.CKS[3:0] = 0110b のとき、N = 512

- WDTCR.CKS[3:0] = 0111b のとき、N = 2048
- WDTCR.CKS[3:0] = 1000b のとき、N = 8192

## 25.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス [WDT.WDTRCR 4004 4206h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
RSTIR QS	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	<a href="#">RSTIRQS</a>	リセット割り込み要求選択	WDT動作の選択 0: 割り込み 1: リセット	R/W

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、[25.3.2 WDTCR、WDTRCR、および WDT CSTPR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタと同様の設定が可能です。詳細は、[25.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

### 25.2.5 WDT カウント停止コントロールレジスタ (WDTCSSTPR)

アドレス WDT.WDTCSSTPR 4004 4208h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SLCSTP	スリープモードカウント停止制御	0: カウント停止を禁止 1: スリープモード遷移時にカウント停止	R/W

WDTCSSTPR レジスタは、スリープモードにおいて、WDT カウンタを停止させるかどうかを制御します。WDTCSSTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、[25.3.2 WDTCSR](#)、[WDTRCR](#)、および [WDTCSSTPR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTCSSTPR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCSSTPR レジスタと同様の設定が可能です。詳細は、[25.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

#### SLCSTP ビット (スリープモードカウント停止制御)

スリープモード遷移時に、カウントを停止させるかどうかを選択します。

### 25.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタについては、[25.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

## 25.3 動作説明

### 25.3.1 スタートモード別のカウント動作

WDTには、次の2つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：リフレッシュ（レジスタへの書き込み）によってカウント開始

オートスタートモードは、リセット解除後、フラッシュ内のオプション機能選択レジスタ0 (OFS0) の設定に従い、自動的にカウントを開始します。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してからリフレッシュ（レジスタへの書き込み）を行うと、カウントを開始します。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0レジスタのWDTスタートモード選択ビット (OFS0.WDTSTRT) で行います。オートスタートモードを選択した場合、WDTコントロールレジスタ (WDTCR)、WDTリセットコントロールレジスタ (WDTRCR)、およびWDTカウント停止コントロールレジスタ (WDTCSSTPR) の設定値は無効となり、OFS0レジスタの設定値が有効となります。レジスタスタートモードを選択した場合、OFS0レジスタの設定値は無効となり、WDTコントロールレジスタ (WDTCR)、WDTリセットコントロールレジスタ (WDTRCR)、およびWDTカウント停止コントロールレジスタ (WDTCSSTPR) の設定値が有効となります。

#### 25.3.1.1 レジスタスタートモード

WDTスタートモード選択ビット (OFS0.WDTSTRT) が1の場合、レジスタスタートモードが選択されて、OFS0レジスタの設定値は無効となり、WDTコントロールレジスタ (WDTCR)、WDTリセットコントロールレジスタ (WDTRCR)、およびWDTカウント停止コントロールレジスタ (WDTCSSTPR) が有効となります。

リセット状態の解除後、以下を設定してください。

- WDTCRレジスタにおいて、クロック分周比
- WDTCRレジスタにおいて、ウィンドウ開始/終了位置
- WDTCRレジスタにおいて、タイムアウト期間
- WDTRCRレジスタにおいて、リセット出力または割り込み要求出力
- WDTCSSTPRレジスタにおいて、スリープモード遷移時のカウント停止制御

WDTリフレッシュレジスタ (WDTRR) にて、ダウンカウンタをリフレッシュしてください。

すると、タイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントが開始されます。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDTはリセット信号、またはノンマスクブル割り込み要求/割り込み要求 (WDT\_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュできなかったため、ダウンカウンタがアンダーフローした場合や、リフレッシュ許可期間外にカウンタをリフレッシュしたため、リフレッシュエラーが発生した場合は、WDTはリセット信号を出力するか、またはノンマスクブル割り込み要求/割り込み要求 (WDT\_NMIUNDF) を出力します。リセット出力または割り込み要求出力の選択は、WDTリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で行います。NMIの起動要因となる割り込み許可は、WDTアンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で行います。

図 25.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- WDT リセット割り込み要求選択 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

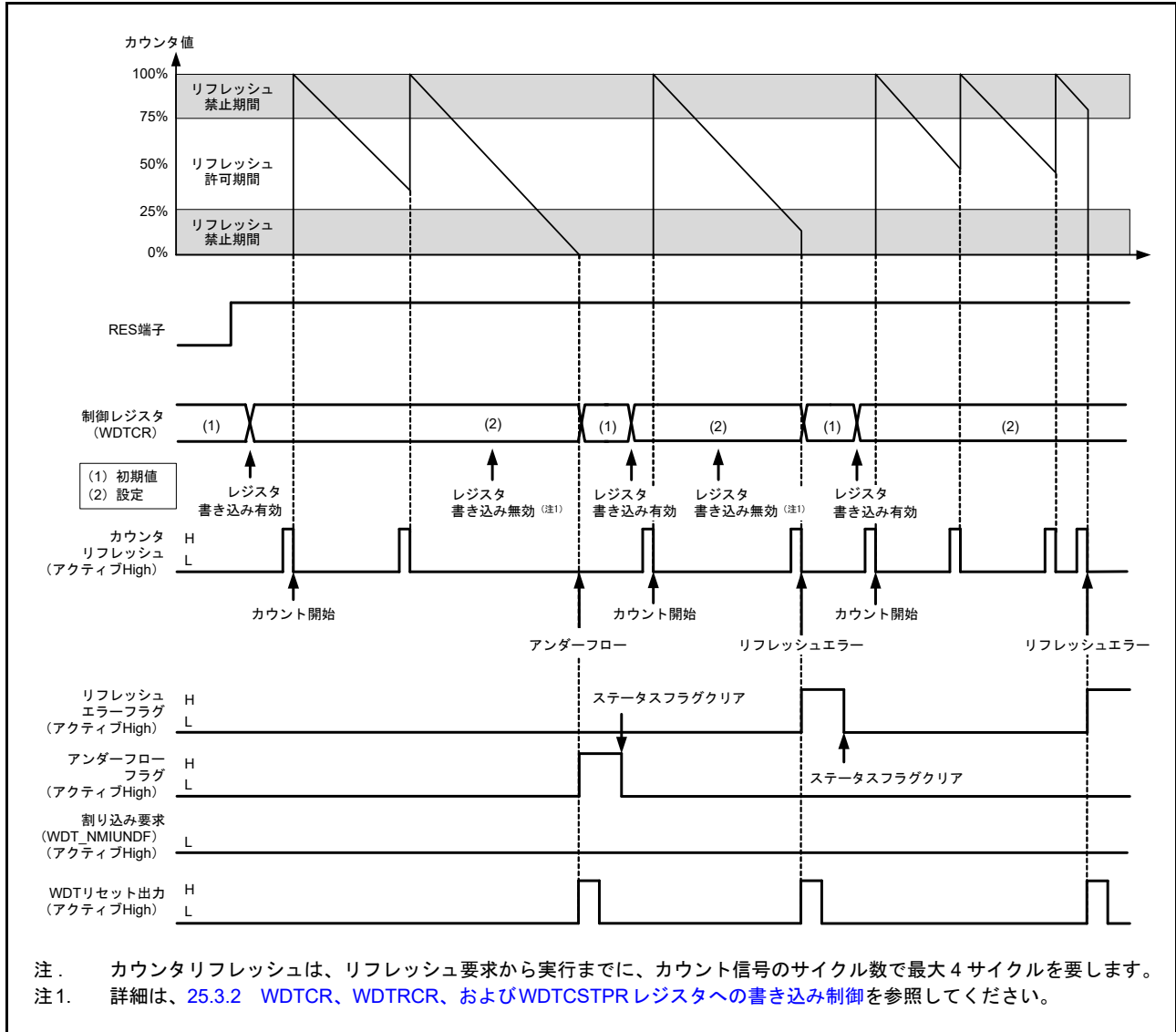


図 25.3 レジスタスタートモードでの動作例

### 25.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されて、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が WDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始/終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- スリープモード遷移時のカウント停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTPOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中、WDT はリセット信号、またはノンマスクابل割り込み要求/割り込み要求 (WDT\_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュできなかつたため、ダウンカウンタがアンダーフローした場合や、リフレッシュ許可期間外にカウンタをリフレッシュしたため、リフレッシュエラーが発生した場合は、WDT はリセット信号を出力するか、またはノンマスクابل割り込み要求/割り込み要求 (WDT\_NMIUNDF) を出力します。

リセット信号またはノンマスクابل割り込み要求/割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) で行います。ノンマスクابل割り込み要求または割り込み要求の選択は、WDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で行います。

図 25.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- WDT 動作の選択：割り込み (OFS0.WDTRSTIRQS = 0)
- ノンマスカブル割り込み：WDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.WDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)

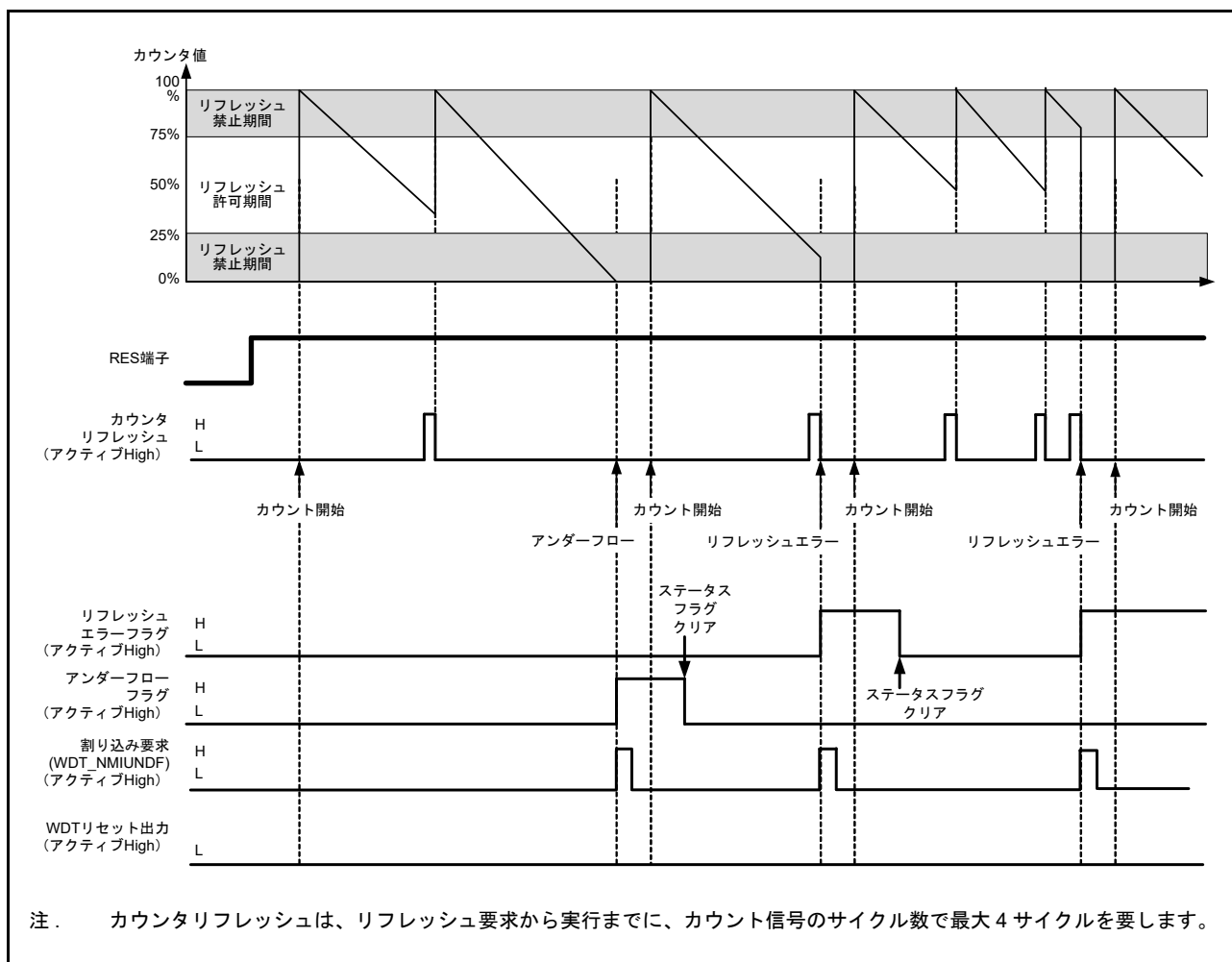


図 25.4 オートスタートモードでの動作例

### 25.3.2 WDTCR、WDTRCR、および WDTCSSTPR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間にそれぞれ 1 回可能です。

リフレッシュ (カウントスタート) 後、あるいは WDTCR、WDTRCR、または WDTCSSTPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後 WDTCR、WDTRCR、および WDTCSSTPR レジスタへの書き込みを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 25.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。

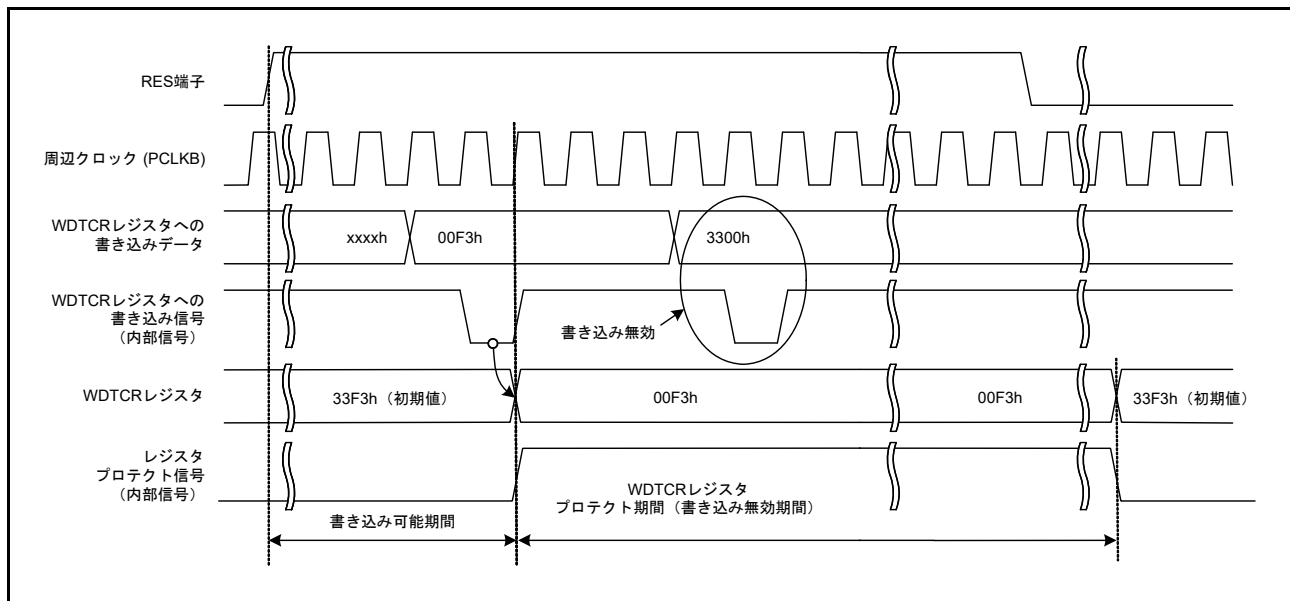


図 25.5 WDTCR レジスタへの書き込みに対して生成される制御波形



### 25.3.3 リフレッシュ動作

ダウンカウンタは、WDT リフレッシュレジスタ (WDTRR) に 00h → FFh の順で書き込むことによってリフレッシュされます。00h の後に FFh 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタへ 00h → FFh の順で書き込むと、正常にリフレッシュが行われます。

また、WDTRR レジスタへの 00h の書き込みと FFh の書き込みの間に、WDTRR 以外のレジスタにアクセスするか、または WDTRR レジスタを読み出しても、正常にリフレッシュが行われます。

カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります。この判定は FFh の書き込み時に行われます。そのため、00h の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

#### 【カウンタのリフレッシュ時の有効な書き込み順序の例】

- 00h → FFh
- 00h (n - 1 回目) → 00h (n 回目) → FFh
- 00h → 別レジスタへのアクセスまたは WDTRR レジスタの読み出し → FFh

#### 【カウンタのリフレッシュ時の無効な書き込み順序の例】

- 23h (00h 以外の値) → FFh
- 00h → 54h (FFh 以外の値)
- 00h → AAh (00h および FFh 以外の値) → FFh

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に FFh を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、WDTRR レジスタへの FFh の書き込みを完了する必要があります。

図 25.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。

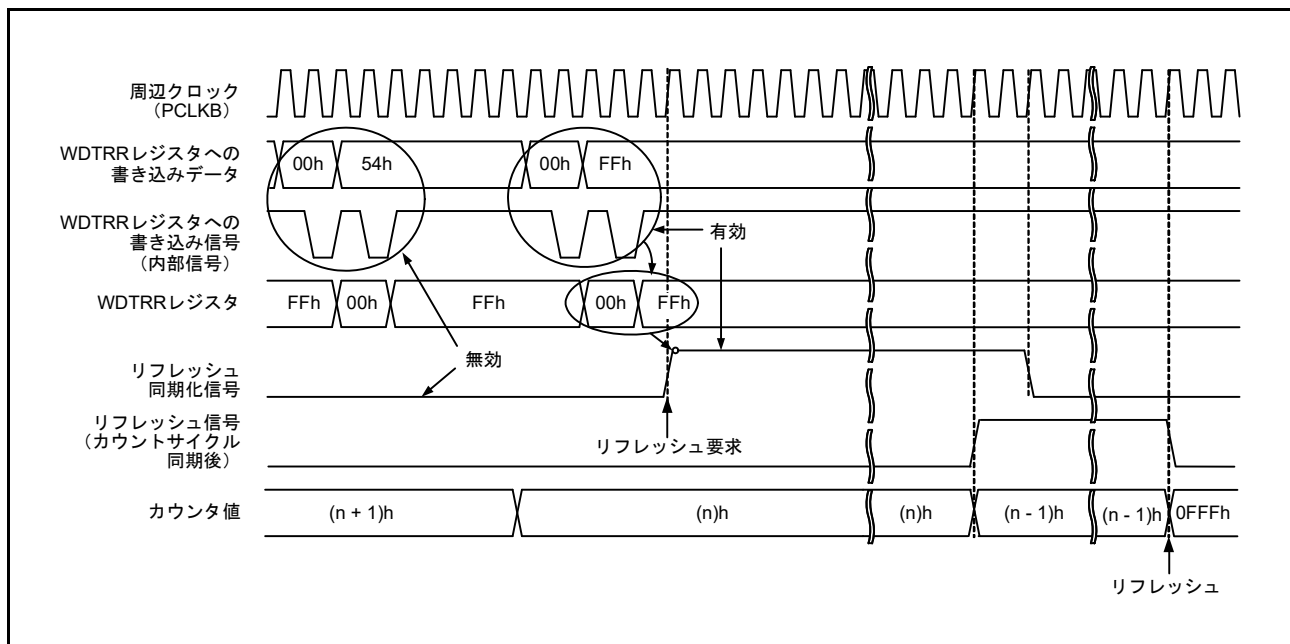


図 25.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合)

### 25.3.4 リセット出力

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を 1 サイクル間出力します。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され (全ビットが 0 になり)、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが設定され、ダウンカウントを再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントを開始します。

### 25.3.5 割り込み要因

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (WDT\_NMIUNDF) が発生します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

表 25.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WDT_NMIUNDF	<ul style="list-style-type: none"> <li>ダウンカウンタのアンダーフロー</li> <li>リフレッシュエラー</li> </ul>	不可能	不可能

### 25.3.6 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。これらのビットを確認して、カウンタ値を取得してください。

図 25.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。

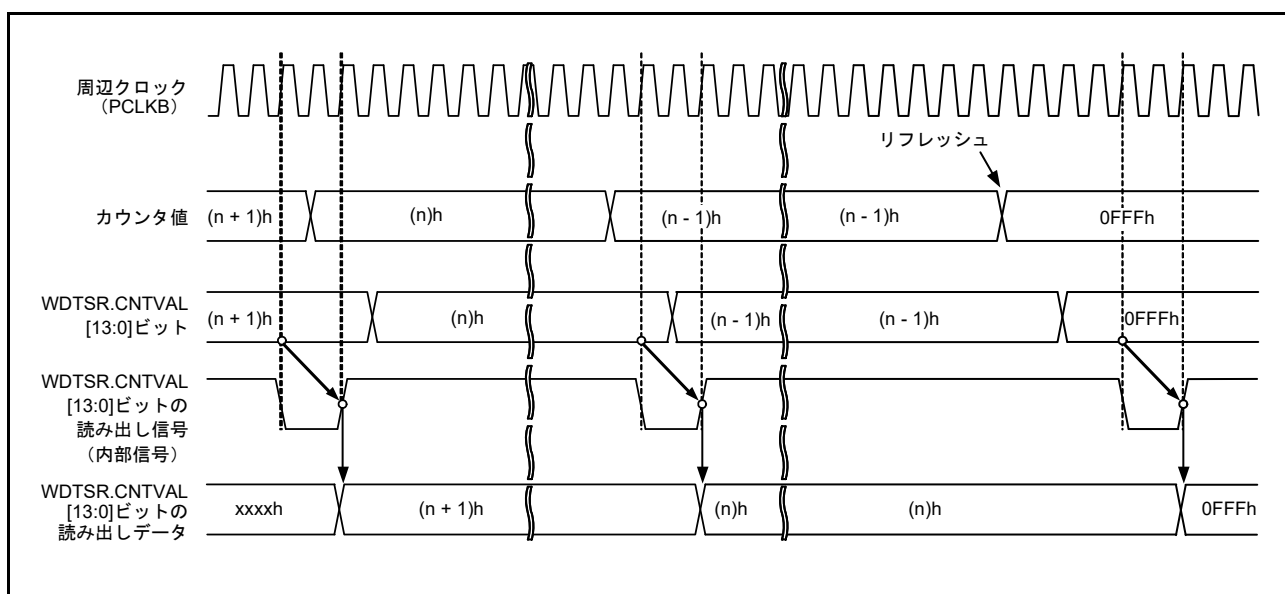


図 25.7 WDT ダウンカウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合)

### 25.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係

表 25.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。OFS0 レジスタの設定値は、WDT 動作中は変更しないでください。オプション機能選択レジスタ 0 (OFS0) の詳細は、7.2.1 オプション機能選択レジスタ 0 (OFS0) を参照してください。

表 25.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係

制御対象	機能	OFS0 レジスタ (オートスタートモードで有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモードで有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTPRS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/割り込み要求出力	リセット割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCSR.SLCSTP

## 25.4 ELC によるリンク動作

ELC が割り込み要求信号をイベント信号として使用する場合、WDT は前もって設定しておいたモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。

イベント信号は、レジスタスタートモードにおけるリセット割り込み要求選択ビット (WDTCSR.RSTIRQS) の設定、あるいはオートスタートモードにおける WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) の設定、に関係なく出力されます。リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「18. イベントリンクコントローラ (ELC)」を参照してください。

## 25.5 使用上の注意事項

### 25.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定

WDT リセット割り込み要求選択をリセットする場合 (OFS0.WDTRSTIRQS = 1 または WDTCSR.RSTIRQS = 1)、またはイベントリンク動作を有効にする場合 (IELSRn.ELS[8:0] = 47h)、ICU イベントリンク設定レジスタ n (IELSRn.IELS[8:0]) に 47h を設定することは禁止されています。

## 26. 独立ウォッチドッグタイマ (IWDT)

### 26.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタです。このカウンタは、アンダーフロー防止のため周期的に動作させる必要があります。IWDT は、MCU をリセットするため、あるいはノンマスカブル割り込みやアンダーフロー割り込みを生成するために使用できます。このタイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、MCU をフェイルセーフ機構と呼ばれる状態に戻すことに特に役立ちます。IWDT は、リセット、アンダーフロー、リフレッシュエラー、またはレジスタのカウント値のリフレッシュで自動的に起動します。

IWDT の機能は、WDT とは以下の点で異なります。

- カウントソースとして IWDT 専用クロック (IWDTCLK) の分周したものを使用 (PCLKB の影響を受けない)
- IWDT はレジスタスタートモードを非サポート
- 低消費電力モードへ遷移する場合 (ディープソフトウェアスタンバイモードを除く)、OFS0.IWDTSTPCTL ビットを使用してカウンタを停止する/しないの選択が可能

表 26.1 に IWDT の仕様を、図 26.1 にブロック図を示します。

表 26.1 IWDT の仕様

項目	内容
カウントソース (注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1分周 / 16分周 / 32分周 / 64分周 / 128分周 / 256分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	リセット後、自動的にカウント開始
カウンタ停止条件	<ul style="list-style-type: none"> <li>• リセット (ダウンカウンタおよび他のレジスタが初期値に戻る)</li> <li>• カウンタのアンダーフローまたはリフレッシュエラーの発生 (自動的にカウント再開)</li> </ul>
ウィンドウ機能	ウィンドウ開始 / 終了位置を設定可能 (リフレッシュ許可 / 禁止期間)
IWDT リセット要因	<ul style="list-style-type: none"> <li>• ダウンカウンタがアンダーフローしたとき</li> <li>• リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー)</li> </ul>
ノンマスカブル割り込み / 割り込み要因	<ul style="list-style-type: none"> <li>• ダウンカウンタがアンダーフローしたとき</li> <li>• リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー)</li> </ul>
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	<ul style="list-style-type: none"> <li>• ダウンカウンタアンダーフローイベント出力</li> <li>• リフレッシュエラーイベント出力</li> </ul>
出力信号 (内部信号)	<ul style="list-style-type: none"> <li>• リセット出力</li> <li>• 割り込み要求出力</li> <li>• スリープモードカウンタ停止制御出力</li> </ul>
オートスタートモード	下記のトリガに設定可能 : <ul style="list-style-type: none"> <li>• リセット後のクロック分周比 (OFS0.IWDTCKS[3:0] ビット)</li> <li>• IWDT のタイムアウト期間 (OFS0.IWDTTOPS[1:0] ビット)</li> <li>• IWDT のウィンドウ開始位置 (OFS0.IWDRPSS[1:0] ビット)</li> <li>• IWDT のウィンドウ終了位置 (OFS0.IWDRPES[1:0] ビット)</li> <li>• リセット出力または割り込み要求出力 (OFS0.IWDRSTIRQS ビット)</li> <li>• スリープモード、ソフトウェアスタンバイモードまたはスヌーズモード遷移時のダウンカウンタ停止機能 (OFS0.IWDTSTPCTL ビット)</li> </ul>

注 1. 周辺モジュールクロック (PCLKB) 周波数  $\geq 4 \times$  (カウントクロックソースの分周後周波数) となるように設定してください。

IWDT を使用するには、IWDT 専用クロック (IWDTCLK) を供給する必要があります。バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

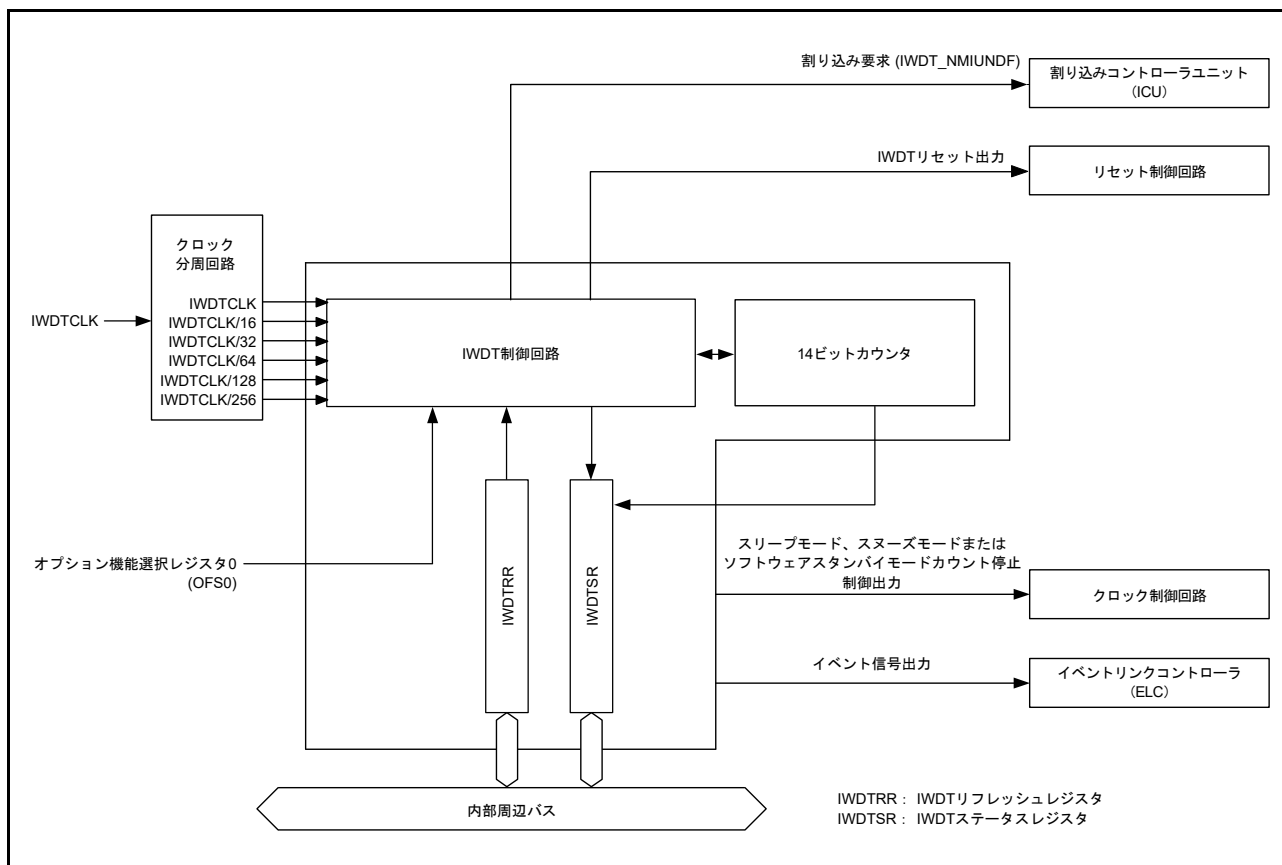


図 26.1 IWDT のブロック図

## 26.2 レジスタの説明

### 26.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス IWDT.IWDTRR 4004 4400h



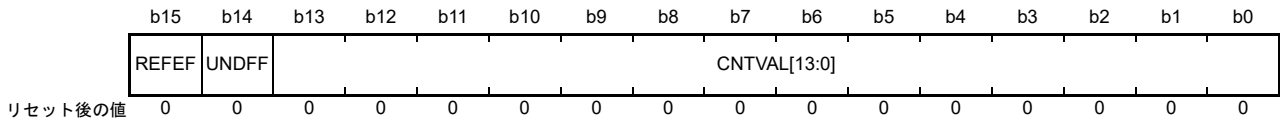
ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでダウンカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。リフレッシュ許可期間内に IWDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウントを行います。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、[26.3.2 リフレッシュ動作](#) を参照してください。

## 26.2.2 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 4004 4404h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダーフローフラグ	0: アンダーフロー発生なし 1: アンダーフロー発生あり	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラー発生なし 1: リフレッシュエラー発生あり	R/(W) (注1)

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

### CNTVAL[13:0] ビット (カウンタ値)

CNTVAL[13:0] ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウンタ値から 1 カウントずれる場合があります。

### UNDFE ビット (アンダーフローフラグ)

UNDFE ビットを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFE ビットのクリアには、(N+2) IWDTCLK サイクルと 2PCLKB サイクルを要します。さらに、アンダーフローの発生から (N+2) IWDTCLK サイクルの間は、このビットをクリアしても無視されます。N は、次式のように、IWDTCKS[3:0] ビットで指定されます。

- IWDTCKS[3:0] = 0000b のとき、N = 1
- IWDTCKS[3:0] = 0010b のとき、N = 16
- IWDTCKS[3:0] = 0011b のとき、N = 32
- IWDTCKS[3:0] = 0100b のとき、N = 64
- IWDTCKS[3:0] = 1111b のとき、N = 128
- IWDTCKS[3:0] = 0101b のとき、N = 256

### REFEF ビット (リフレッシュエラーフラグ)

REFEF ビットを読み出すことにより、リフレッシュエラーが発生したか否かを確認できます。リフレッシュエラーは、リフレッシュ禁止期間中にリフレッシュ動作が実行されたことを示します。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

REFEF ビットのクリアには、(N+2) IWDTCLK サイクルと 2PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N+2) IWDTCLK サイクルの間は、このビットをクリアしても無視されます。N は、次式のように、IWDTCKS[3:0] ビットで指定されます。

- IWDTCKS[3:0] = 0000b のとき、N = 1
- IWDTCKS[3:0] = 0010b のとき、N = 16
- IWDTCKS[3:0] = 0011b のとき、N = 32
- IWDTCKS[3:0] = 0100b のとき、N = 64

- IWDTCKS[3:0] = 1111b のとき、N = 128
- IWDTCKS[3:0] = 0101b のとき、N = 256



### 26.2.3 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、7.2.1 オプション機能選択レジスタ 0 (OFS0) を参照してください。

#### IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

タイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) について、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの IWDTCLK サイクル数は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定します。

表 26.2 に、IWDTCKS[3:0] および IWDTTOPS[1:0] ビットの設定値、タイムアウト期間、および IWDTCLK サイクル数の関係を示します。

表 26.2 タイムアウト期間の設定

IWDTCKS[3:0] ビット				IWDTTOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLKの サイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK/1	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDTCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDTCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDTCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDTCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDTCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

#### IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDT 専用クロック (IWDTCLK) の 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択できます。IWDTTOPS[1:0] ビット設定と組み合わせて、IWDT のカウント期間を IWDTCLK サイクルの 128 ~ 524288 サイクルの間で設定できます。

**IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)**

リフレッシュ許可期間を示すウィンドウの終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定しません(ウィンドウ開始位置>ウィンドウ終了位置)。「ウィンドウ開始位置≤ウィンドウ終了位置」の設定を行った場合、ウィンドウ開始位置の設定のみが有効となり、ウィンドウ終了位置は0%になります。

**IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)**

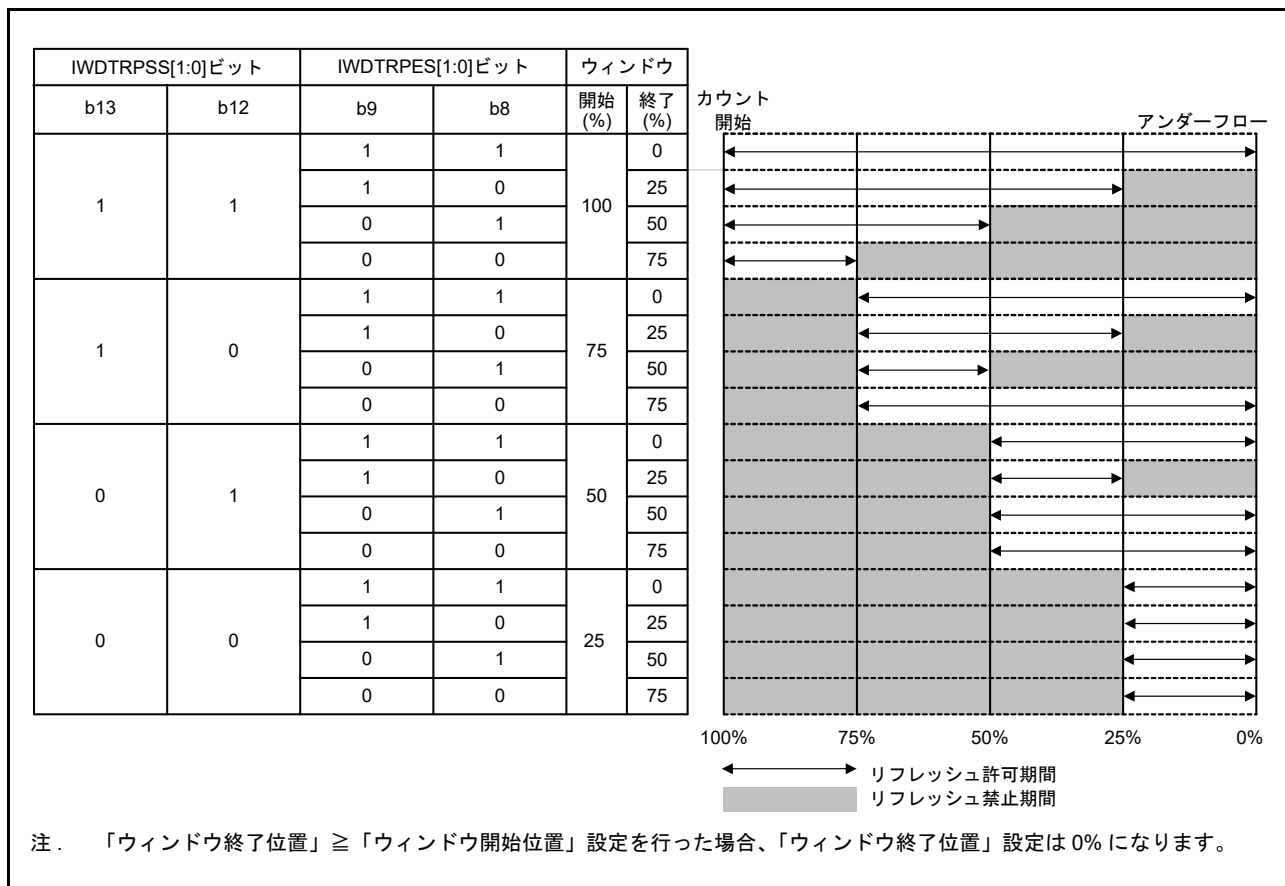
リフレッシュ許可期間を示すウィンドウの開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください(ウィンドウ開始位置>ウィンドウ終了位置)。

「ウィンドウ開始位置≤ウィンドウ終了位置」の設定を行った場合、ウィンドウ開始位置の設定のみが有効となり、ウィンドウ終了位置は0%になります。

IWDRPSS[1:0]、IWDRPES[1:0]、IWDTTOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウント値を表26.3に、設定されるリフレッシュ許可期間を図26.2に示します。

**表 26.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表**

IWDTTOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh



**図 26.2 IWDRPSS[1:0] および IWDRPES[1:0] ビットとリフレッシュ許可期間**

**IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択)**

アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1にすると、リセットを選択します。0にすると、割り込みを選択します。

**IWDTSTPCTL ビット (IWDT 停止制御)**

スリープモード、スヌーズモード、ソフトウェアスタンバイモード遷移時にカウントを停止させるかどうかを制御します。

## 26.3 動作説明

### 26.3.1 オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。それ以外では IWDT は無効です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始および終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- 低消費電力モード遷移時のカウント停止制御

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、IWDT はリセット信号を出力しません。ただし、プログラムのクラッシュでカウンタがアンダーフローするか、あるいはリフレッシュ許可期間外のリフレッシュ動作によってリフレッシュエラーが発生した場合に、IWDT はリセット信号またはノンマスクابل割り込み要求/割り込み要求 (IWDT\_NMIUNDF) をアサートします。

リセット信号またはノンマスクابل割り込み要求/割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードして、カウント動作を再開します。リセット出力または割り込み要求出力の選択は、IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) で行います。NMI の起動要因となる割り込み許可は、IWDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で行います。

図 26.3 に、下記の条件下での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- IWDT 動作の選択：割り込み (OFS0.IWDRSTIRQS = 0)
- NMI 起動起因の割り込み要求を許可 (NMIER.IWDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.IWDRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDRPES[1:0] = 10b)

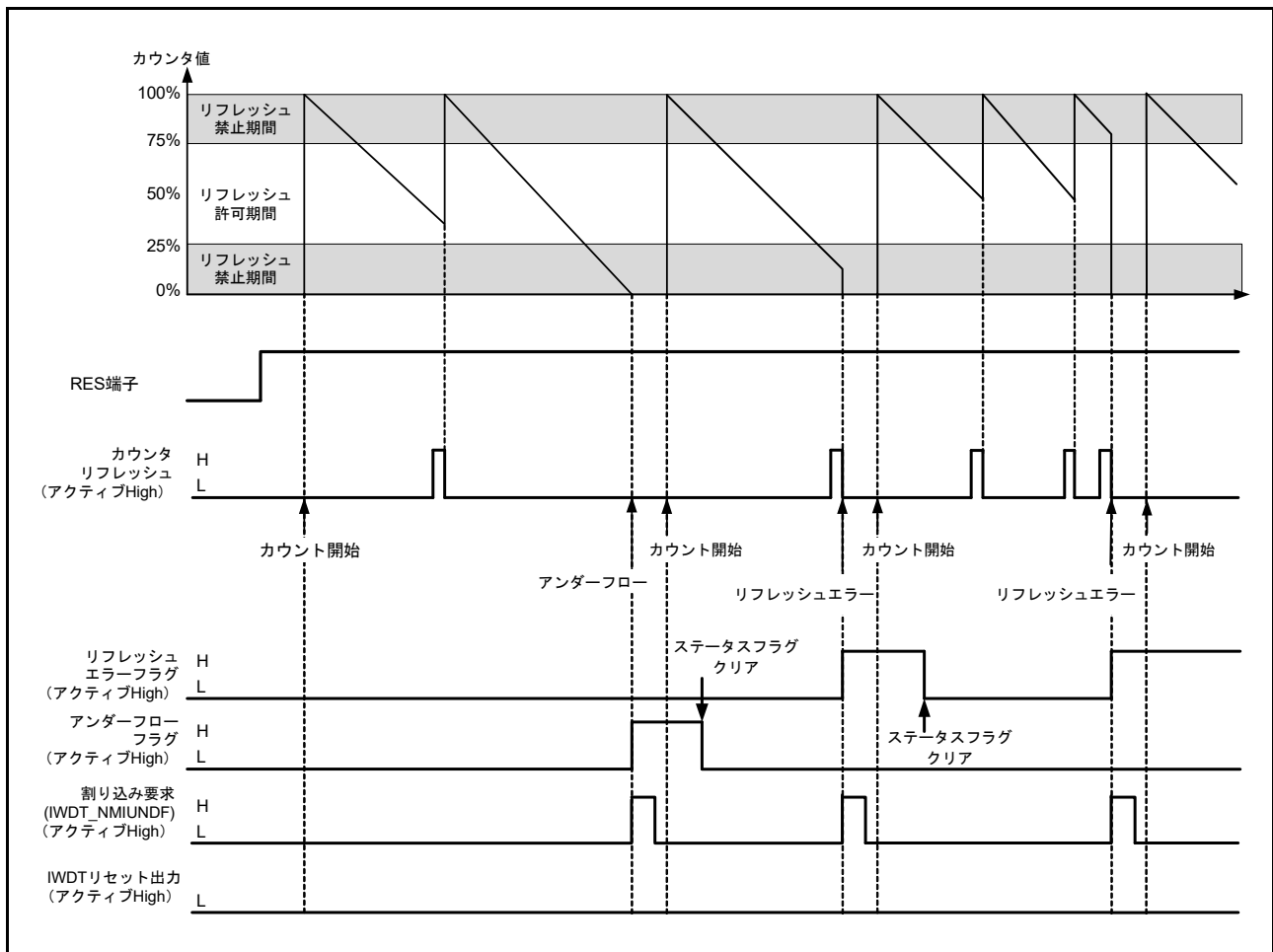


図 26.3 オートスタートモードでの動作例

### 26.3.2 リフレッシュ動作

ダウンカウンタは、IWDT リフレッシュレジスタ (IWDTRR) に 00h → FFh の順で書き込むことによってリフレッシュされます。00h の後に FFh 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、IWDTRR レジスタへ 00h → FFh の順で書き込むと、正常にリフレッシュが行われます。

00h (1 回目) → 00h (2 回目) の順で書き込みを行った場合でも、その後に FFh を書き込めば、00h → FFh の書き込み順序が成立します。00h (n - 1 回目) → 00h (n 回目) → FFh という書き込み順序は有効であり、正常にリフレッシュを行います。00h より前の書き込み値が 00h 以外であっても、動作に 00h → FFh という書き込み順序が含まれている限り、正常にリフレッシュを行います。

また、IWDTRR レジスタへの 00h の書き込みと FFh の書き込みの間に、IWDTRR 以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出しても、正常にリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります。この判定は FFh の書き込み時に行われます。そのため、00h の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

#### 【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h (n - 1 回目) → 00h (n 回目) → FFh
- 00h → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → FFh

#### 【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h (00h 以外の値) → FFh
- 00h → 54h (FFh 以外の値)
- 00h → AAh (00h および FFh 以外の値) → FFh

ダウンカウンタのリフレッシュには、IWDTRR レジスタに FFh を書き込んだ後、カウント信号のサイクル数で最大 4 サイクル必要です (カウントの 1 サイクルが、IWDT 専用クロック (IWDTCCLK) の何サイクルに相当するかは、IWDT 専用クロック分周比選択ビット (OFS0.IWDTCCKS[3:0]) で決まります)。この要件を満たすには、リフレッシュ許可期間の終了またはカウンタのアンダーフローが発生する 4 カウントサイクル前までに、IWDTRR レジスタへの FFh 書き込みが完了する必要があります。カウンタの値はカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

#### 【リフレッシュ動作タイミング例】

下記の条件下でのリフレッシュ動作タイミング例を示します。

- IWDT タイムアウト期間選択 : 2048 サイクル (IWDTTOPS[1:0] = 11 / カウンタ値 : 07FFh)
- IWDT ウィンドウ開始位置 : タイムアウト期間の 50% (IWDTRPSS[1:0] = 01)
- IWDT ウィンドウ終了位置 (①および②の場合) タイムアウト期間の 25% (IWDTRPES[1:0] = 10)
- IWDT ウィンドウ終了位置 (③の場合) タイムアウト期間の 0% (IWDTRPES[1:0] = 11)

- ① ウィンドウ開始位置を 03FFh (07FFh の 50%) とした場合、IWDTRR レジスタへの 00h の書き込みが 03FFh より前 (たとえば 0402h) であっても、ダウンカウンタの値が 03FFh になってから IWDTRR レジスタへ FFh を書き込めば、リフレッシュを行います。
- ② ウィンドウ終了位置を 01FFh (07FFh の 25%) とした場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後のダウンカウンタの値が 0203h (01FFh の 4 カウントサイクル前) 以上であれば、リフレッシュを行います。
- ③ リフレッシュ許可期間が 0000h (たとえばウィンドウ終了期間をタイムアウトの 0% に設定した場合) まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後ダウンカウンタの値が 0003h (アンダーフローの 4 カウントサイクル前) 以上であれば、アンダーフローは発生しないでリフレッシュを行います。

図 26.4 に、PCLKB > IWDTCLK のとき、クロック分周比が IWDTCLK である場合の IWDT リフレッシュ動作波形を示します。

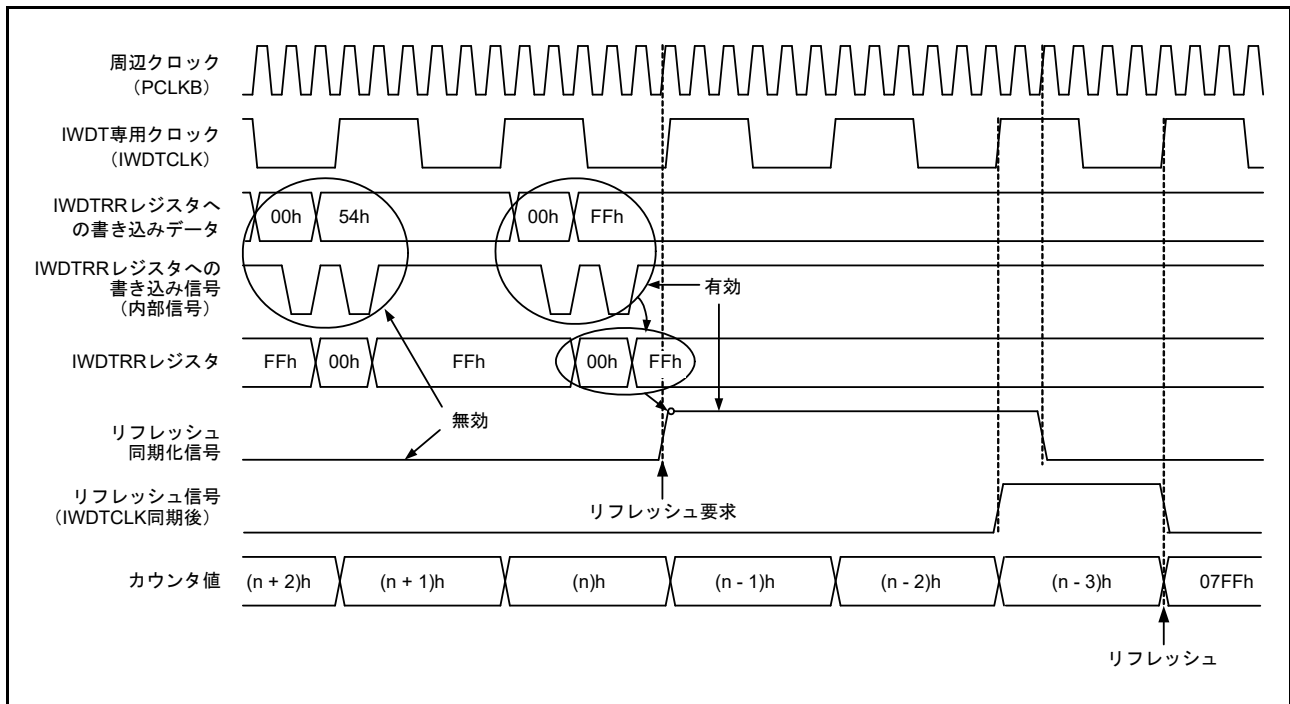


図 26.4 IWDT リフレッシュ動作波形 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

### 26.3.3 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF) とアンダーフローフラグ (IWDTSR.UNDF) は、IWDT がリセット信号を出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。リセット状態の解除後、または割り込み要求の発生後に、IWDTSR.REFEF フラグと UNDF フラグを読み出すことで、リセット要因や割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしても、動作に影響を与えません。次に IWDT がリセットまたは割り込み要求を出力したとき、フラグがクリアされていない場合は、古いリセット要因や割り込み要因はクリアされて、新しいリセット要因や割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでに、最大で 3 IWDTCLK サイクルと 2 PCLKB サイクルを要します。

### 26.3.4 リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を出力します。リセット出力後、自動でダウンカウントを開始します。

### 26.3.5 割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDTSTRIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (IWDT\_NMIUNDF) を生成します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

表 26.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
IWDT_NMIUNDF	<ul style="list-style-type: none"> <li>• ダウンカウンタのアンダーフロー</li> <li>• リフレッシュエラー</li> </ul>	不可能	不可能

### 26.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT は、カウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。これらのビットを確認して、間接的にカウンタ値を取得してください。

ただし、カウンタ値の読み出しには PCLKB で数クロックサイクル (最大 4 クロックサイクル) を要するため、読み出されるカウンタ値は、実際のカウンタ値から 1 カウントずれる場合があります。

図 26.5 に、 $PCLKB > IWDTCLK$  のとき、クロック分周比が IWDTCLK である場合の IWDT カウンタ値の読み出し処理を示します。

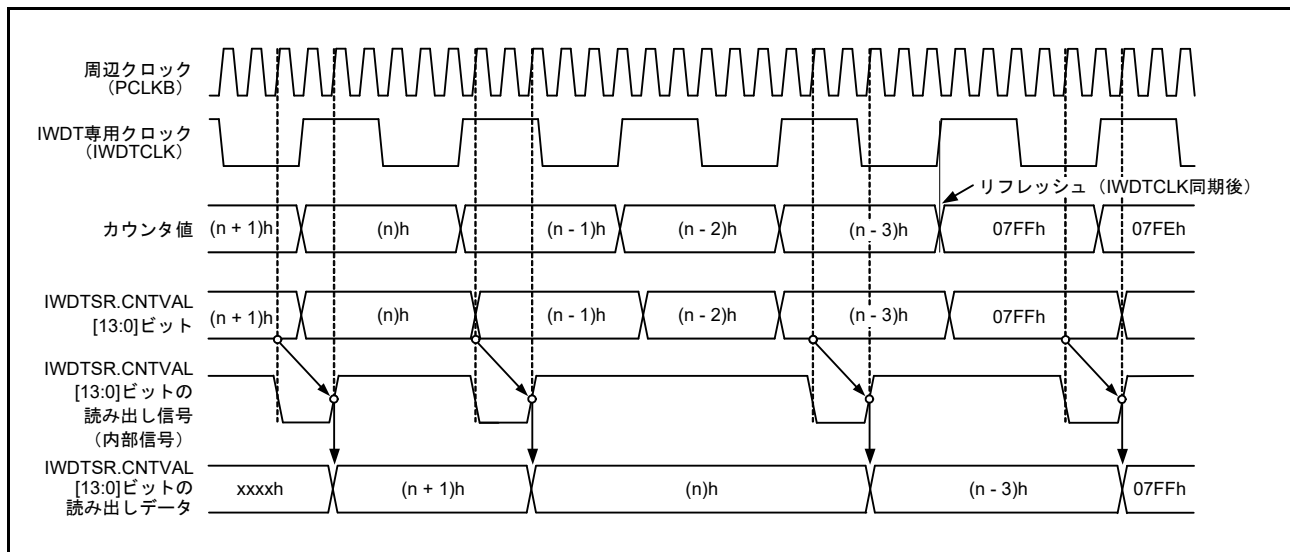


図 26.5 IWDT カウンタ値の読み出し処理 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)



## 26.4 ELC によるリンク動作

ELC が割り込み要求信号をイベント信号として使用する場合、IWDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。

イベント信号は、OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。リフレッシュエラーフラグ (IWDTSR.REFEF) またはアンダーフローフラグ (IWDTSR.UNDFE) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「[18. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

## 26.5 使用上の注意事項

### 26.5.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK の精度における誤差範囲内での変動を考慮してください。その上で、リフレッシュできる値を設定してください。

### 26.5.2 クロック分周比の設定に関する制限

周辺モジュールクロック (PCLKB) の周波数が下記の要件を満たすように設定してください。

$$PCLKB \geq 4 \times (\text{カウントクロックソースの分周後周波数})$$

## 27. シリアルコミュニケーションインタフェース (SCI)

### 27.1 概要

シリアルコミュニケーションインタフェース (SCI) は、下記の 5 種類の調歩同期式および同期式シリアルインタフェースとして設定が可能です。

- 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA))
- 8 ビットクロック同期式インタフェース
- 簡易 IIC (マスタのみ)
- 簡易 SPI
- スマートカードインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。各 SCI は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。

表 27.1 に SCI の仕様を、図 27.1 に SCI チャンネル n のブロック図を、表 27.2 にモードごとの入出力端子を示します。

表 27.1 SCI の仕様 (1/2)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> <li>• 調歩同期式</li> <li>• クロック同期式</li> <li>• スマートカードインタフェース</li> <li>• 簡易 IIC</li> <li>• 簡易 SPI</li> </ul>
転送速度	内蔵のボーレートジェネレータにより任意のビットレートを設定可能
全二重通信	<ul style="list-style-type: none"> <li>• 送信部：ダブルバッファによる連続送信が可能</li> <li>• 受信部：ダブルバッファによる連続受信が可能</li> </ul>
入出力端子	表 27.2 を参照してください。
データ転送	LSB ファースト / MSB ファースト転送を選択可能
割り込み要因	<ul style="list-style-type: none"> <li>• 送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、およびアドレス一致</li> <li>• 開始条件 / 再開条件 / 停止条件の生成完了 (簡易 IIC モード用)</li> </ul>
モジュールストップ機能	チャンネルごとにモジュールストップ状態の設定が可能
スヌーズ終了要求	SCI0 アドレス不一致 (SCI0_DCUF)

表 27.1 SCIの仕様 (2/2)

項目	内容	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出	パリティエラー、オーバーランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn_RTSn端子を用いた送受信制御が可能
	送信/受信	1段レジスタ/16段FIFOを選択可能
	アドレス一致	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求/イベント出力の発行が可能
	アドレス不一致 (SCI0のみ) 受信データ	受信データとコンペアマッチレジスタの値が一致しないとき、スヌーズ終了要求の発行が可能
	スタートビットの検出	Low検出/立ち下がリエッジ検出を選択可能
	ブレークの検出	SPTRレジスタを読み出すことで、フレーミングエラーからのブレークの検出が可能
	クロックソース	内部クロック/外部クロックを選択可能
	倍速モード	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間でシリアル通信が可能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラー検出	オーバーランエラー
	クロックソース	内部クロック (マスタモード) / 外部クロック (スレーブモード) を選択可能
	ハードウェアフロー制御	CTSn_RTSn端子を用いた送受信制御が可能
	送信/受信	1段レジスタ/16段FIFOを選択可能
スマートカードインタフェースモード	エラー処理	受信中にパリティエラーを検出するとエラーシグナルを自動送出 送信中にエラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易IICモード	通信フォーマット	I <sup>2</sup> Cバスフォーマット (MSBファーストのみ)
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	最大400kbps
	ノイズ除去	SCLn端子とSDAn端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易SPIモード	データ長	8ビット
	エラー検出	オーバーランエラー
	クロックソース	内部クロック (マスタモード) / 外部クロック (スレーブモード) を選択可能
	SS入力端子機能	SSn端子をHighにすることで、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能	内蔵ポーレートジェネレータの出力補正により誤差の低減が可能	
イベントリンク機能	受信エラーまたはエラーシグナル検出におけるエラーイベント出力 (SCIn_ERI) (注1)	
	受信データフルイベント出力 (SCIn_RXI) (注1) (注2)	
	送信データエンブティイベント出力 (SCIn_TXI) (注1) (注2)	
	送信終了イベント出力 (SCIn_TEI) (注1) (注2)	
	アドレス一致イベント出力 (SCIn_AM) (注1)	

注 1. チャネル番号 (n = 0 ~ 4、8、9)

注 2. 本イベントリンク機能は、調歩同期式モードにおいて FIFO 動作が選択された場合、使用禁止となります。

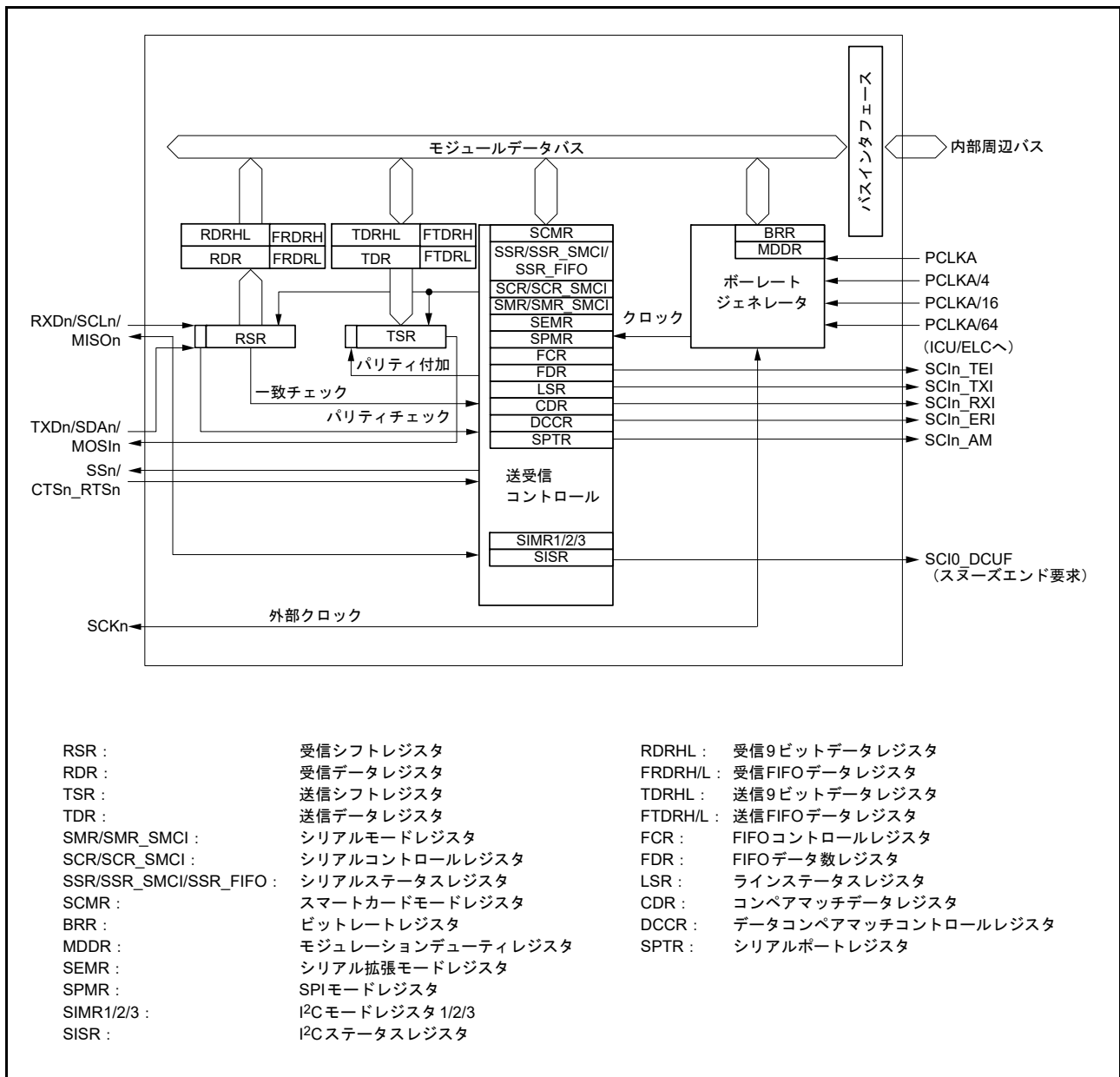


図 27.1 SCI チャンネル n のブロック図

表 27.2 SCIの入出力端子 (1/2)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0/SCL0/MISO0	入出力	SCI0の受信データ入力端子 SCI0のI <sup>2</sup> Cクロック入出力端子 SCI0のスレーブ送出データ入出力端子
	TXD0/SDA0/MOSI0	入出力	SCI0の送信データ出力端子 SCI0のI <sup>2</sup> Cデータ入出力端子 SCI0のマスタ送出データ入出力端子
	SS0/CTS0_RTS0	入出力	SCI0のチップセレクト入力端子、アクティブLow SCI0の送受信開始制御用入出力端子、アクティブLow
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1/SCL1/MISO1	入出力	SCI1の受信データ入力端子 SCI1のI <sup>2</sup> Cクロック入出力端子 SCI1のスレーブ送出データ入出力端子
	TXD1/SDA1/MOSI1	入出力	SCI1の送信データ出力端子 SCI1のI <sup>2</sup> Cデータ入出力端子 SCI1のマスタ送出データ入出力端子
	SS1/CTS1_RTS1	入出力	SCI1のチップセレクト入力端子、アクティブLow SCI1の送受信開始制御用入出力端子、アクティブLow
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	RXD2/SCL2/MISO2	入出力	SCI2の受信データ入力端子 SCI2のI <sup>2</sup> Cクロック入出力端子 SCI2のスレーブ送出データ入出力端子
	TXD2/SDA2/MOSI2	入出力	SCI2の送信データ出力端子 SCI2のI <sup>2</sup> Cデータ入出力端子 SCI2のマスタ送出データ入出力端子
	SS2/CTS2_RTS2	入出力	SCI2のチップセレクト入力端子、アクティブLow SCI2の送受信開始制御用入出力端子、アクティブLow
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	RXD3/SCL3/MISO3	入出力	SCI3の受信データ入力端子 SCI3のI <sup>2</sup> Cクロック入出力端子 SCI3のスレーブ送出データ入出力端子
	TXD3/SDA3/MOSI3	入出力	SCI3の送信データ出力端子 SCI3のI <sup>2</sup> Cデータ入出力端子 SCI3のマスタ送出データ入出力端子
	SS3/CTS3_RTS3	入出力	SCI3のチップセレクト入力端子、アクティブLow SCI3の送受信開始制御用入出力端子、アクティブLow
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	RXD4/SCL4/MISO4	入出力	SCI4の受信データ入力端子 SCI4のI <sup>2</sup> Cクロック入出力端子 SCI4のスレーブ送出データ入出力端子
	TXD4/SDA4/MOSI4	入出力	SCI4の送信データ出力端子 SCI4のI <sup>2</sup> Cデータ入出力端子 SCI4のマスタ送出データ入出力端子
	SS4/CTS4_RTS4	入出力	SCI4のチップセレクト入力端子、アクティブLow SCI4の送受信開始制御用入出力端子、アクティブLow
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	RXD8/SCL8/MISO8	入出力	SCI8の受信データ入力端子 SCI8のI <sup>2</sup> Cクロック入出力端子 SCI8のスレーブ送出データ入出力端子
	TXD8/SDA8/MOSI8	入出力	SCI8の送信データ出力端子 SCI8のI <sup>2</sup> Cデータ入出力端子 SCI8のマスタ送出データ入出力端子
	SS8/CTS8_RTS8	入出力	SCI8のチップセレクト入力端子、アクティブLow SCI8の送受信開始制御用入出力端子、アクティブLow

表 27.2 SCIの入出力端子 (2/2)

チャンネル	端子名	入出力	機能
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9/SCL9/MISO9	入出力	SCI9の受信データ入力端子 SCI9のI <sup>2</sup> Cクロック入出力端子 SCI9のスレーブ送出データ入出力端子
	TXD9/SDA9/ MOSI9	入出力	SCI9の送信データ出力端子 SCI9のI <sup>2</sup> Cデータ入出力端子 SCI9のマスタ送出データ入出力端子
	SS9/CTS9_RTS9	入出力	SCI9のチップセレクト入力端子、アクティブLow SCI9の送受信開始制御用入出力端子、アクティブLow

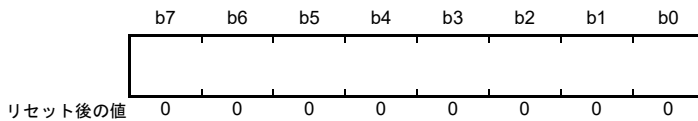
## 27.2 レジスタの説明

### 27.2.1 受信シフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタ、RDRHL レジスタ、または受信 FIFO へ転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

### 27.2.2 受信データレジスタ (RDR)

アドレス SCI0.RDR 4007 0005h, SCI1.RDR 4007 0025h, SCI2.RDR 4007 0045h, SCI3.RDR 4007 0065h, SCI4.RDR 4007 0085h, SCI8.RDR 4007 0105h, SCI9.RDR 4007 0125h



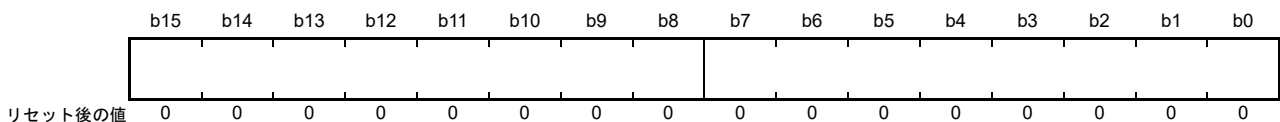
RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。1 フレーム分のシリアルデータを受信すると、受信データは RSR レジスタから RDR レジスタへ転送され、RSR レジスタは次のデータを受信できるようになります。RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

RDR レジスタの読み出しは、受信データフル割り込み (SCI<sub>In</sub>\_RXI) 要求が発生したときに 1 回だけ行ってください。

注. 受信データを RDR から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDR レジスタに書き込むことはできません。

### 27.2.3 受信 9 ビットデータレジスタ (RDRHL)

アドレス SCI0.RDRHL 4007 0010h, SCI1.RDRHL 4007 0030h, SCI2.RDRHL 4007 0050h, SCI3.RDRHL 4007 0070h, SCI4.RDRHL 4007 0090h, SCI8.RDRHL 4007 0110h, SCI9.RDRHL 4007 0130h



RDRHL レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

RDRHL レジスタの下位 8 ビットは RDR レジスタのシャドウレジスタであるため、RDRHL レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL レジスタへのアクセスはしないでください。

1 フレーム分のデータを受信すると、受信データは RSR レジスタから RDR レジスタまたは RDRHL レジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。RDRHL レジスタの読み出しは、受信データフル割り込み (SCI<sub>In</sub>\_RXI) 要求が発生した場合にのみ行ってください。受信データを RDRHL レジスタから読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDRHL レジスタに書き込むことはできません。RDRHL[15:9] ビットは 0 に固定されているため、読むと 0 が読めます。書く場合、0 としてください。

## 27.2.4 受信 FIFO データレジスタ H, L, HL (FRDRH, FRDRL, FRDRHL)

## 受信 FIFO データレジスタ H (FRDRH)

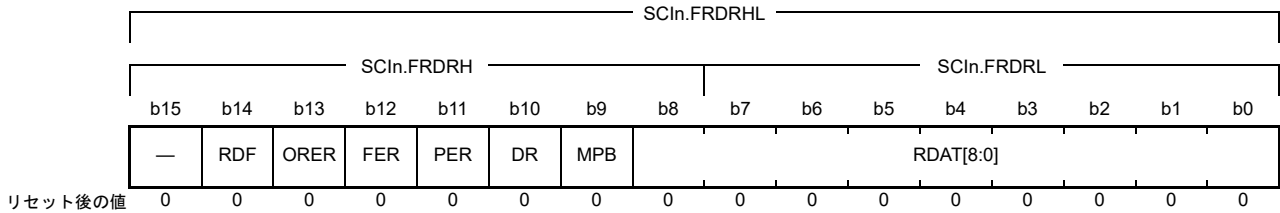
アドレス SCI0.FRDRH 4007 0010h, SCI1.FRDRH 4007 0030h, SCI2.FRDRH 4007 0050h, SCI3.FRDRH 4007 0070h,  
SCI4.FRDRH 4007 0090h, SCI8.FRDRH 4007 0110h, SCI9.FRDRH 4007 0130h

## 受信 FIFO データレジスタ L (FRDRL)

アドレス SCI0.FRDRL 4007 0011h, SCI1.FRDRL 4007 0031h, SCI2.FRDRL 4007 0051h, SCI3.FRDRL 4007 0071h,  
SCI4.FRDRL 4007 0091h, SCI8.FRDRL 4007 0111h, SCI9.FRDRL 4007 0131h

## 受信 FIFO データレジスタ HL (FRDRHL)

アドレス SCI0.FRDRHL 4007 0010h, SCI1.FRDRHL 4007 0030h, SCI2.FRDRHL 4007 0050h, SCI3.FRDRHL 4007 0070h,  
SCI4.FRDRHL 4007 0090h, SCI8.FRDRHL 4007 0110h, SCI9.FRDRHL 4007 0130h



ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	シリアル受信データ	調歩同期式モード（マルチプロセッサモードを含む）およびクロック同期式モードにおいて、FIFO 選択時にのみ有効です。シリアル受信データを格納します。	R
b9	MPB	マルチプロセッサビットフラグ	シリアル受信データ（RDAT[8:0]）のマルチプロセッサビットの値を格納します。 0：データ送信サイクル 1：ID送信サイクル 調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時にのみ有効です。	R
b10	DR	受信データレディフラグ	本フラグは SSR_FIFO.DR と同じです。 0：受信中であるか、または正常に受信を完了した後、FRDRH および FRDRL レジスタに受信データが残っていない 1：正常に受信を完了した後、次の受信データが一定期間来ない	R (注1)
b11	PER	パリティエラーフラグ	0：FRDRH および FRDRL の第1データにパリティエラーの発生なし 1：FRDRH および FRDRL の第1データにパリティエラーの発生あり	R
b12	FER	フレーミングエラーフラグ	0：FRDRH および FRDRL の第1データにフレーミングエラーの発生なし 1：FRDRH および FRDRL の第1データにフレーミングエラーの発生あり	R
b13	ORER	オーバーランエラーフラグ	本フラグは SSR_FIFO.ORER と同じです。 0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R (注1)
b14	RDF	受信 FIFO データフルフラグ	本フラグは SSR_FIFO.RDF と同じです。 0：FRDRH および FRDRL に書き込まれた受信データ量が指定された受信トリガ数より少ない 1：FRDRH および FRDRL に書き込まれた受信データ量が指定された受信トリガ数以上である	R (注1)
b15	—	予約ビット	読むと 0 が読めます。	R

注 1. 本フラグを読むと、SSR\_FIFO レジスタと同じ値が読み出されます。フラグをクリアする場合は、SSR\_FIFO レジスタに 0 を書いてください。



FRDRHL レジスタは、それぞれ 8 ビットの FRDRH と FRDRL からなる 16 ビットのレジスタです。

FRDRH と FRDRL は、ソフトウェアで読み出し可能なシリアル受信データと関連するステータス情報を格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

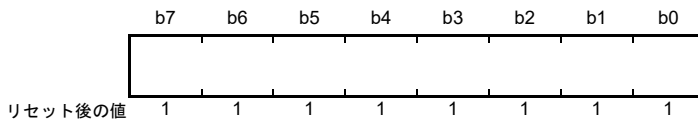
SCI は、受信データを受信シフトレジスタ (RSR) から FRDRH と FRDRL へ転送し格納することで、1 フレーム分のシリアルデータの受信動作を完了します。16 段が格納されるまで連続受信が実行されます。FRDRH と FRDRL に受信データが存在しない場合、データを読み出すと、その値は不定です。FRDRH と FRDRL がいっぱいになると、それ以降のシリアル受信データは失われます。CPU から FRDRH レジスタと FRDRL レジスタを読み出すことはできますが、書き込むことはできません。

FRDRH レジスタの RDF、ORER、または DR フラグから 1 を読むことは、SSR\_FIFO レジスタの対応するビットを読むことと同等です。FRDRH レジスタの読み出し後、SSR\_FIFO レジスタのフラグに 0 を書いてクリアする場合は、クリアするフラグにのみ 0 を書いて、他のフラグには 1 を書いてください。

FRDRH レジスタと FRDRL レジスタの両方を読み出す場合は、FRDRH から FRDRL の順に読んでください。FRDRHL レジスタは、16 ビット単位でアクセスが可能です。

### 27.2.5 送信データレジスタ (TDR)

アドレス SCI0.TDR 4007 0003h, SCI1.TDR 4007 0023h, SCI2.TDR 4007 0043h, SCI3.TDR 4007 0063h,  
SCI4.TDR 4007 0083h, SCI8.TDR 4007 0103h, SCI9.TDR 4007 0123h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

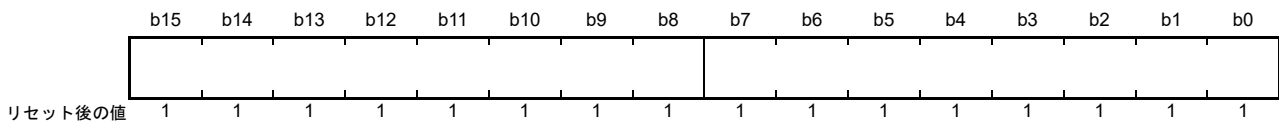
SCI は、TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データを TSR レジスタへ転送し、送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば、SCI はそれを TSR レジスタへ転送して送信を続けます。

CPU からいつでも TDR レジスタの読み出し/書き込みが可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI<sub>In</sub>\_TXI) 要求が発生するごとに 1 回だけ行ってください。

### 27.2.6 送信 9 ビットデータレジスタ (TDRHL)

アドレス SCI0.TDRHL 4007 000Eh, SCI1.TDRHL 4007 002Eh, SCI2.TDRHL 4007 004Eh, SCI3.TDRHL 4007 006Eh,  
SCI4.TDRHL 4007 008Eh, SCI8.TDRHL 4007 010Eh, SCI9.TDRHL 4007 012Eh



TDRHL レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL レジスタの下位 8 ビットは TDR レジスタのシャドールレジスタであるため、TDRHL レジスタへアクセスすると TDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL レジスタへのアクセスはしないでください。TSR レジスタに空きが検出されると、TDRHL レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDRHL レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL レジスタに次の送信データが書き込まれていれば、TDRHL レジスタから TSR レジスタへデータが転送されて、送信動作が継続します。

CPU から TDRHL レジスタの読み出し/書き込みが可能です。TDRHL[15:9] ビットは 1 に固定されているため、読むと 1 が読めます。書く場合、1 としてください。TDRHL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI<sub>In</sub>\_TXI) 要求が発生したときに 1 回だけ行ってください。

## 27.2.7 送信 FIFO データレジスタ H, L, HL (FTDRH, FTDL, FTDRHL)

### 送信 FIFO データレジスタ H (FTDRH)

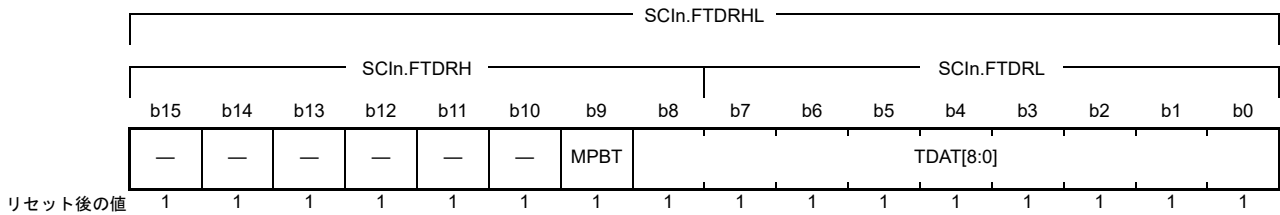
アドレス SCI0.FTDRH 4007 000Eh, SCI1.FTDRH 4007 002Eh, SCI2.FTDRH 4007 004Eh, SCI3.FTDRH 4007 006Eh,  
SCI4.FTDRH 4007 008Eh, SCI8.FTDRH 4007 010Eh, SCI9.FTDRH 4007 012Eh

### 送信 FIFO データレジスタ L (FTDL)

アドレス SCI0.FTDL 4007 000Fh, SCI1.FTDL 4007 002Fh, SCI2.FTDL 4007 004Fh, SCI3.FTDL 4007 006Fh,  
SCI4.FTDL 4007 008Fh, SCI8.FTDL 4007 010Fh, SCI9.FTDL 4007 012Fh

### 送信 FIFO データレジスタ HL (FTDRHL)

アドレス SCI0.FTDRHL 4007 000Eh, SCI1.FTDRHL 4007 002Eh, SCI2.FTDRHL 4007 004Eh, SCI3.FTDRHL 4007 006Eh,  
SCI4.FTDRHL 4007 008Eh, SCI8.FTDRHL 4007 010Eh, SCI9.FTDRHL 4007 012Eh



ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	シリアル送信データ	シリアル送信データを設定します。 調歩同期式モード（マルチプロセッサモードを含む）または クロック同期式モードにおいて、FIFO 選択時にのみ有効です。 シリアル送信データを設定します。	W
b9	MPBT	マルチプロセッサ通信ビット フラグ	送信フレーム中のマルチプロセッサビットを設定します。 0：データ送信サイクル 1：ID 送信サイクル 調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時に のみ有効です。	W
b15-b10	—	予約ビット	書く場合、1としてください。	W

FTDRHL レジスタは、8 ビットレジスタの FTDRH と FTDL からなる 16 ビットのレジスタです。

FTDRH レジスタと FTDL レジスタは、シリアル送信データとマルチプロセッサ通信ビットを格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

SCI は、送信シフトレジスタ (TSR) に空を検出すると、FTDRH と FTDL に書き込まれたデータを TSR レジスタに転送し、シリアル送信を開始します。FTDRH と FTDL に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。FTDRHL レジスタが送信データでいっぱいになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。CPU から FTDRH レジスタと FTDL レジスタに書き込むことはできますが、読み出すことはできません。

FTDRH レジスタと FTDL レジスタの両方に書き込む場合は、FTDRH から FTDL の順に書いてください。

### MPBT フラグ (マルチプロセッサ通信ビットフラグ)

MPBT フラグは、送信フレームのマルチプロセッサビットの値を指定します。FCR.FM = 1 の場合、SSR.MPBT ビットは無効です。

## 27.2.8 送信シフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI ははじめに TDR、TDRHL、または送信 FIFO から TSR レジスタへ送信データを自動転送し、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

27.2.9 非スマートカードインタフェースモード用シリアルモードレジスタ (SMR)  
(SCMR.SMIF = 0)

アドレス SCI0.SMR 4007 0000h, SCI1.SMR 4007 0020h, SCI2.SMR 4007 0040h, SCI3.SMR 4007 0060h,  
SCI4.SMR 4007 0080h, SCI8.SMR 4007 0100h, SCI9.SMR 4007 0120h

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択	b1 b0 0 0: PCLKAクロック (n = 0) (注1) 0 1: PCLKA/4クロック (n = 1) (注1) 1 0: PCLKA/16クロック (n = 2) (注1) 1 1: PCLKA/64クロック (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモード	調歩同期式モードでのみ有効です。 0: マルチプロセッサ通信機能は無効 1: マルチプロセッサ通信機能は有効	R/W (注4)
b3	STOP	ストップビット長	調歩同期式モードでのみ有効です。 0: 1ストップビット 1: 2ストップビット	R/W (注4)
b4	PM	パリティモード	PEビット = 1の場合にのみ有効です。 0: 偶数パリティを選択 1: 奇数パリティを選択	R/W (注4)
b5	PE	パリティ許可	調歩同期式モードでのみ有効です。 • 送信時 0: パリティビットを付加しない 1: パリティビットを付加する • 受信時 0: パリティビットをチェックしない 1: パリティビットをチェックする	R/W (注4)
b6	CHR	キャラクタ長	調歩同期式モードでのみ有効です。(注2) SCMR.CHR1ビットと組み合わせて送受信キャラクタ長を選択します。 CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	通信モード	0: 調歩同期式モード、または簡易IICモード 1: クロック同期式モード、または簡易SPIモード	R/W (注4)

- 注 1. nはBRRレジスタの設定値を10進表記で示します。27.2.17 ビットレートレジスタ (BRR) を参照してください。  
注 2. 調歩同期式モード以外では、本ビットの設定は無効であり、データ長は8ビット固定です。  
注 3. LSBファースト固定となり、送信モードではTDRレジスタのMSB(ビット7)は送信されません。  
注 4. SCR.TEビットとSCR.REビットが0(シリアル送信動作およびシリアル受信動作を禁止)の場合にのみ書き込み可能です。

SMR レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

#### CKS[1:0] ビット (クロック選択)

CKS[1:0] ビットは、内蔵ボーレートジェネレータのクロックソースを選択します。これらのビットの設定値とボーレートの関係については、[27.2.17 ビットレートレジスタ \(BRR\)](#) を参照してください。

#### MP ビット (マルチプロセッサモード)

MP ビットは、マルチプロセッサ通信機能を有効または無効にします。マルチプロセッサモードでは、PE および PM ビットの設定は無効です。

#### STOP ビット (ストップビット長)

STOP ビットは、送信データのストップビット長を選択します。

受信時には、本ビットの設定にかかわらず、受信したストップビットの1ビット目のみがチェックされます。2ビット目が0の場合は、次の送信フレームのスタートビットとみなされます。

#### PM ビット (パリティモード)

PM ビットは、送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。マルチプロセッサモードでは、PM ビットの設定は無効です。

#### PE ビット (パリティ許可)

PE ビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加、チェックは行いません。

#### CHR ビット (キャラクタ長)

CHR ビットは、SCMR.CHR1 ビットと組み合わせて、送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は8ビット固定です。

#### CM ビット (通信モード)

CM ビットは、通信モードを以下から選択します。

- 調歩同期式モード、または簡易 IIC モード
- クロック同期式モード、または簡易 SPI モード

## 27.2.10 スマートカードインタフェースモード用シリアルモードレジスタ (SMR\_SMCI) (SCMR.SMIF = 1)

アドレス [SCI0.SMR\\_SMCI 4007 0000h](#), [SCI1.SMR\\_SMCI 4007 0020h](#), [SCI2.SMR\\_SMCI 4007 0040h](#), [SCI3.SMR\\_SMCI 4007 0060h](#),  
[SCI4.SMR\\_SMCI 4007 0080h](#), [SCI8.SMR\\_SMCI 4007 0100h](#), [SCI9.SMR\\_SMCI 4007 0120h](#)

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	<a href="#">CKS[1:0]</a>	クロック選択	b1 b0 0 0: PCLKAクロック (n=0) (注1) 0 1: PCLKA/4クロック (n=1) (注1) 1 0: PCLKA/16クロック (n=2) (注1) 1 1: PCLKA/64クロック (n=3) (注1)	R/W (注2)
b3-b2	<a href="#">BCP[1:0]</a>	基本クロックパルス	SCMR.BCP2ビットと組み合わせて基本クロックのサイクル数を選択します。表 27.3に、SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	<a href="#">PM</a>	パリティモード	PEビット=1の場合にのみ有効です。 0: 偶数パリティを選択 1: 奇数パリティを選択	R/W (注2)
b5	<a href="#">PE</a>	パリティ許可	PEビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、本ビットを1にしてください。	R/W (注2)
b6	<a href="#">BLK</a>	ブロック転送モード	0: 非ブロック転送モードで動作 1: ブロック転送モードで動作	R/W (注2)
b7	<a href="#">GM</a>	GSMモード	0: 非GSMモードで動作 1: GSMモードで動作	R/W (注2)

注 1. nはBRRレジスタの設定値を10進表記で示します。27.2.17 [ビットレートレジスタ \(BRR\)](#) を参照してください。

注 2. SCR\_SMCI.TEビットとSCR\_SMCI.REビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR\_SMCIレジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

### [CKS\[1:0\]](#) ビット (クロック選択)

[CKS\[1:0\]](#) ビットは、内蔵ボーレートジェネレータのクロックソースを選択します。

これらのビットの設定値とボーレートの関係については、27.2.17 [ビットレートレジスタ \(BRR\)](#) を参照してください。

### [BCP\[1:0\]](#) ビット (基本クロックパルス)

[BCP\[1:0\]](#) ビットは、スマートカードインタフェースモードにおいて、1ビット転送時間中の基本クロックのサイクル数を選択します。

SCMR.BCP2ビットと組み合わせて選択します。

詳細は、27.6.4 [受信データのサンプリングタイミングと受信マージン](#)を参照してください。

表 27.3 SCMR.BCP2ビットとSMR\_SMCI.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR_SMCI.BCP[1:0]ビット	1ビット転送時間中の基本クロックのサイクル数
0	00	93クロックサイクル (S = 93) (注1)
0	01	128クロックサイクル (S = 128) (注1)
0	10	186クロックサイクル (S = 186) (注1)
0	11	512クロックサイクル (S = 512) (注1)
1	00	32クロックサイクル (S = 32) (注1) (初期値)
1	01	64クロックサイクル (S = 64) (注1)
1	10	372クロックサイクル (S = 372) (注1)
1	11	256クロックサイクル (S = 256) (注1)

注1. SはBRRレジスタのSの値を表します。27.2.17 ビットレートレジスタ (BRR) を参照してください。

#### PM ビット (パリティモード)

PM ビットは、送受信時のパリティモード (偶数パリティ/奇数パリティ) を選択します。スマートカードインタフェースモードにおける本ビットの使用方法については、27.6.2 データフォーマット (ブロック転送モード時を除く) を参照してください。

#### PE ビット (パリティ許可)

PE ビットは1にしてください。送信前、送信データにパリティビットを付加し、受信時はパリティチェックを行います。

#### BLK ビット (ブロック転送モード)

BLK ビットを1にすると、ブロック転送モードで動作します。詳細は、27.6.3 ブロック転送モードを参照してください。

#### GM ビット (GSM モード)

GM ビットを1にすると、GSM モードで動作します。GSM モードでは、SSR\_SMCI.TEND フラグのセットタイミングが、先頭ビットから11.0ETU (ETU: Elementary Time Unit = 1 ビット転送時間) に繰り上げられ、クロック出力制御機能が有効になります。詳細は、27.6.6 シリアルデータの送信 (ブロック転送モード時を除く) および27.6.8 クロック出力制御を参照してください。

## 27.2.11 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0)

アドレス SCI0.SCR 4007 0002h, SCI1.SCR 4007 0022h, SCI2.SCR 4007 0042h, SCI3.SCR 4007 0062h, SCI4.SCR 4007 0082h, SCI8.SCR 4007 0102h, SCI9.SCR 4007 0122h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	<ul style="list-style-type: none"> <li>調歩同期式モード b1 b0 0 0: 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。</li> <li>0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します。</li> <li>1 x: 外部クロック SEMR.ABCSビットが0の場合、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが1の場合、8倍の周波数のクロック信号を入力してください。</li> <li>クロック同期式モード b1 b0 0 x: 内部クロック SCKn端子はクロック出力端子となります。</li> <li>1 x: 外部クロック SCKn端子はクロック入力端子となります。</li> </ul>	R/W (注1)
b2	TEIE	送信終了割り込み許可	0: SCIn_TEI割り込み要求を禁止 1: SCIn_TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサ割り込み許可	調歩同期式モードで、SMR.MPビット = 1のとき有効です。 0: 非マルチプロセッサ受信動作 1: マルチプロセッサビットが0のデータを受信した場合、そのデータは読み飛ばし、SSRレジスタのRDRF、ORERおよびFERの各ステータスフラグを1にすることはできない。マルチプロセッサビットが1のデータを受信した場合、MPIEビットは自動的に0になり、非マルチプロセッサ受信動作に戻る	R/W (注3)
b4	RE	受信許可	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可	0: SCIn_RXIおよびSCIn_ERI割り込み要求を禁止 1: SCIn_RXIおよびSCIn_ERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可	0: SCIn_TXI割り込み要求を禁止 1: SCIn_TXI割り込み要求を許可	R/W

x: Don't care

- 注1. TEビット = 0かつREビット = 0の場合にのみ書き込み可能です。
- 注2. SMR.CMビットが1のとき、TEビット = 0かつREビット = 0の場合にのみ1の書き込みが可能です。TEビットまたはREビットを1にした後は、TEビットとREビットには0の書き込みのみが可能です。SMR.CMビットが0、かつSIMR1.IICMビットが0の場合、任意のタイミングで書き込みが可能です。
- 注3. マルチプロセッサモード (SMR.MPビット = 1) では、このレジスタのMPIEビット以外のビットに新しい値を書き込む場合、ビット操作命令を用いたときにリードモディファイライト命令によってMPIEビットが誤って1になってしまうのを防ぐため、ストア命令を用いてMPIEビットに0を書いてください。



SCR レジスタは、送受信の制御とクロックソース選択を行うためのレジスタです。

### CKE[1:0] ビット (クロック許可)

CKE[1:0] ビットは、クロックソースと SCKn 端子機能を選択します。

### TEIE ビット (送信終了割り込み許可)

TEIE ビットは、SCIn\_TEI 割り込み要求を許可または禁止します。SCIn\_TEI 割り込み要求を禁止にするには、TEIE ビットを 0 にしてください。

簡易 IIC モードでは、開始/再開/停止条件の発行完了時の割り込み (STIn 割り込み) に SCIn\_TEI 割り込みが割り当てられます。この場合、TEIE ビットによって STI 割り込み要求を許可/禁止することが可能です。

### MPIE ビット (マルチプロセッサ割り込み許可)

MPIE ビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み飛ばされて、SSR/SSR\_FIFO レジスタの RDRF、RDF、ORER および FER の各ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 にクリアされ、通常の受信動作に戻ります。詳細は、27.4 マルチプロセッサ通信機能を参照してください。

SSR レジスタの MPB ビットが 0 のときは、RSR レジスタから RDR レジスタへ受信データは転送されず、受信エラーも検出されません。また、ORER および FER フラグを 1 にすることはできません。

MPB ビットが 1 であると、MPIE ビットは自動的に 0 に設定され、SCIn\_RXI および SCIn\_ERI 割り込み要求が許可されます (SCR.RIE ビットが 1 の場合)。また、ORER および FER フラグを 1 に設定できます。

マルチプロセッサ通信機能を使用しない場合、MPIE ビットを 0 にしてください。

### RE ビット (受信許可)

RE ビットは、シリアル受信動作を許可または禁止します。RE ビットを 1 にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出することで、シリアル受信を開始します。RE ビットを 1 にする前に、SMR レジスタに受信フォーマットを設定してください。

非 FIFO 動作選択時は、RE ビットを 0 にして受信動作を停止させても、SSR レジスタの RDRF、ORER、FER、および PER の各フラグは影響を受けず、以前の値が保持されます。

FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR\_FIFO レジスタの RDF、ORER、FER、PER、および DR の各フラグは影響を受けず、以前の値が保持されます。

### TE ビット (送信許可)

TE ビットは、シリアル送信動作を許可または禁止します。

TE ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。TE ビットを 1 にする前に、SMR レジスタに送信フォーマットを設定してください。

### RIE ビット (受信割り込み許可)

RIE ビットは、SCIn\_RXI および SCIn\_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn\_RXI および SCIn\_ERI の割り込み要求は禁止されます。

SCIn\_ERI 割り込み要求の解除は、SSR/SSR\_FIFO レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

### TIE ビット (送信割り込み許可)

TIE ビットは、SCIn\_TXI 割り込み要求を許可または禁止します。

SCIn\_TXI 割り込み要求を禁止するには、TIE ビットを 0 にしてください。TE ビットが 1 のときに、TIE ビットを 1 にしてください。SCIn\_TXI 割り込みを発生させるには、転送が開始する前に TE と TIE を同時に 1 に設定してください。

## 27.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR\_SMCI) (SCMR.SMIF = 1)

アドレス [SCI0.SCR\\_SMCI 4007 0002h](#), [SCI1.SCR\\_SMCI 4007 0022h](#), [SCI2.SCR\\_SMCI 4007 0042h](#), [SCI3.SCR\\_SMCI 4007 0062h](#),  
[SCI4.SCR\\_SMCI 4007 0082h](#), [SCI8.SCR\\_SMCI 4007 0102h](#), [SCI9.SCR\\_SMCI 4007 0122h](#)

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	<a href="#">CKE[1:0]</a>	クロック許可	<ul style="list-style-type: none"> <li>SMR_SMCI.GMビット=0の場合 b1 b0 0 0: 出力を禁止 (SCKn端子は、I/Oポートの設定でセットアップすれば、入出力ポートとして使用可能です)</li> <li>0 1: クロックを出力</li> <li>1 x: 設定禁止</li> <li>SMR_SMCI.GMビット=1の場合 b1 b0 0 0: 出力をLowに固定</li> <li>x 1: クロックを出力</li> <li>1 0: 出力をHighに固定</li> </ul>	R/W (注1)
b2	<a href="#">TEIE</a>	送信終了割り込み許可	スマートカードインタフェースモードでは、本ビットを0にしてください。	R/W
b3	<a href="#">MPIE</a>	マルチプロセッサ割り込み許可	スマートカードインタフェースモードでは、本ビットを0にしてください。	R/W
b4	<a href="#">RE</a>	受信許可	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	<a href="#">TE</a>	送信許可	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	<a href="#">RIE</a>	受信割り込み許可	0: SCIn_RXIおよびSCIn_ERI割り込み要求を禁止 1: SCIn_RXIおよびSCIn_ERI割り込み要求を許可	R/W
b7	<a href="#">TIE</a>	送信割り込み許可	0: SCIn_TXI割り込み要求を禁止 1: SCIn_TXI割り込み要求を許可	R/W

x : Don't care

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

注2. TEビット=0かつREビット=0の場合にのみ1の書き込みが可能です。TEビットまたはREビットを1にした後は、TEビットとREビットには0の書き込みのみが可能です。

SCR\_SMCIレジスタは、送受信制御、割り込み制御、および送受信のクロックソース選択を行うためのレジスタです。

各割り込み要求については、[27.10 割り込み要因](#)を参照してください。

### [CKE\[1:0\]](#) ビット (クロック許可)

CKE[1:0]ビットは、SCKn端子からのクロック出力を制御します。

GSMモードでは、クロック出力を動的に切り替えることが可能です。詳細は、[27.6.8 クロック出力制御](#)を参照してください。

### [TEIE](#) ビット (送信終了割り込み許可)

スマートカードインタフェースモードでは、TEIEビットを0にしてください。

**MPIE ビット (マルチプロセッサ割り込み許可)**

スマートカードインタフェースモードでは、MPIE ビットを 0 にしてください。

**RE ビット (受信許可)**

RE ビットは、シリアル受信動作を許可または禁止します。

RE ビットを 1 にすると、スタートビットを検出することでシリアル受信を開始します。RE ビットを 1 にする前に、SMR\_SMCI レジスタに受信フォーマットを設定してください。

RE ビットを 0 にして受信動作を停止しても、SSR\_SMCI レジスタの ORER、FER、および PER の各フラグは影響を受けず、以前の値を保持します。

**TE ビット (送信許可)**

TE ビットは、シリアル送信動作を許可または禁止します。TE ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。TE ビットを 1 にする前に、SMR\_SMCI レジスタに送信フォーマットを設定してください。

**RIE ビット (受信割り込み許可)**

RIE ビットは、SCIn\_RXI および SCIn\_ERI 割り込み要求を許可または禁止します。RIE ビットを 0 にすると、SCIn\_RXI および SCIn\_ERI の割り込み要求は禁止されます。

SCIn\_ERI 割り込み要求の解除は、SSR\_SMCI レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

**TIE ビット (送信割り込み許可)**

TIE ビットは、SCIn\_TXI 割り込み要求を許可または禁止します。

SCIn\_TXI 割り込み要求を禁止にするには、TIE ビットを 0 にしてください。TE ビットが 1 のときに、TIE ビットを 1 にしてください。SCIn\_TXI 割り込みを発生させるには、転送が開始する前に TE ビットと TIE ビットを同時に 1 に設定してください。

### 27.2.13 非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0)

アドレス SCI0.SSR 4007 0004h, SCI1.SSR 4007 0024h, SCI2.SSR 4007 0044h, SCI3.SSR 4007 0064h, SCI4.SSR 4007 0084h, SCI8.SSR 4007 0104h, SCI9.SSR 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	送信フレーム中のマルチプロセッサビットの値を設定します。 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサ	受信フレーム中のマルチプロセッサビットの値を設定します。 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R/(W) (注1)

注1. フラグをクリアするため、1を読んだ後に0を書き込むことのみ可能です。

SSR レジスタは、SCI ステータスフラグと送受信マルチプロセッサビットを設定するためのレジスタです。

#### MPBT ビット (マルチプロセッサビット転送)

MPBT ビットは、送信フレームのマルチプロセッサビットの値を設定します。

#### MPB ビット (マルチプロセッサ)

MPB ビットは、受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが0のときは変化しません。

#### TEND フラグ (送信終了フラグ)

TEND フラグは、送信が終了したことを示します。

[1になる条件]

- SCR.TE ビットが0 (シリアル送信動作を禁止)、かつ FCR.FM ビットが0 (非 FIFO 選択時) のとき  
SCR.TE ビットが1のときは、TEND フラグは影響を受けず、1の値を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されないとき

[0になる条件]

- SCR.TE ビットが1の状態、TDR レジスタに送信データを書いたとき
- SCR.TE ビットが1の状態、TDRE = 1を読んだ後、TDRE に0を書いたとき

### PER フラグ (パリティエラーフラグ)

PER フラグは、調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、パリティエラーが検出されたとき

パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCI<sub>In</sub>\_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

PER フラグに 0 を書いた後は、PER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

### FER フラグ (フレーミングエラーフラグ)

FER フラグは、調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、ストップビットとして 0 がサンプリングされたとき

2 ストップビットモードでは、ストップビットの 1 ビット目のみがチェックされます。2 ビット目はチェックされません。フレーミングエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCI<sub>In</sub>\_RXI 割り込み要求は発生しません。FER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

FER フラグに 0 を書いた後は、FER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、FER フラグは影響を受けず、以前の値を保持します。

### ORER フラグ (オーバーランエラーフラグ)

ORER フラグは、受信中にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーもフレーミングエラーもない受信データを読み出す前に、次のデータを受信したとき

オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。クロック同期式モードでは、シリアル送受信は停止します。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

ORER フラグに 0 を書いた後は、ORER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、ORER フラグは影響を受けず、以前の値を保持します。

**RDRF フラグ (受信データフルフラグ)**

RDRF フラグは、RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを読み出したとき

注. 通信が中断しない限り、SSR レジスタの RDRF ビットにアクセスすることによって RDRF フラグをクリアしないでください。

**TDRE フラグ (送信データエンptyフラグ)**

TDRE フラグは、TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.TE ビットが 1 の状態で、データを TDR レジスタに書き込んだとき

注. 通信が中断しない限り、SSR レジスタの TDRE にアクセスすることによって TDRE フラグをクリアしないでください。

## 27.2.14 非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ (SSR\_FIFO) (SCMR.SMIF = 0 および FCR.FM = 1)

アドレス SCI0.SSR\_FIFO 4007 0004h, SCI1.SSR\_FIFO 4007 0024h, SCI2.SSR\_FIFO 4007 0044h, SCI3.SSR\_FIFO 4007 0064h, SCI4.SSR\_FIFO 4007 0084h, SCI8.SSR\_FIFO 4007 0104h, SCI9.SSR\_FIFO 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDFE	RDF	ORER	FER	PER	TEND	—	DR
リセット後の値	1	0	0	0	0	0	x	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ	0: 受信中であるか、または正常に受信を完了した後、FRDRHLに受信データが残っていない(受信FIFOが空である) 1: FIFOに格納されているデータ量が受信トリガ数以下であるとき、正常に受信を完了した後、次の受信データが一定期間来ない	R/(W) (注1)
b1	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R/(W) (注1)
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b6	RDF	受信FIFOデータフルフラグ	0: FRDRHLに書き込まれた受信データ量が指定された受信トリガ数より少ない 1: FRDRHLに書き込まれた受信データ量が指定された受信トリガ数以上である	R/(W) (注1)
b7	TDFE	送信FIFOデータエンptyフラグ	0: FTDRHLに書き込まれた送信データ量が指定された送信トリガ数を超過している 1: FTDRHLに書き込まれた送信データ量が指定された送信トリガ数以下である	R/(W) (注1)

注1. フラグをクリアするため、1を読んだ後に0を書き込むことのみ可能です。

SSR\_FIFO レジスタは、FIFO モード用のステータスフラグのためのレジスタです。

### DR フラグ (受信データレディフラグ)

DR フラグは、受信 FIFO データレジスタ (FRDRHL) に格納されたデータ量が指定された受信トリガ数より少ないこと、および、調歩同期式モードにおいて最後のストップビットから 15ETU (Elementary Time Unit) 経過しても次のデータが受信されていないことを示します。本フラグは、調歩同期式モード (マルチプロセッサモードを含む) において、FIFO 選択時にのみ有効です。クロック同期式モードでは、DR フラグは 1 になりません。

[1 になる条件]

- FRDRHL 内のデータ数が指定された受信トリガ数より少なく、最後のストップビットから 15ETU (注1) 経過しても次のデータが受信されておらず、かつ SSR\_FIFO.FER および SSR\_FIFO.PER フラグが 0 のとき

[0 になる条件]

- 受信データをすべて読み出した後、DR フラグから 1 を読み出したとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

注 1. 15ETU は、8 ビットフォーマットで 1 ストップビットが選択されている場合の 1.5 フレーム分に相当します。DR フラグは、調歩同期式モード（マルチプロセッサモードを含む）において、FIFO 選択時にのみ 1 になります。他の動作モードでは 1 になりません。

### TEND フラグ（送信終了フラグ）

TEND フラグは、シリアルキャラクタの最後尾ビットの送信時に、FTDRHL レジスタに有効なデータがなく、送信が停止したことを示します。

[1 になる条件]

- 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に、FTDRHL レジスタに送信データがないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、FTDRHL レジスタに送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TEND から 1 を読んだ後、TEND に 0 を書いたとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

### PER フラグ（パリティエラーフラグ）

PER フラグは、アドレス一致検出機能が無効（DCCR.DCME = 0）のとき、調歩同期式モードで FRDRHL レジスタから読み出したデータにパリティエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効（DCCR.DCME = 0）の状態で、データ受信時にパリティエラーが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

データ受信中にパリティエラーが発生しても、受信動作は継続し、受信データが FRDRHL レジスタに格納されます。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず、以前の値を保持します。

### FER フラグ（フレーミングエラーフラグ）

FER フラグは、アドレス一致検出機能が無効（DCCR.DCME = 0）のとき、調歩同期式モードで FRDRHL レジスタから読み出したデータにフレーミングエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効（DCCR.DCME = 0）の状態で、受信時にストップビットとして 0 がサンプリングされたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

データ受信中にフレーミングエラーが発生しても、受信動作は継続し、受信データが FRDRHL レジスタに格納されます。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、FER フラグは影響を受けず、以前の値を保持します。

### ORER フラグ（オーバーランエラーフラグ）

ORER フラグは、オーバーランエラーの発生が原因で受信動作が異常停止したことを示します。

[1 になる条件]

- 受信 FIFO が 16 バイトの受信データでいっぱいになった状態で、次のシリアル受信を完了したとき



[0 になる条件]

- 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、ORER フラグは影響を受けず、以前の値を保持します。

#### RDF フラグ (受信 FIFO データフルフラグ)

RDF フラグは、受信データが FRDRHL レジスタへ転送されて、FRDRHL のデータ量が指定された受信トリガ数と等しいか、または超えたことを示します。RTRG が 0 の場合は、受信 FIFO のデータ量が 0 であっても、RDF フラグはセットされません。

[1 になる条件]

- 指定された受信トリガ数以上の受信データ量が FRDRHL レジスタ (注 1) に格納され、かつ FIFO が空状態でないとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- FRDRHL レジスタが DMAC または DTC によって読み出されたとき (ブロック転送が最終送信の場合のみ)
- 1 になる条件と 0 になる条件が同時に発生したとき

この場合、RDF フラグは 0 になります。その後、FRDRHL レジスタに格納されたデータ量が RTRG の値以上になると、1PCLKA 後に RDF フラグは 1 になります。

注 . 通信が中断しない限り、受信データを読み出す前に SSR レジスタの RDF にアクセスすることによって RDF フラグをクリアしないでください。

注 1. FRDRHL は 16 段の FIFO レジスタであるため、RDF が 1 のときに読み出し可能な最大データ量は、指定された受信トリガ数と同等です。FRDRHL 内のデータをすべて読み出した後に、さらに読み出しを実行すると、不定値が読み出されます。

#### TDFE フラグ (送信 FIFO データエンptyフラグ)

TDFE フラグは、データが FTDRHL レジスタから TSR レジスタへ転送されて、FTDRHL のデータ量が指定された送信トリガ数を下回り、FTDRHL への送信データの書き込みが可能になったことを示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- FTDRHL に書き込まれた送信データ量が、指定された送信トリガ数以下であるとき (注 1)

[0 になる条件]

- DMAC または DTC が起動している状態で、最終送信に対する FTDRHL への書き込みが実行されたとき
- 1 を読んだ後、0 を書いたとき  
TE = 0 のときは、1 になる条件が優先されます。1 になる条件と 0 になる条件が同時に発生した場合、TDFE フラグは 0 になります。その後、FTDRHL レジスタに格納されたデータ量が TTRG の値と同じまたは以下になると、1PCLKA 後に TDFE フラグは 1 になります。

注 . 通信が中断しない限り、送信データを書き込む前に SSR レジスタの TDFE にアクセスすることによって TDFE フラグをクリアしないでください。

注 1. FTDRHL レジスタは 16 段の FIFO レジスタであるため、TDFE フラグが 1 のときに FTDRHL レジスタに書き込み可能なデータの最大バイト数は 16 - FDR.T[4:0] になります。さらにデータを書き込んでも、そのデータは破棄されます。

## 27.2.15 スマートカードインタフェースモード用シリアルステータスレジスタ (SSR\_SMCI) (SCMR.SMIF = 1)

アドレス SCI0.SSR\_SMCI 4007 0004h, SCI1.SSR\_SMCI 4007 0024h, SCI2.SSR\_SMCI 4007 0044h, SCI3.SSR\_SMCI 4007 0064h, SCI4.SSR\_SMCI 4007 0084h, SCI8.SSR\_SMCI 4007 0104h, SCI9.SSR\_SMCI 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	スマートカードインタフェースモードでは、本ビットを0にしてください。	R/W
b1	MPB	マルチプロセッサ	スマートカードインタフェースモードでは、本ビットを0にしてください。	R
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLowをサンプリングしない 1: エラーシグナルLowをサンプリングする	R/(W) (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R/(W) (注1)
b7	TDRE	送信データエンティフラグ	0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R/(W) (注1)

注1. フラグをクリアするため、1を読んだ後に0を書き込むことのみ可能です。

SSR\_SMCI レジスタは、スマートカードインタフェースモード用のステータスフラグのためのレジスタです。

### TEND フラグ (送信終了フラグ)

受信側からエラー信号がなく、次の送信データが TDR レジスタに転送可能となったとき、TEND フラグは1になります。

[1になる条件]

- SCR\_SMCI.TE ビット = 0 (シリアル送信動作を禁止) のとき

SCR\_SMCI.TE ビットを0から1に変更しても、TEND フラグは影響を受けず、1の値を保持します。

- 1バイトのデータを送信してから指定した期間が経過した後、ERS フラグが0で、かつ TDR レジスタが更新されないとき

1になるタイミングは、以下のように、レジスタの設定値によって決定されます。

- SMR\_SMCI.GM = 0, SMR\_SMCI.BLK = 0 のとき、送信開始から 12.5ETU 経過後
- SMR\_SMCI.GM = 0, SMR\_SMCI.BLK = 1 のとき、送信開始から 11.5ETU 経過後
- SMR\_SMCI.GM = 1, SMR\_SMCI.BLK = 0 のとき、送信開始から 11.0ETU 経過後
- SMR\_SMCI.GM = 1, SMR\_SMCI.BLK = 1 のとき、送信開始から 11.0ETU 経過後

[0になる条件]

- SCR\_SMCI.TE ビットが1の状態、TDR レジスタに送信データを書いたとき

- SCR\_SMCI.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

#### PER フラグ (パリティエラーフラグ)

PER フラグは、調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき

パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn\_RXI 割り込み要求は発生しません。PER フラグが 1 になった後は、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

PER フラグに 0 を書いた後は、PER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR\_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

#### ERS フラグ (エラーシグナルステータスフラグ)

[1 になる条件]

- エラーシグナル Low をサンプリングしたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

#### ORER フラグ (オーバーランエラーフラグ)

ORER フラグは、受信中にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーのない受信データを読み出す前に、次のデータを受信したとき

オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

ORER フラグに 0 を書いた後は、ORER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR\_SMCI.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

#### RDRF フラグ (受信データフルフラグ)

RDRF フラグは、RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを読み出したとき

注. 通信が中断しない限り、SSR レジスタの RDRF にアクセスすることによって RDRF フラグをクリアしないでください。

**TDRE フラグ (送信データエンプティフラグ)**

TDRE フラグは、TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR\_SMCI.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR\_SMCI.TE ビットが 1 の状態で、データを TDR レジスタに書き込んだとき

注. 通信が中断しない限り、SSR レジスタの TDRE にアクセスすることによって TDRE フラグをクリアしないでください。

## 27.2.16 スマートカードモードレジスタ (SCMR)

アドレス SCI0.SCMR 4007 0006h, SCI1.SCMR 4007 0026h, SCI2.SCMR 4007 0046h, SCI3.SCMR 4007 0066h,  
SCI4.SCMR 4007 0086h, SCI8.SCMR 4007 0106h, SCI9.SCMR 4007 0126h

b7	b6	b5	b4	b3	b2	b1	b0	
BCP2	—	—	CHR1	SDIR	SINV	—	SMIF	
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモード選択	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、または簡易IICモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	SINV	送受信データ反転	0: TDRレジスタはそのまま送信。受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信。受信データを反転してRDRレジスタに格納 以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード (マルチプロセッサモードを含む) • クロック同期式モード • 簡易SPIモード 簡易IICモードで動作させる場合は、SINVビットを0にしてください。	R/W (注1)
b3	SDIR	送受信データ転送方向	0: LSBファースト転送 1: MSBファースト転送 このビットは以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード (マルチプロセッサモードを含む) • クロック同期式モード • 簡易SPIモード 簡易IICモードで動作させる場合は、SDIRビットを1にしてください。	R/W (注1)
b4	CHR1	キャラクタ長1	調歩同期式モードでのみ有効です。(注2) SMR.CHRビットと組み合わせて送受信キャラクタ長を選択します。 CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注1)
b6-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b7	BCP2	基本クロックパルス2	SMR_SMCI.BCP[1:0]ビットと組み合わせて基本クロックのサイクル数を選択します。 表 27.4に、SCMR.BCP2ビットとSMR_SMCI.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1. SCR/SCR\_SMCI レジスタの TE ビットと RE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

注2. 調歩同期式モード以外では、本ビットの設定は無効であり、データ長は8ビット固定となります。

注3. LSBファーストを選択する必要があります。TDRレジスタのMSB (ビット7) の値は送信されません。

SCMRレジスタは、スマートカードインタフェースと通信フォーマットを選択するためのレジスタです。

**SMIF ビット (スマートカードインタフェースモード選択)**

SMIF ビットを1にすると、スマートカードインタフェースモードが選択されます。SMIF ビットを0にすると、下記のすべてのモードが選択されます。

- マルチプロセッサモードを含む調歩同期式モード
- クロック同期式モード
- 簡易 SPI モード
- 簡易 IIC モード

**SINV ビット (送受信データ反転)**

SINV ビットは、送受信データのロジックレベルを反転します。本ビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR または SMR\_SMCI レジスタの PM ビットを反転してください。

**CHR1 ビット (キャラクタ長 1)**

CHR1 ビットは、SMR レジスタの CHR ビットと組み合わせて、送受信データのデータ長を選択します。調歩同期式モード以外では、データ長は 8 ビット固定です。

**BCP2 ビット (基本クロックパルス 2)**

BCP2 ビットは、スマートカードインタフェースモードにおける、1 ビット転送時間中の基本クロックのサイクル数を選択します。SMR\_SMCI.BCP[1:0] ビットと組み合わせて設定します。

表 27.4 SCMR.BCP2 ビットと SMR\_SMCI.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0] ビット	1 ビット転送時間中の基本クロックのサイクル数
0	00	93クロックサイクル (S = 93) (注1)
0	01	128クロックサイクル (S = 128) (注1)
0	10	186クロックサイクル (S = 186) (注1)
0	11	512クロックサイクル (S = 512) (注1)
1	00	32クロックサイクル (S = 32) (注1) (初期値)
1	01	64クロックサイクル (S = 64) (注1)
1	10	372クロックサイクル (S = 372) (注1)
1	11	256クロックサイクル (S = 256) (注1)

注1. Sについては、27.2.17 ビットレートレジスタ (BRR) を参照してください。

### 27.2.17 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 4007 0001h, SCI1.BRR 4007 0021h, SCI2.BRR 4007 0041h, SCI3.BRR 4007 0061h, SCI4.BRR 4007 0081h, SCI8.BRR 4007 0101h, SCI9.BRR 4007 0121h



BRR レジスタは、ビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を表 27.5 に示します。

BRR レジスタの初期値は FFh です。BRR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR\_SMCI レジスタの TE および RE ビットが 0 の場合にのみ可能です。

表 27.5 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定値			BRR レジスタの設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKA \times 10^6}{B \times 64 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLKA \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKA \times 10^6}{B \times 32 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLKA \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKA \times 10^6}{B \times 16 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLKA \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKA \times 10^6}{B \times 12 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI				$N = \frac{PCLKA \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	-
スマートカードインタフェース				$N = \frac{PCLKA \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKA \times 10^6}{B \times S \times 2^{2n+1} \times (N + 1)} - 1 \right\} \times 100$
簡易 IIC (注1)				$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	-

B : ビットレート (bps)

N : 内蔵ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

PCLKA : 動作周波数 (MHz)

n および S : 表 27.7 および表 27.8 に示すように、SMR/SMR\_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. 簡易 IIC モードでは、SCLn 出力の High/Low 幅が I<sup>2</sup>C パス規格を満たすように、ビットレートを調整してください。

表 27.6 SCL High/Low幅算出式

モード	SCL	算出式 (結果は秒単位)
簡易IIC	High幅 (min値)	$(N + 1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLKA \times 10^6}$
	Low幅 (min値)	$(N + 1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLKA \times 10^6}$

表 27.7 クロックソースの設定

SMR/SMR_SMCI.CKS[1:0] ビットの設定	クロックソース	n
CKS[1:0]ビット		
0 0	PCLKAクロック	0
0 1	PCLKA/4クロック	1
1 0	PCLKA/16クロック	2
1 1	PCLKA/64クロック	3

表 27.8 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR_SMCI.BCP[1:0] ビットの設定	1ビット期間中の 基本クロックのサイクル数	S
0	0 0	93クロックサイクル	93
0	0 1	128クロックサイクル	128
0	1 0	186クロックサイクル	186
0	1 1	512クロックサイクル	512
1	0 0	32クロックサイクル	32
1	0 1	64クロックサイクル	64
1	1 0	372クロックサイクル	372
1	1 1	256クロックサイクル	256

通常の調歩同期式モードにおける、BRRレジスタ値Nの設定例を表 27.9 と表 27.10 に示します。各動作周波数において選択可能な最大ビットレートを表 27.11 に示します。また、スマートカードインタフェースモードにおける、BRRレジスタ値Nの設定例を表 27.15 に示します。

簡易IICモードにおける、BRRレジスタ値Nの設定例を表 27.17 に示します。スマートカードインタフェースモードでは、1ビット転送時間における基本クロックのサイクル数Sを選択できます。詳細は、[27.6.4 受信データのサンプリングタイミングと受信マージン](#)を参照してください。また、[表 27.12](#) と [表 27.14](#) に、外部クロック入力時の最大ビットレートを示します。

調歩同期式モードにおいて、シリアル拡張モードレジスタ (SEMR) の調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれか一方を1にした場合、ビットレートは[表 27.16](#)に記載された値の2倍になります。両ビットとも1にした場合、ビットレートは記載値の4倍になります。



表 27.9 各ビットレートに対するBRRの設定例 (調歩同期式モード) (1)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLKA (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、およびSEMR.BGDM = 0の場合を示しています。  
 ABCSビットまたはBGDMビットのいずれか一方を1にした場合は、ビットレートが2倍になります。  
 ABCSおよびBGDMを両方に1にした場合は、ビットレートが4倍になります。

表 27.10 各ビットレートに対するBRRの設定例 (調歩同期式モード) (2)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

ビット レート (bps)	動作周波数PCLKA (MHz)								
	50			60			120		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	221	-0.02	—	—	—	—	—	—
150	3	162	-0.15	3	194	0.16	—	—	—
300	3	80	0.47	3	97	-0.35	3	194	0.16
600	2	162	-0.15	3	48	-0.35	3	97	-0.35
1200	2	80	0.47	2	97	-0.35	3	48	-0.35
2400	1	162	-0.15	2	48	-0.35	2	97	-0.35
4800	1	80	0.47	1	97	-0.35	2	48	-0.35
9600	0	162	-0.15	1	48	-0.35	1	97	-0.35
19200	0	80	0.47	0	97	-0.35	1	48	-0.35
31250	0	49	0.00	0	59	0.00	0	119	0
38400	0	40	-0.76	0	48	-0.35	0	97	-0.35

注 . この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。  
 ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。  
 ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 27.11 各動作周波数における最大ビットレート (調歩同期式モード) (1/2)

PCLKA (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)	PCLKA (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250000	16	0	0	0	0	0	500000
		1	0	0	0	500000			1	0	0	0	1000000
	1	0	0	0	0	1000000		1	0	0	0	0	2000000
		1	0	0	0				1	0	0	0	
Don't care	Don't care	1	0	0	1333333	Don't care	Don't care	1	0	0	2666666		
9.8304	0	0	0	0	0	307200	17.2032	0	0	0	0	0	537600
		1	0	0	0	614400			1	0	0	0	1075200
	1	0	0	0	0	1228800		1	0	0	0	0	2150400
		1	0	0	0				1	0	0	0	
Don't care	Don't care	1	0	0	1638400	Don't care	Don't care	1	0	0	2867200		
10	0	0	0	0	0	312500	18	0	0	0	0	0	562500
		1	0	0	0	625000			1	0	0	0	1125000
	1	0	0	0	0	1250000		1	0	0	0	0	2250000
		1	0	0	0				1	0	0	0	
Don't care	Don't care	1	0	0	1666666	Don't care	Don't care	1	0	0	3000000		
12	0	0	0	0	0	375000	19.6608	0	0	0	0	0	614400
		1	0	0	0	750000			1	0	0	0	1228800
	1	0	0	0	0	1500000		1	0	0	0	0	2457600
		1	0	0	0				1	0	0	0	
Don't care	Don't care	1	0	0	2000000	Don't care	Don't care	1	0	0	3276800		
12.288	0	0	0	0	0	384000	20	0	0	0	0	0	625000
		1	0	0	0	768000			1	0	0	0	1250000
	1	0	0	0	0	1536000		1	0	0	0	0	2500000
		1	0	0	0				1	0	0	0	
Don't care	Don't care	1	0	0	2048000	Don't care	Don't care	1	0	0	3333333		
14	0	0	0	0	0	437500	25	0	0	0	0	0	781250
		1	0	0	0	875000			1	0	0	0	1562500
	1	0	0	0	0	1750000		1	0	0	0	0	3125000
		1	0	0	0				1	0	0	0	
Don't care	Don't care	1	0	0	2333333	Don't care	Don't care	1	0	0	4166666		
30	0	0	0	0	0	937500	50	0	0	0	0	0	1562500
		1	0	0	0	1875000			1	0	0	0	3125000
	1	0	0	0	0	3750000		1	0	0	0	0	6250000
		1	0	0	0				1	0	0	0	
Don't care	Don't care	1	0	0	5000000	Don't care	Don't care	1	0	0	8333333		

表 27.11 各動作周波数における最大ビットレート (調歩同期式モード) (2/2)

PCLKA (MHz)	SEMRレジスタの設定値					最大ビットレート (bps)	PCLKA (MHz)	SEMRレジスタの設定値					最大ビットレート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
33	0	0	0	0	0	1031250	60	0	0	0	0	0	1875000
		1	0	0	0	2062500			1	0	0	0	0
	1	0	0	0	0	4125000		1	0	0	0	0	7500000
		1	0	0	0				0	0	0		
	Don't care	Don't care	1	0	0	5500000		Don't care	Don't care	1	0	0	10000000
40	0	0	0	0	0	1250000	120	0	0	0	0	0	3750000
		1	0	0	0	2500000			1	0	0	0	0
	1	0	0	0	0	5000000		1	0	0	0	0	15000000
		1	0	0	0				0	0	0		
	Don't care	Don't care	1	0	0	6666666		Don't care	Don't care	1	0	0	20000000

表 27.12 外部クロック入力時の最大ビットレート (調歩同期式モード)

PCLKA (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCS ビット = 0	SEMR.ABCS ビット = 1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000
50	12.5000	781250	1562500
60	15.0000	937500	1875000
120	30.0000	1875000	3750000

表 27.13 各ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード)

ビット レート (bps)	動作周波数PCLKA (MHz)																					
	8		10		16		20		25		30		33		40		50		60		120	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																						
250	3	124	—	—	3	249																
500	2	249	—	—	3	124	—	—			3	233										
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	155	3	194	3	233		
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249	3	77	3	93	3	186
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124	2	155	3	46	3	93
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249	2	77	2	93	3	46
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99	1	124	1	149	2	74
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49	1	61	1	74	1	149
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99	0	124	0	149	1	74
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39	0	49	0	59	1	29
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19	0	24	0	29	1	14
1M	0	1			0	3	0	4	—	—	—	—	—	—	0	9	—	—	0	14	0	29
2.5M			0	0 (注1)			0	1	—	—	0	2	—	—	0	3	0	4	0	5	0	11
5M							0	0 (注1)	—	—	—	—	—	—	0	1	—	—	0	2	0	5
7.5M											0	0 (注1)							0	1	0	3
10M															0	0 (注1)					0	2

空欄：設定禁止

—：設定可能ですが誤差が生じます。

注 1. 連続送受信はできません。1フレームの送受信後、次のフレームの送受信を開始するまでに1ビット期間の間隔が空きます。すなわち、同期クロックの出力が1ビット期間停止します。そのため、1フレーム(8ビット)のデータ転送に9ビット分の時間がかかり、平均転送レートはビットレートの8/9倍になります。FIFO選択時は、この設定(BRR = 00h かつ SMR.CKS[1:0] = 00b)は利用できません。

表 27.14 外部クロック入力時の最大ビットレート (クロック同期式モード、簡易SPIモード)

PCLKA (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333333
10	1.6667	1.6666667
12	2.0000	2.0000000
14	2.3333	2.3333333
16	2.6667	2.6666667
18	3.0000	3.0000000
20	3.3333	3.3333333
25	4.1667	4.1666667
30	5.0000	5.0000000
33	5.5000	5.5000000
40	6.6667	6.6666667
50	8.3333	8.3333333
60	10.0000	10.0000000
120	20.0000 (クロック同期式モード)	20.0000000
	10.0000 (簡易SPIモード)	10.0000000

表 27.15 各ビットレートに対するBRRの設定例 (スマートカードインタフェースモード、n = 0, S = 372の場合)

ビットレート (bps)	動作周波数PCLKA (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bps)	動作周波数PCLKA (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.66

ビットレート (bps)	動作周波数PCLKA (MHz)											
	25.00			30.00			33.00			40.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59	0	5	-6.66

ビットレート (bps)	動作周波数PCLKA (MHz)								
	50.00			60.00			120.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	6	0.01	0	7	5.01	0	16	-1.17

表 27.16 各動作周波数における最大ビットレート (スマートカードインタフェースモード、S = 32の場合)

PCLKA (MHz)	最大ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0
50.00	781250	0	0
60.00	937500	0	0
120.00	1875000	0	0

表 27.17 各ビットレートに対するBRRの設定例 (簡易IICモード)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	30	0.8	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	5	4.2	1	7	-2.3
50k	0	4	0.0	0	5	4.2	1	2	-16.7	1	2	4.2	1	3	-2.3
100k (注1)	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	0	25	0	1	0.0	0	2	-16.7	0	2	4.2
350k										0	1	-10.7	0	1	11.6 (注2)
400k (注1)										0	1	-21.9	0	1	-2.3 (注2)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	30			33			40			50			60		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	22	1.9	1	25	-0.8	0	124	0.0	2	9	-2.3	1	46	-0.3
25k	1	8	4.2	1	9	3.1	0	49	0.0	2	3	-2.3	0	74	0.0
50k	1	4	-6.3	1	4	3.1	0	24	0.0	2	1	-2.3	0	37	-1.3
100k (注1)	1	2	-21.9	1	2	-14.1	0	12	-3.9	1	3	-2.3	0	18	-1.3
250k	0	3	-6.3	0	3	3.1	0	4	0.0	0	5	4.2	0	7	-6.3
350k	0	2	-10.7	0	2	-1.8	0	3	-10.7	0	4	-10.7	0	4	7.1
400k (注1)	0	1	17.2	0	2	-14.1	0	2	4.2	0	3	-2.3 (注2)	0	4	-6.3

ビット レート (bps)	動作周波数PCLKA (MHz)		
	120		
	n	N	誤差 (%)
10k	1	93	-0.3
25k	0	149	0.0
50k	0	74	0.0
100k (注1)	0	37	-1.3
250k	0	14	0.0
350k	0	10	-2.6
400k (注1)	0	8	-6.3

注 1. 100kbps と 400kbps のビットレートは、設定値の誤差が負の側にあることを意味しています。  
 注 2. Low 幅の最小値は、ファストモードでの標準値である 1.3μs 未満です。

表 27.18 各ビットレート設定でのSCL High/Low幅最小値 (簡易IICモード)

ビット レート (bps)	動作周波数PCLKA (MHz)											
	8			10			16			20		
	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	1	12	45.5/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	5	16.80/19.20
50k	0	4	8.75/10.00	0	5	8.40/9.60	1	2	10.50/12.00	1	2	8.40/9.60
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.38/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60
400k										0	1	1.40/1.60

ビット レート (bps)	動作周波数PCLKA (MHz)											
	25			30			33			40		
	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)
10k	1	19	44.80/51.20	1	22	42.93/49.60	1	25	44.12/50.42	0	124	43.75/50.00
25k	1	7	17.92/20.48	1	8	16.80/19.20	1	9	16.97/19.39	0	49	17.50/20.00
50k	1	3	8.96/10.24	1	4	9.33/10.66	1	4	8.48/9.70	0	24	8.75/10.00
100k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.82	0	12	4.55/5.20
250k	0	2	1.68/1.92	0	3	1.86/2.13	0	3	1.70/1.94	0	4	1.75/2.00
350k	0	1	1.12/1.28 (注1)	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60
400k	0	1	1.12/1.28 (注1)	0	1	0.93/1.07 (注1)	0	2	1.27/1.45	0	2	1.05/1.20

ビット レート (bps)	動作周波数PCLKA (MHz)								
	50			60			120		
	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)
10k	2	9	44.80/51.20	1	46	43.87/50.13	1	93	43.87/50.13
25k	2	3	17.92/20.48	0	74	17.50/20.00	0	149	17.50/20.00
50k	2	1	8.96/10.24	0	37	8.87/10.13	0	74	8.75/10.00
100k	1	3	4.48/5.12	0	18	4.43/5.07	0	37	4.43/5.07
250k	0	5	1.68/1.92	0	7	1.87/2.13	0	14	1.75/2.00
350k	0	4	1.40/1.60	0	4	1.17/1.33	0	10	1.28/1.47
400k	0	3	1.12/1.28	0	4	1.17/1.33	0	8	1.05/1.20

注 1. Low 幅の最小値は、ファストモードでの標準値である 1.3μs 未満です。  
設定値は表 27.17 と同一です。



27.2.18 モジュレーションデューティレジスタ (MDDR)

アドレス SCI0.MDDR 4007 0012h, SCI1.MDDR 4007 0032h, SCI2.MDDR 4007 0052h, SCI3.MDDR 4007 0072h, SCI4.MDDR 4007 0092h, SCI8.MDDR 4007 0112h, SCI9.MDDR 4007 0132h



MDDR レジスタは、BRR レジスタで調整されたビットレートを補正するためのレジスタです。

SEMR.BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR レジスタの設定に応じて均一に補正されます (M/256)。MDDR レジスタの設定値 M とビットレート B の関係を表 27.19 に示します。

MDDR レジスタの初期値は FFh です。ビット 7 は 1 に固定されています。MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR\_SMCI レジスタの TE ビットと RE ビットが 0 の場合にのみ可能です。

表 27.19 ビットレートモジュレーション機能使用時のMDDRレジスタ設定値MとビットレートBの関係

モード	SEMR レジスタの設定値			BRR レジスタの設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式 マルチプロ セッサ通信	0	0	0	$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKA \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLKA \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKA \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLKA \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKA \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLKA \times 10^6}{12 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKA \times 10^6}{B \times 12 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLKA \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKA \times 10^6}{B \times 8 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
クロック同期式、簡易SPI (注1)				$N = \frac{PCLKA \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	—
スマートカードインタフェース				$N = \frac{PCLKA \times 10^6}{S \times 2^{2n+1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKA \times 10^6}{B \times S \times 2^{2n+1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
簡易IIC (注2)				$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	—

B : ビットレート (bps)

M : MDDR レジスタの設定値 (128 ≤ MDDR ≤ 255)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

PCLKA : 動作周波数 (MHz)

n および S : 「27. ビットレートレジスタ (BRR)」の表 27.7 と表 27.8 に示すように、SMR/SMR\_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. クロック同期式モードと、簡易 SPI モードの最高速設定 (SMR.CKS[1:0] ビット = 00b, SCR.CKE[1] ビット = 0、および BRR = 0) では、この機能を使用しないでください。

注 2. 簡易 IIC モードでは、SCL 出力の High/Low 幅が I<sup>2</sup>C 規格を満たすように、ビットレートを調整してください。

通常の調歩同期式モードにおける BRR レジスタの設定値 N と MDDR レジスタの設定値 M の設定例を表

27.20 と表 27.21 に示します。

表 27.20 各ビットレートに対するBRRとMDDRの設定例 (調歩同期式モード) (1)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	8					9.8304					10				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

ビット レート (bps)	動作周波数PCLKA (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	-0.26	0	0	135	1	0.14

ビット レート (bps)	動作周波数PCLKA (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

注 1. この例は、SEMRレジスタのABCSビットとABCSEビットが0の場合を示しています。  
SEMR.BRME = 0 (M = 256) の場合、ビットレートモジュレーション機能は無効になります。

表 27.21 各ビットレートに対するBRRとMDDRの設定例 (調歩同期式モード) (2)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	15	(256) (注2)	0	0.00	0	10	173	0	-0.01	0	11	151	0	0.00
57600	0	9	240	0	0.00	0	9	236	0	0.03	0	7	151	0	0.00
115200	0	4	240	0	0.00	0	4	236	0	0.03	0	3	151	0	0.00
230400	0	1	192	0	0.00	0	4	236	1	0.03	0	1	151	0	0.00
460800	0	0	192	0	0.00	0	0	189	0	0.14	0	0	151	0	0.00

ビット レート (bps)	動作周波数PCLKA (MHz)														
	30					33					40				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	36	194	1	0.01	0	14	143	0	0.01	0	21	173	0	-0.01
57600	0	10	173	0	-0.01	0	9	143	0	0.01	0	38	230	1	-0.01
115200	0	10	173	1	-0.01	0	4	143	0	0.01	0	9	236	0	0.03
230400	0	6	220	1	-0.09	0	4	143	1	0.01	0	4	236	0	0.03
460800	0	3	252	1	0.14	0	1	229	0	0.10	0	4	236	1	0.03

ビット レート (bps)	動作周波数PCLKA (MHz)														
	50					60					120				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	23	151	0	0.00	0	36	194	0	0.01	0	73	194	0	0.01
57600	0	15	151	0	0.00	0	21	173	0	-0.01	0	58	232	0	0.00
115200	0	7	151	0	0.00	0	10	173	0	-0.01	0	21	173	0	-0.01
230400	0	3	151	0	0.00	0	10	173	1	-0.01	0	10	173	0	-0.01
460800	0	1	151	0	0.00	0	6	220	1	-0.09	0	10	173	1	-0.09

注2. この例は、SEMRレジスタのABCSビットとABCSEビットが0の場合を示しています。  
SEMR.BRME = 0 (M = 256) の場合、ビットレートモジュレーション機能は無効になります。

## 27.2.19 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 4007 0007h, SCI1.SEMR 4007 0027h, SCI2.SEMR 4007 0047h, SCI3.SEMR 4007 0067h, SCI4.SEMR 4007 0087h, SCI8.SEMR 4007 0107h, SCI9.SEMR 4007 0127h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	BRME	ビットレートモジュレーション有効	0: ビットレートモジュレーション機能は無効 1: ビットレートモジュレーション機能は有効	R/W (注1)
b3	ABCSE	調歩同期拡張基本クロック選択1	調歩同期モードにおいて、SCR.CKE[1]=0の場合にのみ有効です。 0: 1ビット期間のクロックサイクル数は、SEMRレジスタのBGDMとABCSの組み合わせにより決定 1: ポーレートは1ビット期間に対して基本クロックの6サイクル	R/W (注1)
b4	ABCS	調歩同期基本クロック選択	調歩同期モードでのみ有効です。 0: 基本クロックの16サイクルを1ビット期間として選択 1: 基本クロックの8サイクルを1ビット期間として選択	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能有効	調歩同期モードの場合 0: RXDn入力信号のノイズ除去機能は無効 1: RXDn入力信号のノイズ除去機能は有効  簡易IICモードの場合 0: SCLnおよびSDAn入力信号のノイズ除去機能は無効 1: SCLnおよびSDAn入力信号のノイズ除去機能は有効 他のすべてのモードでは、NFENビットは0でなければなりません。	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モード選択	調歩同期モードにおいて、SCR.CKE[1]=0の場合にのみ有効です。 0: 通常の周波数のクロックを出力 1: 2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出選択	調歩同期モードでのみ有効です。 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

注1. SCR/SCR\_SMCI レジスタのTEビットとREビットが0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SEMRレジスタは、調歩同期モードにおいて、1ビット期間のクロックソースを選択するためのレジスタです。

**BRME ビット (ビットレートモジュレーション有効)**

BRMEビットは、ビットレートモジュレーション機能を有効または無効にします。有効にすると、内蔵ポーレートジェネレータによって生成されるビットレートが均一に補正されます。

**ABCSE ビット (調歩同期拡張基本クロック選択1)**

ABCSEビットは、1ビット期間における基本クロックのパルス数を6に設定します。ポーレートジェネレータからは2倍の周波数のクロックが出力されます。バスクロック周波数を分周しているときにビットレートを6にする場合、本ビットを使用し、かつSMR.CKS[1:0]=00b、BRR=0に設定してください。本ビットは、調歩同期モード以外では0にしてください。

**ABCS ビット (調歩同期基本クロック選択)**

ABCSビットは、1ビット期間のクロックサイクル数を選択します。本ビットは、調歩同期モード以外では0にしてください。

**NFEN ビット (デジタルノイズフィルタ機能有効)**

NFEN ビットは、デジタルノイズフィルタ機能を有効または無効にします。

デジタルノイズフィルタ機能を有効にした場合：

- 調歩同期式モードでは、RXDn 入力信号のノイズを除去する
- 簡易 IIC モードでは、SDAn および SCLn の入力信号のノイズを除去する

他のすべてのモードでは、NFEN ビットを 0 にして、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、受信した入力信号がそのまま転送されます。

**BGDM ビット (ポーレートジェネレータ倍速モード選択)**

BGDM ビットは、ポーレートジェネレータから出力する基本クロックの周波数を 2 倍にするかどうかを選択します。

BGDM ビットは、調歩同期式モード (SMR.CM ビット=0) において、クロックソースに内蔵ポーレートジェネレータ (SCR.CKE[1] ビット=0) を選択したとき有効です。ポーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

本ビットは、調歩同期式モード以外では 0 にしてください。

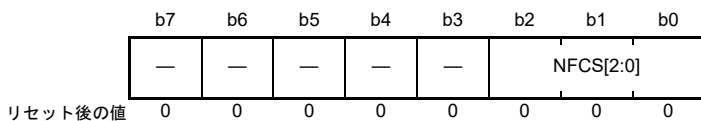
**RXDESEL ビット (調歩同期スタートビットエッジ検出選択)**

RXDESEL ビットは、調歩同期式モードにおいて、受信時のスタートビットの検出方法を選択します。ブレイク中に受信を停止する場合、またはブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始する場合、本ビットを 1 にしてください。

本ビットは、調歩同期式モード以外では 0 にしてください。

## 27.2.20 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 4007 0008h, SCI1.SNFR 4007 0028h, SCI2.SNFR 4007 0048h, SCI3.SNFR 4007 0068h,  
SCI4.SNFR 4007 0088h, SCI8.SNFR 4007 0108h, SCI9.SNFR 4007 0128h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロック 選択	調歩同期式モードの場合、基本クロックの標準設定を次のように選択 します。 b2 b0 0 0 0: 1分周のクロックをノイズフィルタに使用  簡易IICモードの場合、SMR.CKS[1:0]ビットで選択した内蔵ポーレー トジェネレータのクロックソースの標準設定を選択します。 b2 b0 0 0 1: 1分周のクロックをノイズフィルタに使用 0 1 0: 2分周のクロックをノイズフィルタに使用 0 1 1: 4分周のクロックをノイズフィルタに使用 1 0 0: 8分周のクロックをノイズフィルタに使用 上記以外は設定しないでください。	R/W (注1)
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SCR/SCR\_SMCI レジスタのTEビットとREビットが0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

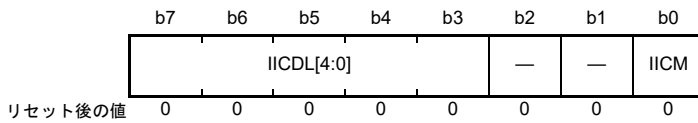
SNFR レジスタは、デジタルノイズフィルタのクロックを設定するためのレジスタです。

**NFCS[2:0] ビット (ノイズフィルタクロック選択)**

NFCS[2:0] ビットは、デジタルノイズフィルタのサンプリングクロックを選択します。調歩同期式モードでノイズフィルタを使用する場合、これらのビットを000bにしてください。簡易IICモードでは、これらのビットを001b～100bの範囲で設定してください。

27.2.21 I<sup>2</sup>C モードレジスタ 1 (SIMR1)

アドレス SCI0.SIMR1 4007 0009h, SCI1.SIMR1 4007 0029h, SCI2.SIMR1 4007 0049h, SCI3.SIMR1 4007 0069h,  
SCI4.SIMR1 4007 0089h, SCI8.SIMR1 4007 0109h, SCI9.SIMR1 4007 0129h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易 IIC モード選択	SMIF IICM 0 0: 調歩同期式モード、マルチプロセッサモード、クロック同期式モード、または簡易 SPI モード 0 1: 簡易 IIC モード 1 0: スマートカードインタフェースモード 1 1: 設定禁止	R/W (注1)
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b3	IICDL[4:0]	SDA 遅延出力選択	下記のサイクル数は、内蔵ポーレートジェネレータからのクロック信号のサイクル数です。  b7            b3 0 0 0 0 0 : 出力遅延なし 0 0 0 0 1 : 0~1サイクル 0 0 0 1 0 : 1~2サイクル 0 0 0 1 1 : 2~3サイクル 0 0 1 0 0 : 3~4サイクル 0 0 1 0 1 : 4~5サイクル : 1 1 1 1 0 : 29~30サイクル 1 1 1 1 1 : 30~31サイクル	R/W (注1)

注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SIMR1 レジスタは、簡易 IIC モードと、SDAn 出力の遅延段数を選択するためのレジスタです。

**IICM ビット (簡易 IIC モード選択)**

IICM ビットは、SCMR.SMIF ビットとの組み合わせで動作モードを選択します。

**IICDL[4:0] ビット (SDA 遅延出力選択)**

IICDL[4:0] ビットは、SCLn 端子出力の立ち上がりに対する SDAn 端子出力の遅延を指定します。

内蔵ポーレートジェネレータのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲で設定が可能です。SMR.CKS[1:0] ビットの設定によって分周された PCLKA クロックが、内蔵ポーレートジェネレータからのクロック信号として供給されます。簡易 IIC モード以外では、これらのビットを 00000b にしてください。簡易 IIC モードでは、これらのビットを 00001b ~ 11111b の範囲で設定してください。

27.2.22 I<sup>2</sup>C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 4007 000Ah, SCI1.SIMR2 4007 002Ah, SCI2.SIMR2 4007 004Ah, SCI3.SIMR2 4007 006Ah,  
SCI4.SIMR2 4007 008Ah, SCI8.SIMR2 4007 010Ah, SCI9.SIMR2 4007 012Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	IICACK T	—	—	—	IICCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	IIC割り込みモード選択	0 : ACK/NACK割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化	0 : クロック信号と同期しない 1 : クロック信号と同期する	R/W (注1)
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	IICACKT	ACK送信データ	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SCR.RE ビットと SCR.TE ビットが0 (シリアル受信動作およびシリアル送信動作を禁止) の場合にのみ書き込み可能です。

SIMR2 レジスタは、簡易 IIC モードにおいて、送受信の制御方法を選択するためのレジスタです。

**IICINTM ビット (IIC 割り込みモード選択)**

IICINTM ビットは、簡易 IIC モードにおいて、割り込み要求の要因を選択します。

**IICCSC ビット (クロック同期化)**

たとえば、他のデバイスがウェイトを挿入したため SCLn 端子が Low になったとき、内部で生成する SCLn クロック信号を同期化する場合は、IICCSC ビットを 1 にしてください。

IICCSC ビットを 0 にすると、SCL クロック信号の同期化を行いません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCLn クロック信号を生成します。

デバッグ時を除いて、IICCSC ビットは 1 にしてください。

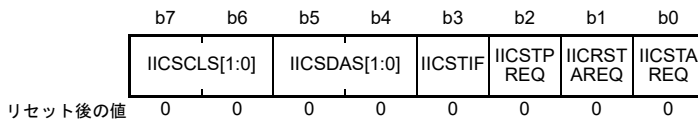
**IICACKT ビット (ACK 送信データ)**

ACK ビットを含むデータを送信します。ACK/NACK ビット受信時は、IICACKT ビットを 1 にしてください。



27.2.23 I<sup>2</sup>C モードレジスタ 3 (SIMR3)

アドレス SCI0.SIMR3 4007 000Bh, SCI1.SIMR3 4007 002Bh, SCI2.SIMR3 4007 004Bh, SCI3.SIMR3 4007 006Bh,  
SCI4.SIMR3 4007 008Bh, SCI8.SIMR3 4007 010Bh, SCI9.SIMR3 4007 012Bh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成	0: 開始条件を生成しない 1: 開始条件を生成する (注1) (注3) (注5) (注6)	R/W
b1	IICRSTAREQ	再開条件生成	0: 再開条件を生成しない 1: 再開条件を生成する (注2) (注3) (注5) (注6)	R/W
b2	IICSTPREQ	停止条件生成	0: 停止条件を生成しない 1: 停止条件を生成する (注2) (注3) (注5) (注6)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0: 各条件の生成要求がない状態、または生成中の状態 1: 開始条件、再開条件、停止条件の生成が完了した状態 IICSTIF ビットに0を書くと、0になります (注4)	R/W (注4)
b5-b4	IICSDAS[1:0]	SDA出力選択	b5 b4 0 0: シリアルデータ出力 0 1: 開始条件、再開条件、停止条件の生成 1 0: SDA <sub>n</sub> 端子はLowを出力 1 1: SDA <sub>n</sub> 端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SCL出力選択	b7 b6 0 0: シリアルクロック出力 0 1: 開始条件、再開条件、停止条件の生成 1 0: SCL <sub>n</sub> 端子はLowを出力 1 1: SCL <sub>n</sub> 端子はハイインピーダンス状態	R/W

- 注1. バスの状態を確認し、バスフリー状態のときにのみ開始条件を生成してください。  
 注2. バスの状態を確認し、バスビジー状態のときに再開条件または停止条件を生成してください。  
 注3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2つ以上を1にしないでください。  
 注4. 0のみを書いてください。1を書くと、その値は無視されます。  
 注5. IICSTIF フラグを0にしてから、各条件生成を行ってください。  
 注6. 1の状態にあるとき、0を書かないでください。本ビットが1の状態にあるとき0を書くと、条件生成が中断します。

**IICSTAREQ ビット (開始条件生成)**

開始条件の生成を行うときは、IICSTAREQ ビットを1にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1になる条件]

- 1を書いたとき

[0になる条件]

- 開始条件の生成が完了したとき

**IICRSTAREQ ビット (再開条件生成)**

再開条件の生成を行うときは、IICRSTAREQ ビットを1にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1になる条件]

- 1を書いたとき

[0になる条件]

- 再開条件の生成が完了したとき

**IICSTPREQ ビット (停止条件生成)**

停止条件の生成を行うときは、IICSTPREQ ビットを 1 にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 停止条件の生成が完了したとき

**IICSTIF フラグ (開始/再開/停止条件生成完了フラグ)**

IICSTIF フラグは、各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STI 要求が出力されます。

[1 になる条件]

- 開始条件、再開条件、停止条件の生成が完了したとき

1 になる条件が 0 になる条件と競合した場合は、0 になる条件が優先されます。

[0 になる条件]

- 0 を書いたとき  
IICSTIF ビットに 0 を書いた後は、IICSTIF ビットを読み出して、実際に 0 になっていることを確認してください。
- SIMR1.IICM ビットに 0 を書いたとき (簡易 IIC モード以外の場合)
- SCR.TE ビットに 0 を書いたとき

**IICSDAS[1:0] ビット (SDA 出力選択)**

IICSDAS[1:0] ビットは、SDAn 端子からの出力を制御します。通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

**IICSCLS[1:0] ビット (SCL 出力選択)**

IICSCLS[1:0] ビットは、SCLn 端子からの出力を制御します。通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

27.2.24 I<sup>2</sup>C ステータスレジスタ (SISR)

アドレス SCI0.SISR 4007 000Ch, SCI1.SISR 4007 002Ch, SCI2.SISR 4007 004Ch, SCI3.SISR 4007 006Ch,  
SCI4.SISR 4007 008Ch, SCI8.SISR 4007 010Ch, SCI9.SISR 4007 012Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACK R
リセット後の値	0	0	x	x	0	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0: ACK受信 1: NACK受信	R
b1	—	予約ビット	読むと0が読めます。	R
b2	—	予約ビット	読むと不定値が読めます。	R
b3	—	予約ビット	読むと0が読めます。	R
b5-b4	—	予約ビット	読むと不定値が読めます。	R
b7-b6	—	予約ビット	読むと0が読めます。	R

SISR レジスタは、簡易 IIC モードにおける状態をモニタするためのレジスタです。

**IICACKR フラグ (ACK 受信データフラグ)**

IICACKR フラグから、受信された ACK/NACK ビットを読み出すことができます。IICACKR フラグは、ACK/NACK ビット受信時の SCLn クロックの立ち上がりのタイミングで更新されます。

## 27.2.25 SPI モードレジスタ (SPMR)

アドレス SCI0.SPMR 4007 000Dh, SCI1.SPMR 4007 002Dh, SCI2.SPMR 4007 004Dh, SCI3.SCI3 4007 006Dh,  
SCI4.SPMR 4007 008Dh, SCI8.SPMR 4007 010Dh, SCI9.SPMR 4007 012Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn端子機能有効	0: SSn端子機能は無効 1: SSn端子機能は有効	R/W (注1)
b1	CTSE	CTS有効	0: CTS機能は無効 (RTS出力機能は有効) 1: CTS機能は有効	R/W (注1)
b2	MSS	マスタスレーブ選択	0: TXDn端子は送信、RXDn端子は受信 (マスタモード) 1: TXDn端子は受信、RXDn端子は送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MFF	モードフォルトフラグ	0: モードフォルトエラーなし 1: モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CKPOL	クロック極性選択	0: クロック極性反転なし 1: クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相選択	0: クロック遅延なし 1: クロック遅延あり	R/W (注1)

- 注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。  
注2. フラグをクリアするための0の書き込みのみ可能です。

SPMR レジスタは、簡易 SPI モードの設定を選択するためのレジスタです。

**SSE ビット (SSn 端子機能有効)**

簡易 SPI モードで SSn 端子を用いて送受信制御を行う場合、SSE ビットを1にしてください。他のすべてのモードでは0にしてください。簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット=00b、SPMR.MSS ビット=0) を選択し、かつシングルマスタで使用する場合、マスタ側の SSn 端子を用いた送受信制御は不要です。そのような場合は、SSE ビットを0にします。SSE ビットと CTSE ビットの両方を1にしないでください。両方を1にした場合、これらのビットを0にしたときと同じ動作になります。

**CTSE ビット (CTS 有効)**

SSn 端子を CTS 制御信号入力として用いて送受信制御を行う場合、CTSE ビットを1にしてください。本ビットを0にした場合は RTS 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードでは、本ビットを0にしてください。CTSE ビットと SSE ビットの両方を1にしないでください。両方を1にした場合、これらのビットを0にしたときと同じ動作になります。

**MSS ビット (マスタスレーブ選択)**

MSS ビットは、簡易 SPI モードにおいて、マスタ動作またはスレーブ動作を選択します。本ビットを1にすると、TXDn 端子と RXDn 端子の機能が逆になり、データは TXDn 端子を介して受信され、RXDn 端子を介して送信されます。簡易 SPI モード以外では0にしてください。

### MFF フラグ (モードフォルトフラグ)

MFF フラグは、モードフォルトエラーが発生したことを示します。マルチマスタ構成では、本フラグを読み出すことでモードフォルトエラーの発生を判定できます。

[1 になる条件]

- 簡易 SPI モードでマスタモード (SSE ビット = 1 かつ MSS ビット = 0) の場合に、SSn 端子入力が Low になったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

### CKPOL ビット (クロック極性選択)

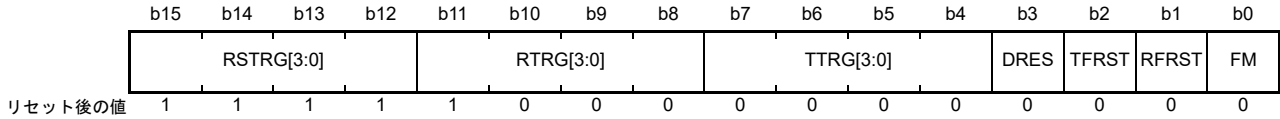
CKPOL ビットは、SCKn 端子からのクロック出力の極性を選択します。詳細は、[図 27.70](#) を参照してください。簡易 SPI モードおよびクロック同期式モード以外のすべてのモードで、CKPOL ビットを 0 としてください。

### CKPH ビット (クロック位相選択)

CKPH ビットは、SCKn 端子からのクロック出力の位相を選択します。詳細は、[図 27.70](#) を参照してください。簡易 SPI モードおよびクロック同期式モード以外のすべてのモードで、CKPH ビットを 0 としてください。

## 27.2.26 FIFO コントロールレジスタ (FCR)

アドレス SCI0.FCR 4007 0014h, SCI1.FCR 4007 0034h, SCI2.FCR 4007 0054h, SCI3.FCR 4007 0074h,  
SCI4.FCR 4007 0094h, SCI8.FCR 4007 0114h, SCI9.FCR 4007 0134h



ビット	シンボル	ビット名	機能	R/W
b0	FM	FIFOモード選択	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 0：非FIFOモード 通信にはTDR/RDRまたはTDRHL/RDRHLレジスタが選択されます。 1：FIFOモード 通信にはFTDRHL/FRDRHLレジスタが選択されます。	R/W (注1)
b1	RFRST	受信FIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効です。 0：FRDRHLレジスタをリセットしない 1：FRDRHLレジスタをリセットする	R/W
b2	TFRST	送信FIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効です。 0：FTDRHLレジスタをリセットしない 1：FTDRHLレジスタをリセットする	R/W
b3	DRES	受信データレディエラー選択	受信データレディ検出時に要求する割り込みを選択します。 0：受信データフル割り込み (SCIn_RXI) 1：受信エラー割り込み (SCIn_ERI)	R/W
b7-b4	TTRG[3:0]	送信FIFOデータトリガ数	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 0000：トリガ数0 ： 1111：トリガ数15	R/W
b11-b8	RTRG[3:0]	受信FIFOデータトリガ数	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 0000：トリガ数0 ： 1111：トリガ数15	R/W
b15-b12	RSTRG[3:0]	RTS出力アクティブトリガ数選択	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1、SPMR.CTSE = 0、およびSPMR.SSE = 0の場合にのみ有効です。 0000：トリガ数0 ： 1111：トリガ数15	R/W

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

FCRレジスタは、FIFOモードの選択、FTDRHL/FRDRHLレジスタのリセット、送受信のFIFOデータトリガ数の選択、およびRTS出力アクティブトリガ数の選択を行うためのレジスタです。

**FMビット (FIFOモード選択)**

FMビットを1にすると、通信にはFTDRHLとFRDRHLが選択されます。FMビットを0にすると、通信にはTDRとRDRまたはTDRHLとRDRHLが選択されます。

**RFRSTビット (受信FIFOデータレジスタリセット)**

RFRSTビットを1にすると、FRDRHLレジスタがリセットされ、受信データ数は0にリセットされます。1を書いてから1PCLKA経過後、RFRSTビットは0に設定されます。

**TFRST ビット (送信 FIFO データレジスタリセット)**

TFRST ビットを 1 にすると、FTDRHL レジスタがリセットされ、送信データ数は 0 にリセットされます。1 を書いてから 1PCLKA 経過後、TFRST ビットは 0 に設定されます。

**DRES ビット (受信データレディエラー選択)**

受信データレディエラーを検出する場合、SCIn\_TXI 割り込み要求または SCIn\_ERI 割り込み要求から選択できます。

**TTRG[3:0] ビット (送信 FIFO データトリガ数)**

FTDRHL レジスタ内の送信データ数が、TTRG[3:0] ビットに指定された送信トリガ数以下の場合、TDFE フラグが 1 になり、ソフトウェアによる FTDRHL レジスタへのデータ書き込みが可能になります。SCR.TIE = 1 の場合は、SCIn\_TXI 割り込み要求が発生します。

**RTRG[3:0] ビット (受信 FIFO データトリガ数)**

FRDRHL レジスタ内の受信データ数が、RTRG[3:0] ビットに指定された受信トリガ数以上の場合、RDF フラグが 1 になり、ソフトウェアによる FRDRHL レジスタからのデータ読み出しが可能になります。SCR.RIE = 1 の場合は、SCIn\_RXI 割り込み要求が発生します。

RTRG[3:0] ビットが 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RDF フラグはセットされません。また、SCIn\_RXI 割り込みは発生しません。

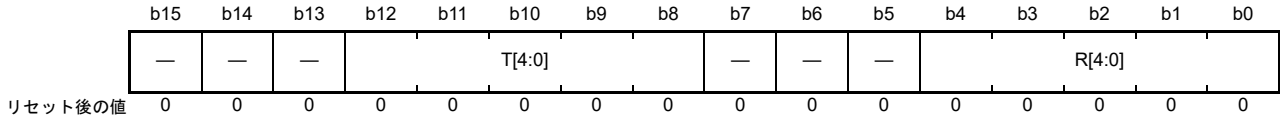
**RSTRG[3:0] ビット (RTS 出力アクティブトリガ数選択)**

FRDRHL レジスタに格納された受信データ数が、RSTRG[3:0] ビットに指定された受信トリガ数以上の場合、RTS 信号は High 状態になります。

RSTRG[3:0] ビットが 0 の場合は、FRDRHL レジスタのデータ数が 0 であっても、RTS 信号は High 状態になりません。

## 27.2.27 FIFO データ数レジスタ (FDR)

アドレス SCI0.FDR 4007 0016h, SCI1.FDR 4007 0036h, SCI2.FDR 4007 0056h, SCI3.FDR 4007 0076h,  
SCI4.FDR 4007 0096h, SCI8.FDR 4007 0116h, SCI9.FDR 4007 0136h



ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	受信FIFOデータ数	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1の場合にのみ有効です。FRDRHLレジスタに格納された受信データ数を示します。	R
b7-b5	—	予約ビット	読むと0が読めます。	R
b12-b8	T[4:0]	送信FIFOデータ数	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1の場合にのみ有効です。FTDRHLレジスタに格納された未送信データ数を示します。	R
b15-b13	—	予約ビット	読むと0が読めます。	R

FDR レジスタは、FRDRHL/FTDRHL レジスタに格納されたデータ数を示します。

**R[4:0] ビット (受信 FIFO データ数)**

R[4:0] ビットは、FRDRHL レジスタに格納された受信データ数を示します。値 00h は受信データがないことを示します。また、値 10h は最大数の受信データが FRDRHL レジスタに格納されていることを示します。

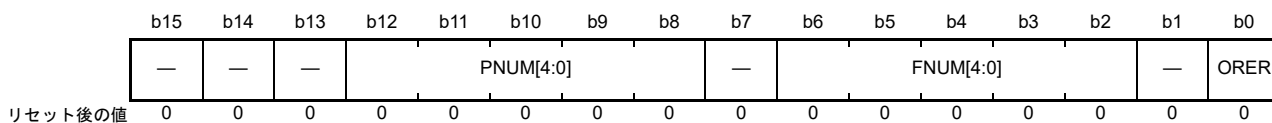
**T[4:0] ビット (送信 FIFO データ数)**

T[4:0] ビットは、FTDRHL レジスタに格納された未送信データ数を示します。値 00h は送信データがないことを示します。また、値 10h は全送信データ（最大数）が FTDRHL レジスタに格納されていることを示します。



## 27.2.28 ラインステータスレジスタ (LSR)

アドレス SCI0.LSR 4007 0018h, SCI1.LSR 4007 0038h, SCI2.LSR 4007 0058h, SCI3.LSR 4007 0078h,  
SCI4.LSR 4007 0098h, SCI8.LSR 4007 0118h, SCI9.LSR 4007 0138h



ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバーランエラーフラグ	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FIFO動作選択時にのみ有効です。 0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R (注1)
b1	—	予約ビット	読むと0が読めます。	R
b6-b2	FNUM[4:0]	フレーミングエラー数	受信FIFOデータレジスタ（FRDRHL）に格納された受信データの中でフレーミングエラーを含むデータ数を示します。	R
b7	—	予約ビット	読むと0が読めます。	R
b12-b8	PNUM[4:0]	パリティエラー数	受信FIFOデータレジスタ（FRDRHL）に格納された受信データの中でパリティエラーを含むデータ数を示します。	R
b15-b13	—	予約ビット	読むと0が読めます。	R

注1. 本フラグが1の場合は、SSR\_FIFO.ORERに0を書いて、フラグをクリアしてください。

LSRレジスタは、受信エラーのステータスを示すレジスタです。

**ORER フラグ（オーバーランエラーフラグ）**

ORER フラグは、SSR\_FIFO.ORER の値を反映します。

**FNUM[4:0] ビット（フレーミングエラー数）**

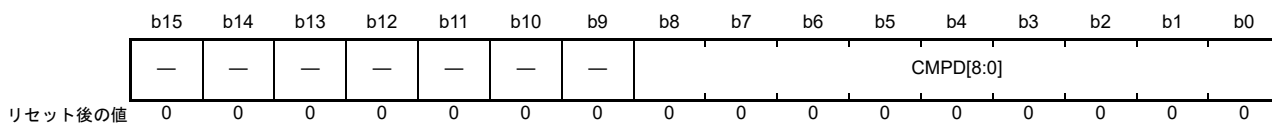
FNUM[4:0] ビットの値は、FRDRHL レジスタに格納されたフレーミングエラーを含むデータ数を示します。

**PNUM[4:0] ビット（パリティエラー数）**

PNUM[4:0] ビットの値は、FRDRHL レジスタに格納されたパリティエラーを含むデータ数を示します。

## 27.2.29 コンペアマッチデータレジスタ (CDR)

アドレス SCI0.CDR 4007 001Ch, SCI1.CDR 4007 003Ah, SCI2.CDR 4007 005Ah, SCI3.CDR 4007 007Ah,  
SCI4.CDR 4007 009Ah, SCI8.CDR 4007 011Ah, SCI9.CDR 4007 013Ah



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	コンペアマッチデータ	アドレス一致ウェイクアップ機能用の比較データパターンを格納します。	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CDR レジスタは、アドレス一致検出機能の比較データを設定するためのレジスタです。

**CMPD[8:0] ビット (コンペアマッチデータ)**

CMPD[8:0] ビットは、アドレス一致検出機能が有効 (DCCR.DCME = 1) のとき、アドレス一致検出機能で受信データと比較するデータを設定します。

3種類のビット長から1つ選択できます。

- 7ビット長の CMPD[6:0]
- 8ビット長の CMPD[7:0]
- 9ビット長の CMPD[8:0]

## 27.2.30 データコンペアマッチコントロールレジスタ (DCCR)

アドレス SCI0.DCCR 4007 0013h, SCI1.DCCR 4007 0033h, SCI2.DCCR 4007 0053h, SCI3.DCCR 4007 0073h, SCI4.DCCR 4007 0093h, SCI8.DCCR 4007 0113h, SCI9.DCCR 4007 0133h

b7	b6	b5	b4	b3	b2	b1	b0
DCME	IDSEL	—	DFER	DPER	—	—	DCMF
リセット後の値	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCMF	データコンペアマッチフラグ	0: 不一致 1: 一致	R/(W) (注1)
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	DPER	データコンペアマッチパリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	DFER	データコンペアマッチフレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	IDSEL	IDフレーム選択	調歩同期式モード（マルチプロセッサモードを含む）でのみ有効です。 0: MPBビット値とは無関係に、常にデータを比較する 1: MPBビットが1（IDフレーム）の場合にのみデータを比較する	R/W
b7	DCME	データコンペアマッチ有効	調歩同期式モード（マルチプロセッサモードを含む）でのみ有効 0: アドレス一致検出機能は無効 1: アドレス一致検出機能は有効	R/W

注1. フラグをクリアするため、1を読んだ後に0を書き込むことのみ可能です。

DCCR レジスタは、アドレス一致検出機能を制御するためのレジスタです。

**DCMF フラグ（データコンペアマッチフラグ）**

DCMF フラグは、SCI が受信データと比較データ（CDR.CMPD）の一致を検出したことを示します。

[1になる条件]

- DCCR.DCME = 1 の状態で、受信データが比較データ（CDR.CMPD）と一致したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

SCR.RE ビットを0にしても、DCMF フラグは影響を受けず、以前の値を保持します。

**DPER フラグ（データコンペアマッチパリティエラーフラグ）**

DPER フラグは、アドレス一致検出（受信データの一致検出）時に、パリティエラーが発生したことを示します。

[1になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

[0になる条件]

- 1を読んだ後、0を書いたとき

SCR.RE ビットを0（シリアル受信動作を禁止）にしても、DPER フラグは影響を受けず、以前の値を保持します。

### DFER フラグ (データコンペアマッチフレーミングエラーフラグ)

DFER フラグは、アドレス一致検出 (受信データの一致検出) 時に、フレーミングエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームのストップビットが 0 のとき

2 ストップビットモードの場合、ストップビットの 1 ビット目のみが 1 であるかチェックされます (2 ビット目はチェックされません)。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、DFER フラグは影響を受けず、以前の値を保持します。

### IDSEL ビット (ID フレーム選択)

IDSEL ビットは、アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または MPB ビット=1 (ID フレーム) の場合にのみ比較を行うかを選択します。

### DCME ビット (データコンペアマッチ有効)

DCME ビットは、アドレス一致検出機能 (データコンペアマッチ機能) の有効/無効を選択します。

SCI によって受信データと比較データ (CDR.CMPD) の一致が検出された場合、DCME ビットは自動的にクリアされ、その後、SCI の動作はデータコンペアマッチ機能なしの受信モードになります。[27.3.6 アドレス一致 \(受信データ一致\) 検出機能](#)を参照してください。

調歩同期式モード以外では、書き込み値は 0 にする必要があります。

## 27.2.31 シリアルポートレジスタ (SPTR)

アドレス SCI0.SPTR 4007 001Ch, SCI1.SPTR 4007 003Ch, SCI2.SPTR 4007 005Ch, SCI3.SPTR 4007 007Ch,  
SCI4.SPTR 4007 009Ch, SCI8.SPTR 4007 011Ch, SCI9.SPTR 4007 013Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPB2I O	SPB2D T	RXDM ON
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RXDMON	シリアル入力データモニタ	RXDn端子の状態を示します。 0 : RXDn端子はLow 1 : RXDn端子はHigh	R
b1	SPB2DT	シリアルポートブ레이크データ選択	SCR.TE = 0の場合、TXDn端子の出力レベルを選択します。 0 : TXDn端子にはLowを出力 1 : TXDn端子にはHighを出力	R/W
b2	SPB2IO	シリアルポートブ레이크入出力	TXDn端子へSPB2DTの値を出力するか否かを選択します。 0 : SPB2DTビットの値をTXDn端子に出力しない 1 : SPB2DTビットの値をTXDn端子に出力する	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPTRレジスタは、シリアル受信端子 (RXDn 端子) の状態を確認し、送信端子 (TXDn 端子) の状態を設定するためのレジスタです。

このレジスタは調歩同期式モードでのみ使用可能です。

表 27.22 に示すように、TXDn 端子の状態は、SCR.TE、SPTR.SPB2IO、SPTR.SPB2DT の各ビット設定値の組み合わせで決定されます。

表 27.22 TXD 端子の状態

SCR.TE ビットの値	SPTR.SPB2IO ビットの値	SPTR.SPB2DT ビットの値	TXD 端子の状態
0	0	x	Hi-Z (初期値)
0	1	0	Low を出力
0	1	1	High を出力
1	x	x	シリアル送信データを出力

x : Don't care

注 . SPTR レジスタは調歩同期式モードでのみ使用してください。他のモードでの使用は保証されません。

### 27.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを、[図 27.2](#)に示します。1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。調歩同期式シリアル通信では、通信していないときの通信回線はマーク状態 (High) に保たれています。

SCI は通信回線を監視しています。Low を検出すると、スタートビットとみなしてシリアル通信を開始します。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらも FIFO モードに加えてダブルバッファ構成になっているため、送受信中でもデータの読み出し/書き込みが可能です。連続送受信動作が実現されます。

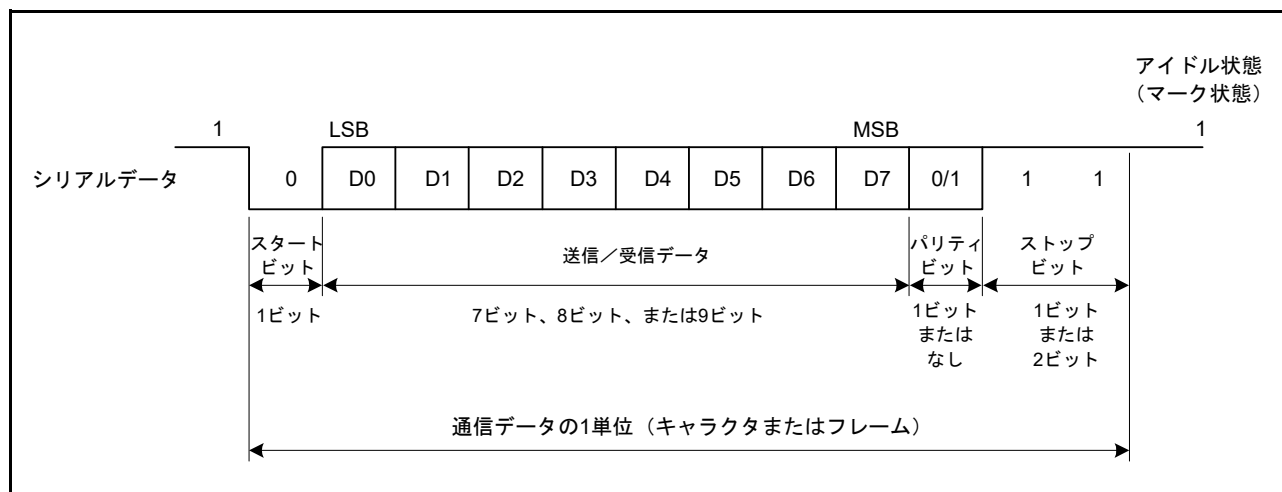


図 27.2 調歩同期式シリアル通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの場合)

### 27.3.1 シリアル転送フォーマット

調歩同期式モードで設定できるシリアル転送フォーマットを表 27.23 に示します。フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの設定で選択できます。マルチプロセッサ機能の詳細については 27.4 マルチプロセッサ通信機能を参照してください。

表 27.23 シリアル転送フォーマット (調歩同期式モード) (1/2)

SCMR の設定	SMRの設定				シリアル転送フォーマットとフレーム長													
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	0	0	0	0	S   9ビットデータ   STOP												
0	0	0	0	1	1	S   9ビットデータ   STOP STOP												
0	0	1	0	0	0	S   9ビットデータ   P   STOP												
0	0	1	0	1	1	S   9ビットデータ   P   STOP STOP												
1	0	0	0	0	0	S   8ビットデータ   STOP												
1	0	0	0	1	1	S   8ビットデータ   STOP STOP												
1	0	1	0	0	0	S   8ビットデータ   P   STOP												
1	0	1	0	1	1	S   8ビットデータ   P   STOP STOP												
1	1	0	0	0	0	S   7ビットデータ   STOP												
1	1	0	0	1	1	S   7ビットデータ   STOP STOP												
1	1	1	0	0	0	S   7ビットデータ   P   STOP												

表 27.23 シリアル転送フォーマット (調歩同期式モード) (2/2)

SCMR の設定	SMRの設定				シリアル転送フォーマットとフレーム長																	
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13				
1	1	1	0	1	1	S	7ビットデータ							P	STOP	STOP						
0	0	—	1	0	0	S	9ビットデータ									MPB	STOP					
0	0	—	1	1	0	S	9ビットデータ									MPB	STOP	STOP				
1	0	—	1	0	0	S	8ビットデータ								MPB	STOP						
1	0	—	1	1	0	S	8ビットデータ								MPB	STOP	STOP					
1	1	—	1	0	0	S	7ビットデータ							MPB	STOP							
1	1	—	1	1	0	S	7ビットデータ							MPB	STOP	STOP						

S : スタートビット  
 STOP : ストップビット  
 P : パリティビット  
 MPB : マルチプロセッサビット



### 27.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。

また、図27.3に示すように、受信データは基本クロックの8パルス目(注1)の立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。調歩同期式モードでの受信マージンは以下の式(1)のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%] \dots \text{式 (1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

N = 16 となる条件: SEMR.ABCSE ビット = 0、かつ SEMR.ABCS ビット = 0

N = 8 となる条件: SEMR.ABCS ビット = 1

N = 6 となる条件: SEMR.ABCSE ビット = 1

D: クロックのデューティサイクル (D = 0.5 ~ 1.0)

L: フレーム長 (L = 9 ~ 13)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値) = 0、D(クロックのデューティ) = 0.5 とすると、受信マージンは下記の式で算出されます。

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875\%$$

これは計算上の値を表しています。システム設計の際には20 ~ 30%の余裕を持たせることが推奨されます。

- 注1. この例では、SEMR.ABCS ビットと SEMR.ABCSE ビットが0です。ABCS ビットが1で ABCSE ビットが0の場合は、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4パルス目の立ち上がりエッジでサンプリングされます。  
 ABCSE ビットが1の場合は、ビットレートの6倍の周波数が基本クロックとなり、受信データは基本クロックの3パルス目の立ち上がりエッジでサンプリングされます。

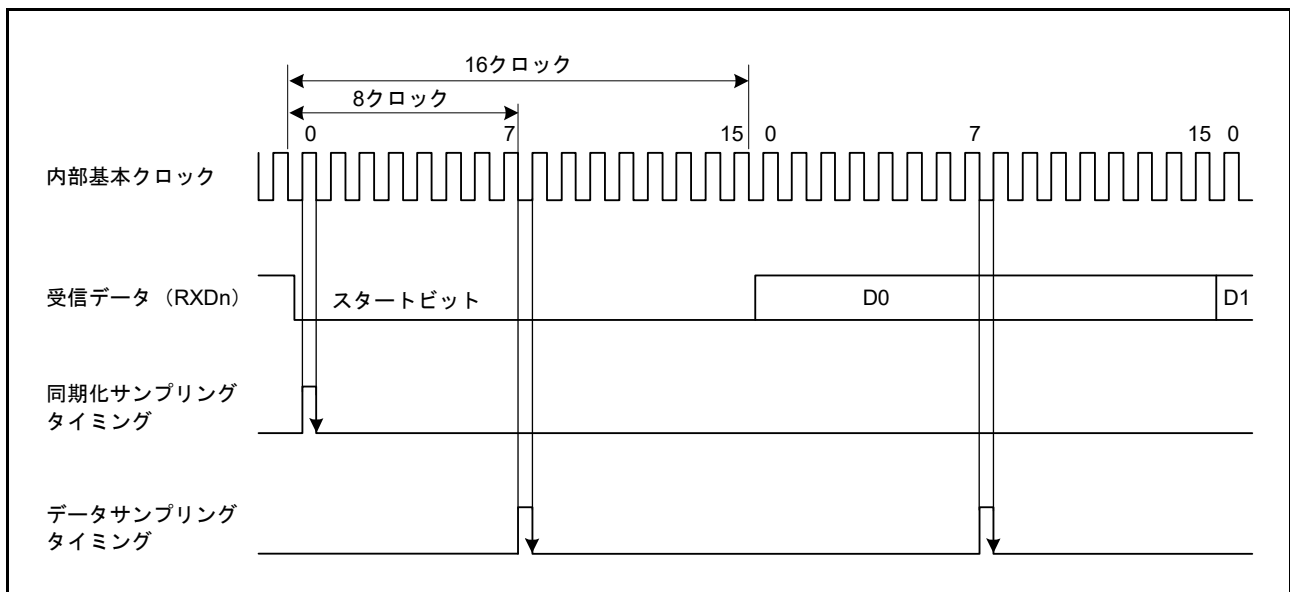


図 27.3 調歩同期式モードでの受信データのサンプリングタイミング

### 27.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ポーレートジェネレータが生成する内部クロック、またはSCKn端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、または8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力する必要があります。

内部クロックで動作させるときは、SCKn端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図27.4に示すように、送信データの間でクロックが立ち上がるように設定されます。

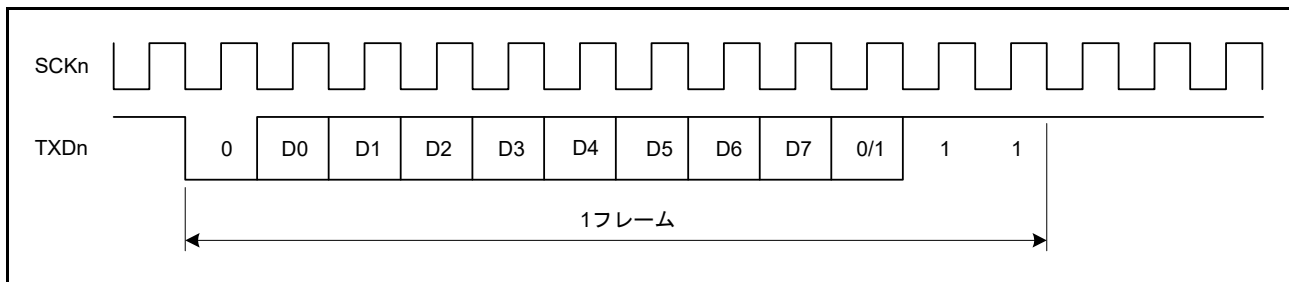


図 27.4 出力クロックと送信データの位相関係（調歩同期式モード：SMR.CHR = 0、PE = 1、MP = 0、STOP = 1）

### 27.3.4 倍速動作とビットレートの6倍の周波数

SEMR.ABCSビットを1にして、1ビット期間として基本クロックの8パルスを選択した場合、ABCSビットが0の場合に比べて、SCIは2倍のビットレートで動作します。SEMR.BGDMビットが1になると、基本クロックの周期は1/2倍になり、ビットレートはBGDMビットが0の場合の2倍になります。SCR.CKE[1]ビットを0にして、内蔵ポーレートジェネレータを選択した場合、ABCSビットとBGDMビットを1にすることにより、ABCSビットとBGDMビットが0の場合に比べて、SCIは4倍のビットレートで動作できるようになります。SEMR.ABCSEビットが1になっている場合、基本クロックのパルス数は1ビット期間中6になり、SEMR.ABCS、SEMR.BGDM、およびSEMR.ABCSEが0の場合に比べて、SCIは16/3倍のビットレートで動作します。

27.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージンの式(1)に示すとおり、SEMR.ABCSビットまたはSEMR.ABCSEビットが1の場合、受信マージンは減少します。そのため、ABCSビットまたはABCSEビットが0の状態でも目的とするビットレートが達成できるのであれば、ABCSビットとABCSEビットを0にしてSCIを使用することが推奨されます。

### 27.3.5 CTS、RTS 機能

CTS機能は、CTS<sub>n</sub>\_RTS<sub>n</sub>端子入力を使用して送信制御を行います。SPMR.CTSEビットを1にすると、CTS機能が有効になります。CTS機能が有効な場合、CTS<sub>n</sub>\_RTS<sub>n</sub>端子入力がLowになると送信が開始されます。

送信中にCTS<sub>n</sub>\_RTS<sub>n</sub>端子入力をHighにしても、送信中のフレームは影響を受けません。

RTS機能は、CTS<sub>n</sub>\_RTS<sub>n</sub>端子出力を用いる機能であり、受信可能な状態になるとLowが出力されます。LowおよびHighを出力する条件は以下のとおりです。

[Lowになる条件]

(a) 非FIFO選択時に、下記条件がすべて満たされたとき

- SCR.REビットが1
- 受信動作中でない
- 読み出し前の受信データがない

- SSR レジスタの ORER、FER、PER フラグがすべて 0

(b) FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットが 1
- FRDRHL に書き込まれた受信データ数が指定された受信トリガ数以下
- SSR\_FIFO レジスタの ORER ビット (FRDRH.ORER) が 0

[High になる条件]

(a) 非 FIFO 選択時

- Low になる条件を満たさない場合
- 受信完了後に RDR レジスタを読み出すことなく、SCR.RE = 0 によって受信を終了させた場合、RTS は High を維持します。このとき、SCR.RE に 0 を書き込んだ後に SCR レジスタをダミーリードしてください

(b) FIFO 選択時

- Low になる条件を満たさない場合

### 27.3.6 アドレス一致 (受信データ一致) 検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

DCCR.DCME ビットを 1 にした場合 (注4)、1 フレーム分のデータを受信すると、SCI は受信データと CDR.CMPD ビットの値を比較します。SCI によって受信データと比較データ (CDR.CMPD (注3)) の一致が検出された場合、SCI<sub>In</sub>\_RXI 割り込み要求を発生させることができます。

SMR.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対象になります。マルチプロセッサモード (SMR.MP ビット = 1) では、DCCR.IDSEL ビットが 1 の場合、MPB ビット = 1 の受信データがアドレス一致の比較対象になり、MPB ビット = 0 の受信データは、常に不一致として処理されます。

DCCR.IDSEL ビットが 0 の場合、受信データの MPB ビットの値にかかわらず、SCI はアドレス一致検出を実行します。受信データと比較データ (CDR.CMPD (注3)) の一致が検出されるまで、受信データが読み飛ばされる (廃棄される) ので、SCI はパリティエラーもフレーミングエラーも検出することができません。SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグは 1 になります。

DCCR.IDSEL ビットが 1 であれば、SCR.MPIE ビットが自動的にクリアされます。また、DCCR.IDSEL ビットが 0 であれば、SCR.MPIE ビットの値が保持されます。SCR.RIE ビットが 1 になっていると、SCI は SCI<sub>In</sub>\_RXI 割り込み要求を発行します。

一致が検出された受信データに対して、SCI がフレーミングエラーを検出すると、DCCR.DFER ビットが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER ビットが 1 になります。比較された受信データは RDR レジスタ (注1) に格納されません。また、SSR.RDRF フラグ (注2) は 0 を保持します。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、SCI は現在のレジスタ設定に基づいて次のデータを連続して受信します。

DCCR.DFER フラグまたは DCCR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

アドレス一致検出機能の例を [図 27.5](#) および [図 27.6](#) に示します。

- 注 1. FCR.FM = 1 の場合、これは FRDRHL レジスタになります。
- 注 2. FCR.FM = 1 の場合、これは SSR\_FIFO.RDF フラグになります。
- 注 3. 比較対象は、3 種類のビット長 (7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、または 9 ビット長の CMPD[8:0]) から 1 つ選択できます。
- 注 4. アドレス一致検出を実行する受信フレームのスタートビットを受信する前に、DCCR.DCME ビットを 1 にしてください。

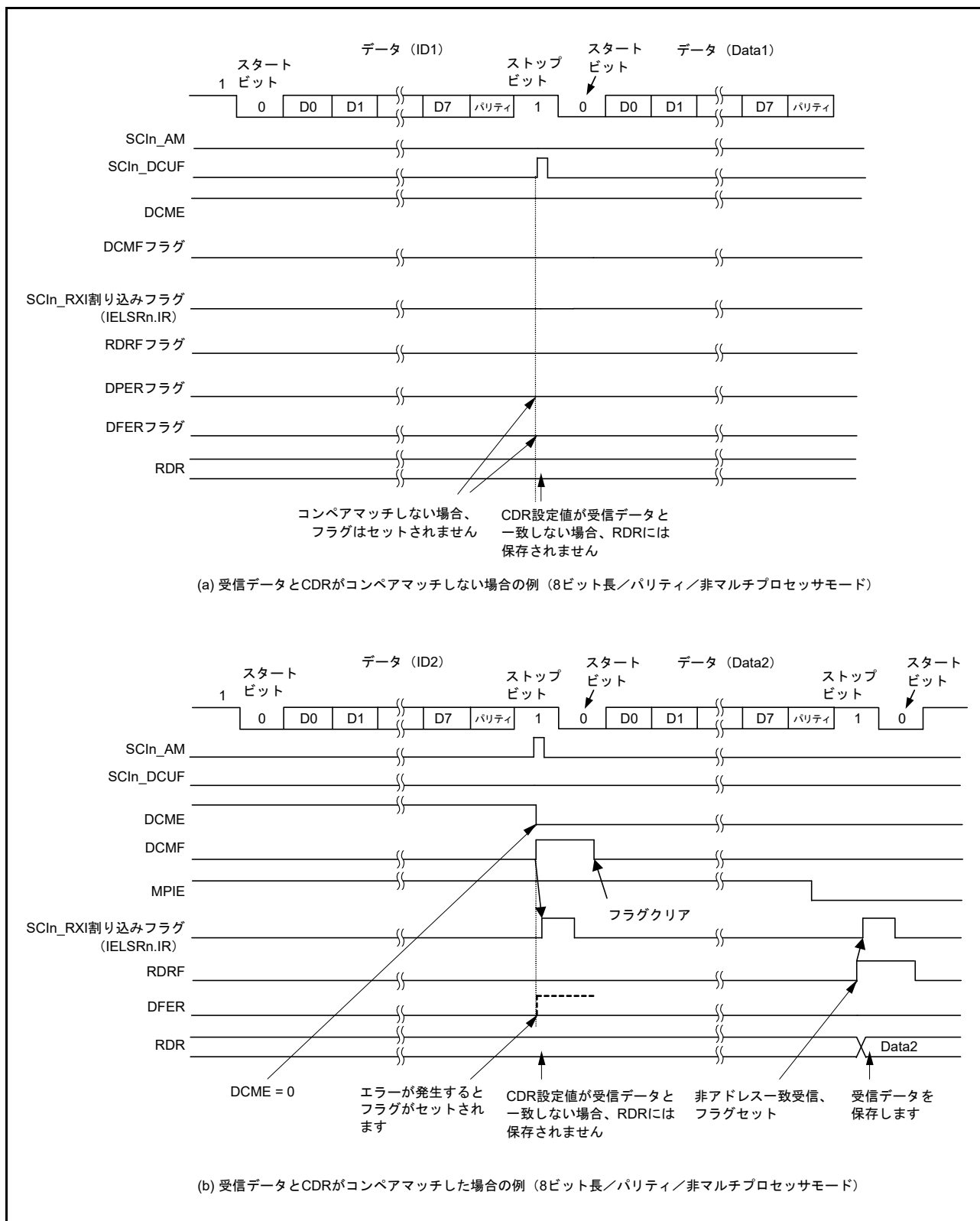


図 27.5 アドレス一致検出の例 (1) (非マルチプロセッサモード)

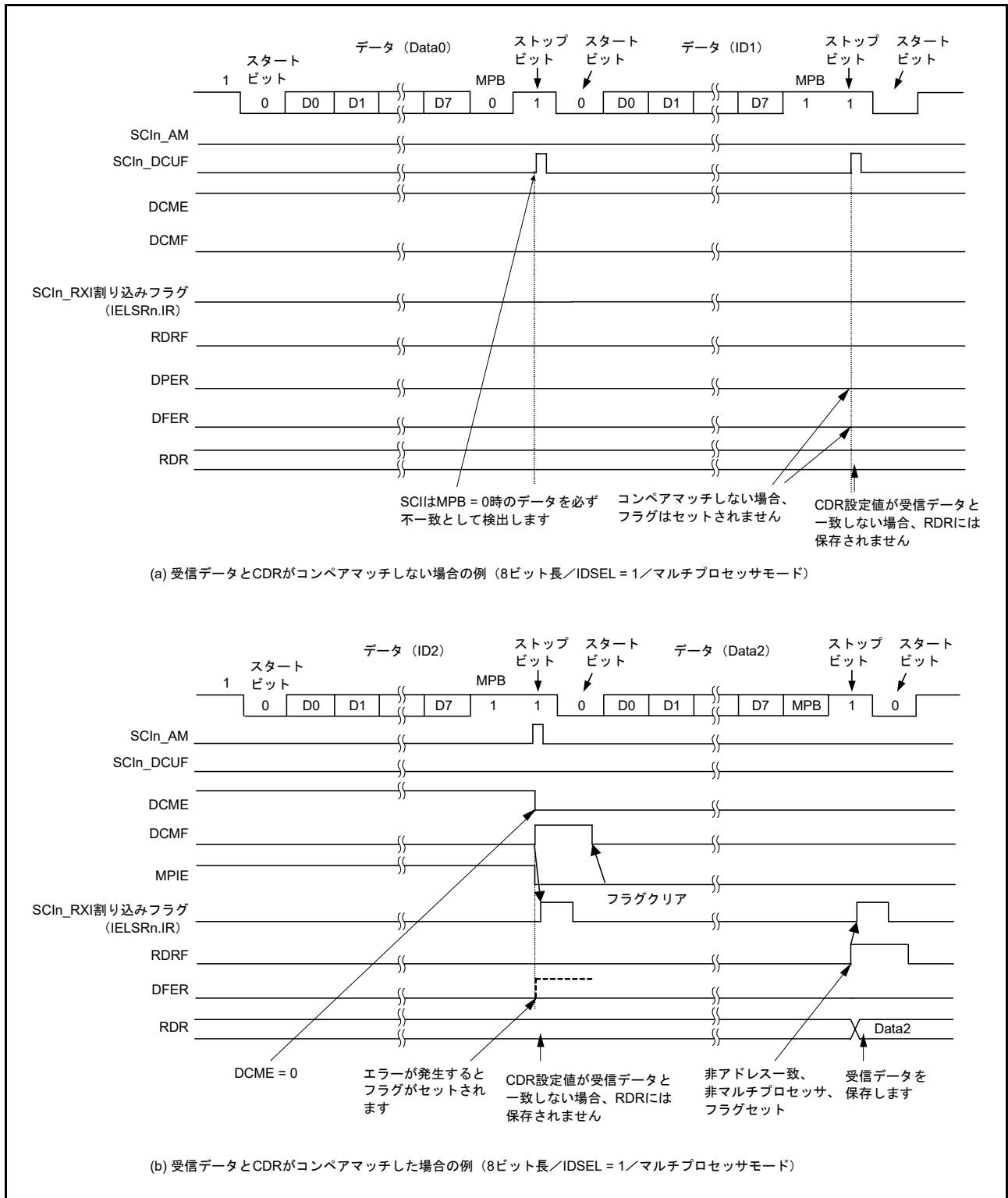


図 27.6 アドレス一致検出の例 (2) (マルチプロセッサモード)

### 27.3.7 SCIの初期化（調歩同期式モード）

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に図 27.7 と図 27.8 のフローチャートに従って SCI の初期設定（非 FIFO 選択時または FIFO 選択時）を続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の間も含めてクロックを供給してください。

- 注． SCR.RE ビットを 0 にしても、SSR/SSR\_FIFO レジスタの ORER、FER、RDRF、RDF、PER、DR の各フラグは初期化されません。また、RDR レジスタと RDRHL レジスタも初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。
- 注． SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCI<sub>n</sub>\_TXI 割り込み要求が発生します。

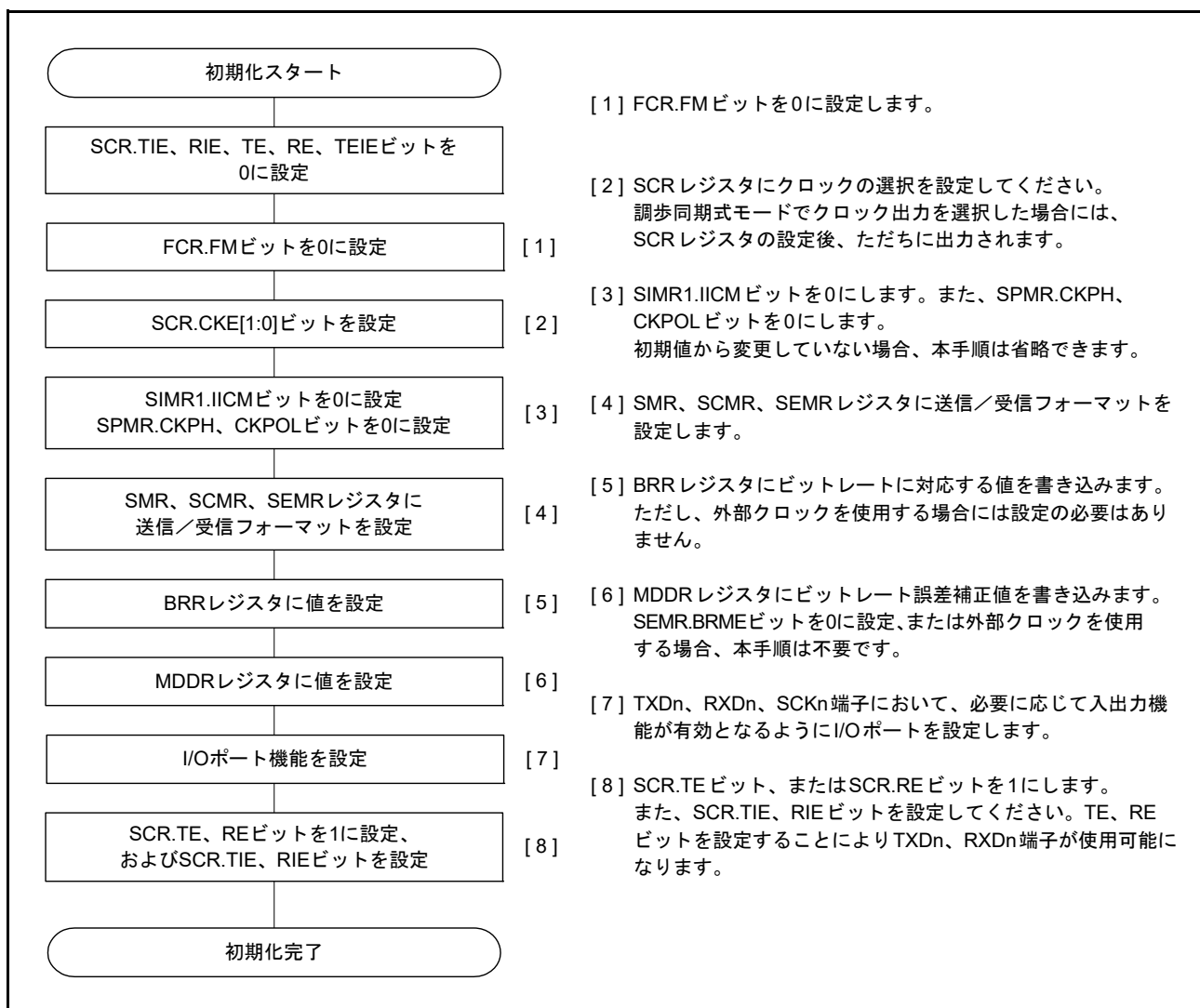


図 27.7 調歩同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時）

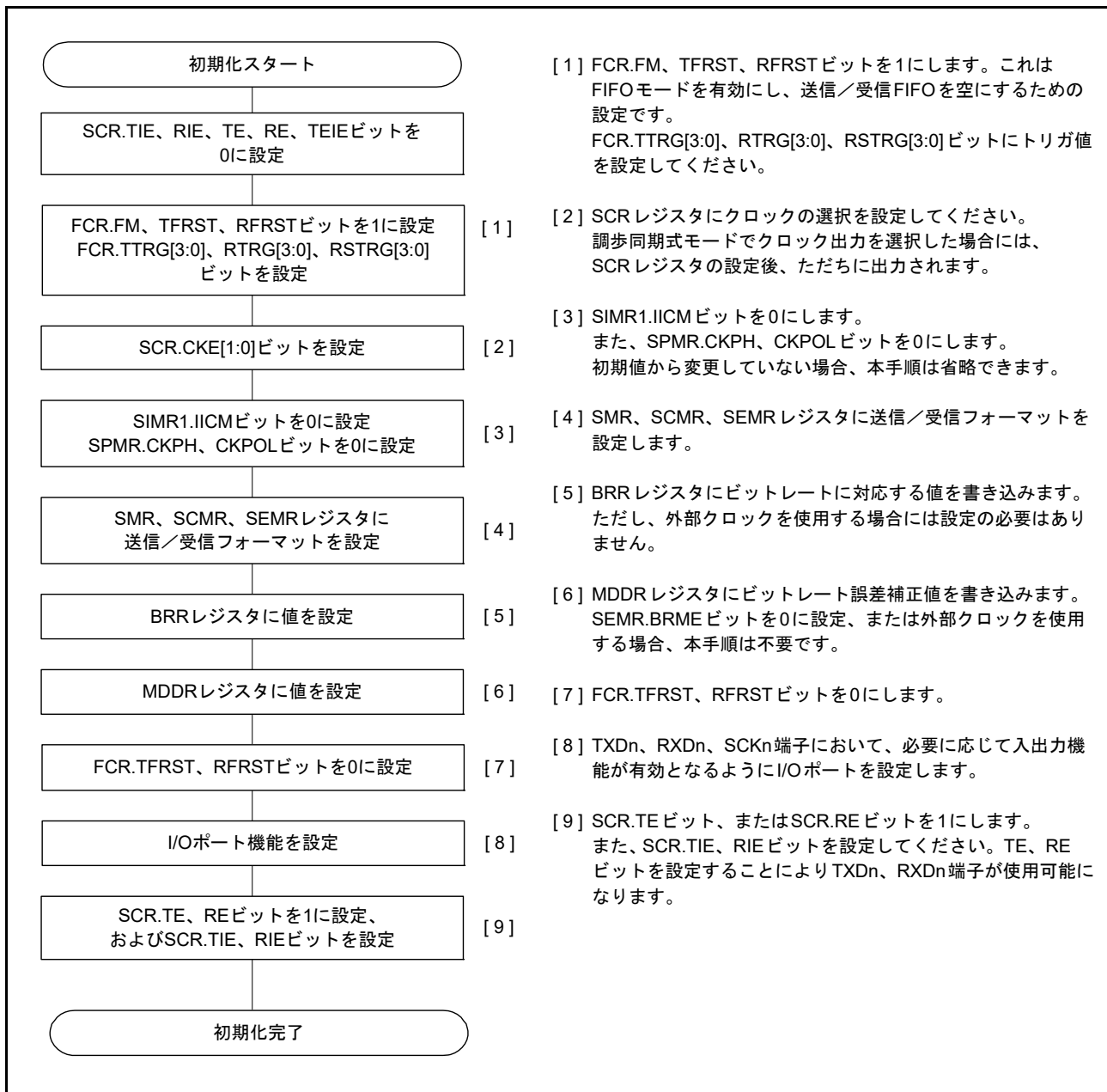


図 27.8 調歩同期式モードにおけるSCIの初期化フローチャート例 (FIFO 選択時)

### 27.3.8 シリアルデータの送信 (調歩同期式モード)

#### (1) 非 FIFO 選択時

図 27.9、図 27.10、および図 27.11 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

本節では、シリアルデータ送信時の SCI の動作について説明します。SCR.TE ビットが 1 の場合、1 フレーム (プリアンブル) 分の High レベルが TXDn 端子に出力されます。

1. SCIn\_TXI 割り込み処理ルーチンで TDR レジスタ (注 1) にデータが書き込まれると、SCI は TDR レジスタ (注 1) から TSR レジスタへデータを転送します。  
なお、送信開始時の SCIn\_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTSn\_RTSn 端子入力が Low であると、TDR レジスタ (注 1) から TSR レジスタへデータが転送され、送信が開始されます。SCR.TIE ビットが 1 であれば、SCIn\_TXI 割り込み要求が発生します。この SCIn\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタ (注 1) に次の送信データを書き込むことで連続送信が可能になります。SCIn\_TEI 割り込み要求を使用する場合、SCIn\_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタ (注 1) に書き込んだ後、SCR.TIE ビットを 0 (SCIn\_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCIn\_TEI 割り込み要求を許可) にします。
3. データは、以下の順に TXDn 端子から送り出されます。
  - スタートビット
  - 送信データ
  - パリティビットまたはマルチプロセッサビット (フォーマットによっては、ない場合もある)
  - ストップビット
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが 0 (CTS 機能は無効)、または CTSn\_RTSn 端子入力が Low に設定されていれば、次の送信データが TDR レジスタ (注 1) から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. TDR レジスタが更新されていない場合は、SSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR.TEND フラグが 1 になり、SCIn\_TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRHL レジスタになります。



図 27.9、図 27.10、および図 27.11 に調歩同期式モードにおけるシリアル送信の動作例を示します。

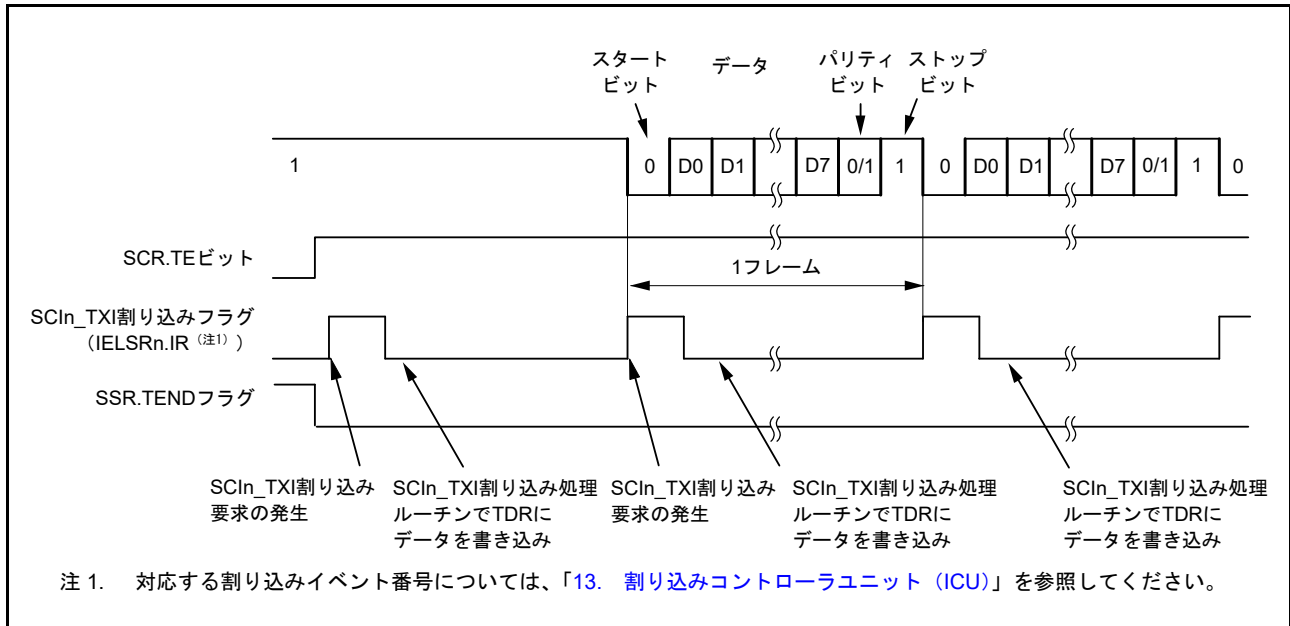


図 27.9 調歩同期式モードにおけるシリアル送信の動作例 (1) (8 ビットデータ/パリティあり/1ストップビット/CTS 機能不使用/送信開始時)

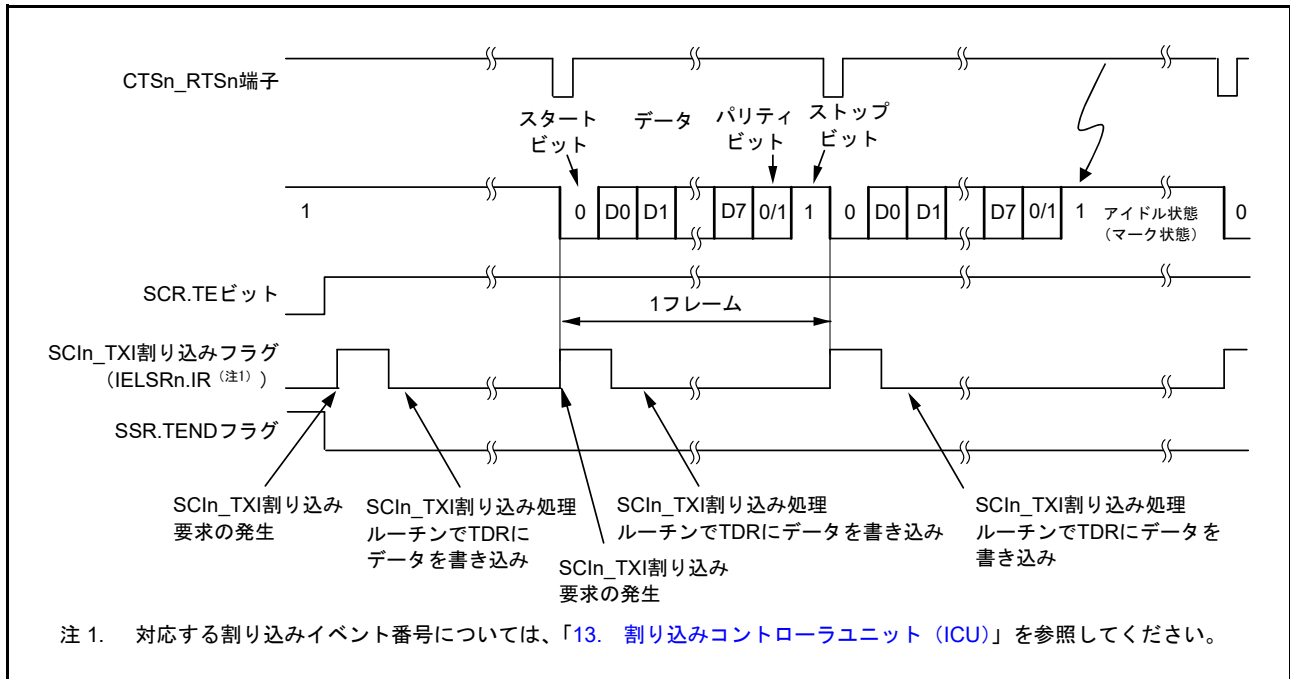


図 27.10 調歩同期式モードにおけるシリアル送信の動作例 (2) (8 ビットデータ/パリティあり/1ストップビット/CTS 機能使用/送信開始時)

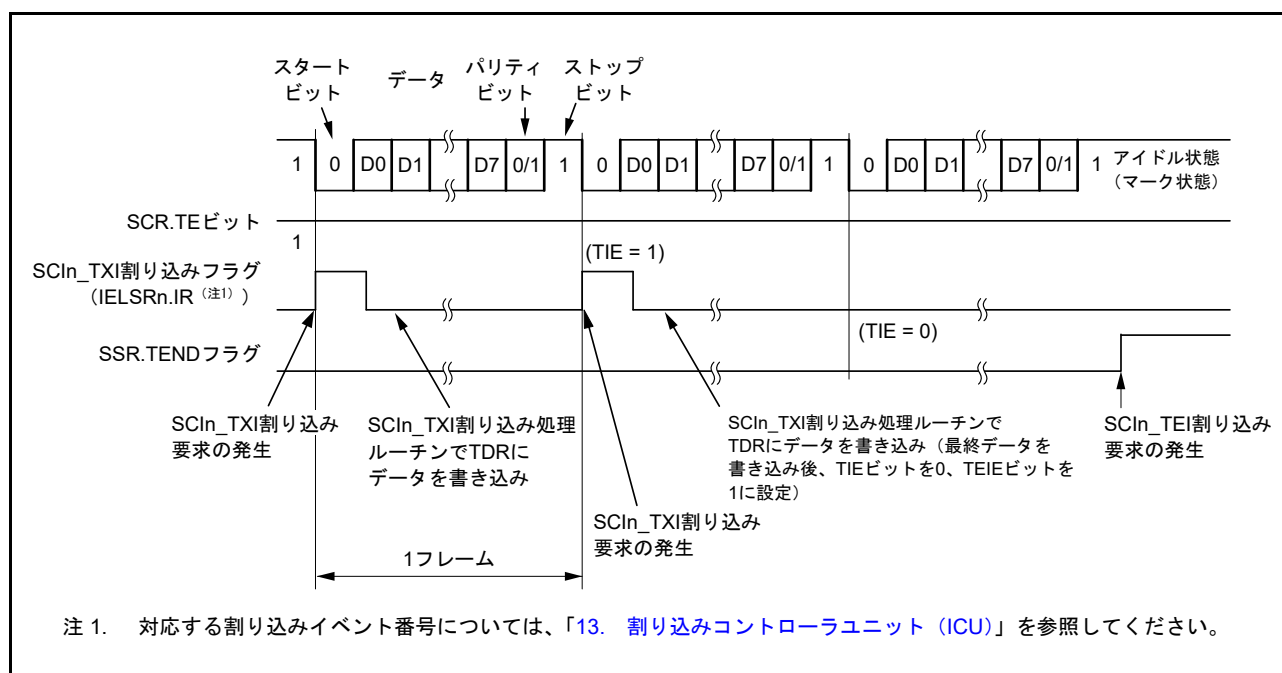


図 27.11 調歩同期式モードにおけるシリアル送信の動作例 (3) (8 ビットデータ/パリティあり/1 ストップビット/CTS 機能不使用/送信中~送信終了時)

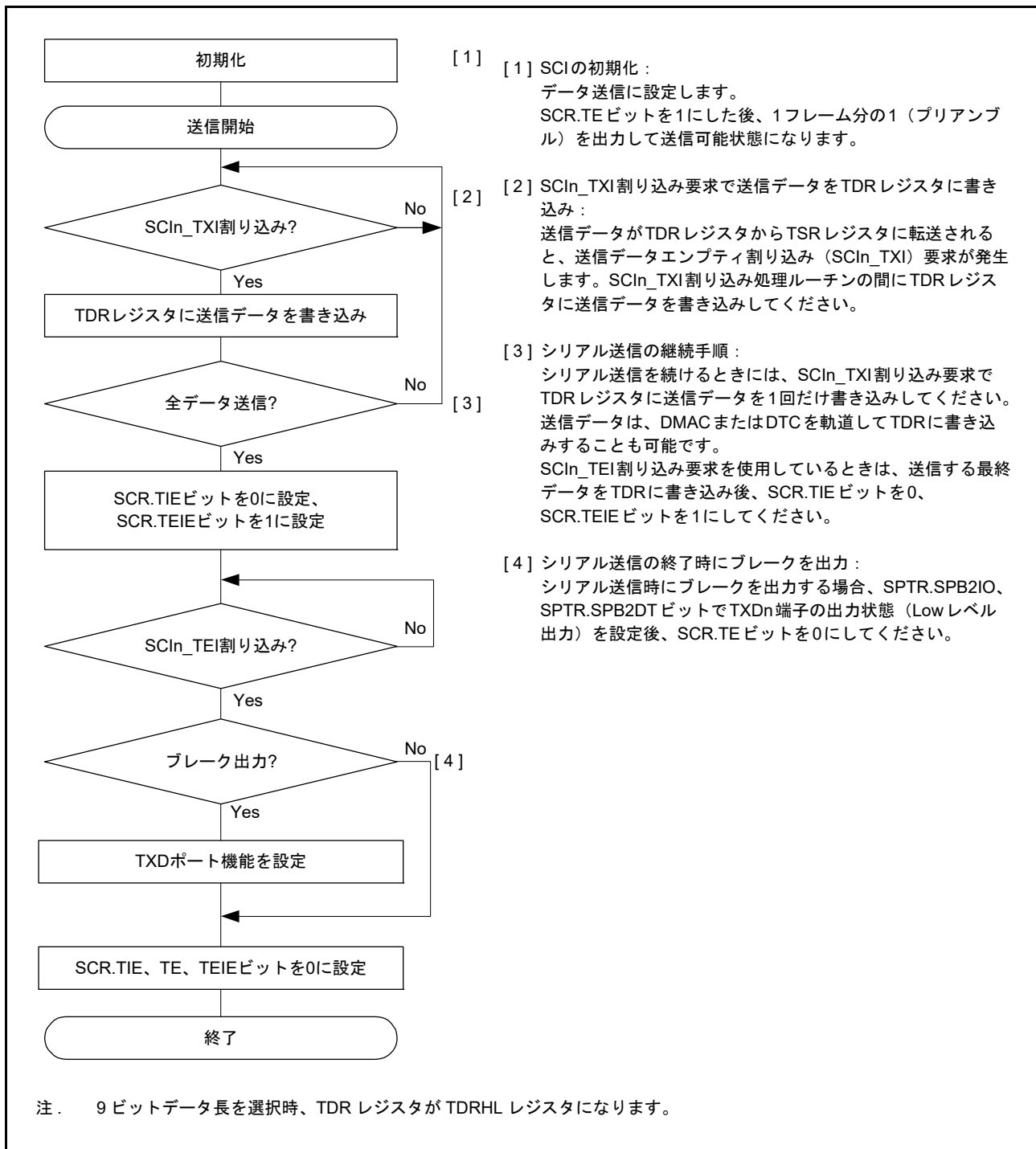


図 27.12 調歩同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

## (2) FIFO 選択時

図 27.13 に、調歩同期式モードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに設定されます。使用しないビットには 0 を書いてください。FTDRH から FTDRL の順に書いてください。

データ長	レジスタ設定		FTDRH、FTDRLの送信データ																
	SCMR. CHR1	SMR. CHR	FTDRHL																
			FTDRH							FTDRL									
			b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0	
7ビット	1	1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	7ビット送信データ
8ビット	1	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	8ビット送信データ
9ビット	0	Don't care	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	9ビット送信データ

— : 無効ビット。書く場合、0 としてください。

図 27.13 FTDRH と FTDRL に書き込まれるデータフォーマット (FIFO 選択時)

本節では、シリアルデータ送信時の SCI の動作について説明します。TE ビットが 1 の場合、1 フレーム (プリアンブル) 分の High レベルが TXD 端子に出力されます。

- SCI<sub>In</sub>\_TXI 割り込み処理ルーチンで FTDRL レジスタ (注 1) にデータが書き込まれると、SCI は FTDRL レジスタ (注 1) から TSR レジスタへデータを転送します。FTDRL レジスタに書き込み可能なデータのバイト数は 16 - FDR.T[4:0] です。なお、送信開始時の SCI<sub>In</sub>\_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
- SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力が Low であると、FTDRL レジスタ (注 1) から TSR レジスタへデータが転送され、送信が開始されます。FTDRL に書き込まれた送信データ数が指定された送信トリガ数以下のとき、SSR\_FIFO.TDFE ビットが 1 になります。SCR.TIE ビットが 1 であれば、SCI<sub>In</sub>\_TXI 割り込み要求が発生します。この SCI<sub>In</sub>\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタ (注 1) に次の送信データを書き込むことで連続送信が可能になります。SCI<sub>In</sub>\_TEI 割り込み要求を使用する場合、SCI<sub>In</sub>\_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタ (注 1) (注 2) に書き込んだ後、SCR.TIE ビットを 0 (SCI<sub>In</sub>\_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCI<sub>In</sub>\_TEI 割り込み要求を許可) にします。
- データは、以下の順に TXD<sub>n</sub> 端子から送り出されます。
  - スタートビット
  - 送信データ
  - パリティビットまたはマルチプロセッサビット (フォーマットによっては、ない場合もある)
  - ストップビット
- ストップビットを送り出すタイミングで、SCI は FTDRL レジスタ (注 3) に未送信データが残っていないかチェックします。
- FTDRL レジスタ (注 3) にデータがある場合、SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力が Low であると、次の送信データが FTDRL レジスタ (注 1) から TSR レジスタへ転送され、ストップビット送後、次のフレームのシリアル送信が開始されます。
- FTDRL レジスタ (注 3) にデータがない場合、SSR\_FIFO レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR\_FIFO.TEND フラグが 1 になり、SCI<sub>In</sub>\_TEI 割り込み要求が発生します。

- 注1. データ長9ビット選択時は、データをFTDRHレジスタおよびFTDRLレジスタに書き込んでください。  
 注2. データ長9ビット選択時は、FTDRHレジスタ→FTDRLレジスタの順にデータを書き込んでください。  
 注3. データ長9ビット選択時は、SCIによってFTDRLレジスタの更新のみがチェックされ、FTDRHレジスタの更新はチェックされません。

図 27.14 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

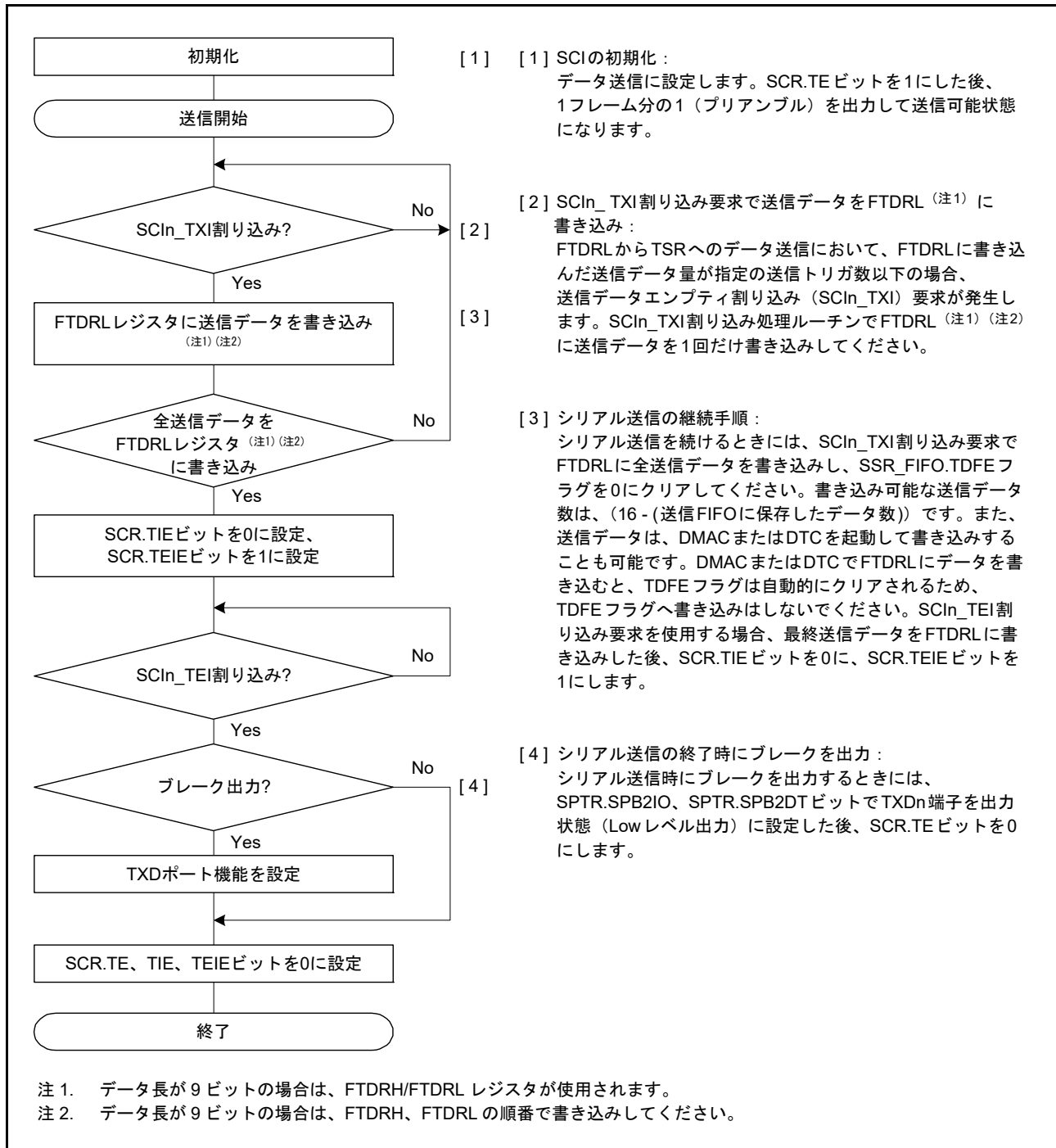


図 27.14 調歩同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

## 27.3.9 シリアルデータの受信（調歩同期式モード）

## (1) 非 FIFO 選択時

図 27.15 と図 27.16 に、調歩同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn\_ERI 割り込み要求が発生します。受信データは RDR レジスタ（注 1）へ転送されません。
4. パリティエラーが検出された場合は、SSR.PER フラグが 1 になり、受信データが RDR レジスタ（注 1）へ転送されます。SCR.RIE ビットが 1 であれば、SCIn\_ERI 割り込み要求が発生します。
5. フレームエラーが検出された場合は、SSR.FER フラグが 1 になり、受信データが RDR レジスタ（注 1）へ転送されます。SCR.RIE ビットが 1 であれば、SCIn\_ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データが RDR レジスタ（注 1）へ転送されます。SCR.RIE ビットが 1 であれば、SCIn\_RXI 割り込み要求が発生します。この SCIn\_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データを読み出されると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。

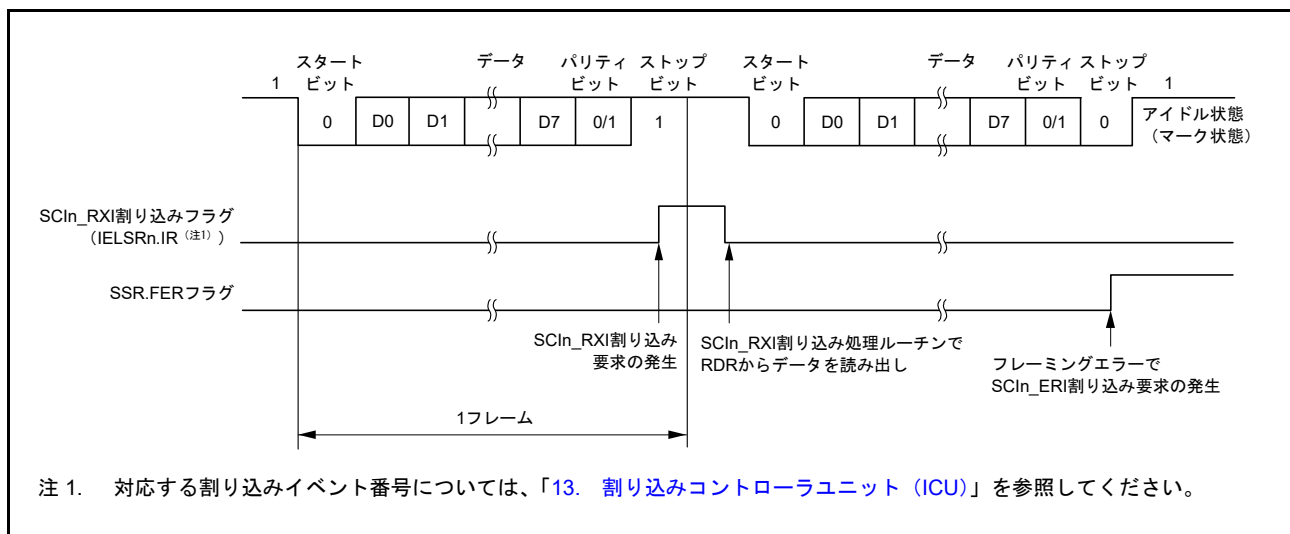


図 27.15 調歩同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合) (8 ビットデータ / パリティあり / 1 ストップビットの場合)

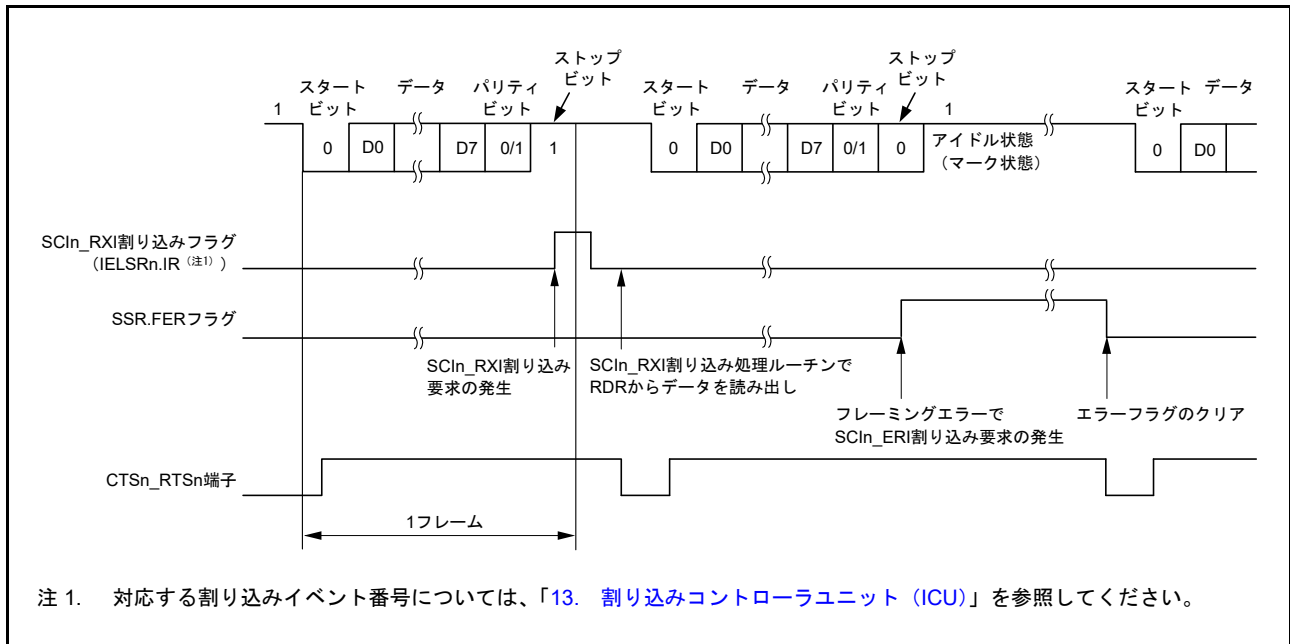


図 27.16 調歩同期式モードにおけるシリアル受信の動作例 (2) (RTS 機能を使用する場合) (8 ビットデータ / パリティあり / 1 ストップビットの場合)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 27.24 に示します。

受信エラーが検出されると、SCIn\_ERI 割り込み要求は発生しますが、SCIn\_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では、受信動作を再開できません。受信を再開する前に、ORER、FER、および PER の各フラグを 0 にする必要があります。また、オーバーランエラー処理では、必ず RDR または RDRHL レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR または RDRHL レジスタに読み出し前の受信データが残っている可能性があるため、RDR または RDRHL レジスタを読み出す必要があります。

図 27.17 と図 27.18 に、シリアル受信のフローチャート例を示します。

表 27.24 SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDRへ転送	フレーミングエラー
0	0	1	RDRへ転送	パリティエラー
1	1	0	消失	オーバーランエラー+フレーミングエラー
1	0	1	消失	オーバーランエラー+パリティエラー
0	1	1	RDRへ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバーランエラー+フレーミングエラー+パリティエラー

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。

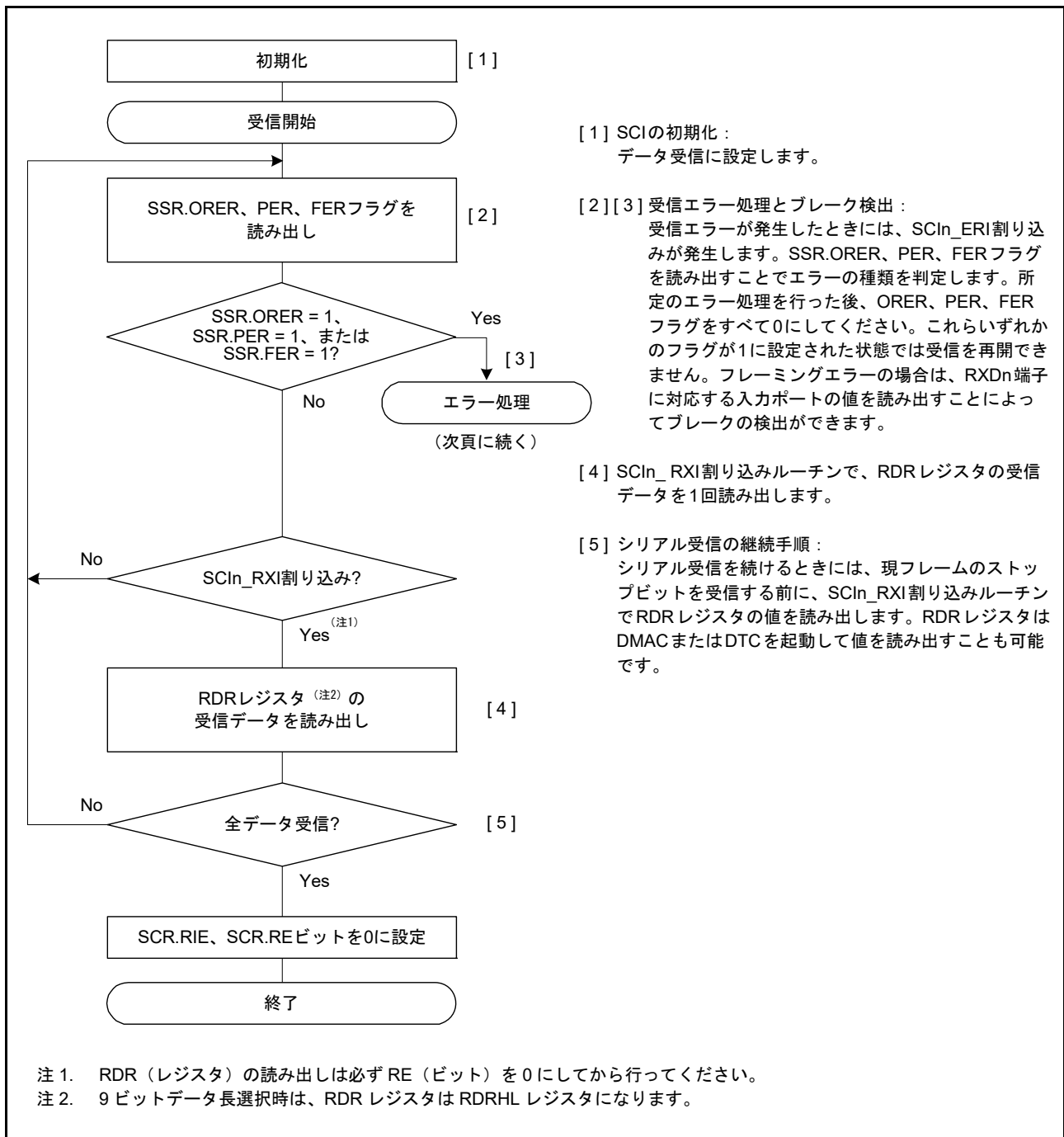


図 27.17 調歩同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時) (1)



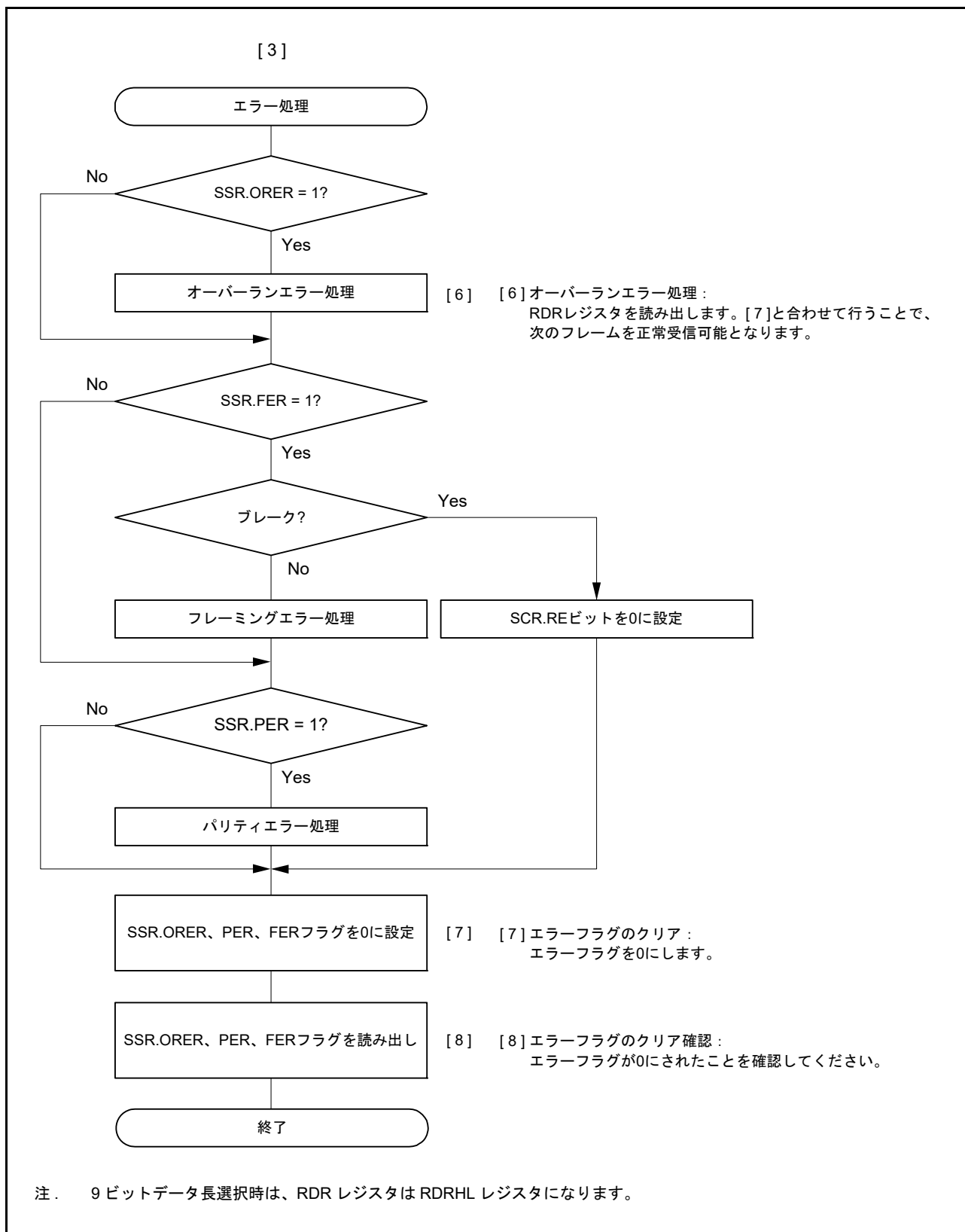


図 27.18 調歩同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時) (2)

## (2) FIFO 選択時

図 27.19 に、調歩同期式モードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、FRDRH レジスタの MPB フラグに 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH から FRDRL の順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、PER、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR\_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH、FRDRLの受信データ																
	SCMR. CHR1	SMR. CHR	FRDRHL																
			FRDRH							FRDRL									
			b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0	
7ビット	1	1	—	RDF	ORER	FER	PER	DR	0	0	0								7ビット受信データ
8ビット	1	0	—	RDF	ORER	FER	PER	DR	0	0									8ビット受信データ
9ビット	0	Don't care	—	RDF	ORER	FER	PER	DR	0										9ビット受信データ

注. MPB フラグからは常に 0 が読み出されます (FRDRH[1])。  
 データ長が 7 ビットするとき、FRDRH[0]、FRDRL[7] からは常に 0 が読み出されます。  
 データ長が 8 ビットするとき、FRDRH[0] から常に 0 が読み出されます。  
 FRDRH[7] ビットの読み出し値は不定です。

図 27.19 FRDRH と FRDRL に格納されるデータフォーマット (FIFO 選択時)

シリアルデータの受信時、SCI は以下のように動作します。

- SCR.RE ビットが 1 になると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。
- SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
- FRDRL レジスタがいっぱいであると、オーバーランエラーが発生します。オーバーランエラーが発生した場合、SSR\_FIFO.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI<sub>n</sub>\_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ (注 1) へ転送されません。
- パリティエラーが検出された場合は、PER フラグと受信データが FRDRL レジスタ (注 1) へ転送されます。このとき、RIE ビットが 1 になっていると、SCI<sub>n</sub>\_ERI 割り込み要求が発生します。
- フレームエラーが検出された場合は、FER フラグと受信データが FRDRL レジスタ (注 1) へ転送されます。このとき、RIE ビットが 1 になっていると、SCI<sub>n</sub>\_ERI 割り込み要求が発生します。
- フレームエラーが検出された後、SCI によって連続受信データが 1 フレーム分であることが検出された場合、受信動作が停止します。
- FRDRL レジスタに格納されたデータ数が、指定された受信トリガ数より少なく、かつ、調歩同期式モードにおいて最後のストップビットから 15ETU 経過しても次のデータが受信されていない場合は、SSR\_FIFO.DR ビットが 1 になります。RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCI<sub>n</sub>\_RXI 割り込み要求を発生させません。FCR.DRES ビットが 1 の場合、SCI は SCI<sub>n</sub>\_ERI 割り込み要求を発生させます。
- 正常に受信したときは、受信データが FRDRL レジスタ (注 1) へ転送されます。FRDRHL に書き込まれた受信データ数が、指定された受信トリガ数以上であると、RDF ビットが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI<sub>n</sub>\_RXI 割り込み要求が発生します。この SCI<sub>n</sub>\_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ (注 2) へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタ (注 3) へ転送された受信データ数が RTS トリガ数未満であると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。

- 注1. データ長9ビット選択時は、FRDRHレジスタとFRDRLレジスタのデータだけを読み出してください。  
 注2. データ長9ビット選択時は、FRDRHレジスタ→FRDRLレジスタの順にデータを読み出してください。  
 注3. データ長9ビット選択時は、SCIによってFRDRLレジスタの更新のみがチェックされ、FRDRHレジスタの更新はチェックされません。

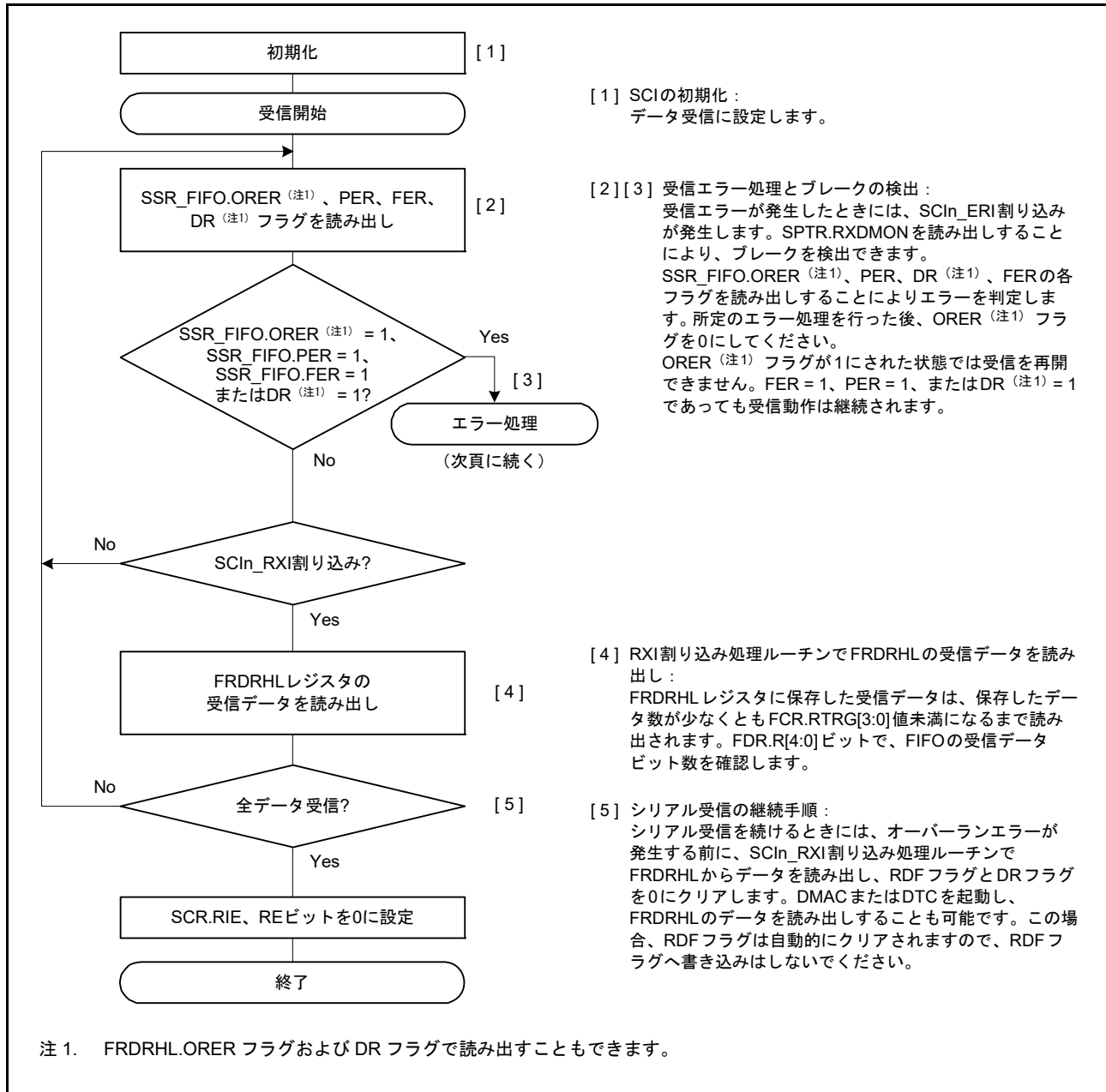


図 27.20 調歩同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時) (1)

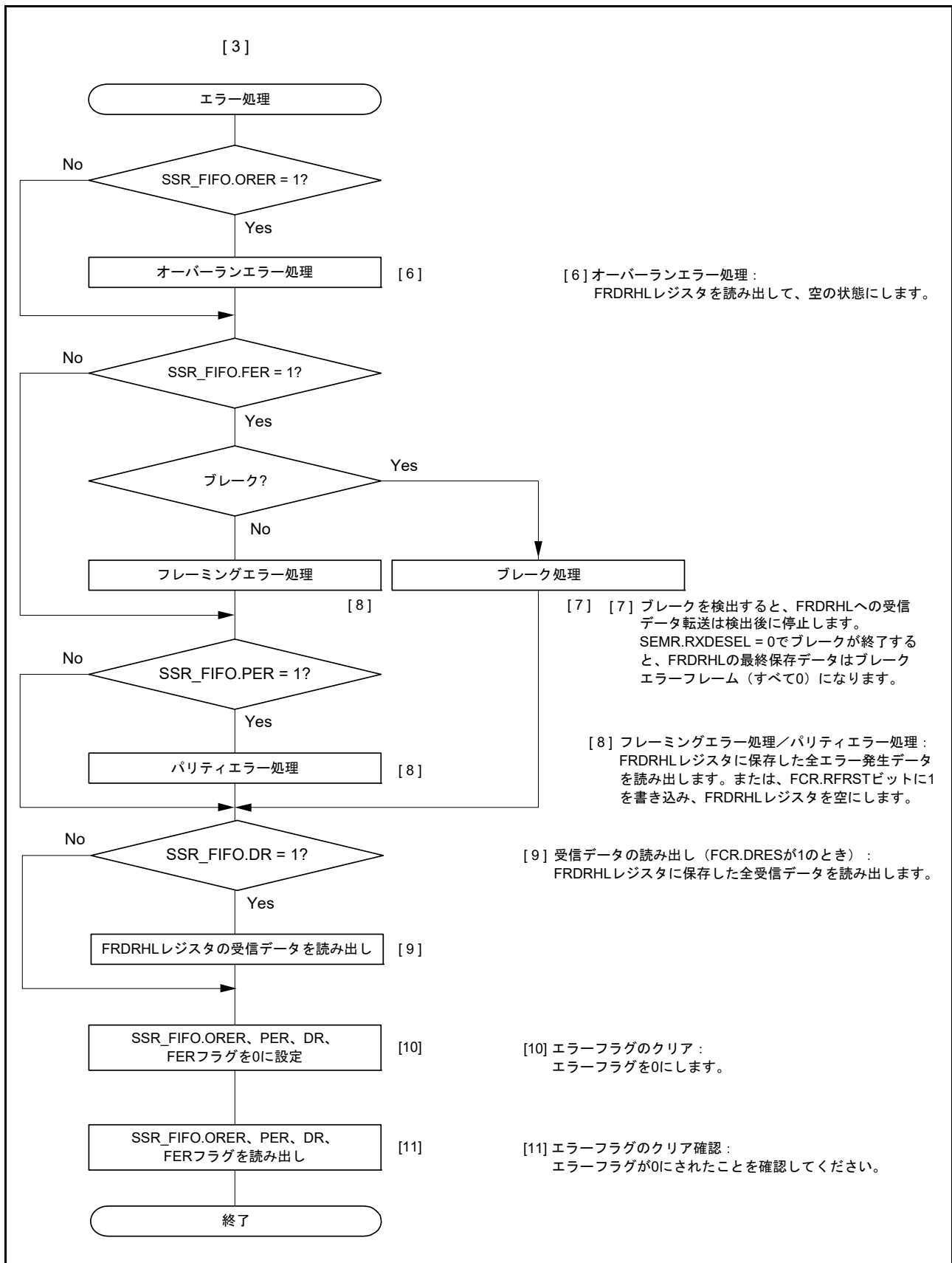


図 27.21 調歩同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時) (2)

## 27.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有したデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、送信サイクルは ID 送信サイクル
- マルチプロセッサビットが 0 のとき、送信サイクルはデータ送信サイクル

図 27.22 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、マルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

### (1) 非 FIFO 選択時

SCI はこの機能をサポートするため、SCR.MPIE ビットを設けています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタ (データ長 9 ビット選択時は RDRHL レジスタ) への受信データの転送
- 受信エラーの検出
- SSR レジスタの RDRF、ORER、FER の各ステータスフラグのセット

マルチプロセッサビットが 1 のキャラクタを受信すると、SSR.MPBT ビットが 1 になるとともに、SCR.MPIE ビットが自動的にクリアされ、SCI は非マルチプロセッサ受信動作に戻ります。このとき、SCR.RIE ビットがセットされていると、SCI<sub>In</sub>\_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、非マルチプロセッサ調歩同期式モードでの動作と変わりません。マルチプロセッサ通信を行うときのクロックも、非マルチプロセッサ調歩同期式モードで使用するクロックと同一です。

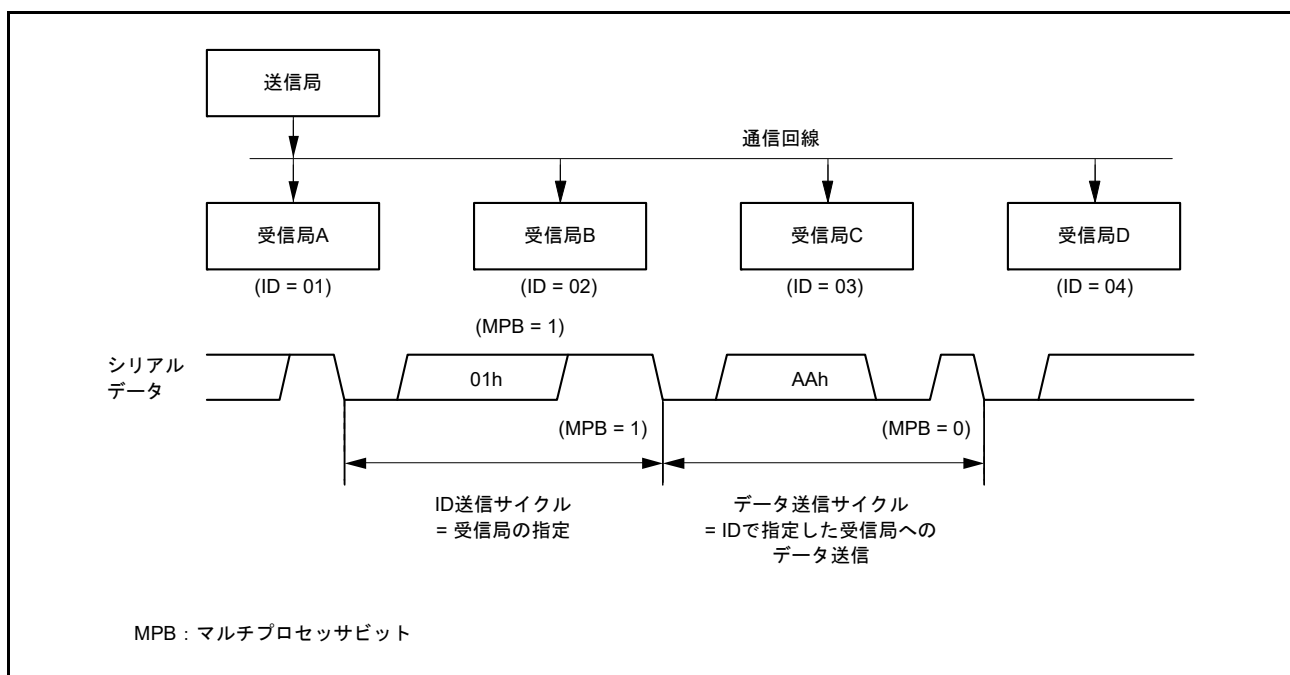


図 27.22 マルチプロセッサフォーマットを使用した通信例 (データ AAh を受信局 A に送信する場合)

## (2) FIFO 選択時

データ送信では、ソフトウェアにおいて、FTDRHL.TDAT 内の送信データに対応する FTDRHL.MPBT ビットにデータを書き込む必要があります。データ受信では、受信データの一部であるマルチプロセッサビットが FRDRHL.MPB ビットに書き込まれ、受信データは FRDRL レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから FRDRHL レジスタへの受信データの転送
- 受信エラーの検出
- ブレーク
- SSR\_FIFO レジスタの RDF、ORER、FER の各ステータスフラグのセット

マルチプロセッサビットが 1 の 8 ビットキャラクタを受信すると、FRDRHL.MPB ビットが 1 になるとともに、受信データが FRDRHL.RDAT ビットに書き込まれます。SCR.MPIE ビットが自動的にクリアされるので、SCI は非マルチプロセッサ受信動作に戻ります。このとき、SCR.RIE ビットがセットされていると、SCI<sub>In</sub>\_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、非マルチプロセッサ調歩同期式モードでの非 FIFO 選択時の動作と変わりません。

## 27.4.1 マルチプロセッサシリアルデータ送信

## (1) 非 FIFO 選択時

図 27.23 に、マルチプロセッサデータ送信のフローチャート例を示します。ID 送信サイクルでは、SSR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードの動作と同じです。

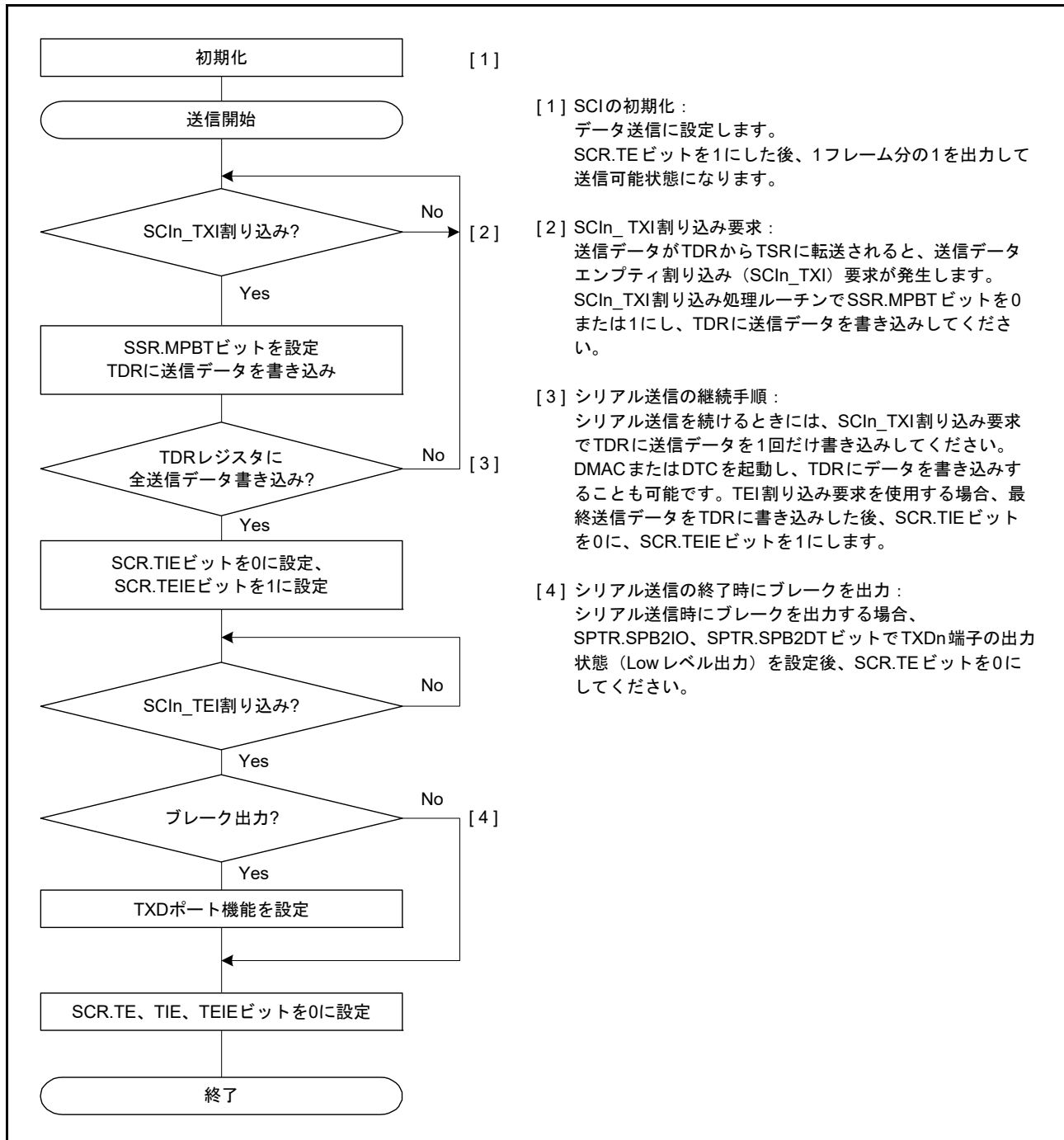


図 27.23 マルチプロセッサシリアル送信のフローチャート例 (非 FIFO 選択時)

## (2) FIFO 選択時

図 27.24 に、マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

FTDRH.MPBT ビットは 1 になります。適切なデータ長のデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH レジスタ→FTDRL レジスタの順に書いてください。

データ長	レジスタ設定		FTDRH、FTDRLの送信データ																
	SCMR. CHR1	SMR. CHR	FTDRHL																
			FTDRH								FTDRL								
			b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0	
7ビット	1	1	—	—	—	—	—	—	—	MPBT	—	—							7ビット送信データ
8ビット	1	0	—	—	—	—	—	—	—	MPBT	—								8ビット送信データ
9ビット	0	Don't care	—	—	—	—	—	—	—	MPBT									9ビット送信データ

—: 無効ビット。書く場合、0としてください。

図 27.24 マルチプロセッサモードにおいて FTDRH と FTDRL に書き込まれるデータフォーマット (FIFO 選択時)

図 27.25 に、FIFO 選択時のマルチプロセッサデータ送信のフローチャート例を示します。ID 送信サイクルでは、FTDRH.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける非 FIFO 選択時の動作と同じです。



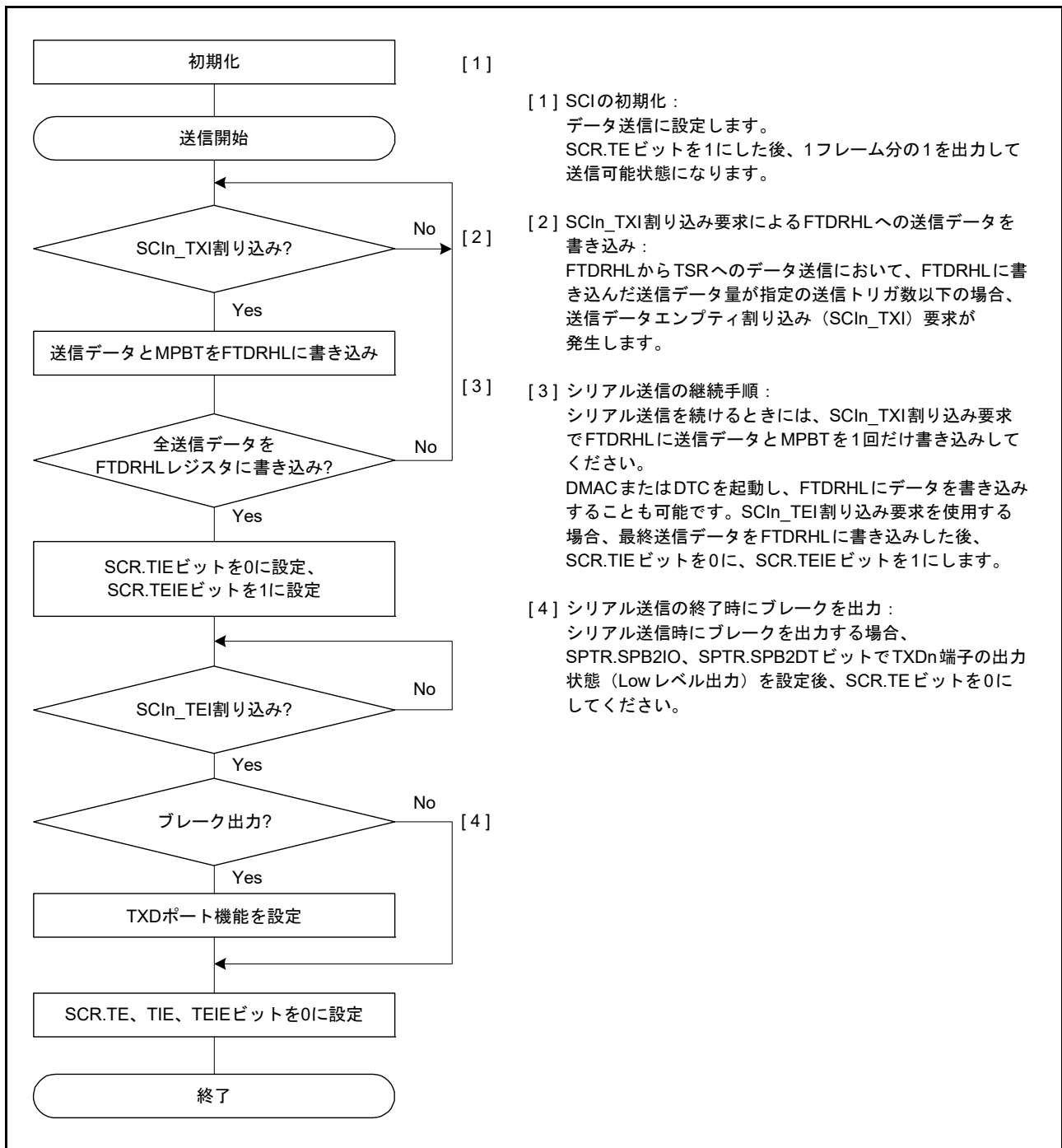


図 27.25 マルチプロセッサモードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

## 27.4.2 マルチプロセッサシリアルデータ受信

## (1) 非 FIFO 選択時

図 27.27 と図 27.28 に、マルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）へ転送され、SCIn\_RXI 割り込み要求が発生します。その他の動作は、調歩同期式モードの動作と同じです。

図 27.26 に、データ受信時の動作例を示します。

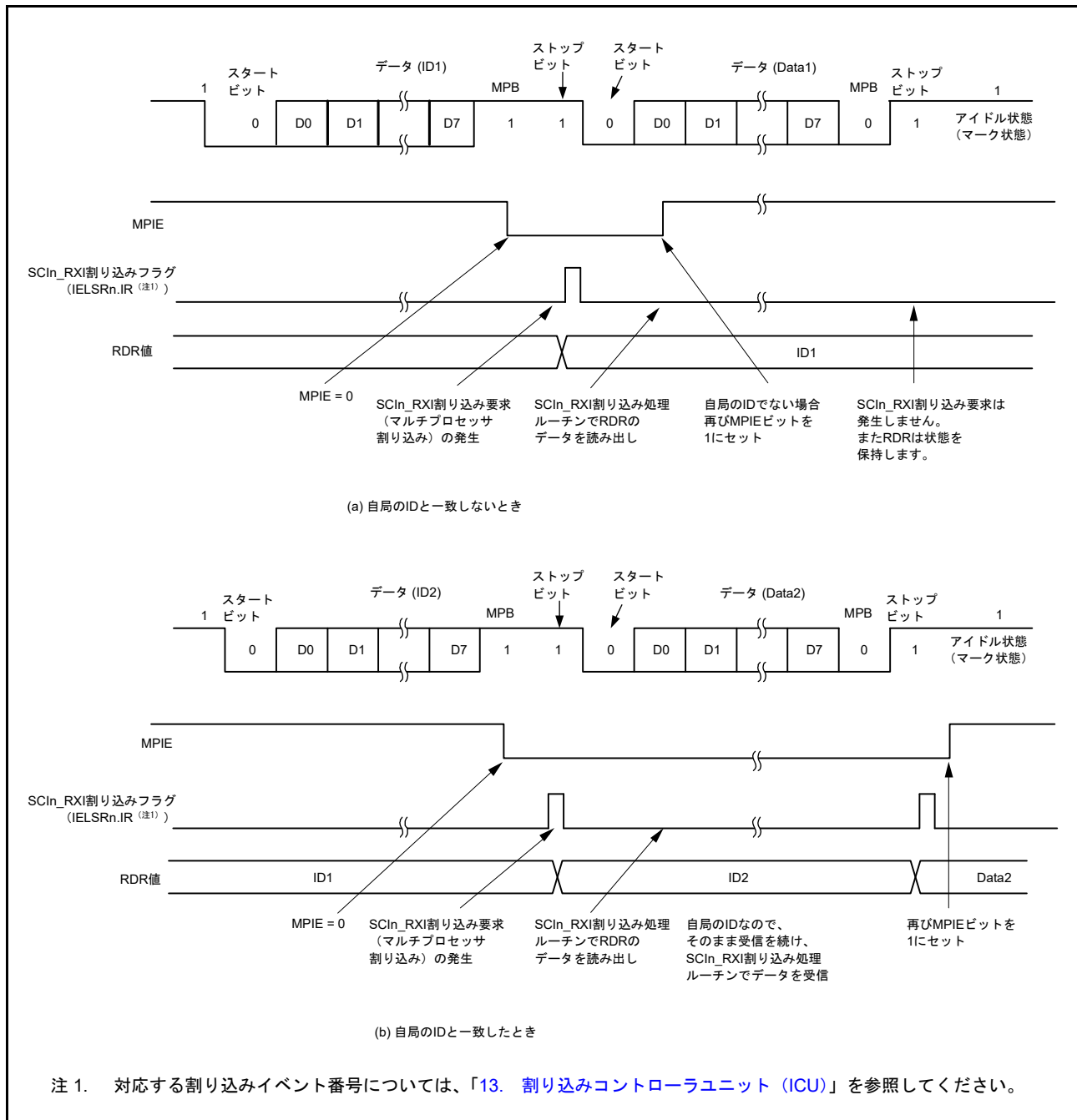


図 27.26 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの場合)

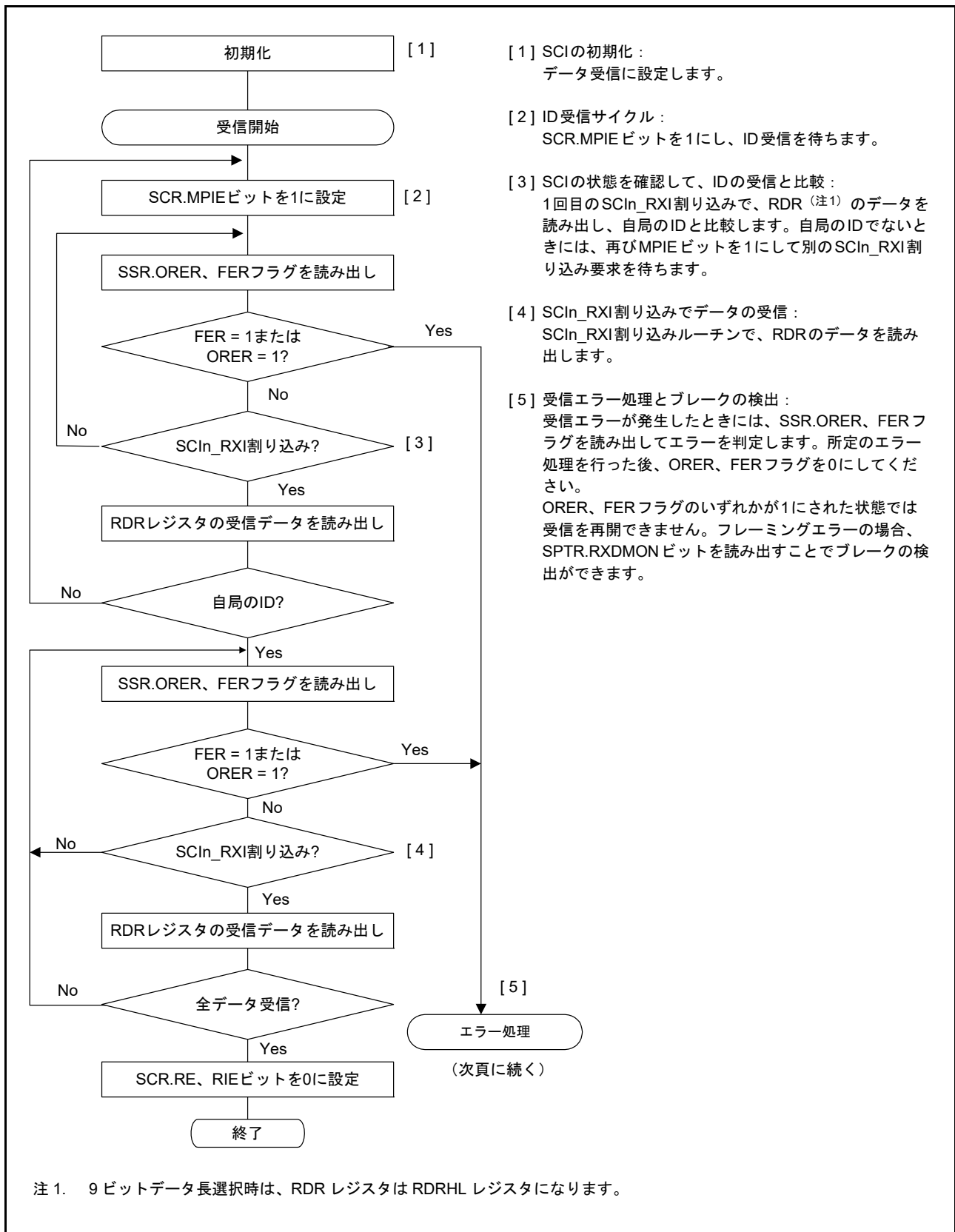


図 27.27 マルチプロセッサシリアル受信のフローチャート例 (非 FIFO 選択時) (1)

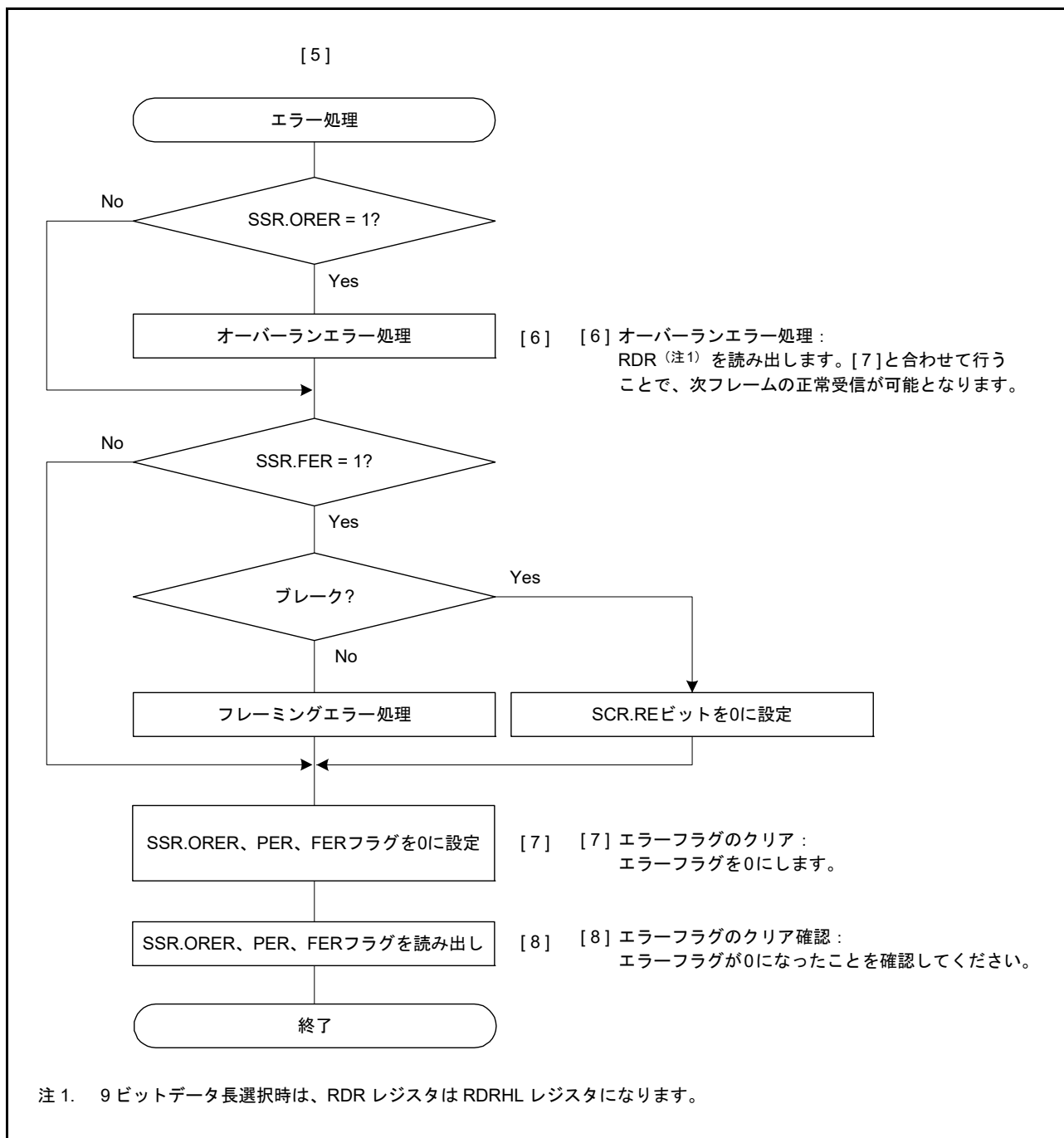


図 27.28 マルチプロセッサシリアル受信のフローチャート例 (非 FIFO 選択時) (2)

(2) FIFO 選択時

図 27.29 に、マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が FRDRH.MPB フラグに書き込まれます。FRDRH.PER フラグに 0 が書き込まれます。適切なデータ長のデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。

FRDRH から FRDRL の順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、MPB、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR\_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH、FRDRLの受信データ														
	SCMR. CHR1	SMR. CHR	FRDRH								FRDRL						
			b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1
7ビット	1	1	—	RDF	ORER	FER	0	DR	MPB	0	0	7ビット受信データ					
8ビット	1	0	—	RDF	ORER	FER	0	DR	MPB	0	8ビット受信データ						
9ビット	0	Don't care	—	RDF	ORER	FER	0	DR	MPB	9ビット受信データ							

注. データ長が7ビットのとき、FRDRH[0], FRDRL[7]からは常に0が読み出されます。  
 データ長が8ビットのとき、FRDRH[0]から常に0が読み出されます。  
 FRDRH[7]ビットの読み出し値は不定です。

図 27.29 マルチプロセッサモードにおいて FRDRH と FRDRL に格納されるデータフォーマット (FIFO 選択時)

図 27.30 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。

SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データ、MPB、および関連のエラーが FRDRHL レジスタへ転送されます。SCR.MPIE ビットは自動的にクリアされ、非マルチプロセッサ受信動作が継続します。

フレームエラーが発生して SSR\_FIFO.FER フラグが 1 になると、SCI はデータ受信を継続します。その他の動作は、調歩同期式モードにおける非 FIFO 選択時の動作と同じです。

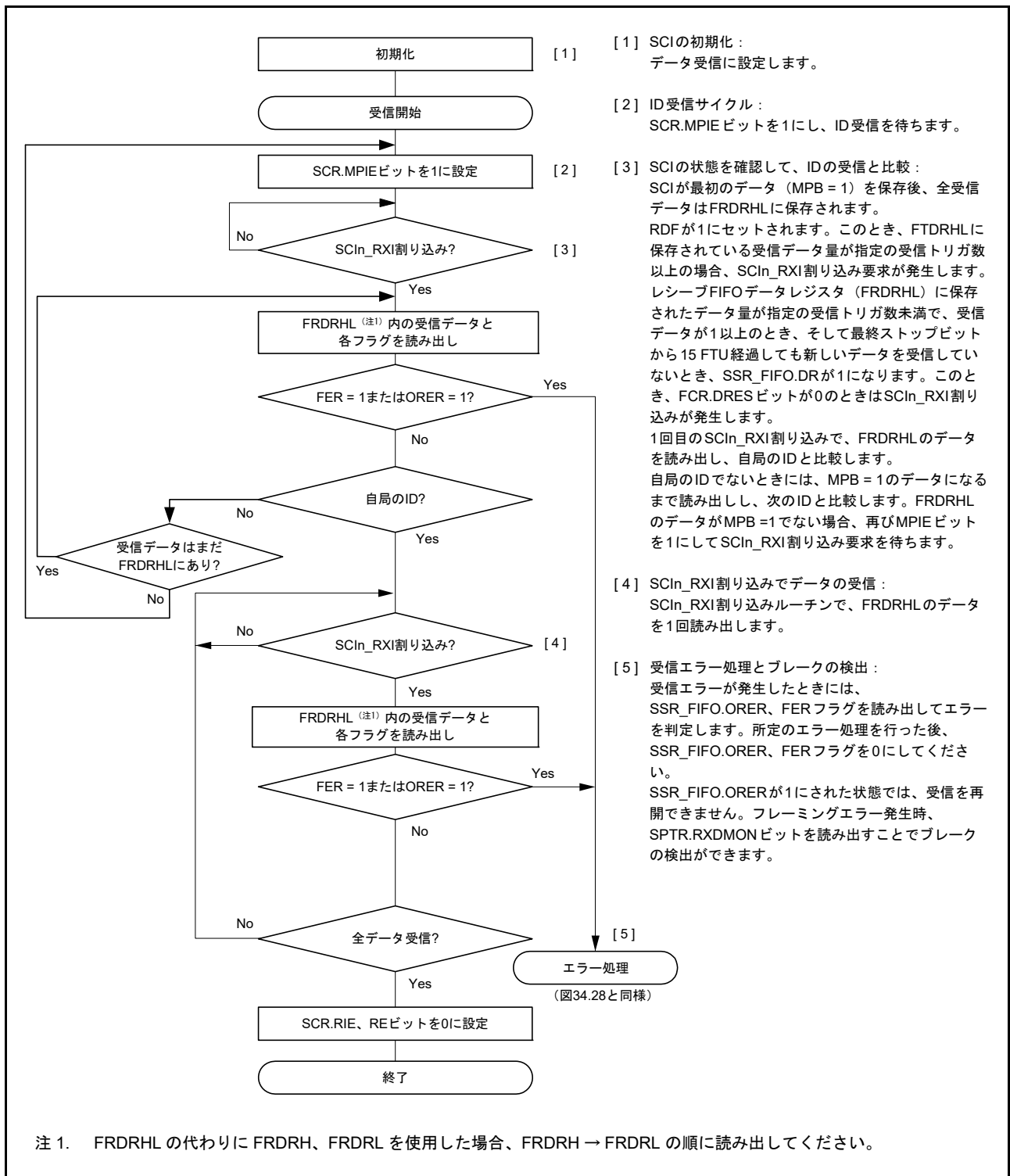


図 27.30 マルチプロセッサモードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

## 27.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 27.31 に示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり時に同期してデータを取り込みます。8 ビット出力後の送信ラインは、最終ビットの出力状態を保ちます。スリープモードにおいて SPMR.CKPH ビットが 1 の場合、送信ラインは第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しが可能であり、連続送受信動作が実現されます。

ただし、最高速ビットレートの設定 (BRR[7:0] = 00h かつ SMR.CKS[1:0] = 00b) では、連続送受信動作が不可能です。そのため FIFO 選択時は、この設定 (BRR[7:0] = 00h かつ SMR.CKS[1:0] = 00b) は利用できません。

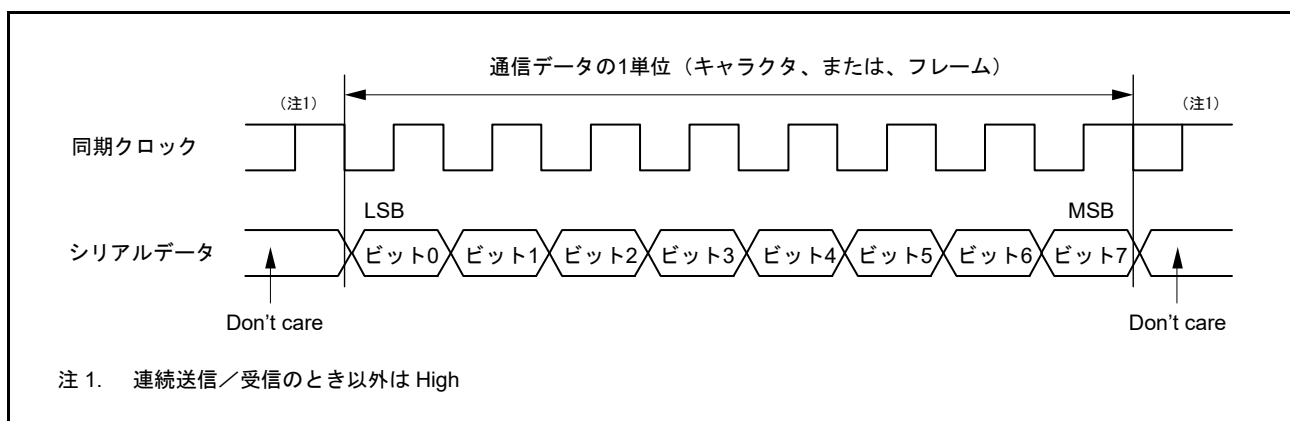


図 27.31 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

### 27.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部同期クロックのいずれかを選択できます。

SCI が内部クロックで動作する場合は、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信で 8 パルスの同期クロックが出力されます。送受信を行わないとき、クロックは High に固定されます。ただし、受信動作のみで CTS 機能が無効な場合、SCR.RE ビットが 1 になると、同期クロックの出力が始まります。オーバーランエラーが発生するか、または SCR.RE ビットが 0 になると、同期クロックは High レベル (注 1) になったところで停止します。

受信動作のみで CTS 機能が有効な場合は、SCR.RE ビットが 1 になっても CTSn\_RTSn 端子入力が High であれば、クロック出力は始まりません。SCR.RE ビットが 1 になったとき、CTSn\_RTSn 端子入力が Low であれば、同期クロックの出力が始まります。その後、フレームの受信が完了した時点で CTSn\_RTSn 端子入力が High であれば、同期クロック出力は High レベルになったところで停止します。CTSn\_RTSn 端子入力が引き続き Low であれば、オーバーランエラーが発生するか、または SCR.RE ビットが 0 になったときに、同期クロックは High レベル (注 1) になったところで停止します。

- 注 1. 「SPMR.CKPH = 0、かつ SPMR.CKPOL = 0」または「SPMR.CKPH = 1、かつ SPMR.CKPOL = 1」の状態にあるとき、信号は High に固定されます。  
 「SPMR.CKPH = 0、かつ SPMR.CKPOL = 1」または「SPMR.CKPH = 1、かつ SPMR.CKPOL = 0」の状態にあるとき、信号は Low に固定されます。

## 27.5.2 CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTS<sub>n</sub> RTS<sub>n</sub> 端子入力を使用してデータ送受信の開始制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTS<sub>n</sub> RTS<sub>n</sub> 端子入力が Low になると、データの送受信が開始されます。

送受信中に CTS<sub>n</sub> RTS<sub>n</sub> 端子入力を High にしても、処理中のフレームの送受信には影響を与えません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTS<sub>n</sub> RTS<sub>n</sub> 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると、CTS<sub>n</sub> RTS<sub>n</sub> 端子出力が Low になります。CTS<sub>n</sub> RTS<sub>n</sub> 端子出力が Low および High となる条件は以下のとおりです。

[Low になる条件]

### (a) 非 FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- シリアル通信が許可されている
- 読み出し前の受信データがない (SCR.RE ビットが 1 のとき)
- 送信データを書き込み済み (SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 の場合)
- TSR レジスタに送信用データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR.ORER フラグが 0

### (b) FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- シリアル通信が許可されている
- FRDRHL に書き込まれた受信データ数が指定された CTS<sub>n</sub> RTS<sub>n</sub> 出力トリガ数より少ない (SCR.RE = 1 の場合)
- FTDRHL レジスタに未送信データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 の場合)
- TSR レジスタに送信用データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR\_FIFO.ORER フラグが 0

[High になる条件]

### (a) 非 FIFO 選択時

- Low になる条件を満たさない場合
- 受信完了後に RDR レジスタを読み出すことなく、SCR.RE = 0 によって受信を終了させた場合、RTS は High を維持します。このとき、SCR.RE に 0 を書き込んだ後に SCR レジスタをダミーリードしてください。

### (b) FIFO 選択時

- Low になる条件を満たさない場合



### 27.5.3 SCIの初期化（クロック同期式モード）

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に [27.5.2 CTS、RTS 機能](#) の SCI 手順を続けてください。動作モードまたは転送フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

- 注 . SCR.RE ビットを 0 にしても、SSR/SSR\_FIFO レジスタの ORER、FER、RDRF、RDF、PER、DR の各フラグ、ならびに RDR レジスタと RDRHL レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。
- 注 . SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCI<sub>n</sub>\_TXI 割り込み要求が発生します。

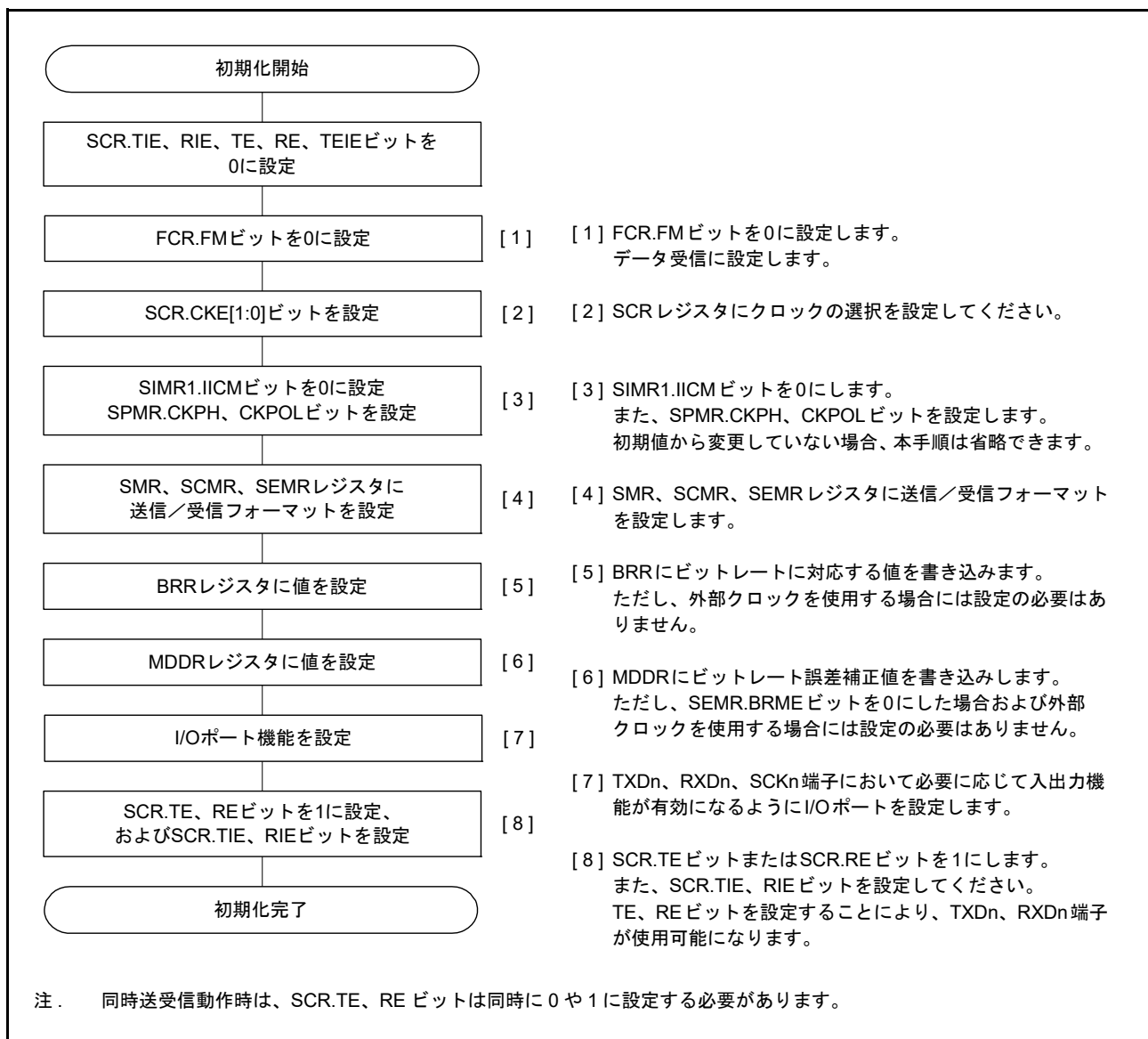


図 27.32 クロック同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時）

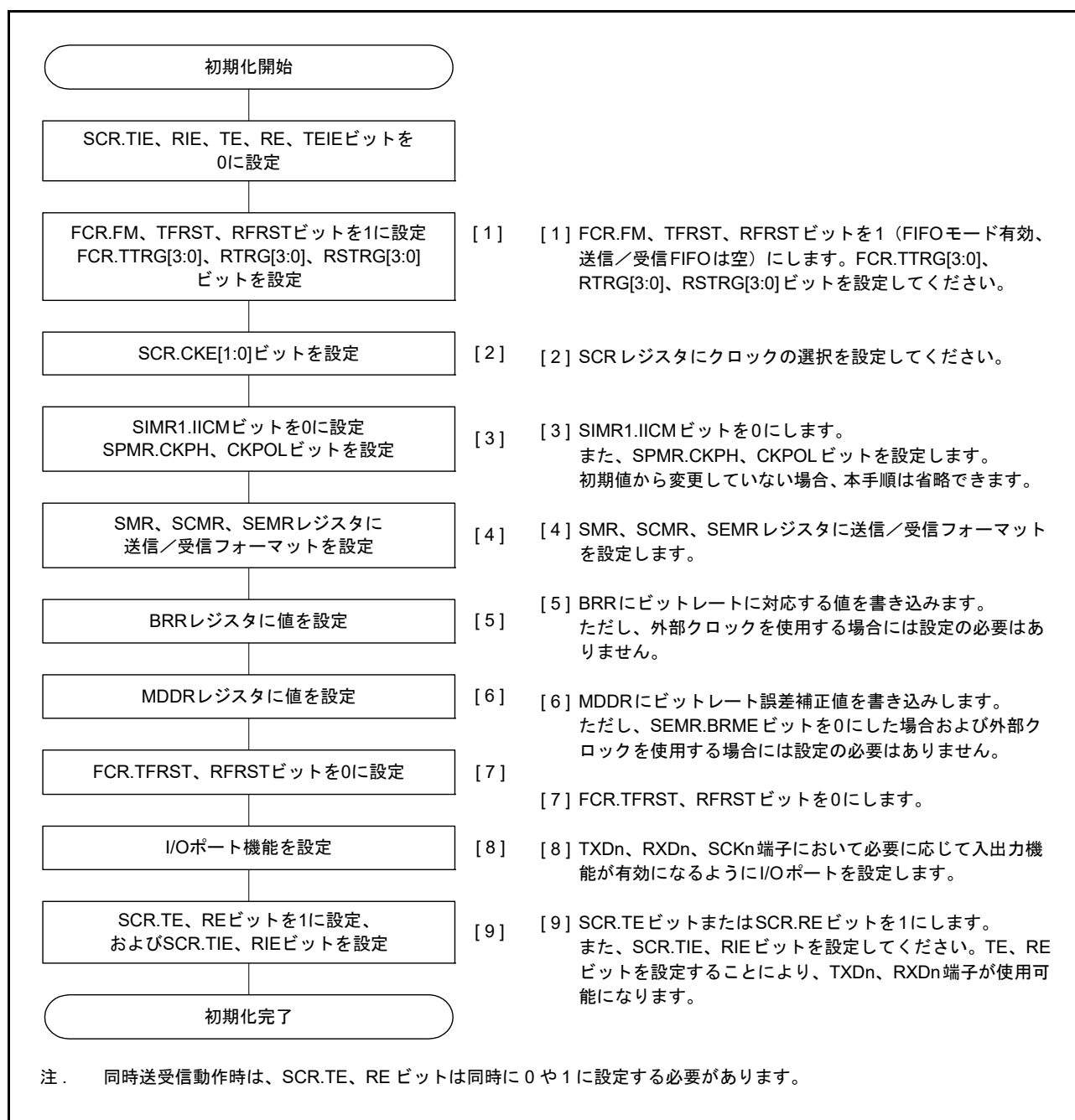


図 27.33 クロック同期式モードにおける SCI の初期化フローチャート例 (FIFO 選択時)

## 27.5.4 シリアルデータの送信 (クロック同期式モード)

### (1) 非 FIFO 選択時

図 27.34、図 27.35、および図 27.36 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCI<sub>In</sub>\_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。なお、送信開始時の SCI<sub>In</sub>\_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後、SCR.TE ビットを 1 にするか、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。このとき、SCR.TIE ビットが 1 になっていると、SCI<sub>In</sub>\_TXI 割り込み要求が発生します。この SCI<sub>In</sub>\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCI<sub>In</sub>\_TEI 割り込み要求を使用する場合は、SCI<sub>In</sub>\_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXD<sub>n</sub> 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力 Low になるまで待機します。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを 1 にします。TXD<sub>n</sub> 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCI<sub>In</sub>\_TEI 割り込み要求が発生し、SCK<sub>n</sub> 端子は High に固定されます。

図 27.34、図 27.35、および図 27.36 に、シリアル送信のフローチャート例を示します。

受信エラーフラグ (SSR.ORER、FER、または PER) が 1 の状態では、送信は開始されません。送信を開始する前に、受信エラーフラグを 0 にしてください。

注 . 受信エラーフラグは、SCR.RE ビットを 0 にしてもクリアされません。

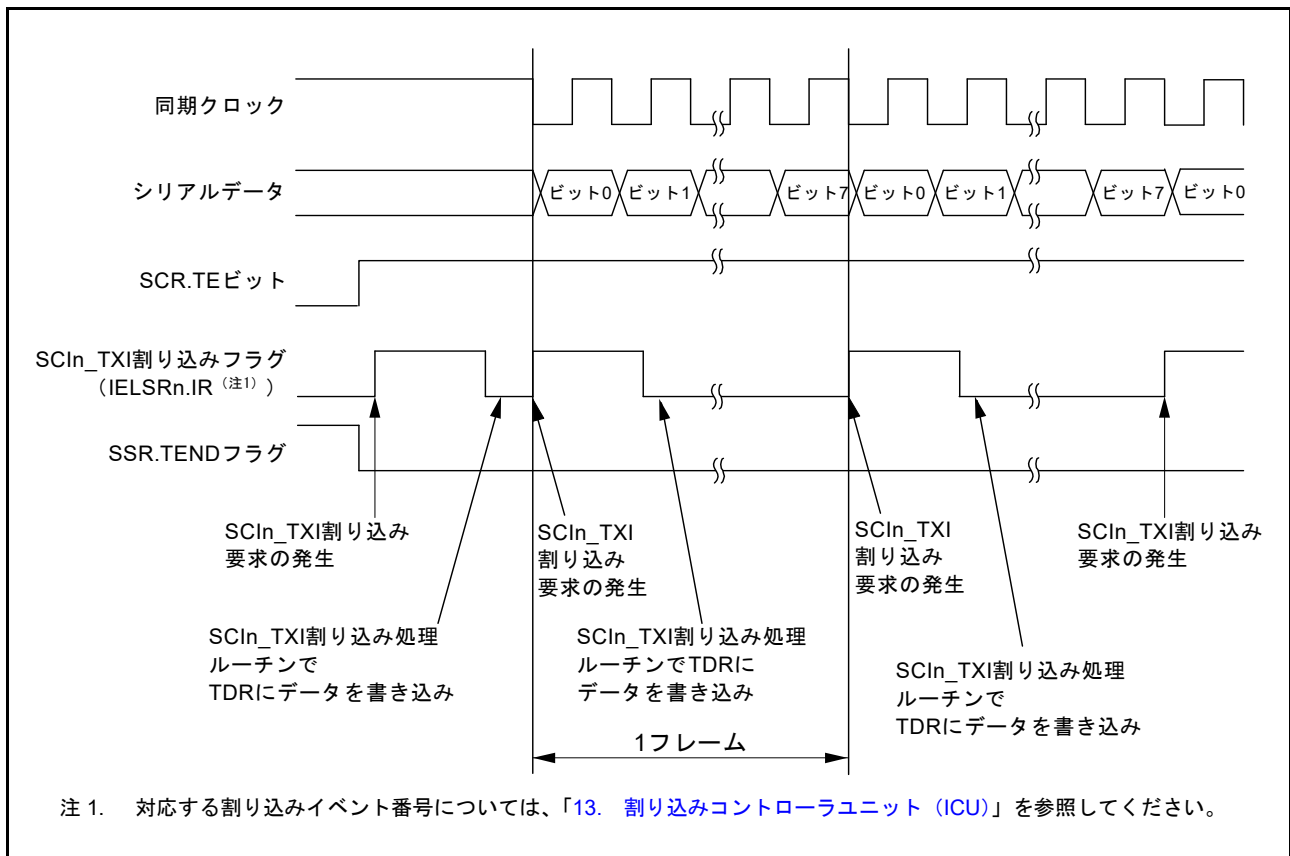


図 27.34 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用しない場合)

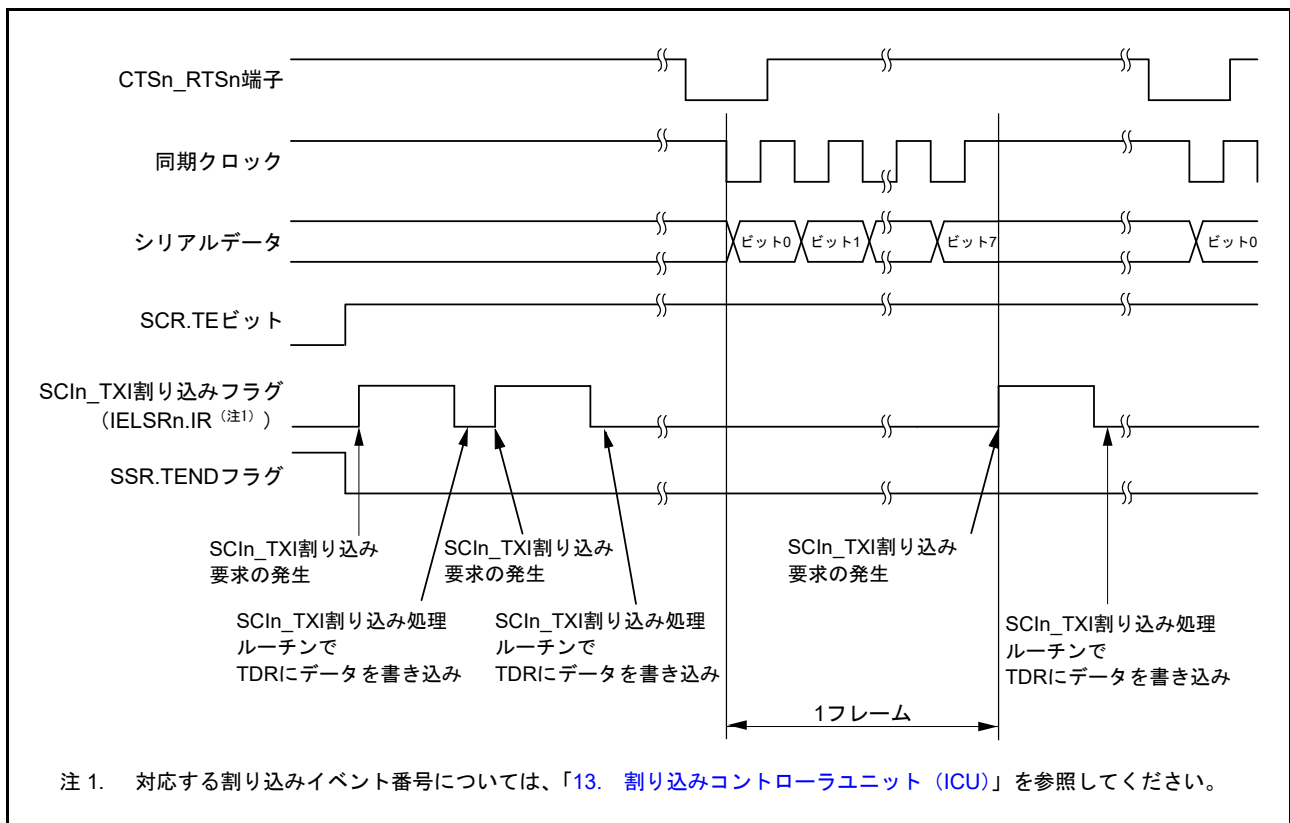


図 27.35 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用する場合)

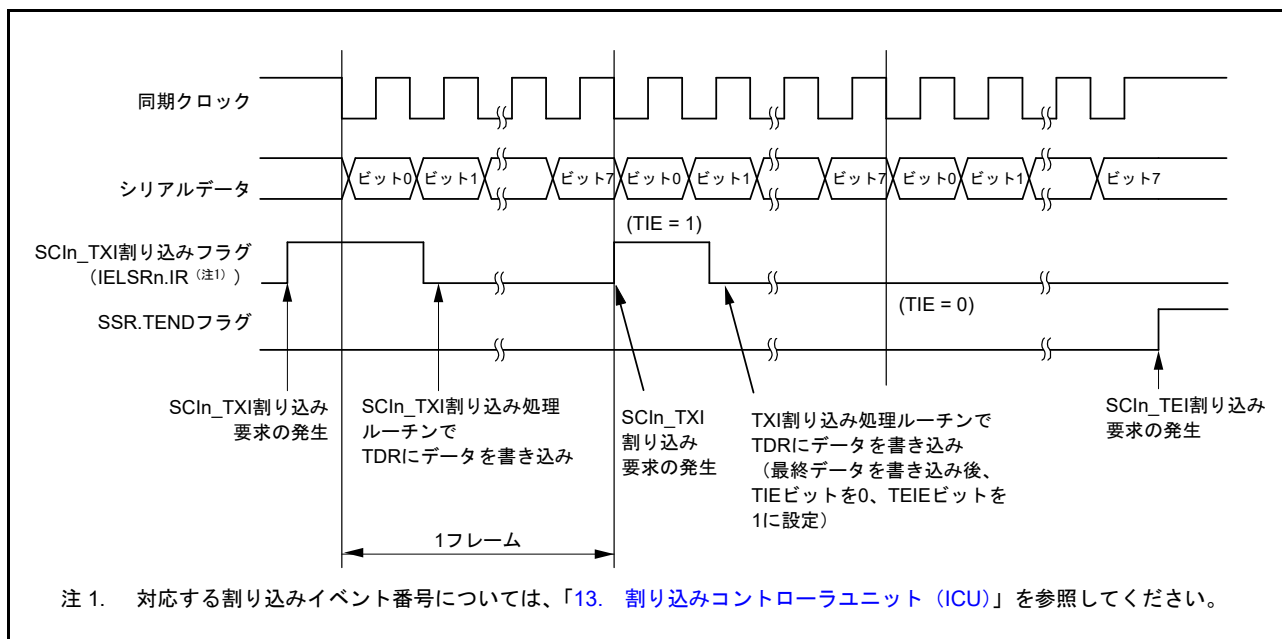


図 27.36 クロック同期式モードにおけるシリアル送信の動作例 (送信中～送信終了時)

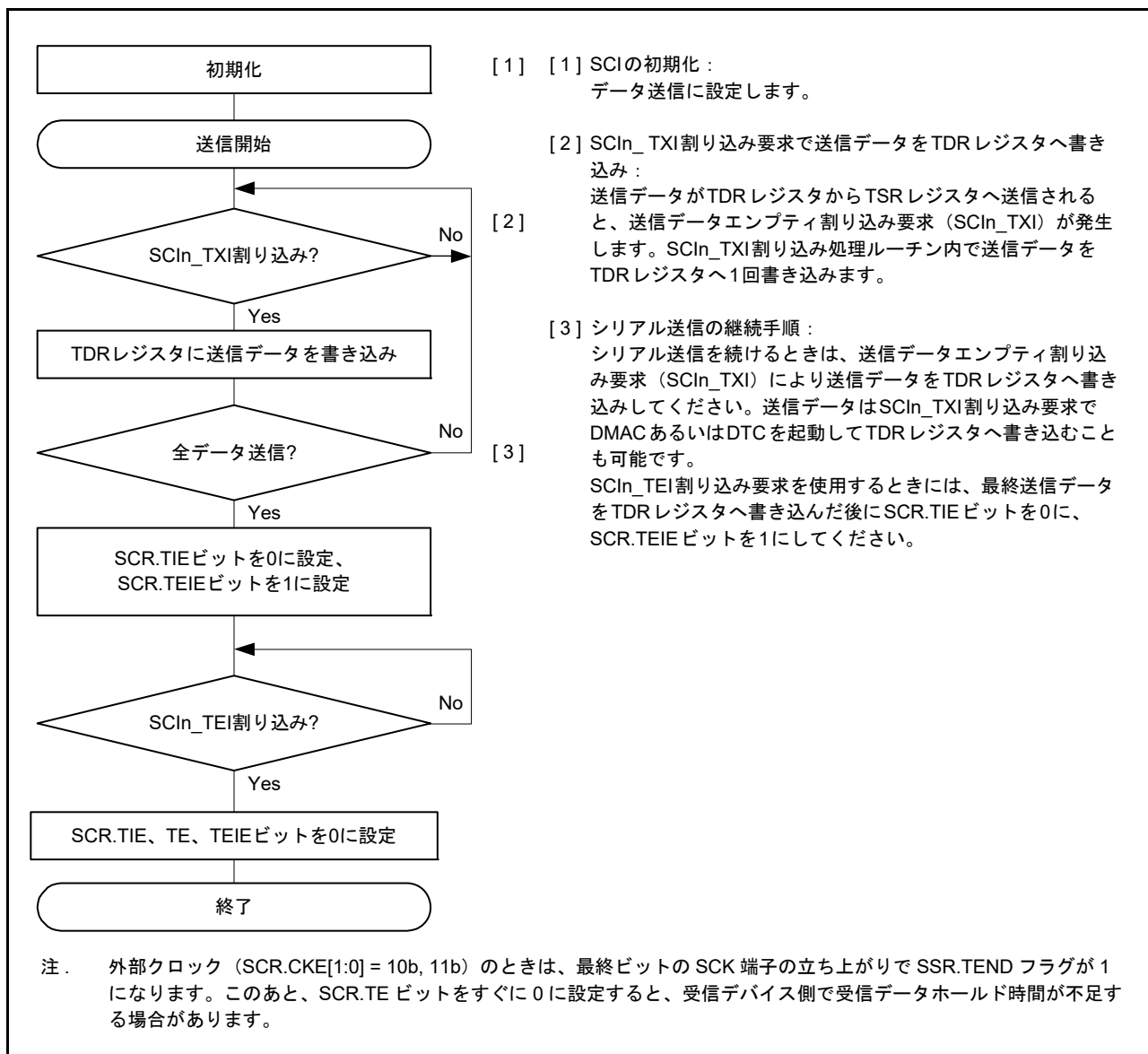


図 27.37 クロック同期式モードにおけるシリアル送信のフローチャート例 (非 FIFO 選択時)

## (2) FIFO 選択時

図 27.38 に、クロック同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。シリアルデータの送信時、SCI は以下のように動作します。

- SCIn\_TXI 割り込み処理ルーチンでFTDRL レジスタ (注1) にデータが書き込まれると、SCI はFTDRL レジスタ (注1) から TSR レジスタへデータを転送します。FTDRL レジスタに書き込み可能なデータのバイト数は  $16 - \text{FDR.T}[4:0]$  です。なお、送信開始時の SCIn\_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後に SCR.TE ビットを 1 にするか、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
- SCI は、FTDRL レジスタから TSR レジスタにデータを転送した後、送信を開始します。FTDRL に書き込まれた送信データ数が、指定された送信トリガ数以下のとき、SSR\_FIFO.TDFE ビットが 1 になります。このとき、SCR.TIE ビットが 1 になっていると、SCIn\_TXI 割り込み要求が発生します。SCIn\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn\_TEI 割り込み要求を使用する場合は、TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。

3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します。
4. ストップビットを送り出すタイミングで、SCI は FTDRL レジスタに未送信データが残っていないかチェックします。
5. FTDRL レジスタが更新されていれば、FTDRL レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. FTDRL レジスタが更新されていなければ、SSR\_FIFO.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn\_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

注 1. クロック同期式モードでは、FTDRH レジスタを使用しません。

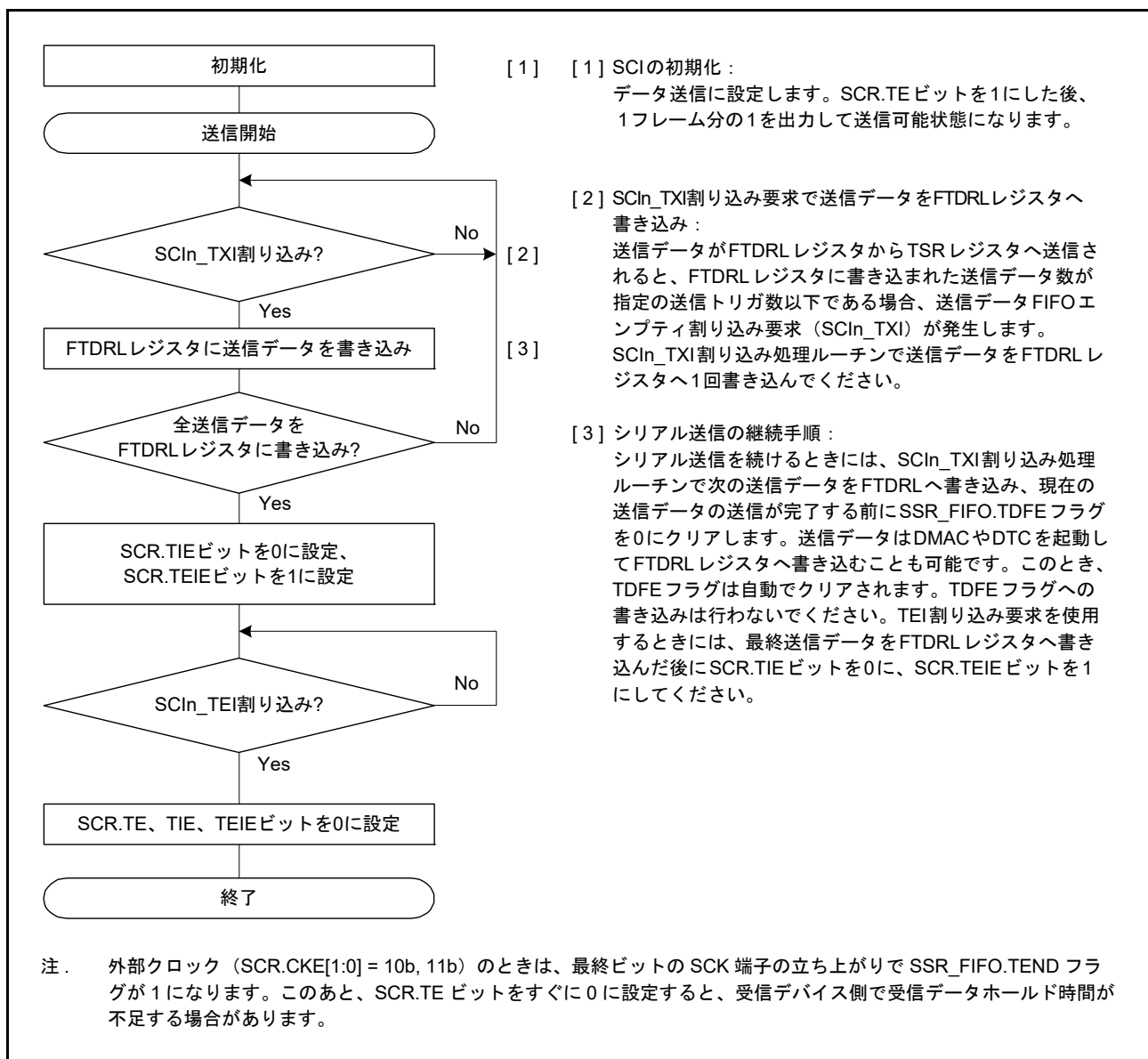


図 27.38 クロック同期式モードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

## 27.5.5 シリアルデータの受信 (クロック同期式モード)

## (1) 非 FIFO 選択時

図 27.39 と図 27.40 に、クロック同期式モードにおけるシリアル受信での SCI の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn\_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。SCR.RIE ビットが 1 であれば、SCIn\_RXI 割り込み要求が発生します。この SCIn\_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタから受信データが読み出されると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。

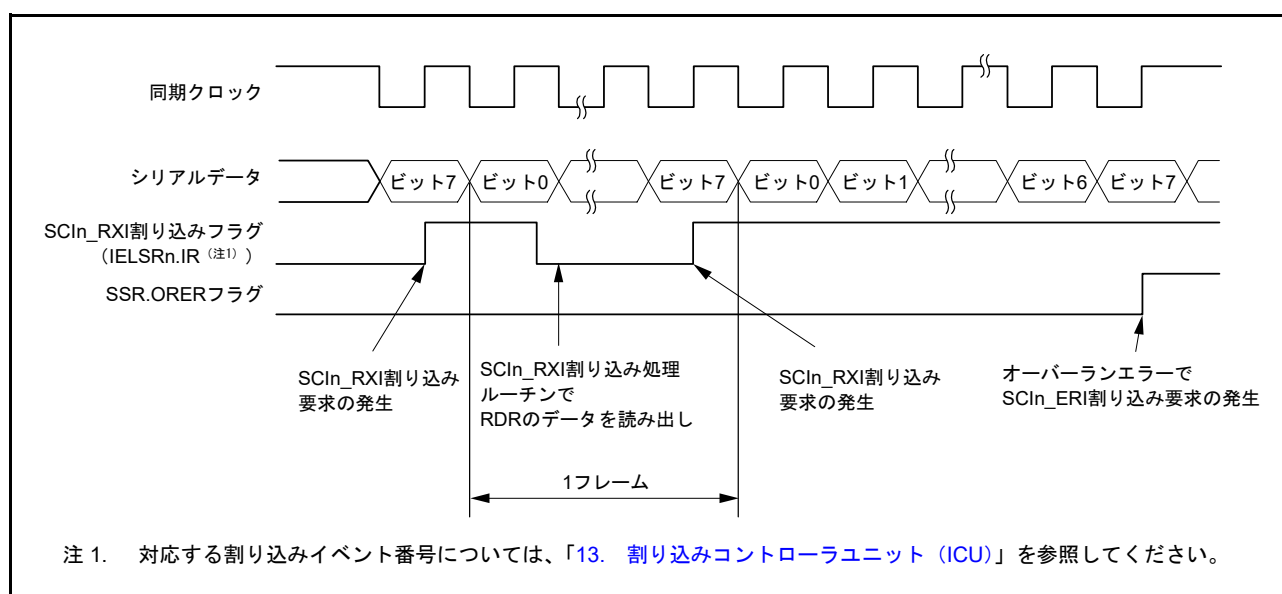


図 27.39 クロック同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合)



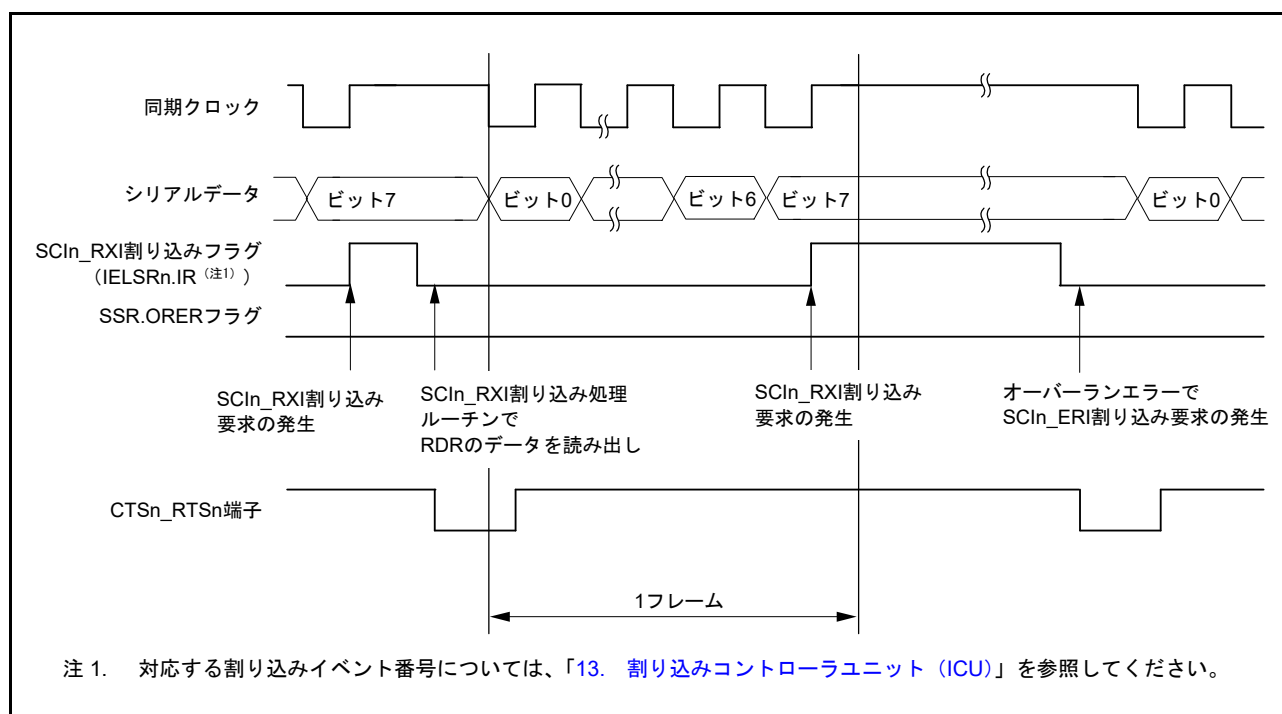


図 27.40 クロック同期式モードにおけるシリアル受信の動作例 (2) (RTS 機能を使用する場合)

受信エラーフラグが 1 の状態では、送受信動作を再開できません。したがって、SSR レジスタの ORER、FER、および PER の各フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してしてください。受信動作中に SCR.RE ビットに 0 を書いてデータ受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 27.41 に、シリアルデータ受信のフローチャート例を示します。

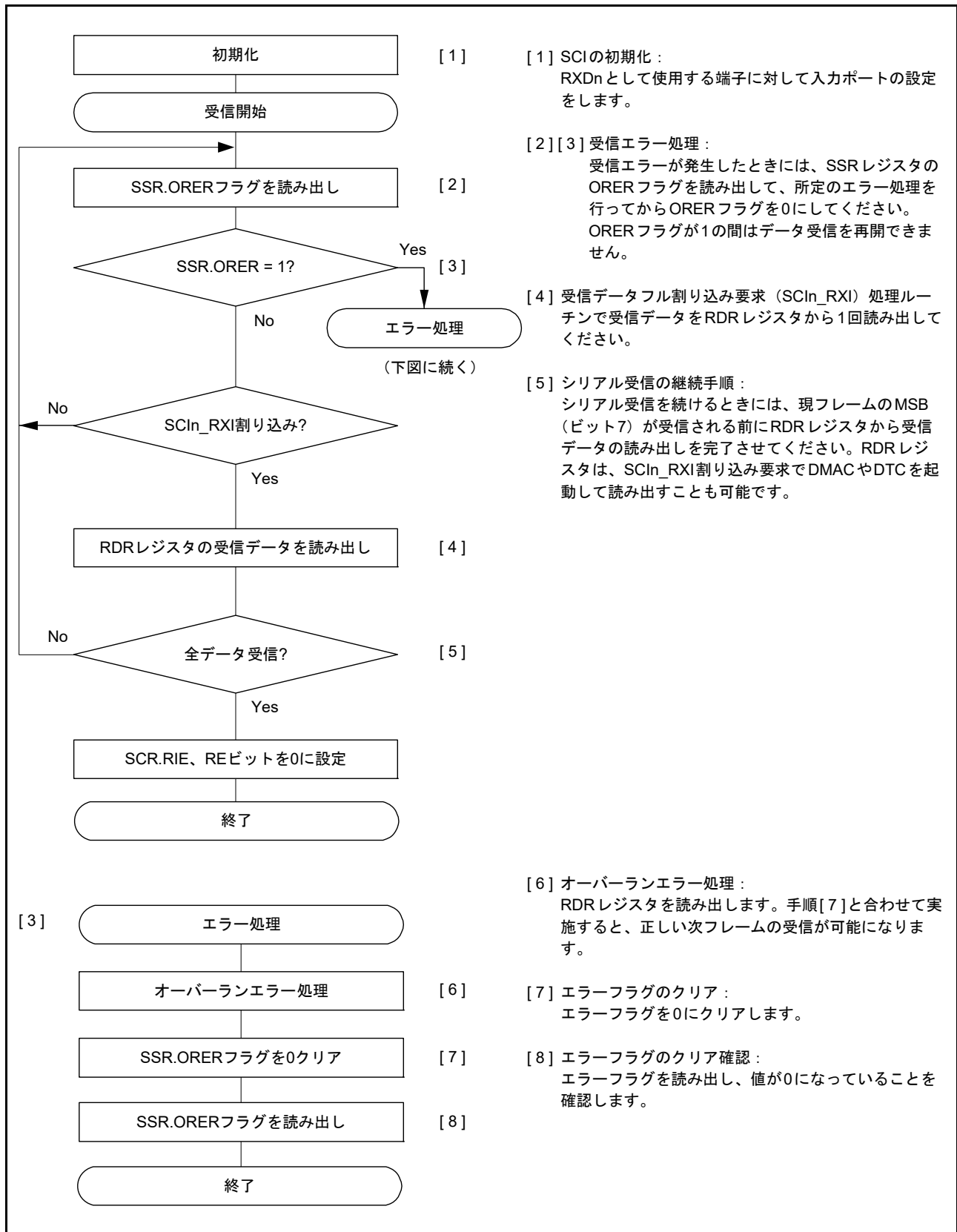


図 27.41 クロック同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時)

## (2) FIFO 選択時

図 27.42 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR\_FIFO. ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCI<sub>n</sub>\_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ (注 1) へ転送されません。
4. 正常に受信したときは、受信データが FRDRL レジスタ (注 1) へ転送されます。FRDRL に格納された受信データ数が、指定された受信トリガ数以上であると、RDF ビットが 1 になります。SCR.RIE ビットが 1 であれば、SCI<sub>n</sub>\_RXI 割り込み要求が発生します。SCI<sub>n</sub>\_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ (注 2) へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタへ転送された受信データ数が RTS トリガ数未満であると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。

注 1. クロック同期式モードでは、FRDRH レジスタを使用しません。

注 2. RDF と ORER フラグを受信データとともに読み出す場合は、FRDRH → FRDRL の順に読み出してください。

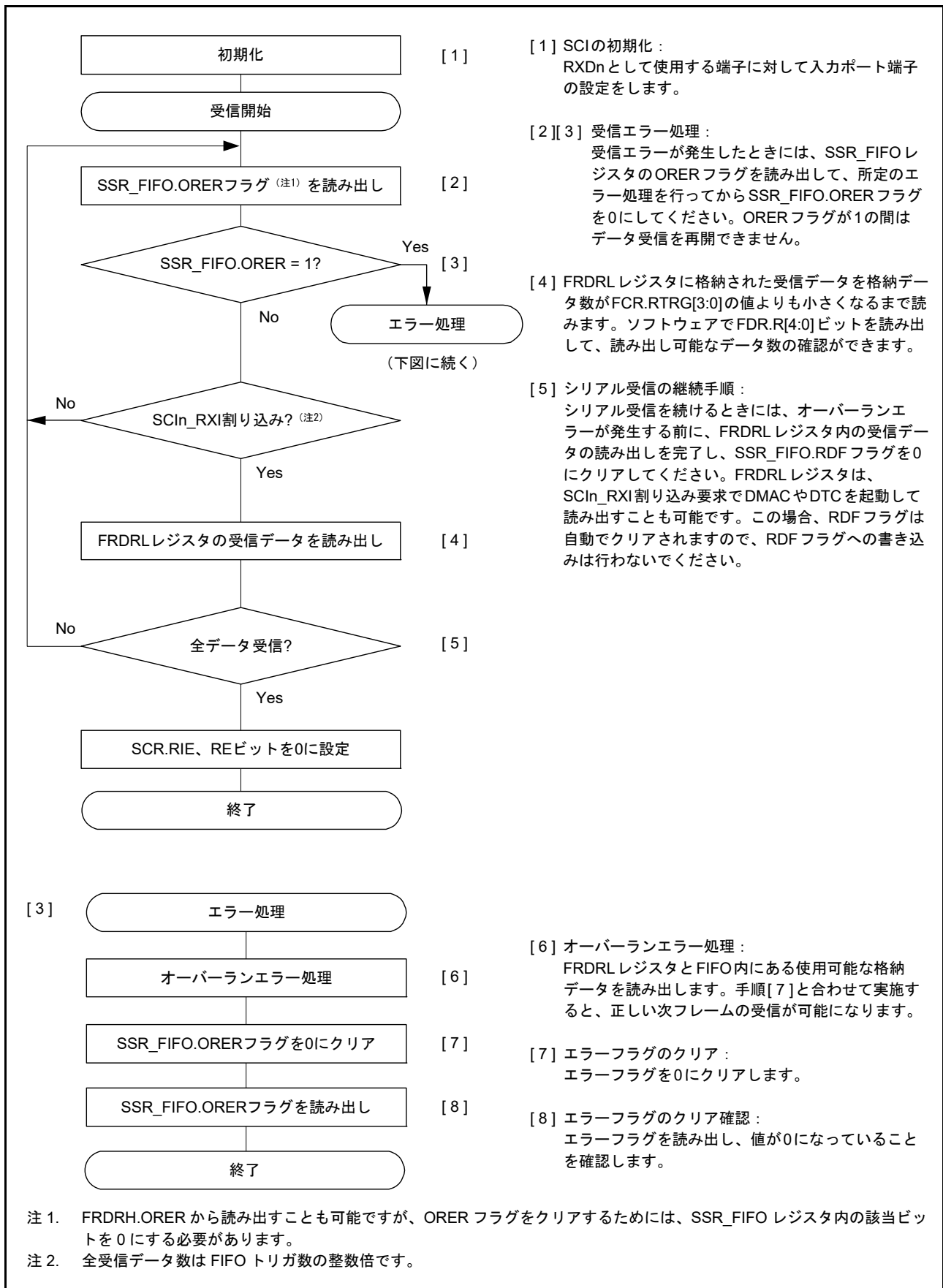


図 27.42 クロック同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

## 27.5.6 シリアルデータの同時送受信動作 (クロック同期式モード)

### (1) 非 FIFO 選択時

図 27.43 に、クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへの切り替えは、次の手順で行います。

1. SCI が送信完了状態であることを SSR.TEND フラグが 1 になっていることで確認してください。
2. その後、SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへの切り替えは、次の手順で行います。

1. SCI が受信完了状態であることを確認してください。
2. SCR レジスタの RIE ビットと RE ビットを 0 にした後、SSR レジスタの受信エラーフラグ (ORER) が 0 になっていることを確認します。
3. その後、SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

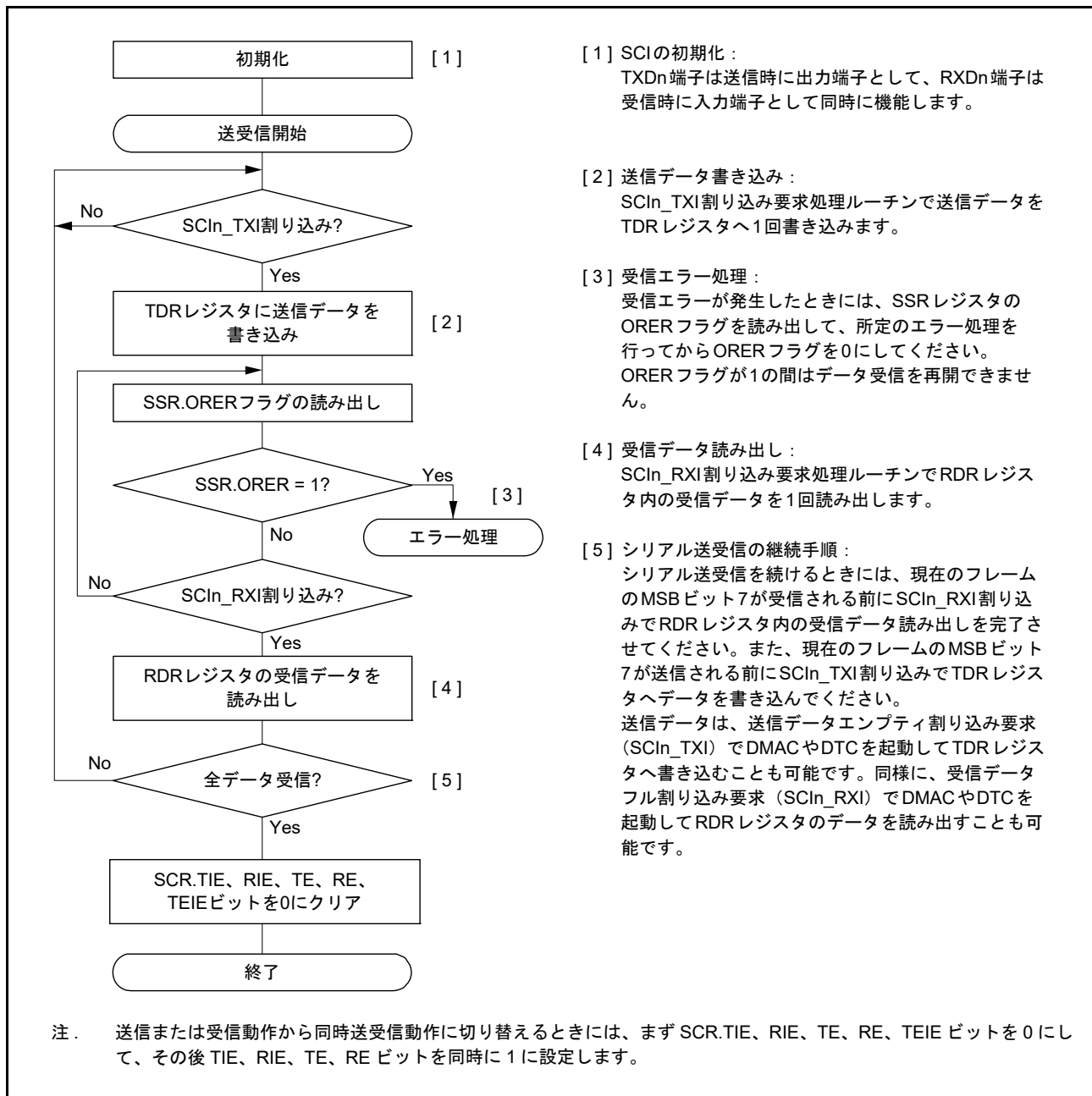


図 27.43 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例 (非 FIFO 選択時)

## (2) FIFO 選択時

図 27.44 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへの切り替えは、次の手順で行います。

1. SCI が送信完了状態であることを `SSR_FIFO.TEND` フラグが 1 になっていることで確認してください。
2. その後、`SCR` レジスタを初期化してから、`SCR` レジスタの `TIE`、`RIE`、`TE`、`RE` の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへの切り替えは、次の手順で行います。

1. SCI が受信完了状態であることを確認してください。
2. `RIE` ビットと `RE` ビットを 0 にした後、`SSR_FIFO` レジスタの受信エラーフラグ (`ORER`) が 0 になっていることを確認してください。
3. その後、`SCR` レジスタの `TIE`、`RIE`、`TE`、`RE` の各ビットを 1 命令で同時に 1 にしてください。

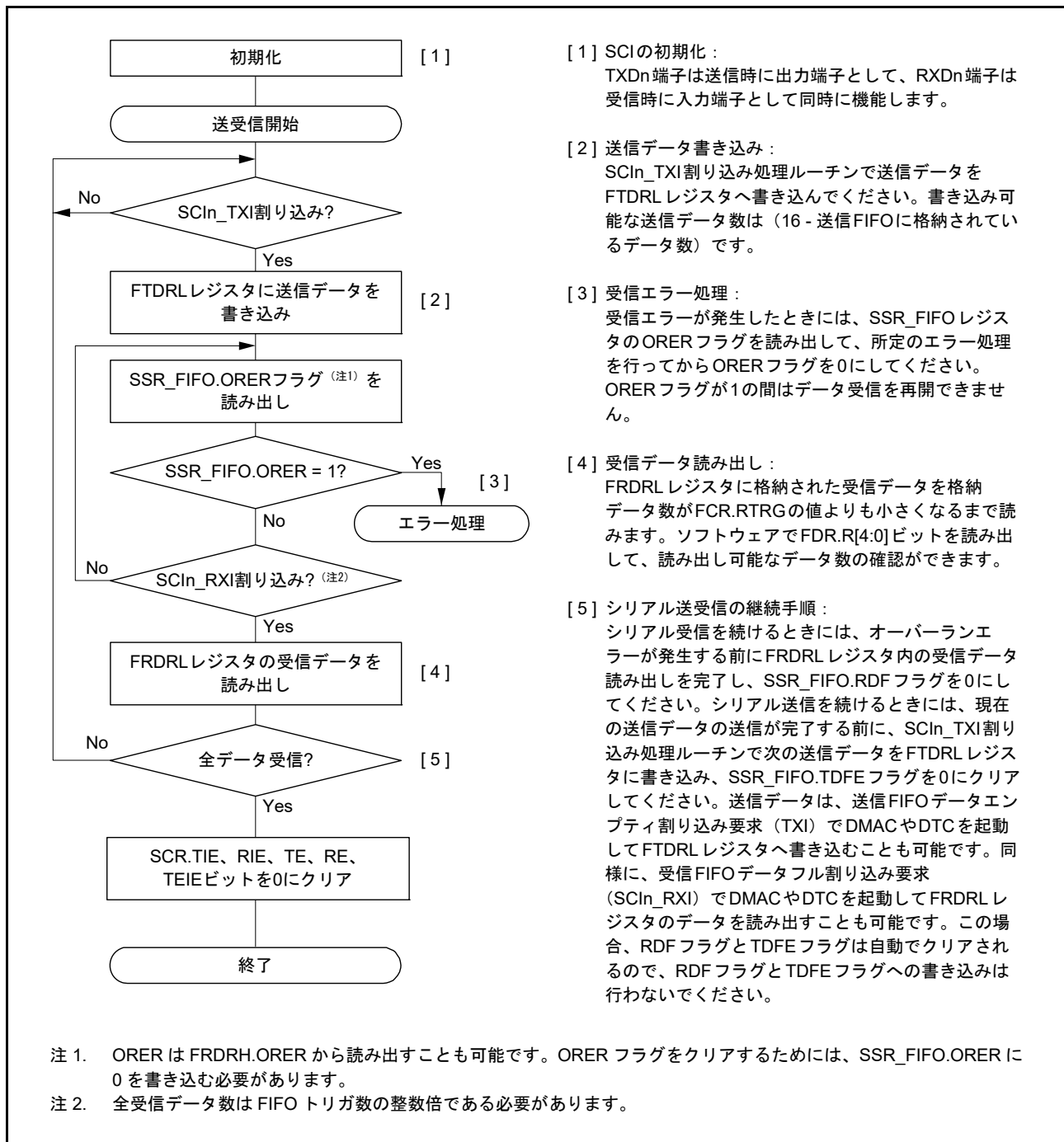


図 27.44 クロック同期モードにおけるシリアル同時送受信動作のフローチャート例 (FIFO 選択時)



## 27.6 スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3 (Identification Card 規格) に対応したスマートカード (IC カード) インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

### 27.6.1 接続例

図 27.45 に、スマートカード (IC カード) と本 MCU の接続例を示します。

図 27.45 に示すように、MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR\_SMCI レジスタの TE ビットと RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。リセット信号の出力には、MCU の出力ポートを使用できます。

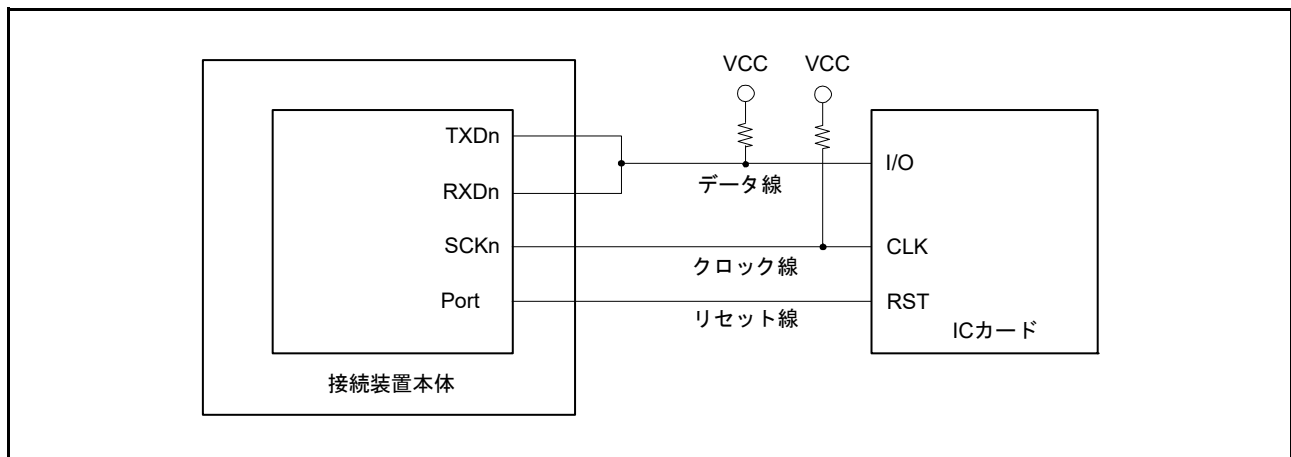


図 27.45 スマートカード (IC カード) との接続例

### 27.6.2 データフォーマット (ブロック転送モード時を除く)

図 27.46 に、スマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成
- 送信中は、パリティビットの終了から次のフレーム開始まで、2ETU (Elementary Time Unit = 1 ビット転送時間) 以上のガードタイムが必要
- 受信中にパリティエラーを検出した場合、スタートビットから 10.5ETU 経過後、エラーシグナル (Low) を 1ETU 期間出力
- 送信時にエラーシグナルをサンプリングすると、2ETU 以上経過後、自動的に同じデータを再送信

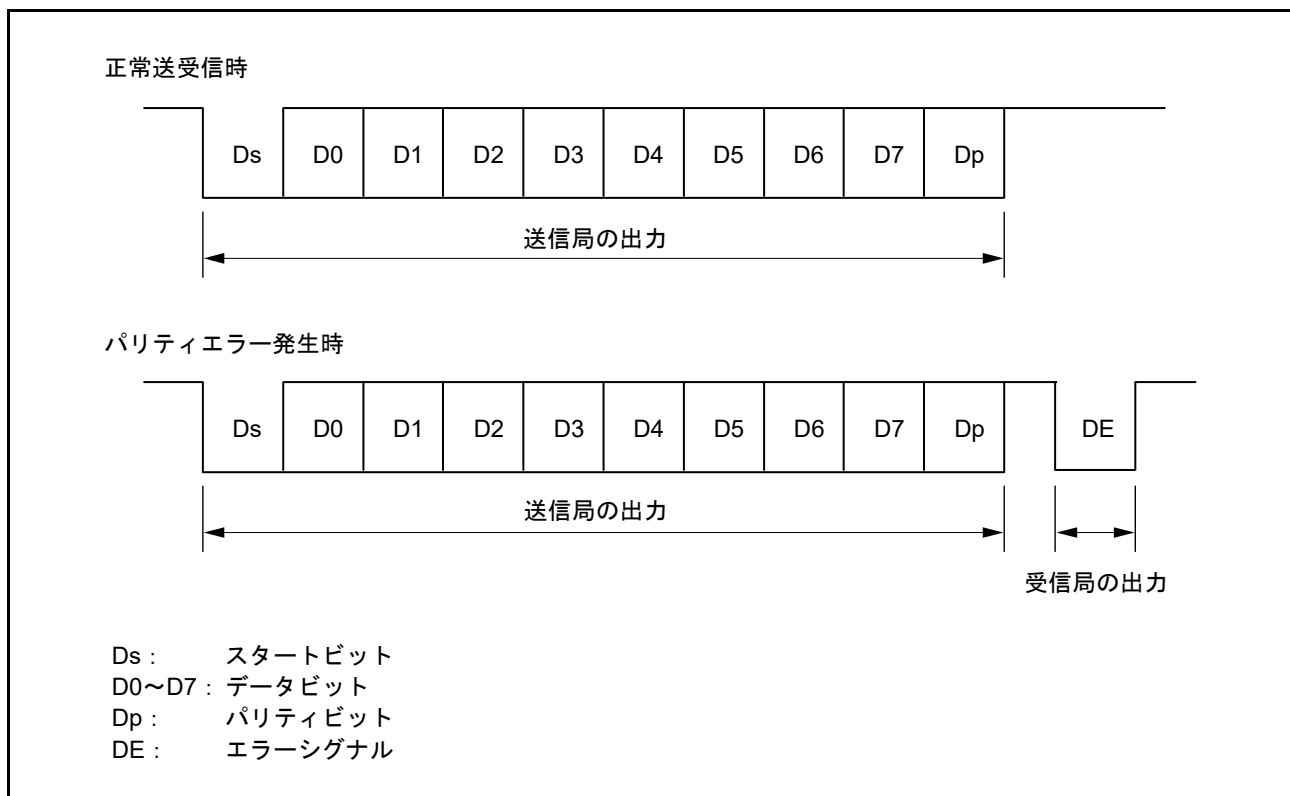


図 27.46 スマートカードインタフェースモードにおけるデータフォーマット

本項では、ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードと送受信する場合について説明します。

### (1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、[図 27.47](#) に示すように、ロジックレベル 1 は状態 Z を、ロジックレベル 0 は状態 A をそれぞれ表し、開始キャラクタに対して LSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 3Bh となります。

ダイレクトコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 0 にしてください。また、スマートカード規格に従って偶数パリティとするため、SMR\_SMCI.PM ビットは 0 にしてください。

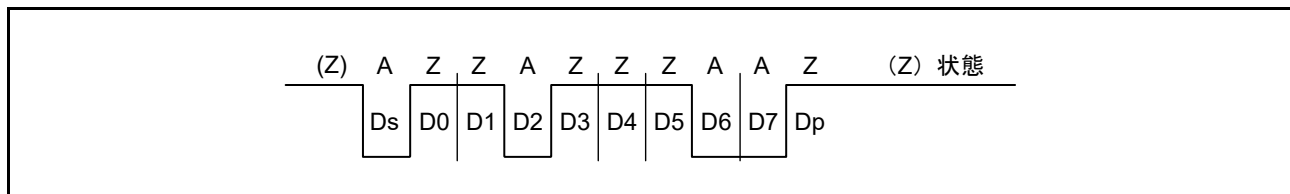


図 27.47 ダイレクトコンベンション (SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR\_SMCI.PM ビット = 0)

### (2) インバースコンベンションタイプ

インバースコンベンションタイプでは、[図 27.48](#) に示すように、ロジックレベル 1 は状態 A を、ロジックレベル 0 は状態 Z をそれぞれ表し、開始キャラクタに対して MSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 3Fh となります。

インバースコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 1 にしてください。また、スマートカード規格に従って偶数パリティとするため、パリティビットは状態 Z に対応するロジックレベル 0 になります。本 MCU では、SINV ビットはデータビット D7 ~ D0 のみを反転させます。そのため、送信時と受信時の両方において、SMR\_SMCI.PM ビットに 1 を書いてパリティビットを反転させてください。

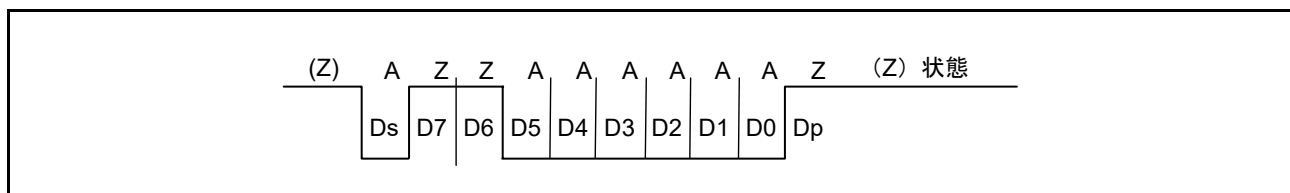


図 27.48 インバースコンベンション (SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR\_SMCI.PM ビット = 1)

## 27.6.3 ブロック転送モード

ブロック転送モードは、スマートカードインタフェースモードの非ブロック転送モードと比較して以下の点が異なります。

- 受信中にパリティエラーが検出されても、エラーシグナルは出力されません。エラー検出時に SSR\_SMCI.PER フラグがセットされるので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信中は、パリティビットの終了から次のフレーム開始までのガードタイムとして 1ETU 以上が必要です。
- 同じデータの再送信を行わないため、送信開始から 11.5ETU 経過後に、SSR\_SMCI.TEND フラグがセットされます。
- ブロック転送モードでは、SSR\_SMCI.ERS フラグは、スマートカードインタフェースモードの非ブロック転送モードと同様に、エラーシグナル状態を示しますが、エラーシグナルの転送を行わないため、読むと 0 が読めます。

### 27.6.4 受信データのサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ポーレートジェネレータが生成するクロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビットと SMR\_SMCI.BCP[1:0] ビットの設定により、SCI はビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、または 512 倍の周波数の基本クロックで動作します。

データ受信時、SCI はスタートビットの立ち下がり基本クロックでサンプリングして同期化します。

また、[図 27.49](#) に示すように、受信データは基本クロックのそれぞれ 16、32、186、128、46、64、93、256 サイクルの立ち上がりエッジでサンプリングされるため、各ビットの中間でデータが取り込まれます。このときの受信マージンは次式で表わすことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%]$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 32, 64, 372, 256, 93, 128, 186, 512)

D : クロックのデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 10)

F : クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようにになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 [\%] = 49.866\%$$

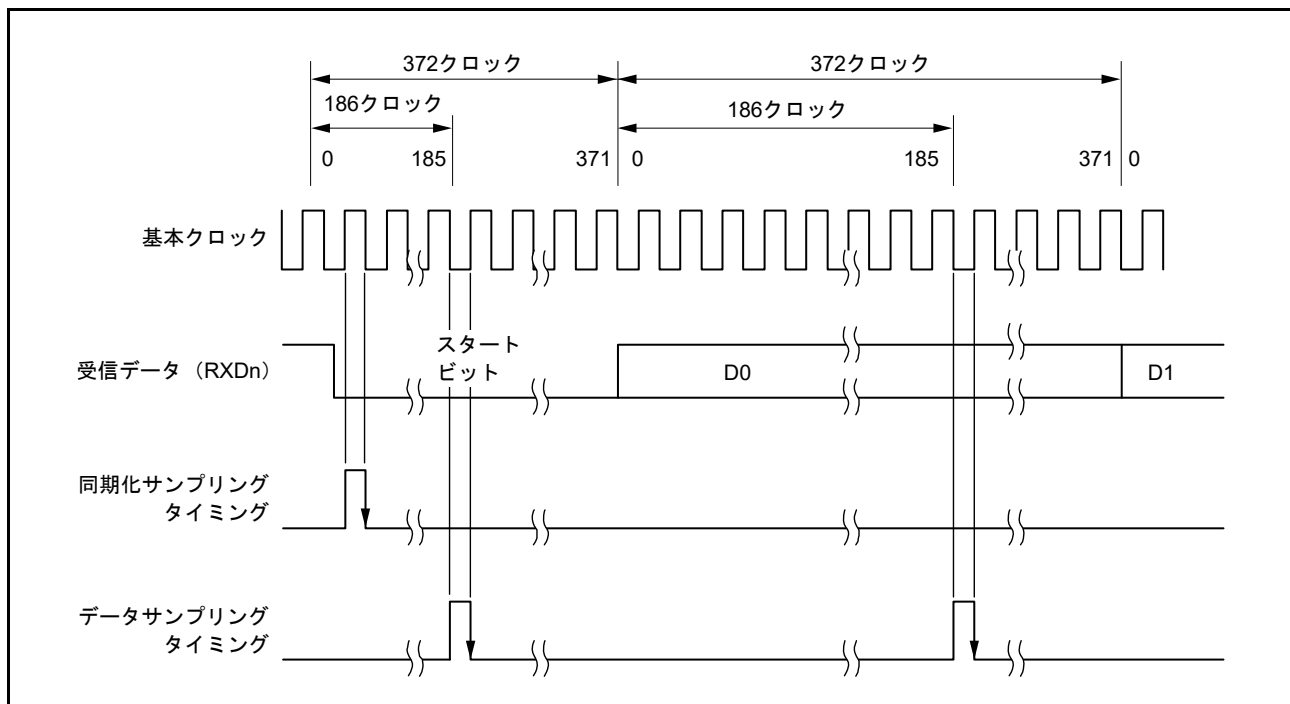


図 27.49 スマートカードインタフェースモードにおける受信データのサンプリングタイミング (ビットレートの 372 倍のクロック周波数の場合)

### 27.6.5 SCIの初期化

データの送受信前に、SCR\_SMCIレジスタに初期値 00h を書き込み、[図 27.50](#) に示すフローチャートの例に従って、SCIを初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に SCR\_SMCIレジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、SCR\_SMCI.RE ビットを 0 にしても RDR レジスタは初期化されません。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCIを初期化してください。初期化の最後では、SSR\_SMCI.TE ビット = 1、SSR\_SMCI.RE ビット = 0 にしてください。受信動作の完了は、SCIn\_RXI 割り込み要求、SSR\_SMCI.ORER フラグ、あるいは SSR\_SMCI.PER フラグで確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCIを初期化してください。初期化の最後では、SSR\_SMCI.TE ビット = 0 および SSR\_SMCI.RE ビット = 1 にしてください。送信動作の完了は SSR\_SMCI.TEND フラグで確認できます。

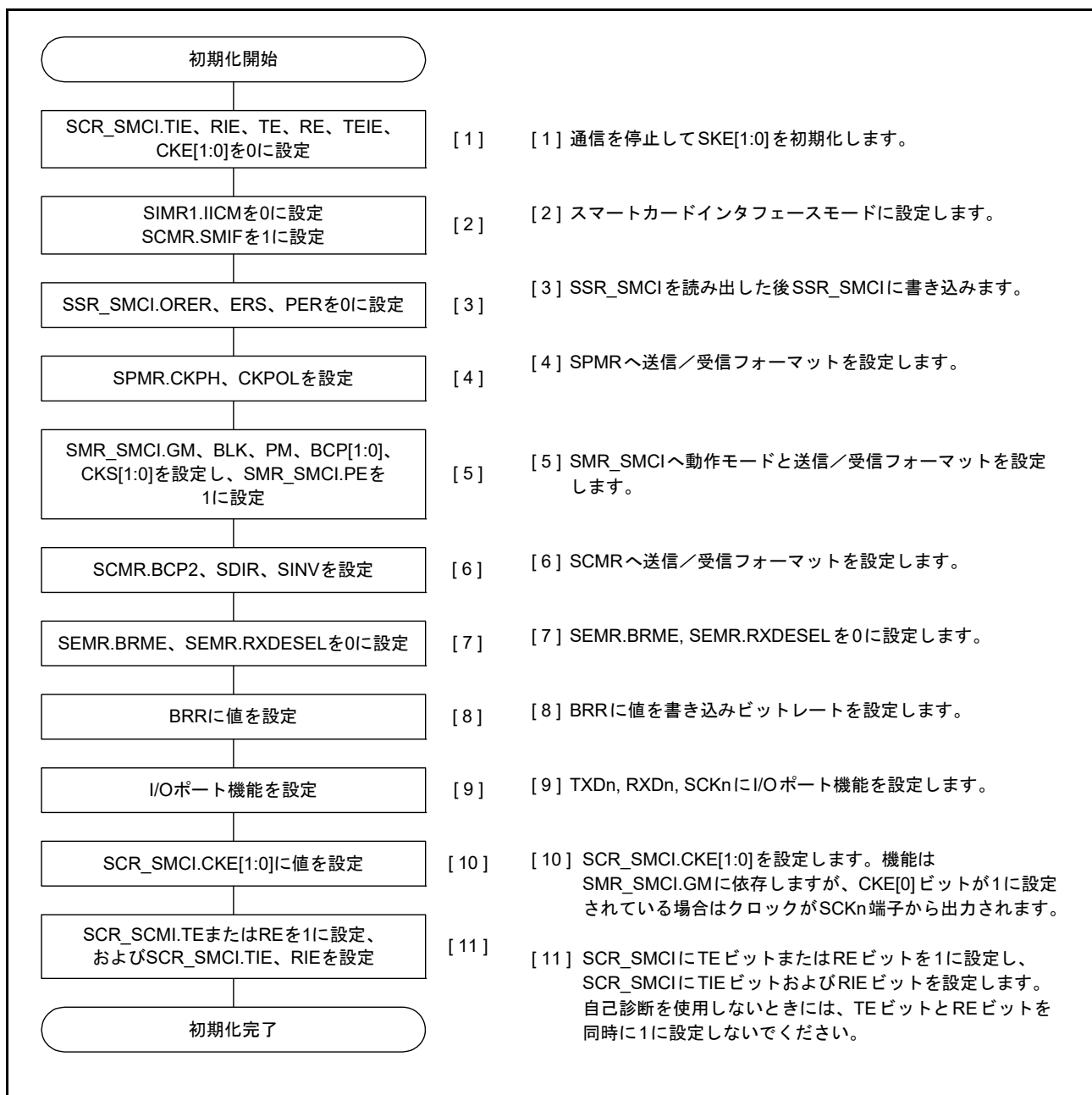


図 27.50 SCIの初期化フローチャート例（スマートカードインタフェースモード）

図 27.50 のフローに従ってスマートカードインタフェースモードに移移することでデータ送信が行われるときのタイミング図を図 27.51 に示します。図 27.51 は、SMR\_SMCI.GM ビットが 0 になるタイミングを示します。図 27.51 のタイミングは、ポートが SCKn および TXDn として接続されている場合、SCR\_SMCI レジスタの CKE[0] ビットは 0 になるため、SCKn 端子および TXDn 端子は Hi-Z となることを示します。

SCR\_SMCI.CKE[0] ビットを 1 にすることによって SCK 端子へのクロック出力を開始します。そして、SCR\_SMCI.TE ビットを 1 にした後、送信データを書き込むことでデータ送信を開始します。SCR\_SMCI.TE ビットを 0 から 1 に変更すると、データ送信の開始前に 1 フレーム分のプリアンブル期間が生じます。スマートカードインタフェースモードでは、プリアンブル期間がある場合、TXDn 端子は Hi-Z となります。MCU 外部で SCKn 端子および TXDn 端子に対するプルアップまたはプルダウンが必要です。

スマートカードインタフェースモードでは、SCR\_SMCI レジスタの TE ビットおよび RE ビットが 0 であっても、クロック出力設定を使用すればクロック出力は継続されます。

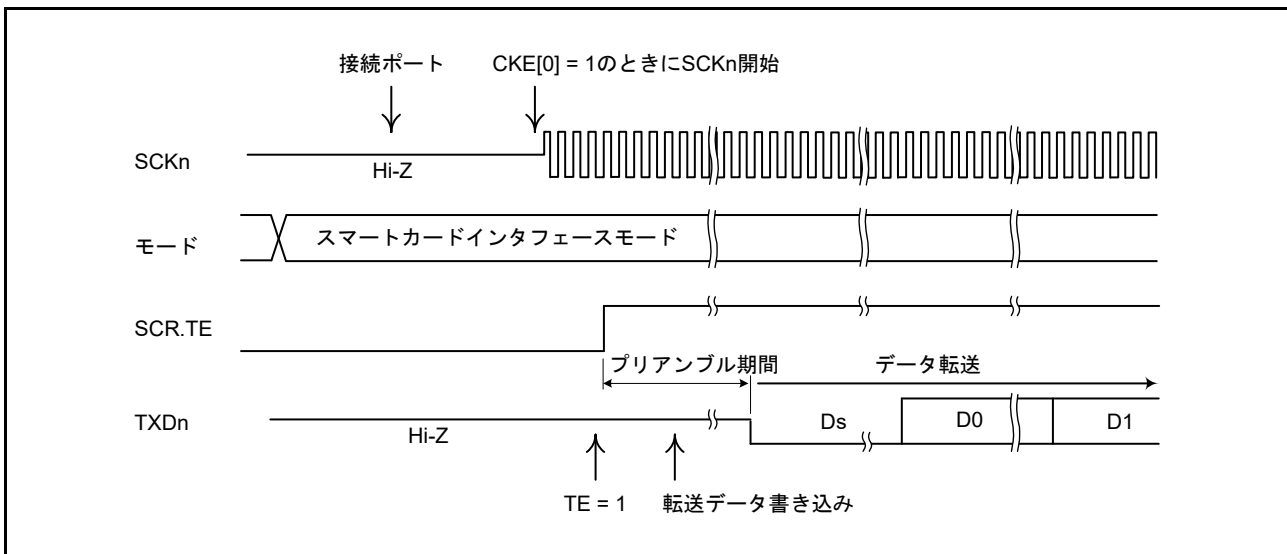


図 27.51 スマートカードインタフェースモードにおけるデータ送信のタイミング例

### 27.6.6 シリアルデータの送信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアルデータ送信（ブロック転送モード時を除く）では、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信中の再転送動作を [図 27.52](#) に示します。

[図 27.52](#) では、以下のように設定しています。

- [1] 1 フレーム分のデータ送信を完了した後、受信側からのエラーシグナルがサンプリングされると、SSR\_SMCI.ERS フラグが 1 になります。SCR\_SMCI.RIE ビットが 1 であれば、SCIn\_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、ERS フラグを 0 にクリアしてください。
- [2] エラーシグナルを受信したフレームでは、SSR\_SMCI.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
- [3] 受信側からエラーシグナルが返ってこない場合、ERS フラグは 1 になりません。
- [4] SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。SCR\_SMCI.TIE ビットが 1 であれば、SCIn\_TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

[図 27.54](#) に、シリアル送信のフローチャート例を示します。これら一連の処理は、SCIn\_TXI 割り込み要求で DMAC または DTC を起動することによって、自動的に行うことができます。

送信動作では、SSR\_SMCI.TEND フラグが 1 になっていると、SCR\_SMCI.TIE ビットが 1 の場合、SCIn\_TXI 割り込み要求が発生します。

あらかじめ DMAC または DTC の起動要因として SCIn\_TXI 割り込み要求を設定しておけば、SCIn\_TXI 割り込み要求によって DMAC または DTC が起動され、送信データの転送が可能になります。TEND フラグは、DMAC または DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中、TEND フラグは 0 のまま保持され、DMAC または DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI および DMAC または DTC が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCIn\_ERI 割り込み要求を発生させて、ERS フラグを 0 にクリアしてください。

なお、DMAC または DTC を使用して送受信を行う場合は、必ず DMAC または DTC を有効にしてから SCI の設定を行ってください。

DMAC または DTC の設定方法については、「[16. DMA コントローラ \(DMAC\)](#)」と「[17. データトランスファコントローラ \(DTC\)](#)」を参照してください。

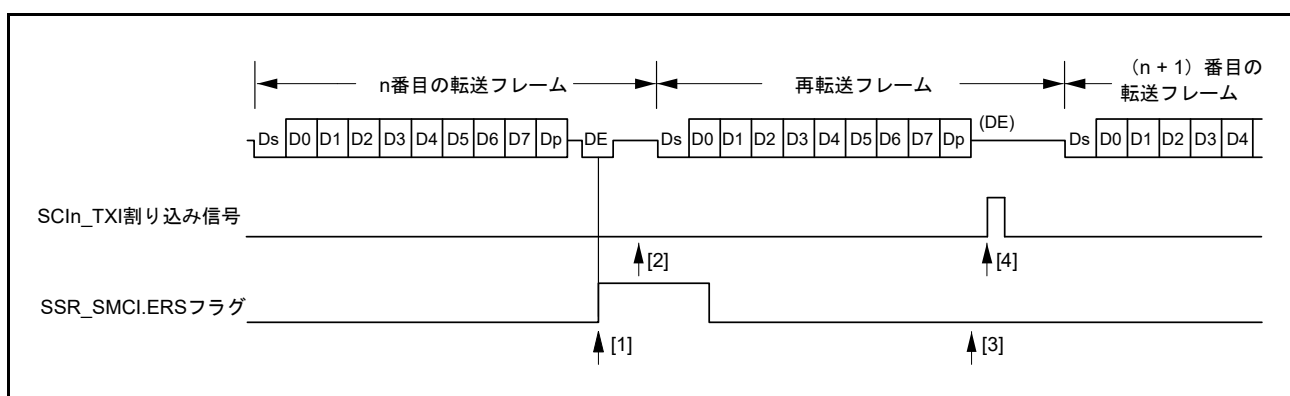


図 27.52 SCI 送信モードでの再転送動作

図 27.53 に、TEND フラグの発生タイミングを示します。

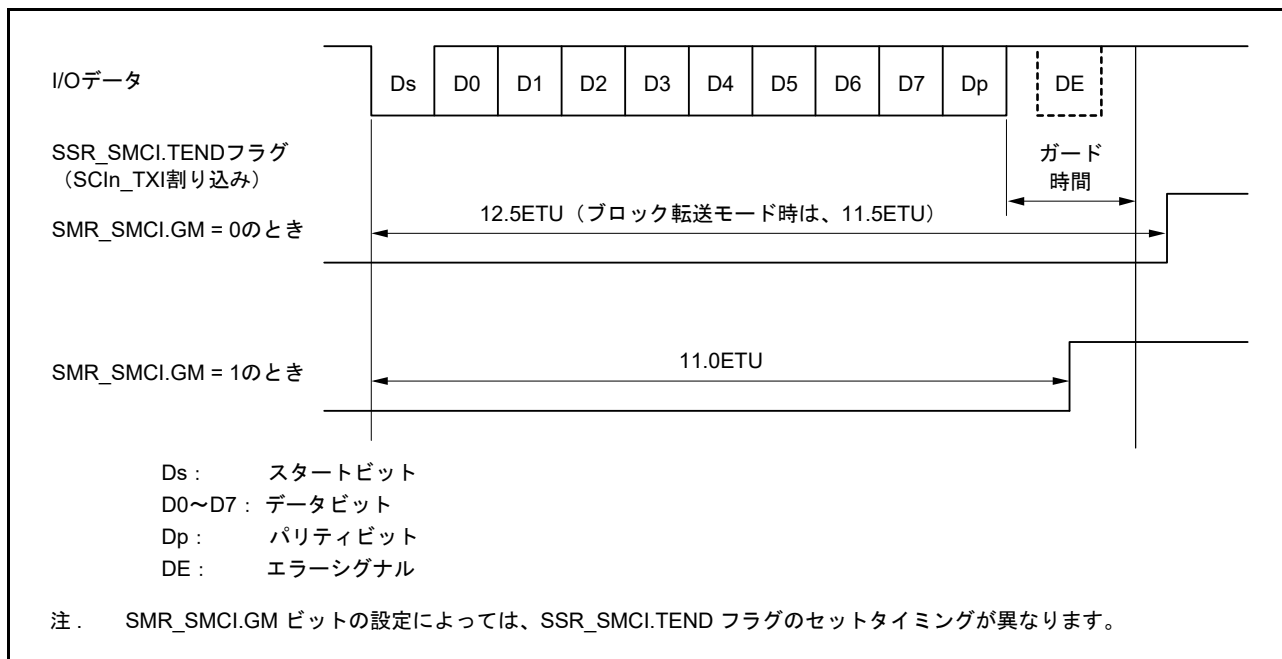


図 27.53 送信中の SSR.TEND フラグの発生タイミング



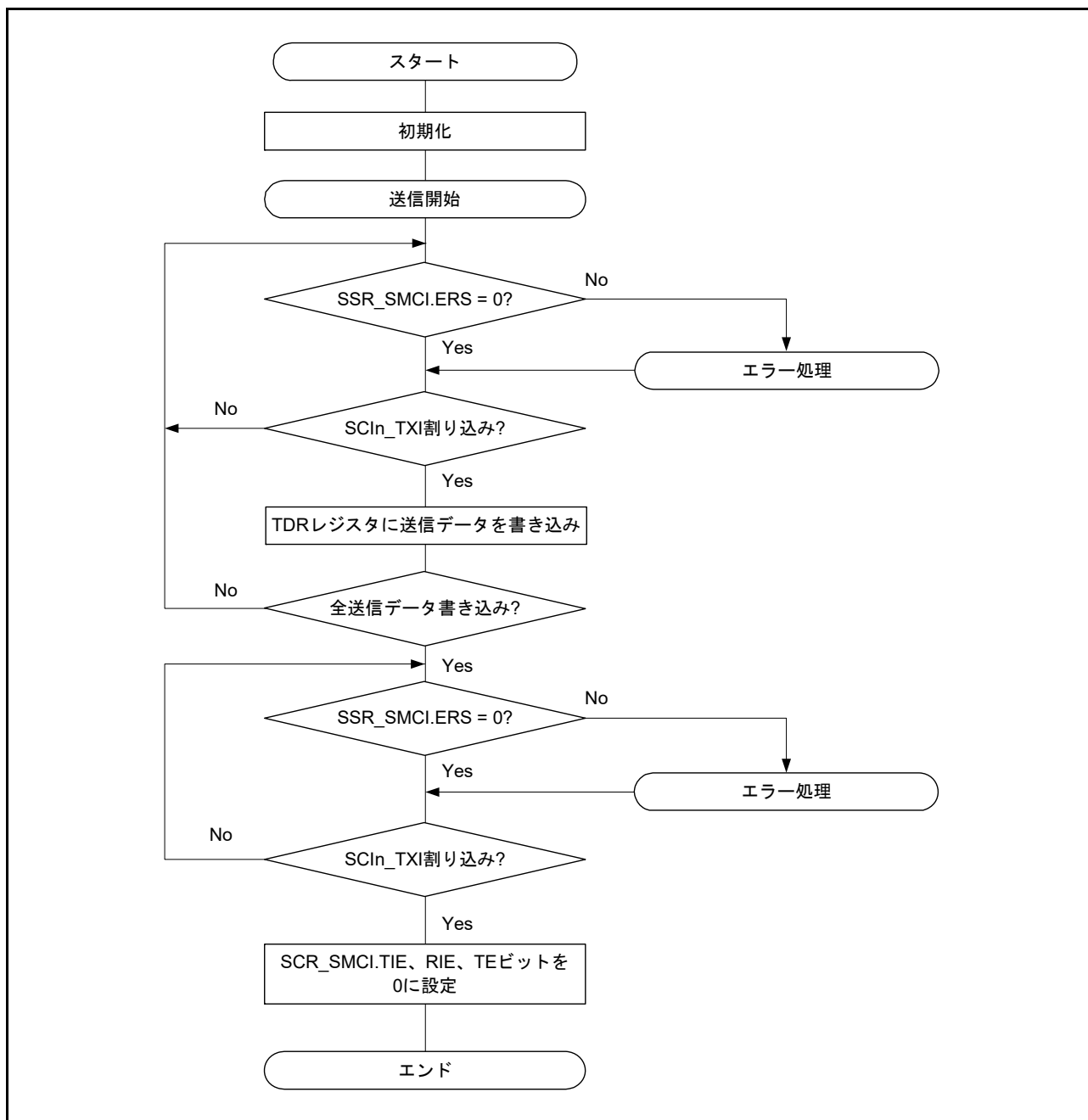


図 27.54 スマートカードインタフェース送信のフローチャート例

### 27.6.7 シリアルデータの受信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでのデータ再転送動作を図 27.55 に示します。

- [1] 受信データにパリティエラーが検出されると、SSR\_SMCI.PER フラグが 1 になります。このとき、SCR\_SMCI.RIE ビットが 1 になっていると、SCIn\_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグをクリアしてください。
- [2] パリティエラーが検出されたフレームに対しては、SCIn\_RXI 割り込みは発生しません。
- [3] パリティエラーが検出されない場合、SCR\_SMCI.PER フラグは 1 になりません。
- [4] 正常に受信が完了したと判断されます。このとき、SCR\_SMCI.RIE ビットが 1 になっていると、SCIn\_RXI 割り込み要求が発生します。

図 27.56 に、シリアル受信のフローチャート例を示します。これら一連の処理は、SCIn\_RXI 割り込み要求で DMAC または DTC を起動することによって、自動的に行うことができます。

受信動作では、RIE ビットを 1 にしておくと、SCIn\_RXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求によって DMAC または DTC が起動され、受信データの転送が可能になります。

また、受信中にエラーが発生して SSR\_SMCI.ORER フラグまたは SSR\_SMCI.PER フラグのいずれかが 1 になると、受信エラー割り込み (SCIn\_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DMAC または DTC は起動されず、受信データはスキップされます。そのため、DMAC または DTC に指定されたバイト数だけ受信データが転送されます。

なお、受信中にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に SCR\_SMCI.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注 1. ブロック転送モードの場合は、27.3.9 シリアルデータの受信（調歩同期式モード）を参照してください。

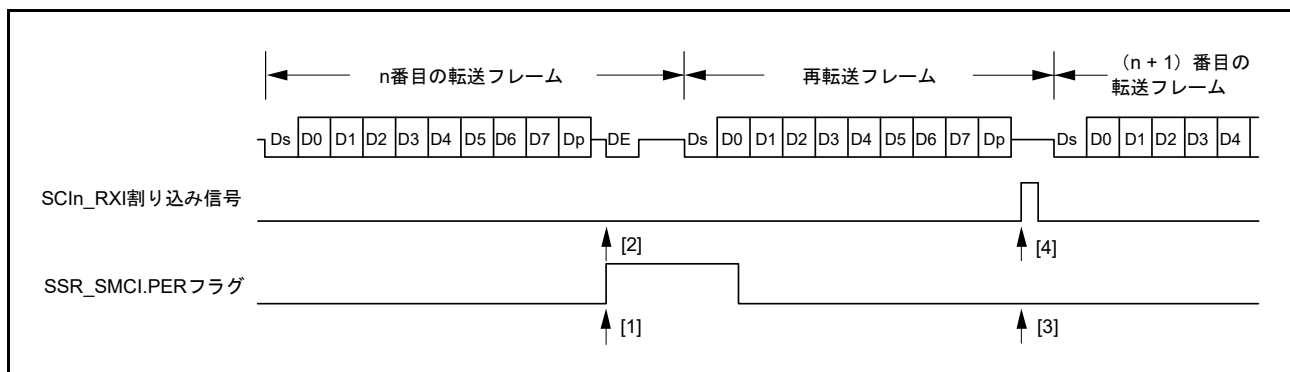


図 27.55 SCI 受信モードでの再転送動作

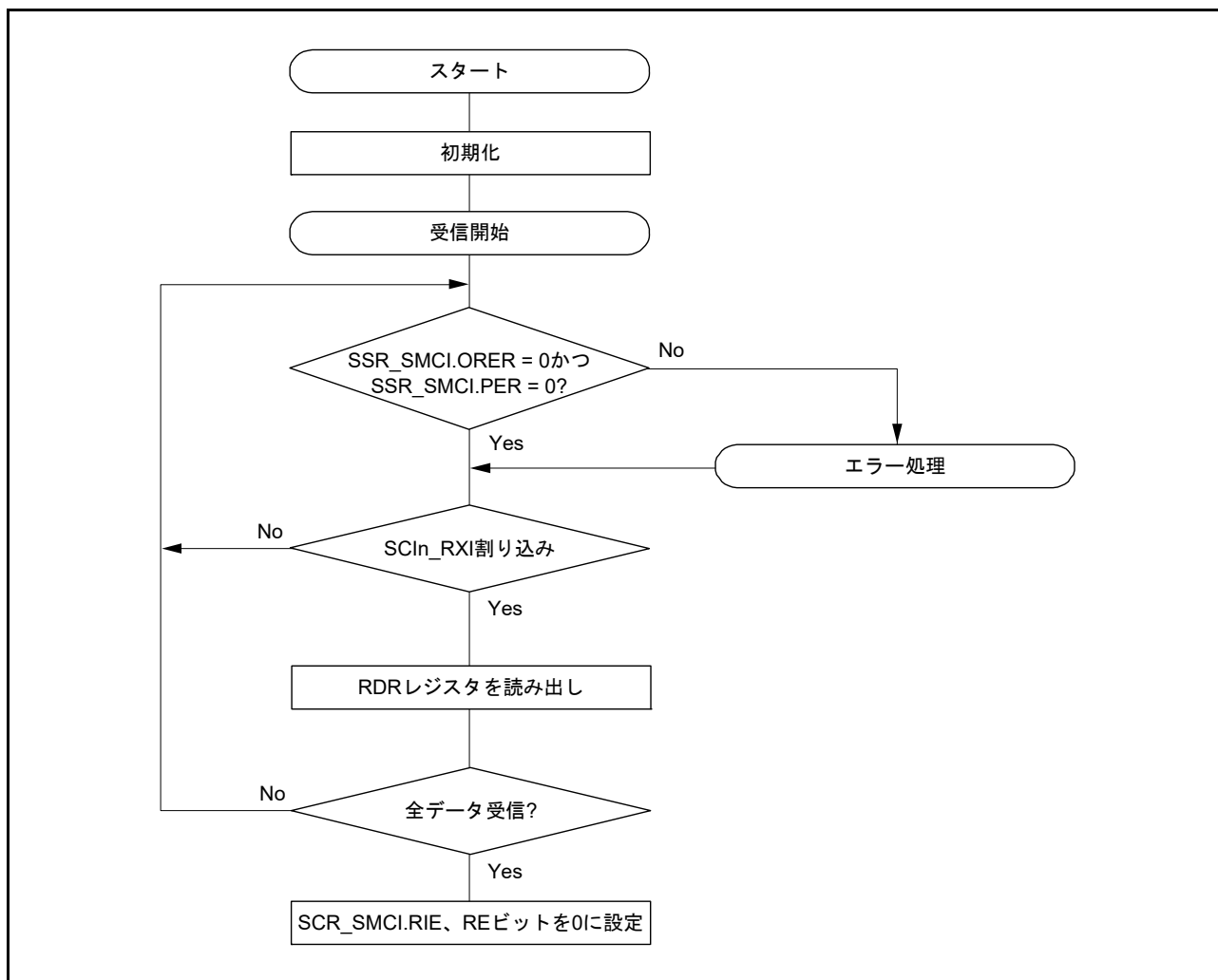


図 27.56 スマートカードインタフェース受信のフローチャート例

### 27.6.8 クロック出力制御

SMR\_SMCI.GM ビットを 1 にすると、SCR\_SMCI.CKE[1:0] ビットでクロック出力の制御が行えます。CKE[1:0] ビットの詳細については、32.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR\_SMCI) (SCMR.SMIF = 1) を参照してください。クロック出力を設定すると、32.6.4 受信データのサンプリングタイミングと受信マージンで説明されている基本クロックが出力されます。

図 27.57 に、SCR\_SMCI レジスタの CKE[1] ビットを 0 にして SCR\_SMCI レジスタの CKE[0] ビットを制御する場合のクロック出力制御のタイミング例を示します。

SMR\_SMCI.GM ビットを 0 にすると、SCR\_SMCI.CKE[0] ビットによる出力制御がただちに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力される可能性があります。

SMR\_SMCI.GM ビットを 1 にすると、SCR\_SMCI.CKE[0] ビットが変更されても基本クロックと同じパルス幅のクロックが出力されます。

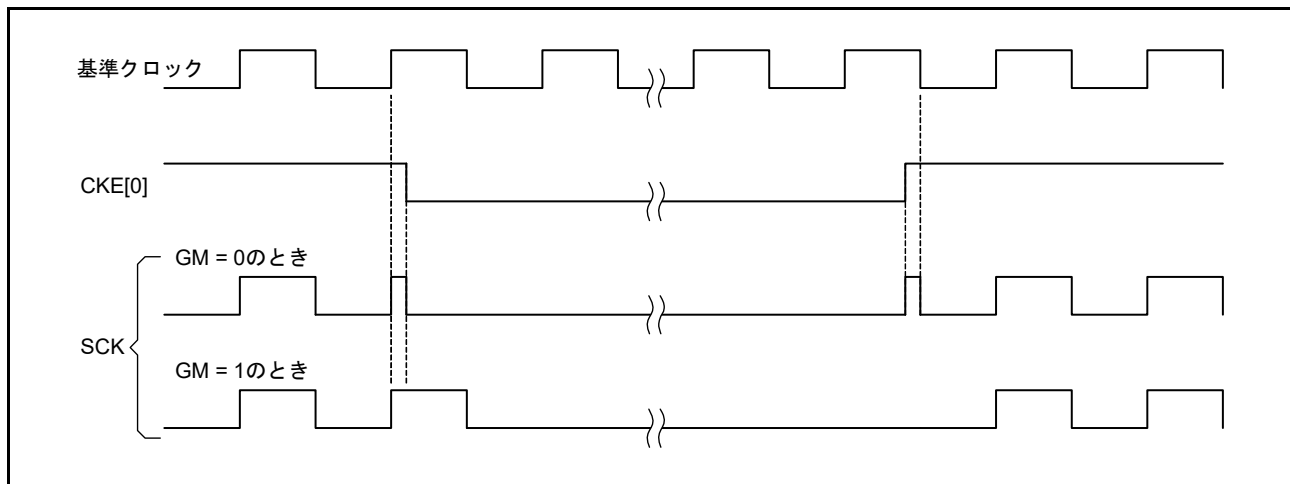


図 27.57 クロック出力制御

### 27.7 簡易 IIC モードの動作

簡易 I<sup>2</sup>C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 27.58 に、I<sup>2</sup>C バスフォーマットを、図 27.59 に、I<sup>2</sup>C バスタイミングを示します。

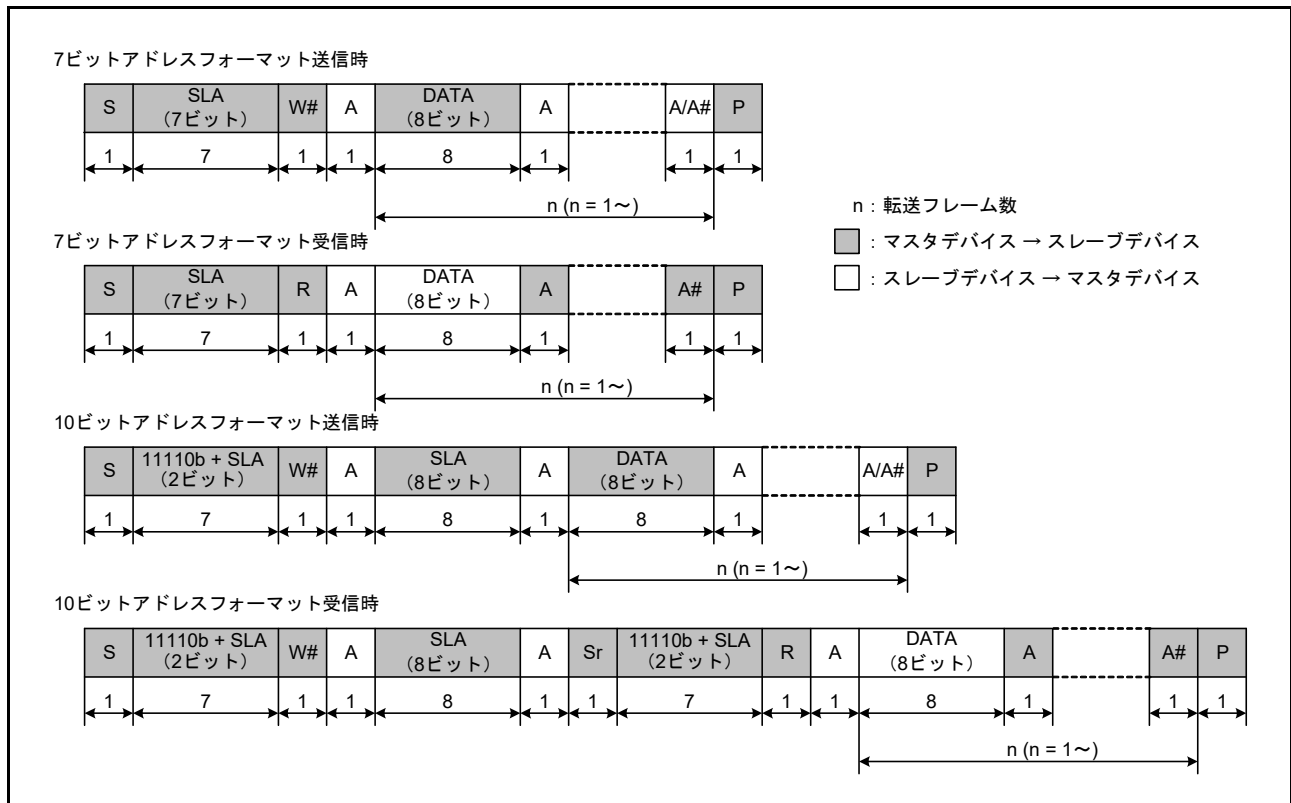


図 27.58 I<sup>2</sup>C バスフォーマット

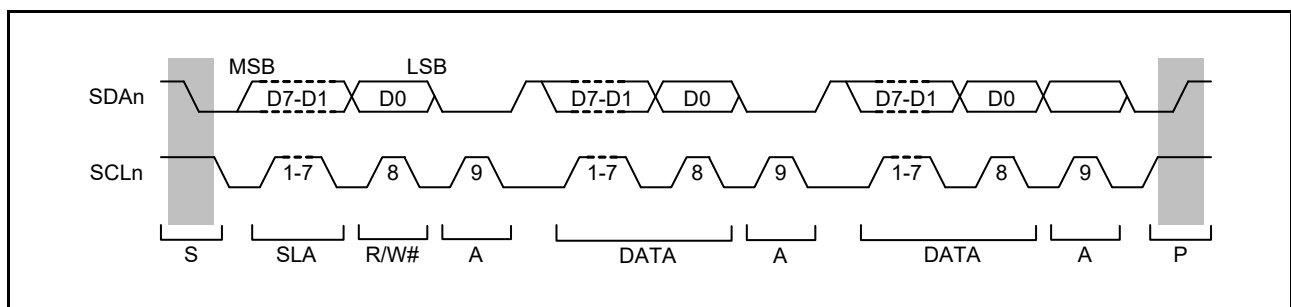


図 27.59 I<sup>2</sup>C バスタイミング (SLA = 7 ビットの場合)

S : 開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを High から Low へ変化させます

SLA : スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します

R/W# : 転送方向 (送信/受信) を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します

A/A#: アクノリッジを示します。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。Low を返すことで ACK を、High を返すことで NACK を示します

Sr: 再開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDA<sub>n</sub> ラインのレベルを High から Low へ変化させます

DATA: 送受信データを示します

P: 停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDA<sub>n</sub> ラインのレベルを Low から High へ変化させます

### 27.7.1 開始条件、再開始条件、停止条件の生成

SIMR3.IICSTAREQ ビットに 1 を書き込むことにより、開始条件の生成を行います。開始条件の生成では、以下の動作が行われます。

- SDA<sub>n</sub> ラインを立ち下げ (High から Low へ変化)、SCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、開始条件のホールド時間に設定
- SCLn ラインを立ち下げ (High から Low へ変化)、SIMR3.IICSTAREQ ビットを 0 にして、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに 1 を書き込むことにより、再開始条件の生成を行います。再開始条件の生成では、以下の動作が行われます。

- SDA<sub>n</sub> ラインを開放、SCLn ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを開放 (Low から High へ変化)
- SCLn ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のセットアップ時間に設定
- SDA<sub>n</sub> ラインを立ち下げ (High から Low へ変化)
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のホールド時間に設定
- SCLn ラインを立ち下げ (High から Low へ変化)、SIMR3.IICRSTAREQ ビットを 0 にして、再開始条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに 1 を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SDA<sub>n</sub> ラインを立ち下げ (High から Low へ変化)、SCLn ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを開放 (Low から High へ変化)
- SCLn ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、停止条件のセットアップ時間に設定
- SDA<sub>n</sub> ラインを開放 (Low から High へ変化)、SIMR3.IICSTPREQ ビットを 0 にして、停止条件生成割り込み要求を出力

図 27.60 に、開始条件、再開条件、停止条件生成の動作タイミングを示します。

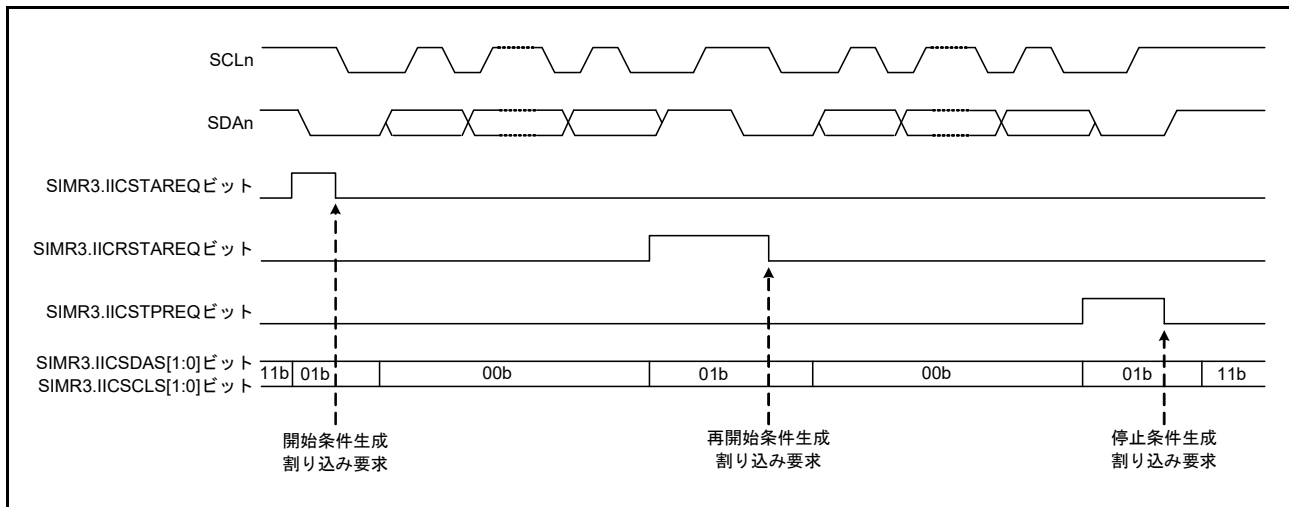


図 27.60 開始条件、再開条件、停止条件生成の動作タイミング

## 27.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で、SCLn ラインを Low にする場合があります。内部 SCLn クロック信号と SCLn 端子入力のレベルに差異が生じる場合、SIMR2.IICCSC ビットを 1 にすることで、クロック同期の制御が可能になります。

SIMR2.IICCSC ビットが 1 の場合、内部 SCLn クロック信号が Low から High へ変化すると、SCLn 端子入力が Low の間は High 期間のカウントを停止し、SCLn 端子入力が High へ変化すると、High 期間のカウントを開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子入力遅延、SCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、および内部処理遅延（PCLKA で 1～2 サイクル）の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

SIMR2.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが 0 の場合は、データの送受信は、内部 SCLn クロックに同期して行われます。

開始条件、再開条件、または停止条件の生成要求発行後、内部 SCLn クロックが Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロック信号が Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 27.61 に、クロック同期化の動作例を示します。

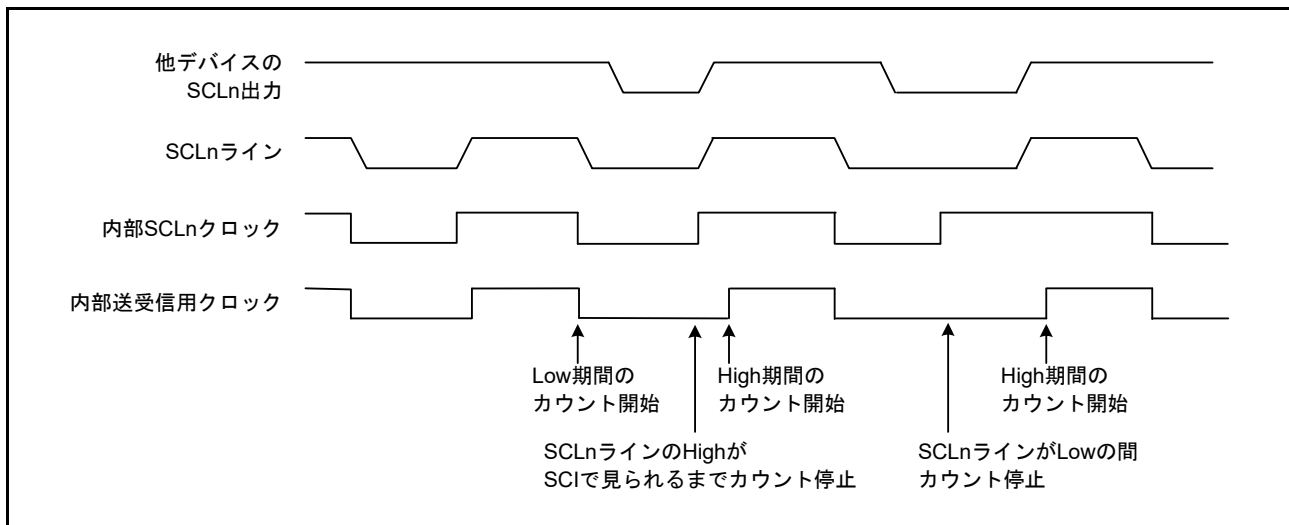


図 27.61 クロック同期化の動作例

### 27.7.3 SDA 出力遅延

SIMR1.IICDL[4:0] ビットを用いて、SCLn 端子出力の立ち下がりに対し、SDAn 端子出力を遅延させることが可能です。遅延時間は 0 ~ 31 サイクルから選択できます。遅延設定は、対応する内蔵ポーレートジェネレータからのクロック信号のサイクル数を表します (SMR.CKS[1:0] ビットで選択した分周ベースクロック (PCLKA) を基準とします)。SDAn 端子出力の遅延は、開始条件/再開条件/停止条件の各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDA 出力遅延が SCLn 端子出力の立ち下がり時間より短い場合、SCLn 端子出力の立ち下がり中に SDAn 端子出力が変化を開始して、スレーブデバイスが誤動作する可能性があります。SDAn 出力遅延は、SCLn 端子出力の立ち下がり時間の最大値 (IIC の標準モード、ファストモードでは 300ns) より大きくなるように設定してください。

図 27.62 に、SDA 出力遅延のタイミングを示します。

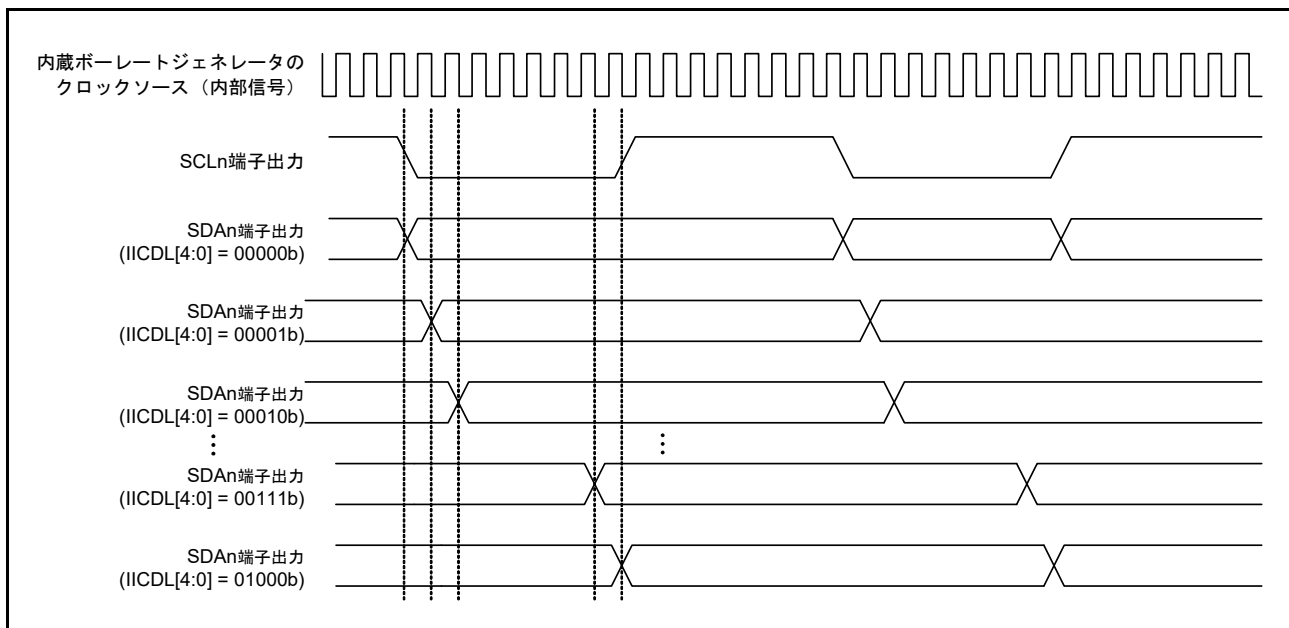


図 27.62 SDA 出力遅延のタイミング



## 27.7.4 SCIの初期化 (簡易 IIC モード)

データの送受信前に、SCRレジスタに初期値 00h を書き込み、図 27.63 の例に示すように、インタフェースを初期化してください。動作モードまたは通信フォーマットを変更する前に、必ず SCR レジスタを初期値にしてください。また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

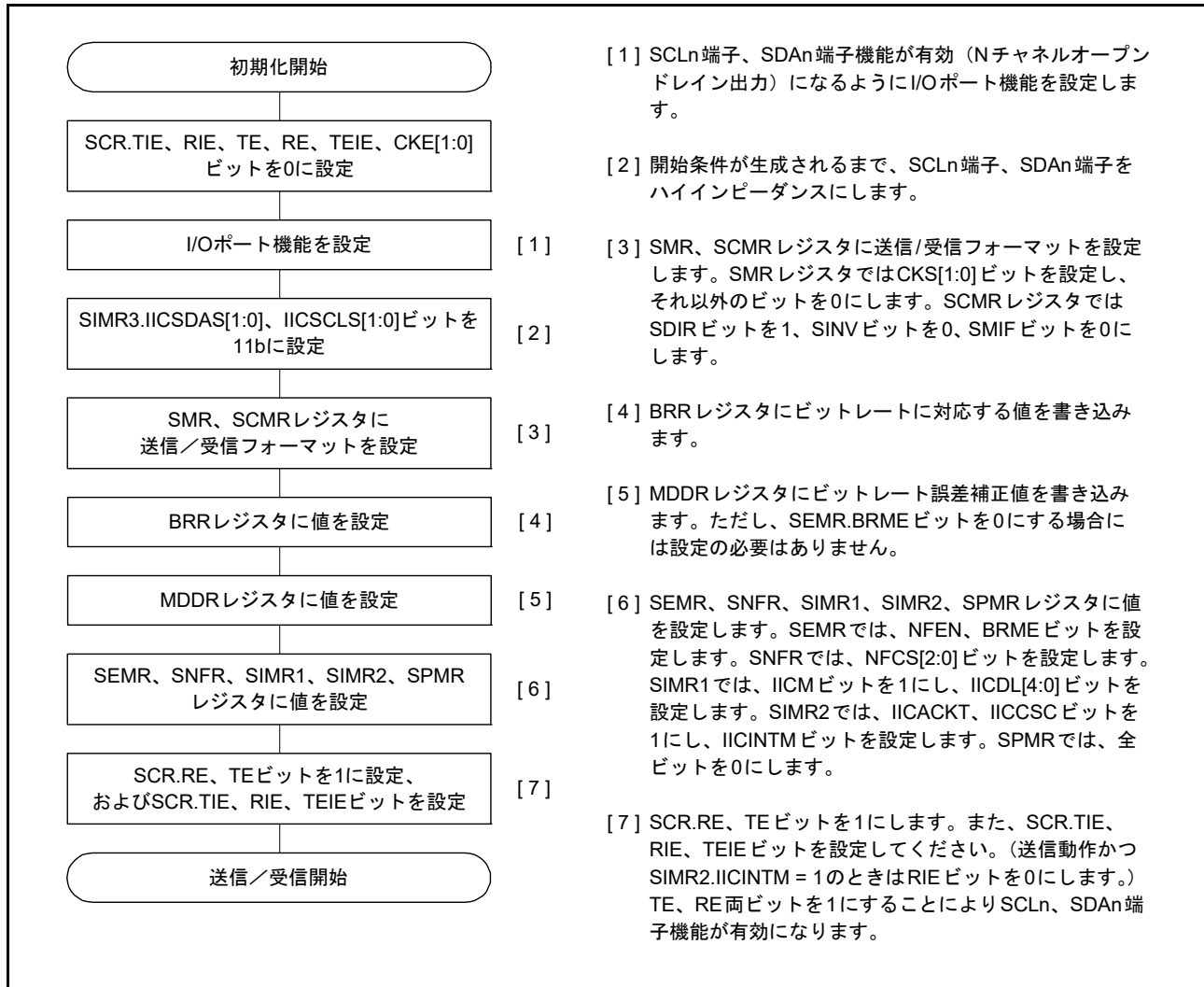


図 27.63 SCIの初期化フローチャート例 (簡易 IIC モード)

## 27.7.5 マスタ送信動作 (簡易 IIC モード)

図 27.64 と図 27.65 に、マスタ送信の動作例を、図 27.66 に、データ送信のフローチャート例を示します。下図では、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) で、かつ SCR.RIE ビットが 0 (SCIn\_RXI および SCIn\_ERI 割り込み要求を禁止) の場合を想定しています。STI 割り込みについては、表 27.29 を参照してください。

10 ビットスレーブアドレス使用時は、図 27.66 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 IIC モードでの送信データエンpty割り込み (SCIn\_TXI) は、クロック同期式送信時の SCIn\_TXI 割り込み要求の発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

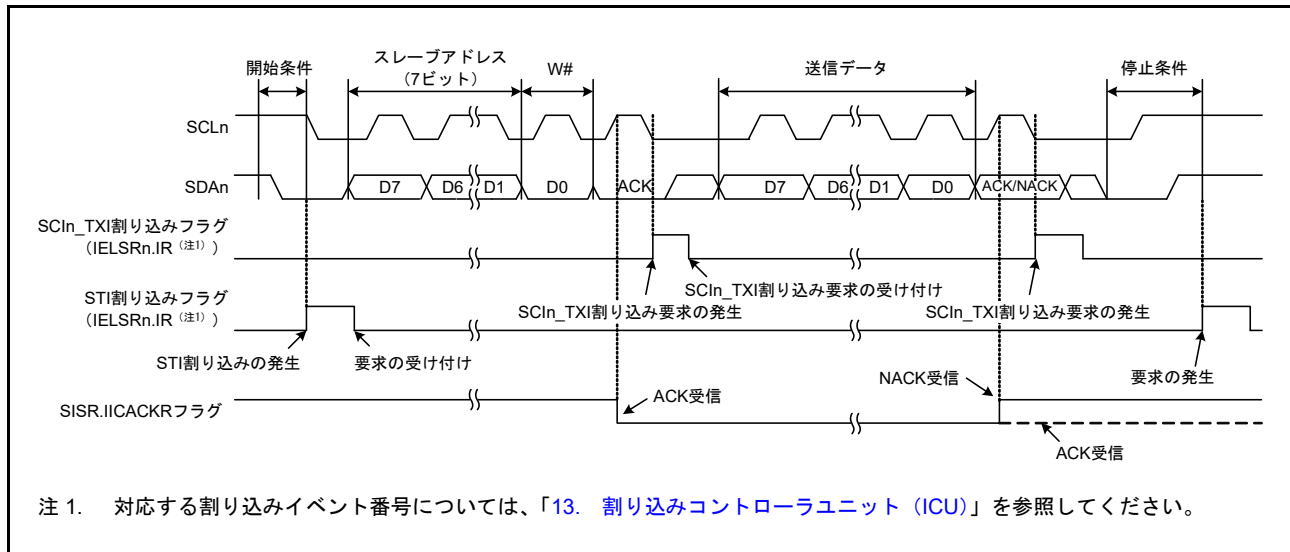


図 27.64 簡易 IIC モードにおけるマスタ送信の動作例 1 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを ACK 割り込み、NACK 割り込みを使用して 0 にした場合、ACK 割り込みをトリガにして DMAC または DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

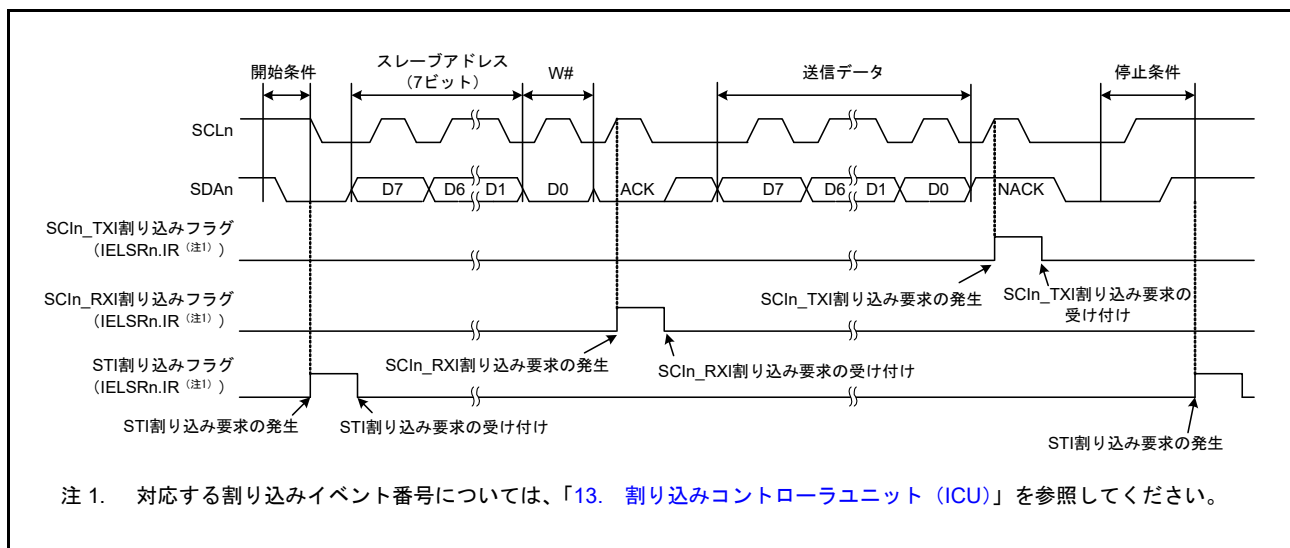


図 27.65 簡易 IIC モードにおけるマスタ送信の動作例 2 (7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

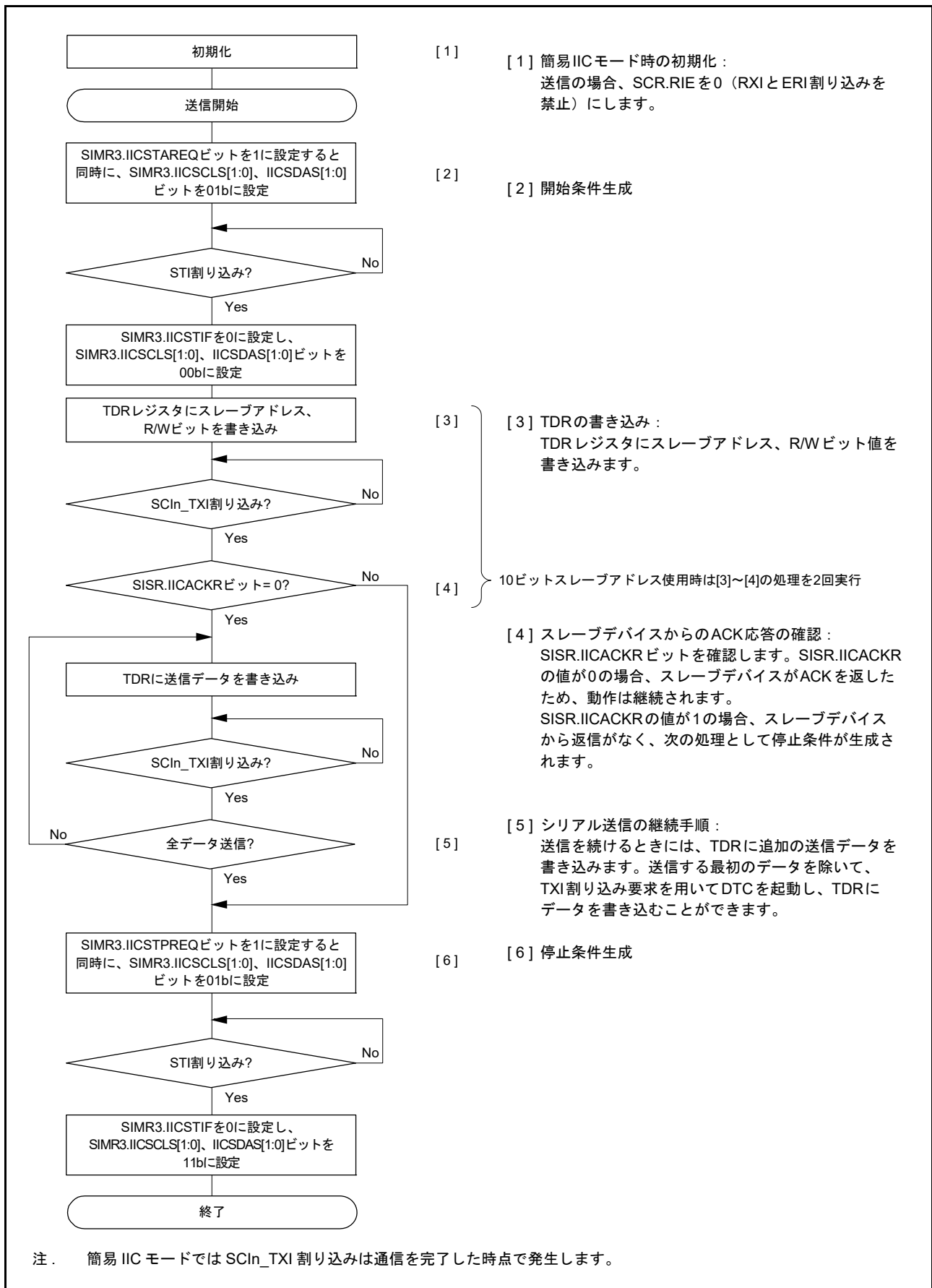


図 27.66 簡易 IIC モードにおけるマスタ送信のフローチャート例（送信割り込み、受信割り込み使用時）

## 27.7.6 マスタ受信動作 (簡易 IIC モード)

図 27.67 に簡易 IIC モードにおけるマスタ受信の動作例を、図 27.68 にマスタ受信のフローチャート例を示します。

下図では、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合を想定しています。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn\_TXI) は、クロック同期式送信時の SCIn\_TXI 割り込み要求の発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

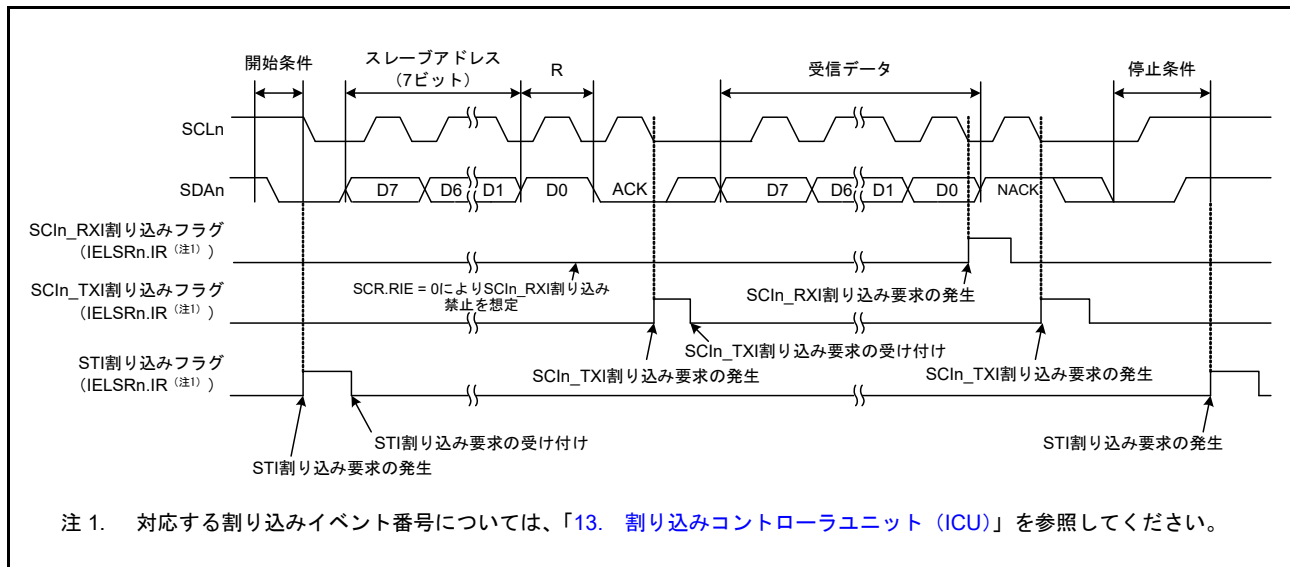


図 27.67 簡易 IIC モードにおけるマスタ受信の動作例 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

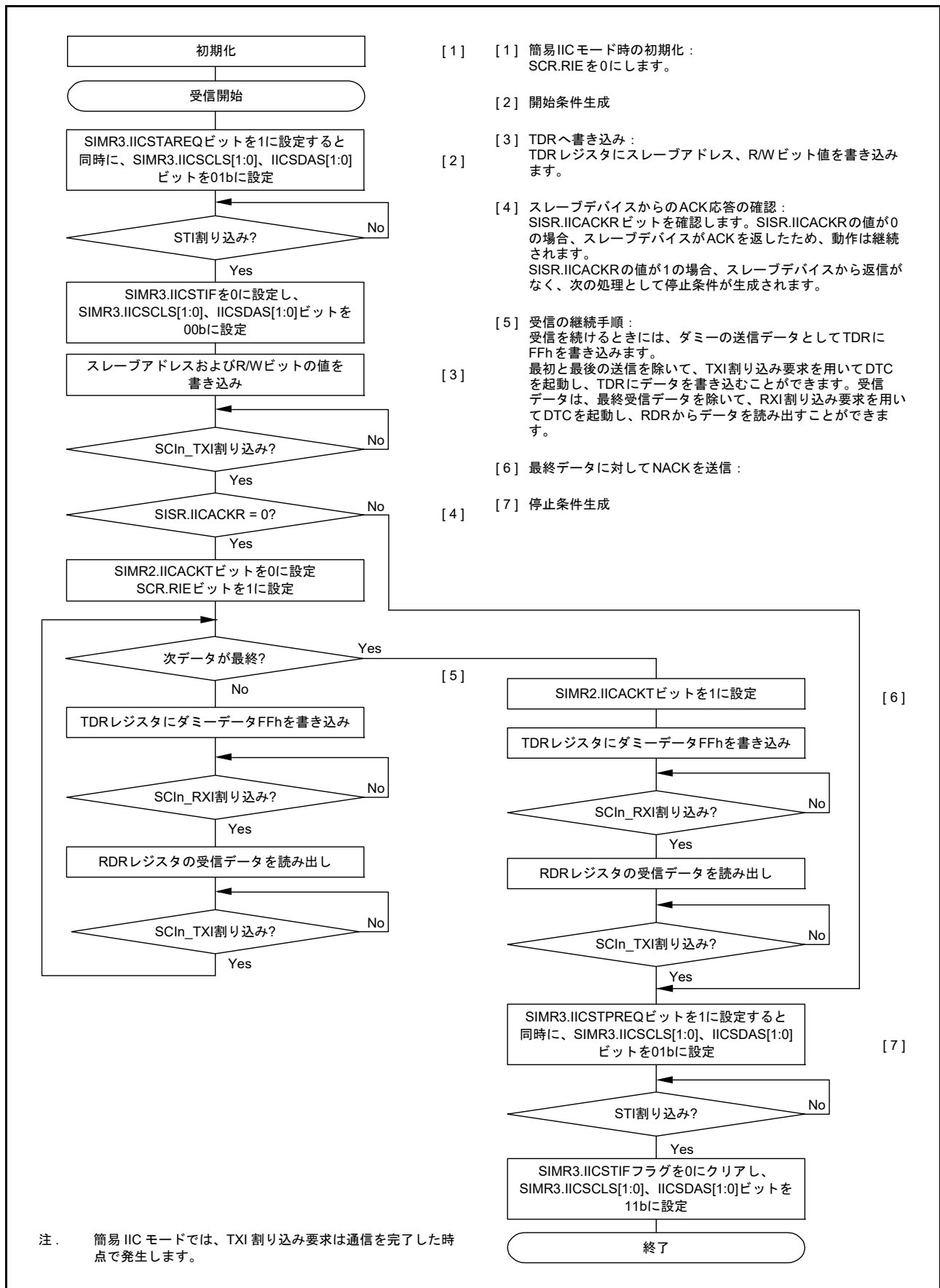


図 27.68 簡易 IIC モードにおけるマスタ受信のフローチャート例 (送信割り込み、受信割り込み使用時)

## 27.8 簡易 SPI モードの動作

SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

SCI を簡易 SPI モードにするには、クロック同期式モードの設定 (SCMR.SMIF = 0、SIMR1.IICM = 0、SMR.CM = 1) を使用し、SPMR.SSE ビットを 1 にします。マスタが一つしかない構成では、簡易 SPI モードでマスタとして使用されているデバイスへの接続に、マスタ側の SSn 端子機能は必要ありません。したがってそのような場合は、SPMR.SSE ビットを 0 にします。

図 27.69 に、簡易 SPI モードの接続例を示します。汎用ポート端子を使用して、マスタからの SSn 出力信号を生成してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み出すことが可能です。これにより、連続転送が可能となります。

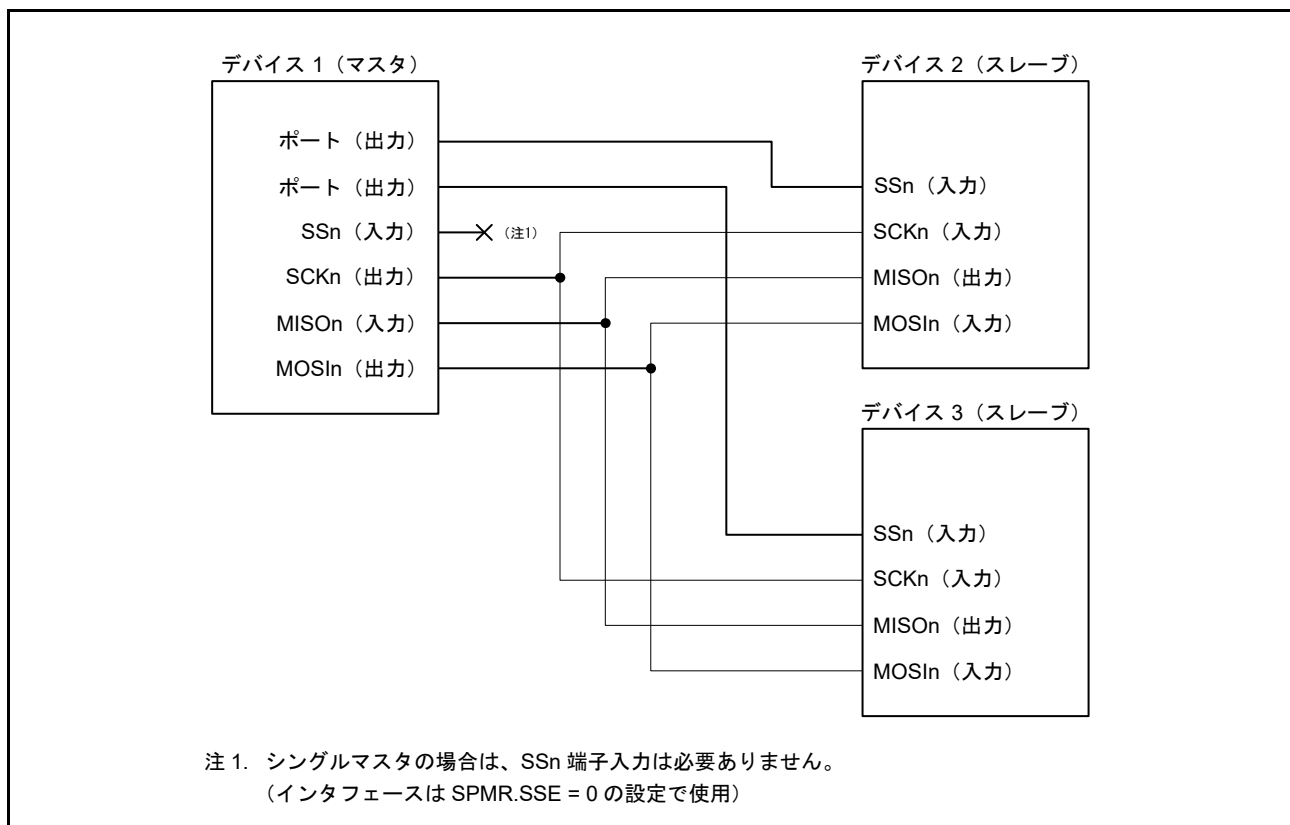


図 27.69 簡易 SPI モードでの接続例 (シングルマスタ時、SPMR.SSE ビット = 0)

### 27.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] = 00b または 01b、かつ SPMR.MSS = 0) と、スレーブモード (SCR.CKE[1:0] = 10b または 11b、かつ SPMR.MSS = 1) で、各端子の入出力方向が異なります。

表 27.25 に、端子状態、モード、および SSn 端子入力レベルの間の関係を示します。

表 27.25 モードおよび SSn 端子入力と各端子状態の関係

モード	SSn 端子入力	TXDn 端子状態	RXDn 端子状態	SCKn 端子状態
マスタモード (注1)	High レベル (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low レベル (通信不可能)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High レベル (通信不可能)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low レベル (通信可能)	受信データ入力	送信データ出力	クロック入力

- 注 1. シングルマスタ構成 (SPMR.SSE ビット = 0) のみの場合、SSn 端子の入力レベルにかかわらず、通信可能となります。これは、SSn 端子入力が High のときと等価です。SSn 端子機能は不要であり、別の用途に使用できます。
- 注 2. シリアル送信禁止 (SCR.TE ビット = 0) の場合、MOSIn 端子出力はハイインピーダンスです。
- 注 3. マルチマスタ構成 (SPMR.SSE ビット = 1) では、シリアル送受信禁止 (SCR.TE および SCR.RE ビット = 00b) の場合、SCKn 端子出力はハイインピーダンスです。

### 27.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] ビットを 00b にして、SPMR.MSS ビットを 0 にすると、マスタモードになります。

シングルマスタ構成 (SPMR.SSE ビット = 0) では、SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信が可能です。

マルチマスタ構成 (SPMR.SSE ビット = 1) では、SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは別のマスタが送受信動作を行っていないことを示すために、マスタデバイスは送受信動作を開始する前に、SCKn 端子からクロック信号を出力します。

マルチマスタ構成 (SPMR.SSE = 1) において SSn 端子入力が Low の場合は、別のマスタが存在し、送受信を行っていることを示しています。MOSIn 端子出力と SCKn 端子出力はハイインピーダンス状態になり、送受信動作を開始することができません。また、SPMR.MFF ビットが 1 のときは、モードフォルトエラーを示します。マルチマスタ構成では、SPMR.MFF フラグを読むことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に MOSIn 端子出力および SCKn 端子出力がハイインピーダンス状態になります。マスタからの SS 出力信号については、汎用ポート端子で制御してください。

### 27.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] ビットを 10b にして、SPMR.MSS ビットを 1 にすると、スレーブモードになります。SSn 端子入力が High のとき、MISOIn 出力端子の状態はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送信または受信動作が可能になります。

送信または受信動作中に SSn 端子入力が Low から High に変化した場合、MISOIn 出力端子の状態をハイインピーダンスにします。なお、内部的な送信または受信処理は、SCKn 端子から入力されるクロックレートで継続し、1 キャラクター分の送受信が完了すると、動作が停止して、割り込み (SCIIn\_TXI、SCIIn\_RXI、SCIIn\_TEI のいずれか) が発生します。

### 27.8.4 クロックと送受信データの関係

SPMR.CKPOL ビットと SPMR.CKPH ビットを用いて、送受信に用いるクロックを4種類から選択できます。クロック信号と送受信データの関係を図 27.70 に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと等価です。

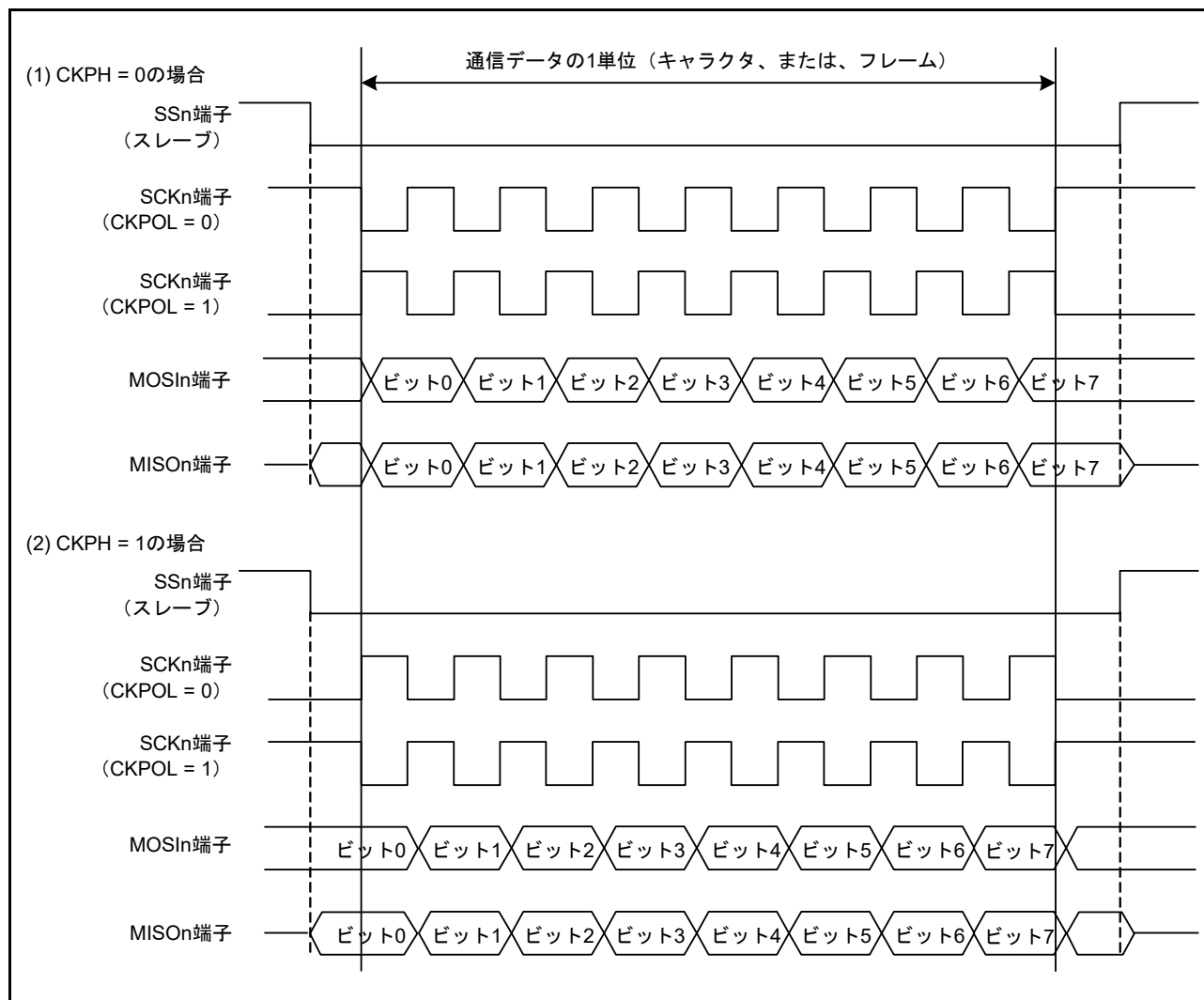


図 27.70 簡易 SPI モードにおけるクロックと送受信データの関係

### 27.8.5 SCI の初期化 (簡易 SPI モード)

簡易 SPI モードでの初期化は、クロック同期式モードの場合と同じです。初期化フローの例は、図 27.32 を参照してください。SPMR.CKPOL ビットと SPMR.CKPH ビットは、マスタデバイスとスレーブデバイスの両方に適切なクロック信号となるように設定する必要があります。

動作モードや転送フォーマットに変更を加える場合は、必ず SCR レジスタを初期化してから行ってください。

注. 0 になるのは RE ビットのみです。SSR.ORER、FER、PER、および RDR の各フラグは初期化されません。

SCR レジスタの TIE ビットが 1 のときに、TE ビットの値を 1 から 0、または 0 から 1 に変更すると、送信データエンプティ割り込み (SCIn\_TXI) が発生します。



### 27.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモードでは、送受信先のスレーブデバイスの SS<sub>n</sub> 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。それ以外の手順はクロック同期式モードと同様です。

### 27.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能では、PCLKA が SMR/SMR\_SMCI レジスタの CKS[1:0] ビットで選択された場合に、MDDR レジスタで指定した数を用いて、ビットレートを均一に補正することが可能です。

調歩同期式モードにおいて、PCLKA が SMR/SMR\_SMCI レジスタの CKS[1:0] ビットで選択されたとき、BRR と MDDR がそれぞれ 0 と 160 の場合の例を図 27.71 に示します。この例では、基本クロックの周期が均一に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注． 内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モードと、簡易 SPI モードでの最高速設定 (SMR.CKS[1:0] = 00b、SCR.CKE[1] = 0、および BRR = 0) では、この機能を使用しないでください。

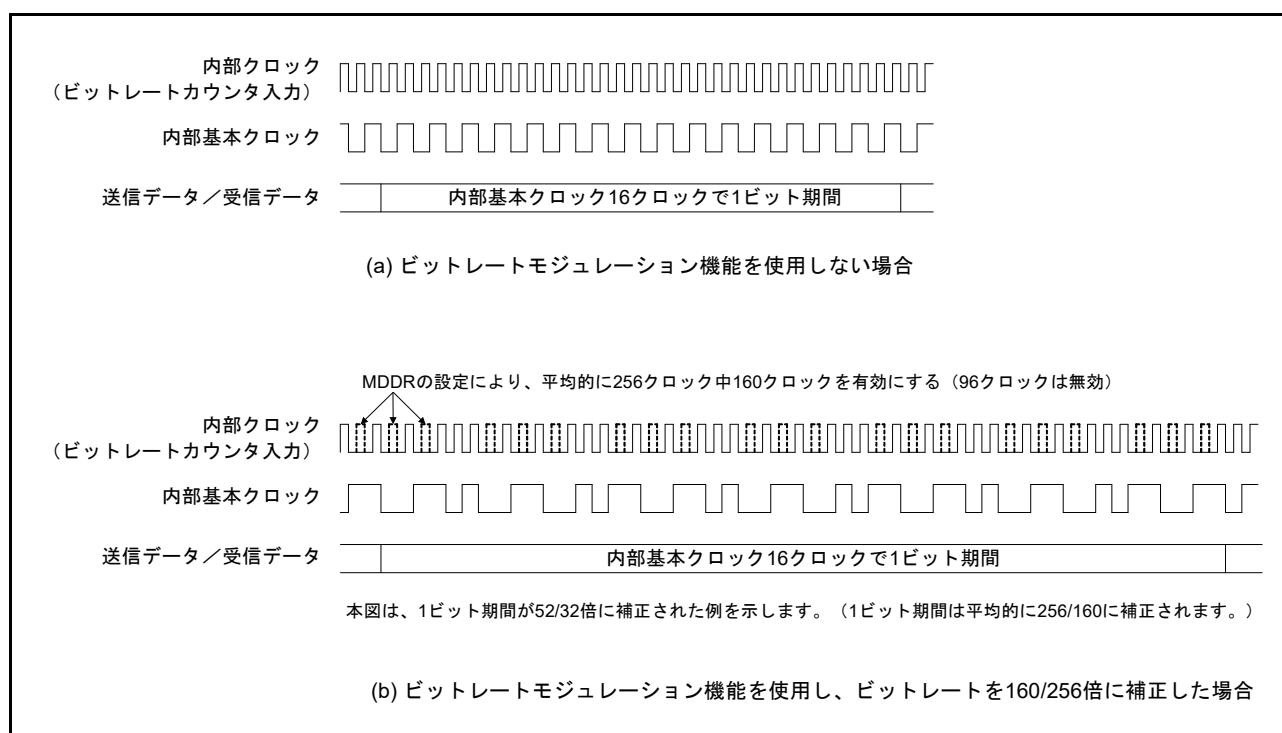


図 27.71 ビットレートモジュレーション機能使用時の内部基本クロックの例

## 27.10 割り込み要因

### 27.10.1 SCIn\_TXI および SCIn\_RXI 割り込みのバッファ動作 (非 FIFO 選択時)

割り込みコントローラ (ICU) の割り込みステータスフラグが 1 のときは、SCIn\_TXI 割り込みと SCIn\_RXI 割り込みの発生条件が成立していても、ICU は割り込み要求を出力せず、内部で保持します。内部で保持できる容量は、1 要因ごとに 1 要求までです。

ICU の割り込みステータスフラグが 0 になると、ICU 内に保持されていた割り込み要求が出力されます。割り込み要求が出力されると、内部で保持されていた割り込みは自動的に破棄されます。また、内部で保持されていた割り込み要求は、対応する割り込み許可ビット (SCR/SCR\_SMCI レジスタの TIE ビットまたは RIE ビット) をクリアすることでも破棄できます。

### 27.10.2 SCIn\_TXI および SCIn\_RXI 割り込みのバッファ動作 (FIFO 選択時)

SCIn\_TXI 割り込みと SCIn\_RXI 割り込みは、ICU の割り込みステータスフラグが 1 であっても、ICU に対して割り込み要求を出力しません。ICU の割り込みステータスフラグが 0 にクリアされた場合に SCIn\_TXI 割り込みと SCIn\_RXI 割り込みの条件が満たされていれば、割り込み要求が発生します。

### 27.10.3 調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み

#### (1) 非 FIFO 選択時

表 27.26 に、調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には、異なる割り込みベクタの割り当てが可能です。SCR レジスタの許可ビットによって、割り込み要因を個別に許可/禁止することが可能です。

SCR.TIE ビットが 1 のとき、送信データが TDR レジスタまたは TDRHL レジスタ (注 1) から TSR レジスタへ転送されると、SCIn\_TXI 割り込み要求が発生します。また、SCIn\_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることでも発生します。SCIn\_TXI 割り込み要求を用いて DMAC または DTC を起動し、データ転送を行うことができます。

SCIn\_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。(注 2)

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、SSR.TEND フラグが 1 になり、SCIn\_TEI 割り込み要求が発生します。また、SCR.TE ビットを 1 にしてから TDR レジスタまたは TDRHL レジスタ (注 1) に送信データを書き込むまでの間は、SSR.TEND フラグは 1 を保持しており、SCR.TEIE ビットを 1 にすると SCIn\_TEI 割り込み要求が発生します。

TDR レジスタまたは TDRHL レジスタ (注 1) にデータを書き込むと、SSR.TEND フラグがクリアされて SCIn\_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

SCR.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn\_RXI 割り込み要求が発生します。SCIn\_RXI 割り込み要求を用いて DMAC または DTC を起動し、データ転送を行うことができます。

SCR.RIE ビットが 1 のとき、SSR.ORER、FER、PER のいずれかのフラグが 1 になると、SCIn\_ERI 割り込み要求が発生します。このとき、SCIn\_RXI 割り込み要求は発生しません。これら 3 つのフラグ (ORER、FER、PER) のすべてをクリアすることによって、SCIn\_ERI 割り込み要求を取り消すことができます。

#### (2) FIFO 選択時

表 27.27 に、FIFO モード選択時の割り込み要因を示します。

SCR.TIE ビットが 1 のとき、FTDRL レジスタに格納されたデータ数が FCR.TTRG で指示されたしきい値以下になると、SCIn\_TXI 割り込み要求が発生します。また、SCIn\_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることでも発生します。

SCIn\_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。

SCR.TEIE ビットが1のとき、送信データの最終ビットを送信するタイミングまでに次のデータがFTDRLレジスタに書き込まれていないと、SSR\_FIFO.TEND フラグが1になり、SCIn\_TEI 割り込み要求が発生します。

SCR.RIE ビットが1のとき、FRDRL レジスタに格納されたデータ数がFCR.RTRG で指示されたしきい値以上になると、SCIn\_RXI 割り込み要求が発生します。RTRG が0の場合は、受信FIFO内のデータ数が0であっても、SCIn\_RXI 割り込み要求は発生しません。

SCR.RIE ビットが1のとき、SSR\_FIFO.ORER フラグが1になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータがFRDRL レジスタに格納されると、SCIn\_ERI 割り込み要求が発生します。FRDRL レジスタに格納されたデータ数がしきい値以上であると、同時にSCIn\_RXI 割り込み要求も発生します。SSR\_FIFO.ORER、FER、およびPER フラグをすべてクリアすることで、SCIn\_ERI 割り込み要求を取り消すことができます。

注1. 調歩同期式モードにおいて、データ長9ビットを選択した場合です。

注2. 最終データの送信時にSCIn\_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、SCR.TIE ビットではなく、ICUの割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn\_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

表 27.26 SCIの割り込み要因 (非FIFO選択時)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_ERI	受信エラー (注1)	ORER, FER, PER, DFER, DPER	RIE	不可能	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能	可能
	アドレス一致	DCMF	RIE	可能	可能
SCIn_AM	アドレス一致	DCMF	—	可能	可能
SCIn_TXI	送信データエンプティ	TDRE	TIE	可能	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能	不可能

注1. 割り込みフラグがORERになるのはクロック同期式モードおよび簡易SPIモードのみです。

表 27.27 SCIの割り込み要因 (FIFO選択時)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_ERI	受信エラー (注1)	ORER, FER, PER, DFER, DPER	RIE	不可能	不可能
		DR (FCR.DRES = 1の場合)	RIE	不可能	不可能
SCIn_RXI	受信データフル	RDF	RIE	可能	可能
	受信データレディ	DR (FCR.DRES = 0の場合)	RIE	可能	可能
	アドレス一致	DCMF	RIE	可能	可能
SCIn_AM	アドレス一致	DCMF	—	可能	可能
SCIn_TXI	送信データエンプティ	TDFE	TIE	可能	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能	不可能

注1. 割り込みフラグがORERになるのはクロック同期式モードおよび簡易SPIモードのみです。

### 27.10.4 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードにおける割り込み要因を表 27.28 に示します。このモードでは、送信終了割り込み (SCIn\_TEI) 要求とアドレス一致 (SCIn\_AM) 要求は使用できません。

表 27.28 SCIの割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_ERI	受信エラー、 エラーシグナル検出	ORER, FER, ERS	RIE	不可能	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能	可能
SCIn_TXI	送信終了	TEND	TIE	可能	可能

スマートカードインタフェースモードの場合も、DMAC または DTC を使用した送受信が可能です。送信動作では、SSR\_SMCI.TEND フラグが 1 になると、SCIn\_TXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCIn\_TXI 割り込み要求を設定しておけば、SCIn\_TXI 割り込み要求によって DMAC または DTC が起動され、送信データの転送が可能になります。TEND フラグは、DMAC または DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中、TEND フラグは 0 のまま保持され、DMAC または DTC は起動されません。したがって、エラー発生後の再送信を含め、SCI と DMAC または DTC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に SSR\_SMCI.ERS フラグは自動的に 0 にクリアされません。そのため、あらかじめ SCR\_SMCI.RIE ビットを 1 にしておき、エラー発生時に SCIn\_ERI 割り込み要求が発生させることで、ERS フラグをクリアしてください。

なお、DMAC または DTC を使用して送受信を行う場合は、必ず DMAC または DTC を有効にしてから SCI の設定を行ってください。DMAC または DTC の設定方法については、「[16. DMA コントローラ \(DMAC\)](#)」と「[17. データトランスファコントローラ \(DTC\)](#)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn\_RXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求によって DMAC または DTC が起動され、受信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DMAC または DTC は起動せず、代わりに CPU に対して SCIn\_ERI 割り込み要求が発行されます。エラーフラグをクリアしてください。

### 27.10.5 簡易 IIC モードにおける割り込み

簡易 IIC モードにおける割り込み要因を表 27.29 に示します。STI 割り込みは、送信終了割り込み (SCIn\_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn\_ERI) 要求とアドレス一致 (SCIn\_AM) 要求は使用できません。

簡易 IIC モードにおいても、DMAC または DTC を使用した送受信が可能です。

SIMR2.IICINTM ビットが 1 のときは、次の設定を行ってください。

- SCLn 信号の 8 ビット目の立ち下がり、SCIn\_RXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求によって DMAC または DTC が起動され、受信データの転送が可能になります。
- また、SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち下がり、SCIn\_TXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因として SCIn\_TXI 割り込み要求を設定しておけば、SCIn\_TXI 割り込み要求によって DMAC または DTC が起動され、送信データの転送が可能になります。

SIMR2.IICINTM ビットが 0 のときは、次の設定を行ってください。

- SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち上がり、SDAn 端子入力が Low であると、SCIn\_RXI 割り込み要求 (ACK 検出) が発生します。
- SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち上がり、SDAn 端子入力が High であると、SCIn\_TXI 割り込み要求 (NACK 検出) が発生します。
- あらかじめ DMAC または DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求によって DMAC または DTC が起動されて、受信データの転送が可能になります。

なお、DMAC または DTC を使用して送受信を行う場合は、必ず DMAC または DTC を有効にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 27.29 SCI の割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動	DMAC の起動
SCIn_RXI	受信、ACK 検出	—	RIE	可能	可能
SCIn_TXI	送信、NACK 検出	—	TIE	可能	可能
STIn	開始条件、再開条件、停止条件生成終了	IICSTIF	TEIE	不可能	不可能

注 1. SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合にのみ、DTC の起動が可能です。

## 27.11 イベントリンク機能

SCIは、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることができます。

### (1) エラーイベント出力 (受信エラーまたはエラーシグナル検出時)

- 調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。
- 調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。
- 受信中にオーバーランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで、送信時にエラー信号が検出されたことを示します。
- FIFO 選択時かつ FCR.DRES ビットが 1 の場合、SSR\_FIFO.FER フラグと SSR\_FIFO.PER フラグが 0 であり、受信 FIFO データトリガ数より少ない受信データが受信 FIFO バッファに格納され、15ETU 経過したことを示します。

### (2) 受信データフルイベント出力

- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、ACK が検出されたことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりが検出されたことを示します。
- 簡易 IIC モードでのマスタ送信時に、SIMR2.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

#### (a) 非 FIFO 選択時

- 受信データが受信データレジスタ (RDR または RDRHL) に格納されたことを示します。

#### (b) FIFO 選択時

- このイベント出力は使用しないでください。

### (3) 送信データエンptyイベント出力

- SCR/SCR\_SMCI.TE ビットが 0 から 1 に変化したことを示します。
- スマートカードインタフェースモードで、送信が完了したことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、NACK が検出されたことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりが検出されたことを示します。

#### (a) 非 FIFO 選択時

- 送信データが送信データレジスタ (TDR または TDRHL) から送信シフトレジスタ (TSR) へ転送されたことを示します。

#### (b) FIFO 選択時

- このイベント出力は使用しないでください。

### (4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易 IIC モードで、開始条件、再開条件、停止条件の生成が完了したことを示します。

注. FIFO が選択されている場合、このイベント出力は使用しないでください。

### (5) アドレス一致イベント出力

- 調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが1の場合、比較データ（CDR.CMPD）と受信データの1フレームが一致したことを示します。

### 27.12 アドレス不一致イベント出力 (SCI0\_DCUF)

アドレス不一致イベント出力 (SCI0\_DCUF) は、調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが1に設定されている場合、比較データ（CDR.CMPD）と受信データの1フレームが一致しないことを示します。このイベントは、スヌーズ終了要求に対してのみ使用可能です。

### 27.13 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 27.72 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが3サイクル以上保持された場合、有効な受信信号とみなされます。3サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。

SEMR.ABCS = 0 かつ SEMR.ABCSE = 0 の場合、周期は1ビット転送期間の 1/16 となります。

SEMR.ABCS = 1 かつ SEMR.ABCSE = 0 の場合、周期は1ビット転送期間の 1/8 となります。

SEMR.ABCSE = 1 の場合、周期は1ビット転送期間の 1/6 となります。

調歩同期式モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。RXDn 端子の受信レベルは、調歩同期式モードの基本クロックを使用して、ノイズフィルタのフリップフロップ回路に取り込まれます。

簡易 IIC モードでは、SDAn 端子と SCLn 端子の各入力信号に、この機能を使用できます。ノイズ除去機能のサンプリングクロックは、ポーレートジェネレータソースクロックを1、2、4、または8で分周することによって SNFR.NFCS[2:0] ビットで選択されます。

ノイズフィルタが有効な状態で基本クロックをいったん停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に SCR.TE ビットと SCR.RE ビットを0にすると、ノイズフィルタのフリップフロップ値はすべて1に初期化されます。したがって、受信再開時の入力データが1の場合は、レベル一致が検出されたと判断され、その結果が内部信号として伝えられます。入力レベルが0の場合は、サンプリングサイクルで連続して3回信号のレベルが一致するまで、ノイズフィルタの最初の出力値が保持されます。

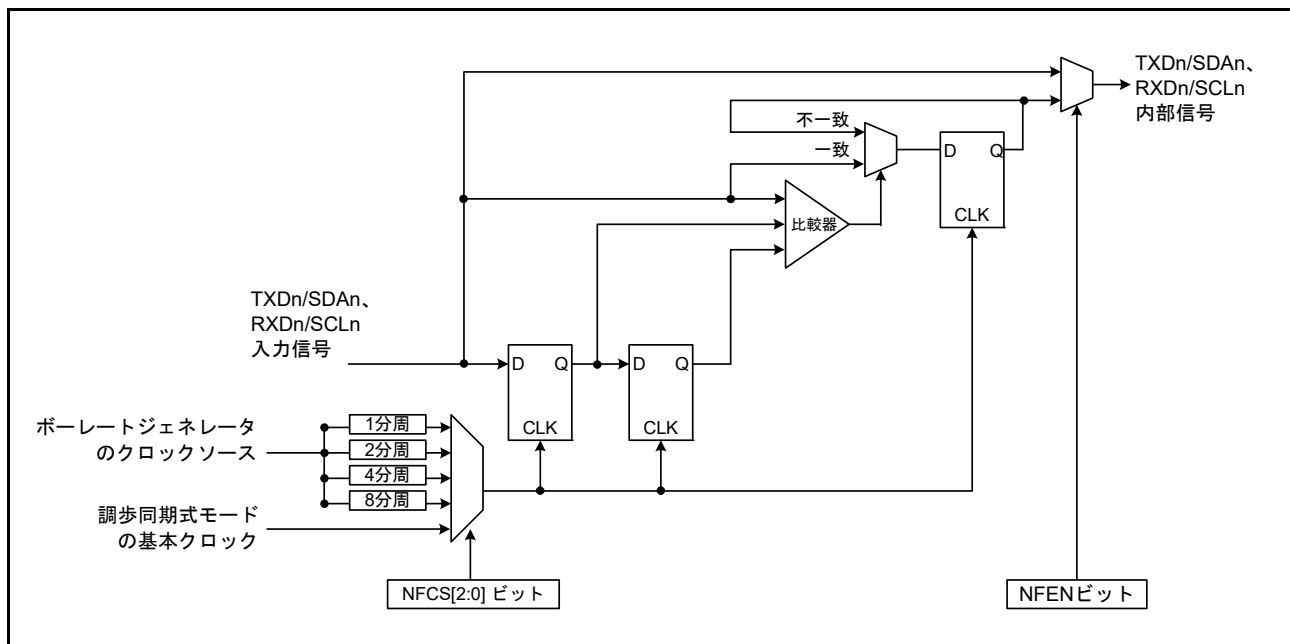


図 27.72 デジタルノイズフィルタ回路のブロック図



## 27.14 使用上の注意事項

### 27.14.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作禁止/許可を設定できます。SCI は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

### 27.14.2 低消費電力状態での SCI の動作について

#### (1) 送信

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、TXDn 端子を汎用入出力ポート機能に切り替えた後、送信動作を停止 (SCR/SCR\_SMCI レジスタの TIE、TE、TEIE ビットを 0) にしてください。入出力ポートを SCI 接続に設定すると、SPTR レジスタによって TXDn 端子状態の制御が可能になります。TE ビットを 0 にすることにより、TSR レジスタが初期化され、SSR/SSR\_SMCI レジスタの TEND ビットは、非 FIFO 選択時には 1 にリセットされ、FIFO 選択時には値が保持されます。モジュールストップ状態またはソフトウェアスタンバイモードから復帰した後の出力端子の状態は、ポートの設定と SPTR レジスタの設定に依存し、低消費電力状態へ遷移する前のレベルを出力する場合があります。送信中に低消費電力状態へ遷移すると、送信中のデータは不定になります。

低消費電力状態を解除した後、同じ送信モードでデータを送信する場合は、以下の手順を実行します。

1. TE ビットを 1 にします。
2. SSR/SSR\_FIFO/SSR\_SMCI レジスタを読み出します。
3. 連続して TDR レジスタへの書き込みを行い、データ送信を開始します。

異なる送信モードで送信する場合は、SCI の初期化からやり直してください。

図 27.73 に、送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。図 27.74 と図 27.75 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

DTC 転送による送信モードから、モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、送信動作を停止 (TE ビットを 0) にしてください。低消費電力状態の解除後に DTC による送信を開始する場合は、TE ビットを 1 にしてください。SCI<sub>In</sub>\_TXI 割り込みフラグが 1 になり、DTC による送信が始まります。

#### (2) 受信

##### (a) ウェイクアップ条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、受信動作を停止 (SCR/SCR\_SMCI.RE ビットを 0) にしてください。受信中に遷移すると、受信中のデータは無効になります。

図 27.76 に、受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

##### (b) ウェイクアップ条件としてアドレス一致検出機能を使用する場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、以下の手順を実行します。

1. 低消費電力状態解除後の動作を設定します。
2. CDR.CMPD ビットと DCCR.DCME ビットを 1 にします。
3. 受信動作を許可 (SCR/SCR\_SMCI.RE = 1) にします。
4. モジュールストップ状態またはソフトウェアスタンバイモードを設定します。

SCI が低消費電力モードへ遷移するとき、受信データ端子 (RXD) が Low であれば、SEMR.RXDESEL を 0 にしてください。SEMR.RXDESEL が 1 になっていると、低消費電力モードの解除時にスタートビット (RXD 端子の立ち上がり) が検出されない可能性があります。

図 27.77 に、アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

### (c) SCI0 をスヌーズモードで使用する場合

SCI0 をスヌーズモードで使用する場合は、最大ビットレートなどのいくつかの制限事項があります。詳細は、「11. 低消費電力モード」を参照してください。

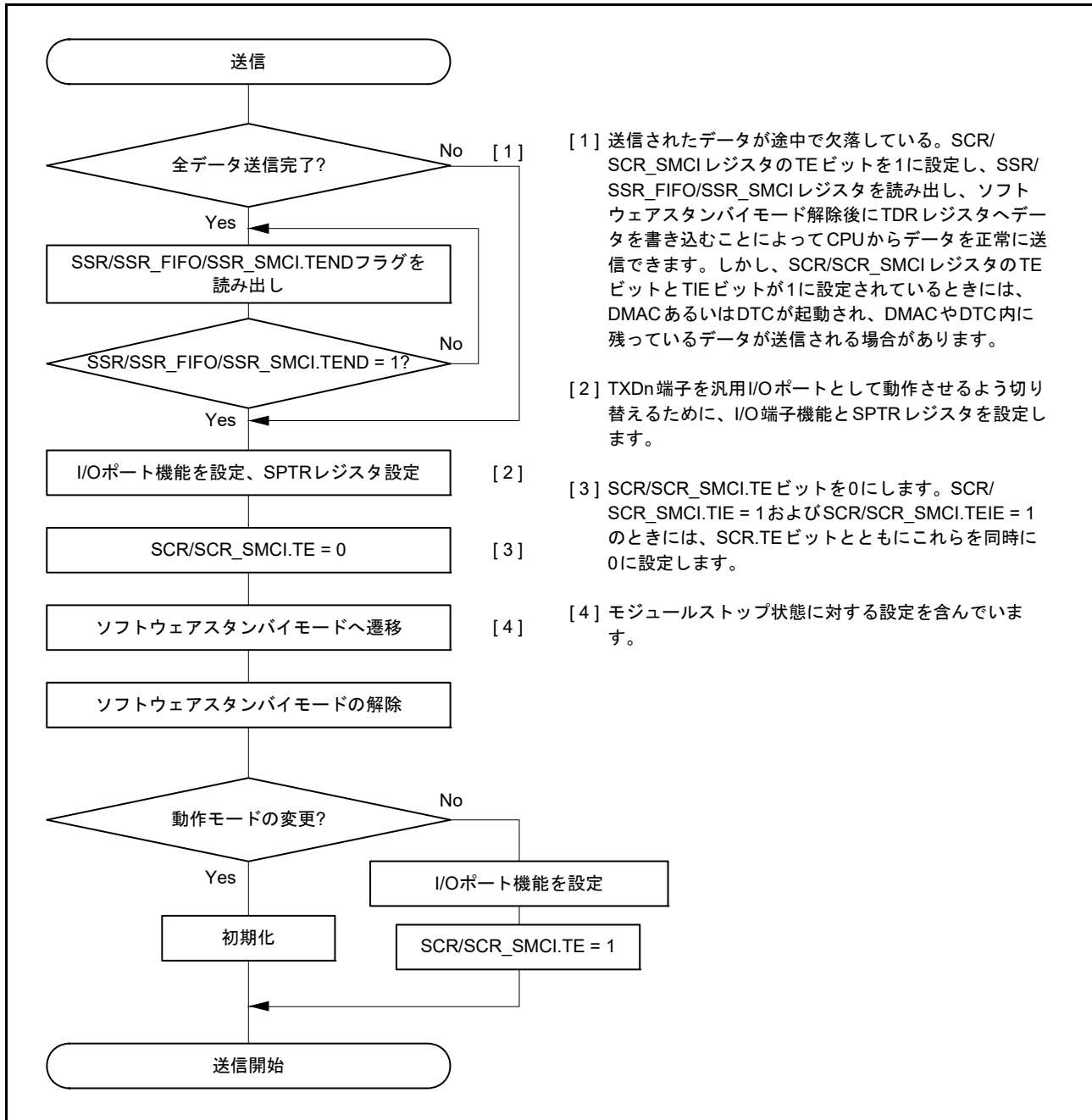


図 27.73 送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

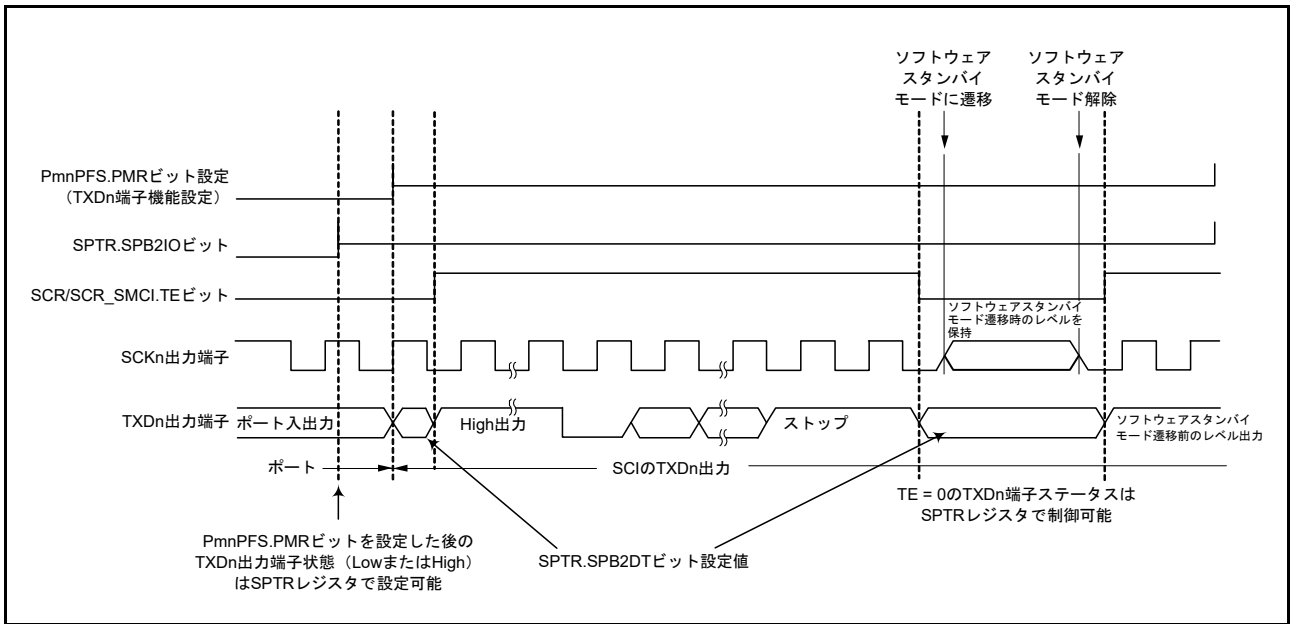


図 27.74 ソフトウェアスタンバイモード遷移中のポートの端子状態 (内部クロック、調歩同期送信)

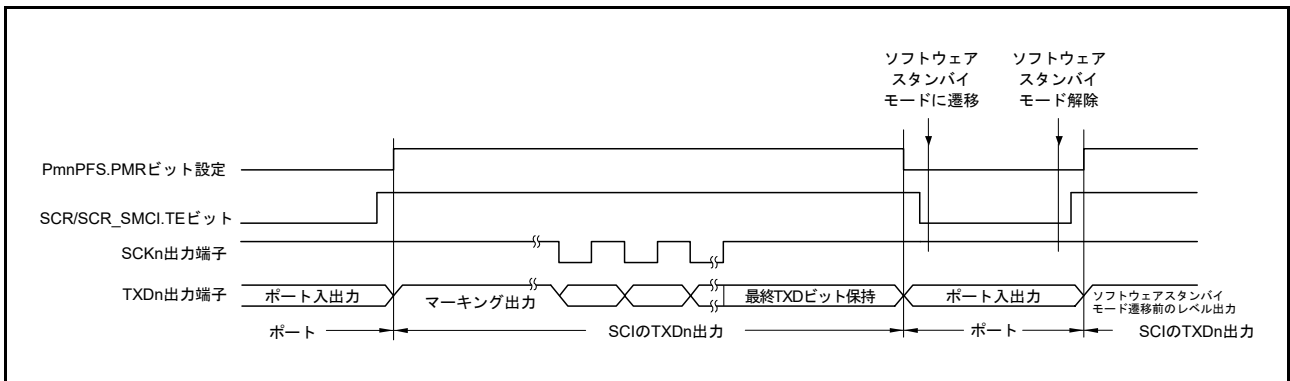


図 27.75 ソフトウェアスタンバイモード遷移中のポートの端子状態 (内部クロック、クロック同期送信)

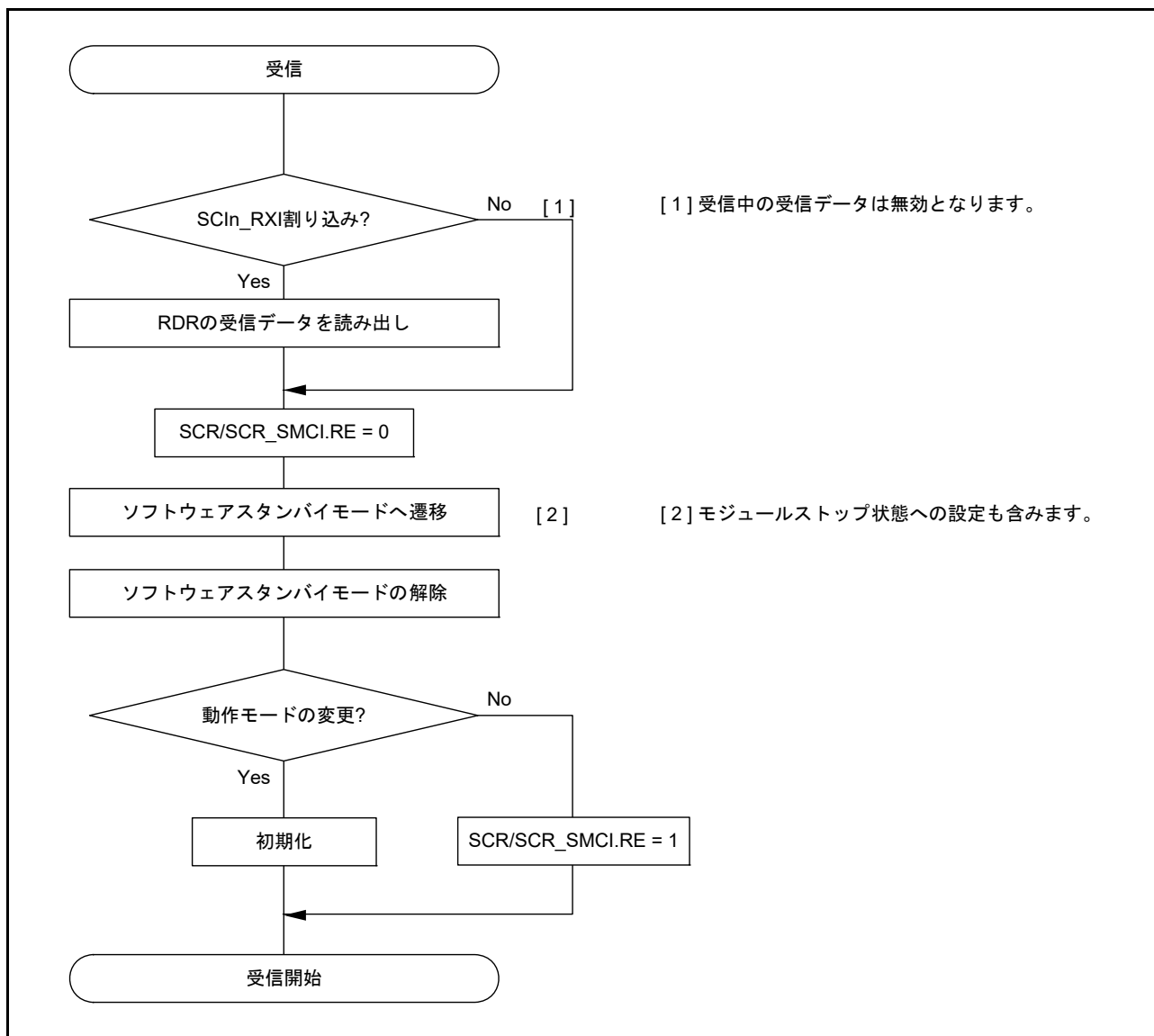


図 27.76 受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

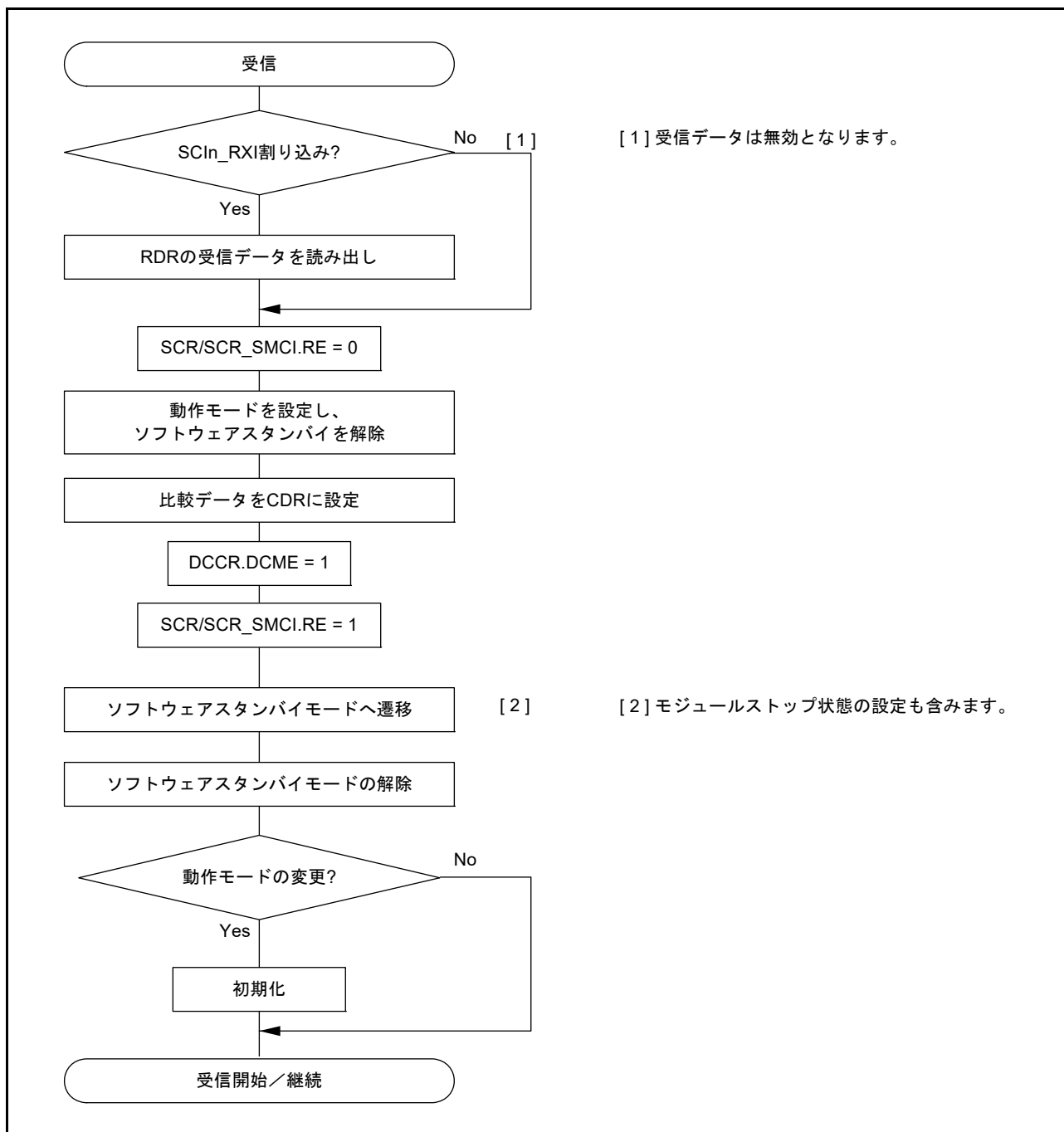


図 27.77 アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

### 27.14.3 ブレークの検出と処理について

#### (1) 非 FIFO 選択時

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になるため、SSR.FER フラグが 1 (フレーミングエラーの発生あり) になり、さらに SSR.PER フラグも 1 (パリティエラーの発生あり) になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0 (フレーミングエラーの発生なし) にしても、再び FER フラグが 1 になります。SEMR.RXDESEL ビットが 1 のとき、SCI は、SSR.FER フラグを 1 にして、次のデータフレームのスタートビットが検出されるまで、受信動作を停止します。このとき、SSR.FER フラグが 0 であれば、ブレーク中は SSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレークが終了した後、最初の RXDn 端子の立ち下がりですtartビットの先頭を検出すれば、受信動作を開始させることが可能です。

#### (2) FIFO 選択時

フレーミングエラーが検出された後、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出された場合、受信動作が停止します。フレーミングエラー検出時に、SPTR.RXDMON ビットの値を読み出すことでブレークを検出できます。RXD 信号がマーク状態になってブレークが終了した後、FRDRHL レジスタへのデータ受信が再開されます。

### 27.14.4 マーク状態とブレークの送出

SCR/SCR\_SMCI.TE ビットが 0 (シリアル送信動作を禁止) のとき、SPTR.SPB2IO ビットと SPTR.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にしてブレークを送出できます。

SCR/SCR\_SMCI.TE ビットを 1 (シリアル送信動作を許可) にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態 (1 の状態) に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレークを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、SCR/SCR\_SMCI.TE ビットを 0 にしてください。SCR/SCR\_SMCI.TE ビットを 0 にすると、現在の送信状態とは無関係に送信部は初期化されません。

### 27.14.5 受信エラーフラグと送信動作 (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR/SSR\_FIFO.ORER) が 1 の状態では、TDR または FTDR (注 1) レジスタにデータを書き込んでも、送信は開始されません。送信を開始する前に、受信エラーフラグは必ず 0 にしてください。

注 . SCR/SCR\_SMCI.RE ビットを 0 にしてシリアル受信を禁止すると、受信エラーフラグは 0 になりません。

注 1. 簡易 SPI モードでは、FTDRH レジスタを使用しないでください。

### 27.14.6 クロック同期送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード）

同期クロックに外部クロックソースを使用する場合、以下の制限事項があります。

#### (1) 送信開始時

TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください

$1PCLKA + \text{スレーブのデータ出力遅延時間 (}t_{DO}\text{)} + \text{マスタのセットアップ時間 (}t_{SU}\text{)}。$

[図 27.78](#) を参照してください。

#### (2) 連続送信時

送信クロックのビット7の立ち下がり以前に、TDR または TDRHL レジスタに次の送信データを書き込んでください。[図 27.78](#) を参照してください。

ビット [7] 送信開始以降に TDR をレジスタ更新する場合は、同期クロックが Low の期間に TDR を更新し、かつ送信クロックの7ビット目の High 幅を、 $4PCLKA$  以上にしてください。[図 27.78](#) を参照してください。

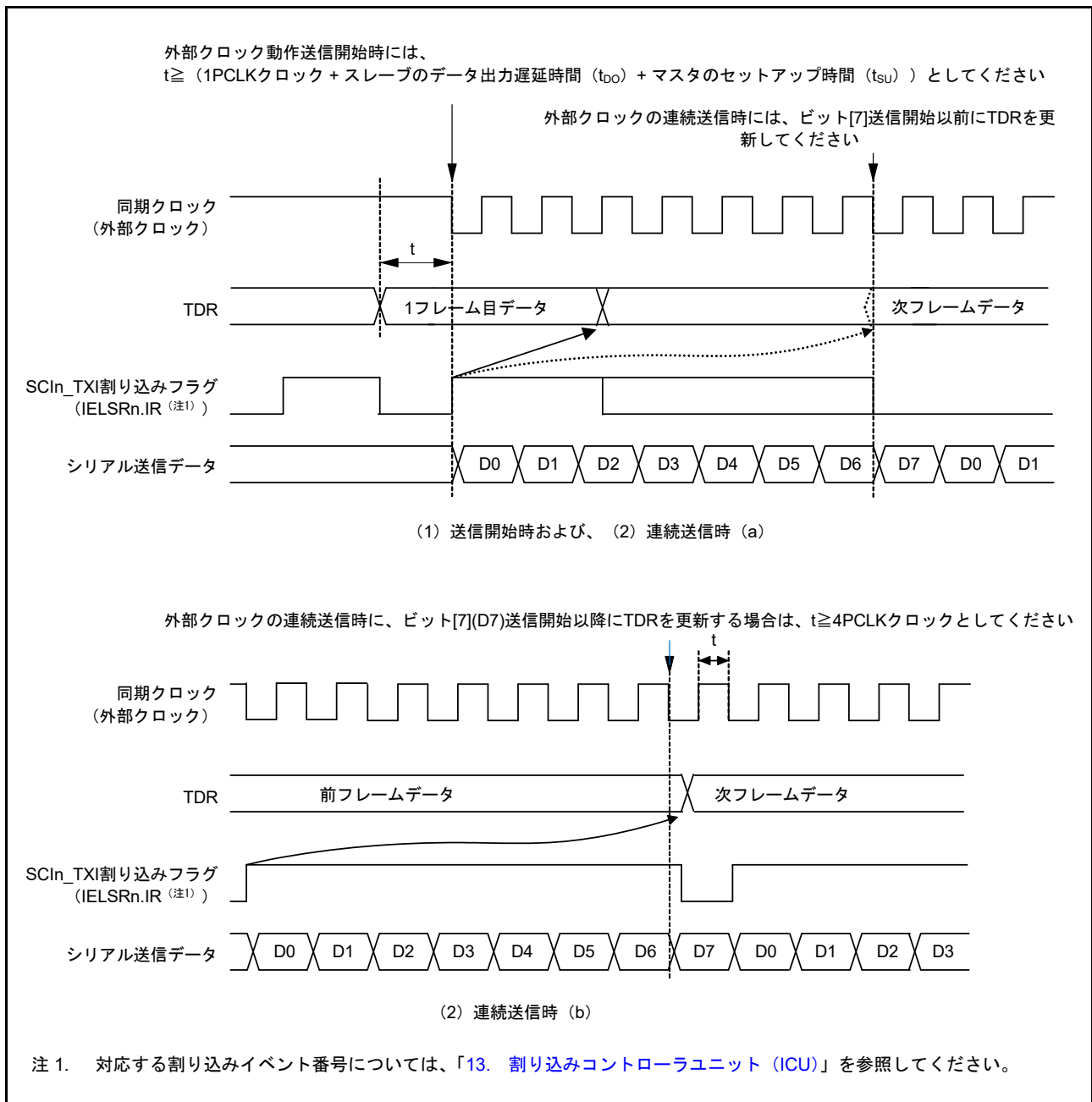


図 27.78 クロック同期送信時の外部クロック使用に関する制限事項



### 27.14.7 DMAC または DTC 使用時の制限事項

DMAC または DTC による送受信動作中は、DMAC/DTC に転送データを設定しないでください。

#### (1) TDR (FTDRHL) レジスタへの書き込み

##### (a) 非 FIFO 選択時

TDR および TDRHL レジスタにデータを書き込むことが可能です。ただし、TDR または TDRHL レジスタに送信データが残っている状態で、TDR または TDRHL レジスタに新しいデータを書き込むと、残っていたデータは TSR レジスタへ転送されず、失われます。DMAC または DTC を使用する場合、TDR または TDRHL レジスタへの送信データの書き込みは、必ず SCI<sub>In</sub>\_TXI 割り込み要求の処理ルーチンで行ってください。

##### (b) FIFO 選択時

SCR.TE ビットが 1 の場合に、FTDRH および FTDRL レジスタにデータを書き込むことが可能です。FDR.T[4:0] ビットによって、書き込み可能なデータ数を確認してください。

#### (2) RDR (FRDRHL) レジスタからの読み出し

DMAC または DTC を用いて RDR および RDRHL レジスタを読み出すときは、対応する SCI の起動要因として、必ず受信データフル割り込み (SCI<sub>In</sub>\_RXI) を設定してください。

### 27.14.8 通信の開始に関する注意事項

ICU の割り込みステータスフラグ (IELSR<sub>n</sub>.IR フラグ) が 1 の状態で転送を開始する場合は、動作を許可する (SCR / SCR\_SMCI.TE ビットを 1 にするか、SCR / SCR\_SMCI.RE ビットを 1 にする) 前に、以下の手順で割り込み要求をクリアしてください。

割り込みステータスフラグの詳細については、「[13. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

1. 通信が停止していること (SCR/SCR\_SMCI.TE ビットまたは SCR/SCR\_SMCI.RE ビットが 0 になっていること) を確認します。
2. 対応する割り込み許可ビット (SCR/SCR\_SMCI.TIE ビットまたは SCR/SCR\_SMCI.RIE ビット) を 0 にします。
3. 対応する割り込み許可ビット (SCR/SCR\_SMCI.TIE ビットまたは SCR/SCR\_SMCI.RIE ビット) を読み出して、実際に 0 になっていることを確認します。
4. ICU の割り込みステータスフラグ (IR<sub>n</sub>.IR フラグ) を 0 にします。

### 27.14.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードと簡易 SPI モードでは、外部クロック SCK<sub>n</sub> 入力を下記のように設定してください。

High パルス期間および Low パルス期間は 2PCLKA 以上、周期は 6PCLKA 以上。

## 27.14.10 簡易 SPI モードの制限事項

## (1) マスタモード

- SPMR.SSEビットが1の場合、SPMR.CKPHビットとSPMR.CKPOLビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。これによって、SCR.TEビットを0にしたときにクロック線がハイインピーダンス状態になったり、SCR.TEビットを0から1に変更したときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードでSPMR.SSEビットが0の場合は、SCR.TEビットを0にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。
- クロック遅れありの設定 (SPMR.CKPHビット=1) では、図 27.79 に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCIn\_RXI) が発生します。SCR.TEビットとSCR.REビットをSCKn 端子の最終クロックエッジより前に0にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCIn\_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブのSSn 端子入力信号がHighになった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタ転送中にモードフォルトエラーが発生すると、SSn 端子入力がLowの間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

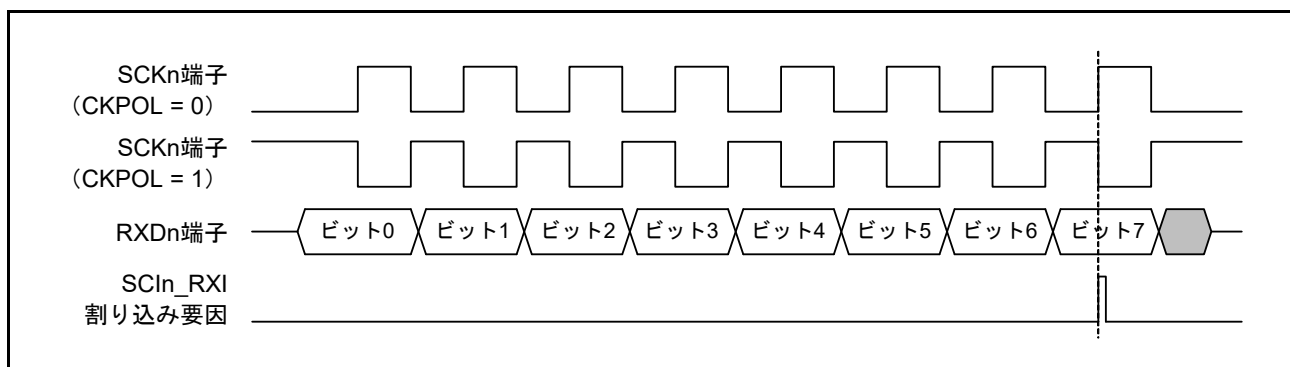


図 27.79 簡易 SPI モードにおける SCIn\_RXI 割り込みの発生タイミング (クロック遅れあり)

## (2) スレーブモード

- TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください。

$1PCLKA + \text{スレーブのデータ出力遅延時間 (} t_{D0} \text{)} + \text{マスタのセットアップ時間 (} t_{SU} \text{)}$

また、SSn 端子への Low 入力から、外部クロック入力の開始までについても、 $5PCLKA$  以上の待機時間を確保してください。

- マスタからの外部クロックの供給は、転送データ長に合わせてください
- SSn 端子入力は、データ転送開始前と完了後に制御する必要があります
- キャラクタの転送中に SSn 端子への入力レベルが Low から High に変化した場合は、SCR.TE ビットと SCR.RE ビットを 0 にして、再設定後に 1 バイト目から転送をやり直してください

## 28. IrDA インタフェース

### 28.1 概要

IrDA インタフェースは、SCI1 と連携して IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA データ通信波形の送受信を行います。

IRCR レジスタの IRE ビットで IrDA 機能を有効にすると、SCI1 の TXD1、RXD1 信号は IrDA 規格バージョン 1.0 に準拠した波形にエンコード/デコードされます (IRTXD1/IRRXD1 端子)。

この波形を赤外線送受信機と接続することにより、IrDA 規格バージョン 1.0 システムに準拠した赤外線データ通信を実現します。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。IrDA インタフェースは、自動的に転送レートを変更する機能を内蔵していないため、転送レートは、ソフトウェアで変更する必要があります。

図 28.1 に、IrDA インタフェースと SCI1 の連携を示します。

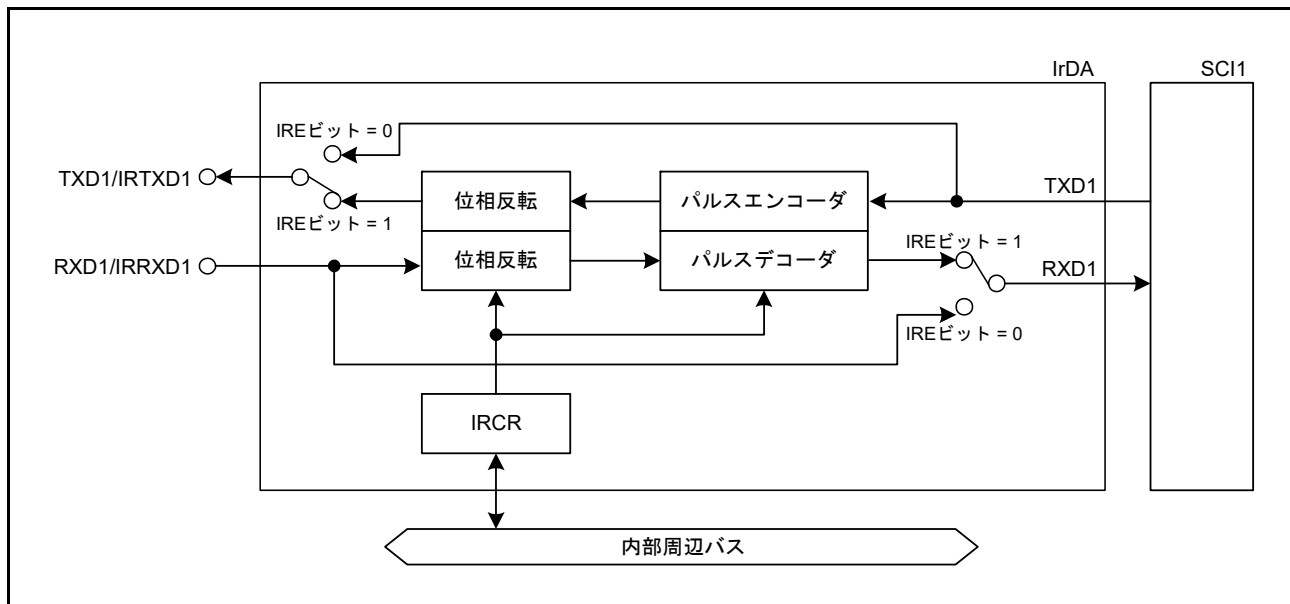


図 28.1 IrDA インタフェースと SCI1 の連携

表 28.1 IrDA インタフェースの入出力端子

端子名	入出力	機能
IRTXD1	出力	送信データ
IRRXD1	入力	受信データ

## 28.2 レジスタの説明

### 28.2.1 IrDA コントロールレジスタ (IRCR)

アドレス IRDA.IRCR 4007 0F00h

	b7	b6	b5	b4	b3	b2	b1	b0
	IRE	—	—	—	IRTXINV	IRRXINV	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	IRRXINV	IRRXD極性切り替え	0: IRRXD入力を受信データとしてそのまま使用 1: IRRXD入力を極性反転して受信データとして使用	R/W
b3	IRTXINV	IRTXD極性切り替え	0: 送信データをそのままIRTXD出力 1: 送信データを極性反転してIRTXD出力	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	IRE	IrDA有効	0: シリアル入出力端子を通常のシリアル通信に使用 1: シリアル入出力端子をIrDAデータ通信に使用	R/W

注. IRCRレジスタの値は、スリープモード、ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモード時に保持されます。

#### IRRXINV ビット (IRRXD 極性切り替え)

IRRXINV ビットは、IRRXD 入力のロジックレベルを反転します。反転したとき、High パルス幅は Low パルス幅となります。

#### IRTXINV ビット (IRTXD 極性切り替え)

IRTXINV ビットは、IRTXD 出力のロジックレベルを反転します。反転したとき、High パルス幅は Low パルス幅となります。

#### IRE ビット (IrDA 有効)

IRE ビットは、入出力端子を通常の通信モード用、または IrDA 通信モード用にするかを設定します。

## 28.3 動作説明

### 28.3.1 IrDA インタフェースの設定手順

IrDA インタフェースの動作設定方法：

1. 端子機能コントロールレジスタで、当該端子の I/O ポート機能を IRTXD1 端子と IRRXD1 端子に割り当てます (PmnPFS.PSEL = 00101b)。
2. 端子機能コントロールレジスタで、I/O ポート機能を周辺機能に設定します (PmnPFS.PMR = 1)。
3. IRCR レジスタで IrDA 機能を設定します。
4. シリアルコミュニケーションインタフェース (SCI) の SCI1 関連レジスタを設定します。

### 28.3.2 送信

送信時には、SCI1 からの出力信号 (UART フレーム) は IrDA インタフェースによって IR フレームに変換されます (図 28.2 参照)。IRCR.IRTXINV ビットが 0 で、シリアルデータが 0 の場合、ビット周期 (1 ビット幅の期間) の  $3/16$  の High パルスが出力されます (初期設定)。規格では、High パルス幅は、最小で  $1.41\mu\text{s}$ 、最大で  $(3/16 + 2.5\%) \times \text{ビット周期}$ 、または  $(3/16 \times \text{ビット周期}) + 1.08\mu\text{s}$  と定められています。シリアルデータが 1 の場合、パルスは出力されません。

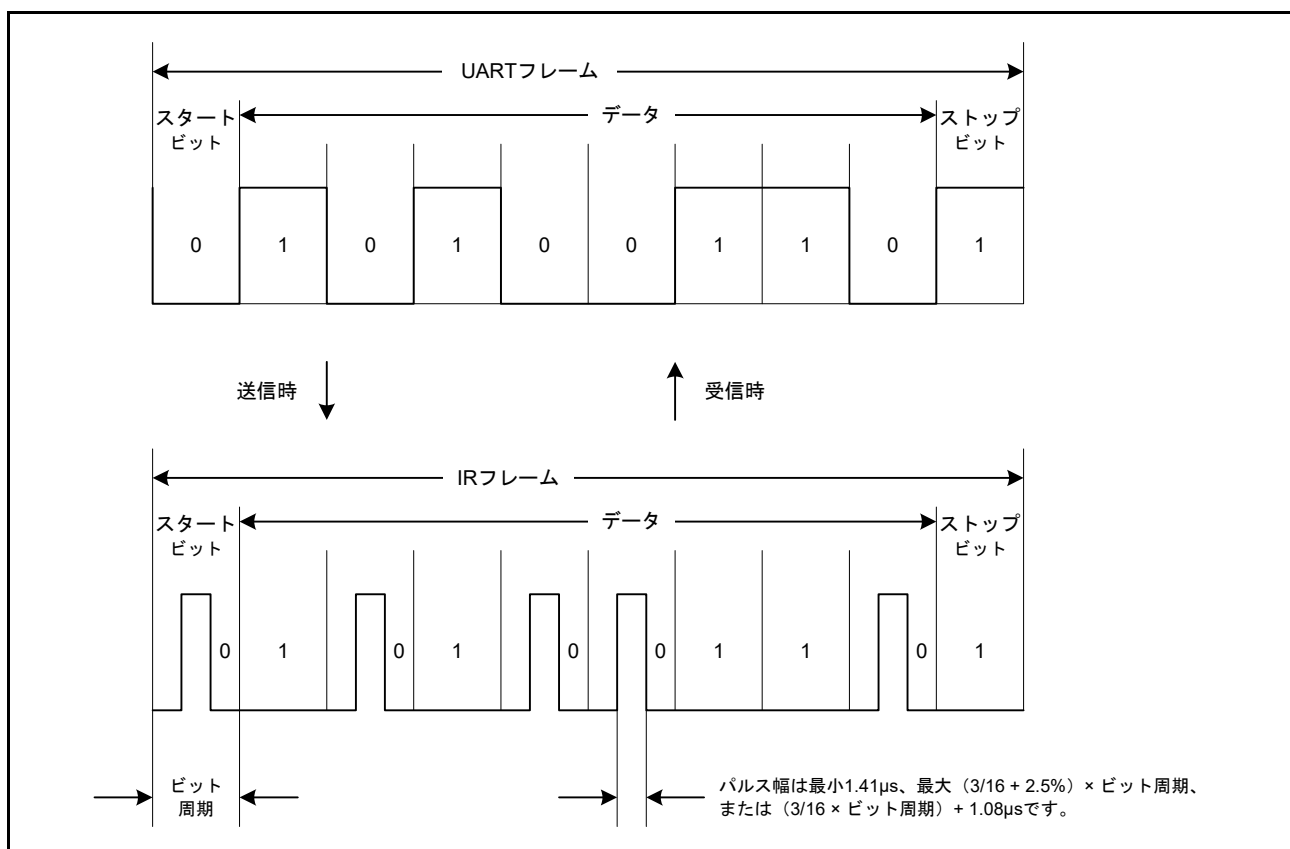


図 28.2 IrDA の送信/受信動作

### 28.3.3 受信

受信時には、IR フレームのデータは IrDA インタフェースによって UART フレームに変換され、SCI1 に入力されます。

IRCR.IRRXINV ビットが 0 で、High パルスが検出されたときに、Low データが SCI1 に入力されます。1 ビット期間中にパルスが検出されないと、High データが SCI1 に入力されます。

## 28.4 使用上の注意事項

### 28.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタによって、IrDAの動作を禁止/許可することが可能です。IrDAは、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. [低消費電力モード](#)」を参照してください。

### 28.4.2 調歩同期式モードにおけるSCI1の基準クロック

IrDAはビットレートの16倍の周波数のクロックをSCI1から受信し、SCI1と連携して動作します。

IrDAを使用する場合は、SCI1.SEMR.ABCSビットを0にしてください。

## 29. I<sup>2</sup>Cバスインタフェース (IIC)

### 29.1 概要

3チャンネルのI<sup>2</sup>Cバスインタフェース (IIC) モジュールは、NXP社のI<sup>2</sup>Cバス (inter-integrated circuit bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

表 29.1 に IIC の仕様を、図 29.1 にブロック図を、図 29.2 に入出力端子の外部回路接続例 (I<sup>2</sup>Cバス構成例) を示します。表 29.2 に入出力端子を示します。

表 29.1 IICの仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> <li>I<sup>2</sup>CバスフォーマットまたはSMBusフォーマット</li> <li>マスタ/スレーブモードを選択可能</li> <li>転送速度に応じたセットアップ時間、ホールド時間、バスフリー時間を自動確保</li> </ul>
転送速度	ファストモードプラス対応 (~1Mbps)
SCLクロック	マスタ時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	<ul style="list-style-type: none"> <li>スタートコンディション/リスタートコンディション/ストップコンディションの自動生成</li> <li>スタートコンディション (リスタートコンディション含む) /ストップコンディション検出可能</li> </ul>
スレーブアドレス	<ul style="list-style-type: none"> <li>異なるスレーブアドレスを3種類まで設定可能</li> <li>7ビット/10ビットアドレスフォーマット対応 (混在可能)</li> <li>ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出が可能</li> </ul>
アクノリッジ応答	<ul style="list-style-type: none"> <li>送信時、アクノリッジビットの自動ロード</li> <li>ノットアクノリッジビット検出時に次送信データ転送の自動中断が可能</li> <li>受信時、アクノリッジビットの自動送出</li> <li>8クロック目と9クロック目の間にウェイトありを選択すると、受信値に応じたアクノリッジビット値のソフトウェア制御が可能</li> </ul>
ウェイト機能	受信時、SCLクロックのLowホールドによる下記期間のウェイトが可能 <ul style="list-style-type: none"> <li>8クロック目と9クロック目の間をウェイト</li> <li>9クロック目と次の転送の1クロック目の間をウェイト</li> </ul>
SDA出力遅延機能	アクノリッジ送信を含むデータ送信の出カタイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> <li>マルチマスタ対応               <ul style="list-style-type: none"> <li>他のマスタとのSCLクロック衝突時、SCLクロックの同期が可能</li> <li>スタートコンディション発行がバスで競合した場合、SDAライン用の内部信号とSDAラインのレベルの間に不一致があるかどうかのテストによるアービトレーションロストを検出可能</li> <li>マスタ動作時、SDA内部信号とSDAラインの状態が不一致ならアービトレーションロストを検出可能</li> </ul> </li> <li>バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能 (スタートコンディションの二重発行防止)</li> <li>ノットアクノリッジビット転送時、SDA内部信号とSDAラインの状態の不一致でアービトレーションロストを検出可能</li> <li>スレーブ送信時、データのSDA内部信号とSDAラインの状態の不一致でアービトレーションロストを検出可能</li> </ul>
タイムアウト検出機能	SCLクロックの長時間停止を内部で検出
ノイズ除去	<ul style="list-style-type: none"> <li>SCLおよびSDA信号用のデジタルノイズフィルタ</li> <li>フィルタによるノイズ除去幅をプログラマブルに調整可能</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>転送エラー/イベント発生: アービトレーション検出、NACK、タイムアウト、スタートまたはリスタートコンディション、ストップコンディション</li> <li>受信データフル (スレーブアドレス一致時含む)</li> <li>送信データエンプティ (スレーブアドレス一致時含む)</li> <li>送信終了</li> </ul>
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能
IICの動作モード	<ul style="list-style-type: none"> <li>マスタ送信</li> <li>マスタ受信</li> <li>スレーブ送信</li> <li>スレーブ受信</li> </ul>

表 29.1 IICの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	<ul style="list-style-type: none"> <li>転送エラー/イベント発生: アービトレーション検出、NACK、タイムアウト、スタートまたはリスタートコンディション、ストップコンディション</li> <li>受信データフル (スレーブアドレス一致時含む)</li> <li>送信データエンプティ (スレーブアドレス一致時含む)</li> <li>送信終了</li> </ul>
ウェイクアップ機能 (注1)	ウェイクアップイベントを使用したCPUのソフトウェアスタンバイモードからの復帰が可能

注 1. IIC0 の場合のみサポート。IIC1 と IIC2 は非サポート。

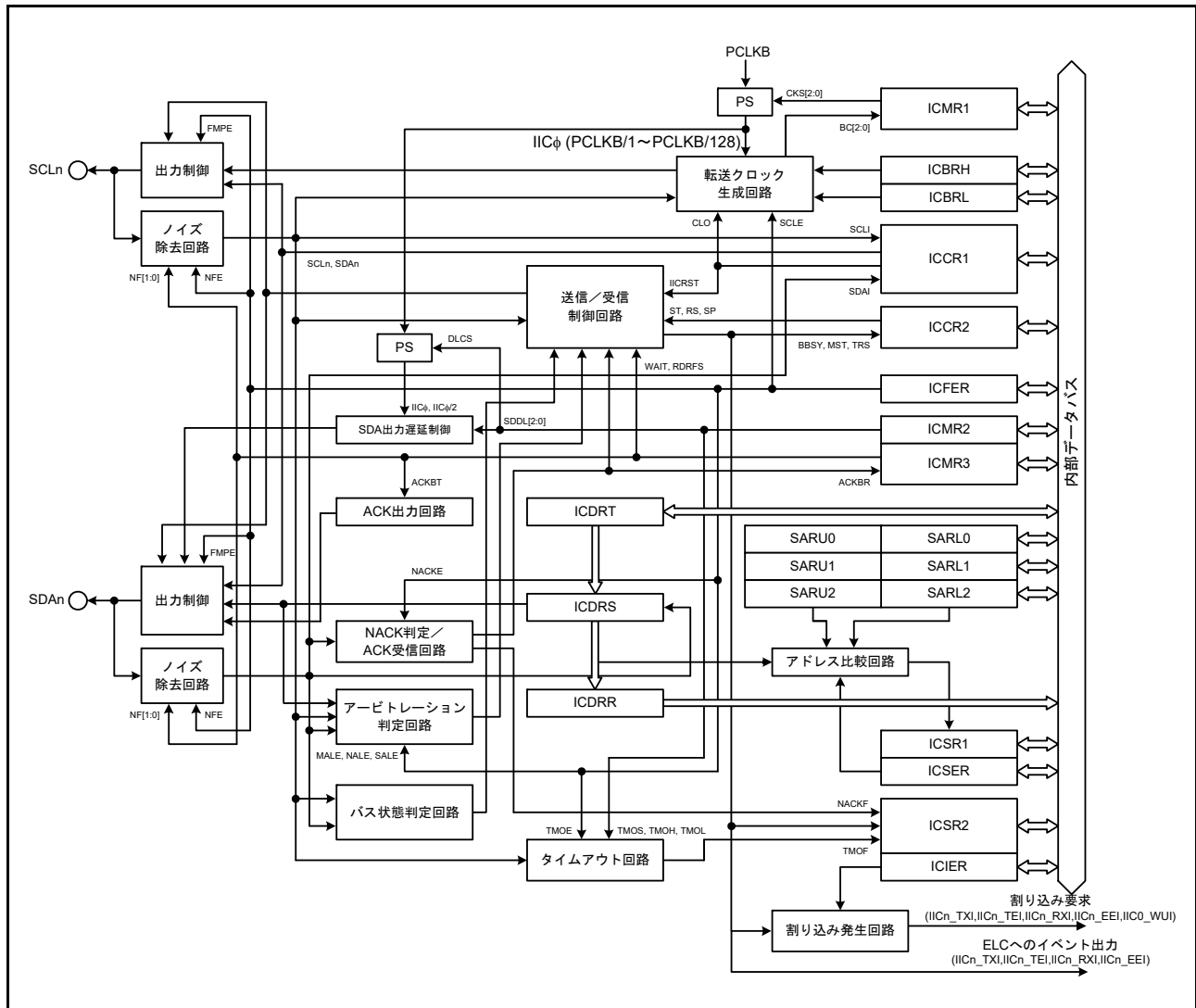


図 29.1 IICのブロック図



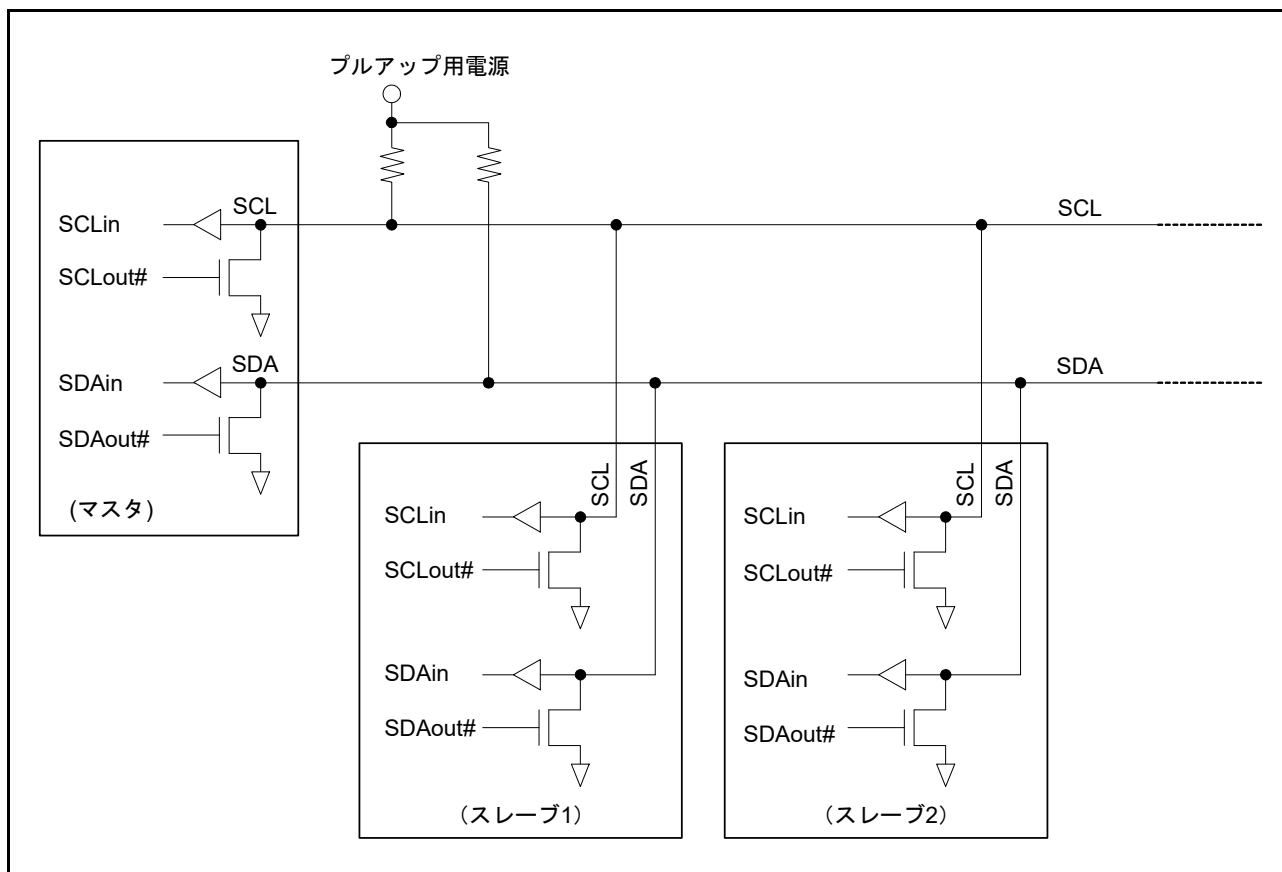


図 29.2 入出力端子の外部回路接続例 (I<sup>2</sup>C バス構成例)

IIC の各信号の入力レベルは、I<sup>2</sup>C バス選択時 (ICMR3.SMBS = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS = 1) は TTL レベルです。

表 29.2 IIC の入出力端子

チャンネル	端子名	入出力	機能
IIC0	SCL0	入出力	IIC0 シリアルクロック入出力端子
	SDA0	入出力	IIC0 シリアルデータ入出力端子
IIC1	SCL1	入出力	IIC1 シリアルクロック入出力端子
	SDA1	入出力	IIC1 シリアルデータ入出力端子

## 29.2 レジスタの説明

29.2.1 I<sup>2</sup>Cバスコントロールレジスタ 1 (ICCR1)

アドレス IIC0.ICCR1 4005 3000h, IIC1.ICCR1 4005 3100h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタ	0 : SDA <sub>n</sub> ラインはLow 1 : SDA <sub>n</sub> ラインはHigh	R
b1	SCLI	SCLラインモニタ	0 : SCL <sub>n</sub> ラインはLow 1 : SCL <sub>n</sub> ラインはHigh	R
b2	SDAO	SDA出力制御/モニタ	<ul style="list-style-type: none"> <li>読み出し時 0 : SDA<sub>n</sub>端子をLowにしている 1 : SDA<sub>n</sub>端子を解放している</li> <li>書き込み時 0 : SDA<sub>n</sub>端子をLowにする 1 : SDA<sub>n</sub>端子を解放する</li> </ul>	R/W
b3	SCLO	SCL出力制御/モニタ	<ul style="list-style-type: none"> <li>読み出し時 0 : SCL<sub>n</sub>端子をLowにしている 1 : SCL<sub>n</sub>端子を解放している</li> <li>書き込み時 0 : SCL<sub>n</sub>端子をLowにする 1 : SCL<sub>n</sub>端子を解放する</li> </ul> 外部プルアップ抵抗を使用して信号をHighにしてください。	R/W
b4	SOWP	SCLO/SDAOライトプロテクト	0 : SCLOおよびSDAOビットの書き込みを許可 1 : SCLOおよびSDAOビットの書き込みを禁止 読むと1が読めます。	R/W
b5	CLO	SCLクロック追加出力	0 : SCLクロックを追加で出力しない (デフォルト) 1 : SCLクロックを追加で出力する 1クロック出力後、自動的に0になります。	R/W
b6	IICRST	IICバスインタフェース内部リセット	0 : IICリセットまたは内部リセットを解除する 1 : IICリセットまたは内部リセットを行う これにより、ビットカウンタをクリアし、SCL <sub>n</sub> /SDA <sub>n</sub> 出力ラッチを解除します。	R/W
b7	ICE	IICバスインタフェース許可	0 : 禁止 (SCL <sub>n</sub> およびSDA <sub>n</sub> 端子は非駆動状態) 1 : 許可 (SCL <sub>n</sub> およびSDA <sub>n</sub> 端子は駆動状態) IICRSTビットとの組み合わせで、IICリセット、または内部リセットを選択します。	R/W

**SDAO ビット (SDA 出力制御/モニタ)、SCLO ビット (SCL 出力制御/モニタ)**

IICが出力するSDA<sub>n</sub>信号、SCL<sub>n</sub>信号を直接操作するビットです。

これらのビットに値を書く場合は、同時にSOWPビットにも0を書いてください。これらのビットを設定すると、入力バッファによってIICに入力されます。スレーブモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディションの期間中、または送受信中に、これらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証されません。これらのビットを読んだ場合は、そのときIICが出力している信号の状態が読めます。

### CLO ビット (SCL クロック追加出力)

CLO ビットは、SCL クロックを1クロック単位で追加出力できるようにするもので、デバッグ時またはエラー処理時に使用します。通常動作では、本ビットを0にしてください。通常の通信状態でCLO ビットを1にすると、通信エラーの原因になります。この機能の詳細については、[29.12.2 SCL クロック追加出力機能](#)を参照してください。

### IICRST ビット (IIC バスインタフェース内部リセット)

IICRST ビットは、IIC の内部状態をリセットします。本ビットを1にすると、IIC リセットまたは内部リセットを起動できます。IIC リセットまたは内部リセットのどちらが起動するかは、ICE ビットと組み合わせたIICRST ビットの設定によって決定されます。[表 29.3](#)にIICのリセットの種類を示します。

IIC リセットでは、ICCR1.ICE ビットとICCR1.IICRST ビットを除くすべてのレジスタとIICの内部状態が初期化されます。IICの内部状態の他に、内部リセットでは以下が初期化されます。

- ビットカウンタ (ICMR1.BC[2:0] ビット)
- I<sup>2</sup>C バスシフトレジスタ (ICDRS)
- I<sup>2</sup>C バスステータスレジスタ (ICSR1 と ICSR2)
- SDAO と SCLO の出力制御/モニタ (ICCR1.SCLO ビットとICCR1.SDAO ビット)
- I<sup>2</sup>C バスコントロールレジスタ2 (ICCR2.BBSY ビットを除く)

各レジスタのリセット条件については、[29.15 各コンディション発行時のリセット、レジスタ、機能の状態](#)を参照してください。

動作中に (ICE ビット=1 の状態で) IICRST ビットを1にして内部リセットを行うと、通信不具合によってバスやIICがハングしたとき、ポートの設定とIICのコントロールレジスタや設定レジスタを初期化することなく、IICの内部状態がリセットされます。また、IICがLowを出力したままハングアップした場合、内部状態をリセットすることで、Low出力状態が解除され、SCLn 端子とSDAn 端子がハイインピーダンスの状態でバスが解放されます。

注. スレーブモード時に、マスタデバイスとの通信中に生じたバスのハングアップに対してIICRST ビットで内部リセットを行うと、ビットカウンタ情報の差異が原因で、スレーブデバイスとマスタデバイスが異なる状態になる可能性があります。そのため、スレーブモード時には内部リセットは行わないでください。復帰処理はマスタデバイスから行うようにしてください。スレーブモード時にSCLn ラインがLow出力状態のままIICがハングアップしたため、内部リセットが必要になった場合は、内部リセット後にマスタデバイスからリスタートコンディションを発行するか、またはストップコンディションを発行して、スタートコンディションから通信をやり直してください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 29.3 IICのリセット

IICRST	ICE	状態	内容
1	0	IIC リセット	ICCR1.ICE ビットとICCR1.IICRST ビットを除くすべてのレジスタとIICの内部状態がリセットされます
	1	内部リセット	以下がリセットされます <ul style="list-style-type: none"> <li>• ICMR1.BC[2:0] ビット</li> <li>• ICSR1 レジスタ、ICSR2 レジスタ、ICDRS レジスタ</li> <li>• SDAO と SCLO の出力制御/モニタ (ICCR1.SCLO ビットとICCR1.SDAO ビット)</li> <li>• I<sup>2</sup>C バスコントロールレジスタ2 (ICCR2.BBSY ビットを除く)</li> <li>• IIC の内部状態</li> </ul>

**ICE ビット (IIC バスインタフェース許可)**

ICE ビットは、SCLn および SDA<sub>n</sub> 端子の駆動状態／非駆動状態を選択します。また、IICRST ビットと組み合わせて、実行するリセットを2種類から1つ選択できます。リセットの種類については表 29.3 を参照してください。

IIC を使用するときは、ICE ビットを1にしてください。ICE ビットを1にすると、SCLn および SDA<sub>n</sub> 端子は駆動状態になります。IIC を使用しないときは、ICE ビットを0にしてください。ICE ビットを0にすると、SCLn および SDA<sub>n</sub> 端子は非駆動状態になります。端子機能制御を設定するときに、SCLn または SDA<sub>n</sub> 端子を IIC に割り当てないでください。これらの端子が IIC に割り当てられると、スレーブアドレス比較が行われます。

29.2.2 I<sup>2</sup>Cバスコントロールレジスタ 2 (ICCR2)

アドレス IIC0.ICCR2 4005 3001h, IIC1.ICCR2 4005 3101h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	ST	スタートコンディション発行要求	0: スタートコンディション要求を発行しない 1: スタートコンディション要求を発行する	R/W
b2	RS	リスタートコンディション発行要求	0: リスタートコンディション要求を発行しない 1: リスタートコンディション要求を発行する	R/W
b3	SP	ストップコンディション発行要求	0: ストップコンディション要求を発行しない 1: ストップコンディション要求を発行する	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	TRS	送信/受信モード	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモード	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I <sup>2</sup> Cバスは解放状態 (バスフリー状態) 1: I <sup>2</sup> Cバスは占有状態 (バスビジー状態)	R

注 1. ICMR1.MTWP ビットが 1 の場合に、MST および TRS ビットへの書き込みが可能です。

## ST ビット (スタートコンディション発行要求)

ST ビットは、マスタモードへの遷移を要求し、スタートコンディションをトリガします。

本ビットを 1 にすると、BBSY フラグが 0 (バスフリー状態) のときにスタートコンディションが発行されます。スタートコンディション発行の詳細については、29.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能を参照してください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- スタートコンディションが発行されたとき (スタートコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ST ビットは、BBSY フラグが 0 (バスフリー状態) のときに 1 (スタートコンディション発行要求) にしてください。BBSY フラグが 1 (バスビジー状態) のときに、ST ビットを 1 (スタートコンディション要求) にすると、アービトレーションロストが発生する場合があります。

### RS ビット (リスタートコンディション発行要求)

RS ビットは、マスタモード時にリスタートコンディションの発行を要求します。

本ビットを1にしてリスタートコンディションを要求すると、BBSY フラグが1 (バスビジー状態) かつ MST ビットが1 (マスタモード) のときに、リスタートコンディションが発行されます。リスタートコンディション発行の詳細については、[29.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグが1の状態、1を書いたとき

[0 になる条件]

- 0を書いたとき
- リスタートコンディションが発行されたとき (スタートコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが1になったとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

注. ストップコンディション発行中に RS ビットを1にしないでください。

注. スレーブモードで RS ビットを1 (リスタートコンディション要求) にすると、リスタートコンディションは発行されず、RS ビットは1のままになります。本ビットがクリアされていない状態で動作モードをマスタモードに変更すると、リスタートコンディションが発行される場合があります。

### SP ビット (ストップコンディション発行要求)

SP ビットは、マスタモード時にストップコンディションの発行を要求します。

本ビットが1になると、BBSY フラグが1 (バスビジー状態) でかつ MST ビットが1 (マスタモード) のとき、ストップコンディションの発行を行います。ストップコンディション発行の詳細については、[29.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグと ICCR2.MST ビットが両方とも1の状態、1を書いたとき

[0 になる条件]

- 0を書いたとき
- ストップコンディションが発行されたとき (ストップコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが1になったとき
- スタートコンディションおよびリスタートコンディションが検出されたとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが0 (バスフリー状態) のとき、SP ビットへの書き込みはできません。

注. リスタートコンディション発行中に SP ビットを1にしないでください。

### TRS ビット (送信/受信モード)

TRS ビットは、送信/受信モードを示します。

IIC は、TRS ビットが0のときは受信モード、1のときは送信モードになります。本ビットと MST ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行または検出時、および R/W# ビットの設定時に、TRS ビット値は自動的に1 (送信モード) または0 (受信モード) に変化します。ICMR1.MTWP ビットが1のとき書き込みはできますが、通常では書き込みの必要はありません。

## [1になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- リスタートコンディション要求によってリスタートコンディションが正常に発行されたとき (RS ビットが 1 の状態で、リスタートコンディションが検出されたとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが 0 になったとき
- スレーブモードで受信したアドレスが、ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットが 1 のとき
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 1 を書いたとき

## [0になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- マスタモード時、値が 1 の R/W# ビットが付加されたスレーブアドレスを受信したとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに 0 を受信したとき (ジェネラルコールアドレスを受信した場合を含む)
- スレーブモード時、リスタートコンディションが検出されたとき (ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でスタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**MST ビット (マスタ/スレーブモード)**

MST ビットは、マスタモード/スレーブモードを示します。IIC は、MST ビットが 0 のときはスレーブモード、1 のときはマスタモードになります。MST ビットと TRS ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行時、あるいはストップコンディションの発行または検出時、MST ビットの値は自動的に 1 (マスタモード) または 0 (スレーブモード) に変化します。ICMR1.MTWP ビットが 1 のとき、MST ビットへ書き込みはできますが、通常では書き込みの必要はありません。

## [1になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 1 を書いたとき

## [0になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**BBSY フラグ (バスビジー検出フラグ)**

BBSY フラグは、I<sup>2</sup>C バスが占有されているか (バスビジー状態)、解放されているか (バスフリー状態) を示します。

SCLn ラインが High のときに SDAn ラインが High から Low に変化すると、スタートコンディションが発行されたと認識してフラグが 1 になります。

SCLn ラインが High の状態で SDAn ラインが Low から High に変化するとき、バスフリー時間 (ICBRL レジスタの設定) のスタートコンディションが検出されないと、ストップコンディションが発行されたとみなされて、本フラグは 0 になります。

[1 になる条件]

- スタートコンディションが検出されたとき

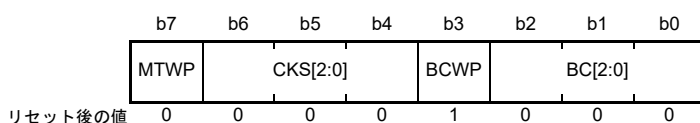
[0 になる条件]

- ストップコンディション検出後、バスフリー時間 (ICBRL レジスタの設定) のスタートコンディションが検出されないとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)



29.2.3 I<sup>2</sup>Cバスモードレジスタ 1 (ICMR1)

アドレス IIC0.ICMR1 4005 3002h, IIC1.ICMR1 4005 3102h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0: 9ビット 0 0 1: 2ビット 0 1 0: 3ビット 0 1 1: 4ビット 1 0 0: 5ビット 1 0 1: 6ビット 1 1 0: 7ビット 1 1 1: 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクト	0: BC[2:0]ビットへの書き込み許可 1: BC[2:0]ビットへの書き込み禁止 読むと1が読めます。	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択	IICの内部基準クロックソース (IICφ) を選択します。 b6 b4 0 0 0: PCLKBクロック 0 0 1: PCLKB/2クロック 0 1 0: PCLKB/4クロック 0 1 1: PCLKB/8クロック 1 0 0: PCLKB/16クロック 1 0 1: PCLKB/32クロック 1 1 0: PCLKB/64クロック 1 1 1: PCLKB/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクト	0: ICCR2.MST、TRSビットへの書き込み禁止 1: ICCR2.MST、TRSビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、同時にBCWPビットを0にしてください。

**BC[2:0]ビット (ビットカウンタ)**

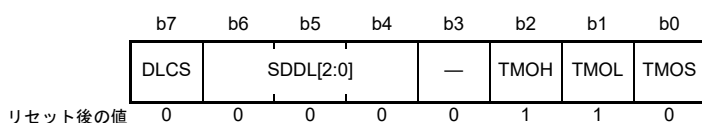
BC[2:0]ビットは、SCLnラインの立ち上がりエッジの検出時に、残りの転送ビット数を示すカウンタです。BC[2:0]ビットは読み出し/書き込みが可能なビットですが、通常はこれらのビットへのアクセスは不要です。

なお、これらのビットへ書き込む場合は、SCLnラインがLowの状態、転送するデータのビット数+1 (追加のアクノリッジビット分) を転送フレーム間で指定してください。

BC[2:0]ビットの値は、アクノリッジビットを含むデータ転送の終了時、あるいはスタートコンディション/リスタートコンディションの検出時に000bに戻ります。

29.2.4 I<sup>2</sup>Cバスモードレジスタ 2 (ICMR2)

アドレス IIC0.ICMR2 4005 3003h, IIC1.ICMR2 4005 3103h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択	0 : ロングモードを選択 1 : ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御	0 : SCLnラインがLowの間カウントを禁止 1 : SCLnラインがLowの間カウントを許可	R/W
b2	TMOH	タイムアウトHカウント制御	0 : SCLnラインがHighの間カウントを禁止 1 : SCLnラインがHighの間カウントを許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> <li>ICMR2.DLCS = 0 (IICφ) のとき</li> <li>b6 b4</li> <li>0 0 0 : 出力遅延なし</li> <li>0 0 1 : IICφの1サイクル</li> <li>0 1 0 : IICφの2サイクル</li> <li>0 1 1 : IICφの3サイクル</li> <li>1 0 0 : IICφの4サイクル</li> <li>1 0 1 : IICφの5サイクル</li> <li>1 1 0 : IICφの6サイクル</li> <li>1 1 1 : IICφの7サイクル</li> <li>ICMR2.DLCS = 1 (IICφ/2) のとき</li> <li>b6 b4</li> <li>0 0 0 : 出力遅延なし</li> <li>0 0 1 : IICφの1または2サイクル</li> <li>0 1 0 : IICφの3または4サイクル</li> <li>0 1 1 : IICφの5または6サイクル</li> <li>1 0 0 : IICφの7または8サイクル</li> <li>1 0 1 : IICφの9または10サイクル</li> <li>1 1 0 : IICφの11または12サイクル</li> <li>1 1 1 : IICφの13または14サイクル</li> </ul>	R/W
b7	DLCS	SDA出力遅延クロックソース選択	0 : SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1 : SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注1. DLCS = 1 (IICφ/2) の設定は、SCLがLowのときのみ有効です。SCLがHighのとき、DLCS = 1の設定は無効となり、クロックソースは内部基準クロック (IICφ) となります。

## TMOS ビット (タイムアウト検出時間選択)

TMOS ビットは、タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) に、タイムアウト検出時間のロングモードまたはショートモードを選択します。

本ビットを0にすると、ロングモードが選択されます。本ビットを1にすると、ショートモードが選択されます。

ロングモードでは、タイムアウト検出用の内部カウンタが16ビットカウンタとして機能します。ショートモードでは、このカウンタが14ビットカウンタとして機能します。TMOH ビットと TMOL ビットで指定されたカウンタが有効なステートに SCLn ラインがあるとき、カウンタは内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

この機能の詳細については、29.12.1 タイムアウト検出機能を参照してください。

**TMOL ビット (タイムアウトLカウント制御)**

TMOL ビットは、SCLn ラインが Low ホールドであり、かつタイムアウト検出機能が有効時 (ICFER.TMOE = 1) に、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

**TMOH ビット (タイムアウトHカウント制御)**

TMOH ビットは、SCLn ラインが High ホールドであり、かつタイムアウト検出機能が有効時 (ICFER.TMOE = 1) に、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

**SDDL[2:0] ビット (SDA 出力遅延カウンタ)**

SDDL[2:0] ビットを使用して、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースで動作します。この設定値は、アクノリッジビット送出を含むすべての種類の SDA 出力に適用されます。

SDA 出力遅延の設定は、データ有効時間/アクノリッジ有効時間 (注1) の I<sup>2</sup>C バス規格、または SMBus 規格に収まるようにしてください。SMBus 規格は、「データホールド時間 (300ns 以上 + SCL クロックの Low 幅) - データセットアップ時間 (250ns)」です。規格外に設定すると、デバイス間の通信に誤動作を引き起こすか、バスの状態によってはスタートコンディションまたはストップコンディションを誤って表示する可能性があります。

この機能の詳細については、[29.5 SDA 出力遅延機能](#)を参照してください。

- 注 1. データ有効時間/アクノリッジ有効時間
- 3450ns ~ 100kbps : スタンダードモード (Sm)
  - 900ns ~ 400kbps : ファストモード (Fm)
  - 450ns ~ 1Mbps : ファストモードプラス (Fm+)

29.2.5 I<sup>2</sup>C バスモードレジスタ 3 (ICMR3)

アドレス IIC0.ICMR3 4005 3004h, IIC1.ICMR3 4005 3104h

	b7	b6	b5	b4	b3	b2	b1	b0
	SMBS	WAIT	RDRFS	ACKW P	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ 段数選択	b1 b0 0 0: 1IICφサイクル以下のノイズを除去 (フィルタは1段) 0 1: 2IICφサイクル以下のノイズを除去 (フィルタは2段) 1 0: 3IICφサイクル以下のノイズを除去 (フィルタは3段) 1 1: 4IICφサイクル以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジ	0: アクノリッジビットに0を受信 (ACK受信) 1: アクノリッジビットに1を受信 (NACK受信)	R
b3	ACKBT	送信アクノリッジ	0: アクノリッジビットに0を送出 (ACK送信) 1: アクノリッジビットに1を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBT ライトプロテクト	0: ACKBT ビットへの書き込み禁止 1: ACKBT ビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRF フラグセットタイミング 選択	0: SCLクロックの9クロック目の立ち上がりでRDRFフラグを セット。8クロック目の立ち下がりでSCLnラインのLowホー ルドを行わない 1: SCLクロックの8クロック目の立ち上がりでRDRFフラグを セット。8クロック目の立ち下がりでSCLnラインをLowホー ルドを行う LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAIT	0: ウェイトなし。9クロック目と1クロック目の間にLowホー ルドを行わない 1: ウェイトあり。9クロック目と1クロック目の間にLowホー ルドを行う LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I <sup>2</sup> Cバス選択	0: I <sup>2</sup> Cバスを選択 1: SMBusを選択	R/W

注1. ACKBT ビットに書き込む場合には、ACKWP ビットが1の状態で行ってください。アプリケーションがACKWP ビットとACKBT ビットに同時に1を書き込んでも、ACKBT ビットは1になりません。

注2. WAIT ビットとRDRFS ビットは、受信モード時のみ有効、送信モード時は無効です。

## NF[1:0] ビット (ノイズフィルタ 段数選択)

NF[1:0] ビットは、デジタルノイズフィルタの段数を選択します。

この機能の詳細については、29.6 デジタルノイズフィルタ回路を参照してください。

注. 除去するノイズ幅は、SCLn ラインの High 幅または Low 幅よりも狭くなるように設定してください。ノイズ幅の設定が [SCL クロックの幅: High 幅または Low 幅のいずれか短い方] — [1.5 内部基準クロック (IICφ) サイクル + アナログノイズフィルタ: 120ns (参考値)] の値以上の場合、SCL クロックはノイズとみなされ、IIC が正常に動作しない可能性があります。

## ACKBR ビット (受信アクノリッジ)

ACKBR ビットは、送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[1 になる条件]

- ICCR2.TRS ビットが1の状態であクノリッジビットに1を受信したとき

[0 になる条件]

- ICCR2.TRS ビットが1の状態であクノリッジビットに0を受信したとき

- ICCR1.ICE ビットが 0 の状態で ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

#### ACKBT ビット (送信アクノリッジ)

ACKBT ビットは、受信モード時に送出されるアクノリッジビットを設定します。

[1 になる条件]

- ACKWP ビットが 1 の状態で本ビットに 1 を書いたとき  
[0 になる条件]
- ACKWP ビットが 1 の状態で本ビットに 0 を書いたとき
- ICCR2.SP ビットが 1 の状態で、ストップコンディションの発行を検出したとき
- ICCR1.ICE ビットが 0 の状態で ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

#### ACKWP ビット (ACKBT ライトプロテクト)

ACKWP ビットは、ACKBT ビットの書き込み許可を制御します。

#### RDRFS ビット (RDRF フラグセットタイミング選択)

RDRFS ビットは、受信モード時の RDRF フラグのセットタイミングと、SCL クロックの 8 クロック目の立ち下がりでの SCLn ラインの Low ホールドを行うか否かを選択します。

RDRFS ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がりでの SCLn ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりでの RDRF フラグを 1 にします。

RDRFS ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がりでの RDRF フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がりでの SCLn ラインの Low ホールドを行います。この SCLn ラインの Low ホールドは、ACKBT ビットへの書き込みによって解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、SCLn ラインは自動的に Low ホールドされます。これによって、受信データの内容に応じた ACK (ACKBT ビットが 0) または NACK (ACKBT ビットが 1) の送出処理が可能となります。

#### WAIT ビット (WAIT)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに、受信データバッファ (ICDRR レジスタ) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を強制的に Low ホールドするか否かを制御します。

WAIT ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま続けます。RDRFS ビットと WAIT ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がり以降、ICDRR レジスタ値が読み出されるまでの間、SCLn ラインを Low にホールドします。これによって、1 バイトごとの受信動作が可能になります。

注. WAIT ビットの値を読み出す場合は、必ず最初に ICDRR レジスタを読み出してください。

#### SMBS ビット (SMBus/I<sup>2</sup>C バス選択)

SMBS ビットを 1 にすると、SMBus が選択されて、ICSER.HOAE ビットが有効になります。

29.2.6 I<sup>2</sup>Cバスファンクションイネーブルレジスタ (ICFER)

アドレス IIC0.ICFER 4005 3005h, IIC1.ICFER 4005 3105h

	b7	b6	b5	b4	b3	b2	b1	b0
	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効	0: タイムアウト検出機能は無効 1: タイムアウト検出機能は有効	R/W
b1	MALE	マスターアービトレーションロスト検出有効	0: アービトレーションロスト検出機能は無効にして、アービトレーションロスト発生によるICCR2.MSTおよびTRSビットの自動クリアを禁止 1: アービトレーションロスト検出機能を有効にして、アービトレーションロスト発生によるICCR2.MSTおよびTRSビットの自動クリアを許可	R/W
b2	NALE	NACK送信アービトレーションロスト検出有効	0: NACK送信アービトレーションロスト検出は無効 1: NACK送信アービトレーションロスト検出は有効	R/W
b3	SALE	スレーブアービトレーションロスト検出有効	0: スレーブアービトレーションロスト検出は無効 1: スレーブアービトレーションロスト検出は有効	R/W
b4	NACKE	NACK受信転送中断許可	0: NACK受信時、転送を中断しない (転送中断禁止) 1: NACK受信時、転送を中断する (転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効	0: SCL同期回路を使用しない 1: SCL同期回路を使用する	R/W
b7	FMPE (注1)	ファストモードプラス有効	0: SCLnおよびSDAn端子にファストモードプラスのスロープ制御回路を使用しない 1: SCLnおよびSDAn端子にファストモードプラスのスロープ制御回路を使用する	R/W

注1. ファストモードプラス有効ビット (FMPE) は、IIC0 (SCL0-A, SDA0-A) のみ対応しています。IIC1 では、ビット7は予約ビットです。

**TMOE ビット (タイムアウト検出機能有効)**

TMOE ビットは、タイムアウト検出機能を有効または無効にします。

この機能の詳細については、29.12.1 タイムアウト検出機能を参照してください。

**MALE ビット (マスターアービトレーションロスト検出有効)**

MALE ビットは、マスターモード時にアービトレーションロスト検出機能を使用するか否かを指定します。通常の動作では、本ビットを1にしてください。

**NALE ビット (NACK送信アービトレーションロスト検出有効)**

NALE ビットは、受信モード時のNACK送出中にACKが検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択し、それぞれ受信バイト数が異なる場合など) に、アービトレーションロストを発生させるか否かを選択します。

**SALE ビット (スレーブアービトレーションロスト検出有効)**

SALE ビットは、スレーブ送信モード時に送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズが原因で送信データとの不一致が生じた場合など) に、アービトレーションロストを発生させるか否かを選択します。

**NACKE ビット (NACK 受信転送中断許可)**

NACKE ビットは、送信モード時に NACK を受信した場合、転送動作を継続するか中断するかを選択します。通常の動作では、本ビットを 1 にしてください。

NACKE ビットが 1 の状態で NACK を受信した場合、次の転送動作が中断されます。NACKE ビットが 0 のとき、受信したアクノリッジの内容にかかわらず、次の転送動作が継続されます。

詳細は、[29.9.2 NACK 受信転送中断機能](#)を参照してください。

**SCLE ビット (SCL 同期回路有効)**

SCLE ビットは、SCL クロックを SCL 入力クロックと同期させるか否かを選択します。通常の動作では、本ビットを 1 にしてください。

SCLE ビットを 0 (SCL 同期回路を使用しない) にすると、IIC は SCL クロックを SCLn 入力クロックと同期させません。この設定の場合、SCLn ラインの状態にかかわらず、IIC は、ICBRH および ICBRL レジスタで設定した転送速度の SCL クロックを出力します。そのため、I<sup>2</sup>C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCLn クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路を使用しない場合、スタートコンディション、リスタートコンディション、ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

本ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き 0 にしないでください。

**FMPE ビット (ファストモードプラス有効)**

FMPE ビットは、ファストモードプラス (Fm+) 用のスロープ制御回路を使用するか否かを指定します。

本ビットを 1 にすると、I<sup>2</sup>C バスのファストモードプラス (Fm+) 規格 (tof) に準拠したスロープ制御回路が選択されます。本ビットを 0 にすると、I<sup>2</sup>C バスの標準モード (Sm) およびファストモード (Fm) 規格 (tof) に準拠したスロープ制御回路が選択されます。

通信速度を ~1Mbps (ファストモードプラス (Fm+)) で使用する場合、本ビットを 1 にしてください。それ以外の通信速度 (~100kbps (Sm)、~400kbps (Fm)) または SMBus (10kbps ~ 100kbps) で使用する場合は、本ビットを 0 にしてください。

29.2.7 I<sup>2</sup>C バスステータスイネーブルレジスタ (ICSER)

アドレス IIC0.ICSER 4005 3006h, IIC1.ICSER 4005 3106h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0有効	0 : SARL0およびSARU0のスレーブアドレスは無効 1 : SARL0およびSARU0のスレーブアドレスは有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1有効	0 : SARL1およびSARU1のスレーブアドレスは無効 1 : SARL1およびSARU1のスレーブアドレスは有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2有効	0 : SARL2およびSARU2のスレーブアドレスは無効 1 : SARL2およびSARU2のスレーブアドレスは有効	R/W
b3	GCAE	ジェネラルコールアドレス有効	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DIDE	デバイスIDアドレス検出有効	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	HOAE	ホストアドレス有効	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

**SARyE ビット (スレーブアドレスレジスタ y 有効) (y = 0 ~ 2)**

SARyE ビットは、受信したスレーブアドレスと、SARLy および SARUy レジスタで設定したスレーブアドレスを有効または無効にします。

本ビットを1にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。本ビットを0にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

**GCAE ビット (ジェネラルコールアドレス有効)**

GCAE ビットは、ジェネラルコールアドレス (0000 000b + 0[W] : すべて 0) を受信した場合、無視するかどうかを選択します。

本ビットが1の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、IIC は SARLy および SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。本ビットが0の場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

**DIDE ビット (デバイス ID アドレス検出有効)**

DIDE ビットは、スタートコンディションまたはリスタートコンディション検出後の第1フレームでデバイス ID (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

本ビットが1のときに、受信した第1フレームがデバイス ID と一致すると、IIC はデバイス ID アドレスを受信したと認識します。続く R/W# ビットが0 (W) の場合、IIC は第2フレーム以降をスレーブアドレスとみなして、受信動作を継続します。本ビットが0の場合、IIC は受信した第1フレームがデバイス ID アドレスと一致してもそれを無視し、第1フレームを通常のスレーブアドレスと認識します。

この機能の詳細については、[29.7.3 デバイス ID アドレス検出機能](#)を参照してください。



**HOAE ビット (ホストアドレス有効)**

HOAE ビットは、ICMR3.SMBS ビットが 1 の場合、受信したホストアドレス (0001 000b) を無視するかどうかを選択します。

本ビットが 1 で、かつ ICMR3.SMBS ビットも 1 の場合、受信したスレーブアドレスがホストアドレスと一致すると、IIC は SARLy および SARUy レジスタ (y=0 ~ 2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスとして認識し、受信動作を行います。

ICMR3.SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

29.2.8 I<sup>2</sup>C バス割り込みイネーブルレジスタ (ICIER)

アドレス IIC0.ICIER 4005 3007h, IIC1.ICIER 4005 3107h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可	0: タイムアウト割り込み (TMOIn) 要求を禁止 1: タイムアウト割り込み (TMOIn) 要求を許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可	0: アービトレーションロスト割り込み (ALIn) 要求を禁止 1: アービトレーションロスト割り込み (ALIn) 要求を許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可	0: スタートコンディション検出割り込み (STIn) 要求を禁止 1: スタートコンディション検出割り込み (STIn) 要求を許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可	0: ストップコンディション検出割り込み (SPIn) 要求を禁止 1: ストップコンディション検出割り込み (SPIn) 要求を許可	R/W
b4	NAKIE	NACK 受信割り込み要求許可	0: NACK 受信割り込み (NAKIn) 要求を禁止 1: NACK 受信割り込み (NAKIn) 要求を許可	R/W
b5	RIE	受信データフル割り込み要求許可	0: 受信データフル割り込み (IICn_RXI) 要求を禁止 1: 受信データフル割り込み (IICn_RXI) 要求を許可	R/W
b6	TEIE	送信終了割り込み要求許可	0: 送信終了割り込み (IICn_TEI) 要求を禁止 1: 送信終了割り込み (IICn_TEI) 要求を許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可	0: 送信データエンプティ割り込み (IICn_TXI) 要求を禁止 1: 送信データエンプティ割り込み (IICn_TXI) 要求を許可	R/W

**TMOIE ビット (タイムアウト割り込み要求許可)**

TMOIE ビットは、ICSR2.TMOF フラグが 1 のとき、タイムアウト割り込み (TMOIn) 要求を許可または禁止します。TMOI 割り込み要求を解除するには、TMOF フラグまたは TMOIE ビットを 0 にします。

**ALIE ビット (アービトレーションロスト割り込み要求許可)**

ALIE ビットは、ICSR2.AL フラグが 1 のとき、アービトレーションロスト割り込み (ALIn) 要求を許可または禁止します。ALI 割り込み要求を解除するには、AL フラグまたは ALIE ビットを 0 にします。

**STIE ビット (スタートコンディション検出割り込み要求許可)**

STIE ビットは、ICSR2.START フラグが 1 のとき、スタートコンディション検出割り込み (STIn) 要求を許可または禁止します。STI 割り込み要求を解除するには、START フラグまたは STIE ビットを 0 にします。

**SPIE ビット (ストップコンディション検出割り込み要求許可)**

SPIE ビットは、ICSR2.STOP フラグが 1 のとき、ストップコンディション検出割り込み (SPIn) 要求を許可または禁止します。SPI 割り込み要求を解除するには、STOP フラグまたは SPIE ビットを 0 にします。

**NAKIE ビット (NACK 受信割り込み要求許可)**

NAKIE ビットは、ICSR2.NACKF フラグが 1 のとき、NACK 受信割り込み (NAKIn) 要求を許可または禁止します。NAKI 割り込み要求を解除するには、NACKF フラグまたは NAKIE ビットを 0 にします。

**RIE ビット (受信データフル割り込み要求許可)**

RIE ビットは、ICSR2.RDRF フラグが 1 のとき、受信データフル割り込み (IICn\_RXI) 要求を許可または禁止します。

**TEIE ビット (送信終了割り込み要求許可)**

TEIE ビットは、ICSR2.TEND フラグが 1 のとき、送信終了割り込み (IICn\_TEI) 要求を許可または禁止します。IICn\_TEI 割り込み要求を解除するには、TEND フラグまたは TEIE ビットを 0 にします。

**TIE ビット (送信データエンプティ割り込み要求許可)**

TIE ビットは、ICSR2.TDRE フラグが 1 のとき、送信データエンプティ割り込み (IICn\_TXI) 要求を許可または禁止します。

29.2.9 I<sup>2</sup>Cバスステータスレジスタ 1 (ICSR1)

アドレス IIC0.ICSR1 4005 3008h, IIC1.ICSR1 4005 3108h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0 : スレーブアドレス0未検出 1 : スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0 : スレーブアドレス1未検出 1 : スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0 : スレーブアドレス2未検出 1 : スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0 : ジェネラルコールアドレス未検出 1 : ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DID	デバイスIDアドレス検出フラグ	0 : デバイスIDコマンド未検出 1 : デバイスIDコマンド検出 スタートコンディション検出直後に受信した第1フレームがデバイスIDアドレス (1111 100b) + 0[W]と一致した場合、1になります。	R/(W) (注1)
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	HOA	ホストアドレス検出フラグ	0 : ホストアドレス未検出 1 : ホストアドレス検出 受信したスレーブアドレスがホストアドレス (0001 000b)と一致した場合、1になります。	R/(W) (注1)

注1. フラグをクリアするための0の書き込みのみ可能です。

## AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

AASy フラグは、スレーブアドレス y が検出されたかどうかを示します。

[1になる条件]

【7ビットアドレスフォーマット選択時 (SARUy.FS = 0)】

- ICSR.SARyE ビットが1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビット値と一致したとき  
AASy フラグは、そのフレームの SCL クロックの9クロック目の立ち上がりで1になります。

【10ビットアドレスフォーマット選択時 (SARUy.FS = 1)】

- ICSR.SARyE ビットが1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLy レジスタの値と一致したとき  
AASy フラグは、そのフレームの SCL クロックの9クロック目の立ち上がりで1になります。

[0になる条件]

- 1を読んだ後、0を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに1を書いて、IICリセットまたは内部リセットを行ったとき

**【7 ビットアドレスフォーマット選択時 (SARUy.FS = 0)】**

- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビット値と一致しなかったとき  
AASy フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

**【10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)】**

- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致しなかったとき  
AASy フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLy レジスタの値と一致しなかったとき  
AASy フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

**GCA フラグ (ジェネラルコールアドレス検出フラグ)**

GCA フラグは、ジェネラルコールアドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSEr.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき  
GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSEr.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致しなかったとき  
GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**DID フラグ (デバイス ID アドレス検出フラグ)**

DID フラグは、デバイス ID アドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致したとき  
DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b)) の値と一致しなかったとき  
DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致し、かつ、第 2 フレームがスレーブアドレス 0 ~ 2 のすべてと一致しなかったとき  
DID フラグは、第 2 フレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

#### HOA フラグ (ホストアドレス検出フラグ)

HOA フラグは、ホストアドレスが検出されたかどうかを示します。

[1 になる条件]

- IC SER.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき  
HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- IC SER.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致しなかったとき  
HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

29.2.10 I<sup>2</sup>Cバスステータスレジスタ 2 (ICSR2)

アドレス IIC0.ICSR2 4005 3009h, IIC1.ICSR2 4005 3109h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロスト未発生 1: アービトレーションロスト発生	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信完了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. フラグをクリアするための0の書き込みのみ可能です。

**TMOF フラグ (タイムアウト検出フラグ)**

TMOF フラグは、SCL<sub>n</sub> ラインの状態が一定期間変化しないために、IIC がタイムアウトを検出したときに1になります。

[1になる条件]

- マスタモードまたはスレーブモード時に、ICFER.TMOE ビットが1 (タイムアウト検出機能有効) で、かつ、受信したスレーブアドレスが一致した状態で、ICMR2.TMOH、TMOL、TMOS ビットで指定した期間 SCL<sub>n</sub> ライン状態が変化しなかったとき

[0になる条件]

- 1を読んだ後、0を書いたとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

**AL フラグ (アービトレーションロストフラグ)**

AL フラグは、スタートコンディション発行時やアドレスおよびデータ送信時に、バス競合などが原因で、バス占有権がアービトレーションロストしたことを示します。

IIC は、送信中に SDA<sub>n</sub> ラインのレベルを監視し、SDA<sub>n</sub> ラインのレベルと出力中のビット値が一致していないと、AL フラグを1にすることで、バスが他のデバイスによって占有されていることを示します。さらに IIC は、本フラグをセットすることで、NACK 送信中またはデータ送信中に、アービトレーションロストが検出されたことも示します。

[1になる条件]

【マスタアービトレーションロスト検出有効時 (ICFER.MALE = 1)】

- マスタ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA<sub>n</sub> ライン上の信号の状態が一致しなかったとき
- ICCR2.ST ビットが 1 (スタートコンディション要求) の状態でスタートコンディションが検出されたとき、または、出力した SDA 信号と SDA<sub>n</sub> ライン上の信号の状態が一致しなかったとき
- ICCR2.BBSY フラグが 1 の状態で、ICCR2.ST ビットが 1 (スタートコンディション要求) のとき

【NACK アービトレーションロスト検出有効時 (ICFER.NALE = 1)】

- 受信モードでの NACK 送信中に、ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA<sub>n</sub> ラインレベルと一致しなかったとき

【スレーブアービトレーションロスト検出有効時 (ICFER.SALE = 1)】

- スレーブ送信モードでのデータ送信中に、ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA<sub>n</sub> ラインレベルと一致しなかったとき

[0になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

表 29.4 アービトレーションロスト発生要因と各アービトレーションロスト有効機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.STが1の状態でスタートコンディション検出時に出力した SDA 信号と SDA <sub>n</sub> ライン上の信号の状態が一致しなかったとき ICCR2.BBSYが1のときに、ICCR2.STを1にしたとき
			1	送信データ不一致	マスタ送信モードで、送信データ (スレーブアドレス含む) とバス状態が一致しなかったとき
x	1	x	1	NACK 送信不一致	マスタまたはスレーブ受信モードで、NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで、送信データとバス状態が一致しなかったとき

x : Don't care

### START フラグ (スタートコンディション検出フラグ)

START フラグは、スタートコンディションまたはリスタートコンディションが検出されたかどうかを示します。

[1になる条件]

- スタートコンディションまたはリスタートコンディションが検出されたとき

[0になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき



### STOP フラグ (ストップコンディション検出フラグ)

STOP フラグは、ストップコンディションが検出されたかどうかを示します。

[1 になる条件]

- ストップコンディションが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

### NACKF フラグ (NACK 検出フラグ)

NACKF フラグは、NACK が検出されたかどうかを示します。

[1 になる条件]

- ICFER.NACKF ビットが 1 (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジを受信しなかった (NACK を受信した) とき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. NACKF フラグが 1 になると IIC はデータ送受信動作を中断します。NACKF フラグが 1 の状態で送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、データ送受信動作は許可されません。データ送受信動作を再開するには、NACKF フラグを 0 にしてください。

### RDRF フラグ (受信データフルフラグ)

RDRF フラグは、IDCRR レジスタに受信データが含まれているかどうかを示します。

[1 になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき  
RDRF フラグは、SCL クロックの 8 クロック目または 9 クロック目 (ICMR3.RDRFS ビットで選択) の立ち上がりで 1 になります。
- スタート (またはリスタート) コンディション検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが 0 のとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICDRR レジスタからデータを読んだとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**TEND フラグ (送信終了フラグ)**

TEND フラグは、データ送信がまだ送信中であるか、完了したかを示します。

[1 になる条件]

- TDRE フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

**TDRE フラグ (送信データエンプティフラグ)**

TDRE フラグは、ICDRT レジスタに送信データが含まれているかどうかを示します。

[1 になる条件]

- ICDRT レジスタから ICDRS レジスタへデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが 1 になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが 1 のとき

[0 になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが 0 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ICFER.NACKF ビットが 1 の状態で NACKF フラグが 1 になると IIC はデータ送受信動作を中断します。このとき、TDRE フラグが 0 (次の送信データがすでに書き込まれている状態) の場合、9 クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われて ICDRT レジスタは空になりますが、TDRE フラグは 1 になりません。

29.2.11 I<sup>2</sup>Cバスウェイクアップユニットレジスタ (ICWUR)

アドレス IIC0.ICWUR 4005 3016h

	b7	b6	b5	b4	b3	b2	b1	b0
	WUJE	WUIE	WUF	WUACK	—	—	—	WUAFA
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WUAFA	ウェイクアップアナログフィルタ追加選択	0 : ウェイクアップアナログフィルタを追加しない 1 : ウェイクアップアナログフィルタを追加する	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	WUACK	ウェイクアップモード用ACK	IICR1.IICRSTビットとWUACKビットの組み合わせで、4つの応答モードから選択します。表 29.5を参照してください。	R/W
b5	WUF	ウェイクアップイベント発生フラグ	0 : ウェイクアップ時にスレーブアドレス不一致 1 : ウェイクアップ時にスレーブアドレス一致	R/W
b6	WUIE	ウェイクアップ割り込み要求許可	0 : ウェイクアップ割り込み要求 (IIC0_WUI) を禁止 1 : ウェイクアップ割り込み要求 (IIC0_WUI) を許可	R/W
b7	WUJE	ウェイクアップ機能有効	0 : ウェイクアップ機能は無効 1 : ウェイクアップ機能は有効	R/W

表 29.5 ウェイクアップモード

IICRST	WUACK	動作モード	機能
0	0	ノーマルウェイクアップモード1	SCLクロックの9クロック目でACK応答を行い、9クロック目の後でSCLのLowホールドを行う。
0	1	ノーマルウェイクアップモード2	即時ACK応答せず、SCLクロックの8クロック目と9クロック目の間でSCLのLowホールドを行う。SCLのLowホールドを解除し、SCLクロックの9クロック目でACK応答を行う。
1	0	コマンドリカバリモード	SCLクロックの9クロック目でACK応答を行い、SCLのLowホールドは行わない。
1	1	ECP応答モード	SCLクロックの9クロック目でNACK応答を行い、SCLのLowホールドは行わない。

## WUFフラグ (ウェイクアップイベント発生フラグ)

WUFフラグは、ウェイクアップ時にスレーブアドレスが一致しているかどうかを示します。

[1になる条件]

- ウェイクアップモード時、スレーブアドレスが一致し、SCLクロックがLowホールドされた後、PCLKBが供給されたとき

[0になる条件]

- 1を読んだ後、0を書いたとき
- ICEビットが0でIICRSTビットが1のとき

29.2.12 I<sup>2</sup>Cバスウェイクアップユニットレジスタ 2 (ICWUR2)

アドレス IIC0.ICWUR2 4005 3017h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	WUSY F	WUAS YF	WUSE N
リセット後の値	1	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	WUSEN	ウェイクアップ機能同期許可	0: IIC非同期動作を許可 1: IIC同期動作を許可	R/W
b1	WUASYF	ウェイクアップ機能非同期動作ステータスフラグ	0: IIC同期動作を許可 1: IIC非同期動作を許可	R
b2	WUSYF	ウェイクアップ機能同期動作ステータスフラグ	0: IIC非同期動作を許可 1: IIC同期動作を許可	R
b7-b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

**WUSEN ビット (ウェイクアップ機能同期許可)**

ウェイクアップ有効機能が有効 (ICWUR.WUE = 1) のとき、WUSEN ビットは、WUASYF フラグ (または WUSYF フラグ) との組み合わせで、PCLKB の動作 (同期動作/非同期動作) の切り替えに使用されます。

PCLKB の動作は、以下の場合に同期動作から非同期動作に切り替わります：

- WUASYF フラグが0の状態では WUSEN ビットに0が書き込まれ、ICCR2.BBSY フラグが0のとき、PCLKB 非同期動作に切り替わった後、ウェイクアップイベントを検出すると、PCLKB の動作状態に関係なく、(PCLKB 停止状態で) 受信が実行される

PCLKB の動作は、以下の場合に非同期動作から同期動作に切り替わります：

- WUASYF フラグが1の状態では WUSEN ビットに1が書き込まれ、ウェイクアップイベントを検出したとき、1が書き込まれると、WUASYF フラグはただちに0になる
- ウェイクアップイベントが未検出の状態ではストップコンディションを検出したとき

**WUASYF フラグ (ウェイクアップ機能非同期動作ステータスフラグ)**

ウェイクアップ有効機能が有効 (ICWUR.WUE = 1) のとき、IIC を PCLKB 非同期動作に切り替えることが可能です。

[1 になる条件]

- ICCR2.BBSY フラグが0の場合に、ICWUR.WUE ビットが1の状態では WUSEN ビットを0にしたとき

[0 になる条件]

- ICWUR.WUE ビットが1の状態ではウェイクアップイベント検出後、WUSEN ビットに1が書き込まれたとき
- WUASYF フラグが1で ICWUR.WUE ビットも1の状態ではウェイクアップイベントを検出する前に、WUSEN ビットが1の状態ではストップコンディションが検出されたとき
- WUASYF フラグが1でウェイクアップイベントが ICWUR.WUE = 1 の状態で、WUSEN ビットに1が書き込まれたとき
- ICCR1.ICE = 0 かつ ICCRST = 1 (ICC リセット)
- ICWUR.WUE = 0

**WUSYF フラグ (ウェイクアップ機能同期動作ステータスフラグ)**

ウェイクアップ有効機能が有効 (ICWUR.WUE = 1) のとき、IIC を PCLKB 同期動作に切り替えることが可能です。本フラグを使用すると、WUASYF フラグが常に予約されます。

[1 になる条件]

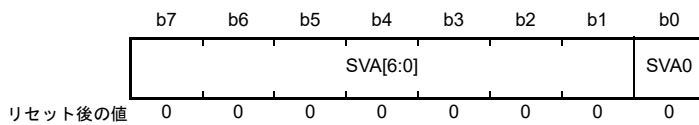
- ICWUR.WUE ビットが 1 かつ WUSYF フラグが 0 の状態でウェイクアップイベント検出後、WUSEN ビットに 1 が書き込まれたとき
- WUSYF フラグが 0、ICWUR.WUE ビットが 1 の状態でウェイクアップイベントを検出する前に、WUSEN ビットが 1 の状態でストップコンディションが検出されたとき
- ICCR1.ICE = 0 かつ ICCRST = 1 (ICC リセット)
- ICWUR.WUE = 0

[0 になる条件]

- ICCR2.BBSY フラグが 0 の場合に、ICWUR.WUE ビットが 1 の状態で WUSEN ビットを 0 にしたとき

**29.2.13 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)**

アドレス IIC0.SARL0 4005 300Ah, IIC1.SARL0 4005 310Ah,  
IIC0.SARL1 4005 300Ch, IIC1.SARL1 4005 310Ch,  
IIC0.SARL2 4005 300Eh, IIC1.SARL2 4005 310Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレス設定	R/W
b7-b1	SVA[6:0]	7ビットアドレス/10ビットアドレス下位ビット	スレーブアドレス設定	R/W

**SVA0 ビット (10 ビットアドレス最下位ビット)**

10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、SVA0 ビットは 10 ビットアドレスの最下位ビットとして機能します。また、SVA[6:0] ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

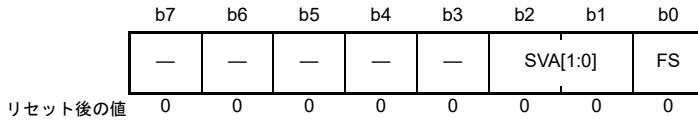
本ビットは、ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、本ビットの設定値は無視されます。

**SVA[6:0] ビット (7 ビットアドレス/10 ビットアドレス下位ビット)**

7 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、SVA[6:0] ビットは 7 ビットアドレスとして機能します。10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、これらのビットは、SVA0 ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。ICSER.SARyE ビットが 0 のとき設定値は無視されます。

## 29.2.14 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス IIC0.SARU0 4005 300Bh, IIC1.SARU0 4005 310Bh,  
IIC0.SARU1 4005 300Dh, IIC1.SARU1 4005 310Dh,  
IIC0.SARU2 4005 300Fh, IIC1.SARU2 4005 310Fh



ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレス設定	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**FS ビット (7 ビット/10 ビットアドレスフォーマット選択)**

FS ビットは、スレーブアドレス y (SARLy および SARUy レジスタ) に対して、7 ビットアドレスフォーマットまたは 10 ビットアドレスフォーマットを選択します。

ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが 0 の場合、スレーブアドレス y には 7 ビットアドレスフォーマットが選択されて、SARLy.SVA[6:0] ビットの設定値が有効になり、SVA[1:0] ビットと SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが 1 の場合、スレーブアドレス y には 10 ビットアドレスフォーマットが選択されて、SVA[1:0] ビットおよび SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが 0 (SARLy および SARUy レジスタ無効) の場合、SARUy.FS ビットの設定値は無効です。

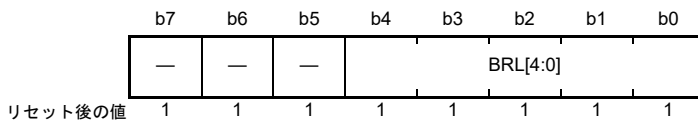
**SVA[1:0] ビット (10 ビットアドレス上位ビット)**

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、SVA[1:0] ビットは 10 ビットアドレスの上位 2 ビットとして機能します。

これらのビットは、ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、これらのビットの設定値は無視されます。

29.2.15 I<sup>2</sup>Cバスビットレート Low レジスタ (ICBRL)

アドレス IIC0.ICBRL 4005 3010h, IIC1.ICBRL 4005 3110h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定	SCLクロックのLow幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

ICBRL レジスタは、SCL クロックの Low 幅を設定する 5 ビットのレジスタです。ICBRL レジスタは、SCL 自動 Low ホールド機能 (29.9 SCL の自動 Low ホールド機能を参照) のデータセットアップ時間も生成します。

**BRL[4:0] ビット (ビットレート Low 幅設定)**

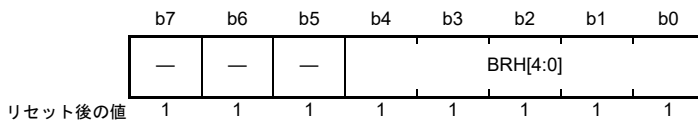
SCL クロックの Low 幅を設定します。ICBRL レジスタは、ICMR1.CKS[2:0] ビットで指定した内部基準クロックソース (IICφ) で Low 幅をカウントします。IIC をスレーブモードのみで使用する場合、BRL[4:0] ビットにはデータセットアップ時間 (注1) 以上の値を設定してください。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット=1) した場合、BRL[4:0] ビットには、ノイズフィルタの段数+1 以上の値を設定してください。この段数については、ICMR3.NF[1:0] ビットの説明を参照してください。

- 注1. データセットアップ時間 (tSU:DAT)
- 250ns ~ 100kbps : スタンダードモード (Sm)
  - 100ns ~ 400kbps : ファストモード (Fm)
  - 50ns ~ 1Mbps : ファストモードプラス (Fm+)

29.2.16 I<sup>2</sup>C バスビットレート High レジスタ (ICBRH)

アドレス IIC0.ICBRH 4005 3011h, IIC1.ICBRH 4005 3111h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレート High 幅設定	SCL クロックの High 幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

ICBRH レジスタは、SCL クロックの High 幅を設定する 5 ビットのレジスタです。ICBRH レジスタはマスターモードで有効になります。

**BRH[4:0] ビット (ビットレート High 幅設定)**

SCL クロックの High 幅を設定します。IIC をスレーブモードのみで使用する場合は、BRH[4:0] ビットを設定しないでください。

ICBRH レジスタは、ICMR1.CKS[2:0] ビットで選択された内部基準クロックソース (IIC $\phi$ ) で High 幅をカウントします。

デジタルノイズフィルタ回路を許可 (ICFER.NFE ビット = 1) した場合、ICBRH レジスタにはノイズフィルタの段数 + 1 以上の値を設定してください。この段数については、ICMR3.NF[1:0] ビットの説明を参照してください。

IIC 転送速度と SCL クロックのデューティ比は、下記の式 (1) ~ (5) で計算されます。

1. ICFER.SCLE = 0 の場合  
 転送速度 =  $1 / \{ [(BRH + 1) + (BRL + 1)] / IIC\phi \text{ (注1)} + tr \text{ (注2)} + tf \text{ (注2)} \}$   
 デューティ比 =  $\{ tr + [(BRH + 1) / IIC\phi] \} / \{ tr + tf + [(BRH + 1) + (BRL + 1)] / IIC\phi \}$
2. ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] = 000b (IIC $\phi$  = PCLKB) の場合  
 転送速度 =  $1 / \{ [(BRH + 3) + (BRL + 3)] / IIC\phi + tr + tf \}$   
 デューティ比 =  $\{ tr + [(BRH + 3) / IIC\phi] \} / \{ tr + tf + [(BRH + 3) + (BRL + 3)] / IIC\phi \}$
3. ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] = 000b (IIC $\phi$  = PCLKB) の場合  
 転送速度 =  $1 / \{ [BRH + 3 + nf \text{ (注3)}] + (BRL + 3 + nf) / IIC\phi + tr + tf \}$   
 デューティ比 =  $\{ tr + [(BRH + 3 + nf) / IIC\phi] \} / \{ tr + tf + [(BRH + 3 + nf) + (BRL + 3 + nf)] / IIC\phi \}$
4. ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0]  $\neq$  000b の場合  
 転送速度 =  $1 / \{ [(BRH + 2) + (BRL + 2)] / IIC\phi + tr + tf \}$   
 デューティ比 =  $\{ tr + [(BRH + 2) / IIC\phi] \} / \{ tr + tf + [(BRH + 2) + (BRL + 2)] / IIC\phi \}$
5. ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0]  $\neq$  000b の場合  
 転送速度 =  $1 / \{ [BRH + 2 + nf] + (BRL + 2 + nf) / IIC\phi + tr + tf \}$   
 デューティ比 =  $\{ tr + [(BRH + 2 + nf) / IIC\phi] \} / \{ tr + tf + [(BRH + 2 + nf) + (BRL + 2 + nf)] / IIC\phi \}$

注 1. IIC $\phi$  = PCLKB  $\times$  分周比

注 2. SCLn ライン立ち上がり時間 (tr) および SCLn ライン立ち下がり時間 (tf) は、バスライン総容量 (Cb) とプルアップ抵抗 (Rp) に依存します。詳細については、NXP 社の I<sup>2</sup>C バス規格書を参照してください。

注 3. nf = ICMR3.NF ビットで選択したデジタルノイズフィルタの段数



表 29.6 SCLE = 0 のときの転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB (MHz)	NF[1:0]	計算式
100	100b	14 (EEh)	17 (F1h)	60	—	(1)
400	010b	8 (E8h)	19 (F3h)	60	—	(1)
1000	000b	15 (EFh)	29 (FDh)	60	—	(1)

表 29.7 SCLE = 1 かつ NFE = 0 のときの転送速度に対する ICBRH、ICBRL レジスタの設定例

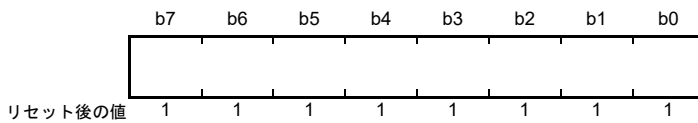
転送速度 (kbps)	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB (MHz)	NF[1:0]	計算式
100	011b	13 (EDh)	16 (F0h)	60	—	(4)
400	010b	7 (E7h)	18 (F2h)	60	—	(4)
1000	000b	13 (EDh)	27 (FBh)	60	—	(2)

表 29.8 SCLE = 1 かつ NFE = 1 のときの転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB (MHz)	NF[1:0]	計算式
100	011b	11 (EBh)	14 (EEh)	60	01b	(5)
400	010b	5 (E5h)	16 (F0h)	60	01b	(5)
1000	000b	11 (EBh)	25 (F9h)	60	01b	(3)

### 29.2.17 I<sup>2</sup>C バス送信データレジスタ (ICDRT)

アドレス IIC0.ICDRT 4005 3012h, IIC1.ICDRT 4005 3112h



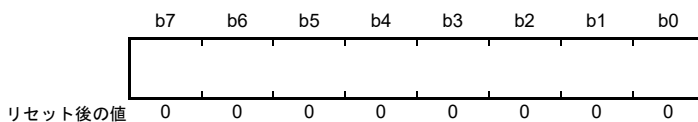
ICDRT レジスタは、I<sup>2</sup>C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データを ICDRS レジスタへ転送し、送信モードでデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書けば連続送信動作が可能です。

ICDRT レジスタは常に読み出し/書き込みが可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (IICn\_TXI) 要求が発生したときに行ってください。

### 29.2.18 I<sup>2</sup>C バス受信データレジスタ (ICDRR)

アドレス IIC0.ICDRR 4005 3013h, IIC1.ICDRR 4005 3113h

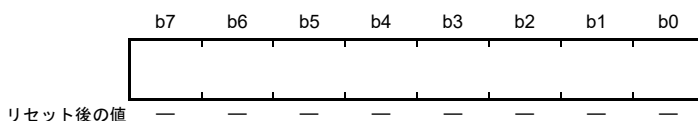


1 バイトのデータを受信すると、受信したデータは I<sup>2</sup>C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、すでに受信したデータを ICDRR レジスタから読めば連続受信動作が可能です。ICDRR レジスタに書き込むことはできません。ICDRR レジスタからの読み出しは、受信データフル割り込み (IICn\_RXI) 要求が発生したときに行ってください。

現在のデータを ICDRR レジスタから読み出す前に (ICSR2.RDRF フラグが 1 の状態のまま) ICDRR レジスタが次の受信データを受け取ると、IIC は RDRF フラグが再び 1 になる前に自動的に SCL クロックを 1 クロックサイクル分 Low ホールドします。

### 29.2.19 I<sup>2</sup>C バスシフトレジスタ (ICDRS)



ICDRS レジスタは、データを送受信するための 8 ビットのシフトレジスタです。

送信時は、送信データが ICDRT レジスタから ICDRS レジスタへ転送されて、SDAn 端子からデータが送信されます。受信時は、1 バイトのデータ受信後に、データが ICDRS レジスタから ICDRR レジスタへ転送されます。ICDRS レジスタは、直接アクセスすることはできません。

## 29.3 動作説明

### 29.3.1 通信データフォーマット

I<sup>2</sup>C バスフォーマットは、8ビットのデータと1ビットのアクノリッジで構成されています。スタートコンディションまたはリスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 29.3 に I<sup>2</sup>C バスフォーマットを、図 29.4 に I<sup>2</sup>C バスタイミングを示します。

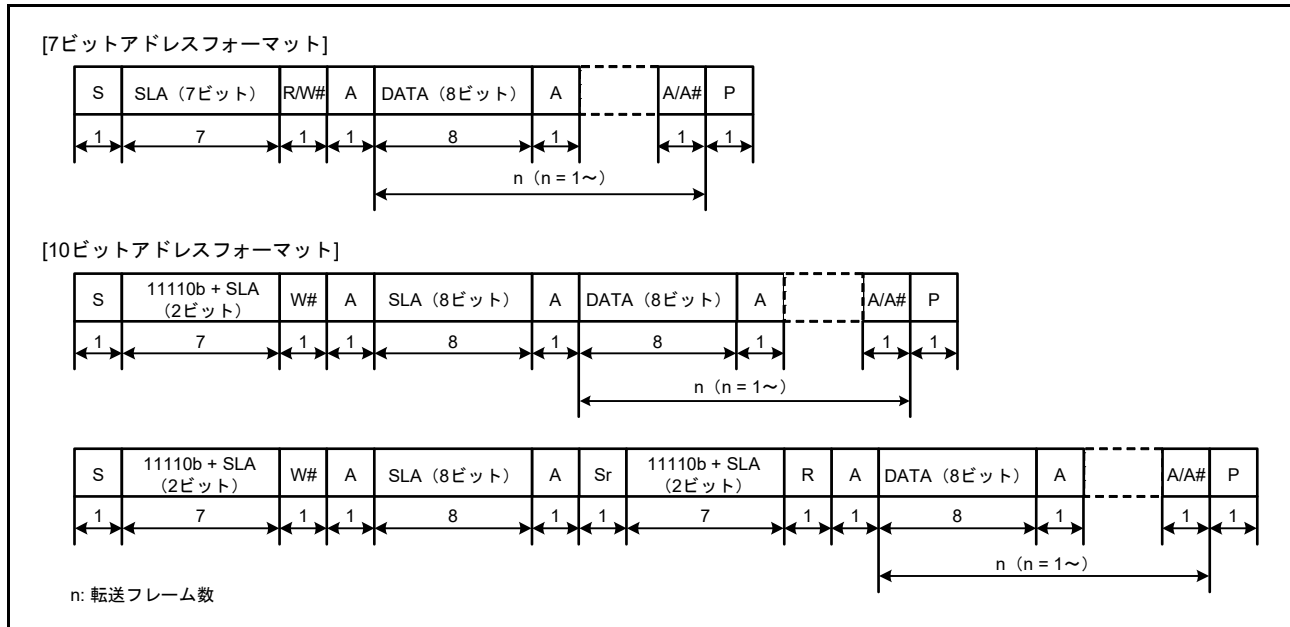


図 29.3 I<sup>2</sup>C バスフォーマット

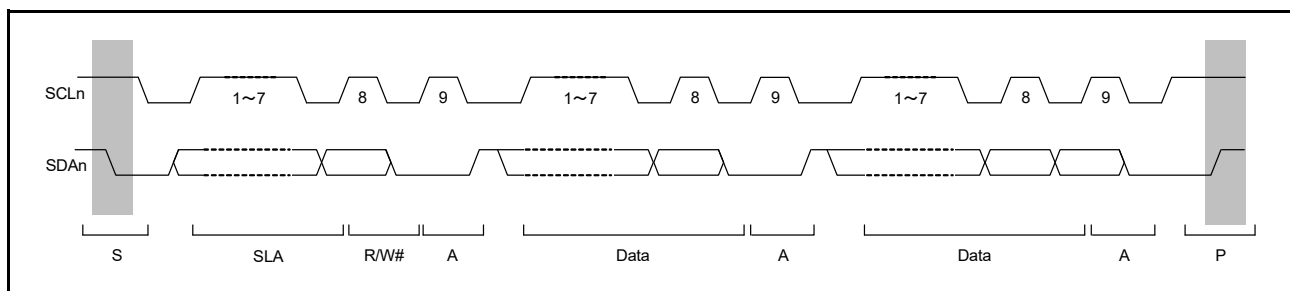


図 29.4 I<sup>2</sup>C バスタイミング (SLA 設定値 = 7 ビットの場合)

- S: スタートコンディションを表します。SCLnラインがHighのとき、マスタデバイスがSDA<sub>n</sub>ラインをHighからLowに変化させます。
- SLA: スレーブアドレスを表します。これによって、マスタデバイスがスレーブデバイスを選択します。
- R/W#: データ転送の方向を表します。R/W#が1のとき、スレーブデバイスからマスタデバイスの方向、R/W#が0のとき、マスタデバイスからスレーブデバイスの方向になります。
- A: アクノリッジを表します。受信デバイスがSDA<sub>n</sub>ラインをLowにします。マスタ送信モード時はスレーブデバイスがアクノリッジを返します。マスタ受信モード時はマスタデバイスがアクノリッジを返します。
- A#: ノットアクノリッジを表します。受信デバイスがSDA<sub>n</sub>ラインをHighにします。
- Sr: リスタートコンディションを表します。SCLnラインがHighのときに、セットアップ時間が経過した後、マスタデバイスがSDA<sub>n</sub>ラインをHighからLowに変化させます。
- DATA: 送信データまたは受信データを示します。
- P: ストップコンディションを表します。SCLnラインがHighのときに、マスタデバイスがSDA<sub>n</sub>ラインをLowからHighに変化させます。

### 29.3.2 初期設定

データの送受信を開始する前に、[図 29.5](#) に示す手順に従って IIC を初期化してください。

1. ICCR1.ICE ビットを 0 にして SCLn 端子と SDA<sub>n</sub> 端子を非駆動状態します。
2. ICCR1.IICRST ビットを 1 にして、IIC リセットを行います。
3. ICCR1.ICE ビットを 1 にして内部リセットを起動し、ICSR1 レジスタの各フラグや内部状態を初期化します。
4. SARL<sub>y</sub>、SARU<sub>y</sub>、ICSER、ICMR1、ICBRH、ICBRL の各レジスタ (y=0~2) を設定します。必要に応じて、それ以外のレジスタも設定します。IIC の初期設定は、[図 34.5](#) を参照してください。
5. 必要なレジスタの設定が完了したら、ICCR1.IICRST ビットを 0 にして IIC リセットを解除してください。

注. すでに IIC の初期化が完了している場合、この手順は不要です。

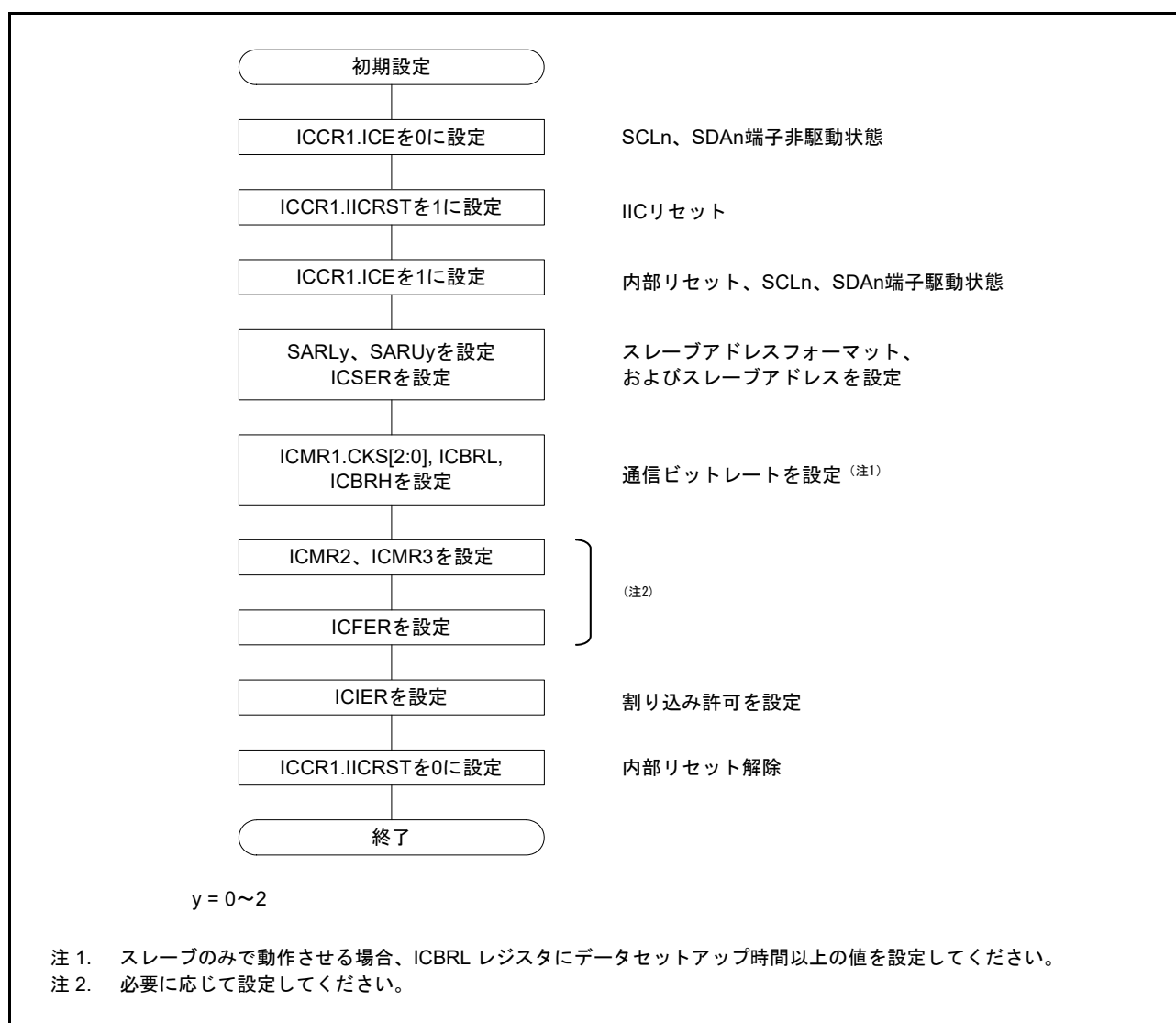


図 29.5 IIC の初期化フローチャート例

### 29.3.3 マスタ送信動作

マスタ送信動作では、マスタデバイスである IIC が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。図 29.6 にマスタ送信の例を、図 29.7 ~ 図 29.9 にマスタ送信の動作タイミングを示します。

マスタ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、[29.3.2 初期設定](#)を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション要求) にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力状態の内部レベルと SDA<sub>n</sub> ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。TRS ビットが 1 になることにより、ICSR2.TDRE フラグが自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信後、送信された R/W# ビットの値に応じて TRS ビットの値が自動的に更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。  
データを 10 ビットフォーマットのアドレスで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビットと W を書きます。2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションが発行されるまで、IIC は自動的に SCL<sub>n</sub> ラインを Low にホールドします。
5. 送信データの全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るまで待ってから、ICCR2.SP ビットを 1 (ストップコンディション要求) にしてください。IIC は、ストップコンディション要求を受け付けると、ストップコンディションを発行します。詳細は、[29.11.3 ストップコンディション発行動作](#)を参照してください。
6. IIC はストップコンディションを検出すると、ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。さらに IIC は、TDRE フラグと TEND フラグを自動的に 0 にして、ICSR2.STOP フラグを 1 にします。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICCR2.STOP フラグを 0 にしてください。

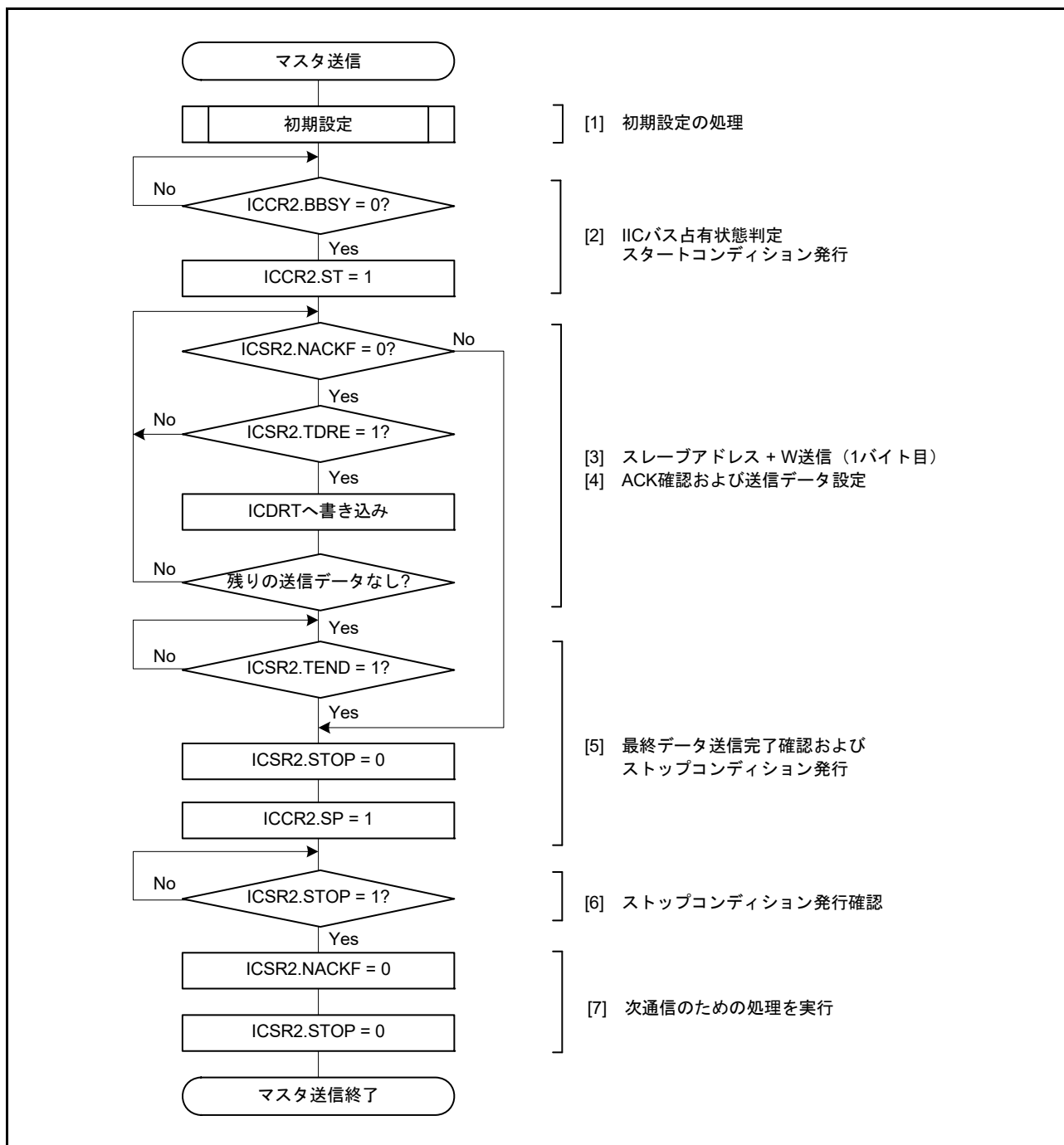


図 29.6 マスタ送信のフロー例

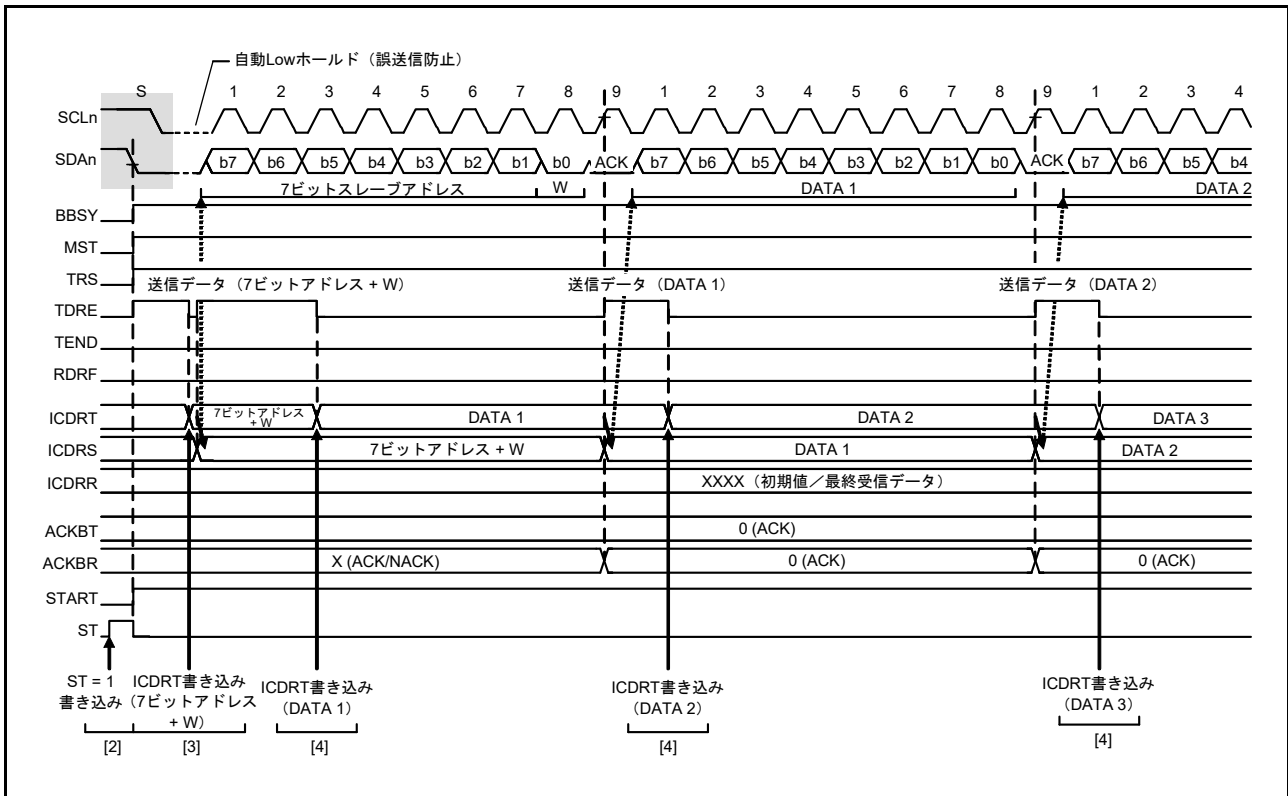


図 29.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマット)

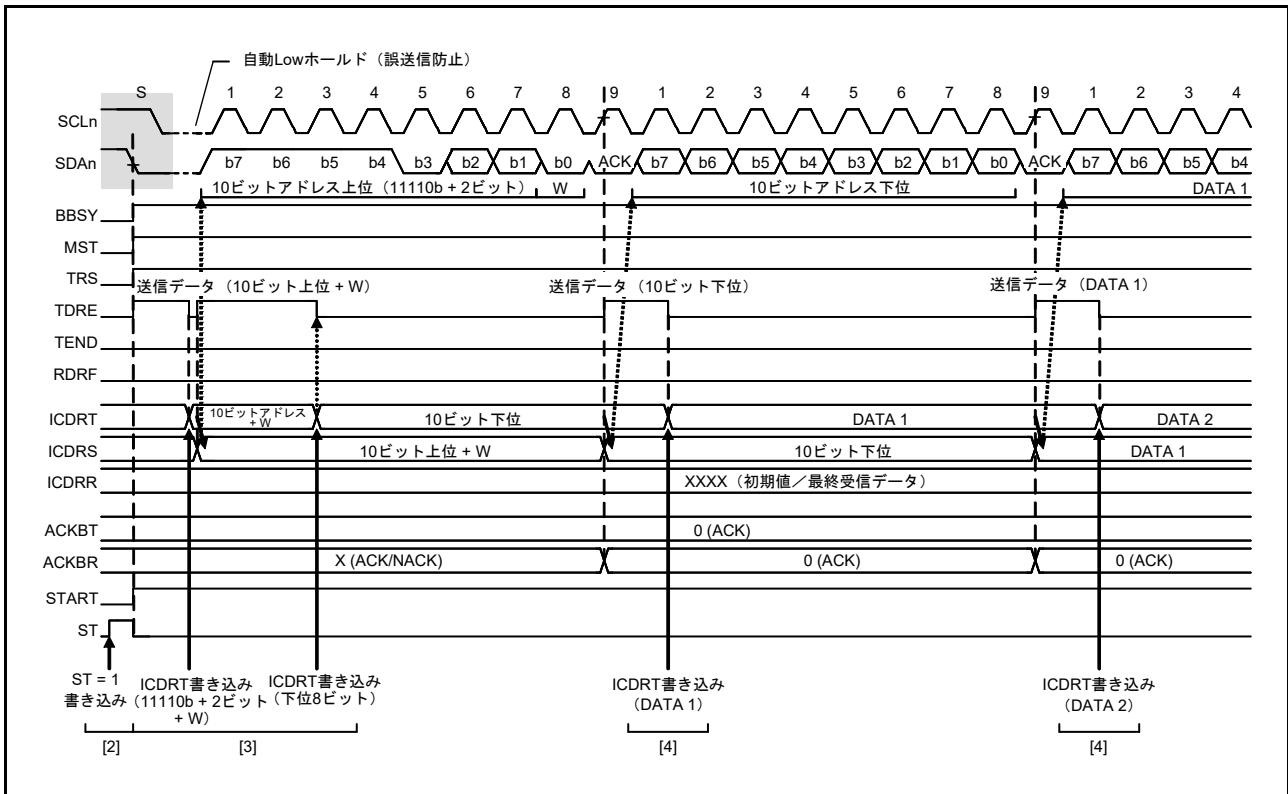


図 29.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマット)

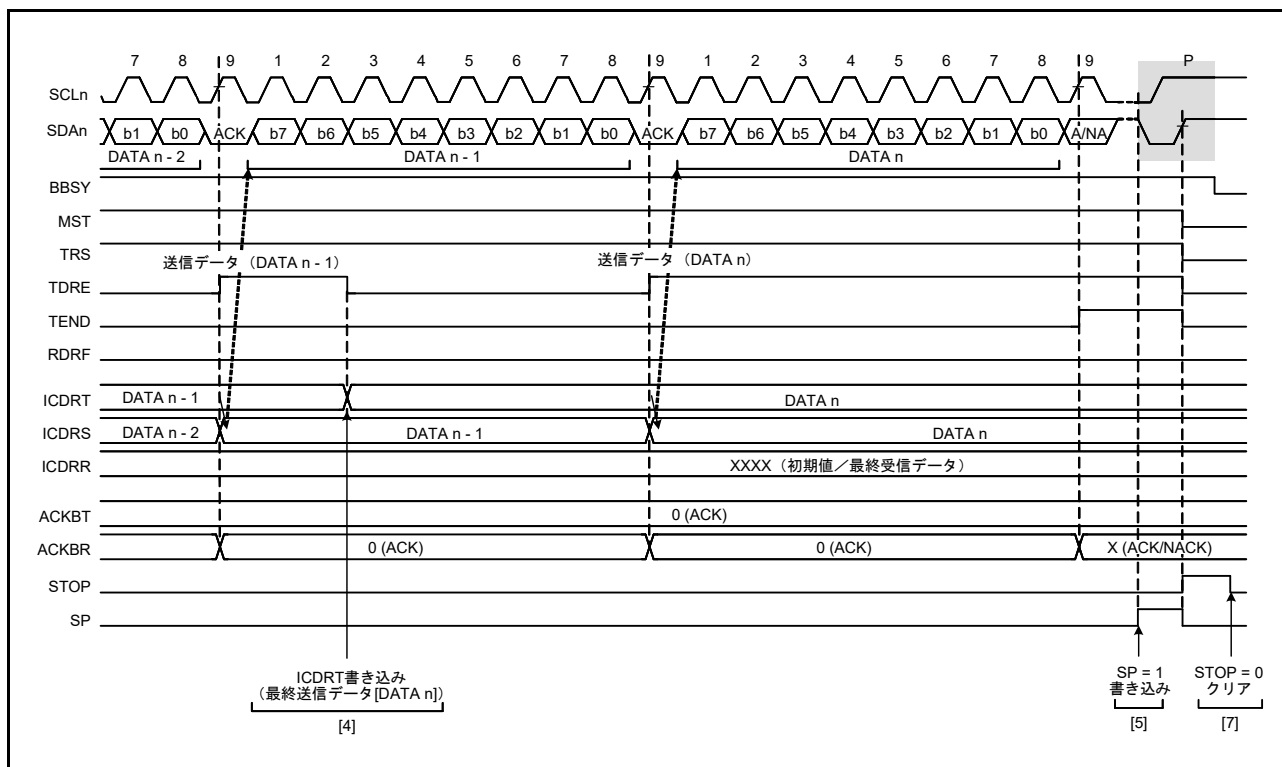


図 29.9 マスタ送信の動作タイミング (3)



### 29.3.4 マスタ受信動作

マスタ受信動作では、マスタデバイスであるIICがSCLクロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初に、対応するスレーブデバイスにスレーブアドレスを送信するため、手順のスレーブアドレスパートはマスタ送信モードで実行し、その後の手順はマスタ受信モードで実行します。

図 29.10 と 図 29.11 にマスタ受信の例（7ビットアドレスフォーマットの場合）を、図 29.12 ～ 図 29.14 にマスタ受信の動作タイミングを示します。

マスタ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、29.3.2 初期設定を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを1にしてスタートコンディションの発行を要求します。IICはスタートコンディション要求を受け付けると、スタートコンディションを発行します。IICがスタートコンディションを検出すると、BBSYフラグとICSR2.STARTフラグが自動的に1になり、STビットは自動的に0になります。このとき、STビットが1の状態ですタートコンディションが検出され、かつSDA出力のレベルとSDAnラインのレベルが一致したとき、IICはSTビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MSTビットとICCR2.TRSビットが自動的に1になって、IICはマスタ送信モードになります。TRSビットが1になることにより、ICSR2.TDREフラグが自動的に1になります。
3. ICSR2.TDREフラグが1であることを確認した後、ICDRTレジスタに送信データ（1バイト目はスレーブアドレスとR/W#ビットの値を示す）を書いてください。ICDRTレジスタに送信データを書くと、TDREフラグは自動的に0になり、ICDRTレジスタからICDRSレジスタにデータが転送されて、再びTDREフラグが1になります。スレーブアドレスとR/W#ビットを含むバイトが送信されると、送信されたR/W#ビットの値に応じてICCR2.TRSビットの値が自動的に更新され、送信モードまたは受信モードが選択されます。R/W#ビットが1の場合、9クロック目の立ち上がりでTRSビットが0になり、IICはマスタ受信モードになります。このときTDREフラグは0に、ICSR2.RDRFフラグは自動的に1になります。このときICSR2.NACKFフラグが1であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SPビットに1を書いて、ストップコンディションを発行してください。なお、10ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で10ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b（スレーブアドレスの上位2ビット）とRビットを送信することで、IICはマスタ受信モードになります。
4. ICSR2.RDRFフラグが1であることを確認した後、ICDRRレジスタをダミーリードします。これにより、IICはSCLクロックの出力とデータ受信動作を開始します。
5. 1バイトのデータの受信後、ICMR3.RDRFSビットで選択したSCLクロックの8クロック目、あるいは9クロック目の立ち上がりで、ICSR2.RDRFフラグが1になります。このときICDRRレジスタを読むと、受信したデータを読むことができ、同時にRDRFフラグは自動的に0になります。また、SCLクロックの9クロック目のアクノリッジビットには、ICMR3.ACKBTビットに設定した値が返信されます。次に受信するバイトが最後から2番目のバイトの場合、そのデータ（最後から2番目のバイト）を含むICDRRレジスタを読む前に、ICMR3.WAITビットを1（WAITあり）にしてください。これにより、手順（6）のICMR3.ACKBTビットを1（NACK）にする処理が割り込みなどの他の処理によって遅れた場合でも、NACK出力が可能になるとともに、最終バイトの受信時に9クロック目の立ち上がりでSCLnラインをLowに固定して、ストップコンディションの発行が可能になります。
6. ICMR3.RDRFSビットが0で、かつスレーブデバイスに対して、次および最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ICMR3.ACKBTビットを1（NACK）にしてください。
7. 最後から2番目のバイトをICDRRレジスタから読み出した後、ICSR2.RDRFフラグが1であれば、ICCR2.SPビットを1（ストップコンディション要求）にした後、ICDRRレジスタの最終バイトを読み出してください。ICDRRレジスタの読み出し時、IICはウェイト状態から解除され、9クロック目のLow出力終了後またはSCLnラインのLowホールド解除後に、ストップコンディションを発行します。
8. IICはストップコンディションを検出すると、ICCR2.MSTビットとICCR2.TRSビットを自動的に0にして、スレーブ受信モードへ遷移します。また、ストップコンディションの検出によって、ICSR2.STOPフラグが1になります。
9. ICSR2.STOPフラグが1であることを確認した後、次の転送動作のために、ICSR2.NACKFフラグとICSR2.STOPフラグを0にしてください。

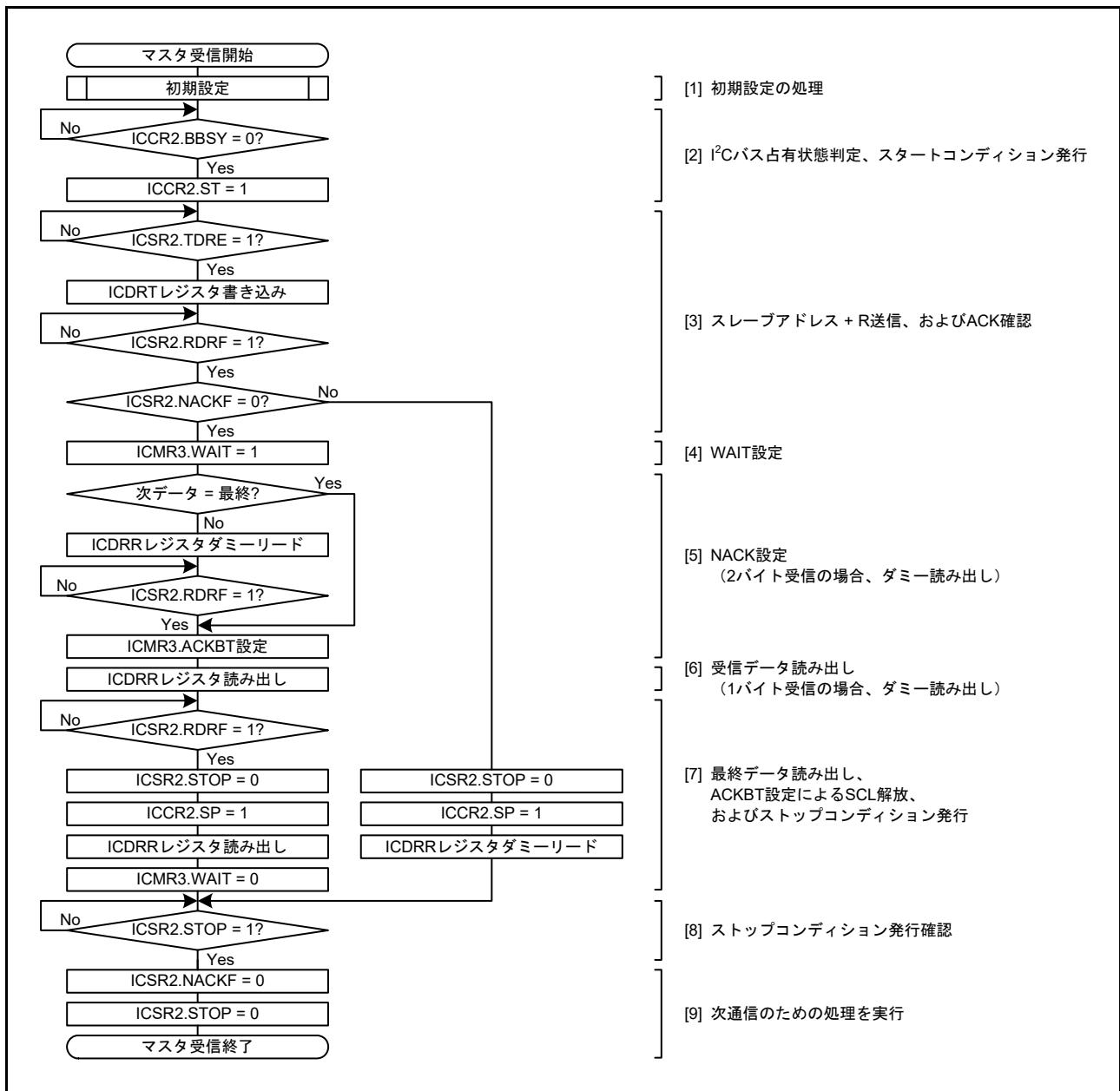


図 29.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットで1または2バイト受信の場合)

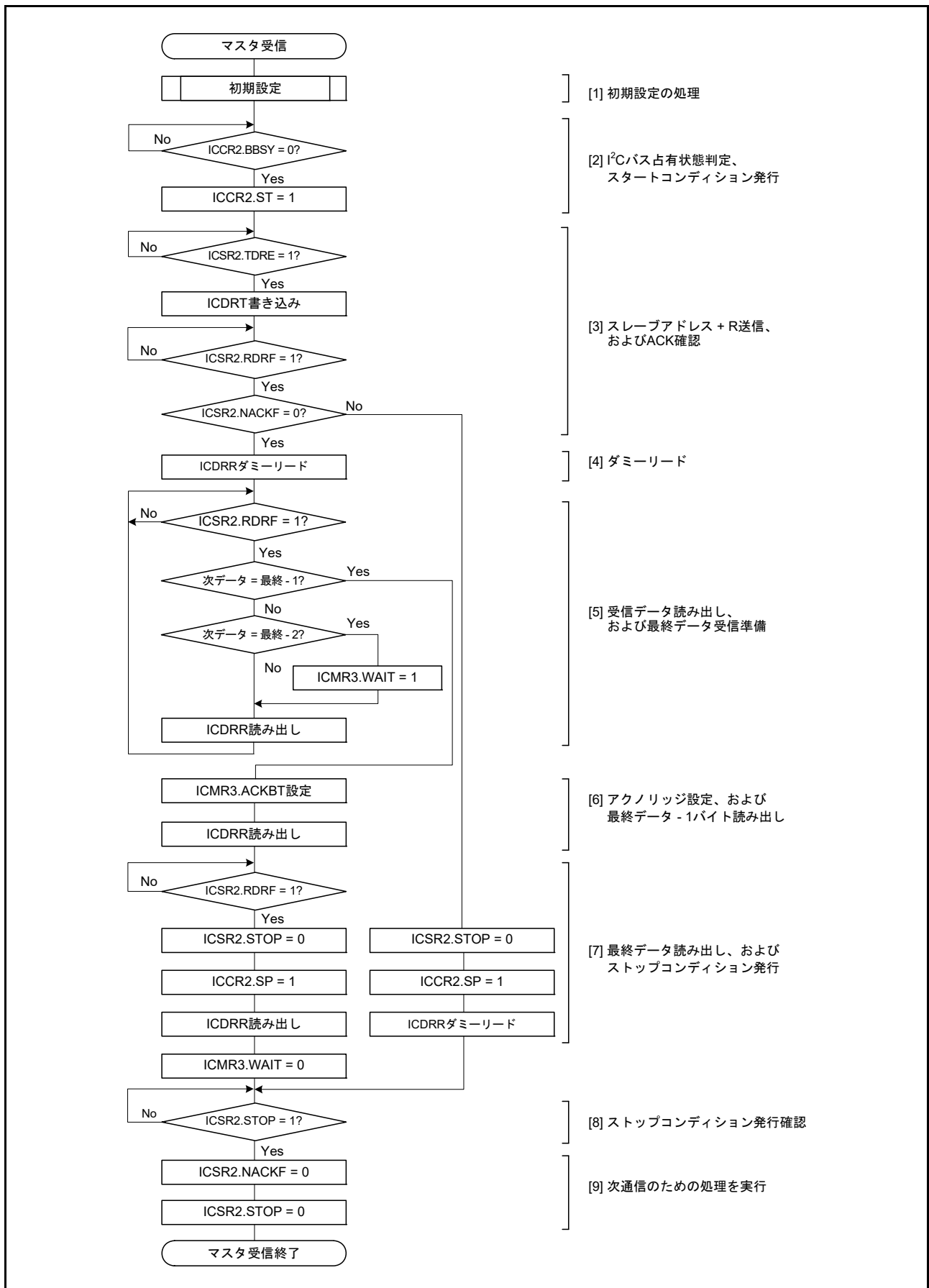


図 29.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマットで3バイト以上受信の場合)

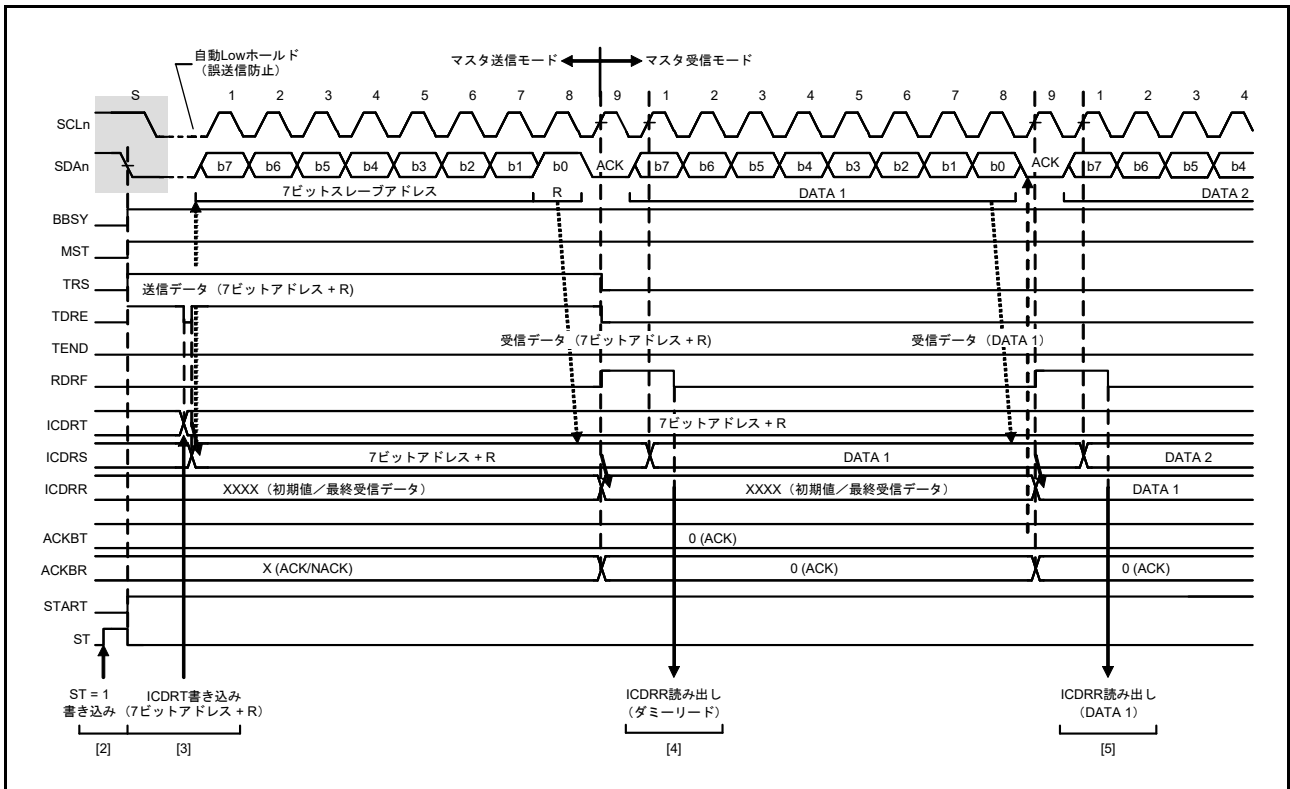


図 29.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマットでRDRFS = 0の場合)

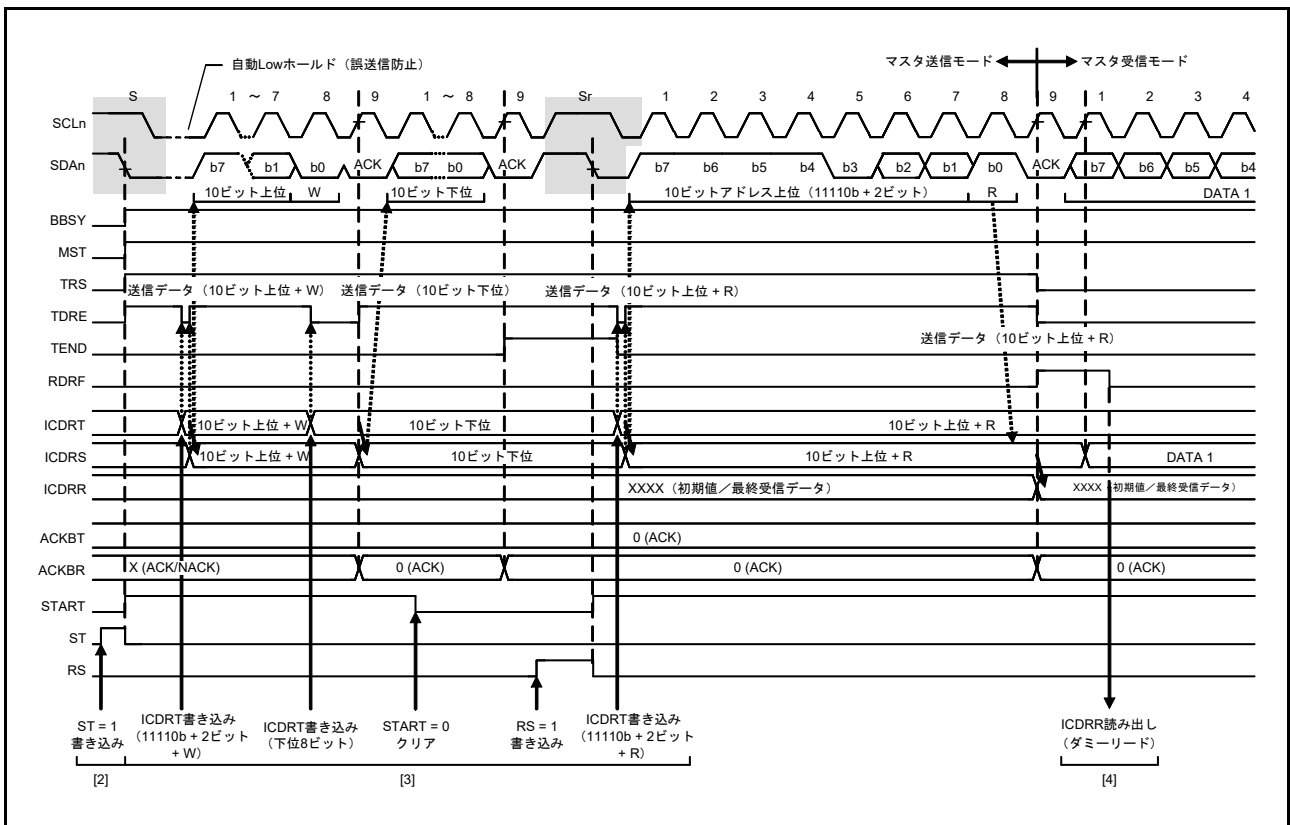


図 29.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマットでRDRFS = 0の場合)

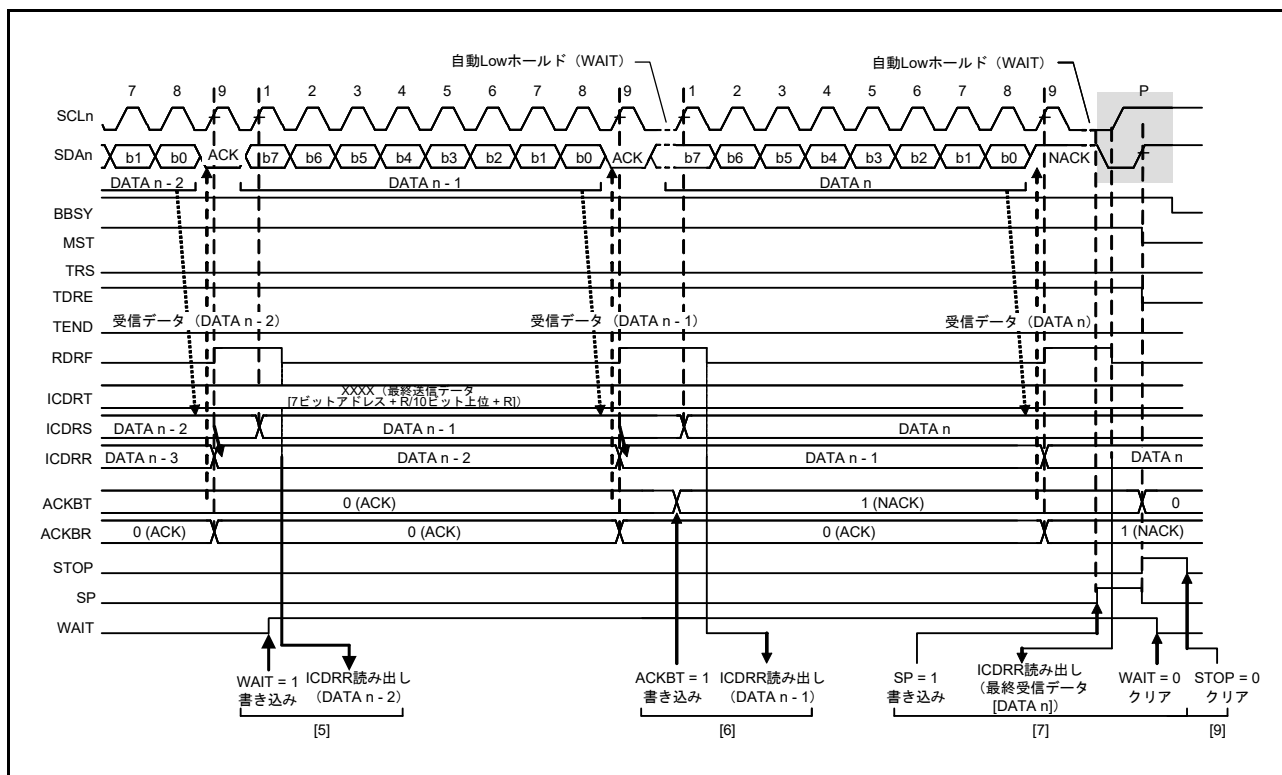


図 29.14 マスタ受信の動作タイミング (3) (RDRFS = 0 の場合)

### 29.3.5 スレーブ送信動作

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである IIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 29.15 にスレーブ送信の例を、図 29.16 ~ 図 29.17 にスレーブ送信の動作タイミングを示します。

スレーブ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、29.3.2 初期設定を参照してください。  
初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AASy フラグ (y=0~2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。このとき、受信した R/W# ビットの値が 1 であれば、IIC は ICCR2.TRS ビットと ICSR2.TDRE フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. ICSR2.TEND フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。このとき、ICFER.NACKF ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった (NACK を受信した) 場合、IIC は次の転送動作を中断します。
4. ICSR2.NACKF フラグが 1 になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが 1 の状態で、ICSR2.TEND フラグが 1 になるまで待ってください。ICSR2.NACKF フラグが 1 または TEND フラグが 1 の場合、IIC は SCL クロックの 9 クロック目の立ち下がり SCLn ラインを Low にします。
5. ICSR2.NACKF フラグが 1 または ICSR2.TEND フラグが 1 の場合、終了処理のため ICDRR レジスタをダミーリードしてください。これによって SCLn ラインが開放されます。
6. IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AASy フラグ (y=0~2)、ICSR2.TDRE、TEND フラグ、および ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

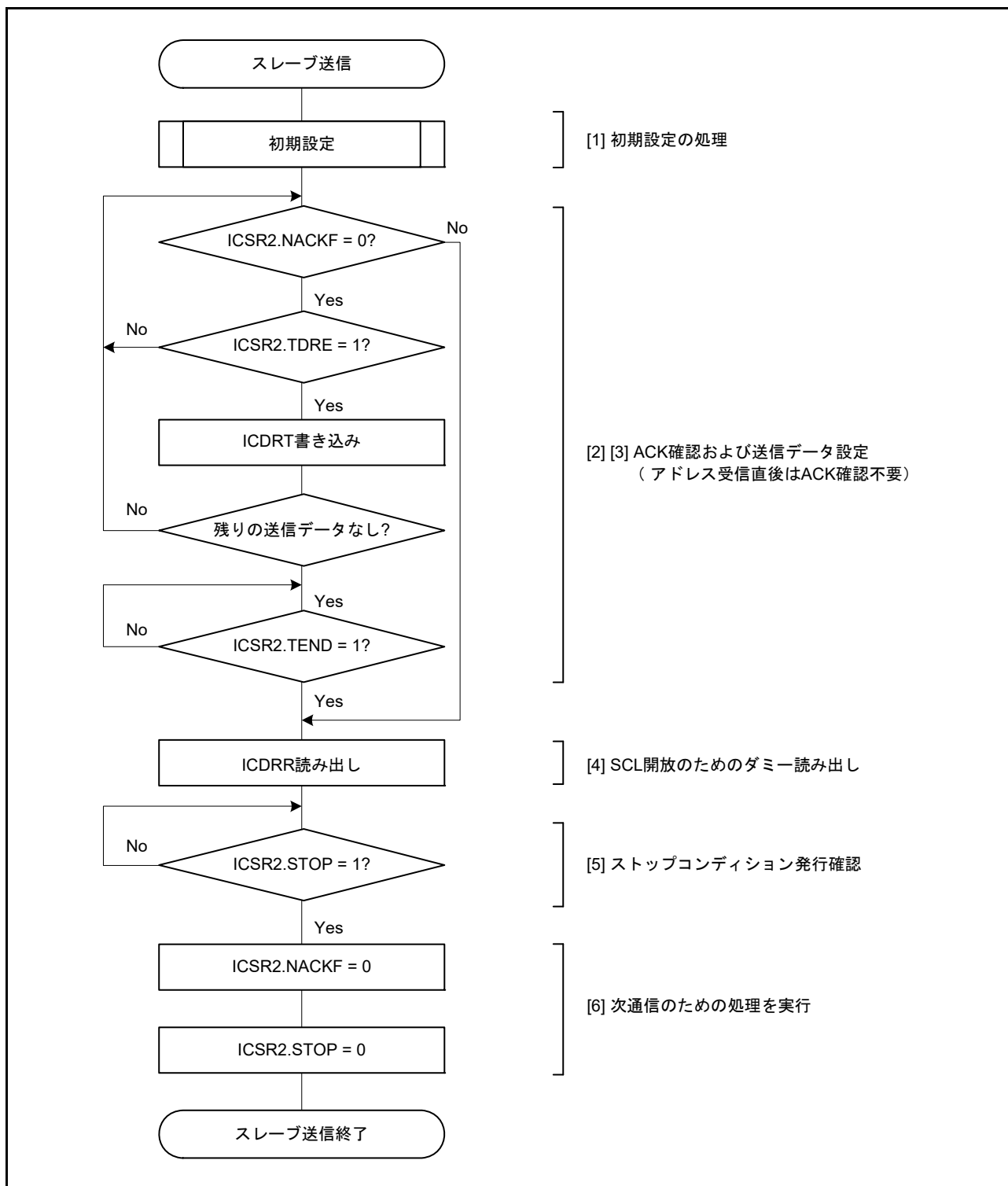


図 29.15 スレーブ送信のフロー例

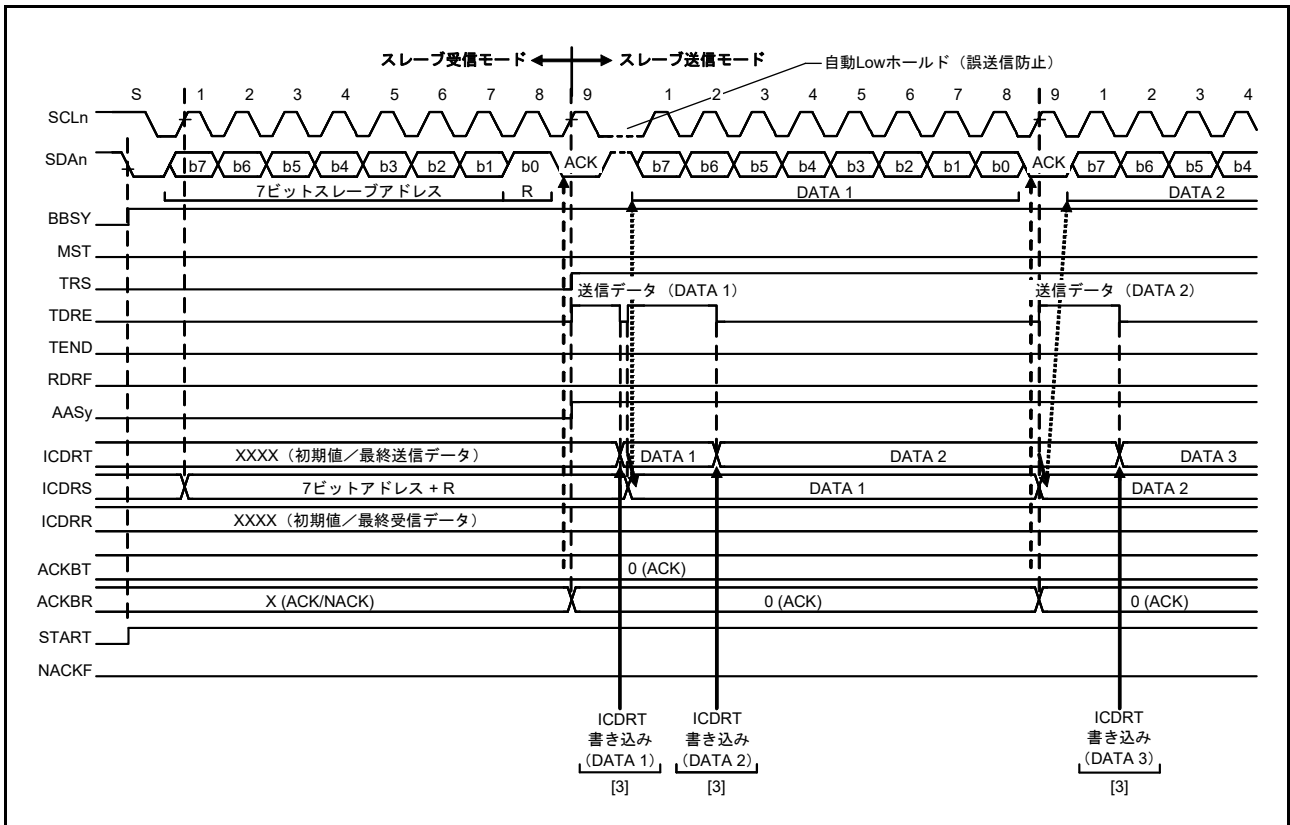


図 29.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマット)

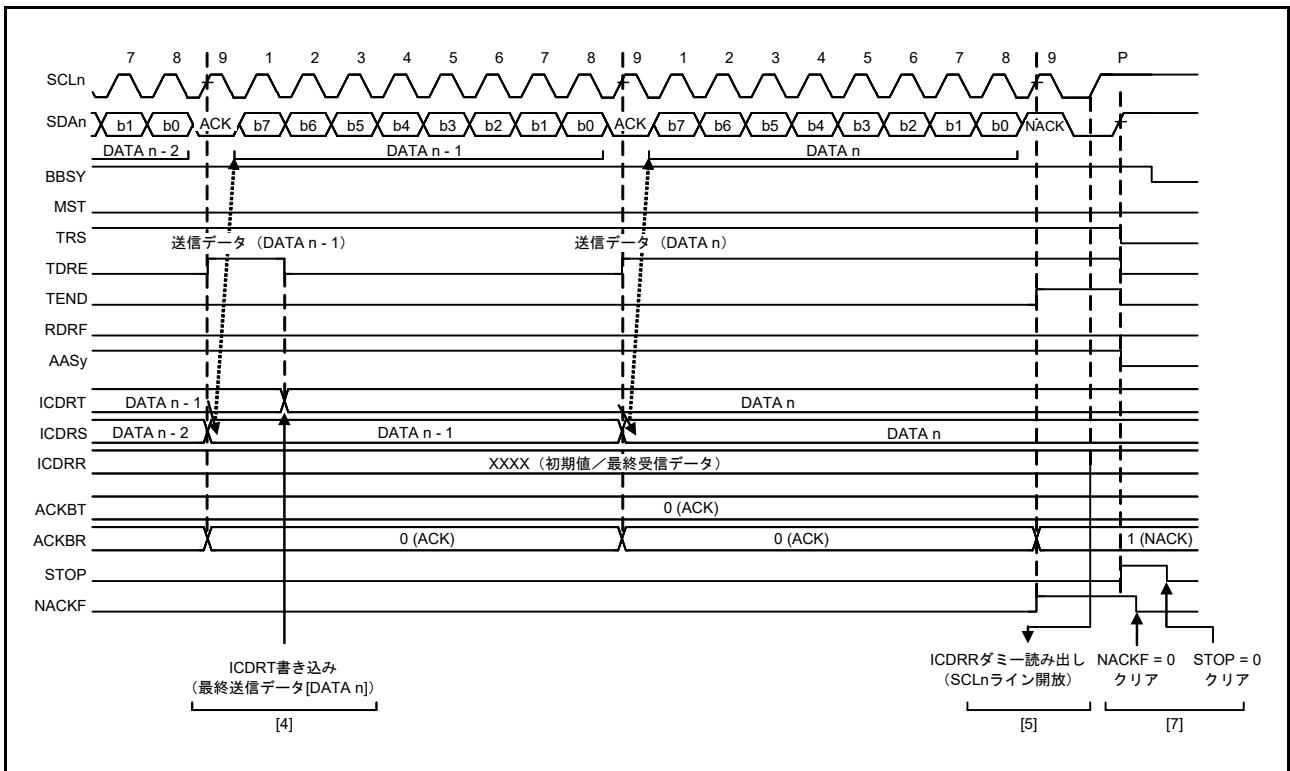


図 29.17 スレーブ送信の動作タイミング (2)



### 29.3.6 スレーブ受信動作

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである IIC がアクノリッジを返します。

図 29.18 にスレーブ受信の例を、図 29.19 ~ 図 29.20 にスレーブ受信の動作タイミングを示します。

スレーブ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、29.3.2 初期設定を参照してください。  
初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AASy フラグ (y=0~2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。このとき、受信した R/W# ビットの値が 0 であれば、IIC はスレーブ受信モードを継続し、ICSR2.RDRF フラグを 1 にします。
3. ICSR2.STOP フラグが 0 であることと、ICSR2.RDRF フラグが 1 であることを確認し、ICDRR レジスタをダミーで読んでください。ダミーリードした値は、7 ビットアドレスフォーマット選択時はスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです。
4. ICDRR レジスタが読み出されると、IIC は ICSR2.RDRF フラグを自動的に 0 にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが 1 になった状態で次のバイトを受信すると、IIC は RDRF フラグが設定されるポイントの 1 つ手前の SCL クロックで SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され、IIC は SCLn ラインを開放します。ICSR2.STOP フラグが 1 で、かつ ICSR2.RDRF フラグが 1 の場合、全データの受信が完了するまで ICDRR レジスタを読み出してください。
5. IIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy フラグ (y=0~2) を自動的に 0 にします。
6. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために ICSR2.STOP フラグを 0 にしてください。

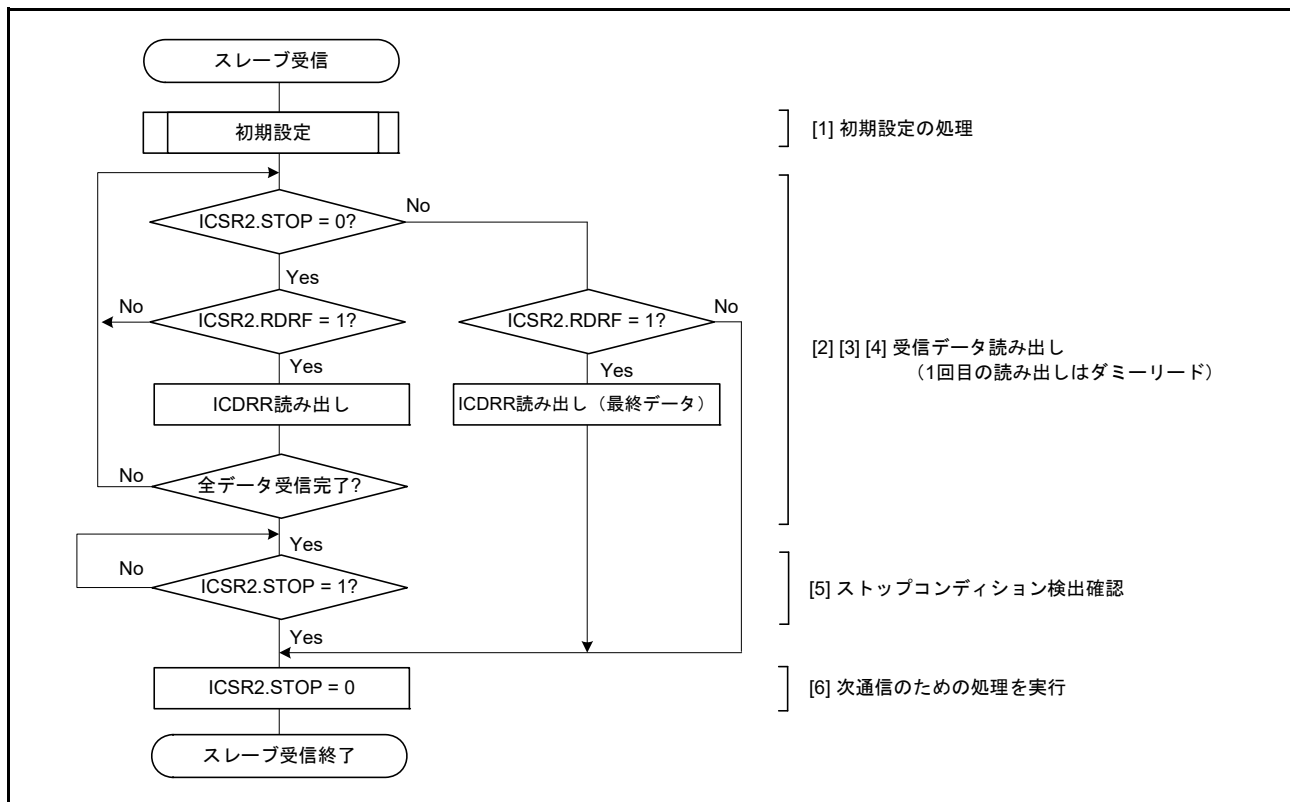


図 29.18 スレーブ受信のフロー例

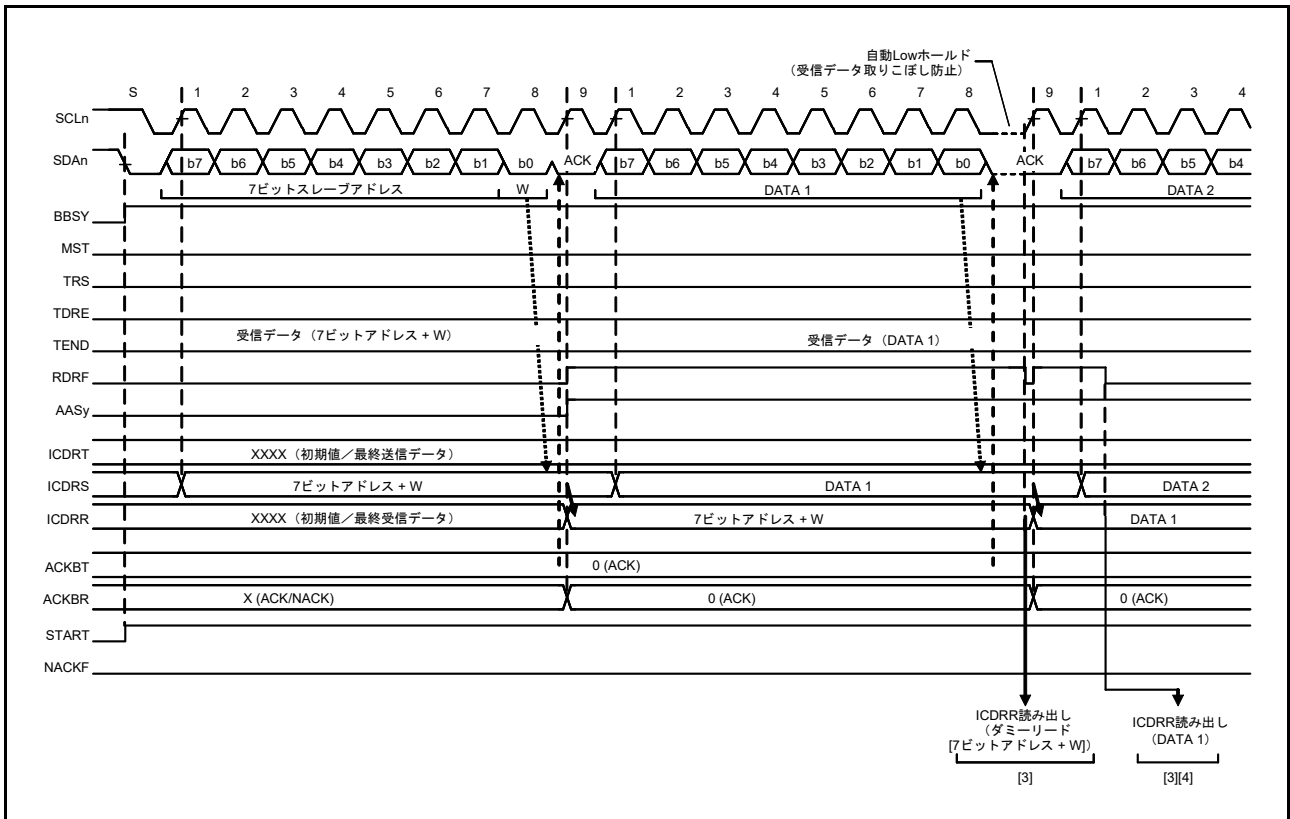


図 29.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマットでRDRFS = 0の場合)

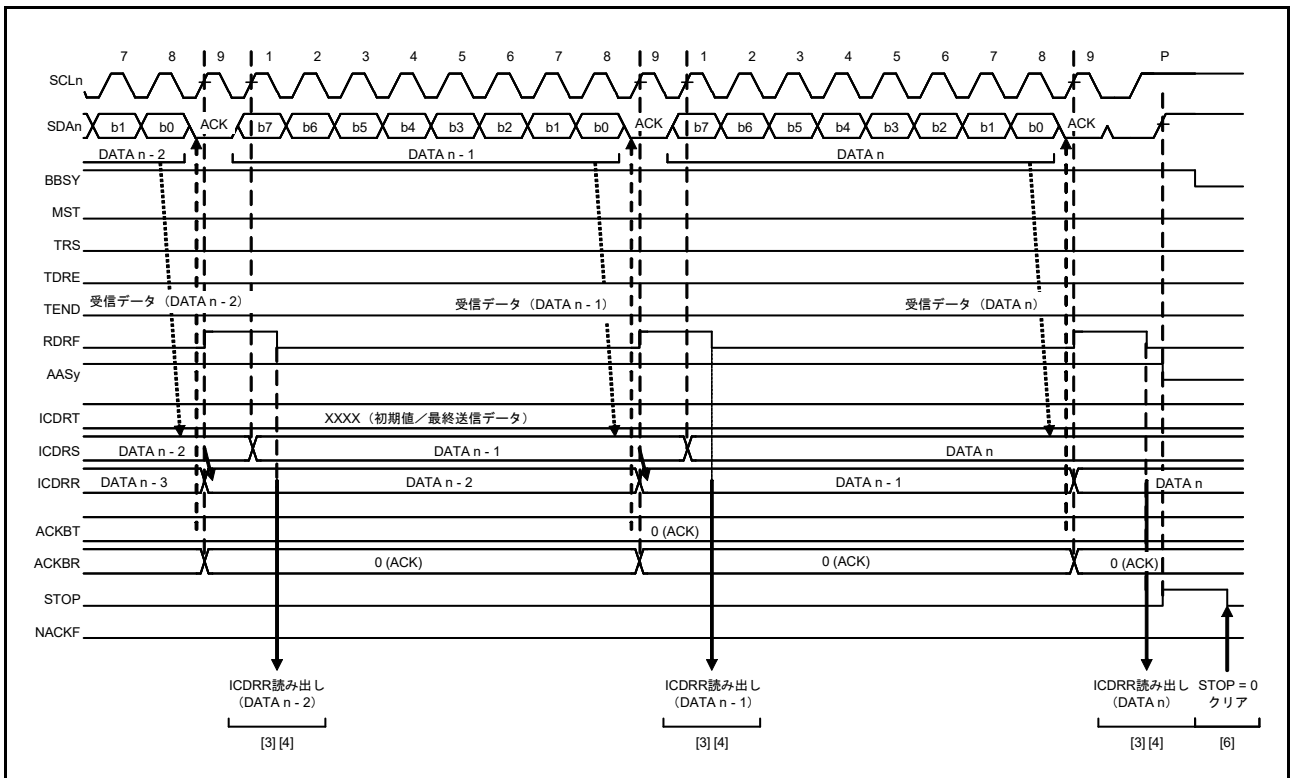


図 29.20 スレーブ受信の動作タイミング (2) (RDRFS = 0の場合)

## 29.4 SCL 同期回路

SCL クロック生成では、IIC が SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定した High 幅のカウンタを開始し、カウンタが終了すると SCLn ラインを Low にします。また、IIC が SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定した Low 幅のカウンタを開始し、カウンタが終了すると SCLn ラインを開放します。IIC はこのプロセスを繰り返すことによって、SCL クロックを生成します。

I<sup>2</sup>C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、IIC はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る SCL 同期回路を備えています。

IIC が SCLn ラインの立ち上がりエッジを検出して、ICBRH レジスタで指定した High 幅のカウンタを開始し、他のマスタデバイスが生成している SCL 信号によって SCLn ラインのレベルが Low になると、IIC は以下の処理を実行します。

1. 立ち下がりエッジを検出すると、カウンタを停止します。
2. SCLn ラインのレベルを Low に変化させます。
3. ICBRL レジスタで指定した Low 幅のカウンタを開始します。

Low 幅のカウンタが終了すると、IIC は、SCLn ラインのレベルを Low にするのを停止し、SCLn ラインを開放します。他のマスタデバイスからの SCL クロック信号の Low 幅が、IIC 側で設定した Low 幅よりも長いと、SCL 信号の Low 幅が延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの解放によって SCL クロック信号が立ち上がります。

IIC が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが開放され、SCL クロックが立ち上がります。すなわち、マルチマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。なお、この SCL 信号同期は、ICFER.SCLE ビットが 1 のときのみ有効です。

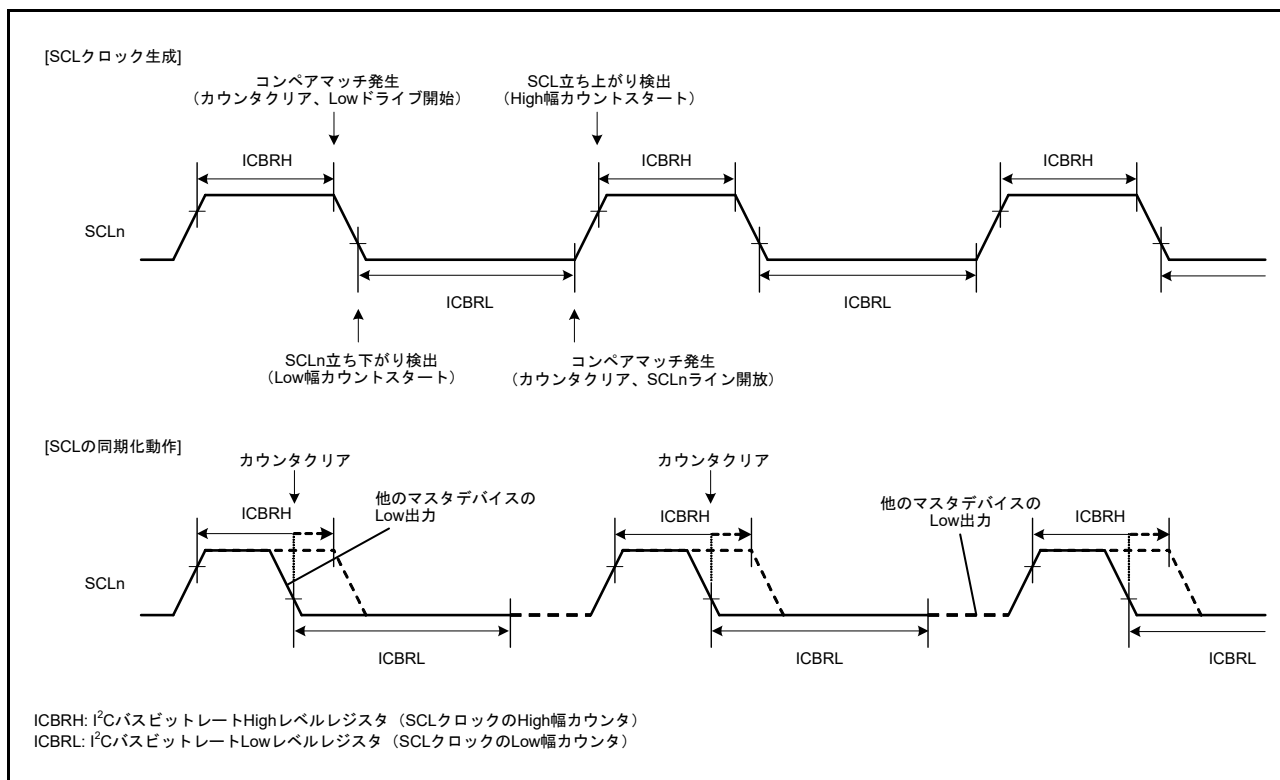


図 29.21 IIC の SCL クロック生成および SCL 同期化動作

### 29.5 SDA出力遅延機能

IICモジュールはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング（スタート/リスタート/ストップコンディションの発行、データ出力、ACK/NACK出力）を遅延させることができます。

この機能は、SCL信号の立ち下がり検出からSDA出力を遅延させ、SCLクロックがLowである期間中に確実にSDA信号が出力されるようにします。この方法により、SMBus仕様の最小データホールド時間（300ns）の要件を満たして、通信デバイスの誤動作を防止できるようになります。このSDA出力遅延機能は、ICMR2.SDDL[2:0]ビットが000b以外のとき有効で、SDDL[2:0]ビットが000bのとき無効です。

SDA出力遅延機能が有効のとき、たとえばICMR2.DLCSビットは、IICモジュール用の内部基本クロック（IICφ）とその2分周クロック（IICφ/2）のどちらをSDA出力遅延カウンタのクロックソースとして使用するかを選択します。カウンタは、ICMR2.SDDL[2:0]ビットに設定されたサイクル数をカウントします。遅延カウントに達すると、IICモジュールはSDAライン上で必要な出力（スタート/リスタート/ストップコンディション、データ、ACK/NACK信号）を行います。

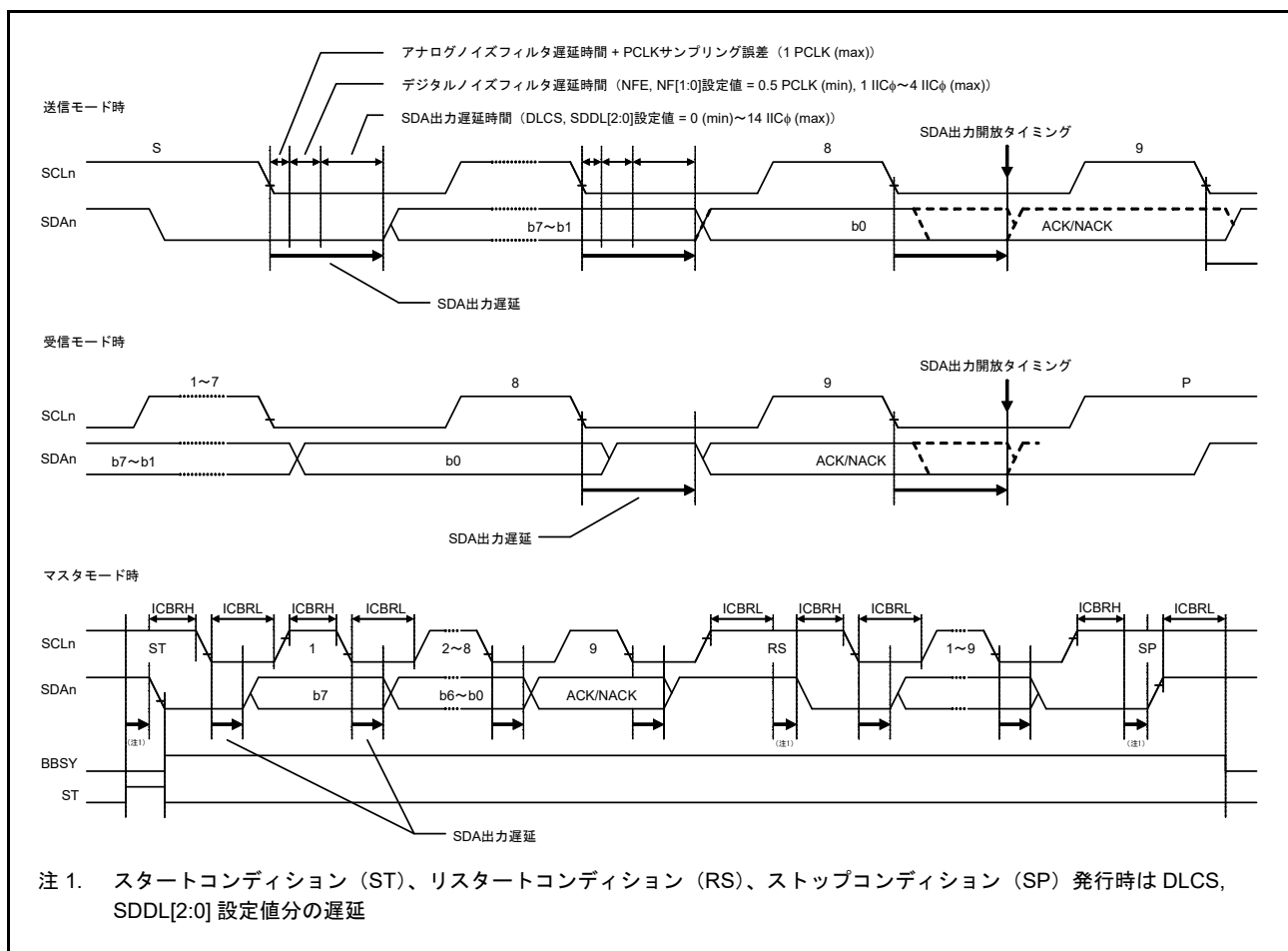


図 29.22 SDA出力遅延機能

## 29.6 デジタルノイズフィルタ回路

SCL<sub>n</sub> 端子および SDA<sub>n</sub> 端子の状態は、内部からはアナログノイズフィルタ回路およびデジタルノイズフィルタ回路を通じて確認できます。図 29.23 にデジタルノイズフィルタ回路のブロック図を示します。

IIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択します。ノイズ除去能力は、選択した有効段数に応じて 1IIC<sub>φ</sub> ~ 4IIC<sub>φ</sub> サイクル分となります。

SCL<sub>n</sub> 端子入力信号（または SDA<sub>n</sub> 端子入力信号）は IIC<sub>φ</sub> の立ち下がりでもサンプリングされます。入力信号レベルが、ICMR3.NF[1:0] ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。一致しない場合は前のレベルを保持します。

なお、内部動作クロック (PCLKB) の周波数と転送速度の比が小さい場合、たとえば PCLKB = 4MHz 時の 400kbps データ転送では、デジタルノイズフィルタは有効信号をノイズとして処理する可能性があります。そのような場合は、ICFER.NFE ビットを 0 にすることでデジタルノイズフィルタ回路を無効にし、アナログノイズフィルタ回路のみを使用することが可能です。

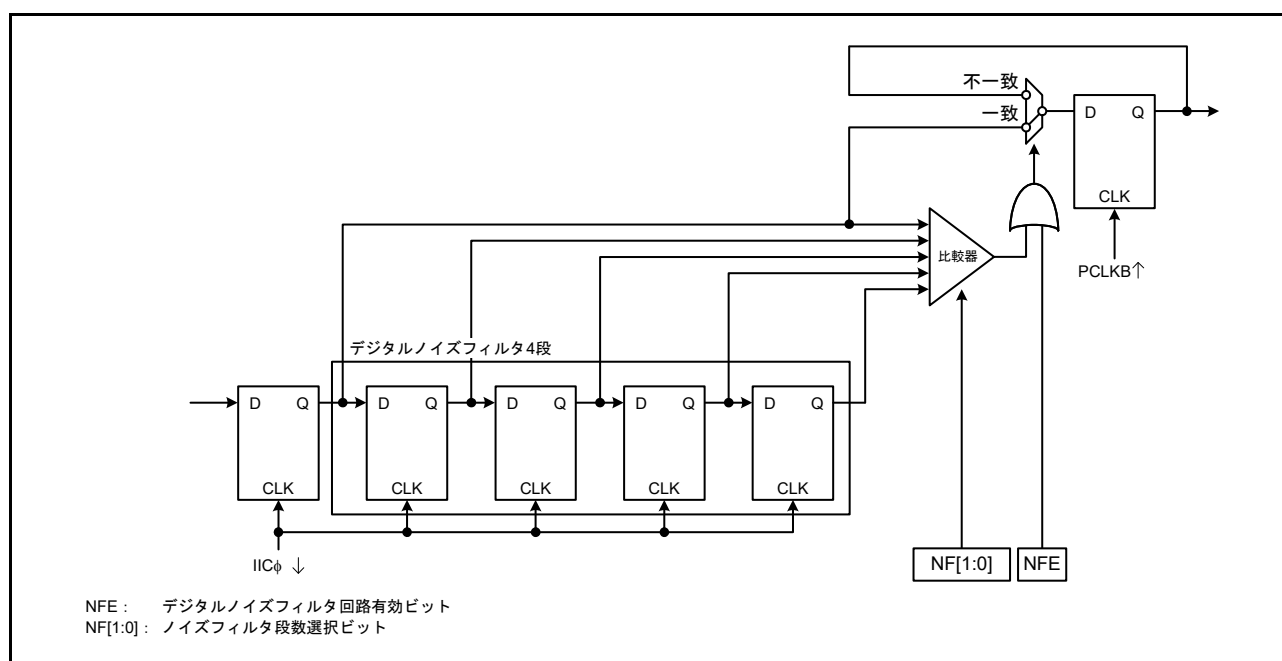


図 29.23 デジタルノイズフィルタ回路のブロック図

## 29.7 アドレス一致検出機能

IICは、ジェネラルコールアドレス、ホストアドレスの他に3種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7ビットアドレスまたは10ビットアドレスを設定できます。

### 29.7.1 スレーブアドレス一致検出機能

IICは3種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。ICSER.SARyEビット ( $y=0\sim 2$ ) が1のとき、SARUyおよびSARLyレジスタ ( $y=0\sim 2$ ) に設定されたスレーブアドレスを検出できます。

IICが設定されたスレーブアドレス一致を検出すると、対応するICSR1.AASyフラグ ( $y=0\sim 2$ ) がSCLクロックの9クロック目の立ち上がりで1になり、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグが1になります。これによって、受信データフル割り込み (IICn\_RXI) または送信データエンプティ割り込み (IICn\_TXI) を発生させることができます。どのスレーブアドレスが指定されたかはAASyフラグで識別できます。

図 29.24 ~ 図 29.26 に AASy フラグが 1 になるタイミングを 3 つのケースで示します。

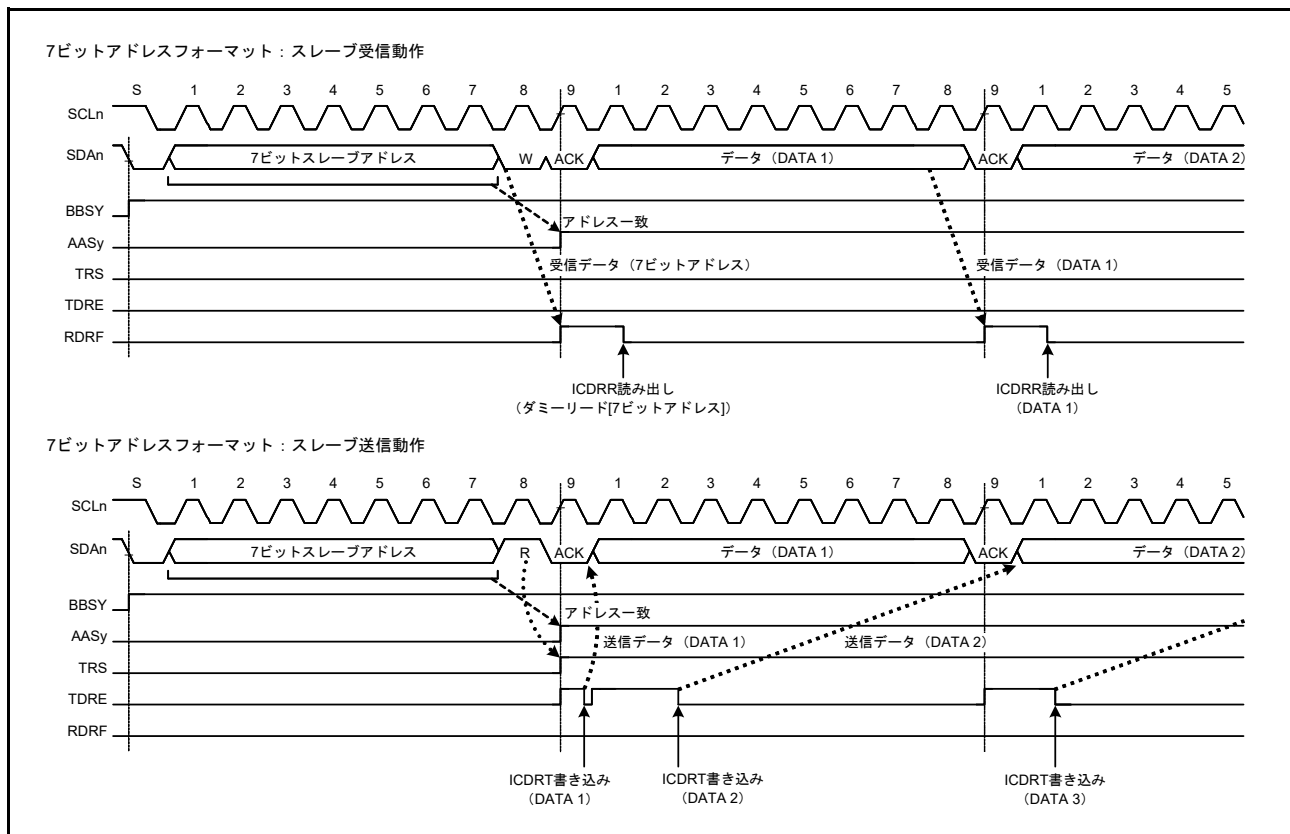


図 29.24 AASy フラグが 1 になるタイミング (7 ビットアドレスフォーマット)

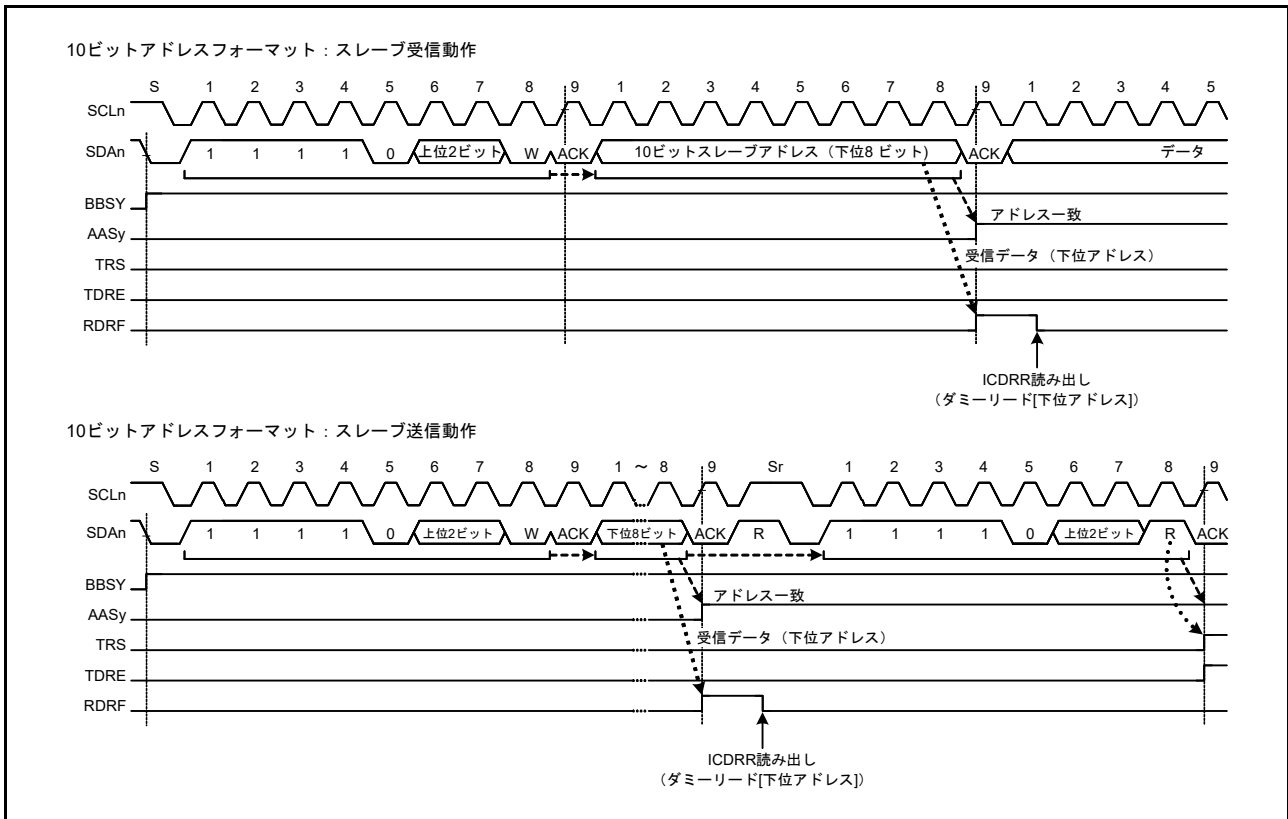


図 29.25 AASy フラグが 1 になるタイミング (10 ビットアドレスフォーマット)

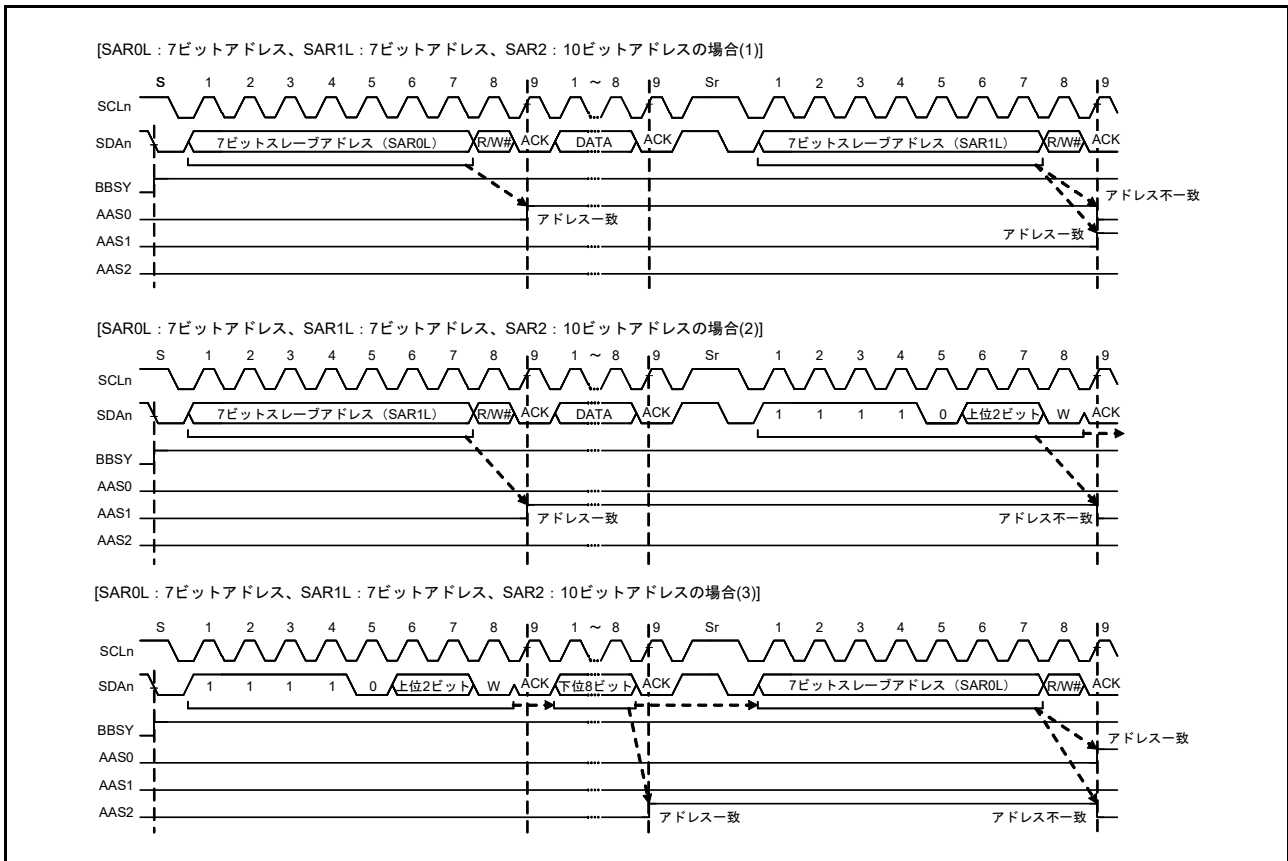


図 29.26 AASy フラグが 1 または 0 になるタイミング (7 ビット / 10 ビットアドレスフォーマット混在)

### 29.7.2 ジェネラルコールアドレス検出機能

IICは、ジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。この機能は、ICSER.GCAE ビットを1にすることで有効になります。

スタートコンディションまたはリスタートコンディション発行後に受信したアドレスが 0000 000b + 1[R] (開始バイト) の場合は、IICはスレーブアドレスの内容はすべて0であるとみなし、ジェネラルコールアドレスは認識しません。

IICがジェネラルコールアドレスを検出すると、SCLクロックの9クロック目の立ち上がりでICSR1.GCAフラグとICSR2.RDRFフラグが1になります。これによって、受信データフル割り込み (IICn\_RXI) が発生します。GCAフラグを確認することで、ジェネラルコールアドレスが送信されたことを確認できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

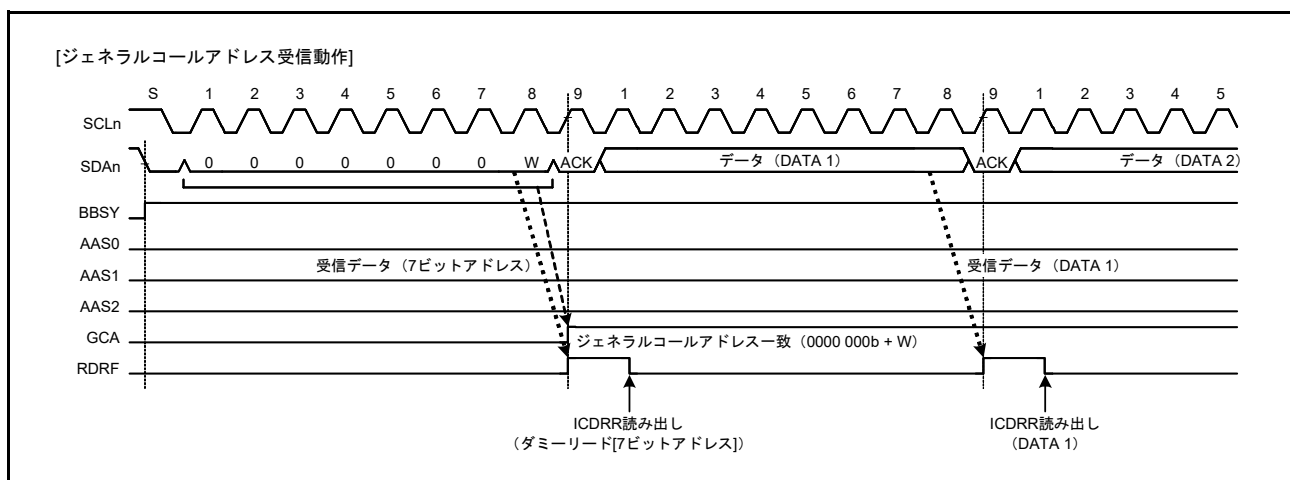


図 29.27 ジェネラルコールアドレス受信時に GCA フラグが1になるタイミング

### 29.7.3 デバイス ID アドレス検出機能

IICでは、I<sup>2</sup>Cバスの仕様 (リビジョン 03) に準拠したデバイス ID アドレスの検出が可能です。ICSER.DIDE ビットを1にした状態で、スタートコンディションまたはリスタートコンディション発行後の1バイト目に1111 100bを受信すると、IICはこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが0のとき、SCLクロックの8クロック目の立ち上がりでICSR1.DIDフラグを1にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、IICは対応するICSR1.AASyフラグ (y=0~2) を1にします。

スタートコンディションまたはリスタートコンディション発行後の1バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが1のとき、IICは続く2バイト目以降はアドレス比較を行わず、ICSR2.TDREフラグを1にします。

デバイス ID アドレス検出機能では、IICスレーブアドレスと一致しなかった場合、あるいはIICスレーブアドレスが一致し、リスタートコンディションの検出後のアドレスがデバイス ID アドレスと一致しなかった場合、IICはDIDフラグを0にします。スタートコンディションまたはリスタートコンディション検出後の1バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが0の場合は、IICはDIDフラグを1にして、続く2バイト目以降をIICのスレーブアドレスと比較します。R/W# ビットが1の場合、DIDフラグは前値の状態を継続し、IICは2バイト目以降の比較を行いません。このようにして、TDRE=1の確認後、DIDフラグを読むことで、デバイス ID アドレスを受信したことを確認することが可能です。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3バイトデータ: メーカー情報 [12ビット] + 部品識別 [9ビット] + リビジョン [3ビット]) を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP社にお問い合わせください。



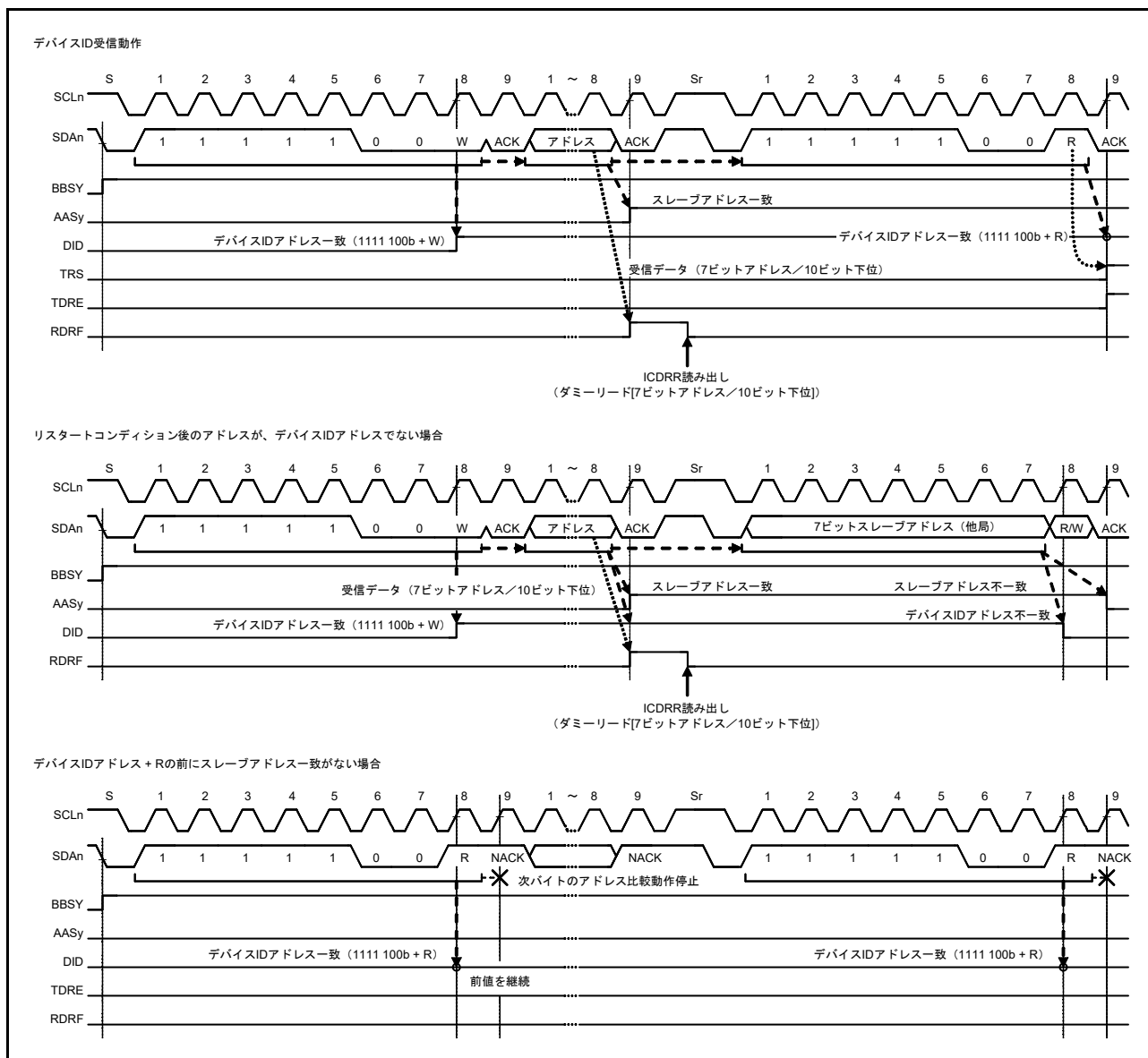


図 29.28 デバイス ID 受信時の AASy および DID フラグのセット/クリアタイミング

### 29.7.4 ホストアドレス検出機能

IICは、SMBus動作時のホストアドレス検出機能を備えています。ICMR3.SMBSビットが1のときICSER.HOAEビットを1にすると、スレーブ受信モード (ICCR2.MST、TRSビット=00b) 時に、ホストアドレス (0001 000b) の検出が可能です。

IICがホストアドレスを検出すると、SCLクロックの9クロック目の立ち上がりでICSR1.HOAフラグが1になり、R/W#ビットが0 (Wrビット) のとき、ICSR2.RDRFフラグが1になります。これによって、受信データフル割り込み (IICn\_RXI) が発生します。HOAフラグは、他のデバイスからホストアドレスが送信されたことを示します。

なお、ホストアドレス (0001 000b) に続くビットが読み出しビット (R/W#ビット=1) の場合にも、ホストアドレスの検出が可能です。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

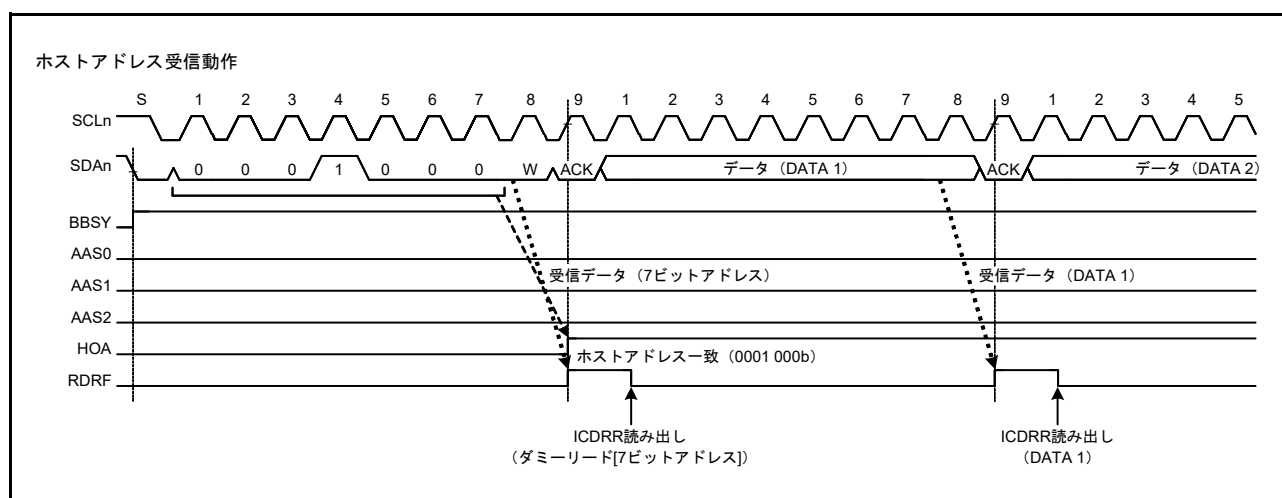


図 29.29 ホストアドレス受信時に HOA フラグが 1 になるタイミング

## 29.8 ウェイクアップ機能

IICは、MCUをソフトウェアスタンバイモードから通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、システムクロック停止時にデータの受信を許可し、受信データのスレーブアドレスが一致した場合にウェイクアップ割り込み信号を生成します。この割り込み信号が、通常動作への復帰をトリガします。

ウェイクアップ機能には、下記の4つの動作モードがあります。

- ノーマルウェイクアップモード1
- ノーマルウェイクアップモード2
- コマンドリカバリモード
- EEP 応答モード

表 29.9 に各モードの動作を示します。

表 29.9 ウェイクアップ動作モード

動作モード	ACK応答タイミング	ウェイクアップ前のACK応答	ウェイクアップ時のSCL状態
ノーマルウェイクアップモード1	ウェイクアップ前	ACK	Lowに固定
ノーマルウェイクアップモード2	ウェイクアップ後	ウェイクアップ前：応答なし ウェイクアップ後：ACK応答	Lowに固定
コマンドリカバリモード	ウェイクアップ前	ACK	解放
EEP 応答モード	ウェイクアップ前	NACK	解放

### ウェイクアップ機能使用時の注意事項

1. ウェイクアップ割り込みによってソフトウェアスタンバイモードから通常動作へ遷移させた後、ウェイクアップ機能を無効 (WUE=0) にしてください。
2. WUF が 0 の場合は、ウェイクアップ割り込みによってシステムクロックが回復しても、IIC レジスタの内容を変更しないでください。WUF が 1 であることを確認してから、レジスタ設定を行ってください。
3. ソフトウェアスタンバイモードへ遷移する前に、WUE、WUIE ビットを 1 に、MST、TRS ビットを 0 (スレーブ受信モード) にしてください。
4. BBSY が 1 のときは、ソフトウェアスタンバイモードにしないでください。
5. ウェイクアップ機能は、スレーブアドレスレジスタ SARL0 の 7 ビットスレーブアドレス、ジェネラルコールアドレス、およびホストアドレスをサポートしています。10 ビットスレーブアドレス、SARL1、SARL2 はサポートされていません。
6. ウェイクアップ機能を有効にする場合、ICIER レジスタの TIE、TEIE、RIE、NAKIE、SPIE、STIE、ALIE、および TMOIE の各ビットで選択可能な割り込みは禁止してください。
7. ウェイクアップ機能を有効にする場合、タイムアウト機能を使用しないでください。
8. ウェイクアップ割り込み以外の割り込み (IRQn など) で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは 1 になりません。図 29.31 および図 29.36 に示す処理に従ってください。

### 29.8.1 ノーマルウェイクアップモード 1

以下では、ノーマルウェイクアップモード 1 の動作、タイミング、および動作例について説明します。

ノーマルウェイクアップモード 1 では、スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のような通常動作への遷移が行われます。

ウェイクアップ前 : IIC の自スレーブアドレスとともに受信したデータに対して ACK を送信する。

ウェイクアップ中 : SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う。(注 1)

ウェイクアップ後 : 通常動作が継続する。

スレーブアドレスが不一致の場合、SCL の 9 クロック目の立ち下がり後に SCL ラインの Low ホールドは行われず、スレーブ動作が継続します。

図 29.30 に動作例を、図 29.32 に詳細なタイミングを示します。

注 1. ウェイクアップ中の 9 クロック目と 1 クロック目の間では、WAIT = 1 は無効です。

ウェイクアップ割り込み以外の割り込み (IRQn など) で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは 1 になりません。図 29.31 に動作例を示します。

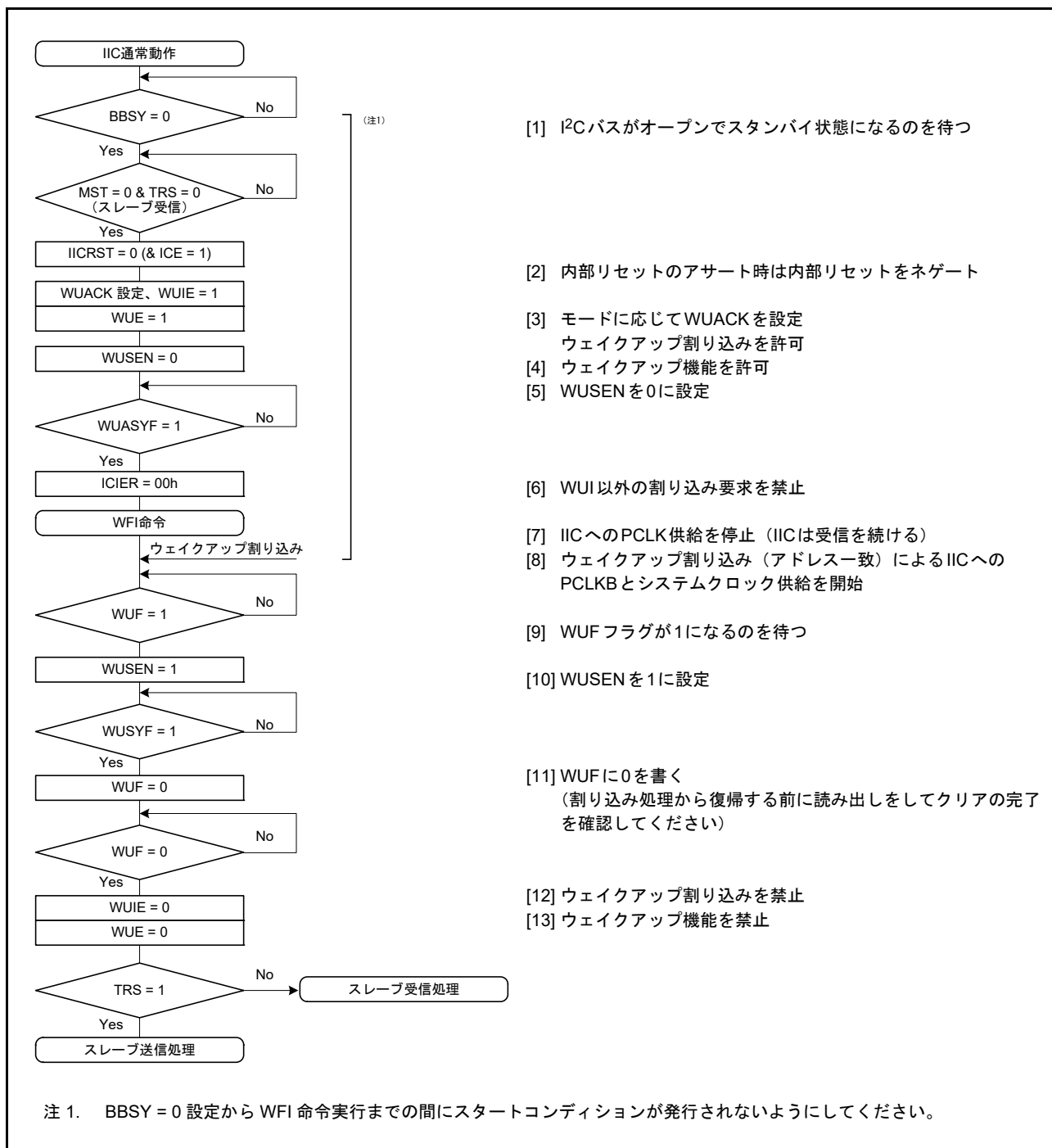


図 29.30 ノーマルウェイクアップモード1の動作例 (スレープアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

注. [ウェイクアップ機能使用時の注意事項](#)を参照してください。

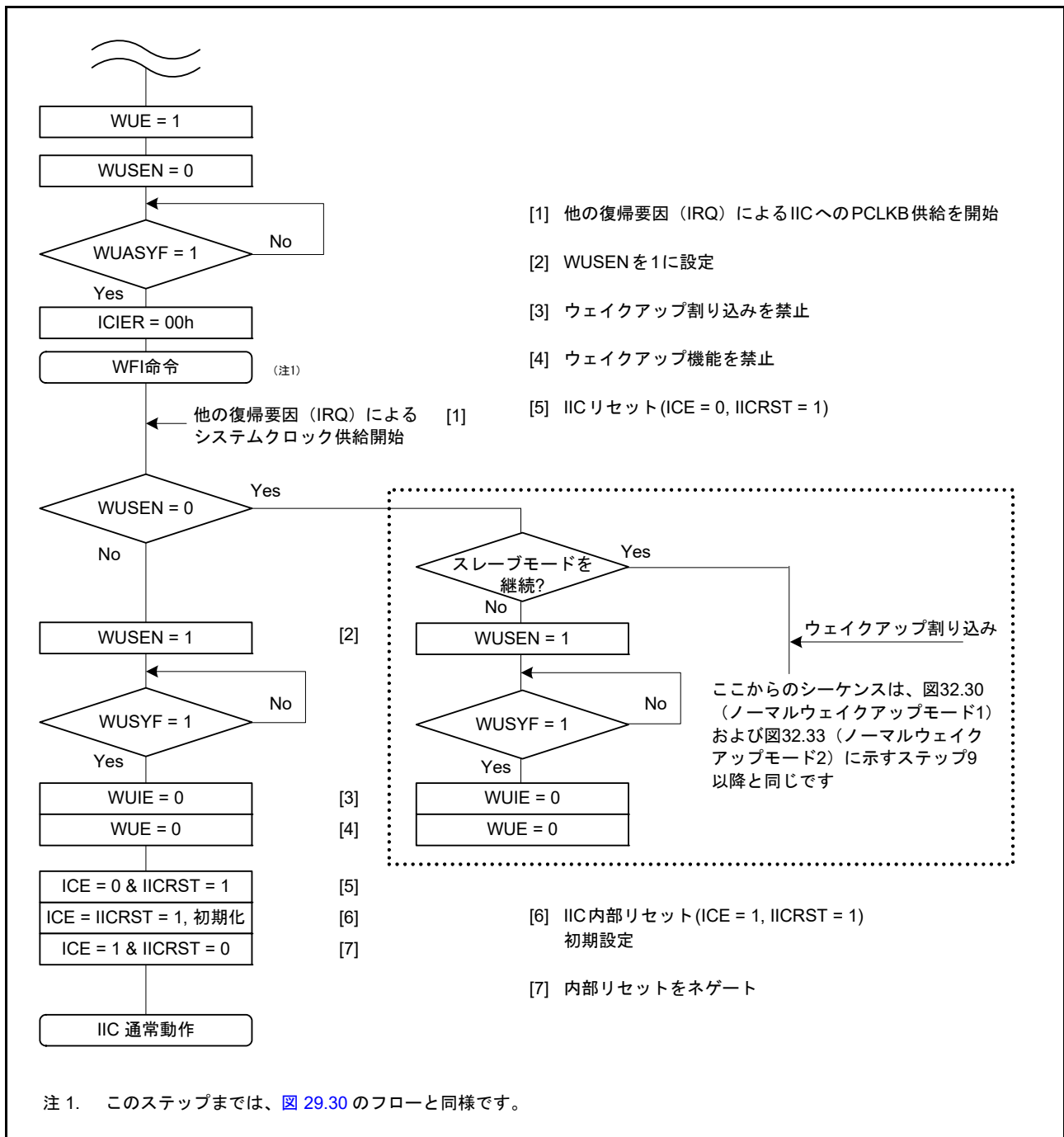


図 29.31 ノーマルウェイクアップモード 1 および 2 の動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

注 . IIC 初期設定の詳細は、29.3.2 初期設定を参照してください。

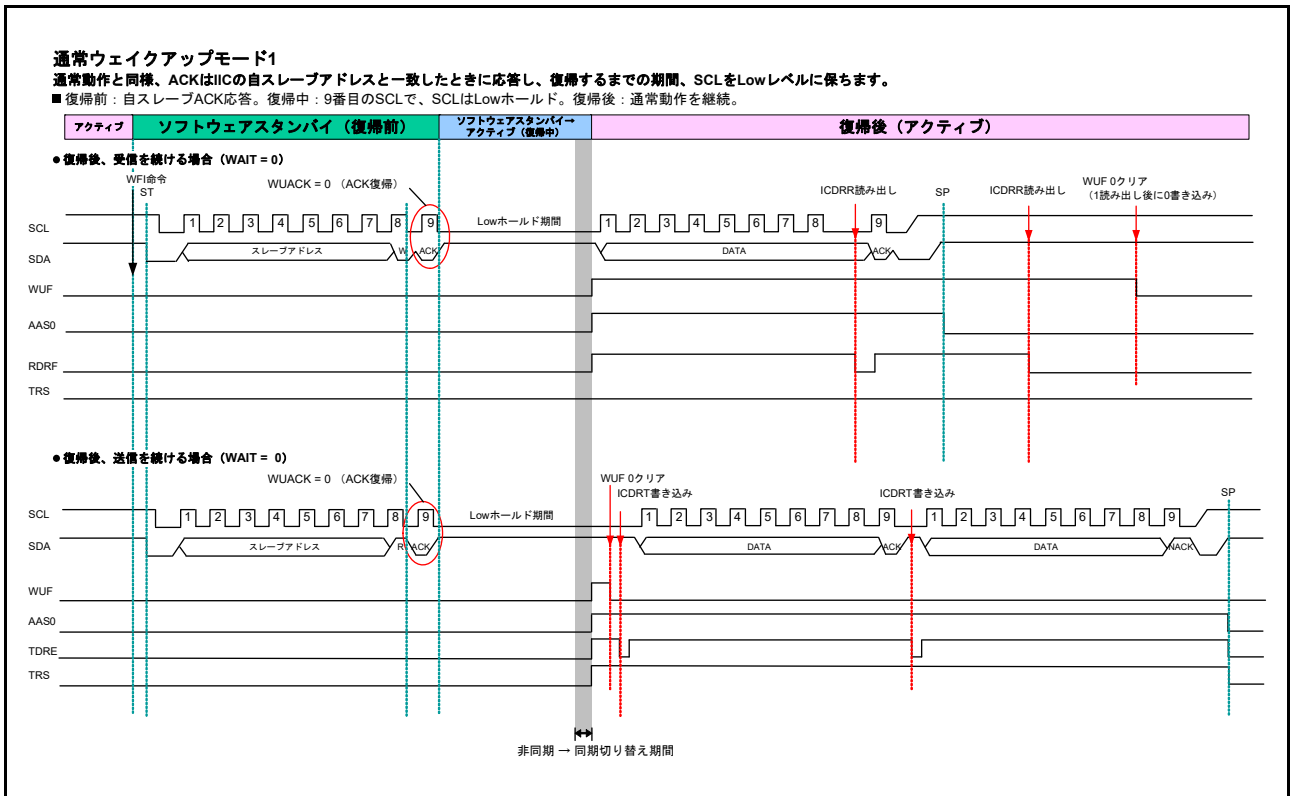


図 29.32 ノーマルウェイクアップモード1のタイミング

### 29.8.2 ノーマルウェイクアップモード2

以下では、ノーマルウェイクアップモード2の動作、タイミング、および動作例について説明します。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前：IICの自スレーブアドレスとともに受信したデータに対してSCLの8クロック目の終わりまで応答しない。

ウェイクアップ中：8クロック目と9クロック目の間でSCLラインのLowホールドを行う。

ウェイクアップ後：SCLの9クロック目でACKを返し、通常動作が継続する。

スレーブアドレスが不一致の場合、SCLの8クロック目の後にSCLラインのLowホールドは行われず、スレーブ動作が継続します。

図 29.33 に動作例を、図 29.34 に詳細なタイミングを示します。

ウェイクアップ割り込み以外の割り込み (IRQn など) で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUFフラグは1になりません。図 29.31 に示す処理に従ってください。

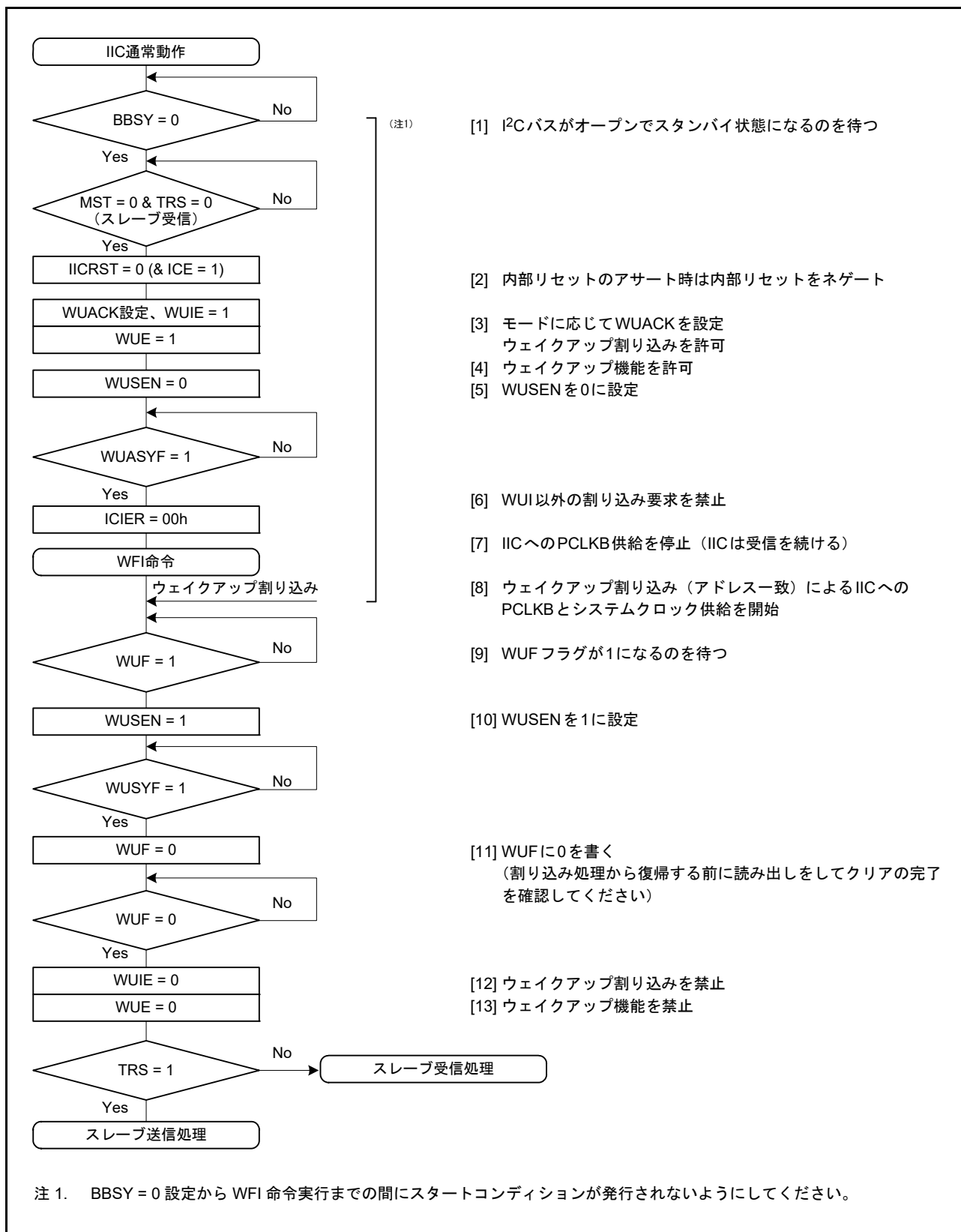


図 29.33 ノーマルウェイクアップモード 2 の動作例 (スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

注. ウェイクアップ機能使用時の注意事項を参照してください。



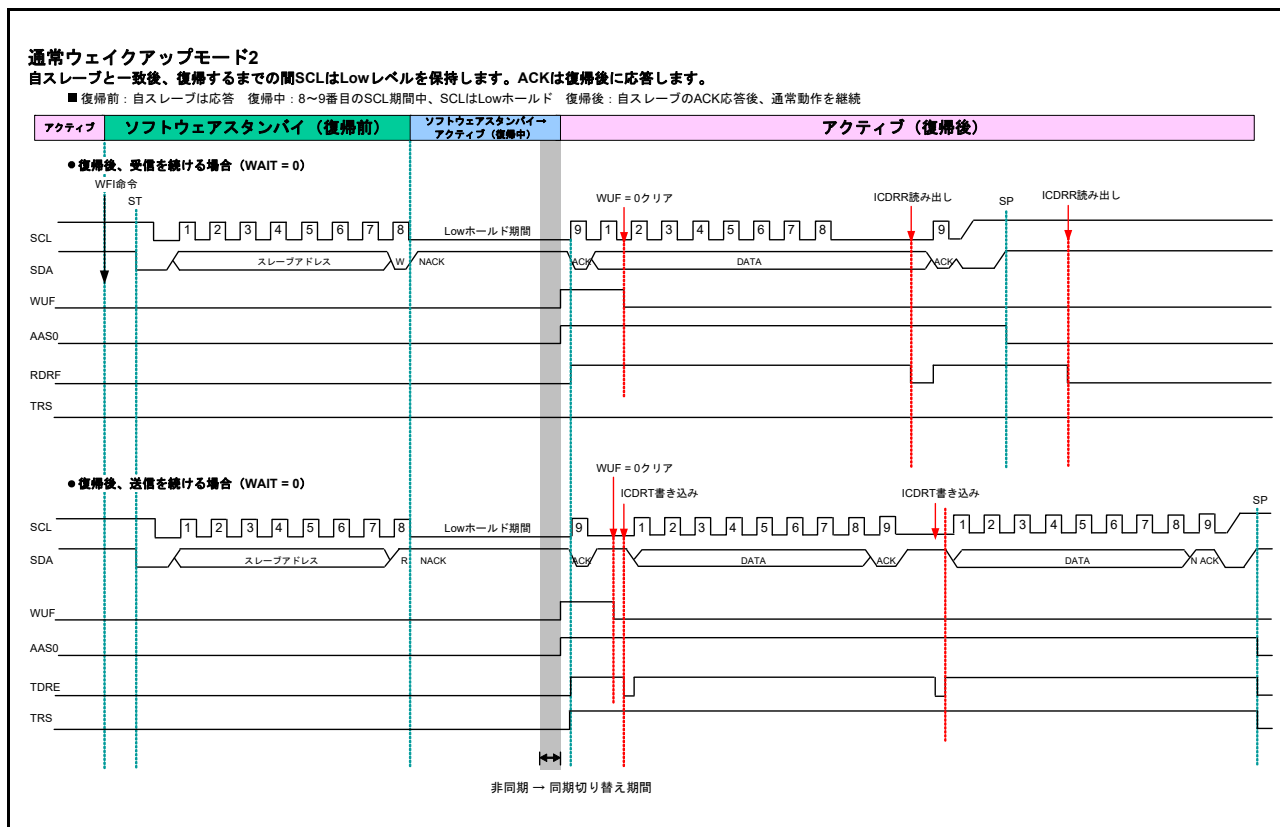


図 29.34 ノーマルウェイクアップモード2のタイミング

### 29.8.3 コマンドリカバリモードとEEP 応答モード (特殊ウェイクアップモード)

以下では、コマンドリカバリモードとEEP 応答モードの動作、タイミング、および動作例について説明します。

コマンドリカバリモードとEEP 応答モードでは、ウェイクアップ期間中 (SCL の9クロック目の立ち上がり後) に SCL ラインの Low ホールドは行われません。したがって、他の IIC デバイスはこの期間に I<sup>2</sup>C バスを利用できます。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前：IIC の自スレーブアドレスとともに受信したデータに対して ACK (コマンドリカバリモードの場合) または NACK (EEP 応答モードの場合) を返す。

ウェイクアップ中：SCL ラインの Low ホールドを行わない。

ウェイクアップ後：IIC の初期設定後、通常動作が継続する。

スレーブアドレスが不一致の場合、スレーブ動作が継続します。

- 注． ウェイクアップ中に SCL ラインの Low ホールドは行われないので、スレーブアドレスの後続データは送受信できません。
- 注． コマンドリカバリモードとEEP 応答モードは、内部リセット状態 (ICE = IICRST = 1) です。したがって、スレーブアドレスが一致しても、ICSR1 レジスタの HOA、GCA、ASS0、ASS1、および ASS2 の各フラグは設定されません。

図 29.35 に、コマンドリカバリモードおよびEEP 応答モードの動作例を示します。図 29.37 に、詳細なタイミングを示します。

ウェイクアップ割り込み以外の割り込み (IRQn など) で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは1になりません。図 29.36 に示す処理に従ってください。

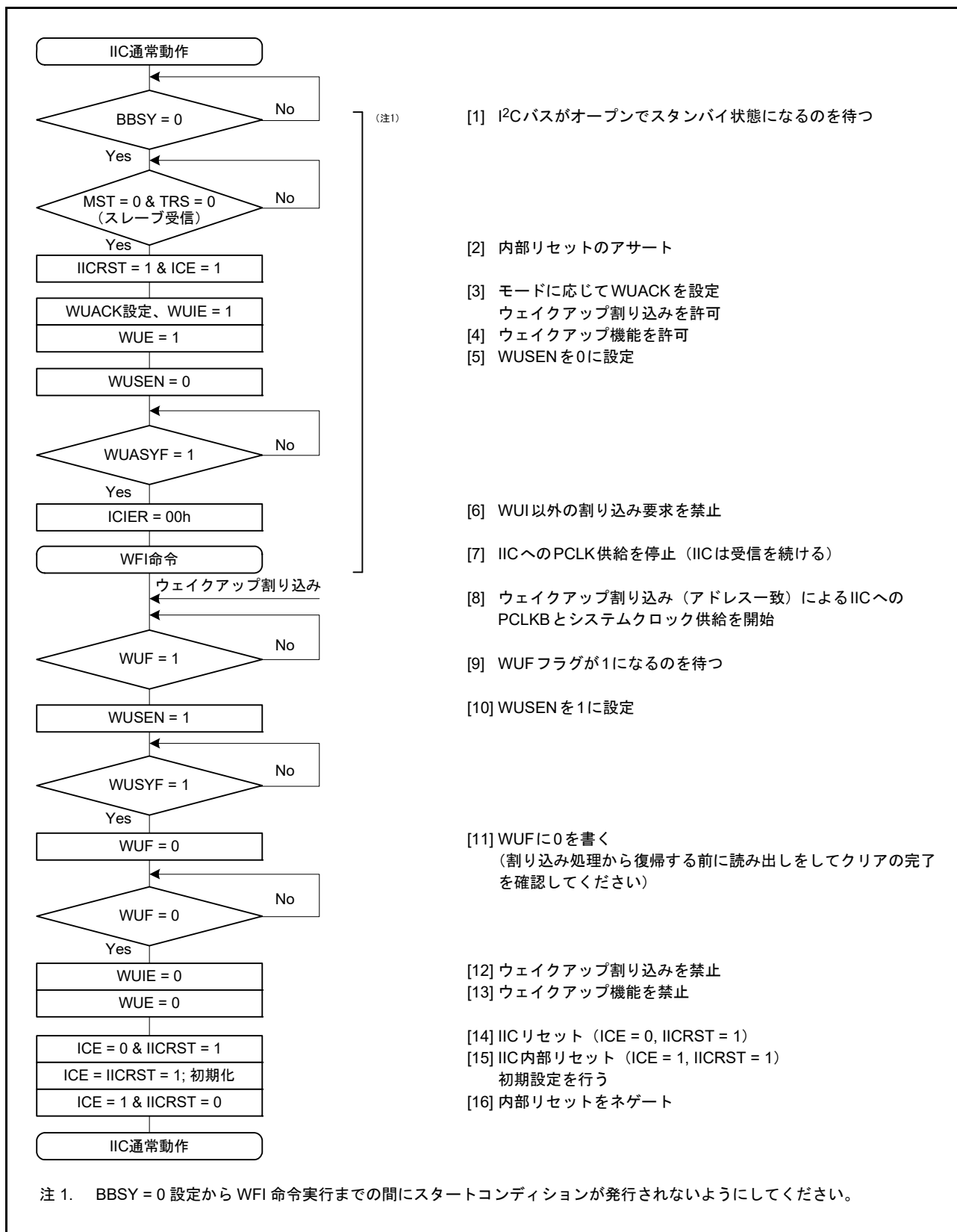


図 29.35 コマンドリカバリモードとEEP 応答モードの動作例 (スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

注. ウェイクアップ機能使用時の注意事項を参照してください。

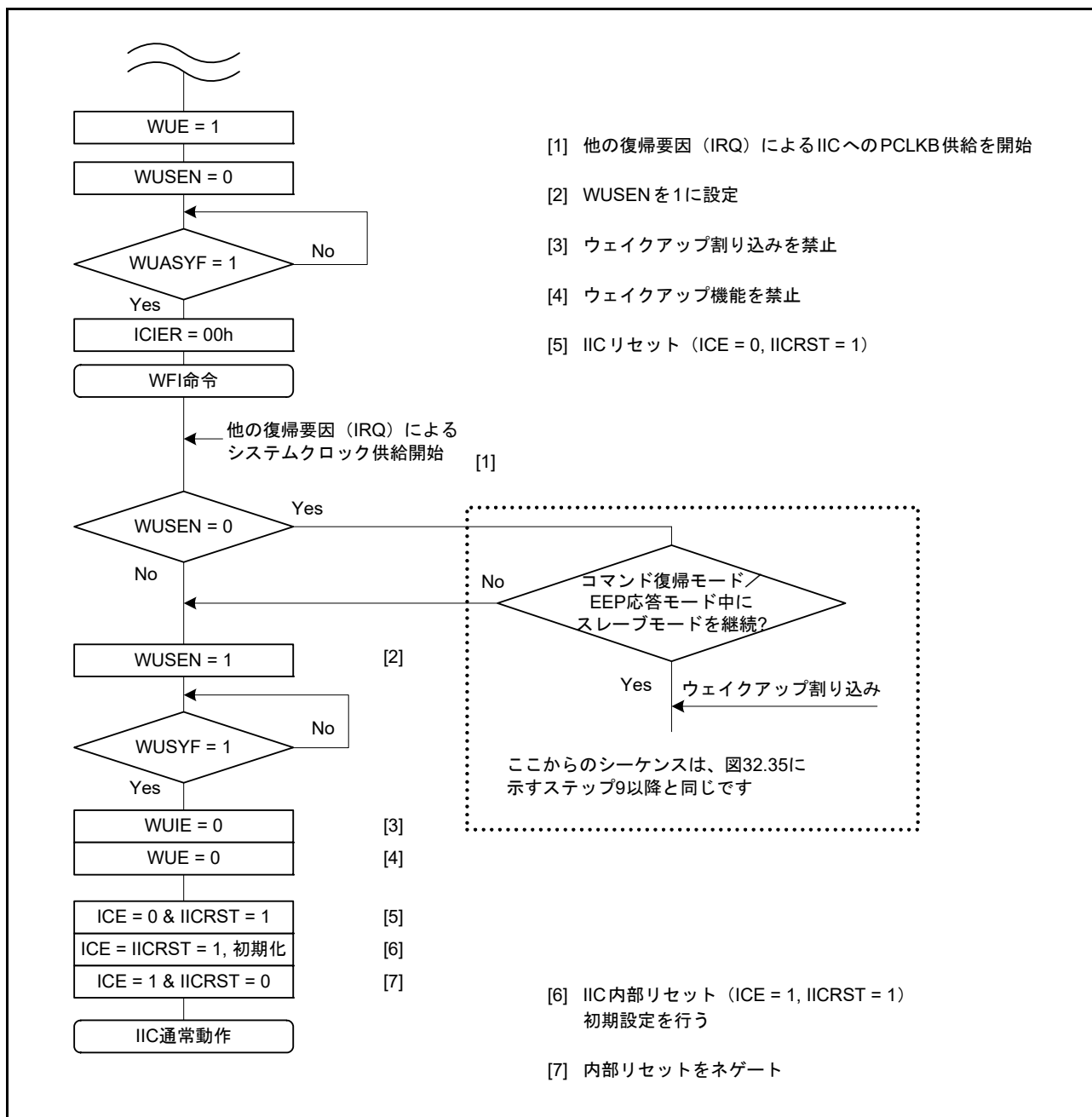


図 29.36 コマンドリカバリモードと EEP 応答モードの動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

注 . IIC 初期設定の詳細は、29.3.2 初期設定を参照してください。

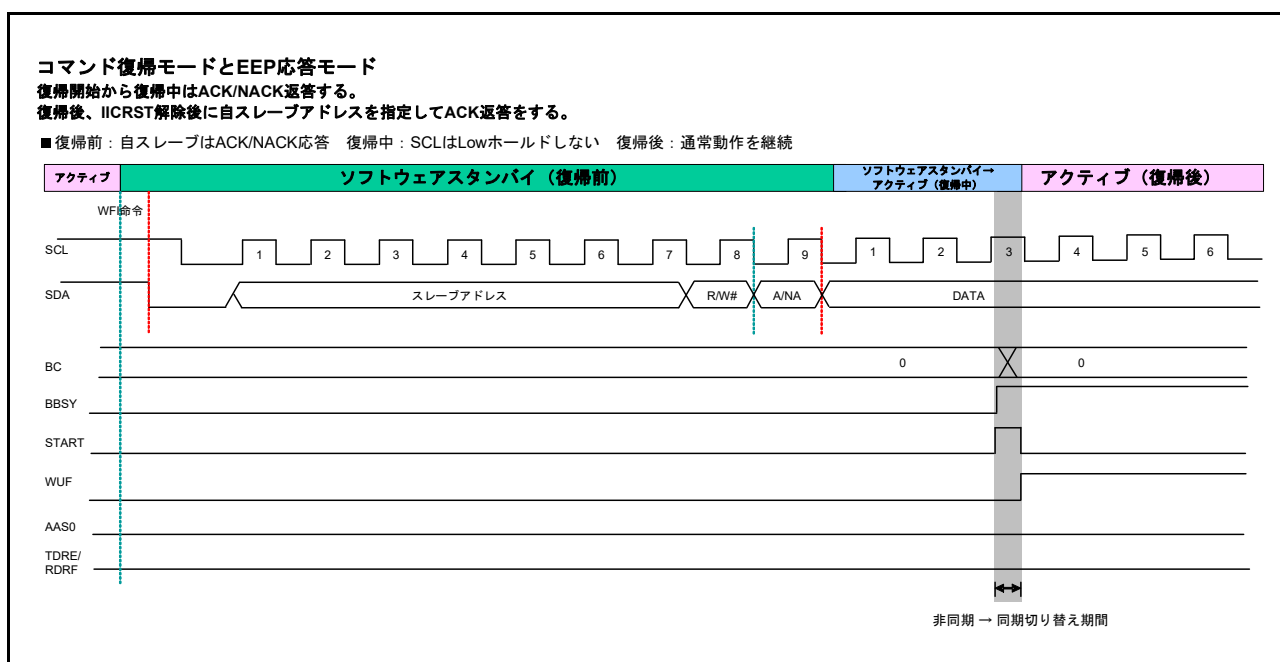


図 29.37 コマンドリカバリモードとEEP 応答モードのタイミング

#### 29.8.4 WFI 命令の実行に関する注意事項

図 29.30、図 29.33、図 29.35 に示すウェイクアップモードの動作例では、BBSY = 0 を設定してから WFI 命令を実行するまでの間は、スタートコンディションを発行しないようにしてください。

この間にスタートコンディションを発行すると、先頭データブロックの1バイト目の受信後に NACK が返されます。その後、スタートコンディションまたはリスタートコンディションの検出によって、ウェイクアップ機能が有効になります。

## 29.9 SCLの自動Lowホールド機能

### 29.9.1 送信データの誤送信防止機能

IICが送信モード (ICCR2.TRS ビット=1) のとき、I<sup>2</sup>Cバス送信データレジスタ (ICDRT) にデータが書かれていない場合で、I<sup>2</sup>Cバスシフトレジスタ (ICDRS) が空の場合、以下に示す区間、自動的にSCLnラインのLowホールドを行います。このLowホールドは、送信データの書き込みが行われるまでの期間Low区間を延長し、意図しない送信データの誤送信を防止します。

マスタ送信モード

- スタートコンディション/リスタートコンディション発行後のLow区間
- ある転送の9クロック目とその次の転送の1クロック目の間のLow区間

スレーブ送信モード

- ある転送の9クロック目とその次の転送の1クロック目の間のLow区間

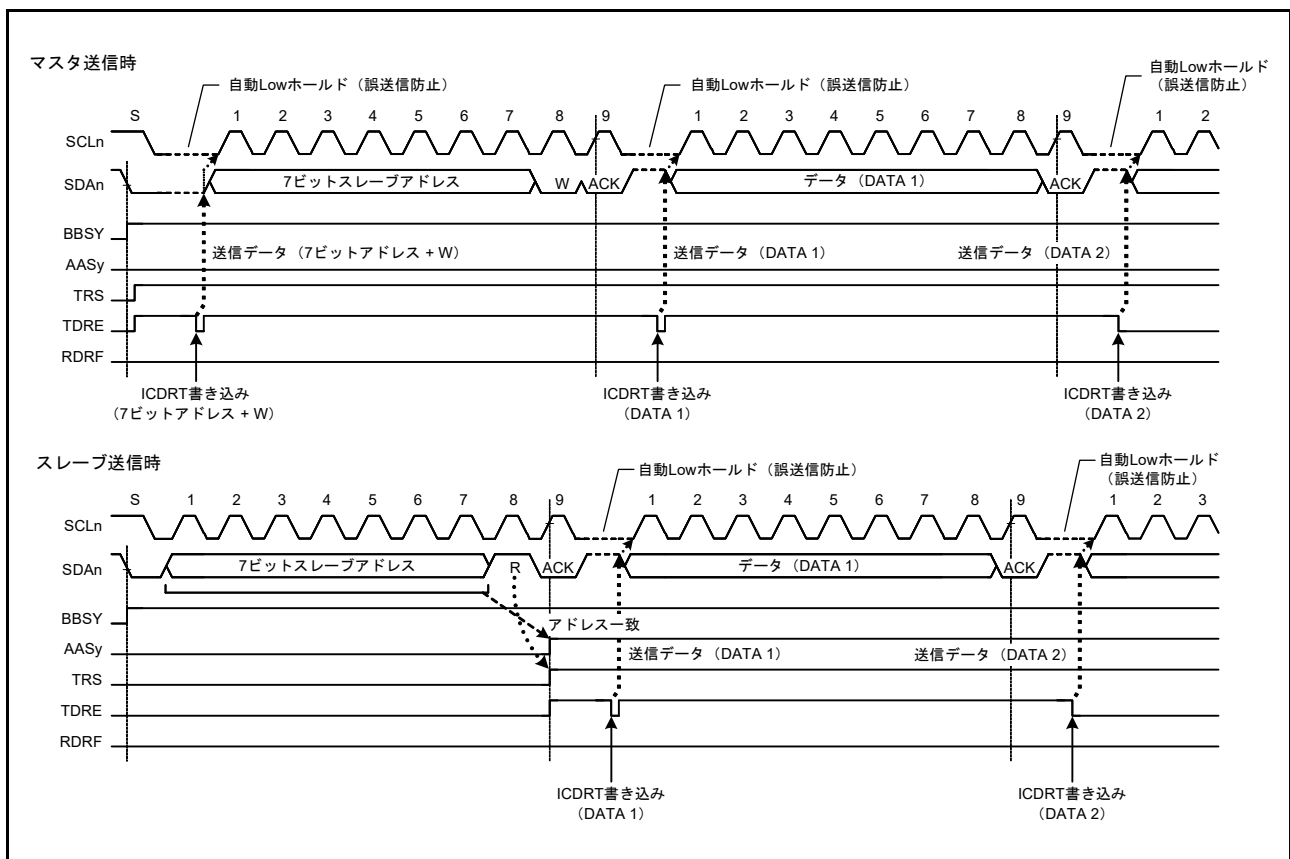


図 29.38 送信モード時の自動 Low ホールド動作

## 29.9.2 NACK 受信転送中断機能

この機能は、送信モード時 (ICCR2.TRS ビット = 1)、NACK を受信した場合に転送動作を中断します。この機能は、ICFER.NACKE ビットが 1 (転送中断許可) のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0)、SCL クロックの 9 クロック目の立ち下がりで、次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、SDAn ライン Low 出力固定を防止することが可能です。

この機能によって転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送受信動作は行われません。送受信動作を再開するには、NACKF フラグを 0 にする必要があります。マスタ送信モードでは、リスタートコンディションまたはストップコンディション発行後に、NACKF フラグを 0 にしてから、再度スタートコンディションを発行してください。

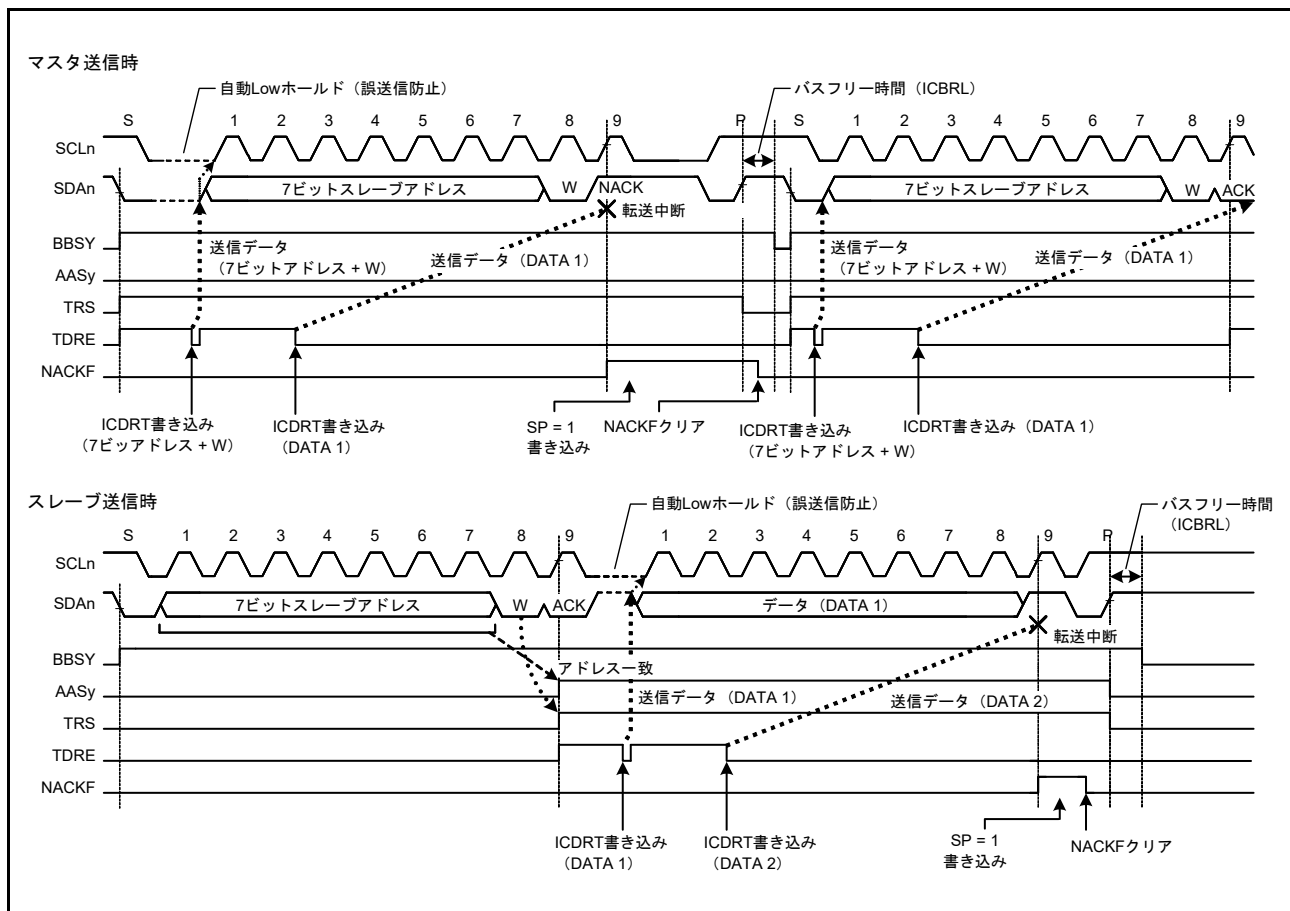


図 29.39 NACK 受信時のデータ転送中断動作 (NACKE = 1 の場合)

### 29.9.3 受信データ取りこぼし防止機能

受信モード時 (ICCR2.TRS ビット=0) に、受信データフル (ICSR2.RDRF フラグ=1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、IIC は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディションが発行され、IIC スレーブアドレスが指定された場合でも有効です。ストップコンディション発行後に自スレーブアドレスとの不一致が発生した場合は、IIC は SCLn ラインの Low ホールドを行わないため、本機能によって他の通信を妨げることはありません。

また、ICMR3 レジスタの WAIT ビットと RDRFS ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

#### (1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを 1 にすると、IIC は WAIT ビット機能を用いた 1 バイト受信動作を行います。また、ICMR3.RDRFS ビットが 0 の場合、SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がりまでの期間、IIC はアクノリッジビットに対し自動的に ICMR3.ACKBT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると、WAIT ビット機能を用いて自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、ICDRR レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

#### (2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを 1 にすると、IIC は RDRFS ビット機能を用いた 1 バイト受信動作を行います。RDRFS ビットを 1 にすると、SCL の 8 クロック目の立ち上がりで ICSR2.RDRF フラグが 1 (受信データフル) になり、8 クロック目の立ち下がりで自動的に SCLn ラインの Low ホールドが行われます。この Low ホールドは、ICMR3.ACKBT ビットに値を書き込むことで解除されますが、ICDRR レジスタからデータを読み出しても解除されません。そのため、1 バイトごとに受信したデータの内容に応じて ACK/NACK の送信を制御することにより、受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。



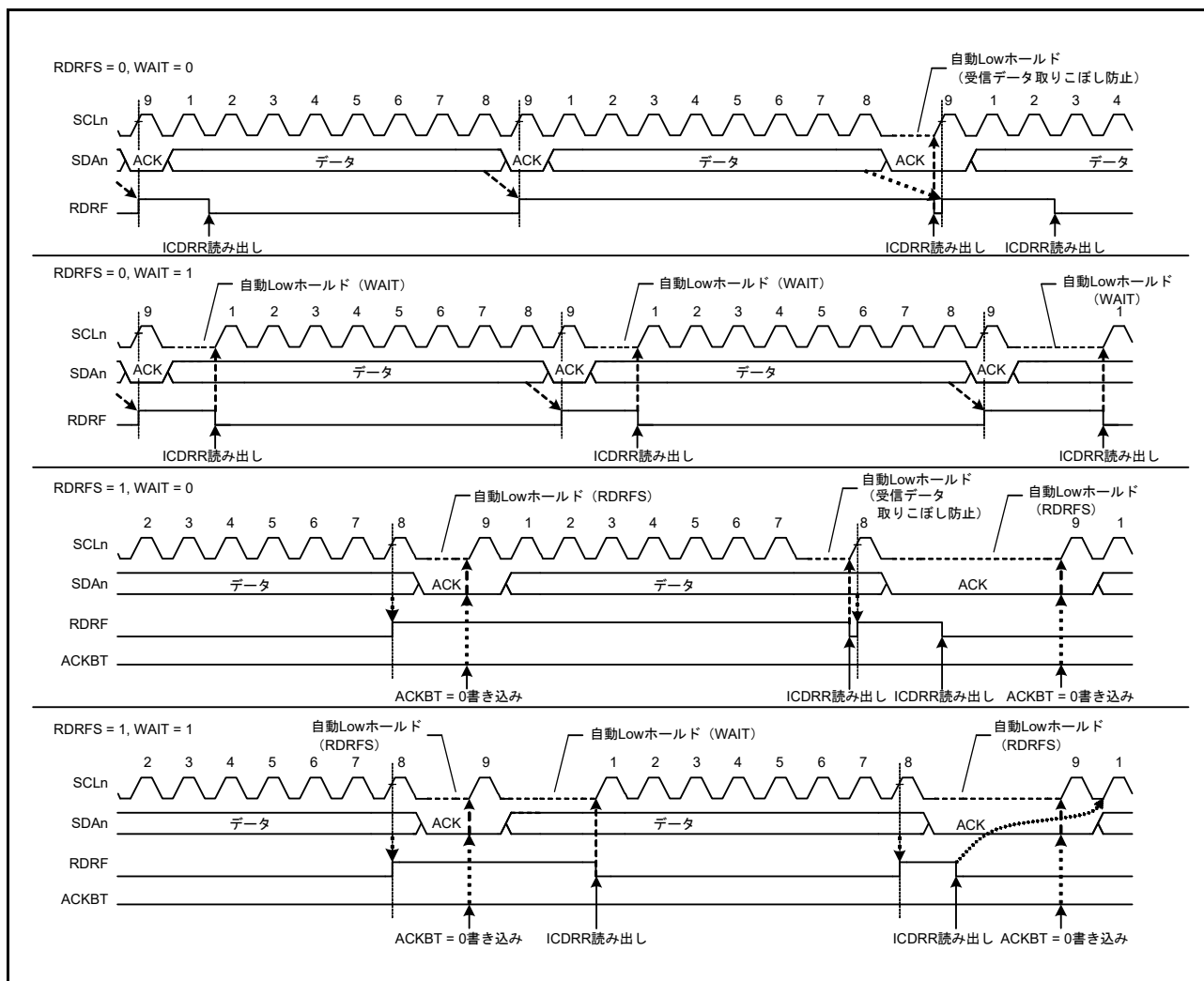


図 29.40 受信モード時の自動 Low ホールド動作 (RDRFS および WAIT ビットの使用)

## 29.10 アービトレーションロスト検出機能

IICにはI<sup>2</sup>Cバス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止機能、NACK送信時のアービトレーションロスト検出機能やスレーブ送信モードにおけるアービトレーションロスト検出機能も備えています。

### 29.10.1 マスタアービトレーションロスト検出機能 (MALE ビット)

IICはスタートコンディション発行の際、SDAnラインをLowにします。ただし、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAnラインをLowにした場合、IICは自身のスタートコンディションをエラーと判断し、これをアービトレーションロストとみなします。他のマスタデバイスによる転送の方が優先されます。同様に、バスビジー (ICCR2.BBSY フラグ=1) の状態でICCR2.ST ビットを1にすることでスタートコンディション発行を要求すると、IICはこれをスタートコンディションの二重発行エラーと判断し、自身がアービトレーションロストを発生させたとみなします。この機能は、転送中のスタートコンディション発行により転送の失敗を防止します。

スタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ (内部のSDA出力レベル) とSDAnラインのレベルが不一致 (内部SDA出力としてHigh出力、すなわちSDAn端子がハイインピーダンス状態) であれば、SDAnラインにLowが検出されたとき、IICはアービトレーションロストを発生させます。

マスタアービトレーションロストが発生した後、IICはただちにスレーブ受信モードへ遷移します。このとき、ジェネラルコールアドレスを含むスレーブアドレスが自身のアドレスと一致していれば、IICはスレーブ動作を継続します。

なお、マスタアービトレーションロストは、ICFER.MALE ビットが1 (マスタアービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき検出されます。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグが0の状態(ICCR2.STビットを1にしてスタートコンディションを発行した後、SDAの内部出力レベルとSDAnラインのレベルが不一致のとき (スタートコンディション発行エラー))
- ICCR2.BBSYフラグが1の状態(ICCR2.STビットを1にしたとき (スタートコンディション二重発行エラー))
- マスタ送信モード時 (ICCR2.MST、TRS ビット = 11b)、アクノリッジを除く送信データ (内部のSDA出力レベル) とSDAnラインのレベルが不一致のとき

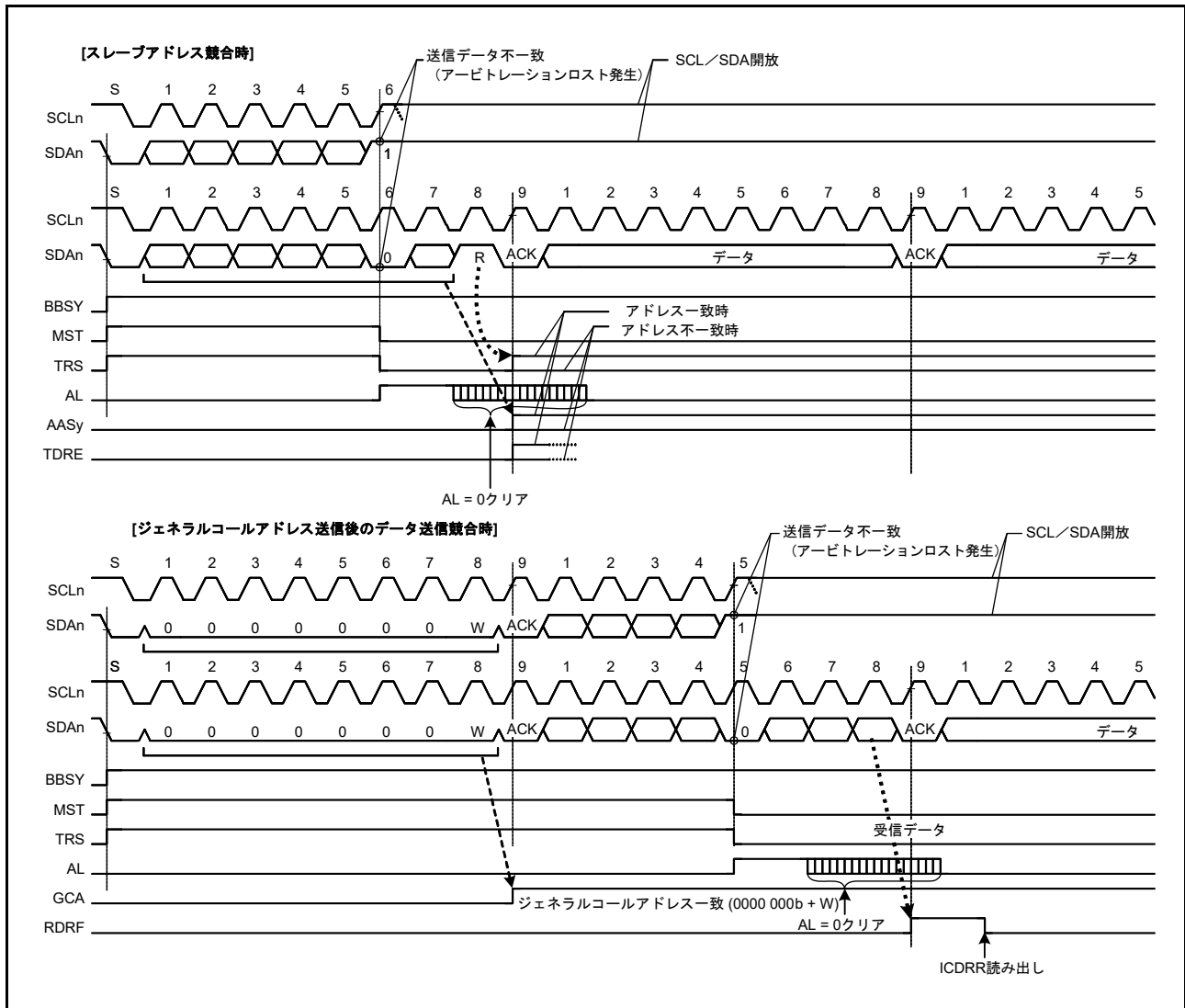


図 29.41 マスタアビトラージョンロスト検出の動作例 (MALE = 1 の場合)

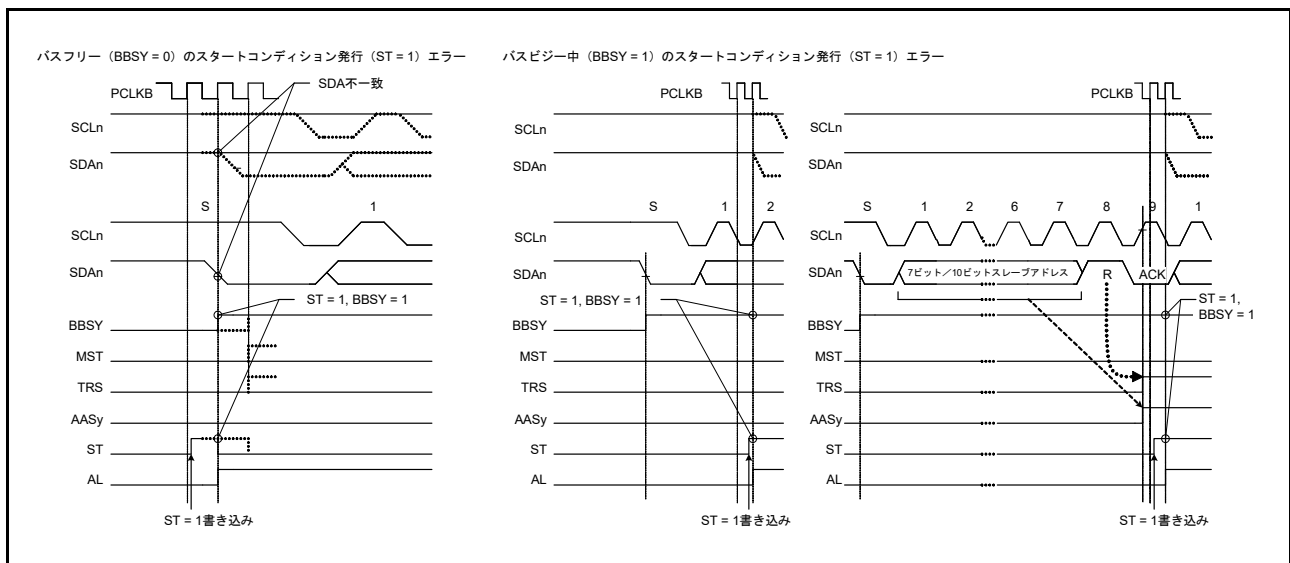


図 29.42 スタートコンディション発行時のアビトラージョンロスト (MALE = 1 の場合)

### 29.10.2 NACK 送信中のアービトレーションロスト検出機能 (NALE ビット)

この機能は、受信モードで NACK 送信時に、内部の SDA 出力レベルと SDA<sub>n</sub> ラインのレベルが不一致の場合、本機能はアービトレーションロストを発生させます。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスに対して同じ情報を送受信する際に生じます。図 29.43 に、NACK 送信中のアービトレーションロスト検出の動作例を示します。

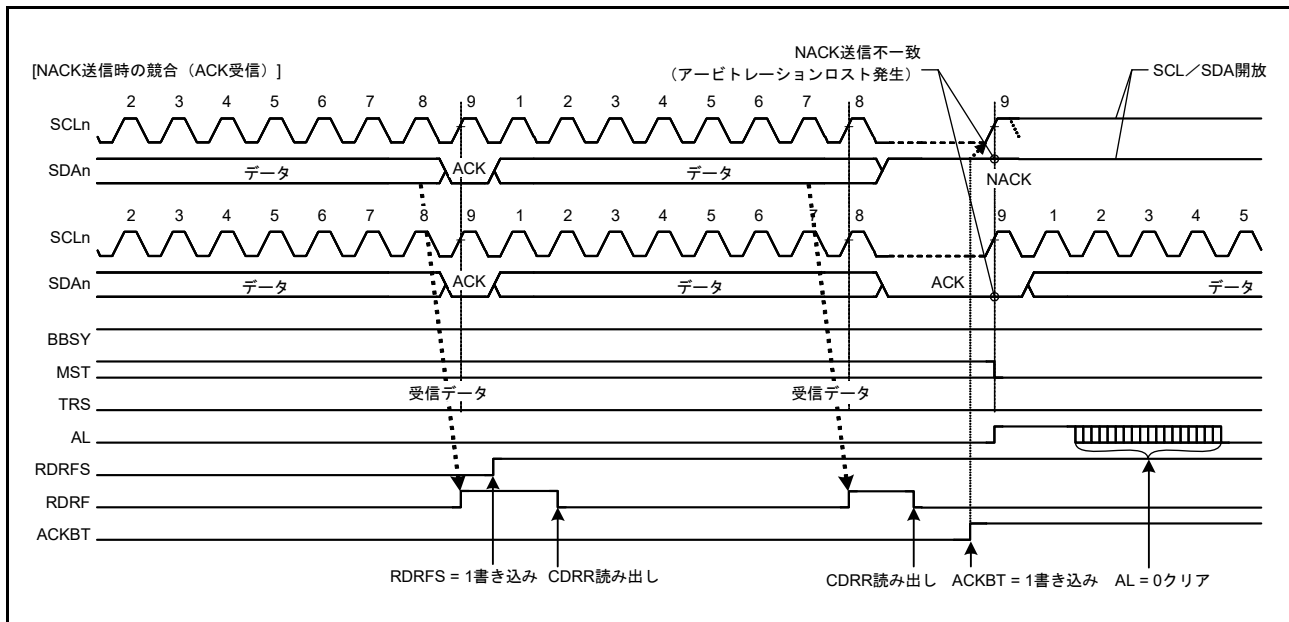


図 29.43 NACK 送信中のアービトレーションロスト検出の動作例 (NALE = 1 の場合)

以下では、2 つのマスタデバイス (マスタ A、B) と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げてアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。

このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

IIC は、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。NACK 送信時にアービトレーションロストが発生すると、IIC はただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、割り付けられたアドレスコマンド後の Get UDID 汎用処理で割り付けられたアドレスの UDID (ユニークデバイス ID) が不一致の場合に、FFh 送信処理などの追加クロック処理を省くことができます。

ICFER.NALE ビットが 1 (NACK 送信中アービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき、IIC は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT ビット = 1)、内部の SDA 出力レベルと SDA<sub>n</sub> ラインの状態 (ACK 受信) が不一致のとき

### 29.10.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

この機能は、スレーブ送信モード時に、送信データ（内部の SDA 出力レベル）と SDA<sub>n</sub> ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDA<sub>n</sub> 端子がハイインピーダンス状態）であれば、SDA<sub>n</sub> ラインに Low が検出されたとき、アービトレーションロストを発生させます。このアービトレーションロスト検出機能は、主に SMBus での UDID（ユニークデバイス ID）送信時に使用します。

IIC でスレーブアービトレーションロストが発生した場合、IIC はただちにスレーブ一致状態を解除してスレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な FFh 送信処理を省くことができます。

ICFER.SALE ビットが 1（スレーブアービトレーションロスト検出有効）の状態、以下に示す条件が成立したとき、IIC はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST、TRS ビット = 01b)、アクノリッジを除く送信データ（内部 SDA 出力レベル）と SDA<sub>n</sub> ラインが不一致のとき

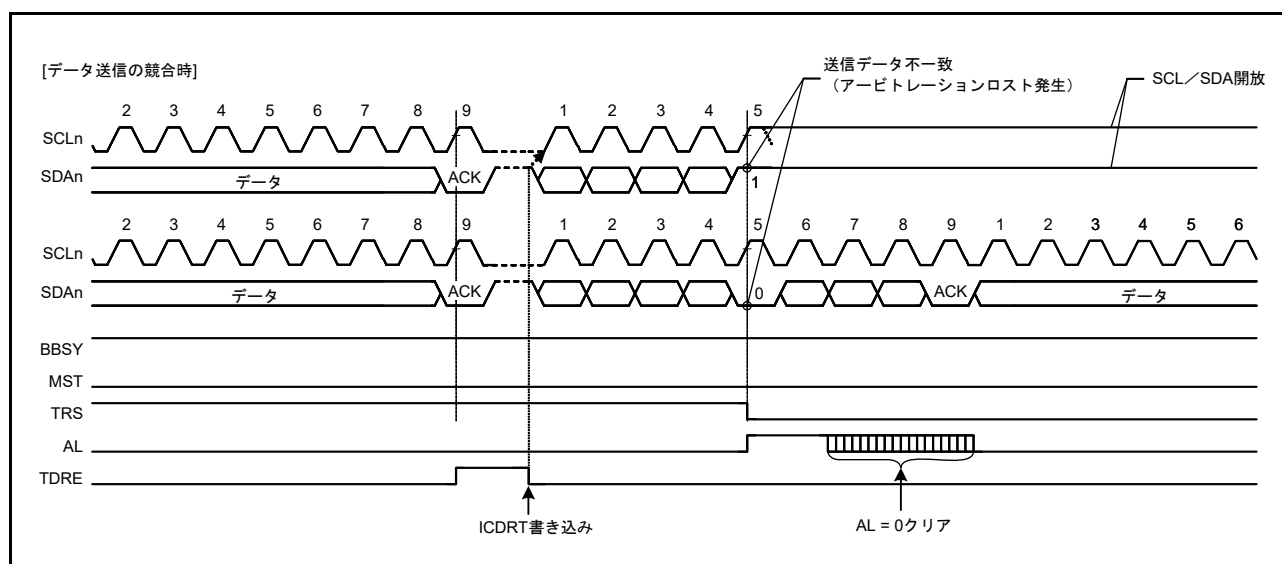


図 29.44 スレーブアービトレーションロスト検出の動作例 (SALE = 1 の場合)

## 29.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

### 29.11.1 スタートコンディション発行動作

IICは、ICCR2.STビットが1のときにスタートコンディションを発行します。

STビットを1にすると、スタートコンディション要求が行われ、ICCR2.BBSYフラグが0（バスフリー状態）の場合、IICはスタートコンディションを発行します。スタートコンディションが正常に発行された場合、IICは自動的にマスタ送信モードへ遷移します。

スタートコンディションの発行方法：

1. SDA<sub>n</sub>ラインを立ち下げる（HighからLowに遷移）。
2. ICBRHレジスタで設定した時間とスタートコンディションのホールド時間が経過したことを確認する。
3. SCL<sub>n</sub>ラインを立ち下げる（HighからLowに遷移）。
4. SCL<sub>n</sub>ラインのLowを検出後、ICBRLレジスタで設定したSCL<sub>n</sub>ラインのLow幅が経過したことを確認する。

### 29.11.2 リスタートコンディション発行動作

IICは、ICCR2.RSビットが1のときリスタートコンディションを発行します。

RSビットを1にすると、リスタートコンディション要求が行われ、ICCR2.BBSYフラグが1（バスビジー状態）で、かつICCR2.MSTビットが1（マスタモード）の場合、IICはリスタートコンディションを発行します。

リスタートコンディションの発行方法：

1. SDA<sub>n</sub>ラインを開放する。
2. ICBRLレジスタで設定したSCL<sub>n</sub>ラインのLow幅が経過したことを確認する。
3. SCL<sub>n</sub>ラインを開放する（LowからHighに遷移）。
4. SCL<sub>n</sub>ラインのHighを検出後、ICBRLレジスタで設定した時間とリスタートコンディションのセットアップ時間が経過したことを確認する。
5. SDA<sub>n</sub>ラインを立ち下げる（HighからLowに遷移）。
6. ICBRHレジスタで設定した時間とリスタートコンディションのホールド時間が経過したことを確認する。
7. SCL<sub>n</sub>ラインを立ち下げる（HighからLowに遷移）。
8. SCL<sub>n</sub>ラインのLowを検出後、ICBRLレジスタで設定したSCL<sub>n</sub>ラインのLow幅が経過したことを確認する。

注． リスタートコンディション要求の発行時、ICCR2.RSが0であることを確認してから、ICDRTレジスタにスレーブアドレスを書いてください。ICCR2.RSが1のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

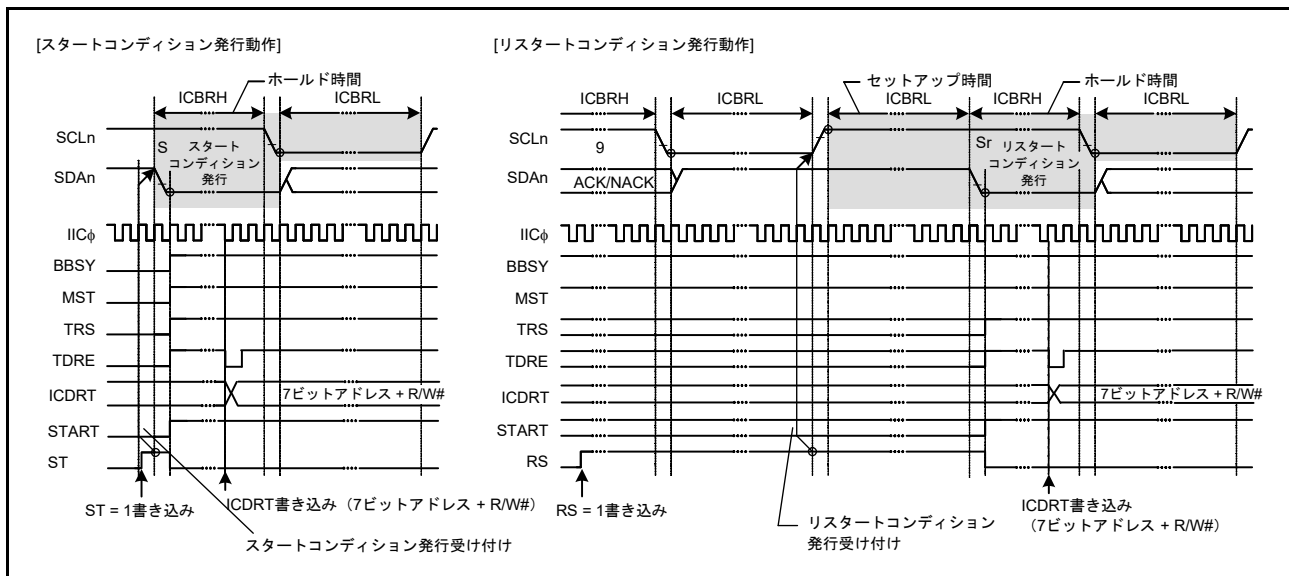


図 29.45 スタートコンディション、リスタートコンディションの発行動作タイミング (ST および RS ビットの使用)

図 29.46 に、マスタ送信後にリスタートコンディションが発行されたときの動作タイミングを示します。

マスタ送信後にリスタートコンディションを発行するには：

- 29.3.2 初期設定の内容に従って、IIC を初期化します。
- IICR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション要求) にします。IIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。同時に、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ、内部の SDA 出力レベルと SDA<sub>n</sub> ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正常に行われたと認識します。ICCR2.MST、TRS ビットは自動的に 1 になり、IIC はマスタ送信モードになります。TRS ビットが 1 になると、ICSR2.TDRE フラグも自動的に 1 になります。
- ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信が完了すると、送信された R/W# ビットの値に応じて自動的に TRS ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。  
データを 10 ビットフォーマットのアドレスで送信する場合は、最初に、1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b (スレーブアドレスの上位 2 ビット) と W を書きます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができて、リスタートコンディションまたはストップコンディションが発行されるまで、IIC は自動的に SCL<sub>n</sub> ラインを Low にホールドします。
- 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るのを待ちます。次に、ICSR2.START フラグが 1 であることを確認した後、ICSR2.START フラグを 0 にしてください。
- ICCR2.RS ビットを 1 (リスタートコンディション要求) にします。IIC はこの要求を受け付けると、リスタートコンディションを発行します。
- ICSR2.START フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。

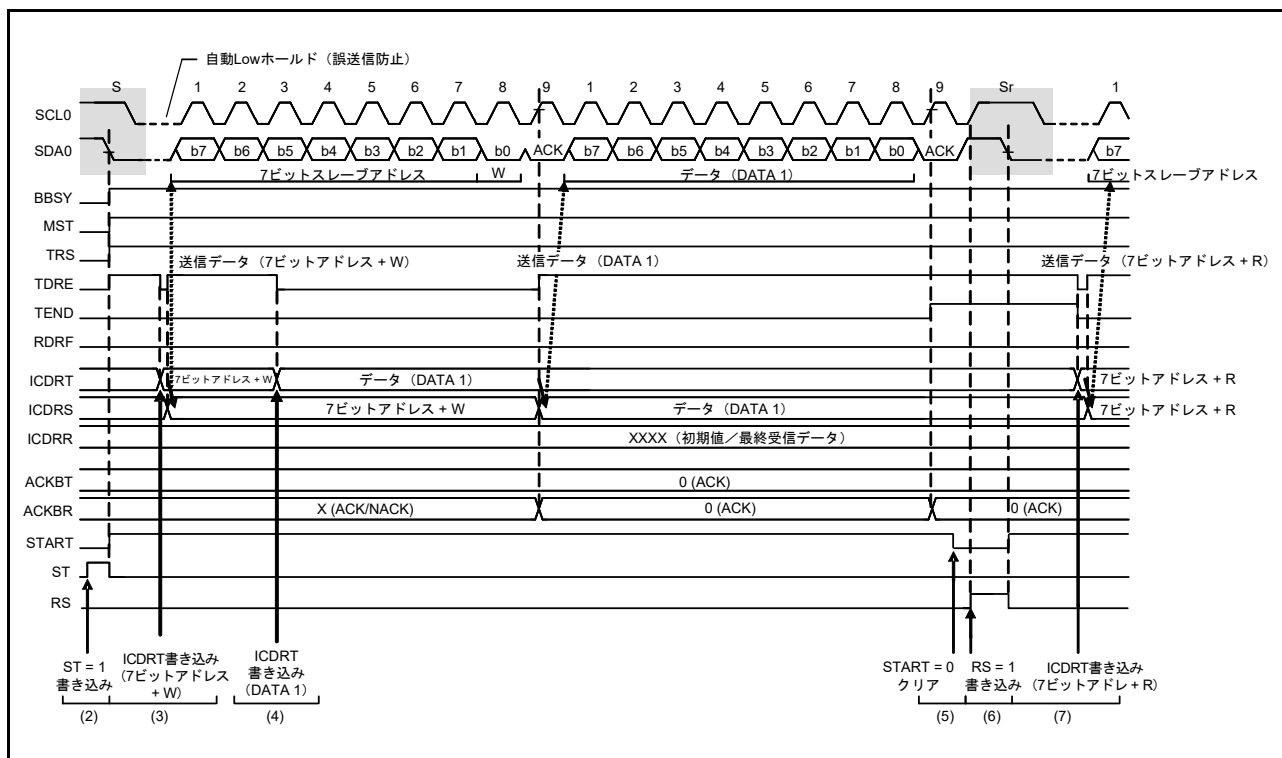


図 29.46 マスタ送信後のリスタートコンディション発行タイミング



### 29.11.3 ストップコンディション発行動作

IICは、ICCR2.SPビットが1のときストップコンディションを発行します。

SPビットを1にすると、ストップコンディション要求が行われ、ICCR2.BBSYフラグが1（バスビジー状態）で、かつICCR2.MSTビットが1（マスタモード）の場合、IICはストップコンディションを発行します。

ストップコンディションの発行方法：

1. SDA<sub>n</sub> ラインを立ち下げる（High から Low に遷移）。
2. ICBRL レジスタで設定した SCL<sub>n</sub> ラインの Low 幅が経過したことを確認する。
3. SCL<sub>n</sub> ラインを開放する（Low から High に遷移）。
4. SCL<sub>n</sub> ラインの High 検出後、ICBRH レジスタで設定した時間とストップコンディションのセットアップ時間が経過したことを確認する。
5. SDA<sub>n</sub> ラインを開放する（Low から High に遷移）。
6. ICBRL レジスタで設定した時間とバスフリー時間が経過したことを確認する。
7. BBSY フラグをクリアしてバス権を解放する。

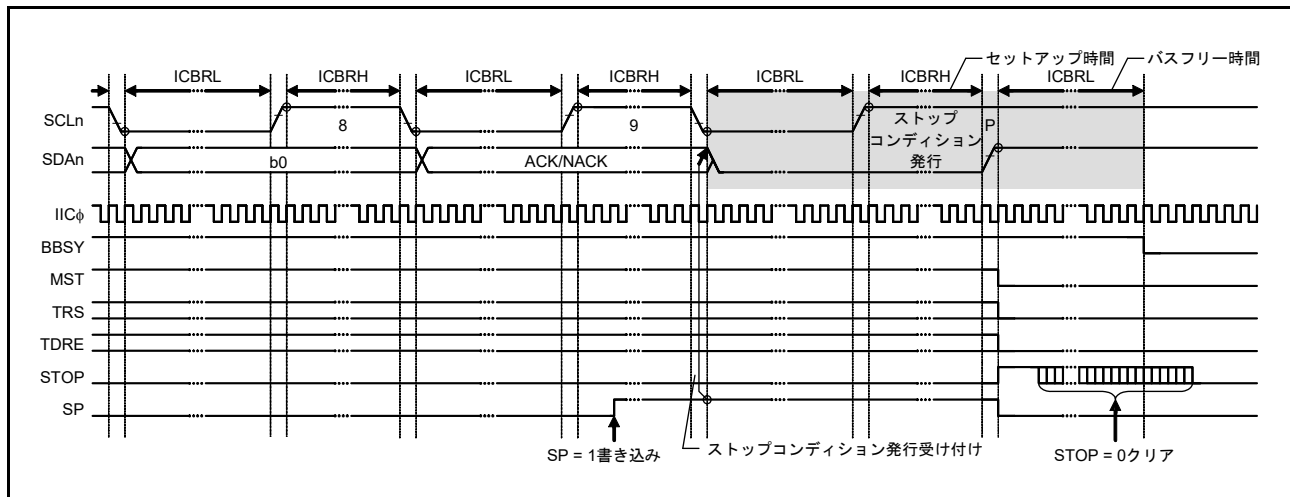


図 29.47 ストップコンディション発行動作タイミング (SP ビットの使用)

## 29.12 バスハングアップ

I<sup>2</sup>Cバスではノイズなどの影響によりマスタデバイスから出力されたクロック信号とスレーブデバイスから出力されたクロック信号の間で同期ズレが発生すると、SCLnラインやSDAnライン上のレベルが固定されたままバスハングアップを起こす場合があります。

バスハングアップを管理するため、IICは以下の機能を備えています。

- SCLnラインを監視してハングアップを検出するためのタイムアウト検出機能
- クロック信号の同期ズレによるバスのハングアップ状態を解除するためのSCLクロックサイクル追加出力機能
- IICリセット機能
- 内部リセット機能

ICCR1.SCLO、SDAO、SCLI、SDAIの各ビットをチェックすることで、IIC自身と通信相手のどちらがSCLnラインまたはSDAnラインをLowにしているのか確認することが可能です。

### 29.12.1 タイムアウト検出機能

タイムアウト検出機能では、SCLnラインに一定時間以上変化が見られない状態を検出できます。IICは、SCLnラインがLowまたはHighに固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することが可能です。

タイムアウト検出機能はSCLnラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能は、SCLnラインが変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLnラインに変化がないために内部カウンタがオーバーフローすると、IICはタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、ICFER.TMOEビットが1のときのみ有効です。以下の条件でSCLnラインがLow固定またはHigh固定の場合にバスハングアップを検出します。

- マスタモード (ICCR2.MSTビット=1) で、バスビジー (ICCR2.BBSYフラグ=1)
- スレーブモード (ICCR2.MSTビット=0) で、IICスレーブアドレス検出 (ICSR1レジスタ≠00h) かつバスビジー (ICCR2.BBSYフラグ=1)
- スタートコンディション要求中 (ICCR2.STビット=1) で、バスフリー (ICCR2.BBSYフラグ=0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IIC $\phi$ ) をカウントソースとして使用します。このカウンタは、ロングモード選択時 (ICMR2.TMOSビット=0) は16ビットカウンタ、ショートモード選択時 (TMOSビット=1) は14ビットカウンタとして機能します。

また、内部カウンタのカウント動作は、SCLnラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH、TMOLビットで選択することが可能です。TMOLビットとTMOHビットの両方を0にした場合、内部カウンタは動作しません。



## 29.12.2 SCL クロック追加出力機能

マスタモード時、この機能は SCL クロックを追加出力して、スレーブデバイスとの同期ズレによるスレーブデバイスの SDA<sub>n</sub> ライン Low 固定状態を開放します。

この機能は主にマスタモードで使用され、SCL クロックを IIC から追加出力することによって、スレーブデバイスの SDA<sub>n</sub> ラインを Low 固定から開放します。この機能は、スレーブデバイスが SDA<sub>n</sub> ラインを Low 固定しているため、IIC がストップコンディションを発行できない状態のバスエラー発生時に、SCL クロックを 1 クロック単位で使用します。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

マスタモードで ICCR1.CLO ビットを 1 にすると、ICMR1.CKS[2:0] ビットおよび ICBRH、ICBRL レジスタで設定した転送速度で、SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に 0 になります。ソフトウェアで CLO ビットが 0 であることを確認した後、CLO ビットに 1 を書くことにより、追加クロックを連続的に出力することが可能です。

IIC モジュールがマスタモードであるとき、ノイズなどによるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが SDA<sub>n</sub> ラインを Low に固定したままであると、ストップコンディションを出力できません。この機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの SDA<sub>n</sub> ラインの Low 固定状態を開放させ、バスを使用できない状態から回復させることができます。スレーブデバイスによる SDA<sub>n</sub> ラインの開放は、ICCR1.SDAI ビットを読みだすことで確認できます。スレーブデバイスによる SDA<sub>n</sub> ラインの開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

この機能を使用する場合、ICFER.MALE ビットを 0 (マスタアービトレーションロスト検出無効) にしてください。MALE ビットが 1 (有効) であると、ICCR1.SDAO ビットの値と SDA<sub>n</sub> ラインの状態が不一致のときにアービトレーションロストが発生します。

[ICCR1.CLO ビット使用時の出力条件]

- バスフリー状態 (ICCR2.BBSY フラグ = 0) またはマスタモード (ICCR2.MST ビット = 1、BBSY フラグ = 1) のとき
- 通信デバイスが SCL<sub>n</sub> ラインを Low ホールドにしていない状態のとき

図 29.49 に SCL クロック追加出力機能 (CLO ビット) の動作タイミングを示します。

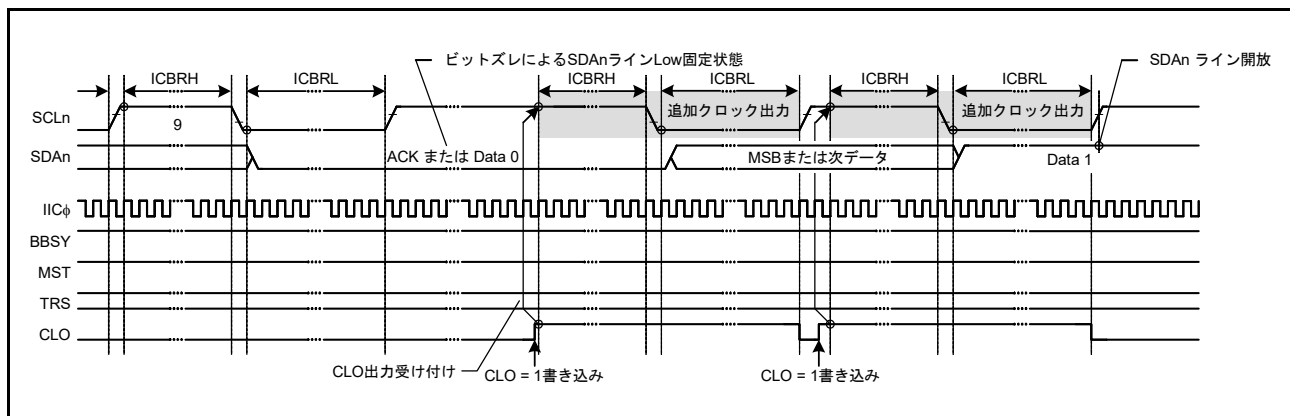


図 29.49 SCL クロック追加出力機能 (CLO ビットの使用)

### 29.12.3 IICリセット、内部リセット

IICモジュールがサポートするリセットには2種類あります。

- IICリセット：ICCR2.BBSYフラグを含めたすべてのレジスタを初期化
- 内部リセット：他の設定を保持したままIICをスレーブアドレス一致状態から解放し、内部カウンタを初期化

リセット後は、必ずICCR1.IICRSTビットを0にしてください。いずれのリセットも、SCL<sub>n</sub>端子/SDA<sub>n</sub>端子の出力状態を解除してハイインピーダンスに戻すため、バスハングアップ状態の解除に有効です。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になるので、使用は極力避けてください。また、IICリセット (ICCR1.ICE、IICRSTビット=01b) 中は、スタートコンディションの有無など、バス状態の監視はできません。

IICリセットと内部リセットの詳細については、[29.15 各コンディション発行時のリセット、レジスタ、機能の状態](#)を参照してください。

## 29.13 SMBus 動作

IIC は、SMBus 仕様 (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを 1 にしてください。転送速度が SMBus 規格の 10kbps ~ 100kbps の範囲に収まるように、ICMR1.CKS[2:0] ビットと ICBRH および ICBRL レジスタを設定してください。また、データホールド時間の規定値 300ns 以上を満たすように、ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を指定してください。IIC をスレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、ICBRL レジスタにはデータセットアップ時間 (250ns) 以上の値を設定してください。

なお、SMBus デバイスデフォルトアドレス (1100 001b) には、スレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、対応する SARUy.FS ビット (y=0 ~ 2) (7 ビットまたは 10 ビットアドレスフォーマット選択ビット) を 0 (7 ビットアドレスフォーマット) にしてください。

また、UDID (ユニークデバイス ID) 送信時には、ICFER.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

### 29.13.1 SMBus タイムアウト測定

#### (1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔:  $T_{LOW:SEXT}$ ) を計測する必要があります。

- スタートコンディションからストップコンディションまで

スレーブデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn) とストップコンディション検出割り込み (SPIn) を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間 (スレーブデバイス)  $T_{LOW:SEXT}$ : 25ms (max) 以内である必要があります。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト ( $T_{TIMEOUT}$ : 25ms (min)) を超えた場合、スレーブデバイスは ICCR1.IICRST ビットに 1 を書き込み IIC の内部リセットを発行してバス解放動作を行う必要があります。内部リセットを行うと IIC は SCLn 端子と SDA<sub>n</sub> 端子のバス駆動を中止し、両端子の出力をハイインピーダンスにします。これによりバス解放を行うことができます。

#### (2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔:  $T_{LOW:MEXT}$ ) を計測する必要があります。

- スタートコンディションからアクノリッジビットまで
- アクノリッジビットから次のアクノリッジビットまで
- アクノリッジビットからストップコンディションまで

マスタデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn)、ストップコンディション検出割り込み (SPIn)、送信終了割り込み (IICn\_TEI)、または受信データフル割り込み (IICn\_RXI) を利用して、GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス)  $T_{LOW:MEXT}$ : 10ms (max) 以内である必要があり、かつスタートコンディションからストップコンディションまでのすべての  $T_{LOW:MEXT}$  の値の合計が  $T_{LOW:SEXT}$ : 25ms (max) 以内である必要があります。

ACK 受信タイミング (SCL クロックの 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで監視します。マスタ送信モード時は 1 バイト送信動作を行い、マスタ受信モード時は最終バイト受信の直前まで ICMR3.RDRFS ビットを 0 に保持してください。RDRFS ビットが 0 のとき、RDRF フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス)  $T_{LOW:MEXT}$ : 10ms (max) を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト  $T_{TIMEOUT}$ : 25ms (min) を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作 (ICDRT レジスタへの書き込み) を中止してください。

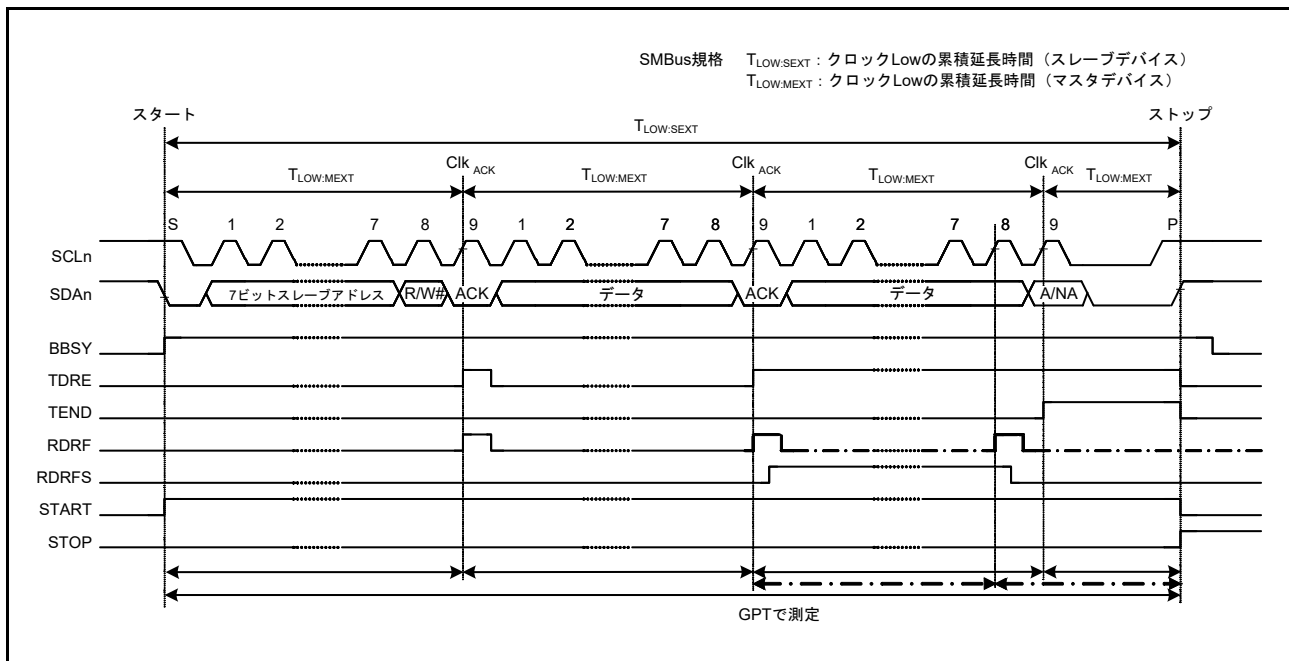


図 29.50 SMBus タイムアウト測定

### 29.13.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しており、この CRC 演算器を利用して、パケットエラーコード (PEC) の送信や IIC の SMBus データ通信時の受信データチェックを行うことが可能です。CRC 演算器の生成多項式については「[32. 巡回冗長検査 \(CRC\) 演算器](#)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として最終バイトを受信したとき、結果 (一致/不一致) に応じて ACK/NACK 送出を行う場合は、最終バイト受信時の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを 1 にし、8 クロック目の立ち下がりまで SCLn ラインを Low にホールドしてください。

### 29.13.3 SMBus ホスト通知プロトコル (Notify ARP Master コマンド)

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト (または ARP マスタ) に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を使用する製品を SMBus ホストまたは ARP マスタとして動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があるため、IIC はホストアドレス検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、ICMR3.SMBS ビットを 1、ICSER.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

## 29.14 割り込み要因

IICが発行する割り込み要求には4種類あります。

- 転送エラー／イベント発生（アービトレーションロスト、NACK、タイムアウト、スタートまたはリスタートコンディション、ストップコンディションの検出）
- 受信データフル
- 送信データエンプティ
- 送信終了

表 29.10 に割り込み要求の詳細を示します。受信データフル割り込みと送信データエンプティ割り込みは、どちらも DTC または DMAC を起動してデータ転送を可能にします。

表 29.10 割り込み要因

シンボル	割り込み要因	割り込みフラグ	DMAC/DTCの起動	割り込み条件
IICn_EEI (注5)	通信エラー／イベント発生	AL	不可能	AL = 1かつALIE = 1
		NACKF		NACKF = 1かつNAKIE = 1
		TMOF		TMOF = 1かつTMOIE = 1
		START		START = 1かつSTIE = 1
		STOP		STOP = 1かつSPIE = 1
IICn_RXI (注2) (注5)	受信データフル	RDRF	可能	RDRF = 1かつRIE = 1
IICn_TXI (注1) (注5)	送信データエンプティ	TDRE	可能	TDRE = 1かつTIE = 1
IICn_TEI (注3) (注5)	送信終了	TEND	不可能	TEND = 1かつTEIE = 1
IIC0_WUI (注4)	ウェイクアップ機能時にスレーブアドレス一致	WUF	不可能	スレーブアドレス一致 スレーブ受信完了 RWAK動作ASY0 = 1 WUIE = 1

注. CPUによる周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延があります。割り込みフラグをクリアまたはマスクした場合は、関連するフラグを再度読み出し、クリアまたはマスク処理の完了を確認した後、割り込み処理から復帰させてください。そうしないと、同じ割り込み処理が繰り返される可能性があります。

注 1. IICn\_TXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn\_TXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ = 1) で自動的に 0 になります。

注 2. IICn\_RXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn\_RXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に 0 になります。

注 3. IICn\_TEI 割り込みを使用する場合、IICn\_TEI 割り込み処理で ICSR2.TEND フラグをクリアしてください。ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ = 1) で自動的に 0 になります。

注 4. ウェイクアップ機能はチャンネル 0 にしかないので、IIC0\_WUI はチャンネル 0 の場合しか使用しません。

注 5. チャンネル番号 (n = 0 または 1)

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

### 29.14.1 IICn\_TXI 割り込みおよび IICn\_RXI 割り込みのバッファ動作

対応する IR フラグが 1 のときに、IICn\_TXI 割り込みまたは IICn\_RXI 割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます。1 要因あたり 1 要求を内部に保持できます。

ICU.IELSRn.IR フラグが 0 になると、ICU に保持していた割り込み要求を出力します。通常の状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。これらは、対応する周辺モジュール側の割り込み許可ビットを 0 にすることでクリアが可能です。



## 29.15 各コンディション発行時のリセット、レジスタ、機能の状態

IICは2種類の専用リセット機能、すなわちIICリセットと内部リセットを備えています。表 29.11 に、各コンディション発行時のレジスタの状態を示します。

表 29.11 各コンディション発行時のリセット、レジスタ、機能の状態

レジスタ		チップリセット	IICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション またはリスタートコン ディション検出	ストップコンディション 検出	
ICCR1	ICE, IICRST	リセット	保持	保持	保持	保持	
	SCLO, SDAO		リセット	リセット			
	その他			保持			
ICCR2	BBSY	リセット	リセット	保持	セット	保持	
	ST			リセット	保持	保持	
	TRS, MST				セットまたは保持	リセット	
	その他				リセット	リセットまたは保持	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持	
	その他			保持	保持		
ICMR2		リセット	リセット	保持	保持	保持	
ICMR3		リセット	リセット	保持	保持	保持	
ICFER		リセット	リセット	保持	保持	保持	
ICSER		リセット	リセット	保持	保持	保持	
ICIER		リセット	リセット	保持	保持	保持	
ICSR1		リセット	リセット	リセット	保持	リセット	
ICSR2	TDRE, TEND	リセット	リセット	リセット	保持	リセット	
	START				セット		
	STOP				保持		セット
	その他				保持		保持
ICWUR		リセット	リセット	保持	保持	保持	
SARL0~SARL2 SARU0~SARU2		リセット	リセット	保持	保持	保持	
ICBRH, ICBRL		リセット	リセット	保持	保持	保持	
ICDRT		リセット	リセット	保持	保持	保持	
ICDRR		リセット	リセット	保持	保持	保持	
ICDRS		リセット	リセット	リセット	保持	保持	
タイムアウト検出機能		リセット	リセット	動作	動作	動作	
バスフリー時間計測		リセット	リセット	動作	動作	動作	
ICUWR2	WUSEN	リセット	リセット	保持	保持	保持	
	その他					保持、セットまたは リセット	

## 29.16 イベントリンク出力

IIC0 モジュールおよび IIC1 モジュールは、イベントリンクコントローラ (ELC) に対して以下の要因によってイベント出力を行います。

### (1) 通信エラーイベント

通信エラーイベントが発生すると、対応するイベント信号を ELC によって他のモジュールに出力できません。

### (2) 受信データフル

受信データレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

### (3) 送信データエンプティ

送信データレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

### (4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

## 29.16.1 割り込み処理とイベントリンク機能

IIC の各割り込み (表 29.10 参照) には、対応する割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットがセットされている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。各割り込み要因については、表 29.10 を参照してください。

## 29.17 使用上の注意事項

### 29.17.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、IIC の動作を許可または禁止することが可能です。IIC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

詳細は、「11. 低消費電力モード」を参照してください。

### 29.17.2 転送開始に関する注意事項

転送開始 (ICCR1.ICE ビット = 1) 時点で IIC の割り込みに対応した IR フラグが 1 であれば、動作を許可する前に下記の手順で割り込み要求をクリアしてください。ICCR1.ICE ビットが 1 の状態で IR フラグを 1 にして転送を開始すると、転送開始後、割り込み要求が内部で保持されるため、IR フラグが予期しない動作となる可能性があります。

転送開始前に割り込みをクリアする方法：

1. ICCR1.ICE ビットが 0 であることを確認する。
2. 対応する割り込み許可ビット (ICIER.TIE など) を 0 にする。
3. 対応する割り込み許可ビット (ICIER.TIE など) を読み出して、それらの値が 0 であることを確認する。
4. IR フラグを 0 にする。

## 30. CAN (Controller Area Network) モジュール

### 30.1 概要

CAN (Controller Area Network) モジュールは、電磁的ノイズの多いアプリケーションにおいて、メッセージベースのプロトコルを用いて複数のスレーブとマスタ間でデータの送受信を行います。このモジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠し、最大 32 個のメールボックスをサポートしています。これらは、通常のメールボックスモードと FIFO モードでの送受信用に設定可能です。標準 (11 ビット) と拡張 (29 ビット) の両方のメッセージフォーマットに対応しています。CAN モジュールには、追加の外部 CAN トランシーバが必要です。

表 30.1 に CAN モジュールの仕様を、図 30.1 にブロック図を示します。

表 30.1 CANモジュールの仕様 (1/2)

項目	内容
データ転送レート	ISO11898-1準拠の標準フレームと拡張フレーム
ビットレート	最大1Mbpsのデータ転送レートをプログラム可能 (fCAN ≥ 8MHz) fCAN : CANクロックソース
メッセージボックス	32個のメールボックスに対し、下記の2種類のメールボックスモードを選択可能 <ul style="list-style-type: none"> <li>• 通常モード : 32個のメールボックスを送信または受信用に個別に設定可能</li> <li>• FIFOモード : 24個のメールボックスを送信または受信用に個別に設定可能、残りのメールボックスは受信 (RX) および送信 (TX) の4段FIFOで使用</li> </ul>
受信	<ul style="list-style-type: none"> <li>• データフレームとリモートフレームの受信をサポート</li> <li>• 受信IDフォーマットは、標準IDのみ、拡張IDのみ、またはミックスIDを選択可能</li> <li>• ワンショット受信機能をプログラム可能</li> <li>• オーバーライトモード (未読メッセージ上書き) またはオーバーランモード (未読メッセージ保持) を選択可能</li> <li>• メールボックスごとに個別に受信完了割り込みを許可または禁止に設定可能</li> </ul>
アクセプタンスフィルタ	<ul style="list-style-type: none"> <li>• 8つのアクセプタンスマスク (4メールボックスごとに1つ)</li> <li>• メールボックスごとに個別にマスクを有効または無効に設定可能</li> </ul>
送信	<ul style="list-style-type: none"> <li>• データフレームとリモートフレームの送信をサポート</li> <li>• 送信IDフォーマットは、標準IDのみ、拡張IDのみ、またはミックスIDに選択可能</li> <li>• ワンショット送信機能を選択可能</li> <li>• ブロードキャストメッセージ機能</li> <li>• メッセージIDまたはメールボックス番号に基づく優先モードを選択可能</li> <li>• 送信要求アボートをサポート、アボート完了はステータスフラグで確認可能</li> <li>• メールボックスごとに個別に送信完了割り込みを許可または禁止に設定可能</li> </ul>
バスオフ復帰のモード遷移	バスオフ状態からの復帰のモード遷移を選択可能 : <ul style="list-style-type: none"> <li>• ISO11898-1仕様準拠</li> <li>• バスオフ開始で自動的にCAN haltモードへ遷移</li> <li>• バスオフ終了で自動的にCAN haltモードへ遷移</li> <li>• ソフトウェアによりCAN haltモードへ遷移</li> <li>• ソフトウェアによりエラーアクティブ状態へ遷移</li> </ul>
エラー状態の監視	<ul style="list-style-type: none"> <li>• CANバスエラー (スタッフエラー、フォームエラー、ACKエラー、15ビットCRCエラー、ビットエラー、ACKデリミタエラー) の監視</li> <li>• エラー状態 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) への遷移の検出</li> <li>• エラーカウンタ読み出しのサポート</li> </ul>
タイムスタンプ機能	<ul style="list-style-type: none"> <li>• 16ビットカウンタによるタイムスタンプ機能</li> <li>• 基準クロックは、1、2、4、8ビットタイム期間から選択可能</li> </ul>
割り込み機能	5種類の割り込み要因をサポート : <ul style="list-style-type: none"> <li>• 受信完了割り込み</li> <li>• 送信完了割り込み</li> <li>• 受信FIFO割り込み</li> <li>• 送信FIFO割り込み</li> <li>• エラー割り込み</li> </ul>
CANスリープモード1	CANクロック停止による消費電力の削減

表 30.1 CANモジュールの仕様 (2/2)

項目	内容
ソフトウェアサポートユニット	3つのソフトウェアサポートユニット： • アクセプタンスフィルタサポート • メールボックス検索サポート（受信メールボックス検索、送信メールボックス検索、メッセージロ スト検索） • チャネル検索サポート
CANクロックソース	PCLKBまたはCANMCLK
テストモード	評価用に3つのテストモードを用意： • リッスンオンリモード • セルフテストモード0（外部ループバック） • セルフテストモード1（内部ループバック）
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

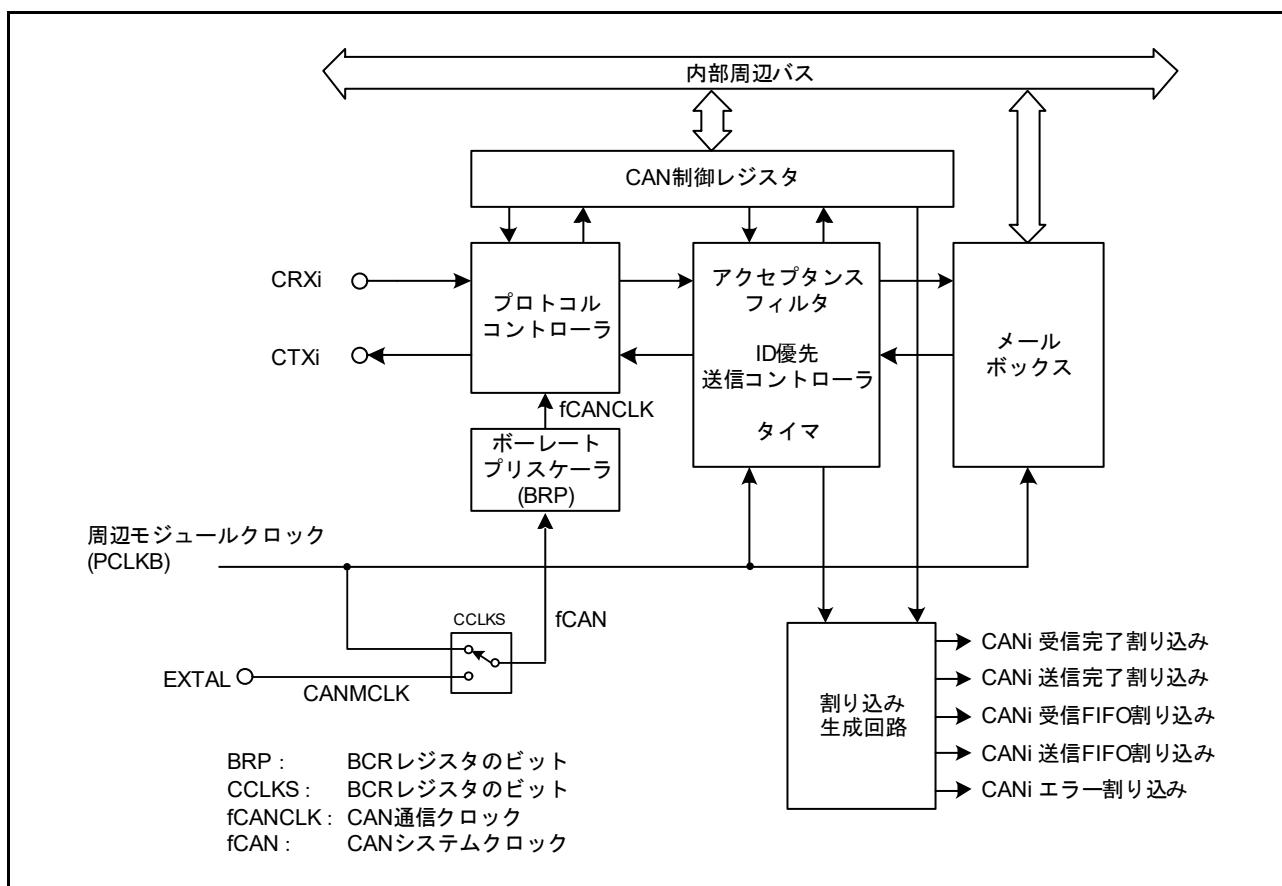


図 30.1 CANモジュールブロック図 (i = 0)

CAN モジュールには、次のブロックが含まれます。

- CAN の入出力端子  
CRXi および CTXi (i = 0)
- プロトコルコントローラ  
バスアービトラーション、送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。
- メールボックス  
送信または受信のいずれかに設定可能な 32 個のメールボックスで構成されます。各メールボックスは、固有の ID、データ長コード (DLC)、データフィールド (8 バイト)、およびタイムスタンプを持ちます。
- アクセプタンスフィルタ  
受信メッセージのフィルタ処理を行います。このフィルタ処理には、MKR0 ~ MKR7 レジスタを使用します。
- タイマ  
タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。
- 割り込み発生回路  
下記の 5 種類の割り込みを生成します。
  - CANi 受信完了割り込み
  - CANi 送信完了割り込み
  - CANi 受信 FIFO 割り込み
  - CANi 送信 FIFO 割り込み
  - CANi エラー割り込み

CAN モジュールは、表 30.2 に示す端子で通信を行います。これらは、本 MCU の他の信号との兼用端子です。詳細は、「19. I/O ポート」を参照してください。

表 30.2 CANモジュールの入出力端子

端子名	入出力	機能
CRX0	入力	データ受信端子
CTX0	出力	データ送信端子

## 30.2 レジスタの説明

## 30.2.1 コントロールレジスタ (CTRLR)

アドレス CAN0.CTRLR 4005 0840h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RBOC	BOM[1:0]	SLPM	CANM[1:0]	TSPPS[1:0]	TSRC	TPM	MLM	IDFM[1:0]	MBM				
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBM	CANメールボックスモード選択 (注1)	0 : 通常メールボックスモード 1 : FIFOメールボックスモード	R/W
b2-b1	IDFM[1:0]	IDフォーマットモード選択 (注1)	b2 b1 0 0 : 標準IDモード FIFOメールボックスを含むすべてのメールボックスは標準IDのみを処理します。 0 1 : 拡張IDモード FIFOメールボックスを含むすべてのメールボックスは拡張IDのみを処理します。 1 0 : ミックスIDモード FIFOメールボックスを含むすべてのメールボックスは標準IDと拡張IDの両方を処理します。通常メールボックスモードでは、対応するIDEビットを使用して標準IDと拡張IDを識別してください。FIFOメールボックスモードでは、対応するIDEビットはメールボックス0~23に使用します。FIDCR0およびFIDCR1レジスタのIDEビットは受信FIFO用に、メールボックス24に対応するIDEビットは送信FIFO用に使用します。 1 1 : 設定禁止	R/W
b3	MLM	メッセージロストモード選択 (注1)	0 : オーバライトモード 1 : オーバーランモード	R/W
b4	TPM	送信優先順位モード選択 (注1)	0 : ID優先送信モード 1 : メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリセットコマンド (注4)	0 : タイムスタンプカウンタをリセットしない 1 : タイムスタンプカウンタをリセットする (注3)	R/W
b7-b6	TSPPS[1:0]	タイムスタンププリスケアラ選択 (注1)	b7 b6 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	R/W
b9-b8	CANM[1:0]	CANオペレーションモード選択 (注5)	b9 b8 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CANhaltモード 1 1 : CANリセットモード (強制遷移)	R/W
b10	SLPM	CANスリープモード (注5) (注6)	0 : CANスリープモードの終了 1 : CANスリープモードの開始	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード (注1)	b12 b11 0 0 : 通常モード (ISO11898-1準拠) 0 1 : バスオフ開始で自動的にCANhaltモードへ遷移 1 0 : バスオフ終了で自動的にCANhaltモードへ遷移 1 1 : ソフトウェア要求によりバスオフ復帰期間中にCANhaltモードへ遷移	R/W
b13	RBOC	バスオフ強制復帰 (注2)	0 : 復帰しない 1 : バスオフ状態から強制復帰 (注3)	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、および MBM ビットへの書き込みは、CAN リセットモード時に行ってください。
- 注 2. RBOC ビットはバスオフ状態で 1 にしてください。
- 注 3. 本ビットは、1 にした後、自動的に 0 になります。読むと 0 が読めます。
- 注 4. TSRC ビットは CAN オペレーションモード時に 1 にしてください。
- 注 5. CANM[1:0] および SLPM ビットを変更した場合は、STR レジスタでモードが切り替わったことを確認してください。モードが切り替わるまで、CANM[1:0] ビットまたは SLPM ビットを変更しないでください。
- 注 6. SLPM ビットへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。SLPM ビットを変更する場合は、SLPM ビットのみで 0 または 1 を書いてください。

### MBM ビット (CAN メールボックスモード選択)

MBM ビットが 0 (通常メールボックスモード) の場合、メールボックス 0 ~ 31 は送信または受信メールボックスに設定されます。

MBM ビットが 1 (FIFO メールボックスモード) の場合：

- メールボックス 0 ~ 23 は送信または受信メールボックスに設定される
- メールボックス 24 ~ 27 は送信 FIFO に設定される
- メールボックス 28 ~ 31 は受信 FIFO に設定される

送信データは、メールボックス 24 (送信 FIFO のウィンドウメールボックス) に書き込まれます。受信データは、メールボックス 28 (受信 FIFO のウィンドウメールボックス) から読み出されます。

表 30.3 にメールボックスの構成を示します。

### IDFM[1:0] ビット (ID フォーマットモード選択)

IDFM[1:0] ビットは、ID フォーマットを指定します。

### MLM ビット (メッセージロストモード選択)

MLM ビットは、未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。いずれの場合も、選択したモードが受信 FIFO を含めたすべてのメールボックスに適用されます。

MLM ビットが 0 の場合、すべてのメールボックスはオーバーライトモードになります。新しいメッセージを受信すると、それによって既存のメッセージが上書きされます。

MLM ビットが 1 の場合、すべてのメールボックスはオーバーランモードになります。新しいメッセージは、古いメッセージを上書きすることなく、破棄されます。

### TPM ビット (送信優先順位モード選択)

TPM ビットは、メッセージを送信する場合の優先順位を指定します。

ID 優先送信モードまたはメールボックス番号送信モードから選択できます。すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信のどちらかになります。

TPM ビットが 0 の場合、ID 優先送信モードが選択され、送信優先順位は ISO11898-1 の CAN 仕様に定められているように調停されます。ID 優先送信モードでは、メールボックス 0 ~ 31 (通常メールボックスモード時)、メールボックス 0 ~ 23 (FIFO メールボックスモード時)、および送信 FIFO が、送信用に設定されたメールボックスの ID と比較されます。2 つ以上のメールボックス ID が同一であると、小さい番号のメールボックスが優先されます。

送信 FIFO から送信される次のメッセージのみが、送信アービトレーションの対象となります。FIFO メッセージを送信中の場合、送信 FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

TPM ビットが 1 の場合、メールボックス番号送信モードが選択され、一番小さい番号の送信メールボックスが最優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス (0 ~ 23) よりも優先順位が低くなります。

### TSRC ビット (タイムスタンプカウンタリセットコマンド)

TSRC ビットは、タイムスタンプカウンタをリセットします。本ビットを 1 にすると、TSR レジスタは 0000h になります。TSRC ビットは、自動的に 0 になります。

### TSPS[1:0] ビット (タイムスタンププリスケアラ選択)

TSPS[1:0] ビットは、タイムスタンプ用のプリスケアラを選択します。タイムスタンプ用の基準クロックは、1、2、4、または 8 ビットタイム期間から選択できます。

### CANM[1:0] ビット (CAN オペレーションモード選択)

CAN モジュールのモードを下記から 1 つ選択します。

- CAN オペレーションモード
- CAN リセットモード
- CAN halt モード

CAN スリープモードは SLPM ビットで設定します。詳細は、[30.3 動作モード](#)を参照してください。CAN モジュールが、BOM[1:0] ビットの設定値に基づいて CAN halt モードへ遷移した場合、CANM[1:0] ビットは自動的に 10b になります。

### SLPM ビット (CAN スリープモード)

SLPM ビットを 1 にすると、CAN モジュールは CAN スリープモードへ遷移します。SLPM ビットを 0 にすると、CAN モジュールは CAN スリープモードから復帰します。詳細は、[30.3 動作モード](#)を参照してください。

### BOM[1:0] ビット (バスオフ復帰モード)

BOM[1:0] ビットは、CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが 00b の場合、ISO11898-1 仕様に準拠してバスオフから復帰します。CAN モジュールは、11 の連続するレセシブビットを 128 回検出すると、CAN 通信 (エラーアクティブ状態) を回復させます。バスオフからの復帰時に、バスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが 01b の場合、CAN モジュールがバスオフ状態に達すると、CTRL.CANM[1:0] ビットが 10b になり CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは 00h になります。

BOM[1:0] ビットが 10b の場合、CAN モジュールがバスオフ状態に達すると、ただちに CANM[1:0] ビットが 10b になります。CAN モジュールは、11 の連続するレセシブビットを 128 回検出してバスオフ状態から復帰した後、CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタと RECR レジスタは 00h になります。

BOM[1:0] ビットが 11b の場合、CAN モジュールがまだバスオフ状態のときに CANM[1:0] ビットを 10b にすると、CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは 00h になります。ただし、CANM[1:0] ビットを 10b にする前に、11 の連続するレセシブビットを 128 回検出して CAN モジュールがバスオフから復帰した場合は、割り込みが発生します。

CAN モジュールが CAN halt モードへ遷移しようとしたとき (BOM[1:0] ビット = 01b のときはバスオフ開始時、BOM[1:0] ビット = 10b のときはバスオフ終了時)、同時に CPU が CAN リセットモードへの遷移を要求した場合は、CPU 要求の CAN リセットモードへの遷移が優先されます。

### RBOC ビット (バスオフ強制復帰)

バスオフ状態のとき RBOC ビットを 1 にすると、CAN モジュールは強制的にバスオフを終了させます。RBOC ビットは自動的に 0 になり、エラー状態はバスオフからエラーアクティブに変化します。RBOC ビットを 1 にすると、RECR、TECR は 00h になり、STR の BOST ビットは 0 になり、バスオフ状態ではないことを示します。他のレジスタは RBOC ビットを 1 にしても変化しません。バスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM[1:0] ビットが 00b (通常モード) の場合にのみ使用してください。



表 30.3 メールボックスの構成

メールボックス	MBMビット=0 (通常メールボックスモード)	MBMビット=1 (FIFOメールボックスモード) (注1) ~ (注5)
メールボックス0~23	通常メールボックス	通常メールボックス
メールボックス24~27		送信FIFO
メールボックス28~31		受信FIFO

- 注 1. 送信 FIFO は TFCR レジスタで制御します。メールボックス 24 ~ 27 に対応する MCTL\_TXj レジスタは無効です。MCTL\_TX24 ~ MCTL\_TX27 レジスタは送信 FIFO では使用できません。
- 注 2. 受信 FIFO は RFCR レジスタで制御します。メールボックス 28 ~ 31 に対応する MCTL\_RXj レジスタは無効です。MCTL\_RX28 ~ MCTL\_RX31 レジスタは受信 FIFO では使用できません。
- 注 3. FIFO 割り込みについては、MIER\_FIFO レジスタの説明を参照してください。
- 注 4. メールボックス 24 ~ 31 に対応する MKIVLR レジスタのビットは無効です。これらのビットは 0 にしてください。
- 注 5. 送信および受信 FIFO は、データフレームとリモートフレームの両方に使用可能です。

### 30.2.2 ビットコンフィグレーションレジスタ (BCR)

アドレス CAN0.BCR 4005 0844h



ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CANクロックソース選択	0 : PCLKB (PLLクロックで生成) 1 : CANMCLK (メインクロック発振器で生成)	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御	b10 b8 0 0 0 : 設定禁止 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	SJW[1:0]	同期ジャンプ幅制御	b13 b12 0 0 : 1Tq 0 1 : 2Tq 1 0 : 3Tq 1 1 : 4Tq	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b16	BRP[9:0]	ボーレートプリスケラ選択 (注1)	CAN通信クロック (fCANCLK) の周波数を設定します。	R/W
b27-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b28	TSEG1[3:0]	タイムセグメント1制御	b31 b28 0 0 0 0 : 設定禁止 0 0 0 1 : 設定禁止 0 0 1 0 : 設定禁止 0 0 1 1 : 4Tq 0 1 0 0 : 5Tq 0 1 0 1 : 6Tq 0 1 1 0 : 7Tq 0 1 1 1 : 8Tq 1 0 0 0 : 9Tq 1 0 0 1 : 10Tq 1 0 1 0 : 11Tq 1 0 1 1 : 12Tq 1 1 0 0 : 13Tq 1 1 0 1 : 14Tq 1 1 1 0 : 15Tq 1 1 1 1 : 16Tq	R/W

Tq : Time Quantum  
 注 1. SCKSCR.CKSEL[2:0] ビットが 011b (メインクロック発振器選択) の場合、1 以下の値を選択しないでください。

ビットタイミングの設定については、[30.4 データ転送レートの設定](#)を参照してください。BCR レジスタは、CAN リセットモードから CAN halt モード、または CAN リセットモードから CAN オペレーションモードへ遷移する前に設定してください。このレジスタは、いったん設定した後も、CAN リセットモードまたは CAN halt モードで書き込みが可能です。32 ビットでリード/ライトアクセスする場合、ビット 0 ~ 7 を変更しないように注意して行う必要があります。

#### **CCLKS ビット (CAN クロックソース選択)**

CCLKS ビットが 0 の場合、CAN クロックソース (fCAN) には、PLL 周波数シンセサイザで生成された周辺クロック (PCLKB) が使用されます。CCLKS ビットが 1 の場合、CAN クロックソース (fCAN) には、外部の EXTAL 端子で生成された CANMCLK が使用されます。

#### **TSEG2[2:0] ビット (タイムセグメント 2 制御)**

TSEG2[2:0] ビットは、フェーズバッファセグメント 2 (PHASE\_SEG2) の長さを Tq 値で指定します。2 ~ 8Tq の値が設定可能です。TSEG1[3:0] ビット値未満の値を設定してください。

#### **SJW[1:0] ビット (同期ジャンプ幅制御)**

SJW[1:0] ビットは、同期ジャンプ幅を Tq 値で指定します。1 ~ 4Tq の値が設定可能です。TSEG2[2:0] ビット値以下の値を設定してください。

#### **BRP[9:0] ビット (ボーレートプリスケール選択)**

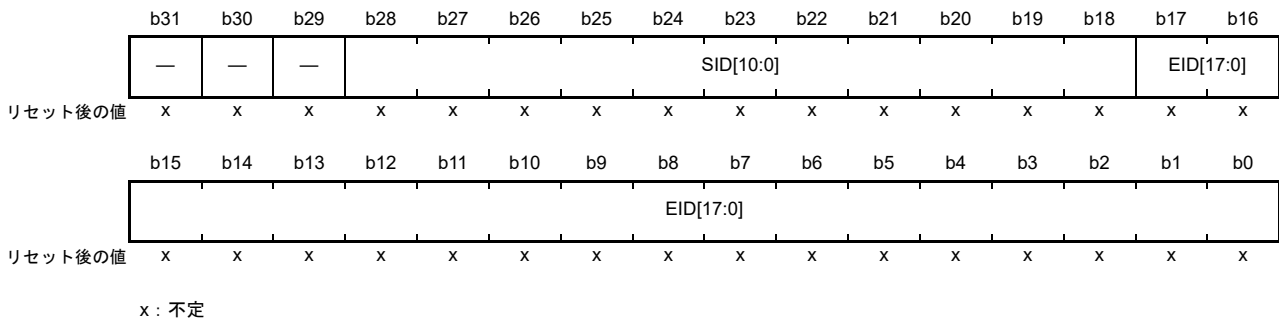
BRP[9:0] ビットは、CAN 通信クロック (fCANCLK) の周波数を設定します。fCANCLK の周期が 1Tq となります。設定値を P (0 ~ 1023) とすると、ボーレートプリスケールは fCAN を P+1 で分周します。

#### **TSEG1[3:0] ビット (タイムセグメント 1 制御)**

TSEG1[3:0] ビットは、プロパゲーションタイムセグメント (PROP\_SEG) とフェーズバッファセグメント 1 (PHASE\_SEG1) の合計長を Tq 値で指定します。4 ~ 16Tq の値が設定可能です。

## 30.2.3 マスクレジスタ k (MKRk) (k = 0 ~ 7)

アドレス CAN0.MKR[0] 4005 0400h ~ CAN0.MKR[7] 4005 041Ch



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	0: 対応するEID[17:0]ビットを比較しない 1: 対応するEID[17:0]ビットを比較する	R/W
b28-b18	SID[10:0]	標準ID	0: 対応するSID[10:0]ビットを比較しない 1: 対応するSID[10:0]ビットを比較する	R/W
b31-b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

FIFO メールボックスモードでのマスク機能については、[30.6 アクセプタンスフィルタ機能とマスク機能](#)を参照してください。MKR0 ~ MKR7 レジスタへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。

**EID[17:0] ビット (拡張 ID)**

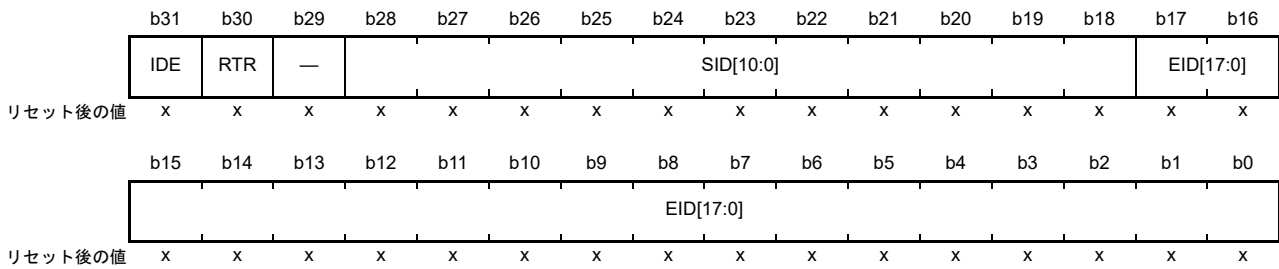
EID[17:0] ビットは、CAN 拡張 ID ビットに対応するフィルタマスクビットです。拡張 ID のメッセージを受信するために使用します。EID[17:0] ビットを 0 にした場合、受信した ID は、対応するメールボックスの ID と比較されません。EID[17:0] ビットを 1 にした場合、受信した ID は、対応するメールボックスの ID と比較されます。

**SID[10:0] ビット (標準 ID)**

SID[10:0] ビットは、CAN 標準 ID ビットに対応するフィルタマスクビットです。標準 ID と拡張 ID の両メッセージを受信するために使用します。SID[10:0] ビットを 0 にした場合、受信した ID は、対応するメールボックスの ID と比較されません。SID[10:0] ビットを 1 にした場合、受信した ID は、対応するメールボックスの ID と比較されます。

## 30.2.4 FIFO 受信 ID 比較レジスタ 0、1 (FIDCR0、FIDCR1)

アドレス CAN0.FIDCR0 4005 0420h, CAN0.FIDCR1 4005 0424h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	データフレームとリモートフレームの拡張ID	R/W
b28-b18	SID[10:0]	標準ID	データフレームとリモートフレームの標準ID	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	RTR	リモート送信要求	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID拡張 <sup>(注1)</sup>	0: 標準ID 1: 拡張ID	R/W

注1. IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。IDFM[1:0] ビットが 10b 以外の場合、IDE には 0 のみを書いてください。読むと 0 が読めます。

FIDCR0 および FIDCR1 レジスタは、CTRL.MBM ビットが 1 (FIFO メールボックスモード) のとき有効です。このモードでは、MB28 ~ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、および IDE ビットは無効です。FIDCR0 および FIDCR1 レジスタへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。FIDCR0 および FIDCR1 レジスタの使用方法については、[30.6 アクセプタンスフィルタ機能とマスク機能](#)を参照してください。

**EID[17:0] ビット (拡張 ID)**

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを受信するために使用します。

**SID[10:0] ビット (標準 ID)**

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを受信するために使用します。

**RTR ビット (リモート送信要求)**

RTR ビットは、フレームフォーマットをデータフレームまたはリモートフレームに設定します:

- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 0 の場合、データフレームのみを受信
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 1 の場合、リモートフレームのみを受信
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビット同士が異なる値の場合、データフレームとリモートフレームの両方を受信

## IDE ビット (ID 拡張)

IDE ビットは、ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です：

- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 0 の場合、標準 ID フレームのみを受信
- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 1 の場合、拡張 ID フレームのみを受信
- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビット同士が異なる値の場合、標準 ID フレームと拡張 ID フレームの両方を受信

### 30.2.5 マスク無効レジスタ (MKIVLR)

アドレス CAN0.MKIVLR 4005 0428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	マスク無効	0: マスク有効 1: マスク無効	R/W

MKIVLR レジスタの各ビットは、同じ番号のメールボックスに対応しています。MKIVLR レジスタのビット 0 はメールボックス 0 (MB0) に対応し、ビット 31 はメールボックス 31 (MB31) にそれぞれ対応しています。

注. FIFO メールボックスモード時は、ビット 31 ~ 24 を 0 にしてください。

ビットを 1 にすると、対応するメールボックスのアクセプタンスマスクレジスタが無効になります。マスク無効ビットを 1 にすると、受信メッセージの ID がメールボックスの ID に完全に一致する場合にのみ、対応するメールボックスによってメッセージ受信が行われます。MKIVLR レジスタへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。

### 30.2.6 メールボックスレジスタ j (MBj\_ID、MBj\_DL、MBj\_Dm、MBj\_TS) (j = 0 ~ 31; m = 0 ~ 7)

表 30.4 に CAN メールボックスのメモリ配置を、表 30.5 に CAN データフレームの構成を示します。CAN メールボックスのリセット後の値は不定です。

MBj\_ID、MBj\_DL、MBj\_Dm、MBj\_TS レジスタは、関連する MCTL\_TXj または MCTL\_RXj (j = 0 ~ 31) レジスタが 00h で、かつ対応するメールボックスがアボート処理中でないときのみ変更してください。レジスタアドレスの詳細については、表 30.4 を参照してください。

表 30.4 CANメールボックスのメモリ配置

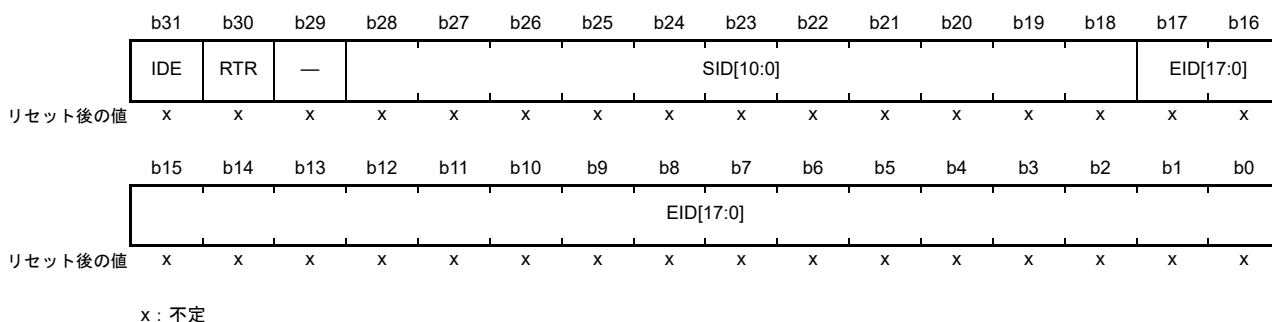
アドレス	メッセージ内容
CAN0	メモリ配置
4005 0200h + 16 × j + 0	IDE、RTR、SID10 ~ SID6
4005 0200h + 16 × j + 1	SID5 ~ SID0、EID17、EID16
4005 0200h + 16 × j + 2	EID15 ~ EID8
4005 0200h + 16 × j + 3	EID7 ~ EID0
4005 0200h + 16 × j + 4	—
4005 0200h + 16 × j + 5	データ長コード (DLC[3:0])
4005 0200h + 16 × j + 6	データバイト0
4005 0200h + 16 × j + 7	データバイト1
4005 0200h + 16 × j + 8	データバイト2
4005 0200h + 16 × j + 9	データバイト3
4005 0200h + 16 × j + 10	データバイト4
4005 0200h + 16 × j + 11	データバイト5
4005 0200h + 16 × j + 12	データバイト6
4005 0200h + 16 × j + 13	データバイト7
4005 0200h + 16 × j + 14	タイムスタンプ上位バイト
4005 0200h + 16 × j + 15	タイムスタンプ下位バイト

表 30.5 CANデータフレームの構成

SID10 ~ SID6	SID5 ~ SID0	EID17 ~ EID16	EID15 ~ EID8	EID7 ~ EID0	DLC3 ~ DLC1	DATA0	DATA1	...	DATA7
--------------	-------------	---------------	--------------	-------------	-------------	-------	-------	-----	-------

各メールボックスの内容は、新しいメッセージを受信しないかぎり、以前の値を保持します。

アドレス [CAN0.MB0\\_ID 4005 0200h](#)～[CAN0.MB31\\_ID 4005 03F0h](#)

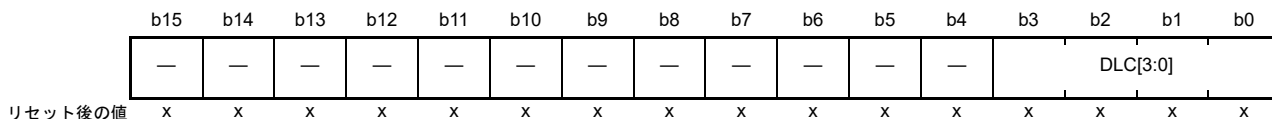


x : 不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	<a href="#">EID[17:0]</a>	拡張ID (注1)	データフレームとリモートフレームの拡張ID	R/W
b28-b18	<a href="#">SID[10:0]</a>	標準ID	データフレームとリモートフレームの標準ID	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	<a href="#">RTR</a>	リモート送信要求	0 : データフレーム 1 : リモートフレーム	R/W
b31	<a href="#">IDE</a>	ID拡張 (注2)	0 : 標準ID 1 : 拡張ID	R/W

- 注 1. メールボックスが標準 ID のメッセージを受信すると、そのメールボックスの EID ビット値は不定になります。  
 注 2. IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。IDFM[1:0] ビットが 10b 以外の場合、IDE には 0 のみを書いてください。読むと 0 が読めます。

アドレス [CAN0.MB0\\_DL 4005 0204h](#)～[CAN0.MB31\\_DL 4005 03F4h](#)



x : 不定

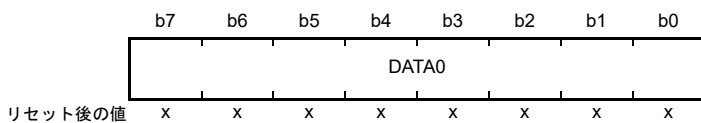
ビット	シンボル	ビット名	機能	R/W																														
b3-b0	<a href="#">DLC[3:0]</a>	データ長コード (注1)	<table border="0"> <tr> <td>b3</td> <td>b0</td> <td></td> </tr> <tr> <td>0 0 0</td> <td>0</td> <td>: データ長 = 0 バイト</td> </tr> <tr> <td>0 0 0</td> <td>1</td> <td>: データ長 = 1 バイト</td> </tr> <tr> <td>0 0 1</td> <td>0</td> <td>: データ長 = 2 バイト</td> </tr> <tr> <td>0 0 1</td> <td>1</td> <td>: データ長 = 3 バイト</td> </tr> <tr> <td>0 1 0</td> <td>0</td> <td>: データ長 = 4 バイト</td> </tr> <tr> <td>0 1 0</td> <td>1</td> <td>: データ長 = 5 バイト</td> </tr> <tr> <td>0 1 1</td> <td>0</td> <td>: データ長 = 6 バイト</td> </tr> <tr> <td>0 1 1</td> <td>1</td> <td>: データ長 = 7 バイト</td> </tr> <tr> <td>1 x x</td> <td>x</td> <td>: データ長 = 8 バイト</td> </tr> </table>	b3	b0		0 0 0	0	: データ長 = 0 バイト	0 0 0	1	: データ長 = 1 バイト	0 0 1	0	: データ長 = 2 バイト	0 0 1	1	: データ長 = 3 バイト	0 1 0	0	: データ長 = 4 バイト	0 1 0	1	: データ長 = 5 バイト	0 1 1	0	: データ長 = 6 バイト	0 1 1	1	: データ長 = 7 バイト	1 x x	x	: データ長 = 8 バイト	R/W
b3	b0																																	
0 0 0	0	: データ長 = 0 バイト																																
0 0 0	1	: データ長 = 1 バイト																																
0 0 1	0	: データ長 = 2 バイト																																
0 0 1	1	: データ長 = 3 バイト																																
0 1 0	0	: データ長 = 4 バイト																																
0 1 0	1	: データ長 = 5 バイト																																
0 1 1	0	: データ長 = 6 バイト																																
0 1 1	1	: データ長 = 7 バイト																																
1 x x	x	: データ長 = 8 バイト																																
b15-b4	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W																														

x : Don't care

- 注 1. メールボックスが n バイト (n は 8 未満) のデータ長 (DLC[3:0] ビットで設定) のメッセージを受信すると、メールボックスの DATA<sub>n</sub> ~ DATA<sub>7</sub> レジスタのデータは不定になります。DATA<sub>0</sub> ~ DATA<sub>7</sub> は該メールボックスにおけるデータレジスタです。たとえば、データ長が 6 バイト (DLC[3:0] = 6h) であれば、DATA<sub>6</sub> レジスタと DATA<sub>7</sub> レジスタのデータが不定になります。



アドレス [CAN0.MB0\\_D0 4005 0206h](#)～[CAN0.MB31\\_D0 4005 03F6h](#)



アドレス [CAN0.MB0\\_D1 4005 0207h](#)～[CAN0.MB31\\_D1 4005 03F7h](#)



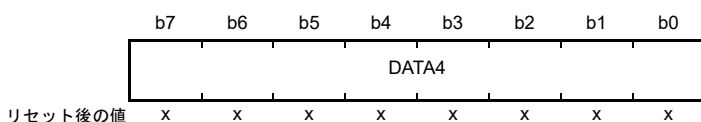
アドレス [CAN0.MB0\\_D2 4005 0208h](#)～[CAN0.MB31\\_D2 4005 03F8h](#)



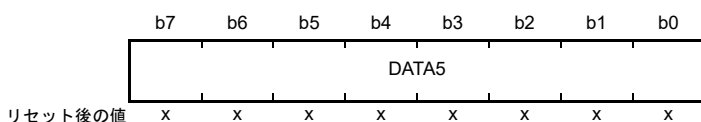
アドレス [CAN0.MB0\\_D3 4005 0209h](#)～[CAN0.MB31\\_D3 4005 03F9h](#)



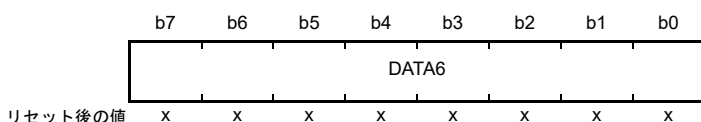
アドレス [CAN0.MB0\\_D4 4005 020Ah](#)～[CAN0.MB31\\_D4 4005 03FAh](#)



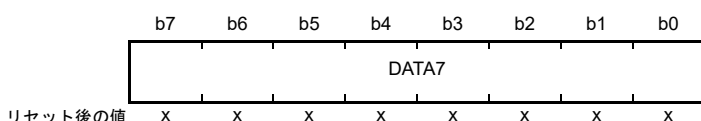
アドレス [CAN0.MB0\\_D5 4005 020Bh](#)～[CAN0.MB31\\_D5 4005 03FBh](#)



アドレス [CAN0.MB0\\_D6 4005 020Ch](#)～[CAN0.MB31\\_D6 4005 03FCh](#)



アドレス [CAN0.MB0\\_D7 4005 020Dh](#)～[CAN0.MB31\\_D7 4005 03FDh](#)



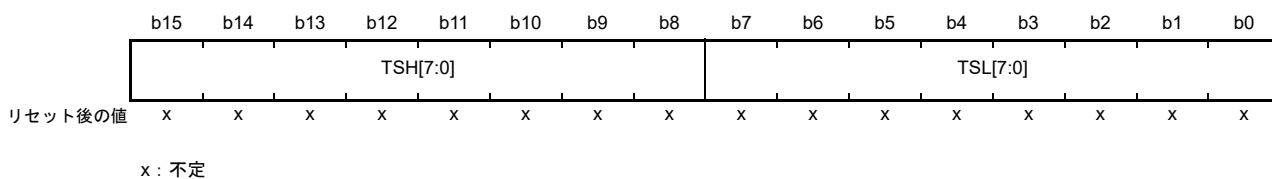
x: 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0 ~ DATA7	データバイト0~7 (注1) (注2)	DATA0~7は送信または受信したCANメッセージデータを格納します。送受信は、DATA0から開始されます。CANバス上のビットオーダーはMSBファーストであり、ビット7から送受信が開始されます。	R/W

注1. メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATA<sub>n</sub> ~ DATA7の値は不定になります。

注2. メールボックスがリモートフレームを受信した場合、そのメールボックスのDATA0 ~ DATA7は以前の値を保持します。

アドレス CAN0.MB0\_TS 4005 020Eh ~ CAN0.MB31\_TS 4005 03FEh



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]ビットとTSL[7:0]ビットは、受信メッセージがメールボックスに取り込まれた時点のタイムスタンプのカウント値を格納します。	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

### EID[17:0] ビット (拡張 ID)

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを送受信するために使用します。

### SID[10:0] ビット (標準 ID)

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを送受信するために使用します。

### RTR ビット (リモート送信要求)

RTR ビットは、データフレームまたはリモートフレームのフレームフォーマットを設定します。

- 受信メールボックスは、RTR ビットで指定されたフォーマットのフレームのみを受信する
- 送信メールボックスは、RTR ビットで指定されたフレームフォーマットで送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの RTR ビットで指定されたデータフレーム、リモートフレーム、またはその両方を受信する
- 送信 FIFO メールボックスは、送信メッセージ内の RTR ビットで指定されたデータフレームまたはリモートフレームを送信する

### IDE ビット (ID 拡張)

IDE ビットは、ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。

- 受信メールボックスは、IDE ビットで指定された ID フォーマットのみを受信する
- 送信メールボックスは、IDE ビットで指定された ID フォーマットで送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの IDE ビットで指定された標準 ID と拡張 ID の設定でメッセージを受信する
- 送信 FIFO メールボックスは、送信メッセージ内の IDE ビットで指定された標準 ID または拡張 ID の設定でメッセージを送信する

**DLC[3:0] ビット (データ長コード)**

DLC[3:0] ビットは、データフレームで送信されるデータ長を指定します。リモートフレームを使用してデータを要求する場合、DLC[3:0] ビットは要求するデータ長を指定します。

データフレームを受信した場合、DLC[3:0] ビットには受信したデータ長が格納されます。リモートフレームを受信した場合、DLC[3:0] ビットには要求されたデータ長が格納されます。

## 30.2.7 メールボックス割り込みイネーブルレジスタ (MIER)

アドレス CAN0.MIER 4005 042Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	割り込み許可	0: 割り込み禁止 1: 割り込み許可 ビット31はメールボックス31 (MB31) に、ビット0はメールボックス0 (MB0) に対応しています。	R/W

MIER レジスタは、メールボックスごとに個別に割り込みを許可できます。このレジスタは、通常メールボックスモードで利用可能です。FIFO メールボックスモードでは、このレジスタにアクセスしないでください。

各ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みと受信完了割り込みを許可または禁止します：

- MIER レジスタのビット 0 はメールボックス 0 (MB0) に対応
- MIER レジスタのビット 31 はメールボックス 31 (MB31) に対応

MIER レジスタは、関連する MCTL\_TXj または MCTL\_RXj (j=0 ~ 31) レジスタが 00h で、関連するメールボックスが送受信アボートの処理をしていないときのみ変更してください。

### 30.2.8 FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ (MIER\_FIFO)

アドレス CAN0.MIER\_FIFO 4005 042Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	MB29	MB28	—	—	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b23-b0	MB23～MB0	割り込み許可	0: 割り込み禁止 1: 割り込み許可 ビット23はメールボックス23 (MB23) に、ビット0はメールボックス0 (MB0) に対応しています。	R/W
b24	MB24	送信FIFO割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b25	MB25	送信FIFO割り込み発生タイミング制御	0: 送信完了ごとに発生 1: 送信完了時に送信FIFOが空になると発生	R/W
b27-b26	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b28	MB28	受信FIFO割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b29	MB29	受信FIFO割り込み発生タイミング制御 (注1)	0: 受信完了ごとに発生 1: 受信完了時に受信FIFOがバッファワーニング (注2) になると発生	R/W
b31-b30	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

注1. 受信FIFOがフルのためにバッファワーニングとなった場合、割り込み要求は発生しません。

注2. バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

MIER\_FIFO レジスタは、メールボックスごと、FIFO ごとに個別に割り込みを許可できます。このレジスタは、FIFO メールボックスモードで利用可能です。通常メールボックスモードではアクセスしないでください。

MB0～MB23 ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みと受信完了割り込みを許可または禁止します。

- MIER\_FIFO レジスタのビット0はメールボックス0 (MB0) に対応
- MIER\_FIFO レジスタのビット23はメールボックス23 (MB23) に対応

MB24、MB25、MB28、MB29は、送信/受信FIFO割り込みを許可するか否か、および割り込み要求のタイミングを指定します。

MIER\_FIFO レジスタは、関連する MCTL\_TXj または MCTL\_RXj (j=0～31) レジスタが 00h で、関連するメールボックスが送受信アポートの処理をしていないときのみ変更してください。また、対応するFIFOのMIER\_FIFOレジスタのビットは、以下の条件がすべて満たされている場合のみ変更してください。

- TFCR.TFE ビットが0で、かつTFESTビットが1
- RFCR.RFE ビットが0で、かつRFCR.RFESTフラグが1

## 30.2.9 送信用メッセージコントロールレジスタ (MCTL\_TXj) (j = 0 ~ 31)

- 送信モード (TRMREQ ビットが1、RECREQ ビットが0の場合)

アドレス CAN0.MCTL\_TX[0] 4005 0820h ~ CAN0.MCTL\_TX[31] 4005 083Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ (注1) (注2)	0: 送信未完了 1: 送信完了	R/W
b1	TRMACTIVE	送信中ステータスフラグ	0: 送信待機中または送信要求なし 1: 送信中	R
b2	TRMABT	送信アボート完了フラグ (注1) (注2)	0: 送信開始、送信完了により送信アボート失敗、または送信アボート要求なし 1: 送信アボート完了	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ONESHOT	ワンショット許可 (注2) (注3)	0: ワンショット送信禁止 1: ワンショット送信許可	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RECREQ	受信メールボックス要求 (注2) (注3) (注4) (注5)	0: 受信用に設定しない 1: 受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求 (注2) (注4)	0: 送信用に設定しない 1: 送信用に設定する	R/W

注 1. 0のみ書けます。1の書き込みは無効です。

注 2. このレジスタに書き込むとき、SENTDATA および TRMABT フラグが書き込み対象でない場合はこれらのフラグに1を書き込んでください。

注 3. ワンショット送信モードへ遷移するためには、TRMREQ ビットを1にすると同時に、ONESHOT ビットに1を書き込んでください。ワンショット送信モードを解除するには、メッセージが送信またはアボートされた後、ONESHOT ビットに0を書き込んでください。

注 4. RECREQ ビットと TRMREQ ビットの両方を1にしないでください。

注 5. RECREQ ビットを0にするときは、SENTDATA、TRMACTIVE、および TRMABT フラグを同時に0にしてください。

MCTL\_TXj は、メールボックス j を送信モードまたは受信モードに設定します。送信モードでは、MCTL\_TXj は送信状態の制御と表示も行います。メールボックス j が受信モードのときは、MCTL\_TXj にアクセスしないでください。MCTL\_TXj は、CAN オペレーションモードまたは CAN halt モード時に変更してください。FIFO メールボックスモードでは、MCTL\_TX24 ~ MCTL\_TX31 レジスタを使用しないでください。

## SENTDATA フラグ (送信完了フラグ)

SENTDATA フラグは、対応するメールボックスからのデータ送信が完了すると1になります。SENTDATA フラグは、ソフトウェア書き込みにより0になります。本フラグを0にする場合、最初に TRMREQ ビットを0にしてください。SENTDATA フラグと TRMREQ フラグを同時に0にすることはできません。対応するメールボックスから新しいメッセージを送信するには、SENTDATA フラグを0にしてください。

## TRMACTIVE フラグ (送信中ステータスフラグ)

TRMACTIVE フラグは、CAN モジュールの対応するメールボックスがメッセージ送信を開始すると1になります。CAN モジュールが CAN バスアービトラクションに負けるか、CAN バスエラーが起こるか、あるいはデータ送信が完了すると0になります。

### TRMABT フラグ (送信アボート完了フラグ)

TRMABT フラグは、次の場合、1 (送信アボート完了) になります。

- 送信アボート要求に続いて、送信開始前に送信アボートが完了したとき
- 送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき
- ワンショット送信モード時 (RECREQ=0、TRMREQ=1、ONESHOT=1) に、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき

TRMABT フラグは、データ送信が完了しても 1 になりません。SENTDATA フラグは 1 になります。TRMABT フラグは、ソフトウェア書き込みにより 0 になります。

### ONESHOT ビット (ワンショット許可)

送信モード時 (RECREQ=0、TRMREQ=1) に ONESHOT ビットを 1 にすると、CAN モジュールはメッセージを 1 回だけ送信します。(CAN バスエラーまたは CAN バスアービトレーションロストが発生しても、CAN モジュールはメッセージを再送信しません) 送信が完了したとき、SENTDATA フラグが 1 になります。CAN バスエラーまたは CAN バスアービトレーションロストエラーが原因で送信が完了しないと、TRMABT フラグが 1 になります。ONESHOT ビットは、SENTDATA または TRMABT フラグが 1 になった後に 0 にしてください。

### RECREQ ビット (受信メールボックス要求)

RECREQ ビットは、表 30.10 に示す受信モードを選択します。

RECREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

以下の期間は、ハードウェアプロテクトのため、RECREQ ビットはソフトウェアで書き込みをしても 0 になりません。

- ハードウェアプロテクトは、アクセプタンスフィルタ処理から開始されます (CRC フィールドの始まり)
- ハードウェアプロテクトの解除
  - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最長期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでの期間
  - その他のメールボックスは、アクセプタンスフィルタ処理後
  - 受信メッセージに指定されたメールボックスがない場合は、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアボートし、そして SENTDATA ビットと TRMABT フラグを 0 にしてください。

注. MCTL\_TXj.RECREQ は、MCTL\_RXj.RECREQ のミラービットです。

**TRMREQ ビット (送信メールボックス要求)**

TRMREQ ビットは、表 30.10 に示す送信モードを選択します。

TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。

TRMREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されません。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアボートし、それから NEWDATA ビットと MSGLOST ビットを 0 にしてください。

注. MCTL\_TXj.TRMREQ は、MCTL\_RXj.TRMREQ のミラービットです。



## 30.2.10 受信メッセージコントロールレジスタ (MCTL\_RXj) (j = 0 ~ 31)

- 受信モード (TRMREQビットが0、RECREQビットが1の場合)

アドレス CAN0.MCTL\_RX[0] 4005 0820h ~ CAN0.MCTL\_RX[31] 4005 083Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALIDATA	NEWDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEWDATA	受信完了フラグ (注1) (注2)	0: 受信データなし、または本フラグに0を書いた場合 1: 新しいメッセージをメールボックスに格納中または格納済み	R/W
b1	INVALIDATA	受信中ステータスフラグ	0: メッセージは有効 1: メッセージを更新中	R
b2	MSGLOST	メッセージロストフラグ (注1) (注2)	0: メッセージのオーバーライトまたはオーバーランなし 1: メッセージのオーバーライトまたはオーバーランあり	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ONESHOT	ワンショット許可 (注2) (注3)	0: ワンショット受信禁止 1: ワンショット受信許可	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RECREQ	受信メールボックス要求 (注2) (注3) (注4) (注5)	0: 受信用に設定しない 1: 受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求 (注2) (注4)	0: 送信用に設定しない 1: 送信用に設定する	R/W

注1. 0のみ書けます。1の書き込みは無効です。

注2. このレジスタの各ビットに書き込む際は、NEWDATA および MSGLOST フラグが書き込み対象でない場合、これらのフラグには1を書いてください。

注3. ワンショット受信モードへ遷移するには、RECREQ ビットを1にすると同時に、ONESHOT ビットに1を書いてください。ワンショット受信モードを解除するときは、RECREQ ビットに0を書いた後、RECREQ ビットが0であることを確認してから ONESHOT ビットに0を書いてください。

注4. RECREQ ビットと TRMREQ ビットの両方を1にしないでください。

注5. RECREQ ビットを0にする場合、MSGLOST、NEWDATA、および RECREQ ビットを同時に0にしてください。

MCTL\_RXj は、メールボックス j を送信モードまたは受信モードに設定します。受信モードでは、MCTL\_RXj は受信状態の制御と表示も行います。

メールボックス j が送信モードのときは、MCTL\_RXj にアクセスしないでください。MCTL\_RXj レジスタは、CAN オペレーションモードまたは CAN halt モード時に変更してください。FIFO メールボックスモードでは、MCTL\_RX24 ~ MCTL\_RX31 を使用しないでください。

#### NEWDATA フラグ (受信完了フラグ)

NEWDATA フラグは、メールボックスに新しいメッセージを格納中または格納が完了したときに1になります。常に INVALIDATA フラグと同時に1にしてください。NEWDATA フラグは、ソフトウェア書き込みにより0になります。対応する INVALIDATA フラグが1の場合、NEWDATA フラグをソフトウェア書き込みで0にすることはできません。

#### INVALIDATA フラグ (受信中ステータスフラグ)

INVALIDATA フラグは、メッセージの受信完了後、対応するメールボックスに受信したメッセージを更新中に1になります。INVALIDATA フラグは、メッセージの格納完了時点で0になります。INVALIDATA フラグが1のときにメールボックスを読み出すと、そのデータは不定です。

### MSGLOST フラグ (メッセージロストフラグ)

MSGLOST フラグは、NEWDATA フラグが 1 のとき、メールボックスのメッセージが新規の受信メッセージによって上書きまたはオーバーランされた場合、1 に設定されます。MSGLOST フラグは、EOF の 6 番目のビットの終わりで 1 に設定されます。MSGLOST フラグは、ソフトウェア書き込みで 0 にクリアされます。

オーバーライトモードとオーバーランモードの両方において、EOF の 6 番目のビットの終わりから、PCLKB の 5 サイクルの間は、MSGLOST フラグをソフトウェア書き込みで 0 にすることはできません。

### ONESHOT ビット (ワンショット許可)

受信モード時 (RECREQ = 1、TRMREQ = 0) に ONESHOT ビットを 1 にすると、メールボックスはメッセージを 1 回だけ受信します。メールボックスがメッセージを 1 回受信すると、その後、受信メールボックスとして動作しません。NEWDATA フラグと INVALIDDATA フラグの動作は、通常の実受モードと同じです。ワンショット受信モードでは、MSGLOST フラグは 1 になりません。ONESHOT ビットを 0 にする場合、最初に RECREQ ビットに 0 を書いて、RECREQ ビットが 0 であることを確認してから行ってください。

### RECREQ ビット (受信メールボックス要求)

RECREQ ビットは、表 30.10 に示す受信モードを選択します。

RECREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

ハードウェア保護により、以下の期間はソフトウェア書き込みにより RECREQ ビットは 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始 (CRC フィールドの始まり)
- ハードウェアプロテクトが解除される時：
  - メッセージの受信に指定されたメールボックスについては、受信メッセージがメールボックスに格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最長期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで
  - その他のメールボックスについては、アクセプタンスフィルタ処理後
  - メッセージ受信用に指定されたメールボックスがない場合は、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合、受信に変更する前にまず送信をアポートしてから、SENTDATA ビットと TRMABT フラグを 0 に設定してください。

注. MCTL\_RXj.RECREQ は、MCTL\_TXj.RECREQ のミラービットです。

### TRMREQ ビット (送信メールボックス要求)

TRMREQ ビットは、表 30.10 に示す送信モードを選択します。

TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。

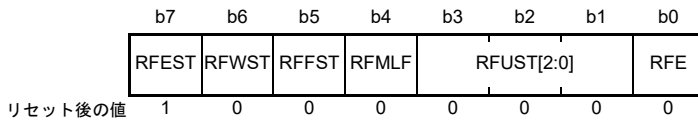
TRMREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されません。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合、最初に受信をアポートし、次に NEWDATA ビットと MSGLOST ビットを 0 にしてから、送信に変更してください。

注. MCTL\_RXj.TRMREQ は、MCTL\_TXj.TRMREQ のミラービットです。

## 30.2.11 受信 FIFO コントロールレジスタ (RFCR)

アドレス CAN0.RFCR 4005 0848h



ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO 許可	0: 受信 FIFO 禁止 1: 受信 FIFO 許可	R/W
b3-b1	RFUST[2:0]	受信 FIFO 未読メッセージ数ステータス	b3 b1 0 0 0: 未読メッセージなし 0 0 1: 未読メッセージ1件あり 0 1 0: 未読メッセージ2件あり 0 1 1: 未読メッセージ3件あり 1 0 0: 未読メッセージ4件あり 1 0 1: 予約 1 1 0: 予約 1 1 1: 予約	R
b4	RFMLF	受信 FIFO メッセージロストフラグ	0: 受信 FIFO メッセージロスト発生なし 1: 受信 FIFO メッセージロスト発生あり	R/W
b5	RFFST	受信 FIFO フルステータスフラグ	0: 受信 FIFO はフルでない 1: 受信 FIFO はフル (未読メッセージ4件)	R
b6	RFWST	受信 FIFO バッファワーニングステータスフラグ	0: 受信 FIFO にバッファワーニングなし 1: 受信 FIFO にバッファワーニングあり (未読メッセージ3件)	R
b7	RFEST	受信 FIFO 空ステータスフラグ	0: 受信 FIFO に未読メッセージあり 1: 受信 FIFO に未読メッセージなし	R

RFCR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

**RFE ビット (受信 FIFO 許可)**

RFE ビットを 1 にすると、受信 FIFO が許可されます。

RFE ビットを 0 にすると、受信 FIFO は受信禁止になり、空状態 (RFEST ビット = 1) になります。RFMLF フラグの設定と同時に RFE ビットに 0 を書いてください。

通常メールボックスモード (CTRL.MBM が 0) では、本ビットを 1 にしないでください。ハードウェアプロテクトのため、下記の期間中、RFE ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトは、アクセプタンスフィルタ処理から開始されます (CRC フィールドの始まり)
- ハードウェアプロテクトが解除されるとき：
  - メッセージの受信用に受信 FIFO が指定されている場合に、受信したデータが受信 FIFO に格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最長期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで
  - メッセージの受信用に受信 FIFO が指定されていない場合は、アクセプタンスフィルタ処理後

**RFUST[2:0] ビット (受信 FIFO 未読メッセージ数ステータス)**

RFUST[2:0] ビットは、受信 FIFO 内の未読メッセージの数を示します。RFE ビットを 0 にすると、RFUST[2:0] ビットの値は 000b に初期化されます。

### RFMLF フラグ (受信 FIFO メッセージロストフラグ)

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF ビットは 1 (受信 FIFO メッセージロスト発生) になります。EOF の 6 番目のビットの終わりで 1 になります。

RFMLF フラグは、ソフトウェア書き込みにより 0 になります。(1 を書いても無効です)。オーバーライトモードとオーバーランモードの両方において、受信 FIFO がフルのときにメッセージを受信したことが確認された場合、ハードウェアプロテクトにより、EOF の 6 番目のビットの終わりから PCLKB の 5 サイクルの間は、RFMLF フラグをソフトウェア書き込みで 0 (受信 FIFO メッセージロスト未発生) にできません。

### RFFST フラグ (受信 FIFO フルステータスフラグ)

受信 FIFO 内の未読メッセージが 4 件になると、RFFST フラグは 1 (受信 FIFO はフル) になります。受信 FIFO 内の未読メッセージが 4 件より少なくなると、0 (受信 FIFO はフルでない) になります。本フラグは、RFE ビットを 0 にすると 0 になります。

### RFWST フラグ (受信 FIFO バッファワーニングステータスフラグ)

受信 FIFO 内の未読メッセージが 3 件になると、RFWST フラグは 1 (受信 FIFO はバッファワーニングあり) になります。受信 FIFO 内の未読メッセージの数が 3 件未満または 4 件になると、0 (受信 FIFO はバッファワーニングなし) になります。RFWST フラグは、RFE ビットを 0 にすると 0 になります。

### RFEST フラグ (受信 FIFO 空ステータスフラグ)

受信 FIFO 内の未読メッセージがなくなると、RFEST フラグは 1 (受信 FIFO に未読メッセージなし) になります。RFE ビットを 0 にすると 1 になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、本フラグは 0 (受信 FIFO に未読メッセージあり) になります。

図 30.2 に受信 FIFO メールボックスの動作を示します。

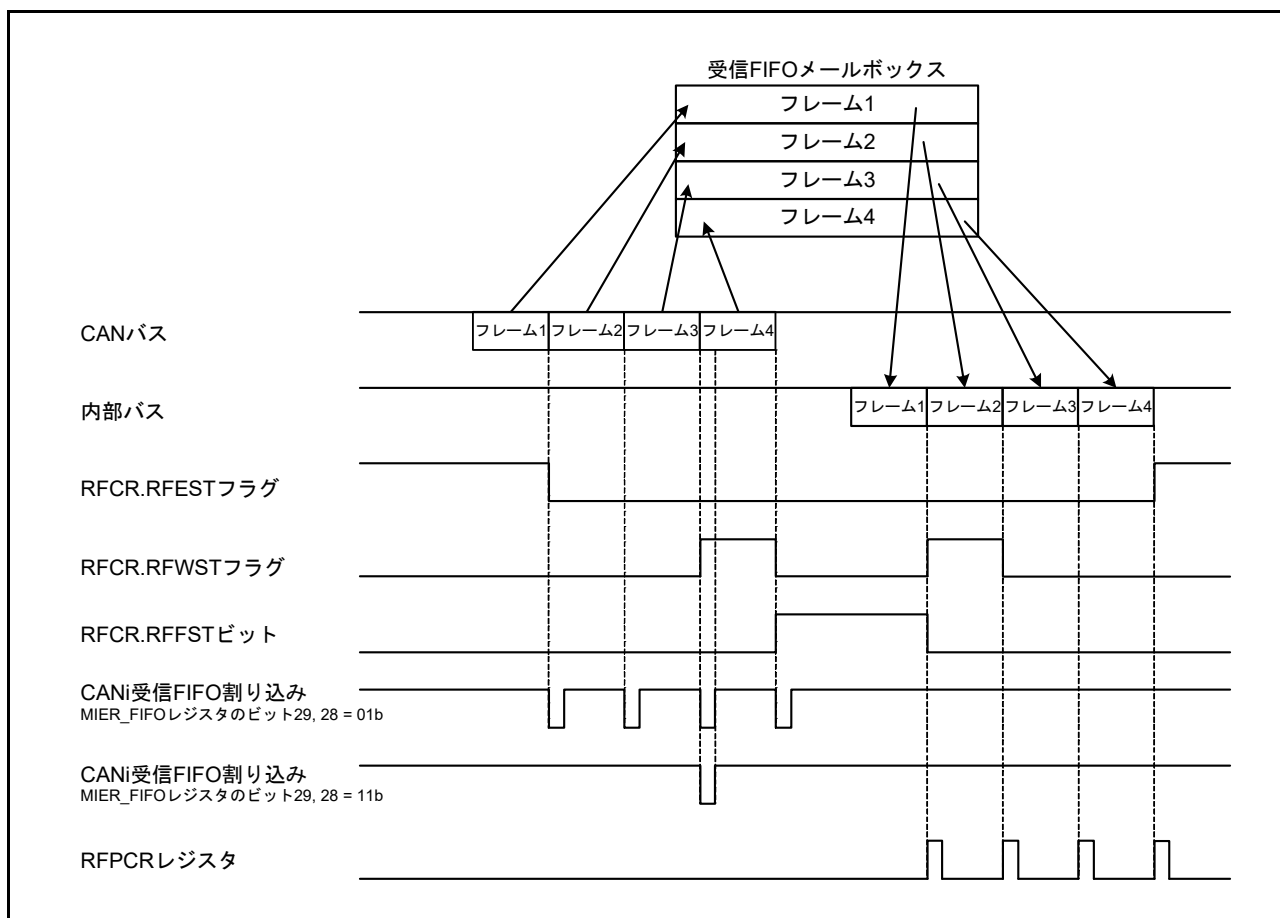
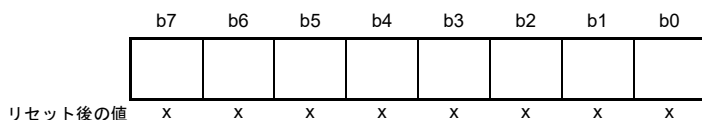


図 30.2 受信 FIFO メールボックスの動作 (MIER\_FIFO レジスタのビット 29、28 が 01b または 11b のとき)

## 30.2.12 受信 FIFO ポインタコントロールレジスタ (RFPCR)

アドレス CAN0.RFPCR 4005 0849h



x: 不定

ビット	機能	R/W
b7-b0	RFPCRにFFhを書き込むと、受信FIFOのCPU側ポインタが増加	W

受信 FIFO が空状態でないとき、CPU ポインタを増加させて次のメールボックス位置に移動させるには、RFPCR レジスタにソフトウェアで FFh を書いてください。RFCR.RFE ビットが 0 (受信 FIFO 禁止) のときは、RFPCR レジスタに書かないでください。

オーバーライトモードで RFFST フラグが 1 (受信 FIFO はフル) のときに新しいメッセージが受信されると、CAN ポインタと CPU ポインタの両方が増加します。この状態で RFMLF フラグが 1 のとき、RFPCR レジスタにソフトウェア書き込みを行っても CPU ポインタは増加しません。

## 30.2.13 送信 FIFO コントロールレジスタ (TFCR)

アドレス CAN0.TFCR 4005 084Ah

b7	b6	b5	b4	b3	b2	b1	b0
TFEST	TFFST	—	—	TFUST[2:0]		TFE	
リセット後の値	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信 FIFO 許可	0 : 送信 FIFO 禁止 1 : 送信 FIFO 許可	R/W
b3-b1	TFUST[2:0]	送信 FIFO 未送信メッセージ数ステータス	b3    b1 0 0 0 : 未送信メッセージなし 0 0 1 : 未送信メッセージ1件 0 1 0 : 未送信メッセージ2件 0 1 1 : 未送信メッセージ3件 1 0 0 : 未送信メッセージ4件 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	R
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	TFFST	送信 FIFO フルスステータス	0 : 送信 FIFO はフルでない 1 : 送信 FIFO はフル (未送信メッセージ4件)	R
b7	TFEST	送信 FIFO 空ステータス	0 : 送信 FIFO に未送信メッセージあり 1 : 送信 FIFO に未送信メッセージなし	R

TFCR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

**TFE ビット (送信 FIFO 許可)**

TFE ビットを1にすると、送信 FIFO が許可されます。

TFE ビットを0にすると、送信 FIFO は空状態 (TFEST ビット = 1) になり、下記のように送信 FIFO から未送信メッセージが失われます。

- 送信 FIFO から次のメッセージ送信予定がなく、まだ送信中でもない場合はただちに
- 送信 FIFO から次のメッセージ送信予定があるか、あるいはすでに送信中の場合、送信完了、CAN バスエラー、CAN バスアービトラクションロスト、または CAN halt モードへの遷移が発生した時点

TFE ビットを再度1にする前に、TFEST ビットが1になっていることを確認してください。TFE ビットを1にした後、送信データを MB24 レジスタに書いてください。

通常メールボックスモード (CTRL.MBM が 0) では、TFE ビットを1にしないでください。

**TFUST[2:0] ビット (送信 FIFO 未送信メッセージ数ステータス)**

TFUST[2:0] ビットは、送信 FIFO 内の未送信メッセージの数を示します。TFE ビットを0にした後、送信アポートまたは送信が完了すると、これらのビットは 000b になります。

**TFFST ビット (送信 FIFO フルスステータス)**

送信 FIFO 内の未送信メッセージの数が4件になると、TFFST ビットは1 (送信 FIFO はフル) になります。送信 FIFO 内の未送信メッセージの数が4件より少なくなると、TFFST ビットは0 (送信 FIFO はフルではない) になります。送信 FIFO の送信アポートが完了すると、TFFST ビットは0になります。

**TFEST ビット (送信 FIFO 空ステータス)**

送信 FIFO 内の未送信メッセージがなくなると、TFEST ビットは1 (送信 FIFO にメッセージなし) になります。送信 FIFO の送信アポートが完了すると、TFEST ビットは1になります。送信 FIFO 内の未送信メッセージの数が1件以上になると、TFEST ビットは0 (送信 FIFO にメッセージあり) になります。

図 30.3 に送信 FIFO メールボックスの動作を示します。

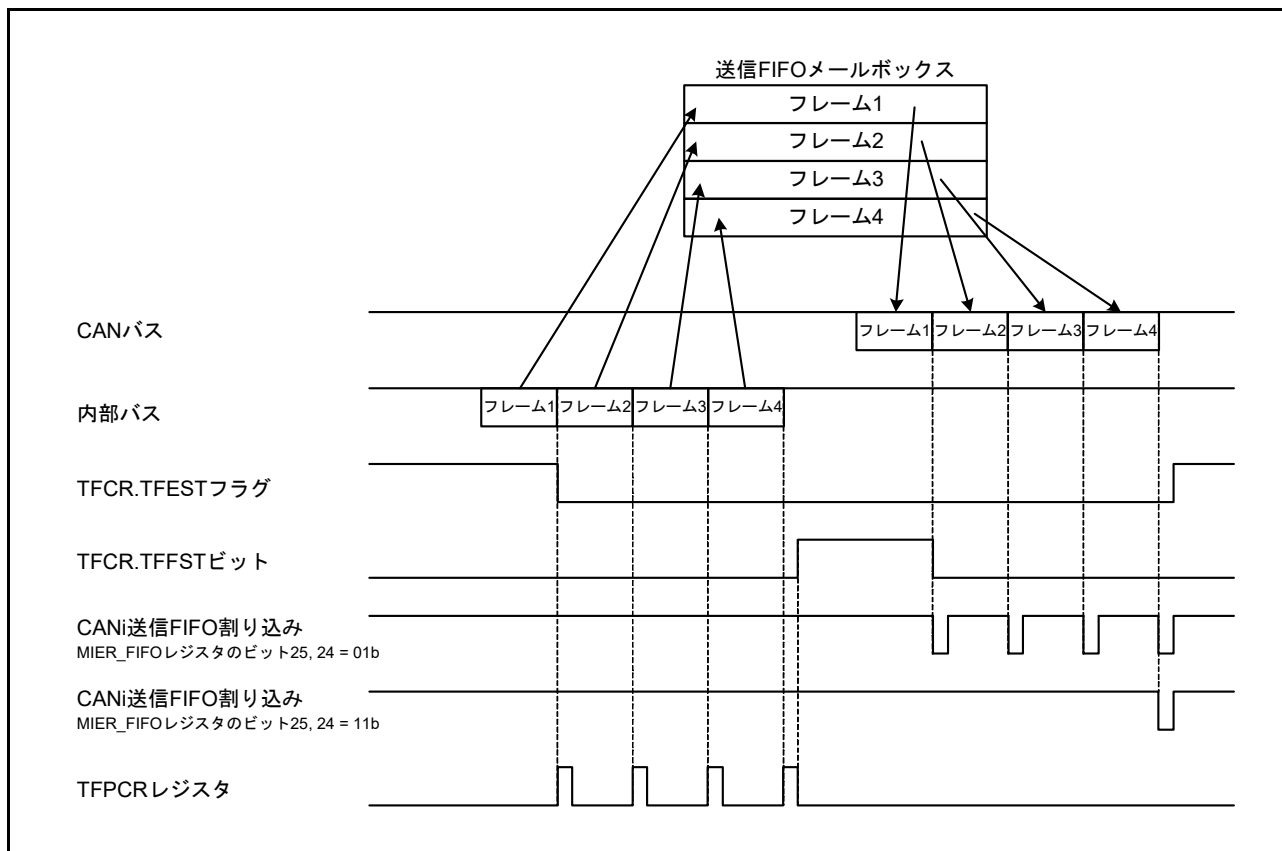
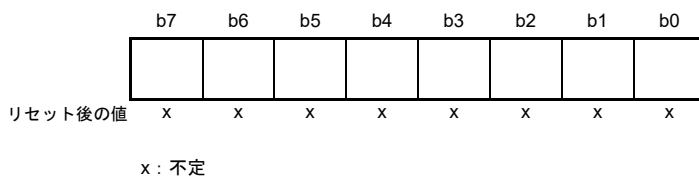


図 30.3 送信 FIFO メールボックスの動作 (MIER\_FIFO レジスタのビット 25、24 が 01b または 11b のとき)

## 30.2.14 送信 FIFO ポインタコントロールレジスタ (TFPCR)

アドレス CAN0.TFPCR 4005 084Bh



ビット	機能	R/W
b7-b0	TFPCRにFFhを書き込むと、送信 FIFO の CPU ポインタが増加	W

送信 FIFO がフルでないとき、送信 FIFO の CPU ポインタを増加させて次のメールボックス位置に移動させるには、ソフトウェアで TFPCR レジスタに FFh を書いてください。

TFPCR.TFE ビットが 0 (送信 FIFO 禁止) のときは、TFPCR レジスタに書かないでください。



## 30.2.15 ステータスレジスタ (STR)

アドレス CAN0.STR 4005 0842h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATAステータスフラグ	0: NEWDATAビットが1のメールボックスなし 1: NEWDATAビットが1のメールボックスあり	R
b1	SDST	SENTDATAステータスフラグ	0: SENTDATAビットが1のメールボックスなし 1: SENTDATAビットが1のメールボックスあり	R
b2	RFST	受信FIFOステータスフラグ	0: 受信FIFOにメッセージなし 1: 受信FIFOにメッセージあり	R
b3	TFST	送信FIFOステータスフラグ	0: 送信FIFOはフル 1: 送信FIFOはフルではない	R
b4	NMLST	通常メールボックスメッセージロストステータスフラグ	0: MSGLOSTビットが1のメールボックスなし 1: MSGLOSTビットが1のメールボックスあり	R
b5	FMLST	FIFOメールボックスメッセージロストステータスフラグ	0: RFMLFビットが0 1: RFMLFビットが1	R
b6	TABST	送信アボートステータスフラグ	0: TRMABTビットが1のメールボックスなし 1: TRMABTビットが1のメールボックスあり	R
b7	EST	エラーステータスフラグ	0: エラー発生なし 1: エラー発生あり	R
b8	RSTST	CANリセットステータスフラグ	0: CANリセットモードではない 1: CANリセットモード	R
b9	HLTST	CAN haltステータスフラグ	0: CAN haltモードではない 1: CAN haltモード	R
b10	SLPST	CANスリープステータスフラグ	0: CANスリープモードではない 1: CANスリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0: エラーパッシブ状態ではない 1: エラーパッシブ状態	R
b12	BOST	バスオフステータスフラグ	0: バスオフ状態ではない 1: バスオフ状態	R
b13	TRMST	送信ステータスフラグ	0: バスアイドルまたは受信中 1: 送信中またはモジュールがバスオフ状態	R
b14	RECST	受信ステータスフラグ	0: バスアイドルまたは送信中 1: 受信中	R
b15	—	予約ビット	読むと0が読めます。	R

**NDST フラグ (NEWDATA ステータスフラグ)**

MCTL\_RXj.NEWDATA フラグ (j=0~31) が1つでも1であると、MIER または MIER\_FIFO の値にかかわらず、NDST フラグは1になります。NEWDATA フラグがすべて0のとき、0になります。

**SDST フラグ (SENTDATA ステータスフラグ)**

MCTL\_TXj.SENTDATA フラグ (j=0~31) が1つでも1であると、MIER または MIER\_FIFO の値にかかわらず、SDST フラグは1になります。SENTDATA フラグがすべて0のとき、0になります。

**RFST フラグ (受信 FIFO ステータスフラグ)**

RFST フラグは、受信 FIFO が空状態でないとき1になります。受信 FIFO が空状態か、または通常メールボックスモードが選択されている場合、0になります。

**TFST フラグ (送信 FIFO ステータスフラグ)**

TFST フラグは、送信 FIFO がフルでないとき 1 になります。送信 FIFO がフルか通常メールボックスモードになると 0 になります。

**NMLST フラグ (通常メールボックスメッセージロストステータスフラグ)**

MCTL\_RXj.MSGLOST フラグ (j=0 ~ 31) が 1 つでも 1 になると、MIER または MIER\_FIFO の値にかかわらず、NMLST フラグは 1 になります。MSGLOST フラグがすべて 0 のとき、0 になります。

**FMLST フラグ (FIFO メールボックスメッセージロストステータスフラグ)**

RFCR.RFMLF フラグが 1 になると、MIER\_FIFO の値にかかわらず、FMLST フラグは 1 になります。FMLST フラグは、RFMLF フラグが 0 のとき 0 になります。

**TABST フラグ (送信アポートステータスフラグ)**

MCTL\_TXj.TRMABT フラグ (j=0 ~ 31) が 1 つでも 1 になると、MIER または MIER\_FIFO の値にかかわらず、TABST フラグは 1 になります。TRMABT フラグがすべて 0 のとき、0 になります。

**EST フラグ (エラーステータスフラグ)**

EIFR レジスタで 1 つでもエラーが検出されると、EIER の値にかかわらず、EST フラグは 1 になります。EIFR レジスタで 1 つもエラーが検出されない場合は 0 になります。

**RSTST フラグ (CAN リセットステータスフラグ)**

RSTST フラグは、CAN モジュールが CAN リセットモードになると 1 になります。CAN モジュールが CAN リセットモード以外るとき、0 になります。CAN リセットモードからスリープモードへ遷移しても 1 のままです。

**HLTST フラグ (CAN halt ステータスフラグ)**

HLTST フラグは、CAN モジュールが CAN halt モードになると 1 になります。CAN モジュールが CAN halt モード以外るとき、0 になります。CAN halt モードからスリープモードへ遷移しても 1 のままです。

**SLPST フラグ (CAN スリープステータスフラグ)**

SLPST フラグは、CAN モジュールが CAN スリープモードになると 1 になります。CAN モジュールが CAN スリープモード以外るとき、0 になります。

**EPST フラグ (エラーパッシブステータスフラグ)**

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態 ( $128 \leq TEC < 256$  または  $128 \leq REC < 256$ ) になると、EPST フラグは 1 になります。CAN モジュールがエラーパッシブ状態以外るとき、0 になります。

**BOST フラグ (バスオフステータスフラグ)**

TECR レジスタの値が 255 を超えて CAN モジュールがバスオフ状態 ( $TEC \geq 256$ ) になると、BOST フラグは 1 になります。CAN モジュールがバスオフ状態以外るとき、0 になります。

**TRMST フラグ (送信ステータスフラグ)**

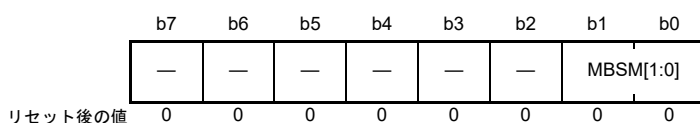
TRMST フラグは、CAN モジュールが送信ノードとして動作するか、またはバスオフ状態になると 1 になります。CAN モジュールが受信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

**RECST フラグ (受信ステータスフラグ)**

RECST フラグは、CAN モジュールが受信ノードとして動作すると 1 になります。CAN モジュールが送信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

## 30.2.16 メールボックスサーチモードレジスタ (MSMR)

アドレス CAN0.MSMR 4005 0853h



ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択	b1 b0 0 0: 受信メールボックス検索モード 0 1: 送信メールボックス検索モード 1 0: メッセージロスト検索モード 1 1: チャネル検索モード	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MSMR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

**MBSM[1:0] ビット (メールボックス検索モード選択)**

MBSM[1:0] ビットは、メールボックス検索機能の検索モードを選択します。

MBSM[1:0] ビットが 00b の場合、受信メールボックス検索モードになります。このモードでの検索対象は、通常メールボックスでの MCTL\_RXj.NEWDATA (j=0~31) フラグと、RFCR.RFEST ビットです。

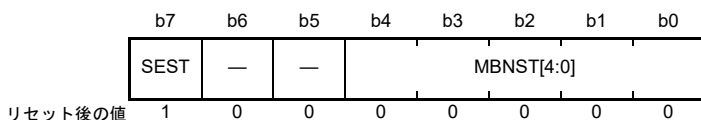
MBSM[1:0] ビットが 01b の場合、送信メールボックス検索モードになります。このモードでの検索対象は、MCTL\_TXj.SENTDATA フラグです。

MBSM[1:0] ビットが 10b の場合、メッセージロスト検索モードになります。このモードでの検索対象は、通常メールボックスでの MCTL\_RXj.MSGLOST フラグと、RFCR.RFMLF フラグです。

MBSM[1:0] ビットが 11b の場合、チャネル検索モードになります。このモードで検索対象となるレジスタは、CSSR レジスタです。30.2.18 [チャネルサーチサポートレジスタ \(CSSR\)](#) を参照してください。

## 30.2.17 メールボックスサーチステータスレジスタ (MSSR)

アドレス CAN0.MSSR 4005 0852h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータス	MSMRレジスタの各モードで検索された最小メールボックス番号を表示	R
b6-b5	—	予約ビット	読むと0が読めます。	R
b7	SEST	検索結果ステータス	0: 検索結果あり 1: 検索結果なし	R

## MBNST[4:0] ビット (検索結果メールボックス番号ステータス)

MBNST[4:0] ビットは、すべての MSMR モードで検索された最小のメールボックス番号を出力します。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードでは、メールボックスの値 (検索結果出力) が次の場合に更新されます。

- MBNST ビットで出力されたメールボックスの NEWDATA、SENTDATA、または MSGLOST フラグが 0 の場合
- MBNST ビットより小さな番号のメールボックスの NEWDATA、SENTDATA、または MSGLOST フラグが 1 の場合

MBSM[1:0] ビットが 00b (受信メールボックス検索モード) または 10b (メッセージロスト検索モード) の場合、受信 FIFO (メールボックス 28) が空状態ではなく、すべての通常メールボックス (メールボックス 0 ~ 23) に未読の受信メッセージもロストメッセージもないと、受信 FIFO が出力されます。MBSM[1:0] ビットが 01b (送信メールボックス検索モード) の場合、送信 FIFO (メールボックス 24) は出力されません。表 30.6 に、FIFO メールボックスモードでの MBNST[4:0] ビットの動作を示します。

チャンネル検索モードでは、MBNST[4:0] ビットは対応するチャンネル番号を出力します。MSSR レジスタがソフトウェアで読み出された後に、次のターゲットチャンネル番号が出力されます。

## SEST ビット (検索結果ステータス)

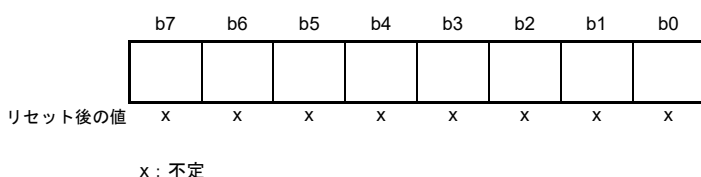
すべてのメールボックスの検索で対応するメールボックスがない場合、SEST ビットは 1 (検索結果なし) になります。たとえば送信メールボックス検索モードで、該当するすべてのメールボックスの SENTDATA フラグが 1 以外の場合は、SEST ビットが 1 になります。少なくとも 1 つの SENTDATA フラグが 1 のとき、SEST ビットは 0 になります。SEST ビットが 1 の場合、MBNST[4:0] ビットの値は不定です。

表 30.6 FIFO メールボックスモードでの MBNST[4:0] ビットの動作

MBSM[1:0] ビット	メールボックス 24 (送信 FIFO)	メールボックス 28 (受信 FIFO)
00b	メールボックス 24 は表示されない	通常メールボックスのどの MCTL_RXj.NEWDATA フラグも 1 (新しいメッセージがメールボックスに格納中または格納済み) ではなく、かつ受信 FIFO が空状態でない場合、メールボックス 28 が表示される
01b		メールボックス 28 は表示されない
10b		通常メールボックスのどの MCTL_RXj.MSGLOST フラグも 1 (メッセージのオーバーライトまたはオーバーランあり) ではなく、かつ受信 FIFO の RFCR.RFMLF フラグが 1 (受信 FIFO メッセージロスト発生) になった場合、メールボックス 28 が表示される
11b		メールボックス 28 は表示されない

### 30.2.18 チャンルサーチサポートレジスタ (CSSR)

アドレス CAN0.CSSR 4005 0851h



ビット	機能	R/W
b7-b0	チャンネル検索の値が入力された場合、チャンネル番号をMSSRレジスタに出力	R/W

1 になった CSSR レジスタのビットは、8/3 エンコーダ (最小ビット位置がより高い優先順位) によってエンコードされ、MSSR.MBNST[4:0] ビットに出力されます。MSSR レジスタは、MSSR レジスタをソフトウェアで読み出すたびに更新された値が表示されます。

なお、CSSR レジスタは、MSMR.MBSM[1:0] ビットが 11b (チャンネル検索モード) のときのみ変更してください。また、CSSR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

図 30.4 に、CSSR および MSSR レジスタに対する書き込みと読み出しについて示します。

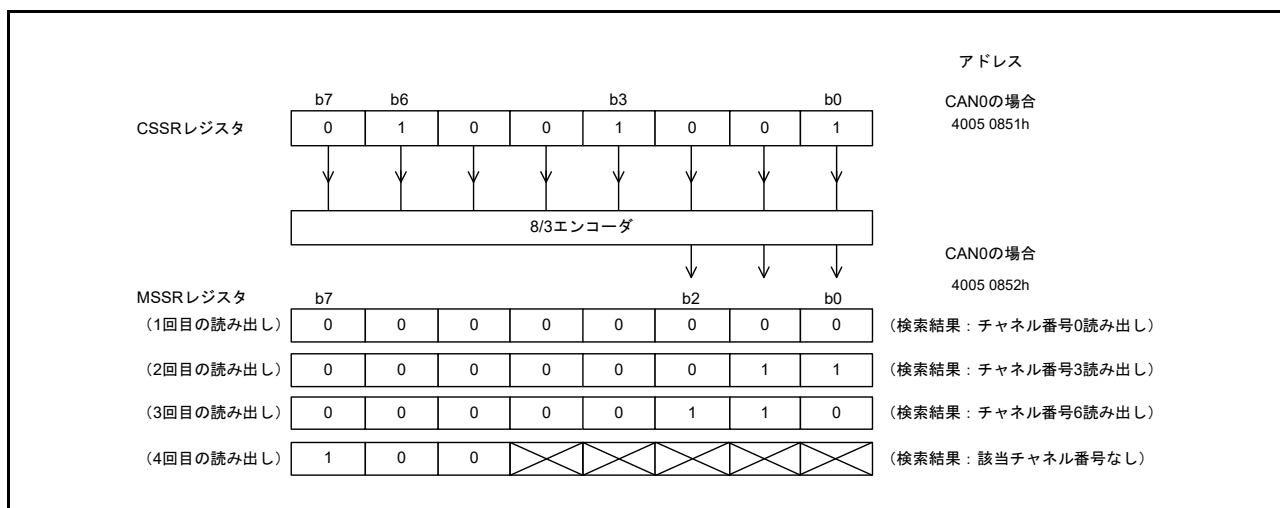
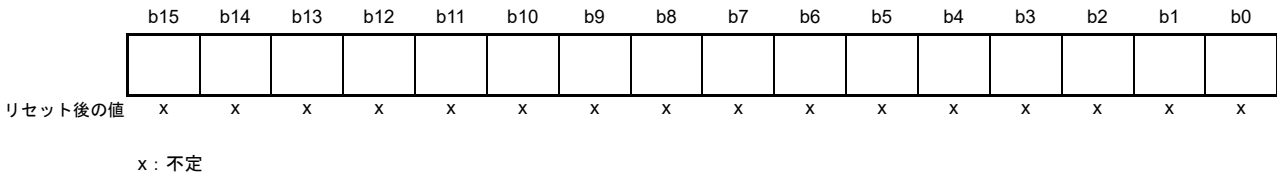


図 30.4 CSSR および MSSR レジスタに対する書き込みと読み出し

CSSR レジスタの値も MSSR レジスタを読み出すたびに更新されます。読んだ場合、8/3 エンコーダ変換前の値が読めます。

### 30.2.19 アクセプタンスフィルタサポートレジスタ (AFSR)

アドレス CAN0.AFSR 4005 0856h



ビット	機能	R/W
b15-b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値が読める	R/W

注. AFSR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

アクセプタンスフィルタサポートユニット (ASU) が、データテーブル (8 ビット × 256) の検索に使用可能です。このデータテーブルには、ユーザにより作成されたすべての標準 ID の有効/無効が 1 ビット単位で設定されています。受信した標準 ID が格納された MB<sub>j</sub>\_ID.SID[10:0] ビット (j = 0 ~ 31) を含む 16 ビット単位のデータを AFSR に書き込むと、デコードされたデータテーブル検索用の行 (バイトオフセット) 位置と、列 (ビット) 位置が読み出せます。ASU は、標準 (11 ビット) ID にのみ使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合。  
たとえば、受信する ID が 078h、087h、111h の場合
- 受信する ID が多すぎるため、ソフトウェアによるフィルタリング処理時間を短縮したい場合

注. AFSR レジスタは、CAN リセットモードでは設定できません。

図 30.5 に、AFSR レジスタに対する書き込みと読み出しについて示します。

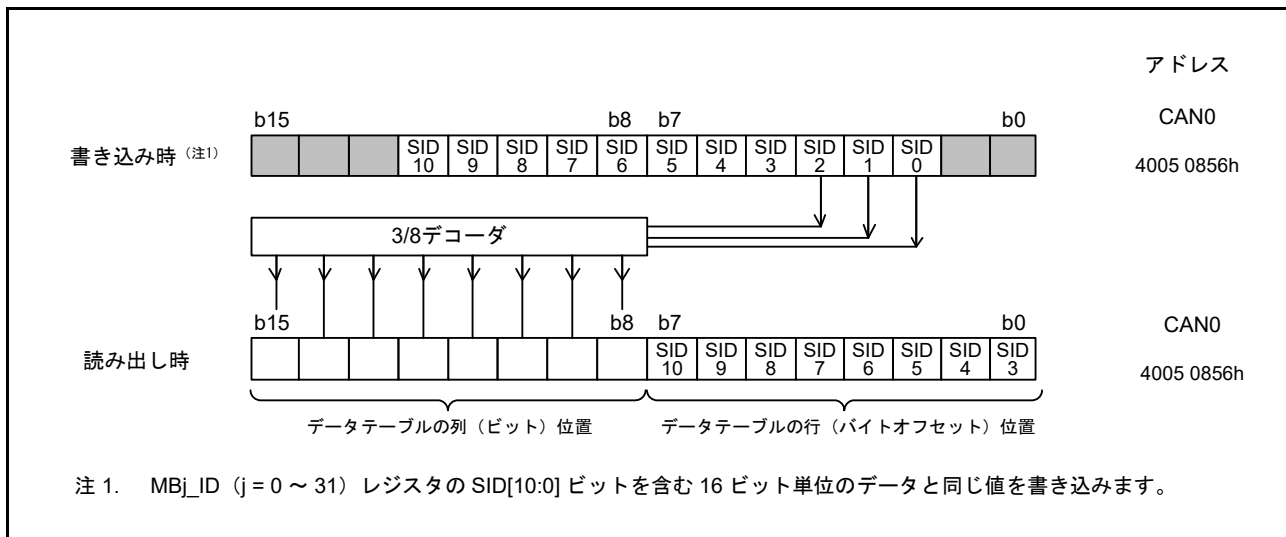


図 30.5 AFSR レジスタに対する書き込みと読み出し

## 30.2.20 エラー割り込みイネーブルレジスタ (EIER)

アドレス CAN0.EIER 4005 084Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b2	EPIE	エラーパッシブ割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b5	ORIE	オーバーラン割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b6	OLIE	オーバーロードフレーム送信割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b7	BLIE	バスロック割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W

EIER レジスタは、EIFR レジスタの個々のエラー割り込み要因を許可または禁止するためのレジスタです。EIER レジスタへの書き込みは、CAN リセットモード時に行ってください。

**BEIE ビット (バスエラー割り込み許可)**

BEIE ビットが 0 の場合、EIFR.BEIF フラグが 1 であっても、エラー割り込み要求は発生しません。BEIE ビットが 1 の場合、BEIF フラグが 1 になると、エラー割り込み要求が発生します。

**EWIE ビット (エラーワーニング割り込み許可)**

EWIE ビットが 0 の場合、EIFR.EWIF フラグが 1 であっても、エラー割り込み要求は発生しません。EWIE ビットが 1 の場合、EWIF フラグが 1 になると、エラー割り込み要求が発生します。

**EPIE ビット (エラーパッシブ割り込み許可)**

EPIE ビットが 0 の場合、EIFR.EPIF フラグが 1 であっても、エラー割り込み要求は発生しません。EPIE ビットが 1 の場合、EPIF フラグが 1 になると、エラー割り込み要求が発生します。

**BOEIE ビット (バスオフ開始割り込み許可)**

BOEIE ビットが 0 の場合、EIFR.BOEIF フラグが 1 であっても、エラー割り込み要求は発生しません。BOEIE ビットが 1 の場合、BOEIF フラグが 1 になると、エラー割り込み要求が発生します。

**BORIE ビット (バスオフ復帰割り込み許可)**

BORIE ビットが 0 の場合、EIFR.BORIF フラグが 1 であっても、エラー割り込み要求は発生しません。BORIE ビットが 1 の場合、BORIF フラグが 1 になると、エラー割り込み要求が発生します。

**ORIE ビット (オーバーラン割り込み許可)**

ORIE ビットが 0 の場合、EIFR.ORIF フラグが 1 であっても、エラー割り込み要求は発生しません。ORIE ビットが 1 の場合、ORIF フラグが 1 になると、エラー割り込み要求が発生します。

**OLIE ビット (オーバーロードフレーム送信割り込み許可)**

OLIE ビットが 0 の場合、EIFR.OLIF フラグが 1 であっても、エラー割り込み要求は発生しません。OLIE ビットが 1 の場合、OLIF フラグが 1 になると、エラー割り込み要求が発生します。

**BLIE ビット (バスロック割り込み許可)**

BLIE ビットが 0 の場合、EIFR.BLIF フラグが 1 であっても、エラー割り込み要求は発生しません。BLIE ビットが 1 の場合、BLIF フラグが 1 になると、エラー割り込み要求が発生します。



## 30.2.21 エラー割り込み要因判定レジスタ (EIFR)

アドレス CAN0.EIFR 4005 084Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0: バスエラー未検出 1: バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/W
b5	ORIF	受信オーバーラン検出フラグ	0: 受信オーバーラン未検出 1: 受信オーバーラン検出	R/W
b6	OLIF	オーバーロードフレーム送信検出フラグ	0: オーバーロードフレーム送信未検出 1: オーバーロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0: バスロック未検出 1: バスロック検出	R/W

これらのビットの1つに対応したイベントが発生すると、EIER レジスタの設定にかかわらず、EIFR レジスタの対応するビットが1になります。

これらのビットは、ソフトウェア書き込みで0にしてください。ソフトウェアによるクリアと同時にビットが1になると、そのビットは1になります。個々のビットをソフトウェアで0にする場合、転送 (MOV) 命令を使用して、必ず指定されたビットのみを0にし、その他のビットは1にしてください。1を書いてもこれらのビットの値は変化しません。

**BEIF フラグ (バスエラー検出フラグ)**

バスエラーが検出されると、BEIF フラグは1になります。

**EWIF フラグ (エラーワーニング検出フラグ)**

受信エラーカウンタ (REC) または送信エラーカウンタ (TEC) の値が95を超えると、EWIF フラグは1になります。REC または TEC が最初に95を超えたときのみ1になります。REC または TEC が95を超えたまま、EWIF フラグにソフトウェアで0を書いた場合、REC または TEC が95以下になった後、再び95を超えるまで、EWIF フラグは1にはなりません。

**EPIF フラグ (エラーパッシブ検出フラグ)**

CAN エラーの状態がエラーパッシブになったとき、受信エラーカウンタ (REC) または送信エラーカウンタ (TEC) の値が127を超えると、EPIF フラグは1になります。REC または TEC が最初に127を超えたときのみ1になります。REC または TEC が127を超えたまま、EPIF フラグにソフトウェアで0を書いた場合、REC または TEC が127以下になった後、再び127を超えるまで、本フラグは1にはなりません。

**BOEIF フラグ (バスオフ開始検出フラグ)**

CAN エラー状態がバスオフ状態で、送信エラーカウンタ (TEC) の値が255を超えると、BOEIF フラグは1になります。CTRL レジスタのBOM[1:0] ビットが01b (バスオフ開始で自動的にCAN halt モードへ遷移) で、CAN モジュールがバスオフ状態になった場合も1になります。

**BORIF フラグ (バスオフ復帰検出フラグ)**

CAN モジュールが、下記の条件下でバスオフ状態から通常復帰 (11 の連続するレセシブビットを 128 回検出) した場合、BORIF フラグは 1 になります。

- CTLR.BOM[1:0] ビットが 00b の場合
- CTLR.BOM[1:0] ビットが 10b の場合
- CTLR.BOM[1:0] ビットが 11b の場合

ただし、CAN モジュールが、下記の条件下でバスオフ状態から復帰した場合、BORIF フラグは 1 になりません。

- CTLR.CANM[1:0] ビットが 01b または 11b (CAN リセットモード) の場合
- CTLR.RBOC ビットが 1 (バスオフからの強制復帰) の場合
- CTLR.BOM[1:0] ビットが 01b の場合
- CTLR.BOM[1:0] ビットが 11b で、通常復帰が発生する前に、CTLR.CANM[1:0] ビットを 10b (CAN halt モード) にした場合

表 30.7 に、CTLR.BOM[1:0] ビットの設定値ごとの BOEIF および BORIF フラグの動作を示します。

**表 30.7 CTLR.BOM[1:0]の設定値ごとのBOEIF、BORIFフラグの動作**

BOM[1:0]ビット	BOEIFビット	BORIFビット
00b	バスオフ状態への遷移時に1になる	バスオフ状態からの復帰時に1になる
01b		1にはならない
10b		バスオフ状態からの復帰時に1になる
11b		CANM[1:0]ビットが10b (CAN haltモード)になる前に、通常のバスオフ状態からの復帰が発生した場合1になる

**ORIF フラグ (受信オーバーラン検出フラグ)**

ORIF フラグは、受信オーバーランが発生すると 1 になります。オーバーライトモードでは 1 になりません。オーバーライトモードでは、オーバーライト条件が発生すると受信完了割り込み要求が発生し、ORIF ビットは 1 になりません。

通常メールボックスモードの場合、オーバーランモードでは、メールボックス 0 ~ 31 のいずれかでオーバーランが発生すると、本フラグが 1 になります。FIFO メールボックスモードの場合、オーバーランモードで、メールボックス 0 ~ 23 のいずれかまたは受信 FIFO でオーバーランが発生すると、本ビットは 1 になります。

**OLIF フラグ (オーバーロードフレーム送信検出フラグ)**

CAN モジュールが送信または受信動作中であるとき、オーバーロードフレームの送信条件が検出されると、OLIF フラグは 1 になります。

**BLIF フラグ (バスロック検出フラグ)**

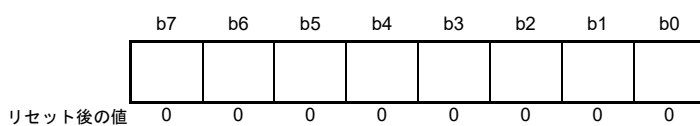
CAN モジュールが CAN オペレーションモードのとき、CAN バス上に 32 の連続するドミナントビットが検出されると、BLIF フラグは 1 になります。

BLIF フラグが 1 になった後、次のいずれかの条件下では、32 の連続するドミナントビットが再検出されます。

- 本フラグが 1 から 0 に変化した後、レセシブビットが検出された場合
- 本フラグが 1 から 0 に変化した後、CAN モジュールが CAN リセットモードまたは CAN halt モードになり、その後、再び CAN オペレーションモードになった場合

## 30.2.22 受信エラーカウントレジスタ (RECR)

アドレス CAN0.RECR 4005 084Eh

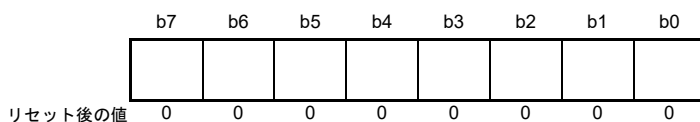


ビット	機能	R/W
b7-b0	受信エラーカウント機能 受信中のCANモジュールのエラー状態に基づいて、RECRはカウンタ値をインクリメントまたはデクリメント	R

RECR レジスタは、受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。バスオフ状態時の RECR レジスタの値は不定になります。

## 30.2.23 送信エラーカウントレジスタ (TECR)

アドレス CAN0.TECR 4005 084Fh



ビット	機能	R/W
b7-b0	送信エラーカウント機能 送信中のCANモジュールのエラー状態に基づいて、TECRはカウンタ値をインクリメントまたはデクリメント	R

TECR レジスタは、送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。バスオフ状態時の TECR レジスタの値は不定になります。

## 30.2.24 エラーコード格納レジスタ (ECSR)

アドレス CAN0.ECSR 4005 0850h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ(注1)(注2)	0: スタッフエラー未検出 1: スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ(注1)(注2)	0: フォームエラー未検出 1: フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ(注1)(注2)	0: ACKエラー未検出 1: ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ(注1)(注2)	0: CRCエラー未検出 1: CRCエラー検出	R/W
b4	BE1F	ビットエラー (レセシブ) フラグ (注1)(注2)	0: ビットエラー (レセシブ) 未検出 1: ビットエラー (レセシブ) 検出	R/W
b5	BE0F	ビットエラー (ドミナント) フラグ (注1)(注2)	0: ビットエラー (ドミナント) 未検出 1: ビットエラー (ドミナント) 検出	R/W
b6	ADEF	ACKデリミタエラーフラグ(注1)(注2)	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択(注3)(注4)	0: 最初に検出されたエラーコードを出力 1: 蓄積したエラーコードを出力	R/W

- 注1. 1を書いても、これらのビットの値は影響されません。
- 注2. SEF、FEF、AEF、CEF、BE1F、BE0F、ADEF ビットに0を書く場合は、転送(MOV)命令を使用して、必ず指定されたビットのみを0にし、その他のビットは1にしてください。
- 注3. EDPM ビットへの書き込みは、CANリセットモードまたはCAN haltモード時に行ってください。
- 注4. 同時に2つ以上のエラー条件が検出された場合は、関係するすべてのビットが1になります。

ECSRレジスタは、CANバス上のエラー発生の有無を示します。各エラーの発生条件については、CAN仕様(ISO11898-1)を参照してください。

ソフトウェア書き込みでEDPMビット以外のビットをすべて0にしてください。ソフトウェアによるクリアの実行と同時にビットを1にすると、そのビットは1になります。

**SEF フラグ (スタッフエラーフラグ)**

スタッフエラーが検出されると、SEFフラグは1になります。

**FEF フラグ (フォームエラーフラグ)**

フォームエラーが検出されると、FEFフラグは1になります。

**AEF フラグ (ACKエラーフラグ)**

ACKエラーが検出されると、AEFフラグは1になります。

**CEF フラグ (CRCエラーフラグ)**

CRCエラーが検出されると、CEFフラグは1になります。

**BE1F フラグ (ビットエラー (レセシブ) フラグ)**

レセシブビットエラーが検出されると、BE1Fフラグは1になります。

**BE0F フラグ (ビットエラー (ドミナント) フラグ)**

ドミナントビットエラーが検出されると、BE0F フラグは1になります。

**ADEF フラグ (ACK デリミタエラーフラグ)**

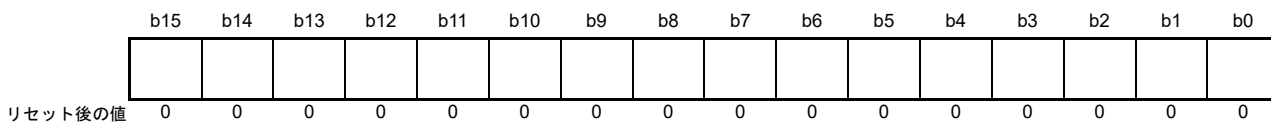
送信中に ACK デリミタでフォームエラーが検出されると、ADEF フラグは1になります。

**EDPM ビット (エラー表示モード選択)**

EDPM ビットは、ECSR レジスタの出力モードを選択します。EDPM ビットを0にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットを1にすると、ECSR レジスタは蓄積したエラーコードを出力します。

## 30.2.25 タイムスタンプレジスタ (TSR)

アドレス CAN0.TSR 4005 0854h



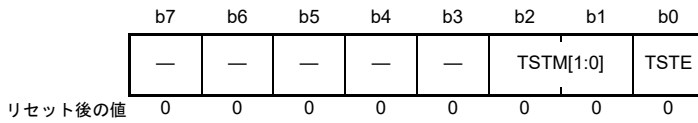
ビット	機能	R/W
b15-b0	タイムスタンプ機能のためのフリーランカウンタ値	R

注. TSRレジスタの読み出しは16ビット単位で実行してください。

TSRレジスタを読むと、その時点のタイムスタンプカウンタ（16ビットフリーランカウンタ）の値が読み出せます。タイムスタンプカウンタの基準クロックは、CTLR.TSPS[1:0]ビットで設定します。カウンタは、CANスリープモードおよびCAN haltモードで停止し、CANリセットモードで初期化されます。カウンタの値は、受信メッセージが受信メールボックスに格納される時、MBj\_TSレジスタのTSL[7:0]ビットとTSH[7:0]ビットに格納されます。

## 30.2.26 テストコントロールレジスタ (TCR)

アドレス CAN0.TCR 4005 0858h



ビット	シンボル	ビット名	機能	R/W
b0	TSTE	CANテストモード許可	0 : CANテストモード禁止 1 : CANテストモード許可	R/W
b2-b1	TSTM[1:0]	CANテストモード選択	b2 b1 0 0 : CANテストモードではない 0 1 : リッスンオンリモード 1 0 : セルフテストモード0 (外部ループバック) 1 1 : セルフテストモード1 (内部ループバック)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TCR レジスタは、CAN テストモードの制御を行います。TCR レジスタは、CAN halt モード時のみ変更してください。

## (1) リッスンオンリモード

CAN 仕様 (ISO11898-1) では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームとリモートフレームを受信できます。ただし、CAN バスではレセシブビットのみが送信可能であり、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信できません。リッスンオンリモードは、ボーレート検出に使用できます。リッスンオンリモードでは、どのメールボックスからも送信要求を行わないでください。

図 30.6 にリッスンオンリモード選択時の接続を示します。

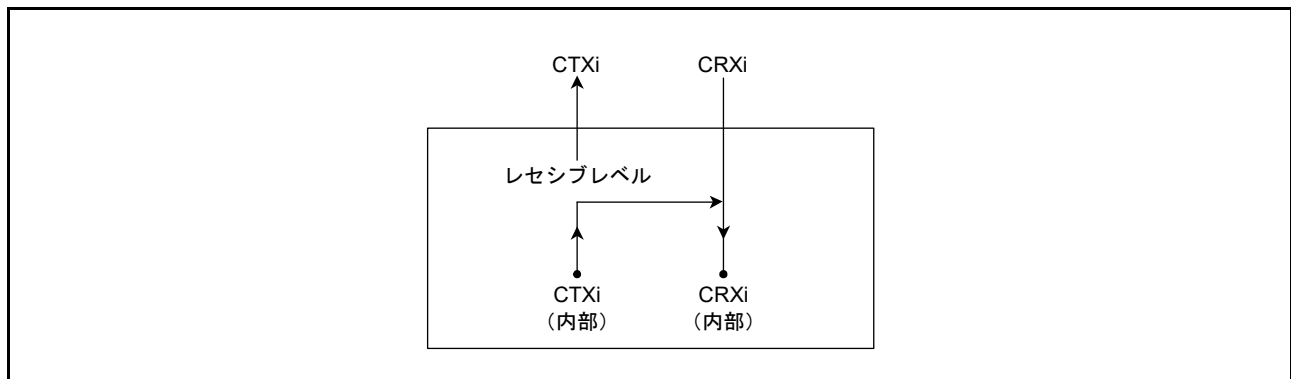


図 30.6 リッスンオンリモード選択時の接続 (i = 0)

## (2) セルフテストモード 0 (外部ループバック)

セルフテストモード 0 は、CAN トランシーバテスト用です。このモードでは、プロトコルモジュールは、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルモジュールは ACK ビットを生成します。CTXi および CRXi 端子はトランシーバに接続してください。

図 30.7 にセルフテストモード 0 選択時の接続を示します。

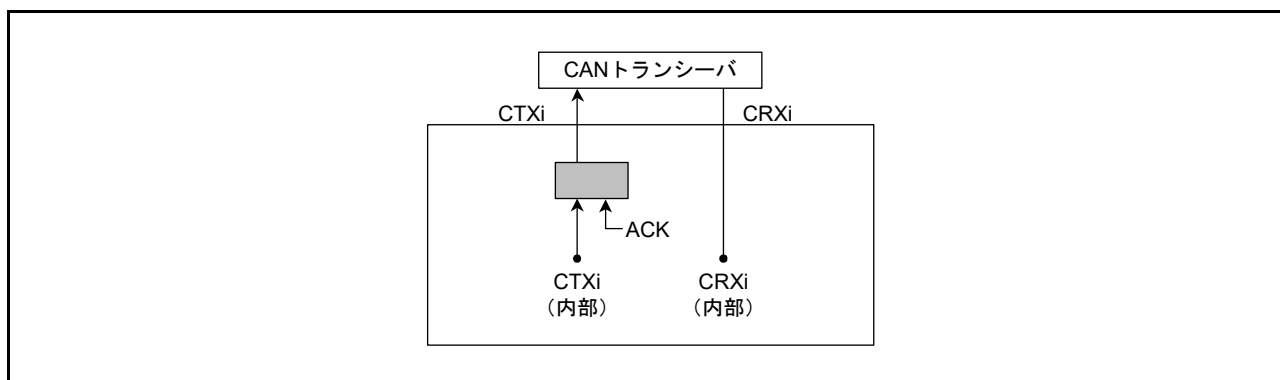


図 30.7 セルフテストモード 0 選択時の接続 (i = 0)

### (3) セルフテストモード 1 (内部ループバック)

セルフテストモード 1 は、セルフテスト機能用です。セルフテストモード 1 では、プロトコルコントローラは送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルコントローラは ACK ビットを生成します。

セルフテストモード 1 では、内部 CTXi 端子から内部 CRXi 端子への内部フィードバックを行います。外部 CRXi 端子の入力値は無視されます。外部 CTXi 端子はレセプビットのみを出力します。CTXi および CRXi 端子は、CAN バスや他のどの外部デバイスにも接続する必要がありません。

図 30.8 にセルフテストモード 1 選択時の接続を示します。

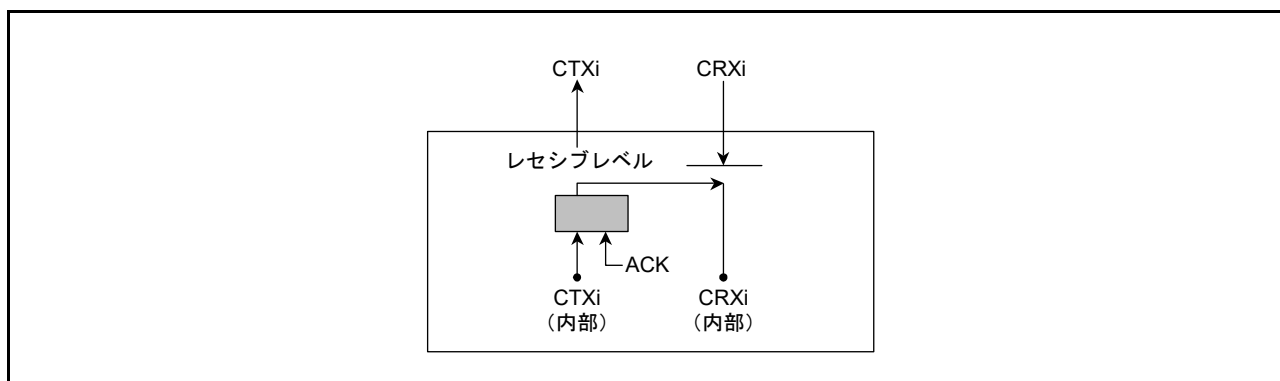


図 30.8 セルフテストモード 1 選択時の接続 (i = 0)



### 30.3 動作モード

CAN モジュールには以下の動作モードがあります。

- CAN リセットモード
- CAN halt モード
- CAN オペレーションモード
- CAN スリープモード

図 30.9 に、動作モード間の遷移を示します。

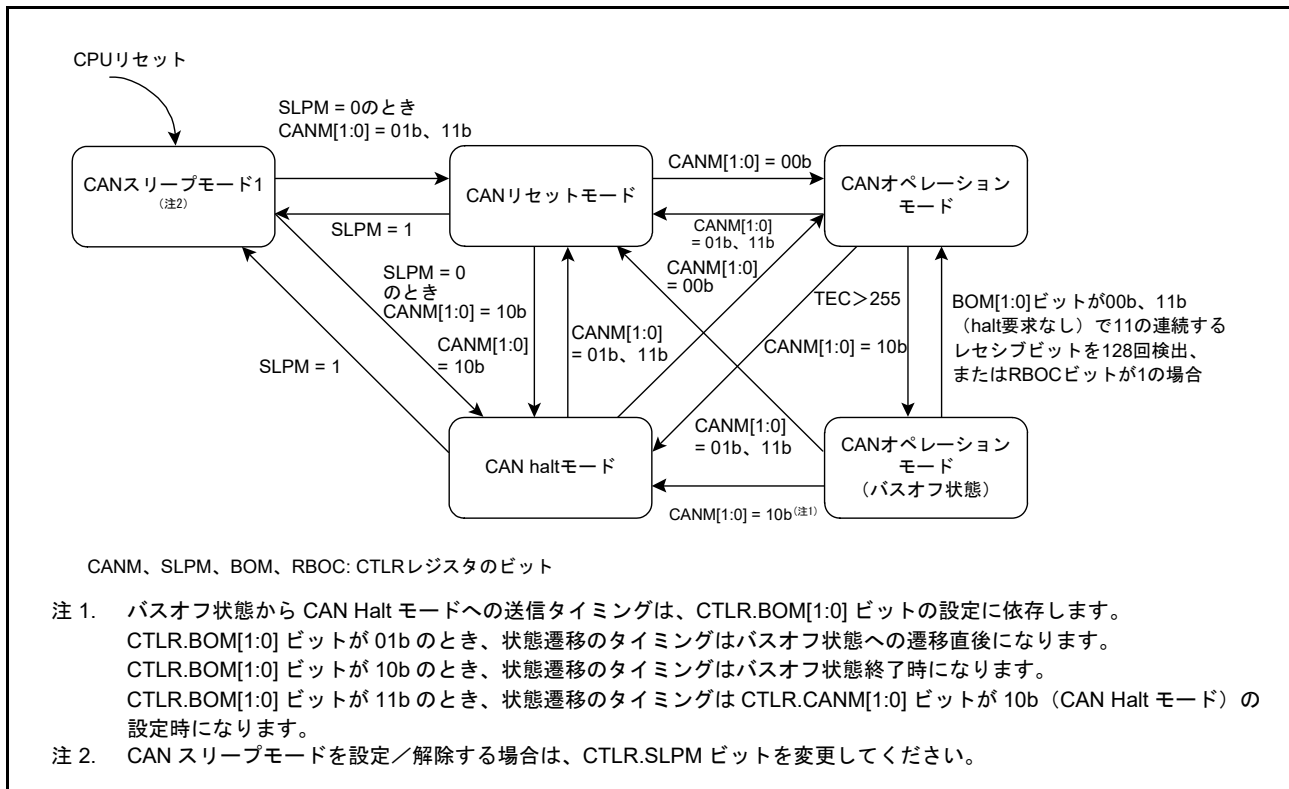


図 30.9 各動作モード間の遷移

### 30.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するためのモードです。CTRL.CANM[1:0] ビットを 01b または 11b にすると、CAN モジュールは CAN リセットモードになります。そのとき、STR.RSTST フラグが 1 になります。RSTST フラグが 1 になるまで、CTRL.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ遷移する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードへ遷移すると、それぞれのリセット後の値に初期化され、CAN リセットモード中はその初期値を保持します。

- MCTL\_TXj、MCTL\_RXj
- STR (SLPST ビットと TFST ビットを除く)
- EIFR
- RECR
- TECR
- TSR
- MSSR
- MSMR
- RFCR
- TFCR
- TCR
- ECSR (EDPM ビットを除く)

以下のレジスタは、CAN リセットモードへ遷移後も以前の値を保持します。

- CTRL
- STR (SLPST ビットと TFST ビットのみ)
- MIER および MIER\_FIFO
- EIER
- BCR
- CSSR
- ECSR (EDPM ビットのみ)
- MBj\_ID、MBj\_DL、MBj\_Dm、MBj\_TS
- MKRk
- FIDCR0 および FIDCR1
- MKIVLR
- AFSR
- RFPCR
- TFPCR

### 30.3.2 CAN halt モード

CAN halt モードは、メールボックスの設定とテストモードの設定のためのモードです。CTRL.CANM[1:0] ビットを 10b にすると、CAN halt モードになります。そのとき、STR.HLTST ビットが 1 になります。HLTST ビットが 1 になるまで、CTRL.CANM[1:0] ビットを変更しないでください。送信または受信時の状態遷移条件については、表 30.8 を参照してください。

CAN halt モードへの遷移では、STR レジスタの RSTST、HLTST、および SLPST ビット以外、すべてのレジスタは変化しません。CAN halt モードでは、CTRL レジスタ (CANM[1:0] ビットおよび SLPM ビットを除く) および EIER レジスタを変更しないでください。自動ボーレート検出のためにリッスンオンリモードを選択している場合のみ、CAN halt モードで BCR レジスタを変更できます。

表 30.8 CAN リセットモードと CAN halt モードでの動作

動作モード	受信	送信	バスオフ
CAN リセットモード (強制遷移) CANM[1:0] = 11b	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN リセットモード CANM[1:0] = 01b	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待って CAN リセットモードへ遷移 (注1) (注4)	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN halt モード	CAN モジュールはメッセージ受信の終了を待って CAN halt モードへ遷移 (注2) (注3)	CAN モジュールはメッセージ送信の終了を待って CAN halt モードへ遷移 (注1) (注4)	<ul style="list-style-type: none"> <li>• BOM[1:0] ビットが 00b のとき： バスオフ復帰後のみ、ソフトウェアからの Halt 要求を受け付ける</li> <li>• BOM[1:0] ビットが 01b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待たずに自動的に CAN halt モードへ遷移</li> <li>• BOM[1:0] ビットが 10b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待って自動的に CAN halt モードへ遷移</li> <li>• BOM[1:0] ビットが 11b のとき： CAN モジュールは、バスオフ中にソフトウェアによる Halt 要求があると、バスオフ復帰の終了を待たずに CAN halt モードへ遷移</li> </ul>

BOM[1:0] ビット : CTRL レジスタのビット

- 注 1. 複数メッセージの送信要求があると、最初の送信完了時にモード遷移が発生します。送信のサスペンド中に CAN リセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、または CAN モジュールがレシーバになったときに、モード遷移が発生します。
- 注 2. CAN バスがドミナントレベルでロックされた場合、EIFR レジスタの BLIF フラグをモニタすると、プログラムはバスロック状態を検出できます。
- 注 3. CAN halt モードが要求された後、受信中に CAN バスエラーが発生すると、CAN モジュールは CAN halt モードへ遷移します。
- 注 4. CAN リセットモードまたは CAN halt モードが要求された後、送信中に CAN バスエラーまたはアービトレーションロストが発生すると、CAN モジュールは要求された CAN モードへ遷移します。

### 30.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することで、消費電力を削減します。MCUの端子リセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CTRL.SLPM ビットを1にすると、CAN モジュールはCAN スリープモードへ遷移します。そのとき、STRレジスタのSLPST ビットが1になります。SLPST ビットが1になるまで、SLPM ビットの値を変更しないでください。CAN モジュールがCAN スリープモードへ遷移しても、他のレジスタが変化することはありません。

SLPM ビットへの書き込みは、CAN リセットモードおよびCAN halt モード時に行ってください。CAN スリープモード時には、どのレジスタも変更しないでください (SLPM ビットは除く)。ただし、読み出し動作は許可されます。

SLPM ビットを0にすると、CAN スリープモードから解除されます。CAN モジュールがCAN スリープモードから復帰しても、他のレジスタが変化することはありません。

### 30.3.4 CAN オペレーションモード (バスオフ状態以外)

CAN オペレーションモードは、CAN 通信を行うためのモードです。CTRL.CANM[1:0] ビットを00bにすると、CAN モジュールはCAN オペレーションモードになります。そのとき、STRレジスタのRSTST ビットとHLTST ビットが0になります。RSTST ビットとHLTST ビットが0になるまで、CANM[1:0] ビットの値を変更しないでください。

CAN オペレーションモードへ遷移後、11の連続するレセシブビットが検出されると、以下の状態になります。

- CAN モジュールは、ネットワーク上でアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタや送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN モジュールは、CAN バスの状態によって、CAN オペレーションモード中に、次の3つのいずれかのサブモードになります。

- アイドルモード：送受信は行われない
- 受信モード：他のノードが送信したCAN メッセージを受信中
- 送信モード：CAN メッセージを送信中。セルフテストモード0 (TCR.TSTM[1:0] = 10b) またはセルフテストモード1 (TCR.TSTM[1:0] = 11b) を選択した場合、CAN モジュールは同時に自ノードが送信したメッセージを受信する

図 30.10 に CAN オペレーションモードのサブモードを示します。

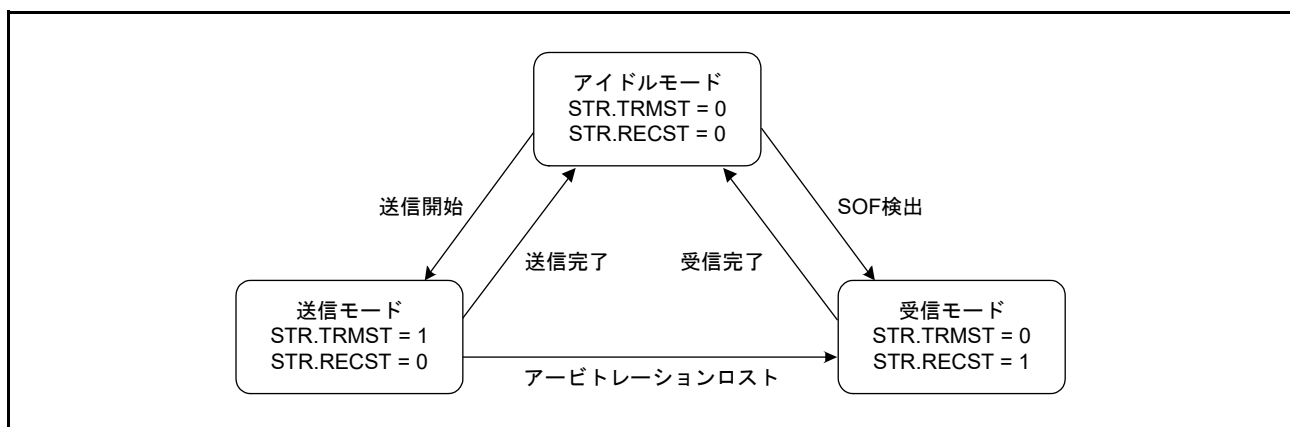


図 30.10 CAN オペレーションモードのサブモード

### 30.3.5 CAN オペレーションモード (バスオフ状態)

CAN 仕様に定められた送信または受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態へ遷移します。CAN モジュールがバスオフ状態から復帰するとき、下記のケースがあります。CAN モジュールがバスオフ状態のとき、STR、EIFR、RECR、TECR、TSR を除いて、CAN 関連レジスタの値は変化しません。

#### (1) CTLR.BOM[1:0] = 00b (通常モード) の場合

CAN モジュールは、バスオフ状態からの復帰を完了すると、エラーアクティブ状態となり、CAN 通信が可能になります。このとき、EIFR レジスタの BORIF フラグが 1 (バスオフ復帰検出) になります。

#### (2) CTLR.RBOC = 1 (バスオフ強制復帰) の場合

CAN モジュールは、バスオフ状態時に RBOC ビットが 1 であると、エラーアクティブ状態になります。11 の連続するレセプティブビットを検出した後、再び CAN 通信が可能になります。このとき、BORIF フラグは 1 になりません。

#### (3) CTLR.BOM[1:0] = 01b (バスオフ開始で自動的に CAN halt モードへ遷移) の場合

CAN モジュールは、バスオフ状態に達したとき、CAN halt モードになります。このとき、BORIF フラグは 1 になりません。

#### (4) CTLR.BOM[1:0] = 10b (バスオフ終了で自動的に CAN halt モードへ遷移) の場合

CAN モジュールは、バスオフからの復帰を完了すると、CAN halt モードになります。このとき、BORIF フラグは 1 になります。

#### (5) CTLR.BOM[1:0] = 11b (ソフトウェアにより自動的に CAN halt モードへ遷移) およびバスオフ状態時に CTLR.CANM[1:0] = 10b (CAN halt モード) の場合

CAN モジュールは、バスオフ状態時に CANM[1:0] ビットが 10b (CAN halt モード) になっていると、CAN halt モードになります。このとき、BORIF フラグは 1 になりません。バスオフ時に CANM[1:0] ビットが 10b にされていないと、(1) と同じ動作になります。

## 30.4 データ転送レートの設定

以下では、データ転送レートの設定方法について説明します。

### 30.4.1 クロックの設定

CAN モジュールは、BCR レジスタの CCLK ビットと BRP[9:0] ビットで設定可能な CAN クロック発生回路を内蔵しています。

図 30.11 に CAN クロック発生回路のブロック図を示します。

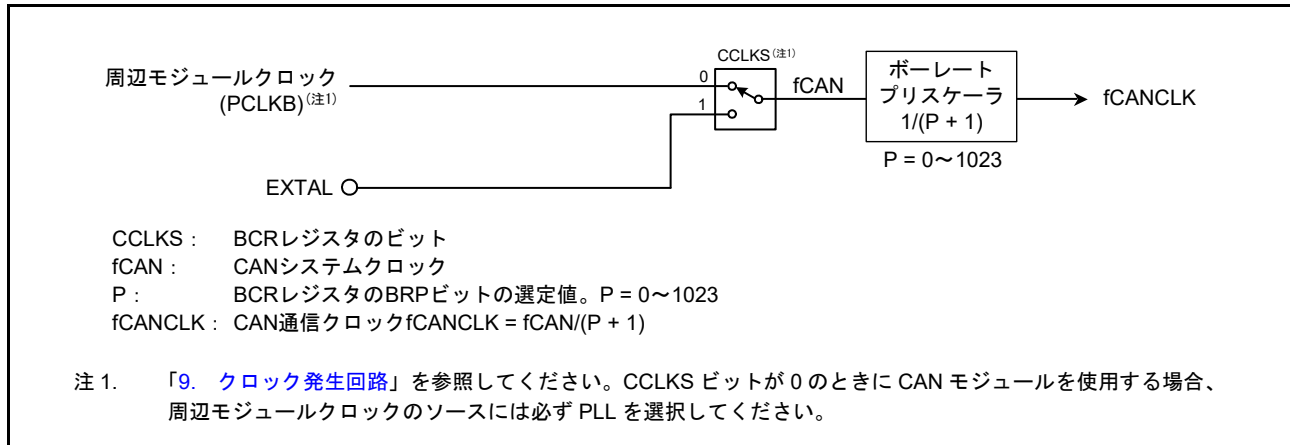


図 30.11 CAN クロック発生回路のブロック図

### 30.4.2 ビットタイミングの設定

ビットタイミングは、図 30.12 に示す3つのセグメントで構成されます。

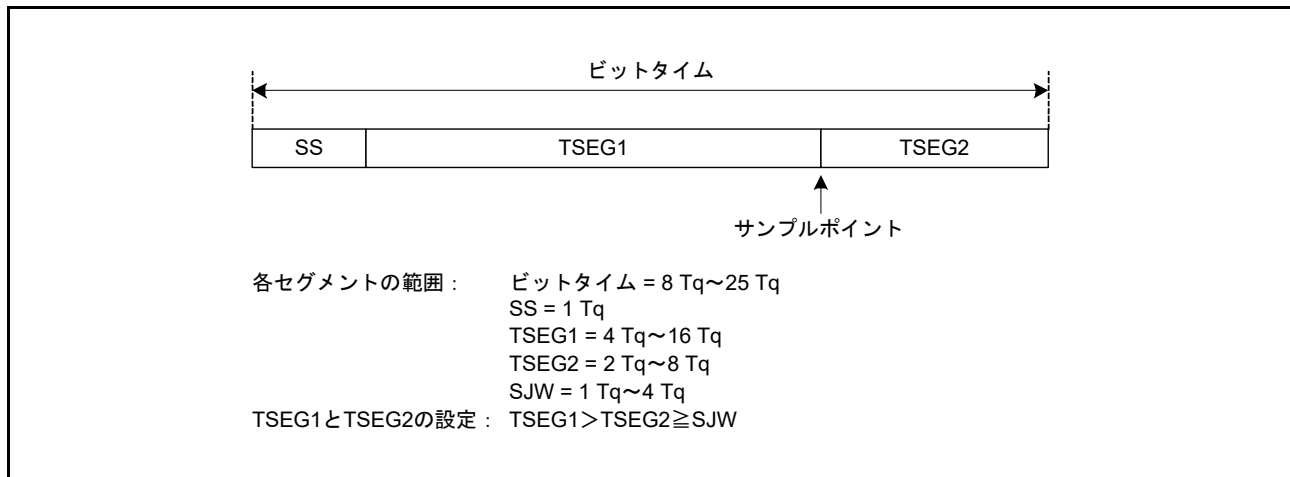


図 30.12 ビットタイミング

### 30.4.3 データ転送レート

データ転送レートは、fCAN (CAN システムクロック) の分周値、ボーレートプリスケアラ分周値、および1ビットタイムのTq数に依存します。

$$\text{データ転送レート (bps)} = \frac{\text{fCAN}}{\text{ボーレートプリスケアラ分周値 (注1)} \times \text{1ビットタイムのTq数}} = \frac{\text{fCANCLK}}{\text{1ビットタイムのTq数}}$$

注1. ボーレートプリスケアラ分周値 = P + 1 (P = 0 ~ 1023)、ここでPは、BCR.BRP[9:0]ビットの設定値

表 30.9 に、データ転送レートの例を示します。

表 30.9 データ転送レート例

fCAN データ転送 レート	50MHz		48MHz		40MHz		32MHz	
	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1
1Mbps	10Tq	5	8Tq	6	10Tq	4	8Tq	4
	25Tq	2	12Tq	4	20Tq	2	16Tq	2
			16Tq	3				
500kbps	10Tq	10	8Tq	12	10Tq	8	8Tq	8
	25Tq	4	12Tq	8	20Tq	4	16Tq	4
			16Tq	6				
250kbps	10Tq	20	8Tq	24	10Tq	16	8Tq	16
	25Tq	8	12Tq	16	20Tq	8	16Tq	8
			16Tq	12				
125kbps	10Tq	40	8Tq	48	10Tq	32	8Tq	32
	25Tq	16	12Tq	32	20Tq	16	16Tq	16
			16Tq	24				
83.3kbps	10Tq	60	8Tq	72	8Tq	60	8Tq	48
	25Tq	24	12Tq	48	10Tq	48	16Tq	24
			16Tq	36	16Tq	30		
					20Tq	24		
33.3kbps	10Tq	150	8Tq	180	8Tq	150	8Tq	120
	25Tq	60	12Tq	120	10Tq	120	10Tq	96
			16Tq	90	20Tq	60	16Tq	60
							20Tq	48

### 30.5 メールボックスとマスクレジスタの構成

図 30.13 に、32 本のメールボックスレジスタ (MB<sub>j</sub>\_ID、MB<sub>j</sub>\_DL、MB<sub>j</sub>\_Dm、MB<sub>j</sub>\_TS) の構成を示します。

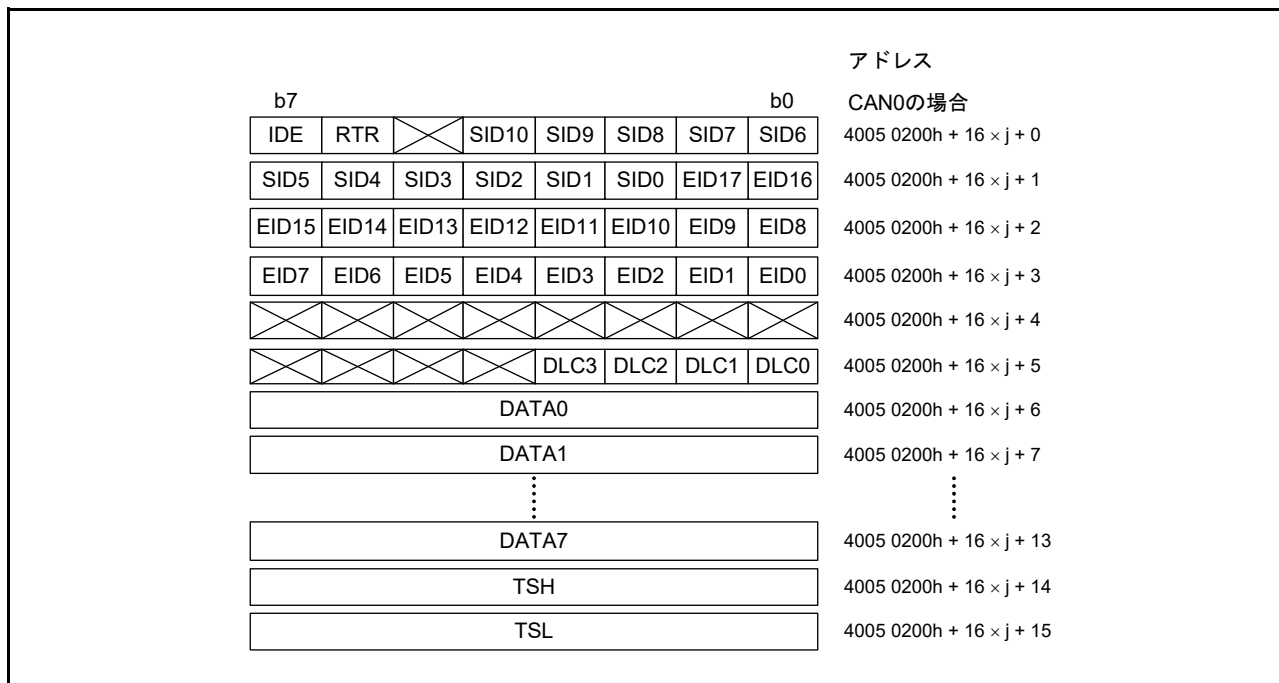


図 30.13 メールボックスレジスタの構成 (j = 0 ~ 31)

図 30.14 に、8 本のマスクレジスタ (MKR<sub>k</sub>) の構成を示します。

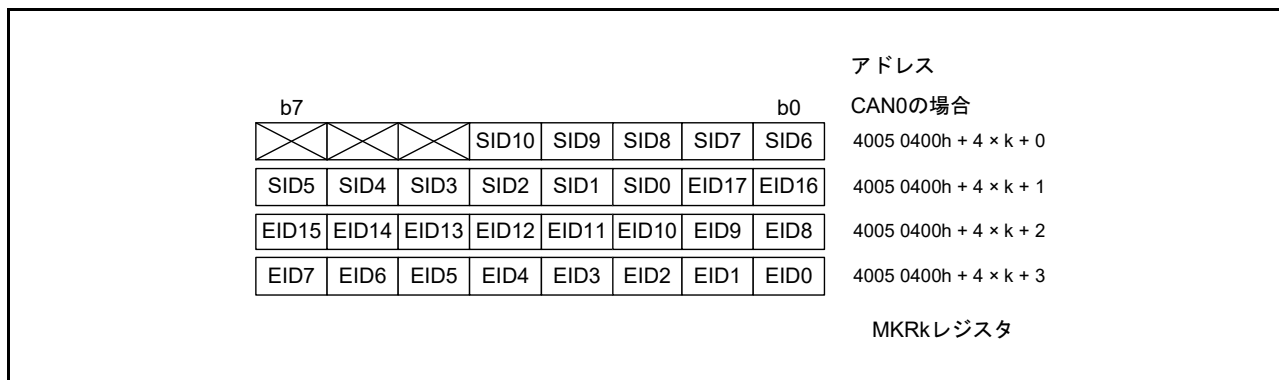


図 30.14 MKR<sub>k</sub> レジスタの構成 (k = 0 ~ 7)



図 30.15 に、2 本の FIFO 受信 ID 比較レジスタ (FIDCR0 および FIDCR1) の構成を示します。

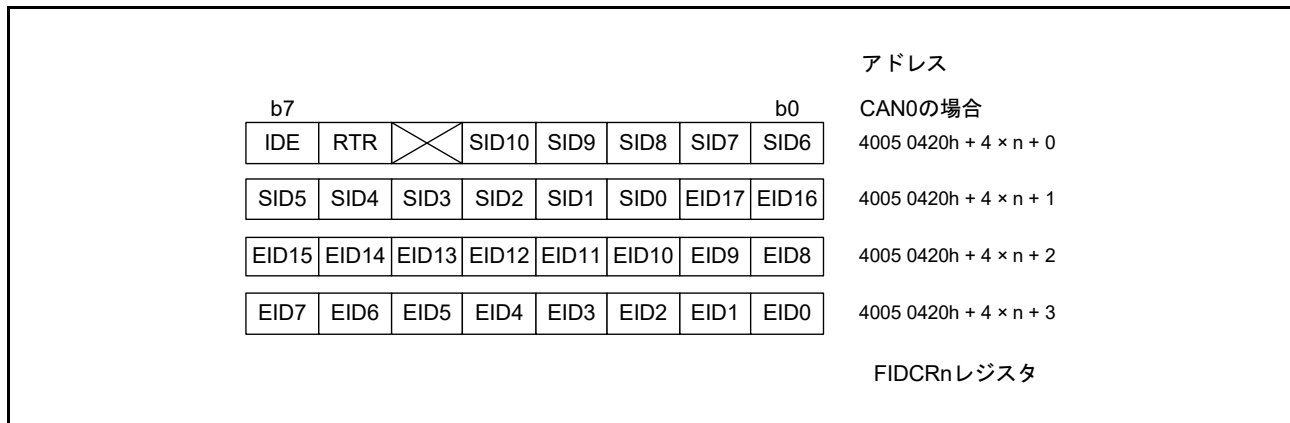


図 30.15 FIDCRn レジスタの構成 (n = 0, 1)

## 30.6 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能によって、指定範囲内のメールボックスに対して、複数 ID のメッセージを選択および受信することが可能になります。

MKRk レジスタは、標準 ID と 29 ビットの拡張 ID をマスクできます。

- MKR0 レジスタは、メールボックス 0 ~ 3 を制御
- MKR1 レジスタは、メールボックス 4 ~ 7 を制御
- MKR2 レジスタは、メールボックス 8 ~ 11 を制御
- MKR3 レジスタは、メールボックス 12 ~ 15 を制御
- MKR4 レジスタは、メールボックス 16 ~ 19 を制御
- MKR5 レジスタは、メールボックス 20 ~ 23 を制御
- MKR6 レジスタは、通常メールボックスモードの場合はメールボックス 24 ~ 27、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28 ~ 31 を制御
- MKR7 レジスタは、通常メールボックスモードの場合はメールボックス 28 ~ 31、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28 ~ 31 を制御

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ処理を禁止します。

MBj\_ID.IDE ビットは、CTLR.IDFM[1:0] ビットが 10b (ミックス ID モード) のときに有効です。

MBj\_ID.RTR ビットは、データフレームまたはリモートフレームを選択します。

FIFO メールボックスモードの場合、通常メールボックス (0 ~ 23) は、アクセプタンスフィルタ処理に MKR0 ~ MKR5 レジスタの中から対応する 1 つのレジスタを使用します。受信 FIFO メールボックス (28 ~ 31) は、アクセプタンスフィルタ処理に MKR6 および MKR7 レジスタの 2 つを使用します。

また、受信 FIFO は、FIDCR0 および FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO の MB28 ~ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効になります。2 つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO は 2 つの範囲の ID を受信することが可能です。MKIVLR レジスタは、受信 FIFO に対しては無効です。

異なる標準 ID と拡張 ID の値が、FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。異なるデータフレームとリモートフレームの値が、FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2 つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 30.16 は、マスクレジスタとメールボックスの対応関係を示しています。図 30.17 は、アクセプタンスフィルタ機能を示しています。

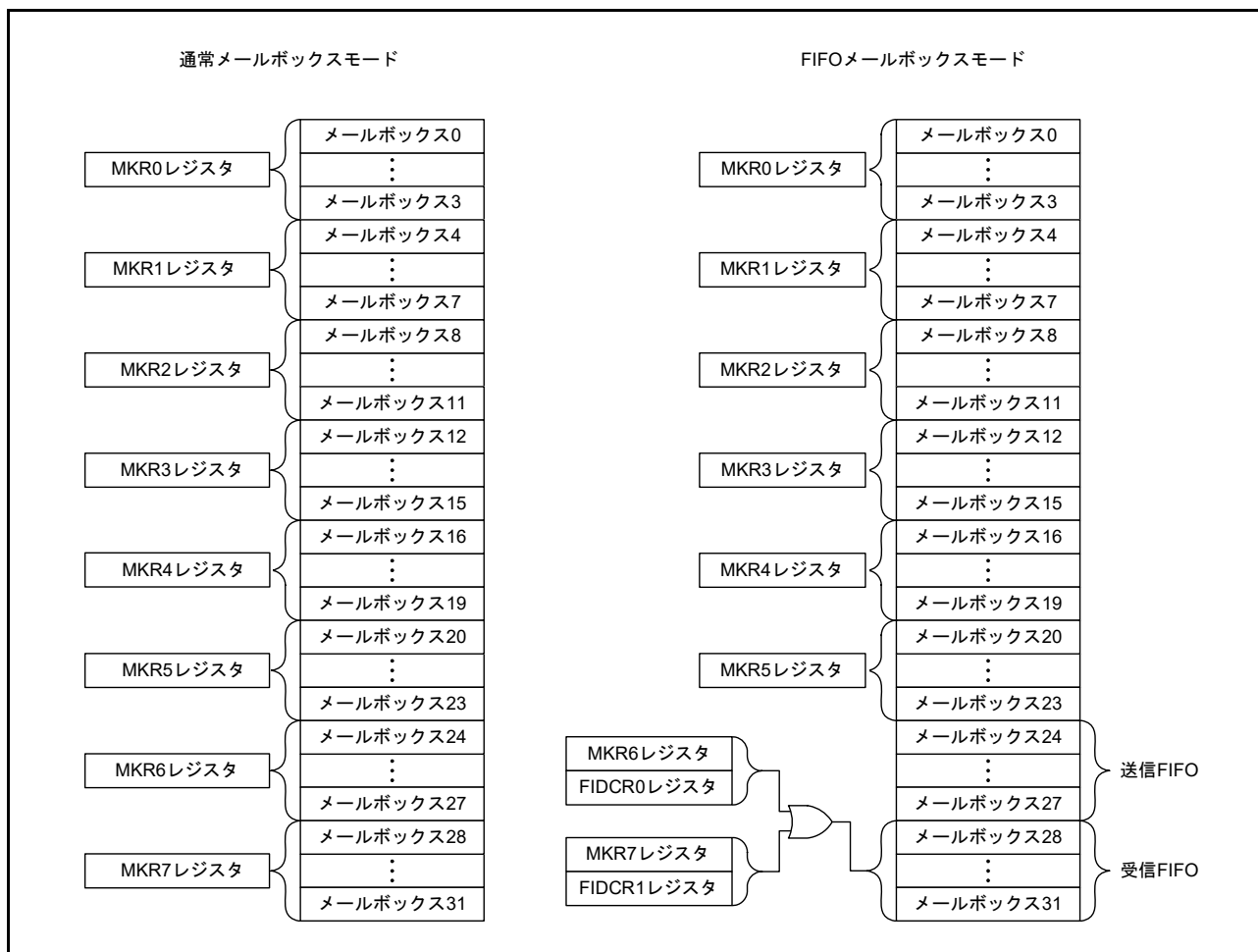


図 30.16 マスクレジスタとメールボックスの対応関係

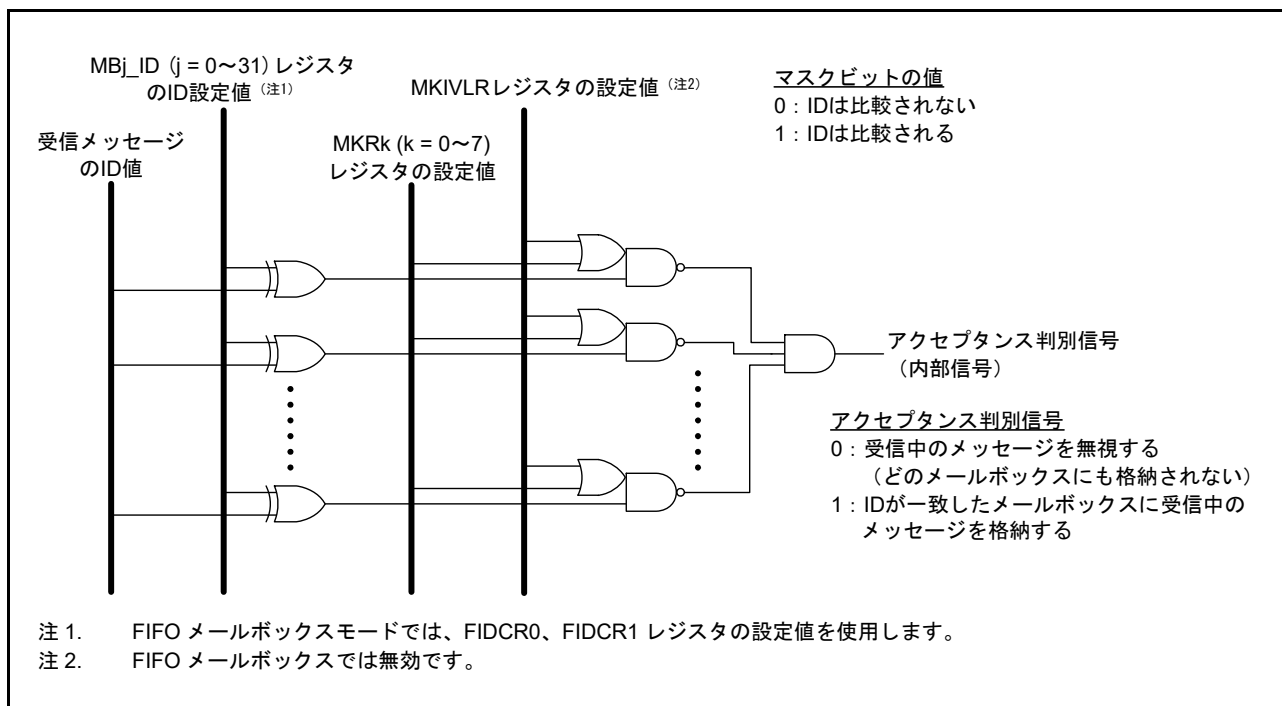


図 30.17 アクセプタンスフィルタ機能

## 30.7 受信／送信

表 30.10 に、CAN 通信モードの設定方法を示します。

表 30.10 CAN受信モードと送信モードの設定

MCTL_TXj. TRMREQ および MCTL_RXj. TRMREQ	MCTL_TXj. RECREQ および MCTL_RXj. RECREQ	MCTL_TXj. ONESHOT および MCTL_RXj. ONESHOT	メールボックス通信モード
0	0	0	メールボックス使用不可、または送信アポート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送受信がアポートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレーム用の受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレーム用のワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレーム用の送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレーム用のワンショット送信メールボックスとして設定
1	1	0	設定禁止
1	1	1	設定禁止

j = 0 ~ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する場合、以下の制限が適用されます。

- メールボックスを設定する前に、MCTL\_RXj レジスタを 00h にしてください。
- 受信メッセージは、受信モード設定とアクセプタンスフィルタ機能に基づく条件に一致する最初のメールボックスに格納されます。このとき、最も番号の小さいメールボックスを優先して受信メッセージが格納されます。
- CAN オペレーションモードでは、ID が一致していても、CAN モジュールは自ら送信したデータを受信しません。ただし、セルフテストモードでは、CAN モジュールは自ら送信したデータを受信し、ACK を返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する場合、以下の制約が適用されます。

- メールボックスを設定する前に、MCTL\_TXj レジスタが 00h であり、かつ保留中のアポート処理がないことを確認してください。

## 30.7.1 受信

図 30.18 に、データフレーム受信時の動作例（オーバーライトモードの場合）を示します。

この例は、MCTL\_RXj レジスタ（j=0～31）の受信条件に一致する2つの連続した CAN メッセージを受信したときに、CAN モジュールが最初のメッセージを上書きする場合の動作です。

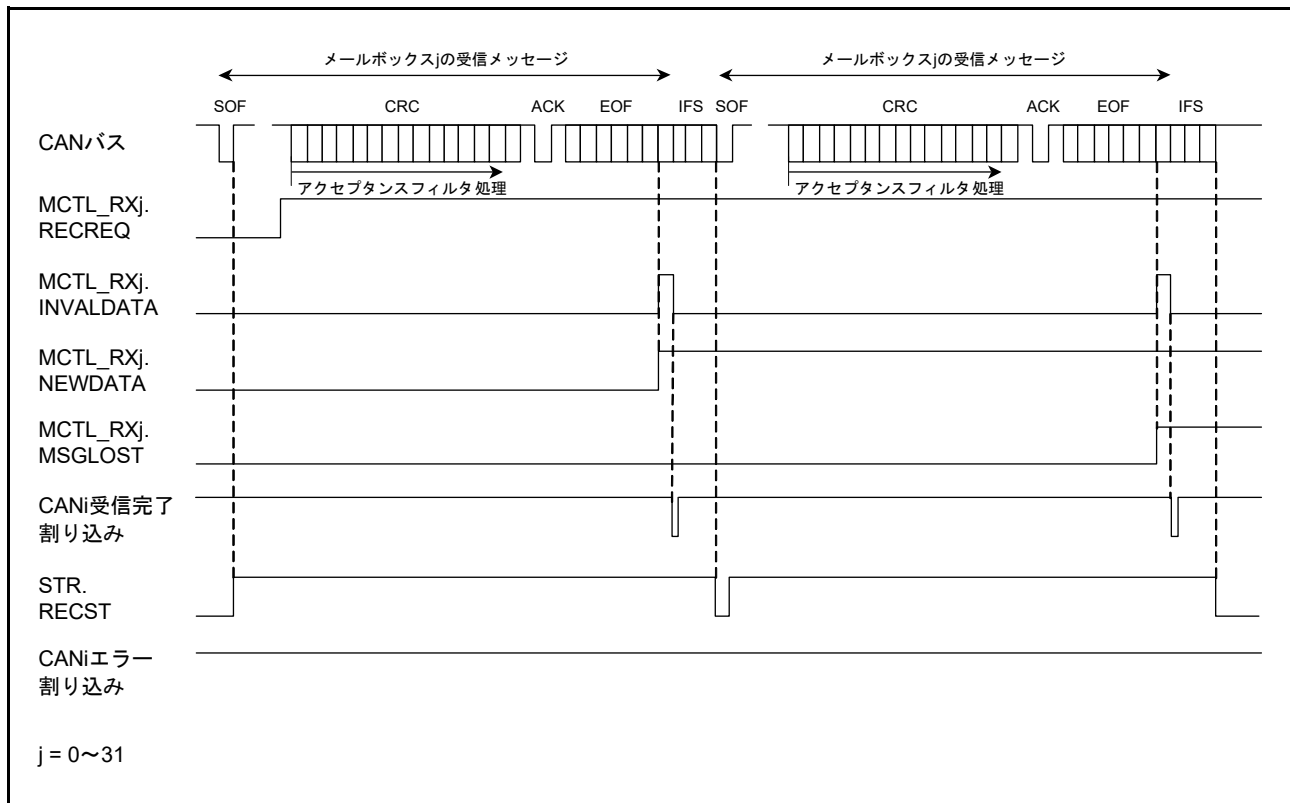


図 30.18 データフレーム受信時の動作例（オーバーライトモードの場合）

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、STR.RECST ビットが 1（受信中）になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの MCTL\_RXj.NEWDATA フラグが 1（新しいメッセージをメールボックスに格納中または格納された）になります。同時に MCTL\_RXj.INVALIDDATA フラグが 1（メッセージを更新中）になり、そのメールボックスにメッセージ全体が転送された後、INVALIDDATA フラグは 0（メッセージは有効）に戻ります。
4. 受信メールボックスの MIER レジスタの割り込み許可ビットが 1（割り込み許可）の場合、INVALIDDATA フラグは 0 になり、CAN0 受信完了割り込み要求がトリガされます。
5. メールボックスからメッセージを読み出した後、NEWDATA フラグをソフトウェアで 0 にする必要があります。
6. オーバーライトモードでは、MCTL\_RXj.NEWDATA フラグが 1 のときに、次の CAN メッセージを受信すると、MCTL\_RXj.MSGLOST フラグが 1（メッセージはオーバーライトされた）になります。新しく受信したメッセージはメールボックスに転送されます。CAN0 受信完了割り込み要求が、手順 4. と同様に発生します。

図 30.19 に、データフレーム受信時の動作例（オーバーランモードの場合）を示します。この例は、MCTL\_RXj レジスタ（j=0～31）の受信条件に一致する2つの連続したCANメッセージを受信したときに、CANモジュールが2番目のメッセージをオーバーランする場合の動作です。

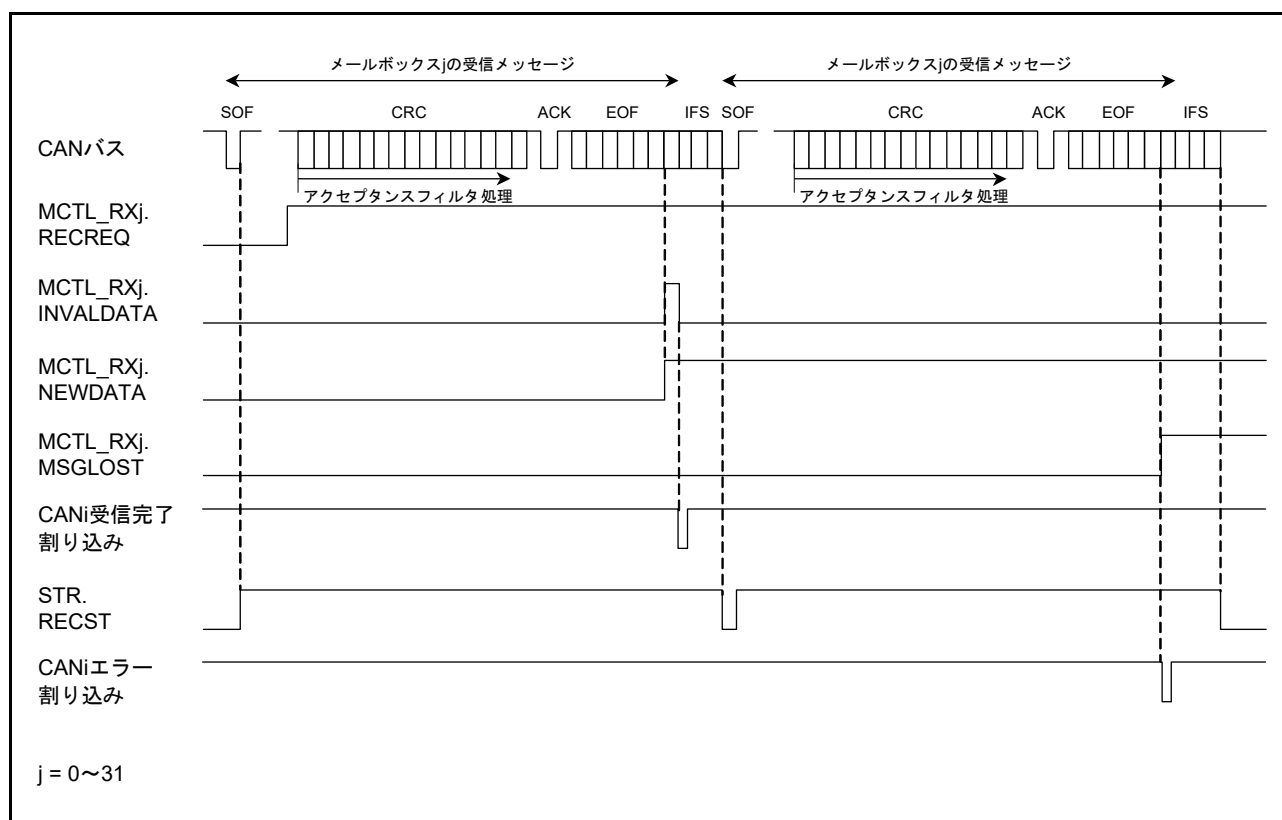


図 30.19 データフレーム受信時の動作例（オーバーランモードの場合）

手順 1. ～ 5. はオーバーライトモードと同じです。

- オーバーランモードでは、MCTL\_RXj.NEWDATA フラグが 0 になる前に、次の CAN メッセージを受信すると、MCTL\_RXj.MSGLOST フラグが 1（メッセージオーバーラン）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが 1（割り込み許可）の場合、CANi エラー割り込み要求が発生します。

## 30.7.2 送信

図 30.20 に、データフレーム送信時の動作例を示します。

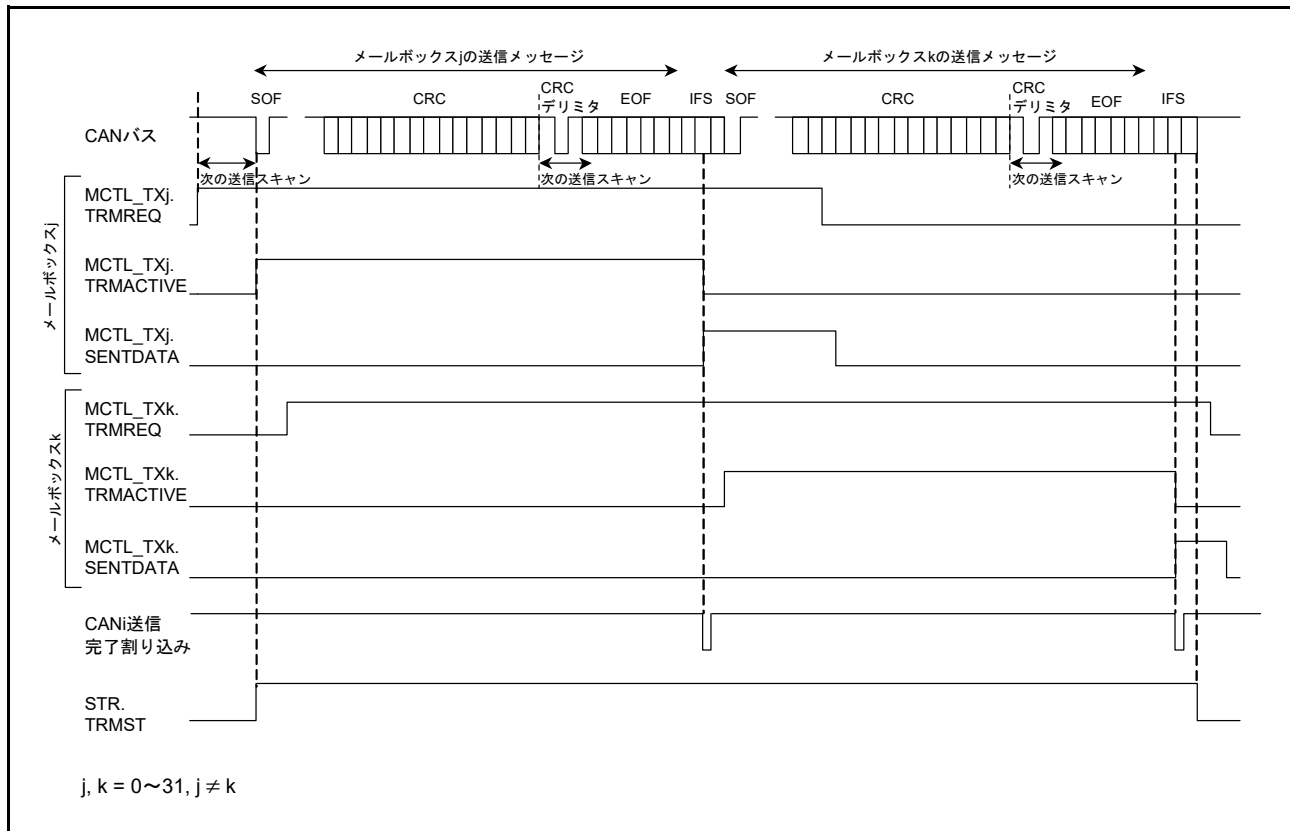


図 30.20 データフレーム送信時の動作例

- バスアイドル状態で、MCTL\_TXj.TRMREQ ビット ( $j = 0 \sim 31$ ) を 1 (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャンが開始されます。送信メールボックスが決定されると、MCTL\_TXj.TRMACTIVE フラグが 1 (送信要求の取り込みから、送信完了まで、あるいは、エラー発生またはアービトレーションロスト発生まで) になり、さらに STR.TRMST ビットが 1 (送信中) になって、CAN モジュールは送信を開始します (注 1)。
- 他の TRMREQ ビットが設定されている場合は、次の送信の CRC デリミタから送信スキャンが開始されます。
- アービトレーションロストが発生せずに送信が完了すると、MCTL\_TXj.SENTDATA フラグが 1 (送信完了) になり、TRMACTIVE フラグが 0 (送信待機中または送信要求なし) になります。そして、MIER レジスタの割り込み許可ビットが 1 (割り込み許可) の場合は、CANi 送信完了割り込み要求が発生します。
- 同一のメールボックスから次の送信を要求する場合は、SENTDATA フラグおよび TRMREQ ビットを 0 にした後、SENTDATA フラグおよび TRMREQ ビットが 0 になったことを確認してから、TRMREQ ビットを 1 にしてください。

注 1. CAN モジュールが送信開始した後でアービトレーションロストが発生した場合、TRMACTIVE フラグは 0 になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。



## 30.8 割り込み

CAN モジュールには、チャンネルごとに下記の割り込みがあります。

- メールボックス 0～31 の CANi 受信完了割り込み (CANi\_RXM)
- メールボックス 0～31 の CANi 送信完了割り込み (CANi\_TXM)
- CANi 受信 FIFO 割り込み (CANi\_RXF)
- CANi 送信 FIFO 割り込み (CANi\_TXF)
- CANi エラー割り込み (CANi\_ERS)

CANi エラー割り込みには、下記の 8 つの割り込み要因が利用可能です。EIFR レジスタを確認して、これらの要因がトリガされたかどうかを判定してください。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバーラン
- オーバーロードフレーム送信
- バスロック

表 30.11 に CAN の割り込み一覧を示します。

表 30.11 CANの割り込み

モジュール	割り込み名称	割り込み要因	要因フラグ
CANi i = 0	CANi_ERS	バスロック検出	EIFR.BLIF
		オーバーロードフレーム送信検出	EIFR.OLIF
		オーバーラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	CANi_RXF	受信FIFOメッセージ受信 (MIER_FIFO.MB29 = 0)	RFCR.RFUST[2:0]
		受信FIFOワーニング (MIER_FIFO.MB29 = 1)	
	CANi_TXF	送信FIFOメッセージ送信完了 (MIER_FIFO.MB25 = 0)	TFMR.TFUST[2:0]
		FIFOラストメッセージ送信完了 (MIER_FIFO.MB25 = 1)	
	CANi_RXM	メールボックス0～31メッセージ受信	MCTL_RX0.NEWDATA～ MCTL_RX31.NEWDATA
	CANi_TXM	メールボックス0～31メッセージ送信完了	MCTL_TX0.SENTDATA～ MCTL_TX31.SENTDATA

## 30.9 使用上の注意事項

### 30.9.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、CAN の動作を禁止または許可することが可能です。CAN モジュールは、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

### 30.9.2 動作クロックの設定

動作クロックの設定方法を次に示します。

- CCLKS ビットが 1 のとき、CAN モジュールは下記のクロック制約を満たす必要があります。

$$fPCLKB \geq fCANMCLK$$

- CCLKS ビットが 0 のとき、CAN モジュールの周辺モジュールクロックソースは PLL でなければなりません。

## 31. シリアルペリフェラルインタフェース (SPI)

### 31.1 概要

本 MCU は、独立した 2 チャンネルのシリアルペリフェラルインタフェース (SPI) を内蔵しています。SPI チャンネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式のシリアル通信が可能です。

表 31.1 に SPI の仕様を、図 31.1 にブロック図を示します。

本章では、 $n$  は A または B を指し、 $i$  は 0 または 1 を指します。端子または信号名の小文字の  $i$  は 0 ~ 3 の値を指し、SPI コマンドレジスタ  $m$  (SPCMD $m$ ) の小文字の  $m$  は 0 ~ 7 の値を指します。

表 31.1 SPIの仕様 (1/2)

項目	内容
チャンネル数	2チャンネル
SPI転送機能	<ul style="list-style-type: none"> <li>• MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPIClock) の各信号を使用して、SPI動作 (4線式) またはクロック同期式動作 (3線式) によるシリアル通信が可能</li> <li>• 送信のみの動作が可能</li> <li>• 全二重または送信のみの通信モードを選択可能</li> <li>• RSPCK極性切り替え</li> <li>• RSPCK位相切り替え</li> </ul>
データフォーマット	<ul style="list-style-type: none"> <li>• MSBファースト/LSBファースト選択可能</li> <li>• 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットから選択可能</li> <li>• 送信/受信バッファは128ビット</li> <li>• 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット)</li> <li>• バイトスワップ動作機能</li> </ul>
ビットレート	<ul style="list-style-type: none"> <li>• マスタモード時、内蔵ポーレートジェネレータでPCLKAを分周してRSPCKを生成 (分周比は2~4096分周)</li> <li>• スレーブモード時は、PCLKAの最小4分周のクロックを、RSPCKとして入力可能 (RSPCKの最大周波数はPCLKAの4分周) High幅: PCLKAの2サイクル、Low幅: PCLKAの2サイクル</li> </ul>
バッファ構成	<ul style="list-style-type: none"> <li>• 送信および受信バッファはそれぞれダブルバッファ構造</li> <li>• 送信および受信バッファは128ビット</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>• モードフォルトエラー検出</li> <li>• アンダーランエラー検出</li> <li>• オーバーランエラー検出 (注1)</li> <li>• パリティエラー検出</li> </ul>
SSL制御機能	<ul style="list-style-type: none"> <li>• 1チャンネルあたり4本のSSL端子 (SSLn0~SSLn3)</li> <li>• シングルマスタモード時、SSLn0~SSLn3端子は出力</li> <li>• マルチマスタモード時、SSLn0端子は入力、SSLn1~SSLn3端子は出力または不使用</li> <li>• スレーブモード時、SSLn0端子は入力、SSLn1~SSLn3端子は不使用</li> <li>• SSL出力のアサートからRSPCK動作までの遅延 (RSPCK遅延) を制御可能 設定範囲: 1~8RSPCK周期 (設定単位: 1RSPCK周期)</li> <li>• RSPCK停止からSSL出力のネゲートまでの遅延 (SSLネゲート遅延) を制御可能 設定範囲: 1~8RSPCK周期 (設定単位: 1RSPCK周期)</li> <li>• 次アクセスのSSL出力アサートのウェイト (次アクセス遅延) を制御可能 設定範囲: 1~8RSPCK周期 (設定単位: 1RSPCK周期)</li> <li>• SSL極性変更機能</li> </ul>
マスタ転送時の制御方式	<ul style="list-style-type: none"> <li>• 最大8コマンドで構成された転送を連続してループ実行可能</li> <li>• 各コマンドに以下の項目を設定可能: SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、MSB/LSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延</li> <li>• 送信バッファへの書き込みで転送を起動可能</li> <li>• SSLネゲート時のMOSI信号値を設定可能</li> <li>• RSPCK自動停止機能</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>• 受信バッファフル割り込み</li> <li>• 送信バッファエンプティ割り込み</li> <li>• SPIエラー割り込み (モードフォルト、オーバーラン、パリティエラー)</li> <li>• SPIアイドル割り込み (SPIアイドル)</li> <li>• 送信完了割り込み</li> </ul>

表 31.1 SPIの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	以下のイベントをイベントリンクコントローラ (ELC) へ出力可能： <ul style="list-style-type: none"><li>• 受信バッファフル信号</li><li>• 送信バッファエンプティ信号</li><li>• モードフォルト/アンダーラン/オーバーラン/パリティエラー信号</li><li>• SPIアイドル信号</li><li>• 送信完了信号</li></ul>
その他の機能	<ul style="list-style-type: none"><li>• CMOS出力/オープンドレイン出力の切り替え</li><li>• SPIの初期化機能</li><li>• ループバックモード</li></ul>
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能

注 1. マスタ受信時に RSPCK 自動停止機能が有効な場合は、オーバーランエラーが検出されると転送クロックが停止するため、オーバーランエラーは発生しません。

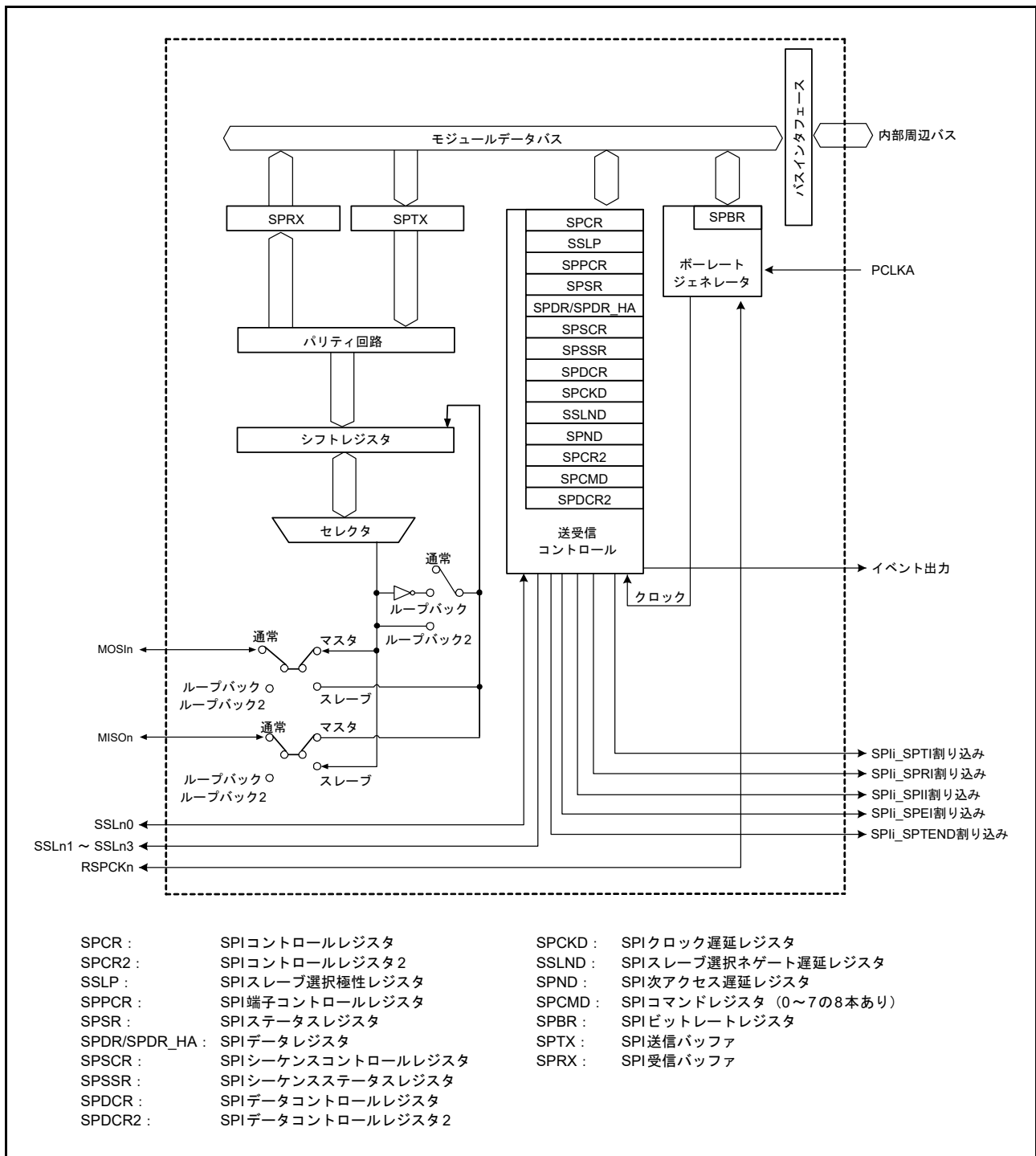


図 31.1 SPIのブロック図

表 31.2 に SPI で使用する入出力端子を示します。SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 は、SPI がシングルマスタの場合は出力に、マルチマスタまたはスレーブの場合は入力に設定されます。RSPCKn、MOSIn、および MISOn 端子の入出力方向は、マスタ/スレーブ設定と SSLn0 端子の入力レベルに応じて、SPI が自動的に切り替えます。詳細は、31.3.2 SPI 端子の制御を参照してください。

表 31.2 SPIの入出力端子

チャンネル	端子名	入出力	機能
SPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力
SPI1	RSPCKB	入出力	クロック入出力
	MOSIB	入出力	マスタ送出データ入出力
	MISOB	入出力	スレーブ送出データ入出力
	SSLB0	入出力	スレーブセレクト入出力
	SSLB1	出力	スレーブセレクト出力
	SSLB2	出力	スレーブセレクト出力
	SSLB3	出力	スレーブセレクト出力

## 31.2 レジスタの説明

### 31.2.1 SPI コントロールレジスタ (SPCR)

アドレス SPI0.SPCR 4007 2000h, SPI1.SPCR 4007 2100h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	SPIモード選択	0: SPI動作 (4線式) を選択 1: クロック同期式動作 (3線式) を選択	R/W
b1	TXMD	通信動作モード選択	0: 全二重同期式シリアル通信を選択 1: 送信のみのシリアル通信を選択	R/W
b2	MODFEN	モードフォルトエラー検出許可	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	SPIマスタ/スレーブモード選択	0: スレーブモードを選択 1: マスタモードを選択	R/W
b4	SPEIE	SPIエラー割り込み許可	0: SPIエラー割り込み要求を禁止 1: SPIエラー割り込み要求を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可	0: 送信バッファエンプティ割り込み要求を禁止 1: 送信バッファエンプティ割り込み要求を許可	R/W
b6	SPE	SPI機能有効	0: SPI機能は無効 1: SPI機能は有効	R/W
b7	SPRIE	SPI受信バッファフル割り込み許可	0: SPI受信バッファフル割り込み要求を禁止 1: SPI受信バッファフル割り込み要求を許可	R/W

SPCR.SPE ビットが 1 の状態で、SPCR.MSTR ビット、SPCR.MODFEN ビット、または SPCR.TXMD ビットを変更した場合、以降の動作を行わないでください。

#### SPMS ビット (SPI モード選択)

SPI 動作 (4 線式) またはクロック同期式動作 (3 線式) を選択します。

クロック同期式動作では、SSLn0 ~ SSLn3 端子は使用されません。RSPCKn 端子、MOSIn 端子、MISO<sub>n</sub> 端子の 3 端子を用いて通信を行います。また、マスタモード (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを 0 または 1 にしてください。スレーブモード (SPCR.MSTR = 0) でクロック同期式動作を行う場合は、必ず CPHA ビットを 1 にしてください。スレーブモード (SPCR.MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットが 0 であれば、動作を行わないでください。

#### TXMD ビット (通信動作モード選択)

全二重同期式のシリアル通信または送信のみの動作を選択します。本ビットを 1 にした場合、SPI は送信動作のみを行い、受信動作を行いません (31.3.6 データ転送モードを参照)。また、受信バッファフル割り込み要求を使用することはできません。

#### MODFEN ビット (モードフォルトエラー検出許可)

モードフォルトエラーの検出を許可または禁止します (31.3.8 エラー検出を参照)。また、SPI は MODFEN ビットと MSTR ビットの組み合わせに従って、SSLn0 ~ SSLn3 端子の入出力方向を決定します (31.3.2 SPI 端子の制御を参照)。

#### MSTR ビット (SPI マスタ/スレーブモード選択)

SPI に対してマスタモードまたはスレーブモードを選択します。SPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISO<sub>n</sub>、および SSLn0 ~ SSLn3 端子の方向を決定します。

**SPEIE ビット (SPI エラー割り込み許可)**

以下のいずれかが発生した場合に、SPI エラー割り込み要求の発生を許可または禁止します。

- SPI がモードフォルトエラーまたはアンダーランエラーを検出し、SPSR.MODF フラグを 1 にした場合
- SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にした場合
- SPI がパリティエラーを検出し、SPSR.PERF フラグを 1 にした場合

詳細は、[31.3.8 エラー検出](#)を参照してください。

**SPTIE ビット (送信バッファエンプティ割り込み許可)**

SPI が送信バッファエンプティを検出したときの、送信バッファエンプティ割り込み要求の発生を許可または禁止します。送信開始時の送信バッファエンプティ割り込み要求は、SPE ビットと SPTIE ビットを同時に 1 にするか、または SPTIE ビットを 1 にした後、SPE ビットを 1 にすることで発生します。

SPI 機能を無効 (SPTIE ビットを 0 に変更) にしても、SPTIE ビットが 1 であると、送信バッファ割り込みが発生します。

**SPE ビット (SPI 機能有効)**

SPI 機能を有効または無効にします。SPSR.MODF フラグが 1 の場合、SPE ビットを 1 にすることはできません。詳細は、[31.3.8 エラー検出](#)を参照してください。

SPE ビットを 0 にすると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。詳細は、[31.3.9 SPI の初期化](#)を参照してください。また、SPE ビットを 0 から 1、または 1 から 0 に変更すると、送信バッファエンプティ割り込み要求が発生します。

**SPRIE ビット (SPI 受信バッファフル割り込み許可)**

SPI がシリアル転送完了後の受信バッファフルを検出したときの、SPI 受信バッファフル割り込み要求の発生を許可または禁止します。



## 31.2.2 SPIスレーブ選択極性レジスタ (SSLP)

アドレス SPI0.SSLP 4007 2001h, SPI1.SSLP 4007 2101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが1の状態、SSLPレジスタの内容を変更した場合、以降の動作を行わないでください。

## 31.2.3 SPI 端子コントロールレジスタ (SPPCR)

アドレス SPI0.SPPCR 4007 2002h, SPI1.SPPCR 4007 2102h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	SPIループバック	0 : 通常モード 1 : ループバックモード (データを反転して送信)	R/W
b1	SPLP2	SPIループバック2	0 : 通常モード 1 : ループバックモード (データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MOIFV	MOSIアイドル固定値	0 : MOSIアイドル時のMOSIn端子の出力レベルをLowに設定 1 : MOSIアイドル時のMOSIn端子の出力レベルをHighに設定	R/W
b5	MOIFE	MOSIアイドル値固定許可	0 : MOSI出力値を前回転送の最終データに設定 1 : MOSI出力値をMOIFVビットの設定値に設定	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPPCR レジスタの内容を変更した場合、以降の動作は行わないでください。

**SPLP ビット (SPI ループバック)**

SPI の端子モードを選択します。本ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路と出力経路を接続します (ループバックモード)。

**SPLP2 ビット (SPI ループバック 2)**

SPI の端子モードを選択します。本ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路と出力経路を接続します (ループバックモード)。

**MOIFV ビット (MOSI アイドル固定値)**

マスタモードで MOIFE ビットが 1 の場合、MOIFV ビットは、バースト転送における SSL 保持期間を含む SSL ネゲート期間中の MOSIn 端子の出力値を決定します。

**MOIFE ビット (MOSI アイドル値固定許可)**

マスタモードの SPI が SSL ネゲート期間中 (バースト転送における SSL 保持期間を含む) のとき、MOIFE ビットは MOSIn 出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIn 端子に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットに設定された固定値を MOSIn 端子に出力します。

## 31.2.4 SPI ステータスレジスタ (SPSR)

アドレス SPI0.SPSR 4007 2003h, SPI1.SPSR 4007 2103h

b7	b6	b5	b4	b3	b2	b1	b0
SPRF	—	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
b1	IDLNF	SPIアイドルフラグ	0: SPIはアイドル状態 1: SPIは転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーおよびアンダーランエラー発生なし 1: モードフォルトエラーまたはアンダーランエラー発生あり	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	UDRF	アンダーランエラーフラグ	0: モードフォルトエラー発生 (MODF = 1) 1: アンダーランエラー発生 (MODF = 1) 本ビットはMODFフラグが0の場合、無効です。	R/W (注1) (注2)
b5	SPTEF	SPI送信バッファエンプティフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	R/(W) (注1) (注3)
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SPRF	SPI受信バッファフルフラグ	0: SPDR/SPDR_HAに有効なデータなし 1: SPDR/SPDR_HAに有効なデータあり	R/(W) (注1) (注3)

注1. フラグをクリアするため、1を読んだあとに0を書き込むことのみ可能です。

注2. UDRF フラグは、MODF フラグをソフトウェアでクリアすると同時にクリアされます。

注3. 書く場合、1としてください。

**OVRF フラグ (オーバーランエラーフラグ)**

オーバーランエラーの発生を示します。マスタモード (SPCR.MSTR = 1) 時に RSPCK クロック自動停止機能が有効 (SPCR1.SCKASE = 1) の場合、オーバーランエラーは発生しません。このフラグは1になります。詳細は、[31.3.8.1 オーバーランエラー](#)を参照してください。

[1になる条件]

- SPCR.TXMD ビットが0かつ受信バッファフルの状態、次のシリアル転送が終了したとき

[0になる条件]

- SPSR レジスタを読んで OVRF フラグが1であることを確認した後、OVRF フラグに0を書いたとき

**IDLNF フラグ (SPI アイドルフラグ)**

SPI の転送状況を示します。

[1になる条件]

マスタモード

- 0になる条件に示したマスタモード時の条件 [1](#). および [2](#). が成立しないとき

スレーブモード

- SPCR.SPE ビットが1 (SPI機能が有効) のとき

[0 になる条件]

マスタモード

- 条件 1. が成立したとき、または条件 2.、3.、および 4. が成立したとき
1. SPCR.SPE ビットが 0 (SPI 初期化)
  2. 送信バッファ (SPTX) が空である (次転送データがセットされていない)
  3. SPSSR.SPCP[2:0] ビットが 000b である (シーケンス制御の先頭)
  4. SPI 内部シーケンサがアイドル状態へ遷移した (次アクセス遅延までの動作が完了した状態)

スレーブモード

- 条件 1. が成立したとき

### MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーまたはアンダーランエラーの発生を示します。UDRF フラグを使用して、どちらのエラーが発生したかを識別してください。

[1 になる条件]

マルチマスタモード

- SPCR.MSTR ビットが 1 (マスタモード)、かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出を許可) の状態で、SSLni 端子の入力レベルがアクティブレベルに変化し、SPI がモードフォルトエラーを検出したとき

スレーブモード

- 条件 1. または 2. が成立したとき
1. SPCR.MSTR ビットが 0 (スレーブモード)、かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、SPI がモードフォルトエラーを検出したとき
  2. SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが用意されていない状態で、シリアル転送が開始され、SPI がアンダーランエラーを検出したとき

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット (SSLi 信号極性設定ビット) によって決定されます。

[0 になる条件]

- SPSR レジスタを読んで MODF フラグが 1 であることを確認した後、MODF フラグに 0 を書いたとき

### PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示します。

[1 になる条件]

- SPCR.TXMD ビットが 0、かつ SPCR2.SPPE ビットが 1 の状態で、シリアル転送が終了し、SPI がパリティエラーを検出したとき

[0 になる条件]

- SPSR レジスタを読んで PERF フラグが 1 であることを確認した後、PERF フラグに 0 を書いたとき

### UDRF フラグ (アンダーランエラーフラグ)

アンダーランエラーの発生を示します。

[1 になる条件]

- SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが用意されていない状態で、シリアル転送が開始され、SPI がアンダーランエラーを検出したとき

[0になる条件]

- SPSR レジスタを読んで UDRF フラグが 1 であることを確認した後、UDRF フラグに 0 を書いたとき

#### SPTEF フラグ (SPI 送信バッファエンptyフラグ)

SPI データレジスタ (SPDR/SPDR\_HA) の送信バッファの状態を示します。

[1になる条件]

- 条件 1. または 2. が成立したとき
1. SPCR.SPE ビットが 0 (SPI 初期化) であるとき
  2. 送信データが送信バッファからシフトレジスタに転送されたとき

[0になる条件]

- SPDR/SPDR\_HA レジスタに書き込まれたデータが、SPI データコントロールレジスタ (SPDCR) の SPFC[1:0] ビットに設定したフレーム数に等しいとき

SPTEF フラグが 1 の場合のみ、データを SPDR/SPDR\_HA レジスタに書き込むことができます。SPTEF フラグが 0 のときに SPDR/SPDR\_HA レジスタの送信バッファにデータが書き込まれた場合、送信バッファのデータは更新されません。

#### SPRF フラグ (SPI 受信バッファフルフラグ)

SPI データレジスタ (SPDR/SPDR\_HA) の受信バッファの状態を示します。

[1になる条件]

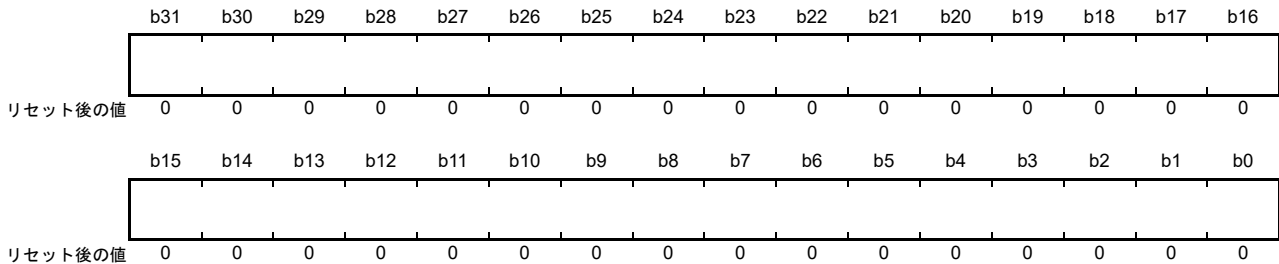
- SPI コントロールレジスタ (SPCR) の通信動作モード選択ビット (TXMD) が 0、かつ SPRF フラグが 0 の状態で、シリアル転送が終了し、SPI がシフトレジスタから SPDR/SPDR\_HA へ受信データを転送したとき。ただし、OVRF フラグが 1 の場合、SPRF フラグは 0 から 1 に変化しない

[0になる条件]

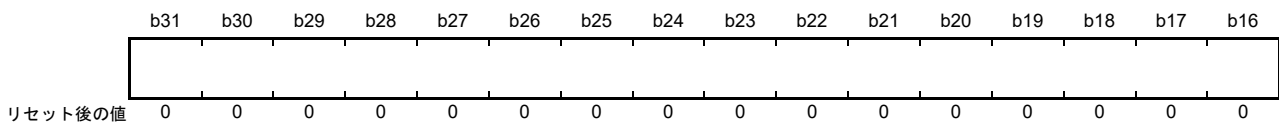
- 受信データが SPDR/SPDR\_HA レジスタから読み出されたとき

### 31.2.5 SPI データレジスタ (SPDR/SPDR\_HA)

アドレス SPI0.SPDR 4007 2004h, SPI1.SPDR 4007 2104h



アドレス SPI0.SPDR\_HA 4007 2004h, SPI1.SPDR\_HA 4007 2104h



SPDR/SPDR\_HA レジスタは、SPI 送受信用のデータを格納するバッファとのインタフェースです。ワードアクセス (SPLW ビットが 1) の場合は、SPDR レジスタにアクセスしてください。ハーフワードアクセス (SPLW ビットが 0) の場合は、SPDR\_HA レジスタにアクセスしてください。

送信バッファ (SPTX) と受信バッファ (SPRX) は独立したバッファですが、SPDR/SPDR\_HA レジスタにマッピングされています。図 31.2 に構成図を示します。

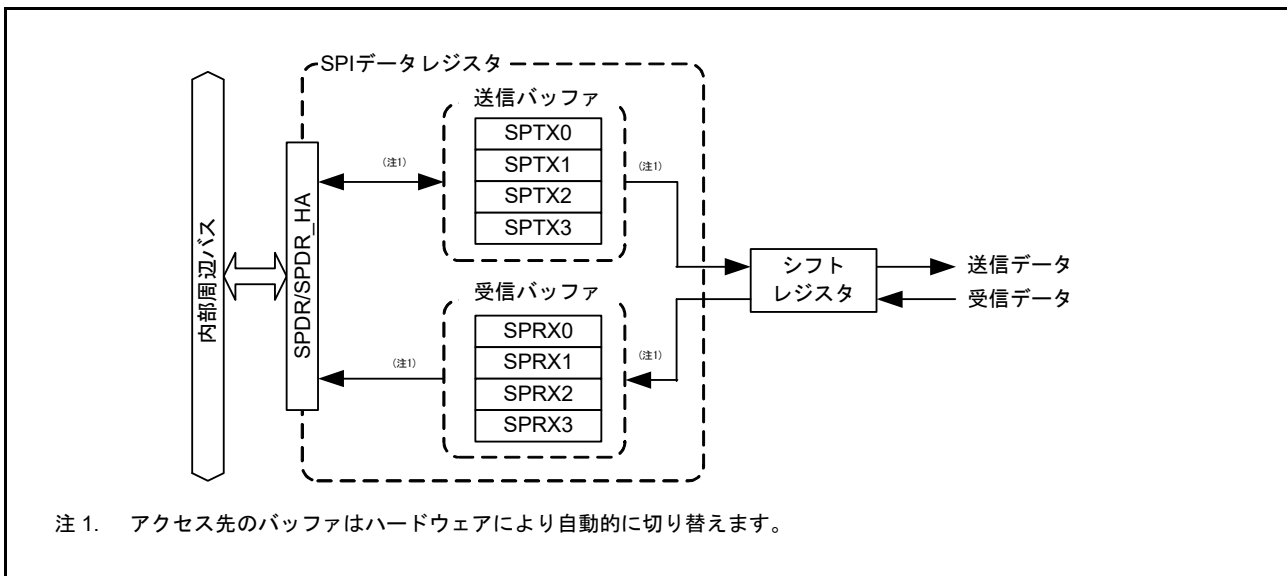


図 31.2 SPDR/SPDR\_HA レジスタの構成図

送信バッファと受信バッファには、それぞれ 4 ステージあります。使用するステージ数は、SPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR/SPDR\_HA レジスタの 1 アドレスに、この合計 8 バッファステージすべてがマッピングされます。

SPDR/SPDR\_HA レジスタへ書き込まれたデータは、送信バッファステージ (SPTX<sub>n</sub>) (n = 0 ~ 3) へ書き込まれた後、バッファから送信されます。受信バッファは、受信完了時に受信データを格納します。オーバーランが発生すると、受信バッファは更新されません。

また、データ長が 32 ビット以外の場合、SPRX<sub>n</sub> (n = 0 ~ 3) の対応するビットには、SPTX<sub>n</sub> (n = 0 ~ 3) の非参照ビットが格納されます。たとえば、データ長が 9 ビットのデータを受信した場合、SPRX<sub>n</sub>[8:0] ビットには受信データが格納され、SPRX<sub>n</sub>[31:9] ビットには SPTX<sub>n</sub>[31:9] ビットが格納されます。

## (1) バスインタフェース

SPDR/SPDR\_HA レジスタは、32 ビットの送信および受信バッファとのインタフェースであり、それぞれのバッファには4ステージあり、合計32バイトになります。すなわち、これらの32バイトを SPDR/SPDR\_HA レジスタの4バイトのアドレス空間にマッピングしています。また、SPDR/SPDR\_HA レジスタへのアクセスは、SPI データコントロールレジスタの SPI ワードアクセス/ハーフワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。SPDR レジスタへのアクセスは、SPI データコントロールレジスタの SPI バイトアクセスビット (SPDCR.SPBYP) で設定したアクセスサイズで行ってください。

送信データは LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

以下では、SPDR/SPDR\_HA レジスタに対する書き込みおよび読み出しに関連する動作について説明します。

### (a) 書き込み

SPDR/SPDR\_HA レジスタに書き込むことによって、送信バッファ (SPTXn) にデータを書くことができます。SPDR/SPDR\_HA レジスタの読み出し時と異なり、書き込みは SPDCR.SPRDTD ビットの値に影響されません。送信バッファには送信バッファライトポインタがあり、SPDR/SPDR\_HA レジスタへデータを書き込むたびに、ポインタが自動更新され、次のステージを参照するようになります。

図 31.3 に、SPDR/SPDR\_HA レジスタへの書き込み時の送信バッファのバスインタフェースの構成図を示します。

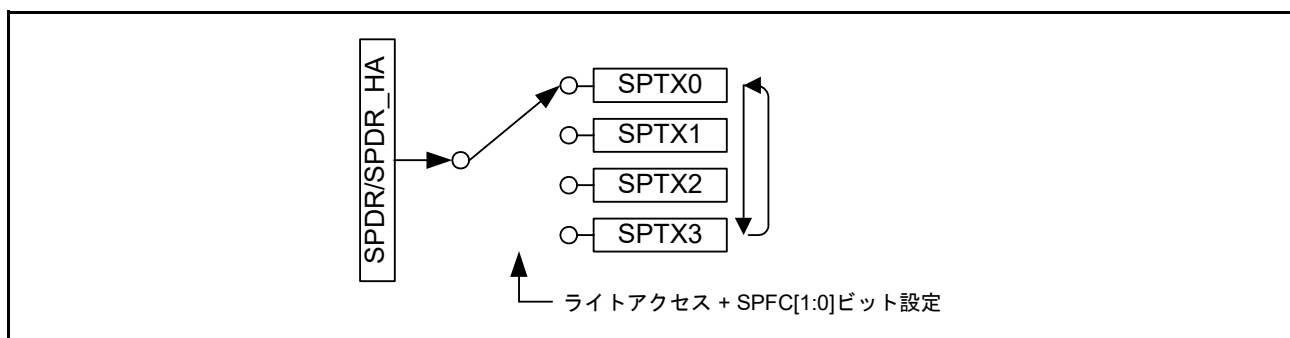


図 31.3 書き込み時の SPDR/SPDR\_HA レジスタの構成図

送信バッファライトポインタの切り替え順序は、SPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定値によって異なります。

SPFC[1:0] ビットの設定値と、SPTX0 ~ SPTX3 間のポインタ切り替え順序との関係は以下のとおりです。

- SPFC[1:0] = 00b のとき : SPTX0 → SPTX0 → SPTX0 → . . .
- SPFC[1:0] = 01b のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
- SPFC[1:0] = 10b のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
- SPFC[1:0] = 11b のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

SPI コントロールレジスタの SPI 機能有効ビット (SPCR.SPE) の値が 0 の状態で、同ビットに 1 を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) へ書き込む際は、送信バッファエンpty割り込みの発生後 (SPSR.SPTEF ビット = 1)、SPI データコントロールレジスタ (SPDCR) の SPFC[1:0] ビットで設定したフレーム数分を書き込んでください。書き込み完了から次の送信バッファエンpty割り込み発生 (SPTEF = 0) までの期間は、送信バッファ (SPTXn) に対して、設定したフレーム数分の書き込みを行っても、バッファの値は更新されません。

### (b) 読み出し

SPDR/SPDR\_HA レジスタにアクセスすることによって、受信バッファ (SPRXn) または送信バッファ (SPTXn) の値を読むことができます。SPI データコントロールレジスタの SPI 受信/送信データ選択ビット (SPDCR.SPRDTD) の設定によって、受信バッファと送信バッファのどちらを読み出すか選択できます。

SPDR/SPDR\_HA レジスタの読み出し順序は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 31.4 に、SPDR/SPDR\_HA レジスタからの読み出し時の受信および送信バッファのバスインタフェースの構成図を示します。

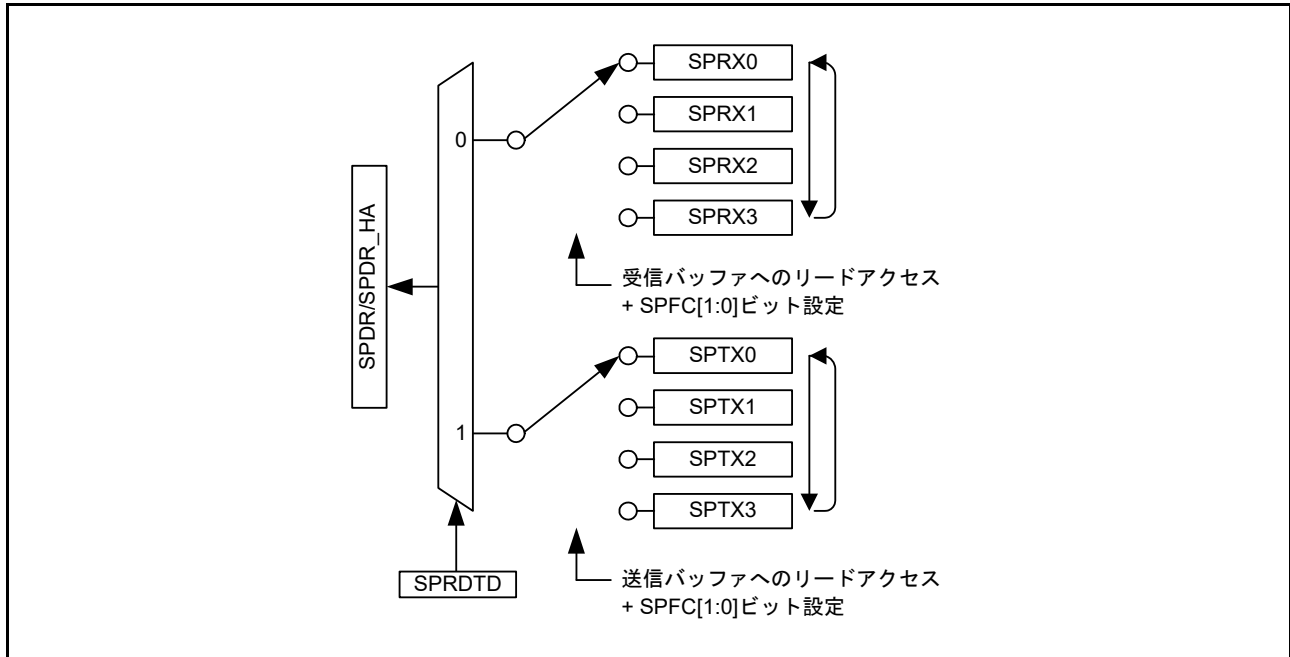


図 31.4 読み出し時の SPDR/SPDR\_HA レジスタの構成図

受信バッファを読み出すと、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同じです。ただし、SPI コントロールレジスタの SPI 機能有効ビット (SPCR.SPE) が 1 の状態で、本ビットに 1 を書くと、次の読み出し時はバッファリードポインタによって SPRX0 が参照されます。

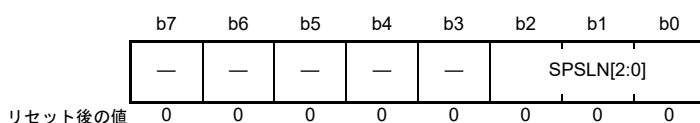
送信バッファリードポインタは、SPDR/SPDR\_HA レジスタへの書き込み時に更新され、送信バッファからの読み出し時には更新されません。送信バッファを読み出すと、SPDR/SPDR\_HA レジスタに最後に書き込まれた値が読み出せます。

ただし、送信バッファエンプティ割り込み発生後、SPDCR.SPFC[1:0] ビットで設定したフレーム数分のデータ書き込み完了から次の送信バッファエンプティ割り込み発生 (SPTEF = 0) までの期間は、送信バッファからの読み出し値がすべて 0 となります。



## 31.2.6 SPI シーケンスコントロールレジスタ (SPSCR)

アドレス SPI0.SPSCR 4007 2008h, SPI1.SPSCR 4007 2108h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	SPIシーケンス長設定	b2 b0 シーケンス長 参照するSPCMD0~7レジスタ (番号) 0 0 0: 1 0→0→... 0 0 1: 2 0→1→0→... 0 1 0: 3 0→1→2→0→... 0 1 1: 4 0→1→2→3→0→... 1 0 0: 5 0→1→2→3→4→0→... 1 0 1: 6 0→1→2→3→4→5→0→... 1 1 0: 7 0→1→2→3→4→5→6→0→... 1 1 1: 8 0→1→2→3→4→5→6→7→0→... これらのビットで設定したシーケンス長によって、SPCMD0~ SPCMD7レジスタの参照順序が決まります。また、シーケンス長と、 SPIが参照するSPCMD0~SPCMD7レジスタの関係が定義されます。 スレーブモードでは、SPIはSPCMD0レジスタを参照します。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

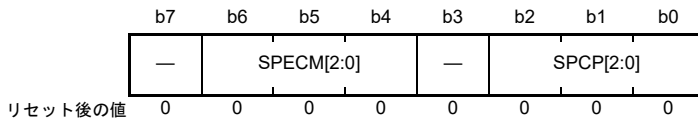
SPSCRレジスタは、SPIがマスターモードで動作する場合のシーケンス長を指定するためのレジスタです。SPCR.MSTRおよびSPCR.SPEビットがともに1の状態ではSPSCR.SPSSLN[2:0]ビットを変更する場合、必ず事前にSPSR.IDLNFフラグが0であることを確認してください。

## SPSLN[2:0] ビット (SPI シーケンス長設定)

マスターモードのSPIがシーケンス動作する場合のシーケンス長を指定します。マスターモードのSPIは、このシーケンス長の設定に応じて、参照するSPCMD0~SPCMD7レジスタとその参照順序を変更します。スレーブモードでは、SPCMD0レジスタが参照されます。

## 31.2.7 SPIシーケンスステータスレジスタ (SPSSR)

アドレス SPI0.SPSSR 4007 2009h, SPI1.SPSSR 4007 2109h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	SPIコマンドポインタ	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと0が読めます。	R
b6-b4	SPECM[2:0]	SPIエラーコマンド	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと0が読めます。	R

SPSSR レジスタは、SPI がマスターモードで動作する場合のシーケンス制御の状態を示します。SPSSR レジスタへの書き込みは無効です。

**SPCP[2:0] ビット (SPI コマンドポインタ)**

SPI によるシーケンス制御中に、ポインタで参照されている SPCMD<sub>m</sub> レジスタを示します。SPI のシーケンス制御については、[31.3.10.1 マスタモード動作](#)を参照してください。

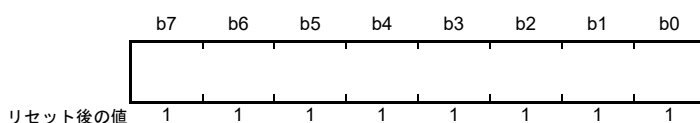
**SPECM[2:0] ビット (SPI エラーコマンド)**

SPI によるシーケンス制御中にエラーが検出されたとき、SPCP[2:0] ビットで指定した SPCMD<sub>m</sub> レジスタを示します。SPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF および SPSR.MODF フラグがともに 0 で、エラーが発生していない場合、SPECM[2:0] ビット値には意味がありません。

SPI のエラー検出機能については、[31.3.8 エラー検出](#)を参照してください。SPI のシーケンス制御については、[31.3.10.1 マスタモード動作](#)を参照してください。

## 31.2.8 SPI ビットレートレジスタ (SPBR)

アドレス SPI0.SPBR 4007 200Ah, SPI1.SPBR 4007 210Ah



SPBR レジスタは、マスタモード時のビットレートを設定するレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPBR レジスタの内容を変更した場合、以降の動作は行わないでください。

SPI をスレーブモードで使用する場合、SPBR レジスタと SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、ビットレートは入力クロックのビットレートに依存します。電気的特性を満たすビットレートを使用してください。

ビットレートは、SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビット (SPI コマンドレジスタ) の設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。

$$\text{Bit rate} = \frac{f(\text{PCLKA})}{2 \times (n + 1) \times 2^N}$$

この式で、n は SPBR レジスタの設定値 (0, 1, 2, ..., 255)、N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

SPBR レジスタの設定値、BRDV[1:0] ビットの設定値、およびビットレートの関係の例を表 31.3 に示します。

表 31.3 SPBRレジスタ設定値、BRDV[1:0]ビット設定値、およびビットレートの関係

SPBR (n)	BRDV[1:0] ビット (N)	分周比	ビットレート							
			PCLKA = 32MHz	PCLKA = 36MHz	PCLKA = 40MHz	PCLKA = 50MHz	PCLKA = 60MHz	PCLKA = 80MHz	PCLKA = 100MHz	PCLKA = 120MHz
0	0	2	16.0Mbps	18.0Mbps	20.0Mbps	25.0Mbps	30.0Mbps	なし		
1	0	4	8.00Mbps	9.00Mbps	10.0Mbps	12.5Mbps	15.0Mbps	20.0Mbps	25.0Mbps	30.0Mbps
2	0	6	5.33Mbps	6.00Mbps	6.67Mbps	8.33Mbps	10.0Mbps	13.3Mbps	16.7Mbps	20.0Mbps
3	0	8	4.00Mbps	4.50Mbps	5.00Mbps	6.25Mbps	7.50Mbps	10.0Mbps	12.5Mbps	15.0Mbps
4	0	10	3.20Mbps	3.60Mbps	4.00Mbps	5.00Mbps	6.00Mbps	8.00Mbps	10.0Mbps	12.0Mbps
5	0	12	2.67Mbps	3.00Mbps	3.33Mbps	4.16Mbps	5.00Mbps	6.67Mbps	8.33Mbps	10.0Mbps
5	1	24	1.33Mbps	1.50Mbps	1.67Mbps	2.08Mbps	2.50Mbps	3.33Mbps	4.17Mbps	5.00Mbps
5	2	48	667kbps	750kbps	833kbps	1.04Mbps	1.25Mbps	1.67Mbps	2.08Mbps	2.50Mbps
5	3	96	333kbps	375kbps	417kbps	521kbps	625kbps	833kbps	1.04Mbps	1.25Mbps
255	3	4096	7.81kbps	8.80kbps	9.78kbps	12.2kbps	14.6kbps	19.5kbps	24.4kbps	29.3kbps

## 31.2.9 SPI データコントロールレジスタ (SPDCR)

アドレス SPI0.SPDCR 4007 200Bh, SPI1.SPDCR 4007 210Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	SPBYT	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SPRDT	SPI受信/送信データ選択	0 : SPDR/SPDR_HAの値は受信バッファから読み出す 1 : SPDR/SPDR_HAの値は送信バッファから読み出す (送信バッファが空の場合のみ)	R/W
b5	SPLW	SPIワードアクセス/ハーフワードアクセス設定	0 : SPDR_HAが有効 (ハーフワードアクセス) 1 : SPDRが有効 (ワードアクセス)	R/W
b6	SPBYT	SPIバイトアクセス設定	0 : SPDRへのアクセスはハーフワードアクセスまたはワードアクセス (SPLW有効) 1 : SPDRへのアクセスはバイトアクセス (SPLW無効)	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

1回の送受信で最大4フレームを送受信できます。各転送におけるデータ量は、SPCMDm.SP[3:0]ビット、SPSCR.SP[2:0]ビット、およびSPDCR.SPFC[1:0]ビットの組み合わせで制御されます。

SPCR.SPEビットが1の状態、SPDCR.SPFC[1:0]ビットを変更する場合、必ずSPSR.IDLNFフラグが0であることを確認してください。

**SPFC[1:0]ビット (フレーム数設定)**

1回の転送起動でSPDR/SPDR\_HAレジスタに格納できるフレーム数を設定します。1回の送受信で最大4フレームを送受信できます。

SPFC[1:0]ビットで指定したフレーム数分の送信データが、SPDR/SPDR\_HAレジスタに書き込まれると、SPIはSPSR.SPTEFフラグを0にして送信を開始します。その後、SPFC[1:0]ビットで指定されたフレーム数分の送信データがシフトレジスタに送信されると、SPIは送信バッファエンプティ割り込みを発生させません (SPSR.SPTEFが1になります)。

SPFC[1:0]ビットで指定されたフレーム数分のデータが受信されると、SPIは受信バッファフル割り込みを発生させます (SPSR.SPRFが1になります)。

表 31.4 SP[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ (1/2)

設定	SP[2:0]	SPFC[1:0]	1シーケンスで転送するフレーム数	送信バッファ/受信バッファがフルになるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1

表 31.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ (2/2)

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで転送するフレーム数	送信バッファ/受信バッファがフルになるフレーム数
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

**SPRDTD ビット (SPI 受信/送信データ選択)**

SPDR/SPDR\_HA レジスタが、値を受信バッファと送信バッファのどちらから読み出すかを選択します。

送信バッファから読み出す場合、SPDR/SPDR\_HA レジスタへ直前に書き込まれた値が読み出されます。送信バッファの読み出しは、SPFC[1:0] ビットで設定したフレーム数の書き込み終了前、かつ送信バッファエンプティ割り込みの発生後 (SPSR.SPTEF = 1 のとき) に行ってください。

詳細は、31.2.5 SPI データレジスタ (SPDR/SPDR\_HA) を参照してください。

**SPLW ビット (SPI ワードアクセス/ハーフワードアクセス設定)**

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが 0 の場合、SPDR\_HA レジスタへのハーフワードアクセスが有効となり、SPLW ビットが 1 の場合、SPDR レジスタへのワードアクセスが有効となります。また、本ビットが 0 の場合、SPCMDm.SPB[3:0] ビット (SPI データ長設定ビット) は 8 ~ 16 ビットに設定してください。20、24、または 32 ビットに設定した場合、すべての動作を行わないでください。

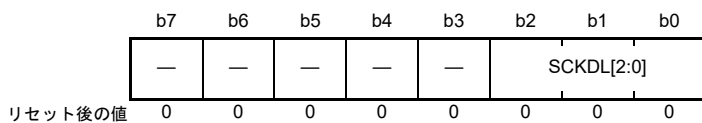
**SPBYT ビット (SPI バイトアクセス設定)**

本ビットは、SPI データレジスタ (SPDR) にアクセスする際のデータ幅を設定するのに使用します。SPBYT = 0 の場合、SPDR へのアクセスにはワードアクセスまたはハーフワードアクセスを使用してください。SPBYT = 1 (この場合 SPLW は無効) の場合、SPDR へのアクセスにはバイトアクセスを使用してください。

SPBYT = 1 の場合、SPI コマンドレジスタ n (SPCMDn) の SPI データ長ビット (SPB[3:0]) を 0 ビットに設定してください。SPB[3:0] を 9 ~ 16、20、24 または 32 ビットに設定した場合、その後の動作は保証されません。

## 31.2.10 SPI クロック遅延レジスタ (SPCKD)

アドレス SPI0.SPCKD 4007 200Ch, SPI1.SPCKD 4007 210Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

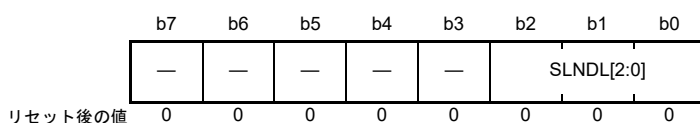
SPCKD レジスタは、SPCMDm.SCKDEN ビットが1の場合、SSLni 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに1の状態、SPCKD レジスタの内容を変更した場合、以降の動作は行わないでください。

**SCKDL[2:0] ビット (RSPCK 遅延設定)**

SPCMDm.SCKDEN ビットが1の場合の RSPCK 遅延値を指定します。SPI をスレーブモードで使用する場合は、SCKDL[2:0] ビットを 000b にしてください。

## 31.2.11 SPI スレーブ選択ネゲート遅延レジスタ (SSLND)

アドレス SPI0.SSLND 4007 200Dh, SPI1.SSLND 4007 210Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

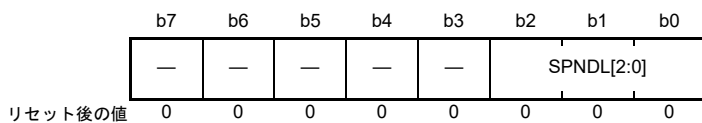
SSLNDレジスタは、マスタモードのSPIがシリアル転送の最終RSPCKエッジを送信してからSSLni信号をネゲートするまでの期間（SSLネゲート遅延）を指定するためのレジスタです。SPCR.MSTRビットとSPCR.SPEビットがともに1の状態、SSLNDレジスタの内容を変更した場合、以降の動作は行わないでください。

## SLNDL[2:0]ビット (SSLネゲート遅延設定)

SPIがマスタモードのとき、SSLネゲート遅延値を指定します。SPIをスレーブモードで使用する場合は、SLNDL[2:0]ビットを000bにしてください。

## 31.2.12 SPI 次アクセス遅延レジスタ (SPND)

アドレス SPI0.SPND 4007 200Eh, SPI1.SPND 4007 210Eh



ビット	シンボル	ビット名	機能	R/W																											
b2-b0	SPNDL[2:0]	SPI次アクセス遅延設定	<table border="0"> <tr> <td>b2</td> <td>b0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0: 1RSPCK + 2PCLKA</td> </tr> <tr> <td>0</td> <td>0</td> <td>1: 2RSPCK + 2PCLKA</td> </tr> <tr> <td>0</td> <td>1</td> <td>0: 3RSPCK + 2PCLKA</td> </tr> <tr> <td>0</td> <td>1</td> <td>1: 4RSPCK + 2PCLKA</td> </tr> <tr> <td>1</td> <td>0</td> <td>0: 5RSPCK + 2PCLKA</td> </tr> <tr> <td>1</td> <td>0</td> <td>1: 6RSPCK + 2PCLKA</td> </tr> <tr> <td>1</td> <td>1</td> <td>0: 7RSPCK + 2PCLKA</td> </tr> <tr> <td>1</td> <td>1</td> <td>1: 8RSPCK + 2PCLKA</td> </tr> </table>	b2	b0		0	0	0: 1RSPCK + 2PCLKA	0	0	1: 2RSPCK + 2PCLKA	0	1	0: 3RSPCK + 2PCLKA	0	1	1: 4RSPCK + 2PCLKA	1	0	0: 5RSPCK + 2PCLKA	1	0	1: 6RSPCK + 2PCLKA	1	1	0: 7RSPCK + 2PCLKA	1	1	1: 8RSPCK + 2PCLKA	R/W
b2	b0																														
0	0	0: 1RSPCK + 2PCLKA																													
0	0	1: 2RSPCK + 2PCLKA																													
0	1	0: 3RSPCK + 2PCLKA																													
0	1	1: 4RSPCK + 2PCLKA																													
1	0	0: 5RSPCK + 2PCLKA																													
1	0	1: 6RSPCK + 2PCLKA																													
1	1	0: 7RSPCK + 2PCLKA																													
1	1	1: 8RSPCK + 2PCLKA																													
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																											

SPND レジスタは、SPCMDm.SPNDEN ビットが1の場合、シリアル転送終了後の SSLni 信号の非アクティブ期間（次アクセス遅延）を指定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに1の状態、SPND レジスタの内容を変更した場合、以降の動作は行わないでください。

**SPNDL[2:0] ビット (SPI 次アクセス遅延設定)**

SPCMDm.SPNDEN ビットが1の場合に、次アクセス遅延を指定します。SPI をスレーブモードで使用する場合は、SPNDL[2:0] ビットを 000b にしてください。



## 31.2.13 SPI コントロールレジスタ 2 (SPCR2)

アドレス SPI0.SPCR2 4007 200Fh, SPI1.SPCR2 4007 210Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ有効	0 : 送信データにパリティビットを付加せず、受信データのパリティビットをチェックしない 1 : SPCR.TXMD = 0の場合 : 送信データにパリティビットを付加し、受信データのパリティビットをチェックする SPCR.TXMD = 1の場合 : 送信データにパリティビットを付加するが、受信データのパリティビットをチェックしない	R/W
b1	SPOE	パリティモード	0 : 送信用に偶数パリティを選択 1 : 送信用に奇数パリティを選択	R/W
b2	SPIIE	SPIアイドル割り込み許可	0 : アイドル割り込み要求を禁止 1 : アイドル割り込み要求を許可	R/W
b3	PTE	パリティ自己診断	0 : パリティ回路自己診断機能は無効 1 : パリティ回路自己診断機能は有効	R/W
b4	SCKASE	RSPCK自動停止機能有効	0 : RSPCK自動停止機能は無効 1 : RSPCK自動停止機能は有効	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPCR2 レジスタの SPPE、SPOE、または SCKASE ビットを変更した場合、以降の動作は行わないでください。

**SPPE ビット (パリティ有効)**

パリティ機能を有効または無効にします。

SPCR.TXMD ビットが 0 で、本ビットが 1 のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが 1 で、本ビットが 1 のとき、送信データにパリティビットを付加するが、受信データのパリティチェックは行いません。

**SPOE ビット (パリティモード)**

偶数パリティまたは奇数パリティを指定します。

偶数パリティが設定された場合、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの個数の合計が偶数になるように、パリティビットが付加されます。同様に、奇数パリティが設定された場合、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの個数の合計が奇数になるように、パリティビットが付加されます。

SPOE ビットは、SPPE ビットが 1 のときのみ有効です。

**SPIIE ビット (SPI アイドル割り込み許可)**

SPI のアイドル状態が検出されて SPSR.IDLNF フラグが 0 になった場合に、SPI アイドル割り込み要求の発生を許可または禁止します。

**PTE ビット (パリティ自己診断)**

パリティ機能が正常であることを確認するため、パリティ回路の自己診断機能を有効にします。

**SCKASE ビット (RSPCK 自動停止機能有効)**

RSPCK 自動停止機能を有効または無効にします。この機能を有効にすると、マスタモードでのデータ受信時に、オーバーランエラーが発生する前に RSPCK クロックが停止します。詳細は、[31.3.8.1 オーバーランエラー](#)を参照してください。

## 31.2.14 SPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)

アドレス SPI0.SPCMD0 4007 2010h, SPI0.SPCMD1 4007 2012h, SPI0.SPCMD2 4007 2014h, SPI0.SPCMD3 4007 2016h, SPI0.SPCMD4 4007 2018h, SPI0.SPCMD5 4007 201Ah, SPI0.SPCMD6 4007 201Ch, SPI0.SPCMD7 4007 201Eh, SPI1.SPCMD0 4007 2110h, SPI1.SPCMD1 4007 2112h, SPI1.SPCMD2 4007 2114h, SPI1.SPCMD3 4007 2116h, SPI1.SPCMD4 4007 2118h, SPI1.SPCMD5 4007 211Ah, SPI1.SPCMD6 4007 211Ch, SPI1.SPCMD7 4007 211Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定	0: 立ち上がりエッジでデータサンプリング、立ち下がりエッジでデータ変化を選択 1: 立ち上がりエッジでデータ変化、立ち下がりエッジでデータサンプリングを選択	R/W
b1	CPOL	RSPCK極性設定	0: アイドル時のRSPCKをLowに設定 1: アイドル時のRSPCKをHighに設定	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定	b3 b2 0 0: ベースのビットレート 0 1: ベースのビットレートの2分周 1 0: ベースのビットレートの4分周 1 1: ベースのビットレートの8分周	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定禁止 x: Don't care	R/W
b7	SSLKP	SSL信号レベル保持	0: 転送完了時にすべてのSSL信号をネゲート 1: SSL信号レベルを転送後から次のアクセス開始まで保持	R/W
b11-b8	SPB[3:0]	SPIデータ長設定	b11 b8 0100~0111: 8ビット 1 0 0 0: 9ビット 1 0 0 1: 10ビット 1 0 1 0: 11ビット 1 0 1 1: 12ビット 1 1 0 0: 13ビット 1 1 0 1: 14ビット 1 1 1 0: 15ビット 1 1 1 1: 16ビット 0 0 0 0: 20ビット 0 0 0 1: 24ビット 0010、0011: 32ビット	R/W
b12	LSBF	SPI LSB ファースト	0: MSB ファースト 1: LSB ファースト	R/W
b13	SPNDEN	SPI次アクセス遅延許可	0: 次アクセス遅延に1RSPCK + 2PCLKAを選択 1: 次アクセス遅延にSPI次アクセス遅延レジスタ (SPND) の設定値を選択	R/W
b14	SLNDEN	SSLネゲート遅延設定許可	0: SSLネゲート遅延に1RSPCKを選択 1: SSLネゲート遅延にSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値を選択	R/W
b15	SCKDEN	RSPCK遅延設定許可	0: RSPCK遅延に1RSPCKを選択 1: RSPCK遅延にSPIクロック遅延レジスタ (SPCKD) の設定値を選択	R/W

SPCMDm レジスタは、マスタモードのSPIに対して転送フォーマットを指定するレジスタです。チャンネルごとに8つのSPIコマンドレジスタ (SPCMD0 ~ SPCMD7) があります。SPCMD0 レジスタの一部のビットは、スレーブモードのSPIに対して転送モードを設定するために使用されます。マスタモードのSPIは、SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した

SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (SPSR.SPTEF = 1 で、次転送のデータがセットされていない) 状態で、その SPCMDm レジスタが参照されたときに送信されるデータの設定前に行ってください。

マスタモードの SPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットで確認できます。SPCR.MSTR ビットが 0、かつ SPCR.SPE ビットが 1 の状態で、SPCMDm レジスタの内容を変更した場合、以降の動作は行わないでください。

#### CPHA ビット (RSPCK 位相設定)

マスタモードまたはスレーブモードの SPI に対して、RSPCK の位相を選択します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 位相を設定する必要があります。

#### CPOL ビット (RSPCK 極性設定)

マスタモードまたはスレーブモードの SPI に対して、RSPCK の極性を選択します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 極性を設定する必要があります。

#### BRDV[1:0] ビット (ビットレート分周設定)

ビットレートを決定します。ビットレートは、この BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせで決定します (31.2.8 SPI ビットレートレジスタ (SPBR) を参照してください)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし / 2 分周 / 4 分周 / 8 分周したビットレートを選択します。SPCMDm レジスタには、それぞれ異なる BRDV[1:0] ビット値を指定できます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

#### SSLA[2:0] ビット (SSL 信号アサート設定)

マスタモードの SPI がシリアル転送を行う際の、SSLni 信号のアサートを制御します。SSLni 信号アサート時の信号極性は、対応する SSLP レジスタの設定値により決定します。マルチマスタモードで SSLA[2:0] ビットを 000b にした場合、SSLn0 端子は入力になるため、全 SSL 信号がネゲート状態でシリアル転送が実行されます。SPI をスレーブモードで使用する場合は、SSLA[2:0] ビットを 000b にしてください。

#### SSLKP ビット (SSL 信号レベル保持)

マスタモード SPI がシリアル転送を行う際、SSLKP ビットは現在のコマンドに関連する SSL ネゲーションおよび次のコマンドに関連する SSL アサーション間と、現在の SSLni 信号レベルをキープするまたはネゲートするかを指定します。

SSLKP ビットを 1 にすると、バースト転送が有効になります。詳細は、31.3.10.1 マスタモード動作の (4) バースト転送を参照してください。SPI スレーブモードを使用する際は SSLKP ビットを 0 にしてください。

#### SPB[3:0] ビット (SPI データ長設定)

マスタモードまたはスレーブモードの SPI に対して、転送データ長を指定します。SPLW ビットが 0 の場合、これらのビットは 8 ~ 16 ビットに設定してください。

#### LSBF ビット (SPI LSB ファースト)

マスタモードまたはスレーブモードの SPI に対して、そのデータフォーマットを MSB ファーストまたは LSB ファーストに指定します。

#### SPNDEN ビット (SPI 次アクセス遅延許可)

マスタモードの SPI がシリアル転送を終了して SSLni 信号を非アクティブにしてから、次アクセスの SSLni 信号アサートを可能にするまでの期間 (次アクセス遅延) を指定します。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を 1RSPCK + 2PCLKA に設定します。SPNDEN ビットが 1 のとき、SPI は SPND レジスタの設定値に従って次アクセス遅延を挿入します。

SPI をスレーブモードで使用する場合は、SPNDEN ビットを 0 にしてください。

**SLNDEN ビット (SSL ネゲート遅延設定許可)**

マスタモードの SPI が、RSPCK の発振を停止してから SSLni 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を指定します。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を 1RSPCK に設定します。SLNDEN ビットが 1 のとき、SPI は SSLND レジスタの設定に従った SSL ネゲート遅延値で SSL 信号をネゲートします。

SPI をスレーブモードで使用する場合は、SLNDEN ビットを 0 にしてください。

**SCKDEN ビット (RSPCK 遅延設定許可)**

マスタモードの SPI が、SSLni 信号をアサートしてから RSPCK の発振を開始するまでの期間 (SPI クロック遅延) を指定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を 1RSPCK に設定します。SCKDEN ビットが 1 のとき、SPI は SPCKD レジスタの設定で決まる RSPCK 遅延値で RSPCK の発振を開始します。

SPI をスレーブモードで使用する場合は、SCKDEN ビットを 0 にしてください。

## 31.2.15 SPI データコントロールレジスタ 2 (SPDCR2)

アドレス SPI0.SPDCR24007 2020h, SPI1.SPDCR2 4007 2120h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BYSW
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BYSW	バイトスワップ動作モード選択	0 : バイトスワップOFF 1 : バイトスワップON	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPI データコントロールレジスタ 2 (SPDCR2) は、送受信データのバイト単位スワップを設定するレジスタです。送信バッファのデータがシフトレジスタにコピーされると、そのデータはバイト単位でスワップされます。シフトレジスタのデータが受信バッファにコピーされると、そのデータはバイト単位でスワップされます。

**BYSW ビット (バイトスワップ動作モード選択)**

本ビットは、送受信データのバイト単位スワップを設定するビットです。バイトアクセスが有効 (SPDCR.SPBYT=1) の場合、バイトスワップは無効です。バイトスワップが有効の場合、パリティ機能は無効でなければなりません (SPCR2.SPPE ビット=0)。BYSW ビットの設定を変更するには、SPCR.SPPE ビット=0 にしてください。

バイトスワップ後のデータは、指定のデータ長だけ異なります (SPCMD.SPB[3:0] の設定)。

バイトスワップの場合は、データ長 (SPB[3:0] の設定) は、32 ビットまたは 16 ビットに設定してください。その他のデータ長 (すなわち 8 ~ 15、20、24 ビット長) の場合、バイトスワップは保証されません。スワップ前およびスワップ後 (データ長 : 32 ビット / 16 ビット) を以下に示します。

- データ長 32 ビット (SPB[3:0]=0010 または 0011)

スワップ前 : [31:24] [23:16] [15:8] [7:0]

スワップ後 : [7:0] [15:8] [23:16] [31:24]

- データ長 16 ビット (SPB[3:0]=1111)

スワップ前 : [31:24] [23:16]

スワップ後 : [23:16] [31:24]

バイトアクセスモード (SPDCR.SPBT=1) の場合、バイトスワップ設定は無効です。

バイトスワップが有効の場合、パリティ機能は無効に設定してください (SPCR2.SPPE=0)。パリティ機能を有効に設定した場合の動作は保証されません。

### 31.3 動作説明

本項では、「シリアル転送期間」という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間という意味で使用します。

#### 31.3.1 SPI 動作の概要

SPI は、下記のモードでの同期式シリアル転送が可能です。

- スレーブモード (SPI 動作)
- シングルマスタモード (SPI 動作)
- マルチマスタモード (SPI 動作)
- スレーブモード (クロック同期式動作)
- マスタモード (クロック同期式動作)

SPI のモードは、SPCR.MSTR、MODFEN、および SPMS ビットで選択できます。表 31.5 に、SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 31.5 SPCR レジスタの設定値と SPI のモードの関係 (1/2)

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTR ビット設定値	0	1	1	0	1
MODFEN ビット設定値	0 または 1	0	1	0	0
SPMS ビット設定値	0	0	0	1	1
RSPCKn 信号	入力	出力	出力 / Hi-Z	入力	出力
MOSIn 信号	入力	出力	出力 / Hi-Z	入力	出力
MISO <sub>n</sub> 信号	出力 / Hi-Z	入力	入力	出力	入力
SSL <sub>n0</sub> 信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSL <sub>n1</sub> ~ SSL <sub>n3</sub> 信号	Hi-Z (注1)	出力	出力 / Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL 極性変更機能	あり	あり	あり	-	-
最大転送速度	PCLKA/4	PCLKA/2	PCLKA/2	PCLKA/4	PCLKA/2
クロックソース	RSPCK 入力	内蔵ポーレートジェネレータ	内蔵ポーレートジェネレータ	RSPCK 入力	内蔵ポーレートジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種 (CPHA = 1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	8 ~ 16、20、24、32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	-	-
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み (SPTEF = 1)	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み (SPTEF = 1)	RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み (SPTEF = 1)
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり				
受信バッファフル検出	あり (注2)				
オーバーランエラー検出	あり (注2)	あり (注2) (注4)	あり (注2) (注4)	あり (注2)	あり (注2)

表 31.5 SPCRレジスタの設定値とSPIのモードの関係 (2/2)

モード	スレーブ (SPI動作)	シングルマスタ (SPI動作)	マルチマスタ (SPI動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
パリティエラー検出	あり (注2) (注3)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダーランエラー検出	あり	なし	なし	あり	なし

注 1. この機能は本モードでは使用しません。

注 2. SPCR.TXMD ビットが 1 のときは、受信バッファフル検出、オーバーランエラー検出、パリティエラー検出を行いません。

注 3. SPCR2.SPPE ビットが 0 のときは、パリティエラー検出を行いません。

注 4. SPCR2.SCKASE ビットが 1 のときは、オーバーランエラー検出を行いません。

### 31.3.2 SPI 端子の制御

SPI は、SPCR.MSTR、MODFEN、SPMS ビット、および入出力ポートの PmnPFS.NCODR ビットの設定値に基づいて、端子状態を切り替えます。端子状態とビット設定値との関係を表 31.6 に示します。入出力ポートの PmnPFS.NCODR ビットの設定値を 0 にすると、CMOS 出力となります。設定値を 1 にするとオープンドレイン出力となります。入出力ポートの設定も同じとなるよう設定してください。

表 31.6 端子状態とビット設定値の関係

モード	端子	端子状態 (注2)	
		入出力ポートの PmnPFS.NCODR ビット = 0	入出力ポートの PmnPFS.NCODR ビット = 1
シングルマスタモード (SPI動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS出力	オープンドレイン出力
	SSLn0 ~ SSLn3	CMOS出力	オープンドレイン出力
	MOSIn	CMOS出力	オープンドレイン出力
	MISO <sub>n</sub>	入力	入力
マルチマスタモード (SPI動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKn (注3)	CMOS出力 / Hi-Z	オープンドレイン出力 / Hi-Z
	SSLn0	入力	入力
	SSLn1 ~ SSLn3 (注3)	CMOS出力 / Hi-Z	オープンドレイン出力 / Hi-Z
	MOSIn (注3)	CMOS出力 / Hi-Z	オープンドレイン出力 / Hi-Z
スレーブモード (SPI動作) (MSTR = 0, SPMS = 0)	RSPCKn	入力	入力
	SSLn0	入力	入力
	SSLn1 ~ SSLn3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	入力	入力
マスタモード (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKn	CMOS出力	オープンドレイン出力
	SSLn0 ~ SSLn3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	CMOS出力	オープンドレイン出力
	MISO <sub>n</sub>	入力	入力
スレーブモード (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKn	入力	入力
	SSLn0 ~ SSLn3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIn	入力	入力
	MISO <sub>n</sub>	CMOS出力	オープンドレイン出力

注 1. この機能は本モードでは使用しません。

注 2. SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。

注 3. SSLn0 がアクティブレベルの場合、端子状態が Hi-Z になります。

注 4. SSLn0 が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子状態が Hi-Z になります。

注 5. これらの端子は入出力ポート端子として使用できます。



シングルマスタモード (SPI 動作) またはマルチマスタモード (SPI 動作) の SPI は、SPPCR.MOIFE ビットと SPPCR.MOIFV ビットの設定値に基づいて、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI 信号値を表 31.7 のように決定します。

表 31.7 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

### 31.3.3 SPI システム構成例

#### 31.3.3.1 シングルマスタ/シングルスレーブ (MCU はマスタ)

図 31.5 に、MCU をマスタとして使用する場合のシングルマスタ/シングルスレーブの SPI システム構成例を示します。シングルマスタ/シングルスレーブの構成では、MCU (マスタ) の SSLn0 ~ SSLn3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブは選択状態を維持します。(注 1)

MCU (マスタ) は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

注 1. SPCMDm.CPHA ビットが 0 のときに設定される転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定できない場合は、MCU の SSLni 出力をスレーブデバイスの SSL 入口に接続してください。

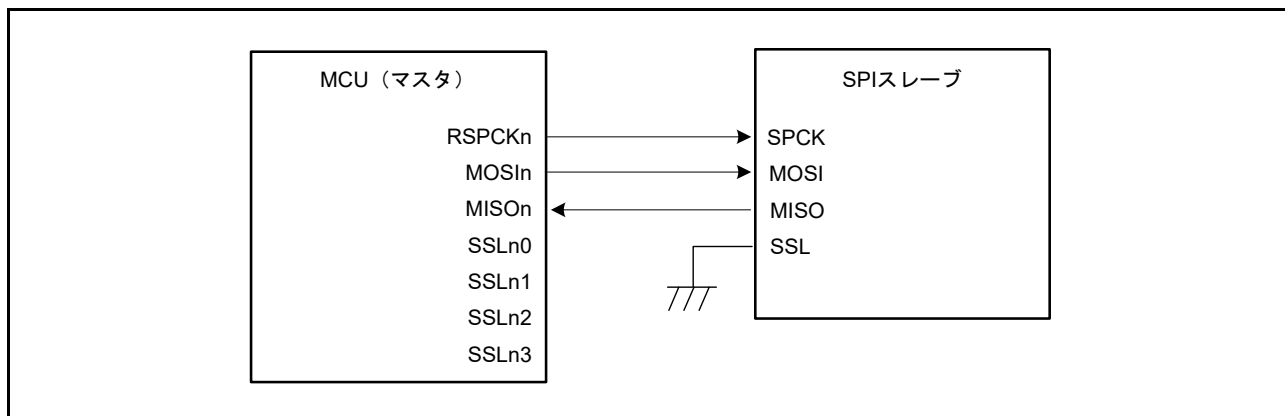


図 31.5 シングルマスタ/シングルスレーブの構成例 (MCU はマスタ)

### 31.3.3.2 シングルマスタ/シングルスレーブ (MCU はスレーブ)

図 31.6 に、MCU をスレーブとして使用する場合のシングルマスタ/シングルスレーブの SPI システム構成例を示します。MCU をスレーブとして使用する場合は、SSLn0 端子は SSL 入力として使用されます。SPI マスタは、RSPCK および MOSI 信号をドライブします。MCU (スレーブ) は、MISO<sub>n</sub> 信号をドライブします。(注 1)

SPCMDm.CPHA ビットを 1 にしたシングルスレーブ構成の場合には、MCU (スレーブ) の SSLn0 入力は Low に固定され、MCU (スレーブ) は選択状態を維持します。これによって、シリアル転送の実行が可能になります (図 31.7)。

注 1. SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

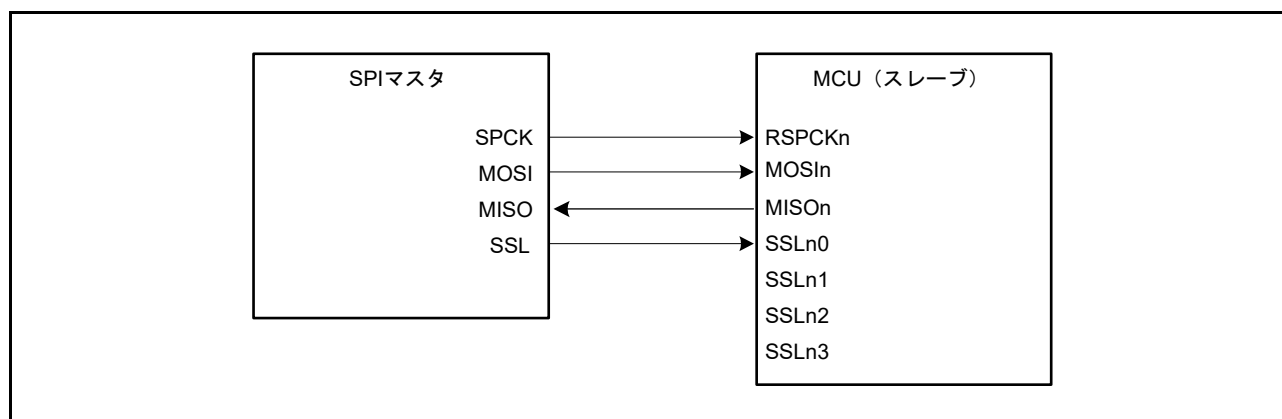


図 31.6 シングルマスタ/シングルスレーブの構成例 (MCU はスレーブ、CPHA = 0)

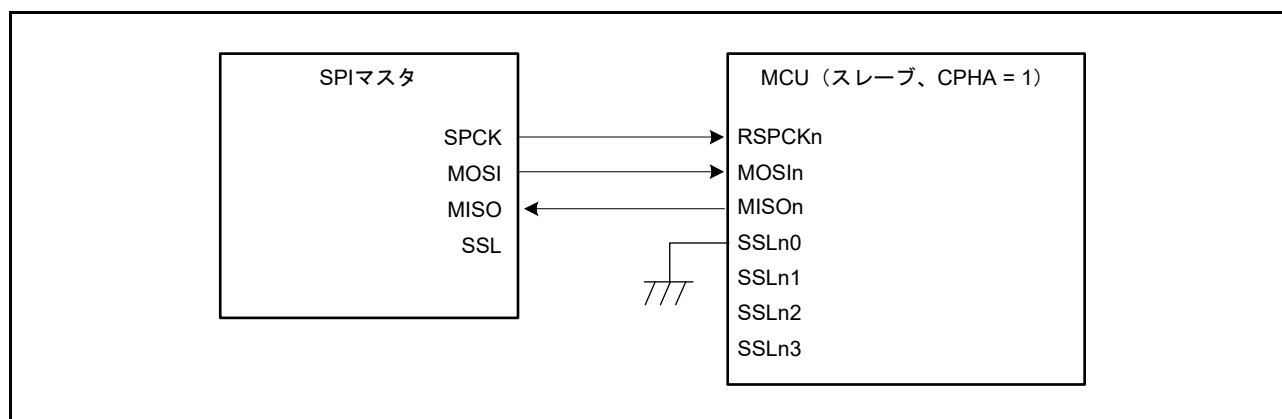


図 31.7 シングルマスタ/シングルスレーブの構成例 (MCU はスレーブ、CPHA = 1)

### 31.3.3.3 シングルマスタ/マルチスレーブ (MCU はマスタ)

図 31.8 に、MCU をマスタとして使用する場合のシングルマスタ/マルチスレーブの SPI システム構成例を示します。この例では、MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から SPI システムを構成しています。

MCU (マスタ) の RSPCK<sub>n</sub> 出力と MOSI<sub>n</sub> 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて MCU (マスタ) の MISO<sub>n</sub> 入力に接続します。MCU (マスタ) の SSL<sub>n</sub>0 ~ SSL<sub>n</sub>3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

MCU (マスタ) は、RSPCK<sub>n</sub>、MOSI<sub>n</sub>、および SSL<sub>n</sub>0 ~ SSL<sub>n</sub>3 の各端子をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

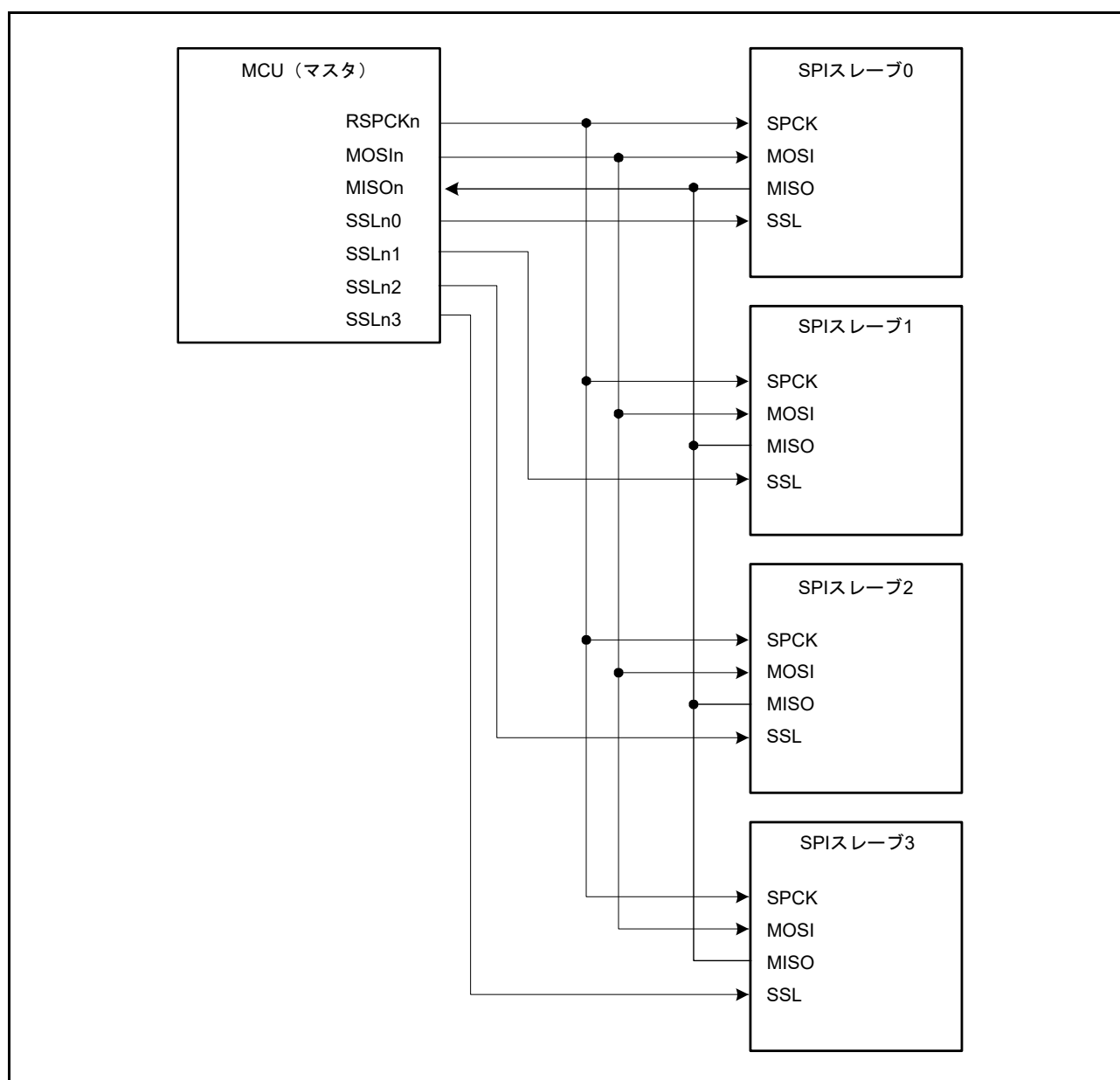


図 31.8 シングルマスタ/マルチスレーブの構成例 (MCU はマスタ)

### 31.3.3.4 シングルマスタ/マルチスレーブ (MCU はスレーブ)

図 31.9 に、MCU をスレーブとして使用する場合のシングルマスタ/マルチスレーブの SPI システム構成例を示します。この例では、SPI マスタと 2 つの MCU (スレーブ X、スレーブ Y) から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU (スレーブ X、スレーブ Y) の RSPCKn 入力と MOSIn 入力に接続します。MCU (スレーブ X、スレーブ Y) の MISO<sub>n</sub> 出力は、すべて SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力と SSLY 出力は、MCU (それぞれ、スレーブ X とスレーブ Y) の SSL<sub>n</sub>0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、および SSLY 信号をドライブします。MCU (スレーブ X、スレーブ Y) のうち、SSL<sub>n</sub>0 入りに Low を入力されているスレーブが、MISO<sub>n</sub> 信号をドライブします。

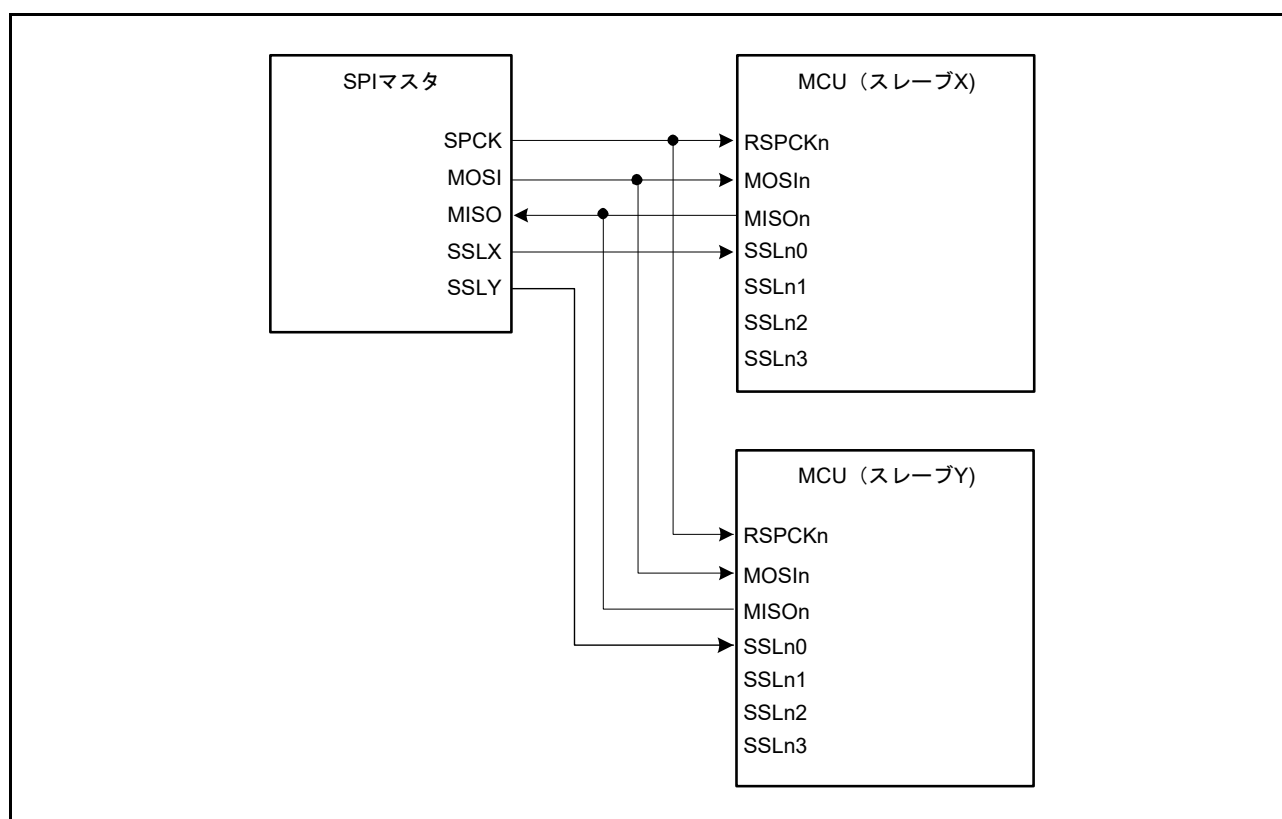


図 31.9 シングルマスタ/マルチスレーブの構成例 (MCU はスレーブ)

## 31.3.3.5 マルチマスタ/マルチスレーブ (MCU はマスタ)

図 31.10 に、MCU をマスタとして使用する場合のマルチマスタ/マルチスレーブの SPI システム構成例を示します。この例では、2 つの MCU (マスタ X、マスタ Y) と 2 つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から SPI システムを構成しています。

MCU (マスタ X、マスタ Y) の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、MCU (マスタ X、マスタ Y) の MISO<sub>n</sub> 入力に接続します。MCU (マスタ X) の任意の汎用ポート Y 出力は、MCU (マスタ Y) の SSL<sub>n</sub>0 入力に接続します。MCU (マスタ Y) の任意の汎用ポート X 出力は、MCU (マスタ X) の SSL<sub>n</sub>0 入力に接続します。MCU (マスタ X、マスタ Y) の SSL<sub>n</sub>1 出力と SSL<sub>n</sub>2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL<sub>n</sub>0 入力と、スレーブ接続用の SSL<sub>n</sub>1 出力および SSL<sub>n</sub>2 出力のみでシステムを構成できるため、MCU の SSL<sub>n</sub>3 出力は必要ありません。

SSL<sub>n</sub>0 入力レベルが High の場合、MCU は RSPCK<sub>n</sub>、MOSIn、SSL<sub>n</sub>1、および SSL<sub>n</sub>2 信号をドライブします。SSL<sub>n</sub>0 入力レベルが Low の場合、MCU はモードフォルトエラーを検出し、RSPCK<sub>n</sub>、MOSIn、SSL<sub>n</sub>1、および SSL<sub>n</sub>2 を Hi-Z にして、他方のマスタに SPI バスを直接解放します。SPI スレーブ 1 ~ SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

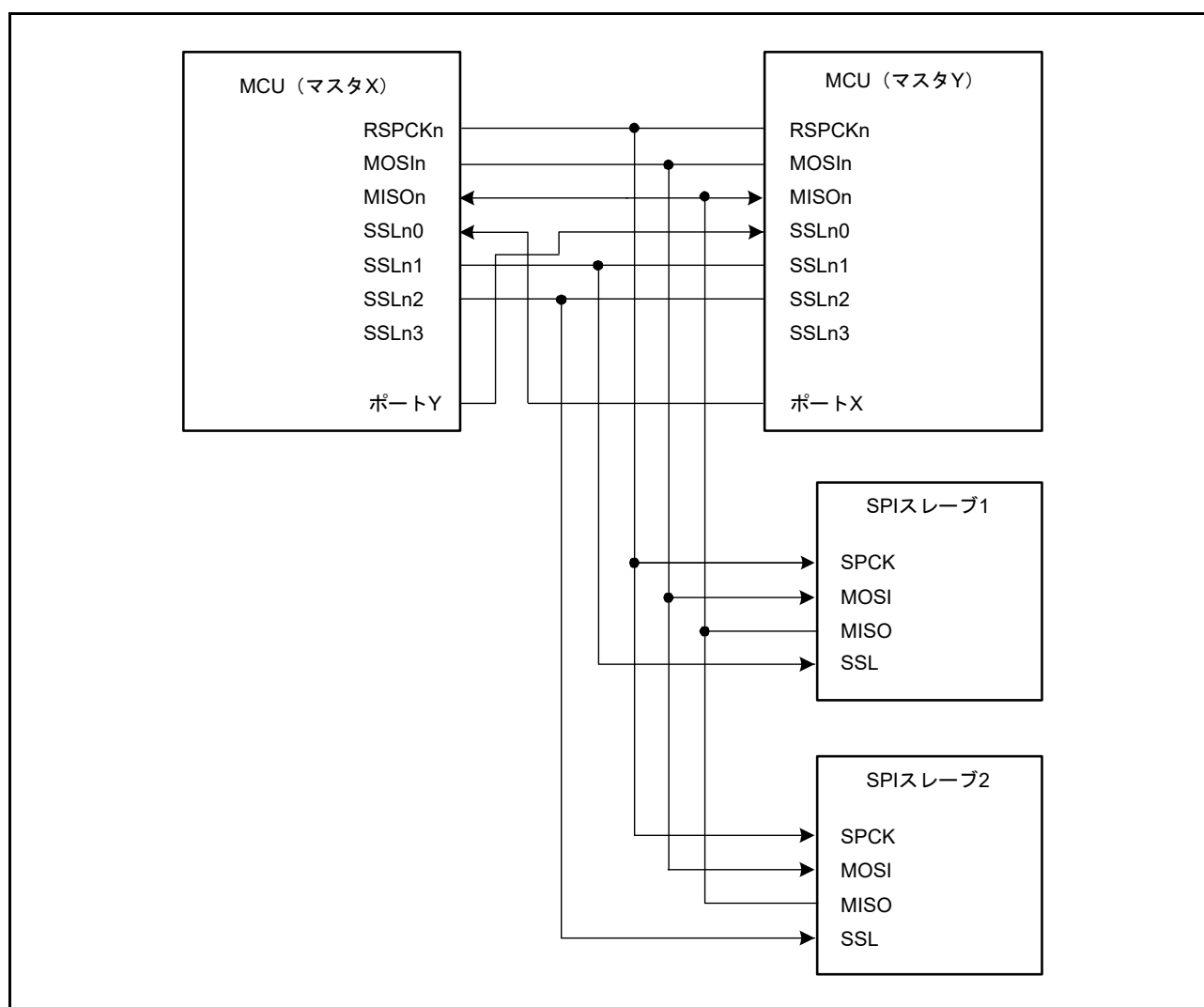


図 31.10 マルチマスタ/マルチスレーブの構成例 (MCU はマスタ)

### 31.3.3.6 クロック同期式動作のマスター/スレーブの構成 (MCU はマスター)

図 31.11 に、MCU をマスターとして使用する場合のマスター (クロック同期式動作) /スレーブ (クロック同期式動作) の SPI システム構成例を示します。この構成では、MCU (マスター) の SSLn0 ~ SSLn3 は使用しません。

MCU (マスター) は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

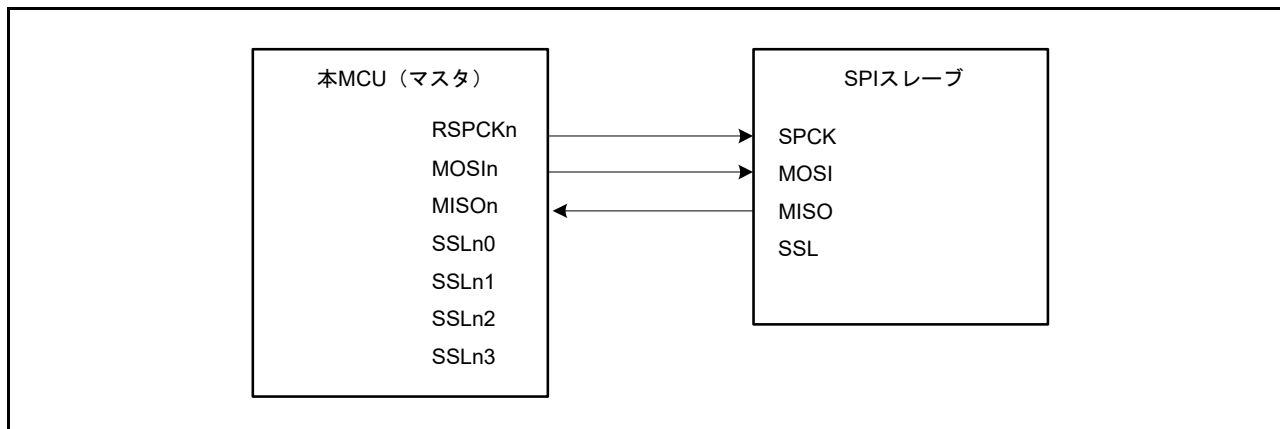


図 31.11 クロック同期式動作のマスター/スレーブの構成例 (MCU はマスター)

### 31.3.3.7 クロック同期式動作のマスター/スレーブの構成 (MCU はスレーブ)

図 31.12 に、MCU をスレーブとして使用する場合のマスター (クロック同期式動作) /スレーブ (クロック同期式動作) の SPI システム構成例を示します。MCU をスレーブ (クロック同期式動作) として使用する場合は、MCU (スレーブ) は MISO 信号をドライブし、SPI マスターは SPCK および MOSI 信号をドライブします。また、MCU (スレーブ) の SSLn0 ~ SSLn3 は使用しません。

SPCMDm.CPHA ビットを 1 にしたシングルスレーブ構成の場合にのみ、MCU (スレーブ) はシリアル転送の実行が可能です。

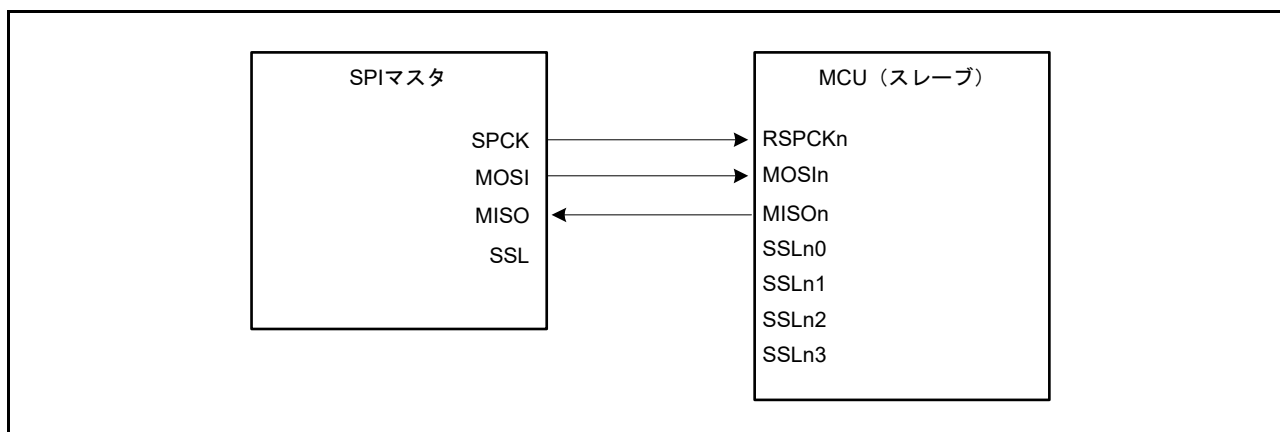


図 31.12 クロック同期式動作のマスター/スレーブの構成例 (MCU はスレーブ、CPHA = 1)

### 31.3.4 データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ  $m$  (SPCMD $m$ ) ( $m=0\sim 7$ ) と、SPI コントロールレジスタ 2 のパリティ有効ビット (SPCR2.SPPE) の設定値で決まります。MSB ファーストか LSB ファーストかにかかわらず、SPI は SPI データレジスタ (SPDR/SPDR\_HA) の LSB ビットから、選択したデータ長に対応するビットまでの範囲を転送データとして扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

#### (a) パリティ機能無効時のデータフォーマット

パリティ機能が無効の場合、SPI コマンドレジスタ  $m$  の SPI データ長設定ビット (SPCMD $m$ .SPB[3:0]) で選択したビット長でデータの送受信を行います。

#### (b) パリティ機能有効時のデータフォーマット

パリティ機能が有効の場合、SPI コマンドレジスタ  $m$  の SPI データ長設定ビット (SPCMD $m$ .SPB[3:0]) で選択したビット長でデータの送受信を行います。ただし、最終ビットはパリティビットです。

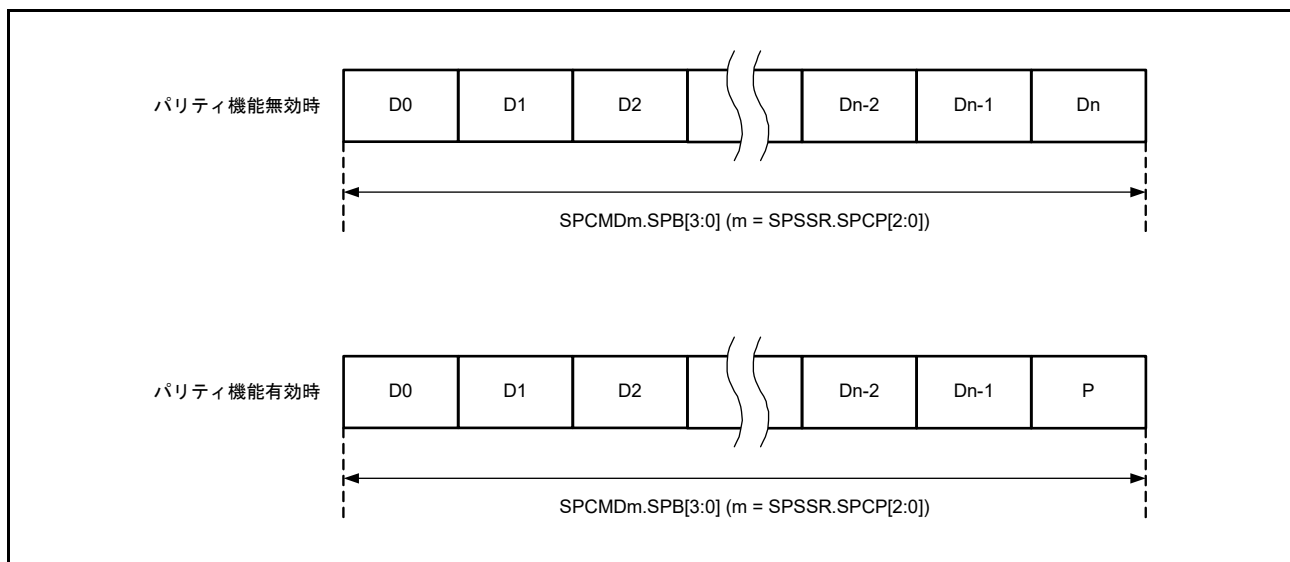


図 31.13 パリティ機能無効時と有効時のデータフォーマット

### 31.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0) の動作

パリティ機能が無効の場合、送信データを加工せず、シフトレジスタにコピーします。以下では、SPIデータレジスタ (SPDR/SPDR\_HA) とシフトレジスタの関係を、MSB/LSB ファーストとビット長の組み合わせで説明します。

#### (1) MSB ファースト転送 (32 ビットデータ)

図 31.14 に、パリティ機能無効時、SPI データ長 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31 ~ R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

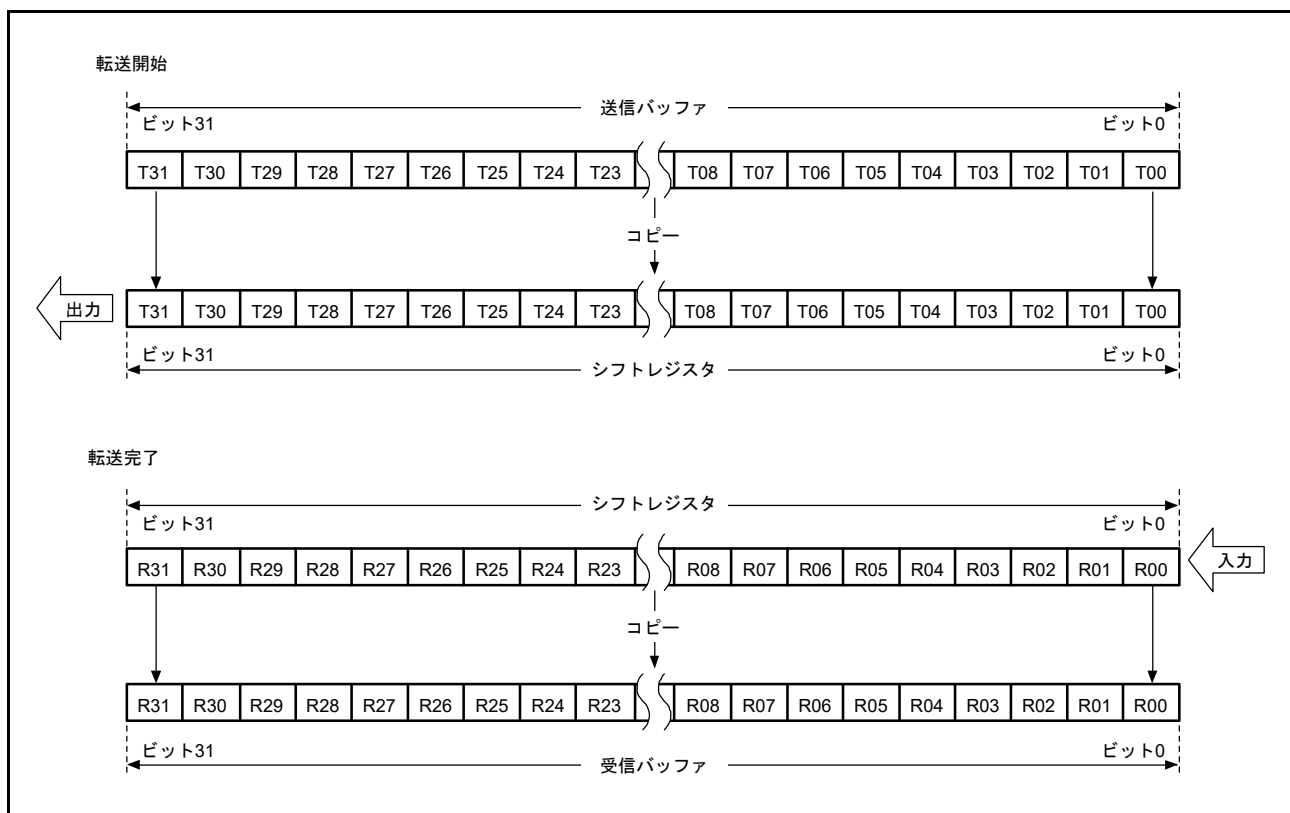


図 31.14 MSB ファースト転送 (32 ビットデータ/パリティ機能無効)



## (2) MSB ファースト転送 (24 ビットデータ)

図 31.15 に、パリティ機能無効時に、SPI がデータ長 24 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R23 ~ R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ~ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

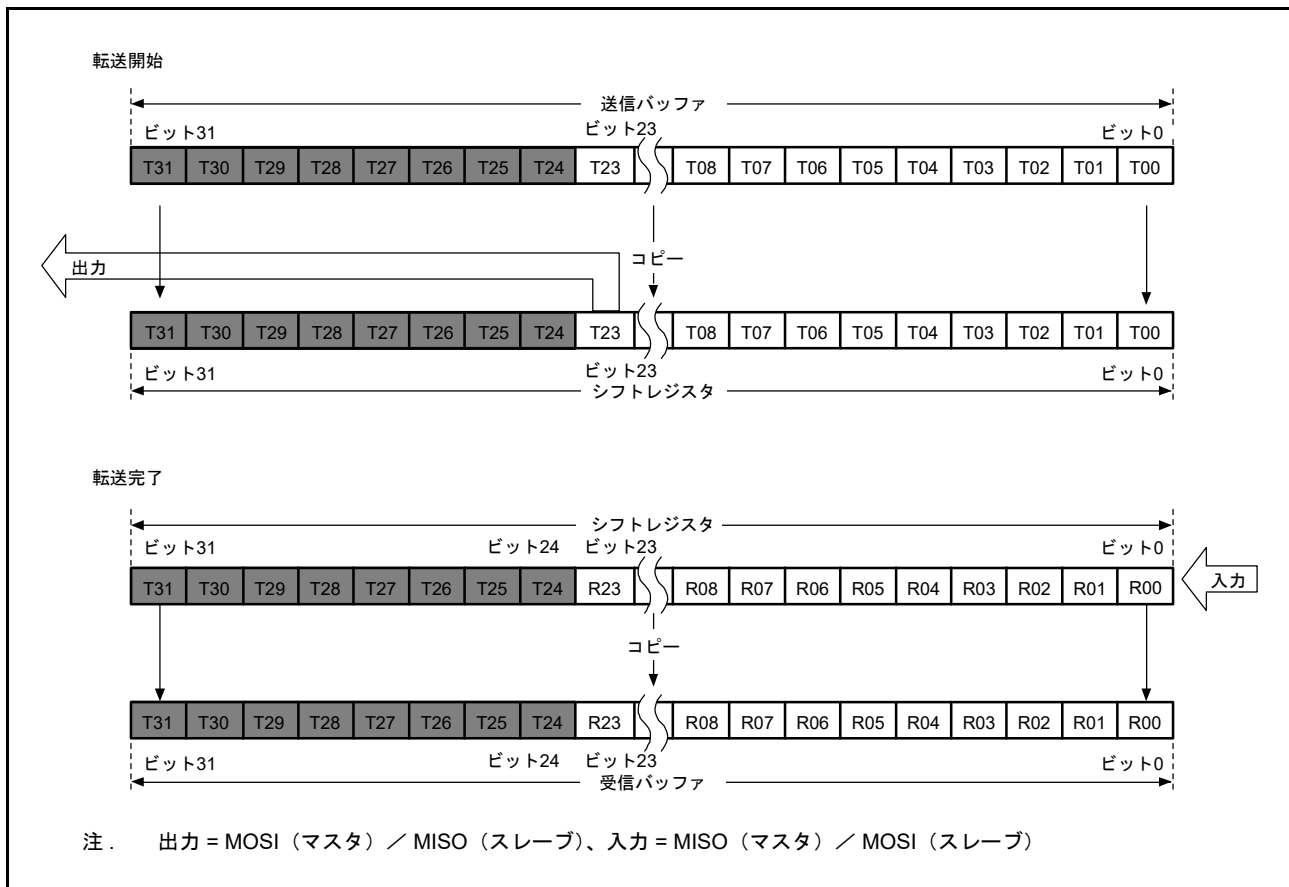


図 31.15 MSB ファースト転送 (24 ビットデータ/パリティ機能無効)

## (3) LSB ファースト転送 (32 ビットデータ)

図 31.16 に、パリティ機能無効時、SPI データ長 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31 ~ T00 をビット単位で T00 ~ T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00 ~ R31 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

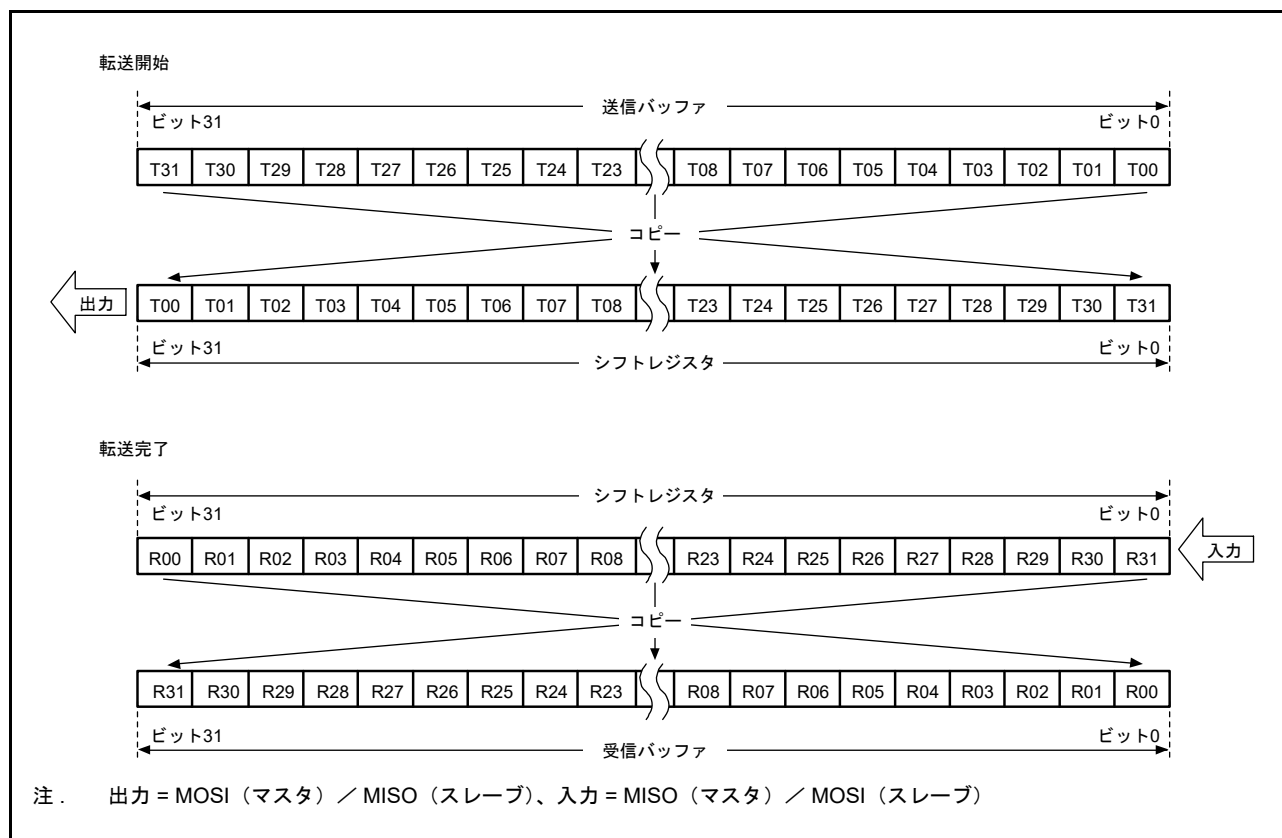


図 31.16 LSB ファースト転送 (32 ビットデータ/パリティ機能無効)

## (4) LSB ファースト転送 (24 ビットデータ)

図 31.17 に、パリティ機能無効時に、SPI がデータ長 24 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00 ~ R23 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ~ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

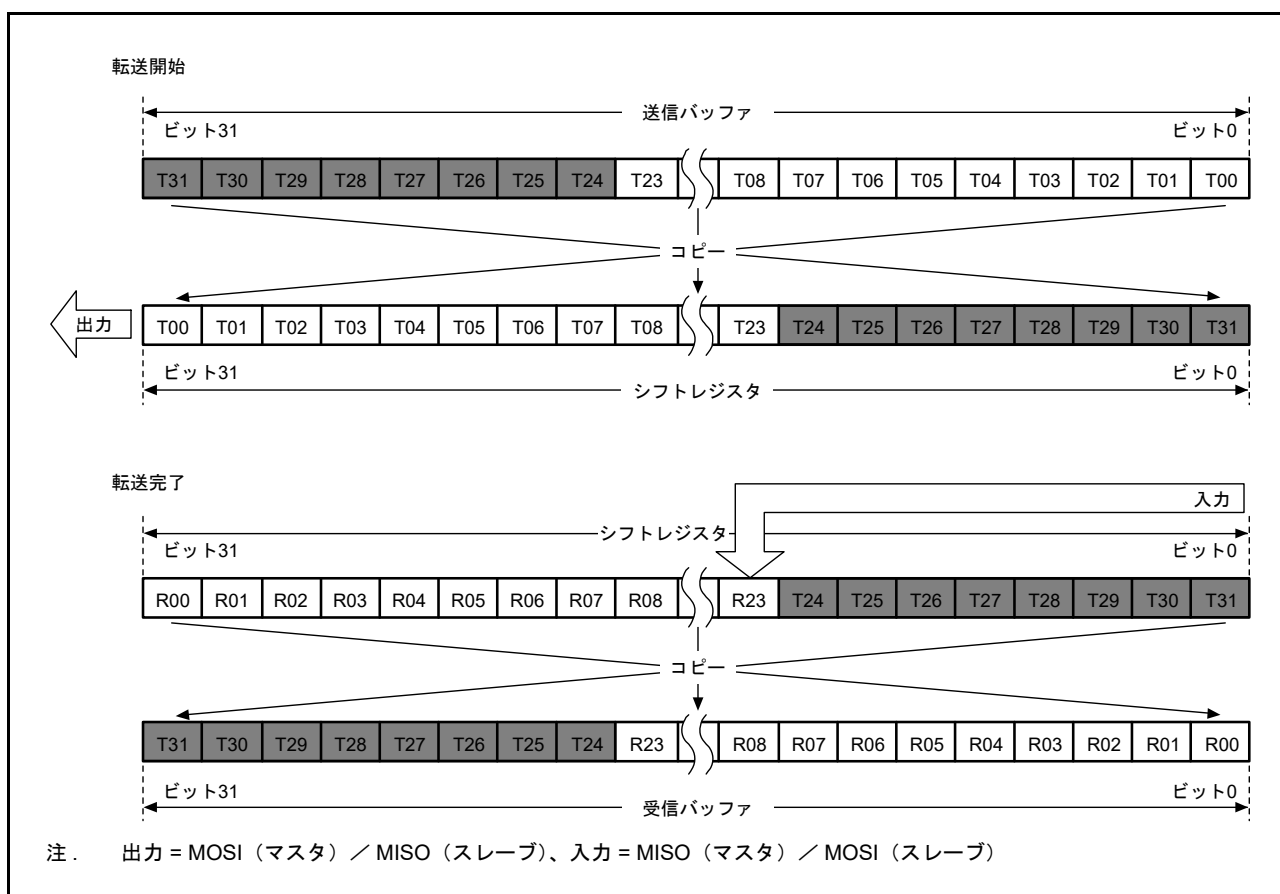


図 31.17 LSB ファースト転送 (24 ビットデータ/パリティ機能無効)

### 31.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1) の動作

パリティ機能が有効の場合、送信データの最下位ビットはパリティビットになります。パリティビットの値は、ハードウェアが計算します。

#### (1) MSB ファースト転送 (32 ビットデータ)

図 31.18 に、パリティ機能有効時に、SPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T31 → T30 → … → T01 → P の順に送信します。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31 ~ P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R31 ~ P のデータをチェックします。

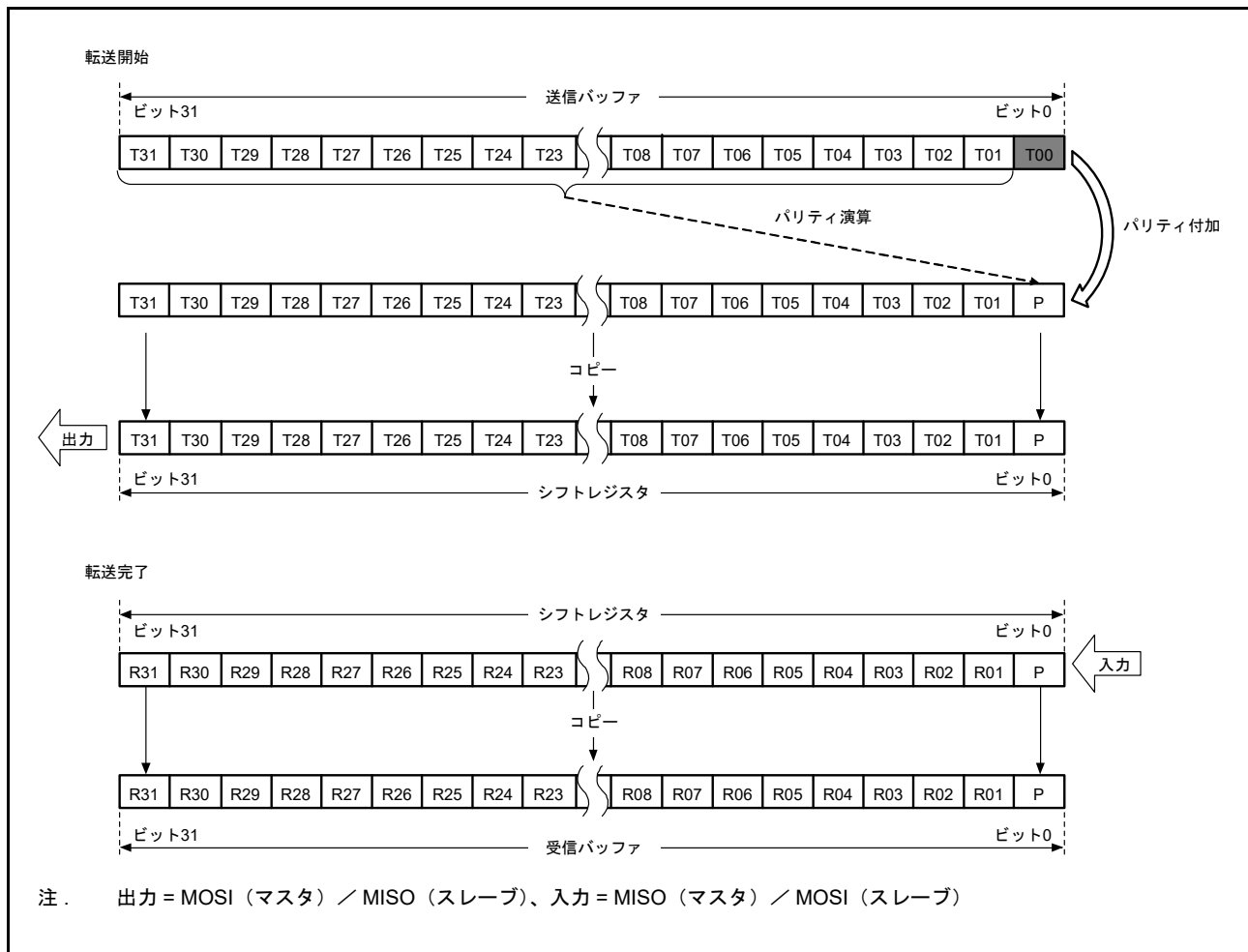


図 31.18 MSB ファースト転送 (32 ビットデータ/パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 31.19 に、パリティ機能有効時に、SPI がデータ長 24 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T23 ~ T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、全体をシフトレジスタにコピーします。データは、T23 → T22 → … → T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R23 ~ P ビットまでデータがたまり、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R23 ~ P のデータをチェックします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ~ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

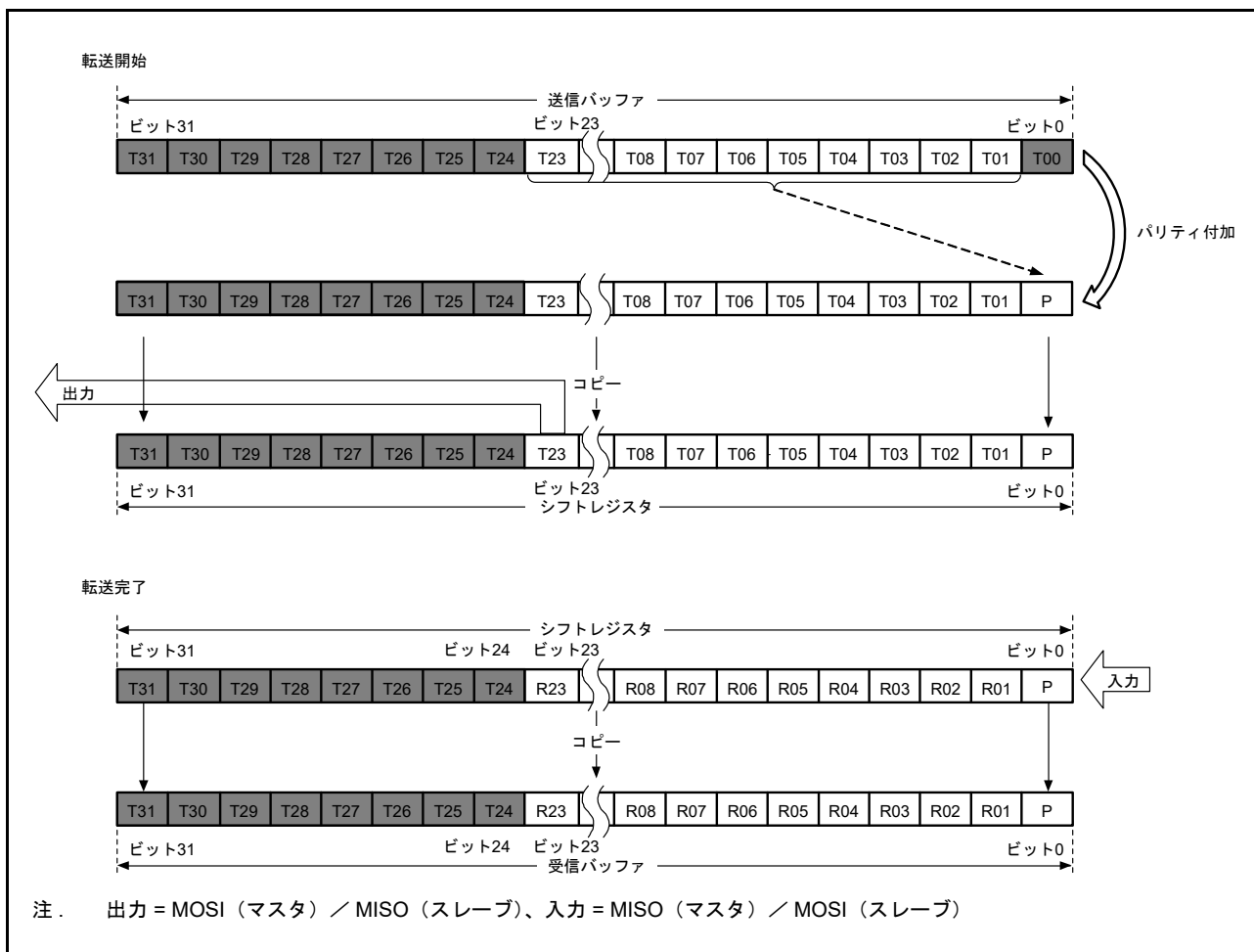


図 31.19 MSB ファースト転送 (24 ビットデータ/パリティ機能有効)

## (3) LSB ファースト転送 (32 ビットデータ)

図 31.20 に、パリティ機能有効時に、SPI がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T30 ~ T00 ビットからパリティビット (P) の値を計算し、最終ビットである T31 と置き換えて、全体をシフトレジスタにコピーします。データは、T00 → T01 → … → T30 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00 ~ P ビットまでデータがたまと、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00 ~ P のデータをチェックします。

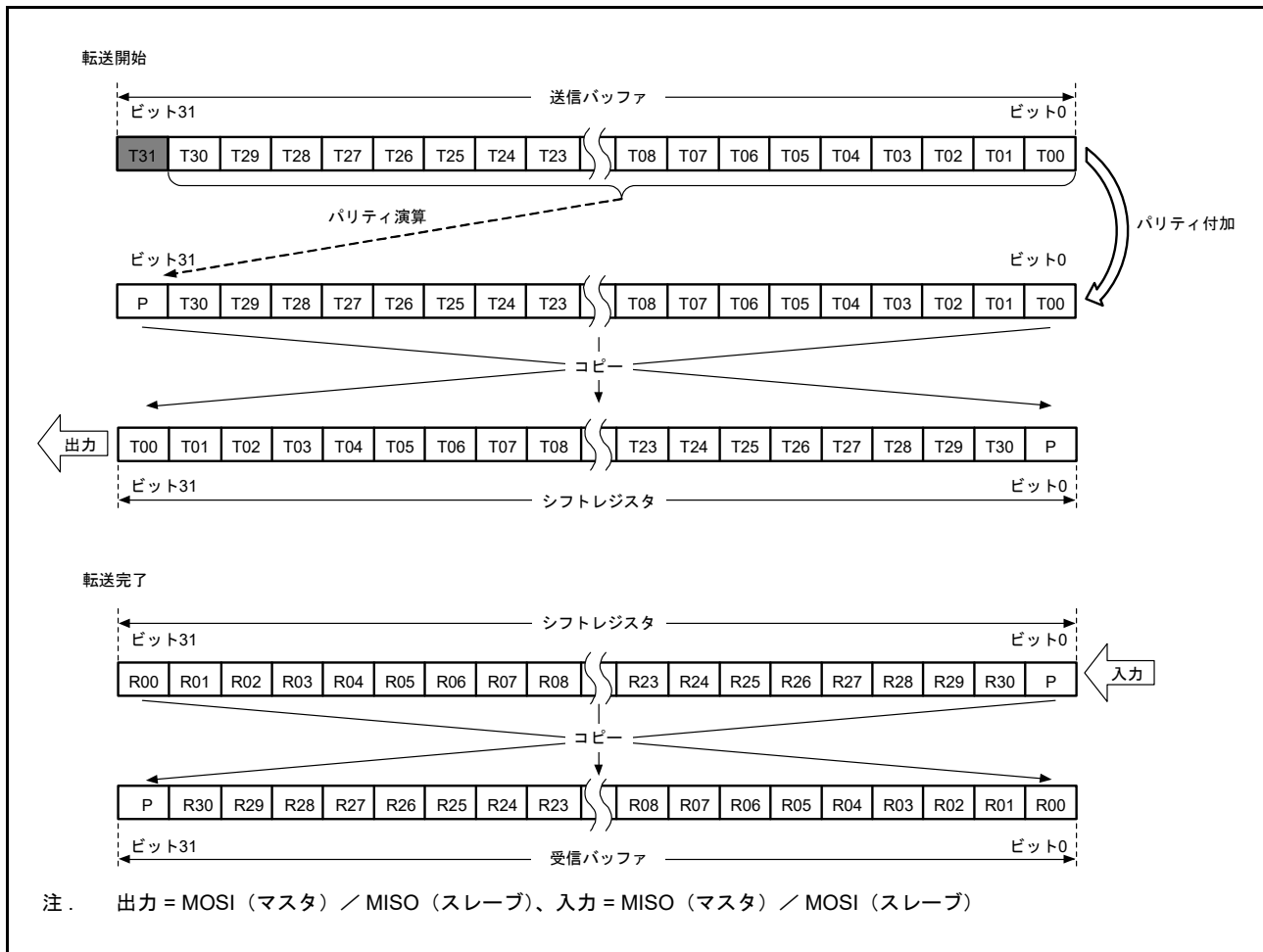


図 31.20 LSB ファースト転送 (32 ビットデータ/パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 31.21 に、パリティ機能有効時に、SPI がデータ長 24 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T22 ~ T00 ビットからパリティビット (P) の値を計算し、最終ビットである T23 と置き換えて、全体をシフトレジスタにコピーします。データは、T00 → T01 → ... → T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00 ~ P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00 ~ P のデータをチェックします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ~ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

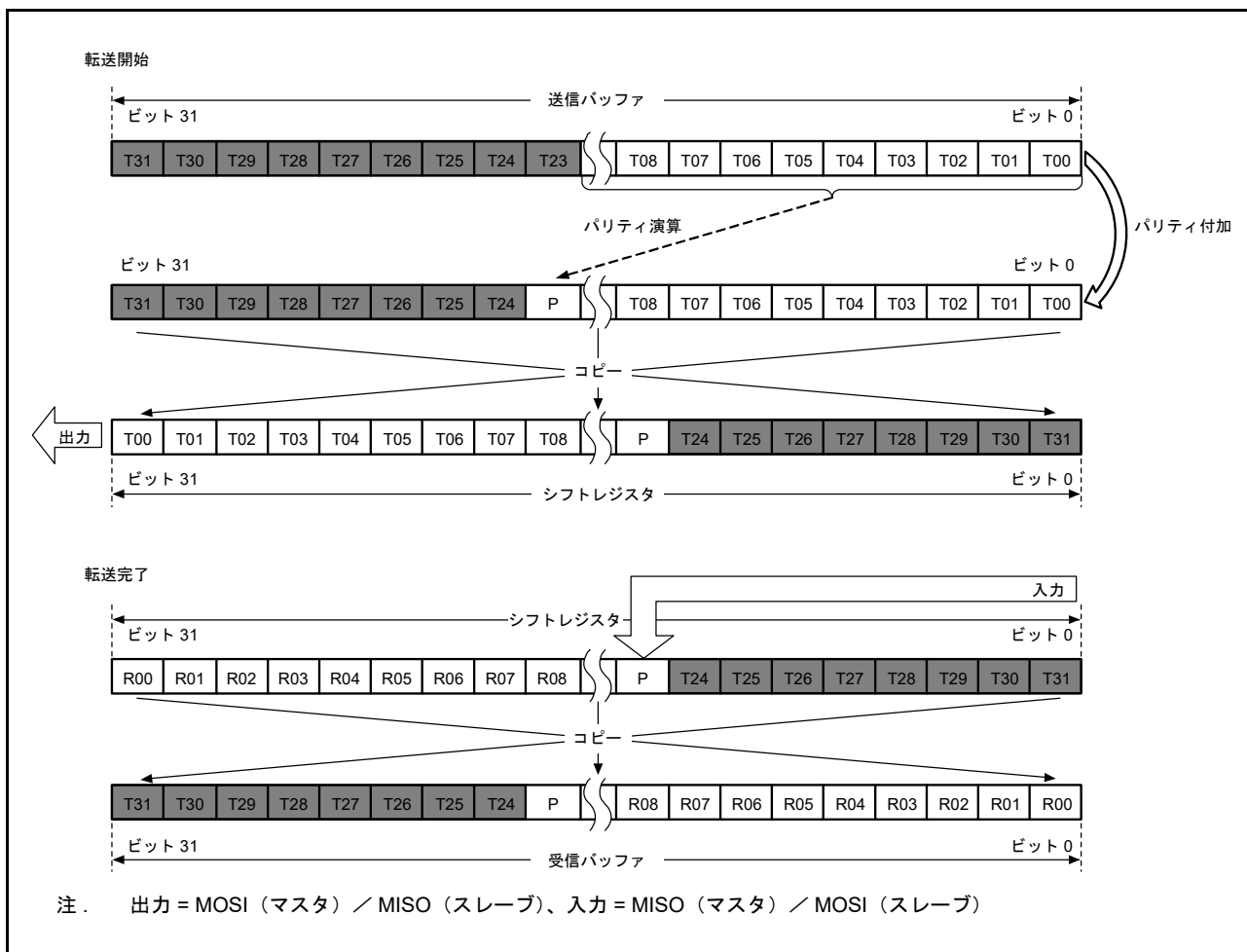


図 31.21 LSB ファースト転送 (24 ビットデータ/パリティ機能有効)

### 31.3.5 転送フォーマット

#### 31.3.5.1 CPHA ビット = 0 の場合の転送フォーマット

図 31.22 に、SPCMDm.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR=0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS=1) は行わないでください。この図において、RSPCKn (CPOL=0) は、SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示し、RSPCKn (CPOL=1) は、SPCMDm.CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI の設定に依存します。詳細は、31.3.2 SPI 端子の制御を参照してください。

SPCMDm.CPHA ビットが 0 の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOOn 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化が、最初の転送データ取り込みになり、これ以降、1RSPCK 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。SPI がマスタモードである場合の t1、t2、t3 については、31.3.10.1 マスタモード動作を参照してください。

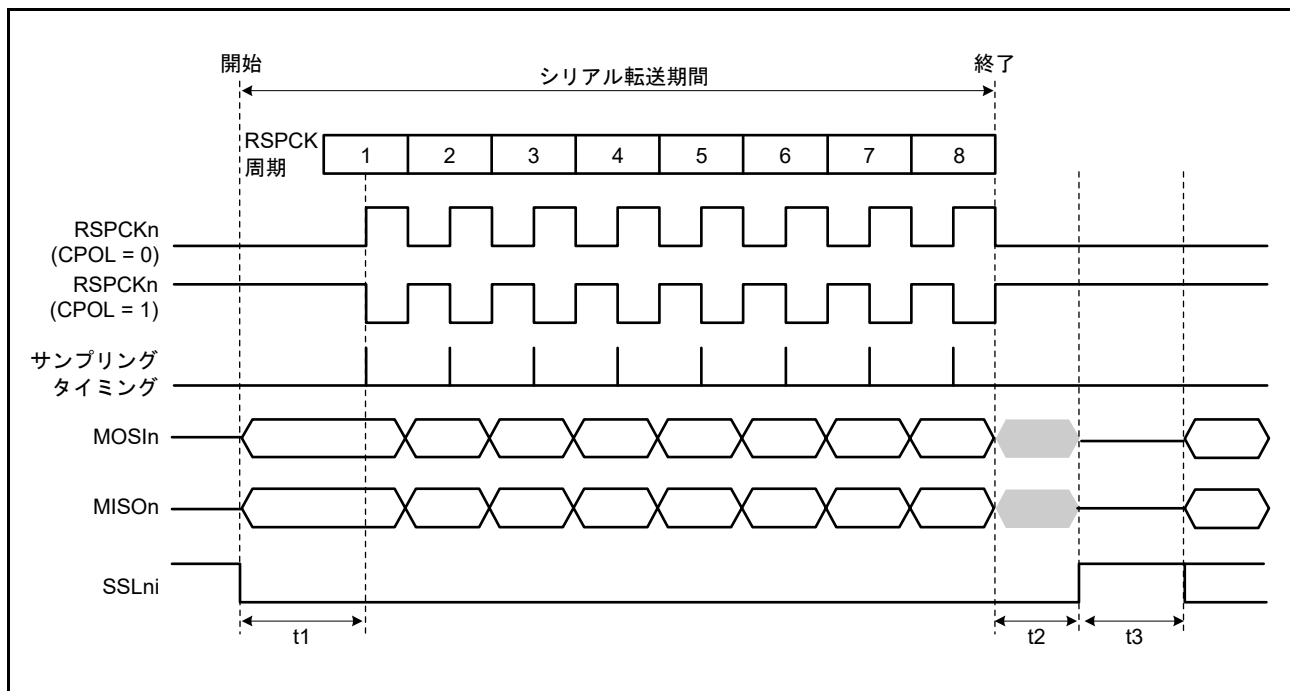


図 31.22 SPI 転送フォーマット (CPHA ビット = 0)



## 31.3.5.2 CPHA ビット = 1 の場合

図 31.23 に、SPCMDm.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOOn 信号の 3 つの信号のみで通信を行います。図 31.23 において、RSPCK (CPOL = 0) は、SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示し、RSPCK (CPOL = 1) は、SPCMDm.CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI のモード (マスタ/スレーブ) に依存します。詳細は、31.3.2 SPI 端子の制御を参照してください。

SPCMDm.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOOn 信号への有効データの出力が開始され、これ以降、1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このデータ更新タイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、31.3.10.1 マスタモード動作を参照してください。

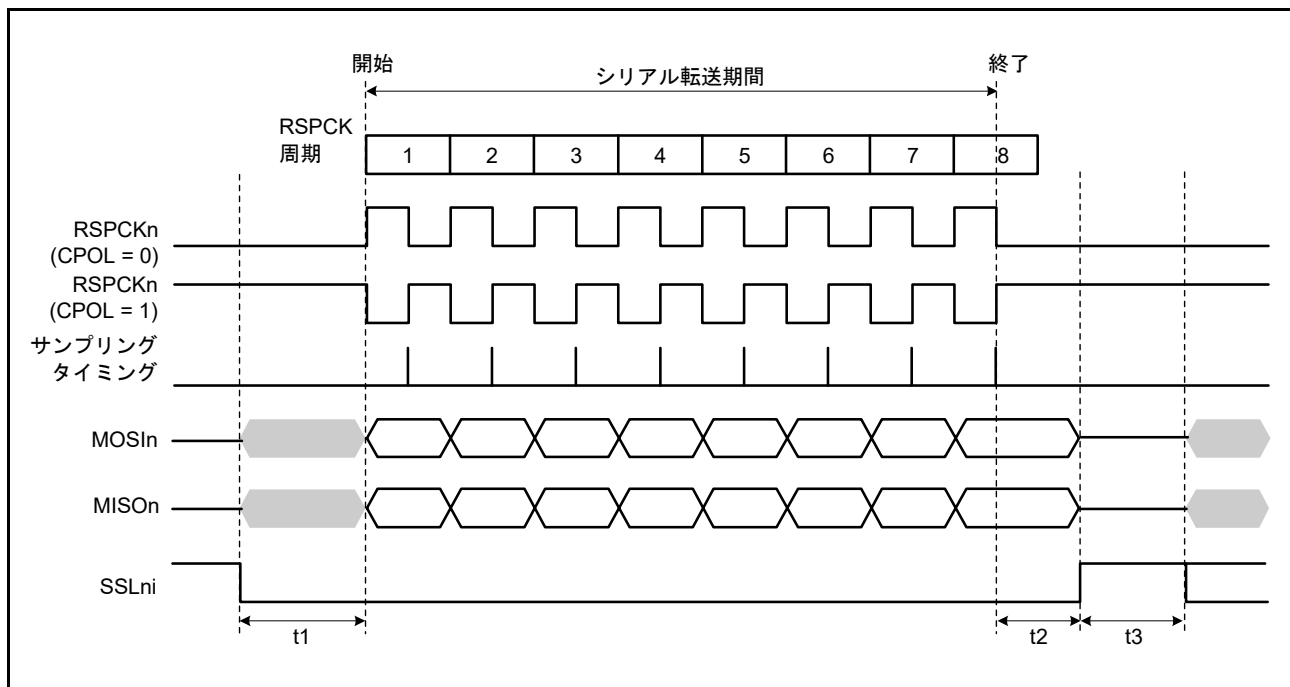


図 31.23 SPI 転送フォーマット (CPHA ビット = 1)

### 31.3.6 データ転送モード

通信動作モード選択ビット (SPCR.TXMD) の設定により、全二重同期式シリアル通信または送信のみの動作を選択できます。図 31.24、図 31.25 に記載の SPDR/SPDR\_HA アクセスは、SPDR/SPDR\_HA レジスタへのアクセス状況を示しています。W はライトサイクルを示しています。

#### 31.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 31.24 に、通信動作モード選択ビット (SPCR.TXMD) を 0 にした場合の動作例を示します。この例では、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

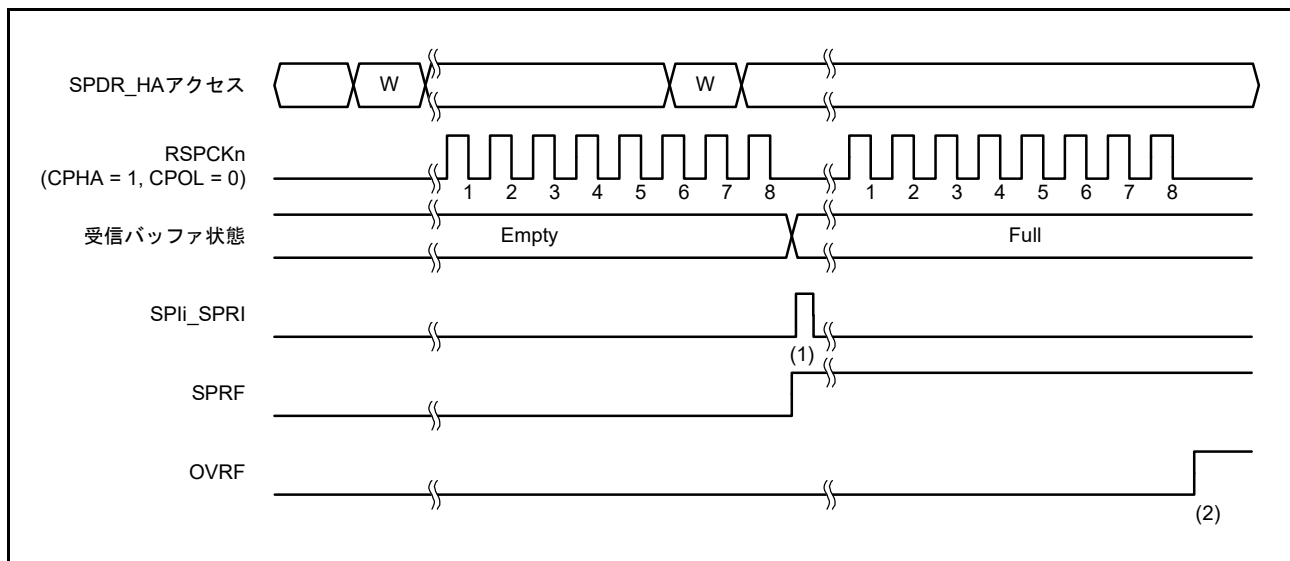


図 31.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. SPDR\_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIi\_SPRI) を発生させて (SPSR.SPRF フラグを 1 にして)、シフトレジスタの受信データを受信バッファにコピーします。
2. SPDR\_HA レジスタの受信バッファに以前のシリアル転送の受信データがある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にして、シフトレジスタの受信データを破棄します。

## 31.3.6.2 送信のみ動作 (SPCR.TXMD = 1)

図 31.25 に、通信動作モード選択ビット (SPCR.TXMD) を 1 にした場合の動作例を示します。この例では、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

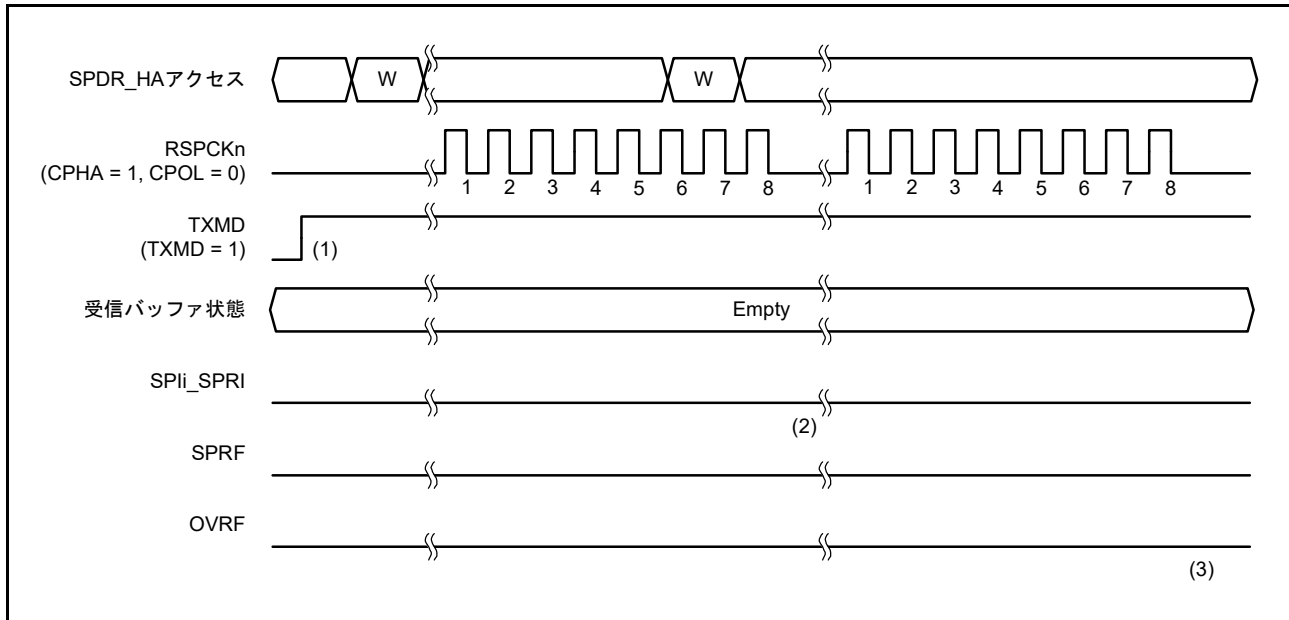


図 31.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグ動作を説明します。

1. 送信のみモード (SPCR.TXMD = 1) へ遷移する前に、受信バッファにデータが残っていないこと (SPSR.SPRF フラグ = 0)、および SPSR.OVRF フラグが 0 であることを確認してください。
2. SPDR\_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみモード (SPCR.TXMD = 1) を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
3. SPDR\_HA レジスタの受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみモード (SPCR.TXMD = 1) では、SPI はデータを送信しますが、受信しません。そのため、SPSR.SPRF および SPSR.OVRF フラグは (1) ~ (3) それぞれのタイミングで 0 を保持します。

## 31.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 31.26 および図 31.27 に、送信バッファエンプティ割り込み (SPI<sub>i</sub> SPTI) と受信バッファフル割り込み (SPI<sub>i</sub> SPRI) の動作例を示します。これらの図に記載の SPDR\_HA アクセスは、SPDR\_HA レジスタへのアクセス状況を示しています。W はライトサイクル、R はリードサイクルを示しています。図 31.26 の例では、SPCR.TXMD ビットが 0、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 0、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。

図 31.27 の例では、SPCR.TXMD ビットが 0、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

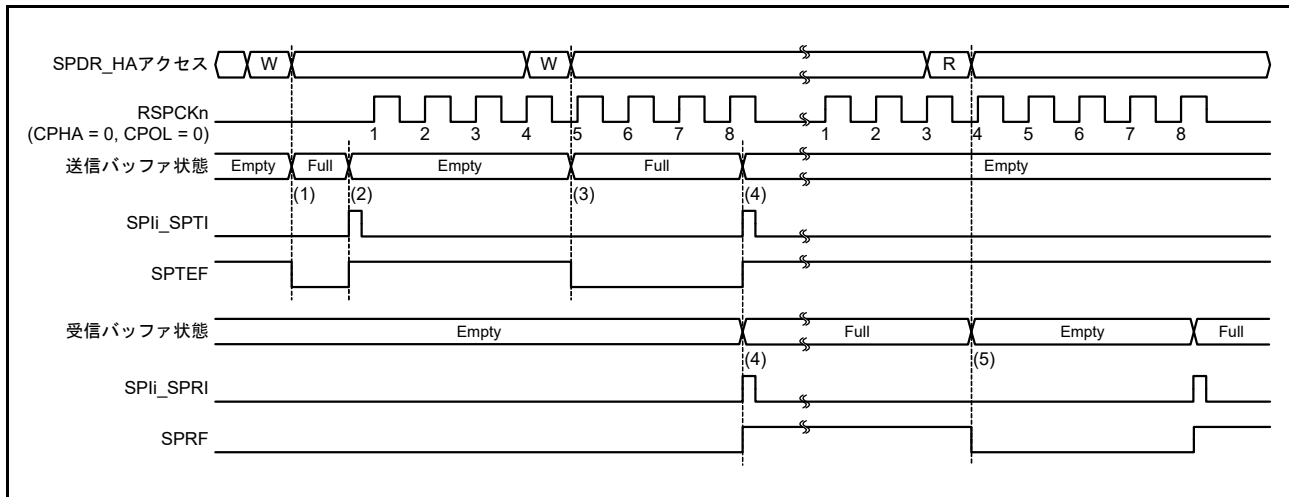


図 31.26 SPI<sub>i</sub> SPTI および SPI<sub>i</sub> SPRI 割り込みの動作例 (CPHA = 0, CPOL = 0)

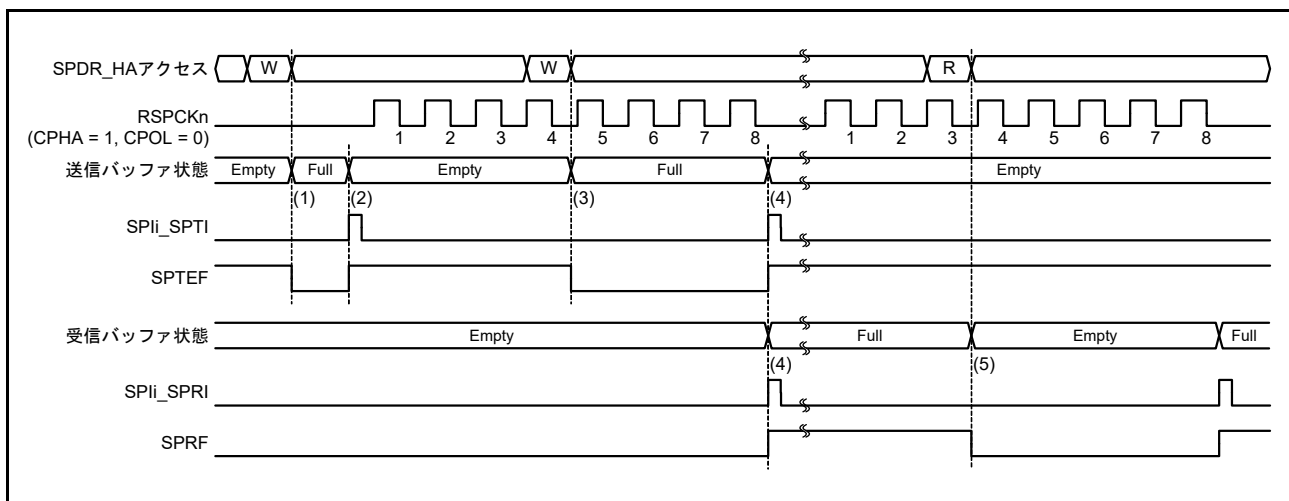


図 31.27 SPI<sub>i</sub> SPTI および SPI<sub>i</sub> SPRI 割り込みの動作例 (CPHA = 1, CPOL = 0)

以下に、図中の (1) ~ (5) に示したタイミングでの SPI の動作を説明します。

1. SPDR\_HA レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR\_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。
2. シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPI<sub>i</sub> SPTI) を発生させ、SPSR.SPTEF フラグを 1 にします。なお、シリアル転送の開始方法は、SPI のモードに依存します。詳細は、31.3.10 SPI 動作および 31.3.11 クロック同期式動作を参照してください。

3. 送信バッファエンプティ割り込みルーチン、または SPTEF フラグによる送信バッファエンプティ状態の処理で、SPDR\_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPTEF フラグを 0 にクリアします。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR\_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPI<sub>i</sub>\_SPRI) を発生させ、SPRF フラグを 1 にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、SPI が SPTEF フラグを 1 にして、送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると、SPI はシフトレジスタが空であると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
5. 受信バッファフル割り込みルーチン、または SPRF フラグによる受信バッファフル状態の処理で SPDR\_HA レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある (SPTEF フラグが 0 の) 状態で、SPDR\_HA レジスタへ書き込みが行われた場合には、SPI は送信バッファのデータを更新しません。SPDR\_HA レジスタへ書き込みを行う場合は、必ず送信バッファエンプティ割り込み要求を使用するか、または SPTEF フラグによる送信バッファエンプティ割り込み処理を行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR.SPTIE ビットを 1 にしてください。SPI 機能が無効 (SPCR.SPE ビットが 0) の場合には、SPTIE ビットを 0 にしてください。

受信バッファフルの状態 (SPRF フラグ = 1) で、シリアル転送が終了した場合には、SPI はシフトレジスタから受信バッファへデータをコピーせず、オーバーランエラーを検出します (31.3.8 エラー検出を参照)。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また、SPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信/受信バッファの状態は、送信/受信割り込み、または ICU の関連する IELSRn.IR フラグ (n は割り込みベクタ番号) によって確認できます。同様に、SPTEF および SPRF フラグによっても、送信/受信バッファの状態を確認できます。割り込みベクタ番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

### 31.3.8 エラー検出

通常の SPI のシリアル転送では、SPDR/SPDR\_HA レジスタの送信バッファに書き込んだデータが送信され、受信されたデータを SPDR/SPDR\_HA レジスタの受信バッファから読み出すことができます。SPDR/SPDR\_HA レジスタにアクセスがあった場合、送信または受信バッファの状態やシリアル転送の開始時または終了時の SPI の状態によっては、通常以外の転送となることがあります。

通常以外の転送動作が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。表 31.8 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 31.8 通常以外の転送動作と SPI のエラー検出機能の関係

動作	発生条件	SPI 動作	エラー検出
1	送信バッファフルの状態です PDR/SPDR_HA レジスタに書き込み	<ul style="list-style-type: none"> <li>送信バッファ内容を保持</li> <li>書き込みデータ欠落</li> </ul>	なし
2	受信バッファエンプティの状態です PDR/SPDR_HA レジスタを読み出し	受信バッファ内容および受信済みデータを出カ	なし
3	SPI がデータ送信不能のときに、スレーブモードでシリアル転送が開始	<ul style="list-style-type: none"> <li>シリアル転送を中断</li> <li>送受信データ欠落</li> <li>MISOA 出力信号のドライブ停止</li> <li>SPI 機能は無効</li> </ul>	アンダーランエラー
4	受信バッファフルの状態です、シリアル転送が終了	<ul style="list-style-type: none"> <li>受信バッファ内容を保持</li> <li>受信データ欠落</li> </ul>	オーバーランエラー
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時に SSLn0 入力信号アサート	<ul style="list-style-type: none"> <li>RSPCKn、MOSIn、SSLn1～SSLn3 出力信号のドライブ停止</li> <li>SPI 機能は無効</li> </ul>	モードフォルトエラー
7	マルチマスタモードでシリアル転送中に SSLn0 入力信号アサート	<ul style="list-style-type: none"> <li>シリアル転送を中断</li> <li>送受信データ欠落</li> <li>RSPCKn、MOSIn、SSLn1～SSLn3 出力信号のドライブ停止</li> <li>SPI 機能は無効</li> </ul>	モードフォルトエラー
8	スレーブモードでシリアル転送中に SSLn0 入力信号ネゲート	<ul style="list-style-type: none"> <li>シリアル転送を中断</li> <li>送受信データ欠落</li> <li>MISOOn 出力信号のドライブ停止</li> <li>SPI 機能は無効</li> </ul>	モードフォルトエラー

表 31.8 の 1 に示した動作に対しては、SPI はエラーを検出しません。SPDR/SPDR\_HA レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR/SPDR\_HA レジスタへの書き込みを実行してください (SPSR.SPTEF フラグ = 1 の場合)。2 に示した動作に対しても、SPI はエラーを検出しません。不要なデータを読み出さないようにするには、SPI 受信バッファフル割り込み要求で SPDR/SPDR\_HA レジスタの読み出しを実行するようにしてください (SPSR.SPRF フラグ = 1 の場合)。

表中のその他のエラーについては、下記の節を参照してください。

- アンダーランエラー (動作 3) : [31.3.8.4 アンダーランエラー](#)
- オーバーランエラー (動作 4) : [31.3.8.1 オーバーランエラー](#)
- パリティエラー (動作 5) : [31.3.8.2 パリティエラー](#)
- モードフォルトエラー (動作 6～8) : [31.3.8.3 モードフォルトエラー](#)

送受信の割り込みについては、[31.3.7 送信バッファエンプティ/受信バッファフル割り込み](#)を参照してください。

### 31.3.8.1 オーバーランエラー

SPDR/SPDR\_HA レジスタの受信バッファフル状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを 0 にするには、OVRF フラグが 1 の状態の SPSR レジスタを CPU が読み出した後に、OVRF フラグに 0 を書いてください。

図 31.28 に、OVRF フラグと SPRF フラグの動作例を示します。この図に記載の SPSR アクセスと SPDR\_HA アクセスは、それぞれ SPSR レジスタと SPDR\_HA レジスタへのアクセス状況を示しています。W はライトサイクル、R はリードサイクルを示しています。この例では、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下の記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

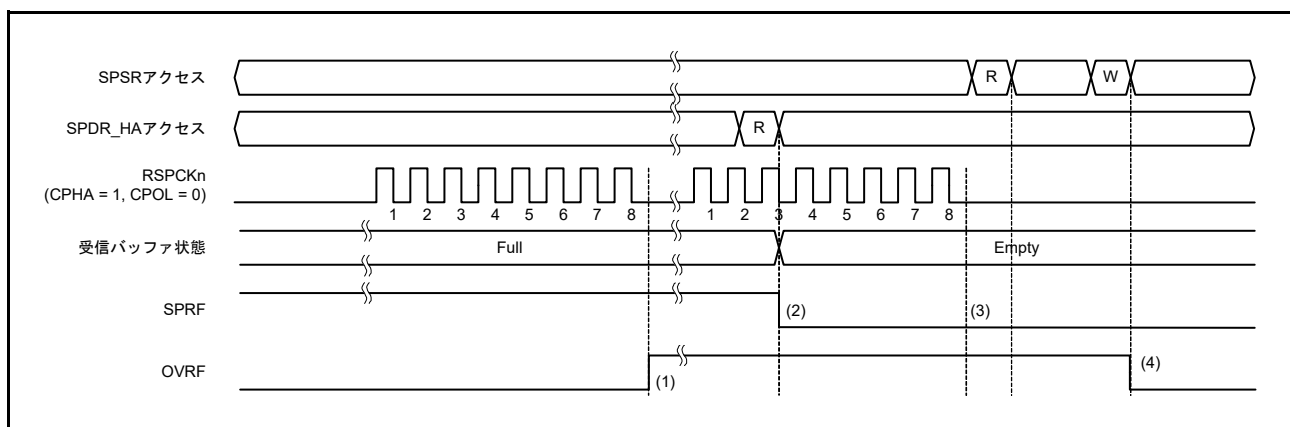


図 31.28 OVRF フラグおよび SPRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグ動作を説明します。

1. SPRF フラグが 1 (受信バッファフル) の状態でシリアル転送が終了すると、SPI がオーバーランエラーを検出し、OVRF フラグを 1 にします。SPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。マスタモードの場合、SPI は SPCMDm レジスタに対するポインタの値を SPSSR.SPECM[2:0] ビットにコピーします。
2. SPDR\_HA レジスタを読み出すと、SPI は受信バッファのデータを出力します。その後、SPRF フラグが 0 になります。受信バッファが空になっても、OVRF フラグは 0 になりません。
3. OVRF フラグが 1 (オーバーランエラー) の状態でシリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは 1 になりません)。受信バッファフル割り込みも発生しません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。マスタモードの場合、SPI は SPSSR.SPECM[2:0] ビットを更新しません。オーバーランエラー状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると、SPI はシフトレジスタが空であると判断します。これによって、送信バッファからシフトレジスタへのデータ転送が可能になります。
4. OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、OVRF フラグに 0 を書くと、OVRF フラグは 0 にクリアされます。

オーバーランの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する際は、SPDR\_HA レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。マスタモード時は、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバーランエラーが発生して OVRF フラグが 1 になると、OVRF フラグが 0 にクリアされるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバーランエラーが発生しません。図 31.29、図 31.30 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

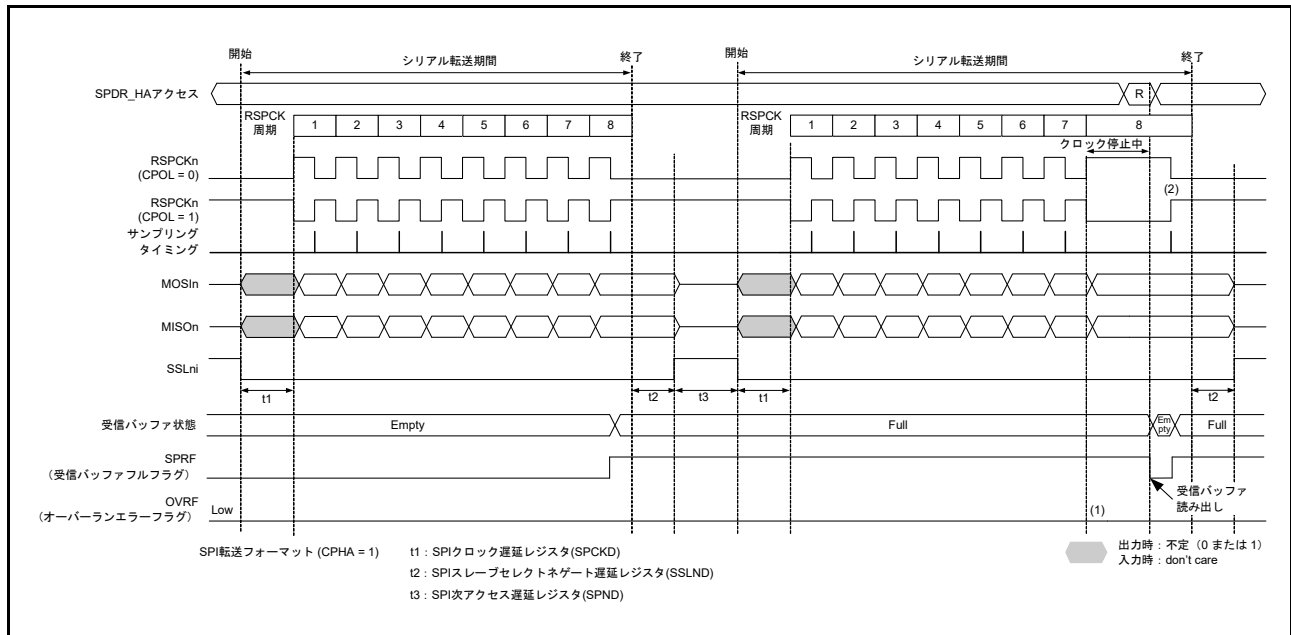


図 31.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

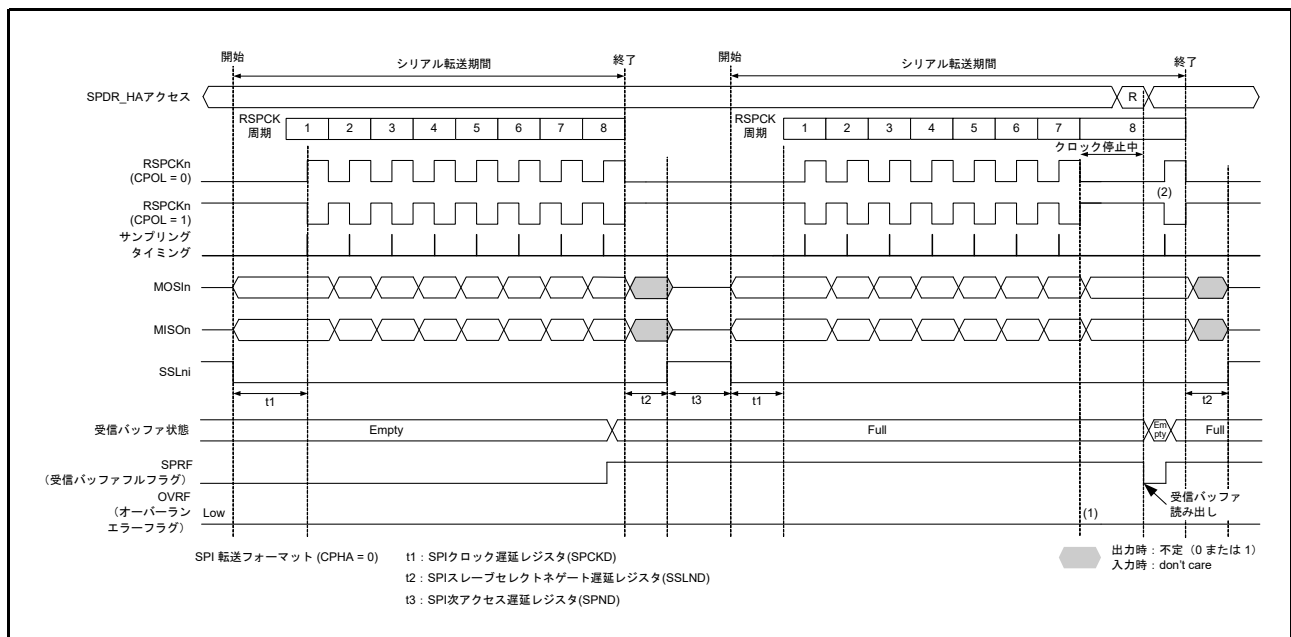


図 31.30 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図 31.29 および図 31.30 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
2. クロック停止中に SPDR\_HA レジスタを読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPSR.SPRF フラグが 0 にクリアされた後)、RSPCK クロックが再開します。



### 31.3.8.2 パリティエラー

SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で、全二重同期式シリアル通信を行い、転送が終了すると、SPI はパリティエラーの判定を行います。SPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを 0 にするには、PERF フラグが 1 の状態の SPSR レジスタを読んだ後、PERF フラグに 0 を書いてください。

図 31.31 に、OVRF フラグと PERF フラグの動作例を示します。図 31.31 に記載の SPSR アクセスは、SPSR レジスタへのアクセス状況を示しています。W はライトサイクル、R はリードサイクルを示しています。この例では、SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で全二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、転送ビット数などの RSPCK サイクル数を示しています。

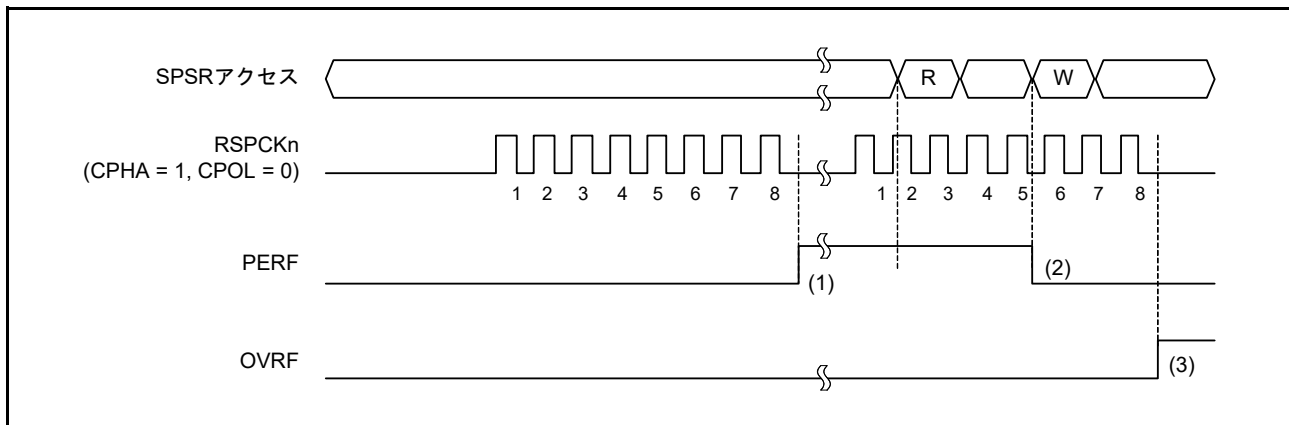


図 31.31 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグ動作を説明します。

1. SPI がオーバーランエラーを検出せず、シリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーします。このとき、SPI が受信データをチェックし、パリティエラーを検出すると PERF フラグを 1 にします。マスタモードの場合、SPI は SPCMDm レジスタに対するポインタの値を SPSSR.SPECM[2:0] ビットにコピーします。
2. PERF フラグが 1 の状態で SPSR レジスタを読んだ後、PERF フラグに 0 を書くと、PERF フラグが 0 にクリアされます。
3. SPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、SPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合は、SPSR レジスタエラーを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。SPI がマスタモードの場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

### 31.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。マルチマスタモードの SPI の SSLn0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。SPI はモードフォルトエラーを検出すると、SPCMDm レジスタに対するポインタの値を SPSSR.SPECM[2:0] ビットにコピーします。なお、SSLn0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。スレーブモードの SPI の MODFEN ビットが 1、SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLn0 入力信号がネゲートされると、SPI はモードフォルトエラーを検出します。

SPI はモードフォルトエラーを検出すると、出力信号のドライブを停止して、SPCR.SPE ビットを 0 にクリアします（31.3.9 SPI の初期化を参照）。マルチマスタ構成では、モードフォルトエラーの検出によって、出力信号のドライブと SPI 機能を停止させ、マスタであることを解除できます。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにモードフォルトエラーを検出するには、SPSR レジスタをポーリングする必要があります。SPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にしてください。

### 31.3.8.4 アンダーランエラー

SPCR.MSTR ビットが 0（スレーブモード）、SPCR.SPE ビットが 1、送信データが用意されていない状態でシリアル転送が開始すると、SPI はアンダーランエラーを検出します。その後、SPI は SPSR.MODF および SPSR.UDRF フラグを 1 にします。SPI はアンダーランエラーを検出すると、出力信号のドライブを停止して、SPCR.SPE ビットを 0 にクリアします（31.3.9 SPI の初期化を参照）。

アンダーランエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にする必要があります。

### 31.3.9 SPIの初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットのクリアによる初期化と、システムリセットによる初期化について説明します。

#### 31.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステータスの初期化
- SPI 送信バッファの初期化 (SPSR.SPTEF フラグを 1 にする)

SPE ビットのクリアによる初期化では、SPI の制御ビットは初期化されません。このため、再度 SPE ビットを 1 にすると、初期化前と同じ転送モードで SPI を起動できます。

SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグの値は初期化されません。また、SPI シーケンスステータスレジスタ (SPSSR) の値も初期化されません。このため、SPI の初期化後も受信バッファからデータを読み出すことで、SPI 転送時のエラー発生状況を確認できます。

送信バッファは空の状態に初期化されます (SPSR.SPTEF フラグが 1 になる)。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するには、SPE ビットへ 0 を書くと同時に、SPTIE ビットにも 0 を書いてください。

#### 31.3.9.2 システムリセットによる初期化

システムリセットによる初期化では、[31.3.9.1 SPE ビットのクリアによる初期化](#)に記載の事項に加え、すべての SPI 制御用ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。

## 31.3.10 SPI 動作

### 31.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の有無のみです (31.3.8 エラー検出を参照)。SPI は、シングルマスタモードではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングル/マルチマスタモードで共通する動作について説明します。

#### (1) シリアル転送の開始

SPI 送信バッファが空の状態では SPI データレジスタ (SPDR / SPDR\_HA) にデータが書き込まれ、次の転送用のデータがセットされていない場合 (SPSR.SPTEF フラグが 1)、SPI は送信バッファ (SPTX) のデータを更新します。SPDCR.SPFC[1:0] ビットで設定したフレーム数分のデータを、SPDR/SPDR\_HA レジスタへ書き込んだ後、シフトレジスタが空の場合は、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。SPI はシフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更します。シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、31.3.5 転送フォーマットを参照してください。

#### (2) シリアル転送の終了

SPCMDm.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグ=0) の場合には、シリアル転送終了後に、SPI はシフトレジスタから SPDR/SPDR\_HA レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値で決まります。SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、31.3.5 転送フォーマットを参照してください。

#### (3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、および SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB/LSB ファースト
- データ長
- ビットレート設定の一部
- RSPCK 極性/位相
- SPCKD レジスタの参照要否
- SSLND レジスタの参照要否
- SPND レジスタの参照要否

SPBR レジスタは、SPI クロック遅延 (SPCKD)、SSL ネゲート遅延 (SSLND)、次アクセス遅延 (SPND) などの、ビットレート設定値の一部を保持しています。

SPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各

データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPIはポインタをSPCMD0レジスタにセットするため、シーケンスが繰り返し実行されます。

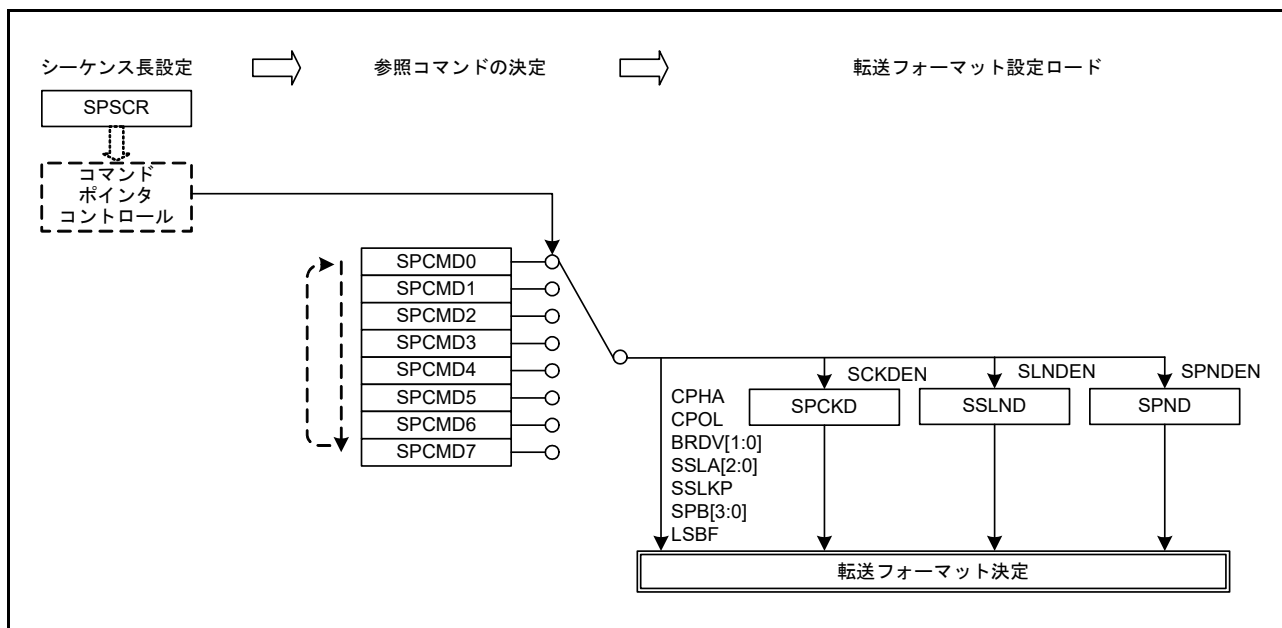


図 31.32 マスタモードでのシリアル転送方式の決定方法

ここでは、データ (SPDR/SPDR\_HA) と設定 (SPCMDm) の2つを合わせてフレームとします。

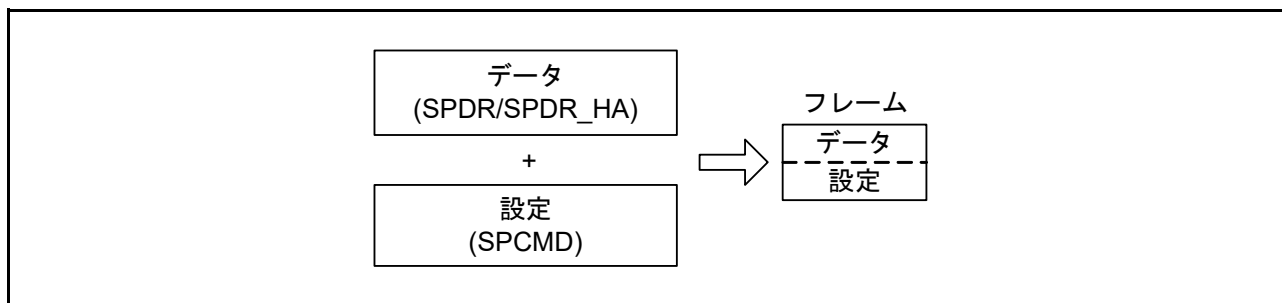


図 31.33 フレームの概念図

表 31.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ/受信バッファの対応関係を図 31.34 に示します。

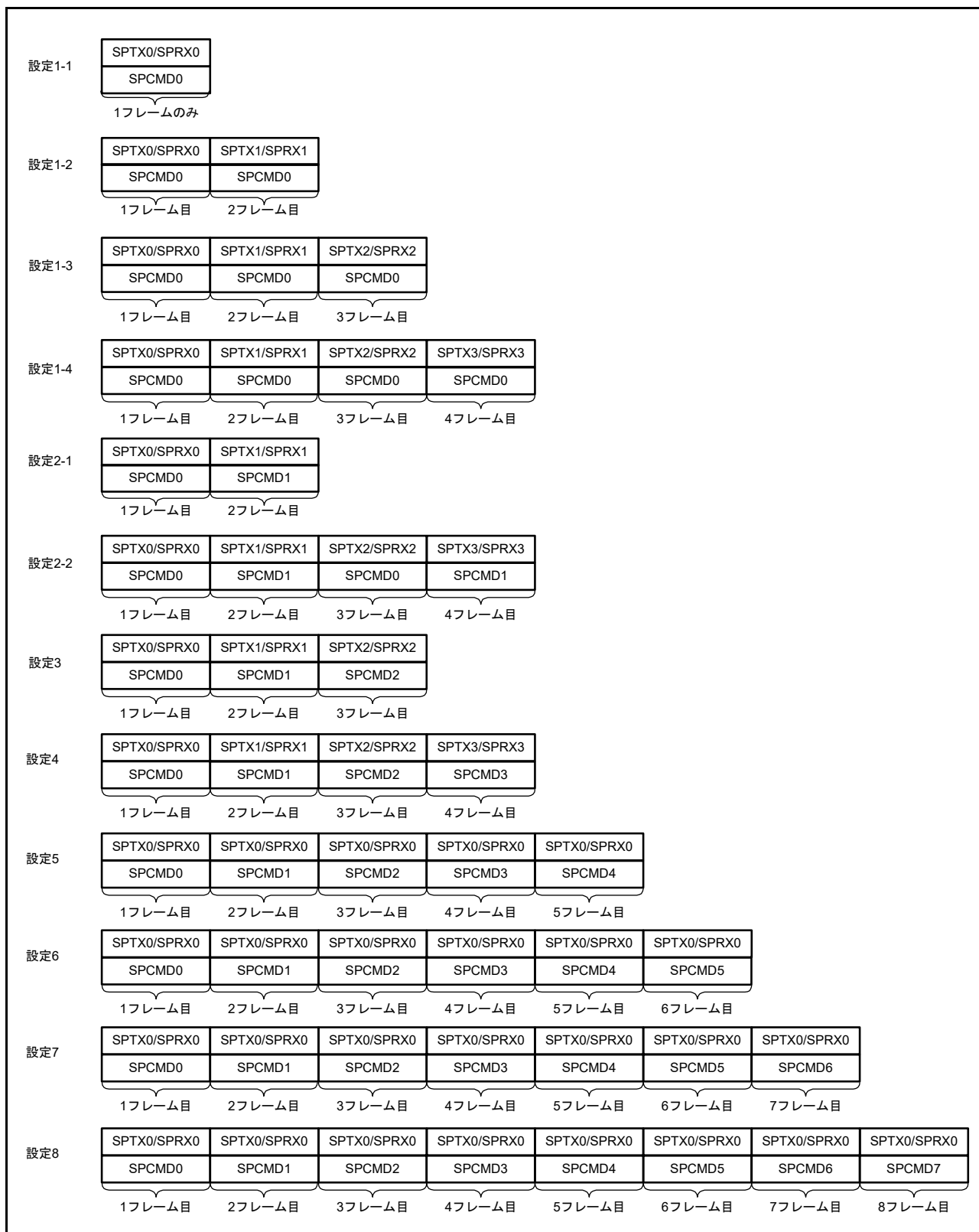


図 31.34 シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

#### (4) バースト転送

SPIが現在のシリアル転送で参照しているSPCMDm.SSLKPビットが1の場合には、SPIはシリアル転送中のSSLni信号レベルを次のシリアル転送のSSLni信号アサート開始まで保持します。次のシリアル転送でのSSLni信号レベルが、現在のシリアル転送でのSSLni信号レベルと同じであれば、SPIはSSLni信号アサート状態を保持したまま連続的にシリアル転送を実行することが可能です（バースト転送）。

図 31.35 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合のSSLni信号の動作例を示します。以下では、図 31.35 に示す (1) ~ (7) のSPI動作内容について説明します。

注. SSLni出力信号の極性は、SSLPレジスタの設定値で決まります。

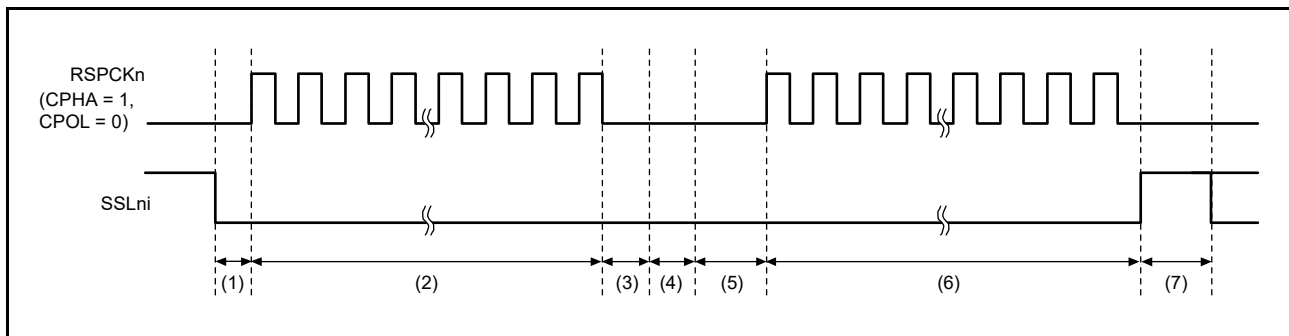


図 31.35 SSLKP ビットを利用したバースト転送の動作例

図中の (1) ~ (7) に示したタイミングでのSPIの動作は以下のとおりです。

1. SPIは、SPCMD0レジスタの設定値に従ってSSLni信号をアサートし、RSPCK遅延を挿入します。
2. SPIはSPCMD0レジスタの設定に従ったシリアル転送を実行します。
3. SPIは、SSLネゲート遅延を挿入します。
4. SPCMD0.SSLKPビットが1であるため、SPIはSPCMD0レジスタで指定したSSLni信号値を保持します。この期間は、最短でもSPCMD0レジスタの次アクセス遅延と同じだけ継続されます。最短期間が経過してもシフトレジスタが空の場合は、次転送のための送信データがシフトレジスタに格納されるまで、この期間は継続します。
5. SPIは、SPCMD1レジスタの設定値に従ってSSLni信号をアサートし、RSPCK遅延を挿入します。
6. SPIはSPCMD1レジスタの設定に従ったシリアル転送を実行します。
7. SPCMD1.SSLKPビットが0であるため、SPIはSSLni信号をネゲートします。また、SPCMD1レジスタに従った次アクセス遅延が挿入されます。

SSLKPビットを1にしたSPCMDmレジスタでのSSLni信号出力設定と、次転送で使用するSPCMDmレジスタでのSSLni信号出力設定が異なる場合、SPIは図 31.35の(5)で示すように、SSLni信号状態をSSLni信号アサートに切り替えます。このSSLni信号は次転送のコマンドに対応しています。

注. このようなSSLni信号の切り替えが発生した場合、MISO<sub>n</sub>信号をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があります。

マスタモードのSPIは、SSLKPビットを使用しない場合は、SSLni信号動作をモジュール内部で参照しています。SPCMDm.CPHAビットが0であると、SPIは内部で検出した次転送のSSLni信号のアサートを使用してシリアル転送を正確に開始できます。

## (5) RSPCK 遅延 (t1)

マスタモードの SPI の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定で決まります。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、表 31.9 のように RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、31.3.5 転送フォーマットを参照してください。

表 31.9 SCKDEN ビット、SPCKD レジスタ、RSPCK 遅延の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

## (6) SSL ネゲート遅延 (t2)

マスタモードの SPI の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定で決まります。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SLNDEN ビットと SSLND レジスタを使用して、表 31.10 のように SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、31.3.5 転送フォーマットを参照してください。

表 31.10 SLNDEN ビット、SSLND レジスタ、SSL ネゲート遅延の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK



## (7) 次アクセス遅延 (t3)

マスタモードのSPIの次アクセス遅延値は、SPCMDm.SPNDENビットの設定とSPNDレジスタの設定で決まります。SPIは、ポインタ制御によってシリアル転送中に参照するSPCMDmレジスタを決定し、SPCMDm.SPNDENビットとSPND.SPNDL[2:0]ビットを使用して、表31.11のようにシリアル転送時の次アクセス遅延値を決定します。なお、次アクセス遅延の定義については、31.3.5 転送フォーマットを参照してください。

表 31.11 SPNDENビット、SPNDレジスタ、次アクセス遅延の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延
0	000b~111b	1RSPCK + 2PCLKA
1	000b	1RSPCK + 2PCLKA
	001b	2RSPCK + 2PCLKA
	010b	3RSPCK + 2PCLKA
	011b	4RSPCK + 2PCLKA
	100b	5RSPCK + 2PCLKA
	101b	6RSPCK + 2PCLKA
	110b	7RSPCK + 2PCLKA
	111b	8RSPCK + 2PCLKA

## (8) 初期化フロー

図 31.36 に、SPI をマスタモードで使用する場合の SPI 動作の初期化フロー例を示します。なお、割り込みコントローラユニット (ICU)、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

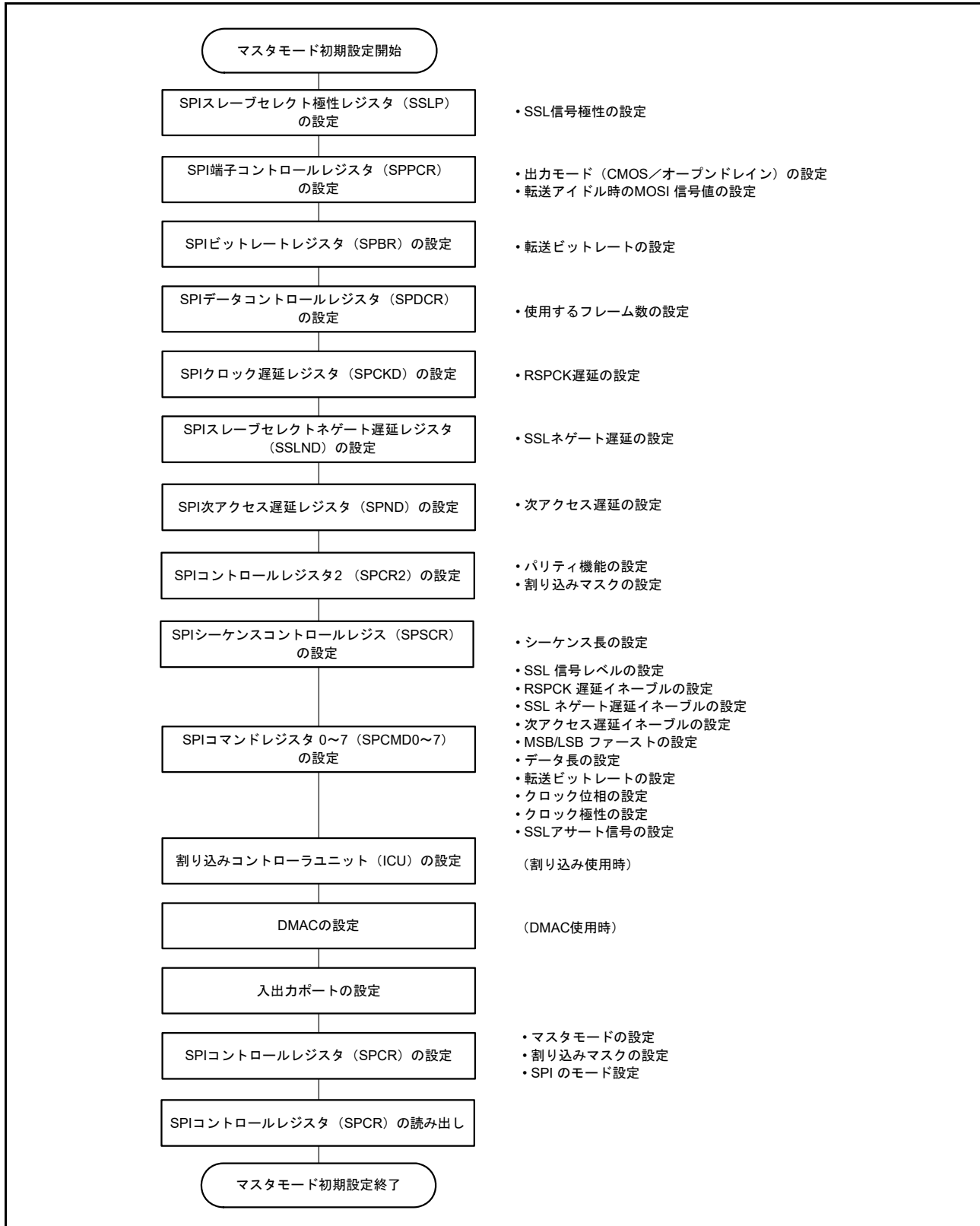


図 31.36 マスタモード時の SPI 動作の初期化フロー例

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 31.37 ~ 図 31.39 に示します。

(a) 送信処理フロー

データの送信時、SPIi\_SPII 割り込みが許可されていれば、最終データの書き込み完了後に、データ送信完了が CPU に通知されます。

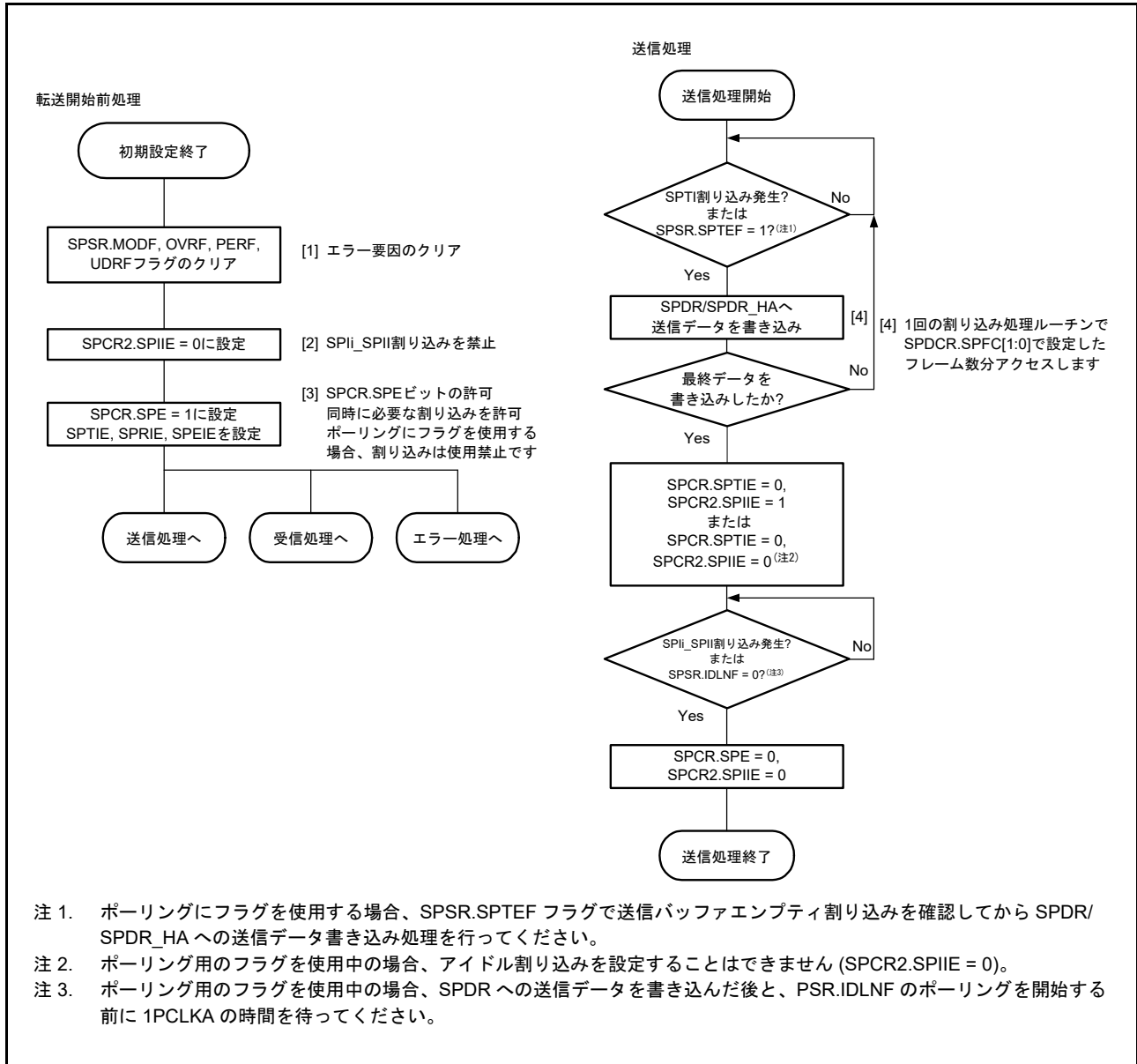


図 31.37 マスタモードでの送信フロー

(b) 受信処理フロー

SPIは受信のみの動作を行わないため、送信を必要とします。

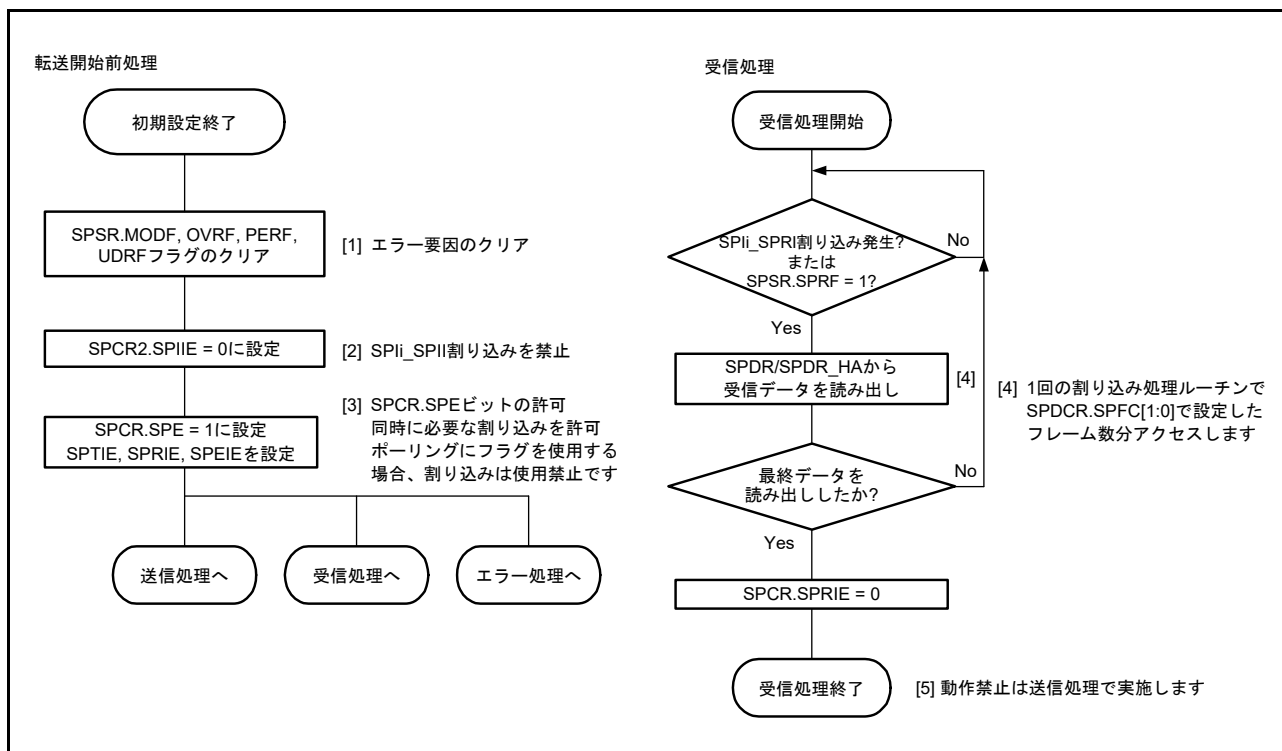


図 31.38 マスタモードでの受信フロー

(c) エラー処理フロー

SPIが検出するのは次のエラーです。

- モードフォルト
- アンダーラン
- オーバーラン
- パリティ

モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。その他のエラー要因では、SPCR.SPEビットはクリアされず、送信/受信動作は継続します。モードフォルトエラー以外のエラーの場合は、SPCR.SPEビットをクリアし、動作を停止することが推奨されます。動作を停止しないと、SPSSR.SPECM[2:0]ビットが更新されます。

割り込みによるエラー検出時は、エラー処理ルーチンにてICU.IELSRn.IRフラグをクリアしてください。クリアしないと、ICU.IELSRn.IRフラグにSPI<sub>i</sub>\_SPTIまたはSPI<sub>i</sub>\_SPRI割り込み要求が保持されている可能性があります。また、SPI<sub>i</sub>\_SPRI割り込み要求が保持されている場合は、受信バッファを読み出してSPIの内部シーケンサを初期化してください。

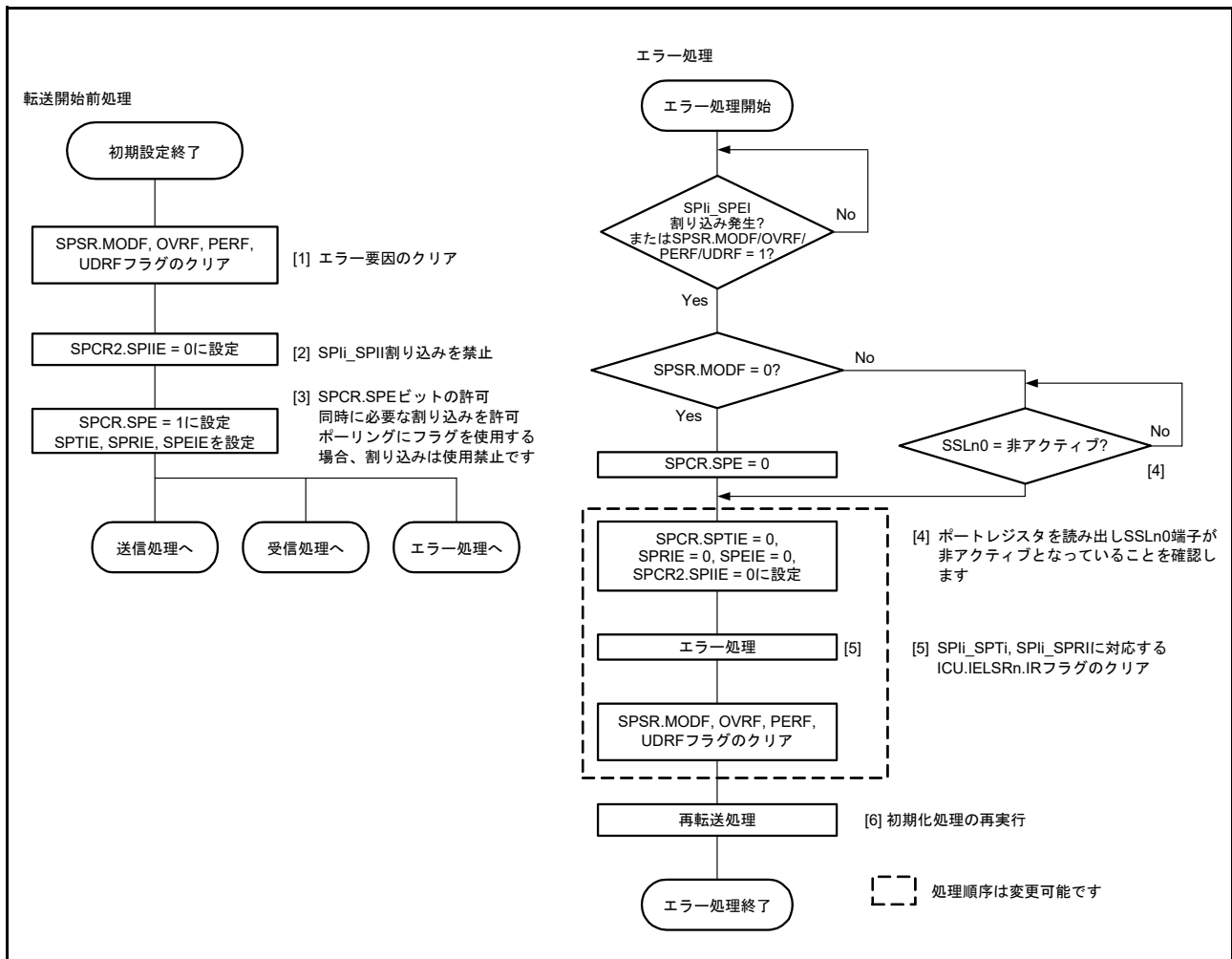


図 31.39 マスタモードでのエラー処理フロー

### 31.3.10.2 スレーブモード動作

#### (1) シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 入力信号のアサートを検出すると、MISO<sub>n</sub> 出力信号への有効データのドライブを実行する必要があります。このため、CPHA ビットが 0 の場合には、SSLn0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、SPI は SSLn0 入力信号のアサート状態で最初の RSPCK<sub>n</sub> エッジを検出すると、MISO<sub>n</sub> 出力信号への有効データのドライブを実行する必要があります。このため、CPHA ビットが 1 の場合には、SSLn0 信号アサート状態における最初の RSPCK<sub>n</sub> エッジがシリアル転送開始のトリガになります。

CPHA ビットの設定にかかわらず、SPI は SSLn0 信号のアサート時に、MISO<sub>n</sub> 出力信号のドライブを実行します。CPHA ビットの設定によって、SPI が出力するデータの有効/無効が異なります。

SSLn0 入力信号の極性は、SSLP.SSLOP ビットの設定値で決まります。SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

#### (2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCK<sub>n</sub> エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ=0) の場合には、シリアル転送の終了後、SPI はシフトレジスタから SPDR/SPDR<sub>HA</sub> レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。シリアル転送開始からシリアル転送終了までの間に SPI が SSLn0 入力信号のネゲートを検出すると、モードフォルトエラーが発生します ([31.3.8 エラー検出](#)を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値で決まります。SSLn0 入力信号の極性は、SSLP.SSLOP ビットの設定値で決まります。SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

#### (3) シングルスレーブ動作時の注意点

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 入力信号のアサートエッジを検出するとシリアル転送を開始します。[図 31.7](#) の例に示したような構成で SPI をシングルスレーブモードで使用する場合は、SSLn0 入力信号がアクティブ状態に固定されます。そのため、CPHA ビットを 0 に設定した SPI では、シリアル転送を正しく開始できません。SSLn0 入力信号がアクティブ状態に固定されているときに、スレーブモードの SPI の送受信を正しく実行するには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合は、SSLn0 入力信号を固定しないでください。

#### (4) バースト転送

SPCMD0.CPHA ビットが 1 であれば、SSLn0 入力信号のアサート状態を保持したままで連続的なシリアル転送 (バースト転送) を実行できます。CPHA ビットが 1 の場合、シリアル転送期間は、SSLn0 入力信号アクティブ状態における最初の RSPCK<sub>n</sub> エッジから、最終ビット受信のためのサンプリングタイミングまでとなります。SSLn0 入力信号がアクティブレベルのままであっても、SPI はアクセスの開始を検出できるため、バースト転送に対応できます。

CPHA ビットが 0 の場合、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

## (5) 初期化フロー

図 31.40 に、SPI をスレーブモードで使用する場合の SPI 動作の初期化フロー例を示します。なお、割り込みコントローラユニット (ICU)、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

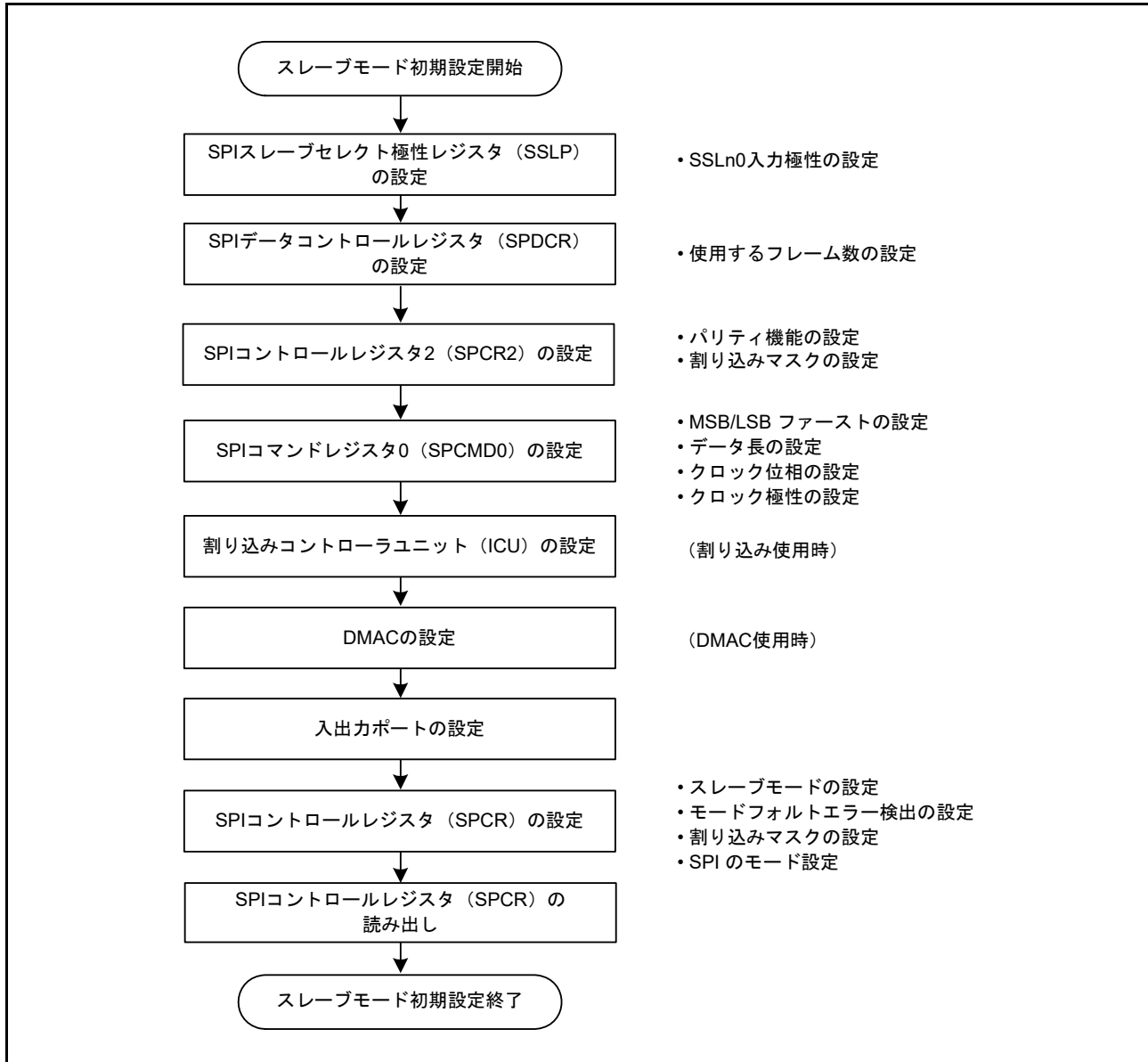


図 31.40 スレーブモード時の SPI 動作の初期化フロー例

## (6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 31.41 ~ 図 31.43 に示します。

## (a) 送信処理フロー

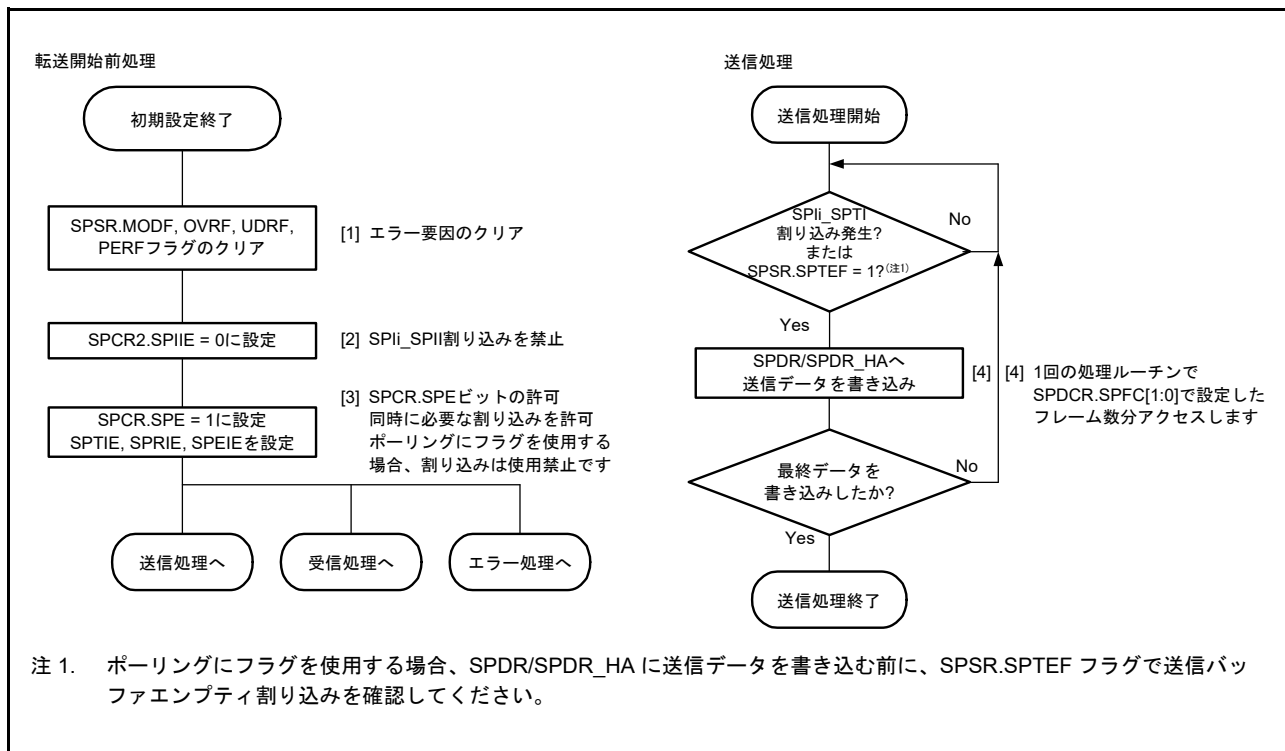


図 31.41 スレーブモードでの送信フロー



(b) 受信処理フロー

SPIは受信のみの動作を行わないため、送信を必要とします。

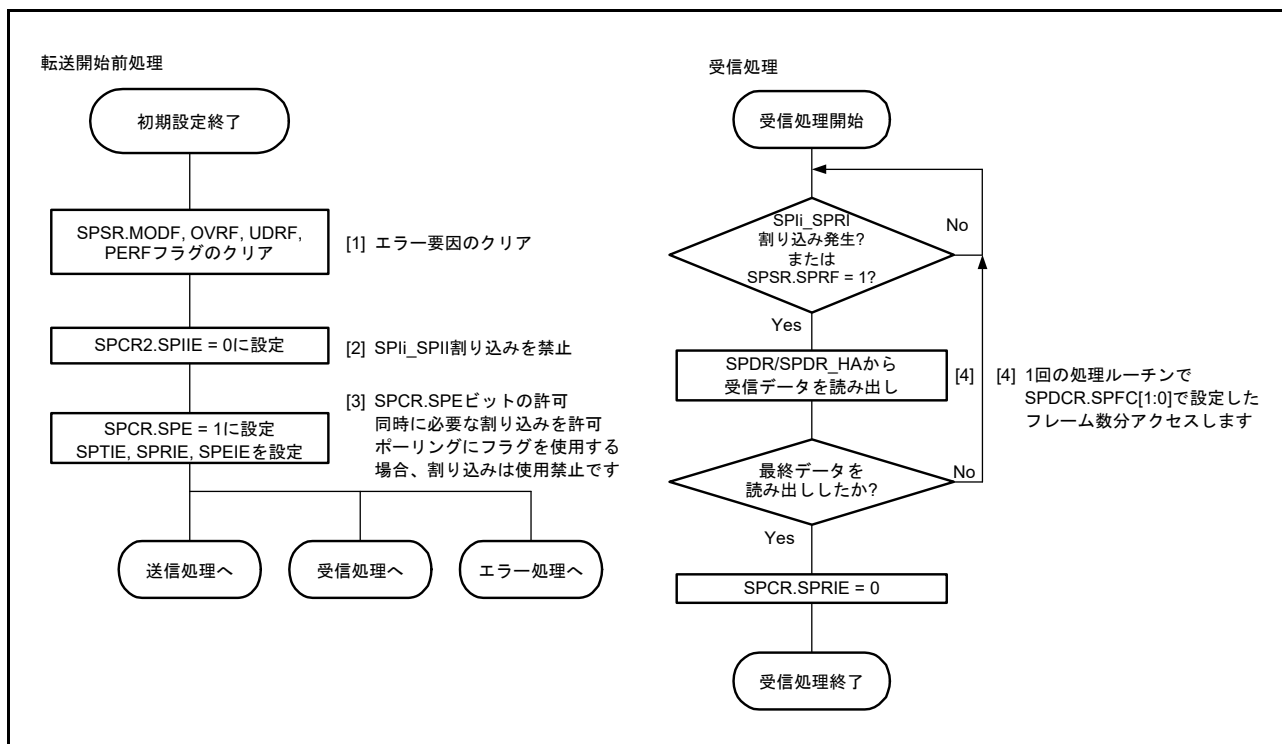


図 31.42 スレーブモードでの受信フロー

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることが可能です。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに SPI<sub>i</sub>\_SPTI または SPI<sub>i</sub>\_SPRI 割り込み要求が保持されている可能性があります。また、SPI<sub>i</sub>\_SPRI 割り込み要求が保持されている場合は、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

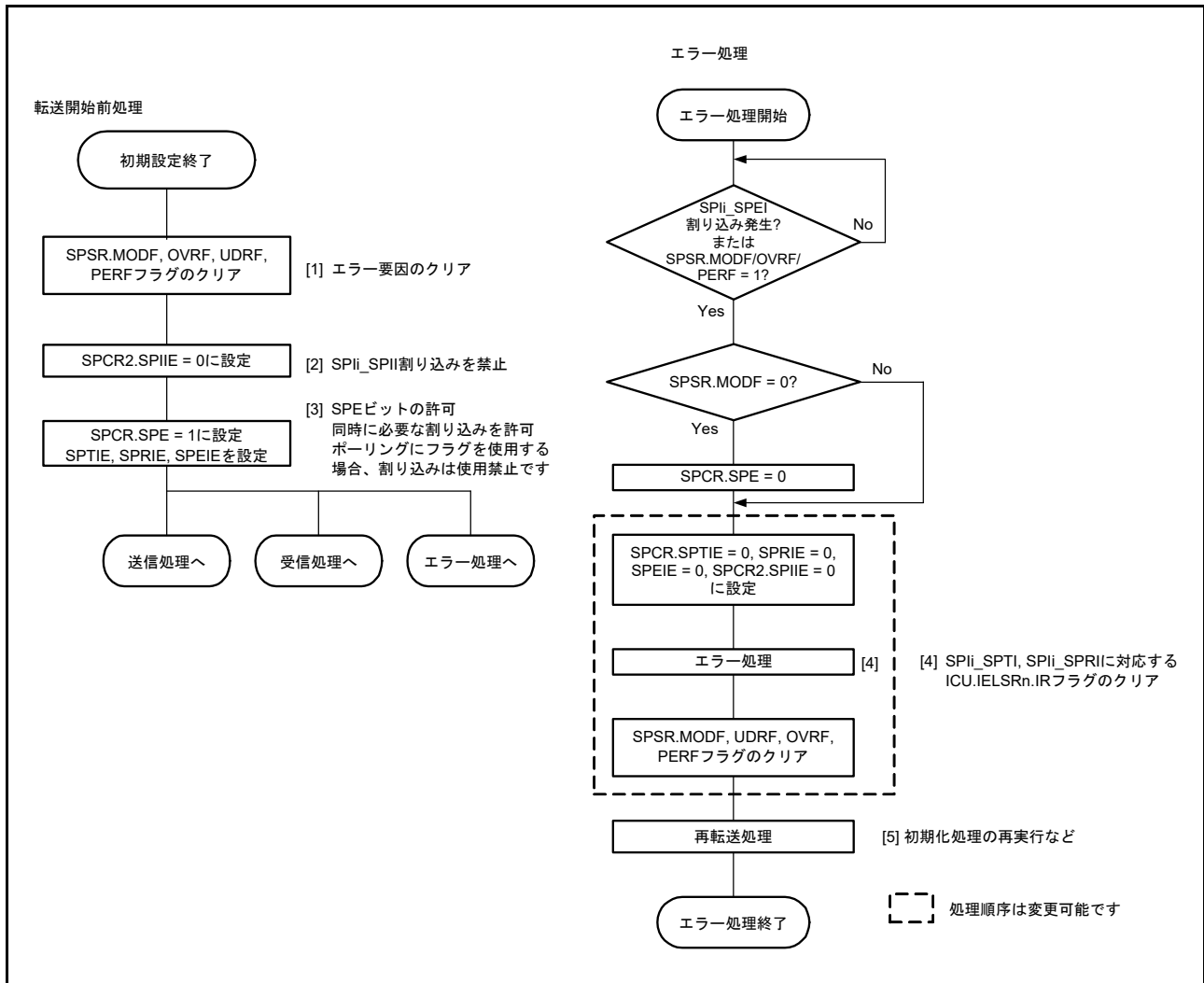


図 31.43 スレーブモードでのエラー処理フロー

### 31.3.11 クロック同期式動作

SPIは、SPCR.SPMSビットが1であるとき、クロック同期式動作となります。クロック同期式動作は、SSLni端子を使用せず、RSPCKn、MOSIn、およびMISON端子を用いて通信を行います。SSLni端子はすべて入出力ポート端子として使用することが可能です。

クロック同期式動作は、SSLni端子を使用せずに通信を行いますが、モジュールの動作はSPI動作と同様です。マスタ動作とスレーブ動作のいずれにおいても、SPI動作時と同様のフローで通信を行うことができます。ただし、SSLni端子を使用しないので、モードフォルトエラーは検出されません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) にSPCMDm.CPHAビットを0にした場合の動作を行わないでください。

#### 31.3.11.1 マスタモード動作

##### (1) シリアル転送の開始

送信バッファが空 (次転送のデータがセットされておらず、SPSR.SPTEFフラグが1) の状態で、SPDR/SPDR\_HAレジスタへデータを書くと、SPIはSPDR/SPDR\_HAレジスタの送信バッファ (SPTX) のデータを更新します。SPDCR.SPFC[1:0]ビットで設定したフレーム数分のデータを、SPDR/SPDR\_HAレジスタへ書き込んだ後、シフトレジスタが空の場合は、SPIは送信バッファのデータをシフトレジスタにコピーしてシリアル送信を開始します。SPIは、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

クロック同期式動作時は、SSLn0出力信号を用いずに転送を行います。SPIの転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

##### (2) シリアル転送の終了

SPIはサンプリングタイミングに対応するRSPCKnエッジを送出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRFフラグ = 0) の場合には、シリアル転送終了後にSPIはシフトレジスタからSPIデータレジスタ (SPDR/SPDR\_HA) の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値で決まります。クロック同期式動作時は、SSLn0出力信号を用いずに転送を行います。SPIの転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

##### (3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCRレジスタ、SPCMDmレジスタ、SPBRレジスタ、SPCKDレジスタ、SSLNDレジスタ、およびSPNDレジスタによって決定されます。クロック同期式動作時は、SSLni信号の出力を行いませんが、これらの設定は有効です。

SPSCRレジスタは、マスタモードのSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDmレジスタでは、以下の項目を指定します。

- SSLni端子の出力信号値
- MSB/LSBファースト
- データ長
- ビットレート設定の一部
- RSPCKn極性/位相
- SPCKDレジスタの参照要否
- SSLNDレジスタの参照要否
- SPNDレジスタの参照要否

SPIは、SPSCRレジスタに設定されたシーケンス長に従って、SPCMDmレジスタの一部/全部からなるシーケンスを構成します。SPIには、シーケンスを構成しているSPCMDmレジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0]ビットの読み出しによって確認できます。SPCR.SPE

ビットを1にしてSPI機能を有効にすると、SPIはコマンドに対するポインタをSPCMD0レジスタにセットし、シリアル転送の開始時にSPCMD0レジスタの設定内容を転送フォーマットに反映します。SPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、SPIはポインタをSPCMD0レジスタにセットするので、シーケンスが繰り返し実行されます。

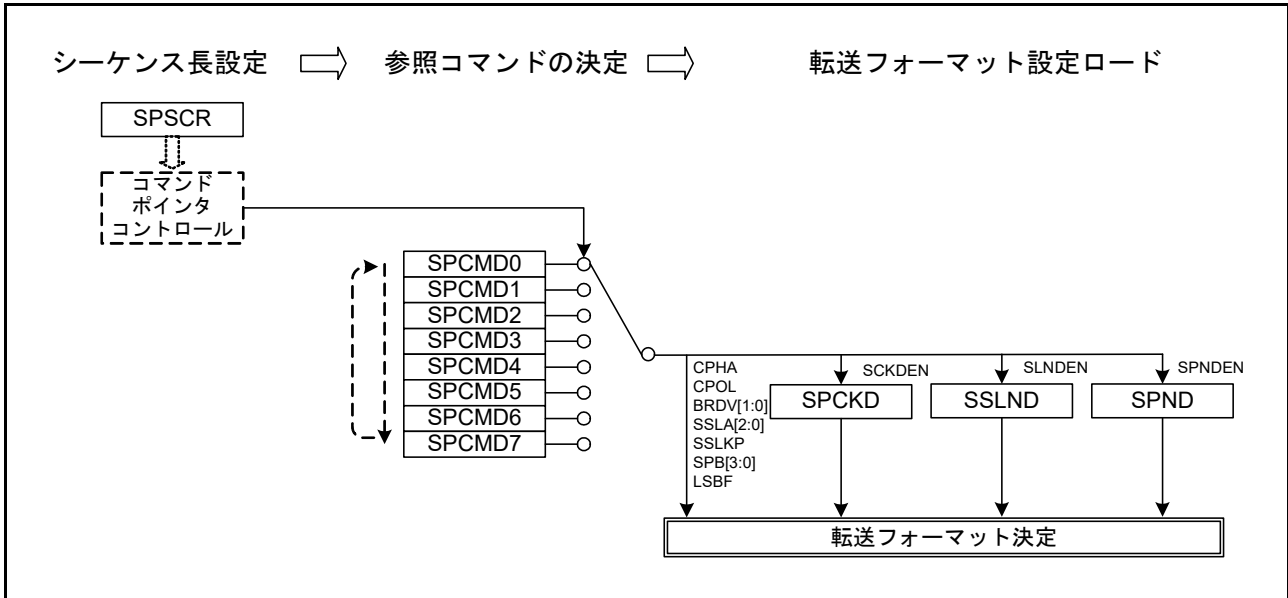


図 31.44 マスタモードでのシリアル転送方式の決定方法

ここでは、データ (SPDR/SPDR\_HA) と設定 (SPCMDm) の2つを合わせてフレームとします。

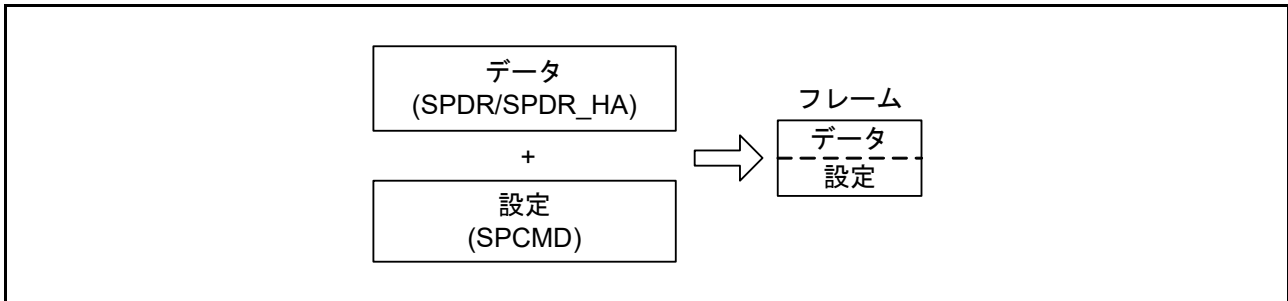


図 31.45 フレームの概念図

表 31.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ/受信バッファの対応関係を図 31.46 に示します。

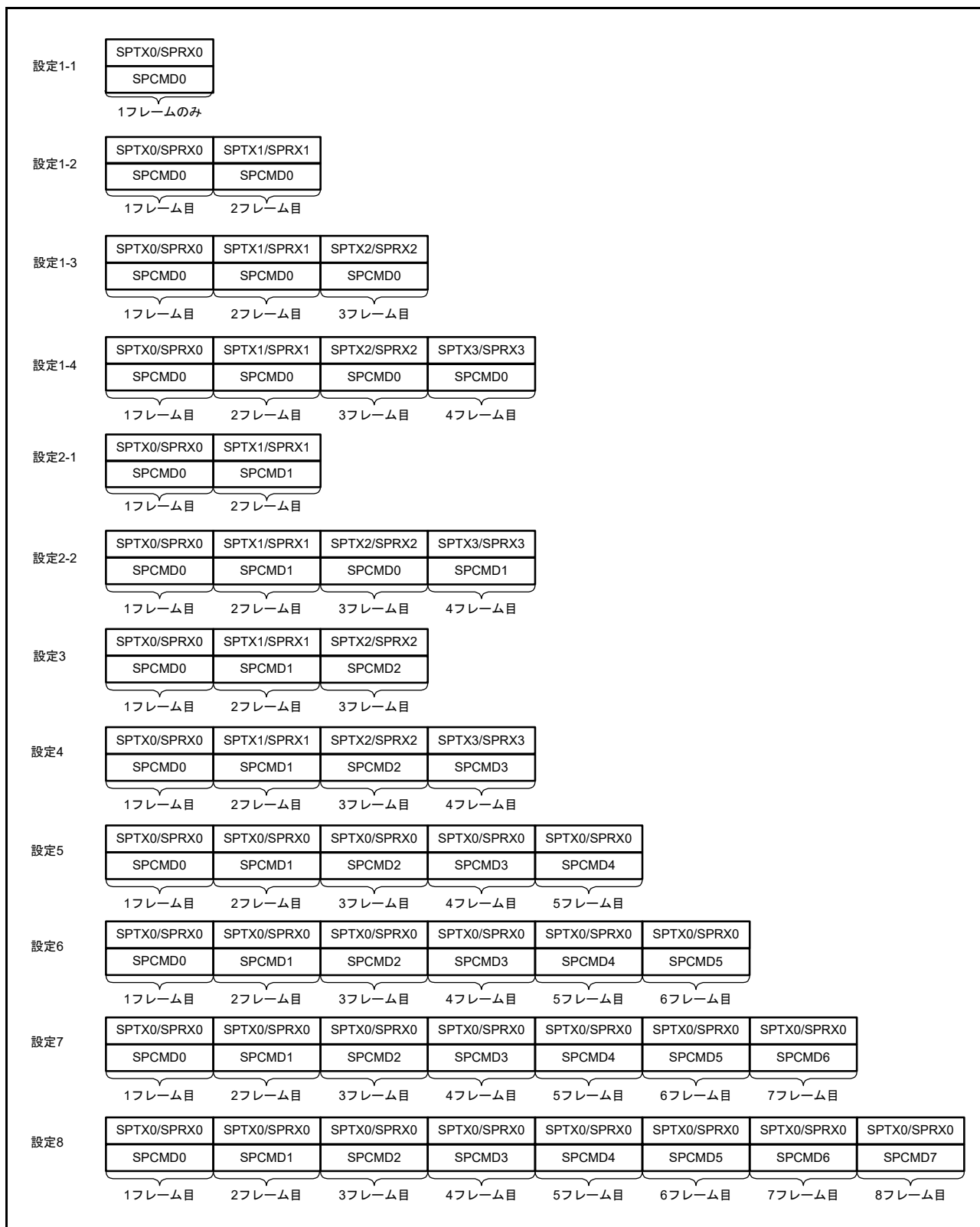


図 31.46 シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

## (4) 初期化フロー

図 31.47 に、SPI をマスタモードで使用する場合のクロック同期式動作の初期化フローの例を示します。なお、割り込みコントローラユニット (ICU)、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

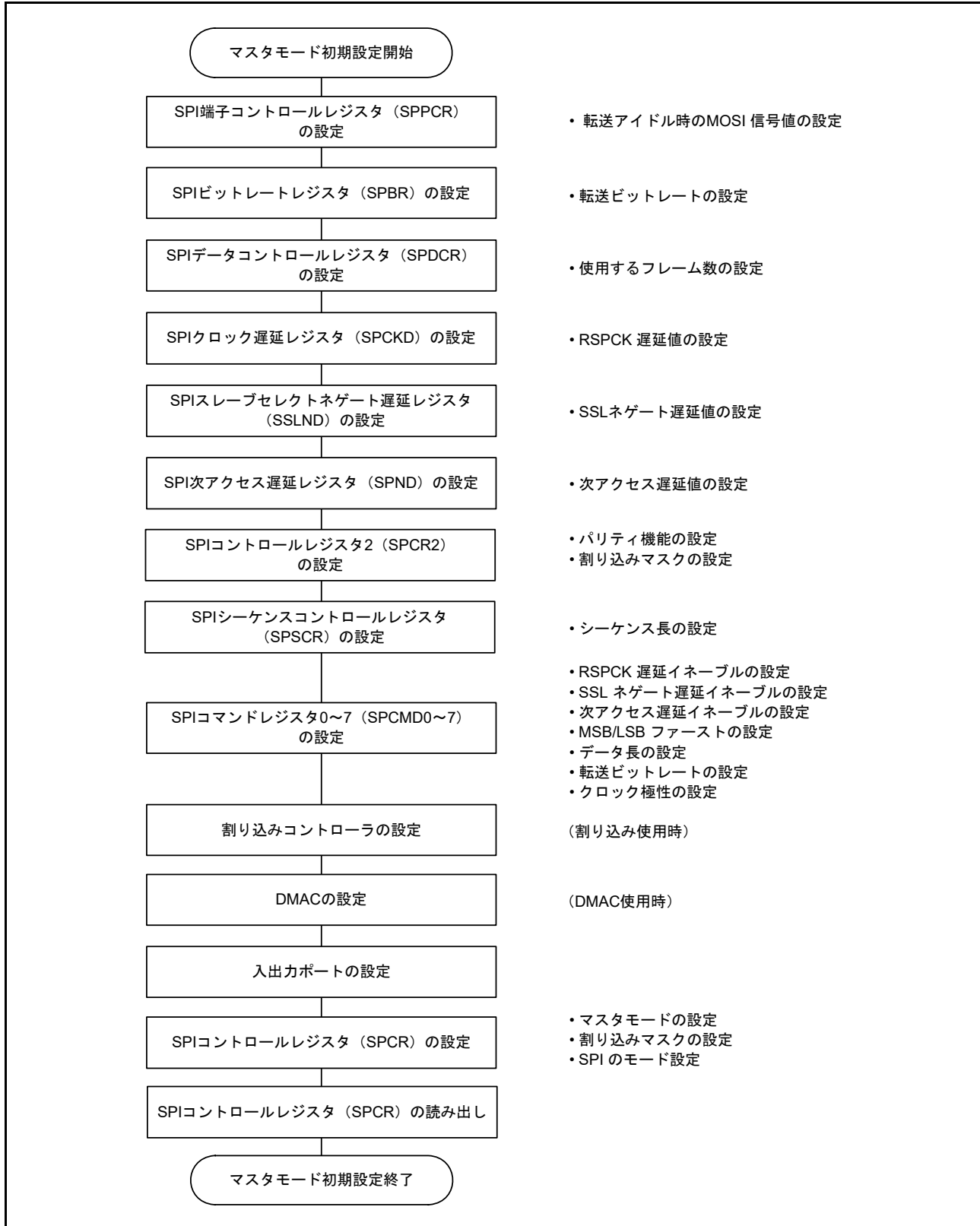


図 31.47 マスタモード時のクロック同期式動作の初期化フロー例

## (5) ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、[31.3.10.1 マスタモード動作の\(9\) ソフトウェア処理フロー](#)を参照してください。クロック同期式動作では、モードフォルトエラーは発生しません。

### 31.3.11.2 スレーブモード動作

#### (1) シリアル転送の開始

SPCR.SPMS ビットが1であるとき、最初の RSPCK<sub>n</sub> エッジが SPI のシリアル転送開始のトリガになり、SPI は MISO<sub>n</sub> 出力信号をドライブします。クロック同期式動作時は SSL0 入力信号を使用しません。SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

#### (2) シリアル転送の終了

SPI は最終サンプリングタイミングに対応する RSPCK<sub>n</sub> エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ=0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR\_HA レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値で決まります。SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

## (3) 初期化フロー

図 31.48 に、SPI をスレーブモードで使用する場合のクロック同期式動作の初期化フロー例を示します。なお、割り込みコントローラユニット (ICU)、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

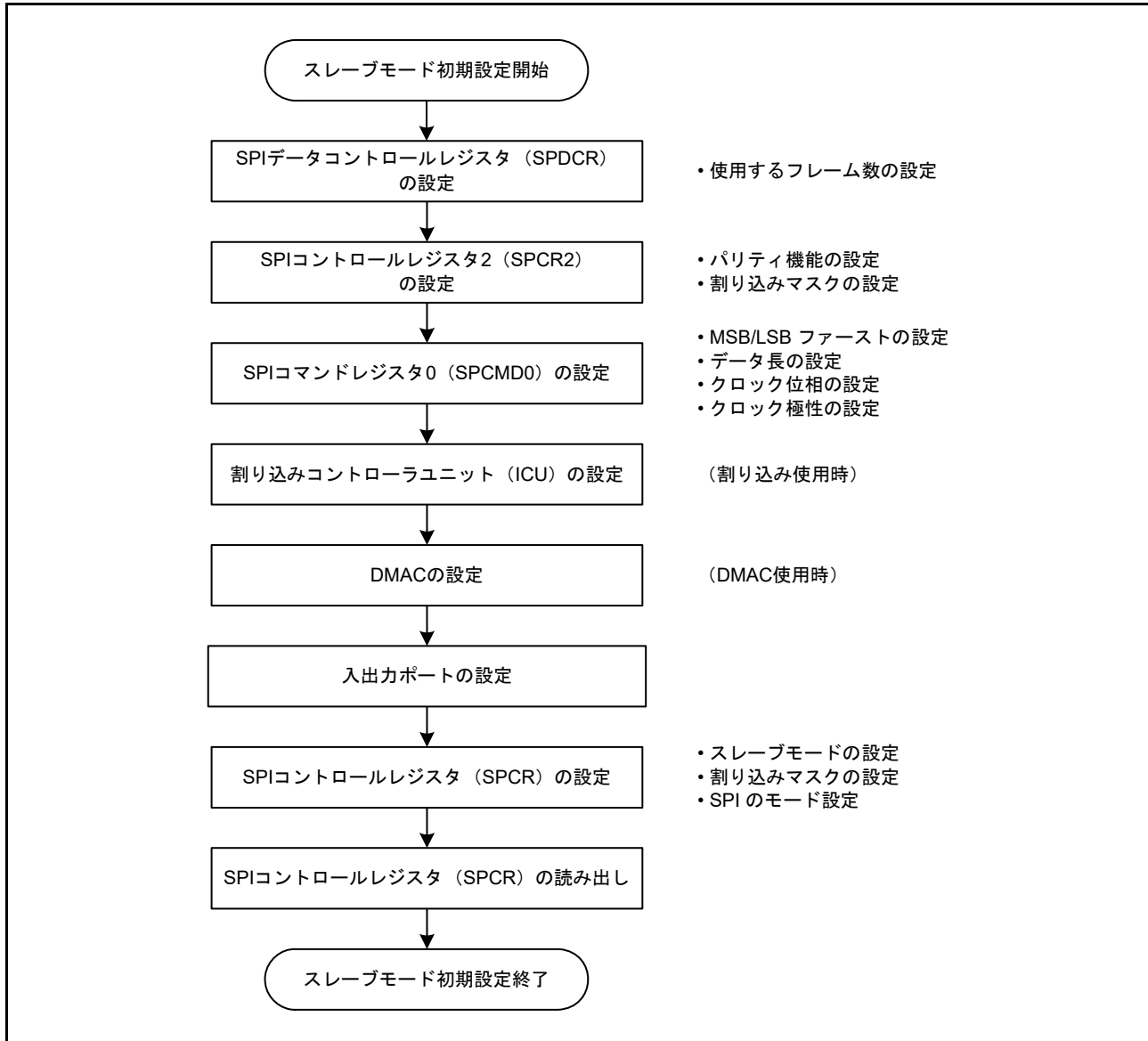


図 31.48 スレーブモード時のクロック同期式動作の初期化フロー例

## (4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、[31.3.10.2 スレーブモード動作の \(6\) ソフトウェア処理フロー](#)を参照してください。

注. クロック同期式モードでは、モードフォルトエラーは発生しません。



### 31.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPPCR.SPLP ビットに 1 を書き込むと、SPI は、SPCR.MSTR ビットが 1 であれば、MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI<sub>n</sub> 端子とシフトレジスタ間の経路を遮断して、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが 1 であれば、SPI は MOSI<sub>n</sub> 端子とシフトレジスタ間の経路を遮断せず、SPCR.MSTR ビットが 0 であれば、MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、SPI の送信データまたは送信データの反転が SPI の受信データになります。

表 31.12 に、SPLP2 ビット、SPLP ビット、および受信データの関係を示します。また、図 31.49 に、マスターモードの SPI をループバックモード (SPPCR.SPLP2 = 1、SPPCR.SPLP = 0 または 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 31.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSI <sub>n</sub> 端子または MISO <sub>n</sub> 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

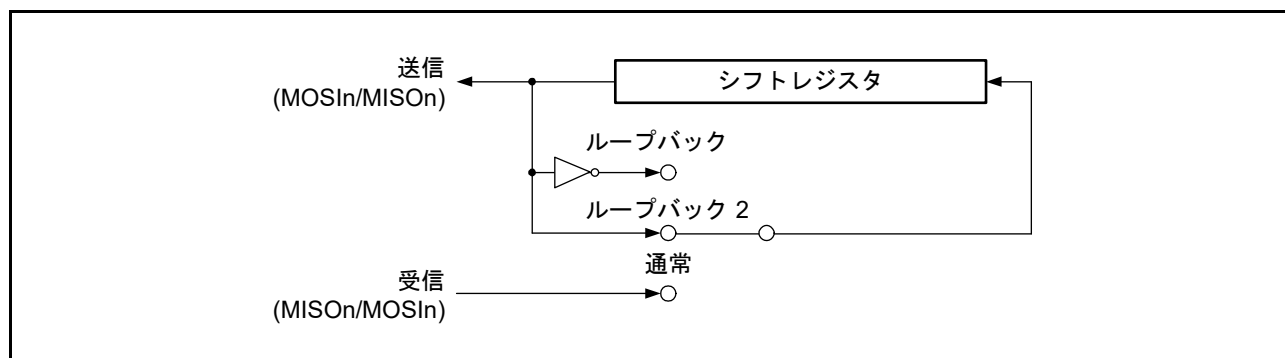


図 31.49 ループバックモード時のシフトレジスタ入出力経路の構成 (マスターモード)

### 31.3.13 パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するため、[図 31.50](#) に示すフローに従って、パリティ回路の自己診断が実行されます。

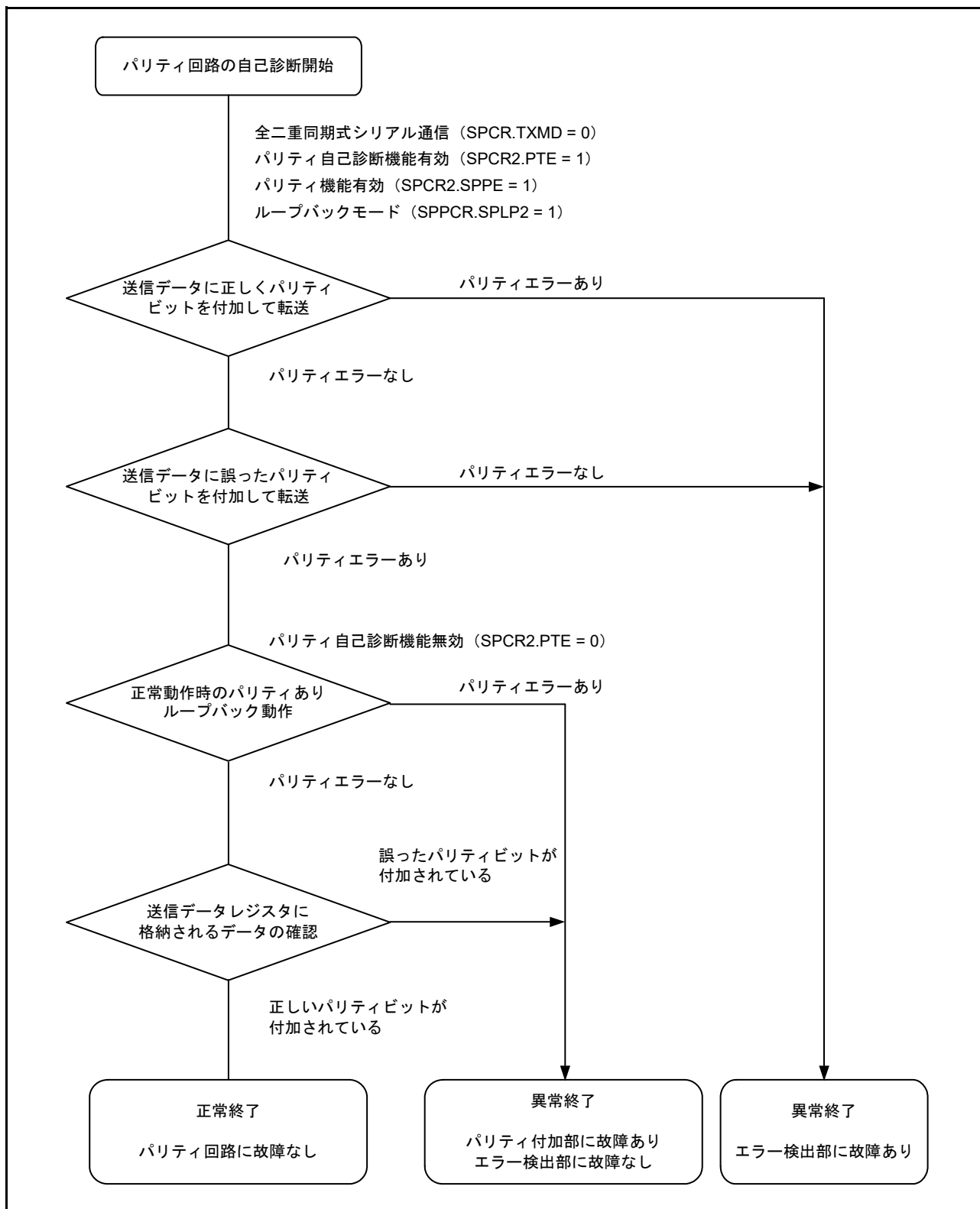


図 31.50 パリティ回路の自己診断フロー

### 31.3.14 割り込み要因

SPIには以下の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ
- SPIエラー（モードフォルト、アンダーラン、オーバーラン、パリティエラー）
- SPIアイドル
- 送信終了

受信バッファフルまたは送信バッファエンプティ割り込みによってDTCまたはDMACを起動し、データ転送を行うことが可能です。

SPI<sub>i</sub>\_SPEI（SPIエラー割り込み）のベクタアドレスが、モードフォルト、アンダーラン、オーバーラン、パリティエラー時の割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 31.13 に SPI の割り込み要因を示します。表 31.13 のいずれかの割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DTCまたはDMACを使用して送受信を行う場合、最初にDTCまたはDMACを転送許可状態に設定してからSPIの設定を行ってください。DTCまたはDMACの設定については、それぞれ「16. DMAコントローラ (DMAC)」と「17. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSR<sub>n</sub>.IR フラグが1の状態、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じて、ICUに対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1要因ごとに1要求までです）。ICU.IELSR<sub>n</sub>.IR フラグが0にクリアされると、ICUに対して保持されていた割り込み要求を出力します。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット（SPCR.SPTIE ビットまたはSPCR.SPRIE ビット）を0にすることでクリアできます。

表 31.13 SPIの割り込み要因

割り込み要因	シンボル	割り込み条件	DMAC/DTC起動
受信バッファフル	SPI <sub>i</sub> _SPRI	SPCR.SPRIE ビットが1の状態、受信バッファフル (SPSR.SPRF フラグ = 1) になったとき	可能
送信バッファエンプティ	SPI <sub>i</sub> _SPTI	SPCR.SPTIE ビットが1の状態、送信バッファエンプティ (SPSR.SPTEF フラグ = 1) になったとき	可能
SPIエラー（モードフォルト、アンダーラン、オーバーラン、パリティエラー）	SPI <sub>i</sub> _SPEI	SPCR.SPEIE ビットが1の状態、SPSR.MODF、OVRF、PERF、またはUDRF フラグが1になったとき	不可能
SPIアイドル	SPI <sub>i</sub> _SPII	SPCR2.SPIIE ビットが1の状態、SPSR.IDLNF フラグが0にクリアされたとき	不可能
送信終了	SPI <sub>i</sub> _SPTEND	マスターモードのときは、IDLNF フラグ（SPIアイドルフラグ）が1から0になる条件で割り込みが発生します。スレーブモードのときは、表 31.15 に示す条件で割り込みが発生します。	不可能

### 31.4 イベントリンクコントローラ (ELC) への出力

ELC は、下記のイベント出力信号を生成することが可能です。

- 受信バッファフルイベント出力
- 送信バッファエンプティイベント出力
- モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

#### 31.4.1 受信バッファフルイベント出力

このイベント信号は、シリアル転送の終了時に、受信したデータがシフトレジスタから SPDR/SPDR\_HA レジスタへ転送されたときに出力されます。

#### 31.4.2 送信バッファエンプティイベント出力

このイベント信号は、送信用のデータが送信バッファからシフトレジスタへ転送されたとき、および SPE ビットの値が 0 から 1 に変化したときに出力されます。

#### 31.4.3 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力

このイベント信号は、モードフォルト、アンダーラン、オーバーラン、またはパリティエラーが検出されたときに出力されます。このイベント信号を使用する場合は、[31.5.4 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に関する制限](#)を参照してください。

##### (1) モードフォルト

表 31.14 にモードフォルトイベントの発生条件を示します。

表 31.14 モードフォルトの発生条件

SPIモード	SPCR.MODFEN ビット	SSLn0 端子	備考
SPI動作 (SPMS = 0) スレーブ (SPCR.MSTR ビット = 0)	1	非アクティブ	通信動作中に SSLn0 端子が非アクティブになった場合のみイベント出力

##### (2) アンダーラン

アンダーランイベント信号は、送信データが準備されておらず、SPCR.MSTR ビットが 0 かつ SPCR.SPE ビットが 1 の状態でシリアル転送が開始されたときに出力されます。この場合、MODF フラグと UDRF フラグが 1 になります。

##### (3) オーバーラン

オーバーランイベント信号は、受信バッファに未読データがあり、かつ SPCR.TXMD ビットが 0 の状態でシリアル転送が終了したときに出力されます。この場合、OVRF フラグは 1 になります。

##### (4) パリティエラー

パリティエラーイベント信号は、SPCR.TXMD ビットが 0 かつ SPCR2.SPPE ビットが 1 の状態でシリアル転送が終了したとき、パリティエラーの検出時に出力されます。

### 31.4.4 SPI アイドルイベント出力

#### (1) マスタモード時

マスタモードの場合、IDLNF フラグ (SPI アイドルフラグ) が 0 になる条件が成立すると、イベントが出力されます。

#### (2) スレーブモード時

スレーブモードの場合、SPCR.SPE ビットが 0 (SPI 初期化) のとき、イベントが出力されます。

### 31.4.5 送信完了イベント出力

SPI 動作とクロック同期式動作ともに、マスタモード時に IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 に変化すると、イベントが出力されます。表 31.15 に、スレーブモード時の送信完了イベントの発生条件を示します。

表 31.15 送信完了イベントの発生条件 (スレーブモード時)

SPIモード	送信バッファ状態	シフトレジスタ状態	その他
SPI動作 (SPMS = 0)	エンプティ	エンプティ	SSLn0 入力ネゲート
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終 RSPCKn のエッジ検出

動作がマスタモードまたはスレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

## 31.5 使用上の注意事項

### 31.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、SPI の動作を禁止または許可することが可能です。リセット後の初期状態では、SPI の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

### 31.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、およびスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

### 31.5.3 転送の開始に関する制限

ICU.IELSRn.IR フラグが 1 で転送を開始すると、割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない挙動となる可能性があります。

これを避けるには、動作を許可する (SPCR.SPE ビットを 1 にする) 前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること (SPCR.SPE ビットが 0 であること) を確認する。
2. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を 0 にする。
3. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出して、その値が 0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

### 31.5.4 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に関する制限

SPI がマルチマスタモード (SPCR.SPMS ビット = 0、SPCR.MSTR ビット = 1、SPCR.MODFEN ビット = 1) の場合は、モードフォルト、アンダーラン、オーバーラン、およびパリティエラーイベントを使用することはできません。

### 31.5.5 SPRF および SPTEF フラグに関する制限

ポーリング用のフラグ (SPRF および SPTEF) を使用している場合、割り込みを使用することはできません。SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください。割り込みまたはフラグのどちらか一方のみ使用可能です。

## 32. 巡回冗長検査 (CRC) 演算器

### 32.1 概要

巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることができます。さらに、アプリケーションに合わせて、いくつかの CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対する読み出しと書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。

表 32.1 に CRC 演算器の仕様を、図 32.1 にブロック図を示します。

表 32.1 CRC 演算器の仕様

項目	8ビットデータ用の仕様	32ビットデータ用の仕様
データサイズ	8ビット	32ビット
CRC 演算対象データ (注1)	8nビット単位のデータに対しCRCコードを生成 (n = 自然数)	32nビット単位のデータに対しCRCコードを生成 (n = 自然数)
CRC 演算処理方式	8ビット並列実行	32ビット並列実行
CRC 生成多項式	3つの生成多項式から1つ選択可能 [8ビットCRC] <ul style="list-style-type: none"> <li><math>X^8 + X^2 + X + 1</math> (CRC-8)</li> </ul> [16ビットCRC] <ul style="list-style-type: none"> <li><math>X^{16} + X^{15} + X^2 + 1</math> (CRC-16)</li> <li><math>X^{16} + X^{12} + X^5 + 1</math> (CRC-CCITT)</li> </ul>	2つの生成多項式から1つ選択可能 [32ビットCRC] <ul style="list-style-type: none"> <li><math>X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1</math> (CRC-32)</li> <li><math>X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1</math> (CRC-32C)</li> </ul>
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダの切り替えが可能	
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能	
CRC スヌープ	特定のレジスタアドレスに対する読み出しと書き込みのモニタ	—

注 1. 回路は、CRC 演算で使用するデータを分割できません。8 または 32 ビット単位で書いてください。

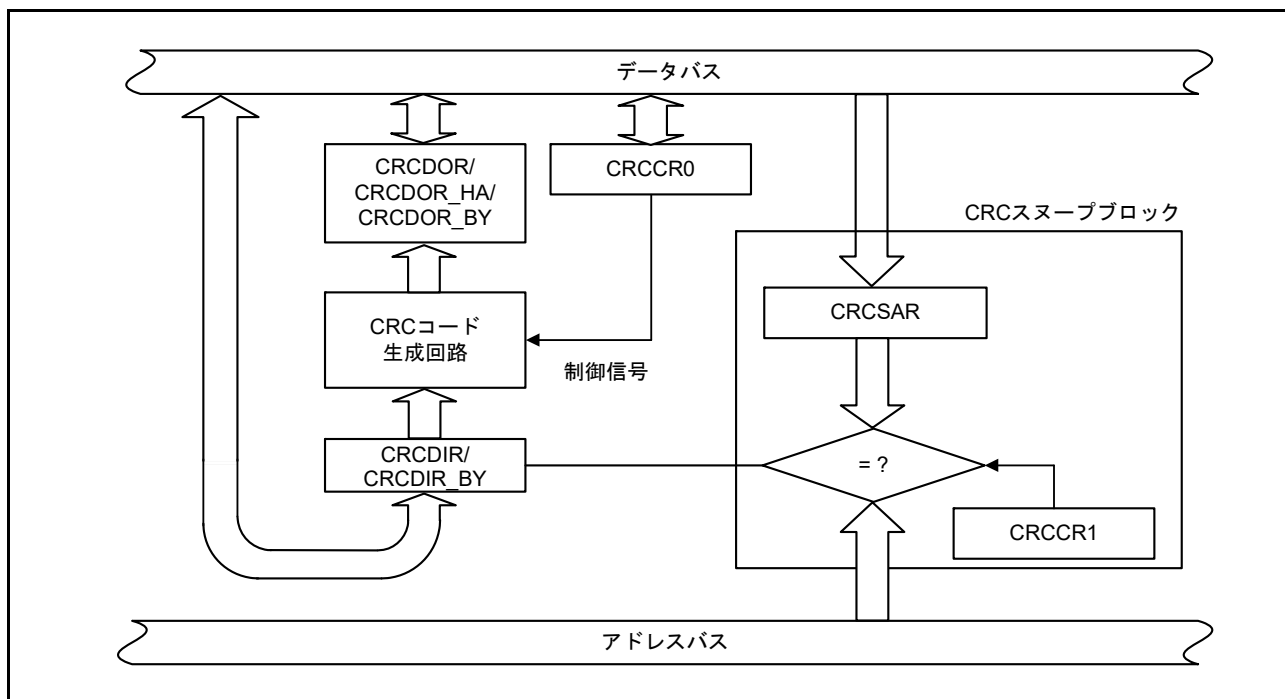


図 32.1 CRC 演算器のブロック図

## 32.2 レジスタの説明

### 32.2.1 CRC コントロールレジスタ 0 (CRCCR0)

アドレス `CRC.CRCCR0 4007 4000h`

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	LMS	—	—	—	GPS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	GPS[2:0]	CRC 生成多項式切り替え	b2 b0 0 0 0: 演算しない 0 0 1: 8ビットCRC-8 ( $X^8 + X^2 + X + 1$ ) 0 1 0: 16ビットCRC-16 ( $X^{16} + X^{15} + X^2 + 1$ ) 0 1 1: 16ビットCRC-CCITT ( $X^{16} + X^{12} + X^5 + 1$ ) 1 0 0: 32ビットCRC-32 ( $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ ) 1 0 1: 32ビットCRC-32C ( $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ ) その他: 演算しない	R/W
b5-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	LMS	CRC 演算切り替え	0: LSB ファースト通信用にCRCを生成 1: MSB ファースト通信用にCRCを生成	R/W
b7	DORCLR	CRCDOR/CRCDOR_HA/ CRCDOR_BYレジスタクリア	1: CRCDOR/CRCDOR_HA/CRCDOR_BYレジスタをクリア 読むと0が読めます。	W (注1)

注1. このレジスタに書き込みを行うときは、本ビットを必ず1にしてください。

#### GPS[2:0] ビット (CRC 生成多項式切り替え)

CRC 生成多項式を選択します。

#### LMS ビット (CRC 演算切り替え)

生成したCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイトから先に、MSBファーストで通信を行う場合はCRCコードの上位バイトから先に送信してください。CRCコードの送信および受信については、[32.3 動作説明](#)を参照してください。

#### DORCLR ビット (CRCDOR/CRCDOR\_HA/CRCDOR\_BY)

DORCLRビットを1にすると、CRCDOR/CRCDOR\_HA/CRCDOR\_BYレジスタが0000\_0000hになります。読むと0が読めます。1のみ書けます。



### 32.2.2 CRC コントロールレジスタ 1 (CRCCR1)

アドレス [CRC.CRCCR1 4007 4001h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	CRCSE N	CRCS WR	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CRCSWR	スヌープオンライト/リード切り替え	0: スヌープオンリード 1: スヌープオンライト	R/W
b7	CRCSEN	スヌープ許可	0: 禁止 1: 許可	R/W

#### CRCSWR ビット (スヌープオンライト/リード切り替え)

アドレスモニタ機能でのアクセス方向を選択します。

本ビットを0 (初期値) にすると、特定のレジスタアドレスの読み出しに対してCRC スヌープ動作が有効になります。本ビットを1 にすると、特定のレジスタアドレスの書き込みに対してCRC スヌープ動作が有効になります。

#### CRCSEN ビット (スヌープ許可)

CRCSEN ビットを1 にすると、CRC スヌープ動作が有効になります。本ビットを0 にすると、CRC スヌープ動作が無効になります。

### 32.2.3 CRC データ入力レジスタ (CRCDIR/CRCDIR\_BY)

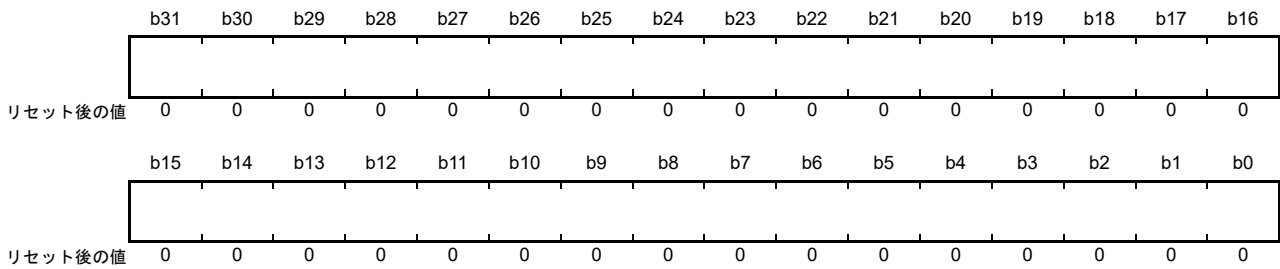
アドレス [CRC.CRCDIR/CRCDIR\\_BY 4007 4004h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込む 32 ビットの読み出し/書き込みレジスタです。CRCDIR\_BY レジスタは、CRC-8、CRC-16、または CRC-CCITT 演算用データを書き込む 8 ビットの読み出し/書き込みレジスタです。

### 32.2.4 CRC データ出力レジスタ (CRCDOR/CRCDOR\_HA/CRCDOR\_BY)

アドレス CRC.CRCDOR/CRCDOR\_HA/CRCDOR\_BY 4007 4008h



CRCDOR レジスタは、CRC-32 または CRC-32C 用の 32 ビットの読み出し/書き込みレジスタです。CRCDOR\_HA レジスタは、CRC-16 または CRC-CCITT 用の 16 ビットの読み出し/書き込みレジスタです。CRCDOR\_BY レジスタは、CRC-8 用の 8 ビットの読み出し/書き込みレジスタです。初期値は 0000\_0000h であるため、初期値以外の値を用いて演算する場合は、CRCDOR/CRCDOR\_HA/CRCDOR\_BY レジスタを書き換えてください。

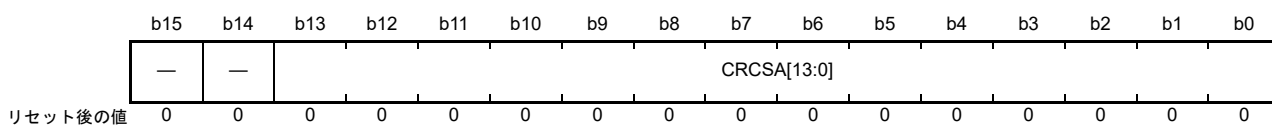
CRCDIR/CRCDIR\_BY レジスタに書き込まれたデータに対して CRC 演算が実行され、結果が CRCDOR/CRCDOR\_HA/CRCDOR\_BY レジスタに格納されます。転送データに続いて CRC コードを計算し、その結果が 0000\_0000h であると、CRC エラーなしと判断できます。

8 ビット CRC ( $X^8 + X^2 + X + 1$  の多項式) を使用した場合、CRCDOR\_BY レジスタに有効な CRC コードが得られます。

16 ビット CRC ( $X^{16} + X^{15} + X^2 + 1$ 、または  $X^{16} + X^{12} + X^5 + 1$  の多項式) を使用した場合、CRCDOR\_HA レジスタに有効な CRC コードが得られます。

### 32.2.5 スヌープアドレスレジスタ（CRCSAR）

アドレス **CRC.CRCSAR 4007 400Ch**



ビット	シンボル	ビット名	機能	R/W
b13-b0	<b>CRCSA[13:0]</b>	レジスタスヌープアドレス	スヌープ対象となる、SCIモジュールのTDRまたはRDRアドレスを格納します。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### **CRCSA[13:0] ビット（レジスタスヌープアドレス）**

CRCSA[13:0] ビットは、CRC スヌープ動作でモニタされるレジスタアドレスの下位 14 ビットを指定します。

CRCSA[13:0] ビットで使用できるのは、以下のアドレスのみです。

- 4007 0003h: SCI0.TDR, 4007 0005h: SCI0.RDR
- 4007 0023h: SCI1.TDR, 4007 0025h: SCI1.RDR
- 4007 0043h: SCI2.TDR, 4007 0045h: SCI2.RDR
- 4007 0063h: SCI3.TDR, 4007 0065h: SCI3.RDR
- 4007 0083h: SCI4.TDR, 4007 0085h: SCI4.RDR
- 4007 0103h: SCI8.TDR, 4007 0105h: SCI8.RDR
- 4007 0123h: SCI9.TDR, 4007 0125h: SCI9.RDR
- 4007 000Fh: SCI0.FTDRL, 4007 0011h: SCI0.FRDL
- 4007 002Fh: SCI1.FTDRL, 4007 0031h: SCI1.FRDL
- 4007 004Fh: SCI2.FTDRL, 4007 0051h: SCI2.FRDL
- 4007 006Fh: SCI3.FTDRL, 4007 0071h: SCI3.FRDL
- 4007 008Fh: SCI4.FTDRL, 4007 0091h: SCI4.FRDL
- 4007 010Fh: SCI8.FTDRL, 4007 0111h: SCI8.FRDL
- 4007 012Fh: SCI9.FTDRL, 4007 0131h: SCI9.FRDL

## 32.3 動作説明

### 32.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送用の CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ( $X^{16} + X^{12} + X^5 + 1$ ) を使用して、入力データ (F0h) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR\_HA) の値をクリアします。

8 ビット CRC ( $X^8 + X^2 + X + 1$  の多項式) を使用している場合は、CRCDOR\_BY レジスタに有効な CRC コードのビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードのビットが得られます。

図 32.2 と図 32.3 に LSB ファーストと MSB ファーストのデータ送信例を、図 32.4 と図 32.5 に LSB ファーストと MSB ファーストのデータ受信例をそれぞれ示します。

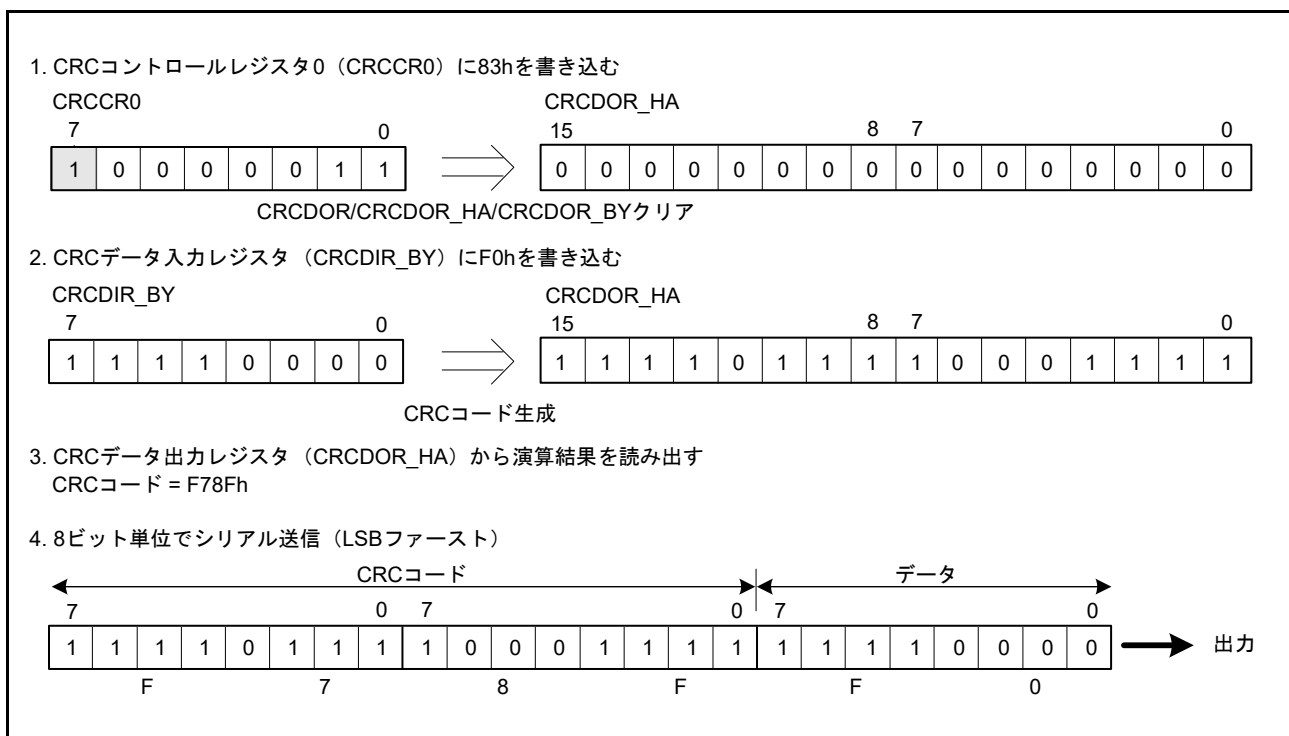


図 32.2 LSB ファーストのデータ送信

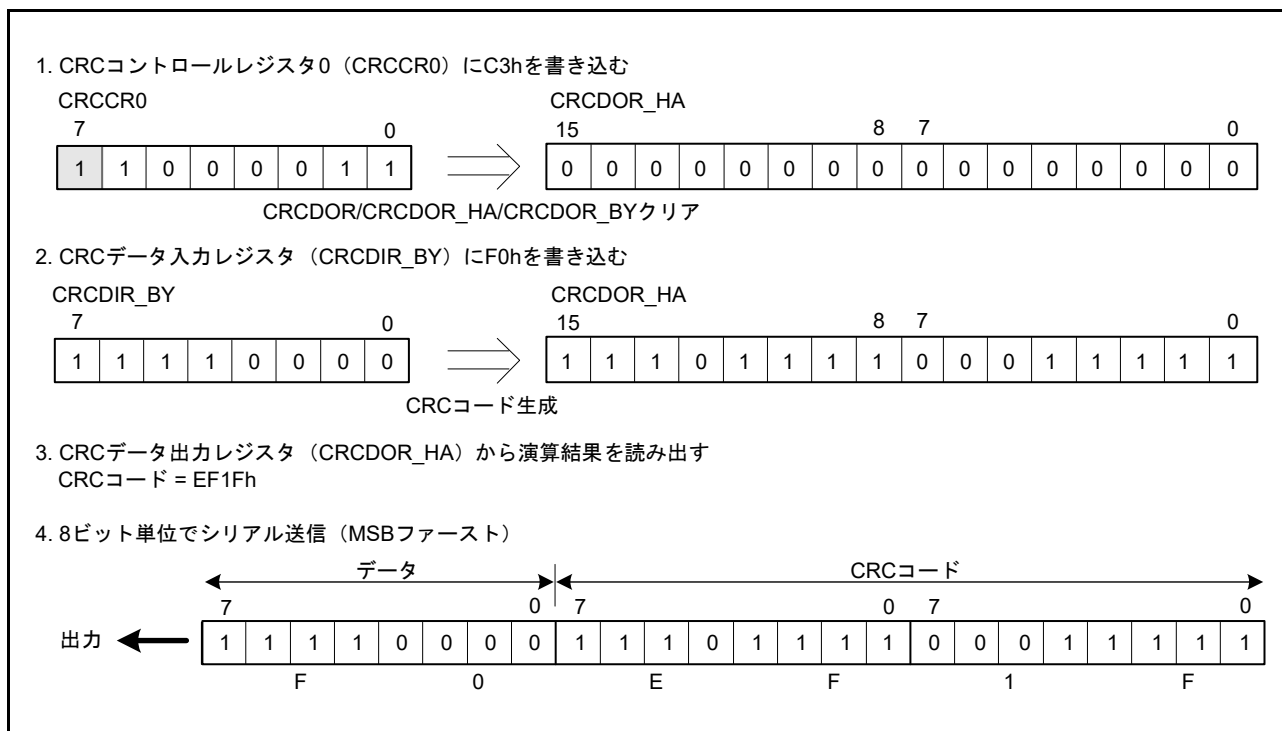


図 32.3 MSB ファーストのデータ送信



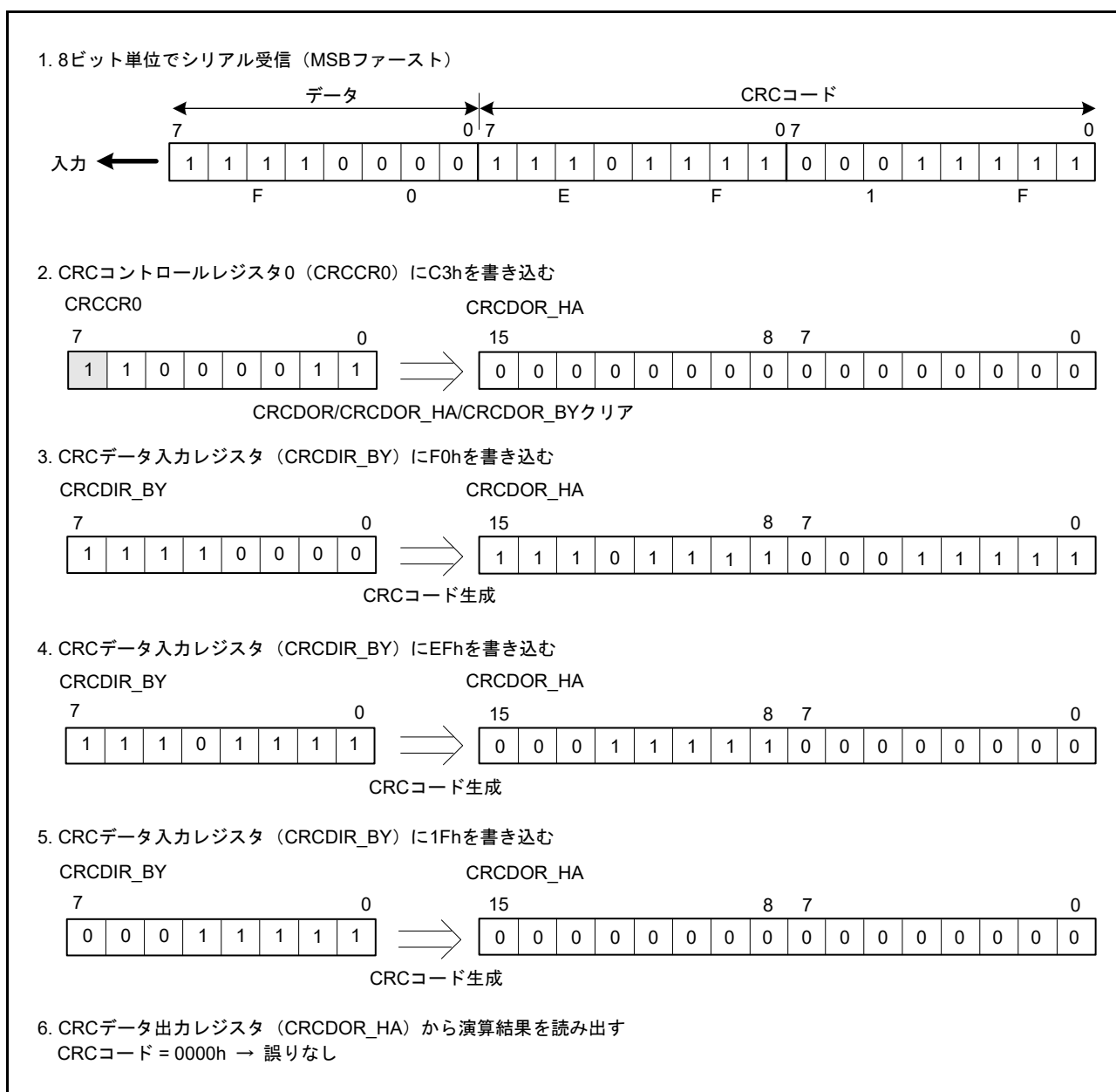


図 32.5 MSB ファーストのデータ受信

### 32.3.2 CRC スヌープ

CRC スヌープ機能は、特定のレジスタアドレスに対する読み出しと書き込みを監視し、そのレジスタアドレスで読み出しおよび書き込みを行ったデータを用いて自動的にCRC演算を実行します。CRC スヌープは、特定のレジスタアドレスに対する読み出しと書き込みを、CRC演算を自動実行するためのトリガとして認識するため、CRC<sub>DIR\_BY</sub>レジスタにデータを書き込む必要がありません。CRC スヌープの対象アドレスは、[32.2.5 スヌープアドレスレジスタ \(CRCSAR\)](#) で指定したすべてのI/Oレジスタアドレスです。CRC スヌープは、シリアル送信バッファへの書き込みと、シリアル受信バッファからの読み出しの監視に役立ちます。

この機能を使用するには、対象となるI/OレジスタアドレスをCRCSARレジスタのCRCSA13～CRCSA0ビットに書き込み、CRCCR1レジスタのCRCSENビットを1にします。次に、CRCCR1.CRCSWRビットを1にして、対象アドレスへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWRビットを0にして、対象アドレスからの読み出しに対してスヌープを有効にします。

CRCSENビットとCRCSWRビットの両方を1にして、バスマスタモジュール (CPU、DMAC、DTC など) の対象となるI/Oレジスタアドレスにデータを書き込むと、CRC演算器はそのデータをCRC<sub>DIR\_BY</sub>レジスタに格納してCRC演算を実行します。同様に、CRCSENビットを1、CRCSWRビットを0にして、バスマスタモジュール (CPU、DMAC、DTC など) の対象となるI/Oレジスタアドレスからデータを読み出すと、CRC演算器はそのデータをCRC<sub>DIR\_BY</sub>レジスタに格納してCRC演算を実行します。

一度に1バイトのCRC演算が実行されます。対象となるI/Oレジスタアドレスに対してワード (16ビット) またはロングワード (32ビット) でアクセスすると、データの下位バイト (1バイト) にCRCコードが生成されます。



## 32.4 使用上の注意事項

### 32.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、CRC 演算器の動作を禁止または許可することが可能です。リセット後の初期状態では、CRC 演算器の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

### 32.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードの送信順序が異なります。図 32.6 に LSB ファーストと MSB ファーストのデータ送信を示します。

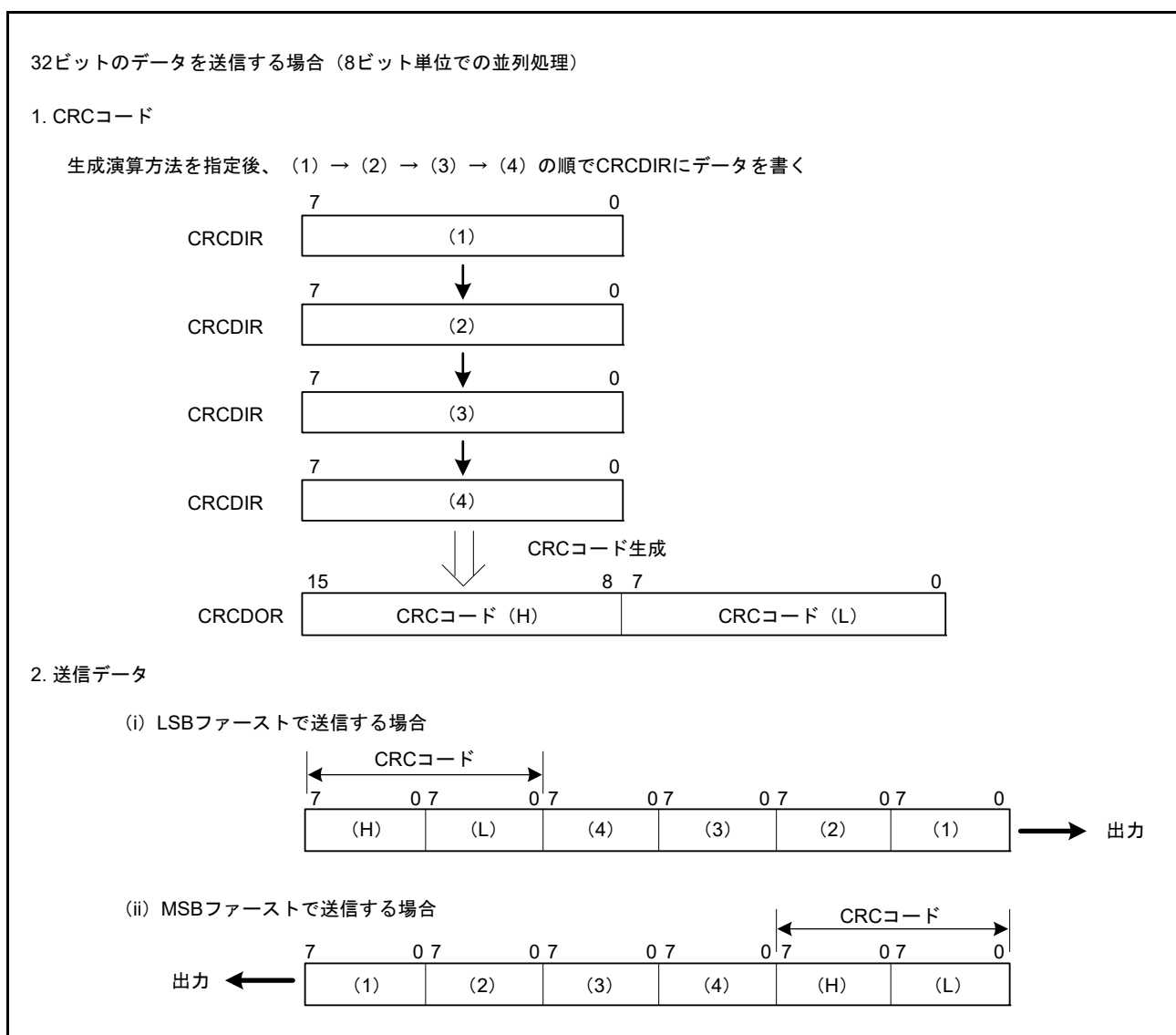


図 32.6 LSB ファーストと MSB ファーストのデータ送信

## 33. バウンダリスキャン

### 33.1 概要

バウンダリスキャン機能は、JTAG（Joint Test Action Group）、IEEE Std.1149.1 および IEEE Standard Test Access Port and Boundary-Scan Architecture に基づくシリアル入出力インタフェースを提供します。

表 33.1 にバウンダリスキャンの仕様を、図 33.1 にブロック図を、表 33.2 に入出力端子を示します。

表 33.1 バウンダリスキャンの仕様

項目	内容
実行条件	RES端子がLowの場合は必ずバウンダリスキャンを実行する必要があります。
テストモード	<ul style="list-style-type: none"> <li>• BYPASSモード</li> <li>• EXTESTモード</li> <li>• SAMPLE/PRELOADモード</li> <li>• CLAMPモード</li> <li>• HIGHZモード</li> <li>• IDCODEモード</li> </ul>

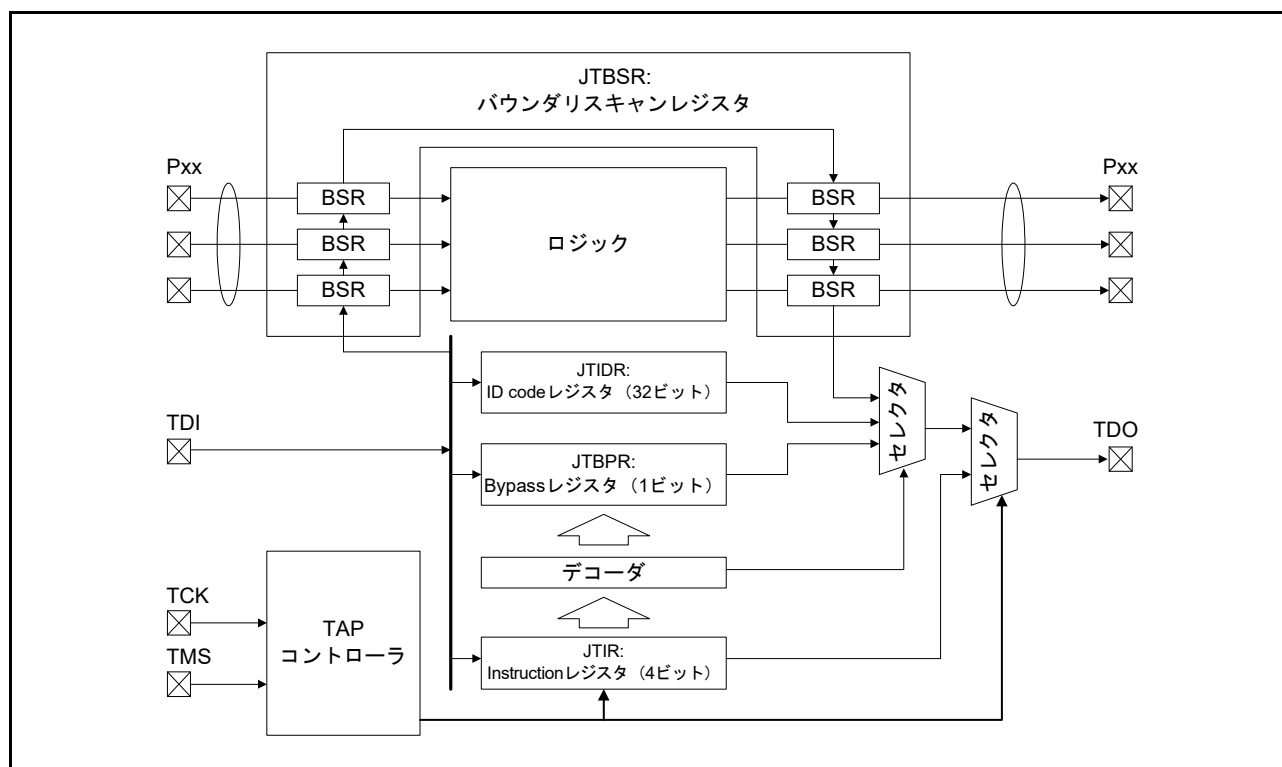


図 33.1 バウンダリスキャン機能のブロック図

表 33.2 バウンダリスキャンの入出力端子

端子名	入出力	機能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号。バウンダリスキャン機能使用時、入力クロックデューティ比は50%です。
TMS	入力	テストモードセレクト
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力

注． 本 MCU は、JTAG インタフェース用の TRST 端子はサポートしていません。

## 33.2 レジスタの説明

表 33.3 にバウンダリスキャンのレジスタ一覧を示します。

表 33.3 バウンダリスキャンレジスタ

レジスタ名	シンボル	リセット後の値
インストラクションレジスタ	JTIR	Eh
IDコードレジスタ	JTIDR	083D 8447h
バイパスレジスタ	JTBPR	不定
バウンダリスキャンレジスタ	JTBSR	不定

バウンダリスキャンレジスタの使用上の注意

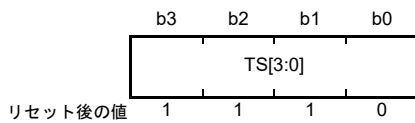
- インストラクションは、TDI 端子からシリアル転送によりインストラクションレジスタ (JTIR) へ入力できます
- バイパスレジスタ (JTBPR) は 1 ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます
- バウンダリスキャンレジスタ (JTBSR) は BSDL の記述に基づき構成されており、テストデータをシフトインするときに TDI 端子と TDO 端子の間に接続されます

表 33.4 に各レジスタのシリアル転送を示します。

表 33.4 レジスタのシリアル転送

レジスタ名	シリアル入力	シリアル出力
インストラクションレジスタ (JTIR)	可能	可能
IDコードレジスタ (JTIDR)	可能	可能
バイパスレジスタ (JTBPR)	可能	可能
バウンダリスキャンレジスタ (JTBSR)	可能	可能

## 33.2.1 インストラクションレジスタ (JTIR)



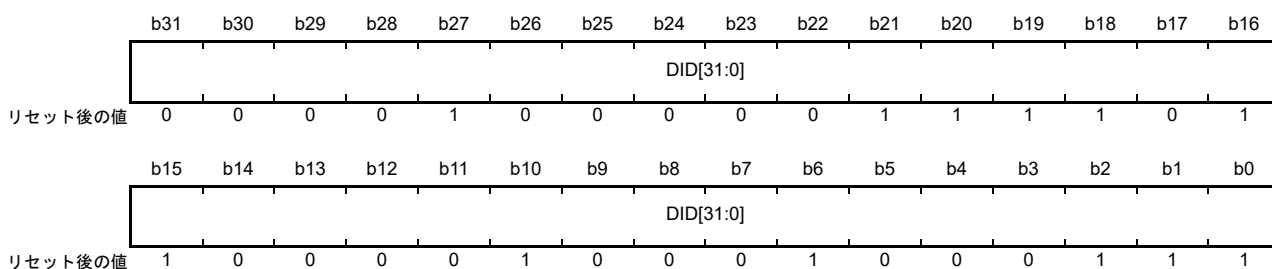
ビット	シンボル	ビット名	機能	R/W
b3-b0	TS[3:0]	テストビットセット	表 33.5に、これらのビットのコマンド構成を示します。	—

表 33.5 コマンド構成

TS3	TS2	TS1	TS0	インストラクション
0	0	0	0	EXTEST
0	0	0	1	SAMPLE/PRELOAD
0	0	1	1	IDCODE (ルネサスコード)
0	1	0	1	CLAMP
0	1	1	0	HIGHZ
1	1	1	1	BYPASS
上記以外の設定				予約ビット

JTAG 命令は、TDI 端子からのシリアル入力によって JTIR レジスタに転送することが可能です。JTIR レジスタは、パワーオンリセットが発生したとき、または TAP コントローラが Test-Logic-Reset 状態のときに初期化されます。

### 33.2.2 IDコードレジスタ (JTIDR)



ビット	シンボル	ビット名	機能	R/W
b31-b0	DID[31:0]	デバイスID	デバイスIDCODEを示す固定値を格納します。	—

IDCODE 命令の実行時、JTIDR レジスタのデータを TDO 端子から出力します。リセット解除後、JTIDR の IDCODE は Arm® デバッグコードに変わります。ARM® CoreSight™ SoC-400 Technical Reference Manual (ARM DDI 0480F) を参照してください。

### 33.2.3 バイパスレジスタ (JTBPR)

JTBPR は、1 ビットのレジスタです。BYPASS モードに設定された場合、TDI 端子と TDO 端子は JTBPR レジスタに接続されます。CPU から JTBPR レジスタへ読み出し/書き込みできません。

### 33.2.4 バウンダリスキャンレジスタ (JTBSR)

JTBSR は、本 MCU の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。バウンダリスキャンテスト中の JTBSR レジスタを適用するには、EXTEST、SAMPLE/PRELOAD、CLAMP、HIGHZ の命令を発行します。BSDL ファイルは、JTBSR ビットと本 MCU の端子の対応について説明しています。リセット後の値は、不定です。

### 33.3 動作説明

リセット時に、JTAGポートのTCK、TMS、TDI、およびTDOがデフォルトの端子機能として割り当てられます。TCK、TMS、およびTDI端子はプルアップ抵抗によってプルアップします。PORがネゲートされ、RESがLowになった場合、セットアップ時間が経過した後にバウンダリスキャンテストを行うことが可能です。

#### 33.3.1 TAP コントローラ

図 33.2 に TAP コントローラの状態遷移図を示します。すべての遷移は TMS 信号によって制御されます。

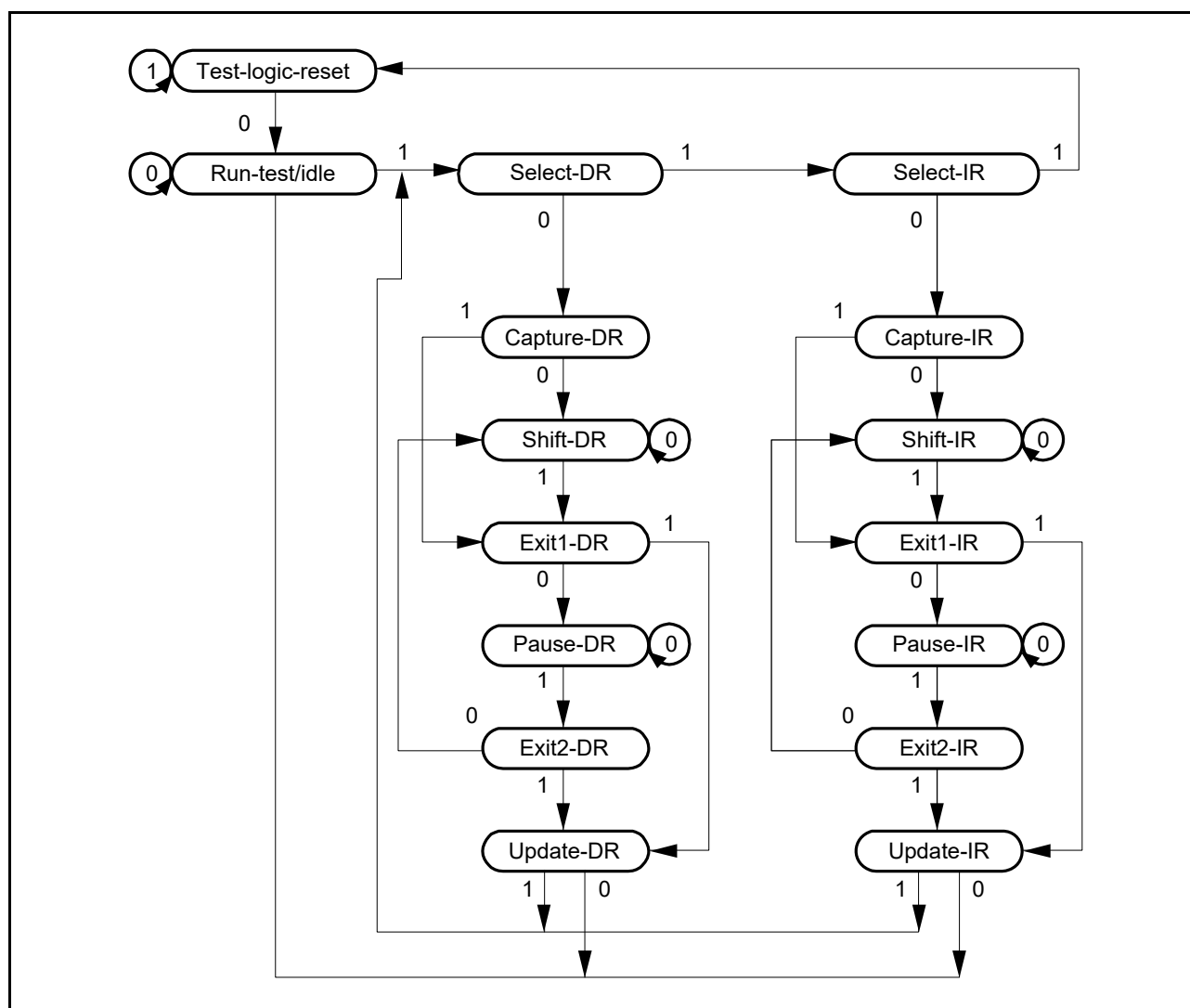


図 33.2 TAP コントローラの状態遷移図

### 33.3.2 コマンド

#### (1) BYPASS

BYPASS 命令は、バイパスレジスタ (JTBPR) を動作させます。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子にはバイパスレジスタ (JTBPR) が接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO が Low となります。その後の Shift-DR で TDI が TDO から出力されます。

#### (2) EXTEST

EXTEST 命令は、本 MCU をプリント基板に実装したとき、外部回路をテストするためのものです。この命令の実行時、出力端子はバウンダリスキャンレジスタ (JTBSR) からテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力端子はプリント基板から JTBSR レジスタにそのテスト結果を取り込むために使用されます。

#### (3) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は、MCU の内部回路からバウンダリスキャンレジスタ (JTBSR) に値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、MCU の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により MCU のシステム回路は何の影響も受けません。

SAMPLE 動作では、バウンダリスキャンレジスタ (JTBSR) は入力端子から内部回路に転送されたデータ、または内部回路から出力端子に転送されたデータのスナップショットをラッチします。ラッチしたデータは、スキャンパスから読み出します。JTBSR レジスタは、Capture-DR 状態の TCK 端子の立ち上がり同期してデータのスナップショットをラッチします。データのスナップショットは、リセット中に限り内部回路から出力端子に転送されます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスから JTBSR レジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、EXTEST シーケンスの最初から最後 (出力ラッチへの転送) まで出力端子から不定値が出力されます。EXTEST 命令では、常に出力端子に平行出力ラッチを出力します。

#### (4) IDCODE

IDCODE 命令が選択されると、TAP コントローラの Shift-DR 状態時に ID コードレジスタ (JTIDR) の値を TDO 端子に出力します。この場合、JTIDR レジスタ値は LSB ファーストで出力されます。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

#### (5) CLAMP

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定されたバウンダリスキャンレジスタ (JTBSR) の値を出力します。CLAMP 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間にはバイパスレジスタ (JTBPR) が接続され、BYPASS 命令が選択されたときと同様の動作をします。

#### (6) HIGHZ

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、バウンダリスキャンレジスタ (JTBSR) の状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間にはバイパスレジスタ (JTBPR) が接続され、BYPASS 命令が選択されたときと同様の動作をします。

### 33.4 使用上の注意事項

バウンダリスキャン機能には、以下の制限が適用されます。

- RES 端子が Low の場合は必ずバウンダリスキャンを実行する
- BSDL は、BSDL の記述に準じて構成されなければならないセーフビットを提供する
- 図 33.3 で示すとおりシリアルデータは LSB 側から入出力する

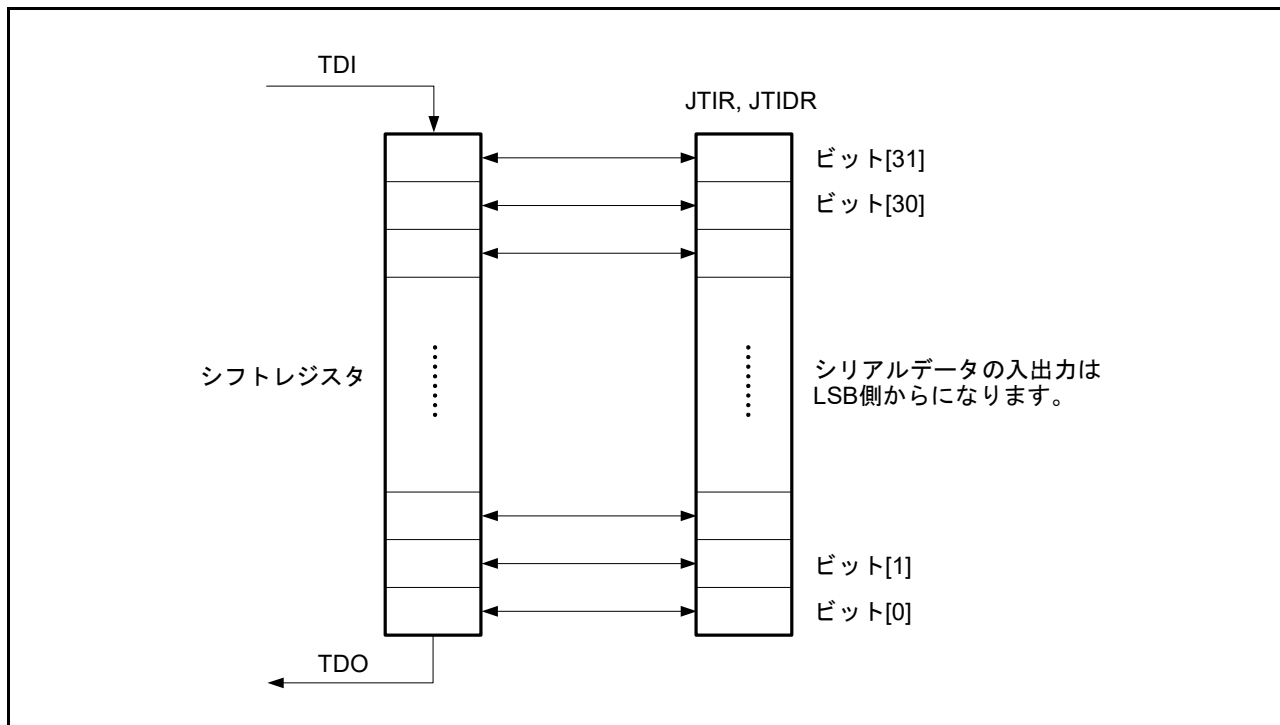


図 33.3 シリアルデータ入出力

以下の端子は、バウンダリスキャン対象外です。

- 電源端子 (VCC、VCL、VCL0、VSS、AVCC0、AVSS0)
- アナログリファレンス端子 (VREFH0、VREFL0、VREFH、VREFL)
- クロック端子 (EXTAL、XTAL、XCIN、XCOUT)
- リセット信号 (RES)
- バウンダリスキャンの端子 (TCK、TMS、TDI、TDO)



## 34. セキュア暗号エンジン (SCE7)

### 34.1 概要

本 MCU はセキュリティ機能向けにセキュア暗号エンジン (SCE7) モジュールを搭載しています。本モジュールは、アクセス管理回路と暗号エンジン、および乱数生成器で構成されています。

表 34.1 に SCE7 の仕様を、図 34.1 にブロック図を示します。

表 34.1 SCE7の仕様

項目	内容
アクセス制御	アクセス管理回路 <ul style="list-style-type: none"> <li>不正プログラムやプログラム実行の暴走により SCE7 に異常なアクセスがあった場合、この回路は後続のすべてのアクセスを遮断し、SCE7 からのデータ出力を停止します。</li> </ul>
暗号エンジン	Advanced Encryption Standard (AES) : NIST FIPS PUB 197 アルゴリズムに準拠 <ul style="list-style-type: none"> <li>キーサイズ : 128、192、256 ビット</li> <li>ブロックサイズ : 128 ビット</li> <li>連鎖モード ECB、CBC、CTR : NIST SP 800-38A に準拠 GCM : NIST SP 800-38D に準拠 XTS : NIST SP 800-38E に準拠 GCTR</li> <li>128 ビットデータに対するスループット 128 ビット鍵に対して 11 PCLKB サイクル 256 ビット鍵に対して 15 PCLKB サイクル</li> </ul> AES-GCM <ul style="list-style-type: none"> <li>AES-GCM は AES-GCTR と GHASH を組み合わせることにより実現</li> </ul> Triple Data Encryption Standard (3DES) <ul style="list-style-type: none"> <li>192 ビット鍵長</li> <li>8 バイトの固定データブロックで動作</li> <li>レガシーな Secure Socket Layer (SSL) および Transport Layer Security (TLS) プロトコルを使用</li> <li>64 ビットデータに対するスループット 56 ビット鍵に対して 16 PCLKB サイクル</li> </ul> Alleged RC4 (ARC4) <ul style="list-style-type: none"> <li>2048 ビット鍵長</li> <li>128 ビットデータに対するスループット 2048 ビット鍵に対して 16 PCLKB サイクル</li> </ul>
乱数の生成	128 ビット真正乱数発生器
署名生成と認証	RSA <ul style="list-style-type: none"> <li>1024 ビットおよび 2048 ビットの鍵サイズをサポート</li> <li>署名生成、署名認証、公開鍵暗号、秘密鍵暗号</li> </ul> DSA <ul style="list-style-type: none"> <li>以下の DSA 鍵サイズをサポート - (1024 ビット、160 ビット) - (2048 ビット、224 ビット) - (2048 ビット、256 ビット)</li> <li>署名生成、署名認証</li> </ul> ECC <ul style="list-style-type: none"> <li>P-192、P-224、P-256、および P-384 曲線をサポート</li> <li>署名生成、署名認証</li> <li>スカラー倍算</li> </ul>
メッセージダイジェストの計算	HASH <ul style="list-style-type: none"> <li>SHA1, SHA224, SHA256, MD5</li> </ul>
ユニーク ID	<ul style="list-style-type: none"> <li>MCU 固有の ID (ユニーク ID) では、アクセス管理回路から専用パスまでアクセスが可能</li> <li>ユニーク ID と鍵生成情報を組み合わせることにより、他の MCU への不正なデータコピーを防止</li> </ul>
スーパーバイザモード	<ul style="list-style-type: none"> <li>スーパーバイザモード信号はアクセス管理回路に接続されており、スーパーバイザモードでのみ SCE7 を制御できるようにするのに使用</li> </ul>
低消費電力	モジュールストップ状態の設定が可能

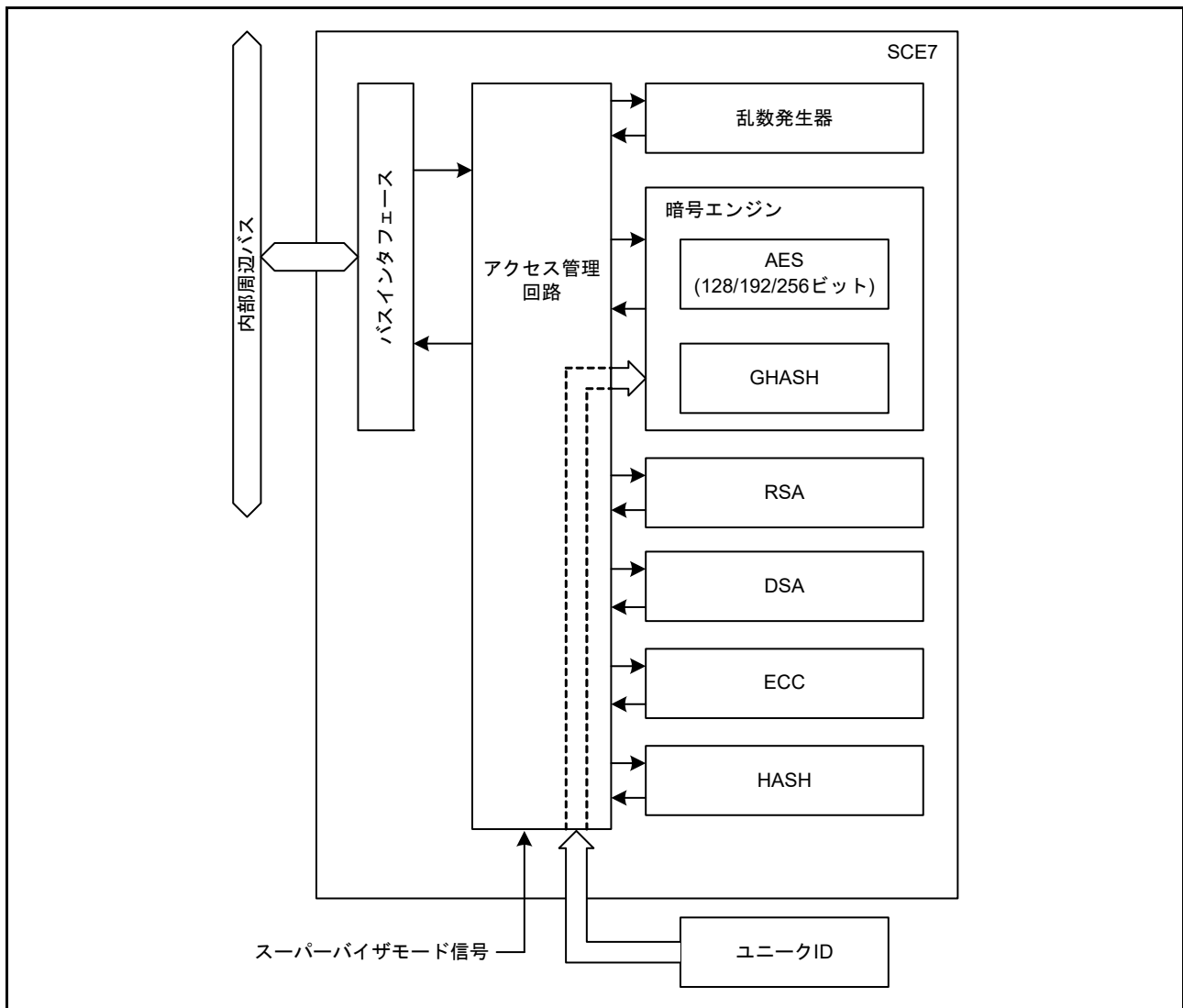


図 34.1 SCE7 ブロック図

## 34.2 動作説明

### 34.2.1 暗号エンジン

暗号エンジンは下記の機能をハードウェアで実行します。(図 34.2 参照)

- 平文から暗号文への暗号化
- 暗号文から平文への復号

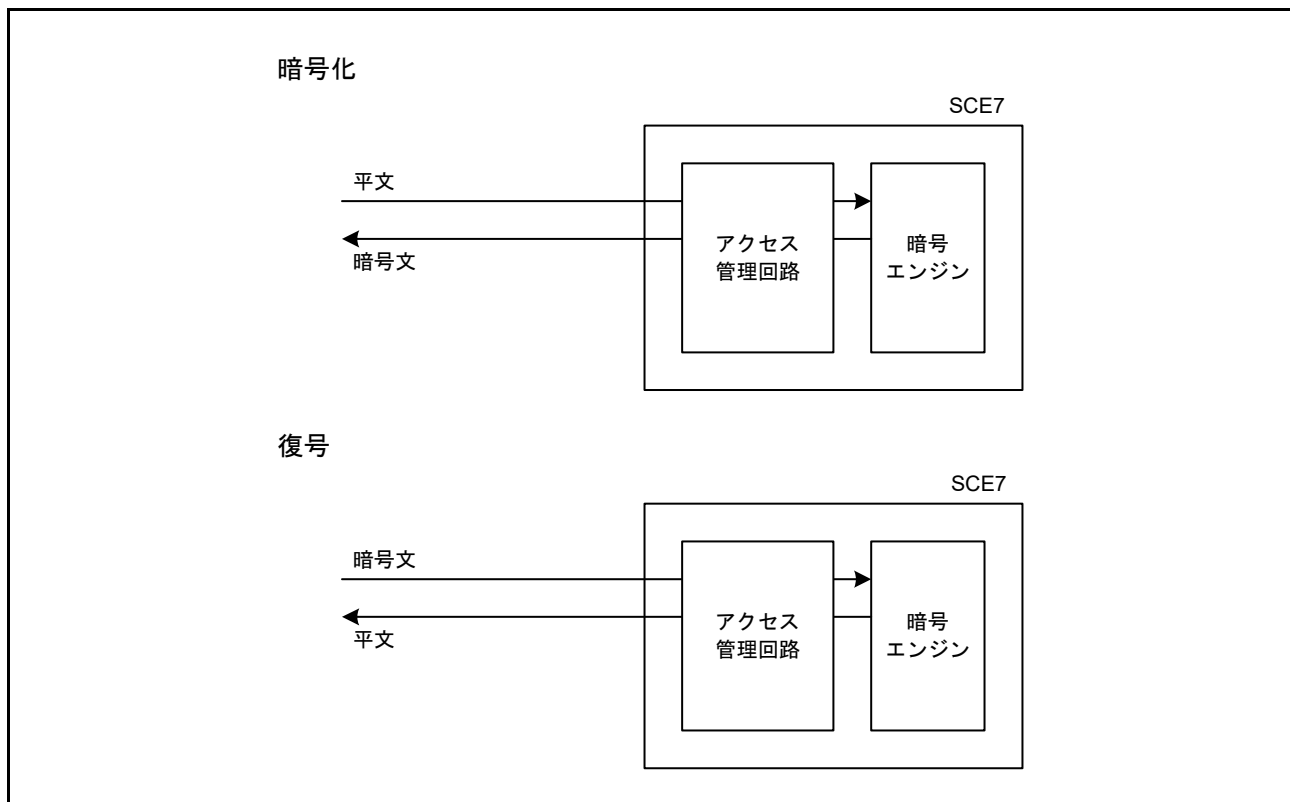


図 34.2 暗号エンジンによる暗号化と復号

### 34.2.2 暗号化と復号

データの暗号化または復号する方法：

1. 暗号化または復号するデータを SCE7 に入力します。  
SCE7 は平文を暗号文に、暗号文を平文に変換します。
2. 変換されたデータを読み出します。

暗号エンジンは入力バッファと出力バッファを備えており、入出力データの暗号化/復号を並行して処理することが可能です。図 34.3 に暗号および複合エンジンのタイミングを示します。

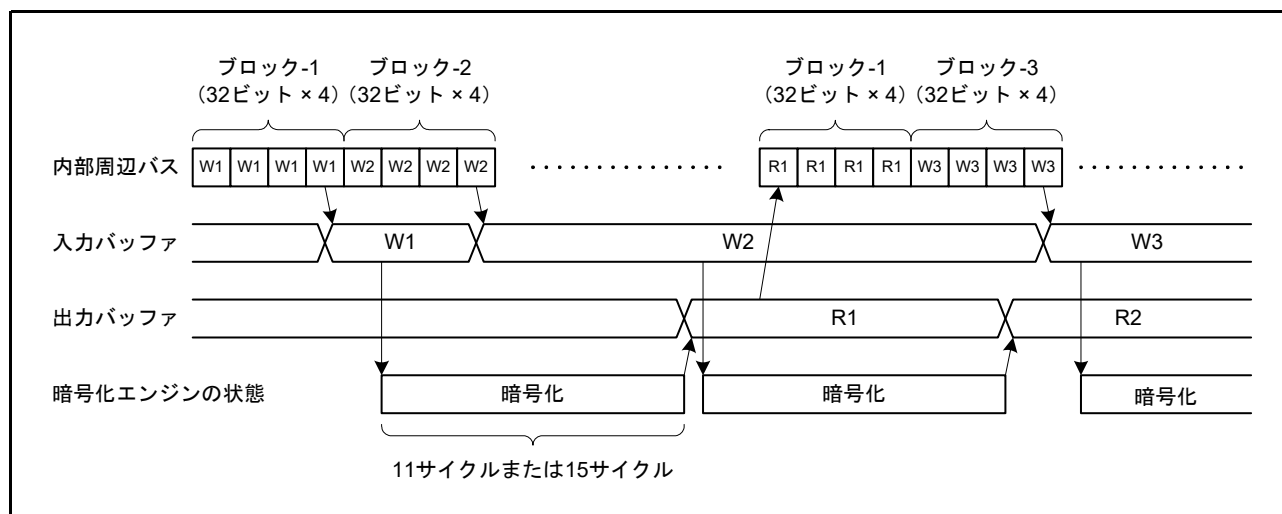


図 34.3 暗号化と復号タイミング (AES)

## 34.3 使用上の注意事項

### 34.3.1 ソフトウェアスタンバイモード

暗号エンジンの処理中にソフトウェアスタンバイモードへ遷移した場合、ソフトウェアスタンバイモードが終了しても適切な処理を再開することができません。ソフトウェアスタンバイモードへの遷移は、暗号化エンジンが動作していないときに行ってください。

### 34.3.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、SCE7 の動作を禁止/許可することが可能です。リセット後の初期状態では、SCE7 モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

## 35. 12ビットA/Dコンバータ (ADC12)

### 35.1 概要

本MCUは、逐次比較方式の12ビットA/Dコンバータ(ADC12)を2ユニット内蔵しています。ユニット0では最大11チャンネル、ユニット1では最大8チャンネルのアナログ入力を選択可能です。ただしユニット0およびユニット1の各2つのアナログ入力は共通のポートに割り当てられており(AN005/AN105, AN006/AN106)、同時に使用可能なアナログ入力は、最大17端子です。また内蔵の温度センサ出力および内部基準電圧を各ユニットのアナログ入力として選択できます。A/D変換精度は12ビット変換、10ビット変換、および8ビット変換から選択可能で、デジタル値の生成時に速度と分解能のバランスを最適化することが可能です。

ADC12は以下の特性を持ちます。

- 11チャンネル(ユニット0)、8チャンネル(ユニット1)、うち各2チャンネルは端子共用
- PCLKB = 60MHz(最大)
- PCLKC = 60MHz(最大)
- アナログチャンネル: AN000 ~ AN003, AN005 ~ AN007, AN016 ~ AN018, AN020(ユニット0)、AN100 ~ AN102, AN105 ~ AN107, AN116, AN117(ユニット1)
- 分解能: 12ビット、10ビット、8ビット
- 専用サンプル&ホールド回路内蔵
- プログラマブルゲインアンプ内蔵

ADC12には次の動作モードがあります。

- 任意に選択したチャンネルのアナログ入力を、チャンネル番号の昇順に変換するシングルスキャンモード
- 任意に選択したチャンネルのアナログ入力を、順次チャンネル番号の昇順に連続して変換する連続スキャンモード
- チャンネルのアナログ入力を任意に2つのグループ(AとB)に分け、グループ単位で選択したチャンネルのアナログ入力をチャンネル番号の昇順に変換するグループスキャンモード

グループスキャンモードでは、グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することが可能です。さらに、グループAの優先制御動作を設定すると、ADC12はグループBのA/D変換動作中にグループAのスキャン開始を受け付けて、グループBのA/D変換動作を中断します。このようにして、グループAのA/D変換を優先的に開始することが可能です。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード(グループA)で変換し、1回目のA/D変換開始トリガで変換したデータと2回目のA/D変換開始トリガで変換したデータを別々のレジスタに格納(A/D変換データの2重化)します。

自己診断は、スキャンごとの最初に1回実施され、ADC12内部で生成する3つの電圧値のうち1つをA/D変換します。

温度センサ出力、内部基準電圧は、チャンネルのアナログ入力と同時に選択可能です。最初のA/D変換は、チャンネルのアナログ入力、温度センサ出力、内部基準電圧の順で行われます。

ADC12は比較機能(ウィンドウAおよびウィンドウB)を搭載しています。この比較機能は、ウィンドウAの上側基準値およびウィンドウBの下側基準値を指定し、選択したチャンネルのA/D変換値が比較条件に一致すると割り込み要求を出力します。

表 35.1 に ADC12 の仕様を、表 35.2 に機能一覧を、表 35.3 に入出力端子を示します。図 35.1 に ADC12 (ユニット 0) のブロック図を、図 35.2 に ADC12 (ユニット 1) のブロック図を示します。

表 35.1 ADC12の仕様 (1/2)

項目	内容
ユニット数	2ユニット (0および1)
入力チャンネル	<ul style="list-style-type: none"> <li>• ユニット0 : 最大11チャンネル</li> <li>• ユニット1 : 最大8チャンネル (うち各2チャンネルは端子共用)</li> </ul>
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	12ビット (12ビット、10ビット、8ビット変換から選択可能)
変換時間	A/D変換クロックPCLKC (ADCLK) が60MHzで動作時、1チャンネル当たり0.4μs (条件については表 43.27 および表 43.28 を参照してください)
A/D変換クロック	周辺モジュールクロックPCLKB (注1) とA/D変換クロックPCLKC (ADCLK) (注1) を以下の分周比で設定可能 PCLKB : PCLKC (ADCLK) 分周比 = 1:1、2:1、4:1、8:1、1:2、1:4
データレジスタ	<ul style="list-style-type: none"> <li>• アナログ入力用19本 (ユニット0 : 11本、ユニット1 : 8本)、ダブルトリガモードでのA/D変換データ2重化用1本/各ユニット、ダブルトリガモード拡張動作時のA/D変換データ2重化用2本/各ユニット</li> <li>• 温度センサ出力用1本</li> <li>• 内部基準電圧用1本</li> <li>• 自己診断用1本</li> <li>• A/D変換結果をA/Dデータレジスタに保持</li> <li>• A/D変換結果の8、10、12ビット精度出力対応</li> <li>• A/D変換値加算モード (A/D変換結果の加算値を変換精度ビット数+2ビットでA/Dデータレジスタに保持) (注4)</li> <li>• ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは2重化レジスタに保持</li> <li>• ダブルトリガモード拡張動作 (特定トリガ種別で有効) 選択した1つのチャンネルのアナログ入力のA/D変換データを関連するトリガに準備した2重化レジスタに保持</li> </ul>
動作モード	<ul style="list-style-type: none"> <li>• シングルスキャンモード - 任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧を1回のみA/D変換</li> <li>• 連続スキャンモード - 任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧を繰り返しA/D変換</li> <li>• グループスキャンモード - 任意に選択したチャンネル (グループAとグループBに分割) のアナログ入力、温度センサ出力、内部基準電圧を1回のみA/D変換 - グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBのA/D変換をそれぞれ異なるタイミングで開始することが可能</li> <li>• グループスキャンモード (グループA優先制御選択時) - グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実行 - グループAのA/D変換動作終了後にグループBのA/D変換動作の再実行 (再スキャン) の設定が可能</li> </ul>
A/D変換開始条件	<ul style="list-style-type: none"> <li>• ソフトウェアトリガ</li> <li>• イベントリンクコントローラ (ELC) からの同期トリガ</li> <li>• 外部トリガADTRG0端子 (ユニット0) およびADTRG1端子 (ユニット1) による非同期トリガ</li> </ul>
機能	<ul style="list-style-type: none"> <li>• 専用サンプル&amp;ホールド機能 (3ch : ユニット0および1、常時サンプリング設定可能)</li> <li>• サンプリングステート数可変機能</li> <li>• ADC12の自己診断機能</li> <li>• A/D変換値加算モードと平均モードが選択可能</li> <li>• アナログ入力断線検出機能 (ディスチャージ機能/プリチャージ機能)</li> <li>• ダブルトリガモード (A/D変換データ2重化機能)</li> <li>• 12/10/8ビット変換切り替え機能 (注2)</li> <li>• A/Dデータレジスタオートクリア機能</li> <li>• デジタルコンペア機能 (コンペアレジスタとデータレジスタとの比較、データレジスタ間の比較)</li> </ul>
プログラマブルゲインアンプ	<ul style="list-style-type: none"> <li>• A/D変換を可能にするアナログ入力信号を増幅 (3ch : ユニット0および1)</li> <li>• シングルエンド入力および疑似差動入力に対応</li> </ul>
割り込み要因およびELCイベント	<ul style="list-style-type: none"> <li>• ADC12i_ADI : A/Dスキャン終了割り込み</li> <li>• ADC12i_GBADI : グループBのA/Dスキャン終了割り込み</li> <li>• ADC12i_CMPAI : ウィンドウAのコンペアマッチ</li> <li>• ADC12i_CMPBI : ウィンドウBのコンペアマッチ</li> <li>• ADC12i_WCMPPM : コンペアマッチ</li> <li>• ADC12i_WCMPUM : コンペア不一致</li> </ul>

表 35.1 ADC12の仕様 (2/2)

項目	内容
ELCインタフェース	ELCからのトリガでスキャン開始可能
バスインタフェース	周辺クロック (PCLKB) とバスクロック同期 (最大周波数 = 60MHz)
基準電圧	<ul style="list-style-type: none"> <li>• ユニット0 : <ul style="list-style-type: none"> <li>- VREFH0は高電位基準電圧</li> <li>- VREFL0は低電位基準電圧</li> </ul> </li> <li>• ユニット1 : <ul style="list-style-type: none"> <li>- VREFH1は高電位基準電圧</li> <li>- VREFL1は低電位基準電圧</li> </ul> </li> </ul>
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減 (注3)

iが0の場合はユニット0を、iが1の場合はユニット1を表します。

- 注1. 周辺モジュールクロック PCLKB は SCKDIVCR.PCKB[2:0] ビットに指定し、A/D 変換クロック ADCLK は SCKDIVCR.PCKC[2:0] ビットに指定します (ユニット0 および 1)。
- 注2. A/D 変換精度を変えた場合、A/D 変換時間も変わります。詳細は、[35.3.6 アナログ入力のスAMPLING時間とスキャン変換時間](#)を参照してください。
- 注3. 詳細は、「[11. 低消費電力モード](#)」を参照してください。
- 注4. 加算用の拡張ビット数は、A/D 変換精度および加算回数によって異なります。A/D 変換精度が8、10、または12ビットの場合、2ビット拡張は最大で変換4回 (加算3回) となります。A/D 変換精度が12ビットの場合、4ビット拡張は変換16回 (加算15回) となります。

表 35.2 ADC12の機能一覧

項目		ユニット0 (ADC120)	ユニット1 (ADC121)
アナログ入力チャンネル (注3)		AN000 ~ AN003、 AN005 ~ AN007、 AN016 ~ AN018、 AN020 内部基準電圧 温度センサ出力	AN100 ~ AN102、 AN105 ~ AN107、 AN116、AN117 内部基準電圧 温度センサ出力
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	許可
	外部トリガ	トリガ入力端子	ADTRG0
	同期トリガ (ELCからのトリガ)	ELCトリガ	ELC_AD00、ELC_AD01
チャンネル専用サンプル &ホールド機能	対象チャンネル	AN000 ~ AN002	AN100 ~ AN102
プログラマブルゲイン アンプ	対象チャンネル	AN000 ~ AN002	AN100 ~ AN102
	疑似差動入力端子	PGAVSS000	PGAVSS100
割り込み		ADC120_ADI ADC120_GBADI ADC120_CMPAI ADC120_CMPBI	ADC121_ADI ADC121_GBADI ADC121_CMPAI ADC121_CMPBI
ELCへの出力		ADC120_ADI ADC120_WCMPPM ADC120_WCMPUM	ADC121_ADI ADC121_WCMPPM ADC121_WCMPUM
モジュールストップ機能の設定 (注1) (注2)		MSTPCRD.MSTPD16 ビット	MSTPCRD.MSTPD15 ビット

- 注1. 詳細は、「[11. 低消費電力モード](#)」を参照してください。
- 注2. モジュールストップ状態の解除後にA/D変換を開始するのに、1μs以上待機します。
- 注3. AN005とAN105、およびAN006とAN106はそれぞれ同じポートに割り当てられています。

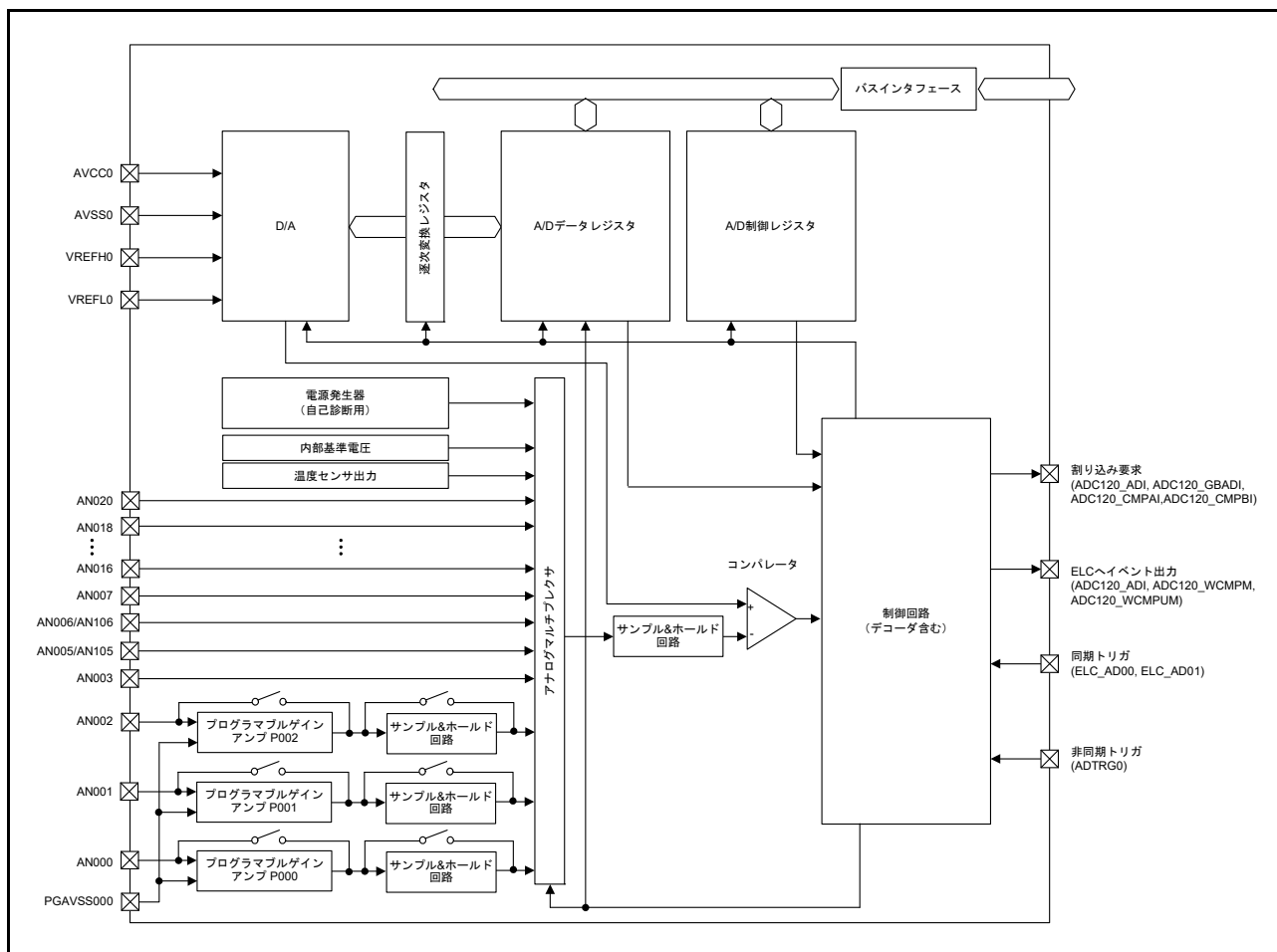


図 35.1 ADC12 (ユニット 0) のブロック図



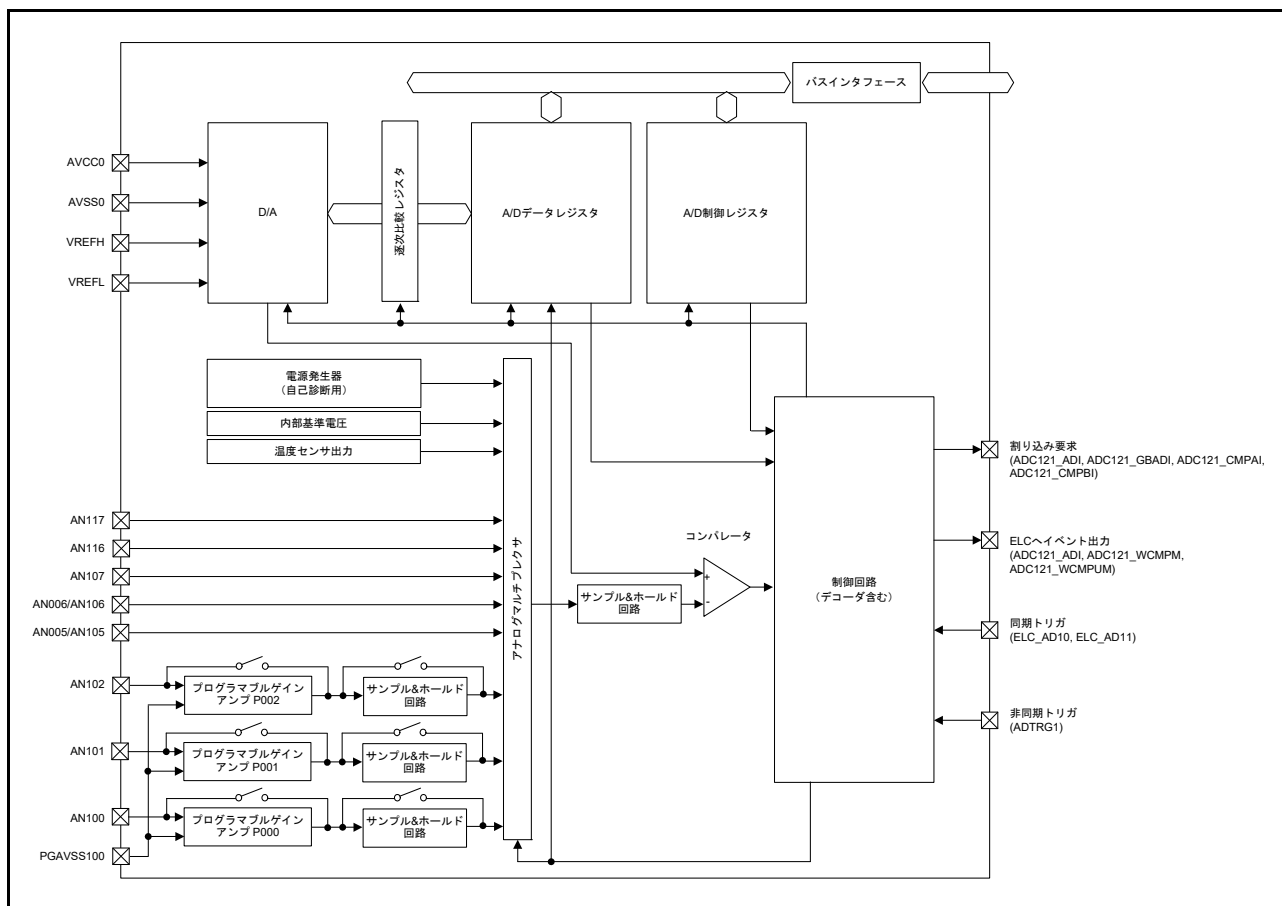


図 35.2 ADC12 (ユニット1) のブロック図

表 35.3 ADC12の入出力端子

ユニット	端子名	入出力	機能
ユニット0	AVCC0	入力	アナログ部の電源端子 (ADC12、DAC12、およびコンパレータを使用しない場合は、VCCに接続してください)
	AVSS0	入力	アナログ部の電源グランド端子 (ADC12、DAC12、およびコンパレータを使用しない場合は、VSSに接続してください)
	VREFH0	入力	基準電源端子
	VREFL0	入力	基準電源グランド端子
	AN000～AN003、 AN005 (注1)、AN006 (注1)、 AN007、AN016～AN018、 AN020	入力	アナログ入力端子0～3、5～7、16～18、20
	ADTRG0	入力	A/D変換開始のための外部トリガ入力端子、アクティブLow
	PGAVSS000	入力	疑似差動入力端子
ユニット1	AVCC0	入力	アナログ部の電源端子 (ADC12、DAC12、およびコンパレータを使用しない場合は、VCCに接続してください)
	AVSS0	入力	アナログ部の電源グランド端子 (ADC12、DAC12、およびコンパレータを使用しない場合は、VSSに接続してください)
	VREFH	入力	ADC12 (ユニット1) およびDACの基準電源端子
	VRELF	入力	ADC12 (ユニット1) およびDACの基準電源グランド端子
	AN100～AN102、 AN105 (注1)、AN106 (注1)、 AN107、AN116、AN117	入力	アナログ入力端子0～2、5～7、16、17
	ADTRG1	入力	A/D変換開始のための外部トリガ入力端子、アクティブLow
	PGAVSS100	入力	疑似差動入力端子

注1. AN005とAN105、およびAN006とAN106はそれぞれ同じポートに割り当てられています。

## 35.2 レジスタの説明

### 35.2.1 A/D データレジスタ y (ADDRy)、 A/D データ 2 重化レジスタ (ADDBLDR)、 A/D データ 2 重化レジスタ A (ADDBLDRA)、 A/D データ 2 重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)

データレジスタには以下の種類があります。

- ADDRy レジスタ (y=0~3, 5~7, 16~18, 20 (ユニット0)、y=0~2, 5~7, 16, 17 (ユニット1)) : A/D 変換結果を格納する 16 ビットの読み出し専用レジスタ
- ADDBLDR レジスタ: ダブルトリガモード選択時の2回目のトリガによってA/D変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADDBLDRA および ADDBLDRB レジスタ: ダブルトリガモード選択時、拡張動作中のトリガによってA/D変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADTSDR レジスタ: 温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADOCDR レジスタ: 内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ

これらのレジスタは、下記の条件によりデータフォーマットが異なります。

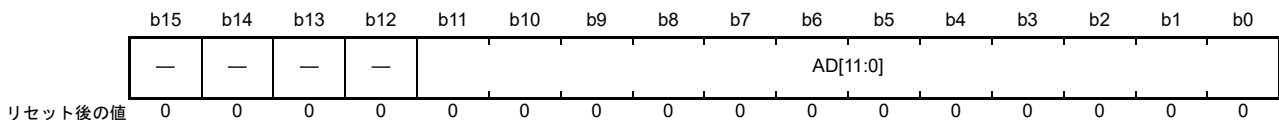
- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- A/D 変換精度指定ビット (ADCER.ADPRC[1:0]) の設定値 (8 ビット、10 ビット、または 12 ビット)  
以下では、各モードにおける条件ごとのデータフォーマットについて説明します。

#### (1) A/D 変換値加算/平均モードを非選択とした場合

以下に、条件ごとのデータフォーマットを示します。

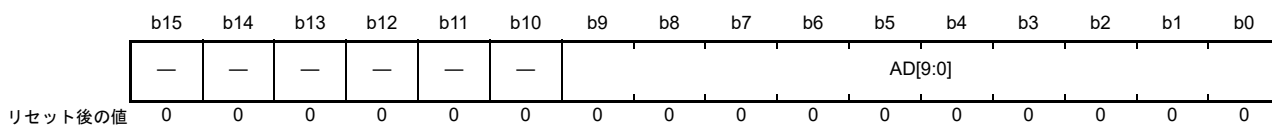
#### 右詰めフォーマット、12ビット精度に設定した場合

アドレス [ADC120.ADDR0 4005 C020h](#)~[ADC120.ADDR3 4005 C026h](#), [ADC120.ADDR5 4005 C02Ah](#)~[ADC120.ADDR7 4005 C02Eh](#),  
[ADC120.ADDR16 4005 C040h](#)~[ADC120.ADDR18 4005 C044h](#), [ADC120.ADDR20 4005 C048h](#)  
[ADC120.ADDBLDR 4005 C018h](#), [ADC120.ADDBLDRA 4005 C084h](#), [ADC120.ADDBLDRB 4005 C086h](#),  
[ADC120.ADTSDR 4005 C01Ah](#), [ADC120.ADOCDR 4005 C01Ch](#),  
[ADC121.ADDR0 4005 C220h](#)~[ADC121.ADDR2 4005 C224h](#),  
[ADC121.ADDR5 4005 C22Ah](#)~[ADC121.ADDR7 4005 C22Eh](#),  
[ADC121.ADDR16 4005 C240h](#), [ADC121.ADDR17 4005 C242h](#),  
[ADC121.ADDBLDR 4005 C218h](#), [ADC121.ADDBLDRA 4005 C284h](#), [ADC121.ADDBLDRB 4005 C286h](#),  
[ADC121.ADTSDR 4005 C21Ah](#), [ADC121.ADOCDR 4005 C21Ch](#)



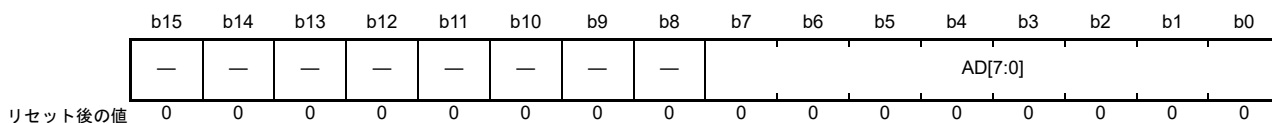
ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値 11~0	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと0が読めます。	R

## 右詰めフォーマット、10ビット精度に設定した場合



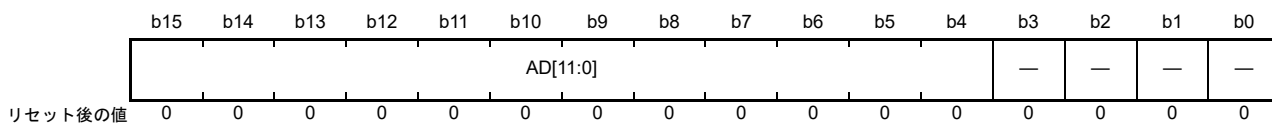
ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	変換値9~0	10ビットA/D変換値	R
b15-b10	—	予約ビット	読むと0が読めます。	R

## 右詰めフォーマット、8ビット精度に設定した場合



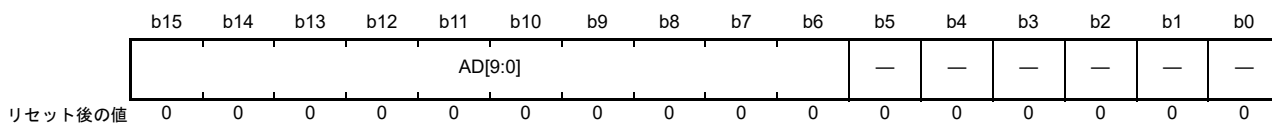
ビット	シンボル	ビット名	機能	R/W
b7-b0	AD[7:0]	変換値7~0	8ビットA/D変換値	R
b15-b8	—	予約ビット	読むと0が読めます。	R

## 左詰めフォーマット、12ビット精度に設定した場合



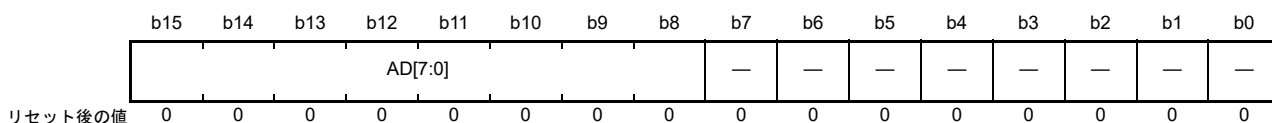
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	変換値11~0	12ビットA/D変換値	R

## 左詰めフォーマット、10ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。	R
b15-b6	AD[9:0]	変換値9~0	10ビットA/D変換値	R

## 左詰めフォーマット、8ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。	R
b15-b8	AD[7:0]	変換値7~0	8ビットA/D変換値	R

## (2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで2回または4回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、このレジスタは指定したチャンネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

## (3) A/D 変換値加算モードを選択した場合

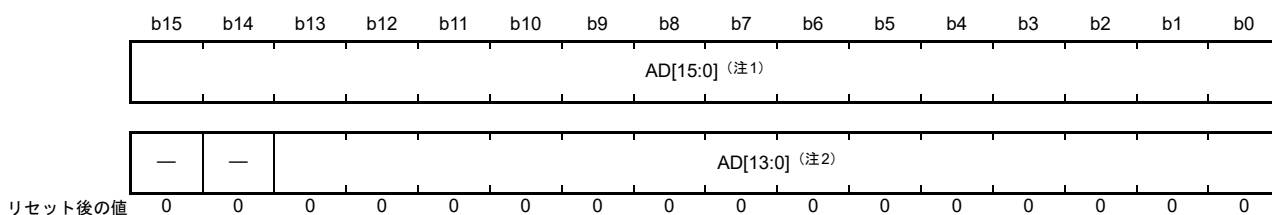
8、10、または12ビット精度 (ADPRC ビットの設定値) の場合、A/D 変換値加算で1回、2回、3回、または4回を選択できます。12ビット精度を選択した場合に限り、加算モードで16回を選択することもできます。加算モードでは、本レジスタは特定チャンネルの A/D 変換値を加算した結果の値を示します。A/D 変換結果の合計を、指定した変換精度のビット数に2ビット分拡張したデータとして、A/D データレジスタに保持します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

加算モードで1回、2回、3回、または4回変換を設定し、8、10、または12ビットの精度を指定した場合、変換結果の値を、指定した精度のビット数に2ビット分拡張したデータとして A/D データレジスタに保持します。

加算モードで16回変換を設定し、12ビットの精度を指定した場合、変換結果の値を、指定した精度のビット数に4ビット分拡張したデータとして A/D データレジスタに保持します。

以下に、条件ごとのデータフォーマットを示します。

## 右詰めフォーマット、12ビット精度に設定した場合 (A/D 変換値加算モード時)



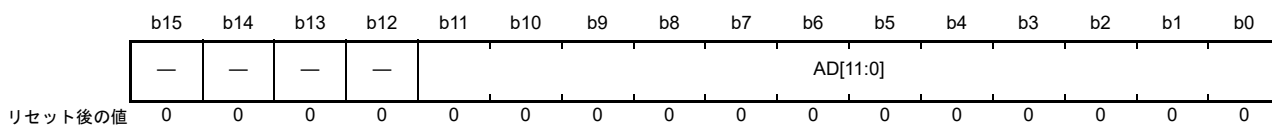
ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0] (注1)	加算結果15~0	16ビットA/D変換値加算結果	R

ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0] (注2)	加算結果13~0	14ビットA/D変換値加算結果	R
b15-b14	—	予約ビット	読むと0が読めます。	R

注1. A/D 変換値加算モードで16回変換の値を指定した場合に使用。

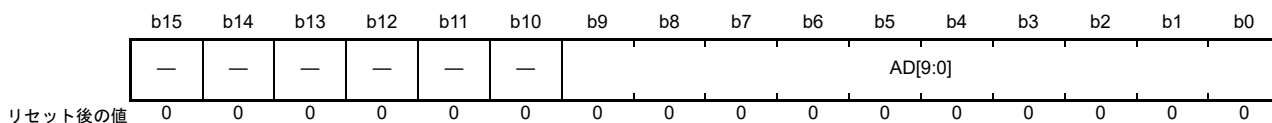
注2. A/D 変換値加算モードで1回、2回、3回、または4回変換の値を指定した場合に使用。

## 右詰めフォーマット、10ビット精度に設定した場合 (A/D変換値加算モード時)



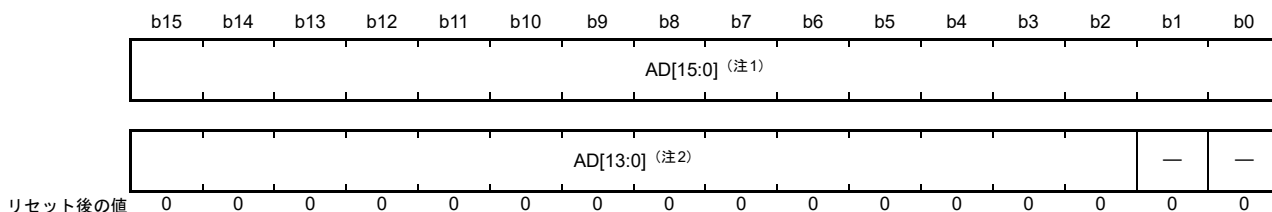
ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	加算結果11~0	12ビットA/D変換値加算結果	R
b15-b12	—	予約ビット	読むと0が読めます。	R

## 右詰めフォーマット、8ビット精度に設定した場合 (A/D変換値加算モード時)



ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	加算結果9~0	10ビットA/D変換値加算結果	R
b15-b10	—	予約ビット	読むと0が読めます。	R

## 左詰めフォーマット、12ビット精度に設定した場合 (A/D変換値加算モード時)



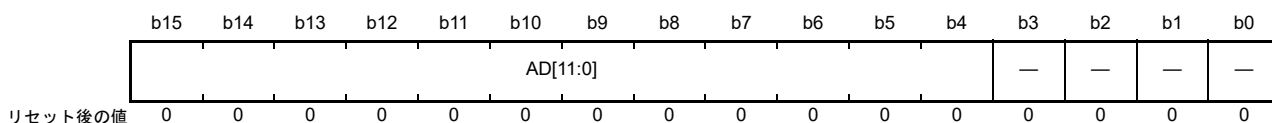
ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0] (注1)	加算結果15~0	16ビットA/D変換値加算結果	R

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。	R
b15-b2	AD[13:0] (注2)	加算結果13~0	14ビットA/D変換値加算結果	R

注 1. A/D変換値加算モードで16回変換の値を指定した場合に使用。

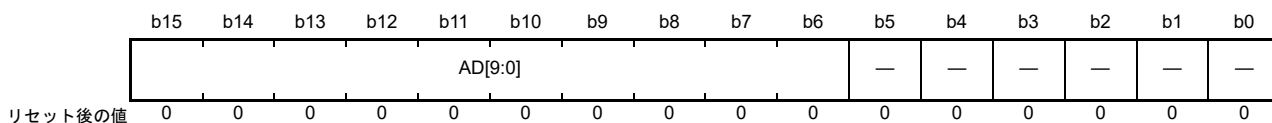
注 2. A/D変換値加算モードで1回、2回、3回、または4回変換の値を指定した場合に使用。

## 左詰めフォーマット、10ビット精度に設定した場合 (A/D変換値加算モード時)



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	加算結果11~0	12ビットA/D変換値加算結果	R

## 左詰めフォーマット、8ビット精度に設定した場合 (A/D変換値加算モード時)



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。	R
b15-b6	AD[9:0]	加算結果9~0	10ビットA/D変換値加算結果	R

## 35.2.2 A/D 自己診断データレジスタ (ADRD)

ADRDレジスタは、ADC12の自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。A/D変換値を示すAD[11:0]ビットに加えて、自己診断ステータスビット (DIAGST) が付加されています。

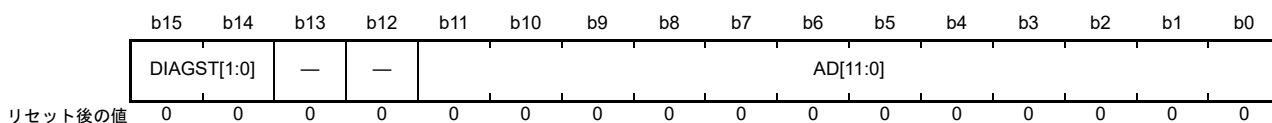
このレジスタは、下記の条件によりデータフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- A/D変換精度指定ビット (ADCER.ADPRC[1:0]) の設定値 (8ビット、10ビット、または12ビット)

A/D自己診断機能にはA/D変換加算モードとA/D変換平均モードを適用することはできません。自己診断の詳細については、[35.2.11 A/Dコントロール拡張レジスタ \(ADCER\)](#) を参照してください。

以下では、各条件のデータフォーマットについて説明します。

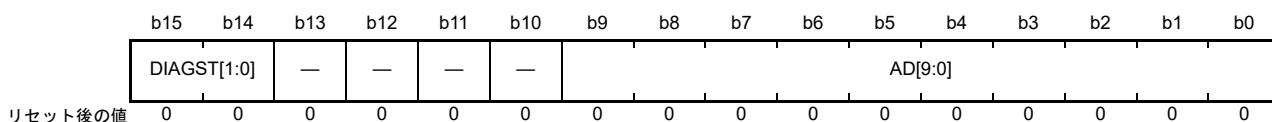
## 右詰めのフォーマット、12ビット精度に設定した場合

アドレス [ADC120.ADRD 4005 C01Eh](#), [ADC121.ADRD 4005 C21Eh](#)

ビット	シンボル	ビット名	機能	R/W
b11-b0	<a href="#">AD[11:0]</a>	変換値11~0	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと0が読めます。	R
b15-b14	<a href="#">DIAGST[1:0]</a>	自己診断ステータス	b15 b14 0 0: パワーオン後に自己診断を実行していないことを示す 0 1: 0Vの電圧値の自己診断を実行したことを示す 1 0: 基準電源 (注1) × 1/2の電圧値の自己診断を実行したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実行したことを示す 自己診断の詳細については、 <a href="#">35.2.11 A/Dコントロール拡張レジスタ (ADCER)</a> を参照してください。	R

注1. 基準電圧はユニット0の場合 VREFH0 を、ユニット1の場合 VREFH を指します。

## 右詰めのフォーマット、10ビット精度に設定した場合

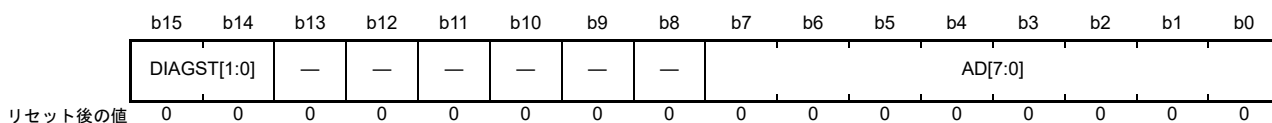


ビット	シンボル	ビット名	機能	R/W
b9-b0	<a href="#">AD[9:0]</a>	変換値9~0	10ビットA/D変換値	R
b13-b10	—	予約ビット	読むと0が読めます。	R
b15-b14	<a href="#">DIAGST[1:0]</a>	自己診断ステータス	b15 b14 0 0: パワーオン後に自己診断を実行していないことを示す 0 1: 0Vの電圧値の自己診断を実行したことを示す 1 0: 基準電源 (注1) × 1/2の電圧値の自己診断を実行したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実行したことを示す 自己診断の詳細については、 <a href="#">35.2.11 A/Dコントロール拡張レジスタ (ADCER)</a> を参照してください。	R

注1. 基準電圧はユニット0の場合 VREFH0 を、ユニット1の場合 VREFH を指します。



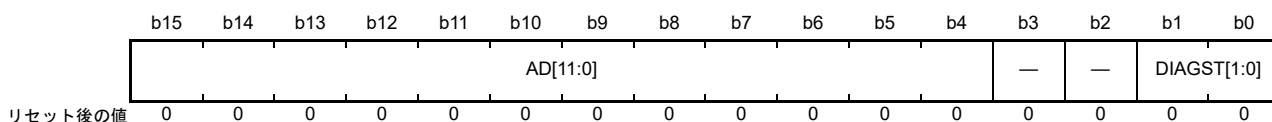
## 右詰めフォーマット、8ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b7-b0	AD[7:0]	変換値7~0	8ビットA/D変換値	R
b13-b8	—	予約ビット	読むと0が読めます。	R
b15-b14	DIAGST[1:0]	自己診断ステータス	b15 b14 0 0: パワーオン後に自己診断を実行していないことを示す 0 1: 0Vの電圧値の自己診断を実行したことを示す 1 0: 基準電源 <sup>(注1)</sup> × 1/2の電圧値の自己診断を実行したことを示す 1 1: 基準電源 <sup>(注1)</sup> の電圧値の自己診断を実行したことを示す 自己診断の詳細については、 <a href="#">35.2.11 A/Dコントロール拡張レジスタ (ADCER)</a> を参照してください。	R

注1. 基準電圧はユニット0の場合 VREFH0 を、ユニット1の場合 VREFH を指します。

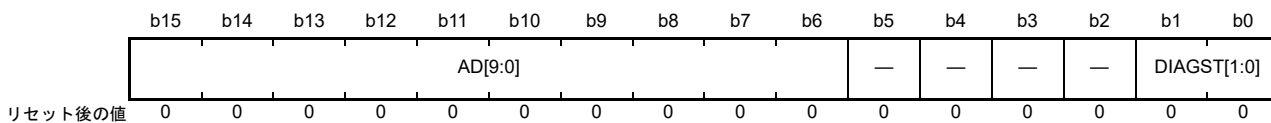
## 左詰めフォーマット、12ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0: パワーオン後に自己診断を実行していないことを示す 0 1: 0Vの電圧値の自己診断を実行したことを示す 1 0: 基準電源 <sup>(注1)</sup> × 1/2の電圧値の自己診断を実行したことを示す 1 1: 基準電源 <sup>(注1)</sup> の電圧値の自己診断を実行したことを示す 自己診断の詳細については、 <a href="#">35.2.11 A/Dコントロール拡張レジスタ (ADCER)</a> を参照してください。	R
b3-b2	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	変換値11~0	12ビットA/D変換値	R

注1. 基準電圧はユニット0の場合 VREFH0 を、ユニット1の場合 VREFH を指します。

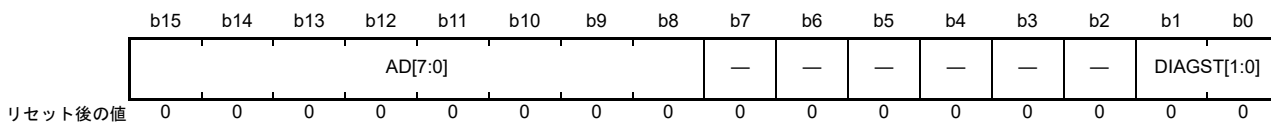
左詰めのフォーマット、10ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0: パワーオン後に自己診断を実行していないことを示す 0 1: 0Vの電圧値の自己診断を実行したことを示す 1 0: 基準電源 (注1) × 1/2の電圧値の自己診断を実行したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実行したことを示す 自己診断の詳細については、 <a href="#">35.2.11 A/Dコントロール拡張レジスタ (ADCER)</a> を参照してください。	R
b5-b2	—	予約ビット	読むと0が読めます。	R
b15-b6	AD[9:0]	変換値9~0	10ビットA/D変換値	R

注1. 基準電圧はユニット0の場合 VREFH0 を、ユニット1の場合 VREFH を指します。

左詰めのフォーマット、8ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0: パワーオン後に自己診断を実行していないことを示す 0 1: 0Vの電圧値の自己診断を実行したことを示す 1 0: 基準電源 (注1) × 1/2の電圧値の自己診断を実行したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実行したことを示す 自己診断の詳細については、 <a href="#">35.2.11 A/Dコントロール拡張レジスタ (ADCER)</a> を参照してください。	R
b7-b2	—	予約ビット	読むと0が読めます。	R
b15-b8	AD[7:0]	変換値7~0	8ビットA/D変換値	R

注1. 基準電圧はユニット0の場合 VREFH0 を、ユニット1の場合 VREFH を指します。

## 35.2.3 A/D コントロールレジスタ (ADCSR)

アドレス ADC120.ADCSR 4005 C000h, ADC121.ADCSR 4005 C200h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]		—			TRGE	EXTRG	DBLE	GBADIE	—					DBLANS[4:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード時のみ有効です。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	GBADIE	グループBスキャン終了割り込みおよびELCイベント許可	0: グループBのスキャン終了後にADC12i_GBADI割り込み発生を禁止 1: グループBのスキャン終了後にADC12i_GBADI割り込み発生を許可 グループBのスキャンは、グループスキャンモードでのみ実行できます。	R/W
b7	DBLE	ダブルトリガモード選択	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択 (注1)	0: 同期トリガ (ELC) によりA/D変換開始 1: 非同期トリガ (ADTRGi) によりA/D変換開始	R/W
b9	TRGE	トリガ開始許可	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b12-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b13	ADCS[1:0]	スキャンモード選択	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタート	0: A/D変換停止 1: A/D変換開始	R/W

iが0の場合はユニット0を、iが1の場合はユニット1を表します。

注1. 外部端子 (非同期トリガ) で A/D 変換を起動する方法:

外部端子 (ADTRG0 (ユニット0)、ADTRG1 (ユニット1)) に High を入力した状態で、ADCSR.TRGE ビットと ADCSR.EXTRG ビットをどちらも1にし、これらの外部端子を Low にします。この設定の場合、ADTRG0 (ユニット0)、ADTRG1 (ユニット1) の立ち下がりがエッジを検出すると、スキャン変換を開始します。この構成では、Low 入力のパルス幅は 1.5PCLKB クロック以上必要です。

## DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択)

ダブルトリガモードで A/D 変換データを 2 重化する 1 チャンネルを選択します。指定したアナログ入力チャンネルを、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。表 35.4 にダブルトリガ対象チャンネルの選択表を示します。

A/D 変換値加算/平均モードは、ダブルトリガモードで、ADADS0 および ADADS1 レジスタを使用して DBLANS[4:0] ビットで選択したチャンネル用に使用することが可能です。ダブルトリガモードでは、ADANSA0 および ADANSA1 レジスタで選択したチャンネルは無効となり、DBLANS[4:0] ビットで選択したチャンネルが代わりに A/D 変換されます。

グループスキャンモードでダブルトリガモードを使用する場合、ダブルトリガ制御はグループ A のみに適用され、グループ B には適用されません。そのため、ダブルトリガモードでもグループ B に対しては、マルチチャンネルアナログ入力、温度センサ出力、内部基準電圧を選択できます。

DBLANS[4:0] ビットの設定は、ADST ビットが 0 のときのみ行ってください。この設定を ADST ビットへの 1 書き込みと同時に実行しないでください。

ダブルトリガモードが選択されている状態で A/D 変換値加算/平均モードに移移するには、DBLANS[4:0] ビットで選択したチャンネルを ADADS0、ADADS1 レジスタに設定してください。

表 35.4 DBLANS ビット設定値とダブルトリガ対象チャンネルの関係

ユニット0		ユニット1	
DBLANS[4:0]	2重化チャンネル	DBLANS[4:0]	2重化チャンネル
00000	AN000	00000	AN100
00001	AN001	00001	AN101
00010	AN002	00010	AN102
00011	AN003	00011	—
00100	—	00100	—
00101	AN005	00101	AN105
00110	AN006	00110	AN106
00111	AN007	00111	AN107

ユニット0		ユニット1	
DBLANS[4:0]	2重化チャンネル	DBLANS[4:0]	2重化チャンネル
10000	AN016	10000	AN116
10001	AN017	10001	AN117
10010	AN018	10010	—
10011	—	10011	—
10100	AN020	10100	—

注． 自己診断機能、温度センサ出力、および内部基準電圧の A/D 変換データは、ダブルトリガモードで使用できません。  
表 35.4 に示す設定以外は使用しないでください。

#### GBADIE ビット (グループ B スキャン終了割り込みおよび ELC イベント許可)

グループスキャンモードでのグループ B のスキャン終了割り込み (ADC12i\_GBADI (i = 0, 1)) の発生を許可/禁止します。

#### DBLE ビット (ダブルトリガモード選択)

ダブルトリガモードの選択/非選択を指定します。ダブルトリガモードは、ADSTRGR.TRSA[5:0] で選択された同期トリガ (ELC) のみで動作できます。

ダブルトリガは以下のように動作します。

1. ADC12i\_ADI (i = 0, 1) を 1 回目の変換終了時は出力せず、2 回目の変換終了時に出力します。
2. 1 回目のトリガで開始した 2 重化チャンネル (DBLANS[4:0] で選択) の A/D 変換結果は、A/D データレジスタ y に格納され、2 回目のトリガで開始した変換結果は、A/D データ 2 重化レジスタに格納されます。

DBLE が設定されている場合 (ダブルトリガモードを選択)、ADANSA0 および ADANSA1 レジスタで指定したチャンネルは無効です。DBLE を 0 にすると、ダブルトリガモードは非選択となります。DBLE を再度 1 にすると、ダブルトリガモードの動作は、1. および 2. に示した 1 回目のトリガによる最初のスキャンと同じ動作になります。

ダブルトリガモードは、連続スキャンモードで選択しないでください。また、温度センサ出力や内部基準電圧を変換する場合はダブルトリガモードを選択しないでください (グループスキャンモードでのグループ B スキャンは除く)。ダブルトリガモードでは、ソフトウェアトリガを設定できません。DBLE ビットの設定は、必ず ADST ビットを 0 にクリアしてから行ってください。すなわち、DBLE ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

#### EXTRG ビット (トリガ選択)

A/D 変換を起動するトリガを同期トリガと非同期トリガのどちらにするかを選択します。

**TRGE ビット (トリガ開始許可)**

同期トリガ、非同期トリガによる A/D 変換の起動を許可/禁止します。グループスキャンモード時は本ビットを 1 にしてください。

**ADCS[1:0] ビット (スキャンモード選択)**

スキャンモードを選択します。

シングルスキャンモードは、ADANSA0、ADANSA1 レジスタで選択した最大 11 チャンネル (ユニット 0) / 8 チャンネル (ユニット 1) のアナログ入力を若いチャンネル番号順に A/D 変換を実行します。選択したすべてのチャンネルの A/D 変換が終了するとスキャン変換を停止します。温度センサ出力または内部基準電圧を選択した場合、チャンネルのアナログ入力の A/D 変換の後に温度センサ出力、内部基準電圧の順に A/D 変換されます。

連続スキャンモードは、ADCSR.ADST ビットが 1 の間、ADANSA0、ADANSA1 レジスタで選択したアナログ入力を若いチャンネル番号順に A/D 変換を実行し、選択したすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを 0 にすると、スキャン中でも A/D 変換を停止します。温度センサ出力または内部基準電圧を選択した場合、チャンネルのアナログ入力の A/D 変換の後に温度センサ出力、内部基準電圧の順に A/D 変換されます。

グループスキャンモードは、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) によりスキャンを開始します。ADANSA0、ADANSA1 レジスタで選択した最大チャンネル数までのアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実行します。選択したすべてのチャンネルの A/D 変換が終了すると A/D 変換を停止します。また、同じトリガで、ADANSB0、ADANSB1 レジスタで選択した最大チャンネル数までのアナログ入力 (グループ B) を若いチャンネル番号順に A/D 変換を実行します。選択したすべてのチャンネルの A/D 変換が終了すると A/D 変換を停止します。このとき、グループ A 側とグループ B 側の変換が重なった場合、変換制御は別々に制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット (ADGSPCR.PGS) を 1 にして、変換優先順位を A 側に設定してください。温度センサ出力または内部基準電圧を選択した場合、チャンネルのアナログ入力の A/D 変換の後に温度センサ出力、内部基準電圧の順に A/D 変換されます。

グループスキャンモード時は、グループ A とグループ B で別々のチャンネルとトリガを選択してください。ADCS[1:0] ビットの設定は、ADCS ビットの 0 クリア後に行ってください。すなわち、ADST ビットへの 1 書き込みと ADCS[1:0] ビットの設定を同時に行うことは禁止されています。

表 35.5 スキャンモード、ダブルトリガモードと A/D 変換対象の選択可否

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力 (グループ A 含む)	アナログ入力 (グループ B)	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	○	○	-	○	○
	DBLE = 1	-	○ (1chのみ)	-	-	-
連続スキャン	DBLE = 0	○	○	-	○	○
	DBLE = 1	-	-	-	-	-
グループスキャン	DBLE = 0	○	○	○	○	○
	DBLE = 1	-	○ (1chのみ)	○	○	○

○ : 選択可能、- : 選択不可能

**ADST ビット (A/D 変換スタート)**

A/D 変換の開始/停止を制御します。ADST ビットを 1 にする場合は、事前に A/D 変換クロック、変換モード、および変換対象アナログ入力の設定を行ってください。

[1 になる条件]

- ソフトウェアで 1 を書き込んだとき
- ADCSR.EXTRG ビットを 0、ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) を検出したとき

- グループスキャンモードでADCSR.TRGEビットを1にし、ADSTRGR.TRSB[5:0]ビットで選択した同期トリガ (ELC) を検出したとき
- ADCSR.TRGEビットと ADCSR.EXTRG ビットを1、ADSTRGR.TRSA[5:0]ビットを000000bにし、非同期トリガを検出したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、ADGSPCR.GBRPビットを1にして、グループBのA/D変換を開始したとき

[0になる条件]

- ソフトウェアで0を書き込んだとき
  - シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力、または内部基準電圧のA/D変換が終了したとき
  - グループスキャンモードでグループAのスキャンが終了したとき
  - グループスキャンモードでグループBのスキャンが終了したとき
  - グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、ADGSPCR.GBRSCNビットを1にして、グループBのスキャンが終了したとき
- 注. グループA優先制御動作モード有効時 (ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)、ADSTビットを1にしないでください。
- 注. グループA優先制御動作モード有効時 (ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)、ADSTビットを0にしないでください。A/D変換を強制停止させる場合、ADSTビットのクリア手順に従ってください。
- 注. グループ優先動作モード有効時 (ADCSR.ADCS[1:0]=01bかつADGSPCR.PGS=1)にシングルスキャン連続起動機能が使用される (ADGSPCR.GBRP=1) 場合、ADSTビットは1に保持されます。

## 35.2.4 A/D チャンネル選択レジスタ A0 (ADANSA0)

アドレス ADIC120.ADANSA0 4005 C004h, ADC121.ADANSA0 4005 C204h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	ANSA0 7	ANSA0 6	ANSA0 5	—	ANSA0 3	ANSA0 2	ANSA0 1	ANSA0 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ANSA03 ~ ANSA00	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b5	ANSA07 ~ ANSA05	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## ANSAn ビット (n = 00 ~ 07) (A/D変換チャンネル選択)

A/D変換を行うチャンネルのアナログ入力 AN000 ~ AN003 と AN005 ~ AN007 (ユニット0)、および AN100 ~ AN102 と AN105 ~ AN107 (ユニット1) の選択/非選択を制御します。チャンネルおよびチャンネル数は任意に設定可能です。ユニット0では、ANSA00ビットがAN000に、ANSA07ビットがAN007に対応します。ユニット1では、ANSA00ビットがAN100に、ANSA07ビットがAN107に対応します。

ダブルトリガモード時は、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルがグループAの選択チャンネルとなり、ADANSA0レジスタの設定は無効になります。

グループスキャンモード時は、A/Dチャンネル選択レジスタB0 (ADANSB0)、およびA/Dチャンネル選択レジスタB1 (ADANSB1)で指定したチャンネルを設定しないでください。ADANSA0レジスタの設定は、ADCSR.ADSTビットが0のときのみ行ってください。

## 35.2.5 A/D チャンネル選択レジスタ A1 (ADANSA1)

アドレス ADIC120.ADANSA1 4005 C006h, ADC121.ADANSA1 4005 C206h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	ANSA2 0	—	ANSA1 8	ANSA1 7	ANSA1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ANSA18~ANSA16	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ANSA20	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**ANSAn ビット (n = 16 ~ 18、20) (A/D 変換チャンネル選択)**

A/D変換を行うチャンネルのアナログ入力 AN016 ~ AN018 と AN020 (ユニット 0)、および AN116 ~ AN117 (ユニット 1) の選択/非選択を制御します。チャンネルおよびチャンネル数は任意に設定可能です。ユニット 0 では、ANSA16 ビットが AN016 に、ANSA20 ビットが AN020 に対応します。ユニット 1 では、ANSA16 ビットが AN116 に、ANSA17 ビットが AN117 に対応します。

ダブルトリガモード時は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA1[15:0] ビットの設定は無効になります。

グループスキャンモード時は、A/D チャンネル選択レジスタ B0 (ADANSB0)、および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。ADANSA1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。



## 35.2.6 A/D チャネル選択レジスタ B0 (ADANSB0)

アドレス ADAC120.ADANSB0 4005 C014h, ADC121.ADANSB0 4005 C214h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	ANSB0 7	ANSB0 6	ANSB0 5	—	ANSB0 3	ANSB0 2	ANSB0 1	ANSB0 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ANSB03 ~ ANSB00	A/D 変換チャネル選択	0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b5	ANSB07 ~ ANSB05	A/D 変換チャネル選択	0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## ANSBn ビット (n = 00 ~ 03, 05 ~ 07) (A/D 変換チャネル選択)

グループスキャンモード時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN003 と AN005 ~ AN007 (ユニット 0)、および AN100 ~ AN102 と AN105 ~ AN107 (ユニット 1) の選択を行います。ADANSB0 レジスタはグループスキャンモードでのみ使用され、他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (ADANSA0 および ADANSA1 レジスタ、またはダブルトリガモードの場合は ADCSR.DBLANS[4:0] で選択したグループ A に対応しているチャネル) 以外から設定します。

ユニット 0 では、ANSB00 ビットが AN000 に、ANSB07 ビットが AN007 に対応します。ユニット 1 では、ANSB00 ビットが AN100 に、ANSB07 ビットが AN107 に対応します。ADANSB0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

## 35.2.7 A/Dチャンネル選択レジスタ B1 (ADANSB1)

アドレス ADAC120.ADANSB1 4005 C016h, ADC121.ADANSB1 4005 C216h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	ANSB2 0	—	ANSB1 8	ANSB1 7	ANSB1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ANSB18~ANSB16	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ANSB20	A/D変換チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## ANSBn ビット (n = 16 ~ 20) (A/D変換チャンネル選択)

グループスキャンモード時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN016 ~ AN018、AN020 (ユニット 0)、および AN116 ~ AN117 (ユニット 1) の選択を行います。ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (ADANSA0 および ADANSA1 レジスタ、またはダブルトリガモードの場合は ADCSR.DBLANS[4:0] で選択したグループ A に対応しているチャンネル) 以外から設定します。

ユニット 0 では、ANSB16 ビットが AN016 に、ANSB20 ビットが AN020 に対応します。ユニット 1 では、ANSB16 ビットが AN116 に、ANSB17 ビットが AN117 に対応します。ADANSB1 レジスタの設定は、ADST ビットが 0 のときのみ行ってください。

## 35.2.8 A/D 変換値加算／平均チャンネル選択レジスタ 0 (ADADS0)

アドレス ADC120.ADADS0 4005 C008h, ADC121.ADADS0 4005 C208h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	ADS07	ADS06	ADS05	—	ADS03	ADS02	ADS01	ADS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ADS03～ADS00	A/D 変換値加算／平均チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b5	ADS07～ADS05	A/D 変換値加算／平均チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ADS<sub>n</sub> ビット (n = 00～03、05～07) (A/D 変換値加算／平均チャンネル選択)

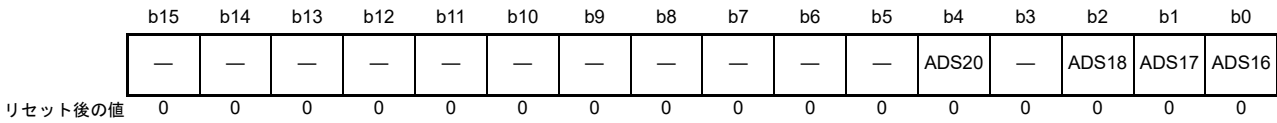
ADANSA0.ANSA<sub>n</sub> ビット (n = 00～03、05～07)、または ADCSR.DBLANS[4:0] ビットと ADANSB0.ANSB<sub>n</sub> ビット (n = 00～03、05～07) で選択した A/D 変換チャンネルと同一番号の ADS<sub>n</sub> ビットを 1 にすると、選択したチャンネルのアナログ入力のア/D 変換が ADADC.ADC[2:0] ビットで指定した回数 (1～16 回) 分、順次行われます。ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を、A/D データレジスタに格納します。加算／平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実行し、A/D データレジスタに変換結果を格納します。

ユニット 0 では、ADS00 ビットが AN000 に、ADS07 ビットが AN007 に対応します。ユニット 1 では、ADS00 ビットが AN100 に、ADS07 ビットが AN107 に対応します。

ADADS0 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

35.2.9 A/D変換値加算／平均チャンネル選択レジスタ1 (ADADS1)

アドレス ADAC120.ADADS1 4005 C00Ah, ADC121.ADADS1 4005 C20Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	ADS18～ADS16	A/D変換値加算／平均チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ADS20	A/D変換値加算／平均チャンネル選択	0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ADS<sub>n</sub> ビット (n = 16 ~ 18、20) (A/D変換値加算／平均チャンネル選択)

ADANSA1.ANSA<sub>n</sub> ビット (n = 16 ~ 18、20)、または ADCSR.DBLANS[4:0] ビットと ADANSB1.ANSB<sub>n</sub> ビット (n = 16 ~ 18、20) で選択した A/D 変換チャンネルと同一番号の ADS<sub>n</sub> ビットを 1 にすると、ADADC.ADC[2:0] ビットで指定した回数 (1 ~ 16 回) 分、選択したチャンネルのアナログ入力のア/D 変換が連続して行われます。ADADC.AVEE ビットが 0 の場合、加算 (積算) した値を A/D データレジスタに格納します。ADADC.AVEE ビットが 1 の場合は、加算値から平均した値を A/D データレジスタに格納します。加算／平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実行し、A/D データレジスタに値を格納します。

ユニット 0 では、ADS16 ビットが AN016 に、ADS20 ビットが AN020 に対応します。ユニット 1 では、ADS16 ビットが AN116 に、ADS17 ビットが AN117 に対応します。ADADS1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

図 35.3 に、ADADS0.ADS02 および ADS06 ビットを 1 にしたときのスキャン動作シーケンスを示します。

この例では、連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算モードを選択 (ADADC.AVEE = 0)、変換回数は 4 回に設定 (ADADC.ADC[1:0] = 11b) して、AN000 ~ AN003 と AN005 ~ AN007 チャンネルが選択 (ADANSA0.ANSA0[15:0] = 00EFh) されています。AN000 から変換を開始します。AN002 の変換は 4 回連続変換し、加算 (積算) 値を A/D データレジスタ ADDR2 に返します。次に、AN003 の変換を開始して、AN007 の変換は 4 回連続変換し、加算 (積算) 値を A/D データレジスタ ADDR7 に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

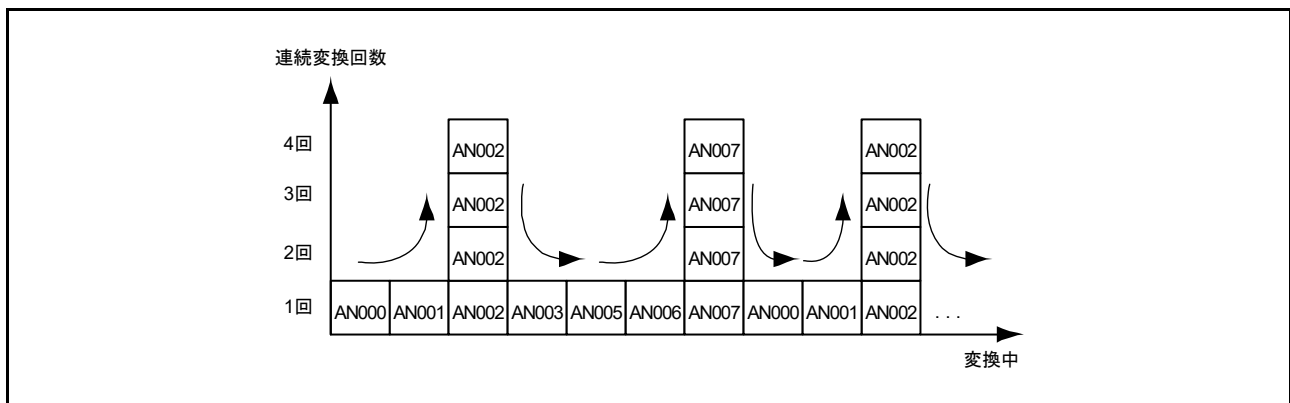


図 35.3 ADADC.ADC[2:0] = 011b、ADADS0.ADS02 = 1、ADADS0.ADS07 = 1 選択時のスキャン変換シーケンス

## 35.2.10 A/D 変換値加算／平均回数選択レジスタ (ADADC)

アドレス ADADC120.ADADC 4005 C00Ch, ADC121.ADADC 4005 C20Ch

b7	b6	b5	b4	b3	b2	b1	b0
AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	回数選択	b2 b0 0 0 0: 1回変換 (加算なし。通常変換と同じ) 0 0 1: 2回変換 (1回加算を行う) 0 1 0: 3回変換 (2回加算を行う) 0 1 1: 4回変換 (3回加算を行う) 1 0 1: 16回変換 (15回加算を行う) 上記以外は設定しないでください。	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AVEE	平均モードイネーブル	0: 平均モードを禁止 (注1) 1: 平均モードを許可 (注2)	R/W

注 1. ADADC.AVEE ビットを 0 にして平均モードを非選択にする場合、加算回数は、1 回、2 回、3 回、4 回、または 16 回変換に設定してください。16 回変換は 12 ビット精度選択時のみ使用できます。

注 2. ADADC.AVEE ビットを 1 にして平均モードを選択する場合、1 回、2 回、または 4 回変換に設定してください。加算回数は、3 回または 16 回変換 (ADC[2:0] = 010b または 101b) に設定しないでください。

## ADC[2:0] ビット (回数選択)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算／平均モードが選択されたすべてのチャンネルに対して加算回数を設定します。加算回数は、温度センサ出力、内部基準電圧の A/D 変換にも適用されます。

ADADC.AVEE ビットを 1 にして平均モードを選択する場合、3 回変換 (ADADC.ADC[2:0] = 010b) に設定しないでください。また、35.2.1 で説明しているように、16 回変換 (ADADC.ADC[2:0] = 101b) と変換精度 8 ビットまたは 10 ビット (ADCER.ADPRC[1:0] = 10b または 01b) の設定を組み合わせることは禁止されています。

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。自己診断機能 (ADCER.DIAGM = 1) を実施する場合、ADC[2:0] を 000b 以外の値にしないでください。変換精度が 8 または 10 ビット (ADCER.ADPRC[1:0] = 10b または 01b) の場合、ADC[2:0] ビットを 101b にしないでください。

## AVEE ビット (平均モードイネーブル)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算／平均モードが選択されたすべてのチャンネル、温度センサ出力、内部基準電圧の A/D 変換に対して、加算モードまたは平均モードの選択を行います。

ADADC.AVEE ビットを 1 にして平均モードを選択する場合、3 回変換 (ADADC.ADC[2:0] = 010b) に設定しないでください。

AVEE ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

## 35.2.11 A/D コントロール拡張レジスタ (ADCER)

アドレス ADC120.ADCER 4005 C00Eh, ADC121.ADCER 4005 C20Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	ADPRC[1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2-b1	ADPRC[1:0]	A/D 変換精度指定	b2 b1 0 0: 12ビット精度 0 1: 10ビット精度 1 0: 8ビット精度 1 1: 設定禁止	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	ACE	A/D データレジスタ自動クリアイネーブル	0: 自動クリアを禁止 1: 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択	b9 b8 0 0: 自己診断有効時は設定禁止 0 1: 0V 1 0: 基準電源の電圧値 (注1) × 1/2 1 1: 基準電源の電圧値 (注1)	R/W
b10	DIAGLD	自己診断モード選択	0: 自己診断電圧ローテーションモードを選択 1: 自己診断電圧固定モードを選択	R/W
b11	DIAGM	自己診断イネーブル	0: ADC12の自己診断を実行しない 1: ADC12の自己診断を実行する	R/W
b14-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択	0: A/D データレジスタのフォーマットを右詰めにする 1: A/D データレジスタのフォーマットを左詰めにする	R/W

注1. 基準電圧はユニット0の場合 VREFH0 を、ユニット1の場合 VREFH を指します。

## ADPRC[1:0] ビット (A/D 変換精度指定)

A/D 変換精度を、8 ビット、10 ビット、12 ビット精度から選択して設定します。A/D 変換精度を変えた場合、結果レジスタに格納する有効データのビット幅、A/D 変換時間も変わります。詳細は、[35.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

ADPRC[1:0] ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

## ACE ビット (A/D データレジスタ自動クリアイネーブル)

CPU、DTC、またはDMACによってADDRy、ADDRD、ADDBLDR、ADDBLDRDRA、ADDBLDRB、ADTSDR、またはADOCADR レジスタを読み出した後、当該レジスタの自動クリア (すべて0) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新障害を検出することが可能です。

## DIAGVAL[1:0] ビット (自己診断変換電圧選択)

自己診断電圧固定モードでの電圧値を選択します。詳細は、ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが00bの場合、ADCER.DIAGLD ビットを1にして自己診断を実行しないでください。

### DIAGLD ビット (自己診断モード選択)

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。本ビットを0にすると、0V → 基準電源電圧 × 1/2 → 基準電源電圧の順番にローテーションして変換していきます。リセット後、自己診断電圧ローテーションモードを選択した場合は、0V から自己診断を行います。

ADCSR.DIAGVAL[1:0] ビットで指定した固定電圧は、自己診断電圧固定モード選択時に変換されます。自己診断電圧ローテーションモードでは、スキャン変換が終了しても自己診断電圧は0Vに戻りません。再びスキャン変換を実行すると、前回の続きからローテーションします。固定モードから、ローテーションモードに切り替えた場合は、固定電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

### DIAGM ビット (自己診断イネーブル)

自己診断を実施するかしないかを選択します。自己診断は、ADC12の故障を検出するための機能です。自己診断モードでは、内部で生成する0V、基準電源電圧 × 1/2、基準電源電圧の3つの電圧値のいずれかを変換します。変換が終了すると、A/D 自己診断データレジスタ (ADRD) に変換した電圧の情報と変換結果を格納します。ADRD レジスタをソフトウェアで読み出し、変換結果が正常な範囲内にあるかどうか (値が正常か異常か) を判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。ダブルトリガモードを設定 (ADCSR.DBLE = 1) した場合は、自己診断をしないでください (DIAGM = 0)。グループスキャンモードで自己診断を選択した場合は、グループAとグループBでそれぞれ別々に自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

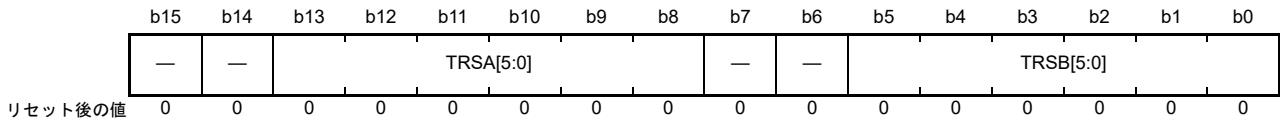
### ADRFMT ビット (A/D データレジスタフォーマット選択)

ADDR<sub>y</sub>、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADCMPDR0/1、ADWINLLB、ADWINULB、またはADRDレジスタに格納するデータの右詰め/左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

## 35.2.12 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス AD120.ADSTRGR 4005 C010h, ADC121.ADSTRGR 4005 C210h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB用A/D変換開始トリガ選択	グループスキャンモードでグループBのA/D変換開始トリガを選択します。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択	シングルスキャンモード、連続モードではA/D変換開始トリガを指定します。グループスキャンモードではグループAのA/D変換開始トリガを選択します。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## TRSB[5:0] ビット (グループ B 用 A/D 変換開始トリガ選択)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定はしないでください。グループスキャンモードでは、TRSB[5:0] ビットを 000000b 以外の値にし、ADCSR.TRGE ビットを 1 にしてください。

グループスキャンモードのグループ A 優先制御時に、ADGSPCR.GBRP ビットを 1 にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを 1 にする場合は、TRSB[5:0] ビットを 3Fh にしてください。変換トリガの発行間隔は、実際のスキャン変換時間 ( $t_{SCAN}$ ) 以上となるように設定してください。発行間隔が  $t_{SCAN}$  より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに 120MHz 動作モジュール (GPT) からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、35.3.6 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。

表 35.6 に TRSB[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 35.6 TRSB[5:0] ビットでの A/D 変換起動要因選択一覧

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態		1	1	1	1	1	1
ELC_ADC00 (ユニット0)、 ELC_ADC10 (ユニット1)	ELC	0	0	1	0	0	1
ELC_ADC01 (ユニット0)、 ELC_ADC11 (ユニット1)	ELC	0	0	1	0	1	0
ELC_ADC00/ELC_ADC01 (ユニット0) ELC_ADC10/ELC_ADC11 (ユニット1)	ELC	0	0	1	0	1	1

## TRSA[5:0] ビット (A/D 変換開始トリガ選択)

シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループスキャンモードでは、グループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを行う場合、ソフトウェアトリガと非同期トリガは使用しないでください。

同期トリガ (ELC) を A/D 変換起動要因として使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 0 にしてください。



非同期トリガ (ADTRGn) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 1 にしてください。

ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。変換トリガの発行間隔は、実際のスキャン変換時間 ( $t_{SCAN}$ ) 以上となるように設定してください。発行間隔が  $t_{SCAN}$  より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに 120MHz 動作モジュール (GPT) からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、[35.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

表 35.7 に TRSA[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 35.7 TRSA[5:0] ビットでの A/D 変換起動要因選択一覧

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態		1	1	1	1	1	1
ADTRGn	トリガ入力端子	0	0	0	0	0	0
ELC_ADC00 (ユニット0)、 ELC_ADC10 (ユニット1)	ELC	0	0	1	0	0	1
ELC_ADC01 (ユニット0)、 ELC_ADC11 (ユニット1)	ELC	0	0	1	0	1	0
ELC_ADC00/ELC_ADC01 (ユニット0) ELC_ADC10/ELC_ADC11 (ユニット1)	ELC	0	0	1	0	1	1

## 35.2.13 A/D 変換拡張入力コントロールレジスタ (ADEXICR)

アドレス AD120.ADEXICR 4005 C012h, AD121.ADEXICR 4005 C212h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	OCSB	TSSB	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力 A/D 変換値加算/平均モード選択	0: 温度センサ出力に対し加算/平均モード非選択 1: 温度センサ出力に対し加算/平均モード選択	R/W
b1	OCSAD	内部基準電圧 A/D 変換値加算/平均モード選択	0: 内部基準電圧に対し加算/平均モード非選択 1: 内部基準電圧に対し加算/平均モード選択	R/W
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b8	TSSA	温度センサ出力 A/D 変換選択	0: 温度センサ出力の A/D 変換禁止 1: 温度センサ出力の A/D 変換許可	R/W
b9	OCSA	内部基準電圧 A/D 変換選択	0: 内部基準電圧の A/D 変換禁止 1: 内部基準電圧の A/D 変換許可	R/W
b10	TSSB	グループ B 用温度センサ出力 A/D 変換選択	グループ スキャンモードの場合のグループ B の選択 0: 温度センサ出力の A/D 変換禁止 1: 温度センサ出力の A/D 変換許可	R/W
b11	OCSB	グループ B 用内部基準電圧 A/D 変換選択	グループ スキャンモードの場合のグループ B の選択 0: 内部基準電圧の A/D 変換禁止 1: 内部基準電圧の A/D 変換許可	R/W
b15-b12	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

**TSSAD ビット (温度センサ出力 A/D 変換値加算/平均モード選択)**

TSSAD ビットが 1 の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して温度センサ出力の A/D 変換が行われます。最大加算回数は、35.2.1 で示すように変換精度によって異なります。ADADC.AVEE ビットが 0 の場合は加算 (積算) した値を、ADADC.AVEE ビットが 1 の場合は平均した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。

TSSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

**OCSAD ビット (内部基準電圧 A/D 変換値加算/平均モード選択)**

OCSAD ビットが 1 の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して内部基準電圧の A/D 変換が行われます。最大加算回数は、35.2.1 で示すように変換精度によって異なります。ADADC.AVEE ビットが 0 の場合は加算 (積算) した値を、ADADC.AVEE ビットが 1 の場合は平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。

OCSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

**TSSA ビット (温度センサ出力 A/D 変換選択)**

シングルスキャンモード、連続スキャンモード、およびグループ スキャンモードのグループ A での温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換をする場合、ADCSR.DBLE ビットを 0 にしてください。

TSSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

**OCSA ビット (内部基準電圧 A/D 変換選択)**

シングルスキャンモード、連続スキャンモード、およびグループ スキャンモードのグループ A での内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換をする場合、ADCSR.DBLE ビットを 0 にしてください。

OCSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。また、OCSA ビットを 1 に設定した場合は、設定後 400ns 以上待ってから A/D 変換を開始してください。

**TSSB ビット (グループ B 用温度センサ出力 A/D 変換選択)**

グループスキャンモードのグループ B での温度センサ出力の A/D 変換を選択します。

TSSB ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。TSSA ビットが 1 のときは、TSSB ビットを 1 にしないでください。

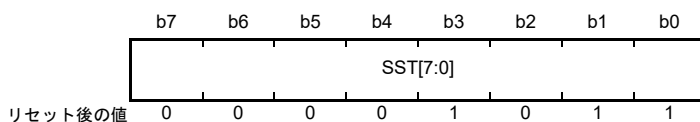
**OCSB ビット (グループ B 用内部基準電圧 A/D 変換選択)**

グループスキャンモードのグループ B での内部基準電圧の A/D 変換を選択します。

OCSB ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。OCSA ビットが 1 のときは、OCSB ビットを 1 にしないでください。また、OCSB ビットを 1 にしてから 400ns 以上待ってから A/D 変換を開始してください。

### 35.2.14 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 00 ~ 03, 05 ~ 07, L, T, O)

アドレス [ADC120.ADSSTR00 4005 C0E0h](#)~[ADC120.ADSSTR03 4005 C0E3h](#),  
[ADC120.ADSSTR05 4005 C0E5h](#)~[ADC120.ADSSTR07 4005 C0E7h](#),  
[ADC120.ADSSTRL 4005 C0DDh](#), [ADC120.ADSSTRT 4005 C0DEh](#), [ADC120.ADSSTRO 4005 C0DFh](#),  
[ADC121.ADSSTR00 4005 C2E0h](#)~[ADC121.ADSSTR02 4005 C2E2h](#),  
[ADC121.ADSSTR05 4005 C2E5h](#)~[ADC121.ADSSTR07 4005 C2E7h](#),  
[ADC121.ADSSTRL 4005 C2DDh](#), [ADC121.ADSSTRT 4005 C2DEh](#), [ADC121.ADSSTRO 4005 C2DFh](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定	5~255ステートの間でサンプリング時間を設定します。	R/W

ADSSTRn レジスタは、アナログ入力サンプリング時間の設定を行います。1ステート = 1ADCLK (A/D変換クロック) 幅で ADCLK クロックが 60MHz であれば、1ステート = 16.7ns になります。初期値は 11ステートです。

アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することが可能です。

SST[7:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

サンプリング時間の下限値は分周比によって以下のように異なります。

- PCLKB : PCLKC (ADCLK) の分周比が 1:1、2:1、4:1、または 8:1 の場合、サンプリング時間は 5 ステートより長く設定してください
- PCLKB : PCLKC (ADCLK) の分周比が 1:2 または 1:4 の場合、サンプリング時間は 6 ステートより長く設定してください

表 35.8 に A/D サンプリングステートレジスタと関連チャネルの関係を示します。詳細は、[35.3.6 アナログ入力サンプリング時間とスキャン変換時間](#)を参照してください。

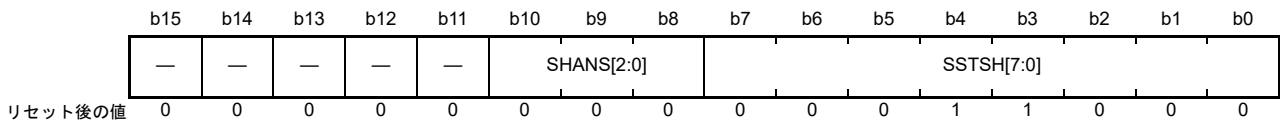
表 35.8 A/D サンプリングステートレジスタと関連チャネルの関係

ビット名	関連チャネル	
	ユニット0	ユニット1
ADSSTR00.SST[7:0]ビット (注1)	AN000	AN100
ADSSTR01.SST[7:0]ビット	AN001	AN101
ADSSTR02.SST[7:0]ビット	AN002	AN102
ADSSTR03.SST[7:0]ビット	AN003	-
ADSSTR05.SST[7:0]ビット	AN005	AN105
ADSSTR06.SST[7:0]ビット	AN006	AN106
ADSSTR07.SST[7:0]ビット	AN007	AN107
ADSSTRL.SST[7:0]ビット	AN016~AN018, AN020	AN116, AN117
ADSSTRT.SST[7:0]ビット	温度センサ出力	温度センサ出力
ADSSTRO.SST[7:0]ビット	内部基準電圧	内部基準電圧

注 1. 自己診断機能を選択したときは、ADSSTR0.SST[7:0] で設定したサンプリング時間が適用されます。

## 35.2.15 A/D サンプル &amp; ホールド回路コントロールレジスタ (ADSHCR)

アドレス ADC120.ADSHCR 4005 C066h, ADC121.ADSHCR 4005 C266h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTSH[7:0]	チャンネル専用サンプル&ホールド回路 サンプリング時間設定	サンプリング時間 (4~255ステート)	R/W
b10-b8	SHANS[2:0]	チャンネル専用サンプル&ホールド回路 バイパス選択	AN000~AN002 (ユニット0) / AN100~AN102 (ユ ニット1) のチャンネル専用サンプル&ホールド回路を使 用するか、使用せずバイパスするかを選択します。 0: 上記回路をバイパス 1: 上記回路を使用	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**SSTSH[7:0] ビット (チャンネル専用サンプル & ホールド回路サンプリング時間設定)**

チャンネル専用サンプル&ホールド回路のサンプリング時間設定をします。1ステート=1ADCLK (A/D変換クロック) 幅で ADCLK クロックが 60MHz であれば、1ステート=16.7ns になります。初期値は 24ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することが可能です。

SSTSH[7:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。サンプリング時間の設定値は、4ステート以上 255ステート以下の値を設定してください。

**SHANS[2:0] ビット (チャンネル専用サンプル & ホールド回路バイパス選択)**

AN000~AN002 (ユニット0) / AN100~AN102 (ユニット1) のチャンネル専用サンプル & ホールド回路を使用するか、使用せずバイパスするかを選択します。ユニット0では、SHANS[0] ビットが AN000 に、SHANS[1] ビットが AN001 に、SHANS[2] ビットが AN002 に対応します。ユニット1では、SHANS[0] ビットが AN100 に、SHANS[1] ビットが AN101 に、SHANS[2] ビットが AN102 に対応します。

グループスキャンモードのグループ A 優先制御時に、グループ B に AN000~AN002 (ユニット0) / AN100~AN102 (ユニット1) のいずれかのチャンネルを選択した場合は、この設定で当該チャンネルの専用サンプル&ホールド回路をバイパスするようにしてください。

SHANS[2:0] ビットの設定は、ADCSR.ADST ビットと ADSHMSR.SHMD ビットがどちらも 0 であるときのみ行ってください。

## 35.2.16 A/D サンプル &amp; ホールド動作モード選択レジスタ (ADSHMSR)

アドレス ADC120.ADSHMSR 4005 C07Ch, ADC121.ADSHMSR 4005 C27Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SHMD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SHMD	サンプリング動作選択	0: 常時サンプリング機能は無効 1: 常時サンプリング機能は有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

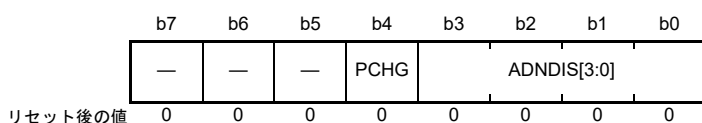
**SHMD ビット (サンプリング動作選択)**

SHMD ビットを1にすると、ADSHCR.SHANS[2:0] ビットで選択されたチャンネル専用サンプル&ホールド回路の常時サンプリング機能が有効になります。SHMD ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

常時サンプリング機能が有効な場合、サンプル&ホールド回路は、ADC12 が動作していないときにはサンプリング動作を行い、ADC12 が動作中のときにはホールド動作を行います。

注. SHMD ビットを1にしてから400ns (許容信号源インピーダンスが1kΩの場合) 以上の時間が経過してから、ADCSR.ADST ビットが1になるようにしてください。サンプル&ホールド回路のサンプリング周期は400ns (許容信号源インピーダンスが1kΩの場合) 以上でなければなりません。

## 35.2.17 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス [ADC120.ADDISCR 4005 C07Ah](#), [ADC121.ADDISCR 4005 C27Ah](#)

ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">ADNDIS[3:0]</a>	断線検出アシスト設定	b3-b0 0000 : 断線検出アシスト機能は無効 0001 : 設定禁止 その他 : プリチャージ/ディスチャージ期間のステート数	R/W
b4	<a href="#">PCHG</a>	プリチャージ/ディスチャージ選択	0 : ディスチャージ 1 : プリチャージ	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

A/D 断線検出アシスト機能におけるプリチャージ/ディスチャージの選択およびプリチャージ/ディスチャージ期間の設定を行います。

ADDISCR レジスタの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

下記の機能のいずれかが使用されている場合、断線検出アシスト機能は無効にしてください。

- 温度センサ
- 内部基準電圧
- A/D 自己診断
- バイパス許可なしのプログラマブルゲインアンプ

**ADNDIS[3:0] ビット (断線検出アシスト設定)**

ADNDIS[3:0] ビットは、プリチャージ/ディスチャージの期間を指定します。ADNDIS[3:0] = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] = 0001b は設定禁止です。ADNDIS[3:0] = 0000b、0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。ADNDIS[3:0] ビットが 0000b および 0001b 以外の値の場合、断線検出アシスト機能は有効になります。

**PCHG ビット (プリチャージ/ディスチャージ選択)**

PCHG ビット = 1 でプリチャージが選択され、PCHG ビット = 0 でディスチャージが選択されます。

## 35.2.18 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス AD120.ADGSPCR 4005 C080h, ADC121.ADGSPCR 4005 C280h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定 (注1)	0: グループAの優先制御動作を行わない 1: グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定	PGS = 1のときのみ有効。PGS = 0のときは予約ビット 0: グループAの優先制御でグループBのスキャンを中断した後にそのスキャンの再起動をしない 1: グループAの優先制御でグループBのスキャンを中断した後にそのスキャンを再起動する	R/W
b14-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	GBRP	グループB用シングルスキャン連続起動設定 (注2)	PGS = 1のときのみ有効。PGS = 0のときは予約ビット 0: グループBのシングルスキャン連続動作を行わない 1: グループBのシングルスキャン連続動作を行う	R/W

注1. ADCSR.ADCS[1:0] ビットは、PGS を 1 にする前に 01b (グループスキャンモード) にする必要があります。それ以外の値にした場合、動作は保証されません。

注2. GBRP ビットを 1 にした場合は、GBRSCN ビットの設定にかかわらず、グループ B のシングルスキャン連続動作を実行します。

**PGS ビット (グループ A 優先制御設定)**

PGS ビットを 1 にすると、グループ A の優先動作が行われます。PGS ビットを 1 にする場合は、事前に ADCSR.ADCS[1:0] ビットを 01b (グループスキャンモード) にしてください。それ以外の値にした場合、動作は保証されません。

PGS ビットを 0 にする場合は、35.6.2 A/D 変換停止時の注意事項に従い、ソフトウェアでのクリアを行ってください。PGS ビットを 1 にする場合は、35.3.4.3 グループ A 優先制御動作の手順に従い設定を行ってください。

**GBRSCN ビット (グループ B 再起動設定)**

グループ A 優先制御時の、グループ B の再スキャン動作を制御します。GBRSCN ビットを 1 にすると、グループ A のトリガ入力によるグループ B のスキャン動作中断後、グループ A の変換終了を待ってグループ B の再スキャン動作を実行します。また、グループ A の A/D 変換動作中にグループ B のトリガ入力があった場合、グループ A の変換終了を待ってグループ B の再スキャン動作を行います。

GBRSCN ビットを 0 にした場合は、A/D 変換実行中に入力されたトリガは無視されます。GBRSCN ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

GBRSCN ビットの設定は、PGS ビットが 1 のときに有効となります。

**GBRP ビット (グループ B 用シングルスキャン連続起動設定)**

GBRP ビットを設定すると、グループ B のシングルスキャン連続動作を実行します。GBRP ビットを 1 にした場合は、グループ B のシングルスキャンが起動します。スキャン終了後は自動的にグループ B のシングルスキャンを再開します。グループ A の動作によってグループ B の変換が中断した場合、グループ A の動作が優先され、グループ A の変換終了後、自動的にグループ B のシングルスキャンを再開します。

GBRP ビットを 1 にする場合は、事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを 1 にした場合、GBRSCN ビットの設定は無効となります。GBRP ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

GBRP ビットの設定は、PGS ビットが 1 のときに有効となります。



## 35.2.19 A/D コンペア機能コントロールレジスタ (ADCMPCR)

アドレス ADC120.ADCMPCR 4005 C090h, ADC121.ADCMPCR 4005 C290h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMPAIE	WCMPPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウ A/B 複合条件設定	b1 b0 0 0: ウィンドウ A 比較条件に一致 OR ウィンドウ B 比較条件に一致の場合、ADC12i_WCMPPM を出力。その他の場合は ADC12i_WCMPUM を出力 0 1: ウィンドウ A 比較条件に一致 EXOR ウィンドウ B 比較条件に一致の場合、ADC12i_WCMPPM を出力。その他の場合は ADC12i_WCMPUM を出力 1 0: ウィンドウ A 比較条件に一致 AND ウィンドウ B 比較条件に一致の場合、ADC12i_WCMPPM を出力。その他の場合は ADC12i_WCMPUM を出力 1 1: 設定禁止 これらのビットは、ウィンドウ A およびウィンドウ B がどちらも有効 (CMPAE = 1 および CMPBE = 1) な場合に有効となります。	R/W
b8-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b9	CMPBE	コンペアウィンドウ B 動作許可	0: コンペアウィンドウ B 動作禁止 ADC12i_WCMPPM および ADC12i_WCMPUM の出力不可 1: コンペアウィンドウ B 動作許可	R/W
b10	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b11	CMPAE	コンペアウィンドウ A 動作許可	0: コンペアウィンドウ A 動作禁止 ADC12i_WCMPPM および ADC12i_WCMPUM の出力不可 1: コンペアウィンドウ A 動作許可	R/W
b12	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b13	CMPBIE	コンペア B 割り込み許可	0: 比較条件 (ウィンドウ B) 一致による ADC12i_CMPBI 割り込み禁止 1: 比較条件 (ウィンドウ B) 一致による ADC12i_CMPBI 割り込み許可	R/W
b14	WCMPPE	ウィンドウ機能設定	0: ウィンドウ機能無効 ウィンドウ A および B はコンパレータとして動作し、下位の 1 つの値を A/D 変換結果と比較 1: ウィンドウ機能有効 ウィンドウ A および B はコンパレータとして動作し、上位および下位の 2 つの値を A/D 変換結果と比較	R/W
b15	CMPAIE	コンペア A 割り込み許可	0: 比較条件 (ウィンドウ A) 一致による ADC12i_CMPAI 割り込み禁止 1: 比較条件 (ウィンドウ A) 一致による ADC12i_CMPAI 割り込み許可	R/W

注. i = 0: ユニット 0、i = 1: ユニット 1

## CMPAB[1:0] ビット (ウィンドウ A/B 複合条件設定)

シングルスキャンモードでウィンドウ A およびウィンドウ B がどちらも有効 (CMPAE = 1 および CMPBE = 1) な場合に有効となります。CMPAB[1:0] ビットにより、ADWINMON.MONCONB のコンペア機能一致 / 不一致イベント出力条件および監視条件を指定します。

CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

**CMPBE ビット (コンペアウィンドウ B 動作許可)**

コンペアウィンドウ B の動作を許可/禁止します。CMPBE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

本ビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0、A1、B0、および B1 (ADANSA0、ADANSA1、ADANSB0、および ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSB、TSSB、OCSA、または TSSA ビット
- ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR) の CMPCHB[5:0] ビット

**CMPAE ビット (コンペアウィンドウ A 動作許可)**

コンペアウィンドウ A の動作を許可/禁止します。CMPAE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

本ビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0、A1、B0、および B1 (ADANSA0、ADANSA1、ADANSB0、および ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSB、TSSB、OCSA、または TSSA ビット
- ウィンドウ A チャンネル選択レジスタ 0 および 1 (ADCMPANSR0 および ADCMPANSR1)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

**CMPBIE ビット (コンペア B 割り込み許可)**

比較条件 (ウィンドウ B) の一致による ADC12i\_CMPBI (i = 0, 1) 割り込み出力を許可/禁止します。

**WCMPE ビット (ウィンドウ機能設定)**

ウィンドウ機能の有効/無効を選択します。WCMPE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

**CMPAIE ビット (コンペア A 割り込み許可)**

比較条件 (ウィンドウ A) の一致による ADC12i\_CMPAI (i = 0, 1) 割り込み出力を許可/禁止します。

## 35.2.20 A/Dコンペア機能ウィンドウAチャンネル選択レジスタ0 (ADCOMPANSR0)

アドレス AD120.ADCMPANSR0 4005 C094h, AD121.ADCMPANSR0 4005 C294h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	CMPC HA07	CMPC HA06	CMPC HA05	—	CMPC HA03	CMPC HA02	CMPC HA01	CMPC HA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CMPCHA03～ CMPCHA00	コンペアウィンドウAチャンネル選択	0: 関連する入力チャンネルに対するコンペア機能を禁止 1: 関連する入力チャンネルに対するコンペア機能を許可 ユニット0では、ビット3 (CMPCHA03) がAN003に、 ビット0 (CMPCHA00) がAN000に対応します。 ユニット1では、ビット2 (CMPCHA02) がAN102に、 ビット0 (CMPCHA00) がAN100に対応します。	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b5	CMPCHA07～ CMPCHA05	コンペアウィンドウAチャンネル選択	0: 関連する入力チャンネルに対するコンペア機能を禁止 1: 関連する入力チャンネルに対するコンペア機能を許可 ユニット0では、ビット7 (CMPCHA07) がAN007に、 ビット5 (CMPCHA05) がAN005に対応します。 ユニット1では、ビット7 (CMPCHA07) がAN107に、 ビット5 (CMPCHA05) がAN105に対応します。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## CMPCHANビット (n = 00 ~ 03、05 ~ 07) (コンペアウィンドウAチャンネル選択)

ADANSA0.ANSAnビット (n = 00 ~ 03、05 ~ 07) および ADANSB0.ANSBnビット (n = 00 ~ 03、05 ~ 07) で選択した A/D 変換チャンネルと同一番号の CMPCHANビットを1にすると、コンペア機能が有効になります。

CMPCHANビットは、ADCSR.ADSTビットが0のときに設定してください。

## 35.2.21 A/Dコンペア機能ウィンドウAチャンネル選択レジスタ1 (ADCOMPANSR1)

アドレス [ADC120.ADCMPANSR1 4005 C096h](#), [ADC121.ADCMPANSR1 4005 C296h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	CMPC HA20	—	CMPC HA18	CMPC HA17	CMPC HA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	<a href="#">CMPCHA18</a> ～ <a href="#">CMPCHA16</a>	コンペアウィンドウAチャンネル選択	0: 関連する入力チャンネルに対するコンペア機能を禁止 1: 関連する入力チャンネルに対するコンペア機能を許可 ユニット0では、ビット2 (CMPCHA18) がAN018に、 ビット0 (CMPCHA16) がAN016に対応します。 ユニット1では、ビット1 (CMPCHA17) がAN117に、 ビット0 (CMPCHA16) がAN116に対応します。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	<a href="#">CMPCHA20</a>	コンペアウィンドウAチャンネル選択	0: 関連する入力チャンネルに対するコンペア機能を禁止 1: 関連する入力チャンネルに対するコンペア機能を許可 ユニット0では、ビット4 (CMPCHA20) がAN020に 対応します。 ユニット1では、ビット4 (CMPCHA20) に対応する入力 チャンネルはありません。	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPCHANn ビット (n = 16 ~ 18、20) (コンペアウィンドウAチャンネル選択)**

ADANSA1.ANSAn ビット (n = 16 ~ 18、20) および ADANSB1.ANSBn ビット (n = 16 ~ 18、20) で選択した A/D 変換チャンネルと同一番号の CMPCHANn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHANn ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

## 35.2.22 A/Dコンペア機能ウィンドウA拡張入力選択レジスタ (ADCMPANSER)

アドレス ADC120.ADCMPANSER 4005 C092h, ADC121.ADCMPANSER 4005 C292h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPO CA	CMPTS A
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPTSA	温度センサ出力コンペア選択	0: 温度センサ出力をコンペアウィンドウA対象から外す 1: 温度センサ出力をコンペアウィンドウA対象とする	R/W
b1	CMPOCA	内部基準電圧コンペア選択	0: 内部基準電圧をコンペアウィンドウA対象から外す 1: 内部基準電圧をコンペアウィンドウA対象とする	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPTSA ビット (温度センサ出力コンペア選択)**

ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットが1のときに CMPTSA ビットを1にすると、コンペアウィンドウA機能が有効になります。CMPTSA ビットは、ADCSR.ADST ビットが0のときに設定してください。

**CMPOCA ビット (内部基準電圧コンペア選択)**

ADEXICR.OCSA ビットまたは ADEXICR.OCSB ビットが1のときに CMPOCA ビットを1にすると、コンペアウィンドウA機能が有効になります。CMPOCA ビットは、ADCSR.ADST ビットが0のときに設定してください。

35.2.23 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)

アドレス ADC120.ADCMPLR0 4005 C098h, ADC121.ADCMPLR0 4005 C298h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	CMPLC HA07	CMPLC HA06	CMPLC HA05	—	CMPLC HA03	CMPLC HA02	CMPLC HA01	CMPLC HA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CMPLCHA03 ~ CMPLCHA00	コンペアウィンドウ A 比較 条件選択	ウィンドウ A 比較条件を適用するチャンネル (AN000 ~ AN007 (ユニット 0) / AN100 ~ AN102 (ユニット 1) から選択) の比較条件を設定します。比較条件を図 35.4 に示します。 • ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値  • ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) 0 : A/D 変換値 < ADCMPDR0 値または ADCMPDR1 値 < A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7-b5	CMPLCHA07 ~ CMPLCHA05	コンペアウィンドウ A 比較 条件選択	ウィンドウ A 比較条件を適用するチャンネル (AN005 ~ AN007 (ユニット 0) / AN105 ~ AN107 (ユニット 1) から選択) の比較条件を設定します。比較条件を図 35.4 に示します。 • ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値  • ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) 0 : A/D 変換値 < ADCMPDR0 値または ADCMPDR1 値 < A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
b15-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

**CMPLCHAn ビット (n = 00 ~ 03、05 ~ 07) (コンペアウィンドウ A 比較条件選択)**

ウィンドウ A 比較条件を適用するチャンネル (AN000 ~ AN003、AN005 ~ AN007 (ユニット 0) / AN100 ~ AN102、AN105 ~ AN107 (ユニット 1) から選択) の比較条件を指定します。CMPLCHAn ビットはコンペア対象のアナログ入力ごとに設定可能です。ユニット 0 では、CMPLCHA00 が AN000 に、CMPLCHA07 が AN007 に対応します。ユニット 1 では、CMPLCHA00 が AN100 に、CMPLCHA07 が AN107 に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPDR0.CMPSTCHAn フラグは 1 になり、コンペア割り込み (ADC12i\_CMPAI (i = 0, 1)) が発生します。

ウィンドウ機能が無効のときの比較条件			
C MPLCHAn = 0		C MPLCHAn = 1	
ADCMPDR0値 ≤ A/D変換値	不一致	ADCMPDR0値 < A/D変換値	一致
ADCMPDR0値 > A/D変換値	一致	ADCMPDR0値 ≥ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件			
C MPLCHAn = 0			
ADCMPDR1値 < A/D変換値		一致	
ADCMPDR0値 ≤ A/D変換値 ≤ ADCMPDR1値		不一致	
A/D変換値 < ADCMPDR0値		一致	
C MPLCHAn = 1			
ADCMPDR1値 ≤ A/D変換値		不一致	
ADCMPDR0値 < A/D変換値 < ADCMPDR1値		一致	
A/D変換値 ≤ ADCMPDR0値		不一致	

図 35.4 コンペア機能ウィンドウ A 比較条件の説明

## 35.2.24 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPPLR1)

アドレス ADC120.ADCMPPLR1 4005 C09Ah, ADC121.ADCMPPLR1 4005 C29Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	CMPLC HA20	—	CMPLC HA18	CMPLC HA17	CMPLC HA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CMPLCHA18 ~ CMPLCHA16	コンペアウィンドウ A 比較 条件選択	ウィンドウ A 比較条件を適用するチャネル (AN016 ~ AN018 (ユニット 0) / AN116、AN117 (ユニット 1) から選択) の比較条件を設定します。比較条件を図 35.4 に示します。 <ul style="list-style-type: none"> <li>ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) 0 : ADCMPDR0 値 &gt; A/D 変換値 1 : ADCMPDR0 値 &lt; A/D 変換値</li> <li>ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) 0 : A/D 変換値 &lt; ADCMPDR0 値、または ADCMPDR1 値 &lt; A/D 変換値 1 : ADCMPDR0 値 &lt; A/D 変換値 &lt; ADCMPDR1 値</li> </ul>	R/W
b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	CMPLCHA20	コンペアウィンドウ A 比較 条件選択	ウィンドウ A 比較条件を適用するチャネル (AN020 (ユニット 0) を選択) の比較条件を設定します。比較条件を図 35.4 に示します。 <ul style="list-style-type: none"> <li>ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) 0 : ADCMPDR0 値 &gt; A/D 変換値 1 : ADCMPDR0 値 &lt; A/D 変換値</li> <li>ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) 0 : A/D 変換値 &lt; ADCMPDR0 値または ADCMPDR1 値 &lt; A/D 変換値 1 : ADCMPDR0 値 &lt; A/D 変換値 &lt; ADCMPDR1 値</li> </ul>	R/W
b15-b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

**CMPLCHAn ビット (n = 16 ~ 18、20) (コンペアウィンドウ A 比較条件選択)**

ウィンドウ A 比較条件を適用するチャネル (AN016 ~ AN018、AN020 (ユニット 0) / AN116、AN117 (ユニット 1) から選択) の比較条件を指定します。CMPLCHAn ビットはコンペア対象のアナログ入力ごとに設定可能です。ユニット 0 では、CMPLCHA16 が AN016 に、CMPLCHA20 が AN020 に対応します。ユニット 1 では、CMPLCHA16 が AN116 に、CMPLCHA17 が AN117 に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSR1.CMPSTCHAn フラグは 1 になり、コンペア割り込み (ADC12i\_CMPAI (i = 0, 1)) が発生します。



## 35.2.25 A/Dコンペア機能ウィンドウA拡張入力比較条件設定レジスタ (ADCMPLER)

アドレス ADC120.ADCMPLER 4005 C093h, ADC121.ADCMPLER 4005 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPLO CA	CMPLT SA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTSA	コンペアウィンドウA温度センサ出力比較条件選択	比較条件を図 35.4 に示します。 ● ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値  ● ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) 0 : A/D 変換値 < ADCMPDR0 値または A/D 変換値 > ADCMPDR1 値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
b1	CMPLOCA	コンペアウィンドウA内部基準電圧比較条件選択	比較条件を図 35.4 に示します。 ● ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値  ● ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) 0 : A/D 変換値 < ADCMPDR0 値または A/D 変換値 > ADCMPDR1 値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPLTSA ビット (コンペアウィンドウ A 温度センサ出力比較条件選択)**

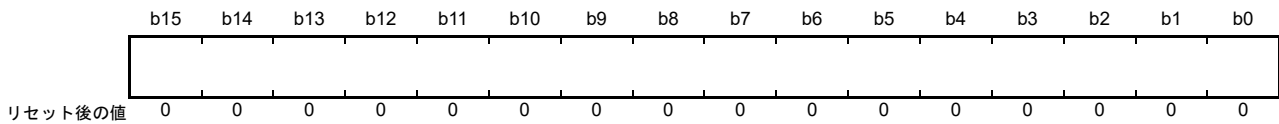
温度センサ出力がウィンドウ A 比較条件の対象である場合の比較条件を指定します。温度センサ出力の比較結果が設定条件と一致すると、ADCMPSER.CMPSTTSA フラグは 1 になり、コンペア割り込み (ADC12i\_CMPAI (i = 0, 1)) が発生します。

**CMPLOCA ビット (コンペアウィンドウ A 内部基準電圧比較条件選択)**

内部基準電圧がウィンドウ A 比較条件の対象である場合の比較条件を指定します。内部基準電圧の比較結果が設定条件と一致すると、ADCMPSER.CMPSTOCA フラグは 1 になり、コンペア割り込み (ADC12i\_CMPAI) が発生します。

35.2.26 A/Dコンペア機能ウィンドウA下側レベル設定レジスタ (ADCMPDR0)、  
 A/Dコンペア機能ウィンドウA上側レベル設定レジスタ (ADCMPDR1)、  
 A/Dコンペア機能ウィンドウB下側レベル設定レジスタ (ADWINLLB)、  
 A/Dコンペア機能ウィンドウB上側レベル設定レジスタ (ADWINULB)

アドレス ADC120.ADCMPDR0 4005 C09Ch, ADC120.ADCMPDR1 4005 C09Eh,  
 ADC120.ADWINLLB 4005 C0A8h, ADC120.ADWINULB 4005 C0AAh,  
 ADC121.ADCMPDR0 4005 C29Ch, ADC121.ADCMPDR1 4005 C29Eh,  
 ADC121.ADWINLLB 4005 C2A8h, ADC121.ADWINULB 4005 C2AAh



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	基準値	R/W

ADCMPDR<sub>y</sub> (y=0, 1) レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを指定するレジスタです。ADCMPDR0 はウィンドウ A の下側基準を設定し、ADCMPDR1 は上側基準を設定します。

ADWINULB および ADWINLLB は、コンペアウィンドウ B 機能使用時、基準となるデータを指定します。ADWINLLB はウィンドウ B の下側基準を設定し、ADWINULB は上側基準を設定します。ADCMPDR<sub>y</sub>、ADWINULB、および ADWINLLB はともに読み出し/書き込みレジスタです。

ADCMPDR<sub>y</sub>、ADWINULB、および ADWINLLB は A/D 変換中でも書き込むことができます。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することが可能です。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADCMPDR1 ≥ ADCMPDR0、ADWINULB ≥ ADWINLLB)。ADCMPDR1 および ADWINULB はウィンドウ機能無効時は使用しません。

下側基準および上側基準は、それぞれのレジスタが書き込まれるときに変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値 (変更後) と下側基準値 (変更前) を A/D 変換結果と比較します。(図 35.5 を参照してください。) 2つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット (ADCMPCR.CMPAE または ADCMPCR.CMPBE) がどちらも 0 のときに、それらの基準値を書き換えてください。

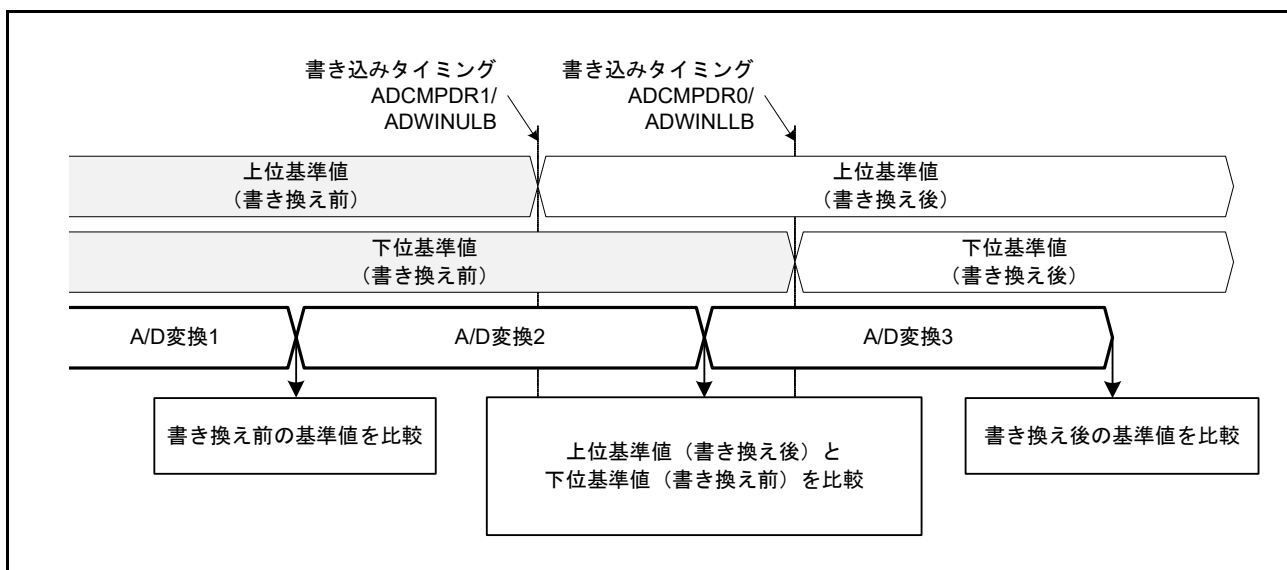


図 35.5 書き換え前後の上側基準値と下側基準値の比較

ADCMPCRy、ADWINLLB、および ADWINULB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換精度指定ビットの設定値 (12 ビット、10 ビット、または 8 ビット)
- A/D 変換値加算/平均チャンネル選択ビットの設定値 (A/D 変換値加算モード選択、または非選択)

以下に、条件ごとのデータフォーマットを示します。

#### (1) A/D 変換値加算モードを非選択とした場合

- 右詰めフォーマット、12 ビット精度の場合：下位 12 ビット ([11:0]) が有効
- 右詰めフォーマット、10 ビット精度の場合：下位 10 ビット ([9:0]) が有効
- 右詰めフォーマット、8 ビット精度の場合：下位 8 ビット ([7:0]) が有効
- 左詰めフォーマット、12 ビット精度の場合：上位 12 ビット ([15:4]) が有効
- 左詰めフォーマット、10 ビット精度の場合：上位 10 ビット ([15:6]) が有効
- 左詰めフォーマット、8 ビット精度の場合：上位 8 ビット ([15:8]) が有効

#### (2) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット、12 ビット精度の場合：下位 14 ビット ([13:0]) または 16 ビット ([15:0]) が有効
- 右詰めフォーマット、10 ビット精度の場合：下位 12 ビット ([11:0]) が有効
- 右詰めフォーマット、8 ビット精度の場合：下位 10 ビット ([9:0]) が有効
- 左詰めフォーマット、12 ビット精度の場合：上位 14 ビット ([15:2]) または 16 ビット ([15:0]) が有効
- 左詰めフォーマット、10 ビット精度の場合：上位 12 ビット ([15:4]) が有効
- 左詰めフォーマット、8 ビット精度の場合：上位 10 ビット ([15:6]) が有効

注 . 加算用の拡張ビット数は、A/D 変換精度および加算回数によって異なります。

A/D 変換精度が 8、10、または 12 ビットの場合、変換 4 回までは 2 ビット拡張、A/D 変換精度が 12 ビットの場合、変換 16 回時に 4 ビット拡張となります。

## 35.2.27 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ0 (ADCMPSR0)

アドレス ADC120.ADCMPSR0 4005 C0A0h, ADC121.ADCMPSR0 4005 C2A0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	CMPST CHA07	CMPST CHA06	CMPST CHA05	—	CMPST CHA03	CMPST CHA02	CMPST CHA01	CMPST CHA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CMPSTCHA03 ~ CMPSTCHA00	コンペアウィンドウAフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1b) な場合、ウィンドウA比較条件を適用するチャネル (AN000 ~ AN003 (ユニット0) / AN100 ~ AN102 (ユニット1) から選択) の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b5	CMPSTCHA07 ~ CMPSTCHA05	コンペアウィンドウAフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1b) な場合、ウィンドウA比較条件を適用するチャネル (AN005 ~ AN007 (ユニット0) / AN105 ~ AN107 (ユニット1) から選択) の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

## CMPSTCHAn フラグ (n = 00 ~ 03, 05 ~ 07) (コンペアウィンドウAフラグ)

ウィンドウA比較条件を適用するチャネル (AN000 ~ AN003, AN005 ~ AN007 (ユニット0) / AN100 ~ AN102, AN105 ~ AN107 (ユニット1) から選択) の比較結果を示します。ADCMPPLR0.CMPLCHAn で設定した比較条件がA/D変換終了時に成立すると、関連するCMPSTCHAnフラグが1になります。ADCMPPCR.CMPAIEビットが1の場合、本フラグが1になるとコンペア割り込み要求 (ADC12i\_CMPAI (i = 0, 1)) が発生します。ユニット0では、CMPSTCHA00がAN000に、CMPSTCHA07がAN007に対応します。ユニット1では、CMPSTCHA00がAN100に、CMPSTCHA07がAN107に対応します。

CMPSTCHAnフラグへの1書き込みは無効です。

[1になる条件]

- ADCMPPCR.CMPAEが1のときに、ADCMPPLR0.CMPLCHAnで設定した条件が成立したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

## 35.2.28 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1 (ADCMPSR1)

アドレス ADC120.ADCMPSR1 4005 C0A2h, ADC121.ADCMPSR1 4005 C2A2h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	CMPST CHA20	—	CMPST CHA18	CMPST CHA17	CMPST CHA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CMPSTCHA18~ CMPSTCHA16	コンペアウィンドウAフラグ	ウィンドウA動作が有効 (ADCMPCR.CMPAE = 1) な場合、ウィンドウA比較条件を適用するチャネル (AN016~AN018 (ユニット0) / AN116、AN117 (ユニット1) から選択) の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	CMPSTCHA20	コンペアウィンドウAフラグ	ウィンドウA動作が有効 (ADCMPCR.CMPAE = 1b) な場合、ウィンドウA比較条件を適用するチャネル (AN020 (ユニット0) を選択) の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPSTCHAN フラグ (n = 16 ~ 18、20) (コンペアウィンドウAフラグ)**

ウィンドウA比較条件を適用するチャネル (AN016 ~ AN018、AN020 (ユニット0) / AN116、AN117 (ユニット1) から選択) の比較結果を示します。ADCMPPLR1.CMPLCHAN で設定した比較条件がA/D変換終了時に成立すると、関連するCMPSTCHANフラグが1になります。ADCMPCR.CMPAIEビットが1の場合、本フラグが1になるとコンペア割り込み要求 (ADC12i\_CMPAI (i = 0, 1)) が発生します。ユニット0では、CMPSTCHA16がAN016に、CMPSTCHA20がAN020に対応します。ユニット1では、CMPSTCHA16がAN116に、CMPSTCHA17がAN117に対応します。

CMPSTCHANフラグへの1書き込みは無効です。

[1になる条件]

- ADCMPCR.CMPAEが1のときに、ADCMPPLR1.CMPLCHANで設定した条件が成立したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

### 35.2.29 A/Dコンペア機能ウィンドウA拡張入力チャネルステータスレジスタ (ADCMPSER)

アドレス `ADC120.ADCMPSER 4005 C0A4h`, `ADC121.ADCMPSER 4005 C2A4h`

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPST OCA	CMPST TSA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTTSA	コンペアウィンドウA温度センサ出力コンペアフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1) な場合、温度センサ出力の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
b1	CMPSTOCA	コンペアウィンドウA内部基準電圧コンペアフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1) な場合、内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

#### CMPSTTSA フラグ (コンペアウィンドウA 温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すフラグです。ADCMPPLER.CMPLTSA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、本フラグが 1 になるとコンペア割り込み要求 (ADC12i\_CMPAI (i=0, 1)) が発生します。

CMPSTTSA フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLER.CMPLTSA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

#### CMPSTOCA フラグ (コンペアウィンドウA 内部基準電圧コンペアフラグ)

内部基準電圧の比較結果を示すフラグです。ADCMPPLER.CMPLOCA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、本フラグが 1 になるとコンペア割り込み要求 (ADC12i\_CMPAI) が発生します。

CMPSTOCA フラグへの 1 書き込みは無効です。

[1 になる条件]

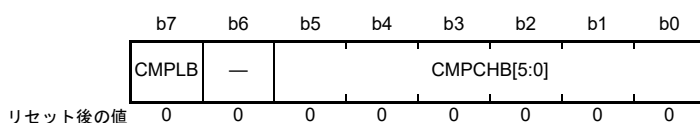
- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLER.CMPLOCA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

## 35.2.30 A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)

アドレス ADC120.ADCMPBNSR 4005 C0A6h, ADC121.ADCMPBNSR 4005 C2A6h



ビット	シンボル	ビット名	機能	R/W																																																																																																																
b5-b0	CMPCHB[5:0]	コンペアウィンドウBチャンネル選択	<p>コンペアウィンドウB条件と比較するチャンネルを選択します。最大チャンネルは、ユニット0ではAN020、ユニット1ではAN117です。</p> <table border="0"> <tr> <td>b5</td> <td>b4</td> <td>b3</td> <td>b2</td> <td>b1</td> <td>b0</td> <td>ユニット0</td> <td>ユニット1</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>: AN000</td><td>AN100</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>: AN001</td><td>AN101</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>: AN002</td><td>AN102</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>: AN003</td><td>—</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>: AN005</td><td>AN005</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>: AN006</td><td>AN006</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>: AN007</td><td>AN107</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>: AN016</td><td>AN116</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>: AN017</td><td>AN117</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>: AN018</td><td>—</td> </tr> <tr> <td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>: AN020</td><td>—</td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>: 温度センサ</td><td></td> </tr> <tr> <td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>: 内部基準電圧</td><td></td> </tr> </table> <p>上記以外は設定しないでください。</p>	b5	b4	b3	b2	b1	b0	ユニット0	ユニット1	0	0	0	0	0	0	: AN000	AN100	0	0	0	0	0	1	: AN001	AN101	0	0	0	0	1	0	: AN002	AN102	0	0	0	0	1	1	: AN003	—	0	0	0	1	0	1	: AN005	AN005	0	0	0	1	1	0	: AN006	AN006	0	0	0	1	1	1	: AN007	AN107	0	1	0	0	0	0	: AN016	AN116	0	1	0	0	0	1	: AN017	AN117	0	1	0	0	1	0	: AN018	—	0	1	0	1	0	0	: AN020	—	1	0	0	0	0	0	: 温度センサ		1	0	0	0	0	1	: 内部基準電圧		R/W
b5	b4	b3	b2	b1	b0	ユニット0	ユニット1																																																																																																													
0	0	0	0	0	0	: AN000	AN100																																																																																																													
0	0	0	0	0	1	: AN001	AN101																																																																																																													
0	0	0	0	1	0	: AN002	AN102																																																																																																													
0	0	0	0	1	1	: AN003	—																																																																																																													
0	0	0	1	0	1	: AN005	AN005																																																																																																													
0	0	0	1	1	0	: AN006	AN006																																																																																																													
0	0	0	1	1	1	: AN007	AN107																																																																																																													
0	1	0	0	0	0	: AN016	AN116																																																																																																													
0	1	0	0	0	1	: AN017	AN117																																																																																																													
0	1	0	0	1	0	: AN018	—																																																																																																													
0	1	0	1	0	0	: AN020	—																																																																																																													
1	0	0	0	0	0	: 温度センサ																																																																																																														
1	0	0	0	0	1	: 内部基準電圧																																																																																																														
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																																																																																																																
b7	CMPPLB	コンペアウィンドウB比較条件設定	<p>ウィンドウBのチャンネル比較条件を設定します。比較条件を <a href="#">35.6</a> に示します。</p> <ul style="list-style-type: none"> <li>ウィンドウ機能無効時 (ADCMPPCR.WCMPE = 0)           <ul style="list-style-type: none"> <li>0 : CMPLLB 値 &gt; A/D 変換値</li> <li>1 : CMPLLB 値 &lt; A/D 変換値</li> </ul> </li> <li>ウィンドウ機能有効時 (ADCMPPCR.WCMPE = 1)           <ul style="list-style-type: none"> <li>0 : A/D 変換値 &lt; CMPLLB 値、または CMPULB 値 &lt; A/D 変換値</li> <li>1 : CMPLLB 値 &lt; A/D 変換値 &lt; CMPULB 値</li> </ul> </li> </ul>	R/W																																																																																																																

## CMPCHB[5:0] ビット (コンペアウィンドウ B チャンネル選択)

コンペアウィンドウ B 条件と比較するチャンネル (AN000 ~ AN003, AN005 ~ AN007, AN016 ~ AN018, AN020 (ユニット 0) / AN100 ~ AN102, AN105 ~ AN107, AN116 ~ AN117 (ユニット 1))、温度センサ、および内部基準電圧を指定します。コンペアウィンドウ B 機能は、以下のビットで選択した A/D 変換チャンネルの 16 進数を指定することで有効になります。

ユニット 0 :

- ADANSA0.ANSA00 ~ ANSA03 ビット
- ADANSA0.ANSA05 ~ ANSA07 ビット
- ADANSA1.ANSA16 ~ ANSA18, ANSA20 ビット
- ADANSB0.ANSB00 ~ ANSB03 ビット
- ADANSB0.ANSB05 ~ ANSB07 ビット
- ADANSB1.ANSB16 ~ ANSB18, ANSB20 ビット

ユニット 1 :

- ADANSA0.ANSA00 ~ ANSA02 ビット
- ADANSA0.ANSA05 ~ ANSA07 ビット
- ADANSA1.ANSA16 ~ ANSA17 ビット
- ADANSB0.ANSB00 ~ ANSB02 ビット
- ADANSB0.ANSB05 ~ ANSB07 ビット
- ADANSB1.ANSB16 ~ ANSB17 ビット

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

#### CMPLB ビット (コンペアウィンドウ B 比較条件設定)

ウィンドウ B のチャンネル比較条件を指定します。アナログ入力の比較結果が設定条件と一致すると、関連する ADCMPBSR.CMPSTB フラグは 1 になり、コンペア割り込み要求 (ADC12i\_CMPBI (i = 0, 1)) が生成されます。

ウィンドウ機能が無効のときの比較条件	
CMPLB = 0	
ADWINLLB値 ≤ A/D変換値	不一致
ADWINLLB値 > A/D変換値	一致
CMPLB = 1	
ADWINLLB値 < A/D変換値	一致
ADWINLLB値 ≥ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件	
CMPLB = 0	
A/D変換値 > ADWINULB値	一致
ADWINLLB値 ≤ A/D変換値 ≤ ADWINULB値	不一致
A/D変換値 < ADWINLLB値	一致
CMPLB = 1	
A/D変換値 ≥ ADWINULB値	不一致
ADWINLLB値 < A/D変換値 < ADWINULB値	一致
A/D変換値 ≤ ADWINLLB値	不一致

図 35.6 コンペア機能ウィンドウ B 比較条件の説明



## 35.2.31 A/Dコンペア機能ウィンドウBステータスレジスタ (ADCMPBSR)

アドレス ADC120.ADCMPBSR 4005 C0Ach, ADC121.ADCMPBSR 4005 C2Ach

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CMPST B
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	ウィンドウB動作が有効 (ADCMPPCR.CMPBE = 1) な場合、ウィンドウB比較条件を適用するチャンネル (AN000 ~ AN003、AN005 ~ AN007、AN016 ~ AN018、AN020 (ユニット0) / AN100 ~ AN102、AN105 ~ AN107、AN116、AN117 (ユニット1) から選択)、温度センサ出力、および内部基準電圧の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

**CMPSTB フラグ (コンペアウィンドウBフラグ)**

ウィンドウB比較条件を適用するチャンネル (AN000 ~ AN003、AN005 ~ AN007、AN016 ~ AN018、AN020 (ユニット0) / AN100 ~ AN102、AN105 ~ AN107、AN116、AN117 (ユニット1) から選択)、温度センサ、および内部基準電圧の比較結果を示します。ADCMPBNSR.CMPLBで設定した比較条件がA/D変換終了時に成立すると1になります。ADCMPPCR.CMPBIEビットが1の場合、本フラグが1になるとコンペア割り込み要求 (ADC12i\_CMPBI (i=0, 1)) が発生します。

CMPSTBフラグへの1書き込みは無効です。

[1になる条件]

- ADCMPPCR.CMPBEが1のときに、ADCMPBNSR.CMPLBで設定した条件が成立したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

## 35.2.32 A/Dコンペア機能ウィンドウA/Bステータスマニタレジスタ (ADWINMON)

アドレス ADC120.ADWINMON 4005 C08Ch, ADC121.ADWINMON 4005 C28Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MONC MPB	MONC MPA	—	—	—	MONC OMB
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果監視	組み合わせ結果を示します。本ビットは、ウィンドウAとウィンドウBの動作がどちらも有効な場合に有効となります。 0: ウィンドウA/ウィンドウBの複合条件が不成立 1: ウィンドウA/ウィンドウBの複合条件が成立	R
b3-b1	—	予約ビット	読むと0が読めます。	R
b4	MONCMPA	比較結果監視A	0: ウィンドウA比較条件が不成立 1: ウィンドウA比較条件が成立	R
b5	MONCMPB	比較結果監視B	0: ウィンドウB比較条件が不成立 1: ウィンドウB比較条件が成立	R
b7-b6	—	予約ビット	読むと0が読めます。	R

**MONCOMB ビット (組み合わせ結果監視)**

ADCMPCR.CMPAB[1:0] ビットで設定した複合条件に従って比較条件結果 A および B の組み合わせの結果を示す読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPAE が 1 かつ ADCMPCR.CMPBE が 1 のとき、組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致したとき

[0 になる条件]

- 組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致しないとき
- ADCMPCR.CMPAE が 0 または ADCMPCR.CMPBE が 0 のとき

**MONCMPA ビット (比較結果監視 A)**

ウィンドウ A の対象チャネルの A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER で設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0.CMPLCHAn、ADCMPLR1.CMPLCHAn、ADCMPLER.CMPLTSA、ADCMPLER.CMPLOCA で設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0.CMPLCHAn、ADCMPLR1.CMPLCHAn、ADCMPLER.CMPLTSA、ADCMPLER.CMPLOCA で設定した条件と一致しないとき
- ADCMPCR.CMPAE が 0 のとき (ADCMPCR.CMPAE の値が 1 から 0 に変化すると自動的に 0 になる)

**MONCMPB ビット (比較結果監視 B)**

ウィンドウ B の対象チャネルの A/D 変換値が ADCMPBNSR.CMPLB ビットで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致しないとき
- ADCMPCR.CMPBE が 0 のとき (ADCMPCR.CMPBE の値が 1 から 0 に変化すると自動的に 0 になる)

## 35.2.33 A/D プログラマブルゲインアンプコントロールレジスタ (ADPGACR)

アドレス [ADC120.ADPGACR 4005 C1A0h](#), [ADC121.ADPGACR 4005 C3A0h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	P002GEN	P002ENAMP	P002SEL1	P002SELO	P001GEN	P001ENAMP	P001SEL1	P001SELO	P000GEN	P000ENAMP	P000SEL1	P000SELO
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	<a href="#">P000SELO</a>	PGA P000アンプバイパス許可	0: PGAのアンプをバイパスする経路に信号を出力しない 1: PGAのアンプをバイパスする経路に信号を出力する	R/W
b1	<a href="#">P000SEL1</a>	PGA P000アンプ経由許可	0: PGAのアンプを経由する経路に信号を出力しない 1: PGAのアンプを経由する経路に信号を出力する	R/W
b2	<a href="#">P000ENAMP</a>	PGA P000アンプ許可	0: PGAのアンプを使用しない 1: PGAのアンプを使用する	R/W
b3	<a href="#">P000GEN</a>	PGA P000ゲイン設定許可	0: ゲイン設定禁止 1: ゲイン設定許可	R/W
b4	<a href="#">P001SELO</a>	PGA P001アンプバイパス許可	0: PGAのアンプをバイパスする経路に信号を出力しない 1: PGAのアンプをバイパスする経路に信号を出力する	R/W
b5	<a href="#">P001SEL1</a>	PGA P001アンプ経由許可	0: PGAのアンプを経由する経路に信号を出力しない 1: PGAのアンプを経由する経路に信号を出力する	R/W
b6	<a href="#">P001ENAMP</a>	PGA P001アンプ許可	0: PGAのアンプを使用しない 1: PGAのアンプを使用する	R/W
b7	<a href="#">P001GEN</a>	PGA P001ゲイン設定許可	0: ゲイン設定禁止 1: ゲイン設定許可	R/W
b8	<a href="#">P002SELO</a>	PGA P002アンプバイパス許可	0: PGAのアンプをバイパスする経路に信号を出力しない 1: PGAのアンプをバイパスする経路に信号を出力する	R/W
b9	<a href="#">P002SEL1</a>	PGA P002アンプ経由許可	0: PGAのアンプを経由する経路に信号を出力しない 1: PGAのアンプを経由する経路に信号を出力する	R/W
b10	<a href="#">P002ENAMP</a>	PGA P002アンプ許可	0: PGAのアンプを使用しない 1: PGAのアンプを使用する	R/W
b11	<a href="#">P002GEN</a>	PGA P002ゲイン設定許可	0: ゲイン設定禁止 1: ゲイン設定許可	R/W
b12	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b14-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

注. これらのビットの設定の詳細は、[35.3.12 プログラマブルゲインアンプ](#)を参照してください。

**PnSELO ビット (PGA Pn アンプバイパス許可) (n = 000 ~ 002)**

各プログラマブルゲインアンプ Pn の PGA のアンプをバイパスする経路に信号を出力するかどうかを選択します。

**PnSEL1 ビット (PGA Pn アンプ経由許可) (n = 000 ~ 002)**

各プログラマブルゲインアンプ Pn の PGA のアンプを経由する経路に信号を出力するかどうかを選択します。

**PnENAMP ビット (PGA Pn アンプ許可) (n = 000 ~ 002)**

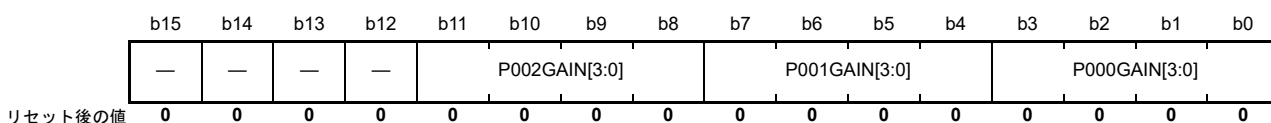
各プログラマブルゲインアンプ Pn の PGA のアンプを使用するかどうかを選択します。

**PnGEN ビット (PGA Pn 入力抵抗側ゲイン選択信号許可) (n = 000 ~ 002)**

プログラマブルゲインアンプ Pn のゲイン設定を許可または禁止します。

### 35.2.34 A/D プログラマブルゲインアンプゲイン設定レジスタ 0 (ADPGAGS0)

アドレス [ADC120.ADPGAGS0 4005 C1A2h](#), [ADC121.ADPGAGS0 4005 C3A2h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	<a href="#">P000GAIN[3:0]</a>	PGA P000 ゲイン設定	<ul style="list-style-type: none"> <li>• 疑似差動入力が無効 (ADPGADCR0.PnDEN = 0) の場合</li> <li>0 0 0 0: × 2.000</li> <li>0 0 0 1: × 2.500</li> <li>0 0 1 0: × 2.667</li> <li>0 0 1 1: × 2.857</li> <li>0 1 0 0: × 3.077</li> <li>0 1 0 1: × 3.333</li> <li>0 1 1 0: × 3.636</li> <li>0 1 1 1: × 4.000</li> <li>1 0 0 0: × 4.444</li> <li>1 0 0 1: × 5.000</li> <li>1 0 1 0: × 5.714</li> <li>1 0 1 1: × 6.667</li> <li>1 1 0 0: × 8.000</li> <li>1 1 0 1: × 10.000</li> <li>1 1 1 0: × 13.333.</li> </ul> <ul style="list-style-type: none"> <li>• 疑似差動入力有効 (ADPGADCR0.PnDEN = 1) (注1) の場合</li> <li>0 0 0 1: × 1.500</li> <li>0 1 0 1: × 2.333</li> <li>1 0 0 1: × 4.000</li> <li>1 0 1 1: × 5.667</li> </ul> 上記以外は設定しないでください。	R/W
b7-b4	<a href="#">P001GAIN[3:0]</a>	PGA P001 ゲイン設定		R/W
b11-b8	<a href="#">P002GAIN[3:0]</a>	PGA P002 ゲイン設定		R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. これらのビットの設定の詳細は、[35.3.12 プログラマブルゲインアンプ](#)を参照してください。

#### PnGAIN[3:0] ビット (PGA Pn ゲイン設定) (n = 000 ~ 002)

PGA のアンプ Pn のゲインを指定します。疑似差動入力 (ADPGADCR0.PnDEN = 1 かつ ADPGACR.PnGEN = 1) の場合、ADPGADCR0.PnDG[1:0] との組み合わせによってゲインを設定します。

### 35.2.35 A/D プログラマブルゲインアンプ疑似差動入力コントロールレジスタ (ADPGADCR0)

アドレス [ADC120.ADPGADCR0 4005 C1B0h](#), [ADC121.ADPGADCR0 4005 C3B0h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
—	—	—	—	P002DEN	—	P002DG[1:0]	P001DEN	—	P001DG[1:0]	P000DEN	—	P000DG[1:0]	—	—	—		
リセット後の値	1	0	0	0	1	0	0	0	0	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	<a href="#">P000DG[1:0]</a>	P000 疑似差動入力ゲイン設定	これらのビットを使用する場合、{P000DEN, P000GEN}を11bにしてください。 b1 b0 0 0: × 1.5 0 1: × 2.333 1 0: × 4.0 1 1: × 5.667	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	<a href="#">P000DEN</a>	P000 疑似差動入力許可	0: 疑似差動入力禁止 1: 疑似差動入力許可	R/W
b5-b4	<a href="#">P001DG[1:0]</a>	P001 疑似差動入力ゲイン設定	これらのビットを使用する場合、{P001DEN, P001GEN}を11bにしてください。 b5 b4 0 0: × 1.5 0 1: × 2.333 1 0: × 4.0 1 1: × 5.667	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	<a href="#">P001DEN</a>	P001 疑似差動入力許可	0: 疑似差動入力禁止 1: 疑似差動入力許可	R/W
b9-b8	<a href="#">P002DG[1:0]</a>	P002 疑似差動入力ゲイン設定	これらのビットを使用する場合、{P002DEN, P002GEN}を11bにしてください。 b9 b8 0 0: × 1.5 0 1: × 2.333 1 0: × 4.0 1 1: × 5.667	R/W
b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	<a href="#">P002DEN</a>	P002 疑似差動入力許可	0: 疑似差動入力禁止 1: 疑似差動入力許可	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. これらのビットの設定の詳細は、[35.3.12 プログラマブルゲインアンプ](#)を参照してください。

#### PnDG[1:0] ビット (Pn 疑似差動入力ゲイン設定) (n = 000 ~ 002)

疑似差動入力使用時のPGAのアンプPnのゲインを指定します。PnDENビットとPnGENビットがどちらも1の場合にのみ有効となります。

PGAを疑似差動入力に使用するには、ADPGAGS0.PnGAIN[3:0]ビットと一緒にADPGADCR0.PnDG[1:0]ビットを設定してください。

例: 疑似差動入力のためP000でゲインを×1.5に設定する場合は、次のように設定します。  
ADPGAGS0.P000GAIN[3:0] = 0001b  
ADPGADCR0.P000DG[1:0] = 00b

#### PnDEN ビット (Pn 疑似差動入力許可) (n = 000 ~ 002)

PGAのアンプPnの疑似差動入力を許可または禁止します。

## 35.3 動作説明

### 35.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換には、以下の3つの動作モードがあります。

- シングルスキャンモード
- 連続スキャンモード
- グループスキャンモード

シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実行して終了するモードです。連続スキャンモードは、指定した1チャンネル以上のスキャンをソフトウェアでADCSR.ADSTビットを1から0にクリアするまで繰り返し実行するモードです。グループスキャンモードは、グループAとグループBのスキャンをそれぞれ選択した同期トリガ(ELC)で開始し、グループAとグループBで選択したチャンネルのスキャンをそれぞれ1回ずつ実行して終了するモードです。

シングルスキャンモードと連続スキャンモードでは、ADANSA0、ADANSA1レジスタで選択したAN<sub>n</sub>のnが小さい番号のチャンネルから順にA/D変換を行います。グループスキャンモードのA/D変換は、ADANSA0、ADANSA1レジスタで選択したAN<sub>n</sub>のnが小さい番号のグループAのチャンネルから順に実行され、その後でADANSB0、ADANSB1レジスタで選択したAN<sub>n</sub>のnが小さい番号のグループBのチャンネルから順に実行されます。

自己診断を選択した場合は、スキャンごとの最初に1回実行され、ADC12内部で生成する3つの電圧値のうち1つをA/D変換します。

温度センサ出力、内部基準電圧は、チャンネルのアナログ入力と同時に選択可能で、チャンネルのアナログ入力、温度センサ出力、内部基準電圧の順にA/D変換を行います。

ダブルトリガモードは、シングルスキャンモードまたはグループスキャンモードで使用可能です。ダブルトリガモードを許可(ADCSR.DBLE=1)すると、ADSTRGR.TRSA[5:0]ビットで選択した、同期トリガ(ELC)でのスキャン起動でのみ、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換データを2重化します。グループスキャンモードのグループAのみダブルトリガモードを使用可能です。

ダブルトリガモードの拡張動作では、A/D変換動作が同期トリガコンビネーションから発生します。トリガコンビネーションは、ダブルトリガモードでADSTRGR.TRSA[5:0]ビットによって選択します。ELC\_AD00およびELC\_AD01はユニット0に対応します。ELC\_AD10およびELC\_AD11はユニット1に対応します。

ダブルトリガモードの拡張動作では、通常のダブルトリガ動作に加え、ELC\_AD00(ユニット0)およびELC\_AD10(ユニット1)トリガによるA/D変換データをA/Dデータ2重化レジスタA(ADDBLDRA)に格納し、ELC\_AD01(ユニット0)およびELC\_AD11(ユニット1)トリガによるA/D変換データをA/Dデータ2重化レジスタB(ADDBLDRB)に格納します。ダブルトリガモードの拡張動作では、トリガコンビネーションの1つが同時発生すると、指定したトリガのデータ二重化レジスタ設定が実行されず、A/D変換データはA/Dデータ二重化レジスタB(ADDBLDRB)に格納されます。

同期トリガによって開始されたA/D変換中に別の同期トリガが入力された場合は、他のA/D変換がキャンセルされると以降のトリガが入力されます。

ADSHCR.SHANS[2:0]ビットでAN000～AN002(ユニット0)、およびAN100～AN102(ユニット1)のいずれかをチャンネル専用サンプル&ホールド回路に設定すると、スキャンごとに最初のA/D変換開始前に対象となるアナログ入力のサンプル&ホールドを行います。

### 35.3.2 シングルスキャンモード

#### 35.3.2.1 基本動作 (チャンネル専用サンプル&ホールド回路なし)

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
3. 選択したすべてのチャンネルの A/D 変換終了後、ADC12i\_ADI (i = 0, 1) 割り込み要求が発生します (レジスタ設定なし)。
4. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。

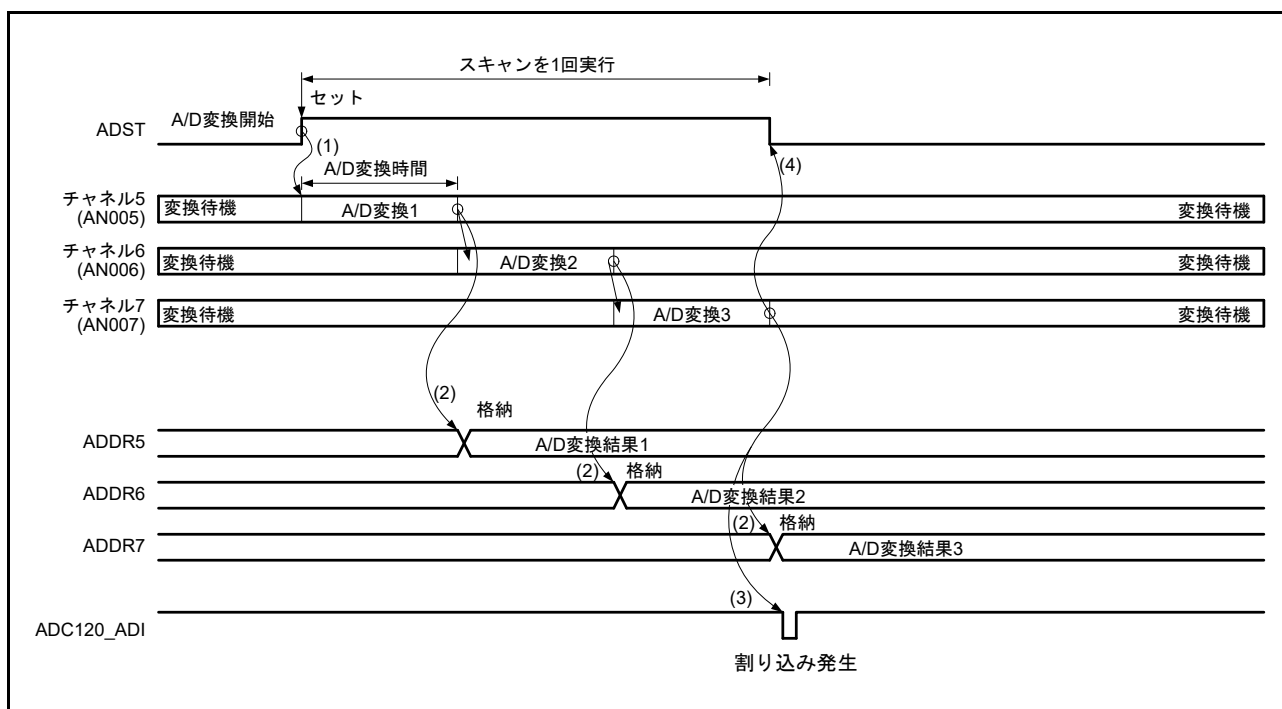


図 35.7 シングルスキャンモードの基本動作例 (AN005 ~ AN007 選択)



### 35.3.2.2 基本動作 (チャンネル専用サンプル&ホールド回路あり、常時サンプリング無効)

チャンネル専用サンプル&ホールド回路を使用すると、サンプル&ホールド実行後、指定したすべてのチャンネルのアナログ入力を1回のみA/D変換します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで選択します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが1 (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
2. サンプリング&ホールド実行後に、ADANSA0、ADANSA1レジスタで選択したチャンネル AN<sub>n</sub> の n が小さい番号順に A/D変換を開始します。
3. 1チャンネルのA/D変換が終了するごとに、A/D変換結果は関連するA/Dデータレジスタ (ADDR<sub>y</sub>) に格納されます。
4. 選択したすべてのチャンネルのA/D変換終了後、ADC12i\_ADI (i=0, 1) 割り込み要求が発生します (レジスタ設定なし)。
5. ADSTビットはA/D変換中は1 (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的に0にクリアされ、ADC12は待機状態になります。

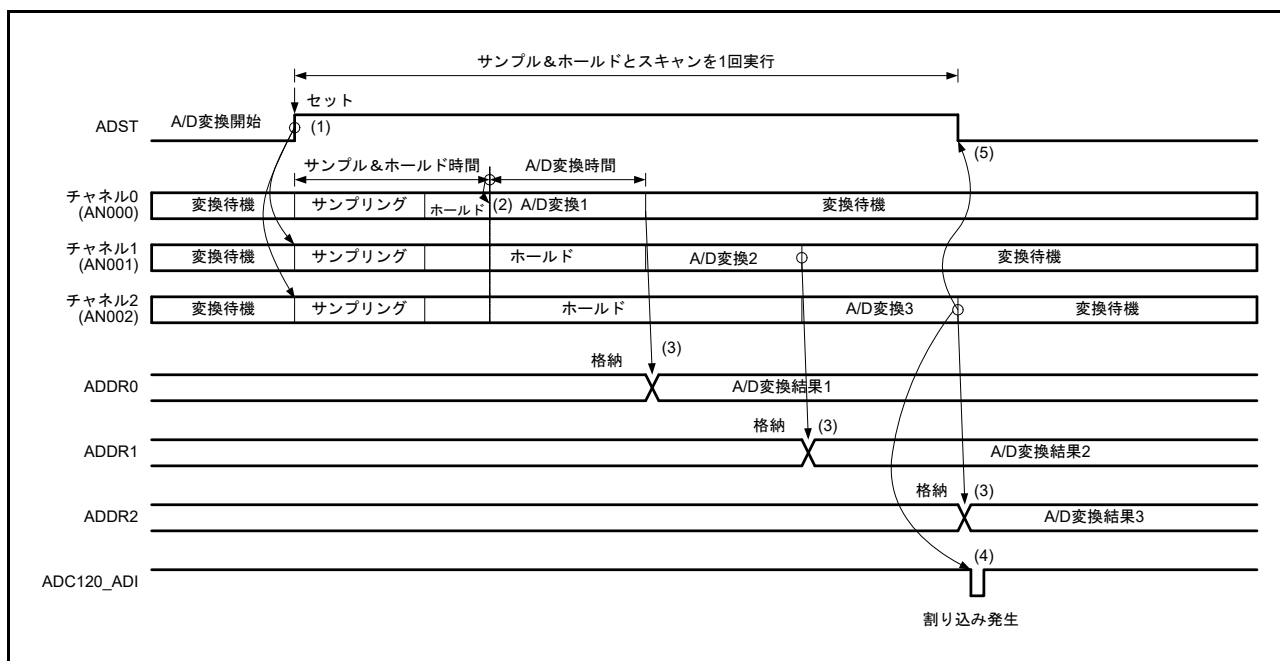


図 35.8 シングルスキャンモードの動作例 (チャンネル専用サンプル&ホールド回路使用、AN000 ~ AN002 選択)

### 35.3.2.3 基本動作 (チャンネル専用サンプル&ホールド回路あり、常時サンプリング有効)

常時サンプリング有効設定でチャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に選択したすべてのチャンネルのアナログ入力を1回のみA/D変換します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで指定します。

動作は以下のとおりです。

- ADSHMSR.SHMDビットを1にすると、ADSHCR.SHANS[2:0]ビットで選択されたサンプル&ホールド回路が常時サンプリングを開始します。
- ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADSTビットが1 (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のホールドを開始します。
- サンプル&ホールド回路の安定時間経過後に、ADANSA0/1レジスタで選択したチャンネル ANn の n が小さい番号順に A/D変換を開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は関連するA/Dデータレジスタ (ADDRy) へ格納され、サンプル&ホールド回路は常時サンプリングを再開します。
- 選択したすべてのチャンネルのA/D変換終了後、ADC12i\_ADI (i=0, 1) 割り込み要求が発生します (レジスタ設定なし)。
- ADCSR.ADSTビットはA/D変換中は1 (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的に0にクリアされ、ADC12は待機状態になります。続けてシングルスキャンを実行する場合は、サンプル&ホールド回路の常時サンプリング期間が400ns (許容信号源インピーダンスが1kΩの場合) 以上となるようにしてください。
- ADSHMSR.SHMDビットを0にすると、サンプル&ホールド回路が停止します。

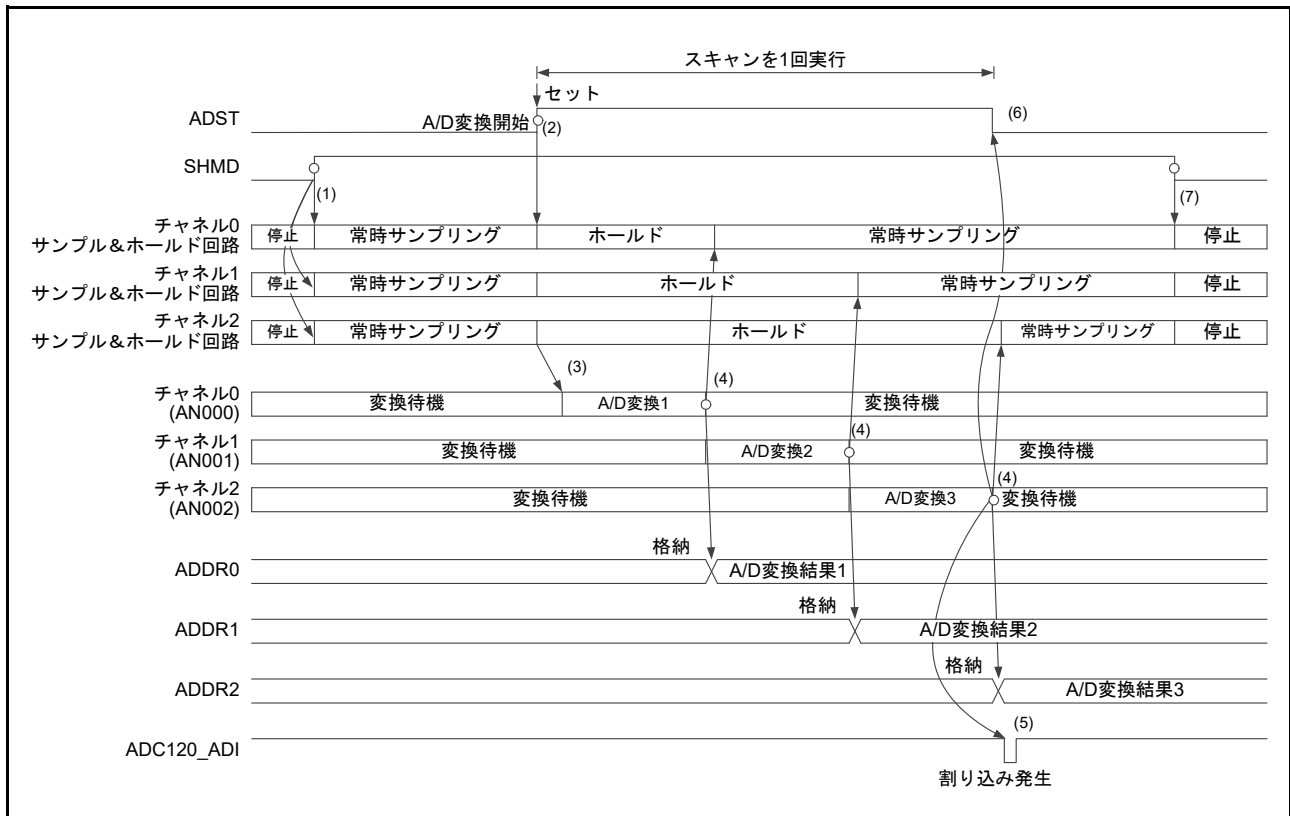


図 35.9 シングルスキャンモードの動作例 (チャンネル専用サンプル&ホールド回路使用、AN000 ~ AN002 選択、常時サンプリング有効)

### 35.3.2.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールド回路なし)

チャンネル選択とともに自己診断を選択すると、ADC12に供給される基準電圧 VREFH0 (ユニット 0) または VREFH (ユニット 1) ( $\times 0$ ,  $\times 1/2$ ,  $\times 1$  のいずれか) の A/D 変換を行い、その後、指定したチャンネルのアナログ入力を 1 回のみ A/D 変換します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
4. 選択したすべてのチャンネルの A/D 変換終了後、ADC12i\_ADI ( $i=0, 1$ ) 割り込み要求が発生します (レジスタ設定なし)。
5. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。

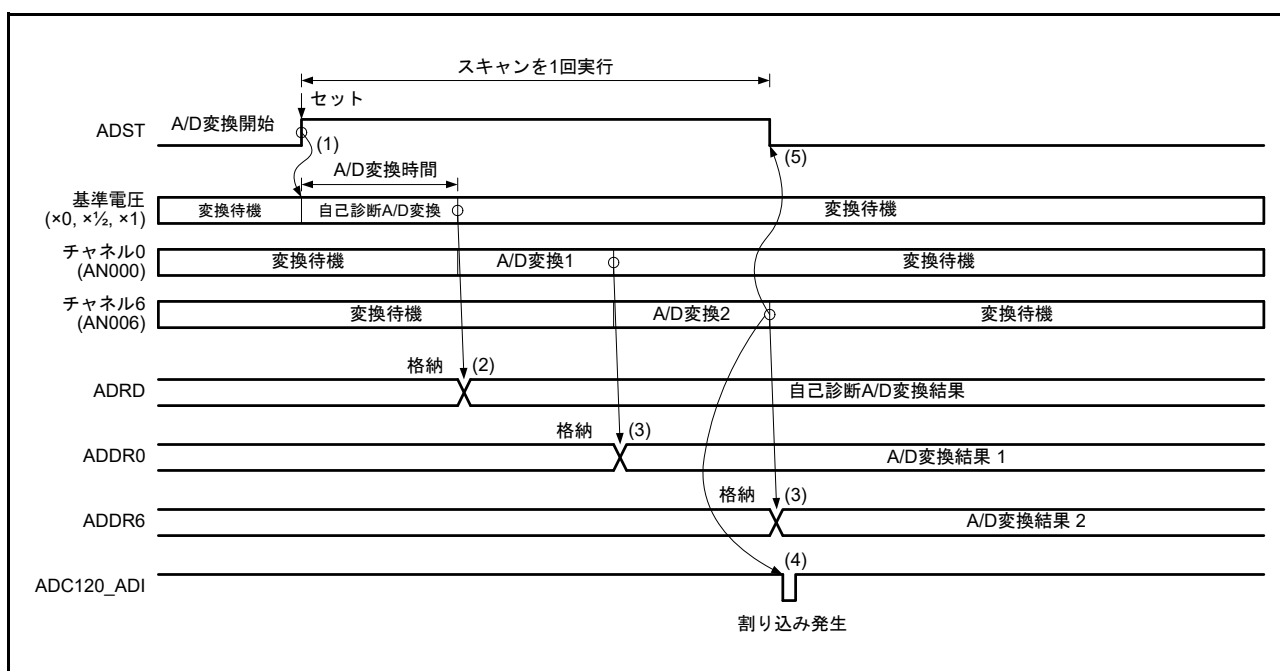


図 35.10 シングルスキャンモードの基本動作例 (AN000、AN006 選択 + 自己診断)

### 35.3.2.5 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールド回路あり、常時サンプリング無効)

チャンネル選択とともに自己診断を選択し、常時サンプリング無効設定でチャンネル専用サンプル&ホールド回路を使用すると、サンプル&ホールド実行後に、ADC12に供給される基準電圧 VREFH0 (ユニット 0)、VREFH (ユニット 1) ( $\times 0$ ,  $\times 1/2$ ,  $\times 1$  のいずれか) の A/D 変換を行い、その後選択したチャンネルのアナログ入力を 1 回のみ A/D 変換します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
2. サンプリング&ホールド実行後に、自己診断での A/D 変換を開始します。
3. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャンネル AN $n$  の  $n$  が小さい番号順に A/D 変換を開始します。
4. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ  $y$  (ADDR $y$ ) に格納されます。
5. 選択したすべてのチャンネルの A/D 変換終了後、ADC12 $i$ \_ADI ( $i=0, 1$ ) 割り込み要求が発生します (レジスタ設定なし)。
6. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。

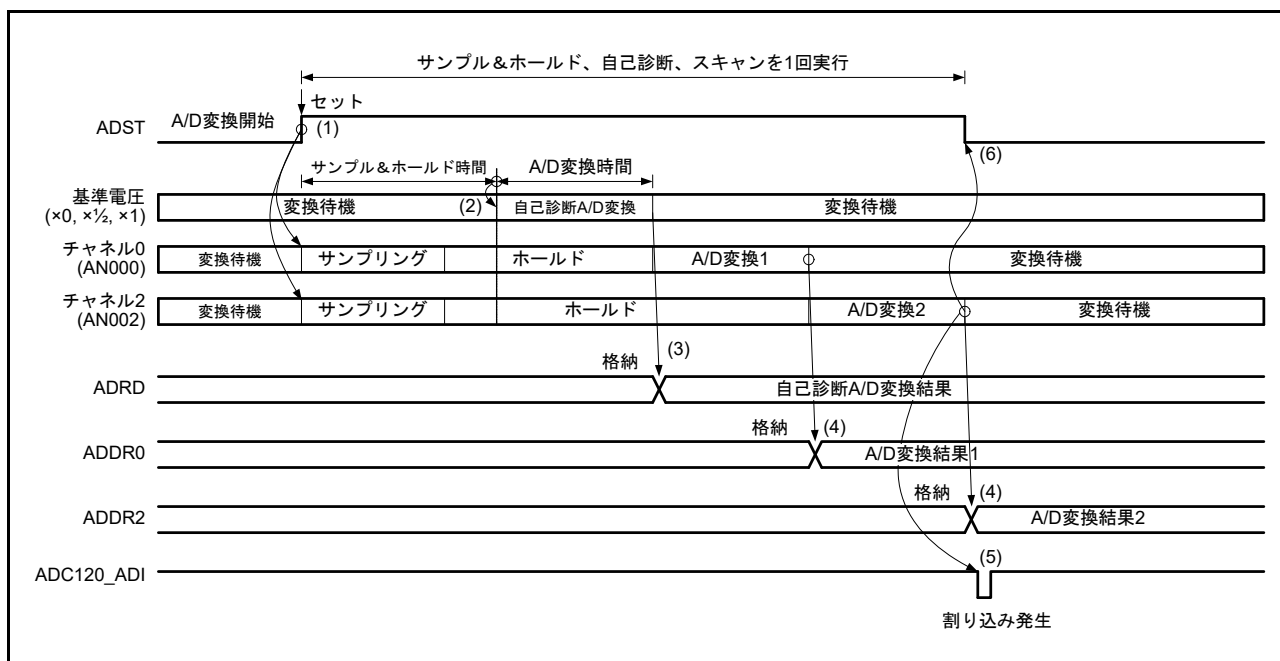


図 35.11 シングルスキャンモードの動作例 (チャンネル専用サンプル&ホールド回路使用、AN000 および AN002 選択 + 自己診断、常時サンプリング無効)

### 35.3.2.6 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールド回路あり、常時サンプリング有効)

チャンネル選択とともに自己診断を選択し、常時サンプリング有効設定でチャンネル専用サンプル&ホールド回路を使用すると、サンプル&ホールド実行後に、ADC12に供給される基準電圧 VREFH0 (ユニット 0)、VREFH (ユニット 1) の A/D 変換を行い、その後選択したチャンネルのアナログ入力を 1 回のみ A/D 変換します。

動作は以下のとおりです。

- ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル&ホールド回路が常時サンプリングを開始します。
- ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを 1 にしてから 400ns (許容信号源インピーダンスが 1k $\Omega$  の場合) 以上経過してから、ADCSR.ADST ビットが 1 になるようにしてください。
- サンプル&ホールド回路の安定時間経過後に、自己診断での A/D 変換を開始します。
- 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャンネル AN $n$  の  $n$  が小さい番号順に A/D 変換を開始します。
- 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ  $y$  (ADDR $y$ ) へ格納され、サンプル&ホールド回路は常時サンプリングを再開します。
- 選択したすべてのチャンネルの A/D 変換終了後、ADC12i\_ADI ( $i=0, 1$ ) 割り込み要求が発生します (レジスタ設定なし)。
- ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。続けてシングルスキャンを実行する場合は、サンプル & ホールド回路の常時サンプリング期間が 400ns (許容信号源インピーダンスが 1k $\Omega$  の場合) 以上となるようにしてください。
- ADSHMSR.SHMD ビットを 0 にすると、サンプル&ホールド回路が停止します。

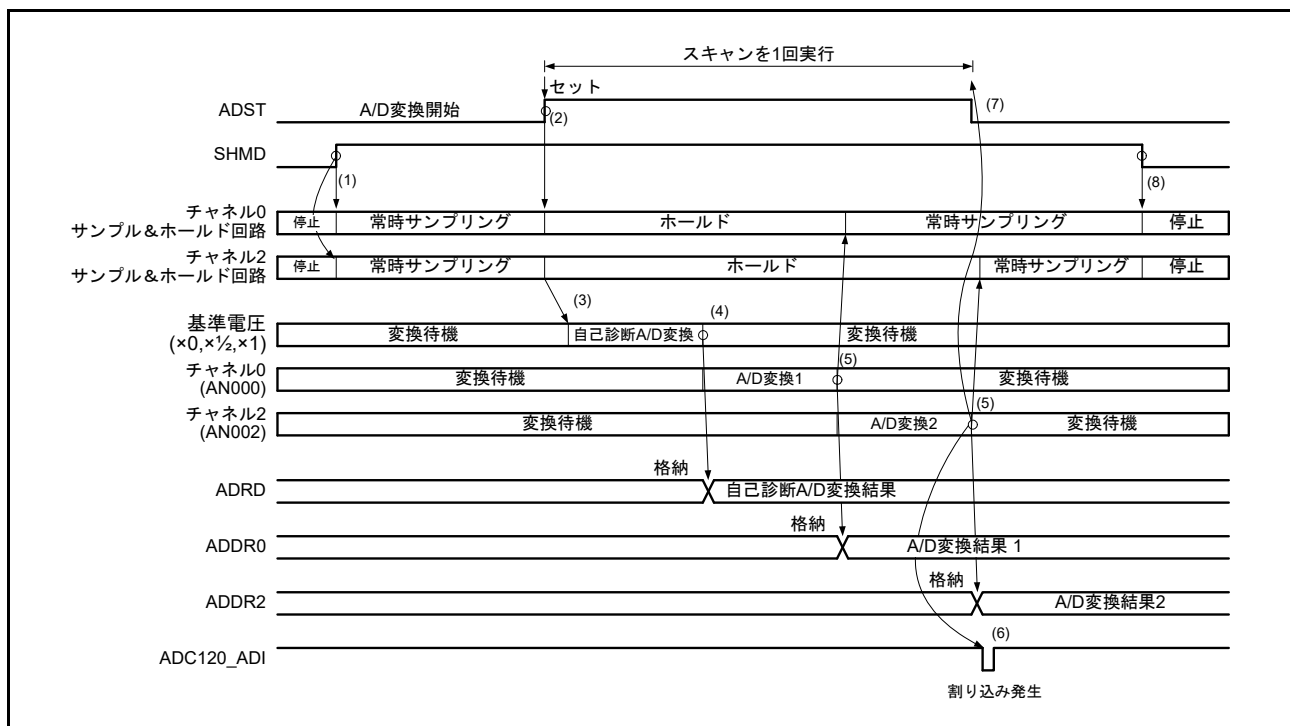


図 35.12 シングルスキャンモードの動作例 (チャンネル専用サンプル&ホールド回路使用、AN000 ~ AN002 選択 + 自己診断、常時サンプリング有効)

### 35.3.2.7 温度センサ出力／内部基準電圧選択時のA/D変換動作

チャンネル選択とともに温度センサ出力または内部基準電圧を選択すると、選択したチャンネルのアナログ入力のA/D変換を行い、その後温度センサ出力または内部基準電圧を1回のみA/D変換します。温度センサ出力と内部基準電圧の両方を選択した場合は、温度センサ、内部基準電圧の順にA/D変換します。チャンネルを非選択とし、温度センサまたは内部基準電圧のみを選択することも可能です。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ (ELC) または非同期トリガによって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
2. チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) へ格納され、次に温度センサ出力の A/D 変換を開始します。
3. 温度センサ出力の A/D 変換が終了すると、結果は関連する A/D 温度センサデータレジスタ (ADTSDR) へ格納され、次に内部基準電圧の A/D 変換を開始します。
4. 内部基準電圧の A/D 変換が終了すると、結果は関連する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC12i\_ADI (i=0, 1) 割り込み要求が発生します (レジスタ設定なし)。
5. ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。

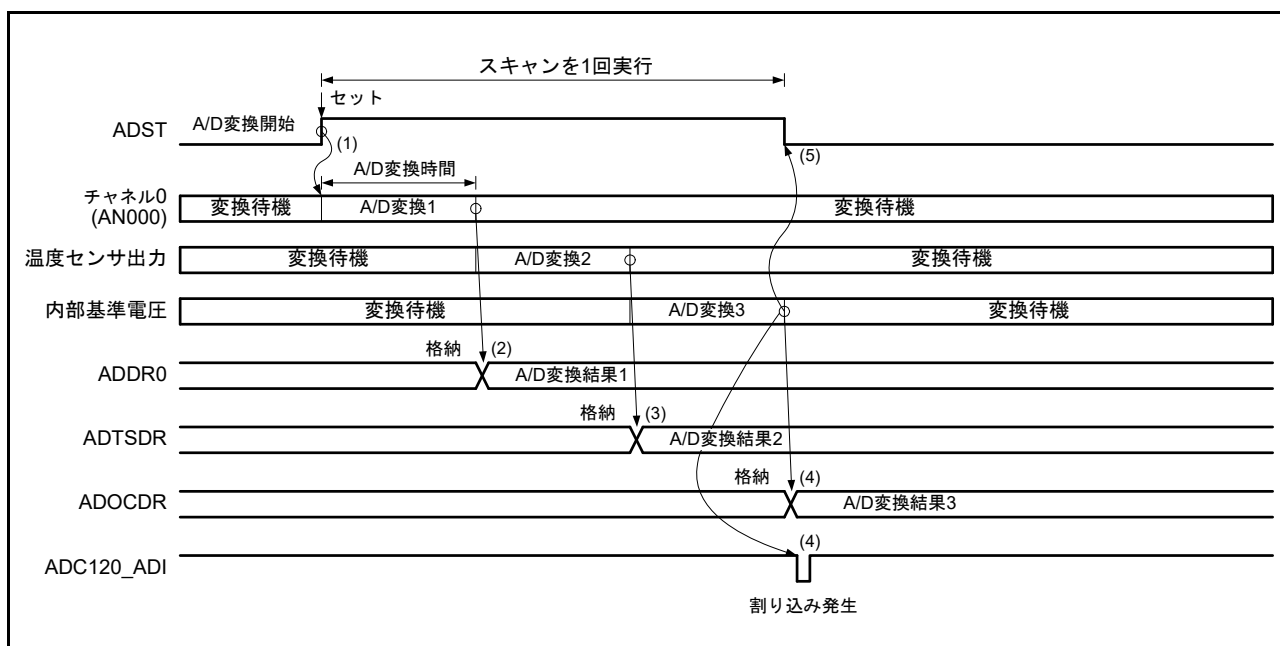


図 35.13 シングルスキャンモードの基本動作例 (AN000、温度センサ出力または内部基準電圧選択)

### 35.3.2.8 ダブルトリガモード選択時のA/D変換動作

シングルスキャンモードでダブルトリガモードを選択した場合は、同期トリガ (ELC) で開始するシングルスキャンモードの実行2回分を一連の動作として実行します。

自己診断は非選択とし、温度センサ出力加算/平均モード選択ビット (ADEXICR.TSSA) と内部基準電圧加算/平均モード選択ビット (ADEXICR.OCSA) はともに0にしてください。

A/D変換データ2重化は、2重化するチャンネルの番号をADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLEビットを1にすると有効となります。ADCSR.DBLEビットを1にした場合はADANSA0、ADANSA1レジスタのチャンネル選択は無効になります。

ダブルトリガモード時は、ADSTRGR.TRSA[5:0]ビットで同期トリガ (ELC) を選択し、ADCSR.EXTRGビットを0に、ADCSR.TRGEビットを1にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC) によってADCSR.ADSTビットが1 (A/D変換開始) になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
2. 1チャンネルのA/D変換が終了すると、A/D変換結果は関連するA/Dデータレジスタy (ADDRy) に格納されます。
3. ADSTビットは自動的にクリアされ、ADC12は待機状態になります。ADC12i\_ADI (i = 0, 1) 割り込み要求は発生しません。
4. 2回目のトリガ入力によってADCSR.ADSTビットが1 (A/D変換開始) になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
5. A/D変換が終了すると、結果はダブルトリガモード専用のA/Dデータ2重化レジスタ (ADDBLDR) に格納されます。
6. ADC12i\_ADI (i = 0, 1) 割り込み要求が発生します (レジスタ設定なし)。
7. ADSTビットはA/D変換中は1 (A/D変換開始) を保持し、A/D変換が終了すると自動的に0にクリアされ、ADC12は待機状態になります。

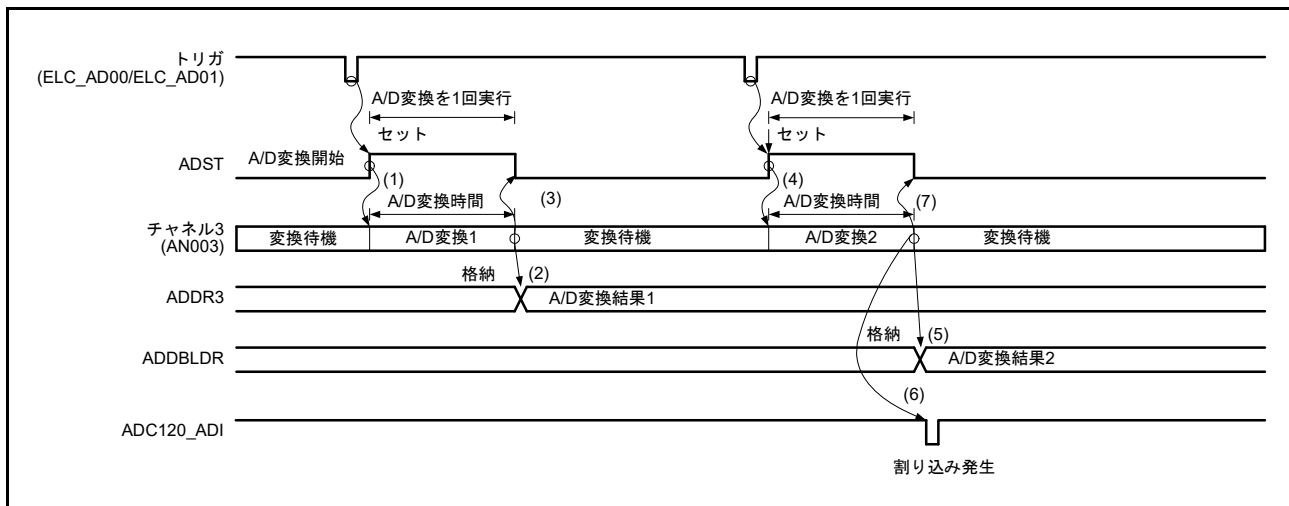


図 35.14 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を 2 重化)

### 35.3.2.9 ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードを選択した場合で、A/D変換開始トリガとして同期トリガ (ELC\_AD00/ELC\_AD01 (ユニット0) / ELC\_AD10/ELC\_AD11 (ユニット1)) を選択した場合、シングルスキャンモードの実行2回分を行います。

自己診断は非選択とし、温度センサ出力加算/平均モード選択ビット (ADEXICR.TSSA および ADEXICR.TSSB) と内部基準電圧加算/平均モード選択ビット (ADEXICR.OCSA および ADEXICR.OCSB) はともに0にしてください。

A/D変換データ2重化は、2重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを1にすると有効となります。ADCSR.DBLE ビットを1にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。

ダブルトリガ拡張モード時は、ADSTRGR.TRSA[5:0] ビットを0Bhにして同期トリガ (ELC\_AD00/ELC\_AD01 (ユニット0) / ELC\_AD10/ELC\_AD11 (ユニット1)) を選択し、ADCSR.EXTRG ビットを0に、ADCSR.TRGE ビットを1にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC\_AD00/ELC\_AD01 (ユニット0) / ELC\_AD10/ELC\_AD11 (ユニット1)) によって ADCSR.ADST ビットが1 (A/D変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換を開始します。
2. 1チャンネルのA/D変換が終了すると、A/D変換結果は、関連するA/Dデータレジスタy (ADDRy)、および ELC\_ADi0 のトリガが入力の場合 (i=0, 1) はA/Dデータ2重化レジスタA (ADDBLDRA)、または ELC\_ADi1 のトリガが入力の場合 (i=0, 1) はA/Dデータ2重化レジスタB (ADDBLDRB) へ格納されます。
3. ADCSR.ADST ビットは自動的に0にクリアされ、ADC12は待機状態になります。ADC12i\_ADI (i=0, 1) 割り込み要求は発生しません。
4. 2回目のトリガ入力 (ELC\_AD00/ELC\_AD01 (ユニット0) / ELC\_AD10/ELC\_AD11 (ユニット1)) によって ADCSR.ADST ビットが1 (A/D変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換を開始します。
5. A/D変換が終了すると、その結果は、A/Dデータ2重化レジスタ (ADDBLDR)、および ELC\_ADi0 のトリガが入力の場合 (i=0, 1) はA/Dデータ2重化レジスタA (ADDBLDRA)、または ELC\_ADi1 のトリガが入力の場合 (i=0, 1) はA/Dデータ2重化レジスタB (ADDBLDRB) へ格納されます。
6. ADC12i\_ADI (i=0, 1) 割り込み要求が発生します (レジスタ設定なし)。
7. ADCSR.ADST ビットはA/D変換中は1 (A/D変換開始) を保持し、A/D変換が終了すると自動的に0にクリアされ、ADC12は待機状態になります。



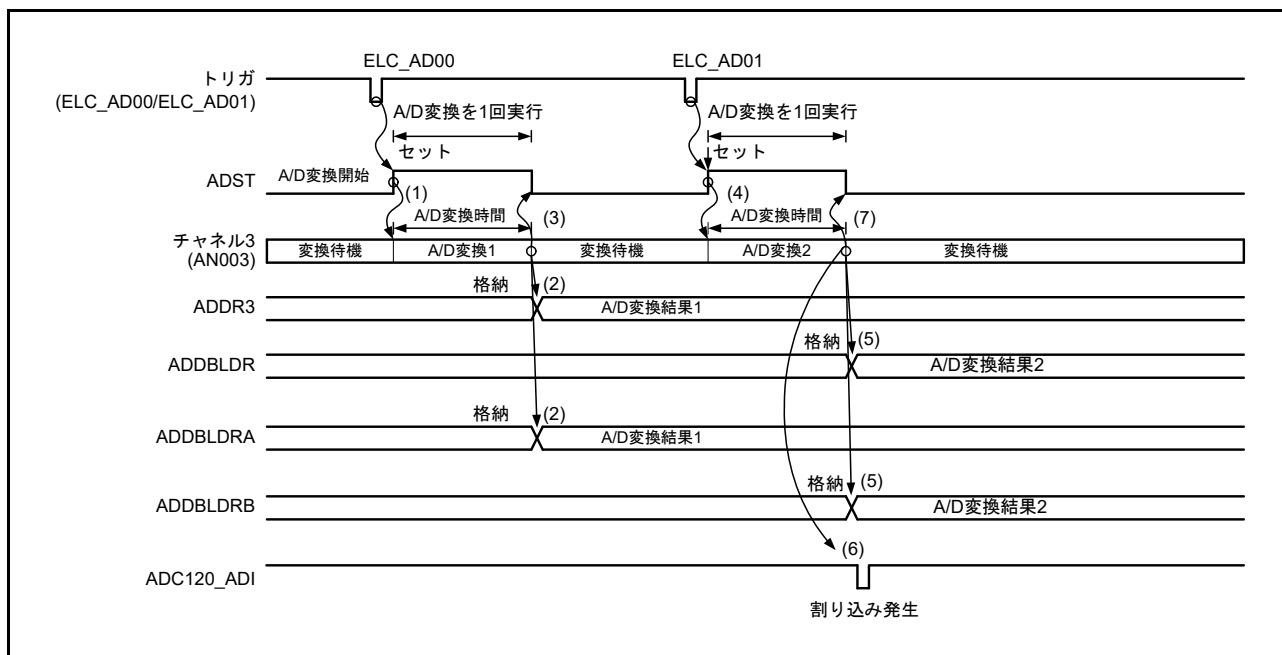


図 35.15 ダブルトリガモードの拡張動作例 (1) (AN003 の 2 重化を選択、ELC\_AD00/ELC\_AD01 選択)

### 35.3.3 連続スキャンモード

#### 35.3.3.1 基本動作 (チャンネル専用サンプル&ホールド回路なし)

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を繰り返しA/D変換します。動作は以下のとおりです。

- ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
- 選択したすべてのチャンネルの A/D 変換終了後、ADC12i\_ADI (i = 0, 1) 割り込み要求が発生します (レジスタ設定なし)。また ADC12 は、継続して ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- ADCSR.ADST ビットは自動的にクリアされず、1 (A/D 変換開始) の状態の間は (2) ~ (3) を繰り返します。ADCSR.ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換は停止し、ADC12 は待機状態になります。
- その後、ADCSR.ADST ビットを 1 (A/D 変換開始) にすると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に再び A/D 変換を開始します。

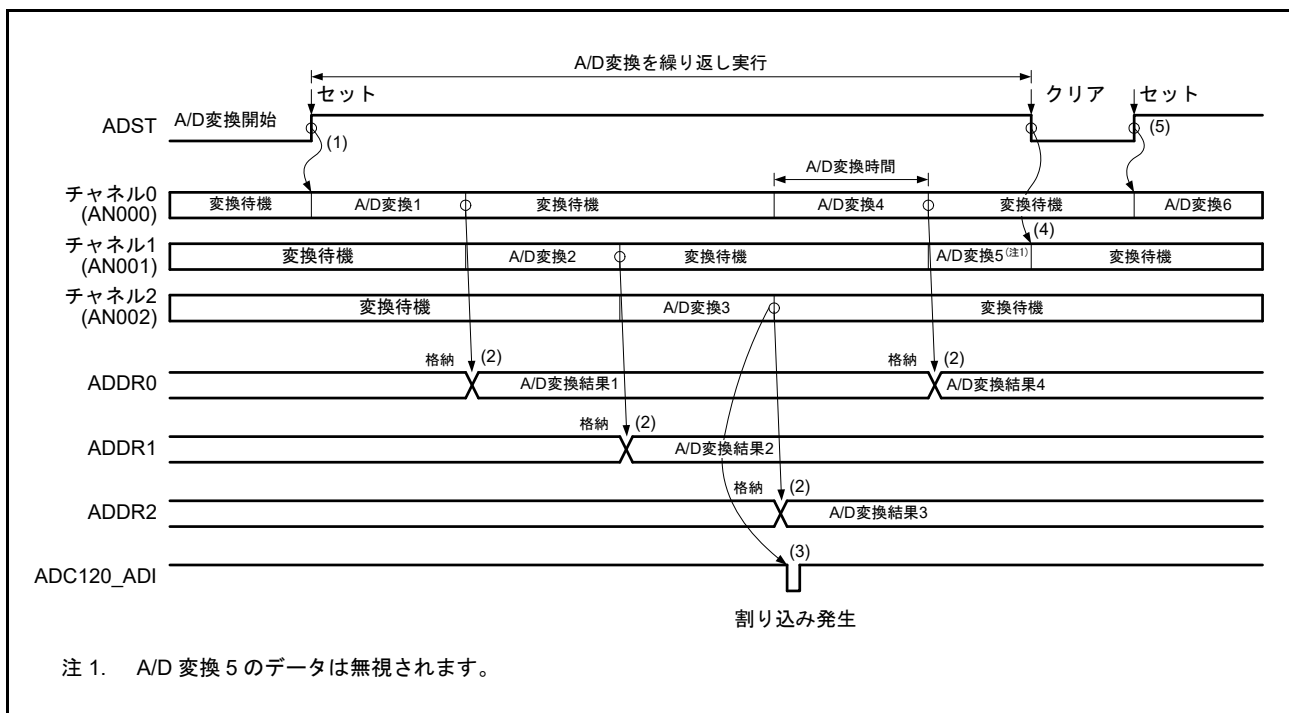


図 35.16 連続スキャンモードの基本動作例 (AN000 ~ AN002 選択)

### 35.3.3.2 基本動作 (チャンネル専用サンプル&ホールド回路あり、常時サンプリング無効)

常時サンプリング無効時にチャンネル専用サンプル&ホールド回路を使用すると、サンプル&ホールド実行後、指定したすべてのチャンネルのアナログ入力を繰り返し A/D 変換します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0] ビットで選択します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
2. サンプリング&ホールド実行後に、ADANSA0、ADANSA1 レジスタで選択したチャンネル AN<sub>n</sub> の n が小さい番号順に A/D 変換を開始します。
3. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDR<sub>y</sub>) に格納されます。
4. 選択したすべてのチャンネルの A/D 変換終了後、ADC12i\_ADI (i=0, 1) 割り込み要求が発生します (レジスタ設定なし)。また、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。
5. ADST ビットは自動的にクリアされず、1 の状態の間は (2) ~ (4) を繰り返します。ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換は停止し、ADC12 は待機状態になります。
6. その後、ADST ビットが 1 (A/D 変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが再び開始されます。

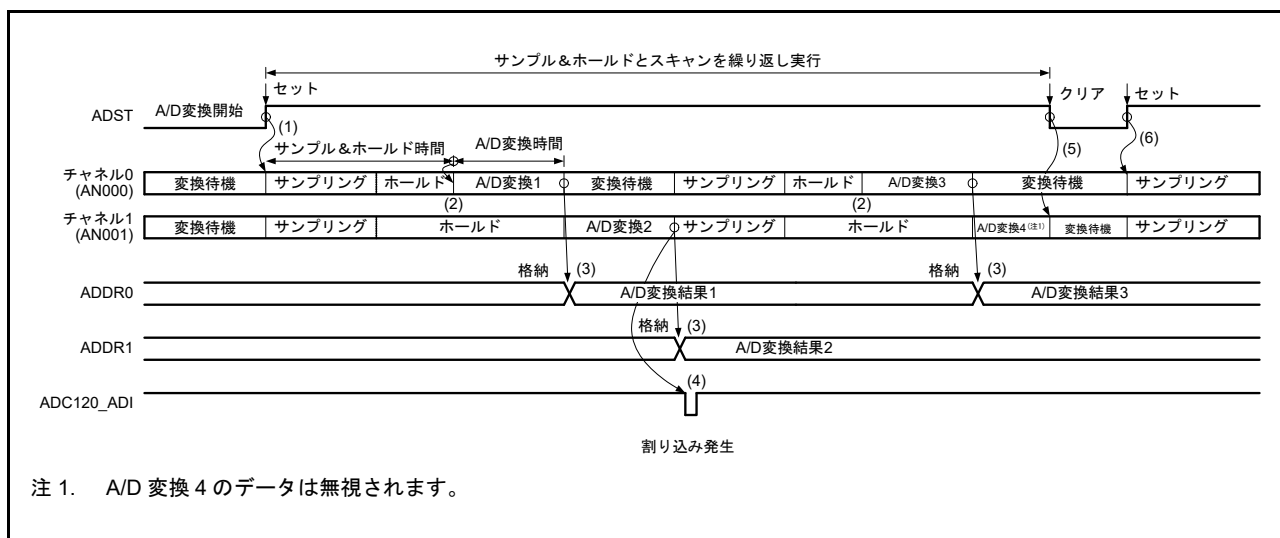


図 35.17 連続スキャンモードの動作例 (チャンネル専用サンプル&ホールド回路使用、AN000 および AN001 選択)

### 35.3.3.3 基本動作 (チャンネル専用サンプル&ホールド回路あり、常時サンプリング有効)

常時サンプリング有効設定でチャンネル専用サンプル&ホールド回路を使用すると、以下のように、サンプル&ホールド実行後、選択したすべてのチャンネルのアナログ入力をA/D変換する動作を繰り返します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで選択します。

動作は以下のとおりです。

1. ADSHMSR.SHMD ビットを1にすると、ADSHCR.SHANS[2:0]ビットで選択されたサンプル&ホールド回路が常時サンプリングを開始します。
2. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが1 (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを1にしてから400ns (許容信号源インピーダンスが1k $\Omega$ の場合) 以上経過してから、ADCSR.ADST ビットが1になるようにしてください。
3. サンプル&ホールド回路の安定時間経過後に、ADANSA0/1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1チャンネルのA/D変換が終了すると、A/D変換結果は関連するA/Dデータレジスタ y (ADDRy) へ格納され、サンプル&ホールド回路は常時サンプリングを再開します。
5. 選択したすべてのチャンネルのA/D変換終了後、ADC12i\_ADI (i=0,1) 割り込み要求が発生します (レジスタ設定なし)。また、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のホールドを開始します。
6. ADCSR.ADST ビットは自動的にクリアされず、1の状態の間は (3) ~ (5) を繰り返します。ADCSR.ADST ビットを0 (A/D変換停止) にすると、A/D変換は停止し、ADC12は待機状態になります。
7. ADSHMSR.SHMD ビットを0にすると、サンプル&ホールド回路が停止します。
8. その後、ADSHMSR.SHMD ビットを1にすると、ADSHCR.SHANS[2:0]ビットで選択されたサンプル&ホールド回路が常時サンプリングを開始します。
9. ADCSR.ADST ビットが1 (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のホールドを開始します。

注. サンプル & ホールド回路ありのチャンネルのみを選択し連続スキャンを実施すると、連続スキャンの2回目以降に常時サンプリングの期間が確保されなくなります。サンプル & ホールド回路の常時サンプリング有効で連続スキャンする場合、ユニット0ではAN003 ~ AN007、AN016 ~ AN018、AN020の中の1つ以上のチャンネル、温度センサ出力、および内部基準電圧、ユニット1ではAN105 ~ AN107、AN116、AN117の中の1つ以上のチャンネル、温度センサ出力、および内部基準電圧を選択し、サンプル & ホールド回路の常時サンプリング期間が400ns (許容信号源インピーダンスが1k $\Omega$ の場合) 以上となるようにしてください。

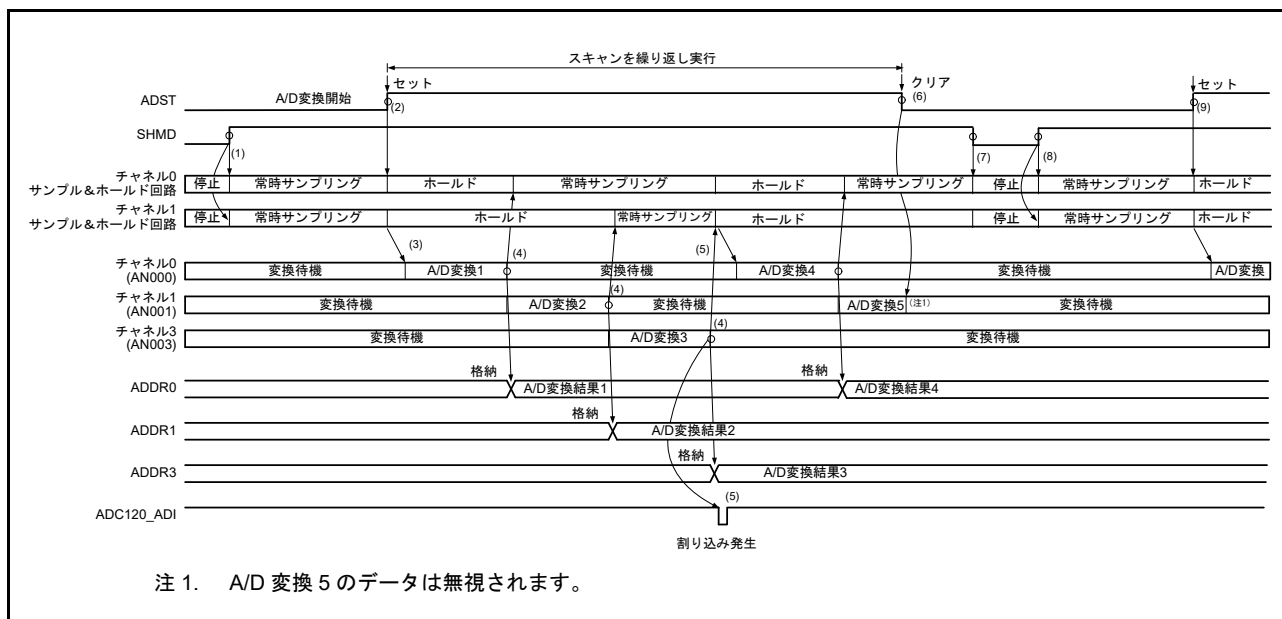


図 35.18 連続スキャンモードの動作例 (チャンネル専用サンプル&ホールド回路使用、AN000、AN001、および AN003 選択、常時サンプリング有効)

### 35.3.3.4 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールド回路なし)

チャンネル選択とともに自己診断を選択すると、ADC12に供給される基準電圧 VREFH0 (ユニット 0)、VREFH (ユニット 1) (×0, ×1/2, ×1 のいずれか) の A/D 変換を行い、その後、選択したチャンネルのアナログ入力を A/D 変換するという流れを繰り返します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
4. 選択したすべてのチャンネルの A/D 変換終了後、ADC12i\_ADI (i=0, 1) 割り込み要求が発生します (レジスタ設定なし)。また、ADC12 は同時に自己診断での A/D 変換を開始し、次に ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
5. ADST ビットは自動的にクリアされず、1 の状態の間は (2) ~ (4) を繰り返します。ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換は停止し、ADC12 は待機状態になります。
6. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的に 0 にクリアされます。続いて ADC12 は待機状態になります。

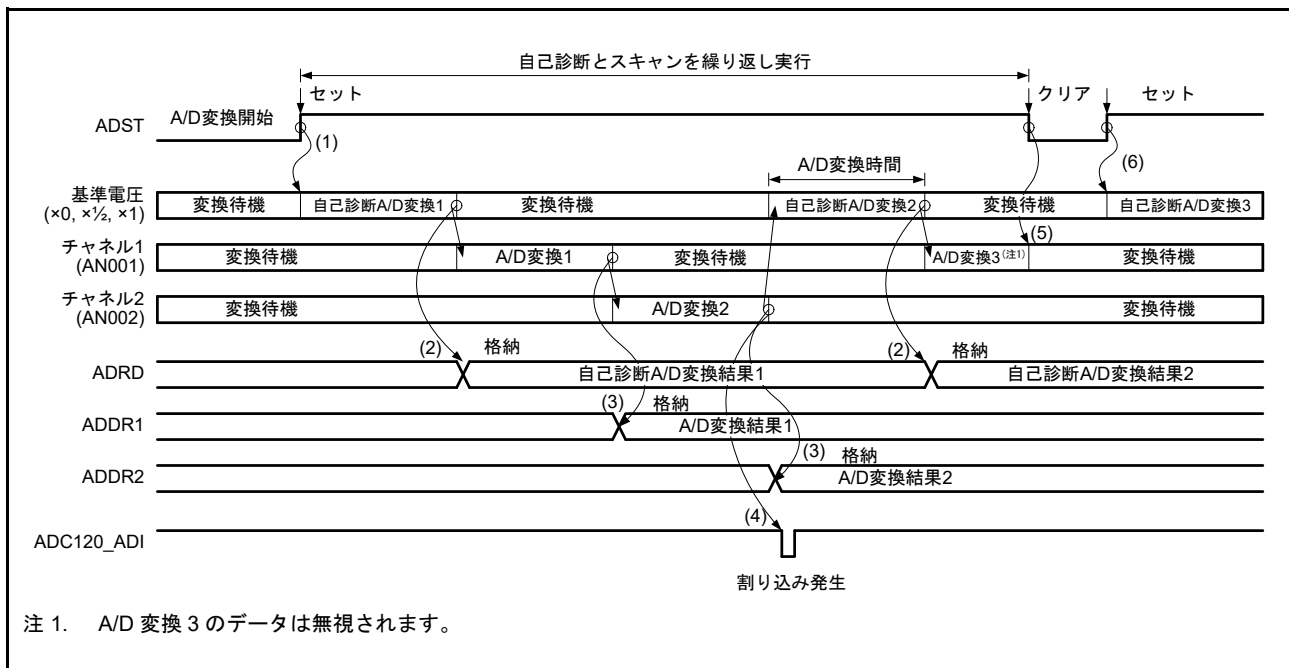


図 35.19 連続スキャンモードの基本動作例 (AN001 および AN002 選択 + 自己診断)

### 35.3.3.5 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールド回路あり、常時サンプリング無効)

チャンネル選択とともに自己診断を選択し、常時サンプリング無効設定でチャンネル専用サンプル&ホールド回路を使用すると、サンプル&ホールド処理後に、ADC12に供給される基準電圧 VREFH0 (ユニット0)、VREFH (ユニット1) ( $\times 0$ ,  $\times 1/2$ ,  $\times 1$  のいずれか) のA/D変換を行い、その後、選択したチャンネルのアナログ入力をA/D変換する動作を繰り返し行います。

動作は以下のとおりです。

- ソフトウェアトリガ、同期トリガ入力 (ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが1 (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- サンプリング&ホールド実行後に、自己診断でのA/D変換を開始します。
- 自己診断のA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1レジスタで選択したチャンネル ANn のnが小さい番号順にA/D変換を開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は関連するA/Dデータレジスタ y (ADDRy) に格納されます。
- 選択したすべてのチャンネルのA/D変換終了後、ADC12i\_ADI (i=0, 1) 割り込み要求が発生します (レジスタ設定なし)。また、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。
- ADST ビットは自動的にクリアされず、1の状態の間は(2)～(5)を繰り返します。ADST ビットを0 (A/D変換停止) にすると、A/D変換は停止し、ADC12は待機状態になります。
- その後、ADST ビットが1 (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが再び開始されます。

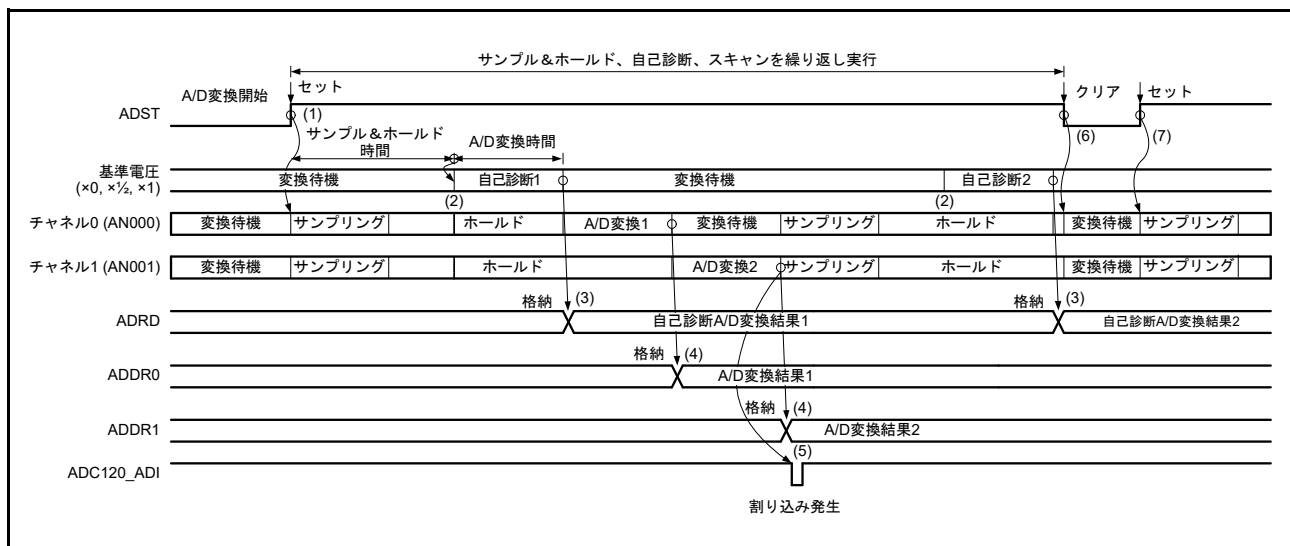


図 35.20 連続スキャンモードの動作例 (チャンネル専用サンプル&ホールド回路使用、AN000 および AN001 選択 + 自己診断)

### 35.3.3.6 チャンネル選択と自己診断 (チャンネル専用サンプル&ホールド回路あり、常時サンプリング有効)

チャンネル選択とともに自己診断を選択し、常時サンプリング有効設定でチャンネル専用サンプル&ホールド回路を使用すると、サンプル&ホールド実行後に、ADC12に供給される基準電圧 VREFH0 (ユニット0)、VREFH (ユニット1) ( $\times 0$ ,  $\times 1/2$ ,  $\times 1$  のいずれか) のA/D変換を行い、その後、選択したチャンネルのアナログ入力をA/D変換するという流れを繰り返します。

動作は以下のとおりです。

1. ADSHMSR.SHMD ビットを1にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル&ホールド回路が常時サンプリングを開始します。
  2. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが1 (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを1にしてから400ns (許容信号源インピーダンスが1k $\Omega$ の場合) 以上経過してから、ADCSR.ADST ビットが1になるようにしてください。
  3. サンプル&ホールド回路の安定時間経過後に、自己診断でのA/D変換を開始します。
  4. 自己診断のA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャンネル AN $n$  の  $n$  が小さい番号順にA/D変換を開始します。
  5. 1チャンネルのA/D変換が終了すると、A/D変換結果は関連するA/Dデータレジスタ  $y$  (ADDR $y$ ) へ格納され、サンプル&ホールド回路は常時サンプリングを再開します。
  6. 選択したすべてのチャンネルのA/D変換終了後、ADC12 $i$ \_ADI ( $i=0, 1$ ) 割り込み要求が発生します (レジスタ設定なし)。また、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のホールドを開始します。
  7. ADCSR.ADST ビットは自動的にクリアされず、1の状態の間は(3) ~ (6)を繰り返します。ADCSR.ADST ビットを0 (A/D変換停止) にすると、A/D変換は停止し、ADC12は待機状態になります。
  8. ADSHMSR.SHMD ビットを0にすると、サンプル&ホールド回路が停止します。
  9. その後、ADSHMSR.SHMD ビットを1にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル&ホールド回路が常時サンプリングを開始します。
  10. ADCSR.ADST ビットが1 (A/D変換開始) になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のホールドを開始します。
- 注. サンプル & ホールド回路ありのチャンネルのみを選択し連続スキャンを実施すると、連続スキャンの2回目以降に常時サンプリングの期間が確保されなくなります。サンプル & ホールド回路の常時サンプリング有効で連続スキャンする場合、ユニット0ではAN003 ~ AN007、AN016 ~ AN018、AN020の中の1つ以上のチャンネル、温度センサ出力、および内部基準電圧、ユニット1ではAN105 ~ AN107、AN116、AN117の中の1つ以上のチャンネル、温度センサ出力、および内部基準電圧を選択し、サンプル & ホールド回路の常時サンプリング期間が400ns (許容信号源インピーダンスが1k $\Omega$ の場合) 以上となるようにしてください。



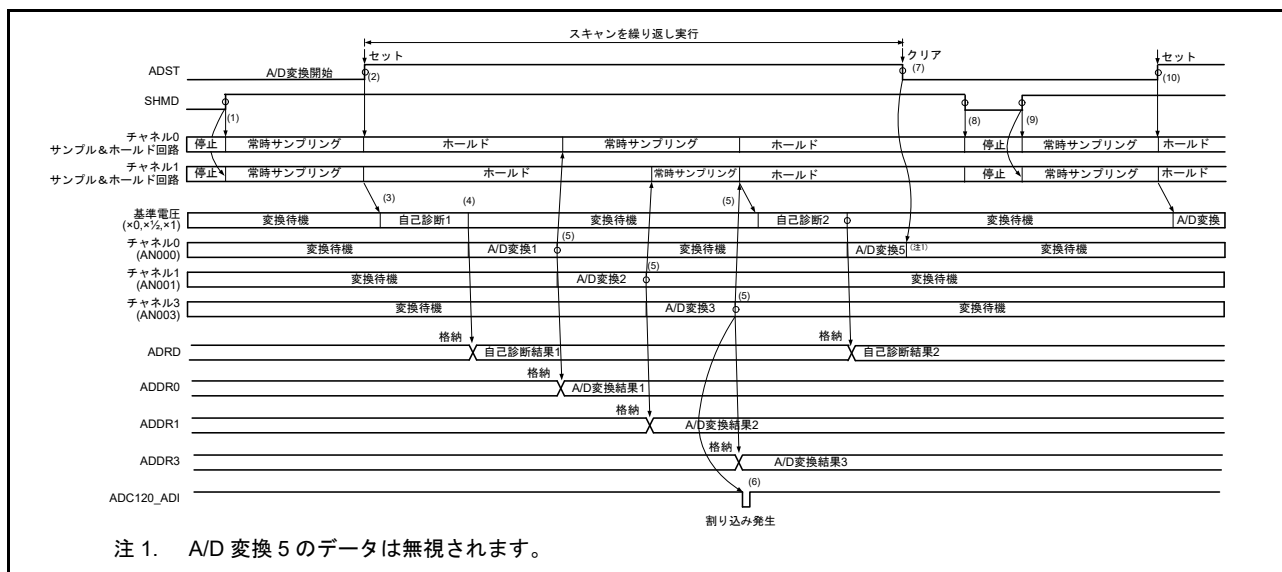


図 35.21 連続スキャンモードの動作例 (チャンネル専用サンプル&ホールド回路使用、AN000、AN001、および AN003 選択 + 自己診断、常時サンプリング有効)

### 35.3.3.7 温度センサ出力／内部基準電圧選択時のA/D変換動作

チャンネル選択とともに温度センサ出力または内部基準電圧を選択すると、選択したチャンネルのアナログ入力のA/D変換を行い、その後温度センサ出力または内部基準電圧を繰り返しA/D変換します。温度センサ出力と内部基準電圧の両方を選択した場合は、温度センサ出力、内部基準電圧の順にA/D変換します。

チャンネルを非選択とし、温度センサまたは内部基準電圧のみを選択することも可能です。

動作は以下のとおりです。

- ソフトウェアトリガ、同期トリガ (ELC) または非同期トリガによって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) へ格納され、次に温度センサ出力の A/D 変換を開始します。
- 温度センサ出力の A/D 変換が終了すると、結果は関連する A/D 温度センサデータレジスタ (ADTSDR) へ格納され、次に内部基準電圧の A/D 変換を開始します。
- 内部基準電圧の A/D 変換が終了すると、結果は関連する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC12i\_ADI 割り込み要求が発生します。また ADC12 は、継続して ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- ADCSR.ADST ビットは自動的にクリアされず、1 の状態の間は (2) ~ (4) を繰り返します。ADCSR.ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換は停止し、ADC12 は待機状態になります。
- その後、ADCSR.ADST ビットを 1 (A/D 変換開始) にすると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に再び A/D 変換を開始します。

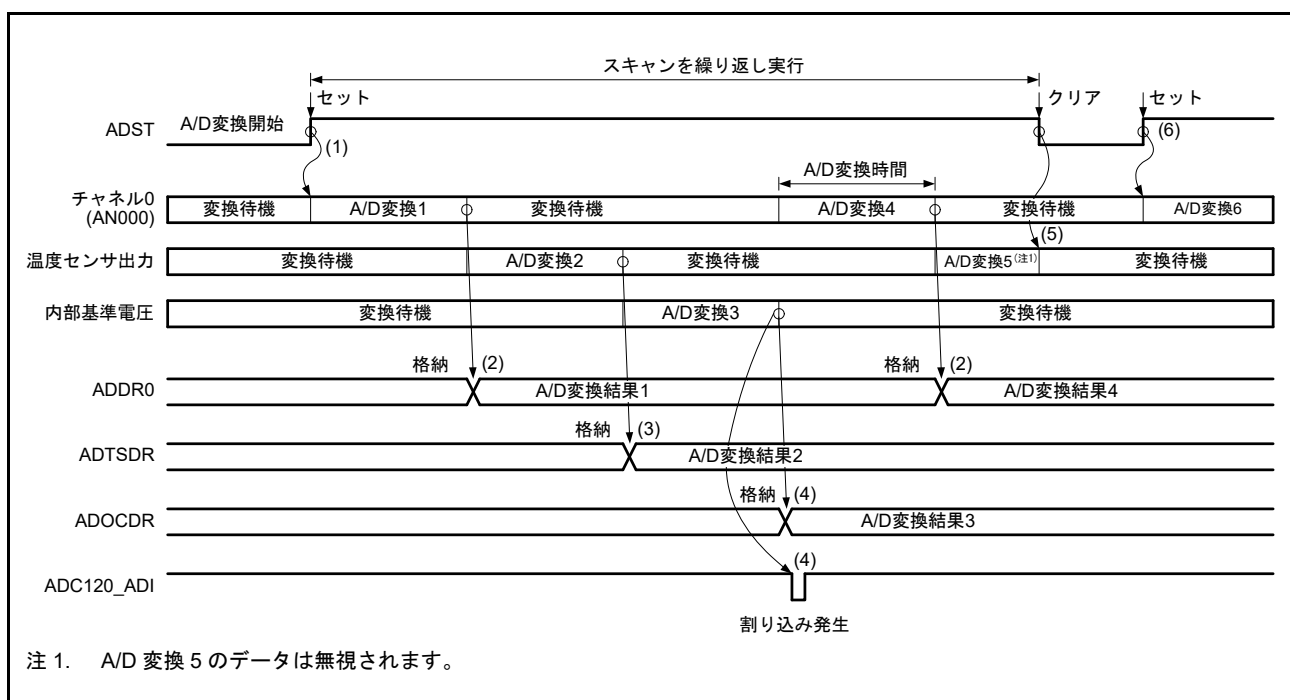


図 35.22 連続スキャンモードの基本動作例 (AN000、温度センサ出力または内部基準電圧選択)

### 35.3.4 グループスキャンモード

#### 35.3.4.1 基本動作

グループスキャンモードでは、同期トリガ (ELC) をスキャン開始条件とし、グループ A とグループ B のそれぞれで選択したすべてのチャンネルのアナログ入力を 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

同期トリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガ、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。ソフトウェアトリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADANSA0、ADANSA1 レジスタ、ADEXICR.TSSA、OCSA ビットでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタ、ADEXICR.TSSB、OCSB ビットでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

以下に ELC からの同期トリガによるグループスキャンモードの動作例を示します。この例では、ELC からの ELC\_AD00 および ELC\_AD01 トリガ (ユニット 0)、ELC\_AD10 および ELC\_AD11 トリガ (ユニット 1)、を使用して、グループ A およびグループ B の変換をそれぞれ開始します。また、ELC\_AD00 および ELC\_AD01 (ユニット 0)、ELC\_AD10 および ELC\_AD11 (ユニット 1) は、関連する ELC.ELSRn レジスタで GPT イベントに選択されます。

動作は以下のとおりです。

1. ELC\_AD00 (ユニット 0) または ELC\_AD10 (ユニット 1) でグループ A のスキャンを開始します。
2. グループ A のスキャン終了後、ADC12i\_ADI ( $i=0, 1$ ) 割り込みが発生します (レジスタ設定なし)。
3. ELC\_AD01 (ユニット 0) または ELC\_AD11 (ユニット 1) でグループ B のスキャンを開始します。
4. グループ B のスキャン完了時に ADCSR.GBADIE ビットが 1 (スキャン終了による ADC12i\_GBADI 割り込み許可) になっていると、ADC12i\_GBADI 割り込みが発生します。

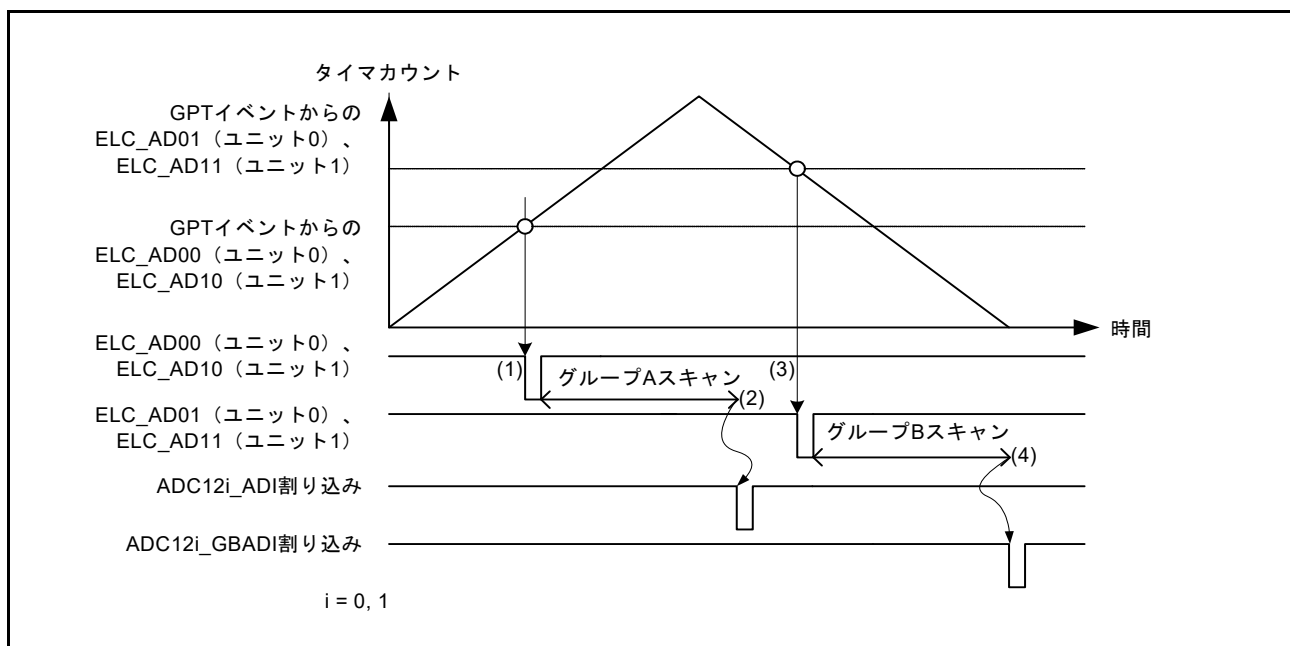


図 35.23 グループスキャンモードの基本動作例 (ELC からの同期トリガ使用)

### 35.3.4.2 ダブルトリガモード選択時の A/D 変換動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガ (ELC) で開始するシングルスキャンモードの実行 2 回分を一連の動作として実行します。グループ B は同期トリガ (ELC) で開始するシングルスキャンモードの動作を 1 回実行します。

グループスキャンモード時、同期トリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。ソフトウェアトリガ、非同期トリガ (ADTRGn) は使用しないでください。

ADSTRGR.TRSA[5:0] ビットを 0Bh にすることによって ELC\_AD00/ELC\_AD01 (ユニット 0) および ELC\_AD10/ELC\_AD11 (ユニット 1) をグループ A の同期トリガに選択した場合は、ダブルトリガ拡張モードで動作します。

A/D 変換対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモードでダブルトリガモードを選択した場合は、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) はともに 0 (非選択) にします。グループスキャンモードでダブルトリガモード選択時は自己診断を選択できません。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。

以下に ELC からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。この例では、ELC からの ELC\_AD00 および ELC\_AD01 (ユニット 0) トリガ、ELC\_AD10 および ELC\_AD11 (ユニット 1) トリガを使用して、グループ A およびグループ B の変換をそれぞれ開始します。また、ELC\_AD00 および ELC\_AD01 (ユニット 0)、ELC\_AD10 および ELC\_AD11 (ユニット 1) は、関連する ELC.ELSRn レジスタで GPT イベントに選択されます。

動作は以下のとおりです。

1. ELC からの ELC\_AD00 (ユニット 0) または ELC\_AD10 (ユニット 1) トリガでグループ B のスキャンを開始します。
2. グループ B のスキャン終了時に ADCSR.GBADIE ビットが 1 (スキャン完了による ADC12i\_GBADI 割り込み許可) になっていると、ADC12i\_GBADI (i=0, 1) 割り込みが発生します。
3. 1 回目の ELC\_AD01 (ユニット 0) または ELC\_AD11 (ユニット 1) トリガでグループ A の 1 回目のスキャンを開始します。
4. グループ A の 1 回目のスキャンが完了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。ADC12i\_ADI 割り込み要求は発生しません。
5. 2 回目の ELC\_AD01 (ユニット 0) または ELC\_AD11 (ユニット 1) トリガでグループ A の 2 回目のスキャンを開始します。
6. グループ A の 2 回目のスキャン終了時、A/D 変換結果を ADDBLDR に格納します。ADC12i\_ADI 割り込みが発生します。

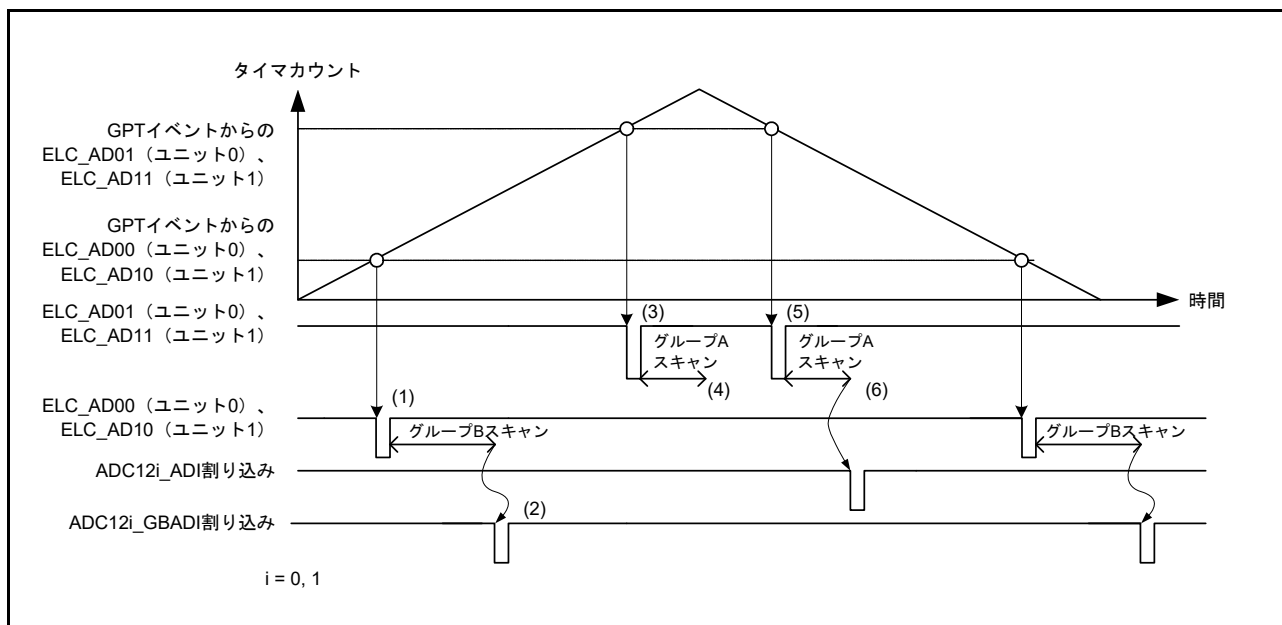


図 35.24 グループスキャンモードでダブルトリガモードを使用する場合の基本動作例 (ELC からの同期トリガ使用時)

### 35.3.4.3 グループ A 優先制御動作

グループスキャンモードでA/Dグループスキャン優先コントロールレジスタ (ADGSPCR) のPGSビットを1にすると、グループA優先制御動作を行います。ADGSPCRレジスタのPGSビットを1に設定する際は、[図 35.25](#)に記載された手順に従って設定を実行してください。フロー以外の設定をした場合、A/D変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループA、もしくはグループBのA/D変換動作中に他方のA/D変換のトリガ入力があっても無視されます。グループA優先制御動作では、グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断して、グループAのA/D変換動作を行います。ADGSPCR.GBRSCNビットが0のときは、ADC12はグループAのA/D変換完了時に待機状態となります。ADGSPCR.GBRSCNビットが1のときは、グループAのA/D変換完了後、自動的にグループBのスキャンをグループ先頭から自動で再開します。ADGSPCR.GBRSCNビットの設定とA/D変換動作中のトリガ入力時の動作を[表 35.9](#)に示します。

グループAとグループBのスキャン動作は、シングルスキャンモードと同じ動作になります。また、ADGSPCR.GBRPビットを1にすると、グループBのシングルスキャンを連続して実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループAの同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループAのトリガとは異なるグループBの同期トリガを選択してください。ADGSPCR.GBRPビットを1にする場合は、ADSTRGR.TRSB[5:0]ビットを3Fhにしてください。

またA/D変換対象とするチャンネルは、ADANSA0、ADANSA1レジスタ、ADEXICR.TSSA、OCSAビットでグループAのチャンネルを選択し、ADANSB0、ADANSB1レジスタ、ADEXICR.TSSB、OCSBビットでグループAとは異なるグループBのチャンネルを選択してください。

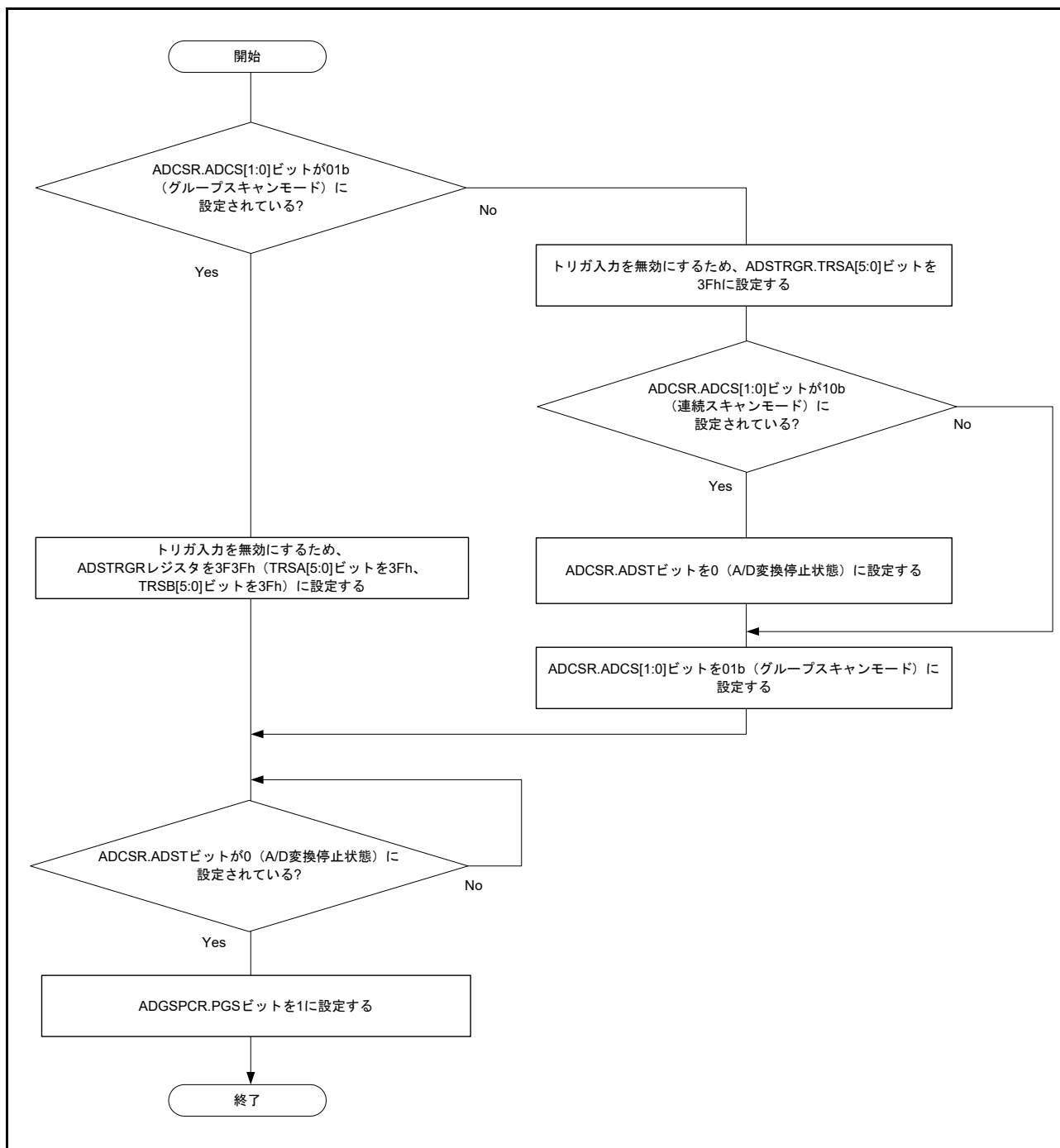


図 35.25 ADGSPCR.PGS ビット設定時のフロー

表 35.9 ADGSPCR.GBRSCN ビットの設定によるA/D変換動作制御

A/D変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループAのA/D変換動作中	グループAのトリガ入力	トリガ入力無効	トリガ入力無効
	グループBのトリガ入力	トリガ入力無効	グループAの変換動作終了後にグループBを変換
グループBのA/D変換動作中	グループAのトリガ入力	グループBの変換を中断しグループAの変換を開始	<ul style="list-style-type: none"> <li>グループBの変換を中断しグループAの変換を開始</li> <li>グループAの変換終了後にグループBの変換を開始</li> </ul>
	グループBのトリガ入力	トリガ入力無効	トリガ入力無効

以下に、グループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したグループスキャンモードグループ A 優先制御動作の動作例 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) を示します。

動作は以下のとおりです。

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. A/D 変換が完了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中にグループ A のトリガ入力があり、グループ B の A/D 変換動作が ADCSR.ADST ビットが 1 のままで中断されると、ADANSA0 および ADANSA1 レジスタで選択したチャンネル ANn の A/D 変換を n が小さい番号順に開始します。グループ B の A/D 変換動作が中断されたときに A/D 変換が終了していない場合は、A/D 変換結果は A/D データレジスタ (ADDRy) に格納されません。
4. 1 チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
5. ADC12i\_ADI (i = 0, 1) 割り込み要求が発生します (レジスタ設定なし)。
6. ADANSB0 および ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の A/D 変換が、チャンネルの n が小さい番号順に、ADCSR.ADST ビットが 1 の状態で再開します。
7. 1 チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されません。
8. ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了による ADC12i\_GBADI 割り込み許可) になっていると、ADC12i\_GBADI 割り込み要求が発生します。
9. A/D 変換が終了すると、ADCSR.ADST ビットは自動的にクリアされ、ADC12 は待機状態になります。



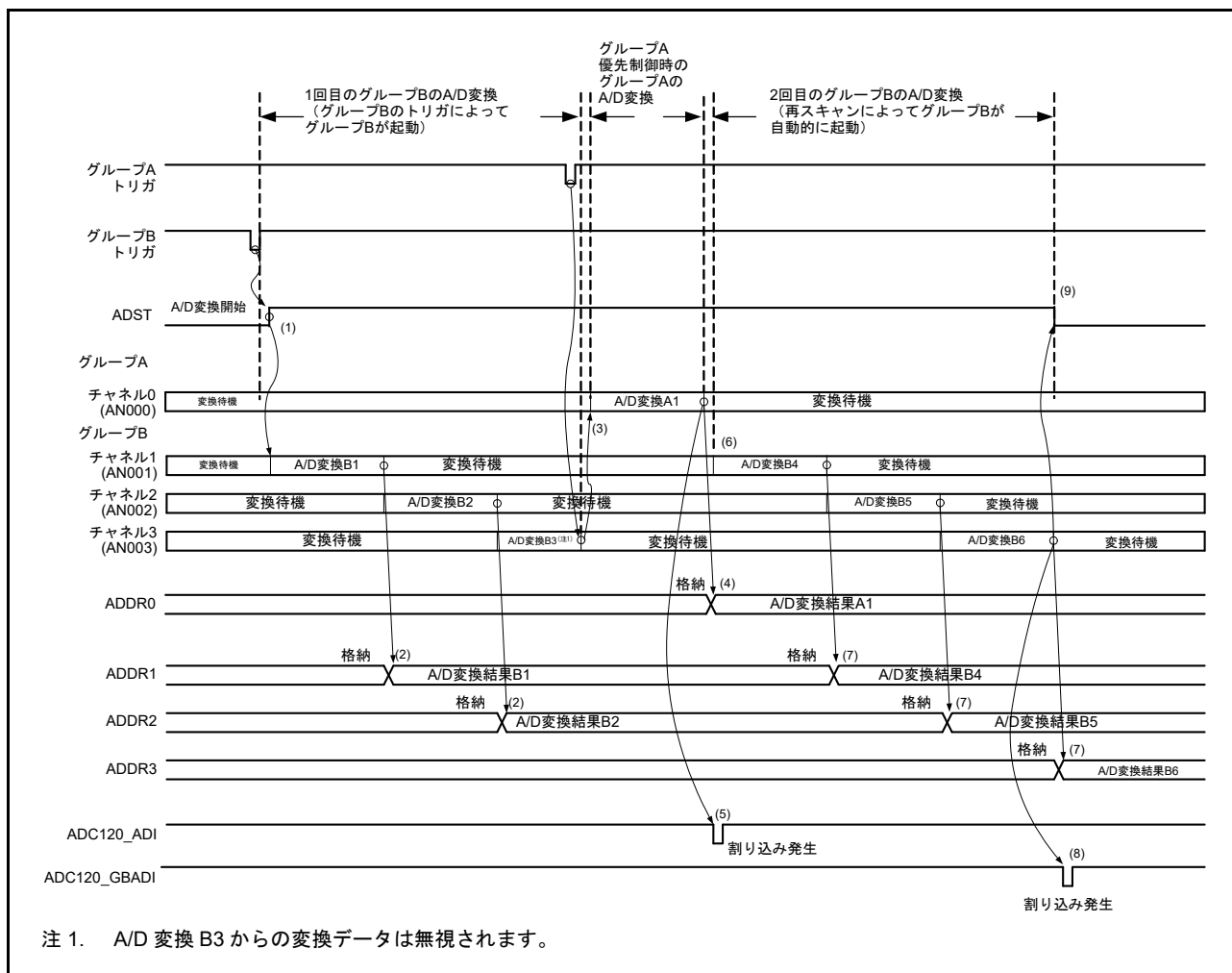


図 35.26 グループ A 優先制御の動作例 (1) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

以下では、グループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0) に、グループ A にチャンネル 0 を、グループ B にチャンネル 1 ~ 3 を選択した場合の例を示します。

動作は以下のとおりです。

1. グループ B のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中にグループ A のトリガ入力があると、ADCSR.ADST ビットが 1 のままでグループ B の A/D 変換動作を中断します。グループ B の A/D 変換動作が中断されたときに A/D 変換が終了していない場合は、A/D 変換結果は A/D データレジスタ (ADDRy) に格納されません。
4. ADANSA0 および ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、A/D 変換を開始します。
5. 1 チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
6. ADC12i\_ADI (i = 0, 1) 割り込み要求が発生します (レジスタ設定なし)。
7. ADGSPCR.GBRSCN ビットが 1 (再スキャン動作有効) の場合は、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択したグループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
8. 1 チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
9. 再スキャン起動によるグループ B の A/D 変換動作中にグループ A のトリガ入力があると、ADCSR.ADST ビットは 1 のままで、動作中のグループ B の A/D 変換を中断します。
10. ADANSA0 および ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、A/D 変換を開始します。
11. 1 チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
12. ADC12i\_ADI 割り込み要求が発生します (レジスタ設定なし)。
13. ADGSPCR.GBRSCN ビットが 1 (再スキャン動作有効) の場合は、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択したグループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
14. 再スキャンによるグループ B の A/D 変換中にグループ A のトリガ入力があると、(9) ~ (13) を繰り返し実行します。グループ A のトリガ入力がない場合は、グループ B の A/D 変換が終了すると ADCSR.ADST ビットが自動的にクリアされ、ADC12 は待機状態になります。

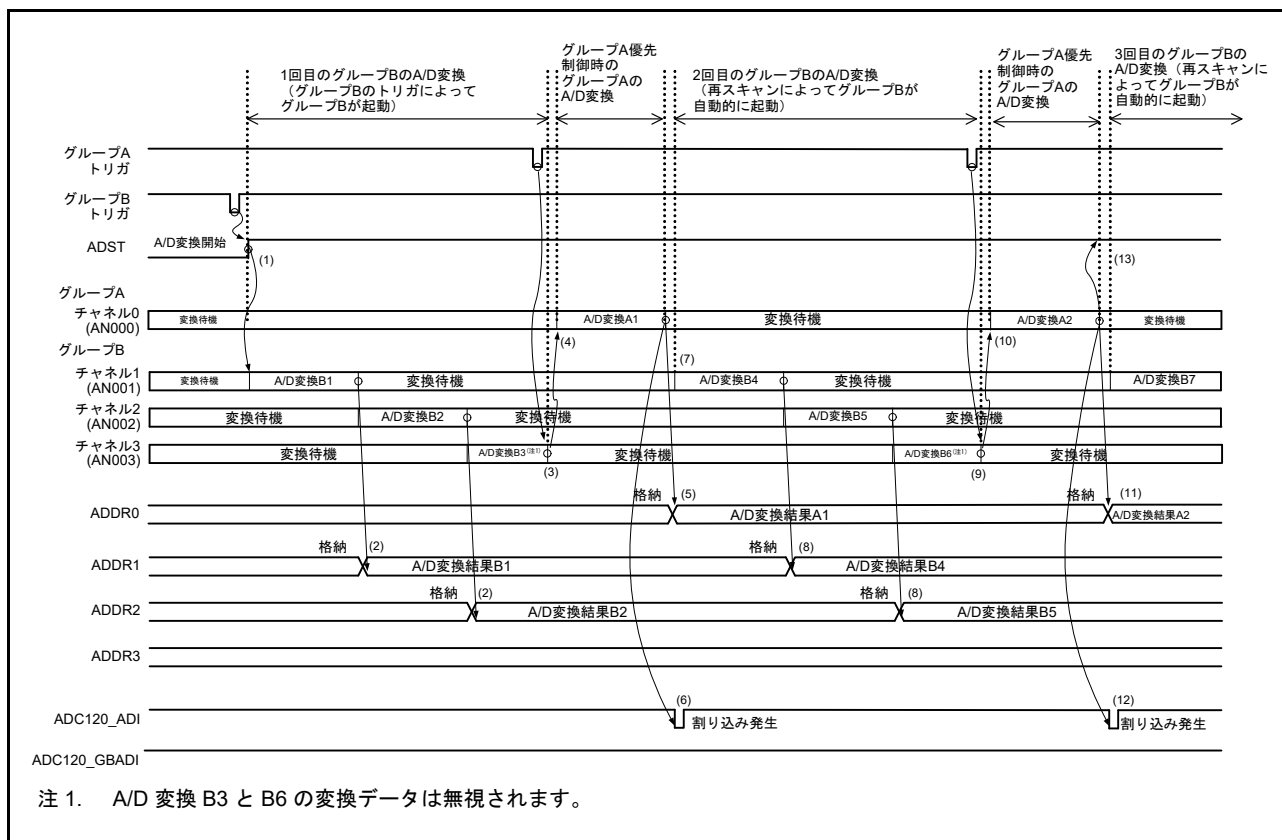


図 35.27 グループ A 優先制御の動作例 (2) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

以下では、グループ A の A/D 変換動作中に、グループ B のトリガが入力された場合の再スキャン動作例として、グループ A 優先動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0) に、グループ A にチャンネル 1 ~ 3 を、グループ B にチャンネル 0 を選択した場合の例を示します。

1. グループ A のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した、チャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ A の A/D 変換動作中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換を実行できる状態となります。ただし、グループ A のトリガが連続で入力された場合、グループ B のスキャン動作は、グループ A に打ち消されて実行されません。
4. グループ A の A/D 変換終了後、ADC12i\_ADI (i = 0, 1) 割り込み要求が発生します (レジスタ設定なし)。
5. グループ A の変換終了後、ADCSR.ADST ビットは 1 のままでグループ B が再スキャンされます。その後、ADANSB0 および ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を開始します。
6. 1 チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
7. 再スキャン起動によるグループ B のスキャン終了後、ADCSR.GBADIE ビットが 1 (スキャン終了による ADC12i\_GBADI 割り込み許可) になっていると、ADC12i\_GBADI 割り込み要求が発生します。
8. A/D 変換が終了すると、ADCSR.ADST ビットは自動的にクリアされ、ADC12 は待機状態になります。

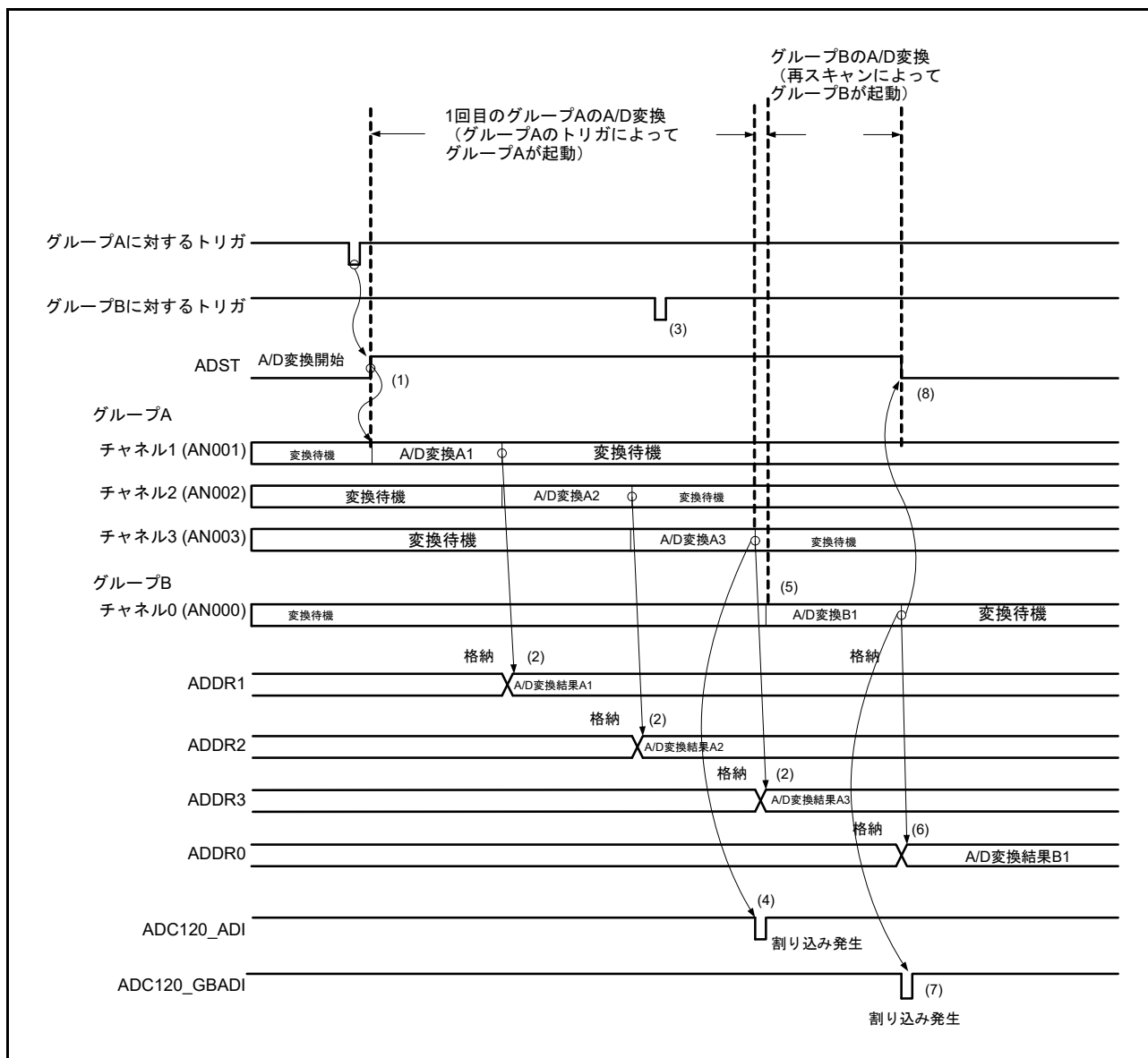


図 35.28 グループ A 優先制御の動作例 (3) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

本項では、グループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0) を示します。

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中にグループ A のトリガ入力があり、グループ B の A/D 変換動作が ADCSR.ADST ビットが 1 のままで中断されると、ADANSA0 および ADANSA1 レジスタで選択したチャンネル ANn の A/D 変換を n が小さい番号順に開始します。
4. 1 チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
5. ADC12i\_ADI (i = 0, 1) 割り込み要求が発生します (レジスタ設定なし)。
6. A/D 変換が終了すると、ADCSR.ADST ビットは自動的にクリアされ、ADC12 は待機状態になります。

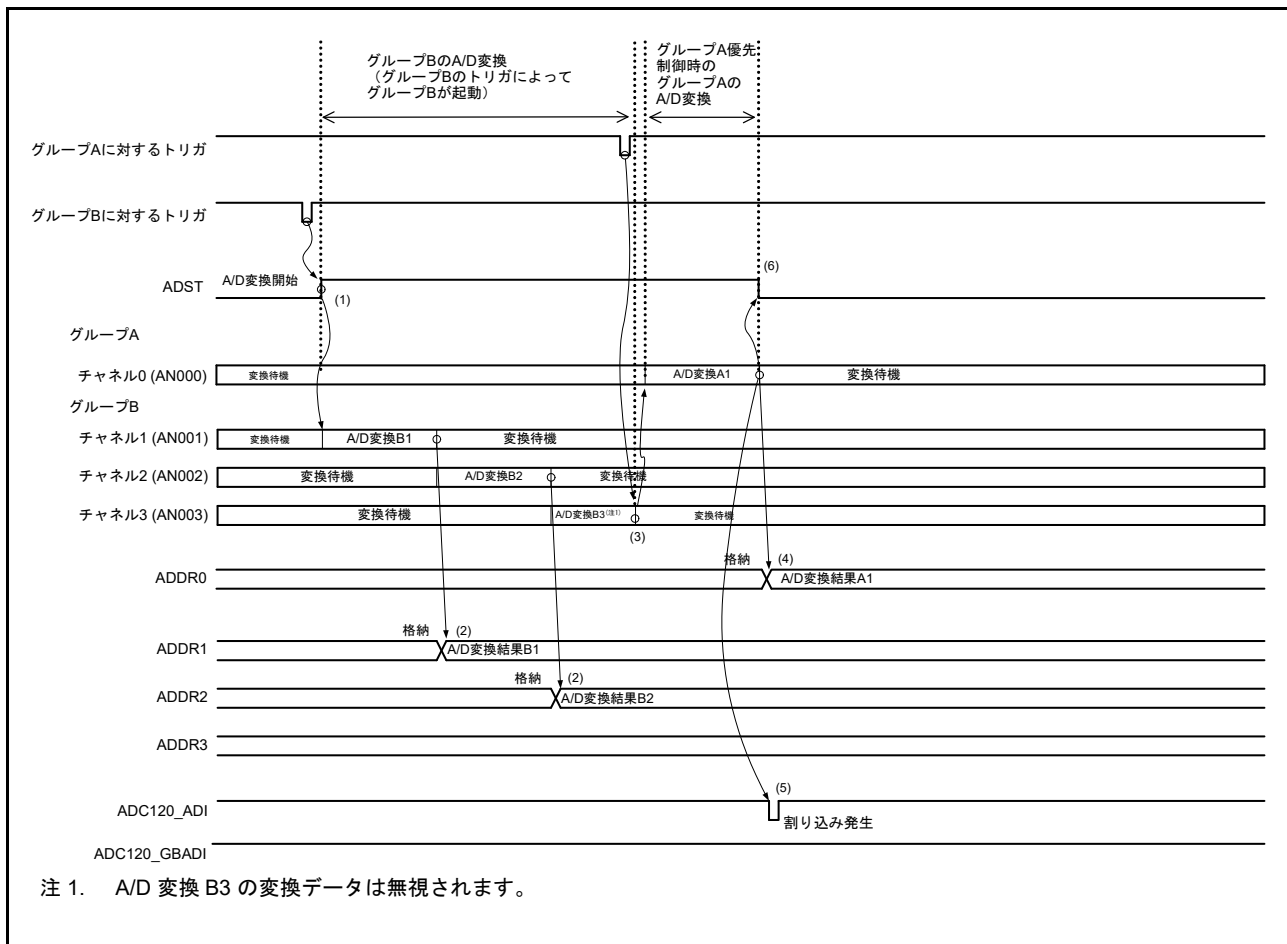


図 35.29 グループ A 優先制御の動作例 (4) (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0 の場合)

本項では、グループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSPCR.GBRP = 1) を示します。

1. ADGSPCR.GBRP を 1 にすると、ADCSR.ADST ビットが 1 (A/D 変換開始) になり、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中にグループ A のトリガ入力があり、グループ B の A/D 変換動作が ADCSR.ADST ビットが 1 のままで中断されると、ADANSA0 および ADANSA1 レジスタで選択したチャンネル ANn の A/D 変換を n が小さい番号順に開始します。
4. 1 チャンネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
5. ADC12i\_ADI (i = 0, 1) 割り込み要求が発生します (レジスタ設定なし)。
6. ADANSB0 および ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の A/D 変換が、チャンネルの n が小さい番号順に、ADCSR.ADST ビットが 1 の状態で再開します。
7. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1 の場合は、ADC12i\_GBADI 割り込み要求が発生します。
9. ADANSB0 および ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。ADGSPCR.GBRP ビットが 1 の状態の間は、(6)～(9) の動作を繰り返します。ADGSPCR.GBRP ビットが 1 のままである間は、ADCSR.ADST ビットを 0 にクリアしないでください。ADGSPCR.GBRP ビットが 1 のときに A/D 変換を強制停止させるには、[図 35.40](#) に示す手順に従ってソフトウェアで ADCSR.ADST ビットをクリアしてください。

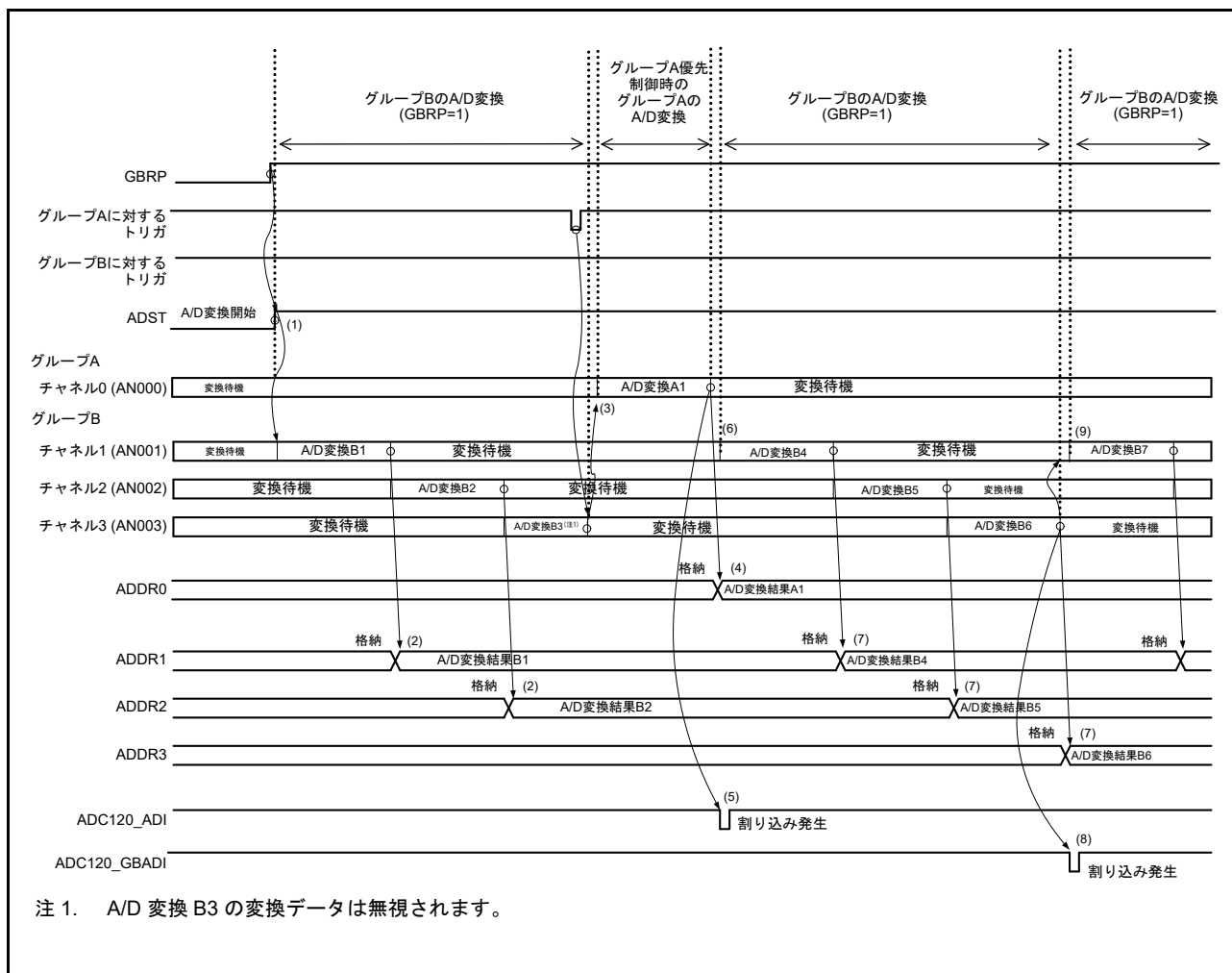


図 35.30 グループ A 優先制御の動作例 (5) (ADGSPCR.GBRP = 1 の場合)



### 35.3.5 コンペア機能 (ウィンドウ A、ウィンドウ B)

#### 35.3.5.1 コンペア機能

コンペア機能は、基準値と A/D 変換結果を比較する機能です。基準値はウィンドウ A およびウィンドウ B それぞれに設定することが可能です。コンペア機能の使用中は、自己診断機能およびダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いとしては、割り込み出力信号の違いと、ウィンドウ B は 1 つのチャンネルしか選択できないという制限が挙げられます。

本項では、連続スキャンモードとコンペア機能を組み合わせた動作例を示します。

1. ソフトウェア、同期トリガ (ELC)、または非同期トリガで ADCSR.ADST ビットを 1 (A/D 変換開始) にした場合、選択したチャンネル、温度センサ、および内部基準電圧で A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ  $y$  (ADDR $y$ 、ADTSDR、または ADOCDR) に格納されます。ADCMPCR.CMPAE が 1 のとき、ウィンドウ A に対して ADCMPANSR $y$  または ADCMPANSER レジスタのビットを設定すると、A/D 変換結果を、設定した ADCMPDR0/1 レジスタ値と比較します。ADCMPCR.CMPBE が 1 のとき、ウィンドウ B に対して ADCMPBNSR レジスタのビットを設定すると、A/D 変換結果を、ADWINULB/ADWINLLB レジスタの設定値と比較します。
3. 比較した結果、ウィンドウ A が ADCMPLR0/1 または ADCMPLER に設定された条件と一致すると、コンペアウィンドウ A フラグ (ADCMPSR0.CMPSTCHA0 $n$ 、ADCMPSR1.CMPSTCHA1 $n$ 、ADCMPSER.CMPSTTSA、または ADCMPSER.CMPSTOCA) が 1 になります。このとき ADCMPCR.CMPAIE ビットが 1 であれば、ADC12 $i$ \_CMPAI ( $i=0,1$ ) 割り込み要求が発生します。同様に、ウィンドウ B が ADCMPBNSR.CMPLB に設定された条件と一致すると、コンペアウィンドウ B フラグ (ADCMPSR0.CMPSTTB、ADCMPSR1.CMPSTTB、ADCMPBSR.CMPSTB) が 1 になります。このとき ADCMPCR.CMPBIE ビットが 1 であれば、ADC12 $i$ \_CMPBI 割り込み要求が発生します。
4. 選択したすべての A/D 変換および比較が終了すると、スキャンが再開します。
5. ADC12 $i$ \_CMPAI および ADC12 $i$ \_CMPBI 割り込みを受け付けると、ADCSR.ADST ビットは 0 (A/D 変換停止) になり、コンペアフラグが 1 であるチャンネルの処理を行います。
6. ウィンドウ A のすべてのコンペアフラグをクリアすると、ADC12 $i$ \_CMPAI 割り込み要求は取り消されます。同様に、ウィンドウ B のすべてのコンペアフラグをクリアすると、ADC12 $i$ \_CMPBI 割り込み要求はリセットされます。再度比較を実行するには、A/D 変換を再開してください。

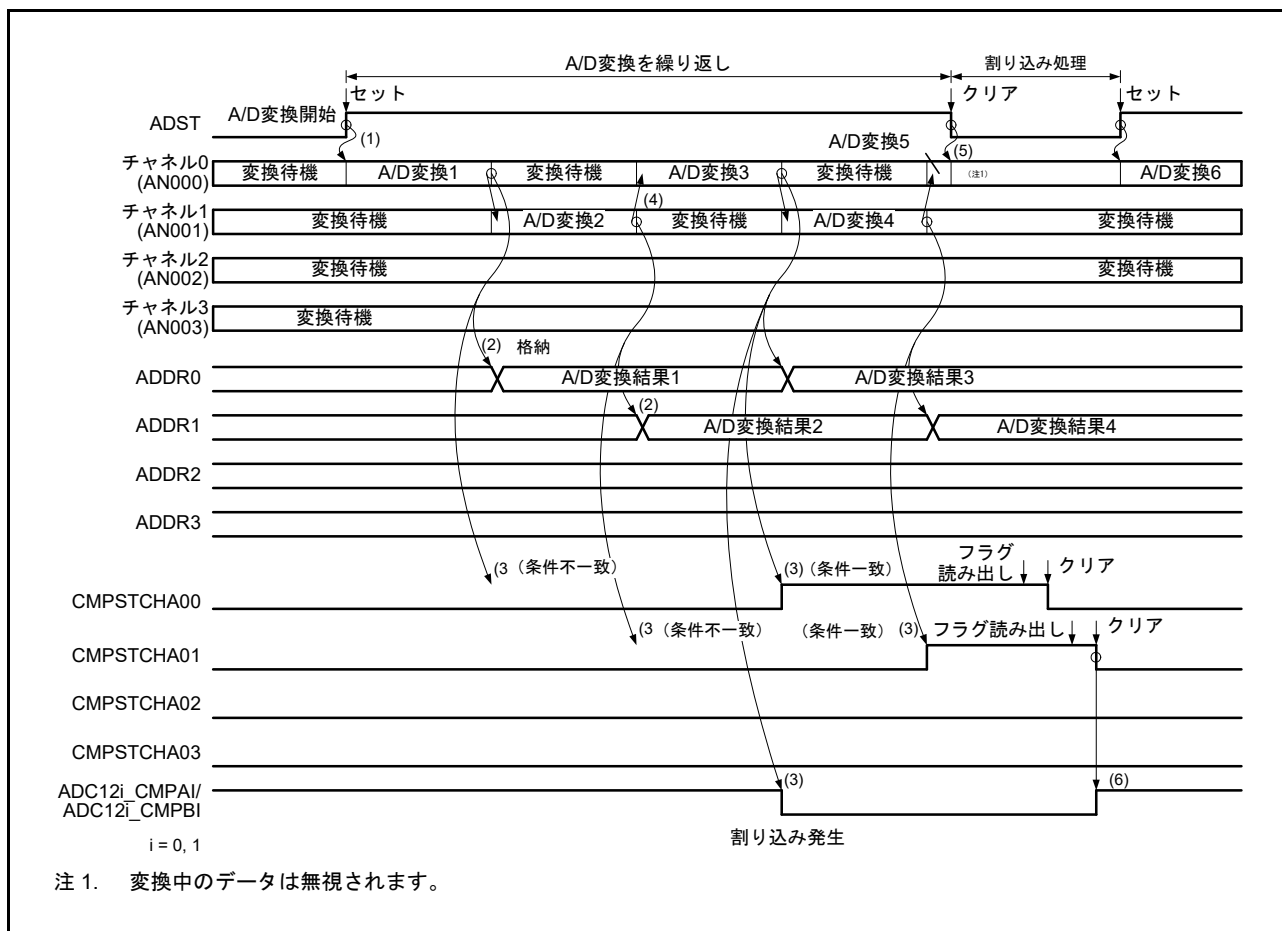


図 35.31 コンペア機能の動作例 (AN000 ~ AN003 を比較)

### 35.3.5.2 コンペア機能のイベント出力

コンペア機能のイベント出力は、上側基準電圧値と下側基準電圧値をそれぞれウィンドウ A とウィンドウ B に設定し、選択したチャンネルの A/D 変換値を上側/下側基準電圧値と比較します。その後、イベント条件 (A OR B、A AND B、A XOR B) とウィンドウ A およびウィンドウ B の比較結果に従って、ADC12i\_WCMPPM および ADC12i\_WCMPUM (i = 0, 1) イベントを出力します。

ウィンドウ A で複数のチャンネルを選択し、チャンネルのうち 1 つでも比較条件と一致した場合、ウィンドウ A の比較結果は一致となります。この機能を使用する場合、A/D 変換はシングルスキャンモードで行ってください。ウィンドウ A の場合、AN000 ~ AN003、AN005 ~ AN007、AN016 ~ AN018、AN020 (ユニット 0)、および AN100 ~ AN102、AN105 ~ AN107、AN116、AN117 (ユニット 1) の任意のチャンネル、内部基準電圧、および温度センサ出力を選択できます。

コンペア機能のイベント出力使用時の設定手順および設定例を以下に示します。

1. ADCSR.ADCS ビットの値が 00b (シングルスキャンモード) であることを確認します。
2. ADCMPANSR0/1 および ADCMPANSER でウィンドウ A のチャンネルを選択します。ADCMPLR0/1 および ADCMPLER レジスタにウィンドウ比較条件を設定します。ADCMPDR0/1 レジスタに上側および下側基準値を設定します。
3. ADCMPBNSR レジスタでウィンドウ B のチャンネルおよび比較条件を選択し、ADWINULB/ADWINLLB レジスタで上側および下側基準値を設定します。
4. ウィンドウ A/B の複合条件、ウィンドウ A/B 動作許可、および割り込み出力許可を ADCMPCR に設定してください。

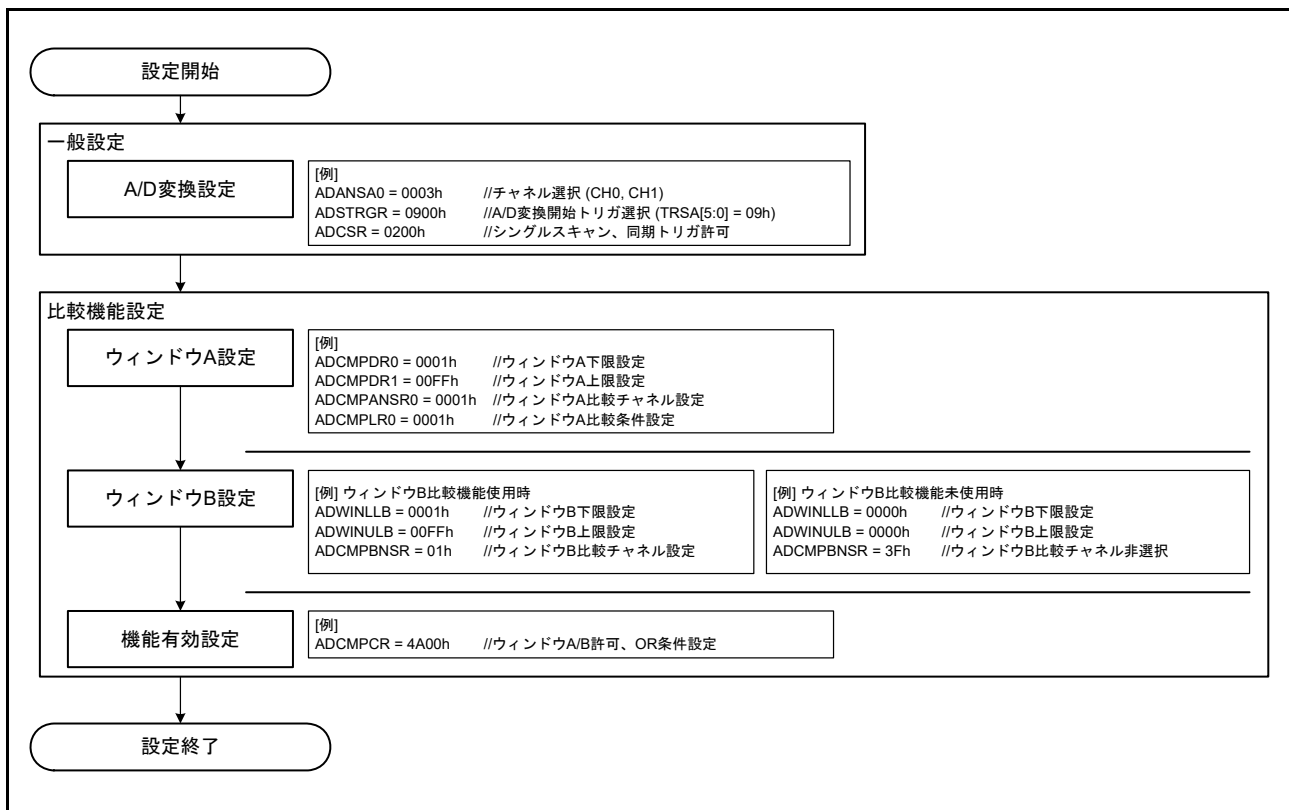


図 35.32 コンペア機能のイベント出力使用時の設定例

コンペア機能でウィンドウ A のみを使用するときのイベント出力の使用法の注意点：

- ウィンドウ A および B をどちらも有効 (ADCMPCR.CMPAE = 1、ADCMPCR.CMPBE = 1) にしてください
- ウィンドウ A および B の複合条件を「OR 条件」にしてください (ADCMPCR.CMPAB[1:0] = 00b)
- ウィンドウ B の比較対象チャンネルを「非選択」にしてください (ADCMPCR.CMPCHB[5:0] = 111111b)
- ウィンドウ B の比較条件を、常に不一致を表す「0 < 結果 < 0」に設定してください (ADCMPCR.WCMPPE = 1、ADWINLLB.CMPLLB[15:0] = ADWINULB.CMPULB[15:0] = 0000h、および ADCMPBNSR.CMPLB = 1)

コンペア機能のイベント出力動作例を図 35.33 に示します。

シングルスキャンが一度終了するタイミングで、スキャン終了イベント (ADC12i\_ADI) を出力します。その後、ADCMPCR.CMPAB[1:0] の設定に従い、1PCLKB 遅れて一致または不一致イベント (ADC12i\_WCMPM または ADC12i\_WCMPUM) を出力します。

注. 一致イベントと不一致イベントは排他的であるため、2つのイベントを同時に出力することはありません。

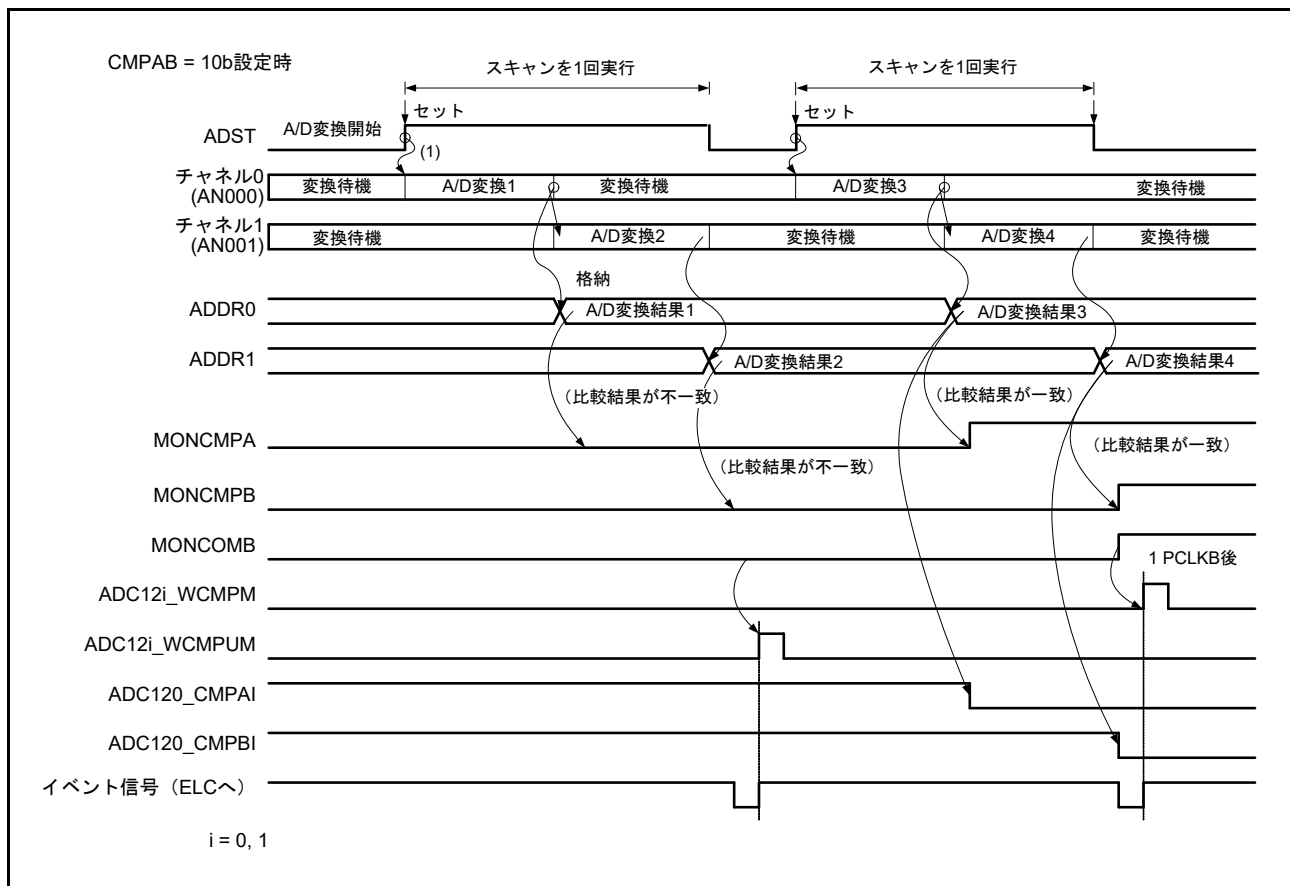


図 35.33 コンペア機能のイベント出力動作例 (AN000 ~ AN001 を比較)

- 注 1. コンペア機能のイベント出力は、ADCMPCR.CMPAB[1:0] の設定に従い、ウィンドウ A およびウィンドウ B の比較結果の一致/不一致を出力します。
- 注 2. ウィンドウ A の比較結果は、ウィンドウ A の比較対象チャンネルの比較結果の論理和です。ウィンドウ A および B の比較結果は、A/D 変換ごとに更新され、シングルスキャンが終了しても保持されます。比較結果をクリアするには、ADCMPCR.CMPAE および ADCMPBNSR.CMPBE を 0 にしてください。

### 35.3.5.3 コンペア機能の制限事項

コンペア機能には以下の制限事項があります。

- コンペア機能は、自己診断機能またはダブルトリガモードと一緒に使用できません。(ADRD、ADDBLDR、ADDBLDRA、およびADDBLDRBではコンペア機能は使用できません)
- 一致/不一致イベント出力を使用する場合はシングルスキャンモードにしてください
- ウィンドウ A に温度センサ出力または内部基準電圧を選択した場合、ウィンドウ B 動作は無効になります
- ウィンドウ B に温度センサ出力または内部基準電圧を選択した場合、ウィンドウ A 動作は無効になります
- ウィンドウ A とウィンドウ B に同じチャンネルを設定することはできません
- 基準電圧値を設定する際は、高電位基準電圧値が低電位基準電圧値以上となるように設定してください

### 35.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェア起動、同期トリガ (ELC) による起動および非同期トリガ (ADTRGn) による起動が選択できます。スキャン変換開始遅延時間 ( $t_D$ ) の経過後に、チャンネル専用サンプル&ホールド回路処理、断線検出アシスト処理、自己診断変換処理をすべて行い、その後 A/D 変換処理が開始されます。

図 35.34 に、ソフトウェアトリガと同期トリガ (ELC) 起動によるスキャン変換を行う場合のタイミングを示します。また、図 35.35 に、非同期トリガ (ADTRGn) 起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 ( $t_{SCAN}$ ) は、スキャン変換開始遅延 ( $t_D$ )、チャンネル専用サンプル&ホールド回路処理時間 ( $t_{SPLSH}$ ) (注 1)、断線検出アシスト処理時間 ( $t_{DIS}$ ) (注 2)、自己診断変換時間 ( $t_{DIAG}$ ) (注 3)、A/D 変換処理時間 ( $t_{CONV}$  および  $t_{DSD}$ )、チャンネル専用サンプル&ホールド回路終了処理時間 ( $t_{SHED}$ ) (注 4)、スキャン変換終了遅延 ( $t_{ED}$ ) を含めた時間となります。

A/D 変換処理時間 ( $t_{CONV}$ ) は、入力サンプリング時間 ( $t_{SPL}$ )、逐次変換時間 ( $t_{SAM}$ ) を合わせた時間となります。サンプリング時間 ( $t_{SPL}$ ) は、ADC12 内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には、ADSSTR レジスタでサンプリング時間を調整することが可能です。

逐次変換時間 ( $t_{SAM}$ ) は、12 ビット精度選択時で 13 ステート (ADCLK)、10 ビット精度選択時で 11 ステート (ADCLK)、8 ビット精度選択時で 9 ステート (ADCLK) となります。

選択チャンネル数が  $n$  のシングルスキャンのスキャン変換時間 ( $t_{SCAN}$ ) は、次のように表されます。

$$t_{SCAN} = t_D + t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) \text{ (注 5)} + t_{ED}$$

連続スキャンの 1 サイクル目は、シングルスキャンの  $t_{SCAN}$  から  $t_{ED}$  を省き  $t_{SHED}$  を加えた時間です。連続スキャンの 2 サイクル目以降は、 $t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n)$  (注 5) +  $t_{SHED}$  固定となります。

- 注 1. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SPLSH} = 0$  となります。
- 注 2. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$  となります。
- 注 3. 自己診断機能を使用しない場合は、 $t_{DIAG} = 0$ 、 $t_{DSD} = 0$  となります。
- 注 4. チャンネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SHED} = 0$  となり、連続スキャンモード有効と仮定されます。シングルスキャンモード時とグループスキャンモード時、 $t_{SHED}$  はスキャン変換終了遅延 ( $t_{ED}$ ) に含まれます。
- 注 5. 選択したすべてのチャンネルの入力サンプリング時間 ( $t_{SPL}$ ) が同じである場合、この要素は  $t_{CONV} \times n$  となります。チャンネルごとに異なるサンプリング時間の場合、この要素は選択したチャンネルごとに設定した  $t_{SPL}$  と  $t_{SAM}$  の和となります。

表 35.10 スキャン変換時間 (ADCLKとPCLKBのサイクル数)

項目			シンボル	種別/条件			単位
				同期トリガ (注4)	非同期トリガ	ソフトウェアトリガ	
スキャン開始処理時間 (注1) (注2)	グループA優先制御動作によるグループAのA/D変換	グループB中断あり (グループAのA/D変換要因によってグループBを停止させた後、グループAを起動)	$t_D$	3PCLKB + 6ADCLK 5PCLKB + 3ADCLK (注5)	-	-	サイクル
		グループB中断なし (グループAのA/D変換要因によって起動)		2PCLKB + 4ADCLK	-	-	
	自己診断有効時のA/D変換	自己診断変換開始時		2PCLKB + 6ADCLK	4PCLKB + 6ADCLK	6ADCLK	
	上記以外	2PCLKB + 4ADCLK		2PCLKB + 4ADCLK	4ADCLK		
チャンネル専用サンプル&ホールド処理時間 (注1)	サンプリング時間		$t_{SPLSH}$	$t_{SH}$	常時サンプリング無効時 : ADSHCR.SSTSH[7:0]設定値 (初期値18h) × ADCLK 常時サンプリング有効時 : 0		
	サンプリング-A/D変換の待機時間			$t_W$	12		
断線検出アシスト処理時間			$t_{DIS}$	ADNDIS[3:0]設定値 (初期値0h) × ADCLK			
自己診断変換処理時間 (注1)	サンプリング時間		$t_{DIAG}$	$t_{SPL}$	ADSSTR0設定値 (初期値0Bh) × ADCLK (注3)	-	-
	逐次変換時間	12ビット変換精度		$t_{SAM}$	15ADCLK	-	-
		10ビット変換精度			13ADCLK	-	-
		8ビット変換精度			11ADCLK	-	-
	自己診断変換終了からアナログチャンネルサンプリング開始までの待機時間			$t_{DED}$	2ADCLK		
連続スキャンモードでの最後のチャンネル変換終了から自己診断サンプリング開始までの待機時間			$t_{DSD}$	2ADCLK			
A/D変換処理時間 (注1)	サンプリング時間		$t_{CONV}$	$t_{SPL}$	ADSSTRn (n = 00~03, 05~07, L, T, O) 設定値 (初期値0Bh) × ADCLK + 0.5ADCLK		
	逐次変換時間	12ビット変換精度		$t_{SAM}$	13ADCLK		
		10ビット変換精度			11ADCLK		
		8ビット変換精度			9ADCLK		
チャンネル専用サンプル&ホールド終了処理時間			$t_{SHED}$	2ADCLK			
スキャン終了処理時間 (注1)			$t_{ED}$	1PCLKB + 3ADCLK 2PCLKB + 3ADCLK (注5)			

- 注 1.  $t_D$ ,  $t_{SPLSH}$ ,  $t_{DIAG}$ ,  $t_{CONV}$ ,  $t_{ED}$  の各タイミングについては、図 35.34 および図 35.35 を参照してください。
- 注 2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。
- 注 3. サンプリング時間は電気的特性を満たすように設定してください。
- 注 4. タイマ出力からトリガ入力までの経路で使われる時間は含みません。
- 注 5. ADCLKがPCLKB (PCLKB/ADCLKの分周率 = 1 : 2または1 : 4) より速い場合、スキャン終了処理時間は変化します。

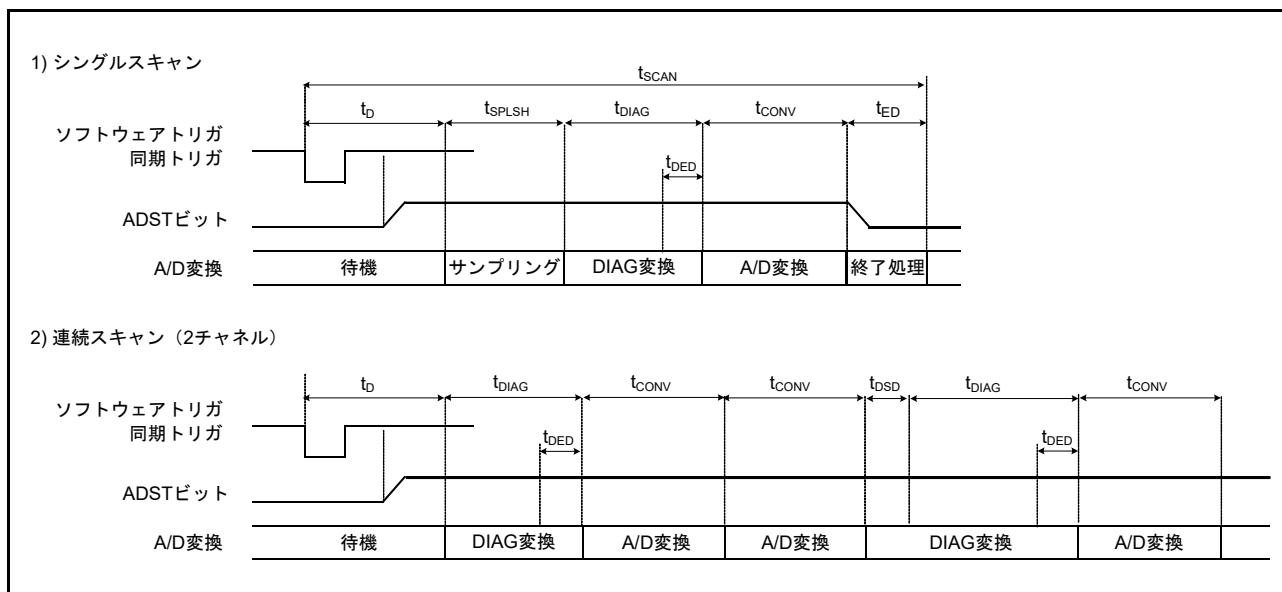


図 35.34 スキャン変換のタイミング (ソフトウェア起動または同期トリガ入力 (ELC) 起動の場合)

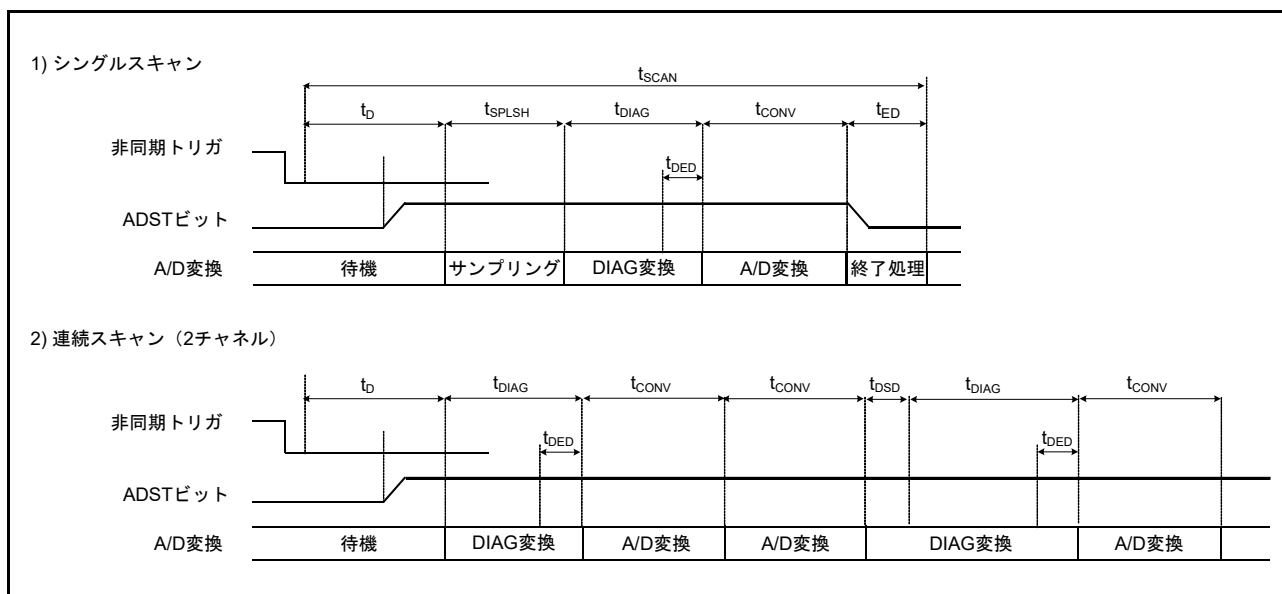


図 35.35 スキャン変換のタイミング (非同期トリガ入力 (ADTRG0) 起動の場合)

### 35.3.7 A/D データレジスタの自動クリア機能の使用例

A/D 変換値加算／平均モードは、選択したチャンネルのアナログ入力、温度センサ出力、および内部基準電圧のいずれかの A/D 変換の選択時に使用できます。

ADCER.ACE ビットを 1 にすることにより、CPU、DTC、または DMAC によってデータレジスタ (ADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、および ADOCDR) を読み出す際、自動的にこれらのレジスタを 0000h にクリアできます。この機能を使用することで、これらのデータレジスタの未更新障害を検出することが可能です。

以下に、ADDRy レジスタの自動クリア機能が無効時と有効時の例をそれぞれ示します。

- ADCER.ACE ビットが 0 (自動クリア禁止) の場合に、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、ADDRy レジスタの値は古いデータ (0111h) を保持します。さらに A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) を汎用レジスタに保持できます。ただし、未更新のチェックを行う場合、古いデータを SRAM または汎用レジスタに逐一保持しながらチェックを行う必要があります。
- ADCER.ACE ビットが 1 (自動クリア許可) の場合には、ADDRy = 0111h が CPU、DTC、または DMAC によって読み出された場合、ADDRy レジスタは自動的に 0000h にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、0000h が汎用レジスタに保持されます。読み出されたデータ値が 0000h であることをチェックすることで、ADDRy レジスタの未更新障害があったことを判断できます。

### 35.3.8 A/D 変換値加算／平均モード

A/D 変換値加算モードは、同じチャンネルを 1、2、3、4、または 16 (注 1) 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均モードは、同じチャンネルを 2 回または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が必ず向上することを保証する機能ではありません。

A/D 変換値加算／平均モードは、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換に使用できます。

注 1. 12 ビット精度を選択している場合、設定できる加算回数は 16 回のみです。



### 35.3.9 断線検出アシスト機能

A/D変換開始前に、サンプリング容量の電荷を所定の状態（ユニット0はVREFH0またはVREFL0、ユニット1はVREFHまたはVREFL）に固定する機能をADC12は内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

チャンネル専用サンプル&ホールド回路の断線検出アシスト機能を使用する場合、ADSHMSR.SHMDビットを0にしてください（「常時サンプリング機能は無効」を選択してください）。

以下の機能のいずれかを使用する場合、断線検出アシスト機能は無効にしてください。

- 温度センサ
- 内部基準電圧
- A/D自己診断
- バイパス許可なしのプログラマブルゲインアンプ

図35.36に断線検出アシスト機能を使用した場合のA/D変換動作図を示します。図35.37にプリチャージを選択した場合の断線検出例を示します。図35.38にディスチャージを選択した場合の断線検出例を示します。

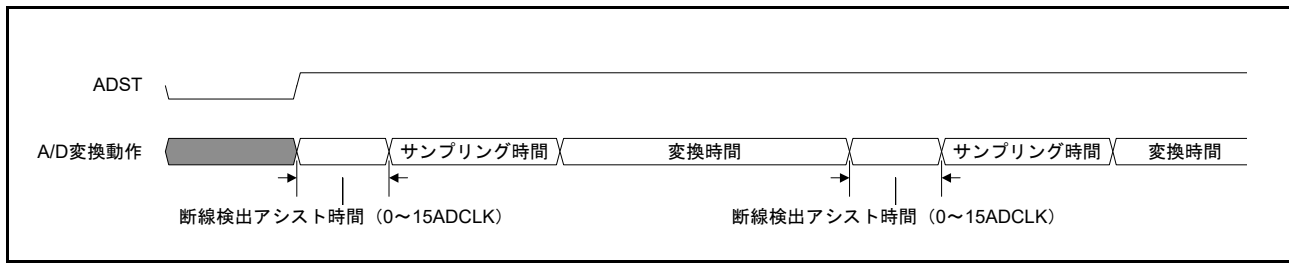


図 35.36 断線検出アシスト機能を使用した場合のA/D変換動作

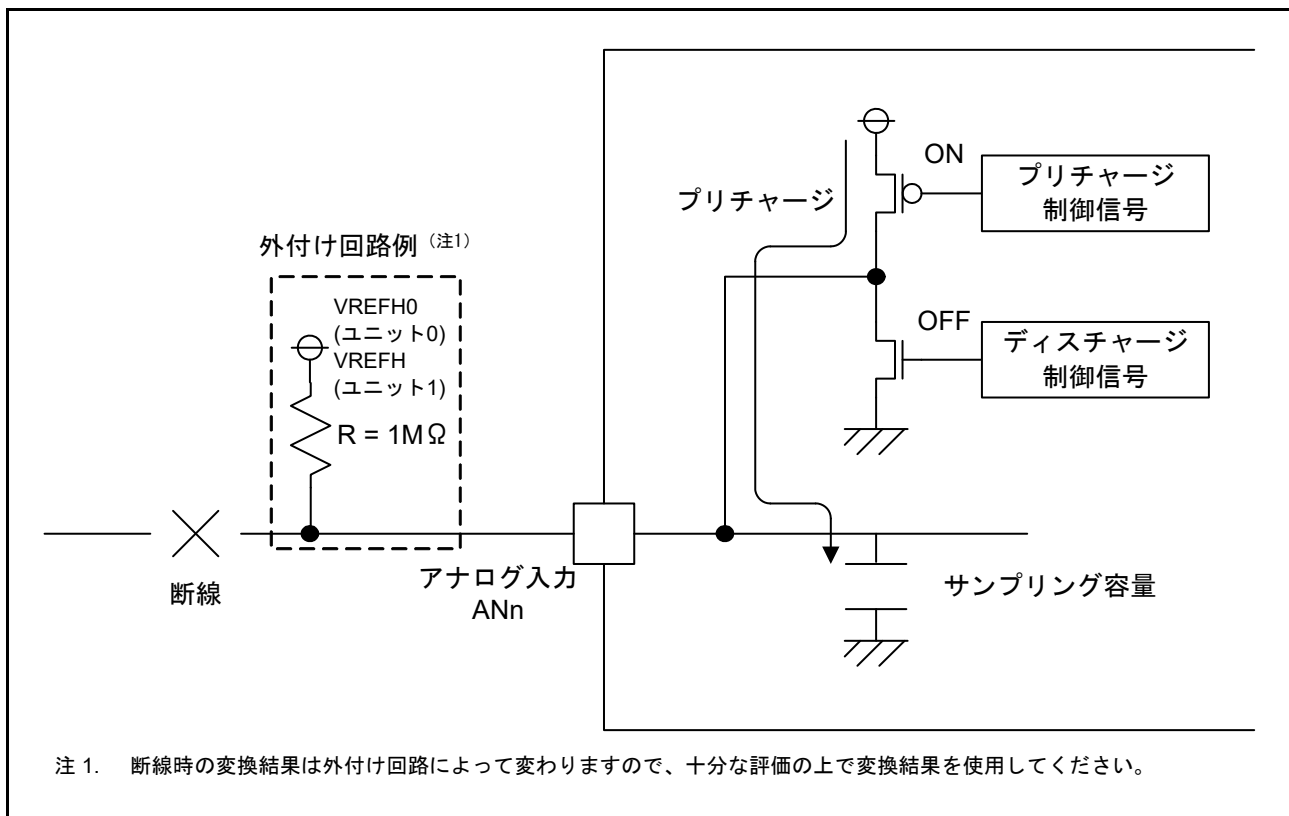


図 35.37 プリチャージを選択した場合の断線検出例

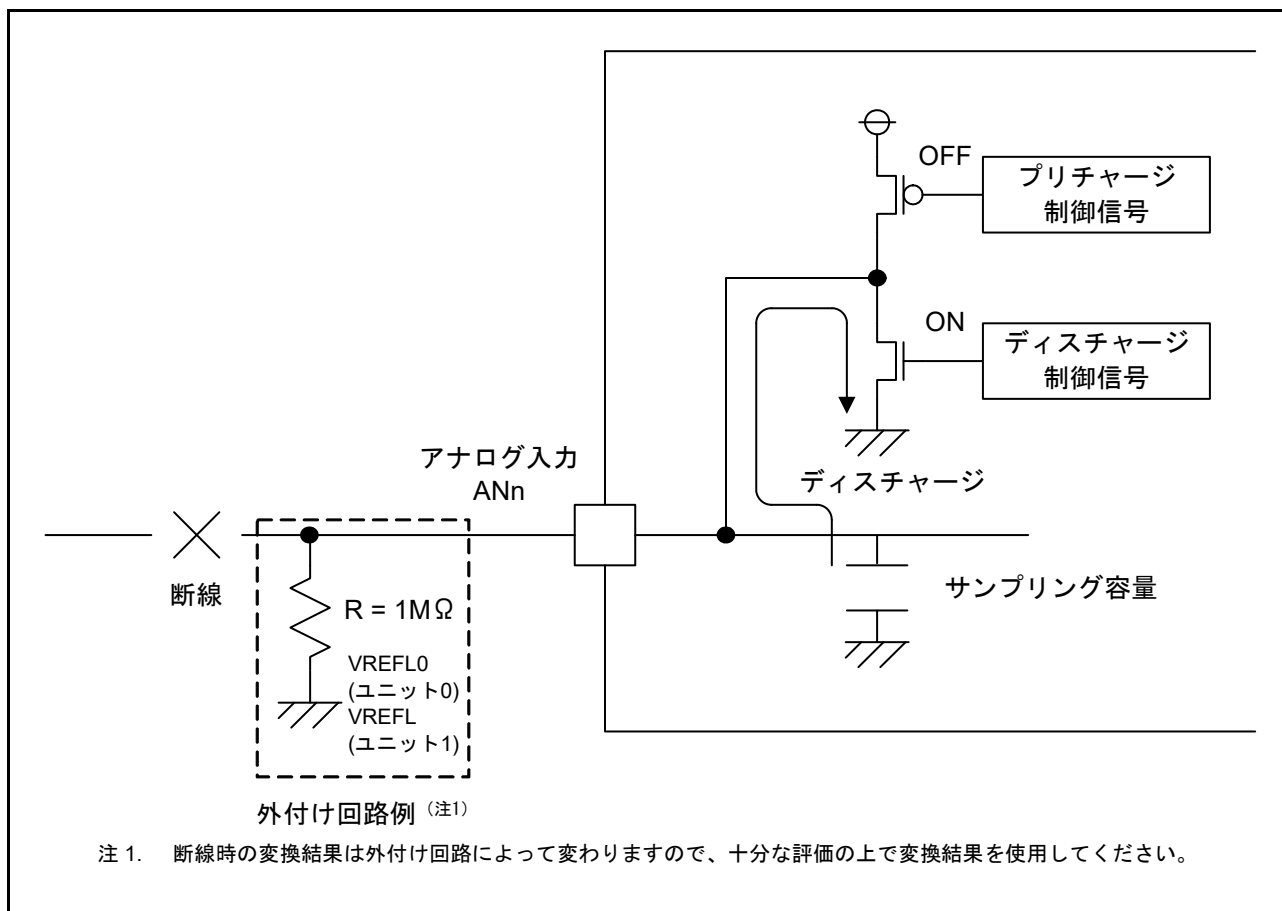


図 35.38 ディスチャージを選択した場合の断線検出例

### 35.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することが可能です。非同期トリガを使用して A/D 変換を開始する場合は、まず PmnPFS レジスタで端子機能を設定し、次に、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を 000000b にしてから、非同期トリガ (ADTRGn 端子) に High を入力した後、ADCSR.TRGE ビットと ADCSR.EXTRG ビットをどちらも 1 にしてください。図 35.39 に非同期トリガ入力タイミングを示します。

非同期トリガは、グループスキャンモードで使用するグループ B の A/D 変換開始トリガ選択ビット (ADSTRGR.TRSB[5:0]) では選択できません。端子機能の設定については、「19. I/O ポート」を参照してください。

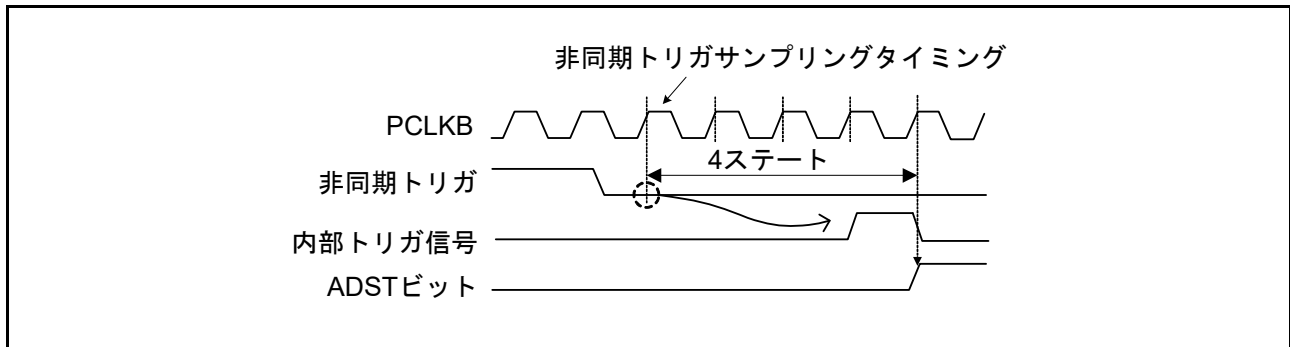


図 35.39 非同期トリガ入力タイミング

### 35.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

A/D 変換は同期トリガ (ELC) によって開始できます。同期トリガで A/D 変換を開始するには、ADCSR.TRGE ビットを 1 にし、ADCSR.EXTRG ビットを 0 にクリアして、ADSTRGR.TRSA[5:0] ビットおよび ADSTRGR.TRSB[5:0] ビットで該当の要因を選択してください。

### 35.3.12 プログラマブルゲインアンプ

ユニットごとに最大 3 つまでプログラマブルゲインアンプ (PGA) を使用できます。ADPGAGS.PnGAIN[3:0] ビット (n = 000 ~ 002) でゲインを選択し、ADPGACR.PnSEL ビットで使用するオペアンプを選択します。

これらの PGA は疑似差動入力に対応しています。疑似差動入力に対応した端子は AN000 ~ AN002 (ユニット 0) の PGAVSS000、AN100 ~ AN102 (ユニット 1) の PGAVSS100 です。疑似差動入力を使用するには、ADPGADCR0.PnDG[2:0] ビットで疑似差動入力ゲインを設定し、ADPGADCR0.PnGEN ビットで疑似差動入力ゲイン設定を有効にした後、ADPGADCR0.PnDEN ビットで疑似差動入力アンプを選択してください。表 35.11 に示すように PGA レジスタの選択が可能です。

表 35.11 PGAレジスタの設定値と使用可能な関連機能

選択可能値 (条件別)	該当レジスタの設定値				関連機能 P: 使用可能 x: 使用不可			
	PmnPFS	ADPGACR	ADPGAGS0	ADPGADCR0	ポート (注1)	ACMPHS (注2)		ADC12
	ASEL (注3)	PGA P002: ビット [11:8]	ビット [11:8]	ビット [11:8]		IVCMP2	IVCMP3	
		PGA P001: ビット [7:4]	ビット [7:4]	ビット [7:4]				
PGA P000: ビット [3:0]		ビット [3:0]	ビット [3:0]					
ポート使用時	0	初期値のままにしてください。			○	x	x	x
ACMPHSまたは ADC12 (PGAバイパス) 使用時 (注4)	1	9	0	0	x	○	x	○
PGA使用時、 疑似差動入力無効	1	Eh	0~Eh	0	x	○	○	○
PGA使用時、 疑似差動入力有効	1	Eh	1, 5, 9, Bh	8~Bh	x	x	○	○

注 1. ポート: 入力ポート使用時。

注 2. ACMPHS IVCMP2: PGA を介した入力を使用する場合。ACMPHS IVCMP3: PGA 出力の入力を使用する場合。

注 3. PmnPFS レジスタの構成については、「19. I/Oポート」を参照してください。

注 4. ポートと ACMPHS を同時に使用することはできません。ポートと ADC12 を同時に使用することはできません。

表 35.12 は PGA 出力電圧の計算式を示しています。

表 35.12 PGA出力電圧

モード	PGA出力電圧
シングルモード	ゲイン × Vin
疑似差動モード	ゲイン (Vin - Vs) + 0.5 × AVCC

Vin: AN000 ~ AN002, AN100 ~ AN102

Vs: PGAVSS00, PGAVSS001

## 35.4 割り込み要因と DTC/DMAC 転送要求

### 35.4.1 割り込み要求

ADC12は、CPUへのスキャン終了割り込み要求であるADC12i\_ADI (i=0, 1)、ADC12i\_GBADIを発生させることができます。また、比較条件成立で、CPUへのADC12i\_CMPAIおよびADC12i\_CMPBI割り込みを発生させます。

ADC12i\_ADI割り込みは常時発生します。ADC12i\_GBADI割り込みは、ADCSR.GBADIEビットを1にすることで発生させることができます。同様に、ADC12i\_CMPAIおよびADC12i\_CMPBI割り込みはADCMPCR.CMPAIEビットおよびADCMPCR.CMPBIEビットを1にすることで発生させることが可能です。

また、ADC12i\_ADIまたはADC12i\_GBADI割り込み発生時、ADC12i\_WCMPPMまたはADC12i\_WCMPUMイベント発生時にDTCまたはDMACを起動できます。これらの割り込みまたはイベントで変換されたデータの読み出しをDTCまたはDMACで行うと、連続変換がソフトウェアの負担なく実現できます。

DTCの設定の詳細は「17. データトランスファコントローラ (DTC)」を、DMACの設定の詳細は「16. DMAコントローラ (DMAC)」を参照してください。

表 35.13 に、ADC12 で使用可能な割り込み要因および ELC イベントを示します。

表 35.13 ADC12のイベント一覧 (1/2)

○：使用可能 x：使用不可

動作		割り込み要求/ELCイベント			割り込み要求	DTC/DMAC起動	ELCイベント要求	機能
スキャンモード	ダブルトリガモード	コンペア機能ウィンドウA/B	ユニット0	ユニット1				
シングル スキャン モード	非選択	非選択	ADC120_ADI	ADC121_ADI	○	○	○	シングルスキャンの最後にADC12i_ADI発生
		選択	ADC120_ADI	ADC121_ADI	○	○	○	シングルスキャンの最後にADC12i_ADI発生
			ADC120_CMPAI	ADC121_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC12i_CMPAI発生
			ADC120_CMPBI	ADC121_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC12i_CMPBI発生
			ADC120_WCMPPM	ADC121_WCMPPM	x	○	○	ウィンドウA/Bコンペア機能の条件一致でADC12i_WCMPPM発生
	ADC120_WCMPUM	ADC121_WCMPUM	x	○	○	ウィンドウA/Bコンペア機能の条件不一致でADC12i_WCMPUM発生		
選択	非選択	ADC120_ADI	ADC121_ADI	○	○	○	偶数回数のスキャン終了時にADC12i_ADI発生	
連続 スキャン モード	非選択	非選択	ADC120_ADI	ADC121_ADI	○	○	○	選択したすべてのチャンネルのスキャン終了時にADC12i_ADI発生
		選択	ADC120_CMPAI	ADC121_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC12i_CMPAI発生
		ADC120_CMPBI	ADC121_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC12i_CMPBI発生	

表 35.13 ADC12のイベント一覧 (2/2)

○ : 使用可能 x : 使用不可

動作		割り込み要求/ELCイベント			割り込み要求	DTC/DMAC起動	ELCイベント要求	機能
スキャンモード	ダブルトリガモード	コンペア機能ウィンドウA/B	ユニット0	ユニット1				
グループスキャンモード	非選択	非選択	ADC120_ADI	ADC121_ADI	○	○	○	グループAのスキャン終了時にADC12i_ADI発生
			ADC120_GBADI	ADC121_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC12i_GBADI発生
		選択	ADC120_ADI	ADC121_ADI	○	○	○	グループAのスキャン終了時にADC12i_ADI発生
			ADC120_GBADI	ADC121_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC12i_GBADI発生
			ADC120_CMPAI	ADC121_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC12i_CMPAI発生
			ADC120_CMPBI	ADC121_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC12i_CMPBI発生
	選択	非選択	ADC120_ADI	ADC121_ADI	○	○	○	偶数回数のグループAのスキャン終了時にADC12i_ADI発生
			ADC120_GBADI	ADC121_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC12i_GBADI発生

注. i = 0 : ユニット0、i = 1 : ユニット1

## 35.5 イベントリンク機能

### 35.5.1 ELC へのイベント出力

ELC は、ADC12i\_ADI 割り込み要求信号をイベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ADC12i\_GBADI 割り込みおよび ADC12i\_CMPAI/ADC12i\_CMPBI 割り込みをイベント信号として使用することはできません。詳細は、[表 35.13](#) を参照してください。

### 35.5.2 ELC からのイベントによる ADC12 の動作

ADC12 は、以下のように、ELC の ELSRn 設定で指定した事前設定イベントによって A/D 変換を開始できます。

- ELC.ELSR8 レジスタで ELC\_AD00 (ユニット 0) 信号を選択する
- ELC.ELSR9 レジスタで ELC\_AD01 (ユニット 0) 信号を選択する
- ELC.ELSR10 レジスタで ELC\_AD10 (ユニット 1) 信号を選択する
- ELC.ELSR11 レジスタで ELC\_AD11 (ユニット 1) 信号を選択する

A/D 変換中に ELC\_ADi0 または ELC\_ADi1 イベントが発生した場合、そのイベントは無効となります。

## 35.6 使用上の注意事項

### 35.6.1 データレジスタの読み出しに関する制限

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D 自己診断データレジスタ

バイト単位で上位バイトと下位バイトの2回に分けてレジスタを読み出すと、1回目に読み出したA/D変換値と2回目に読み出したA/D変換値が一致しないことがあります。これを避けるため、バイト単位のデータレジスタの読み出しは行わないでください。

### 35.6.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガまたは同期トリガを選択している場合、A/D 変換を停止させるためには、[図 35.40](#) のフローチャートの手順に従ってください。



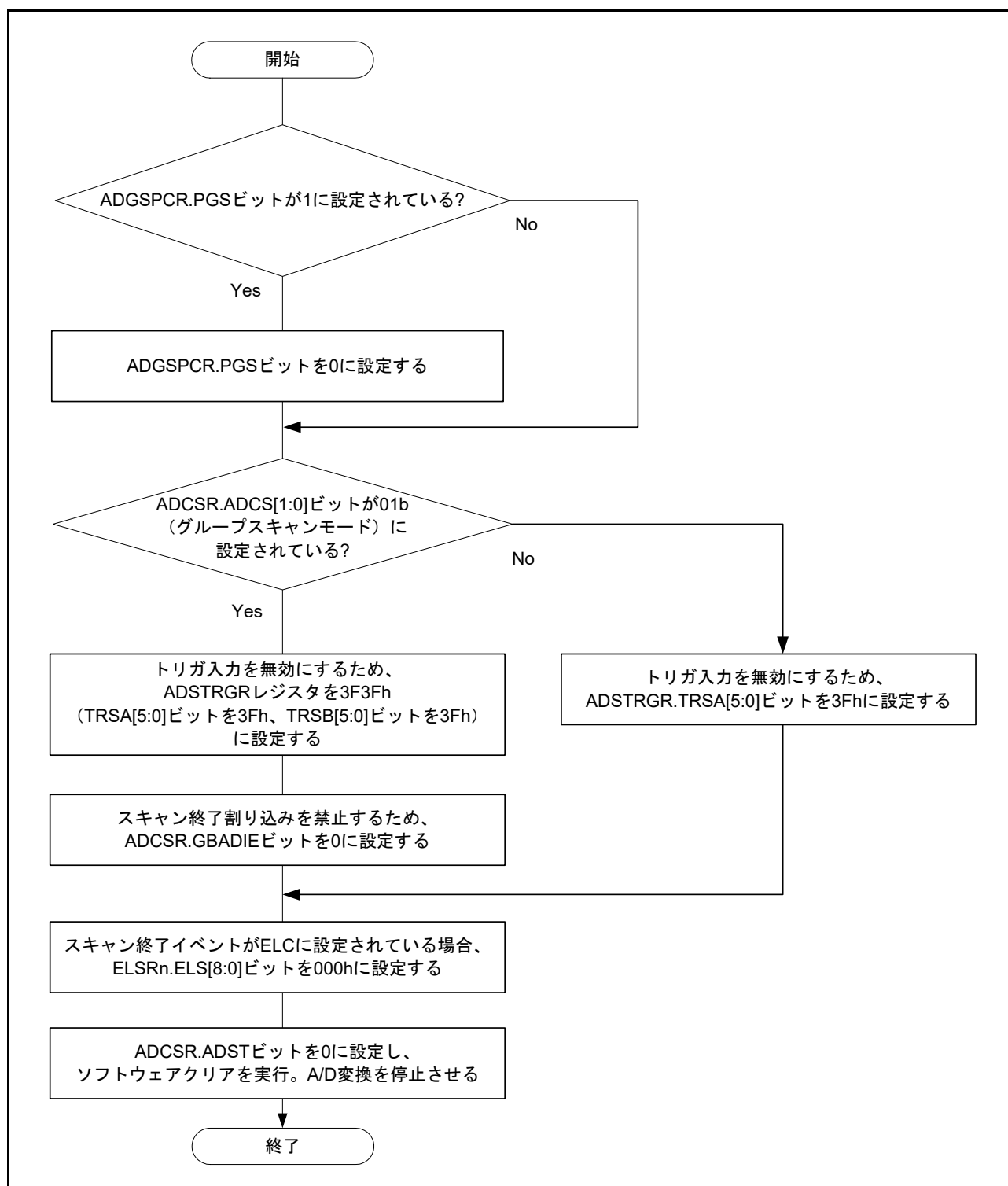


図 35.40 ソフトウェアによる ADCSR.ADST ビットのクリア手順

### 35.6.3 A/D 変換強制停止と再開時の動作タイミング

ADC12 の停止状態のアナログ部を ADCSR.ADST ビットへの 1 書き込み時に再開するには、ADCLK で最大 6 クロックの時間を必要とします。ADC12 の動作中のアナログ部を ADCSR.ADST ビットへの 0 書き込み時に強制終了するには、ADCLK で最大 2 クロックの時間を必要とします。

### 35.6.4 スキャン終了割り込み処理の制限

トリガ起動による同一アナログ入力のスキャンを2回行う場合などで、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終わっていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

### 35.6.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、ADC12の動作を禁止/許可することが可能です。ADC12は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1μs以上待つてからA/D変換を開始してください。詳細は、11.4 **モジュールストップ機能**を参照してください。

### 35.6.6 低消費電力状態への遷移に関する注意事項

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前にA/D変換を停止させてください。A/D変換を停止させる際は、ADCSR.ADSTビットを0にした後、ADC12のアナログ部が停止するまでの時間を確保する必要があります。

この時間を確保するため、[図 35.40](#)に示す、ソフトウェアによるADCSR.ADSTビットのクリア手順に従ってください。その後、ADCLKの2クロック期間待った後、モジュールストップ状態やソフトウェアスタンバイモードへ遷移させてください。

### 35.6.7 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、ADC12の絶対精度誤差が生じます。この誤差は、アナログ入力端子にプルアップ/プルダウン抵抗 (Rp) と信号源抵抗 (Rs) の抵抗分圧分の誤差電圧が入力されるために生じます。絶対精度の誤差は下式で表されます。

$$\text{最大絶対精度誤差 (LSB)} = (2^{\text{分解能}} - 1) \times \text{Rs} / (\text{Rs} + \text{Rp}), (\text{分解能} = 12, 10, 8)$$

断線検出アシスト機能は、十分な評価の上、使用してください。

### 35.6.8 AN000 ~ AN002、AN007、AN100 ~ AN102、および AN107 の使用可能な機能とレジスタ設定

AN000 ~ AN002、AN007、AN100 ~ AN102、および AN107 の使用可能な機能とレジスタ設定を[表 35.14](#)に、レジスタの設定手順を[図 35.41](#)に示します。それぞれの機能を使用するには、[表 35.14](#)に示すようにレジスタの値を設定してください。

PGA (疑似差動入力有効) を使用する場合、レジスタ設定後、ユニット0のAN000 ~ AN002 および PGAVSS000、ユニット1のAN100 ~ AN102 および PGAVSS100 に負電圧を入力できます。

PGA (疑似差動入力有効) を使用する場合、ADPGADCR0 レジスタで各ユニットのすべてのPGAアンプを疑似差動入力に設定する必要があります。

PGA (疑似差動入力無効) を使用する場合、関連するPGAVSS端子をAVSS0に接続してください。PGAを使用しない場合は、関連するPGAVSSを入力ポートまたはアナログポートとして使用できます。

PGA または サンプル&ホールド回路を使用している状態からADCモジュールストップ状態やソフトウェアスタンバイモードへ遷移するときは、各ADC12のADPGACRまたはADSHCRレジスタの対応ビットを遷移前に0にすると、電力消費を減らすことができます。

P003 および P007 のASELビットの初期値は1です。これらの端子をアナログ機能として使用しない場合は、入力リーク電流を低減させるため、ASELビットを0にする必要があります。

64ピン製品を使用するときは、P007PFS.ASELビットを0にしてください。

表 35.14 使用可能な機能とレジスタ設定値

使用可能な機能						レジスタ設定値				
						P0nPFS (注6)		PGA		
ポート (注1)	IRQ (注2)	S/H (注3)	PGA-S (注4)	PGA-D (注5)	ADC12	ASEL	ISEL	ADPGADCR0 (注7)	ADPGACR (注8)	ADSHCR (注9)
○						0	0	x	x	x
	○					0	1	x	x	x
					○ (注10)	1	x	0	9h	0
					○ (注11)	1	x	0 (注11)	0または9h	0
		○			○	1	x	0	9h	1 (0 (注13) )
		○	○		○	1	x	0	Eh (0h (注12) )	1 (0 (注13) )
		○		○	○	1	x	1	Eh (0h (注12) )	1 (0 (注13) )
			○		○	1	x	0	Eh (0h (注12) )	0
				○	○	1	x	1	Eh (0h (注12) )	0

○ : 使用可能

x : Don't care

注 1. ポート : P000 ~ P007 はポート入力として使用可能。

注 2. IRQ : P000 ~ P002 および P003 ~ P005 は IRQ 端子として使用可能。

注 3. S/H : サンプル&amp;ホールド回路。

注 4. PGA-S : PGA 設定が「疑似差動入力無効」の場合。対応する PGAVSS は、1 に設定された ASEL として設定し、AVSS0 に接続する必要があります。

注 5. PGA-D : PGA 設定が「疑似差動入力有効」の場合。対応する PGAVSS は、ASEL として 1 に設定する必要があります。

注 6. P0nPFS : アナログ入力端子に対応したポート 0n 端子機能選択レジスタ (n = 00 ~ 07)。

注 7. 対応する ADPGADCR0 レジスタの疑似差動入力許可ビット (ビット [11]、ビット [7]、またはビット [3])。

注 8. 対応する ADPGACR レジスタのアンブ制御ビット (ビット [11:8]、ビット [7:4]、またはビット [3:0])。

注 9. 対応する ADSHCR レジスタのバイパス選択ビット (ビット [10]、ビット [9]、またはビット [8])。

注 10. AN000 ~ AN002 または AN100 ~ AN102 を使用する場合。

注 11. AN007 または AN107 を使用する場合。対応するすべてのビット (ADPGADCR0 のビット [11]、ビット [7]、およびビット [3]) を 0 にする。

注 12. ADC12 モジュールストップ状態やソフトウェアスタンバイモードへ遷移する前に、ADPGACR レジスタの対応ビットを 0 にすると、PGA の電力消費の削減が可能です。

注 13. ADC12 モジュールストップ状態やソフトウェアスタンバイモードへ遷移する前に、ADSHCR レジスタの対応ビットを 0 にすると、S/H の電力消費の削減が可能です。

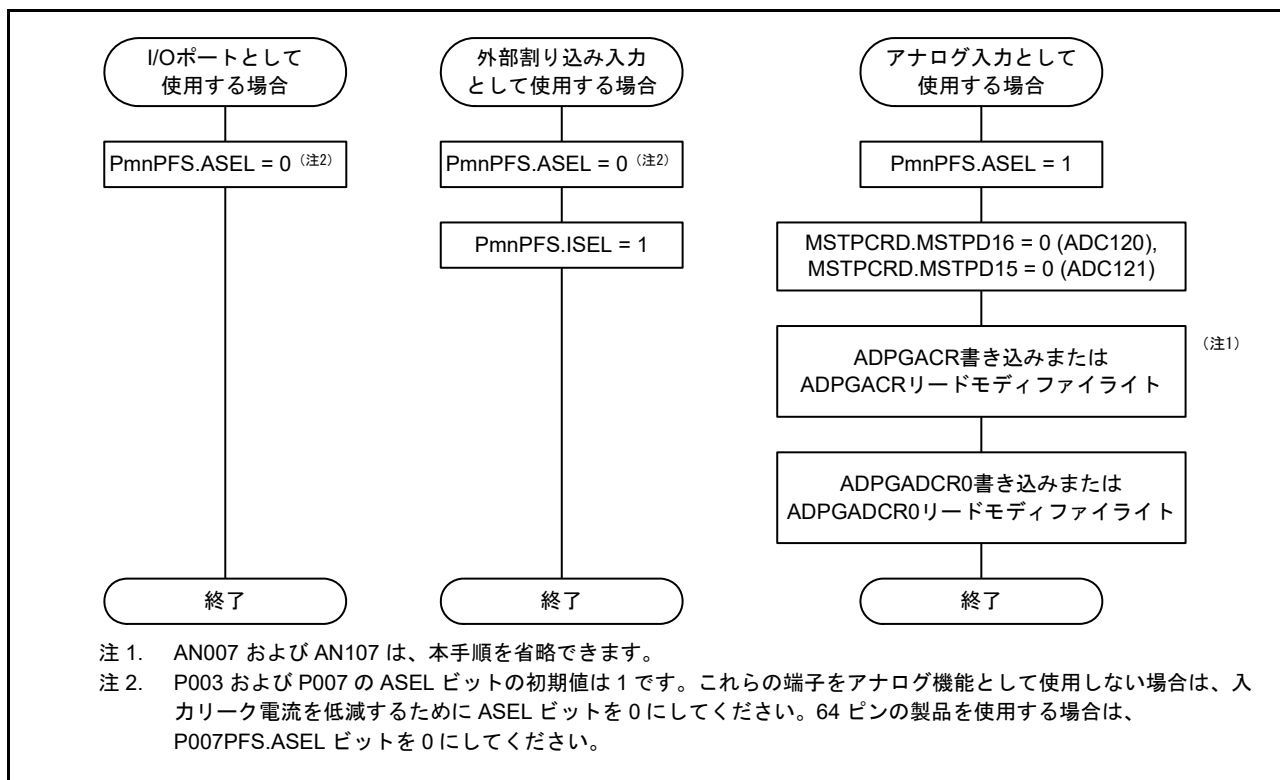


図 35.41 レジスタの設定手順

### 35.6.9 動作モードおよびステータスビットについての注意事項

自己診断の電圧値、ダブルトリガモードでの 1 回目または 2 回目のスキヤンの判定、およびコンペア機能のステータスマニタビットは、それぞれ必要に応じて初期化または再設定を行います。

- 自己診断の電圧値 (ADCER.DIAGVAL[1:0]) は、ADCER.DIAGLD を 1 に設定してから選択してください
- ダブルトリガモードは、ADCSR.DBLE を 0 から 1 にした後、1 回目のスキヤンとして動作します
- コンペア機能のステータスマニタビット (MONCMPA、MONCMPB、および MONCMPA) は、ADCMPCR.CMPAE および ADCMPCR.CMPBE ビットを 0 にクリアした後、初期化されます
- 常時サンプリング機能 (ADSHMSR.SHMD = 1) は、ADSHMSR.SHMD を 0 にした後、初期化されます。常時サンプリング機能を再び使用する場合 (ADSHMSR.SHMD を 1 にする場合)、ADCLK で 1 サイクル以上待機する必要があります

### 35.6.10 ボード設計に関する注意事項

デジタル回路とアナログ回路の間はできるだけ離れるように、ボードを設計してください。また、デジタル信号線とアナログ信号線は、交差させたり互いに近づけたりしないでください。これらのルールに従わないと、アナログ信号にノイズが発生し、A/D変換精度に影響を及ぼします。アナログ入力端子 (AN000 ~ AN003、AN005 ~ AN007、AN016 ~ AN018、AN020、AN100 ~ AN102、AN105 ~ AN107、AN116、AN117)、基準電源端子 (VREFH0/VREFH)、基準グランド端子 (VREFL0/VREFL)、およびアナログ電源 (AVCC0) は、アナロググランド (AVSS0) を使用したデジタル回路と離すようにしてください。アナロググランド (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に接続してください (単一グランドプレーン接続)。

### 35.6.11 ノイズ対策時の制約

過剰電圧などの異常電圧によってアナログ入力端子 (AN000 ~ AN003、AN005 ~ AN007、AN016 ~ AN018、AN020、AN100 ~ AN102、AN105 ~ AN107、AN116、AN117) が破壊されないようにするため、AVCC0とAVSS0間、VREFH0とVREFL0間、およびVREFHとVREFL間にコンデンサを設置してください。また、アナログ入力端子 (AN000 ~ AN003、AN005 ~ AN007、AN016 ~ AN018、AN020、AN100 ~ AN102、AN105 ~ AN107、AN116、AN117) を保護するため、[図 35.42](#) に示すように保護回路を接続してください。

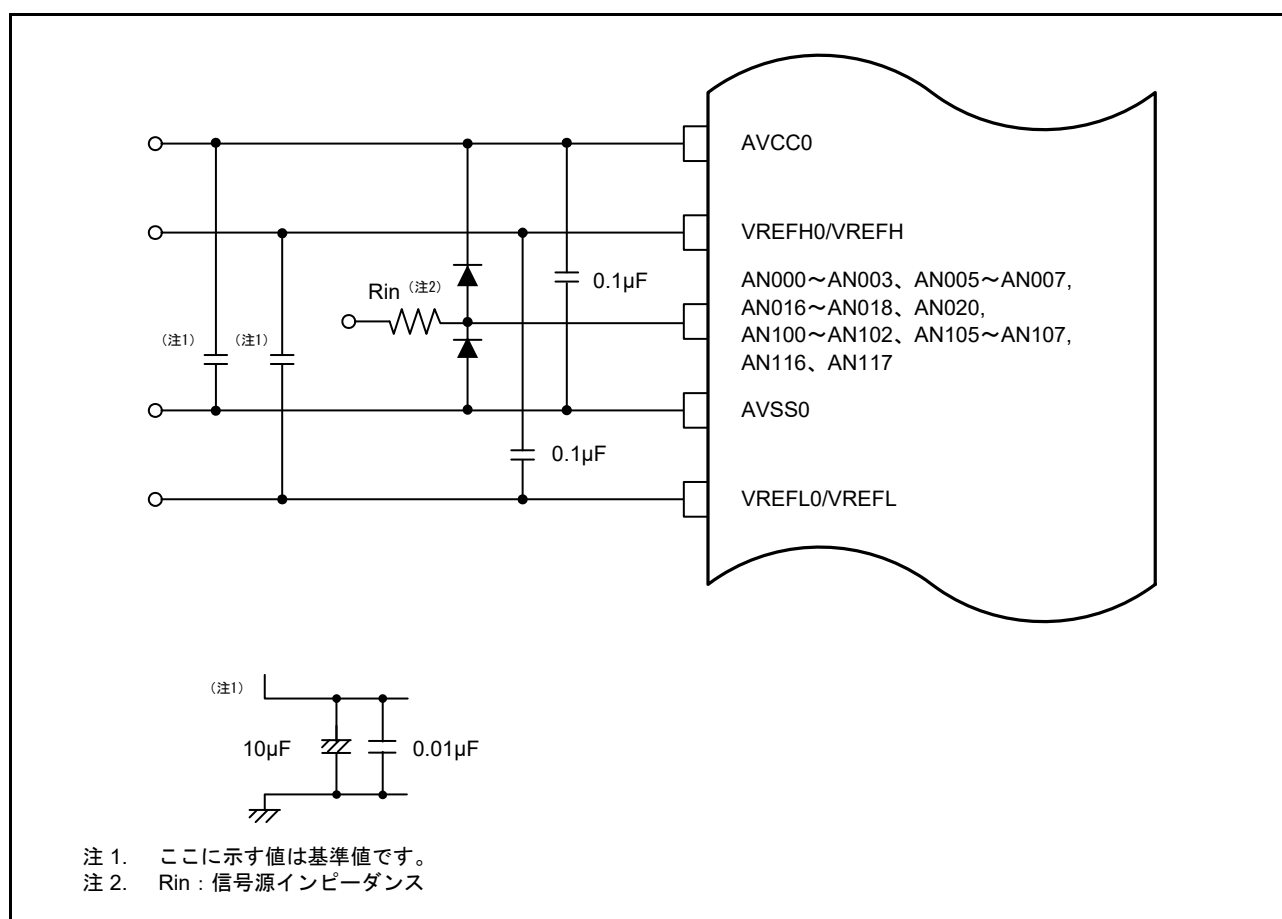


図 35.42 アナログ入力用保護回路例

### 35.6.12 ADC12 入力使用時のポート設定

高精度チャネルを使用する場合は、ポート0をデジタル出力ポートとして使用しないでください。通常精度チャネルを使用している場合は、A/Dアナログ入力とデジタル出力に同じポートは使用しないことを推奨します。A/Dアナログ入力としても使用しているデジタル出力を出力信号用に使用する場合は、A/D変換を複数回実行し、最大値と最小値を除いた平均をとるなどの対策を行ってください。

### 35.6.13 ADC12 (ユニット0およびユニット1) とACMPHSの関係

表 35.15 に示す A/D 変換対象の場合、ユニット0およびユニット1は同時に A/D 変換を行うことができません。

表 35.15 相互排他的関係にあるA/D変換対象

A/D変換対象	
ユニット0	ユニット1
温度センサ	
内部基準電圧	
AN005/DA0	AN105/DA0
AN006/DA1	AN106/DA1

表 35.16 に示す A/D 変換対象は、A/D 変換中に ACMPHS 入力として選択することができません。これらの端子は ADC12 と ACMPHS との兼用端子であるためです。

表 35.16 A/D変換中に選択できないACMPHS端子一覧

ユニット0	A/D変換対象	
	ユニット1	ACMPHS
AN000	-	ACMPHS0.IVCMP2
AN001	-	ACMPHS1.IVCMP2
AN002	-	ACMPHS2.IVCMP2
PGA P000出力	-	ACMPHS0.IVCMP3
PGA P001出力	-	ACMPHS1.IVCMP3
PGA P002出力	-	ACMPHS2.IVCMP3
AN005/DA0	-	ACMPHS0 ~ ACMPHS5.IVREF3
AN006/DA1	-	ACMPHS0 ~ ACMPHS5.IVCMP1
AN016	-	ACMPHS0 ~ ACMPHS5.IVREF0
AN017	-	ACMPHS0 ~ ACMPHS5.IVCMP0
内部基準電圧	-	ACMPHS0 ~ ACMPHS5.IVREF2
-	AN100	ACMPHS3.IVCMP2
-	AN101	ACMPHS4.IVCMP2
-	AN102	ACMPHS5.IVCMP2
-	PGA P000出力	ACMPHS3.IVCMP3
-	PGA P001出力	ACMPHS4.IVCMP3
-	PGA P002出力	ACMPHS5.IVCMP3
-	AN105/DA0	ACMPHS3 ~ ACMPHS5.IVREF3
-	AN106/DA1	ACMPHS3 ~ ACMPHS5.IVCMP1
-	AN116	ACMPHS0 ~ ACMPHS5.IVREF1
-	内部基準電圧	ACMPHS0 ~ ACMPHS5.IVREF2

## 36. 12ビットD/Aコンバータ (DAC12)

### 36.1 概要

本MCUは、出力アンプ付きの12ビットD/Aコンバータ (DAC12) を内蔵しています。

表 36.1 に DAC12 の仕様を、図 36.1 にそのブロック図を、表 36.2 に入出力端子を示します。

表 36.1 DAC12の仕様

項目	内容
分解能	12ビット
出力チャンネル	2チャンネル
アナログモジュール間の干渉低減	D/A変換とA/D変換の干渉を最小化するための対策 • ADC12 (ユニット1) が出力するADC12同期D/A変換許可入力信号により、D/A変換データの更新タイミングを制御する • DAC12のインラッシュカレント発生タイミングを許可信号で制御し、干渉によるA/D変換精度の劣化を低減する
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能
イベントリンク機能 (入力)	イベント信号の入力により、DA0およびDA1変換の開始が可能
D/A出力アンプ制御機能	出力アンプ (アンプスルー制御およびアンプバイアス制御) の使用/不使用を制御

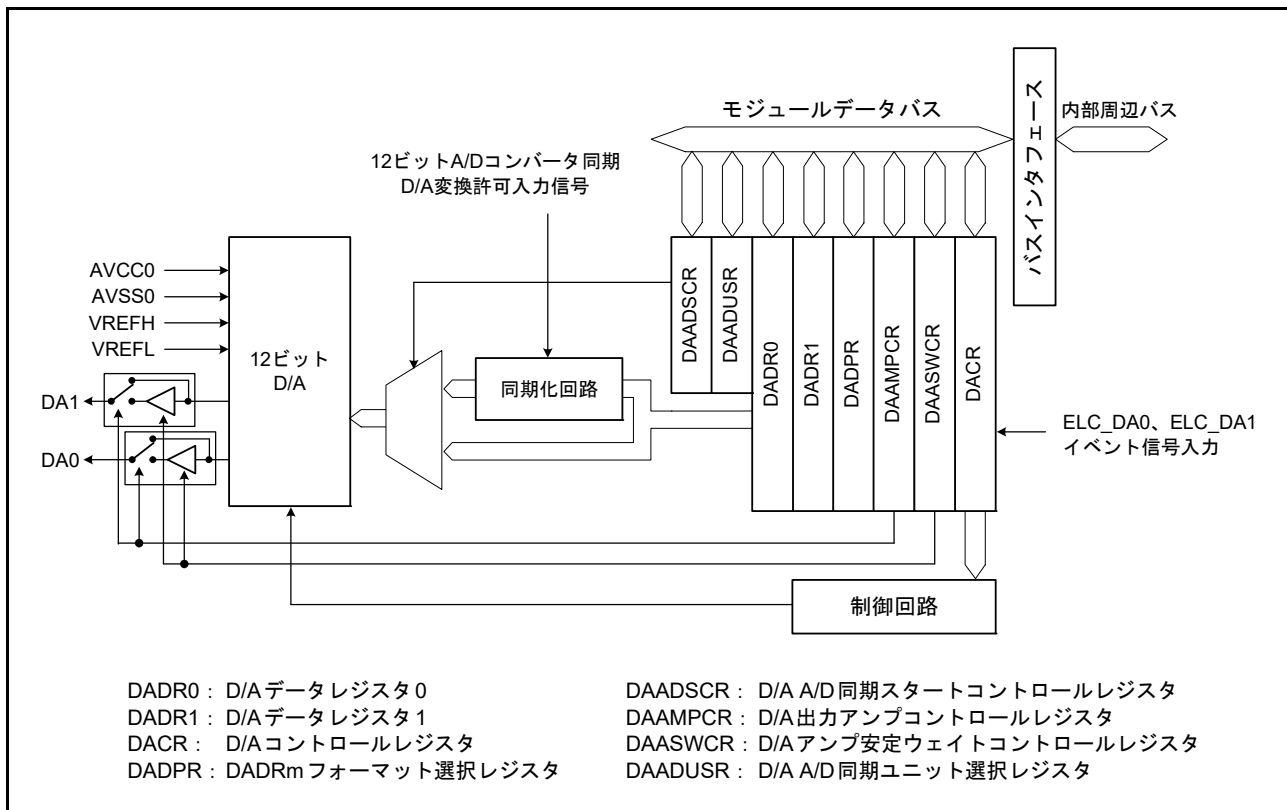


図 36.1 DAC12のブロック図

表 36.2 DAC12の入出力端子

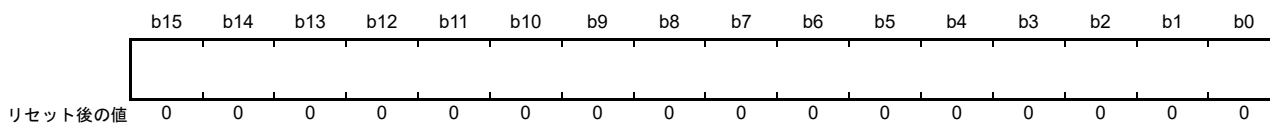
端子名	入出力	機能
AVCC0	入力	ADC12、DAC12、およびコンパレータ用のアナログ電源端子 これらのモジュールを使用しない場合は、VCCに接続してください
AVSS0	入力	ADC12、DAC12、およびコンパレータ用のアナロググランド端子 これらのモジュールを使用しない場合は、VSSに接続してください
VREFH	入力	ADC12 (ユニット1) とDAC12のアナログ基準電源端子
VREFL	入力	ADC12 (ユニット1) とDAC12のアナログ基準グランド端子
DA0	出力	チャンネル0のアナログ出力端子
DA1	出力	チャンネル1のアナログ出力端子



## 36.2 レジスタの説明

### 36.2.1 D/A データレジスタ m (DADRm) (m = 0, 1)

アドレス [DAC12.DADR0 4005 E000h](#), [DAC12.DADR1 4005 E002h](#)



DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し/書き込みレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換されアナログ出力端子に出力されます。

12 ビットデータを左詰めにするか右詰めにするかは、DADPR.DPSEL ビットで設定できます。右詰め形式 (DADPR.DPSEL = 0) では、下位 12 ビット ([11:0]) が有効です。左詰め形式 (DADPR.DPSEL = 1) では、上位 12 ビット ([15:4]) が有効です。

出力アンプの使用方法については、[36.6.5 出力アンプを使用した初期化手順](#)を参照してください。

## 36.2.2 D/A コントロールレジスタ (DACR)

アドレス DAC12.DACR 4005 E004h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAOE1	DAOE0	DAE	—	—	—	—	—
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	DAE	D/A許可 (注1)	0: チャンネル0とチャンネル1のD/A変換を個別制御 1: チャンネル0とチャンネル1のD/A変換を一括制御	R/W
b6	DAOE0	D/A出力許可0	0: チャンネル0のアナログ出力 (DA0) を禁止 1: チャンネル0のD/A変換 (DA0) を許可	R/W
b7	DAOE1	D/A出力許可1	0: チャンネル1のアナログ出力 (DA1) を禁止 1: チャンネル1のD/A変換 (DA1) を許可	R/W

注1. 変換結果の出力を制御する DAOE<sub>i</sub> ビット (i=0, 1) との組み合わせで D/A 変換を制御します。詳細は、表 36.3 を参照してください。

表 36.3 D/A 変換の制御

b5	b7	b6	機能
DAE	DAOE1	DAOE0	
0	0	0	D/A変換とアナログ出力 (DA0, DA1) (注1) を禁止
		1	<ul style="list-style-type: none"> <li>チャンネル0のD/A変換を許可、チャンネル1のD/A変換を禁止</li> <li>チャンネル0のアナログ出力 (DA0) を許可、チャンネル1のアナログ出力 (DA1) (注1) を禁止</li> </ul>
	1	0	<ul style="list-style-type: none"> <li>チャンネル0のD/A変換を禁止、チャンネル1のD/A変換を許可</li> <li>チャンネル0のアナログ出力 (DA0) (注1) を禁止、チャンネル1のアナログ出力 (DA1) を許可</li> </ul>
		1	<ul style="list-style-type: none"> <li>チャンネル0とチャンネル1のD/A変換を許可</li> <li>チャンネル0とチャンネル1のアナログ出力 (DA0, DA1) を許可</li> </ul>
1	x	x	<ul style="list-style-type: none"> <li>チャンネル0とチャンネル1のD/A変換を許可</li> <li>チャンネル0とチャンネル1のアナログ出力 (DA0, DA1) を一括して許可</li> </ul>

x: Don't care

注1. アナログ出力禁止時、アナログ出力信号は Hi-Z 状態になります。

DACR レジスタは、DAADSCR.DAADST ビットが 1 (D/A 変換と A/D 変換の干渉防止が有効) の状態で、ADC12 が停止中の場合のみ設定してください。DACR を設定するときは、ADC12 トリガで ADC12 を確実に停止させるために、ADCSR.ADST ビットが 0、かつソフトウェアトリガを選択した状態でのみ行ってください。本 MCU でサポートされる ADC12 はユニット 1 のみです。

## DAE ビット (D/A 許可)

DAE ビット、DAOE<sub>i</sub> ビット (i=0, 1) および DAMMPCR.DAAMP<sub>i</sub> ビット (i=0, 1) の組み合わせで、D/A 変換、アンプ動作、およびアナログ出力を制御します。表 36.4 を参照してください。

D/A 変換と A/D 変換の干渉防止が有効 (DAADSCR.DAADST = 1) のときは、ADC12 の ADCSR.ADST ビットを 0 にしてください。このとき、ADC12 を確実に停止させるため、ADC12 のトリガ選択をソフトウェアトリガに設定してください。

DAOE<sub>i</sub> ビット (D/A 出力許可 i)

DAE ビット、DAOE<sub>i</sub> ビット (i=0, 1)、および DAAMPCR.DAAMP<sub>i</sub> ビット (i=0, 1) の組み合わせで、D/A 変換、アンプ動作、およびアナログ出力を制御します。表 36.4 を参照してください。

DAOE<sub>i</sub> ビット (i=0, 1) が 0 で DAE ビットも 0 のとき、チャンネル i (i=0, 1) の D/A 変換は行われず、変

換結果も出力されません。

D/A変換とA/D変換の干渉防止が有効(DAADSCR.DAADST=1)のときは、ADC12のADCSR.ADSTビットが0の状態ではDAOEiビットを設定してください。このとき、ADC12を確実に停止させるため、ADC12のトリガ選択をソフトウェアトリガに設定してください。

イベントリンク機能を使用して、DAOEiビットを1にできます。ELCのELSR12レジスタで設定されたイベント(ELC\_DA0イベント)が発生すると、DAOE0ビットが1になり、D/A変換結果の出力を開始します。ELCのELSR13レジスタで設定されたイベント(ELC\_DA1イベント)が発生すると、DAOE1ビットが1になり、D/A変換結果の出力を開始します。

表 36.4 D/A変換とアナログ出力制御

DACR		DAAMPCR	チャンネルiの動作	チャンネルi アンプ動作	チャンネルi アナログ出力
DAE	DAOEi	DAAMPi			
0	0	0	停止	停止	Hi-Z
		1	停止	停止	Hi-Z
	1	0	動作	停止	アンプスルー
		1	動作	動作	アンプ出力
1	0	0	動作	停止	アンプスルー
		1	動作	動作	アンプ出力
	1	0	動作	停止	アンプスルー
		1	動作	動作	アンプ出力

i = 0, 1

### 36.2.3 DADRm フォーマット選択レジスタ (DADPR)

アドレス [DAC12.DADPR 4005 E005h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
DPSEL	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DPSEL	DADRmフォーマット選択	0: 右詰め 1: 左詰め	R/W

## 36.2.4 D/A A/D 同期スタートコントロールレジスタ (DAADSCR)

アドレス DAC12.DAADSCR 4005 E006h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DAADST	D/A A/D 同期変換	0 : DAC12の動作はADC12 (ユニット1) の動作と同期しない (D/A変換とA/D変換の干渉防止が無効) 1 : DAC12の動作はADC12 (ユニット1) の動作と同期する (D/A変換とA/D変換の干渉防止が有効)	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉を最小化するために、D/A 変換の開始タイミングを ADC12 同期 D/A 変換許可入力信号に同期させることができます。

注. 本 MCU でサポートされる ADC12 はユニット 1 のみです。

このレジスタの設定は、ADC12 が停止中のとき (ADC12 のトリガ選択をソフトウェアトリガにした後、ADCSR.ADST ビットが 0 のとき) のみ行ってください。

DAADST ビットを 1 にする前に、ADC12 の対象ユニットをユニット 1 に設定してください。DAADUSR レジスタの b1 を 1 にして、ユニット 1 を選択してください。

**DAADST ビット (D/A A/D 同期変換)**

DAADST ビットを 0 にすると、DADR<sub>m</sub> レジスタの値を随時 D/A 変換します。DAADST ビットを 1 にすると、ADC12 からの ADC12 同期 D/A 変換許可入力信号に同期して D/A 変換が行われます。本ビットを設定した場合、DADR<sub>m</sub> レジスタの値を書き換えても、ADC12 の A/D 変換が終了するまで D/A 変換は行われません。

DAADST ビットの設定は ADCSR.ADST ビットが 0 のときに行ってください。このとき、ADC12 を確実に停止させるため、ADC12 のトリガ選択をソフトウェアトリガに設定してください。また、DAADST ビットを 1 にする前に、DAADUSR レジスタの b1 を 1 にしてください。

なお、DAADST ビットを 1 にした場合は、イベントリンク機能は使用できません。ELC の ELSR12 および ELSR13 レジスタでイベントリンク機能を停止に設定してください。DAADST ビットの設定は、DAC12 のチャンネル 0 およびチャンネル 1 に共通です。

## 36.2.5 D/A 出力アンプコントロールレジスタ (DAAMPCR)

アドレス DAC12.DAAMPCR 4005 E008h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAAMP 1	DAAMP 0	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	DAAMP0	アンプ制御0	0 : チャンネル0の出力アンプを使用しない 1 : チャンネル0の出力アンプを使用する	R/W
b7	DAAMP1	アンプ制御1	0 : チャンネル1の出力アンプを使用しない 1 : チャンネル1の出力アンプを使用する	R/W

DAAMPCR レジスタは、D/A 出力に対してアンプを使用するか、使用せずにスルー出力するかを選択します。

**DAAMP0 ビット (アンプ制御 0)**

DAAMP0 ビットを0にすると、チャンネル0のD/A出力に対してアンプを介さずにアナログ値を出力します。DAAMP0 ビットを1にすると、チャンネル0のD/A出力に対してアンプを介してアナログ値を出力します。

なお、DAE ビットと DAOE0 ビットの両方が0の状態では、DAAMP0 ビットの設定にかかわらずアンプは停止します。詳細は表 36.4 を参照してください。

**DAAMP1 ビット (アンプ制御 1)**

DAAMP1 ビットを0にすると、チャンネル1のD/A出力に対してアンプを介さずにアナログ値を出力します。DAAMP1 ビットを1にすると、チャンネル1のD/A出力に対してアンプを介してアナログ値を出力します。

なお、DAE ビットと DAOE1 ビットの両方が0の状態では、DAAMP1 ビットの設定にかかわらずアンプは停止します。詳細は表 36.4 を参照してください。

## 36.2.6 D/A アンプ安定ウェイトコントロールレジスタ (DAASWCR)

アドレス DAC12.DAASWCR 4005 E01Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	DAASW1	DAASW0	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	DAASW0	D/Aアンプ安定待ち0	0: チャンネル0のアンプ安定待ちオフ (出力) 1: チャンネル0のアンプ安定待ちオン (High-Z)	R/W
b7	DAASW1	D/Aアンプ安定待ち1	0: チャンネル1のアンプ安定待ちオフ (出力) 1: チャンネル1のアンプ安定待ちオン (High-Z)	R/W

DAASWCR レジスタは、出力アンプを使用してD/A出力を制御します。本レジスタは、D/A出力アンプ安定待ちのための初期化手順で使用します。DACR レジスタのDAEビットとDAOE<sub>i</sub>ビット (i=0, 1) がともに0のとき、DAASWCRの各ビットを1にしてください。36.6.5 出力アンプを使用した初期化手順を参照してください。

**DAASW0 ビット (D/A アンプ安定待ち 0)**

チャンネル0のD/A出力アンプ安定待ちのための初期化手順で、DAASW0ビットを1にしてください。DAASW0を1にすると、D/A変換は動作しますが、D/A変換結果は、チャンネル0から出力されません。DAASW0ビットを0にすると、安定待機時間は終了し、チャンネル0のD/A変換結果が出力アンプによって出力されます。

**DAASW1 ビット (D/A アンプ安定待ち 1)**

チャンネル1のD/A出力アンプ安定待ちのための初期化手順で、DAASW1ビットを1にしてください。DAASW1を1にすると、D/A変換は動作しますが、D/A変換結果は、チャンネル1から出力されません。DAASW1ビットを0にすると、安定待機時間は終了し、チャンネル1のD/A変換結果が出力アンプによって出力されます。

## 36.2.7 D/A A/D 同期ユニット選択レジスタ (DAADUSR)

アドレス DAC12.DAADUSR 4005 F0C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	AMADS EL1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	AMADSEL1	A/Dユニット1選択	0: ユニット1を選択しない 1: ユニット1を選択する	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DDAADUSR レジスタは、D/A A/D 同期変換する ADC12 の対象ユニットを選択するレジスタです。MCU で b1 を 1 にして、ユニット 1 を同期対象ユニットとして選択してください。DAADSCR.DAADST ビットを 1 にして同期変換する場合は、事前に本レジスタで対象ユニットを選択してください。

DAADUSR レジスタの設定は、ADC12 の ADCSR.ADST ビットが 0 かつ DAADSCR.DAADST ビットが 0 のときのみ行ってください。

### 36.3 動作説明

DAC12には2チャンネルのD/A変換回路があり、それぞれ独立して変換を行うことができます。DACR.DA0Enビット (n=0, 1) を1にすると、DAC12が有効になり、変換結果が出力されます。

以下にチャンネル0でのD/A変換例を示します。このときの動作タイミングを図36.2に示します。

チャンネル0でD/A変換を実行する場合の手順は以下のとおりです。

1. DADPR.DPSELビットとDADR0レジスタにD/A変換を行うためのデータを設定します。
2. DACR.DA0E0ビットを1にすると、D/A変換を開始します。t<sub>DCONV</sub>時間経過後、変換結果をアナログ出力端子DA0より出力します。DADR0レジスタを書き換えるか、DA0E0ビットを0にするまで、この変換結果が出力され続けます。出力値(参考)は以下の式で計算します。

$$\frac{\text{DADRmの設定値}}{4096} \times \text{VREFH}$$

3. 変換を再度開始するため、もう一度DADR0へ書き込みます。t<sub>DCONV</sub>時間経過後、変換結果が出力されます。DAADSCR.DAADSTビットが1(D/A変換とA/D変換の干渉防止が有効)の場合、D/A変換開始まで最大でA/D変換1回分の時間が必要です。ADCLKが周辺クロックよりも速い場合は、さらに時間が必要となる場合があります。
4. アナログ出力を禁止する場合は、DA0E0ビットを0にしてください。

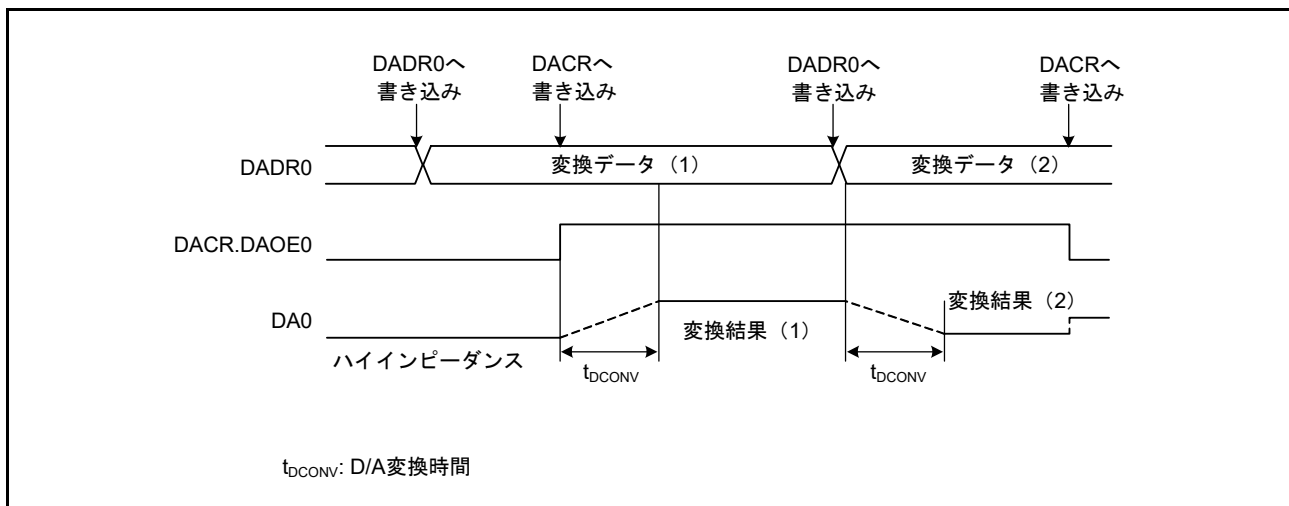


図 36.2 DAC12の動作例



### 36.3.1 D/A変換とA/D変換の干渉の低減

D/A変換が始まるとDAC12はラッシュカレントを発生させます。DAC12とADC12のアナログ電源が共通であるため、発生したインラッシュカレントがADC12の変換に干渉することがあります。

DAADSCR.DAADSTビットが1の場合、ADC12がA/D変換中にDADR<sub>m</sub>レジスタのデータを書き換えても、D/A変換はすぐに開始されず、A/D変換終了タイミングに同期して開始します。DADR<sub>m</sub>レジスタデータの更新がD/A変換回路の入力に反映されるまで、最大でA/D変換1回分の時間が必要です。その間DADR<sub>m</sub>レジスタ値とアナログ出力値は一致しません。

本機能が有効なときに、DADR<sub>m</sub>レジスタの値がD/A変換されたかどうかをソフトウェアで確認する手段はありません。ADC12が停止中にDADR<sub>m</sub>レジスタのデータが変更された場合、DAADSCR.DAADSTビットが1であっても、1PCLKBサイクル後にD/A変換が開始されます。

以下に、DAC12をADC12に同期して動作させる場合のチャンネル0のD/A変換例を示します。

チャンネル0のD/A変換をADC12に同期して動作させる場合は、以下の手順で行ってください。

1. ADC12が停止中であることを確認し、DAADUSR.AMADSEL1ビットを1にします。
2. ADC12が停止中であることを確認し、DAADSCR.DAADSTビットを1にします。
3. ADC12が停止中であることを確認し、DACR.DAEOE0ビットを1にします。
4. DADR0レジスタを設定します。ADCLKが周辺クロックよりも速い場合は、A/D変換1回分以上の時間が必要となる場合があります。
  - DADR0レジスタを書き換えたとき、12ビットA/D変換が停止していた場合 (ADCSR.ADSTビット=0)、1PCLKBサイクル後にD/A変換が開始されます
  - DADR0レジスタを書き換えたとき、12ビットA/D変換中の場合 (ADCSR.ADSTビット=1)、A/D変換終了時にD/A変換が開始されます。A/D変換中にDADR0レジスタを2回書き換えた場合は、1回目の値がD/A変換されないことがあります

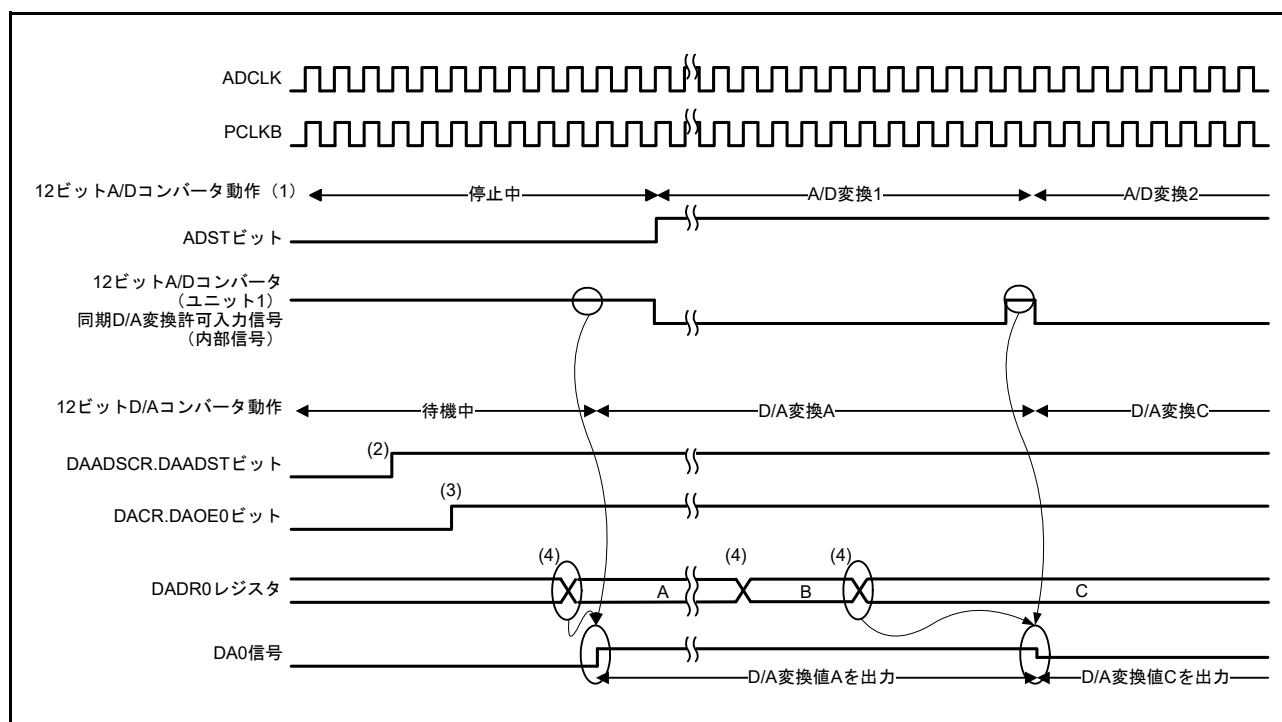


図 36.3 DAC12をADC12に同期して変換する例

ADCLKがPCLKBよりも速い場合、A/D変換1とA/D変換2の間に出力されるADCLK1サイクル分のADC12(ユニット1)同期D/A変換許可入力信号をDAC12が取り込めない可能性があります。図 36.4にそ

の例を示します。この場合、DA0信号はD/A変換値Aの出力を継続します。

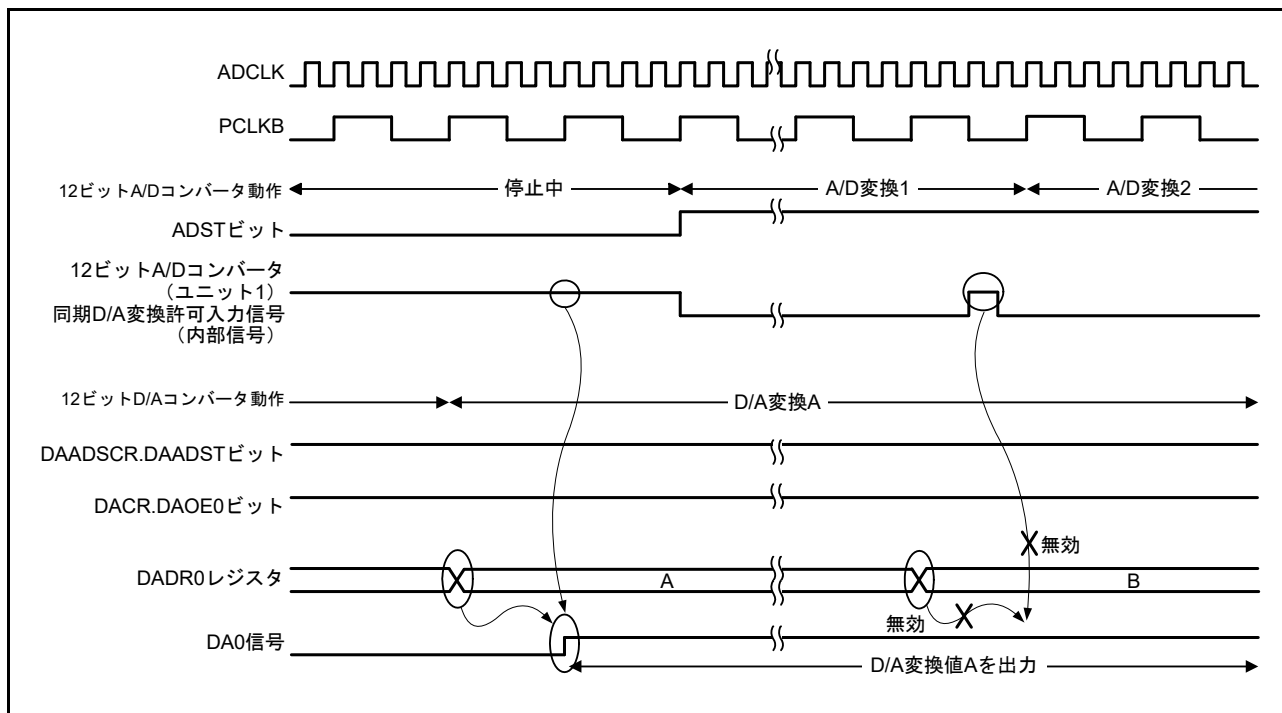


図 36.4 DAC12がADC12 (ユニット1)からの同期D/A変換許可入力信号を取り込めない場合の例

## 36.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

### 36.4.1 DA0 イベントリンクの動作設定手順

DA0 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DADPR.DPSEL ビットを設定し、DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC\_DA0 イベント信号が ELSR12 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE0 ビットが 1 になり、チャンネル 0 の D/A 変換が開始されます。
5. DAC12 のチャンネル 0 のイベントリンク動作を停止するときは、ELSR12.ELS[8:0] ビットを 000h にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

### 36.4.2 DA1 イベントリンクの動作設定手順

DA1 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DADPR.DPSEL ビットを設定し、DADR1 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC\_DA1 イベント信号が ELSR13 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE1 ビットが 1 になり、チャンネル 1 の D/A 変換が開始されます。
5. DAC12 のチャンネル 1 のイベントリンク動作を停止するときは、ELSR13.ELS[8:0] ビットを 000h にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

## 36.5 イベントリンク動作における注意事項

- イベントリンク機能を使用する場合、アンプ出力機能を使用しないでください
- イベントリンク機能を使用する場合、DACR.DAE ビットは 0 にしてください
- DACR.DAOE0 ビットへの書き込みサイクル中に ELC\_DA0 イベント信号で設定されたイベントが発生すると、DACR.DAOE0 ビットへの書き込みサイクルは停止し、イベント発生が優先的にビットを 1 にします
- DACR.DAOE1 ビットへの書き込みサイクル中に ELC\_DA1 イベント信号で設定されたイベントが発生すると、DACR.DAOE1 ビットへの書き込みサイクルは停止し、イベント発生が優先的にビットを 1 にします
- D/A 変換と A/D 変換の干渉低減のため DAADSCR.DAADST ビットを 1 にしている場合、イベントリンク機能は使用禁止です

## 36.6 使用上の注意事項

### 36.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、DAC12の動作を禁止/許可することが可能です。DAC12は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

### 36.6.2 モジュールストップ時のDAC12の動作

D/A変換を許可した状態でMCUがモジュールストップ状態になると、D/A出力は保持され、アナログ電源電流はD/A変換中と同様になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1、DAOE0、およびDAEビットをすべて0にしてD/A変換を禁止してください。

### 36.6.3 ソフトウェアスタンバイモード時のDAC12の動作

D/A変換を許可した状態でMCUがソフトウェアスタンバイモードになると、D/A出力は保持され、アナログ電源電流はD/A変換中と同様になります。ソフトウェアスタンバイモード時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1、DAOE0、およびDAEビットをすべて0にしてD/A変換を禁止してください。

### 36.6.4 ディープソフトウェアスタンバイモードへの遷移に関する制約

D/A変換を許可した状態でMCUがディープソフトウェアスタンバイモードに遷移すると、DAC12の出力はハイインピーダンスとなります。

### 36.6.5 出力アンプを使用した初期化手順

出力アンプを使用して、以下の初期化手順に従ってください。ここではチャンネル0を例に説明します。

出力アンプを使用してDAC12を初期化するには、以下の手順を行います。

1. DADR0レジスタに000hを書き込みます。
2. DAASWCR.DAASW0ビットを1にします。
3. DAAMPCR.DAAMP0ビットを1にします。
4. DACR.DAEビットまたはDACR.DAOE0ビットを1にして、アンプ動作を開始します。
5. D/A変換時間( $t_{CONV}$ )を待機してから、DAASWCR.DAASW0ビットを0にクリアします。
6. 変換する値をDADR0レジスタに書き込みます。

なお、アンプが動作している状態で、DACR.DAEビットとDACR.DAOE0ビットを0にクリアすると、アンプは停止状態になります。再びアンプを使用する場合には、手順1～6を再度行ってください。

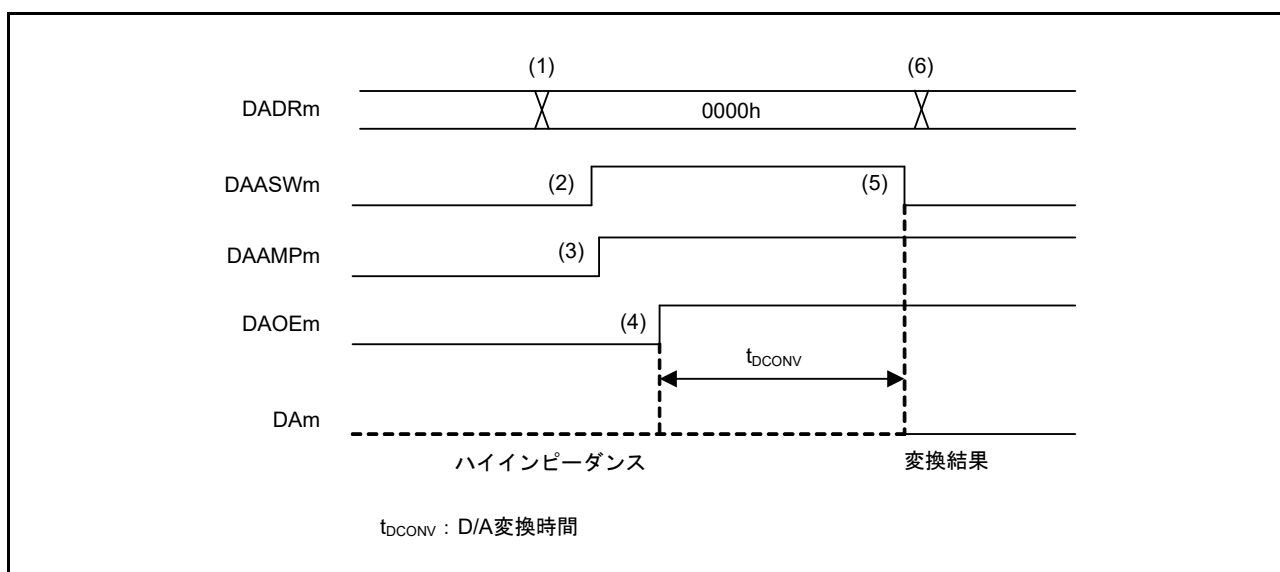


図 36.5 出力アンプを使用した DAC12 の初期化フロー例

### 36.6.6 D/A 変換と A/D 変換の干渉低減有効時の制限事項

DAADSCR.DAADST ビットが 1 (D/A 変換と A/D 変換の干渉防止が有効) の場合、ADC12 をモジュールストップ状態にしないでください。モジュールストップ状態にすると、A/D 変換が停止するだけでなく、D/A 変換も停止する可能性があります。

## 37. 温度センサ (TSN)

### 37.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサでチップの温度を決定し、監視することが可能です。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧はADC12で変換されてから、末端の応用機器で使用できます。

表 37.1 に温度センサの仕様を、図 37.1 にブロック図を示します。

表 37.1 温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータ (ADC12) に電圧を出力
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
温度センサ補正データ	工場出荷時にチップごとに測定した基準となるデータを格納

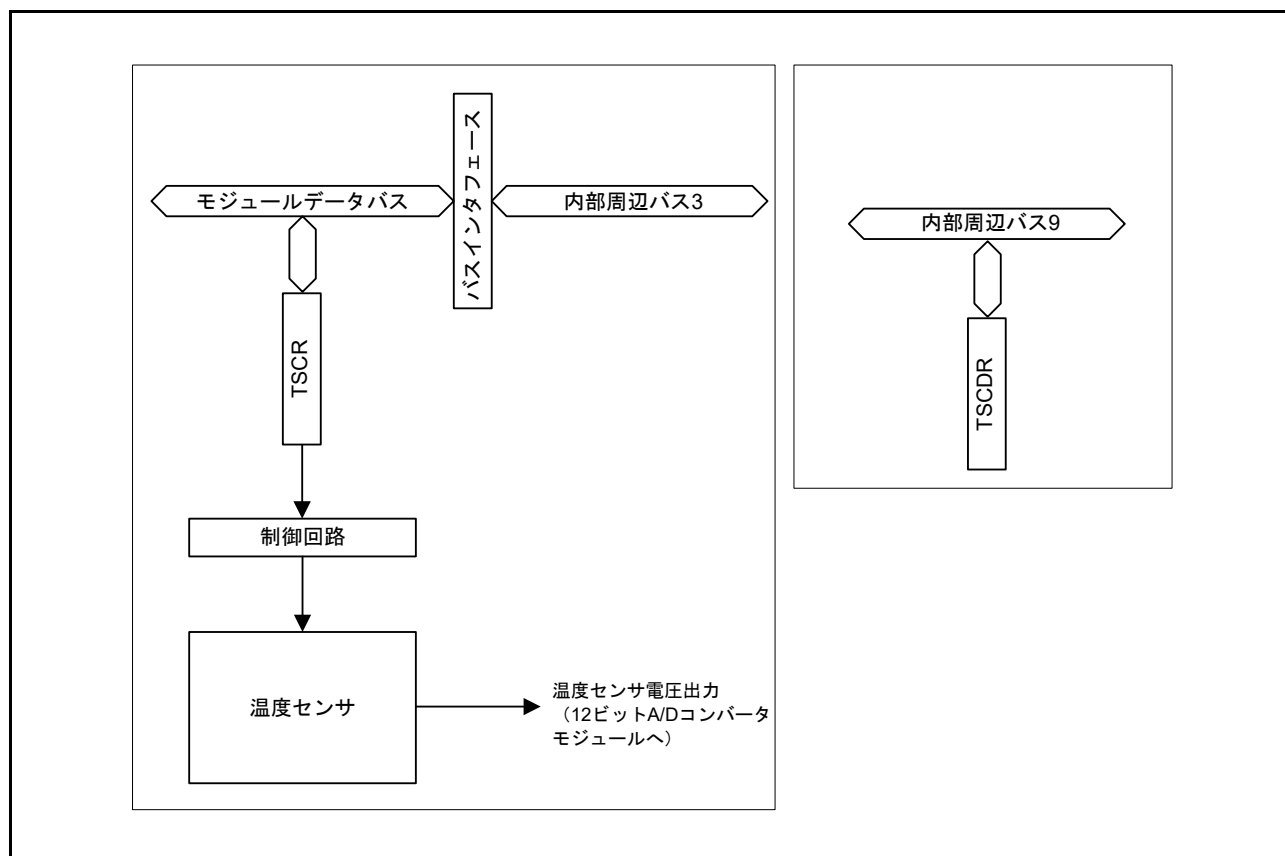


図 37.1 温度センサのブロック図

## 37.2 レジスタの説明

### 37.2.1 温度センサコントロールレジスタ (TSCR)

アドレス TSN.TSCR 4005 D000h

	b7	b6	b5	b4	b3	b2	b1	b0
	TSEN	—	—	TSOE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TSOE	温度センサ出力許可	0 : 温度センサからADC12への出力を禁止 1 : 温度センサからADC12への出力を許可	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	TSEN	温度センサ許可	0 : 温度センサが停止 1 : 温度センサが動作	R/W

図 37.3 に示すタイミング制約は、TSCR レジスタ設定に適用されます。

### 37.2.2 温度センサ補正データレジスタ (TSCDR)

アドレス TSD.TSCDR 407F B17Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	チップ固有の値											
リセット後の値	0	0	0	0	チップ固有の値											

TSCDR レジスタには、工場出荷時に MCU ごとに測定した温度センサ補正データが格納されています。

温度センサ補正データは、 $T_a = T_i = 127\text{ }^\circ\text{C}$  および  $AVCC0 = 3.3\text{ V}$  の条件下で温度センサが出力した電圧を変換するために、12 ビット A/D 変換ユニット 0 を用いて取得したデジタル値です。

TSCDR レジスタは、32 ビットの読み出し専用レジスタです。読み出しは 32 ビット単位で行う必要があります。

### 37.3 温度センサの使用法

温度センサが出力する電圧は、温度により変化します。この電圧は ADC12 でデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

#### 37.3.1 使用前の準備

温度 (T) はセンサの電圧出力 ( $V_s$ ) と比例関係にあるため、以下の式で温度を求められます。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

$V_s$  : 温度測定時の温度センサの出力電圧 (V)

T1 : 1 点目の試行測定時の温度 (°C)

V1 : T1 測定時の温度センサの出力電圧 (V)

T2 : 2 点目の試行測定時の温度 (°C)

V2 : T2 測定時の温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 (V/°C)  $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$

式のパラメータ (V1、T1、Slope) 測定値を決定します。これらの値はセンサによりばらつきがあるため、異なる温度 2 点において以下のような試行測定を実施し、パラメータの値を決定することを推奨します。

1. ADC12 を使用して、温度 T1 のときの温度センサの出力電圧 V1 を測定します。
2. ADC12 を使用して、温度 T1 と異なる温度 T2 のときの温度センサの出力電圧 V2 を測定します。両者の測定結果から、温度傾斜 ( $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$ ) を求めます。
3. この Slope の値を温度特性の式 ( $T = (V_s - V_1) / \text{Slope} + T_1$ ) に代入し、温度を求めます。

「43. 電気的特性」の表 43.32 に記載されている温度傾斜を用いる場合は、温度 T1 のときに温度センサから出力される電圧 V1 を、ADC12 コンバータユニット 0 で測定し、以下の式により温度特性を算出します。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

$V_s$  : 温度測定時の温度センサの出力電圧 (V)

T1 : 1 点目のサンプル測定結果 (°C)

V1 : T1 測定時の温度センサの出力電圧 (V)

Slope : 表 43.32 に記載の温度傾斜 ÷ 1000 (V/°C)

本 MCU の TSCDR レジスタには、 $T_a = T_j = 127^\circ\text{C}$  および  $AVCC0 = 3.3\text{ V}$  の条件下で測定された温度センサの温度値 (CAL127) が格納されています。この温度値を 1 点目のサンプル測定結果として使用することにより、温度センサ使用前の本準備を省略することができます。

V1 は、以下のように CAL127 から算出されます。

$$V_1 = 3.3 \times \text{CAL127} / 4096 \text{ [V]}$$

この値を用いて、以下の式により測定温度が算出できます。

$$T = (V_s - V_1) / \text{Slope} + 127 \text{ [}^\circ\text{C]}$$

T : 測定温度 (°C)

$V_s$  : 温度測定時の温度センサの出力電圧 (V)

V1 :  $T_a = T_j = 127^\circ\text{C}$  および  $AVCC0 = 3.3\text{ V}$  のときの温度センサの出力電圧 (V)

Slope : 表 43.32 に記載の温度傾斜 ÷ 1000 (V/°C)



## 37.3.2 温度センサの使用手順

図 37.2 に温度センサの使用手順フローを示します。ADC12 の設定手順については、「35. 12 ビット A/D コンバータ (ADC12)」を参照してください。

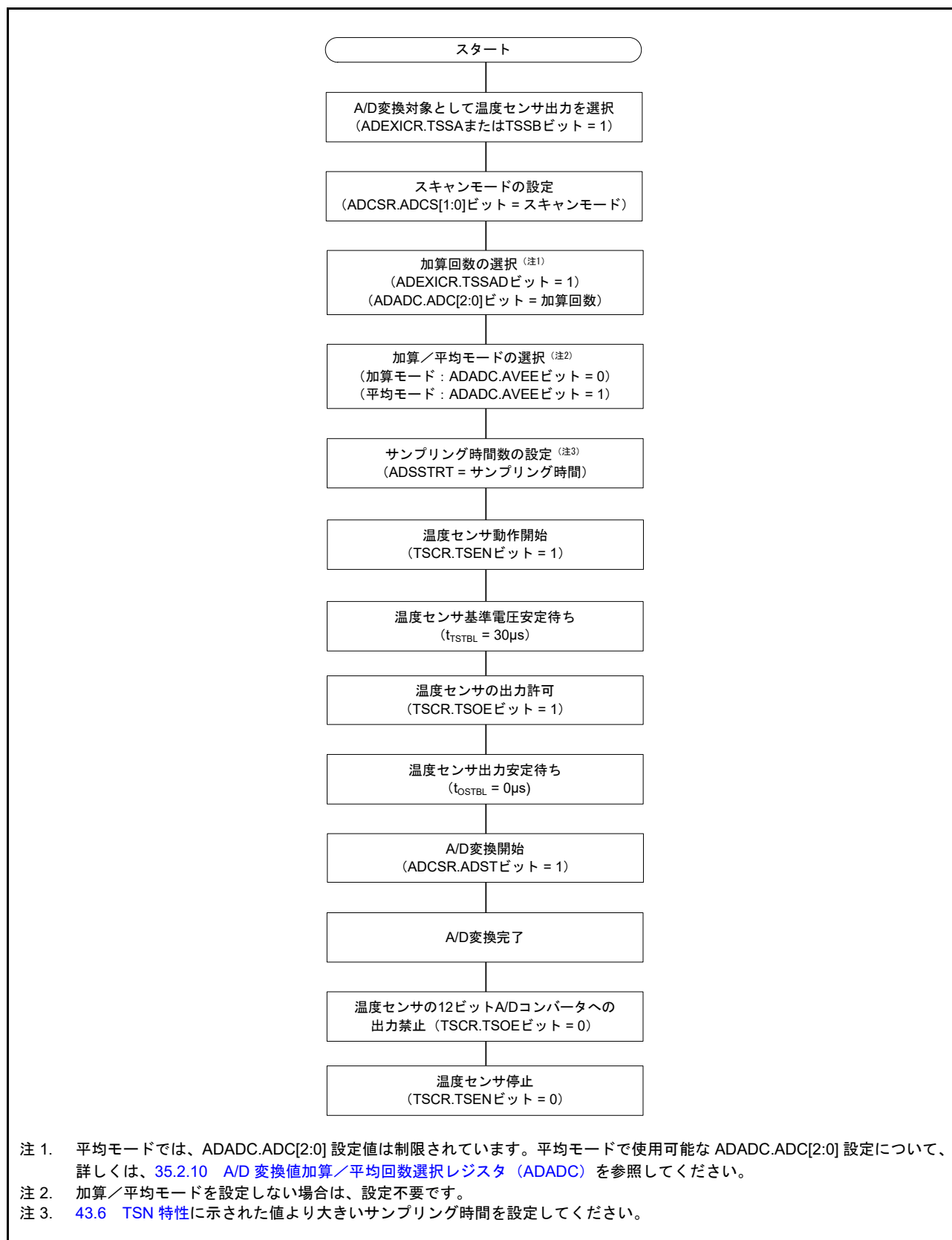


図 37.2 温度センサの使用手順

ADC12 がシングルスキャンモードで、温度センサ出力のみを A/D 変換対象としたときの、温度センサの動作開始から A/D 変換完了までのタイミングを図 37.3 に示します。表 37.2 に図中に示す時間を説明します。

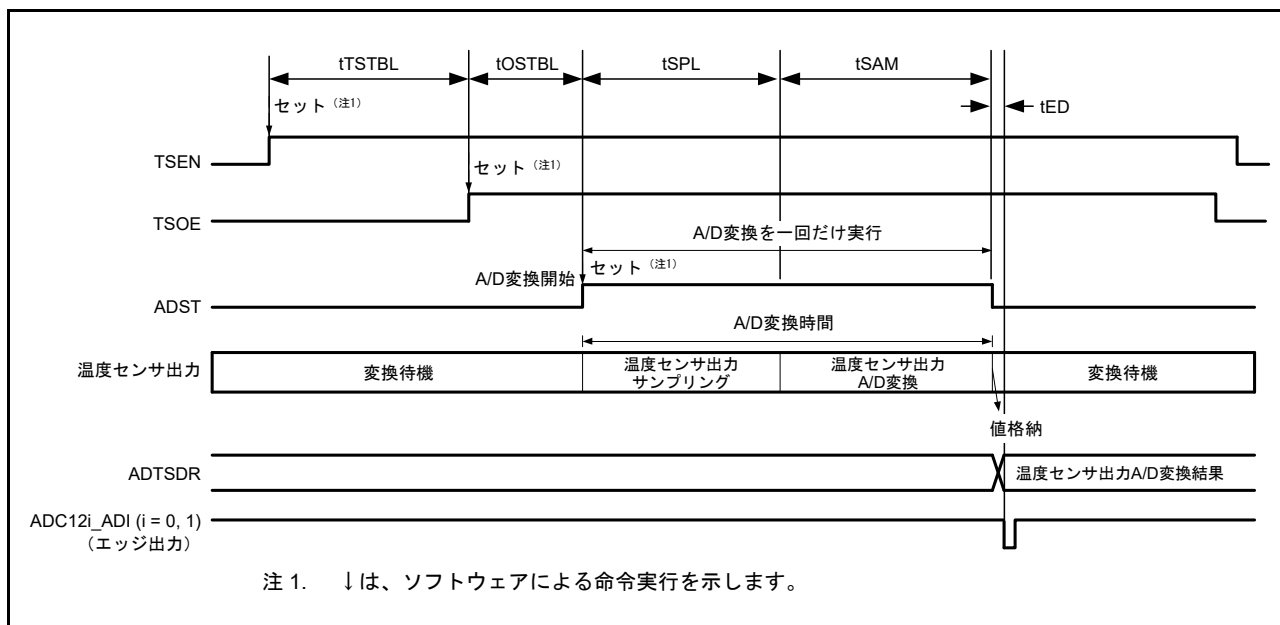


図 37.3 温度センサの動作開始から A/D 変換完了までのタイミング

表 37.2 温度センサの動作開始から A/D 変換完了までの時間

項目	シンボル	時間
温度センサ基準電圧安定待ち時間	tTSTBL	30 $\mu$ s (min)
温度センサ出力安定待ち時間	tOSTBL	0 $\mu$ s (min)
ADC12入力サンプリング時間	tSPL	ADSSTRTの設定値 $\times$ ADCLKサイクル
A/D変換処理時間	tSAM	表 35.10 スキャン変換時間 (ADCLKとPCLKBのサイクル数) を参照。
スキャン変換終了遅延	tED	

## 37.4 使用上の注意事項

### 37.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) の関連ビットにより、温度センサ動作の禁止/許可を設定できます。温度センサは、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

### 37.4.2 制限事項

温度センサの測定に、ADC12 の複数のチャンネルを同時に使用することは禁止されています。

## 38. 高速アナログコンパレータ (ACMPHS)

### 38.1 概要

高速アナログコンパレータ (ACMPHS) は、テスト電圧と基準電圧を比較し、変換結果に基づいてデジタル出力を行います。テスト電圧および基準電圧は、どちらも内部電源 (D/A コンバータ出力および内部基準電圧) および外部電源 (内部 PGA ありまたはなし) から ACMPHS に供給することが可能です。こうした柔軟性は、必ずしも A/D 変換を必要とせずアナログ信号に対して実行/中止の比較を行わなければならないようなアプリケーションに有効です。

表 38.1 に ACMPHS の仕様を、図 38.1 にブロック図を、表 38.2 に入力電源構成を示します。

表 38.1 ACMPHS0～5の仕様

項目	内容
チャンネル数	6チャンネル: ACMPHS0～ACMPHS5
アナログ入力電圧	<ul style="list-style-type: none"> <li>内部PGAから出力</li> <li>内部D/Aコンバータから出力</li> <li>内部A/Dコンバータ入力端子 (1つを選択可能) から入力</li> </ul>
基準電圧	<ul style="list-style-type: none"> <li>内部基準電圧 (Vref)</li> <li>内部D/Aコンバータから出力</li> <li>内部A/Dコンバータ入力端子 (1つを選択可能) から入力</li> </ul>
ACMPHS出力	<ul style="list-style-type: none"> <li>比較結果</li> <li>ELCイベント出力の発生</li> <li>レジスタからの出力監視</li> </ul>
割り込み要求信号	<ul style="list-style-type: none"> <li>比較結果からの有効エッジ検出時に生成された割り込み要求</li> <li>立ち上がりエッジ、立ち下がりエッジ、両エッジを選択可能</li> </ul>
デジタルフィルタ機能	<ul style="list-style-type: none"> <li>3つのサンプリング周波数から1つを選択可能</li> <li>フィルタ機能不使用の選択可能</li> </ul>

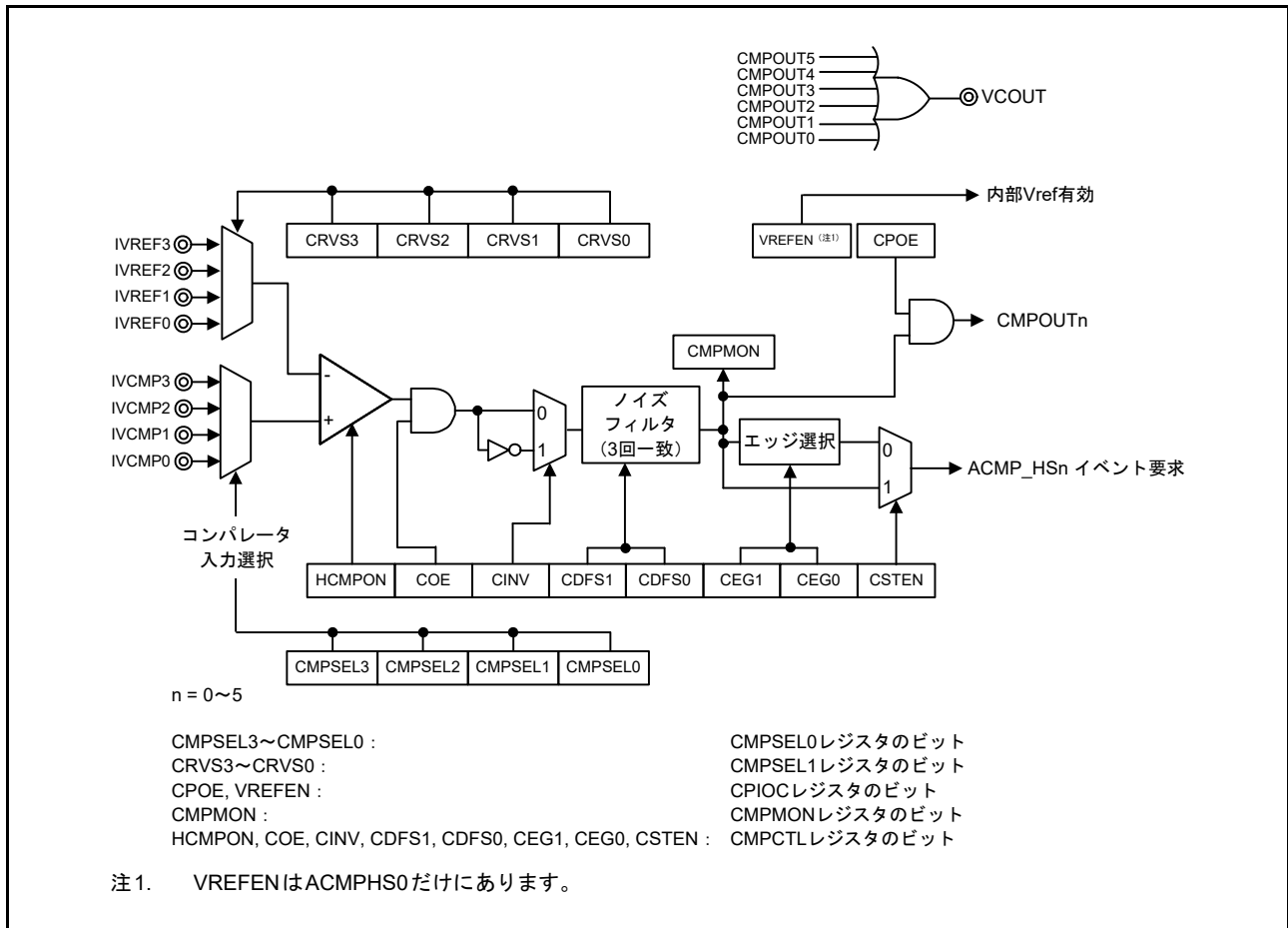


図 38.1 ACMPHS のブロック図

表 38.2 ACMPHS の入力電源構成

コンパレータ	基準電圧入力電源				アナログ電圧入力電源				出力端子
	IVREF3	IVREF2	IVREF1	IVREF0	IVCMP3	IVCMP2	IVCMP1	IVCMP0	
ACMPHS0	DA0 (注1)	Vref (注2)	AN116	AN016	PGA0 出力 (注6)	AN000 (注3) (注6)	DA1 (注4)	AN017	VCOUT (注5)
ACMPHS1	DA0 (注1)	Vref (注2)	AN116	AN016	PGA1 出力 (注6)	AN001 (注3) (注6)	DA1 (注4)	AN017	
ACMPHS2	DA0 (注1)	Vref (注2)	AN116	AN016	PGA2 出力 (注6)	AN002 (注3) (注6)	DA1 (注4)	AN017	
ACMPHS3	DA0 (注1)	Vref (注2)	AN116	AN016	PGA3 出力 (注6)	AN100 (注3) (注6)	DA1 (注4)	AN017	
ACMPHS4	DA0 (注1)	Vref (注2)	AN116	AN016	PGA4 出力 (注6)	AN101 (注3) (注6)	DA1 (注4)	AN017	
ACMPHS5	DA0 (注1)	Vref (注2)	AN116	AN016	PGA5 出力 (注6)	AN102 (注3) (注6)	DA1 (注4)	AN017	

- 注 1. D/A コンバータ 0 出力を使用しない場合、AN005/AN105 アナログ入力として信号を使用できます。
- 注 2. 内部電圧基準。
- 注 3. 入力は PGA を経路するため、対応するモジュールストップビット、MSTPCRD.MSTPD16 (ユニット 0)、または MSTPCRD.MSTPD15 (ユニット 1) を 0 にする必要があります。
- 注 4. D/A コンバータ 1 出力を使用しない場合、AN006/AN106 アナログ入力として信号を使用できます。
- 注 5. ACMPHS0 ~ ACMPHS5 のコンペア出力は VCOUT 端子に束ねられています。
- 注 6. ADC12 の設定が必要です。詳細は、「35.6.8 AN000 ~ AN002、AN007、AN100 ~ AN102、および AN107 の使用可能な機能とレジスタ設定」を参照してください。

## 38.2 レジスタの説明

## 38.2.1 コンパレータコントロールレジスタ (CMPCTL)

アドレス ACMPHS0.CMPCTL 4008 5000h, ACMPHS1.CMPCTL 4008 5100h, ACMPHS2.CMPCTL 4008 5200h,  
ACMPHS3.CMPCTL 4008 5300h, ACMPHS4.CMPCTL 4008 5400h, ACMPHS5.CMPCTL 4008 5500h

	b7	b6	b5	b4	b3	b2	b1	b0
	HCMP ON	CDFS[1:0]	CEG1	CEG0	CSTEN	COE	CINV	
リセット後の値	0	0	0	0	0	0	0	0

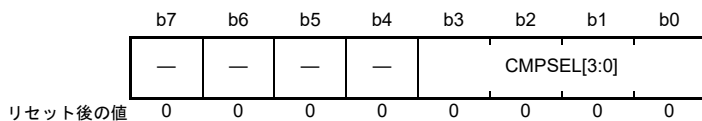
ビット	シンボル	ビット名	機能	R/W
b0	CINV	コンパレータ出力極性選択 (注2) (注3)	0: コンパレータ出力を反転しない 1: コンパレータ出力を反転する	R/W
b1	COE	コンパレータ出力許可	0: コンパレータ出力禁止 (出力信号はLow) 1: コンパレータ出力許可	R/W
b2	CSTEN	割り込み選択 (注1)	0: エッジセクタによる出力 1: 直接出力	R/W
b4-b3	CEG1/ CEG0	有効エッジ選択 (エッジセクタ)	b4 b3 0 0: エッジ検出しなし 0 1: 立ち上がりエッジ検出 1 0: 立ち下がりエッジ検出 1 1: 両エッジを検出	R/W
b6-b5	CDFS[1:0]	ノイズフィルタ選択 (注1) (注2) (注3) (注4)	b6 b5 0 0: ノイズフィルタを使用しない 0 1: PCLKB/2 <sup>3</sup> のノイズフィルタサンプリング周波数を使用 1 0: PCLKB/2 <sup>4</sup> のノイズフィルタサンプリング周波数を使用 1 1: PCLKB/2 <sup>5</sup> のノイズフィルタサンプリング周波数を使用	R/W
b7	HCMPON	コンパレータ動作制御 (注5)	0: 動作停止 (コンパレータがLowの信号を出力) 1: 動作許可 (コンパレータ端子への入力許可)	R/W

- 注 1. ACMPHS 割り込みによってソフトウェアスタンバイモードまたはスヌーズモードが解除される場合、CSTEN ビットを 1、CDFS[1:0] ビットを 00b にしてください。CSTEN は ACMPHS0 のみ対応しています。ACMPHSn.CMPCTL.CTESN (n = 1 ~ 5) は、0 にしてください。
- 注 2. CDFS[1:0] ビット、CINV ビットを変更する前に、ACMPHS 出力を禁止 (COE = 0) にしてください。
- 注 3. CDFS[1:0] ビットおよび CINV ビットが変更されると、ACMPHS 割り込み要求および ELC イベントが発生する場合があります。これらのビットを変更する前に、ELSRn レジスタを 0 (ACMPHS 出力がリンクしていない) にしてください。ビット変更後、IELSRn レジスタの IR フラグを 0 にして割り込みステータスをクリアしてください。
- 注 4. CDFS[1:0] ビットを 00b (ノイズフィルタ不使用) から 00b 以外の値 (ノイズフィルタ使用) に変更する場合、サンプリングを 4 回行い、フィルタ出力を更新した後、ACMPHS 割り込み要求または ELC イベントを使用してください。
- 注 5. ACMPHS 動作を有効 (HCMPON = 1) にした後は、ACMPHS 動作を許可するために安定待機時間が必要です。ACMPHS モジュール 0 ~ 5 の動作安定待機時間は 300ns です。

CMPCTL レジスタは、ACMPHS 動作の制御、ACMPHS 出力の許可/禁止、ノイズフィルタ選択、割り込み信号の有効エッジ選択、および割り込み選択を行います。リセットはこのレジスタを 00h にクリアします。

## 38.2.2 コンパレータ入力選択レジスタ (CMPSEL0)

アドレス ACMPHS0.CMPSEL0 4008 5004h, ACMPHS1.CMPSEL0 4008 5104h, ACMPHS2.CMPSEL0 4008 5204h, ACMPHS3.CMPSEL0 4008 5304h, ACMPHS4.CMPSEL0 4008 5404h, ACMPHS5.CMPSEL0 4008 5504h



ビット	シンボル	ビット名	機能	R/W																		
b3-b0	CMPSEL[3:0]	コンパレータ入力選択 (注1)	<table border="0"> <tr> <td>b3</td> <td>b0</td> <td></td> </tr> <tr> <td>0 0 0 0</td> <td>0</td> <td>: 入力しない</td> </tr> <tr> <td>0 0 0 1</td> <td>1</td> <td>: IVCMP0を選択 (注2)</td> </tr> <tr> <td>0 0 1 0</td> <td>0</td> <td>: IVCMP1を選択 (注2)</td> </tr> <tr> <td>0 1 0 0</td> <td>0</td> <td>: IVCMP2を選択 (注2)</td> </tr> <tr> <td>1 0 0 0</td> <td>0</td> <td>: IVCMP3を選択 (注2)</td> </tr> </table> 上記以外は設定しないでください。	b3	b0		0 0 0 0	0	: 入力しない	0 0 0 1	1	: IVCMP0を選択 (注2)	0 0 1 0	0	: IVCMP1を選択 (注2)	0 1 0 0	0	: IVCMP2を選択 (注2)	1 0 0 0	0	: IVCMP3を選択 (注2)	R/W
b3	b0																					
0 0 0 0	0	: 入力しない																				
0 0 0 1	1	: IVCMP0を選択 (注2)																				
0 0 1 0	0	: IVCMP1を選択 (注2)																				
0 1 0 0	0	: IVCMP2を選択 (注2)																				
1 0 0 0	0	: IVCMP3を選択 (注2)																				
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																		

注 1. CMPSEL[3:0] ビットは下記の手順で変更してください。CMPSEL0 レジスタの値が 0000 0000b 以外の場合、0000 0000b 以外の値の書き込みは無効です。2つ以上のビットへの1の書き込みも無効です。どちらの場合も、変更前の値が保持されません。

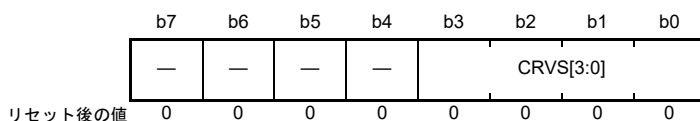
CMPSEL[3:0] ビットを変更するには、以下を実行します。

1. CMPCTL.COE ビットを0にする。
2. CMPSEL0 レジスタを 0000 0000b にする。
3. CMPSEL[3:0] ビットに新しい値を設定する。このとき、いずれか1つのビットのみを1にする。
4. 入力切り替え安定待機時間 (200ns) の経過を待つ。
5. CMPCTL.COE ビットを1にする。
6. IELSRn レジスタの IR フラグをクリアし、割り込みステータスをクリアする。

注 2. 詳細は、表 38.2 を参照してください。

## 38.2.3 コンパレータ基準電圧選択レジスタ (CMPSEL1)

アドレス [ACMPHS0.CMPSEL1 4008 5008h](#), [ACMPHS1.CMPSEL1 4008 5108h](#), [ACMPHS2.CMPSEL1 4008 5208h](#),  
[ACMPHS3.CMPSEL1 4008 5308h](#), [ACMPHS4.CMPSEL1 4008 5408h](#), [ACMPHS5.CMPSEL1 4008 5508h](#)



ビット	シンボル	ビット名	機能	R/W												
b3-b0	CRVS[3:0]	基準電圧選択 (注1)	<table border="0" style="width: 100%;"> <tr> <td style="width: 50%;">b3</td> <td style="width: 50%;">b0</td> </tr> <tr> <td>0 0 0 0</td> <td>0 : 入力しない</td> </tr> <tr> <td>0 0 0 1</td> <td>0 : IVREF0を選択 (注2)</td> </tr> <tr> <td>0 0 1 0</td> <td>0 : IVREF1を選択 (注2)</td> </tr> <tr> <td>0 1 0 0</td> <td>0 : IVREF2を選択 (注2)</td> </tr> <tr> <td>1 0 0 0</td> <td>0 : IVREF3を選択 (注2)</td> </tr> </table> 上記以外は設定しないでください。	b3	b0	0 0 0 0	0 : 入力しない	0 0 0 1	0 : IVREF0を選択 (注2)	0 0 1 0	0 : IVREF1を選択 (注2)	0 1 0 0	0 : IVREF2を選択 (注2)	1 0 0 0	0 : IVREF3を選択 (注2)	R/W
b3	b0															
0 0 0 0	0 : 入力しない															
0 0 0 1	0 : IVREF0を選択 (注2)															
0 0 1 0	0 : IVREF1を選択 (注2)															
0 1 0 0	0 : IVREF2を選択 (注2)															
1 0 0 0	0 : IVREF3を選択 (注2)															
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W												

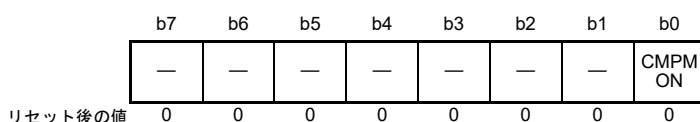
注 1. CRVS[3:0] ビットは下記の手順で変更してください。CMPSEL1 レジスタの値が 0000 0000b 以外の場合、0000 0000b 以外の値の書き込みは無効です。2つ以上のビットへの1の書き込みも無効です。どちらの場合も、変更前の値が保持されます。CRVS[3:0] ビットを変更するには、以下を実行します。

1. CMPCTL.COE ビットを0にする。
2. CMPSEL1 レジスタを 0000 0000b にする。
3. CRVS[3:0] ビットに新しい値を設定する。このとき、いずれか1つのビットのみを1にする。
4. 入力切り替え安定待機時間 (200ns) の経過を待つ。
5. CMPCTL.COE ビットを1にする。
6. IELSRn レジスタの IR フラグをクリアし、割り込みステータスをクリアする。

注 2. 詳細は、表 38.2 を参照してください。

## 38.2.4 コンパレータ出力モニタレジスタ (CMPMON)

アドレス [ACMPHS0.CMPMON 4008 500Ch](#), [ACMPHS1.CMPMON 4008 510Ch](#), [ACMPHS2.CMPMON 4008 520Ch](#),  
[ACMPHS3.CMPMON 4008 530Ch](#), [ACMPHS4.CMPMON 4008 540Ch](#), [ACMPHS5.CMPMON 4008 550Ch](#)



ビット	シンボル	ビット名	機能	R/W
b0	CMPMON	コンパレータ出力監視 (注1)	0 : コンパレータ出力はLow 1 : コンパレータ出力はHigh	R
b7-b1	—	予約ビット	読むと0が読めます。	R

注 1. ACMPHS の動作が有効 (HCOMPON = COE = 1) であるが、ノイズフィルタを使用していない (CDFS[1:0] = 00b) 場合、CMPMON ビットを2度読み出し、2つの連続した値が一致した後でのみ値を使用するようソフトウェアアプリケーションを設計してください。



## 38.2.5 コンパレータ出カコントロールレジスタ (CPIOC)

アドレス ACMPHS0.CPIOC 4008 5010h, ACMPHS1.CPIOC 4008 5110h, ACMPHS2.CPIOC 4008 5210h,  
ACMPHS3.CPIOC 4008 5310h, ACMPHS4.CPIOC 4008 5410h, ACMPHS5.CPIOC 4008 5510h

	b7	b6	b5	b4	b3	b2	b1	b0
	VREFEN	—	—	—	—	—	—	CPOE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPOE	コンパレータ出力選択	0 : コンパレータのVCOOUT端子出力を禁止 (出力信号はLow) 1 : コンパレータのVCOOUT端子出力を許可	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	VREFEN	内部Vref許可 (注1)	0 : 内部Vrefを禁止 1 : 内部Vrefを許可	R/W

注 1. ACMPHS モジュール 0 ~ 5 の場合、VREFEN は ACMPHS0.CPIOC だけにあります。COMP0 ~ COMP5 で内部 Vref を使用する場合、ACMPHS0.CPIOC の VREFEN ビットを 1 にしてください。ACMPHS1.CPIOC ~ ACMPHS5.CPIOC レジスタのビット 7 は、内部 Vref を使用するかどうかにかかわらず、0 にしてください。

## 38.3 動作説明

ACMPHSは、基準電圧とアナログ入力電圧を比較します。ACMPHSの動作中にレジスタの値を変更した場合、動作は保証されません。表 38.3 に、ACMPHSに関連するレジスタの設定手順を示します。

表 38.3 ACMPHSn (n = 0~5) に関連するレジスタの設定手順

手順	レジスタ	ビット	設定
1	関連MSTPCRDレジスタ	MSTPD28~MSTPD23	0: 入力クロック供給
2	関連する端子機能コントロールレジスタ (PFS)	ASEL	1: IVREFおよびIVCMP端子の機能を選択
3	ACMPHS0.CPIOC	VREFEN	1: 内部Vrefを使用する場合
4	関連するD/Aコンバータ		D/Aコンバータを使用する場合、レジスタで選択
5	CMPSEL0、CMPSEL1	CMPSEL0~CMPSEL3、 CRVS0~CRVS3	ACMPHSn入力を選択します。このとき、いずれか1つのビットのみを1にします。
6	CMPCTL	CDFS[1:0]、CEG1、CEG0、 CINV	ACMPHSn制御を設定
		HCM PON	1: ACMPHSn動作を許可
7	ACMPHS安定時間 (最小300ns) 待機		
8	CMPCTL	COE	1: ACMPHSn出力を許可
9	CPIOC	CPOE	VCOOUT出力を設定
	関連するポートmn端子機能選択レジスタ (PmnPFS)	PSEL、PMR	VCOOUTポート機能を選択
10	IELSRn	IR、IELS[8:0]	割り込みを使用する場合は割り込みステータスフラグおよびICUイベントリンクを選択 (注1)
11	ELSRn	ELS[8:0]	ELCを使用する場合はイベントリンクを選択 (注2)
12	動作開始		
13	CMPCTL	COE	0: IVREFまたはIVCMPを変更する場合はACMPHSn出力を禁止
14	CMPSEL1	CRVS0~CRVS3	以下の手順でCMPSEL1ビットを変更してください。 1. CMPSEL1ビットを0000 0000bにします。 2. 新しい値をCMPSEL1ビットに設定します。 このとき、いずれか1つのビットのみを1にします。
	CMPSEL0	CMPSEL0~CMPSEL3	以下の手順でCMPSEL0ビットを変更してください。 1. CMPSEL0ビットを0000 0000bにします。 2. 新しい値をCMPSEL0ビットに設定します。 このとき、いずれか1つのビットのみを1にします。
15	ACMPHS切り替え安定時間 (最小200ns) 待機		
16	CMPCTL	COE	1: ACMPHSn出力を許可
17	動作再開		

注 1. ACMPHSnを設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、割り込みフラグを初期化してください。

注 2. ACMPHSnを設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、イベントリンク選択を初期化してください。

ACMPHSの動作例を図 38.2 に示します。アナログ入力電圧がACMPHS基準入力電圧より高くなるとVCOOUT出力は1になり、低くなると0になります。ACMPHS出力が変わると、割り込み要求およびELCイベントが出力されます。

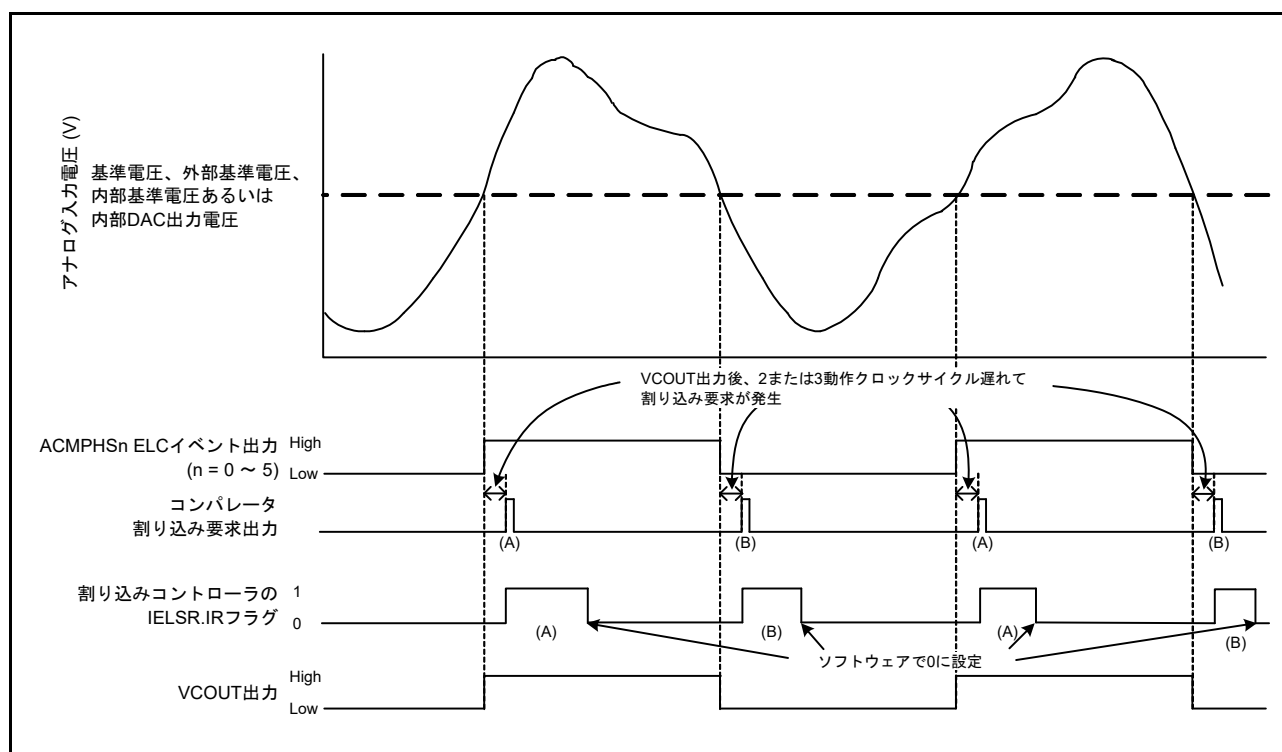


図 38.2 ACMPHS の動作例

図 38.2 は  $CPOE = 1$  (端子出力許可)、 $CDFS[1:0] = 00b$  (フィルタ不使用)、および  $CEG1 = CEG0 = 1$  (両エッジ検出を選択) の場合に適用されます。 $CINV = 0$ 、 $CEG0 = 1$ 、 $CEG1 = 0$  (ACMPHS からの非反転出力信号の立ち上がりエッジ検出を選択) の場合、IELSR.IR フラグは (A) で示されるように変化します。 $CINV = 0$ 、 $CEG0 = 0$ 、 $CEG1 = 1$  (ACMPHS からの非反転出力信号の立ち下がりエッジ検出を選択) の場合、IELSR.IR フラグは (B) で示されるように変化します。 $CPOE = 1$  の場合、VCOUT は ELC イベント出力を直接出力します。

### 38.4 ノイズフィルタ

ACMPHS はノイズフィルタを搭載しています。CMPCTL.CDFS[1:0] ビットによってサンプリングクロックの選択が可能です。ACMPHS 信号は、サンプリングクロックごとにサンプリングされ、同じ値が 3 回サンプリングされた場合、次のサンプリングクロック周期のノイズフィルタ出力が ACMPHS 出力として使用されます。

ノイズフィルタとエッジ検出器の構成を図 38.3 に、ノイズフィルタと割り込み動作の例を図 38.4 に示します。

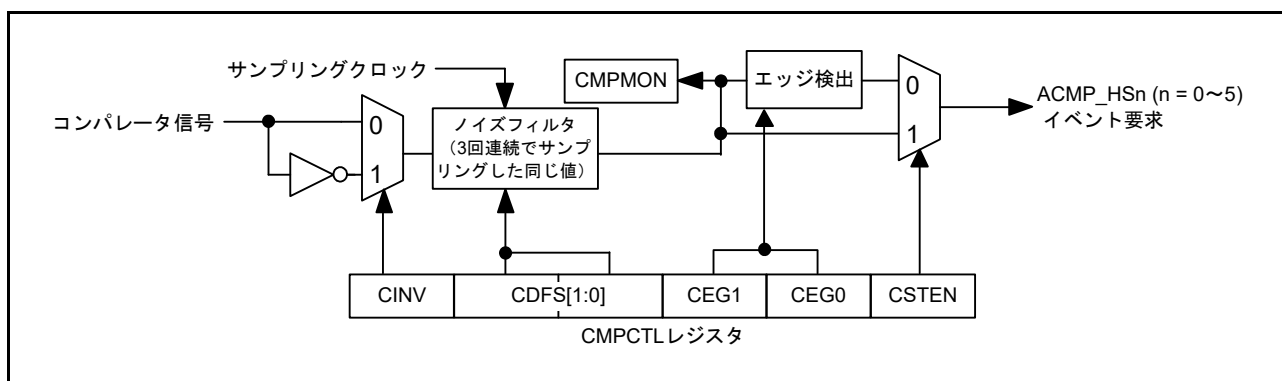


図 38.3 ノイズフィルタおよびエッジ検出の構成

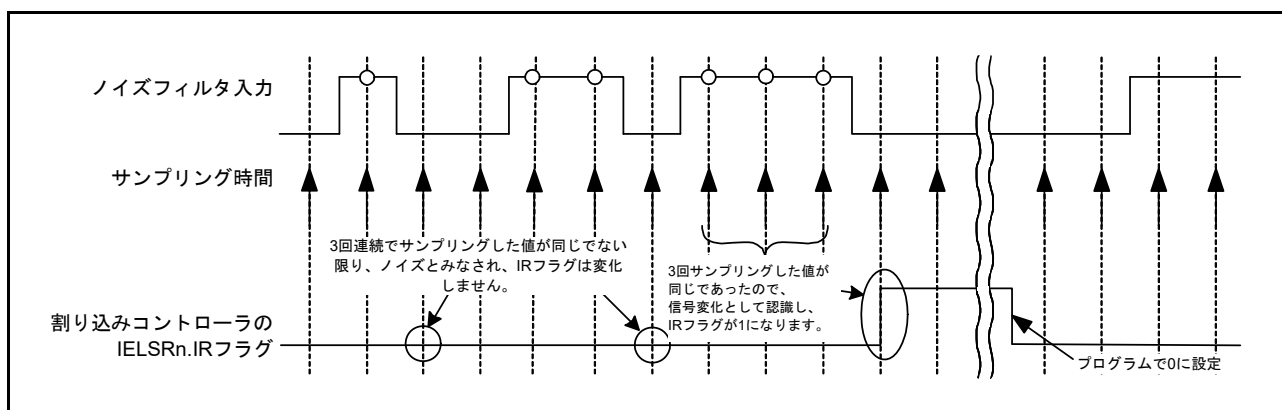


図 38.4 ノイズフィルタおよび割り込み動作例

図 38.4 の動作例は CMPCTL.CDFS[1:0] ビットが 01b、10b、または 11b (ノイズフィルタ使用) の場合に適用されます。

## 38.5 ACMPHS 割り込み

ACMPHS は、ACMPHS0 ~ ACMPHS5 のソースから 6 つの割り込み要求を生成します。ACMPHS 割り込みを使用するには、使用する割り込みを割り込みコントローラユニット (ICU) の IELSR レジスタで選択します。割り込み要求にエッジセレクタを使用するかしないかは、CMPCTL.CSTEN ビットで選択します。

エッジセレクタで ACMPHS 割り込みを使用する場合は、CMPCTL.CEG0 ビットおよび CMPCTL.CEG1 ビットのうち少なくとも 1 つを 1 (00b (エッジ選択なし) 以外の値) にしてください。ほとんどの場合、CMPCTL.CSTEN ビットを 0 (エッジセレクタによる出力) にします。本ビットは、ソフトウェアスタンバイまたはスヌーズモードの解除時のみ 1 にできます。

ソフトウェアスタンバイモードまたはスヌーズモード時に ACMPHS 割り込みを使用するには、CMPCTL.CSTEN ビットを 1 (直接出力) に、CMPCTL.CDFS[1:0] ビットを 00b (デジタルノイズフィルタ不使用) に、CMPCTL.CINV を以下のとおり設定してください。

- 比較結果 1 から 0 を検出する場合、CMPCTL.CINV を 0 (コンパレータ出力を反転しない) にします
- 比較結果 0 から 1 を検出する場合、CMPCTL.CINV を 1 (コンパレータ出力を反転する) にします

ACMPHS0 割り込み要求を使用して、ソフトウェアスタンバイモードまたはスヌーズモードを解除できます。ACMPHS1 ~ ACMPHS5 は使用できません。ACMPHS 割り込み要求に関連するレジスタ設定については、[38.2.1 コンパレータコントロールレジスタ \(CMPCTL\)](#) を参照してください。

## 38.6 イベントリンクコントローラ (ELC) への ACMPHS 出力

ELC は、ACMPHS 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPHS ELC イベントを使用するには、使用するイベントを ELC の ELSRn レジスタで選択します。ELC イベント要求を使用する場合、CMPCTL.CSTEN ビットを 0 (エッジセレクタを介して出力) にします。また、CMPCTL.CEG0 ビットおよび CMPCTL.CEG1 ビットのうち少なくとも 1 つを 1 (00b (エッジ選択なし) 以外の値) にしてください。

## 38.7 ACMPHS 端子出力

ACMPHS からの比較結果は外部端子に出力できます。CMPCTL.CINV および CPIOC.CPOE ビットを使用して、出力極性 (非反転出力または反転出力) および出力許可/禁止を設定することが可能です。ACMPHS 比較結果を VCOUT 出力端子に出力するには、I/O レジスタの関連ポート mn 端子機能コントロールレジスタ (PmnPFS) を設定してください。

## 38.8 使用上の注意事項

### 38.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタを使用して、ACMPHS 動作を禁止/許可できます。ACMPHS は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

### 38.8.2 ADC12 との関係

ACMPHS アナログ入力と ADC12 アナログ入力を同時に使用する場合は制限がかかります。詳細は、[35.6.13 ADC12 \(ユニット 0 およびユニット 1\) と ACMPHS の関係](#)を参照してください。

## 39. データ演算回路 (DOC)

### 39.1 概要

データ演算回路 (DOC) は、16 ビットデータの比較、加算、および減算を行う機能です。選択した条件に該当する場合、16 ビットのデータが比較されて、割り込みが発生します。

表 39.1 に DOC の仕様を、図 39.1 にブロック図を示します。

表 39.1 DOCの仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
モジュール停止機能	モジュール停止状態に設定して消費電力を削減
割り込みとイベントリンク機能 (DOC_DOPCI)	割り込みの発生条件 <ul style="list-style-type: none"> <li>データ比較の結果が一致または不一致のとき</li> <li>データ加算の結果がFFFFhより大きくなったとき</li> <li>データ減算の結果が0000hより小さくなったとき</li> </ul>

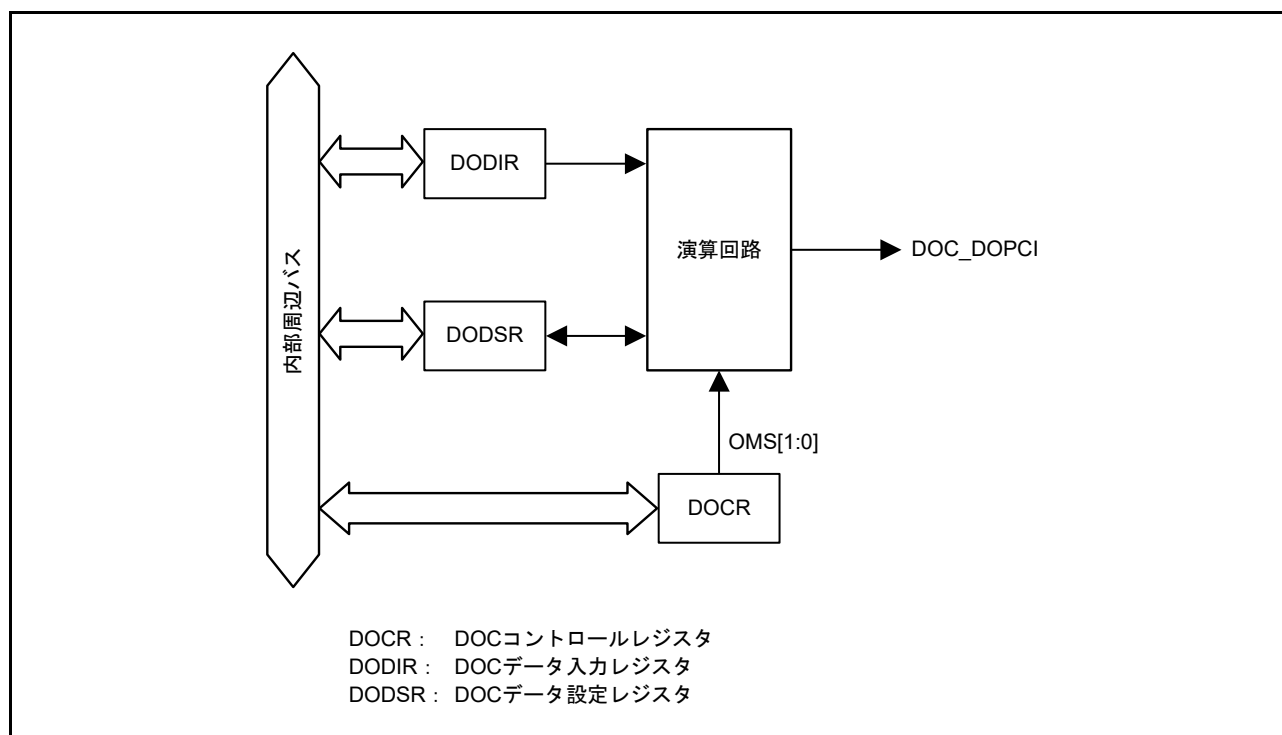


図 39.1 DOC ブロック図

## 39.2 レジスタの説明

### 39.2.1 DOC コントロールレジスタ (DOCR)

アドレス `DOC.DOCR 4005 4100h`

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	—	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択	b1 b0 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定禁止	R/W
b2	DCSEL (注1)	検出条件選択	0: データの不一致検出時にDOPCFを設定 1: データの一致検出時にDOPCFを設定	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します。	R
b6	DOPCFCL	DOPCFクリア	0: DOPCFフラグ状態を保持 1: DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. データ比較モード選択時のみ有効

#### OMS[1:0] ビット (動作モード選択)

DOCの動作モードを選択します。

#### DCSEL ビット (検出条件選択)

データ比較モード時の検出条件を選択します。データ比較モード選択時のみ有効です。

#### DOPCF フラグ (データ演算回路フラグ)

動作結果を示します。

[1になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が FFFFh より大きくなったとき
- データ減算の結果が 0000h より小さくなったとき

[0になる条件]

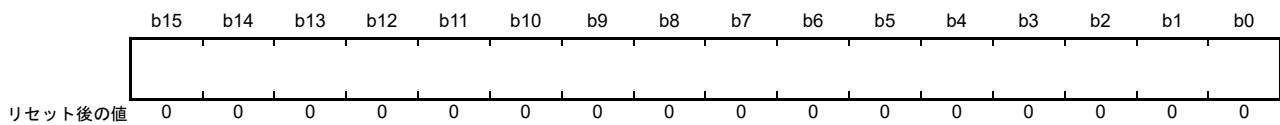
- DOPCFCL ビットに 1 を書き込んだとき

#### DOPCFCL ビット (DOPCF クリア)

本ビットを 1 にすると DOPCF フラグをクリアします。読むと 0 が読めます。

### 39.2.2 DOC データインプットレジスタ (DODIR)

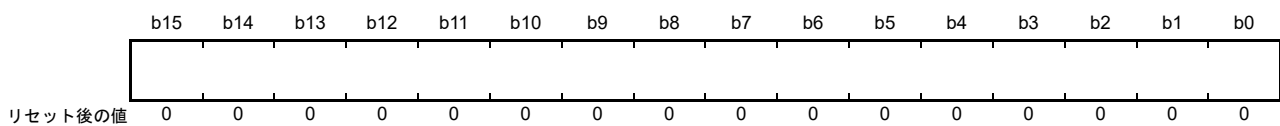
アドレス `DOC.DODIR 4005 4102h`



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットの読み出し/書き込みレジスタです。

### 39.2.3 DOC データ設定レジスタ (DODSR)

アドレス `DOC.DODSR 4005 4104h`



DODSR は、データ比較モードで基準として使用される 16 ビットのデータを格納する 16 ビットの読み出し/書き込みレジスタです。また、データ加算モードおよびデータ減算モードでは、演算結果を格納しません。



## 39.3 動作説明

### 39.3.1 データ比較モード

図 39.2 に、データ比較モードの DOC 動作例を示します。以下は DCSEL = 0 (データ比較の結果、不一致を検出) 設定時の動作例です。

1. DOCR.OMS[1:0] ビットに 00b を書き込み、データ比較モードにします。
2. DODSR レジスタに基準となる 16 ビットのデータを設定します。
3. DODIR レジスタに比較する 16 ビットのデータを書き込みます。
4. 比較するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. DODIR レジスタに書き込まれたデータが DODSR レジスタ内のデータと一致しなかったとき (注 1)、DOCR.DOPCF フラグが 1 になります。

注 1. DOCR.DCSEL = 0 の場合

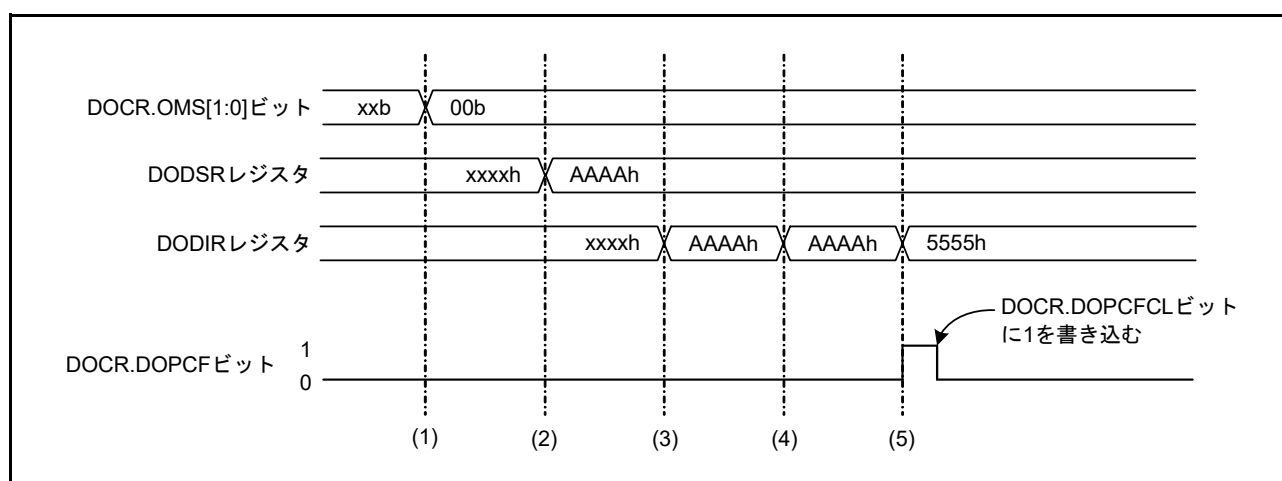


図 39.2 データ比較モードの動作例

### 39.3.2 データ加算モード

図 39.3 にデータ加算モードの DOC 動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0] ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR レジスタに初期値として 16 ビットのデータを設定します。
3. DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 加算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が FFFFh よりも大きくなったとき DOCR.DOPCF フラグが 1 になります。

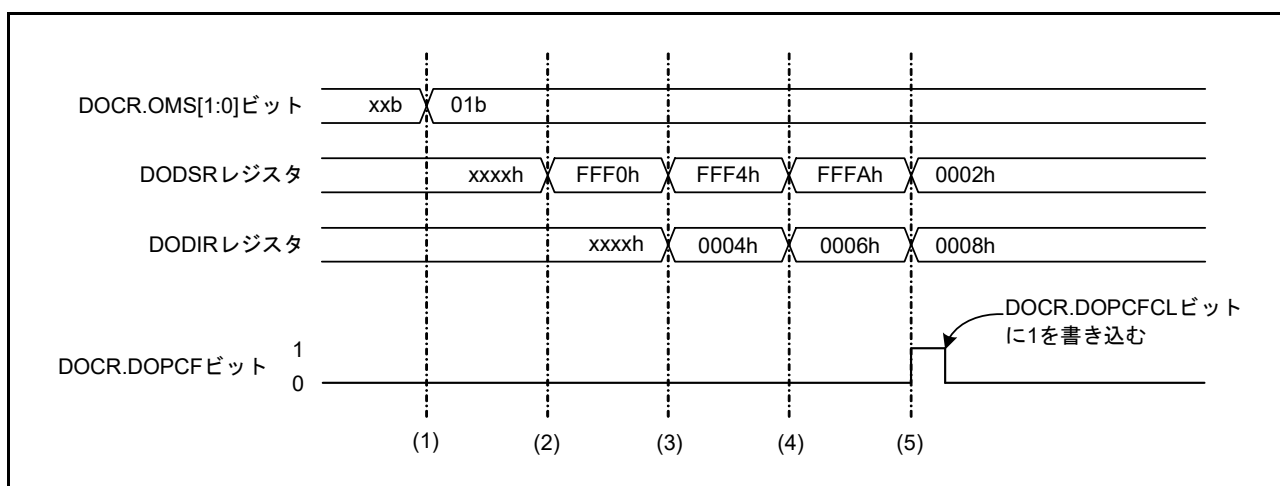


図 39.3 データ加算モードの動作例

### 39.3.3 データ減算モード

図 39.4 にデータ減算モードの DOC 動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0] ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR レジスタに初期値として 16 ビットのデータを設定します。
3. DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 減算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が 0000h よりも小さくなったとき DOCR.DOPCF フラグが 1 になります。

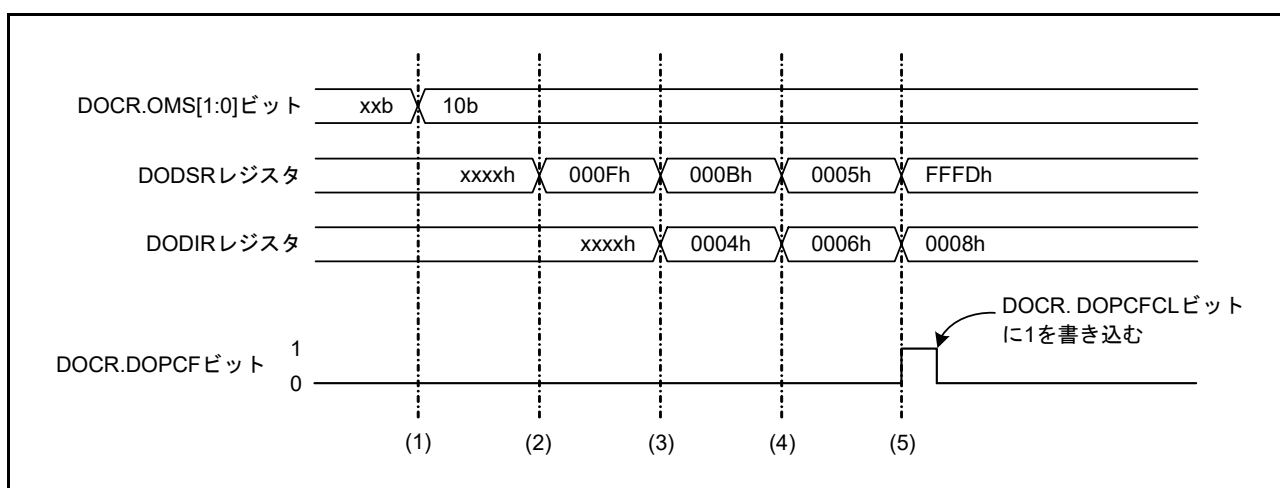


図 39.4 データ減算モードの動作例

## 39.4 イベントリンクコントローラ (ELC) への割り込み要求と出力

DOC は以下の条件で ELC にイベント信号を出力します。

- データ比較の結果が一致または不一致のとき
- データの加算結果が FFFFh より大きいとき
- データの減算結果が 0000h より小さいとき

この信号を使用して、あらかじめ設定していたモジュールの動作を開始させることができます。また、割り込み要求として使用することもできます。イベント信号が発生すると、データ演算回路フラグ (DOCR.DOPCF) が 1 になります。

## 39.5 使用上の注意事項

### 39.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DOC 動作の禁止/許可を設定することが可能です。DOC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[11. 低消費電力モード](#)」を参照してください。

## 40. SRAM

### 40.1 概要

本 MCU は、パリティビットチェック機能を備えたオンチップ高速 SRAM モジュールを搭載しています。SRAM の仕様を [表 40.1](#) に示します。

**表 40.1 SRAMの仕様**

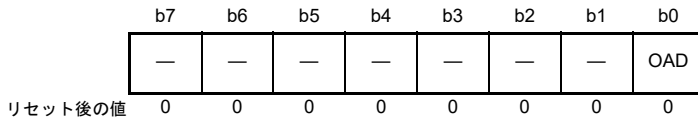
項目	内容 (SRAMHSの場合)
SRAM容量	SRAMHS : 64KB
SRAMアドレス	SRAMHS : 1FFE 0000h~1FFE FFFFh
アクセス (注1)	SRAMHSへのアクセスは、常にウェイトステートなしになります。
データ保持	ディープソフトウェアスタンバイモード時のデータ保持機能なし
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
パリティ	偶数パリティ (データ : 8ビット、パリティ : 1ビット)
エラーチェック機能	偶数パリティエラーチェック

注 1. 詳細は、[40.3.4 アクセスサイクル](#)を参照してください。

## 40.2 レジスタの説明

### 40.2.1 SRAM パリティエラー検出後動作レジスタ (PARIOAD)

アドレス SRAM.PARIOAD 4000 2000h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	1: リセット 0: ノンマスカブル割り込み	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

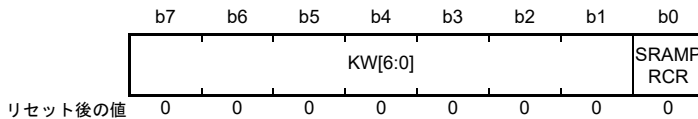
PARIOAD レジスタは、パリティエラー検出時の動作を制御します。本レジスタへの書き込みは SRAM プロテクトレジスタ (SRAMPRCR) によって保護されています。本レジスタに書き込む前に、必ず SRAMPRCR レジスタの SRAMPRCR ビットを設定してください。SRAM アクセス中は、PARIOAD レジスタへの書き込みは行わないでください。

#### OAD ビット (検出後の動作)

パリティエラーが検出された場合、リセットまたはノンマスカブル割り込みのどちらを発生させるか指定します。

### 40.2.2 SRAM プロテクトレジスタ (SRAMPRCR)

アドレス SRAM.SRAMPRCR 4000 2004h



ビット	シンボル	ビット名	機能	R/W
b0	SRAMPRCR	レジスタ書き込み制御	0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW[6:0]	書き込みキーコード	SRAMPRCR ビットへの書き込みを許可または禁止します。	R/W

#### SRAMPRCR ビット (レジスタ書き込み制御)

PARIOAD レジスタのライトモードを制御します。本ビットが1のとき、PARIOAD レジスタへの書き込みが許可されます。本ビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。

#### KW[6:0] ビット (書き込みキーコード)

SRAMPRCR ビットへの書き込みを許可または禁止します。SRAMPRCR ビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。それ以外の値を KW[6:0] に書き込むと、SRAMPRCR ビットは更新されません。KW[6:0] は読むと常に 00h が読み出されます。

## 40.3 動作説明

### 40.3.1 低消費電力機能

モジュールストップコントロールレジスタ A (MSTPCRA) の設定により、SRAM へのクロック信号の供給を停止することで、消費電力を低減できます。各モジュールの制御ビットは以下のとおりです。

- MSTPCRA.MSTPA5 ビットを 1 にすると、SRAMHS へのクロック信号の供給が停止

クロック信号の供給が停止すると、SRAM はモジュールストップ状態になります。リセット後は、SRAM は動作します。

SRAM アクセス中は、モジュールストップ状態に遷移しないでください。モジュールストップ状態のとき、SRAM へのアクセスは禁止です。アクセスした場合の正常動作については保証できません。MSTPCRA レジスタの詳細については、「[11. 低消費電力モード](#)」の章を参照してください。

### 40.3.2 パリティ計算機能

IEC60730 規格に準拠するには、SRAM データのチェックが必要です。データ書き込み時に 32 ビットデータ幅の SRAM に格納されている 8 ビットデータごとにパリティビットが付与され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを起こすためにも使用できます。SRAMHS の仕様は偶数パリティです。

パリティエラー通知には、PARIOAD.OAD ビットで、ノンマスクブル割り込みまたはリセットのいずれかを指定できます。PARIOAD.OAD ビットが 1 のとき、パリティエラーはリセット機能に出力されます。OAD ビットが 0 のとき、パリティエラーはノンマスクブル割り込みとして ICU に出力されます。

パリティエラーはしばしばノイズにより発生します。パリティエラーの原因がノイズか破損かを確認するには、[図 40.1](#) および [図 40.2](#) に示されたパリティチェックフローを参照してください。

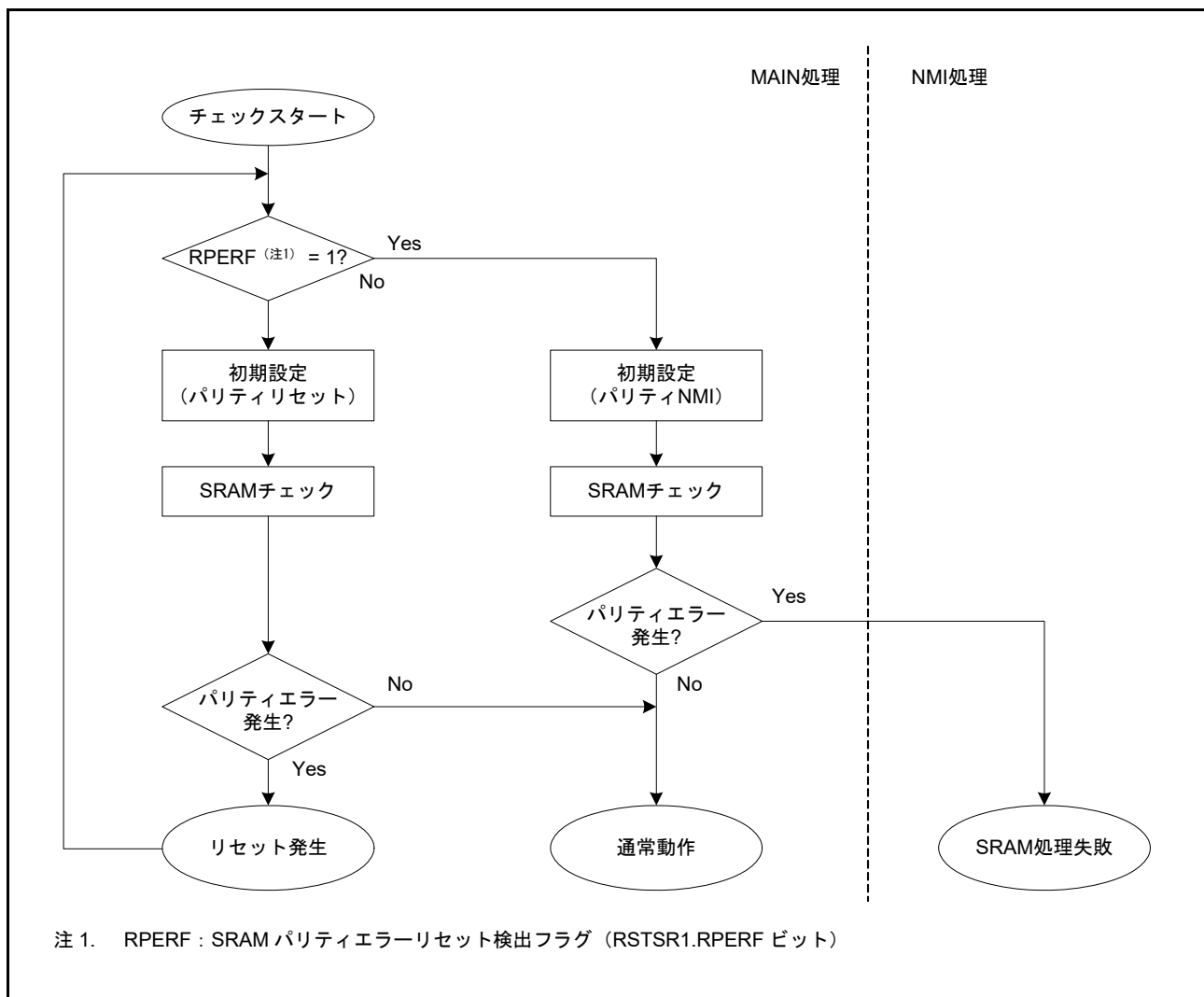


図 40.1 SRAM パリティリセット許可の場合の SRAM パリティチェックのフロー

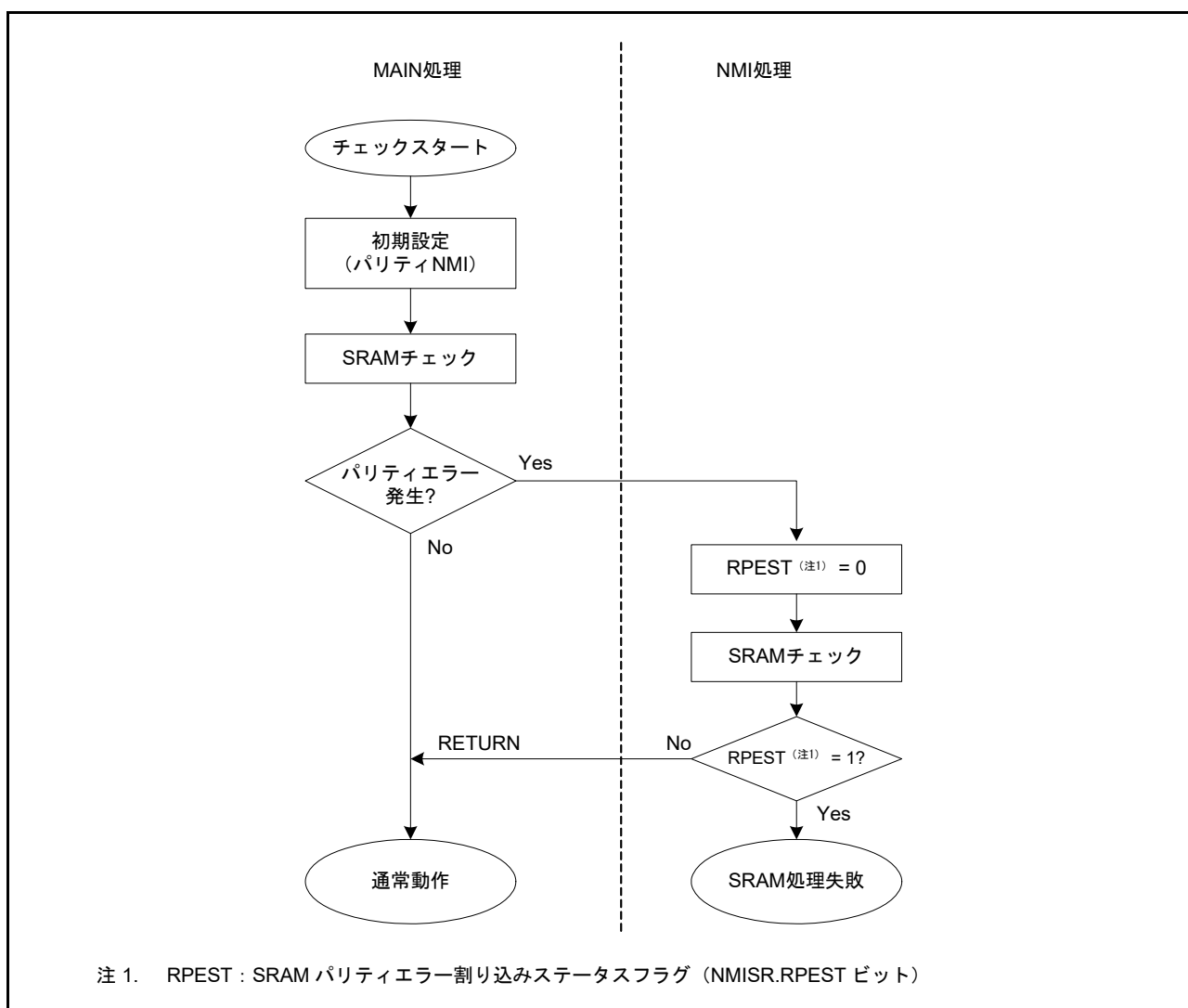


図 40.2 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフロー

### 40.3.3 SRAM エラー要因

SRAM エラーの原因は、パリティエラーです。パリティエラーは、ノンマスカブル割り込みとリセットのどちらかを発生させることができます。どちらを発生させるかは、PARIOAD.OAD ビットで選択します。

表 40.2 SRAM エラー要因

割り込み要因	DTC 起動	DMAC 起動
パリティエラー (SRAMHS)	不可能	不可能

### 40.3.4 アクセスサイクル

表 40.3 SRAMHS (パリティ領域 1FFE 0000h ~ 1FFE FFFFh)

リード (サイクル)		ライト (サイクル)	
ワードアクセス	ハーフワード/バイトアクセス	ワードアクセス	ハーフワード/バイトアクセス
2		2	



## 40.4 使用上の注意事項

### 40.4.1 SRAM 領域からの命令フェッチ

SRAMHS を使用してプログラムを実行する場合、CPU が正確にデータをプリフェッチできるように、SRAM 領域を初期化してください。初期化されていない SRAM 領域から CPU がデータをプリフェッチすると、パリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから 12 バイト領域を初期化してください。弊社からは、データの初期化には NOP 命令の使用を推奨します。

### 40.4.2 SRAM のストアバッファ

SRAM と CPU 間的高速アクセスには、ストアバッファが使用されます。SRAM へのストア命令の後に同じアドレスからロード命令が実行されると、そのロード命令は SRAM からではなくバッファからデータを読み出す場合があります。SRAM のデータを正確に読み出すには、以下の手順のうちいずれかを使用します。

- SRAM (アドレス = A) に書き込んだ後、NOP 命令を使用し、SRAM (アドレス = A) を読み出します。
- SRAM (アドレス = A) に書き込んだ後、SRAM (アドレス = A) 以外の領域からデータを読み出し、SRAM (アドレス = A) を読み出します。

## 41. フラッシュメモリ

### 41.1 概要

本 MCU は、最大 512KB のコードフラッシュメモリと 8KB のデータフラッシュメモリを内蔵しています。フラッシュコントロールユニット (FCU) はフラッシュメモリのプログラム/イレースの制御を行います。フラッシュアプリケーションコマンドインタフェース (FACI) は、指定された FACI コマンドに従って FCU を制御します。

表 41.1 にコードフラッシュメモリとデータフラッシュメモリの仕様を、図 41.1 に関連モジュールのブロック図を示します。図 41.2 にコードフラッシュメモリの構成を、図 41.3 にデータフラッシュメモリの構成を示します。

表 41.1 コードフラッシュメモリとデータフラッシュメモリの仕様

項目	コードフラッシュメモリの仕様	データフラッシュメモリの仕様
メモリ容量	<ul style="list-style-type: none"> <li>ユーザ領域：最大 512KB</li> </ul>	データ領域：8KB
リードサイクル	<ul style="list-style-type: none"> <li>80MHz &lt; ICLK 周波数 ≤ 120MHz キャッシュヒット：1 サイクル キャッシュミス：3 サイクル</li> <li>40MHz &lt; ICLK 周波数 ≤ 80MHz キャッシュヒット：1 サイクル キャッシュミス：2 サイクル</li> <li>ICLK 周波数 ≤ 40MHz キャッシュヒット：1 サイクル キャッシュミス：1 サイクル</li> </ul>	ワードまたはバイトアクセス時には FCLK 7 サイクルでのリード (FCLK 周波数は最高 60MHz)
イレース後の値	FFh	不定
プログラム/イレース方式	<ul style="list-style-type: none"> <li>FACI コマンド発行領域 (407E 0000h) に設定した FACI コマンドで、コードフラッシュメモリ/データフラッシュメモリのプログラム/イレースが可能</li> <li>専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム (シリアルプログラミング)</li> <li>ユーザプログラムによるフラッシュメモリのプログラム (セルフプログラミング)</li> </ul>	
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	フラッシュメモリの誤オーバーライトを防止	
BGO (バックグラウンドオペレーション) 機能	<ul style="list-style-type: none"> <li>データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能</li> <li>コードフラッシュメモリのプログラム中にデータフラッシュメモリの読み出しが可能</li> </ul>	
プログラム/イレース単位	<ul style="list-style-type: none"> <li>ユーザ領域へのプログラム：128 バイト単位</li> <li>ユーザ領域のイレース：ブロック単位</li> </ul>	<ul style="list-style-type: none"> <li>データ領域へのプログラム：4/8/16 バイト単位</li> <li>データ領域のイレース：64/128/256 バイト単位</li> </ul>
その他の機能	セルフプログラミング中の割り込み受け付け可能 本 MCU の初期設定でフラッシュメモリ拡張領域 (オプションバイト) の設定可能	
オンボードプログラミング (3種類)	シリアルプログラミングモード (SCI ブートモード) でのプログラム <ul style="list-style-type: none"> <li>調歩同期式シリアルインタフェース (SCI9) を使用</li> <li>転送速度は自動調整</li> </ul> オンチップデバッグモードによるプログラム <ul style="list-style-type: none"> <li>JTAG/SWD インタフェースを使用</li> <li>専用ハードウェアは必要なし</li> </ul> ユーザプログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによるプログラム <ul style="list-style-type: none"> <li>システムをリセットすることなくコードフラッシュメモリ/データフラッシュメモリのプログラムが可能</li> </ul>	

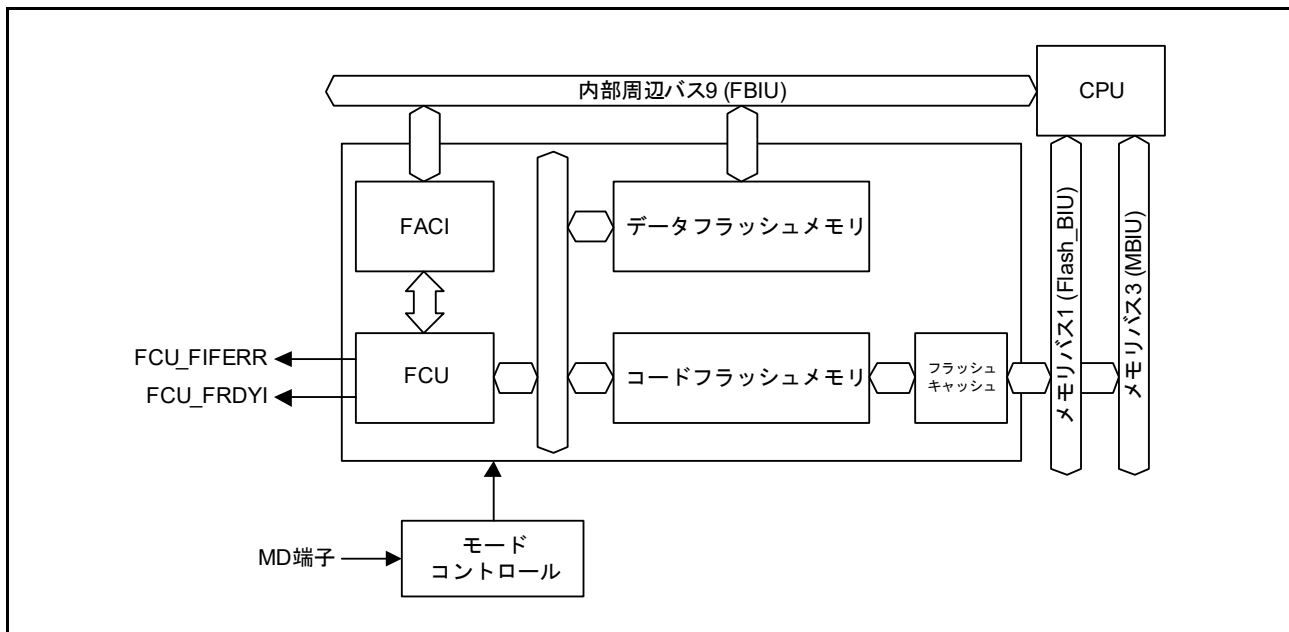


図 41.1 フラッシュメモリ関連モジュールのブロック図

## 41.2 メモリ構成

図 41.2 にコードフラッシュメモリのマッピングを、表 41.2 にコードフラッシュメモリのリードアドレスとプログラム/イレースアドレスを示します。コードフラッシュメモリのユーザ空間は 8KB または 32KB のブロックに分割されており、各ブロック単位でイレース可能です。ユーザ領域は、ユーザプログラムの格納に使用できます。

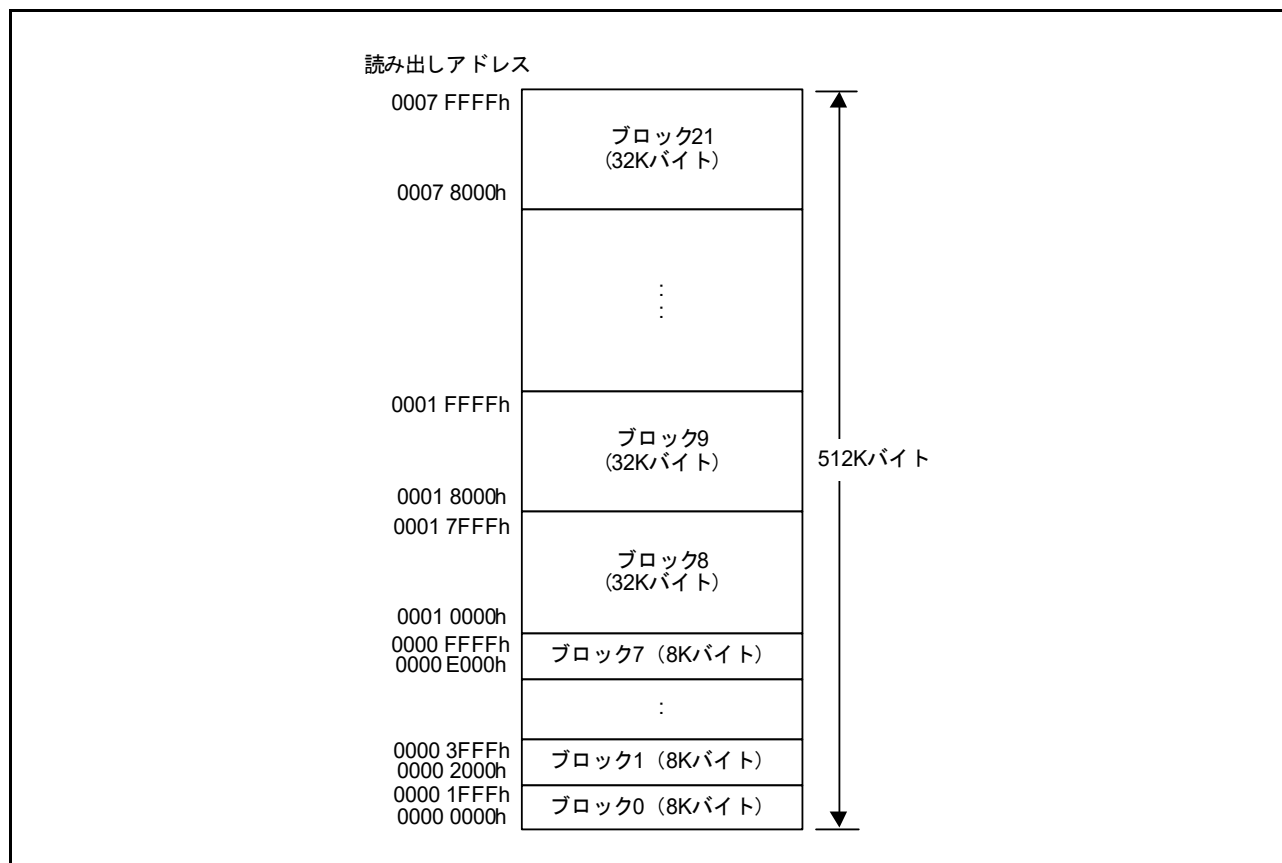


図 41.2 コードフラッシュメモリマッピング

表 41.2 コードフラッシュメモリの製品別リード、P/Eアドレス

製品	読み出しアドレス	P/Eアドレス	ブロック数
512KB製品	0000 0000h～0007 FFFFh	0000 0000h～0007 FFFFh	0～21
256KB製品	0000 0000h～0003 FFFFh	0000 0000h～0003 FFFFh	0～13

データフラッシュメモリのデータ領域は 64 バイトのブロックに分割されており、各ブロック単位でイレース可能です。図 41.3 にデータフラッシュメモリのマッピングを示します。

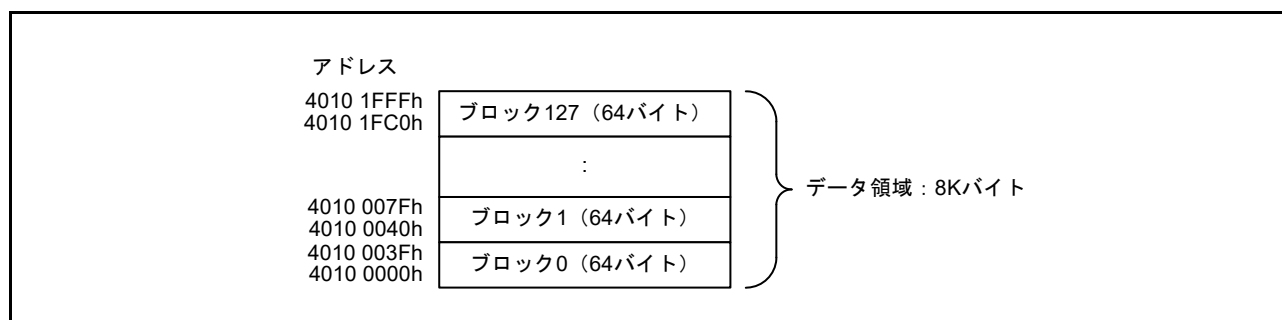


図 41.3 データフラッシュメモリマッピング

## 41.3 フラッシュキャッシュ

### 41.3.1 概要

フラッシュキャッシュ (FCACHE) は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DMA で使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 41.3 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h ~ 0007 FFFFh	0000 0000h ~ 0007 FFFFh	0000 0000h ~ 0007 FFFFh
対象バスマスタ	CPU 命令フェッチ	CPU オペランドアクセスおよび CPU 以外からのアクセス	FLPF
容量	256 バイト	16 バイト	32 バイト
アソシアティブ方式	<ul style="list-style-type: none"> <li>• 8 ウェイセットアソシアティブ</li> <li>• 128 ビット/エントリ (128 ビット整列データ)</li> <li>• 2 エントリ/ウェイ</li> </ul>	<ul style="list-style-type: none"> <li>• フルアソシアティブ</li> <li>• 128 ビット/エントリ (128 ビット整列データ)</li> <li>• FCACHE2 の 1 エントリ</li> </ul>	<ul style="list-style-type: none"> <li>• フルアソシアティブ</li> <li>• 128 ビット/エントリ (128 ビット整列データ)</li> <li>• 2 エントリ</li> </ul>
アクセスサイクル	<ul style="list-style-type: none"> <li>• キャッシュヒット: 0 ウェイト</li> <li>• キャッシュミス: フラッシュ ウェイトサイクルレジスタに設定されたウェイト数</li> </ul>	<ul style="list-style-type: none"> <li>• キャッシュヒット: 0 ウェイト</li> <li>• キャッシュミス: フラッシュ ウェイトサイクルレジスタに設定されたウェイト数</li> </ul>	<ul style="list-style-type: none"> <li>• キャッシュヒット: 0 ウェイト</li> <li>• キャッシュミス: フラッシュ ウェイトサイクルレジスタに設定されたウェイト数</li> </ul>

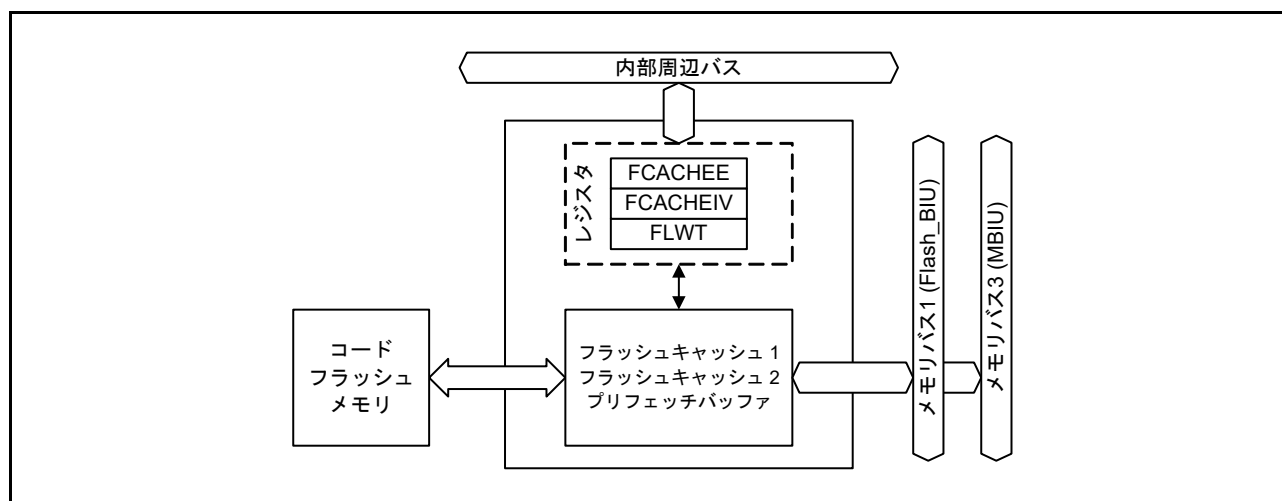


図 41.4 FCACHE のブロック図

## 41.3.2 レジスタの説明

### 41.3.2.1 フラッシュキャッシュイネーブルレジスタ (FCACHEE)

アドレス FCACHE.FCACHEE 4001 C100h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEEEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCACHEEN	FCACHE許可	0 : FCACHE禁止 1 : FCACHE許可	R/W
b15-b1	—	予約ビット	読むと0が読めます。	R

FCACHEE.FCACHEEN ビットは、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュ機能を許可/禁止します。FCACHEIV.FCACHEIV には影響しません。FCACHE が許可されている場合、HPROT[3] はそれがキャッシュブルなのかノンキャッシュブルなのかを決定します。HPROT[3] の詳細は、[14.5 フラッシュキャッシュ使用時の注意事項](#)を参照してください。

### 41.3.2.2 フラッシュキャッシュインバリデートレジスタ (FCACHEIV)

アドレス FCACHE.FCACHEIV 4001 C104h

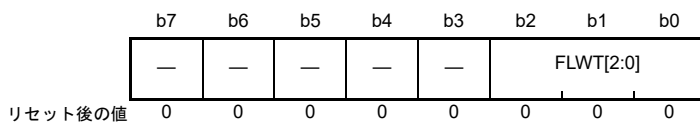
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEIV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCACHEIV	フラッシュキャッシュインバリデート	<ul style="list-style-type: none"> <li>読み出し : 0 : インバリデートしない 1 : インバリデートする</li> <li>書き込み : 1 を書くと FCACHE をインバリデートします。0 を書くと無視されます。</li> </ul>	R/W
b15-b1	—	予約ビット	読むと0が読めます。	R

FCACHEIV.FCACHEIV ビットに 1 を書くと、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュデータがインバリデートされます。

## 41.3.2.3 フラッシュウェイトサイクルレジスタ (FLWT)

アドレス FCACHE.FLWT 4001 C11Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	FLWT[2:0] (注1)	フラッシュウェイトサイクル	b2 b0 0 0 0 : 0ウェイト (ICLK ≤ 40MHz) 0 0 1 : 1ウェイト (40MHz < ICLK ≤ 80MHz) 0 1 0 : 2ウェイト (80MHz < CLK ≤ 120MHz) その他の設定は予約されています。	R/W
b7-b3	—	予約ビット	読むと0が読めます。	R

注 1. Subosc-speed モードでは、000b 以外の設定は禁止されています。

フラッシュウェイトサイクルレジスタ (FLWT) は、フラッシュメモリのアクセスウェイト数を設定します。クロック周波数をこれより高くする場合、クロック周波数を変更する前に FLWT.FLWT を設定してください。クロック周波数をこれより低くする場合、クロック周波数を変更した後に FLWT.FLWT を設定してください。

## 41.4 動作説明

フラッシュ動作を設定して有効にするにはFCACHEEレジスタを使用します。フラッシュキャッシュを設定してフラッシュメモリの書き換えに備えるには、以下を実行します。

1. FCACHEE.FCACHEENをリセットしてフラッシュキャッシュを禁止します。(注1)
2. FCACHEIV.FCACHEIVを設定してフラッシュキャッシュをインバリデートします。
3. FCACHEIV.FCACHEIVが0であることを確認します。
4. FCACHEE.FCACHEENを設定してフラッシュキャッシュを許可します。

注1. リセット後の最初の設定でフラッシュキャッシュを禁止にする必要はありません。

### 41.4.1 フラッシュキャッシュ使用における注意

CPUからフラッシュキャッシュにアクセスする場合は、Arm® MPUもキャッシュブルに設定しなければなりません。

ARM®v7-M Architecture Reference Manual および ARM® Cortex®-M4 Devices Generic User Guide を参照してください。



## 41.5 フラッシュメモリ関連の動作モード

図 41.5 にフラッシュメモリに関するモード遷移図を示します。モード設定の方法については「3. 動作モード」を参照してください。

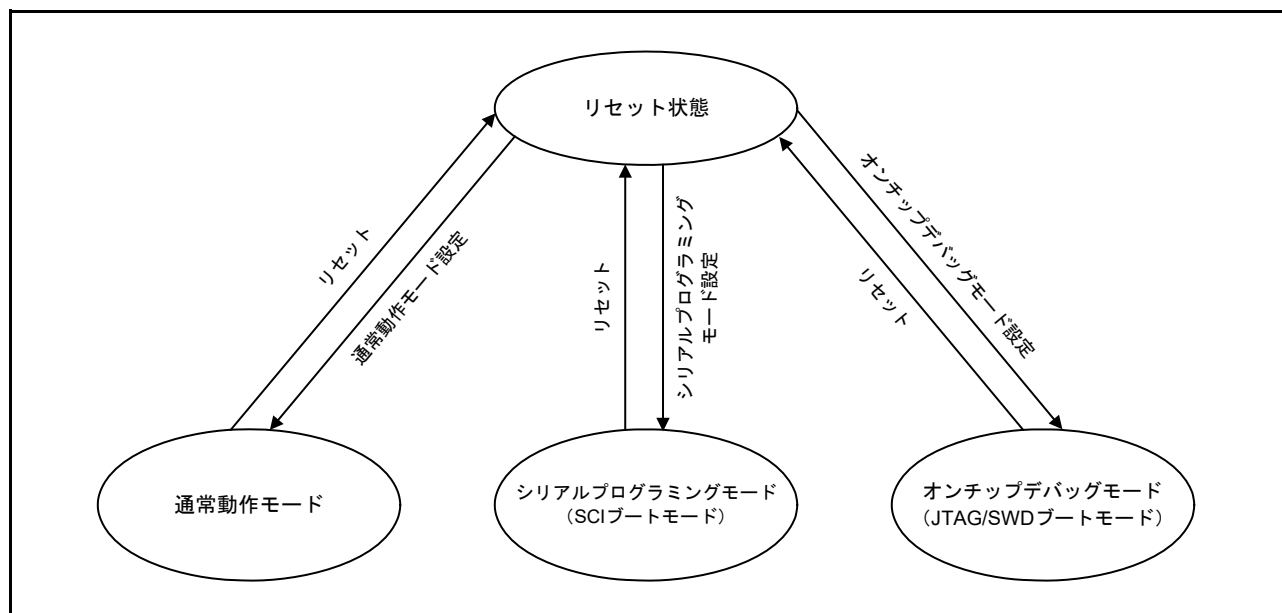


図 41.5 フラッシュメモリに関するモード遷移図

プログラム/イレースが可能なフラッシュメモリの領域、およびリセット時の起動プログラムを実行するフラッシュメモリの領域は各モードで異なります。表 41.4 に各モードの相違点を示します。

表 41.4 各モードの相違点

項目	通常動作モード	シリアルプログラミングモード (SCIブートモード)	オンチップデバッグモード (JTAG/SWDブートモード)
プログラム/イレースが可能な領域	<ul style="list-style-type: none"> <li>コードフラッシュメモリ</li> <li>データフラッシュメモリ</li> </ul>	<ul style="list-style-type: none"> <li>コードフラッシュメモリ</li> <li>データフラッシュメモリ</li> </ul>	<ul style="list-style-type: none"> <li>コードフラッシュメモリ</li> <li>データフラッシュメモリ</li> </ul>
ブロック単位のイレース	可能	可能	可能
リセット時の起動プログラム	ユーザ領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

### 41.5.1 IDコードプロテクト

IDコードプロテクト機能は、プログラミングとオンチップデバッグを禁止します。IDコードプロテクトが有効な場合、デバイスはホストが送信したIDコードをフラッシュメモリに格納されているIDコードと比較し、有効または無効にします。プログラミングとオンチップデバッグは、この2つが一致する場合に限り許可されます。

フラッシュメモリのIDコードは、32ビットワード4つで構成されます。IDコードのビット127とビット126は、IDコードプロテクト機能が有効か判定し、ホストで使用する認証方法を決定します。

IDコードがどのように認証方法を決定するかについて、表 41.5 に示します。

表 41.5 IDコードプロテクト機能の仕様

ブートアップ時の動作モード	IDコード	プロテクト状態	プログラマまたはオンチップデバッガ接続時の動作
シリアルプログラミングモード (SCIブートモード)	FFh, ..., FFh (全バイトがFFh)	プロテクト無効	IDコードは検証されません。IDコードは常に一致して、プログラマまたはオンチップデバッガへの接続が許可されます。
オンチップデバッグモード (JTAG/SWDブートモード)	ビット[127]=1および ビット[126]=1、かつ 16バイトのうち少なくとも 1つがFFh以外	プロテクト有効	IDコード一致：認証を終了し、プログラマまたは オンチップデバッガへの接続を許可 IDコード不一致：IDコードプロテクト待機状態へ遷移  プログラマまたはオンチップデバッガから送られてきた IDコードがASCIIコードのALeRASE (414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFFh) であると、ユーザフラッシュ（コードフラッシュおよび データフラッシュ）領域および構成領域の内容は消去さ れます。 ただし、AWS.FSPR（注1）ビットが0であれば、 強制消去は実行されません。
	ビット[127]=1、 ビット[126]=0	プロテクト有効	IDコード一致：認証を終了し、プログラマまたはオン チップデバッガへの接続を許可 IDコード不一致：IDコードプロテクト待機状態へ遷移
	ビット[127]=0	プロテクト有効	IDコードは検証されません。IDコードは常に一致せず、 プログラマまたはオンチップデバッガへの接続は禁止さ れます。

注 1. AWS.FSPR ビットの詳細については、[7.2.3 アクセスウィンドウ設定レジスタ \(AWS\)](#) を参照してください。

## 41.6 機能概要

シリアルインタフェース経由（シリアルプログラミングモード）、またはJTAG/SWDインタフェース経由（オンチップデバッグモード）で、専用フラッシュメモリプログラマを使用してオンチップフラッシュメモリを書き替えることにより、ターゲットシステムへの実装前／実装後にかかわらずデバイスのプログラムが可能です。また、第三者によるプログラムの改ざん防止のため、オンチップフラッシュメモリに書かれたユーザプログラムの書き換えを禁止するセキュリティ機能をサポートしています。

ユーザプログラムによるプログラミング（セルフプログラミング）は、システムの製造／出荷後の更新が必要なアプリケーションに有効です。フラッシュメモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理もサポートされており、外部通信およびその他の機能を実行している間もプログラミングを継続できます。表 41.6 は、プログラミング方法と対応する動作モードを示しています。

表 41.6 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCIインタフェース経由で接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	SCIインタフェースおよび専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミングによってあらかじめメモリに書き込まれたユーザプログラムを実行することによっても、フラッシュメモリの書き換えが可能です。データフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチまたはデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行してデータフラッシュメモリを書き換えることができます。 バックグラウンドオペレーションを利用できない場合は、セルフプログラミングによるコードフラッシュメモリの書き換え時には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。内蔵SRAMへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード
JTAG/SWDプログラミング	JTAG/SWDを経由した専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	オンチップデバッグモード
	JTAG/SWDを経由した専用フラッシュメモリプログラマまたはオンチップデバッガ、および専用プログラミングアダプタボードを用いて、デバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリをオフボードで書き換えることが可能です。	

内蔵フラッシュメモリの機能一覧を表 41.7 に示します。

シリアルプログラミングではシリアルプログラマコマンドを使用してください。セルフプログラミングでは、FACI コマンドを使用して内蔵フラッシュメモリの読み出しまたはユーザプログラムの実行を行ってください。

表 41.7 基本機能

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレース後にプログラムされていない状態のデータフラッシュメモリの読み出し結果は保証されません。イレース後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	なし	あり (データフラッシュプログラミングのみ)
ブロックイレース	指定したブロックのメモリの内容のイレースを行います。	あり	あり
プログラム	指定したアドレスのプログラムを行います。	あり	あり
読み出し	フラッシュメモリにプログラムしたデータの読み出しを行います。	あり	なし (ユーザプログラムにて読み出しは可能)
IDコードチェック	ホストが送信したIDコードとROMに格納されているコードとを比較します。これら二つが一致する場合、FCUは待機状態に移してホストからのプログラミングとイレースコマンドを待ちます。	あり	なし (ID認証は行わない)
セキュリティ設定	シリアルプログラミング用のセキュリティ機能の設定を行います。	あり (条件つき) (有効から無効への設定切り替えのみ許可)	あり (条件つき) (有効から無効への設定切り替えのみ許可)
プロテクション設定	コードフラッシュメモリにおけるフラッシュ領域プロテクションのアクセスウィンドウを設定します。	あり	あり

内蔵フラッシュメモリはIDコードセキュリティ機能をサポートしています。ID認証は、シリアルプログラミングとJTAG/SWDプログラミングで使用できるセキュリティ機能です。内蔵フラッシュメモリでサポートされるセキュリティ機能を表 41.8 に、セキュリティ設定時の動作を表 41.9 に示します。

表 41.8 セキュリティ機能

機能	内容
ID認証	シリアルプログラミング時のシリアルプログラマ接続をID認証結果で制御可能です。

表 41.9 セキュリティ設定時の動作

機能	各セキュリティ設定時のイレース/プログラミング/リード動作		セキュリティ設定に関する注意事項
	シリアルプログラミングとオンチップデバッグモード	セルフプログラミングモード	セルフプログラミングモード
ID認証	IDが不一致の場合 ・ブロックイレースコマンド：× ・プログラムコマンド：× ・リードコマンド：× ・セキュリティ設定コマンド：× ・プロテクション設定コマンド：× IDが一致した場合 ・ブロックイレースコマンド：○ ・プログラムコマンド：○ ・リードコマンド：○ ・セキュリティ設定コマンド：○ ・プロテクション設定コマンド：○	(ID認証は行わない) ・ブランクチェック：○ ・ブロックイレース：○ ・プログラム：○ ・セキュリティ設定：○ ・プロテクション設定：○	ID認証は行わない

### 41.6.1 構成領域ビットマップ

図 41.6 に、ID 認証、スタートアップ領域の選択、アクセスウィンドウプロテクション、セキュリティ設定機能で使用するビットを示します。ブートプログラムは、必ずこれらのビットを16進数データとして使用しなければなりません。

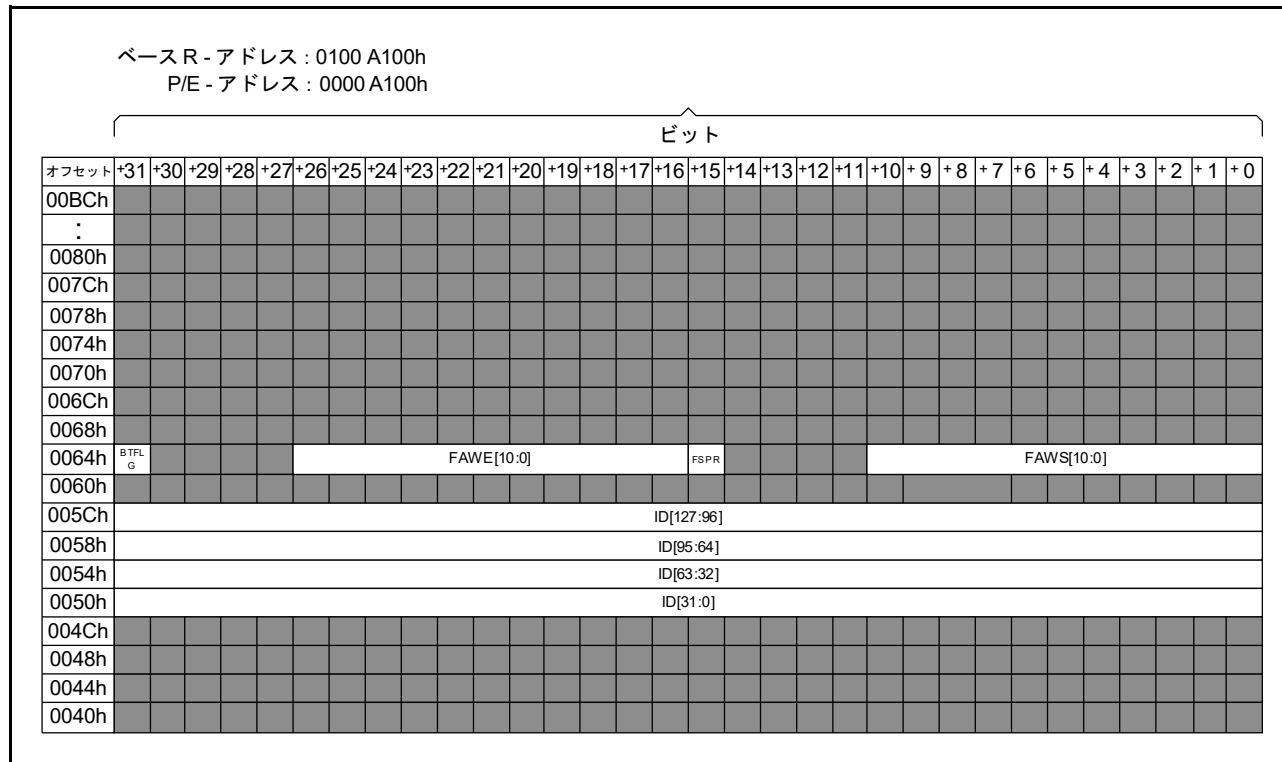


図 41.6 構成領域ビットマップ

### 41.6.2 スタートアップ領域選択

スタートアップ領域選択機能によって、ブートプログラムの安全な更新が可能になります。スタートアップ領域のサイズは 8KB で、ユーザ領域に配置されています。FACI は、構成領域のスタートアップ領域選択フラグ (AWS.BTFLG) に基づきスタートアップ領域のアドレスを制御します。スタートアップ領域は AWS.FSPR ビット (注 1) でロックすることが可能です。

注 1. AWS.FSPR ビットについては、7.2.3 アクセスウィンドウ設定レジスタ (AWS) を参照してください。

図 41.7 に、スタートアッププログラムのプロテクションの概要を示します。

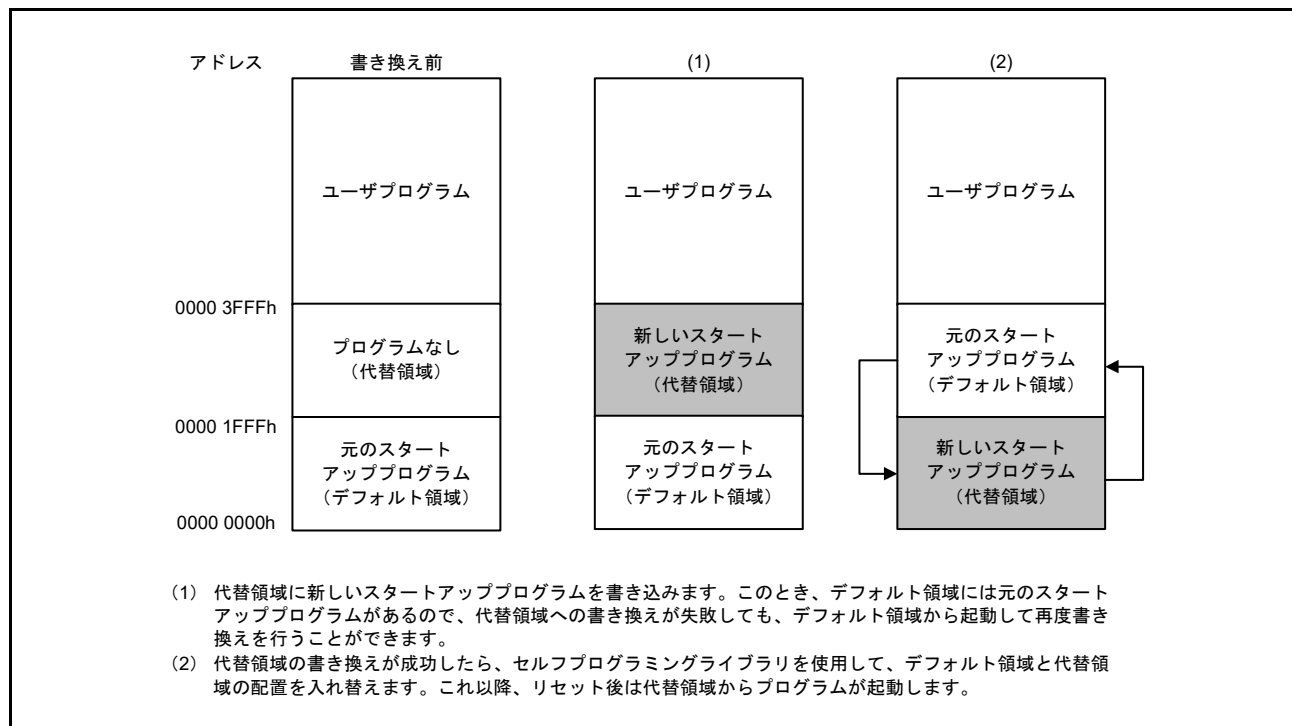


図 41.7 スタートアッププログラムプロテクションの概要

### 41.6.3 アクセスウィンドウによるプロテクション

アクセスウィンドウの外側にあるフラッシュメモリ領域にプログラムまたはブロックイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウは、コードフラッシュメモリのユーザ領域においてのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。

アクセスウィンドウは、AWS.FAWS[10:0] ビットおよび AWS.FAWE[10:0] ビット (注 1) の両方で指定されています。

以下に、各種条件での FAWS[10:0] ビットおよび FAWE[10:0] ビットの設定を説明します。

- FAWE[10:0] = FAWS[10:0] : P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できます。
- FAWE[10:0] > FAWS[10:0] : P/E コマンドは、FAWS[10:0] ビットで指示されたブロックから、FAWE ビットで指示されたものより 1 つ下のブロックまでのウィンドウにおいてのみ実行できます。
- FAWE[10:0] < FAWS[10:0] : P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できません。

注 1. AWS.FAWS[10:0] ビットおよび AWS.FAWE[10:0] ビットについては 7.2.4 OCD / シリアルプログラマ ID 設定レジスタ (OSIS) を参照してください。

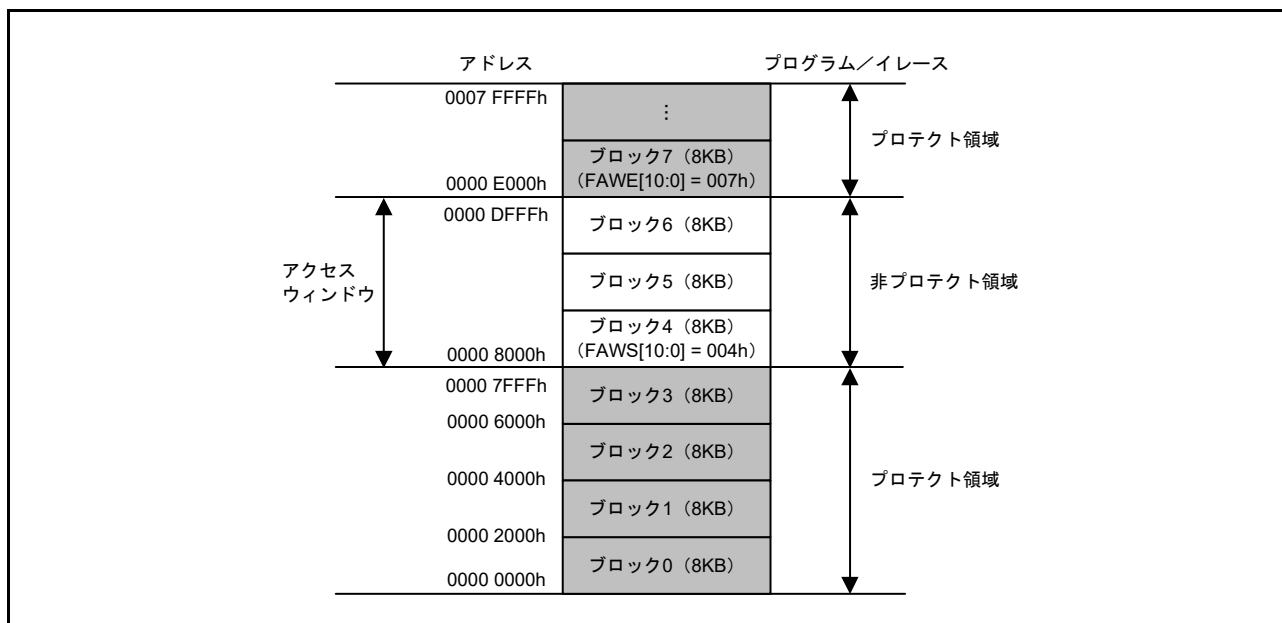


図 41.8 アクセスウィンドウに 8KB のブロックのみ含まれる場合のアクセスウィンドウの開始ブロックアドレス (FAWS) と終了ブロックアドレス (FAWE)

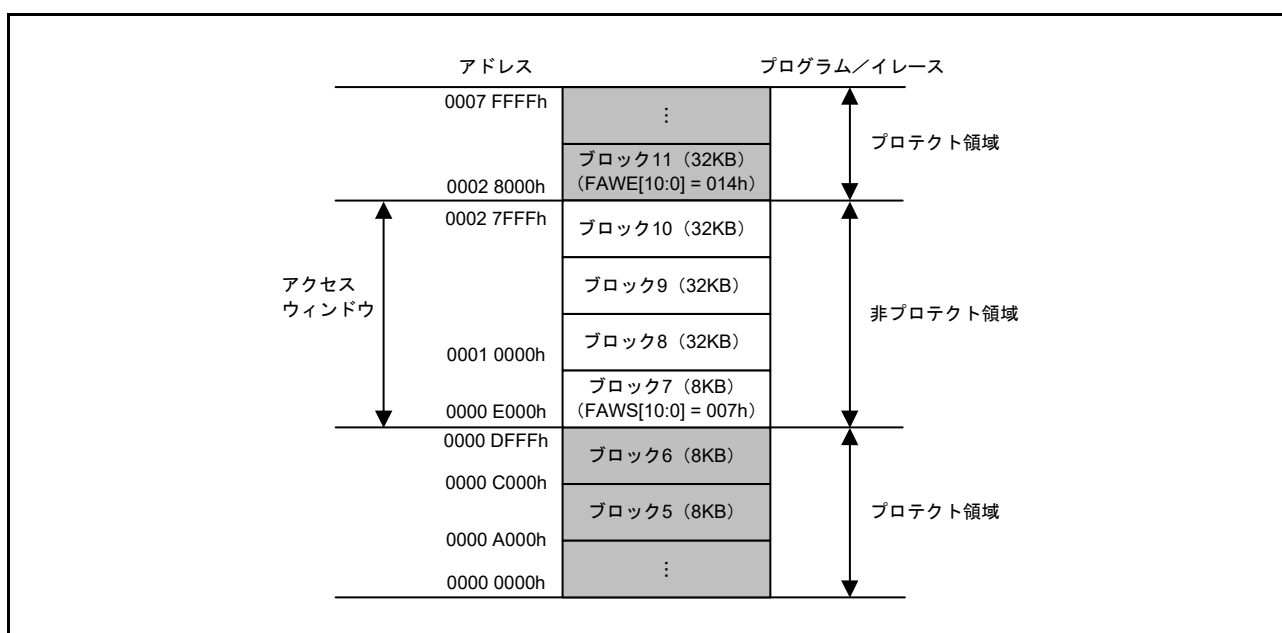


図 41.9 アクセスウィンドウに 8KB および 32KB のブロックが含まれる場合のアクセスウィンドウの開始ブロックアドレス (FAWS) と終了ブロックアドレス (FAWE)

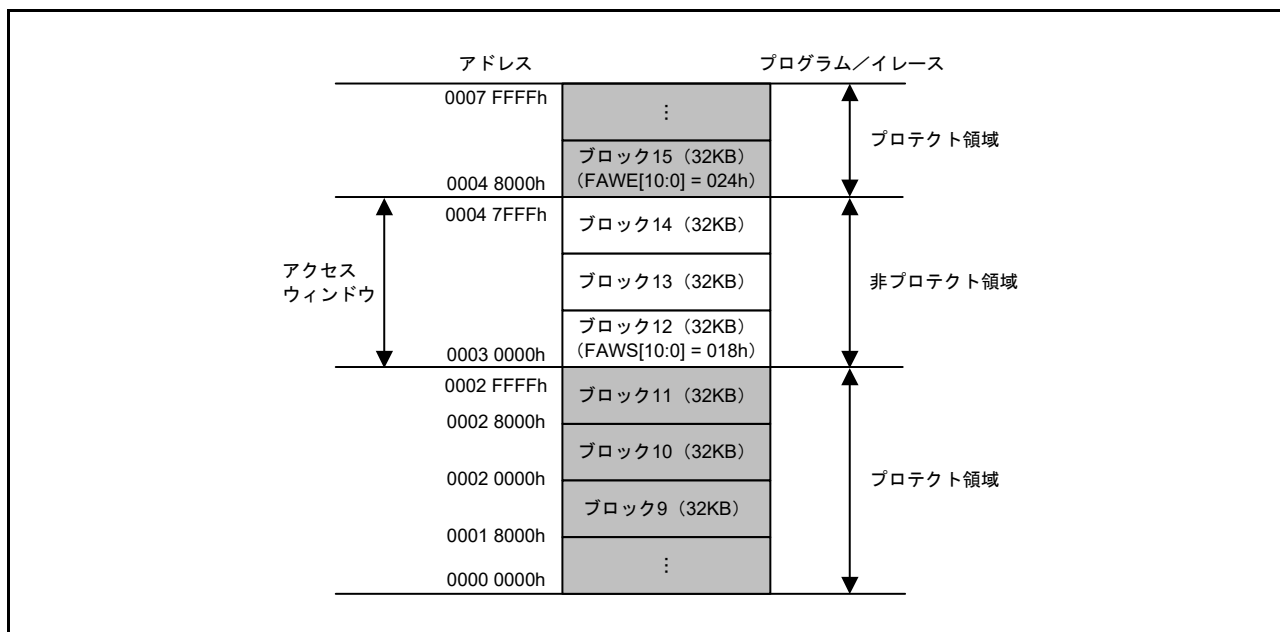


図 41.10 アクセスウィンドウに 32KB のブロックのみ含まれる場合のアクセスウィンドウの開始ブロックアドレス (FAWS) と終了ブロックアドレス (FAWE)

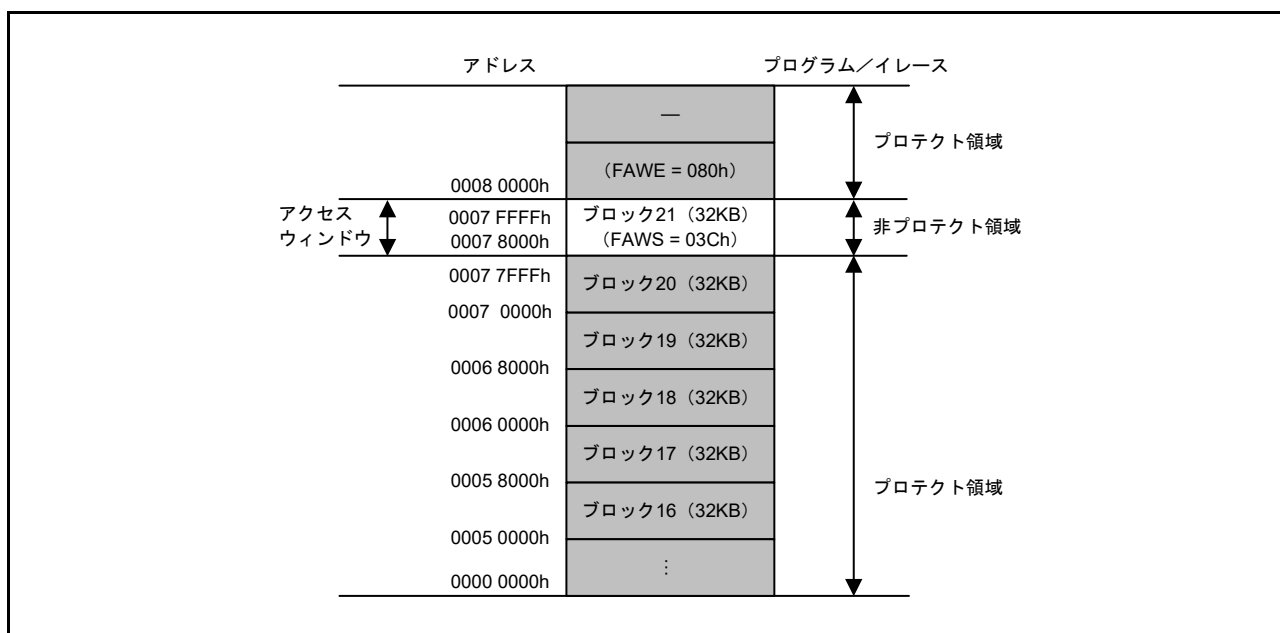


図 41.11 アクセスウィンドウに最終ブロックのみ含まれる場合のアクセスウィンドウの開始ブロックアドレス (FAWS) と終了ブロックアドレス (FAWE)



## 41.7 プログラムコマンド

FACIは設定されたFACIコマンドに従って、FCUの制御を行います。

## 41.8 サスペンド動作

アドレス範囲がバックグラウンドオペレーション機能の条件を満足していない場合、プログラミングまたはイレース実行中に、コードフラッシュメモリまたはデータフラッシュメモリからの読み出しはできません。P/Eサスペンドコマンドを発行し、コードフラッシュメモリ/データフラッシュメモリへのプログラム/イレース処理を中断させることによって、メモリの読み出しが可能になります。プログラムに対するサスペンドコマンドモードが1種類、イレースに対するサスペンドコマンドモードが2種類（サスペンド優先モード、イレース優先モード）存在します。中断したプログラム/イレース処理を再開するためのP/Eレジュームコマンドも使用できます。

## 41.9 プロテクション機能

以下の種類のプロテクションが提供されています。

- ソフトウェアプロテクション
- エラープロテクション
- ブートプログラムプロテクション

## 41.10 シリアルプログラミングモード

シリアルプログラミングモードには以下が含まれます。

- SCI9 を使用するブートモード

表 41.10 にフラッシュメモリ関連モジュールの入出力端子を示します。

表 41.10 フラッシュメモリ関連モジュールの入出力端子

端子名	入出力	適用モード	機能
MD	入力	SCIブートモード (シリアルプログラミングモード)	動作モードの選択
P110/RXD9	入力	SCIブートモード	ホスト通信におけるSCIデータ受信用
P109/TXD9	出力		ホスト通信におけるSCIデータ送信用

### 41.10.1 SCI ブートモード

SCIブートモードでは、ホストから制御コマンドやプログラミングデータを送信して、コードフラッシュメモリ/データフラッシュメモリ領域へのプログラム/イレースが実行可能です。ホストと本MCU間の通信には、内蔵のSCIを調歩同期式モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本MCUをSCIブートモードで起動すると、シリアルプログラミング用の組み込みプログラムが実行されます。このプログラムは、SCIのビットレートの自動調整とホストからの制御コマンドを受けて、プログラムおよびイレースを制御します。

図 41.12 に、SCIブートモード時のシステム構成を示します。

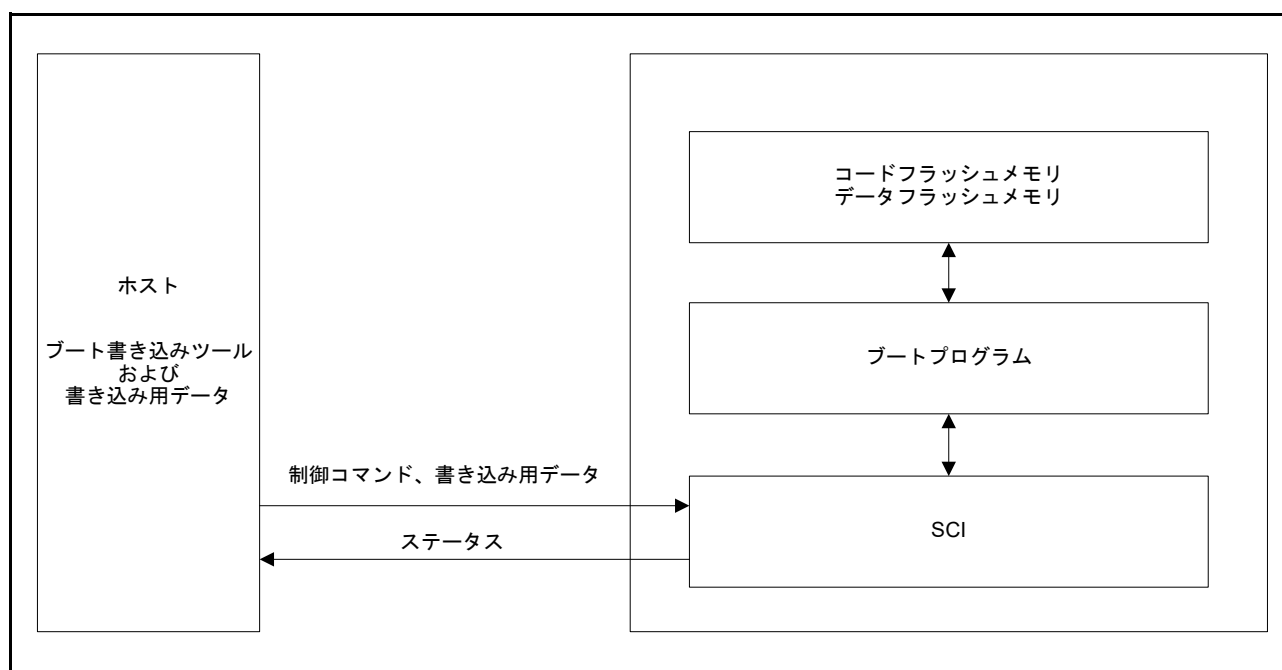


図 41.12 SCIブートモード時のシステム構成

## 41.11 シリアルプログラマを使用する場合

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリのプログラムを行うことができます。

### 41.11.1 シリアルプログラミング

本 MCU は、シリアルプログラミング用にボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはプログラムを行うことができます。

### 41.11.2 プログラミング環境

図 41.13 に、本 MCU のフラッシュメモリにデータをプログラミングするための推奨される環境を示します。

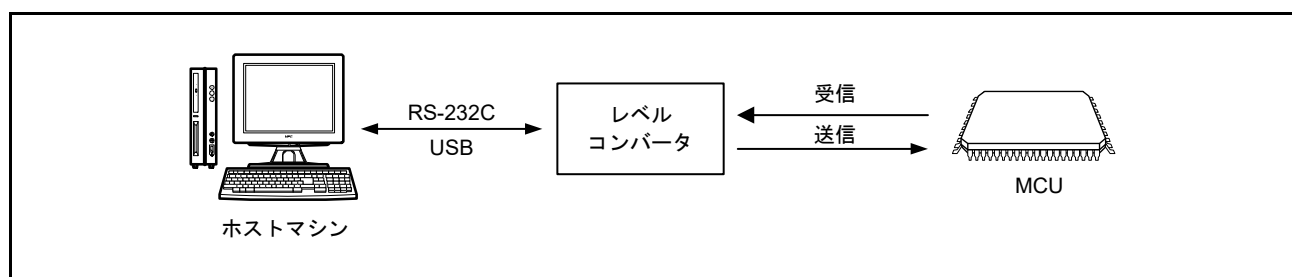


図 41.13 フラッシュメモリにプログラムを書き込むための環境

## 41.12 セルフプログラミング

### 41.12.1 概要

本MCUは、ユーザプログラムによるフラッシュメモリの書き換えをサポートします。プログラムコマンドをユーザのプログラムで使用することにより、コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。したがって、ユーザプログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

バックグラウンドオペレーション機能を利用して表 41.11 に示す条件でコードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。このプログラムを事前に内蔵SRAMまたは外部メモリに複製し、そこから実行することも可能です。内蔵SRAMから実行時、本プログラムはコードフラッシュメモリを書き換えることもできます。

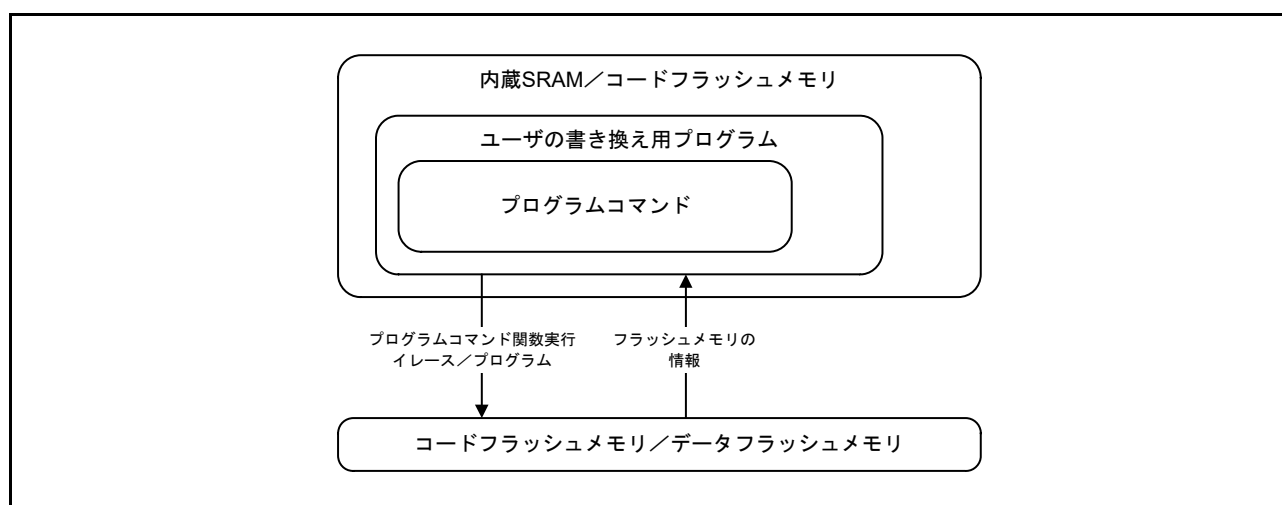


図 41.14 セルフプログラミングの概念

### 41.12.2 バックグラウンドオペレーション

書き込み対象および読み出し対象のフラッシュメモリが表 41.11 に示す組み合わせである場合には、バックグラウンドオペレーションを利用することが可能です。

表 41.11 バックグラウンドオペレーションの利用可能な条件

製品	書き込み範囲	読み出し範囲
全製品	データフラッシュメモリ	コードフラッシュメモリ
	コードフラッシュメモリ	データフラッシュメモリ

## 41.13 フラッシュメモリの読み出し

### 41.13.1 コードフラッシュメモリの読み出し

通常モードでコードフラッシュメモリを読み出すのに、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。イレース後にプログラミングしていない（未プログラム状態の）コードフラッシュメモリを読み出すと、全ビットから1が読み出されません。

### 41.13.2 データフラッシュメモリの読み出し

通常モードでデータフラッシュメモリを読み出すのに、特別な設定は必要ありません。データフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。未プログラム状態のデータフラッシュメモリなど、イレース後に書き換えられていないデータフラッシュメモリを読み出すと、値はすべて不定です。未プログラム状態の確認には、ブランクチェック機能を使用してください。

## 41.14 使用上の注意事項

### 41.14.1 プログラム／イレースを中断した領域の読み出し

プログラム／イレースを中断したフラッシュメモリ領域の格納データは不定です。誤動作の原因となる不定データの読み出しを回避するため、プログラム／イレースを中断した領域の命令フェッチやデータリードを実行しないでください。

### 41.14.2 追加の書き込みに関する制約

構成領域を除き、同一領域に2回以上の書き込みを行うことはできません。フラッシュメモリ領域への書き込みが完了したら、その領域の書き換えを行う前にイレースしてください。構成領域は上書き可能です。

### 41.14.3 プログラム／イレース中のリセット

RES 端子からリセットを入力する場合、電気的特性で定義された動作電圧の範囲内で、 $t_{RESW}$  以上（[43.3.3 リセットタイミング](#)参照）のリセット入力時間を経過してからリセットを解除してください。

### 41.14.4 プログラム／イレース中の割り込み／例外ベクタの配置

プログラム／イレース中に割り込み／例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。ベクタ配置がバックグラウンドオペレーションの使用条件を満足しない場合、ベクタフェッチのアドレスをコードフラッシュメモリ以外に設定してください。

### 41.14.5 プログラム／イレース中の制約

プログラム／イレース中は、下記を禁止します。

- 電源を動作電圧範囲外にする
- 周辺クロックの動作周波数を変更する

#### 41.14.6 プログラム／イレース中の異常終了

RES 端子によるリセットの発生によりプログラム／イレースが異常終了した場合、不定データを格納したフラッシュメモリのプログラム状態／イレース状態は検証または確認できません。プログラム／イレースが異常終了した領域では、ブランクチェック機能では当該領域のイレースに成功したかどうかを判断できません。当該領域を使用する前にイレースを完了するためには、イレースを再実行してください。

## 42. 内部電圧レギュレータ

### 42.1 概要

本 MCU は、入出力、アナログ以外の内部回路およびメモリに電圧を供給するリニアレギュレータ (LDO) を内蔵しています。

### 42.2 動作説明

表 42.1 に LDO モードの端子設定を、図 42.1 に LDO モードの設定を示します。LDO モードでは、内部電圧は VCC から生成します。

表 42.1 LDOモード端子の設定内容

端子	内容
全VCC端子	<ul style="list-style-type: none"> <li>システムの電源に接続してください。</li> <li>0.1<math>\mu</math>Fの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。</li> </ul>
VCL端子およびVCL0端子	0.1 $\mu$ Fの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。

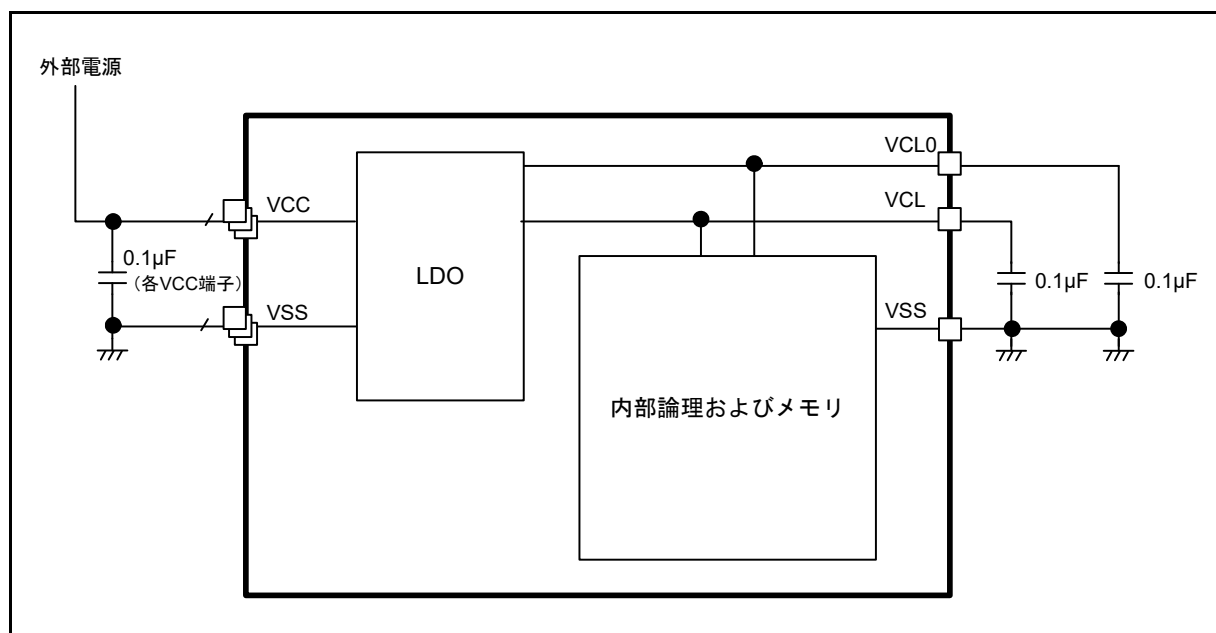


図 42.1 LDOモード設定

### 43. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- $VCC = AVCC0 = 2.7 \sim 3.6V$
- $2.7 \leq VREFH0/VREFH \leq AVCC0$
- $VSS = AVSS0 = VREFL0/VREFL = 0V$
- $T_a = T_{opr}$

図 43.1 は、タイミング条件を示しています。

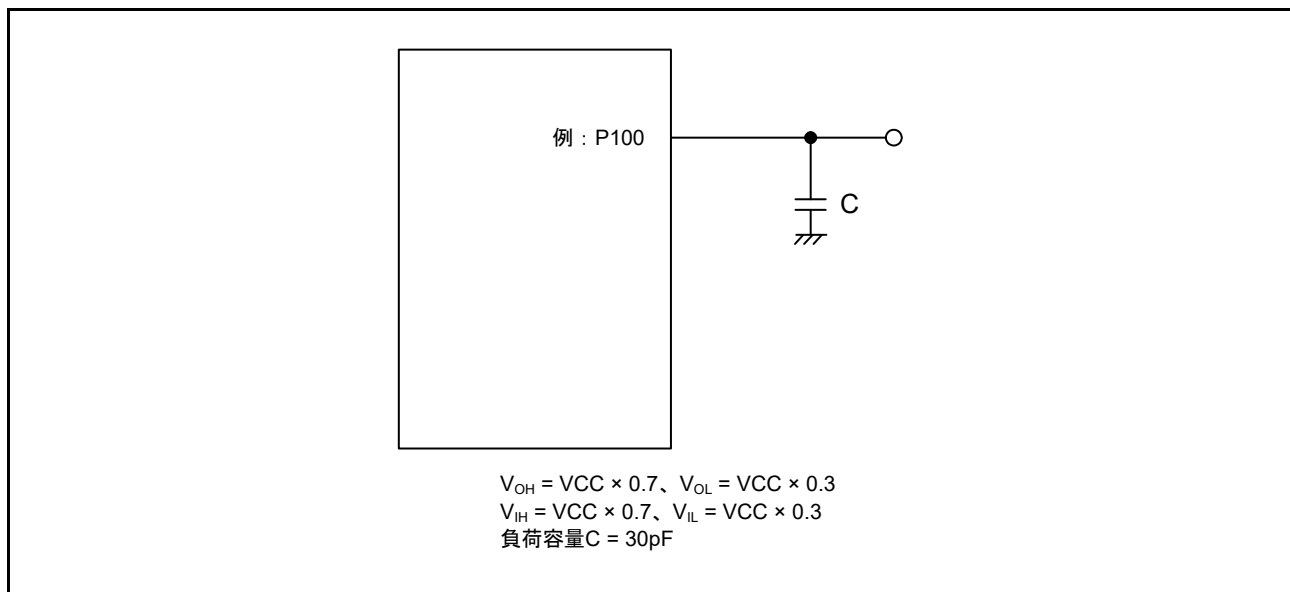


図 43.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に対するものです。ただし、ユーザシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子は、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 仕様は保証されません。



## 43.1 絶対最大定格

表 43.1 絶対最大定格

項目	シンボル	値	単位
電源電圧	VCC	-0.3 ~ +4.0	V
入力電圧 (5Vトレラントポートを除く (注1))	V <sub>in</sub>	-0.3 ~ VCC + 0.3	V
入力電圧 (5Vトレラントポート (注1))	V <sub>in</sub>	-0.3 ~ VCC + 4.0 (max 5.8)	V
リファレンス電源電圧	VREFH/VREFH0	-0.3 ~ VCC + 0.3	V
アナログ電源電圧	AVCC0 (注2)	-0.3 ~ +4.0	V
アナログ入力電圧 (P000 ~ P007を除く)	V <sub>AN</sub>	-0.3 ~ AVCC0 + 0.3	V
PGA差分入力無効時のアナログ入力電圧 (P000 ~ P007)	V <sub>AN</sub>	-0.3 ~ AVCC0 + 0.3	V
PGA差分入力有効時のアナログ入力電圧 (P000 ~ P002, P004 ~ P006)	V <sub>AN</sub>	-1.3 ~ AVCC0 + 0.3	V
PGA差分入力有効時のアナログ入力電圧 (P003, P007)	V <sub>AN</sub>	-0.8 ~ AVCC0 + 0.3	V
動作温度 (注3) (注4)	T <sub>opr</sub>	-40 ~ +105	°C
保存温度	T <sub>stg</sub>	-55 ~ +125	°C

【使用上の注意】 絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

- 注 1. P205、P206、P400、P401、P407 ~ P415、および P708 は、5V トレラントポートです。  
 注 2. AVCC0 を VCC に接続してください。  
 注 3. 43.2.1 T<sub>j</sub>/T<sub>a</sub> の定義を参照してください。  
 注 4. T<sub>a</sub> = +85 ~ +105 °C の場合のディレーティング動作について、詳しくは弊社の営業担当までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。

表 43.2 推奨動作条件

項目	シンボル	Min	Typ	Max	単位
電源電圧	VCC	2.7	-	3.6	V
	VSS	-	0	-	V
アナログ電源電圧	AVCC0 (注1)	-	VCC	-	V
	AVSS0	-	0	-	V

- 注 1. AVCC0 を VCC に接続してください。A/D コンバータ、D/A コンバータおよびコンパレータのいずれも使用していない場合、AVCC0 端子、VREFH/VREFH0 端子、AVSS0 端子および VREFL/VREFL0 端子を開放したままにしないでください。AVCC0 端子および VREFH/VREFH0 端子を VCC に、AVSS0 端子および VREFL/VREFL0 端子を VSS に接続してください。

## 43.2 DC 特性

## 43.2.1 Tj/Ta の定義

表 43.3 DC 特性

条件：動作温度 (T<sub>a</sub>) が -40 ~ +105 °C の製品

項目		シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	100ピンLQFP 64ピンLQFP	T <sub>j</sub>	-	125	°C	High-speedモード Low-speedモード Subosc-speedモード

注.  $T_j = T_a + \theta_{ja} \times$  総消費電力 (W) とするようにしてください。  
このとき、総消費電力 =  $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$  です。

43.2.2 I/O V<sub>IH</sub>, V<sub>IL</sub>表 43.4 I/O V<sub>IH</sub>, V<sub>IL</sub>

項目		シンボル	Min	Typ	Max	単位	
入力電圧 (シュミット トリガ入力端子 を除く)	周辺機能 端子	EXTAL (外部クロック入力)、SPI (RSPCKを除く)	V <sub>IH</sub>	VCC × 0.8	-	-	V
			V <sub>IL</sub>	-	-	VCC × 0.2	
		IIC (SMBus) (注1)	V <sub>IH</sub>	2.1	-	-	
			V <sub>IL</sub>	-	-	0.8	
		IIC (SMBus) (注2)	V <sub>IH</sub>	2.1	-	VCC + 3.6 (max 5.8)	
			V <sub>IL</sub>	-	-	0.8	
シュミット トリガ入力電圧	周辺機能 端子	IIC (SMBusを除く) (注1)	V <sub>IH</sub>	VCC × 0.7	-	-	V
			V <sub>IL</sub>	-	-	VCC × 0.3	
			ΔV <sub>T</sub>	VCC × 0.05	-	-	
		IIC (SMBusを除く) (注2)	V <sub>IH</sub>	VCC × 0.7	-	VCC + 3.6 (max 5.8)	
			V <sub>IL</sub>	-	-	VCC × 0.3	
			ΔV <sub>T</sub>	VCC × 0.05	-	-	
		5Vトレラントポート (注3) (注7)	V <sub>IH</sub>	VCC × 0.8	-	VCC + 3.6 (max 5.8)	
			V <sub>IL</sub>	-	-	VCC × 0.2	
			ΔV <sub>T</sub>	VCC × 0.05	-	-	
		P402/AGTIO0/AGTIO1, P403/AGTIO0/AGTIO1	V <sub>IH</sub>	VCC × 0.8	-	VCC + 0.3	
			V <sub>IL</sub>	-	-	VCC × 0.2	
			ΔV <sub>T</sub>	VCC × 0.05	-	-	
	その他の入力端子 (注4)	V <sub>IH</sub>	VCC × 0.8	-	-		
		V <sub>IL</sub>	-	-	VCC × 0.2		
		ΔV <sub>T</sub>	VCC × 0.05	-	-		
	ポート	5Vトレラントポート (注5) (注7)	V <sub>IH</sub>	VCC × 0.8	-	VCC + 3.6 (max 5.8)	V
			V <sub>IL</sub>	-	-	VCC × 0.2	
		その他の入力端子 (注6)	V <sub>IH</sub>	VCC × 0.8	-	-	
V <sub>IL</sub>			-	-	VCC × 0.2		

注1. SCL1\_B、SDA1\_B (合計2端子)

注2. SCL0\_A、SDA0\_A、SCL0\_B、SDA0\_B、SCL1\_A、SDA1\_A (合計6端子)

注3. P205、P206、P400、P401、P407 ~ P415、P708 (合計15端子) に関連する RES および周辺機能端子

注4. 表で説明した周辺機能端子を除くすべての入力端子

注5. P205、P206、P400、P401、P407 ~ P415、P708 (合計14端子)

注6. 表で説明したポートを除くすべての入力端子

注7. VCC が 2.7V 未満の場合、5Vトレラントポートの入力電圧は、3.6V 未満としてください。このようにしないと、絶縁破壊が発生する可能性があります。5Vトレラントポートは耐圧違反を防止するように電氣的に制御されるためです。

43.2.3 I/O  $I_{OH}$ ,  $I_{OL}$ 表 43.5 I/O  $I_{OH}$ ,  $I_{OL}$ 

項目			シンボル	Min	Typ	Max	単位
許容出力電流 (端子ごとの平均値)	ポート P008、P201	-	$I_{OH}$	-	-	-2.0	mA
			$I_{OL}$	-	-	2.0	mA
	ポート P014、P015	-	$I_{OH}$	-	-	-4.0	mA
			$I_{OL}$	-	-	4.0	mA
	ポート P205、P206、 P407～P415、P602、P708 (合計 13 端子)	低駆動 (注1)	$I_{OH}$	-	-	-2.0	mA
			$I_{OL}$	-	-	2.0	mA
		中駆動 (注2)	$I_{OH}$	-	-	-4.0	mA
			$I_{OL}$	-	-	4.0	mA
		高駆動 (注3)	$I_{OH}$	-	-	-20	mA
			$I_{OL}$	-	-	20	mA
	その他の出力端子 (注4)	低駆動 (注1)	$I_{OH}$	-	-	-2.0	mA
			$I_{OL}$	-	-	2.0	mA
		中駆動 (注2)	$I_{OH}$	-	-	-4.0	mA
			$I_{OL}$	-	-	4.0	mA
		高駆動 (注3)	$I_{OH}$	-	-	-16	mA
			$I_{OL}$	-	-	16	mA
許容出力電流 (端子ごとの最大値)	ポート P008、P201	-	$I_{OH}$	-	-	-4.0	mA
			$I_{OL}$	-	-	4.0	mA
	ポート P014、P015	-	$I_{OH}$	-	-	-8.0	mA
			$I_{OL}$	-	-	8.0	mA
	ポート P205、P206、 P407～P415、P602、P708 (合計 13 端子)	低駆動 (注1)	$I_{OH}$	-	-	-4.0	mA
			$I_{OL}$	-	-	4.0	mA
		中駆動 (注2)	$I_{OH}$	-	-	-8.0	mA
			$I_{OL}$	-	-	8.0	mA
		高駆動 (注3)	$I_{OH}$	-	-	-40	mA
			$I_{OL}$	-	-	40	mA
	その他の出力端子 (注4)	低駆動 (注1)	$I_{OH}$	-	-	-4.0	mA
			$I_{OL}$	-	-	4.0	mA
		中駆動 (注2)	$I_{OH}$	-	-	-8.0	mA
			$I_{OL}$	-	-	8.0	mA
		高駆動 (注3)	$I_{OH}$	-	-	-32	mA
			$I_{OL}$	-	-	32	mA
許容出力電流 (全端子の最大値)	全出力端子の最大値	$\Sigma I_{OH} (max)$	-	-	-80	mA	
		$\Sigma I_{OL} (max)$	-	-	80	mA	

【使用上の注意】 MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 $\mu$ s の間に計測した電流の平均値を意味します。

- 注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
- 注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
- 注 3. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
- 注 4. 入力ポートである P000 ~ P007、P200 を除きます。

43.2.4 I/O  $V_{OH}$ 、 $V_{OL}$ 、その他の特性表 43.6 I/O  $V_{OH}$ 、 $V_{OL}$ 、その他の特性

項目	シンボル	Min	Typ	Max	単位	測定条件		
出力電圧	IIC	$V_{OL}$	-	-	0.4	V	$I_{OL} = 3.0\text{mA}$	
		$V_{OL}$	-	-	0.6		$I_{OL} = 6.0\text{mA}$	
	IIC (注1)	$V_{OL}$	-	-	0.4		$I_{OL} = 15.0\text{mA}$ (ICFER.FMPE = 1)	
		$V_{OL}$	-	0.4	-		$I_{OL} = 20.0\text{mA}$ (ICFER.FMPE = 1)	
	ポート P205、P206、 P407～P415、P602、P708 (合計 13 端子) (注2)	$V_{OH}$	$VCC - 1.0$	-	-		$I_{OH} = -20\text{mA}$ $VCC = 3.3\text{V}$	
		$V_{OL}$	-	-	1.0		$I_{OL} = 20\text{mA}$ $VCC = 3.3\text{V}$	
	その他の出力端子	$V_{OH}$	$VCC - 0.5$	-	-		$I_{OH} = -1.0\text{mA}$	
		$V_{OL}$	-	-	0.5		$I_{OL} = 1.0\text{mA}$	
入力リーク電流	RES	$ I_{in} $	-	-	5.0	$\mu\text{A}$	$V_{in} = 0\text{V}$ $V_{in} = 5.5\text{V}$	
	ポート P000～P002、 P004～P006、P200		-	-	1.0		$V_{in} = 0\text{V}$ $V_{in} = VCC$	
	ポート P003、 P007		初期化前 (注3)	-	-		45.0	$V_{in} = 0\text{V}$ $V_{in} = VCC$
			初期化後 (注4)	-	-		1.0	$V_{in} = 0\text{V}$ $V_{in} = VCC$
スリーステートリーク 電流 (オフ状態)	5Vトレラントポート	$ I_{TSI} $	-	-	5.0	$\mu\text{A}$	$V_{in} = 0\text{V}$ $V_{in} = 5.5\text{V}$	
	その他のポート (P000～P007、P200を除く)		-	-	1.0		$V_{in} = 0\text{V}$ $V_{in} = VCC$	
入力プルアップMOS電流	ポート P0～P7 (P000～P007を除く)	$I_p$	-300	-	-10	$\mu\text{A}$	$VCC = 2.7 \sim 3.6\text{V}$ $V_{in} = 0\text{V}$	
入力容量	ポート P003、P007、P014、 P015、P400、P401	$C_{in}$	-	-	16	pF	$V_{bias} = 0\text{V}$ $V_{amp} = 20\text{mV}$ $f = 1\text{MHz}$ $T_a = 25^\circ\text{C}$	
	その他の入力端子		-	-	8			

注 1. SCL0\_A、SDA0\_A (合計 2 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。

注 3. P0nPFS.ASEL (n = 3 または 7) = 1

注 4. P0nPFS.ASEL (n = 3 または 7) = 0

43.2.5 動作電流とスタンバイ電流

表 43.7 動作電流とスタンバイ電流

項目		シンボル	Min	Typ	Max	Unit	測定条件		
消費電流 (注1)	High-speedモード	最大動作 (注2)	I <sub>CC</sub> (注3)	-	-	87	mA	ICLK = 120MHz PCLKA = 120MHz PCLKB = 60MHz PCLKC = 60MHz PCLKD = 120MHz FCLK = 60MHz	
		CoreMark® (注5)		-	17	-			
		通常モード		すべての周辺クロックが有効、その間 (1) コードがフラッシュから実行 (注4)	-	24			-
				すべての周辺クロックが無効、その間 (1) コードはフラッシュから実行 (注5) (注6)	-	12			-
		スリープモード (注5) (注6)		-	9	33.5			
		BGO動作中に増加		データフラッシュ P/E	-	6			-
				コードフラッシュ P/E	-	8			-
		Low-speedモード (注5)		-	1.2	-			ICLK = 1MHz
		Subosc-speedモード (注5)		-	1.0	-			ICLK = 32.768kHz
		ソフトウェアスタンバイモード		-	1.3	13			Ta ≤ 85°C
	ディープソフトウェアスタンバイモード	DPSBYCR.DEEPCUT[1:0] = 00b (注8)	-	28	65	μA	Ta ≤ 85°C		
			-	28	93		Ta ≤ 105°C		
		DPSBYCR.DEEPCUT[1:0] = 01b (注8)	-	11.6	28	Ta ≤ 85°C			
			-	11.6	32	Ta ≤ 105°C			
		DPSBYCR.DEEPCUT[1:0] = 11b (注8)	-	4.9	21	Ta ≤ 85°C			
			-	4.9	26	Ta ≤ 105°C			
		AGT動作中に増加	低速オンチップ発振器 (LOCO) 使用時	-	4.4	-	-		
	低CL水晶発振器使用時		-	1.0	-	-			
標準CL水晶発振器使用時	-		1.4	-	-				
アナログ電源電流	12ビットA/D変換中		AI <sub>CC</sub>	-	0.8	1.1	mA	-	
	サンプル&ホールドAMPを使用した12ビットA/D変換時			-	2.3	3.3			
	PGA (1ch)			-	1	3			
	ACMPHS (1ユニット)			-	100	150			μA
	温度センサ			-	0.1	0.2			mA
	D/A変換中 (1ユニット当り)	AMP出力なし		-	0.1	0.2			mA
		AMP出力あり		-	0.6	1.1			mA
	A/D、D/A変換待機時 (全ユニット)			-	0.9	1.6			mA
	スタンバイモードのADC12、DAC12 (全ユニット) (注7)			-	2	8			μA
リファレンス電源電流 (VREFH0)	12ビットA/D変換中 (ユニット0)		AI <sub>REFH0</sub>	-	70	120	μA	-	
	12ビットA/D変換待機時 (ユニット0)			-	0.07	0.5			
	スタンバイモードのADC12 (ユニット0)			-	0.07	0.5			
リファレンス電源電流 (VREFH)	12ビットA/D変換中 (ユニット1)		AI <sub>REFH</sub>	-	70	120	μA	-	
	D/A変換中 (1ユニット当り)	AMP出力なし		-	0.1	0.4			mA
		AMP出力あり		-	0.1	0.4			mA
	12ビットA/D (ユニット1)、D/A (全ユニット) 変換待機時			-	0.07	0.8			μA
	スタンバイモードのADC12ユニット1			-	0.07	0.8			μA

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS トランジスタをオフ状態にした場合の値です。  
 注 2. 周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。  
 注 3. I<sub>CC</sub> は、下記のとおり f (ICLK) に依存します。(ICLK:PCLKA:PCLKB:PCLKC:PCLKD = 2:2:1:1:2)  
 I<sub>CC</sub> Max. = 0.53 × f + 23 (High-speed モードでの最大動作時)  
 I<sub>CC</sub> Typ. = 0.08 × f + 2.4 (High-speed モードでの通常動作時)  
 I<sub>CC</sub> Typ. = 0.1 × f + 1.1 (Low-speed モード)  
 I<sub>CC</sub> Max. = 0.09 × f + 23 (スリープモード)  
 注 4. BGO 動作は含まれません。

- 注5. この状態では、周辺機能へのクロック信号供給は停止されています。BGO動作は含まれません。
- 注6. FCLK、PCLKA、PCLKB、PCLKC、PCLKDは、64分周（3.75MHz）に設定されています。
- 注7. 本MCUがソフトウェアスタンバイモードの場合またはMSTPCRD.MSTPD16（12ビットA/Dコンバータ0モジュールストップビット）およびMSTPCRD.MSTPD15（12ビットA/Dコンバータ1モジュールストップビット）がモジュールストップ状態の場合 [35.6.8 AN000 ~ AN002](#)、[AN007](#)、[AN100 ~ AN102](#)、および[AN107](#)の使用可能な機能とレジスタ設定を参照してください。
- 注8. DPSBYCRレジスタについての詳細は、[11.2.11 ディープソフトウェアスタンバイコントロールレジスタ（DPSBYCR）](#)を参照してください。

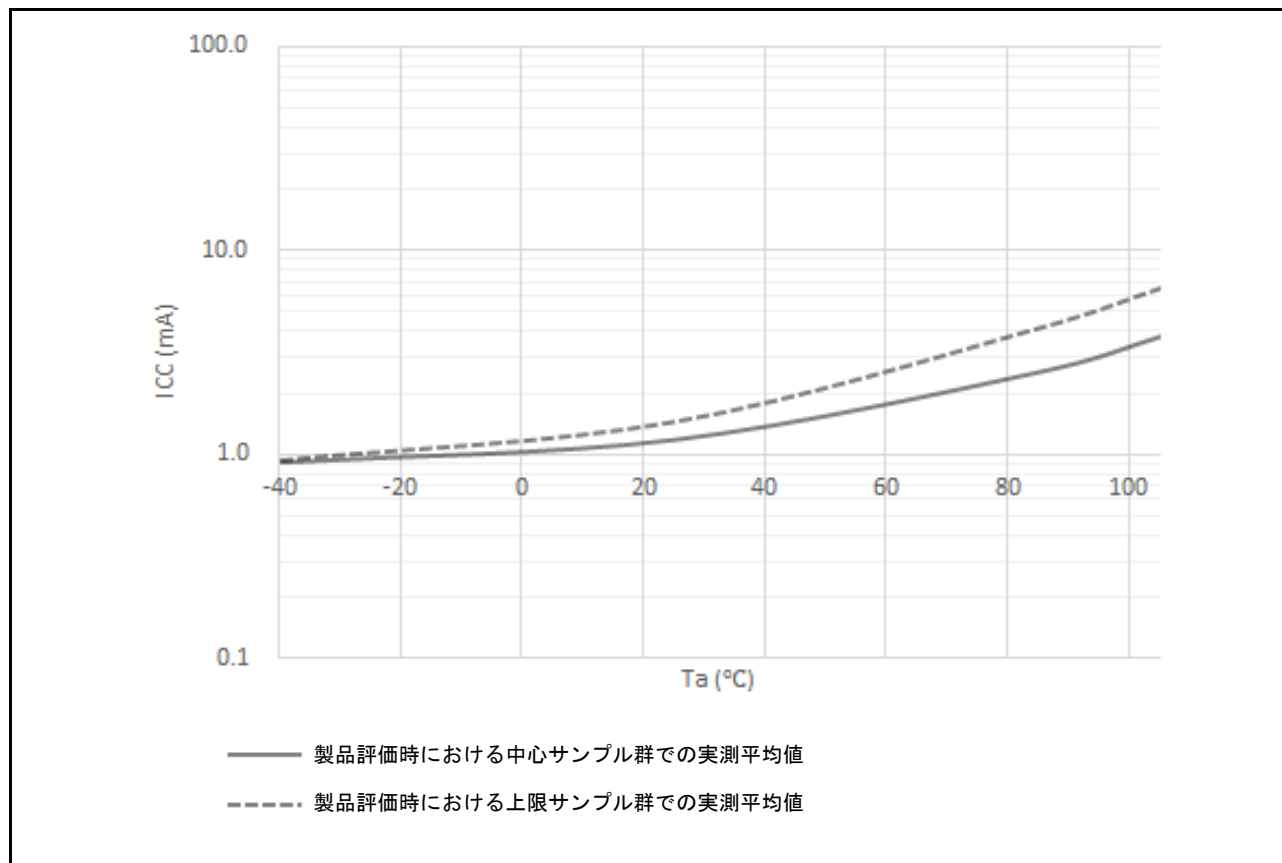


図 43.2 ソフトウェアスタンバイモード時の温度依存性（参考データ）

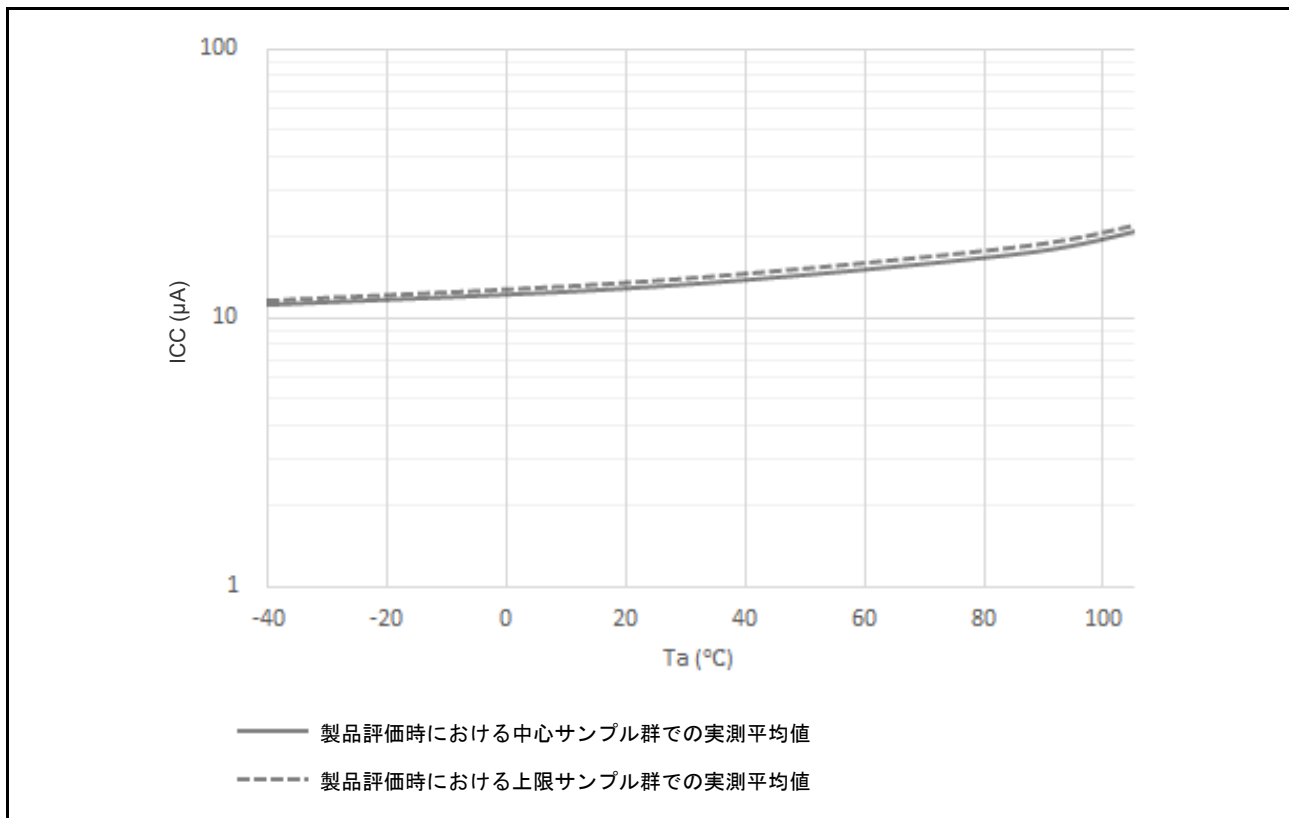


図 43.3 ディープソフトウェアスタンバイモード時の温度依存性：パワーオンリセット回路の低消費電力機能無効（参考データ）

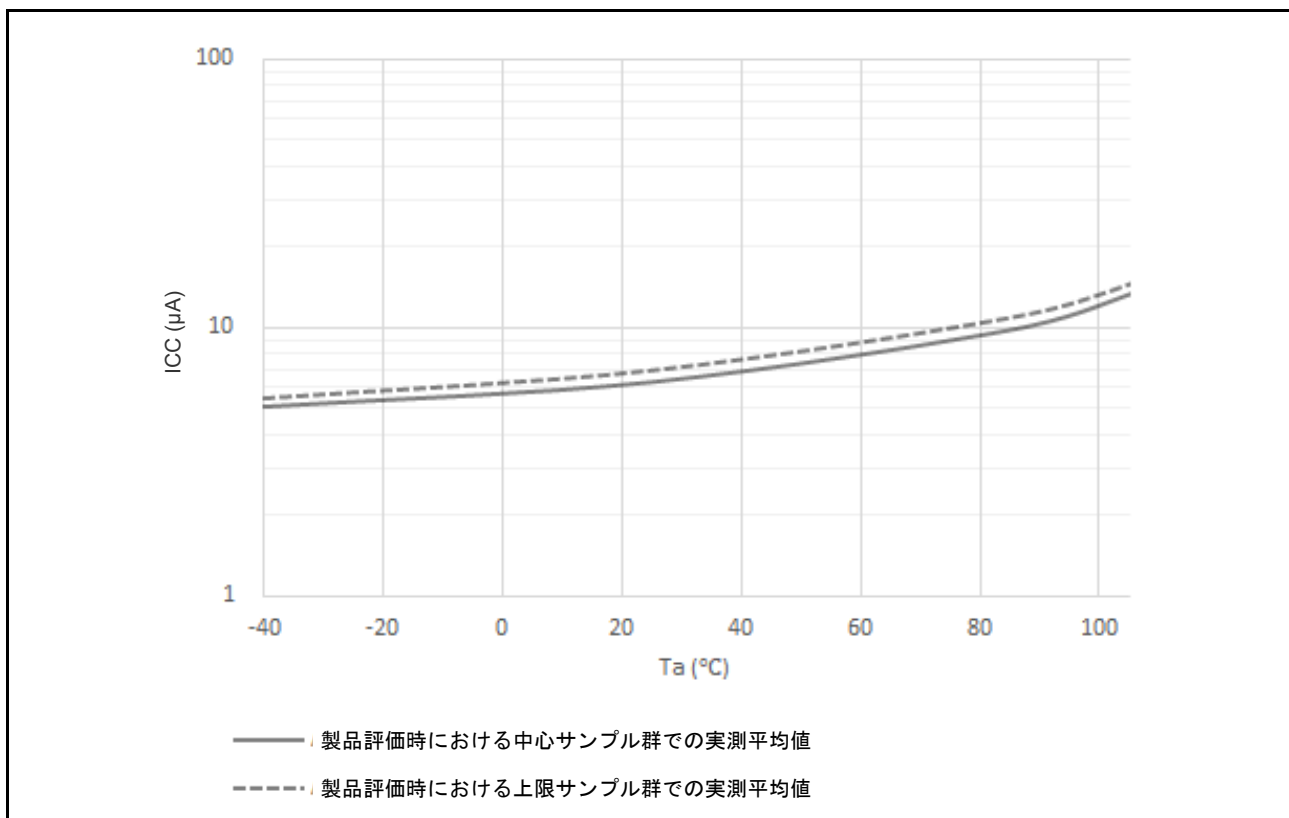


図 43.4 ディープソフトウェアスタンバイモード時の温度依存性：パワーオンリセット回路の低消費電力機能有効（参考データ）

## 43.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 43.8 立ち上がり勾配の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
VCC立ち上がり勾配	スタートアップ時の電圧監視0リセット禁止	SrVCC	0.0084	-	20	ms/V	-
	スタートアップ時の電圧監視0リセット許可		0.0084	-	-		-
	SCIブートモード (注1)		0.0084	-	20		-

注1. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ0リセットは無効です。

表 43.9 立ち上がり／立ち下がり勾配とリップル周波数特性

リップル電圧は、VCC上限 (3.6V) と下限 (2.7V) の範囲内で、許容リップル周波数 $f_r(VCC)$ を満たす必要があります。VCC変動がVCC ± 10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	-	-	10	kHz	図 43.5 $V_r(VCC) \leq VCC \times 0.2$
		-	-	1	MHz	図 43.5 $V_r(VCC) \leq VCC \times 0.08$
		-	-	10	MHz	図 43.5 $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	-	-	ms/V	VCC変動がVCC ± 10%を超える場合

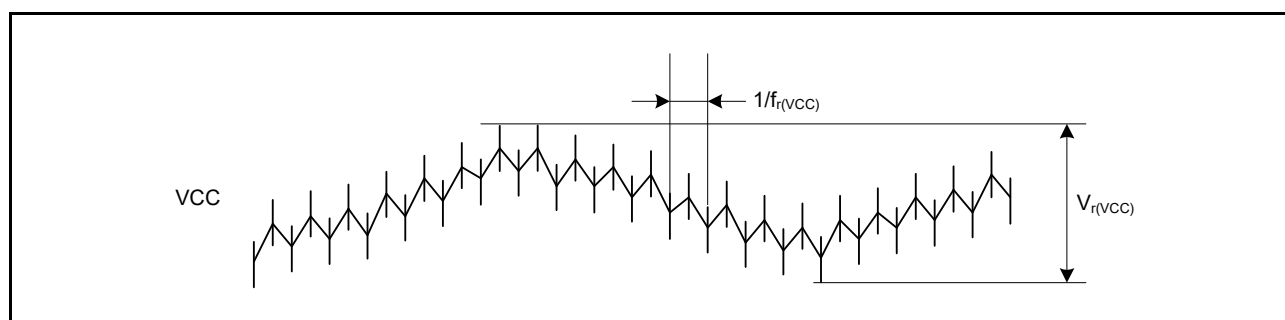


図 43.5 リップル波形



## 43.3 AC 特性

## 43.3.1 周波数

表 43.10 Hig-speedモードにおける動作周波数

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注2)	f	-	-	120	MHz
	周辺モジュールクロック (PCLKA) (注2)		-	-	120	
	周辺モジュールクロック (PCLKB) (注2)		-	-	60	
	周辺モジュールクロック (PCLKC) (注2)		- (注3)	-	60	
	周辺モジュールクロック (PCLKD) (注2)		-	-	120	
	フラッシュインタフェースクロック (FCLK) (注2)		- (注1)	-	60	

- 注 1. フラッシュメモリのプログラミング/イレース中、FCLK は 4MHz 以上の周波数で実行する必要があります。
- 注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については「9. クロック発生回路」を参照してください。
- 注 3. ADC12 使用時、PCLKC 周波数は 1MHz 以上でなければなりません。

表 43.11 Low-speedモードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注2)	f	-	-	1	MHz
	周辺モジュールクロック (PCLKA) (注2)		-	-	1	
	周辺モジュールクロック (PCLKB) (注2)		-	-	1	
	周辺モジュールクロック (PCLKC) (注2) (注3)		- (注3)	-	1	
	周辺モジュールクロック (PCLKD) (注2)		-	-	1	
	フラッシュインタフェースクロック (FCLK) (注1) (注2)		-	-	1	

- 注 1. フラッシュメモリのプログラム/イレースは、Low-speed モードでは許可されていません。
- 注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については「9. クロック発生回路」を参照してください。
- 注 3. ADC12 使用時、PCLKC 周波数は 1MHz 以上でなければなりません。

表 43.12 Subosc-speedモードにおける動作周波数

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注2)	f	29.4	-	36.1	kHz
	周辺モジュールクロック (PCLKA) (注2)		-	-	36.1	
	周辺モジュールクロック (PCLKB) (注2)		-	-	36.1	
	周辺モジュールクロック (PCLKC) (注2) (注3)		-	-	36.1	
	周辺モジュールクロック (PCLKD) (注2)		-	-	36.1	
	フラッシュインタフェースクロック (FCLK) (注1) (注2)		29.4	-	36.1	

- 注 1. フラッシュメモリのプログラム/イレースは、Subosc-speed モードでは許可されていません。
- 注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK 相互間の周波数関係については「9. クロック発生回路」を参照してください。
- 注 3. ADC12 は使用できません。

## 43.3.2 クロックタイミング

表 43.13 サブクロック発振器以外のクロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件	
EXTAL外部クロック入力サイクル時間	$t_{EXcyc}$	41.66	-	-	ns	図 43.6	
EXTAL外部クロック入力Highレベルパルス幅	$t_{EXH}$	15.83	-	-	ns		
EXTAL外部クロック入力Lowレベルパルス幅	$t_{EXL}$	15.83	-	-	ns		
EXTAL外部クロック立ち上がり時間	$t_{EXr}$	-	-	5.0	ns		
EXTAL外部クロック立ち下がり時間	$t_{EXf}$	-	-	5.0	ns		
メインクロック発振器周波数	$f_{MAIN}$	8	-	24	MHz	-	
メインクロック発振安定待機時間 (水晶) (注1)	$t_{MAINOSCWT}$	-	-	- (注1)	ms	図 43.7	
LOCOクロック発振周波数	$f_{LOCO}$	29.4912	32.768	36.0448	kHz	-	
LOCOクロック発振安定待機時間	$t_{LOCOWT}$	-	-	60.4	$\mu$ s	図 43.8	
ILOCOクロック発振周波数	$f_{ILOCO}$	13.5	15	16.5	kHz	-	
MOCOクロック発振周波数	$F_{MOCO}$	6.8	8	9.2	MHz	-	
MOCOクロック発振安定待機時間	$t_{MOCOWT}$	-	-	15.0	$\mu$ s	-	
HOCOクロック発振器発振周波数	FLLなし	$f_{HOCO16}$	15.78	16	16.22	MHz	$-20 \leq Ta \leq 105^\circ\text{C}$
		$f_{HOCO18}$	17.75	18	18.25		
		$f_{HOCO20}$	19.72	20	20.28		
		$f_{HOCO16}$	15.71	16	16.29		$-40 \leq Ta \leq -20^\circ\text{C}$
		$f_{HOCO18}$	17.68	18	18.32		
		$f_{HOCO20}$	19.64	20	20.36		
	FLLあり	$f_{HOCO16}$	15.955	16	16.045	MHz	$-40 \leq Ta \leq 105^\circ\text{C}$ サブクロック周波数制度は、 $\pm 50\text{ppm}$ です。
		$f_{HOCO18}$	17.949	18	18.051		
		$f_{HOCO20}$	19.944	20	20.056		
HOCOクロック発振安定待機時間 (注2)	$t_{HOCOWT}$	-	-	64.7	$\mu$ s	-	
FLL安定待機時間	$t_{FLLWT}$	-	-	1.8	ms	-	
PLLクロック周波数	$f_{PLL}$	120	-	240	MHz	-	
PLLクロック発振安定待機時間	$t_{PLLWT}$	-	-	174.9	$\mu$ s	図 43.9	

- 注 1. メインクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWTCRレジスタを、推奨値以上に設定してください。  
メインクロック動作を開始するためにMOSCCR.MOSTPビット設定を変更したら、OSCSF.MOSCSFフラグが1であることを確認してからメインクロック発振器の使用を開始してください。
- 注 2. リセット状態の解除からHOCO発振周波数( $f_{HOCO}$ )が動作保証範囲に達するまでの時間です。

表 43.14 サブクロック発振器のクロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック周波数	$f_{SUB}$	-	32.768	-	kHz	-
サブクロック発振安定待機時間	$t_{SUBOSCWT}$	-	-	- (注1)	s	図 43.10

- 注 1. サブクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。  
サブクロック動作を開始するためにSOSCCR.SOSTPビットの設定を変更したら、必ずサブクロック発振安定時間が十分に経過してからサブクロック発振器の使用を開始してください。示された時間の2倍を推奨します。

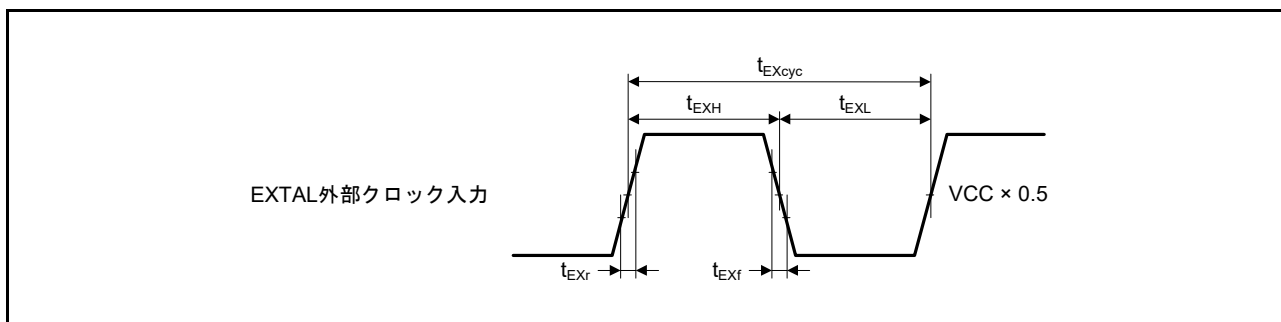


図 43.6 EXTAL 外部クロック入力タイミング

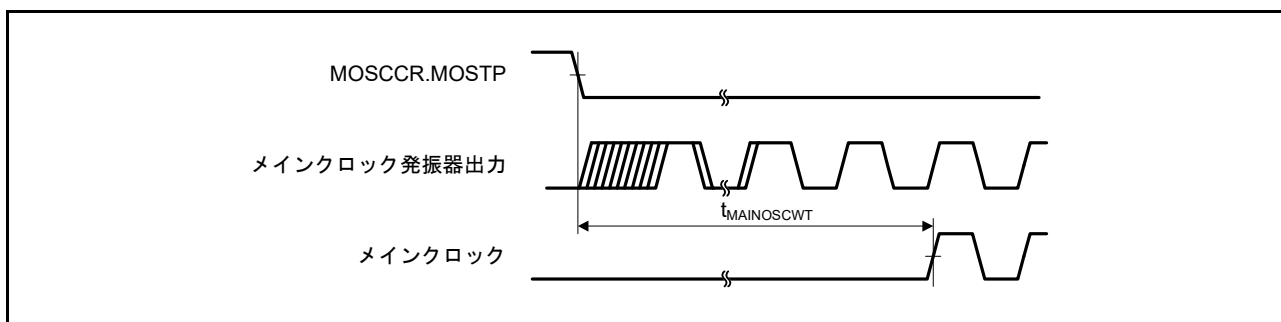


図 43.7 メインクロック発振開始タイミング

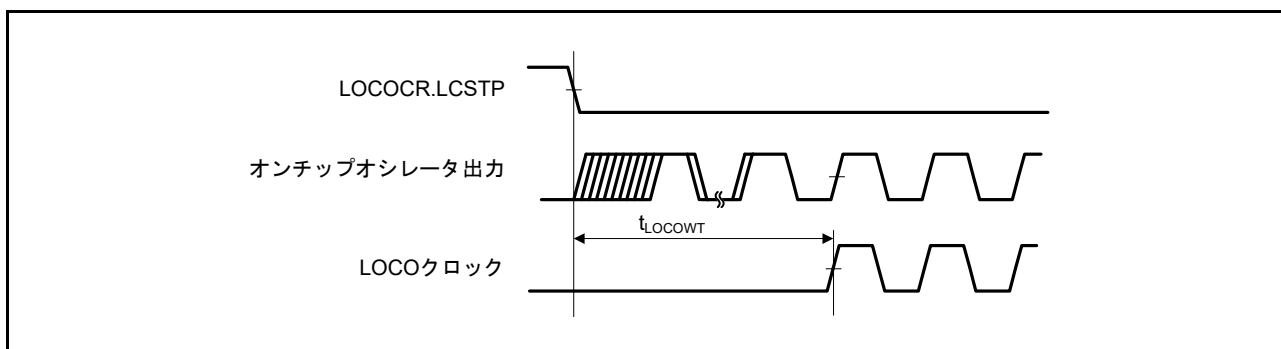


図 43.8 LOCO クロック発振開始タイミング

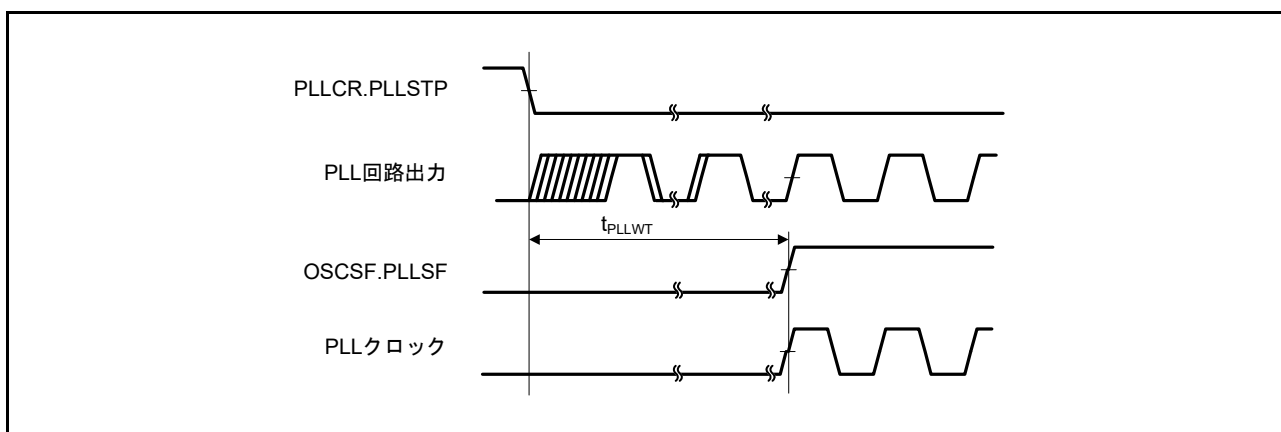


図 43.9 PLL クロック発振開始タイミング

注. メインクロックの発振が安定した後に PLL を動作させてください。

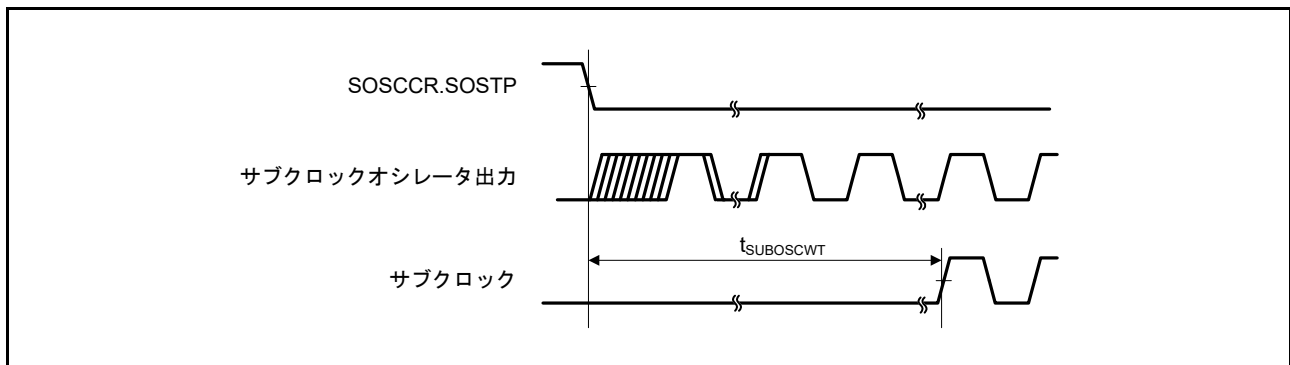


図 43.10 サブクロック発振開始タイミング

### 43.3.3 リセットタイミング

表 43.15 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RESパルス幅	パワーオン	$t_{RESWP}$	1	-	-	ms	図 43.11
	ディープソフトウェアスタンバイモード	$t_{RESWD}$	0.6	-	-	ms	図 43.12
	ソフトウェアスタンバイモード、Subosc-speedモード	$t_{RESWS}$	0.3	-	-	ms	
	上記以外	$t_{RESW}$	200	-	-	$\mu$ s	
RES解除後の待機時間		$t_{RESWT}$	-	29	32	$\mu$ s	図 43.11
内部リセット解除後の待機時間 (IWDTリセット、WDTリセット、ソフトウェアリセット、SRAMパリティエラーリセット、バスマスタMPUエラーリセット、バスマスタMPUエラーリセット、スタックポインタエラーリセット)		$t_{RESW2}$	-	320	390	$\mu$ s	-

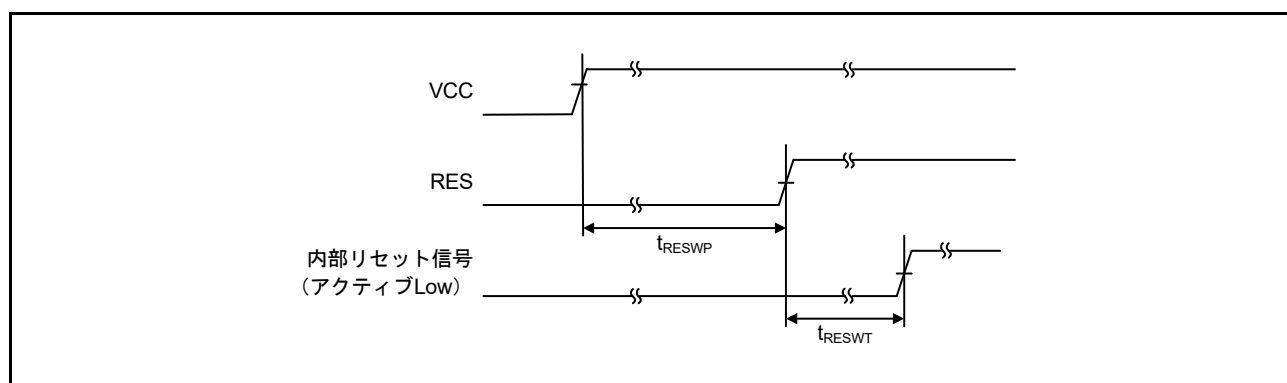


図 43.11 パワーオンリセットタイミング

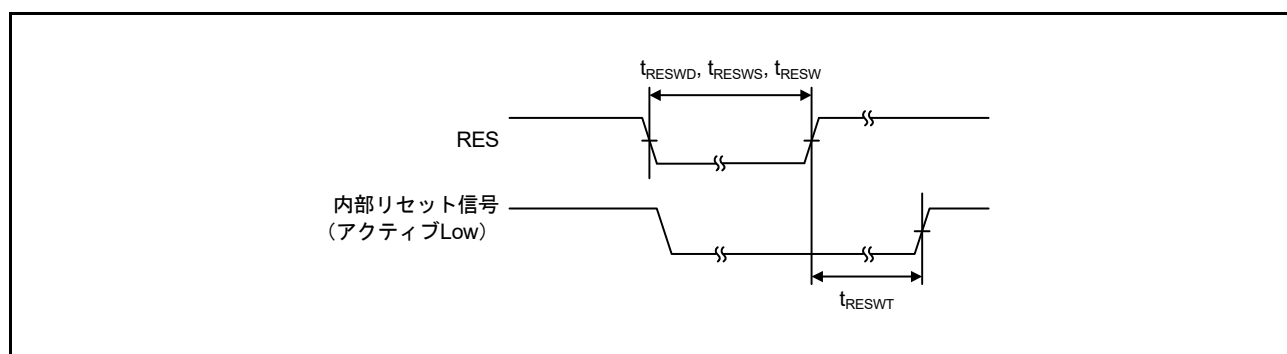


図 43.12 リセット入力タイミング

## 43.3.4 ウェイクアップタイミング

表 43.16 低消費電力モードからの復帰のタイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (注2)	t <sub>SBYMC</sub>	-	2.4 (注9)	2.8 (注9)	ms	図 43.13 全発振器の分周比は1です。
		システムクロックソースはメインクロック発振器を使用したPLL (注3)	t <sub>SBYPC</sub>	-	2.7 (注9)	3.2 (注9)	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (注4)	t <sub>SBYEX</sub>	-	230 (注9)	280 (注9)	μs	
		システムクロックソースはメインクロック発振器を使用したPLL (注5)	t <sub>SBYPE</sub>	-	570 (注9)	700 (注9)	μs	
	システムクロックソースはサブクロック発振器 (注8)		t <sub>SBYSC</sub>	-	1.2 (注9)	1.3 (注9)	ms	
	システムクロックソースはLOCO (注8)		t <sub>SBYLO</sub>	-	1.2 (注9)	1.4 (注9)	ms	
	システムクロックソースはHOCO (注6)		t <sub>SBYHO</sub>	-	240 (注9) (注10)	300 (注9) (注10)	μs	
	システムクロックソースはMOCO (注7)		t <sub>SBYMO</sub>	-	220 (注9)	300 (注9)	μs	
ディープソフトウェアスタンバイモードからの復帰時間			t <sub>DSBY</sub>	-	0.65	1.0	ms	図 43.14
ディープソフトウェアスタンバイモード解除後待機時間			t <sub>DSBYWT</sub>	34	-	35	t <sub>cyc</sub>	
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	システムクロックソースがHOCO (20MHz) の場合はHigh-speedモード		t <sub>SNZ</sub>	-	35 (注9) (注10)	70 (注9) (注10)	μs	図 43.15
	システムクロックソースがMOCO (8MHz) の場合はHigh-speedモード		t <sub>SNZ</sub>	-	11 (注9)	14 (注9)	μs	

- 注 1. 復帰時間はシステムクロックソースにより決定されます。複数の発振器が起動している場合、復帰時間は以下の計算式で決定できます。  
総復帰時間 = システムクロックソースとしての発振器の復帰時間 + システムクロックソースより長い安定時間を要する発振器の最長発振安定時間 + 2LOCO サイクル (LOCO が動作している場合) + 3SOSC サイクル (Subosc が発振中かつ MSTPC0 = 0 (CAC モジュール停止) の場合)。
- 注 2. 水晶の周波数が 24MHz の場合 (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 05h のとき)。その他の設定 (MOSCWTCR が Xh) の場合、復帰時間は以下の計算式で決定できます。  
 $t_{SBYMC} (\text{MOSCWTCR} = Xh) = t_{SBYMC} (\text{MOSCWTCR} = 05h) + (t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = Xh) - t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = 05h))$
- 注 3. PLL の周波数が 240MHz の場合 (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 05h のとき)。その他の設定 (MOSCWTCR が Xh) の場合、復帰時間は以下の計算式で決定できます。  
 $t_{SBYMC} (\text{MOSCWTCR} = Xh) = t_{SBYMC} (\text{MOSCWTCR} = 05h) + (t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = Xh) - t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = 05h))$
- 注 4. 外部クロックの周波数が 24MHz の場合 (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 00h のとき)。その他の設定 (MOSCWTCR が Xh) の場合、復帰時間は以下の計算式で決定できます。  
 $t_{SBYMC} (\text{MOSCWTCR} = Xh) = t_{SBYMC} (\text{MOSCWTCR} = 00h) + (t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = Xh) - t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = 00h))$
- 注 5. PLL の周波数が 240MHz の場合 (メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 00h のとき)。その他の設定 (MOSCWTCR が Xh) の場合、復帰時間は以下の計算式で決定できます。  
 $t_{SBYMC} (\text{MOSCWTCR} = Xh) = t_{SBYMC} (\text{MOSCWTCR} = 00h) + (t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = Xh) - t_{\text{MAINOSCWT}} (\text{MOSCWTCR} = 00h))$
- 注 6. HOCO 周波数は 20MHz です。
- 注 7. MOCO 周波数は 8MHz です。
- 注 8. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードで発振を継続します。
- 注 9. SNZCR.RXDREQEN ビットが 0 のとき、下記の時間が電源復帰時間として追加されます：  
STCONR.STCON[1:0] = 00b : 16μs (標準)、34μs (最大)  
STCONR.STCON[1:0] = 11b : 16μs (標準)、104μs (最大)
- 注 10. SNZCR.RXDREQEN ビットが 0 のとき、16μs (標準) または 18μs (最大) が HOCO 待機時間として追加されます。

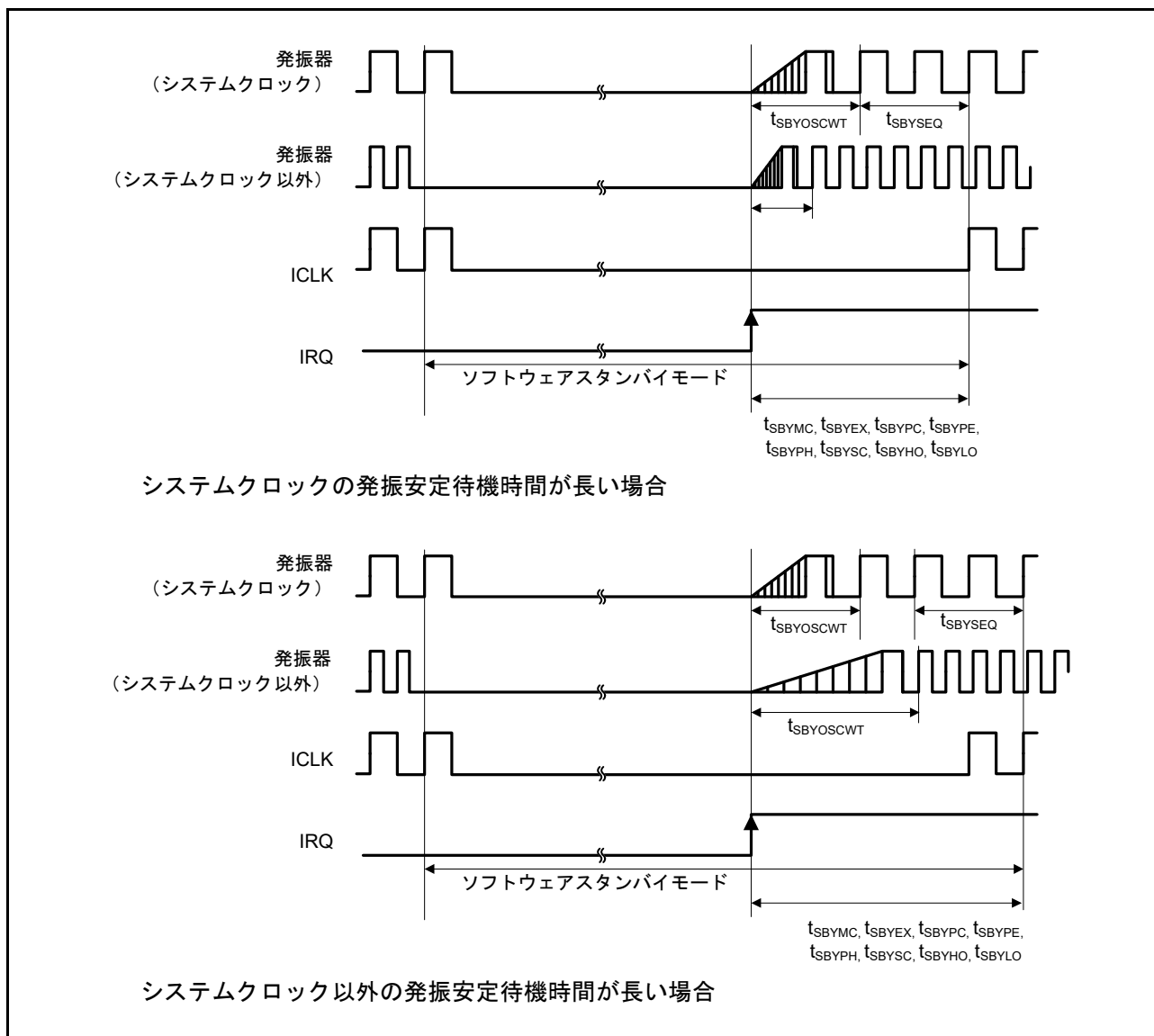


図 43.13 ソフトウェアスタンバイモード解除タイミング

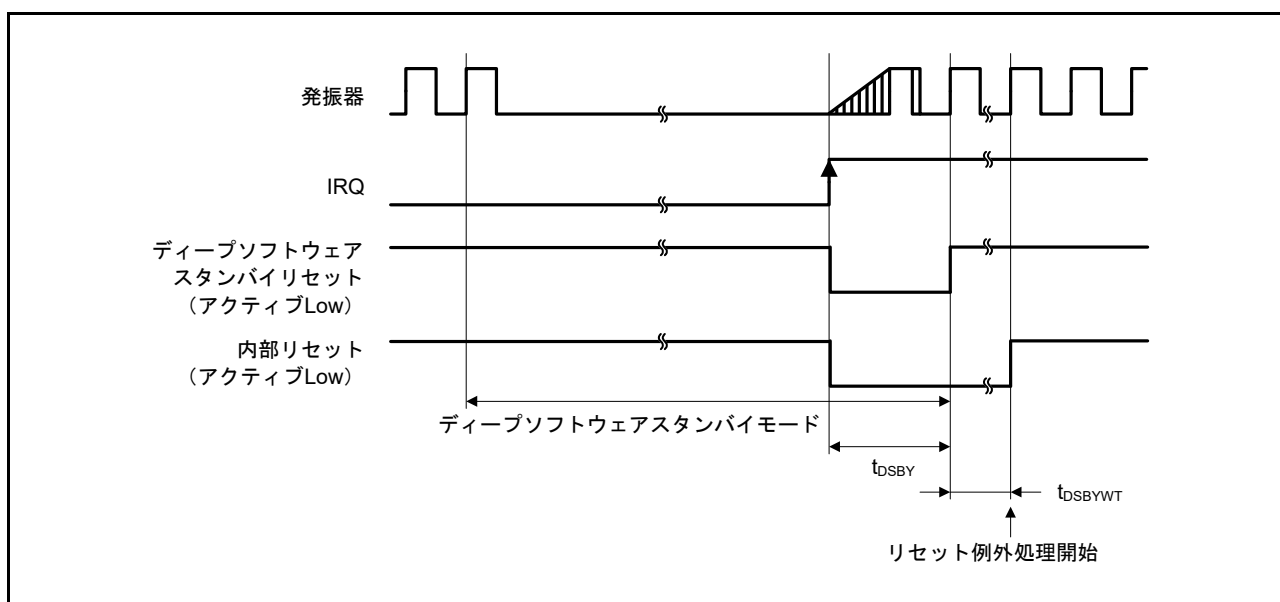


図 43.14 ディープソフトウェアスタンバイモード解除タイミング

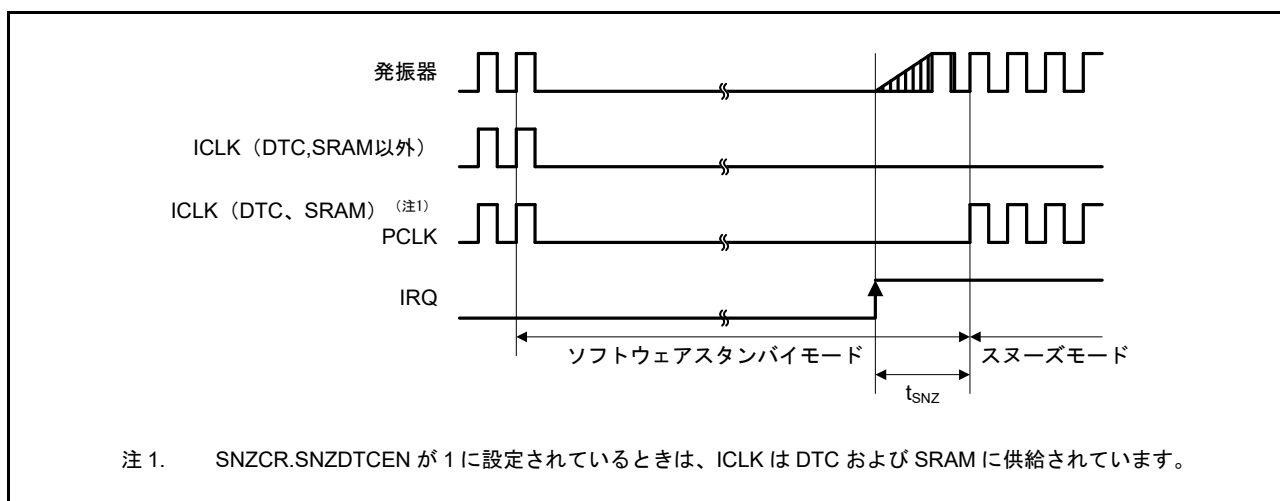


図 43.15 ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング



## 43.3.5 NMI/IRQ ノイズフィルタ

表 43.17 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMIパルス幅	$t_{\text{NMIW}}$	200	-	-	ns	NMI デジタルフィルタ無効	$t_{\text{Pcyc}} \times 2 \leq 200\text{ns}$
		$t_{\text{Pcyc}} \times 2$ (注1)	-	-			$t_{\text{Pcyc}} \times 2 > 200\text{ns}$
		200	-	-		NMI デジタルフィルタ有効	$t_{\text{NMICK}} \times 3 \leq 200\text{ns}$
		$t_{\text{NMICK}} \times 3.5$ (注2)	-	-			$t_{\text{NMICK}} \times 3 > 200\text{ns}$
IRQパルス幅	$t_{\text{IRQW}}$	200	-	-	ns	IRQ デジタルフィルタ無効	$t_{\text{Pcyc}} \times 2 \leq 200\text{ns}$
		$t_{\text{Pcyc}} \times 2$ (注1)	-	-			$t_{\text{Pcyc}} \times 2 > 200\text{ns}$
		200	-	-		IRQ デジタルフィルタ有効	$t_{\text{IRQCK}} \times 3 \leq 200\text{ns}$
		$t_{\text{IRQCK}} \times 3.5$ (注3)	-	-			$t_{\text{IRQCK}} \times 3 > 200\text{ns}$

注. ソフトウェアスタンバイモード時は最小 200ns です。

注. クロックソースを切り替えたときは、切り替え後のクロックソースの 4 クロックサイクル分を加えてください。

注 1.  $t_{\text{Pcyc}}$  は PCLKB の周期を意味します。

注 2.  $t_{\text{NMICK}}$  は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3.  $t_{\text{IRQCK}}$  は、IRQi デジタルフィルタサンプリングクロックの周期を意味します。

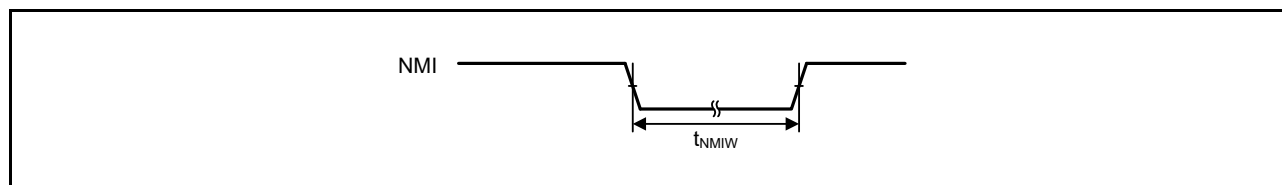


図 43.16 NMI 割り込み入力タイミング

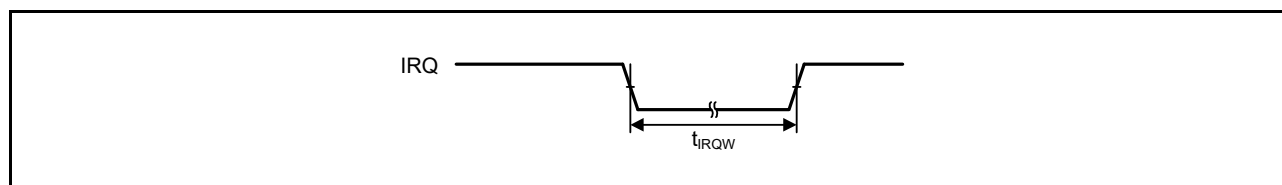


図 43.17 IRQ 割り込み入力タイミング

## 43.3.6 I/Oポート、POEG、GPT32、AGT、KINT、ADC12トリガタイミング

表 43.18 I/Oポート、POEG、GPT32、AGT、KINT、ADC12トリガタイミング

GPT条件：

PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

AGT条件：

PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位	測定条件	
I/Oポート	入力データパルス幅	$t_{PRW}$	1.5	-	$t_{Pcyc}$	<a href="#">図 43.18</a>	
POEG	POEG入力トリガパルス幅	$t_{POEW}$	3	-	$t_{Pcyc}$	<a href="#">図 43.19</a>	
GPT32	インプットキャプチャパルス幅	単エッジ	$t_{GTICW}$	1.5	-	$t_{PDcyc}$	<a href="#">図 43.20</a>
		両エッジ		2.5	-		
	GTIOCxY出カスケュー (x = 0~7, Y = AまたはB)	中駆動バッファ	$t_{GTISK}$ (注1)	-	4	ns	<a href="#">図 43.21</a>
		高駆動バッファ		-	4		
	GTIOCxY出カスケュー (x = 8~12, Y = AまたはB)	中駆動バッファ		-	4		
		高駆動バッファ		-	4		
GTIOCxY出カスケュー (x = 0~12, Y = AまたはB)	中駆動バッファ	-		6			
	高駆動バッファ	-		6			
OPS出カスケュー GTOUUP、GTOULO、GTOVUP、 GTOVLO、GTOWUP、GTOWLO		$t_{GTOSK}$	-	5	ns	<a href="#">図 43.22</a>	
GPT (PWM遅延生成回路)	GTIOCxY_Z出カスケュー (x = 0~3, Y = AまたはB, Z = A)	$t_{HRSK}$ (注2)	-	2.0	ns	<a href="#">図 43.23</a>	
AGT	AGTIO、AGTEE入力サイクル	$t_{ACYC}$ (注3)	100	-	ns	<a href="#">図 43.24</a>	
	AGTIO、AGTEE入力Highレベル幅、Lowレベル幅	$t_{ACKWH}$ 、 $t_{ACKWL}$	40	-	ns		
	AGTIO、AGTO、AGTOA、AGTOB出力サイクル	$t_{ACYC2}$	62.5	-	ns		
ADC12	ADC12トリガ入力パルス幅	$t_{TRGW}$	1.5	-	$t_{Pcyc}$	<a href="#">図 43.25</a>	
KINT	KRnパルス幅 (n = 00~07)	$t_{KR}$	250	-	ns	<a href="#">図 43.26</a>	

注.  $t_{Pcyc}$  : PCLKB サイクル、 $t_{PDcyc}$  : PCLKD サイクル

注1. このスケューは、同じドライバI/Oが使用されている場合に適用されます。中駆動ドライバと高駆動ドライバのI/Oが混在する場合、動作は保証されません。

注2. 負荷は30pFです。

注3. 入力サイクルの制約：

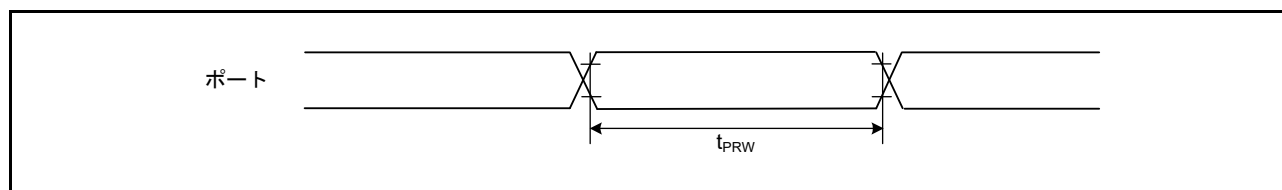
クロックソースを切り替えなときは、 $t_{Pcyc} \times 2 < t_{ACYC}$  としてください。クロックソースを切り替えたときは、 $t_{Pcyc} \times 6 < t_{ACYC}$  としてください。

図 43.18 I/Oポート入力タイミング

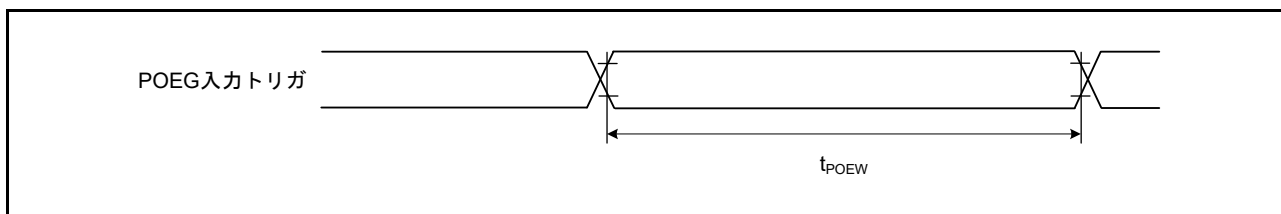


図 43.19 POEG 入力トリガタイミング

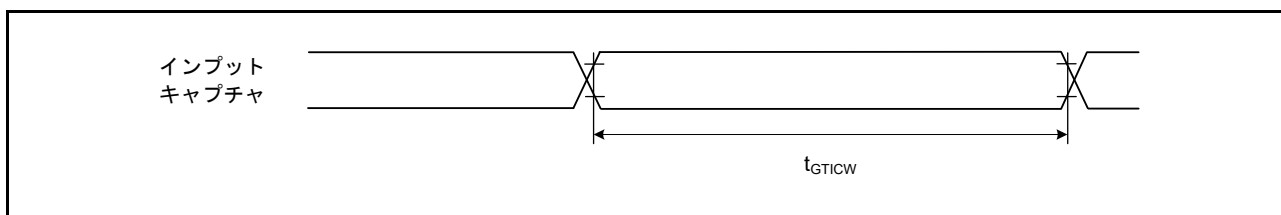


図 43.20 GPT32 インพุットキャプチャタイミング

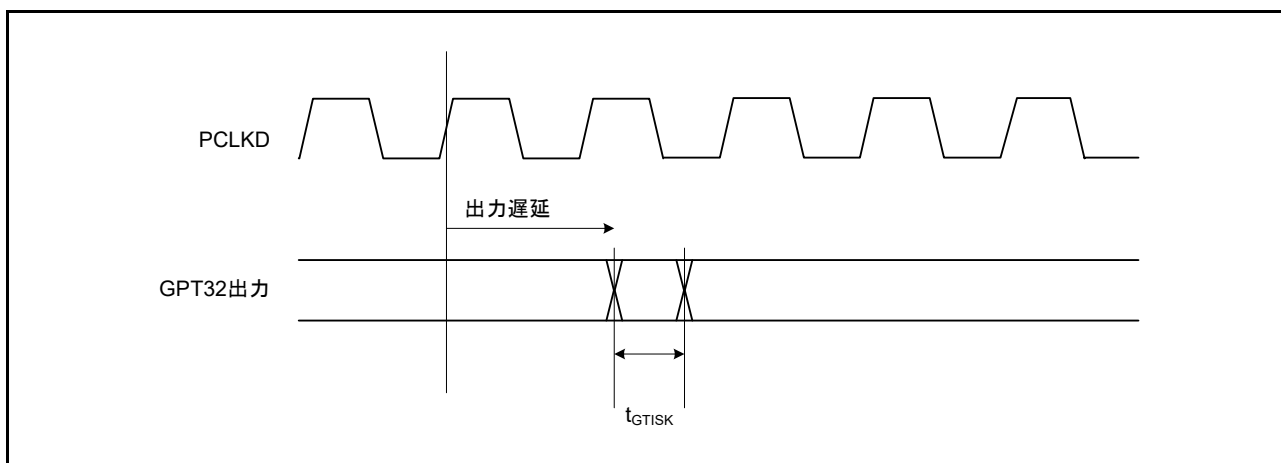


図 43.21 GPT32 出力遅延スキュー

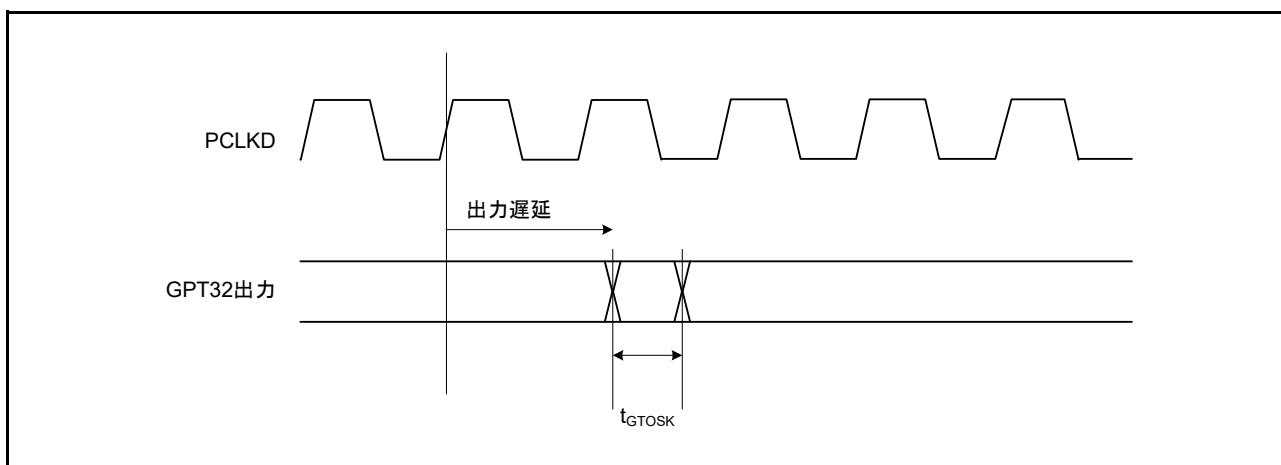


図 43.22 OPS の GPT32 出力遅延スキュー

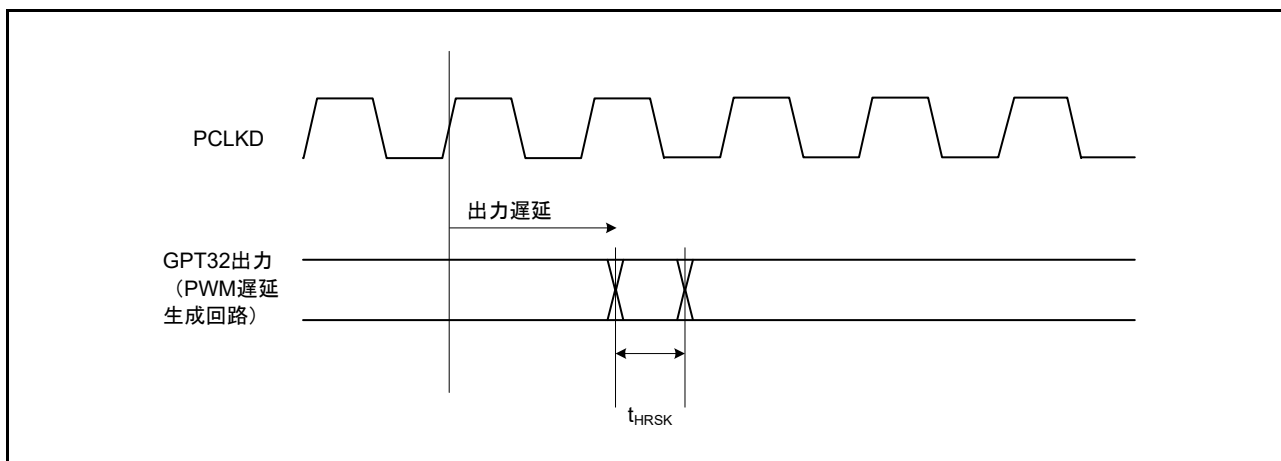


図 43.23 GPT32 (PWM 遅延生成回路) 出力遅延スキュー

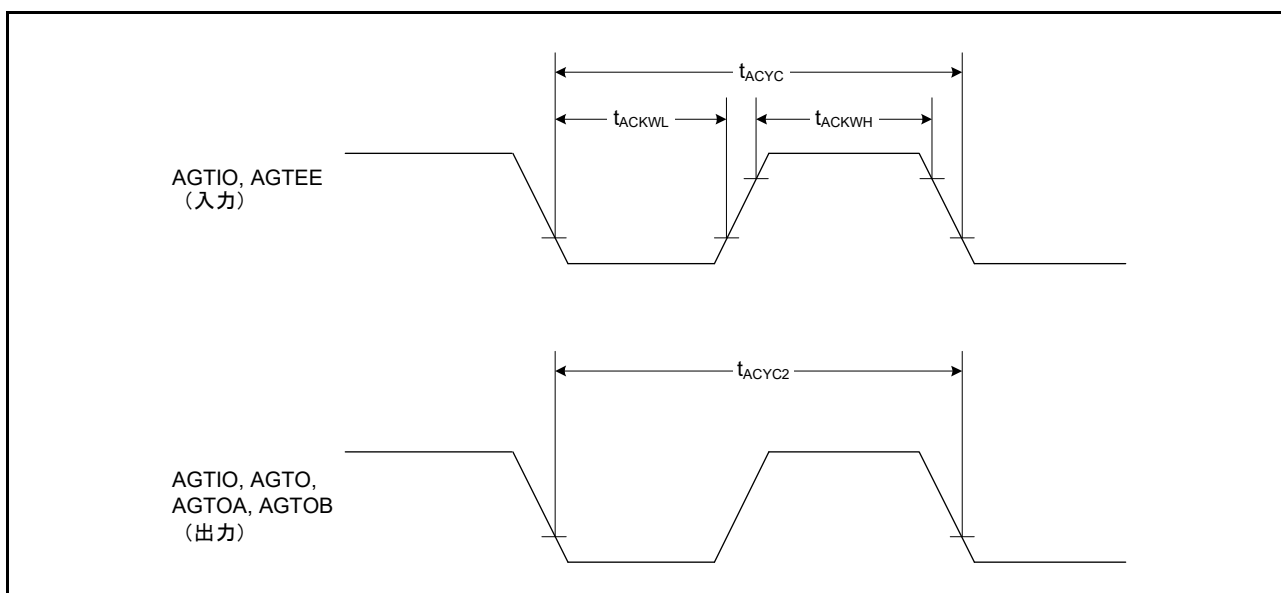


図 43.24 AGT 入出力タイミング

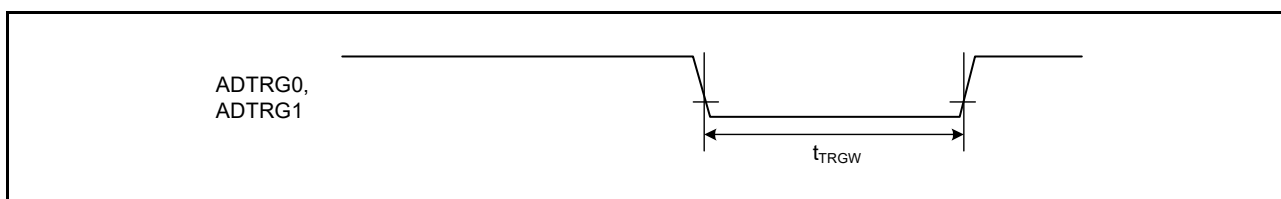


図 43.25 ADC12 トリガ入力タイミング

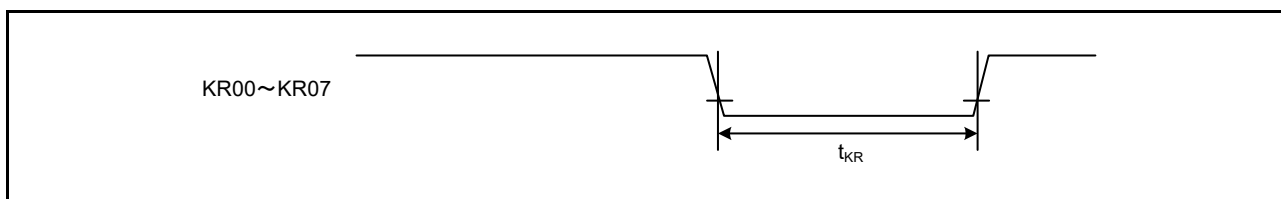


図 43.26 キー割り込み入力タイミング

## 43.3.7 PWM 遅延生成回路タイミング

表 43.19 PWM遅延生成回路タイミング

項目	Min	Typ	Max	単位	測定条件
動作周波数	80	-	120	MHz	-
分解能	-	260	-	ps	PCLKD = 120MHz
DNL (注1)	-	± 2.0	-	LSB	-

注 1. この値は、1LSB 分解能の行間の差異を正規化します。

## 43.3.8 CAC タイミング

表 43.20 CACタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{PBcyc} \leq t_{cac}$ (注2)	$4.5 \times t_{cac} + 3 \times t_{PBcyc}$	-	-	ns	-
		$t_{PBcyc} > t_{cac}$ (注2)	$5 \times t_{cac} + 6.5 \times t_{PBcyc}$	-	-	ns	

注 1.  $t_{PBcyc}$  : PCLKB の周期

注 2.  $t_{cac}$  : CAC カウントクロックソースの周期

### 43.3.9 SCI タイミング

**表 43.21 SCI タイミング (1)**

条件：以下の端子は、PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています：SCK0～SCK4、SCK8、SCK9  
 その他の端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位 (注1)	測定条件	
SCI	入力クロックサイクル	調歩同期式	$t_{Scyc}$	4	-	$t_{Pcyc}$	図 43.27
		クロック同期式		6	-		
	入力クロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$	
	入力クロック立ち上がり時間		$t_{SCKr}$	-	5	ns	
	入力クロック立ち下がり時間		$t_{SCKf}$	-	5	ns	
	出力クロックサイクル	調歩同期式	$t_{Scyc}$	6	-	$t_{Pcyc}$	
		クロック同期式		4	-		
	出力クロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$	
	出力クロック立ち上がり時間		$t_{SCKr}$	-	5	ns	
	出力クロック立ち下がり時間		$t_{SCKf}$	-	5	ns	
送信データ遅延時間	クロック同期式	$t_{TXD}$	-	25	ns	図 43.28	
受信データセットアップ時間	クロック同期式	$t_{RXS}$	15	-	ns		
受信データホールド時間	クロック同期式	$t_{RXH}$	5	-	ns		

注1.  $t_{pcyc}$  : PCLKA の周期

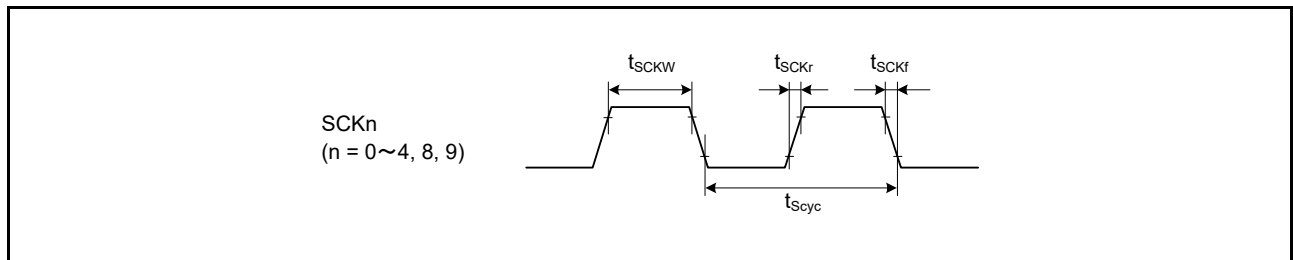


図 43.27 SCK クロック入出力タイミング

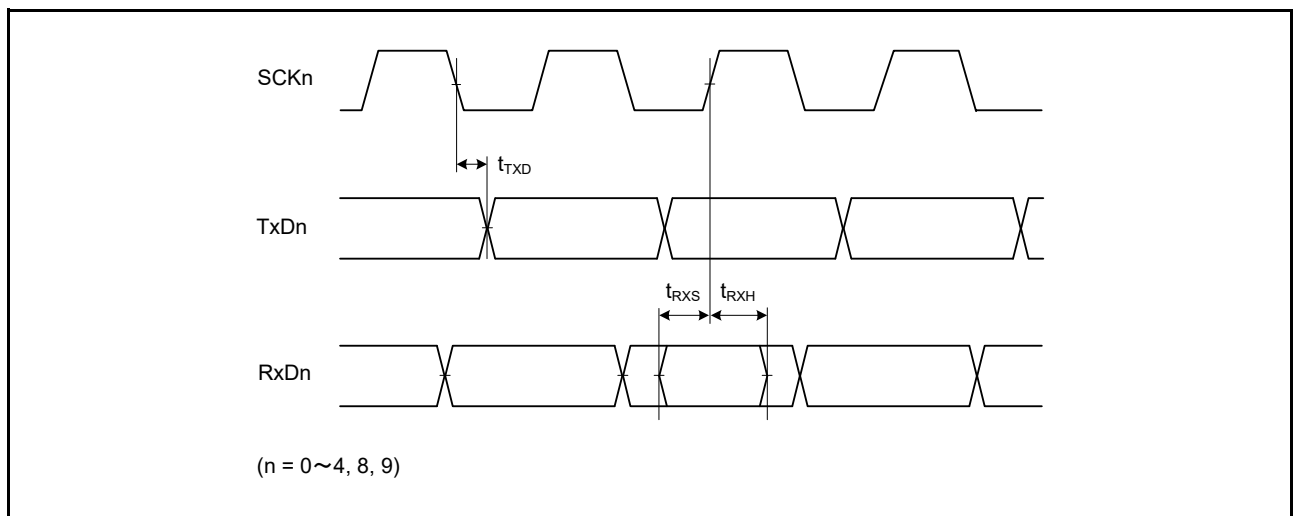


図 43.28 クロック同期式モードにおける SCI 入出力タイミング

**表 43.22 SCIタイミング (2)**

条件：以下の端子は、PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています：SCK0～SCK4、SCK8、SCK9  
 その他の端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	シンボル	Min	Max	単位	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ)	$t_{SPcyc}$	4 (PCLKA $\leq$ 60MHz) 8 (PCLKA $>$ 60MHz)	65536	$t_{Pcyc}$	図 43.29
	SCKクロックサイクル入力 (スレーブ)	-	6 (PCLKA $\leq$ 60MHz) 12 (PCLKA $>$ 60MHz)	65536		
	SCKクロック Highレベルパルス幅	$t_{SPCKWH}$	0.4	0.6	$t_{SPcyc}$	
	SCKクロック Lowレベルパルス幅	$t_{SPCKWL}$	0.4	0.6	$t_{SPcyc}$	
	SCKクロック立ち上がり／立ち下がり時間	$t_{SPCKr}$ , $t_{SPCKf}$	-	20	ns	
データ入力セットアップ時間	$t_{SU}$	33.3	-	ns	図 43.30 ~ 図 43.33	
データ入力ホールド時間	$t_H$	33.3	-	ns		
SS入力セットアップ時間	$t_{LEAD}$	1	-	$t_{SPcyc}$		
SS入力ホールド時間	$t_{LAG}$	1	-	$t_{SPcyc}$		
データ出力遅延時間	$t_{OD}$	-	33.3	ns		
データ出力ホールド時間	$t_{OH}$	-10	-	ns		
データ立ち上がり／立ち下がり時間	$t_{Dr}$ , $t_{Df}$	-	16.6	ns		
SS入力立ち上がり／立ち下がり時間	$t_{SSLr}$ , $t_{SSLf}$	-	16.6	ns		
スレーブアクセス時間	$t_{SA}$	-	4 (PCLKA $\leq$ 60MHz) 8 (PCLKA $>$ 60MHz)	$t_{Pcyc}$	図 43.33	
スレーブ出力解放時間	$t_{REL}$	-	5 (PCLKA $\leq$ 60MHz) 10 (PCLKA $>$ 60MHz)	$t_{Pcyc}$		

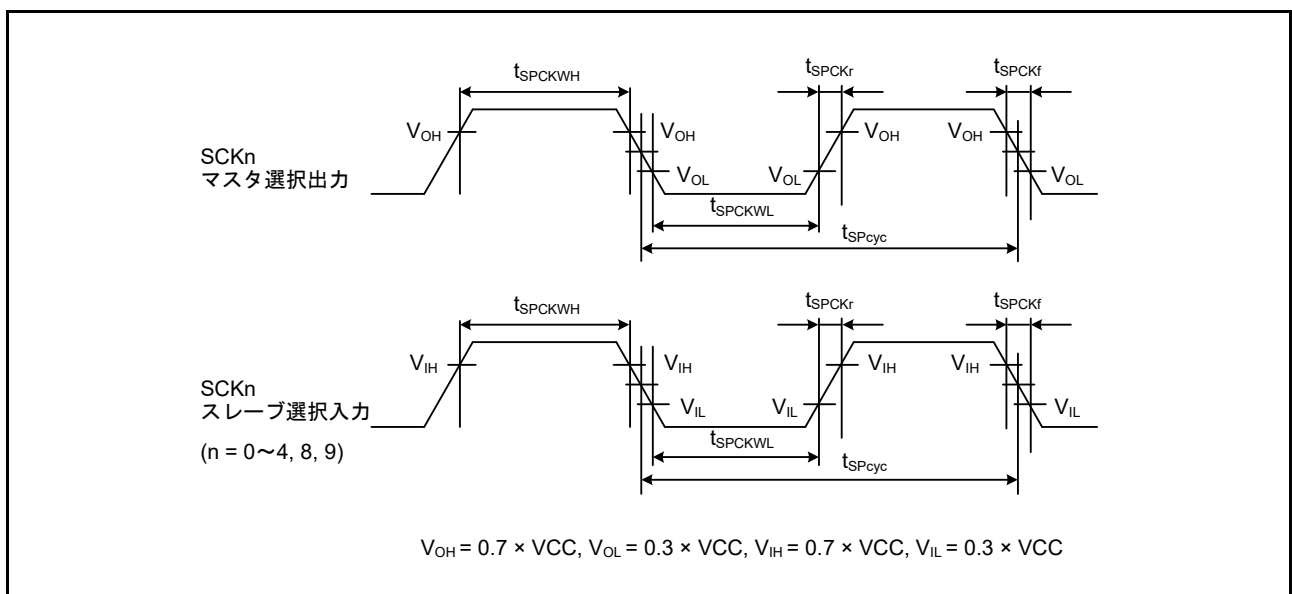


図 43.29 SCI簡易SPIモードクロックタイミング

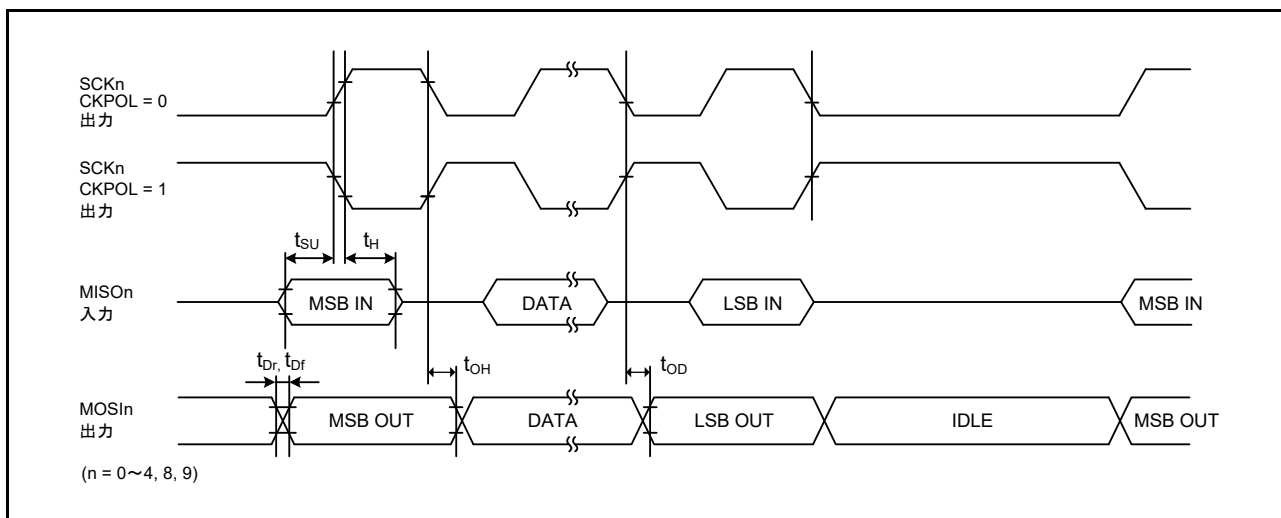


図 43.30 CKPH = 1 の場合におけるマスタの SCI 簡易 SPI モードタイミング

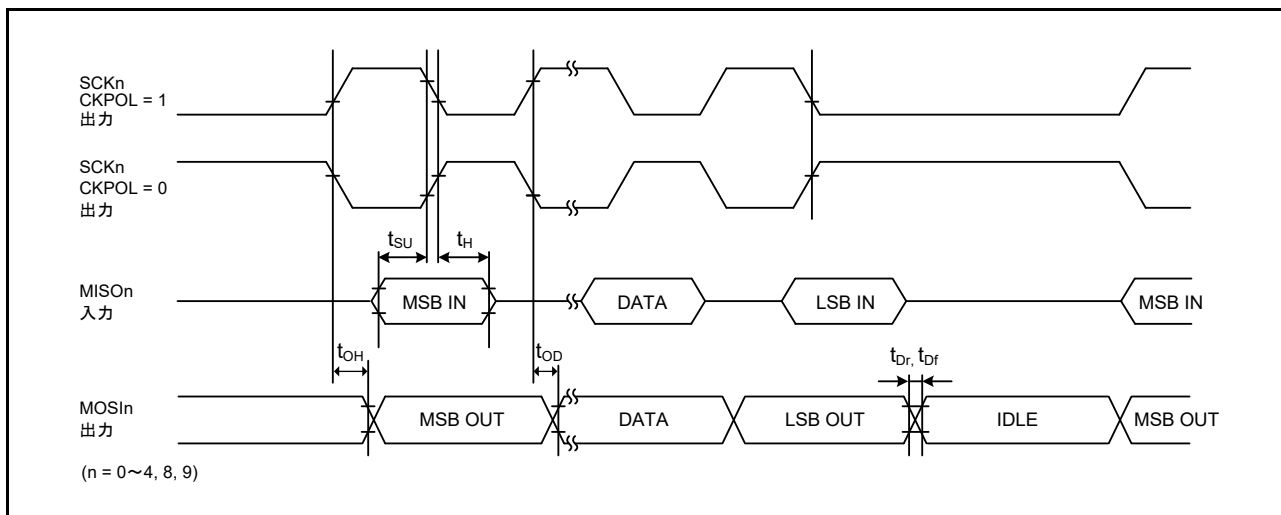


図 43.31 CKPH = 0 の場合におけるマスタの SCI 簡易 SPI モードタイミング



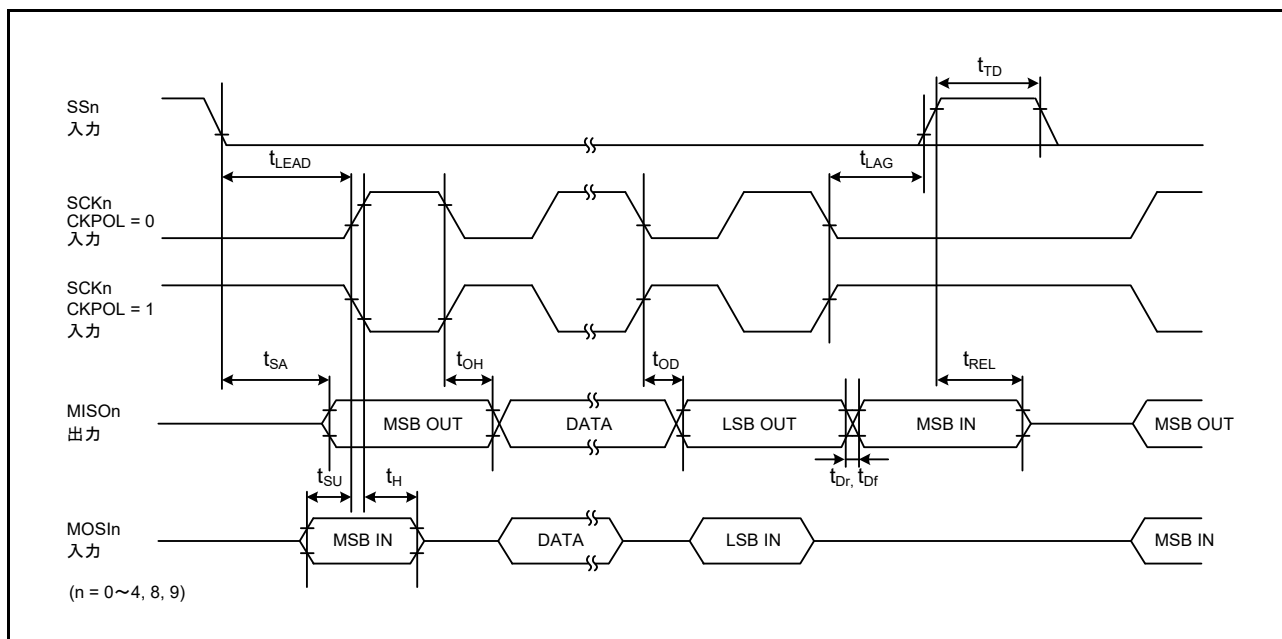


図 43.32 CKPH = 1 の場合におけるスレーブの SCI 簡易 SPI モードタイミング

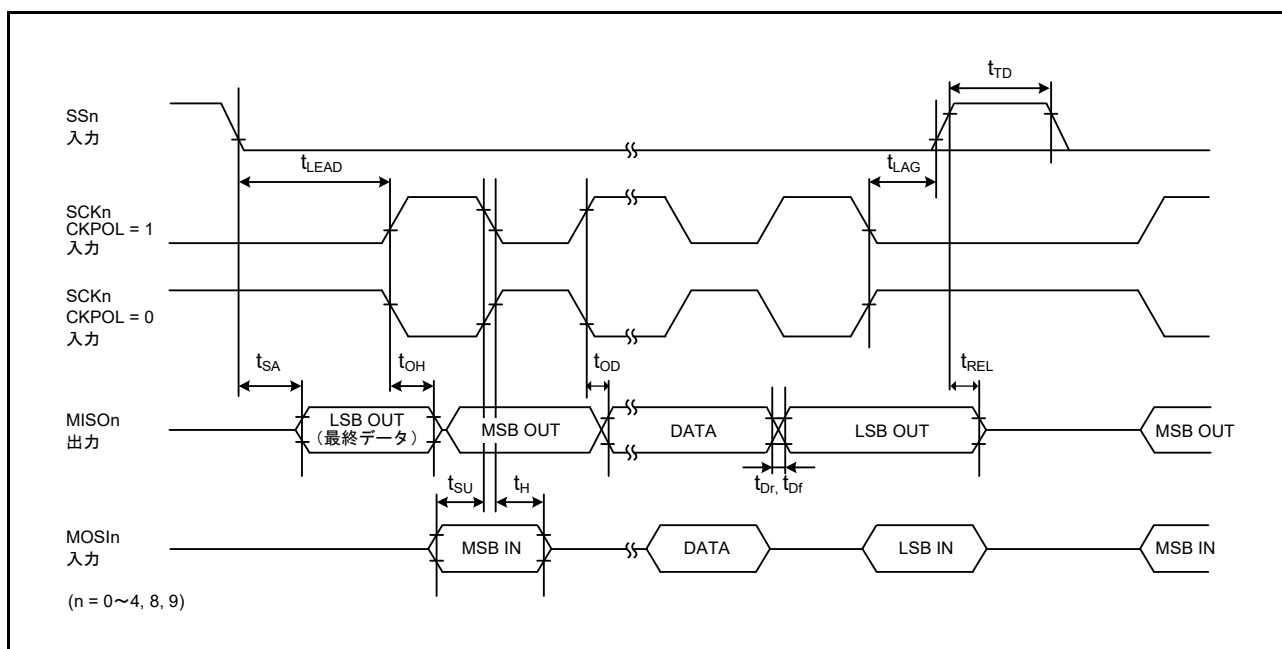


図 43.33 CKPH = 0 の場合におけるスレーブの SCI 簡易 SPI モードタイミング

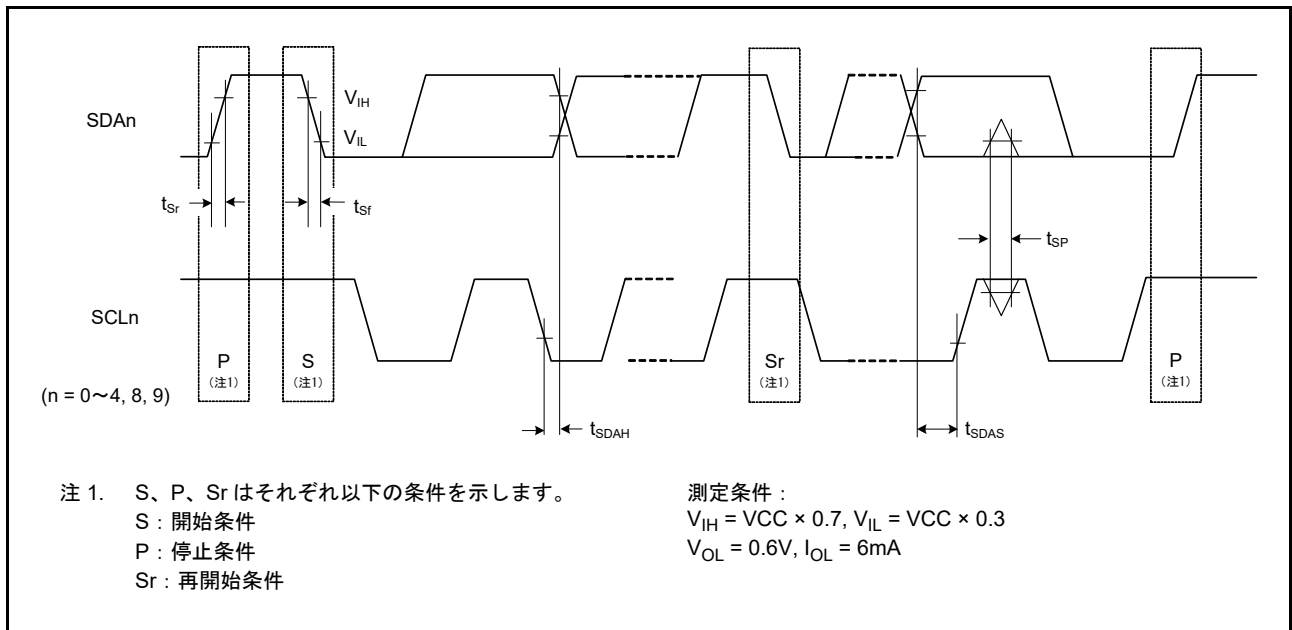
**表 43.23 SCIタイミング (3)**

条件：PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目	シンボル	Min	Max	単位	測定条件	
簡易IIC (標準モード)	SDA入力立ち上がり時間	$t_{Sr}$	-	1000	ns	図 43.34
	SDA入力立ち下がり時間	$t_{Sf}$	-	300	ns	
	SDA入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{IICcyc}$	ns	
	データ入カセットアップ時間	$t_{SDAS}$	250	-	ns	
	データ入カホールド時間	$t_{SDAH}$	0	-	ns	
	SCL、SDAの負荷容量	$C_b$ (注1)	-	400	pF	
簡易IIC (ファストモード)	SDA入力立ち上がり時間	$t_{Sr}$	-	300	ns	図 43.34
	SDA入力立ち下がり時間	$t_{Sf}$	-	300	ns	
	SDA入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{IICcyc}$	ns	
	データ入カセットアップ時間	$t_{SDAS}$	100	-	ns	
	データ入カホールド時間	$t_{SDAH}$	0	-	ns	
	SCL、SDAの負荷容量	$C_b$ (注1)	-	400	pF	

注.  $t_{IICcyc}$  : IIC 内部基準クロック (IICφ) の周期

注 1.  $C_b$  はバスラインの容量総計を意味します。



**図 43.34 SCI 簡易 IIC モードタイミング**

## 43.3.10 SPI タイミング

表 43.24 SPI タイミング

条件：RSPCKA端子およびRSPCKB端子は、PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。  
その他の端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位 (注1)	測定条件 (注2)	
SPI	RSPCKクロックサイクル	マスタ	$t_{SPCyc}$	2 (PCLKA ≤ 60MHz) 4 (PCLKA > 60MHz)	4096	$t_{Pcyc}$	図 43.35 C = 30pF
		スレーブ		4	4096		
	RSPCKクロック High レベル パルス幅	マスタ	$t_{SPCKWH}$	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf})/2 - 3$	-	ns	図 43.36 ~ 図 43.41 C = 30pF
		スレーブ		$2 \times t_{Pcyc}$	-		
	RSPCK クロック Low レベル パルス幅	マスタ	$t_{SPCKWL}$	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf})/2 - 3$	-	ns	
		スレーブ		$2 \times t_{Pcyc}$	-		
	RSPCKクロック立ち上がり ／立ち下がり時間	マスタ	$t_{SPCKr}$	-	5	ns	
		スレーブ	$t_{SPCKf}$	-	1	μs	
	データ入力セットアップ時間	マスタ	$t_{SU}$	4	-	ns	
		スレーブ		5	-		
	データ入力ホールド時間	マスタ (PCLKAを 2分周に設 定)	$t_{HF}$	0	-	ns	
		マスタ (PCLKAを 2分周以外 に設定)	$t_H$	$t_{Pcyc}$	-		
		スレーブ	$t_H$	20	-		
	SSLセットアップ時間	マスタ	$t_{LEAD}$	$N \times t_{SPCyc} - 10$ (注3)	$N \times t_{SPCyc} + 100$ (注3)	ns	
		スレーブ		$6 \times t_{Pcyc}$	-	ns	
	SSLホールド時間	マスタ	$t_{LAG}$	$N \times t_{SPCyc} - 10$ (注4)	$N \times t_{SPCyc} + 100$ (注4)	ns	
		スレーブ		$6 \times t_{Pcyc}$	-	ns	
	データ出力遅延時間	マスタ	$t_{OD}$	-	6.3	ns	
		スレーブ		-	20		
	データ出力ホールド時間	マスタ	$t_{OH}$	0	-	ns	
スレーブ			0	-			
連続転送遅延時間	マスタ	$t_{TD}$	$t_{SPCyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPCyc} + 2 \times t_{Pcyc}$	ns		
	スレーブ		$6 \times t_{Pcyc}$				
MOSI、MISOの立ち上がり ／立ち下がり時間	出力	$t_{Dr}, t_{Df}$	-	5	ns		
	入力		-	1	μs		
SSL立ち上がり／立ち下がり 時間	出力	$t_{SSLr}, t_{SSLf}$	-	5	ns		
	入力		-	1	μs		
スレーブアクセス時間		$t_{SA}$	-	$2 \times t_{Pcyc} + 28$	ns	図 43.40 と 図 43.41 C = 30pF	
スレーブ出力開放時間		$t_{REL}$	-	$2 \times t_{Pcyc} + 28$			

注 1.  $t_{Pcyc}$  : PCLKA の周期

注 2. 所属グループを示すため、“\_A”や“\_B”などのように端子名の後ろに文字を付加した端子を使用してください。SPI インタフェースについては、電氣的特性の AC タイミングを各グループで測定しています。

注 3. N は、SPCKD レジスタで設定可能な 1 ~ 8 の整数です。

注 4. N は、SSLND レジスタで設定可能な 1 ~ 8 の整数です。

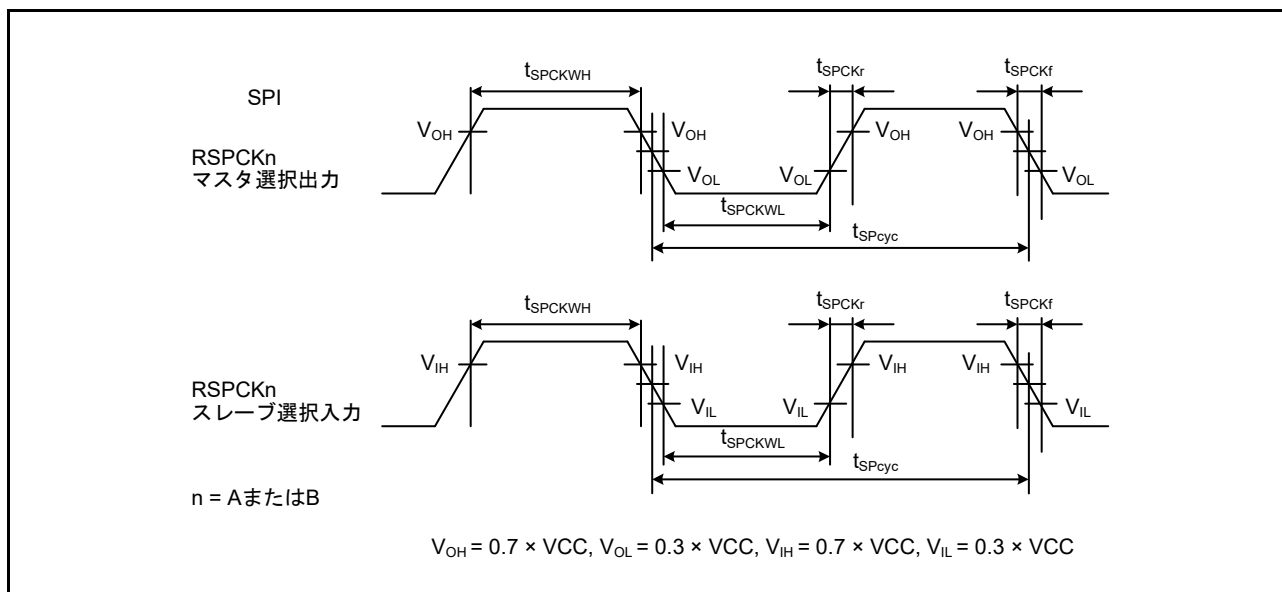


図 43.35 SPI クロックタイミング

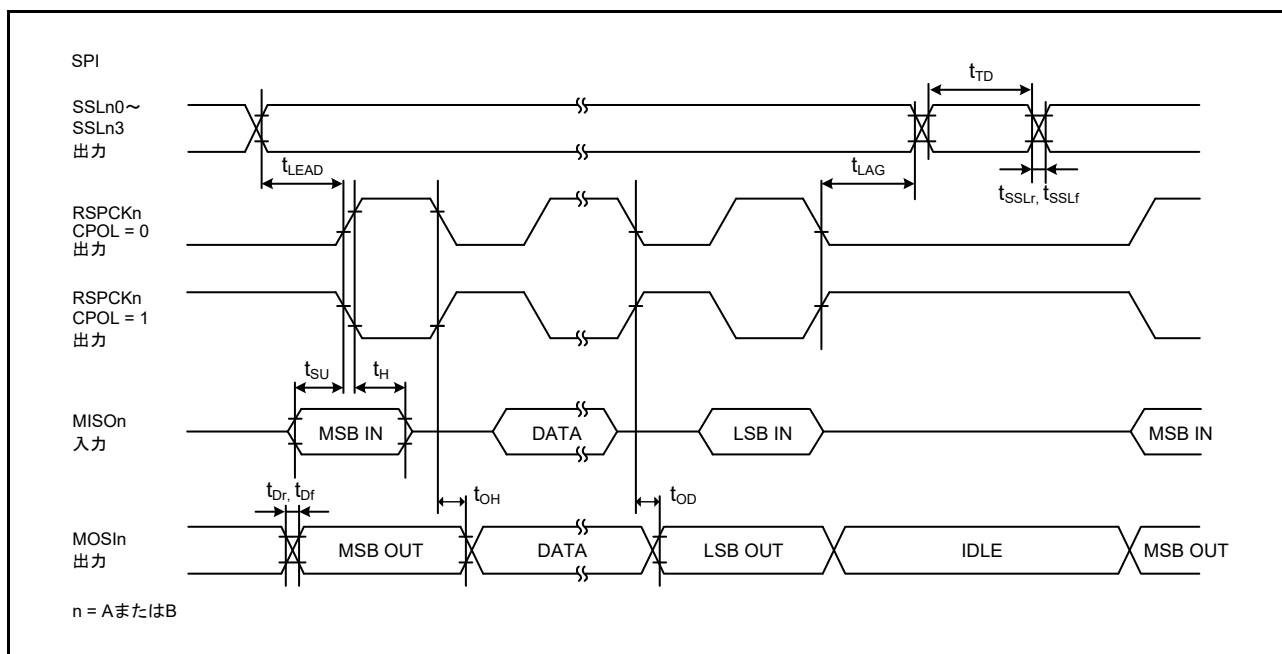


図 43.36 CPHA = 0 の場合におけるマスタの SPI タイミング

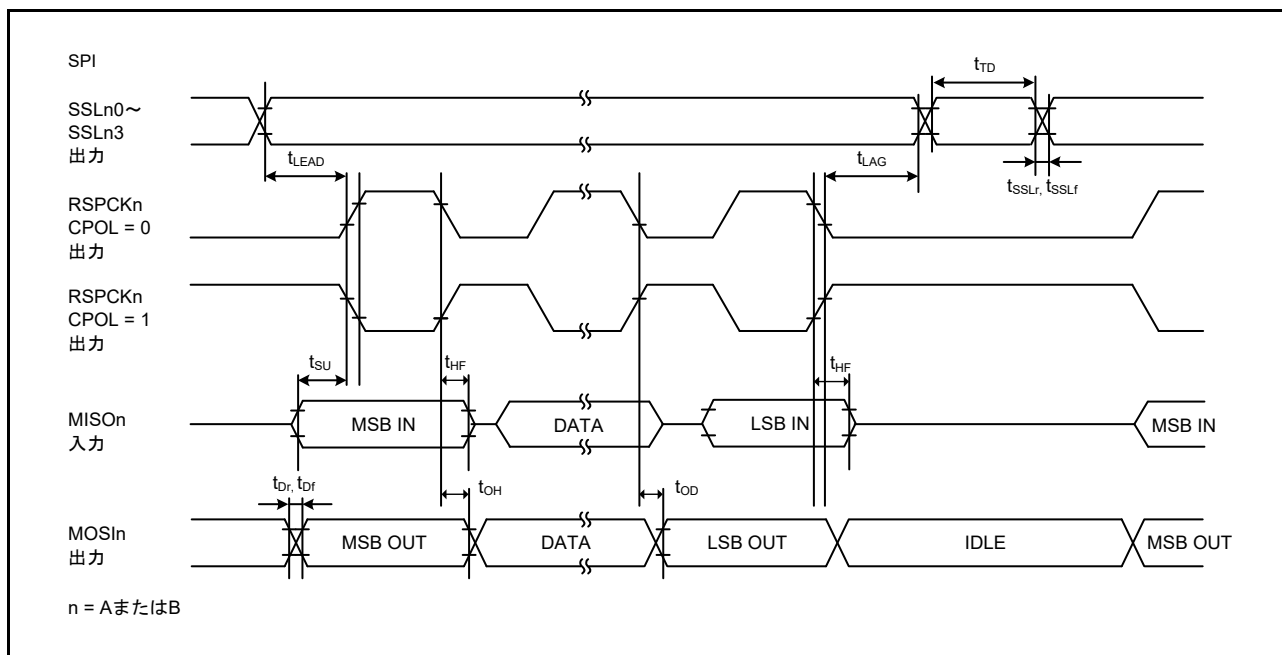


図 43.37 CPHA = 0 で、PCLKA/2 にビットレートが設定されている場合におけるマスタの SPI タイミング

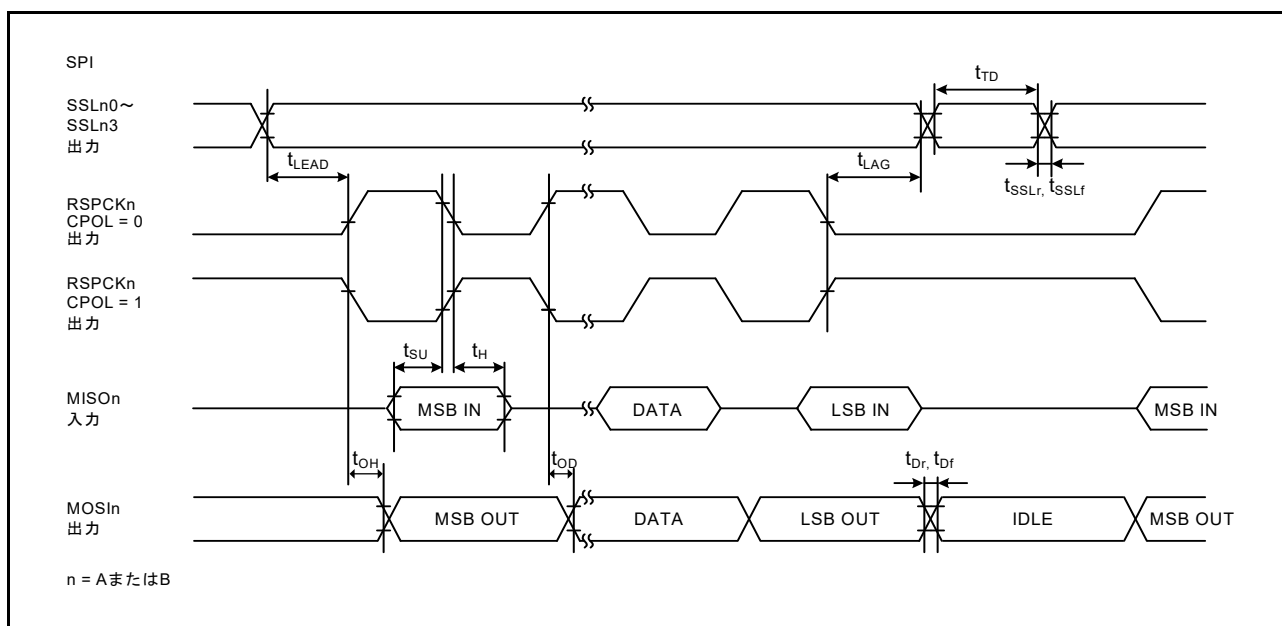


図 43.38 CPHA = 1 の場合におけるマスタの SPI タイミング

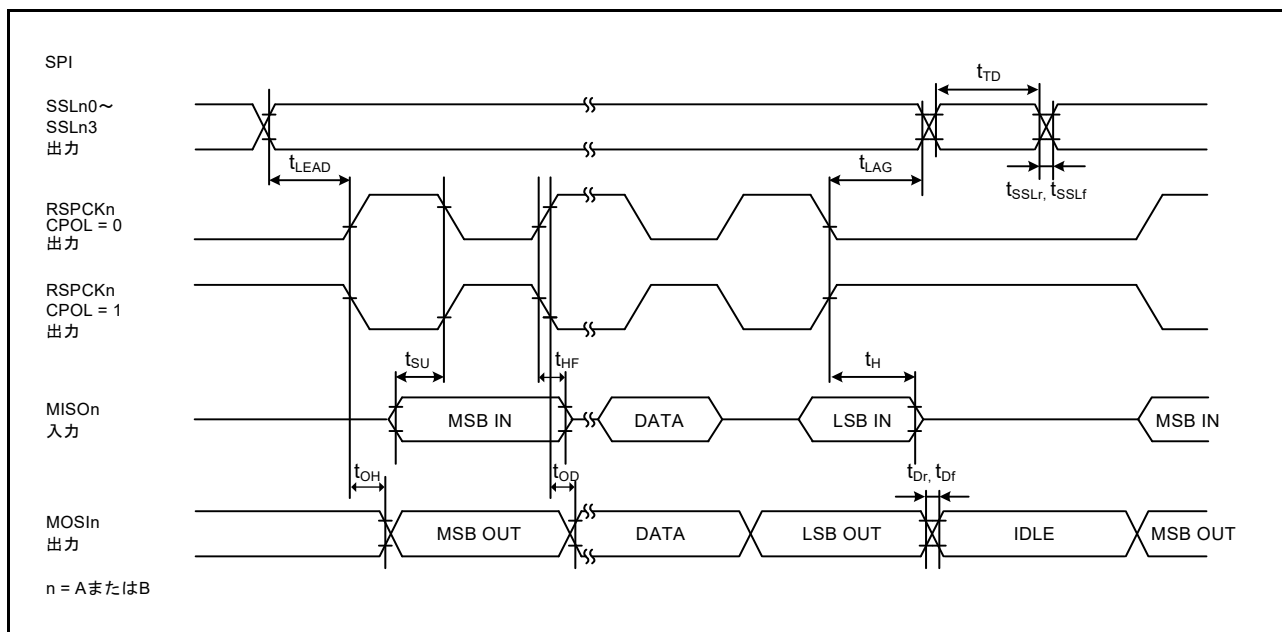


図 43.39 CPHA = 1 で、PCLKA/2 にビットレートが設定されている場合におけるマスタの SPI タイミング

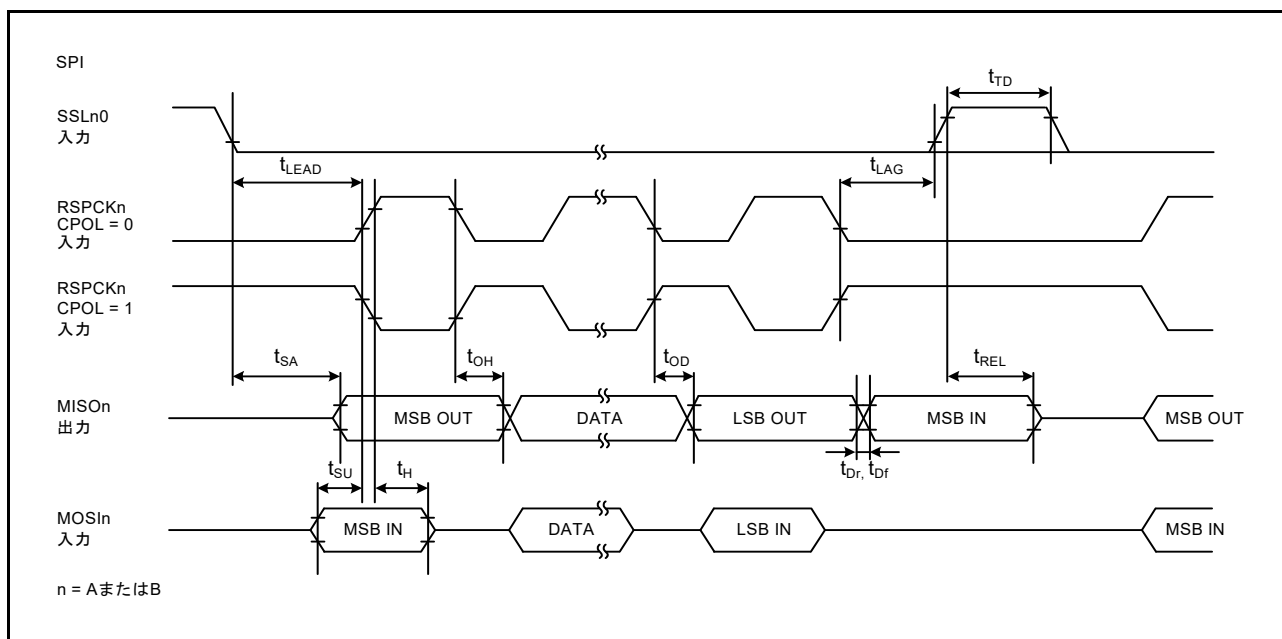


図 43.40 CPHA = 0 の場合におけるスレーブの SPI タイミング

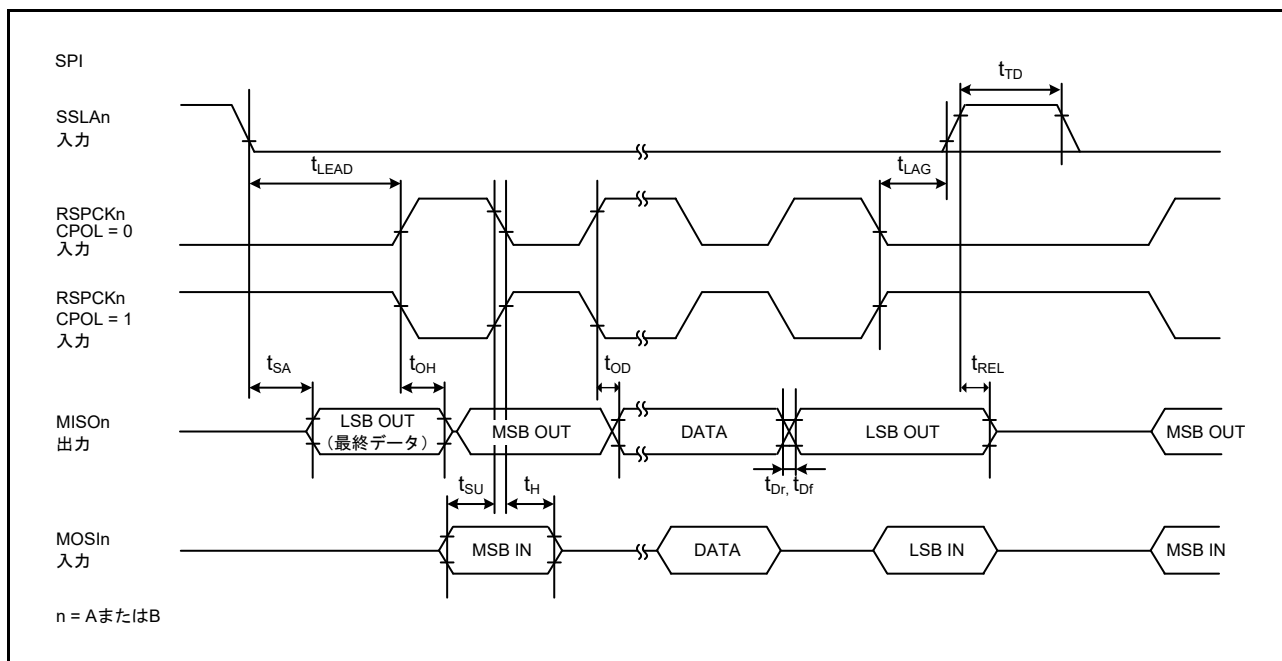


図 43.41 CPHA = 1 の場合におけるスレーブの SPI タイミング

## 43.3.11 IIC タイミング

表 43.25 IIC タイミング (1)

- (1) 条件：以下の端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています：SDA0\_B、SCL0\_B、SDA1\_A、SCL1\_A、SDA1\_B、SCL1\_B
- (2) 以下の端子の設定は必要ありません：SCL0\_A、SDA0\_A
- (3) 所属グループを示すため、“\_A”や“\_B”のように端子名の後ろに文字を付加した端子を使用してください。IICインタフェースについては、電氣的特性のACタイミングを各グループで測定しています。

項目	シンボル	Min (注1)	Max	単位	測定条件 (注3)	
IIC (標準モード、 SMBus) ICFER.FMPE = 0	SCL入力サイクル時間	$t_{SCL}$	$6 (12) \times t_{IICyc} + 1300$	-	ns	図 43.42
	SCL入力Highレベルパルス幅	$t_{SCLH}$	$3 (6) \times t_{IICyc} + 300$	-	ns	
	SCL入力Lowレベルパルス幅	$t_{SCLL}$	$3 (6) \times t_{IICyc} + 300$	-	ns	
	SCL、SDA入力立ち上がり時間	$t_{Sr}$	-	1000	ns	
	SCL、SDA入力立ち下がり時間	$t_{Sf}$	-	300	ns	
	SCL、SDA入カスパイクパルス除去時間	$t_{SP}$	0	$1 (4) \times t_{IICyc}$	ns	
	ウェイクアップ機能が無効な場合のSDA入力バスフリー時間	$t_{BUF}$	$3 (6) \times t_{IICyc} + 300$	-	ns	
	ウェイクアップ機能が有効な場合のSDA入力バスフリー時間	$t_{BUF}$	$3 (6) \times t_{IICyc} + 4 \times t_{Pcyc} + 300$	-	ns	
	ウェイクアップ機能が無効な場合のSTART条件入力ホールド時間	$t_{STAH}$	$t_{IICyc} + 300$	-	ns	
	ウェイクアップ機能が有効な場合のSTART条件入力ホールド時間	$t_{STAH}$	$1 (5) \times t_{IICyc} + t_{Pcyc} + 300$	-	ns	
	再送START条件入力セットアップ時間	$t_{STAS}$	1000	-	ns	
	STOP条件入力セットアップ時間	$t_{STOS}$	1000	-	ns	
	データ入力セットアップ時間	$t_{SDAS}$	$t_{IICyc} + 50$	-	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	-	ns	
	SCL、SDAの負荷容量	$C_b$	-	400	pF	
IIC (ファストモード)	SCL入力サイクル時間	$t_{SCL}$	$6 (12) \times t_{IICyc} + 600$	-	ns	図 43.42
	SCL入力Highレベルパルス幅	$t_{SCLH}$	$3 (6) \times t_{IICyc} + 300$	-	ns	
	SCL入力Lowレベルパルス幅	$t_{SCLL}$	$3 (6) \times t_{IICyc} + 300$	-	ns	
	SCL、SDA入力立ち上がり時間	$t_{Sr}$	$20 \times$ (外付けブルアップ電圧/5.5V) (注2)	300	ns	
	SCL、SDA入力立ち下がり時間	$t_{Sf}$	$20 \times$ (外付けブルアップ電圧/5.5V) (注2)	300	ns	
	SCL、SDA入カスパイクパルス除去時間	$t_{SP}$	0	$1 (4) \times t_{IICyc}$	ns	
	ウェイクアップ機能が無効な場合のSDA入力バスフリー時間	$t_{BUF}$	$3 (6) \times t_{IICyc} + 300$	-	ns	
	ウェイクアップ機能が有効な場合のSDA入力バスフリー時間	$t_{BUF}$	$3 (6) \times t_{IICyc} + 4 \times t_{Pcyc} + 300$	-	ns	
	ウェイクアップ機能が無効な場合のSTART条件入力ホールド時間	$t_{STAH}$	$t_{IICyc} + 300$	-	ns	
	ウェイクアップ機能が有効な場合のSTART条件入力ホールド時間	$t_{STAH}$	$1 (5) \times t_{IICyc} + t_{Pcyc} + 300$	-	ns	
	再送START条件入力セットアップ時間	$t_{STAS}$	300	-	ns	
	STOP条件入力セットアップ時間	$t_{STOS}$	300	-	ns	
	データ入力セットアップ時間	$t_{SDAS}$	$t_{IICyc} + 50$	-	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	-	ns	
	SCL、SDAの負荷容量	$C_b$	-	400	pF	

注.  $t_{IICyc}$  : IIC 内部基準クロック (IICφ) の周期、 $t_{Pcyc}$  : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると ( ) 内の値が適用されます。

注 2. SCL0\_A および SDA0\_A のみサポートしています。

注 3. 所属グループを示すため、“\_A”や“\_B”のように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電氣的特性の AC タイミングを各グループで測定しています。



表 43.26 IIC タイミング (2)

PmnPFS レジスタのポート駆動能力ビットでは、SCL0\_A 端子、SDA0\_A 端子の設定は必要ありません。

項目	シンボル	Min (注1) (注2)	Max	単位	測定条件	
IIC (ファストモード+) ICFER.FMPE = 1	SCL 入力サイクル時間	$t_{SCL}$	$6 (12) \times t_{IICcyc} + 240$	-	ns	図 43.42
	SCL 入力 High レベルパルス幅	$t_{SCLH}$	$3 (6) \times t_{IICcyc} + 120$	-	ns	
	SCL 入力 Low レベルパルス幅	$t_{SCLL}$	$3 (6) \times t_{IICcyc} + 120$	-	ns	
	SCL、SDA 入力立ち上がり時間	$t_{Sr}$	-	120	ns	
	SCL、SDA 入力立ち下がり時間	$t_{Sf}$	-	120	ns	
	SCL、SDA 入カスパイクパルス除去時間	$t_{SP}$	0	$1 (4) \times t_{IICcyc}$	ns	
	ウェイクアップ機能が無効な場合の SDA 入カバスフリー時間	$t_{BUF}$	$3 (6) \times t_{IICcyc} + 120$	-	ns	
	ウェイクアップ機能が有効な場合の SDA 入カバスフリー時間	$t_{BUF}$	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 120$	-	ns	
	ウェイクアップ機能が無効な場合の START 条件入カホールド時間	$t_{STAH}$	$t_{IICcyc} + 120$	-	ns	
	ウェイクアップ機能が有効な場合の START 条件入カホールド時間	$t_{STAH}$	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 120$	-	ns	
	リスタート条件入カセットアップ時間	$t_{STAS}$	120	-	ns	
	停止条件入カセットアップ時間	$t_{STOS}$	120	-	ns	
	データ入カセットアップ時間	$t_{SDAS}$	$t_{IICcyc} + 30$	-	ns	
	データ入カホールド時間	$t_{SDAH}$	0	-	ns	
	SCL、SDA の負荷容量	$C_b$	-	550	pF	

注 .  $t_{IICcyc}$  : IIC 内部基準クロック (IICφ) の周期、 $t_{Pcyc}$  : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると ( ) 内の値が適用されます。

注 2.  $C_b$  はバスラインの容量総計を意味します。

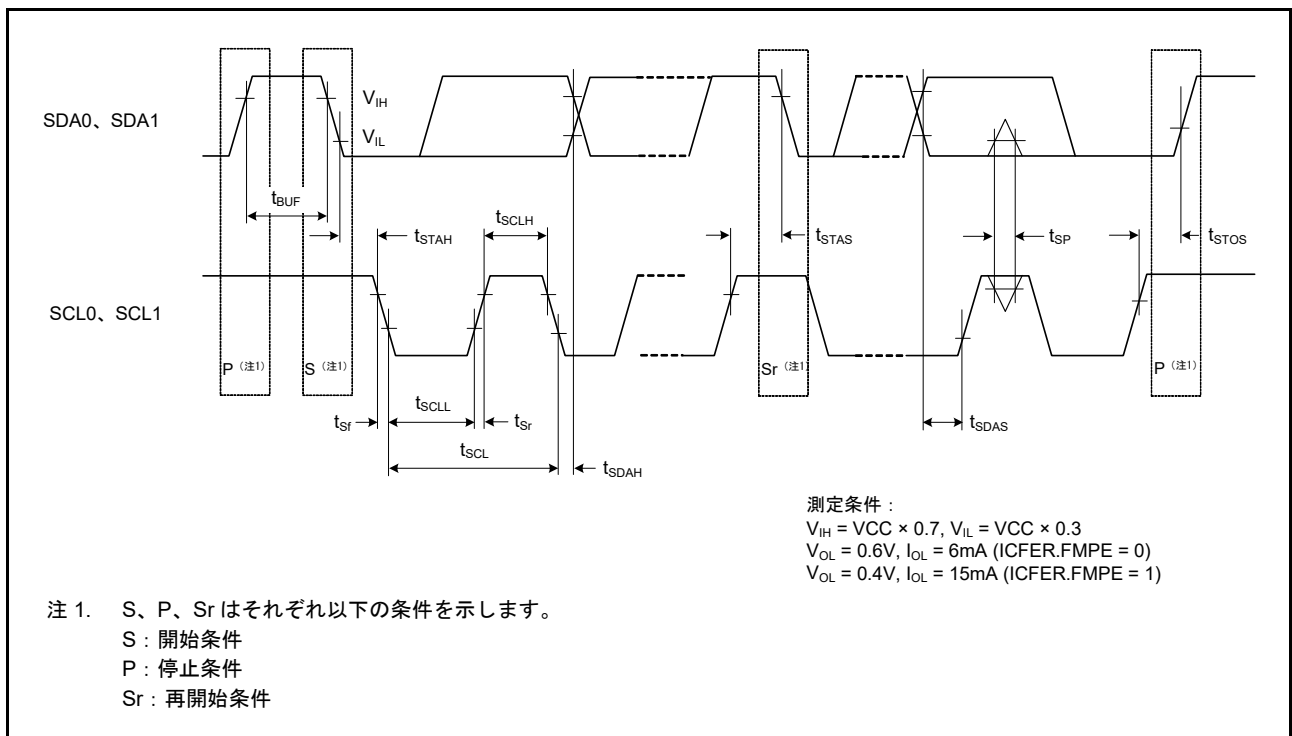


図 43.42 I<sup>2</sup>C バスインタフェース入出カタイミング

## 43.4 ADC12 特性

表 43.27 ユニット0のA/D変換特性

条件: PCLKC = 1~60MHz

項目			Min	Typ	Max	単位	測定条件
周波数			1	-	60	MHz	-
アナログ入力容量			-	-	30	pF	-
量子化誤差			-	± 0.5	-	LSB	-
分解能			-	-	12	ビット	-
チャンネル専用サンプル ホールド回路使用時 (注3) (AN000~AN002)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	1.06 (0.4 + 0.25) (注2)	-	-	μs	<ul style="list-style-type: none"> <li>チャンネル専用サンプル&amp; ホールド回路のサンプリ ング24ステート</li> <li>サンプリング15ステート</li> </ul>
	オフセット誤差		-	± 1.5	± 3.5	LSB	AN000~AN002 = 0.25V
	フルスケール誤差		-	± 1.5	± 3.5	LSB	AN000~AN002 = VREFH0 - 0.25V
	絶対精度		-	± 2.5	± 5.5	LSB	-
	DNL 疑似微分非直線性誤差		-	± 1.0	± 2.0	LSB	-
	INL 積分非直線性誤差		-	± 1.5	± 3.0	LSB	-
	サンプル&ホールド回路のホールド特性		-	-	20	μs	-
ダイナミックレンジ		0.25	-	VREFH 0 - 0.25	V	-	
チャンネル専用サンプル &ホールド回路未使用 時 (AN000~AN002)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.48 (0.267) (注2)	-	-	μs	サンプリング16ステート
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL 疑似微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
INL 積分非直線性誤差		-	± 1.0	± 2.5	LSB	-	
高精度チャンネル (AN003、AN005、 AN006)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.48 (0.267) (注2)	-	-	μs	サンプリング16ステート
		max = 400Ω	0.40 (0.183) (注2)	-	-	μs	サンプリング11ステート VCC = AVCC0 = 3.0~3.6V 3.0V ≤ VREFH0 ≤ AVCC0
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL 疑似微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
INL 積分非直線性誤差		-	± 1.0	± 2.5	LSB	-	
高精度チャンネル (AN007)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.75 (0.533) (注2)	-	-	μs	サンプリング32ステート
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL 疑似微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
INL 積分非直線性誤差		-	± 1.0	± 2.5	LSB	-	
通常精度チャンネル (AN016~AN018、 AN020)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.88 (0.667) (注2)	-	-	μs	サンプリング40ステート
	オフセット誤差		-	± 1.0	± 5.5	LSB	-
	フルスケール誤差		-	± 1.0	± 5.5	LSB	-
	絶対精度		-	± 2.0	± 7.5	LSB	-
	DNL 疑似微分非直線性誤差		-	± 0.5	± 4.5	LSB	-
INL 積分非直線性誤差		-	± 1.0	± 5.5	LSB	-	

- 注. これらの規格値は、A/D 変換中に外部バスアクセスを行わなかった場合の数値です。A/D 変換中にアクセスが発生した場合は、提示した範囲に数値が収まらない可能性があります。  
12ビット A/D コンバータ使用時は、ポート 0 をデジタル出力として使用しないでください。  
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL および 12 ビット A/D コンバータの入力電圧が安定しているときの特性です。
- 注 1. 変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。  
注 2. ( ) 内の値は、サンプリング時間を意味します。  
注 3. ユニット 0 とユニット 1 それぞれのチャンネル専用サンプル&ホールド回路を同時に使用する場合、表 43.29 を参照してください。

表 43.28 ユニット 1 の A/D 変換特性 (1/2)

条件: PCLKC = 1~60MHz

項目		Min	Typ	Max	単位	測定条件	
周波数		1	-	60	MHz	-	
アナログ入力容量		-	-	30	pF	-	
量子化誤差		-	± 0.5	-	LSB	-	
分解能		-	-	12	ビット	-	
チャンネル専用サンプル &ホールド回路使用時 (注3) (AN100~AN102)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	1.06 (0.4 + 0.25) (注2)	-	-	μs	<ul style="list-style-type: none"> <li>チャンネル専用サンプル&amp;ホールド回路のサンプリング 24 ステート</li> <li>サンプリング 15 ステート</li> </ul>
	オフセット誤差		-	± 1.5	± 3.5	LSB	AN100~AN102 = 0.25V
	フルスケール誤差		-	± 1.5	± 3.5	LSB	AN100~AN102 = VREFH - 0.25V
	絶対精度		-	± 2.5	± 5.5	LSB	-
	DNL 疑似微分非直線性誤差		-	± 1.0	± 2.0	LSB	-
	INL 積分非直線性誤差		-	± 1.5	± 3.0	LSB	-
	サンプル&ホールド回路のホールド特性		-	-	20	μs	-
ダイナミックレンジ		0.25	-	VREFH - 0.25	V	-	
チャンネル専用サンプル &ホールド回路未使用 時 (AN100~AN102)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.48 (0.267) (注2)	-	-	μs	サンプリング 16 ステート
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL 疑似微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
高精度チャンネル (AN105、AN106)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.48 (0.267) (注2)	-	-	μs	サンプリング 16 ステート
		max = 400Ω	0.40 (0.183) (注2)	-	-	μs	サンプリング 11 ステート VCC = AVCC0 = 3.0~3.6V 3.0V ≤ VREFH ≤ AVCC0
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL 疑似微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
INL 積分非直線性誤差		-	± 1.0	± 2.5	LSB	-	
高精度チャンネル (AN107)	変換時間 (注1) (PCLKC = 60MHz時)	許容信号源インピー ダンス max = 1kΩ	0.75 (0.533) (注2)	-	-	μs	サンプリング 32 ステート
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL 疑似微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
INL 積分非直線性誤差		-	± 1.0	± 2.5	LSB	-	

表 43.28 ユニット1のA/D変換特性 (2/2)

条件: PCLKC = 1~60MHz

項目		Min	Typ	Max	単位	測定条件
通常精度チャンネル (AN116、AN117)	変換時間 (注1) (PCLKC = 60MHz時)	0.88 (0.667) (注2)	-	-	μs	サンプリング40ステート
	許容信号源インピーダンス max = 1kΩ					
	オフセット誤差	-	± 1.0	± 5.5	LSB	-
	フルスケール誤差	-	± 1.0	± 5.5	LSB	-
	絶対精度	-	± 2.0	± 7.5	LSB	-
DNL 疑似微分非直線性誤差	-	± 0.5	± 4.5	LSB	-	
INL 積分非直線性誤差	-	± 1.0	± 5.5	LSB	-	

注. これらの規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中にアクセスが発生した場合は、提示した範囲に数値が収まらない可能性があります。

12ビットA/Dコンバータ使用時は、ポート0をデジタル出力として使用しないでください。

上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFLおよび12ビットA/Dコンバータの入力電圧が安定しているときの特性です。

注1. 変換時にはサンプリング時間と比較時間が含まれています。測定条件には、サンプリングステート数が示されています。

注2. ( )内の値は、サンプリング時間を意味します。

注3. ユニット0とユニット1それぞれのチャンネル専用サンプル&ホールド回路を同時に使用する場合、表43.29を参照してください。

表 43.29 ユニット0およびユニット1のチャンネル専用サンプル&amp;ホールド回路の同時使用時のA/D変換特性

条件: PCLKC = 30/60MHz

項目		Min	Typ	Max	単位	測定条件
連続サンプリング機能許可でチャンネル専用サンプル &ホールド回路使用時 (AN000~AN002)	オフセット誤差	-	± 1.5	± 5.0	LSB	<ul style="list-style-type: none"> <li>• PCLKC = 60MHz</li> <li>• サンプリング15ステート</li> </ul>
	フルスケール誤差	-	± 2.5	± 5.0	LSB	
	絶対精度	-	± 4.0	± 8.0	LSB	
連続サンプリング機能許可でチャンネル専用サンプル &ホールド回路使用時 (AN100~AN102)	オフセット誤差	-	± 1.5	± 5.0	LSB	
	フルスケール誤差	-	± 2.5	± 5.0	LSB	
	絶対精度	-	± 4.0	± 8.0	LSB	
連続サンプリング機能許可でチャンネル専用サンプル &ホールド回路使用時 (AN000~AN002)	オフセット誤差	-	± 1.5	± 3.5	LSB	<ul style="list-style-type: none"> <li>• PCLKC = 30MHz</li> <li>• サンプリング7ステート</li> </ul>
	フルスケール誤差	-	± 1.5	± 3.5	LSB	
	絶対精度	-	± 3.0	+4.5/ -6.5	LSB	
連続サンプリング機能許可でチャンネル専用サンプル &ホールド回路使用時 (AN100~AN102)	オフセット誤差	-	± 1.5	± 3.5	LSB	
	フルスケール誤差	-	± 1.5	± 3.5	LSB	
	絶対精度	-	± 3.0	+4.5/ -6.5	LSB	

注. ユニット0およびユニット1でチャンネル専用のサンプル&ホールド回路を同時に使う場合、ADSHMSR.SHMDビットを1に設定することを推奨します。

表 43.30 A/D内部基準電圧特性

項目	Min	Typ	Max	単位	測定条件
A/D内部基準電圧	1.13	1.18	1.23	V	-
サンプリング時間	4.15	-	-	μs	-

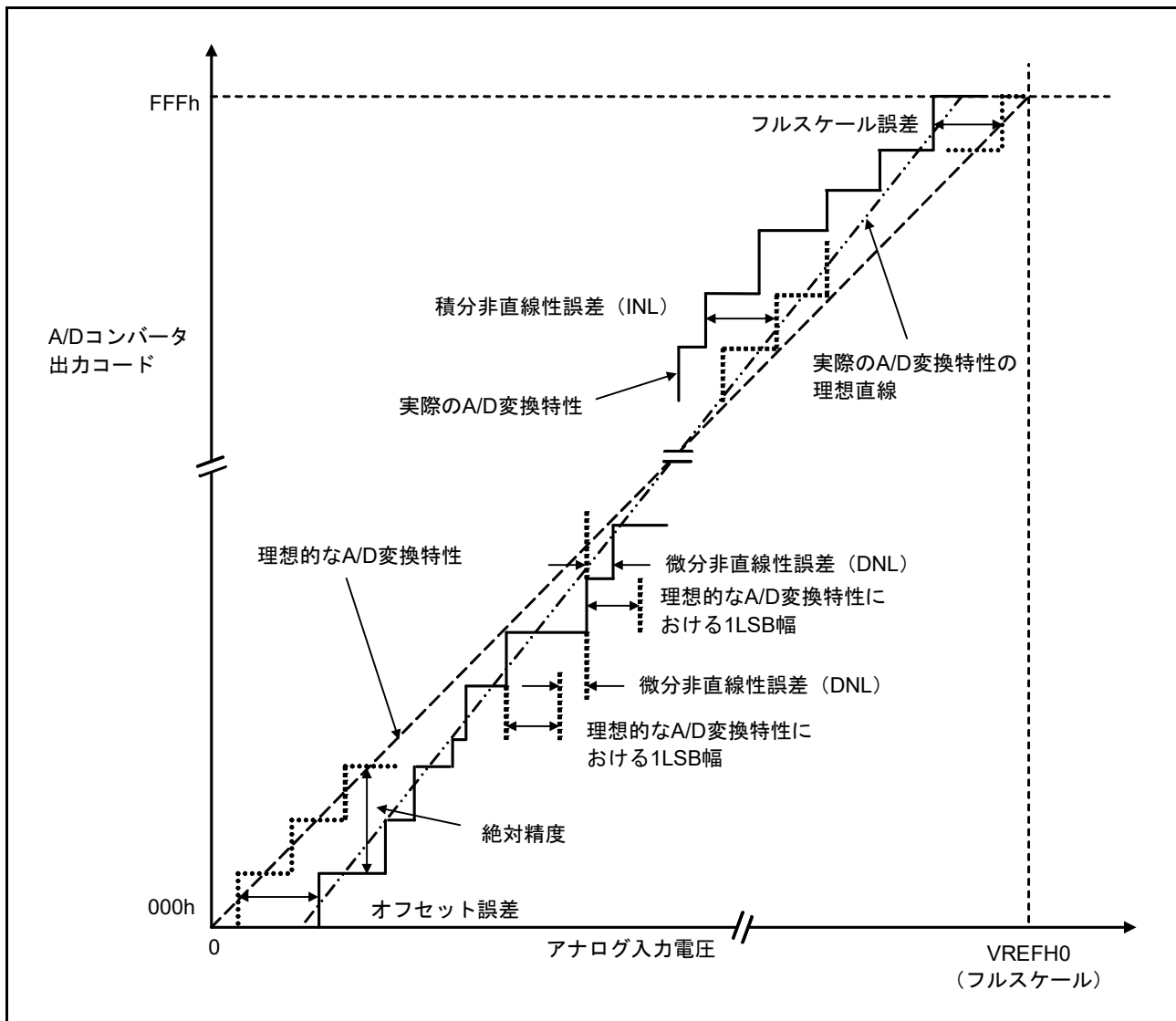


図 43.43 ADC12 特性用語の解説図

### 絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧  $V_{REFH0} = 3.072V$  の場合、1LSB 幅は  $0.75mV$  になり、アナログ入力電圧には  $0mV$ 、 $0.75mV$ 、 $1.5mV$  が使用されます。 $\pm 5LSB$  の絶対精度とは、アナログ入力電圧が  $6mV$  の場合、理論的 A/D 変換特性から期待される出力コードが  $008h$  であっても、実際の A/D 変換結果は  $003h \sim 00Dh$  の範囲になることを意味します。

### 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な直線と、実際出力コードとの最大偏差です。

### 疑似微分非直線性誤差 (DNL)

疑似微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1LSB 幅と、実際出力コード幅との差です。

### オフセット誤差

オフセット誤差とは、理想的な最初出力コードの変化点と、実際の最初出力コードとの差です。

### フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と、実際の最後の出力コードとの差です。

## 43.5 DAC12 特性

表 43.31 D/A 変換特性

項目	Min	Typ	Max	単位	測定条件
分解能	-	-	12	ビット	-
出力アンプなし					
絶対精度	-	-	± 24	LSB	負荷抵抗2MΩ
INL	-	± 2.0	± 8.0	LSB	負荷抵抗2MΩ
DNL	-	± 1.0	± 2.0	LSB	-
出力インピーダンス	-	8.5	-	kΩ	-
変換時間	-	-	3.0	μs	負荷抵抗2MΩ 負荷容量20pF
出力電圧範囲	0	-	VREFH	V	-
出力アンプあり					
INL	-	± 2.0	± 4.0	LSB	-
DNL	-	± 1.0	± 2.0	LSB	-
変換時間	-	-	4.0	μs	-
負荷抵抗	5	-	-	kΩ	-
負荷容量	-	-	50	pF	-
出力電圧範囲	0.2	-	VREFH - 0.2	V	-

## 43.6 TSN 特性

表 43.32 TSN 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	-	-	± 1.0	-	°C	-
温度傾斜	-	-	4.0	-	mV/°C	-
出力電圧 (25°C)	-	-	1.24	-	V	-
温度センサ起動時間	t <sub>START</sub>	-	-	30	μs	-
サンプリング時間	-	4.15	-	-	μs	-

## 43.7 OSC 停止検出特性

表 43.33 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	$t_{dr}$	-	-	1	ms	<a href="#">図 43.44</a>

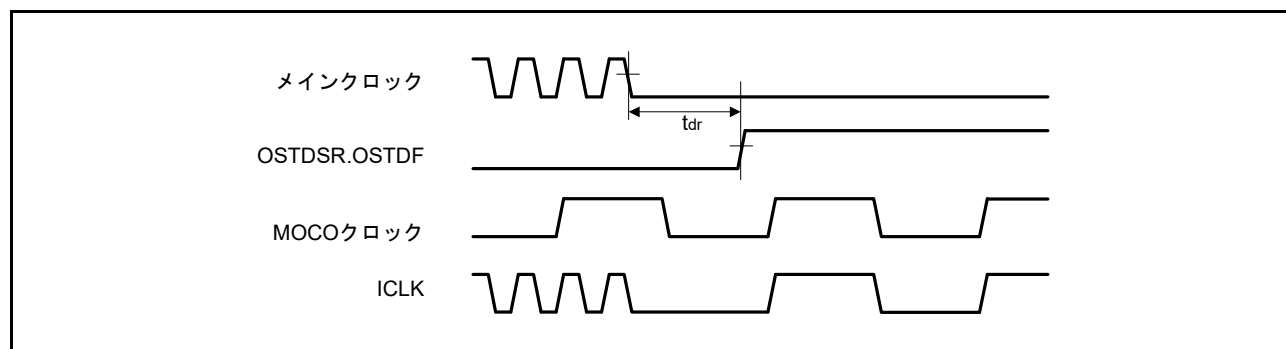


図 43.44 発振停止検出タイミング

## 43.8 POR/LVD 特性

表 43.34 パワーオンリセット回路、電圧検出回路の特性

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	DPSBYCR.DEEPCUT[1:0] = 00b または 01b	$V_{POR}$	2.5	2.6	2.7	V	図 43.45
		DPSBYCR.DEEPCUT[1:0] = 11b		1.8	2.25	2.7		
	電圧検出回路 (LVD0)		$V_{det0\_1}$	2.84	2.94	3.04		図 43.46
			$V_{det0\_2}$	2.77	2.87	2.97		
			$V_{det0\_3}$	2.70	2.80	2.90		
	電圧検出回路 (LVD1)		$V_{det1\_1}$	2.89	2.99	3.09		図 43.47
			$V_{det1\_2}$	2.82	2.92	3.02		
			$V_{det1\_3}$	2.75	2.85	2.95		
	電圧検出回路 (LVD2)		$V_{det2\_1}$	2.89	2.99	3.09		図 43.48
			$V_{det2\_2}$	2.82	2.92	3.02		
			$V_{det2\_3}$	2.75	2.85	2.95		
	内部リセット時間	パワーオンリセット時間		$t_{POR}$	-	4.5		-
LVD0 リセット時間		$t_{LVD0}$	-	0.51	-	図 43.46		
LVD1 リセット時間		$t_{LVD1}$	-	0.38	-	図 43.47		
LVD2 リセット時間		$t_{LVD2}$	-	0.38	-	図 43.48		
最小VCC低下時間 (注1)			$t_{VOFF}$	200	-	-	$\mu$ s	図 43.45、 図 43.46
応答遅延時間			$t_{det}$	-	-	200	$\mu$ s	図 43.45 ~ 図 43.48
LVD動作安定時間 (LVD有効切り替え後)			$t_{d(E-A)}$	-	-	10	$\mu$ s	図 43.47、 図 43.48
ヒステリシス幅 (LVD1、LVD2)			$V_{LVH}$	-	70	-	mV	

注1. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル $V_{POR}$ 、 $V_{det1}$ 、 $V_{det2}$ のmin値を下回っている時間です。

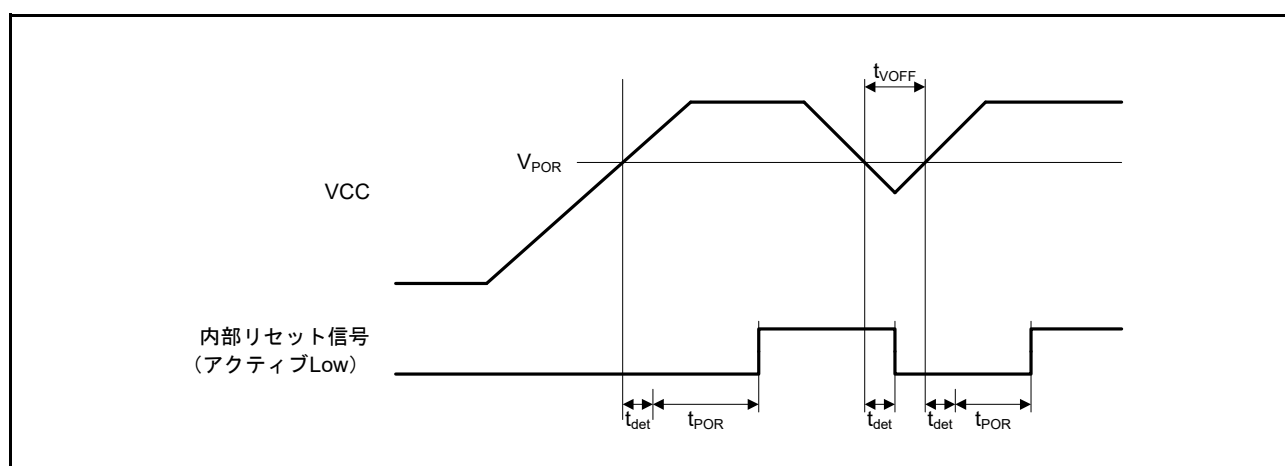


図 43.45 パワーオンリセットタイミング



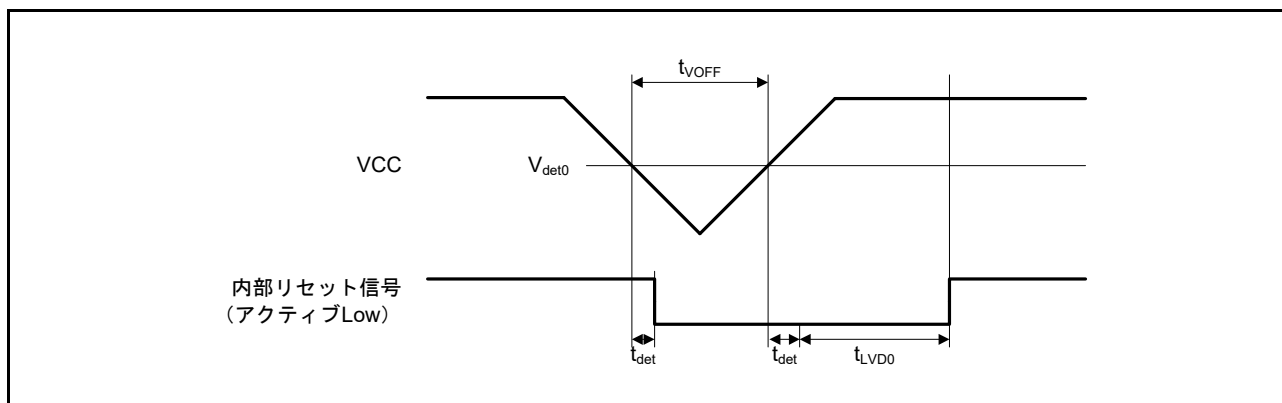


図 43.46 電圧検出回路タイミング ( $V_{det0}$ )

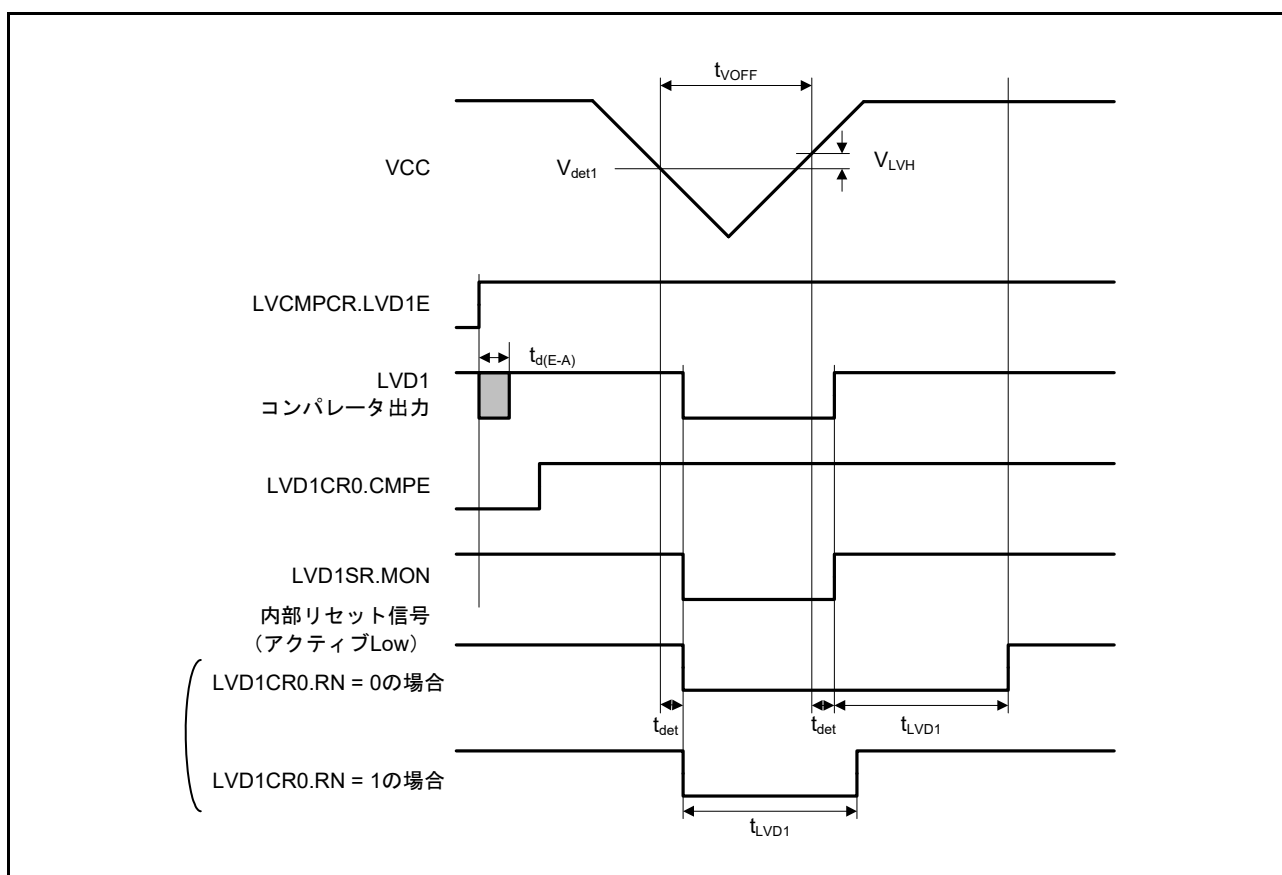


図 43.47 電圧検出回路タイミング ( $V_{det1}$ )

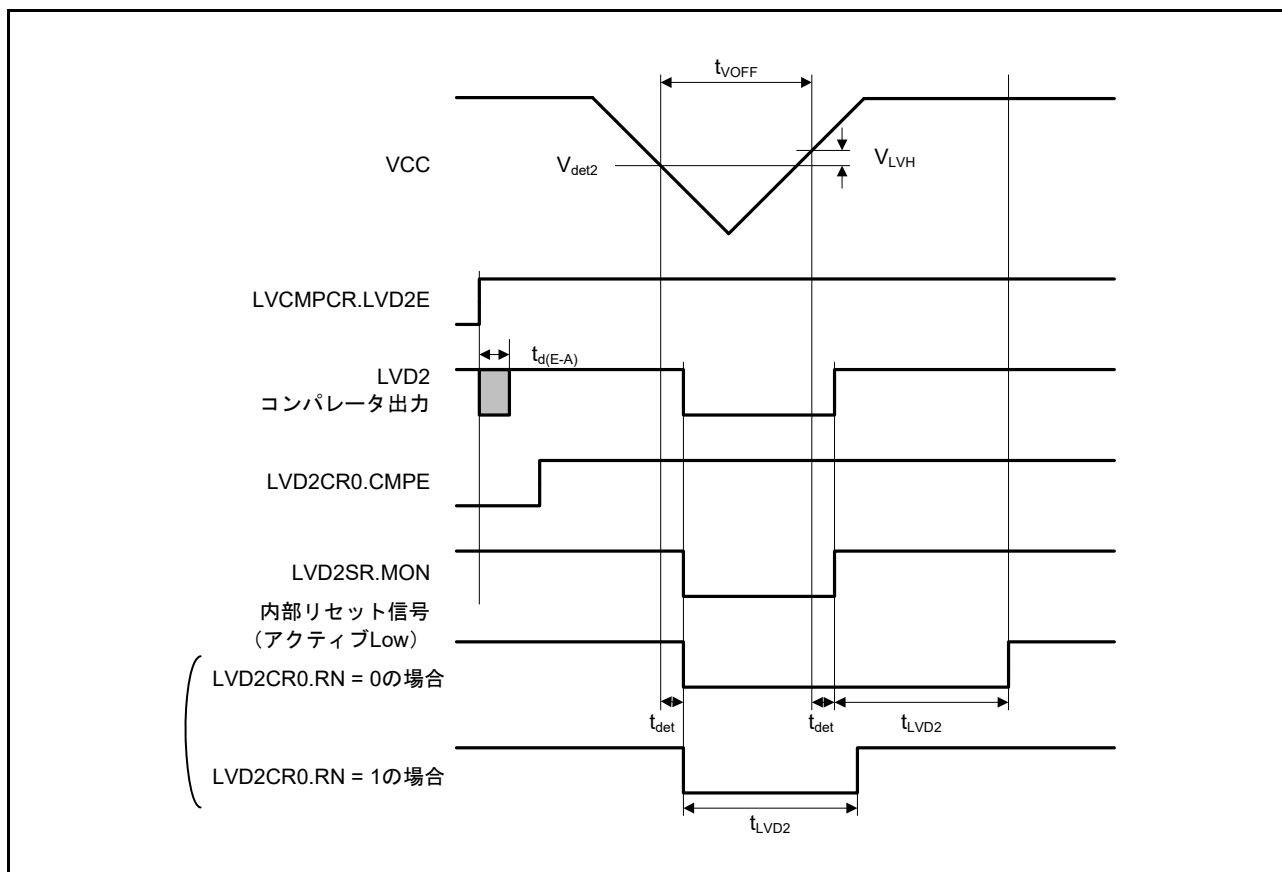


図 43.48 電圧検出回路タイミング ( $V_{det2}$ )

### 43.9 ACMPHS 特性

表 43.35 ACMPHS 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
基準電圧範囲	VREF	0	-	AVCC0	V	-
入力電圧範囲	VI	0	-	AVCC0	V	-
出力遅延時間 (注1)	Td	-	50	100	ns	VI = VREF ± 100mV
内部基準電圧	Vref	1.13	1.18	1.23	V	-

注 1. 内部伝搬遅延の値です。

## 43.10 PGA 特性

表 43.36 シングルモードにおけるPGA特性

項目	シンボル	Min	Typ	Max	単位
PGA/VSS入力電圧範囲	PGA/VSS	0	-	0	V
	AIN0 (G = 2.000)	$0.050 \times AVCC0$	-	$0.45 \times AVCC0$	V
	AIN1 (G = 2.500)	$0.047 \times AVCC0$	-	$0.360 \times AVCC0$	V
	AIN2 (G = 2.667)	$0.046 \times AVCC0$	-	$0.337 \times AVCC0$	V
	AIN3 (G = 2.857)	$0.046 \times AVCC0$	-	$0.32 \times AVCC0$	V
	AIN4 (G = 3.077)	$0.045 \times AVCC0$	-	$0.292 \times AVCC0$	V
	AIN5 (G = 3.333)	$0.044 \times AVCC0$	-	$0.265 \times AVCC0$	V
	AIN6 (G = 3.636)	$0.042 \times AVCC0$	-	$0.247 \times AVCC0$	V
	AIN7 (G = 4.000)	$0.040 \times AVCC0$	-	$0.212 \times AVCC0$	V
	AIN8 (G = 4.444)	$0.036 \times AVCC0$	-	$0.191 \times AVCC0$	V
	AIN9 (G = 5.000)	$0.033 \times AVCC0$	-	$0.17 \times AVCC0$	V
	AIN10 (G = 5.714)	$0.031 \times AVCC0$	-	$0.148 \times AVCC0$	V
	AIN11 (G = 6.667)	$0.029 \times AVCC0$	-	$0.127 \times AVCC0$	V
	AIN12 (G = 8.000)	$0.027 \times AVCC0$	-	$0.09 \times AVCC0$	V
	AIN13 (G = 10.000)	$0.025 \times AVCC0$	-	$0.08 \times AVCC0$	V
AIN14 (G = 13.333)	$0.023 \times AVCC0$	-	$0.06 \times AVCC0$	V	
ゲイン誤差	Gerr0 (G = 2.000)	-1.0	-	1.0	%
	Gerr1 (G = 2.500)	-1.0	-	1.0	%
	Gerr2 (G = 2.667)	-1.0	-	1.0	%
	Gerr3 (G = 2.857)	-1.0	-	1.0	%
	Gerr4 (G = 3.077)	-1.0	-	1.0	%
	Gerr5 (G = 3.333)	-1.5	-	1.5	%
	Gerr6 (G = 3.636)	-1.5	-	1.5	%
	Gerr7 (G = 4.000)	-1.5	-	1.5	%
	Gerr8 (G = 4.444)	-2.0	-	2.0	%
	Gerr9 (G = 5.000)	-2.0	-	2.0	%
	Gerr10 (G = 5.714)	-2.0	-	2.0	%
	Gerr11 (G = 6.667)	-2.0	-	2.0	%
	Gerr12 (G = 8.000)	-2.0	-	2.0	%
	Gerr13 (G = 10.000)	-2.0	-	2.0	%
Gerr14 (G = 13.333)	-2.0	-	2.0	%	
オフセット誤差	Voff	-8	-	8	mV

表 43.37 疑似差動モードにおけるPGA特性

項目		シンボル	Min	Typ	Max	単位
PGAVSS入力電圧範囲		PGAVSS	-0.5	-	0.3	V
疑似差動入力電圧範囲	G = 1.500	AIN-PGAVSS	-0.5	-	0.5	V
	G = 2.333		-0.4	-	0.4	V
	G = 4.000		-0.2	-	0.2	V
	G = 5.667		-0.15	-	0.15	V
ゲイン誤差	G = 1.500	Gerr	-1.0	-	1.0	%
	G = 2.333		-1.0	-	1.0	
	G = 4.000		-1.0	-	1.0	
	G = 5.667		-1.0	-	1.0	

## 43.11 フラッシュメモリ特性

## 43.11.1 コードフラッシュメモリ特性

表 43.38 コードフラッシュメモリ特性

条件：プログラム/イレース：FCLK = 4~60MHz

読み出し：FCLK ≤ 60MHz

項目		シンボル	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	測定条件
			Min	Typ	Max	Min	Typ	Max		
プログラム時間 N <sub>PEC</sub> ≤ 100回	128バイト	t <sub>P128</sub>	-	0.75	13.2	-	0.34	6.0	ms	
	8KB	t <sub>P8K</sub>	-	49	176	-	22	80	ms	
	32KB	t <sub>P32K</sub>	-	194	704	-	88	320	ms	
プログラム時間 N <sub>PEC</sub> > 100回	128バイト	t <sub>P128</sub>	-	0.91	15.8	-	0.41	7.2	ms	
	8KB	t <sub>P8K</sub>	-	60	212	-	27	96	ms	
	32KB	t <sub>P32K</sub>	-	234	848	-	106	384	ms	
イレース時間 N <sub>PEC</sub> ≤ 100回	8KB	t <sub>E8K</sub>	-	78	216	-	43	120	ms	
	32KB	t <sub>E32K</sub>	-	283	864	-	157	480	ms	
イレース時間 N <sub>PEC</sub> > 100回	8KB	t <sub>E8K</sub>	-	94	260	-	52	144	ms	
	32KB	t <sub>E32K</sub>	-	341	1040	-	189	576	ms	
再プログラム/イレースサイクル (注4)	N <sub>PEC</sub>	10000 (注1)	-	-	-	10000 (注1)	-	-	回	
プログラム中のサスペンド遅延時間	t <sub>SPD</sub>	-	-	264	-	-	120	μs		
サスペンド優先モードにおける イレース中の1回目のサスペンド 遅延時間	t <sub>SESD1</sub>	-	-	216	-	-	120	μs		
サスペンド優先モードにおける イレース中の2回目のサスペンド 遅延時間	t <sub>SESD2</sub>	-	-	1.7	-	-	1.7	ms		
イレース優先モードにおける イレース中のサスペンド遅延時間	t <sub>SEED</sub>	-	-	1.7	-	-	1.7	ms		
強制終了コマンド	t <sub>FD</sub>	-	-	32	-	-	20	μs		
データ保持時間 (注2)	t <sub>DRP</sub>	10 (注2) (注3)	-	-	10 (注2) (注3)	-	-	年	Ta = +85°C	
		30 (注2) (注3)	-	-	30 (注2) (注3)	-	-			

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は1~最小値です。

注 2. 書き換えが仕様範囲内で行われたときの特性の min 値です。

注 3. 信頼性試験から取得された結果です。

注 4. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 10000) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、8KB のブロックについて、それぞれ異なる番地に 128 バイト書き込みを 64 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。

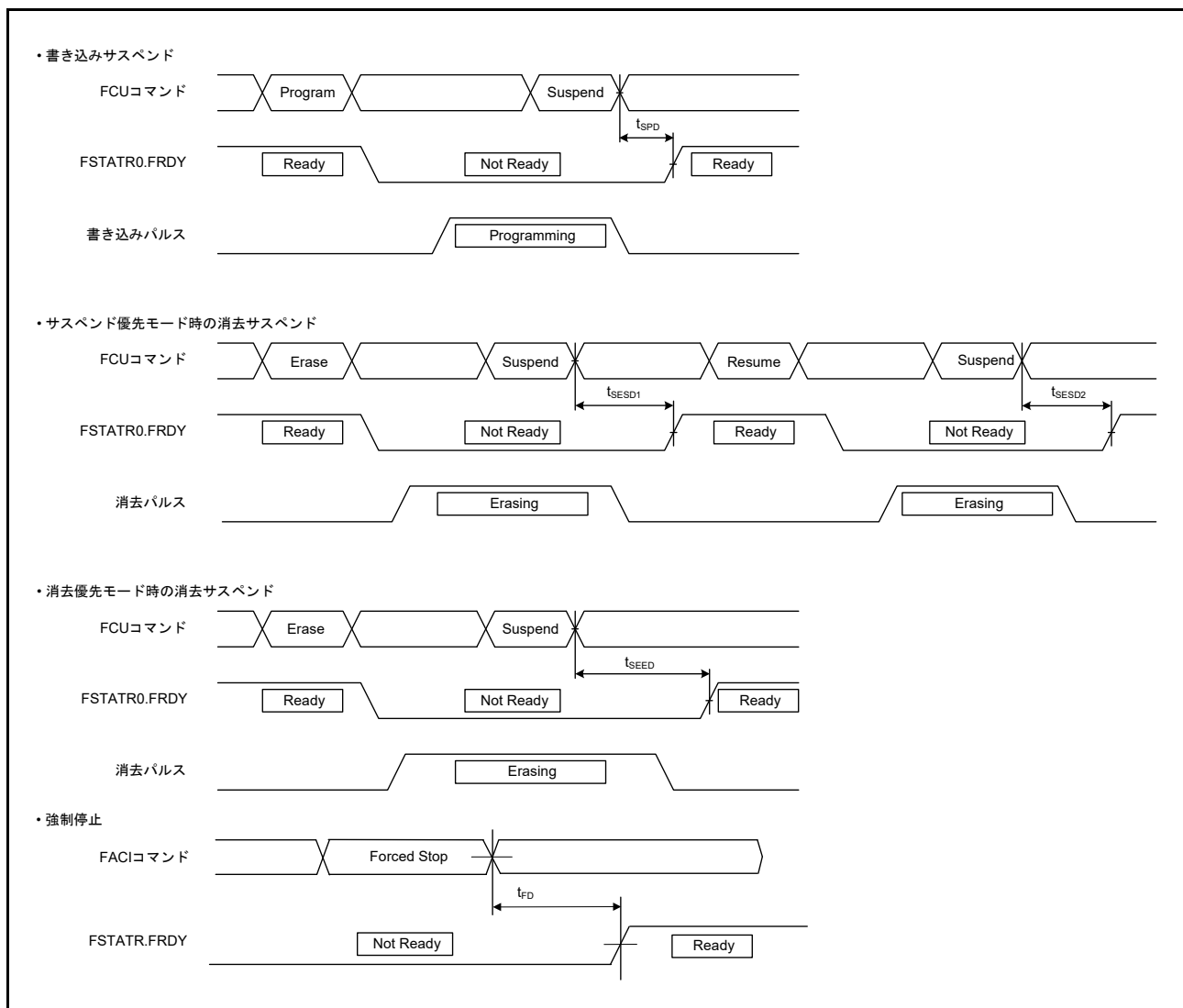


図 43.49 フラッシュメモリのプログラム/イレースのサスペンドタイミングと強制停止タイミング

## 43.11.2 データフラッシュメモリ特性

表 43.39 データフラッシュメモリ特性

条件：プログラム/イレース：FCLK = 4~60MHz

読み出し：FCLK ≤ 60MHz

項目	シンボル	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	測定条件
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4バイト	t <sub>DP4</sub>	-	0.36	3.8	-	0.16	1.7	ms
	8バイト	t <sub>DP8</sub>	-	0.38	4.0	-	0.17	1.8	
	16バイト	t <sub>DP16</sub>	-	0.42	4.5	-	0.19	2.0	
イレース時間	64バイト	t <sub>DE64</sub>	-	3.1	18	-	1.7	10	ms
	128バイト	t <sub>DE128</sub>	-	4.7	27	-	2.6	15	
	256バイト	t <sub>DE256</sub>	-	8.9	50	-	4.9	28	
ブランクチェック時間	4バイト	t <sub>DBC4</sub>	-	-	84	-	-	30	μs
再プログラム/イレースサイクル (注1)		N <sub>DPEC</sub>	125000 (注2)	-	-	125000 (注2)	-	-	-
プログラム中のサスペンド 遅延時間	4バイト	t <sub>DSPD</sub>	-	-	264	-	-	120	μs
	8バイト		-	-	264	-	-	120	
	16バイト		-	-	264	-	-	120	
サスペンド優先モードに おけるイレース中の1回目 のサスペンド遅延時間	64バイト	t <sub>DSESD1</sub>	-	-	216	-	-	120	μs
	128バイト		-	-	216	-	-	120	
	256バイト		-	-	216	-	-	120	
サスペンド優先モードに おけるイレース中の2回目 のサスペンド遅延時間	64バイト	t <sub>DSESD2</sub>	-	-	300	-	-	300	μs
	128バイト		-	-	390	-	-	390	
	256バイト		-	-	570	-	-	570	
イレース優先モードに おけるイレース中の サスペンド遅延時間	64バイト	t <sub>DSEED</sub>	-	-	300	-	-	300	μs
	128バイト		-	-	390	-	-	390	
	256バイト		-	-	570	-	-	570	
強制終了コマンド		t <sub>FD</sub>	-	-	32	-	-	20	μs
データ保持時間 (注3)		t <sub>DRP</sub>	10 (注3) (注4)	-	-	10 (注3) (注4)	-	-	年
			30 (注3) (注4)	-	-	30 (注3) (注4)	-	-	

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 125000) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、64 バイトのブロックについて、それぞれ異なる番地に 4 バイト書き込みを 16 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。

注 2. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1 ~ 最小値です。

注 3. 書き換えが仕様範囲内で行われたときの特性の min 値です。

注 4. 信頼性試験から取得された結果です。

## 43.12 バウンダリスキャン

表 43.40 バウンダリスキャン特性

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	$t_{TCKcyc}$	100	-	-	ns	図 43.50
TCKクロックHighレベルパルス幅	$t_{TCKH}$	45	-	-	ns	
TCKクロックLowレベルパルス幅	$t_{TCKL}$	45	-	-	ns	
TCKクロック立ち上がり時間	$t_{TCKr}$	-	-	5	ns	
TCKクロック立ち下がり時間	$t_{TCKf}$	-	-	5	ns	
TMSセットアップ時間	$t_{TMSS}$	20	-	-	ns	図 43.51
TMSホールド時間	$t_{TMSH}$	20	-	-	ns	
TDIセットアップ時間	$t_{TDIS}$	20	-	-	ns	
TDIホールド時間	$t_{TDIH}$	20	-	-	ns	
TDOデータ遅延時間	$t_{TDOD}$	-	-	40	ns	図 43.52
バウンダリスキャン回路起動時間 (注1)	$T_{BSSTUP}$	$t_{RESWP}$	-	-	-	

注1. パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。

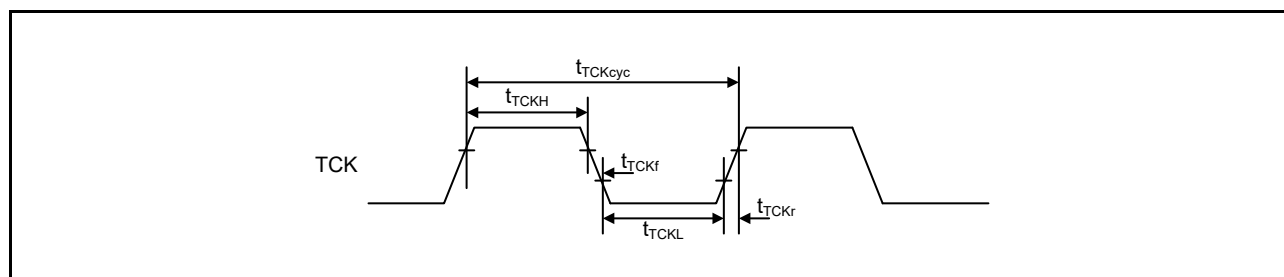


図 43.50 バウンダリスキャン TCK タイミング

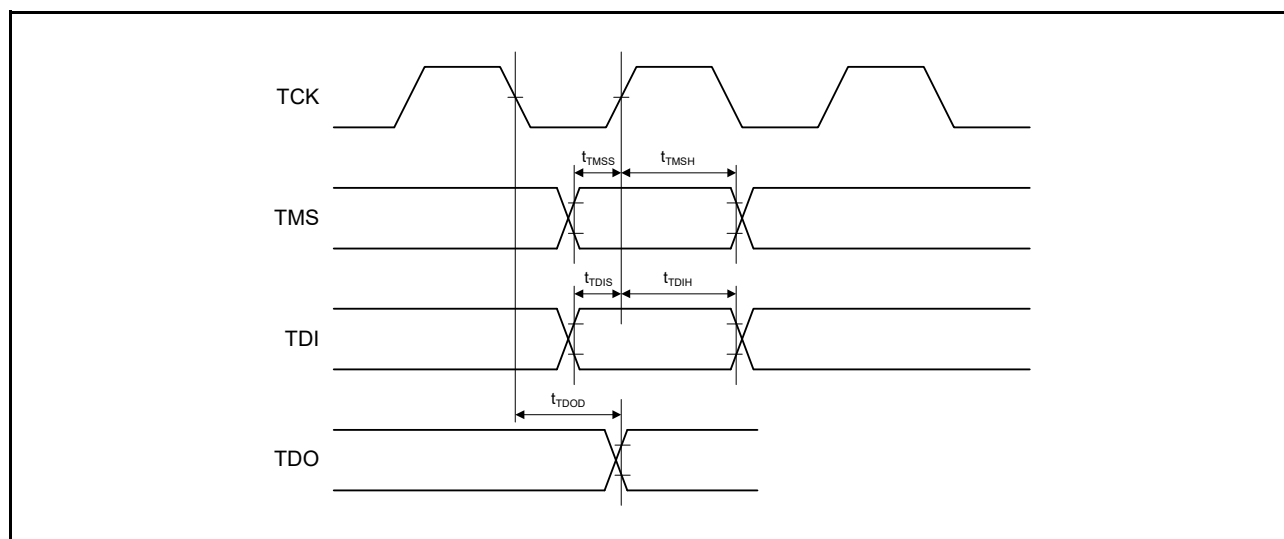


図 43.51 バウンダリスキャン入出力タイミング



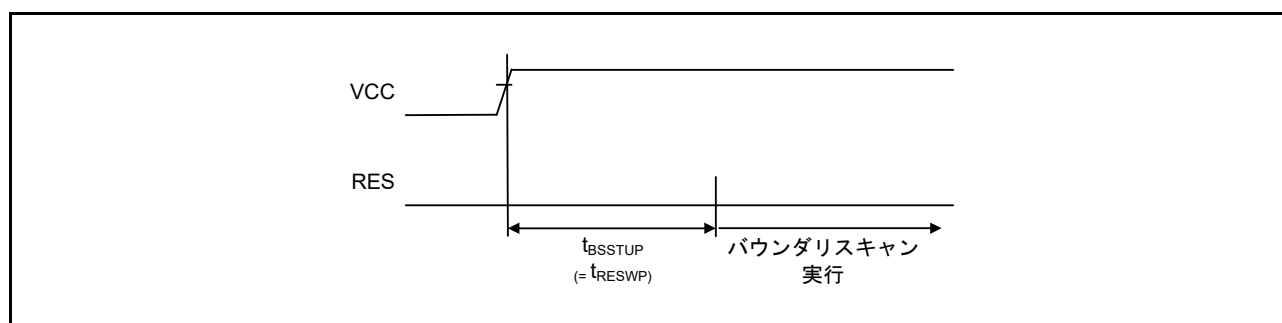


図 43.52 バウンダリスキャン回路起動タイミング

### 43.13 ジョイントテストアクショングループ (JTAG)

表 43.41 JTAG 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	$t_{TCKcyc}$	40	-	-	ns	図 43.53
TCKクロック High レベルパルス幅	$t_{TCKH}$	15	-	-	ns	
TCKクロック Low レベルパルス幅	$t_{TCKL}$	15	-	-	ns	
TCKクロック立ち上がり時間	$t_{TCKr}$	-	-	5	ns	
TCKクロック立ち下がり時間	$t_{TCKf}$	-	-	5	ns	
TMSセットアップ時間	$t_{TMSS}$	8	-	-	ns	図 43.54
TMSホールド時間	$t_{TMSH}$	8	-	-	ns	
TDIセットアップ時間	$t_{TDIS}$	8	-	-	ns	
TDIホールド時間	$t_{TDIH}$	8	-	-	ns	
TDOデータ遅延時間	$t_{TDOD}$	-	-	20	ns	

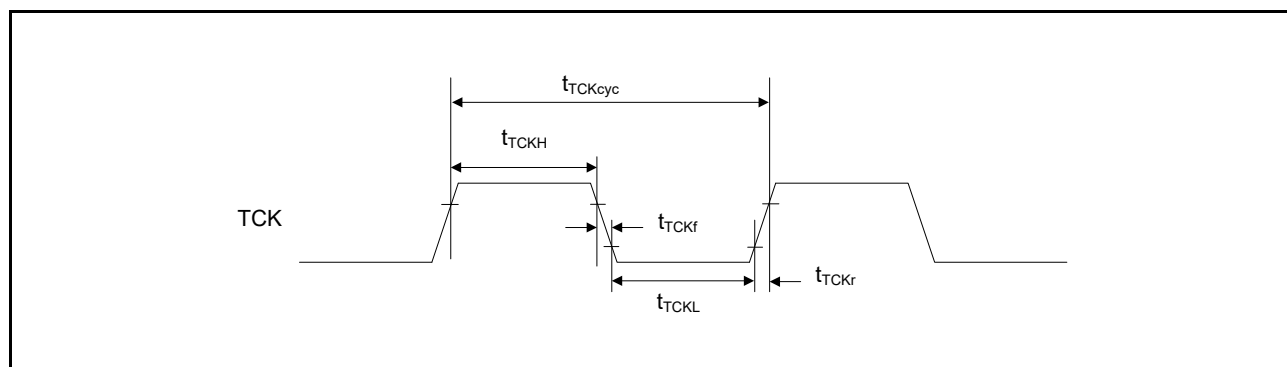


図 43.53 JTAG TCK タイミング

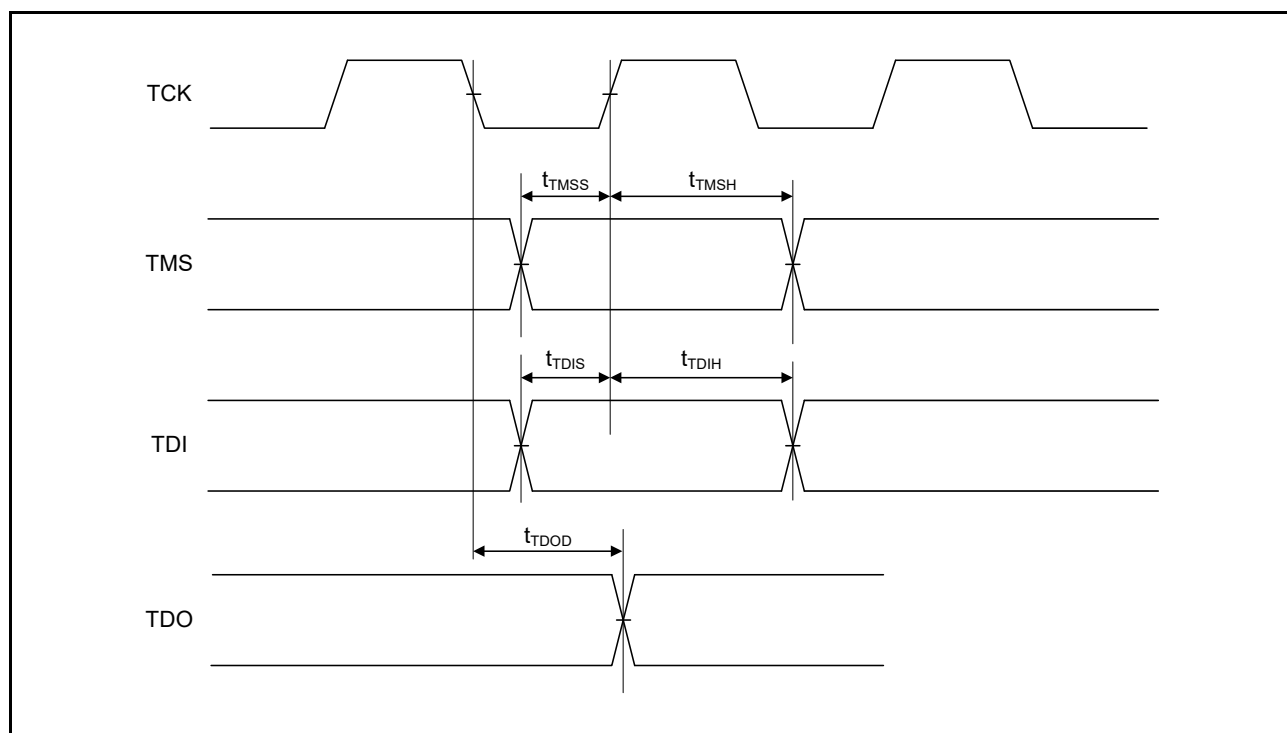


図 43.54 JTAG 入出力タイミング

43.14 シリアルワイヤデバッグ (SWD)

表 43.42 SWD 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	$t_{SWCKcyc}$	40	-	-	ns	図 43.55
SWCLKクロック High レベルパルス幅	$t_{SWCKH}$	15	-	-	ns	
SWCLKクロック Low レベルパルス幅	$t_{SWCKL}$	15	-	-	ns	
SWCLKクロック立ち上がり時間	$t_{SWCKr}$	-	-	5	ns	
SWCLKクロック立ち下がり時間	$t_{SWCKf}$	-	-	5	ns	
SWDIOセットアップ時間	$t_{SWDS}$	8	-	-	ns	図 43.56
SWDIOホールド時間	$t_{SWDH}$	8	-	-	ns	
SWDIOデータ遅延時間	$t_{SWDD}$	2	-	28	ns	

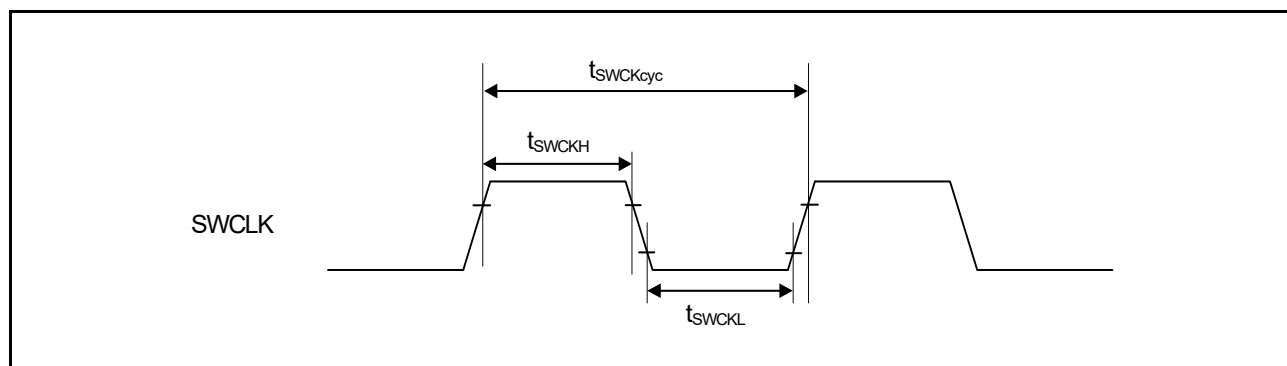


図 43.55 SWD SWCLK タイミング

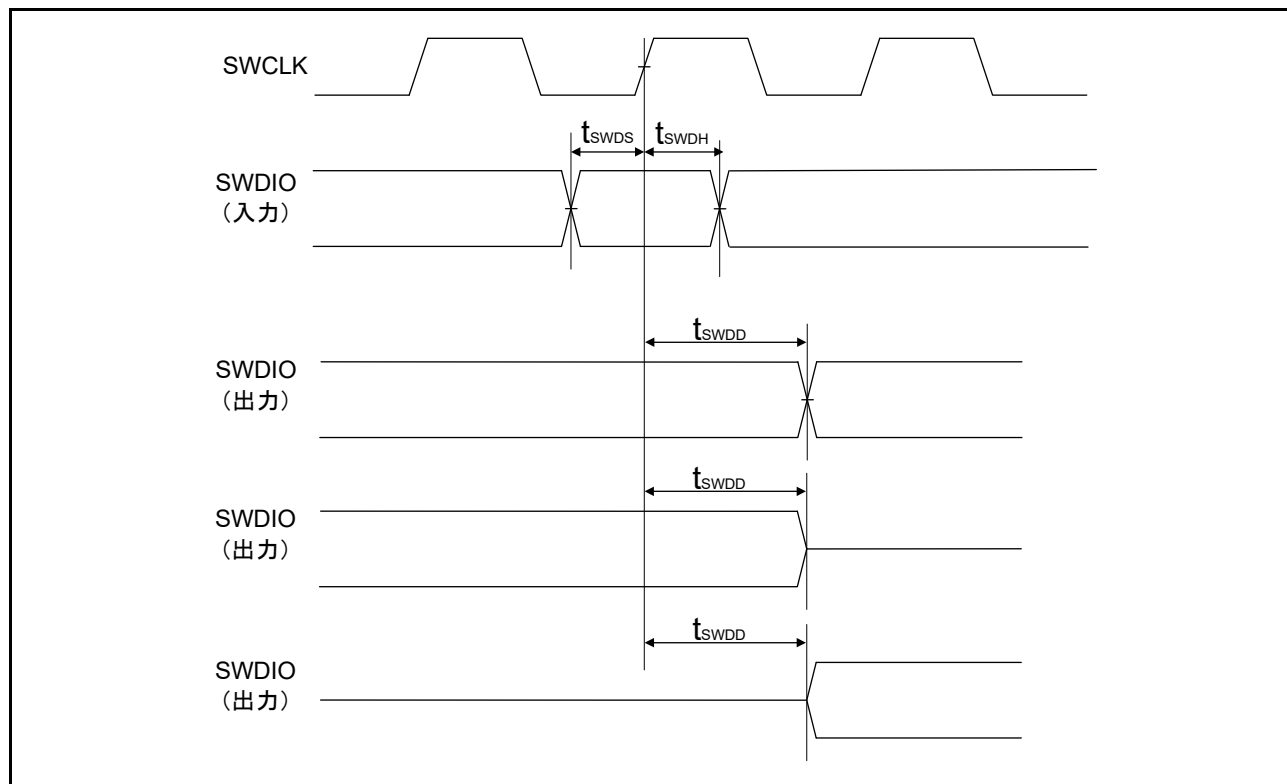


図 43.56 SWD 入出力タイミング

## 43.15 エンベデッドトレースマクロインタフェース (ETM)

表 43.43 ETM特性

条件：PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	シンボル	Min	Typ	Max	単位	測定条件
TCLKクロックサイクル時間	$t_{TCLKcyc}$	33.3	-	-	ns	図 43.57
TCLKクロックHighレベルパルス幅	$t_{TCLKH}$	13.6	-	-	ns	
TCLKクロックLowレベルパルス幅	$t_{TCLKL}$	13.6	-	-	ns	
TCLKクロック立ち上がり時間	$t_{TCLKr}$	-	-	3	ns	
TCLKクロック立ち下がり時間	$t_{TCLKf}$	-	-	3	ns	
TDATA[3:0]出力セットアップ時間	$t_{TRDS}$	3.5	-	-	ns	図 43.58
TDATA[3:0]出力ホールド時間	$t_{TRDH}$	2.5	-	-	ns	

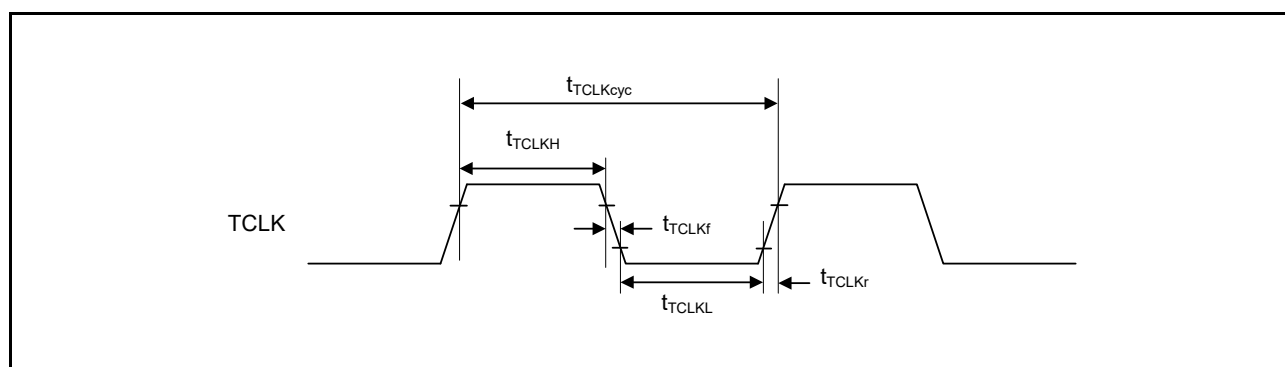


図 43.57 ETM TCLK タイミング

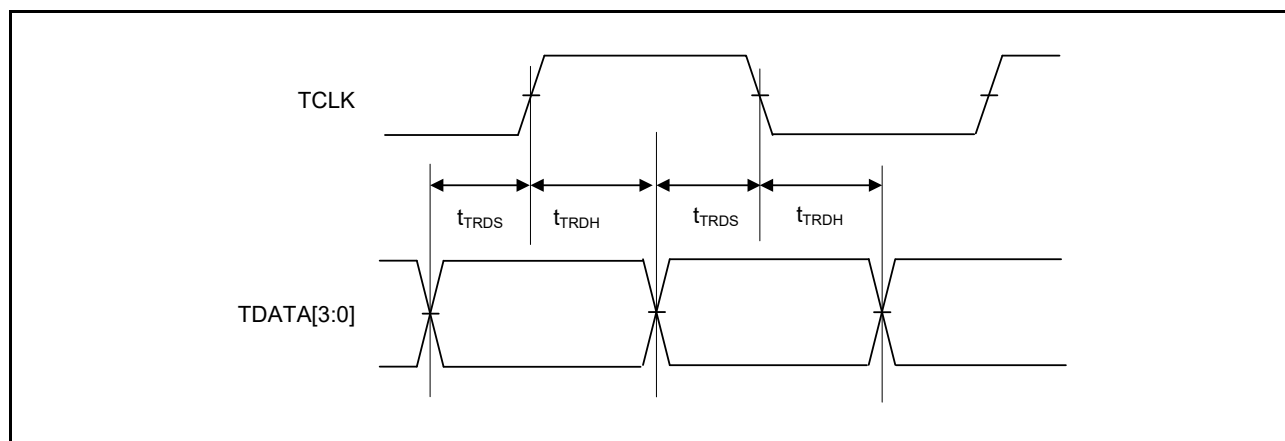


図 43.58 ETM 出力タイミング

### 付録 1.各プロセスモードのポート状態

表 1.1 各プロセスモードのポート状態 (1/2)

ポート名	リセット	ソフトウェアスタンバイモード		ディープソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード解除後 (スタートアップモードに復帰)	
		OPE = 0	OPE = 1		IOKEEP = 0	IOKEEP = 1 (注1)
P000/IRQ6-DS, P001/IRQ7-DS, P002/IRQ8-DS	Hi-Z	Hi-Z (注2)		Keep-O (注3)	Hi-Z	Keep
P003	Hi-Z	Hi-Z		Keep	Hi-Z	Keep
P004/IRQ9-DS, P005/IRQ10-DS, P006/IRQ11-DS	Hi-Z	Hi-Z (注2)		Keep-O (注3)	Hi-Z	Keep
P007	Hi-Z	Hi-Z		Keep	Hi-Z	Keep
P008/IRQ12-DS	Hi-Z	Keep-O (注2)		Keep-O (注3)	Hi-Z	Keep
P014/DA0	Hi-Z	[DA0出力 (DAOE0 = 1) ] D/A出力保持 [上記以外 (DAOE0 = 0) ] Keep-O		Keep	Hi-Z	Keep
P015/IRQ13/DA1	Hi-Z	[DA1出力 (DAOE1 = 1) ] D/A出力保持 [上記以外 (DAOE1 = 0) ] Keep-O (注2)		Keep	Hi-Z	Keep
P100/KR00/AGTIO0/ RXD0/IRQ2	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P101/KR01/IRQ1	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P102/KR02	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P103/KR03	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P104/KR04/IRQ1	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P105/KR05/IRQ0	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P106/KR06	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P107/KR07	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P108/TMS	Pull-up	Keep-O		Keep	Pull-up	Keep
P109/TDO/ CLKOUT	TDO出力	[CLKOUT選択] CLKOUT出力 [上記以外] Keep-O		[TDO出力] TDO出力保持 [上記以外] Keep	[TDO出力] TDO出力保持 [上記以外] Hi-Z	[TDO出力] TDO出力保持 [上記以外] Keep
P110/IRQ3/TDI/ VCOUT	Pull-up	[ACMPHS選択] VCOUT出力 [上記以外] Keep-O (注2)		Keep	Pull-up	Keep
P111/IRQ4	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P112	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P113	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P114	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P115	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P200/NMI	Hi-Z	Hi-Z		Keep	Hi-Z	Keep
P201	Pull-up	Keep-O		Keep	Pull-up	Keep
P205/ CLKOUT/IRQ1-DS	Hi-Z	[CLKOUT選択] CLKOUT出力 [上記以外] Keep-O (注2)		Keep-O (注3)	Hi-Z	Keep
P206/IRQ0-DS	Hi-Z	Keep-O (注2)		Keep-O (注3)	Hi-Z	Keep
P207	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P208	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P209	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P210	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P211	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P212/IRQ3/EXTAL, P213/IRQ2/XTAL	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep

表 1.1 各プロセスモードのポート状態 (2/2)

ポート名	リセット	ソフトウェアスタンバイモード		ディープソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード解除後 (スタートアップモードに復帰)	
		OPE = 0	OPE = 1		IOKEEP = 0	IOKEEP = 1 (注1)
P214	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P300/TCK	Pull-up	Keep-O		Keep	Pull-up	Keep
P301/AGTIO0/IRQ6	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P302/IRQ5	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P303	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P304/IRQ9	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P305/IRQ8	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P306	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P307	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P400/AGTIO1/ SCL0_A/IRQ0	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P401/SDA0_A/ IRQ5-DS, P402/IRQ4-DS/ AGTIO0/AGTIO1, P403/AGTIO0/ AGTIO1, P404	Hi-Z	Keep-O (注2)		Keep-O (注3)	Hi-Z	Keep
P405, P406	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P407/AGTIO0/ SDA0_B	Hi-Z	Keep-O (注2)		Keep-O (注3)	Hi-Z	Keep
P408/SCL0_B/IRQ7, P409/IRQ6, P410/RXD0/IRQ5, P411/IRQ4	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P412, P413	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P414/IRQ9, P415/IRQ8	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P500	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P501/IRQ11, P502/IRQ12	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P503	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P504	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P508	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P600/CLKOUT	Hi-Z	[CLKOUT 選択] CLKOUT 出力 [上記以外] Keep-O		Keep	Hi-Z	Keep
P601	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P602	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P608	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P708/IRQ11	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep

H : High レベル

L : Low レベル

Hi-Z : ハイインピーダンス

Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

Keep : ソフトウェアスタンバイモード期間中、端子状態は保持されます。

注 1. DPSBYCR.IOKEEP ビットが 0 になるまで、I/O ポートの状態が保持されます。

注 2. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。

注 3. 端子がディープソフトウェアスタンバイのキャンセル要因に指定された場合、入力が許可されます。

### 付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスウェブサイトの「パッケージ」を参照してください。

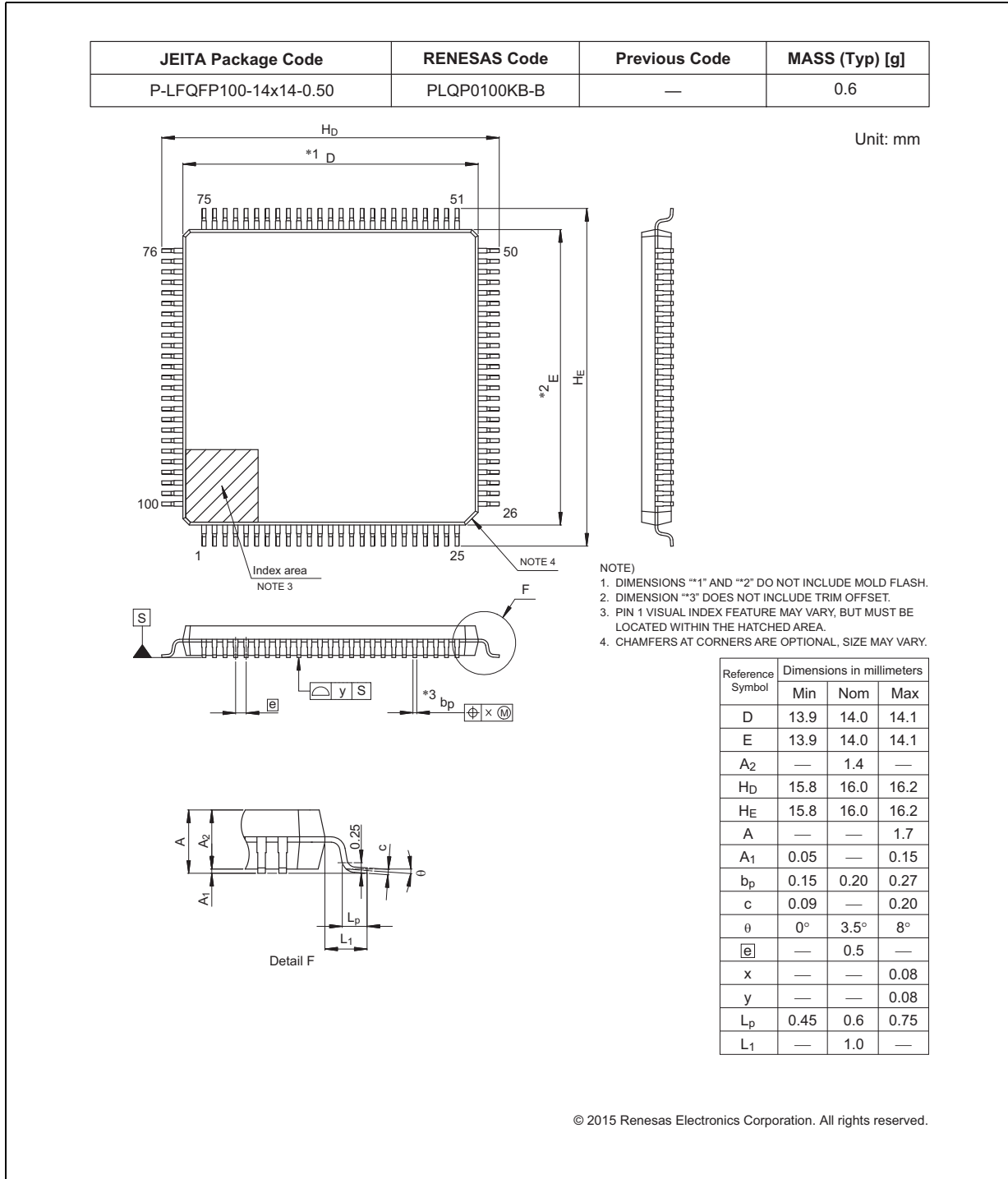
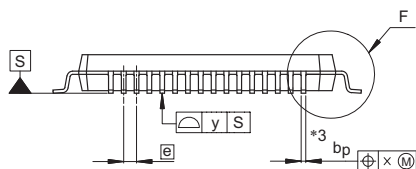
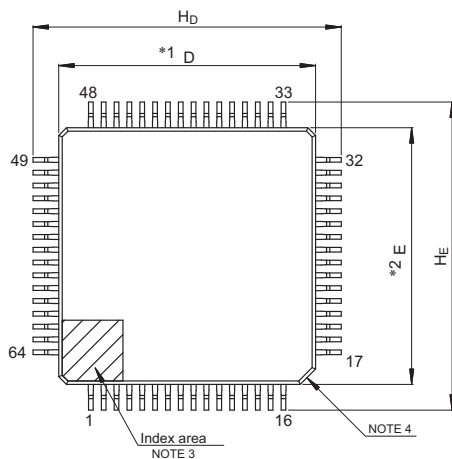


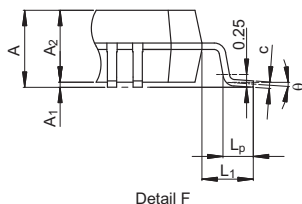
図 2.1 100ピン LQFP

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



- NOTE)
1. DIMENSIONS \*\*1" AND \*\*2" DO NOT INCLUDE MOLD FLASH.
  2. DIMENSION \*\*3" DOES NOT INCLUDE TRIM OFFSET.
  3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
  4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A <sub>2</sub>	—	1.4	—
H <sub>D</sub>	11.8	12.0	12.2
H <sub>E</sub>	11.8	12.0	12.2
A	—	—	1.7
A <sub>1</sub>	0.05	—	0.15
b <sub>p</sub>	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L <sub>p</sub>	0.45	0.6	0.75
L <sub>1</sub>	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 2.2 64ピンLQFP



## 付録3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、およびリセット値について機能ごとに説明します。

### 3.1 周辺機能のベースアドレス

本節では、本マニュアルでとりあげた周辺機能のベースアドレスについて説明します。

表 3.1 に、各周辺機能の名称、内容、およびベースアドレスを示します。

表 3.1 周辺機能のベースアドレス (1/2)

名称	内容	ベースアドレス
MMPU	バスマスタMPU	0x40000000
SMPU	バススレーブMPU	0x40000C00
SPMON	CPUスタックポインタモニタ	0x40000D00
MMF	メモリミラー機能	0x40001000
SRAM	SRAMコントロール	0x40002000
BUS	バスコントロール	0x40003000
DMAC0	ダイレクトメモリアクセスコントローラ0	0x40005000
DMAC1	ダイレクトメモリアクセスコントローラ1	0x40005040
DMAC2	ダイレクトメモリアクセスコントローラ2	0x40005080
DMAC3	ダイレクトメモリアクセスコントローラ3	0x400050C0
DMAC4	ダイレクトメモリアクセスコントローラ4	0x40005100
DMAC5	ダイレクトメモリアクセスコントローラ5	0x40005140
DMAC6	ダイレクトメモリアクセスコントローラ6	0x40005180
DMAC7	ダイレクトメモリアクセスコントローラ7	0x400051C0
DMA	DMACモジュール起動	0x40005200
DTC	データトランスファコントローラ	0x40005400
ICU	割り込みコントローラ	0x40006000
DBG	デバッグ機能	0x4001B000
FCACHE	フラッシュキャッシュ	0x4001C000
SYSTEM	システム制御	0x4001E000
PORT0	ポート0コントロールレジスタ	0x40040000
PORT1	ポート1コントロールレジスタ	0x40040020
PORT2	ポート2コントロールレジスタ	0x40040040
PORT3	ポート3コントロールレジスタ	0x40040060
PORT4	ポート4コントロールレジスタ	0x40040080
PORT5	ポート5コントロールレジスタ	0x400400A0
PORT6	ポート6コントロールレジスタ	0x400400C0
PORT7	ポート7コントロールレジスタ	0x400400E0
PFS	Pmn端子機能コントロールレジスタ	0x40040800
PMISC	その他のポートコントロールレジスタ	0x40040D00
ELC	イベントリンクコントローラ	0x40041000
POEG	GPT用ポートアウトプットイネーブル	0x40042000
INIT	リセット解除後初期化シーケンスレジスタ	0x40044000
WDT	ウォッチドッグタイマ	0x40044200
IWDT	独立ウォッチドッグタイマ	0x40044400
CAC	クロック周波数精度測定回路	0x40044600
MSTP	モジュールストップコントロールB、C、D	0x40047000
CAN0	CAN0モジュール	0x40050000

表 3.1 周辺機能のベースアドレス (2/2)

名称	内容	ベースアドレス
IIC0	Inter-Integrated Circuit 0	0x40053000
IIC1	Inter-Integrated Circuit 1	0x40053100
DOC	データ演算回路	0x40054100
ADC120	12ビットA/Dコンバータ0	0x4005C000
ADC121	12ビットA/Dコンバータ1	0x4005C200
TSN	温度センサ	0x4005D000
DAC12	12ビットD/Aコンバータ	0x4005E000
SCI0	シリアルコミュニケーションインタフェース0	0x40070000
SCI1	シリアルコミュニケーションインタフェース1	0x40070020
SCI2	シリアルコミュニケーションインタフェース2	0x40070040
SCI3	シリアルコミュニケーションインタフェース3	0x40070060
SCI4	シリアルコミュニケーションインタフェース4	0x40070080
SCI8	シリアルコミュニケーションインタフェース8	0x40070100
SCI9	シリアルコミュニケーションインタフェース9	0x40070120
IRDA	赤外線通信協会	0x40070F00
SPI0	シリアルペリフェラルインタフェース0	0x40072000
SPI1	シリアルペリフェラルインタフェース1	0x40072100
CRC	CRC演算器	0x40074000
GPT32EH0	汎用PWMタイマ0 (32ビット拡張高分解能)	0x40078000
GPT32EH1	汎用PWMタイマ1 (32ビット拡張高分解能)	0x40078100
GPT32EH2	汎用PWMタイマ2 (32ビット拡張高分解能)	0x40078200
GPT32EH3	汎用PWMタイマ3 (32ビット拡張高分解能)	0x40078300
GPT32E4	汎用PWMタイマ4 (32ビット拡張)	0x40078400
GPT32E5	汎用PWMタイマ5 (32ビット拡張)	0x40078500
GPT32E6	汎用PWMタイマ6 (32ビット拡張)	0x40078600
GPT32E7	汎用PWMタイマ7 (32ビット拡張)	0x40078700
GPT328	汎用PWMタイマ8 (32ビット拡張)	0x40078800
GPT329	汎用PWMタイマ9 (32ビット拡張)	0x40078900
GPT3210	汎用PWMタイマ10 (32ビット拡張)	0x40078A00
GPT3211	汎用PWMタイマ11 (32ビット拡張)	0x40078B00
GPT3212	汎用PWMタイマ12 (32ビット拡張)	0x40078C00
GPT_OPS	出力相切り替えコントローラ	0x40078FF0
GPT_ODC	PWM遅延生成回路	0x4007B000
KINT	キー割り込み機能	0x40080000
AGT0	低消費電力非同期汎用タイマ0	0x40084000
AGT1	低消費電力非同期汎用タイマ1	0x40084100
ACMPHS0	高速アナログコンパレータ0	0x40085000
ACMPHS1	高速アナログコンパレータ1	0x40085100
ACMPHS2	高速アナログコンパレータ2	0x40085200
ACMPHS3	高速アナログコンパレータ3	0x40085300
ACMPHS4	高速アナログコンパレータ4	0x40085400
ACMPHS5	高速アナログコンパレータ5	0x40085500
TSD	温度センサデータ	0x407FB17C

名称 = 周辺機能の名前

内容 = 周辺機能

ベースアドレス = 最下位の予約アドレスまたは周辺機能で使用されるアドレス

### 3.2 アクセスサイクル

本節では、本マニュアルでとりあげた I/O レジスタのアクセスサイクル情報を示します。

以下の情報は、表 3.2 に適用されます。

- レジスタは関連するモジュールごとに分類されます。
- アクセスサイクル数は、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにはアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。

注． CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DMAC や DTC のような他のバスマスタからのバスアクセスと競合せずに実行された場合、サイクル数に適用されません。

表 3.2 にレジスタアクセスサイクルを示します。

表 3.2 アクセスサイクル (1/2)

周辺機能	アドレス		アクセスサイクル数						関連機能
			ICLK = PCLK		ICLK > PCLK (注1)		サイクルの単位		
			読み出し	書き込み	読み出し	書き込み			
MMPU, SMPU, SPMON, MMF, SRAM, BUS, DMACn, DMA, DTC, ICU, DBG, FCACHE	4000 0000h	4001 CFFFh	4				ICLK	メモリプロテクションユニット、メモリミラー機能、SRAM、バス、DMAコントローラ、データトランスファコントローラ、割り込みコントローラ、CPU、フラッシュメモリ	
SYSTEM	4001 E000h	4001 E3FFh	5				ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション	
SYSTEM	4001 E400h	4001 E6FFh	9		5~8		PCLKB	低消費電力モード、リセット、低電圧検出、AGT入力コントロール	
PORTn, PFS, PMISC, ELC, POEG, INIT, WDT, IWDT, CAC, MSTP	4004 0000h	4004 7FFFh	3		2~3		PCLKB	I/Oポート、イベントリンクコントローラ、GPT用ポートアウトプットイネーブル、リセット解除後初期化シーケンスレジスタ、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール	
CANn, IICn, DOC, ADC12n, TSN, DAC12	4004 E000h	4005 FFFFh	3		2~3		PCLKB	コントローラエリアネットワークモジュール、I <sup>2</sup> Cバスインタフェース、データ演算回路、12ビットA/Dコンバータ、温度センサ、12ビットD/Aコンバータ	
SCIn	4007 0000h	4007 0EFFh	3 (注2)		2~3 (注2)		PCLKA	シリアルコミュニケーションインタフェース	
IRDA	4007 0F00h	4007 0FFFh	3		2~3		PCLKA	IrDAインタフェース	
SPI0, SPI1	4007 2000h	4007 2FFFh	3 (注3)		2~3 (注3)		PCLKA	シリアルペリフェラルインタフェース	
CRC	4007 4000h	4007 4FFFh	3		2~3		PCLKA	CRC演算器	
GPT32EHi, GPT32Ej, GPT32k, GPT_OPS	4007 8000h	4007 8FFFh	5	3	4~5	2~3	PCLKA	汎用PWMタイマ	
GPT_ODC	4007 B000h	4007 BFFFh	2		1~2		PCLKA	PWM遅延生成回路	
KINT	4008 0000h	4008 1FFFh	2		1~2		PCLKB	キー割り込み機能	

表 3.2 アクセスサイクル (2/2)

周辺機能	アドレス		アクセスサイクル数					
			ICLK = PCLK		ICLK > PCLK (注1)		サイクルの単位	関連機能
	開始	終了	読み出し	書き込み	読み出し	書き込み		
AGTn	4008 4000h	4008 4FFFh	5	3	4~5	2~3	PCLKB	低消費電力非同期汎用タイマ
ACMPHSn	4008 5000h	4008 5FFFh	2		1~2		PCLKB	高速アナログコンバータ
TSD	407F B17Ch	407F B17Ch	2	-	2	-	ICLK	温度センサ

- 注 1. PCLK サイクル数が整数でない場合 (たとえば 1.5)、最小値は小数点以下を切り捨て、最大値は小数点を四捨五入します。たとえば、1.5 ~ 2.5 は、1 ~ 3 となります。
- 注 2. 16 ビットレジスタ (FTDRHL, FRDRHL, FCR, FDR, LSR、および CDR) へのアクセス時、アクセスは表 3.2 に示す値よりも 2 サイクル多くなります。8 ビットレジスタ (FTDRH, FTDRL, FRDRH、および FRDRL) へのアクセス時、アクセスサイクルは表 3.2 に示すとおりです。
- 注 3. 32 ビットレジスタ (SPDR) へのアクセス時、アクセスは表 3.2 に示す値よりも 2 サイクル多くなります。8 ビットまたは 16 ビットレジスタ (SPDR\_HA) へのアクセス時、アクセスサイクルは表 3.2 に示すとおりです。

### 3.3 レジスタの説明

本節では、本マニュアルでとりあげたレジスタに関する情報を示します。

表 3.3 に、各レジスタのアドレスオフセット、アドレスサイズ、アクセス権、およびリセット値を示します。

表 3.3 レジスタの説明 (1/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレスオフセット	サイズ	アクセス	リセット値	リセットマスク
MMPU	-	-	-	MMPUCTLA	Bus Master MPU Control Register	0x000	16	read-write	0x0000	0xFFFF
				MMPUPTA	Group A Protection of Register	0x102	16	read-write	0x0000	0xFFFF
	32	0x010	0-31	MMPUACA%s	Group A Region %s Access Control Register	0x200	16	read-write	0x0000	0xFFFF
	32	0x010	0-31	MMPUSA%s	Group A Region %s Start Address Register	0x204	32	read-write	0x00000000	0x00000003
	32	0x010	0-31	MMPUEA%s	Group A Region %s End Address Register	0x208	32	read-write	0x00000003	0x00000003
SMPU	-	-	-	SMPUCTL	Slave MPU Control Register	0x00	16	read-write	0x0000	0xFFFF
				SMPUMBIU	Access Control Register for MBIU	0x10	16	read-write	0x2000	0xFFFF
				SMPUFBIU	Access Control Register for FBIU	0x14	16	read-write	0x0000	0xFFFF
	3	0x4	0,2,6	SMPUP%sBIU	Access Control Register for P%sBIU	0x20	16	read-write	0x0000	0xFFFF
SPMON	-	-	-	MSPMPUOAD	Stack Pointer Monitor Operation After Detection Register	0x00	16	read-write	0x0000	0xFFFF
				MSPMPUCTL	Stack Pointer Monitor Access Control Register	0x04	16	read-write	0x0000	0xFEFF
				MSPMPUPT	Stack Pointer Monitor Protection Register	0x06	16	read-write	0x0000	0xFFFF
				MSPMPUSA	Main Stack Pointer Monitor Start Address Register	0x08	32	read-write	0x00000000	0x00000003
				MSPMPUEA	Main Stack Pointer Monitor End Address Register	0x0C	32	read-write	0x00000003	0x00000003
				PSPMPUOAD	Stack Pointer Monitor Operation After Detection Register	0x10	16	read-write	0x0000	0xFFFF
				PSPMPUCTL	Stack Pointer Monitor Access Control Register	0x14	16	read-write	0x0000	0xFEFF
				PSPMPUPT	Stack Pointer Monitor Protection Register	0x16	16	read-write	0x0000	0xFFFF
				PSPMPUSA	Process Stack Pointer Monitor Start Address Register	0x18	32	read-write	0x00000000	0x00000003
				PSPMPUEA	Process Stack Pointer Monitor End Address Register	0x1C	32	read-write	0x00000003	0x00000003
MMF	-	-	-	MMSFR	MemMirror Special Function Register	0x00	32	read-write	0x00000000	0xFFFFFFFF
				MMEN	MemMirror Enable Register	0x04	32	read-write	0x00000000	0xFFFFFFFF
SRAM	-	-	-	PARIOAD	SRAM Parity Error Operation After Detection Register	0x00	8	read-write	0x00	0xFF
				SRAMPRCR	SRAM Protection Register	0x04	8	read-write	0x00	0xFF

表 3.3 レジスタの説明 (2/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
BUS	2	0x4	M4I,M4D	BUSMCNT%s	Master Bus Control Register %s	0x1000	16	read-write	0x0000	0xFFFF
	-	-	-	BUSMCNTSYS	Master Bus Control Register SYS	0x1008	16	read-write	0x0000	0xFFFF
	-	-	-	BUSMCNTDMA	Master Bus Control Register DMA	0x100C	16	read-write	0x0000	0xFFFF
	2	0x4	FLI,RA MH	BUSSCNT%s	Slave Bus Control Register %s	0x1100	16	read-write	0x0000	0xFFFF
	-	-	-	BUSSCNTMBIU	Slave Bus Control Register MBIU	0x1108	16	read-write	0x0000	0xFFFF
	4	0x4	P0B,P2B,P3B,P4B	BUSSCNT%s	Slave Bus Control Register %s	0x1114	16	read-write	0x0000	0xFFFF
	-	-	-	BUSSCNTP6B	Slave Bus Control Register P6B	0x1128	16	read-write	0x0000	0xFFFF
	3	0x4	FBU	BUSSCNT%s	Slave Bus Control Register %s	0x1130	16	read-write	0x0000	0xFFFF
	4	0x10	1-4	BUS%sERRADD	Bus Error Address Register %s	0x1800	32	read-only	0x00000000	0x00000000
4	0x10	1-4	BUS%sERRSTAT	Bus Error Status Register %s	0x1804	8	read-only	0x00	0xFE	
DMAC0-7	-	-	-	DMSAR	DMA Source Address Register	0x00	32	read-write	0x00000000	0xFFFFFFFF
	-	-	-	DMDAR	DMA Destination Address Register	0x04	32	read-write	0x00000000	0xFFFFFFFF
	-	-	-	DMCRA	DMA Transfer Count Register	0x08	32	read-write	0x00000000	0xFFFFFFFF
	-	-	-	DMCRB	DMA Block Transfer Count Register	0x0C	16	read-write	0x0000	0xFFFF
	-	-	-	DMTMD	DMA Transfer Mode Register	0x10	16	read-write	0x0000	0xFFFF
	-	-	-	DMINT	DMA Interrupt Setting Register	0x13	8	read-write	0x00	0xFF
	-	-	-	DMAMD	DMA Address Mode Register	0x14	16	read-write	0x0000	0xFFFF
	-	-	-	DMOFR	DMA Offset Register	0x18	32	read-write	0x00000000	0xFFFFFFFF
	-	-	-	DMCNT	DMA Transfer Enable Register	0x1C	8	read-write	0x00	0xFF
	-	-	-	DMREQ	DMA Software Start Register	0x1D	8	read-write	0x00	0xFF
	-	-	-	DMSTS	DMAC Module Activation Register	0x1E	8	read-write	0x00	0xFF
DMA	-	-	-	DMAST	DMA Module Activation Register	0x00	8	read-write	0x00	0xFF
DTC	-	-	-	DTCCR	DTC Control Register	0x00	8	read-write	0x08	0xFF
	-	-	-	DTCVBR	DTC Vector Base Register	0x04	32	read-write	0x00000000	0xFFFFFFFF
	-	-	-	DTCST	DTC Module Start Register	0x0C	8	read-write	0x00	0xFF
	-	-	-	DTCSTS	DTC Status Register	0x0E	16	read-only	0x0000	0xFFFF

表 3.3 レジスタの説明 (3/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
ICU	14	0x1	0-13	IRQCR%s	IRQ Control Register %s	0x000	8	read-write	0x00	0xFF
	-	-	-	NMICR	NMI Pin Interrupt Control Register	0x100	8	read-write	0x00	0xFF
				NMIER	Non-Maskable Interrupt Enable Register	0x120	16	read-write	0x0000	0xFFFF
				NMICLR	Non-Maskable Interrupt Status Clear Register	0x130	16	write-only	0x0000	0xFFFF
				NMISR	Non-Maskable Interrupt Status Register	0x140	16	read-only	0x0000	0xFFFF
				WUPEN	Wakeup Interrupt Enable Register	0x1A0	32	read-write	0x00000000	0xFFFFFFFF
				SELSR0	SYS Event Link Setting Register	0x200	16	read-write	0x0000	0xFFFF
8	0x4	0-7	DELSR%s	DMAC Event Link Setting Register %s	0x280	32	read-write	0x0000	0xFFFF	
96	0x4	0-95	IELSR%s	INT Event Link Setting Register %s	0x300	32	read-write	0x00000000	0xFFFFFFFF	
DBG	-	-	-	DBGSTR	Debug Status Register	0x000	32	read-only	0x00000000	0xFFFFFFFF
				DBGSTOPCR	Debug Stop Control Register	0x010	32	read-write	0x00000003	0xFFFFFFFF
				TRACECTR	Trace Control Register	0x020	32	read-write	0x00000000	0xFFFFFFFF
FCACHE	-	-	-	FCACHEE	Flash Cache Enable Register	0x100	16	read-write	0x0000	0xFFFF
				FCACHEIV	Flash Cache Invalidate Register	0x104	16	read-write	0x0000	0xFFFF
				FLWT	Flash Wait Cycle Register	0x11C	8	read-write	0x00	0xFF
SYSTEM	-	-	-	SBYCR	Standby Control Register	0x00C	16	read-write	0x4000	0xFFFF
				MSTPCRA	Module Stop Control Register A	0x01C	32	read-write	0xFFBFFF1C	0xFFFFFFFF
				SCKDIVCR	System Clock Division Control Register	0x020	32	read-write	0x22022222	0xFFFFFFFF
				SCKSCR	System Clock Source Control Register	0x026	8	read-write	0x01	0xFF
				PLLCCR	PLL Clock Control Register	0x028	16	read-write	0x1300	0xFFFF
				PLLCR	PLL Control Register	0x02A	8	read-write	0x01	0xFF
				MOSCCR	Main Clock Oscillator Control Register	0x032	8	read-write	0x01	0xFF
				HOCOCCR	High-Speed On-Chip Oscillator Control Register	0x036	8	read-write	0x00	0xFE
				MOCOCCR	Middle-Speed On-Chip Oscillator Control Register	0x038	8	read-write	0x00	0xFF
				FLLCR1	FLL Control Register 1	0x039	8	read-write	0x00	0xFF
				FLLCR2	FLL Control Register 2	0x03A	16	read-write	0x0000	0xFFFF
				OSCSF	Oscillation Stabilization Flag Register	0x03C	8	read-only	0x00	0xFE
				CKOCR	Clock Out Control Register	0x03E	8	read-write	0x00	0xFF
				TRCKCR	Trace Clock Control Register	0x03F	8	read-write	0x01	0xFF
OSTDCR	Oscillation Stop Detection Control Register	0x040	8	read-write	0x00	0xFF				

表 3.3 レジスタの説明 (4/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SYSTEM	-	-	-	OSTDSR	Oscillation Stop Detection Status Register	0x041	8	read-write	0x00	0xFF
				MOCOUTCR	MOCO User Trimming Control Register	0x061	8	read-write	0x00	0xFF
				HOCOUTCR	HOCO User Trimming Control Register	0x062	8	read-write	0x00	0xFF
				SNZCR	Snooze Control Register	0x092	8	read-write	0x00	0xFF
				SNZEDCR	Snooze End Control Register	0x094	8	read-write	0x00	0xFF
				SNZREQCR	Snooze Request Control Register	0x098	32	read-write	0x00000000	0xFFFFFFFF
				OPCCR	Operating Power Control Register	0x0A0	8	read-write	0x00	0xFF
				MOSCWTCR	Main Clock Oscillator Wait Control Register	0x0A2	8	read-write	0x05	0xFF
				HOCOWTCR	High-speed on-chip oscillator wait control register	0x0A5	8	read-write	0x02	0xFF
				SOPCCR	Sub Operating Power Control Register	0x0AA	8	read-write	0x00	0xFF
				RSTSR1	Reset Status Register 1	0x0C0	16	read-write	0x0000	0xE0F8
2	0x2	1,2	LVD%sCR1	Voltage Monitor %s Circuit Control Register 1	0x0E0	8	read-write	0x01	0xFF	
2	0x2	1,2	LVD%sSR	Voltage Monitor %s Circuit Status Register	0x0E1	8	read-write	0x02	0xFF	
-	-	-	-	PRCR	Protect Register	0x3FE	16	read-write	0x0000	0xFFFF
				DPSBYCR	Deep Standby Control Register	0x400	8	read-write	0x01	0xFF
				DPSIER0	Deep Standby Interrupt Enable Register 0	0x402	8	read-write	0x00	0xFF
				DPSIER1	Deep Standby Interrupt Enable Register 1	0x403	8	read-write	0x00	0xFF
				DPSIER2	Deep Standby Interrupt Enable Register 2	0x404	8	read-write	0x00	0xFF
				DPSIER3	Deep Standby Interrupt Enable Register 3	0x405	8	read-write	0x00	0xFF
				DPSIFR0	Deep Standby Interrupt Flag Register 0	0x406	8	read-write	0x00	0xFF
				DPSIFR1	Deep Standby Interrupt Flag Register 1	0x407	8	read-write	0x00	0xFF
				DPSIFR2	Deep Standby Interrupt Flag Register 2	0x408	8	read-write	0x00	0xFF
				DPSIFR3	Deep Standby Interrupt Flag Register 3	0x409	8	read-write	0x00	0xFF
				DPSIEGR0	Deep Standby Interrupt Edge Register 0	0x40A	8	read-write	0x00	0xFF
				DPSIEGR1	Deep Standby Interrupt Edge Register 1	0x40B	8	read-write	0x00	0xFF
				DPSIEGR2	Deep Standby Interrupt Edge Register 2	0x40C	8	read-write	0x00	0xFF
				SYOCDCR	System Control OCD Control Register	0x40E	8	read-write	0x00	0xFE
				STCONR	Standby Condition Register	0x40F	8	read-write	0xC3	0xFF
RSTSR0	Reset Status Register 0	0x410	8	read-write	0x00	0x70				
RSTSR2	Reset Status Register 2	0x411	8	read-write	0x00	0xFE				



表 3.3 レジスタの説明 (5/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SYSTEM	-	-	-	MOMCR	Main Clock Oscillator Mode Oscillation Control Register	0x413	8	read-write	0x00	0xFF
				FWEPROR	Flash P/E Protect Register	0x416	8	read-write	0x02	0xFF
				LVCMPCR	Voltage Monitor Circuit Control Register	0x417	8	read-write	0x00	0xFF
				LVDLVLR	Voltage Detection Level Select Register	0x418	8	read-write	0xF3	0xFF
	2	0x1	1, 2	LVD%SCR0	Voltage Monitor %s Circuit Control Register 0	0x41A	8	read-write	0x8A	0xF7
	-	-	-	SOSCCR	Sub-clock oscillator control register	0x480	8	read-write	0x00	0xFF
				SOMCR	Sub Clock Oscillator Mode Control Register	0x481	8	read-write	0x00	0xFD
				LOCOCR	Low-Speed On-Chip Oscillator Control Register	0x490	8	read-write	0x00	0xFF
				LOCOUTCR	LOCO User Trimming Control Register	0x492	8	read-write	0x00	0xFF
				VBTICTLR	AGT Input Control Register	0x4BB	8	read-write	0x00	0xF8
PORT0, 5-7	-	-	-	PCNTR1	Port Control Register 1	0x00	32	read-write	0x00000000	0xFFFFFFFF
				PODR	Output data register	0x00	16	read-write	0x0000	0xFFFF
				PDR	Data direction register	0x02	16	read-write	0x0000	0xFFFF
				PCNTR2	Port Control Register 2	0x04	32	read-only	0x00000000	0xFFFF0000
				PIDR	Input data register	0x06	16	read-only	0x0000	0x0000
				PCNTR3	Port Control Register 3	0x08	32	write-only	0x00000000	0xFFFFFFFF
				PORR	Output reset register	0x08	16	write-only	0x0000	0xFFFF
				POSR	Output set register	0x0A	16	write-only	0x0000	0xFFFF
PORT1-4	-	-	-	PCNTR1	Port Control Register 1	0x00	32	read-write	0x00000000	0xFFFFFFFF
				PODR	Output data register	0x00	16	read-write	0x0000	0xFFFF
				PDR	Data direction register	0x02	16	read-write	0x0000	0xFFFF
				PCNTR2	Port Control Register 2	0x04	32	read-only	0x00000000	0xFFFF0000
				EIDR	Event input data register	0x04	16	read-only	0x0000	0x0000
				PIDR	Input data register	0x06	16	read-only	0x0000	0x0000
				PCNTR3	Port Control Register 3	0x08	32	write-only	0x00000000	0xFFFFFFFF
				PORR	Output set register	0x08	16	write-only	0x0000	0xFFFF
				POSR	Output reset register	0x0A	16	write-only	0x0000	0xFFFF
				PCNTR4	Port Control Register 4	0x0C	32	read-write	0x00000000	0xFFFFFFFF
				EORR	Event output set register	0x0C	16	read-write	0x0000	0xFFFF
				EOSR	Event output reset register	0x0E	16	read-write	0x0000	0xFFFF

表 3.3 レジスタの説明 (6/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
PFS	-	-	-	P000PFS	P000 Pin Function Control Register	0x000	32	read-write	0x00008000	0xFFFFFFFFD
				P000PFS_HA	P000 Pin Function Control Register	0x002	16	read-write	0x8000	0xFFFFD
				P000PFS_BY	P000 Pin Function Control Register	0x003	8	read-write	0x00	0xFD
7	0x4	1-7	P00%sPFS	P00%s Pin Function Control Register	0x004	32	read-write	0x00008000	0xFFFFFFFFD	
7	0x4	1-7	P00%sPFS_HA	P00%s Pin Function Control Register	0x006	16	read-write	0x8000	0xFFFFD	
7	0x4	1-7	P00%sPFS_BY	P00%s Pin Function Control Register	0x007	8	read-write	0x00	0xFD	
-	-	-	-	P008PFS	P008 Pin Function Control Register	0x020	32	read-write	0x00000000	0xFFFFFFFFD
				P008PFS_HA	P008 Pin Function Control Register	0x022	16	read-write	0x0000	0xFFFFD
				P008PFS_BY	P008 Pin Function Control Register	0x023	8	read-write	0x00	0xFD
2	0x4	14-15	P0%sPFS	P0%s Pin Function Control Register	0x038	32	read-write	0x00000000	0xFFFFFFFFD	
2	0x4	14-15	P0%sPFS_HA	P0%s Pin Function Control Register	0x03A	16	read-write	0x0000	0xFFFFD	
2	0x4	14-15	P0%sPFS_BY	P0%s Pin Function Control Register	0x03B	8	read-write	0x00	0xFD	
-	-	-	-	P100PFS	P100 Pin Function Control Register	0x040	32	read-write	0x00000000	0xFFFFFFFFD
				P100PFS_HA	P100 Pin Function Control Register	0x042	16	read-write	0x0000	0xFFFFD
				P100PFS_BY	P100 Pin Function Control Register	0x043	8	read-write	0x00	0xFD
7	0x4	1-7	P10%sPFS	P10%s Pin Function Control Register	0x044	32	read-write	0x00000000	0xFFFFFFFFD	
7	0x4	1-7	P10%sPFS_HA	P10%s Pin Function Control Register	0x046	16	read-write	0x0000	0xFFFFD	
7	0x4	1-7	P10%sPFS_BY	P10%s Pin Function Control Register	0x047	8	read-write	0x00	0xFD	
-	-	-	-	P108PFS	P108 Pin Function Control Register	0x060	32	read-write	0x00010410	0xFFFFFFFFD
				P108PFS_HA	P108 Pin Function Control Register	0x062	16	read-write	0x0410	0xFFFFD
				P108PFS_BY	P108 Pin Function Control Register	0x063	8	read-write	0x10	0xFD
				P109PFS	P109 Pin Function Control Register	0x064	32	read-write	0x00010410	0xFFFFFFFFD
				P109PFS_HA	P109 Pin Function Control Register	0x066	16	read-write	0x0410	0xFFFFD
				P109PFS_BY	P109 Pin Function Control Register	0x067	8	read-write	0x10	0xFD
				P110PFS	P110 Pin Function Control Register	0x068	32	read-write	0x00010010	0xFFFFFFFFD
				P110PFS_HA	P110 Pin Function Control Register	0x06A	16	read-write	0x0010	0xFFFFD
				P110PFS_BY	P110 Pin Function Control Register	0x06B	8	read-write	0x10	0xFD
5	0x4	11-15	P1%sPFS	P1%s Pin Function Control Register	0x06C	32	read-write	0x00000000	0xFFFFFFFFD	
5	0x4	11-15	P1%sPFS_HA	P1%s Pin Function Control Register	0x06E	16	read-write	0x0000	0xFFFFD	
5	0x4	11-15	P1%sPFS_BY	P1%s Pin Function Control Register	0x06F	8	read-write	0x00	0xFD	

表 3.3 レジスタの説明 (7/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
PFS	-	-	-	P200PFS	P200 Pin Function Control Register	0x080	32	read-write	0x00000000	0xFFFFFFFF
				P200PFS_HA	P200 Pin Function Control Register	0x082	16	read-write	0x0000	0xFFFF
				P200PFS_BY	P200 Pin Function Control Register	0x083	8	read-write	0x00	0xFD
				P201PFS	P201 Pin Function Control Register	0x084	32	read-write	0x00000010	0xFFFFFFFF
				P201PFS_HA	P201 Pin Function Control Register	0x086	16	read-write	0x0010	0xFFFF
				P201PFS_BY	P201 Pin Function Control Register	0x087	8	read-write	0x10	0xFD
	5	0x4	5-9	P20%sPFS	P20%s Pin Function Control Register	0x094	32	read-write	0x00000000	0xFFFFFFFF
	5	0x4	5-9	P20%sPFS_HA	P20%s Pin Function Control Register	0x096	16	read-write	0x0000	0xFFFF
	5	0x4	5-9	P20%sPFS_BY	P20%s Pin Function Control Register	0x097	8	read-write	0x00	0xFD
	5	0x4	10-14	P2%sPFS	P2%s Pin Function Control Register	0x0A8	32	read-write	0x00000000	0xFFFFFFFF
	5	0x4	10-14	P2%sPFS_HA	P2%s Pin Function Control Register	0x0AA	16	read-write	0x0000	0xFFFF
	5	0x4	10-14	P2%sPFS_BY	P2%s Pin Function Control Register	0x0AB	8	read-write	0x00	0xFD
	-	-	-	P300PFS	P300 Pin Function Control Register	0x0C0	32	read-write	0x00010010	0xFFFFFFFF
				P300PFS_HA	P300 Pin Function Control Register	0x0C2	16	read-write	0x0010	0xFFFF
				P300PFS_BY	P300 Pin Function Control Register	0x0C3	8	read-write	0x10	0xFD
	7	0x4	1-7	P30%sPFS	P30%s Pin Function Control Register	0x0C4	32	read-write	0x00000000	0xFFFFFFFF
	7	0x4	1-7	P30%sPFS_HA	P30%s Pin Function Control Register	0x0C6	16	read-write	0x0000	0xFFFF
	7	0x4	1-7	P30%sPFS_BY	P30%s Pin Function Control Register	0x0C7	8	read-write	0x00	0xFD
	10	0x4	0-9	P40%sPFS	P40%s Pin Function Control Register	0x100	32	read-write	0x00000000	0xFFFFFFFF
	10	0x4	0-9	P40%sPFS_HA	P40%s Pin Function Control Register	0x102	16	read-write	0x0000	0xFFFF
	10	0x4	0-9	P40%sPFS_BY	P40%s Pin Function Control Register	0x103	8	read-write	0x00	0xFD
	6	0x4	10-15	P4%sPFS	P4%s Pin Function Control Register	0x128	32	read-write	0x00000000	0xFFFFFFFF
	6	0x4	10-15	P4%sPFS_HA	P4%s Pin Function Control Register	0x12A	16	read-write	0x0000	0xFFFF
	6	0x4	10-15	P4%sPFS_BY	P4%s Pin Function Control Register	0x12B	8	read-write	0x00	0xFD
	5	0x4	0-4	P50%sPFS	P50%s Pin Function Control Register	0x140	32	read-write	0x00000000	0xFFFFFFFF
	5	0x4	0-4	P50%sPFS_HA	P50%s Pin Function Control Register	0x142	16	read-write	0x0000	0xFFFF
	5	0x4	0-4	P50%sPFS_BY	P50%s Pin Function Control Register	0x143	8	read-write	0x00	0xFD
-	-	-	P508PFS	P508 Pin Function Control Register	0x160	32	read-write	0x00000000	0xFFFFFFFF	
			P508PFS_HA	P508 Pin Function Control Register	0x162	16	read-write	0x0000	0xFFFF	
			P508PFS_BY	P508 Pin Function Control Register	0x163	8	read-write	0x00	0xFD	

表 3.3 レジスタの説明 (8/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
PFS	3	0x4	0-2	P60%sPFS	P60%s Pin Function Control Register	0x180	32	read-write	0x00000000	0xFFFFFFFF
	3	0x4	0-2	P60%sPFS_HA	P60%s Pin Function Control Register	0x182	16	read-write	0x0000	0xFFFF
	3	0x4	0-2	P60%sPFS_BY	P60%s Pin Function Control Register	0x183	8	read-write	0x00	0xFD
	2	0x4	8-9	P60%sPFS	P60%s Pin Function Control Register	0x1A0	32	read-write	0x00000000	0xFFFFFFFF
	2	0x4	8-9	P60%sPFS_HA	P60%s Pin Function Control Register	0x1A2	16	read-write	0x0000	0xFFFF
	2	0x4	8-9	P60%sPFS_BY	P60%s Pin Function Control Register	0x1A3	8	read-write	0x00	0xFD
	-	-	-	P610PFS	P610 Pin Function Control Register	0x1A8	32	read-write	0x00000000	0xFFFFFFFF
	-	-	-	P610PFS_HA	P610 Pin Function Control Register	0x1AA	16	read-write	0x0000	0xFFFF
	-	-	-	P610PFS_BY	P610 Pin Function Control Register	0x1AB	8	read-write	0x00	0xFD
	-	-	-	P708PFS	P708 Pin Function Control Register	0x1E0	32	read-write	0x00000000	0xFFFFFFFF
	-	-	-	P708PFS_HA	P708 Pin Function Control Register	0x1E2	16	read-write	0x0000	0xFFFF
	-	-	-	P708PFS_BY	P708 Pin Function Control Register	0x1E3	8	read-write	0x00	0xFD
PMISC	-	-	-	PWPR	Write-Protect Register	0x03	8	read-write	0x80	0xFF
ELC	-	-	-	ELCR	Event Link Controller Register	0x00	8	read-write	0x00	0xFF
	2	0x2	0,1	ELSEGR%s	Event Link Software Event Generation Register %s	0x02	8	read-write	0x80	0xFF
	19	0x4	0-18	ELSR%s	Event Link Setting Register %s	0x10	16	read-write	0x0000	0xFFFF
POEG	4	0x100	A,B,C,D	POEGG%s	POEG Group %s Setting Register	0x00	32	read-write	0x00000000	0xFFFFFFFF
INIT	-	-	-	RCR1	Reset Control Register 1	0x22	8	read-write	0x00	0x0A
	-	-	-	RCR2	Reset Control Register 2	0x24	8	read-write	0x00	0x0E
	-	-	-	RCR4	Reset Control Register 4	0x28	8	read-write	0x00	0xFE
WDT	-	-	-	WDTRR	WDT Refresh Register	0x00	8	read-write	0xFF	0xFF
	-	-	-	WDTCR	WDT Control Register	0x02	16	read-write	0x33F3	0xFFFF
	-	-	-	WDTSR	WDT Status Register	0x04	16	read-write	0x0000	0xFFFF
	-	-	-	WDTRCR	WDT Reset Control Register	0x06	8	read-write	0x80	0xFF
	-	-	-	WDTCTPR	WDT Count Stop Control Register	0x08	8	read-write	0x80	0xFF
IWD	-	-	-	IWDTRR	IWDT Refresh Register	0x00	8	read-write	0xFF	0xFF
	-	-	-	IWDTSR	IWDT Status Register	0x04	16	read-write	0x0000	0xFFFF

表 3.3 レジスタの説明 (9/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
CAC	-	-	-	CACR0	CAC Control Register 0	0x00	8	read-write	0x00	0xFF
				CACR1	CAC Control Register 1	0x01	8	read-write	0x00	0xFF
				CACR2	CAC Control Register 2	0x02	8	read-write	0x00	0xFF
				CAICR	CAC Interrupt Control Register	0x03	8	read-write	0x00	0xFF
				CASTR	CAC Status Register	0x04	8	read-only	0x00	0xFF
				CAULVR	CAC Upper-Limit Value Setting Register	0x06	16	read-write	0x0000	0xFFFF
				CALLVR	CAC Lower-Limit Value Setting Register	0x08	16	read-write	0x0000	0xFFFF
				CACNTBR	CAC Counter Buffer Register	0x0A	16	read-only	0x0000	0xFFFF
MSTP	-	-	-	MSTPCRB	Module Stop Control Register B	0x00	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				MSTPCRC	Module Stop Control Register C	0x04	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				MSTPCRD	Module Stop Control Register D	0x08	32	read-write	0xFFFFFFFF	0xFFFFFFFF
CAN0	32	0x10	0-31	MB%s_ID	Mailbox Register	0x200	32	read-write	0x00000000	0x00000000
	32	0x10	0-31	MB%s_DL	Mailbox Register	0x204	16	read-write	0x0000	0x0000
	32	0x10	0-31	MB%s_D0	Mailbox Register	0x206	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D1	Mailbox Register	0x207	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D2	Mailbox Register	0x208	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D3	Mailbox Register	0x209	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D4	Mailbox Register	0x20A	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D5	Mailbox Register	0x20B	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D6	Mailbox Register	0x20C	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D7	Mailbox Register	0x20D	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_TS	Mailbox Register	0x20E	16	read-write	0x0000	0x0000
	8	0x4	0-7	MKR[%s]	Mask Register	0x400	32	read-write	0x00000000	0x00000000
	2	0x4	0,1	FIDCR%s	FIFO Received ID Compare Registers	0x420	32	read-write	0x00000000	0x00000000
	-	-	-	MKIVLR	Mask Invalid Register	0x428	32	read-write	0x00000000	0x00000000
				MIER	Mailbox Interrupt Enable Register	0x42C	32	read-write	0x00000000	0x00000000
				MIER_FIFO	Mailbox Interrupt Enable Register for FIFO Mailbox Mode	0x42C	32	read-write	0x00000000	0x00000000
32	0x1	0-31	MCTL_TX[%s]	Message Control Register for Transmit	0x820	8	read-write	0x00	0xFF	
32	0x1	0-31	MCTL_RX[%s]	Message Control Register for Receive	0x820	8	read-write	0x00	0xFF	

表 3.3 レジスタの説明 (10/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
CAN0	-	-	-	CTLR	Control Register	0x840	16	read-write	0x0500	0xFFFF
				STR	Status Register	0x842	16	read-only	0x0500	0xFFFF
				BCR	Bit Configuration Register	0x844	32	read-write	0x00000000	0xFFFFFFFF
				RFCR	Receive FIFO Control Register	0x848	8	read-write	0x80	0xFF
				RFPCR	Receive FIFO Pointer Control Register	0x849	8	write-only	0x00	0x00
				TFCR	Transmit FIFO Control Register	0x84A	8	read-write	0x80	0xFF
				TFPCR	Transmit FIFO Pointer Control Register	0x84B	8	write-only	0x00	0x00
				EIER	Error Interrupt Enable Register	0x84C	8	read-write	0x00	0xFF
				EIFR	Error Interrupt Factor Judge Register	0x84D	8	read-write	0x00	0xFF
				RECR	Receive Error Count Register	0x84E	8	read-only	0x00	0xFF
				TECR	Transmit Error Count Register	0x84F	8	read-only	0x00	0xFF
				ECSR	Error Code Store Register	0x850	8	read-write	0x00	0xFF
				CSSR	Channel Search Support Register	0x851	8	read-write	0x00	0x00
				MSSR	Mailbox Search Status Register	0x852	8	read-only	0x80	0xFF
				MSMR	Mailbox Search Mode Register	0x853	8	read-write	0x00	0xFF
				TSR	Time Stamp Register	0x854	16	read-only	0x0000	0xFFFF
				AFSR	Acceptance Filter Support Register	0x856	16	read-write	0x0000	0x0000
TCR	Test Control Register	0x858	8	read-write	0x00	0xFF				
IIC0	-	-	-	ICCR1	I2C Bus Control Register 1	0x00	8	read-write	0x1F	0xFF
				ICCR2	I2C Bus Control Register 2	0x01	8	read-write	0x00	0xFF
				ICMR1	I2C Bus Mode Register 1	0x02	8	read-write	0x08	0xFF
				ICMR2	I2C Bus Mode Register 2	0x03	8	read-write	0x06	0xFF
				ICMR3	I2C Bus Mode Register 3	0x04	8	read-write	0x00	0xFF
				ICFER	I2C Bus Function Enable Register	0x05	8	read-write	0x72	0xFF
				ICSER	I2C Bus Status Enable Register	0x06	8	read-write	0x09	0xFF
				ICIER	I2C Bus Interrupt Enable Register	0x07	8	read-write	0x00	0xFF
				ICSR1	I2C Bus Status Register 1	0x08	8	read-write	0x00	0xFF
				ICSR2	I2C Bus Status Register 2	0x09	8	read-write	0x00	0xFF
				3	0x2	0-2	SARL%s	Slave Address Register L%s	0x0A	8
3	0x2	0-2	SARU%s	Slave Address Register U%s	0x0B	8	read-write	0x00	0xFF	

表 3.3 レジスタの説明 (11/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク	
IIC0	-	-	-	ICBRL	I2C Bus Bit Rate Low-Level Register	0x10	8	read-write	0xFF	0xFF	
				ICBRH	I2C Bus Bit Rate High-Level Register	0x11	8	read-write	0xFF	0xFF	
				ICDRT	I2C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF	
				ICDRR	I2C Bus Receive Data Register	0x13	8	read-only	0x00	0xFF	
				ICWUR	I2C Bus Wake Up Unit Register	0x16	8	read-write	0x00	0xFF	
				ICWUR2	I2C Bus Wake Up Unit Register 2	0x17	8	read-only	0x03	0xFF	
IIC1	-	-	-	ICCR1	I2C Bus Control Register 1	0x00	8	read-write	0x1F	0xFF	
				ICCR2	I2C Bus Control Register 2	0x01	8	read-write	0x00	0xFF	
				ICMR1	I2C Bus Mode Register 1	0x02	8	read-write	0x08	0xFF	
				ICMR2	I2C Bus Mode Register 2	0x03	8	read-write	0x06	0xFF	
				ICMR3	I2C Bus Mode Register 3	0x04	8	read-write	0x00	0xFF	
				ICFER	I2C Bus Function Enable Register	0x05	8	read-write	0x72	0xFF	
				ICSER	I2C Bus Status Enable Register	0x06	8	read-write	0x09	0xFF	
				ICIER	I2C Bus Interrupt Enable Register	0x07	8	read-write	0x00	0xFF	
				ICSR1	I2C Bus Status Register 1	0x08	8	read-write	0x00	0xFF	
	-	-	-	ICSR2	I2C Bus Status Register 2	0x09	8	read-write	0x00	0xFF	
	3	0x2	0-2	SARL%s	Slave Address Register L%s	0x0A	8	read-write	0x00	0xFF	
	3	0x2	0-2	SARU%s	Slave Address Register U%s	0x0B	8	read-write	0x00	0xFF	
	-	-	-	-	ICBRL	I2C Bus Bit Rate Low-Level Register	0x10	8	read-write	0xFF	0xFF
					ICBRH	I2C Bus Bit Rate High-Level Register	0x11	8	read-write	0xFF	0xFF
					ICDRT	I2C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
ICDRR					I2C Bus Receive Data Register	0x13	8	read-only	0x00	0xFF	
DOC	-	-	-	DOCR	DOC Control Register	0x00	8	read-write	0x00	0xFF	
				DODIR	DOC Data Input Register	0x02	16	read-write	0x0000	0xFFFF	
				DODSR	DOC Data Setting Register	0x04	16	read-write	0x0000	0xFFFF	

表 3.3 レジスタの説明 (12/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
ADC120	-	-	-	ADCSR	A/D Control Register	0x000	16	read-write	0x0000	0xFFFF
				ADANSA0	A/D Channel Select Register A0	0x004	16	read-write	0x0000	0xFFFF
				ADANSA1	A/D Channel Select Register A1	0x006	16	read-write	0x0000	0xFFFF
				ADADS0	A/D-Converted Value Addition/Average Channel Select Register 0	0x008	16	read-write	0x0000	0xFFFF
				ADADS1	A/D-Converted Value Addition/Average Channel Select Register 1	0x00A	16	read-write	0x0000	0xFFFF
				ADADC	A/D-Converted Value Addition/Average Count Select Register	0x00C	8	read-write	0x00	0xFF
				ADCER	A/D Control Extended Register	0x00E	16	read-write	0x0000	0xFFFF
				ADSTRGR	A/D Conversion Start Trigger Select Register	0x010	16	read-write	0x0000	0xFFFF
				ADEXICR	A/D Conversion Extended Input Control Register	0x012	16	read-write	0x0000	0xFFFF
				ADANSB0	A/D Channel Select Register B0	0x014	16	read-write	0x0000	0xFFFF
				ADANSB1	A/D Channel Select Register B1	0x016	16	read-write	0x0000	0xFFFF
				ADDBLDR	A/D Data Duplication Register	0x018	16	read-only	0x0000	0xFFFF
				ADTSDR	A/D Temperature Sensor Data Register	0x01A	16	read-only	0x0000	0xFFFF
				ADOCDR	A/D Internal Reference Voltage Data Register	0x01C	16	read-only	0x0000	0xFFFF
				ADRD	A/D Self-Diagnosis Data Register	0x01E	16	read-only	0x0000	0xFFFF
	4	0x2	0-3	ADDR%s	A/D Data Register %s	0x020	16	read-only	0x0000	0xFFFF
	3	0x2	5-7	ADDR%s	A/D Data Register %s	0x02A	16	read-only	0x0000	0xFFFF
	3	0x2	16-18	ADDR%s	A/D Data Register %s	0x040	16	read-only	0x0000	0xFFFF
				ADDR20	A/D Data Register 20	0x048	16	read-only	0x0000	0xFFFF
	-	-	-	ADSHCR	A/D Sample and Hold Circuit Control Register	0x066	16	read-write	0x0018	0xFFFF
				ADDISCR	A/D Disconnection Detection Control Register	0x07A	8	read-write	0x00	0xFF
				ADSHMSR	A/D Sample and Hold Operation Mode Select Register	0x07C	8	read-write	0x00	0xFF
				ADGSPCR	A/D Group Scan Priority Control Register	0x080	16	read-write	0x0000	0xFFFF
				ADDBLDRA	A/D Data Duplication Register A	0x084	16	read-only	0x0000	0xFFFF
				ADDBLDRB	A/D Data Duplication Register B	0x086	16	read-only	0x0000	0xFFFF
				ADWINMON	A/D Compare Function Window A/B Status Monitor Register	0x08C	8	read-only	0x00	0xFF
				ADCMPPCR	A/D Compare Function Control Register	0x090	16	read-write	0x0000	0xFFFF
ADCMPANSER				A/D Compare Function Window A Extended Input Select Register	0x092	8	read-write	0x00	0xFF	



表 3.3 レジスタの説明 (13/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク			
ADC120	-	-	-	ADCMPLER	A/D Compare Function Window A Extended Input Comparison Condition Setting Register	0x093	8	read-write	0x00	0xFF			
				ADCMANSR0	A/D Compare Function Window A Channel Select Register 0	0x094	16	read-write	0x0000	0xFFFF			
				ADCMANSR1	A/D Compare Function Window A Channel Select Register 1	0x096	16	read-write	0x0000	0xFFFF			
				ADCMPLR0	A/D Compare Function Window A Comparison Condition Setting Register 0	0x098	16	read-write	0x0000	0xFFFF			
				ADCMPLR1	A/D Compare Function Window A Comparison Condition Setting Register 1	0x09A	16	read-write	0x0000	0xFFFF			
				ADCMPCR0	A/D Compare Function Window A Lower-Side Level Setting Register	0x09C	16	read-write	0x0000	0xFFFF			
				ADCMPCR1	A/D Compare Function Window A Upper-Side Level Setting Register	0x09E	16	read-write	0x0000	0xFFFF			
				ADCMPSR0	A/D Compare Function Window A Channel Status Register 0	0x0A0	16	read-write	0x0000	0xFFFF			
				ADCMPSR1	A/D Compare Function Window A Channel Status Register 1	0x0A2	16	read-write	0x0000	0xFFFF			
				ADCMPSER	A/D Compare Function Window A Extended Input Channel Status Register	0x0A4	8	read-write	0x00	0xFF			
				ADCMPBNSR	A/D Compare Function Window B Channel Selection Register	0x0A6	8	read-write	0x00	0xFF			
				ADWINLLB	A/D Compare Function Window B Lower-Side Level Setting Register	0x0A8	16	read-write	0x0000	0xFFFF			
				ADWINULB	A/D Compare Function Window B Upper-Side Level Setting Register	0x0AA	16	read-write	0x0000	0xFFFF			
				ADCMPSR	A/D Compare Function Window B Status Register	0x0AC	8	read-write	0x00	0xFF			
				ADSSTRLL	A/D Sampling State Register L	0x0DD	8	read-write	0x0B	0xFF			
				ADSSTRRT	A/D Sampling State Register T	0x0DE	8	read-write	0x0B	0xFF			
				ADSSTRO	A/D Sampling State Register O	0x0DF	8	read-write	0x0B	0xFF			
				4	0x1	0-3	ADSSTR0%s	A/D Sampling State Register %s (Corresponding Channel is AN00%s)	0x0E0	8	read-write	0x0B	0xFF
				3	0x1	5-7	ADSSTR0%s	A/D Sampling State Register %s (Corresponding Channel is AN00%s)	0x0E5	8	read-write	0x0B	0xFF
				-	-	-	ADPGACR	A/D Programmable Gain Amplifier Control Register	0x1A0	16	read-write	0x0000	0xFFFF
ADPGAGS0	A/D Programmable Gain Amplifier Gain Setting Register 0	0x1A2	16				read-write	0x0000	0xFFFF				
ADPGADCR0	A/D Programmable Gain Amplifier Differential Input Control Register	0x1B0	16				read-write	0x8888	0xFFFF				

表 3.3 レジスタの説明 (14/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
ADC121	-	-	-	ADCSR	A/D Control Register	0x000	16	read-write	0x0000	0xFFFF
				ADANSA0	A/D Channel Select Register A0	0x004	16	read-write	0x0000	0xFFFF
				ADANSA1	A/D Channel Select Register A1	0x006	16	read-write	0x0000	0xFFFF
				ADADS0	A/D-Converted Value Addition/Average Channel Select Register 0	0x008	16	read-write	0x0000	0xFFFF
				ADADS1	A/D-Converted Value Addition/Average Channel Select Register 1	0x00A	16	read-write	0x0000	0xFFFF
				ADADC	A/D-Converted Value Addition/Average Count Select Register	0x00C	8	read-write	0x00	0xFF
				ADCER	A/D Control Extended Register	0x00E	16	read-write	0x0000	0xFFFF
				ADSTRGR	A/D Conversion Start Trigger Select Register	0x010	16	read-write	0x0000	0xFFFF
				ADEXICR	A/D Conversion Extended Input Control Register	0x012	16	read-write	0x0000	0xFFFF
				ADANSB0	A/D Channel Select Register B0	0x014	16	read-write	0x0000	0xFFFF
				ADANSB1	A/D Channel Select Register B1	0x016	16	read-write	0x0000	0xFFFF
				ADDBLDR	A/D Data Duplication Register	0x018	16	read-only	0x0000	0xFFFF
				ADTSDR	A/D Temperature Sensor Data Register	0x01A	16	read-only	0x0000	0xFFFF
				ADOCDR	A/D Internal Reference Voltage Data Register	0x01C	16	read-only	0x0000	0xFFFF
	ADRD	A/D Self-Diagnosis Data Register	0x01E	16	read-only	0x0000	0xFFFF			
	3	0x2	0-2	ADDR%s	A/D Data Register %s	0x020	16	read-only	0x0000	0xFFFF
	3	0x2	5-7	ADDR%s	A/D Data Register %s	0x02A	16	read-only	0x0000	0xFFFF
	2	0x2	16, 17	ADDR%s	A/D Data Register %s	0x040	16	read-only	0x0000	0xFFFF
	-	-	-	ADSHCR	A/D Sample and Hold Circuit Control Register	0x066	16	read-write	0x0018	0xFFFF
				ADDISCR	A/D Disconnection Detection Control Register	0x07A	8	read-write	0x00	0xFF
				ADSHMSR	A/D Sample and Hold Operation Mode Select Register	0x07C	8	read-write	0x00	0xFF
				ADGSPCR	A/D Group Scan Priority Control Register	0x080	16	read-write	0x0000	0xFFFF
				ADDBLDRA	A/D Data Duplication Register A	0x084	16	read-only	0x0000	0xFFFF
				ADDBLDRB	A/D Data Duplication Register B	0x086	16	read-only	0x0000	0xFFFF
				ADWINMON	A/D Compare Function Window A/B Status Monitor Register	0x08C	8	read-only	0x00	0xFF
				ADCMPCTR	A/D Compare Function Control Register	0x090	16	read-write	0x0000	0xFFFF
				ADCMPANSE	A/D Compare Function Window A Extended Input Select Register	0x092	8	read-write	0x00	0xFF

表 3.3 レジスタの説明 (15/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク			
ADC121	-	-	-	ADCMPLER	A/D Compare Function Window A Extended Input Comparison Condition Setting Register	0x093	8	read-write	0x00	0xFF			
				ADCMPSR0	A/D Compare Function Window A Channel Select Register 0	0x094	16	read-write	0x0000	0xFFFF			
				ADCMPSR1	A/D Compare Function Window A Channel Select Register 1	0x096	16	read-write	0x0000	0xFFFF			
				ADCMPLR0	A/D Compare Function Window A Comparison Condition Setting Register 0	0x098	16	read-write	0x0000	0xFFFF			
				ADCMPLR1	A/D Compare Function Window A Comparison Condition Setting Register 1	0x09A	16	read-write	0x0000	0xFFFF			
				ADCMPCR0	A/D Compare Function Window A Lower-Side Level Setting Register	0x09C	16	read-write	0x0000	0xFFFF			
				ADCMPCR1	A/D Compare Function Window A Upper-Side Level Setting Register	0x09E	16	read-write	0x0000	0xFFFF			
				ADCMPSR0	A/D Compare Function Window A Channel Status Register 0	0x0A0	16	read-write	0x0000	0xFFFF			
				ADCMPSR1	A/D Compare Function Window A Channel Status Register 1	0x0A2	16	read-write	0x0000	0xFFFF			
				ADCMPSER	A/D Compare Function Window A Extended Input Channel Status Register	0x0A4	8	read-write	0x00	0xFF			
				ADCMPBNSR	A/D Compare Function Window B Channel Selection Register	0x0A6	8	read-write	0x00	0xFF			
				ADWINLLB	A/D Compare Function Window B Lower-Side Level Setting Register	0x0A8	16	read-write	0x0000	0xFFFF			
				ADWINULB	A/D Compare Function Window B Upper-Side Level Setting Register	0x0AA	16	read-write	0x0000	0xFFFF			
				ADCMPSR	A/D Compare Function Window B Status Register	0x0AC	8	read-write	0x00	0xFF			
				ADSSTRL	A/D Sampling State Register L	0x0DD	8	read-write	0x0B	0xFF			
				ADSSTRT	A/D Sampling State Register T	0x0DE	8	read-write	0x0B	0xFF			
				ADSSTRO	A/D Sampling State Register O	0x0DF	8	read-write	0x0B	0xFF			
				3	0x1	0-2	ADSSTR0%s	A/D Sampling State Register %s (Corresponding Channel is AN10%s)	0x0E0	8	read-write	0x0B	0xFF
				3	0x1	5-7	ADSSTR0%s	A/D Sampling State Register %s (Corresponding Channel is AN10%s)	0x0E5	8	read-write	0x0B	0xFF
				-	-	-	ADPGACR	A/D Programmable Gain Amplifier Control Register	0x1A0	16	read-write	0x0000	0xFFFF
ADPGAGS0	A/D Programmable Gain Amplifier Gain Setting Register 0	0x1A2	16				read-write	0x0000	0xFFFF				
ADPGADCR0	A/D Programmable Gain Amplifier Differential Input Control Register	0x1B0	16				read-write	0x8888	0xFFFF				

表 3.3 レジスタの説明 (16/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
TSN	-	-	-	TSCR	Temperature Sensor Control Register	0x00	8	read-write	0x00	0xFF
DAC12	2	0x2	0,1	DADR%s	D/A Data Register %s	0x00	16	read-write	0x0000	0xFFFF
				DACR	D/A Control Register	0x0004	8	read-write	0x1F	0xFF
				DADPR	DADRm Format Select Register	0x0005	8	read-write	0x00	0xFF
				DAADSCR	D/A-A/D Synchronous Start Control Register	0x0006	8	read-write	0x00	0xFF
				DAAMPCR	D/A Output Amplifier Control Register	0x0008	8	read-write	0x00	0xFF
				DAASWCR	D/A Amplifier Stabilization Wait Control Register	0x101C	8	read-write	0x00	0xFF
				DAADUSR	D/A A/D Synchronous Unit Select Register	0x10C0	8	read-write	0x00	0xFF
SCI0-4, 8, 9	-	-	-	SMR	Serial Mode Register (SCMR.SMIF = 0)	0x00	8	read-write	0x00	0xFF
				SMR_SMCI	Serial mode register (SCMR.SMIF = 1)	0x00	8	read-write	0x00	0xFF
				BRR	Bit Rate Register	0x01	8	read-write	0xFF	0xFF
				SCR	Serial Control Register (SCMR.SMIF = 0)	0x02	8	read-write	0x00	0xFF
				SCR_SMCI	Serial Control Register (SCMR.SMIF = 1)	0x02	8	read-write	0x00	0xFF
				TDR	Transmit Data Register	0x03	8	read-write	0xFF	0xFF
				SSR	Serial Status Register (SCMR.SMIF = 0 and FCR.FM=0)	0x04	8	read-write	0x84	0xFF
				SSR_FIFO	Serial Status Register (SCMR.SMIF = 0 and FCR.FM=1)	0x04	8	read-write	0x80	0xFD
				SSR_SMCI	Serial Status Register (SCMR.SMIF = 1)	0x04	8	read-write	0x84	0xFF
				RDR	Receive Data Register	0x05	8	read-only	0x00	0xFF
				SCMR	Smart Card Mode Register	0x06	8	read-write	0xF2	0xFF
				SEMR	Serial Extended Mode Register	0x07	8	read-write	0x00	0xFF
				SNFR	Noise Filter Setting Register	0x08	8	read-write	0x00	0xFF
				SIMR1	I2C Mode Register 1	0x09	8	read-write	0x00	0xFF
				SIMR2	I2C Mode Register 2	0x0A	8	read-write	0x00	0xFF
				SIMR3	I2C Mode Register 3	0x0B	8	read-write	0x00	0xFF
				SISR	I2C Status Register	0x0C	8	read-only	0x00	0xCB
				SPMR	SPI Mode Register	0x0D	8	read-write	0x00	0xFF
				TDRHL	Transmit 9-bit Data Register	0x0E	16	read-write	0xFFFF	0xFFFF
				FTDRHL	Transmit FIFO Data Register HL	0x0E	16	write-only	0xFFFF	0xFFFF
FTDRH	Transmit FIFO Data Register H	0x0E	8	write-only	0xFF	0xFF				

表 3.3 レジスタの説明 (17/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SCI0-4, 8, 9	-	-	-	FTDRL	Transmit FIFO Data Register L	0x0F	8	write-only	0xFF	0xFF
				RDRHL	Receive 9-bit Data Register	0x10	16	read-only	0x0000	0xFFFF
				FRDRHL	Receive FIFO Data Register HL	0x10	16	read-only	0x0000	0xFFFF
				FRDRH	Receive FIFO Data Register H	0x10	8	read-only	0x00	0xFF
				FRDRL	Receive FIFO Data Register L	0x11	8	read-only	0x00	0xFF
				MDDR	Modulation Duty Register	0x12	8	read-write	0xFF	0xFF
				DCCR	Data Compare Match Control Register	0x13	8	read-write	0x40	0xFF
				FCR	FIFO Control Register	0x14	16	read-write	0xF800	0xFFFF
				FDR	FIFO Data Count Register	0x16	16	read-only	0x0000	0xFFFF
				LSR	Line Status Register	0x18	16	read-only	0x0000	0xFFFF
				CDR	Compare Match Data Register	0x1A	16	read-write	0x0000	0xFFFF
				SPTR	Serial Port Register	0x1C	8	read-write	0x03	0xFF
IRDA	-	-	-	IRCR	IrDA Control Register	0x00	8	read-write	0x00	0xFF
SPI0, 1	-	-	-	SPCR	SPI Control Register	0x00	8	read-write	0x00	0xFF
				SSLP	SPI Slave Select Polarity Register	0x01	8	read-write	0x00	0xFF
				SPPCR	RSPI Pin Control Register	0x02	8	read-write	0x00	0xFF
				SPSR	SPI Status Register	0x03	8	read-write	0x20	0xFF
				SPDR	SPI Data Register	0x04	32	read-write	0x00000000	0xFFFFFFFF
				SPDR_HA	SPI Data Register (halfword access)	0x04	16	read-write	0x0000	0xFFFF
				SPSCR	SPI Sequence Control Register	0x08	8	read-write	0x00	0xFF
				SPSSR	SPI Sequence Status Register	0x09	8	read-only	0x00	0xFF
				SPBR	SPI Bit Rate Register	0x0A	8	read-write	0xFF	0xFF
				SPDCR	SPI Data Control Register	0x0B	8	read-write	0x00	0xFF
				SPCKD	SPI Clock Delay Register	0x0C	8	read-write	0x00	0xFF
				SSLND	SPI Slave Select Negation Delay Register	0x0D	8	read-write	0x00	0xFF
				SPND	SPI Next-Access Delay Register	0x0E	8	read-write	0x00	0xFF
	SPCR2	SPI Control Register 2	0x0F	8	read-write	0x00	0xFF			
8	0x2	0-7	SPCMD%s	SPI Command Register %s	0x10	16	read-write	0x070D	0xFFFF	
-	-	-	SPDCR2	SPI Data Control Register 2	0x20	8	read-write	0x00	0xFF	

表 3.3 レジスタの説明 (18/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
CRC	-	-	-	CRCCR0	CRC Control Register0	0x00	8	read-write	0x00	0xFF
				CRCCR1	CRC Control Register1	0x01	8	read-write	0x00	0xFF
				CRCDIR	CRC Data Input Register	0x04	32	read-write	0x00000000	0xFFFFFFFF
				CRCDIR_BY	CRC Data Input Register (byte access)	0x04	8	read-write	0x00	0xFF
				CRCDOR	CRC Data Output Register	0x08	32	read-write	0x00000000	0xFFFFFFFF
				CRCDOR_HA	CRC Data Output Register (halfword access)	0x08	16	read-write	0x0000	0xFFFF
				CRCDOR_BY	CRC Data Output Register (byte access)	0x08	8	read-write	0x00	0xFF
				CRCSAR	Snoop Address Register	0x0C	16	read-write	0x0000	0xFFFF
GPT32EH 0-3, GPT32E4-7	-	-	-	GTWP	General PWM Timer Write-Protection Register	0x00	32	read-write	0x00000000	0xFFFFFFFF
				GTSTR	General PWM Timer Software Start Register	0x04	32	read-write	0x00000000	0xFFFFFFFF
				GTSTP	General PWM Timer Software Stop Register	0x08	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTCLR	General PWM Timer Software Clear Register	0x0C	32	write-only	0x00000000	0xFFFFFFFF
				GTSSR	General PWM Timer Start Source Select Register	0x10	32	read-write	0x00000000	0xFFFFFFFF
				GTSPSR	General PWM Timer Stop Source Select Register	0x14	32	read-write	0x00000000	0xFFFFFFFF
				GTCSR	General PWM Timer Clear Source Select Register	0x18	32	read-write	0x00000000	0xFFFFFFFF
				GTUPSR	General PWM Timer Up Count Source Select Register	0x1C	32	read-write	0x00000000	0xFFFFFFFF
				GTDNSR	General PWM Timer Down Count Source Select Register	0x20	32	read-write	0x00000000	0xFFFFFFFF
				GTICASR	General PWM Timer Input Capture Source Select Register A	0x24	32	read-write	0x00000000	0xFFFFFFFF
				GTICBSR	General PWM Timer Input Capture Source Select Register B	0x28	32	read-write	0x00000000	0xFFFFFFFF
				GTCR	General PWM Timer Control Register	0x2C	32	read-write	0x00000000	0xFFFFFFFF
				GTUDDTYC	General PWM Timer Count Direction and Duty Setting Register	0x30	32	read-write	0x00000001	0xFFFFFFFF
				GTIOR	General PWM Timer I/O Control Register	0x34	32	read-write	0x00000000	0xFFFFFFFF
				GTINTAD	General PWM Timer Interrupt Output Setting Register	0x38	32	read-write	0x00000000	0xFFFFFFFF
				GTST	General PWM Timer Status Register	0x3C	32	read-write	0x00008000	0xFFFFFFFF
				GTBER	General PWM Timer Buffer Enable Register	0x40	32	read-write	0x00000000	0xFFFFFFFF
				GTITC	General PWM Timer Interrupt and A/D Converter Start Request Skipping Setting Register	0x44	32	read-write	0x00000000	0xFFFFFFFF
GTCNT	General PWM Timer Counter	0x48	32	read-write	0x00000000	0xFFFFFFFF				

表 3.3 レジスタの説明 (19/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
GPT32EH 0-3, GPT32E4-7	-	-	-	GTCCRA	General PWM Timer Compare Capture Register A	0x4C	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTCCRB	General PWM Timer Compare Capture Register B	0x50	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTCCRC	General PWM Timer Compare Capture Register C	0x54	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTCCRE	General PWM Timer Compare Capture Register E	0x58	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTCCRD	General PWM Timer Compare Capture Register D	0x5C	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTCCRF	General PWM Timer Compare Capture Register F	0x60	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTPR	General PWM Timer Cycle Setting Register	0x64	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTPBR	General PWM Timer Cycle Setting Buffer Register	0x68	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTPDBR	General PWM Timer Cycle Setting Double-Buffer Register	0x6C	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTADTRA	A/D Converter Start Request Timing Register A	0x70	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTADTBRA	A/D Converter Start Request Timing Buffer Register A	0x74	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTADTBRA	A/D Converter Start Request Timing Double-Buffer Register A	0x78	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTADTRB	A/D Converter Start Request Timing Register B	0x7C	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTADTRB	A/D Converter Start Request Timing Buffer Register B	0x80	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTADTRB	A/D Converter Start Request Timing Double-Buffer Register B	0x84	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTDTCR	General PWM Timer Dead Time Control Register	0x88	32	read-write	0x00000000	0xFFFFFFFF
				GTDVU	General PWM Timer Dead Time Value Register U	0x8C	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTDVD	General PWM Timer Dead Time Value Register D	0x90	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTDBU	General PWM Timer Dead Time Buffer Register U	0x94	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTDBD	General PWM Timer Dead Time Buffer Register D	0x98	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTSOS	General PWM Timer Output Protection Function Status Register	0x9C	32	read-only	0x00000000	0xFFFFFFFF
GTSOTR	General PWM Timer Output Protection Function Temporary Release Register	0xA0	32	read-write	0x00000000	0xFFFFFFFF				

表 3.3 レジスタの説明 (20/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
GPT328- GPT3212	-	-	-	GTWP	General PWM Timer Write-Protection Register	0x00	32	read-write	0x00000000	0xFFFFFFFF
				GTSTR	General PWM Timer Software Start Register	0x04	32	read-write	0x00000000	0xFFFFFFFF
				GTSTP	General PWM Timer Software Stop Register	0x08	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTCLR	General PWM Timer Software Clear Register	0x0C	32	write-only	0x00000000	0xFFFFFFFF
				GTSSR	General PWM Timer Start Source Select Register	0x10	32	read-write	0x00000000	0xFFFFFFFF
				GTPSR	General PWM Timer Stop Source Select Register	0x14	32	read-write	0x00000000	0xFFFFFFFF
				GTCSR	General PWM Timer Clear Source Select Register	0x18	32	read-write	0x00000000	0xFFFFFFFF
				GTUPSR	General PWM Timer Up Count Source Select Register	0x1C	32	read-write	0x00000000	0xFFFFFFFF
				GTDNSR	General PWM Timer Down Count Source Select Register	0x20	32	read-write	0x00000000	0xFFFFFFFF
				GTICASR	General PWM Timer Input Capture Source Select Register A	0x24	32	read-write	0x00000000	0xFFFFFFFF
				GTICBSR	General PWM Timer Input Capture Source Select Register B	0x28	32	read-write	0x00000000	0xFFFFFFFF
				GTCR	General PWM Timer Control Register	0x2C	32	read-write	0x00000000	0xFFFFFFFF
				GTUDDTYC	General PWM Timer Count Direction and Duty Setting Register	0x30	32	read-write	0x00000001	0xFFFFFFFF
				GTIOR	General PWM Timer I/O Control Register	0x34	32	read-write	0x00000000	0xFFFFFFFF
				GTINTAD	General PWM Timer Interrupt Output Setting Register	0x38	32	read-write	0x00000000	0xFFFFFFFF
				GTST	General PWM Timer Status Register	0x3C	32	read-write	0x00008000	0xFFFFFFFF
				GTBER	General PWM Timer Buffer Enable Register	0x40	32	read-write	0x00000000	0xFFFFFFFF
				GTCNT	General PWM Timer Counter	0x48	32	read-write	0x00000000	0xFFFFFFFF
				GTCCRA	General PWM Timer Compare Capture Register A	0x4C	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTCCRB	General PWM Timer Compare Capture Register B	0x50	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTCCRC	General PWM Timer Compare Capture Register C	0x54	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTCCRE	General PWM Timer Compare Capture Register E	0x58	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTCCRD	General PWM Timer Compare Capture Register D	0x5C	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				GTCCRF	General PWM Timer Compare Capture Register F	0x60	32	read-write	0xFFFFFFFF	0xFFFFFFFF
GTPR	General PWM Timer Cycle Setting Register	0x64	32	read-write	0xFFFFFFFF	0xFFFFFFFF				
GTPBR	General PWM Timer Cycle Setting Buffer Register	0x68	32	read-write	0xFFFFFFFF	0xFFFFFFFF				



表 3.3 レジスタの説明 (21/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
GPT328-GPT3212	-	-	-	GTDTCR	General PWM Timer Dead Time Control Register	0x88	32	read-write	0x00000000	0xFFFFFFFF
				GTDVU	General PWM Timer Dead Time Value Register U	0x8C	32	read-write	0xFFFFFFFF	0xFFFFFFFF
GPT32EH 0-3, GPT32E4-7	-	-	-	OPSCR	Output Phase Switching Control Register	0x00	32	read-write	0x00000000	0xFFFFFFFF
GPT_ODC	-	-	-	GTDLYCR	PWM Output Delay Control Register	0x00	16	read-write	0x0000	0xFFFF
				GTDLYCR2	PWM Output Delay Control Register2	0x02	16	read-write	0x0000	0xFFFF
	4	0x4	0-3	GTDLYR%sA	GTIOC%sA Rising Output Delay Register	0x18	16	read-write	0x0000	0xFFFF
	4	0x4	0-3	GTDLYR%sB	GTIOC%sB Rising Output Delay Register	0x1A	16	read-write	0x0000	0xFFFF
	4	0x4	0-3	GTDLYF%sA	GTIOC%sA Falling Output Delay Register	0x28	16	read-write	0x0000	0xFFFF
	4	0x4	0-3	GTDLYF%sB	GTIOC%sB Falling Output Delay Register	0x2A	16	read-write	0x0000	0xFFFF
KINT	-	-	-	KRCTL	KEY Return Control Register	0x00	8	read-write	0x00	0xFF
				KRF	KEY Return Flag Register	0x04	8	read-write	0x00	0xFF
				KRM	KEY Return Mode Register	0x08	8	read-write	0x00	0xFF
AGT0, 1	-	-	-	AGT	AGT Counter Register	0x00	16	read-write	0xFFFF	0xFFFF
				AGTCMA	AGT Compare Match A Register	0x02	16	read-write	0xFFFF	0xFFFF
				AGTCMB	AGT Compare Match B Register	0x04	16	read-write	0xFFFF	0xFFFF
				AGTCR	AGT Control Register	0x08	8	read-write	0x00	0xFF
				AGTMR1	AGT Mode Register 1	0x09	8	read-write	0x00	0xFF
				AGTMR2	AGT Mode Register 2	0x0A	8	read-write	0x00	0xFF
				AGTIOC	AGT I/O Control Register	0x0C	8	read-write	0x00	0xFF
				AGTISR	AGT Event Pin Select Register	0x0D	8	read-write	0x00	0xFF
				AGTCMSR	AGT Compare Match Function Select Register	0x0E	8	read-write	0x00	0xFF
				AGTIOSEL	AGT Pin Select Register	0x0F	8	read-write	0x00	0xFF
ACMPHS0	-	-	-	CMPCTL	Comparator Control Register	0x000	8	read-write	0x00	0xFF
				CMPSEL0	Comparator Input Select Register	0x004	8	read-write	0x00	0xFF
				CMPSEL1	Comparator Reference Voltage Select Register	0x008	8	read-write	0x00	0xFF
				CMPMON	Comparator Output Monitor Register	0x00C	8	read-only	0x00	0xFF
				CPIOC	Comparator Output Control Register	0x010	8	read-write	0x00	0xFF

表 3.3 レジスタの説明 (22/22)

周辺機能	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセ ス	リセット値	リセットマスク
ACMPHS1 -5	-	-	-	CMPCTL	Comparator Control Register	0x000	8	read-write	0x00	0xFF
				CMPSEL0	Comparator Input Select Register	0x004	8	read-write	0x00	0xFF
				CMPSEL1	Comparator Reference Voltage Select Register	0x008	8	read-write	0x00	0xFF
				CMPMON	Comparator Output Monitor Register	0x00C	8	read-only	0x00	0xFF
				CPIOC	Comparator Output Control Register	0x010	8	read-write	0x00	0xFF
TSD	-	-	-	TSCDR	Temperature Sensor Calibration Data Register	0x00	32	read-only	0x00000000	0xFFFFF000

周辺機能名 = 周辺機能の名称

Dim = レジスタ配列の要素数

Dim inc = アドレスマップにおいてアドレス配列の 2 つの隣接するレジスタ間のアドレスインクリメントを示します。

Dim index = レジスタ名においてプレースホルダー「%s」を置き換えるサブストリングを示します。

レジスタ名 = レジスタの名称

説明 = レジスタの説明

アドレスオフセット = レジスタの周辺機能により定義されるベースアドレスに関連するレジスタアドレス

サイズ = レジスタのビット幅

アクセス = レジスタアクセス権 :

read-only : 読み出しのみ可能。書き込みを行うと結果は不定です。

write-only : 書き込みのみ可能。読み出しを行うと結果は不定です。

read-write : 読み出し、書き込みともに可能。書き込みを行うとレジスタの状態に影響を与え、読み出しを行うとレジスタに関連する値が返されます。

リセット値 = レジスタのデフォルトのリセット値

リセットマスク = レジスタのどのビットにリセット値が定義されているのかを特定します。

改訂記録	RA6T1 グループユーザーズマニュアル ハードウェア編
------	------------------------------

Rev.	発行日	章	改訂内容
1.00	2020.06.30	—	初版発行
1.10	2022.08.10	—	第 1.10 版発行
		1. 概要	表 1.8 アナログの12ビットA/Dコンバータ (ADC12) の説明を更新 表 1.11 I/Oポートを追加 図 1.2 型名の読み方を更新 表 1.12 製品一覧を更新 表 1.13 機能の比較を更新 表 1.14 端子機能のADC12の説明を更新 1.7 端子一覧を更新
		2. CPU	2.1.3 動作周波数の説明を更新 2.6.4.2 デバッグストップコントロールレジスタ (DBGSTOPCR) の説明を更新 2.11.3.2 OCDモードにおける低消費電力モードの切り替えの説明を更新 2.11.3.4 接続順序とJTAG/SWD認証の説明を更新
		4. アドレス空間	図 4.1 メモリマップを更新
		5. メモリミラー機能 (MMF)	図 5.1 MMF動作を更新 図 5.2 MMFブロック図を更新
		7. オプション設定メモリ	7.2.1 オプション機能選択レジスタ0 (OFS0) の説明を更新 7.2.2 オプション機能選択レジスタ1 (OFS1) の説明を更新 図 7.2 アクセスウィンドウの概要を更新 表 7.1 IDコードプロテクト機能の仕様を更新 7.3.2 オプション設定メモリにプログラムするデータの設定方法の説明を更新
		8. 低電圧検出 (LVD)	図 8.1 電圧検出0、1、2回路のブロック図を更新 8.2.3 電圧モニタ2回路コントロールレジスタ1 (LVD2CR1) の説明を更新 図 8.4 電圧監視0リセットの動作例を更新 表 8.4 電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順を更新 表 8.6 電圧監視2割り込み、電圧監視2リセット関連ビットの動作設定手順を更新 表 8.7 電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定手順を更新
		9. クロック発生回路	9.2.5 メインクロック発振器コントロールレジスタ (MOSCCR) の説明を更新 9.2.6 サブクロック発振器コントロールレジスタ (SOSCCR) の説明を更新 9.2.7 低速オンチップオシレータコントロールレジスタ (LOCOCR) の説明を更新 9.2.8 高速オンチップオシレータコントロールレジスタ (HOCO CR) の説明を更新 9.2.9 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR) の説明を更新 図 9.4 FLL設定フロー (リセット解除後/ディープソフトウェアスタンバイモード解除後) を更新 図 9.5 ソフトウェアスタンバイモード遷移/解除フローを更新 9.2.13 発振安定フラグレジスタ (OSCSF) の説明を更新 9.2.15 発振停止検出ステータスレジスタ (OSTDSR) の説明を更新 9.2.16 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の説明を更新 9.2.17 メインクロック発振器モード発振コントロールレジスタ (MOMCR) の説明を更新 9.7.1 システムクロック (ICLK) の説明を更新 図 9.14 クロックソース切り替えタイミング図を更新 9.7.2 周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD) の説明を更新 9.7.3 フラッシュインタフェースクロック (FCLK) の説明を更新 9.7.8 SysTickタイマ専用クロック (SYSTICCLK) の説明を更新 9.8.5 メインクロック発振器駆動能力自動切り替え機能に関する注意事項の説明を更新
		11. 低消費電力モード	表 11.2 各低消費電力モードの動作状態の注釈文を更新 11.2.1 スタンバイコントロールレジスタ (SBYCR) の説明を更新 11.5.1 動作電力制御モードの設定方法の説明を更新 11.6.2 スリープモードの解除の説明を更新

Rev.	発行日	章	改訂内容
1.10	2022.08.10	11. 低消費電力モード	11.7.3 ソフトウェアスタンバイモードの応用例の説明を更新
			図 11.4 ソフトウェアスタンバイモードの応用例を更新
			図 11.9 スヌーズモードエントリでSCI0を使用するための設定例を更新
			11.9.1 ディープソフトウェアスタンバイモードへの遷移の説明を更新
			11.9.4 ディープソフトウェアスタンバイモードの応用例の説明を更新
		13. 割り込みコントローラユニット (ICU)	図 13.1 ICUのブロック図を更新
			13.2.1 IRQコントロールレジスタi (IRQCRI) (i = 0 ~ 13) の説明を更新
			13.2.2 ノンマスクابل割り込みステータスレジスタ (NMISR) の説明を更新
			13.2.3 ノンマスクابل割り込みイネーブルレジスタ (NMIER) の説明を更新
			13.2.4 ノンマスクابل割り込みステータスクリアレジスタ (NMICLR) の説明を更新
			13.2.5 NMI端子割り込みコントロールレジスタ (NMICR) の説明を更新
			13.2.8 SYSイベントリンク設定レジスタ (SELSR0) の説明を更新
			13.4.2.3 DMACの起動の説明を更新
			15. メモリプロテクションユニット (MPU)
		15.4.1.3 グループA 領域n アクセスコントロールレジスタ (MMPUACAn) (n = 0 ~ 31) の説明を更新	
		15.4.1.5 グループA レジスタ保護 (MMPUPTA) の説明を更新	
		15.6.1.1 セキュリティ MPU プログラムカウンタ開始アドレスレジスタ (SECMPUPCSn) (n = 0, 1) の説明を更新	
		18. イベントリンクコントローラ (ELC)	18.4.4 ELC 遅延時間の説明を更新
		19. I/O ポート	19.2.1 ポートコントロールレジスタ1 (PCNTR1/PODR/PDR) の説明を更新
			19.2.2 ポートコントロールレジスタ2 (PCNTR2/EIDR/PIDR) の説明を更新
			19.2.3 ポートコントロールレジスタ3 (PCNTR3/PORR/POSR) の説明を更新
			19.3.2 ポート機能選択の説明を更新
			表 19.3 未使用端子の処理を更新
			19.5.3 ポート出力データレジスタ (PODR) の概要の説明を更新
			表 19.5 入出力端子機能のレジスタ設定 (ポート0) を更新
			表 19.6 入出力端子機能のレジスタ設定 (ポート0) を更新
			表 19.7 入出力端子機能のレジスタ設定 (ポート1) の注釈文を更新
			表 19.8 入出力端子機能のレジスタ設定 (ポート1) の注釈文を更新
			表 19.9 入出力端子機能のレジスタ設定 (ポート2) を更新
			表 19.10 入出力端子機能のレジスタ設定 (ポート2) の注釈文を更新
			表 19.11 入出力端子機能のレジスタ設定 (ポート3) の注釈文を更新
			表 19.12 入出力端子機能のレジスタ設定 (ポート4) の注釈文を更新
			表 19.13 入出力端子機能のレジスタ設定 (ポート4) の注釈文を更新
			表 19.14 入出力端子機能のレジスタ設定 (ポート5) の注釈文を更新
			表 19.15 入出力端子機能のレジスタ設定 (ポート6) の注釈文を更新
		表 19.16 入出力端子機能のレジスタ設定 (ポート7) の注釈文を更新	
		20. キー割り込み機能 (KINT)	図 20.1 キー割り込み機能のブロック図の注釈文を更新
			20.3.2 キー割り込みフラグを使用する場合の動作 (KRMD = 1) の説明を更新
		21. GPT用ポートアウトプットイネーブル (POEG)	21.3 出力禁止制御の動作の説明を更新
			21.3.1.1 デジタルフィルタの説明を更新
			21.4 割り込み要因の説明を更新
			21.5 GPTに対する外部トリガ出力の説明を更新
			図 21.4 GPTに対する外部トリガ出力のタイミングを更新
		22. 汎用PWMタイマ (GPT)	表 22.2 GPTの機能一覧を更新
			22.2.8 汎用PWMタイマアップカウンタ要因選択レジスタ (GTUPSR) の説明を更新
			22.2.9 汎用PWMタイマダウンカウンタ要因選択レジスタ (GTDNSR) の説明を更新
			22.2.13 汎用PWMタイマカウンタ方向、デューティ設定レジスタ (GTUDDTYC) の説明を更新
			22.2.14 汎用PWMタイマI/Oコントロールレジスタ (GTIOR) の説明を更新
			表 22.5 GTIOA[4:0]ビットとGTIOB[4:0]ビットの設定値の注釈文を更新
			22.2.17 汎用PWMタイマパッファイネーブルレジスタ (GTBER) の説明を更新
22.2.18 汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ (GTITC) の説明を更新			

Rev.	発行日	章	改訂内容
1.10	2022.08.10	22. 汎用PWMタイマ (GPT)	22.2.25 A/D変換開始要求タイミングバッファレジスタn (GTADTBn) (n = A, B) の説明を更新
			22.2.28 汎用PWMタイマデッドタイム値レジスタn (GTDVn) (n = U, D) の説明を更新
			22.2.30 汎用PWMタイマ出力保護機能ステータスレジスタ (GTSOS) の説明を更新
			22.2.32 出力相切り替えコントロールレジスタ (OPSCR) の説明を更新
			22.3.1.1 カウンタの動作の説明を更新
			図 22.8 ハードウェア要因によるアップカウント時のイベントカウント動作設定例を更新
			図 22.10 ハードウェア要因によるダウンカウント時のイベントカウント動作設定例を更新
			22.3.1.3 インพุットキャプチャ機能の説明を更新
			図 22.22 GTCCRA、GTCCRBレジスタのバッファ動作例 (アウトプットコンペア、アップカウント時ののこぎり波、GTCCRAレジスタのコンペアマッチでHigh出力、周期の終わりでLow出力の場合) を更新
			図 22.28 GTCCRA、GTCCRBレジスタのバッファ動作設定例 (インพุットキャプチャ時) を更新
			22.3.2.3 GTADTRA、GTADTRBレジスタのバッファ動作の説明を更新
			図 22.38 三角波PWMモード1設定例の注釈文を更新
			図 22.40 三角波PWMモード2設定例の注釈文を更新
			22.3.4 デッドタイム自動設定機能の説明を更新
			図 22.47 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波PWMモード3の場合) を更新
			図 22.48 デッドタイム自動設定機能の設定例 (三角波PWMモード1または2の場合) を更新
			図 22.61 ソフトウェアによる同時スタート/ストップ/クリア動作例 (カウント周期 (GTPRレジスタ値) が同一のとき) を更新
			表 22.11 位相計数機能2でのアップカウント/ダウンカウントの条件 (C) を更新
			図 22.81 GPT_OPS制御フローの概念図を更新
			22.3.11 出力相切り替え (GPT_OPS) の説明を更新
			22.3.11.1 外部入力信号の同期および入力選択の説明を更新
			22.3.11.5 出力選択制御 (グループ出力禁止機能) の説明を更新
			22.3.11.6 イベントリンクコントローラ (ELC) 出力の説明を更新
			表 22.22 割り込み要因を更新
			22.4.2 割り込み、A/D変換要求の間引き機能の説明を更新
			図 22.93 A/D変換開始要求タイミング動作設定例を更新
			図 22.94 ノイズフィルタのタイミングを更新
			22.7 ノイズフィルタ機能の説明を更新
			図 22.99 谷でのバッファ転送中にGTCCRAレジスタが0になった場合の出力保護機能の動作例 (山でのバッファ転送中に0 < GTCCRAレジスタ < GTPRレジスタを回復、アクティブLowの場合) を更新
			図 22.106 谷でのバッファ転送中にGTCCRAレジスタ ≥ GTPRレジスタとなった場合の出力保護機能一時解除例 (谷でのバッファ転送中に0 < GTCCRAレジスタ < GTPRレジスタを回復、アクティブLowの場合) を更新
			22.10.5 イベントごとの優先順位の説明を更新
			24. 低消費電力非同期汎用タイマ (AGT)
		24.2.10 AGT端子選択レジスタ (AGTIOSEL) の説明を更新	
		図 24.2 TSTARTビット値、TCMEAおよびTCMEBビット値による書き換え動作のタイミング (コンペアマッチレジスタAおよびBが無効の場合) のタイトルを更新	
		図 24.11 コンペアマッチモードでの動作例 (TOPOLA = 0、TOPOLB = 0) を更新	
		24.4.3 モード変更時の説明を更新	
		25. ウォッチドッグタイマ (WDT)	24.4.11 クロックソースを切り替える場合の説明を更新
			25. ウォッチドッグタイマ (WDT) の説明を更新
			25.2.2 WDTコントロールレジスタ (WDTCR) の説明を更新
			図 25.2 RPSS[1:0]およびRPES[1:0]ビットトリフレッシュ許可期間の注釈文を更新
			25.2.4 WDTリセットコントロールレジスタ (WDTRCR) の説明を更新
			25.2.5 WDTカウント停止コントロールレジスタ (WDTCTPR) の説明を更新
			25.3.1.1 レジスタスタートモードの説明を更新
			図 25.3 レジスタスタートモードでの動作例の注釈文を更新

Rev.	発行日	章	改訂内容
1.10	2022.08.10	25. ウォッチドッグタイマ (WDT)	25.3.1.2 オートスタートモードの説明を更新
			図 25.4 オートスタートモードでの動作例の注釈文を更新
			25.3.2 WDTCR、WDTCR、およびWDTCSRレジスタへの書き込み制御の説明を更新
			図 25.5 WDTCSRレジスタへの書き込みに対して生成される制御波形を更新
			25.3.3 リフレッシュ動作の説明を更新
			表 25.5 オプション機能選択レジスタ0 (OFS0) とWDTレジスタの対応関係を更新
		26. 独立ウォッチドッグタイマ (IWDT)	25.5.1 ICUイベントリンク設定レジスタ n (IELSRn) の設定の説明を更新
			26.2.2 IWDTSRレジスタ (IWDTSR) の説明を更新
			26.2.3 オプション機能選択レジスタ0 (OFS0) の説明を更新
			図 26.2 IWDTRPSS[1:0]およびIWDTRPES[1:0]ビットとリフレッシュ許可期間の注釈文を更新
			26.3.1 オートスタートモードの説明を更新
			26.3.2 リフレッシュ動作の説明を更新
		27. シリアルコミュニケーションインタフェース (SCI)	図 26.5 IWDTCOUNT値の読み出し処理 (OFS0.IWDTCCK[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11bの場合) を更新
			27.2.26 FIFOコントロールレジスタ (FCR) の説明を更新
		29. I <sup>2</sup> C バスインタフェース (IIC)	29.2.6 I <sup>2</sup> Cバスファンクションイネーブルレジスタ (ICFER) の説明を更新
			29.2.9 I <sup>2</sup> Cバスステータスレジスタ1 (ICSR1) の説明を更新
			29.2.10 I <sup>2</sup> Cバスステータスレジスタ2 (ICSR2) の説明を更新
			表 29.5 ウェイクアップモードを更新
			29.2.11 I <sup>2</sup> Cバスウェイクアップユニットレジスタ (ICWUR) の説明を更新
			29.2.12 I <sup>2</sup> Cバスウェイクアップユニットレジスタ2 (ICWUR2) の説明を更新
			29.3.3 マスタ送信動作の説明を更新
			29.3.6 スレーブ受信動作の説明を更新
		35. 12ビットA/Dコンバータ (ADC12)	35.1 概要の説明を更新
			表 35.1 ADC12の仕様を更新
			表 35.2 ADC12の機能一覧を更新
			図 35.1 ADC12 (ユニット0) のブロック図を更新
			図 35.2 ADC12 (ユニット1) のブロック図を更新
			表 35.3 ADC12の入出力端子を更新
			35.2.2 A/D自己診断データレジスタ (ADRD) の説明を更新
			35.2.3 A/Dコントロールレジスタ (ADCSR) の説明を更新
			35.2.5 A/Dチャンネル選択レジスタA1 (ADANSA1) の説明を更新
			35.2.11 A/Dコントロール拡張レジスタ (ADCER) の説明を更新
			35.2.18 A/Dグループスキャン優先コントロールレジスタ (ADGSPCR) の説明を更新
			35.2.26 A/Dコンペア機能ウィンドウA下側レベル設定レジスタ (ADCMPDR0)、A/Dコンペア機能ウィンドウA上側レベル設定レジスタ (ADCMPDR1)、A/Dコンペア機能ウィンドウB下側レベル設定レジスタ (ADWINLLB)、A/Dコンペア機能ウィンドウB上側レベル設定レジスタ (ADWINULB) の説明を更新
			35.2.30 A/Dコンペア機能ウィンドウBチャンネル選択レジスタ (ADCMPBNSR) の説明を更新
			35.2.32 A/Dコンペア機能ウィンドウA/Bステータスマニタレジスタ (ADWINMON) の説明を更新
			35.6.9 動作モードおよびステータスビットについての注意事項の説明を更新
			38. 高速アナログコンパレータ (ACMPHS)
		38.2.2 コンパレータ入力選択レジスタ (CMPSEL0) の説明を更新	
		付録3. I/Oレジスタ	表 3.2 アクセスサイクルを更新

---

RA6T1グループ ユーザーズマニュアル ハードウェア編

発行年月日 2022年8月10日 Rev.1.10

発行 ルネサスエレクトロニクス株式会社  
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

---

RA6T1 グループ