User's Manual

16

RL78/I1A

ユーザーズマニュアル　ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.3.30　2023.03

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2023 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対 象 者　このマニュアルはRL78/I1Aの機能を理解し，その応用システムや応用プログラムを設計，開発するユーザのエンジニアを対象としています。
対象製品は，次に示す各製品です。

・20ピン： R5F1076C
・30ピン： R5F107AE, R5F107AC
・38ピン： R5F107DE

目　　的　このマニュアルは，次の構成に示す機能をユーザに理解していただくことを目的としています。

構　　成　RL78/I1Aのマニュアルは，このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。

RL78/I1A ユーザーズ・マニュアル ハードウェア編	RL78ファミリ ユーザーズ・マニュアル ソフトウェア編
●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU機能 ●命令セット ●命令の説明

読 み 方　このマニュアルを読むにあたっては，電気，論理回路，マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき
→目次に従って読んでください。本文欄外の★印は，本版で改訂された主な箇所を示しています。この"★"をPDF上でコピーして「検索する文字列」に指定することによって，改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方
→ビット番号を□で囲んでいるものは，そのビット名称がアセンブラでは予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。

□RL78/I1Aマイクロコントローラの命令機能の詳細を知りたいとき
→別冊のRL78ファミリ　ユーザーズ・マニュアル　ソフトウェア編（R01US0015J）を参照してください。

凡　　例　　データ表記の重み　　：左が上位桁，右が下位桁

アクティブ・ロウの表記　：$\overline{\times\times\times}$（端子，信号名称に上線）

注　　：本文中につけた注の説明

注意　　：気をつけて読んでいただきたい内容

備考　　：本文の補足説明

数の表記　　：2進数…××××または××××B

10進数…××××

16進数…××××H

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資　料　名	資料番号	
	和　　文	英　　文
RL78/I1A　ユーザーズ・マニュアル　ハードウェア編	このマニュアル	R01UH0169E
RL78ファミリ　ユーザーズ・マニュアル　ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料（ユーザーズマニュアル）

資　料　名		資料番号	
		和　　文	英　　文
PG-FP5　フラッシュメモリプログラマ　ユーザーズマニュアル		—	—
	RL78，78K，V850，RX100，RX200，RX600（RX64x除く），R8C，SH編	R20UT2923J	R20UT2923E
	共通編	R20UT2922J	R20UT2922E
	セットアップマニュアル	R20UT0930J	R20UT0930E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資　料　名	資料番号	
	和　　文	英　　文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。
EEPROMは，ルネサス エレクトロニクス株式会社の登録商標です。
SuperFlashは，米国Silicon Storage Technology, Inc.の米国，日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

第1章　概　　説 1

1.1　特　　徴 1
1.2　型名一覧 3
1.3　端子接続図（Top View） 4
1.3.1　20ピン製品 4
1.3.2　30ピン製品 5
1.3.3　38ピン製品 6
1.4　端子名称 7
1.5　ブロック図 8
1.5.1　20ピン製品 8
1.5.2　30ピン製品 9
1.5.3　38ピン製品 10
1.6　機能概要 11

第2章　端子機能 14

2.1　ポート機能 14
2.1.1　20ピン製品 15
2.1.2　30ピン製品 17
2.1.3　38ピン製品 19
2.2　ポート以外の機能 21
2.2.1　製品別の搭載機能 21
2.2.2　機能説明 23
2.3　未使用端子の処理 25
2.4　端子ブロック図 27

第3章　CPUアーキテクチャ 39

3.1　メモリ空間 39
3.1.1　内部プログラム・メモリ空間 44
3.1.2　ミラー領域 47
3.1.3　内部データ・メモリ空間 49
3.1.4　特殊機能レジスタ（SFR：Special Function Register）領域 50
3.1.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域 50
3.1.6　データ・メモリ・アドレッシング 51
3.2　プロセッサ・レジスタ 54
3.2.1　制御レジスタ 54
3.2.2　汎用レジスタ 56
3.2.3　ES, CSレジスタ 57
3.2.4　特殊機能レジスタ（SFR：Special Function Register） 58
3.2.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register） 63
3.3　命令アドレスのアドレッシング 76
3.3.1　レラティブ・アドレッシング 76
3.3.2　イミーディエト・アドレッシング 76
3.3.3　テーブル・インダイレクト・アドレッシング 77
3.3.4　レジスタ・インダイレクト・アドレッシング 78
3.4　処理データ・アドレスに対するアドレッシング 79

3.4.1　インプライド・アドレッシング 79
3.4.2　レジスタ・アドレッシング 79
3.4.3　ダイレクト・アドレッシング 80
3.4.4　ショート・ダイレクト・アドレッシング 81
3.4.5　SFRアドレッシング 82
3.4.6　レジスタ・インダイレクト・アドレッシング 83
3.4.7　ベースト・アドレッシング 84
3.4.8　ベースト・インデクスト・アドレッシング 88
3.4.9　スタック・アドレッシング 90

第4章　ポート機能 93

4.1　ポートの機能 93
4.2　ポートの構成 93
4.2.1　ポート0 94
4.2.2　ポート1 94
4.2.3　ポート2 95
4.2.4　ポート3 95
4.2.5　ポート4 95
4.2.6　ポート7 95
4.2.7　ポート12 96
4.2.8　ポート13 96
4.2.9　ポート14 96
4.2.10　ポート20 96
4.3　ポート機能を制御するレジスタ 97
4.3.1　ポート・モード・レジスタ（PMxx） 100
4.3.2　ポート・レジスタ（Pxx） 102
4.3.3　プルアップ抵抗オプション・レジスタ（PUxx） 103
4.3.4　ポート入力モード・レジスタ（PIMxx） 104
4.3.5　ポート出力モード・レジスタ（POMxx） 105
4.3.6　ポート・モード・コントロール・レジスタ（PMCxx） 106
4.3.7　A/Dポート・コンフィギュレーション・レジスタ（ADPC） 107
4.3.8　周辺I/Oリダイレクション・レジスタ（PIOR1） 108
4.4　ポート機能の動作 109
4.4.1　入出力ポートへの書き込み 109
4.4.2　入出力ポートからの読み出し 109
4.4.3　入出力ポートでの演算 109
4.4.4　異電位（2.5 V系, 3 V系）対応 110
4.4.5　入出力バッファによる異電位（2.5 V系, 3 V系）対応 110
4.5　兼用機能使用時のレジスタ設定 112
4.5.1　兼用機能使用時の基本的な考え方 112
4.5.2　出力機能を使用しない兼用機能のレジスタ設定 113
4.5.3　使用するポート機能および兼用機能のレジスタ設定例 114
4.6　ポート機能使用時の注意事項 121
4.6.1　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項 121
4.6.2　端子設定に関する注意事項 122

第5章　クロック発生回路 123

5.1　クロック発生回路の機能 123
5.2　クロック発生回路の構成 126

5.3　クロック発生回路を制御するレジスタ 129
5.3.1　クロック動作モード制御レジスタ（CMC） 129
5.3.2　システム・クロック制御レジスタ（CKC） 132
5.3.3　クロック動作ステータス制御レジスタ（CSC） 133
5.3.4　発振安定時間カウンタ状態レジスタ（OSTC） 134
5.3.5　発振安定時間選択レジスタ（OSTS） 136
5.3.6　PLLコントロール・レジスタ（PLLCTL） 138
5.3.7　周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2） 139
5.3.8　サブシステム・クロック供給モード制御レジスタ（OSMC） 142
5.3.9　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） 143
5.3.10　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM） 144
5.4　システム・クロック発振回路 145
5.4.1　X1発振回路 145
5.4.2　XT1発振回路 145
5.4.3　高速オンチップ・オシレータ 149
5.4.4　低速オンチップ・オシレータ 149
5.4.5　PLL（Phase Locked Loop） 149
5.5　クロック発生回路の動作 150
5.6　クロックの制御 152
5.6.1　高速オンチップ・オシレータの設定例 152
5.6.2　X1発振回路の設定例 154
5.6.3　XT1発振回路の設定例 155
5.6.4　PLL回路の設定例 156
5.6.5　CPUクロック状態移行図 157
5.6.6　CPUクロックの移行前の条件と移行後の処理 164
5.6.7　CPUクロックの切り替えとシステム・クロックの切り替えに要する時間 166
5.6.8　クロック発振停止前の条件 167

第6章　タイマ・アレイ・ユニット 168

6.1　タイマ・アレイ・ユニットの機能 169
6.1.1　単独チャネル動作機能 169
6.1.2　複数チャネル連動動作機能 170
6.1.3　LIN-bus対応機能（チャネル7のみ） 172
6.1.4　DMX512対応機能（チャネル7のみ） 172
6.2　タイマ・アレイ・ユニットの構成 173
6.2.1　タイマ・カウンタ・レジスタ0n（TCR0n） 178
6.2.2　タイマ・データ・レジスタ0n（TDR0n） 180
6.3　タイマ・アレイ・ユニットを制御するレジスタ 181
6.3.1　周辺イネーブル・レジスタ0（PER0） 182
6.3.2　タイマ・クロック選択レジスタ0（TPS0） 183
6.3.3　タイマ・モード・レジスタ0n（TMR0n） 186
6.3.4　タイマ・ステータス・レジスタ0n（TSR0n） 191
6.3.5　タイマ・チャネル許可ステータス・レジスタ0（TE0） 192
6.3.6　タイマ・チャネル開始レジスタ0（TS0） 193
6.3.7　タイマ・チャネル停止レジスタ0（TT0） 195
6.3.8　タイマ入力選択レジスタ0（TIS0） 196
6.3.9　タイマ出力許可レジスタ0（TOE0） 197
6.3.10　タイマ出力レジスタ0（TO0） 198
6.3.11　タイマ出力レベル・レジスタ0（TOL0） 199
6.3.12　タイマ出力モード・レジスタ0（TOM0） 200
6.3.13　入力切り替え制御レジスタ（ISC） 201

6. 3. 14　ノイズ・フィルタ許可レジスタ1（NFEN1）.....202
6. 3. 15　タイマ入出力端子のポート機能を制御するレジスタ.....204
6. 4　タイマ・アレイ・ユニットの基本ルール.....205
6. 4. 1　複数チャネル連動動作機能の基本ルール.....205
6. 4. 2　8ビット・タイマ動作機能概要（チャネル1, 3のみ）.....207
6. 5　カウンタの動作.....208
6. 5. 1　カウント・クロック（f_{TCLK}）.....208
6. 5. 2　カウンタのスタート・タイミング.....210
6. 5. 3　カウンタの動作.....211
6. 6　チャネル出力（TO0n端子）の制御.....216
6. 6. 1　TO0n端子の出力回路の構成.....216
6. 6. 2　TO0n端子の出力設定.....217
6. 6. 3　チャネル出力操作時の注意事項.....218
6. 6. 4　TO0nビットの一括操作.....224
6. 6. 5　カウント動作開始時のタイマ割り込みとTO0n端子出力について.....225
6. 7　タイマ入力（TI0n）の制御.....226
6. 7. 1　TI0nの入力回路構成.....226
6. 7. 2　ノイズ・フィルタ.....226
6. 7. 3　チャネル入力操作時の注意事項.....227
6. 8　タイマ・アレイ・ユニットの単独チャネル動作機能.....228
6. 8. 1　インターバル・タイマ／方形波出力としての動作.....228
6. 8. 2　外部イベント・カウンタとしての動作.....233
6. 8. 3　入力パルス間隔測定としての動作.....237
6. 8. 4　入力信号のハイ／ロウ・レベル幅測定としての動作.....241
6. 8. 5　ディレイ・カウンタとしての動作.....245
6. 9　タイマ・アレイ・ユニットの複数チャネル連動動作機能.....249
6. 9. 1　ワンショット・パルス出力機能としての動作.....249
6. 9. 2　PWM機能としての動作.....256
6. 9. 3　多重PWM出力機能としての動作.....263
6. 10　タイマ・アレイ・ユニット使用時の注意事項.....271
6. 10. 1　タイマ出力使用時の注意事項.....271

第7章　16ビット・タイマKB0, KB1, KB2.....272

7. 1　16ビット・タイマKB0, KB1, KB2の機能.....273
7. 2　16ビット・タイマKB0, KB1, KB2の構成.....275
7. 2. 1　16ビット・タイマKBコンペア・レジスタn0-n3（TKBCRn0-TKBCRn3）.....277
7. 2. 2　16ビット・タイマKBトリガ・コンペア・レジスタn（TKBTGCRn）.....277
7. 3　16ビット・タイマKB0, KB1, KB2を制御するレジスタ.....278
7. 3. 1　周辺イネーブル・レジスタ2（PER2）.....279
7. 3. 2　タイマ・クロック選択レジスタ2（TPS2）.....280
7. 3. 3　16ビット・タイマKB動作制御レジスタn0（TKBCTLn0）.....281
7. 3. 4　16ビット・タイマKB動作制御レジスタn1（TKBCTLn1）.....283
7. 3. 5　16ビット・タイマKB出力制御レジスタn0（TKBIOCn0）.....284
7. 3. 6　16ビット・タイマKB出力制御レジスタn1（TKBIOCn1）.....285
7. 3. 7　16ビット・タイマKBフラグ・レジスタn（TKBFLGn）.....286
7. 3. 8　16ビット・タイマKBトリガ・レジスタn（TKBTRGn）.....287
7. 3. 9　16ビット・タイマKBフラグ・クリア・トリガ・レジスタn（TKBCLRn）.....288
7. 3. 10　16ビット・タイマKBディザリング数レジスタn0, n1
（TKBDNRn0, TKBDNRn1）.....289
7. 3. 11　16ビット・タイマKBコンペア1L＆ディザリング数レジスタn0
（TKBCRLDn0）.....290

7. 3. 12　16ビット・タイマKBコンペア3L＆ディザリング数レジスタn1（TKBCRLDn1）.....290
7. 3. 13　16ビット・タイマKBソフト・スタート初期デューティ・レジスタn0, n1（TKBSIRn0, TKBSIRn1）.....291
7. 3. 14　16ビット・タイマKBソフト・スタート・ステップ幅レジスタn0, n1（TKBSSRn0, TKBSSRn1）.....291
7. 3. 15　16ビット・タイマKB最大周波数リミット設定レジスタn（TKBMFRn）.....292
7. 3. 16　周辺機能切り替えレジスタ0（PFSEL0）.....293
7. 3. 17　ポート・モード・レジスタ20（PM20）.....294
7. 4　16ビット・タイマKB0, KB1, KB2の動作.....295
7. 4. 1　カウンタ基本動作.....298
7. 4. 2　デフォルトレベルとアクティブレベル.....298
7. 4. 3　動作停止と動作開始.....302
7. 4. 4　一斉書き込み動作.....305
7. 4. 5　単体動作モード（TKBCRn0による周期制御）.....306
7. 4. 6　単体動作モード（外部トリガ入力による周期制御）.....312
7. 4. 7　同時スタート／ストップ・モード.....319
7. 4. 8　同期スタート／クリア・モード.....328
7. 4. 9　インターリーブPFC（Power Factor Correction）出力モード.....336
7. 5　16ビット・タイマKB0, KB1, KB2のオプション機能.....349
7. 5. 1　A/D変換スタート・タイミング信号出力機能.....350
7. 5. 2　PWM出力ディザリング機能.....351
7. 5. 3　PWM出力ソフト・スタート機能.....355
7. 5. 4　PWM出力ゲート機能（PWM出力ソフトスタート機能併用無し）.....358
7. 5. 5　PWM出力ゲート機能（PWM出力ソフトスタート機能併用有り）.....360
7. 5. 6　最大周波数リミット機能.....362
7. 6　強制出力停止機能.....364
7. 6. 1　強制出力停止機能1と強制出力停止機能2.....365
7. 6. 2　強制出力停止機能の構成.....367
7. 6. 3　強制出力停止機能を制御するレジスタ.....368
7. 6. 3. 1　周辺イネーブル・レジスタ2（PER2）.....368
7. 6. 3. 2　強制出力停止機能制御レジスタn0, n1（TKBPACTLn0, TKBPACTLn1）.....369
7. 6. 3. 3　強制出力停止機能制御レジスタn2（TKBPACTLn2）.....378
7. 6. 3. 4　強制出力停止機能フラグ・レジスタ（TKBPAFLGn）.....379
7. 6. 3. 5　強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn）.....380
7. 6. 3. 6　強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn）.....380
7. 7　強制出力停止機能1の動作説明.....381
7. 7. 1　強制出力停止機能1の概要.....381
7. 7. 2　強制出力停止機能1のソフトウエア解除操作.....382
7. 7. 3　強制出力停止機能1の基本動作.....383
7. 8　強制出力停止機能2の動作説明.....387
7. 8. 1　強制出力停止機能2の概要.....387
7. 8. 2　強制出力停止機能2の基本動作.....388

第8章　16ビット・タイマKC0.....390

8. 1　16ビット・タイマKC0の機能.....390
8. 2　16ビット・タイマKC0の構成.....390
8. 2. 1　16ビット・タイマKCコンペア・レジスタ0（TKCCR0）.....392

8. 2. 2　16ビット・タイマKCデューティ・コンペア・レジスタ00-05
（TKCDUTY00-TKCDUTY05）.....392
8. 3　16ビット・タイマKC0を制御するレジスタ.....393
8. 3. 1　周辺イネーブル・レジスタ2（PER2）.....394
8. 3. 2　タイマ・クロック選択レジスタ2（TPS2）.....395
8. 3. 3　16ビット・タイマKC動作制御レジスタ0（TKCCTL0）.....396
8. 3. 4　16ビット・タイマKC出力制御レジスタ00（TKCIOC00）.....397
8. 3. 5　16ビット・タイマKC出力制御レジスタ01（TKCIOC01）.....398
8. 3. 6　16ビット・タイマKC出力端子制御レジスタ（TOETKC0）.....399
8. 3. 7　16ビット・タイマKC出力フラグ・レジスタ0（TKCTOF0）.....399
8. 3. 8　16ビット・タイマKCフラグ・レジスタ0（TKCFLG0）.....400
8. 3. 9　16ビット・タイマKCトリガ・レジスタ0（TKCTRG0）.....400
8. 3. 10　ポート・モード・レジスタ1, 20（PM1, PM20）.....401
8. 4　16ビット・タイマKC0の動作.....402
8. 4. 1　PWM出力機能.....404
8. 4. 2　動作停止と動作再開.....408
8. 4. 3　デフォルト・レベルとアクティブ・レベル.....410
8. 4. 4　同時スタート＆ストップ・モード.....412

第9章　リアルタイム・クロック.....413

9. 1　リアルタイム・クロックの機能.....413
9. 2　リアルタイム・クロックの構成.....414
9. 3　リアルタイム・クロックを制御するレジスタ.....416
9. 3. 1　周辺イネーブル・レジスタ0（PER0）.....417
9. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC）.....418
9. 3. 3　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）.....418
9. 3. 4　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）.....420
9. 3. 5　秒カウント・レジスタ（SEC）.....422
9. 3. 6　分カウント・レジスタ（MIN）.....422
9. 3. 7　時カウント・レジスタ（HOUR）.....423
9. 3. 8　日カウント・レジスタ（DAY）.....425
9. 3. 9　曜日カウント・レジスタ（WEEK）.....426
9. 3. 10　月カウント・レジスタ（MONTH）.....427
9. 3. 11　年カウント・レジスタ（YEAR）.....427
9. 3. 12　時計誤差補正レジスタ（SUBCUD）.....428
9. 3. 13　アラーム分レジスタ（ALARMWM）.....429
9. 3. 14　アラーム時レジスタ（ALARMWH）.....429
9. 3. 15　アラーム曜日レジスタ（ALARMWW）.....429
9. 3. 16　ポート・モード・レジスタ3（PM3）.....430
9. 3. 17　ポート・レジスタ3（P3）.....430
9. 4　リアルタイム・クロックの動作.....431
9. 4. 1　リアルタイム・クロックの動作開始.....431
9. 4. 2　動作開始後のHALT/STOPモードへの移行.....432
9. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込み.....433
9. 4. 4　リアルタイム・クロックのアラーム設定.....435
9. 4. 5　リアルタイム・クロックの1 Hz出力.....436
9. 4. 6　リアルタイム・クロックの時計誤差補正例.....437

第10章　12ビット・インターバル・タイマ.....442

10. 1　12ビット・インターバル・タイマの機能.....442

10. 2　12ビット・インターバル・タイマの構成 442
10. 3　12ビット・インターバル・タイマを制御するレジスタ 442
10. 3. 1　周辺イネーブル・レジスタ0（PER0） 443
10. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC） 444
10. 3. 3　インターバル・タイマ・コントロール・レジスタ（ITMC） 445
10. 4　12ビット・インターバル・タイマの動作 446
10. 4. 1　12ビット・インターバル・タイマの動作タイミング 446
10. 4. 2　HALT/STOP モードから復帰後にカウンタ動作開始し，
再度HALT/STOPモードへの移行 447

第11章　ウォッチドッグ・タイマ 448

11. 1　ウォッチドッグ・タイマの機能 448
11. 2　ウォッチドッグ・タイマの構成 449
11. 3　ウォッチドッグ・タイマを制御するレジスタ 450
11. 3. 1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE） 450
11. 4　ウォッチドッグ・タイマの動作 451
11. 4. 1　ウォッチドッグ・タイマの動作制御 451
11. 4. 2　ウォッチドッグ・タイマのオーバフロー時間の設定 453
11. 4. 3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定 454
11. 4. 4　ウォッチドッグ・タイマのインターバル割り込みの設定 456

第12章　A/Dコンバータ 457

12. 1　A/Dコンバータの機能 457
12. 2　A/Dコンバータの構成 460
12. 3　A/Dコンバータを制御するレジスタ 462
12. 3. 1　周辺イネーブル・レジスタ0（PER0） 463
12. 3. 2　A/Dコンバータ・モード・レジスタ0（ADM0） 464
12. 3. 3　A/Dコンバータ・モード・レジスタ1（ADM1） 473
12. 3. 4　A/Dコンバータ・モード・レジスタ2（ADM2） 474
12. 3. 5　10ビットA/D変換結果レジスタ（ADCR） 476
12. 3. 6　8ビットA/D変換結果レジスタ（ADCRH） 476
12. 3. 7　アナログ入力チャネル指定レジスタ（ADS） 477
12. 3. 8　変換結果比較上限値設定レジスタ（ADUL） 479
12. 3. 9　変換結果比較下限値設定レジスタ（ADLL） 479
12. 3. 10　A/Dテスト・レジスタ（ADTES） 480
12. 3. 11　アナログ入力端子のポート機能を制御するレジスタ 481
12. 4　A/Dコンバータの変換動作 482
12. 5　入力電圧と変換結果 484
12. 6　A/Dコンバータの動作モード 485
12. 6. 1　ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード） 485
12. 6. 2　ソフトウエア・トリガ・モード
（セレクト・モード，ワンショット変換モード） 486
12. 6. 3　ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード） 487
12. 6. 4　ソフトウエア・トリガ・モード
（スキャン・モード，ワンショット変換モード） 488
12. 6. 5　ハードウエア・トリガ・ノーウエイト・モード
（セレクト・モード，連続変換モード） 489
12. 6. 6　ハードウエア・トリガ・ノーウエイト・モード
（セレクト・モード，ワンショット変換モード） 490

12. 6. 7　ハードウエア・トリガ・ノーウエイト・モード
（スキャン・モード，連続変換モード）.....491
12. 6. 8　ハードウエア・トリガ・ノーウエイト・モード
（スキャン・モード，ワンショット変換モード）.....492
12. 6. 9　ハードウエア・トリガ・ウエイト・モード
（セレクト・モード，連続変換モード）.....493
12. 6. 10　ハードウエア・トリガ・ウエイト・モード
（セレクト・モード，ワンショット変換モード）.....494
12. 6. 11　ハードウエア・トリガ・ウエイト・モード
（スキャン・モード，連続変換モード）.....495
12. 6. 12　ハードウエア・トリガ・ウエイト・モード
（スキャン・モード，ワンショット変換モード）.....496
12. 7　A/Dコンバータの設定フロー・チャート.....497
12. 7. 1　ソフトウエア・トリガ・モード設定.....498
12. 7. 2　ハードウエア・トリガ・ノーウエイト・モード設定.....499
12. 7. 3　ハードウエア・トリガ・ウエイト・モード設定.....500
12. 7. 4　温度センサ出力電圧／内部基準電圧を選択時の設定
（例　ソフトウエア・トリガ・モード時，ワンショット変換モード時）.....501
12. 7. 5　テスト・モード設定.....502
12. 8　SNOOZEモード機能.....503
12. 9　A/Dコンバータ特性表の読み方.....507
12. 10　A/Dコンバータの注意事項.....510

第13章　プログラマブル・ゲイン・アンプ.....514

13. 1　プログラマブル・ゲイン・アンプの機能.....514
13. 2　プログラマブル・ゲイン・アンプの構成.....514
13. 3　プログラマブル・ゲイン・アンプで使用するレジスタ.....515
13. 3. 1　周辺イネーブル・レジスタ2（PER2）.....516
13. 3. 2　プログラマブル・ゲイン・アンプ制御レジスタ（PGACTL）.....517
13. 3. 3　プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ（PGAINS）.....518
13. 3. 4　A/Dポート・コンフィギュレーション・レジスタ（ADPC）.....519
13. 3. 5　ポート・モード・コントロール・レジスタ0, 14（PMC0, PMC14）.....520
13. 3. 6　ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14）.....521
13. 3. 7　コンパレータ・PGA内部基準電圧制御レジスタ（CVRCTL）.....523
13. 4　プログラマブル・ゲイン・アンプの動作.....524
13. 5　プログラマブル・ゲイン・アンプの設定手順.....525

第14章　コンパレータ.....526

14. 1　コンパレータの機能.....526
14. 2　コンパレータの構成.....528
14. 3　コンパレータを制御するレジスタ.....528
14. 3. 1　周辺イネーブル・レジスタ2（PER2）.....529
14. 3. 2　コンパレータn制御レジスタ（CnCTL）.....529
14. 3. 3　コンパレータPGA内部基準電圧制御レジスタ（CVRCTL）.....531
14. 3. 4　コンパレータ内部基準電圧選択レジスタm（CmRVM）.....532
14. 3. 5　コンパレータ立ち上がりエッジ許可レジスタ0（CMPEGP0），
コンパレータ立ち下がりエッジ許可レジスタ0（CMPEGN0）.....533
14. 3. 6　コンパレータ出力モニタ・レジスタ（CMPMON）.....534
14. 3. 7　ウィンドウ・コンパレータ機能設定レジスタ（CMPWDC）.....535
14. 3. 8　コンパレータ入力切り替え制御レジスタ（CMPSEL）（20ピン製品のみ）.....536

14. 3. 9　外部割り込み制御レジスタ（INTPCTL）.....536
14. 3. 10　A/Dポート・コンフィギュレーション・レジスタ（ADPC）.....537
14. 3. 11　周辺機能切り替えレジスタ0（PFSEL0）.....538
14. 3. 12　ポート・モード・コントロール・レジスタ0, 14（PMC0, PMC14）.....539
14. 3. 13　ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14）.....540
14. 4　コンパレータの設定手順.....542
14. 5　タイマKB連動機能使用時の注意事項.....544

第15章　シリアル・アレイ・ユニット0.....547

15. 1　シリアル・アレイ・ユニット0の機能.....548
15. 1. 1　簡易SPI（CSI00）.....548
15. 1. 2　UART（UART0, UART1）.....549
15. 2　シリアル・アレイ・ユニット0の構成.....550
15. 2. 1　シフト・レジスタ.....553
15. 2. 2　シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット.....553
15. 3　シリアル・アレイ・ユニット0を制御するレジスタ.....555
15. 3. 1　周辺イネーブル・レジスタ0（PER0）.....556
15. 3. 2　シリアル・クロック選択レジスタm（SPSm）.....557
15. 3. 3　シリアル・モード・レジスタmn（SMRmn）.....559
15. 3. 4　シリアル通信動作設定レジスタmn（SCRmn）.....560
15. 3. 5　シリアル・データ・レジスタmn（SDRmn）の上位7ビット.....563
15. 3. 6　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）.....565
15. 3. 7　シリアル・ステータス・レジスタmn（SSRmn）.....566
15. 3. 8　シリアル・チャネル開始レジスタm（SSm）.....568
15. 3. 9　シリアル・チャネル停止レジスタm（STm）.....569
15. 3. 10　シリアル・チャネル許可ステータス・レジスタm（SEm）.....570
15. 3. 11　シリアル出力許可レジスタm（SOEm）.....571
15. 3. 12　シリアル出力レジスタm（SOm）.....572
15. 3. 13　シリアル出力レベル・レジスタm（SOLm）.....573
15. 3. 14　シリアル・スタンバイ・コントロール・レジスタ0（SSC0）.....574
15. 3. 15　入力切り替え制御レジスタ（ISC）.....575
15. 3. 16　ノイズ・フィルタ許可レジスタ0（NFEN0）.....576
15. 3. 17　シリアル入出力端子のポート機能を制御するレジスタ.....577
15. 4　動作停止モード.....578
15. 4. 1　ユニット単位で動作停止とする場合.....578
15. 4. 2　チャネルごとに動作停止とする場合.....579
15. 5　簡易SPI（CSI00）通信の動作.....580
15. 5. 1　マスタ送信.....582
15. 5. 2　マスタ受信.....590
15. 5. 3　マスタ送受信.....598
15. 5. 4　スレーブ送信.....606
15. 5. 5　スレーブ受信.....614
15. 5. 6　スレーブ送受信.....620
15. 5. 7　SNOOZEモード機能.....628
15. 5. 8　転送クロック周波数の算出.....632
15. 5. 9　簡易SPI（CSI00）通信時におけるエラー発生時の処理手順.....634
15. 6　UART（UART0, UART1）通信の動作.....635
15. 6. 1　UART送信.....637
15. 6. 2　UART受信.....646
15. 6. 3　SNOOZEモード機能.....653
15. 6. 4　ボー・レートの算出.....661

15. 6. 5　UART（UART0, UART1）通信時におけるエラー発生時の処理手順 665
15. 7　LIN通信の動作 666
15. 7. 1　LIN送信 666
15. 7. 2　LIN受信 669
15. 8　DMX512通信の動作 673

第16章　シリアル・アレイ・ユニット4（DALI/UART4） 674

16. 1　シリアル・アレイ・ユニット4（DALI/UART4）の機能 674
16. 2　シリアル・アレイ・ユニット4（DALI/UART4）の構成 676
16. 2. 1　シフト・レジスタ 678
16. 2. 2　シリアル・データ・レジスタ4n（SDR4n）の下位9ビット 679
16. 2. 3　DALI送信データ・レジスタH4, L4（SDTH4, SDTL4） 680
16. 2. 4　DALI受信データ・レジスタH4, L4（SDCH4, SDCL4） 681
16. 3　シリアル・アレイ・ユニット4（DALI/UART4）を制御するレジスタ 682
16. 3. 1　周辺イネーブル・レジスタ1（PER1） 683
16. 3. 2　シリアル・クロック選択レジスタ4（SPS4） 684
16. 3. 3　シリアル・モード・レジスタ4n（SMR4n） 686
16. 3. 4　シリアル通信動作設定レジスタ4n（SCR4n） 687
16. 3. 5　シリアル・データ・レジスタ4n（SDR4n）の上位7ビット 689
16. 3. 6　シリアル・ステータス・レジスタ4n（SSR4n） 690
16. 3. 7　シリアル・フラグ・クリア・トリガ・レジスタ4n（SIR4n） 693
16. 3. 8　シリアル・チャネル開始レジスタ4（SS4） 694
16. 3. 9　シリアル・チャネル停止レジスタ4（ST4） 695
16. 3. 10　シリアル・チャネル許可ステータス・レジスタ4（SE4） 696
16. 3. 11　シリアル出力許可レジスタ4（SOE4） 697
16. 3. 12　シリアル出力レジスタ4（SO4） 698
16. 3. 13　シリアル出力レベル・レジスタ4（SOL4） 699
16. 3. 14　シリアル・スタンバイ・コントロール・レジスタ4（SSC4） 700
16. 3. 15　シリアル・オプション・コントロール・レジスタ4（SOC4） 701
16. 3. 16　1線UART制御レジスタ（SUCTL） 701
16. 3. 17　ノイズ・フィルタ許可レジスタ3（NFEN3） 702
16. 3. 18　ポート出力モード・レジスタ1, 20（POM1, POM20） 702
16. 3. 19　ポート・モード・レジスタ1, 20（PM1, PM20） 703
16. 3. 20　周辺I/Oリダイレクション・レジスタ（PIOR1） 704
16. 4　動作停止モード 705
16. 4. 1　ユニット単位で動作停止とする場合 705
16. 4. 2　チャネルごとに動作停止とする場合 706
16. 5　UART4の通信動作 707
16. 5. 1　UART送信 707
16. 5. 2　UART受信 717
16. 5. 3　SNOOZEモード機能 724
16. 6　DALIモード 732
16. 6. 1　DALI送信 735
16. 6. 2　DALI受信 742
16. 7　スタンバイ機能（DALI/UART4受信のみ） 749
16. 8　1線データ・モード 751
16. 9　ボー・レートの算出 752
16. 10　DALI/UART4通信時におけるエラー発生時の処理手順 757
16. 11　DMX512通信の動作 758

第17章　シリアル・インタフェースIICA 763

17. 1　シリアル・インタフェースIICAの機能 763
17. 2　シリアル・インタフェースIICAの構成 766
17. 3　シリアル・インタフェースIICAを制御するレジスタ 769
17. 3. 1　周辺イネーブル・レジスタ0（PER0） 770
17. 3. 2　IICAコントロール・レジスタ00（IICCTL00） 771
17. 3. 3　IICAステータス・レジスタ0（IICS0） 776
17. 3. 4　IICAフラグ・レジスタ0（IICF0） 778
17. 3. 5　IICAコントロール・レジスタ01（IICCTL01） 780
17. 3. 6　IICAロウ・レベル幅設定レジスタ0（IICWL0） 782
17. 3. 7　IICAハイ・レベル幅設定レジスタ0（IICWH0） 782
17. 3. 8　ポート・モード・レジスタ1（PM1） 783
17. 3. 9　ポート出力モード・レジスタ（POM1） 783
17. 4　I²Cバス・モードの機能 784
17. 4. 1　端子構成 784
17. 4. 2　IICWL0, IICWH0レジスタによる転送クロック設定方法 785
17. 5　I²Cバスの定義および制御方法 786
17. 5. 1　スタート・コンディション 786
17. 5. 2　アドレス 787
17. 5. 3　転送方向指定 787
17. 5. 4　アクノリッジ（ACK） 788
17. 5. 5　ストップ・コンディション 789
17. 5. 6　クロック・ストレッチ 790
17. 5. 7　クロック・ストレッチ解除方法 792
17. 5. 8　割り込み要求（INTIICA0）発生タイミングおよびクロック・ストレッチ制御 793
17. 5. 9　アドレスの一致検出方法 794
17. 5. 10　エラーの検出 794
17. 5. 11　拡張コード 795
17. 5. 12　アービトレーション 796
17. 5. 13　ウエイク・アップ機能 798
17. 5. 14　通信予約 801
17. 5. 15　その他の注意事項 805
17. 5. 16　通信動作 806
17. 5. 17　I²C割り込み要求（INTIICA0）の発生タイミング 814
17. 6　タイミング・チャート 835

第18章　乗除積和算器 850

18. 1　乗除積和算器の機能 850
18. 2　乗除積和算器の構成 850
18. 2. 1　乗除算データ・レジスタA（MDAH, MDAL） 852
18. 2. 2　乗除算データ・レジスタB（MDBL, MDBH） 853
18. 2. 3　乗除算データ・レジスタC（MDCL, MDCH） 854
18. 3　乗除積和算器を制御するレジスタ 856
18. 3. 1　乗除算コントロール・レジスタ0（MDUC） 856
18. 4　乗除積和算器の動作 858
18. 4. 1　乗算（符号なし）動作 858
18. 4. 2　乗算（符号付）動作 859
18. 4. 3　積和演算（符号なし）動作 860
18. 4. 4　積和演算（符号付）動作 862

18. 4. 5　除算動作 864

第19章　DMAコントローラ 866

19. 1　DMAコントローラの機能 866
19. 2　DMAコントローラの構成 867
19. 2. 1　DMA SFRアドレス・レジスタn（DSAn） 867
19. 2. 2　DMA RAMアドレス・レジスタn（DRAn） 868
19. 2. 3　DMAバイト・カウント・レジスタn（DBCn） 869
19. 3　DMAコントローラを制御するレジスタ 870
19. 3. 1　DMAモード・コントロール・レジスタn（DMCn） 871
19. 3. 2　DMA動作コントロール・レジスタn（DRCn） 873
19. 4　DMAコントローラの動作 874
19. 4. 1　動作手順 874
19. 4. 2　転送モード 875
19. 4. 3　DMA転送の終了 875
19. 5　DMAコントローラの設定例 876
19. 5. 1　簡易SPI(CSI)連続送信 876
19. 5. 2　A/D変換結果の連続取り込み 878
19. 5. 3　UART連続受信＋ACK送信 880
19. 5. 4　DWAITnビットによるDMA転送保留 882
19. 5. 5　ソフトウエアでの強制終了 883
19. 6　DMAコントローラの注意事項 885

第20章　割り込み機能 888

20. 1　割り込み機能の種類 888
20. 2　割り込み要因と構成 888
20. 3　割り込み機能を制御するレジスタ 894
20. 3. 1　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H） 898
20. 3. 2　割り込みマスク・フラグ・レジスタ
（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H） 900
20. 3. 3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H,
PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H） 902
20. 3. 4　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1, EGP2），
外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1, EGN2） 904
20. 3. 5　コンパレータ立ち上がりエッジ許可レジスタ0（CMPEGP0），
コンパレータ立ち下がりエッジ許可レジスタ0（CMPEGN0） 906
20. 3. 6　割り込みマスク・フラグ・レジスタ0（INTMK0） 907
20. 3. 7　割り込みモニタ・フラグ・レジスタ0（INTMF0） 908
20. 3. 8　プログラム・ステータス・ワード（PSW） 909
20. 4　割り込み処理動作 910
20. 4. 1　マスカブル割り込み要求の受け付け動作 910
20. 4. 2　ソフトウエア割り込み要求の受け付け動作 913
20. 4. 3　多重割り込み処理 913
20. 4. 4　割り込み要求の保留 917

第21章　スタンバイ機能 918

21. 1　スタンバイ機能 918
21. 2　スタンバイ機能を制御するレジスタ 919
21. 3　スタンバイ機能の動作 919

21. 3. 1　HALTモード 919
21. 3. 2　STOPモード 924
21. 3. 3　SNOOZEモード 929

第22章　リセット機能 932

22. 1　リセット動作のタイミング 934
22. 2　リセット期間中の動作状態 936
22. 3　リセット要因を確認するレジスタ 938
22. 3. 1　リセット・コントロール・フラグ・レジスタ（RESF） 938

第23章　パワーオン・リセット回路 941

23. 1　パワーオン・リセット回路の機能 941
23. 2　パワーオン・リセット回路の構成 942
23. 3　パワーオン・リセット回路の動作 942

第24章　電圧検出回路 946

24. 1　電圧検出回路の機能 946
24. 2　電圧検出回路の構成 948
24. 3　電圧検出回路を制御するレジスタ 948
24. 3. 1　電圧検出レジスタ（LVIM） 949
24. 3. 2　電圧検出レベル・レジスタ（LVIS） 950
24. 4　電圧検出回路の動作 953
24. 4. 1　リセット・モードとして使用する場合の設定 953
24. 4. 2　割り込みモードとして使用する場合の設定 955
24. 4. 3　割り込み＆リセット・モードとして使用する場合の設定 957
24. 5　電圧検出回路の注意事項 963

第25章　安全機能 965

25. 1　安全機能の概要 965
25. 2　安全機能で使用するレジスタ 966
25. 3　安全機能の動作 966
25. 3. 1　フラッシュ・メモリCRC演算機能（高速CRC） 966
25. 3. 1. 1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL） 967
25. 3. 1. 2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL） 967
25. 3. 2　CRC演算機能（汎用CRC） 969
25. 3. 2. 1　CRC入力レジスタ（CRCIN） 969
25. 3. 2. 2　CRCデータ・レジスタ（CRCD） 970
25. 3. 3　RAMパリティ・エラー検出機能 971
25. 3. 3. 1　RAMパリティ・エラー制御レジスタ（RPECTL） 971
25. 3. 4　RAMガード機能 972
25. 3. 4. 1　不正メモリ・アクセス検出制御レジスタ0（IAWCTL0） 972
25. 3. 5　SFRガード機能 973
25. 3. 5. 1　不正メモリ・アクセス検出制御レジスタ0, 1（IAWCTL0, IAWCTL1） 973
25. 3. 6　不正メモリ・アクセス検出機能 975
25. 3. 6. 1　不正メモリ・アクセス検出制御レジスタ0（IAWCTL0） 976

25. 3. 7　周波数検出機能 977
25. 3. 7. 1　タイマ入力選択レジスタ0（TIS0） 978
25. 3. 8　A/Dテスト機能 979
25. 3. 8. 1　A/Dテスト・レジスタ（ADTES） 981
25. 3. 8. 2　アナログ入力チャネル指定レジスタ（ADS） 982

第26章　レギュレータ 984

26. 1　レギュレータの概要 984

第27章　オプション・バイト 985

27. 1　オプション・バイトの機能 985
27. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H） 985
27. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H） 986
27. 2　ユーザ・オプション・バイトのフォーマット 987
27. 3　オンチップ・デバッグ・オプション・バイトのフォーマット 992
27. 4　オプション・バイトの設定 993

第28章　フラッシュ・メモリ 994

28. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング 996
28. 1. 1　プログラミング環境 997
28. 1. 2　通信方式 997
28. 2　オンボード上の端子処理 999
28. 2. 1　P40/TOOL0端子 999
28. 2. 2　$\overline{\text{RESET}}$端子 999
28. 2. 3　ポート端子 1000
28. 2. 4　REGC端子 1000
28. 2. 5　X1, X2端子 1000
28. 2. 6　電　　源 1000
28. 3　シリアル・プログラミング方法 1001
28. 3. 1　シリアル・プログラミング手順 1001
28. 3. 2　フラッシュ・メモリ・プログラミング・モード 1002
28. 3. 3　通信方式 1003
28. 3. 4　通信コマンド 1004
28. 4　PG-FP5使用時の各コマンド処理時間（参考値） 1006
28. 5　セルフ・プログラミング 1007
28. 5. 1　セルフ・プログラミング手順 1008
28. 5. 2　ブート・スワップ機能 1009
28. 5. 3　フラッシュ・シールド・ウインドウ機能 1011
28. 6　セキュリティ設定 1012
28. 7　データ・フラッシュ 1014
28. 7. 1　データ・フラッシュの概要 1014
28. 7. 2　データ・フラッシュを制御するレジスタ 1015
28. 7. 2. 1　データ・フラッシュ・コントロール・レジスタ（DFLCTL） 1015
28. 7. 3　データ・フラッシュへのアクセス手順 1016

第29章　オンチップ・デバッグ機能 1017

29. 1　E1オンチップデバッギングエミュレータとの接続 1017
29. 2　オンチップ・デバッグ・セキュリティID 1018
29. 3　ユーザ資源の確保 1018

第30章　10進補正（BCD）回路 1020

30. 1　10進補正回路の機能 1020
30. 2　10進補正回路で使用するレジスタ 1020
30. 2. 1　BCD補正結果レジスタ（BCDADJ） 1020
30. 3　10進補正回路の動作 1021

第31章　命令セットの概要 1023

31. 1　凡　　例 1024
31. 1. 1　オペランドの表現形式と記述方法 1024
31. 1. 2　オペレーション欄の説明 1025
31. 1. 3　フラグ動作欄の説明 1026
31. 1. 4　PREFIX命令 1026
31. 1. 5　動作クロック数について 1027
31. 2　命令の組み合わせによるハザード 1028
31. 3　オペレーション一覧 1029

第32章　電気的特性（G：産業用途，T_A = －40～＋105℃対応品） 1046

32. 1　絶対最大定格 1047
32. 2　発振回路特性 1049
32. 2. 1　X1, XT1発振回路特性 1049
32. 2. 2　オンチップ・オシレータ特性 1050
32. 2. 3　周波数逓倍回路（PLL）特性 1050
32. 3　DC特性 1051
32. 3. 1　端子特性 1051
32. 3. 2　電源電流特性 1056
32. 4　AC特性 1062
32. 5　周辺機能特性 1065
32. 5. 1　シリアル・アレイ・ユニット0, 4（UART0, UART1, CSI00, DALI/UART4） 1065
32. 5. 2　シリアル・インタフェースIICA 1079
32. 6　アナログ特性 1081
32. 6. 1　A/Dコンバータ特性 1081
32. 6. 2　温度センサ／内部基準電圧特性 1085
32. 6. 3　プログラマブル・ゲイン・アンプ 1085
32. 6. 4　コンパレータ 1086
32. 6. 5　POR回路特性 1087
32. 6. 6　LVD回路特性 1087
32. 6. 7　電源電圧立ち上がり傾き特性 1088
32. 7　RAMデータ保持特性 1088
32. 8　フラッシュ・メモリ・プログラミング特性 1089
32. 9　専用フラッシュ・メモリ・プログラマ通信（UART） 1089
32. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング 1090

第33章　電気的特性（M：産業用途，T_A = －40～＋125℃対応品）.....1091

33. 1　絶対最大定格.....1092
33. 2　発振回路特性.....1094
33. 2. 1　X1, XT1発振回路特性.....1094
33. 2. 2　オンチップ・オシレータ特性.....1095
33. 2. 3　周波数逓倍回路（PLL）特性.....1095
33. 3　DC特性.....1096
33. 3. 1　端子特性.....1096
33. 3. 2　電源電流特性.....1101
33. 4　AC特性.....1107
33. 5　周辺機能特性.....1110
33. 5. 1　シリアル・アレイ・ユニット0, 4（UART0, UART1, CSI00, DALI/UART4）.....1110
33. 5. 2　シリアル・インタフェースIICA.....1122
33. 6　アナログ特性.....1124
33. 6. 1　A/Dコンバータ特性.....1124
33. 6. 2　温度センサ／内部基準電圧特性.....1128
33. 6. 3　プログラマブル・ゲイン・アンプ.....1128
33. 6. 4　コンパレータ.....1129
33. 6. 5　POR回路特性.....1130
33. 6. 6　LVD回路特性.....1130
33. 6. 7　電源電圧立ち上がり傾き特性.....1131
33. 7　RAMデータ保持特性.....1131
33. 8　フラッシュ・メモリ・プログラミング特性.....1132
33. 9　専用フラッシュ・メモリ・プログラマ通信（UART）.....1132
33. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング.....1133

第34章　外 形 図.....1134

34. 1　20ピン製品.....1134
34. 2　30ピン製品.....1135
34. 3　38ピン製品.....1136

第35章　ウエイトに関する注意事項.....1137

35. 1　ウエイトに関する注意事項.....1137
35. 2　ウエイトが発生する周辺ハードウエア.....1137

付録A　改版履歴.....1139

A. 1　本版で改訂された主な箇所.....1139
A. 2　前版までの改版履歴.....1141

第1章　概　　説

1.1　特　　徴

○動作クロック
・1～32 MHz（高速オンチップ・オシレータ使用時）
・32.768 kHz（サブシステム・クロック使用時）
○汎用レジスタ：（8ビット・レジスタ×8）×4バンク
○ROM：32/64 KB，RAM：2/4 KB，データフラッシュ：4 KB
○PWM出力用16ビット・タイマKB0-KB2, KC0
・16ビット・タイマKB0-KB2：最大6出力（3 ch×2）
・ソフト・スタート機能，ディザリング機能，強制出力停止（コンパレータ／外部割り込みによる）機能，PFC制御用インタリーブ機能対応
・平均分解能 1 ns出力可能，64 MHz（PLL使用）＋ディザリング・オプション
・16ビット・タイマKC0（3 ch）
16ビット・タイマKB0-KB2のゲーティングが可能
○コンパレータ（4～6チャネル）／プログラマブル・ゲイン・アンプ（1チャネル）内蔵
○フラッシュ・メモリ
ブロック消去，書き込み禁止（セキュリティ機能）
バックグランド・オペレーション（BGO）：データ・フラッシュ書き換え中，コード・フラッシュ内の命令実行
○セルフ・プログラミング機能対応（ブート・スワップ／フラッシュ・シールド・ウインドウ機能あり）
○オンチップ・デバッグ機能内蔵
○パワーオン・リセット（POR）回路，電圧検出（LVD）回路内蔵
○乗除・積和演算器内蔵
・16ビット×16ビット ＝32ビット（符号付／符号なし）
・32ビット÷32ビット ＝32ビット（符号なし）
・16ビット×16ビット＋32ビット ＝32ビット（符号付／符号なし）
○10進補正（BCD）回路内蔵
○I/Oポート：13～29本
○タイマ
・タイマ・アレイ・ユニット　：16ビット・タイマ×8チャネル
・ウォッチドッグ・タイマ　：1チャネル
・リアルタイム・クロック　：1チャネル
・12ビット・インターバル・タイマ　：1チャネル
○シリアル・インタフェース
・簡易SPI(CSI注), UART, I^2C（SM／PMバス）
UARTは照明通信用DALIおよびDMX512に対応しています。
○8/10ビット分解能A/Dコンバータ（V_{DD} = 2.7～5.5 V）：6～11チャネル
○電源電圧：V_{DD} = 2.7～5.5 V
○動作周囲温度：T_A = －40～＋105 ℃，T_A = －40～＋125 ℃

★　**注**　一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

備考　製品により，搭載している機能が異なります。1.6　機能概要を参照してください。

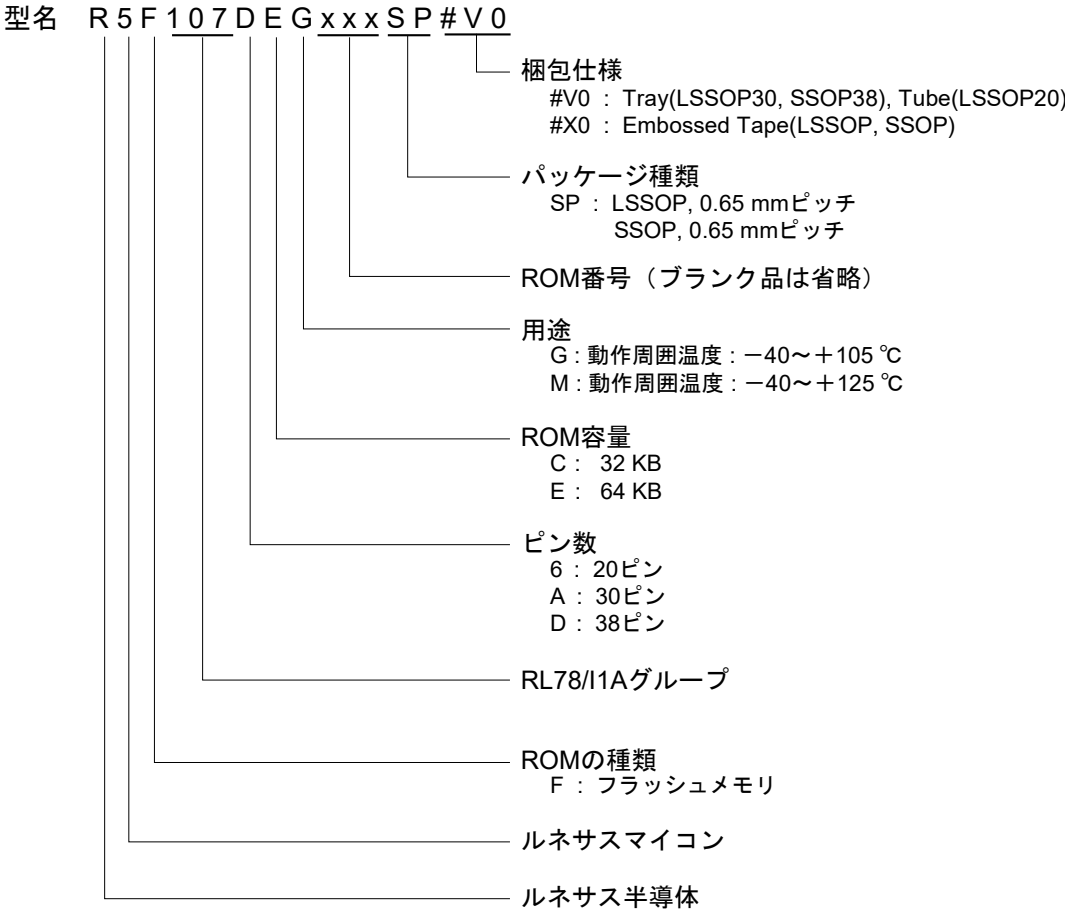
○ROM, RAM容量

フラッシュ ROM	データ・フラッシュ	RAM	RL78/I1A		
			20ピン	30ピン	38ピン
64 KB	4 KB	4 KB注	−	R5F107AE	R5F107DE
32 KB	4 KB	2 KB	R5F1076C	R5F107AC	−

注 セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は，約3 KB（詳細は，第3章参照）

1.2　型名一覧

図1－1　RL78/I1Aの型名とメモリ・サイズ，パッケージ



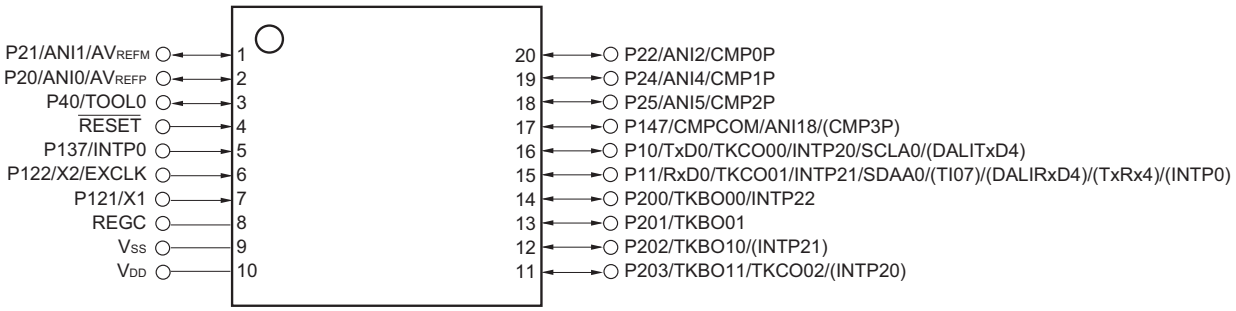
ピン数	パッケージ	動作周囲温度	オーダ名称
20ピン	20ピン・プラスチックLSSOP（4.4×6.5）	T_A = －40～＋105 ℃	R5F1076CGSP#V0, R5F1076CGSP#X0
		T_A = －40～＋125 ℃	R5F1076CMSP#V0, R5F1076CMSP#X0
30ピン	30ピン・プラスチックLSSOP（7.62 mm（300））	T_A = －40～＋105 ℃	R5F107ACGSP#V0, R5F107AEGSP#V0, R5F107ACGSP#X0, R5F107AEGSP#X0
		T_A = －40～＋125 ℃	R5F107ACMSP#V0, R5F107AEMSP#V0, R5F107ACMSP#X0, R5F107AEMSP#X0
38ピン	38ピン・プラスチックSSOP（7.62 mm（300））	T_A = －40～＋105 ℃	R5F107DEGSP#V0, R5F107DEGSP#X0
		T_A = －40～＋125 ℃	R5F107DEMSP#V0, R5F107DEMSP#X0

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

1.3　端子接続図（Top View）

1.3.1　20ピン製品

・20ピン・プラスチックLSSOP（4.4×6.5）



注意　REGCはコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

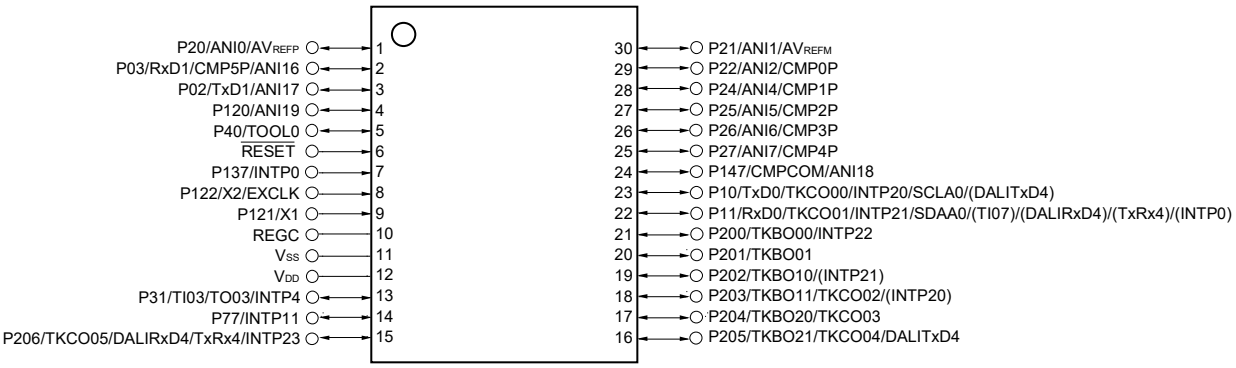
備考1. 端子名称は，1.4　端子名称を参照してください。

2. 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR1）または，入力切り替え制御レジスタ（ISC）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット，図15－20　入力切り替え制御レジスタ（ISC）のフォーマットを参照してください。

3. 兼用機能のCMP3Pは，コンパレータ入力切り替え制御レジスタ（CMPSEL）のCMPSEL0ビットを設定することにより，P147に割り当てることが可能です。

1. 3. 2　30ピン製品

・30ピン・プラスチックLSSOP（7.62 mm（300））



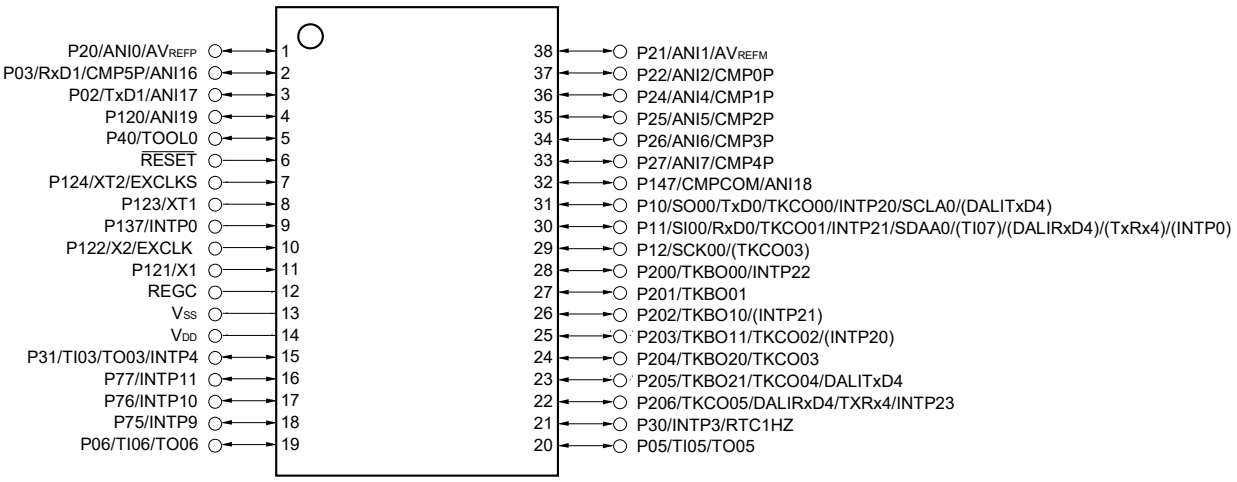
注意　REGCはコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

備考1. 端子名称は，1. 4　端子名称を参照してください。

2. 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR1）または，入力切り替え制御レジスタ（ISC）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット，図15－20　入力切り替え制御レジスタ（ISC）のフォーマットを参照してください。

1. 3. 3　38ピン製品

・38ピン・プラスチックSSOP（7.62 mm（300））



注意　REGCはコンデンサ（0.47～1 μF）を介し，Vssに接続してください。

備考1.　端子名称は，1. 4　端子名称を参照してください。

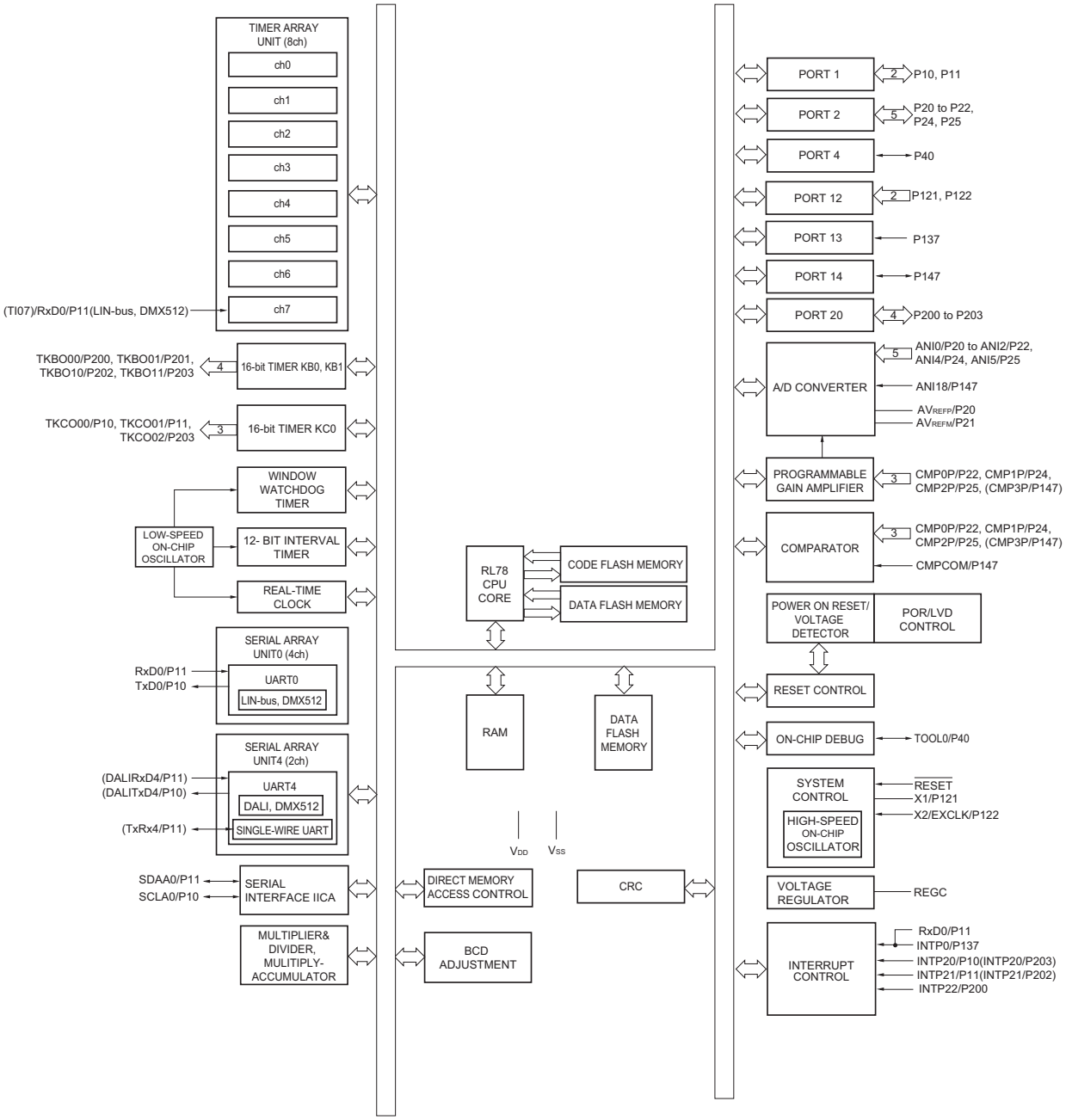
2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR1）または，入力切り替え制御レジスタ（ISC）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット，図15－20　入力切り替え制御レジスタ（ISC）のフォーマットを参照してください。

1.4 端子名称

ANI0-ANI2, ANI4-ANI7, ANI16-ANI19	: Analog Input
AV_{REFM}	: Analog Reference Voltage Minus
AV_{REFP}	: Analog Reference Voltage Plus
CMP0P-CMP5P	: Comparator Analog Input
CMPCOM	: Comparator External Reference Voltage
EXCLK	: External Clock Input (Main System Clock)
EXCLKS	: External Clock Input (Subsystem Clock)
INTP0, INTP3, INTP4, INTP9, INTP10, INTP11, INTP20-INTP23	: Interrupt Request From Peripheral
P02, P03, P05, P06	: Port 0
P10-P12	: Port 1
P20-P22, P24-P27	: Port 2
P30, P31	: Port 3
P40	: Port 4
P75-P77	: Port 7
P120-P124	: Port 12
P137	: Port 13
P147	: Port 14
P200-P206	: Port 20
REGC	: Regulator Capacitance
$\overline{\text{RESET}}$	: Reset
RTC1HZ	: Real-time Clock Correction Clock (1 Hz) Output
RxD0, RxD1, DALIRxD4	: Receive Data
SCK00	: Serial Clock Input/Output
SCLA0	: Serial Clock Input/Output
SDAA0	: Serial Data Input/Output
SI00	: Serial Data Input
SO00	: Serial Data Output
TI03, TI05, TI06, TI07	: Timer Input
TO03, TO05, TO06	: Timer Output
TKBO00, TKBO01-TKBO20, TKBO21, TKCO00-TKCO05	
TOOL0	: Data Input/Output for Tool
TxRx4	: Serial Data Input/Output for Single Wired UART
TxD0, TxD1, DALITxD4	: Transmit Data
V_{DD}	: Power Supply
V_{SS}	: Ground
X1, X2	: Crystal Oscillator (Main System Clock)
XT1, XT2	: Crystal Oscillator (Subsystem Clock)

1.5　ブロック図

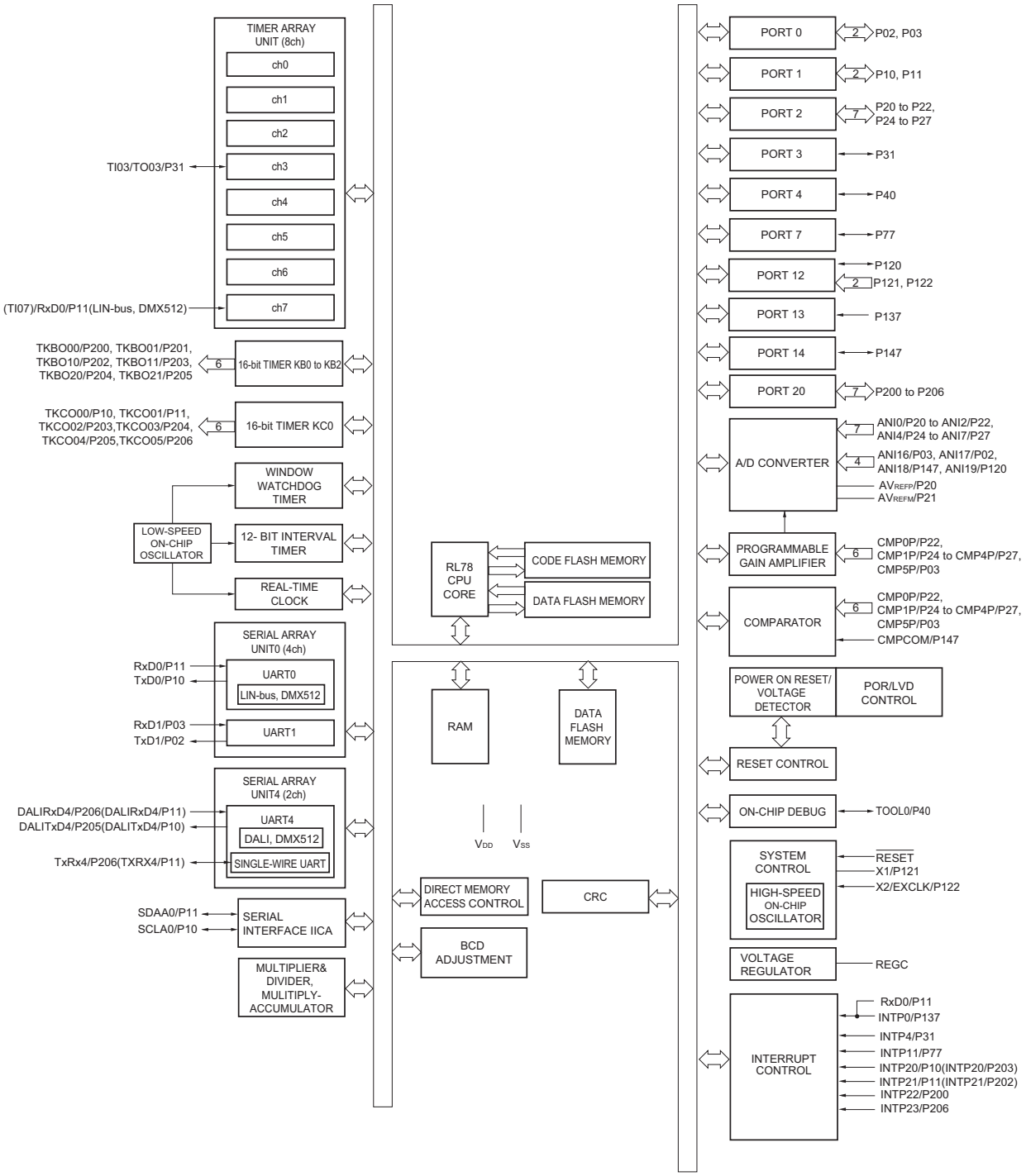
1.5.1　20ピン製品



備考1.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR1）または，入力切り替え制御レジスタ（ISC）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット，図15－20　入力切り替え制御レジスタ（ISC）のフォーマットを参照してください。

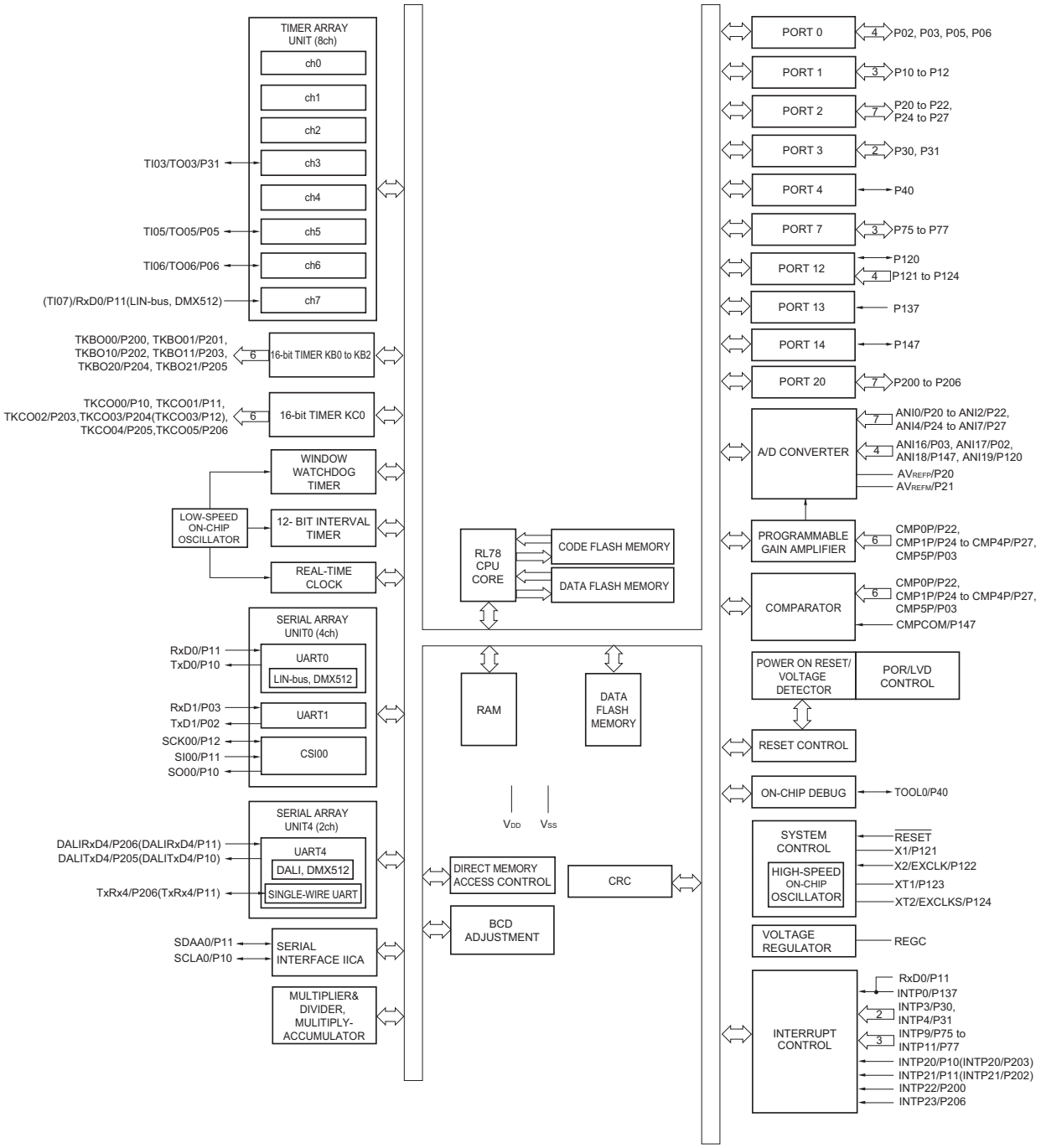
2.　兼用機能のCMP3Pは，コンパレータ入力切り替え制御レジスタ（CMPSEL）のCMPSEL0ビットを設定することにより，P147に割り当てることが可能です。

1.5.2　30ピン製品



備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR1）または，入力切り替え制御レジスタ（ISC）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット，図15－20　入力切り替え制御レジスタ（ISC）のフォーマットを参照してください。

1.5.3　38ピン製品



備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR1）または，入力切り替え制御レジスタ（ISC）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット，図15－20　入力切り替え制御レジスタ（ISC）のフォーマットを参照してください。

1.6　機能概要

注意　周辺I/Oリダイレクション・レジスタ（PIOR1）を00Hに設定時の機能概要です。

（1/3）

項　目		20ピン	30ピン		38ピン
		R5F1076C	R5F107AC	R5F107AE	R5F107DE
コード・フラッシュ・メモリ		32 KB	32 KB	64 KB	64 KB
データ・フラッシュ・メモリ		4 KB	4 KB	4 KB	4 KB
RAM		2 KB	2 KB	4 KB注	4 KB注
アドレス空間		1 Mバイト			
メイン・システム・クロック	高速システム・クロック	X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） HS（高速メイン）モード：1～20 MHz（V_{DD} = 2.7～5.5 V）， LS（低速メイン）モード：1～8 MHz（V_{DD} = 2.7～5.5 V）			
	高速オンチップ・オシレータ・クロック	HS（高速メイン）モード：1～32 MHz（V_{DD} = 2.7～5.5 V）， LS（低速メイン）モード：1～8 MHz（V_{DD} = 2.7～5.5 V）			
16ビット・タイマKB0-KB2, KC0用クロック		64 MHz（TYP.）			
サブシステム・クロック（38ピン製品のみ）		XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS）　32.768 kHz			
低速オンチップ・オシレータ・クロック		15 kHz（TYP.）			
汎用レジスタ		（8ビット・レジスタ×8）×4バンク			
最小命令実行時間		0.03125 μs（高速オンチップ・オシレータ・クロック：f_{IH} = 32 MHz動作時）			
		0.05 μs（高速システム・クロック：f_{MX} = 20 MHz動作時）			
		30.5 μs（サブシステム・クロック：f_{SUB} = 32.768 kHz動作時）（38ピン製品のみ）			
命令セット		・8ビット演算，16ビット演算 ・乗算（8ビット×8ビット） ・ビット操作（セット，リセット，テスト，ブール演算）など			
I/Oポート	合計	16	26		34
	CMOS入出力	13	23		29
	CMOS入力	3	3		5
	CMOS出力	－	－		－

注　セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は約3 Kバイト（詳細は，第3章参照）

（2/3）

項　　目		20ピン	30ピン	38ピン
		R5F1076C	R5F107AC, R5F107AE	R5F107DE
タイマ	16ビット・タイマTAU	8チャネル （タイマ出力なし）	8チャネル （タイマ出力1本，PWM出力：1本[注1]）	8チャネル （タイマ出力3本，PWM出力：3本[注1]）
	16ビット・タイマKB	2チャネル （PWM出力：4本）	3チャネル（PWM出力：6本）	
	16ビット・タイマKC	1チャネル （PWM出力：3本）	1チャネル（PWM出力：6本）	
	ウォッチドッグ・タイマ	1チャネル		
	リアルタイム・クロック（RTC）	1チャネル[注2, 3]		
	12ビット・インターバル・タイマ（IT）	1チャネル		
	RTC出力	－		1本 1 Hz（サブシステム・クロック：f_{SUB} = 32.768 kHz）
8/10ビット分解能A/Dコンバータ		6チャネル	11チャネル	11チャネル
コンパレータ		4チャネル	6チャネル	6チャネル
プログラマブル・ゲイン・アンプ		1チャネル		
	入力[注4]	4チャネル	6チャネル	6チャネル
シリアル・インタフェース		【20ピン製品】 ・UART（LIN-bus, DMX512対応）：1チャネル ・UART（DALI通信対応）：1チャネル 【30製品】 ・UART（LIN-bus, DMX512対応）：1チャネル ・UART：1チャネル ・UART（DALI通信対応）：1チャネル 【38ピン製品】 ・簡易SPI(CSI)：1チャネル／UART（LIN-bus, DMX512対応）：1チャネル ・UART：1チャネル ・UART（DALI通信対応）：1チャネル		
	I²Cバス	1チャネル	1チャネル	1チャネル

注1. 使用チャネルの設定（マスタとスレーブの数）によって，PWM出力数は変わります（6. 9. 3 多重PWM出力機能としての動作参照）

2. 38ピン製品のみ，動作クロックにサブシステム・クロックを選択可能。

3. 20ピン，30ピン製品は，定周期割り込み機能のみ使用可能。

4. 入力は，アナログ入力端子（ANI端子）と兼用。

（3/3）

項　　目		20ピン	30ピン	38ピン
		R5F1076C	R5F107AC, R5F107AE	R5F107DE
乗除算・積和演算器		乗算　　：16ビット×16ビット ＝32ビット（符号付／符号なし） 除算　　：32ビット÷32ビット ＝32ビット（符号なし） 積和演算　：16ビット×16ビット＋32ビット ＝32ビット（符号付／符号なし）		
DMAコントローラ		2チャネル		
ベクタ割り込み要因	内部	27	30	30
	外部	7	10	11
リセット		・$\overline{\text{RESET}}$端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・リセットによる内部リセット ・電圧検出回路による内部リセット ・不正命令の実行による内部リセット注 ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット		
パワーオン・リセット回路		・パワーオン・リセット　：1.51 V（TYP.） ・パワーダウン・リセット：1.50 V（TYP.）		
電圧検出回路		・立ち上がり：2.81 V～4.06 V（6段階） ・立ち下がり：2.75 V～3.98 V（6段階）		
オンチップ・デバッグ機能		あり		
電源電圧		V_{DD} = 2.7～5.5 V		
動作周囲温度		T_A = －40～＋105 ℃ (G：産業用途)，T_A = －40～＋125 ℃ (M：産業用途)		

注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章　端子機能

2. 1　ポート機能

端子の入出力バッファ電源は，V_{DD}によって供給されます。

各ポートで設定した入出力やバッファ，プルアップ抵抗は，兼用機能に対しても有効です。

2. 1. 1　20ピン製品

（1/2）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P10	8-1-2	入出力	入力ポート	TxD0/TKCO00/INTP20/SCLA0/(DALITxD4)	ポート1。 2ビット入出力ポート。 P10, P11の入力はTTL入力バッファに設定可能。 P10，P11の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P11				RxD0/TKCO01/INTP21/SDAA0/(TI07)/(DALIRxD4)/(TxRx4)/(INTP0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 5ビット入出力ポート。 アナログ入力に設定可能[注1]。 1ビット単位で入力／出力の指定可能。
P21				ANI1/AV_{REFM}	
P22	4-18-1			ANI2/CMP0P	
P24				ANI4/CMP1P	
P25				ANI5/CMP2P	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P121	2-2-1	入力	入力ポート	X1	ポート12。 2ビット入力専用ポート。
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-1	入出力	入力ポート	ANI18/CMPCOM/(CMP3P)	ポート14。 1ビット入出力ポート。 アナログ入力に設定可能[注2]。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P200	7-1-6	入出力	入力ポート	TKBO00/INTP22	ポート20。 4ビット入出力ポート。 P200-203の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P201				TKBO01	
P202				TKBO10/(INTP21)	
P203				TKBO11/TKCO02/(INTP20)	

注1. 各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

2. 各端子を入力として使用する場合，ポート・モード・コントロール・レジスタ×（PMC×）でデジタルかアナログかを設定してください（1ビット単位で設定可能）

備考 上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR1）または，入力切り替え制御レジスタ（ISC）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット，図15－20　入力切り替え制御レジスタ（ISC）のフォーマットを参照してください。

（2/2）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してVDDに接続してください。

2.1.2　30ピン製品

（1/2）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P02	7-3-2	入出力	アナログ入力	TxD1/ANI17	ポート0。 2ビット入出力ポート。 P03の入力はTTL入力バッファに設定可能。 P02の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 P02, P03はアナログ入力に設定可能注1。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P03	8-18-1			RxD1/CMP5P/ANI16	
P10	8-1-2	入出力	入力ポート	TxD0/TKCO00/INTP20/SCLA0/(DALITxD4)	ポート1。 2ビット入出力ポート。 P10, P11の入力はTTL入力バッファに設定可能。 P10，P11の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P11				RxD0/TKCO01/INTP21/SDAA0/(TI07)/(DALIRxD4)/(TxRx4)/(INTP0)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 7ビット入出力ポート。 アナログ入力に設定可能注2 1ビット単位で入力／出力の指定可能。
P21				ANI1/AV_{REFM}	
P22	4-18-1			ANI2/CMP0P	
P24				ANI4/CMP1P	
P25				ANI5/CMP2P	
P26				ANI6/CMP3P	
P27				ANI7/CMP4P	
P31	7-1-1	入出力	入力ポート	TI03/TO03/INTP4	ポート3。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。

注1.　各端子を入力として使用する場合，ポート・モード・コントロール・レジスタ×（PMC×）でデジタルかアナログかを設定してください（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR1）または，入力切り替え制御レジスタ（ISC）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット，図15－20　入力切り替え制御レジスタ（ISC）のフォーマットを参照してください。

（2/2）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P77	7-1-1	入出力	入力ポート	INTP11	ポート7。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P120	7-3-1	入出力	入力ポート	ANI19	ポート12。 1ビット入出力ポートと2ビット入力専用ポート。 P120はアナログ入力に設定可能注。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P121	2-2-1	入力		X1	
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-1	入出力	入力ポート	ANI18/CMPCOM	ポート14。 1ビット入出力ポート。 アナログ入力に設定可能注。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P200	7-1-6	入出力	入力ポート	TKBO00/INTP22	ポート20。 7ビット入出力ポート。 P200-P206の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P201				TKBO01	
P202				TKBO10/(INTP21)	
P203				TKBO11/TKCO02/(INTP20)	
P204				TKBO20/TKCO03	
P205				TKBO21/TKCO04/DALITxD4	
P206				TKCO05/DALIRxD4/TxRx4/INTP23	
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子を入力として使用する場合，ポート・モード・コントロール・レジスタ×（PMC×）でデジタルかアナログかを設定してください（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR1）または，入力切り替え制御レジスタ（ISC）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット，図15－20　入力切り替え制御レジスタ（ISC）のフォーマットを参照してください。

2.1.3　38ピン製品

（1/2）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P02	7-3-2	入出力	アナログ入力	TxD1/ANI17	ポート0。 4ビット入出力ポート。 P03の入力はTTL入力バッファに設定可能。 P02の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 P02, P03はアナログ入力に設定可能注1。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P03	8-18-1			RxD1/CMP5P/ANI16	
P05	7-1-1		入力ポート	TI05/TO05	
P06				TI06/TO06	
P10	8-1-2	入出力	入力ポート	SO00/TxD0/TKCO00/INTP20/SCLA0/(DALITxD4)	ポート1。 3ビット入出力ポート。 P10, P11の入力はTTL入力バッファに設定可能。 P10-P12の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P11				SI00/RxD0/TKCO01/INTP21/SDAA0/(TI07)/(DALIRxD4)/(TxRx4)/(INTP0)	
P12	7-1-2			SCK00/(TKCO03)	
P20	4-3-1	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 7ビット入出力ポート。 アナログ入力に設定可能注2。 1ビット単位で入力／出力の指定可能。
P21				ANI1/AV_{REFM}	
P22	4-18-1			ANI2/CMP0P	
P24				ANI4/CMP1P	
P25				ANI5/CMP2P	
P26				ANI6/CMP3P	
P27				ANI7/CMP4P	
P30	7-1-1	入出力	入力ポート	INTP3/RTC1HZ	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4	
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。

注1.　各端子を入力として使用する場合，ポート・モード・コントロール・レジスタ×（PMC×）でデジタルかアナログかを設定してください（1ビット単位で設定可能）

2.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR1）または，入力切り替え制御レジスタ（ISC）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット，図15－20　入力切り替え制御レジスタ（ISC）のフォーマットを参照してください。

（2/2）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P75	7-1-1	入出力	入力ポート	INTP9	ポート7。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P76				INTP10	
P77				INTP11	
P120	7-3-1	入出力	入力ポート	ANI19	ポート12。 1ビット入出力ポートと4ビット入力専用ポート。 P120はアナログ入力に設定可能注。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P121	2-2-1	入力		X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-1	入出力	入力ポート	ANI18/CMPCOM	ポート14。 1ビット入出力ポート。 アナログ入力に設定可能注。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P200	7-1-6	入出力	入力ポート	TKBO00/INTP22	ポート20。 7ビット入出力ポート。 P200-P206の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P201				TKBO01	
P202				TKBO10/(INTP21)	
P203				TKBO11/TKCO02/(INTP20)	
P204				TKBO20/TKCO03	
P205				TKBO21/TKCO04/DALITxD4	
P206				TKCO05/DALIRxD4/TxRx4/INTP23	
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子を入力として使用する場合，ポート・モード・コントロール・レジスタ×（PMC×）でデジタルかアナログかを設定してください（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR1）または，入力切り替え制御レジスタ（ISC）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット，図15－20　入力切り替え制御レジスタ（ISC）のフォーマットを参照してください。

2. 2　ポート以外の機能

2. 2. 1　製品別の搭載機能

（1/2）

機能名称	38ピン	30ピン	20ピン
ANI0	○	○	○
ANI1	○	○	○
ANI2	○	○	○
ANI4	○	○	○
ANI5	○	○	○
ANI6	○	○	–
ANI7	○	○	–
ANI16	○	○	–
ANI17	○	○	–
ANI18	○	○	○
ANI19	○	○	–
CMP0P	○	○	○
CMP1P	○	○	○
CMP2P	○	○	○
CMP3P	○	○	○
CMP4P	○	○	–
CMP5P	○	○	–
CMPCOM	○	○	○
DALIRxD4	○	○	（○）
DALITxD4	○	○	（○）
INTP0	○	○	○
INTP3	○	–	–
INTP4	○	○	–
INTP9	○	–	–
INTP10	○	–	–
INTP11	○	○	–
INTP20	○	○	○
INTP21	○	○	○
INTP22	○	○	○
INTP23	○	○	–
REGC	○	○	○
RTC1HZ	○	–	–

備考　上図の（○）は，周辺I/Oリダイレクション・レジスタ（PIOR1）の対応ビットに1を設定した場合のみ使用可能になります。

（2/2）

機能名称	38ピン	30ピン	20ピン
$\overline{\text{RESET}}$	○	○	○
RxD0	○	○	○
RxD1	○	○	－
TxD0	○	○	○
TxD1	○	○	－
SCK00	○	－	－
SI00	○	－	－
SO00	○	－	－
SCLA0	○	○	○
SDAA0	○	○	○
TI03	○	○	－
TI05	○	－	－
TI06	○	－	－
TI07	○	○	○
TO03	○	○	－
TO05	○	－	－
TO06	○	－	－
TKBO00	○	○	○
TKBO01	○	○	○
TKBO10	○	○	○
TKBO11	○	○	○
TKBO20	○	○	－
TKBO21	○	○	－
TKCO00	○	○	○
TKCO01	○	○	○
TKCO02	○	○	○
TKCO03	○	○	－
TKCO04	○	○	－
TKCO05	○	○	－
TxRx4	○	○	○
X1, X2	○	○	○
EXCLK	○	○	○
XT1, XT2	○	－	－
EXCLKS	○	－	－
V_{DD}	○	○	○
AV_{REFP}	○	○	○
AV_{REFM}	○	○	○
V_{SS}	○	○	○
TOOL0	○	○	○

（注意は次々ページにあります。）

2. 2. 2　機能説明

機能名称	入出力	機　　能
ANI0-ANI7, ANI16-ANI-19	入力	A/Dコンバータのアナログ入力 （図12－44 アナログ入力端子の処理参照）
CMP0P-CMP5P	入力	コンパレータ0～5のアナログ入力
CMPCOM	入力	コンパレータの外部基準電圧入力
DALIRxD4	入力	DALI/UART4のシリアル・データ入力
DALITxD4	出力	DALI/UART4のシリアル・データ出力
INTP0, INTP3, INTP4, INTP9-INTP11, INTP20-INTP23	入力	外部割り込み入力 有効エッジ指定： 立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ
REGC	－	内部動作用レギュレータ出力（2.4 V）安定容量接続。 コンデンサ（0.47～1 μF）を介し，V_{SS}に接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。
RTC1HZ	出力	リアルタイム・クロック補正クロック（1 Hz） 出力
$\overline{\text{RESET}}$	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。
RxD0, RxD1	入力	シリアル・インタフェースUART0, UART1のシリアル・データ入力
TxD0, TxD1	出力	シリアル・インタフェースUART0, UART1のシリアル・データ出力
SCK00	入出力	シリアル・インタフェースCSI00のシリアル・クロック入出力
SI00	入力	シリアル・インタフェースCSI00のシリアル・データ入力
SO00	出力	シリアル・インタフェースCSI00のシリアル・データ出力
SCLA0	入出力	シリアル・インタフェースIICA0のシリアル・クロック入出力
SDAA0	入出力	シリアル・インタフェースIICA0のシリアル・データ入出力
TI03, TI05-TI07	入力	16ビット・タイマ03, 05-07への外部カウント・クロック／キャプチャ・トリガ入力
TO03, TO05, TO06	出力	16 ビット・タイマ03, 05, 06のタイマ出力
TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21	出力	16 ビット・タイマKB0-KB2出力
TKCO00- TKCO05	出力	16 ビット・タイマKC0出力
TxRx4	入出力	単線UARTのシリアル・データ入出力
X1, X2	－	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	－	サブシステム・クロック用発振子接続
EXCLKS	入力	サブ・クロック用外部クロック入力
V_{DD}	－	すべての端子の正電源
AV_{REFP}	入力	A/Dコンバータの基準電位（＋側） 入力
AV_{REFM}	入力	A/Dコンバータの基準電位（－側） 入力
V_{SS}	－	すべての端子のグランド電位
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力

（注意、備考は次ページにあります。）

注意　リセット解除時のP40/TOOL0と動作モードとの関係は，次のようになります。

表2－1　リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
V_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は，28. 3　シリアル・プログラミング方法を参照してください。

備考　ノイズ対策およびラッチアップ対策として，V_{DD} - V_{SS}ライン間へのバイパスコンデンサ（0.1 μF程度）を最短距離でかつ，比較的太い配線を使って接続してください。

2.3　未使用端子の処理

各端子の未使用端子の処理を表2－2に示します。

備考　製品により，搭載している端子が異なります。1.3　端子接続図（Top View），2.1　ポート機能を参照してください。

表2－2　各端子の未使用端子処理（38ピン製品）（1/2）

端子名称	入出力	未使用時の推奨接続方法
P02	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。 ＜N-chオープン・ドレイン設定時＞ ポートの出力ラッチに0を設定して，ロウ・レベル出力でオープンにしてください。
P03		入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P05		
P06		
P10		入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。 ＜N-chオープン・ドレイン設定時＞ ポートの出力ラッチに0を設定して，ロウ・レベル出力でオープンにしてください。
P11		
P12		
P20		入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P21		
P22		
P24		
P25		
P26		
P27		
P30		
P31		
P40		入力時：個別に抵抗を介して，V_{DD}に接続またはオープンにしてください。 出力時：オープンにしてください。
P75		入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P76		
P77		

表2－2　各端子の未使用端子処理（38ピン製品）（2/2）

端子名称	入出力	未使用時の推奨接続方法
P120	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P121	入力	個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。
P122		
P123		
P124		
P137		
P147	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P200		入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。 ＜N-chオープン・ドレイン設定時＞ ポートの出力ラッチに0を設定して，ロウ・レベル出力でオープンにしてください。
P201		
P202		
P203		
P204		
P205		
P206		
$\overline{\text{RESET}}$	入力	V_{DD}に直接接続または抵抗を介して接続してください。
REGC	－	コンデンサ（0.47～1 μF）を介し，V_{SS}に接続してください。

2.4　端子ブロック図

2.1.1 20ピン製品～2.1.3 38ピン製品に記載した端子タイプについて、端子ブロック図を図2－1～図2－13に示します。

図2－1　端子タイプ 2-1-1 の端子ブロック図

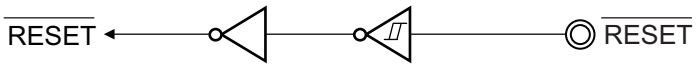
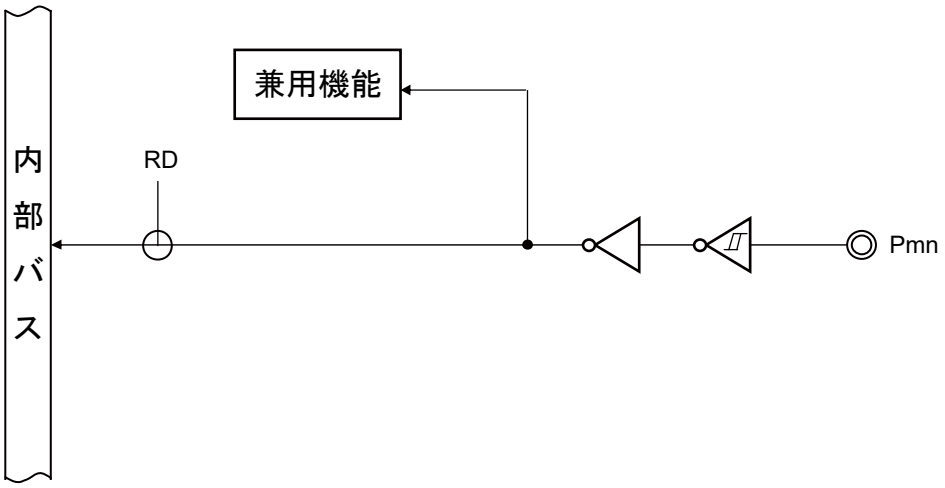
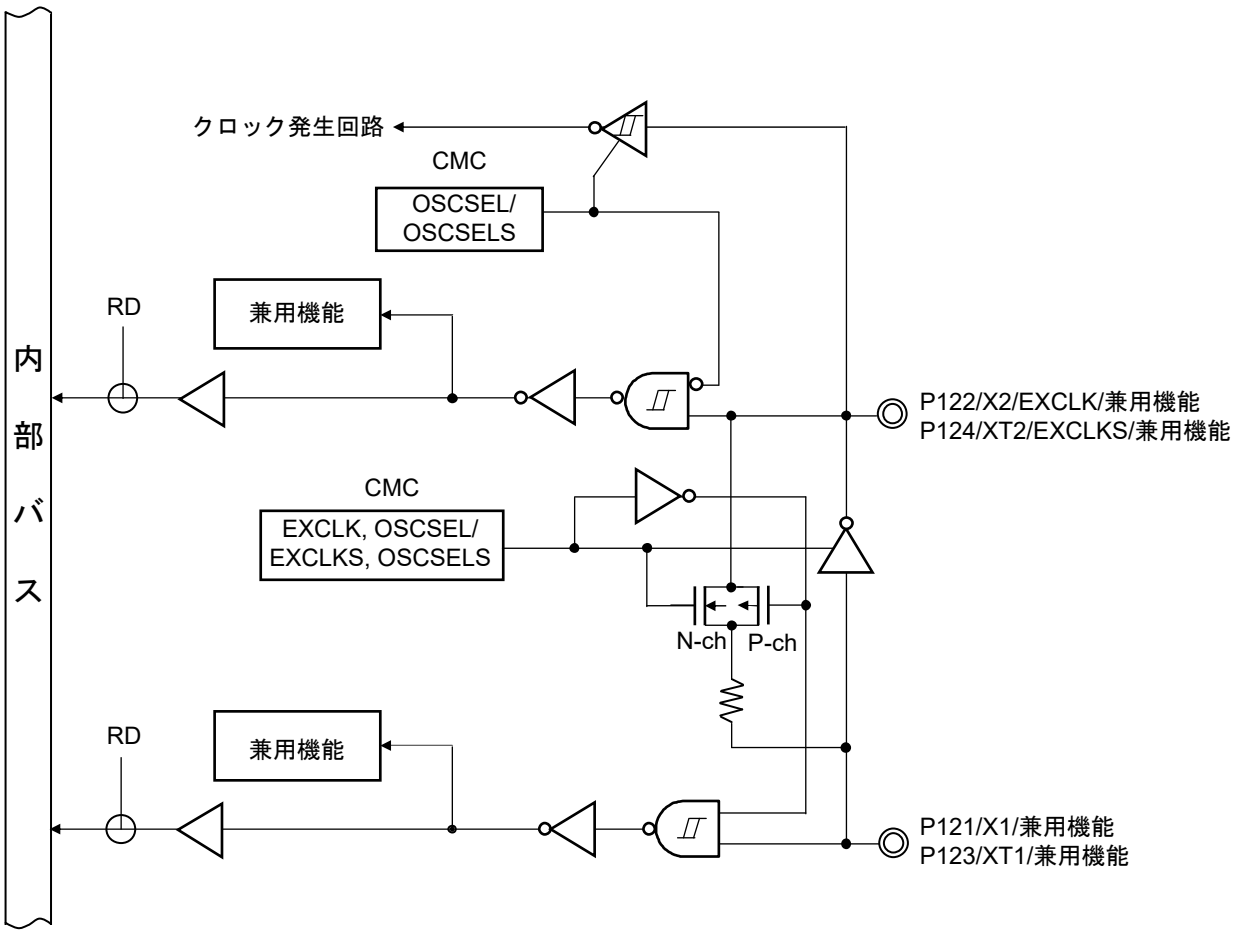


図2－2　端子タイプ 2-1-2 の端子ブロック図



備考　兼用機能は，2.1　ポート機能を参照してください。

図2－3　端子タイプ 2-2-1 の端子ブロック図



備考　兼用機能は，2. 1　ポート機能を参照してください。

図2－4　端子タイプ 4-3-1 の端子ブロック図

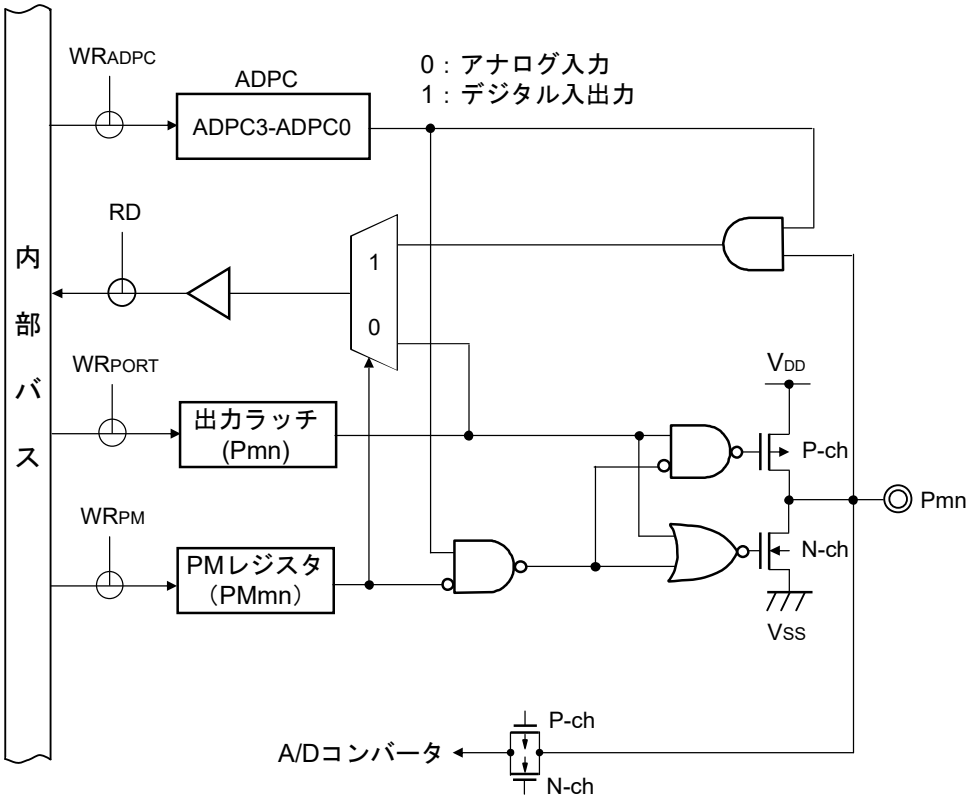


図2－5　端子タイプ 4-18-1 の端子ブロック図

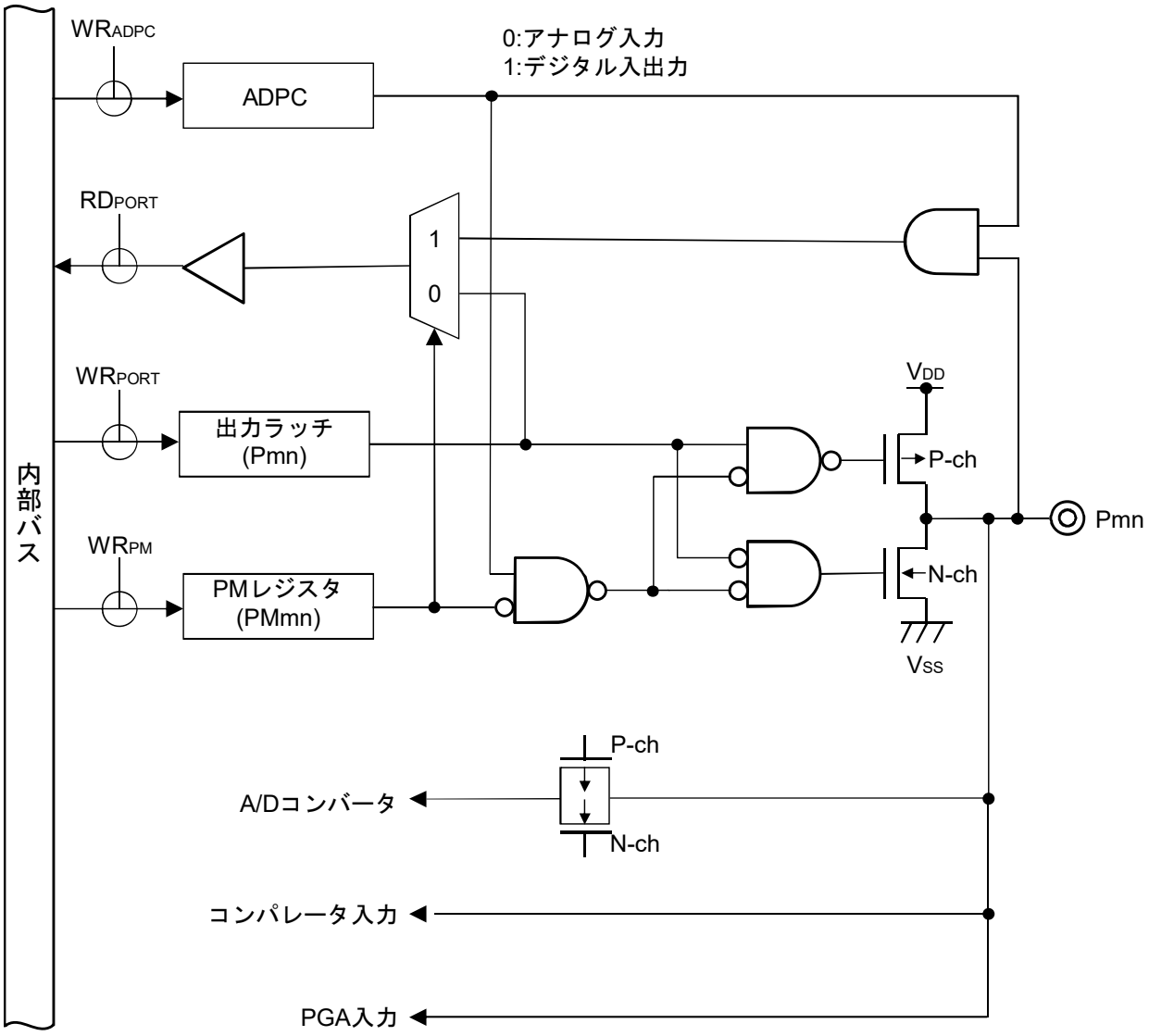
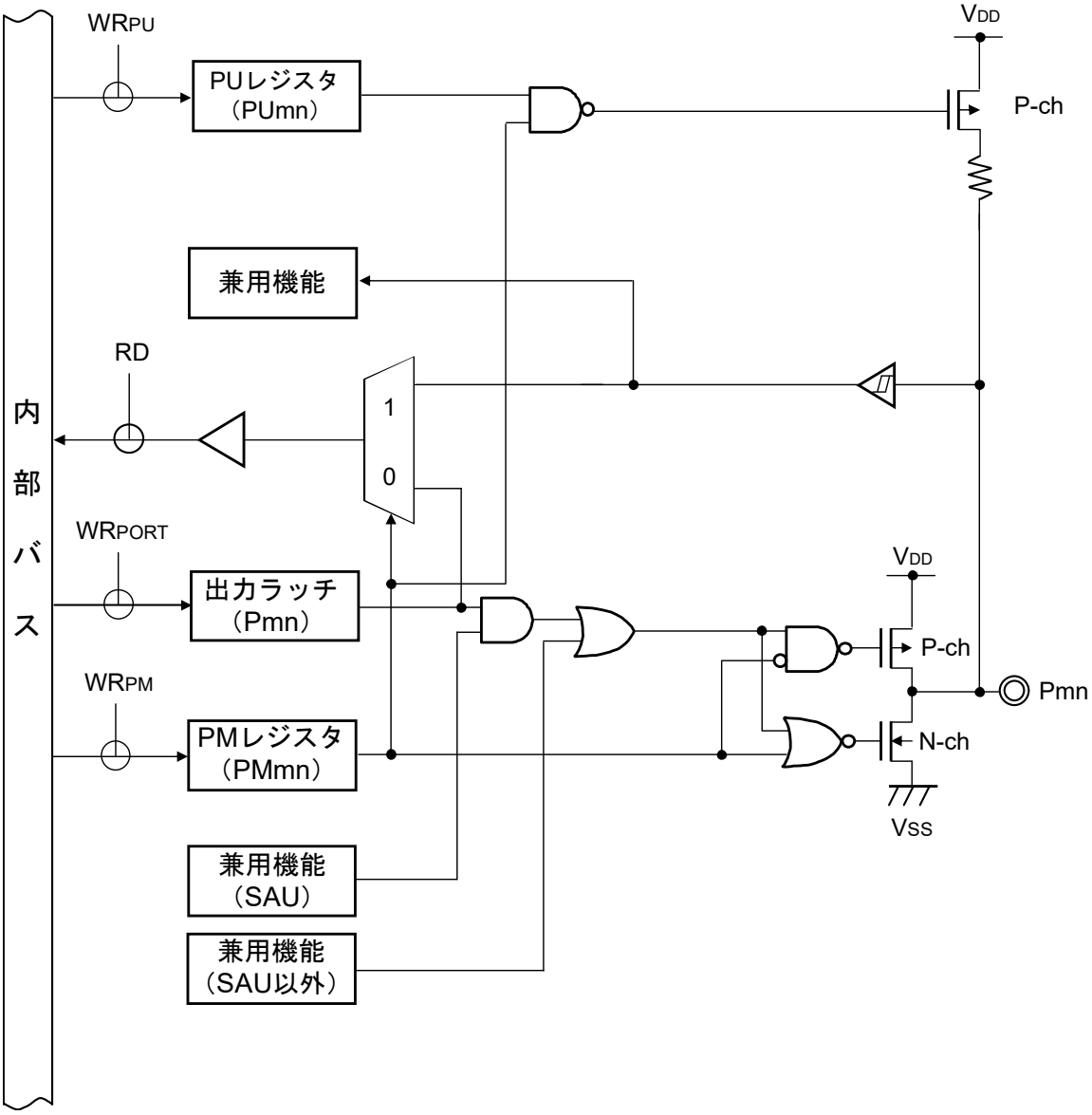


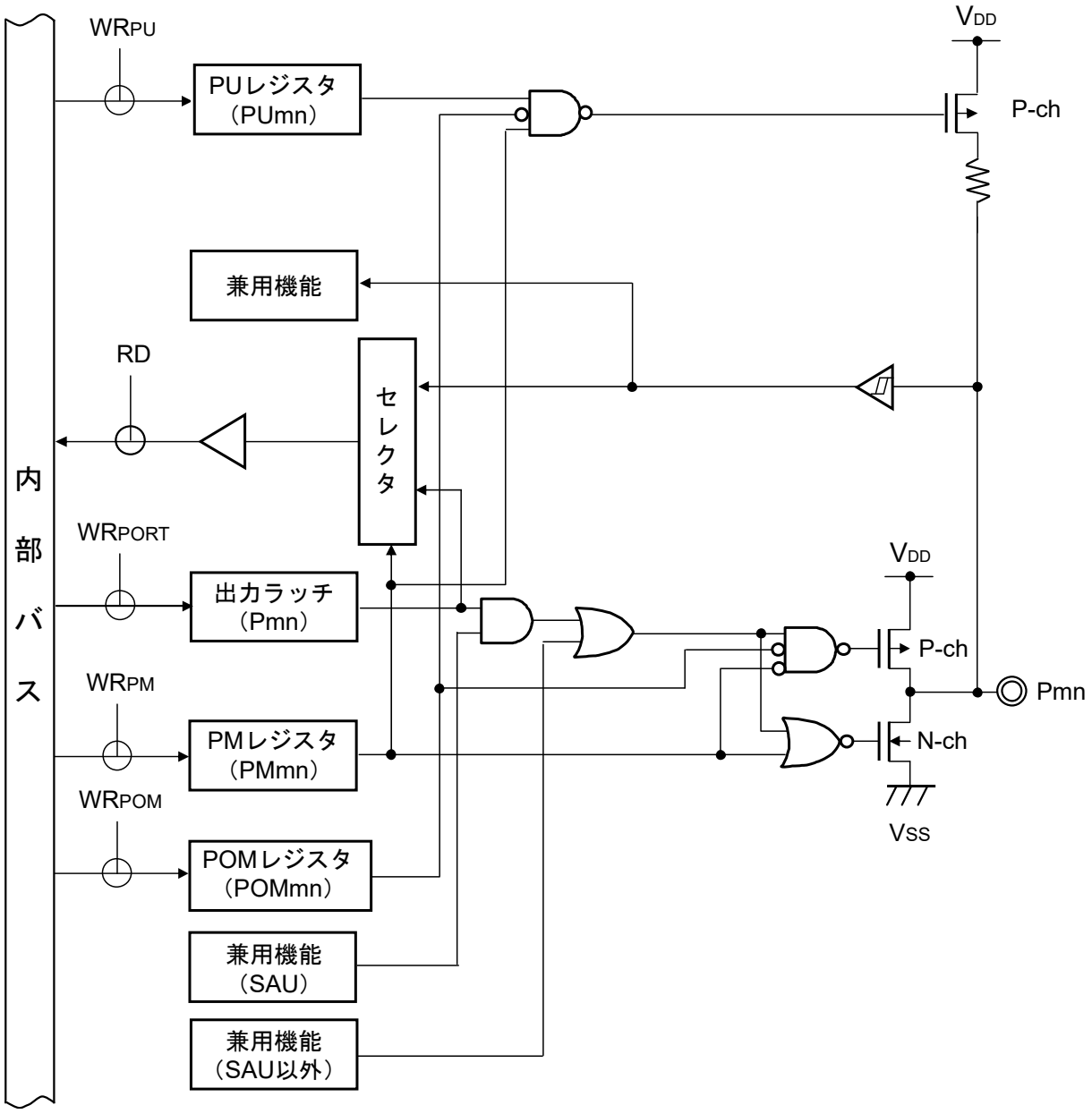
図2－6　端子タイプ 7-1-1 の端子ブロック図



備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－7　端子タイプ 7-1-2 の端子ブロック図

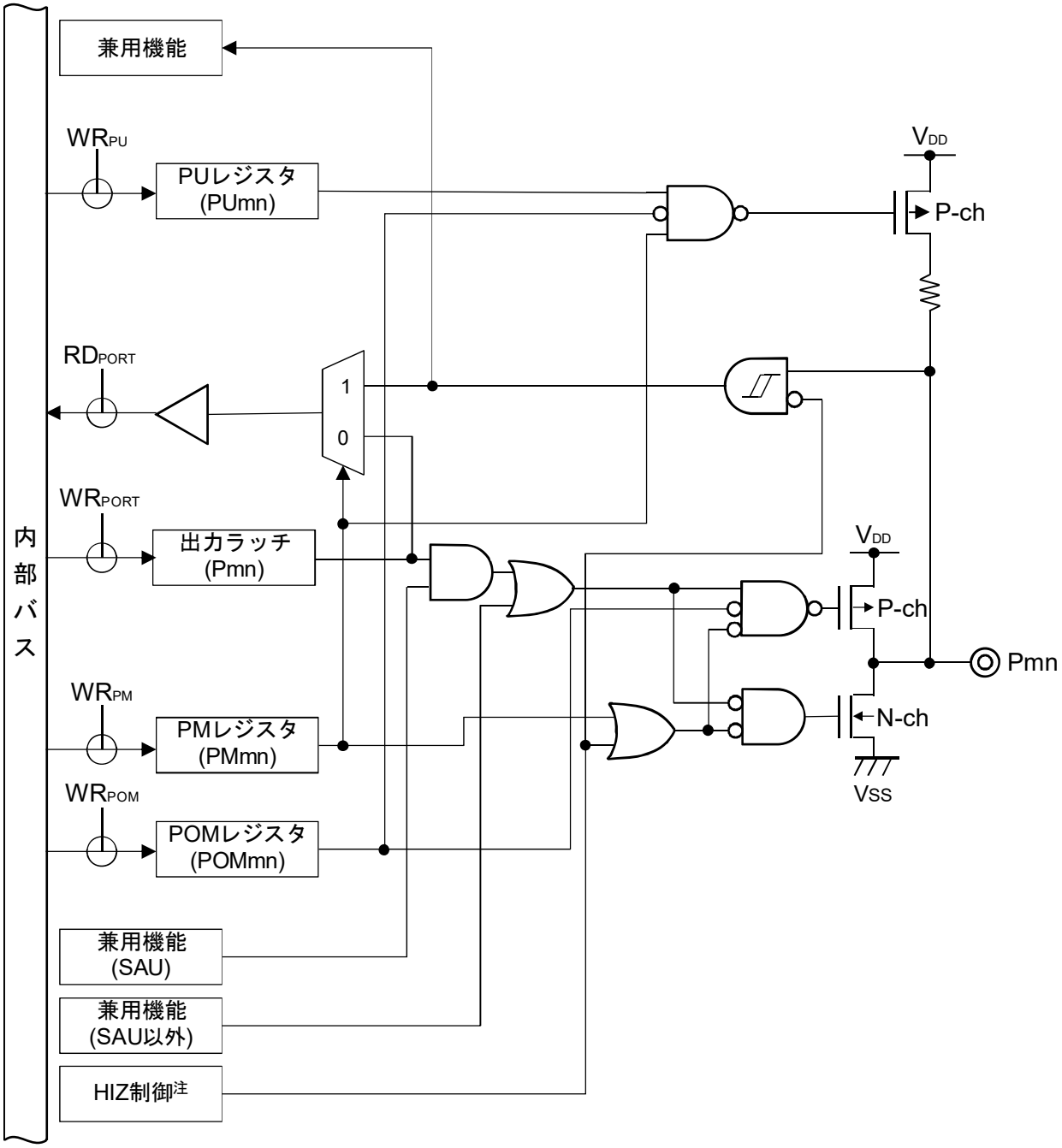


注意　**ポート出力モード・レジスタ（POMx）でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。また，N-chオープン・ドレイン出力モード設定時は，出力レベルを切り替えるとグリッチ（V_{DD}レベル）が発生することがあります。**

備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－8　端子タイプ 7-1-6 の端子ブロック図



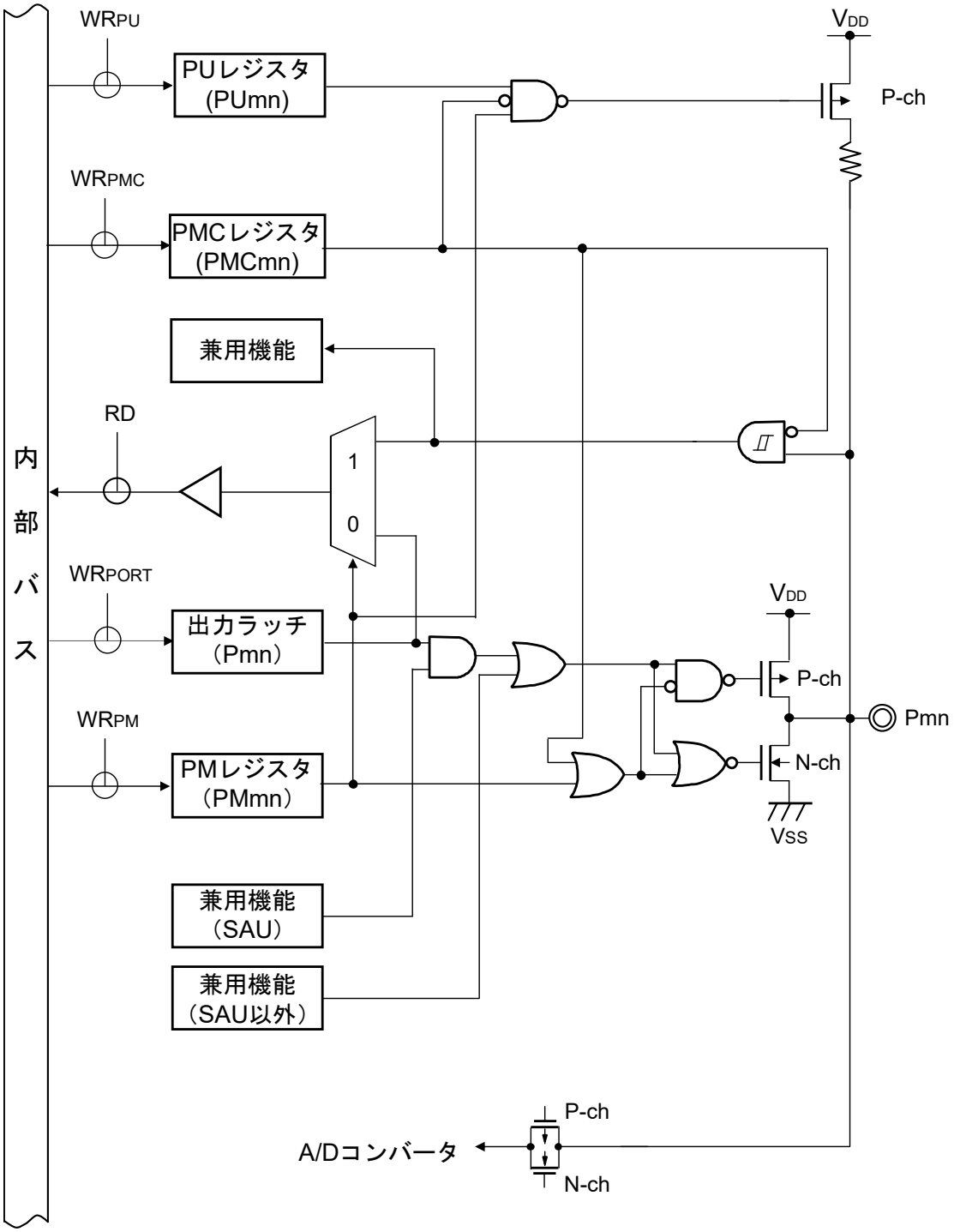
注　P206にHIZ制御はありません。

注意　**ポート出力モード・レジスタ（POMx）でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。また，N-chオープン・ドレイン出力モード設定時は，出力レベルを切り替えるとグリッチ（V_{DD}レベル）が発生することがあります。**

備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

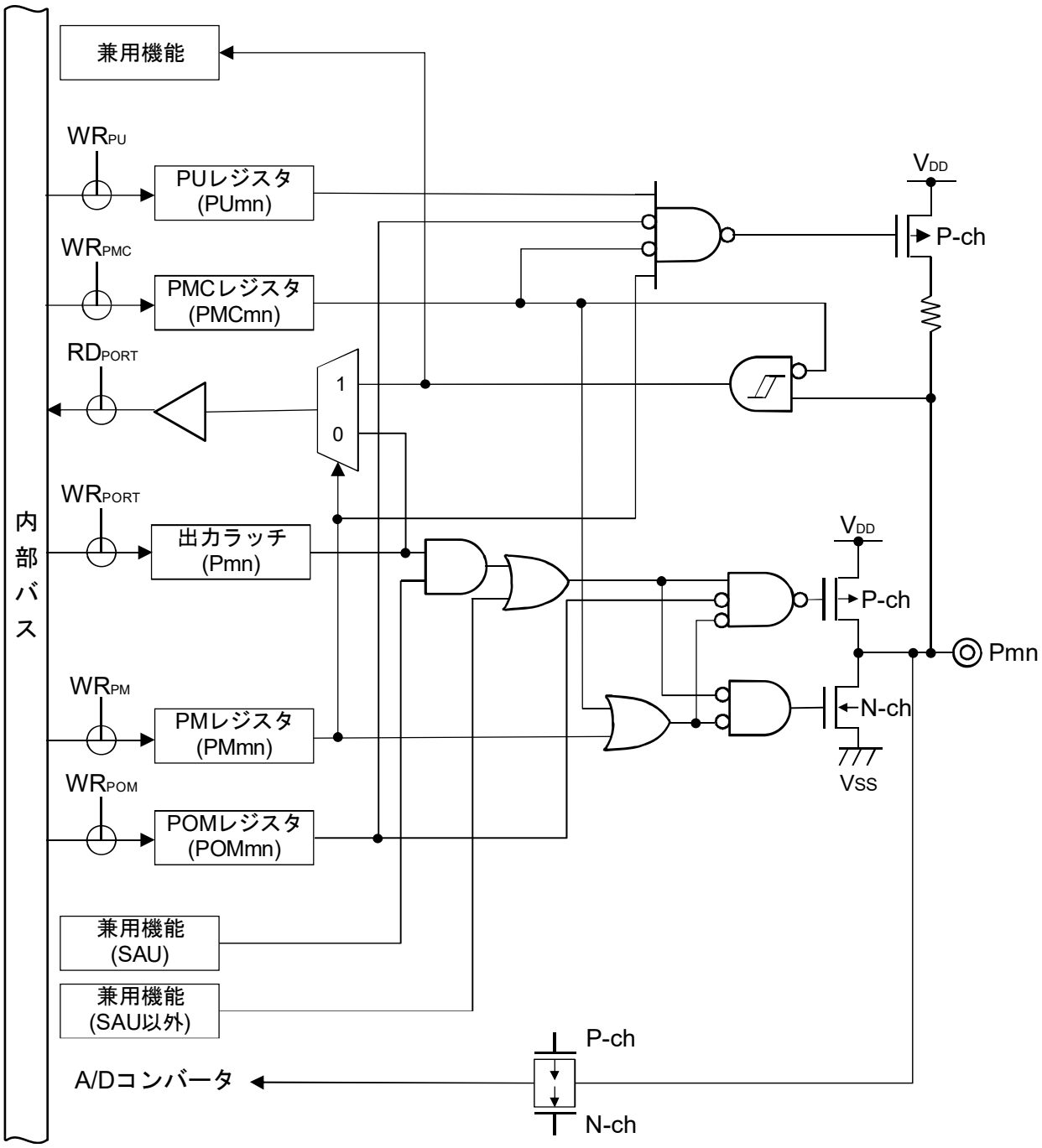
図2－9　端子タイプ 7-3-1 の端子ブロック図



備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－10　端子タイプ 7-3-2 の端子ブロック図

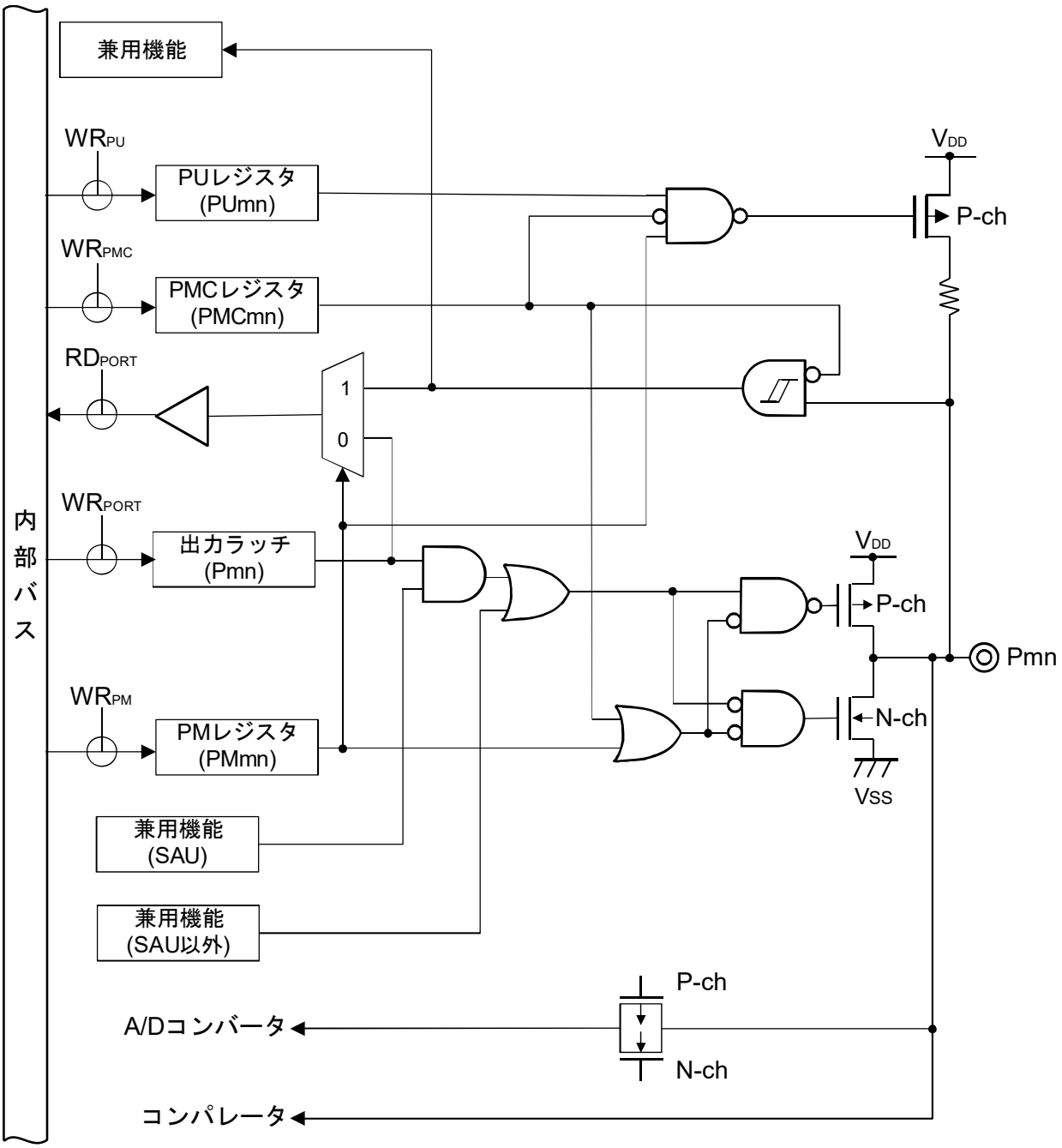


注意　**ポート出力モード・レジスタ（POMx）でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。また，N-chオープン・ドレイン出力モード設定時は，出力レベルを切り替えるとグリッチ（V_{DD}レベル）が発生することがあります。**

備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

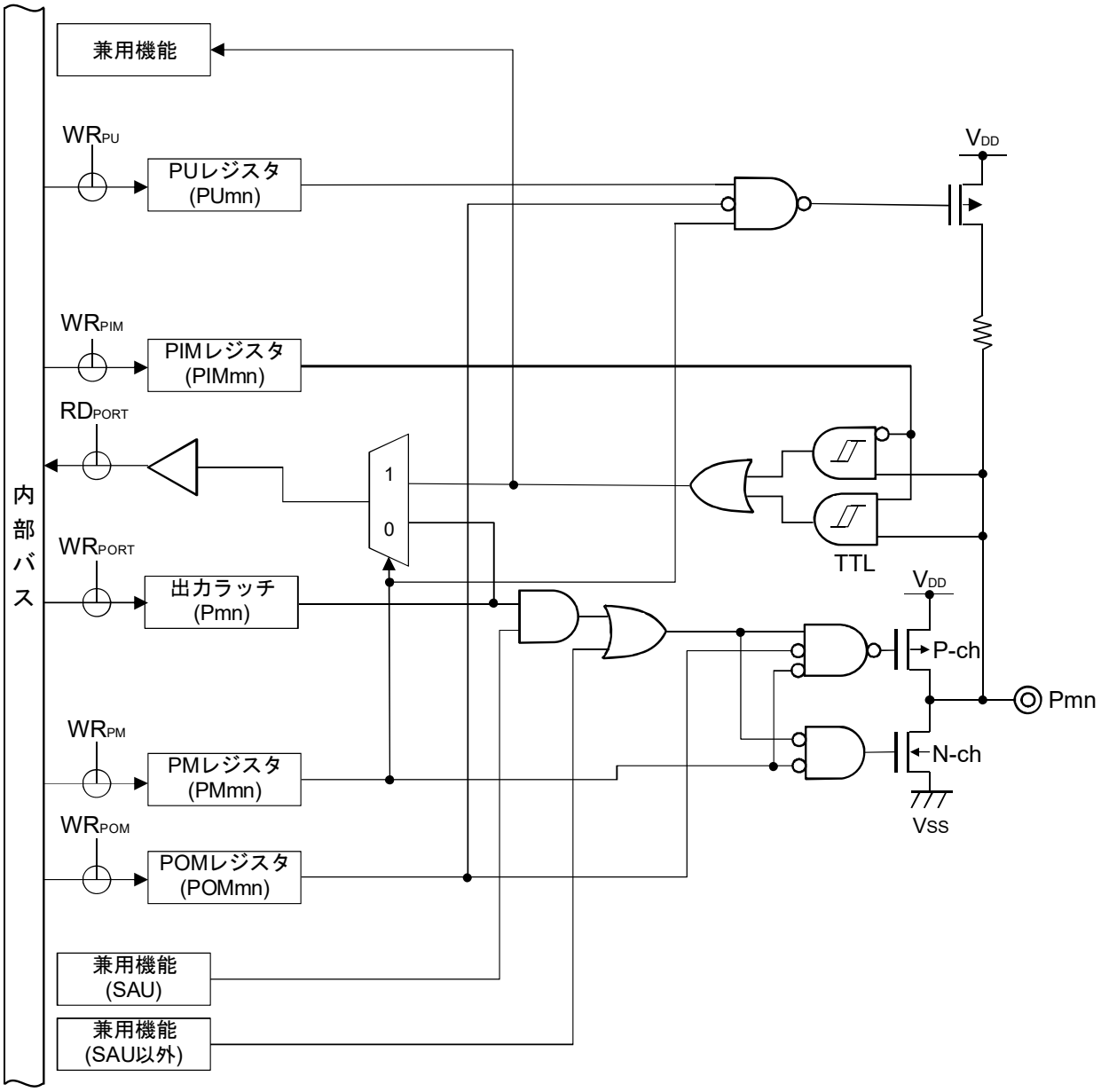
図2－11　端子タイプ 7-9-1 の端子ブロック図



備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－12　端子タイプ 8-1-2 の端子ブロック図



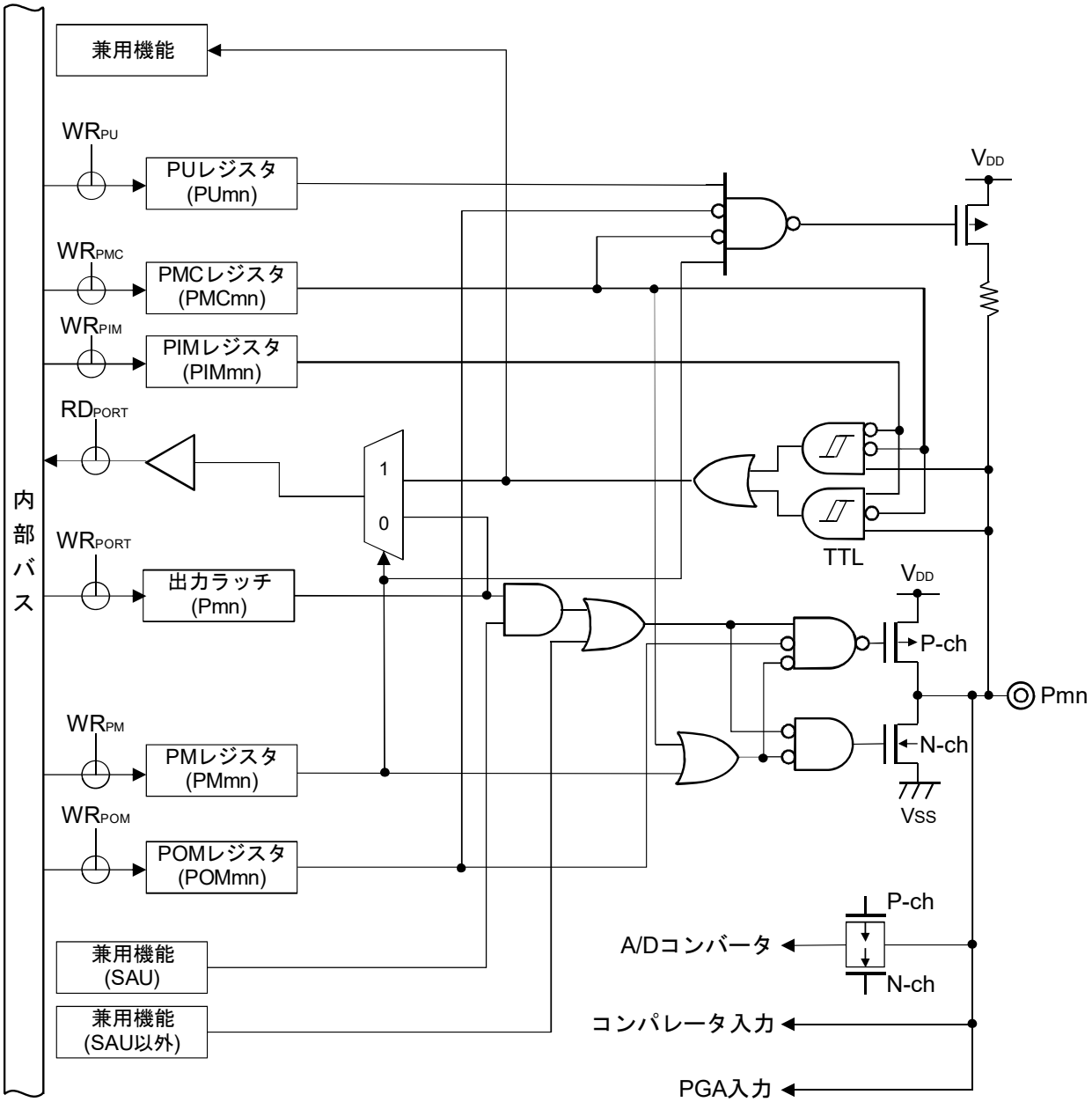
注意1.　ポート出力モード・レジスタ（POMx）でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。また，N-chオープン・ドレイン出力モード設定時は，出力レベルを切り替えるとグリッチ（V_{DD}レベル）が発生することがあります。

2.　ポート入力モード・レジスタ（PIMx）でTTL入力バッファに設定し，ハイ・レベルを入力している場合，TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイ・モード時に貫通電流を抑えるには，ロウ・レベルを入力してください。

備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－13　端子タイプ 8-18-1 の端子ブロック図



備考1.　兼用機能は，2. 1　ポート機能を参照してください。

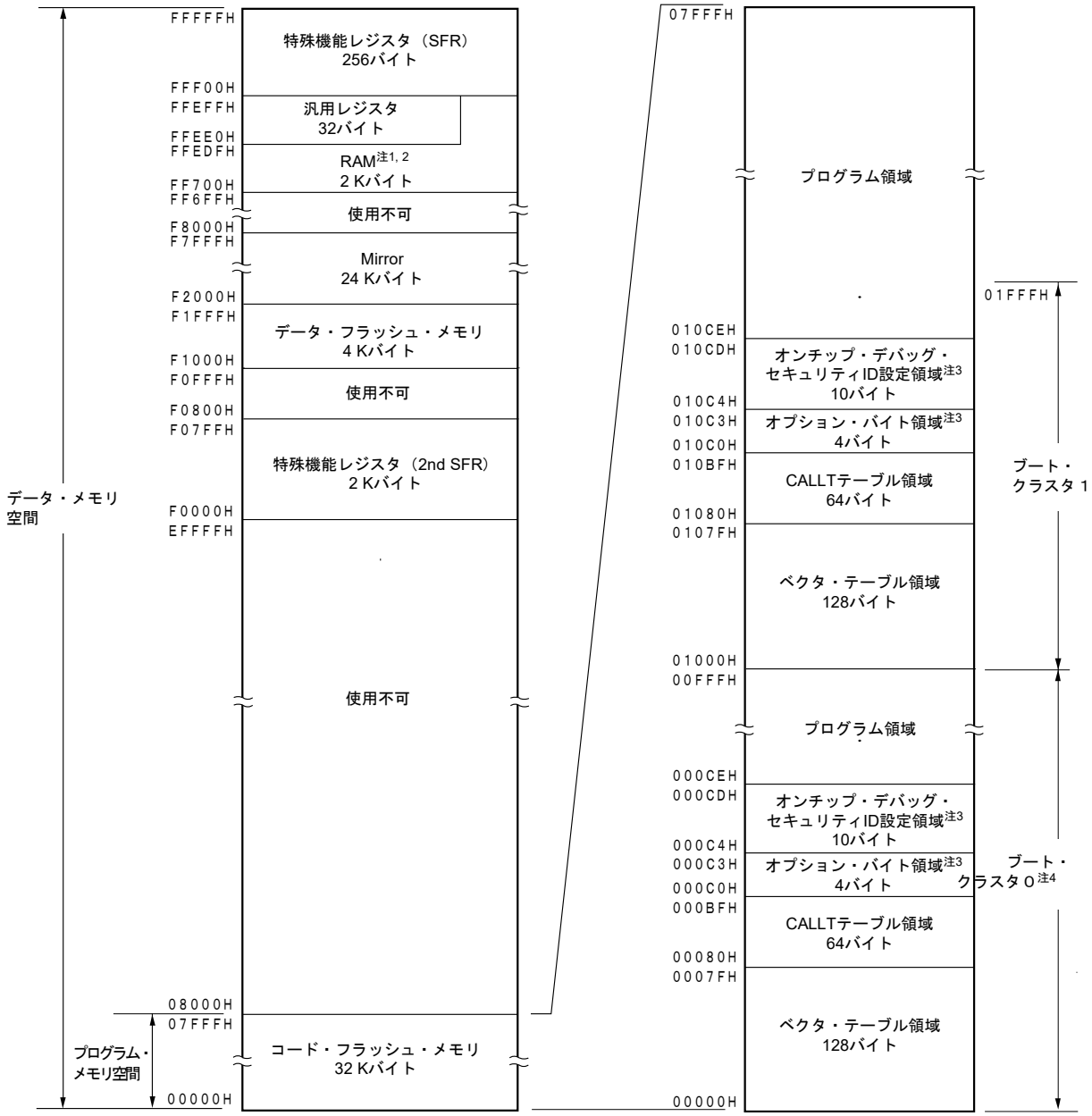
2.　SAU：シリアル・アレイ・ユニット

第3章　CPUアーキテクチャ

3. 1　メモリ空間

RL78/I1Aは，1 Mバイトのアドレス空間をアクセスできます。図3－1～図3－2に，メモリ・マップを示します。

図3－1　メモリ・マップ（R5F1076C, R5F107AC）



注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

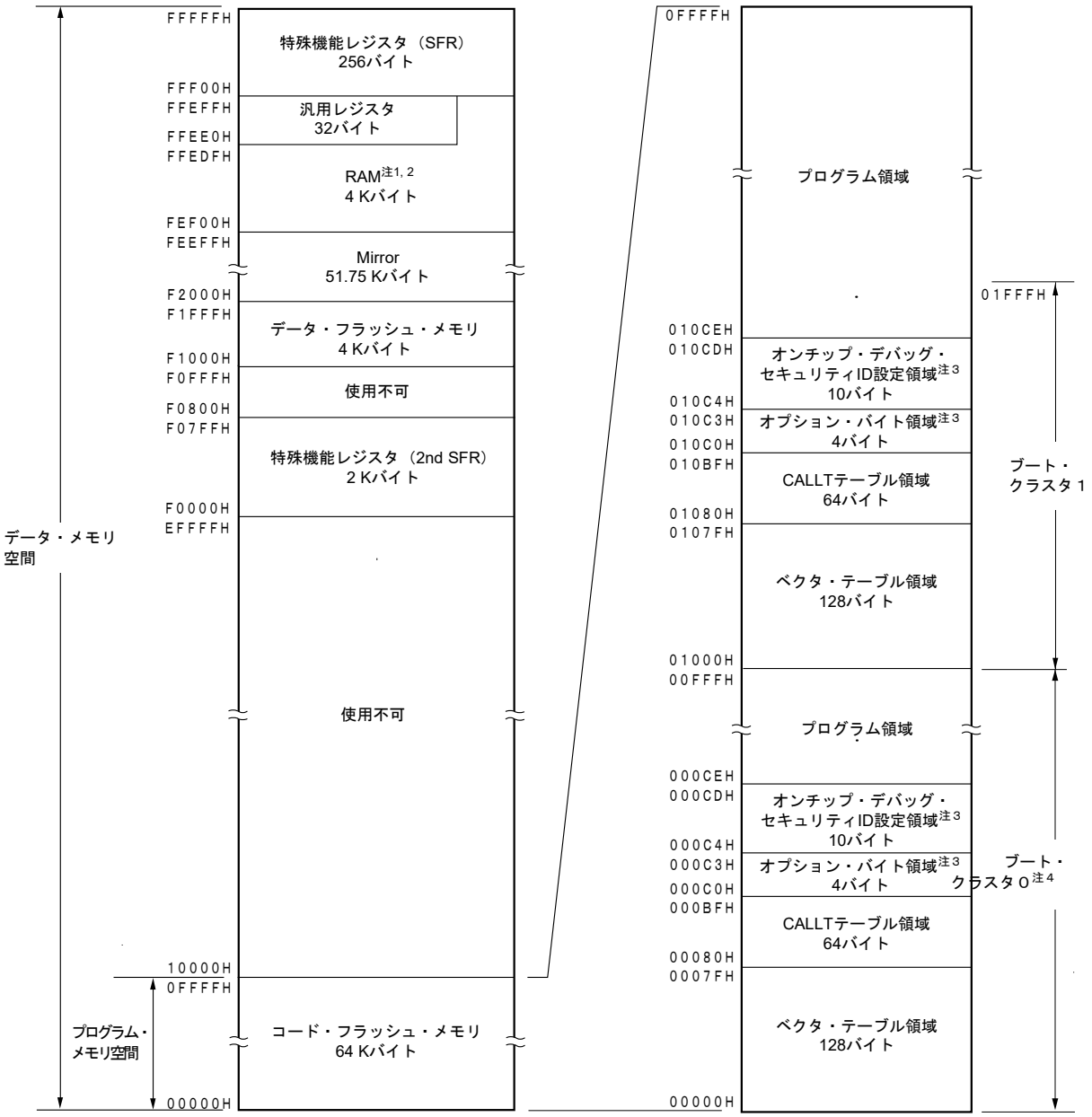
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（28. 6　セキュリティ設定を参照）。

注意　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，　データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は　「使用するRAM領域＋10バイト」の領域を必ず初期化してください。　リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，25.3.3　RAMパリティ・エラー検出機能を参照してください。

図3－2　メモリ・マップ（R5F107AE, R5F107DE）



注1.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMA による転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。また，FEF00H-FF309Hの領域は各ライブラリで使用するため使用禁止になります。

2.　汎用レジスタを除いたRAM領域から命令実行をすることができます。

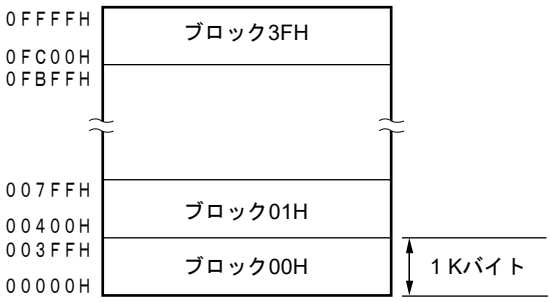
3.　ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

4.　セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（28. 6　セキュリティ設定を参照）。

注意　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，　データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は　「使用するRAM領域＋10バイト」の領域を必ず初期化してください。　リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，25.3.3　RAMパリティ・エラー検出機能を参照してください。

備考　フラッシュ・メモリはブロックごとに分かれています（1ブロック ＝1 Kバイト）。アドレス値とブロック番号については，表3－1　フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



（R5F107AE, R5F107DEの場合）

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3－1　フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-003FFH	00H	08000H-083FFH	20H
00400H-007FFH	01H	08400H-087FFH	21H
00800H-00BFFH	02H	08800H-08BFFH	22H
00C00H-00FFFH	03H	08C00H-08FFFH	23H
01000H-013FFH	04H	09000H-093FFH	24H
01400H-017FFH	05H	09400H-097FFH	25H
01800H-01BFFH	06H	09800H-09BFFH	26H
01C00H-01FFFH	07H	09C00H-09FFFH	27H
02000H-023FFH	08H	0A000H-0A3FFH	28H
02400H-027FFH	09H	0A400H-0A7FFH	29H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH
04000H-043FFH	10H	0C000H-0C3FFH	30H
04400H-047FFH	11H	0C400H-0C7FFH	31H
04800H-04BFFH	12H	0C800H-0CBFFH	32H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H
05000H-053FFH	14H	0D000H-0D3FFH	34H
05400H-057FFH	15H	0D400H-0D7FFH	35H
05800H-05BFFH	16H	0D800H-0DBFFH	36H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H
06000H-063FFH	18H	0E000H-0E3FFH	38H
06400H-067FFH	19H	0E400H-0E7FFH	39H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH

備考　R5F1076C, R5F107AC　：ブロック番号00H-1FH

R5F107AE, R5F107DE　：ブロック番号00H-3FH

3. 1. 1　内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/I1Aは，次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3－2　内部ROM容量

製　　品	内部ROM	
	構　　造	容　　量
R5F1076C, R5F107AC	フラッシュ・メモリ	32768×8ビット（00000H-07FFFH）
R5F107AE, R5F107DE		65536×8ビット（00000H-0FFFFH）

内部プログラム・メモリ空間には，次に示す領域を割り付けられています。

（1）ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また，ベクタ・コードは2バイトとしているため，割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット･アドレスのうち下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には，01000H-0107FHにもベクタ・テーブルを設定してください。

表3－3　ベクタ・テーブル（1/2）

ベクタ・テーブル・アドレス	割り込み要因	20ピン	30ピン	38ピン
0000H	RESET，POR，LVD，WDT，TRAP, IAW, RPE	○	○	○
0004H	INTWDTI	○	○	○
0006H	INTLVI	○	○	○
0008H	INTP0	○	○	○
000EH	INTP3	－	－	○
0010H	INTP4	－	○	○
001AH	INTDMA0	○	○	○
001CH	INTDMA1	○	○	○
001EH	INTST0	○	○	○
	INTCSI00	－	－	○
0020H	INTSR0	○	○	○
0022H	INTSRE0	○	○	○
	INTTM01H	○	○	○
0024H	INTST1	－	○	○
0026H	INTSR1	－	○	○
0028H	INTSRE1	－	○	○
	INTTM03H	○	○	○
002AH	INTIICA0	○	○	○
002CH	INTTM00	○	○	○
002EH	INTTM01	○	○	○
0030H	INTTM02	○	○	○
0032H	INTTM03	○	○	○
0034H	INTAD	○	○	○
0036H	INTRTC	○	○	○
0038H	INTIT	○	○	○
003CH	INTSTDL4	○	○	○
003EH	INTSRDL4	○	○	○
	INTSREDL4	○	○	○
0040H	INTP20	○	○	○
	INTP22	○	○	○

表3－3　ベクタ・テーブル（2/2）

ベクタ・テーブル・アドレス	割り込み要因	20ピン	30ピン	38ピン
0042H	INTTM04	○	○	○
0044H	INTTM05	○	○	○
0046H	INTTM06	○	○	○
0048H	INTTM07	○	○	○
004AH	INTCMP0	○	○	○
004CH	INTCMP1	○	○	○
004EH	INTCMP2	○	○	○
0050H	INTP9	－	－	○
	INTCMP3	○	○	○
0052H	INTP10	－	－	○
	INTCMP4	－	○	○
0054H	INTP11	－	○	○
	INTCMP5	－	○	○
0056H	INTTMKB0	○	○	○
0058H	INTTMKB1	○	○	○
005AH	INTTMKB2	－	○	○
005CH	INTTMKC0	○	○	○
005EH	INTMD	○	○	○
0060H	INTP21	○	○	○
	INTP23	－	○	○
0062H	INTFL	○	○	○
007EH	BRK	○	○	○

（2）CALLT命令テーブル領域

00080H-000BFHの64バイト領域には，2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

ブート・スワップを使用する際には，01080H-010BFHにもCALLT命令テーブルを設定してください。

（3）オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第27章　オプション・バイトを参照してください。

（4）オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH，010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに，ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第29章　オンチップ・デバッグ機能を参照してください。

3. 1. 2　ミラー領域

RL78/I1Aでは，00000H-0FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFHへミラーしています。（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

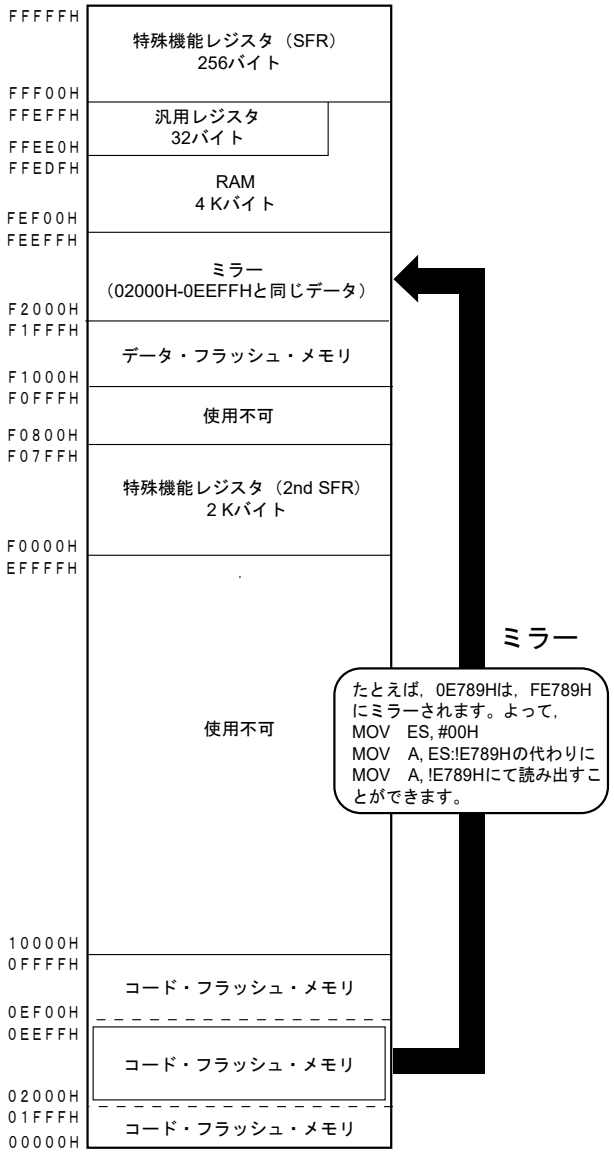
ミラー先のF0000H-FFFFFHからデータを読み出すことにより，オペランドにESレジスタを持たない命令を使用することができるため，短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし，SFR，拡張SFR，RAM領域，使用不可領域にはミラーされません。

各製品のミラー領域は，3. 1　メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で，命令フェッチはできません。

次に例を示します。

例　R5F107AE, R5F107DE（フラッシュ・メモリ 64 Kバイト，RAM 4 Kバイト）の場合



次に，PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ（PMC）

F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図3－3　プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマット

アドレス：FFFFEH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFHへミラー
1	設定禁止

注意1.　必ずビット0（MAA）を0（初期値）でご使用ください。

2.　PMCレジスタの設定後，1命令以上空けてミラー領域にアクセスしてください。

3. 1. 3　内部データ・メモリ空間

RL78/I1Aは，次に示すRAMを内蔵しています。

表3－4　内部RAM容量

製　　品	内部RAM
R5F1076C, R5F107AC	2048×8ビット（FF700H-FFEFFH）
R5F107AE, R5F107DE	4096×8ビット（FEF00H-FFEFFH）

内部RAMは，データ領域として使用できるほか，プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には，8ビット・レジスタ8個を1バンクとする汎用レジスタが，4バンク割り付けられます。

また，スタック・メモリは内部RAMを使用します。

注意1.　汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は，命令フェッチやスタックの領域に使用できません。

2.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。

3.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，次に示す製品のRAM領域は，各ライブラリで使用するため使用禁止になります。

R5F107AE, R5F107DE　：FEF00H-FF309H

3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域

FFF00H-FFFFFHの領域には，オン・チップ周辺ハードウエアの特殊機能レジスタ（SFR）が割り付けられています（3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）の表3－5参照）。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域

F0000H-F07FFHの領域には，オン・チップ周辺ハードウエアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（3. 2. 5　拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）の表3－6参照）。

SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意1.　拡張SFRが割り付けられていないアドレスにアクセスしないでください。

2.　拡張SFR（2nd SFR）の一部の領域F0500H-F06FFHに配置しているレジスタへのアクセス時に，CPUは次の命令処理に移行せず，CPU 処理としてウエイト状態となります。このため，このウエイトが発生した場合，命令の実行クロック数がウエイト・クロック数分長くなります。詳細は，第35章　ウエイトに関する注意事項を参照してください。

3. 1. 6　データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて，RL78/I1Aでは，その操作性などを考慮して豊富なアドレッシング・モードを備えました。特に，特殊機能レジスタ（SFR）や汎用レジスタなど，それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3－4，3－5にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、「3. 4　処理データ・アドレスに対するアドレッシング」を参照してください。

図3－4　データ・メモリとアドレッシングの対応（R5F1076C, R5F107AC）

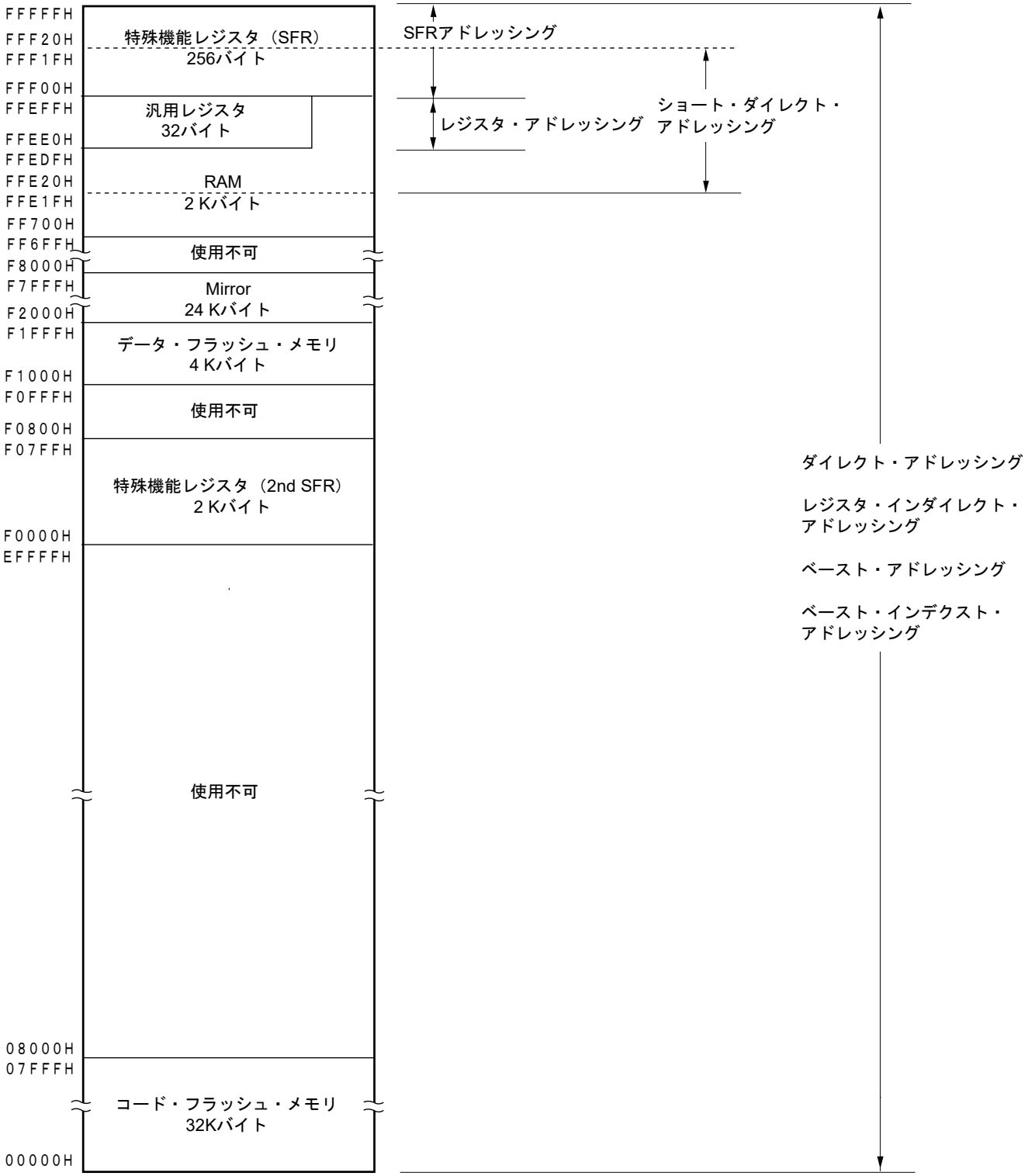
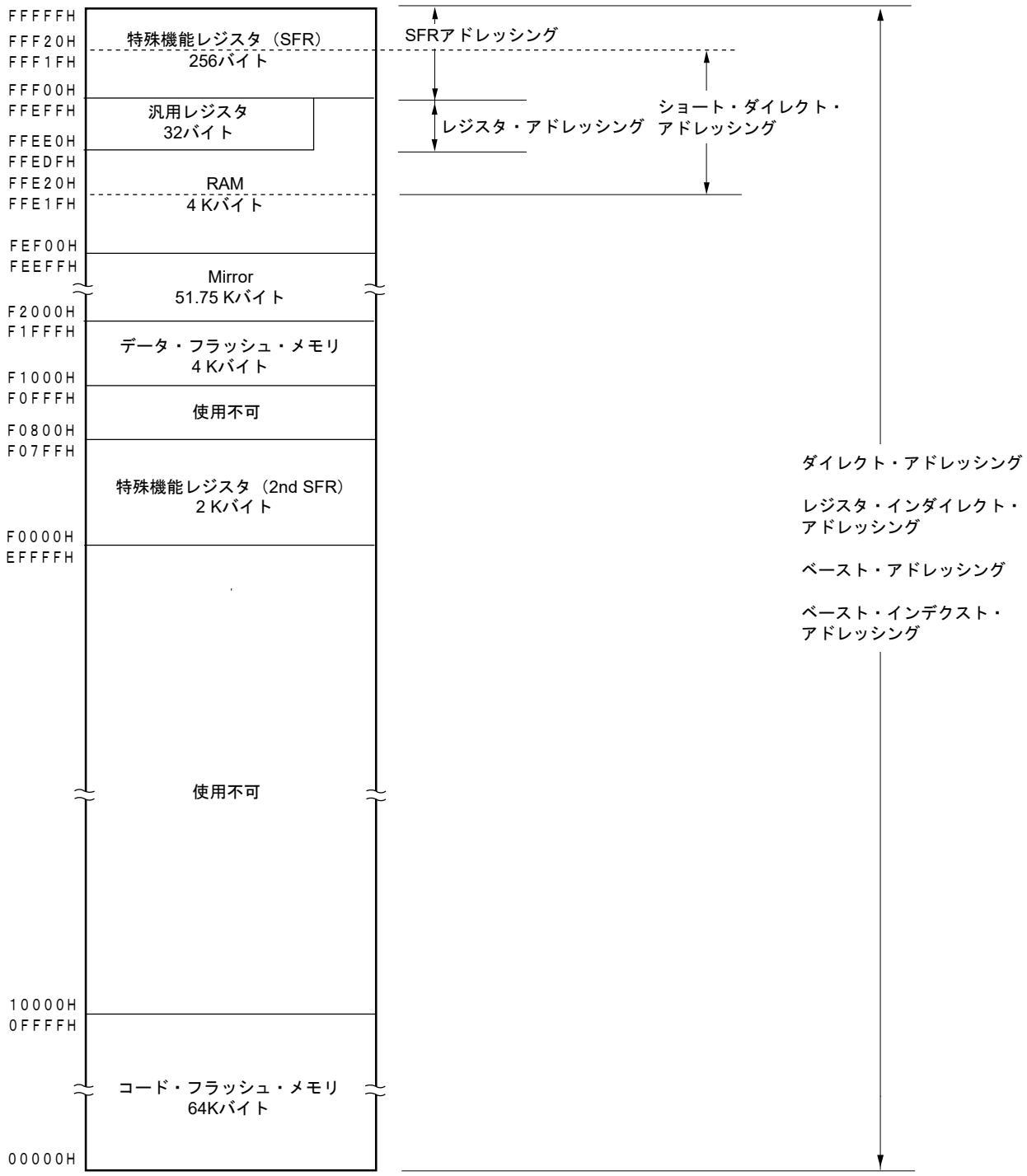


図3－5　データ・メモリとアドレッシングの対応（R5F107AE, R5F107DE）



3. 2　プロセッサ・レジスタ

RL78/I1Aは，次のプロセッサ・レジスタを内蔵しています。

3. 2. 1　制御レジスタ

プログラム・シーケンス，ステータス，スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）があります。

（1）プログラム・カウンタ（PC）

プログラム・カウンタは，次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には，フェッチする命令のバイト数に応じて，自動的にインクリメントされます。分岐命令実行時には，イミーディエト・データやレジスタの内容がセットされます。

リセット信号の発生により，0000H，0001H番地のリセット・ベクタ・テーブルの値が，下位16ビットにセットされます。上位4ビットは0000にクリアされます。

図3－6　プログラム・カウンタの構成

	19															0
PC																

（2）プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行によってセット，リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は，ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され，RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により，06Hになります。

図3－7　プログラム・ステータス・ワードの構成

	7							0
PSW	IE	Z	RBS1	AC	RBS0	ISP1	ISP0	CY

（a）割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり，マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このときマスカブル割り込み要求の受け付けは，インサービス・プライオリティ・フラグ（ISP1，ISP0），各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは，DI命令の実行または割り込みの受け付けでリセット（0）され，EI命令の実行によりセット（1）されます。

（b）ゼロ・フラグ（Z）

演算結果がゼロまたは等しいときセット（1）され，それ以外のときにリセット（0）されるフラグです。

（c）レジスタ・バンク選択フラグ（RBS0, RBS1）

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

（d）補助キャリー・フラグ（AC）

演算結果で，ビット3からキャリーがあったとき，またはビット3へのボローがあったときセット（1）され，それ以外のときリセット（0）されるフラグです。

（e）インサービス・プライオリティ・フラグ（ISP1, ISP0）

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ（PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H）（20. 3. 3 参照）でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお，実際にベクタ割り込み要求が受け付けられるかどうかは，割り込み許可フラグ（IE）の状態により制御されます。

備考　n = 0, 1

（f）キャリー・フラグ（CY）

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。また，ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。

（3）スタック・ポインタ（SP）

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3－8　スタック・ポインタの構成

	15															0
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SP7	SP6	SP5	SP4	SP3	SP2	SP1	0

スタック・ポインタを用いたスタック・アドレッシングでは，スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ，スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避されるデータは図3－9のようになります。

注意1.　SPの内容はリセット信号の発生により，不定になりますので，必ずスタック使用前にイニシャライズしてください。

2.　汎用レジスタ（FFEE0H-FFEFFH）の空間は，スタック領域としての使用を禁止します。

3.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。

4.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，次に示す製品のRAM領域は，各ライブラリで使用するため使用禁止になります。

R5F107AE, R5F107DE　：FEF00H-FF309H

3. 2. 2　汎用レジスタ

汎用レジスタは，データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており，8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

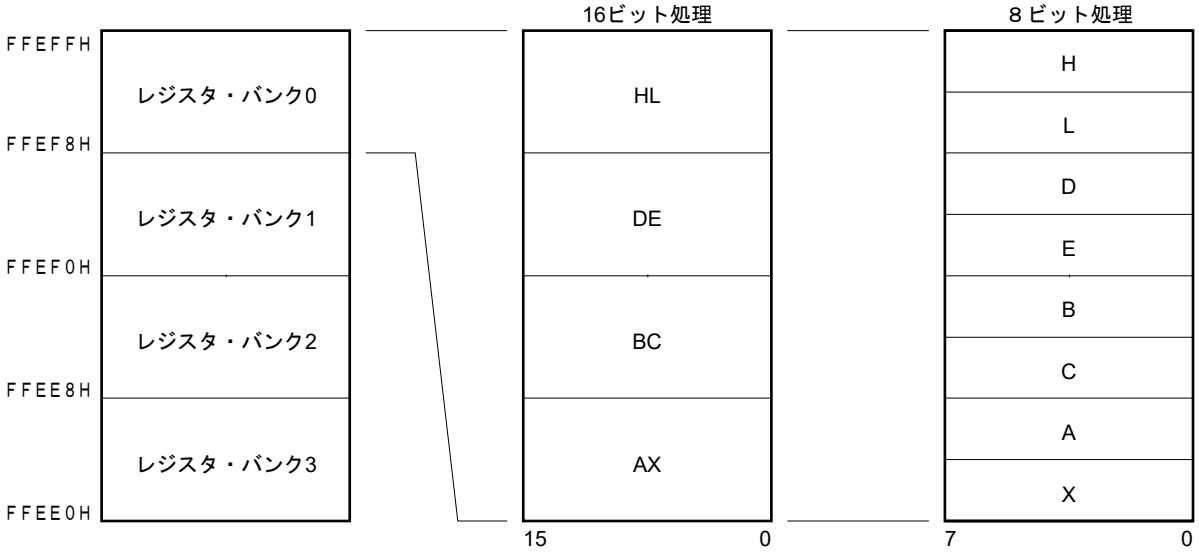
各レジスタは，それぞれ8ビット・レジスタとして使用できるほか，2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

また，機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか，絶対名称（R0-R7, RP0-RP3）ででも記述できます。

命令実行時に使用するレジスタ・バンクは，CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので，通常処理で使用するレジスタと割り込み処理で使用するレジスタをバンク切り替えすれば，効率のよいプログラムを作成できます。

注意　汎用レジスタ（FFEE0H-FFEFFH）の空間は，命令フェッチやスタック領域としての使用を禁止します。

図3－9　汎用レジスタの構成（機能名称）



3. 2. 3　ES, CSレジスタ

ESレジスタでデータ・アクセス，CSレジスタで(レジスタ・ダイレクト・アドレシング）分岐命令実行時の，それぞれ上位アドレスを指定できます。

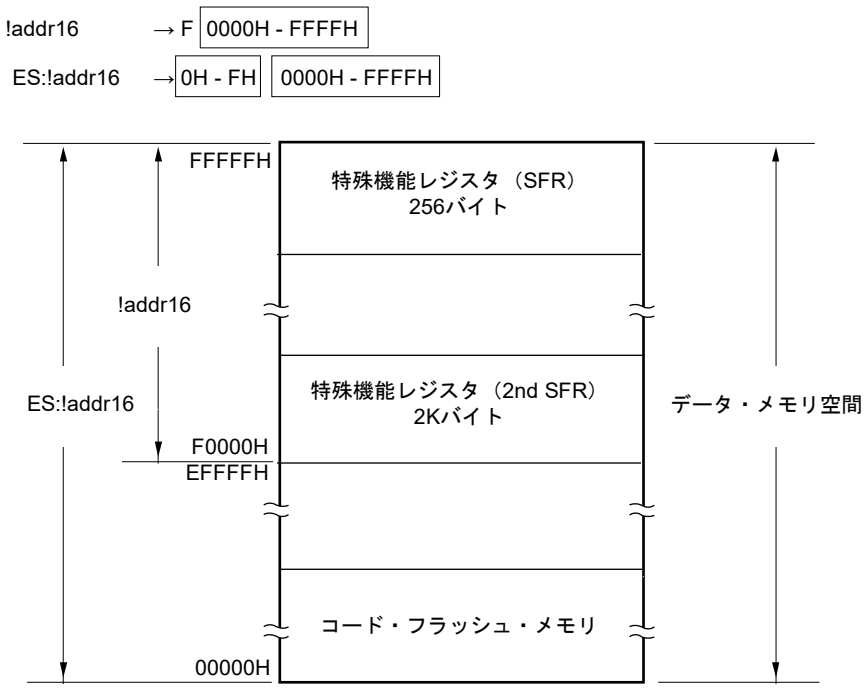
ESレジスタのリセット後の初期値は0FH，CSレジスタのリセット後の初期値は00Hです。

図3－10　ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

16ビット・アドレスでアクセスできるデータ領域は，F0000H-FFFFFHの64 Kバイト空間ですが，ES:を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3－11　データ・アクセス領域の拡張



3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）

SFRは，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

SFR空間は，FFF00H-FFFFFHの領域に割り付けられています。

SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

  1ビット操作命令のオペランド（sfr.bit）には，次のような記述をしてください。

  ビット名称が定義されている場合：<ビット名称>

  ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>
- 8ビット操作

  8ビット操作命令のオペランド（sfr）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。
- 16ビット操作

  16ビット操作命令のオペランド（sfrp）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

  特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W

  該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

  R/W　：読み出し／書き込みがともに可能

  R　：読み出しのみ可能

  W　：書き込みのみ可能
- 操作可能ビット単位

  操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。
- リセット時

  リセット信号発生時の各レジスタの状態を示します。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

備考　拡張SFR（2nd SFR）については，3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）を参照してください。

表3－5　SFR一覧（1/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	－	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	－	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	－	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	－	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	－	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	－	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	－	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	－	不定
FFF0EH	ポート・レジスタ14	P14		R/W	○	○	－	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	－	○	○	0000H
FFF11H		－			－	－		
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	－	○	○	0000H
FFF13H		－			－	－		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	－	－	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	－	○	○	00H
FFF1BH		TDR01H			－	○		00H
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	－	－	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	－	○	－	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	－	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	－	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	－	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	－	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	－	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	－	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	－	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	－	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	－	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	－	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	－	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	－	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	－	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1		R/W	○	○	－	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1		R/W	○	○	－	00H

表3－5　SFR一覧（2/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
FFF44H	シリアル・データ・レジスタ02	TXD1	SDR02	R/W	－	○	○	0000H
FFF45H		－			－	－		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	－	○	○	0000H
FFF47H		－			－	－		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	－	○	－	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	－	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	－	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	－	－	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	－	○	○	00H
FFF67H		TDR03H			－	○		00H
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	－	－	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	－	－	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	－	－	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	－	－	○	0000H
FFF6FH								
FFF90H	インターバル・タイマ・コントロール・レジスタ	ITMC		R/W	－	－	○	0FFFH
FFF91H								
FFF92H	秒カウント・レジスタ	SEC		R/W	－	○	－	00H
FFF93H	分カウント・レジスタ	MIN		R/W	－	○	－	00H
FFF94H	時カウント・レジスタ	HOUR		R/W	－	○	－	12H注
FFF95H	曜日カウント・レジスタ	WEEK		R/W	－	○	－	00H
FFF96H	日カウント・レジスタ	DAY		R/W	－	○	－	01H
FFF97H	月カウント・レジスタ	MONTH		R/W	－	○	－	01H
FFF98H	年カウント・レジスタ	YEAR		R/W	－	○	－	00H
FFF99H	時計誤差補正レジスタ	SUBCUD		R/W	－	○	－	00H
FFF9AH	アラーム分レジスタ	ALARMWM		R/W	－	○	－	00H
FFF9BH	アラーム時レジスタ	ALARMWH		R/W	－	○	－	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW		R/W	－	○	－	00H
FFF9DH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0		R/W	○	○	－	00H
FFF9EH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1		R/W	○	○	－	00H

注　リセット後に，AMPMビット（リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット3）に1をセットした場合は00Hとなります。

表3－5　SFR一覧（3/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	－	○	－	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	－	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	－	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	－	○	－	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	－	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	－	○	－	不定注1
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	－	00H注1
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	－	00H/01H/81H注1
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	－	○	－	1AH/9AH注2
FFFACH	CRC入力レジスタ	CRCIN		R/W	－	○	－	00H
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0		R/W	－	○	－	00H
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1		R/W	－	○	－	00H
FFFB2H	DMA RAMアドレス・レジスタ0	DRA0L	DRA0	R/W	－	○	○	00H
FFFB3H		DRA0H		R/W	－	○		00H
FFFB4H	DMA RAMアドレス・レジスタ1	DRA1L	DRA1	R/W	－	○	○	00H
FFFB5H		DRA1H		R/W	－	○		00H
FFFB6H	DMA バイト・カウント・レジスタ0	DBC0L	DBC0	R/W	－	○	○	00H
FFFB7H		DBC0H		R/W	－	○		00H
FFFB8H	DMA バイト・カウント・レジスタ1	DBC1L	DBC1	R/W	－	○	○	00H
FFFB9H		DBC1H		R/W	－	○		00H
FFFBAH	DMA モード・コントロール・レジスタ0	DMC0		R/W	○	○	－	00H
FFFBBH	DMA モード・コントロール・レジスタ1	DMC1		R/W	○	○	－	00H
FFFBCH	DMA 動作コントロール・レジスタ0	DRC0		R/W	○	○	－	00H
FFFBDH	DMA 動作コントロール・レジスタ1	DRC1		R/W	○	○	－	00H

注1.　リセット要因により，次のように異なります。

リセット要因 ＼ レジスタ		$\overline{\text{RESET}}$入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
RESF	TRAP	クリア（0）		セット（1）	保持			保持
	WDTRF			保持	セット（1）	保持		
	RPERF			保持		セット（1）	保持	
	IAWRF			保持			セット（1）	
	LVIRF			保持				セット（1）
LVIM	LVISEN	クリア（0）						保持
	LVIOMSK	保持						
	LVIF							
LVIS		クリア(00H/01H/81H)						

2.　WDTEレジスタのリセット値は，オプション・バイトの設定で決定します。

表3－5　SFR一覧（4/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
FFFD0H	割り込み要求フラグ・レジスタ2	IF2L	IF2	R/W	○	○	○	00H
FFFD1H		IF2H		R/W	○	○		00H
FFFD4H	割り込みマスク・フラグ・レジスタ2	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H		MK2H		R/W	○	○		FFH
FFFD8H	優先順位指定フラグ・レジスタ02	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H		PR02H		R/W	○	○		FFH
FFFDCH	優先順位指定フラグ・レジスタ12	PR12L	PR12	R/W	○	○	○	FFH
FFFDDH		PR12H		R/W	○	○		FFH
FFFE0H	割り込み要求フラグ・レジスタ0	IF0L	IF0	R/W	○	○	○	00H
FFFE1H		IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1	IF1L	IF1	R/W	○	○	○	00H
FFFE3H		IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH		PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH		PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH		PR11H		R/W	○	○		FFH
FFFF0H	乗除算データ・レジスタA（L）	MDAL		R/W	－	－	○	0000H
FFFF1H								
FFFF2H	乗除算データ・レジスタA（H）	MDAH		R/W	－	－	○	0000H
FFFF3H								
FFFF4H	乗除算データ・レジスタB（H）	MDBH		R/W	－	－	○	0000H
FFFF5H								
FFFF6H	乗除算データ・レジスタB（L）	MDBL		R/W	－	－	○	0000H
FFFF7H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	－	00H

備考　拡張SFR（2nd SFR）については，表3－6　拡張SFR（2nd SFR）一覧を参照してください。

3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）

拡張SFR（2nd SFR）は，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

拡張SFR空間は，F0000H-F07FFHの領域です。SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド（!addr16.bit）には，次のような記述をしてください。

ビット名称が定義されている場合：<ビット名称>

ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

・8ビット操作

8ビット操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

・R/W

該当する拡張SFRが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W　：読み出し／書き込みがともに可能

R　：読み出しのみ可能

W　：書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意1.　拡張SFR（2nd SFR）が割り付けられていないアドレスにアクセスしないでください。

2.　拡張SFR（2nd SFR）の一部の領域F0500H-F06FFHに配置しているレジスタへのアクセス時に，CPUは次の命令処理に移行せず，CPU 処理としてウエイト状態となります。このため，このウエイトが発生した場合，命令の実行クロック数がウエイト・クロック数分長くなります。詳細は，第35章　ウエイトに関する注意事項を参照してください。

備考　SFR領域のSFRについては，3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）を参照してください。

表3－6 拡張SFR（2nd SFR）一覧（1/12）

アドレス	特殊機能レジスタ（SFR）名称	略 号	R/W	操作可能ビット範囲			リセット時
				1 ビット	8 ビット	16 ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	－	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	－	○	－	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	－	○	－	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	－	○	－	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	－	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	－	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	－	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	－	01H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	－	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	－	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	－	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	－	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	－	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	－	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	－	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	－	FFH
F006CH	ポート・モード・コントロール・レジスタ12	PMC12	R/W	○	○	－	FFH
F006EH	ポート・モード・コントロール・レジスタ14	PMC14	R/W	○	○	－	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	－	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	－	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	－	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	－	○	－	00H
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	－	○	－	00H
F0078H	不正メモリ・アクセス検出制御レジスタ0	IAWCTL0	R/W	－	○	－	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	－	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	－	○	－	不定注1
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	－	○	－	不定注2

注1. リセット値は出荷時に調整した値です。

2. オプション・バイト000C2HのFRQSEL2 - FRQSEL0で設定した値になります。

表3－6　拡張SFR（2nd SFR）一覧（2/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F00E0H	乗除算データ・レジスタC（L）	MDCL		R/W	－	－	○	0000H
F00E2H	乗除算データ・レジスタC（H）	MDCH		R/W	－	－	○	0000H
F00E8H	乗除算コントロール・レジスタ	MDUC		R/W	○	○	－	00H
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	○	○	－	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC		R/W	－	○	－	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	○	○	－	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	－	○	－	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	－	○	○	0000H
F0101H		－			－	－		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	－	○	○	0000H
F0103H		－			－	－		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	－	○	○	0000H
F0105H		－			－	－		
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	－	○	○	0000H
F0107H		－			－	－		
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	－	○	○	0000H
F0109H		－			－	－		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	－	○	○	0000H
F010BH		－			－	－		
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	－	○	○	0000H
F010DH		－			－	－		
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	－	○	○	0000H
F010FH		－			－	－		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	－	－	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	－	－	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	－	－	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	－	－	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	－	－	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	－	－	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	－	－	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	－	－	○	0087H
F011FH								

表3－6　拡張SFR（2nd SFR）一覧（3/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F0120H	シリアル・チャネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		－			－	－		
F0122H	シリアル・チャネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		－			－	－		
F0124H	シリアル・チャネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		－			－	－		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	－	○	○	0000H
F0127H		－			－	－		
F0128H	シリアル出力レジスタ0	SO0		R/W	－	－	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		－			－	－		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	－	○	○	0000H
F0135H		－			－	－		
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	－	○	○	0000H
		－			－	－		
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	－	－	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	－	－	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	－	－	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	－	－	○	FFFFH
F0187H								
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	－	－	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	－	－	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	－	－	○	FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	－	－	○	FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	－	－	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	－	－	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	－	－	○	0000H
F0195H								

表3－6　拡張SFR（2nd SFR）一覧（4/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	－	－	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	－	－	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	－	－	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	－	－	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	－	－	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	－	○	○	0000H
F01A1H		－			－	－		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	－	○	○	0000H
F01A3H		－			－	－		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	－	○	○	0000H
F01A5H		－			－	－		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	－	○	○	0000H
F01A7H		－			－	－		
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	－	○	○	0000H
F01A9H		－			－	－		
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	－	○	○	0000H
F01ABH		－			－	－		
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	－	○	○	0000H
F01ADH		－			－	－		
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	－	○	○	0000H
F01AFH		－			－	－		
F01B0H	タイマ・チャネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		－			－	－		
F01B2H	タイマ・チャネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		－			－	－		
F01B4H	タイマ・チャネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		－			－	－		
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	－	－	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	－	○	○	0000H
F01B9H		－			－	－		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		－			－	－		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	－	○	○	0000H
F01BDH		－			－	－		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	－	○	○	0000H
F01BFH		－			－	－		

表3－6 拡張SFR（2nd SFR）一覧（5/12）

アドレス	特殊機能レジスタ（SFR）名称	略 号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0230H	IICAコントロール・レジスタ00	IICCTL00	R/W	○	○	－	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01	R/W	○	○	－	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0	R/W	－	○	－	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0	R/W	－	○	－	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0	R/W	－	○	－	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	－	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/W	－	－	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	－	－	○	0000H
F0500H	ポート・レジスタ20	P20	R/W	○	○	－	00H
F0508H	周辺イネーブル・レジスタ1	PER1	R/W	○	○	－	00H
F0509H	周辺イネーブル・レジスタ2	PER2	R/W	○	○	－	00H
F050AH	PLLコントロール・レジスタ	PLLCTL	R/W	○	○	－	00H
F0510H	ポート・モード・レジスタ20	PM20	R/W	○	○	－	FFH
F0518H	外部割り込み立ち上がりエッジ許可レジスタ2	EGP2	R/W	○	○	－	00H
F0519H	外部割り込み立ち下がりエッジ許可レジスタ2	EGN2	R/W	○	○	－	00H
F0520H	プルアップ抵抗オプション・レジスタ20	PU20	R/W	○	○	－	00H
F0530H	ポート出力モード・レジスタ20	POM20	R/W	○	○	－	00H
F0550H	プログラマブル・ゲイン・アンプ制御レジスタ	PGACTL	R/W	○	○	－	00H
F0551H	プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ	PGAINS	R/W	－	○	－	00H
F0552H	コンパレータ0制御レジスタ	C0CTL	R/W	○	○	－	00H
F0553H	コンパレータ1制御レジスタ	C1CTL	R/W	○	○	－	00H
F0554H	コンパレータ2制御レジスタ	C2CTL	R/W	○	○	－	00H
F0555H	コンパレータ3制御レジスタ	C3CTL	R/W	○	○	－	00H
F0556H	コンパレータ4制御レジスタ	C4CTL	R/W	○	○	－	00H
F0557H	コンパレータ5制御レジスタ	C5CTL	R/W	○	○	－	00H
F0558H	コンパレータ立ち上がりエッジ許可レジスタ0	CMPEGP0	R/W	○	○	－	00H
F0559H	コンパレータ立ち下がりエッジ許可レジスタ0	CMPEGN0	R/W	○	○	－	00H
F055AH	コンパレータ出力モニタ・レジスタ	CMPMON	R	○	○	－	00H
F055BH	外部割り込み制御レジスタ	INTPCTL	R/W	○	○	－	00H
F0560H	コンパレータ・PGA内部基準電圧制御レジスタ	CVRCTL	R/W	○	○	－	00H
F0561H	コンパレータ内部基準電圧選択レジスタ0	C0RVM	R/W	－	○	－	00H
F0562H	コンパレータ内部基準電圧選択レジスタ1	C1RVM	R/W	－	○	－	00H
F0563H	コンパレータ内部基準電圧選択レジスタ2	C2RVM	R/W	－	○	－	00H
F0564H	ウィンドウ・コンパレータ機能設定レジスタ	CMPWDC	R/W	○	○	－	00H
F0565H	コンパレータ入力切り替え制御レジスタ	CMPSEL	R/W	－	○	－	00H

表3－6 拡張SFR（2nd SFR）一覧（6/12）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0570H	シリアル・データ・レジスタ40	TXD4	SDR40	R/W	－	○	○	0000H
F0571H		－			－	－		
F0572H	シリアル・データ・レジスタ41	RXD4	SDR41	R/W	－	○	○	0000H
F0573H		－			－	－		
F0578H	DALI送信データ・レジスタL4	SDTL4		R/W	－	－	○	0000H
F0579H								
F057AH	DALI送信データ・レジスタH4	SDTH4		R/W	－	－	○	0000H
F057BH								
F057CH	DALI受信データ・レジスタL4	SDCL4		R	－	－	○	0000H
F057DH								
F057EH	DALI受信データ・レジスタH4	SDCH4		R	－	－	○	0000H
F057FH								
F0580H	シリアル・ステータス・レジスタ40	SSR40L	SSR40	R	－	○	○	0000H
F0581H		－			－	－		
F0582H	シリアル・ステータス・レジスタ41	SSR41L	SSR41	R	－	○	○	0000H
F0583H		－			－	－		
F0588H	シリアル・フラグ・クリア・トリガ・レジスタ40	SIR40L	SIR40	R/W	－	○	○	0000H
F0589H		－			－	－		
F058AH	シリアル・フラグ・クリア・トリガ・レジスタ41	SIR41L	SIR41	R/W	－	○	○	0000H
F058BH		－			－	－		
F0590H	シリアル・モード・レジスタ40	SMR40		R/W	－	－	○	0020H
F0591H								
F0592H	シリアル・モード・レジスタ41	SMR41		R/W	－	－	○	0020H
F0593H								
F0598H	シリアル通信動作設定レジスタ40	SCR40		R/W	－	－	○	0087H
F0599H								
F059AH	シリアル通信動作設定レジスタ41	SCR41		R/W	－	－	○	0087H
F059BH								
F05A0H	シリアル・チャネル許可ステータス・レジスタ4	SE4L	SE4	R	○	○	○	0000H
F05A1H		－			－	－		
F05A2H	シリアル・チャネル開始レジスタ4	SS4L	SS4	R/W	○	○	○	0000H
F05A3H		－			－	－		
F05A4H	シリアル・チャネル停止レジスタ4	ST4L	ST4	R/W	○	○	○	0000H
F05A5H		－			－	－		
F05A6H	シリアル・クロック選択レジスタ4	SPS4L	SPS4	R/W	－	○	○	0000H
F05A7H		－			－	－		
F05A8H	シリアル出力レジスタ4	SO4		R/W	－	－	○	0F0FH
F05A9H								

表3－6　拡張SFR（2nd SFR）一覧（7/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F05AAH	シリアル出力許可レジスタ4	SOE4L	SOE4	R/W	○	○	○	0000H
F05ABH		－			－	－		
F05B4H	シリアル出力レベル・レジスタ4	SOL4L	SOL4	R/W	－	○	○	0000H
F05B5H		－			－	－		
F05B8H	シリアル・スタンバイ・コントロール・レジスタ4	SSC4L	SSC4	R/W	－	○	○	0000H
F05B9H		－			－	－		
F05BAH	シリアル・オプション・コントロール・レジスタ4	SOC4		R/W	－	－	○	0000H
F05BBH								
F05C0H	周辺I/Oリダイレクション・レジスタ1	PIOR1		R/W	－	○	－	00H
F05C1H	ノイズ・フィルタ許可レジスタ3	NFEN3		R/W	○	○	－	00H
F05C2H	割り込みマスク・フラグ・レジスタ0	INTMK0		R/W	○	○	－	FFH
F05C3H	割り込みモニタ・フラグ・レジスタ0	INTMF0		R/W注	○	○	－	00H
F05C4H	不正メモリ・アクセス検出制御レジスタ1	IAWCTL1		R/W	－	○	－	00H
F05C5H	タイマ・クロック選択レジスタ2	TPS2		R/W	－	○	－	00H
F05C6H	周辺機能切り替えレジスタ0	PFSEL0		R/W	○	○	－	00H
F05C7H	1線UART制御レジスタ	SUCTL		R/W	○	○	－	00H
F05C8H	16ビット・タイマKC出力端子制御レジスタ	TOETKC0		R/W	○	○	－	00H
F0600H	16ビット・タイマKBコンペア・レジスタ00	TKBCR00		R/W	－	－	○	0000H
F0601H								
F0602H	16ビット・タイマKBコンペア・レジスタ01	TKBCR01		R/W	－	－	○	0000H
F0603H								
F0604H	16ビット・タイマKBコンペア・レジスタ02	TKBCR02		R/W	－	－	○	0000H
F0605H								
F0606H	16ビット・タイマKBコンペア・レジスタ03	TKBCR03		R/W	－	－	○	0000H
F0607H								
F0608H	16ビット・タイマKBトリガ・コンペア・レジスタ0	TKBTGCR0		R/W	－	－	○	0000H
F0609H								
F060AH	16ビット・タイマKBソフト・スタート初期デューティ・レジスタ00	TKBSIR00		R/W	－	－	○	0000H
F060BH								
F060CH	16ビット・タイマKBソフト・スタート初期デューティ・レジスタ01	TKBSIR01		R/W	－	－	○	0000H
F060DH								
F060EH	16ビット・タイマKBディザリング数レジスタ00	TKBDNR00		R/W	－	○	－	00H
F060FH	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ00	TKBSSR00		R/W	－	○	－	00H

注　8ビット・メモリ操作命令の場合は，読み出しのみ

表3－6　拡張SFR（2nd SFR）一覧（8/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0610H	16ビット・タイマKBディザリング数レジスタ01	TKBDNR01	R/W	－	○	－	00H
F0611H	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ01	TKBSSR01	R/W	－	○	－	00H
F0612H	16ビット・タイマKBトリガ・レジスタ0	TKBTRG0	W	○	○	－	00H
F0613H	16ビット・タイマKBフラグ・レジスタ0	TKBFLG0	R	○	○	－	00H
F0614H F0615H	16ビット・タイマKBコンペア1L＆ディザリング数レジスタ00	TKBCRLD00	R/W	－	－	○	0000H
F0616H F0617H	16ビット・タイマKBコンペア1L＆ディザリング数レジスタ01	TKBCRLD01	R/W	－	－	○	0000H
F0620H F0621H	16ビット・タイマ・カウンタKB0	TKBCNT0	R	－	－	○	FFFFH
F0622H F0623H	16ビット・タイマKB動作制御レジスタ00	TKBCTL00	R/W	－	－	○	0000H
F0624H F0625H	16ビット･タイマKB最大周波数リミット設定レジスタ0	TKBMFR0	R/W	－	－	○	0000H
F0626H	16ビット・タイマKB出力制御レジスタ00	TKBIOC00	R/W	○	○	－	00H
F0627H	16ビット・タイマKBフラグ・クリア・トリガ・レジスタ0	TKBCLR0	W	○	○	－	00H
F0628H	16ビット・タイマKB出力制御レジスタ01	TKBIOC01	R/W	○	○	－	00H
F0629H	16ビット・タイマKB動作制御レジスタ01	TKBCTL01	R/W	○	○	－	00H
F0630H F0631H	強制出力停止機能制御レジスタ00	TKBPACTL00	R/W	－	－	○	0000H
F0632H F0633H	強制出力停止機能制御レジスタ01	TKBPACTL01	R/W	－	－	○	0000H
F0634H	強制出力停止機能スタート・トリガ・レジスタ0	TKBPAHFS0	W	○	○	－	00H
F0635H	強制出力停止機能ストップ・トリガ・レジスタ0	TKBPAHFT0	W	○	○	－	00H
F0636H	強制出力停止機能フラグ・レジスタ0	TKBPAFLG0	R	○	○	－	00H
F0637H	強制出力停止機能制御レジスタ02	TKBPACTL02	R/W	○	○	－	00H

表3－6 拡張SFR（2nd SFR）一覧（9/12）

アドレス	特殊機能レジスタ（SFR）名称	略 号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0640H F0641H	16ビット・タイマKBコンペア・レジスタ10	TKBCR10	R/W	－	－	○	0000H
F0642H F0643H	16ビット・タイマKBコンペア・レジスタ11	TKBCR11	R/W	－	－	○	0000H
F0644H F0645H	16ビット・タイマKBコンペア・レジスタ12	TKBCR12	R/W	－	－	○	0000H
F0646H F0647H	16ビット・タイマKBコンペア・レジスタ13	TKBCR13	R/W	－	－	○	0000H
F0648H F0649H	16ビット・タイマKBトリガ・コンペア・レジスタ1	TKBTGCR1	R/W	－	－	○	0000H
F064AH F064BH	16ビット・タイマKBソフト・スタート初期デューティ・レジスタ10	TKBSIR10	R/W	－	－	○	0000H
F064CH F064DH	16ビット・タイマKBソフト・スタート初期デューティ・レジスタ11	TKBSIR11	R/W	－	－	○	0000H
F064EH	16ビット・タイマKBディザリング数レジスタ10	TKBDNR10	R/W	－	○	－	00H
F064FH	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ10	TKBSSR10	R/W	－	○	－	00H
F0650H	16ビット・タイマKBディザリング数レジスタ11	TKBDNR11	R/W	－	○	－	00H
F0651H	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ11	TKBSSR11	R/W	－	○	－	00H
F0652H	16ビット・タイマKBトリガ・レジスタ1	TKBTRG1	W	○	○	－	00H
F0653H	16ビット・タイマKBフラグ・レジスタ1	TKBFLG1	R	○	○	－	00H
F0654H F0655H	16ビット・タイマKBコンペア1L＆ディザリング数レジスタ10	TKBCRLD10	R/W	－	－	○	0000H
F0656H F0657H	16ビット・タイマKBコンペア1L＆ディザリング数レジスタ11	TKBCRLD11	R/W	－	－	○	0000H
F0660H F0661H	16ビット・タイマ・カウンタKB1	TKBCNT1	R	－	－	○	FFFFH
F0662H F0663H	16ビット・タイマKB動作制御レジスタ10	TKBCTL10	R/W	－	－	○	0000H
F0664H F0665H	16ビット・タイマKB最大周波数リミット設定レジスタ1	TKBMFR1	R/W	－	－	○	0000H
F0666H	16ビット・タイマKB出力制御レジスタ10	TKBIOC10	R/W	○	○	－	00H
F0667H	16ビット・タイマKBフラグ・クリア・トリガ・レジスタ1	TKBCLR1	W	○	○	－	00H

表3－6　拡張SFR（2nd SFR）一覧（10/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0668H	16ビット・タイマKB出力制御レジスタ11	TKBIOC11	R/W	○	○	－	00H
F0669H	16ビット・タイマKB動作制御レジスタ11	TKBCTL11	R/W	○	○	－	00H
F0670H F0671H	強制出力停止機能制御レジスタ10	TKBPACTL10	R/W	－	－	○	0000H
F0672H F0673H	強制出力停止機能制御レジスタ11	TKBPACTL11	R/W	－	－	○	0000H
F0674H	強制出力停止機能スタート・トリガ・レジスタ1	TKBPAHFS1	W	○	○	－	00H
F0675H	強制出力停止機能ストップ・トリガ・レジスタ1	TKBPAHFT1	W	○	○	－	00H
F0676H	強制出力停止機能フラグ・レジスタ1	TKBPAFLG1	R	○	○	－	00H
F0677H	強制出力停止機能制御レジスタ12	TKBPACTL12	R/W	○	○	－	00H
F0680H F0681H	16ビット・タイマKBコンペア・レジスタ20	TKBCR20	R/W	－	－	○	0000H
F0682H F0683H	16ビット・タイマKBコンペア・レジスタ21	TKBCR21	R/W	－	－	○	0000H
F0684H F0685H	16ビット・タイマKBコンペア・レジスタ22	TKBCR22	R/W	－	－	○	0000H
F0686H F0687H	16ビット・タイマKBコンペア・レジスタ23	TKBCR23	R/W	－	－	○	0000H
F0688H F0689H	16ビット・タイマKBトリガ・コンペア・レジスタ2	TKBTGCR2	R/W	－	－	○	0000H
F068AH F068BH	16ビット・タイマKBソフト・スタート初期デューティ・レジスタ20	TKBSIR20	R/W	－	－	○	0000H
F068CH F068DH	16ビット・タイマKBソフト・スタート初期デューティ・レジスタ21	TKBSIR21	R/W	－	－	○	0000H
F068EH	16ビット・タイマKBディザリング数レジスタ20	TKBDNR20	R/W	－	○	－	00H
F068FH	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ20	TKBSSR20	R/W	－	○	－	00H
F0690H	16ビット・タイマKBディザリング数レジスタ21	TKBDNR21	R/W	－	○	－	00H
F0691H	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ21	TKBSSR21	R/W	－	○	－	00H

表3－6　拡張SFR（2nd SFR）一覧（11/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0692H	16ビット・タイマKBトリガ・レジスタ2	TKBTRG2	W	○	○	－	00H
F0693H	16ビット・タイマKBフラグ・レジスタ2	TKBFLG2	R	○	○	－	00H
F0694H F0695H	16ビット・タイマKBコンペア1L＆ディザリング数レジスタ20	TKBCRLD20	R/W	－	－	○	0000H
F0696H F0697H	16ビット・タイマKBコンペア1L＆ディザリング数レジスタ21	TKBCRLD21	R/W	－	－	○	0000H
F06A0H F06A1H	16ビット・タイマ・カウンタKB2	TKBCNT2	R	－	－	○	FFFFH
F06A2H F06A3H	16ビット・タイマKB動作制御レジスタ20	TKBCTL20	R/W	－	－	○	0000H
F06A4H F06A5H	16ビット･タイマKB最大周波数リミット設定レジスタ2	TKBMFR2	R/W	－	－	○	0000H
F06A6H	16ビット・タイマKB出力制御レジスタ20	TKBIOC20	R/W	○	○	－	00H
F06A7H	16ビット・タイマKBフラグ・クリア・トリガ・レジスタ2	TKBCLR2	W	○	○	－	00H
F06A8H	16ビット・タイマKB出力制御レジスタ21	TKBIOC21	R/W	○	○	－	00H
F06A9H	16ビット・タイマKB動作制御レジスタ21	TKBCTL21	R/W	○	○	－	00H
F06B0H F06B1H	強制出力停止機能制御レジスタ20	TKBPACTL20	R/W	－	－	○	0000H
F06B2H F06B3H	強制出力停止機能制御レジスタ21	TKBPACTL21	R/W	－	－	○	0000H
F06B4H	強制出力停止機能スタート・トリガ・レジスタ2	TKBPAHFS2	W	○	○	－	00H
F06B5H	強制出力停止機能ストップ・トリガ・レジスタ2	TKBPAHFT2	W	○	○	－	00H
F06B6H	強制出力停止機能フラグ・レジスタ2	TKBPAFLG2	R	○	○	－	00H
F06B7H	強制出力停止機能制御レジスタ22	TKBPACTL22	R/W	○	○	－	00H

表3－6　拡張SFR（2nd SFR）一覧（12/12）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F06D0H	16ビット・タイマKCコンペア・レジスタ0	TKCCR0	R/W	－	－	○	0000H
F06D2H	16ビット・タイマKCデューティ・コンペア・レジスタ00	TKCDUTY00	R/W	－	－	○	0000H
F06D4H	16ビット・タイマKCデューティ・コンペア・レジスタ01	TKCDUTY01	R/W	－	－	○	0000H
F06D6H	16ビット・タイマKCデューティ・コンペア・レジスタ02	TKCDUTY02	R/W	－	－	○	0000H
F06D8H	16ビット・タイマKCデューティ・コンペア・レジスタ03	TKCDUTY03	R/W	－	－	○	0000H
F06DAH	16ビット・タイマKCデューティ・コンペア・レジスタ04	TKCDUTY04	R/W	－	－	○	0000H
F06DCH	16ビット・タイマKCデューティ・コンペア・レジスタ05	TKCDUTY05	R/W	－	－	○	0000H
F06DEH	16ビット・タイマKCトリガ・レジスタ0	TKCTRG0	W	○	○	－	00H
F06DFH	16ビット・タイマKCフラグ・レジスタ0	TKCFLG0	R	○	○	－	00H
F06E2H	16ビット・タイマKC出力制御レジスタ00	TKCIOC00	R/W	－	－	○	0000H
F06E4H	16ビット・タイマKC出力制御レジスタ01	TKCIOC01	R/W	○	○	－	00H
F06E5H	16ビット・タイマKC動作制御レジスタ0	TKCCTL0	R/W	○	○	－	00H
F06E6H	16ビット・タイマKC出力フラグ・レジスタ0	TKCTOF0	R	○	○	－	00H
F06F0H	16ビット・タイマ・カウンタKC0	TKCCNT0	R	－	－	○	FFFFH

備考　SFR領域のSFRについては，表3－5　SFR一覧を参照してください。

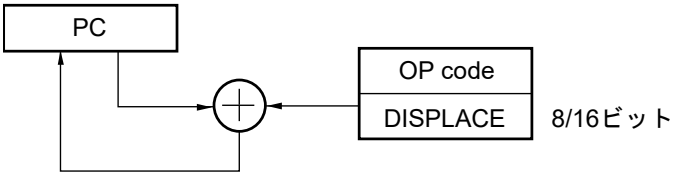
3. 3　命令アドレスのアドレッシング

3. 3. 1　レラティブ・アドレッシング

【機　　能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し，命令語に含まれるディスプレースメント値（符号付きの補数データ：－128～＋127または－32768～＋32767）を加算した結果を，プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3－12　レラティブ・アドレッシングの概略



3. 3. 2　イミーディエト・アドレッシング

【機　　能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し，分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と，16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3－13　CALL !!addr20/BR !!addr20の例

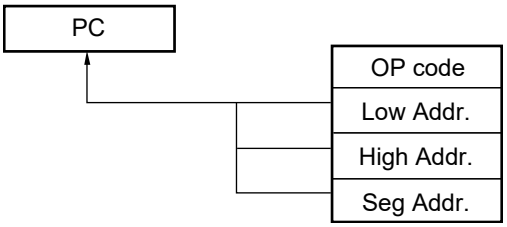
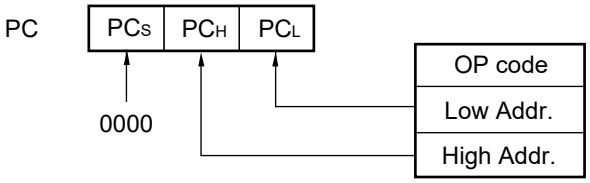


図3－14　CALL !addr16/BR !addr16の例



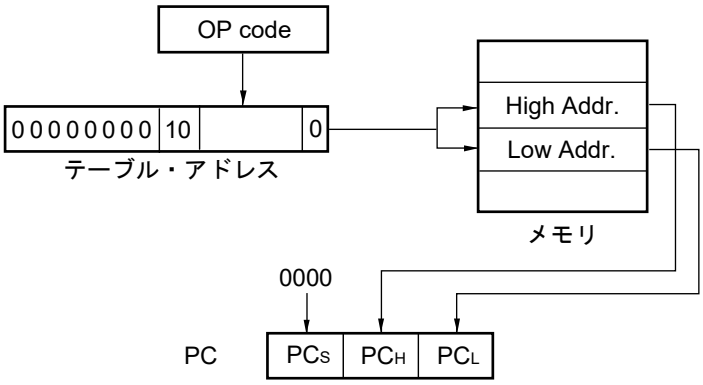
3. 3. 3　テーブル・インダイレクト・アドレッシング

【機　　能】

命令語中の5ビット・イミーディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し，その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは，00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3－15　テーブル・インダイレクト・アドレッシングの概略

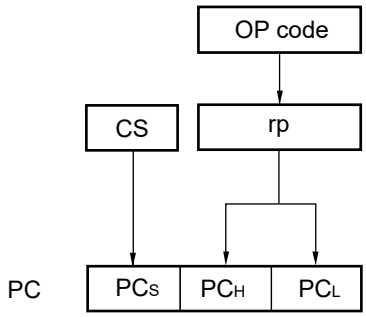


3. 3. 4　レジスタ・インダイレクト・アドレッシング

【機　　能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3－16　レジスタ・インダイレクト・アドレッシングの概略



3.4　処理データ・アドレスに対するアドレッシング

3.4.1　インプライド・アドレッシング

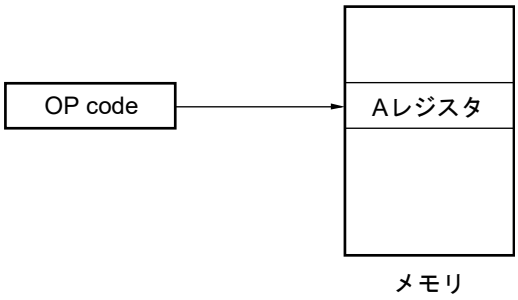
【機　　能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は，命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3－17　インプライド・アドレッシングの概略



3.4.2　レジスタ・アドレッシング

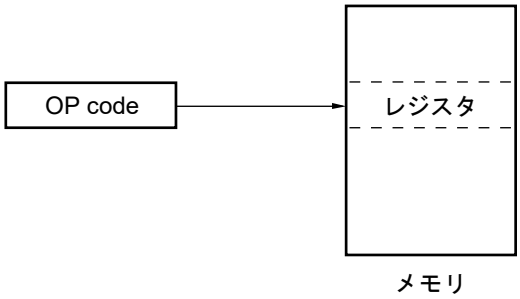
【機　　能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット，16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X，A，C，B，E，D，L，H
rp	AX，BC，DE，HL

図3－18　レジスタ・アドレッシングの概略



3. 4. 3　ダイレクト・アドレッシング

【機　　能】

命令語中のイミーディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミーディエト・データ （F0000H-FFFFFH空間のみ指定可能）
ES:!addr16	ラベルまたは16ビット・イミーディエト・データ （ESレジスタにて上位4ビット・アドレス指定）

図3－19　!addr16の例

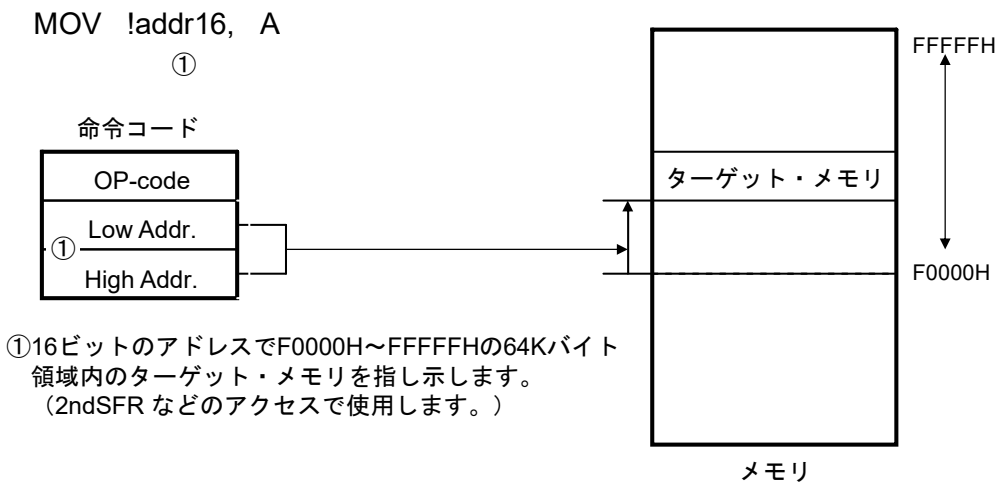
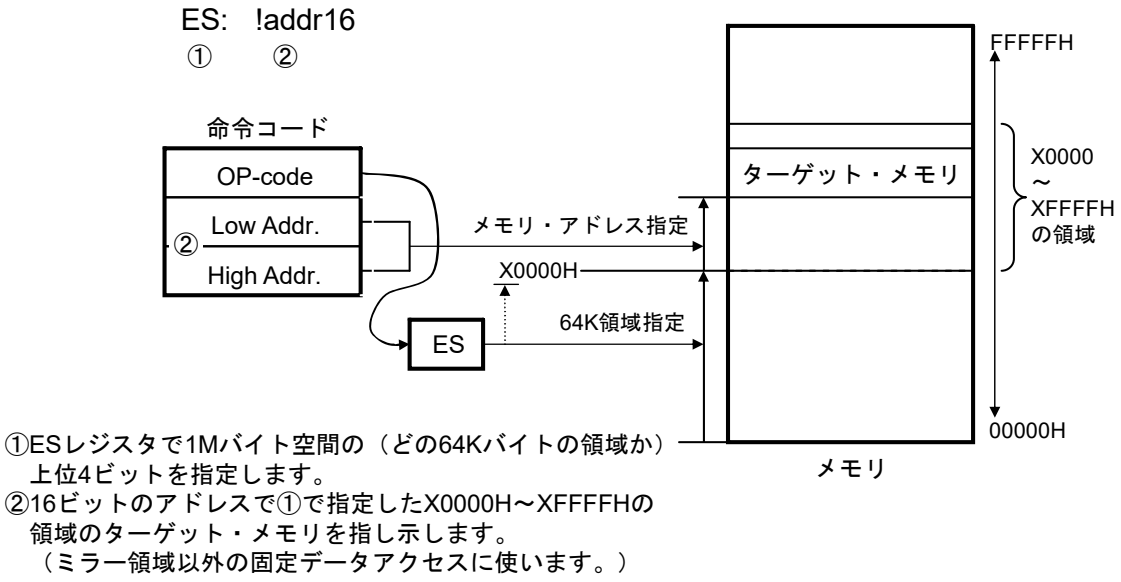


図3－20　ES:!addr16の例



3. 4. 4　ショート・ダイレクト・アドレッシング

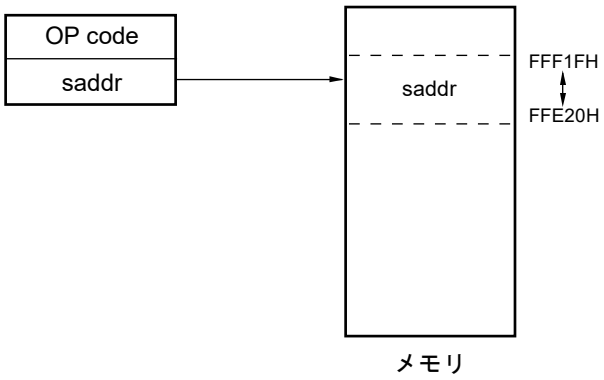
【機　　能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ （FFE20H-FFF1FH空間のみ指定可能）
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ（偶数アドレスのみ） （FFE20H-FFF1FH空間のみ指定可能）

図3－21　ショート・ダイレクト・アドレッシングの概略



備考　SADDR, SADDRPは，（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また，20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。
ただし，どちらの形式で書いても，メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3. 4. 5　SFRアドレッシング

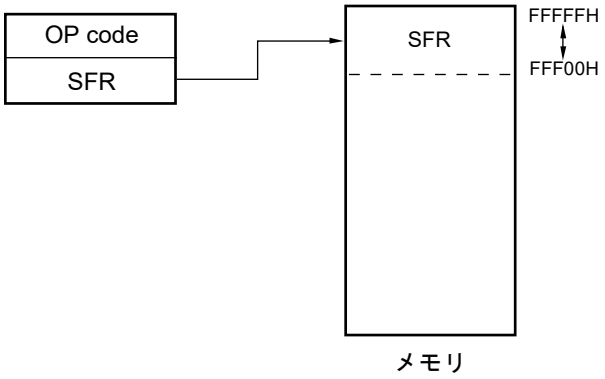
【機　　能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図3－22　SFRアドレッシングの概略



3.4.6　レジスタ・インダイレクト・アドレッシング

【機　　能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[DE]，[HL] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[DE]，ES:[HL] （ESレジスタにて上位4ビット・アドレス指定）

図3－23　[DE]，[HL]の例

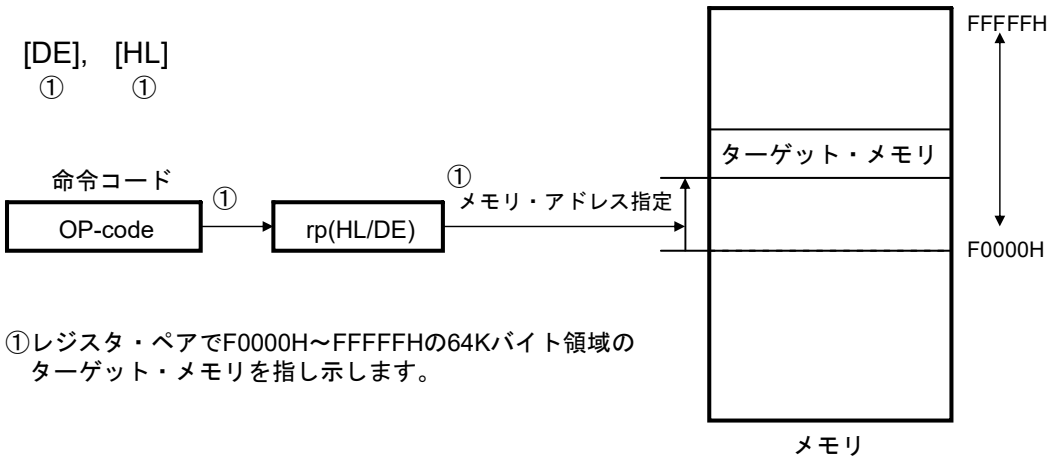
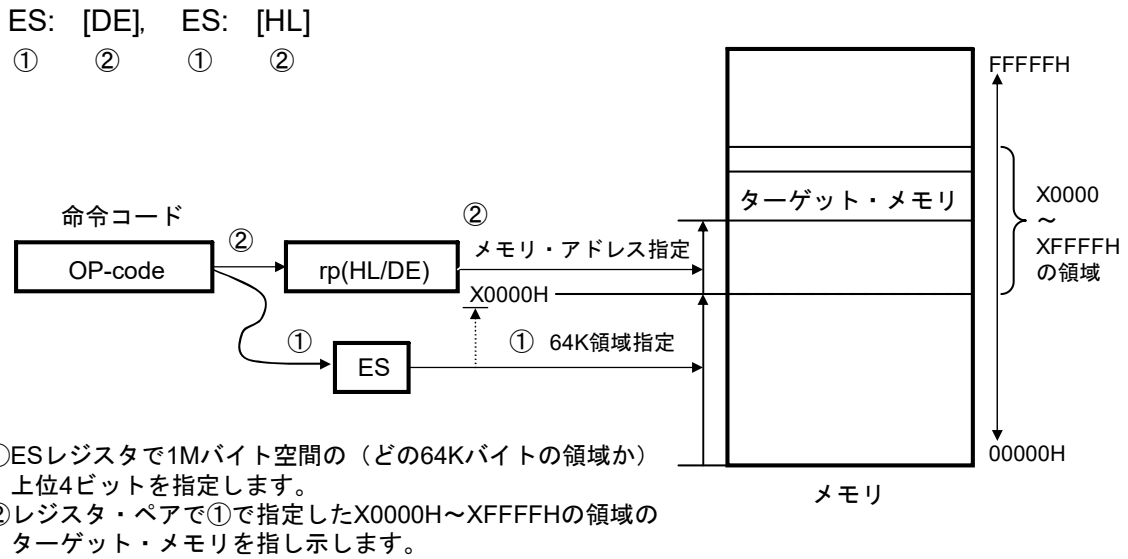


図3－24　ES:[DE]，ES:[HL]の例



3. 4. 7　ベースト・アドレッシング

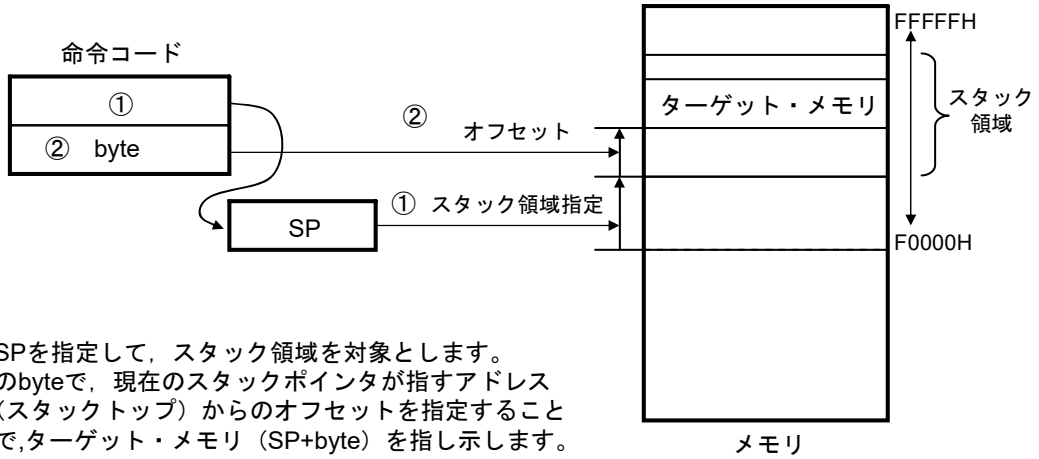
【機　　能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミーディエト・データをベース・アドレスとし，8ビット・イミーディエト・データまたは16ビット・イミーディエト・データをオフセット・データとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[HL＋byte]，[DE + byte]，[SP + byte] （F0000H-FFFFFH空間のみ指定可能）
－	word[B]，word[C] （F0000H-FFFFFH空間のみ指定可能）
－	word[BC] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[HL＋byte]，ES:[DE + byte] （ESレジスタにて上位4ビット・アドレス指定）
－	ES:word[B]，ES:word[C] （ESレジスタにて上位4ビット・アドレス指定）
－	ES:word[BC] （ESレジスタにて上位4ビット・アドレス指定）

図3－25　[SP+byte]の例



①SPを指定して，スタック領域を対象とします。
②のbyteで，現在のスタックポインタが指すアドレス（スタックトップ）からのオフセットを指定することで,ターゲット・メモリ（SP+byte）を指し示します。

図3－26　[HL+byte]，[DE+byte]の例

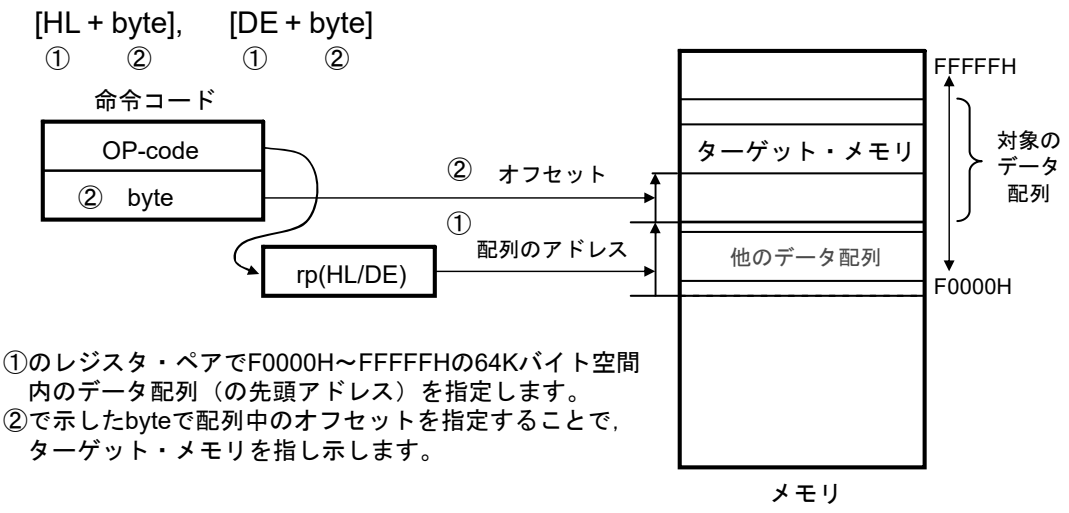


図3－27　word[B]，word[C]の例

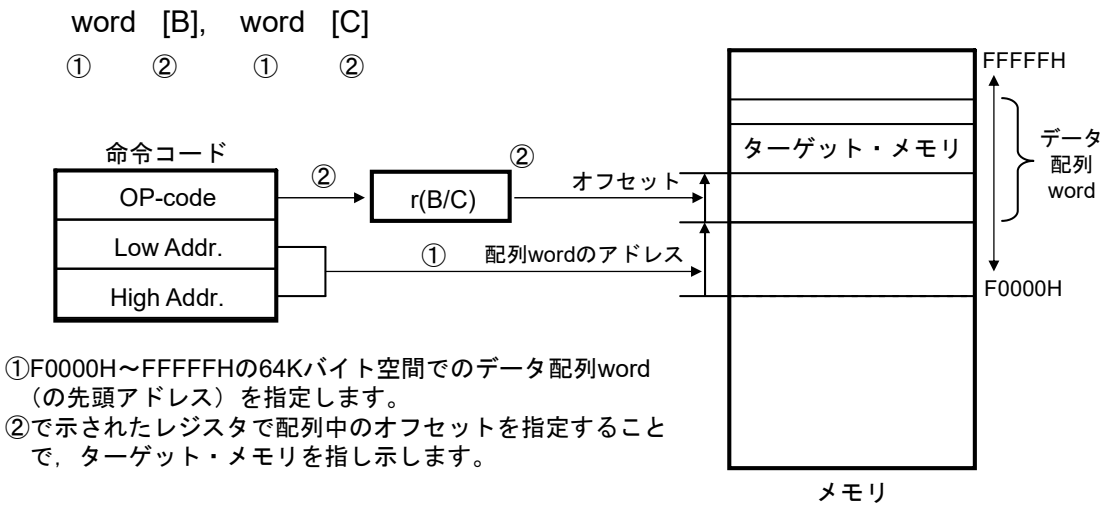


図3－28　word[BC]の例

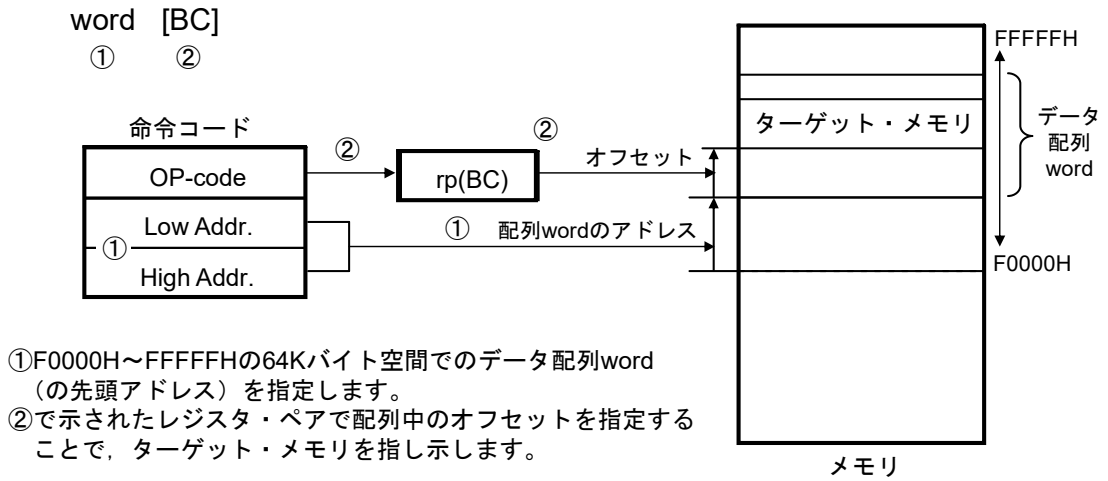
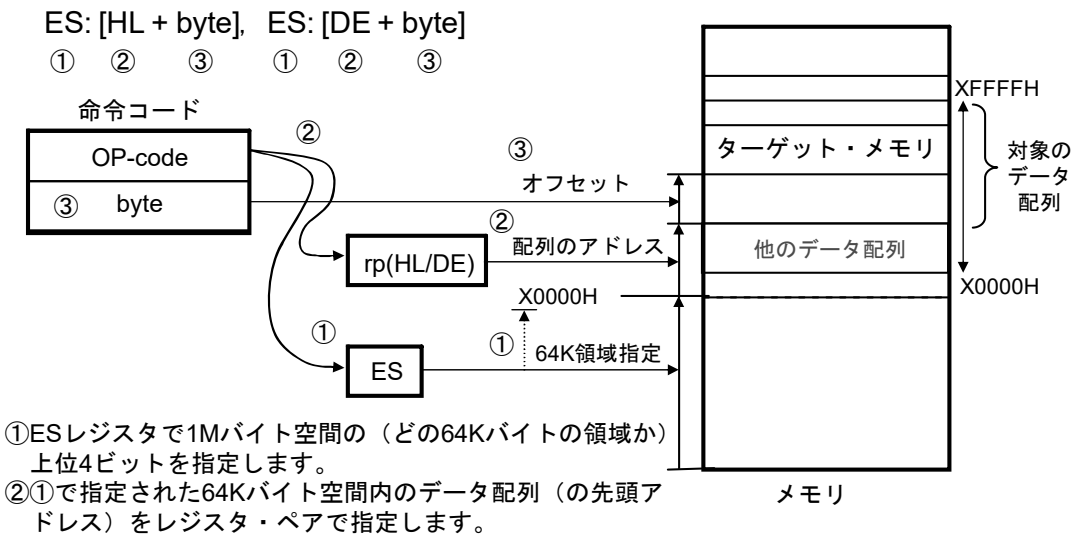
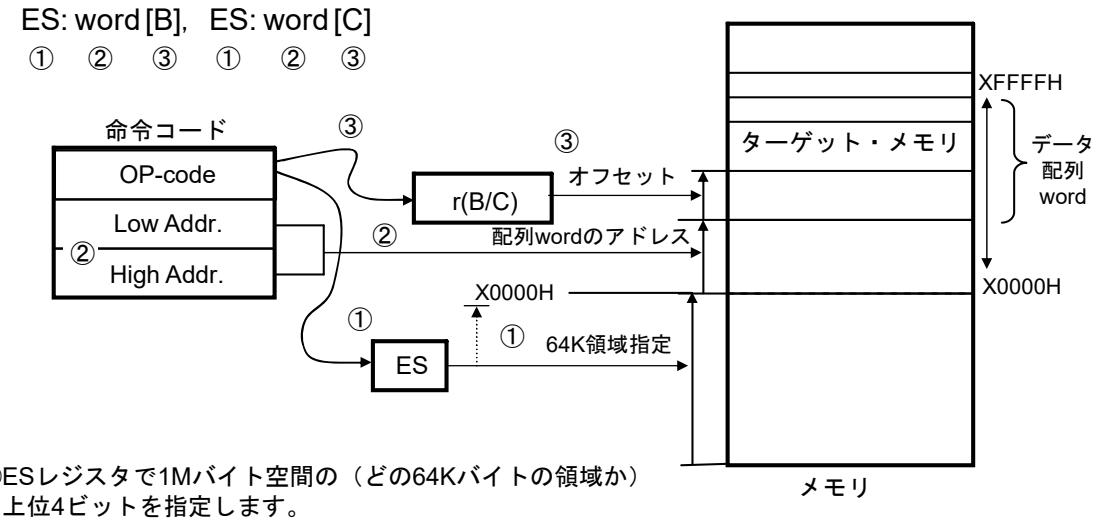


図3－29　ES:[HL+byte]，ES:[DE+byte]の例



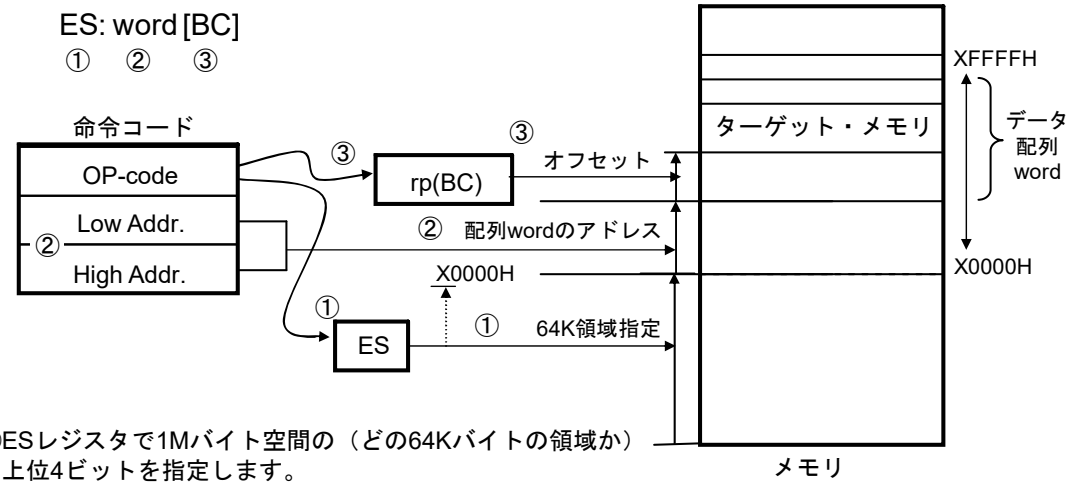
①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間内のデータ配列（の先頭アドレス）をレジスタ・ペアで指定します。
③で示したbyteで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－30　ES:word[B]，ES:word[C]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－31　ES:word[BC]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタ・ペアで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

3. 4. 8　ベースト・インデクスト・アドレッシング

【機　　能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし，同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[HL＋B]，[HL＋C] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[HL＋B]，ES:[HL＋C] （ESレジスタにて上位4ビット・アドレス指定）

図3－32　[HL+B]，[HL+C]の例

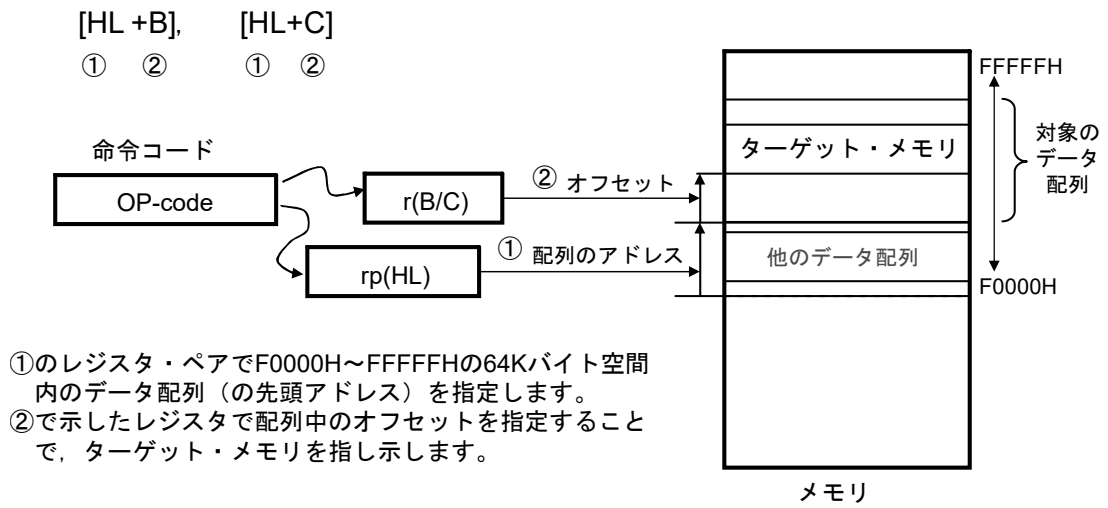
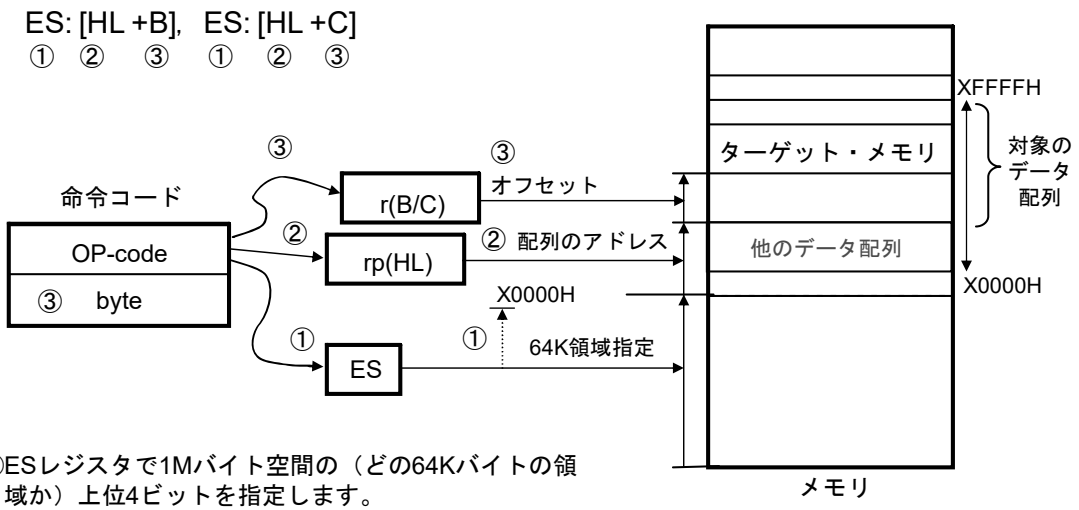


図3－33　ES:[HL+B]，ES:[HL+C]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間内のデータ配列（の先頭アドレス）をレジスタ・ペアで指定します。
③で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

3.4.9　スタック・アドレッシング

【機　　能】

スタック・ポインタ（SP）の内容によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール，リターン命令の実行時，および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

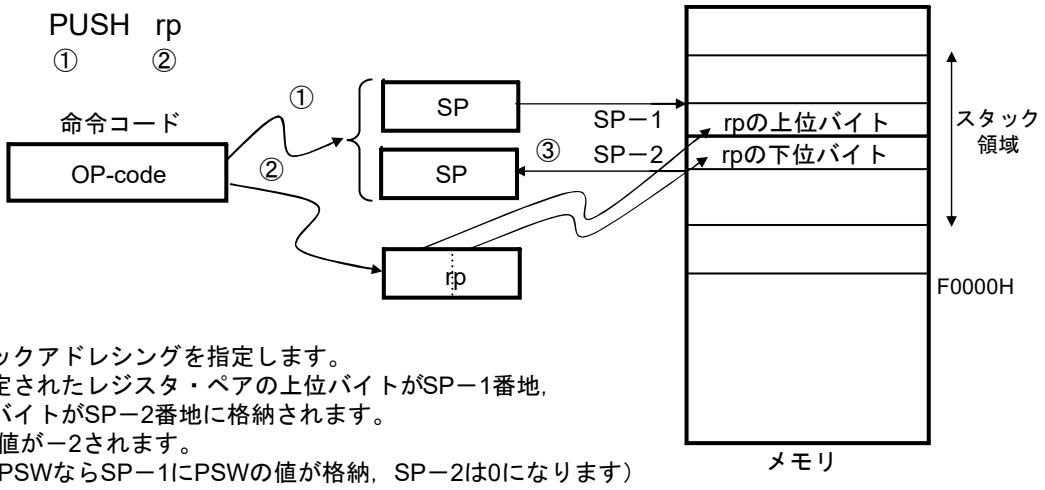
スタック領域は内部RAM上にだけ設定できます。

【オペランド形式】

表現形式	記述方法
－	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

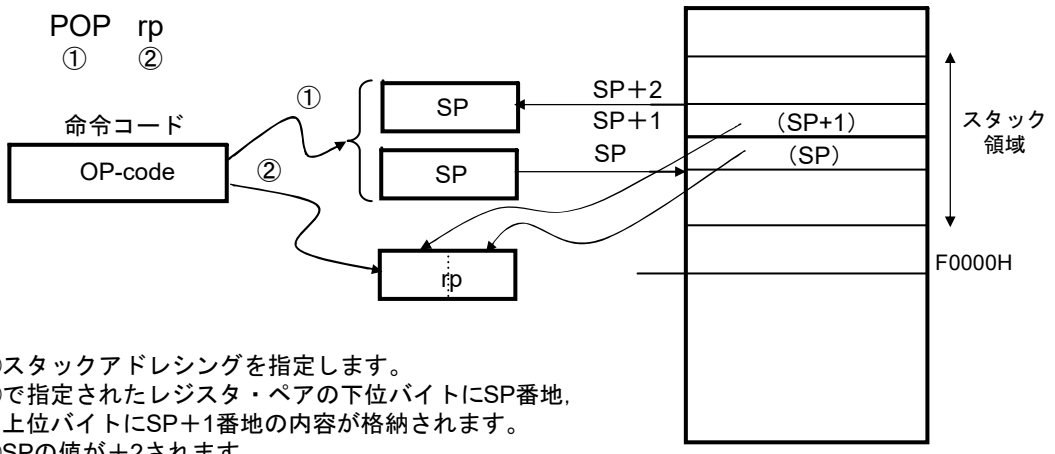
各スタック動作によって退避／復帰されるデータは図3－34～図3－39のようになります。

図3－34　PUSH rpの例



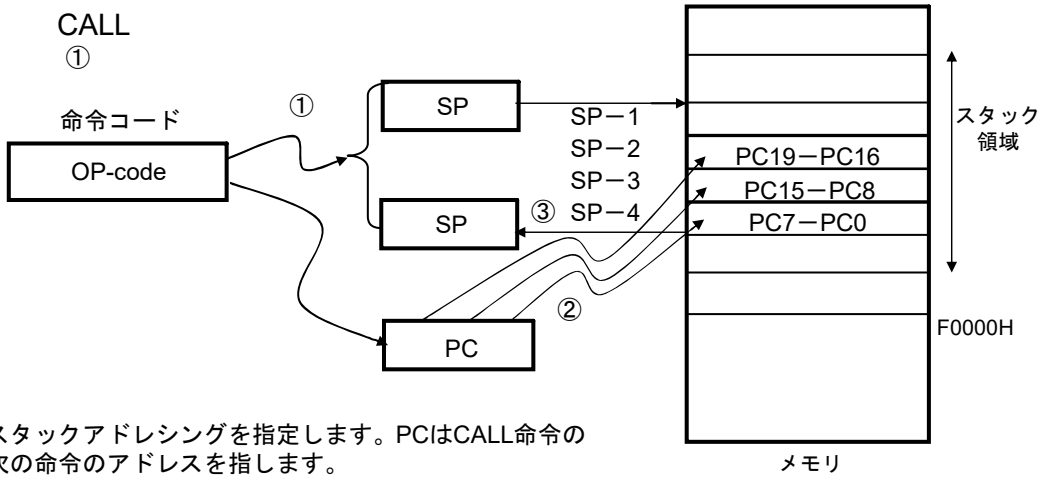
①スタックアドレシングを指定します。
②で指定されたレジスタ・ペアの上位バイトがSP－1番地，
　下位バイトがSP－2番地に格納されます。
③SPの値が－2されます。
　（rp→PSWならSP－1にPSWの値が格納，SP－2は0になります）

図3－35　POPの例



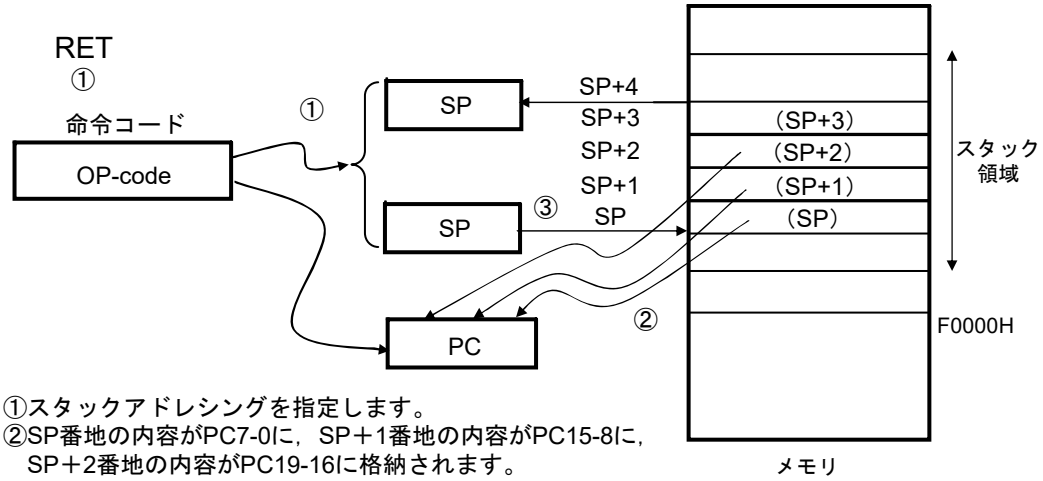
①スタックアドレシングを指定します。
②で指定されたレジスタ・ペアの下位バイトにSP番地，
　上位バイトにSP＋1番地の内容が格納されます。
③SPの値が＋2されます。
　（rp→PSWならSP＋1番地の内容がPSWに格納されます）

図3－36　CALL，CALLTの例



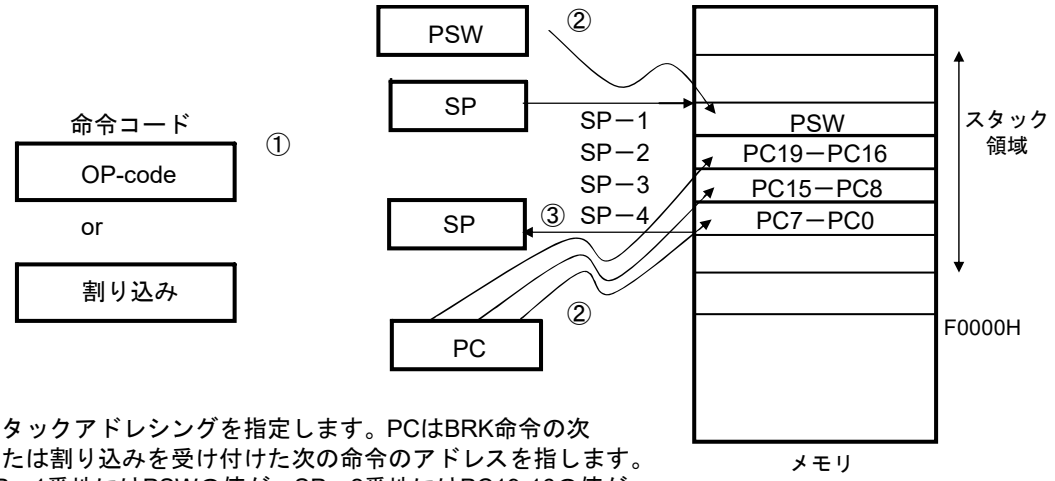
①スタックアドレシングを指定します。PCはCALL命令の
　次の命令のアドレスを指します。
②SP－2番地にはPC19-16の値が，SP－3番地にはPC15-8の値が，
　SP－4番地にはPC7-0の値が格納されます。
③SPの値が－4されます。

図3－37　RETの例



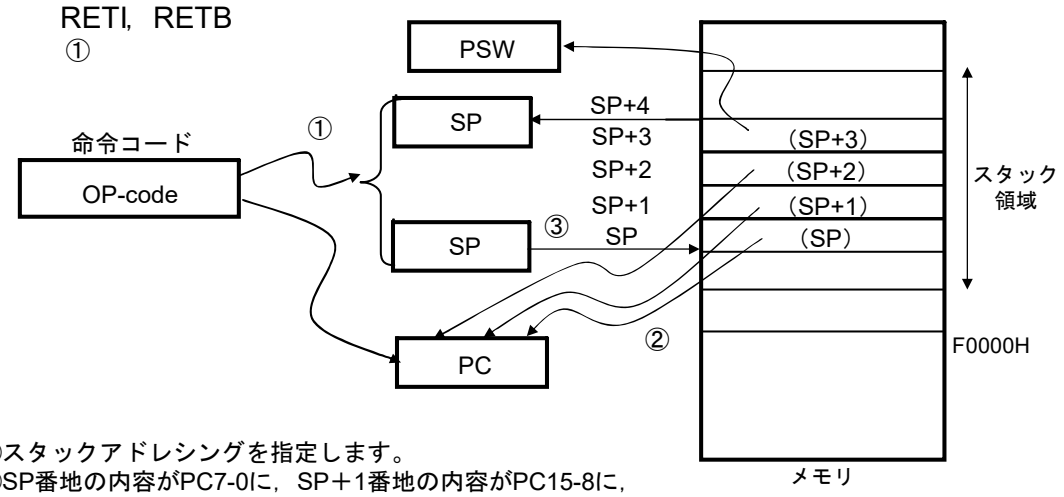
①スタックアドレシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
　SP＋2番地の内容がPC19-16に格納されます。
③SPの値が＋4されます。

図3－38　割り込み，BRKの例



①スタックアドレシングを指定します。PCはBRK命令の次
　または割り込みを受け付けた次の命令のアドレスを指します。
②SP－1番地にはPSWの値が，SP－2番地にはPC19-16の値が，
　SP－3番地にはPC15-8の値が，SP－4番地にはPC7-0の値が
　格納されます。
③SPの値が－4されます。

図3－39　RETI，RETBの例



①スタックアドレシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
　SP＋2番地の内容がPC19-16に，SP＋3番地の内容がPSW
　格納されます。
③SPの値が＋4されます。

第4章　ポート機能

4.1　ポートの機能

RL78/I1Aは，デジタル入出力ポートを備えており，多様な制御を行うことができます。

また，デジタル入出力ポートとしての機能以外に，各種兼用機能を備えています。兼用機能については，第2章端子機能を参照してください。

4.2　ポートの構成

ポートは，次のハードウエアで構成しています。

表4－1　ポートの構成

項　　目	構　　成
制御レジスタ	ポート・モード・レジスタ（PM0-PM4, PM7, PM12, PM14, PM20） ポート・レジスタ（P0-P4, P7, P12-P14, P20） プルアップ抵抗オプション・レジスタ（PU0, PU1, PU3, PU4, PU7, PU12, PU14, PU20） ポート入力モード・レジスタ（PIM0, PIM1） ポート出力モード・レジスタ（POM0, POM1, POM20） ポート・モード・コントロール・レジスタ（PMC0, PMC12, PMC14） A/Dポート・コンフィギュレーション・レジスタ（ADPC） 周辺I/Oリダイレクション・レジスタ（PIOR1）
ポート	・20ピン製品： 合計：16本（CMOS入出力：13本，CMOS入力：3本） ・30ピン製品： 合計：26本（CMOS入出力：23本，CMOS入力：3本） ・38ピン製品： 合計：34本（CMOS入出力：29本，CMOS入力：5本）
プルアップ抵抗	・20ピン製品　　：合計：8本 ・30ピン製品　　：合計：16本 ・38ピン製品　　：合計：22本

4.2.1　ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P02, P03, P05, P06端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P03端子の入力は，ポート入力モード・レジスタ0（PIM0）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P02端子の出力は，ポート出力モード・レジスタ0（POM0）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能です。

P02，P03端子をデジタル入出力ポートとして使用する場合，ポート・モード・コントロール・レジスタ0（PMC0）で“デジタル入出力”を設定してください（1ビット単位で設定可能）。

また，兼用機能としてタイマの入出力，A/Dコンバータのアナログ入力，シリアル・インタフェースのデータ入出力，コンパレータのアナログ入力があります。

リセット信号の発生により，以下のようになります。

・30ピン，38ピン製品のP02, P03端子　…　アナログ入力

・38ピン製品のP05, P06端子　…　入力モード

4.2.2　ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P10-P12端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ1（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11端子の入力は，ポート入力モード・レジスタ1（PIM1）の設定により1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P10-P12端子の出力は，ポート出力モード・レジスタ1（POM1）の設定により1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力（V_{DD}耐圧）に指定できます。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力，タイマの出力，外部割り込み要求入力があります。

リセット信号の発生により，入力モードになります。

4. 2. 3　ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2（PM2）により1ビット単位で入力モード／出力モードの指定ができます。

また，兼用機能としてA/Dコンバータのアナログ入力，A/Dコンバータの内部基準電圧入力，コンパレータの内部基準電圧入力，PGAの基準電圧入力，コンパレータのアナログ入力があります。

P20/ANI0-P22/ANI2, P24/ANI4-P27/ANI7をデジタル入出力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で“デジタル入出力“に設定して，上位ビットから使用してください。

P20/ANI0-P22/ANI2，P24/ANI4-P27/ANI7をアナログ入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に，かつPM2レジスタで入力モードに設定して，下位ビットから使用してください。

表4－2　P20/ANI0-P22/ANI2, P24/ANI4-P27/ANI7端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0-P22/ANI2, P24/ANI4-P27/ANI7端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P20/ANI0-P22/ANI2, P24/ANI4-P27/ANI7はすべてアナログ入力になります。

4. 2. 4　ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3（PM3）により1ビット単位で入力モード／出力モードの指定ができます。P30, P31端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ3（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

兼用機能として外部割り込み要求入力，リアルタイム・クロックの補正クロック出力，タイマの入出力があります。

リセット信号の発生により，P30, P31は入力モードになります。

4. 2. 5　ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4（PM4）により1ビット単位で入力モード／出力モードの指定ができます。P40端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ4（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能としてフラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力があります。

リセット信号の発生により，入力モードになります。

4. 2. 6　ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7（PM7）により1ビット単位で入力モード／出力モードの指定ができます。P75-P77端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ7（PU7）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能として外部割り込み要求入力があります。

リセット信号の発生により，入力モードになります。

4. 2. 7　ポート12

P120は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12（PM12）により，1ビット単位で入力モード／出力モードの指定ができます。P120端子を入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ12（PU12）により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

P120端子は，ポート・モード・コントロール・レジスタ12（PMC12）の設定によりデジタル入出力／アナログ入力の指定ができます。

また兼用機能としてA/Dコンバータのアナログ入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力があります。

リセット信号の発生により，P120はアナログ入力になります。P121-P124は入力モードになります。

4. 2. 8　ポート13

1ビット入力専用ポートです。

また兼用機能として外部割り込み要求入力があります。

4. 2. 9　ポート14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14（PM14）により1ビット単位で入力モード／出力モードの指定ができます。P147端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ14（PU14）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P147端子は，ポート・モード・コントロール・レジスタ14（PMC14）の設定によりデジタル入出力／アナログ入力の指定ができます。

また，兼用機能としてA/Dコンバータのアナログ入力，コンパレータ外部基準電圧入力があります。

リセット信号の発生により，アナログ入力になります。

4. 2. 10　ポート20

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ20（PM20）により1ビット単位で入力モード／出力モードの指定ができます。P200-P206端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ20（PU20）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P200-P206端子の出力は，ポート出力モード・レジスタ20（POM20）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能です。

また，兼用機能としてシリアル・インタフェースのデータ入出力，タイマの出力，外部割り込み要求入力があります。

リセット信号の発生により，入力モードになります。

4.3　ポート機能を制御するレジスタ

ポートは，次のレジスタで制御します。

・ポート・モード・レジスタ（PMxx）
・ポート・レジスタ（Pxx）
・プルアップ抵抗オプション・レジスタ（PUxx）
・ポート入力モード・レジスタ（PIMx）
・ポート出力モード・レジスタ（POMx）
・ポート・モード・コントロール・レジスタ（PMCxx）
・A/Dポート・コンフィギュレーション・レジスタ（ADPC）
・周辺I/Oリダイレクション・レジスタ（PIOR1）

注意　製品によって，搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては，表4－3を参照してください。また，搭載していないビットには必ず初期値を設定してください。ただし、図4－1 ポート・モード・レジスタのフォーマットの注意で示された未定義ビットは除きます。

表4－3　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（1/3）

ポート		ビット名						20ピン	30ピン	38ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ			
ポート0	0	－	－	－	－	－	－	－	－	－
	1	－	－	－	－	－	－	－	－	－
	2	PM02	P02	PU02	－	POM02	PMC02	－	○	○
	3	PM03	P03	PU03	PIM03	－	PMC03	－	○	○
	4	－	－	－	－	－	－	－	－	－
	5	PM05	P05	PU05	－	－	－	－	－	○
	6	PM06	P06	PU06	－	－	－	－	－	○
	7	－	－	－	－	－	－	－	－	－
ポート1	0	PM10	P10	PU10	PIM10	POM10	－	○	○	○
	1	PM11	P11	PU11	PIM11	POM11	－	○	○	○
	2	PM12	P12	PU12	－	POM12	－	－	－	○
	3	－	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－	－
ポート2	0	PM20	P20	－	－	－	－	○	○	○
	1	PM21	P21	－	－	－	－	○	○	○
	2	PM22	P22	－	－	－	－	○	○	○
	3	－	－	－	－	－	－	－	－	－
	4	PM24	P24	－	－	－	－	○	○	○
	5	PM25	P25	－	－	－	－	○	○	○
	6	PM26	P26	－	－	－	－	－	○	○
	7	PM27	P27	－	－	－	－	－	○	○

表4－3　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（2/3）

ポート		ビット名						20ピン	30ピン	38ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ			
ポート3	0	PM30	P30	PU30	－	－	－	－	－	○
	1	PM31	P31	PU31	－	－	－	－	○	○
	2	－	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－	－
ポート4	0	PM40	P40	PU40	－	－	－	○	○	○
	1	－	－	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－	－
ポート7	0	－	－	－	－	－	－	－	－	－
	1	－	－	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－	－
	5	PM75	P75	PU75	－	－	－	－	－	○
	6	PM76	P76	PU76	－	－	－	－	－	○
	7	PM77	P77	PU77	－	－	－	－	○	○
ポート12	0	PM120	P120	PU120	－	－	PMC120	－	○	○
	1	－	P121	－	－	－	－	○	○	○
	2	－	P122	－	－	－	－	○	○	○
	3	－	P123	－	－	－	－	－	－	○
	4	－	P124	－	－	－	－	－	－	○
	5	－	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－	－
ポート13	0	－	－	－	－	－	－	－	－	－
	1	－	－	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－	－
	7	－	P137	－	－	－	－	○	○	○

表4－3　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（3/3）

ポート		ビット名						20ピン	30ピン	38ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ			
ポート14	0	－	－	－	－	－	－	－	－	－
	1	－	－	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－	－
	7	PM147	P147	PU147	－	－	PMC147	○	○	○
ポート20	0	PM200	P200	PU200	－	POM200	－	○	○	○
	1	PM201	P201	PU201	－	POM201	－	○	○	○
	2	PM202	P202	PU202	－	POM202	－	○	○	○
	3	PM203	P203	PU203	－	POM203	－	○	○	○
	4	PM204	P204	PU204	－	POM204	－	－	○	○
	5	PM205	P205	PU205	－	POM205	－	－	○	○
	6	PM206	P206	PU206	－	POM206	－	－	○	○
	7	－	－	－	－	－	－	－	－	－

4. 3. 1　ポート・モード・レジスタ（PMxx）

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

ポート端子を兼用機能の端子として使用する場合，4. 5　兼用機能使用時のレジスタ設定を参照し，設定してください。

図4－1　ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	1	PM03	PM02	1	1	FFF20H	FFH	R/W
PM1	1	1	1	1	1	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	1	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	1	PM40	FFF24H	FFH	R/W
PM7	PM77	PM76	PM75	1	1	1	1	1	FFF27H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	PM147	1	1	1	1	1	1	1	FFF2EH	FFH	R/W
PM20	1	PM206	PM205	PM204	PM203	PM202	PM201	PM200	F0510H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 （m = 0-4, 7, 12, 14, 20; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　PM0レジスタのビット0, 1, 4, 7，PM1レジスタのビット3-7，PM2レジスタのビット3，PM3レジスタのビット2-7, PM4レジスタのビット1-7, PM7レジスタのビット0-4, PM12レジスタのビット1-7, PM14レジスタのビット0-6，PM20レジスタのビット7には必ず1を設定してください。

30, 20ピン製品は，下記のビットをリセット解除後ソフトウエアで出力モード（ポート・レジスタとポート・モード・レジスタに0を設定）に設定する必要があります。

30ピン製品：PM0レジスタのビット5, 6，PM1レジスタのビット2，PM3レジスタのビット0，PM7レジスタのビット5, 6

20ピン製品：PM0レジスタのビット2, 3, 5, 6，PM1レジスタのビット2，PM2レジスタのビット6, 7，PM3レジスタのビット0, 1，PM7レジスタのビット5-7，PM12レジスタのビット0，PM20レジスタのビット4-6

4. 3. 2　ポート・レジスタ（Pxx）

ポートの出力ラッチの値を設定するレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます注。

ポート・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注　P02，P03，P20-P22，P24-P27，P120，P147をA/Dコンバータのアナログ入力機能として設定した場合に，ポートが入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4－2　ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	0	P03	P02	0	0	FFF00H	00H（出力ラッチ）	R/W
P1	0	0	0	0	0	P12	P11	P10	FFF01H	00H（出力ラッチ）	R/W
P2	P27	P26	P25	P24	0	P22	P21	P20	FFF02H	00H（出力ラッチ）	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H（出力ラッチ）	R/W
P4	0	0	0	0	0	0	0	P40	FFF04H	00H（出力ラッチ）	R/W
P7	P77	P76	P75	0	0	0	0	0	FFF07H	00H（出力ラッチ）	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W注1
P13	P137	0	0	0	0	0	0	0	FFF0DH	**注2**	R
P14	P147	0	0	0	0	0	0	0	FFF0EH	00H（出力ラッチ）	R/W
P20	0	P206	P205	P204	P203	P202	P201	P200	F0500H	00H（出力ラッチ）	R/W

Pmn	m = 0-4, 7, 12-14, 20 ; n = 0-7	
	出力データの制御（出力モード時）	入力データの読み出し（入力モード時）
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1.　P121-P124, P137はRead Onlyです。

2.　P137：不定

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 3　プルアップ抵抗オプション・レジスタ（PUxx）

内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で，通常出力モード（POMmn = 0）かつ入力モード（PMmn = 1）に設定したビットにのみ，ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは，プルアップ抵抗オプション・レジスタの設定にかかわらず，内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ設定（PMC = 1, ADPC = 1）にしている場合も同様です。

プルアップ抵抗オプション・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H（PU4のみ01H）になります。

注意　PIMnレジスタがあるポートで，異電位デバイスからTTLバッファに入力する場合は，PUmn = 0を設定して，外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4－3　プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	0	PU03	PU02	0	0	F0030H	00H	R/W
PU1	0	0	0	0	0	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	0	PU40	F0034H	01H	R/W
PU7	PU77	PU76	PU75	0	0	0	0	0	F0037H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	PU147	0	0	0	0	0	0	0	F003EH	00H	R/W
PU20	0	PU206	PU205	PU204	PU203	PU202	PU201	PU200	F0520H	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 （m = 0, 1, 3, 4, 7, 12, 14, 20 ; n = 0-7）
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 4　ポート入力モード・レジスタ（PIMxx）

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－4　ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	0	PIM03	0	0	0	F0040H	00H	R/W
PIM1	0	0	0	0	0	0	PIM11	PIM10	F0041H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 （m = 0, 1 ; n = 0, 1, 3）
0	通常入力バッファ
1	TTL入力バッファ

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 5　ポート出力モード・レジスタ（POMxx）

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとのIICA通信時のSDAA0端子にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択できます。

また, POMxxレジスタはPUxxレジスタとともに, 内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注意　N-chオープン・ドレイン出力（V_{DD}耐圧）モード（POMmn = 1）を設定したビットは，内蔵プルアップ抵抗が接続されません。

図4－5　ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	POM02	0	0	F0050H	00H	R/W
POM1	0	0	0	0	0	POM12	POM11	POM10	F0051H	00H	R/W
POM20	0	POM206	POM205	POM204	POM203	POM202	POM201	POM200	F0530H	00H	R/W

POMmn	Pmn端子の出力モードの選択 （m = 0, 1, 20 ; n = 0-6）
0	通常出力モード
1	N-chオープン・ドレイン出力（V_{DD}耐圧）モード

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 6　ポート・モード・コントロール・レジスタ（PMCxx）

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図4－6　ポート・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	PMC03	PMC02	1	1	F0060H	FFH	R/W
PMC12	1	1	1	1	1	1	1	PMC120	F006CH	FFH	R/W
PMC14	PMC147	1	1	1	1	1	1	1	F006EH	FFH	R/W

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択 （m = 0, 12, 14；n = 0, 2, 3, 7）
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入力

注意 1.　PMCxxレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ0, 12, 14（PM0, PM12, PM14）で入力モードに選択してください。

2.　PMCレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。

3.　搭載していないビットには必ず初期値を設定してください。

4.3.7　A/Dポート・コンフィギュレーション・レジスタ（ADPC）

ANI0/P20, ANI1/P21, ANI2/CMP0P/P22, ANI4/CMP1P/P24-ANI7/CMP4P/P27端子，PGAOUT端子（内部端子）を，A/Dコンバータ，コンパレータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－7　A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマット

アドレス：F0076H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力（A）／デジタル入出力（D）の切り替え							
				ANI7/CMP4P/P27	ANI6/CMP3P/P26	ANI5/CMP2P/P25	ANI4/CMP1P/P24	PGAOUT注	ANI2/CMP0P/P22	ANI1/P21	ANI0/P20
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	D	D	D	D	D	D	D	D
0	0	1	0	D	D	D	D	D	D	D	A
0	0	1	1	D	D	D	D	D	D	A	A
0	1	0	0	D	D	D	D	D	A	A	A
0	1	0	1	D	D	D	D	A	A	A	A
0	1	1	0	D	D	D	A	A	A	A	A
0	1	1	1	D	D	A	A	A	A	A	A
1	0	0	0	D	A	A	A	A	A	A	A
1	0	0	1	A	A	A	A	A	A	A	A
1	1	1	1	A	A	A	A	A	A	A	A
上記以外				設定禁止							

注　プログラマブル・ゲイン・アンプの内部出力端子です。プログラマブル・ゲイン・アンプの出力信号をA/Dコンバータのアナログ入力チャネルとして使用する場合は，ADPC = 0101B以上に設定してください。

注意1.　ADPCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ2（PM2）で入力モードに選択してください。

2.　ADPCレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。

3.　AVREFPとAVREFMを使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

4. 3. 8　周辺I/Oリダイレクション・レジスタ（PIOR1）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は，兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は，PIOR1レジスタでポートを割り当ててから，動作許可にしてください。

なお，リダイレクトの設定を変更できるのは，その機能を動作許可にするまでです。

PIOR1レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－8　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット

アドレス：F05C0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR1	0	0	0	0	PIOR13	PIOR12	PIOR11	PIOR10

ビット	兼用機能	20ピン		30ピン		38ピン	
		設定値		設定値		設定値	
		0	1	0	1	0	1
PIOR10	TKCO03	兼用機能として使用できません。0（初期値）を設定してください。		P204	－	P204	P12
PIOR11	DALITxD4/ DALIRxD4	－	P10/ P11	P205/ P206	P10/ P11	P205/ P206	P10/ P11
PIOR12	INTP20	P10	P203	P10	P203	P10	P203
PIOR13	INTP21	P11	P202	P11	P202	P11	P202

4.4　ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

4.4.1　入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により，出力ラッチに値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により，出力ラッチに値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4.4.2　入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により，出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により，端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3　入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い，結果を出力ラッチに書き込みます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし，その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4. 4. 4　異電位（2.5 V系, 3 V系）対応

異電位（2.5 V系, 3 V系）で動作している外部デバイスとの接続時にはV_{DD}を接続先の電源に合わせることで汎用ポートでの入出力接続が可能です。

4. 4. 5　入出力バッファによる異電位（2.5 V系, 3 V系）対応

ポート入力モード・レジスタ0, 1（PIM0, PIM1）ポート出力モード・レジスタ0,1（POM0, POM1）で入出力バッファを切り換えることにより，異電位（2.5 V系, 3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（2.5 V系, 3 V系）の外部デバイスからの入力を受ける場合，ポート入力モード・レジスタ0, 1（PIM0, PIM1）をビットごとに設定して，通常入力（CMOS）/TTL入力バッファを切り換え可能です

異電位（2.5 V系, 3 V系）の外部デバイスへ出力する場合，ポート出力モード・レジスタ0, 1,（POM0, POM1）をビットごとに設定して，通常出力（CMOS）/N-chオープン・ドレイン（VDD耐圧）を切り換えます。

以下，シリアル・インタフェースでの接続について説明します。

（1）UART0, UART1, CSI00機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合　：P11
UART1の場合　：P03
CSI00の場合　：P11, P12

① 使用する入力端子を外部抵抗を介して，対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② PIM0，PIM1レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。なお，V_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。
③ シリアル・アレイ・ユニットを動作許可し，UART/簡易SPI(CSI[注])モードに設定します。

★ **注**　一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

（2）UART0, UART1, CSI00機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合　：P10
UART1の場合　：P02
CSI00の場合　：P10, P12

① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに1を設定します。
④ POM0，POM1レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（V_{DD}耐圧）モードに設定します。
⑤ シリアル・アレイ・ユニットを動作許可し，UART/簡易SPI(CSI)モードに設定します。
⑥ PM0, PM1レジスタを操作して出力モードに設定します。
この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

（3）IICA0機能の入出力端子を使用する場合の設定手順

① P10, P11端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。

③ 該当するポートの出力ラッチに1を設定します。

④ POM1レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（V_{DD}耐圧）モードに設定します。

⑤ PM1レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

⑥ IICA0を動作許可します。

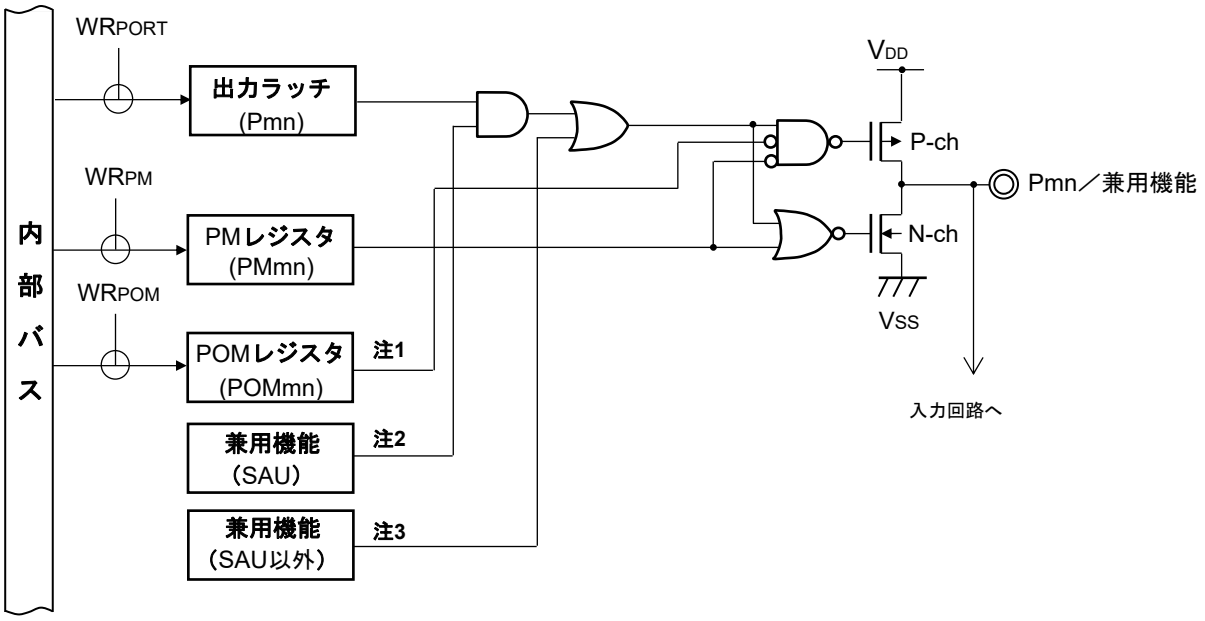
4.5　兼用機能使用時のレジスタ設定

4.5.1　兼用機能使用時の基本的な考え方

最初に，アナログ入力と兼用している端子については，アナログ入力で使用するかデジタル入出力で使用するかをADPCレジスタまたはポート・モード・コントロール・レジスタ（PMCxx）で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4－9に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には，兼用しているSAU以外の機能（TAU，RTC，IICA等）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には，使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4－4に示します。

図4－9　端子の出力回路の基本的な構成



注1.　POMレジスタがない場合には，この信号はLow（0）と考えてください。

2.　兼用機能がない場合には，この信号はHigh（1）と考えてください。

3.　兼用機能がない場合には，この信号はLow（0）と考えてください。

備考　m：ポート番号（m = 0-15），n：ビット番号（n = 0-7）

表4－4　基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	－	出力はHigh（1）	出力はLow（0）
SAUの出力機能	High（1）	－	出力はLow（0）
SAU以外の出力機能	Low（0）	出力はHigh（1）	出力はLow（0）注

注　1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので，使用しない兼用機能の出力はLow（0）にしておく必要があります。具体的な設定方法については，4.5.2　出力機能を使用しない兼用機能のレジスタ設定を参照してください。

4. 5. 2　出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には，次に示す設定を行ってください。なお，周辺I/Oリダイレクト機能の対象になっている場合には，周辺I/Oリダイレクション・レジスタ（PIOR1）を設定することで，出力を他の端子に切り替えることもできます。これにより，対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります

(1)　SOp＝1/TXDq＝1（SAUのシリアル出力（SOp/TxDq）を使用しない場合の設定）
SAUをシリアル入力のみで使用するなど，シリアル出力（SOp/TxDq）を使用しない場合は，使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットを0（出力禁止）に設定し，シリアル出力レジスタm（SOm）のSOmnビットを1（High）に設定してください。これは初期状態と同じ設定です。

(2)　SCKp＝1/SDAr＝1/SCLr＝1（SAUのチャネルnを使用しない場合の設定）
SAUを使用しない場合は，シリアル・チャネル許可ステータス・レジスタm（SEm）のビットn（SEmn）を0 （動作停止状態）に設定し，使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットを0（出力禁止）に設定し，シリアル出力レジスタm（SOm）のSOmnビットとCKOmnビットを1（High）に設定してください。これは初期状態と同じ設定です。

(3)　TOmn＝0（TAUのチャネルnの出力を使用しない場合の設定）
TAUのTOmn出力を使用しない場合は，使用しない出力に対応したタイマ出力許可レジスタ0（TOE0）のビットを0（出力禁止），タイマ出力レジスタ0（TO0）のビットを0（Low）に設定してください。これは初期状態と同じ設定です。

(4)　SDAAn＝0/SCLAn＝0（IICAを使用しない場合の設定）
IICAを使用しない場合は，IICAコントロール・レジスタn0（IICCTLn0）のIICEnビットを0（動作停止）にしてください。これは初期状態と同じ設定です。

4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4－5に示します。ポート機能を制御するレジスタを表4－5のように設定してください。なお，表4－5の表記については次の備考を参照してください。

備考　－　：対象外
×　：don't care
PIOR×　：周辺I/Oリダイレクション・レジスタ
POM××　：ポート出力モード・レジスタ
PMC××　：ポート・モード・コントロール・レジスタ
PM××　：ポート・モード・レジスタ
P××　：ポートの出力ラッチ

（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR1）の設定により，割り当て可能です。

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（1/7）

<table>
<tr><th rowspan="2">端子名称</th><th colspan="2">使用機能</th><th rowspan="2">PIOR×</th><th rowspan="2">POM××</th><th rowspan="2">PMC××</th><th rowspan="2">PM××</th><th rowspan="2">P××</th><th colspan="2">兼用機能出力</th><th rowspan="2">20ピン</th><th rowspan="2">30ピン</th><th rowspan="2">38ピン</th></tr>
<tr><th>機能名称</th><th>入出力</th><th>SAUの出力機能</th><th>SAU以外</th></tr>
<tr><td rowspan="6">P02</td><td rowspan="3">P02</td><td>入力</td><td>－</td><td>×</td><td>0</td><td>1</td><td>×</td><td>×</td><td>×</td><td rowspan="3">×</td><td rowspan="3">○</td><td rowspan="3">○</td></tr>
<tr><td>出力</td><td>－</td><td>0</td><td>0</td><td>0</td><td>0/1</td><td rowspan="2">TxD1 = 1</td><td rowspan="2">×</td></tr>
<tr><td>N-chOD出力</td><td>－</td><td>1</td><td>0</td><td>0</td><td>0/1</td></tr>
<tr><td>ANI17</td><td>アナログ入力</td><td>－</td><td>－</td><td>1</td><td>1</td><td>×</td><td>×</td><td>×</td><td>×</td><td>○</td><td>○</td></tr>
<tr><td>TxD1</td><td>出力</td><td>－</td><td>0/1</td><td>0</td><td>0</td><td>1</td><td>×</td><td>×</td><td>×</td><td>○</td><td>○</td></tr>
<tr><td rowspan="6">P03</td><td rowspan="3">P03</td><td>入力</td><td>－</td><td>×</td><td>0</td><td>1</td><td>×</td><td>×</td><td>×</td><td rowspan="3">×</td><td rowspan="3">○</td><td rowspan="3">○</td></tr>
<tr><td>出力</td><td>－</td><td>0</td><td>0</td><td>0</td><td>0/1</td><td rowspan="2">×</td><td rowspan="2">×</td></tr>
<tr><td>N-chOD出力</td><td>－</td><td>1</td><td>0</td><td>0</td><td>0/1</td></tr>
<tr><td>ANI16</td><td>アナログ入力</td><td>－</td><td>－</td><td>1</td><td>1</td><td>×</td><td>×</td><td>×</td><td>×</td><td>○</td><td>○</td></tr>
<tr><td>CM5P</td><td>入力</td><td>－</td><td>－</td><td>1</td><td>1</td><td>×</td><td>×</td><td>×</td><td>×</td><td>○</td><td>○</td></tr>
<tr><td>RxD1</td><td>入力</td><td>－</td><td>－</td><td>0</td><td>1</td><td>×</td><td>×</td><td>×</td><td>×</td><td>○</td><td>○</td></tr>
<tr><td rowspan="4">P05</td><td rowspan="2">P05</td><td>入力</td><td>－</td><td>－</td><td>－</td><td>1</td><td>×</td><td>×</td><td>×</td><td>×</td><td>○</td><td>○</td></tr>
<tr><td>出力</td><td>－</td><td>－</td><td>－</td><td>0</td><td>0/1</td><td>×</td><td>TO05 = 0</td><td>×</td><td>×</td><td>○</td></tr>
<tr><td>TI05</td><td>入力</td><td>－</td><td>－</td><td>－</td><td>1</td><td>×</td><td>×</td><td>×</td><td>×</td><td>×</td><td>○</td></tr>
<tr><td>TO05</td><td>出力</td><td>－</td><td>－</td><td>－</td><td>0</td><td>0</td><td>×</td><td>×</td><td>×</td><td>×</td><td>○</td></tr>
<tr><td rowspan="4">P06</td><td rowspan="2">P06</td><td>入力</td><td>－</td><td>－</td><td>－</td><td>1</td><td>×</td><td>×</td><td>×</td><td>×</td><td>×</td><td>○</td></tr>
<tr><td>出力</td><td>－</td><td>－</td><td>－</td><td>0</td><td>0/1</td><td>×</td><td>TO06 = 0</td><td>×</td><td>×</td><td>○</td></tr>
<tr><td>TI06</td><td>入力</td><td>－</td><td>－</td><td>－</td><td>1</td><td>×</td><td>×</td><td>×</td><td>×</td><td>×</td><td>○</td></tr>
<tr><td>TO06</td><td>出力</td><td>－</td><td>－</td><td>－</td><td>0</td><td>0</td><td>×</td><td>×</td><td>×</td><td>×</td><td>○</td></tr>
</table>

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（2/7）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	30ピン	38ピン
	機能名称	入出力						SAUの出力機能	SAU以外			
P10	P10	入力	－	×	－	1	×	×	×	○	○	○
		出力	－	0	－	0	0/1	SO00/TxD0 = 1 SCLA0 = 0 （DALITxD4 = 1）	TKCO00 = 0			
		N-chOD出力	－	1	－	0	0/1					
	SO00	出力	×	0/1	－	0	1	×	×	○	○	○
	TxD0	出力	×	0/1	－	0	1	×	×	○	○	○
	TKC00	出力	×	0	－	0	0	×	×	○	○	○
	INTP20	入力	PIOR12=0	×	－	1	×	×	×	○	○	○
	SCLA0	入出力	×	1	－	0	0	×	×	○	○	○
	(DALITxD4)	出力	PIOR11=1	0/1	－	0	1	×	×	○	○	○
P11	P11	入力	－	×	－	1	×	×	×	○	○	○
		出力	－	0	－	0	0/1	SDAA0 = 0 (TxRx4 = 1)	TKCO01 = 0			
		N-chOD出力	－	1	－	0	0/1					
	SI00	入力	－	×	－	1	×	×	×	○	○	○
	RxD0	入力	－	×	－	1	×	×	×	○	○	○
	TKCO01	出力	－	0	－	0	0	×	×	○	○	○
	INTP21	入力	PIOR13=0	×	－	1	×	×	×	○	○	○
	SDAA0	入出力	－	1	－	0	0	×	×	○	○	○
	（TI07）	入力	－	×	－	1	×	×	×	○	○	○
	（DALIRxD4）	入力	PIOR11=1	×	－	1	×	×	×	○	○	○
	（TxRx4）	入出力	－	0/1	－	0	1	×	×	○	○	○
P12	P12	入力	－	×	－	1	×	×	×	○	○	○
		出力	－	0	－	0	0/1	SCK00 = 1	(TKCO03 = 0)	×	×	○
		N-chOD出力	－	1	－	0	0/1	×	×	×	×	○
	SCK00	入力	－	×	－	1	×	×	×	×	×	○
		出力	－	0/1	－	0	1	×	×	×	×	○
	（TCKO03）	出力	PIOR10=1	0	－	0	0	×	×	×	×	○

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（3/7）

端子名称	使用機能		ADPC	ADM2	PM××	P××	20ピン	30ピン	38ピン
	機能名称	入出力							
P20	P20	入力	ADPC = 01H	×	1	×	○	○	○
		出力	ADPC = 01H	×	0	0/1			
	ANI0	アナログ入力	ADPC = 00H/02H～0FH	00x0xx0x, 10x0xx0x	1	×	○	○	○
	AV_{REFP}	基準電圧	ADPC = 00H/02H～0FH	01x0xx0x	1	×	○	○	○
P21	P21	入力	ADPC = 01H/02H	×	1	×	○	○	○
		出力	ADPC = 01H/02H	×	0	0/1			
	ANI1	アナログ入力	ADPC = 00H/3～0FH	xx00xx0x	1	×	○	○	○
	AV_{REFM}	基準電圧	ADPC = 00H/3～0FH	xx10xx0x	1	×	○	○	○
P22	P22	入力	ADPC = 01H～03H	×	1	×	○	○	○
		出力	ADPC = 01H～03H	×	0	0/1			
	ANI2	アナログ入力	ADPC = 00H/04H～0FH	xxx0xx0x	1	×	○	○	○
	CMP0P	アナログ入力	ADPC = 00H/04H～0FH	xxx0xx0x	1	×	○	○	○
P24	P24	入力	ADPC = 01H～05H	×	1	×	○	○	○
		出力	ADPC = 01H～05H	×	0	0/1			
	ANI4	アナログ入力	ADPC = 00H/06H～0FH	xxx0xx0x	1	×	○	○	○
	CMP1P	アナログ入力	ADPC = 00H/06H～0FH	xxx0xx0x	1	×	○	○	○
P25	P25	入力	ADPC = 01H～06H	×	1	×	○	○	○
		出力	ADPC = 01H～06H	×	0	0/1			
	ANI5	アナログ入力	ADPC = 00H/07H～0FH	xxx0xx0x	1	×	○	○	○
	CMP2P	アナログ入力	ADPC = 00H/07H～0FH	xxx0xx0x	1	×	○	○	○
P26	P26	入力	ADPC = 01H～07H	×	1	×	×	○	○
		出力	ADPC = 01H～07H	×	0	0/1			
	ANI6	アナログ入力	ADPC = 00H/08H～0FH	xxx0xx0x	1	×	×	○	○
	CMP3P	アナログ入力	ADPC = 00H/08H～0FH	xxx0xx0x	1	×		○	○
P27	P27	入力	ADPC = 01H～08H	×	1	×	×	○	○
		出力	ADPC = 01H～08H	×	0	0/1			
	ANI7	アナログ入力	ADPC = 00H/09H～0FH	xxx0xx0x	1	×	×	○	○
	CMP4P	アナログ入力	ADPC = 00H/09H～0FH	xxx0xx0x	1	×		○	○

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（4/7）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	30ピン	38ピン
	機能名称	入出力						SAU系	それ以外			
P30	P30	入力	－	－	－	1	×	×	×	×	×	○
		出力	－	－	－	0	0/1	×	RTC1HZ=0[注3]			
	INTP3	入力	－	－	－	1	×	×	×	×	×	○
	RTC1HZ	出力	－	－	－	0	0	SCK11/ SCL11=1[注5]	×	×	×	○
P31	P31	入力	－	－	－	1	×	×	×	×	○	○
		出力	－	－	－	0	0/1	×	TO03 = 0,			
	TI03	入力	×	－	－	1	×	×	×	×	○	○
	TO03	出力	×	－	－	0	0	×	×	×	○	○
	INTP4	入力	×	－	－	1	×	×	×	×	○	○
P40	P40	入力	－	－	－	1	×	×	×	○	○	○
	TOOL0	入出力	×	－	－	×	×	×	×	○	○	○
P75	P75	入力	－	－	－	1	×	×	×	×	×	◯
		出力	－	－	－	0	0/1	×	×	×	×	◯
	INTP9	入力	×	－	－	1	×	×	×	×	×	◯
P76	P76	入力	－	－	－	1	×	×	×	×	×	◯
		出力	－	－	－	0	0/1	×	×	×	×	◯
	INTP10	入力	×	－	－	1	×	×	×	×	×	◯
P77	P77	入力	－	－	－	1	×	×	×	×	○	○
		出力	－	－	－	0	0/1	×	×	×	○	○
	INTP11	入力	×	－	－	1	×	×	×	×	○	○
P120	P120	入力	－	－	0	1	×	×	×	×	○	○
		出力	－	－	0	0	0/1	×	×	×	○	○
	ANI19	アナログ入力	×	－	1	1	×	×	×	×	○	○

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（5/7）

端子名称	使用機能		CMC	P××	20ピン	30ピン	38ピン
	機能名称	入出力	(EXCLK,OSCSEL, EXCLKS, OSCSELS)				
P121	P121	入力	00xx/10 xx/11 xx	×	○	○	○
	X1	－	01 xx	－	○	○	○
P122	P122	入力	00 xx/10 xx	×	○	○	○
	X2	－	01 xx	－	○	○	○
	EXCLK	入力	11 xx	－	○	○	○
P123	P123	入力	xx 00/xx 10/xx11	×	×	×	○
	XT1	－	xx 01	－	×	×	○
P124	P124	入力	xx 00/xx 10	×	×	×	○
	XT2	－	xx 01	－	×	×	○
	EXCLKS	入力	xx 11	－	×	×	○

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（6/7）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	30ピン	38ピン
	機能名称	入出力						SAU系	それ以外			
P137	P137	入力	－	－	－	－	×	×	×	○	○	○
	INTP0	入力	×	－	－	1	×	×	×	○	○	○
P147	P147	入力	－	－	0	1	×	×	×	○	○	○
		出力	－	－	0	0	0/1	×	×	○	○	○
	ANI18	アナログ入力	－	－	1	1	×	×	×	○	○	○
	CMPCOM	入力	×	－	1	1	×	×	×	○	○	○

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（7/7）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		20ピン	30ピン	38ピン
	機能名称	入出力						SAU系	それ以外			
P200	P200	入力	－	×	－	1	0/1	×	×	○	○	○
		出力	－	0	－	0	0	×	TKBO00= 0	○	○	○
		N-chOD出力		1	－	0	0	×		○	○	○
	TKBO00	出力	×	0	－	0	0	×	×	○	○	○
	INTP22	入力	×	×	－	1	×	×	×	○	○	○
P201	P201	入力	－	×	－	1	0/1	×	×	○	○	○
		出力	－	0	－	0	0	×	TKBO01= 0	○	○	○
		N-chOD出力		1	－	0	0	×		○	○	○
	TKBO01	出力	×	0	－	0	0	×	×	○	○	○
P202	P202	入力	－	×	－	1	0/1	×	×	○	○	○
		出力	－	0	－	0	0	×	TKBO10= 0	○	○	○
		N-chOD出力		1	－	0	0	×		○	○	○
	TKBO10	出力	×	0	－	0	0	×	×	○	○	○
	(INTP21)	入力	PIOR13=1	×	－	1	×	×	×	○	○	○
P203	P203	入力	－	×	－	1	0/1	×	×	○	○	○
		出力	－	0	－	0	0	×	TKBO11= 0 TKCO02 = 0	○	○	○
		N-chOD出力		1	－	0	0	×		○	○	○
	TKBO11	出力	×	0	－	0	0	×	×	○	○	○
	TKC02	出力	×	0	－	0	0	×	×	○	○	○
	(INTP21)	入力	PIOR12=1	×	－	1	×	×	×	○	○	○
P204	P204	入力	－	×	－	1	0/1	×	×	×	○	○
		出力	－	0	－	0	0	×	TKBO20= 0 TKCO03 = 0	×	○	○
		N-chOD出力		1	－	0	0	×		×	○	○
	TKBO20	出力	×	0	－	0	0	×	×	×	○	○
	TKC03	出力	PIOR10=0	0	－	0	0	×	×	×	○	○
P205	P205	入力	－	×	－	1	0/1	×	×	×	○	○
		出力	－	0	－	0	0	DALITxD4 = 1	TKBO21= 0 TKCO04 = 0	×	○	○
		N-chOD出力		1	－	0	0			×	○	○
	TKBO21	出力	×	0	－	0	0	×	×	×	○	○
	TKC04	出力	×	0	－	0	0	×	×	×	○	○
	DALITxD4	出力	PIOR11=0	0/1	－	0	1	×	×	×	○	○
P206	P206	入力	－	×	－	1	0/1	×	×	×	○	○
		出力	－	0	－	0	0	TxRx4 = 1	TKCO05 = 0	×	○	○
		N-chOD出力		1	－	0	0			×	○	○
	TKCO05	出力	×	0	－	0	0	×	×	×	○	○
	DALIRxD4	入力	PIOR11=0	×	－	1	×	×	×	×	○	○
	TxRx4	入出力	×	0/1	－	0	1	×	×	×	○	○
	INTP23	入力	×	×	－	1	×	×	×	×	○	○

4.6　ポート機能使用時の注意事項

4.6.1　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

＜例＞ P200は出力ポート，P201-P206は入力ポート（端子状態はすべてハイ・レベル）で，かつポート20の出力ラッチの値が“00H”のとき，出力ポートP200の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると，ポート20の出力ラッチの値は，“7FH”になります。

説明：PMnmビット ＝1であるポートのPnレジスタへの書き込みの対象は出力ラッチ，読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/I1A内部で，次の順序で行われます。

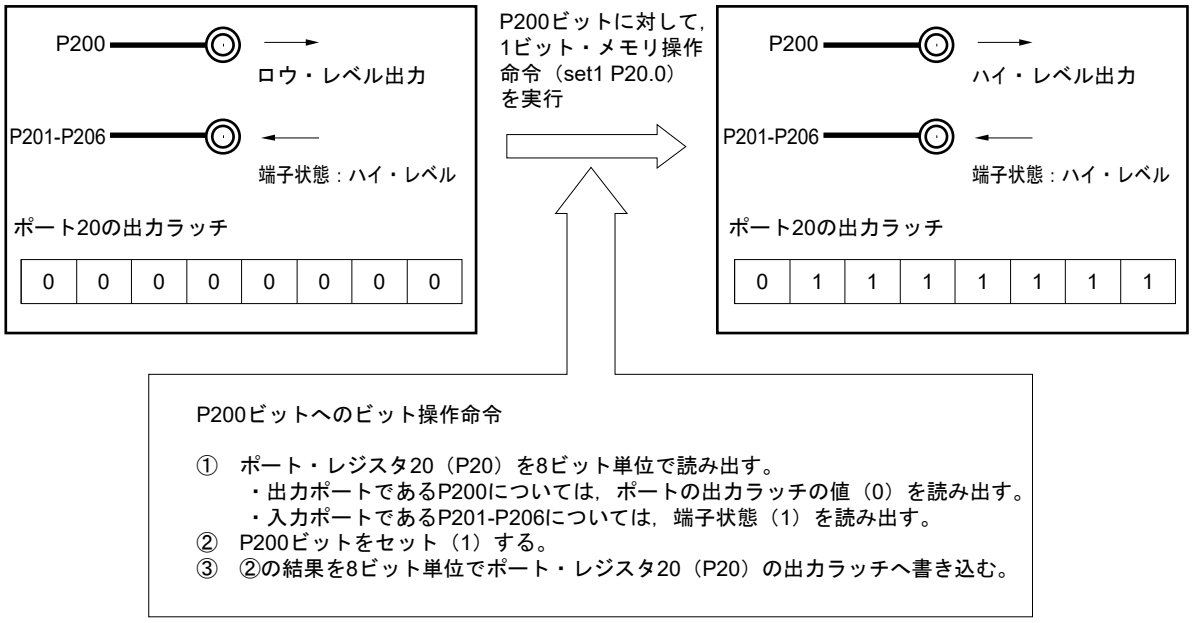
<1> Pnレジスタを8ビット単位で読み出し
<2> 対象の1ビットを操作
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるP200は出力ラッチの値（0）を読み出し，入力ポートであるP201-P206は端子状態を読み出します。このときP201-P206の端子状態が“ハイ･レベル”とすると，読み出し値は“7EH”となります。

<2> の操作で，値は“7FH”となります。

<3> の操作で，出力ラッチに“7FH”が書き込まれます。

図4－10　1ビット・メモリ操作命令（P200の場合）



4. 6. 2　端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については，使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺I/Oリダイレクション・レジスタ（PIOR1）の設定により，割り当てられた機能も同様です。兼用出力については, 4. 5　兼用機能使用時のレジスタ設定を参照してください。

入力として使用する端子では，兼用機能の出力が無効（バッファ出力がHi-Z）となるので，処理不要です。

第5章　クロック発生回路

メイン・システム・クロック用発振子接続端子／外部クロック入力端子，サブシステム・クロック用発振子接続端子／外部クロック入力端子の有無は，製品によって異なります。

	20, 30ピン製品	38ピン製品
X1, X2端子	○	○
EXCLK端子	○	○
XT1, XT2端子	－	○
EXCLKS端子	－	○

注意　20, 30ピン製品には，サブシステム・クロックがありません。

5. 1　クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウエアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には，次の種類があります。

（1）メイン・システム・クロック

① X1発振回路

X1端子, X2端子に発振子を接続することにより，f_X = 1～20 MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により，発振を停止することができます。

② 高速オンチップ・オシレータ

オプション・バイト（000C2H）により，f_{IH} = 32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz（TYP.）から周波数を選択し，発振させることができます。リセット解除後，CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により，発振を停止することができます。

オプション・バイトで設定した周波数は，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は，図5－12　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマットを参照してください。

次に，高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数（MHz）注									
	1	2	3	4	6	8	12	16	24	32
2.7 V≦V_{DD}≦5.5 V	○	○	○	○	○	○	○	○	○	○

注　RL78/I1Aは動作周囲温度により使用できる周波数が異なります。詳細は第32章　電気的特性（T_A = －40～+105℃対応品）または，第33章　電気的特性（T_A = －40～+125℃対応品）を参照してください。

また，EXCLK/X2/P122端子から外部メイン・システム・クロック（f_{EX} = 1～20 MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により，外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは，MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により，高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。

なお，メイン・システム・クロックは，電源電圧VDDによって使用可能な周波数範囲が異なり，オプション・バイト（000C2H）のCMODE0，CMODE1によりフラッシュの動作電圧モードの設定（第27章　オプション・バイト参照）が必要です。

③　外部メイン・システム・クロック入力

EXCLK/X2/P122端子から外部メイン・システム・クロック（f_{EX} = 1～20 MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により，外部メイン・システム・クロック入力を無効にすることができます。

④　PLL（Phase Locked Loop）による逓倍機能

高速システム・クロック，高速オンチップ・オシレータ・クロックを4 MHzに選択した場合，16ビット・タイマKB0-KB2, KC0のカウント・クロック，コンパレータ，プログラマブル・ゲイン・アンプには高速システム・クロック，高速オンチップ・オシレータ・クロックの16逓倍（64 MHz），それ以外のクロックには高速システム・クロック，高速オンチップ・オシレータ・クロックの16逓倍×1/2（32 MHz）または，高速システム・クロック，高速オンチップ・オシレータ・クロックの16逓倍×1/4（16 MHz）を供給するPLLモードが使用可能になります。PLLONビット（PLLCTLレジスタのビット0）の設定により，発振を停止することができます。

注意　メイン・システム・クロックにPLL出力を選択している場合は，STOPモードに設定できません。PLL機能を停止後（PLLコントロール・レジスタ（PLLCTL）のSELPLL = 0 → PLLON = 0），メイン・システム・クロックに高速オンチップ・オシレータ・クロック（f_{IH}），高速システム・クロック（f_{MX}）を選択してから，STOP命令を実行してください。

（2）サブシステム・クロック

・　XT1発振回路

XT1端子, XT2端子に32.768 kHzの発振子を接続することにより，f_{XT} = 32.768 kHzのクロックを発振させることができます。XTSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット6）の設定により，発振を停止することができます。

また，EXCLKS/XT2/P124端子から外部サブシステム・クロック（f_{EXS} = 32.768 kHz）を供給することができます。XTSTOPビットの設定により，外部サブシステム・クロック入力を無効にすることができます。

（3）低速オンチップ・オシレータ・クロック

f_{IL} = 15 kHz（TYP.）のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは，次の周辺ハードウエアのみです。

・ウォッチドッグ・タイマ
・リアルタイム・クロック
・12ビット・インターバル・タイマ

オプション・バイト（000C0H）のビット4（WDTON）または，サブシステム・クロック供給モード制御レジスタ（OSMC）のビット4（WUTMMCK0）のどちらか，または両方が1のときに動作します。

ただし，WDTON = 1，WUTMMCK0 = 0かつオプション・バイト（000C0H）のビット0（WDSTBYON）が0のときに，HALT命令またはSTOP命令を実行した場合，低速オンチップ・オシレータは発振を停止します。

注意　リアルタイム・クロックのカウント・クロックに低速オンチップ・オシレータ・クロック（f_{IL}）を選択できるのは，定期割り込み機能使用時のみです。

備考　f_X　：X1クロック発振周波数
f_{IH}　：高速オンチップ・オシレータ・クロック周波数
f_{EX}　：外部メイン・システム・クロック周波数
f_{XT}　：XT1クロック発振周波数
f_{EXS}　：外部サブシステム・クロック周波数
f_{IL}　：低速オンチップ・オシレータ・クロック周波数

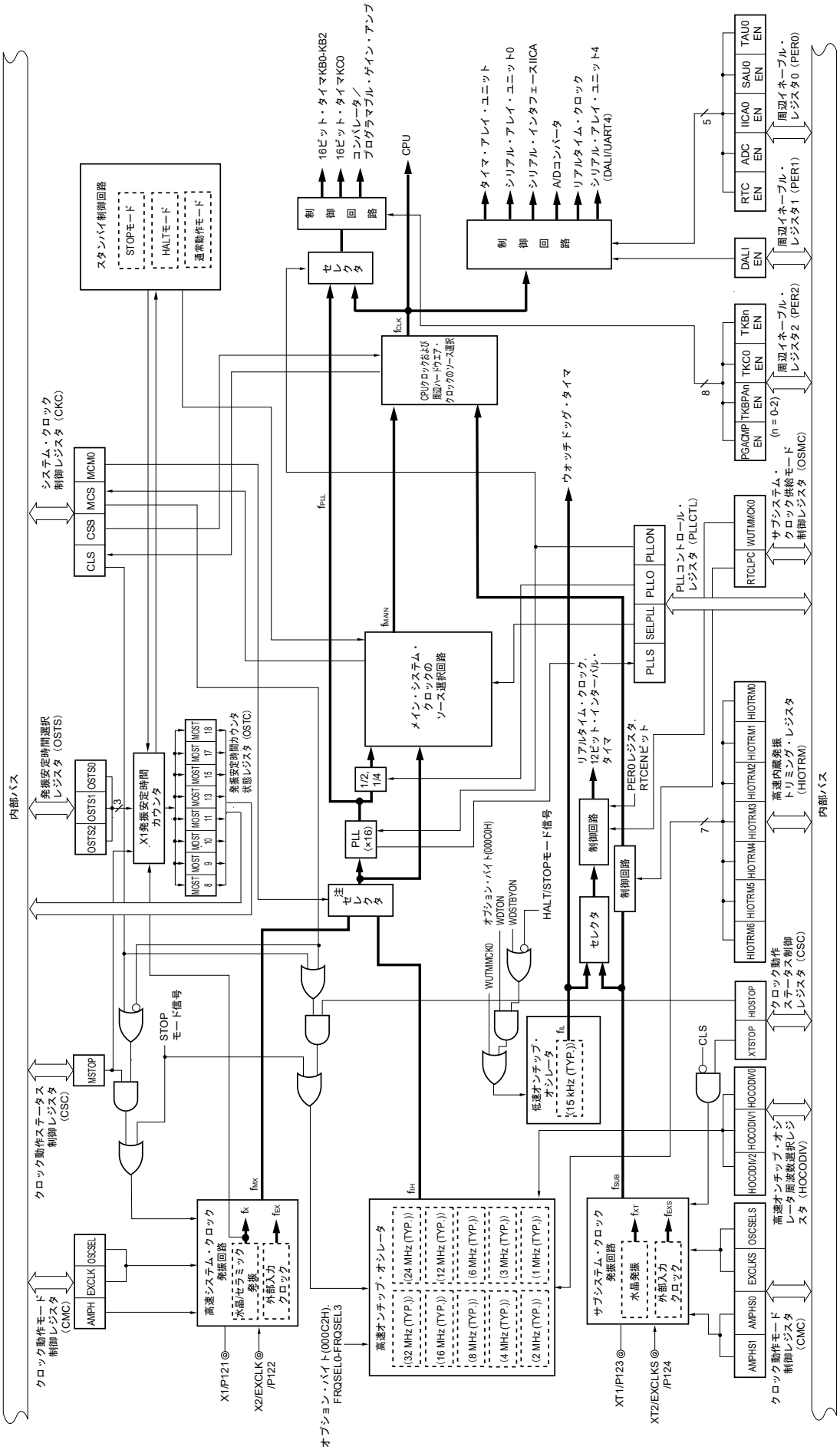
5. 2　クロック発生回路の構成

クロック発生回路は，次のハードウエアで構成しています。

表5－1　クロック発生回路の構成

項　　目	構　　成
制御レジスタ	クロック動作モード制御レジスタ（CMC） システム・クロック制御レジスタ（CKC） クロック動作ステータス制御レジスタ（CSC） 発振安定時間カウンタ状態レジスタ（OSTC） 発振安定時間選択レジスタ（OSTS） PLLコントロール・レジスタ（PLLCTL） 周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2） サブシステム・クロック供給モード制御レジスタ（OSMC） 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ

図5−1　クロック発生回路のブロック図



（注，備考は次ページにあります。）

注　PLL出力機能を使用する場合は，発振周波数は4 MHzのみ選択可。

備考　f_X　：X1クロック発振周波数

f_{IH}　：高速オンチップ・オシレータ・クロック周波数

f_{EX}　：外部メイン・システム・クロック周波数

f_{MX}　：高速システム・クロック周波数

f_{MAIN}　：メイン・システム・クロック周波数

f_{XT}　：XT1クロック発振周波数

f_{EXS}　：外部サブシステム・クロック周波数

f_{SUB}　：サブシステム・クロック周波数

f_{CLK}　：CPU／周辺ハードウエア・クロック周波数

f_{IL}　：低速オンチップ・オシレータ・クロック周波数

f_{PLL}　：PLL出力クロック周波数

5. 3　クロック発生回路を制御するレジスタ

クロック発生回路は，次の10種類のレジスタで制御します。

・クロック動作モード制御レジスタ（CMC）
・システム・クロック制御レジスタ（CKC）
・クロック動作ステータス制御レジスタ（CSC）
・発振安定時間カウンタ状態レジスタ（OSTC）
・発振安定時間選択レジスタ（OSTS）
・PLLコントロール・レジスタ（PLLCTL）
・周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2）
・サブシステム・クロック供給モード制御レジスタ（OSMC）
・高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）
・高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

注意　製品によって，搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

5. 3. 1　クロック動作モード制御レジスタ（CMC）

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と，発振回路のゲインを選択するレジスタです。

CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は，8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により，00Hになります。

図5－2　クロック動作モード制御レジスタ（CMC）のフォーマット

アドレス：FFFA0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

EXCLKS	OSCSELS	サブシステム・クロック端子の動作モード	XT1/P123端子	XT2/EXCLKS/P124端子
0	0	入力ポート・モード	入力ポート	
0	1	XT1発振モード	水晶振動子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1	AMPHS0	XT1発振回路の発振モード選択
0	0	低消費発振（デフォルト）
0	1	通常発振
1	0	超低消費発振
1	1	設定禁止

AMPH	X1クロック発振周波数の制御
0	1 MHz≦f_X≦10 MHz
1	10 MHz＜f_X≦20 MHz

注意1.　CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値（00H）のまま使用する場合，暴走時の誤動作（00H以外の誤書き込みで復帰不可）を防止するために，リセット解除後は必ず00Hに設定してください。

2.　リセット解除後，クロック動作ステータス制御レジスタ（CSC）の設定でX1発振またはXT1発振を開始する前に，CMCレジスタを設定してください。

3.　X1クロック発振周波数が10 MHzを越える場合は，必ずAMPHビットに1を設定してください。

4.　AMPH, AMPHS1, AMPHS0ビットは，リセット解除後f_{CLK}にf_{IH}を選択した状態（f_{CLK}をf_{MX}やf_{SUB}に切り替える前の状態）で設定してください。

5.　f_{XT}の発振安定時間は，ソフトウェアでカウントしてください。

（注意，備考は次ページに続きます。）

注意6.　システム・クロックの周波数上限は32 MHzですが，X1発振回路の周波数上限は20 MHzになります。

7.　XT1発振回路は低消費電力を実現するために，増幅度が低い回路になっています。設計の際は，次の点に注意してください。

- **端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。**
- **XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は，5. 7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。**
- **XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。**
- **回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。**
- **XT1発振回路の周辺には，できるかぎりVssと同電位のグランド・パターンを配置してください。**
- **XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。**
- **高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。**
- **回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。**

備考　fx：X1クロック発振周波数

5. 3. 2　システム・クロック制御レジスタ（CKC）

CPU／周辺ハードウエア・クロックやメイン・システム・クロックを選択するレジスタです。
CKCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，00Hになります。

図5－3　システム・クロック制御レジスタ（CKC）のフォーマット

アドレス：FFFA4H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0

CLS	CPU／周辺ハードウエア・クロック（f_{CLK}）のステータス
0	メイン・システム・クロック（f_{MAIN}）
1	サブシステム・クロック（f_{SUB}）

CSS	CPU／周辺ハードウエア・クロック（f_{CLK}）の選択
0	メイン・システム・クロック（f_{MAIN}）
1	サブシステム・クロック（f_{SUB}）

MCS	メイン・システム・クロック（f_{MAIN}）のステータス
0	高速オンチップ・オシレータ・クロック（f_{IH}）
1	高速システム・クロック（f_{MX}）

MCM0[注2]	PLL出力クロック（f_{PLL}），メイン・システム・クロック（f_{MAIN}）のソース・クロック選択
0	高速オンチップ・オシレータ・クロック（f_{IH}）を選択
1	高速システム・クロック（f_{MX}）を選択

注1.　ビット7, 5は，Read Onlyです。
2.　CSS = 1を設定した状態で，MCM0ビットの値を変更することは禁止です。

備考　f_{IH}　：高速オンチップ・オシレータ・クロック周波数
f_{MX}　：高速システム・クロック周波数
f_{MAIN}　：メイン・システム・クロック周波数
f_{SUB}　：サブシステム・クロック周波数

注意1.　ビット0-3には，必ず0を設定してください。
2.　CSSビットで設定したクロックは，CPUと周辺ハードウエアに供給されます。したがって，CPUクロックを変更すると，周辺ハードウエア・クロックも同時に変更されます（リアルタイム・クロック，12ビット・インターバル・タイマ，およびウォッチドッグ・タイマは除く）。よって，CPU／周辺ハードウエア・クロックを変更する場合は，各周辺機能を停止してください。
3.　周辺ハードウエア・クロックとしてサブシステム・クロックが使われている場合，A/Dコンバータ，IICAの動作は保証できません。周辺ハードウエアの動作特性については，各周辺ハードウエアの章および第32章　電気的特性（T_A = －40～+105℃対応品）または，第33章　電気的特性（T_A = －40～+125℃対応品）を参照してください。

5.3.3　クロック動作ステータス制御レジスタ（CSC）

高速システム・クロック，高速オンチップ・オシレータ・クロック，サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，C0Hになります。

図5－4　クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス：FFFA1H　　リセット時：C0H　　R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注意1.　リセット解除後は，クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。

2.　リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。

3.　MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

4.　XTSTOPビットの設定でXT1発振を開始する場合は，サブシステム・クロックに必要な発振安定時間をソフトウエアにてウエイトしてください。

5.　CPU／周辺ハードウエア・クロック（f_{CLK}）に選択しているクロックは，CSCレジスタで停止させないでください。

6.　クロック発振を停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は，表5－2のようになります。
クロックの停止は、クロック停止前の条件を確認したあとに行ってください。

表5－2　　クロック停止方法

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・クロック	CPU／周辺ハードウエア・クロックが高速システム・クロック以外で動作 （CLS = 0かつMCS = 0，またはCLS = 1）	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CPU／周辺ハードウエア・クロックがサブシステム・クロック以外で動作 （CLS = 0）	XTSTOP = 1
高速オンチップ・オシレータ・クロック	CPU／周辺ハードウエア・クロックが高速オンチップ・オシレータ・クロック以外で動作 （CLS = 0かつMCS = 1，またはCLS = 1）	HIOSTOP = 1

5. 3. 4　発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに，X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除した場合

OSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生，STOP命令，MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により，00Hになります。

備考　発振安定時間カウンタは，次の場合にカウントを開始します。

- X1クロック発振開始時（EXCLK, OSCSEL = 0, 1 → MSTOP = 0）
- STOPモードを解除したとき

図5－5　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

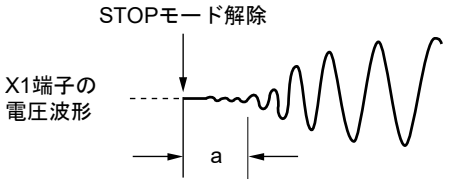
MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	0	0	0	2^8/fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2^8/fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2^9/fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2^{10}/fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2^{11}/fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2^{13}/fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2^{15}/fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2^{17}/fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2^{18}/fx以上	26.2 ms以上	13.1 ms以上

注意1.　上記時間経過後，MOST8ビットから順番に“1”となっていき，そのまま“1”を保持します。

2.　発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。
次のときには，OSTSレジスタの発振安定時間を，OSTCレジスタで確認したいカウント値より大きい値に設定してください。

・CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始したい場合
・CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合
（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

3.　X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考　fx：X1クロック発振周波数

5. 3. 5　発振安定時間選択レジスタ（OSTS）

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを選択させる場合，X1発振回路動作（MSTOP=0）後，OSTSレジスタで設定した時間を自動でウエイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから，X1クロックに切り換える場合や，CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後STOPモードを解除した場合は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTCレジスタでは，あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，07Hになります。

図5－6　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H　　リセット時：07H　　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	2^8/fx	25.6 μs	12.8 μs
0	0	1	2^9/fx	51.2 μs	25.6 μs
0	1	0	2^{10}/fx	102 μs	51.2 μs
0	1	1	2^{11}/fx	204 μs	102 μs
1	0	0	2^{13}/fx	819 μs	409 μs
1	0	1	2^{15}/fx	3.27 ms	1.64 ms
1	1	0	2^{17}/fx	13.1 ms	6.55 ms
1	1	1	2^{18}/fx	26.2 ms	13.1 ms

注意1．OSTSレジスタの設定を変更する場合は，クロック動作ステータス制御レジスタ（CSC）のMSTOPビットを0に設定する前に行ってください。

2．発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

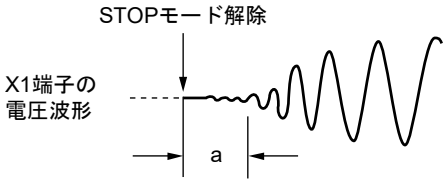
次のときには，OSTSレジスタの発振安定時間を，発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

・CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始したい場合

・CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合

（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

3．X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考　fx：X1クロック発振周波数

5. 3. 6　PLLコントロール・レジスタ（PLLCTL）

PLL機能を制御するレジスタです。

PLL機能を使用する場合は，高速システム・クロック，高速オンチップ・オシレータ・クロックに4 MHzを設定してください。

レギュレータが低消費電流モード時は，PLL機能を停止してください。

PLLCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－7　PLLコントロール・レジスタ（PLLCTL）のフォーマット

アドレス：F050AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PLLCTL	0	0	0	0	PLLS注	SELPLL	PLLO	PLLON

PLLS	PLL出力クロック供給状態フラグ
0	供給していない
1	供給している（CPU/周辺ハードウエア・クロック（f_{CLK}）は16 MHz（PLLO = 1）または32 MHz（PLLO = 0））

SELPLL	CPU／周辺ハードウエア・クロック（f_{CLK}）へのPLL出力選択
0	PLL出力を選択しない（システム・クロック制御レジスタ（CKC）で選択されたクロックがf_{CLK}へ供給）
1	PLL出力を選択（16 MHz（PLLO = 1）または32 MHz（PLLO = 0）がf_{CLK}へ供給）

PLLO	PLL出力分周ビット
0	2分周（32 MHz）
1	4分周（16 MHz）

PLLON	PLL機能の動作／停止
0	停止
1	動作

注　ビット3は，Read Onlyです。

注意1.　PLLON = 1のときはメイン・システム・クロックを動作（MSTOP = 0またはHIOSTOP = 0）させておく必要があります。

2.　PLL回路を動作（PLLON = 1）してから，SELPLL = 1を選択し，CPU/周辺ハードウエア・クロックがPLL出力に切り替わる（PLLS = 1）までの間，下記の周辺機能のレジスタおよびPER2レジスタをアクセスしないでください。

- **16ビット・タイマKB0-KB2**
- **16ビット・タイマKC0**
- **コンパレータ**
- **プログラマブル・ゲイン・アンプ**

5. 3. 7　周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2）

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

・リアルタイム・クロック，12ビット・インターバル・タイマ
・A/Dコンバータ
・シリアル・インタフェースIICA
・シリアル・アレイ・ユニット0
・シリアル・アレイ・ユニット4（DALI/UART4）
・タイマ・アレイ・ユニット0
・16ビット・タイマKB0, KB1, KB2
・16ビット・タイマKB0, KB1, KB2の強制出力停止機能
・16ビット・タイマKC0
・コンパレータ／プログラマブル・ゲイン・アンプ

PER0-PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，00Hになります。

図5－8　周辺イネーブル・レジスタ0（PER0）のフォーマット（1/2）

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・クロック（RTC），12ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマはリセット状態
1	入力クロック供給 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

注意　ビット1, 3, 6には必ず“0”を設定してください。

図5－8　周辺イネーブル・レジスタ0（PER0）のフォーマット（2/2）

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICAの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給 ・シリアル・インタフェースIICAで使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニットの入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注意　ビット1, 3, 6には必ず“0”を設定してください。

図5－9　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F0508H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	0	0	0	0	0	DALIEN

DALIEN	シリアル・アレイ・ユニット4（DALI/UART4）の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット4（DALI/UART4）で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット4（DALI/UART4）はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット4（DALI/UART4）で使用するSFRへのリード／ライト可

注意　ビット1-7には必ず“0”を設定してください。

図5－10　周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F0509H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	PGACMPEN	TKBPA2EN	TKBPA1EN	TKBPA0EN	TKC0EN	TKB2EN注	TKB1EN	TKB0EN

PGACMPEN	コンパレータ／プログラマブル・ゲイン・アンプの入力クロック供給の制御
0	入力クロック供給停止 ・コンパレータ／プログラマブル・ゲイン・アンプで使用するSFRへのライト不可 ・コンパレータ／プログラマブル・ゲイン・アンプはリセット状態
1	入力クロック供給 ・コンパレータ／プログラマブル・ゲイン・アンプで使用するSFRへのリード／ライト可

TKBPAnEN	16ビット・タイマKBnの強制出力停止機能への入力クロック供給の制御（n = 0-2）
0	入力クロック供給停止 ・16ビット・タイマKBnの強制出力停止機能による強制出力機能で使用するSFRへのライト不可 ・16ビット・タイマKBnの強制出力停止機能による強制出力機能はリセット状態
1	入力クロック供給 ・16ビット・タイマKBnの強制出力停止機能で使用するSFRへのリード／ライト可

TKC0EN	タイマKC0の入力クロックの制御
0	入力クロック供給停止 ・タイマKC0で使用するSFRへのライト不可 ・タイマKC0はリセット状態
1	入力クロック供給 ・タイマKC0で使用するSFRへのリード／ライト可

TKBnEN	16ビット・タイマKBnの入力クロック供給の制御（n = 0-2）
0	入力クロック供給停止 ・16ビット・タイマKBnで使用するSFRへのライト不可 ・16ビット・タイマKBnはリセット状態
1	入力クロック供給 ・16ビット・タイマKBnで使用するSFRへのリード／ライト可

注　30ピン製品，38ピン製品のみ。

5.3.8　サブシステム・クロック供給モード制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると，STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に，リアルタイム・クロック，12ビット・インターバル・タイマ以外の周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

また，OSMCレジスタではリアルタイム・クロック，12ビット・インターバル・タイマのカウント・クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－11　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 （動作許可となる周辺機能については，表21－1参照）
1	リアルタイム・クロック，12ビット・インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック，12ビット・インターバル・タイマのカウント・クロックの選択
0	サブシステム・クロック
1	低速オンチップ・オシレータ・クロック

注意　WUTMMCK0ビットでリアルタイム・クロック，12ビット・インターバル・タイマの動作クロックにサブシステム・クロック（f_{SUB}）を選択できるのは，38ピン製品のみです。

5.3.9　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

オプション・バイト（000C2H）で設定した高速オンチップ・オシレータの周波数を変更するレジスタです。ただし，オプション・バイト（000C2H）のFRQSEL3ビットの値によって，選択できる周波数が異なります。

HOCODIVレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，オプション・バイト（000C2H）のFRQSEL2-FRQSEL0で設定した値になります。

図5－12　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス：F00A8H　　リセット時：オプション・バイト（000C2H）FRQSEL2 - FRQSEL0の設定値　　R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	32 MHz
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

注意1. HOCODIVレジスタの設定は，周波数の変更前，変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	0	LS(低速メイン)モード	1 MHz～8 MHz	2.7 V～5.5 V
1	1	HS(高速メイン)モード	1 MHz～32 MHz	

2. HOCODIVレジスタの設定は，高速オンチップ・オシレータ・クロック（f_{IH}）をCPU／周辺ハードウエア・クロック（f_{CLK}）に選択している状態で行ってください。

3. HOCODIVレジスタで周波数を変更後，次の遷移時間経過して周波数が切り替わります。

・変更前の周波数で最大3クロック動作

・変更後の周波数で最大3クロックのCPU／周辺ハードウエア・クロックウエイト

5. 3. 10　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット）を使用するなどして高速オンチップ・オシレータの周波数を自己測定し，精度補正することができます。

HIOTRMレジスタは，8ビット・メモリ操作命令で設定します。

注意　精度補正後に温度，V_{DD}端子電圧に変化があった場合，周波数は変動します。
温度，V_{DD}電圧が変動する場合は，周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図5－13　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）のフォーマット

アドレス：F00A0H　　リセット時：不定[注]　　R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	HIOTRM6	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIO TRM6	HIO TRM5	HIO TRM4	HIO TRM3	HIO TRM2	HIO TRM1	HIO TRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	0	最低速
0	0	0	0	0	0	1	↑
0	0	0	0	0	1	0	
0	0	0	0	0	1	1	
0	0	0	0	1	0	0	
・ ・ ・							
1	1	1	1	1	1	0	↓
1	1	1	1	1	1	1	最高速

注　リセット値は出荷時に調整した値です。

備考1.　HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

2.　HIOTRMレジスタの使用例は，RL78 MCUシリーズ 高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート (R01AN0464) を参照してください。

5. 4　システム・クロック発振回路

5. 4. 1　X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1～20 MHz）によって発振します。

また, 外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

・水晶，セラミック発振 ：EXCLK, OSCSEL = 0, 1

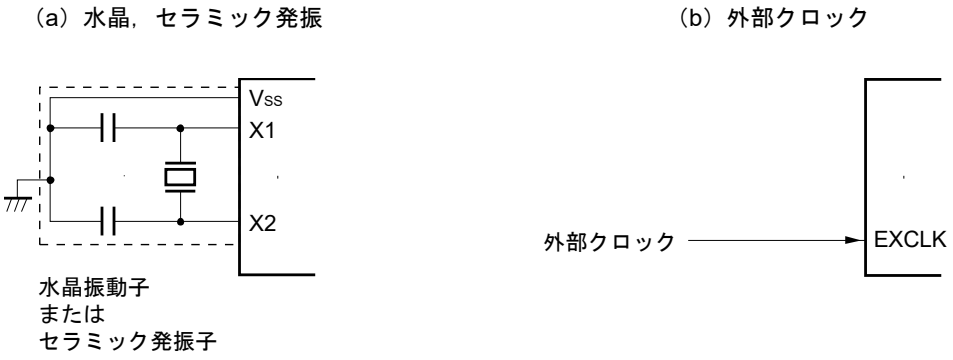
・外部クロック入力　　：EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は，入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，表2－2　各端子の未使用端子処理（38ピン製品）を参照してください。

図5－14にX1発振回路の外付け回路例を示します。

図5－14　X1発振回路の外付け回路例



注意を次ページに示します。

5. 4. 2　XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（32.768 kHz(TYP.)）によって発振します。

XT1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット4（OSCSELS）に1を設定してください。

また，外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット5, 4（EXCLKS, OSCSELS）を次のように設定してください。

・水晶発振　　：EXCLKS, OSCSELS = 0, 1

・外部クロック入力　　：EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は，入力ポート・モード（EXCLKS, OSCSELS = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，表2－2　各端子の未使用端子処理（38ピン製品）を参照してください。

図5－15にXT1発振回路の外付け回路例を示します。

図5－15　XT1発振回路の外付け回路例

注意　X1発振回路およびXT1発振回路を使用する場合は，配線容量などの影響を避けるために，図5－14, 5－15の破線の部分を次のように配線してください。

・配線は極力短くしてください。

・他の信号線と交差させない，変化する大電流が流れる線と接近させないでください。

・発振回路のコンデンサの接地点は，常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。

・発振回路から信号を取り出さないでください。

特に，XT1発振回路は，低消費電力にするために増幅度の低い回路になっています。設計の際は，次の点に注意してください。

・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。

・XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は5. 7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。

・XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。

・回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。

・XT1発振回路の周辺には，できるかぎりVssと同電位のグランド・パターンを配置してください。

・XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。

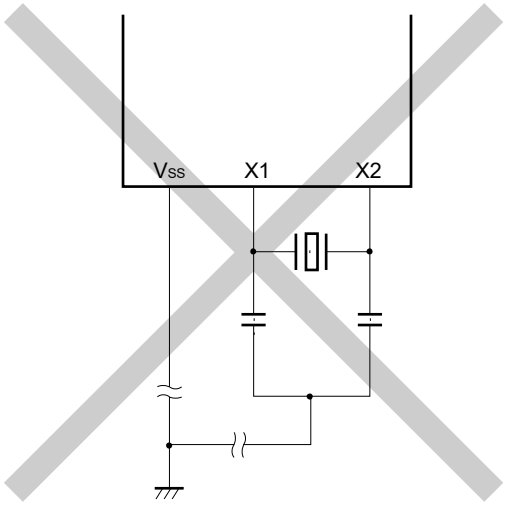
・高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。

・回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

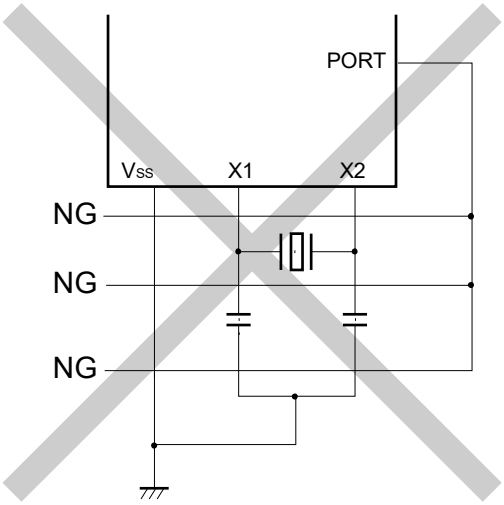
図5－16に発振子の接続の悪い例を示します。

図5－16　発振子の接続の悪い例（1/2）

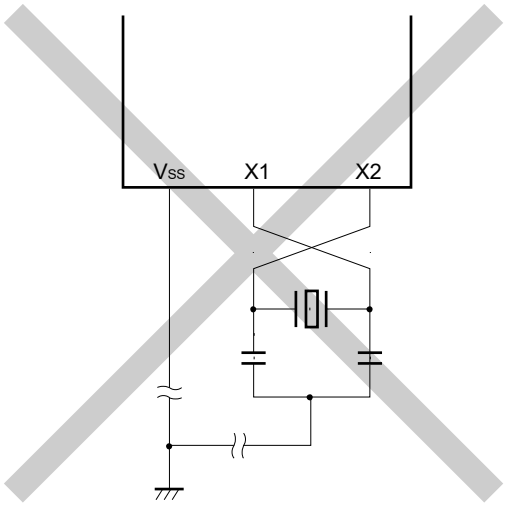
（a）接続回路の配線が長い



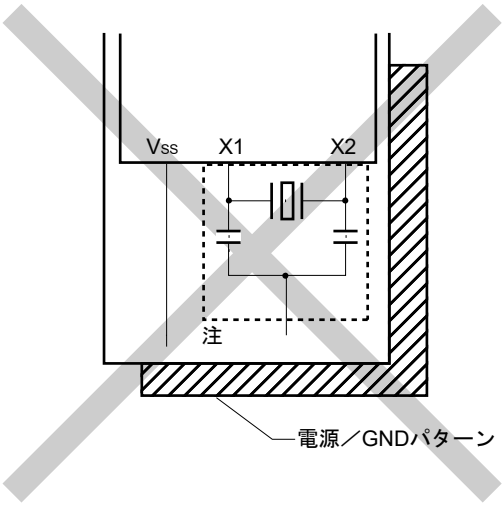
（b）信号線が交差している



（c）X1, X2の信号線の配線が交差している



（d）X1, X2配線の下に電源／GNDパターンがある

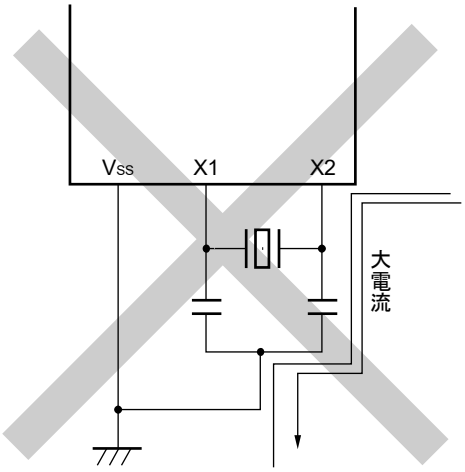


注　多層基板や両面基板において，X1，X2端子と発振子の配線部（図中の点線部分）の下には，電源／GNDパターンを配置しないでください。
容量成分の原因となり，発振特性に影響を与える配置はしないでください。

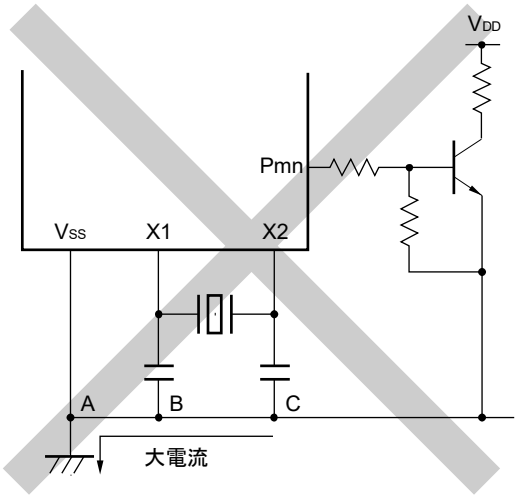
備考　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

図5－16　発振子の接続の悪い例（2/2）

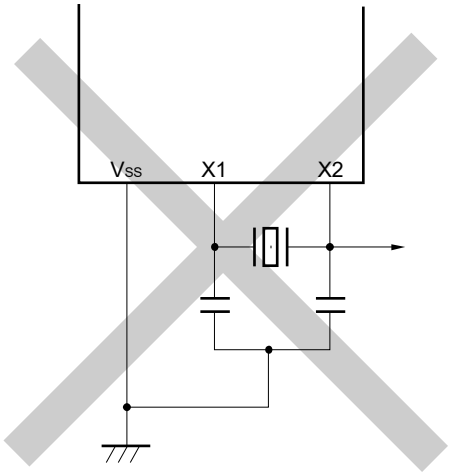
（e）変化する大電流が信号線に近接している



（f）発振回路部のグランド・ライン上に電流が流れる（A点，B点，C点の電位が変動する）



（g）信号を取り出している



注意　X2とXT1が平行に配線されている場合，X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

5. 4. 3　高速オンチップ・オシレータ

RL78/I1Aは，高速オンチップ・オシレータを内蔵しています。オプションバイト（000C2H）により32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）にて発振を制御できます。

リセット解除後，高速オンチップ・オシレータは自動的に発振を開始します。

5. 4. 4　低速オンチップ・オシレータ

RL78/I1Aは，低速オンチップ・オシレータを内蔵しています。

ウォッチドッグ・タイマの動作時、または，サブシステム・クロック供給モード制御レジスタ（OSMC）のビット4（WUTMMCK0）が1のときに低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時かつ，WUTMMCK0=0のとき、低速オンチップ・オシレータは停止します。

5. 4. 5　PLL（Phase Locked Loop）

RL78/I1Aは，PLL回路を内蔵しています。

PLLによって，高速オンチップ・オシレータ・クロックまたは高速システム・クロックを逓倍することができます。

PLLコントロール・レジスタ（PLLCTL）のビット0（PLLON）にて動作を制御できます。

PLLを使用する場合は，高速システム・クロック，高速オンチップ・オシレータ・クロックに4 MHzを設定してください。

注意1.　PLLモードから，高速オンチップ・オシレータ・クロック，高速システム・クロックに移行する場合は，PLL出力クロック（P_{LL}）が供給される機能（タイマKB0-KB2, KC0，コンパレータ／プログラマブル・ゲイン・アンプ）を停止させてください。

2.　サブシステム・クロック動作中にPLL動作を行うことはできません。

3.　STOPモードへ移行する場合は，PLLを停止後（PLLコントロール・レジスタ（PLLCTL）のSELPLL = 0 → PLLON = 0），メイン・システム・クロックに高速オンチップ・オシレータ・クロック（f_{IH}），高速システム・クロック（f_{MX}）を選択してから，STOP命令を実行してください。

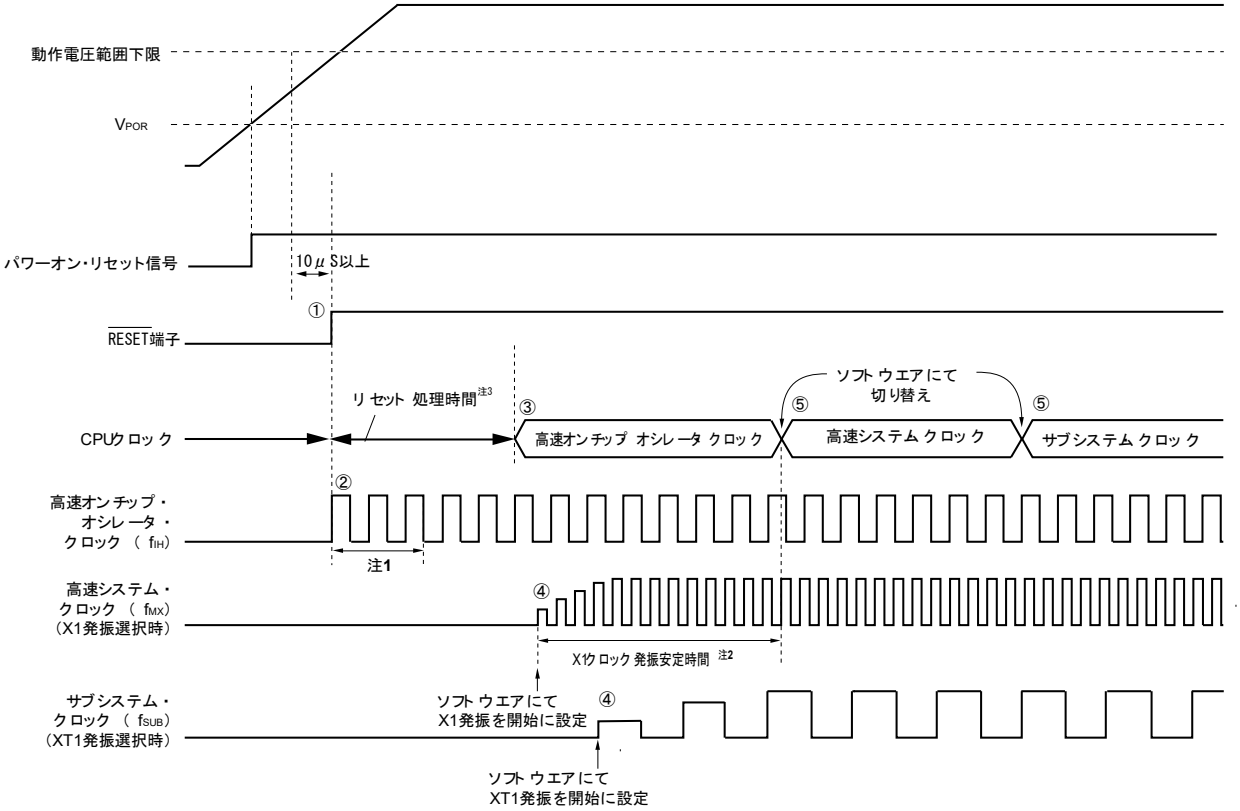
5. 5　クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどのCPUの動作モードを制御します（図5－1を参照）。

○メイン・システム・クロック　f_{MAIN}
　・高速システム・クロック　f_{MX}
　　X1クロック　f_X
　　外部メイン・システム・クロック　f_{EX}
　・高速オンチップ・オシレータ・クロック　f_{IH}
○サブシステム・クロック　f_{SUB}
　・XT1クロック　f_{XT}
　・外部サブシステム・クロック　f_{EXS}
○低速オンチップ・オシレータ・クロック　f_{IL}
○CPU／周辺ハードウエア・クロック　f_{CLK}
○PLL出力クロック　f_{PLL}

RL78/I1Aでは，リセット解除後，CPUは高速オンチップ・オシレータの出力により動作を開始します。
電源電圧投入時のクロック発生回路の動作を，図5－17に示します。

図5－17　電源電圧投入時のクロック発生回路の動作



① 電源投入後，パワーオン・リセット（POR）回路による内部リセット信号が発生します。
ただし，32.4 または33.4 AC特性に示す動作電圧範囲に達するまで，電圧検出回路か外部リセットでリセット状態を保ちます（上図は，外部リセット使用時の例）。

② リセットが解除されると，高速オンチップ・オシレータが自動的に発振開始されます。

③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに，CPUが高速オンチップ・オシレータ・クロックで動作開始します。

④ X1クロックまたはXT1クロックは，ソフトウエアにて発振開始を設定してください（5. 6. 2　X1発振回路の設定例，5. 6. 3　XT1発振回路の設定例を参照）。

⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウエアにて切り替えを設定してください（5. 6. 2　X1発振回路の設定例，5. 6. 3　XT1発振回路の設定例を参照）。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，リセット処理時間に含まれます。

2. リセット解除時は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

3. リセット処理時間は，第23章 パワーオン・リセット回路を参照してください。

注意　EXCLK端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。

備考　PLLを使用する場合は，5. 6. 4　PLL回路の設定例を参照してください。

5. 6　クロックの制御

5. 6. 1　高速オンチップ・オシレータの設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は，オプション・バイト（000C2H）のFRQSEL0-FRQSEL3により，32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2MHz, 1 MHzから選択可能です。また，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）により，周波数を変更することもできます。

【オプション・バイト設定】

アドレス：000C2H

オプション・バイト（000C2H）	7	6	5	4	3	2	1	0
	CMODE1	CMODE0			FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
	1	0/1	1	0	0/1	0/1	0/1	0/1

CMODE1	CMODE0	フラッシュの動作モード設定
1	0	LS（低速メイン）モード　V_{DD} = 2.7 V～5.5 V @ 1 MHz～8 MHz
1	1	HS（高速メイン）モード　V_{DD} = 2.7 V～5.5 V @ 1 MHz～32 MHz
上記以外		設定禁止

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータ・クロックの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス：F00A8H

	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	32 MHz
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

5. 6. 2　X1発振回路の設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，X1発振クロックに変更する場合，発振安定時間選択レジスタ（OSTS），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，発振安定時間カウンタ状態レジスタ（OSTC）で発振の安定待ちを行います。発振安定待ちが終了したあと，システム・クロック制御レジスタ（CKC）でX1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① CMCレジスタのOSCSELビットをセット（1），f_X＞10 MHzの場合はAMPHビットをセット（1）してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 1	EXCLKS 0	OSCSELS 0	0	AMPHS1 0	AMPHS0 0	AMPH 0/1

AMPHビット：X1発振クロックが10 MHz以下の場合は0を設定してください。

② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。
例）10 MHzの発振子で102 μs以上までウエイトする場合は，以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2 0	OSTS1 1	OSTS0 0

③ CSCレジスタのMSTOPビットをクリア（0）してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 0	XTSTOP 1	0	0	0	0	0	HIOSTOP 0

④ OSTCレジスタでX1発振回路の発振安定待ちを行います。
例）10 MHzの発振子で102 μs以上までウエイトする場合は，以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8 1	MOST9 1	MOST10 1	MOST11 0	MOST13 0	MOST15 0	MOST17 0	MOST18 0

⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウエア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 0	MCS 0	MCM0 1	0	0	0	0

注意　HOCODIVレジスタの設定は，周波数の変更前，変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	0	LS(低速メイン)モード	1 MHz～8 MHz	2.7 V～5.5 V
1	1	HS(高速メイン)モード	1 MHz～32 MHz	

5. 6. 3　XT1発振回路の設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，XT1発振クロックに変更する場合，サブシステム・クロック供給モード制御レジスタ（OSMC），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，システム・クロック制御レジスタ（CKC）でXT1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時にリアルタイム・クロック，12ビット・インターバル・タイマのみサブシステム・クロックで動作（超低消費電流）させる場合はRTCLPCビットを1に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

② CMCレジスタのOSCSELSビットをセット（1）してXT1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1ビット：XT1発振回路の発振モードを設定します。

③ CSCレジスタのXTSTOPビットをクリア（0）してXT1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	0	HIOSTOP 0

④ タイマ機能などを用いて，サブシステム・クロックに必要な発振安定時間をソフトウエアでウエイトしてください。

⑤ CKCレジスタのCSSビットでXT1発振クロックをCPU／周辺ハードウエア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	0	0

5. 6. 4　PLL回路の設定例

高速システム・クロック，高速オンチップ・オシレータ・クロックを設定後（5. 6. 1　高速オンチップ・オシレータの設定例，5. 6. 2　X1発振回路の設定例参照），PLLコントロール・レジスタ（PLLCTL）でPLL回路の制御を行います。

PLLを使用する場合は，高速システム・クロック，高速オンチップ・オシレータ・クロックに4 MHzを設定してください。

【レジスタ設定】①～⑤の順に設定してください。

① PLLCTLレジスタのPLLOビットを設定して16ビット・タイマKB0-KB2，KC0，コンパレータ，プログラマブル・ゲイン・アンプにf_{PLL} = 64 MHz，それ以外のCPU／周辺ハードウエアには16 MHz（PLLO = 1）または32MHz（PLLO = 0）を供給するように設定します。

	7	6	5	4	3	2	1	0
PLLCTL					PLLS	SELPLL	PLLO	PLLON
	0	0	0	0	0	0	0/1	0

注意　PLL回路を動作（PLLON = 1）してから，SELPLL = 1を選択し，CPU/周辺ハードウエア・クロックがPLL出力に切り替わる（PLLS = 1）までの間，下記の周辺機能のレジスタおよびPER2レジスタをアクセスしないでください。

- **16ビット・タイマKB0-KB2**
- **16ビット・タイマKC0**
- **コンパレータ**
- **プログラマブル・ゲイン・アンプ**

② PLLCTLレジスタのPLLONビットをセット（1）してPLL回路を動作させます。

	7	6	5	4	3	2	1	0
PLLCTL					PLLS	SELPLL	PLLO	PLLON
	0	0	0	0	0	0	0/1	1

③ ソフトウェアで40 μsウエイトします。

④ PLLCTLレジスタのSELPLLビットをセット（1）して，CPU／周辺ハードウエア・クロック（f_{CLK}）にPLL出力を選択します。

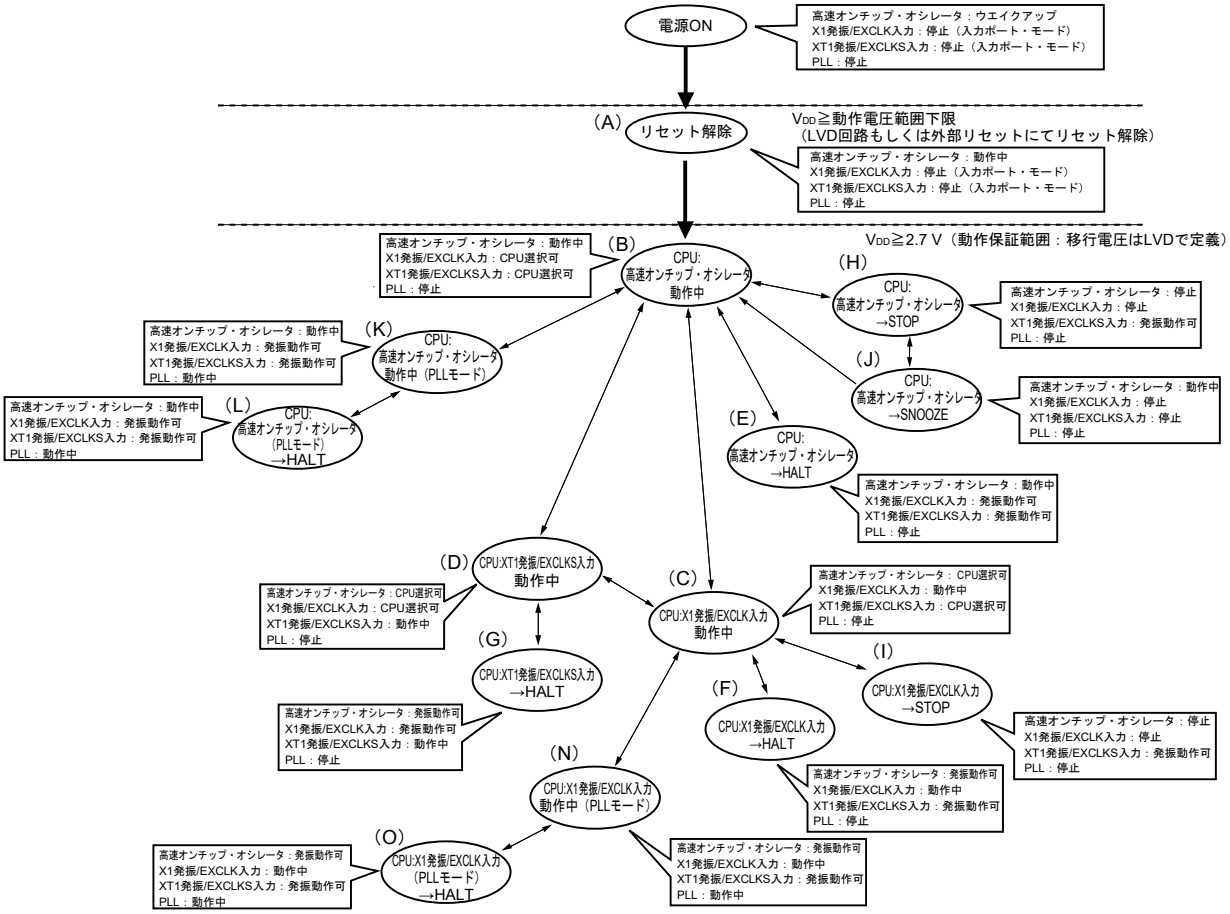
	7	6	5	4	3	2	1	0
PLLCTL					PLLS	SELPLL	PLLO	PLLON
	0	0	0	0	0	1	0/1	1

⑤ PLLSビットが1になるまでウエイトします。

5. 6. 5　CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5－18に示します。

図5－18　CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5－3に示します。

表5－3　CPUクロックの移行とSFRレジスタの設定例（1/6）

（1）リセット解除後 (A) に，CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要（リセット解除後の初期状態）

（2）リセット解除後 (A) に，CPUを高速システム・クロック動作 (C) へ移行
（リセット解除直後，CPUは高速オンチップ・オシレータ・クロックで動作 (B) ）

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CMCレジスタ注1			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A) → (B) → (C) （X1クロック：1 MHz≦fx≦10 MHz）	0	1	0	**注2**	0	確認必要	1
(A) → (B) → (C) （X1クロック：10 MHz＜fx≦20 MHz）	0	1	1	**注2**	0	確認必要	1
(A) → (B) → (C) （外部メイン・クロック）	1	1	×	**注2**	0	確認不要	1

注1.　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。

2.　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第32章　電気的特性（T_A = －40～+105℃対応品）または，第33章　電気的特性（T_A = －40～+125℃対応品）を参照）に電源電圧が達してから，クロックを設定してください。

（3）リセット解除後 (A) に，CPUをサブシステム・クロック動作 (D) へ移行
（リセット解除直後，CPUは高速オンチップ・オシレータ・クロックで動作 (B) ）

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CMCレジスタ注				CSCレジスタ	発振安定待ち	CKCレジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A) → (B) → (D) （XT1クロック）	0	1	0/1	0/1	0	必要	1
(A) → (B) → (D) （外部サブ・クロック）	1	1	×	×	0	必要	1

注　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考1.　×：don’t care

2.　表5－3の (A) – (O) は，図5－18の(A) – (O) と対応しています。

表5－3　CPUクロックの移行とSFRレジスタの設定例（2/6）

（4）CPUを高速オンチップ・オシレータ・クロック動作 (B) から高速システム・クロック動作 (C) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ／状態遷移	CMCレジスタ注1			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(B) → (C) （X1クロック：1 MHz≦fx≦10 MHz）	0	1	0	**注2**	0	確認必要	1
(B) → (C) （X1クロック：10 MHz＜fx≦20 MHz）	0	1	1	**注2**	0	確認必要	1
(B) → (C) （外部メイン・クロック）	1	1	×	**注2**	0	確認不要	1

設定済みの場合は不要　　高速システム・クロック動作中の場合は不要

注1.　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

2.　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第32章　電気的特性（T_A = －40～+105℃対応品）または，第33章　電気的特性（T_A = －40～+125℃対応品）を参照）に電源電圧が達してから，クロックを設定してください。

（5）CPUを高速オンチップ・オシレータ・クロック動作 (B) から，サブシステム・クロック動作 (D) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ／状態遷移	CMCレジスタ注			CSCレジスタ	発振安定待ち	CKCレジスタ
	EXCLKS	OSCSELS	AMPHS1,0	XTSTOP		CSS
(B) → (D) （XT1クロック）	0	1	00：低消費発振 01：通常発振 10：超低消費発振	0	必要	1
(B) → (D) （外部サブ・クロック）	1	1	×	0	必要	1

設定済みの場合は不要　　サブシステム・クロック動作中の場合は不要

注　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

備考1.　×：don’t care

2.　表5－3の (A) – (O) は，図5－18の(A) – (O) と対応しています。

表5－3　CPUクロックの移行とSFRレジスタの設定例（3/6）

（6）CPUを高速システム・クロック動作 (C) から，高速オンチップ・オシレータ・クロック動作 (B) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		MCM0
(C) → (B)	0	18 μs～65 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考　高速オンチップ・オシレータ・クロックの発振精度安定待ちは，温度条件とSTOPモード期間によって変化します。

（7）CPUを高速システム・クロック動作 (C) から，サブシステム・クロック動作 (D) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CSCレジスタ	発振安定待ち	CKCレジスタ
	XTSTOP		CSS
(C) → (D)	0	必要	1

サブシステム･クロック動作中の場合は不要

（8）CPUをサブシステム・クロック動作 (D) から，高速オンチップ・オシレータ・クロック動作 (B) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		CSS
(D) → (B)	0	18 μs～65 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考1.　表5－3の (A) – (O) は，図5－18の(A) – (O) と対応しています。

2.　高速オンチップ・オシレータ・クロックの発振精度安定待ちは，温度条件とSTOPモード期間によって変化します。

表5－3　CPUクロックの移行とSFRレジスタの設定例（4/6）

（9）CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ＼ 状態遷移	OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
		MSTOP		CSS
(D) → (C)（X1クロック：1 MHz≦fx≦10 MHz）	注	0	確認必要	0
(D) → (C)（X1クロック：10 MHz＜fx≦20 MHz）	注	0	確認必要	0
(D) → (C)（外部メイン・クロック）	注	0	確認不要	0

高速システム・クロック
動作中の場合は不要

注　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第32章　電気的特性（T_A = －40～+105℃対応品）または，第33章　電気的特性（T_A = －40～+125℃対応品）を参照）に電源電圧が達してから，クロックを設定してください。

備考　表5－3の (A) – (O) は，図5－18の(A) – (O) と対応しています。

表5－3　CPUクロックの移行とSFRレジスタの設定例（5/6）

（10）・CPUを高速オンチップ・オシレータ・クロック動作 (B) から，高速オンチップ・オシレータ・クロック（PLLモード）動作 (K) へ移行
・CPUを高速システム・クロック動作 (C) から，高速システム・クロック（PLLモード）動作 (N) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ＼ 状態遷移	PLLCTLレジスタ			
	PLLO	PLLON	発振安定待ち	SELPLL
(B) → (K) (C) → (N)	0/1	1	40 μs	1

（11）・CPUを高速オンチップ・オシレータ・クロック動作（PLLモード）動作 (K) から，高速オンチップ・オシレータ・クロック動作 (B) へ移行
・CPUを高速システム・クロック（PLLモード）動作 (N) から，高速システム・クロック動作 (C)へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ＼ 状態遷移	PLLCTLレジスタ		
	SELPLL	PLLS	PLLON
(K) → (B) (N) → (C)	0	0	0

注意　PLLモードから，高速オンチップ・オシレータ・クロック，高速システム・クロック動作に移行する場合は，PLL出力クロックが供給される機能（タイマKB0-KB2, KC0，コンパレータ／プログラマブル・ゲイン・アンプ）を停止させてください。

（12）・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にHALTモード（E）へ移行
・CPUが高速システム・クロック動作中 (C) にHALTモード（F）へ移行
・CPUがサブシステム・クロック動作中 (D) にHALTモード（G）へ移行
・CPUが高速オンチップ・オシレータ・クロック（PLLモード）動作中 (K) にHALTモード（L）へ移行
・CPUが高速システム・クロック（PLLモード）動作中 (N) にHALTモード（O）へ移行

状態遷移	設定内容
(B) → (E) (C) → (F) (D) → (G) (K) → (L) (N) → (O)	HALT命令を実行する

備考1.　×：don’t care
2.　表5－3の (A) – (O) は，図5－18の(A) – (O) と対応しています。

表5－3　CPUクロックの移行とSFRレジスタの設定例（6/6）

（13）・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード（H）へ移行
・CPUが高速システム・クロック動作中 (C) にSTOPモード（I）へ移行

（設定順序）→

状態遷移		設定内容		
(B) → (H)		STOPモード中に動作禁止の周辺機能を停止する	－	STOP命令を実行する
(C) → (I)	X1発振		OSTSレジスタを設定する	
	外部クロック		－	

（14）・STOPモード (H) からSNOOZEモード (J) へ移行

SNOOZEモード対応の各機能が，STOPモードからSNOOZEモードへ移行するための設定については，次の章を参照してください。

A/Dコンバータ　⇒ 12. 8　SNOOZEモード機能
シリアル・アレイ・ユニット0のCSI00　⇒ 15. 5. 7　SNOOZEモード機能
シリアル・アレイ・ユニット0のUART0　⇒ 15. 6. 3　SNOOZEモード機能
シリアル・アレイ・ユニット4のUART4　⇒ 16. 5. 3　SNOOZEモード機能

（15）・CPUが高速オンチップ・オシレータ・クロック（PLLモード）動作中 (K) にSTOPモード（H）へ移行
・CPUが高速システム・クロック（PLLモード）動作中 (N) にSTOPモード（I）へ移行

PLLモード動作から，高速オンチップ・オシレータ・クロック，高速システム・クロック動作に移行（5. 6. 5（11）参照）し，STOP命令を実行してください。

注意　PLLモードから，高速オンチップ・オシレータ・クロック，高速システム・クロック動作に移行する場合は，PLL出力クロックが供給される機能（タイマKB0-KB2, KC0，コンパレータ／プログラマブル・ゲイン・アンプ）を停止させてください。

備考　表5－3の (A) – (O) は，図5－18の(A) – (O) と対応しています。

5. 6. 6　CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について，次に示します。

表5－4　CPUクロックの移行について（1/2）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと，高速オンチップ・オシレータを停止（HIOSTOP = 1）すると，動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと，X1を発振停止可能（MSTOP = 1）
	外部メイン・システム・クロック	移行不可 （変更したい場合は，いったんリセットしてから再設定してください。）	－
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと，X1を発振停止可能（MSTOP = 1）
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと，X1を発振停止可能（MSTOP = 1）
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと，外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	X1クロック	移行不可	－
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと，外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと，外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）

表5－4　CPUクロックの移行について（2/2）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと，XT1発振停止に設定可能（XTSTOP = 1）
	X1クロック	X1発振が安定，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	外部サブシステム・クロック	移行不可	－
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと，外部サブシステム・クロック入力を無効に設定可能（XTSTOP = 1）
	X1クロック	X1発振が安定，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	XT1クロック	移行不可	－

5.6.7　CPUクロックの切り替えとシステム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット4, 6（MCM0, CSS）の設定により，CPUクロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック），メイン・システム・クロックの切り替え（高速オンチップ・オシレータ・クロック⇔高速システム・クロック）をすることができます。

実際の切り替え動作は，CKCレジスタを書き換えた直後ではなく，CKCレジスタを変更したのち，数クロックは切り替え前のクロックで動作します（表5－5～表5－7参照）。

CPUクロックがメイン・システム・クロックで動作しているか，サブシステム・クロックで動作しているかは，CKCレジスタのビット7（CLS）で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか，高速オンチップ・オシレータ・クロックで動作しているかは，CKCレジスタのビット5（MCS）で判定できます。

CPUクロックを切り替えると，周辺ハードウエア・クロックも同時に切り替わります。

表5－5　システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f_{IH}	←→	f_{MX}	表5－6参照
f_{MAIN}	←→	f_{SUB}	表5－7参照

表5－6　f_{IH} ↔ f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0（f_{MAIN} ＝ f_{IH}）	1（f_{MAIN} ＝ f_{MX}）
0（f_{MAIN} ＝ f_{IH}）	f_{MX}≧f_{IH}		2クロック
	f_{MX}＜f_{IH}		2f_{IH}/f_{MX}クロック
1（f_{MAIN} ＝ f_{MX}）	f_{MX}≧f_{IH}	2f_{MX}/f_{IH}クロック	
	f_{MX}＜f_{IH}	2クロック	

表5－7　f_{MAIN} ↔ f_{SUB}で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0（f_{CLK} ＝ f_{MAIN}）	1（f_{CLK} ＝ f_{SUB}）
0（f_{CLK} ＝ f_{MAIN}）		1＋2f_{MAIN}/f_{SUB}クロック
1（f_{CLK} ＝ f_{SUB}）	3クロック	

備考1.　表5－6，表5－7のクロック数は，切り替え前のCPUクロックのクロック数です。

2.　表5－6，表5－7のクロック数は，小数点以下を切り上げてください。

例　メイン・システム・クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに切り替える場合（f_{IH} = 8 MHz, f_{MX} =10 MHz発振時）

2f_{MX}/f_{IH} = 2(10/8) = 2.5 → 3クロック

5. 6. 8　クロック発振停止前の条件

クロック発振を停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。クロックの停止は，クロック停止前の条件を確認したあとに行ってください。

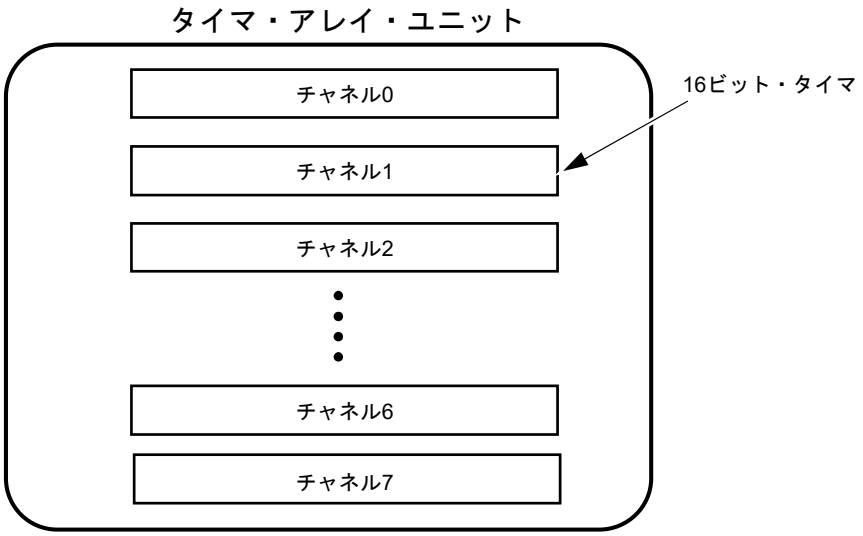
表5－8　クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 （CPUクロックが高速オンチップ・オシレータ・クロック以外で動作）	HIOSTOP = 1
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 （CPUクロックが高速システム・クロック以外で動作）	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CLS = 0 （CPUクロックがサブシステム・クロック以外で動作）	XTSTOP = 1

第6章　タイマ・アレイ・ユニット

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャネル」と呼び，それぞれを単独のタイマとして使用することはもちろん，複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャネル動作機能	複数チャネル連動動作機能
・インターバル・タイマ（→6. 8. 1参照） ・方形波出力（→6. 8. 1参照） ・外部イベント・カウンタ（→6. 8. 2参照） ・入力パルス間隔測定（→6. 8. 3参照） ・入力信号のハイ／ロウ・レベル幅測定（→6. 8. 4参照） ・ディレイ・カウンタ（→6. 8. 5参照）	・ワンショット・パルス出力（→6. 9. 1参照） ・PWM出力（→6. 9. 2参照） ・多重PWM出力（→6. 9. 3参照）

チャネル1, 3の16ビット・タイマを2つの8ビット・タイマ（上位／下位）として使用することもできます。チャネル1, 3が8ビット・タイマとして使用できる機能は，次の機能です。

・インターバル・タイマ（上位／下位8ビット・タイマ）／方形波出力（下位8ビット・タイマのみ）
・外部イベント・カウンタ（チャネル3の下位8ビット・タイマのみ）
・ディレイ・カウンタ（チャネル3の下位8ビット・タイマのみ）

また，チャネル7は，シリアル・アレイ・ユニット0のUART0と連携し，LIN-bus, DMX512受信処理を実現することができます。

6.1　タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには，次のような機能があります。

6.1.1　単独チャネル動作機能

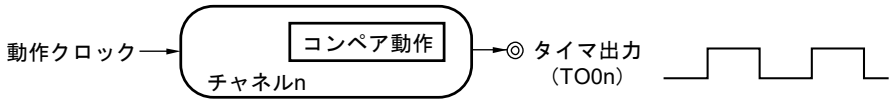
単独チャネル動作機能は，他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

（1）インターバル・タイマ

一定間隔で割り込み（INTTM0n）を発生する基準タイマとして利用できます。

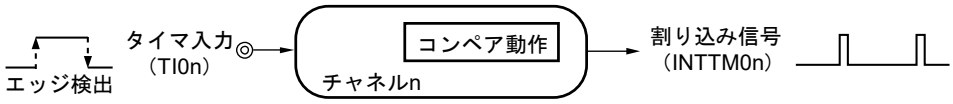
（2）方形波出力

INTTM0n割り込みの発生ごとにトグル動作を行い，デューティ50%の方形波をタイマ出力端子（TO0n）より出力します。



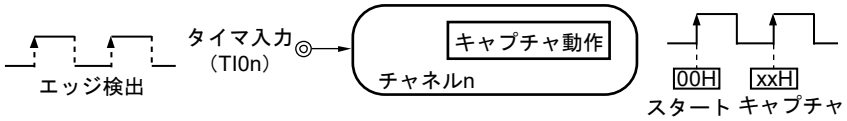
（3）外部イベント・カウンタ

タイマ入力端子（TI0n）に入力される信号の有効エッジをカウントし，規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



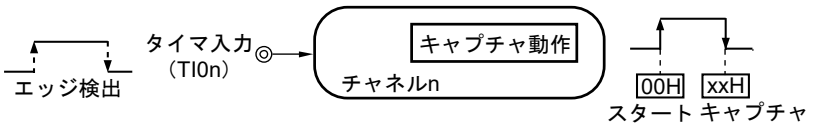
（4）入力パルス間隔測定

タイマ入力端子（TI0n）に入力されるパルス信号の有効エッジでカウントをスタートし，次のパルスの有効エッジでカウント値をキャプチャすることで，入力パルスの間隔を測定します。



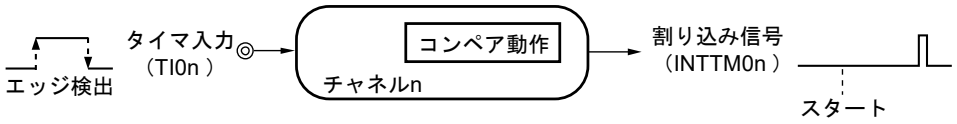
（5）入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子（TI0n）に入力される信号の片エッジでカウントをスタートし，もう一方の片エッジでカウント値をキャプチャすることで，入力信号のハイ・レベル幅，ロウ・レベル幅を測定します。



（6）ディレイ・カウンタ

タイマ入力端子（TI0n）に入力される信号の有効エッジでカウントをスタートし，任意のディレイ期間後，割り込みを発生します。



備考1.　n：チャネル番号（n = 0-7）

2.　チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は，表6－2　各製品に搭載しているタイマ入出力端子を参照してください。

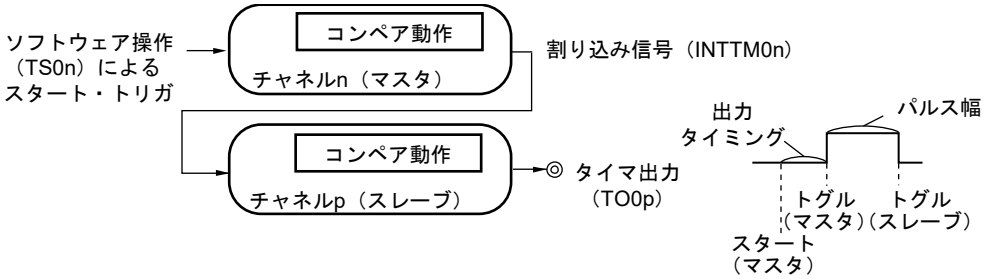
6. 1. 2　複数チャネル連動動作機能

複数チャネル連動動作機能は，マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合せて実現する機能です。

複数チャネル連動動作機能は，次に示すモードとして利用できます。

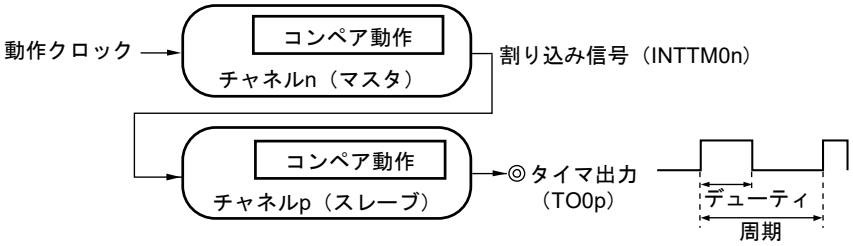
（1）ワンショット・パルス出力

2チャネルをセットで使用し，出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



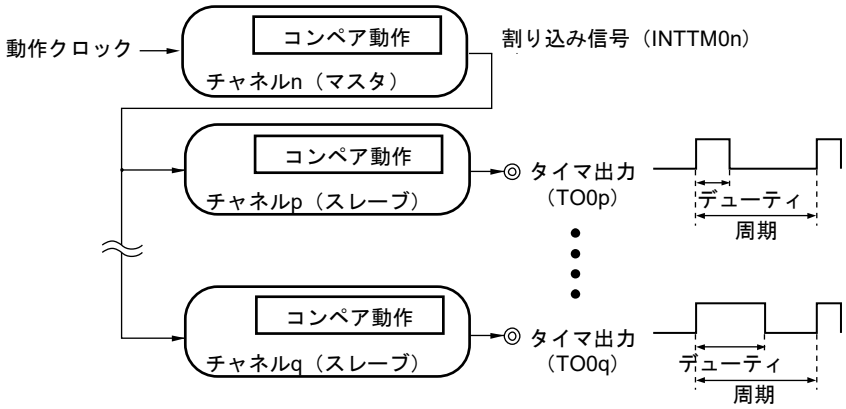
（2）PWM（Pulse Width Modulation）出力

2チャネルをセットで使用し，周期とデューティを任意に設定できるパルスを生成します。



（3）多重PWM（Pulse Width Modulation）出力

PWM機能を拡張し，1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで，周期一定で，任意のデューティのPWM信号を最大7種類生成することができます。



注意　複数チャネル連動動作機能のルールの詳細については，6. 4. 1　複数チャネル連動動作機能の基本ルールを参照してください。

6. 1. 3　LIN-bus対応機能（チャネル7のみ）

LIN-bus通信機能において，受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

（1）ウエイクアップ信号の検出

UART0のシリアル・データ入力端子（RxD0）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，ウエイクアップ信号と認識します。

（2）ブレーク・フィールドの検出

ウエイクアップ信号検出後，UART0のシリアル・データ入力端子（RxD0）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，ブレーク・フィールドと認識します。

（3）シンク・フィールドのパルス幅測定

シンク・ブレーク・フィールド検出後，UART0のシリアル・データ入力端子（RxD0）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考　LIN-bus対応機能の動作設定については，6. 3. 13　入力切り替え制御レジスタ（ISC），6. 8. 4　入力信号のハイ／ロウ・レベル幅測定としての動作を参照してください。

6. 1. 4　DMX512対応機能（チャネル7のみ）

DMX512通信機能において，受信信号がDMX512の通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

（1）BREAK信号の検出

UART0のシリアル・データ入力端子（RxD0）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，BREAK信号と認識します。

（3）信号幅測定

UART0のシリアル・データ入力端子（RxD0）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。

備考　DMX512対応機能の動作設定については，6. 3. 13　入力切り替え制御レジスタ（ISC），6. 8. 4　入力信号のハイ／ロウ・レベル幅測定としての動作を参照してください。

6. 2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは，次のハードウエアで構成されています。

表6－1　タイマ・アレイ・ユニットの構成

項　　目	構　　成
タイマ／カウンタ	タイマ・カウンタ・レジスタ0n（TCR0n）
レジスタ	タイマ・データ・レジスタ0n（TDR0n）
タイマ入力	TI03, TI05, TI06[注1]，TI07/RxD0端子（LIN-bus，DMX512用）[注2]
タイマ出力	TO03, TO05, TO06[注1]，出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・タイマ・クロック選択レジスタ0（TPS0） ・タイマ・チャネル許可ステータス・レジスタ0（TE0） ・タイマ・チャネル開始レジスタ0（TS0） ・タイマ・チャネル停止レジスタ0（TT0） ・タイマ入力選択レジスタ0（TIS0） ・タイマ出力許可レジスタ0（TOE0） ・タイマ出力レジスタ0（TO0） ・タイマ出力レベル・レジスタ0（TOL0） ・タイマ出力モード・レジスタ0（TOM0）
	＜各チャネル部のレジスタ＞ ・タイマ・モード・レジスタ0n（TMR0n） ・タイマ・ステータス・レジスタ0n（TSR0n） ・入力切り替え制御レジスタ（ISC） ・ノイズ・フィルタ許可レジスタ1（NFEN1） ・ポート・モード・レジスタ（PM0, PM3）[注3] ・ポート・レジスタ（P0, P3）[注3]

注1.　チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は，表6－2　各製品に搭載しているタイマ入出力端子を参照してください。

2.　入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

3.　製品によって設定するポート・モード・レジスタ（PM0, PM3）とポート・レジスタ（P0, P3）が異なります。詳細は，4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例を参照してください。

備考　n：チャネル番号（n = 0-7）

タイマ・アレイ・ユニットの各チャネルのタイマ入出力端子の有無は，製品によって異なります。

表6－2　各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・チャネル		各製品の入出力端子の有無		
		38ピン	30ピン	20ピン
ユニット0	チャネル0	－	－	－
	チャネル1	－	－	－
	チャネル2	－	－	－
	チャネル3	P31/TI03/TO03	P31/TI03/TO03	－
	チャネル4	－	－	－
	チャネル5	P05/TI05/TO05	－	－
	チャネル6	P06/TI06/TO06	－	－
	チャネル7	P11/RxD0/(TI07)注		

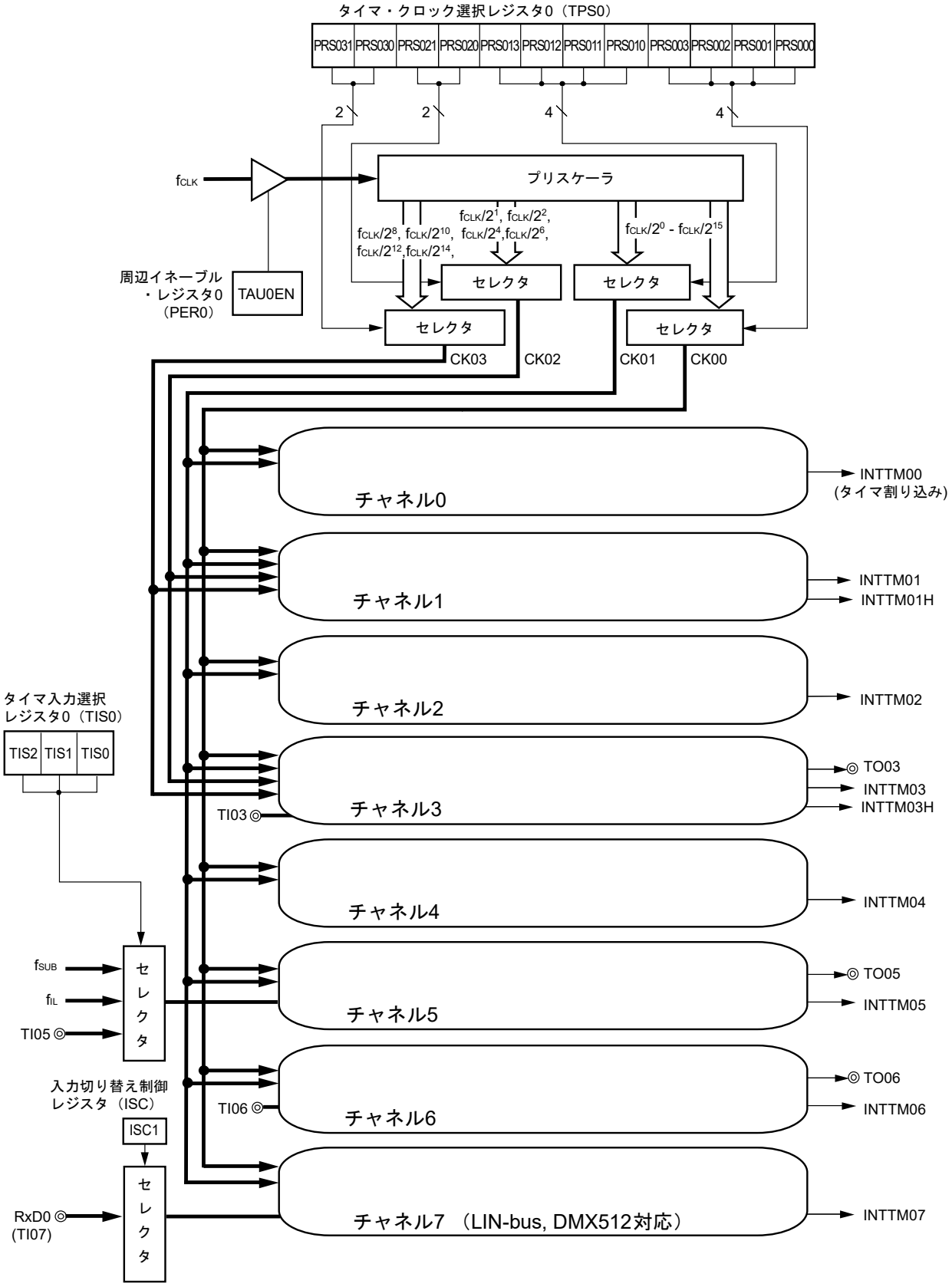
注　入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，TI07端子のみ使用できます。詳細は6. 3. 13　入力切り替え制御レジスタ（ISC）を参照してください。

備考1.　タイマ入力とタイマ出力は同一端子で兼用されているため，タイマ入力かタイマ出力のどちらかのみ使用可能です。

2.　－：タイマ入出力端子はないが，チャネルは搭載（インターバルタイマとしてのみ使用可能）

図6－1，図6－2にタイマ・アレイ・ユニットのブロック図を示します。

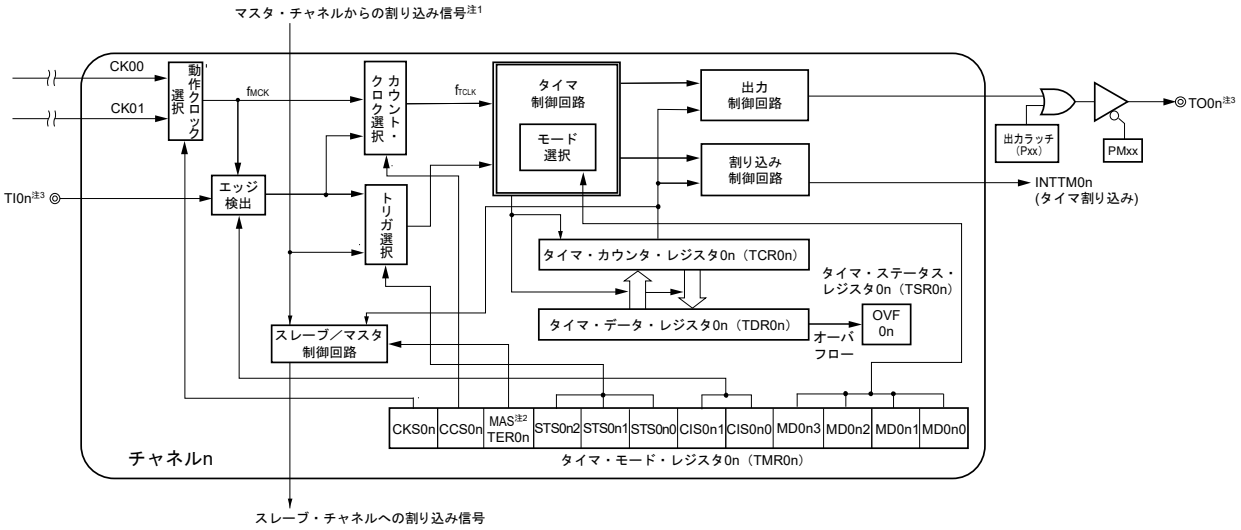
図6－1　タイマ・アレイ・ユニットの全体ブロック図（例：38ピン製品）



備考 f_{SUB} ：サブシステム・クロック周波数

f_{IL} ：低速オンチップ・オシレータ・クロック周波数

図6－2　タイマ・アレイ・ユニットのチャネル0, 2, 4, 6内部ブロック図



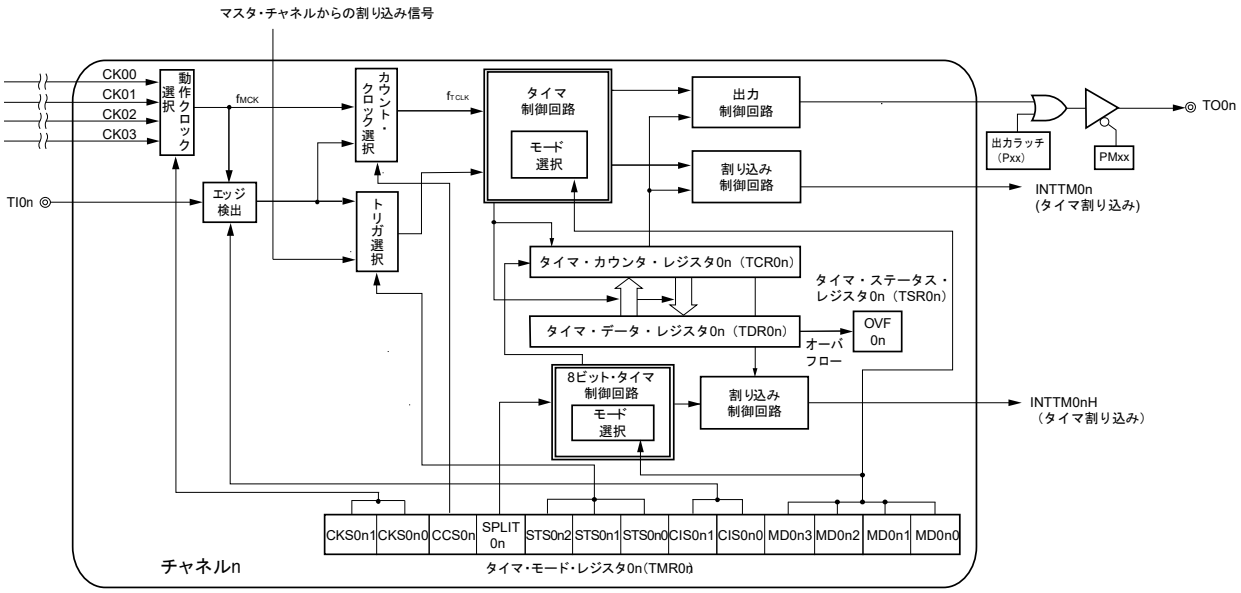
注1.　チャネル2, 4, 6のみ

2.　MASTER0nはチャネル2, 4, 6のみ

3.　TI0n,TO0nはチャネル6のみ

備考　n = 0, 2, 4, 6

図6－3　タイマ・アレイ・ユニットのチャネル1, 3内部ブロック図



注　TI0n,TO0nはチャネル3のみ

備考　n = 1, 3

図6－4　タイマ・アレイ・ユニットのチャネル5内部ブロック図

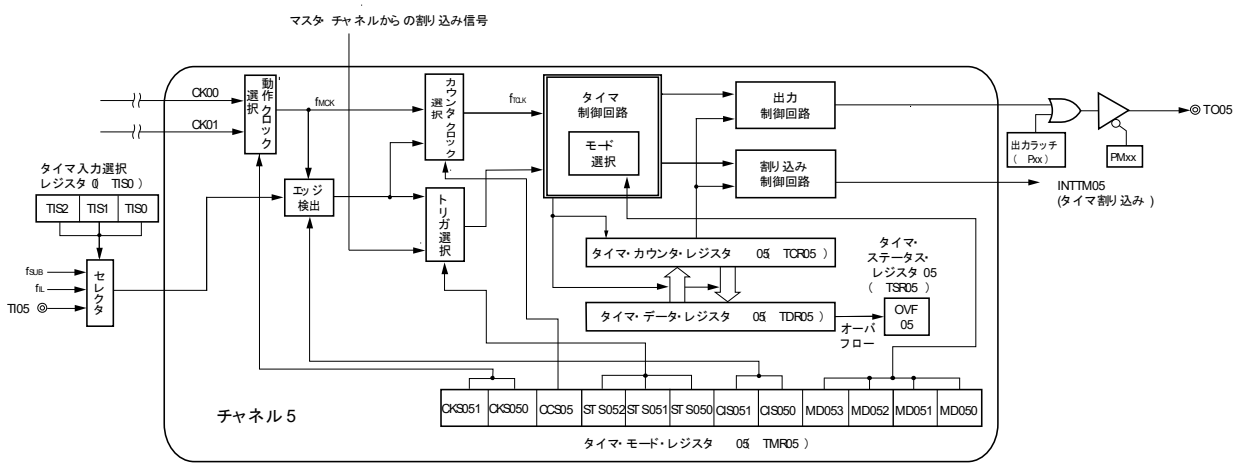
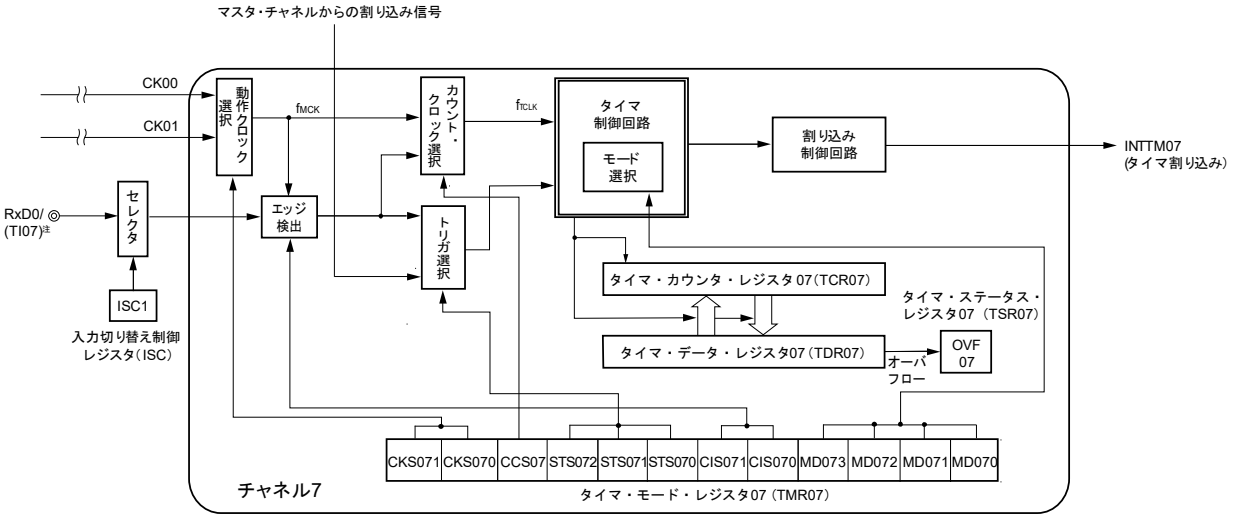


図6－5　タイマ・アレイ・ユニットのチャネル7内部ブロック図



注 入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，TI07端子のみ使用できます。詳細は**6. 3. 13 入力切り替え制御レジスタ（ISC）**を参照してください。

6. 2. 1　タイマ・カウンタ・レジスタ0n（TCR0n）

TCR0nレジスタは，カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは，タイマ・モード・レジスタ0n（TMR0n）のMD0n3-MD0n0ビットで動作モードを選択することで切り替わります（6. 3. 3　タイマ・モード・レジスタ0n（TMR0n）参照）。

図6－6　タイマ・カウンタ・レジスタ0n（TCR0n）のフォーマット

アドレス：F0180H, F0181H（TCR00）- F018EH, F018FH（TCR07）　リセット時：FFFFH　R

	F0181H（TCR00の場合）								F0180H（TCR00の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCR0n																

備考　n：チャネル番号（n = 0-7）

タイマ・カウンタ・レジスタ0n（TCR0n）をリードすることにより，カウント値をリードできます。

次の場合，カウント値はFFFFHになります。

・リセット信号の発生時
・周辺イネーブル・レジスタ0（PER0）のTAU0ENビットをクリアしたとき
・PWM出力モードで，スレーブ・チャネルのカウント完了時
・ディレイ・カウント・モードで，スレーブ・チャネルのカウント完了時
・ワンショット・パルス出力モードで，マスタ／スレーブ・チャネルのカウント完了時
・多重PWM出力モードで，スレーブ・チャネルのカウント完了時

また，次の場合には，カウント値は0000Hになります。

・キャプチャ・モード時に，スタート・トリガが入力されたとき
・キャプチャ・モード時で，キャプチャ完了時

注意　TCR0nレジスタをリードしても，タイマ・データ・レジスタ0n（TDR0n）にはキャプチャしません。

TCR0nレジスタ読み出し値は，動作モード変更や動作状態により次のように異なります。

表6－3　各動作モード時のタイマ・カウンタ・レジスタ0n（TCR0n）読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ（TCR0n）の読み出し値[注]			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止（TT0n = 1）した場合の値	カウント動作を一時停止（TT0n = 1）後，動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン･カウント	FFFFH	停止時の値	不定	－
キャプチャ・モード	アップ･カウント	0000H	停止時の値	不定	－
イベント・カウンタ・モード	ダウン･カウント	FFFFH	停止時の値	不定	－
ワンカウント・モード	ダウン･カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ･カウント	0000H	停止時の値	不定	TDR0nレジスタのキャプチャ値＋1

注　チャネルnがタイマ動作停止状態（TE0n = 0）かつカウント動作許可状態（TS0n = 1）にした時点の，TCR0nレジスタの読み出し値を示します。カウント動作開始までこの値がTCR0nレジスタに保持されます。

備考　n：チャネル番号（n = 0-7）

6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは，タイマ・モード・レジスタ0n（TMR0n）のMD0n3-MD0n0ビットで動作モードを選択することで切り替わります。

TDR0nレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード／ライト可能です。

また，TDR01, TDR03レジスタは，8ビット・タイマ・モード時（タイマ・モード・レジスタ01, 03（TMR01, TMR03）のSPLIT 01,SPLIT03ビットが1）に，上位8ビットをTDR01H, TDR03H，下位8ビットをTDR01L, TDR03Lとして，8ビット単位でリード/ライト可能になります。

リセット信号の発生により，TDR0nレジスタは0000Hになります。

図6－7　タイマ・データ・レジスタ0n（TDR0n）（n = 0, 2, 4-7）のフォーマット

アドレス：FFF18H, FFF19H（TDR00）, FFF64H, FFF65H（TDR02），　リセット時：0000H　　R/W
FFF68H, FFF69H（TDR04）- FFF6EH, FFF6FH（TDR07）

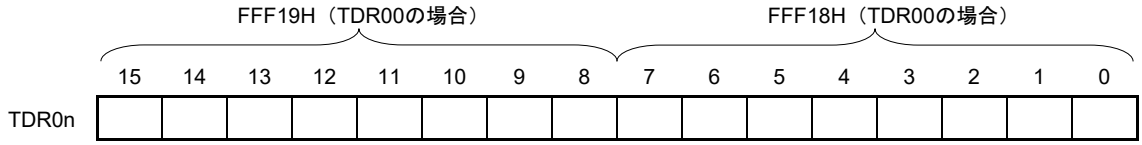
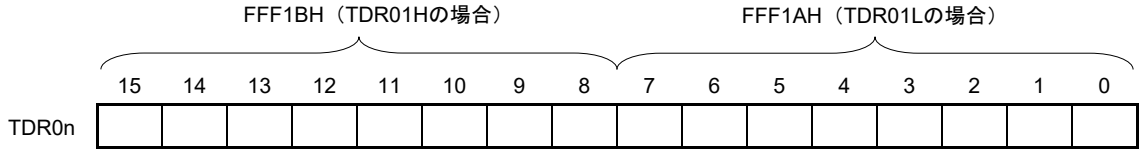


図6－8　タイマ・データ・レジスタ0n（TDR0n）（n = 1, 3）のフォーマット

アドレス：FFF1AH, FFF1BH（TDR01）, FFF66H, FFF67H（TDR03），　リセット時：0000H　　R/W



（ｉ）タイマ・データ・レジスタ0n（TDR0n）をコンペア・レジスタとして使用するとき

TDR0nレジスタに設定した値からダウン・カウントをスタートして，0000Hになったときに割り込み信号（INTTM0n）を発生します。TDR0nレジスタは書き換えられるまで値を保持します。

注意　コンペア機能に設定したTDR0nレジスタはキャプチャ・トリガが入力されても，キャプチャ動作を行いません。

（ii）タイマ・データ・レジスタ0n（TDR0n）をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，タイマ・カウンタ・レジスタ0n（TCR0n）のカウント値をTDR0nレジスタにキャプチャします。

キャプチャ・トリガとして，TI0n端子の有効エッジの選択ができます。キャプチャ・トリガの選択は，タイマ・モード・レジスタ0n（TMR0n）で設定します。

備考　n：チャネル番号（n = 3, 5, 6, 7）

6.3　タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・タイマ・クロック選択レジスタ0（TPS0）
・タイマ・モード・レジスタ0n（TMR0n）
・タイマ・ステータス・レジスタ0n（TSR0n）
・タイマ・チャネル許可ステータス・レジスタ0（TE0）
・タイマ・チャネル開始レジスタ0（TS0）
・タイマ・チャネル停止レジスタ0（TT0）
・タイマ入力選択レジスタ0（TIS0）
・タイマ出力許可レジスタ0（TOE0）
・タイマ出力レジスタ0（TO0）
・タイマ出力レベル・レジスタ0（TOL0）
・タイマ出力モード・レジスタ0（TOM0）
・入力切り替え制御レジスタ（ISC）
・ノイズ・フィルタ許可レジスタ1（NFEN1）
・ポート・モード・レジスタ（PM0, PM3）注
・ポート・レジスタ（P0, P3）注

注　製品によって，搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。ただし、図4－1 ポート・モード・レジスタのフォーマットの注意で示された未定義ビットは除きます。

備考　n：チャネル番号（n = 0-7）

6. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は，必ずビット0（TAU0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図6－9　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には，必ず最初にTAU0EN = 1の状態で，下記のレジスタの設定を行ってください。TAU0EN = 0の場合は，タイマ・アレイ・ユニットの制御レジスタは初期値となり，書き込みは無視されます（タイマ入力選択レジスタ0（TIS0），入力切り替え制御レジスタ（ISC），ノイズ・フィルタ許可レジスタ1（NFEN1），ポート・モード・レジスタ0, 3（PM0, PM3），ポート・レジスタ0, 3（P0, P3）は除く）。

- **タイマ・クロック選択レジスタ0（TPS0）**
- **タイマ・モード・レジスタ0n（TMR0n）**
- **タイマ・ステータス・レジスタ0n（TSR0n）**
- **タイマ・チャネル許可ステータス・レジスタ0（TE0）**
- **タイマ・チャネル開始レジスタ0（TS0）**
- **タイマ・チャネル停止レジスタ0（TT0）**
- **タイマ出力許可レジスタ0（TOE0）**
- **タイマ出力レジスタ0（TO0）**
- **タイマ出力レベル・レジスタ0（TOL0）**
- **タイマ出力モード・レジスタ0（TOM0）**

2. ビット1, 3, 6には必ず“0”を設定してください。

6. 3. 2　タイマ・クロック選択レジスタ0（TPS0）

TPS0レジスタは，各チャネルに共通して供給される2種類または4種類の動作クロック（CK00，CK01，CK02，CK03）を選択する16ビット・レジスタです。CK00はTPS0レジスタのビット3-0で，CK01はTPS0レジスタのビット7-4で選択します。さらに，チャネル1, 3のみ，CK02，CK03も選択できます。CK02はTPS0レジスタのビット9, 8で，CK03はTPS0レジスタのビット13, 12で選択できます。

タイマ動作中のTPS0レジスタの書き換えは，次の場合のみ可能です。

PRS000-PRS003ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCK00を選択（CKS0n1, CKS0n0 = 0, 0）しているチャネルがすべて停止状態（TE0n = 0）

PRS010-PRS013ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCK01を選択（CKS0n1, CKS0n0 = 0, 1）しているチャネルがすべて停止状態（TE0n = 0）

PRS020, PRS021ビットが書き換え可能な場合（n = 1, 3）：

動作クロックにCK02を選択（CKS0n1, CKS0n0 = 1, 0）しているチャネルがすべて停止状態（TE0n = 0）

PRS030-PRS031ビットが書き換え可能な場合（n = 1, 3）：

動作クロックにCK03を選択（CKS0n1, CKS0n0 = 1, 1）しているチャネルがすべて停止状態（TE0n = 0）

TPS0レジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPS0レジスタは0000Hになります。

図6－10　タイマ・クロック選択レジスタ0（TPS0）のフォーマット（1/2）

アドレス：F01B6H, F01B7H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPS0	0	0	PRS 031	PRS 030	0	0	PRS 021	PRS 020	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000

PRS 0k3	PRS 0k2	PRS 0k1	PRS 0k0	動作クロック（CK0k）の選択注（k = 0, 1）					
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61.0 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TT0 = 00FFH）させてください。

注意1.　ビット15, 14, 11, 10には，必ず0を設定してください。

2.　動作クロック（CK0k）にf_{CLK}（分周なし）を選択し，TDRn0 = 0000H（n = 0, 1）を設定すると，タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　TPS0レジスタで選択するクロックの波形は，立ち上がりからf_{CLK}の1周期分だけハイ・レベルになります。詳しくは，6. 5. 1　カウント・クロック（f_{TCLK}）を参照してください。

図6－10　タイマ・クロック選択レジスタ0（TPS0）のフォーマット（2/2）

アドレス：F01B6H, F01B7H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPS0	0	0	PRS 031	PRS 030	0	0	PRS 021	PRS 020	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000

PRS 021	PRS 020	動作クロック（CK02）の選択注					
			f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	1	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
1	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
1	1	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz

PRS 031	PRS 030	動作クロック（CK03）の選択注					
			f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
0	1	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TT0 = 00FFH）させてください。
動作クロック（f_{MCK}），TI0n端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意　ビット15, 14, 11, 10には，必ず0を設定してください。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

チャネル1, 3を8ビット・タイマ・モードで使用し，CK02, CK03を動作クロックとすることにより，インターバル・タイマ機能で，表6－4に示すインターバル時間を実現することが可能です。

表6－4　動作クロックCKS02, CKS03で設定可能なインターバル時間

クロック		インターバル時間注（f_{CLK} = 32 MHz）			
		10 μs	100 μs	1 ms	10 ms
CK02	$f_{CLK}/2$	○	－	－	－
	$f_{CLK}/2^2$	○	－	－	－
	$f_{CLK}/2^4$	○	○	－	－
	$f_{CLK}/2^6$	○	○	－	－
CK03	$f_{CLK}/2^8$	－	○	○	－
	$f_{CLK}/2^{10}$	－	○	○	－
	$f_{CLK}/2^{12}$	－	－	○	○
	$f_{CLK}/2^{14}$	－	－	○	○

注　○には5%以下の誤差が含まれます。

備考　TPS0レジスタで選択する$f_{CLK}/2^j$の波形の詳細は，6. 5. 1　カウント・クロック（f_{TCLK}）を参照してください。

6. 3. 3　タイマ・モード・レジスタ0n（TMR0n）

TMR0nレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，カウント・クロックの選択，マスタ／スレーブの選択，16ビット／8ビット・タイマの選択（チャネル1, 3のみ），スタート・トリガとキャプチャ・トリガの設定，タイマ入力の有効エッジ選択，動作モード（インターバル，キャプチャ，イベント・カウンタ，ワンカウント，キャプチャ＆ワンカウント）設定を行います。

TMR0nレジスタは，動作中（TE0n = 1のとき）の書き換えは禁止です。ただし，ビット7, 6（CIS0n1, CIS0n0）は，一部の機能で動作中（TE0n = 1のとき）の書き換えが可能です（詳細は6. 8　タイマ・アレイ・ユニットの単独チャネル動作機能，6. 9　タイマ・アレイ・ユニットの複数チャネル連動動作機能を参照）。

TMR0nレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TMR0nレジスタは0000Hになります。

注意　TMR0nレジスタのビット11は，チャネルによって搭載するビットが異なります。
TMR02, TMR04, TMR06：MASTER0nビット（n = 2, 4, 6）
TMR01, TMR03：SPLIT0nビット（n = 1, 3）
TMR00, TMR05, TMR07：0固定

図6－11　タイマ・モード・レジスタ0n（TMR0n）のフォーマット（1/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 2, 4, 6）	CKS 0n1	CKS 0n0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 1, 3）	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 0, 5, 7）	CKS 0n1	CKS 0n0	0	CCS 0n	0注	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

CKS 0n1	CKS 0n0	チャネルnの動作クロック（f_{MCK}）の選択
0	0	タイマ・クロック選択レジスタ0（TPS0）で設定した動作クロックCK00
0	1	タイマ・クロック選択レジスタ0（TPS0）で設定した動作クロックCK02
1	0	タイマ・クロック選択レジスタ0（TPS0）で設定した動作クロックCK01
1	1	タイマ・クロック選択レジスタ0（TPS0）で設定した動作クロックCK03
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCS0nビットの設定によりサンプリング・クロックおよびカウント・クロック（f_{TCLK}）を生成します。 動作クロックCK02, CK03は，チャネル1, 3のみ選択可能です。		

CCS 0n	チャネルnのカウント・クロック（f_{TCLK}）の選択
0	CKS0n0, CKS0n1ビットで指定した動作クロック（f_{MCK}）
1	TI0n端子からの入力信号の有効エッジ チャネル5では，TIS0で選択した入力信号の有効エッジ チャネル7では，ISCで選択した入力信号の有効エッジ
カウント・クロック（f_{TCLK}）は，カウンタ，出力制御回路，割り込み制御回路に使用されます。	

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

注意1.　ビット13, 5, 4には，必ず0を設定してください。

2.　カウント・クロック（f_{TCLK}）にCKS0n0, CKS0n1ビットで指定した動作クロック（f_{MCK}），TI0n端子からの入力信号の有効エッジのどれを選択していても，f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TT0 = 00FFH）させてください。

備考　n：チャネル番号（n = 0-7）

図6－11　タイマ・モード・レジスタ0n（TMR0n）のフォーマット（2/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 2, 4, 6）	CKS 0n1	CKS 0n0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 1, 3）	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 0, 5, 7）	CKS 0n1	CKS 0n0	0	CCS 0n	0注	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

（TMR0n（n = 2, 4, 6）のビット11）

MASTER 0n	チャネルnの単独チャネル動作／複数チャネル連動動作（スレーブ／マスタ）の選択
0	単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作
1	複数チャネル連動動作機能でマスタ・チャネルとして動作
チャネル2, 4, 6のみマスタ・チャネル（MASTER0n = 1）に設定できます。 チャネル0, 5, 7は0固定となります（チャネル0は最上位チャネルのため，このビットの設定によらずマスタとして動作します）。 また，単独チャネル動作機能として使用するチャネルは，MASTER0n = 0 にします。	

（TMR0n（n = 1, 3）のビット11）

SPLIT0n	チャネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 （単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作）
1	8ビット・タイマとして動作

STS 0n2	STS 0n1	STS 0n0	チャネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウエア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TI0n端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	TI0n端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャネルの割り込み信号を使用（複数チャネル連動動作機能のスレーブ・チャネル時）
上記以外			設定禁止

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

備考　n：チャネル番号（n = 0-7）

図6－11　タイマ・モード・レジスタ0n（TMR0n）のフォーマット（3/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 2, 4, 6）	CKS 0n1	CKS 0n0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 1, 3）	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 0, 5, 7）	CKS 0n1	CKS 0n0	0	CCS 0n	0注	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

CIS 0n1	CIS 0n0	TI0n端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ，キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ，キャプチャ・トリガ：立ち下がりエッジ
STS0n2-STS0n0ビット ＝010B時以外で両エッジ指定を使用する場合は，CIS0n1-CIS0n0ビット ＝10Bに設定してください。		

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

備考　n：チャネル番号（n = 0-7）

図6－11　タイマ・モード・レジスタ0n（TMR0n）のフォーマット（4/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 2, 4, 6）	CKS 0n1	CKS 0n0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 1, 3）	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n（n = 0, 5, 7）	CKS 0n1	CKS 0n0	0	CCS 0n	0注1	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

MD 0n3	MD 0n2	MD 0n1	チャネルnの動作モードの設定	対応する機能	TCRのカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM出力（マスタ）	ダウン･カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ･カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン･カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM出力（スレーブ）	ダウン･カウント
1	1	0	キャプチャ＆ワンカウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ･カウント
上記以外			設定禁止		
各モードの動作は，MD0n0ビットによって変わります（下表を参照）。					

動作モード（MD0n3-MD0n1で設定（上表参照））	MD 0n0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード（0, 0, 0） ・キャプチャ・モード（0, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
	1	カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。
・イベント・カウンタ・モード（0, 1, 1）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・ワンカウント・モード注2（1, 0, 0）	0	カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。 その際に割り込みは発生しない。
・キャプチャ＆ワンカウント・モード（1, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。 カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
上記以外		設定禁止

注1.　ビット11はRead onlyの0固定で，書き込みは無視されます。

2.　ワンカウント・モードでは，カウント動作開始時の割り込み出力（INTTM0n），TO0n出力は制御しません。

3.　動作中にスタート・トリガ（TS0n = 1）が掛かると，カウンタを初期化し，再カウント・スタートします（割り込み要求は発生せず）。

備考　n：チャネル番号（n = 0-7）

6. 3. 4　タイマ・ステータス・レジスタ0n（TSR0n）

TSR0nレジスタは，チャネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSR0nレジスタは，キャプチャ・モード（MD0n3-MD0n1 = 010B）とキャプチャ＆ワンカウント・モード（MD0n3-MD0n1 = 110B）のみ有効です。各動作モードでのOVFビットの動作とセット／クリア条件は表6－5を参照してください。

TSR0nレジスタは，16ビット・メモリ操作命令で読み出します。

またTSR0nレジスタの下位8ビットは，TSR0nLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TSR0nレジスタは0000Hになります。

図6－12　タイマ・ステータス・レジスタ0n（TSR0n）のフォーマット

アドレス：F01A0H, F01A1H（TSR00）- F01AEH, F01AFH（TSR07）　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSR0n	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき，次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。	

備考　n：チャネル番号（n = 0-7）

表6－5　各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVFビット	セット／クリア条件
・キャプチャ・モード ・キャプチャ＆ワンカウント・モード	クリア	キャプチャ時にオーバフローが発生していない場合
	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード	クリア	－ （使用不可）
	セット	

備考　OVFビットは，カウンタがオーバフローしてもすぐには変化せず，その後のキャプチャ時に変化します。

6.3.5　タイマ・チャネル許可ステータス・レジスタ0（TE0）

TE0レジスタは，各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

TE0レジスタの各ビットは，タイマ・チャネル開始レジスタ0（TS0）とタイマ・チャネル停止レジスタ0（TT0）の各ビットに対応しています。TS0レジスタの各ビットが1にセットされると，その対応ビットが1にセットされます。TT0レジスタの各ビットが1にセットされると，その対応ビットが0にクリアされます。

TE0レジスタは，16ビット・メモリ操作命令で読み出します。

またTE0レジスタの下位8ビットは，TE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TE0レジスタは0000Hになります。

図6－13　タイマ・チャネル許可ステータス・レジスタ0（TE0）のフォーマット

アドレス：F01B0H, F01B1H　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE0	0	0	0	0	TEH03	0	TEH01	0	TE07	TE06	TE05	TE04	TE03	TE02	TE01	TE00

TEH03	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEH01	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TE0n	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャネル1, 3が8ビット・タイマ・モード時は，TE01, TE03で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考　n：チャネル番号（n = 0-7）

6.3.6　タイマ・チャネル開始レジスタ0（TS0）

TS0レジスタは，タイマ・カウンタ・レジスタ0n（TCR0n）をクリアし，カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタ0（TE0）の対応ビットが1にセットされます。TS0n, TSH01, TSH03ビットはトリガ・ビットなので，動作許可状態（TE0n, TEH01, TEH03 = 1）になるとすぐTS0n, TSH01, TSH03ビットはクリアされます。

TS0レジスタは，16ビット・メモリ操作命令で設定します。

またTS0レジスタの下位8ビットは，TS0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TS0レジスタは0000Hになります。

図6－14　タイマ・チャネル開始レジスタ0（TS0）のフォーマット

アドレス：F01B2H, F01B3H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS0	0	0	0	0	TSH03	0	TSH01	0	TS07	TS06	TS05	TS04	TS03	TS02	TS01	TS00

TSH03	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEH03ビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCR03レジスタのカウント動作開始は，インターバル・タイマ・モードになります（表6－6参照）。

TSH01	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEH01ビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCR01レジスタのカウント動作開始は，インターバル・タイマ・モードになります（表6－6参照）。

TS0n	チャネルnの動作許可（スタート）トリガ
0	トリガ動作しない
1	TE0nビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCR0nレジスタのカウント動作開始は，各動作モードにより異なります（表6－6参照）。 チャネル1, 3が8ビット・タイマ・モード時は，TS01, TS03が下位側8ビット・タイマの動作許可（スタート）トリガになります。

（注意，備考は次ページにあります。）

注意1.　ビット15-12, 10, 8には必ず0を設定してください。

2.　TI0n端子入力を使用しない機能から，TI0n端子入力を使用する機能に切り替える場合，タイマ・モード・レジスタ0n（TMR0n）設定後，TS0n（TSH01, TSH03）ビットを1に設定するまでに，次の期間ウエイトが必要になります。

TI0n端子のノイズ・フィルタ有効時（TNFEN0n = 1）：動作クロック（f_{MCK}）の4クロック

TI0n端子のノイズ・フィルタ無効時（TNFEN0n = 0）：動作クロック（f_{MCK}）の2クロック

備考1.　TS0レジスタの読み出し値は常に0となります。

2.　n：チャネル番号（n = 0-7）

6.3.7　タイマ・チャネル停止レジスタ0（TT0）

TT0レジスタは，カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタ0（TE0）の対応ビットが0にクリアされます。TT0n, TTH01, TTH03ビットはトリガ・ビットなので，動作停止状態（TE0n, TEH01, TEH03 = 0）になるとすぐTT0n, TTH01, TTH03ビットはクリアされます。

TT0レジスタは，16ビット・メモリ操作命令で設定します。

またTT0レジスタの下位8ビットは，TT0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TT0レジスタは0000Hになります。

図6－15　タイマ・チャネル停止レジスタ0（TT0）のフォーマット

アドレス：F01B4H, F01B5H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0	0	0	0	0	TTH03	0	TTH01	0	TT07	TT06	TT05	TT04	TT03	TT02	TT01	TT00

TTH03	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEH03ビットを0にクリアし，カウント動作停止状態になる。

TTH01	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEH01ビットを0にクリアし，カウント動作停止状態になる。

TT0n	チャネルnの動作停止トリガ
0	トリガ動作しない
1	TE0nビットを0にクリアし，カウント動作停止状態になる。 チャネル1, 3が8ビット・タイマ・モード時は，TT01, TT03が下位側8ビット・タイマの動作停止トリガになります。

注意　ビット15-12, 10, 8には必ず0を設定してください。

備考1.　TT0レジスタの読み出し値は常に0となります。

2.　n：チャネル番号（n = 0-7）

6. 3. 8　タイマ入力選択レジスタ0（TIS0）

TIS0レジスタは，チャネル5のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TIS0レジスタは00Hになります。

図6－16　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI05）の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブシステム・クロック（f_{SUB}）
上記以外			設定禁止

注意　選択するタイマ入力のハイ・レベル幅，ロウ・レベル幅は，1/f_{MCK}+10 ns以上必要となります。そのため，f_{CLK}にf_{SUB}を選択時（CKCレジスタのCSS = 1）は，TIS02ビットに1を設定できません。

6. 3. 9　タイマ出力許可レジスタ0（TOE0）

TOE0レジスタは，各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネルnは，後述のタイマ出力レジスタ0（TO0）のTO0nビットの値をソフトウエアによって書き換えできなくなり，カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子（TO0n）から出力されます。

TOE0レジスタは，16ビット・メモリ操作命令で設定します。

またTOE0レジスタの下位8ビットは，TOE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOE0レジスタは0000Hになります。

図6－17　タイマ出力許可レジスタ0（TOE0）のフォーマット

アドレス：F01BAH, F01BBH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	0	0	0	0	0	TOE06	TOE05	0	TOE03	0	0	0

TOE0n	チャネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTO0nビットに反映せず，出力を固定します。 TO0nビットへの書き込みが可能となり，TO0nビットに設定したレベルがTO0n端子から出力されます。
1	タイマの出力を許可 タイマ動作をTO0nビットに反映し，出力波形を生成します。 TO0nビットへの書き込みは無視されます。

注意　ビット15-7, 4, 2-0には必ず0を設定してください。

備考　n：チャネル番号（n = 3, 5, 6）

6. 3. 10　タイマ出力レジスタ0（TO0）

TO0レジスタは，各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が，各チャネルのタイマ出力端子（TO0n）から出力されます。

このレジスタのTO0nビットのソフトウエアによる書き換えは，タイマ出力禁止時（TOE0n = 0）のみ可能です。タイマ出力許可時（TOE0n = 1）は，ソフトウエアによる書き換えは無視され，タイマ動作によってのみ値が変更されます。

また，P31/TI03/TO03，P05/TI05/TO05，P06/TI06/TO06をポート機能として使用する場合は，該当するTO0nビットに“0”を設定してください。

TO0レジスタは，16ビット・メモリ操作命令で設定します。

またTO0レジスタの下位8ビットは，TO0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TO0レジスタは0000Hになります。

図6－18　タイマ出力レジスタ0（TO0）のフォーマット

アドレス：F01B8H, F01B9H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	0	TO06	TO05	0	TO03	0	0	0

TO0n	チャネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意　ビット15-7, 4, 2-0には必ず0を設定してください。

備考　n：チャネル番号（n = 3, 5, 6）

6. 3. 11　タイマ出力レベル・レジスタ0（TOL0）

TOL0レジスタは，各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネルnの反転設定は，タイマ出力許可（TOE0n = 1），複数チャネル連動動作機能（TOM0n = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。マスタ・チャネル出力モード（TOM0n = 0）時には，このレジスタの設定は無効となります。

TOL0レジスタは，16ビット・メモリ操作命令で設定します。

またTOL0レジスタの下位8ビットは，TOL0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOL0レジスタは0000Hになります。

図6－19　タイマ出力レベル・レジスタ0（TOL0）のフォーマット

アドレス：F01BCH, F01BDH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	0	TOL06	TOL05	0	TOL03	0	0	0

TOL0n	チャネルnのタイマ出力レベルの制御
0	正論理出力（アクティブ・ハイ）
1	反転出力（アクティブ・ロウ）

注意　ビット15-7, 4, 2-0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合，書き換えた直後のタイミングではなく，次にタイマ出力信号が変化するタイミングで，タイマ出力が反転出力になります。

2. n：チャネル番号（n = 3, 5, 6）

6. 3. 12　タイマ出力モード・レジスタ0（TOM0）

TOM0レジスタは，各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合，使用するチャネルの対応ビットを0に設定します。

複数チャネル連動動作機能（PWM出力，ワンショット・パルス出力，多重PWM出力）として使用する場合，マスタ・チャネルの対応ビットを0に設定し，スレーブ・チャネルの対応ビットを1に設定します。

このレジスタによる各チャネルnの設定は，タイマ出力許可（TOE0n = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。

TOM0レジスタは，16ビット・メモリ操作命令で設定します。

またTOM0レジスタの下位8ビットは，TOM0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOM0レジスタは0000Hになります。

図6－20　タイマ出力モード・レジスタ0（TOM0）のフォーマット

アドレス：F01BEH, F01BFH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	0	TOM06	TOM05	0	TOM03	0	0	0

TOM0n	チャネルnのタイマ出力モードの制御
0	マスタ・チャネル出力モード（タイマ割り込み要求信号（INTTM0n）によりトグル出力を行う）
1	スレーブ・チャネル出力モード （マスタ・チャネルのタイマ割り込み要求信号（INTTM0n）で出力がセット，スレーブ・チャネルのタイマ割り込み要求信号（INTTM0p）で出力がリセットされる）

注意　ビット15-7, 4, 2-0には必ず0を設定してください。

備考　n：マスタ・チャネル番号（n = 0, 2, 4）

p：スレーブ・チャネル番号（n＜p≦6）

（マスタ・チャネル，スレーブ・チャネルの関係についての詳細は，6. 4. 1　複数チャネル連動動作機能の基本ルールを参照してください）

6. 3. 13　入力切り替え制御レジスタ（ISC）

ISCレジスタのISC1，ISC0ビットは，P11/RxD0端子にTI07，INTP0端子を割り当てるかどうかを設定することができます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図6－21　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャネル7の入力切り替え
0	チャネル7でタイマ入力信号を使用しない
1	P11/RxD0端子の入力信号をタイマ入力とする（LIN-bus：ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定，DMX512：各信号幅測定）

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	P11/RxD0端子の入力信号を外部割り込み入力とする（LIN-bus：ウエイクアップ信号検出，DMX512：BREAK信号検出）

注意　ビット7-2に必ず0を設定してください。

備考　LIN-bus, DMX512通信を使用する場合は，ISC1 = 1に設定してRxD0端子の入力信号を選択しておいてください。

6. 3. 14　ノイズ・フィルタ許可レジスタ1（NFEN1）

NFEN1レジスタは，タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック（f_{MCK}）で同期化のあと，2クロックの一致検出を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN1レジスタは00Hになります。

図6－22　ノイズ・フィルタ許可レジスタ1（NFEN1）のフォーマット

アドレス：F0071H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	0	TNFEN03	0	0	0

TNFEN07	TI07（P11/RxD0）端子入力信号のノイズ・フィルタ使用可否注
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN06	TI06端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN05	TI05端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN03	TI03端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

注　P11/RxD0端子のノイズ・フィルタ使用可否選択を可能にする場合は，入力切り替え制御レジスタ（ISC）のISC1ビットを1に設定してください。

備考　チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は，表6－2　各製品に搭載しているタイマ入出力端子を参照してください。

6. 3. 15　タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は，対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx））を設定してください。詳細は，4. 3. 1　ポート・モード・レジスタ（PMxx），4. 3. 2　ポート・レジスタ（Pxx）を参照してください。

また，製品によって設定するポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx）が異なります。詳細は，4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例を参照してください。

タイマ出力端子を兼用するポート（P31/TI03/TO03, P05/TI05/TO05, P06/TI06/TO06）をタイマ出力として使用するとき，　各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P31/TI03/TO03をタイマ出力として使用する場合

ポート・モード・レジスタ3のPM31ビットを0に設定

ポート・レジスタ3のP31ビットを0に設定

タイマ出力端子を兼用するポート（P31/TI03/TO03, P05/TI05/TO05, P06/TI06/TO06）をタイマ入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

例）P31/TI03/TO03をタイマ入力として使用する場合

ポート・モード・レジスタ3のPM31ビットを1に設定

ポート・レジスタ3のP31ビットを0または1に設定

6.4　タイマ・アレイ・ユニットの基本ルール

6.4.1　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は，マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組合せて実現する機能で，使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

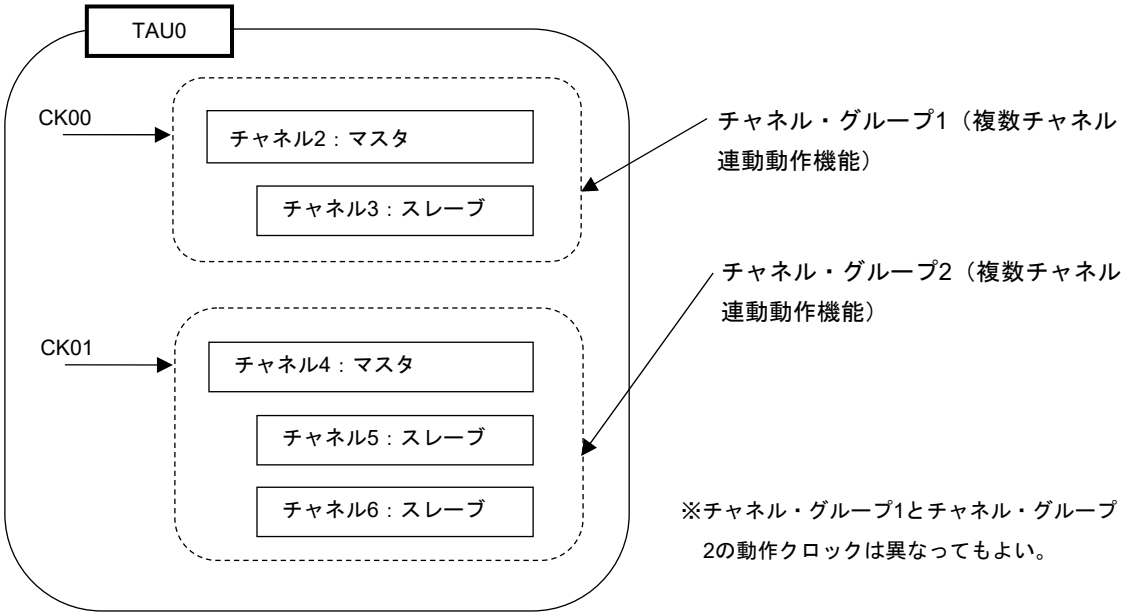
(1) マスタ・チャネルには，偶数チャネル（チャネル0，チャネル2，チャネル4，…）のみ設定できます。
(2) スレーブ・チャネルには，チャネル0を除くすべてのチャネルを設定できます。
(3) スレーブ・チャネルには，マスタ・チャネルの下位チャネルのみ設定できます。
　例　チャネル2をマスタ・チャネルにした場合，チャネル3をスレーブ・チャネルに設定できます。
　　チャネル4をマスタ・チャネルにした場合，チャネル5，チャネル6をスレーブ・チャネルに設定できます。
(4) 1つのマスタ・チャネルに対し，スレーブ・チャネルは複数設定できます。
(5) マスタ・チャネルを複数使用する場合，マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。
　例　チャネル2，チャネル4をマスタ・チャネルにした場合，マスタ・チャネル2は，チャネル3をスレーブ・チャネルとして設定できます。 マスタ・チャネル2は，チャネル5, 6をスレーブ・チャネルとして設定できません。
(6) マスタ・チャネルと連動するスレーブ・チャネルは，同じ動作クロックを設定します。 マスタ・チャネルと連動するスレーブ・チャネルのCKS0n0, CKS0n1ビット（タイマ・モード・レジスタ0n（TMR0n）のビット15, 14）が同じ設定値になっている必要があります。
(7) マスタ・チャネルはINTTM0n（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを下位チャネルに伝えることができます。
(8) スレーブ・チャネルはマスタ・チャネルのINTTM0n（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用できますが，下位チャネルに自身のINTTM0n（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを伝えることはできません。
(9) マスタ・チャネルは，他の上位のマスタ・チャネルからのINTTM0n（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
(10) 連動させるチャネルを同時スタートさせるため，連動させるチャネルのチャネル・スタート・トリガ・ビット（TS0n）を同時に設定する必要があります。
(11) カウント動作中のTS0nビットの設定は，連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTS0nビットのみの設定では使用できません。
(12) 連動させるチャネルを同時に停止させるため，連動させるチャネルのチャネル・ストップ・トリガ・ビット（TT0n）を同時に設定する必要があります。
(13) 連動動作時は，マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため，CK02/CK03は選択できません。
(14) タイマ・モード・レジスタ00（TMR00）は，マスタ・ビットがなく，”0”に固定されています。しかし，チャネル0は最上位チャネルなので，連動動作時は，チャネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは，チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャネル・グループを設定した場合，チャネル・グループ間には上記の基本ルールは適用されません。

備考　n：チャネル番号（n = 0-7）

例


TAU0
CK00
チャネル2：マスタ
チャネル3：スレーブ
CK01
チャネル4：マスタ
チャネル5：スレーブ
チャネル6：スレーブ
チャネル・グループ1（複数チャネル連動動作機能）
チャネル・グループ2（複数チャネル連動動作機能）
※チャネル・グループ1とチャネル・グループ2の動作クロックは異なってもよい。

6.4.2　8ビット・タイマ動作機能概要（チャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。

8 ビットタイマ動作機能は，チャネル1, 3のみ使用できる機能で，使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

(1) 8ビット・タイマ動作機能が適用されるチャネルは，チャネル1, 3のみです。

(2) 8ビット・タイマとして使用する場合には，タイマ・モード・レジスタ0n（TMR0n）のSPLIT0nビットを“1”に設定します。

(3) 上位8ビットは，インターバル・タイマ機能として動作することができます。

(4) 上位8ビットは，動作開始時にINTTM01H/INTTM03H（割り込み）を出力します（MD0n0 =1 設定と同じ動作）。

(5) 上位8ビットの動作クロック選択は，下位ビットのTMR0nレジスタのCKS0n1，CKS0n0ビットにしたがって動作します。

(6) 上位8ビットは，TSH01/TSH03ビットを操作することでチャネル動作を開始し，TTH01/TTH03 ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEH01/TEH03ビットで確認できます。

(7) 下位8ビットは，TMR0nレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は，以下の3機能です。

- インターバル・タイマ機能／方形波出力機能
- 外部イベント・カウンタ機能（チャネル3のみ）
- ディレイ・カウント機能（チャネル3のみ）

(8) 下位8ビットは，TS01/TS03 ビットを操作することでチャネル動作を開始し，TT01/TT03ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TE01/TE03ビットで確認できます。

(9) 16ビットで動作させる場合には，TSH01/TSH03/TTH01/TTH03ビットの操作は無効となります。TS01/TS03, TT01/TT03ビットを操作することでチャネル1, 3が動作します。TEH03ビットとTEH01ビットは変化しません。

(10) 8ビット・タイマ機能で，連動動作機能（ワンショット・パルス，PWM，多重PWM）を使用することはできません。

備考　n：チャネル番号（n = 1, 3）

6.5　カウンタの動作

6.5.1　カウント・クロック（f_{TCLK}）

タイマ・アレイ・ユニットのカウント・クロック（f_{TCLK}）は，タイマ・モード・レジスタ0n（TMR0n）のCCS0nビットにより，以下のどちらかを選択することができます。

・CKS0n0, CKS0n1ビットで指定した動作クロック（f_{MCK}）
・TI0n端子からの入力信号の有効エッジ

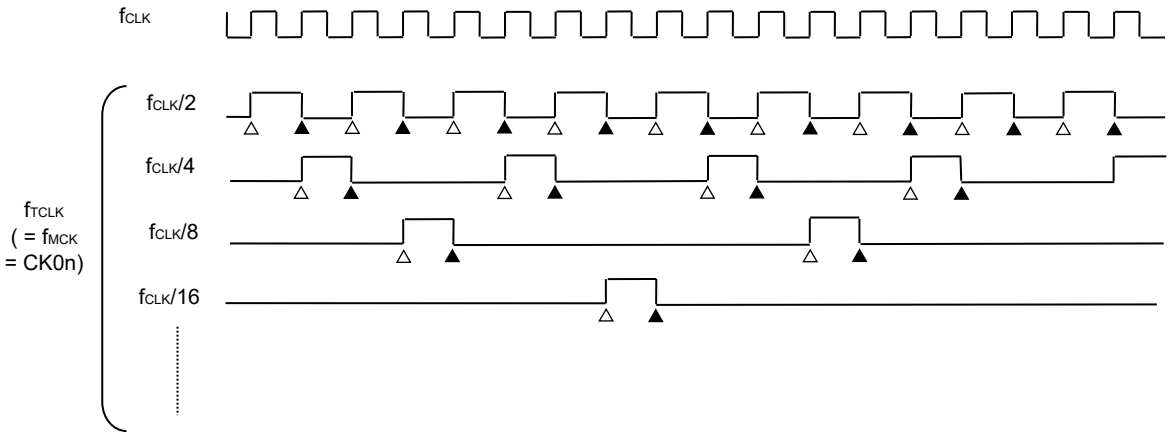
タイマ・アレイ・ユニットは，f_{CLK}との同期をとって動作するよう設計されているため，カウント・クロック（f_{TCLK}）のタイミングは次のようになります。

（1）CKS0n0, CKS0n1ビットで指定した動作クロック（f_{MCK}）を選択した場合（CCS0n = 0）

カウント・クロック（f_{TCLK}）は，タイマ・クロック選択レジスタ0（TPS0）の設定により，f_{CLK} ～ $f_{CLK}/2^{15}$となります。ただし，f_{CLK}の分周を選んだ場合，TPS0レジスタで選択するクロックは，立ち上がりからf_{CLK}の1周期分だけハイ・レベルになる信号となります。f_{CLK}を選んだ場合は，ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ0n（TCR0n）は，f_{CLK}との同期をとるため，カウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6－23　f_{CLK}とカウント・クロック（f_{TCLK}）のタイミング（CCS0n = 0時）



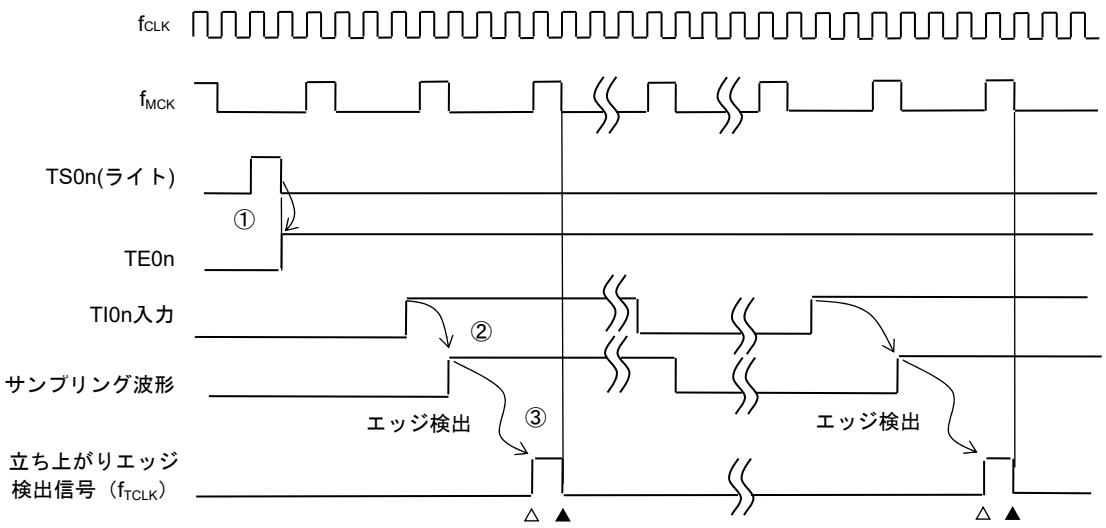
備考1.　△：カウント･クロックの立ち上がり
　　▲：同期化，カウンタのインクリメント／デクリメント
2.　f_{CLK}：CPU／周辺ハードウエア・クロック

（2）TI0n端子からの入力信号の有効エッジを選択した場合（CCS0n = 1）

カウント・クロック（f_{TCLK}）は，TI0n端子からの入力信号の有効エッジを検出し，次のf_{MCK}の立ち上がりに同期した信号になります。これは，実際のTI0n端子からの入力信号よりf_{MCK}の1～2クロック分遅れた信号になります（ノイズ・フィルタ使用時は，f_{MCK}の3～4クロック分遅れます）。

また，タイマ・カウンタ・レジスタ0n（TCR0n）は，f_{CLK}との同期をとるためにカウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“TI0n端子からの入力信号の有効エッジでカウントする”と表現します。

図6－24　カウント・クロック（f_{TCLK}）のタイミング（CCS0n = 1，ノイズ・フィルタ未使用時）



①TS0nビットをセットすることでタイマが動作を開始し，TI0n入力の有効エッジ待ちになります。

②TI0n入力の立ち上がりがf_{MCK}でサンプリングされます。

③サンプリングした信号の立ち上がりでエッジ検出がおこなわれ，検出信号（カウント・クロック）が出力されます。

備考1. △：カウント･クロックの立ち上がり

▲：同期化，カウンタのインクリメント／デクリメント

2. f_{CLK}：CPU／周辺ハードウエア・クロック

f_{MCK}：チャネルnの動作クロック

3. 入力パルス間隔測定，入力信号のハイ／ロウ・レベル幅測定，ディレイ・カウンタも同様の波形になります。

6. 5. 2　カウンタのスタート・タイミング

タイマ・カウント・レジスタ0n（TCR0n）は，タイマ・チャネル開始レジスタ0（TS0）のTS0nビットをセットすることにより，動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ0n（TCR0n）のカウント・スタートまでの動作を，表6－6に示します。

表6－6　カウント動作許可状態からタイマ・カウンタ・レジスタ0n（TCR0n）のカウント・スタートまでの動作

タイマの動作モード	TS0n = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出（TS0n = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nレジスタの値をTCR0nレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（6. 5. 3（1）インターバル・タイマ・モードの動作参照）。
・イベント・カウンタ・モード	TS0nビットに1を書き込むことにより，TDR0nレジスタの値をTCR0nレジスタにロードします。 以降のカウント・クロックでダウン・カウント動作を行います。 TMR0nレジスタのSTS0n2-STS0n0ビットで選択した外部トリガ検出では，カウント動作を開始しません（6. 5. 3（2）イベント・カウンタ・モード時の動作参照）。
・キャプチャ・モード	スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（6. 5. 3（3）キャプチャ・モード時の動作（入力パルス間隔測定）参照）。
・ワンカウント・モード	タイマ動作停止（TE0n = 0）の状態で，TS0nビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nレジスタの値をTCR0nレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（6. 5. 3（4）ワンカウント・モード時の動作参照）。
・キャプチャ＆ワンカウント・モード	タイマ動作停止（TE0n = 0）の状態で，TS0nビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（6. 5. 3（5）キャプチャ&ワンカウント・モード時の動作（ハイ・レベル幅測定）参照）。

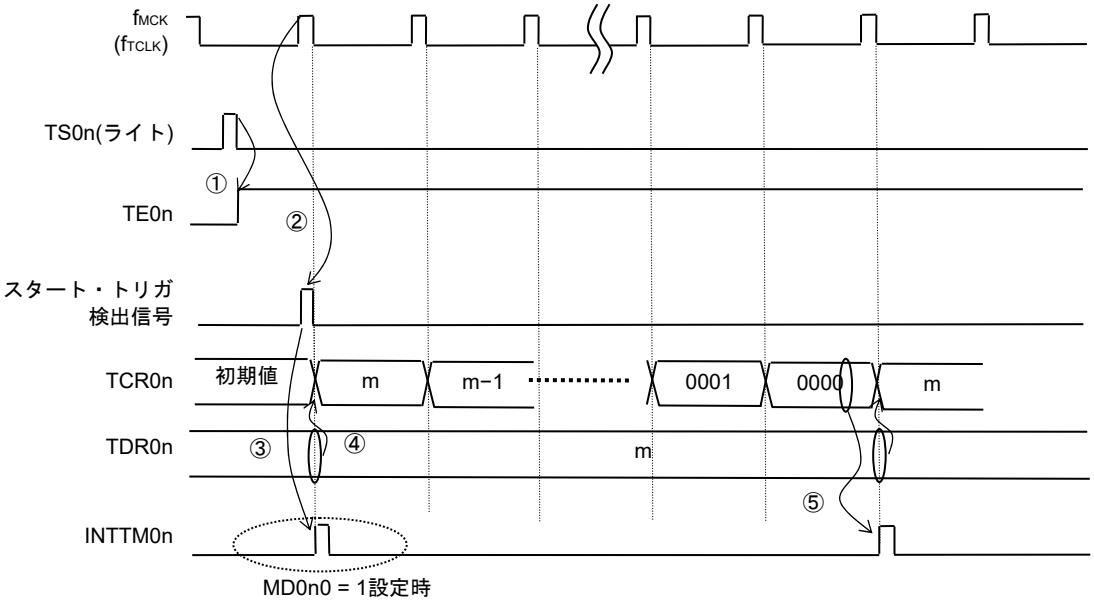
6. 5. 3　カウンタの動作

各モードでのカウンタ動作を説明します。

（1）インターバル・タイマ・モードの動作

① TS0nビットへ1を書き込むことにより，動作許可状態（TE0n = 1）となります。タイマ・カウンタ・レジスタ0n（TCR0n）は，カウント・クロック発生まで初期値を保持しています。
② 動作許可後の最初のカウント・クロック（f_{MCK}）で，スタート・トリガが発生します。
③ MD0n0ビットが1に設定されている場合には，スタート・トリガにより，INTTM0nが発生します。
④ 動作許可後の最初のカウント・クロックにより，タイマ・データ・レジスタ0n（TDR0n）の値をTCR0nレジスタにロードし，インターバル・タイマ・モードでのカウントを開始します。
⑤ TCR0nレジスタがカウント・ダウンしてカウント値が0000Hになると，次のカウント・クロック（f_{MCK}）でINTTM0nを発生し，タイマ・データ・レジスタ0n（TDR0n）の値をTCR0nレジスタにロードしてカウントを継続します。

図6－25　動作タイミング（インターバル・タイマ・モード）



注意　カウント・クロックの1周期目の動作はTS0nビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MD0n0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

備考　f_{MCK}，スタート・トリガ検出信号，INTTM0nは，f_{CLK}に同期して1クロック間アクティブとなります。

（2）イベント・カウンタ・モードの動作

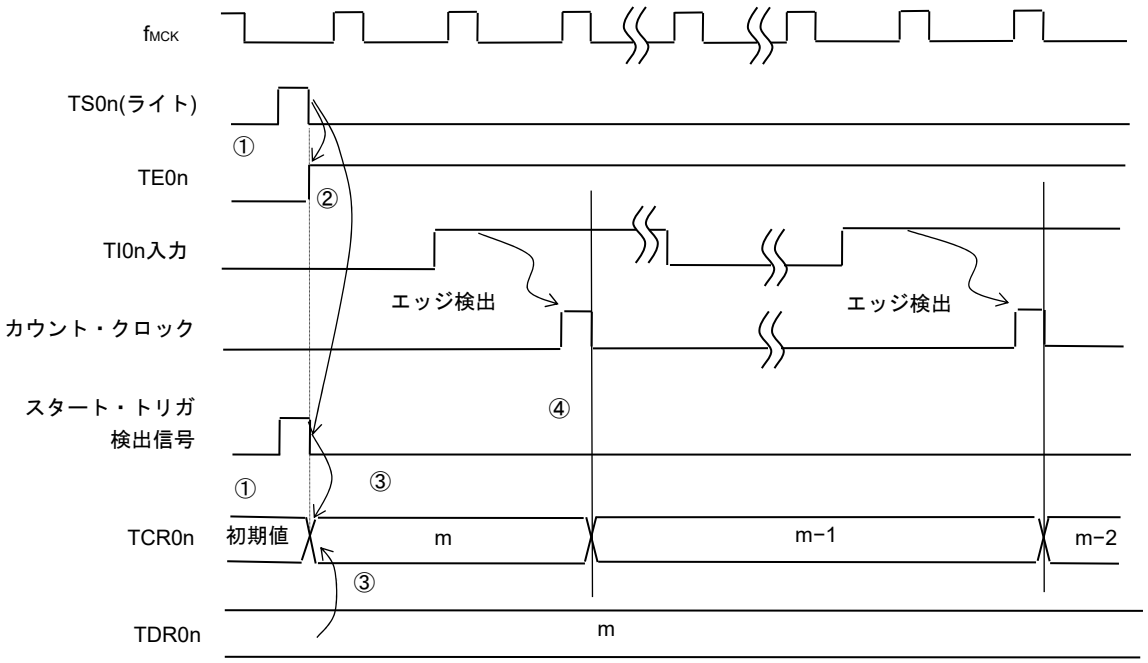
① 動作停止状態（TE0n = 0）の期間，タイマ・カウンタ・レジスタ0n（TCR0n）は，初期値を保持します。

② TS0nビットへ1を書き込むことにより，動作許可状態（TE0n = 1）となります。

③ TS0n = 1→TE0n = 1と同時に， TCR0nレジスタにタイマ・データ・レジスタ0n（TDR0n）の値をロードし，カウントを開始します。

④ 以降はTI0n入力の有効エッジでのカウント・クロックに従い， TCR0nレジスタの値をダウン・カウントします。

図6－26　動作タイミング（イベント・カウンタ・モード）



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTI0n入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTI0n入力とカウント・クロック（fMCK）が非同期なためです。

（3）キャプチャ・モードの動作（入力パルス間隔測定）

① TS0nビットへ1を書き込むことにより，動作許可状態（TE0n = 1）となります。

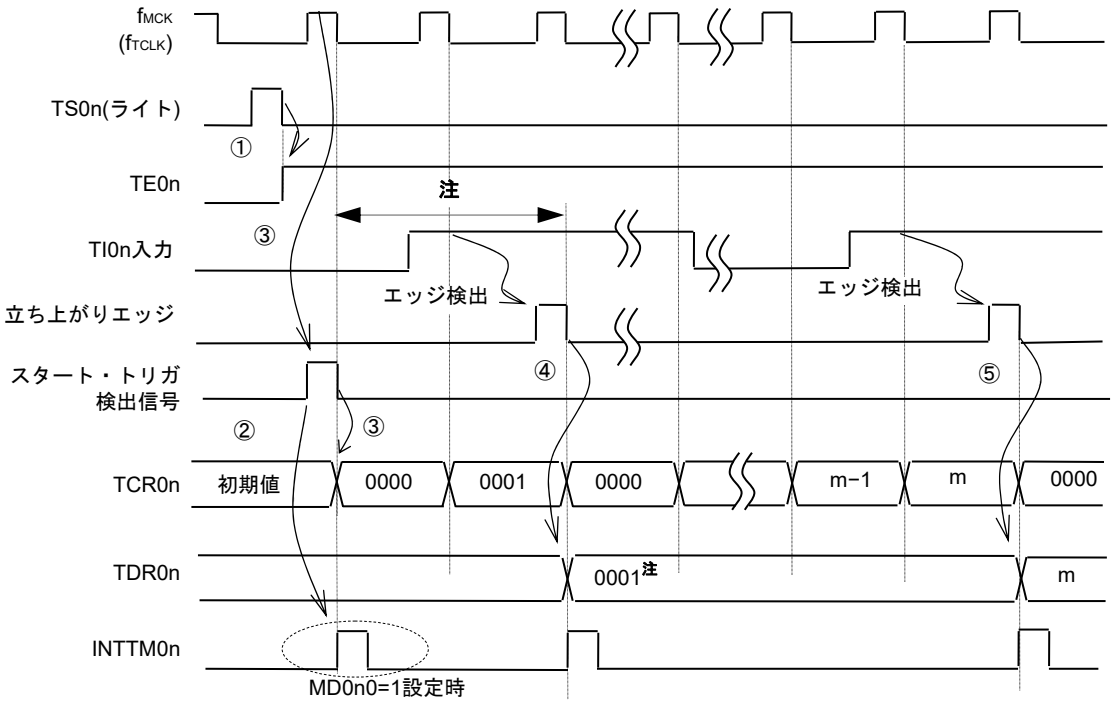
② タイマ・カウンタ・レジスタ0n（TCR0n）は，カウント・クロック発生まで初期値を保持しています。

③ 動作許可後の最初のカウント・クロック（f_{MCK}）で，スタート・トリガが発生します。そして0000Hの値をTCR0nレジスタにロードし，キャプチャ・モードでのカウントを開始します。（MD0n0ビットが1に設定されている場合には，スタート・トリガにより，INTTM0nが発生します。）

④ TI0n入力の有効エッジを検出すると，TCR0nレジスタの値をTDR0nレジスタにキャプチャし，INTTM0n割り込みが発生しますが，このときのキャプチャ値は意味をもちません。TCR0nレジスタは0000Hからカウントを継続します。

⑤ 次のTI0n入力の有効エッジを検出すると，TCR0nレジスタの値をTDR0nレジスタにキャプチャし，INTTM0n割り込みが発生します。

図6－27　動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注　スタート前からTI0nにクロックが入力されている（トリガがある）場合，エッジ検出をしなくても，トリガ検出でカウントを開始するため，最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので，無視してください。

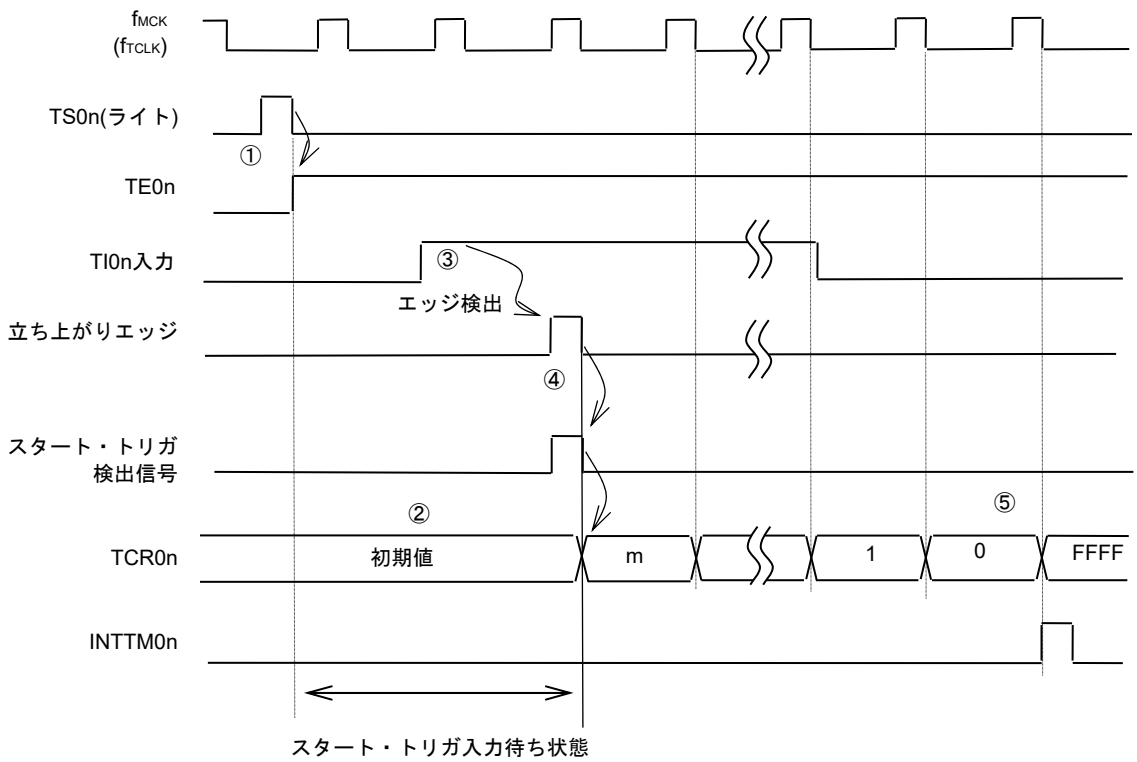
注意　カウント・クロックの1周期目の動作はTS0nビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MD0n0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTI0n入力からさらにf_{MCK}の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTI0n入力とカウント・クロック（f_{MCK}）が非同期なためです。

（4）ワンカウント・モードの動作

① TS0nビットへ1を書き込むことにより，動作許可状態（TE0n = 1）となります。
② タイマ・カウンタ・レジスタ0n（TCR0n）は，スタート・トリガ発生まで初期値を保持しています。
③ TI0n入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して，TDR0nレジスタの値（m）をTCR0nレジスタにロードし，カウントを開始します。
⑤ TCR0nレジスタがカウント・ダウンしてカウント値が0000Hになると，INTTM0n割り込みを発生し，TCR0nレジスタはFFFFHで停止します。

図6－28　動作タイミング（ワンカウント・モード）



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると，エッジ検出はTI0n入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTI0n入力とカウント・クロック（fMCK）が非同期なためです。

（5）キャプチャ&ワンカウント・モードの動作（ハイ・レベル幅測定）

① タイマ・チャネル開始レジスタ0（TS0）のTS0nビットに1を書き込むことにより，動作許可状態（TE0n = 1）となります。

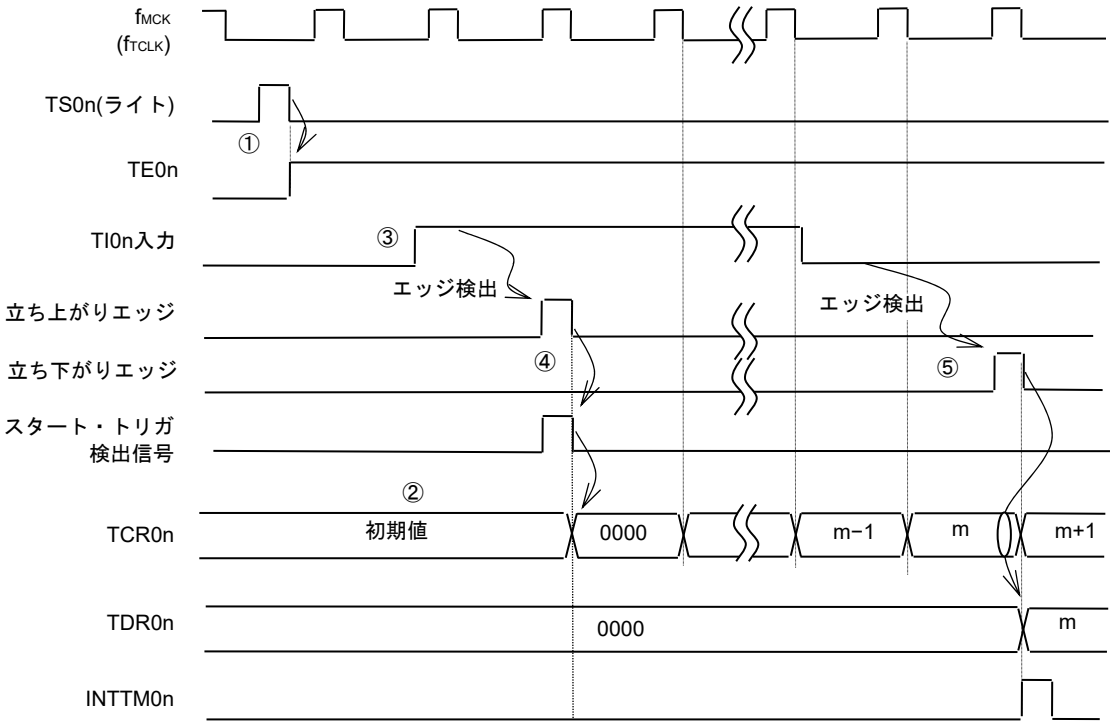
② タイマ・カウンタ・レジスタ0n（TCR0n）は，スタート・トリガ発生まで初期値を保持します。

③ TI0n入力の立ち上がりエッジを検出します。

④ スタート・トリガが発生して，0000HをTCR0nレジスタにロードし，カウントを開始します。

⑤ TI0n入力の立ち下がりエッジを検出すると，TCR0nレジスタの値をTDR0nレジスタにキャプチャし，INTTM0n割り込みが発生します。

図6－29　動作タイミング（キャプチャ&ワンカウント・モード：ハイ・レベル幅測定）

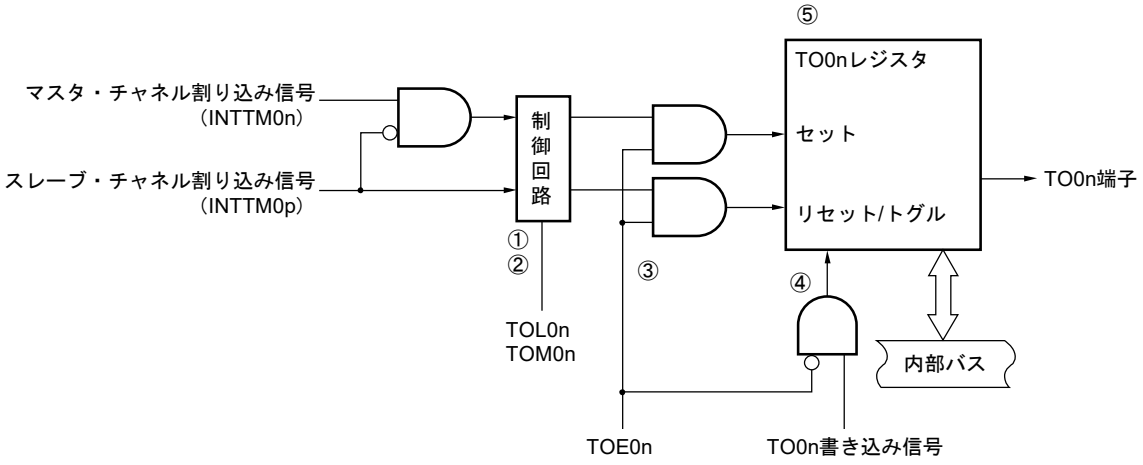


備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTI0n入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTI0n入力とカウント・クロック（fMCK）が非同期なためです。

6.6　チャネル出力（TO0n端子）の制御

6.6.1　TO0n端子の出力回路の構成

図6－30　出力回路構成図



TO0n端子の出力回路の説明を次に示します。

① TOM0n = 0（マスタ・チャネル出力モード）のときは，タイマ出力レベル・レジスタ0（TOL0）の設定値は無視され，INTTM0p（スレーブ・チャネル・タイマ割り込み）のみがタイマ出力レジスタ0（TO0）に伝えられます。

② TOM0n = 1（スレーブ・チャネル出力モード）のときは，INTTM0n（マスタ・チャネル・タイマ割り込み）とINTTM0p（スレーブ・チャネル・タイマ割り込み）がTO0レジスタに伝えられます。
このとき，TOL0レジスタが有効となり，次のように信号を制御します。

TOL0n = 0の場合　：正論理出力（INTTM0n→セット，INTTM0p→リセット）
TOL0n = 1の場合　：不論理出力（INTTM0n→リセット，INTTM0p→セット）

また，INTTM0nとINTTM0pが同時に発生した場合（PWM出力の0%出力時）は，INTTM0p（リセット信号）が優先され，INTTM0n（セット信号）はマスクされます。

③ タイマ出力許可状態（TOE0n = 1）で，INTTM0n（マスタ・チャネル・タイマ割り込み）とINTTM0p（スレーブ・チャネル・タイマ割り込み）がTO0レジスタに伝えられます。TO0レジスタへの書き込み（TO0nライト信号）は無効となります。
また，TOE0n = 1のとき，割り込み信号以外でTO0n端子の出力が変化することはありません。
TO0n端子の出力レベルを初期化する場合は，タイマ動作停止（TOE0n = 0）に設定しTO0レジスタに値を書き込む必要があります。

④ タイマ出力禁止状態（TOE0n = 0）で，対象チャネルのTO0nビットへの書き込み（TO0nライト信号）が有効となります。 タイマ出力禁止状態（TOE0n = 0）のとき，INTTM0n（マスタ・チャネル・タイマ割り込み）とINTTM0p（スレーブ・チャネル・タイマ割り込み）はTO0レジスタに伝えられません。

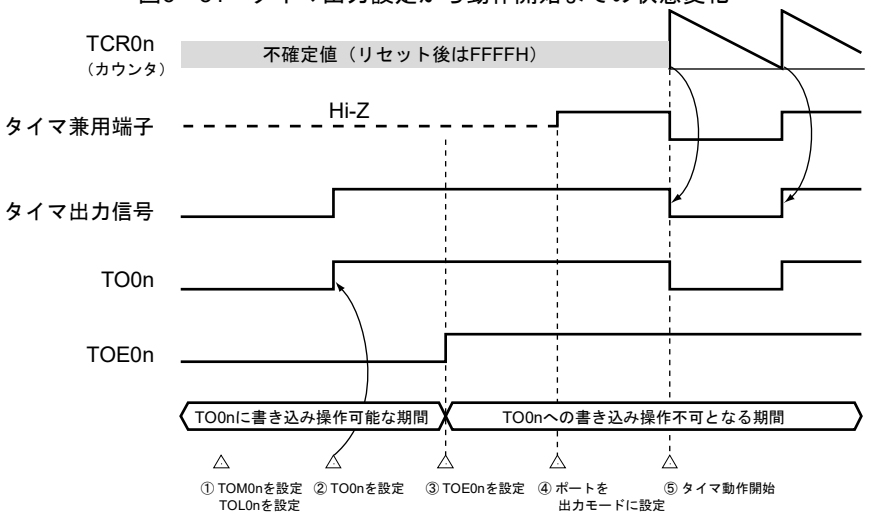
⑤ TO0レジスタは常に読み出し可能であり，TO0n端子の出力レベルを確認することができます。

備考　n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号（n＜p≦6）

6. 6. 2　TO0n端子の出力設定

TO0n出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6－31　タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

・TOM0nビット（0：マスタ・チャネル出力モード，1：スレーブ・チャネル出力モード）
・TOL0nビット（0：正転出力，1：反転出力）

②タイマ出力レジスタ0（TO0）を設定することにより，タイマ出力信号が初期状態に設定されます。

③ TOE0nビットに1を書き込み，タイマ出力動作を許可します（TO0レジスタへの書き込みは不可となります）。

④ ポート・モード・コントロール・レジスタ（PMCxx）でポートをデジタル入出力に設定します（6. 3. 15　タイマ入出力端子のポート機能を制御するレジスタ参照）。

⑤ ポートの入出力設定を出力に設定します(6. 3. 15　タイマ入出力端子のポート機能を制御するレジスタ参照）。

⑤ タイマを動作許可にします（TS0n = 1）。

備考　n：チャネル番号（n = 3, 5, 6）

6. 6. 3　チャネル出力操作時の注意事項

（1）タイマ動作中のTO0,TOE0,TOL0レジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタ0n（TCR0n）,タイマ・データ・レジスタ0n（TDR0n）の動作）は，TO0n出力回路とは独立しています。よって，タイマ出力レジスタ0（TO0），タイマ出力許可レジスタ0（TOE0），タイマ出力レベル・レジスタ0（TOL0）の設定値変更はタイマ動作に影響しないため，タイマ動作中に設定値の変更が可能です。ただし，各タイマ動作において期待する波形をTO0n端子から出力するためには，6. 7，6. 8節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み（INTTM0n）近辺で，TO0レジスタを除く TOE0レジスタ，TOL0レジスタの設定値変更を行うと，タイマ割り込み（INTTM0n）信号発生タイミング直前に設定値変更が実施された場合と，タイマ割り込み（INTTM0n）信号発生タイミング直後に設定値変更が実施された場合とでは，TO0n端子に出力される波形が異なる場合があります。

備考　n：チャネル番号（n = 3, 5, 6）

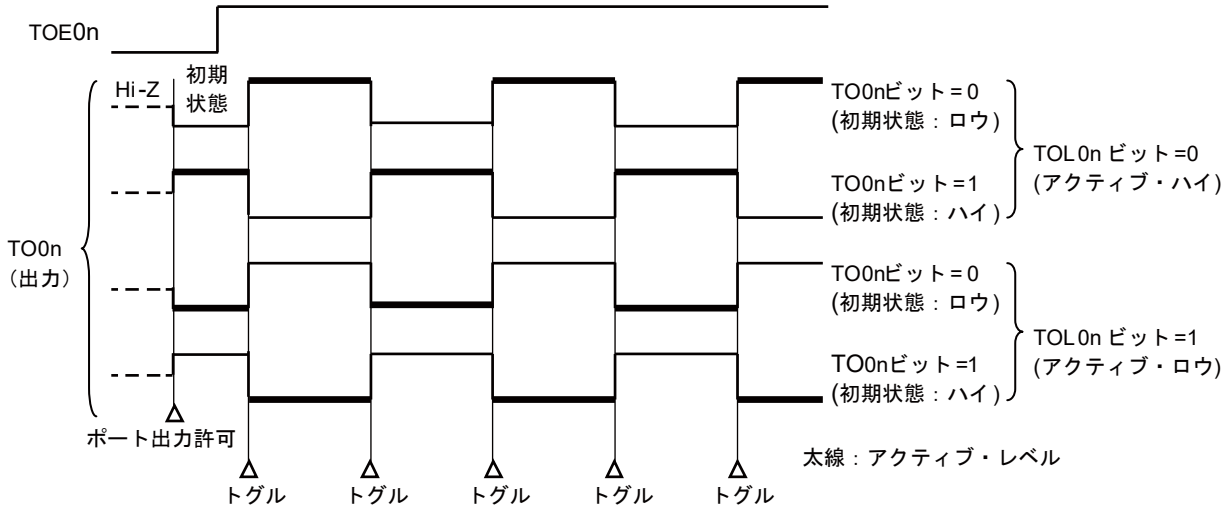
（2）TO0n端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に，タイマ出力禁止（TOE0n = 0）の状態でタイマ出力レジスタ0（TO0）に書き込みを行い，初期レベル変更後，タイマ出力許可状態（TOE0n = 1）に設定した場合のTO0n端子出力レベルの変化を次に示します。

（a）マスタ・チャネル出力モード（TOM0n= 0）設定で動作を開始した場合

マスタ・チャネル出力モード（TOM0n= 0）の時，タイマ出力レベル・レジスタ0（TOL0）の設定は無効となります。初期レベル設定後，タイマ動作を開始するとトグル信号発生によりTO0n端子の出力レベルを反転します。

図6－32　トグル出力時（TOM0n = 0）のTO0n端子出力状態



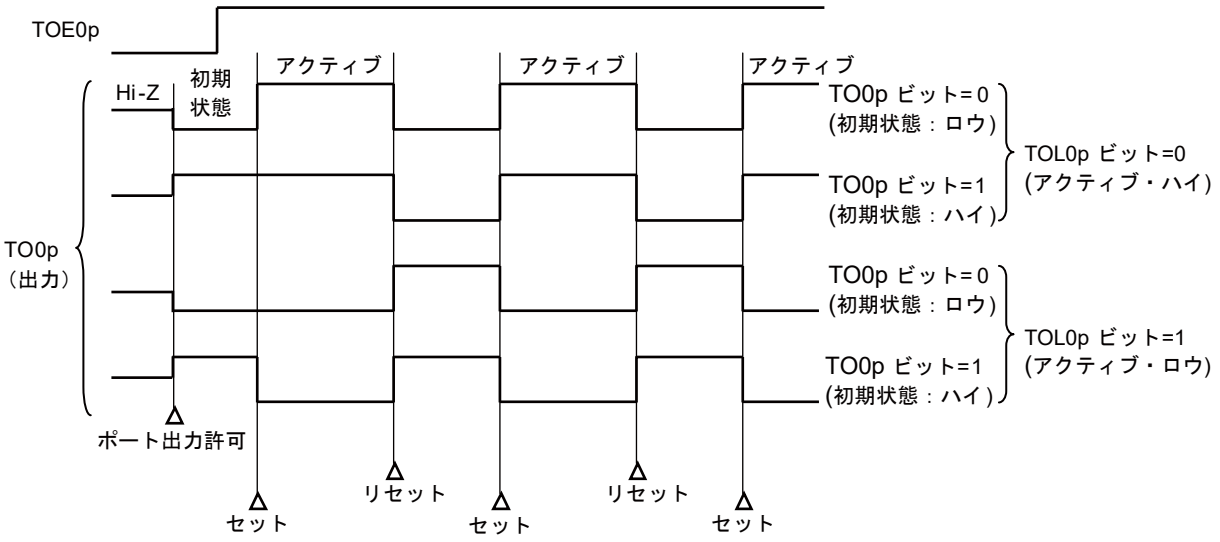
備考1.　トグル：TO0n端子の出力状態を反転

2.　n：チャネル番号（n = 3, 5, 6）

（b）スレーブ・チャネル出力モード（TOM0p = 1）設定で動作を開始した場合（PWM出力）

スレーブ・チャネル出力モード（TOM0p = 1）の時，タイマ出力レベル・レジスタ0（TOL0）の設定によりアクティブ・レベルを決定します。

図6－33　PWM出力時（TOM0p = 1）のTO0p端子出力状態



備考1.　セット　　：TO0p端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット　：TO0p端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2.　p：チャネル番号（p = 3, 5, 6）

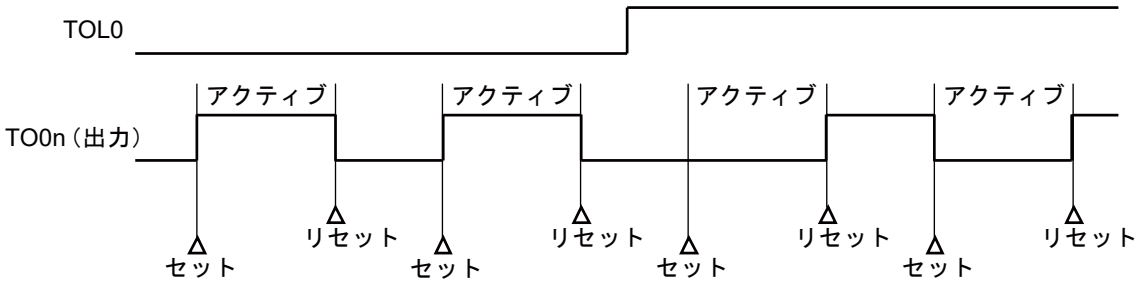
（3）TO0n端子のスレーブ・チャネル出力モード（TOM0n = 1）での動作について

（a）タイマ動作中にタイマ出力レベル・レジスタ0（TOL0）の設定を変更した場合

タイマ動作中にTOL0レジスタの設定を変更した場合，設定が有効となるのはTO0n端子変化条件の発生タイミングです。TOL0レジスタの書き換えでは，TO0n端子の出力レベルは変化しません。

TOM0n = 1で，タイマ動作中（TE0n = 1）にTOL0レジスタの値を変更した場合の動作を次に示します。

図6－34　タイマ動作中にTOL0レジスタをの内容を変更した場合の動作



備考1.　セット　　：TO0n端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット　：TO0n端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2.　n：チャネル番号（n = 3, 5, 6）

（b）セット／リセット・タイミング

PWM出力時に，0%／100%出力を実現するため，マスタ・チャネル・タイマ割り込み（INTTM0n）発生時のTO0n端子/TO0nビットのセット・タイミングをスレーブ・チャネルにて1カウント・クロック分遅らせています。

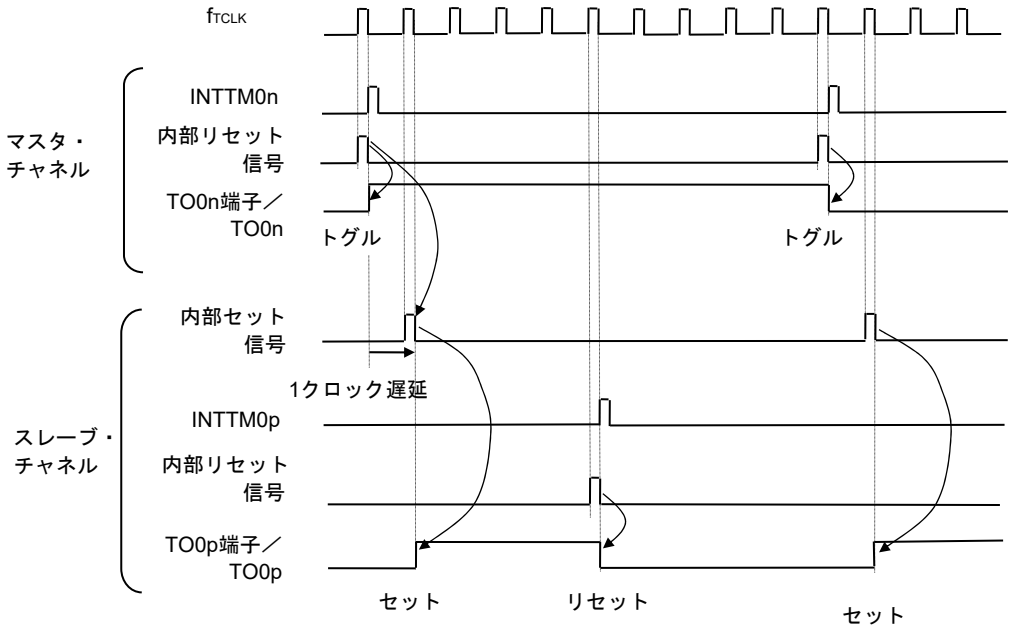
セット条件とリセット条件が同時に発生した場合，リセット条件が優先されます。

マスタ／スレーブ・チャネルを次のように設定した場合のセット／リセット動作状態を図6－に示します。

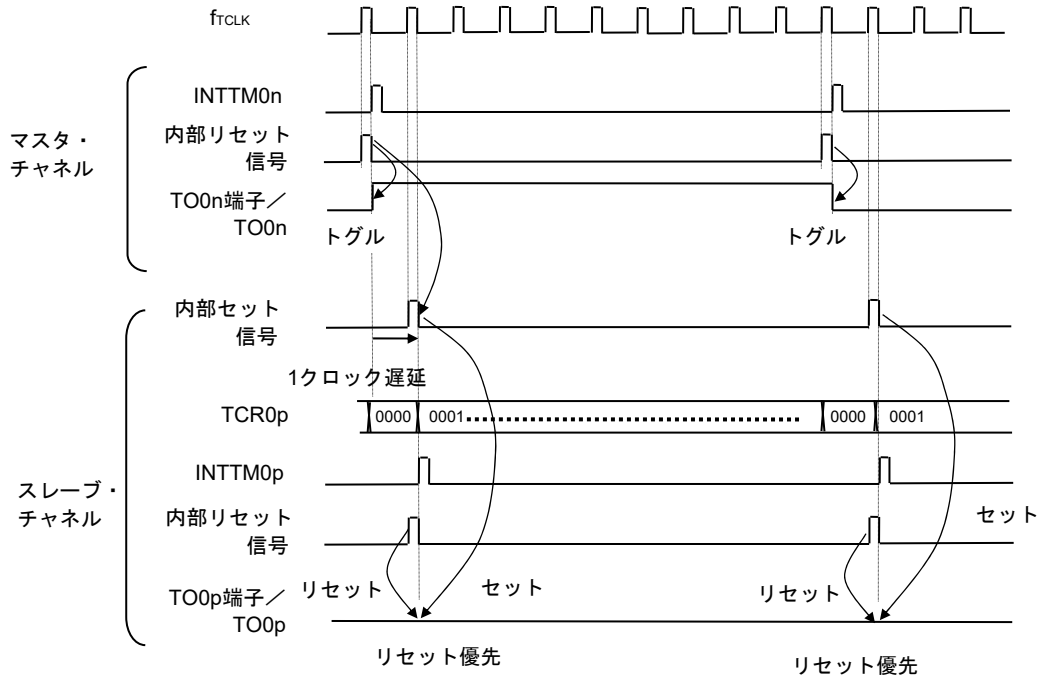
マスタ・チャネル　：TOE0n = 1, TOM0n = 0, TOL0n = 0
スレーブ・チャネル：TOE0p = 1, TOM0p = 1, TOL0p = 0

図6－35　セット／リセット・タイミング動作状態

（1）基本動作タイミング



（2）0 %デューティ時の動作タイミング



備考1.　内部リセット信号：TO0n端子のリセット／トグル信号
　　内部セット信号　　：TO0n端子のセット信号

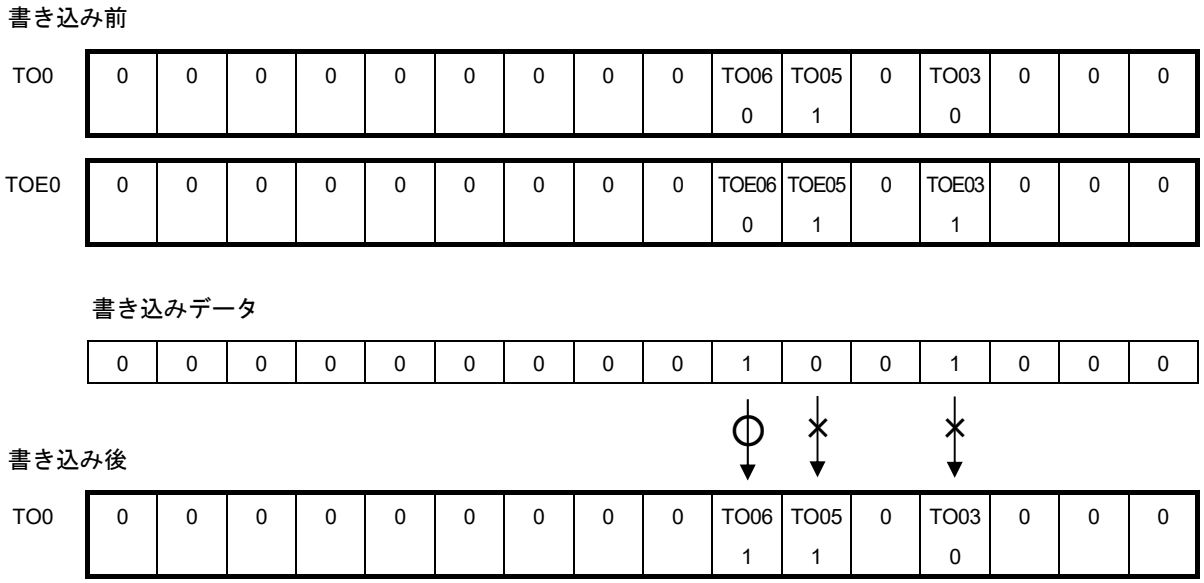
2.　n：マスタ・チャネル番号（n = 0, 2, 4）

　　p：スレーブ・チャネル番号（n＜p≦6）

6. 6. 4　TO0nビットの一括操作

タイマ出力レジスタ0（TO0）には，タイマ・チャネル開始レジスタ0（TS0）と同様に，1レジスタに全チャネル分の設定ビット（TO0n）が配置されています。よって，全チャネルのTO0nビットを一括で操作することが可能です。また，操作対象としたいチャネル出力（TO0n）のみTO0nビットへの書き込み可能（TOE0n = 0）とすることによって任意のビットのみ操作することが可能です。

図6－36　TO0nビットの一括操作例



TOE0n = 0のTO0nビットのみ書き込みが行われます。TOE0n = 1のTO0nビットへの書き込みは無視されます。

TOE0n = 1に設定されているTO0n（チャネル出力）は，書き込み操作による影響は受けません。TO0nビットに書き込み操作が行われても無視し，タイマ動作による出力変化は正常に行われます。

備考　n：チャネル番号（n = 3, 5, 6）

6. 6. 5　カウント動作開始時のタイマ割り込みとTO0n端子出力について

インターバル・タイマ・モード／キャプチャ・モードの場合，タイマ・モード・レジスタ0n（TMR0n）のMD0n0ビットは，「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

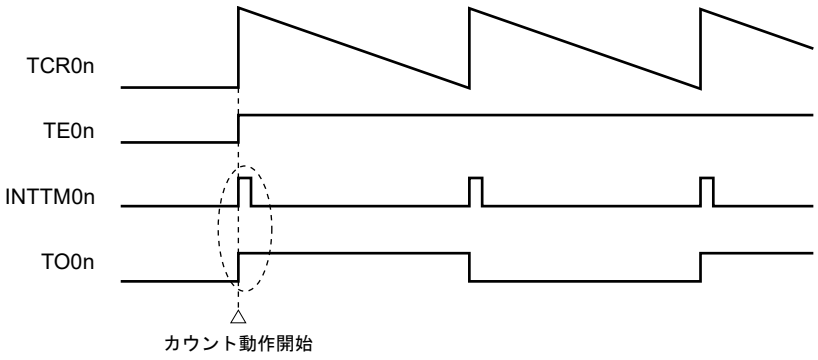
MD0n0 = 1に設定することで，タイマ割り込み（INTTM0n）の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは，カウント動作開始時のタイマ割り込み，TO0n出力は制御しません。

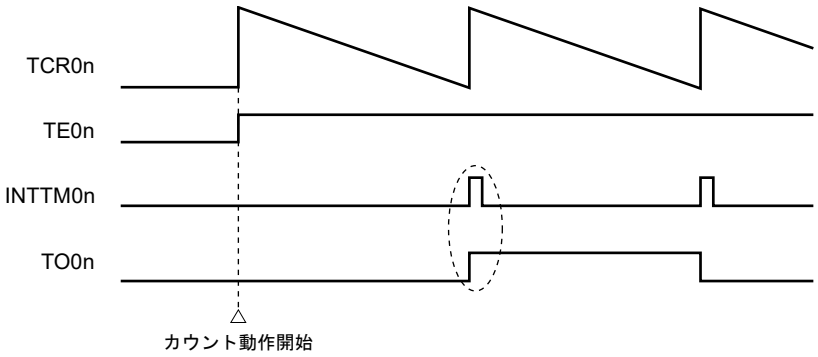
インターバル・タイマ・モード（TOE0n = 1, TOM0n = 0）に設定した場合の動作例を次に示します。

図6－37　カウント動作開始時のタイマ割り込み，TO0n出力の動作例

（a）MD0n0 = 1に設定した場合



（b）MD0n0 = 0に設定した場合



MD0n0 = 1に設定した場合，カウント動作開始時にタイマ割り込み（INTTM0n）が出力され，TO0nがトグル動作します。

MD0n0 = 0に設定した場合，カウント動作開始時にタイマ割り込み（INTTM0n）を出力しません。TO0nも変化しません。1周期をカウント後，INTTM0nを出力し，TO0nがトグル動作します。

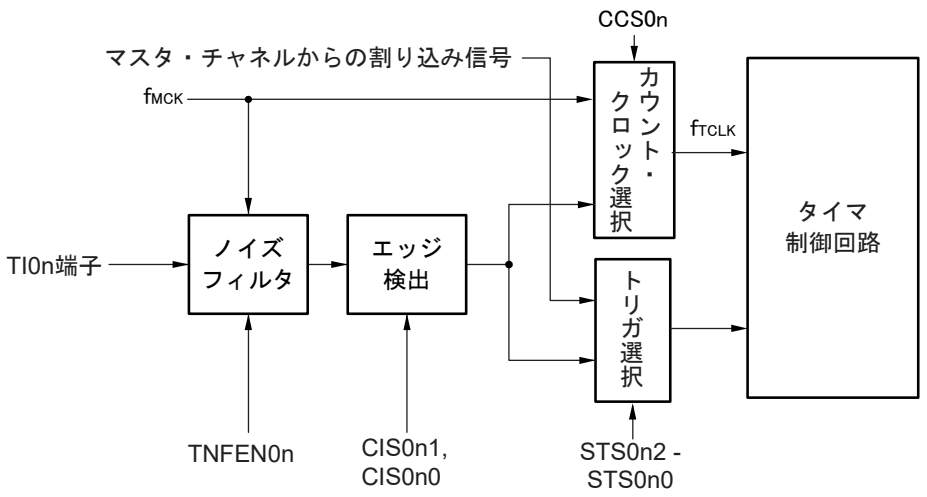
備考　n：チャネル番号（n = 3, 5, 6）

6.7　タイマ入力（TI0n）の制御

6.7.1　TI0nの入力回路構成

タイマ入力端子から信号は，ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は，対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

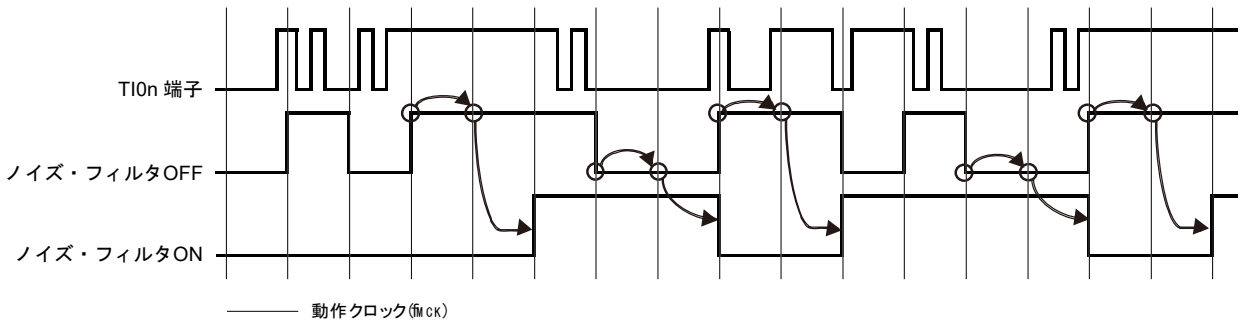
図6－38　入力回路構成図



6.7.2　ノイズ・フィルタ

ノイズ・フィルタ無効時は，チャネルnの動作クロック（fMCK）で同期化だけ行います。ノイズ・フィルタ有効時は，チャネルnの動作クロック（fMCK）で同期化のあと，2クロックの一致検出を行います。以下に，TI0n入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6－39　TI0n入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形



6.7.3　チャネル入力操作時の注意事項

タイマ入力端子を使用しない設定において，ノイズ・フィルタ回路へ動作クロックは供給されません。そのため，タイマ入力端子を使用する設定をしてから，タイマ入力端子に対応するチャネルの動作許可トリガを設定するまで，以下の待ち時間が必要になります。

(1) ノイズ・フィルタOFFの場合

タイマ・モード・レジスタ0n（TMR0n）のビット12（CCS0n），ビット9（STS0n1），ビット8（STS0n0）がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック（f_{MCK}）の2サイクル以上経過してから，タイマ・チャネル開始レジスタ（TS0）の動作許可トリガをセットしてください。

(2) ノイズ・フィルタONの場合

タイマ・モード・レジスタ0n（TMR0n）のビット12（CCS0n），ビット9（STS0n1），ビット8（STS0n0）がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック（f_{MCK}）の4サイクル以上経過してから，タイマ・チャネル開始レジスタ（TS0）の動作許可トリガをセットしてください。

6.8　タイマ・アレイ・ユニットの単独チャネル動作機能

6.8.1　インターバル・タイマ／方形波出力としての動作

（1）インターバル・タイマ

一定間隔でINTTM0n（タイマ割り込み）を発生する基準タイマとして利用することができます。

割り込み発生周期は，次の式で求めることができます。

INTTM0n（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TDR0nの設定値＋1）

（2）方形波出力としての動作

TO0nは，INTTM0n発生と同時にトグル動作を行い，デューティ50%の方形波を出力します。

TO0n出力波形の周期と周波数は，次の式で求めることができます。

・TO0nからの出力方形波の周期 ＝ カウント・クロックの周期×（TDR0nの設定値＋1）×2
・TO0nからの出力方形波の周波数 ＝ カウント・クロックの周波数／｛（TDR0nの設定値＋1）×2｝

タイマ・カウンタ・レジスタ0n（TCR0n）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS0n, TSH01, TSH03）に1を設定後，最初のカウント・クロックでTCR0nレジスタはタイマ・データ・レジスタ0n（TDR0n）の値をロードします。このときタイマ・モード・レジスタ0n（TMR0n）のMD0n0 = 0ならば，INTTM0nを出力せず，TO0nはトグルしません。TMR0nレジスタのMD0n0 = 1ならば，INTTM0nを出力して，TO0nをトグルします。

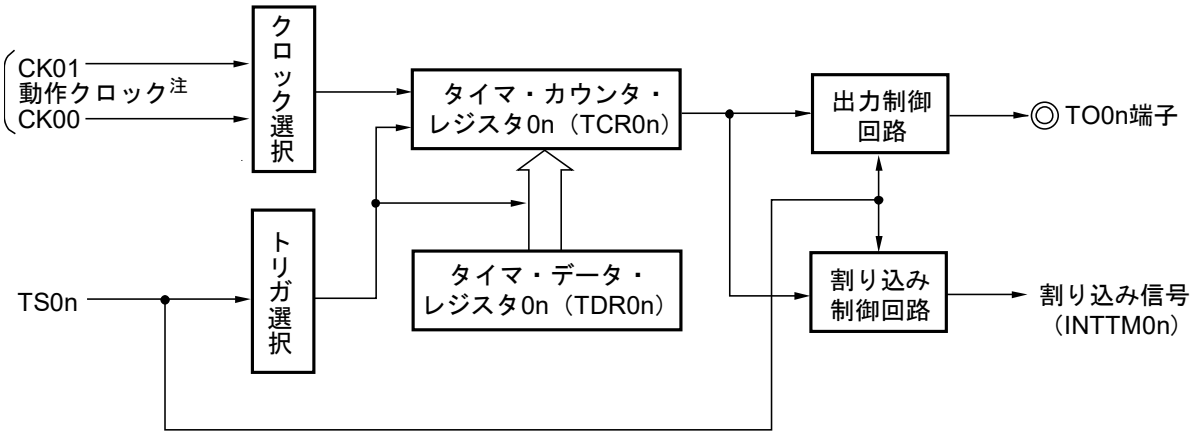
その後，TCR0nレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCR0n = 0000Hとなったら，次のカウント・クロックでINTTM0nを出力しTO0nをトグルします。また，同タイミングで再びTCR0nレジスタはTDR0nレジスタの値をロードします。以降，同様の動作を継続します。

TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は，次の周期から有効となります。

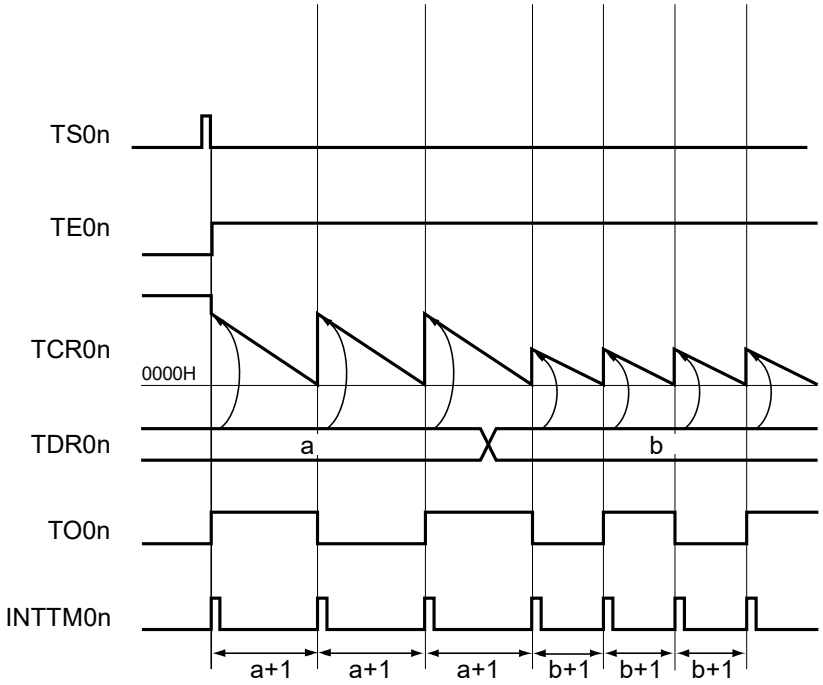
備考　n：チャネル番号（n = 0-7）

図6－40　インターバル・タイマ／方形波出力としての動作のブロック図



注　チャネル1, 3の場合は，CK00, CK01, CK02, CK03からクロックを選択できます。

図6－41　インターバル・タイマ／方形波出力としての動作の基本タイミング例（MD0n0 = 1）



備考1.　n：チャネル番号（n = 0-7）

2.　TS0n　：タイマ・チャネル開始レジスタ0（TS0）のビットn

TE0n　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn

TCR0n　：タイマ・カウンタ・レジスタ0n（TCR0n）

TDR0n　：タイマ・データ・レジスタ0n（TDR0n）

TO0n　：TO0n端子出力信号

図6－42　インターバル・タイマ／方形波出力時のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0n）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS0n1	CKS0n0		CCS0n	M/S注	STS0n2	STS0n1	STS0n0	CIS0n1	CIS0n0			MD0n3	MD0n2	MD0n1	MD0n0
	1/0	1/0	0	0	0/1	0	0	0	0	0	0	0	0	0	0	1/0

チャネルnの動作モード
000B:インターバル・タイマ

カウント開始時の動作設定
0：カウント開始時にINTTM0n発生せず，タイマ出力反転せず
1：カウント開始時にINTTM0n発生し，タイマ出力反転する

TI0n端子入力のエッジ選択
00B:使用しないので00を設定

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

MASTER0nビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLIT0nビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCK00を選択
10B：チャネルnの動作クロックにCK01を選択
01B：チャネル1, 3の動作クロックにCK02を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCK03を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタ0（TO0）

	ビットn
TO0	TO0n
	1/0

0：TO0nより0を出力する
1：TO0nより1を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn
TOE0	TOE0n
	1/0

0：カウント動作によるTO0n出力動作停止
1：カウント動作によるTO0n出力動作許可

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn
TOL0	TOL0n
	0

0：TOM0n = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn
TOM0	TOM0n
	0

0：マスタ・チャネル出力モードを設定

注　TMR02, TMR04, TMR06の場合　：MASTER0nビット
TMR01, TMR03の場合　：SPLIT0nビット
TMR00, TMR05, TMR07の場合　：0固定

備考　n：チャネル番号（n = 0-7）

図6－43　インターバル・タイマ／方形波出力機能時の操作手順（1/2）

		ソフトウエア操作	ハードウエアの状態
	TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
		周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
		タイマ・クロック選択レジスタ0（TPS0）を設定する CK00-CK03のクロック周波数を確定する	
	チャネル初期設定	タイマ・モード・レジスタ0n（TMR0n）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタ0n（TDR0n）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
		TO0n出力を使用する場合， タイマ出力モード・レジスタ0（TOM0）のTOM0nビットに0（マスタ・チャネル出力モード）を設定する TOL0nビットに0を設定する TO0nビットを設定し，TO0n出力の初期レベルを確定する →	TO0n端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TO0n初期設定レベルが出力される。
		TOE0nビットに1を設定し，TO0nの動作を許可 →	チャネルは動作停止状態なので，TO0nは変化しない
		ポート・レジスタとポート・モード・レジスタに0を設定する →	TO0n端子はTO0n設定レベルを出力
動作再開	動作開始	（TO0n出力を使用する場合で，かつ動作再開時のみTOE0nビットに1を設定する） TS0n（TSH01, TSH03）ビットに1を設定する →	TE0n（TEH01, TEH03）＝1になり，カウント動作開始 タイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードする。TMR0nレジスタのMD0n0ビットが1の場合は，INTTM0nを発生し，TO0nもトグル動作する。
		TS0n（TSH01, TSH03）ビットはトリガ・ビットなので，自動的に0に戻る	
	動作中	TDR0nレジスタは，任意に設定値変更が可能 TCR0nレジスタは，常に読み出し可能 TSR0nレジスタは，使用しない TO0, TOE0レジスタは，設定値変更可能 TMR0nレジスタ，TOM0n，TOL0nビットは，設定値変更禁止	カウンタ（TCR0n）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCR0nレジスタはTDR0nレジスタの値をロードし，カウント動作を継続する。TCR0n＝0000H検出でINTTM0nを発生し，TO0nはトグル動作する。以降，この動作を繰り返す。
	動作停止	TT0n（TTH01, TTH03）ビットに1を設定する →	TE0n（TEH01, TEH0n）＝0になり，カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TO0n出力は初期化されず，状態保持
		TOE0nビットに0を設定し，TO0nビットに値を設定する →	TO0n端子はTO0nビットに設定したレベルを出力

（備考は次ページにあります。）

図6－43　インターバル・タイマ／方形波出力機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
TAU 停止	TO0n端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TO0nビットに0を設定する →	TO0n端子出力レベルはポート機能により保持される。
	TO0n端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える →	TO0n端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TO0nビットが0になり，TO0n端子はポート機能となる）

備考　n：チャネル番号（n = 0-7）

6. 8. 2　外部イベント・カウンタとしての動作

TI0n端子入力の有効エッジ検出（外部イベント）をカウントし，規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

規定カウント数 ＝ TDR0nの設定値＋1

タイマ・カウンタ・レジスタ0n（TCR0n）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）の任意のチャネル・スタート・トリガ・ビット（TS0n）に1を設定することによりTCR0nレジスタはタイマ・データ・レジスタ0n（TDR0n）の値をロードします。

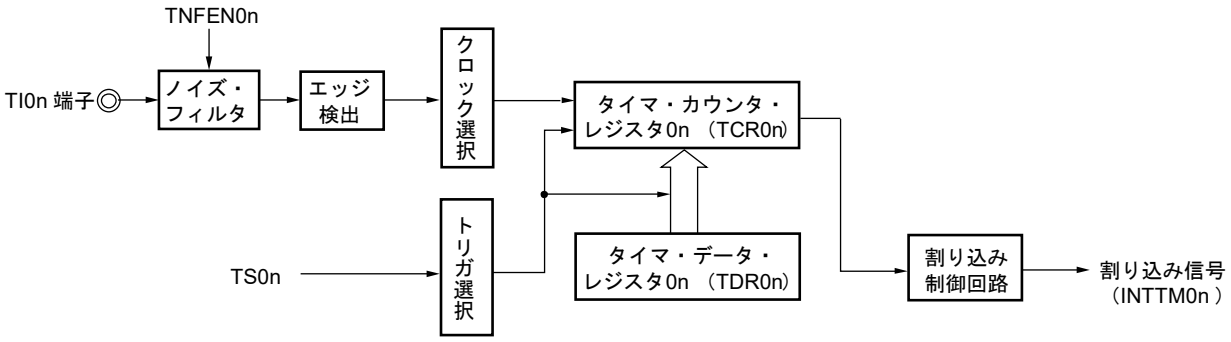
TCR0nレジスタはTI0n端子入力の有効エッジ検出に合わせてダウン・カウントを行い， TCR0n ＝ 0000Hとなったら，再びTDR0nレジスタの値をロードして，INTTM0nを出力します。

以降，同様の動作を継続します。

TO0n端子出力は外部イベントに依存した不規則な波形となるため，タイマ出力許可レジスタ0（TOE0）のTOE0nビットに0を設定して出力動作を停止するようにしてください。

TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は次のカウント期間で有効になります。

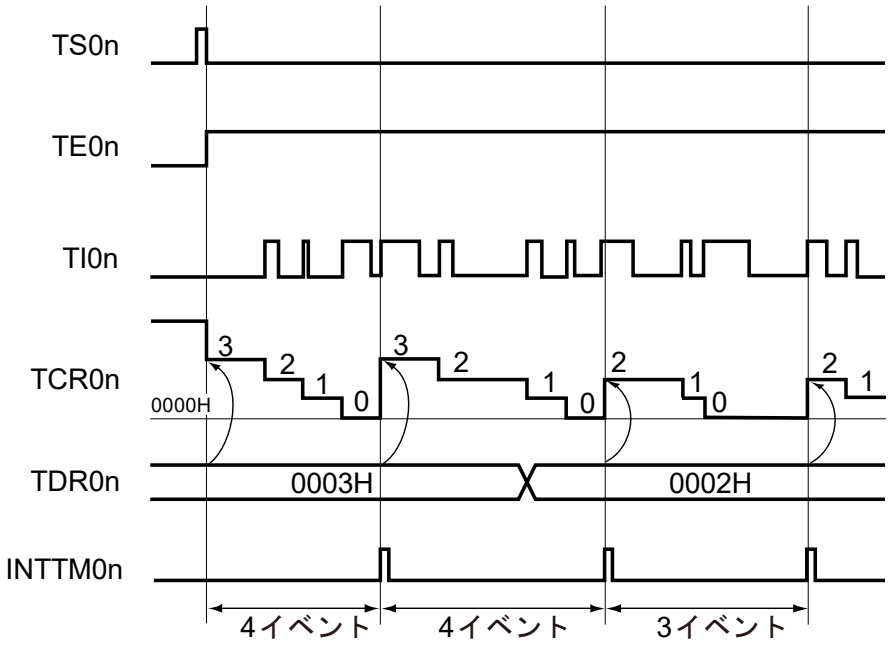
図6－44　外部イベント・カウンタとしての動作のブロック図



備考　n：チャネル番号（n = 3, 5, 6, 7）

入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

図6－45　外部イベント・カウンタとしての動作の基本タイミング例



備考1. n：チャネル番号（n = 3, 5, 6, 7）

入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

2. TS0n　：タイマ・チャネル開始レジスタ0（TS0）のビットn

TE0n　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn

TI0n　：TI0n端子入力信号

TCR0n　：タイマ・カウンタ・レジスタ0n（TCR0n）

TDR0n　：タイマ・データ・レジスタ0n（TDR0n）

図6－46　外部イベント・カウンタ・モード時のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0n）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS0n1	CKS0n0		CCS0n	M/S注	STS0n2	STS0n1	STS0n0	CIS0n1	CIS0n0			MD0n3	MD0n2	MD0n1	MD0n0
	1/0	1/0	0	1	0/1	0	0	0	1/0	1/0	0	0	0	1	1	0

チャネルnの動作モード
011B：イベント・カウント・モード

カウント開始時の動作設定
0：カウント開始時にINTTM0n発生せず，タイマ出力反転せず

TI0n端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

MASTER0nビットの設定（チャネル6）
0：単独チャネル動作
SPLIT0nビットの設定（チャネル3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
1：TI0n端子入力の有効エッジを選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCK00を選択
10B：チャネルnの動作クロックにCK01を選択
01B：チャネル3の動作クロックにCK02を選択（チャネル3のみ選択可）
11B：チャネル3の動作クロックにCK03を選択（チャネル3のみ選択可）

（b）タイマ出力レジスタ0（TO0）

	ビットn
TO0	TO0n 0

0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn
TOE0	TOE0n 0

0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn
TOL0	TOL0n 0

0：TOM0n = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn
TOM0	TOM0n 0

0：マスタ・チャネル出力モードを設定

注　TMR06の場合　：MASTER06ビット
TMR03の場合　：SPLIT03ビット
TMR05, TMR07の場合　：0固定

備考　n：チャネル番号（n = 3, 5, 6, 7）
入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

図6－47　外部イベント・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する CK00-CK03のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタ0n（TMR0n）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタ0n（TDR0n）にカウント数を設定する タイマ出力許可レジスタ0（TOE0）のTOE0nビットに0を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TS0n（TSH03）ビットに1を設定する → TS0n（TSH03）ビットはトリガ・ビットなので，自動的に0に戻る	TE0n = 1（TEH03）になり，カウント動作開始 タイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードし，TI0n端子入力のエッジ検出待ち状態になる
動作中	TDR0nレジスタは，任意に設定値変更が可能 TCR0nレジスタは，常に読み出し可能 TSR0nレジスタは，使用しない TMR0nレジスタ，TOM0n，TOL0n，TO0n，TOE0nビットは，設定値変更禁止	TI0n端子入力のエッジが検出されるごとに，カウンタ（TCR0n）はダウン・カウント動作を行う。0000Hまでカウントしたら，再びTCR0nレジスタはTDR0nレジスタの値をロードし，カウント動作を継続する。TCR0n = 0000H検出でINTTM0n出力を発生する。 以降，この動作を繰り返す。
動作停止	TT0n（TTH03）ビットに1を設定する → TT0n（TTH03）ビットはトリガ・ビットなので，自動的に0に戻る	TE0n（TEH0n）= 0になり，カウント動作停止 TCR0nレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　n：チャネル番号（n = 3, 5, 6, 7）

入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

6. 8. 3　入力パルス間隔測定としての動作

TI0n有効エッジでカウント値をキャプチャし，TI0n入力パルスの間隔を測定することができます。また，TE0n = 1の期間中に，ソフトウェア操作（TS0n = 1）をキャプチャ・トリガにして，カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

TI0n入力パルス間隔 = カウント・クロックの周期×（（10000H×TSR0n:OVF）＋（TDR0nのキャプチャ値＋1））

注意　TI0n端子入力は，タイマ・モード・レジスタ0n（TMR0n）のCKS0nビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ･レジスタ0n（TCR0n）はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS0n）に1を設定するとTCR0nレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

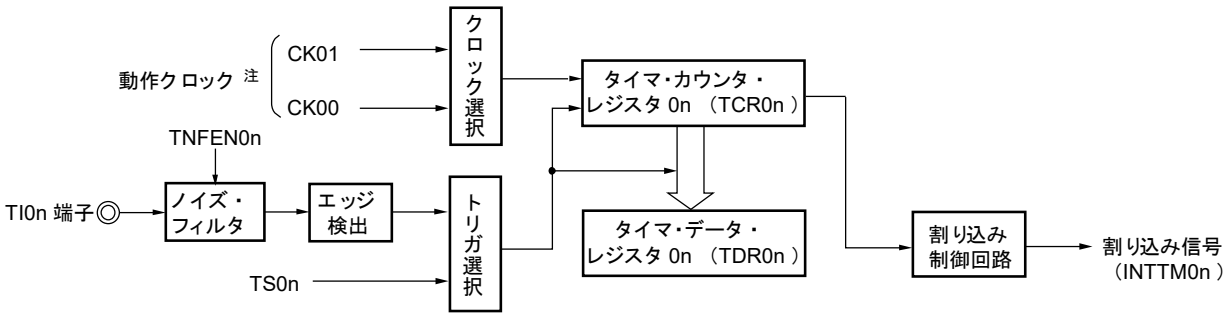
TI0n端子入力の有効エッジを検出すると，TCR0nレジスタのカウント値をタイマ・データ・レジスタ0n（TDR0n）に転送（キャプチャ）すると同時に，TCR0nレジスタを0000Hにクリアして，INTTM0nを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタ0n（TSR0n）のOVFビットが1にセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。以降，同様の動作を継続します。

カウント値がTDR0nレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて， TSR0nレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ， TSR0nレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMR0nレジスタのSTS0n2-STS0n0 = 001Bに設定して，TI0n有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

図6－48　入力パルス間隔測定としての動作のブロック図

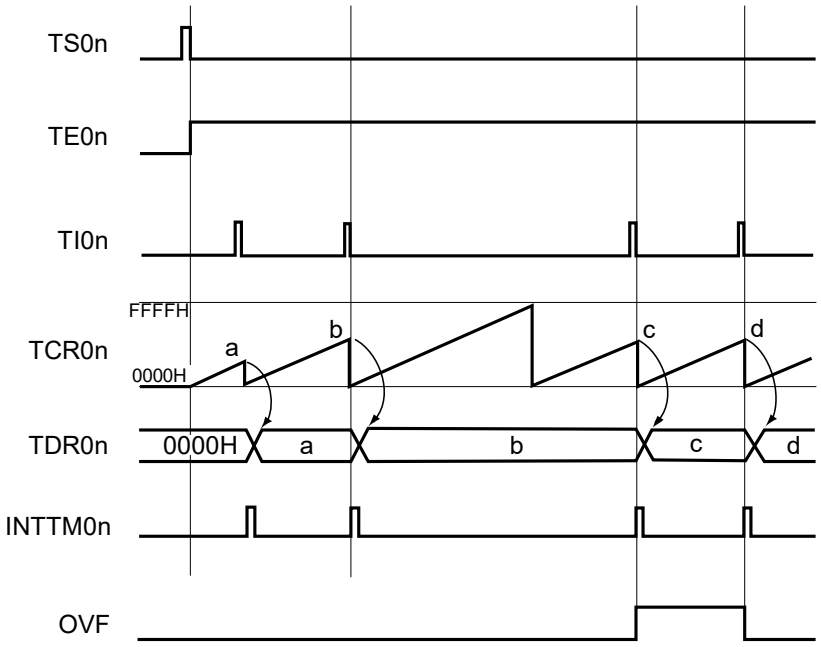


注　チャネル3の場合は，CK00, CK01, CK02, CK03からクロックを選択できます。

備考　n：チャネル番号（n = 3, 5, 6, 7）

入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

図6－49　入力パルス間隔測定としての動作の基本タイミング例（MD0n0 = 0）



備考1.　n：チャネル番号（n = 3, 5, 6, 7）

入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

2.　TS0n　：タイマ・チャネル開始レジスタ0（TS0）のビットn

TE0n　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn

TI0n　：TI0n端子入力信号

TCR0n　：タイマ・カウンタ・レジスタ0n（TCR0n）

TDR0n　：タイマ・データ・レジスタ0n（TDR0n）

OVF　：タイマ・ステータス・レジスタ0n（TSR0n）のビット0

図6－50　入力パルス間隔測定時のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0n）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS0n1	CKS0n0		CCS0n	M/S注	STS0n2	STS0n1	STS0n0	CIS0n1	CIS0n0			MD0n3	MD0n2	MD0n1	MD0n0
	1/0	0	0	0	0	0	0	1	1/0	1/0	0	0	0	1	0	1/0

チャネルnの動作モード
010B：キャプチャ・モード

カウント開始時の動作設定
0：カウント開始時にINTTM0n発生しない
1：カウント開始時にINTTM0n発生する

TI0n端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

キャプチャ・トリガ選択
001B：TI0n端子入力の有効エッジを選択

MASTER0nビットの設定（チャネル6）
0：単独チャネル動作
SPLIT0nビットの設定（チャネル3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCK00を選択
10B：チャネルnの動作クロックにCK01を選択
01B：チャネル3の動作クロックにCK02を選択（チャネル3のみ選択可）
11B：チャネル3の動作クロックにCK03を選択（チャネル3のみ選択可）

（b）タイマ出力レジスタ0（TO0）

	ビットn
TO0	TO0n 0

0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn
TOE0	TOE0n 0

0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn
TOL0	TOL0n 0

0：TOM0n = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn
TOM0	TOM0n 0

0：マスタ・チャネル出力モードを設定

注　TMR06の場合　　：MASTER06ビット
TMR03の場合　　：SPLIT03ビット
TMR05, TMR07の場合の場合　：0固定

備考　n：チャネル番号（n = 3, 5, 6, 7）
入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

図6－51　入力パルス間隔測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する CK00-CK03のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタ0n（TMR0n）を設定する（チャネルの動作モード確定）	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TS0nビットに1を設定する → TS0nビットはトリガ・ビットなので，自動的に0に戻る	TE0n = 1になり，カウント動作開始 タイマ・カウンタ・レジスタ0n（TCR0n）を0000Hにクリアする。TMR0nレジスタのMD0n0ビットが1の場合は，INTTM0nを発生する。
動作中	TMR0nレジスタは，CIS0n1，CIS0n0ビットのみ設定値変更可能 TDR0nレジスタは，常に読み出し可能 TCR0nレジスタは，常に読み出し可能 TSR0nレジスタは，常に読み出し可能 TOM0n, TOL0n, TO0n, TOE0nビットは，設定値変更禁止	カウンタ（TCR0n）は0000Hからアップ・カウント動作を行い，TI0n端子入力の有効エッジの検出または，TS0nビットに１を設定すると，カウント値をタイマ・データ・レジスタ0n（TDR0n）に転送（キャプチャ）する。同時に，TCR0nレジスタを0000Hにクリアし，INTTM0nを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタ0n（TSR0n）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。 以降，この動作を繰り返す。
動作停止	TT0nビットに1を設定する → TT0nビットはトリガ・ビットなので，自動的に0に戻る	TE0n = 0になり，カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　n：チャネル番号（n = 3, 5, 6, 7）

入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

6. 8. 4　入力信号のハイ／ロウ・レベル幅測定としての動作

注意　LIN-bus, DMX512対応機能として使用する場合は，「TI0n」を「RxD0」と読み替えてください。

TI0n端子入力の片方のエッジでカウントをスタートし，もう片方のエッジでカウント数をキャプチャすることで，TI0nの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定することができます。TI0nの信号幅は次の式で求めることができます。

TI0n入力の信号幅 = カウント・クロックの周期×（ （10000H×TSR0n:OVF）＋（TDR0nのキャプチャ値＋1））

注意　TI0n端子入力は，タイマ・モード・レジスタ0n（TMR0n）のCKS0nビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ0n（TCR0n）はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS0n）に1を設定すると，TE0n = 1となりTI0n端子のスタート・エッジ検出待ち状態となります。

TI0n端子入力のスタート・エッジ（ハイ・レベル幅測定ならTI0n端子入力の立ち上がりエッジ）を検出すると，カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後，キャプチャ有効エッジ（ハイ・レベル幅測定ならTI0n端子入力の立ち下がりエッジ）を検出すると，カウンタ値をタイマ・データ・レジスタ0n（TDR0n）に転送すると同時にINTTM0nを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタ0n（TSR0n）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。TCR0nレジスタは，「TDR0nレジスタに転送した値＋1」の値で停止し，TI0n端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTDR0nレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて， TSR0nレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ， TSR0nレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

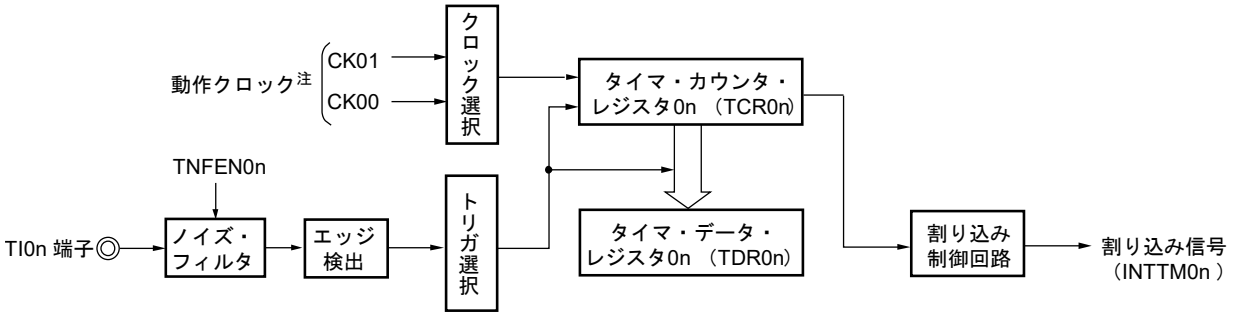
TI0n端子入力のハイ・レベル幅を測定するか，ロウ・レベル幅を測定するかは， TMR0nレジスタのCIS0n1, CIS0n0ビットにて設定することができます。

この機能は，TI0n端子入力の信号幅測定を目的とするため，TE0n = 1期間中のTS0nビットのセット（1）は使用できません。

TMR0nレジスタのCIS0n1, CIS0n0 = 10B：ロウ・レベル幅を測定する

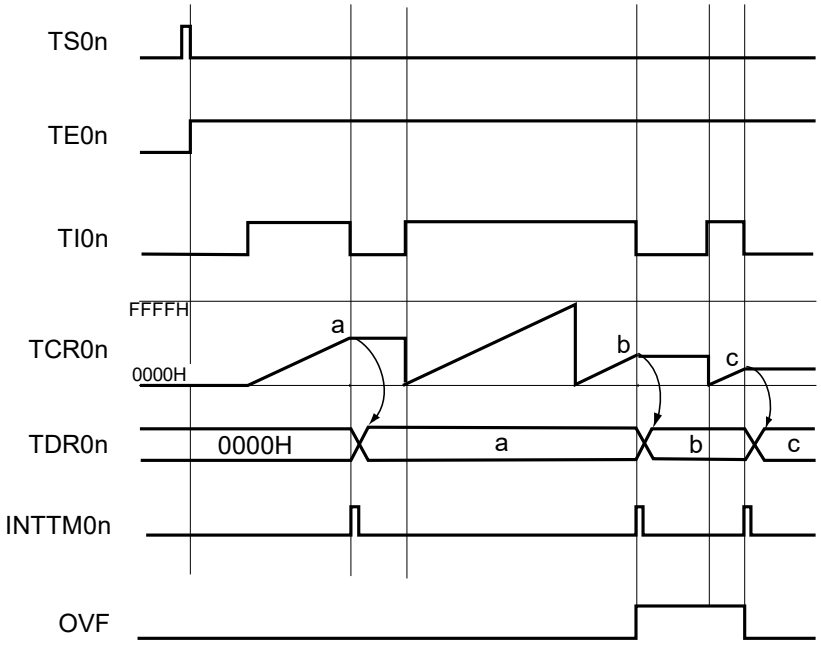
TMR0nレジスタのCIS0n1, CIS0n0 = 11B：ハイ・レベル幅を測定する

図6－52　入力信号のハイ／ロウ・レベル幅測定としての動作のブロック図



注　チャネル3の場合は，CK00, CK01, CK02, CK03からクロックを選択できます。

図6－53　入力信号のハイ／ロウ・レベル幅測定としての動作の基本タイミング例



備考1.　n：チャネル番号（n = 3, 5, 6, 7）

入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

2.　TS0n　：タイマ・チャネル開始レジスタ0（TS0）のビットn

TE0n　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn

TI0n　：TI0n端子入力信号

TCR0n　：タイマ・カウンタ・レジスタ0n（TCR0n）

TDR0n　：タイマ・データ・レジスタ0n（TDR0n）

OVF　：タイマ・ステータス・レジスタ0n（TSR0n）のビット0

図6－54　入力信号のハイ／ロウ・レベル幅測定時のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0n）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS0n1	CKS0n0		CCSn0	M/S注	STS0n2	STS0n1	STS0n0	CIS0n1	CIS0n0			MD0n3	MD0n2	MD0n1	MD0n0
	1/0	0	0	0	0	0	1	0	1	1/0	0	0	1	1	0	0

チャネルnの動作モード
110B：キャプチャ＆ワンカウント

カウント開始時の動作設定
0：カウント開始時にINTTM0n発生しない

TI0n端子入力のエッジ選択
10B：両エッジ選択（ロウ幅測定）
11B：両エッジ選択（ハイ幅測定）

スタート・トリガ選択
010B：TI0n端子入力の有効エッジを選択

MASTER0nビットの設定（チャネル6）
0：単独チャネル動作
SPLIT0nビットの設定（チャネル3）
1：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCK00を選択
10B：チャネルnの動作クロックにCK01を選択
01B：チャネル3の動作クロックにCK02を選択（チャネル3のみ選択可）
11B：チャネル3の動作クロックにCK03を選択（チャネル3のみ選択可）

（b）タイマ出力レジスタ0（TO0）

	ビットn
TO0	TO0n 0

0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn
TOE0	TOE0n 0

0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn
TOL0	TOL0n 0

0：TOM0n = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn
TOM0	TOM0n 0

0：マスタ・チャネル出力モードを設定

注　TMR06の場合　：MASTER06ビット
TMR03の場合　：SPLIT03ビット
TMR05, TMR07の場合　：0固定

備考　n：チャネル番号（n = 3, 5, 6, 7）
入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

図6－55　入力信号のハイ／ロウ・レベル幅測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する CK00-CK03のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタ0n（TMR0n）を設定する（チャネルの動作モード確定） TOE0nビットに0を設定し，TO0nの動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TS0nビットに1を設定する →	TE0n = 1になり，TI0n端子のスタート・エッジ検出待ち状態になる
	TS0nビットはトリガ・ビットなので，自動的に0に戻る	
	TI0n端子入力のカウント・スタート・エッジ検出 →	タイマ・カウンタ・レジスタ0n（TCR0n）を0000Hにクリアし，カウント・アップ動作を開始する
動作中	TDR0nレジスタは，任意に設定値変更が可能 TCR0nレジスタは，常に読み出し可能 TSR0nレジスタは，使用しない TMR0nレジスタ，TOM0n，TOL0n，TO0n，TOE0nビットは，設定値変更禁止	TI0n端子のスタート・エッジ検出後，カウンタ（TCR0n）は0000Hからアップ・カウント動作を行う。TI0n端子のキャプチャ・エッジが検出されたら，カウント値をタイマ・データ・レジスタ0n（TDR0n）に転送し，INTTM0nを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタ0n（TSR0n）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。TCR0nレジスタは，次のTI0n端子のスタート・エッジ検出までカウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TT0nビットに1を設定する →	TE0n = 0になり，カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　n：チャネル番号（n = 3, 5, 6, 7）

入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

6. 8. 5　ディレイ・カウンタとしての動作

TI0n端子入力の有効エッジ検出（外部イベント）でダウン･カウントをスタートし，任意の設定間隔でINTTM0n（タイマ割り込み）を発生することができます。

また，TE0n = 1の期間中に，ソフトウエア操作でTS0n = 1に設定することで，ダウン・カウントをスタートし，任意の設定間隔でINTTM0n（タイマ割り込み）を発生することもできます。

割り込み発生周期は，次の式で求める事ができます。

INTTM0n（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TDR0nの設定値＋1）

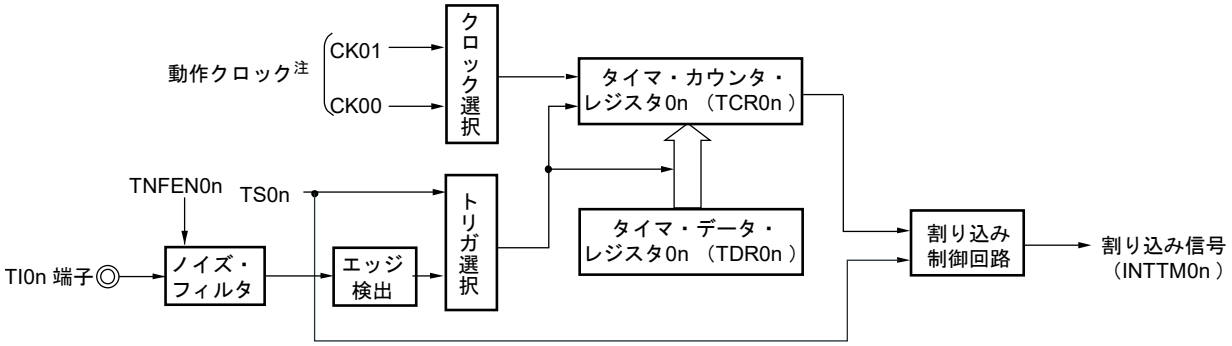
タイマ・カウンタ・レジスタ0n（TCR0n）はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS0n，TSH03）に1を設定すると，TE0n, TEH03 = 1となりTI0n端子の有効エッジ検出待ち状態となります。

TCR0nレジスタは，TI0n端子入力の有効エッジ検出により動作を開始し，タイマ・データ・レジスタ0n（TDR0n）から値をロードします。TCR0nレジスタはロードしたTDR0nレジスタの値からカウント・クロックに合わせてダウン・カウントを行い， TCR0n ＝ 0000Hとなったら INTTM0nを出力し，次のTI0n端子入力の有効エッジがあるまで，カウントを停止します。

TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は，次の周期から有効となります。

図6－56　ディレイ・カウンタとしての動作のブロック図

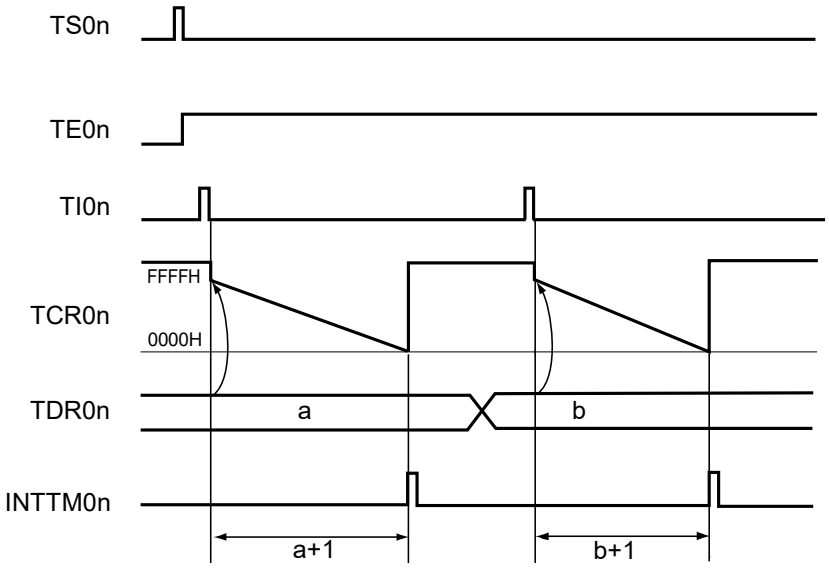


注　チャネル3の場合は，CK00, CK01, CK02, CK03からクロックを選択できます。

備考　n：チャネル番号（n = 3, 5, 6, 7）

入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

図6－57　ディレイ・カウンタとしての動作の基本タイミング例



備考1.　n：チャネル番号（n = 3, 5, 6, 7）

入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

2.　TS0n　：タイマ・チャネル開始レジスタ0（TS0）のビットn

TE0n　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn

TI0n　：TI0n端子入力信号

TCR0n：タイマ・カウンタ・レジスタ0n（TCR0n）

TDR0n：タイマ・データ・レジスタ0n（TDR0n）

図6－58　ディレイ・カウンタ機能時のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0n）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS0n1	CKS0n0		CCS0n	M/S注	STS0n2	STS0n1	STS0n0	CIS0n1	CIS0n0			MD0n3	MD0n2	MD0n1	MD0n0
	1/0	1/0	0	0	0/1	0	0	1	1/0	1/0	0	0	1	0	0	1/0

チャネルnの動作モード
100B:ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効
1：トリガ入力は有効

TI0n端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TI0n端子入力の有効エッジを選択

MASTER0nビットの設定（チャネル6）
0：単独チャネル動作
SPLIT0nビットの設定（チャネル3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCK00を選択
10B：チャネルnの動作クロックにCK01を選択
01B：チャネル3の動作クロックにCK02を選択（チャネル3のみ選択可）
11B：チャネル3の動作クロックにCK03を選択（チャネル3のみ選択可）

（b）タイマ出力レジスタ0（TO0）

	ビットn
TO0	TO0n 0

0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn
TOE0	TOE0n 0

0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn
TOL0	TOL0n 0

0：TOM0n = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn
TOM0	TOM0n 0

0：マスタ・チャネル出力モードを設定

注　TMR06の場合　：MASTER06ビット
TMR03の場合　：SPLIT03ビット
TMR05, TMR07の場合　：0固定

備考　n：チャネル番号（n = 3, 5, 6, 7）
入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

図6－59　ディレイ・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する CK00-CK03のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタ0n（TMR0n）を設定する（チャネルnの動作モード確定） タイマ・データ・レジスタ0n（TDR0n）に遅延時間を設定する TOE0nビットに0を設定し，TO0nの動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TS0n（TSH03）ビットに1を設定する → TS0n（TSH03）ビットはトリガ・ビットなので，自動的に0に戻る	TE0n（TEH03）= 1になり，スタート・トリガ検出（TI0n端子入力の有効エッジ検出，またはTS0nビットに1を設定）待ち状態になる
	次のスタート・トリガ検出によって， ダウン・カウントを開始します。 ・TI0n端子入力の有効エッジ検出 → ・ソフトウェアでTS0nビットに1を設定	タイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードする。
動作中	TDR0nレジスタは，任意に設定値変更が可能 TCR0nレジスタは，常に読み出し可能 TSR0nレジスタは，使用しない	カウンタ（TCR0n）はダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0n出力を発生し，次のスタート・トリガ検出（TI0n端子入力までの有効エッジの検出，またはTS0nビットに1を設定）までTCR0n = 0000Hでカウント動作を停止する。
動作停止	TT0n（TTH03）ビットに1を設定する → TT0n（TTH03）ビットはトリガ・ビットなので，自動的に0に戻る	TE0n（TEH03）　= 0になり，カウント動作停止 TCR0nレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　n：チャネル番号（n = 3, 5, 6, 7）

入力切り替え制御レジスタ（ISC）のビット1（ISC1）=1とすることで，P11/RxD0端子でTI07を使用することができます。詳細は6. 3. 13 入力切り替え制御レジスタ（ISC）を参照してください。

6.9　タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1　ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して，ソフトウエア操作（TS0n = 1）をスタート・トリガとして任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

ディレイ ＝｛TDR0n（マスタ）の設定値＋2｝×カウント・クロック周期
パルス幅 ＝｛TDR0p（スレーブ）の設定値｝×カウント・クロック周期

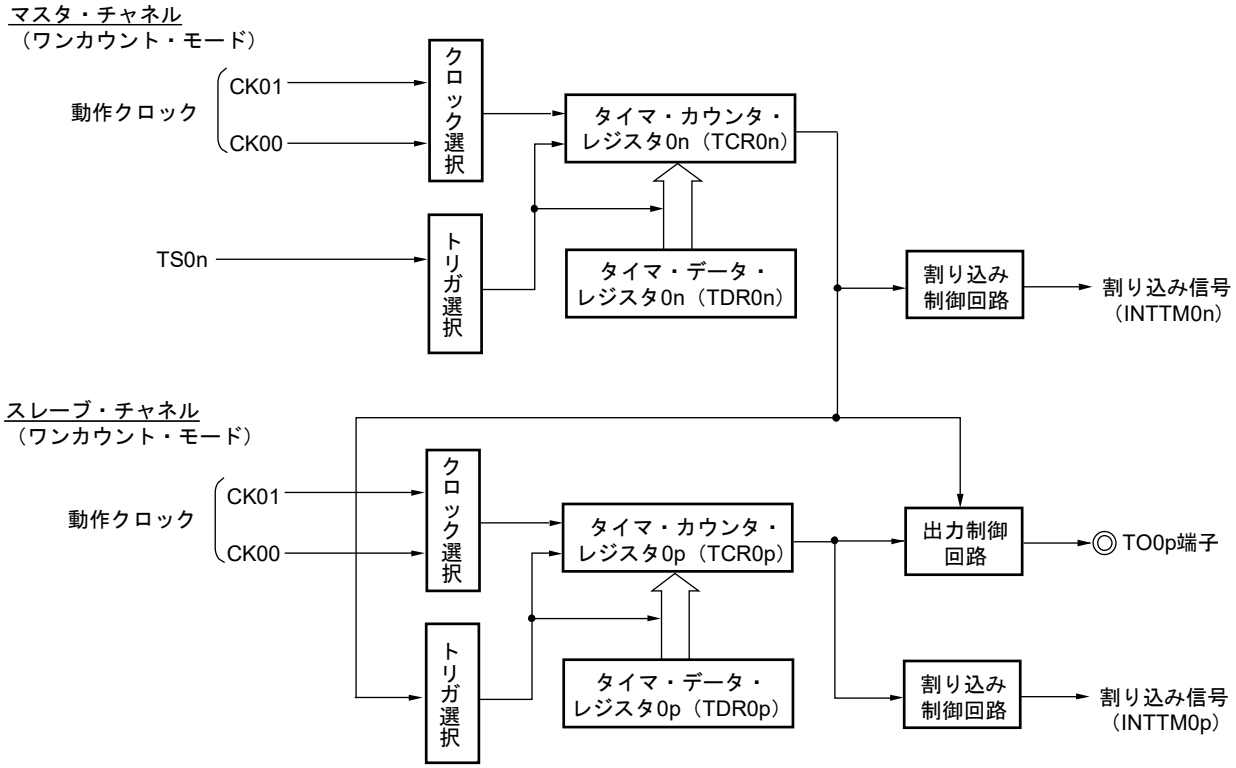
マスタ・チャネルは，ワンカウント・モードで動作し，ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ0n（TCR0n）は，スタート・トリガ検出により動作を開始し，タイマ・データ・レジスタ0n（TDR0n）から値をロードします。TCR0nレジスタはロードしたTDR0nレジスタの値からカウント・クロックに合わせてダウン・カウントを行い， TCR0n = 0000HとなったらINTTM0nを出力し，次のスタート・トリガ検出があるまで，カウントを停止します。

スレーブ・チャネルは，ワンカウント・モードで動作し，パルス幅をカウントします。スレーブ・チャネルのTCR0pレジスタは，マスタ・チャネルのINTTM0nをスタート・トリガとして動作を開始し，TDR0pレジスタから値をロードします。TCR0pレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000HとなったらINTTM0pを出力して，次のスタート・トリガ（マスタ・チャネルのINTTM0n）検出があるまで，カウントを停止します。TO0pの出力レベルは，マスタ・チャネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり， TCR0p = 0000Hとなったらインアクティブ・レベルとなります。

注意　マスタ・チャネルのタイマ・データ・レジスタ0n（TDR0n）とスレーブ・チャネルのTDR0pレジスタでは，ロード・タイミングが異なるため，動作中にTDR0nレジスタ，TDR0pレジスタを書き換えると不正波形が出力されます。TDR0nレジスタはINTTM0n発生後に，TDR0pレジスタはINTTM0p発生後に書き換えてください。

備考　n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号（p = 3, 5, 6 ただし，n＜p≦6）

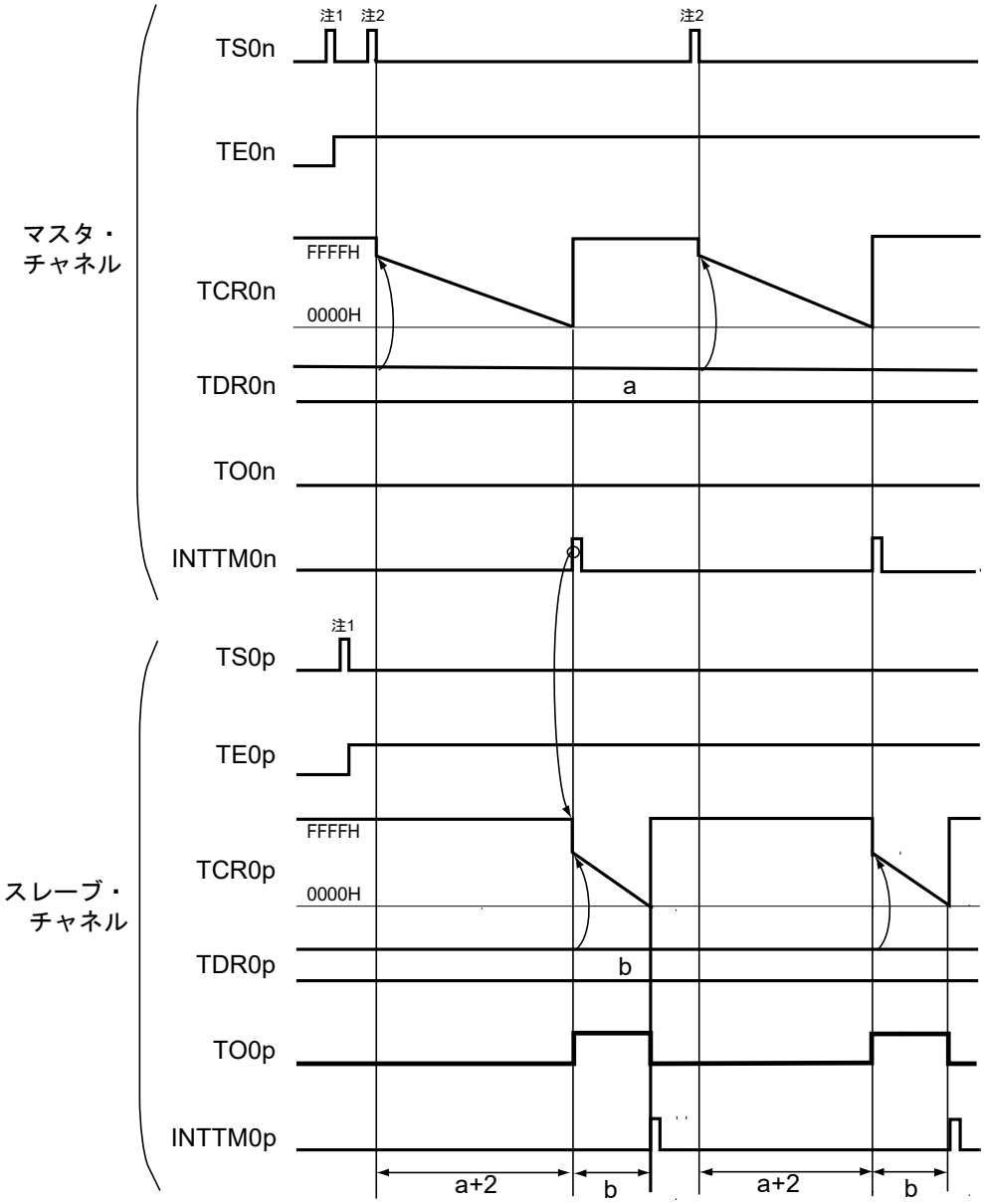
図6－60　ワンショット・パルス出力機能としての動作のブロック図



備考　n：マスタ・チャネル番号（n = 0, 2, 4）

p：スレーブ・チャネル番号（n＜p≦6）

図6－61　ワンショット・パルス出力機能としての動作の基本タイミング例



注 1.　TE0n = 0, TE0p = 0の状態でマスタ・チャネルのTS0nとスレーブ・チャネルのTS0pに同時に1をセットすることにより，TE0nとTE0pに1がセットされます。

2.　TE0n = 1, TE0p = 1の状態でマスタ・チャネルのTS0nに1をセットすることにより，ワンショット・パルス出力動作が開始します。
このときスレーブ・チャネルのTS0pは1にセットしないようご注意ください。

備考1.　n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号（p = 3, 5, 6 ただしn＜p≦6）

2.　TS0n, TS0p　：タイマ・チャネル開始レジスタ0（TS0）のビットn, p
TE0n, TE0p　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn, p
TCR0n, TCR0p　：タイマ・カウンタ・レジスタ0n, 0p（TCR0n, TCR0p）
TDR0n, TDR0p　：タイマ・データ・レジスタ0n, 0p（TDR0n, TDR0p）
TO0n, TO0p　：TO0n, TO0p端子出力信号

図6－62　ワンショット・パルス出力機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0n）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS0n1	CKS0n0		CCS0n	MASTER0n注	STS0n2	STS0n1	STS0n0	CIS0p1	CIS0p0			MD0n3	MD0n2	MD0n1	MD0n0
	1/0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	0

チャネルnの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効

スタート・トリガ選択
001B：TI0n入力の有効エッジを選択

MASTER0nビットの設定（チャネル2, 4）
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCK00を選択
10B：チャネルnの動作クロックにCK01を選択

（b）タイマ出力レジスタ0（TO0）

	ビットn
TO0	TO0n 0

0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn
TOE0	TOE0n 0

0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn
TOL0	TOL0n 0

0：TOM0n = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn
TOM0	TOM0n 0

0：マスタ・チャネル出力モードを設定

注　TMR02, TMR04の場合：　MASTER0n = 1
　　TMR00の場合：　0固定

備考　n：マスタ・チャネル番号（n = 0, 2, 4）

図6－63　ワンショット・パルス出力機能時（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタ0p（TMR0p）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0p	CKS0p1	CKS0p0		CCS0p	M/S注	STS0p2	STS0p1	STS0p0	CIS0p1	CIS0p0			MD0p3	MD0p2	MD0p1	MD0p0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0

チャネルpの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効

TI0p端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTM0nを選択

MASTER0pビットの設定（チャネル6）
0：スレーブ・チャネル
SPLIT0pビットの設定（チャネル3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルpの動作クロックにCK00を選択
10B：チャネルpの動作クロックにCK01を選択
※マスタ・チャネルと同一設定にする

（b）タイマ出力レジスタ0（TO0）

	ビットp	
TO0	TO0p 1/0	0：TO0pより0を出力する 1：TO0pより1を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットp	
TOE0	TOE0p 1/0	0：カウント動作によるTO0p出力動作停止 1：カウント動作によるTO0p出力動作許可

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットp	
TOL0	TOL0p 1/0	0：正論理出力（アクティブ・ハイ） 1：反転出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットp	
TOM0	TOM0p 1	1：スレーブ・チャネル出力モードを設定

注　TMR02, TMR04, TMR06の場合：MASTER0pビット
TMR01, TMR03の場合：SPLIT0pビット
TMR05の場合：0固定

備考　n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号（p = 3, 5, 6　ただしn＜p≦6）

図6－64　ワンショット・パルス出力機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する CK00とCK01のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに1を設定する 使用する2チャネルのタイマ・モード・レジスタ0n，0p（TMR0n, TMR0p）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタ0n（TDR0n）に出力遅延時間，スレーブ・チャネルのTDR0pレジスタにパルス幅を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタ0（TOM0）のTOM0pビットに1（スレーブ・チャネル出力モード）を設定する TOL0pビットを設定する TO0pビットを設定し，TO0p出力の初期レベルを確定する →	TO0p端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TO0p初期設定レベルが出力される。
	TOE0pビットに1を設定し，TO0pの動作を許可 →	チャネルは動作停止状態なので，TO0pは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TO0p端子はTO0p設定レベルを出力

備考　n：マスタ・チャネル番号（n = 0, 2, 4）　p：スレーブ・チャネル番号（p = 3, 5, 6 ただしn＜p≦6）

図6－64　ワンショット・パルス出力機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	TOE0p（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタ0（TS0）のTS0n（マスタ），TS0p（スレーブ）ビットに同時に1を設定する TS0n, TS0pビットはトリガ・ビットなので，自動的に0に戻る	TE0n = 1, TE0p = 1となり，マスタ・チャネルはスタート・トリガ検出（TI0n端子入力の有効エッジの検出，または，マスタ・チャネルのTS0nビットに1を設定）待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャネルのスタート・トリガを検出によって，マスタ・チャネルのカウント動作を開始します。 ・TI0n端子入力の有効エッジ検出 ・ソフトウェアでマスタ・チャネルのTS0nビットに1を設定注 注　スレーブ・チャネルのTS0nビットには1を設定しないでください	マスタ・チャネルがカウント動作開始
動作中	TMR0nレジスタは，CIS0n1, CIS0n0ビットのみ設定値変更可能 TMR0p，TDR0n，TDR0pレジスタ，TOM0n，TOM0p，TOL0n, TOL0pビットは，設定値変更禁止 TCR0n, TCR0pレジスタは，常に読み出し可能 TSR0n, TSR0pレジスタは，使用しない スレーブ・チャネルのTO0, TOE0レジスタは，設定値変更可能	マスタ・チャネルでは，スタート・トリガ検出（TI0n端子入力の有効エッジの検出または，マスタ・チャネルのTS0nビットに1を設定）により，タイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードし，ダウン・カウント動作を行う。 TCR0n = 0000HまでカウントしたらINTTM0n出力を発生し，次のスタート・トリガまでカウント動作を停止する。 スレーブ・チャネルでは，マスタ・チャネルのINTTM0nをトリガとして，TCR0pレジスタはTDR0pレジスタの値をロードし，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTM0n出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そしてTCR0p = 0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TT0n（マスタ），TT0p（スレーブ）ビットに同時に1を設定する TT0n, TT0pビットはトリガ・ビットなので，自動的に0に戻る	TE0n, TE0p = 0になり，カウント動作停止 TCR0n, TCR0pレジスタはカウント値を保持して停止 TO0p出力は初期化されず，状態保持
	スレーブ・チャネルのTOE0pビットに0を設定し，TO0pビットに値を設定する	TO0p端子はTO0p設定レベルを出力
TAU停止	TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TO0pビットに0を設定する	TO0p端子出力レベルはポート機能により保持される。
	TO0p端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TO0p端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TO0pビットが0になり，TO0p端子はポート機能となる）

動作再開

備考　n：マスタ・チャネル番号（n = 0, 2, 4）　p：スレーブ・チャネル番号（p = 3, 5, 6 ただしn＜p≦6）

6. 9. 2　PWM機能としての動作

2チャネルをセットで使用し，任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 ={TDR0n（マスタ）の設定値＋1}×カウント・クロック周期
デューティ [%] ={TDR0p（スレーブ）の設定値}／{TDR0n（マスタ）の設定値＋1}×100
0 %出力　　: TDR0p（スレーブ）の設定値 = 0000H
100 %出力　: TDR0p（スレーブ）の設定値≧{TDR0n（マスタ）の設定値＋1}

備考　TDR0p（スレーブの設定値）＞{TDR0n（マスタ）の設定値＋1}の場合は，デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルはインターバル・タイマ・モードとして動作させます。タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS0n）に1を設定すると，割り込み（INTTM0n）を出力して，タイマ・データ・レジスタ0n（TDR0n）に設定した値をタイマ・カウンタ・レジスタ0n（TCR0n）にロードし，カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで，INTTM0nを出力して，再びTDR0nレジスタからTCR0nレジスタに値をロードしてダウン・カウントを行います。以降，タイマ・チャネル停止レジスタ0（TT0）のチャネル・ストップ・トリガ・ビット（TT0n）に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では，マスタ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TO0p）の周期となります。

スレーブ・チャネルはワンカウント・モードとして動作させます。マスタ・チャネルからのINTTM0nをスタート・トリガとして，TDR0pレジスタからTCR0pレジスタに値をロードし，0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTM0pを出力して，次のスタート・トリガ（マスタ・チャネルからのINTTM0n）が来るまで待機します。

PWM機能としての動作では，スレーブ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TO0p）のデューティとなります。

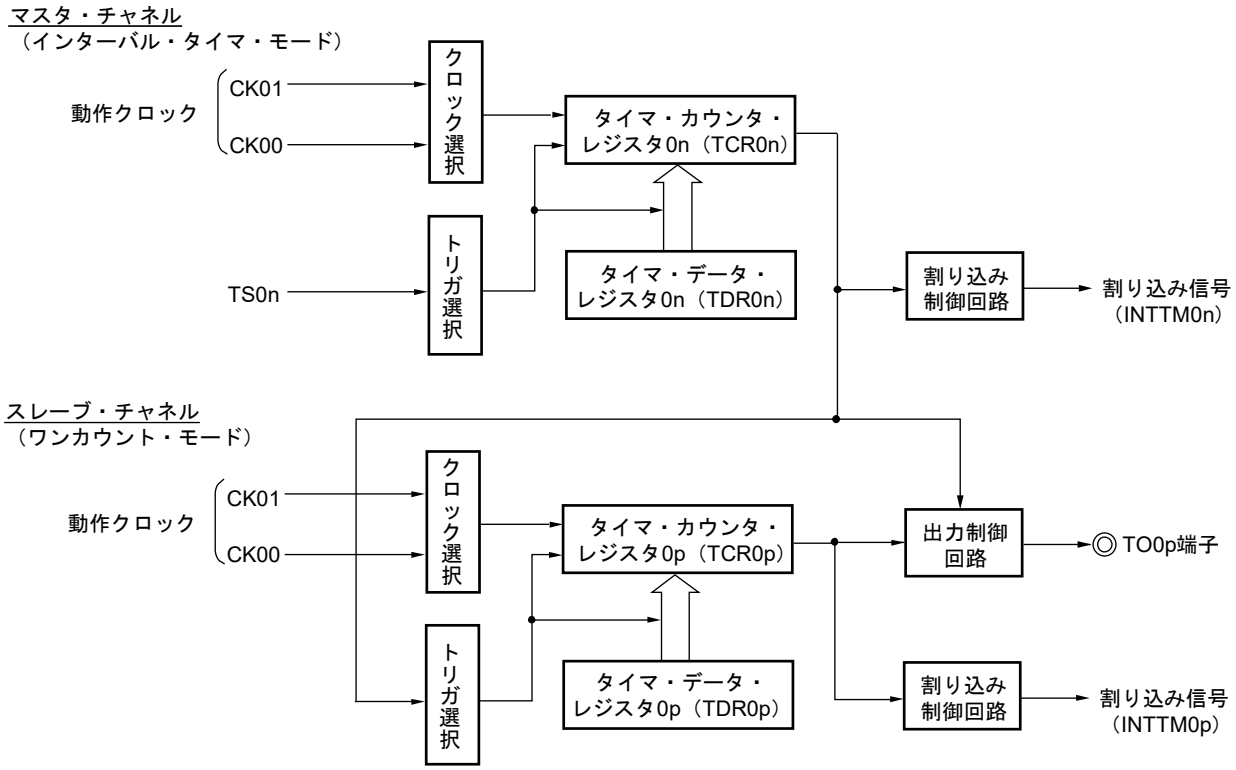
PWM出力（TO0p）は，マスタ・チャネルのINTTM0n発生から1クロック後にアクティブ・レベルとなり，スレーブ・チャネルのTCR0pレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意　マスタ・チャネルのタイマ・データ・レジスタ0n（TDR0n）とスレーブ・チャネルのTDR0pレジスタを両方とも書き換える場合，2回のライト・アクセスが必要となります。TCR0n，TCR0pレジスタにTDR0n，TDR0pレジスタの値がロードされるのは，マスタ・チャネルのINTTM0n発生時となります。そのため，書き換えがマスタ・チャネルのINTTM0n発生前と発生後に分かれて行われると，TO0p端子は期待通りの波形を出力できません。したがって，マスタのTDR0nレジスタとスレーブのTDR0pレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTM0n発生直後に両方のレジスタを書き換えてください。

備考　n：マスタ・チャネル番号（n = 0, 2, 4）

p：スレーブ・チャネル番号（p = 3, 5, 6　ただしn＜p≦6）

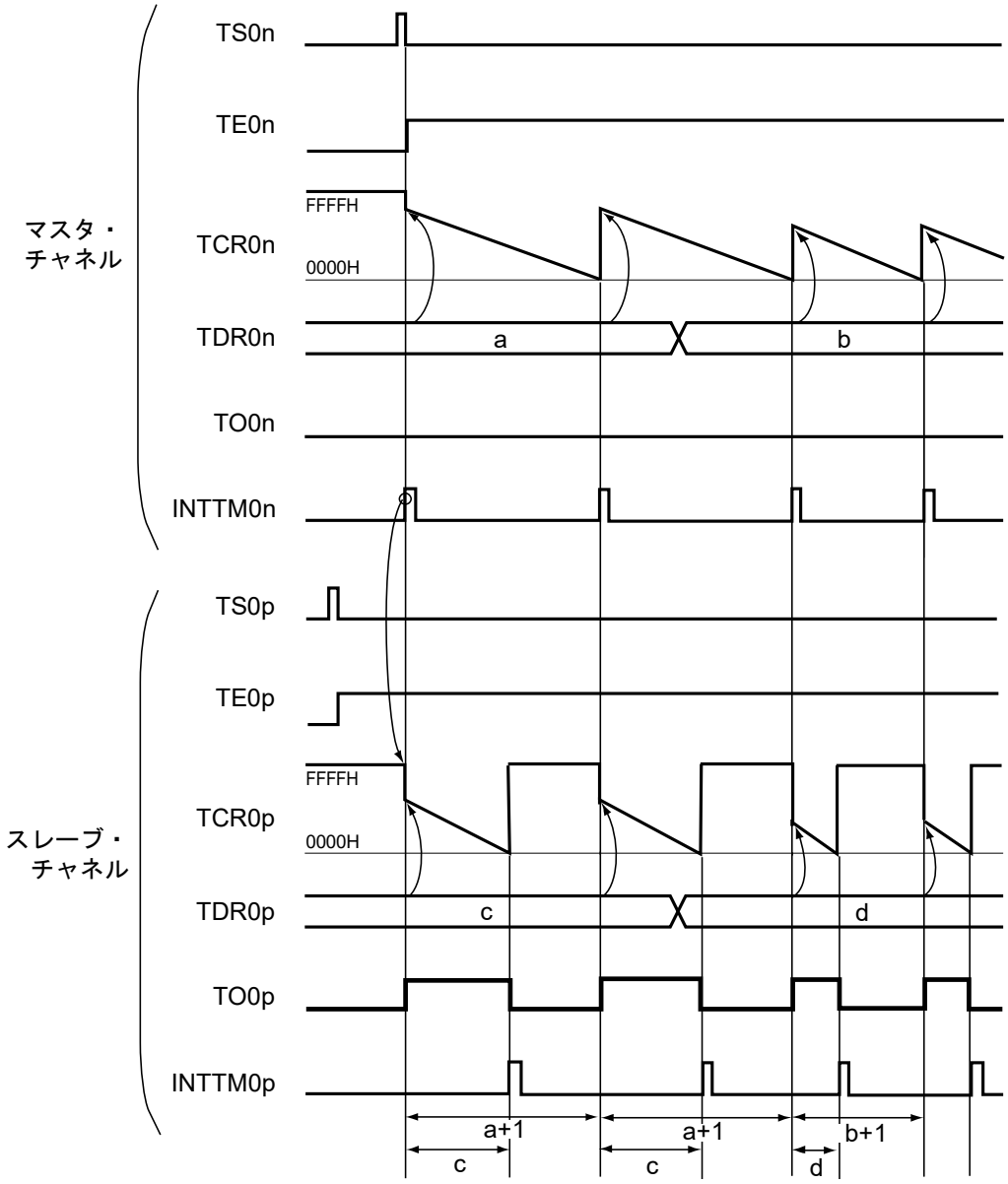
図6－65　PWM機能としての動作のブロック図



備考　n：マスタ・チャネル番号（n = 0, 2, 4）

p：スレーブ・チャネル番号（p = 3, 5, 6 ただしn＜p≦6）

図6－66　PWM機能としての動作の基本タイミング例



備考1.　n：マスタ・チャネル番号（n = 0, 2, 4）

p：スレーブ・チャネル番号（p = 3, 5, 6 ただしn＜p≦6）

2.　TS0n, TS0p　：タイマ・チャネル開始レジスタ0（TS0）のビットn, p

TE0n, TE0p　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn, p

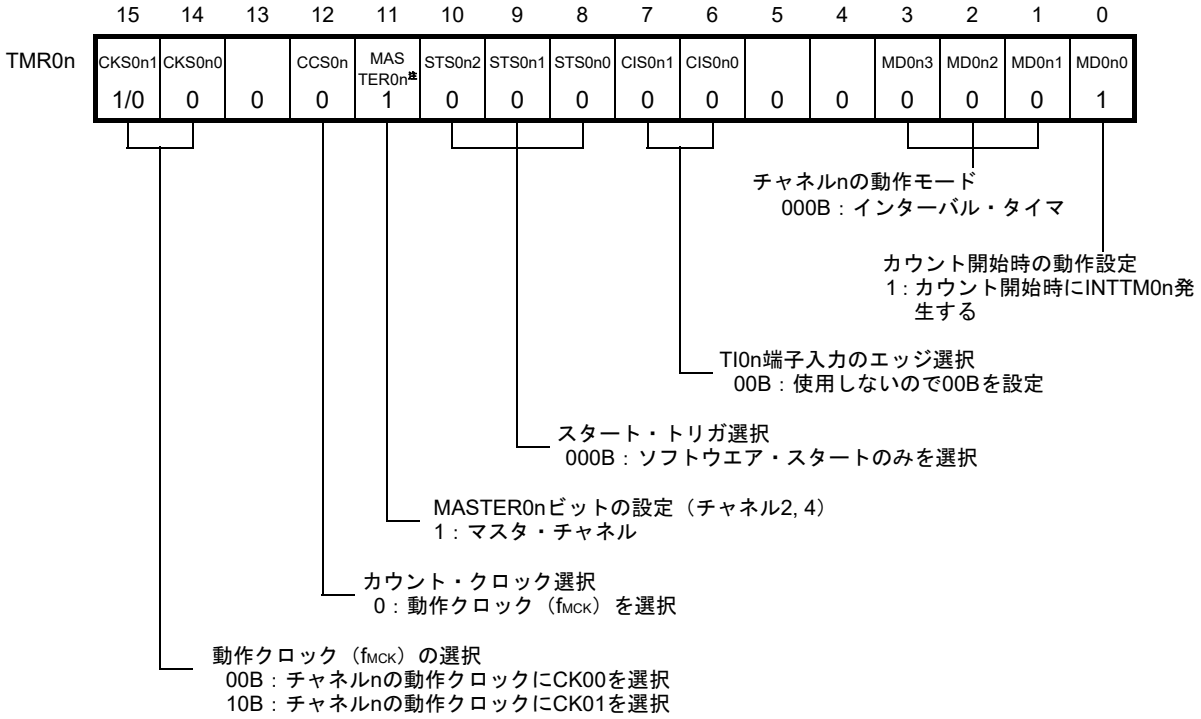
TCR0n, TCR0p　：タイマ・カウンタ・レジスタ0n, 0p（TCR0n, TCR0p）

TDR0n, TDR0p　：タイマ・データ・レジスタ0n, 0p（TDR0n, TDR0p）

TO0n, TO0p　：TO0n, TO0p端子出力信号

図6－67　PWM機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0n）



（b）タイマ出力レジスタ0（TO0）

	ビットn	
TO0	TO0n 0	0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn	
TOE0	TOE0n 0	0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn	
TOL0	TOL0n 0	0：TOM0n = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn	
TOM0	TOM0n 0	0：マスタ・チャネル出力モードを設定

注　TMR02, TMR04の場合：　MASTER0n = 1
TMR00の場合：　0固定

備考　n：マスタ・チャネル番号（n = 0, 2, 4）

図6－68　PWM機能時（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタ0p（TMR0p）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0p	CKS0p1	CKS0p0		CCS0p	M/S注	STS0p2	STS0p1	STS0p0	CIS0p1	CIS0p0			MD0p3	MD0p2	MD0p1	MD0p0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルpの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TI0p端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTM0nを選択

MASTER0pビットの設定（チャネル6）
0：スレーブ・チャネル
SPLIT0pビットの設定（チャネル3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルpの動作クロックにCK00を選択
10B：チャネルpの動作クロックにCK01を選択
※マスタ・チャネルと同一設定にする

（b）タイマ出力レジスタ0（TO0）

	ビットp
TO0	TO0p
	1/0

0：TO0pより0を出力
1：TO0pより1を出力

（c）タイマ出力許可レジスタ0（TOE0）

	ビットp
TOE0	TOE0p
	1/0

0：カウント動作によるTO0p出力動作停止
1：カウント動作によるTO0p出力動作許可

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットp
TOL0	TOL0p
	1/0

0：正論理出力（アクティブ・ハイ）
1：反転出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットp
TOM0	TOM0p
	1

1：スレーブ・チャネル出力モードを設定

注　TMR05の場合：0固定
TMR03の場合：SPLIT0pビット

備考　n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号（p = 3, 5, 6 ただしn＜p≦6）

図6－69　PWM機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する CK00とCK01のクロック周波数を確定する	
チャネル初期設定	使用する2チャネルのタイマ・モード・レジスタ0n，0p（TMR0n，TMR0p）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタ0n（TDR0n）にインターバル（周期）値，スレーブ・チャネルのTDR0pレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタ0（TOM0）のTOM0pビットに1（スレーブ・チャネル出力モード）を設定する TOL0pビットを設定する TO0pビットを設定し，TO0p出力の初期レベルを確定する →	TO0p端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TO0p初期設定レベルが出力される。
	TOE0pビットに1を設定し，TO0pの動作を許可 →	チャネルは動作停止状態なので，TO0pは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TO0p端子はTO0p設定レベルを出力

図6－69　PWM機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	TOE0p（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタ0（TS0）のTS0n（マスタ），TS0p（スレーブ）ビットに同時に1を設定する TS0n, TS0pビットはトリガ・ビットなので，自動的に0に戻る	TE0n = 1, TE0p = 1となる マスタ・チャネルがカウント動作開始し，INTTM0nを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
動作中	TMR0n，TMR0pレジスタ，TOM0n，TOM0p，TOL0n，TOL0pビットは，設定値変更禁止 TDR0n, TDR0pレジスタは，マスタ・チャネルのINTTM0n発生後に設定値変更可能 TCR0n, TCR0pレジスタは，常に読み出し可能 TSR0n, TSR0pレジスタは，使用しない TO0, TOE0レジスタは，設定値変更可能	マスタ・チャネルでは，タイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードし，ダウン・カウント動作を行う。TCR0n = 0000Hまでカウントしたら INTTM0nを発生する。同時に，TCR0nレジスタはTDR0nレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネルでは，マスタ・チャネルのINTTM0nをトリガとして，TCR0pレジスタはTDR0pレジスタの値をロードし，カウンタはダウン・カウント動作を行う。マスタ・チャネルのINTTM0n出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そしてTCR0p = 0000Hまでカウントしたら TO0p出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TT0n（マスタ），TT0p（スレーブ）ビットに同時に1を設定する TT0n, TT0pビットはトリガ・ビットなので，自動的に0に戻る	TE0n, TE0p = 0になり，カウント動作停止 TCR0n, TCR0pレジスタはカウント値を保持して停止 TO0p出力は初期化されず，状態保持
	スレーブ・チャネルのTOE0pビットに0を設定し，TO0pビットに値を設定する	TO0p端子はTO0p設定レベルを出力
TAU停止	TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TO0pビットに0を設定する	TO0p端子出力レベルはポート機能により保持される。
	TO0p端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TO0p端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TO0pビットが0になり，TO0p端子はポート機能となる）

動作再開

備考　n：マスタ・チャネル番号（n = 0, 2, 4）
　　p：スレーブ・チャネル番号（p = 3, 5, 6 ただしn＜p≦6）

6. 9. 3　多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャネルを複数使用することで，デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャネルを2個使う場合は，出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 = ｛TDR0n（マスタ）の設定値＋1｝×カウント・クロック周期
デューティ1 [%] = ｛TDR0p（スレーブ1）の設定値｝／｛TDR0n（マスタ）の設定値＋1｝×100
デューティ2 [%] = ｛TDR0q（スレーブ2）の設定値｝／｛TDR0n（マスタ）の設定値＋1｝×100

備考　TDR0p（スレーブ1）の設定値＞｛TDR0n（マスタ）の設定値＋1｝の場合
または TDR0q（スレーブ2）の設定値＞｛TDR0n（マスタ）の設定値＋1｝の場合は，
デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルのタイマ・カウンタ・レジスタ0n（TCR0n）は，インターバル・タイマ・モードで動作して，周期をカウントします。

スレーブ・チャネル1のTCR0pレジスタは，ワンカウント・モードで動作して，デューティをカウントし，TO0p端子よりPWM波形を出力します。TCR0pレジスタは，マスタ・チャネルのINTTM0nをスタート・トリガとして，タイマ・データ・レジスタ0p（TDR0p）の値をロードし，ダウン・カウントを行います。TCR0p = 0000Hとなったら，INTTM0pを出力し，次のスタート・トリガ（マスタ・チャネルのINTTM0n）が入力されるまでカウントを停止します。TO0pの出力レベルは，マスタ・チャネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCR0p = 0000Hとなったらインアクティブ・レベルとなります。

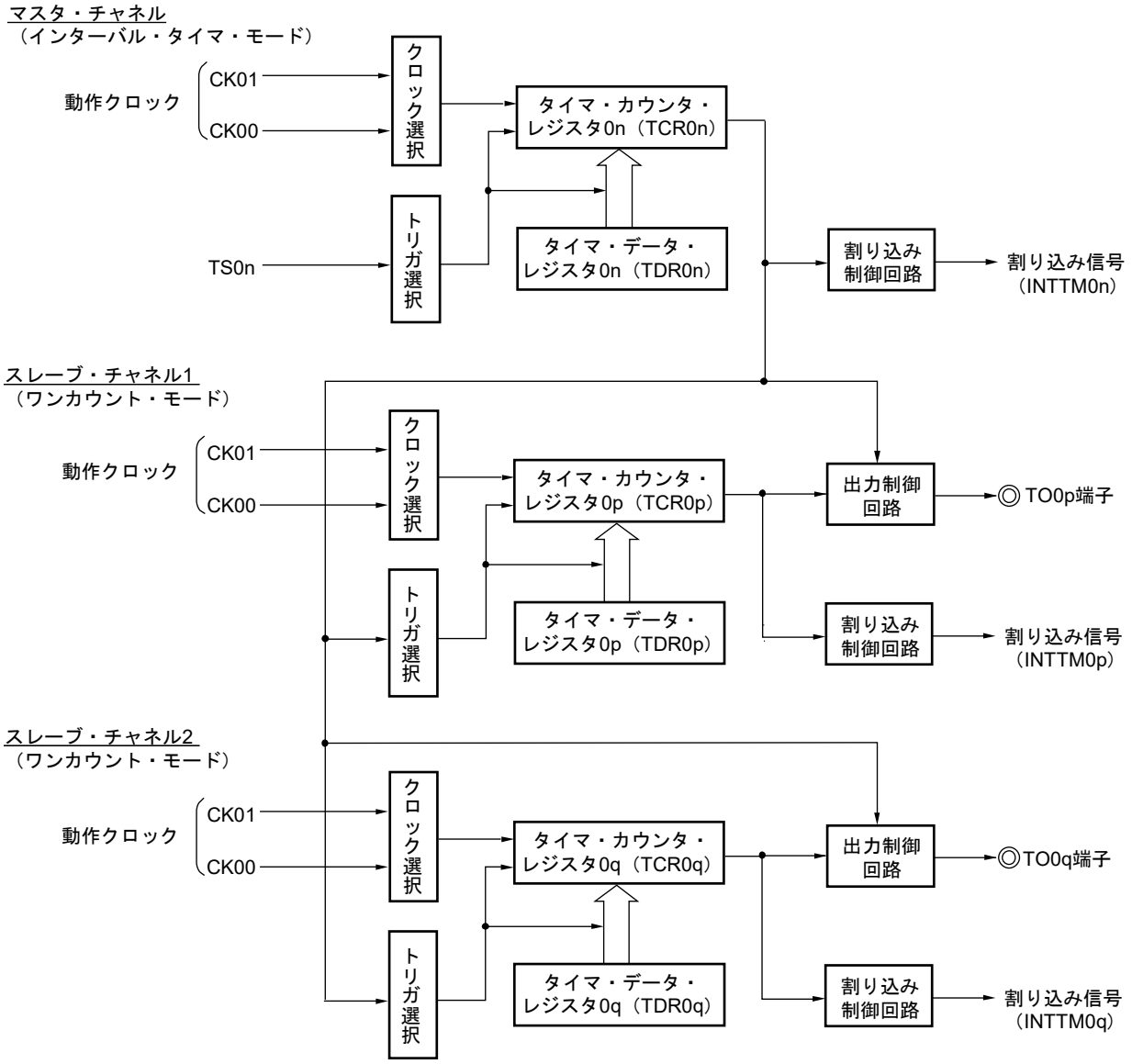
スレーブ・チャネル2のTCR0qレジスタも，スレーブ・チャネル1のTCR0pレジスタと同様に，ワンカウント・モードで動作して，デューティをカウントし，TO0q端子よりPWM波形を出力します。TCR0qレジスタは，マスタ・チャネルのINTTM0nをスタート・トリガとして，TDR0qレジスタの値をロードし，ダウン・カウントを行います。TCR0q = 0000Hとなったら，INTTM0qを出力し，次のスタート・トリガ（マスタ・チャネルのINTTM0n）が入力されるまでカウントを停止します。TO0qの出力レベルは，マスタ・チャネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCR0q = 0000Hとなったらインアクティブ・レベルとなります。

このようにして，チャネル0をマスタ・チャネルとした場合は，最大7種のPWMを同時に出力できます。

注意　マスタ・チャネルのタイマ・データ・レジスタ0n（TDR0n）とスレーブ・チャネル1のTDR0pレジスタを両方とも書き換える場合，最低2回のライト・アクセスが必要となります。TCR0n, TCR0pレジスタにTDR0n, TDR0pレジスタの値をロードするのは，マスタ・チャネルのINTTM0n発生後となるため，書き換えがマスタ・チャネルのINTTM0n発生前と発生後に分かれて行われると，TO0p端子は，期待通りの波形を出力できません。したがって，TDR0nレジスタとスレーブのTDR0pレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTM0n発生直後に両方のレジスタを書き換えてください。（スレーブ・チャネル2のTDR0qレジスタの場合も同様です。）

備考　n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号
q：スレーブ・チャネル番号（p, q = 3, 5, 6，ただしn＜p＜q≦6でp, qは，n以降の整数）

図6－70　多重PWM出力機能としての動作のブロック図（2種類のPWMを出力する場合）

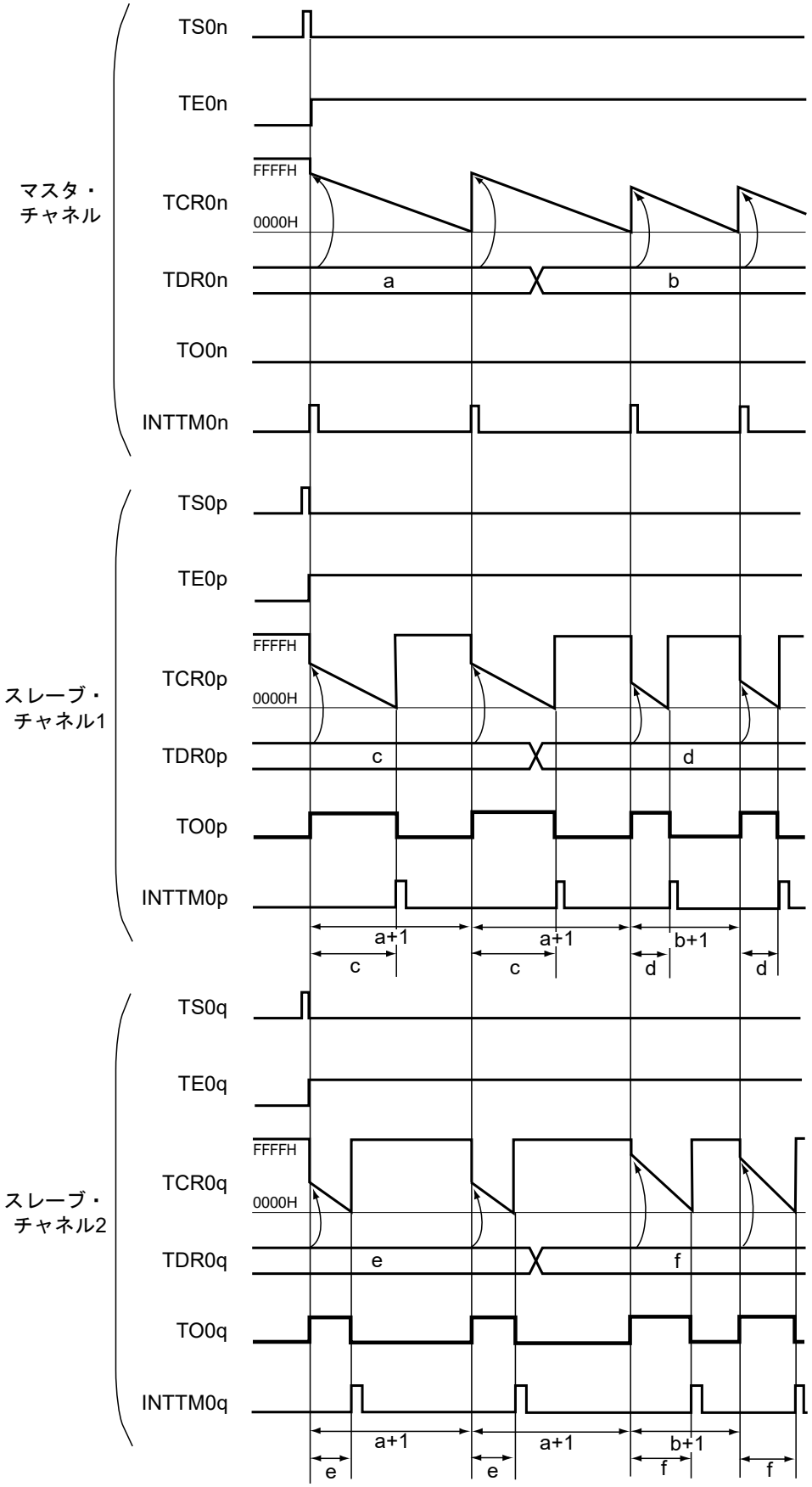


備考　n：マスタ・チャネル番号（n = 0, 2, 4）

p：スレーブ・チャネル番号

q：スレーブ・チャネル番号（p, q = 3, 5, 6，ただしn＜p＜q≦6でp, qは，n以降の整数）

図6－71　多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）



（備考は次ページにあります。）

備考1. n：マスタ・チャネル番号（n = 0, 2, 4）

p：スレーブ・チャネル番号

q：スレーブ・チャネル番号（p, q = 3, 5, 6，ただしn＜p＜q≦6でp, qは，n以降の整数）

2. TS0n, TS0p, TS0q　：タイマ・チャネル開始レジスタ0（TS0）のビットn, p, q

TE0n, TE0p, TE0q　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn, p, q

TCR0n, TCR0p, TCR0q　：タイマ・カウンタ・レジスタ0n, 0p, 0q（TCR0n, TCR0p, TCR0q）

TDR0n, TDR0p, TDR0q　：タイマ・データ・レジスタ0n, 0p, 0q（TDR0n, TDR0p, TDR0q）

TO0n, TO0p, TO0q　：TO0n, TO0p, TO0q端子出力信号

図6－72　多重PWM出力機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0n）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS0n1	CKS0n0		CCS0n	MASTER0n注	STS0n2	STS0n1	STS0n0	CIS0n1	CIS0n0			MD0n3	MD0n2	MD0n1	MD0n0
	1/0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1

チャネルnの動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
1：カウント開始時にINTTM0n発生する

TI0n端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

MASTER0nビットの設定（チャネル2, 4）
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCK00を選択
10B：チャネルnの動作クロックにCK01を選択

（b）タイマ出力レジスタ0（TO0）

	ビットn
TO0	TO0n 0

0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn
TOE0	TOE0n 0

0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn
TOL0	TOL0n 0

0：TOM0n = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn
TOM0	TOM0n 0

0：マスタ・チャネル出力モードを設定

注　TMR02, TMR04の場合：　MASTER0n = 1
TMR00の場合：　0固定

備考　n：マスタ・チャネル番号（n = 4）

図6－73　多重PWM機能時（スレーブ・チャネル）のレジスタ設定内容例（2種類のPWMを出力する場合）

（a）タイマ・モード・レジスタ0p, 0q（TMR0p, TMR0q）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0p	CKS0p1	CKS0p0		CCS0p	M/S注	STS0p2	STS0p1	STS0p0	CIS0p1	CIS0p0			MD0p3	MD0p2	MD0p1	MD0p0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1
TMR0q	CKS0q1	CKS0q0		CCS0q	M/S注	STS0q2	STS0q1	STS0q0	CIS0q1	CIS0q0			MD0q3	MD0q2	MD0q1	MD0q0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルp, qの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TI0p, TI0q端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTM0nを選択

MASTER0p, MASTER0qビットの設定（チャネル6）
0：スレーブ・チャネル
SPLIT0p, SPLIT0qビットの設定（チャネル3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルp, qの動作クロックにCK00を選択
10B：チャネルp, qの動作クロックにCK01を選択
※マスタ・チャネルと同一設定にする

（b）タイマ出力レジスタ0（TO0）

	ビットq	ビットp	
TO0	TO0q	TO0p	0：TO0p, TO0qより0を出力する
	1/0	1/0	1：TO0p, TO0qより1を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットq	ビットp	
TOE0	TOE0q	TOE0p	0：カウント動作によるTO0p, TO0q出力動作停止
	1/0	1/0	1：カウント動作によるTO0p, TO0q出力動作許可

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットq	ビットp	
TOL0	TOL0q	TOL0p	0：正論理出力（アクティブ・ハイ）
	1/0	1/0	1：反転出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットq	ビットp	
TOM0	TOM0q	TOM0p	1：スレーブ・チャネル出力モードを設定
	1	1	

注　TMR06の場合　：MASTER0p, MASTER0qビット
TMR03の場合　：SPLIT0p, SPLIT0qビット
TMR05の場合　：0固定

備考　n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号
q：スレーブ・チャネル番号（p, q = 3, 5, 6，ただしn＜p＜q≦6でp, qは，n以降の整数）

図6－74　多重PWM機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する CK00とCK01のクロック周波数を確定する	
チャネル初期設定	使用する各チャネルのタイマ・モード・レジスタ0n, 0p, 0q（TMR0n, TMR0p, TMR0q）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタ0n（TDR0n）にインターバル（周期）値，スレーブ・チャネルのTDR0p, TDR0qレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタ0（TOM0）のTOM0p, TOM0qビットに1（スレーブ・チャネル出力モード）を設定する TOL0p, TOL0qビットを設定する TO0p, TO0qビットを設定し，TO0p, TO0q出力の初期レベルを確定する → TOE0p, TOE0qビットに1を設定し，TO0p, TO0qの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	TO0p, TO0q端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TO0p, TO0q初期設定レベルが出力される。 チャネルは動作停止状態なので，TO0p, TO0qは変化しない TO0p, TO0q端子はTO0p, TO0q設定レベルを出力
動作開始	（動作再開時のみTOE0p, TOE0q（スレーブ）ビットに1を設定する） タイマ・チャネル開始レジスタ0（TS0）のTS0n（マスタ），TS0p, TS0q（スレーブ）ビットに同時に1を設定する → TS0n, TS0p, TS0qビットはトリガ・ビットなので，自動的に0に戻る	TE0n = 1, TE0p, TE0q = 1となる マスタ・チャネルがカウント動作開始し，INTTM0nを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。

動作再開（次ページへ）

図6－74　多重PWM機能時の操作手順（2種類のPWMを出力する場合）（2/2）

動作再開（前ページへ）

	ソフトウエア操作	ハードウエアの状態
動作中	TMR0n，TMR0p，TMR0qレジスタ，TOM0n，TOM0p，TOM0q, TOL0n, TOL0p, TOL0qビットは，設定値変更禁止 TDR0n，TDR0p，TDR0qレジスタは，マスタ・チャネルのINTTM0n発生後に設定値変更可能 TCR0n, TCR0p, TCR0qレジスタは，常に読み出し可能 TSR0n, TSR0p, TSR0qレジスタは，使用しない TO0, TOE0レジスタは，設定値変更可能	マスタ・チャネルでは，タイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードし，ダウン・カウント動作を行う。TCR0n ＝ 0000Hまでカウントしたら INTTM0nを発生する。同時に，TCR0nレジスタはTDR0nレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネル1では，マスタ・チャネルのINTTM0n信号をトリガとして，TDR0pレジスタ値をTCR0pレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTM0n出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TO0p出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 スレーブ・チャネル2では，マスタ・チャネルのINTTM0n信号をトリガとして，TDR0qレジスタ値をTCR0qレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTM0n出力から1カウント・クロック経過後にTO0q出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TO0q出力レベルをインアクティブ・レベルにして，カウント動作を停止する。以降，この動作を繰り返す。
動作停止	TT0n（マスタ），TT0p，TT0q（スレーブ）ビットに同時に1を設定する →	TE0n, TE0p, TE0q = 0になり，カウント動作停止 TCR0n，TCR0p，TCR0qレジスタはカウント値を保持して停止 TO0p, TO0q出力は初期化されず，状態保持
	TT0n, TT0p, TT0qビットはトリガ・ビットなので，自動的に0に戻る	
	スレーブ・チャネルのTOE0p，TOE0qビットに0を設定し，TO0p, TO0qビットに値を設定する →	TO0p, TO0q端子はTO0p, TO0q設定レベルを出力
TAU停止	TO0p, TO0q端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TO0p，TO0qビットに0を設定する →	TO0p, TO0q端子出力レベルはポート機能により保持される。
	TO0p, TO0q端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える →	TO0p, TO0q端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TO0p, TO0qビットが0になり，TO0p, TO0q端子はポート機能となる）

備考　n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号
q：スレーブ・チャネル番号（p, q = 3, 5, 6，ただしn＜p＜q≦6でp, qは，n以降の整数）

6. 10　タイマ・アレイ・ユニット使用時の注意事項

6. 10. 1　タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられている事があります。このような場合にタイマ出力を使用するには，他方の兼用機能の出力を初期状態にする必要があります。

詳細は，4. 5　兼用機能使用時のレジスタ設定を参照してください。

第7章　16ビット・タイマKB0, KB1, KB2

16ビット・タイマKB0, KB1, KB2は電源や照明制御に適したPWM出力を生成可能なタイマです。

16ビット・タイマのチャネル数は，製品によって異なります。

	20ピン	30ピン	38ピン
16ビット・タイマKB0	○	○	○
16ビット・タイマKB1	○	○	○
16ビット・タイマKB2	－	○	○

注意 1.　この章では，以降の主な説明を38ピン製品の場合で説明しています。

2.　20ピン製品では16ビット・タイマKB2が外部端子として出力されません。

7. 1　16ビット・タイマKB0, KB1, KB2の機能

16ビット・タイマKB0, KB1, KB2は，それぞれ2つの出力を持つPWM出力専用のタイマで，最大6出力のPWM出力を生成することができます。また，ハーフブリッジ回路（2出力）やフルブリッジ回路（4出力），3相インバータ回路（6出力）を制御する相補PWM出力を生成することができます。さらに，コンパレータやINTP20, INTP21と連動してPWM出力の緊急停止を実現することができます。

16ビット・タイマKB0, KB1, KB2には，次のような機能があります。

（1）PWM出力

・PWM出力のデューティおよび周期は，タイマ動作中に変更することができます。

・タイマ停止中のデフォルト・レベルとタイマ動作中のアクティブ・レベルをそれぞれハイ・レベルまたはロウ･レベルに設定することができます。

（2）A/D変換スタート・タイミング信号出力機能

コンペア・レジスタTKBTGCRnを使用して，A/D変換スタート・タイミング信号を出力することができます。本機能により，16ビット・タイマKBnとA/D変換スタート・タイミングを同期することができます。

（3）同時スタート／ストップ・モード

16ビット・タイマKB0をマスタ，16ビット・タイマKB1やKB2をスレーブとすることで，タイマKB0のカウント開始／停止タイミングと同期してスレーブの16ビット・タイマKB1やKB2を同時にスタート＆ストップさせることが可能です。

（4）同期スタート／クリア・モード

16ビット・タイマKB0をマスタ，16ビット・タイマKB1やKB2をスレーブとすることで，マスタとスレーブのタイマ・カウント周期を同期させることが可能です。本モードにより，例えば相補PWM出力を生成することができます。

（5）PWM出力ゲート機能（16ビット・タイマKC0と連動）

16ビット・タイマKC0出力（TKCO00-TKCO05出力）により，最大6本の16ビット・タイマKBn出力をゲート制御することができます。

（6）タイマ・リスタート機能（コンパレータ，INTPと連動）

トリガ要因（コンパレータ1～3出力，INTP20, INTP21）の発生により，CPUを介さずにタイマ出力をリスタートすることができます。本機能を使用することにより，例えば臨界導通モードのPFC制御が実現可能です。

（7）強制出力停止機能1（コンパレータと連動）

トリガ要因（コンパレータ0～5出力）の発生により，CPUを介さずに16ビット・タイマKBn, KC0回路の動作クロックf_{KBKC}と非同期でタイマ出力をHi-Z，ハイ／ロウ・レベル固定状態にすることができます。強制出力停止機能1のストップ・トリガの設定により，16ビット・タイマKBn, KC0回路の動作クロックf_{KBKC}と同期して強制出力停止状態は解除されます。

（8）強制出力停止機能2（コンパレータ，INTPと連動）

トリガ要因（コンパレータ0～5出力，INTP20）の発生により，CPUを介さずに16ビット・タイマKBn, KC0回路の動作クロックf_{KBKC}と非同期でタイマ出力をハイ／ロウ・レベル固定状態にすることができます。トリガ要因発生後の次のカウンタの周期開始，またはトリガ要因信号がインアクティブになった次のカウンタ周期開始のタイミングで強制出力停止状態は解除されます。

（9）PWM出力ディザリング機能

16周期毎に設定デューティ+1の波形を0～15回の範囲で出力させることができます。本機能を使用することにより，タイマKBn 16周期間の平均分解能として，カウント・クロックの16倍に向上したPWMを出力することができます。

（10）PWM出力ソフト・スタート機能

PWM出力スタート後に設定デューティまで自動的にデューティを増加させるソフト・スタートが実現できます。

初期デューティおよびデューティ＋1増加周期を設定可能です。

（11）最大周波数リミット機能

タイマ・リスタート機能使用時に，設定した最大周波数より早いタイミングでトリガが発生した場合に，設定した最大周波数までリスタートを保留することができます。

（12）インターリーブPFC出力モード

タイマ・リスタート機能時に，外部要因により2つの出力を自動で交互にリスタート出力することができます。臨界導通モードのインターリーブPFC制御が実現可能です。

備考　臨界導通モードとは，インダクタ電流がゼロになることを検出してスイッチングFETをオンにするPFC制御の方式です。

7.2　16ビット・タイマKB0, KB1, KB2の構成

16ビット・タイマKB0, KB1, KB2は，次のハードウエアで構成されています。

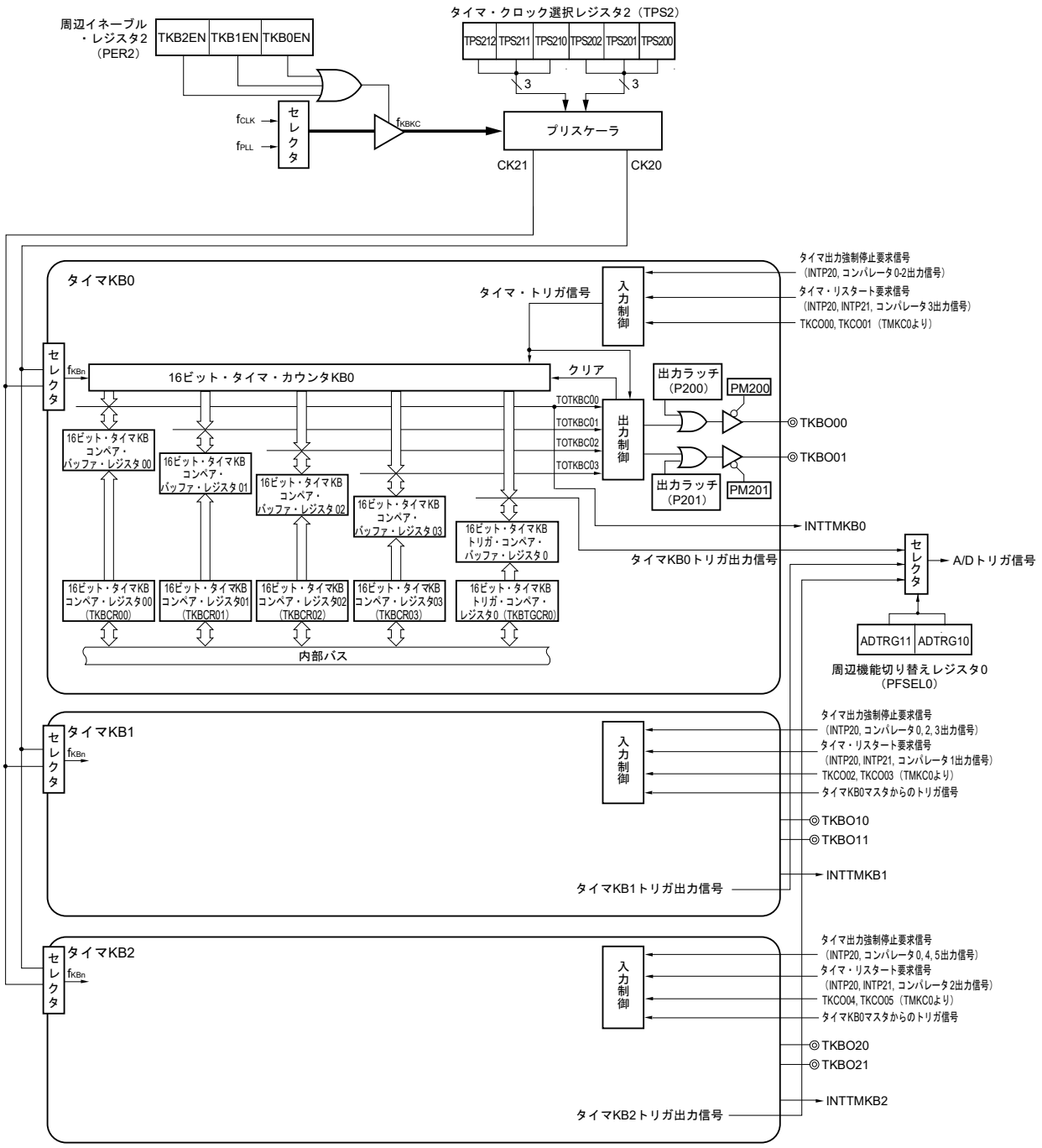
表7－1　16ビット・タイマKB0, KB1, KB2の構成

項　　目	構　　成
タイマ／カウンタ	16ビット・タイマ・カウンタKBn（TKBCNTn）
レジスタ	16ビット・タイマKBコンペア・レジスタn0-n3（TKBCRn0-TKBCRn3） 16ビット・タイマKBトリガ・コンペア・レジスタn（TKBTGCRn）
タイマ出力	TKBOn0，TKBOn1
制御レジスタ	周辺イネーブル・レジスタ2（PER2） タイマ・クロック選択レジスタ2（TPS2） 16ビット・タイマKB動作制御レジスタn0（TKBCTLn0） 16ビット・タイマKB動作制御レジスタn1（TKBCTLn1） 16ビット・タイマKB出力制御レジスタn0（TKBIOCn0） 16ビット・タイマKB出力制御レジスタn1（TKBIOCn1） 16ビット・タイマKBフラグ・レジスタn（TKBFLGn） 16ビット・タイマKBトリガ・レジスタn（TKBTRGn） 16ビット・タイマKBクリア・トリガ・レジスタn（TKBCLRn） 16ビット・タイマKBディザリング数レジスタn0, n1（TKBDNRn0, TKBDNRn1） 16ビット・タイマKBコンペア1L＆ディザリング数レジスタn0（TKBCRLDn0） 16ビット・タイマKBコンペア3L＆ディザリング数レジスタn1（TKBCRLDn1） 16ビット・タイマKBソフト・スタート・初期デューティ・レジスタn0, n1 （TKBSIRn0, TKBSIRn1） 16ビット・タイマKBソフト・スタート・ステップ幅レジスタn0, n1（TKBSSRn0, TKBSSRn1） 16ビット・タイマKB最大周波数リミット設定レジスタn（TKBMFRn） 周辺機能切り替えレジスタ0（PFSEL0） ポート・モード・レジスタ20（PM20） ポート・レジスタ20（P20）

備考　n = 0-2

図7－1にブロック図を示します。

図7－1 16ビット・タイマKBnのブロック図



備考 1. f_{KBKC} ：16ビット・タイマKBn, KC0回路全体の動作クロック

f_{KBn} ：16ビット・タイマKBnのカウント・クロック

2. n = 0-2

7. 2. 1　16ビット・タイマKBコンペア・レジスタn0-n3（TKBCRn0-TKBCRn3）

TKBCRnmは，タイマ・カウント中（TKBCEn = 1）にリフレッシュ（同値書き込み）および値の書き換えが可能です。タイマ動作中にTKBCRnmの値を書き換える場合，その値はラッチされ，下記のタイミングでTKBCRnmに転送され，TKBCRnmの値が変更されます。

・カウンタのカウント動作開始時（TKBCEn =0）

・一斉書き換えのトリガ発生時（TKBRDTn =1 または 外部トリガ（TKBTSEn = 1のとき））

16ビット単位でリード／ライト可能です。

リセット信号の発生により，0000Hになります。

図7－2　16ビット・タイマKBコンペア・レジスタnm（TKBCRnm）のフォーマット

アドレス：F0600H（TKBCR00），F0602H（TKBCR01），F0604H（TKBCR02），F0606H（TKBCR03），
F0640H（TKBCR10），F0642H（TKBCR11），F0644H（TKBCR12），F0646H（TKBCR13），
F0680H（TKBCR20），F0682H（TKBCR21），F0684H（TKBCR22），F0686H（TKBCR23）

リセット時：0000H　R/W

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBCRnm																

備考　n = 0-2, m = 0-3

7. 2. 2　16ビット・タイマKBトリガ・コンペア・レジスタn（TKBTGCRn）

TKBTGCRnは，タイマ・カウント中（TKBCEn = 1）にリフレッシュ（同値書き込み）および値の書き換えが可能です。タイマ動作中にTKBTGCRnの値を書き換える場合，その値はラッチされ，下記のタイミングでTKBTGCRnに転送され，TKBTGCRnの値が変更されます。

・カウンタのカウント動作開始時（TKBCEn =0）

・一斉書き換えのトリガ発生時（TKBRDTn =1 または 外部トリガ（TKBTSEn = 1のとき））

本レジスタによる周期信号をA/D変換のハードウエア・トリガとして使用可能です。

16ビット単位でリード／ライト可能です。

リセット信号の発生により，0000Hになります。

図7－3　16ビット・タイマKBトリガ・コンペア・レジスタn（TKBTGCRn）のフォーマット

アドレス：F0608H（TKBTGCR0），F0648H（TKBTGCR1），F0688H（TKBTGCR2）　リセット時：0000H　R/W

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBTGCRn																

備考　n = 0-2

7. 3　16ビット・タイマKB0, KB1, KB2を制御するレジスタ

16ビット・タイマKB0, KB1, KB2を制御するレジスタを次に示します。

・周辺イネーブル・レジスタ2（PER2）
・タイマ・クロック選択レジスタ2（TPS2）
・16ビット・タイマKB動作制御レジスタn0, n1（TKBCTLn0, TKBCTLn1）
・16ビット・タイマKB出力制御レジスタn0, n1（TKBIOCn0, TKBIOCn1）
・16ビット・タイマKBフラグ・レジスタn（TKBFLGn）
・16ビット・タイマKBトリガ・レジスタn（TKBTRGn）
・16ビット・タイマKBクリア・トリガ・レジスタn（TKBCLRn）
・16ビット・タイマKBディザリング数レジスタn0, n1（TKBDNRn0, TKBDNRn1）
・16ビット・タイマKBコンペア1L＆ディザリング数レジスタn0（TKBCRLDn0）
・16ビット・タイマKBコンペア3L＆ディザリング数レジスタn1（TKBCRLDn1）
・16ビット・タイマKBソフト・スタート・初期デューティ・レジスタn0, n1（TKBSIRn0, TKBSIRn1）
・16ビット・タイマKBソフト・スタート・ステップ幅レジスタn0, n1（TKBSSRn0, TKBSSRn1）
・16ビット・タイマKB最大周波数リミット設定レジスタn（TKBMFRn）
・周辺機能切り替えレジスタ0（PFSEL0）
・ポート・モード・レジスタ20（PM20）
・ポート・レジスタ20（P20）

7. 3. 1　周辺イネーブル・レジスタ2（PER2）

PER2レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマKB0, KB1, KB2を使用する場合は，必ずビット2-0（TKB2EN-TKB0EN）を1に設定してください。

PER2レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER2レジスタは00Hになります。

図7－4　周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F0509H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER2	PGACMPEN	TKBPA2EN	TKBPA1EN	TKBPA0EN	TKC0EN	TKB2EN	TKB1EN	TKB0EN

TKBnEN	タイマKBnの入力クロックの制御
0	入力クロック供給停止 ・タイマKBnで使用するSFRへのライト不可 ・タイマKBnはリセット状態
1	入力クロック供給 ・タイマKBnで使用するSFRへのリード／ライト可

注意　タイマKBnの設定をする際には，必ず最初にTKBnEN = 1の設定を行ってください。TKBnEN = 0の場合は，タイマKBnの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（タイマ・クロック選択レジスタ2（TPS2），周辺機能切り替えレジスタ0（PFSEL0），ポート・モード・レジスタ20（PM20），ポート・レジスタ20（P20）は除く）。

7. 3. 2　タイマ・クロック選択レジスタ2（TPS2）

TPS2レジスタは，外部プリスケーラからタイマKB0, KB1, KB2, KC0に共通して供給される2種類の動作クロック（CK20，CK21）を選択する16ビット・レジスタです。TPS2レジスタのビット6-4でCK21を，ビット2-0でCK20を選択します。

タイマ動作中のTPS2レジスタの書き換えは，次の場合のみ可能です。

TPS200-TPS202ビットが書き換え可能な場合（n = 0-2）：

動作クロックにCK20を選択（TKBCKSn = 0，TKCCKS0 = 0）しているタイマがすべて停止状態（TKBCEn = 0, TKCCE0 = 0）

TPS210-TPS212ビットが書き換え可能な場合（n = 0-2）：

動作クロックにCK21を選択（TKBCKSn = 1，TKCCKS0 = 1）しているタイマがすべて停止状態（TKBCEn = 0, TKCCE0 = 0）

TPS2レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPS2レジスタは00Hになります。

図7－5　タイマ・クロック選択レジスタ2（TPS2）のフォーマット

アドレス：F05C5H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TPS2	0	TPS 212	TPS 211	TPS 210	0	TPS 202	TPS 201	TPS 200

TPS 2k2	TPS 2k1	TPS 2k0	動作クロック（CK2k）の選択[注1, 2]（k = 0, 1）					
				f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz	f_{PLL} = 64 MHz
0	0	0	f_{CLK}, f_{PLL}	2 MHz	5 MHz	20 MHz	32 MHz	64 MHz
0	0	1	$f_{CLK}/2$, $f_{PLL}/2$	1 MHz	2.5 MHz	10 MHz	16 MHz	32 MHz
0	1	0	$f_{CLK}/2^2$, $f_{PLL}/2^2$	500 kHz	1.25 MHz	5 MHz	8 MHz	16 MHz
0	1	1	$f_{CLK}/2^3$, $f_{PLL}/2^3$	250 kHz	625 kHz	2.5 MHz	4 MHz	8 MHz
1	0	0	$f_{CLK}/2^4$, $f_{PLL}/2^4$	125 kHz	312.5 kHz	1.25 MHz	2 MHz	4 MHz
1	0	1	$f_{CLK}/2^5$, $f_{PLL}/2^5$	62.5 kHz	156.2 kHz	625 kHz	1 MHz	2 MHz
1	1	0	設定禁止	－	－	－	－	－
1	1	1	設定禁止	－	－	－	－	－

注1.　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマKB0, KB1, KB2, KC0を停止（TKBCEn = 0, TKCCE0 = 0）させてください。

2.　PLLコントロール・レジスタ（PLLCTL）のPLLON = 1のときは，f_{PLL}が供給されます。

注意　ビット7, 3には，必ず0を設定してください。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

f_{PLL}：PLL出力クロック

7. 3. 3　16ビット・タイマKB動作制御レジスタn0（TKBCTLn0）

TKBCTLn0は，出力ゲート機能，ソフト・スタート機能，ディザリング機能，最大周波数リミット機能，インターリーブPFC出力モード，外部トリガによるコンペア・レジスター斉書き換え機能，タイマ・リスタート・トリガの設定をするレジスタです。

TKBCTLn0は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－6　16ビット・タイマKB動作制御レジスタn0（TKBCTLn0）のフォーマット（1/2）

アドレス：F0622H (TKBCTL00), F0662H (TKBCTL10), F06A2H (TKBCTL20)　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
TKBCTLn0	0	TKBGTEn1	TKBSSEn1	TKBDIEn1	0	TKBGTEn0	TKBSSEn0	TKBDIEn0
	7	6	5	4	3	2	1	0
	TKBMFEn	0	TKBIRSn1	TKBIRSn0	0	TKBTSEn	TKBSTSn1	TKBSTSn0

TKBGTEnp	タイマKC0出力によるTKBOnpのPWM出力ゲート機能の制御
0	PWM出力ゲート機能を使用しない
1	PWM出力ゲート機能を使用する

TKBSSEnp	TKBOnpのPWM出力ソフト・スタート機能の制御
0	PWM出力ソフト・スタート機能を使用しない
1	PWM出力ソフト・スタート機能を使用する

TKBDIEnp	TKBOnpのPWM出力ディザリング機能の制御
0	PWM出力ディザリング機能を使用しない
1	PWM出力ディザリング機能を使用する

TKBMFEn	TKBOn0, TKBOn1の最大周波数リミット機能の制御
0	最大周波数リミット機能を使用しない
1	最大周波数リミット機能を使用する

TKBIRSn1	TKBIRSn0	インターリーブPFC出力モードにおけるTKBOn1即時出力する INTP21入力受付範囲設定
0	0	T/2～T/2＋T/64
0	1	T/2～T/2＋T/32
1	0	T/2～T/2＋T/16
1	1	T/2～T/2＋T/8

TKBTSEn	外部トリガによるコンペア・レジスター斉書き換え機能の制御
0	外部トリガによるコンペア・レジスター斉書き換え機能を使用しない
1	外部トリガによるコンペア・レジスター斉書き換え機能を使用する

備考 1.　n = 0-2,　p = 0, 1

2.　Tは直前のリスタート周期

図7－6　16ビット・タイマKB動作制御レジスタn0（TKBCTLn0）のフォーマット（2/2）

TKBSTSn1	TKBSTSn0	タイマKBnのリスタート・トリガの選択
0	0	トリガ入力を使用しない
0	1	外部割り込み信号（INTP20）
1	0	外部割り込み信号（INTP21）
1	1	n = 0のとき：　コンパレータ3検出信号 n = 1のとき：　コンパレータ1検出信号 n = 2のとき：　コンパレータ2検出信号

注意1.　タイマ動作中に，TKBCTLn0レジスタを書き換えないでください。ただし，TKBCTLn0レジスタにリフレッシュ（同値書き込み）することは可能です。

2.　ビット15, 11, 6, 3には必ず0を設定してください。

3.　TKBOnpのPWM出力ゲート機能を使用する場合は，TKCIOC01レジスタの対応するビット5-0（TKCTOE05-TKCTOE00）を1に設定（TKCO05-TKCO00出力を許可）してください。

4.　INTP20/INTP21の設定は第14章　コンパレータを参照してください。

備考　n = 0-2, p = 0, 1

7. 3. 4　16ビット・タイマKB動作制御レジスタn1（TKBCTLn1）

TKBCTLn1は，16ビット・タイマの動作の制御とカウント･クロックの設定をするレジスタです。

TKBCTLn1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－7　16ビット・タイマKB動作制御レジスタn1（TKBCTLn1）のフォーマット

アドレス：F0629H (TKBCTL01), F0669H (TKBCTL11), F06A9H (TKBCTL21)　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TKBCTL01	TKBCE0	0	0	TKBCKS0	TKBSCM0	0	TKBMD01	TKBMD00

略号	7	6	5	4	3	2	1	0
TKBCTLm1	TKBCEm	0	0	TKBCKSm	0	0	TKBMDm1	TKBMDm0

（m = 1, 2）

TKBCEn	タイマKBnの動作制御
0	タイマ動作停止（カウンタはFFFF）
1	タイマ動作許可

TKBCKS0	タイマKB0のクロック選択
0	TPS202-TPS200ビットで選択したCK20クロック
1	TPS212-TPS210ビットで選択したCK21クロック

TKBSCMn	タイマKB0のスタート動作制御
0	TKBCKSnビットで選択したクロックで動作
1	カウント動作開始タイミングだけは，CK20クロックとCK21クロックの一致でスタート。動作開始後は，TKBCKSnビットで選択したクロックで動作。 **注意　TKBSCMnビットでスレーブに同時スタート・モードを設定することで，そのスレーブとマスタのスタート・タイミングを一致させることが可能です。**

TKBMDn1	TKBMDn0	タイマKBnの動作モードの選択
0	0	単体動作モード（マスタ使用）
0	1	同時スタート／ストップ・モード（スレーブ使用）
1	0	同期スタート／クリア・モード（スレーブ使用）
1	1	インターリーブPFC出力モード

注意1.　タイマ動作中に，TKBCTLn1レジスタを書き換えないでください。ただし，TKBCTLn1レジスタにリフレッシュ（同値書き込み）することは可能です。

2.　TKBCTL01は，ビット6, 5, 2に必ず0を設定してください。

3.　TKBCTLm1は，ビット6, 5, 3, 2に必ず0を設定してください。

備考　n = 0-2, m = 1, 2

7. 3. 5　16ビット・タイマKB出力制御レジスタn0（TKBIOCn0）

TKBIOCn0は，16ビット・タイマKBn出力（TKBOnp）のデフォルト・レベル／アクティブ・レベルを設定するレジスタです。

TKBIOCn0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－8　16ビット・タイマKB出力制御レジスタn0（TKBIOCn0）のフォーマット

アドレス：F0626H (TKBIOC00), F0666H (TKBIOC10), F06A6H (TKBIOC20)　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TKBIOCn0	0	0	0	0	TKBTOLn1	TKBTOLn0	TKBTODn1	TKBTODn0

TKBTOLnp	タイマ出力TKBOnpのアクティブ・レベル設定
0	ハイ・レベル
1	ロウ・レベル

TKBTODnp	タイマ出力TKBOnpのデフォルト・レベル設定
0	ロウ・レベル
1	ハイ・レベル

注意1.　タイマ動作中に，TKBIOCn0レジスタを書き換えないでください。ただし，TKBIOCn0レジスタにリフレッシュ（同値書き込み）することは可能です。

2.　ビット7-4には必ず0を設定してください。

3.　実際のTKBOnp端子の出力は，TKBOnp出力のほかに，兼用ポートのポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）によって決まります。

備考　n = 0-2,　p = 0, 1

7. 3. 6　16ビット・タイマKB出力制御レジスタn1（TKBIOCn1）

TKBIOCn1は，16ビット・タイマKBn出力（TKBOnp）の出力禁止／許可を制御するレジスタです。

TKBIOCn1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－9　16ビット・タイマKB出力制御レジスタn1（TKBIOCn1）のフォーマット

アドレス：F0628H (TKBIOC01), F0668H (TKBIOC11), F06A8H (TKBIOC21),　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TKBIOCn1	0	0	0	0	0	0	TKBTOEn1	TKBTOEn0

TKBTOEnp	タイマ出力TKBOnpの出力許可／禁止
0	タイマ出力禁止（TKBTODnp = 0の場合，ロウ・レベル出力。TKBTODnp = 1の場合，ハイ・レベル出力）
1	タイマ出力許可

注意1.　タイマ動作中に，TKBIOCn1レジスタを書き換え可能です。

2.　ビット7-2には必ず0を設定してください。

3.　実際のTKBOnp端子の出力は，TKBOnp出力のほかに，兼用ポートのポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）によって決まります。

備考　n = 0-2,　p = 0, 1

7.3.7　16ビット・タイマKBフラグ・レジスタn（TKBFLGn）

TKBFLGnは，16ビット・タイマKBnのステータス・フラグを表示するレジスタです。

TKBFLGnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

図7－10　16ビット・タイマKBフラグ・レジスタn（TKBFLGn）のフォーマット

アドレス：F0613H (TKBFLG0), F0653H (TKBFLG1), F0693H (TKBFLG2)　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
TKBFLGn	TKBSSFn1	TKBSSFn0	TKBSEFn1	TKBSEFn0	TKBIRFn	TKBIEFn	TKBMFFn	TKBRSFn

TKBSSFnp	TKBOnp端子のPWM出力ソフト・スタート機能のステータス・フラグ
0	PWM出力ソフト・スタート停止中
1	PWM出力ソフト・スタート実行中

TKBSEFnp	TKBOnp端子のPWM出力ソフト・スタート機能のエラー・フラグ
0	エラー未発生，またはTKBCLSEnpによるクリアの完了
1	エラー発生（PWM出力ソフト・スタート実行中（TKBSSFnp = 1）にTKBRDTn = 1が発生）

TKBIRFn	インターリーブPFCモードでのINTP21トリガ未検出エラー・フラグ
0	エラー未発生，またはTKBCLIRnによるクリアの完了
1	エラー発生（0～T/2とTKBIRSn1, TKBIRSn0で設定した判定範囲内にINTP21トリガ未検出）

TKBIEFn	インターリーブPFCモードでのINTP21トリガ多重検出エラー・フラグ
0	エラー未発生，またはTKBCLIEnによるクリアの完了
1	エラー発生（TKBOn1のアクティブ出力中に，再度INTP21トリガを検出）

TKBMFFn	最大周波数リミット機能のステータス・フラグ
0	最大周波数リミット機能未発生，またはTKBCLMFnによるクリアの完了
1	最大周波数リミット機能発生

TKBRSFn	一斉書き換えトリガの保留ステータス・フラグ
0	一斉書き換え許可状態，または一斉書き換えトリガ発生による一斉書き換えの完了
1	一斉書き換えトリガ・ビットTKBRDTnへの書き込みによる一斉書き換え保留（完了待ち）状態。

備考 1.　n = 0-2, p = 0, 1

2.　Tは直前のリスタート周期

7. 3. 8　16ビット・タイマKBトリガ・レジスタn（TKBTRGn）

TKBTRGnは，16ビット・タイマKBnのコンペア・レジスタを一斉書き換えするためのトリガ・レジスタです。

TKBTRGnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

図7－11　16ビット・タイマKBトリガ・レジスタn（TKBTRGn）のフォーマット

アドレス：F0612H (TKBTRG0), F0652H (TKBTRG1), F0692H (TKBTRG2),　リセット時：00H　W

略号	7	6	5	4	3	2	1	0
TKBTRGn	0	0	0	0	0	0	0	TKBRDTn

TKBRDTn	コンペアレジスター斉書き換え要求のトリガ
0	設定無効
1	コンペアレジスター斉書き換え要求

備考　n = 0-2

7.3.9　16ビット・タイマKBフラグ・クリア・トリガ・レジスタn（TKBCLRn）

TKBCLRnは，16ビット・タイマKBフラグ・レジスタn（TKBFLGn）のフラグをクリアするレジスタです。

TKBCLRnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

図7－12　16ビット・タイマKBフラグ・クリア・トリガ・レジスタn（TKBCLRn）のフォーマット

アドレス：F0627H (TKBCLR0), F0667H (TKBCLR1), F06A7H (TKBCLR2)　リセット時：00H　W

略号	7	6	5	4	3	2	1	0
TKBCLRn	0	0	TKBCLSEn1	TKBCLSEn0	TKBCLIRn	TKBCLIEn	TKBCLMFn	0

TKBCLSEnp	TKBOnp端子のPWM出力ソフト・スタート機能のエラー・フラグのクリア・トリガ
0	設定無効
1	TKBSEFnpフラグを“0”にクリアする

TKBCLIRn	インターリーブPFCモードでのINTP21トリガ未検出エラー・フラグのクリア・トリガ
0	設定無効
1	TKBIRFnフラグを“0”にクリアする

TKBCLIEn	インターリーブPFCモードでのINTP21トリガ多重検出エラー・フラグのクリア・トリガ
0	設定無効
1	TKBIEFnフラグを“0”にクリアする

TKBCLMFn	最大周波数リミット機能のステータス・フラグのクリア・トリガ
0	設定無効
1	TKBMFFnフラグを“0”にクリアする

備考　n = 0-2,　p = 0, 1

7. 3. 10　16ビット・タイマKBディザリング数レジスタn0, n1（TKBDNRn0, TKBDNRn1）

TKBDNRnpは，TKBOnp出力のPWMディザリング機能で使用するレジスタです。

このレジスタの値の上位4ビットの値をN (N = 0H-FH)としたとき，PWM出力の16周期毎にN回のアクティブ期間を1クロック分延長して出力します。

TKBDNRnpの設定とアクティブ期間を1クロック延長する周期の回数（N）の関係を表7－2に示します。

TKBDNRnpは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－13　16ビット・タイマKBディザリング数レジスタnp（TKBDNRnp）のフォーマット

アドレス：F060EH (TKBDNR00), F064EH (TKBDNR10), F068EH (TKBDNR20)　　リセット時：00H　R/W
F0610H (TKBDNR01), F0650H (TKBDNR11), F0690H (TKBDNR21)

略号	7	6	5	4	3	2	1	0
TKBDNRnp					0	0	0	0

注意　ビット3-0には必ず0を設定してください。

備考　n = 0-2,　p = 0, 1

表7－2　16ビット・タイマKBディザリング数レジスタnp（TKBDNRnp）の設定

回数（N）＼周期	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0																
1	■															
2	■								■							
3	■				■				■							
4	■				■				■				■			
5	■		■		■				■				■			
6	■		■		■				■		■		■			
7	■		■		■		■		■		■		■			
8	■		■		■		■		■		■		■		■	
9	■	■	■		■		■		■		■		■		■	
10	■	■	■		■		■		■	■	■		■		■	
11	■	■	■		■	■	■		■	■	■		■		■	
12	■	■	■		■	■	■		■	■	■		■	■	■	
13	■	■	■	■	■	■	■		■	■	■		■	■	■	
14	■	■	■	■	■	■	■		■	■	■	■	■	■	■	
15	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	

備考1.　□セルの周期：TKBCRn1, TKBCRn3レジスタの設定値で出力をインアクティブ
■セルの周期：TKBCRn1, TKBCRn3レジスタの設定値+1で出力をインアクティブ

2.　n = 0-2,　p = 0, 1

7. 3. 11　16ビット・タイマKBコンペア1L＆ディザリング数レジスタn0（TKBCRLDn0）

TKBCRLDn0は，上位8ビットに「TKBCRn1レジスタの下位8ビット」，下位8ビットに「TKBDNRn0レジスタ」の値を格納したレジスタです。

TKBCRLDn0は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－14　16ビット・タイマKBコンペア1L＆ディザリング数レジスタn0（TKBCRLDn0）のフォーマット

アドレス：F0614H (TKBCRLD00), F0654H (TKBCRLD10), F0694H (TKBCRLD20)　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBCRLDn0													0	0	0	0

TKBCRn1レジスタの下位8ビット　　TKBDNRn0レジスタ

注意　ビット3-0には必ず0を設定してください。

備考　n = 0-2

7. 3. 12　16ビット・タイマKBコンペア3L＆ディザリング数レジスタn1（TKBCRLDn1）

TKBCRLDn1は，上位8ビットに「TKBCRn3レジスタの下位8ビット」，下位8ビットに「TKBDNRn1レジスタ」の値を格納したレジスタです。

TKBCRLDn1は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－15　16ビット・タイマKBコンペア3L＆ディザリング数レジスタn1（TKBCRLDn1）のフォーマット

アドレス：F0616H (TKBCRLD01), F0656H (TKBCRLD11), F0696H (TKBCRLD21)　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBCRLDn1													0	0	0	0

TKBCRn3レジスタの下位8ビット　　TKBDNRn1レジスタ

注意　ビット3-0には必ず0を設定してください。

備考　n = 0-2

7. 3. 13　16ビット・タイマKBソフト・スタート初期デューティ・レジスタn0, n1（TKBSIRn0, TKBSIRn1）

TKBSIRnpは，TKBOnp出力のPWM出力ソフト・スタート機能での初期デューティを設定するレジスタです。

TKBSIRnpは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－16　16ビット・タイマKBソフト・スタート初期デューティ・レジスタnp（TKBSIRnp）のフォーマット

アドレス：F060AH (TKBSIR00), F064AH (TKBSIR10), F068AH (TKBSIR20)　　リセット時：0000H　R/W
F060CH (TKBSIR01), F064CH (TKBSIR11), F068CH (TKBSIR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBSIRnp																

備考　n = 0-2,　p = 0, 1

7. 3. 14　16ビット・タイマKBソフト・スタート・ステップ幅レジスタn0, n1（TKBSSRn0, TKBSSRn1）

TKBSSRnpは，TKBOnp出力のPWM出力ソフト・スタート機能で使用するレジスタです。

このレジスタの値をN（N = 0000B-1111B）とするとTKBSIRnpで設定したアクティブ出力期間のPWMをN+1回分出力します。その後は，（アクティブ期間＋1クロック）の波形をN+1回，（アクティブ期間＋2クロック）の波形をN+1回，・・・というように継続出力して，最終的にTKBCRn1またはTKBCRn3と同じデューティになったところで，PWM出力ソフト・スタート機能が解除され，通常PWM出力に移行します。

TKBSSRnpは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－17　16ビット・タイマKBソフト・スタート・ステップ幅レジスタnp（TKBSSRnp）のフォーマット

アドレス：F060FH (TKBSSR00), F064FH (TKBSSR10), F068FH (TKBSSR20)　　リセット時：00H　R/W
F0611H (TKBSSR01), F0651H (TKBSSR11), F0691H (TKBSSR21)

略号	7	6	5	4	3	2	1	0
TKBSSRnp	0	0	0	0				

注意　ビット7-4には必ず0を設定してください。

備考　n = 0-2,　p = 0, 1

7. 3. 15　16ビット・タイマKB最大周波数リミット設定レジスタn（TKBMFRn）

TKBMFRnは，外部トリガによるタイマ・リスタートの最小周期を設定するレジスタです。

カウンタ（TKBCNTn）が，このTKBMFRnよりも小さい値のときにトリガ入力を検出すると，そのトリガを保留し，TKBMFRn設定値までカウントしたあとにカウンタ（TKBCNTn）をクリア（リスタート）します。

TKBMFRnは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－18　16ビット・タイマKB最大周波数リミット設定レジスタn（TKBMFRn）のフォーマット

アドレス：F0624H (TKBMFR0), F0664H (TKBMFR1), F06A4H (TKBMFR2)　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBMFRn																

備考　n = 0-2

7. 3. 16　周辺機能切り替えレジスタ0（PFSEL0）

PFSEL0は，16ビット・タイマKB0, KB1, KB2と周辺機能の入出力を設定するレジスタです。

ビット0, 1では，外部割り込みINTP20, INTP21を16ビット・タイマKB0, KB1, KB2のPWM制御に使用するか，STOPモードの解除に使用するかを選択します。

ビット2, 3では，A/D変換のタイマ・トリガを選択します。

ビット4では，INTP20のノイズ・フィルタの使用可否を選択します。

PFSEL0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

備考　INTP20を強制出力停止機能2で使用する際に，トリガ入力から出力停止までの反応速度を早くするためには，ノイズ・フィルタなしを選択してください。

図7－19　周辺機能切り替えレジスタ0（PFSEL0）のフォーマット

アドレス：F05C6H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFSEL0	0	CMP2STEN	CMP0STEN	PNFEN	ADTRG11	ADTRG10	TMRSTEN1	TMRSTEN0

CMP2STEN	CMP0STEN	コンパレータ割り込みの切り替え
第14章　コンパレータを参照してください。		

PNFEN	外部割り込みINTP20のノイズ・フィルタ使用可否
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

ADTRG11	ADTRG10	A/D変換のタイマ・トリガの選択
0	0	タイマKB0のトリガ要因
0	1	タイマKB1のトリガ要因
1	0	タイマKB2のトリガ要因
1	1	設定禁止

TMRSTEN1	外部割り込みINTP21の切り替え注
0	外部割り込み機能を選択（STOPモード解除可能，タイマ・リスタート不可）
1	タイマ・リスタート機能を選択（STOPモード解除不可，タイマ・リスタート可）

TMRSTEN0	外部割り込みINTP20の切り替え注
0	外部割り込み機能を選択（STOPモード解除可能，タイマ・リスタート不可）
1	タイマ・リスタート／強制出力停止機能2を選択（STOPモード解除不可，タイマ・リスタート可）

注　INTP20, INTP21をタイマKBの強制出力停止機能2またはタイマ・リスタート機能のトリガとして使用する場合は，14. 5　タイマKB連動機能使用時の注意事項も参照してください。

備考　図14－1　コンパレータのブロック図を参照してください。

7. 3. 17　ポート・モード・レジスタ20（PM20）

ポート20の入力／出力を1ビット単位で設定するレジスタです。

P200/TKBO00/INTP22，P201/TKBO01，P202/TKBO10/(INTP21)，P203/TKBO11/TKCO02/(INTP20)，P204/TKBO20/TKCO03，P205/TKBO21/TKCO04/DALITxD4端子をタイマ出力として使用するとき，PM200-PM205およびP200-P205の出力ラッチに0を設定してください。

PM20は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図7－20　ポート・モード・レジスタ20（PM20）のフォーマット（38ピン製品の場合）

アドレス：F0510H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM20	1	PM206	PM205	PM204	PM203	PM202	PM201	PM200

PM20n	P20n端子の入出力モードの選択（n = 0-6）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　PM20レジスタのビット7には必ず1を設定してください。
20ピン製品の場合，ビット4-6はリセット解除後，ソフトウエアで出力モード（ポート・レジスタとポート・モード・レジスタに0を設定）に設定する必要があります。

備考　上記は，38ピン製品のポート・モード・レジスタ20のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては，表4－3　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビットを参照してください。

7. 4　16ビット・タイマKB0, KB1, KB2の動作

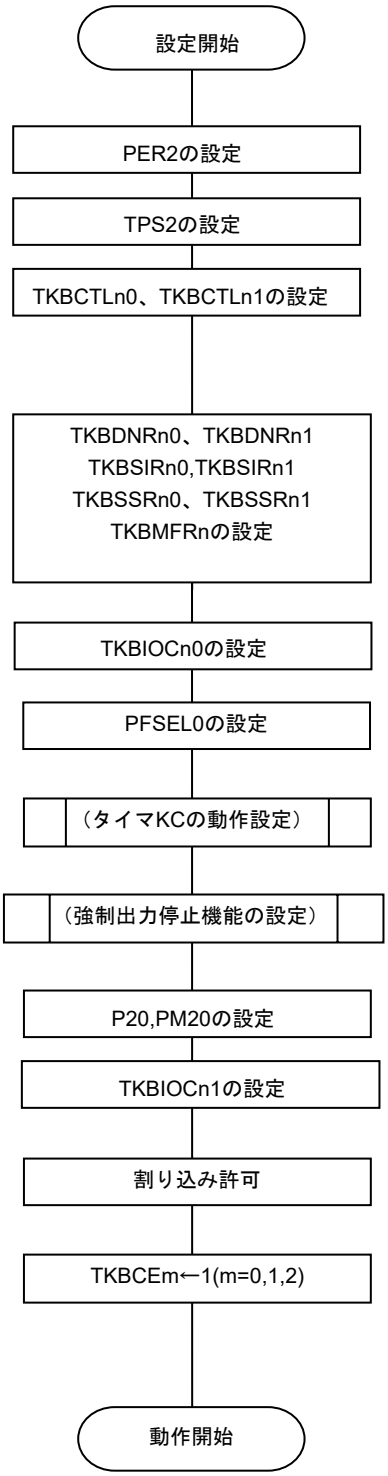
タイマKB0, KB1, KB2の動作仕様を以下で説明します。

- カウンタ基本動作 （7. 4. 1項を参照）
- デフォルトレベルとアクティブレベル （7. 4. 2項を参照）
- 動作停止と動作開始 （7. 4. 3項を参照）
- 一斉書き込み動作 （7. 4. 4項を参照）

タイマKB0, KB1, KB2には，以下の6種類の動作モードがあります。

- 単体動作モード（TKBCRn0による周期制御） （7. 4. 5項を参照）
- 単体動作モード（外部トリガ入力による周期制御） （7. 4. 6項を参照）
- 同時スタート／ストップ・モード（TKBCRn0 による周期制御） （7. 4. 7項を参照）
- 同時スタート／ストップ・モード（外部トリガ入力による周期制御） （7. 4. 7項を参照）
- 同期スタート／クリア・モード（Masterによる周期制御） （7. 4. 8項を参照）
- インターリーブPFC出力モード （7. 4. 9項を参照）

図7－21　タイマKB動作設定例（動作開始フロー）



TKB0EN-TKB2ENビットをセットし、使用するタイマKBへのクロック供給を開始します。

タイマKBの動作クロックを設定します。

タイマKBの動作機能/動作モードを選択します。
・動作クロックの選択
・動作機能（ゲート機能/ディザリング/ソフトスタート…）
・動作モード（単体/同期スタート＆ストップ/同期スタート&クリア…）

付加する機能の設定を行います。
・ディザリング
・ソフトスタート
・最大周波数リミット機能

タイマKBのアクティブ･レベルとデフォルト･レベルを設定します。

タイマKBと連動させる周辺機能の切り替え、選択を行います。

同期スタート&ストップモード機能を使用する場合、タイマKCの動作設定を行います。

強制出力停止機能を使用する場合は、タイマKB出力開始前にコンパレータやINTP20など含めて設定を行う必要があります。

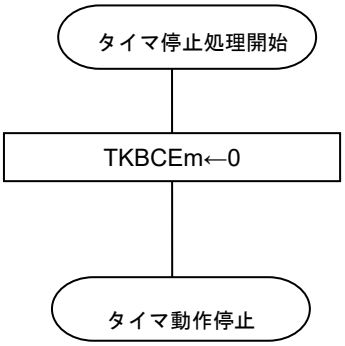
タイマKBを出力する端子を出力に設定します。

タイマKBの出力許可を設定します。

割り込み要求フラグ（XXIF）をクリアし，割り込みマスク（XXMK）を解除して，割り込み許可（EI）にします。

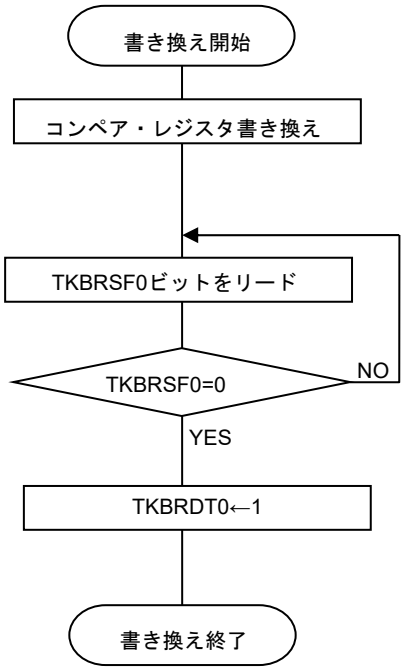
タイマ・カウント開始　カウンタを0クリアしカウントスタートします。（同時スタート／ストップまたは同期スタート／クリアモードで使用する場合はマスタとなるタイマKB0の動作制御ビットTKBCE0をセットすることで、スレーブとなるタイマKB及びタイマKCも制御できます）

図7－22　タイマKB動作設定例（動作停止フロー）



タイマ・カウントは停止し、タイマKB出力は設定されたデフォルト・レベルの固定出力となります。
（同期スタート&ストップモードで使用する場合はマスタのタイマ動作許可ビットTKBCE0をクリアすることでスレーブタイマも動作停止します。）

図7－23　タイマKB動作設定例（コンペア・レジスタ一斉書き換えフロー）



TKBCNTn,TKBCRn0-TKBCRn3、TKBTGCRn（n=0,1,2）
TKBDNRn0,TKBDNRn1,TKBCRLDn0,TKBCRLDn1レジスタを書き換えます。

TKBFLG0レジスタのTKBRSF0を読み込みます。
TKBRSF0=0のとき一斉書き換え要求を受けつけます。

コンペア・レジスター斉書き換え要求

書き換え要求受け付け後、実際に設定変更されるまでTKBRSF0ビットは”1”のままとなります。

備考　一斉書き換え機能はタイマKB動作中にタイマ・カウント動作設定を変更する場合に使用します。
設定値は次のリスタート時から動作に反映されます。

7. 4. 1　カウンタ基本動作

（1）カウント開始動作

タイマKBの16ビット・カウンタは，すべてのモードで初期値FFFFHからカウントを開始します。カウント動作は，FFFFH, 0000H, 0001H, 0002H, 0003H, …とカウント・アップします。

（2）クリア動作

16ビット・カウンタとTKBCRn0に設定された値との一致および外部トリガによる周期決定の場合の外部トリガで16ビット・カウンタは0000Hにクリアされます。なお，TKBCRn0に設定された値との一致によるクリアではINTTMKBn割り込みは発生しますが，外部トリガによるクリアでは割り込みは発生しません。

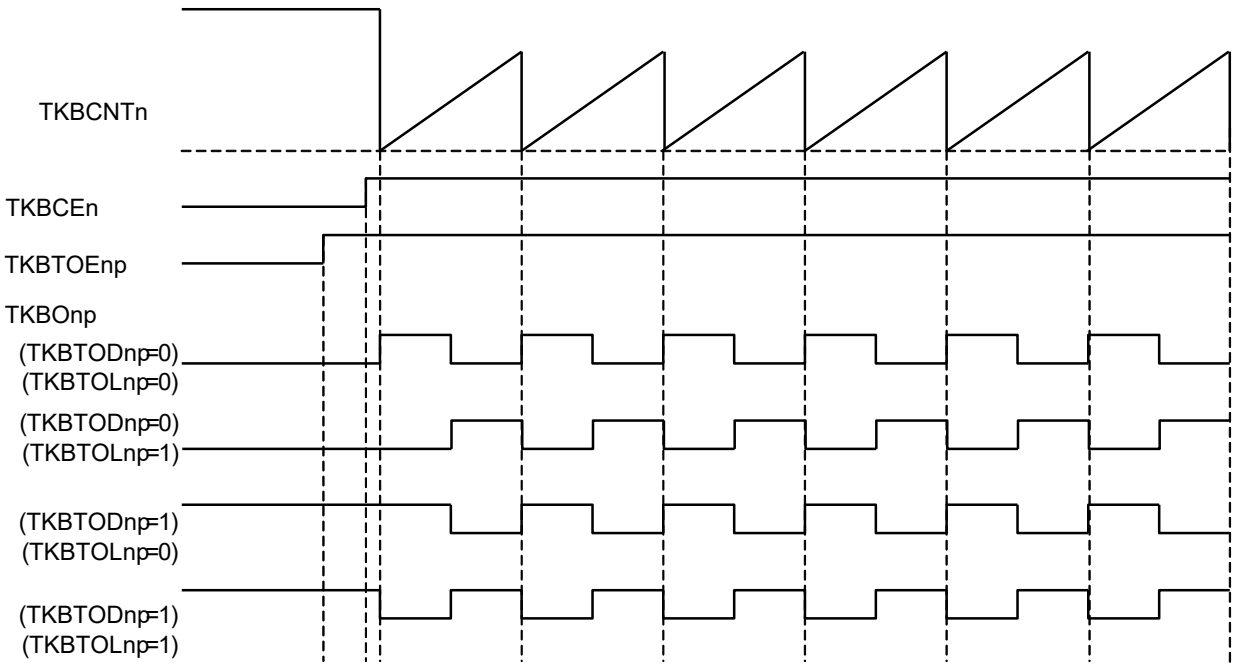
7. 4. 2　デフォルトレベルとアクティブレベル

（1）基本動作

16ビット・タイマKB出力制御レジスタn0（TKBIOCn0）によってタイマKB出力のデフォルトレベルとアクティブレベルを設定できます。

図7－24　デフォルトレベルとアクティブレベルのタイミング図

（基本動作）



TKBTOEnpを“0”から“1”に変更した場合, TKBOnp出力が許可され, TKBTOLnpの設定値に従いPWM波形を出力します。

TKBTOEnpを“1”から“0”に変更した場合, TKBOnp出力は禁止され, TKBTODnpの設定値に従い，デフォルトレベルを出力します。

（2）TKBTOEnpを“0”から“1”に変更した場合

タイマ・カウンタ動作中に，カウンタ（TKBCNTn）とコンペア・レジスタ（TKBCRnp）の一致より前にTKBTOEnpを0から1に変更した場合，タイマ出力がTKBTOLnpの設定に従ってその一致タイミングでPWM波形が出力されます。

カウンタ（TKBCNTn）とコンペア・レジスタ（TKBCRnp）の一致より後にTKBTOEnpを0から1に変更した場合は，タイマ出力は次の一致タイミングまでデフォルトレベルを継続します。

図7－25　デフォルトレベルとアクティブレベルのタイミング図

（カウンタとコンペア・レジスタTKBCRn1からTKBCRn3の一致）より前にTKBTOEnp = 0を1に変更した場合）

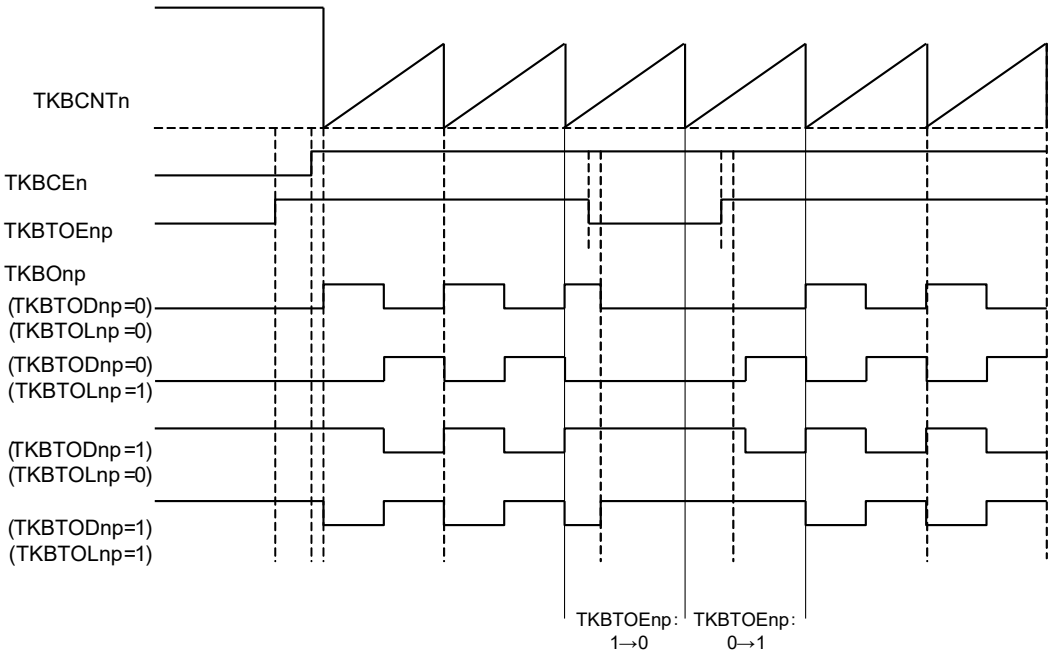
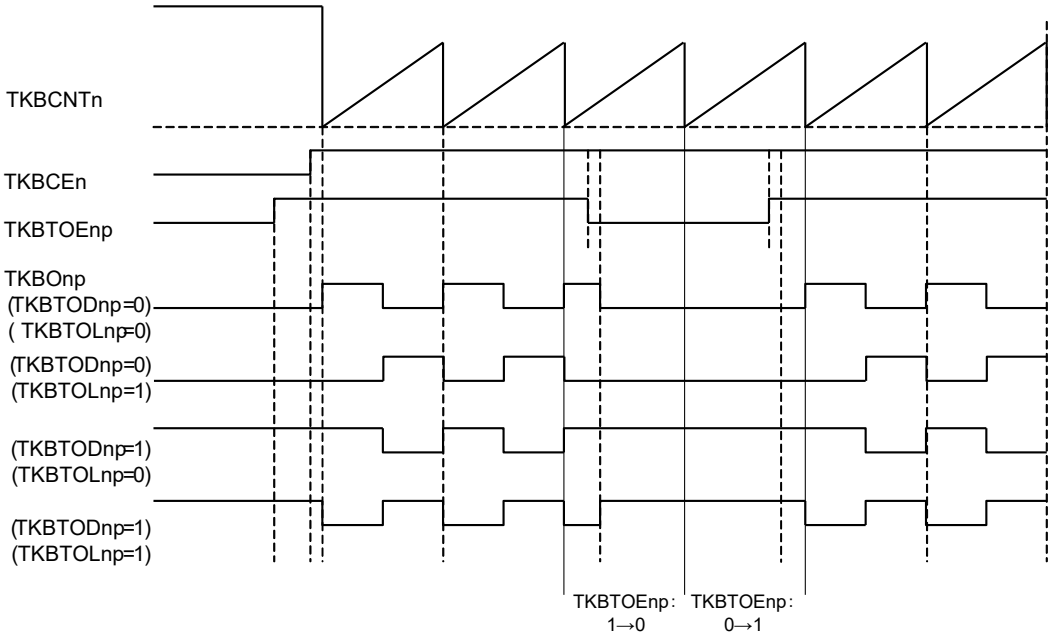


図7－26　デフォルトレベルとアクティブレベルのタイミング図

（カウンタとコンペア・レジスタTKBCRn1からTKBCRn3の一致）より後にTKBTOEnp = 0を1に変更した場合

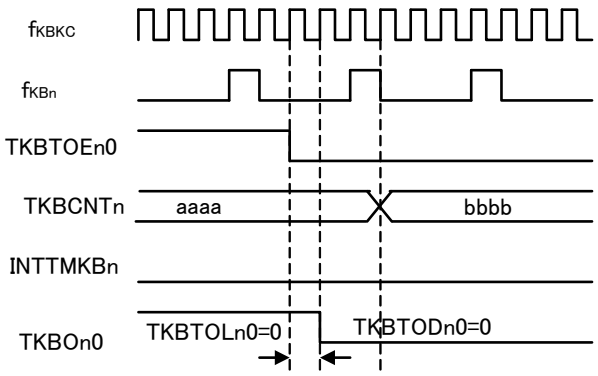


（3）TKBTOEnpを“1”から“0”に変更した場合

（a）基本タイミング

TKBTOEnpを“1”から“0”に変更した場合, f_{KBKC}1クロック後に, TKBOnpは, TKBTODnpで設定しているデフォルトレベルになります。

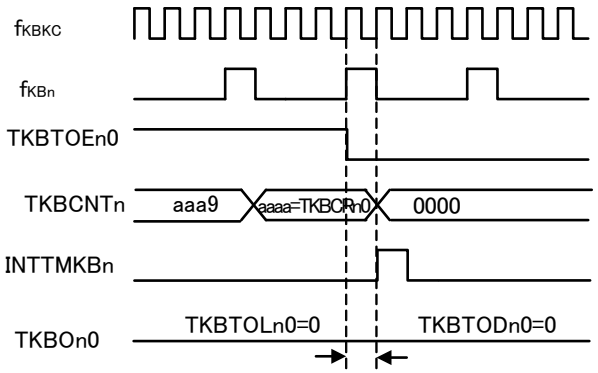
図7－27　デフォルトレベルとアクティブレベルのタイミング図
（TKBTOEn0を“1”から“0”に変更した場合）



（b）TKBCRn0の一致によるセットとTKBTOEnpのクリア・タイミングが同時の場合

TKBTOEnpを1から0に変更するタイミングとTKBCNTnとTKBCRnmが一致するタイミングが同時になる場合, TKBTOEnpの変更が優先され, TKBTODnpで設定しているデフォルトレベルになります。

図7－28　デフォルトレベルとアクティブレベルのタイミング図
（TKBTOEnpを1から0に変更するタイミングとTKBCNTnとTKBCRnmが一致するタイミングが同時になる場合）

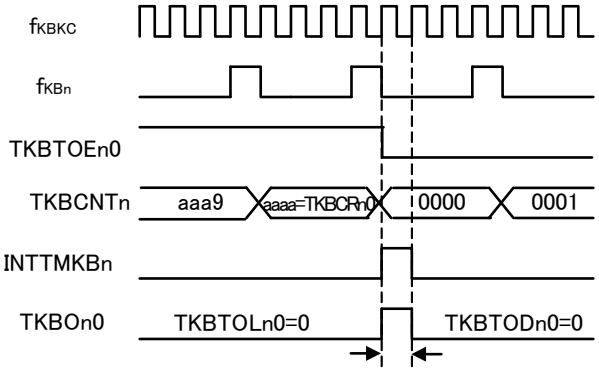


（c）TKBTOEnpの操作がタイマ・カウント・クロックの発生と同時の場合

TKBTOEnpの操作がf_{KBn}の発生と同時の場合，TKBCNTn=TKBCRnmの一致によりTKBOnpがセットされます。

1 f_{KBKC}後, TKBOnpは, TKBTODnpで設定しているデフォルトレベルになります。

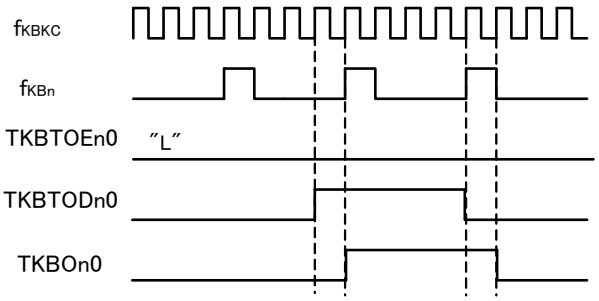
図7－29　デフォルトレベルとアクティブレベルのタイミング図
（TKBTOEn0の操作がタイマ・カウント・クロックの発生と同時の場合）



（4）TKBTOEnp=0でTKBTODnpを変更した場合

TKBTOEnp=0でTKBTODnpを変更した場合, 1 f_{KBKC}後, TKBOnpは, TKBTODnpで設定しているデフォルトレベルになります。

図7－30　デフォルトレベルとアクティブレベルのタイミング図
（TKBTOEn0=0でTKBTODn0を変更した場合）



7. 4. 3　動作停止と動作開始

16ビット・タイマKBの動作停止と開始はTKBCEnを制御することにより可能となります。

16ビット・タイマKBはTKBCEnを“1”から“0”にすることでリセットし動作を停止します。

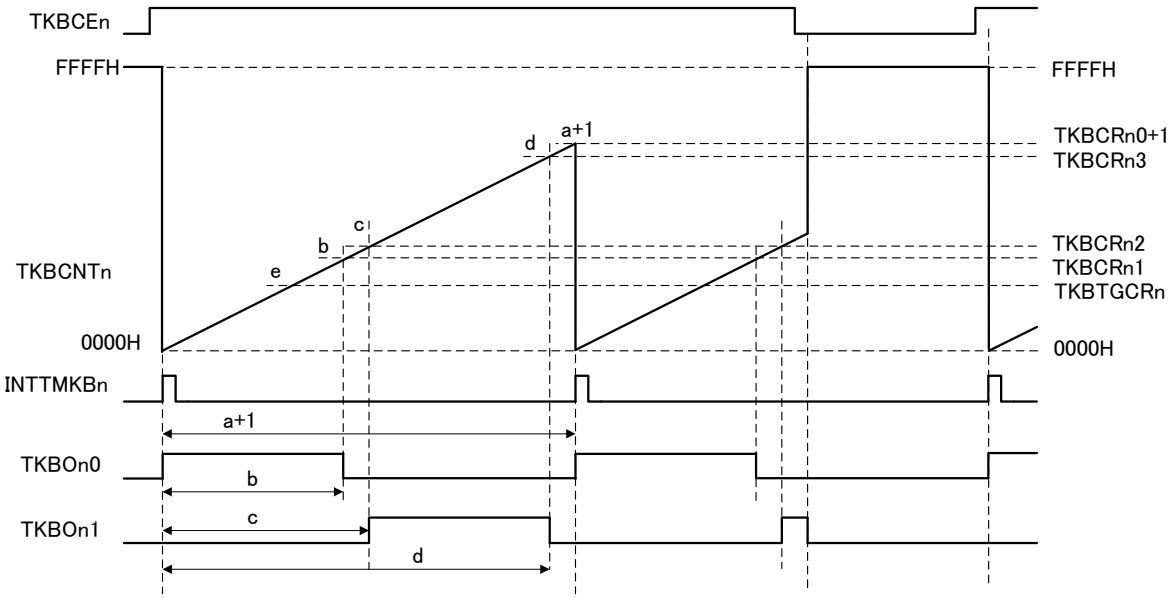
このときカウンタTKBCNTnは, FFFFHにリセットされ動作を停止します。

TKBOnp出力は, TKBTODnpで設定したデフォルトレベルを出力します。

16ビット・タイマKBはTKBCEnを“0”から“1”にすることで動作を開始します。

TKBCEn =0のとき，カウンタTKBCNTnは，FFFFHを保持し，TKBCEnを“0”から“1”することでアップ・カウント動作を開始します。

図7－31　動作停止のタイミング図（TKBTOLnp=0, TKBTODnp=0時）

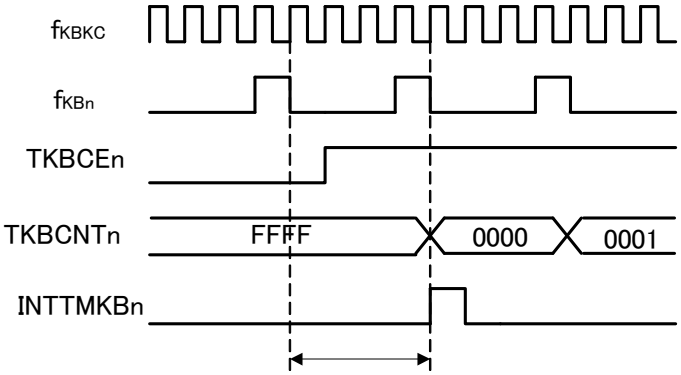


（1）カウント動作開始タイミング

TKBCEnを“0”から“1”に変更した場合，最小1 f_{KBKC}から最大1 f_{KBn}経過後に，カウント動作を開始します。

カウント動作開始タイミングで, INTTMKBnを出力します。

図7－32　動作開始のタイミング図（TKBCEnを“0”から“1”に変更した場合）

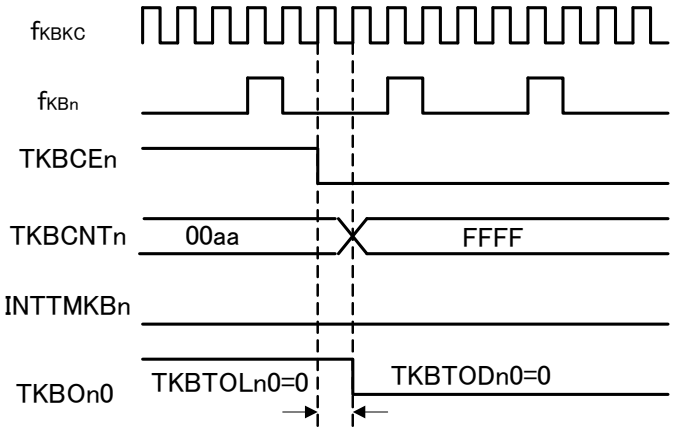


（2）カウント動作停止タイミング

TKBCEnを“1”から“0”に変更した場合, 1 f_{KBKC}経過後に，カウント動作を停止します。

TKBCNTnは，FFFFHにリセットされ，TKBOnpは，TKBTODnpで設定しているデフォルトレベルになります。

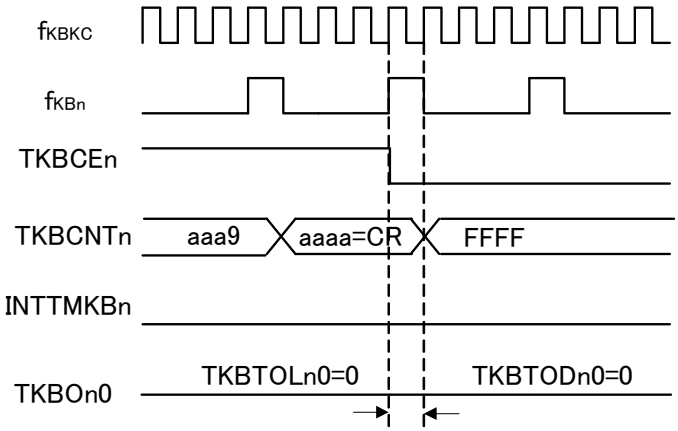
図7－33　動作停止のタイミング図（TKBCEnを“1”から“0”に変更した場合）



TKBCEnを“1”から“0”に変更した場合, 1 f_{KBKC}経過後に，カウント動作を停止します。

f_{KBn}発生前は, TKBCNTn = TKBCRn0の一致が発生していてもINTTMKBnは出力されません。

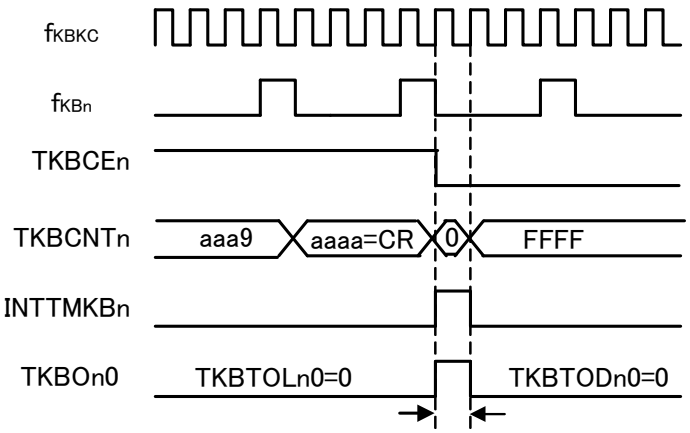
図7－34　動作停止のタイミング図（TKBCEnの操作がタイマ・カウント・クロック発生前の場合）



TKBCEnの操作がf_{KBKC}の発生と同時の場合，TKBCNTn=TKBCRn0の一致発生でINTTMKBnを出力し，TKBOnpがセットされます。

1 f_{KBKC}経過後, TKBCNTnは, FFFFHにリセットされ, TKBOnpは, TKBTODnpで設定しているデフォルトレベルになります。

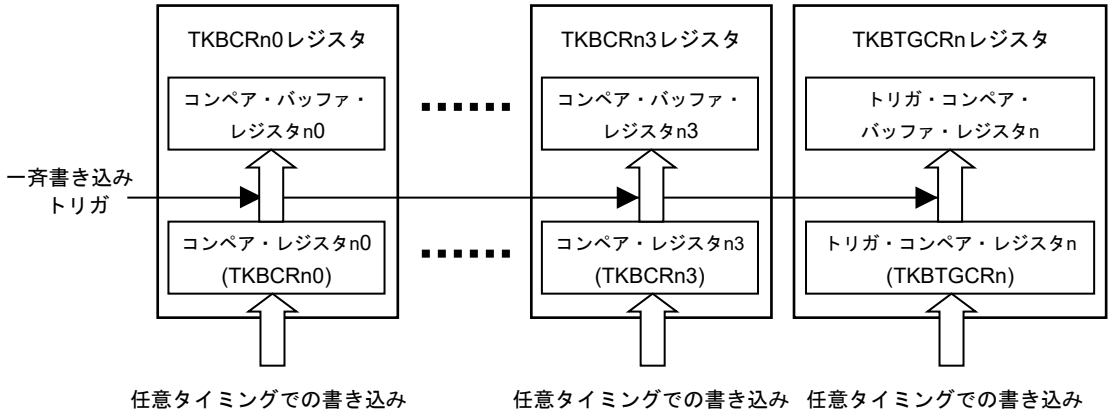
図7－35　動作停止のタイミング図（TKBCEnの操作がタイマ・カウント・クロックの発生と同時の場合）



7. 4. 4　一斉書き込み動作

タイマKBでは，TMKBコンペア・レジスタnp（TKBCRnp）は図7－36に示すように二段構成になっています。そのため，プログラムでTKBCRnpに値を設定しても，その値は直ちに有効にはなりません。TKBCRnpに任意のタイミングで設定された値は，カウント動作開始や転送トリガ時に，バッファ・レジスタに一斉に転送され，実際に比較動作で使用されます。これにより，複数のコンペア・レジスタに異なるタイミングで値を設定できるようになっています。

図7－36　コンペア・レジスター一斉書き換え機能



備考　TMKBコンペア・レジスタnp（TKBCRnp）はこのように二段構成になっていますが，値の書き込み以外では一つのレジスタとして扱います。

（1）一斉書き込みのタイミング

コンペア・レジスタの一斉書き込みには次の3つの場合があります。このうち，(c)についてはレジスタ設定で制御することができます。

(a)　タイマKBのカウント動作開始時

(b)　16ビット・カウンタのカウント値とTMKBコンペア・レジスタn0（TKBCRn0）に設定された値が一致した。

(c)　外部トリガによる一斉書き込み許可時に，外部トリガが発生した。

7. 4. 5　単体動作モード（TKBCRn0による周期制御）

（1）機能概要

単体動作モードでは, TKBCRn0の設定値で周期を決め, TKBCRn0とTKBCRn1によりTKBOn0を生成し, TKBCRn2とTKBCRn3によりTKBOn1を生成します。

デューティは，0%～100%の範囲で設定可能で，周期とデューティは以下の計算式で求められます。

【TKBOn0出力の計算式】

パルス周期 ＝ （TKBCRn0の設定値＋1）×カウント・クロック周期

デューティ [%] = （TKBCRn1の設定値／（TKBCRn0の設定値＋1））×100

0%出力　：TKBCRn1の設定値 ＝0000H

100%出力 ：TKBCRn1の設定値 ≧ TKBCRn0の設定値＋1

【TKBOn1出力の計算式】

デューティ [%] = （（TKBCRn3の設定－TKBCRn2の設定値）／（TKBCRn0の設定値＋1））×100

0%出力　：TKBCRn3の設定値 ＝TKBCRn2の設定値

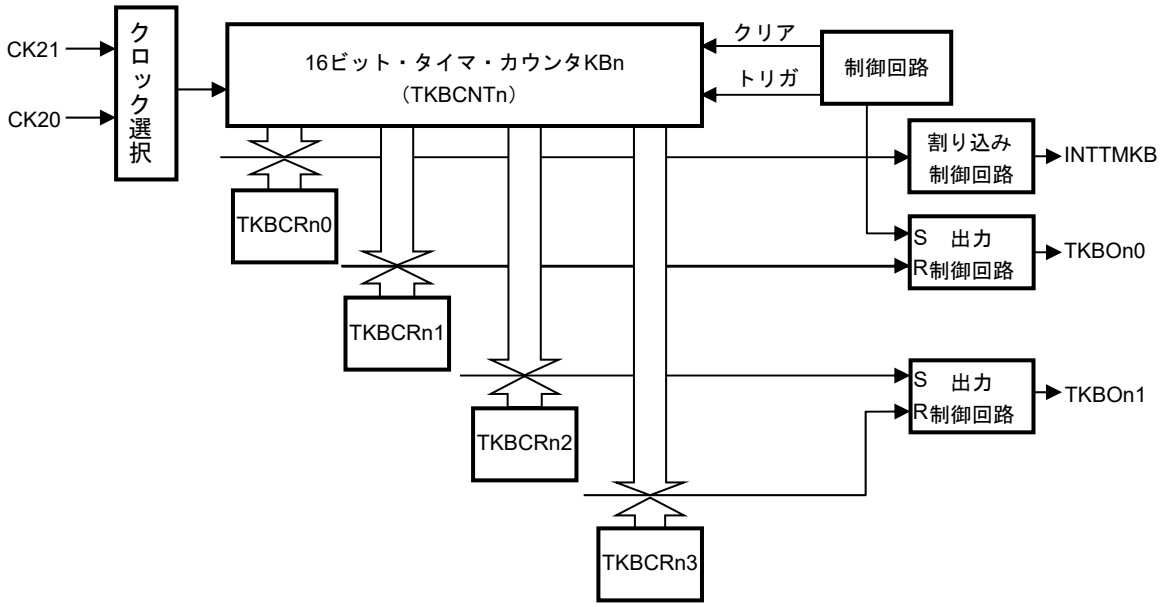
100%出力 ：TKBCRn2の設定値 ＝0000H

TKBCRn3の設定値 ≧ TKBCRn0の設定値＋1

注意　必ずTKBCRn2の設定値 ≦ TKBCRn3の設定値としてください。

図7－37に単体動作時の構成図を示します。

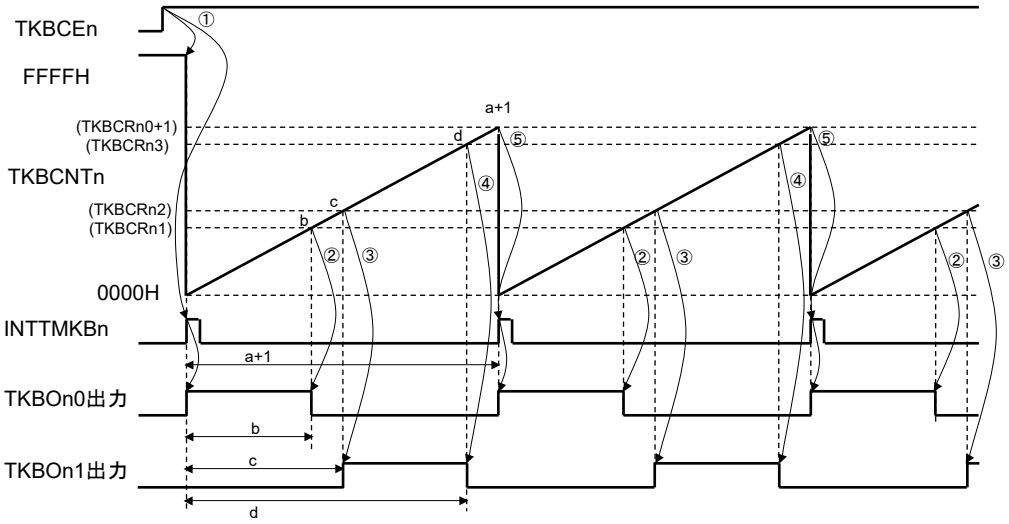
図7－37　単体動作時の構成図（TKBCRn0による周期制御）



（2）動作概要

図7－38に単体動作タイミング例を示します。

図7－38　単体動作タイミング例（TKBCRn0による周期制御）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



単体動作（TKBCR0による周期制御）の動作例について説明します。次の説明は図7－38の①～⑤とリンクしています。

① TKBCEnに1を設定すると，カウント・クロックに同期して16ビット・タイマ・カウンタKBn（TKBCNTn）はFFFFHから0000Hになり，アップ・カウントを開始します。同時にINTTMKBnが出力され，TKBOn0出力がTKB0IOC0レジスタのTKB0TOD0ビットで指定されたデフォルト値からTKB0TOL0ビットで指定されたアクティブ値（この例ではハイ・レベル）に変化します（TKBOn1出力はTKB0TOD1ビットで指定されたデフォルト値を保持しています）。

② TKBCNTnがカウント・アップしてTMKBコンペア・レジスタn1（TKBCRn1）に設定されている値と一致すると，TKBOn0出力がイン・アクティ・レベルとなります。

③ TKBCNTnがカウント・アップしてTMKBコンペア・レジスタn2（TKBCRn2）に設定されている値と一致すると，TKBOn1出力がアクティ・レベルとなります。

④ TKBCNTnがカウント・アップしてTMKBコンペア・レジスタn3（TKBCRn3）に設定されている値と一致すると，TKBOn1出力がイン・アクティ・レベルとなります。

⑤ TKBCNTnがカウント・アップしてTMKBコンペア・レジスタn0（TKBCRn0）に設定されている値と一致すると，次のカウント・クロックでINTTMKBnが出力され，TKBOn0出力がアクティ・レベルとなります。TKBCNTnは0000Hからカウント・アップします。

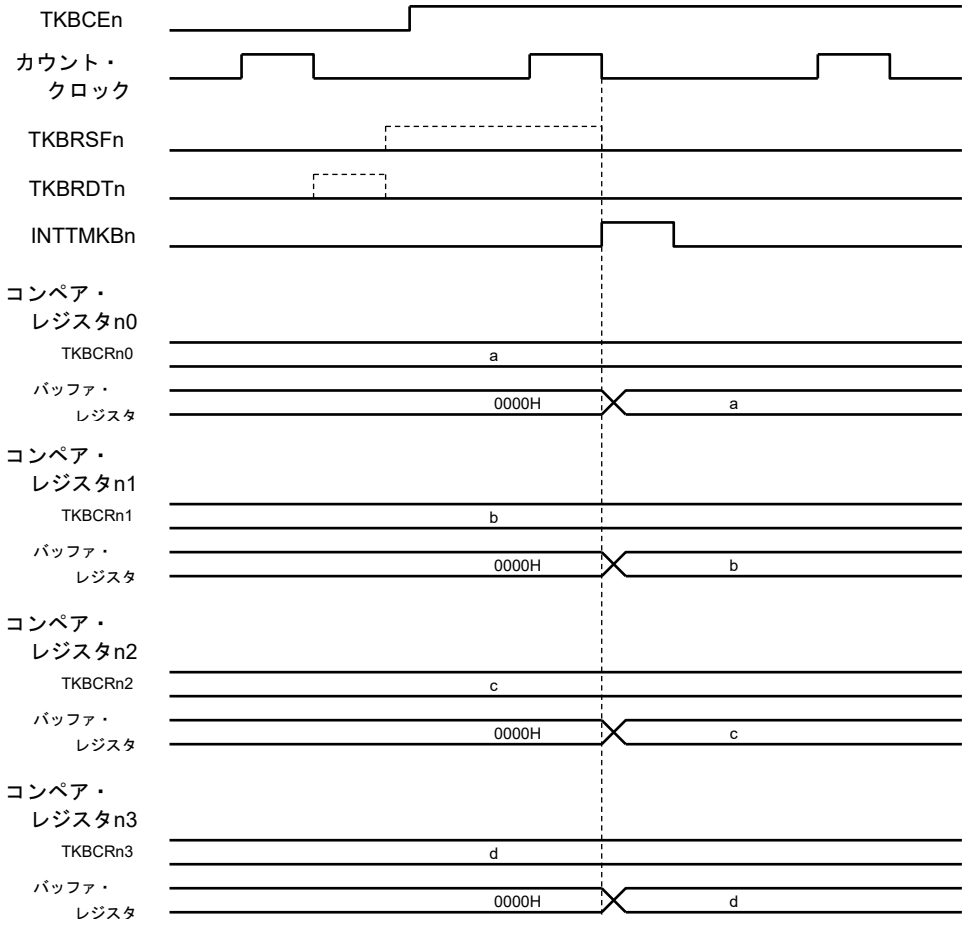
⑥ 以降②～⑤を繰り返します。

（3）一斉書き込みの動作（カウント動作開始時）

タイマKBのコンペア・レジスタは，TKBCTLn1レジスタのTKBCEnビットへの“1”書き込み後のカウント・クロック発生によるカウンタの動作開始タイミングで，内部バッファ・レジスタを一斉に更新する機能になっています。

カウント動作開始タイミングに限り，TKBTRGnレジスタのTKBRDTnビットへ“1”を書き込まなくても一斉書き換えが発生します（図7－39参照）。

図7－39　一斉書き換え機能：カウント動作開始時のバッファ更新タイミング図



備考　TKBCEn = 0のとき，TKBRDTnに“1”を書き込むとTKBRSFnに“1”がセットされ，カウント動作開始タイミング（カウンタ・スタート・トリガ発生）でTKBRSFnが“0”にクリアされます。

（4）一斉書き込みの動作（カウント動作中のバッファ更新）

タイマKBのコンペア・レジスタは，TKBRDTnビットへの “1” の書き込みを一斉書き換えトリガとして，次回のカウンタ・クリア（TKBCNTnとTKBCRn0 の一致）のタイミングで内部バッファ・レジスタを一斉に更新するようになっています。TKBRDTnビットへの “1” 書き込みから一斉書き換え完了までを示すフラグとして，TKBRSFnビットを準備しています（図7－40参照）。

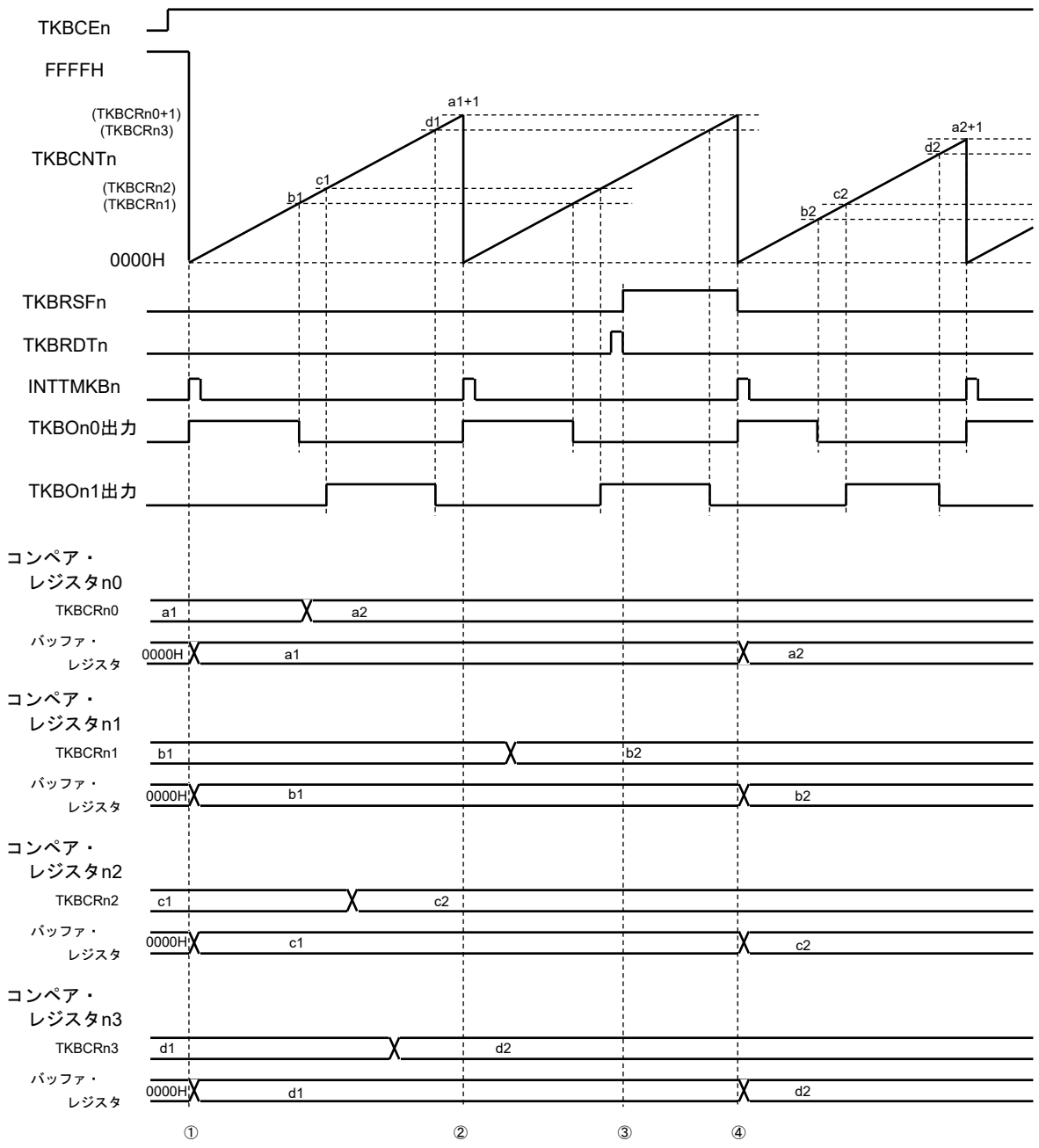
① TKBCEnビットを“0”から“1”に設定し，TKBCNTnがカウント動作を開始するタイミングで，コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。

② TKBCRn0-3，TKBTGCRnレジスタ書き換え後，カウンタ・クリアが発生した場合であっても，TKBRDTnビットへ“1”を書き込んでいなければ一斉書き換えは発生しません。

③ TKBRDTnビットへの“1”書き込みにより，一斉書き換え保留フラグ（TKBRSFnビット）が“1”となります。

④ TKBRSFnビットが“1”のときの，カウンタ・クリア発生により，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に，TKBRSFnビットが“0”となります。

図7－40　一斉書き換え機能：カウント動作中のバッファ更新タイミング図



（5）単体動作モード（TKBCRn0による周期制御）でのレジスタ設定内容例

bit No.	15	14	13	12	11	10	9	8
TKBCTLn0	–	TKBGTEn1	TKBSSEn1	TKBDIEn1	–	TKBGTEn0	TKBSSEn0	TKBDIEn0
Setting	0	1/0	1/0	1/0	0	1/0	1/0	1/0

bit No.	7	6	5	4	3	2	1	0
TKBCTLn0	TKBMFEn	–	TKBIRSn1	TKBIRSn0	–	TKBTSEn	TKBSTSn1	TKBSTSn0
Setting	0	0	0	0	0	0	0	0

bit No.	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn	–	–	TKBCKSn	TKBSCMn	–	TKBMDn1	TKBMDn0
Setting	1	0	0	1/0	0	0	0	0

bit No.	7	6	5	4	3	2	1	0
TKBIOCn0	–	–	–	–	TKBTOLn1	TKBTOLn0	TKBTODn1	TKBTODn0
Setting	0	0	0	0	1/0	1/0	1/0	1/0

bit No.	7	6	5	4	3	2	1	0
TKBIOCn1	–	–	–	–	–	–	TKBTOEn1	TKBTOEn0
Setting	0	0	0	0	0	0	1/0	1/0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H-FFFFH
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H-FFFFH
TKBSIRn1	0000H-FFFFH
TKBSSRn0	00H-0FH
TKBSSRn1	00H-0FH
TKBDNRn0	00H-F0H
TKBDNRn1	00H-F0H
TKBMFRn	0000H

□：このモードでは設定固定　■：設定不要（初期値を設定）

7. 4. 6　単体動作モード（外部トリガ入力による周期制御）

（1）機能概要

単体動作モードは，TKBCRn0 による周期制御だけでなく，外部トリガ入力にて周期を制御することもできます。（タイマ・リスタート機能）。本機能を使用することにより，例えば臨界導通モードのPFC制御が実現可能です。

外部トリガ入力検出は，16ビット・タイマKB動作制御レジスタn0のTKBSTSn1，TKBSTSn0ビットにより選択された入力信号を使用します。

外部トリガ入力検出により，カウンタTKBCNTnを0000Hにクリアし，TKBOn0/TKBOn1出力をそれぞれアクティブ・レベルとイン・アクティブ・レベルにします。外部トリガ入力検出より先に，TKBCRn0 に設定されている値とカウンタ（TKBCNTn）の値の一致が発生した場合は，カウンタは0000Hにクリアされ動作を継続します。

外部トリガ入力が未検出で，TKBCRn0 により周期制御した場合のTKBOn0/TKBOn1出力の計算式は，7. 4. 5　単体動作モード（TKBCRn0による周期制御）を参照してください。

外部トリガ入力検出により周期制御した場合のTKBOn0/TKBOn1出力の計算式は，以下のとおりです。

【TKBOn0出力の計算式】

パルス周期 ＝ （外部トリガ入力検出時のカウンタ値＋1）×カウント・クロック周期

デューティ [%] ＝ （TKBCRn1の設定値／（外部トリガ入力検出時のカウンタ値＋1））×100

0%出力　　：TKBCRn1の設定値 ＝ 0000H

100%出力　：TKBCRn1の設定値 ≧ 外部トリガ入力検出時のカウンタ値＋1

【TKBOn1出力の計算式】

パルス周期 ＝ （外部トリガ入力検出時のカウンタ値＋1）×カウント・クロック周期

デューティ [%] ＝（（TKBCRn3の設定値－TKBCRn2の設定値）／（外部トリガ入力検出時のカウンタ値＋1））×100

0%出力　　：TKBCRn3の設定値 ＝ TKBCRn2の設定値

100%出力　：TKBCRn2の設定値 ＝ 0000H

TKBCRn3の設定値 ≧ 外部トリガ入力検出時のカウンタ値＋1

注意　必ずTKBCRn2の設定値 ≦ TKBCRn3の設定値としてください。

図7－41に単体動作時（外部トリガ入力による周期制御）の構成図を示します。

図7－41　単体動作時の構成図（外部トリガ入力による周期制御）

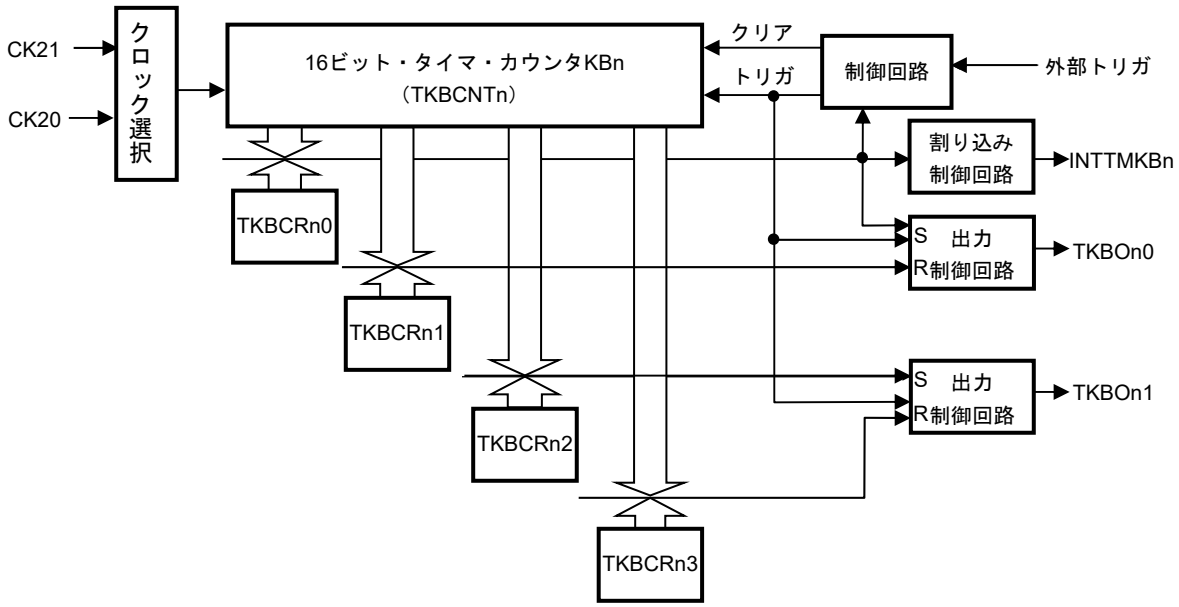


表7－3　単体動作（外部トリガ入力による周期制御）の外部トリガ割り当て一覧

	タイマKB0	タイマKB1	タイマKB2
コンパレータ0	－	－	－
コンパレータ1	－	○	－
コンパレータ2	－	－	○
コンパレータ3	○	－	－
コンパレータ4	－	－	－
コンパレータ5	－	－	－
INTP20	○	○	○
INTP21	○	○	○

（2）一斉書き込みの動作（外部トリガ入力による周期制御での単体動作時，カウント動作中のバッファ更新（TKBTSEnビットを1に設定））

外部トリガ入力による周期制御での単体動作時に，TKBCTLn0レジスタのTKBTSEnビットを“1”に設定することで，TKBRDTnビットへの“1”書き込み後の外部トリガ入力検出タイミングで，カウンタのクリア，およびコンペア・レジスター斉書き換えを実施することができます。カウンタ・クリア同様，TKBRDTnビットへの“1”書き込み後に，外部トリガ入力検出より先にTKBCRn0とカウンタ（TKBCNTn）の一致が発生した場合も，一斉書き換えが実施されます。外部トリガ入力要因はTKBCTLn0レジスタのTKBSTSn1, TKBSTSn0ビットで選択します。TKBTSEnビットを“1”に設定した場合の一斉書き込みの動作タイミングの例を図7－42に示します。

① TKBCEnビットを“0”から“1”に設定し，TKBCNTnがカウント動作を開始するタイミングで，コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。

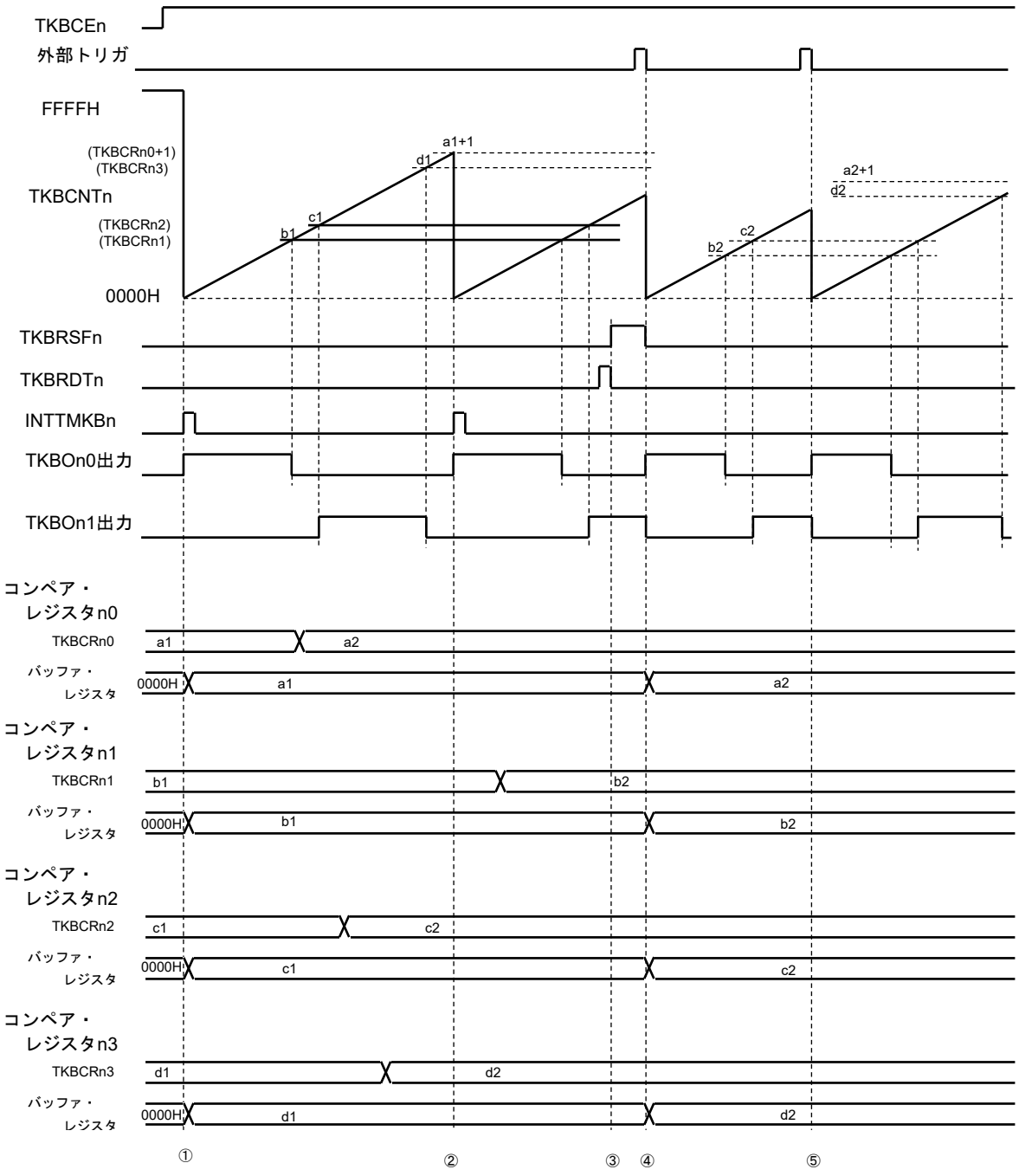
② TKBCRn0-TKBCRn3, TKBTGCRnレジスタ書き換え後，カウンタ・クリアが発生した場合であっても，TKBRDTnビットへ“1”を書き込んでいなければ一斉書き換えは発生しません。

③ TKBRDTnビットへの“1”書き込みにより，一斉書き換え保留フラグ（TKBRSFnビット）が“1”となります。

④ TKBTSEnビットが“1”に設定されて，TKBRSFnビットが“1”時の，外部トリガ入力によるカウンタ・クリア発生により，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に，TKBRSFnビットが“0”となります。

⑤ 外部トリガ入力によるカウンタ・クリア発生が発生した場合であっても，TKBRDTnビットへ“1”を書き込んでいなければ一斉書き換えは発生しません。

図7－42　一斉書き換え機能：外部トリガ入力による周期制御での単体動作時，カウント動作中のバッファ更新タイミング図（TKBTSEnビットを1に設定）



（3）一斉書き込みの動作（外部トリガ入力による周期制御での単体動作時，カウント動作中のバッファ更新（TKBTSEnビットを0に設定））

外部トリガ入力による周期制御での単体動作時に，TKBCTLn0レジスタのTKBTSEnビットを“0”に設定した場合の例です。この場合には，TKBRDTnビットに“1”が書き込まれて，一斉書き換え保留フラグ（TKBRSFnビット）が“1”の状態で外部トリガ入力を検出すると，カウンタのクリアは行われますが，コンペア・レジスター斉書き換えは行いません。

外部トリガ入力要因はTKBCTLn0 レジスタのTKBSTSn1, TKBSTSn0ビットで選択します。TKBTSEnビットを“0”に設定した場合の一斉書き込みの動作タイミングの例を図7－43に示します。

① TKBCEnビットを“0”から“1”に設定し，TKBCNTnがカウント動作を開始するタイミングで，コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。

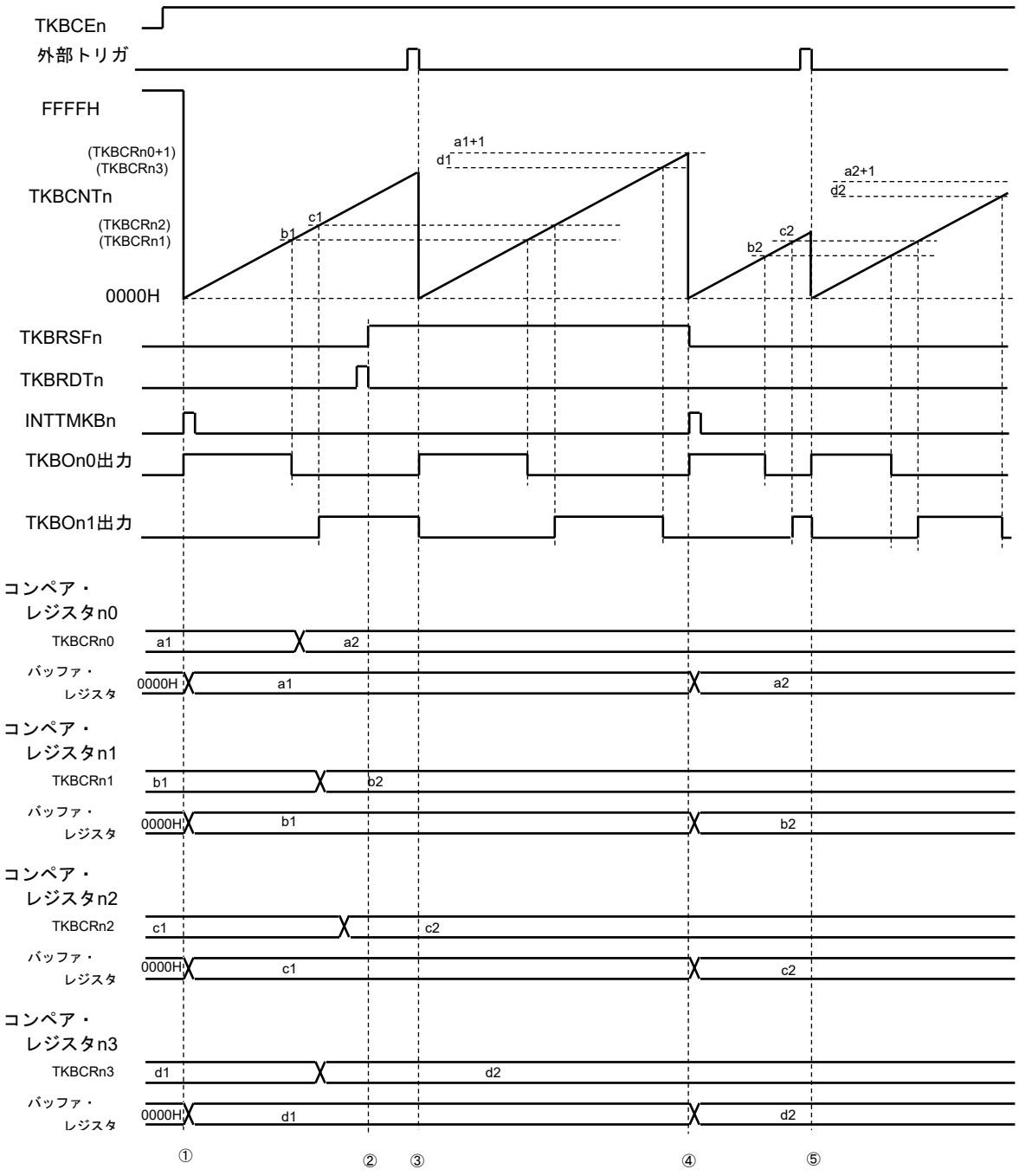
② TKBCRn0-3，TKBTGCRnレジスタ書き換え後，TKBRDTnビットへの“1”書き込みにより，一斉書き換え保留フラグ（TKBRSFnビット）が“1”となります。

③ 外部トリガ入力により，カウンタ・クリアが発生した場合であっても，TKBTSEnビットが“1”になっていなければ一斉書き換えは発生しません。

④ TKBRSFnビットが“1”の状態で，カウンタ・クリア（TKBCNTnとTKBCRn0 の一致）が発生すると，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に，TKBRSFnビットが“0”となります。

⑤ 外部トリガ入力によるカウンタ・クリア発生が発生した場合であっても，TKBTSEnビットとTKBRSFnビットが“1”の状態でなければ一斉書き換えは発生しません。

図7－43　一斉書き換え機能：外部トリガ入力による周期制御での単体動作時，カウント動作中のバッファ更新タイミング図（TKBTSEnビットを0に設定）



（4）単体動作モード（外部トリガ入力による周期制御）でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLn0	- 0	TKBGTEn1 0	TKBSSEn1 0	TKBDIEn1 0	- 0	TKBGTEn0 0	TKBSSEn0 0	TKBDIEn0 0
	7	6	5	4	3	2	1	0
	TKBMFEn 1/0	- 0	TKBIRSn1 0	TKBIRSn0 0	- 0	TKBTSEn 1/0	TKBSTSn1 1/0	TKBSTSn0 1/0

	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn 1/0	- 0	- 0	TKBCKSn 1/0	TKBSCMn 0	- 0	TKBMDn1 0	TKBMDn0 0

	7	6	5	4	3	2	1	0
TKBIOCn0	- 0	- 0	- 0	- 0	TKBTOLn1 1/0	TKBTOLn0 1/0	TKBTODn1 1/0	TKBTODn0 1/0

	7	6	5	4	3	2	1	0
TKBIOCn1	- 0	- 0	- 0	- 0	- 0	- 0	TKBTOEn1 1/0	TKBTOEn0 1/0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H-FFFFH
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H
TKBSIRn1	0000H
TKBSSRn0	00H
TKBSSRn1	00H
TKBDNRn0	00H
TKBDNRn1	00H
TKBMFRn	0000H-FFFFH

□：このモードでは設定固定　　■：設定不要（初期値を設定）

7. 4. 7　同時スタート／ストップ・モード

（1）機能概要

複数のタイマKBnを使ってマスタ／スレーブ構成にすることで，マスタのタイマKB0のカウント開始／停止タイミングと同期してスレーブのタイマKBmを同時スタート＆ストップさせることができます。

その場合，マスタは「単体動作モード（TKBMD01, TKBMD00 = 0, 0）」，スレーブは「同時スタート／ストップ・モード（TKBMD01, TKBMD00 = 0, 1）」を選択してください。

同時スタート／ストップ・モードでは，マスタとスレーブのスタート／ストップ・タイミングのみが同期します。

マスタとスレーブにおいて，選択するカウント・クロック（CK0/CK1）が異なる場合，マスタのTKBSCM0ビットを“1”に設定することで，マスタとスレーブのカウント動作開始タイミングを揃えることができます。

カウント動作開始タイミング以降は，各タイマで個別動作となります。

TKBSCM0ビットは，マスタのみ設定します。

注意 1.　タイマKB0のみマスタとなります。

2.　マスタ選択クロックは，必ずスレーブ選択クロックより速いか同じクロックにしてください。

マスタとスレーブの選択クロックの関係	CK0とCK1の関係	マスタのTKBSCMnビット	対応可能
マスタとスレーブが同一クロックを選択	－	0	○
マスタとスレーブが異なるクロックを選択	マスタの選択クロックが，スレーブ選択クロックより速い場合	1	○
マスタとスレーブが異なるクロックを選択	マスタの選択クロックが，スレーブ選択クロックより遅い場合	－	×

同時スタート／ストップ・モードでのTKBOn0/TKBOn1出力の計算式は，7. 4. 5　単体動作モード（TKBCRn0による周期制御），7. 4. 6　単体動作モード（外部トリガ入力による周期制御）を参照してください。

（2）同時スタート／ストップ・モードで使用可能なマスタとスレーブの動作モード組み合わせ

同時スタート／ストップ・モードで使用可能なマスタおよびスレーブの動作モードを示します。

マスタ：

動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	設定可能
単体動作モード（TKBCRn0による周期制御）	00B	00B	○
単体動作モード（外部トリガ入力による周期制御）	00B	01B/10B/11B	○
同時スタート／ストップ・モード（TKBCRn0による周期制御）	01B	00B	×
同時スタート／ストップ・モード（外部トリガ入力による周期制御）	01B	01B/10B/11B	×
同期スタート／クリア・モード（マスタによる周期制御）	10B	－	×
インターリーブPFC出力モード	11B	－	×

スレーブ：

動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	設定可能
単体動作モード（TKBCRn0による周期制御）	00B	00B	×
単体動作モード（外部トリガ入力による周期制御）	00B	01B/10B/11B	×
同時スタート／ストップ・モード（TKBCRn0による周期制御）	01B	00B	○
同時スタート／ストップ・モード（外部トリガ入力による周期制御）	01B	01B/10B/11B	○
同期スタート／クリア・モード（マスタによる周期制御）	10B	－	×
インターリーブPFC出力モード	11B	－	×

（3）同時スタート／ストップ・モード

マスタ：単体動作モード（TKBCRn0による周期制御）でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLn0	-	TKBGTEn1	TKBSSEn1	TKBDIEn1	-	TKBGTEn0	TKBSSEn0	TKBDIEn0
	0	1/0	1/0	1/0	0	1/0	1/0	1/0
	7	6	5	4	3	2	1	0
	TKBMFEn	-	TKBIRSn1	TKBIRSn0	-	TKBTSEn	TKBSTSn1	TKBSTSn0
	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn	-	-	TKBCKSn	TKBSCMn	-	TKBMDn1	TKBMDn0
	1	0	0	1/0	1/0	0	0	0

	7	6	5	4	3	2	1	0
TKBIOCn0	-	-	-	-	TKBTOLn1	TKBTOLn0	TKBTODn1	TKBTODn0
	0	0	0	0	1/0	1/0	1/0	1/0

	7	6	5	4	3	2	1	0
TKBIOCn1	-	-	-	-	-	-	TKBTOEn1	TKBTOEn0
	0	0	0	0	0	0	1/0	1/0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H-FFFFH
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H-FFFFH
TKBSIRn1	0000H-FFFFH
TKBSSRn0	00H-0FH
TKBSSRn1	00H-0FH
TKBDNRn0	00H-F0H
TKBDNRn1	00H-F0H
TKBMFRn	0000H

□：このモードでは設定固定　　■：設定不要（初期値を設定）

（4）同時スタート／ストップ・モード

スレーブ：単体動作モード（TKBCRn0による周期制御）でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLn0	-	TKBGTEn1	TKBSSEn1	TKBDIEn1	-	TKBGTEn0	TKBSSEn0	TKBDIEn0
	0	1/0	1/0	1/0	0	1/0	1/0	1/0
	7	6	5	4	3	2	1	0
	TKBMFEn	-	TKBIRSn1	TKBIRSn0	-	TKBTSEn	TKBSTSn1	TKBSTSn0
	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn	-	-	TKBCKSn	TKBSCMn	-	TKBMDn1	TKBMDn0
	1	0	0	1/0	0	0	0	1

	7	6	5	4	3	2	1	0
TKBIOCn0	-	-	-	-	TKBTOLn1	TKBTOLn0	TKBTODn1	TKBTODn0
	0	0	0	0	1/0	1/0	1/0	1/0

	7	6	5	4	3	2	1	0
TKBIOCn1	-	-	-	-	-	-	TKBTOEn1	TKBTOEn0
	0	0	0	0	0	0	1/0	1/0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H-FFFFH
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H-FFFFH
TKBSIRn1	0000H-FFFFH
TKBSSRn0	00H-0FH
TKBSSRn1	00H-0FH
TKBDNRn0	00H-F0H
TKBDNRn1	00H-F0H
TKBMFRn	0000H

□：このモードでは設定固定　　■：設定不要（初期値を設定）

（5）同時スタート／ストップ・モード

マスタ：単体動作モード（外部トリガ入力による周期制御）でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLn0	-	TKBGTEn1	TKBSSEn1	TKBDIEn1	-	TKBGTEn0	TKBSSEn0	TKBDIEn0
	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	TKBMFEn	-	TKBIRSn1	TKBIRSn0	-	TKBTSEn	TKBSTSn1	TKBSTSn0
	1/0	0	0	0	0	1/0	1/0	1/0

	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn	-	-	TKBCKSn	TKBSCMn	-	TKBMDn1	TKBMDn0
	1	0	0	1/0	1/0	0	0	0

	7	6	5	4	3	2	1	0
TKBIOCn0	-	-	-	-	TKBTOLn1	TKBTOLn0	TKBTODn1	TKBTODn0
	0	0	0	0	1/0	1/0	1/0	1/0

	7	6	5	4	3	2	1	0
TKBIOCn1	-	-	-	-	-	-	TKBTOEn1	TKBTOEn0
	0	0	0	0	0	0	1/0	1/0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H-FFFFH
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H
TKBSIRn1	0000H
TKBSSRn0	00H
TKBSSRn1	00H
TKBDNRn0	00H
TKBDNRn1	00H
TKBMFRn	0000H-FFFFH

□：このモードでは設定固定　　■：設定不要（初期値を設定）

（6）同時スタート／ストップ・モード

スレーブ：単体動作モード（外部トリガ入力による周期制御）でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLn0	-	TKBGTEn1	TKBSSEn1	TKBDIEn1	-	TKBGTEn0	TKBSSEn0	TKBDIEn0
	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
	TKBMFEn	-	TKBIRSn1	TKBIRSn0	-	TKBTSEn	TKBSTSn1	TKBSTSn0
	1/0	0	0	0	0	1/0	1/0	1/0

	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn	-	-	TKBCKSn	TKBSCMn	-	TKBMDn1	TKBMDn0
	1	0	0	1/0	0	0	0	1

	7	6	5	4	3	2	1	0
TKBIOCn0	-	-	-	-	TKBTOLn1	TKBTOLn0	TKBTODn1	TKBTODn0
	0	0	0	0	1/0	1/0	1/0	1/0

	7	6	5	4	3	2	1	0
TKBIOCn1	-	-	-	-	-	-	TKBTOEn1	TKBTOEn0
	0	0	0	0	0	0	1/0	1/0

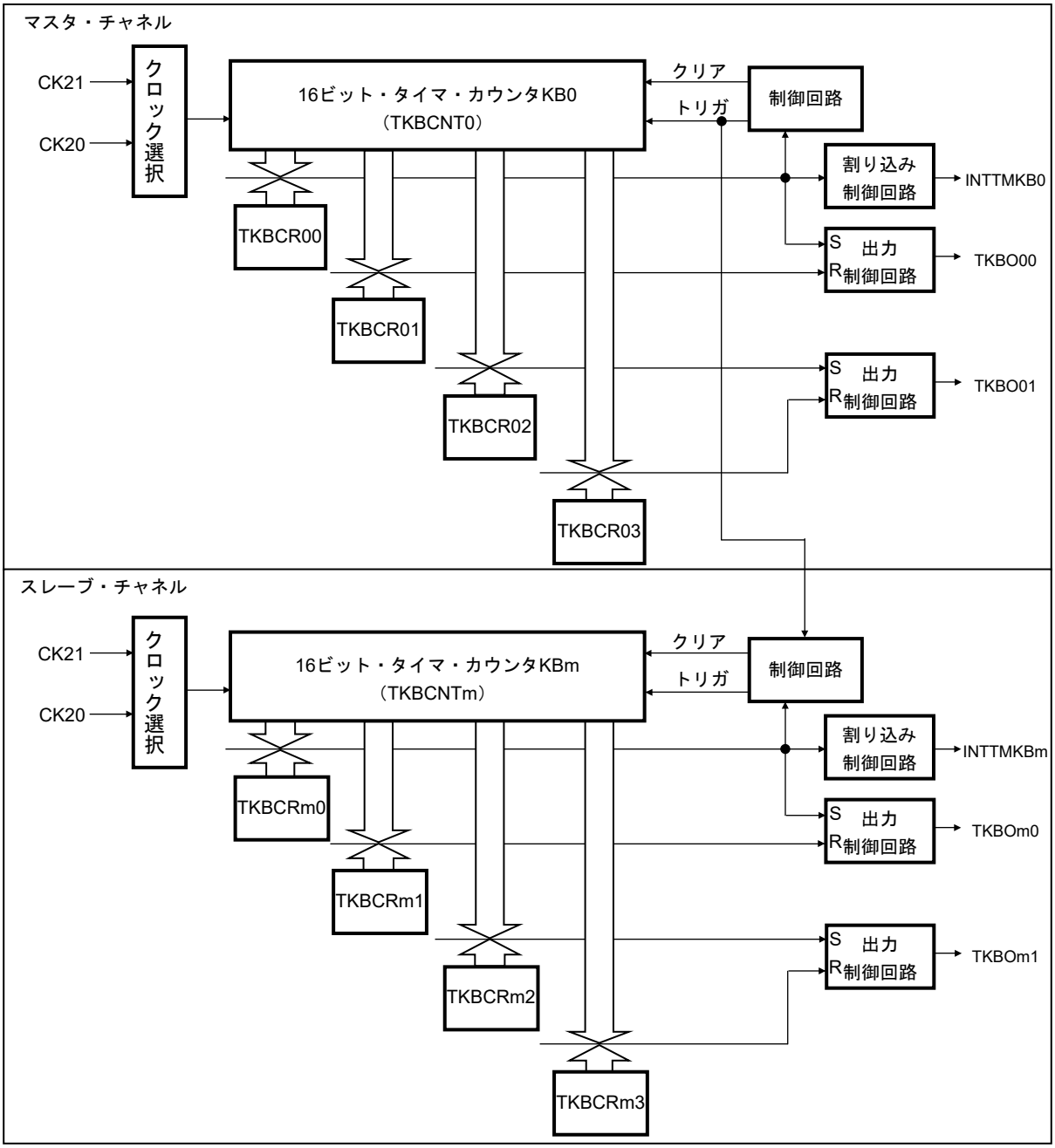
TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H-FFFFH
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H
TKBSIRn1	0000H
TKBSSRn0	00H
TKBSSRn1	00H
TKBDNRn0	00H
TKBDNRn1	00H
TKBMFRn	0000H-FFFFH

□：このモードでは設定固定　■：設定不要（初期値を設定）

（7）同時スタート／ストップ・モードの構成図（TKBCR00 による周期制御）

図7－44に同時スタート／ストップ・モード時の構成図を示します。

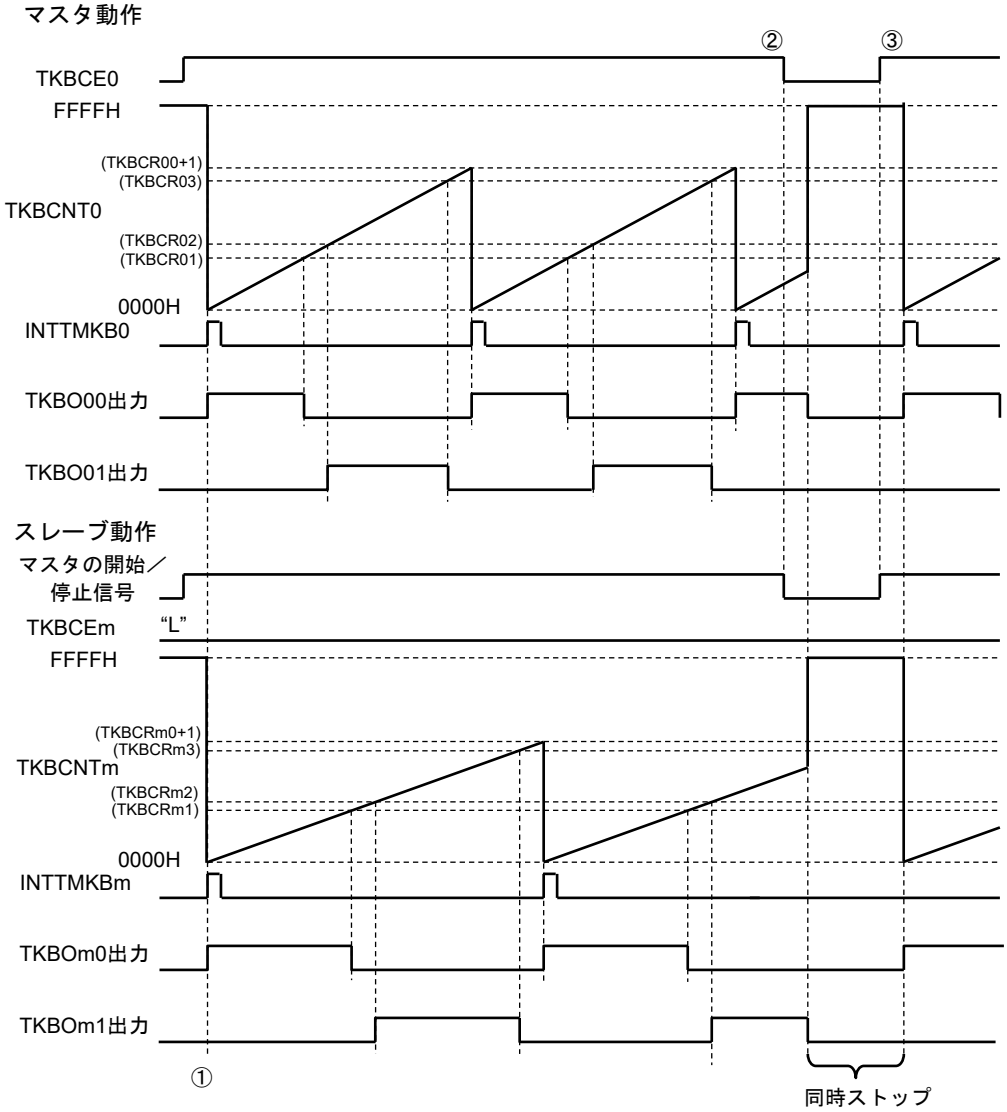
図7－44　同時スタート／ストップ・モード時の構成図（TKBCR00による周期制御）



（8）動作概要

図7－45に同時スタート／ストップ・モードの動作タイミング例を示します。

図7－45　同時スタート／ストップ・モード動作タイミング例（TKBCR00による周期制御）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



同時スタート／ストップ・モードの動作例について説明します。次の説明は図7－45の①～③とリンクしています。

① マスタのTKBCE0に1を設定すると，カウント・クロックに同期してマスタの16ビット・タイマ・カウンタKB0（TKBCNT0）とスレーブの16ビット・タイマ・カウンタKBm（TKBCNTm）はFFFFHから0000Hになり，アップ・カウントを開始します。同時にマスタからはINTTMKB0，スレーブからはINTTMKBmが出力され，TKBO00出力とTKBOm0出力がデフォルト値からアクティブ値（この例ではハイ・レベル）に変化します。以降の細かな動作は図7－38　単体動作タイミング例（TKBCRn0による周期制御）（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）を参照してください。

② TKBCE0に0を設定すると，タイマKBの入力クロックに同期してマスタのTKBCNT0とスレーブのTKBCNTmはカウント・アップを停止して，FFFFHになります。同時にマスタとスレーブの出力はデフォルト・レベルとなります。この状態はマスタのTKBCE0に1が設定されるまで継続します。

③ マスタのTKBCE0に1を設定すると，①からと同じ動作を繰り返します。

7. 4. 8　同期スタート／クリア・モード

複数のタイマKBを使ってマスタ／スレーブ構成にしている場合，マスタのタイマKB0のカウント開始/停止タイミング，カウンタクリアタイミングおよび一斉書き換えタイミングと同期してスレーブのタイマKBmを同時スタート＆クリアさせることができます。

その場合，マスタを「単体動作モード（TKBMD01, TKBMD00 = 00）」，スレーブを「同期スタート／クリア・モード（TKBMDm1, TKBMDm0 = 10）」で動作させます。

TKBCKS0ビットおよびTKBCKSmビットは，必ずマスタ／スレーブが同一の分周クロックを選択するようにしてください。

マスタのTKBO00/TKBO01出力の算出式は, 7. 4. 5　単体動作モード（TKBCRn0による周期制御）を参照してください。

一斉書き換えは，マスタのTKBRDT0へ“1”を書き込むことで制御されます。

TKBRSF0フラグをリードする場合は，マスタのTKBRSF0を確認することが必要です。

マスタのTKBCNT0クリア・タイミングで，スレーブのTKBCNTmもクリアされます。

マスタの一斉書き換えタイミングで，スレーブのコンペア・レジスタも一斉書き換えされます。

スレーブは，マスタのTKBCR00で生成する周期に従って動作するので，スレーブのTKBCRm0はTKBOm0のアクティブ・タイミングを設定するレジスタに役割が変更になります。

INTTMKBmは，TKBCNTmとTKBCRm0との一致検出により生成されます。ただし，カウント動作開始タイミングのINTTMKBmは出力されません。

スレーブのデューティは, 0%～100%の範囲で設定可能で，以下の計算式で求められます。

【スレーブのTKBOm0出力の計算式】

パルス周期 ＝ （マスタのTKBCR00の設定値＋1）×カウント・クロック周期

デューティ[%] = （（TKBCRm1の設定－TKBCRm0の設定値）／（マスタのTKBCR00の設定値＋1））×100

0%出力　　：TKBCRm1の設定値 ＝ TKBCRm0の設定値

100%出力　：TKBCRm0の設定値 ＝ 0000H，TKBCRm1の設定値 ≧ マスタのTKBCR00の設定値＋1

注意　必ず, TKBCRm0の設定値 ≦ TKBCRm1の設定値としてください。

【スレーブのTKBOm1出力の演算式】

パルス周期 ＝ （マスタのTKBCR00の設定値＋1）×カウント・クロック周期

デューティ [%] = （（TKBCRm3の設定－TKBCRm2の設定値）／（マスタのTKBCR00の設定値＋1））×100

0%出力　　：TKBCRm3の設定値 ＝ TKBCRm2の設定値

100%出力　：TKBCRm2の設定値 ＝ 0000H, TKBCRm3の設定値 ≧マスタのTKBCR00の設定値＋1

注意　必ず, TKBCRm2の設定値 ≦ TKBCRm3の設定値としてください。

備考　k = 1, 2

（1）同期スタート／クリア・モードで使用可能なマスタとスレーブの動作モード組み合わせ

同期スタート／クリア・モードで使用可能なマスタおよびスレーブの動作モードを示します。

マスタ

動作モード	TKBMD01, TKBMD00	TKBSTS01, TKBSTS00	設定可能
単体動作モード（TKBCR00による周期制御）	00B	00B	○
単体動作モード（外部トリガ入力による周期制御）	00B	01B/10B/11B	×
同時スタート／ストップ・モード（TKBCR00による周期制御）	01B	00B	×
同時スタート／ストップ・モード（外部トリガ入力による周期制御）	01B	01B/10B/11B	×
同期スタート／クリア・モード（マスタによる周期制御）	10B	–	×
インターリーブPFC出力モード	11B	–	×

スレーブ

動作モード	TKBMDk1, TKBMDk0	TKBSTSk1, TKBSTSk0	設定可能
単体動作モード（TKBCRk0による周期制御）	00B	00B	×
単体動作モード（外部トリガ入力による周期制御）	00B	01B/10B/11B	×
同時スタート／ストップ・モード（TKBCRk0による周期制御）	01B	00B	×
同時スタート／ストップ・モード（外部トリガ入力による周期制御）	01B	01B/10B/11B	×
同期スタート／クリア・モード（マスタによる周期制御）	10B	–	○
インターリーブPFC出力モード	11B	–	×

(2) 同期スタート／クリア・モード：マスタでのレジスタ設定一覧

bit No.	15	14	13	12	11	10	9	8
TKBCTL00	–	TKBGTE01	TKBSSE01	TKBDIE01	–	TKBGTE00	TKBSSE00	TKBDIE00
Setting	0	1/0	1/0	1/0	0	1/0	1/0	1/0

bit No.	7	6	5	4	3	2	1	0
TKBCTL00	TKBMFE0	–	TKBIRS01	TKBIRS00	–	TKBTSE0	TKBSTS01	TKBSTS00
Setting	0	0	0	0	0	0	0	0

bit No.	7	6	5	4	3	2	1	0
TKBCTL01	TKBCE0	–	–	TKBCKS0	TKBSCM0	–	TKBMD01	TKBMD00
Setting	1	0	0	1/0	0	0	0	0

bit No.	7	6	5	4	3	2	1	0
TKBIOC00	–	–	–	–	TKBTOL01	TKBTOL00	TKBTOD01	TKBTOD00
Setting	0	0	0	0	1/0	1/0	1/0	1/0

bit No.	7	6	5	4	3	2	1	0
TKBIOC01	–	–	–	–	–	–	TKBTOE01	TKBTOE00
Setting	0	0	0	0	0	0	1/0	1/0

TKBCR00	0000H-FFFFH
TKBCR01	0000H-FFFFH
TKBCR02	0000H-FFFFH
TKBCR03	0000H-FFFFH
TKBTGCR0	0000H-FFFFH
TKBSIR00	0000H-FFFFH
TKBSIR01	0000H-FFFFH
TKBSSR00	00H-0FH
TKBSSR01	00H-0FH
TKBDNR00	00H-F0H
TKBDNR01	00H-F0H
TKBMFR0	0000H

□：このモードでは設定固定　　■：設定不要（初期値を設定）

(3) 同時スタート／ストップ・モード：スレーブでのレジスタ設定一覧

bit No.	15	14	13	12	11	10	9	8
TKBCTLk0	–	TKBGTE01	TKBSSEk1	TKBDIEk1	–	TKBGTE00	TKBSSEk0	TKBDIEk0
Setting	0	1/0	1/0	1/0	0	1/0	1/0	1/0

bit No.	7	6	5	4	3	2	1	0
TKBCTLk0	TKBMFEk	–	TKBIRSk1	TKBIRSk0	–	TKBTSEk	TKBSTSk1	TKBSTSk0
Setting	0	0	0	0	0	0	0	0

bit No.	7	6	5	4	3	2	1	0
TKBCTLk1	TKBCEk	–	–	TKBCKSk	TKBSCMk	–	TKBMDk1	TKBMDk0
Setting	1	0	0	1/0	0	0	1	0

bit No.	7	6	5	4	3	2	1	0
TKBIOCk0	–	–	–	–	TKBTOLk1	TKBTOLk0	TKBTODk1	TKBTODk0
Setting	0	0	0	0	1/0	1/0	1/0	1/0

bit No.	7	6	5	4	3	2	1	0
TKBIOCk1	–	–	–	–	–	–	TKBTOEk1	TKBTOEk0
Setting	0	0	0	0	0	0	1/0	1/0

TKBCRk0	0000H-FFFFH
TKBCRk1	0000H-FFFFH
TKBCRk2	0000H-FFFFH
TKBCRk3	0000H-FFFFH
TKBTGCRk	0000H-FFFFH
TKBSIRk0	0000H-FFFFH
TKBSIRk1	0000H-FFFFH
TKBSSRk0	00H-0FH
TKBSSRk1	00H-0FH
TKBDNRk0	00H-F0H
TKBDNRk1	00H-F0H
TKBMFRk	0000H

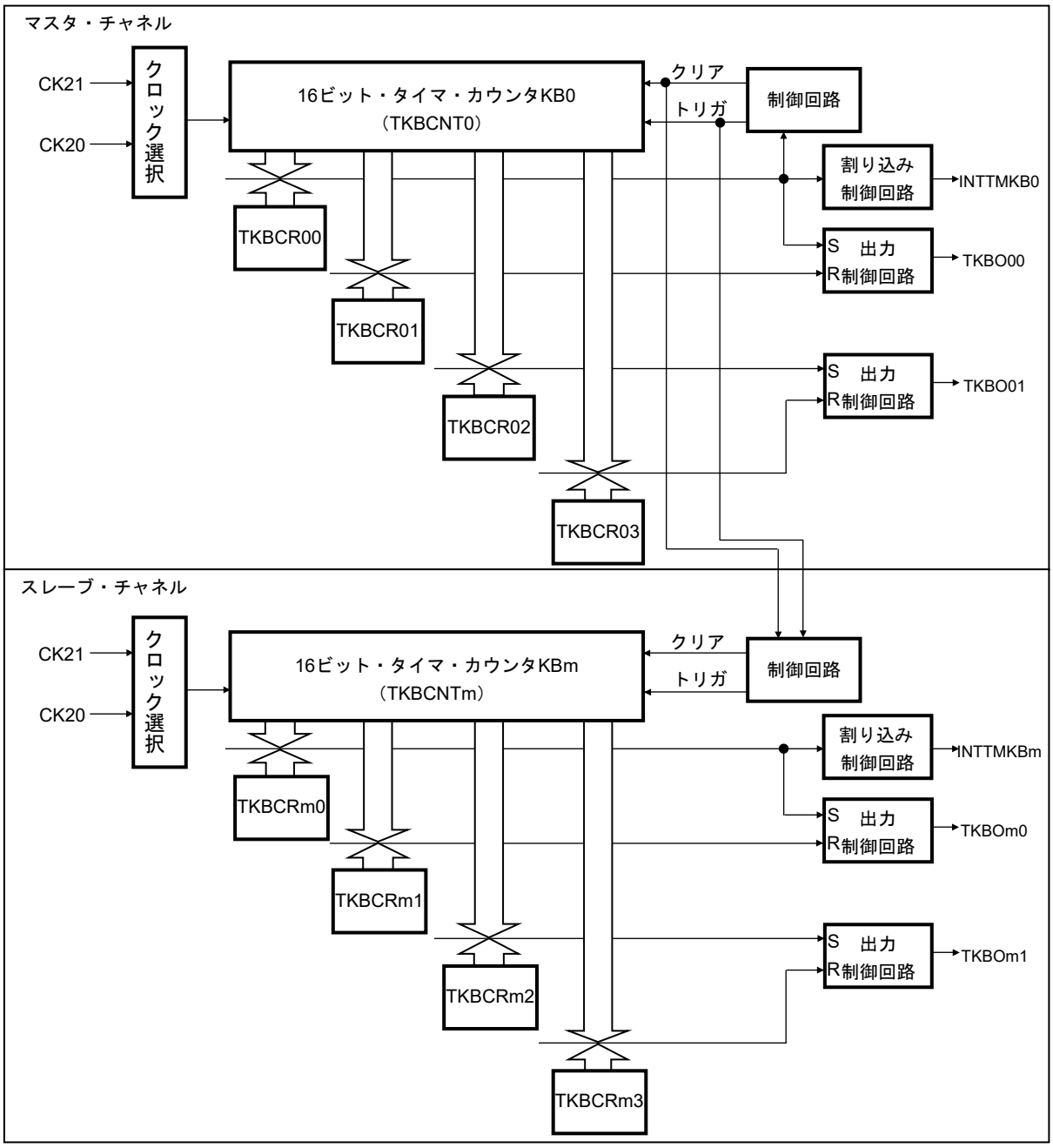
□：このモードでは設定固定　　■：設定不要（初期値を設定）

備考　K = 1, 2

（4）同期スタート／クリア・モードの構成図（マスタによる周期制御）

図7－46に同期スタート／クリア・モード時の構成図を示します。

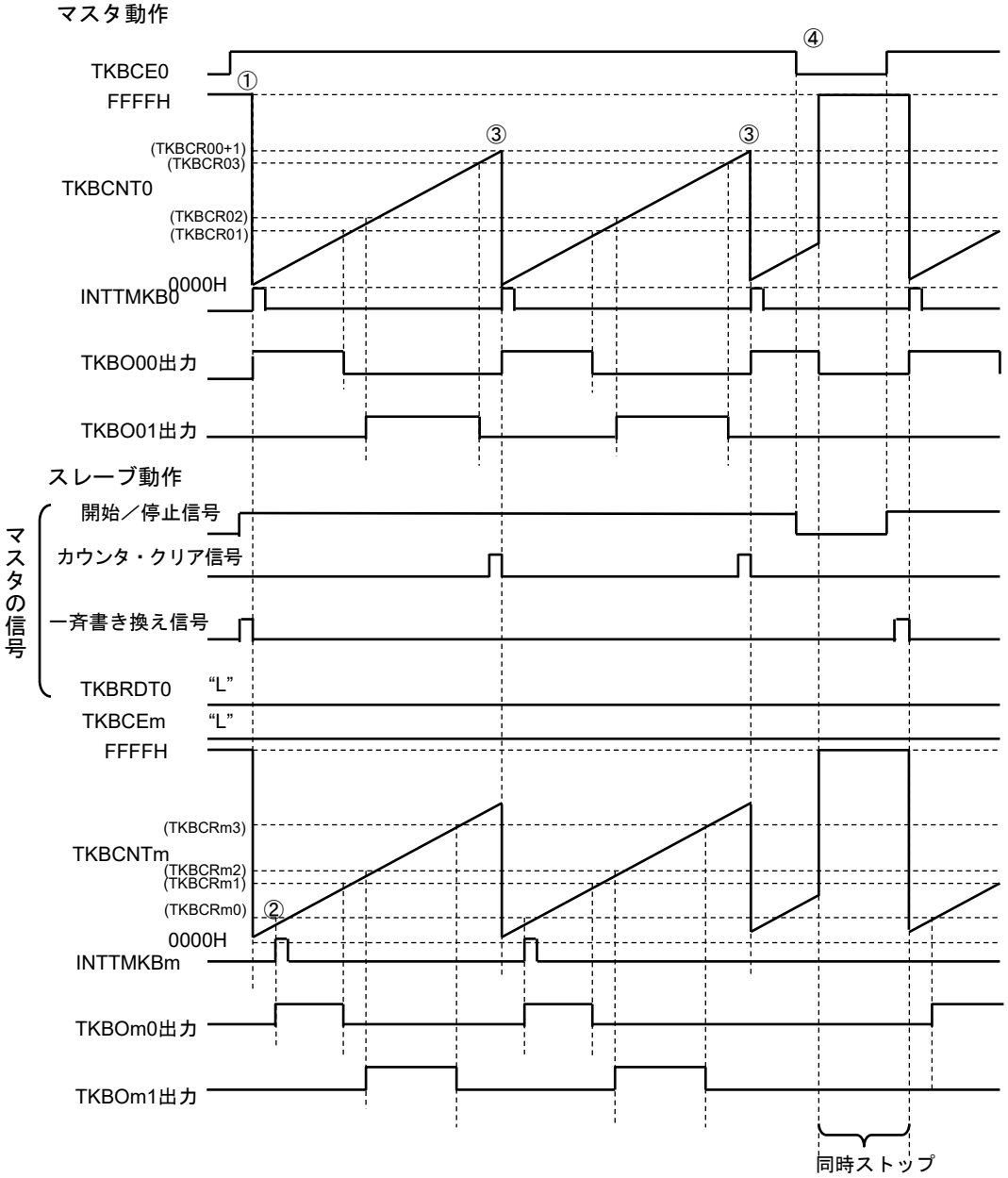
図7－46　同期スタート／クリア・モード時の構成図（マスタによる周期制御）



（5）動作概要

図7－47に同期スタート／クリア・モードの動作タイミング例を示します。

図7－47　同期スタート／クリア・モード動作タイミング例（マスタによる周期制御）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



同期スタート／クリア・モードの動作例について説明します。次の説明は図7－47の①～④とリンクしています。

① マスタのTKBCE0に1を設定すると，カウント・クロックに同期してマスタの16ビット・タイマ・カウンタKB0（TKBCNT0）とスレーブの16ビット・タイマ・カウンタKBm（TKBCNTm）はFFFFHから0000Hになり，アップ・カウントを開始します。同時にマスタからはINTTMKB0が出力され，TKBO00出力がデフォルト値からアクティブ値（この例ではハイ・レベル）に変化します。

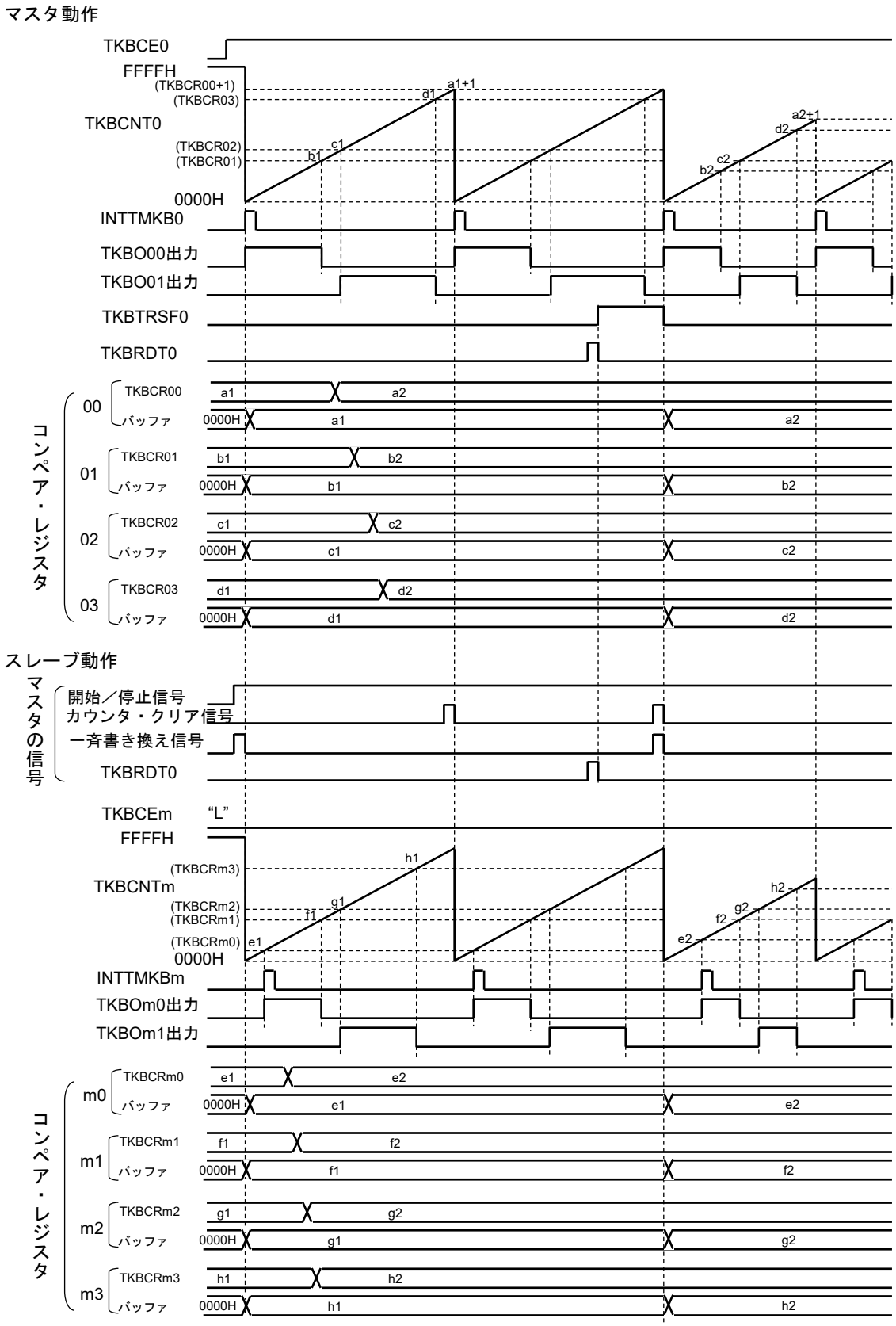
② TKBCNTmのカウント値がTKBCRm0に設定されている値と一致すると，スレーブのTKBOm0出力がアクティブ・レベルになります。以降の細かな動作は図7－38　単体動作タイミング例単体動作タイミング例（TKBCRn0による周期制御）（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）を参照してください。

③ TKBCNT0のカウント値がTKBCR00に設定されている値と一致すると，マスタのクリア信号が出力され，マスタおよびスレーブの16ビット・タイマ・カウンタ（TKBCNT0, TKBCNTm）は同時にクリアされます。

④ TKBCE0に0を設定すると，タイマKBの入力クロックに同期してマスタのTKBCNT0とスレーブのTKBCNTmはカウント・アップを停止して，FFFFHになります。同時にマスタとスレーブの出力はデフォルト・レベルとなります。この状態はマスタのTKBCE0に1が設定されるまで継続します。

図7－48に同期スタート／クリア・モードで一斉書き換えを行う場合の動作タイミング例を示します。この場合には，マスタのTKBRDT0ビットに1をセットすることで，次のクリア・タイミングでスレーブも同時に一斉書き換えが行われます。

図7－48　同期スタート／クリア・モード動作タイミング例（マスタによる周期制御）
（一斉書き換えの場合）



7. 4. 9　インターリーブPFC（Power Factor Correction）出力モード

電源の高調波電流を抑制するPFC回路を制御する信号をインターリーブ出力できるモードです。

インターリーブPFC回路はシングルPFC回路に比べ，入力ピーク電流を抑制できるため，部品の小型化や電源装置の大電力化を図ることができます。

インターリーブPFC制御には2本のゼロ電流検出用入力とスイッチング用の2本のPWM出力が必要です。TMKBはインターリーブPFC制御を外部割込み入力INTP20-タイマ出力TKBOn0，外部割込み入力INTP21-タイマ出力TKBOn1の組み合わせで実現します。

INTP20の信号入力に応じてTKBOn0がパルス出力を行い，INTP21の信号入力に応じてTKBOn1がパルス出力を行います。

このとき，TKBOn0出力タイミングを基準として，TKBOn1出力が180度位相ずれとなるように制御します。

備考　シングルPFC制御は単体動作モード(外部入力トリガによる周期制御)で実現することができます。
詳しくは7. 4. 6　単体動作モード（外部トリガ入力による周期制御）を参照してください。

TKBCRn0により，外部入力INTP20が検出されない場合のタイマKBnのリスタート周期を設定します。

TKBCRn1により，TKBOn0出力のアクティブ幅を設定します。

TKBCRn3により，TKBOn1出力のアクティブ幅を設定します。

備考　インターリーブPFC（Power Factor Correction）出力モードではTKBCRn2は使用しません。

TKBTOLn0ビットとTKBTODn0ビット，TKBTOLn1ビットとTKBTODn1ビットの設定値を同じ値に設定してください。これによりデフォルト・レベルがロウ・レベル（ハイ・レベル）のとき，アクティブ・レベルをハイレベル（ロウ・レベル）となるようにします。

【TKBOn0出力とTKBOn1出力の計算式】

パルス周期（Max）[注1] = （TKBCRn0の設定値＋1）×カウント・クロック周期

TKBOn0出力のアクティブ幅 = TKBCRn1の設定値×カウント・クロック周期

TKBOn1出力のアクティブ幅 = TKBCRn3の設定値×カウント・クロック周期

TKBOn1出力時の位相ずれ幅[注2] = INT[（前周期幅－1）[注3]/2+1]×カウント・クロック周期

注1. 外部割り込み入力INTP20が検出されない場合のタイマKBnのリスタート周期となります。

2. 条件No.7の場合を除く。

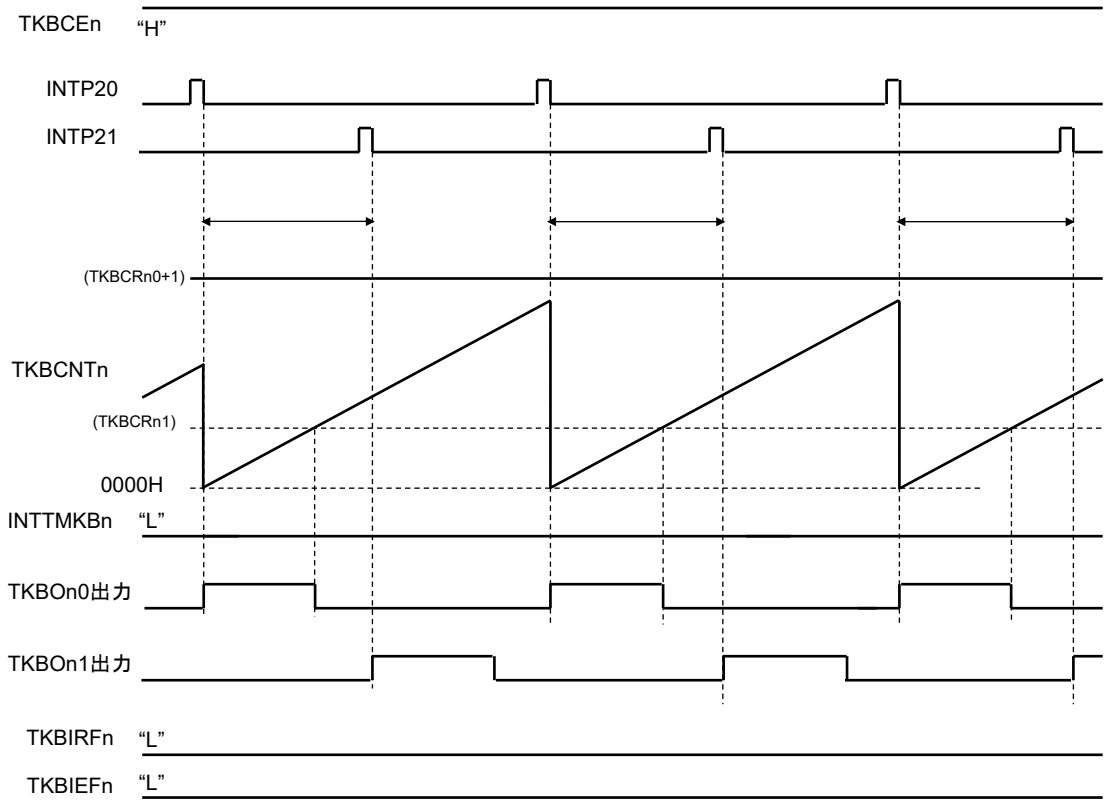
3. 条件No.1の場合はTKBCRn0の設定値

インターリーブPFCモード基本動作の概要を図7－49に示します。インターリーブPFCモード基本動作では，INTP20をトリガとして，TKBCNTnはクリアされて0000Hからカウント・アップします。このとき，TKBOn0はアクティブ・レベルとなり，TKBCRn1レジスタの設定値との一致によりイン・アクティブ・レベルとなります。

INTP20と位相がずれたINTP21によるトリガでTKBOn1はアクティブ・レベルとなり，TKBCRn3レジスタの設定値との一致によりイン・アクティブ・レベルとなります。

TKBCNTnがTKBCRn0レジスタの設定値と一致する前に次のINTP20が入力されて，上記の動作を繰り返していきます。

図7－49　インターリーブPFCモード基本動作の動作概要
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



（1）インターリーブPFCにおけるTKBOn1の出力条件

TKBOn1の出力には出力条件があり，下記の表に従って制御されます。

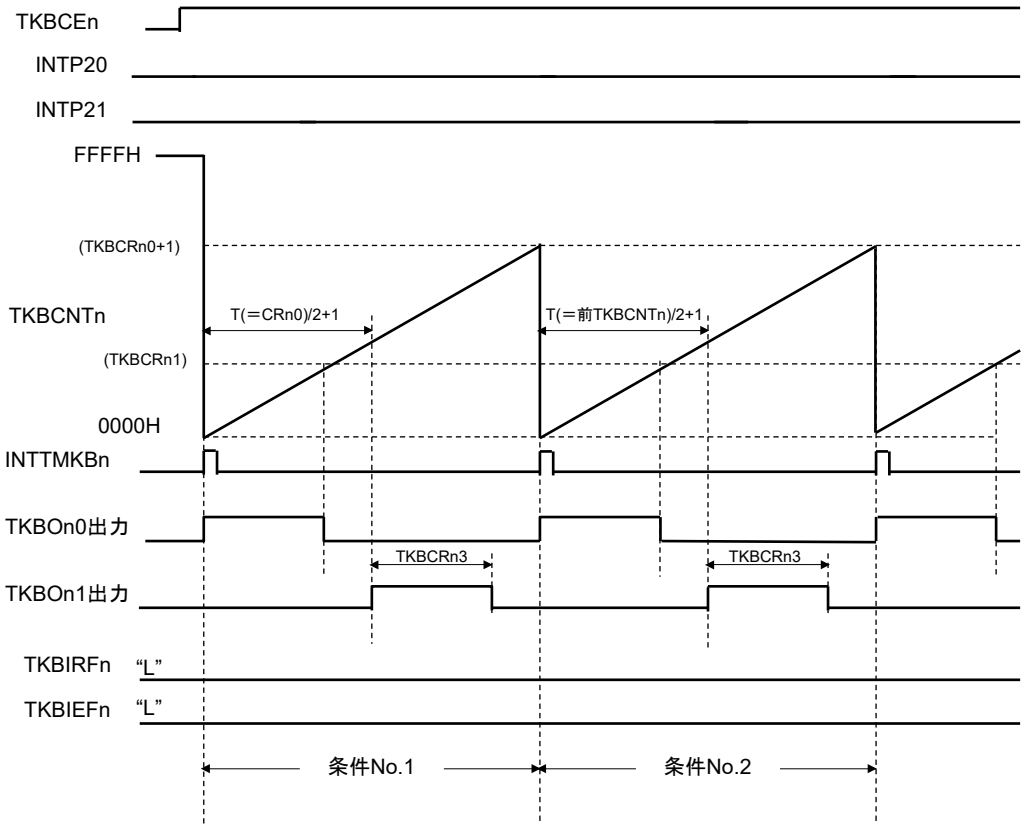
条件No	判定状態1（INTP20入力）	判定状態2（CR0との一致/INTP21入力）	判定状態3（周期幅）	出力状態
1	1周期目（CR0設定値をTとして波形を生成する。）	－	－	T/2で出力
2	INTP20入力未検出	CNTnとCRn0との一致発生（INTP21入力検出は無視する）	次の周期がT/2以上の場合	T/2で出力
3	↑	↑	次の周期がT/2以下の場合	状態保持
4	No.3の次の周期	－	－	T/2で出力
5	INTP20入力検出（1回目）*1	－	－	T/2で出力
6	INTP20入力検出（2回目以降）*2	INTP21検出（前TKBOn1立ち下りエッジ～T/2の範囲）	－	T/2で出力
7	INTP20入力検出（2回目以降）*2	INTP21検出（T/2～T/2＋T/(TKBIRSn1-TKBIRSn0の設定値)の範囲）	－	トリガ入力で出力
8	INTP20入力検出（2回目以降）*2	INTP21検出（T/2＋T/(TKBIRSn1-TKBIRSn0の設定値)の範囲以降）	－	状態保持
9	No.8の次の周期	－	－	T/2で出力
10	INTP20入力検出	－	次の周期がT/2以下の場合	状態保持
11	No.10の次の周期	－	－	T/2で出力

*1　INTP20入力検出(1回目)とは，前の周期がINTP20入力検出によりクリアされなかった場合を意味します。

*2　INTP20入力検出(2回目以降)とは，前の周期がINTP20入力検出によりクリアされた場合を意味します。

以下に，「条件No.」ごとの波形図を記載します。

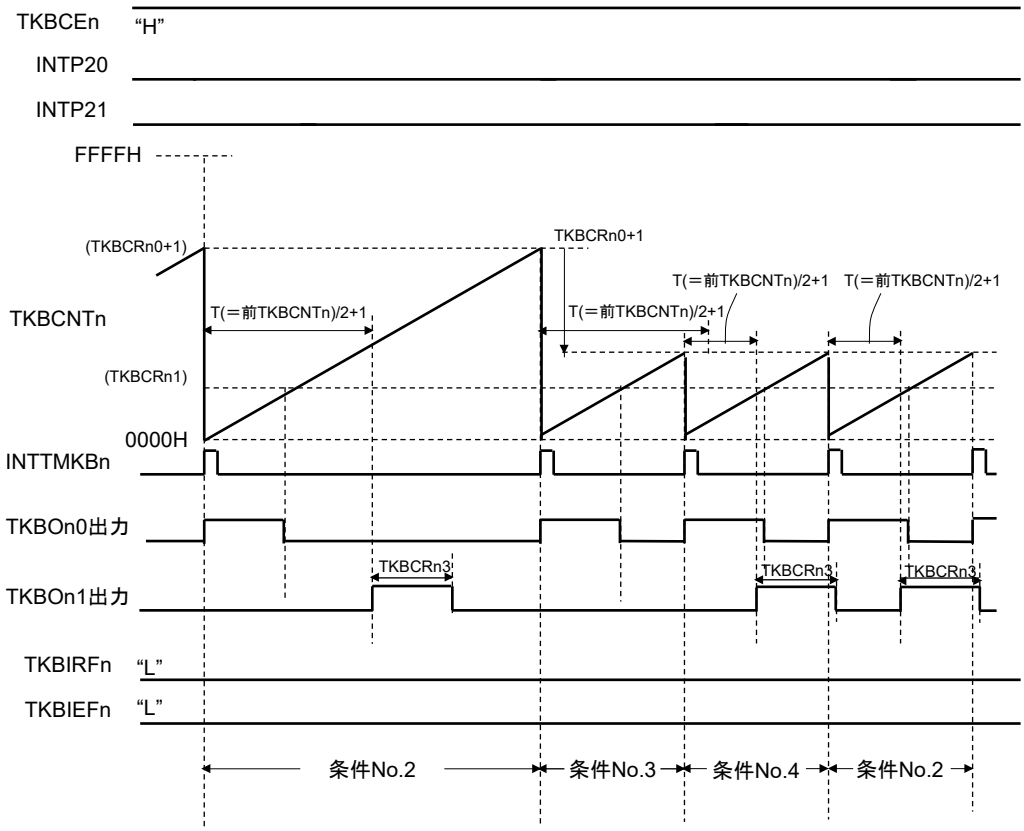
図7－50　インターリーブPFCモードのタイミング図（条件No.1～No.2の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



条件No.1　TKBCEn = 1設定後の1周期目だけは, TKBCRn0を“T”としてT/2でTKBCRn3の設定幅のTKBOn1を出力します。

条件No.2　2周期目は，前の周期のT/2でTKBCRn3の設定幅のTKBOn1を出力します

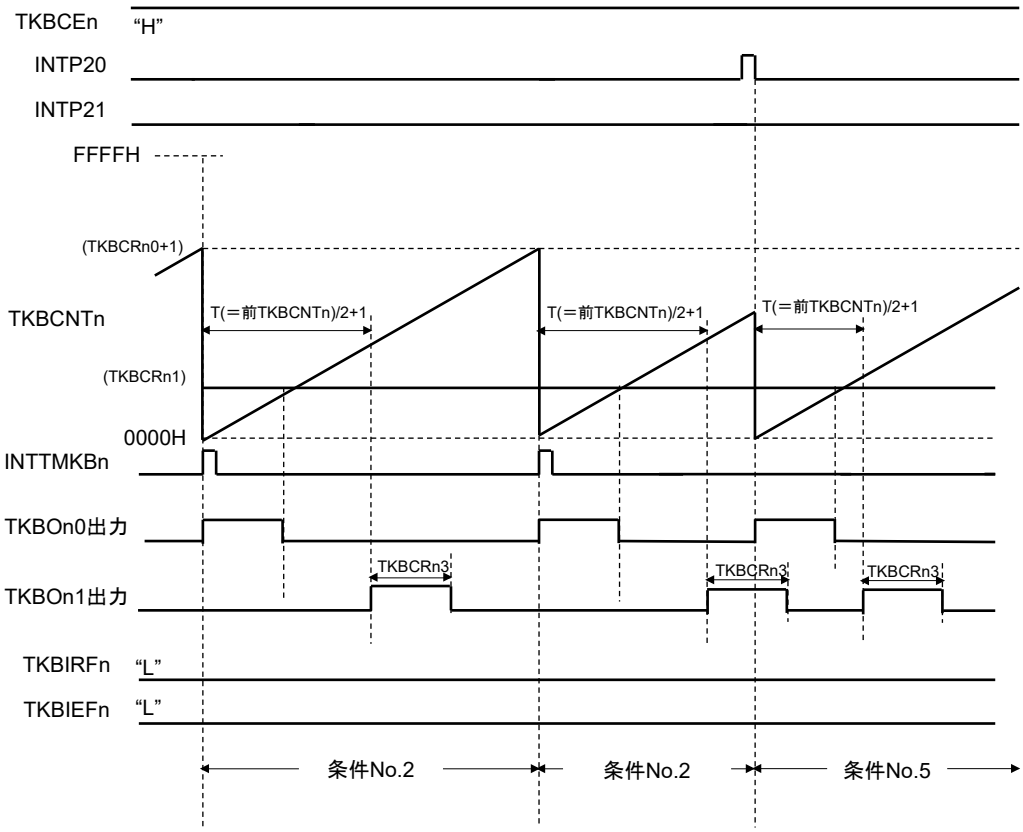
図7－51　インターリーブPFCモードのタイミング図（条件No.3～No.4の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



条件 No.3：前の周期のT/2を確保できず，TKBOn1は状態を保持。

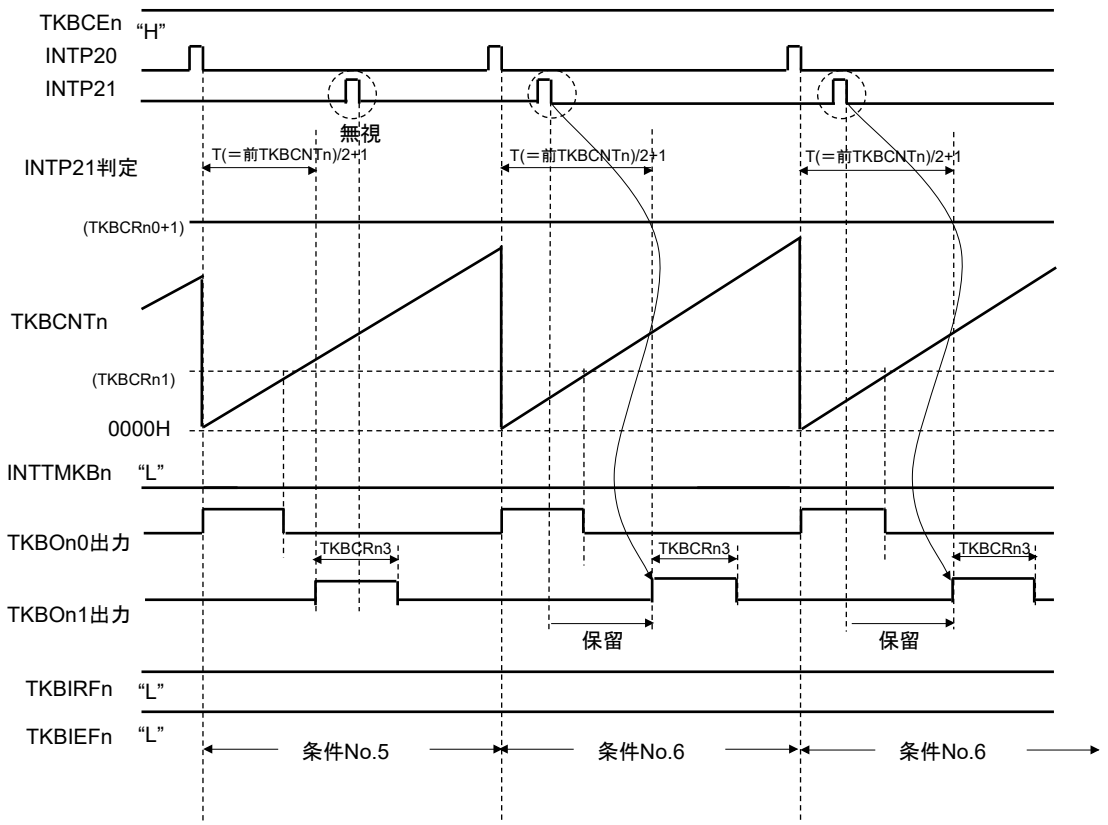
条件 No.4：前の周期のT/2でTKBCRn3の設定幅のTKBOn1を出力する。

図7－52　インターリーブPFCモードのタイミング図（条件No.5の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



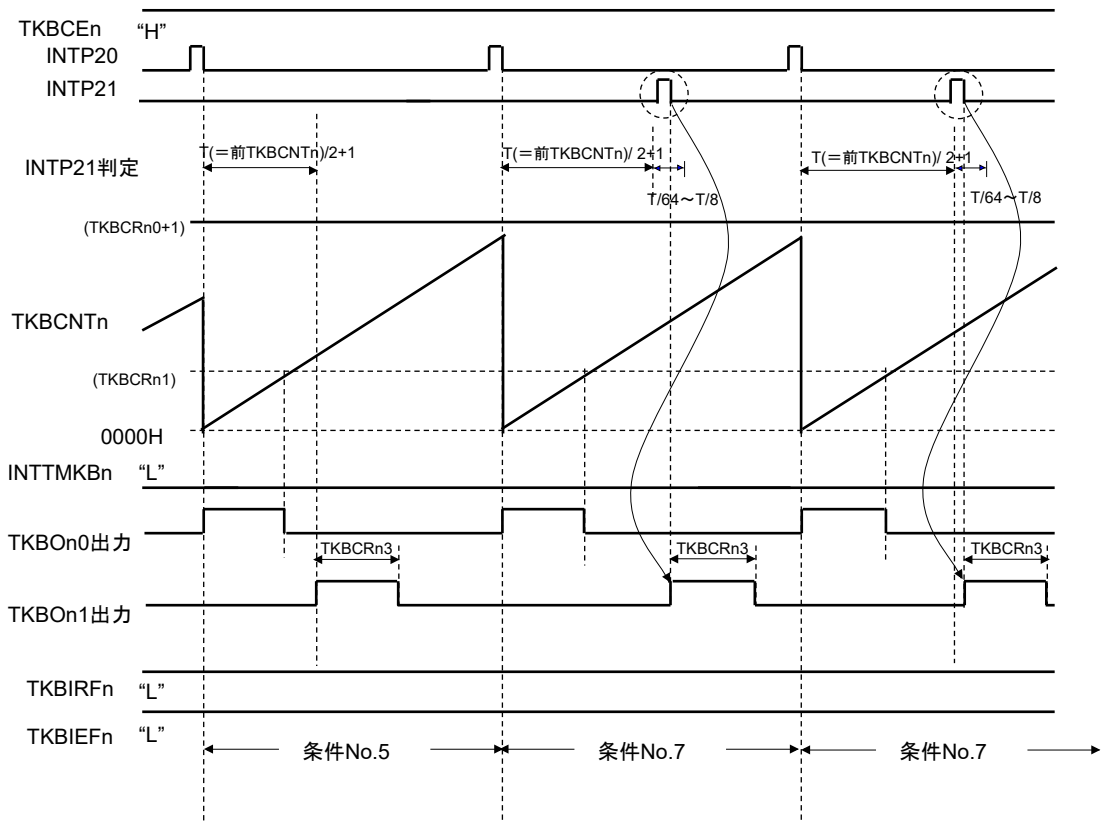
条件No.5　TKBCEn = 1設定後の最初に検出したINTP20は，前の周期のT/2でTKBCRn3の設定幅のTKBOn1を出力します。INTP21の検出/未検出によりません。

図7－53　インターリーブPFCモードのタイミング図（条件No.6の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



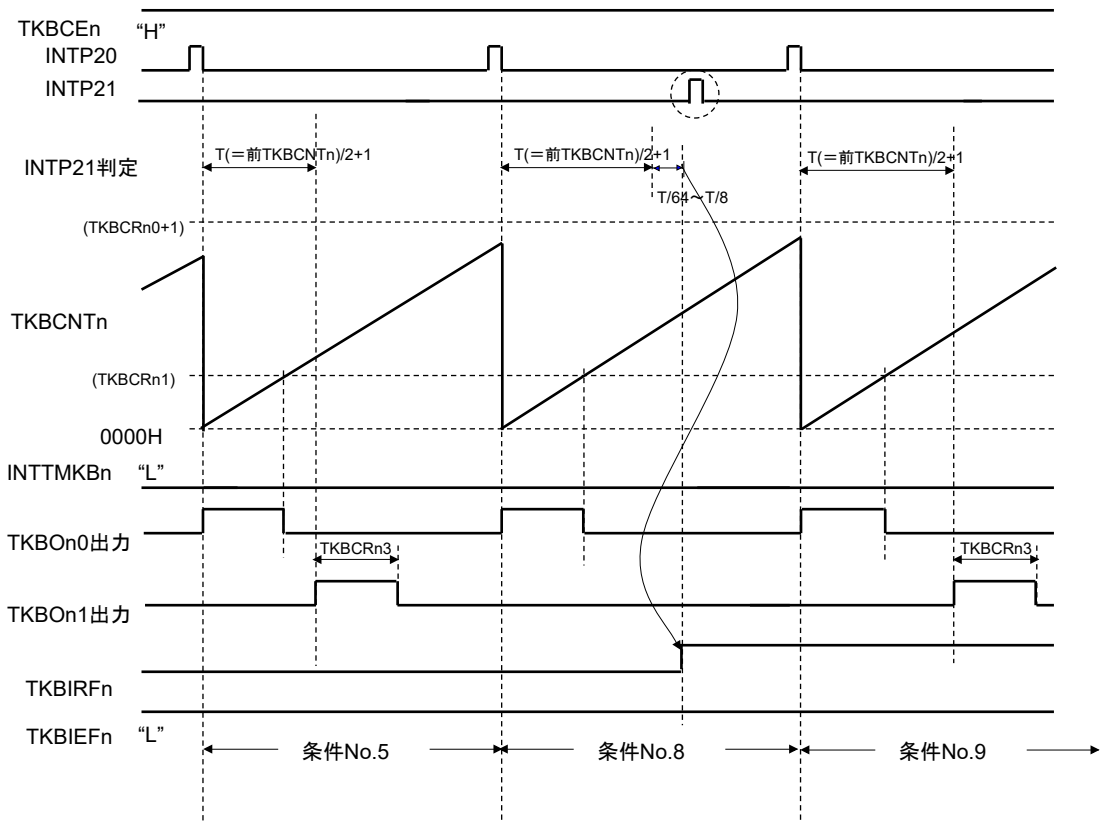
条件No.6　INTP21の入力が前の周期のT/2内であるため，前の周期のT/2でTKBCRn3の設定幅のTKBOn1を出力します。

図7－54　インターリーブPFCモードのタイミング図（条件No7の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



条件No.7　INTP20検出後，前の周期のT/2以上，前の周期のT/2＋T/m（mは, 8, 16, 32, 64：TKBIRSn1, TKBIRSn0で設定）以内にINTP21検出するとTKBCRn3の設定幅のTKBOn1を出力します。

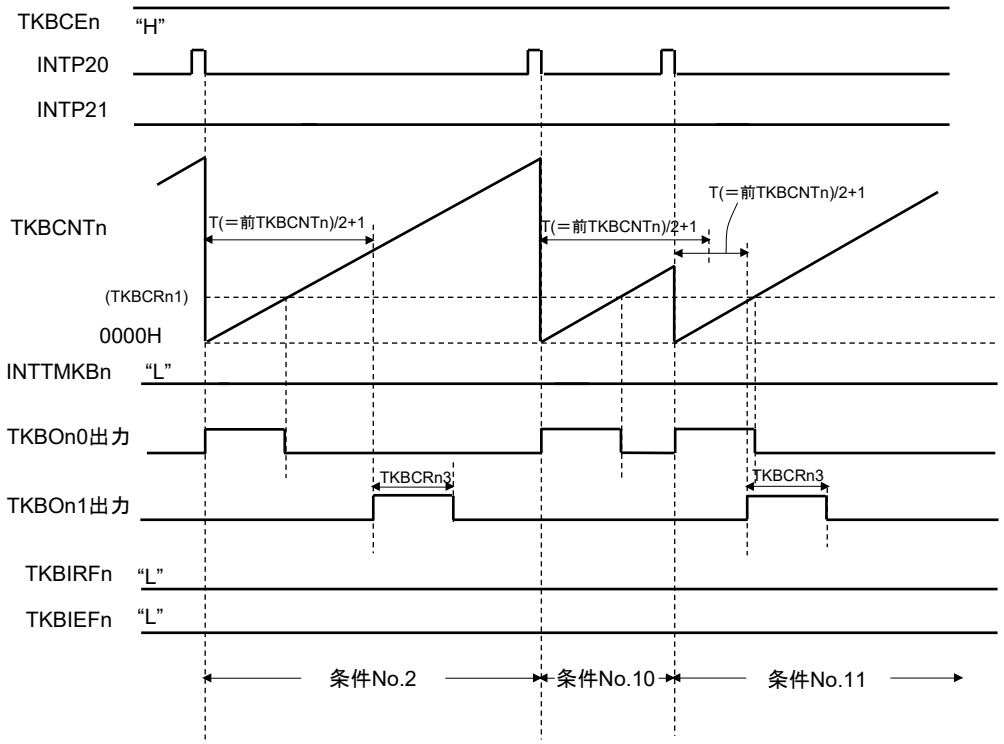
図7－55　インターリーブPFCモードのタイミング図（条件No8～No.9の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



条件No.8　前の周期のT/2＋T/m（mは8, 16, 32, 64 : TKBIRSn1, TKBIRSn0で設定）以内にINTP21が検出されなかった場合，TKBOn1は状態を保持します。このとき，TKBIRFnが“1”にセットされます。

条件No.9　前の周期のT/2でTKBCRn3の設定幅のTKBOn1を出力します。

図7－56　インターリーブPFCモードのタイミング図（条件No.10～No.11の動作）
（出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）

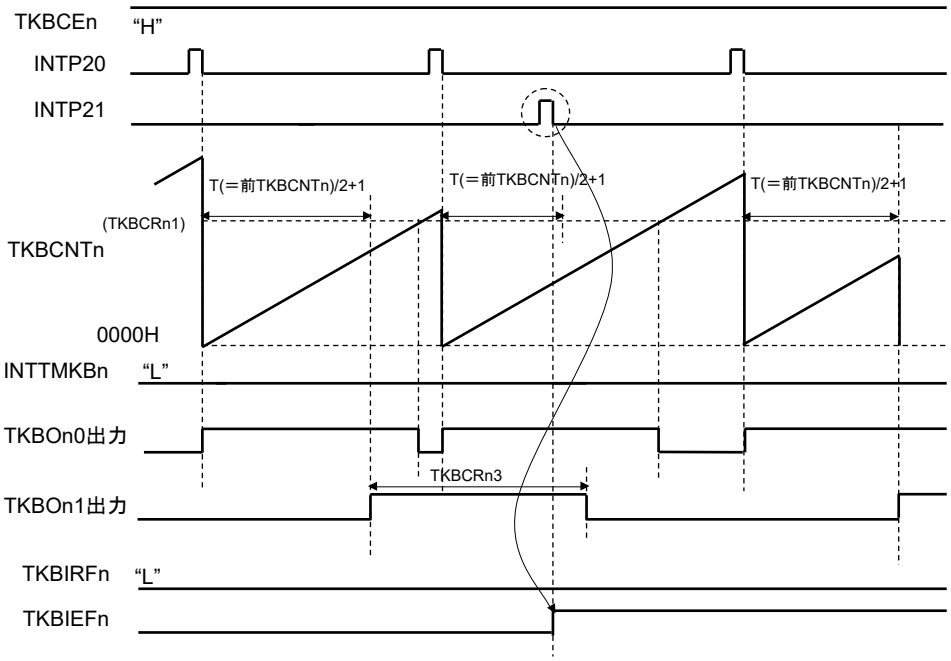


条件No.10　前の周期のT/2を確保できず, TKBOn1は状態を保持します。

条件No.11　前の周期のT/2でTKBCRn3の設定幅のTKBOn1を出力します。

図7－57　インターリーブPFCモードのタイミング図

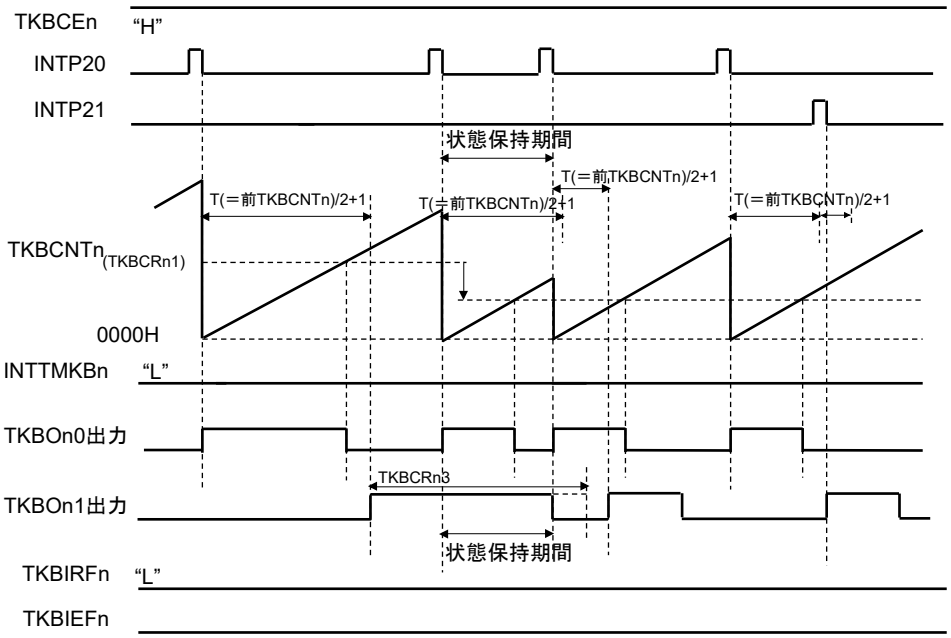
（TKBOn1出力中にINTP21入力が検出された場合）



前の周期のTKBOn1出力中に，INTP21入力が検出された場合，このトリガを無視します。このとき，TKBIEFnが“1”にセットされます。

図7－58　インターリーブPFCモードのタイミング図

（TKBOn1の出力が前回の出力幅で，状態保持期間を超える場合）



TKBOn1出力の前回の出力幅が長く，状態保持期間を超える場合は，状態保持期間を完了した次の周期の開始タイミングで強制的にデフォルト出力とします。

(2) インターリーブPFC出力モードでのレジスタ設定一覧

bit No.	15	14	13	12	11	10	9	8
TKBCTLn0	–	TKBGTEn1	TKBSSEn1	TKBDIEn1	–	TKBGTEn0	TKBSSEn0	TKBDIEn0
Setting	0	0	0	0	0	0	0	0

bit No.	7	6	5	4	3	2	1	0
TKBCTLn0	TKBMFEn	–	TKBIRSn1	TKBIRSn0	–	TKBTSEn	TKBSTSn1	TKBSTSn0
Setting	1/0	0	1/0	1/0	0	1	0	0

bit No.	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn	–	–	TKBCKSn	TKBSCMn	–	TKBMDn1	TKBMDn0
Setting	1	0	0	1/0	0	0	1	1

bit No.	7	6	5	4	3	2	1	0
TKBIOCn0	–	–	–	–	TKBTOLn1	TKBTOLn0	TKBTODn1	TKBTODn0
Setting	0	0	0	0	1/0	1/0	1/0	1/0

bit No.	7	6	5	4	3	2	1	0
TKBIOCn1	–	–	–	–	–	–	TKBTOEn1	TKBTOEn0
Setting	0	0	0	0	0	0	1/0	1/0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H
TKBSIRn1	0000H
TKBSSRn0	00H
TKBSSRn1	00H
TKBDNRn0	00H
TKBDNRn1	00H
TKBMFRn	0000H-FFFFH

□: このモードでは設定固定　　■ : 設定不要（初期値を設定）

7. 5　16ビット・タイマKB0, KB1, KB2のオプション機能

タイマKB0, KB1, KB2にはオプション機能を付加することができます。

タイマKB0, KB1, KB2の各動作モードに対する選択可能なオプションを次の表に示します。

動作モード		単体動作モード		同時スタート／ストップ・モード		同期スタート／クリア・モード	インターリーブPFC出力モード
動作モードにおける周期制御方法		CR0で周期制御	トリガで周期制御	CR0で周期制御	トリガで周期制御	Masterで周期制御	INTP20/CR0で周期制御
オプション機能	A/D変換スタート・タイミング信号出力機能	○	○	○	○	○	○
	PWM出力ディザリング機能	○	×	○	×	○	×
	PWM出力ソフト・スタート機能	○	×	○	×	○	×
	PWM出力ゲート機能	○	×	○	×	○	×
	最大周波数リミット機能	×	○	×	○	×	○

備考　動作使用の詳細は，7. 4. 2　デフォルトレベルとアクティブレベル，7. 4. 3　動作停止と動作開始を参照してください。

7. 5. 1　A/D変換スタート・タイミング信号出力機能

16 ビット・タイマKBトリガ・コンペア・レジスタn（TKBTGCRn）を設定することによりA/D変換スタート・タイミング信号出力を生成することができます。これにより，16ビット・タイマKBnとA/D変換スタート・タイミングを同期することができます。

TKBCNTnとTKBTGCRnの一致検出により，タイマKBnトリガ出力信号を出力し，TKBCRnmの設定周期に対して任意のタイミングでトリガ出力が可能です。タイマKBnトリガ出力信号の出力幅は，タイマ・クロックの1クロック幅です。PWM出力周期スタートからのトリガ出力タイミングは次の計算式により求められます。

トリガ出力タイミング ＝TKBTGCRnの設定値×カウント・クロック周期

注意　TKBCRn0<TKBTGCRnのとき，タイマKBnトリガ出力信号は出力されません。

図7－59　単体動作モード（TKB0CR0による周期制御）でのA/D変換スタート・タイミング信号出力機能

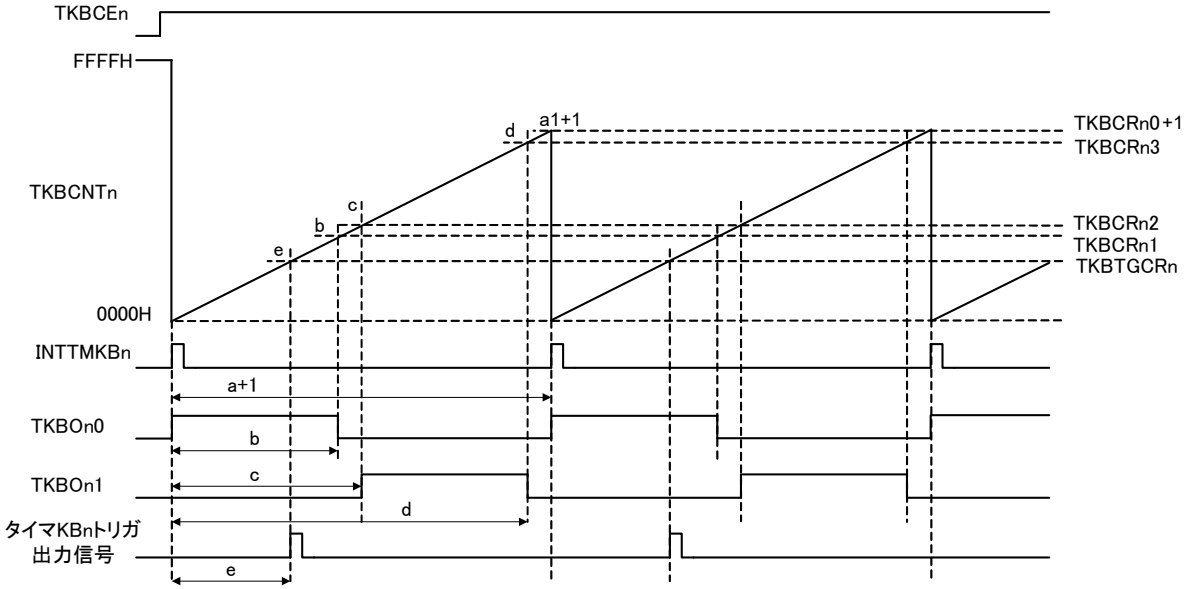
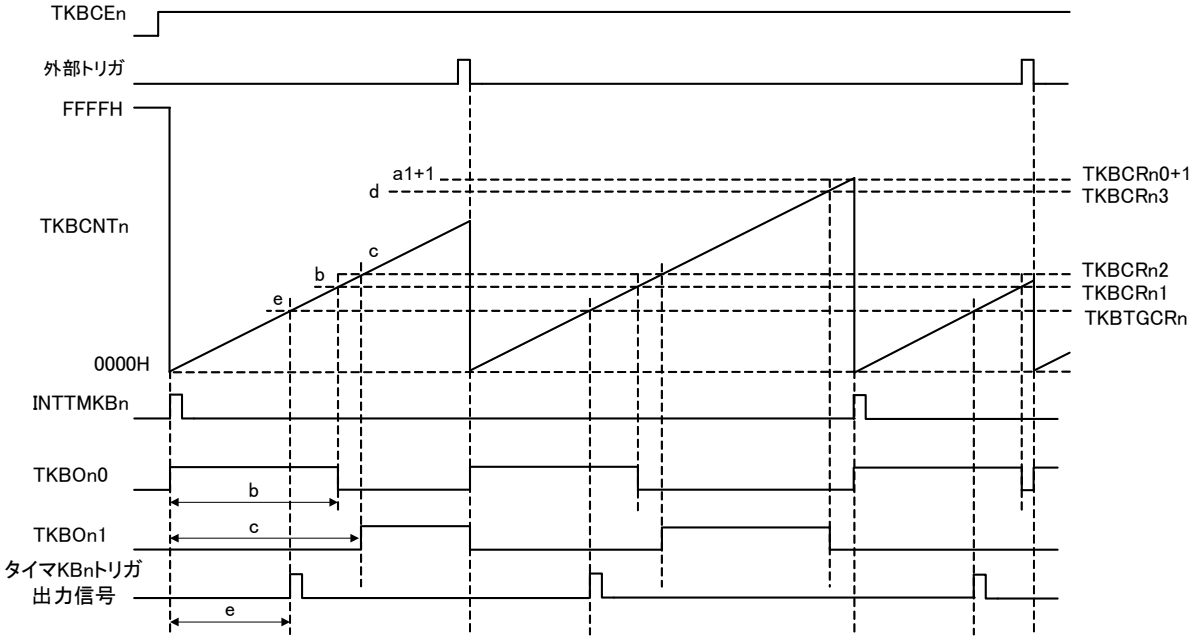


図7－60　単体動作モード（外部トリガ入力による周期制御）でのA/D変換スタート・タイミング信号出力機能



7. 5. 2　PWM出力ディザリング機能

16ビット・タイマKBはPWM出力ディザリング機能を使用することで高分解PWM出力を可能としています。

PWM周期の16周期を基準とし，16周期中のn周期（n = 0-15）でアクティブ期間を1カウント・クロック分延長することにより，平均分解能として16倍向上させたPWM出力を可能とします。

16周期中のアクティブ期間を1カウント・クロック延長させる周期は, TKBDNRnpにより決まります。

TKBDNRnpと，アクティブ期間を1カウント・クロック延長する周期との関係は以下の通りです。

図7－61　TKBDNRnpと，アクティブ期間を1カウント・クロック延長する周期との関係図

周期 / 回数（N）	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0																
1	■															
2	■								■							
3	■				■				■							
4	■				■				■				■			
5	■		■		■				■				■			
6	■		■		■				■		■		■			
7	■		■		■		■		■		■		■			
8	■		■		■		■		■		■		■		■	
9	■	■	■		■		■		■		■		■		■	
10	■	■	■		■		■		■	■	■		■		■	
11	■	■	■		■	■	■		■	■	■		■		■	
12	■	■	■		■	■	■		■	■	■		■	■	■	
13	■	■	■	■	■	■	■		■	■	■		■	■	■	
14	■	■	■	■	■	■	■		■	■	■	■	■	■	■	
15	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	

備考1.　□セルの周期：TKBCRn1, TKBCRn3レジスタの設定値で出力波形をリセット

■セルの周期：TKBCRn1, TKBCRn3レジスタの設定値+1で出力波形をリセット

2.　n = 0-2,　p = 0, 1

図7－62　ディザリング動作の波形図

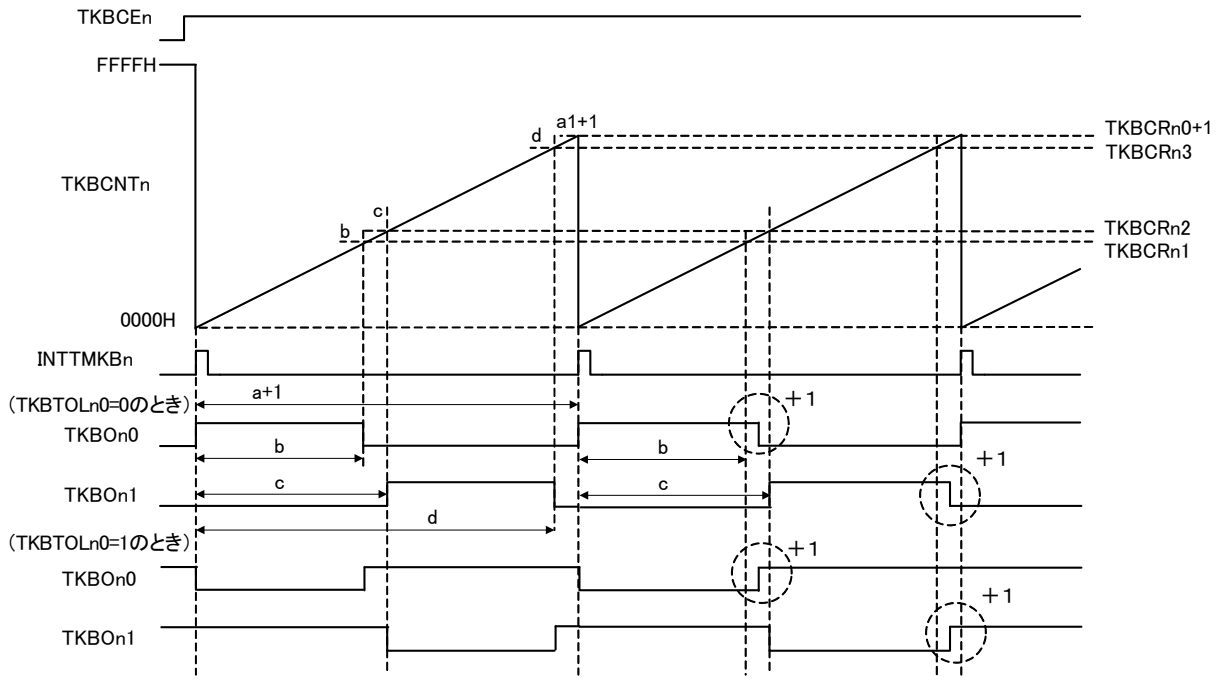


図7－63　ディザリング動作の波形図

（TKBCRn1 = TKBCRn0（100%近傍），TKBCRn2 = TKBCRn3（0%近傍）の場合）

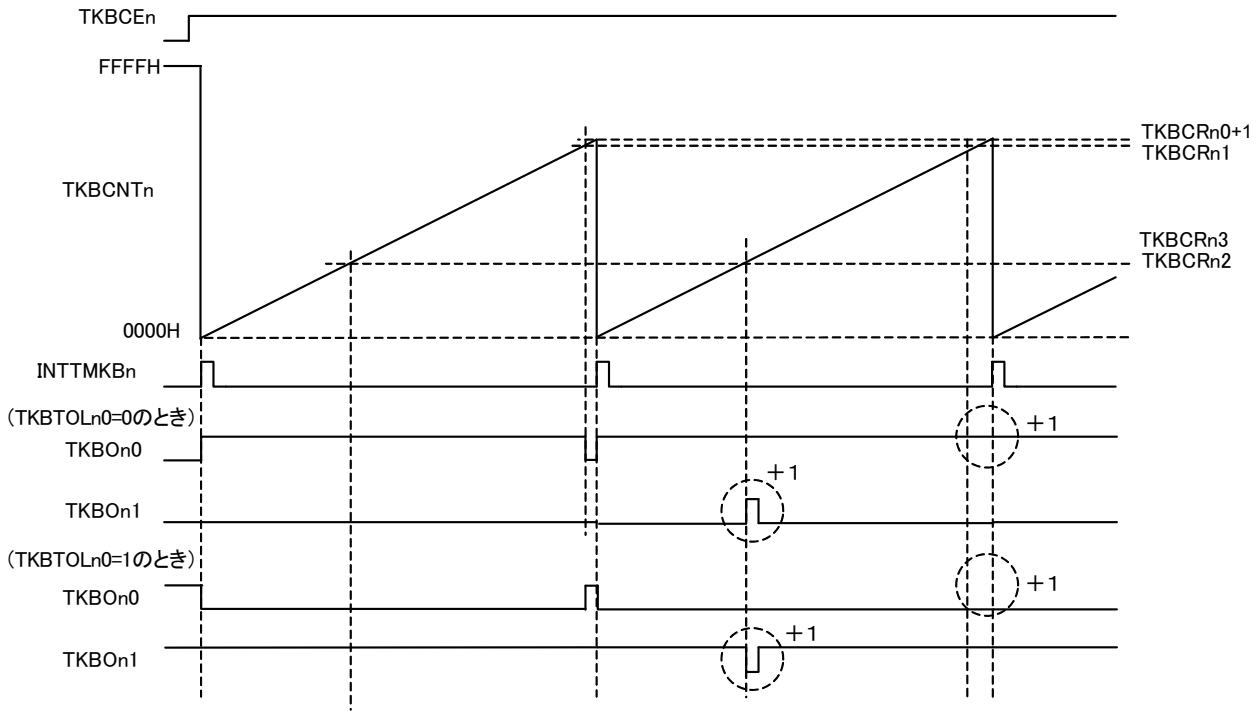
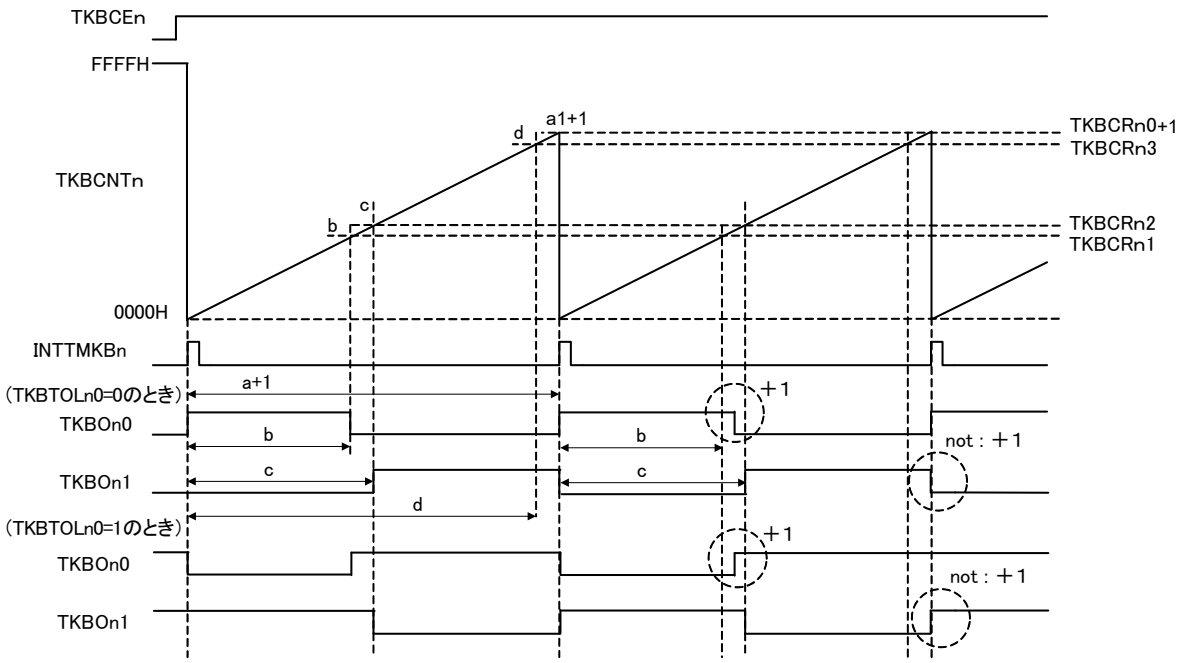


図7－64　ディザリング動作の波形図

（TKBCRn3 = TKBCRn0＋1の場合）



（1）使用可能な動作モード

TKBCTLn0レジスタ（TKBSTSn1, TKBSTSn0ビット）, TKBCTLn1レジスタ（TKBMDn1, TKBMDn0ビット）に指定される各モードでの動作可否を示します。

動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	使用可否
単体動作モード（TKBCRn0による周期制御）	00	00	○
単体動作モード（外部トリガ入力による周期制御）	00	01/10/11	×
同時スタート／ストップ・モード（TKBCRn0による周期制御）	01	00	○
同時スタート／ストップ・モード（外部トリガ入力による周期制御）	01	01/10/11	×
同期スタート／クリア・モード（Masterによる周期制御）	10	-	○
インターリーブPFC出力モード	11	-	×

PWM出力ディザリング機能は，外部トリガ入力を使用せず, TKBCRn0による周期制御の場合に使用できます。

TKBDNRn0/TKBDNRn1は，それぞれTKBOn0/TKBOn1のPWM出力ディザリング機能を制御します。

注意 1.　【TKBDNRn0/TKBDNRn1レジスタの動作中（TKBCEn = 1）書き換え】

TKBDNRn0/TKBDNRn1は，バッファを保有しているので，動作中（TKBCEn = 1）の書き換えが可能です。

その際には，TKBRDTnビットへの“1”書き込みによる一斉書き換えを行います。

2.　【TKBCRLDn0/TKBCRLDn1レジスタによるアクセス】

TKBCRLDn0は，TKBCRn1の下位8bitとTKBDNRn0をマッピングした16bitレジスタです。

TKBCRLDn1は, TKBCRn3の下位8bitとTKBDNRn1をマッピングした16bitレジスタです。

TKBDNRn0/TKBDNRn1は，TKBCRLDn0/TKBCRLDn1レジスタにアクセスした場合も値が変更されます。

TKBCRn1/TKBCRn3は，TKBCRLDn0/TKBCRLDn1レジスタにアクセスした場合も値が変更されます。

TKBCRLDn0/TKBCRLDn1レジスタへアクセスした場合，TKBCRn1/TKBCRn3の下位8bitのみが変更されることに注意してください。

3.　【PWM出力ソフト・スタート機能とPWM出力ディザリング機能を併用する場合】

PWM出力ソフト・スタート機能実行（TKBSSFnp = 1）中は, PWM出力ディザリング機能は無効になります。

PWM出力ソフト・スタート機能停止（TKBSSFnp = 0）で, PWM出力ディザリング機能が有効になります。

7. 5. 3　PWM出力ソフト・スタート機能

タイマKB0, KB1, KB2は，突入電流抑制，及び，過電圧の防止に対応するPWM出力ソフト・スタート機能を保有しています。PWM出力ソフト・スタート機能は，タイマスタートタイミングで起動します。従来，ユーザがソフト操作で行っていた処理をハードウエアのオプション機能で容易に実現することができます。16ビット・タイマKBソフト・スタート初期デューティ・レジスタ（TKBSIRnp）の設定値を1周期のアクティブ期間としてPWM波形を生成し，16ビット・タイマKBソフト・スタート・ステップ幅レジスタ（TKBSSRnp）で指定した値+1周期は同一アクティブ期間のPWM波形を出力した後，「アクティブ期間を＋1」して再度TKBSSRnp＋1周期間同一波形を出力します。

動作を繰り返し，TKBCRn1，TKBCRn3で決定されるアクティブ期間と同じになったらPWM出力ソフト・スタート機能を解除します。

16ビット・タイマKBソフト・スタート初期デューティ・レジスタは，以下の条件で設定する必要があります。

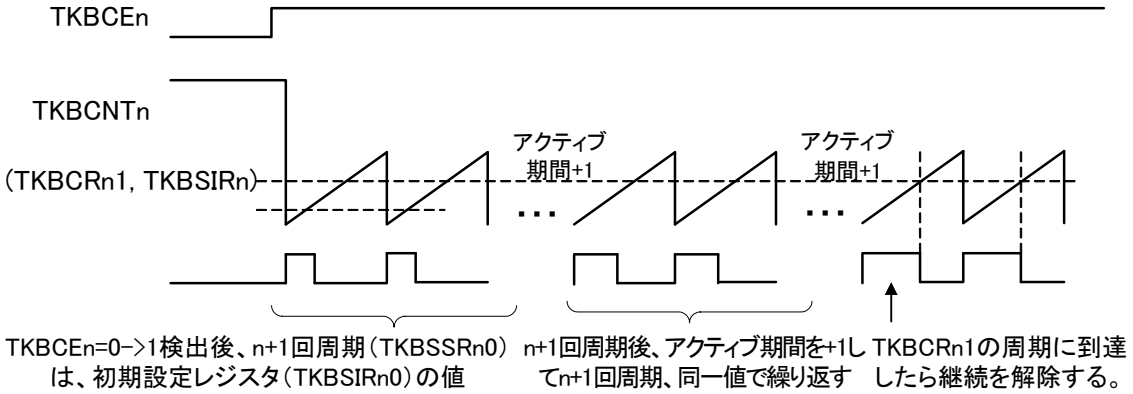
0000H　≦ TKBSIRn0 ＜ TKBCRn1 ≦ TKBCRn0+1

TKBCRn2 ≦ TKBSIRn1 ＜ TKBCRn3 ≦ TKBCRn0+1

同期スタート／クリア・モード使用時は，以下の条件で設定する必要があります。

TKBCRn0 ≦ TKBSIRn0 ＜ TKBCRn1 ≦ Master の TKBCR00+1

図7－65　PWM出力ソフト・スタート機能



（1）PWM出力ソフト・スタート機能が使用可能な動作モード

動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	使用可否
単体動作モード（TKBCRn0による周期制御）	00B	00B	○
単体動作モード（外部トリガ入力による周期制御）	00B	01B / 10B / 11B	×
同時スタート／ストップ・モード（TKBCRn0による周期制御）	01B	00B	○
同時スタート／ストップ・モード（外部トリガ入力による周期制御）	01B	01B/10B/11B	×
同期スタート／クリア・モード（Masterによる周期制御）	10B	－	○
インターリーブPFC出力モード	11B	－	×

（2）TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1レジスタの動作中（TKBCEn = 1）書き換え

TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1は，動作中（TKBCEn = 1）に書き換えが可能です。

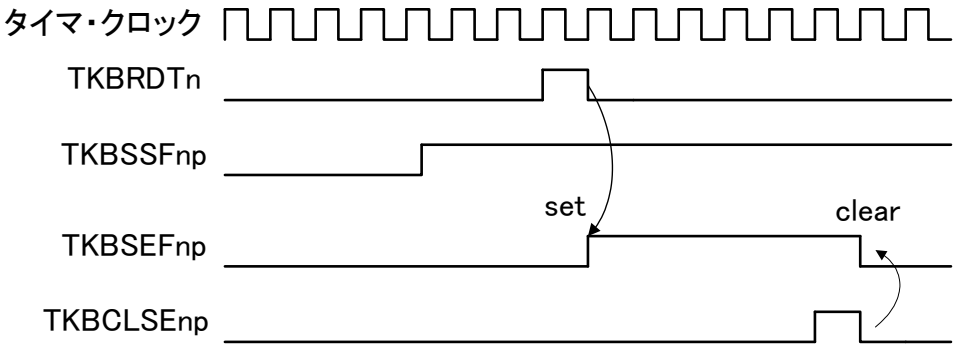
TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1は，バッファを保有しておりTKBRDTnビットへの“1”書き込みにより一斉に書き換えられます。TKBSIRn0/TKBSIRn1は，PWM出力ソフト・スタート機能開始タイミングでのバッファの値がdutyの初期値となり，TKBSSRn0/TKBSSRn1は，内部4bitカウンタの比較値となります。

内部4bitカウンタは，TKBCNTnの周期をカウント・クロックとしてアップ・カウントし，TKBSSRn0/TKBSSRn1との一致で，0Hとなりカウント動作を継続します。

（3）TKBCRn0/TKBCRn1/TKBCRn2/TKBCRn3/TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1レジスタの動作中（TKBCEn = 1）書き換え

PWM出力ソフト・スタート期間（TKBSSFn0 = 1, TKBSSFn1 = 1）中にTKBRDTnを"1"設定した場合，一斉書き換えがマスクされTKBSEFnpフラグがセットされます。一斉書き換えするためには，TKBSEFnpをクリアしてTKBSSFnpが”0”となることを確認してTKBRDTnを”1”にセットしてください。

図7－66　ソフト・スタート機能動作中（TKBSSFnp = 1）のTKBCRn0/TKBCRn1/TKBCRn2/TKBCRn3/TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1レジスタの書き換え



（4）PWM出力ソフト・スタート機能とPWM出力ディザリング機能を併用する場合

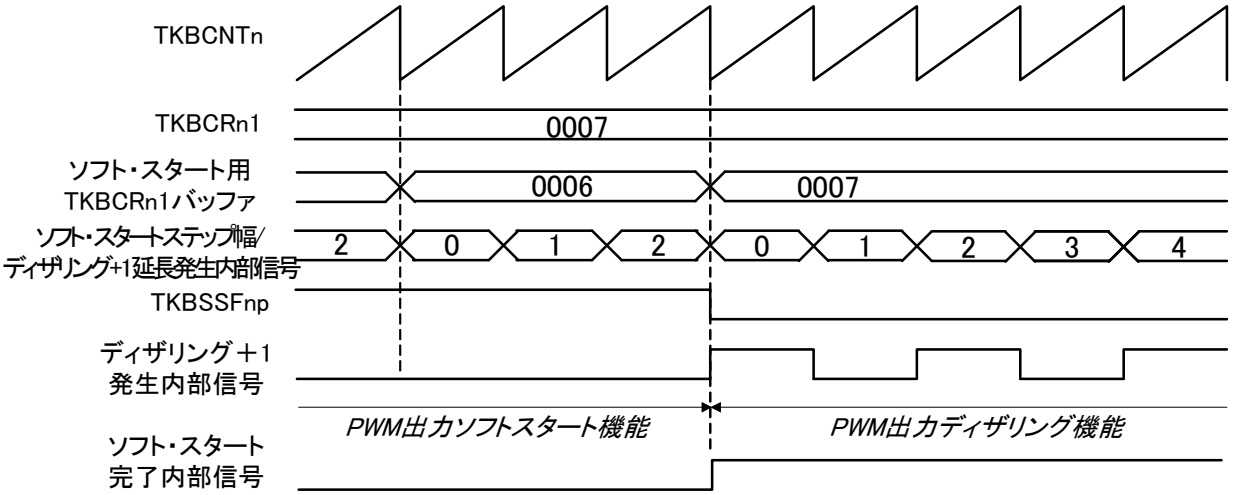
PWM出力ソフト・スタート機能実行（TKBSSFnp = 1）中は，PWM出力ディザリング機能は無効となります。

PWM出力ソフト・スタート機能停止（TKBSSFnp = 0）で，PWM出力ディザリング機能が有効となります。

（5）PWM出力ソフト・スタート機能の完了とTKBSSFnpの動作

TKBCRn1を0007H，TKBDNRnpを70H，TKBSSRnpを02Hとした場合の図を示します。TKBCRn1 = 0007Hと内部のソフト・スタート用TKBCRn1バッファの値が一致するタイミングでTKBSSFnpがクリアされ，ディザリング機能が開始されます。

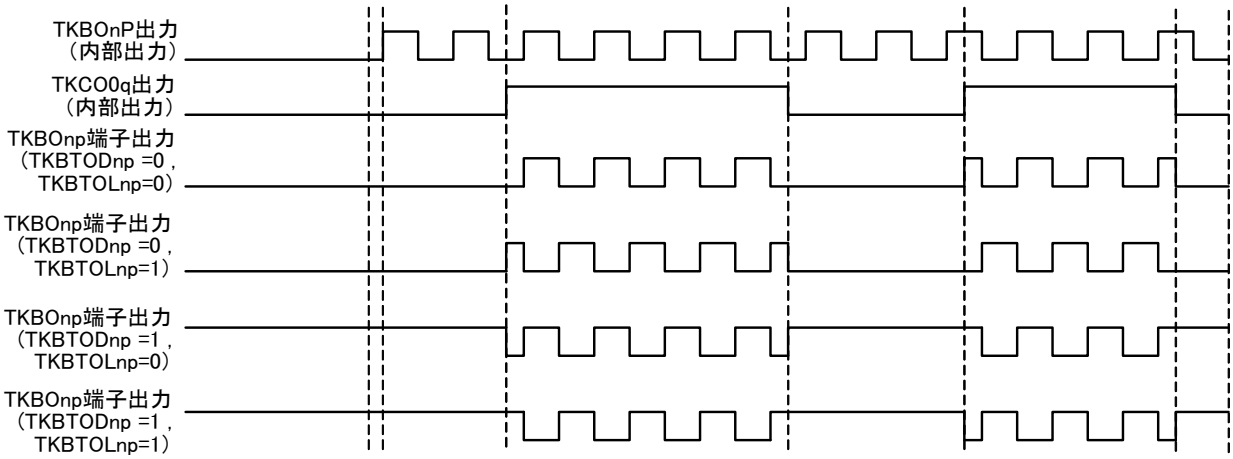
図7－67　PWM出力ソフト・スタート機能の完了とTKBSSFnpの動作



7. 5. 4　PWM出力ゲート機能（PWM出力ソフトスタート機能併用無し）

この機能では，16ビット・タイマKC0出力（TKCO00-TKCO05）がハイ・レベル期間，16ビット・タイマKB0-KB2のTKBOnp出力端子からPWMパルスを出力します。16ビット・タイマKC0出力（TKCO00-TKCO05）がロウ・レベル期間，16ビット・タイマKB0-KB2のTKBOnp出力端子からデフォルト・レベル（TKBTODnp）を出力します。

図7－68　PWM出力ゲート機能



ゲートするTKCO0q出力とゲートされるTKBOnp出力の対応関係は1対1であり，次のとおりです。

- TKCO00：TKBO00
- TKCO01：TKBO01
- TKCO02：TKBO10
- TKCO03：TKBO11
- TKCO04：TKBO20
- TKCO05：TKBO21

（1）PWM出力ゲート機能で使用可能な動作モード

出力ゲート機能は，以下の動作モードで使用できます。

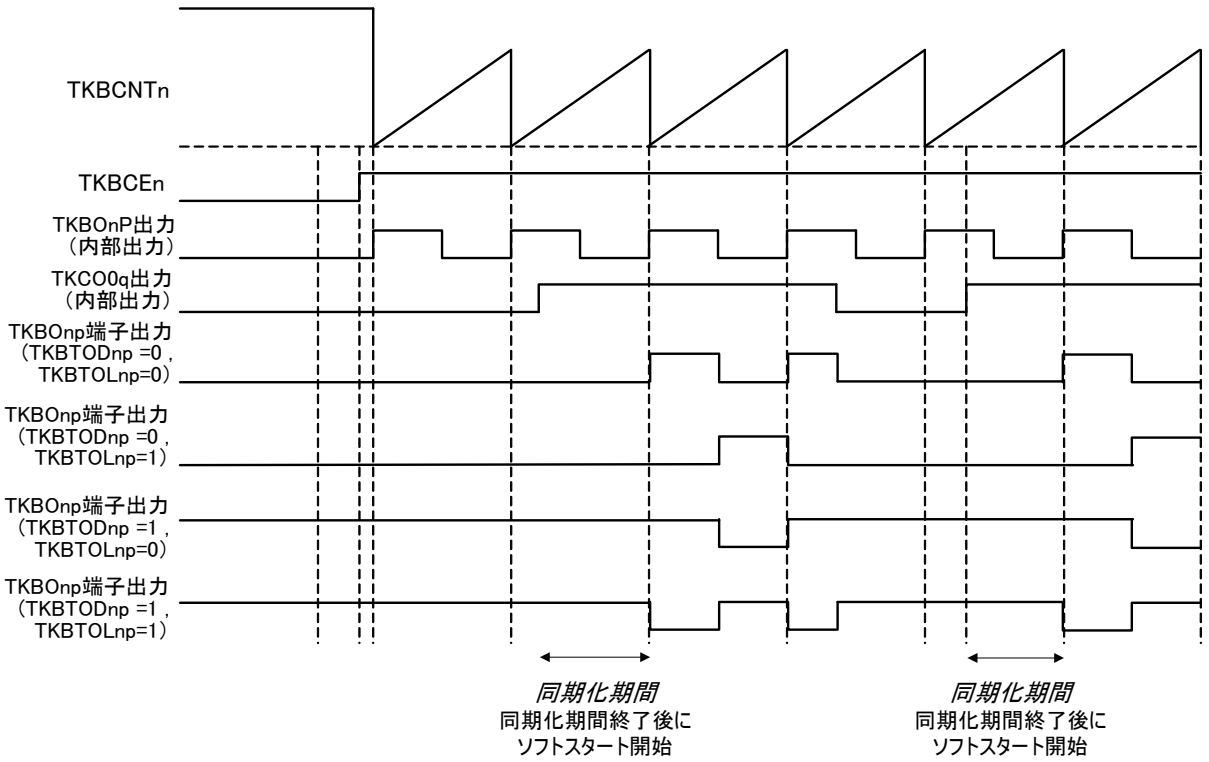
動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	使用可否
単体動作モード（TKBCRn0による周期制御）	00B	00B	○
単体動作モード（外部トリガ入力による周期制御）	00B	01B/10B/11B	×
同時スタート／ストップ・モード（TKBCRn0による周期制御）	01B	00B	○
同時スタート／ストップ・モード（外部トリガ入力による周期制御）	01B	01B/10B/11B	×
同期スタート／クリア・モード（Masterによる周期制御）	10B	－	○
インターリーブPFC出力モード	11B	－	×

7. 5. 5　PWM出力ゲート機能（PWM出力ソフトスタート機能併用有り）

PWM出力ゲート機能とPWM出力ソフト・スタート機能は併用することができます。

ソフト・スタート併用時には，16ビット・タイマKCのタイマKC0出力（TKCO00-TKCO05）の立ち上がりエッジ検出後，16ビット・タイマKB0-KB2の周期に同期して，16ビット・タイマKB0-KB2のTKBOnp出力端子からPWMパルスを出力します。16ビット・タイマKCのタイマKC0出力（TKCO00-TKCO05）の立ち下がりエッジ検出により，16ビット・タイマKB0-KB2のTKBOnp出力端子からデフォルト・レベル（TKBTODnp）を出力します。

図7－69　PWM出力ゲート機能（PWM出力ソフトスタート機能併用有り）のTKCO0q出力開始時のTKBOnp出力同期化波形例



（1）PWM出力ゲート機能で使用可能な動作モード

出力ゲート機能は，以下の動作モードで使用できます。

動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	使用可否
単体動作モード（TKBCRn0による周期制御）	00B	00B	○
単体動作モード（外部トリガ入力による周期制御）	00B	01B/10B/11B	×
同時スタート／ストップ・モード（TKBCRn0による周期制御）	01B	00B	○
同時スタート／ストップ・モード（外部トリガ入力による周期制御）	01B	01B/10B/11B	×
同期スタート／クリア・モード（Masterによる周期制御）	10B	－	○
インターリーブPFC出力モード	11B	－	×

PWM出力ソフト・スタート機能の詳細については，7. 5. 3　PWM出力ソフト・スタート機能を参照してください。

7. 5. 6　最大周波数リミット機能

タイマKB0, KB1, KB2は，外部トリガ入力による周期制御またはインターリーブPFC出力モード時に，カウンタ・クリアの最小周期（最大周波数）を制限する機能です。

この機能を使用すると，カウンタ・クリアを行う外部トリガ入力が，カウンタ値が最大周波数リミット・レジスタ（TKBMFRn）の設定値より小さい時に発生した場合，その入力を保留し，TKBMFRnレジスタの設定値までカウントを継続した後にカウンタ・クリアを行います。

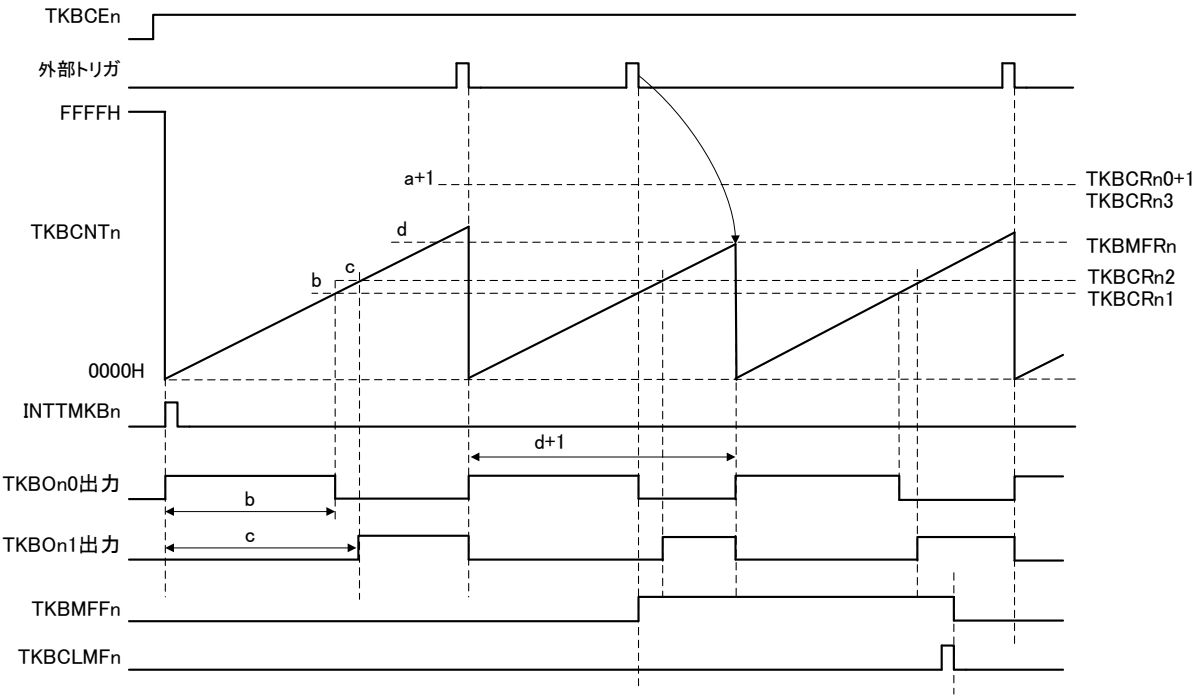
（1）最大周波数リミット（＝1／最小周期）の計算式

最小周期（= 1／最大周波数リミット）　=　（TKBMFRnの設定値＋1）×カウント・クロック周期

注意　TKBMFRn の設定値 ≦ TKBCRn0 の設定値とする必要があります。

外部トリガ入力検出タイミングで，カウンタ値がTKBMFRnより小さい場合，TKBMFFnフラグが“1”セットされます。TKBMFFnフラグは，TKBCLMFnビットへの“1”書き込みにより“0”にクリアされます。

図7－70　最大周波数リミット機能



備考　外部トリガ入力による周期制御の場合

（2）最大周波数リミット機能で使用可能な動作モード

動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	使用可否
単体動作モード（TKBCRn0による周期制御）	00B	00B	×
単体動作モード（外部トリガ入力による周期制御）	00B	01B/10B/11B	○
同時スタート／ストップ・モード（TKBCRn0による周期制御）	01B	00B	×
同時スタート／ストップ・モード（外部トリガ入力による周期制御）	01B	01B/10B/11B	○
同期スタート／クリア・モード（Masterによる周期制御）	10B	－	×
インターリーブPFC出力モード	11B	－	○

備考　外部トリガ入力による周期制御の場合に使用可能です。

7. 6　強制出力停止機能

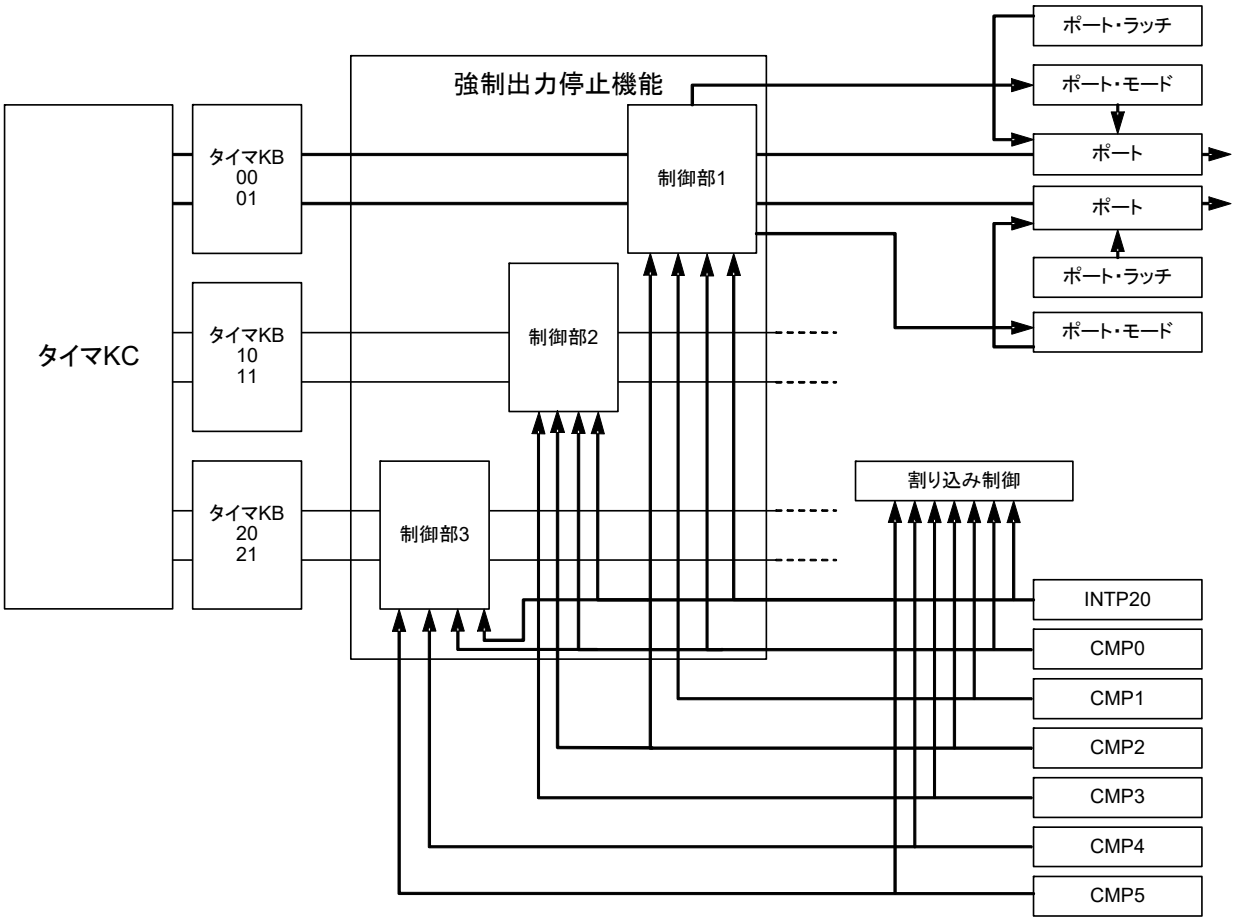
強制出力停止機能は，電源回路などの保護を行なうための機能です。

マイコン外部で構成された電源回路において，ショートなどの異常が発生し，過電圧や過電流状態となった場合に，電圧や電流センス信号をINTP20／コンパレータなどに入力することで，CPUのプログラム制御を介することなくタイマ出力をハイ・インピーダンスまたは固定出力状態として回路を保護します。

この機能では，入力信号のエッジを検出したときのみ，異常状態とみなします。エッジがない固定レベルは異常状態としません。

強制出力停止機能のシステム構成を次の図に示します。

図7－71　強制出力停止機能のシステム構成図



7. 6. 1 強制出力停止機能1と強制出力停止機能2

強制出力停止機能は，2つの制御方法があります。強制出力停止機能1はレベル固定出力とハイ・インピーダンス出力を選択でき，強制出力停止機能2はレベル固定出力のみ設定可能です。次に制御方法の差分を示します。

（1）強制出力停止機能1／強制出力停止機能2の選択可能出力レベル

選択可能出力レベル	強制出力停止	
	機能1	機能2
ハイ・インピーダンス出力	○	×
ロウ・レベル固定出力	○	○
ハイ・レベル固定出力	○	○

（2）強制出力停止機能1／強制出力停止機能2の開始・解除条件

機能・動作説明（強制出力停止開始）	強制出力停止	
	機能1	機能2
コンパレータ出力の立ち上がりエッジ検出により強制出力停止開始	○	○
外部割り込み入力（INTP20）の立ち上がりエッジ検出または立ち下がりエッジ検出により強制出力停止開始	×	○
ソフトウエアビット（TKBPAHTSnp）の設定により強制出力停止開始	○	×

機能・動作説明（強制出力停止解除）	強制出力停止	
	機能1	機能2
ソフトウエアビット（TKBPAHTTnp）の設定により強制出力停止解除	○	×
ソフトウエアビット（TKBPAHTTnp）の設定後，TMKB周期に同期して強制出力停止解除	○	×
強制出力停止を開始した次のカウンタの周期で強制出力停止解除	×	○
トリガ信号の立ち下がりエッジ検出後，次のカウンタの周期で強制出力停止解除	×	○

（3）強制出力停止機能1／強制出力停止機能2の選択可能トリガ信号と使用可能トリガビットの条件

選択可能なトリガ信号	強制出力停止	
	機能1	機能2
コンパレータ0-5	○	○
外部割り込み入力（INTP20）	×	○

使用可能トリガビット	強制出力停止	
	機能1	機能2
TKBPAHTSnp（TKBOnp出力の強制出力停止を開始するトリガ・ビット）	○	×
TKBPAHTTnp（TKBOnp出力の強制出力停止を解除するトリガ・ビット）	○	×

備考 n = 0-2, p = 0, 1

表7－4　強制出力停止機能1の外部トリガ割り当て一覧

	TKBO00	TKBO01	TKBO10	TKBO11	TKBO20	TKBO21
コンパレータ0	○	○	○	○	○	○
コンパレータ1	○	○	－	－	－	－
コンパレータ2	○	○	○	○	－	－
コンパレータ3	－	－	○	○	－	－
コンパレータ4	－	－	－	－	○	○
コンパレータ5	－	－	－	－	○	○
INTP20	－	－	－	－	－	－
INTP21	－	－	－	－	－	－

表7－5　強制出力停止機能2の外部トリガ割り当て一覧

	TKBO00	TKBO01	TKBO10	TKBO11	TKBO20	TKBO21
コンパレータ0	○	○	○	○	○	○
コンパレータ1	○	○	－	－	－	－
コンパレータ2	○	○	○	○	－	－
コンパレータ3	－	－	○	○	－	－
コンパレータ4	－	－	－	－	○	○
コンパレータ5	－	－	－	－	○	○
INTP20	○	○	○	○	○	○
INTP21	－	－	－	－	－	－

注意　INTP20/INTP21の設定は第14章　コンパレータを参照してください。

7. 6. 2　強制出力停止機能の構成

強制出力停止機能は，次のハードウエアで構成されています。

表7－6　強制出力停止機能の構成

項　　目	構　　成
制御レジスタ	周辺イネーブル・レジスタ2（PER2） 強制出力停止機能制御レジスタn0（TKBPACTLn0） 強制出力停止機能制御レジスタn1（TKBPACTLn1） 強制出力停止機能制御レジスタn2（TKBPACTLn2） 強制出力停止機能フラグ・レジスタ（TKBPAFLGn） 強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn） 強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn）

7. 6. 3　強制出力停止機能を制御するレジスタ

強制出力停止機能を制御するレジスタを次に示します。

・周辺イネーブル・レジスタ2（PER2）
・強制出力停止機能制御レジスタn0（TKBPACTLn0）
・強制出力停止機能制御レジスタn1（TKBPACTLn1）
・強制出力停止機能制御レジスタn2（TKBPACTLn2）
・強制出力停止機能フラグ・レジスタ（TKBPAFLGn）
・強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn）
・強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn）

7. 6. 3. 1　周辺イネーブル・レジスタ2（PER2）

PER2レジスタは，各周辺ハードウエアへのクロック供給／停止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

強制出力停止機能を使用する場合は，必ずビット6-4（TKBPA2EN-TKBPA0EN）を1に設定してください。

PER2レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER2レジスタは00Hになります。

図7－72　周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F0509H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER2	PGACMPEN	TKBPA2EN	TKBPA1EN	TKBPA0EN	TKC0EN	TKB2EN	TKB1EN	TKB0EN

TKBPAnEN	タイマKBnの強制出力停止機能への入力クロックの制御
0	入力クロック供給停止 ・タイマKBnの強制出力停止機能で使用するSFRへのライト不可 ・タイマKBnの強制出力停止機能は初期状態
1	入力クロック供給 ・タイマKBnの強制出力停止機能で使用するSFRへのリード／ライト可

注意　**タイマKBnの強制出力停止機能の設定をする際には，必ず最初にTKBPAnEN = 1の設定を行ってください。TKBPAnEN = 0の場合は，タイマKBnの強制出力停止機能の制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります。**

備考　n = 0-2

7. 6. 3. 2　強制出力停止機能制御レジスタn0, n1（TKBPACTLn0, TKBPACTLn1）

TKBPACTLnpは，TKBOnp端子の強制出力停止機能制御のトリガとして使用する信号の選択を行うレジスタです。

TKBPACTLnpは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図7－73　強制出力停止機能制御レジスタ0p（TKBPACTL0p）のフォーマット（1/2）

アドレス：F0630H (TKBPACTL00)　リセット時：0000H　R/W
F0632H (TKBPACTL01)

略号	15	14	13	12	11	10	9	8
TKBPACTL0p	TKBPAFXS0p3	TKBPAFXS0p2	TKBPAFXS0p1	TKBPAFXS0p0	0	0	0	TKBPAFCM0p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS0p2	TKBPAHZS0p1	TKBPAHZS0p0	TKBPAHCM0p1	TKBPAHCM0p0	TKBPAMD0p1	TKBPAMD0p0

TKBPAFXS0p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	INTP20をトリガとする注1

TKBPAFXS0p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする注2

TKBPAFXS0p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ1をトリガとしない
1	コンパレータ1をトリガとする注3

TKBPAFXS0p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする注2

TKBPAFCM0p	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し，次のカウンタの周期で強制出力停止機能2を解除。注4
1	トリガ入力で強制出力停止機能2を開始し，そのトリガの逆エッジを検出してから，次のカウンタの周期で強制出力停止機能2を解除。注4

図7－73　強制出力停止機能制御レジスタ0p（TKBPACTL0p）のフォーマット（2/2）

TKBPAHZS0p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする注2

TKBPAHZS0p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ1をトリガとしない
1	コンパレータ1をトリガとする注3

TKBPAHZS0p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする注2

TKBPAHCM0p1	TKBPAHCM0p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTT0p）= 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号がアクティブ・レベル期間中の場合は，強制出力停止機能解除トリガ（TKBPAHTT0p）= 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTT0p）= 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTT0p）= 1書き込みのあと，次のカウンタの周期で強制出力停止機能1を解除。注4
1	1	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号がアクティブ・レベル期間中の場合は，強制出力停止機能解除トリガ（TKBPAHTT0p）= 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTT0p）= 1書き込みのあと，次のカウンタの周期で強制出力停止機能1を解除。注4

TKBPAMD0p1	TKBPAMD0p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ･レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ･レベル固定出力	ハイ･レベル固定出力

注1.　INTP20を強制出力停止機能2に使用する場合は，**14. 5　タイマKB連動機能使用時の注意事項**も参照してください。

2.　CMP0, CMP2をタイマKBの強制出力停止機能に使用する場合は，CMPnSTEN = 1としてください。詳細は**14. 5　タイマKB連動機能使用時の注意事項**を参照してください。

3.　CMP1をタイマKBの強制出力停止機能に使用する場合は，**14. 5　タイマKB連動機能使用時の注意事項**を参照してください。

4.　次のカウンタ同期を待たずにタイマKBを停止（TKBCEn=0）した場合，次にタイマKBを動作（TKBCEn = 1）するまで強制出力停止機能を継続します。

注意1.　タイマ動作中に，TKBPACTL0pレジスタを書き換えないでください。ただし，TKBPACTL0pレジスタにリフレッシュ（同値書き込み）することは可能です。

2.　ビット11-9, 7には必ず0を設定してください。

備考　n =0 - 2, p = 0, 1

図7－74　強制出力停止機能制御レジスタ1p（TKBPACTL1p）のフォーマット（1/2）

アドレス：F0670H (TKBPACTL10)　リセット時：0000H　R/W
F0672H (TKBPACTL11)

略号	15	14	13	12	11	10	9	8
TKBPACTL1p	TKBPAFXS1p3	TKBPAFXS1p2	TKBPAFXS1p1	TKBPAFXS1p0	0	0	0	TKBPAFCM1p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS1p2	TKBPAHZS1p1	TKBPAHZS1p0	TKBPAHCM1p1	TKBPAHCM1p0	TKBPAMD1p1	TKBPAMD1p0

TKBPAFXS1p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	INTP20をトリガとする注1

TKBPAFXS1p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ3をトリガとしない
1	コンパレータ3をトリガとする注2

TKBPAFXS1p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする注3

TKBPAFXS1p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする注3

TKBPAFCM1p	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し，次のカウンタの周期で強制出力停止機能2を解除。注4
1	トリガ入力で強制出力停止機能2を開始し，そのトリガの逆エッジを検出してから，次のカウンタの周期で強制出力停止機能2を解除。注4

図7－74　強制出力停止機能制御レジスタ1p（TKBPACTL1p）のフォーマット（2/2）

TKBPAHZS1p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ3をトリガとしない
1	コンパレータ3をトリガとする注2

TKBPAHZS1p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする注3

TKBPAHZS1p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする注3

TKBPAHCM1p1	TKBPAHCM1p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTT1p）= 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号がアクティブ・レベル期間中の場合は，強制出力停止機能解除トリガ（TKBPAHTT1p）= 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTT1p）= 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTT1p）= 1書き込みのあと，次のカウンタの周期で強制出力停止機能1を解除。注4
1	1	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号がアクティブ・レベル期間中の場合は，強制出力停止機能解除トリガ（TKBPAHTT1p）= 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTT1p）= 1書き込みのあと，次のカウンタの周期で強制出力停止機能1を解除。注4

TKBPAMD1p1	TKBPAMD1p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ･レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ･レベル固定出力	ハイ･レベル固定出力

（注，注意，備考は次ページにあります。）

注1. INTP20を強制出力停止機能2に使用する場合は, **14. 5　タイマKB連動機能使用時の注意事項**も参照してください。

2. CMP3をタイマKBの強制出力停止機能に使用する場合は，**14. 5　タイマKB連動機能使用時の注意事項**を参照してください。

3. CMP0, CMP2をタイマKBの強制出力停止機能に使用する場合は, CMPnSTEN = 1としてください。詳細は**14. 5　タイマKB連動機能使用時の注意事項**を参照してください。

4. 次のカウンタ同期を待たずにタイマKBを停止（TKBCEn=0）した場合，次にタイマKBを動作（TKBCEn = 1）するまで強制出力停止機能を継続します。

注意1. タイマ動作中に, TKBPACTL1pレジスタを書き換えないでください。ただし, TKBPACTL1pレジスタにリフレッシュ（同値書き込み）することは可能です。

2. ビット11-9, 7には必ず0を設定してください。

備考　n = 0-2, p = 0, 1

図7－75　強制出力停止機能制御レジスタ2p（TKBPACTL2p）のフォーマット（1/2）

アドレス：F06B0H (TKBPACTL20)　リセット時：0000H　R/W
F06B2H (TKBPACTL21)

略号	15	14	13	12	11	10	9	8
TKBPACTL2p	TKBPAFXS2p3	TKBPAFXS2p2	TKBPAFXS2p1	TKBPAFXS2p0	0	0	0	TKBPAFCM2p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS2p2	TKBPAHZS2p1	TKBPAHZS2p0	TKBPAHCM2p1	TKBPAHCM2p0	TKBPAMD2p1	TKBPAMD2p0

TKBPAFXS2p3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	INTP20をトリガとする注1

TKBPAFXS2p2	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ5をトリガとしない
1	コンパレータ5をトリガとする注2

TKBPAFXS2p1	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ4をトリガとしない
1	コンパレータ4をトリガとする注2

TKBPAFXS2p0	強制出力停止機能2のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする注3

TKBPAFCM2p	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し，次のカウンタの周期で強制出力停止機能2を解除。注4
1	トリガ入力で強制出力停止機能2を開始し，そのトリガの逆エッジを検出してから，次のカウンタの周期で強制出力停止機能2を解除。注4

図7－75　強制出力停止機能制御レジスタ2p（TKBPACTL2p）のフォーマット（2/2）

TKBPAHZS2p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ5をトリガとしない
1	コンパレータ5をトリガとする注2

TKBPAHZS2p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ4をトリガとしない
1	コンパレータ4をトリガとする注3

TKBPAHZS2p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする注3

TKBPAHCM2p1	TKBPAHCM2p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTT2p）= 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号がアクティブ・レベル期間中の場合は，強制出力停止機能解除トリガ（TKBPAHTT2p）= 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTT2p）= 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTT2p）= 1書き込みのあと，次のカウンタの周期で強制出力停止機能1を解除。注4
1	1	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号がアクティブ・レベル期間中の場合は，強制出力停止機能解除トリガ（TKBPAHTT2p）= 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTT2p）= 1書き込みのあと，次のカウンタの周期で強制出力停止機能1を解除。注4

TKBPAMD2p1	TKBPAMD2p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ･レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ･レベル固定出力	ハイ･レベル固定出力

（注，注意，備考は次ページにあります。）

注1. INTP20を強制出力停止機能2に使用する場合は，**14. 5　タイマKB連動機能使用時の注意事項**も参照してください。

2. CMP4, CMP5をタイマKBの強制出力停止機能に使用する場合は，**14. 5　タイマKB連動機能使用時の注意事項**を参照してください。

3. CMP0をタイマKBの強制出力停止機能に使用する場合は，CMP0STEN = 1としてください。詳細は**14. 5　タイマKB連動機能使用時の注意事項**を参照してください。

4. 次のカウンタ同期を待たずにタイマKBを停止（TKBCEn=0）した場合，次にタイマKBを動作（TKBCEn = 1）するまで強制出力停止機能を継続します。

注意1. タイマ動作中に，TKBPACTL2pレジスタを書き換えないでください。ただし，TKBPACTL2pレジスタにリフレッシュ（同値書き込み）することは可能です。

2. ビット11-9, 7には必ず0を設定してください。

備考　n = 0-2, p = 0, 1

7. 6. 3. 3　強制出力停止機能制御レジスタn2（TKBPACTLn2）

TKBPACTLn2は，TKBOnp端子の強制出力停止機能を許可／禁止するレジスタです。TKBPACTLn2は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－76　強制出力停止機能制御レジスタn2（TKBPACTLn2）のフォーマット

アドレス：F0637H (TKBPACTL02), F0677H (TKBPACTL12), F06B7H (TKBPACTL22)

リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TKBPACTLn2	0	0	0	0	0	0	TKBPACEn1	TKBPACEn0

TKBPACEnp	TKBOnp端子の強制出力停止機能に使用するトリガ信号の入力制御
0	強制出力停止機能動作禁止
1	強制出力停止機能動作許可

注意1.　タイマ動作中に，TKBPACTLn2レジスタを書き換え可能です。

2.　ビット7-2には必ず0を設定してください。

備考　n = 0-2,　p = 0, 1

7. 6. 3. 4　強制出力停止機能フラグ・レジスタ（TKBPAFLGn）

TKBPAFLGnは，TKBOnp端子の強制出力停止機能のステータス・フラグを表示するレジスタです。

TKBPAFLGnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

図7－77　強制出力停止機能フラグ・レジスタ（TKBPAFLGn）のフォーマット

アドレス：F0636H (TKBPAFLG0), F0676H (TKBPAFLG1), F06B6H (TKBPAFLG2)　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
TKBPAFLGn	TKBPAFSFn1	TKBPAHSFn1	TKBPAFSFn0	TKBPAHSFn0	TKBPAFIFn1	TKBPAHIFn1	TKBPAFIFn0	TKBPAHIFn0

TKBPAFSFnp	TKBOnp端子に対する強制出力停止機能2のステータス・フラグ
0	強制出力停止解除状態
1	強制出力停止状態

TKBPAHSFnp	TKBOnp端子に対する強制出力停止機能1のステータス・フラグ
0	強制出力停止解除状態
1	強制出力停止状態

TKBPAFIFnp	TKBOnp端子に対する強制出力停止機能2の入力モニタ・ビット
0	強制出力停止2トリガ信号がロウ・レベル（イン・アクティブ）
1	強制出力停止2トリガ信号がハイ・レベル（アクティブ）

TKBPAHIFnp	TKBOnp端子に対する強制出力停止機能1の入力モニタ・ビット
0	強制出力停止1トリガ信号がロウ・レベル（イン・アクティブ）
1	強制出力停止1トリガ信号がハイ・レベル（アクティブ）

注意　**強制出力停止機能1を解除するタイミングは設定によって異なります。詳細は7. 7. 2　強制出力停止機能1のソフトウエア解除操作を参照してください。**

備考　n = 0-2,　p = 0, 1

7. 6. 3. 5　強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn）

TKBPAHFSnは，TKBOnp出力の強制出力停止機能1に使用する開始トリガ・レジスタです。

TKBPAHFSnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

図7－78　強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn）のフォーマット

アドレス：F0634H (TKBPAHFS0), F0674H (TKBPAHFS1), F06B4H (TKBPAHFS2)

リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TKBPAHFSn	0	0	0	0	0	0	TKBPAHTSn1	TKBPAHTSn0

TKBPAHTSnp	TKBOnp出力に対する強制出力停止機能1開始トリガ
0	設定無効
1	TKBOnp出力に対する強制出力停止機能1を開始

注意1.　タイマ動作中に，TKBPAHFSnレジスタを書き換え可能です。

2.　ビット7-2には必ず0を設定してください。

3.　リード時は，0が読み出されます。

7. 6. 3. 6　強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn）

TKBPAHFTnは，TKBOnp出力の強制出力停止機能1に使用する解除トリガ・レジスタです。

TKBPAHFTnは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

図7－79　強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn）のフォーマット

アドレス：F0635H (TKBPAHFT0), F0675H (TKBPAHFT1), F06B5H (TKBPAHFT2)

リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TKBPAHFTn	0	0	0	0	0	0	TKBPAHTTn1	TKBPAHTTn0

TKBPAHTTnp	TKBOnp出力に対する強制出力停止機能解除トリガ
0	設定無効
1	TKBOnp出力に対する強制出力停止機能1を解除

注意1.　タイマ動作中に，TKBPAHFTnレジスタを書き換え可能です。

2.　ビット7-2には必ず0を設定してください。

3.　リード時は，0が読み出されます。

4.　強制出力停止機能1を解除するタイミングは設定によって異なります。詳細は7. 7. 2　強制出力停止機能1のソフトウエア解除操作を参照してください。

備考　n = 0-2,　p = 0, 1

7. 7　強制出力停止機能1の動作説明

トリガ要因（コンパレータ0～5出力）の発生により，CPUを介さずに16ビット・タイマKBn, KC0回路の動作クロックf_{KBKC}と非同期でタイマ出力をHi-Z，ハイ／ロウ・レベル固定状態にすることができます。強制出力停止機能1のストップ・トリガの設定により，16ビット・タイマKBn, KC0回路の動作クロックf_{KBKC}と同期して強制出力停止状態は解除されます。

7. 7. 1　強制出力停止機能1の概要

この機能では，コンパレータ出力信号及びソフトウエア・トリガを強制出力停止機能1のトリガ信号として使用します。

強制出力停止時に選択できる出力状態は, TKBPACTLnpレジスタのTKBPAMDnp0, TKBPAMDnp1ビットによって制御されます。

タイマKBnの出力p端子（TKBOnp）の強制出力停止機能1出力レベルとの関係を次の表に示します。

表7－7　TKBOnpの強制出力停止機能1出力レベルとの関係

TKBPAMDnp1	TKBPAMDnp0	強制出力停止機能1実行時の出力レベル選択
0	0	Hi-Z出力
0	1	Hi-Z出力
1	0	ロウ・レベル固定出力
1	1	ハイ･レベル固定出力

使用するコンパレータ出力の選択は，強制出力停止機能制御np（TKBPACTLnp）のTKBPAHZSnp2-TKBPAHZSnp0ビットによって制御されます。

タイマKBnの出力p端子（TKBOnp）の強制出力停止機能1トリガ選択を次の表に示します。

表7－8　TKBOnpの強制出力停止機能1トリガ選択

ビット名	選択可能なトリガ信号		
	タイマKB0	タイマKB1	タイマKB2
TKBPAHZSnp0	コンパレータ0		
TKBPAHZSnp1	コンパレータ1	コンパレータ2	コンパレータ4
TKBPAHZSnp2	コンパレータ2	コンパレータ3	コンパレータ5

備考　n = 0-2, p = 0, 1

7. 7. 2 強制出力停止機能1のソフトウエア解除操作

強制出力停止機能1を開始する開始トリガ（TKBPAHFSnレジスタのTKBPAHTSnpビット）の設定を次の表に示します。

表7－9 強制出力停止機能1での開始トリガ（TKBPAHTSnpビット）の動作

TKBPAHTSnp	ソフトウエアによる強制出力停止機能1の開始
0	設定無効
1	“1”書き込みで，TKBOnp出力に対するハイ・インピーダンス／ロウ・レベル／ハイ・レベル固定出力制御を開始する（強制出力停止機能1のトリガ信号の立ち上がりエッジ検出と同等の機能になります）。

強制出力停止機能1を解除する解除トリガ（TKBPAHFTnレジスタのTKBPAHTTnpビット）の設定を次の表に示します。

表7－10 強制出力停止機能1での解除トリガ（TKBPAHTTnpビット）の動作

TKBPACTLnpレジスタ		ソフトウエアによる強制出力停止機能1の解除
TKBPAHCMnp1	TKBPAHCMnp0	
0	0	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号がアクティブ・レベル期間中の場合は，強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みのあと，次のカウンタの周期で強制出力停止機能1を解除。注
1	1	トリガ入力で強制出力停止機能1を開始し，そのトリガ信号がアクティブ・レベル期間中の場合は，強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みを無効とする。そのトリガ信号がインアクティブ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みのあと，次のカウンタの周期で強制出力停止機能1を解除。注

注 次のカウンタ周期を待たずにタイマKBを停止（TKBCEn=0）した場合，次にタイマKBを動作（TKBCEn = 1）するまで強制出力停止機能を継続します。

備考 n = 0-2, p = 0, 1

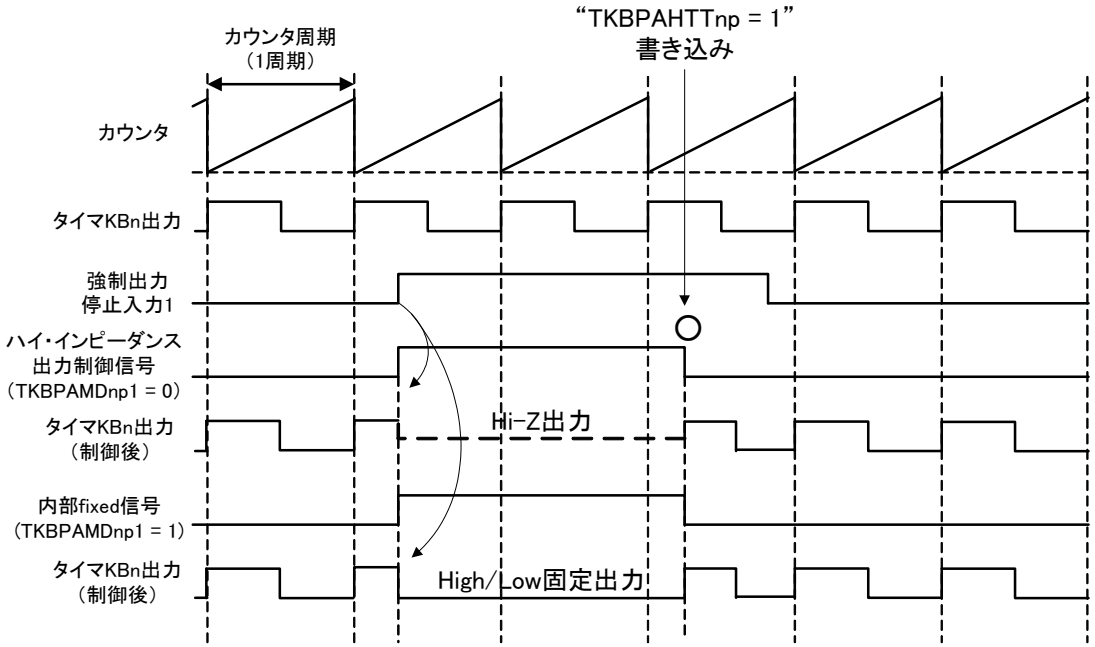
7. 7. 3　強制出力停止機能1の基本動作

TKBPAHCMnp1, TKBPAHCMnp0レジスタの設定の違いによる強制出力機能1の動作を示します。

強制出力停止機能1を開始するトリガ信号（強制出力停止入力1）は，強制出力停止機能制御レジスタnp（TKBPACTLnp）のTKBPAHZSnp0-TKBPAHZSnp2ビットで選択されたトリガ信号と強制出力停止機能1開始トリガ・レジスタn（TKBPAHFSn）のTKBPAHTSnpビットのor出力です。

（1）TKBPAHCMnp1, TKBPAHCMnp0 = 0, 0での強制出力停止機能1

図7－80　TKBPAHCMnp1, TKBPAHCMnp0 = 0, 0での強制出力停止機能1



（a）TKBPAMDnp1 = 0（Hi-z出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，ハイ・インピーダンス出力となります。

強制出力停止入力1の入力レベルに関係なく，解除トリガ（TKBPAHTTnpビット）への“1”書き込みで，タイマ出力に戻ります。

ハイ・インピーダンス出力制御信号がハイ・レベルの期間が，強制出力停止1の期間（ハイ・インピーダンス出力）となります。

（b）TKBPAMDnp1 = 1（固定出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，TKBPAMDnp0の設定値に従い，ロウ・レベル／ハイ・レベルに固定出力となります。

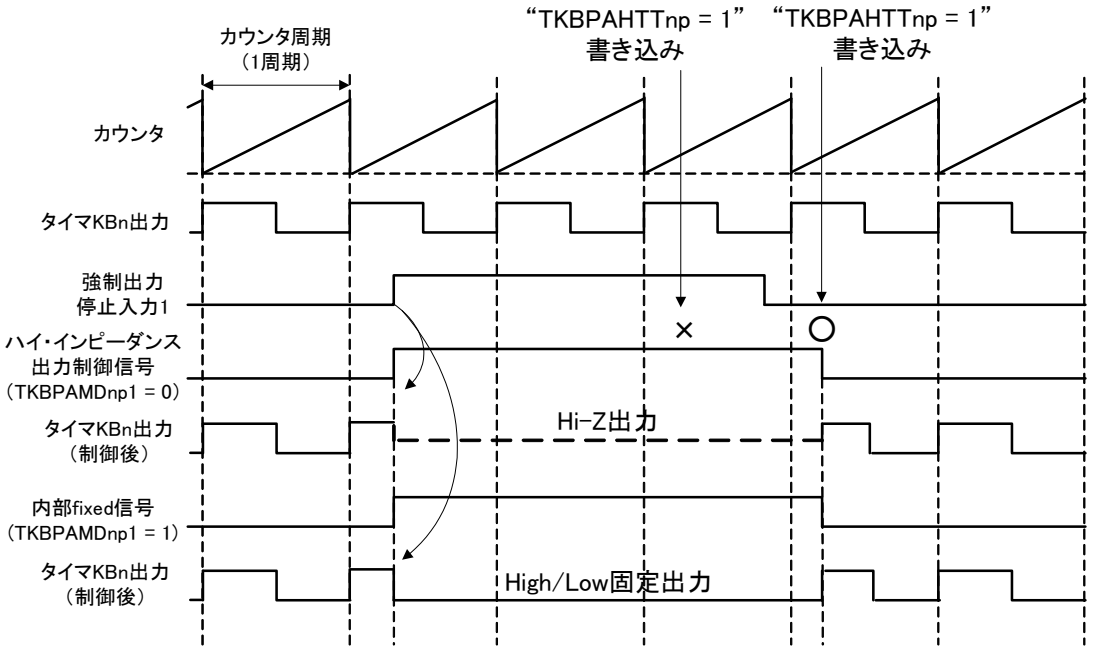
強制出力停止入力1の入力レベルに関係なく，解除トリガ（TKBPAHTTnpビット）への“1”書き込みで，出力レベルの固定が解除され，タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が，強制出力停止1の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考　n = 0-2, p = 0, 1

（2）TKBPAHCMnp1, TKBPAHCMnp0 = 0, 1での強制出力停止機能1

図7－81　TKBPAHCMnp1, TKBPAHCMnp0 = 0, 1での強制出力停止機能1



（a）TKBPAMDnp1 = 0（Hi-z出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，ハイ・インピーダンス出力となります。

強制出力停止入力1がアクティブ・レベル（ハイ・レベル）期間中での，解除トリガ（TKBPAHTTnpビット）への“1”書き込みは無効となります。

強制出力停止入力1がインアクティブ・レベル（ロウ・レベル）になったあと，解除トリガ（TKBPAHTTnpビット）への“1”書き込みで，タイマ出力に戻ります。

ハイ・インピーダンス出力制御信号がハイ・レベルの期間が，強制出力停止1の期間（ハイ・インピーダンス出力）となります。

（b）TKBPAMDnp1 = 1（固定出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，TKBPAMDnp0の設定値に従い，ロウ・レベル／ハイ・レベルに固定出力となります。

強制出力停止入力1がアクティブ・レベル（ハイ・レベル）期間中での，解除トリガ（TKBPAHTTnpビット）への“1”書き込みは無効となります。

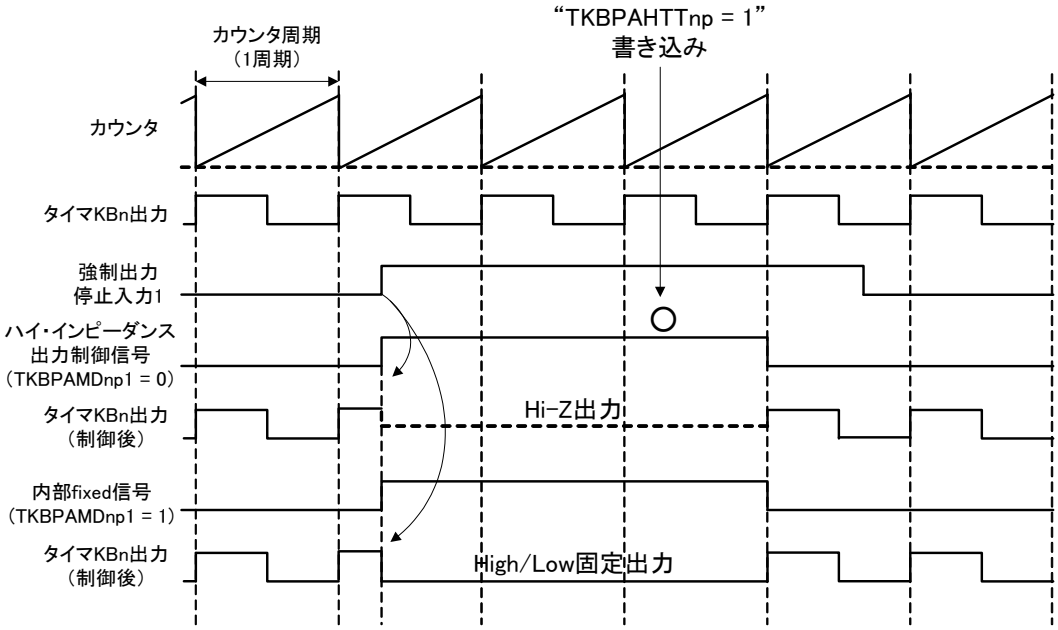
強制出力停止入力1がインアクティブ・レベル（ロウ・レベル）になったあと，解除トリガ（TKBPAHTTnpビット）への“1”書き込みで，出力レベルの固定が解除され，タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が，強制出力停止1の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考　n = 0-2, p = 0, 1

（3）TKBPAHCMnp1, TKBPAHCMnp0 = 1, 0での強制出力停止機能1

図7－82　TKBPAHCMnp1, TKBPAHCMnp0 = 1, 0での強制出力停止機能1



（a）TKBPAMDnp1 = 0（Hi-z出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，ハイ・インピーダンス出力となります。

強制出力停止入力1の入力レベルに関係なく，解除トリガ（TKBPAHTTnpビット）への“1”書き込みのあと，次のカウンタの周期でタイマ出力に戻ります。

ハイ・インピーダンス出力制御信号がハイ・レベルの期間が，強制出力停止1の期間（ハイ・インピーダンス出力）となります。

（b）TKBPAMDnp1 = 1（固定出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，TKBPAMDnp0の設定値に従い，ロウ・レベル／ハイ・レベルに固定出力となります。

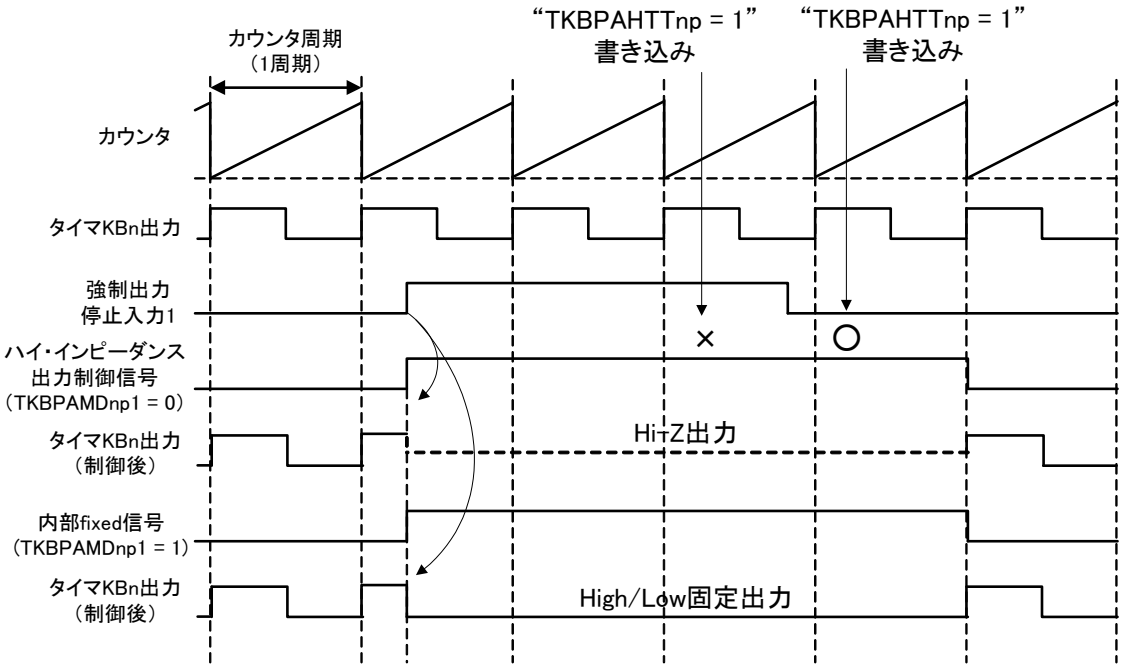
強制出力停止入力1の入力レベルに関係なく，解除トリガ（TKBPAHTTnpビット）への“1”書き込みのあと，次のカウンタの周期で，出力レベルの固定が解除され，タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が，強制出力停止1の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考　n = 0-2, p = 0, 1

（4）TKBPAHCMnp1, TKBPAHCMnp0 = 1, 1での強制出力停止機能1

図7－83　TKBPAHCMnp1, TKBPAHCMnp0 = 1, 1での強制出力停止機能1



（a）TKBPAMDnp1 = 0（Hi-z出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，ハイ・インピーダンス出力となります。

強制出力停止入力1がアクティブ・レベル（ハイ・レベル）期間中での，解除トリガ（TKBPAHTTnpビット）への“1”書き込みは無効となります。

強制出力停止入力1がインアクティブ・レベル（ロウ・レベル）期間中での，解除トリガ（TKBPAHTTnpビット）への“1”書き込みのあと，次のカウンタの周期で，タイマ出力に戻ります。

ハイ・インピーダンス出力制御信号がハイ・レベルの期間が，強制出力停止1の期間（ハイ・インピーダンス出力）となります。

（b）TKBPAMDnp1 = 1（固定出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で，TKBPAMDnp0の設定値に従い，ロウ・レベル／ハイ・レベルに固定出力となります。

強制出力停止入力1がアクティブ・レベル（ハイ・レベル）期間中での，解除トリガ（TKBPAHTTnpビット）への“1”書き込みは無効となります。

強制出力停止入力1がインアクティブ・レベル（ロウ・レベル）期間中での，解除トリガ（TKBPAHTTnpビット）への“1”書き込みのあと，次のカウンタの周期で，出力レベルの固定が解除され，タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が，強制出力停止1の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考　n = 0-2, p = 0, 1

7. 8　強制出力停止機能2の動作説明

トリガ要因（コンパレータ0～5出力，INTP20）の発生により，CPUを介さずに16ビット・タイマKBn，KC0回路の動作クロックf_{KBKC}と非同期でタイマ出力をハイ／ロウ・レベル固定状態にすることができます。トリガ要因発生後の次のカウンタの周期開始，またはトリガ要因信号がインアクティブになった次のカウンタ周期開始のタイミングで強制出力停止状態は解除されます

7. 8. 1　強制出力停止機能2の概要

この機能では，コンパレータ出力信号及び外部割り込み（INTP20）を強制出力停止機能2のトリガ信号として使用します。

強制出力停止時に選択できる出力状態は, TKBPACTLnpレジスタのTKBPAMDnp0, TKBPAMDnp1ビットによって制御されます。

タイマKBnの出力p端子（TKBOnp）の強制出力停止機能2出力レベルとの関係を次の表に示します。

表7－11　TKBOnpの強制出力停止機能2出力レベルとの関係

TKBPAMDnp1	TKBPAMDnp0	強制出力停止機能2実行時の出力レベル選択
0	0	ロウ・レベル固定出力
0	1	ハイ･レベル固定出力
1	0	ロウ・レベル固定出力
1	1	ハイ･レベル固定出力

使用するコンパレータ出力の選択は，強制出力停止機能制御np（TKBPACTLnp）のTKBPAFXSnp3-TKBPAFXSnp0ビットによって制御されます。

タイマKBnの出力p端子（TKBOnp）の強制出力停止機能2トリガ選択を次の表に示します。

表7－12　TKBOnpの強制出力停止機能2トリガ選択

ビット名	選択可能なトリガ信号		
	タイマKB0	タイマKB1	タイマKB2
TKBPAFXSnp0	コンパレータ0		
TKBPAFXSnp1	コンパレータ1	コンパレータ2	コンパレータ4
TKBPAFXSnp2	コンパレータ2	コンパレータ3	コンパレータ5
TKBPAFXSnp3	INTP20		

備考　n = 0-2, p = 0, 1

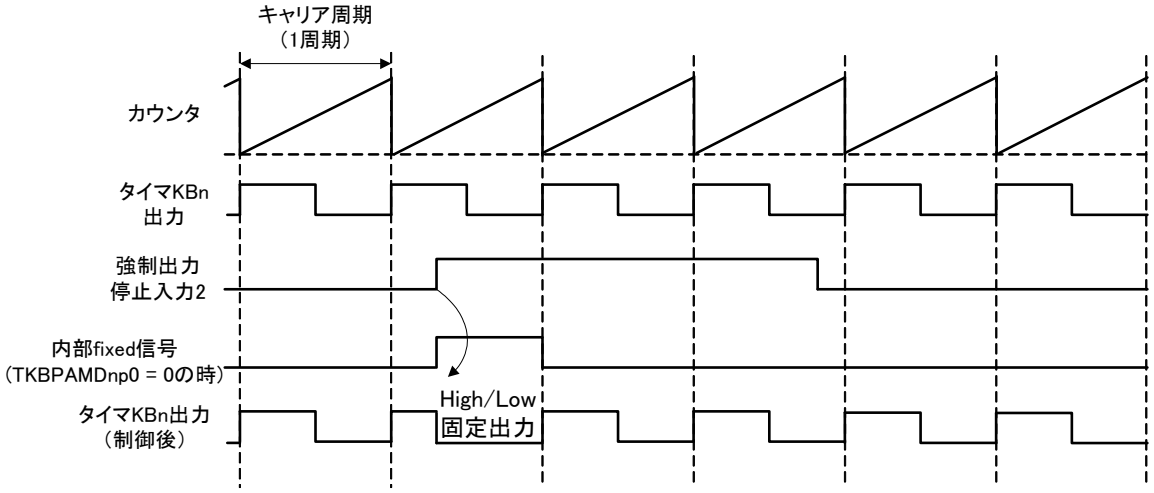
7. 8. 2　強制出力停止機能2の基本動作

TKBPAFCMnpビットの設定の違いによる強制出力機能2の動作を示します。

強制出力停止機能2を開始するトリガ信号（強制出力停止入力2）は，強制出力停止機能制御レジスタnp（TKBPACTLnp）のTKBPAFXSnp0-TKBPAFXSnp3ビットで選択されたトリガ信号です。

（1）TKBPAFCMnp = 0での強制出力停止機能2

図7－84　TKBPAFCMnp = 0での強制出力停止機能2



強制出力停止入力2の立ち上がりエッジ検出で，TKBPAMDnp0の設定値に従い，ロウ・レベル／ハイ・レベルに固定出力となります。

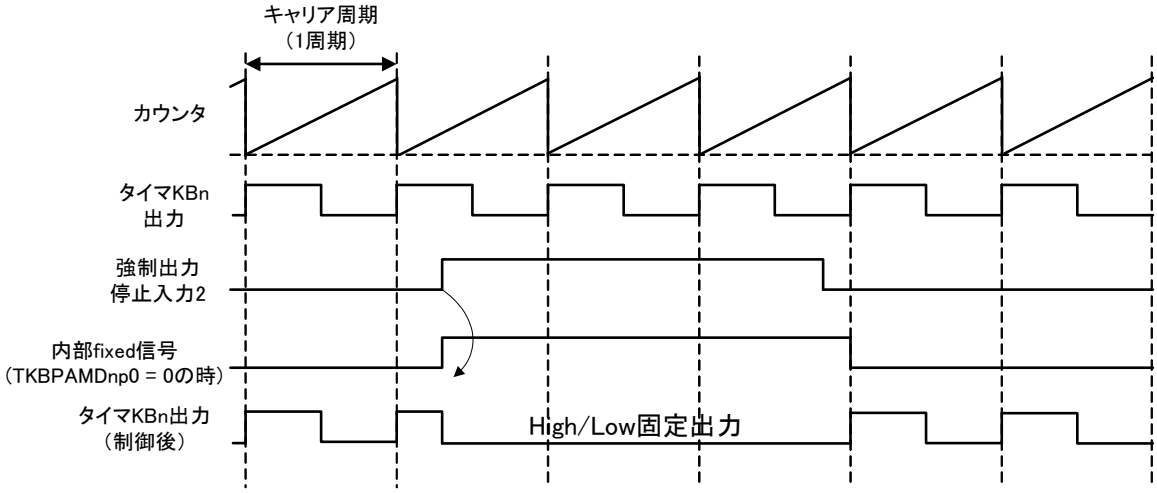
強制出力停止入力2の入力レベルに関係なく，次のカウンタの周期で出力レベルの固定が解除され，タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が，強制出力停止2の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考　n = 0-2, p = 0, 1

（2）TKBPAFCMnp = 1での強制出力停止機能2

図7－85　TKBPAFCMnp = 1での強制出力停止機能2



強制出力停止入力2の立ち上がりエッジ検出で，TKBPAMDnp0の設定値に従い，ロウ・レベル／ハイ・レベルに固定出力となります。

強制出力停止入力2が逆エッジになったあと，次のカウンタの周期で出力レベルの固定が解除され，タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が，強制出力停止2の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考　n = 0-2, p = 0, 1

第8章　16ビット・タイマKC0

8. 1　16ビット・タイマKC0の機能

16ビット・タイマKC0は，RL78/I1Aマイクロコントローラの全製品に搭載されています。
16ビット・タイマKC0は，6つの出力を持つタイマで，最大6出力のPWM出力を生成することができます。
さらに，タイマKB0, KB1, KB2と連動して，最大6出力のPWM出力のゲート制御を実現することができます。
16ビット・タイマKC0には，次のような機能があります。

（1）PWM出力
・1周期に対して任意のデューティをタイマ動作中に変更可能なパルスが出力されます。
・タイマ出力レベル（ハイ・レベルまたはロウ・レベル）のデフォルトを設定することができます。

（2）PWM出力ゲート機能（16ビット・タイマKB0, KB1, KB2と連動）
最大6本の16ビット・タイマKB0，KB1，KB2出力（TKBO00，TKBO01，TKBO10，TKBO11，TKBO20，TKBO21出力）を，タイマKCの出力により，それぞれを任意のデューティでゲート制御することができます。

（3）同時スタート＆ストップモード
16ビット・タイマKBをマスタ，16ビット・タイマKCをスレーブとすることで，タイマKBのカウント開始／停止タイミングと同期してスレーブの16ビット・タイマKCを同時スタート＆ストップさせることが可能です。

8. 2　16ビット・タイマKC0の構成

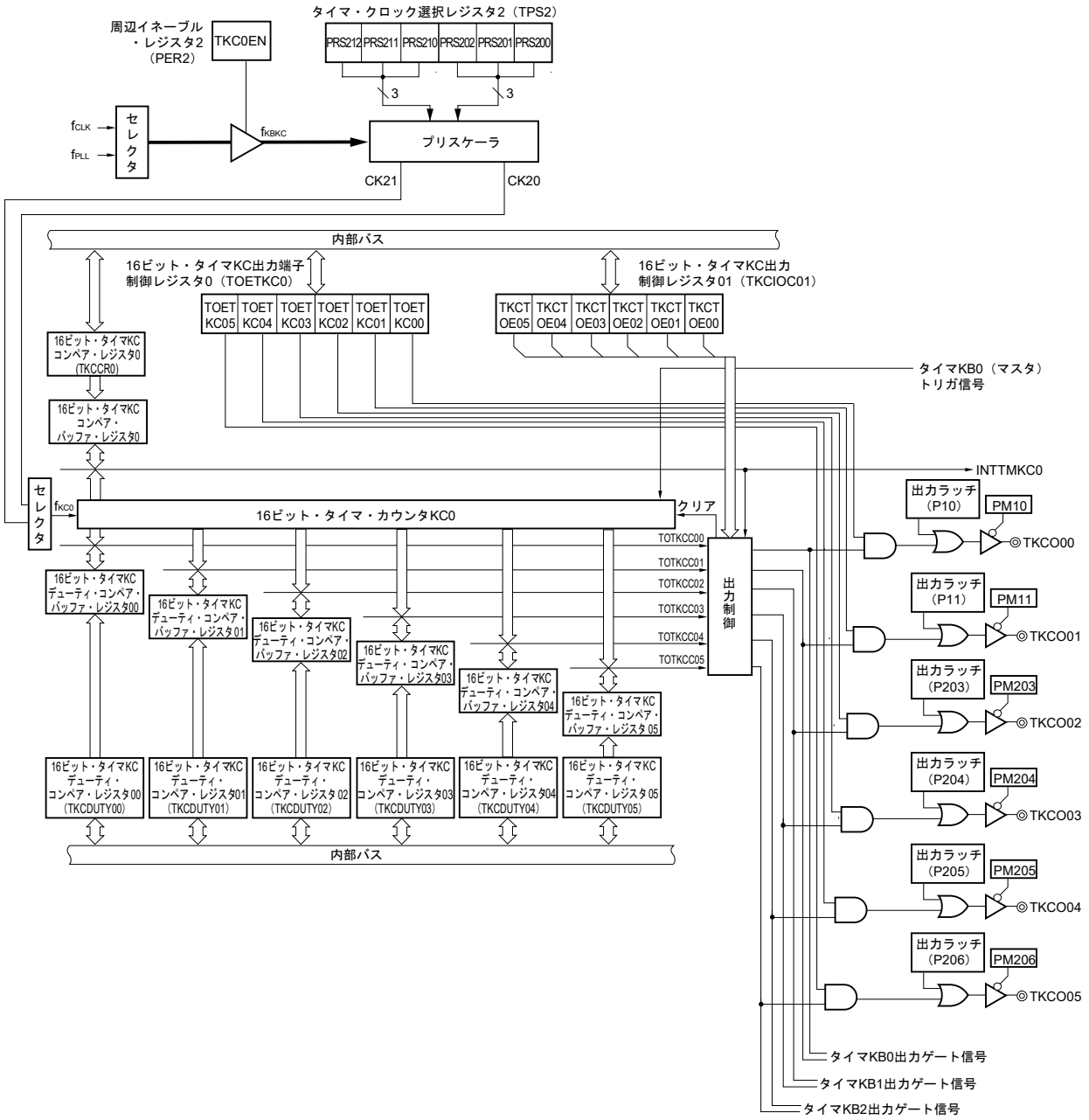
16ビット・タイマKC0は，次のハードウエアで構成されています。

表8－1　16ビット・タイマKC0の構成

項　　目	構　　成
タイマ／カウンタ	16ビット・タイマ・カウンタKC0（TKCCNT0）
レジスタ	16ビット・タイマKCコンペア・レジスタ0（TKCCR0） 16ビット・タイマKCデューティ・コンペア・レジスタ0-5（TKCDUTY00-TKCDUTY05）
タイマ出力	TKCO00-TKCO05
制御レジスタ	16ビット・タイマKC動作制御レジスタ0（TKCCTL0） 16ビット・タイマKC出力制御レジスタ00（TKCIOC00） 16ビット・タイマKC出力制御レジスタ01（TKCIOC01） 16ビット・タイマKC出力端子制御レジスタ（TOETKC0） 16ビット・タイマKC出力フラグ・レジスタ0（TKCTOF0） 16ビット・タイマKCフラグ・レジスタ0（TKCFLG0） 16ビット・タイマKCトリガ・レジスタ0（TKCTRG0） ポート・モード・レジスタ1, 20（PM1, PM20） ポート・レジスタ1, 20（P1, P20）

図8－1にブロック図を示します。

図8－1　16ビット・タイマKC0のブロック図



備考 1.　f_{KBKC}　：16ビット・タイマKBn, KC0回路全体の動作クロック

f_{KC0}　：16ビット・タイマKC0のカウント・クロック

2.　n = 0-2

8. 2. 1　16ビット・タイマKCコンペア・レジスタ0（TKCCR0）

TKCCR0は，タイマKCの周期を設定するレジスタです。

TKCCR0は，タイマ・カウント中（TKCCE0 = 1）にリフレッシュ（同値書き込み）および値の書き換えが可能です。タイマ動作中にTKCCR0の値を書き換える場合，その値はラッチされ，下記のタイミングでTKCCR0に転送され，TKCCR0の値が変更されます。

・カウンタのカウント動作開始時（TKCCE0 =0）

・一斉書き換えのトリガ発生時（TKCRDT0 =1 または 外部トリガ（TKCTSE0 = 1のとき））

16ビット単位でリード／ライト可能です。

リセット信号の発生により，0000Hになります。

図8－2　16ビット・タイマKCコンペア・レジスタ0（TKCCR0）のフォーマット

アドレス：F06D0H　リセット時：0000H　R/W

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKCCR0																

8. 2. 2　16ビット・タイマKCデューティ・コンペア・レジスタ00-05（TKCDUTY00-TKCDUTY05）

TKCDUTY0mは，タイマKCの出力のアクティブ期間を設定するレジスタです。

TKCDUTY0mは，タイマ・カウント中（TKCCE0 = 1）にリフレッシュ（同値書き込み）および値の書き換えが可能です。タイマ動作中にTKCDUTY0mの値を書き換える場合，その値はラッチされ，下記のタイミングでTKCDUTY0mに転送され，TKCDUTY0mの値が変更されます。

・カウンタのカウント動作開始時（TKCCE0 =0）

・一斉書き換えのトリガ発生時（TKCRDT0 =1 または 外部トリガ（TKCTSE0 = 1のとき））

16ビット単位でリード／ライト可能です。

リセット信号の発生により，0000Hになります。

図8－3　16ビット・タイマKCデューティ・コンペア・レジスタ0m（TKCDUTY0m）のフォーマット

アドレス：F06D2H（TKCDUTY00），F06D4H（TKCDUTY01），F06D6H（TKCDUTY02），　リセット時：0000H　R/W
F06D8H（TKCDUTY03），F06DAH（TKCDUTY04），F06DCH（TKCDUTY05）

リセット時：0000H　R/W

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKCDUTY0m																

備考　m = 0-5

8. 3　16ビット・タイマKC0を制御するレジスタ

16ビット・タイマKC0を制御するレジスタを次に示します。

・周辺イネーブル・レジスタ2（PER2）
・タイマ・クロック選択レジスタ2（TPS2）
・16ビット・タイマKC動作制御レジスタ0（TKCCTL0）
・16ビット・タイマKC出力制御レジスタ00（TKCIOC00）
・16ビット・タイマKC出力制御レジスタ01（TKCIOC01）
・16ビット・タイマKC出力端子制御レジスタ（TOETKC0）
・16ビット・タイマKC出力フラグ・レジスタ0（TKCTOF0）
・16ビット・タイマKCフラグ・レジスタ0（TKCFLG0）
・16ビット・タイマKCトリガ・レジスタ0（TKCTRG0）
・ポート・モード・レジスタ1, 20（PM1, PM20）
・ポート・レジスタ1, 20（P1, P20）

8. 3. 1　周辺イネーブル・レジスタ2（PER2）

PER2レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマKC0を使用する場合は，必ずビット3（TKC0EN）を1に設定してください。

PER2レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER2レジスタは00Hになります。

図8－4　周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F0509H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER2	PGACMPEN	TKBPA2EN	TKBPA1EN	TKBPA0EN	TKC0EN	TKB2EN	TKB1EN	TKB0EN

TKC0EN	タイマKC0の入力クロックの制御
0	入力クロック供給停止 ・タイマKC0で使用するSFRへのライト不可 ・タイマKC0は初期状態
1	入力クロック供給 ・タイマKC0で使用するSFRへのリード／ライト可

注意　タイマKC0の設定をする際には，必ず最初にTKC0EN = 1の設定を行ってください。TKC0EN = 0の場合は，タイマKC0の制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（タイマ・クロック選択レジスタ2（TPS2），ポート・モード・レジスタ1, 20（PM1, PM20），ポート・レジスタ1, 20（P1, P20）は除く）。

8. 3. 2　タイマ・クロック選択レジスタ2（TPS2）

TPS2レジスタは，外部プリスケーラからタイマKB0, KB1, KB2, KC0に共通して供給される2種類の動作クロック（CK20，CK21）を選択する16ビット・レジスタです。TPS2レジスタのビット6-4でCK21を，ビット2-0でCK20を選択します。

タイマ動作中のTPS2レジスタの書き換えは，次の場合のみ可能です。

PRS200-PRS202ビットが書き換え可能な場合（n = 0-2）：

動作クロックにCK20を選択（TKBCKSn = 0，TKCCKS0 = 0）しているタイマがすべて停止状態（TKBCEn = 0, TKCCE0 = 0）

PRS210-PRS212ビットが書き換え可能な場合（n = 0-2）：

動作クロックにCK21を選択（TKBCKSn = 1，TKCCKS0 = 1）しているタイマがすべて停止状態（TKBCEn = 0, TKCCE0 = 0）

TPS2レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPS2レジスタは00Hになります。

図8－5　タイマ・クロック選択レジスタ2（TPS2）のフォーマット

アドレス：F05C5H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TPS2	0	TPS212	TPS211	TPS210	0	TPS202	TPS201	TPS200

TPS 2k2	TPS 2k1	TPS 2k0	動作クロック（CK2k）の選択[注1, 2]（k = 0, 1）					
				f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz	f_{PLL} = 64 MHz
0	0	0	f_{CLK}, f_{PLL}	2 MHz	5 MHz	20 MHz	32 MHz	64 MHz
0	0	1	$f_{CLK}/2$, $f_{PLL}/2$	1 MHz	2.5 MHz	10 MHz	16 MHz	32 MHz
0	1	0	$f_{CLK}/2^2$, $f_{PLL}/2^2$	500 kHz	1.25 MHz	5 MHz	8 MHz	16 MHz
0	1	1	$f_{CLK}/2^3$, $f_{PLL}/2^3$	250 kHz	625 kHz	2.5 MHz	4 MHz	8 MHz
1	0	0	$f_{CLK}/2^4$, $f_{PLL}/2^4$	125 kHz	312.5 kHz	1.25 MHz	2 MHz	4 MHz
1	0	1	$f_{CLK}/2^5$, $f_{PLL}/2^5$	62.5 kHz	156.2 kHz	625 kHz	1 MHz	2 MHz
1	1	0	設定禁止	－	－	－	－	－
1	1	1	設定禁止	－	－	－	－	－

注1.　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマKB0, KB1, KB2, KC0を停止（TKBCEn = 0, TKCCE0 = 0）させてください。

2.　PLLコントロール・レジスタ（PLLCTL）のPLLON = 1のときは，f_{PLL}が供給されます。

注意　ビット7, 3には，必ず0を設定してください。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

f_{PLL}：PLL出力クロック

8. 3. 3　16ビット・タイマKC動作制御レジスタ0（TKCCTL0）

TKCCTL0は，16ビット・タイマのカウント動作の制御とカウント・クロックの設定をするレジスタです。

TKCCTL0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8－6　16ビット・タイマKC動作制御レジスタ0（TKCCTL0）のフォーマット

アドレス：F06E5H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TKCCTL0	TKCCE0	0	0	TKCCKS0	0	0	0	TKCMD0

TKCCE0	タイマKC0の動作制御
0	タイマ動作停止（カウンタはFFFFHにクリア）
1	タイマ動作許可

TKCCKS0	タイマKC0のクロック選択
0	TPS202-TPS200ビットで選択したCK20クロック
1	TPS212-TPS210ビットで選択したCK21クロック

TKCMD0	タイマKC0の動作モードの選択
0	単体動作モード
1	同期スタート／ストップ・モード（タイマKB0をマスタとするスレーブ使用）

注意1.　タイマ動作中に，TKCCTL0レジスタを書き換えないでください。ただし，TKCCTL0レジスタにリフレッシュ（同値書き込み）することは可能です。

2.　ビット6, 5, 3-1には必ず0を設定してください。

8. 3. 4　16ビット・タイマKC出力制御レジスタ00（TKCIOC00）

TKCIOC00は，16ビット・タイマKC0出力のTKCO0mのデフォルト／アクティブ・レベルを設定するレジスタです。

TKCIOC00は，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8－7　16ビット・タイマKC出力制御レジスタ00（TKCIOC00）のフォーマット

アドレス：F06E2H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
TKCIOC00	0	0	TKCTOL05	TKCTOL04	TKCTOL03	TKCTOL02	TKCTOL01	TKCTOL00
	7	6	5	4	3	2	1	0
	0	0	TKCTOD05	TKCTOD04	TKCTOD03	TKCTOD02	TKCTOD01	TKCTOD00

TKCTOL0m	タイマ出力TKCO0mのアクティブ・レベル設定
0	アクティブ・ハイ
1	アクティブ・ロウ

TKCTOD0m	タイマ出力TKCO0mのデフォルト・レベル設定
0	ロウ・レベル（通常出力）
1	ハイ・レベル（反転出力）

注意1.　タイマ動作中に，TKCIOC00レジスタを書き換えないでください。ただし，TKCIOC00レジスタにリフレッシュ（同値書き込み）することは可能です。

2.　ビット15, 14, 7, 6には必ず0を設定してください。

3.　実際のTKCO0m端子の出力は，TKCO0m出力のほかに，兼用ポートのポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）によって決まります。

備考　m = 0-5

8. 3. 5　16ビット・タイマKC出力制御レジスタ01（TKCIOC01）

TKCIOC01は，16ビット・タイマKC0出力を16ビット・タイマKBのPWM出力ゲート機能およびTKCO0p出力として使うことを設定するレジスタです。

PWM出力ゲート機能として使用する場合は16ビット・タイマKBの設定が必要です。

また，TKCO0p出力として実際に出力を行う場合はポート・レジスタ，ポート・モード・レジスタのほかにTOETKC0レジスタの設定が必要です。

TKCIOC01は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8－8　16ビット・タイマKC出力制御レジスタ01（TKCIOC01）のフォーマット

アドレス：F06E4H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TKCIOC01	0	0	TKCTOE05	TKCTOE04	TKCTOE03	TKCTOE02	TKCTOE01	TKCTOE00

TKCTOE0m	タイマKBのPWM出力ゲート機能使用およびタイマ出力TKCO0mの出力許可／禁止
0	タイマKBのPWM出力ゲート機能使用およびタイマ出力禁止（TKCTOD0m = 0の場合，ロウ・レベル出力固定。TKCTOD0m = 1の場合，ハイ・レベル出力固定。）
1	タイマKBのPWM出力ゲート機能使用およびタイマ出力許可（PWM出力）

注意1.　タイマ動作中に，TKCIOC01レジスタを書き換え可能です。

2.　ビット7, 6には必ず0を設定してください。

3.　実際のTKCO0m端子の出力は，TKCO0m出力のほかに，兼用ポートのポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）によって決まります。

備考　m = 0-5

8. 3. 6　16ビット・タイマKC出力端子制御レジスタ（TOETKC0）

16ビット・タイマKCから出力されるタイマ出力に対し，端子への出力許可／禁止を制御するレジスタです。

16ビット・タイマKBとの連動機能であるタイマ出力ゲート機能の設定によらず，TKCOnの出力制御が可能です。

TOETKC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8－9　16ビット・タイマKC出力端子制御レジスタ（TOETKC0）のフォーマット

アドレス：F05C8H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TOETKC0	0	0	TOETKC05	TOETKC04	TOETKC03	TOETKC02	TOETKC01	TOETKC00

TOETKC0m	タイマ出力TKCO0mの端子への出力許可／禁止
0	TKCO0mの端子出力禁止
1	TKCO0mの端子出力許可

備考　m = 0-5

8. 3. 7　16ビット・タイマKC出力フラグ・レジスタ0（TKCTOF0）

TKCTOF0は，16ビット・タイマKC0出力のTKCO0mのモニタ・フラグ・レジスタです。

TKCTOF0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

図8－10　16ビット・タイマKC出力フラグ・レジスタ0（TKCTOF0）のフォーマット

アドレス：F06E6H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
TKCTOF0	0	0	TKCTOF05	TKCTOF04	TKCTOF03	TKCTOF02	TKCTOF01	TKCTOF00

TKCTOF0m	タイマ出力TKCO0mのモニタ・フラグ
0	ロウ・レベル状態
1	ハイ・レベル状態

注意　**実際のTKCO0m端子の出力は，TKCO0m出力のほかに，兼用ポートのポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）によって決まります。**

備考　m = 0-5

8. 3. 8　16ビット・タイマKCフラグ・レジスタ0（TKCFLG0）

TKCFLG0は，16ビット・タイマKC0のステータス・フラグを表示するレジスタです。

TKCFLG0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

図8－11　16ビット・タイマKCフラグ・レジスタ0（TKCFLG0）のフォーマット

アドレス：F06DFH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
TKCFLG0	0	0	0	0	0	0	0	TKCRSF0

TKCRSF0	一斉書き換えトリガの保留ステータス・フラグ
0	一斉書き換え許可状態，または一斉書き換えトリガ発生による一斉書き換えの完了
1	一斉書き換え保留（完了待ち）状態， または一斉書き換えトリガ・レジスタ（TKCTRG0）への“01H”書き込み

8. 3. 9　16ビット・タイマKCトリガ・レジスタ0（TKCTRG0）

TKCTRG0は，16ビット・タイマKC0のコンペア・レジスタを一斉書き換えするためのトリガ・レジスタです。

TKCTRG0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

図8－12　16ビット・タイマKCトリガ・レジスタ0（TKCTRG0）のフォーマット

アドレス：F06DEH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TKCTRG0	0	0	0	0	0	0	0	TKCRDT0

TKCRDT0	コンペア・レジスター斉書き換え要求のトリガ
0	設定無効
1	コンペア・レジスター斉書き換え要求（TKCRSF0フラグを“1”にセットする）

備考　リード時は，0が読み出されます。

8. 3. 10　ポート・モード・レジスタ1, 20（PM1, PM20）

ポート1, 20の入力／出力を1ビット単位で設定するレジスタです。

P10/TKCO00/INTP20/SO00/TxD0/SCLA0/(DALITxD4), P11/TKCO01/INTP21/SI00/RxD0/SDAA0/(DALIRxD4) /(TI07)/(TxRx4), P12/(TKCO03)/SCK00, P203/TKCO02/TKBO11/(INTP20), P204/TKCO03/TKBO20, P205/TKCO04/TKBO21/DALITxD4, P206/TKCO05/DALIRxD4/TxRx4/INTP23端子をタイマ出力として使用するとき，PM10-PM12, PM203-PM206，およびP10-P12, P203-P206の出力ラッチに0を設定してください。

PM1, PM20は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図8－13　ポート・モード・レジスタ1, 20（PM1, PM20）のフォーマット（38ピン製品の場合）

アドレス：FFF21H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	PM12	PM11	PM10

PM1y	P1y端子の入出力モードの選択（y = 0-2）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

アドレス：F0510H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM20	1	PM206	PM205	PM204	PM203	PM202	PM201	PM200

PM20x	P20x端子の入出力モードの選択（x = 0-6）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　PM1レジスタのビット3-7，PM20レジスタのビット7には必ず1を設定してください。

30, 20ピン製品は，下記のビットをリセット解除後ソフトウエアで出力モード（ポート・レジスタとポート・モード・レジスタに0を設定）に設定する必要があります。

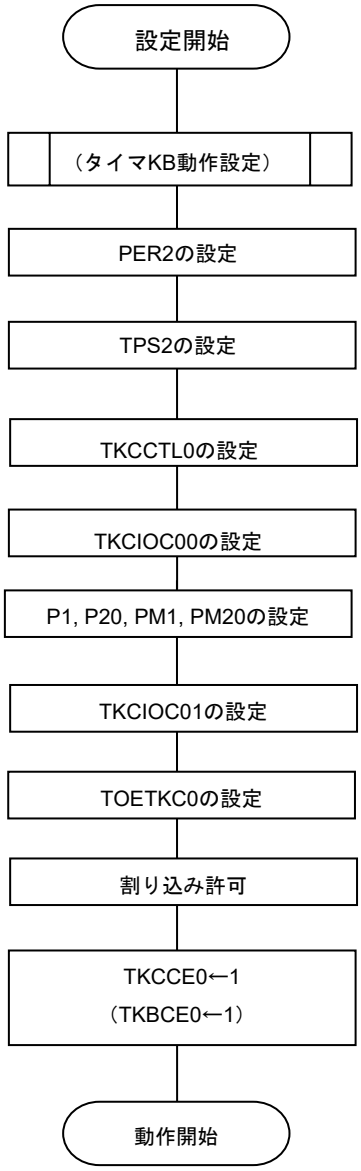
30ピン製品：PM1レジスタのビット2

20ピン製品：PM1レジスタのビット2，PM20レジスタのビット4-6

備考　上記は，38ピン製品のポート・モード・レジスタ1, 20のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては，表4－3　各製品で搭載しているPMxx，Pxx，PUxx，PIMxx, POMxx, PMCxxレジスタとそのビットを参照してください。

8. 4　16ビット・タイマKC0の動作

図8－14　タイマKC動作設定例（動作開始フロー）



同期スタート&ストップモードで使用する場合、タイマKBの動作設定を行います。

TKC0ENビットをセットし、クロック供給を開始します。

タイマKCの動作クロックを設定します。

タイマKCの動作モードを選択します。
・動作クロックの選択
・単体動作モード　or同期スタート/ストップモード

タイマKCのアクティブ・レベルとデフォルト・レベルを設定します。

タイマKCを出力する端子を出力に設定します。

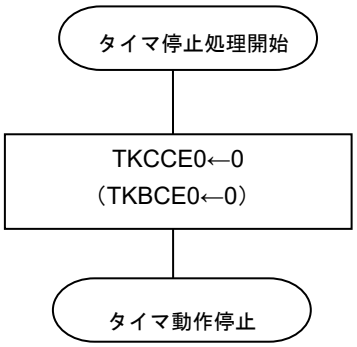
タイマKB出力のゲート機能およびタイマKCの出力許可を設定します。

端子へのタイマKC出力許可を設定します。
タイマKBゲート機能でのみ使用する場合に出力禁止にします。

割り込み要求フラグ（XXIF）をクリアし，割り込みマスク（XXMK）を解除して，割り込み許可（EI）にします。

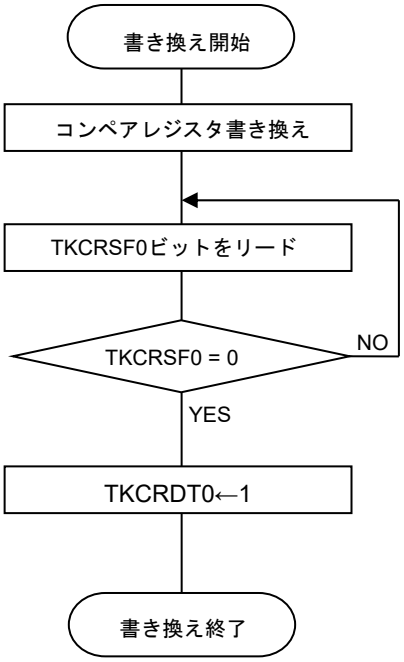
タイマ･カウント開始　カウンタを0クリアしカウントスタートします。
（同期スタート/ストップモードで使用する場合はタイマKBのタイマ動作許可ビットTKBCE0をセットすることでタイマKCも動作開始します）

図8－15　タイマKC動作設定例（動作停止フロー）



タイマ・カウントは停止し、タイマKC出力は設定されたデフォルト・レベルの固定出力となります。
（同期スタート/ストップモードで使用する場合はタイマKBのタイマ動作許可ビットTKBCE0をクリアすることでタイマKCも動作停止します）

図8－16　タイマKC動作設定例（コンペアレジスター斉書き換えフロー）



TKCCR0，TKCDUTY00-TKCDUTY05レジスタを書き換えます。

TKCFLG0レジスタのTKCRSF0を読み込みます。
TKCRSF0 =0のとき一斉書き換え要求を受けつけます。

コンペアレジスター斉書き換え要求

書き換え要求受け付け後、実際に設定変更されるまでTKCRSF0ビットは”1”となります。

備考　一斉書き換え機能はタイマKC動作中にタイマ・カウント動作設定を変更する場合に使用します。
設定値は次のリスタート時から動作に反映されます。

8. 4. 1　PWM出力機能

16ビット・タイマKCは，１つの周期に対して，デューティを個別設定可能な6本のPWM波形を出力することが可能です。

デューティは，0%～100%の範囲で設定可能です。TKCO0mの周期，デューティの計算式は下記のとおりです。

パルス周期 ＝ （TKCCR0の設定値＋1）×カウント・クロック周期

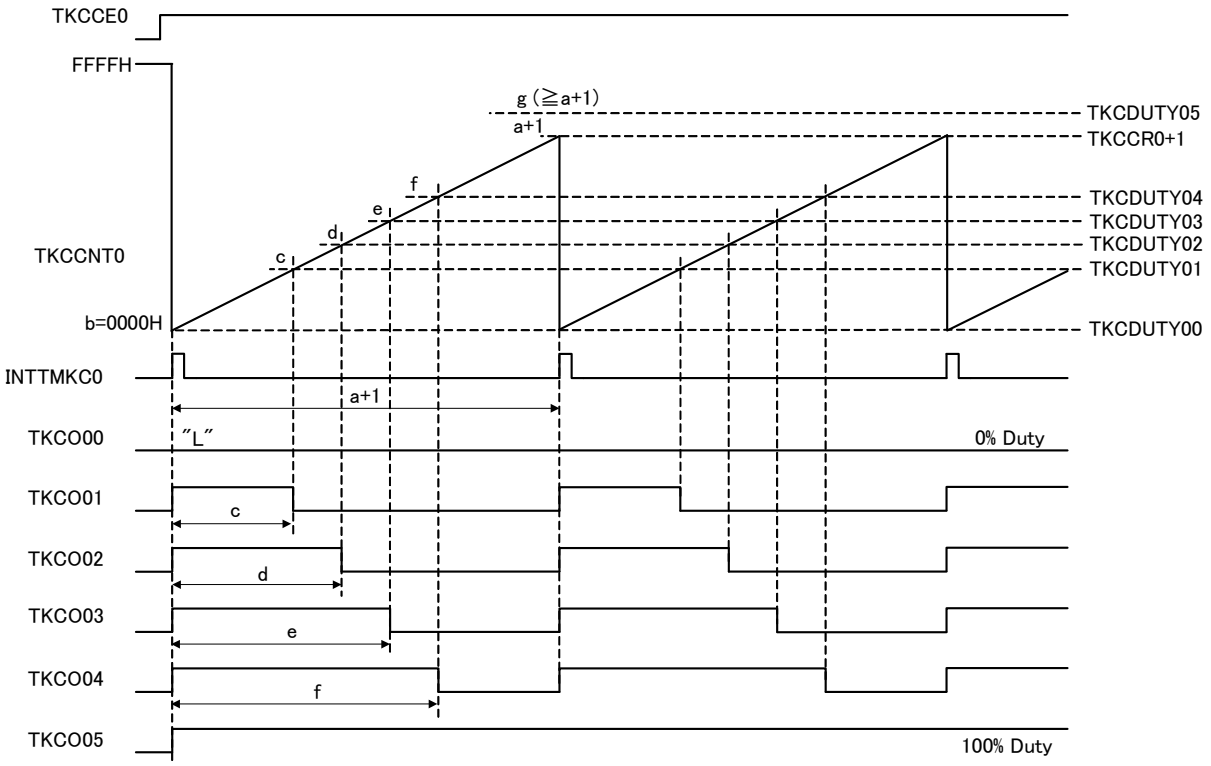
デューティ [%] ＝ （TKCDUTY0mの設定値／（TKCCR0の設定値＋1））×100

0%出力 ：TKCDUTY0mの設定値 ＝ 0000H

100%出力：TKCDUTY0mの設定値 ≧ TKCCR0の設定値＋1

備考　m = 0-5

図8－17　PWM出力機能の基本タイミング例（TKCTOL0m = 0，TKCTOD0m = 0）



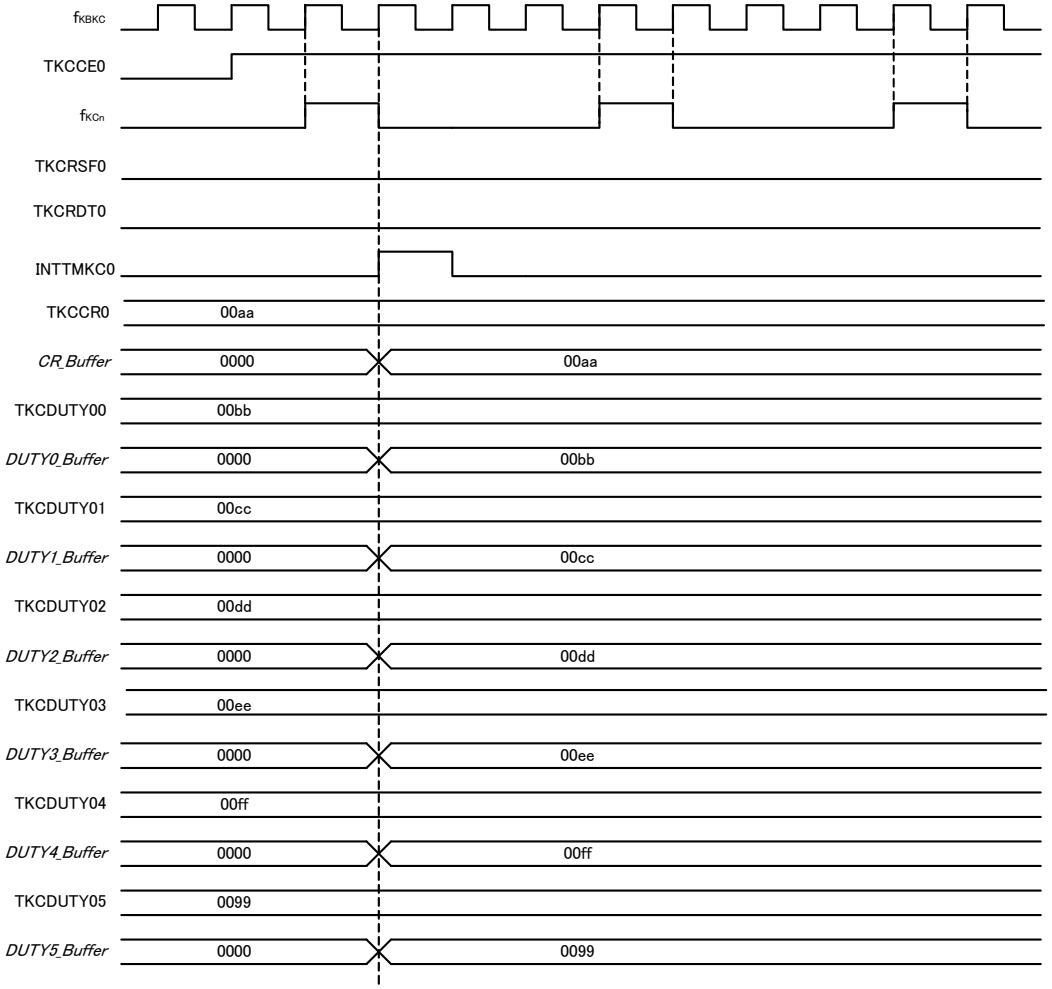
備考　上図は，TKCO00（0%）～TKCO05（100%）の場合です。

（1）一斉書き換え機能：カウント動作開始時のバッファ更新

16ビット・タイマKCのコンペア・レジスタには，TKCCE0ビットへの“1”書き込み後のカウント・クロック発生によるカウンタの動作開始タイミングで，内部バッファ・レジスタを一斉に更新する機能があります。この機能により，カウント動作開始タイミングに限り，TKCRDT0ビットへの“1”書き込みなしで一斉に書き換えが発生します。

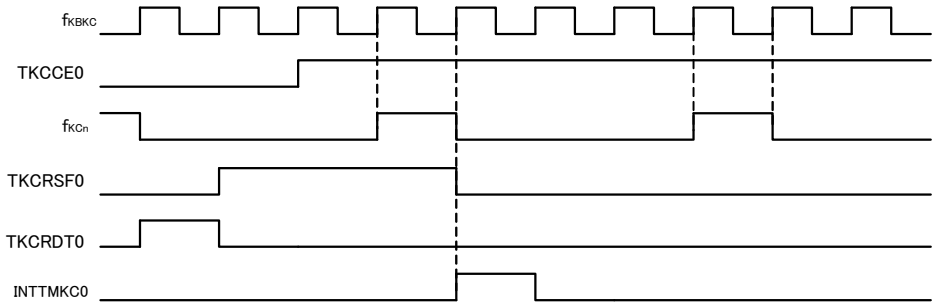
図8－18　一斉書き換え機能：カウント動作開始時のバッファ更新のタイミング図

（TKCTOL0m = 0, TKCTOD0m = 0時）



TKCCE0 = 0のとき，TKCRDT0に“1”を書き込むとTKCRSF0に“1”がセットされます。
また，INTTMKC0発生でTKCRSF0が“0”にクリアされます。

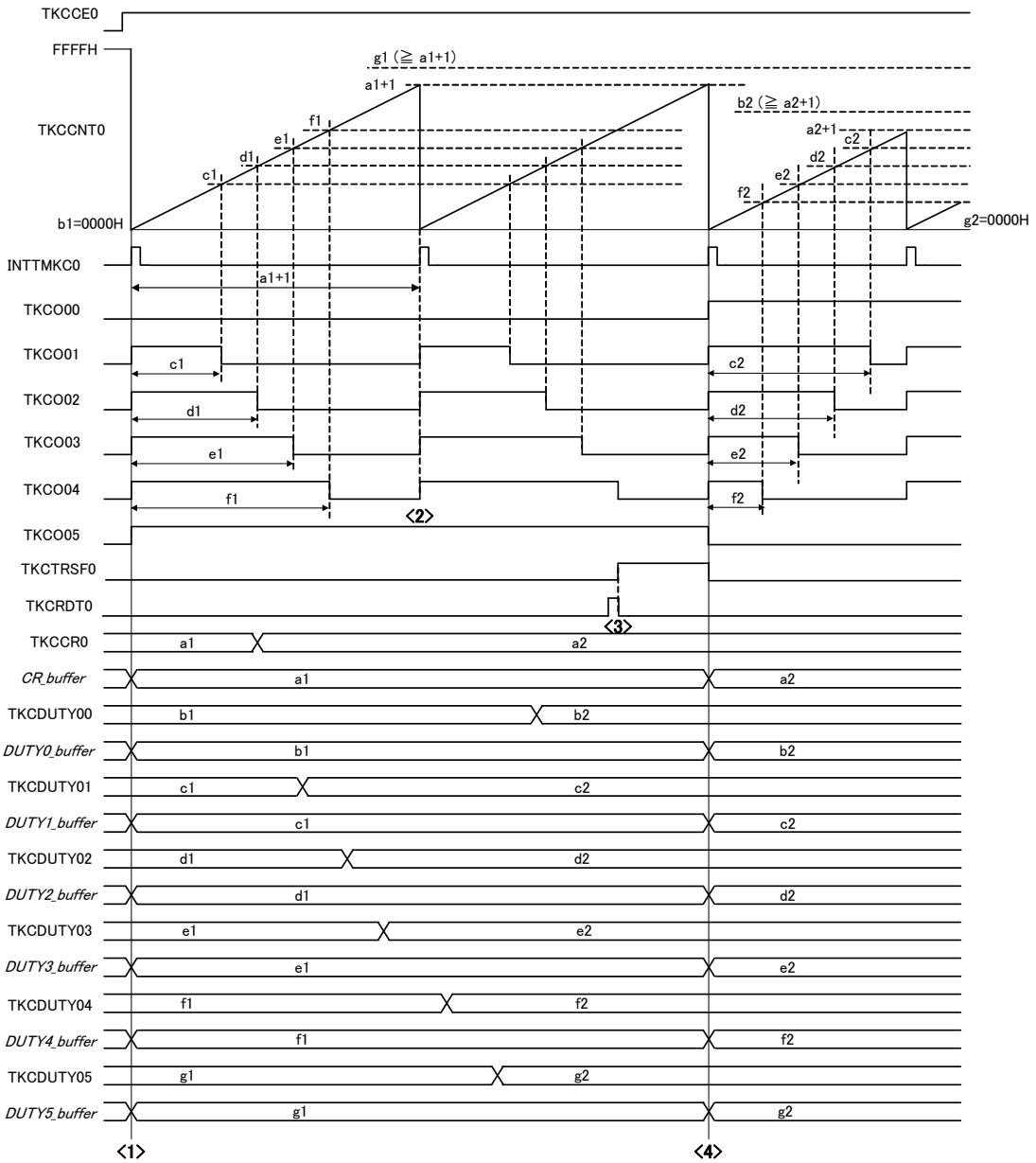
図8－19　一斉書き換え機能：カウント動作開始時のバッファ更新のタイミング図



（2）一斉書き換え機能：カウント動作中のバッファ更新

16ビット・タイマKCのコンペア・レジスタには，TKCRDT0ビットへの“1”書き込みを一斉書き換えトリガとして，次回のカウンタ・クリア（TKCCNT0とTKCCR0の一致）タイミングで，内部バッファ・レジスタを一斉に更新する機能があります。TKCRDT0ビットへの“1”書き込みから一斉書き換え完了までを示すフラグとして，TKCRSF0があります。この機能の動作について，タイミング図をもとに説明します。

図8－20　一斉書き換え機能：カウント動作中のバッファ更新のタイミング図
（TKCTOL0m = 0，TKCTOD0m = 0時）



<1>：TKCCE0を“0”から“1”に設定後，TKCCNT0がカウント動作を開始するタイミングで，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。

<2>：TKCCR0, TKCDUTY05-TKCDUTY00レジスタ書き換え後，カウンタ・クリアが発生した場合であっても，TKCRDT0への“1”書き込みを実施していなければ一斉書き換えは発生しません。

<3>：TKCRDT0への“1”書き込みにより，一斉書き換え保留フラグ（TKCRSF0）が“1”となります。

<4>：TKCRSF0が“1”のときの，カウンタ・クリア発生により，コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に，TKCRSF0が“0”となります。

8. 4. 2　動作停止と動作再開

16ビット・タイマKCの動作停止と再開はTKCCE0を制御することにより可能となります。

（1）16ビット・タイマKCは，TKCCE0を“1”から“0”にすることでリセットし動作を停止します。
このとき，カウンタTKCCNT0は，FFFFHにリセットされ動作を停止します。
TKCO0m出力は，TKCTOD0mで設定したデフォルト・レベルを出力します。

（2）16ビット・タイマKCは，TKCCE0を“0”から“1”にすることで動作を開始します。
TKCCE0 = 0のとき，カウンタTKCCNT0はFFFFHを保持しており，TKCCE0を“0”から“1”することでアップカウント動作を開始します。
TKCO0m出力は，TKCTOE0m/TKCTOL0m/TKCTOD0mの設定に従い波形出力します。

図8－21　動作停止と動作再開のタイミング図（TKCTOL0m = 0, TKCTOD0m = 0時）

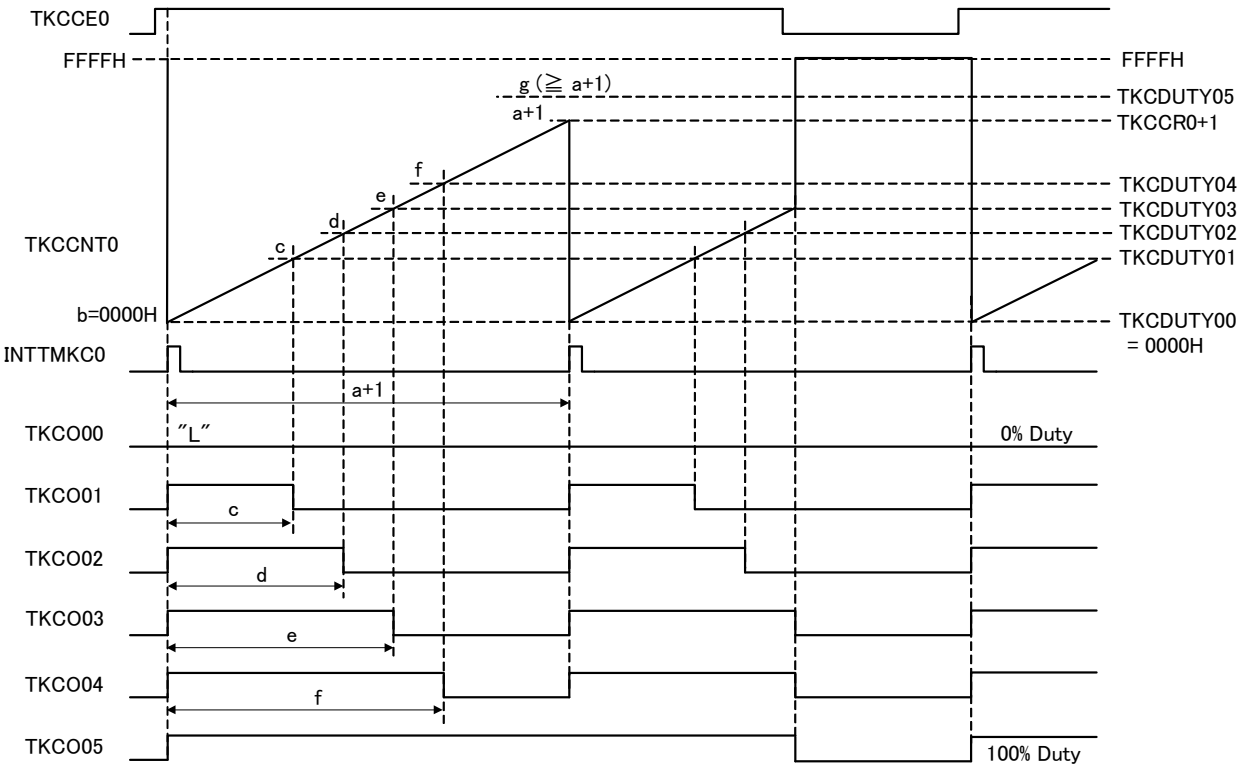
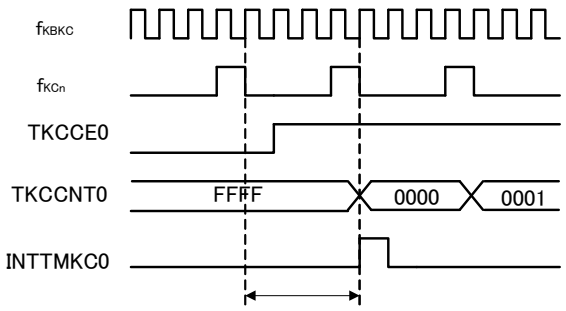
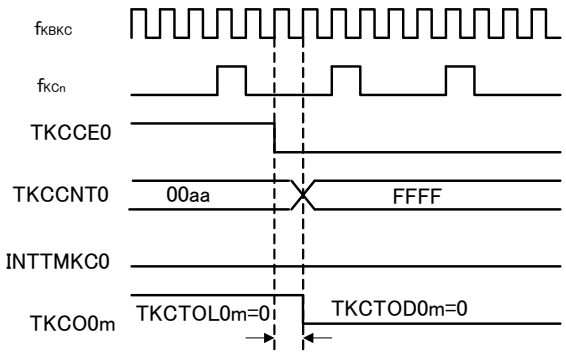


図8－22　カウント動作開始タイミング

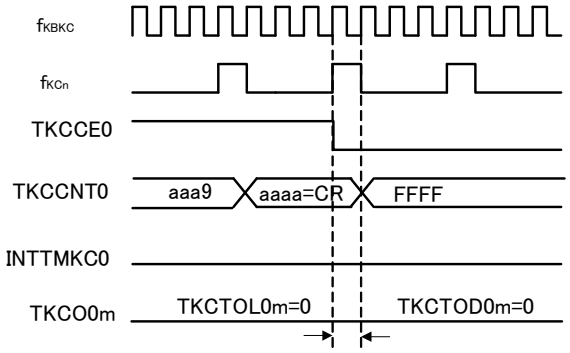


TKCCE0を“0”から“1”に変更した場合，最小1 fKBKCから最大1 fKCn経過後に，カウント動作を開始します。
カウント動作開始タイミングで，INTTMKC0信号を出力します。

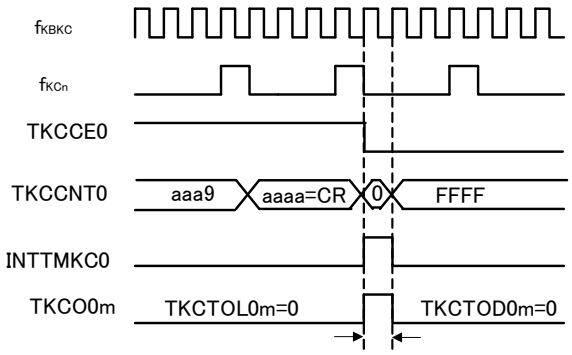
図8－23　カウント動作停止タイミング



TKCCE0を“1”から“0”に変更した場合，1 fKBKC経過後に，カウント動作を停止します。
TKCCNT0は，FFFFHにリセットされ，TKCO0mは，TKCTOD0mで設定しているデフォルト・レベルとなります。



TKCCE0を“1”から“0”に変更した場合，1 fKBKC経過後に，カウント動作を停止します。
fKCnの発生前は，TKCCNT0 = TKCCR0の一致が発生していてもINTTMKC0信号は出力されません。



TKCCE0の操作がfKBKCの発生と同時の場合，TKCCNT0 = TKCCR0の一致発生でINTTMKC0を出力し，TKCO0mがセットされます。

1 fKBKC経過後，TKCCNT0は，FFFFHにリセットされ，TKCO0mは，TKCTOD0mで設定しているデフォルト・レベルとなります。

8. 4. 3　デフォルト・レベルとアクティブ・レベル

16ビット・タイマKC出力制御レジスタ00（TKCIOC00）によってタイマKC 出力のデフォルト・レベルとアクティブ・レベルを設定できます。

TKCTOE0mを“1”から“0”に変更した場合，TKCO0mは，TKCTOD0mの設定値に従い，デフォルト・レベルを出力します。

TKCTOE0mを“0”から“1”に変更した場合，TKCO0mのセット条件／リセット条件の発生と，TKCTOL0mの設定値に従いPWM波形を出力します。

図8－24　PWMのリセット・タイミング（デューティー致）より前にTKCTOE0m = 0→1と変更した場合

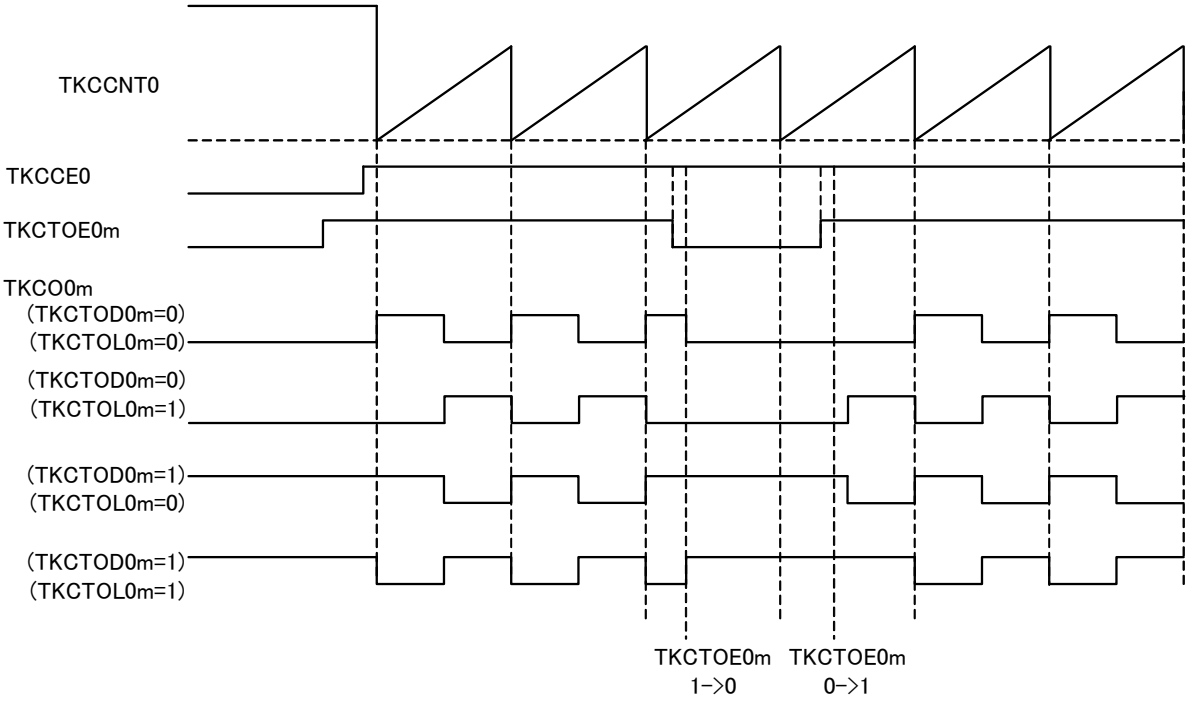


図8－25　PWMのリセット・タイミング（デューティー致）より後にTKCTOE0m = 0→1と変更した場合

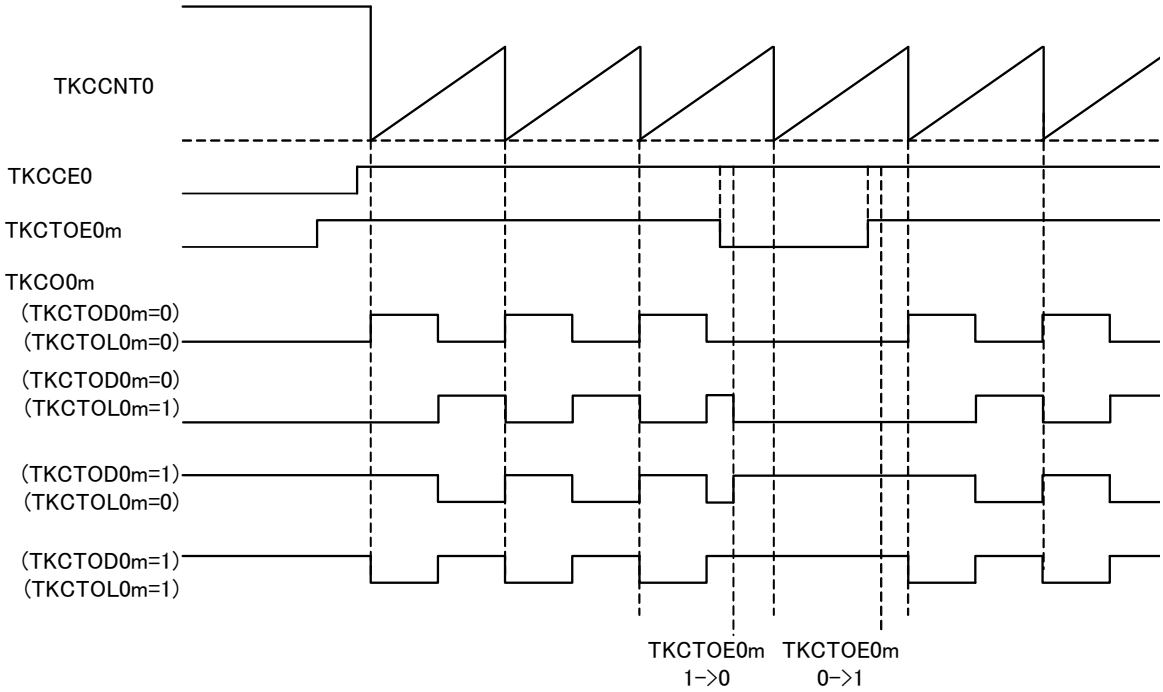
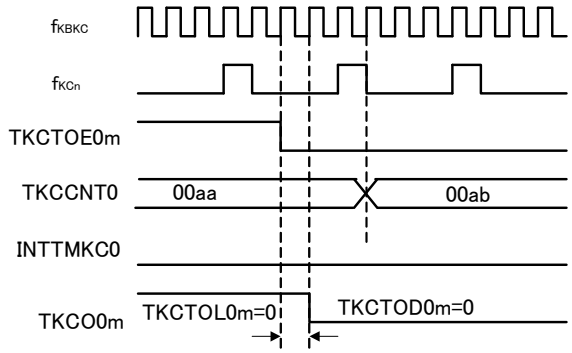
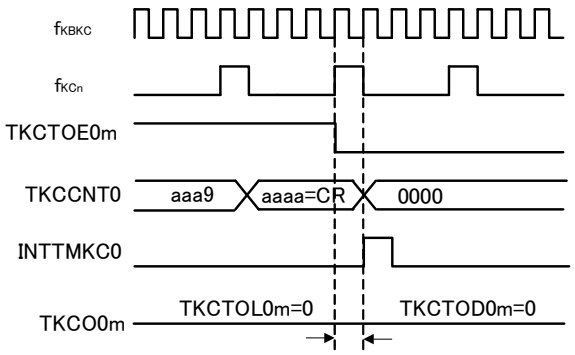


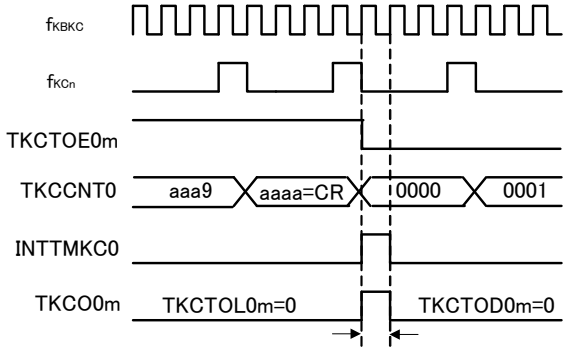
図8－26　TKCTOE0m = 1→0に変更した場合



TKCTOE0mを“1”から“0”に変更した場合，1 fKBKC後に，TKCO0mは，TKCTOD0mで設定しているデフォルト・レベルとなります。



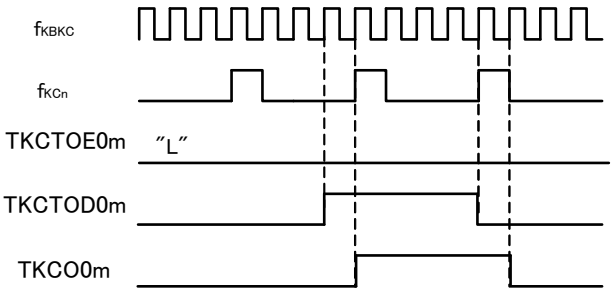
TKCCNT0とTKCCR0の一致によるTKCO0mのセット（ロウ・レベル→ハイ・レベル）タイミングと同時になりますが，TKCTOE0mの変更が優先され，TKCTOD0mで設定しているデフォルト・レベルとなります。



TKCTOE0mの操作がfKCnの発生と同時のため，TKCCNT0 = TKCCR0の一致発生でTKCO0mがセットされます。

1 fKBKC後，TKCO0mは，TKCTOD0mで設定しているデフォルト・レベルとなります。

図8－27　TKCTOE0m = 0でTKCTOD0mを変更した場合



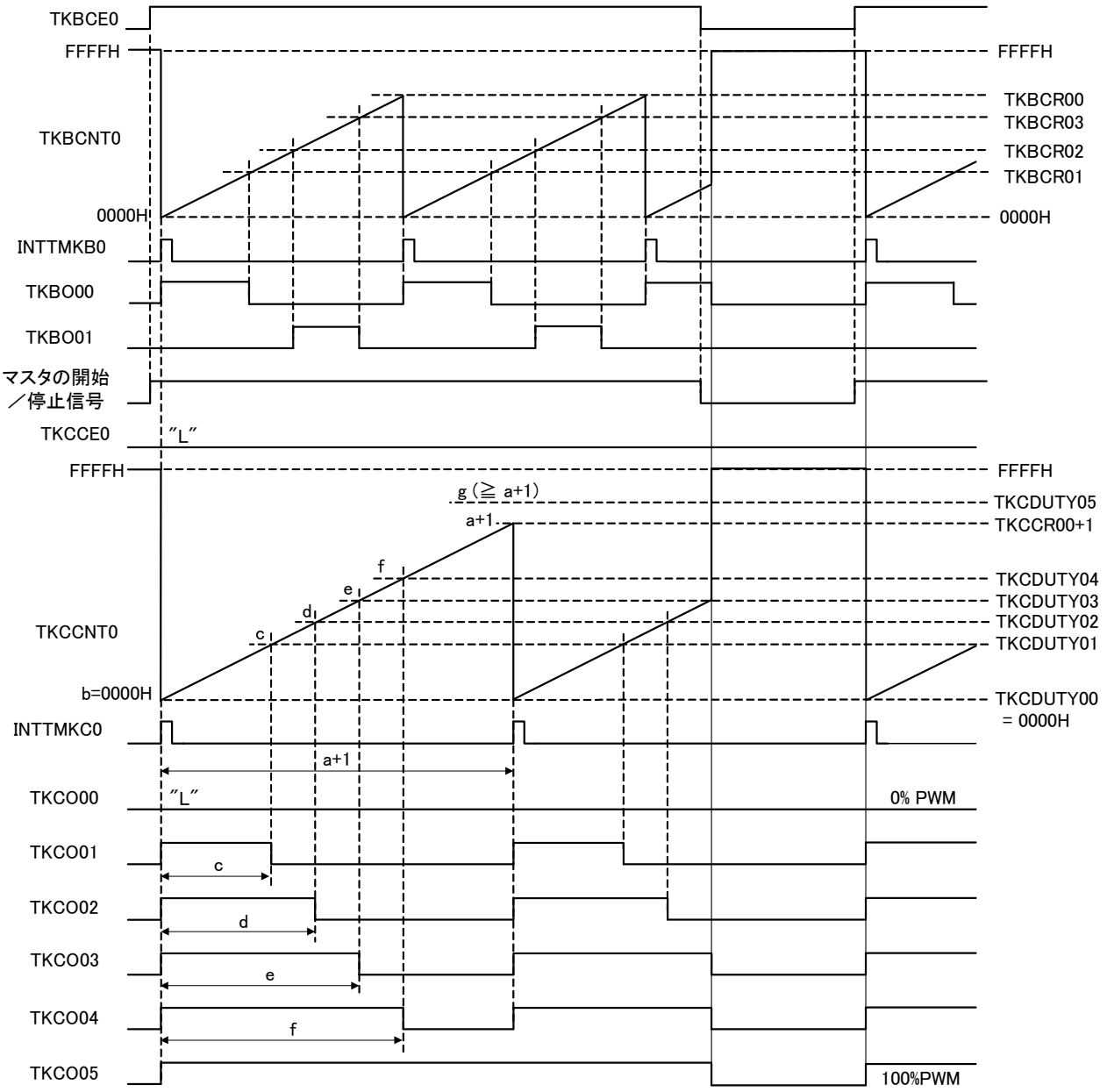
TKCTOE0m = 0でTKCTOD0mを変更した場合，1 fKBKC後，TKCO0mは，TKCTOD0mで設定しているデフォルト・レベルとなります。

8. 4. 4　同時スタート＆ストップ・モード

16ビット・タイマKB0をマスタ，16ビット・タイマKC0をスレーブとした構成で接続している場合は，マスタのタイマKB0のカウント開始／停止タイミングと同期してスレーブの16ビット・タイマKC0を同時スタート＆ストップさせることが可能です。この場合，マスタは「単体動作モード（TKBMDn1, TKBMDn0 = 0, 0）」，スレーブは「同時スタート＆ストップ・モード（TKCMD0 = 1）」で動作します。

TKCO05-TKCO00出力の計算式は，8. 4. 1　PWM出力機能を参照してください。

図8－28　同時スタート＆ストップ・モードの基本タイミング例（TKCTOL0m = 0，TKCTOD0m = 0時）



第9章　リアルタイム・クロック

9. 1　リアルタイム・クロックの機能

リアルタイム・クロックには，次のような機能があります。

・年，月，曜日，日，時，分，秒のカウンタを持ち，最長99年までカウント可能
・定周期割り込み機能（周期：0.5秒，1秒，1分，1時間，1日，1月）
・アラーム割り込み機能（アラーム：曜日・時・分）（38ピン製品のみ）
・1 Hzの端子出力機能（38ピン製品のみ）

リアルタイム・クロック割り込み信号（INTRTC）を，STOPモードからのウェイク・アップやA/DコンバータのSNOOZEモードのトリガに使えます。

注意1.　リアルタイム・クロックの動作クロックにサブシステム・クロック（f_{SUB} = 32.768 kHz）を選択時のみ，年，月，曜日，日，時，分，秒のカウントができます。低速オンチップ・オシレータ・クロック（f_{IL} = 15 kHz）を選択時は，定周期割り込み機能のみ使用できます。20, 30ピン製品は，サブシステム・クロックを搭載していないため，定周期割り込み機能のみ使用できます。
ただし，f_{IL}選択時の定周期割り込み間隔は，定周期（RTCC0レジスタで選択した値）×f_{SUB}/f_{IL}で算出される値になります。

2.　この章では，以降の主な説明を38ピン製品の場合で説明しています。

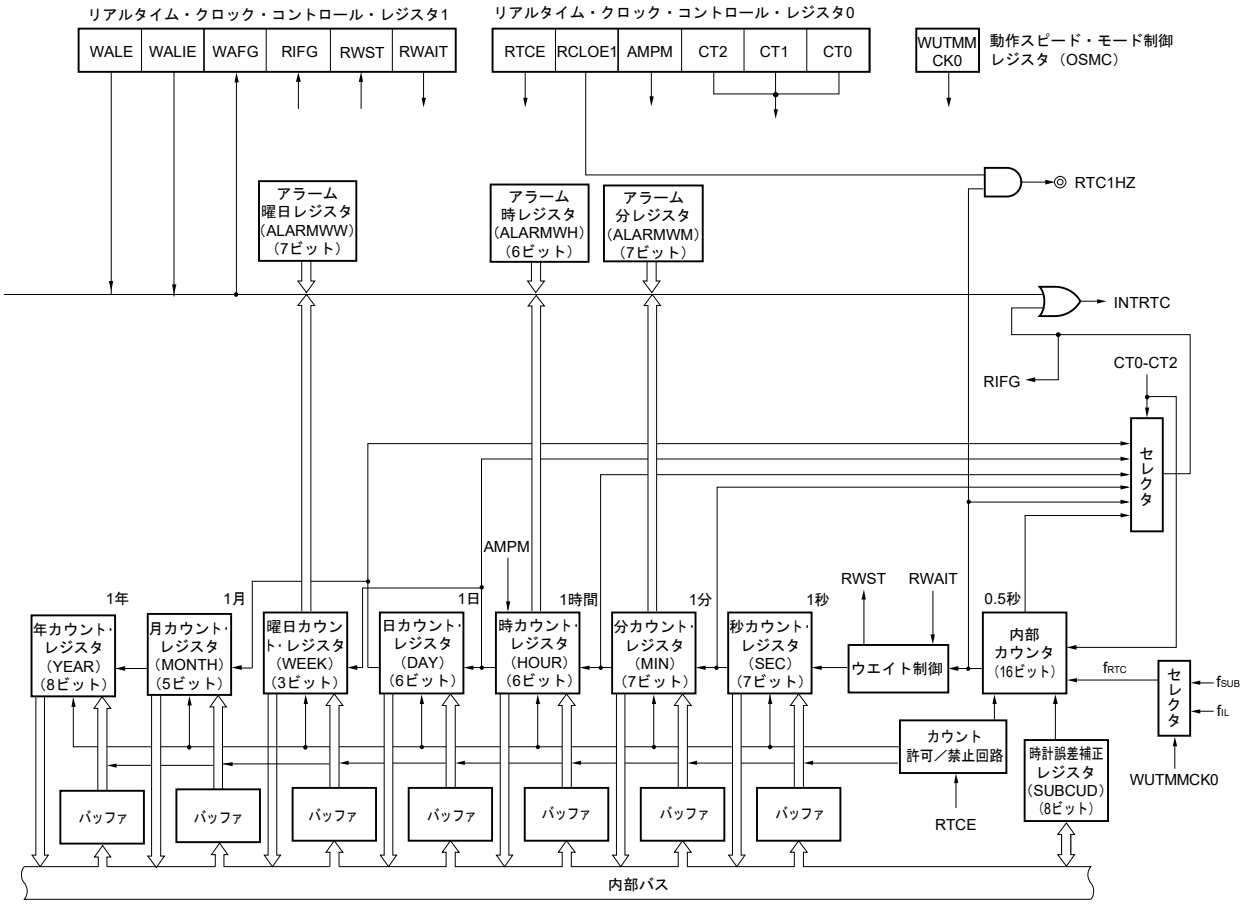
9. 2　リアルタイム・クロックの構成

リアルタイム・クロックは，次のハードウエアで構成されています。

表9－1　リアルタイム・クロックの構成

項　　目	構　　成
カウンタ	内部カウンタ（16ビット）
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	サブシステム・クロック供給モード制御レジスタ（OSMC）
	リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
	リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
	秒カウント・レジスタ（SEC）
	分カウント・レジスタ（MIN）
	時カウント・レジスタ（HOUR）
	日カウント・レジスタ（DAY）
	曜日カウント・レジスタ（WEEK）
	月カウント・レジスタ（MONTH）
	年カウント・レジスタ（YEAR）
	時計誤差補正レジスタ（SUBCUD）
	アラーム分レジスタ（ALARMWM）
	アラーム時レジスタ（ALARMWH）
	アラーム曜日レジスタ（ALARMWW）

図9－1　リアルタイム・クロックのブロック図



注意　**リアルタイム・クロックの動作クロックにサブシステム・クロック（f_{SUB} = 32.768 kHz）を選択時のみ，年，月，曜日，日，時，分，秒のカウントができます。低速オンチップ・オシレータ・クロック（f_{IL} = 15 kHz）を選択時は，定周期割り込み機能のみ使用できます。20, 30ピン製品は，サブシステム・クロックを搭載していないため，定周期割り込み機能のみ使用できます。**
ただし，f_{IL}選択時の定周期割り込み間隔は，定周期（RTCC0レジスタで選択した値）×f_{SUB}/f_{IL}で算出される値になります。

9. 3　リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックは，次のレジスタで制御します。

・周辺イネーブル・レジスタ0（PER0）
・サブシステム・クロック供給モード制御レジスタ（OSMC）
・リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
・リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
・秒カウント・レジスタ（SEC）
・分カウント・レジスタ（MIN）
・時カウント・レジスタ（HOUR）
・日カウント・レジスタ（DAY）
・曜日カウント・レジスタ（WEEK）
・月カウント・レジスタ（MONTH）
・年カウント・レジスタ（YEAR）
・時計誤差補正レジスタ（SUBCUD）
・アラーム分レジスタ（ALARMWM）
・アラーム時レジスタ（ALARMWH）
・アラーム曜日レジスタ（ALARMWW）
・ポート・モード・レジスタ3（PM3）
・ポート・レジスタ3（P3）

9. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用するときは，必ずビット7（RTCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・クロック（RTC），12ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマはリセット状態
1	入力クロック供給 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注意1.　リアルタイム・クロックを使用する際には，カウント・クロック（f_{RTC}）が発振安定した状態で，必ず最初にRTCEN = 1に設定してから下記のレジスタの設定を行ってください。RTCEN = 0の場合は，リアルタイム・クロックの制御レジスタへの書き込みは無視され，読み出し値は初期値となります。（サブシステム・クロック供給モード制御レジスタ（OSMC），ポート・モード・レジスタ3（PM3），ポート・レジスタ3（P3）は除く）。

・リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
・リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
・秒カウント・レジスタ（SEC）
・分カウント・レジスタ（MIN）
・時カウント・レジスタ（HOUR）
・日カウント・レジスタ（DAY）
・曜日カウント・レジスタ（WEEK）
・月カウント・レジスタ（MONTH）
・年カウント・レジスタ（YEAR）
・時計誤差補正レジスタ（SUBCUD）
・アラーム分レジスタ（ALARMWM）
・アラーム時レジスタ（ALARMWH）
・アラーム曜日レジスタ（ALARMWW）

2.　サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPC = 1に設定することにより，STOPモード時およびサブシステム・クロック時HALTモードで，リアルタイム・クロック，12ビット・インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給を停止することが可能です。

3.　ビット1, 3, 6には必ず“0”を設定してください。

9. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC）

WUTMMCK0ビットでリアルタイム・クロックのカウント・クロック（f_{RTC}）を選択できます。

また，RTCLPCビットは不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPCビットの設定については，第5章　クロック発生回路を参照してください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－3　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック，12ビット・インターバル・タイマの動作クロック（f_{RTC}）の選択
0	サブシステム・クロック（f_{SUB}）
1	低速オンチップ・オシレータ・クロック（f_{IL}）

注意1. リアルタイム・クロックの動作クロックに低速オンチップ･オシレータ・クロック（f_{IL}）を選択できるのは，定周期割り込み機能使用時のみです。

2. 動作クロックにサブシステム・クロック（f_{SUB}）を選択できるのは，38ピン製品のみです。

9. 3. 3　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）

リアルタイム・クロック動作の開始／停止，RTC1HZ端子の制御，12/24時間制，定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－4　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット

アドレス：FFF9DH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・クロックの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力（1 Hz）禁止
1	RTC1HZ端子の出力（1 Hz）許可

AMPM	12時間制／24時間制の選択
0	12時間制（午前／午後を表示）
1	24時間制

・AMPMビットの値を変更する場合は，RWAITビット（リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のビット0）＝1にしてから書き換えてください。AMPMビットの値を変更すると，時カウント・レジスタ（HOUR）の値は設定した時間制に対応した値に変更されます。
・時間桁表示表を表9－2に示します。

CT2	CT1	CT0	定周期割り込み（INTRTC）の選択	
			サブシステム・クロック（f_{SUB}）選択時	低速オンチップ・オシレータ・クロック（f_{IL}）選択時
0	0	0	定周期割り込み機能を使用しない	
0	0	1	0.5秒に1度 （秒カウントアップに同期）	1.1秒に1度
0	1	0	1秒に1度 （秒カウントアップと同時）	2.2秒に1度
0	1	1	1分に1度 （毎分00秒）	2.2分に1度
1	0	0	1時間に1度 （毎時00分00秒）	2.2時間に1度
1	0	1	1日に1度 （毎日00時00分00秒）	2.2日に1度
1	1	×	1月に1度 （毎月1日午前00時00分00秒）	2.2月に1度

カウンタ動作中（RTCE = 1）にCT2-CT0ビットの値を変更する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後は，RIFGフラグ，RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注意1.　RTCE = 1のときにRCLOE1ビットを変更しないでください。

2.　RTCE = 0のときに、RCLOE1 = 1に設定しても1Hz出力されません。

備考　×：don’t care

9. 3. 4　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）

アラーム割り込み機能，カウンタのウエイトを制御する8ビットのレジスタです。

RTCC1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（1/2）

アドレス：FFF9EH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中（RTCE = 1）かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ（RTCC1レジスタのWALIEフラグ，アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW））を設定する場合，WALEビットを一致動作無効“0”にしてください。	

WALIE	アラーム割り込み（INTRTC）機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，f_{RTC}の1クロック後に“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

図9－5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（2/2）

RWST	リアルタイム・クロックのウエイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し，書き込みモード中
RWAITビットの設定が有効であるかを示すステータスです。 カウンタ値の読み出し，書き込みは，このフラグの値が1になっていることを確認したあとに行ってください。	

RWAIT	リアルタイム・クロックのウエイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し，書き込みモード。
カウンタの動作を制御します。 カウンタ値を読み出し，書き込みを行う際は必ず“1”を書き込んでください。 内部カウンタ（16ビット）は動作を継続するので，1秒以内に読み出しや書き込みを終了し，0に戻してください。アラーム割り込みを使用するときに，カウンタの読み出し／書き込みを行う場合は，RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして，RWAIT= 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。 RWAIT = 1に設定後，カウンタ値の読み出し，書き込みが可能（RWST = 1）となるまで最大f_{RTC}の1クロックの時間がかかります。注1, 2 内部カウンタ（16ビット）のオーバフローがRWAIT = 1のときに起きた場合は，オーバフローが起きたことを保持してRWAIT = 0になったあと，カウント・アップします。 ただし，秒カウント・レジスタへの書き込みを行った場合は，オーバフローが起きたことを保持しません。	

★

注1. RTCE = 1に設定したのち、f_{RTC} の1クロック時間内でRWAIT = 1とした場合、RWSTビットが"1"になるまでに、動作クロック（f_{RTC}）の2クロック時間がかかることがあります。

2. スタンバイ（HALTモード、STOPモード、SNOOZEモード）から復帰したのち、f_{RTC}の１クロック時間内でRWAIT = 1とした場合、RWSTビットが"1"になるまでに、動作クロック（f_{RTC})の2クロック時間がかかることがあります。

注意　RTCC1レジスタに1ビット操作命令で書き込みを行うと，RIFGフラグ，WAFGフラグがクリアされることがあります。そのため，RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に，RIFGフラグ，WAFGフラグをクリアしないようにするためには，該当ビットに書き込みが無効となる“1”を設定してください。なお，RIFGフラグ，WAFGフラグを使用せず値が書き換わっても問題ない場合は，RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考1. 定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

2. 秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

9. 3. 5　秒カウント・レジスタ（SEC）

0-59（10進）までの値を取り，秒のカウント値を示す8ビットのレジスタです。

内部カウンタ（16ビット）からのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，最大f_{RTC}の2クロック後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－6　秒カウント・レジスタ（SEC）のフォーマット

アドレス：FFF92H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，9. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

備考　秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

9. 3. 6　分カウント・レジスタ（MIN）

0-59（10進）までの値を取り，分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後に，カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-59をBCDコードで設定してください。

MINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－7　分カウント・レジスタ（MIN）のフォーマット

アドレス：FFF93H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，9. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

9. 3. 7　時カウント・レジスタ（HOUR）

00-23または01-12, 21-32（10進）までの値を取り，時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また，リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット3（AMPM）で設定した時間制に応じて，10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると，HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，12Hになります。

ただし，リセット後に，AMPMビットに1をセットした場合は00Hとなります。

図9－8　時カウント・レジスタ（HOUR）のフォーマット

アドレス：FFF94H　リセット時：12H　R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1.　HOURレジスタのビット5（HOUR20）は，AMPM = 0（12時間制）を選択した場合，AM（0）／PM（1）を示します。

2.　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，9. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

AMPMビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表9－2に示します。

表9－2　時間桁表示表

24時間表示（AMPMビット = 1）		12時間表示（AMPMビット = 0）	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前／午後を表示し，午前（AM）のときに0に，午後（PM）のときに1となります。

9. 3. 8　日カウント・レジスタ（DAY）

1-31（10進）までの値を取り，日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバフローによりカウント・アップします。

カウンタは，次に示すようにカウントします。

- 01-31（1, 3, 5, 7, 8, 10, 12月）
- 01-30（4, 6, 9, 11月）
- 01-29（2月 うるう年）
- 01-28（2月 通常年）

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-31をBCDコードで設定してください。

DAYレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

図9－9　日カウント・レジスタ（DAY）のフォーマット

アドレス：FFF96H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，9. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

9. 3. 9　曜日カウント・レジスタ（WEEK）

0-6（10進）までの値を取り，曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。

また設定する値は，10進の00-06をBCDコードで設定してください。

WEEKレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－10　曜日カウント・レジスタ（WEEK）のフォーマット

アドレス：FFF95H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1.　曜日カウント・レジスタ（WEEK）には，月カウント・レジスタ（MONTH）および日カウント・レジスタ（DAY）に対応した値が自動的に格納されるわけではありません。
リセット解除後，次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

2.　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，9. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

9. 3. 10　月カウント・レジスタ（MONTH）

MONTHレジスタは1-12（10進）までの値を取り，月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-12をBCDコードで設定してください。

MONTHレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

図9－11　月カウント・レジスタ（MONTH）のフォーマット

アドレス：FFF97H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，9. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

9. 3. 11　年カウント・レジスタ（YEAR）

0-99（10進）までの値を取り，年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ（MONTH）からのオーバフローによりカウント・アップします。

00, 04, 08, ･･･, 92, 96がうるう年となります。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-99をBCDコードで設定してください。

YEARレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－12　年カウント・レジスタ（YEAR）のフォーマット

アドレス：FFF98H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，9. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

9. 3. 12　時計誤差補正レジスタ（SUBCUD）

内部カウンタ（16ビット）から秒カウンタ・レジスタ（SEC）へオーバフローする値（基準値：7FFFH）を変化させることにより，時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－13　時計誤差補正レジスタ（SUBCUD）のフォーマット

アドレス：FFF99H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時（20秒ごと）に時計誤差補正
1	秒桁が00秒時のみ（60秒ごと）に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。 ・DEV = 0設定時：SEC = 00H, 20H, 40Hの期間 ・DEV = 1設定時：SEC = 00Hの期間	

F6	時計誤差補正値の設定
0	{（F5, F4, F3, F2, F1, F0）－1} ×2だけ増加
1	{（/F5, /F4, /F3, /F2, /F1, /F0）＋1）×2だけ減少
（F6, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。*は0または1です。 /F5～/F0は，ビット反転した値（111100のときは000011）となります。 補正値の範囲：（F6=0のとき）　2, 4, 6, 8,・・・120, 122, 124 （F6=1のとき）　－2，－4，－6，－8,・・・－120，－122，－124	

次に，時計誤差補正レジスタ（SUBCUD）による補正可能範囲を示します。

	DEV = 0（20秒ごとの補正）	DEV = 1（60秒ごとの補正）
補正可能範囲	－189.2 ppm～189.2 ppm	－63.1 ppm～63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

備考　補正範囲が，－63.1 ppm以下または63.1 ppm以上のときは，DEV = 0を設定してください。

9. 3. 13　アラーム分レジスタ（ALARMWM）

アラームの分を設定するレジスタです。

ALARMWMレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注意　設定する値は，10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合，アラームは検出されません。

図9－14　アラーム分レジスタ（ALARMWM）のフォーマット

アドレス：FFF9AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

9. 3. 14　アラーム時レジスタ（ALARMWH）

アラームの時を設定するレジスタです。

ALARMWHレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，12Hになります。

ただし，リセット後に，AMPMビットに1をセットした場合は00Hとなります。

注意　設定する値は，10進の00～23または，01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合，アラームは検出されません。

図9－15　アラーム時レジスタ（ALARMWH）のフォーマット

アドレス：FFF9BH　リセット時：12H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意　ALARMWHレジスタのビット5（WH20）は，AMPM = 0（12時間制）を選択した場合，AM（0）／PM（1）を示します。

9. 3. 15　アラーム曜日レジスタ（ALARMWW）

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－16　アラーム曜日レジスタ（ALARMWW）のフォーマット

アドレス：FFF9CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜　日							12時間表示				24時間表示			
	日 WW0	月 WW1	火 WW2	水 WW3	木 WW4	金 WW5	土 WW6	10時	1時	10分	1分	10時	1時	10分	1分
毎日　午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日　午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日　午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金　午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜　午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金　午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

9. 3. 16　ポート・モード・レジスタ3（PM3）

PM3レジスタは，1ビット・メモリ・操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

RTC1HZ端子の1Hz出力として使用する時は，PM30ビットに”0”を設定してください。

図9－17　ポート・モード・レジスタ3（PM3）のフォーマット

アドレス：FFF23H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

9. 3. 17　ポート・レジスタ3（P3）

P3レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

RTC1Hz端子へ1Hz出力として使用する時は，P30ビットに”0”を設定してください。

図9－18　ポート3（P3）のフォーマット

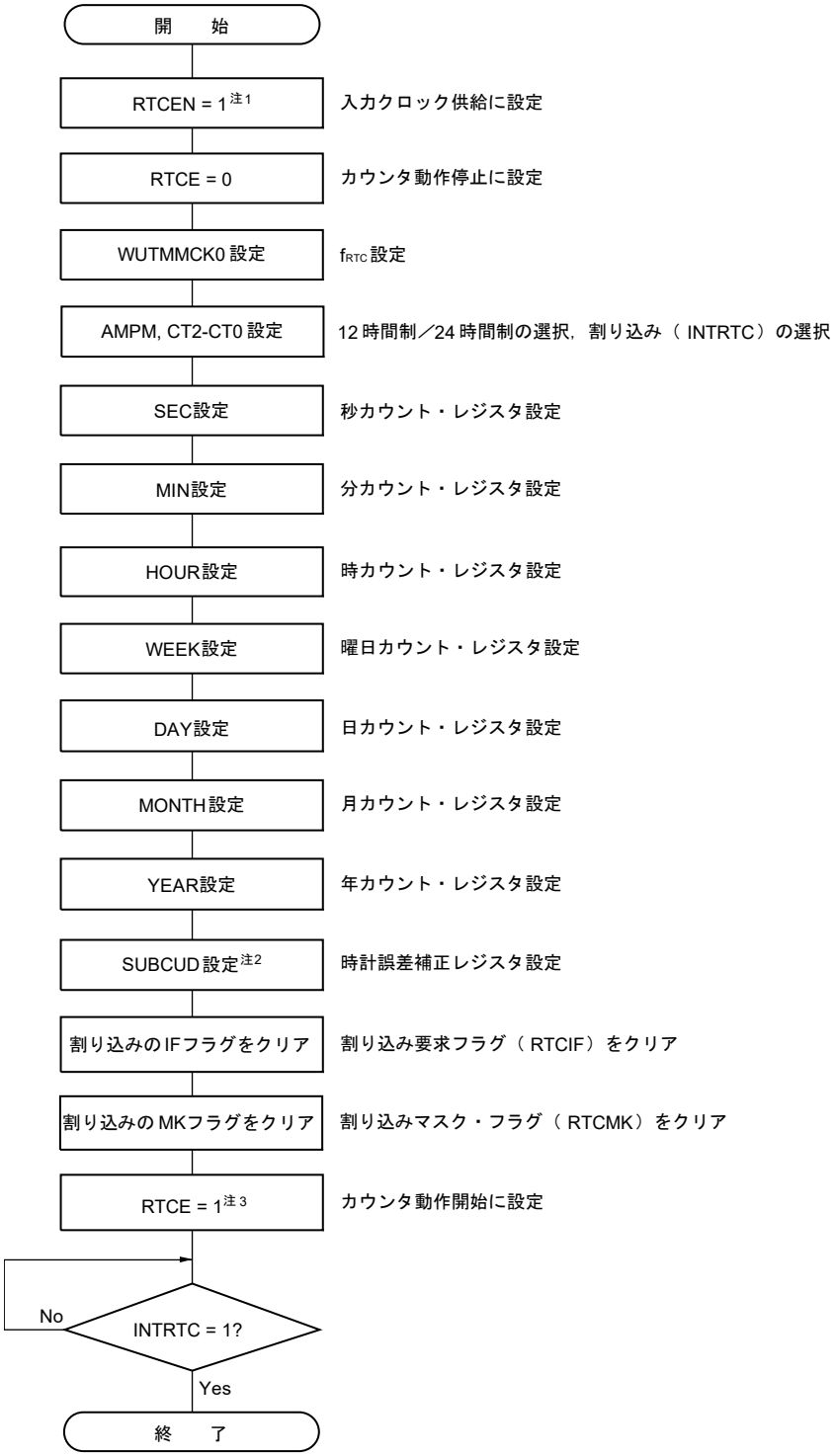
アドレス：FFF03H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
P3	0	0	0	0	0	0	P31	P30

9. 4　リアルタイム・クロックの動作

9. 4. 1　リアルタイム・クロックの動作開始

図9－19　リアルタイム・クロックの動作開始手順



注1.　カウント・クロック（f_{RTC}）が発振安定状態において，最初にRTCEN = 1の設定を行ってください。

2.　時計誤差補正する必要がある場合のみ。補正値の算出方法は，9. 4. 6　リアルタイム・クロックの時計誤差補正例を参照してください。

3.　RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は，9. 4. 2　動作開始後のHALT/STOPモードへの移行の手順を確認してください。

9. 4. 2　動作開始後のHALT/STOPモードへの移行

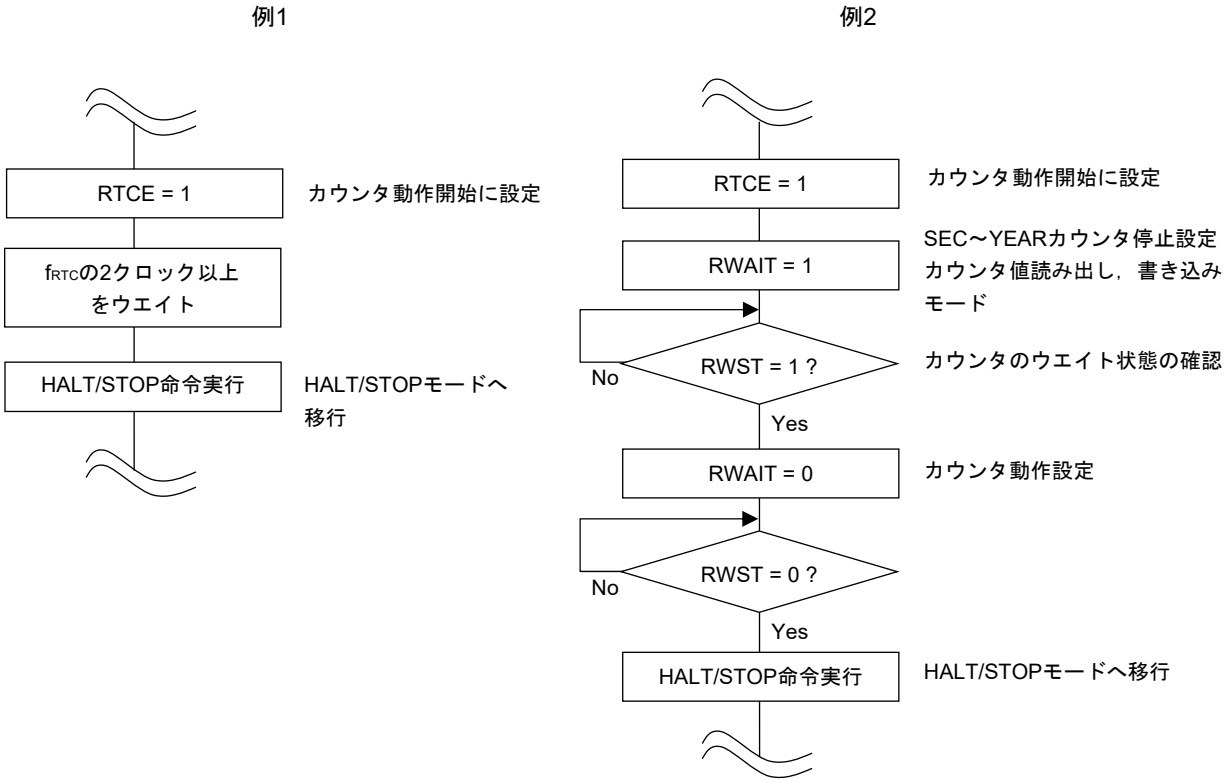
RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は，次のどちらかの処理をしてください。

ただし，RTCE = 1に設定後，INTRTC割り込みの発生以降にHALT/STOPモードへ移行する場合は，これらの処理は必要ありません。

・RTCE = 1に設定してから，カウント・クロック（f_{RTC}）の2クロック分以上経過後にHALT/STOPモードへ移行する（図9－20 例1参照）。

・RTCE = 1に設定後，RWAIT = 1に設定し，RWSTビットが1になるのをポーリングで確認する。それから，RWAIT = 0に設定し，RWSTビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する（図9－20 例2参照）。

図9－20　RTCE = 1に設定後のHALT/STOPモードへの移行手順

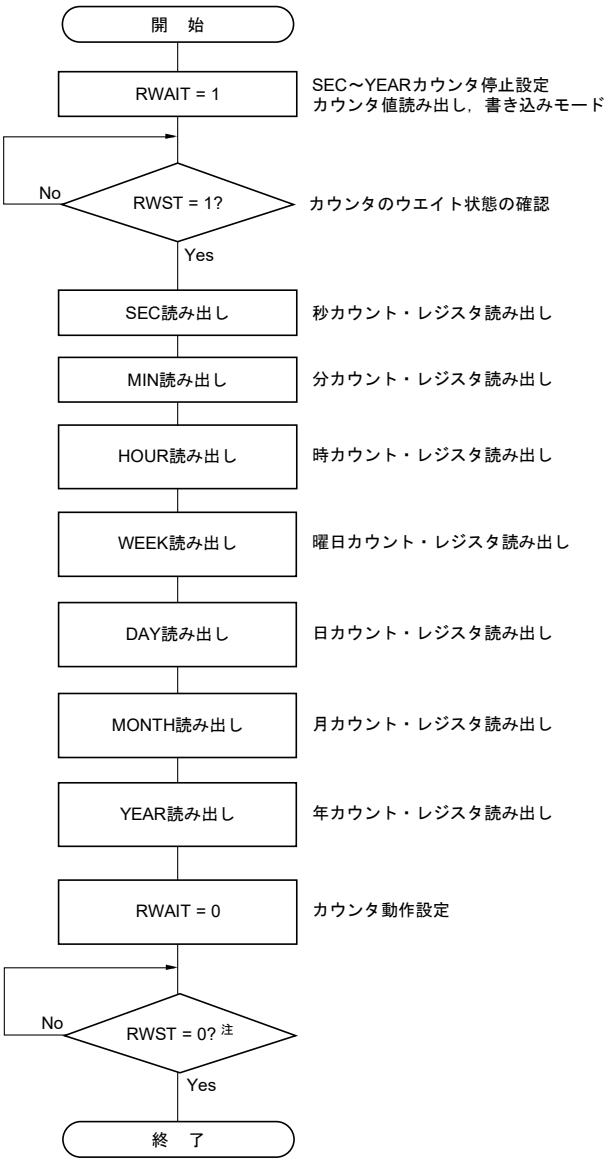


9. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは，最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し／書き込み終了後は，RWAIT = 0にしてください。

図9－21　リアルタイム・クロックの読み出し手順

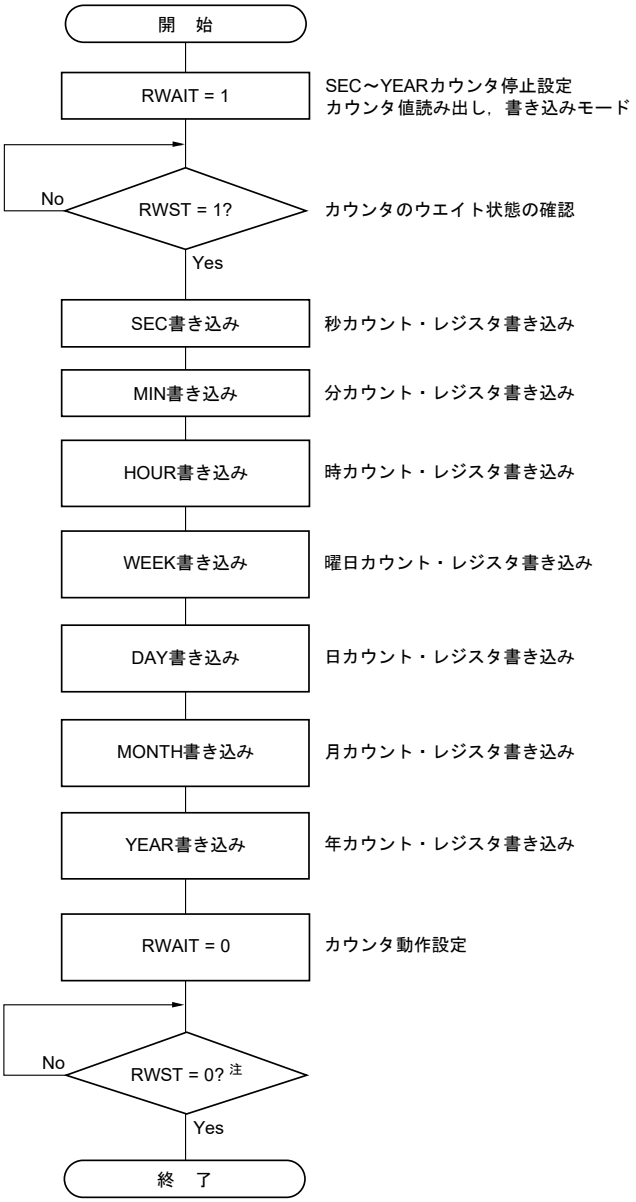


注　STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

★　**注意　RWAIT = 1 からRWAIT = 0までの処理を1秒以内で行ってください。アラーム割り込みを使用するときに，カウンタ読み出しを行う場合は，RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして，RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。**

備考　秒カウント・レジスタ（SEC），分カウント・レジスタ（MIN），時カウント・レジスタ（HOUR），曜日カウント・レジスタ（WEEK），日カウント・レジスタ（DAY），月カウント・レジスタ（MONTH），年カウント・レジスタ（YEAR）の読み出しの順番に制限はありません。
また，すべてのレジスタを読み出す必要はなく，一部のレジスタのみを読み出しても構いません。

図9－22　リアルタイム・クロックの書き込み手順



注　STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

★　**注意 1.　RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。アラーム割り込みを使用するときに，カウンタ書き込みを行う場合は，RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして，RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。**

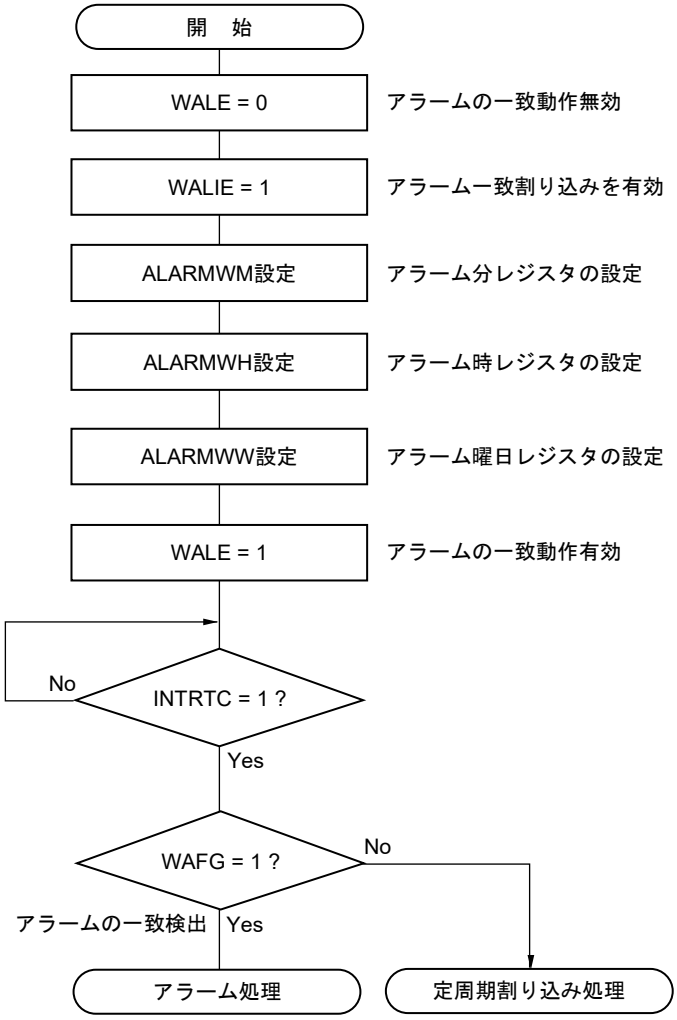
2.　カウンタ動作中（RTCE = 1）にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RIFGフラグ，RTCIFフラグをクリアしてください。

備考　秒カウント・レジスタ（SEC），分カウント・レジスタ（MIN），時カウント・レジスタ（HOUR），曜日カウント・レジスタ（WEEK），日カウント・レジスタ（DAY），月カウント・レジスタ（MONTH），年カウント・レジスタ（YEAR）の書き込みの順番に制限はありません。
また，すべてのレジスタを設定する必要はなく，一部のレジスタのみを書き換えても構いません。

9. 4. 4　リアルタイム・クロックのアラーム設定

アラーム時刻設定は，最初にWALE = 0（アラーム動作無効）にしてから行ってください。

図9－23　アラーム処理手順

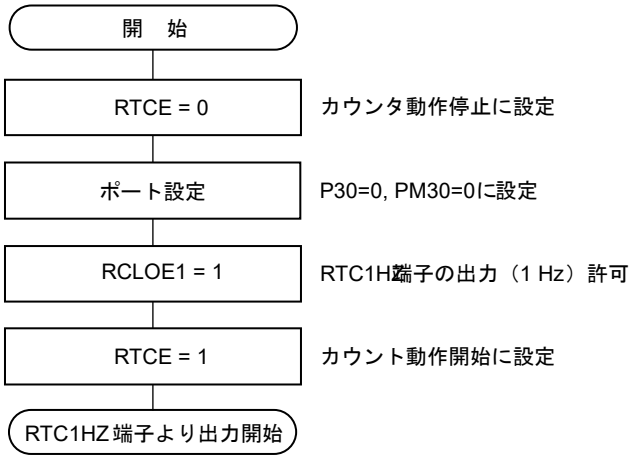


備考1. アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW）の書き込みの順番に制限はありません。

2. 定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

9. 4. 5　リアルタイム・クロックの1 Hz出力

図9－24　1 Hz出力の設定手順



注意1.　カウント・クロック（f_{SUB}）が発振安定状態において，最初にRTCEN = 1の設定を行ってください。

2.　20, 30ピン製品は，リアルタイムクロックの1Hz出力機能はありません。

9. 4. 6　リアルタイム・クロックの時計誤差補正例

時計誤差補正レジスタに値を設定することにより，時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

内部カウンタ（16ビット）のカウント値を補正する際の補正値は，次の式で算出できます。

補正範囲が，－63.1 ppm以下または63.1 ppm以上のときは，DEV = 0を設定してください。

（DEV = 0の場合）

補正値[注] = 1分間の補正カウント数÷3 =（発振周波数÷ターゲット周波数－1）×32768×60÷3

（DEV = 1の場合）

補正値[注] = 1分間の補正カウント数 =（発振周波数÷ターゲット周波数－1）×32768×60

注　補正値とは，時計誤差補正レジスタ（SUBCUD）のビット6-0の値により求められる時計誤差補正値です。

（F6=0の場合）補正値 = {（F5, F4, F3, F2, F1, F0）－1} ×2

（F6=1の場合）補正値 = －{（/F5, /F4, /F3, /F2, /F1, /F0）＋1} ×2

（F6, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。*は0または1です。

/F5～/F0は，ビット反転した値（111100のときは000011）となります。

備考1.　補正値は，2, 4, 6, 8,・・・120, 122, 124，または－2，－4，－6，－8・・・－120，－122，－124です。

2.　発振周波数とは，カウント・クロック（f_{RTC}）の値です。
時計誤差補正レジスタが初期値（00H）時のRTC1HZ端子の出力周波数×32768で求めることができます。

3.　ターゲット周波数とは，時計誤差補正レジスタを使用した補正後の周波数です。

補正例①

32772.3 Hzから32768 Hz（32772.3 Hz－131.2 ppm）への補正例

【発振周波数の測定】

各製品の発振周波数[注]は時計誤差補正レジスタ（SUBCUD）が初期値（00H）時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は，9. 4. 5 リアルタイム・クロックの1Hz出力を参照してください。

【補正値の算出】

（PCLBUZ0端子からの出力周波数が32772.3 Hzの場合）

ターゲット周波数を32768 Hz（32772.3 Hz－131.2 ppm）とすると，－131.2 ppmは補正範囲が－63.1 ppm以下なので，DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

補正値 = 1分間の補正カウント数÷3 = （発振周波数÷ターゲット周波数– 1）×32768×60÷3

= （32772.3÷32768 – 1）×32768×60÷3

= 86

【（F6～F0）への設定値の算出】

（補正値 = 86の場合）

補正値が0以上（遅くする場合）では，F6 = 0とします。

（F5, F4, F3, F2, F1, F0）は，補正値から算出します。

{（F5, F4, F3, F2, F1, F0）－1} ×2 = 86

（F5, F4, F3, F2, F1, F0） = 44

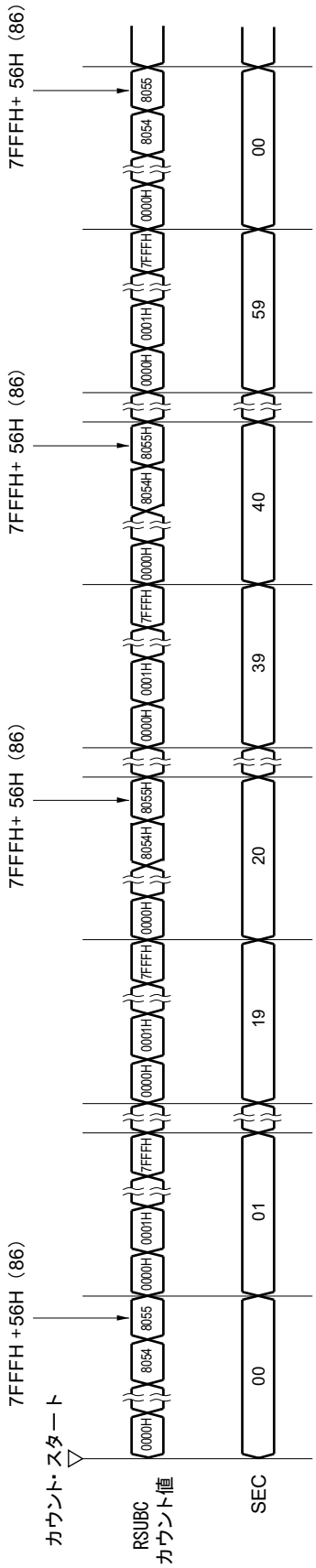
（F5, F4, F3, F2, F1, F0） =（1, 0, 1, 1, 0, 0）

したがって，32772.3 Hzから32768 Hz（32772.3 Hz－131.2 ppm）への補正の場合，

DEV = 0，補正値 = 86（SUBCUDレジスタのビット6-0：0101100）と補正レジスタを設定すると，32768 Hz（0 ppm）となります。

（DEV, F6, F5, F4, F3, F2, F1, F0）=（0, 0, 1, 0, 1, 1, 0, 0）の場合の補正動作を図9－25に示します。

図9－25　（DEV, F6, F5, F4, F3, F2, F1, F0）＝（0, 0, 1, 0, 1, 1, 0, 0）の場合の補正動作



補正例②

32767.4 Hzから32768 Hz（32767.4 Hz＋18.3 ppm）への補正例

【発振周波数の測定】

各製品の発振周波数注を，時計誤差補正レジスタ（SUBCUD）が初期値（00H）時にRTC1HZ端子から約1 Hzを出力して測定します。

注　RTC1Hz出力の設定手順は，9. 4. 5 リアルタイム・クロックの1Hz出力を参照してください。

【補正値の算出】

（RTC1HZ端子からの出力周波数が0.9999817 Hzの場合）

発振周波数 = 32768×0.9999817 ≒ 32767.4 Hz

ターゲット周波数を32768 Hz（32767.4 Hz＋18.3 ppm）とし，DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

補正値 = 1分間の補正カウント数 =（発振周波数÷ターゲット周波数－1）×32768×60

=（32767.4÷32768 – 1）×32768×60

= －36

【（F6～F0）への設定値の算出】

（補正値 = －36の場合）

補正値が0以下（速くする場合）では，F6 = 1とします。

（F5, F4, F3, F2, F1, F0）は，補正値から算出します。

－｛（/F5, /F4, /F3, /F2, /F1, /F0）＋1｝×2 = －36

（/F5, /F4, /F3, /F2, /F1, /F0） = 17

（/F5, /F4, /F3, /F2, /F1, /F0） =（0, 1, 0, 0, 0, 1）

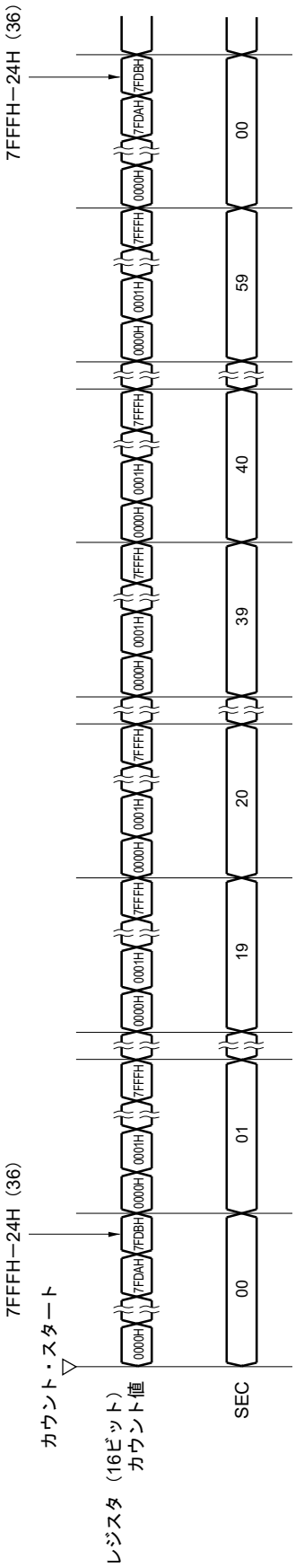
（F5,F4,F3,F2,F1,F0） =（1, 0, 1, 1, 1, 0）

したがって，32767.4 Hzから32768 Hz（32767.4Hz＋18.3 ppm）への補正の場合，

DEV = 1，補正値 = －36（SUBCUDレジスタのビット6-0：1101110）と補正レジスタを設定すると，32768 Hz（0 ppm）となります。

（DEV, F6, F5, F4, F3, F2, F1, F0）=（1, 1, 1, 0, 1, 1, 1, 0）の場合の動作を図9－26に示します。

図9－26　（DEV, F6, F5, F4, F3, F2, F1, F0）＝（1, 1, 1, 0, 1, 1, 1, 0）の場合の補正動作



第10章　12ビット・インターバル・タイマ

10.1　12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み（INTIT）を発生します。STOPモードからのウエイク･アップや，A/DコンバータのSNOOZEモードのトリガに使えます。

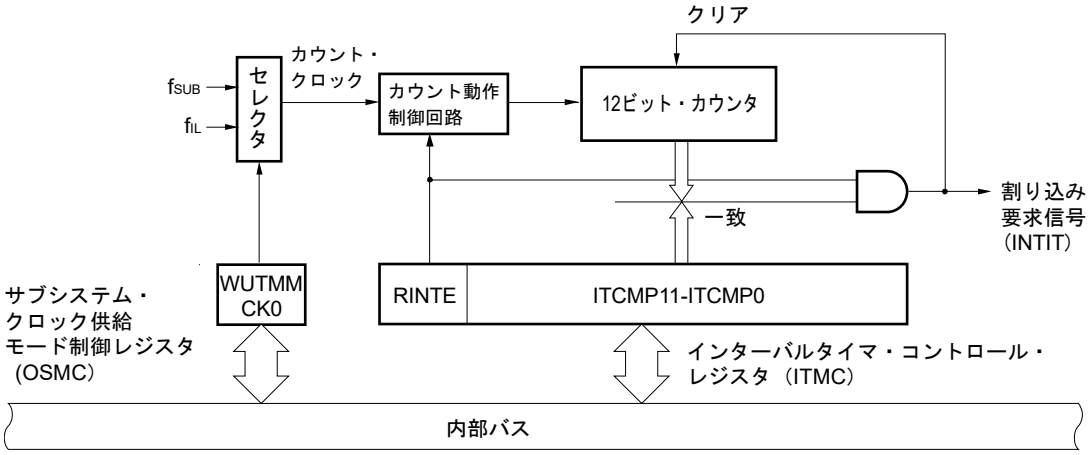
10.2　12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは，次のハードウエアで構成されています。

表10－1　12ビット・インターバル・タイマの構成

項　　目	構　　成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	サブシステム・クロック供給モード制御レジスタ（OSMC）
	インターバル・タイマ・コントロール・レジスタ（ITMC）

図10－1　12ビット・インターバル・タイマのブロック図



注意　カウント・クロックにサブシステム・クロック（f_{SUB}）を選択できるのは，38ピン製品のみです。

10.3　12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは，次のレジスタで制御します。

・周辺イネーブル・レジスタ0（PER0）
・サブシステム・クロック供給モード制御レジスタ（OSMC）
・インターバル・タイマ・コントロール・レジスタ（ITMC）

10. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用するときは，必ずビット7（RTCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・クロック（RTC），12ビット・インターバル・タイマへのクロック供給の制御
0	クロック供給停止 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマはリセット状態
1	クロック供給 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注意1.　12ビット・インターバル・タイマを使用する際は，カウント・クロックが発振安定した状態で，必ず最初にRTCEN = 1に設定してから下記のレジスタの設定を行ってください。RTCEN = 0の場合は，12ビット・インターバル・タイマの制御レジスタへの書き込みは無視され，読み出し値は初期値となります（サブシステム・クロック供給モード制御レジスタ（OSMC）は除く）

・インターバル・タイマ・コントロール・レジスタ（ITMC）

2.　サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPC = 1に設定することにより，STOPモード時およびサブシステム・クロック時HALTモードで，リアルタイム・クロック，12ビット・インターバル・タイマ以外の周辺機能へのクロック供給を停止することが可能です。

3.　ビット6, 3, 1 には必ず“0”を設定してください。

10. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC）

WUTMMCK0ビットで12ビット・インターバル・タイマ，リアルタイム・クロックの動作クロックを選択できます。

また，RTCLPCビットは不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPCビットの設定については，第5章　クロック発生回路を参照してください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－3　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック，12ビット・インターバル・タイマの動作クロックの選択
0	サブシステム・クロック（f_{SUB}）
1	低速オンチップ・オシレータ・クロック（f_{IL}）

10. 3. 3　インターバル・タイマ・コントロール・レジスタ（ITMC）

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0FFFHになります。

図10－4　インターバル・タイマ・コントロール・レジスタ（ITMC）のフォーマット

アドレス：FFF90H　リセット時：0FFFH　R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0

RINTE	12ビット・インターバル・タイマの動作制御
0	カウンタ動作停止（カウント・クリア）
1	カウンタ動作開始

ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期×（ITCMP設定値＋1）」の定周期割り込みを発生します。
・ ・ ・	
FFFH	
000H	設定禁止

ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例

・ITCMP11-ITCMP0 = 001H，カウント・クロック：f_{SUB} = 32.768 kHz時

1/32.768 [kHz]×（1＋1）= 0.06103515625 [ms] ≒ 61.03 [μs]

・ITCMP11-ITCMP0 = FFFH，カウント・クロック：f_{SUB} = 32.768 kHz時

1/32.768 [kHz]×（4095＋1）= 125 [ms]

注意1.　RINTEビットを1→0に変更する場合は，INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始（0→1）する場合は，ITIFフラグをクリアしてから割り込み処理許可にしてください。

2.　RINTEビットのリード値は，RINTEビット設定後，カウント・クロックの1クロック後に反映されます。

3.　スタンバイ・モードから復帰後にRINTEビット設定して，再度スタンバイ･モードに移行する場合は，RINTEビットの書き込み値が反映されたことを確認するか，スタンバイ・モードの復帰からカウント・クロックの1クロック分の時間以上経過後に移行してください。

4.　ITCMP11-ITCMP0ビットの設定を変更する場合は，必ずRINTE = 0のときに行ってください。ただし，RINTE = 0→1または1→0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

10.4　12ビット・インターバル・タイマの動作

10.4.1　12ビット・インターバル・タイマの動作タイミング

ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし，繰り返し割り込み要求（INTIT）を発生する12ビット・インターバル・タイマとして動作します。

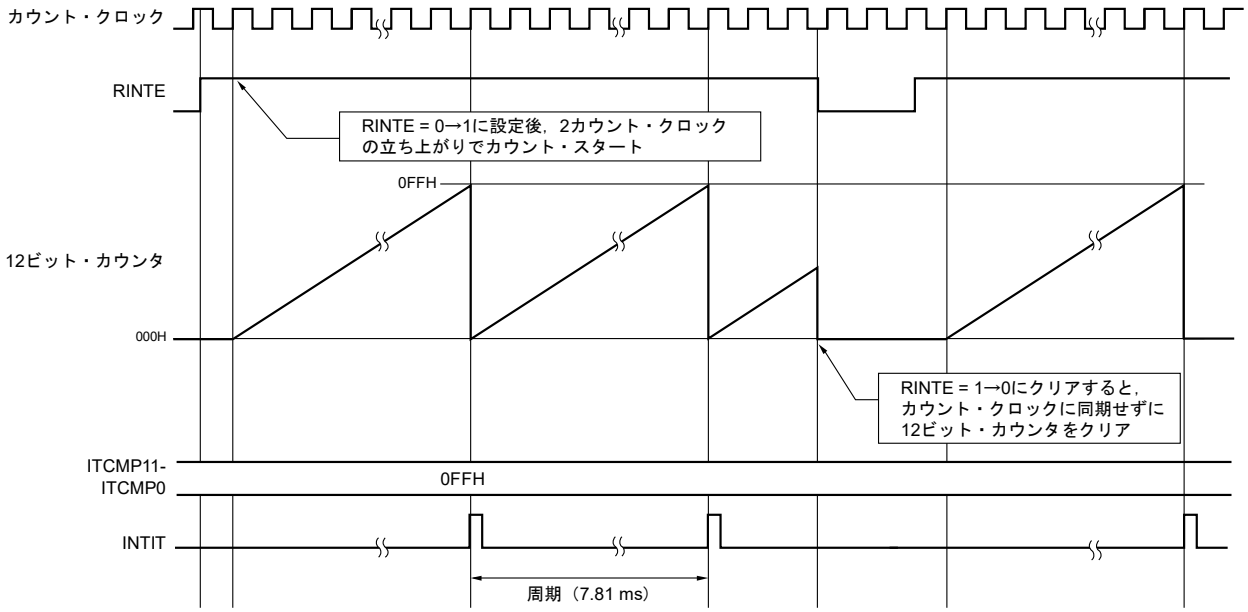
RINTEビットを1に設定すると，12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0ビットに設定した値と一致したとき，12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に，割り込み要求信号（INTIT）を発生します。

12ビット・インターバル・タイマの基本動作を図10－5に示します。

図10－5　12ビット・インターバル・タイマ動作のタイミング

（ITCMP11-ITCMP00 = 0FFH，カウント・クロック：f_{SUB} = 32.768 kHz）

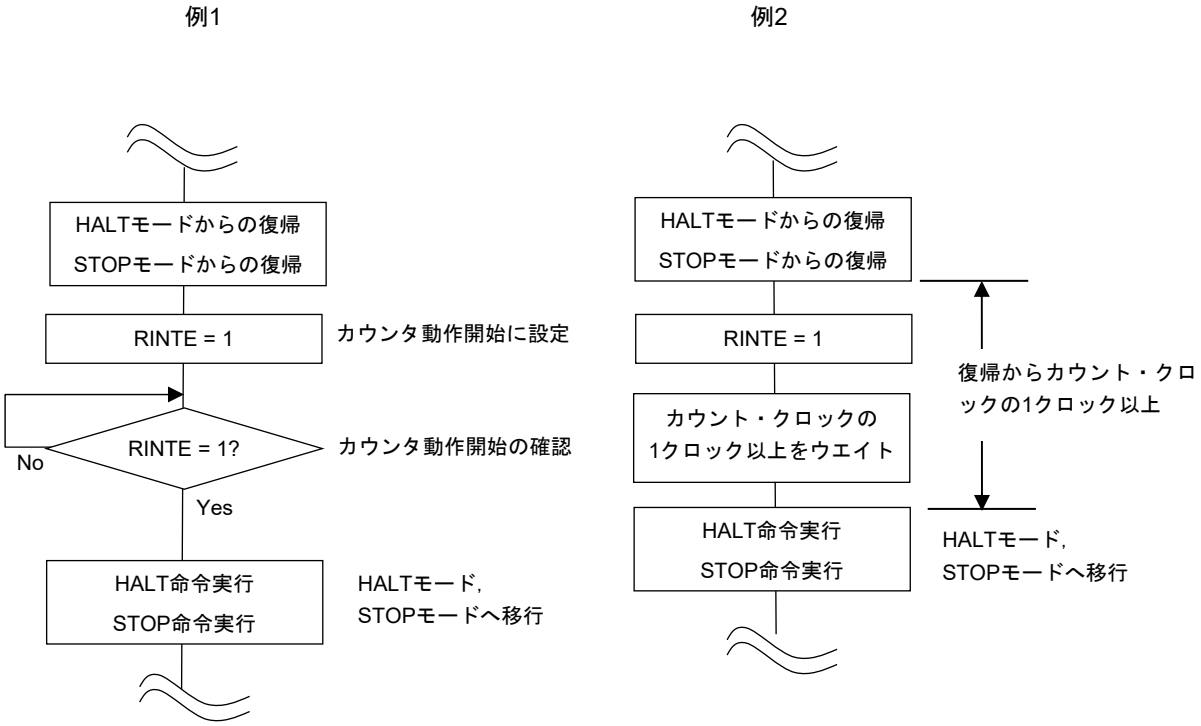


10. 4. 2　HALT/STOP モードから復帰後にカウンタ動作開始し，再度HALT/STOP モードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し，再度HALTモード，STOPモードへ移行する場合は，RINTE = 1に設定してから，RINTEビットの書き込み値が反映されたことを確認するか，復帰からカウント・クロックの1クロック分以上経過後に移行してください。

・RINTE = 1に設定後，RINTEビットが1になるのをポーリングで確認後にHALTモード，STOPモードへ移行する（図10－6　例1参照）。
・RINTE = 1に設定してから，カウント・クロックの1クロック分以上経過後にHALTモード，STOPモードへ移行する（図10－6　例2参照）。

図10－6　RINTE = 1に設定後のHALTモード，STOPモードへの移行手順



第11章　ウォッチドッグ・タイマ

11.1　ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは，オプション・バイト（000C0H）でカウント動作を設定します。

ウォッチドッグ・タイマは，低速オンチップ・オシレータ・クロック（f_{IL}）で動作します。

ウォッチドッグ・タイマは，プログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

次の場合，プログラムの暴走と判断します。

・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
・WDTEレジスタに“ACH”以外のデータを書き込んだ場合
・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のビット4（WDTRF）がセット（1）されます。RESFレジスタの詳細については第22章　リセット機能を参照してください。

また，オーバフロー時間の75%＋1/2f_{IL}到達時にインターバル割り込みを発生することもできます。

11.2　ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウエアで構成されています。

表11－1　ウォッチドッグ・タイマの構成

項　　目	構　　成
カウンタ	内部カウンタ（17ビット）
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

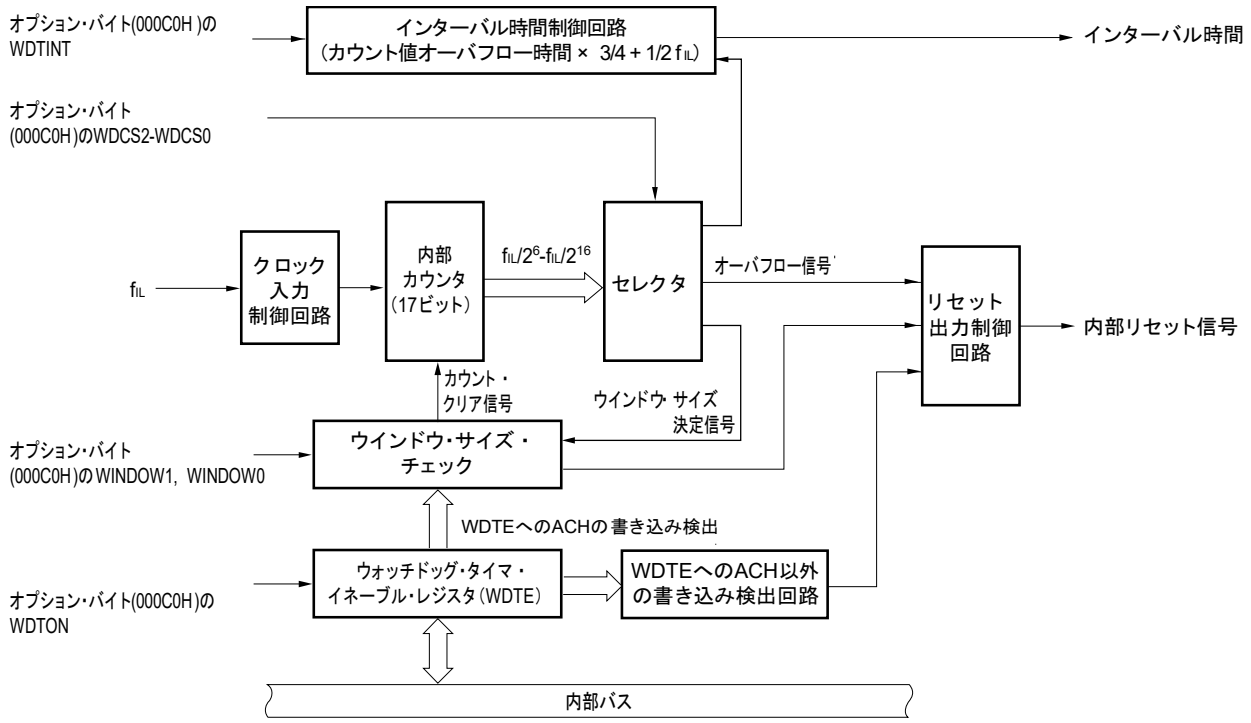
また，オプション・バイトで，カウンタの動作制御，オーバフロー時間の設定，ウインドウ・オープン期間の設定，インターバル割り込みの設定を行います。

表11－2　オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト（000C0H）
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7（WDTINT）
ウインドウ・オープン期間設定	ビット6, 5（WINDOW1, WINDOW0）
ウォッチドッグ・タイマのカウンタ動作制御	ビット4（WDTON）
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1（WDCS2- WDCS0）
ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOP時）	ビット0（WDSTBYON）

備考　オプション・バイトについては，第27章　オプション・バイトを参照してください。

図11－1　ウォッチドッグ・タイマのブロック図



備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

11.3　ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

11.3.1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，9AHまたは1AH注になります。

図11－2　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH　リセット時：9AH／1AH注　R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注　WDTEレジスタのリセット値は，オプション･バイト（000C0H）のWDTONビットの設定値によって，異なります。ウォッチドッグ・タイマを動作する場合は，WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注意1.　WDTEレジスタに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。

2.　WDTEレジスタに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。

3.　WDTEレジスタのリード値は，“9AH／1AH”（書き込んだ値（“ACH”）とは異なる値）になります。

11.4　ウォッチドッグ・タイマの動作

11.4.1　ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合，オプション・バイト（000C0H）で次の内容を設定します。

・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し，ウォッチドッグ・タイマのカウント動作を許可（リセット解除後，カウンタは動作開始）にしてください（詳細は，第27章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後，カウント停止）
1	カウント動作許可（リセット解除後，カウント開始）

・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で，オーバフロー時間を設定してください（詳細は，11.4.2および第27章を参照）。

・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で，ウインドウ・オープン期間を設定してください（詳細は，11.4.3および第27章を参照）。

2. リセット解除後，ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと，オプション・バイトで設定したオーバフロー時間前に，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより，ウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。
4. 以後，リセット解除後2回目以降のWDTEレジスタへの書き込みについては，ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合，内部リセット信号を発生します。
5. WDTEレジスタに“ACH”を書き込まずに，オーバフロー時間を越えてしまった場合は，内部リセット信号を発生します。
   また，次の場合も，内部リセット信号を発生します。

・WDTEレジスタに1ビット操作命令を使用した場合

・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

注意1.　リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

2.　WDTEレジスタに“ACH”を書き込んでから，ウォッチドッグ・タイマのカウンタがクリアされます。最大f_{IL}の2クロックの誤差が生じる場合があります。

3.　ウォッチドッグ・タイマのクリアは，カウント値がオーバフローする直前まで有効です。

注意4.　オプション・バイト（000C0H）のビット0（WDSTBYON）の設定値により，ウォッチドッグ・タイマのHALT，STOP，およびSNOOZEモード時の動作は，次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合，HALTおよびSTOPモード解除後は，ウォッチドッグ・タイマのカウントを再開します。このとき，カウンタはクリア（0）して，カウント開始します。
STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。
そのため, STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。
よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

11. 4. 2　ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は，オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は，内部リセット信号を発生します。オーバフロー時間前の，ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより，カウントはクリアされ，再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表11－3　ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{IL} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{IL}$（3.71 ms）
0	0	1	$2^7/f_{IL}$（7.42 ms）
0	1	0	$2^8/f_{IL}$（14.84 ms）
0	1	1	$2^9/f_{IL}$（29.68 ms）
1	0	0	$2^{11}/f_{IL}$（118.72 ms）
1	0	1	$2^{13}/f_{IL}$（474.89 ms）
1	1	0	$2^{14}/f_{IL}$（949.79 ms）
1	1	1	$2^{16}/f_{IL}$（3799.18 ms）

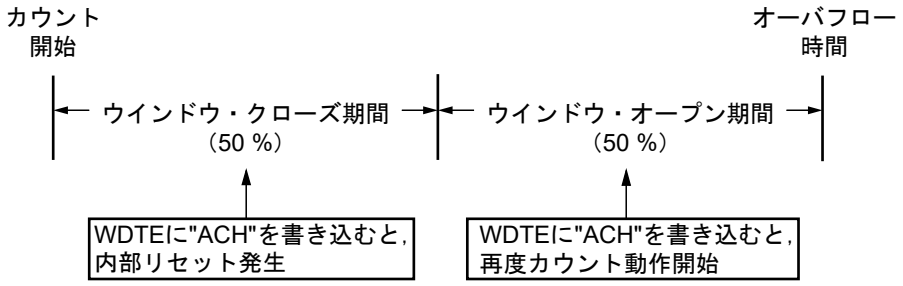
備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

11. 4. 3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は，オプション・バイト（000C0H）のビット6，5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

・ウインドウ・オープン期間中は，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むと，ウォッチドッグ・タイマをクリアし，再度カウント動作を開始します。
・ウインドウ・クローズ期間中は，WDTEレジスタに“ACH”を書き込んでも，異常検出され，内部リセットを発生します。

例　ウインドウ・オープン期間が50 %の場合



注意　リセット解除後1回目のWDTEレジスタへの書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表11－4　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 %注
1	1	100 %

注　ウインドウ・オープン期間を75%に設定した時に，ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合，ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等，下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f_{IL} = 17.25 kHz (MAX.)の場合)	ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms～2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms～5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms～10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms～20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms～80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms～321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms～642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms～2570.04 ms

注意　オプション・バイト（000C0H）のビット0（WDSTBYON）= 0のときは，WINDOW1，WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

備考　オーバフロー時間を$2^9/f_{IL}$に設定した場合，ウインドウ・クローズ時間とオープン時間は，次のようになります。

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0～20.08 ms	0～10.04 ms	なし
ウインドウ・オープン時間	20.08～29.68 ms	10.04～29.68 ms	0～29.68 ms

<ウインドウ・オープン期間50 %のとき>

・オーバフロー時間：

$2^9/f_{IL}$ (MAX.) = 2^9 /17.25 kHz = 29.68 ms

・ウインドウ・クローズ時間：

0～$2^9/f_{IL}$ (MIN.) ×（1－0.5）= 0～2^9/12.75 kHz ×0.5 = 0～20.08 ms

・ウインドウ・オープン時間：

$2^9/f_{IL}$ (MIN.) ×（1－0.5）～$2^9/f_{IL}$ (MAX.) = 2^9/12.75 kHz ×0.5～2^9 /17.25 kHz

= 20.08～29.68 ms

11.4.4　ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト（000C0H）のビット7（WDTINT）の設定により，オーバフロー時間の75%＋1/2f_{IL}到達時にインターバル割り込み（INTWDTI）を発生することができます。

表11－5　ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%＋1/2f_{IL}到達時にインターバル割り込みを発生する

注意　STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。
そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。
よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

備考　INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むまで）カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は，内部リセット信号を発生します。

第12章　A/Dコンバータ

A/Dコンバータのアナログ入力チャネル数は，製品によって異なります。

	20ピン	30ピン，38ピン
アナログ入力チャネル	6 ch (ANI0-ANI2, ANI4, ANI5, ANI18)	11 ch (ANI0-ANI2, ANI4-ANI7, ANI16-ANI19)

注意　この章では，以降の主な説明を38ピン製品の場合で説明しています。

12. 1　A/Dコンバータの機能

A/Dコンバータは，アナログ入力をデジタル値に変換するコンバータで，最大11チャネルのA/Dコンバータ・アナログ入力（ANI0-ANI2，ANI4-ANI7，ANI16-ANI19）と内蔵されたプログラマブル・ゲイン・アンプの出力信号（PGAOUT）の計12チャネルのアナログ入力を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2（ADM2）のADTYPビットにより，10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには，次のような機能があります。

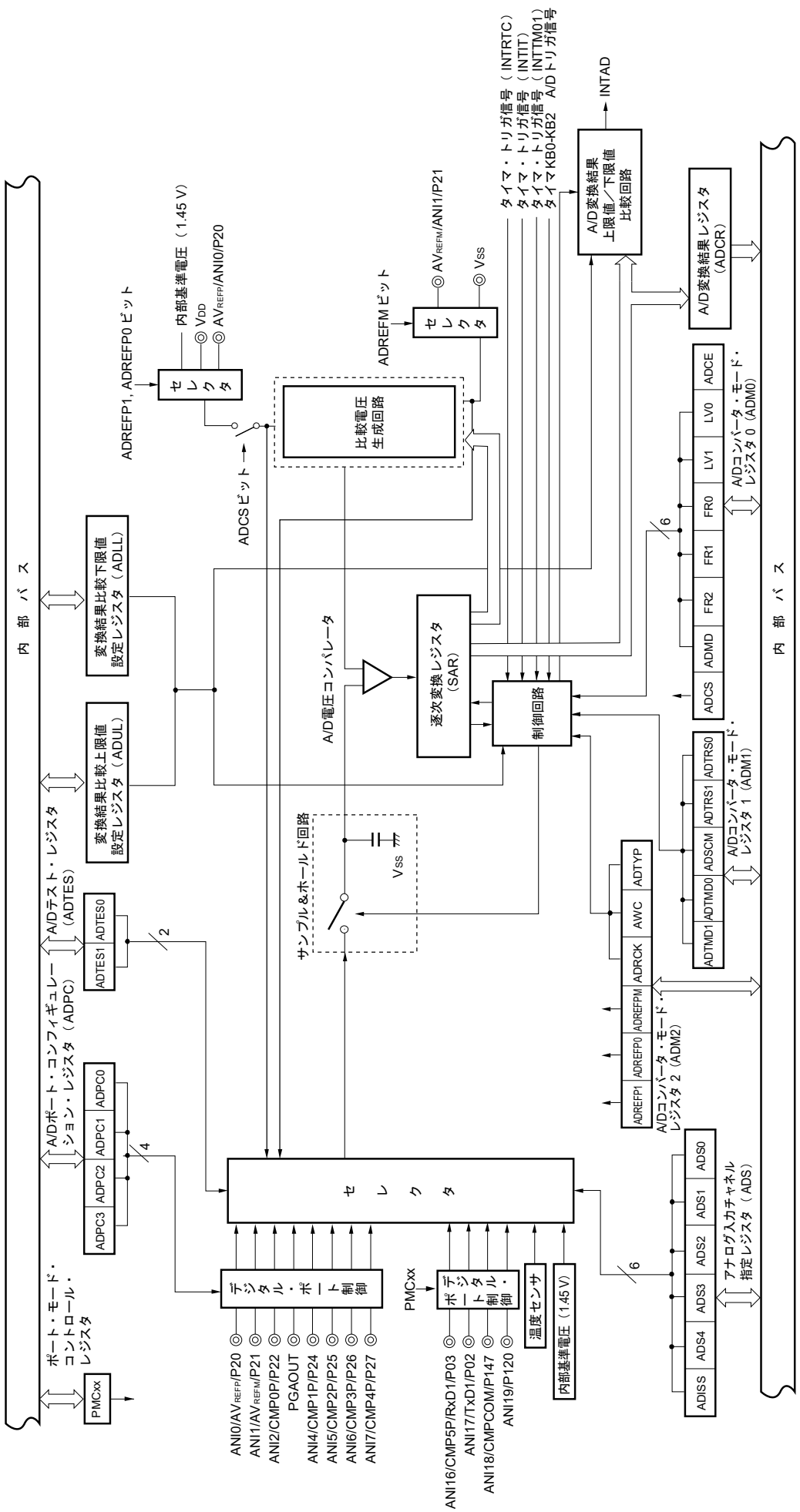
・10ビット／8ビット分解能A/D変換

ANI0-ANI2, ANI4-ANI7, ANI16-ANI19からアナログ入力を1チャネル選択し, 10ビット／8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに，割り込み要求（INTAD）を発生します（セレクト・モード時の場合）。

下記のモードの組み合わせにより，様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウエア・トリガ	ソフトウエア操作で，変換動作を開始します。
	ハードウエア・トリガ・ノーウエイト・モード	ハードウエア・トリガを検出することにより，変換動作を開始します。
	ハードウエア・トリガ・ウエイト・モード	パワー・オフでの変換待機状態でハードウエア・トリガを検出することにより，パワー・オンとなり，A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は，ハードウエア・トリガ・ウエイト・モードを選択してください。
チャネル選択モード	セレクト・モード	アナログ入力を1チャネル選択し，A/D変換します。
	スキャン・モード	4チャネルのアナログ入力を順番にA/D変換します。
変換動作モード	ワンショット変換モード	選択したチャネルを1回A/D変換します。
	連続変換モード	選択したチャネルをソフトウエアで停止するまで，連続してA/D変換します。
動作電圧モード	標準1／標準2 モード	2.7 V ≦ V_{DD} ≦ 5.5 Vの動作電圧範囲で変換動作する時に選択します。
	低電圧1／低電圧2モード	2.7 V ≦ V_{DD} ≦ 5.5 Vの動作電圧範囲で変換動作が可能です。 低電圧時に変換動作する時に選択します。低電圧動作のため，変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数：7 fAD	標準1／低電圧1モードのサンプリング時間は，変換クロック（fAD）の7クロックです。アナログ入力源の出力インピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数：5 fAD	標準2／低電圧2モードのサンプリング時間は，変換クロック（fAD）の5クロックです。アナログ入力源の出力インピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

図12－1 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は，38ピン製品の場合です。

12. 2　A/Dコンバータの構成

A/Dコンバータは，次のハードウエアで構成しています。

（1）ANI0-ANI2, ANI4-ANI7, ANI16-ANI19端子

A/Dコンバータの11チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は，入出力ポートとして使用できます。

（2）PGAOUT端子

プログラマブル・ゲイン・アンプの内部出力端子です。A/Dコンバータでは，プログラマブル・ゲイン・アンプの出力信号をアナログ入力として選択し，A/D変換することができます。

（3）サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし，A/D電圧コンパレータに送ります。A/D変換動作中は，サンプリングしたアナログ入力電圧を保持します。

（4）A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と，アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果，アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より大きい場合には，逐次変換レジスタ（SAR）の最上位ビット（MSB）をセットします。アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より小さい場合には，SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ，次の比較に移ります。ここではすでに結果がセットされているビット9の値によって，比較電圧生成回路の電圧タップが選択されます。

ビット9 = 0：（1/4 AV_{REF}）
ビット9 = 1：（3/4 AV_{REF}）

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し，その結果でSARレジスタのビット8を操作します。

アナログ入力電圧≧比較電圧生成回路の電圧タップ：ビット8 = 1
アナログ入力電圧≦比較電圧生成回路の電圧タップ：ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。
8ビット分解能でA/D変換する場合は，SARレジスタのビット2まで続けます。

備考　AV_{REF} : A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

（5）比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

（6）逐次変換レジスタ（SAR：Successive Approximation Register）

SARレジスタは，比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを，最上位ビット（MSB）から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARレジスタの内容（変換結果）は，A/D変換結果レジスタ（ADCR）に保持されます。また，指定されたすべてのA/D変換が終了すると，A/D変換終了割り込み要求信号（INTAD）が発生します。

（7）10ビットA/D変換結果レジスタ（ADCR）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

（8）8ビットA/D変換結果レジスタ（ADCRH）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果の上位8ビットを格納します。

（9）制御回路

A/D変換するアナログ入力の変換時間，変換動作の開始／停止などを制御します。A/D変換が終了した場合，A/D変換結果上限値/下限値比較回路を通りINTADを発生します。

（10）AV_{REFP}端子

外部から基準電圧（AV_{REFP}）を入力する端子です。

AV_{REFP}をA/Dコンバータの＋側基準電圧として使用する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）のADREFP1ビットに0を，　ADREFP0ビットに1を設定してください。

AV_{REFP}と－側基準電圧（AV_{REFM}/V_{SS}）間にかかる電圧に基づいて，　ANI2, ANI4-ANI7, ANI16-ANI19に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの＋側基準電圧には，AV_{REFP}のほかにV_{DD}と内部基準電圧（1.45 V）を選択することが可能です。

（11）AV_{REFM}端子

外部から基準電圧（AV_{REFM}）を入力する端子です。AV_{REFM}をA/Dコンバータの－側基準電圧として使用する場合は，ADM2レジスタのADREFMビットをセット（1）してください。

A/Dコンバータの－側基準電圧には，AV_{REFM}のほかにV_{SS}を選択することが可能です。

12. 3　A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・A/Dコンバータ・モード・レジスタ0（ADM0）
・A/Dコンバータ・モード・レジスタ1（ADM1）
・A/Dコンバータ・モード・レジスタ2（ADM2）
・10ビットA/D変換結果レジスタ（ADCR）
・8ビットA/D変換結果レジスタ（ADCRH）
・アナログ入力チャネル指定レジスタ（ADS）
・変換結果比較上限値設定レジスタ（ADUL）
・変換結果比較下限値設定レジスタ（ADLL）
・A/Dテスト・レジスタ（ADTES）
・A/Dポート・コンフィギュレーション・レジスタ（ADPC）
・ポート・モード・コントロール・レジスタ0, 12, 14（PMC0, PMC12, PMC14）
・ポート・モード・レジスタ0, 2, 12, 14（PM0, PM2, PM12, PM14）

12. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは，必ずビット5（ADCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

注意1.　A/Dコンバータの設定をする際には，必ず最初にADCEN = 1の状態で，下記のレジスタの設定を行ってください。

ADCEN = 0の場合は，A/Dコンバータの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ0, 2, 12, 14（PM0, PM2, PM12, PM14），ポート・モード・コントロール・レジスタ0, 12, 14（PMC0, PMC12, PMC14），A/Dポート・コンフィギュレーション・レジスタ（ADPC）は除く）。

・A/Dコンバータ・モード・レジスタ0（ADM0）
・A/Dコンバータ・モード・レジスタ1（ADM1）
・A/Dコンバータ・モード・レジスタ2（ADM2）
・10ビットA/D変換結果レジスタ（ADCR）
・8ビットA/D変換結果レジスタ（ADCRH）
・アナログ入力チャネル指定レジスタ（ADS）
・変換結果比較上限値設定レジスタ（ADUL）
・変換結果比較下限値設定レジスタ（ADLL）
・A/Dテスト・レジスタ（ADTES）

2.　ビット1, 3, 6には必ず“0”を設定してください。

12. 3. 2 A/Dコンバータ・モード・レジスタ0（ADM0）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

ADM0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－3 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2注1	FR1注1	FR0注1	LV1注1	LV0注1	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 ［リード時］ 変換動作停止／待機状態
1	変換動作許可 ［リード時］ ソフトウエア・トリガ・モード時：変換動作状態 ハードウエア・トリガ・ウエイト・モード時：A/D電源安定待ち状態＋変換動作状態

ADMD	A/D変換チャネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御注2
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は，表12－3 A/D変換時間の選択を参照してください。

2. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，A/D電圧コンパレータはADCSビットとADCEビットで動作制御され，動作開始から安定するまでに，1 μsかかります。このため，ADCEビットに1を設定してから1 μs以上経過したあとに，ADCSビットに1を設定することで，最初の変換データより有効となります。1 μs以上ウエイトしないでADCSビットに1を設定した場合は，最初の変換データを無視してください。

注意 1. ADMD, FR2-FR0, LV1, LV0ビットの変更は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

2. ADCS = 1, ADCE = 0の設定は禁止です。

3. ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS= 1, ADCE = 1に設定することは禁止します。必ず12. 7 A/Dコンバータの設定フローチャートの手順に従ってください。

表12－1　ADCSビットとADCEビットの設定

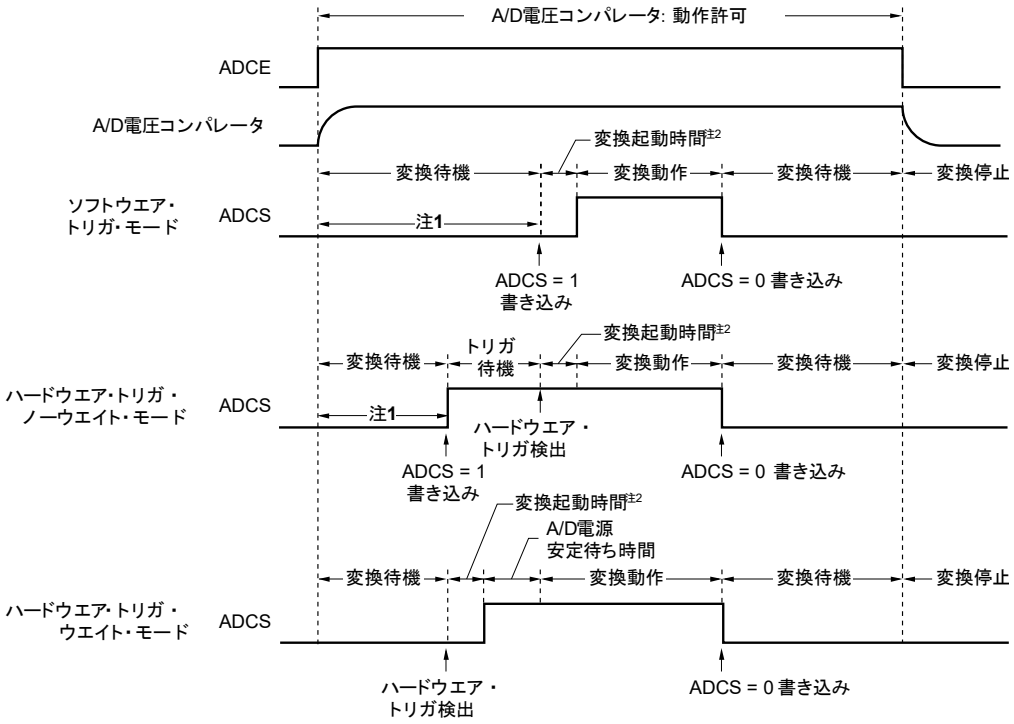
ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

注　ハードウエア・トリガ・ウエイト・モードでは，変換待機モード中もDC電力消費パスは存在しません。

表12－2　ADCSビットのセット／クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウエア・トリガ	セレクト・モード	連続変換モード	ADCS = 1ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に“0”にクリア
ハードウエア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウエア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ハードウエア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に“0”にクリア

図12－4 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，ADCEビットの立ち上がりから，ADCSビットの立ち上がりまでの時間は，内部回路安定のため，1 μs以上必要です。

2. 変換起動には，最大で次の時間がかかります。

ADM0			変換クロック（f_{AD}）	起動時間（f_{CLK}クロック数）	
FR2	FR1	FR0		ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード	ハードウエア・トリガ・ウエイト・モード
0	0	0	f_{CLK}/64	63	1
0	0	1	f_{CLK}/32	31	
0	1	0	f_{CLK}/16	15	
0	1	1	f_{CLK}/8	7	
1	0	0	f_{CLK}/6	5	
1	0	1	f_{CLK}/5	4	
1	1	0	f_{CLK}/4	3	
1	1	1	f_{CLK}/2	1	

ただし，連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません。

注意1. **ハードウエア・トリガ・ウエイト・モードで使用する場合，ADCSビットに1を設定するのは禁止です（ハードウエア・トリガ信号検出時に，自動的に1に切り替わります)。ただし，AD変換待機状態にするために，ADCSビットに0を設定することは可能です。**

2. **ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時，AD変換終了時にADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。**

3. **ADCEビットの書き換えは，ADCS = 0（変換停止／変換待機状態）のときに行ってください。**

4. **A/D変換を完了させるためには，ハード・トリガ間隔を次の時間以上としてください。**
ハードウエア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック＋変換起動時間＋A/D変換時間
ハードウエア・トリガ・ウエイト・モード時：f_{CLK}の2クロック＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表12－3　A/D変換時間の選択（1/4）

（1）A/D電源安定待ち時間なし　標準モード1, 2

（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	変換クロック数注	変換時間	10ビット分解能時の変換時間				
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	標準1	f_{CLK}/64	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	38 μs
0	0	1				f_{CLK}/32		608/f_{CLK}				38 μs	19 μs
0	1	0				f_{CLK}/16		304/f_{CLK}			38 μs	19 μs	9.5 μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				f_{CLK}/5		95/f_{CLK}		23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				f_{CLK}/4		76/f_{CLK}		19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	34 μs
0	0	1				f_{CLK}/32		544/f_{CLK}				34 μs	17 μs
0	1	0				f_{CLK}/16		272/f_{CLK}			34 μs	17 μs	8.5 μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34 μs	17 μs	8.5 μs	4.25 μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5 μs	12.75 μs	6.375 μs	3.1875 μs
1	0	1				f_{CLK}/5		85/f_{CLK}		21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				f_{CLK}/4		68/f_{CLK}		17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

注意 1.　A/D変換時間は，32.6.1 または33.6.1 A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。

2.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3.　変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表12－3　A/D変換時間の選択（2/4）

（2）A/D電源安定待ち時間なし　低電圧**モード**1, 2

（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	変換クロック数注	変換時間	10ビット分解能時の変換時間				
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	1	0	低電圧1	f_{CLK}/64	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	38 μs
0	0	1				f_{CLK}/32		608/f_{CLK}				38 μs	19 μs
0	1	0				f_{CLK}/16		304/f_{CLK}			38 μs	19 μs	9.5 μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				f_{CLK}/5		95/f_{CLK}		23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				f_{CLK}/4		76/f_{CLK}		19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	1	1	低電圧2	f_{CLK}/64	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	34 μs
0	0	1				f_{CLK}/32		544/f_{CLK}				34 μs	17 μs
0	1	0				f_{CLK}/16		272/f_{CLK}			34 μs	17 μs	8.5 μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34 μs	17 μs	8.5 μs	4.25 μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5 μs	12.75 μs	6.375 μs	3.1875 μs
1	0	1				f_{CLK}/5		85/f_{CLK}		21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				f_{CLK}/4		68/f_{CLK}		17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

注意 1.　A/D変換時間は，32.6.1 または33.6.1 A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。

2.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3.　変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表12－3　A/D変換時間の選択（3/4）

（3）A/D電源安定待ち時間あり　標準モード1, 2

（ハードウエア・トリガ・ウエイト・モード注1）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数注2	A/D電源安定待ち時間＋変換時間	A/D電源安定待ち時間＋10ビット分解能時の変換時間				
FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	標準1	f_{CLK}/64	8 f_{AD}	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1728/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	54 μs
0	0	1				f_{CLK}/32			864/f_{CLK}				54 μs	27 μs
0	1	0				f_{CLK}/16			432/f_{CLK}			54 μs	27 μs	13.5 μs
0	1	1				f_{CLK}/8			216/f_{CLK}		54 μs	27 μs	13.5 μs	6.75 μs
1	0	0				f_{CLK}/6			162/f_{CLK}		40.5 μs	20.25 μs	10.125 μs	5.0625 μs
1	0	1				f_{CLK}/5			135/f_{CLK}		33.75 μs	16.875 μs	8.4375 μs	4.21875 μs
1	1	0				f_{CLK}/4			108/f_{CLK}		27 μs	13.5 μs	6.75 μs	3.375 μs
1	1	1				f_{CLK}/2			54/f_{CLK}	54 μs	13.5 μs	6.75 μs	3.375 μs	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	8 f_{AD}	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1600/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	50 μs
0	0	1				f_{CLK}/32			800/f_{CLK}				50 μs	25 μs
0	1	0				f_{CLK}/16			400/f_{CLK}			50 μs	25 μs	12.5 μs
0	1	1				f_{CLK}/8			200/f_{CLK}		50 μs	25 μs	12.5 μs	6.25 μs
1	0	0				f_{CLK}/6			150/f_{CLK}		37.5 μs	18.75 μs	9.375 μs	4.6875 μs
1	0	1				f_{CLK}/5			125/f_{CLK}		31.25 μs	15.625 μs	7.8125 μs	3.90625 μs
1	1	0				f_{CLK}/4			100/f_{CLK}		25 μs	12.5 μs	6.25 μs	3.125 μs
1	1	1				f_{CLK}/2			50/f_{CLK}	50 μs	12.5 μs	6.25 μs	3.125 μs	設定禁止

注1.　連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません（表12－3（1/4）参照）。

2.　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

注意1.　A/D変換時間は，32.6.1 または33.6.1 A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。なお，変換時間（t_{CONV}）はA/D電源安定待ち時間を含みません。

2.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3.　変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

4.　ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表12－3　A/D変換時間の選択（4/4）

（4）A/D電源安定待ち時間あり　低電圧モード1, 2

（ハードウエア・トリガ・ウエイト・モード注1）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数注2	A/D電源安定待ち時間＋変換時間	A/D電源安定待ち時間＋10ビット分解能時の変換時間				
FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	1	0	低電圧1	f_{CLK}/64	2 f_{AD}	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1344/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	42 μs
0	0	1				f_{CLK}/32			672/f_{CLK}				42 μs	21 μs
0	1	0				f_{CLK}/16			336/f_{CLK}			42 μs	21 μs	10.5 μs
0	1	1				f_{CLK}/8			168/f_{CLK}		42 μs	21 μs	10.5 μs	5.25 μs
1	0	0				f_{CLK}/6			126/f_{CLK}		31.5 μs	15.75 μs	7.875 μs	3.9375 μs
1	0	1				f_{CLK}/5			105/f_{CLK}		26.25 μs	13.125 μs	6.5625 μs	3.238125 μs
1	1	0				f_{CLK}/4			84/f_{CLK}		21 μs	10.5 μs	5.25 μs	2.625 μs
1	1	1				f_{CLK}/2			42/f_{CLK}	42 μs	10.5 μs	5.25 μs	2.625 μs	設定禁止
0	0	0	1	1	低電圧2	f_{CLK}/64	2 f_{AD}	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	38 μs
0	0	1				f_{CLK}/32			608/f_{CLK}				38 μs	19 μs
0	1	0				f_{CLK}/16			304/f_{CLK}			38 μs	19 μs	9.5 μs
0	1	1				f_{CLK}/8			152/f_{CLK}		38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				f_{CLK}/6			114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				f_{CLK}/5			95/f_{CLK}		23.75 μs	11.88 μs	5.938 μs	2.9688 μs
1	1	0				f_{CLK}/4			76/f_{CLK}		19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				f_{CLK}/2			38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止

注 1.　連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません（表12－3（2/4）参照）。

2.　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

注意 1.　A/D変換時間は，32.6.1 または33.6.1 A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。なお，変換時間（t_{CONV}）はA/D電源安定待ち時間を含みません。

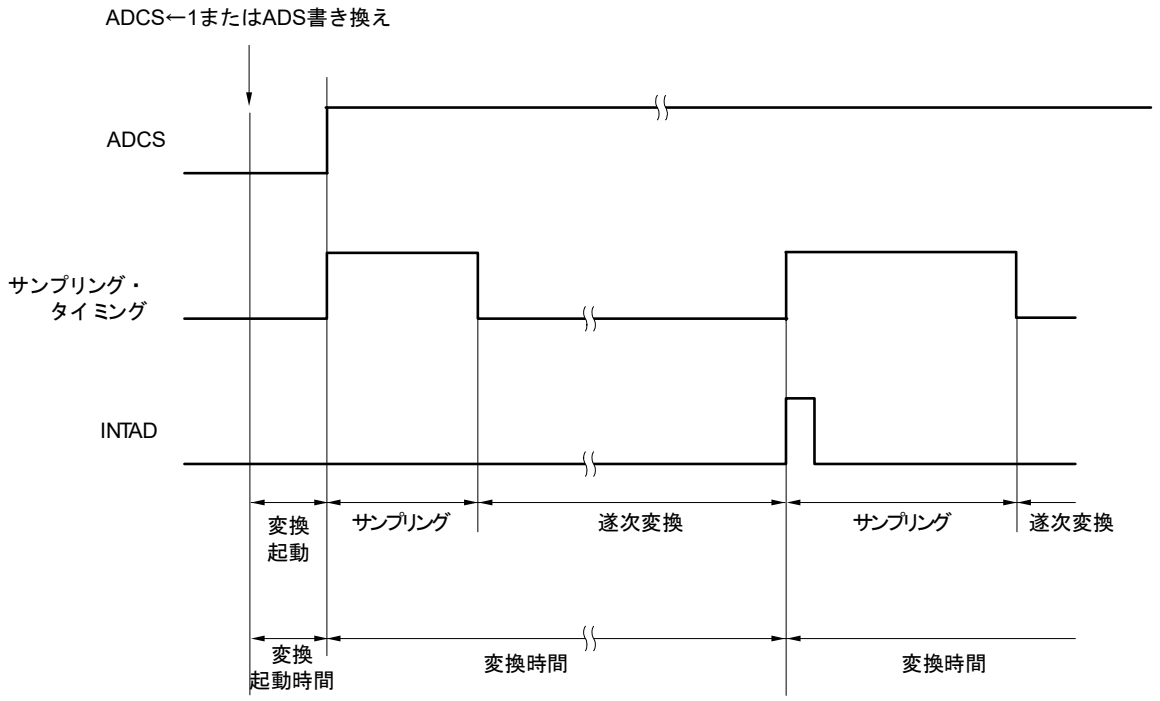
2.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3.　変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

4.　ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

図12－5　A/Dコンバータのサンプリングと A/D変換のタイミング（例　ソフトウエア・トリガ・モードの場合）



12. 3. 3 A/Dコンバータ・モード・レジスタ1（ADM1）

A/D変換トリガ，変換モード，ハードウエア・トリガ信号を設定するレジスタです。

ADM1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－6 A/Dコンバータ・モード・レジスタ1（ADM1）のフォーマット

アドレス：FFF32H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウエア・トリガ・モード
1	0	ハードウエア・トリガ・ノーウエイト・モード
1	1	ハードウエア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウエア・トリガ信号の選択
0	0	タイマ・チャネル1のカウント完了またはキャプチャ完了割り込み信号（INTTM01）
0	1	タイマKB0-KB2 A/Dトリガ信号注
1	0	リアルタイム・クロック割り込み信号（INTRTC）
1	1	12ビット・インターバル・タイマ割り込み信号（INTIT）

注 周辺機能切り替えレジスタ0（PFSEL0）のビット2, 3（ADTRG10, ADTRG11）でタイマKB0-KB2 A/Dトリガ信号のうち1つを選択します。PFSEL0レジスタの詳細は，7. 3. 16 周辺機能切り替えレジスタ0（PFSEL0）を参照してください。

注意1. ADM1レジスタを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

2. A/D変換を完了させるためには，ハードウエア・トリガ間隔を次の時間以上としてください。
ハードウエア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック＋変換起動時間＋A/D変換時間
ハードウエア・トリガ・ウエイト・モード時：f_{CLK}の2クロック＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間

3. SNOOZE機能以外のモードにおいて，INTRTC，INTIT入力後最大f_{CLK}の4クロック間は，次のINTRTC, INTIT入力がトリガとして有効になりません。

備考1. ×：don't care

2. f_{CLK}：CPU／周辺ハードウエア・クロック周波数

12. 3. 4 A/Dコンバータ・モード・レジスタ2（ADM2）

A/Dコンバータの＋側基準電圧および－側基準電圧の選択，A/D変換結果の上限値／下限値のチェック，分解能の選択，およびウエイクアップ機能（SNOOZEモード）を設定するレジスタです。

ADM2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－7 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（1/2）

アドレス：F0010H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの＋側の基準電圧の選択
0	0	V_{DD}から供給
0	1	P20/AV_{REFP}/ANI0から供給
1	0	内部基準電圧（1.45 V）から供給注
1	1	設定禁止

・ADREFP1, ADREFP0ビットを書き換える場合，次の手順で設定してください。

① ADCE = 0に設定

② ADREFP1, ADREFP0の値を変更

③ 基準電圧安定待ち時間ウエイト（A）

④ ADCE = 1に設定

⑤ 基準電圧安定待ち時間ウエイト（B）

ADREFP1, ADREFP0 = 1, 0に変更する場合： A = 5 μs， B = 1 μs

ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合： Aはウエイト不要，B = 1 μs

⑤のウエイトのあとに，A/D変換開始してください。

・ADREFP1, ADREFP 0 = 1, 0に設定した場合，温度センサ出力電圧と内部基準電圧（1.45V）をA/D変換することはできません。

必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの－側の基準電圧の選択
0	V_{SS}から供給
1	P21/AV_{REFM}/ANI1から供給

注 HS（高速メイン）モードでのみ選択可能です。

注意1. ADM2レジスタを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADREFP1 = 1に設定しないでください。内部基準電圧（ADREFP1, ADREFP0 = 1, 0）選択時は，32. 3. 2または33. 3. 2 電源電流特性に示すA/Dコンバータ基準電圧電流(I_{ADREF})の電流値が加算されます。

3. AV_{REFP}とAV_{REFM}を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

図12－7　A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（2/2）

アドレス：F0010H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADRCK	変換結果上限／下限値チェック
0	ADLLレジスタ≦ADCRレジスタ≦ADULレジスタ（AREA1）のとき割り込み信号（INTAD）が発生。
1	ADCRレジスタ＜ADLLレジスタ（AREA2），ADULレジスタ＜ADCRレジスタ（AREA3）のとき割り込み信号（INTAD）が発生。
AREA1～AREA3の割り込み信号（INTAD）発生範囲を図12－8に示します。	

AWC	ウエイクアップ機能（SNOOZEモード）の設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなくA/D変換を行います（SNOOZEモード）。

・SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。

・ソフトウエア・トリガ・モード，およびハードウエア・トリガ・ノー・ウエイト・モードでのSNOOZEモード機能は使用禁止です。

・連続変換モードでのSNOOZEモード機能は使用禁止です。

・SNOOZEモード機能を使用するとき，ハードウエア・トリガ間隔は，「SNOOZEモードの遷移時間[注]＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間＋f_{CLK}の2クロック」以上の間隔を空けて設定してください。

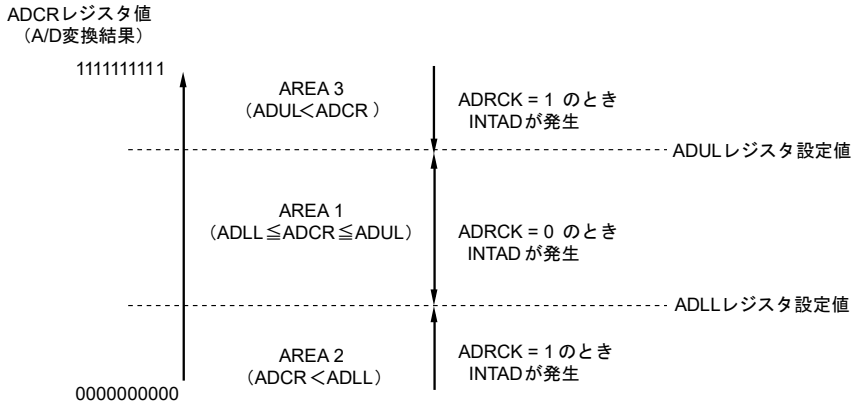
・SNOOZE機能を使用する場合でも，通常動作時はAWCを0に設定し，STOPモードへ移行する直前にAWCを1に変更してください。
　またSTOPモードから通常動作へ復帰後，必ずAWCを0に変更してください。
　AWC = 1のままでは，その後のSNOOZEモード，通常動作に関係なく正常にA/D変換が開始されません。

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注　21. 3. 3　SNOOZEモードの「STOPモード → SNOOZEモードの遷移時間」を参照してください。

注意　ADM2レジスタを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

図12－8　ADRCKビットによる割り込み信号発生範囲



備考　INTADが発生しない場合は，A/D変換結果がADCR, ADCRHレジスタに格納されません。

12. 3. 5 10ビットA/D変換結果レジスタ（ADCR）

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに，逐次変換レジスタ（SAR）から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに，下位2ビットがFFF1EHの上位2ビットに格納されます注。

ADCRレジスタは，16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図12－8参照））で設定した値の範囲外の場合は格納されません。

図12－9 10ビットA/D変換結果レジスタ（ADCR）のフォーマット

アドレス：FFF1FH，FFF1EH リセット値：0000H R

略号	FFF1FH								FFF1EH							
ADCR											0	0	0	0	0	0

注意1. 8ビット分解能A/D変換を選択時（A/Dコンバータ・モード・レジスタ2（ADM2）のADTYP = 1）にADCRレジスタをリードした場合，下位2ビット（ADCRレジスタのビット7，ビット6）は，0が読み出されます。

2. ADCRレジスタへ16ビット・アクセスした場合，変換結果上位10ビットがADCRレジスタのビット15から順に読み出せます。

12. 3. 6 8ビットA/D変換結果レジスタ（ADCRH）

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します注。

ADCRHレジスタは，8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図12－8参照））で設定した値の範囲外の場合は格納されません。

図12－10 8ビットA/D変換結果レジスタ（ADCRH）のフォーマット

アドレス：FFF1FH リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADCRH								

注意 A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC）に対して書き込み動作を行ったとき，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0，ADS，ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

12. 3. 7　アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－11　アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード（ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV_{REFP}端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV_{REFM}端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	PGAOUT	PGA出力信号
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	0	0	1	1	0	ANI6	P26/ANI6端子
0	0	0	1	1	1	ANI7	P27/ANI7端子
0	1	0	0	0	0	ANI16	P03/ANI16端子
0	1	0	0	0	1	ANI17	P02/ANI17端子
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
1	0	0	0	0	0	－	温度センサ出力電圧注
1	0	0	0	0	1	－	内部基準電圧（1.45 V）注
上記以外						設定禁止	

○スキャン・モード（ADMD = 1）

ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
					スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	ANI0	ANI1	ANI2	PGAOUT
0	0	0	0	1	ANI1	ANI2	PGAOUT	ANI4
0	0	0	1	0	ANI2	PGAOUT	ANI4	ANI5
0	0	0	1	1	PGAOUT	ANI4	ANI5	ANI6
0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
上記以外					設定禁止			

注　HS（高速メイン）モードでのみ選択可能です。

（注意，備考は次ページにあります。）

注意1.　ビット5, 6には必ず0を設定してください。

2.　ADPC, PMCxレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ0, 2, 12, 14（PM0, PM2, PM12, PM14）で入力モードに選択してください。

3.　A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

4.　ポート・モード・コントロール・レジスタ0, 12, 14（PMC0, PMC12, PMC14）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

5.　ADISSビットを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

6.　AV_{REFP}をA/Dコンバータの＋側の基準電圧として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。

7.　AV_{REFM}をA/Dコンバータの－側の基準電圧として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。

8.　ADISS = 1を設定した場合，＋側の基準電圧に内部基準電圧（1.45 V）は使用できません。また，ADISS=1に設定後，1回目の変換結果は使用できません。詳細設定フローは，12. 7. 4 温度センサ出力電圧／内部基準電圧を選択時の設定を参照してください。

9.　PGAOUTをアナログ入力として選択する場合，PGA動作設定後にADSレジスタを設定してください（第13章　プログラマブル・ゲイン・アンプ参照）。

10.　STOPモードへ移行，もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，32. 3. 2または33. 3. 2　電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

備考　×：don’t care

12. 3. 8　変換結果比較上限値設定レジスタ（ADUL）

A/D変換結果対し，上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図12－8参照）で割り込み信号（INTAD）の発生を制御します。

ADULレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図12－12　変換結果比較上限値設定レジスタ（ADUL）のフォーマット

アドレス：F0011H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

12. 3. 9　変換結果比較下限値設定レジスタ（ADLL）

A/D変換結果対し，下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図12－8参照）で割り込み信号（INTAD）の発生を制御します。

ADLLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－13　変換結果比較下限値設定レジスタ（ADLL）のフォーマット

アドレス：F0012H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は，10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

2. ADULレジスタおよびADLLレジスタの書き換えは，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

3. ADULレジスタおよびADLLレジスタは，ADUL＞ADLLになるように設定を行ってください。

12. 3. 10　A/Dテスト・レジスタ（ADTES）

A/D変換対象にA/Dコンバータの＋側の基準電圧，－側の基準電圧，アナログ入力チャネル（ANIxx），温度センサ出力電圧，内部基準電圧（1.45V），PGAOUTを選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

・ゼロスケールを測定するときは，A/D変換対象に－側の基準電圧を選択。

・フルスケールを測定するときは，A/D変換対象に＋側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－14　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx/ 温度センサ出力電圧注/ 内部基準電圧（1.45 V）注/ PGAOUT （アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2レジスタのADREFMビットで選択）
1	1	＋側の基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択）
上記以外		設定禁止

注　温度センサ出力電圧，内部基準電圧（1.45V）は，HS（高速メイン）モードでのみ選択可能です。

12. 3. 11　アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・モード・コントロール・レジスタ（PMCxx），A/Dポート・コンフィギュレーション・レジスタ（ADPC））を設定してください。詳細は，4. 3. 1　ポート・モード・レジスタ（PMxx），4. 3. 6 ポート・モード・コントロール・レジスタ（PMCxx），4. 3. 7　A/Dポート・コンフィギュレーション・レジスタ（ADPC）を参照してください。

ANI0-ANI2，ANI4-ANI7端子,PGAOUT端子(内部端子)をA/Dコンバータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定し，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に設定してください。

ANI16-ANI19端子をA/Dコンバータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）とポート・モード・コントロール・レジスタ（PMCxx）のビットに1を設定してください。

12. 4　A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

① 選択したアナログ入力チャネルに入力している電圧を，サンプル＆ホールド回路でサンプリングします。

② 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，サンプリングされた電圧をA/D変換が終了するまで保持します。

③ 逐次変換レジスタ（SAR）のビット9をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）AV_{REF}にします。

④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし，アナログ入力が（1/2）AV_{REF}よりも大きければ，SARレジスタのMSBビットをセットしたままです。また，（1/2）AV_{REF}よりも小さければ，MSBビットはリセットします。

⑤ 次にSARレジスタのビット8が自動的にセットし，次の比較に移ります。ここではすでに結果がセットしているビット9の値によって，次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1：（3/4）AV_{REF}

・ビット9 = 0：（1/4）AV_{REF}

この電圧タップとサンプリングされた電圧を比較し，その結果でSARレジスタのビット8を次のように操作します。

・サンプリングされた電圧≧電圧タップ：ビット8 = 1

・サンプリングされた電圧＜電圧タップ：ビット8 = 0

⑥ このような比較をSARレジスタのビット0まで続けます。

⑦ 10ビットの比較が終了したとき，SARレジスタには有効なデジタルの結果が残り，その値がA/D変換結果レジスタ（ADCR, ADCRH）に転送され，ラッチします[注1]。
同時に，A/D変換終了割り込み要求（INTAD）を発生させることができます[注1]。

⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します[注2]。
A/Dコンバータを停止する場合は，ADCS = 0にしてください。

注 1. A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図12－8参照））で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。この場合，ADCR, ADCRHレジスタに結果は格納されません。

2. 連続変換モード時は，ADCSフラグは自動的に“0”にクリアされません。また，ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも，ADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。

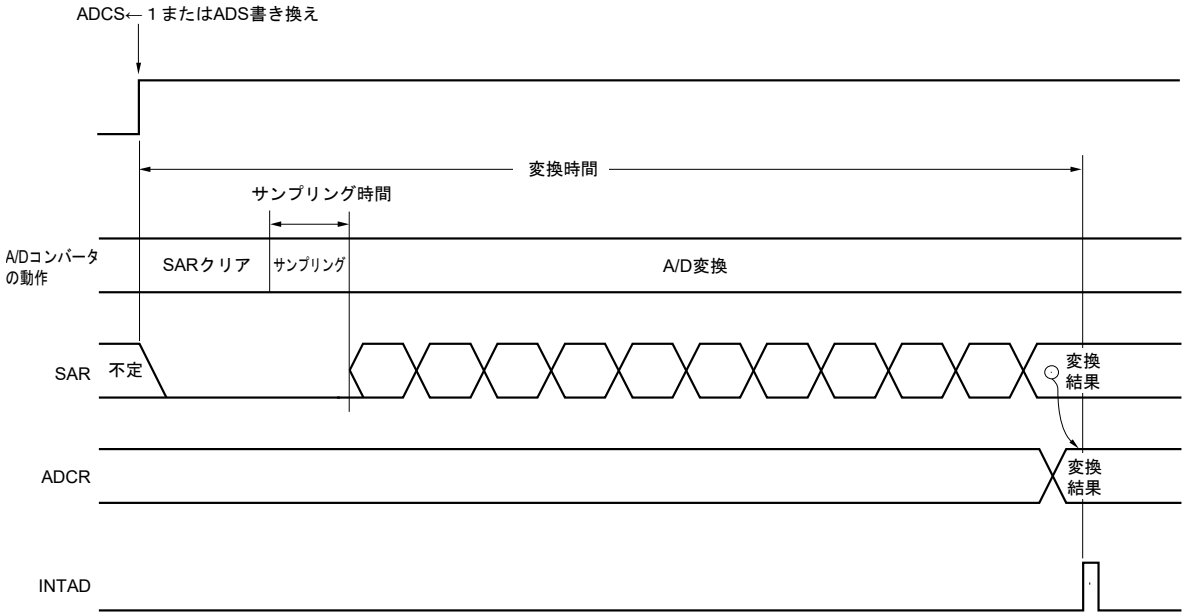
備考1. A/D変換結果レジスタは2種類あります。

・ADCRレジスタ（16ビット）　：10ビットのA/D変換値を格納します。

・ADCRHレジスタ（8ビット）　：8ビットのA/D変換値を格納します。

2. AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

図12－15　A/Dコンバータの変換動作（ソフトウエア・トリガ・モードの場合）



ワンショット変換モード時のA/D変換動作は, A/D変換終了後にADCSビットが自動的にクリア（0）されます。

連続変換モード時のA/D変換動作は，ソフトウエアによりA/Dコンバータ・モード・レジスタ（ADM0）のビット7（ADCS）をクリア（0）するまで連続的に行われます。

A/D変換動作中に，アナログ入力チャネル指定レジスタ（ADS）に対して書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ（ADCR, ADCRH）は，リセット信号の発生により0000Hまた00Hとなります。

12. 5　入力電圧と変換結果

アナログ入力端子（ANI0-ANI2, ANI4-ANI7, ANI16-ANI19，PGAOUT）に入力されたアナログ入力電圧と理論上のA/D変換結果（10ビットA/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

または，

$$\left(\frac{ADCR}{64} - 0.5\right) \times \frac{AV_{REF}}{1024} \leqq V_{AIN} < \left(\frac{ADCR}{64} + 0.5\right) \times \frac{AV_{REF}}{1024}$$

INT（　）　：（　）内の値の整数部を返す関数

V_{AIN}　：アナログ入力電圧

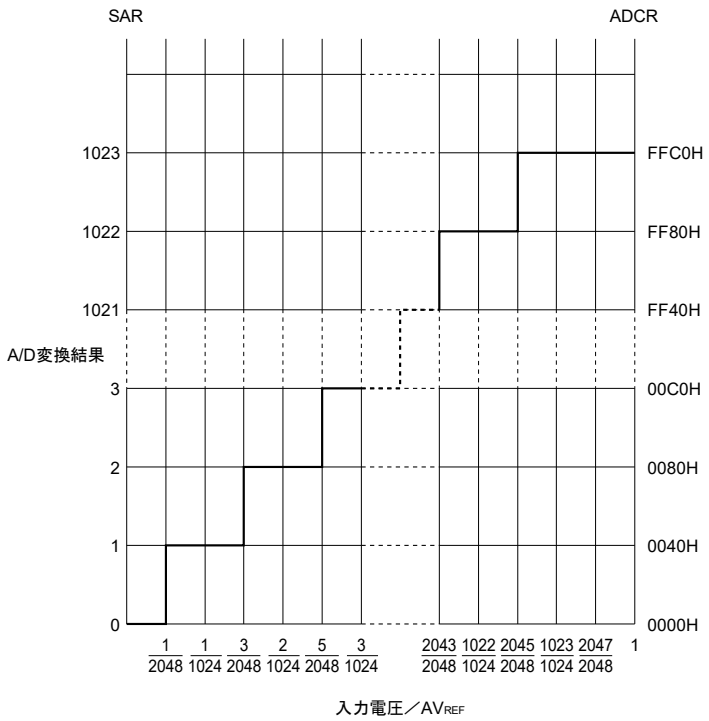
AV_{REF}　：AV_{REF}端子電圧

ADCR　：A/D変換結果レジスタ（ADCR）の値

SAR　：逐次変換レジスタ

図12－16にアナログ入力電圧とA/D変換結果の関係を示します。

図12－16　アナログ入力電圧とA/D変換結果の関係



備考　AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

12. 6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また，各モードの設定手順を12. 7 A/Dコンバータの設定フロー・チャートに示します。

12. 6. 1 ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

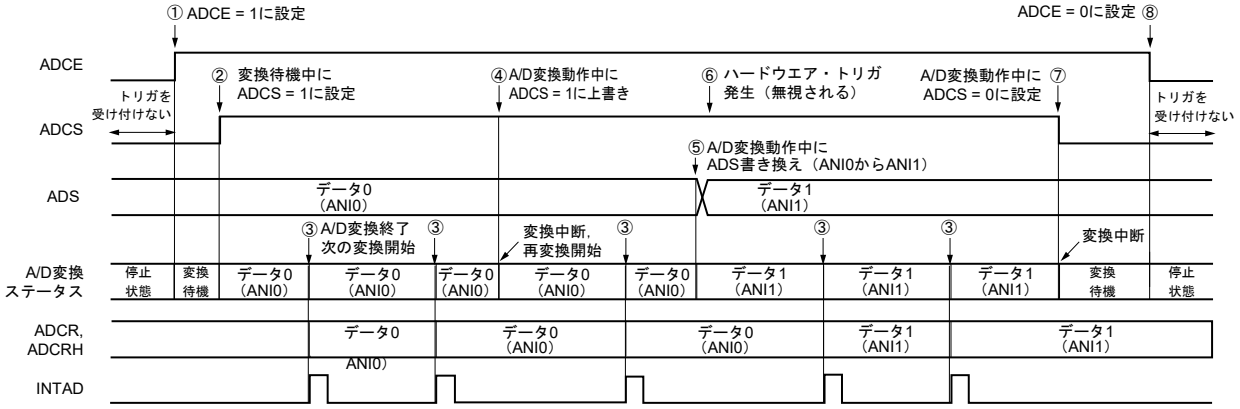
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図12－17 ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）動作タイミング例



12. 6. 2　ソフトウエア・トリガ・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

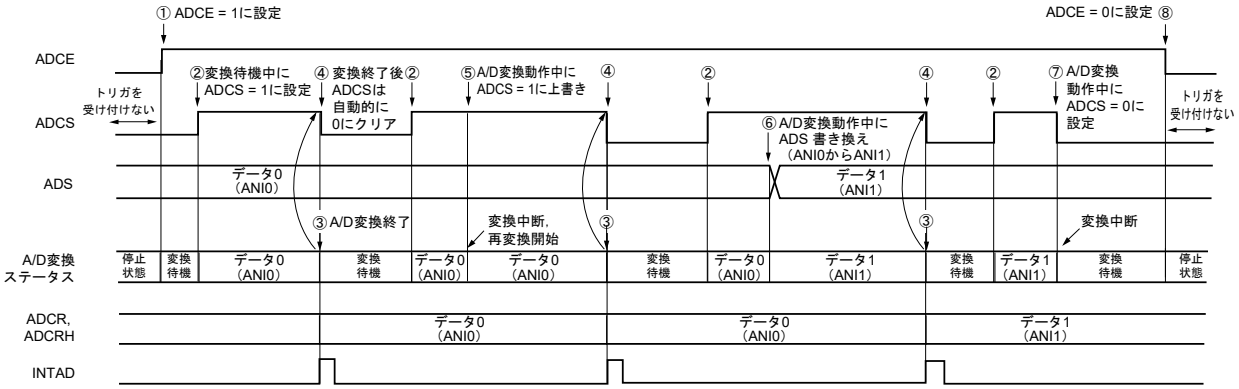
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図12－18　ソフトウエア・セレクト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



12. 6. 3 ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます（4チャネル分）。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

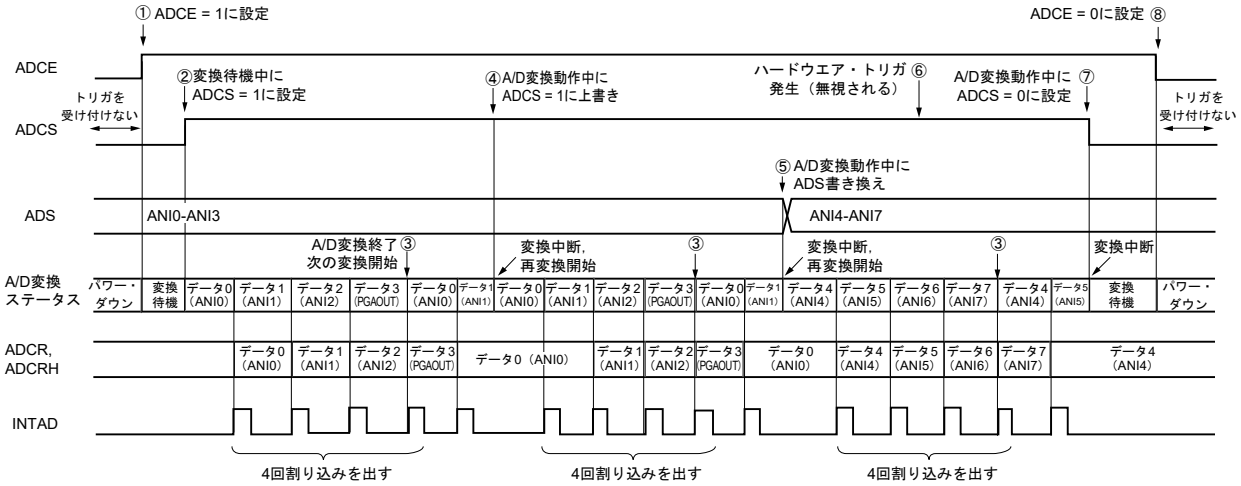
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図12－19 ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）動作タイミング例



12. 6. 4 ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ 4チャネルのA/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

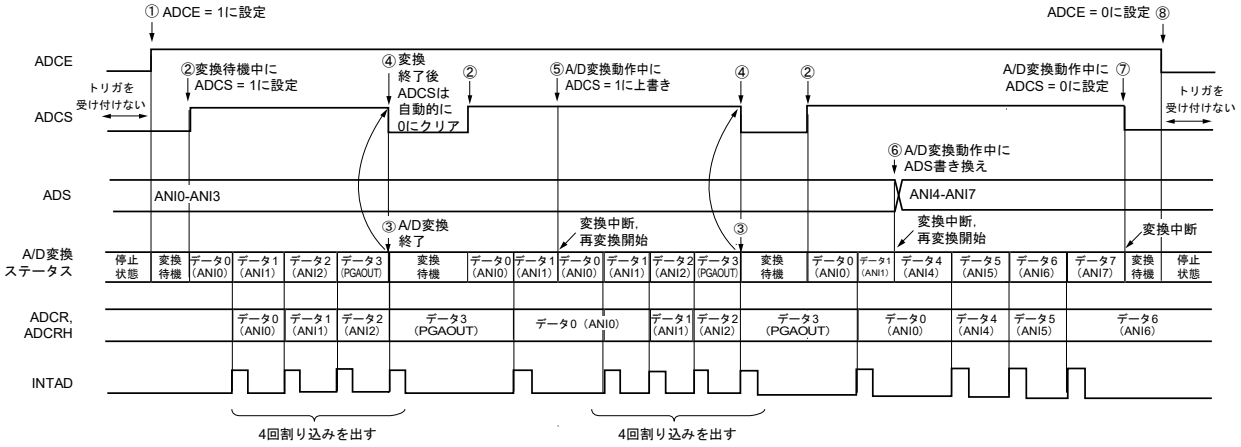
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図12－20 ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



12. 6. 5 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

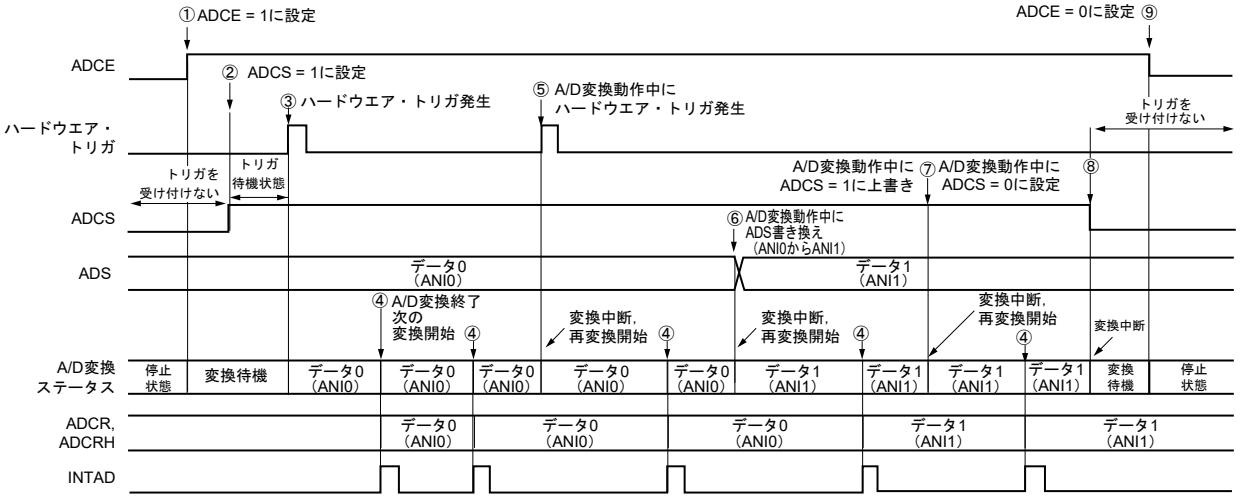
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－21 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



12. 6. 6　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ A/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

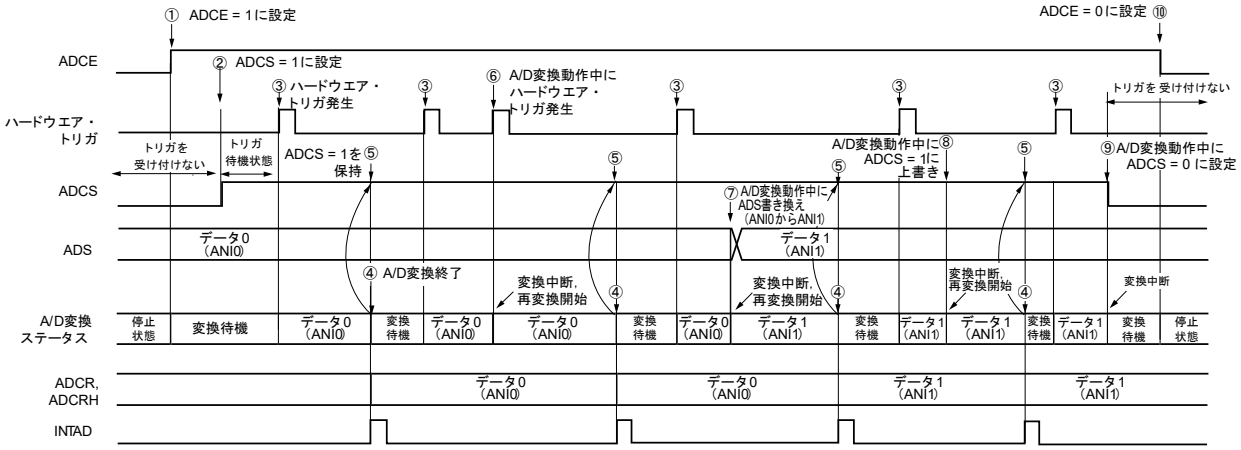
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－22　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



12. 6. 7　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

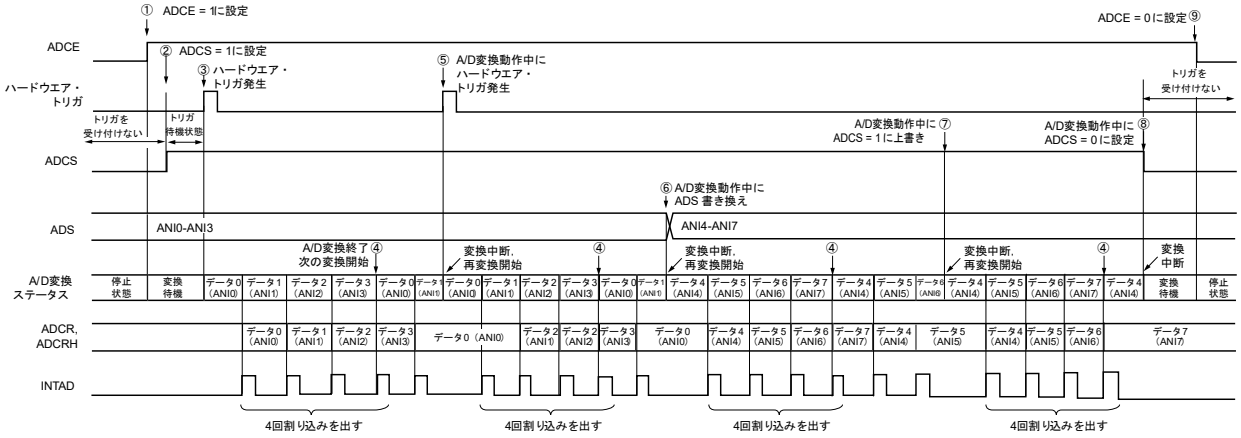
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図12－23　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



12. 6. 8 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ 4チャネルのA/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

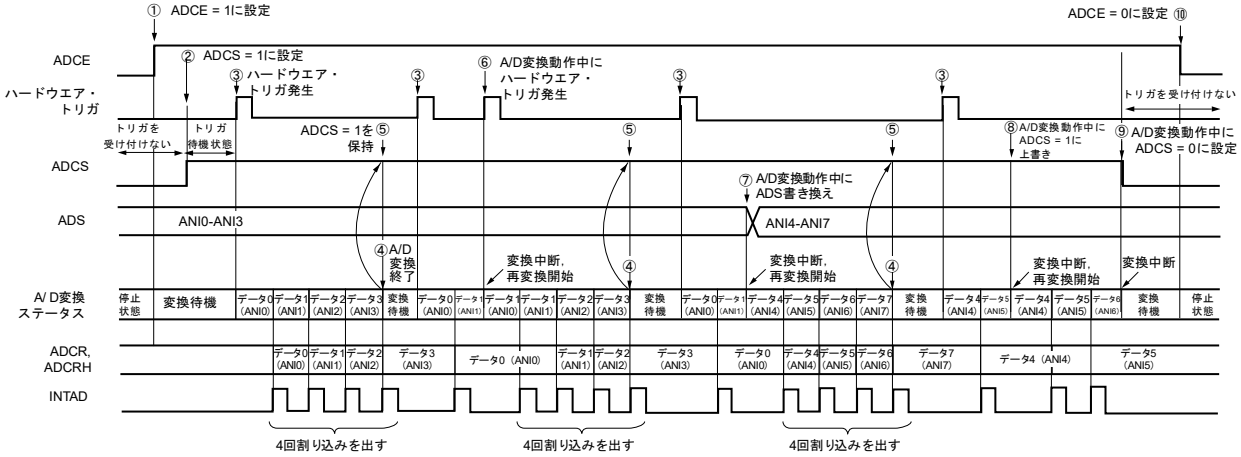
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態ではA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－24 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



12. 6. 9 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します（このとき，ハードウエア・トリガは不要です）。

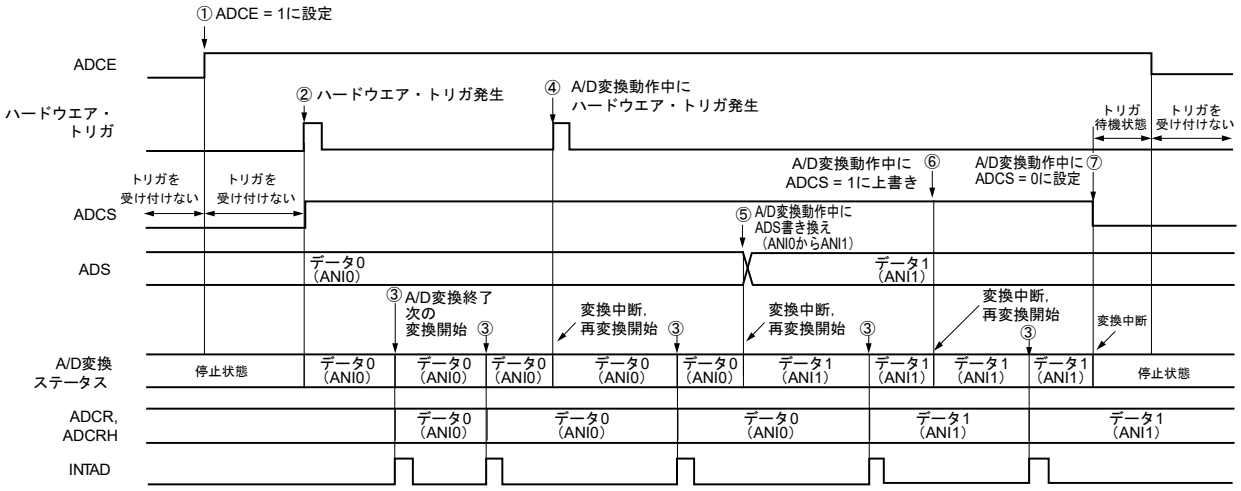
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－25 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



12. 6. 10 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

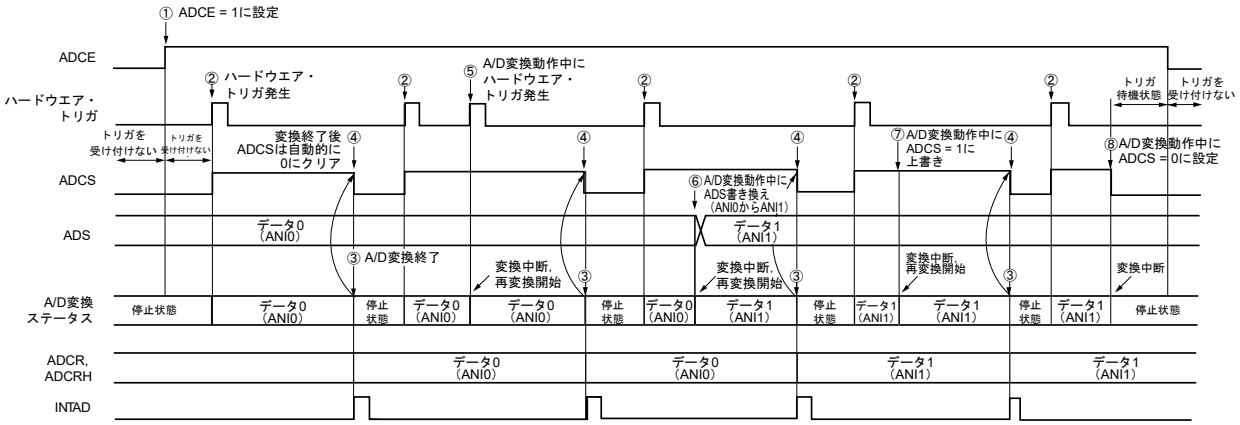
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは初期化されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－26 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



12. 6. 11 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

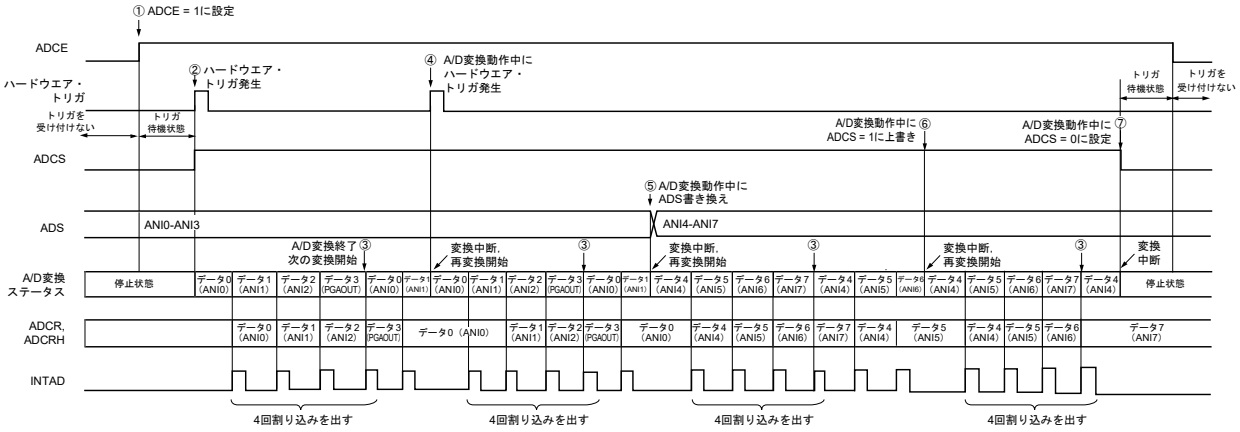
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－27 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



12. 6. 12　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

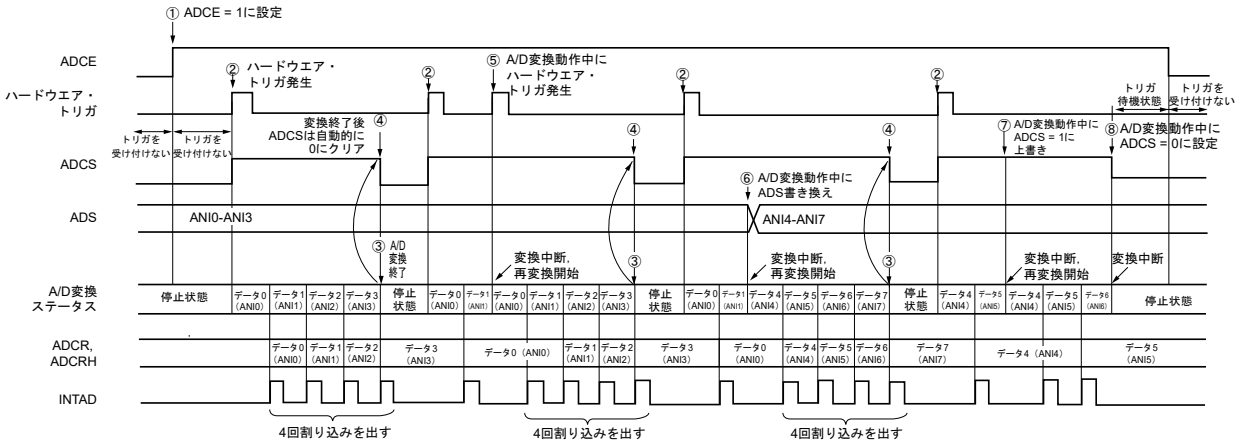
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－28　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例

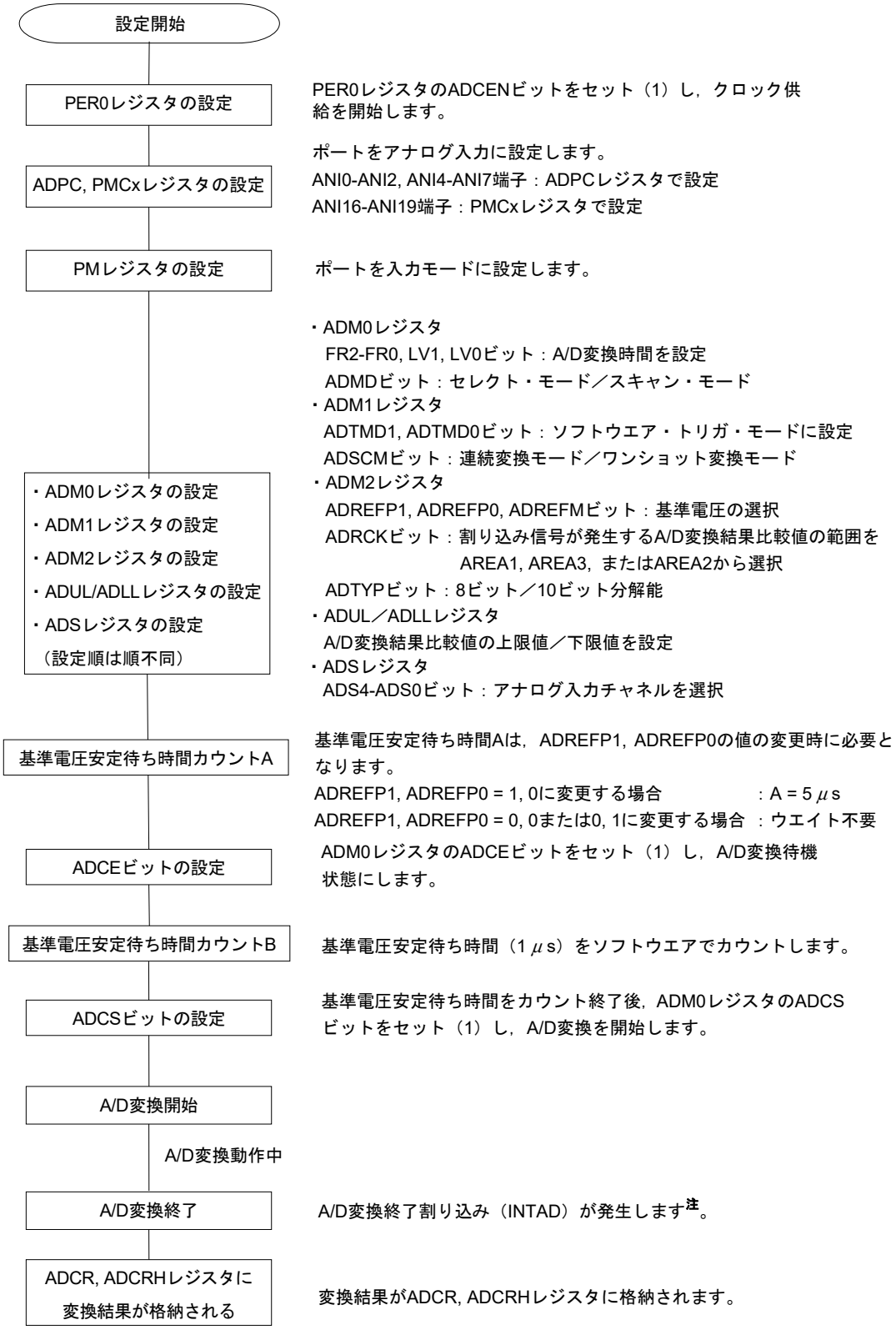


12. 7　A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

12. 7. 1　ソフトウエア・トリガ・モード設定

図12－29　ソフトウエア・トリガ・モード設定

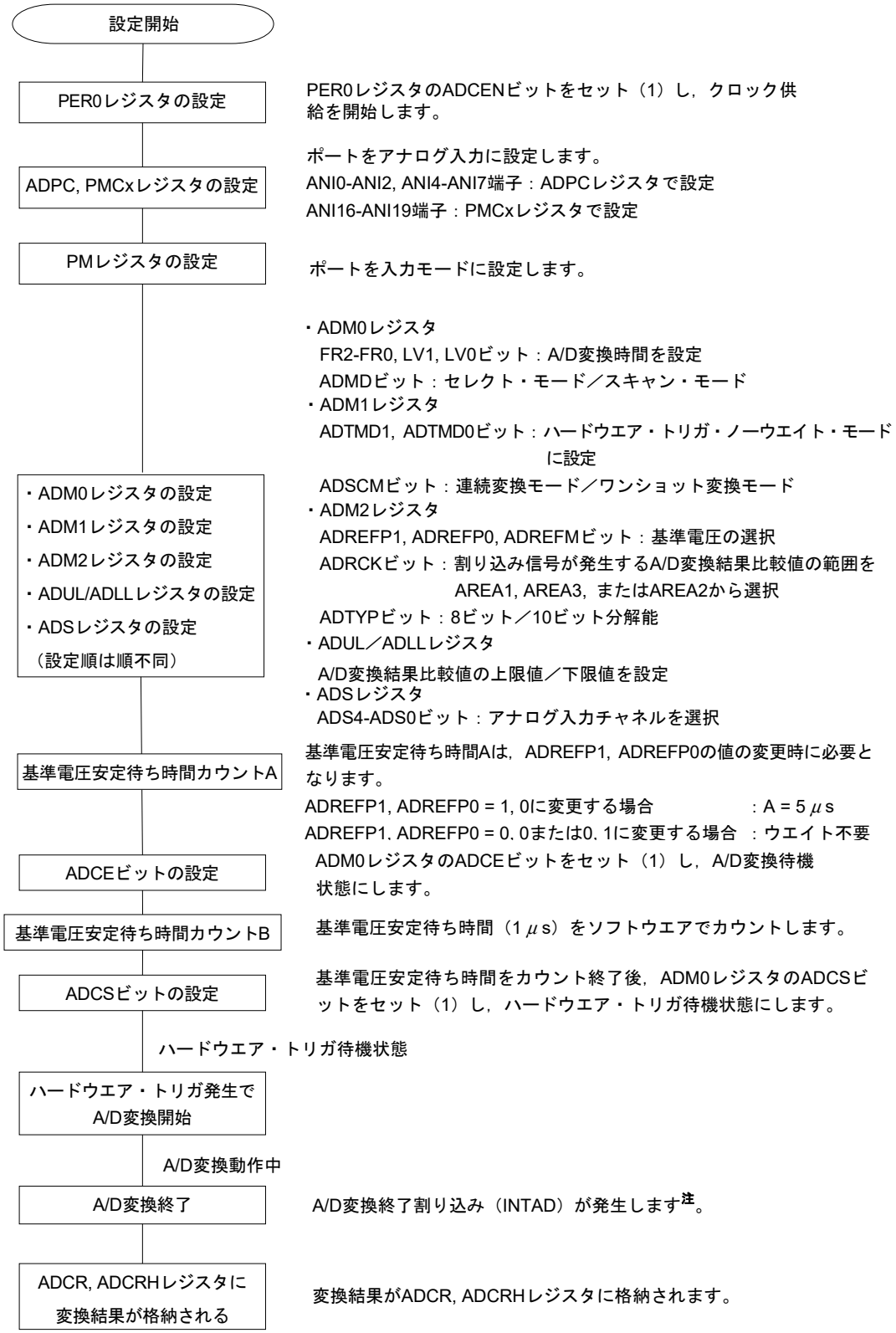


注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCRレジスタに結果は格納されません。

注意　**PGAOUTをアナログ入力として選択する場合，PGA動作設定後にADSレジスタを設定してください（第13章　プログラマブル・ゲイン・アンプ参照）。**

12. 7. 2　ハードウエア・トリガ・ノーウエイト・モード設定

図12－30　ハードウエア・トリガ・ノーウエイト・モード設定

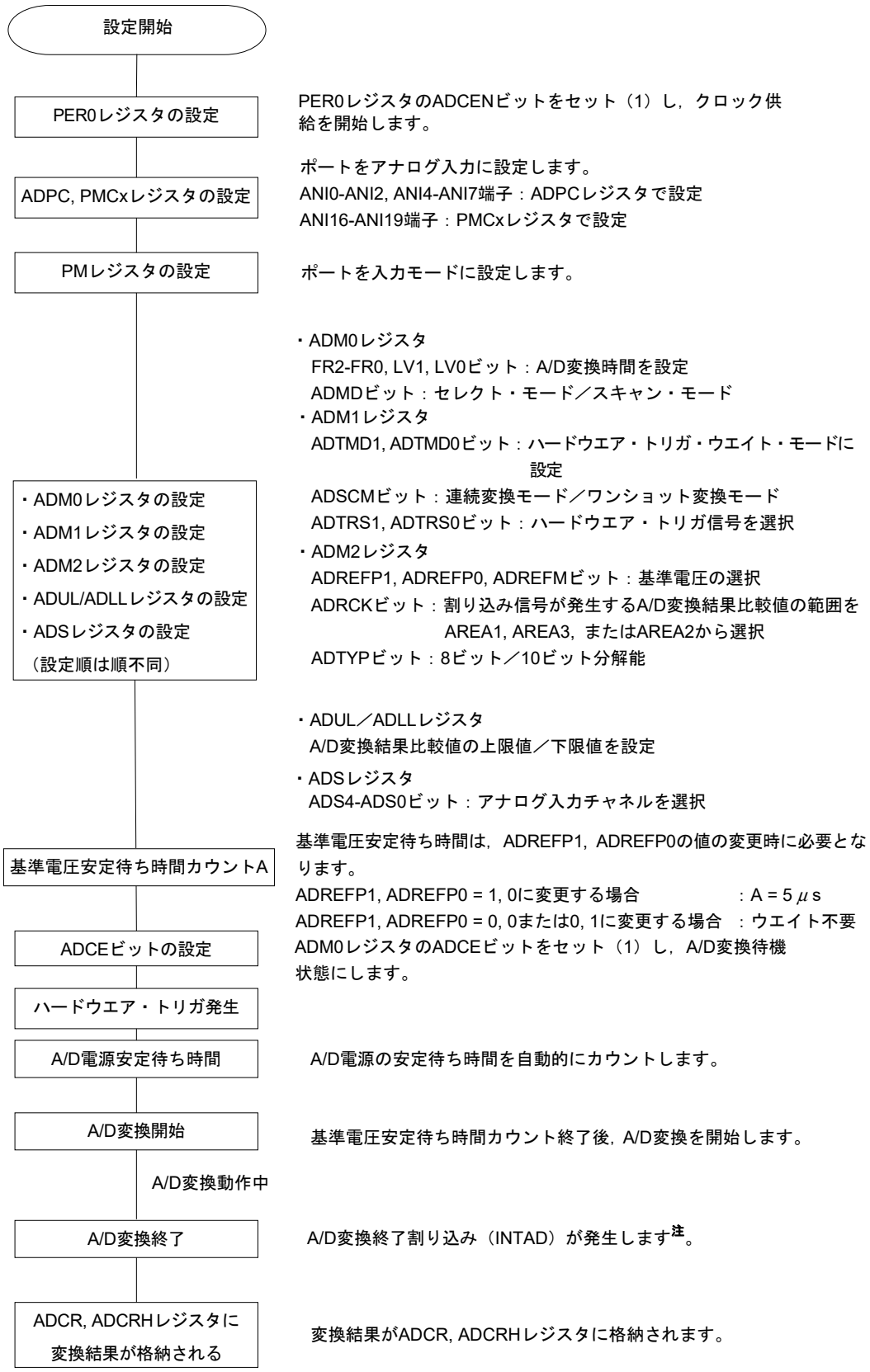


注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCRレジスタに結果は格納されません。

注意　PGAOUTをアナログ入力として選択する場合，PGA動作設定後にADSレジスタを設定してください（第13章　プログラマブル・ゲイン・アンプ参照）。

12. 7. 3　ハードウエア・トリガ・ウエイト・モード設定

図12－31　ハードウエア・トリガ・ウエイト・モード設定

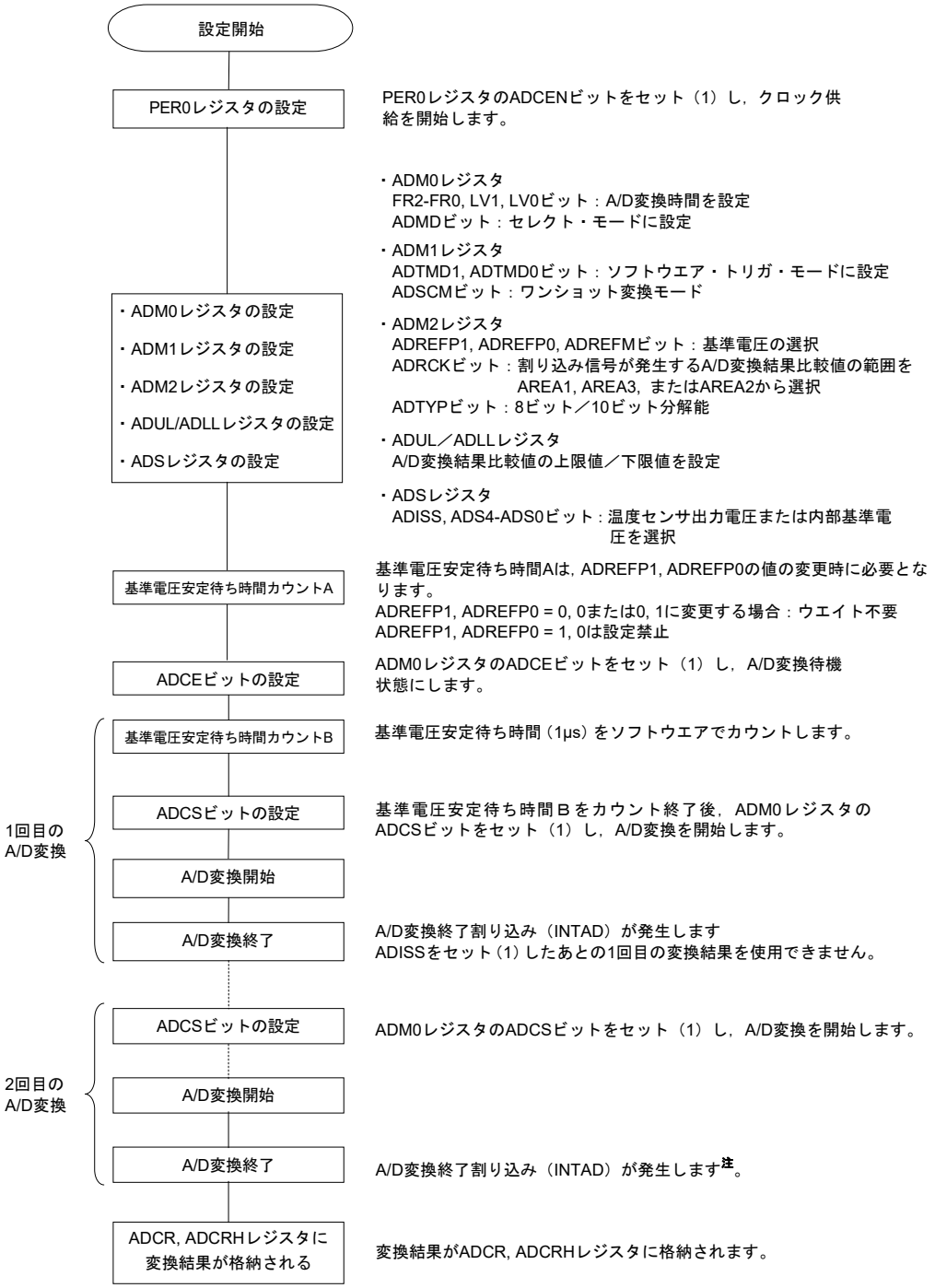


注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCRレジスタに結果は格納されません。

注意　PGAOUTをアナログ入力として選択する場合，PGA動作設定後にADSレジスタを設定してください（第13章　プログラマブル・ゲイン・アンプ参照）。

12. 7. 4　温度センサ出力電圧／内部基準電圧を選択時の設定（例　ソフトウエア・トリガ・モード時，ワンショット変換モード時）

図12－32　温度センサ出力電圧／内部基準電圧を選択時の設定

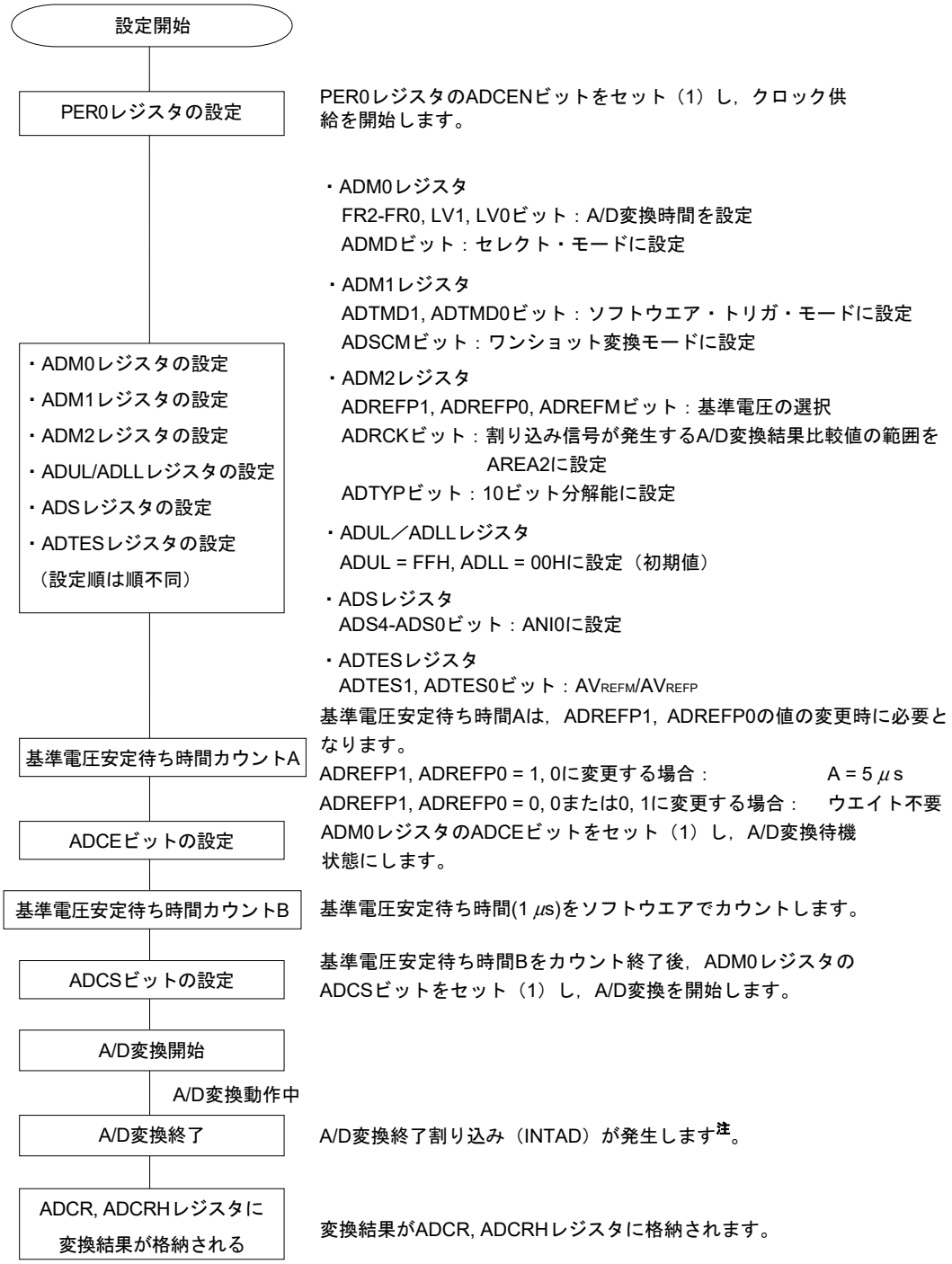


注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCRレジスタに結果は格納されません。

注意　HS（高速メイン）モードでのみ選択可能です。

12. 7. 5　テスト・モード設定

図12－33　テスト・モード設定



注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCRレジスタに結果は格納されません。

注意　A/Dコンバータのテスト方法については，25. 3. 8　A/Dテスト機能を参照してください。

12. 8　SNOOZEモード機能

STOPモード時にハードウエア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にはA/D変換動作を停止しますが，SNOOZEモード機能を使用することで，CPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

SNOOZEモードでは，ADUL, ADLLで変換結果の範囲を指定すれば，一定時間ごとにA/D変換結果の判断ができます。これにより，電源電圧監視やA/D入力による入力キーの判定などができます。

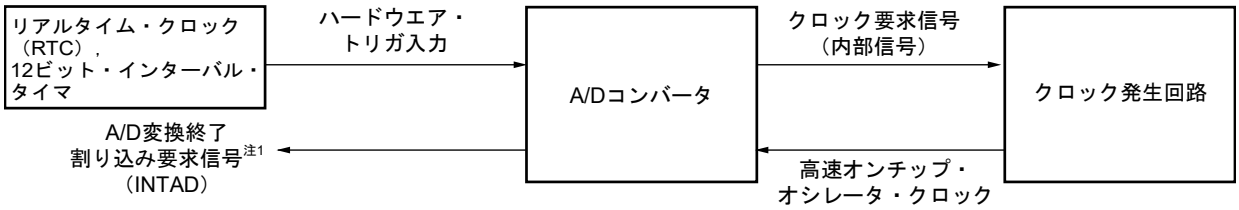
SNOOZEモードでは，次の2つの変換モードのみ使用可能です。

・ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）

・ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

注意　SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図12－34　SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は，STOPモードに移行する前に各レジスタの初期設定を行います（12. 7. 3　ハードウエア・トリガ・ウエイト・モード設定を参照注2）。STOPモード並行する直前に，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）に1を設定します。初期設定完了後，A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）に1を設定します。

STOPモードに移行後，ハードウエア・トリガが入力されると，高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後，A/D電源安定待ち時間が自動的にカウントされ，A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は，割り込み信号発生の有無によって異なります注1。

注1.　A/D変換結果比較機能の設定（ADRCKビット，ADUL/ADLLレジスタ）により，割り込み信号が発生しない場合があります。

2.　ADM1レジスタは必ずE2Hに設定してください。

備考　ハードウエア・トリガには，INTTM01, INTRTC, INTIT，タイマKB0-KB2 A/Dトリガ信号があります。
ハードウエア・トリガは，A/Dコンバータ・モード・レジスタ1（ADM1）で設定してください。

（1）A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲内の場合，A/D変換終了割り込み要求信号（INTAD）は発生します。

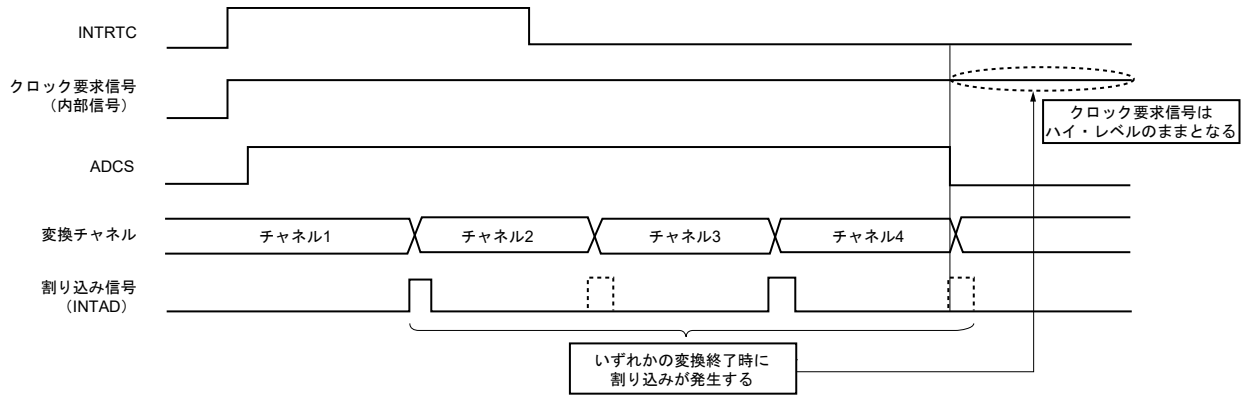
● セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると，A/Dコンバータは SNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0 : SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

● スキャン・モード時

4チャネル分のA/D変換で1回でもA/D変換終了割り込み要求信号（INTAD）が発生した場合， A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0 : SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

図12－35　A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



（2）A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

● セレクト・モード時

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

● スキャン・モード時

4チャネル分のA/D変換で1回もA/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，4チャネル分のA/D変換が終了した後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図12－36　A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）

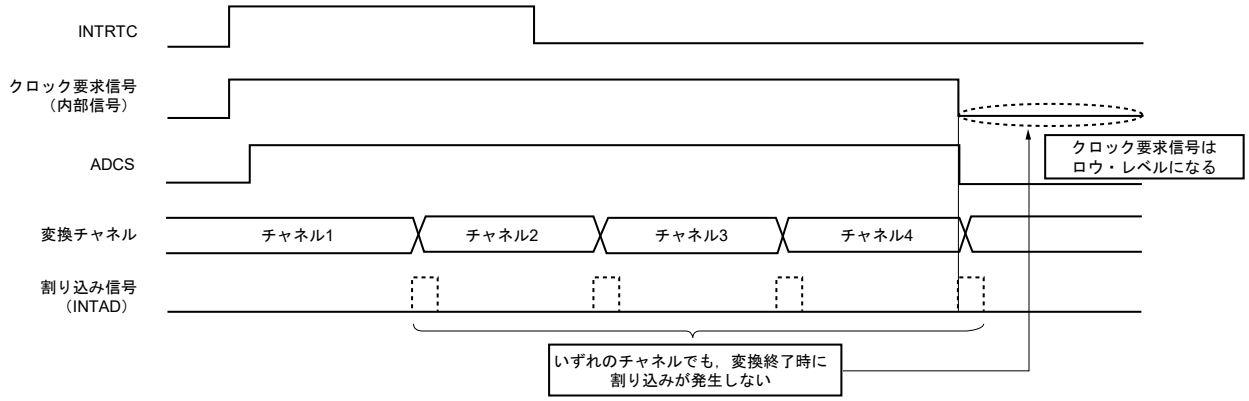
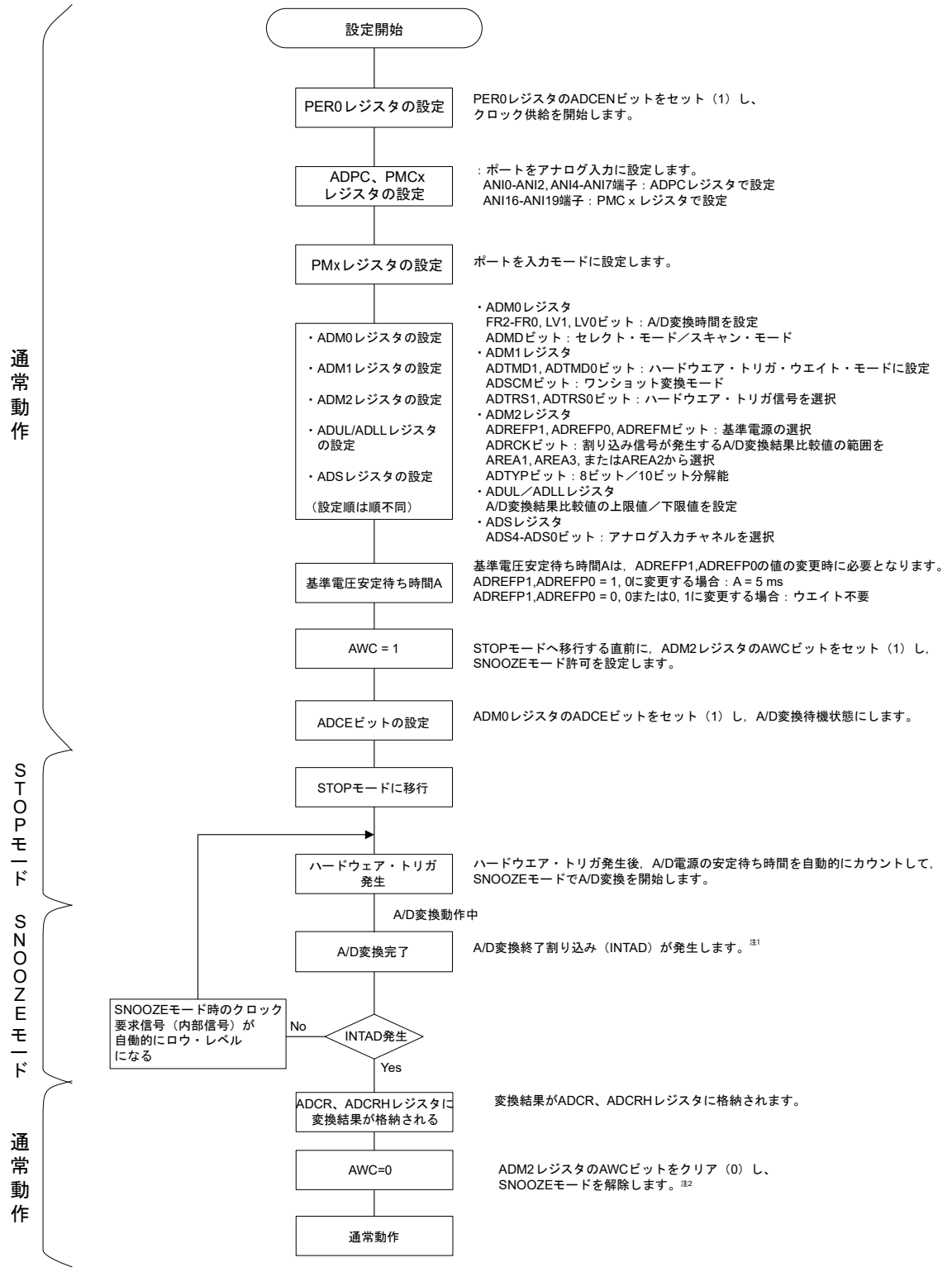


図12－37 SNOOZEモード設定のフローチャート



注 1. ADRCKビット，ADUL/ADLLレジスタの設定により，A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換動作を行います。

2. AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

12. 9　A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

（1）分 解 能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

$$1\ \mathrm{LSB} = 1/2^{10} = 1/1024$$
$$= 0.098\ \%\mathrm{FSR}$$

精度は分解能とは関係なく，総合誤差によって決まります。

（2）総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

（3）量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図12－38　総合誤差

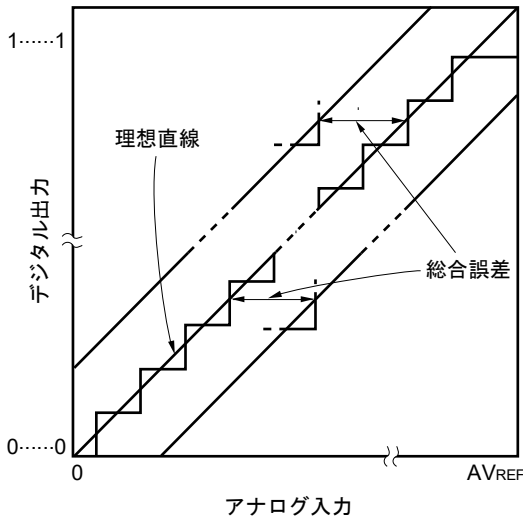
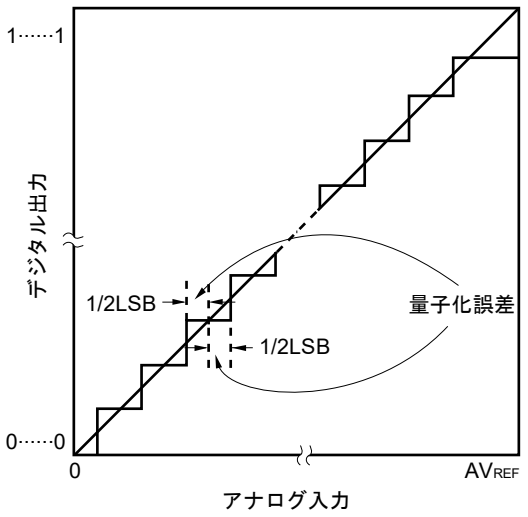


図12－39　量子化誤差



（4）ゼロスケール誤差

デジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は，デジタル出力が0……001から0……010に変化するときの，アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

（5）フルスケール誤差

デジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2 LSB）との差を表します。

（6）積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を表します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

（7）微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図12－40　ゼロスケール誤差

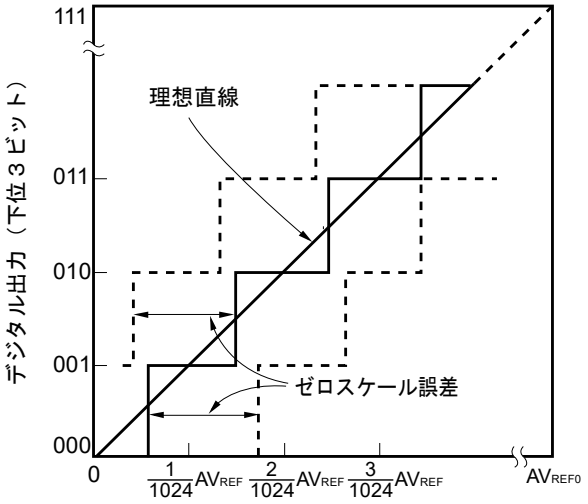


図12－41　フルスケール誤差

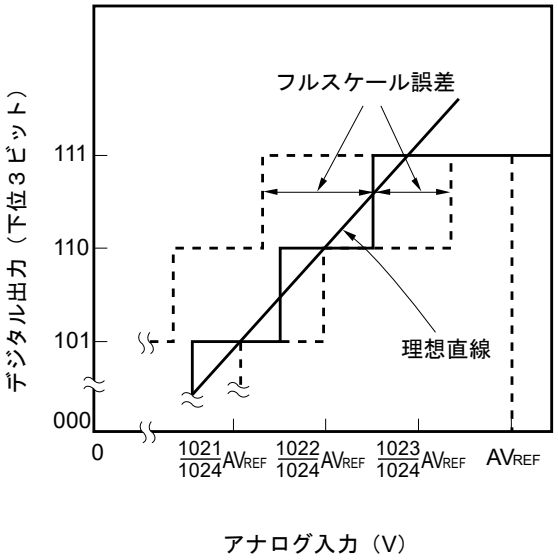


図12－42　積分直線性誤差

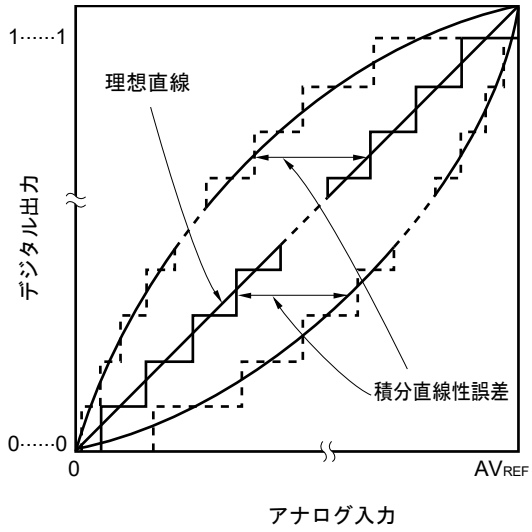
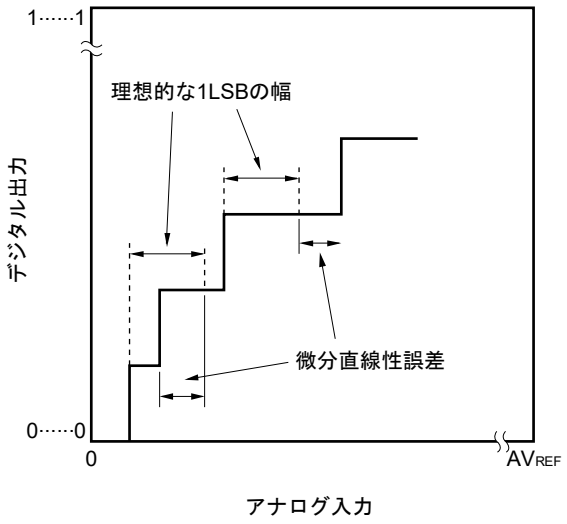


図12－43　微分直線性誤差



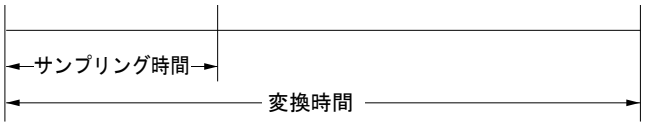
（8）変換時間

サンプリングを開始してから，デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

（9）サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



12. 10　A/Dコンバータの注意事項

（1）STOPモード時の動作電流について

STOPモードに移行する場合は，A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより，動作電流を低減させることができます。

スタンバイ状態から再度動作する場合，割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから，動作開始してください。

（2）ANI0-ANI2, ANI4-ANI7, ANI16-ANI19, PGAOUT端子入力範囲について

ANI0-ANI2，ANI4-ANI7，ANI16-ANI19，PGAOUT端子入力電圧は規格の範囲内でご使用ください。特にV_{DD}, AV_{REFP}以上，V_{SS}, AV_{REFM}以下（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

注意　内部基準電圧（1.45 V）は，HS（高速メイン）モードでのみ選択可能です。

（3）競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと，命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと，新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR，ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0（ADM0）へのライト，アナログ入力チャネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合

ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また，変換終了割り込み信号（INTAD）も発生しません。

（4）ノイズ対策について

10ビット分解能を保つためには，AV_{REFP}, V_{DD}, ANI0-ANI2, ANI4-ANI7, ANI16-ANI19端子へのノイズに注意する必要があります。

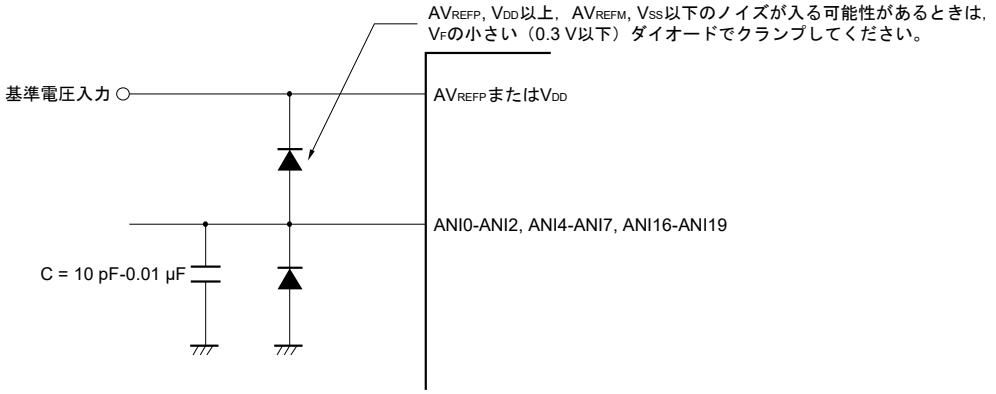
① 電源には等価抵抗が小さく，周波数応答のよいコンデンサ（0.01μF程度）を最短距離かつ，比較的太い配線を使ってを接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図12－44のようにコンデンサを外付けすることを推奨します。

③ 変換中においては，他の端子をスイッチングしないようにしてください。

③ 変換開始直後にHALTモードに設定すると，精度が向上します。

図12－44 アナログ入力端子の処理



（5）アナログ入力（ANIn）端子

① アナログ入力（ANI0-ANI2, ANI4-ANI7, ANI16-ANI19）端子は入力ポート（P20-P22, P24-P27, P03, P02, P147, P120）端子と兼用になっています。
ANI0-ANI2，ANI4-ANI7，ANI16-ANI19端子のいずれかを選択してA/D変換をする場合，変換中にP20-P22, P24-P27, P03, P02, P147, P120に対して出力値を変更しないでください。変換精度が低下することがあります。

② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると，カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は、デジタル信号の様に急激に変化するパルスが入出力されないようにしてください。

（6）アナログ入力（ANIn）端子の入力インピーダンスについて

このA/Dコンバータでは，サンプリング時間で内部のサンプリング・コンデンサに充電して，サンプリングを行っています。

したがって，サンプリング中以外はリーク電流だけであり，サンプリング中にはコンデンサに充電するための電流も流れるので，入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし，十分にサンプリングするためには，アナログ入力源の出力インピーダンスを1 kΩ以下にしてください。出力インピーダンスが1 kΩ以下にできないときはサンプリング時間を長く設定するかANI0-ANI2, ANI4-ANI7，ANI16-ANI19端子に0.1μF程度のコンデンサを付けることを推奨します（図12－44参照）。また，変換動作中にADCS=0に設定した場合および再変換を開始した場合は，サンプリング・コンデンサに充電された電圧は不定となります。そのため，ADCS=0を設定時は次の変換が，再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには，アナログ信号の変化の大きさによらず，アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

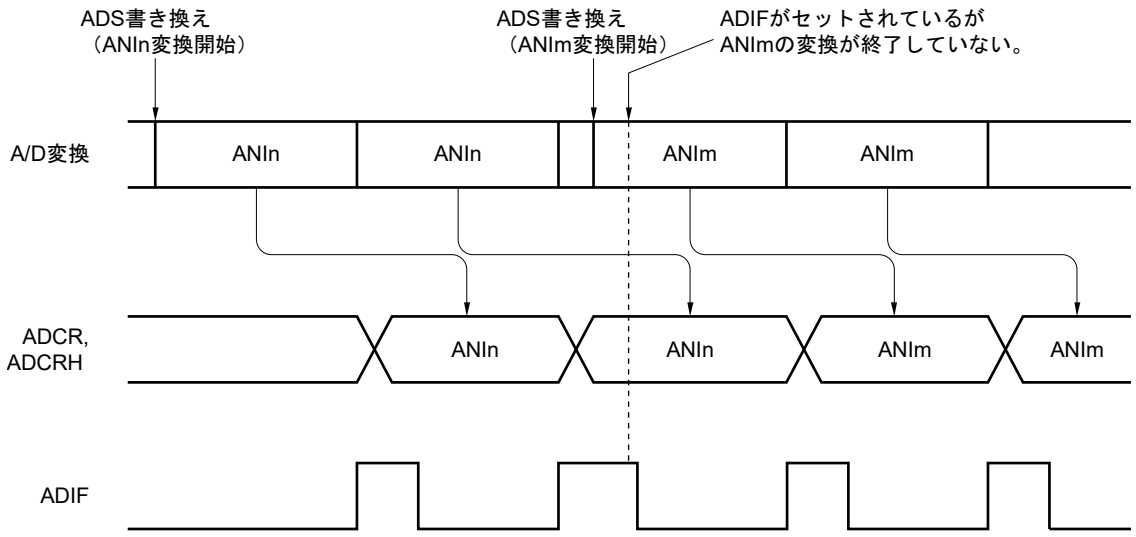
（7）割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）はクリア（0）されません。

したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADSレジスタ書き換え直前に，変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと，変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることになりますので注意してください。

また，A/D変換を一度停止させて再開する場合は，再開する前にADIFフラグをクリア（0）してください。

図12－45　A/D変換終了割り込み要求発生タイミング



（8）A/D変換スタート直後の変換結果について

ソフトウエア・トリガ・モード，ハードウエア・トリガ・ノーウエイト・モードでADCEビット ＝1にしてから，1 μs以内にADCSビット ＝1にした場合，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求（INTAD）をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。

（9）A/D変換結果レジスタ（ADCR, ADCRH）の読み出しについて

A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC），ポート・モード・コントロール・レジスタ（PMC）に対して書き込み動作を行ったとき，ADCR，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0，ADS，ADPC，PMCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

（10）内部等価回路について

アナログ入力部の等価回路を次に示します。

図12－46　ANIn端子内部等価回路

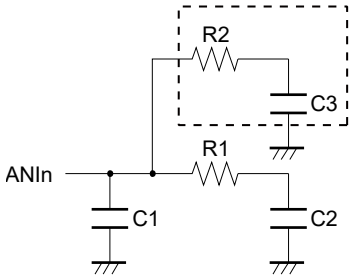


表12－4　等価回路の各抵抗と容量値（参考値）

AV_{REFP}, V_{DD}	ANIn端子	R1 [kΩ]	C1 [pF]	C2 [pF]
3.6 V≦V_{DD}≦5.5 V	ANI0-ANI2, ANI4-ANI7	14	8	2.5
	ANI16-ANI19	18	8	7.0
2.7 V≦V_{DD}≦3.6 V	ANI0-ANI2, ANI4-ANI7	39	8	2.5
	ANI16-ANI19	53	8	7.0

AV_{REFP}, V_{DD}	ANIn端子	R2/C3	MIN.	TYP.	MAX.
2.7 V≦V_{DD}≦5.5 V	ANI0, ANI1, ANI17, ANI19以外のANI端子	R2 [kΩ]	2		3200
		C3 [pF]			2

備考　表12－4の各抵抗と容量値は保証値ではありません。

（11）A/Dコンバータの動作開始について

A/Dコンバータの動作は，AV_{REFP}, V_{DD}の電圧が安定してから開始してください。

（12）PGAを使用する場合の注意事項

A/Dコンバータは，信号源およびアナログ電源（AV_{REFP}/AV_{REFM}）に入力されるノイズの影響を受けます。特に小さい電圧を信号源とするPGAを使用する場合，影響を大きく受ける可能性があります。ご使用の際は，周辺回路によるノイズ低減対策や，A/D変換タイミングおよび変換時間の調整などの対策を行い，十分にご評価の上でご使用ください。

第13章　プログラマブル・ゲイン・アンプ

RL78/I1Aは，プログラマブル・ゲイン・アンプを1回路搭載しています。
プログラマブル・ゲイン・アンプを使用できるアナログ入力チャネル数は，製品によって異なります。

	20ピン	30ピン，38ピン
★ アナログ入力チャネル	4 ch (ANI2/CMP0P, ANI4/CMP1P ANI5/CMP2P, ANI18/(CMP3P)/(CMPCOM))	6 ch (ANI2/CMP0P, ANI4/CMP1P-ANI7/CMP4P, ANI16/CMP5P, ANI18/CMPCOM)

注意　この章では，以降の主な説明を38ピン製品の場合で説明しています。

13. 1　プログラマブル・ゲイン・アンプの機能

プログラマブル・ゲイン・アンプには次の機能があります。

★ ・プログラマブル・ゲイン・アンプの入力は，CMP0P-CMP5P, CMPCOM端子の７つから選択可能
・増幅率を4通りから選択可能
・プログラマブル・ゲイン・アンプの出力信号をA/Dコンバータのアナログ入力として設定可能

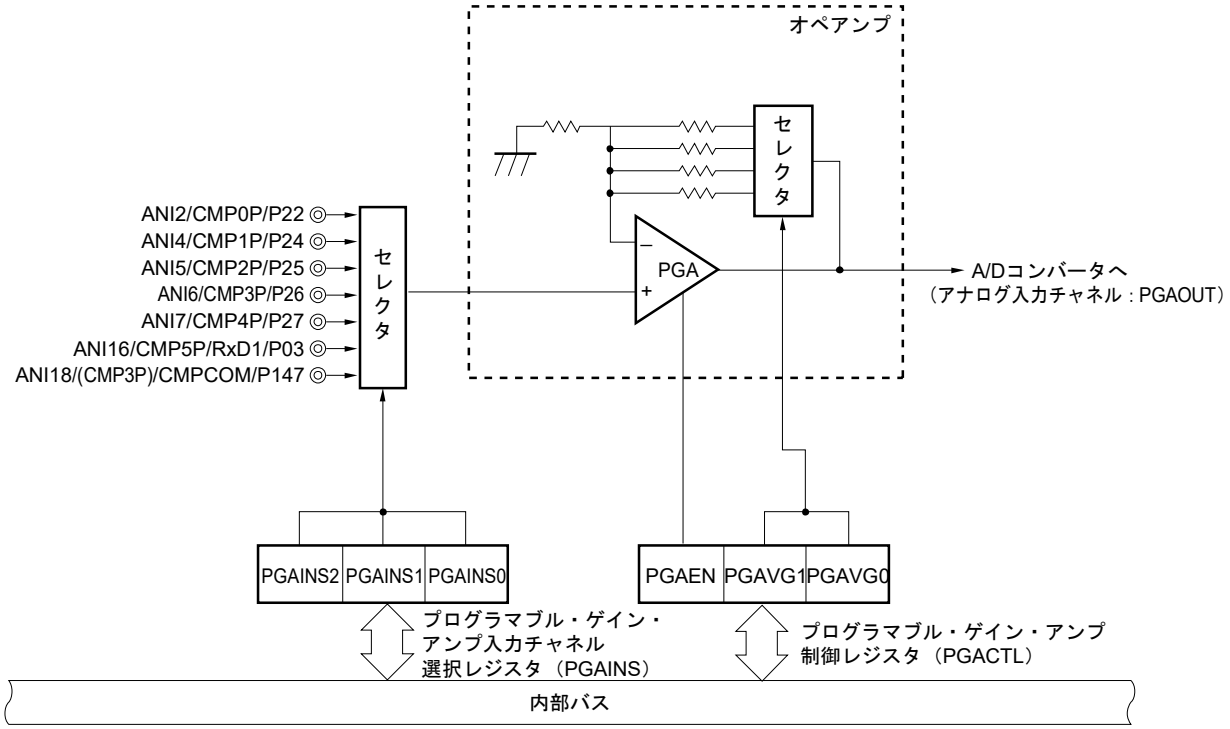
13. 2　プログラマブル・ゲイン・アンプの構成

プログラマブル・ゲイン・アンプは，次のハードウエアで構成されています。

表13－1　プログラマブル・ゲイン・アンプの構成

項　　目	構　　成
プログラマブル・ゲイン・アンプ本体	アナログ入力チャネル　最大6 ch
★ プログラマブル・ゲイン・アンプ入力	CMP0P-CMP5P, CMPCOM端子
制御レジスタ	周辺イネーブル・レジスタ2（PER2） プログラマブル・ゲイン・アンプ制御レジスタ（PGACTL） プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ（PGAINS） A/Dコンフィギュレーション・レジスタ（ADPC） ポート・モード・コントロール・レジスタ0, 14（PMC0, PMC14） ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14） コンパレータ・PGA内部基準電圧制御レジスタ（CVRCTL）

図13－1　プログラマブル・ゲイン・アンプのブロック図



13. 3　プログラマブル・ゲイン・アンプで使用するレジスタ

プログラマブル・ゲイン・アンプは，次の8種類のレジスタを使用します。

・周辺イネーブル・レジスタ2（PER2）
・プログラマブル・ゲイン・アンプ制御レジスタ（PGACTL）
・プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ（PGAINS）
・A/Dコンフィギュレーション・レジスタ（ADPC）
・ポート・モード・コントロール・レジスタ0, 14（PMC0, PMC14）
・ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14）
・コンパレータ・PGA内部基準電圧制御レジスタ（CVRCTL）

13. 3. 1　周辺イネーブル・レジスタ2（PER2）

PER2レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

プログラマブル・ゲイン・アンプを使用する場合は，必ずビット7（PGACMPEN）を1に設定してください。

PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER2レジスタは00Hになります。

図13－2　周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F0509H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER2	PGACMPEN	TKBPA2EN	TKBPA1EN	TKBPA0EN	TKC0EN	TKB2EN注	TKB1EN	TKB0EN

PGACMPEN	コンパレータ／プログラマブル・ゲイン・アンプの入力クロック供給の制御
0	入力クロック供給停止 ・コンパレータ／プログラマブル・ゲイン・アンプで使用するSFRへのライト不可 ・コンパレータ／プログラマブル・ゲイン・アンプはリセット状態
1	入力クロック供給 ・コンパレータ／プログラマブル・ゲイン・アンプで使用するSFRへのリード／ライト可

注　30ピン製品，38ピン製品のみ。

13. 3. 2　プログラマブル・ゲイン・アンプ制御レジスタ（PGACTL）

プログラマブル・ゲイン・アンプの動作を制御するレジスタです。

PGACTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図13－3　プログラマブル・ゲイン・アンプ制御レジスタ（PGACTL）のフォーマット

アドレス：F0550H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PGACTL	PGAEN	0	0	0	0	0	PGAVG1	PGAVG0

PGAEN	プログラマブル・ゲイン・アンプの動作制御
0	プログラマブル・ゲイン・アンプの動作停止
1	プログラマブル・ゲイン・アンプの動作許可

PGAVG1	PGAVG0	プログラマブル・ゲイン・アンプの増幅率選択
0	0	4倍
0	1	8倍
1	0	16倍
1	1	32倍

注意1. プログラマブル・ゲイン・アンプを使用する場合，CMP0P/ANI2/P22，CMP1P/ANI4/P24，CMP2P/ANI5/P25，CMP3P/ANI6/P26，CMP4P/ANI7/P27端子，PGAOUT端子（内部端子）をADPCレジスタでアナログ入力に選択してください。また，CMP5P/ANI16/RxD1/P03，CMPCOM/ANI18/P147をPMC0，PMC14レジスタでアナログ入力に選択してください。

2. プログラマブル・ゲイン・アンプ使用時に，プログラマブル・ゲイン・アンプで使用していないポート0およびポート2の端子を，デジタル入力として使用する場合，A/D変換精度の低下を防ぐため，デジタル入力ポートの入力レベルが固定になるようにしてください。

3. プログラマブル・ゲイン・アンプの動作を許可（PGAEN = 1）する前に増幅率を設定してください。動作許可状態（PGAEN = 1）での増幅率の設定変更は禁止です。

4. プログラマブル・ゲイン・アンプは，PGAEN = 1に設定後，動作安定待ち時間（4倍または8倍設定時=5 μs，16倍または32倍設定時=10 μs）が必要です。

13. 3. 3　プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ（PGAINS）

プログラマブル・ゲイン・アンプの入力チャネルを選択するレジスタです。

PGAINSレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図13－4　プログラマブル・ゲイン・アンプ入力チャネル選択レジスタ（PGAINS）のフォーマット

アドレス：F0551H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PGAINS	0	0	0	0	0	PGAINS2	PGAINS1	PGAINS0

PGAINS2	PGAINS1	PGAINS0	プログラマブル・ゲイン・アンプに入力するアナログ入力チャネル
0	0	0	ANI2/CMP0P
0	0	1	ANI4/CMP1P
0	1	0	ANI5/CMP2P
0	1	1	ANI6/CMP3P
1	0	0	ANI7/CMP4P
1	0	1	ANI16/CMP5P
1	1	0	ANI18/CMPCOM/(CMP3P注)
上記以外			設定禁止

注　コンパレータ入力切り替え制御レジスタ（CMPSEL）で選択します（20品製品のみ）。

注意　**PGAINSレジスタは，プログラマブル・ゲイン・アンプの動作停止中（PGAEN = 0）に設定してください。**

13. 3. 4　A/Dポート・コンフィギュレーション・レジスタ（ADPC）

ANI0/P20, ANI1/P21, ANI2/CMP0P/P22, ANI4/CMP1P/P24-ANI7/CMP4P/P27端子，PGAOUT端子（内部端子）を，A/Dコンバータ，プログラマブル・ゲイン・アンプ，コンパレータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

プログラマブル・ゲイン・アンプ，コンパレータを使用する場合，ANI2/CMP0P/P22, ANI4/CMP1P/P24-ANI7/CMP4P/P27端子，PGAOUT端子（内部端子）をADPCレジスタでアナログ入力に選択してください。

ADPCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図13－5　A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマット

アドレス：F0076H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力（A）／デジタル入出力（D）の切り替え							
				ANI7/ CMP4P/P27	ANI6/ CMP3P/P26	ANI5/ CMP2P/P25	ANI4/ CMP1P/P24	PGAOUT注	ANI2/ CMP0P/P22	ANI1/P21 AV_{REFM}	ANI0/P20/ AV_{REFP}
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	D	D	D	D	D	D	D	D
0	0	1	0	D	D	D	D	D	D	D	A
0	0	1	1	D	D	D	D	D	D	A	A
0	1	0	0	D	D	D	D	D	A	A	A
0	1	0	1	D	D	D	D	A	A	A	A
0	1	1	0	D	D	D	A	A	A	A	A
0	1	1	1	D	D	A	A	A	A	A	A
1	0	0	0	D	A	A	A	A	A	A	A
1	0	0	1	A	A	A	A	A	A	A	A
1	1	1	1	A	A	A	A	A	A	A	A
上記以外				設定禁止							

注　プログラマブル・ゲイン・アンプの内部出力端子です。プログラマブル・ゲイン・アンプの出力信号をA/Dコンバータのアナログ入力チャネルとして使用する場合は，ADPC = 0000Bまたは0101B以上に設定してください。

注意1.　A/D変換で使用するチャネルは，ポート・モード・レジスタ2（PM2）で入力モードに選択してください。

2.　ADPCレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。

13. 3. 5　ポート・モード・コントロール・レジスタ0, 14（PMC0, PMC14）

ポート0, 14のデジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ANI16/CMP5P/RxD1/P03，ANI18/CMPCOM/P147端子をアナログ入力と使用する場合はPMC03, PMC147ビットを1に設定します。

PMC0, PMC14レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図13－6　ポート・モード・コントロールレジスタ0, 14（PMC0, PMC14）のフォーマット

アドレス：F0060H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PMC0	1	1	1	1	PMC03	PMC02	1	1

アドレス：F006EH　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PMC14	PMC147	1	1	1	1	1	1	1

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択（mn = 02, 03, 147）
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入力

13. 3. 6　ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14）

ANI2/CMP0P/P22，ANI4/CMP1P/P24- ANI7/CMP4P/P27，ANI16/CMP5P/RxD1/P03，ANI18/CMPCOM/P147端子をアナログ入力ポートとして使用するとき，PM22，PM24-PM27，PM03，PM147ビットにそれぞれ1を設定してください。このときP22，P24-P27，P03，P147の出力ラッチは，0または1のどちらでもかまいません。

PM22, PM24-PM27, PM03, PM147ビットにそれぞれ0を設定した場合は，アナログ入力ポートとして使用することはできません。

PM0, PM2, PM14レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

注意　アナログ入力ポートとして設定した端子を読み出した場合は，PM×× ＝1の場合でも，端子レベルではなく常に0が読み出されます。

図13－7　ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14）のフォーマット（38ピン製品の場合）

アドレス：FFF20H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	1	PM03	PM02	1	1

アドレス：FFF22H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	1	PM22	PM21	PM20

アドレス：FFF2EH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM14	PM147	1	1	1	1	1	1	1

PMmn	Pmn端子の入出力モードの選択（m = 0, 2, 14; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　PM0レジスタのビット0，1，4，7，PM2レジスタのビット3，PM14レジスタのビット0-6には必ず1を設定してください。

30, 20ピン製品は，下記のビットをリセット解除後ソフトウエアで出力モード（ポート・レジスタとポート・モード・レジスタに0を設定）に設定する必要があります。

30ピン製品：PM0レジスタのビット5, 6

20ピン製品：PM0レジスタのビット2, 3, 5, 6，PM2レジスタのビット6, 7

備考　上記は，38ピン製品のポート・モード・レジスタ0, 2, 14のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては，表4－3　各製品で搭載しているPMxx，Pxx，PUxx，PIMxx, POMxx, PMCxxレジスタとそのビットを参照してください。

ANI2/CMP0P/P22, ANI4/CMP1P/P24- ANI7/CMP4P/P27端子，PGAOUT/P23端子（内部端子）の機能は，A/Dポート・コンフィギュレーション・レジスタ（ADPC），PM2レジスタの設定で決定します。

表13－2　ANI2/CMP0P/P22, ANI4/CMP1P/P24- ANI7/CMP4P/P27端子，PGAOUT/P23端子（内部端子）機能の設定

ADPC	PM2	ANI2/CMP0P/P22, ANI4/CMP1P/P24- ANI7/CMP4P/P27端子, PGAOUT/P23端子（内部端子）
デジタル入出力選択	入力モード	デジタル入力
	出力モード	デジタル出力
アナログ入力選択	入力モード	アナログ入力
	出力モード	設定禁止

また，ANI16/CMP5P/RxD1/P03, ANI18/CMPCOM/P147端子の機能は，ポート・モード・コントロール・レジスタ0, 14（PMC0, PMC14），PM0, PM14レジスタの設定で決定します。

表13－3　ANI16/CMP5P/RxD1/P03, ANI18/CMPCOM/P147端子機能の設定

PMC0, PMC14	PM0, PM14	ANI16/CMP5P/RxD1/P03, ANI18/CMPCOM/P147端子
デジタル入出力選択	入力モード	デジタル入力
	出力モード	デジタル出力
アナログ入力選択	入力モード	アナログ入力
	出力モード	設定禁止

13. 3. 7　コンパレータ・PGA内部基準電圧制御レジスタ（CVRCTL）

コンパレータの内部基準電圧の動作制御，また内部基準電圧，コンパレータ／プログラマブル・ゲイン・アンプのGNDを選択するレジスタです。

内部基準電圧は，CVREmビットで，許可／停止を行います。

CVRCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図13－8　コンパレータ・PGA内部基準電圧制御レジスタ（CVRCTL）のフォーマット

アドレス：F0560 H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CVRCTL	0	0	CVRVS1	CVRVS0	0	CVRE2	CVRE1	CVRE0

CVRVS1	内部基準電圧，プログラマブル・ゲイン・アンプのGND選択
0	V_{SS}
1	AV_{REFM}

CVRVS0	内部基準電圧の電源選択
0	V_{DD}
1	AV_{REFP}

CVREm	内部基準電圧（DAm）生成の動作制御
0	動作停止
1	動作許可

注意1.　CVREmビット設定後には安定待ち時間（10 μs）が必要になります。

2.　CVRVS1, CVRVS0ビットの書き換えは，内部基準電圧を動作停止中（CVREm = 0）に行ってください。また，CVRVS1ビットの書き換えは，プログラマブル・ゲイン・アンプの動作停止中（PGACTLレジスタのPGAEN = 0）に行ってください。

備考　m = 0-2

13. 4　プログラマブル・ゲイン・アンプの動作

CMP0P-CMP5P，CMPCOM端子から入力されたアナログ電圧を，マイコン内部で増幅します。増幅率は4種類（4倍／8倍／16倍／32倍）から選択できます。

増幅した電圧は，A/Dコンバータのアナログ入力として使用することができます。

プログラマブル・ゲイン・アンプの動作開始手順を次に示します。

① ADPCレジスタ，PMC0，PMC14レジスタで，プログラマブル・ゲイン・アンプで使用する端子（CMP0P-CMP5P, CMPCOM）を，アナログ入力に設定
② PM0，PM2，PM14レジスタで，プログラマブル・ゲイン・アンプで使用する端子（CMP0P-CMP5P, CMPCOM）を，入力モードに設定
③ PGAVG0, PGAVG1ビットで，増幅率（4倍／8倍／16倍／32倍）を選択
④ PGAINS0-PGAINS2ビットで，プログラマブル・ゲイン・アンプに入力する端子を選択
⑤ ADSレジスタで入力ソースにPGAOUTを選択
⑥ PGAENビットをセット（1）し，プログラマブル・ゲイン・アンプの動作を許可

13. 5　プログラマブル・ゲイン・アンプの設定手順

図13－9　プログラマブル・ゲイン・アンプ（PGA）動作設定フロー・チャート
（PGA出力をA/Dのアナログ入力として使用する場合）

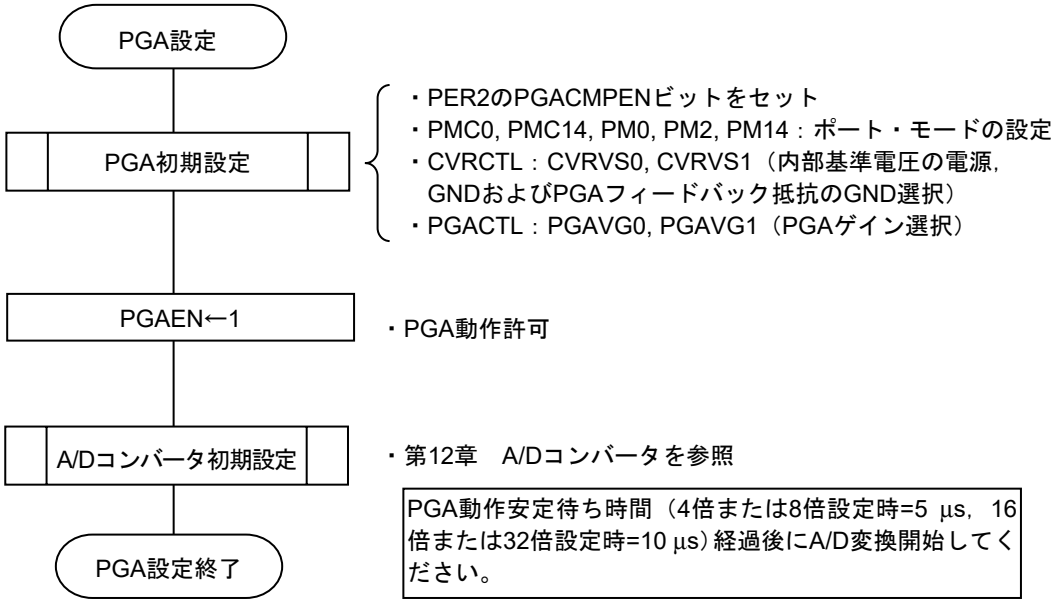
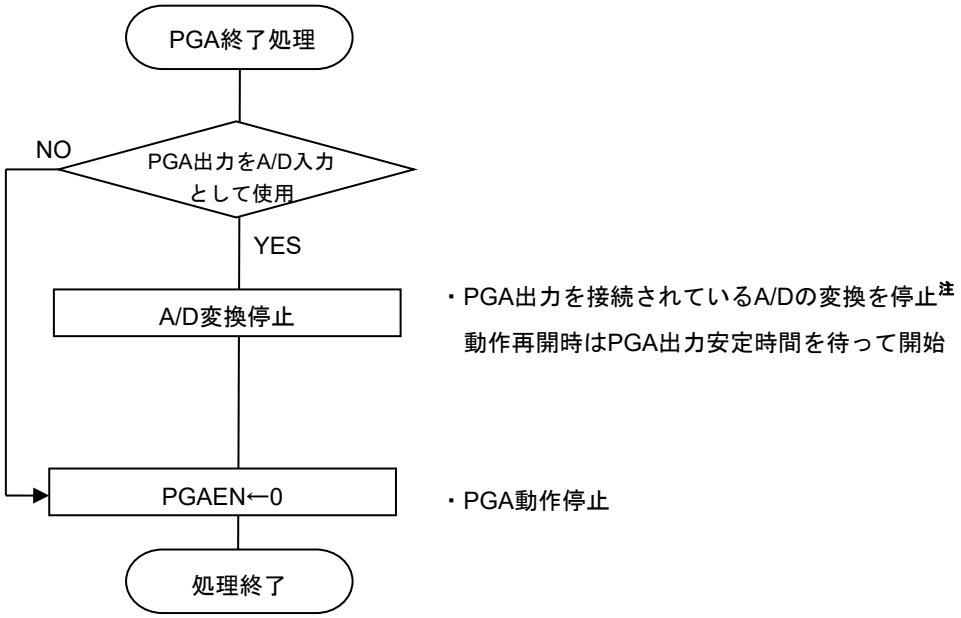


図13－10　プログラム・ゲイン・アンプ終了フロー



・PGA出力が接続されるA/Dの切り替え，また動作再開する場合は，PGA終了フロー実行後に動作設定フローを行ってください。

注　PGA出力が接続されていないA/Dの変換は可能です。

第14章　コンパレータ

コンパレータのチャネル数は，製品によって異なります。

	20ピン	30ピン，38ピン
チャネル （アナログ入力 チャネル）	4 ch (ANI2/CMP0P, ANI4/CMP1P ANI5/CMP2P, ANI18/(CMP3P)/(CMPCOM))	6 ch (ANI2/CMP0P, ANI4/CMP1P-ANI7/CMP4P, ANI16/CMP5P, ANI18/CMPCOM)

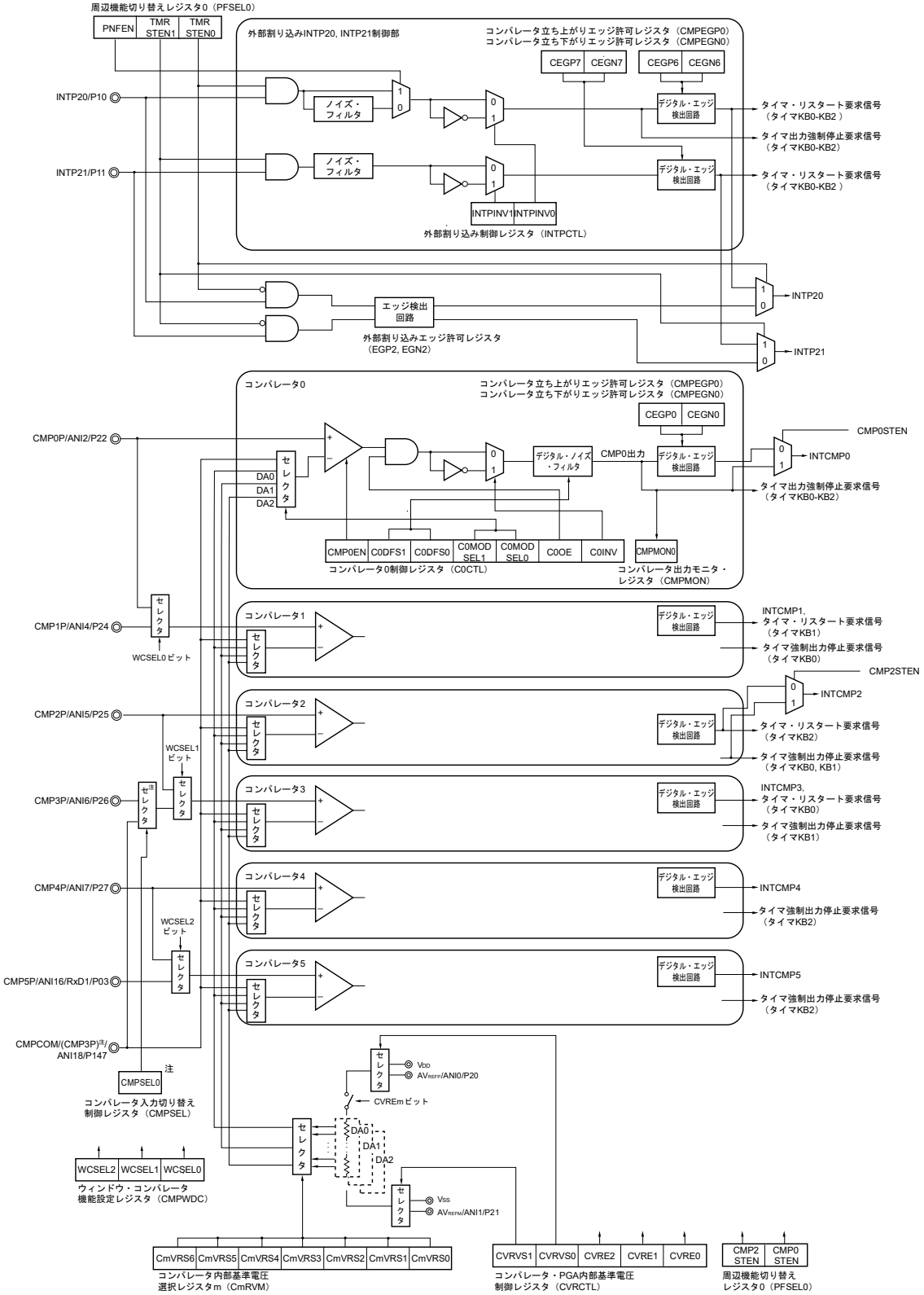
注意　この章では，以降の主な説明を38ピン製品の場合で説明しています。

14. 1　コンパレータの機能

コンパレータには次の機能があります。

・6チャネル搭載（コンパレータ0～5）
・次の基準電圧を選択することができます。
　① 内部基準電圧：3本（V_{DD}/AV_{REFP}，V_{SS}/AV_{REFM}を基準とする256分解能）
　② 外部基準電圧入力端子（CMPCOM）からの入力電圧
・コンパレータ出力の有効エッジを検出し，割り込み信号を発生することができます。有効エッジは，CEGPnビットとCEGNnビット（n = 0-5）で設定可能です。
・コンパレータの出力は，16ビット・タイマKB0, KB1, KB2のPWM出力，タイマ・カウンタのリセットとして使用可能です（第7章　16ビット・タイマKB0, KB1, KB2を参照）。
・ノイズ除去デジタル・フィルタの除去幅が選択可能
・ウィンドウ・コンパレータ機能（コンパレータ0と１，コンパレータ2と3，コンパレータ4と5）
　2つのコンパレータに1つの入力電圧を選択することにより，1つの入力電圧を2つの基準電圧と比較する機能です。

図14－1　コンパレータのブロック図



注　20ピン製品のみ。30ピン，　38ピン製品は，デフォルトでANI16/CMP3P/P26が選択されます。

注意　**INTP20, INTP21，コンパレータをタイマKB強制出力停止機能，タイマKBリスタート機能に使用する場合は，14. 5　タイマKB連動機能仕様時の注意事項を参照してください。**

備考　m = 0-2

14. 2　コンパレータの構成

コンパレータは，次のハードウエアで構成しています。

表14－1　コンパレータの構成

項　　目	構　　成
コンパレータ本体	コンパレータ　最大6 ch
基準電圧発生回路	内部3本および外部CMPCOM入力
ノイズ・フィルタ	ノイズ除去デジタル・フィルタ
制御レジスタ	周辺イネーブル・レジスタ2（PER2） コンパレータn制御レジスタ（CnCTL） コンパレータ・PGA内部基準電圧制御レジスタ（CVRCTL） コンパレータ内部基準電圧選択レジスタm（CmRVM） コンパレータ立ち上がりエッジ許可レジスタ0（CMPEGP0） コンパレータ立ち下がりエッジ許可レジスタ0（CMPEGN0） コンパレータ出力モニタ・レジスタ（CMPMON） ウィンドウ・コンパレータ機能設定レジスタ（CMPWDC） コンパレータ入力切り替え制御レジスタ（CMPSEL）（20ピン製品のみ） 外部割り込み制御レジスタ（INTPCTL） 周辺機能切り替えレジスタ0（PFSEL0） A/Dコンフィギュレーション・レジスタ（ADPC） ポート・モード・コントロール・レジスタ0, 14（PMC0, PMC14） ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14）

14. 3　コンパレータを制御するレジスタ

コンパレータは，次の14種類のレジスタを使用します。

・周辺イネーブル・レジスタ2（PER2）
・コンパレータn制御レジスタ（CnCTL）
・コンパレータ・PGA内部基準電圧制御レジスタ（CVRCTL）
・コンパレータ内部基準電圧選択レジスタm（CmRVM）
・コンパレータ立ち上がりエッジ許可レジスタ0（CMPEGP0）
・コンパレータ立ち下がりエッジ許可レジスタ0（CMPEGN0）
・コンパレータ出力モニタ・レジスタ（CMPMON）
・ウィンドウ・コンパレータ機能設定レジスタ（CMPWDC）
・コンパレータ入力切り替え制御レジスタ（CMPSEL）（20ピン製品のみ）
・外部割り込み制御レジスタ（INTPCTL）
・A/Dコンフィギュレーション・レジスタ（ADPC）
・周辺機能切り替えレジスタ0（PFSEL0）
・ポート・モード・コントロール・レジスタ0, 14（PMC0, PMC14）
・ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14）

備考　n = 0-5, m = 0-2

14. 3. 1　周辺イネーブル・レジスタ2（PER2）

PER2レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

コンパレータを使用する場合は，必ずビット7（PGACMPEN）を1に設定してください。

PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER2レジスタは00Hになります。

図14－2　周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F0509H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER2	PGACMPEN	TKBPA2EN	TKBPA1EN	TKBPA0EN	TKC0EN	TKB2EN注	TKB1EN	TKB0EN

PGACMPEN	コンパレータ／プログラマブル・ゲイン・アンプの入力クロック供給の制御
0	入力クロック供給停止 ・コンパレータ／プログラマブル・ゲイン・アンプで使用するSFRへのライト不可 ・コンパレータ／プログラマブル・ゲイン・アンプはリセット状態
1	入力クロック供給 ・コンパレータ／プログラマブル・ゲイン・アンプで使用するSFRへのリード／ライト可

注　30ピン製品，　38ピン製品のみ。

14. 3. 2　コンパレータn制御レジスタ（CnCTL）

コンパレータnの動作制御，コンパレータ出力許可／禁止，出力反転，ノイズ除去幅，基準電圧を設定するレジスタです。

CnCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

備考　n = 0-5

図14－3　コンパレータn制御レジスタ（CnCTL）のフォーマット（1/2）

アドレス：F0552H（C0CTL），F0553H（C1CTL），F0554H（C2CTL）　リセット時：00H　R/W
F0555H（C3CTL），F0556H（C4CTL），F0557H（C5CTL）

略号	7	6	5	4	3	2	1	0
CnCTL	CMPnEN	CnDFS1	CnDFS0	CnMODSEL1	CnMODSEL0	0	CnOE	CnINV

CMPnEN	コンパレータnの動作制御
0	動作停止 コンパレータnの出力信号はロウ・レベル
1	動作許可 コンパレータnの入力許可

図14－3　コンパレータn制御レジスタ（CnCTL）のフォーマット（2/2）

アドレス：F0552H（C0CTL），F0553H（C1CTL），F0554H（C2CTL）　リセット時：00H　R/W
F0555H（C3CTL），F0556H（C4CTL），F0557H（C5CTL）

略号	7	6	5	4	3	2	1	0
CnCTL	CMPnEN	CnDFS1	CnDFS0	CnMODSEL1	CnMODSEL0	0	CnOE	CnINV

CnDFS1	CnDFS0	ノイズ除去幅設定
0	0	ノイズ・フィルタ未使用
0	1	$2^3/f_{CLK}$, $2^3/f_{PLL}$注（f_{PLL} = 64 MHzの場合，125～187.5 ns）
1	0	$2^4/f_{CLK}$, $2^4/f_{PLL}$注（f_{PLL} = 64 MHzの場合，250～375 ns）
1	1	$2^5/f_{CLK}$, $2^5/f_{PLL}$注（f_{PLL} = 64 MHzの場合，500～750 ns）

CnMODSEL1	CnMODSEL0	基準電圧の選択
0	0	内部基準電圧：DA0
0	1	内部基準電圧：DA1
1	0	内部基準電圧：DA2
1	1	外部基準電圧：CMPCOM

CnOE	コンパレータ出力許可／禁止
0	コンパレータ出力禁止（タイマ強制出力停止要求信号の出力禁止（出力信号 = ロウ固定））
1	コンパレータ出力許可（タイマ強制出力停止要求信号の出力許可）

CnINV	出力反転設定
0	正転
1	反転

注　PLLコントロール・レジスタ（PLLCTL）のPLLON = 1のときは，f_{PLL}が供給されます。

注意1.　CnDFS1, CnDFS0, CnMODSEL1, CnMODSEL0, CnINVビットの書き換えは，コンパレータnの出力を禁止状態（CnOE = 0）にしたあと行ってください。また，CnMODSEL1, CnMODSEL0ビットの書き換えは，コンパレータ動作停止中（CMPnEN = 0）に行ってください。

2.　ノイズ除去幅は，設定値よりCPU／周辺ハードウエア・クロック周波数（f_{CLK}）または，PLL出力クロック（f_{PLL}）の1クロック分多く除去されることがあります。

3.　コンパレータ出力ノイズの間隔が，「設定したノイズ除去幅＋1クロック」以内の場合，不正な波形を出力する可能性があります。

4.　内部基準電圧を使用する場合，コンパレータ動作を許可（CMPnEN = 1）する前に，内部基準電圧の動作を許可（CVREn = 1）に設定してください。

5.　コンパレータ動作を許可（CMPnEN = 1）に設定後，動作安定待ち時間（3.3 V～5.5 V時 = 1 μs, 2.7 V～3.3 V時 = 3μs）が必要です。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　n = 0-5

14. 3. 3　コンパレータPGA内部基準電圧制御レジスタ（CVRCTL）

コンパレータの内部基準電圧の動作制御，また内部基準電圧，コンパレータ／プログラマブル・ゲイン・アンプのGNDを選択するレジスタです。

内部基準電圧は，CVREmビットで，許可／停止を行います。

CVRCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14－4　コンパレータPGA内部基準電圧制御レジスタ（CVRCTL）のフォーマット

アドレス：F0560 H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CVRCTL	0	0	CVRVS1	CVRVS0	0	CVRE2	CVRE1	CVRE0

CVRVS1	内部基準電圧，プログラマブル・ゲイン・アンプのGND選択
0	V_{SS}
1	AV_{REFM}

CVRVS0	内部基準電圧の電源選択
0	V_{DD}
1	AV_{REFP}

CVREm	内部基準電圧（DAm）生成の動作制御
0	動作停止
1	動作許可

注意1.　CVREmビット設定後には安定待ち時間（10 μs）が必要になります。

2.　CVRVS1, CVRVS0ビットの書き換えは，内部基準電圧を動作停止中（CVREm = 0）に行ってください。また，CVRVS1ビットの書き換えは，プログラマブル・ゲイン・アンプの動作停止中（PGACTLレジスタのPGAEN = 0）に行ってください。

備考　m = 0-2

14. 3. 4　コンパレータ内部基準電圧選択レジスタm（CmRVM）

コンパレータの内部基準電圧レベルを設定するレジスタです。

CmRVMレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14－5　コンパレータ内部基準電圧選択レジスタm（CmRVM）のフォーマット

アドレス：F0561H（C0RVM），F0562H（C1RVM），F0563H（C2RVM），　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CmRVM	CmVRS7	CmVRS6	CmVRS5	CmVRS4	CmVRS3	CmVRS2	CmVRS1	CmVRS0

CmVRS7-CmVRS0	内部基準電圧（DAm）の電圧レベル設定
00000000	（（AV_{REFP}またはV_{DD}）/256）×0
00000001	（（AV_{REFP}またはV_{DD}）/256）×1
00000010	（（AV_{REFP}またはV_{DD}）/256）×2
・ ・ ・	・ ・ ・
11111101	（（AV_{REFP}またはV_{DD}）/256）×253
11111110	（（AV_{REFP}またはV_{DD}）/256）×254
11111111	（（AV_{REFP}またはV_{DD}）/256）×255

注意　CmRVMレジスタの書き換えは，内部基準電圧の動作停止中（CVREm = 0）に行ってください。

備考　m = 0-2

14. 3. 5　コンパレータ立ち上がりエッジ許可レジスタ0（CMPEGP0），コンパレータ立ち下がりエッジ許可レジスタ0（CMPEGN0）

コンパレータn検出割り込み信号（INTCMPn）および外部割り込み（INTP20, INTP21）の有効エッジを設定するレジスタです。

CMPEGP0, CMPEGN0レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14－6　コンパレータ立ち上がりエッジ許可レジスタ0（CMPEGP0），コンパレータ立ち下がりエッジ許可レジスタ0（CMPEGN0）のフォーマット

アドレス：F0558 H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CMPEGP0	CEGP7	CEGP6	CEGP5	CEGP4	CEGP3	CEGP2	CEGP1	CEGP0

アドレス：F0559 H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CMPEGN0	CEGN7	CEGN6	CEGN5	CEGN4	CEGN3	CEGN2	CEGN1	CEGN0

CEGP7	CEGN7	INTP21端子の有効エッジの選択
0	0	エッジ検出禁止（タイマ・リスタート信号の出力禁止（出力信号 = ロウ固定））
0	1	立ち下がりエッジ（タイマ・リスタート信号の出力許可）
1	0	立ち上がりエッジ（タイマ・リスタート信号の出力許可）
1	1	立ち上がり，立ち下がりの両エッジ（タイマ・リスタート信号の出力許可）

CEGP6	CEGN6	INTP20端子の有効エッジの選択
0	0	エッジ検出禁止（タイマ・リスタート信号の出力禁止（出力信号 = ロウ固定））
0	1	立ち下がりエッジ（タイマ・リスタート信号の出力許可）
1	0	立ち上がりエッジ（タイマ・リスタート信号の出力許可）
1	1	立ち上がり，立ち下がりの両エッジ（タイマ・リスタート信号の出力許可）

CEGPn	CEGNn	INTCMPnの有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

注意　有効エッジの設定は，CnCTLレジスタのCnINVビットにより，コンパレータ検出信号を非反転／反転処理した信号に対して設定されます。

備考　n = 0-5

14. 3. 6　コンパレータ出力モニタ・レジスタ（CMPMON）

コンパレータ出力信号である，タイマ強制出力停止要求信号のレベルを示すレジスタです。

CMPMONレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生により，00Hになります。

図14－7　コンパレータ出力モニタ・レジスタ（CMPMON）のフォーマット

アドレス：F055AH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
CMPMON	0	0	CMPMON5	CMPMON4	CMPMON3	CMPMON2	CMPMON1	CMPMON0

CMPMONn	コンパレータnの出力レベル（n = 0-5）
0	タイマ強制出力停止要求信号はロウ・レベル
1	タイマ強制出力停止要求信号はハイ・レベル

14. 3. 7　ウィンドウ・コンパレータ機能設定レジスタ（CMPWDC）

ウィンドウ・コンパレータ機能は，2つのコンパレータに1つの入力電圧を選択することにより，1つの入力電圧を2つの基準電圧と比較することができます。CMPWDCレジスタは，ウィンドウ・コンパレータ機能を使用する場合に，入力信号の切り替えを制御するレジスタです。

CMPWDCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14－8　ウィンドウ・コンパレータ機能設定レジスタ（CMPWDC）のフォーマット

アドレス：F0564H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CMPWDC	0	0	0	0	0	WCSEL2	WCSEL1	WCSEL0

WCSEL2	コンパレータ5の＋側入力の選択
0	CMP5P
1	CMP4P
WCSEL2 = 1に設定：CMP4からの入力電圧をコンパレータ4とコンパレータ5で基準電圧と比較	

WCSEL1	コンパレータ3の＋側入力の選択
0	CMP3P
1	CMP2P
WCSEL1 = 1に設定：CMP2からの入力電圧をコンパレータ2とコンパレータ3で基準電圧と比較	

WCSEL0	コンパレータ1の＋側入力の選択
0	CMP1P
1	CMP0P
WCSEL0 = 1に設定：CMP0からの入力電圧をコンパレータ1とコンパレータ0で基準電圧と比較	

注意　CMPWDCレジスタの書き換えは，コンパレータ動作停止中（CMPnEN = 0）に行ってください。

14. 3. 8　コンパレータ入力切り替え制御レジスタ（CMPSEL）（20ピン製品のみ）

コンパレータ3の入力信号を設定するレジスタです。

CMPSELレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14－9　コンパレータ入力切り替え制御レジスタ（CMPSEL）のフォーマット

アドレス：F0565H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CMPSEL	0	0	0	0	0	0	0	CMPSEL0

CMPSEL0	コンパレータ3の＋側入力の切り替え制御
0	20ピン製品でコンパレータ3を使用しない
1	(CMP3P)/CMPCOM/ANI18/P147端子

注意　CMPSELレジスタの書き換えは，コンパレータ動作停止中（CMP3EN = 0）に行ってください。

14. 3. 9　外部割り込み制御レジスタ（INTPCTL）

タイマ出力強制停止用の外部割り込みINTP20, INTP21の出力反転を設定するレジスタです。

INTPCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14－10　外部割り込み制御レジスタ（INTPCTL）のフォーマット

アドレス：F055BH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
INTPCTL	0	0	0	0	0	0	INTPINV1	INTPINV0

INTPINV1	INTP21信号の出力反転設定
0	INTP21信号を反転しない
1	INTP21信号を反転

INTPINV0	INTP20信号の出力反転設定
0	INTP20信号を反転しない
1	INTP20信号を反転

注意　INTPCTLレジスタの書き換えは，INTP20, INTP21エッジ検出禁止中（CEGPn, CEGNn = 0, 0（n = 6, 7））に行ってください。

14. 3. 10　A/Dポート・コンフィギュレーション・レジスタ（ADPC）

ANI0/P20, ANI1/P21, ANI2/CMP0P/P22, ANI4/CMP1P/P24-ANI7/CMP4P/P27端子を，A/Dコンバータ，プログラマブル・ゲイン・アンプ，コンパレータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

プログラマブル・ゲイン・アンプ，コンパレータを使用する場合，CMP0P/ANI2/P22, CMP1P/ANI4/P24-CMP4P/ANI7/P27端子をADPCレジスタでアナログ入力に選択してください。

ADPCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14－11　A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマット

アドレス：F0076H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力（A）／デジタル入出力（D）の切り替え							
				ANI7/ CMP4P/P27	ANI6/ CMP3P/P26	ANI5/ CMP2P/P25	ANI4/ CMP1P/P24	PGAOUT注	ANI2/ CMP0P/P22	ANI1/P21/ AV_{REFM}	ANI0/P20/ AV_{REFP}
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	D	D	D	D	D	D	D	D
0	0	1	0	D	D	D	D	D	D	D	A
0	0	1	1	D	D	D	D	D	D	A	A
0	1	0	0	D	D	D	D	D	A	A	A
0	1	0	1	D	D	D	D	A	A	A	A
0	1	1	0	D	D	D	A	A	A	A	A
0	1	1	1	D	D	A	A	A	A	A	A
1	0	0	0	D	A	A	A	A	A	A	A
1	0	0	1	A	A	A	A	A	A	A	A
1	1	1	1	A	A	A	A	A	A	A	A
上記以外				設定禁止							

注　プログラマブル・ゲイン・アンプの内部出力端子です。プログラマブル・ゲイン・アンプの出力信号をA/Dコンバータのアナログ入力チャネルとして使用する場合は，ADPC = 0000Bおよび0101B以上に設定してください。

注意　A/D変換で使用するチャネルは，ポート・モード・レジスタ2（PM2）で入力モードに選択してください。

14. 3. 11　周辺機能切り替えレジスタ0（PFSEL0）

PFSEL0レジスタのビット0，1では，外部割り込みINTP20, INTP21を16ビット・タイマKB0, KB1, KB2のPWM制御に使用するか，STOPモードの解除に使用するかを選択します。

ビット4では，INTP20のノイズ・フィルタの使用可否を選択します。INTP20を強制出力停止機能2で使用する際に，トリガ入力から出力停止までの反応速度を早くするためには，ノイズ・フィルタなしを選択してください。

ビット5, 6は，CMP0, CMP2検出割り込み機能の切り替えを行います。その他のビットについては，7. 3. 16　周辺機能切り替えレジスタ0（PFSEL0）を参照してください。

PFSEL0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により，00Hになります。

図14－12　周辺機能切り替えレジスタ0（PFSEL0）

アドレス：F05C6H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFSEL0	0	CMP2STEN	CMP0STEN	PNFEN	ADTRG11	ADTRG10	TMRSTEN1	TMRSTEN0

CMP2STEN	コンパレータ2検出割り込み（INTCMP2）入力信号の切り替え注1
0	デジタル・エッジ検出回路経由の信号を選択。STOPモード解除不可。
1	強制出力停止要求信号を選択。STOPモード解除可能，ただし，ノイズ・フィルタ未使用時（低消費RTCモード時（OSMCレジスタのRTCLPC = 1）に動作可能）

CMP0STEN	コンパレータ0検出割り込み（INTCMP0）入力信号の切り替え注1
0	デジタル・エッジ検出回路経由の信号を選択。STOPモード解除不可
1	強制出力停止要求信号を選択。STOPモード解除可能，ただし，ノイズ・フィルタ未使用時（低消費RTCモード時（OSMCレジスタのRTCLPC = 1）に動作可能）

PNFEN	外部割り込みINTP20のノイズ・フィルタ使用可否
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

TMRSTEN1	外部割り込みINTP21の切り替え注2
0	外部割り込み機能を選択（STOPモード解除可能，タイマ・リスタート不可）
1	タイマ・リスタート機能を選択（STOPモード解除不可，タイマ・リスタート可）

TMRSTEN0	外部割り込みINTP20の切り替え注2
0	外部割り込み機能を選択（STOPモード解除可能，タイマ・リスタート不可）
1	タイマ・リスタート/強制出力停止機能2を選択（STOPモード解除不可，タイマ・リスタート可）

注1. CMP0，CMP2による割り込みを使用する場合，使用する機能と割り込み入力信号を合わせてください。
CMP0, CMP2をタイマKBの強制出力停止機能のトリガに使用する場合は，CMPnSTEN = 1としてください。
CMP2をタイマKBのタイマ・リスタート機能のトリガに使用する場合はCMP2STEN = 0としてください。
詳細については，**14. 5　タイマKB連動機能使用時の注意事項**を参照してください。

注2. INTP20，21をタイマKBの強制出力停止機能2またはタイマ・リスタート機能のトリガとして使用する場合は，**14. 5　タイマKB連動機能使用時の注意事項**も参照してください。

備考　n = 0, 2

14. 3. 12　ポート・モード・コントロール・レジスタ0, 14（PMC0, PMC14）

ポート0, 14のデジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

CMP5P/ANI16/RxD1/P03，CMPCOM/ANI18/P147端子をアナログ入力と使用する場合はPMC03, PMC147ビットを1に設定します。

PMC0, PMC14レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図14－13　ポート・モード・コントロールレジスタ0, 14（PMC0, PMC14）のフォーマット

アドレス：F0060H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PMC0	1	1	1	1	PMC03	PMC02	1	1

アドレス：F006EH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PMC14	PMC147	1	1	1	1	1	1	1

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択（mn = 02, 03, 147）
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入力

14. 3. 13　ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14）

CMP0P/ANI2/P22，CMP1P/ANI4/P24-CMP4P/ANI7/P27，CMP5P/ANI16/RxD1/P03，CMPCOM/ANI18/P147端子をアナログ入力ポートとして使用するとき，PM22，PM24-PM27，PM03，PM147ビットにそれぞれ1を設定してください。このときP22，P24-P27，P03，P147の出力ラッチは，0または1のどちらでもかまいません。

PM22, PM24-PM27, PM03, PM147ビットにそれぞれ0を設定した場合は，アナログ入力ポートとして使用することはできません。

PM0, PM2, PM14レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

注意　アナログ入力ポートとして設定した端子を読み出した場合は，PM×× ＝1の場合でも，端子レベルではなく常に0が読み出されます。

図14－14　ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14）のフォーマット

アドレス：FFF20H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	1	PM03	PM02	1	1

アドレス：FFF22H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	1	PM22	PM21	PM20

アドレス：FFF2EH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM14	PM147	1	1	1	1	1	1	1

PMmn	Pmn端子の入出力モードの選択（m = 0, 2, 14; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　PM0レジスタのビット0，1，4，7，PM2レジスタのビット3，PM14レジスタのビット0-6には必ず1を設定してください。

30, 20ピン製品は，下記のビットをリセット解除後ソフトウエアで出力モード（ポート・レジスタとポート・モード・レジスタに0を設定）に設定する必要があります。

30ピン製品： PM0レジスタのビット5, 6

20ピン製品： PM0レジスタのビット2, 3, 5, 6，PM2レジスタのビット6, 7

CMP0P/ANI2/P22, CMP1P/ANI4/P24-CMP4P/ANI7/P27端子の機能は，A/Dポート・コンフィギュレーション・レジスタ（ADPC），PM2レジスタの設定で決定します。

表14－2　CMP0P/ANI2/P22, CMP1P/ANI4/P24-CMP4P/ANI7/P27端子機能の設定

ADPC	PM2	CMP0P/ANI2/P22, CMP1P/ANI4/P24-CMP4P/ANI7/P27端子
デジタル入出力選択	入力モード	デジタル入力
	出力モード	デジタル出力
アナログ入力選択	入力モード	アナログ入力
	出力モード	設定禁止

また，CMP5P/ANI16/RxD1/P03, CMPCOM/ANI18/P147端子の機能は，ポート・モード・コントロール・レジスタ0, 14（PMC0, PMC14），PM0, PM14レジスタの設定で決定します。

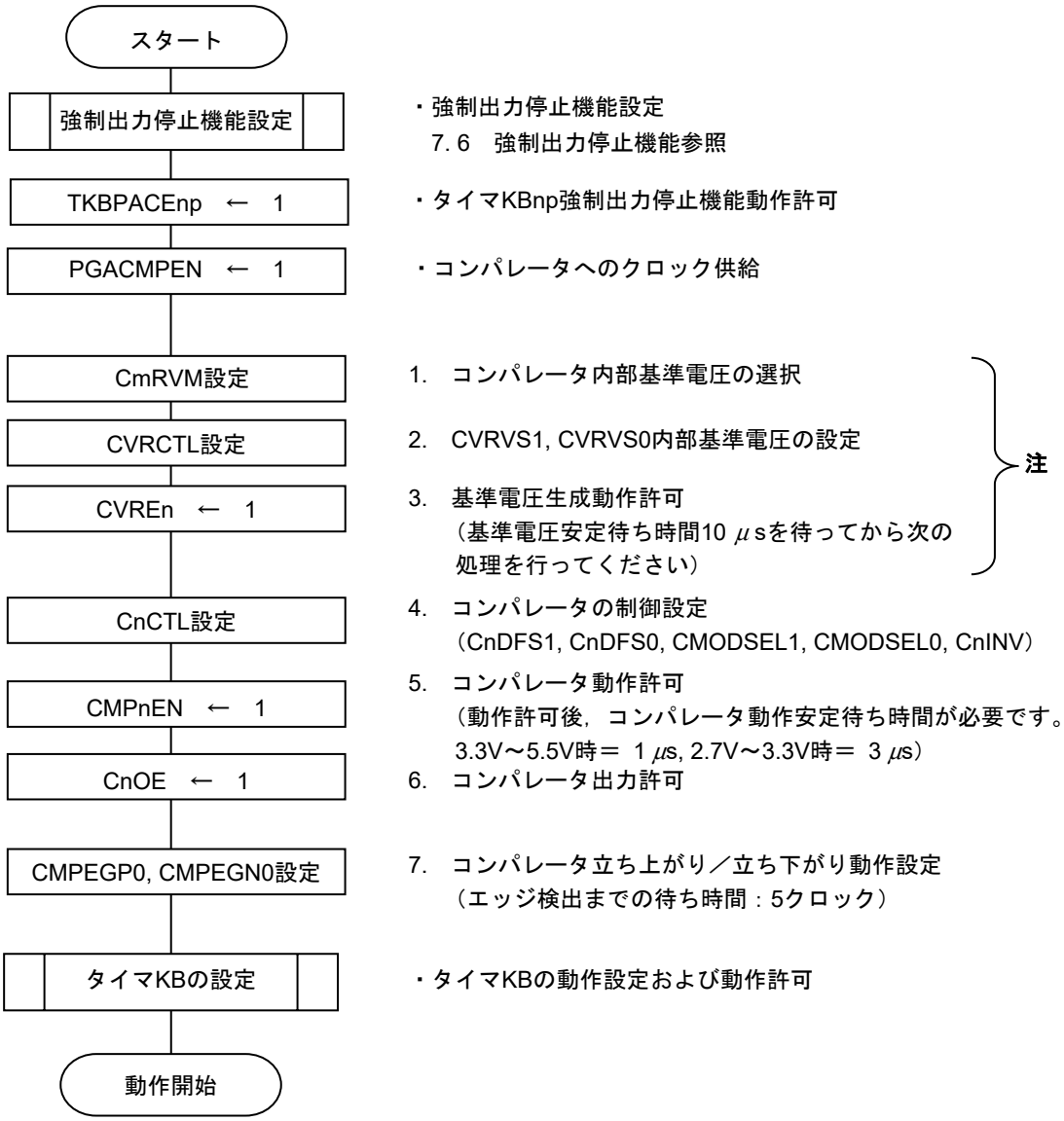
表14－3　CMP5P/ANI16/RxD1/P03, CMPCOM/ANI18/P147端子機能の設定

PMC0, PMC14	PM0, PM14	CMP5P/ANI16/RxD1/P03, CMPCOM/ANI18/P147端子
デジタル入出力選択	入力モード	デジタル入力
	出力モード	デジタル出力
アナログ入力選択	入力モード	アナログ入力
	出力モード	設定禁止

14. 4　コンパレータの設定手順

図14－15　コンパレータ（CMP）動作設定フロー・チャート1

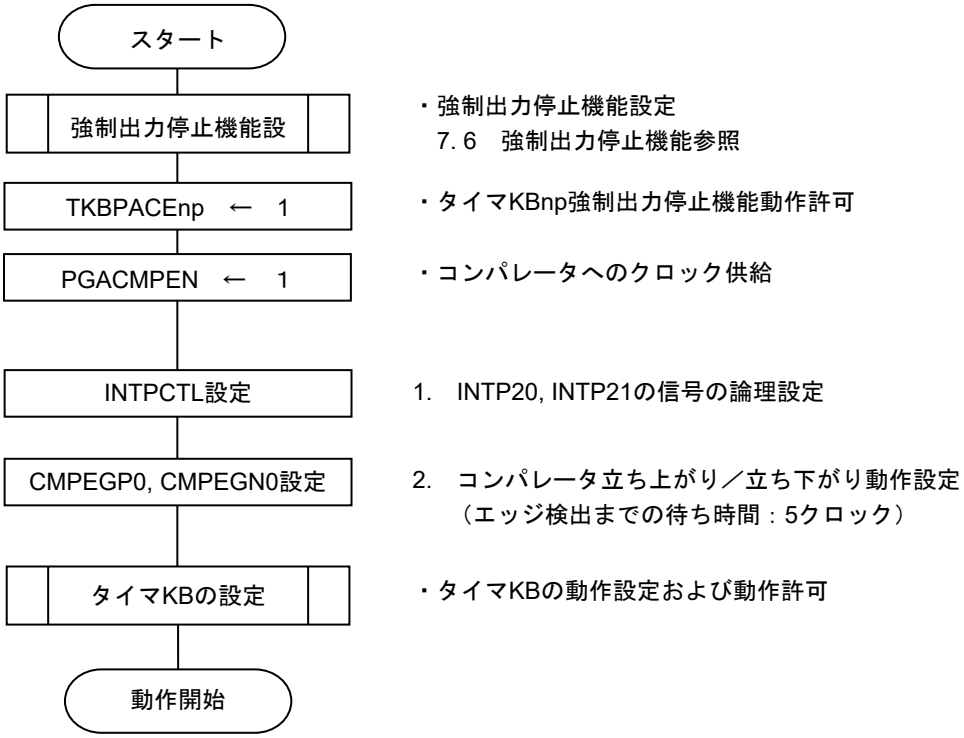
（INTCMPn, CMPnによるタイマ出力強制停止要求信号を使用する場合）



注　基準電圧に外部端子CMPCOMを使用する場合は不要です。

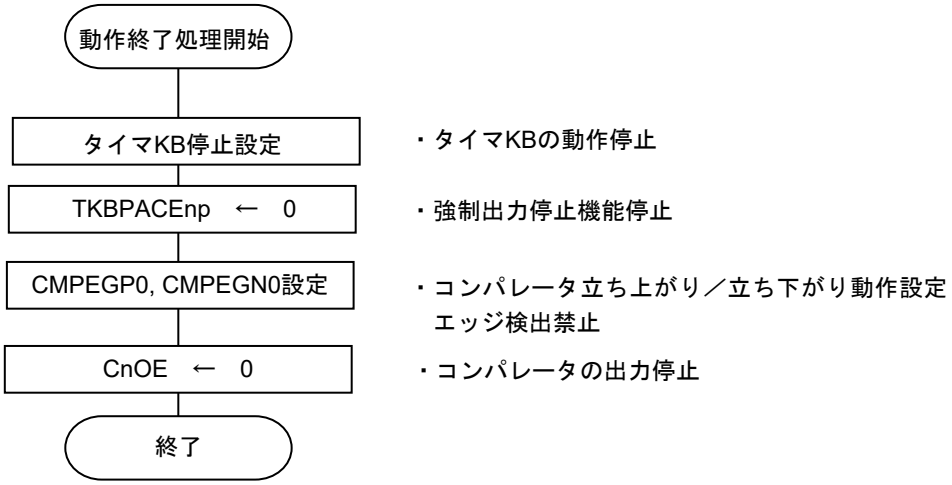
注意　1.～7.はINTCMP処理禁止の状態で設定してください。

図14－16　コンパレータ（CMP）動作設定フロー・チャート2
（INTPm, INTPmによるタイマ出力強制停止要求信号を使用する場合（エッジ回路のみ使用））



注意　1.～2.はINTP20, INTP21処理禁止の状態で設定してください。

図14－17　コンパレータ（CMP）動作終了フロー・チャート



14. 5　タイマKB連動機能使用時の注意事項

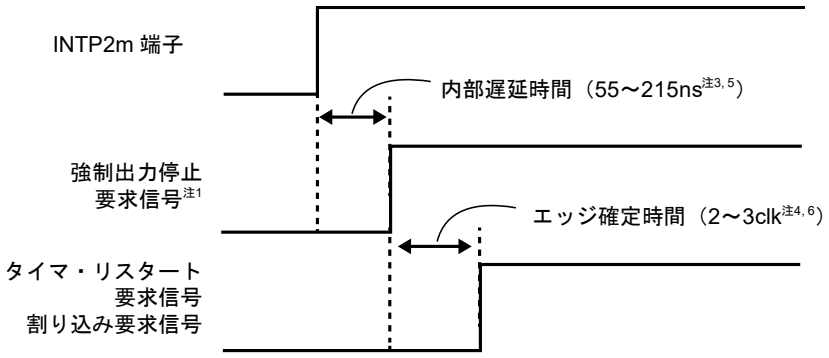
INTP2m，コンパレータは，外部割り込み機能の他にタイマKBとの連動機能(強制出力停止機能，タイマ・リスタート機能)のトリガとして使用することができます。使用する機能に応じて，周辺機能切り替えレジスタ(PFSEL0)，エッジ設定レジスタを設定する必要があります。また，各機能が動作するまでに必要なアクティブ信号の幅が異なります。

INTP2m，コンパレータをご使用になる場合は，表14-4～表14-6を参考にレジスタの設定を行い，必要なアクティブ信号幅が確保されるように外部回路を構築してください。

表14–4　INTP2mの機能，レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替えレジスタの設定	エッジ設定レジスタ	各機能が動作するのに必要なアクティブ信号幅		
			割り込み	強制出力停止	タイマ・リスタート
外部割り込み(STOP解除可能)	TMRSTENm=0	EGPn,EGNn	～1μs	-	-
強制出力停止[注1]	TMRSTENm=1	CEGPp, CEGNp[注2]	55～215ns[注3] +2～3clk[注4]	55～215ns[注3, 5]	-
タイマ・リスタート	TMRSTENm=1	CEGPp, CEGNp	55～215ns[注3] +2～3clk[注4]	-	55～215ns[注3] +2～3clk[注4, 6]

図14–18　INTP2mによる強制出力停止要求信号，タイマ・リスタート要求信号の発生タイミング



注 1. INTP20のみ強制出力停止機能2のトリガとして使用可能です。

2. 強制出力停止機能2はハイ・レベルでアクティブとなります。エッジ選択は割り込みにのみ有効です。

3. INTP20でノイズ・フィルタをOFF(PNFEN=1)した場合，5～15nsとなります。

4. f_{CLK}またはf_{PLL} (PLLON=1の場合)

5. 強制出力停止機能2が動作してから端子出力が変化するまでには，別途出力遅延時間(10～40ns)がかかります。

6. タイマ・リスタート機能が動作するには，要求信号を受けてからさらに1clk，出力端子の状態が変化するまでには，別途出力遅延時間(10～40ns)がかかります。

備考 m = 0, 1　n = 20, 21　p = 7, 6

表14–5 コンパレータ0, 2の機能，レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替えレジスタの設定	エッジ設定レジスタ	各機能が動作するのに必要なアクティブ信号幅		
			割り込み	強制出力停止	タイマ・リスタート
外部割り込み(STOP解除可能注1)	CMPnSTEN=1	立ち上がり固定注2	～150ns注3	-	-
外部割り込み(STOP解除不可)	CMPnSTEN=0	CEGPn, CEGNn	～150ns注3+2～3clk注4, 5	-	-
強制出力停止	CMPnSTEN=1	注6	～150ns注3	～150ns注3, 7	-
タイマ・リスタート	CMPnSTEN=0	CEGPn, CEGNn	～150ns注3+2～3clk注4, 5	-	～150ns注3+2～3clk注4, 5

図14–19　コンパレータ0, 2による強制出力停止要求信号の発生タイミング(CMPmSTEN=1)

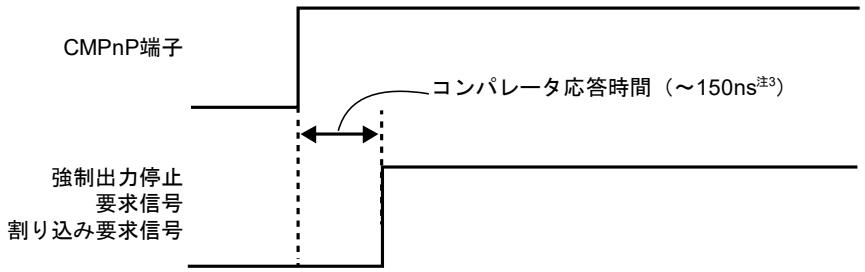
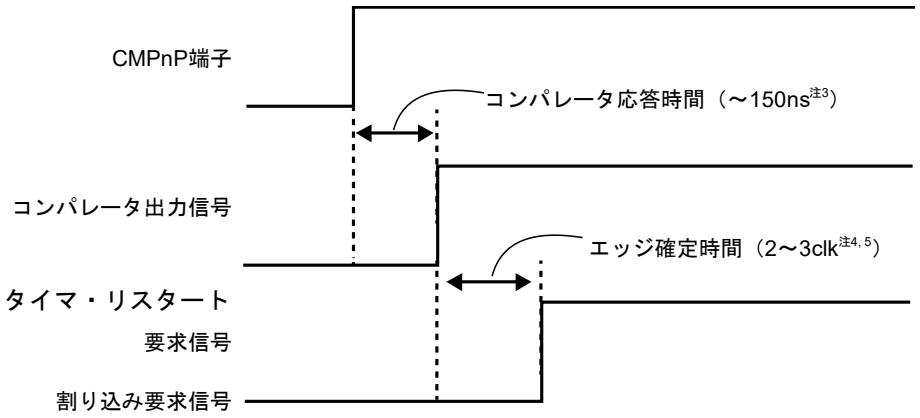


図14–20　コンパレータ0, 2によるタイマ・リスタート要求信号の発生タイミング(CMPmSTEN=0)



注 1. コンパレータ制御レジスタ（CnCTL）のノイズ・フィルタ設定（CnDFS1，CnDFS0）=(0，0)の場合

2. エッジの方向を変更したい場合は，CnINVレジスタで出力を反転させてください。

3. コンパレータ制御レジスタ（CnCTL）のノイズ・フィルタ設定（CnDFS1，CnDFS0）=(0，0)の場合です。ノイズ・フィルタ設定を(0，0)から変更した場合は，設定した除去幅分が加算されます。

4. f_{CLK}またはf_{PLL}(PLLON=1の場合)。

5. タイマ・リスタート機能が動作するには，要求信号を受けてからさらに1clk，出力端子の状態が変化するまでには，別途出力遅延時間(10～40ns)がかかります。

6. 強制出力停止機能はハイ・レベルでアクティブとなります。

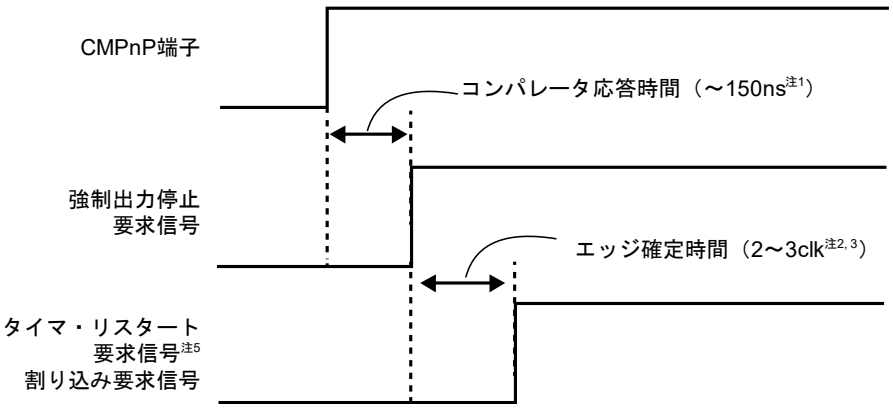
7. 強制出力停止機能が動作してから出力端子の状態が変化するまでには，別途出力遅延時間(10～40 ns)がかかります。

備考 n = 0，2

表14–6 コンパレータ1，3，4，5の機能，レジスタ設定とアクティブ信号幅の関係

機能	周辺機能切り替えレジスタの設定	エッジ設定レジスタ	各機能が動作するのに必要なアクティブ信号幅		
			割り込み	強制出力停止	タイマ・リスタート
外部割り込み (STOP解除不可)	-	CEGPn, CEGNn	～150ns注1+ 2～3clk注2, 3	-	-
強制出力停止	-	**注4**	～150ns注2+ 2～3clk注3, 4	～150ns注2, 5	-
タイマ・ リスタート注6	-	CEGPn, CEGNn	～150ns注2+ 2～3clk注3, 4	-	～150ns注2+ 2～3clk注3, 4

図14–21　コンパレータ1, 3, 4, 5による強制出力停止要求信号，タイマ・リスタート要求信号の発生タイミング



注 1. コンパレータ制御レジスタ（CnCTL）のノイズ・フィルタ設定（CnDFS1，CnDFS0）=(0，0)の場合です。ノイズ・フィルタ設定を(0，0)から変更した場合は，設定した除去幅分が加算されます。

2. f_{CLK}またはf_{PLL} (PLLON=1の場合)。

3. タイマ・リスタート機能が動作するには，要求信号を受けてからさらに1clk，出力端子の状態が変化するまでには，別途出力遅延時間(10～40ns)がかかります。

4. 強制出力停止機能はハイ・レベルでアクティブとなります。

5. 強制出力停止機能が動作してから出力端子の状態が変化するまでには，別途出力遅延時間(10～40 ns)がかかります。

6. タイマ・リスタート機能はコンパレータ1，3のみ使用可能です。

備考 n = 1，3-5

第15章　シリアル・アレイ・ユニット0

シリアル・アレイ・ユニット0は1つのユニットに最大4つのシリアル・チャネルを持ちます。各チャネルは簡易SPI（CSI注），UARTの通信機能を実現できます。

RL78/I1Aで対応している各チャネルの機能割り当ては，次のようになっています。

★ **注** 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

○20ピン製品

チャネル	簡易SPI(CSI)として使用	UARTとして使用
0	－	UART0 （LIN-bus, DMX512対応）
1	－	
2	－	－
3	－	

○30ピン製

チャネル	簡易SPI(CSI)として使用	UARTとして使用
0	－	UART0 （LIN-bus, DMX512対応）
1	－	
2	－	UART1
3	－	

○38ピン製品

チャネル	簡易SPI(CSI)として使用	UARTとして使用
0	CSI00	UART0 （LIN-bus, DMX512対応）
1	－	
2	－	UART1
3	－	

38ピン製品において，チャネル0, 1で「UART0」を使用するときは，CSI00を使用することはできませんが，チャネル2, 3のUART1は使用することができます。

注意　この章では，以降の主な説明を38ピン製品のユニット，チャネル構成で説明しています。

15. 1　シリアル・アレイ・ユニット0の機能

RL78/I1Aで対応している各シリアル・インタフェースの特徴を示します。

15. 1. 1　簡易SPI（CSI00）

マスタから出力されるシリアル・クロック（SCK）に同期してデータの送信／受信を行います。

シリアル・クロック（SCK）1本と送信，受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は，15. 5　簡易SPI（CSI00）通信の動作を参照してください。

［データ送受信］

・7, 8ビットのデータ長

・送受信データの位相制御

・MSB/LSBファーストの選択

［クロック制御］

・マスタ／スレーブの選択

・入出力クロックの位相制御

・プリスケーラとチャネル内カウンタによる転送周期の設定

・最大転送レート注　マスタ通信時：Max. $f_{CLK}/2$

スレーブ通信時：Max. $f_{MCK}/6$

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

・オーバラン・エラー

また，CSI00（チャネル0）は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK00端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は，第32章　電気的特性（T_A = －40～+105℃対応品）または，第33章　電気的特性（T_A = －40～+125℃対応品）を参照をしてください。

15. 1. 2　UART（UART0, UART1）

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。また，タイマ・アレイ・ユニットと外部割り込み（INTP0）を組み合わせてLIN-bus, DMX512にも対応可能です。

具体的な設定例は，15. 6　UART（UART0, UART1）通信の動作を参照してください。

［データ送受信］

- 7, 8, 9ビットのデータ長[注]
- MSB/LSBファーストの選択
- 送受信データのレベル設定，反転の選択
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

UART0受信（チャネル1）は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD0端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。

また，UART0（チャネル0, 1）は，LIN-bus, DMX512に対応しています。

［LIN-bus機能］

- ウエイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定，ボー・レート算出

} 外部割り込み（INTP0），タイマ・アレイ・ユニット0を使用

［DMX512機能］

- BREAK信号検出
- 信号幅検出

} 外部割り込み（INTP0），タイマ・アレイ・ユニット0を使用

注　9ビット・データ長は，UART0のみ対応しています。

15. 2　シリアル・アレイ・ユニット0の構成

シリアル・アレイ・ユニット0は，次のハードウエアで構成されています。

表15－1　シリアル・アレイ・ユニット0の構成

項　　目	構　　成
シフト・レジスタ	8ビットまたは9ビット[注1]
バッファ・レジスタ	シリアル・データ・レジスタmn（SDRmn）の下位8ビットまたは9ビット[注1, 2]
シリアル・クロック入出力	SCK00端子（簡易SPI用）
シリアル・データ入力	SI00端子（簡易SPI用），RxD0端子（LIN-bus, DMX512対応UART用），RxD1端子（UART用）
シリアル・データ出力	SO00端子（簡易SPI用），TxD0端子（LIN-bus, DMX512対応UART用），TxD1端子（UART用）
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・シリアル・クロック選択レジスタm（SPSm） ・シリアル・チャネル許可レジスタm（SEm） ・シリアル・チャネル開始レジスタm（SSm） ・シリアル・チャネル停止レジスタm（STm） ・シリアル出力許可レジスタm（SOEm） ・シリアル出力レジスタm（SOm） ・シリアル出力レベル・レジスタm（SOLm） ・シリアル・スタンバイ・コントロール・レジスタ0（SSC0） ・入力切り替え制御レジスタ（ISC） ・ノイズ・フィルタ許可レジスタ0（NFEN0）
	＜各チャネル部のレジスタ＞ ・シリアル・データ・レジスタmn（SDRmn） ・シリアル・モード・レジスタmn（SMRmn） ・シリアル通信動作設定レジスタmn（SCRmn） ・シリアル・ステータス・レジスタmn（SSRmn） ・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
	・ポート入力モード・レジスタ0, 1（PIM0, PIM1） ・ポート出力モード・レジスタ0, 1（POM0, POM1） ・ポート・モード・レジスタ0, 1（PM0, PM1） ・ポート・レジスタ0, 1（P0, P1）

（注，備考は次ページにあります。）

注1. シフト・レジスタ，バッファ・レジスタとして使用されるビット数は，ユニット，チャネルによって異なります。

mn = 00, 01：下位9ビット，mn = 02, 03：下位8ビット

2. シリアル・データ・レジスタmn（SDRmn）の下位8ビットは，通信方式により，次のSFR名称でリード／ライト可能です。

・CSIp通信時・・・SIOp（CSIpデータ・レジスタ）

・UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）

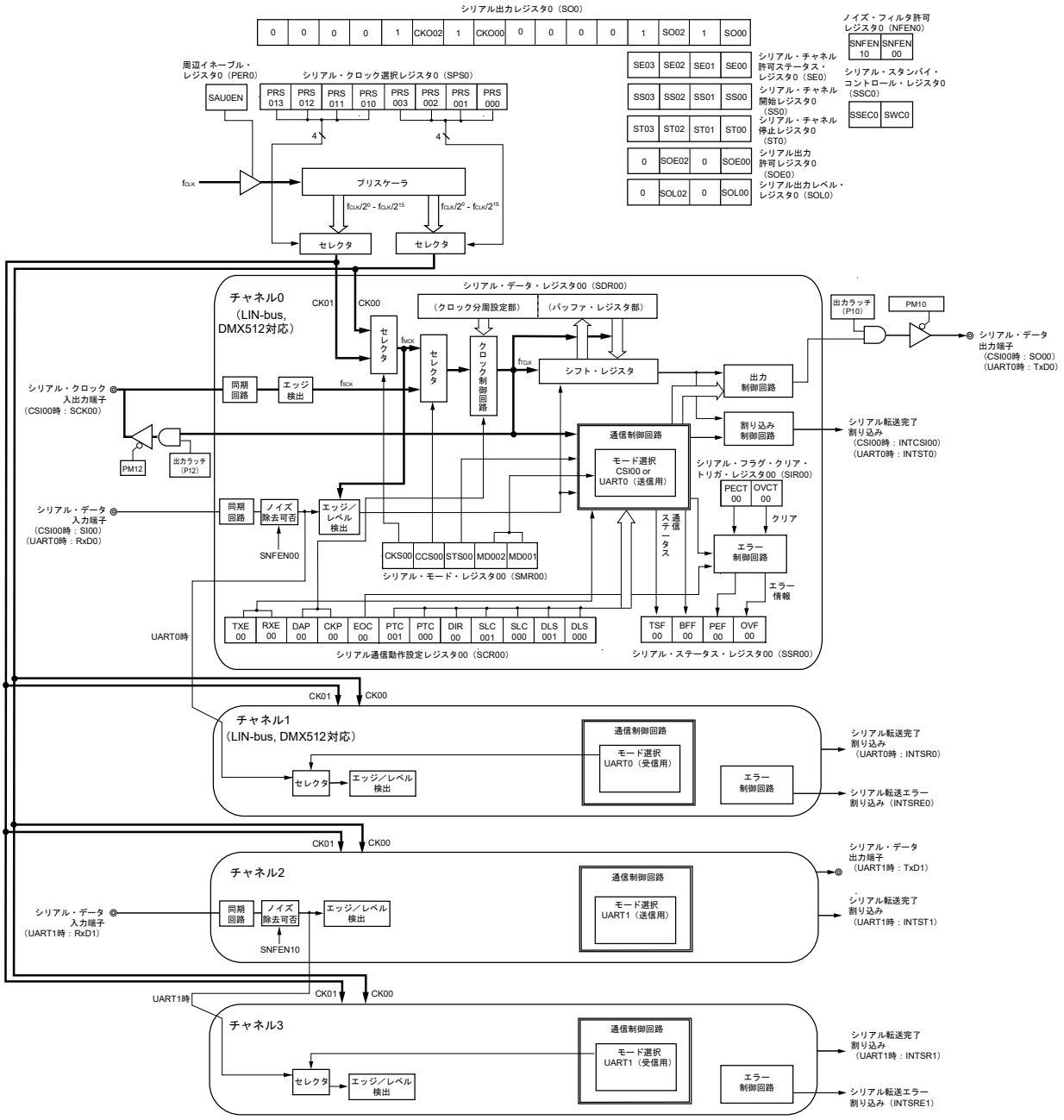
・UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）

備考 m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00）

q：UART番号（q = 0, 1）

図15－1にシリアル・アレイ・ユニット0のブロック図を示します。

図15－1　シリアル・アレイ・ユニット0のブロック図



15. 2. 1　シフト・レジスタ

パラレル⇔シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は，9ビット（ビット0～8）を使用します[注1]。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，シリアル・データ・レジスタmn（SDRmn）の下位8/9ビットを使用します。

	8	7	6	5	4	3	2	1	0
シフト・レジスタ									

15. 2. 2　シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。

ビット8-0（下位9ビット）[注1]，またはビット7-0（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は，シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタmn（SCRmn）のビット0, 1（DLSmn0, DLSmn1）の設定によって，次のようになります。

・7ビット・データ長（SDRmnレジスタのビット0-6に格納）
・8ビット・データ長（SDRmnレジスタのビット0-7に格納）
・9ビット・データ長（SDRmnレジスタのビット0-8に格納）[注1]

SDRmnレジスタは16ビット単位でリード／ライト可能です。

またSDRmnレジスタの下位8/9ビットは，通信方式により，次のSFR名称で8ビット単位でリード／ライト可能[注2]です。

・CSIp通信時・・・SIOp（CSIpデータ・レジスタ）
・UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）
・UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）

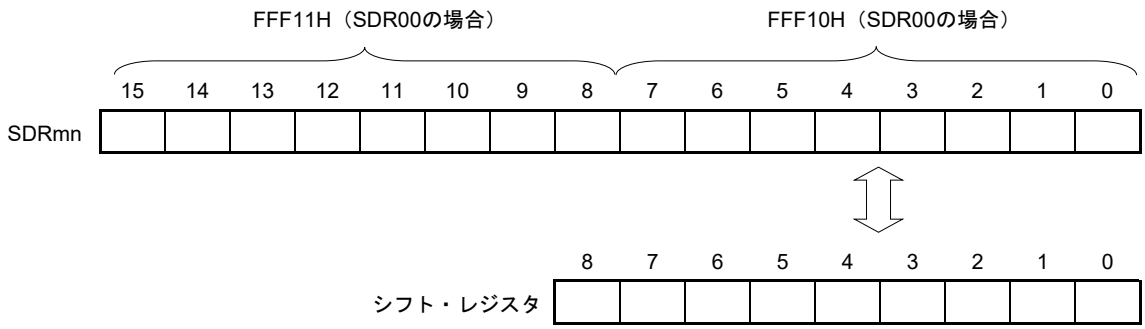
リセット信号の発生により，SDRmnレジスタは0000Hになります。

注1. 9ビット・データ長は，UART0のみ対応しています。
2. 動作停止（SEmn = 0）時は，8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

備考1. 受信完了後，ビット0-8内でデータ長を越える部分のビットには，“0”が格納されます。
2. m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00）
q：UART番号（q = 0, 1）

図15－2　シリアル・データ・レジスタmn（SDRmn）（mn = 00, 01）のフォーマット

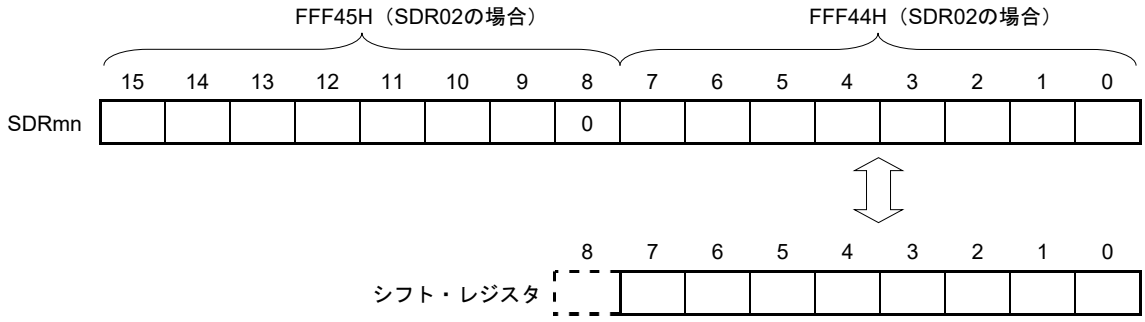
アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）　　リセット時：0000H　　R/W



備考　SDRmnレジスタの上位7ビットの機能については，15. 3　シリアル・アレイ・ユニット0を制御するレジスタを参照してください。

図15－3　シリアル・データ・レジスタmn（SDRmn）（mn = 02, 03）のフォーマット

アドレス：FFF44H, FFF45H（SDR02）, FFF46H, FFF47H（SDR03）　　リセット時：0000H　　R/W



注意　ビット8は，必ず0を設定してください。

備考　SDRmnレジスタの上位7ビットの機能については，15. 3　シリアル・アレイ・ユニット0を制御するレジスタを参照してください。

15. 3　シリアル・アレイ・ユニット0を制御するレジスタ

シリアル・アレイ・ユニット0を制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・シリアル・クロック選択レジスタm（SPSm）
・シリアル・モード・レジスタmn（SMRmn）
・シリアル通信動作設定レジスタmn（SCRmn）
・シリアル・データ・レジスタmn（SDRmn）
・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
・シリアル・ステータス・レジスタmn（SSRmn）
・シリアル・チャネル開始レジスタm（SSm）
・シリアル・チャネル停止レジスタm（STm）
・シリアル・チャネル許可ステータス・レジスタm（SEm）
・シリアル出力許可レジスタm（SOEm）
・シリアル出力レベル・レジスタm（SOLm）
・シリアル出力レジスタm（SOm）
・シリアル・スタンバイ・コントロール・レジスタ0（SSC0）
・入力切り替え制御レジスタ（ISC）
・ノイズ・フィルタ許可レジスタ0（NFEN0）
・ポート入力モード・レジスタ0, 1（PIM0, PIM1）
・ポート出力モード・レジスタ0, 1（POM0, POM1）
・ポート・モード・レジスタ0, 1（PM0, PM1）
・ポート・レジスタ0, 1（P0, P1）

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）

15. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは，必ずビット2（SAU0EN）に1を設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図15－4　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

注意1.　シリアル・アレイ・ユニット0の設定をする際には，必ず最初にSAU0EN = 1の状態で，下記のレジスタ設定を行ってください。SAU0N = 0の場合は，シリアル・アレイ・ユニット0制御レジスタは初期値となり，書き込みは無視されます（入力切り替え制御レジスタ（ISC），ノイズ・フィルタ許可レジスタ0（NFEN0），ポート入力モード・レジスタ0, 1（PIM0, PIM1），ポート出力モード・レジスタ0, 1（POM0, POM1），ポート・モード・レジスタ0, 1（PM0, PM1），ポート・レジスタ0, 1（P0, P1）は除く）。

・シリアル・クロック選択レジスタm（SPSm）
・シリアル・モード・レジスタmn（SMRmn）
・シリアル通信動作設定レジスタmn（SCRmn）
・シリアル・データ・レジスタmn（SDRmn）
・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
・シリアル・ステータス・レジスタmn（SSRmn）
・シリアル・チャネル開始レジスタm（SSm）
・シリアル・チャネル停止レジスタm（STm）
・シリアル・チャネル許可ステータス・レジスタm（SEm）
・シリアル出力許可レジスタm（SOEm）
・シリアル出力レベル・レジスタm（SOLm）
・シリアル出力レジスタm（SOm）
・シリアル・スタンバイ・コントロール・レジスタ0（SSC0）

2.　ビット1, 3, 6には必ず“0”を設定してください。

15. 3. 2　シリアル・クロック選択レジスタm（SPSm）

SPSmレジスタは，各チャネルに共通して供給される2種類の動作クロック（CKm0, CKm1）を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を，ビット3-0でCKm0を選択します。

SPSmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは，SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SPSmレジスタは0000Hになります。

図15－5　シリアル・クロック選択レジスタm（SPSm）のフォーマット

アドレス：F0126H, F0127H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択[注]					
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注　リアル・アレイ・ユニット（SAU）動作中にf_{CLK}で選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，SAUの動作を停止（シリアル・チャネル停止レジスタm（STm）　= 000FH）させてから変更してください。

注意　ビット15-8には，必ず0を設定してください。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

f_{SUB}：サブシステム・クロック周波数

2.　m：ユニット番号（m = 0）

3.　k = 0, 1

15. 3. 3　シリアル・モード・レジスタmn（SMRmn）

SMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，シリアル・クロック（f_{SCK}）入力の使用可否，スタート・トリガ設定，動作モード（簡易SPI(CSI), UART）設定，割り込み要因の選択を行います。またUARTモード時のみ，受信データのレベル反転の設定を行います。

SMRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。ただしMDmn0ビットは，動作中でも書き換えをすることができます。

SMRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SMRmnレジスタは0020Hになります。

図15－6　シリアル・モード・レジスタmn（SMRmn）のフォーマット（1/2）

アドレス：F0110H, F0111H（SMR00）-F0116H, F0117H（SMR03）　　リセット時：0020H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn注	0	SISmn0注	1	0	0	0	MDmn1	MDmn0

CKSmn	チャネルnの動作クロック（f_{MCK}）の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSmnビットとSDRmnレジスタの上位7ビットの設定により，転送クロック（f_{TCLK}）を生成します。	

CCSmn	チャネルnの転送クロック（f_{TCLK}）の選択
0	CKSmnビットで指定した動作クロックf_{MCK}の分周クロック
1	SCKp端子からの入力クロックf_{SCK}（簡易SPI(CSI)モードのスレーブ転送）
転送クロックf_{TCLK}は，シフト・レジスタ，通信制御回路，出力制御回路，割り込み制御回路，エラー制御回路に使用されます。CCSmn = 0の場合は，SDRmnレジスタの上位7ビットで動作クロック（f_{MCK}）の分周設定を行います。	

STSmn注	スタート・トリガ要因の選択
0	ソフトウエア・トリガのみ有効（簡易SPI(CSI), UART送信時に選択）
1	RxDq端子の有効エッジ（UART受信時に選択）
SSmレジスタに1を設定後，上記の要因が満たされてから転送開始となります。	

注　SMR01, SMR03レジスタのみ。

注意　ビット13-9, 7, 4, 3（SMR00, SMR02レジスタの場合は，ビット13-6, 4, 3）には，必ず0を設定してください。ビット5には，必ず1を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00）
q：UART番号（q = 0, 1）

図15－6　シリアル・モード・レジスタmn（SMRmn）のフォーマット（2/2）

アドレス：F0110H, F0111H（SMR00）-F0116H, F0117H（SMR03）　　リセット時：0020H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn注	0	SISmn0注	1	0	0	0	MDmn1	MDmn0

SISmn0注	UARTモードでのチャネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは，そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは，反転して取り込まれます。

MDmn1	チャネルnの動作モードの設定
0	簡易SPI(CSI)モード
1	UARTモード

MDmn0	チャネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMDmn0 = 1として，SDRmnデータが空になったら次送信データの書き込みを行う。	

注　SMR01, SMR03レジスタのみ。

注意　ビット13-9, 7, 4, 3（SMR00, SMR02レジスタの場合は，ビット13-6, 4, 3）には，必ず0を設定してください。ビット5には，必ず1を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00）
q：UART番号（q = 0, 1）

15. 3. 4　シリアル通信動作設定レジスタmn（SCRmn）

チャネルnの通信動作設定レジスタです。データ送受信モード，データとクロックの位相，エラー信号のマスク可否，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SCRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SCRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SCRmnレジスタは0087Hになります。

図15－7　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（1/2）

アドレス：F0118H, F0119H（SCR00）-F011EH, F011FH（SCR03）　　リセット時：0087H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1注1	SLCmn0	0	1	DLSmn1注2	DLSmn0

TXEmn	RXEmn	チャネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	簡易SPI(CSI)モードでのデータとクロックの位相選択	タイプ
0	0	SCKp SOp　D7 D6 D5 D4 D3 D2 D1 D0 SIp入力タイミング	1
0	1	SCKp SOp　D7 D6 D5 D4 D3 D2 D1 D0 SIp入力タイミング	2
1	0	SCKp SOp　D7 D6 D5 D4 D3 D2 D1 D0 SIp入力タイミング	3
1	1	SCKp SOp　D7 D6 D5 D4 D3 D2 D1 D0 SIp入力タイミング	4
UARTモード,時には，必ずDAPmn, CKPmn = 0, 0に設定してください。			

EOCmn	エラー割り込み信号（INTSREx（x = 0-3））のマスク制御
0	エラー割り込みINTSRExの発生を禁止する（INTSRxは発生する）
1	エラー割り込みINTSRExの発生を許可する（エラー発生時にINTSRxは発生しない）
簡易SPI(CSI)モード，UART送信時には，EOCmn = 0に設定してください。注3	

注1.　SCR00, SCR02レジスタのみ。

2.　SCR00, SCR01レジスタのみ。

3.　CSIpをEOCmn = 0で使用しない場合，エラー割り込みINTSREnが発生する場合があります。

注意　ビット3，6，11には，必ず0を設定してください（SCR01，SCR03レジスタはビット5，SCR02，SCR03レジスタはビット1も1に設定してください。）。ビット2には，必ず1を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00）

図15－7　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（2/2）

アドレス：F0118H, F0119H（SCR00）-F011EH, F011FH（SCR03）　　リセット時：0087H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1注1	SLCmn0	0	1	DLSmn1注2	DLSmn0

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力注3	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
簡易SPI(CSI)モード時には，必ずPTCmn1, PTCmn0 = 0, 0に設定してください。			

DIRmn	簡易SPI(CSI), UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う

SLCmn1注1	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 ＝1ビット
1	0	ストップ・ビット長 ＝2ビット（mn = 00, 02のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時には，1ビット（SLCmn1, SLCmn0 = 0, 1）に設定してください。 簡易SPI(CSI)モード時には，ストップ・ビットなし（SLCmn1, SLCmn0 = 0, 0）に設定してください。 UART送信時は1ビットSLCmn1, SLCmn0 = 0, 1）又は2ビット（SLCmn1, SLCmn0 = 1, 0）に設定してください		

DLSmn1注2	DLSmn0	簡易SPI(CSI), UARTモードでのデータ長の設定
0	1	9ビット・データ長（SDRmnレジスタのビット0-8に格納） （UARTモード時のみ選択可）
1	0	7ビット・データ長（SDRmnレジスタのビット0-6に格納）
1	1	8ビット・データ長（SDRmnレジスタのビット0-7に格納）
その他		設定禁止

注1. SCR00, SCR02レジスタのみ。

2. SCR00, SCR01レジスタのみ。

3. データの内容にかかわらず必ず0が付加されます。

注意　ビット3, 6, 11には，必ず0を設定してください（SCR01, SCR03レジスタはビット5も0に設定してください。）。ビット2には，必ず1を設定してください（SCR02, SCR03レジスタはビット1も1に設定してください。）。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）　p：CSI番号（p = 00）

15. 3. 5　シリアル・データ・レジスタmn（SDRmn）の上位7ビット

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。SDR00，SDR01のビット8-0（下位9ビット），またはSDR02，SDR03のビット7-0（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9（上位7ビット）の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn（SMRmn）でCCSmnビットを0に設定した場合は，動作クロックをこのSDRmnレジスタのビット15-9（上位7ビット）で分周設定したクロックが，転送クロックとして使用されます。

また，CCSmnビットを1に設定した場合は，SDRmnのビット15-9 （上位7ビット）に”0000000B”を設定してください。SCKp端子からの入力クロックf_{SCK}（簡易SPI(CSI)モードのスレーブ転送）が転送クロックとなります。

SDRmnレジスタの下位8/9ビットは，送受信バッファ・レジスタとして機能します。受信時には，シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し，送信時には，シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは，下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合，上位7ビットは常に0が読み出されます。

リセット信号の発生により，SDRmnレジスタは0000Hになります。

図15－8　シリアル・データ・レジスタmn（SDRmn）のフォーマット

アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）　　リセット時：0000H　　R/W

	FFF11H（SDR00の場合）								FFF10H（SDR00の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn																

アドレス：FFF44H, FFF45H（SDR02）, FFF46H, FFF47H（SDR03）　　リセット時：0000H　　R/W

	FFF44H（SDR02の場合）								FFF45H（SDR02の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn								0								

SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	$f_{MCK}/2$
0	0	0	0	0	0	1	$f_{MCK}/4$
0	0	0	0	0	1	0	$f_{MCK}/6$
0	0	0	0	0	1	1	$f_{MCK}/8$
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	$f_{MCK}/254$
1	1	1	1	1	1	1	$f_{MCK}/256$

（注意，備考は次ページにあります。）

注意1.　SDR02, SDR03レジスタのビット8は，必ず0を設定してください。

2.　UART使用時は，SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

3.　動作停止（SEmn = 0）時は，8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

備考1.　SDRmnレジスタの下位8/9ビットの機能については，15. 2　シリアル・アレイ・ユニット0の構成を参照してください。

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）

15. 3. 6　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）

チャネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（FECTmn，PECTmn，OVCTmn）を1にセットすると，シリアル・ステータス・レジスタmn（SSRmn）の対応ビット（FEFmn, PEFmn, OVFmn）が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので，SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは，16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは，SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SIRmnレジスタは0000Hになります。

図15－9　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）のフォーマット

アドレス：F0108H, F0109H（SIR00）-F010EH, F010FH（SIR03），　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECTmn注	PECTmn	OVCTmn

FECTmn	チャネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PECTmn	チャネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVCTmn	チャネルnのオーバーラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注　SIR01, SIR03レジスタのみ。

注意　ビット15-3（SIR00, SIR02レジスタの場合は，ビット15-2）には，必ず0を設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）

2.　SIRmnレジスタの読み出し値は常に0000Hとなります。

15. 3. 7　シリアル・ステータス・レジスタmn（SSRmn）

SSRmnレジスタは，チャネルnの通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

SSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは，SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SSRmnレジスタは0000Hになります。

図15－10　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（1/2）

アドレス：F0100H, F0101H（SSR00）-F0106H, F0107H（SSR03）　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn注	PEFmn	OVFmn

TSFmn	チャネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態

＜クリア条件＞
・STmレジスタのSTmnビットに1を設定時（通信停止状態），もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態）
・通信動作が終了時
＜セット条件＞
・通信動作を開始時

BFFmn	チャネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている

＜クリア条件＞
・送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき
・受信時においてSDRmnレジスタから受信データの読み出しが終了したとき
・STmレジスタのSTmnビットに1を設定時（通信停止状態），SSmレジスタのSSmnビットに1を設定時（通信許可状態）。
＜セット条件＞
・SCRmnレジスタのTXEmnビット ＝1（各通信モードでの送信，送受信モード時）の状態でSDRmnレジスタに送信データを書き込んだとき
・SCRmnレジスタのRXEmnビット ＝1（各通信モードでの受信，送受信モード時）の状態でSDRmnレジスタに受信データが格納されたとき
・受信エラー時

注　SSR01, SSR03レジスタのみ。

注意　SNOOZEモード（SWCm = 1）で簡易SPI(CSI)受信する場合，BFFmnフラグは動作しません。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）

図15－10　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（2/2）

アドレス：F0100H, F0101H（SSR00）-F0106H, F0107H（SSR03）　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn注	PEFmn	OVFmn

FEFmn注	チャネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）

＜クリア条件＞
・SIRmnレジスタのFECTmnビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，ストップ・ビットが検出されないとき

PEFmn	チャネルnのパリティ・エラー検出フラグ
0	エラーなし
1	パリティ・エラー発生（UART受信時）

＜クリア条件＞
・SIRmnレジスタのPECTmnビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー）

OVFmn	チャネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生

＜クリア条件＞
・SIRmnレジスタのOVCTmnビットに1を書き込んだとき
＜セット条件＞
・SCRmnレジスタのRXEmnビット ＝ 1（各通信モードでの受信，送受信モード時）の状態で，受信データがSDRmnレジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
・簡易SPI(CSI)モードのスレーブ送信／送受信で，送信データが準備できていないとき

注　SSR01, SSR03レジスタのみ。

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると，格納されている送信／受信データが破壊され、オーバラン・エラー（OVEmn = 1）と検出されます。

2. SNOOZEモード（SWCm = 1）で簡易SPI(CSI)受信する場合，OVFmnフラグは動作しません。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）

15. 3. 8　シリアル・チャネル開始レジスタm（SSm）

SSmレジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SSmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が1にセット（動作許可状態）されます。SSmnビットはトリガ・ビットなので，SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは，16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは，SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSmレジスタは0000Hになります。

図15－11　シリアル・チャネル開始レジスタm（SSm）のフォーマット

アドレス：F0122H, F0123H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0

SSmn	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし，通信待機状態に遷移する[注]

注　通信動作中にSSmn = 1を設定すると，通信を停止して待機状態になります。このとき，制御レジスタ，シフト・レジスタの値，SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1.　ビット15-4には，必ず0を設定してください。

2.　UART受信の場合は，SCRmnレジスタのRXEmnビットを“1”に設定後に，f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）

2.　SSmレジスタの読み出し値は常に0000Hとなります。

15. 3. 9　シリアル・チャネル停止レジスタm（STm）

STmレジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（STmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が0にクリア（動作停止状態）されます。STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは，16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは，STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，STmレジスタは0000Hになります。

図15－12　シリアル・チャネル停止レジスタm（STm）のフォーマット

アドレス：F0124H, F0125H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	STm3	STm2	STm1	STm0

STmn	チャネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし，通信動作を停止する[注]

注　制御レジスタ，シフト・レジスタの値，SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは，状態を保持したまま停止します。

注意　ビット15-4には，必ず0を設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）

2.　STmレジスタの読み出し値は常に0000Hとなります。

15. 3. 10　シリアル・チャネル許可ステータス・レジスタm（SEm）

SEmレジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタm（SSm）の各ビットに1を書き込むと，その対応ビットが1にセットされます。シリアル・チャネル停止レジスタm（STm）の各ビットに1を書き込むと，その対応ビットが0にクリアされます。

動作を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のCKOmnビット（チャネルnのシリアル・クロック出力）の値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルnは，SOmレジスタのCKOmnビットの値をソフトウエアで設定することができ，その値をシリアル・クロック端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SEmレジスタは，16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは，SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SEmレジスタは0000Hになります。

図15－13　シリアル・チャネル許可ステータス・レジスタm（SEm）のフォーマット

アドレス：F0120H, F0121H　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SEm3	SEm2	SEm1	SEm0

SEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）

15. 3. 11　シリアル出力許可レジスタm（SOEm）

SOEmレジスタは，各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のSOmnビットの値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネルnは，SOmレジスタのSOmnビットの値をソフトウエアで設定することができ，その値をシリアル・データ出力端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SOEmレジスタは，16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは，SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOEmレジスタは0000Hになります。

図15－14　シリアル出力許可レジスタm（SOEm）のフォーマット

アドレス：F012AH, F012BH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2	0	SOEm0

SOEmn	チャネルnのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意　ビット15-3, 1には，必ず0を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）

15. 3. 12　シリアル出力レジスタm（SOm）

SOmレジスタは，各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が，チャネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が，チャネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウエアによる書き換えは，シリアル出力禁止（SOEmn = 0）時のみ可能です。シリアル出力許可（SOEmn = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウエアによる書き換えは，チャネル動作停止（SEmn = 0）時のみ可能です。チャネル動作許可（SEmn = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース用端子をポート機能として使用する場合は，該当するCKOmn，SOmnビットに“1”を設定してください。

SOmレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SOmレジスタは0F0FHになります。

図15－15　シリアル出力レジスタm（SOm）のフォーマット

アドレス：F0128H, F0129H　リセット時：0F0FH　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2	1	CKOm0	0	0	0	0	1	SOm2	1	SOm0

CKOmn	チャネルnのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SOmn	チャネルnのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注意　ビット11, 9, 3, 1には，必ず1を設定してください。また，ビット15-12, 7-4には，必ず0を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）

15. 3. 13　シリアル出力レベル・レジスタm（SOLm）

SOLmレジスタは，各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI(CSI)モード時は，必ず対応するビットに0を設定してください。

このレジスタによる各チャネルnの反転設定は，シリアル出力許可（SOEmn = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOEmn = 0）時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SOLmレジスタは，16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは，SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOLmレジスタは0000Hになります。

図15－16　シリアル出力レベル・レジスタm（SOLm）のフォーマット

アドレス：F0134H, F0135H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOLm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOLm2	0	SOLm0

SOLmn	UARTモードでのチャネルnの送信データのレベル反転の選択
0	通信データは，そのまま出力されます。
1	通信データは，反転して出力されます。

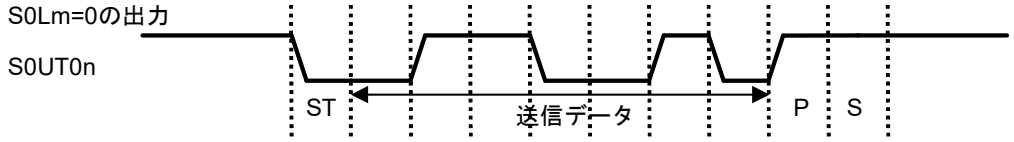
注意　ビット15-3, 1には，必ず0を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）

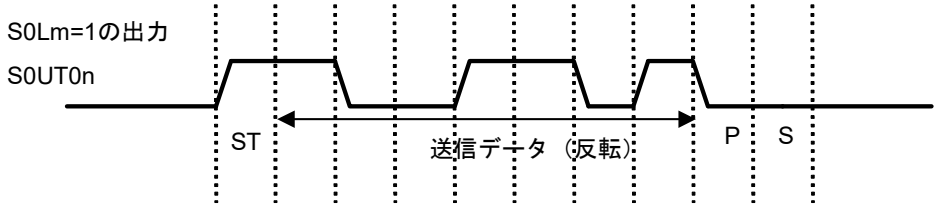
UART送信時，送信データのレベル反転例を図15-17に示します。

図15－17　送信データのレベル反転例

（a）非反転出力（SOLmn = 0）



（b）反転出力（SOLmn = 1）



備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）

15. 3. 14　シリアル・スタンバイ・コントロール・レジスタ0（SSC0）

SSC0レジスタは，CSI00，UART0のシリアル・データ受信による，STOPモード状態からの受信動作起動（SNOOZEモード）を制御するレジスタです。

SSC0レジスタは，16ビット・メモリ操作命令で設定します。

またSSCレジスタの下位8ビットは，SSC0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSC0レジスタは0000Hになります。

注意　SNOOZEモード時の最大転送レートは，次のようになります。

・CSI00の場合：　～1 Mbps

・UART0の場合：4800 bpsのみ

図15－18　シリアル・スタンバイ・コントロール・レジスタ0（SSC0）のフォーマット

アドレス：F0138H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEC0	SWC0

SSEC0	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み（INTSRE0）発生許可。
1	エラー割り込み（INTSRE0）発生停止。
・SNOOZEモード時のUART受信で，SWC0=1かつEOC0n=1の時のみ，SSEC0ビットを1/0に設定することができます。その他の場合は，SSEC0ビットを0に設定してください。 ・SSEC0, SWC0 = 1, 0は設定禁止です。	

SWC0	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
・STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなく，簡易SPI(CSI)/UARTの受信動作を行います（SNOOZEモード）。 ・SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・SNOOZEモードを使用する場合でも，通常動作モード時はSWC0を0に設定し，STOPモードへ移行する直前にSWC0を1に変更してください。 またSTOPモードから通常動作モードへ復帰後，必ずSWC0を0に変更してください。	

図15－19　SNOOZEモードでUART受信したときの割り込み

EOC0nビット	SSEC0ビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

15. 3. 15　入力切り替え制御レジスタ（ISC）

ISCレジスタのISC1，ISC0ビットは，UART0でLIN-bus，DMX512通信動作を実現するときに，外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると，シリアル・データ入力（RxD0）端子の入力信号が外部割り込み入力（INTP0）として選択されます。これによって，ウエイクアップ信号, BREAK信号をINTP0割り込みで検出できます。

ビット1に1を設定すると，シリアル・データ入力（RxD0）端子の入力信号がタイマ入力として選択されます。これによって，ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅，DMX512通信での各信号幅をタイマで測定できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図15－20　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャネル7の入力切り替え
0	チャネル7でタイマ入力信号を使用しない
1	RxD0端子の入力信号をタイマ入力とする（LIN-bus：ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定，DMX512：各信号幅測定）

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD0端子の入力信号を外部割り込み入力とする（LIN-bus：ウエイクアップ信号検出，DMX512：BREAK信号検出）

注意　ビット7-2に必ず0を設定してください。

15. 3. 16　ノイズ・フィルタ許可レジスタ0（NFEN0）

NFEN0レジスタは，シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

簡易SPI(CSI)に使用する端子は，対応するビットに0を設定して，ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック（f_{MCK}）で同期のあと，2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN0レジスタは00Hになります。

図15－21　ノイズ・フィルタ許可レジスタ0（NFEN0）のフォーマット

アドレス：F0070H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	SNFEN10	0	SNFEN00

SNFEN10	RxD1端子（RxD1/CMP5P/ANI16/P03）のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD1端子として使用するときは，SNFEN10 = 1に設定してください。 RxD1以外の機能として使用するときは，SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子（SI00/RxD0/TKCO01/INTP21/SDAA0/(TI07)/(DALIRxD4)/(TxRx4)/P11）のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは，SNFEN00 = 1に設定してください。 RxD0以外の機能として使用するときは，SNFEN00 = 0に設定してください。	

注意　ビット7-3, 1に必ず0を設定してください。

15. 3. 17　シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は，対象チャネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx），ポート入力モード・レジスタ(PIMxx)，ポート出力モード・レジスタ（POMxx），ポート・モード・コントロール・レジスタ（PMCxx）を設定してください。

詳細は，4. 3. 1 ポート・モード・レジスタ（PMxx），4. 3. 2 ポート・レジスタ（Pxx），4. 3. 4 ポート入力モード・レジスタ（PIMxx），4. 3. 5 ポート出力モード・レジスタ（POMxx），4. 3. 6 ポート・モード・コントロール・レジスタ（PMCxx）を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P02/TxD1/ANI17, P12/SCK00/(TKCO03)など）をシリアル・データ出力またはシリアル・クロック出力として使用するとき，各ポートに対応するポート・モード・コントロールレジスタ（PMCxx）のビットおよびポート・モード・コントロール・レジスタ（PMxx）のビットに0を，ポート・レジスタ（Pxx）のビットに1を設定してください。

例）P02/TxD1/ANI17をシリアル・データ出力またはシリアル・クロック出力として使用する場合
ポート・モード・コントロール・レジスタ0のPMC02ビットを0に設定
ポート・モード・レジスタ0のPM02ビットを0に設定
ポート・レジスタ0のP02ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート（P03/RxD1/CMP5P/ANI16, P12/SCK00/(TKCO03)など）をシリアル・データ入力またはシリアル・クロック入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また，ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

例）P12/SCK00/(TKCO03)をシリアル・データ入力として使用する場合
ポート・モード・コントロール・レジスタ1のPMC12ビットを0に設定
ポート・モード・レジスタ1のPM12ビットを1に設定
ポート・レジスタ1のP12ビットを0または1に設定

PM0, PM1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PM0, PM1レジスタはFFHになります。

また、製品によって設定するポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx）ポート・モード・コントロール・レジスタ（PMCxx），ポート出力モード・レジスタ（POMxx）とポート入力モード・レジスタ（PIMxx）が異なります。詳細は，4. 5. 3 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

15.4　動作停止モード

シリアル・アレイ・ユニット0の各シリアル・インタフェースには，動作停止モードがあります。
動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。
また動作停止モードでは，シリアル・インタフェース端子をポート機能として使用できます。

15.4.1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ0（PER0）で行います。

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは，ビット2（SAU0EN）に0を設定してください。

図15－22　ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0（PER0）の設定

（a）周辺イネーブル・レジスタ0（PER0）　・・・停止するSAUmのビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER0	RTCEN ×	0	ADCEN ×	IICA0EN ×	0	SAU0EN 0/1	0	TAU0EN ×

SAUの入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注意1.　SAU0EN = 0の場合は，シリアル・アレイ・ユニット0の制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります。
ただし，次のレジスタは除きます。
- **入力切り替え制御レジスタ（ISC）**
- **ノイズ・フィルタ許可レジスタ0（NFEN0）**
- **ポート入力モード・レジスタ0, 1（PIM0, PIM1）**
- **ポート出力モード・レジスタ0, 1（POM0, POM1）**
- **ポート・モード・コントロール・レジスタ0（PMC0）**
- **ポート・モード・レジスタ0, 1（PM0, PM1）**
- **ポート・レジスタ0, 1（P0, P1）**

2.　ビット1, 3, 6は必ず“0”にしてください。

備考　□：設定不可（初期値を設定）
×：シリアル・アレイ・ユニット0では使用しないビット（他の周辺機能の設定による）
0/1：ユーザの用途に応じて0または1に設定

15. 4. 2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図15－23　チャネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャネル停止レジスタm（STm）

・・・各チャネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	STm3 0/1	STm2 0/1	STm1 0/1	STm0 0/1

1：SEmnビットを0にクリアし，通信動作を停止

※ STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

(b) シリアル・チャネル許可ステータス・レジスタm（SEm）

・・・各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SEm3 0/1	SEm2 0/1	SEm1 0/1	SEm0 0/1

0：動作停止状態

※SEmレジスタはRead Onlyのステータス・レジスタであり，STmレジスタにて動作停止にします。
動作を停止したチャネルは，SOmレジスタのCKOmnビットの値をソフトウエアで設定できます。

(c) シリアル出力許可レジスタm（SOEm）

・・・各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	0	SOEm0 0/1

0：シリアル通信動作による出力停止

※ シリアル出力を停止したチャネルは，SOmレジスタのSOmnビットの値をソフトウエアで設定できます。

(d) シリアル出力レジスタm（SOm）

・・・各チャネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2 0/1	1	CKOm0 0/1	0	0	0	0	1	SOm2 0/1	1	SOm0 0/1

1：シリアル・クロック出力値が"1"　　1：シリアル・データ出力値が"1"

※ 各チャネルに対応した端子をポート機能として使用する場合は，該当するCKOmn, SOmnビットに"1"を設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3）

2.　□：設定不可（初期値を設定）　0/1：ユーザの用途に応じて0または1に設定

15. 5　簡易SPI（CSI00）通信の動作

シリアル・クロック（SCK）とシリアル・データ（SI, SO）の3本のラインによる，クロック同期式通信機能です。

［データ送受信］

・7, 8ビットのデータ長

・送受信データの位相制御

・MSB/LSBファーストの選択

［クロック制御］

・マスタ／スレーブの選択

・入出力クロックの位相制御

・プリスケーラとチャネル内カウンタによる転送周期の設定

・最大転送レート注　マスタ通信時：Max. $f_{CLK}/2$

スレーブ通信時：Max. $f_{MCK}/6$

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

・オーバラン・エラー

また，以下のチャネルの簡易SPI(CSI)は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は，第32章　電気的特性（T_A = －40～+105℃対応品）または第33章　電気的特性（T_A = －40～+125℃対応品）を参照してください。

簡易SPI（CSI00）に対応しているチャネルは，チャネル0です。

○20ピン製品

チャネル	簡易SPI(CSI)として使用	UARTとして使用
0	－	UART0 （LIN-bus, DMX512対応）
1	－	
2	－	－
3	－	

○30ピン製

チャネル	簡易SPI(CSI)として使用	UARTとして使用
0	－	UART0 （LIN-bus, DMX512対応）
1	－	
2	－	UART1
3	－	

○38ピン製品

チャネル	簡易SPI(CSI)として使用	UARTとして使用
0	CSI00	UART0 （LIN-bus, DMX512対応）
1	－	
2	－	UART1
3	－	

簡易SPI（CSI00）の通信動作は，以下の7種類があります。

- マスタ送信　（15. 5. 1項を参照）
- マスタ受信　（15. 5. 2項を参照）
- マスタ送受信　（15. 5. 3項を参照）
- スレーブ送信　（15. 5. 4項を参照）
- スレーブ受信　（15. 5. 5項を参照）
- スレーブ送受信　（15. 5. 6項を参照）
- SNOOZEモード機能　（15. 5. 7項を参照）

15. 5. 1　マスタ送信

マスタ送信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SO00
割り込み	INTCSI00
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	なし
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2\times2^{15}\times128)$ [Hz] 注　　f_{CLK}：システム・クロック周波数
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注　この条件を満たし，かつ電気的特性の周辺機能特性（第32章　電気的特性（T_A = －40～+105℃対応品）または第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）

（1）レジスタ設定

図15－24　簡易SPI（CSI00）のマスタ送信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「15. 3 シリアル・アレイ・ユニット0を制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	送信データ（送信データを設定）							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	×	1	0/1	0	0	0	0	1	×	1	0/1

クロック位相が“非反転”（SCRmnレジスタのCKPmnビット＝0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット ＝1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	×	0	0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	0/1

備考1.　m：ユニット番号（m＝0）　n：チャネル番号（n＝0）　p：CSI番号（p＝00）

2.　□：簡易SPI(CSI)マスタ送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－25　マスタ送信の初期設定手順

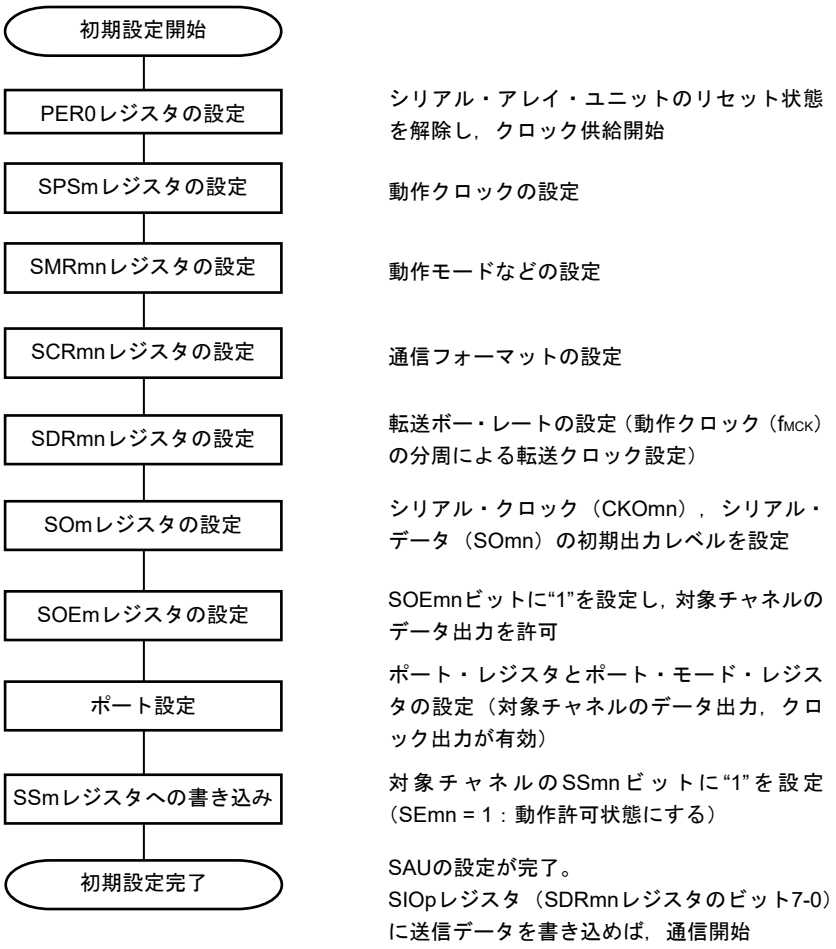


図15－26　マスタ送信の中断手順

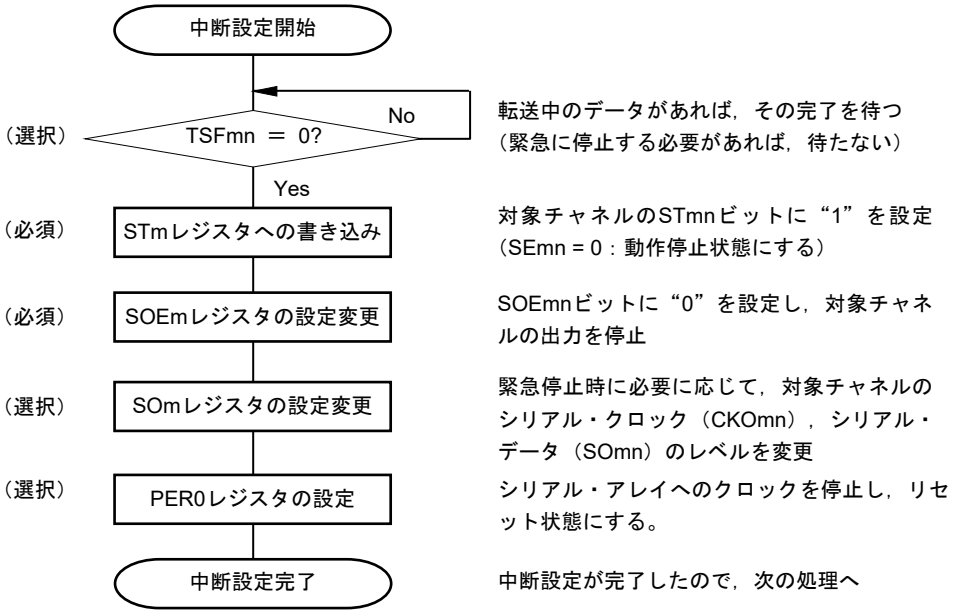
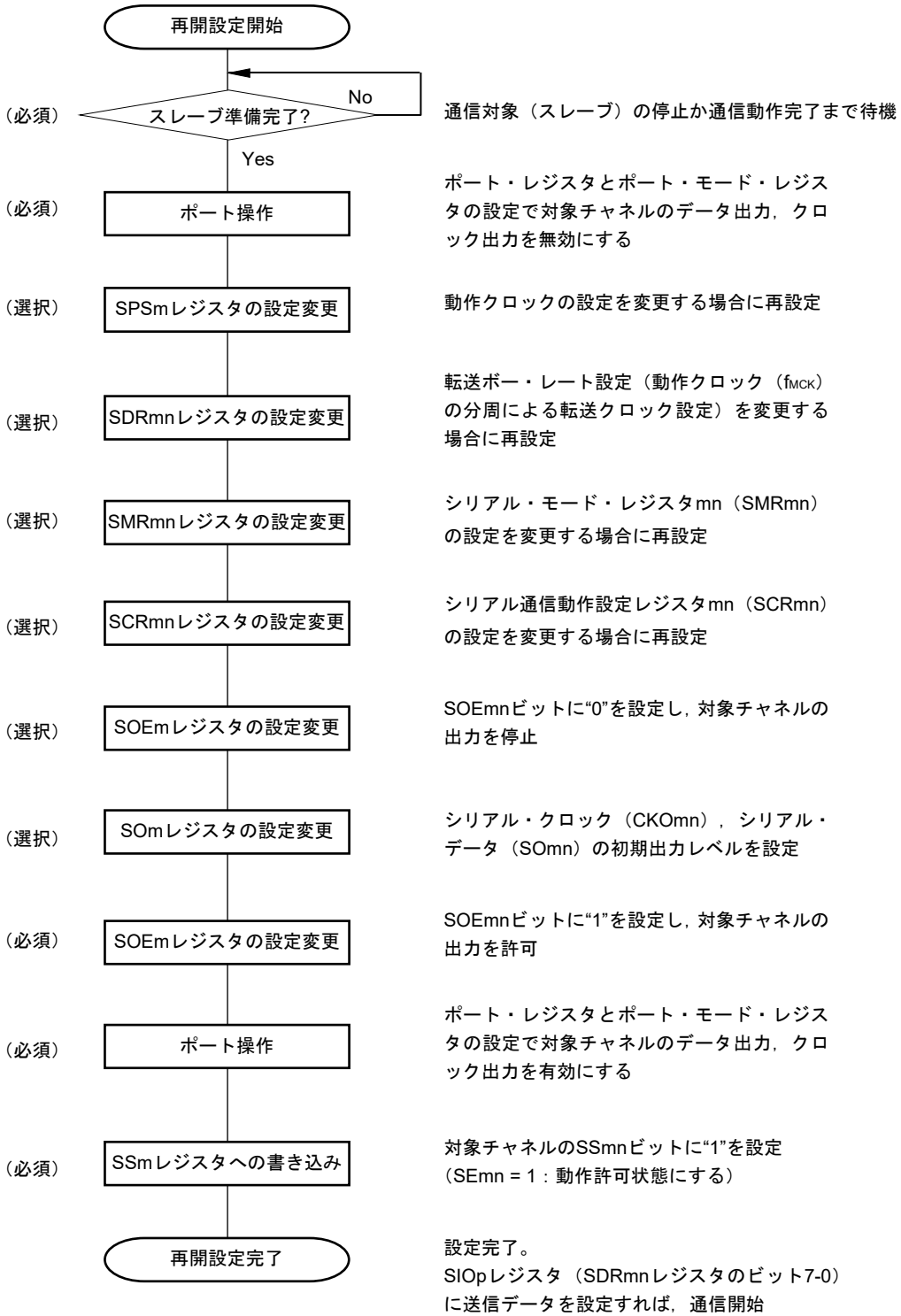


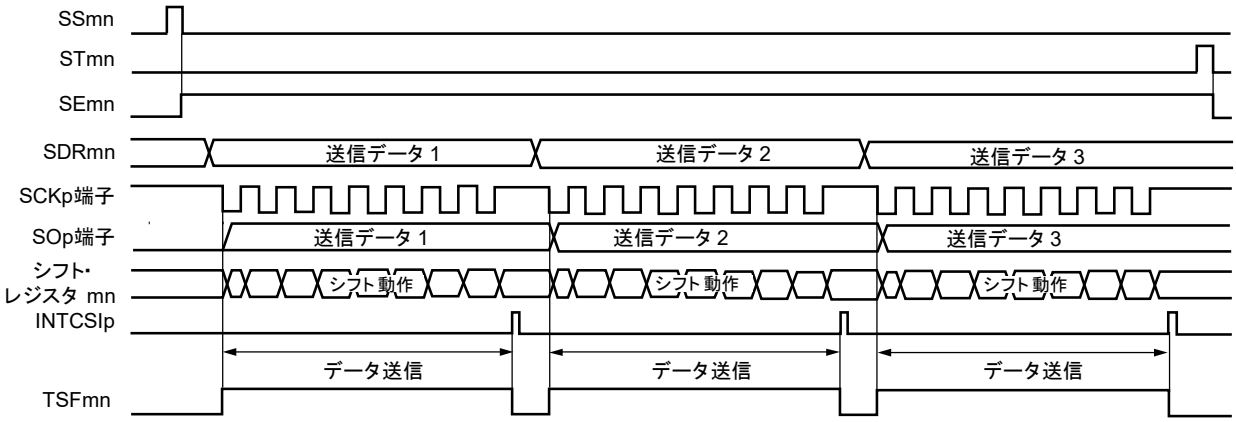
図15－27　マスタ送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

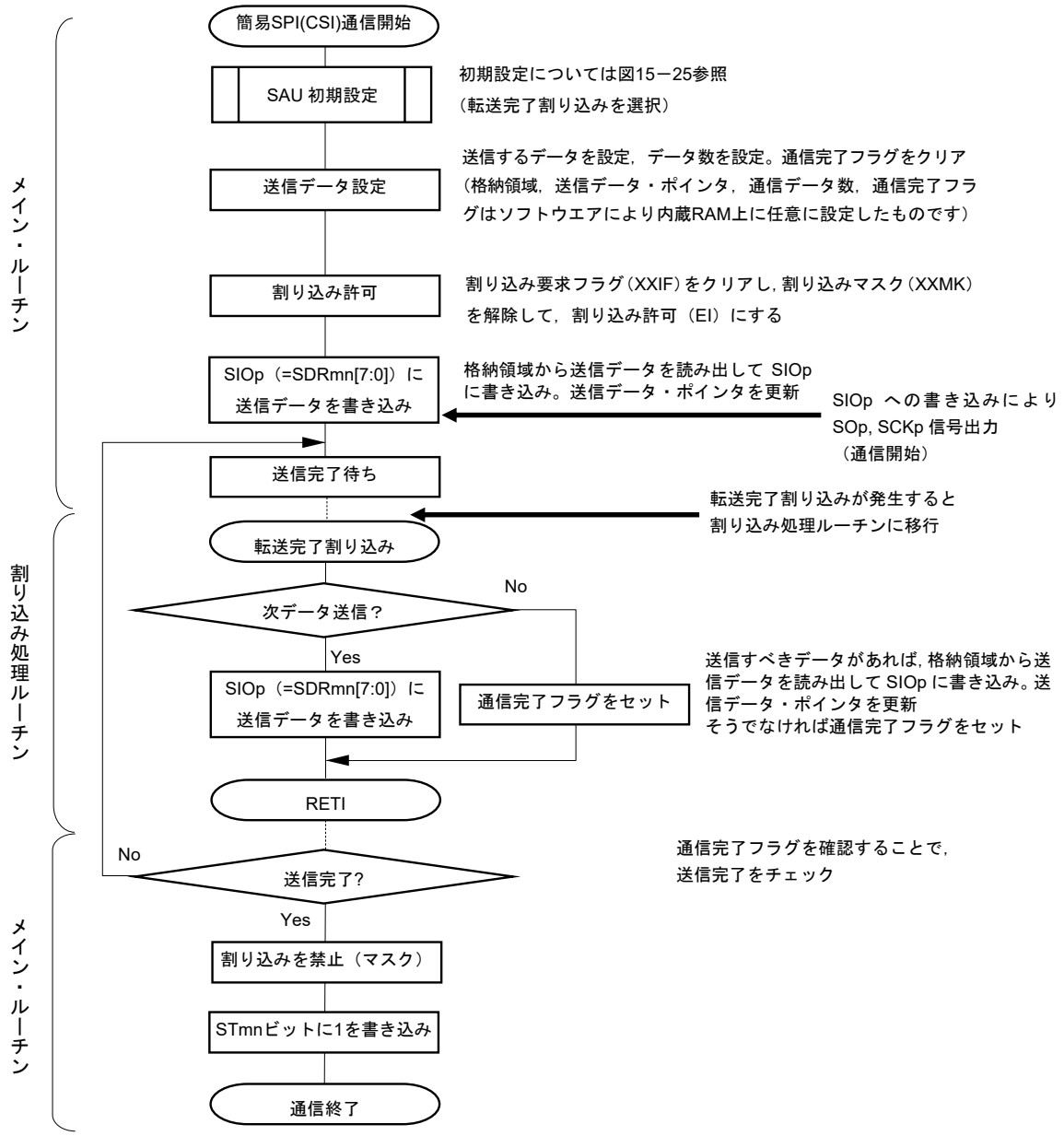
（3）処理フロー（シングル送信モード時）

図15－28　マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



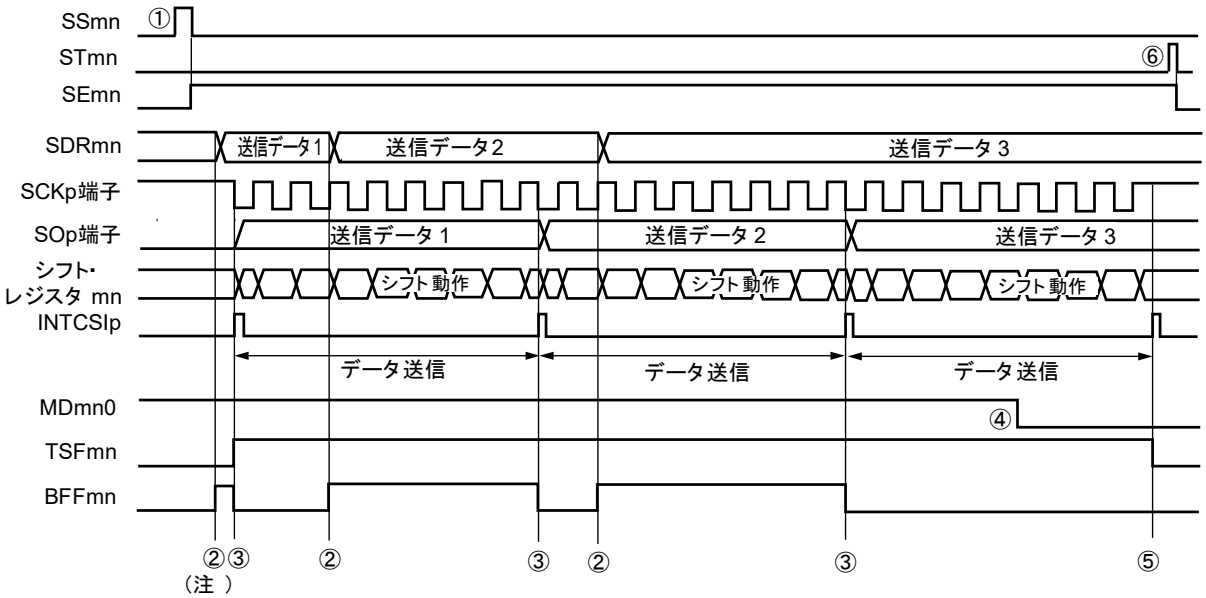
備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

図15－29　マスタ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図15－30　マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

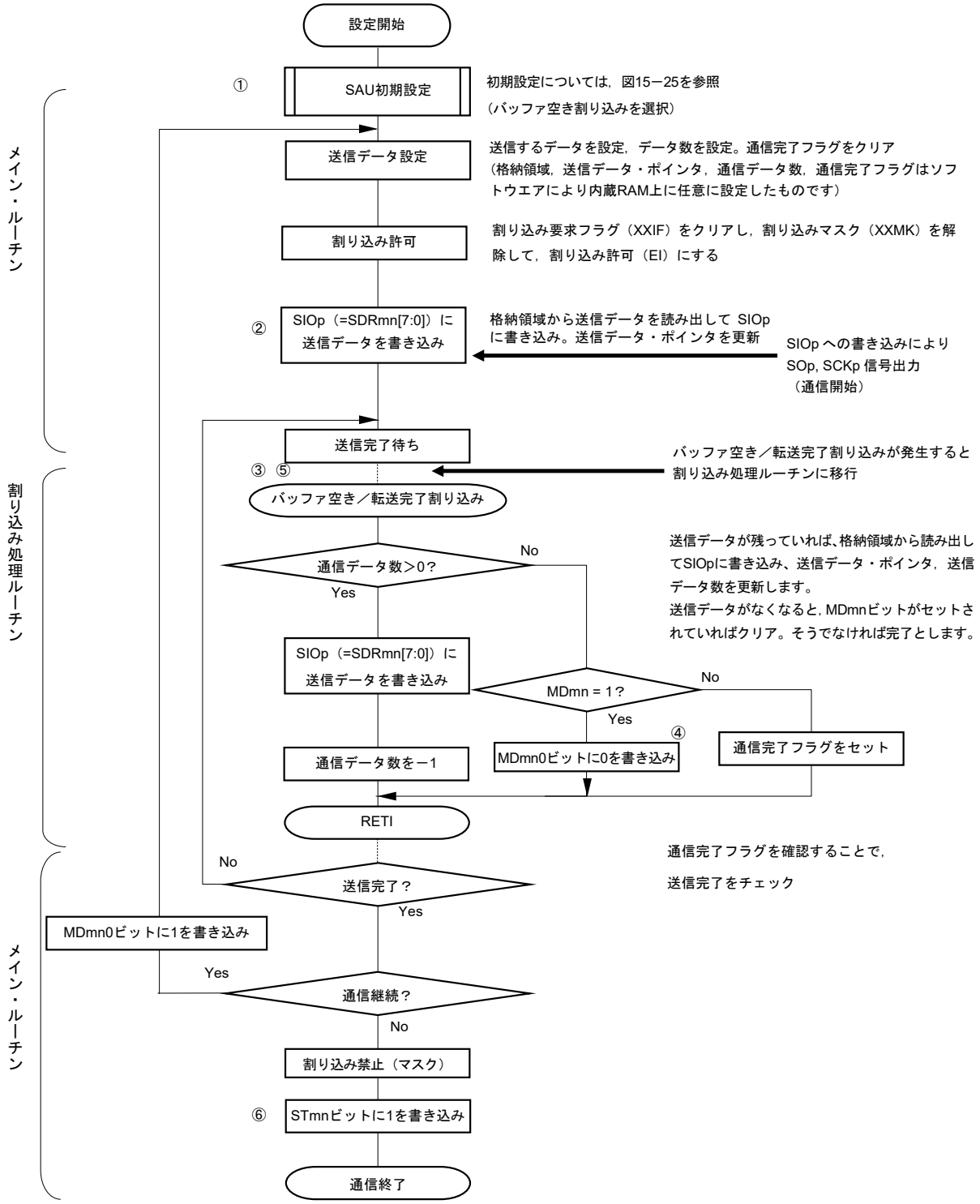


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　**シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。**

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

図15－31　マスタ送信（連続送信モード時）のフロー・チャート



備考　図中の①~⑥は，図15－30　マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

15. 5. 2　マスタ受信

マスタ受信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SI00
割り込み	INTCSI00
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート注	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2\times2^{15}\times128)$ [Hz]　　f_{CLK}：システム・クロック周波数
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注　この条件を満たし，かつ電気的特性の周辺機能特性（第32章　電気的特性（T_A = －40～+105℃対応品）または第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）

（1）レジスタ設定

図15－32　簡易SPI（CSI00）のマスタ受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「15. 3 シリアル・アレイ・ユニット0を制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	受信データ（ダミー・データとしてFFHを書き込む）							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	1	×	1	0/1	0	0	0	0	×	×	×	×

クロック位相が“非反転”（SCRmnレジスタのCKPmnビット＝0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット ＝1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	×	0	×

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	0/1

備考1.　m：ユニット番号（m＝0）　n：チャネル番号（n＝0）　p：CSI番号（p＝00）

2.　□：簡易SPI(CSI)マスタ受信モードでは設定固定　■：設定不可（初期値を設定）

×　：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－33　マスタ受信の初期設定手順

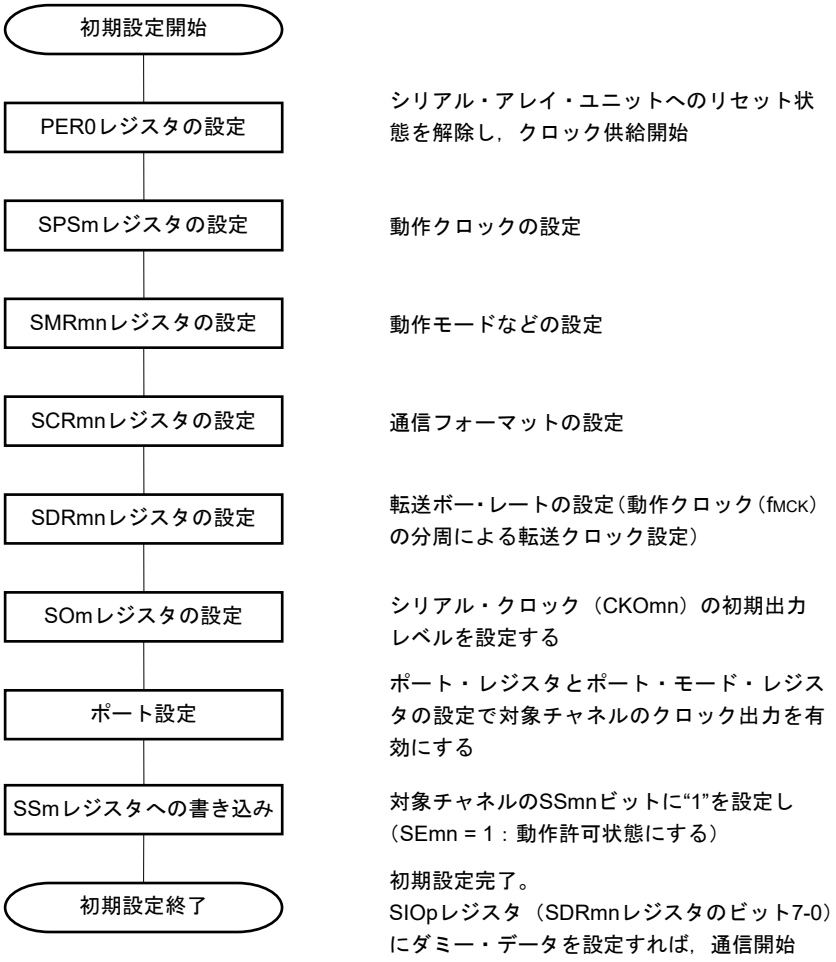


図15－34　マスタ受信の中断手順

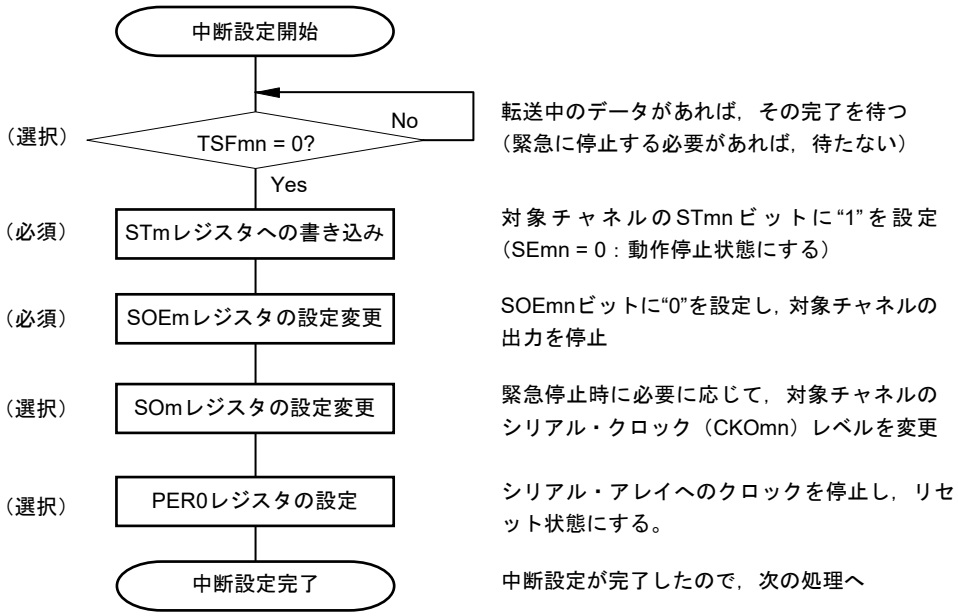
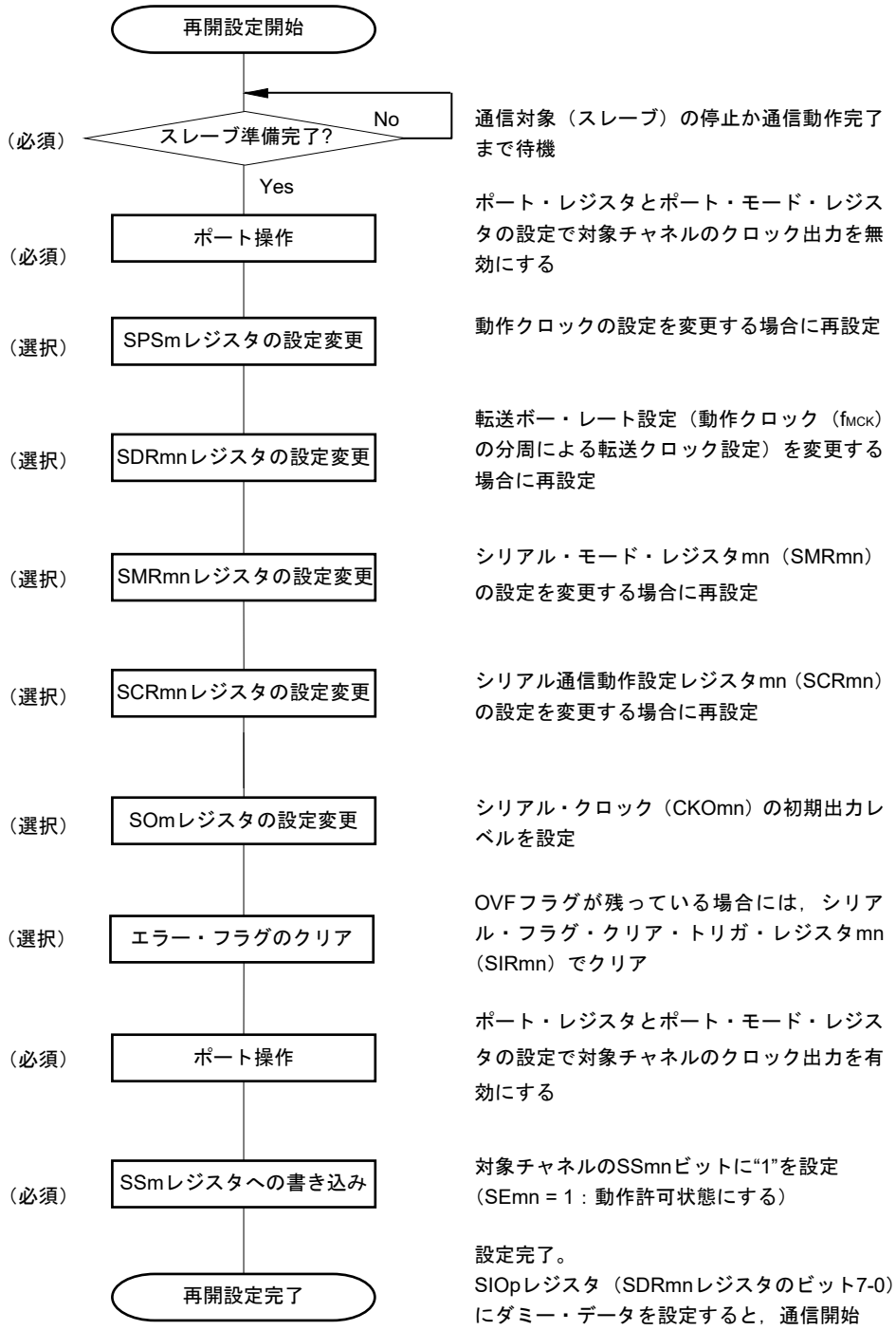


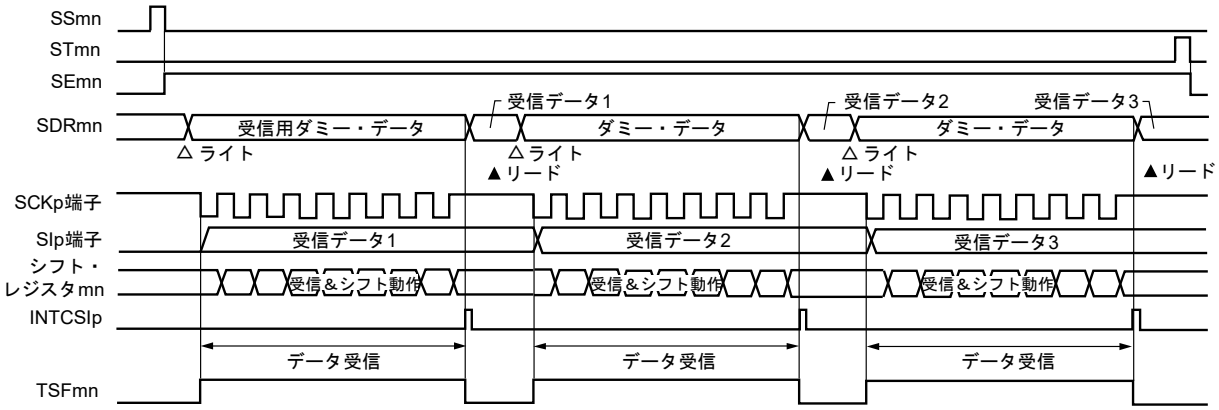
図15－35　マスタ受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

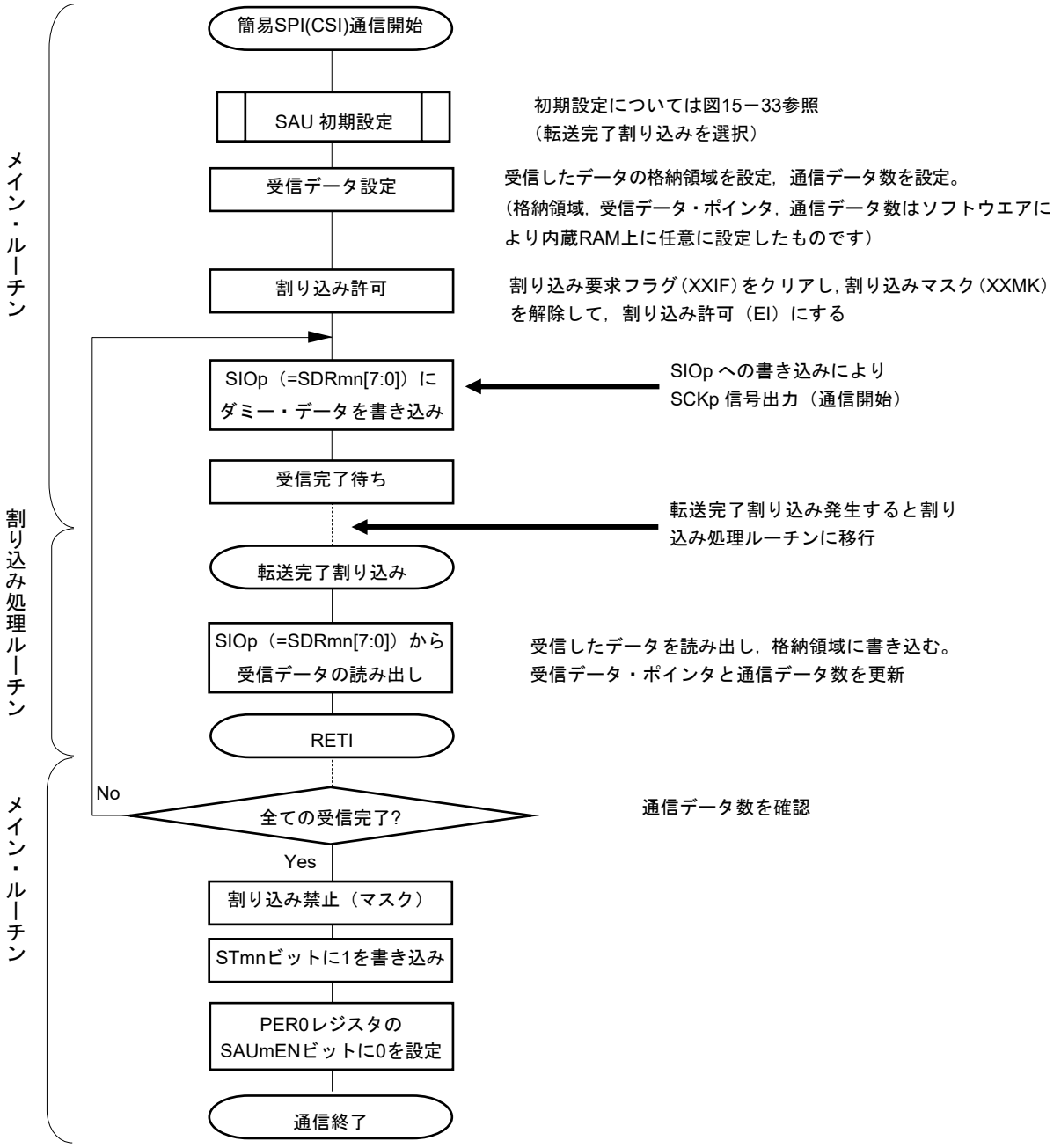
（3）処理フロー（シングル受信モード時）

図15－36　マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



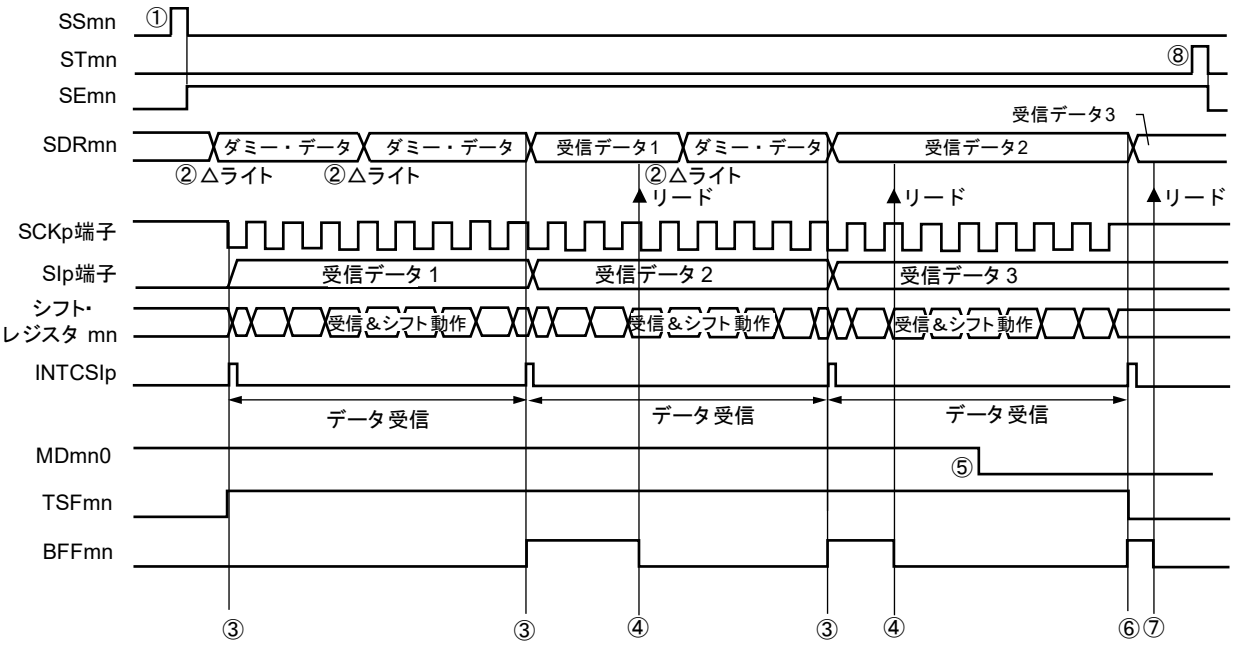
備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

図15－37　マスタ受信（シングル受信モード時）のフロー・チャート



（4）処理フロー（連続受信モード時）

図15－38　マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

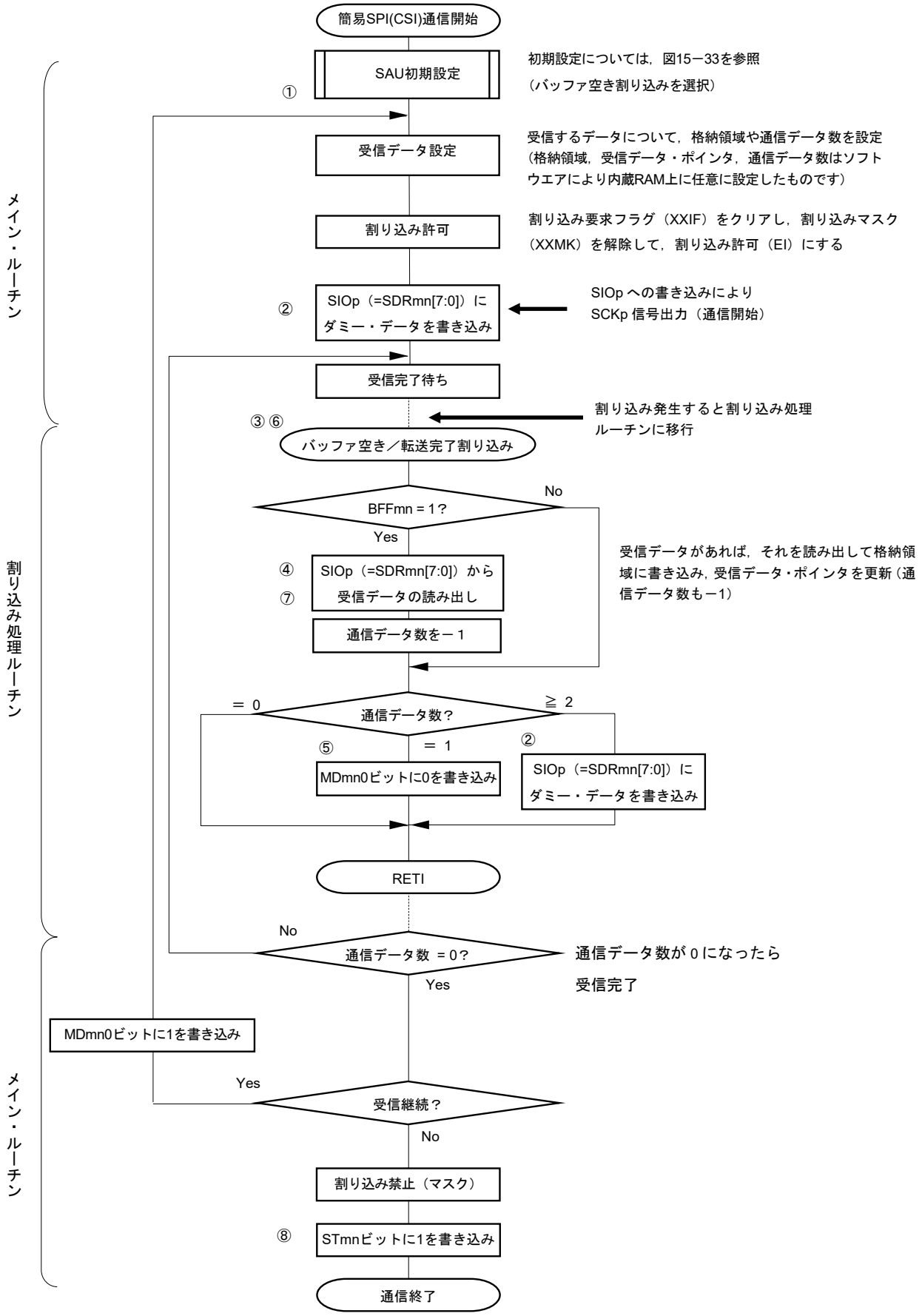


注意　MDmn0ビットは，動作中でも書き換えることができます。
ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。

備考1.　図中の①~⑧は，図15－39　マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）
mn = 00-03, 10-13

図15－39　マスタ受信（連続受信モード時）のフロー・チャート



備考　図中の①~⑧は，図15－38　マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。

15. 5. 3　マスタ送受信

マスタ送受信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SI00, SO00
割り込み	INTCSI00
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{CLK}/2$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] 注　　f_{CLK}：システム・クロック周波数
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注　この条件を満たし，かつ電気的特性の周辺機能特性（第32章　電気的特性（T_A = －40～+105℃対応品）または，第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

（1）レジスタ設定

図15－40　簡易SPI（CSI00）のマスタ送受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「15. 3 シリアル・アレイ・ユニット0を制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	送信データ設定／受信データ・レジスタ							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	×	1	0/1	0	0	0	0	1	0/1	1	0/1

クロック位相が“非反転”（SCRmnレジスタのCKPmnビット＝0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット ＝1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	×	0	0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	0/1

備考1.　m：ユニット番号（m＝0）　n：チャネル番号（n＝0）　p：CSI番号（p＝00）

2.　□：簡易SPI(CSI)マスタ送受信モードでは設定固定　■：設定不可（初期値を設定）

×　：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－41　マスタ送受信の初期設定手順

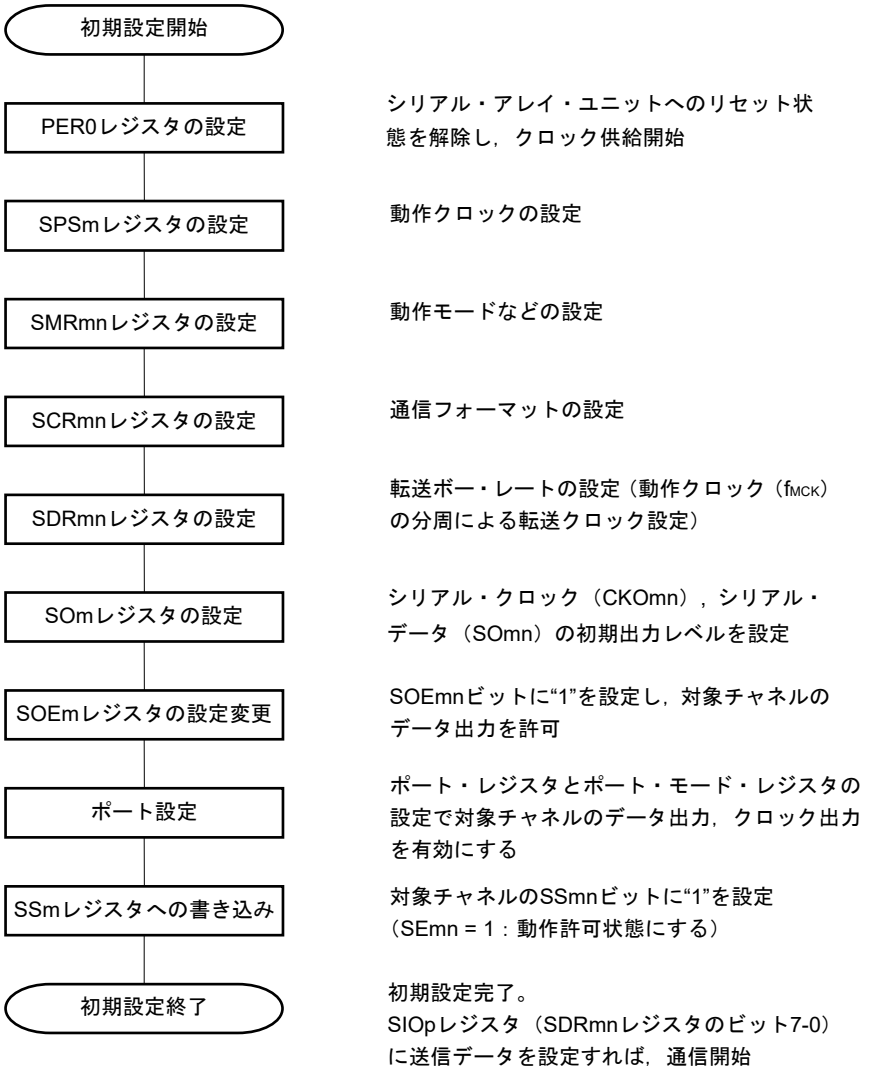


図15－42　マスタ送受信の中断手順

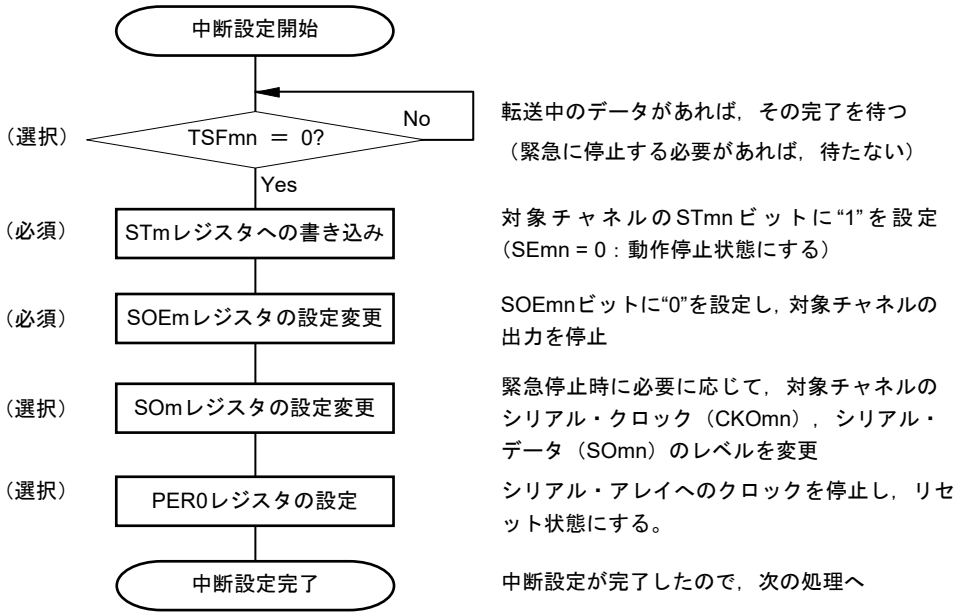
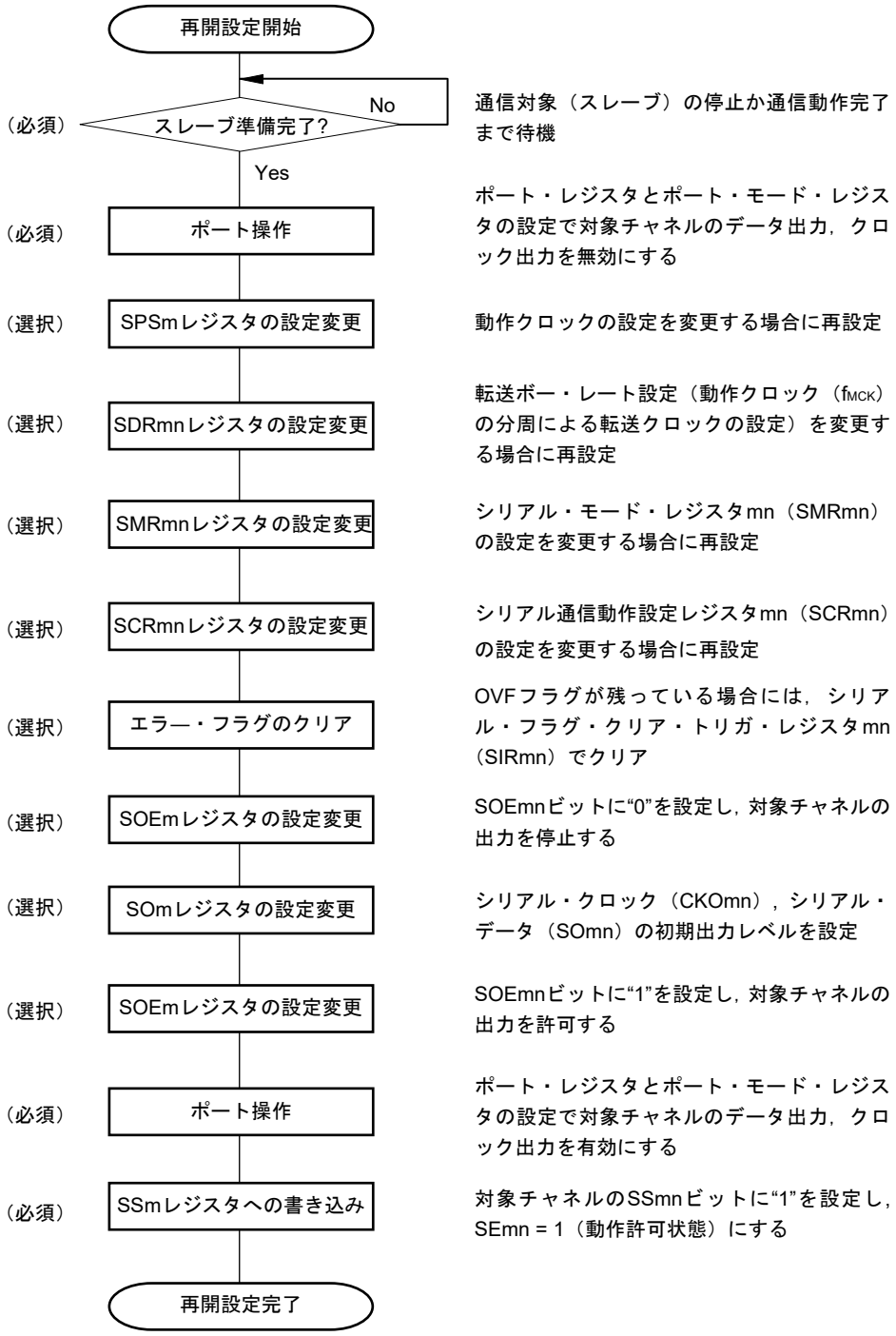
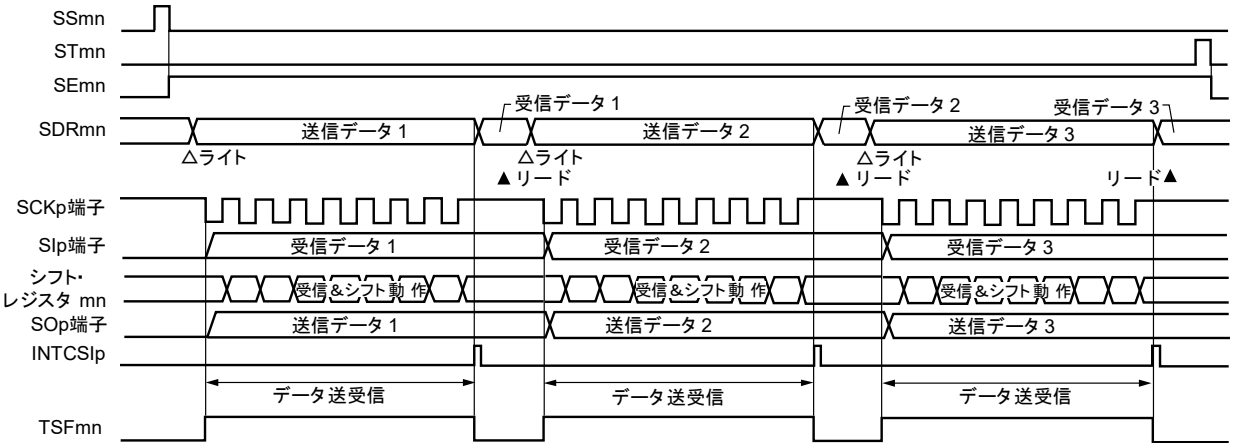


図15－43　マスタ送受信の再開設定手順



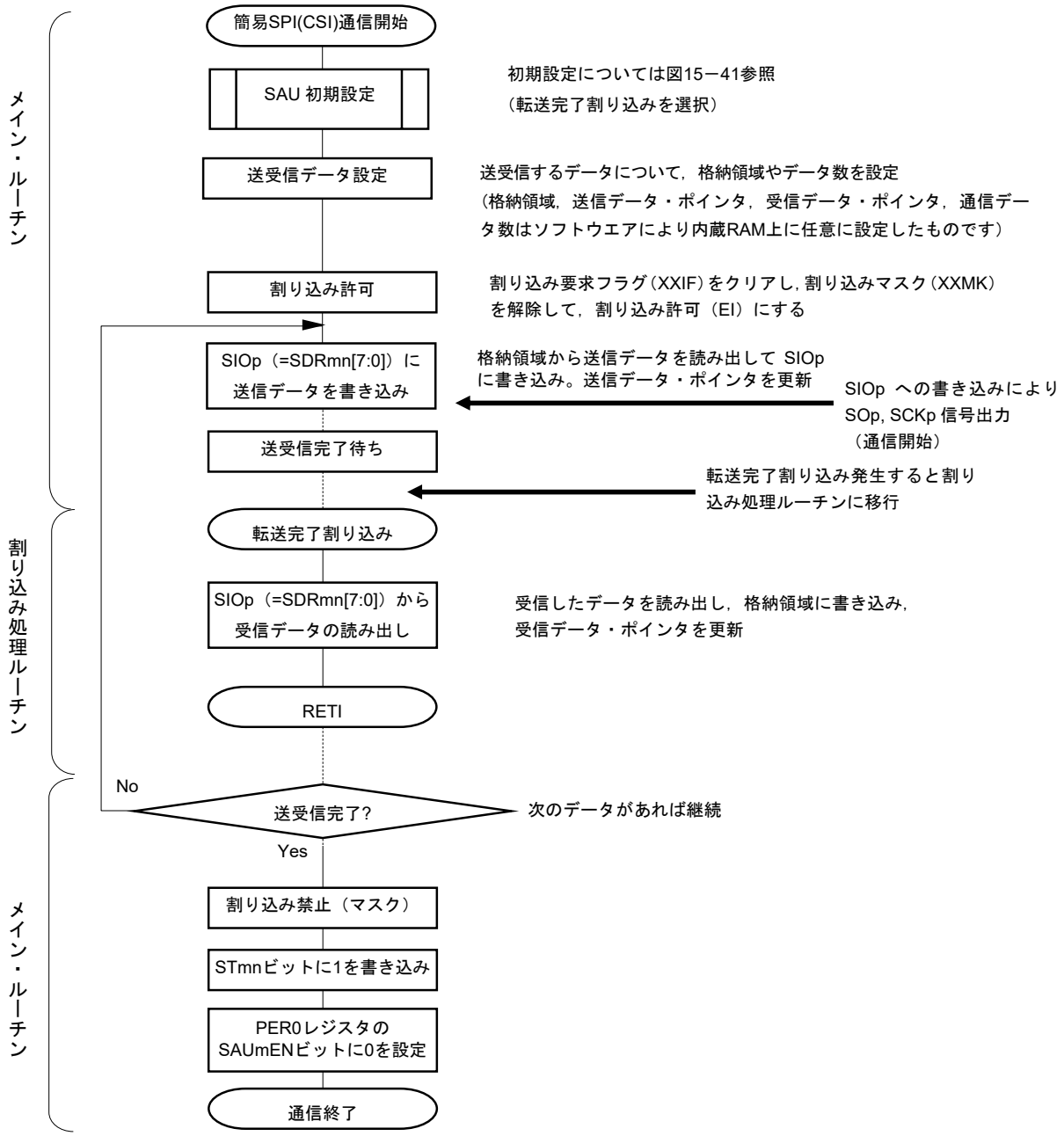
（3）処理フロー（シングル送受信モード時）

図15－44　マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



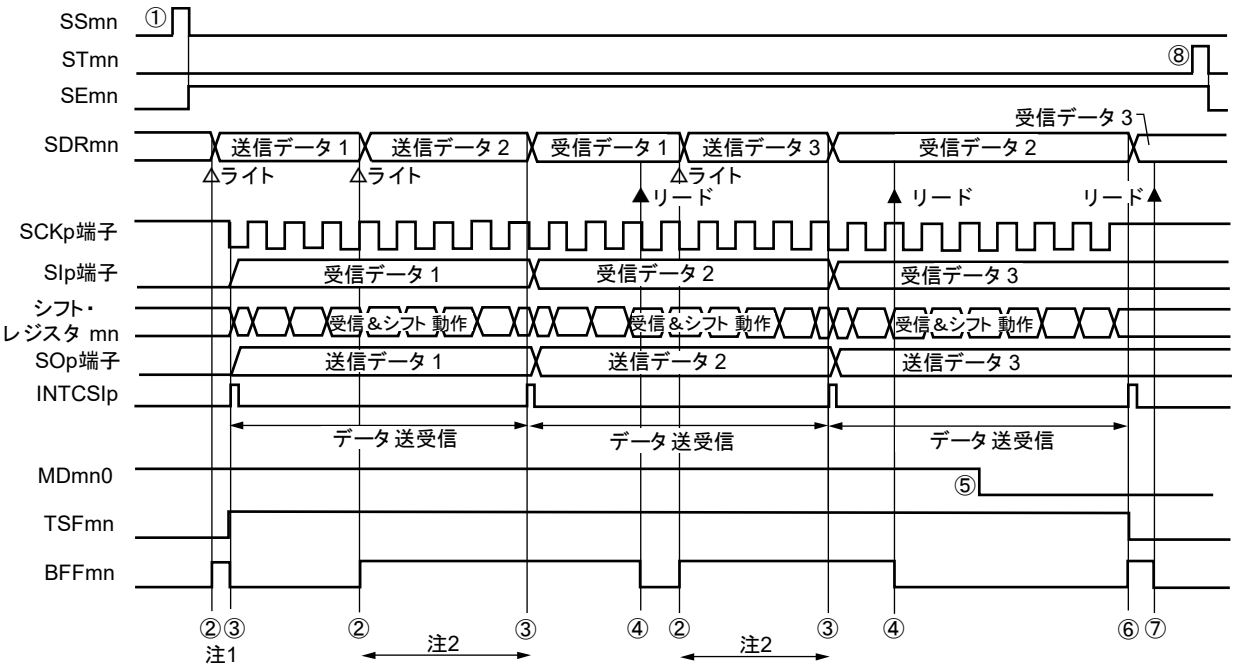
備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

図15－45　マスタ送受信（シングル送受信モード時）のフロー・チャート



（4）処理フロー（連続送受信モード時）

図15－46　マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注 1.　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されている時）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

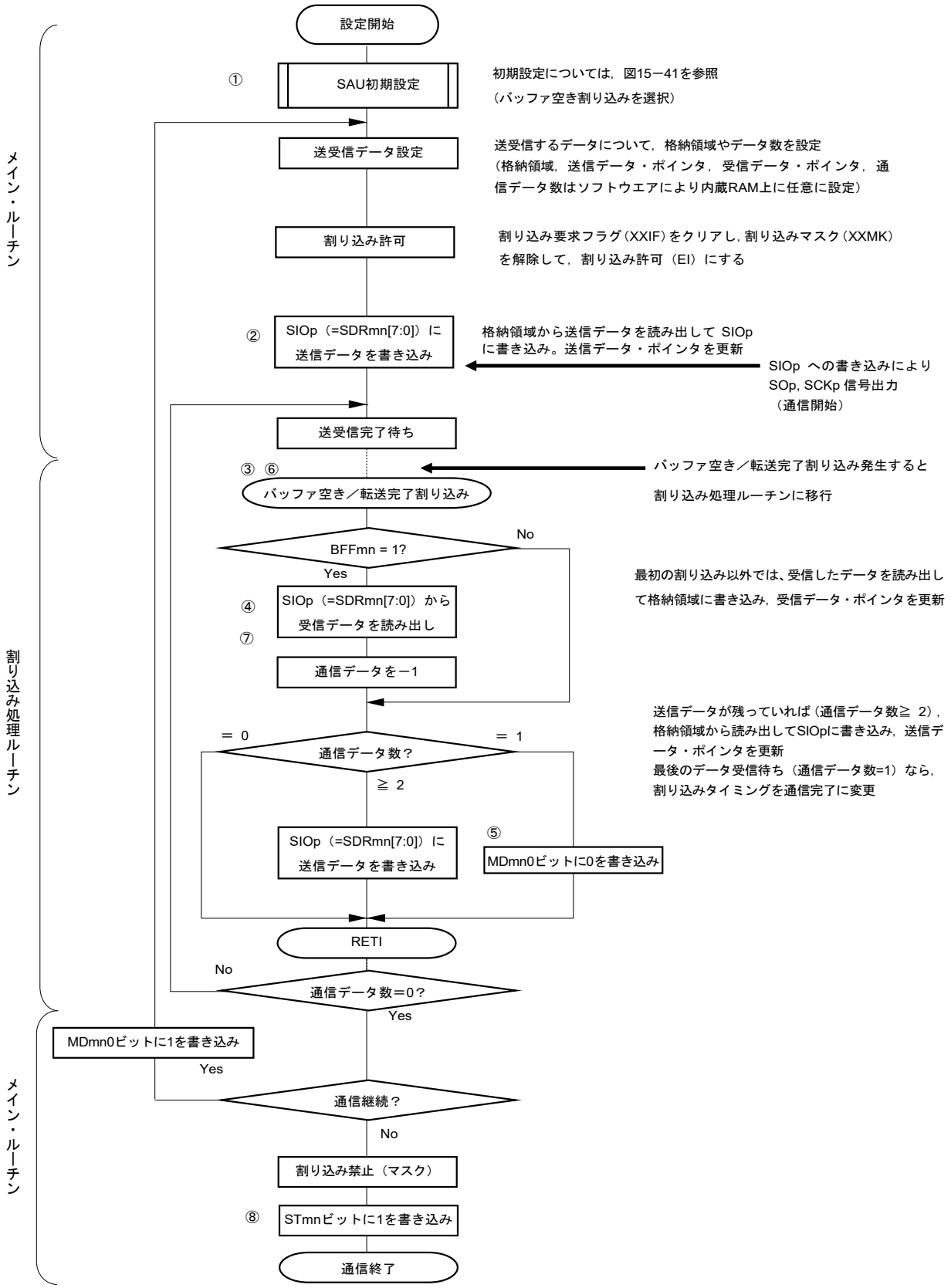
2.　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1.　図中の①~⑧は，図15－47　マスタ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

図15－47　マスタ送受信（連続送受信モード時）のフロー・チャート



備考　図中の①~⑧は，図15－46　マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

15. 5. 4　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SO00
割り込み	INTCSI00
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. f_{MCK}/6[Hz]注1, 2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注1. SCK00端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性の周辺機能特性（第32章　電気的特性（T_A = －40～+105℃対応品）または第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数

f_{SCK}：シリアル・クロック周波数

2. m：ユニット番号（m = 0）　n：チャネル番号（n = 0）

（1）レジスタ設定

図15－48　簡易SPI（CSI00）のスレーブ送信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「15. 3 シリアル・アレイ・ユニット0を制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	送信データ設定							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	×	1	×	0	0	0	0	1	0/1	1	0/1

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	0/1

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

2.　□：簡易SPI(CSI)スレーブ送信モードでは設定固定　■：設定不可（初期値を設定）

×　：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－49　スレーブ送信の初期設定手順

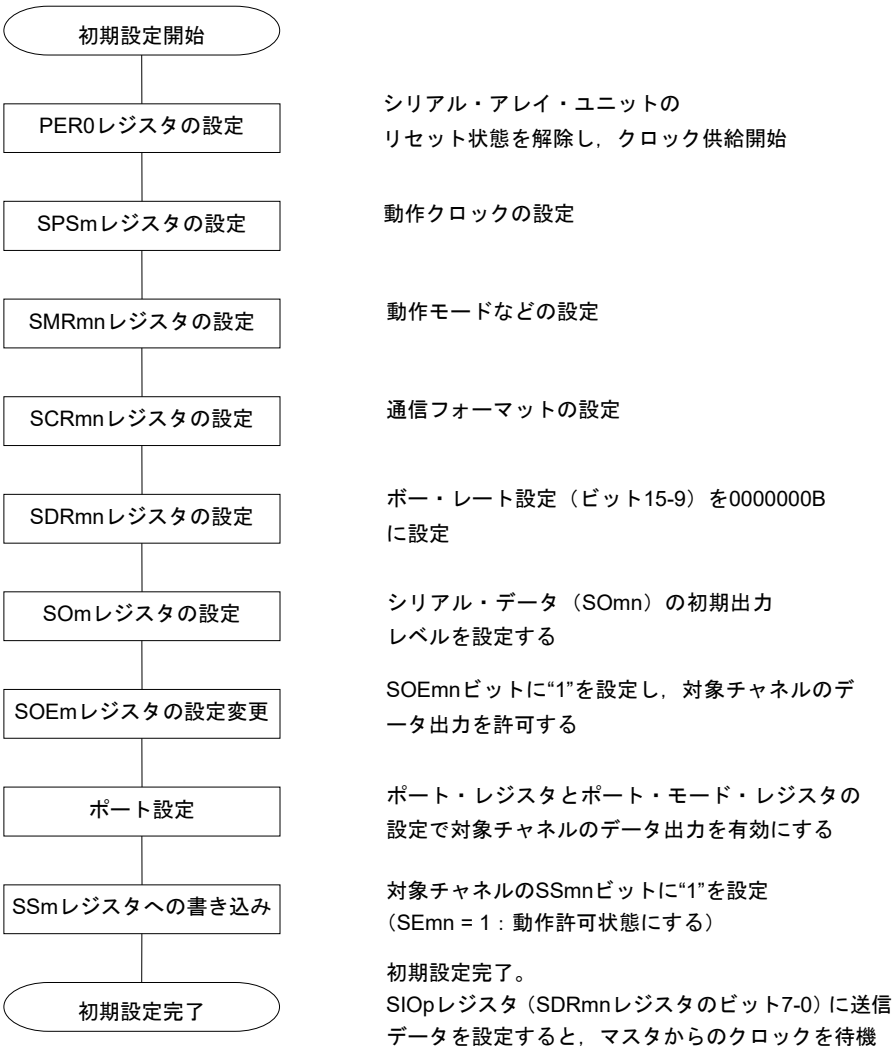


図15－50　スレーブ送信の中断手順

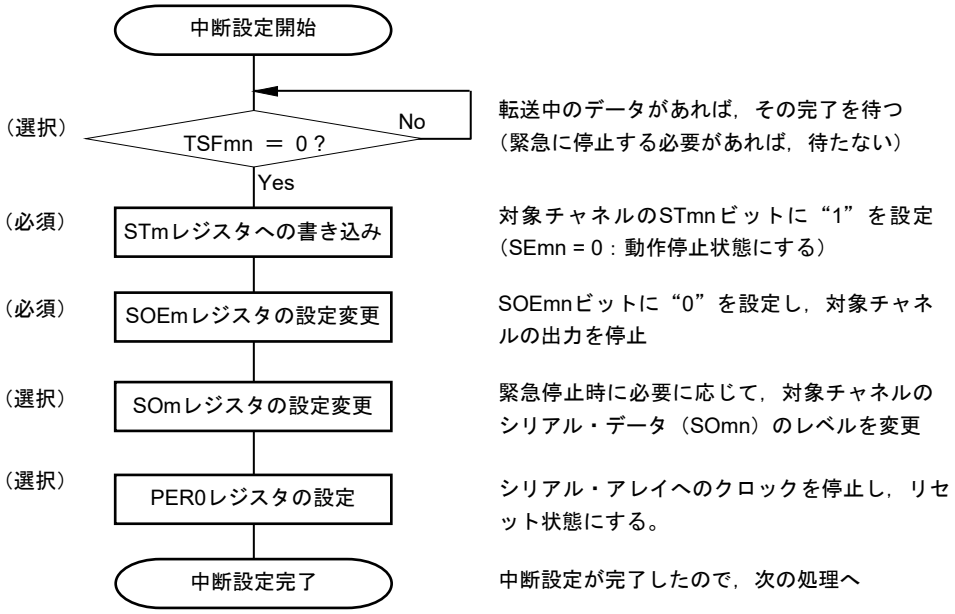
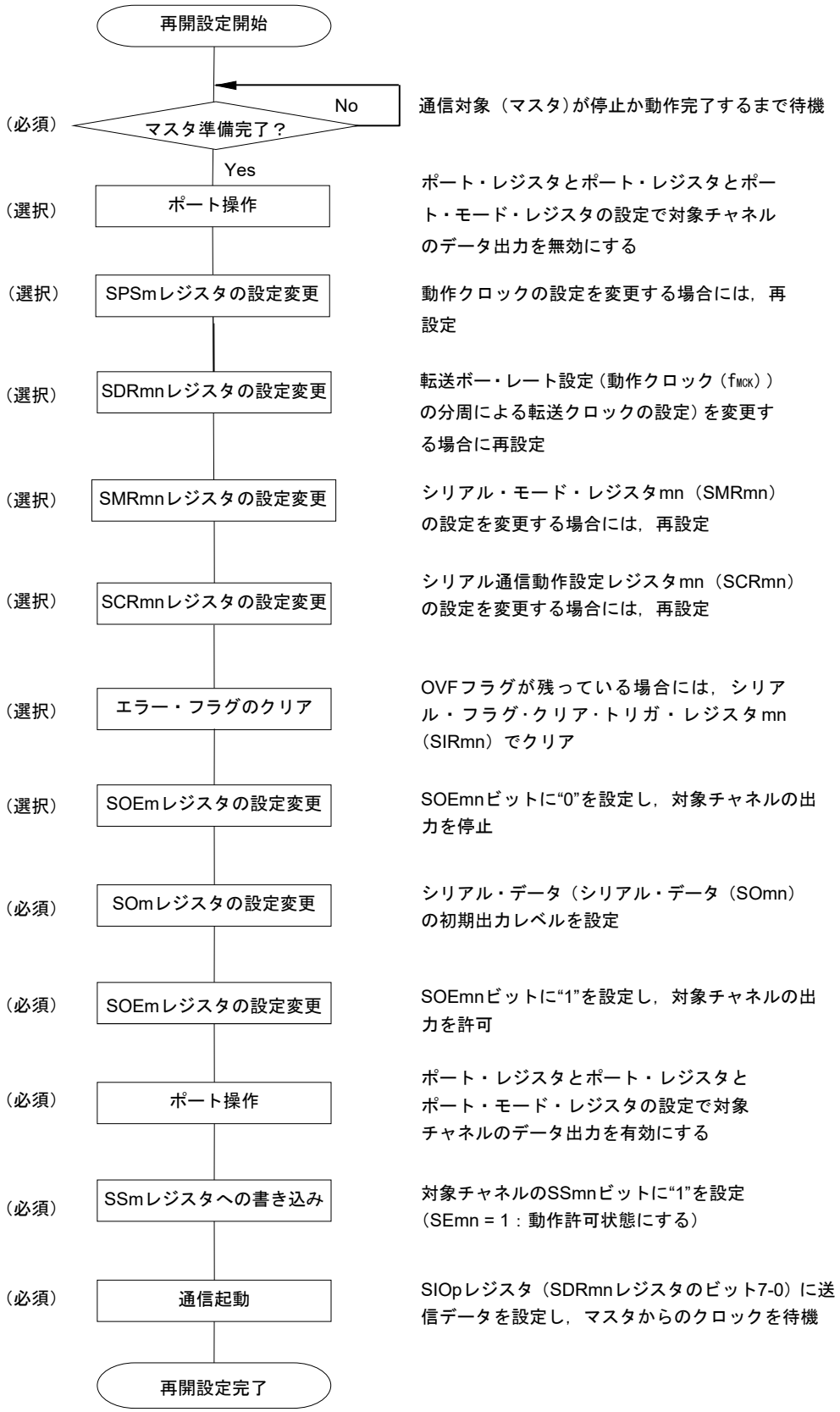


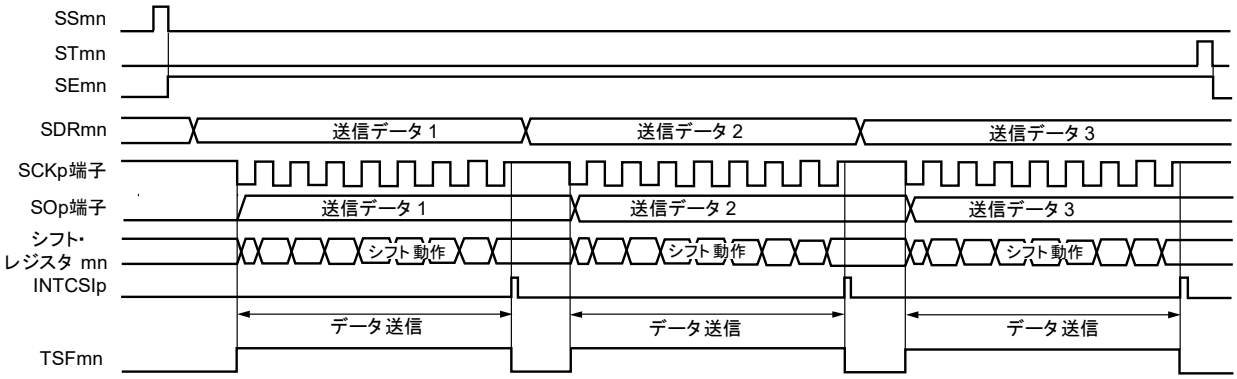
図15－51　スレーブ送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

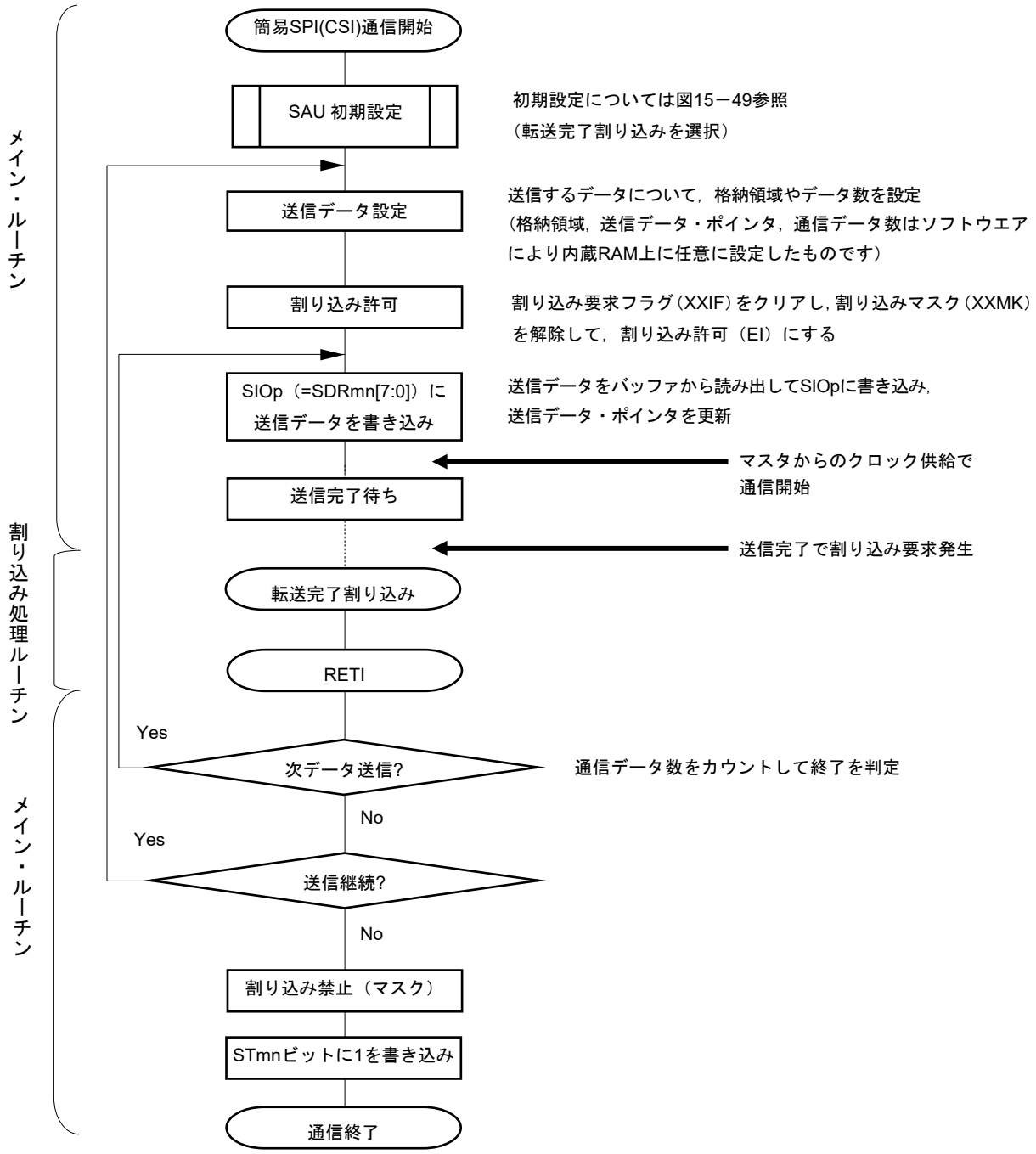
（3）処理フロー（シングル送信モード時）

図15－52　スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



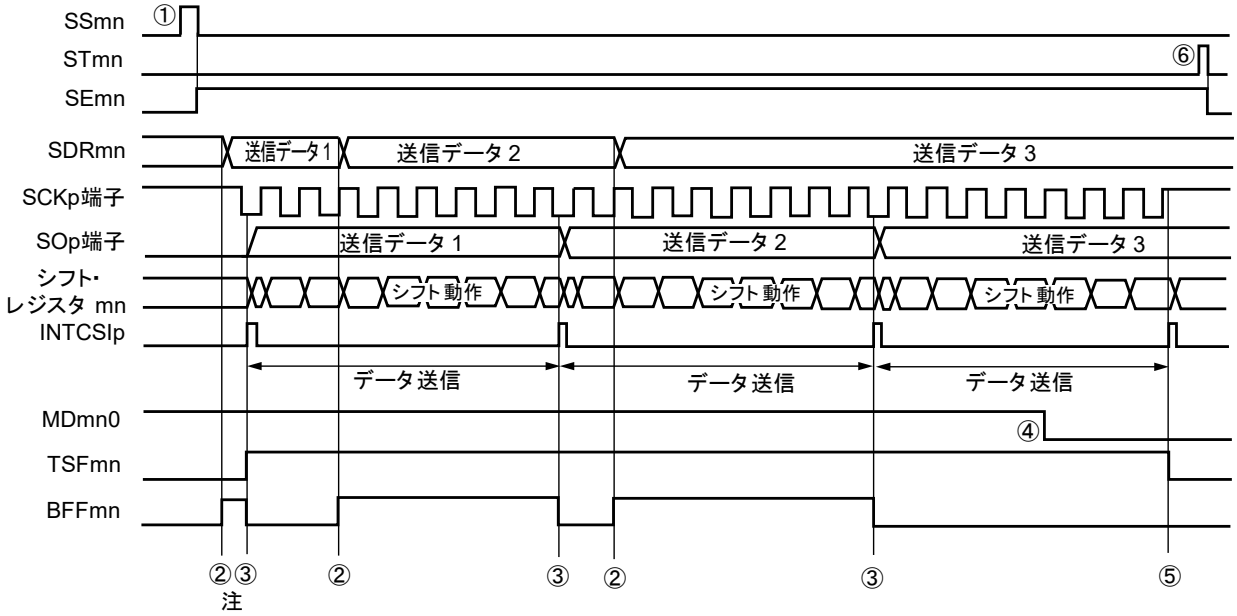
備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

図15－53　スレーブ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図15－54　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

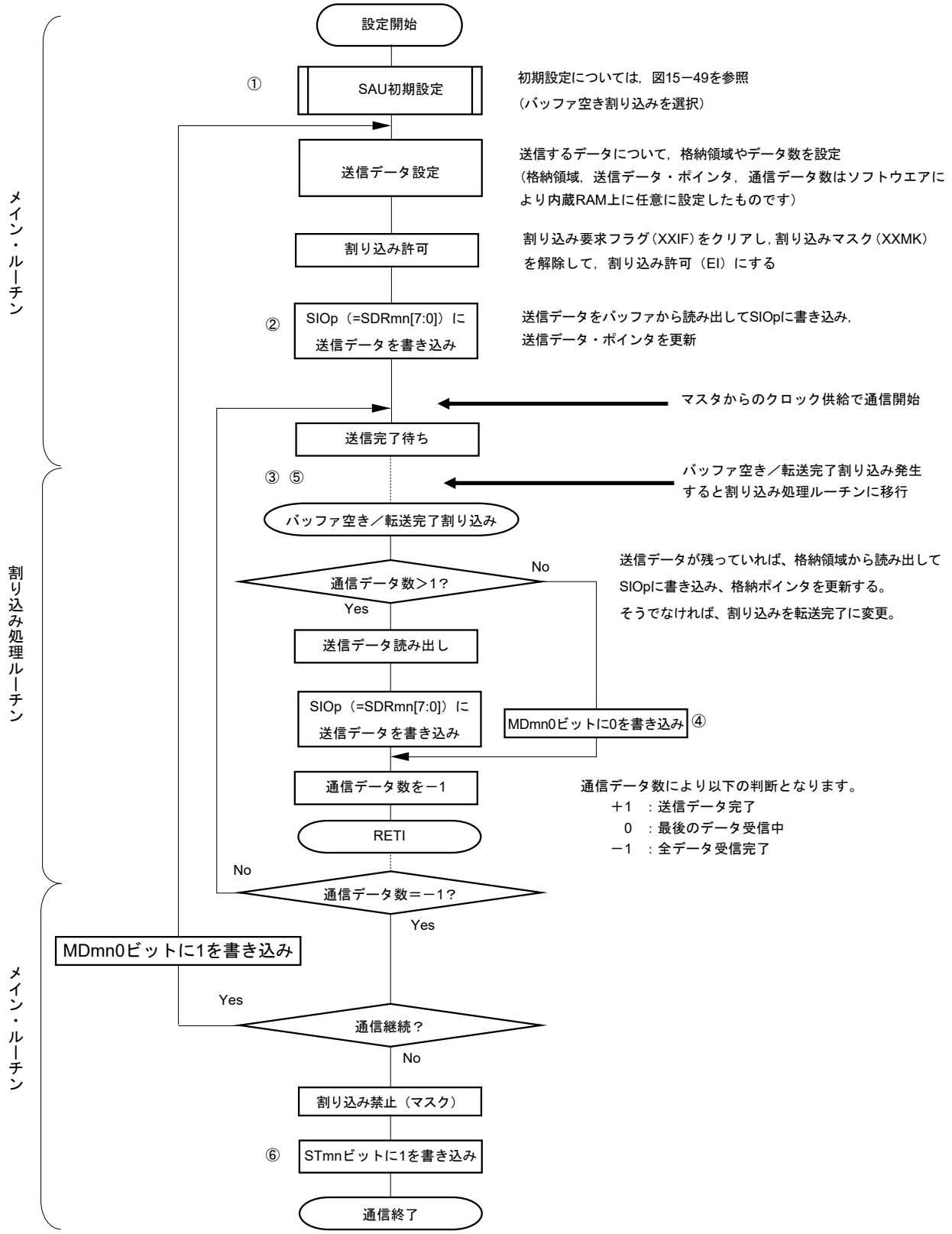


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

図15－55　スレーブ送信（連続送信モード時）のフロー・チャート



備考　図中の①~⑥は，図15－54　スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

15. 5. 5　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SI00
割り込み	INTCSI00
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. f_{MCK}/6 [Hz]注1, 2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注1. SCK00端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性の周辺機能特性（第32章　電気的特性（T_A = －40～+105℃対応品）または第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数

f_{SCK}：シリアル・クロック周波数

2. m：ユニット番号（m = 0）　n：チャネル番号（n = 0）

（1）レジスタ設定

図15－56　簡易SPI（CSI00）のスレーブ受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「15. 3 シリアル・アレイ・ユニット0を制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	受信データ							

SIOp

（d）シリアル出力レジスタm（SOm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	×	1	×	0	0	0	0	1	×	1	×

（e）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	×	0	×

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	0/1

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

2.　□：簡易SPI(CSI)スレーブ受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－57　スレーブ受信の初期設定手順

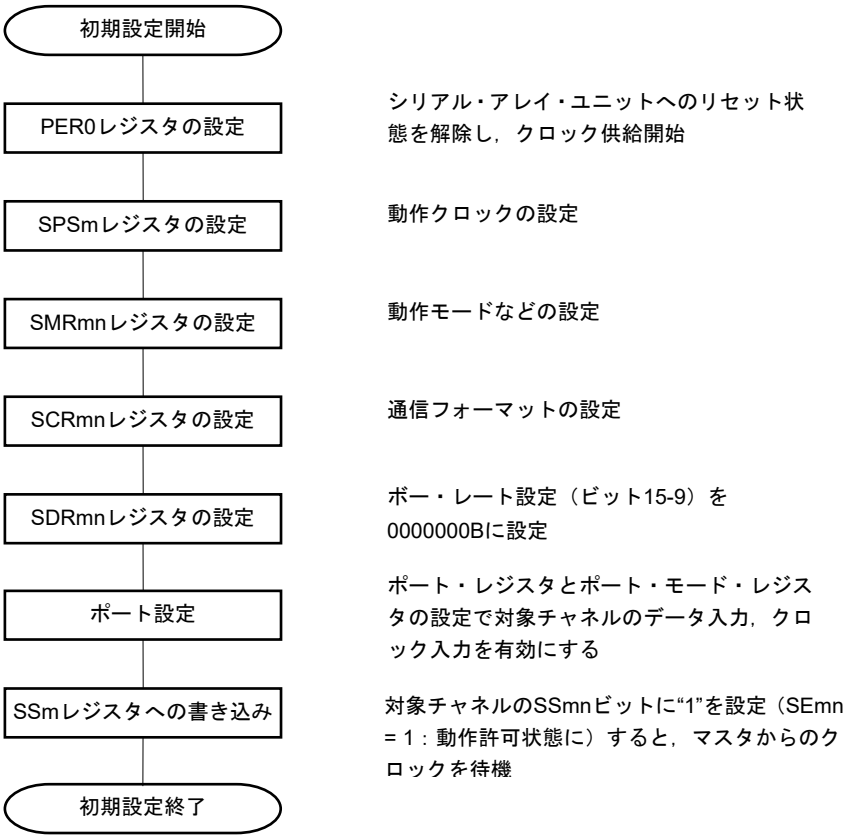


図15－58　スレーブ受信の中断手順

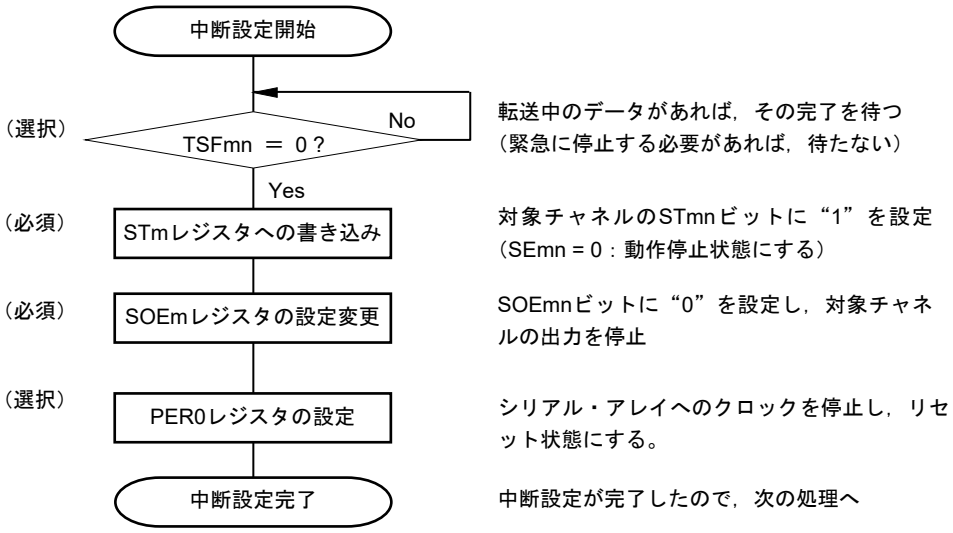
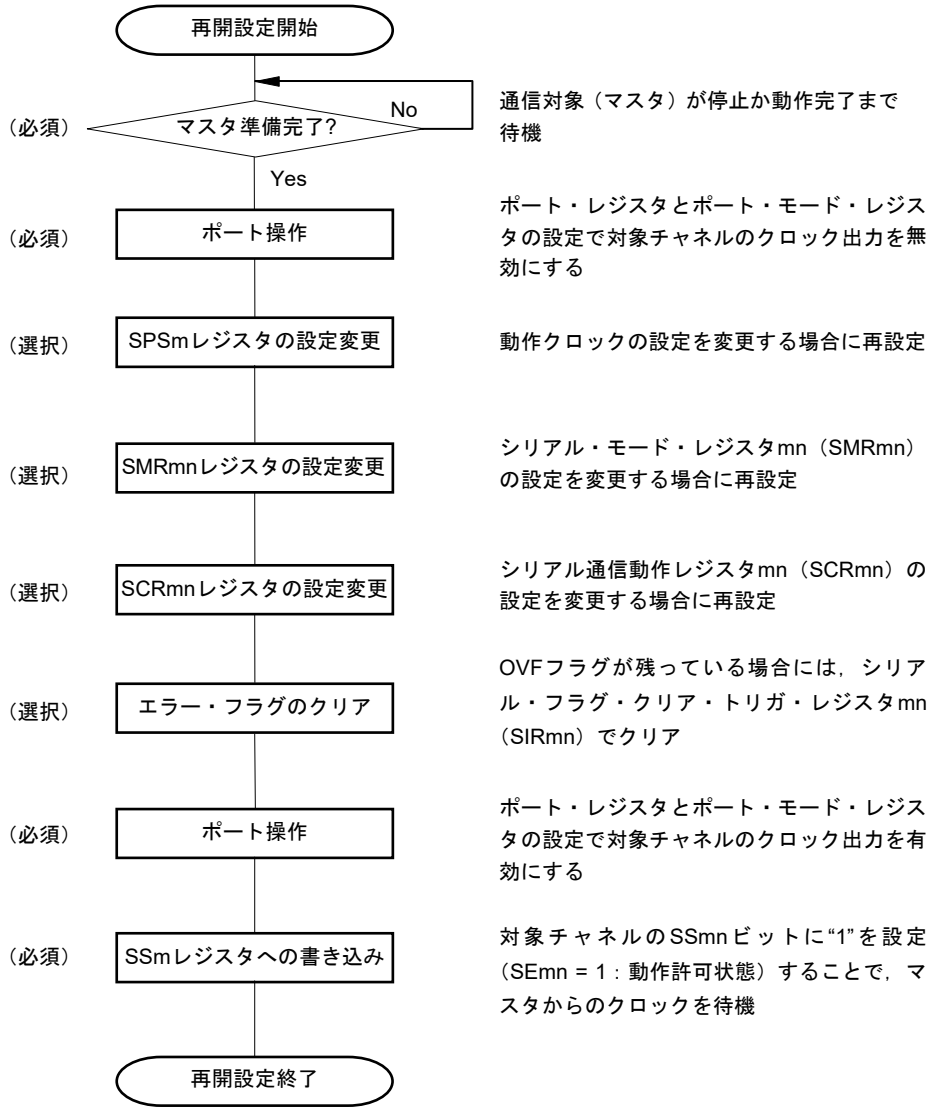


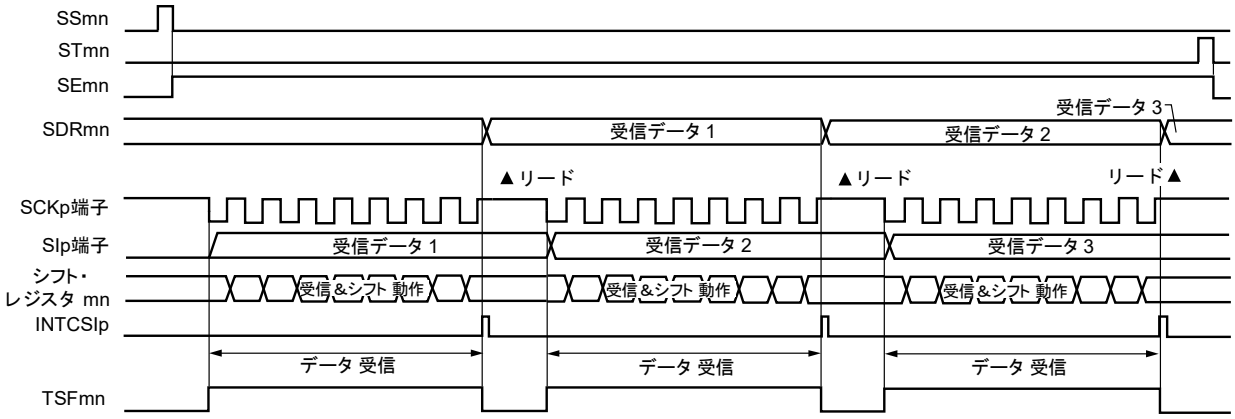
図15－59　スレーブ受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

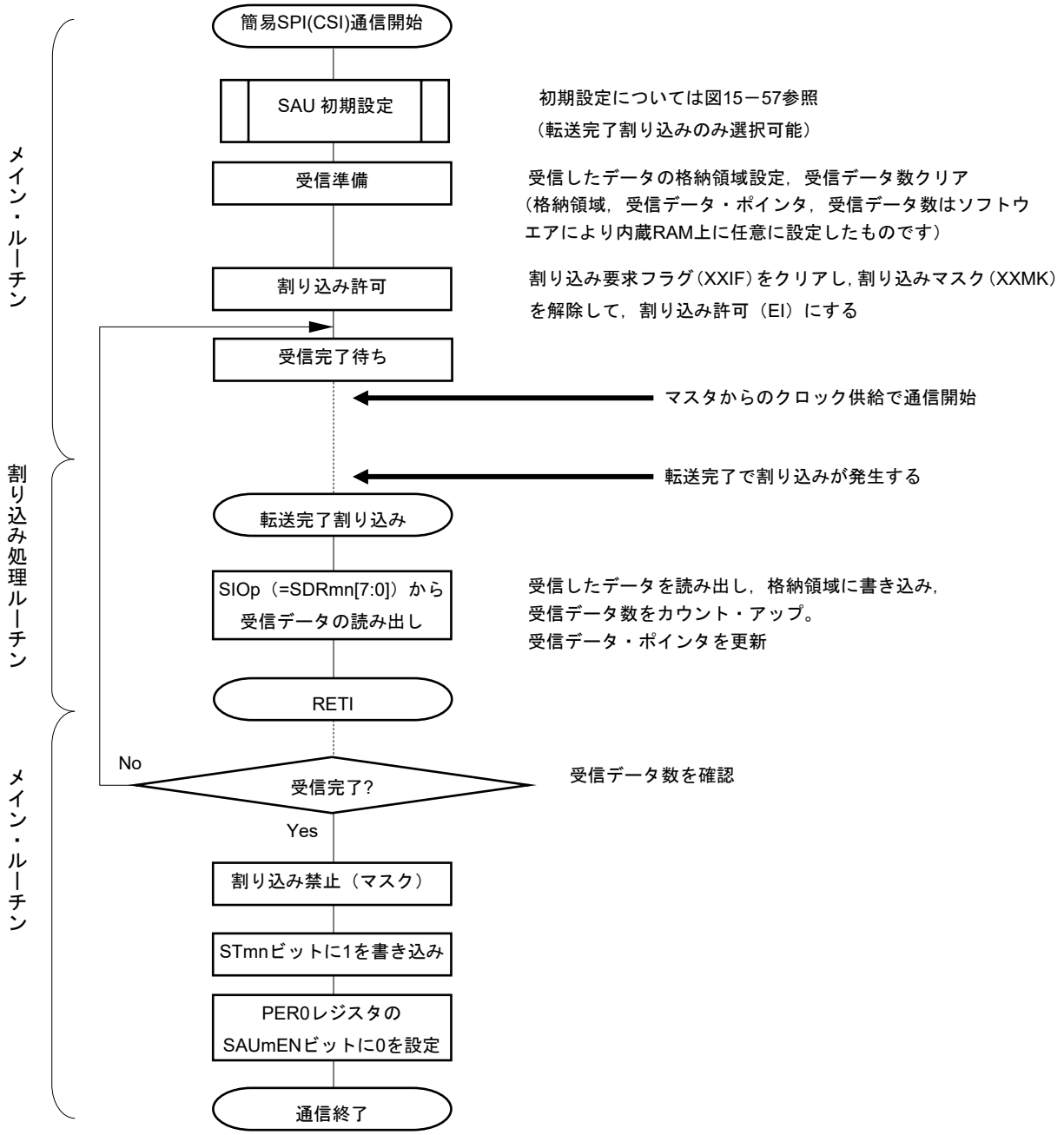
（3）処理フロー（シングル受信モード時）

図15－60　スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

図15－61　スレーブ受信（シングル受信モード時）のフロー・チャート



15. 5. 6　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SI00, SOm0
割り込み	INTCSI00
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. f_{MCK}/6 [Hz]注1, 2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注1. SCK00端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性の周辺機能特性（第32章　電気的特性（T_A = －40～+105℃対応品）または第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

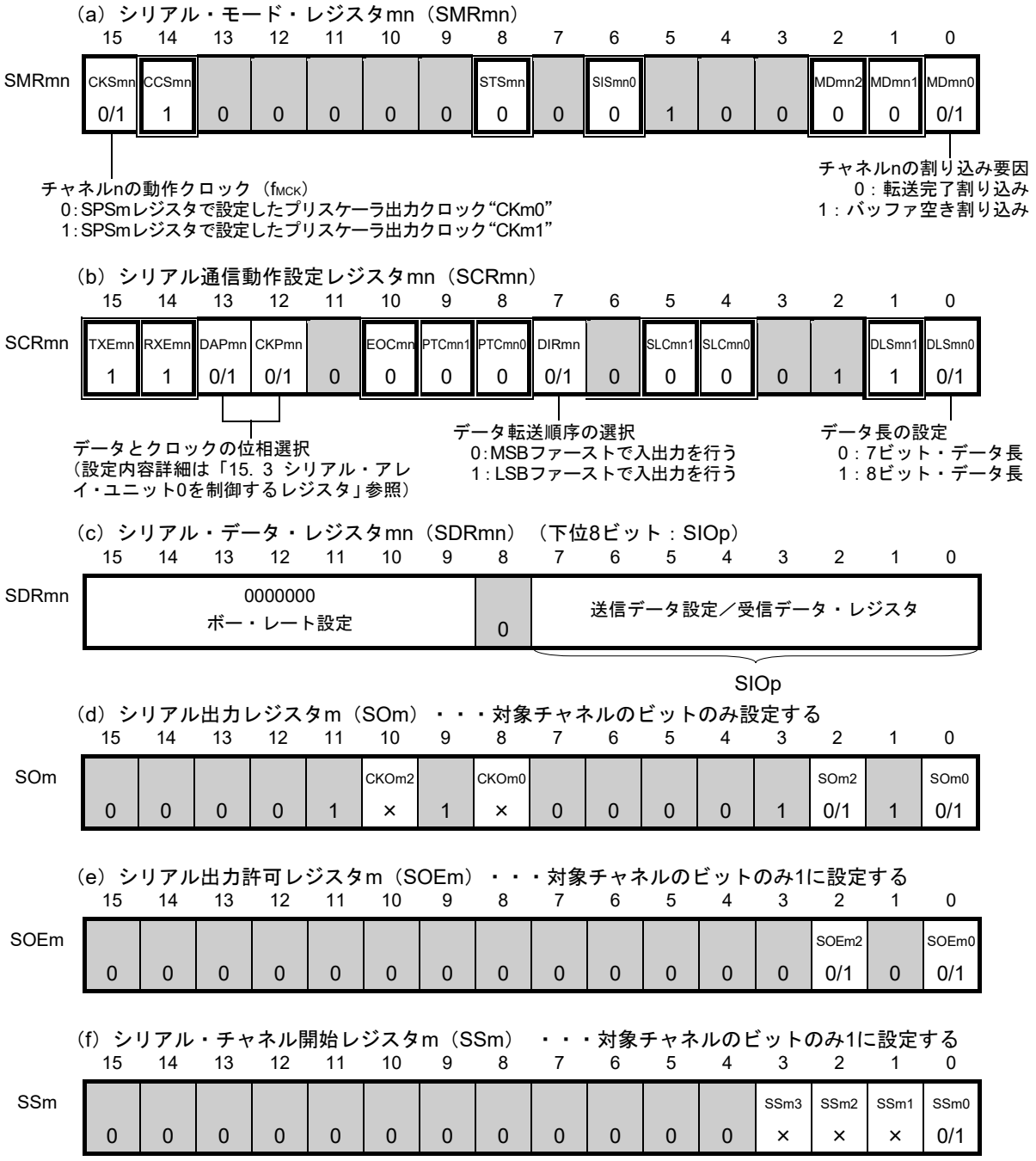
備考1. f_{MCK}：対象チャネルの動作クロック周波数

f_{SCK}：シリアル・クロック周波数

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）

（1）レジスタ設定

図15－62　簡易SPI（CSI00）のスレーブ送受信時のレジスタ設定内容例



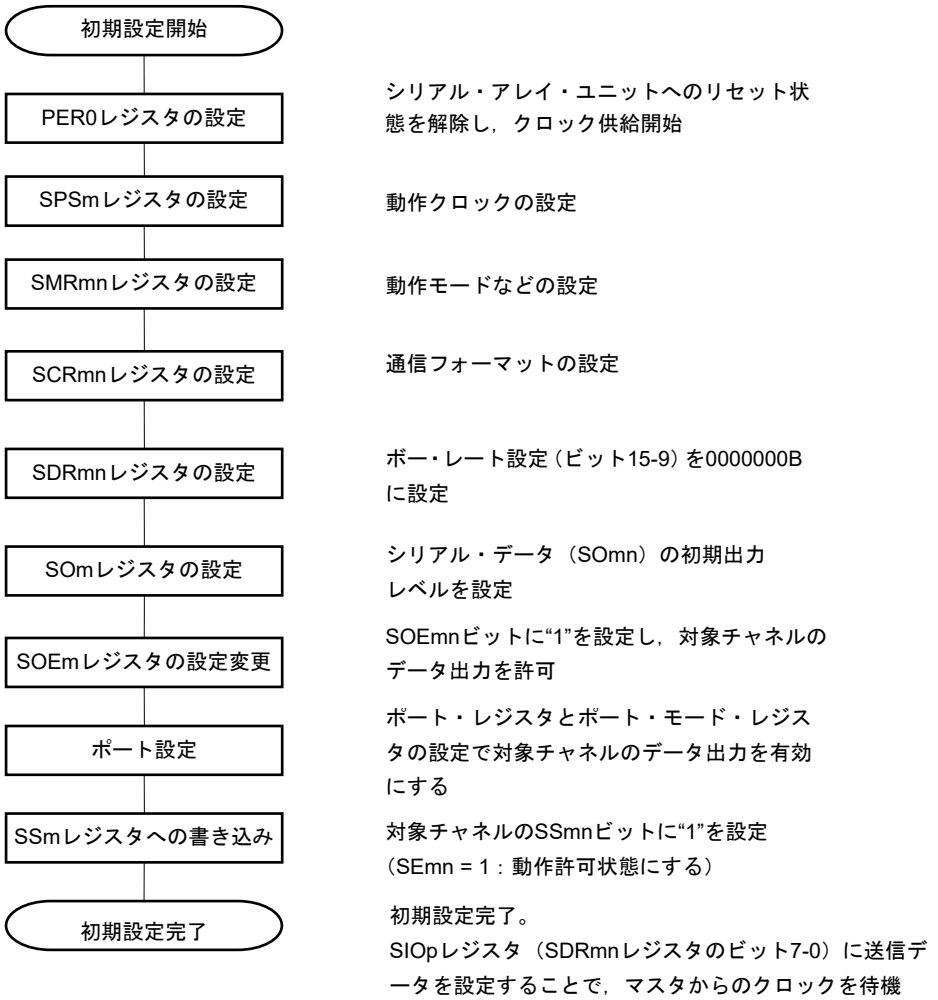
注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）
mn = 00-03, 10-13

2.　□：簡易SPI(CSI)スレーブ送受信モードでは設定固定　■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－63　スレーブ送受信の初期設定手順



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

図15－64　スレーブ送受信の中断手順

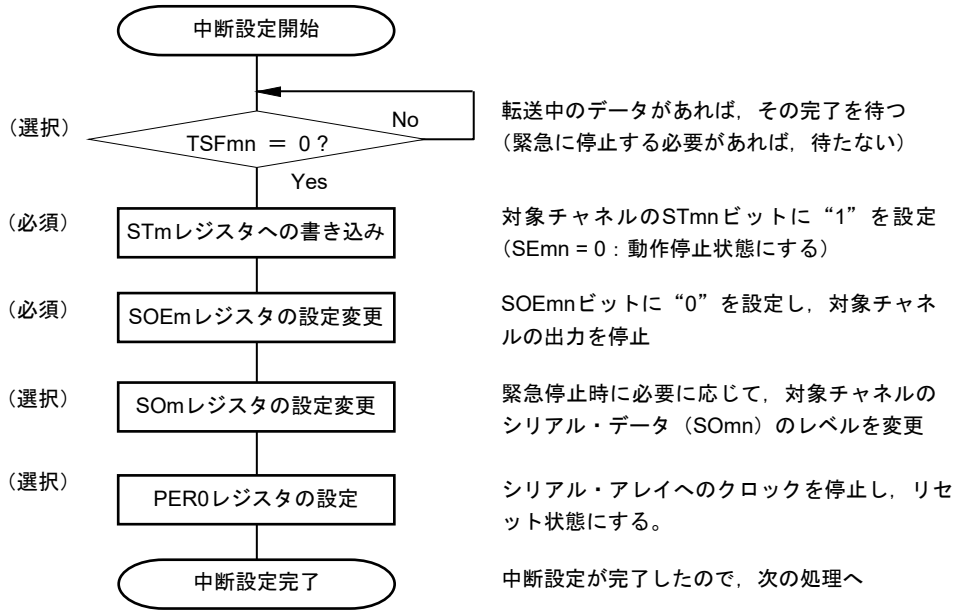
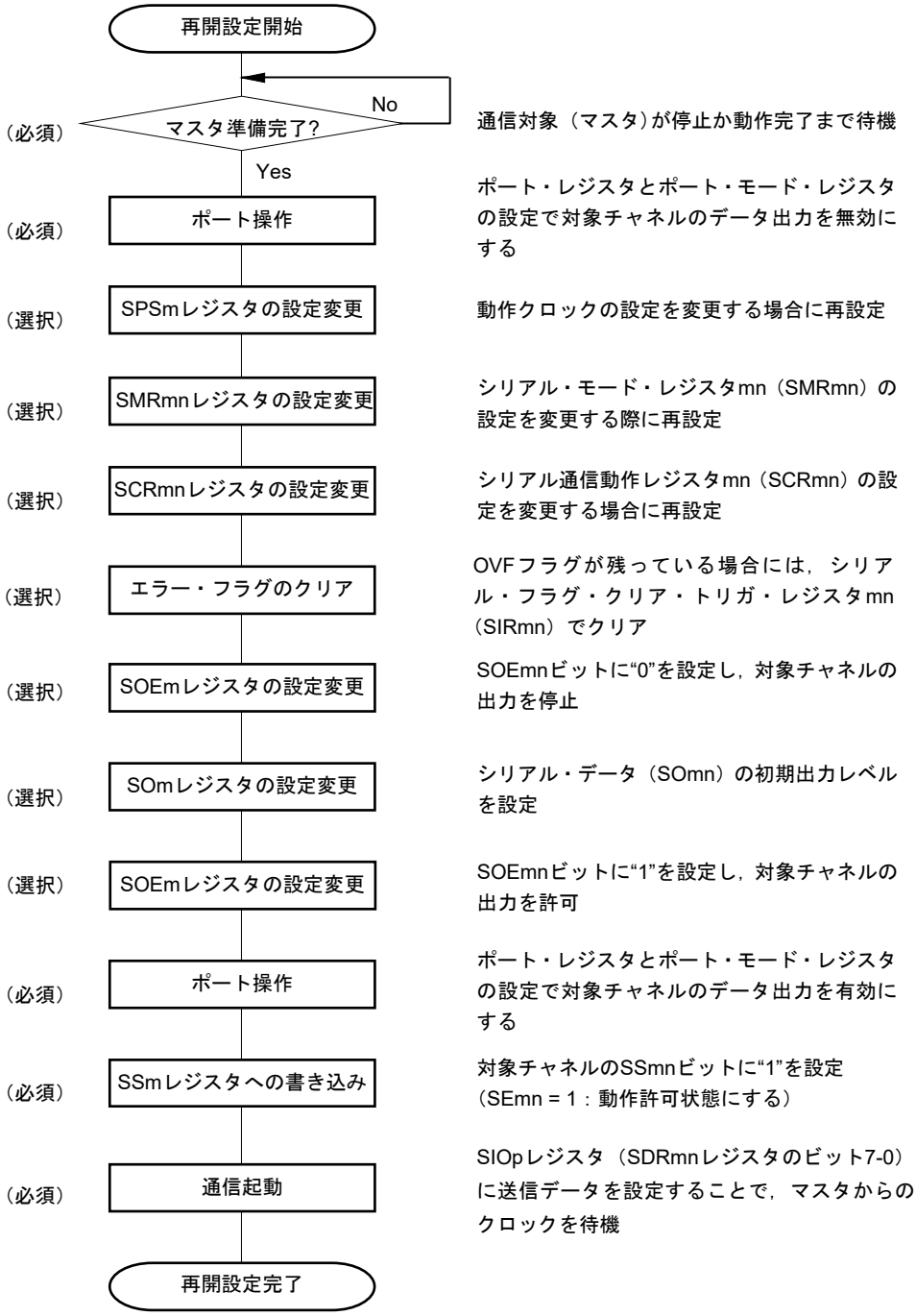


図15－65　スレーブ送受信の再開設定手順

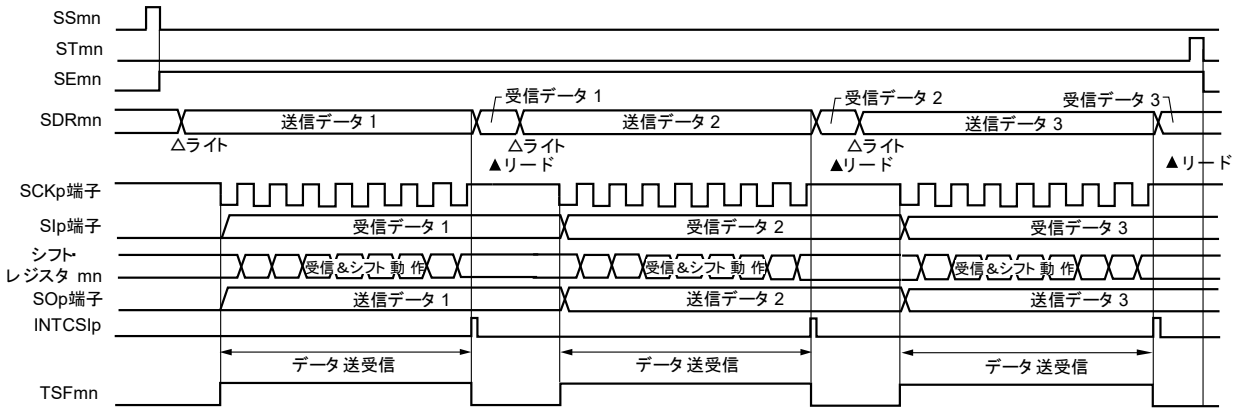


注意 1.　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

2.　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

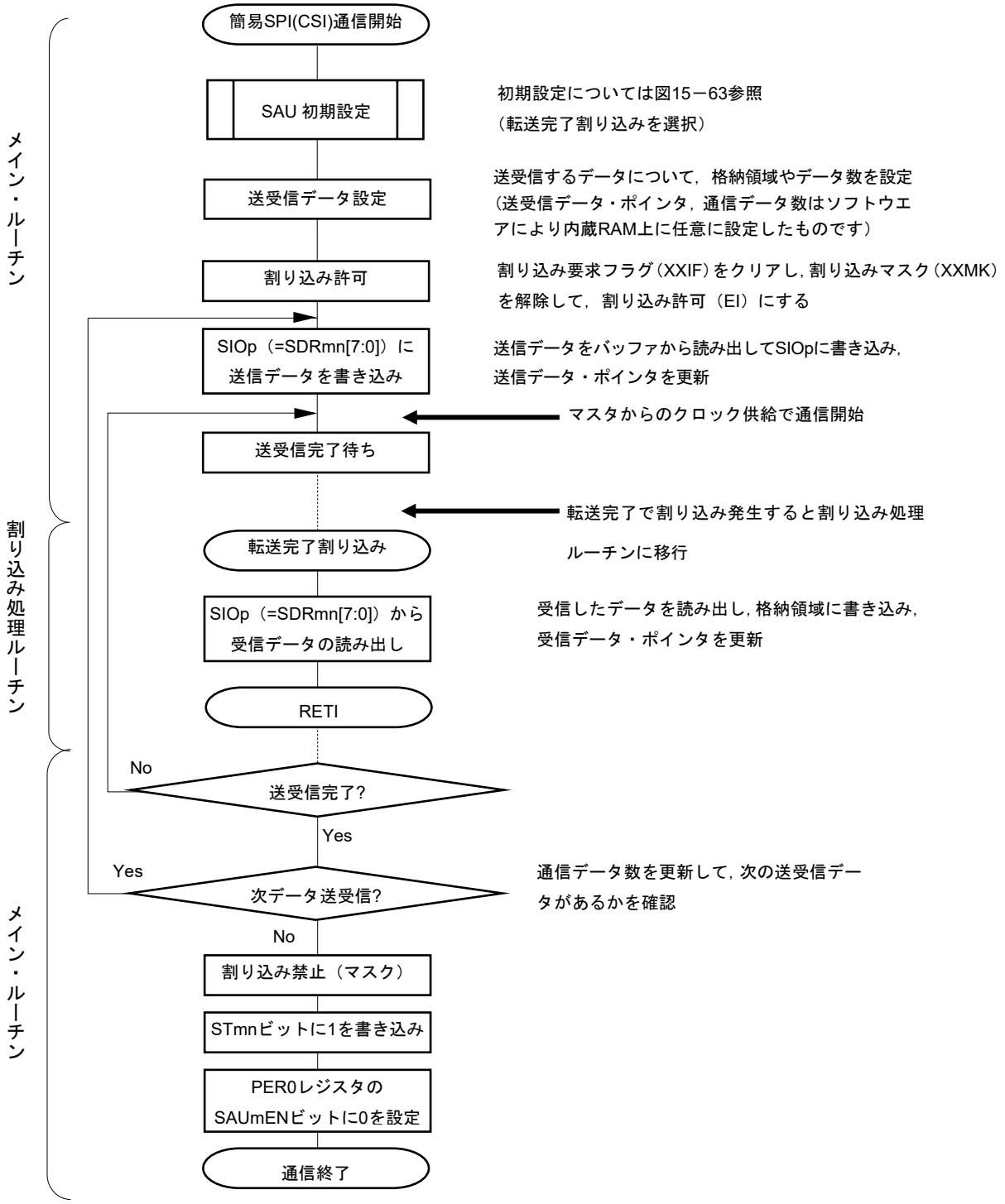
（3）処理フロー（シングル送受信モード時）

図15－66　スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

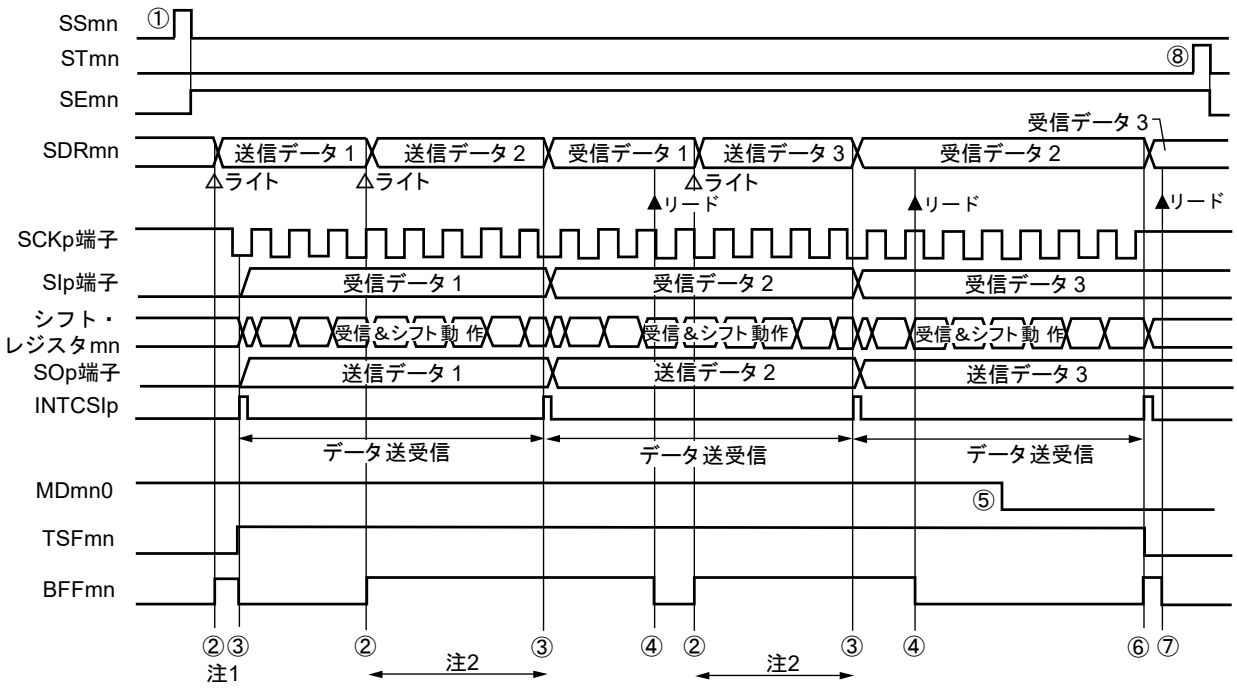
図15－67　スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

（4）処理フロー（連続送受信モード時）

図15－68　スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注1.　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されている時）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

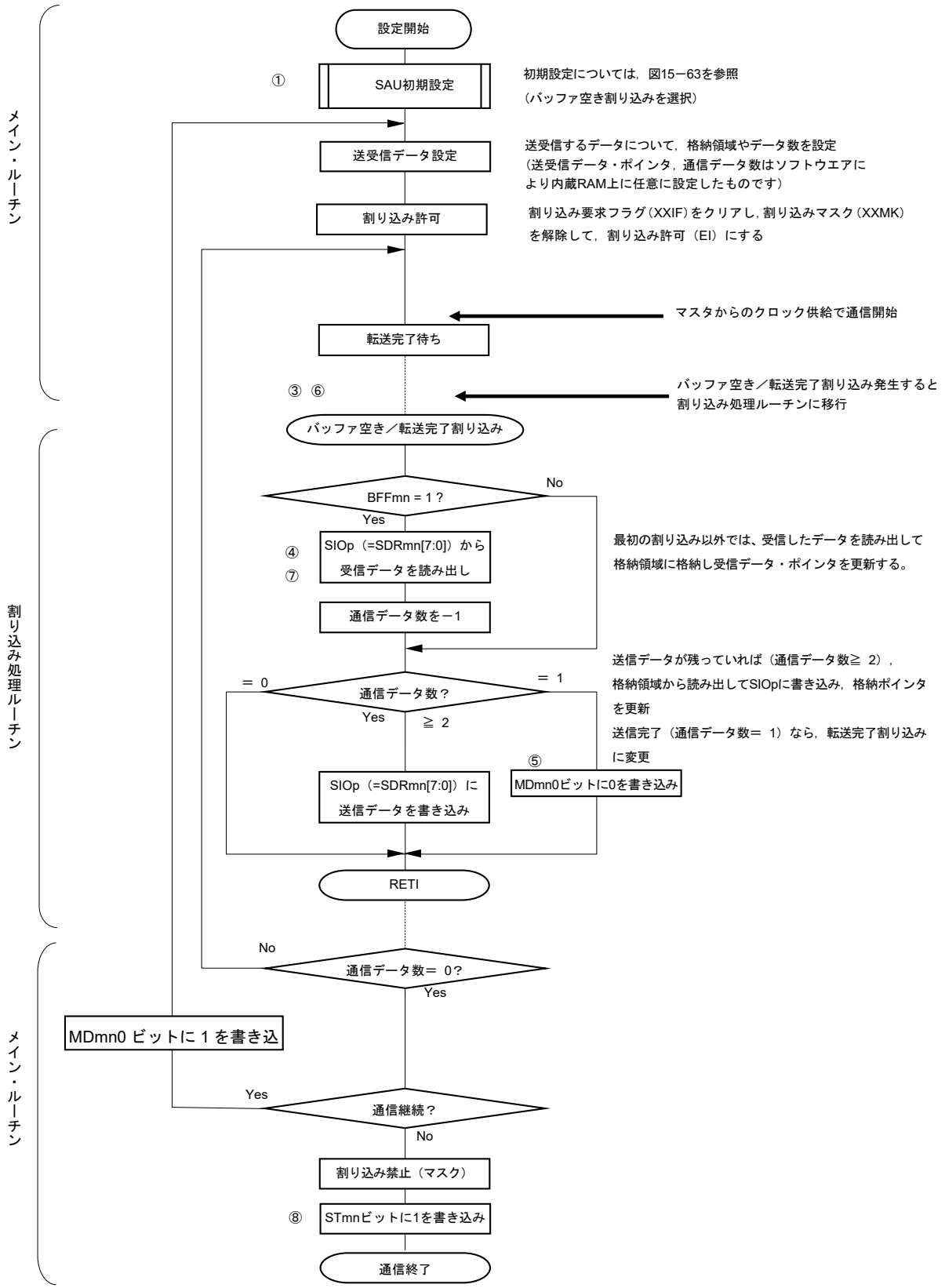
2.　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1.　図中の①~⑧は，図15－69　スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　p：CSI番号（p = 00）

図15－69　スレーブ送受信（連続送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考　図中の①~⑧は，図15－68　スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

15. 5. 7　SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI(CSI)の受信動作をさせるモードです。通常STOP時に簡易SPI(CSI)は通信動作を停止しますが，このモードを使うことで，SCKp端子入力の検出によってCPUを動作させずに簡易SPI(CSI)の受信動作を行うことができます。CSI00のみ設定可能です。

簡易SPI(CSI)をSNOOZEモードで使用する場合は，STOPモードに移行する前に次の設定を行います。（図15-71，図15-73　SNOOZEモード動作時のフローチャートを参照）

STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットを1にセット（1）してください。初期設定完了後，シリアル・チャネル開始レジスタm（SSm）のSSm1ビットをセット（1）します。

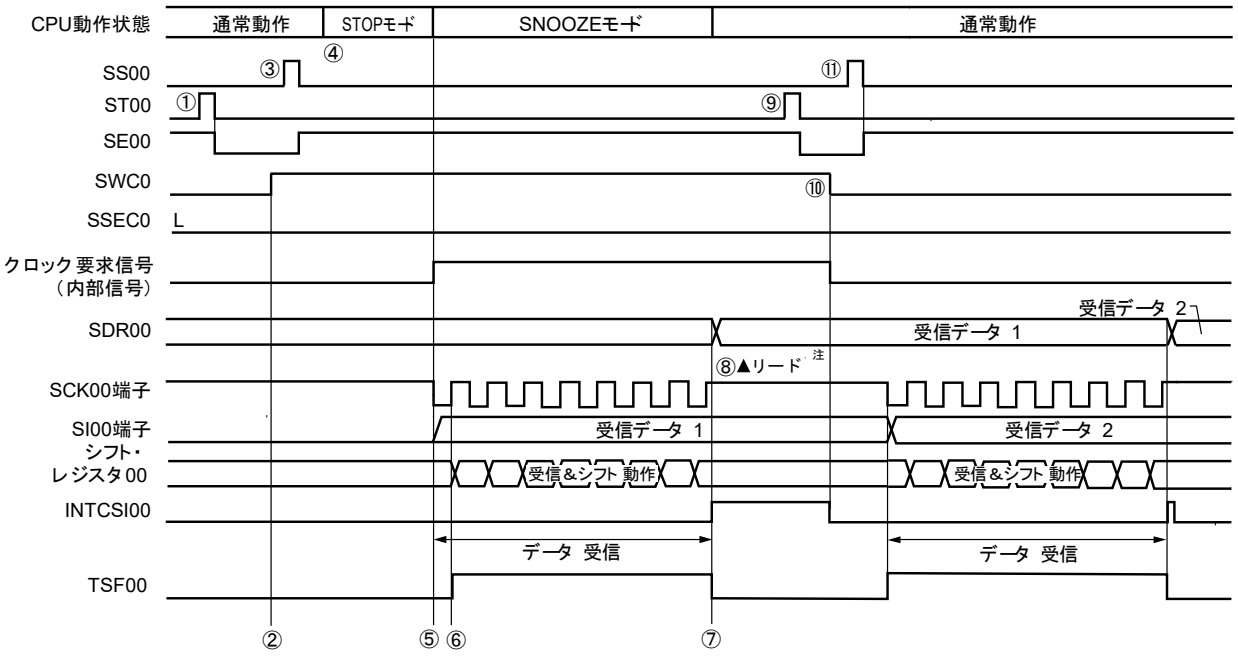
・STOPモードに移行後，SCKp端子の有効エッジを検出すると SNOOZEモードへ移行します。
　SCKp端子のシリアル・クロック入力により，CSIpは受信動作を開始します。

注意1.　SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2.　SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

（1）SNOOZEモード動作（1回起動）

図15－70　SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注　受信データの読み出しは，SWCm = 1の状態，次のSCKp端子のエッジ検出前に行ってください。

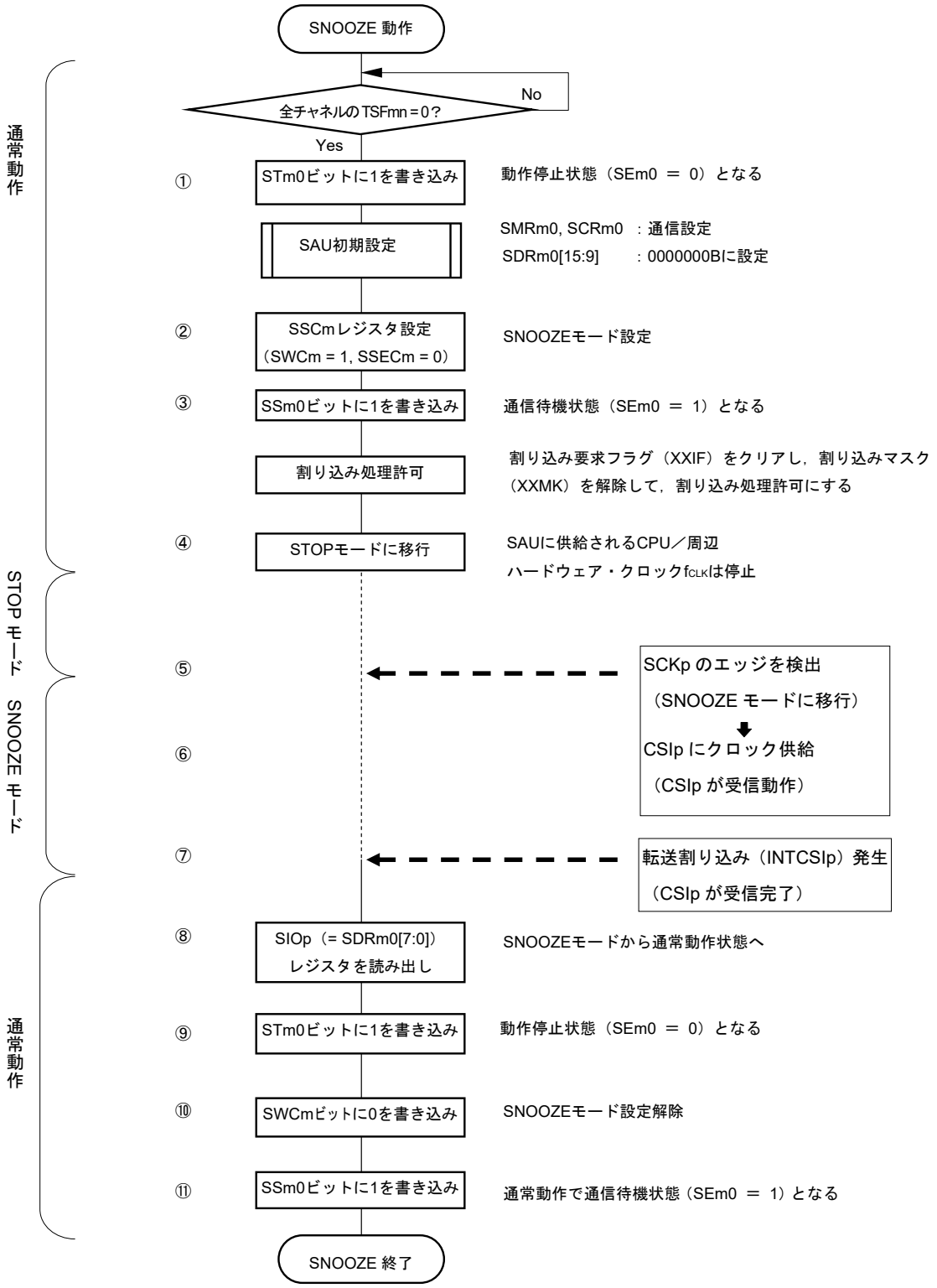
注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。
また，受信動作を完了したあとは，SWCmビットもクリアしてください（SNOOZE解除）。

2. SWCm = 1のときは，BFFm1, OVFm1フラグは動作しません。

備考1.　図中の①~⑪は，図15－71　SNOOZEモード動作（1回起動）時のフロー・チャートの①~⑪に対応しています。

2.　m：ユニット番号（m = 0）　p：CSI番号（p = 00）

図15－71　SNOOZEモード動作（1回起動）時のフロー・チャート

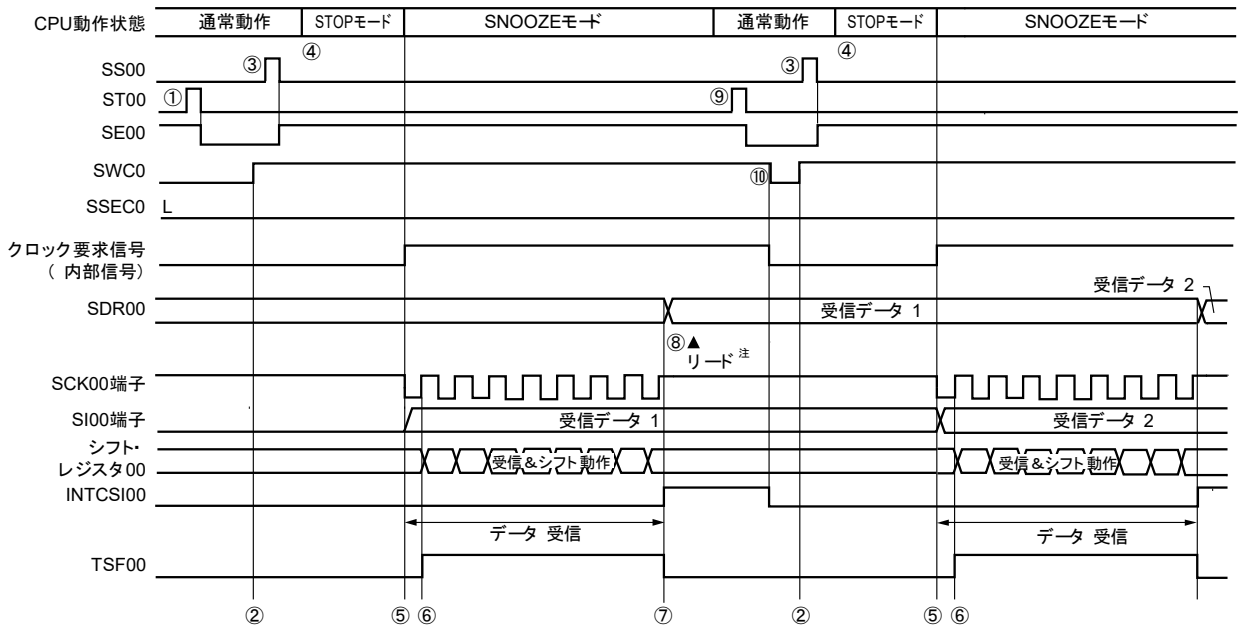


備考1.　図中の①~⑪は，図15－70　SNOOZEモード動作（1回起動）時のタイミング・チャートの①~⑪に対応しています。

2.　m：ユニット番号（m = 0）　p：CSI番号（p = 00）

（2）SNOOZEモード動作（連続起動）

図15－72　SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注　受信データの読み出しは，SWCm = 1の状態，次のSCKp端子のエッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。

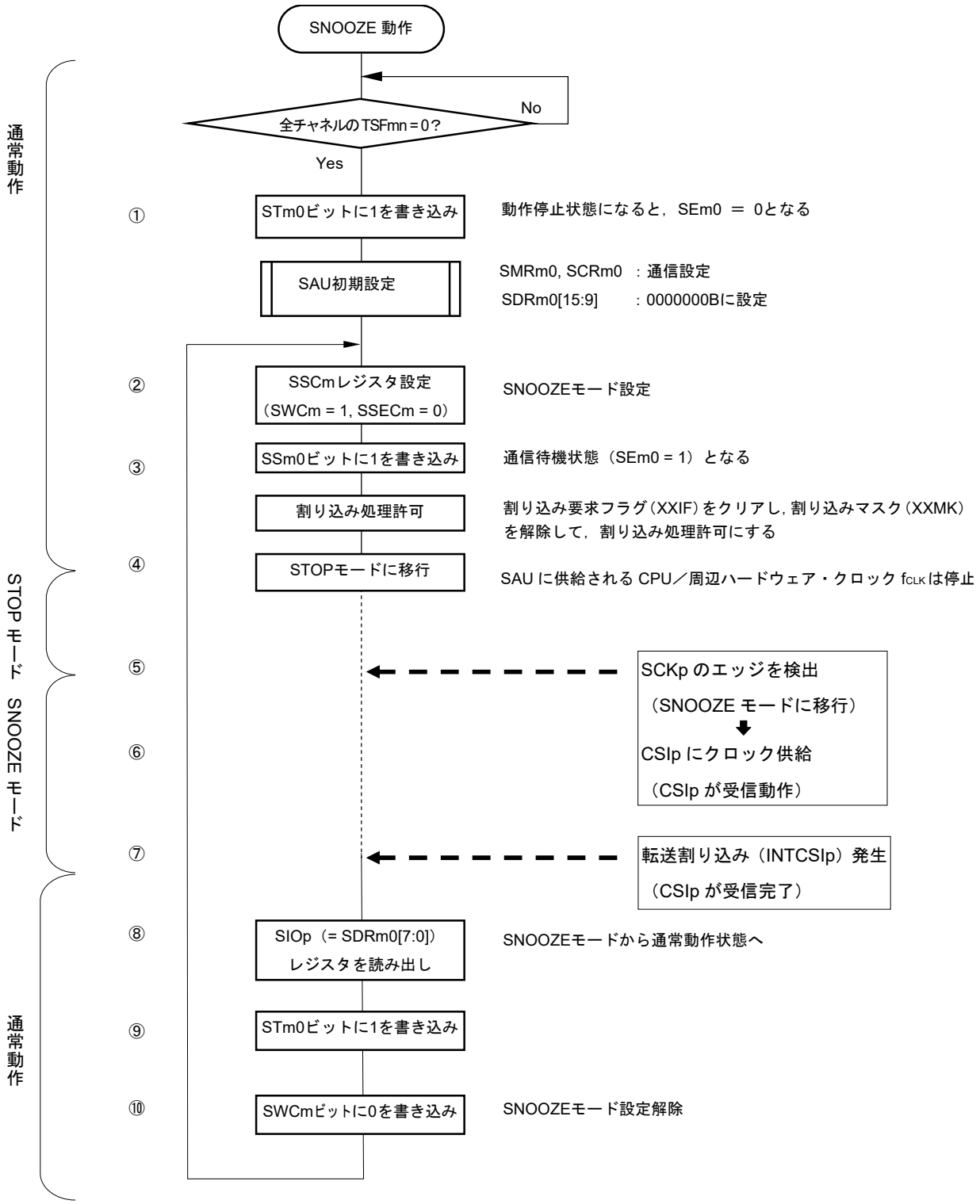
また，受信動作を完了したあとは，SWCmビットもクリアしてください（SNOOZE解除）。

2. SWCm = 1のときは，BFFm1，OVFm1フラグは動作しません。

備考1.　図中の①~⑩は，図15－73　SNOOZEモード動作（連続起動）時のフロー・チャートの①~⑩に対応しています。

2.　m：ユニット番号（m = 0）　p：CSI番号（p = 00）

図15－73　SNOOZEモード動作（連続起動）時のフロー・チャート



備考1.　図中の①~⑩は，図15－72　SNOOZEモード動作（連続起動）時のタイミング・チャートの①~⑩に対応しています。

2.　m：ユニット番号（m = 0）　p：CSI番号（p = 00）

15. 5. 8　転送クロック周波数の算出

簡易SPI（CSI00）通信での転送クロック周波数は下記の計算式にて算出できます。

（1）マスタの場合

（転送クロック周波数）＝｛対象チャネルの動作クロック（f_{MCK}）周波数｝÷（SDRmn[15:9]＋1）÷ 2 [Hz]

（2）スレーブの場合

（転送クロック周波数）＝｛マスタが供給するシリアル・クロック（SCK）周波数｝注 [Hz]

注　ただし，許容最大転送クロック周波数はf_{MCK}/6となります。

備考　SDRmn[15:9] は，シリアル・データ・レジスタ mn（SDRmn）のビット 15-9 の値（0000000B-1111111B）なので，0-127になります。

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmn）で決まります。

表15－2　簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	7.81 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	3.91 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.95 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	977 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$	7.81 kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$	3.91 kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$	1.95 kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$	977 Hz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）　= 000FH）させてから変更してください。

備考1.　X：Don’t care

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）

15. 5. 9　簡易SPI（CSI00）通信時におけるエラー発生時の処理手順

簡易SPI（CSI00）通信時にエラーが発生した場合の処理手順を図15－74に示します。

図15－74　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）

15. 6　UART（UART0, UART1）通信の動作

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して），データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重調歩同期UART通信が実現できます。また，タイマ・アレイ・ユニット0（チャネル7）と外部割り込み（INTP0）を組み合わせてLIN-bus, DMX512にも対応可能です。

［データ送受信］
- 7, 8, 9ビットのデータ長[注]
- MSB/LSBファーストの選択
- 送受信データのレベル設定（レベルを，反転するかどうかの選択）
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加，ストップ・ビット・チェック機能

［割り込み機能］
- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］
- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，以下のチャネルのUART受信は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でRxD入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している，UART0のみ設定可能です。

また，UART0（チャネル0, 1）は，LIN-bus, DMX512に対応しています。

［LIN-bus機能］
- ウエイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定，ボー・レート算出

} 外部割り込み（INTP0），タイマ・アレイ・ユニット0（チャネル7）を使用

［DMX512機能］
- BREAK信号検出
- 信号幅検出

} 外部割り込み（INTP0），タイマ・アレイ・ユニット0（チャネル7）を使用

注　9ビット・データ長は，UART0のみ対応しています。

UART0では，SAU0のチャネル0, 1を使用します。
UART1では，SAU0のチャネル2, 3を使用します。

○20ピン製品

チャネル	簡易SPI(CSI)として使用	UARTとして使用
0	－	UART0 （LIN-bus, DMX512対応）
1	－	
2	－	－
3	－	

○30ピン製

チャネル	簡易SPI(CSI)として使用	UARTとして使用
0	－	UART0 （LIN-bus, DMX512対応）
1	－	
2	－	UART1
3	－	

○38ピン製品

チャネル	簡易SPI(CSI)として使用	UARTとして使用
0	CSI00	UART0 （LIN-bus, DMX512対応）
1	－	
2	－	UART1
3	－	

各チャネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば，ユニット0のチャネル0, 1で「UART0」を使用するときは，CSI00を使用することはできません。しかし，UART0と同時にチャネルが異なるチャネル2, 3をUART1で使用することはできます。

注意 UARTとして使用する場合は，送信側（偶数チャネル）と受信側（奇数チャネル）のどちらもUARTにしか使用できません。

UARTの通信動作は，以下の5種類があります。

- UART送信　（15. 6. 1項を参照）
- UART受信　（15. 6. 2項を参照）
- LIN送信（UART0のみ）　（15. 7. 1項を参照）
- LIN受信（UART0のみ）　（15. 7. 2項を参照）
- DMX512受信（UART0のみ）　（15. 8項を参照）

15. 6. 1　UART送信

UART送信は，RL78マイクロコントローラから他デバイスへ，非同期（調歩同期）でデータを送信する動作です。

UART送信では，そのUARTに使用する2チャネルのうち，偶数チャネルのほうを使用します。

UART	UART0	UART1
対象チャネル	SAU0のチャネル0	SAU0のチャネル2
使用端子	TxD0	TxD1
割り込み	INTST0	INTST1
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	なし	
転送データ長	7ビットまたは8ビットまたは9ビット注1	
転送レート注2	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上），Min. f_{CLK}/（$2 \times 2^{15} \times 128$）[bps]	
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加	
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注1.　9ビット・データ長は，UART0のみ対応しています。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（第32章　電気的特性（T_A = －40～+105℃対応品）または第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

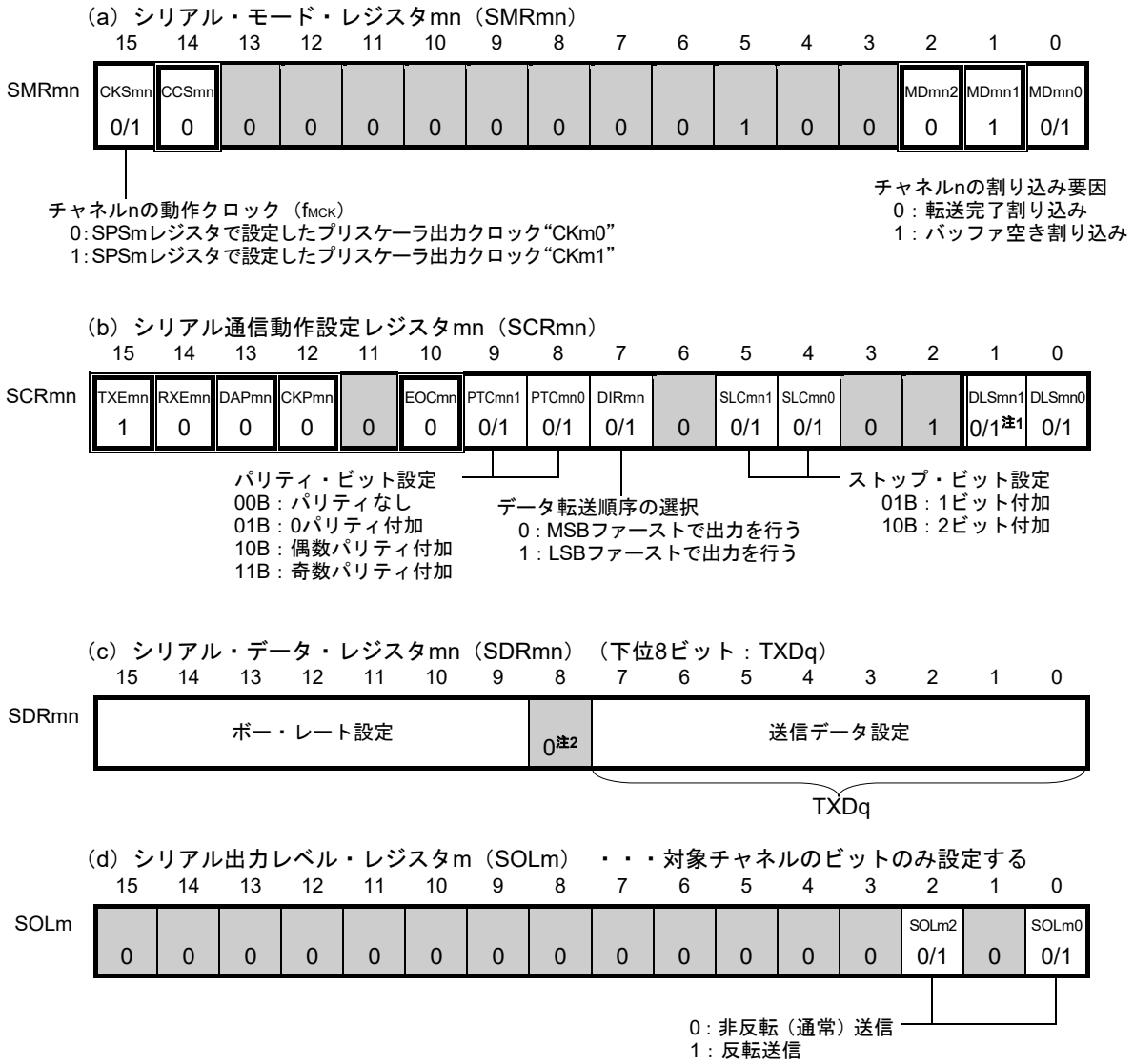
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

（1）レジスタ設定

図15－75　UART（UART0, UART1）のUART送信時のレジスタ設定内容例（1/2）



注 1.　SCR00レジスタのみ。SCR02レジスタは1固定になります。

2.　9ビット・データ長での通信を行う場合は，SDRm0レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは，UART0のみです。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0, 1），mn = 00, 02

2.　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図15－75　UART（UART0, UART1）のUART送信時のレジスタ設定内容例（2/2）

（e）シリアル出力レジスタm（SOm）　・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2 ×	1	CKOm0 ×	0	0	0	0	1	SOm2 0/1注	1	SOm0 0/1注

0：シリアル・データ出力値が“0”
1：シリアル・データ出力値が“1”

（f）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	0	SOEm0 0/1

（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

注　該当するチャネルのSOLmnビットに0を設定している場合は“1”に，SOLmnビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0, 1），
mn = 00, 02

2.　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－76　UART送信の初期設定手順

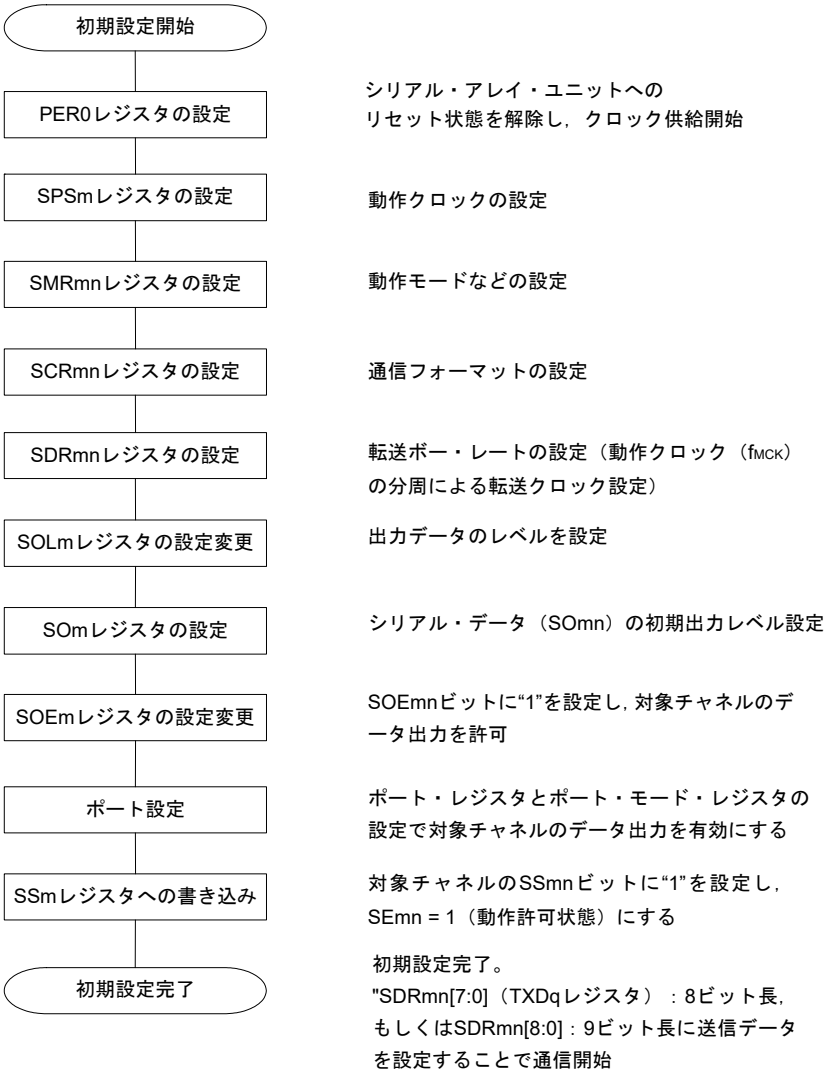


図15－77　UART送信の中断手順

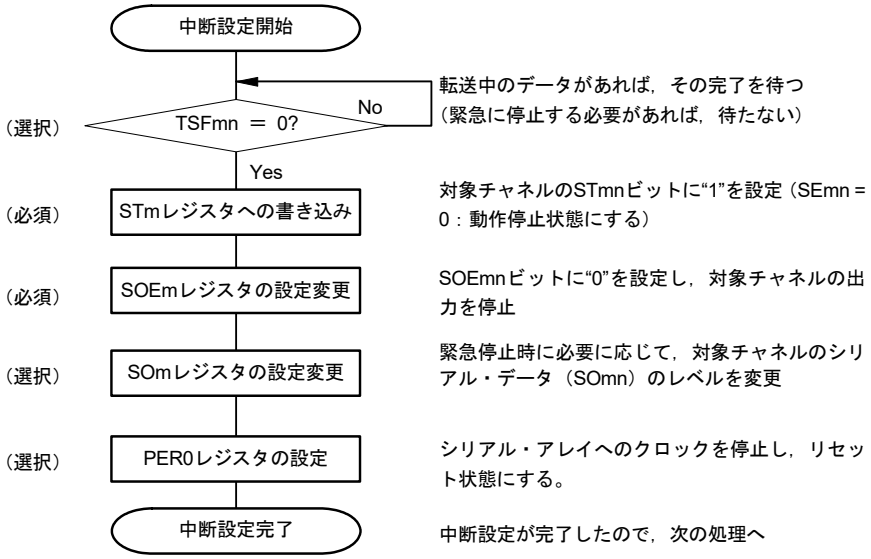
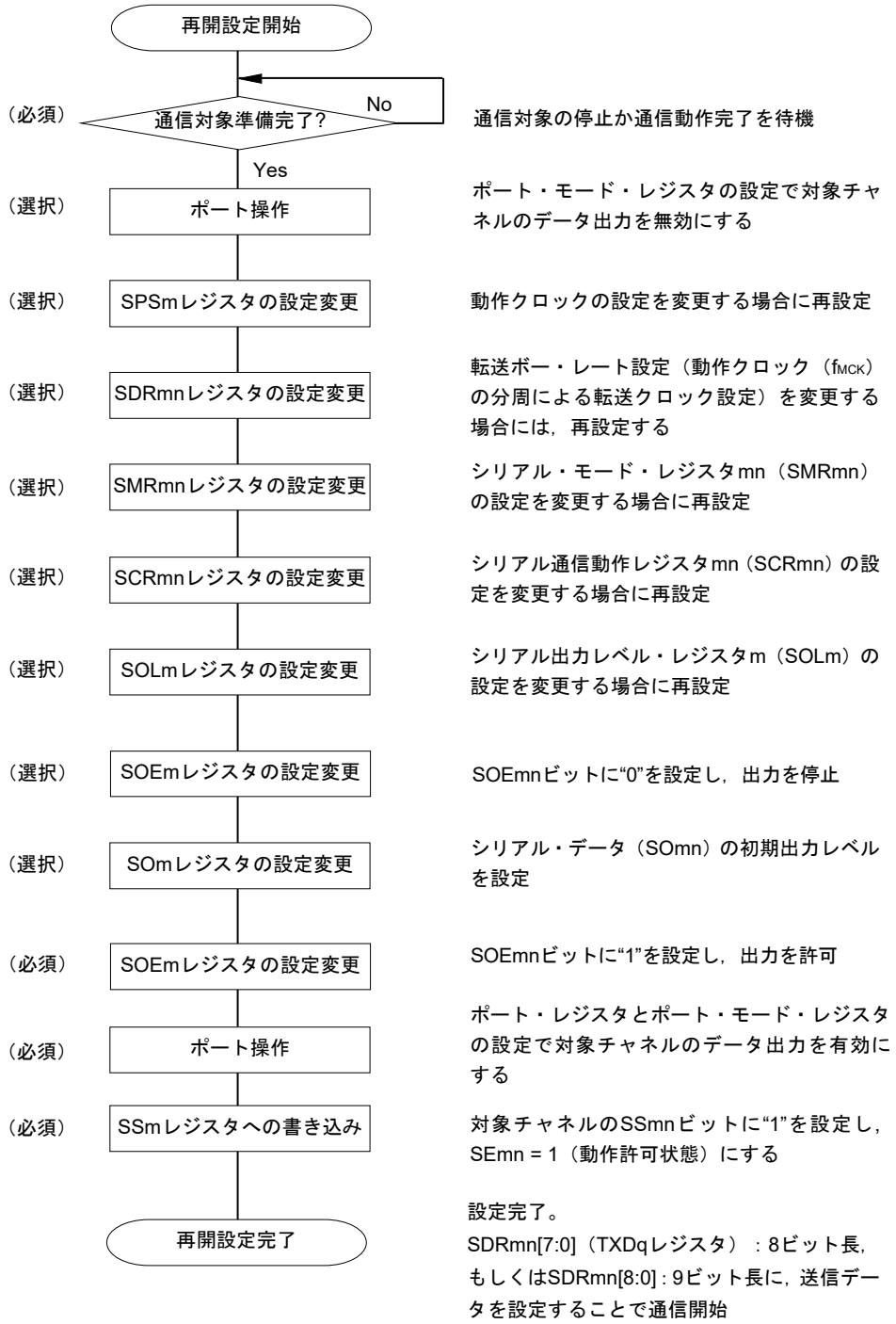


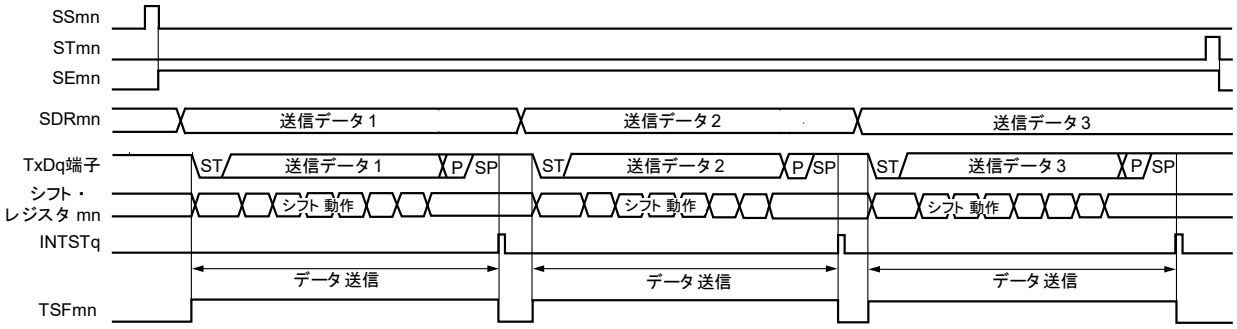
図15－78　UART送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

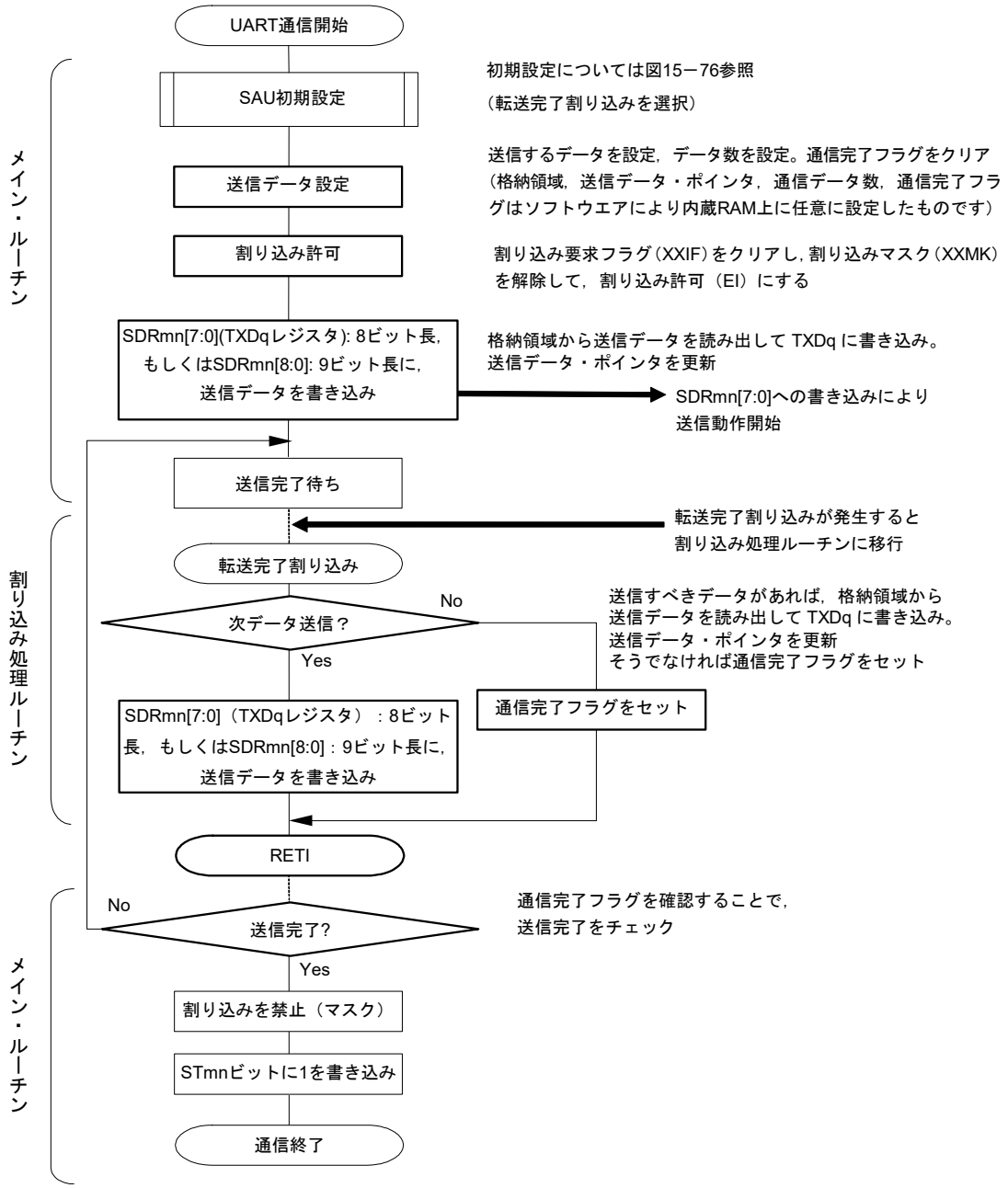
（3）処理フロー（シングル送信モード時）

図15－79　UART送信（シングル送信モード時）のタイミング・チャート



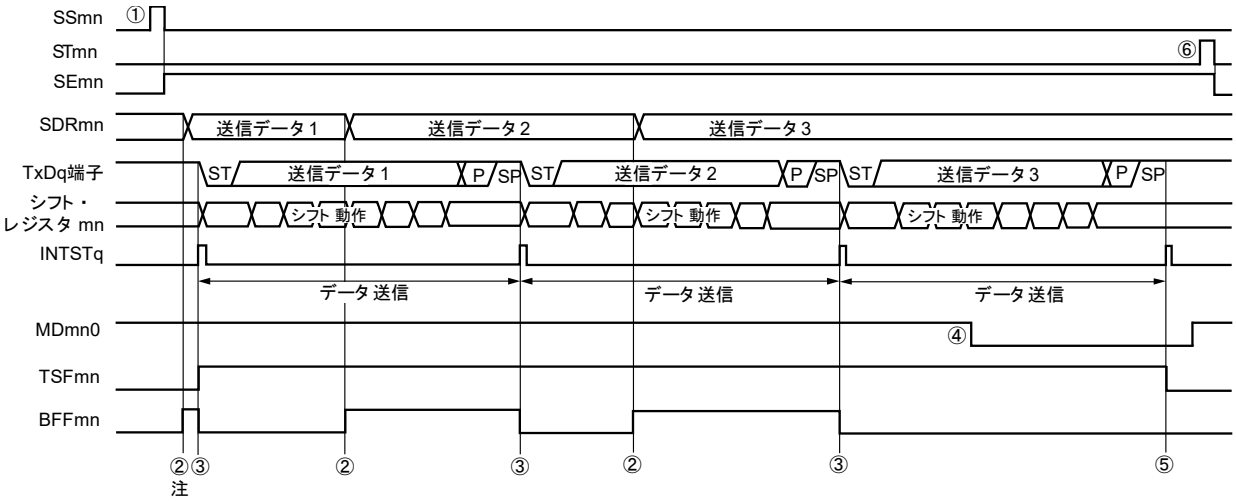
備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0, 1），
mn = 00, 02

図15－80　UART送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図15－81　UART送信（連続送信モード時）のタイミング・チャート

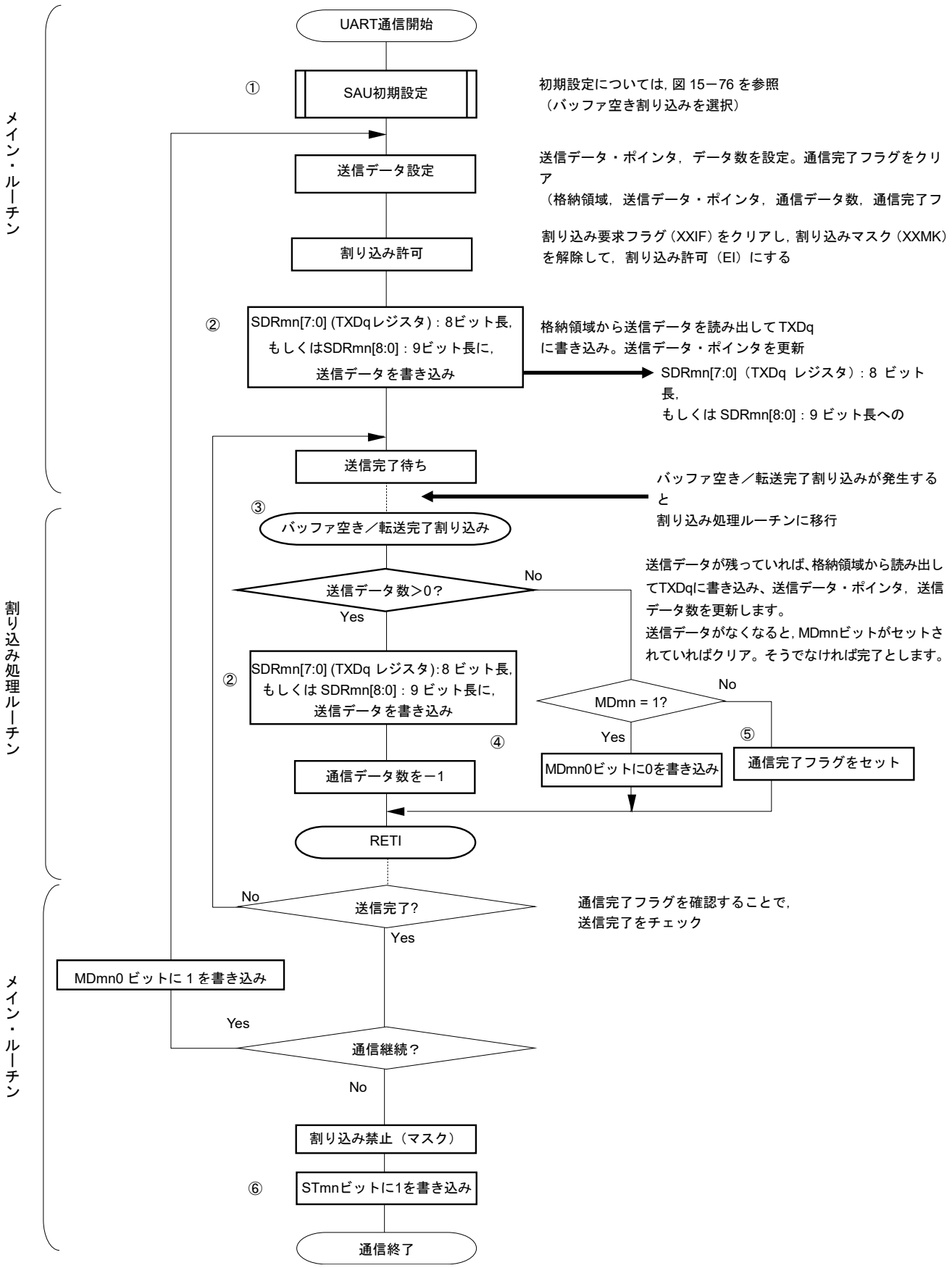


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　**シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。**

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2）　q：UART番号（q = 0, 1），
mn = 00, 02

図15－82　UART送信（連続送信モード時）のフロー・チャート



備考　図中の①~⑥は，図15－81　UART送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

15. 6. 2　UART受信

UART受信は，他デバイスからRL78マイクロコントローラが非同期（調歩同期）でデータを受信する動作です。

UART受信では，そのUARTに使用する2チャネルのうち，奇数チャネルのほうを使用します。ただし，SMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1
対象チャネル	SAU0のチャネル1	SAU0のチャネル3
使用端子	RxD0	RxD1
割り込み	INTSR0	INTSR1
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー割り込み	INTSRE0	INTSRE1
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEFmn） ・パリティ・エラー検出フラグ（PEFmn） ・オーバラン・エラー検出フラグ（OVFmn）	
転送データ長	7ビットまたは8ビットまたは9ビット注1	
転送レート注2	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上），Min. f_{CLK}/（$2 \times 2^{15} \times 128$）[bps]	
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし（パリティ・チェックなし） ・パリティ判定なし（0パリティ） ・偶数パリティ・チェック ・奇数パリティ・チェック	
ストップ・ビット	1ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注1.　9ビット・データ長は，UART0のみ対応しています。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（第32章　電気的特性（T_A = －40～+105℃対応品）または第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

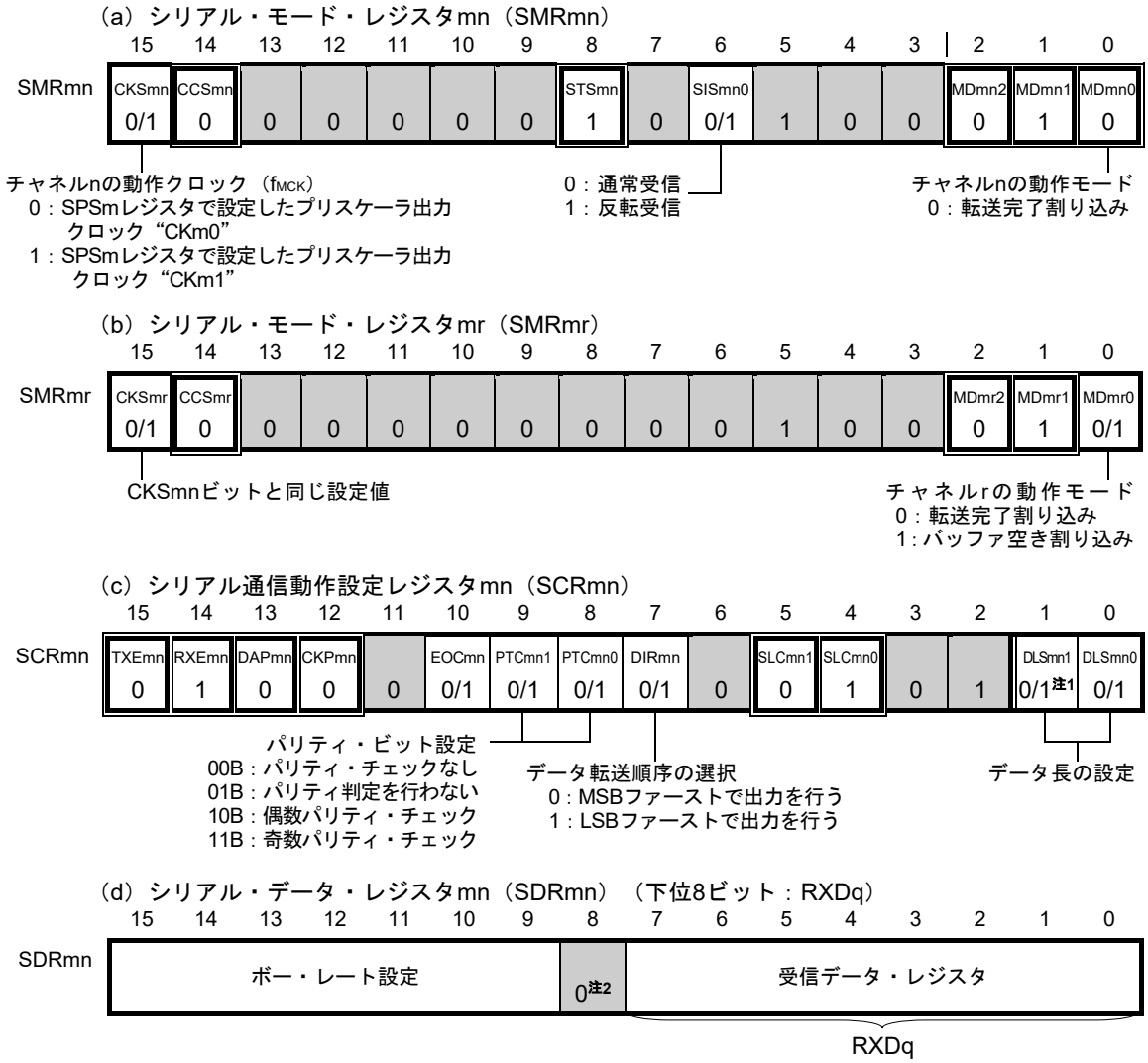
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 1, 3），mn = 01, 03

（1）レジスタ設定

図15－83　UART（UART0, UART1）のUART受信時のレジスタ設定内容例（1/2）



注 1.　SCR00レジスタ（UART0）のみ。SCR02レジスタでは1固定。

2.　9ビット・データ長での通信を行う場合は，SDRm1レジスタのビット0-8が受信データ設定領域になります。9ビット・データ長での通信が行えるのは，UART0のみです。

注意　UART受信時は，チャネルnとペアになるチャネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 1, 3），mn = 01, 03

r：チャネル番号（r = n－1）　q：UART番号（q = 0, 1）

2.　□：UART受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図15－83　UART（UART0, UART1）のUART受信時のレジスタ設定内容例（2/2）

（e）シリアル出力レジスタm（SOm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2 ×	1	CKOm0 ×	0	0	0	0	1	SOm2 ×	1	SOm0 ×

（f）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 ×	0	SOEm0 ×

（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

注意　UART受信時は，チャネルnとペアになるチャネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 1, 3），mn = 01, 03

r：チャネル番号（r = n－1）　q：UART番号（q = 0, 1）

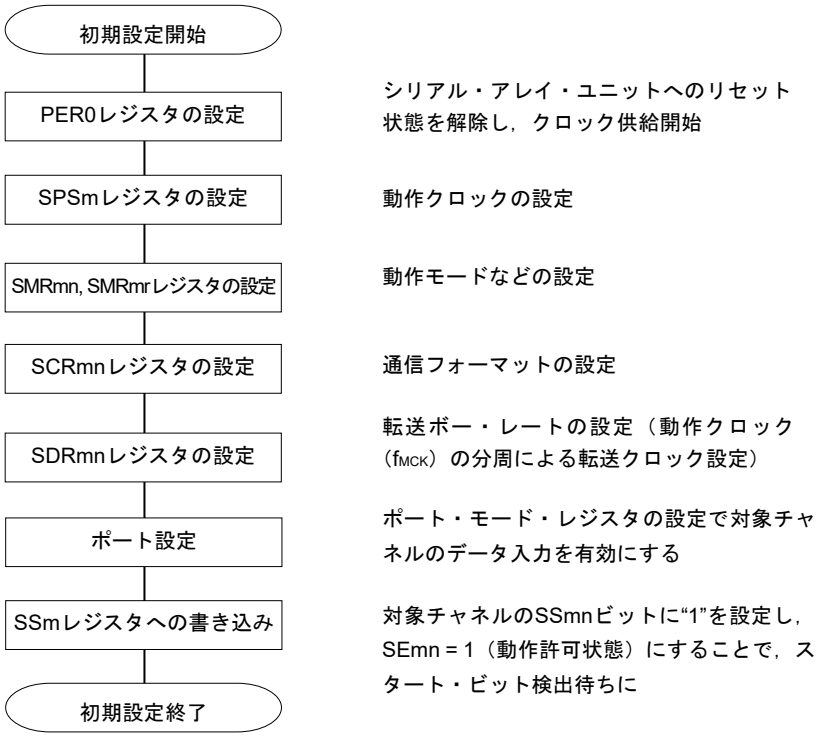
2.　□: UART受信モードでは設定固定　■: 設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－84　UART受信の初期設定手順



注意　SCRmnレジスタのRXEmnビットを“1”に設定後に，fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図15－85　UART受信の中断手順

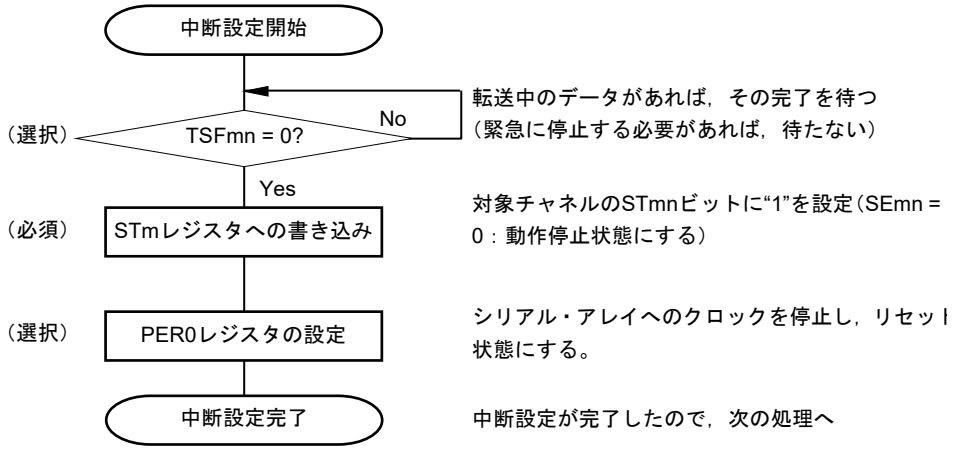
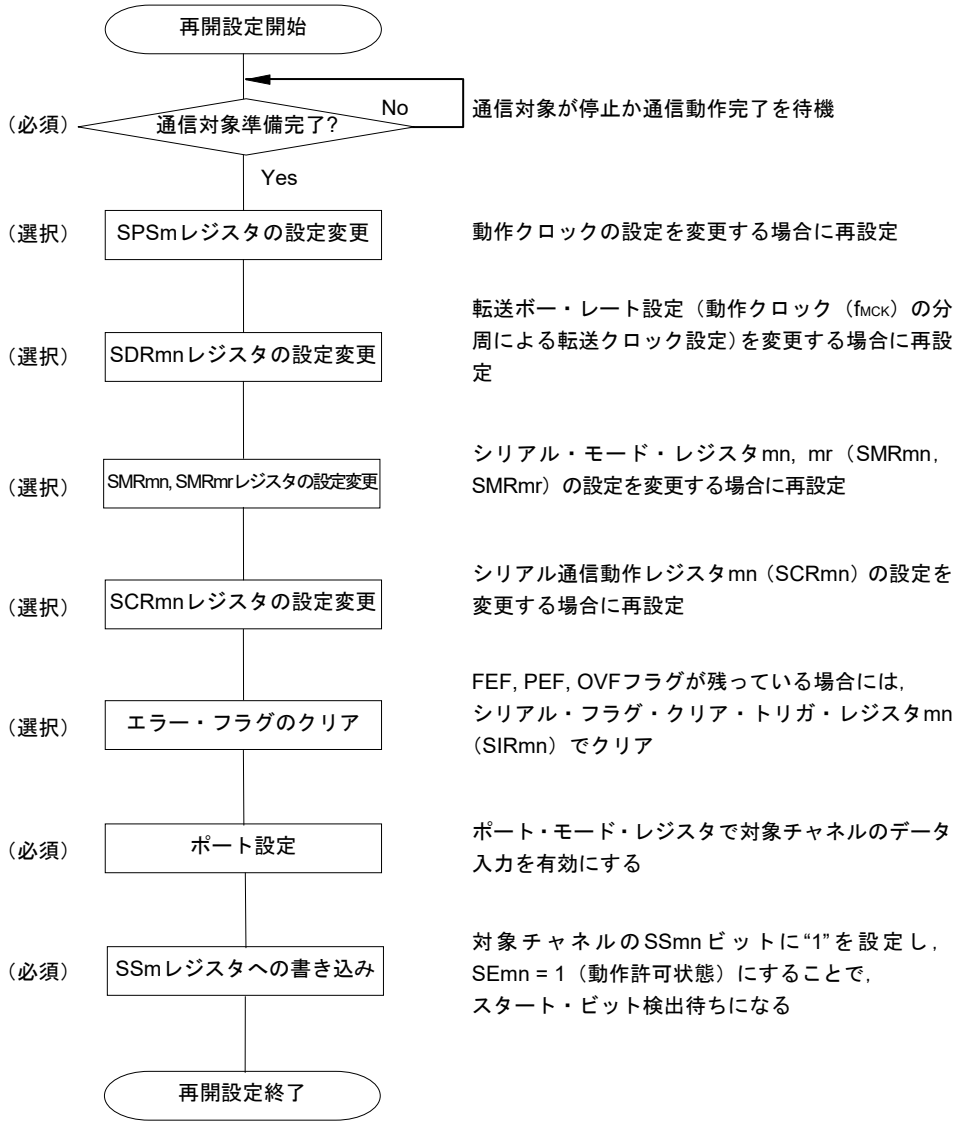


図15－86　UART受信の再開設定手順

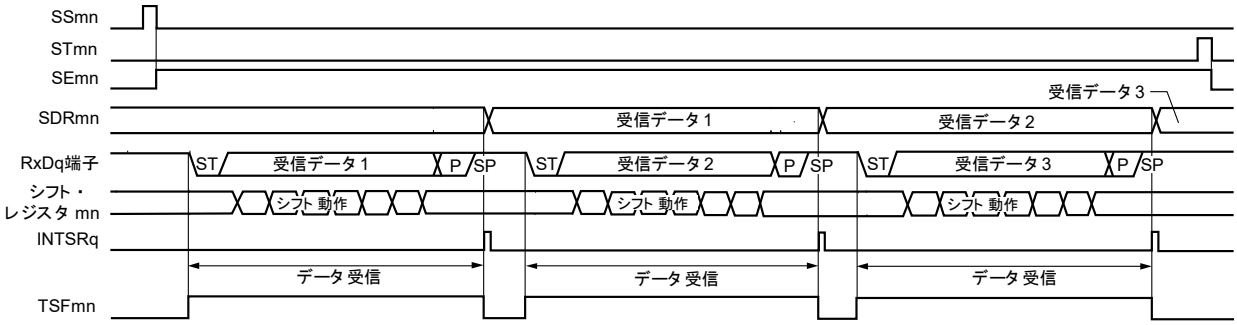


注意　SCRmnレジスタのRXEmnビットを“1”に設定後に，fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

（3）処理フロー

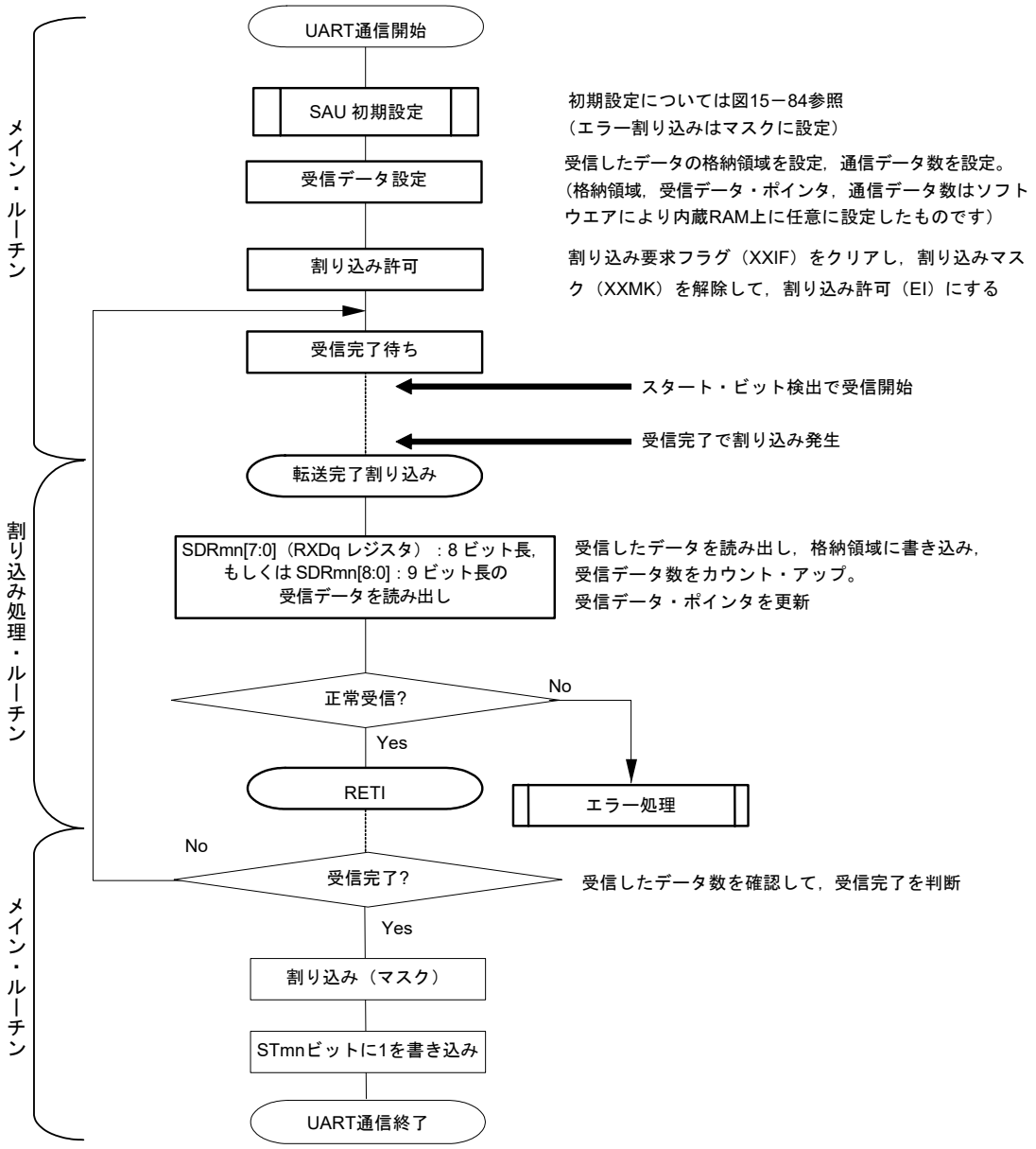
図15－87　UART受信のタイミング・チャート



備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 1, 3），mn = 01, 03

r：チャネル番号（r = n－1）　q：UART番号（q = 0, 1）

図15－88　UART受信のフロー・チャート



15. 6. 3　SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により，UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが，SNOOZEモード機能を使用することで，CPUを動作させずにUART受信を行うことができます。

SNOOZEモードは，UART0のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は，STOPモードに移行する前に次の設定を行います。（図15－91，図15－93　SNOOZEモード動作時のフローチャートを参照）

・SNOOZEモード時は，UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。表15－3を参照してSPSmレジスタ，SDRmnレジスタ[15:9]を設定してください。

・EOCmnビット，SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み（INTSRE0）の発生許可／停止を設定することができます。

・STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットをセット（1）してください。初期設定完了後，シリアル・チャネル開始レジスタm（SSm）のSSm1ビットをセット（1）します。

STOPモードに移行後，RxDq のエッジを検出（スタート・ビット入力）すると，UART受信を開始します。

注意1.　SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロック（f_{IH}）を選択している場合のみ使用できます。

2.　SNOOZEモードでの転送レートは4800bpsのみです。

3.　SWCm=1の設定では，STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して，次のようなSTOPモード以外の状態で受信開始した場合は，正しくデータ受信できず，フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

・SWCm=1に設定後，STOPモードに移行する前に受信開始した場合

・他のSNOOZEモード中に受信開始した場合

・STOPモードから割り込みなどで通常動作に復帰後，SWCm=0に戻す前に受信開始した場合

4.　SSECm=1の設定では，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFmn，FEFmn、OVFmnフラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm＝１で使用するときは，SWC0=１に設定する前にPEFmn，FEFmn，OVFmnフラグをクリアし，また，SDRm1レジスタのビット7-0（RxDq）を読み出してください。

5.　RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。 また，スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず，フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

備考　m = 0; n = 0; q = 0

表15－3　SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ（f_{IH}）	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック（f_{MCK}）	SDRmn [15:9]	最大許容値	最小許容値
32MHz±1.0%注	$f_{CLK}/2^5$	105	2.27%	- 1.53%
24MHz±1.0%注	$f_{CLK}/2^5$	79	1.60%	- 2.18%
16MHz±1.0%注	$f_{CLK}/2^4$	105	2.27%	- 1.53%
12MHz±1.0%注	$f_{CLK}/2^4$	79	1.60%	- 2.19%
8MHz±1.0%注	$f_{CLK}/2^3$	105	2.27%	- 1.53%
6MHz±1.0%注	$f_{CLK}/2^3$	79	1.60%	- 2.19%
4MHz±1.0%注	$f_{CLK}/2^2$	105	2.27%	- 1.53%
3MHz±1.0%注	$f_{CLK}/2^2$	79	1.60%	- 2.19%
2MHz±1.0%注	$f_{CLK}/2$	105	2.27%	- 1.54%
1MHz±1.0%注	f_{CLK}	105	2.27%	- 1.57%

注　高速オンチップ・オシレータ・クロック周波数精度が±1.5%，±2.0%の場合は，次のように許容範囲が狭くなります。

・f_{IH}±1.5%の場合は，上表の最大許容値に－0.5%，最小許容値に＋0.5%してください。

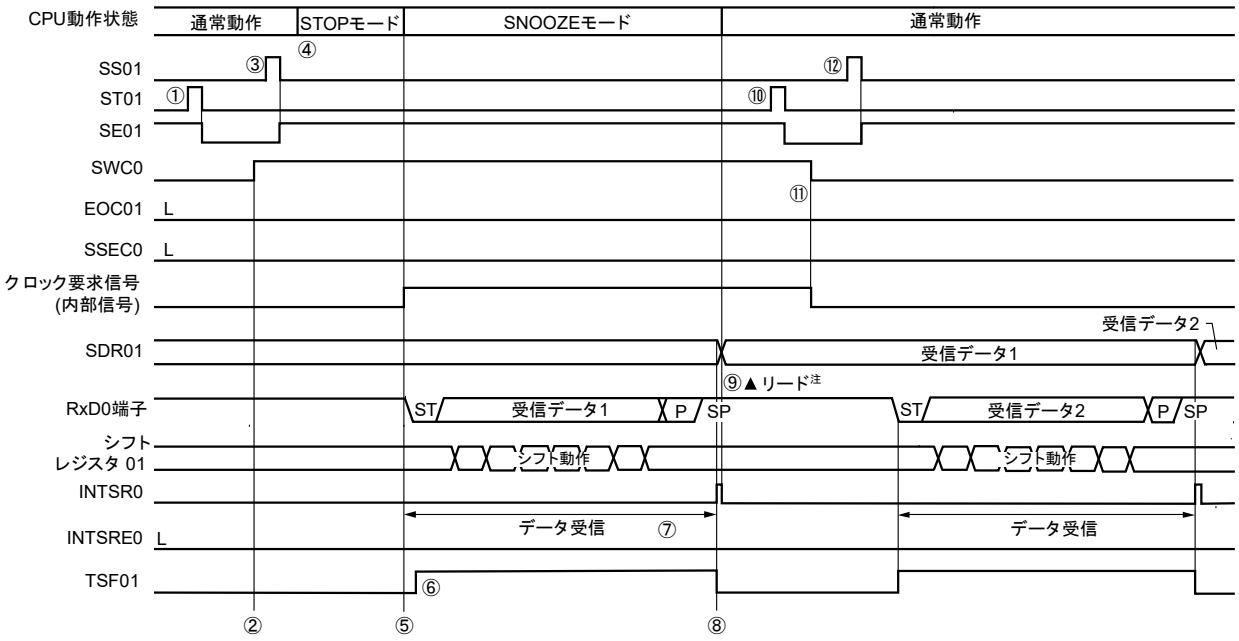
・f_{IH}±2.0%の場合は，上表の最大許容値に－1.0%，最小許容値に＋1.0%してください。

備考　最大許容値，最小許容値は，UART受信時のボー・レート許容値です。
この範囲に送信側のボー・レートが収まるように設定してください。

（1）SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）

EOCm1 = 0のためSSECmビットの設定にかかわらず，通信エラーが発生してもエラー割り込み（INTSREq）は発生しません。転送完了割り込み（INTSRq）は発生します。

図15－89　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート



注　SWCm = 1の状態で，受信データの読み出しを行ってください。

注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。

また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。

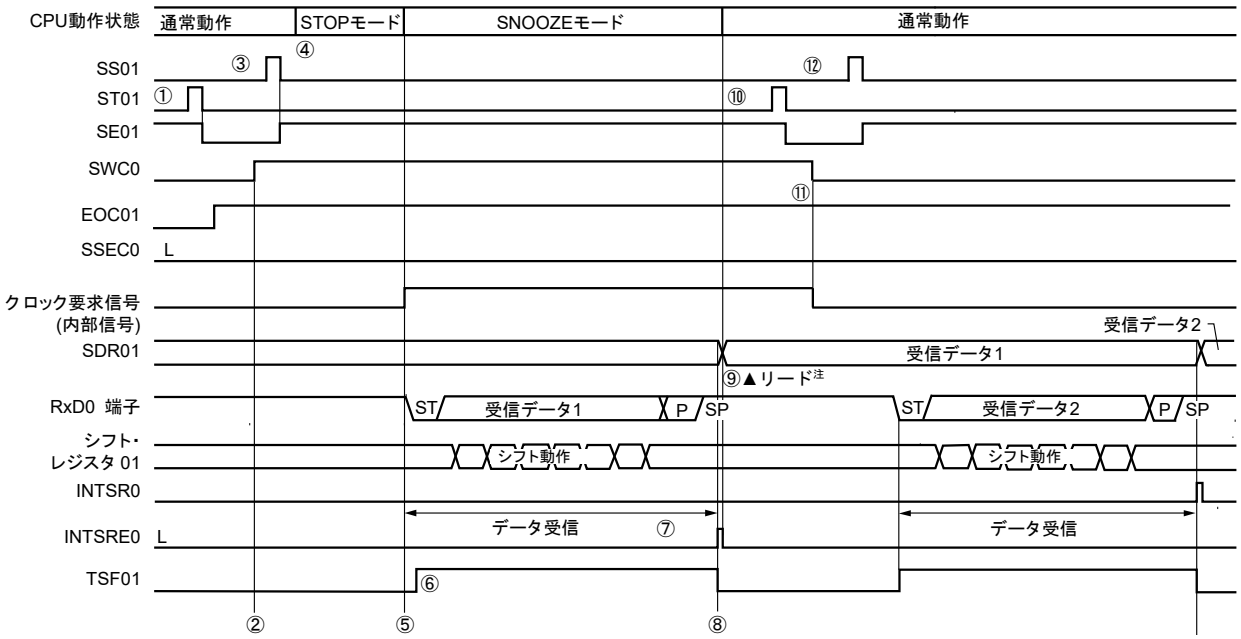
備考1.　図中の①~⑫は，図15－91　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャートの①~⑫に対応しています。

2.　m = 0; q = 0

（2）SNOOZEモード動作（EOCm1 = 1, SSECm = 0：エラー割り込み（INTSREq）発生許可）

EOCm1 = 1, SSECm = 0のため，通信エラーが発生した場合にエラー割り込み（INTSREq）を発生します。

図15－90　SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャート



注　SWCm = 1の状態で，受信データの読み出しを行ってください。

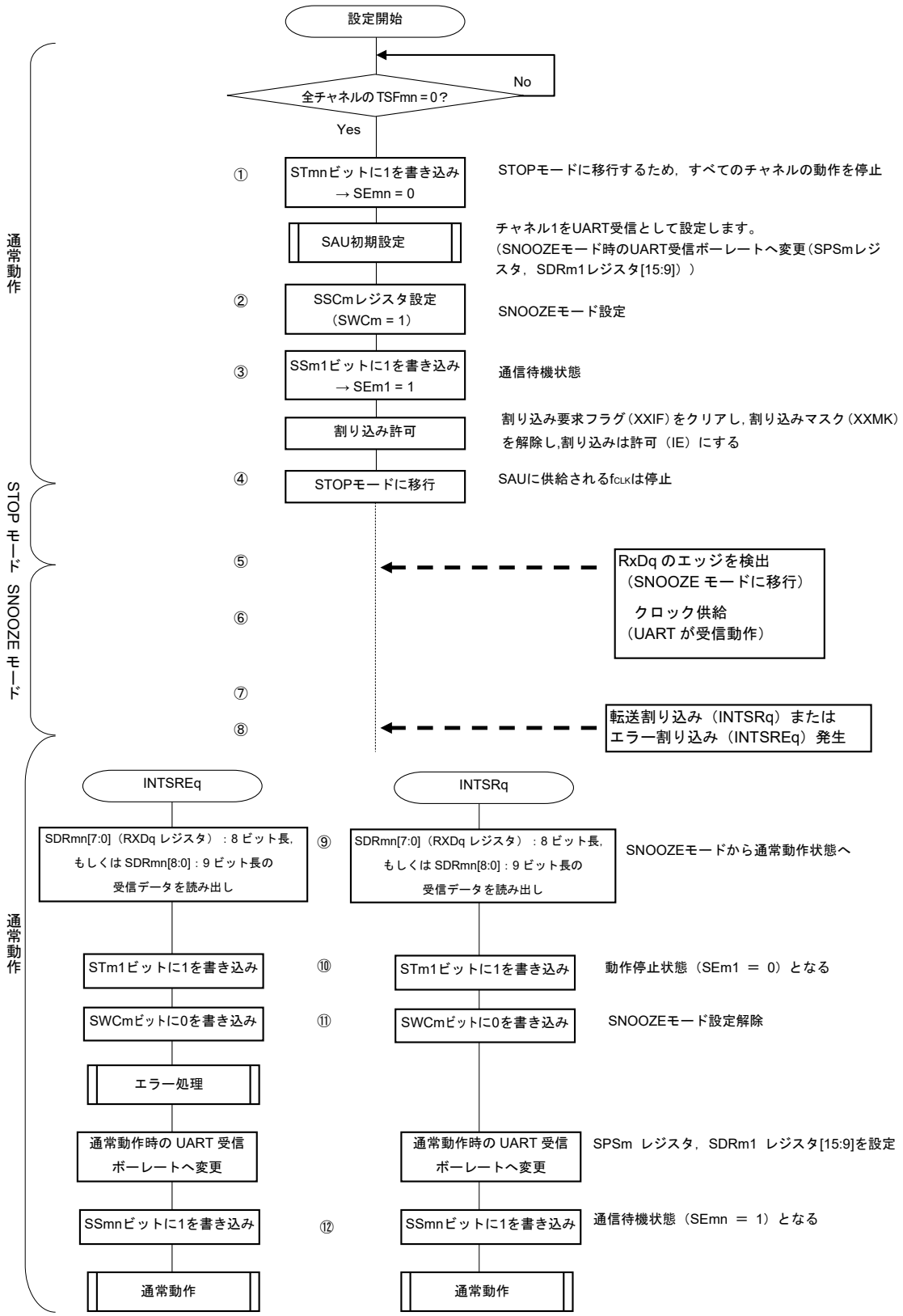
注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。

また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。

備考1.　図中の①~⑫は，図15－91　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャートの①~⑫に対応しています。

2.　m = 0; q = 0

図15－91　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャート



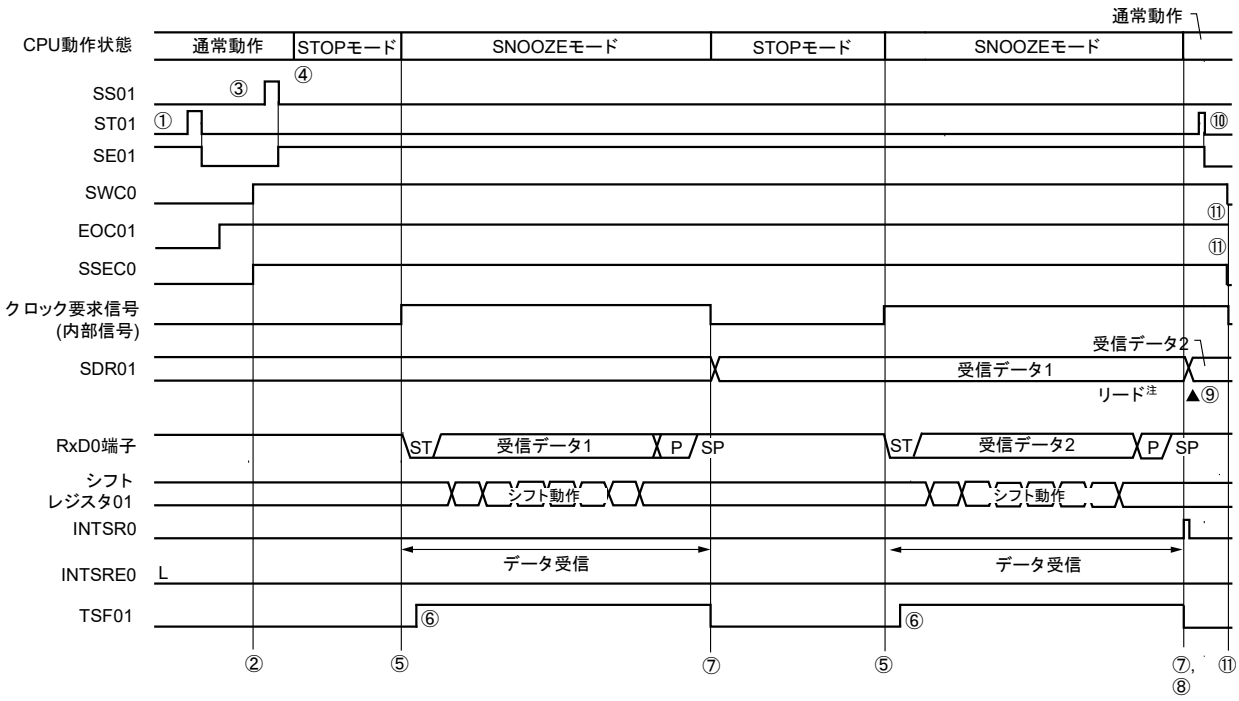
備考1. 図中の①~⑫は，図15－89　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート，図15－91　SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャートの①~⑫に対応しています。

2. m = 0; q = 0; n = 0, 1

（3）SNOOZEモード動作（EOCm1 = 1, SSECm = 1：エラー割り込み（INTSREq）発生停止）

EOCm1 = 1, SSECm = 1のため，通信エラーが発生した場合にエラー割り込み（INTSREq）を発生しません。

図15－92　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャート



注　SWCm = 1の状態で，受信データの読み出しを行ってください。

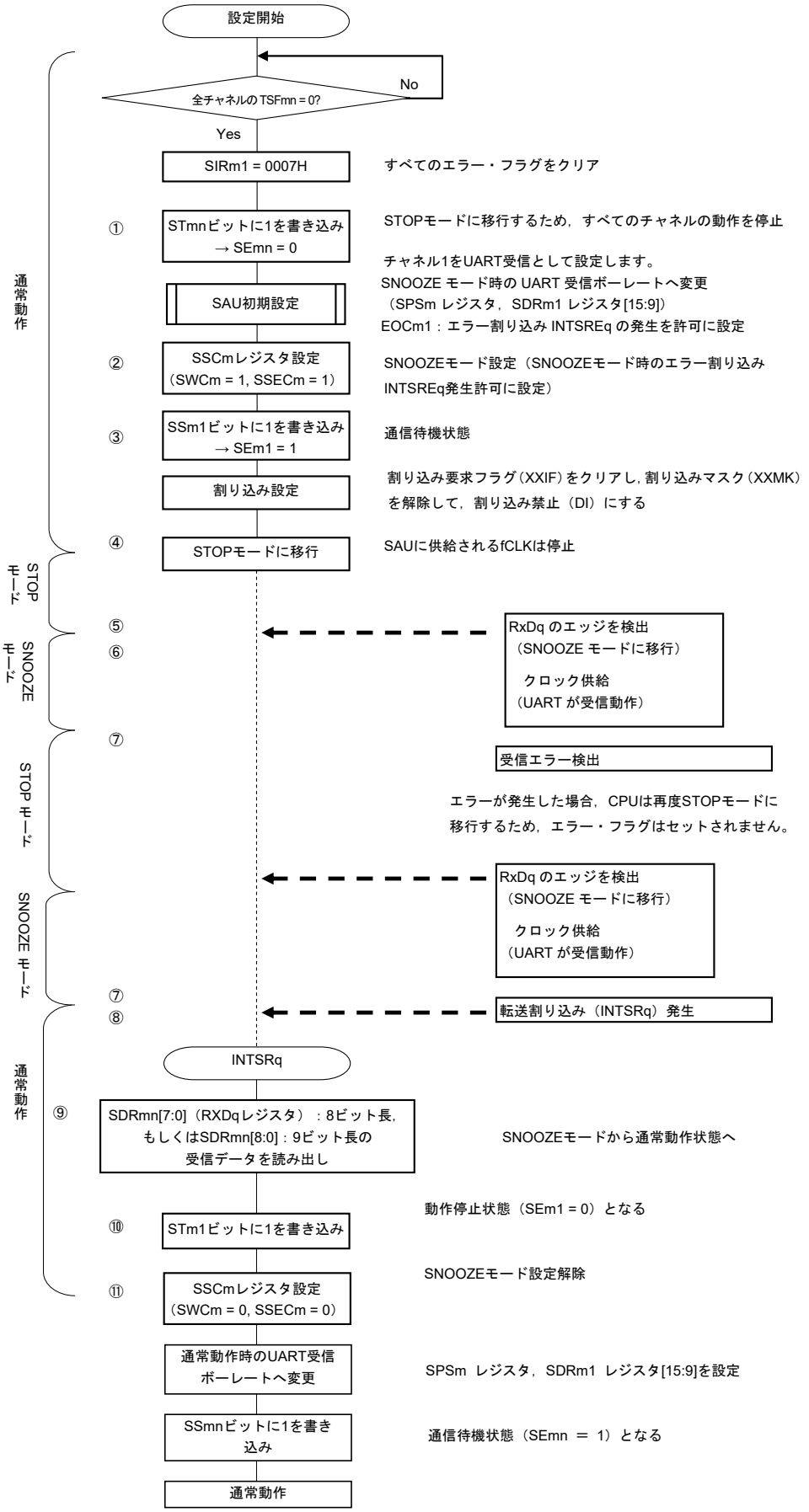
注意1. **SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。**
また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。

2. **SSECm = 1のときは，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm = 1で使用するときは，SWCm = 1に設定する前にPEFm1, FEFm1, OVFm1フラグをクリアし，また，SDRm1[7:0]（RXDqレジスタ）：8ビット長，もしくはSDRm1[8:0]：9ビット長を読み出してください。**

備考1. 図中の①~⑪は，図15－93　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャートの①~⑪に対応しています。

2. m = 0; q = 0

図15－93　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャート



（注意，備考は次ページにあります。）

注意　SSECm = 1のときは, パリティ・エラー, フレーミング・エラー, オーバラン・エラー時にPEFm1,FEFm1, OVFm1フラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm= 1で使用するときは，SWC0 = 1に設定する前にPEFm1，FEFm1，OVFm1フラグをクリアし，また，SDRm1[7:0]（RXDqレジスタ）: 8ビット長，もしくはSDRm1[8:0] : 9ビット長を読み出してください。

備考1. 図中の①~⑪は，図15－92　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャートの①~⑪に対応しています。

2. m = 0；　q = 0；　n = 0, 1

15. 6. 4　ボー・レートの算出

（1）ボー・レート算出式

UART（UART0, UART1）通信でのボー・レートは下記の計算式にて算出できます。

（ボー・レート） ＝ {対象チャネルの動作クロック（f_{MCK}）周波数} ÷（SDRmn[15:9]＋1）÷ 2 [bps]

注意　シリアル・データ・レジスタmn（SDRmn）SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

備考1. UART使用時は，SDRmn[15:9]はSDRmnレジスタのビット15-9の値（0000010B-1111111B）なので，2-127になります。

2. m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3），mn = 00-03

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表15－4　UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	7.81 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	3.91 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.95 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	977 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	7.81 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	3.91 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.95 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	977 Hz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）　= 000FH）させてから変更してください。

備考1.　X：Don’t care

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3），mn = 00-03

（2）送信時のボー・レート誤差

UART（UART0, UART1）通信での，送信時のボー・レート誤差は，下記の計算式にて算出できます。送信側のボー・レートが，受信側の許容ボー・レート範囲内に収まるように設定してください。

（ボー・レート誤差）　=　（算出ボー・レート値）÷（目標ボー・レート値）×　100　－　100 [%]

f_{CLK} = 32 MHzの場合のUARTボー・レート設定例を示します。

UARTボー・レート（目標ボー・レート）	f_{CLK} = 32 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^9$	103	300.48 bps	+0.16 %
600 bps	$f_{CLK}/2^8$	103	600.96 bps	+0.16 %
1200 bps	$f_{CLK}/2^7$	103	1201.92 bps	+0.16 %
2400 bps	$f_{CLK}/2^6$	103	2403.85 bps	+0.16 %
4800 bps	$f_{CLK}/2^5$	103	4807.69 bps	+0.16 %
9600 bps	$f_{CLK}/2^4$	103	9615.38 bps	+0.16 %
19200 bps	$f_{CLK}/2^3$	103	19230.8 bps	+0.16 %
31250 bps	$f_{CLK}/2^3$	63	31250.0 bps	±0.0 %
38400 bps	$f_{CLK}/2^2$	103	38461.5 bps	+0.16 %
76800 bps	$f_{CLK}/2$	103	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	103	153846 bps	+0.16 %
312500 bps	f_{CLK}	50	313725.5 bps	±0.39 %

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 2），mn = 00, 02

（3）受信時のボー・レート許容範囲

UART（UART0, UART1）通信での，受信時のボー・レート許容範囲は，下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$（受信可能な最大ボー・レート）= \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$（受信可能な最小ボー・レート）= \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate ：受信側の算出ボー・レート値（15. 6. 4（1）ボー・レート算出式参照）

k ：SDRmn[15:9] ＋1

Nfr ：1データ・フレーム長［ビット］

=（スタート・ビット）＋（データ長）＋（パリティ・ビット）＋（ストップ・ビット）

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 1, 3），mn = 01, 03

図15－94　受信時の許容ボー・レート範囲（1データ・フレーム長 = 11ビットの場合）

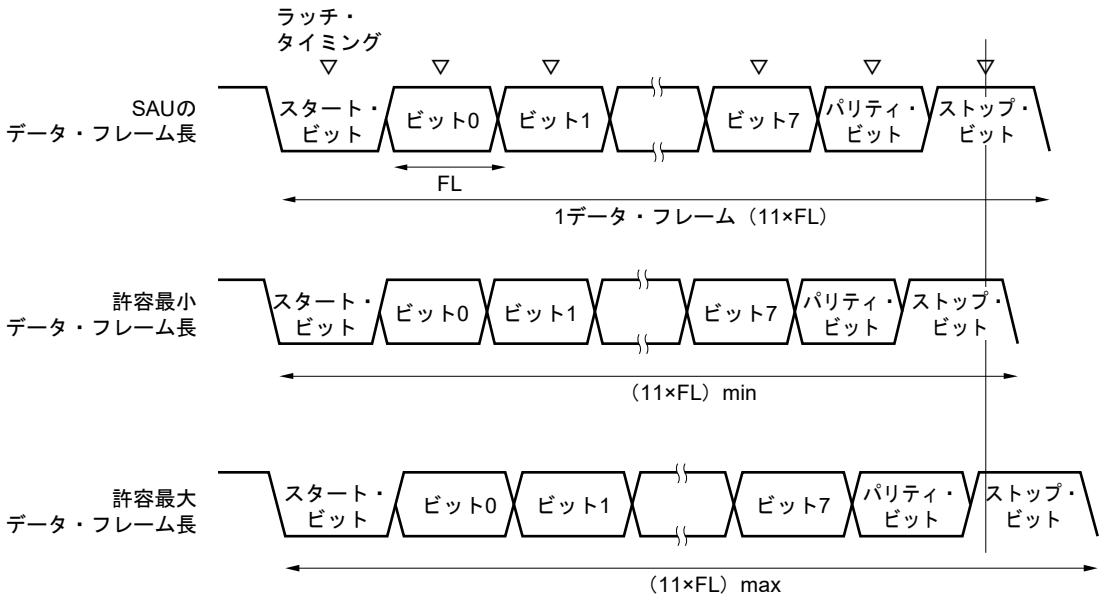


図15－94に示すように，スタート・ビット検出後はシリアル・データ・レジスタmn（SDRmn）のビット15-9で設定した分周比により，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

15. 6. 5　UART（UART0, UART1）通信時におけるエラー発生時の処理手順

UART（UART0, UART1）通信時にエラーが発生した場合の処理手順を図15－95，図15－96に示します。

図15－95　パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図15－96　フレーミング・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”となり，チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため，通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“1”となり，チャネルnは動作許可状態になる	

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0-3），mn = 00-03

15. 7　LIN通信の動作

15. 7. 1　LIN送信

UART送信のうち，UART0はLIN通信に対応しています。

LIN送信では，ユニット1のチャネル0を使用します。

UART	UART0	UART1
LIN通信対応	可	不可
対象チャネル	チャネル0	－
使用端子	TxD0	－
割り込み	INTST0	－
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）を選択可能	
エラー検出フラグ	なし	
転送データ長	8ビット	
転送レート注	Max. f_{MCK}/6 [bps]（SDR10[15:9] = 2以上），Min. f_{CLK}/（2×2^{15}×128）[bps]	
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加	
データ方向	LSBファースト	

注　この条件を満たし，かつ電気的特性の周辺機能特性（第32章　電気的特性（T_A = －40～+105℃対応品）または第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

なお，LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

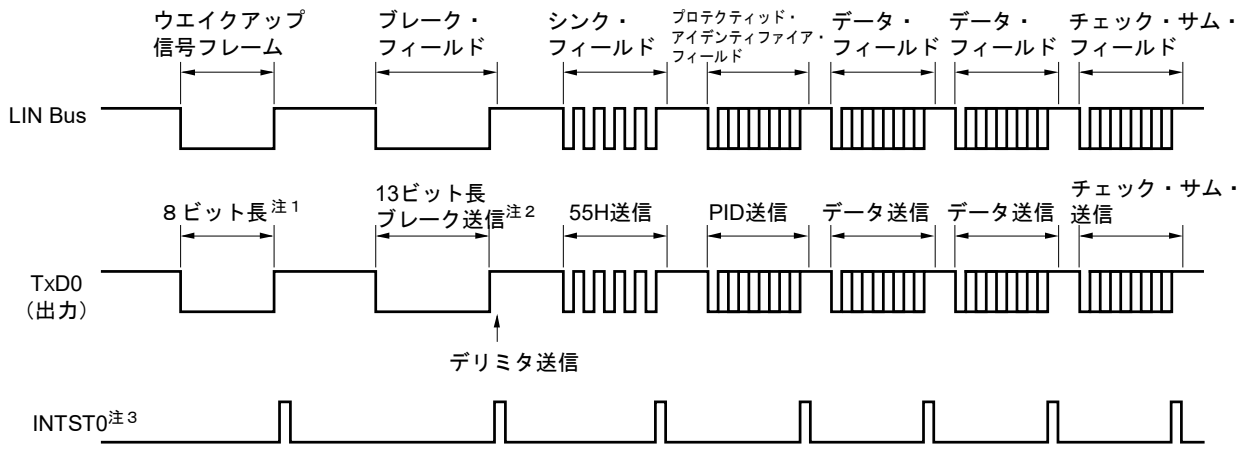
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15 %以下であれば，通信可能です。

LINのマスタ送信操作の概略を，図15－97に示します。

図15－97　LINのマスタ送信操作



注1. ウエイクアップ信号の規定を満たせるようにボー・レートを設定し，80Hのデータ送信をすることで対応します。

2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので，メイン転送で使用するボー・レートをN [bps]とすると，ブレーク・フィールドで使用するボー・レートは次のようになります。

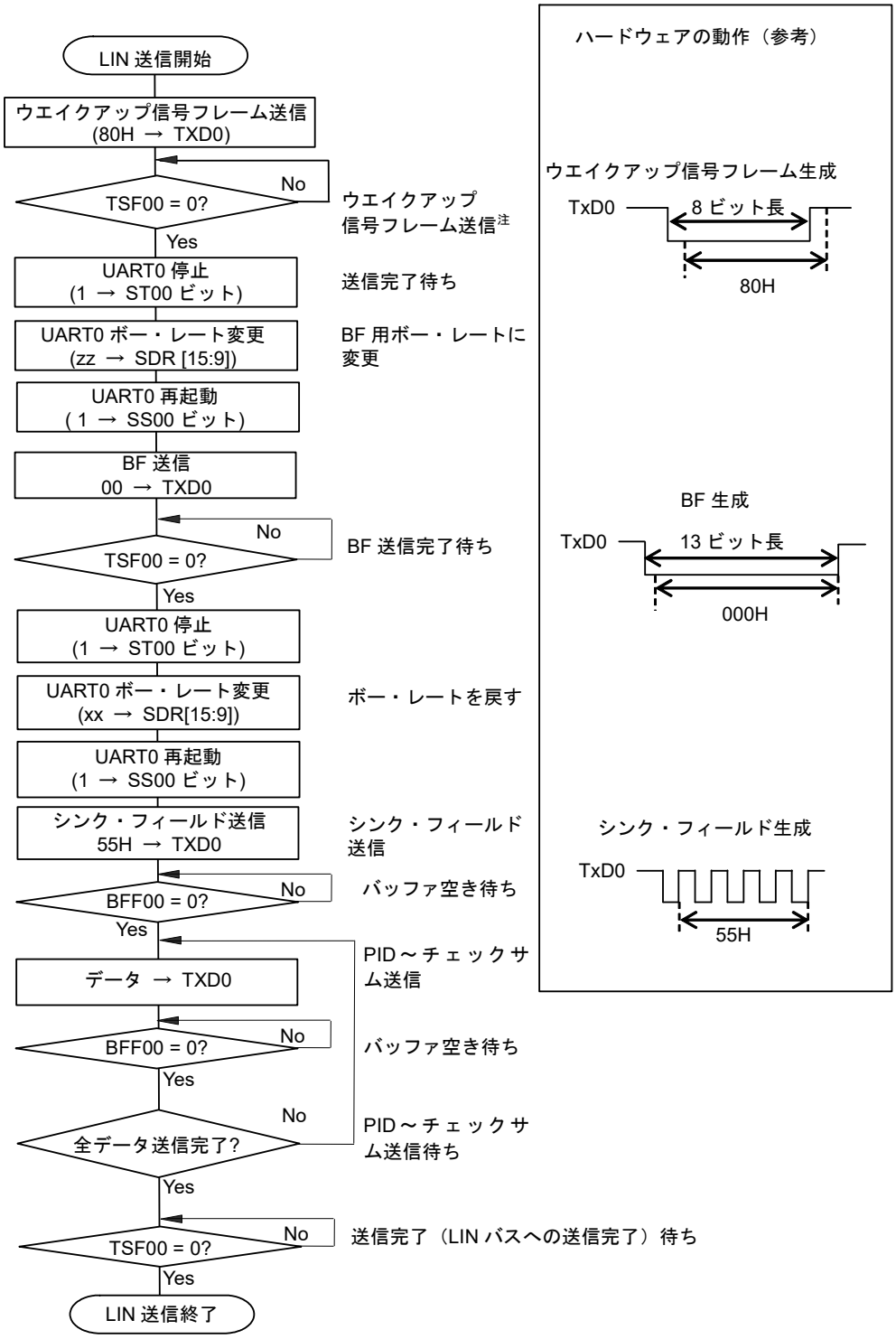
（ブレーク・フィールド時のボー・レート）　= 9/13×N

このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

3. 各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

備考　各フィールド間の間隔はソフトウエアで制御します。

図15－98　LIN送信のフロー・チャート



注　LIN-busがスリープ状態からの起動時のみ

備考　UARTの初期設定は完了し，送信許可状態からのフローです。

15. 7. 2　LIN受信

UART受信のうち，　UART0はLIN通信に対応しています。

LIN受信では，ユニット1のチャネル1を使用します。

UART	UART0	UART1
LIN通信対応	可	不可
対象チャネル	チャネル1	－
使用端子	RxD0	－
割り込み	INTSR0	－
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー割り込み	INTSRE0	－
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEF11） ・オーバラン・エラー検出フラグ（OVF11）	
転送データ長	8ビット	
転送レート注	Max. f_{MCK}/6 [bps]（SDR11[15:9] = 2以上），Min. f_{CLK}/（2×2^{15}×128）[bps]	
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）	
ストップ・ビット	1ビット目チェック	
データ方向	LSBファースト	

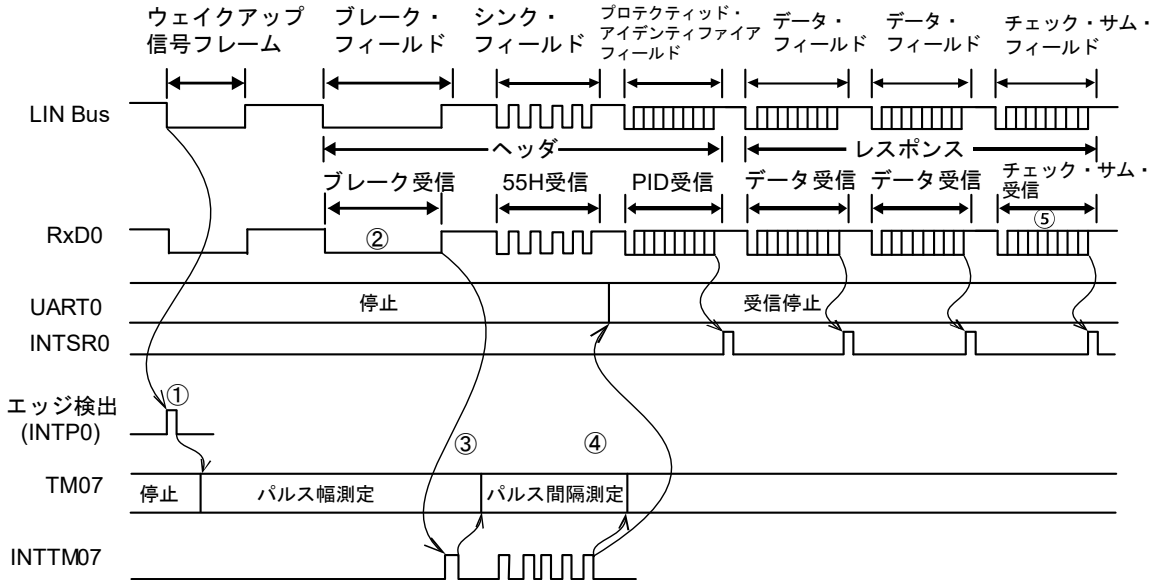
注　この条件を満たし，かつ電気的特性の周辺機能特性（第32章　電気的特性（T_A = －40～+105℃対応品）または第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINの受信操作の概略を，図15－99に示します。

図15－99　LINの受信操作



受信処理の流れを次に示します。

① ウエイクアップ信号の検出は，端子の割り込みエッジ検出（INTP0）で行います。ウエイクアップ信号を検出したら，TM07をBFのロウ・レベル幅測定のためにパルス幅測定に設定して，BF受信待ち状態にします。

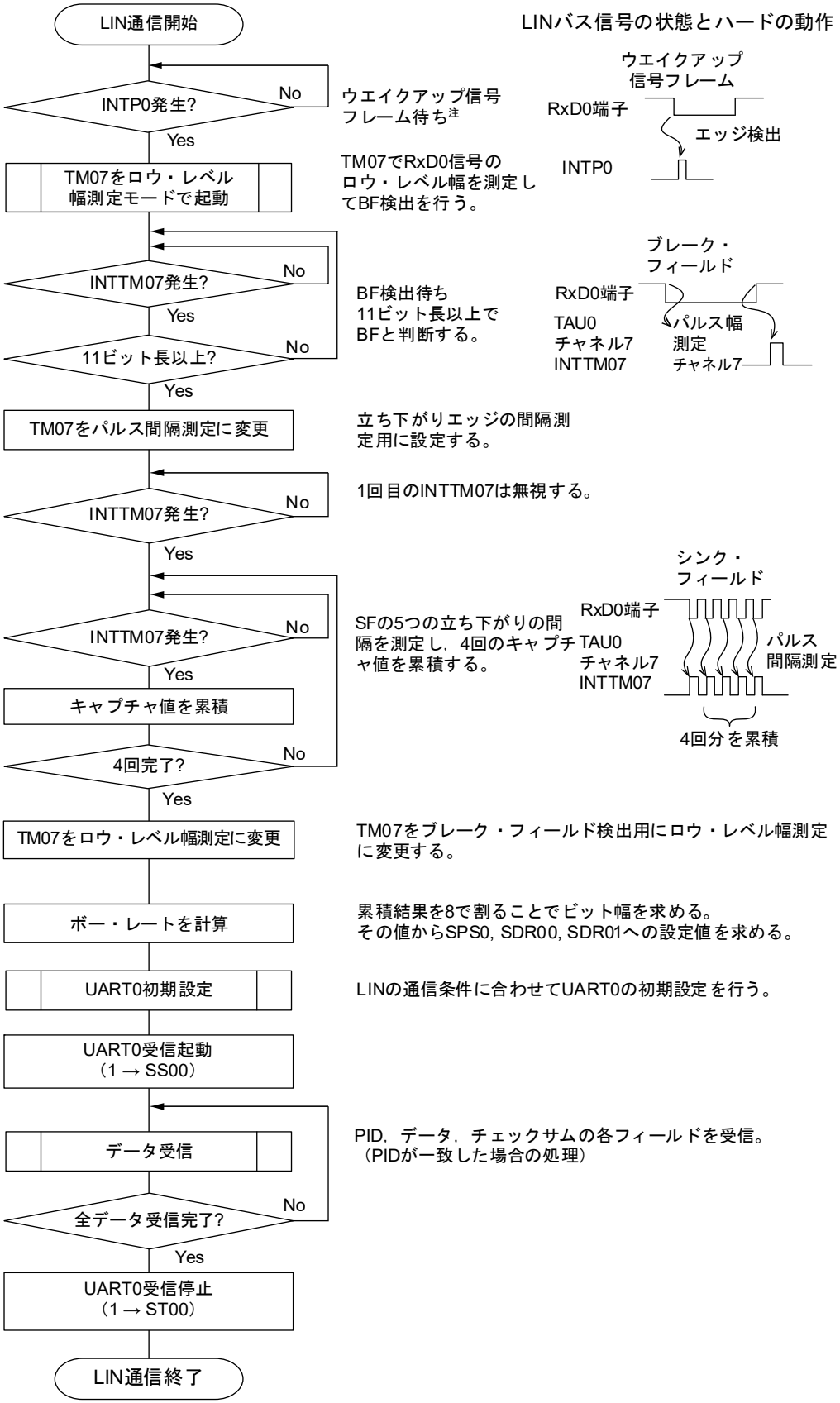
② BFの立ち下がりを検出したら，TM07はロウ・レベル幅の測定を開始し，立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。

③ BF受信を正常終了した場合，TM07をパルス間隔測定に設定し，シンク・フィールドのRxD0信号の立ち下がりの間隔を4回測定してください（6. 8. 3　入力パルス間隔測定としての動作を参照）。

④ シンク・フィールド（SF）のビット間隔からボー・レート誤差を算出します。そして，いったんUART0を動作停止にしてからボー・レートを調整（再設定）してください。

⑤ チェック・サム・フィールドの区別はソフトウエアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し，再びBF受信待ちに設定する処理もソフトウエアにて行ってください。

図15－100　LIN受信のフロー・チャート



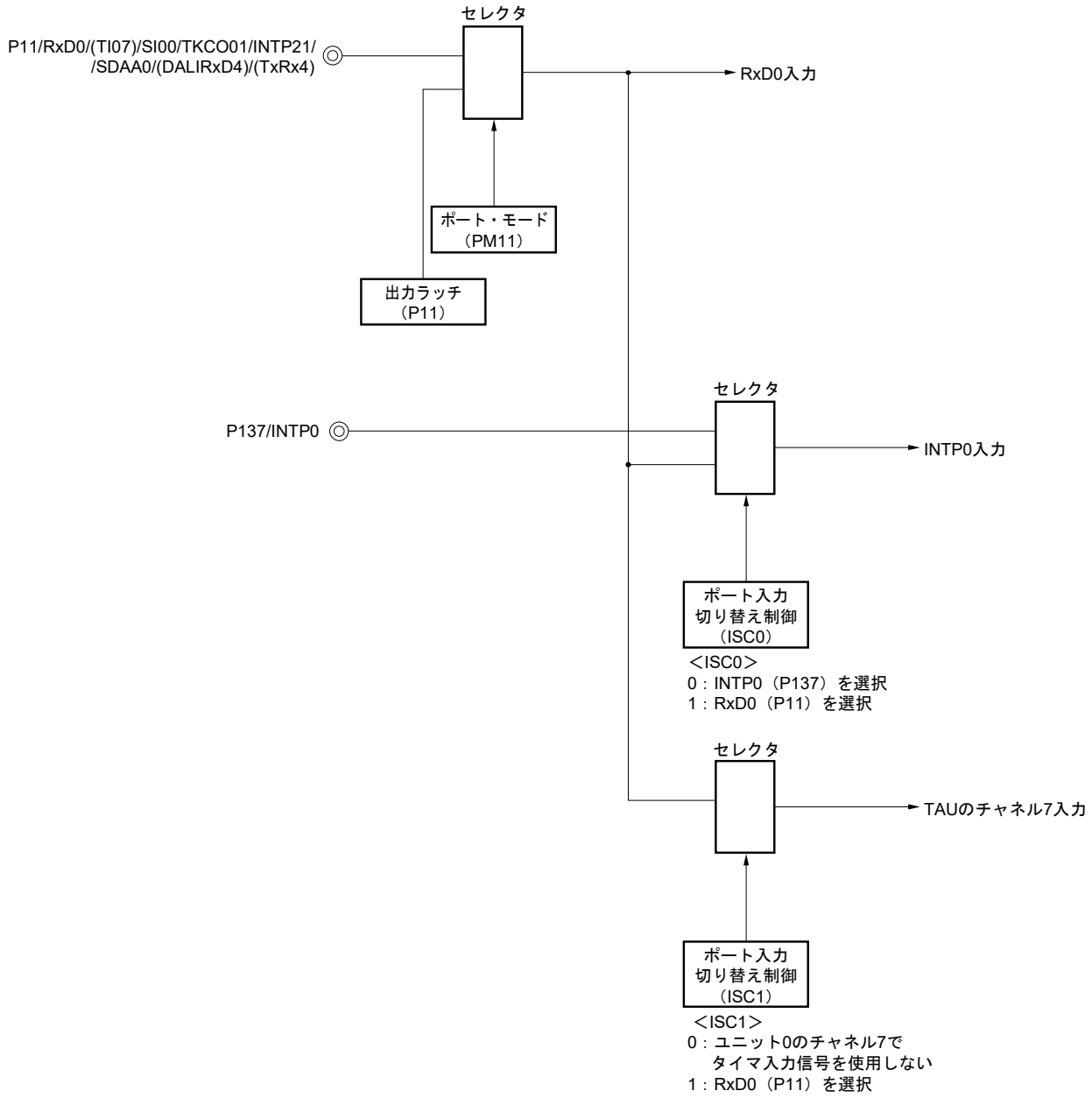
注　スリープ状態でのみ必要となります。

図15－101はLINの受信操作用のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を，外部割り込み（INTP0）のエッジ検出にて行います。また，LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し，ボー・レート誤差を算出することができます。

ポート入力切り替え制御（ISC0/ISC1）により，外部で結線をせずに，受信用ポート入力（RxD0）の入力ソースを外部割り込み（INTP0）およびタイマ・アレイ・ユニットへ入力することができます。

図15－101　LINの受信操作用のポート構成図



備考　ISC0, ISC1：入力切り替え制御レジスタ（ISC）のビット0, 1（図15－20参照）

LIN通信動作で使用する周辺機能をまとめると，次のようになります。

＜使用する周辺機能＞

・外部割り込み（INTP0）；ウエイクアップ信号検出

用途：ウエイクアップ信号のエッジを検出し，通信開始を検出

・タイマ・アレイ・ユニットのチャネル7；ボー・レート誤差検出，ブレーク・フィールド（BF）検出

用途：シンク・フィールド（SF）の長さを検出し，ビット数で割ることでボー・レート誤差を検出（RxD0入力エッジの間隔をキャプチャ・モードで測定）

ロウ・レベル幅を測定し，ブレーク・フィールド（BF）かを判定

・シリアル・アレイ・ユニット0（SAU0）のチャネル0, 1（UART0）

15. 8　DMX512通信の動作

UART受信のうち，UART0はDMX512通信に対応しています。

DMX512受信では，チャネル1を使用します。

UART	UART0	UART1
DMX512通信対応	可	不可
対象チャネル	チャネル1	－
使用端子	RxD0	－
割り込み	INTSR0	－
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー割り込み	INTSRE0	－
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEF01） ・オーバラン・エラー検出フラグ（OVF01）	
転送データ長	8ビット	
転送レート	250 [kbps]	
データ位相	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）	
ストップ・ビット	2ビット付加	
データ方向	MSBファーストまたはLSBファースト	

DMX512の受信操作については，16. 11　DMX512通信の動作を参考にしてください。

注意　UART0でDMX512通信をする時にRxD0端子からの入力信号をINTP0およびTI07に取り込む場合，入力切り替え制御レジスタ（ISC）の設定が必要になります。詳細は15. 3. 15　入力切り替え制御レジスタ（ISC）を参照してください。

第16章　シリアル・アレイ・ユニット4（DALI/UART4）

シリアル・アレイ・ユニット4のチャネル0, 1はDALI通信のマスタおよびスレーブに対応したDALI/UART4として動作します。また，DALI/UART4は，UART0, UART1と同様に，UART通信を行うことも可能です。

16. 1　シリアル・アレイ・ユニット4（DALI/UART4）の機能

（1）アシンクロナス・シリアル通信（UART）モード

シリアル送信データ（DALITxD4）とシリアル受信データ（DALIRxD4）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期（調歩同期通信）で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重調歩同期通信が実現できます。具体的な設定例は，「16. 5. 1　UART送信」，「16. 5. 2　UART受信」を参照してください。

［データ送受信］

・7, 8, 9ビット長のデータに対応可能
・MSB/LSBファーストの選択可能
・送受信データのレベル設定（反転の選択）可能
・パリティ・ビット付加，パリティ・チェック機能
・ストップ・ビット付加，ストップ・ビット・チェック機能

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み
・フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

・フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，UART受信は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でDALIRxD4入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応しています。

注意　UART4をSNOOZEモードに設定する場合は, CSI00, UART0, A/DコンバータをSNOOZEモードに設定することはできません。CSI00, UART0, A/Dコンバータは，同時にSNOOZEモードに設定することは可能です。

（2）DALIモード

DALI（Digital Addressable Lighting Interface）のマスタおよびスレーブとしてのデータの送受信を行うことが可能です。詳細については「16. 6. 1　DALI送信」，「16. 6. 2　DALI受信」を参照してください。

DALI受信はSNOOZEモードに対応していません。

ただし、STOPモードからの外部割り込み復帰を使用したSNOOZE相当の動作は可能です。

「16.7　スタンバイ機能（DALI/UART4受信のみ）」を参照してください。

備考　DALIは，国際オープン規格の照明制御通信プロトコルで，主に複数の蛍光灯やLED照明の調光を制御するために使用します。

DALIは，最大64のショート・アドレスと，最大16のグループ・アドレスで構成されたネットワークで，1つのマスタから，1つのスレーブまたは複数のスレーブに対して，半二重のコマンド通信を行います。DALIのコマンドには，8ビット精度の調光レベルの設定や，最大16種類の任意の調光レベルを保存または切り替えを行う設定などがあります。

［データ送受信］

・8, 16, 24ビット長のデータを送信可能
・16, 17, 24ビット長のデータを受信可能
・MSBファースト
・送受信データのレベル設定（反転の選択）可能
・ストップ・ビット2ビット付加，ストップ・ビット・チェック機能

［割り込み機能］

・転送完了割り込み
・受信割り込み
・マンチェスタ・フレーミング・エラー，フレーミング・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

・マンチェスタ・フレーミング・エラー，フレーミング・エラー，オーバラン・エラー

（3）SNOOZEモード

UARTモードの受信（チャネル1）動作は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でDALIRxD4端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。

（4）1線データ・モード

データの送信，受信を一つの端子で兼用して行う半二重通信モードです。送受信を行う端子はTxRx4端子を使用します。詳細については16. 8　1線データ・モードを参照してください。

16. 2　シリアル・アレイ・ユニット4（DALI/UART4）の構成

シリアル・アレイ・ユニット4（DALI/UART4）は，次のハードウエアで構成されています。

表16－1　シリアル・アレイ・ユニット4（DALI/UART4）の構成

項　　目	構　　成
シフト・レジスタ	9ビット
バッファ・レジスタ	シリアル・データ・レジスタ40（SDR40）の下位9ビット注 DALI送信データ・レジスタH4, L4（SDTH4, SDTL4） DALI受信データ・レジスタH4, L4（SDCH4, SDCL4）
シリアル・データ入力	DALIRxD4端子
シリアル・データ出力	DALITxD4端子
シリアル・データ入出力	TxRx4端子
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ1（PER1） ・シリアル・クロック選択レジスタ4（SPS4） ・シリアル・チャネル許可レジスタ4（SE4） ・シリアル・チャネル開始レジスタ4（SS4） ・シリアル・チャネル停止レジスタ4（ST4） ・シリアル出力許可レジスタ4（SOE4） ・シリアル出力レジスタ4（SO4） ・シリアル出力レベル・レジスタ4（SOL4） ・シリアル・スタンバイ・コントロール・レジスタ4（SSC4） ・1線UART制御レジスタ（SUCTL） ・ノイズ・フィルタ許可レジスタ3（NFEN3） ・シリアル・オプション・コントロール・レジスタ4（SOC4）
	＜各チャネル部のレジスタ＞ ・シリアル・データ・レジスタ40, 41（SDR40, SDR41） ・シリアル・モード・レジスタ40, 41（SMR40, SMR41） ・シリアル通信動作設定レジスタ40, 41（SCR40, SCR41） ・シリアル・ステータス・レジスタ40, 41（SSR40, SSR41） ・シリアル・フラグ・クリア・トリガ・レジスタ40, 41（SIR40, SIR41）
	・ポート出力モード・レジスタ20（POM20） ・ポート・モード・レジスタ20（PM20） ・ポート・レジスタ20（P20） ・周辺I/Oリダイレクション・レジスタ（PIOR1）

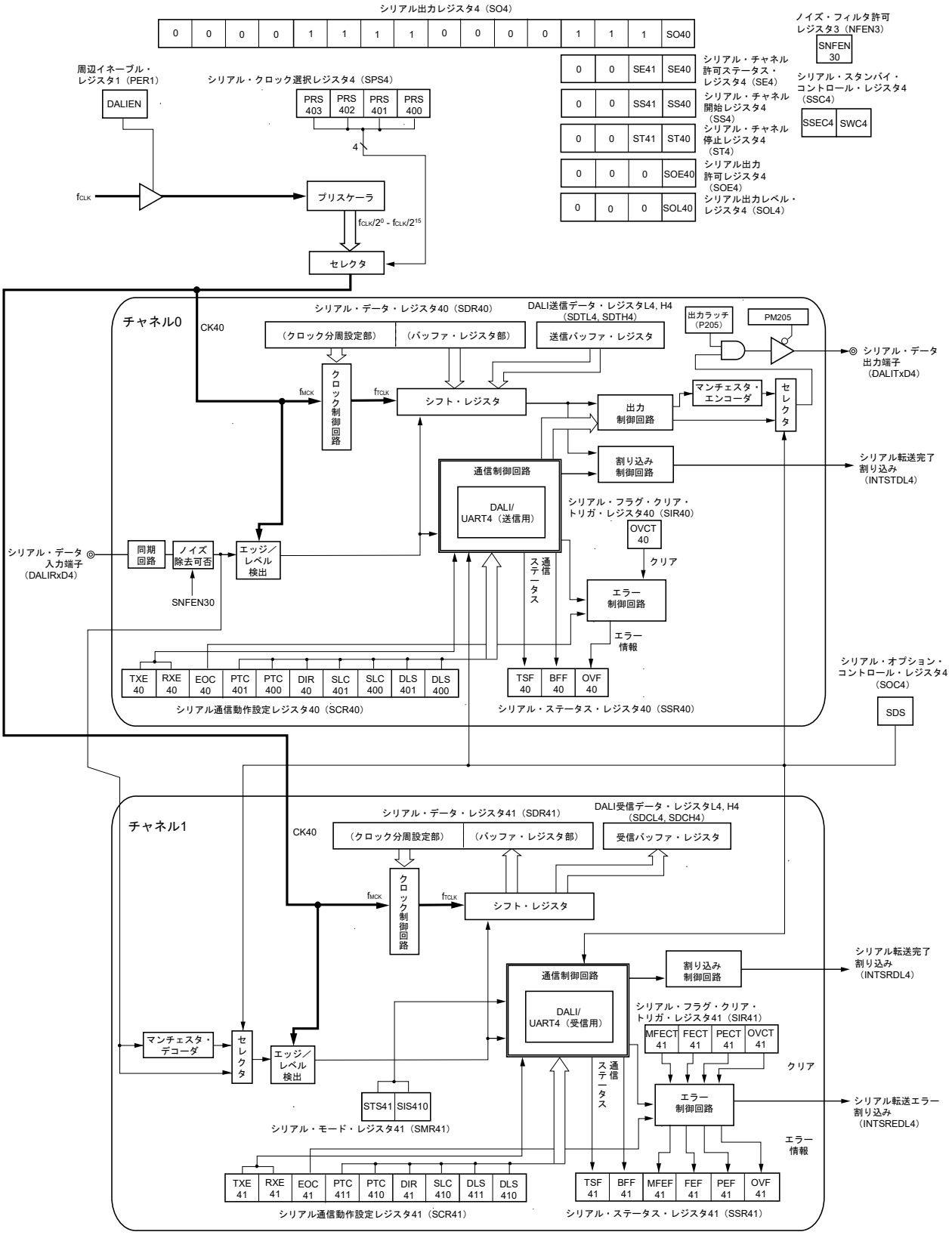
注　シリアル・データ・レジスタ41（SDR41）の下位8ビットは，通信方式により，次のSFR名称でリード／ライト可能です。

・UART受信時・・・RXD4（UART4受信データ・レジスタ）

・UART送信時・・・TXD4（UART4送信データ・レジスタ）

図16－1にシリアル・アレイ・ユニット4（DALI/UART4）のブロック図を示します。

図16－1　シリアル・アレイ・ユニット4（DALI/UART4）のブロック図



16. 2. 1　シフト・レジスタ

パラレル⇔シリアルの変換を行う9ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，シリアル・データ・レジスタ4n（SDR4n）の下位9ビット，またはDALI送信データ・レジスタH4, L4（SDTH4, SDTL4），DALI受信データ・レジスタH4, L4（SDCH4, SDCL4）を使用します。

	8	7	6	5	4	3	2	1	0
シフト・レジスタ									

16. 2. 2　シリアル・データ・レジスタ4n（SDR4n）の下位9ビット

SDR4nレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。

SDR4nレジスタのビット8-0（下位9ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

UART受信時には，シフト・レジスタで変換したパラレル・データを下位9ビットに格納します。UART送信時は，シフト・レジスタに転送する送信データを下位9ビットに設定します。

下位9ビットに格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタ4n（SCR4n）のビット0, 1（DLS4n0, DLS4n1）の設定によって，次のようになります。

・9ビット・データ長（SDR4nレジスタのビット0-8に格納）

・7ビット・データ長（SDR4nレジスタのビット0-6に格納）

・8ビット・データ長（SDR4nレジスタのビット0-7に格納）

SDR4nレジスタは16ビット単位でリード／ライト可能です。

またSDR4nレジスタの下位9ビットは，通信方式により，次のSFR名称で8ビット単位でリード／ライト可能です。

・UART受信時・・・RXD4（UART4受信データ・レジスタ）

・UART送信時・・・TXD4（UART4送信データ・レジスタ）

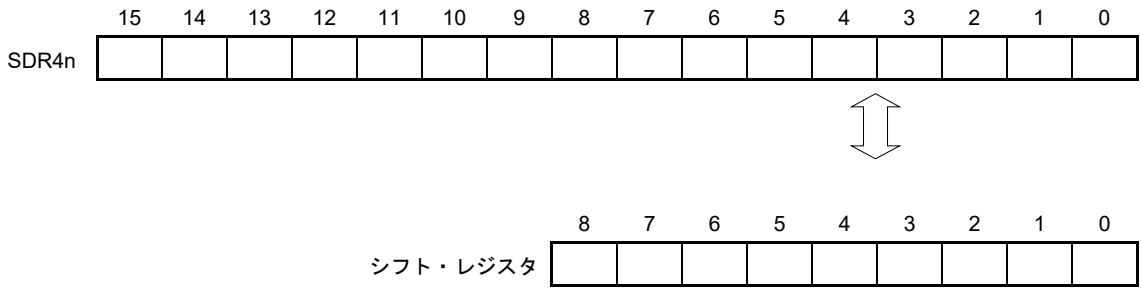
リセット信号の発生により，SDR4nレジスタは0000Hになります。

備考1.　受信完了後，ビット0-8内でデータ長を越える部分のビットには，“0”が格納されます。

2.　n：チャネル番号（n = 0, 1）　q：UART番号（q = 4）

図16－2　シリアル・データ・レジスタ4n（SDR4n）のフォーマット

アドレス：F0570H, F0571H（SDR40）, F0572H, F0573H（SDR41）　　リセット時：0000H　　R/W



備考　SDR4nレジスタの上位7ビットの機能については，16. 3　シリアル・アレイ・ユニット4（DALI/UART4）を制御するレジスタを参照してください。

16. 2. 3　DALI送信データ・レジスタH4, L4（SDTH4, SDTL4）

SDTH4, SDTL4レジスタは，DALIの送信データ・レジスタ（16ビット）です。

格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタ4n（SCR4n）のビット0, 1（DLS4n0, DLS4n1）の設定によって，次のようになります。

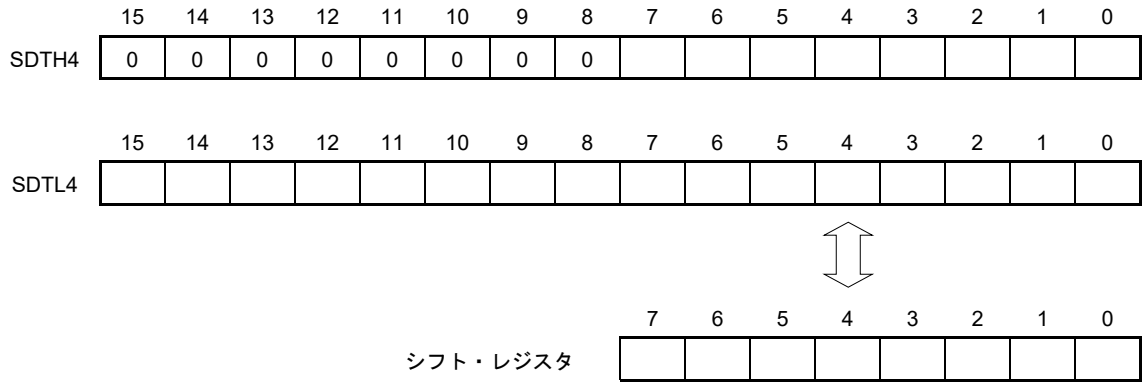
- 24ビット・データ長（SDTH4レジスタのビット7-0, SDTL4レジスタのビット15-0に格納）
- 17ビット・データ長（SDTH4レジスタのビット0, SDTL4レジスタのビット15-0に格納）
- 16ビット・データ長（SDTL4レジスタのビット15-0に格納）
- 8ビット・データ長（SDTL4レジスタのビット7-0に格納）

SDTH4, SDTL4レジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SDTH4, SDTL4レジスタは0000Hになります。

図16－3　DALI送信データ・レジスタH4, L4（SDTH4, SDTL4）のフォーマット

アドレス：F0578H（SDTL4）, F057AH（SDTH4）　　リセット時：0000H　　R/W



注意1.　SDTH4レジスタのビット15-8には，必ず0を設定してください。

2.　SDTL4レジスタへのデータ書き込みによって，データ送信が開始されます。16ビット長より長いデータを設定する場合は，SDTH4レジスタ，SDTL4レジスタの順で書き込みを行ってください。

備考　n：チャネル番号（n = 0, 1）

16. 2. 4　DALI受信データ・レジスタH4, L4（SDCH4, SDCL4）

SDCH4, SDCL4レジスタは，DALIの受信データ・レジスタ（16ビット）です。

DALI受信時に，シフト・レジスタで変換したパラレル・データをSDCL4レジスタの下位バイトから順に格納します。

格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタ4n（SCR4n）のビット0, 1（DLS4n0, DLS4n1）の設定によって，次のようになります。

- 24ビット・データ長（SDCH4レジスタのビット7-0, SDCL4レジスタのビット15-0に格納）
- 17ビット・データ長（SDCH4レジスタのビット0, SDCL4レジスタのビット15-0に格納）
- 16ビット・データ長（SDCL4レジスタのビット15-0に格納）
- 8ビット・データ長（SDCL4レジスタのビット7-0に格納）

SDCH4, SDCL4レジスタは16ビット操作命令で読み出します。

リセット信号の発生により，SDCH4, SDCL4レジスタは0000Hになります。

図16－4　DALI受信データ・レジスタH4, L4（SDCH4, SDCL4）のフォーマット

アドレス：F057CH（SDCL4）, F057EH（SDCH4）　　リセット時：0000H　　R

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDCH4	0	0	0	0	0	0	0	0								

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDCL4																

⇕

	7	6	5	4	3	2	1	0
シフト・レジスタ								

注意　SDCH4レジスタのビット15-8は，0固定です。

備考1.　受信完了後，データ長を越える部分のビットには，“0”が格納されます。

2.　n：チャネル番号（n = 0, 1）

16. 3　シリアル・アレイ・ユニット4（DALI/UART4）を制御するレジスタ

シリアル・アレイ・ユニット4（DALI/UART4）を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1（PER1）
- シリアル・クロック選択レジスタ4（SPS4）
- シリアル・モード・レジスタ40, 41（SMR40, SMR41）
- シリアル通信動作設定レジスタ40, 41（SCR40, SCR41）
- シリアル・データ・レジスタ40, 41（SDR40, SDR41）
- シリアル・フラグ・クリア・トリガ・レジスタ40, 41（SIR40, SIR41）
- シリアル・ステータス・レジスタ40, 41（SSR40, SSR41）
- シリアル・オプション・コントロール・レジスタ4（SOC4）
- シリアル・チャネル開始レジスタ4（SS4）
- シリアル・チャネル停止レジスタ4（ST4）
- シリアル・チャネル許可ステータス・レジスタ4（SE4）
- シリアル出力許可レジスタ4（SOE4）
- シリアル出力レベル・レジスタ4（SOL4）
- シリアル出力レジスタ4（SO4）
- シリアル・スタンバイ・コントロール・レジスタ4（SSC4）
- 1線UART制御レジスタ（SUCTL）
- ノイズ・フィルタ許可レジスタ3（NFEN3）
- ポート出力モード・レジスタ1, 20（POM1, POM20）
- ポート・モード・レジスタ1, 20（PM1, PM20）
- ポート・レジスタ1, 20（P1, P20）
- 周辺I/Oリダイレクション・レジスタ（PIOR1）

16. 3. 1　周辺イネーブル・レジスタ1（PER1）

PER1レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット4（DALI/UART4）を使用するときは，必ずビット0（DALIEN）に1を設定してください。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER1レジスタは00Hになります。

図16－5　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F0508H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	0	0	0	0	0	DALIEN

DALIEN	シリアル・アレイ・ユニット4（DALI/UART4）の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット4（DALI/UART4）で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット4（DALI/UART4）はリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニット4（DALI/UART4）で使用するSFRへのリード／ライト可

注意1.　シリアル・アレイ・ユニット4（DALI/UART4）の設定をする際には，必ず最初にDALIEN = 1の設定を行ってください。DALIEN = 0の場合は，シリアル・アレイ・ユニット4（DALI/UART4）の制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります（ノイズ・フィルタ許可レジスタ3（NFEN3），ポート出力モード・レジスタ20（POM20），シリアル・スタンバイ・コントロール・レジスタ4（SSC4），ポート・モード・レジスタ20（PM20），ポート・レジスタ20（P20）は除く）。

2.　DALIENを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ4（SPS4）を設定してください。

3.　ビット1-7には必ず“0”を設定してください。

16. 3. 2　シリアル・クロック選択レジスタ4（SPS4）

SPS4レジスタは，各チャネルに共通して供給されるクロック（CK40）を選択する16ビット・レジスタです。

SPS4レジスタは，動作中（SE4n = 1のとき）の書き換えは禁止です。

動作クロックにSPS4 = 0003H-000FHを選択している場合は，PLL機能の使用／未使用を切り替えても，選択されるクロック周波数は同じになります。このため，CPUを通常動作モード⇔スタンバイ・モード変更時などに，シリアル・アレイ・ユニット4に供給するクロックを継続・受信可能なまま，PLL機能の使用／未使用の切り替えが可能です。

SPS4レジスタは16ビット・メモリ操作命令で設定します。

またSPS4レジスタの下位8ビットは，SPS4Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SPS4レジスタは0000Hになります。

図16－6　シリアル・クロック選択レジスタ4（SPS4）のフォーマット

アドレス：F05A6H, F05A7H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPS4	0	0	0	0	0	0	0	0	0	0	0	0	PRS 403	PRS 402	PRS 401	PRS 400

PRS 403	PRS 402	PRS 401	PRS 400	動作クロック（CK40）の選択[注]					
				f_{CLK} = 4 MHz（PLL未使用時）		f_{CLK} = 16 MHz（PLL使用時）		f_{CLK} = 32 MHz（PLL使用時）	
0	0	0	0	f_{CLK}	4 MHz	f_{CLK}	16 MHz	f_{CLK}	32 MHz
0	0	0	1	f_{CLK}	4 MHz	f_{CLK}	16 MHz	$f_{CLK}/2$	16 MHz
0	0	1	0	f_{CLK}	4 MHz	$f_{CLK}/2$	8 MHz	$f_{CLK}/2^2$	8 MHz
0	0	1	1	f_{CLK}	4 MHz	$f_{CLK}/2^2$	4 MHz	$f_{CLK}/2^3$	4 MHz
0	1	0	0	$f_{CLK}/2$	2 MHz	$f_{CLK}/2^3$	2 MHz	$f_{CLK}/2^4$	2 MHz
0	1	0	1	$f_{CLK}/2^2$	1 MHz	$f_{CLK}/2^4$	1 MHz	$f_{CLK}/2^5$	1 MHz
0	1	1	0	$f_{CLK}/2^3$	500 kHz	$f_{CLK}/2^5$	500 kHz	$f_{CLK}/2^6$	500 kHz
0	1	1	1	$f_{CLK}/2^4$	250 kHz	$f_{CLK}/2^6$	250 kHz	$f_{CLK}/2^7$	250 kHz
1	0	0	0	$f_{CLK}/2^5$	125 kHz	$f_{CLK}/2^7$	125 kHz	$f_{CLK}/2^8$	125 kHz
1	0	0	1	$f_{CLK}/2^6$	62.5 kHz	$f_{CLK}/2^8$	62.5 kHz	$f_{CLK}/2^9$	62.5 kHz
1	0	1	0	$f_{CLK}/2^7$	31.3 kHz	$f_{CLK}/2^9$	31.3 kHz	$f_{CLK}/2^{10}$	31.3 kHz
1	0	1	1	$f_{CLK}/2^8$	15.6 kHz	$f_{CLK}/2^{10}$	15.6 kHz	$f_{CLK}/2^{11}$	15.6 kHz
1	1	0	0	$f_{CLK}/2^9$	7.81 kHz	$f_{CLK}/2^{11}$	7.81 kHz	$f_{CLK}/2^{12}$	7.81 kHz
1	1	0	1	$f_{CLK}/2^{10}$	3.91 kHz	$f_{CLK}/2^{12}$	3.91 kHz	$f_{CLK}/2^{13}$	3.91 kHz
1	1	1	0	$f_{CLK}/2^{11}$	1.95 kHz	$f_{CLK}/2^{13}$	1.95 kHz	$f_{CLK}/2^{14}$	1.95 kHz
1	1	1	1	$f_{CLK}/2^{12}$	977 Hz	$f_{CLK}/2^{14}$	977 Hz	$f_{CLK}/2^{15}$	977 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット4（DALI/UART4）の動作を停止（シリアル・チャネル停止レジスタ4（ST4）　= 000FH）させてから変更してください。

注意1.　ビット15-4には，必ず0を設定してください。

2.　PER1レジスタのビット0（DALIEN）を“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからSPS4レジスタを設定してください。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

f_{SUB}：サブシステム・クロック周波数

16. 3. 3　シリアル・モード・レジスタ4n（SMR4n）

SMR4nレジスタは，チャネルnの動作モード設定レジスタです。スタート・トリガ設定，割り込み要因の選択を行います。また，受信データのレベル反転の設定を行います。

SMR4nレジスタは，動作中（SE4n = 1のとき）の書き換えは禁止です。ただしMD4n0ビットは，動作中でも書き換えをすることができます。

SMR4nレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SMR4nレジスタは0020Hになります。

図16－7　シリアル・モード・レジスタ4n（SMR4n）のフォーマット

アドレス：F0590H, F0591H（SMR40）, F0592H, F0593H（SMR41）　　リセット時：0020H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR4n	0	0	0	0	0	0	0	STS 4n注	0	SIS 4n0注	1	0	0	0	1	MD 4n0

STS 4n注	スタート・トリガ要因の選択
0	ソフトウエア・トリガのみ有効（UART送信時に選択）
1	DALIRxD4端子の有効エッジ（UART受信時に選択）
SS4レジスタに1を設定後，上記の要因が満たされてから転送開始となります。	

SIS 4n0注	UARTモードでのチャネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは，そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは，反転して取り込まれます。

MD 4n0	チャネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データがSDR4nレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMD4n0 = 1として，SDR4nデータが空になったら次送信データの書き込みを行う。	

注　SMR41レジスタのみ。

注意　ビット15-9, 7, 4-2（SMR40レジスタの場合は，ビット15-6, 4-2）には，必ず0を設定してください。ビット5, 1には，必ず1を設定してください。

備考　n：チャネル番号（n = 0, 1）　q：UART番号（q = 4）

16. 3. 4　シリアル通信動作設定レジスタ4n（SCR4n）

チャネルnの通信動作設定レジスタです。データ送受信モード，エラー信号のマスク可否，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SCR4nレジスタは，動作中（SE4n = 1のとき）の書き換えは禁止です。

SCR4nレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SCR4nレジスタは0087Hになります。

図16－8　シリアル通信動作設定レジスタ4n（SCR4n）のフォーマット（1/2）

アドレス：F0598H, F0599H（SCR40）, F059AH, F059BH（SCR41）　　リセット時：0087H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR4n	TXE4n	RXE4n	0	0	0	EOC4n	PTC4n1	PTC4n0	DIR4n	0	SLC4n1注1	SLC4n0	0	1	DLS4n1	DLS4n0

TXE4n	RXE4n	チャネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う（SCR41の設定）
1	0	送信のみを行う（SCR40の設定）
1	1	送受信を行う

EOC4n	エラー割り込み信号（INTSREDL4）のマスク可否の選択
0	エラー割り込みINTSREDL4をマスクする（INTSRDL4はマスクされない）
1	エラー割り込みINTSREDL4の発生を許可する（エラー発生時にINTSRDL4はマスクされる）
UART送信時には，EOC40 = 0に設定してください。	

PTC4n1	PTC4n0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力注2	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

注1.　SCR40レジスタのみ。

2.　データの内容にかかわらず必ず0が付加されます。

注意　ビット3, 6, 11-13には，必ず0を設定してください（SCR41レジスタはビット3, 5, 6, 11-13）。
ビット2には，必ず1を設定してください。

備考　n：チャネル番号（n = 0, 1）

図16－8　シリアル通信動作設定レジスタ4n（SCR4n）のフォーマット（2/2）

アドレス：F0598H, F0599H（SCR40）, F059AH, F059BH（SCR41）　　リセット時：0087H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR4n	TXE 4n	RXE 4n	0	0	0	EOC 4n	PTC 4n1	PTC 4n0	DIR 4n	0	SLC 4n1注	SLC 4n0	0	1	DLS 4n1	DLS 4n0

DIR 4n	データ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う

SLC 4n1注	SLC 4n0	ストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 ＝1ビット
1	0	ストップ・ビット長 ＝2ビット（SLC401, SLC400のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時には，1ビット（SLC4n1, SLC4n0 = 0, 1）に設定してください。		

DLS 4n1	DLS 4n0	データ長の設定	
		UART通信モード時	DALI通信モード時
0	0	設定禁止	24ビット・データ長 （SDCH4, SDTH4のビット7-0, SDCL4 SDTL4のビット15-0に格納）
0	1	9ビット・データ長 （SDR4n（4n = 40, 41）のビット0-8に格納）	17 ビット・データ長 （SDCH4 のビット 0, SDCL4 のビット 15-0 に格納）
1	0	7ビット・データ長 （SDR4nのビット0-6に格納）	16ビット・データ長 （SDCL4, SDTL4のビット15-0に格納）
1	1	8ビット・データ長 （SDR4nのビット0-7に格納）	8ビット・データ長 （SDTL4レジスタのビット7-0に格納）

注　SCR40レジスタのみ。

注意　ビット3, 6, 11-13には，必ず0を設定してください（SCR41レジスタはビット3, 5, 6, 11-13）。
ビット2には，必ず1を設定してください。

備考　n：チャネル番号（n = 0, 1）

16. 3. 5　シリアル・データ・レジスタ4n（SDR4n）の上位7ビット

SDR4nレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。SDR4nレジスタのビット8-0（下位9ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

このSDR4nレジスタの上位7ビットで分周設定したクロックが，転送クロックとして使用されます。

SDR4nレジスタの下位9ビットは，送受信バッファ・レジスタとして機能します。受信時には，シフト・レジスタで変換したパラレル・データを下位9ビットに格納し，送信時には，シフト・レジスタに転送する送信データを下位9ビット設定します。

SDR4nレジスタは16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SE4n = 0）のときのみ有効です。動作中（SE4n = 1）にSDR4nレジスタに書き込みを行ったときは，下位9ビットのみ値が書き込まれます。動作中にSDR4nレジスタの読み出しを行ったときは，常に0が読み出されます。

リセット信号の発生により，SDR4nレジスタは0000Hになります。

図16－9　シリアル・データ・レジスタ4n（SDR4n）のフォーマット

アドレス：F0570H, F0571H（SDR40）, F0572H, F0573H（SDR41）　　リセット時：0000H　　R/W

	F0570H（SDR40の場合）								F0571H（SDR40の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR4n																

SDR4n[15:9]							動作クロック（f_{MCK}）の分周による転送クロック設定
0	0	0	0	0	0	0	f_{MCK}
0	0	0	0	0	0	1	$f_{MCK}/2$
0	0	0	0	0	1	0	$f_{MCK}/3$
0	0	0	0	0	1	1	$f_{MCK}/4$
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	$f_{MCK}/127$
1	1	1	1	1	1	1	$f_{MCK}/128$

注意1.　SDR4n[15:9] =（0000000B, 0000001B, 0000010B）は設定禁止です。

2.　動作停止状態（SE4n = 0）のときに，下位8ビットへ8ビット書き込みは行わないでください（上位7ビットが0にクリアされます）。

3.　BFF4n = 1のときにSDR4nレジスタに書き込みをすると，格納されている送信／受信データが破壊され，オーバラン・エラー（OVE4n = 1）と検出されます。

備考1.　SDR4nレジスタの下位9ビットの機能については，16. 2 シリアル・アレイ・ユニット4（DALI/UART4）の構成を参照してください。

2.　n：チャネル番号（n = 0, 1）

16. 3. 6　シリアル・ステータス・レジスタ4n（SSR4n）

SSR4nレジスタは，チャネルnの通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，マンチェスタ・フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

SSR4nレジスタは，16ビット・メモリ操作命令で読み出します。

またSSR4nレジスタの下位8ビットは，SSR4nLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SSR4nレジスタは0000Hになります。

図16－10　シリアル・ステータス・レジスタ4n（SSR4n）のフォーマット（1/3）

アドレス：F0580H, F0581H（SSR40）, F0582H, F0583H（SSR41）　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSR4n	0	0	0	0	0	0	0	0	MFEF 4n注	TSF 4n	BFF 4n	0	0	FEF 4n注	PEF 4n注	OVF 4n

MFEF 4n注	チャネルnのマンチェスタ・フレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（DALI受信時）

＜クリア条件＞
・SIR4nレジスタのMFECT4nビットに1を書き込んだとき
＜セット条件＞
・DALI受信完了時に，ストップ・ビットが検出されないとき

TSF 4n	チャネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態

＜クリア条件＞
・ST4レジスタのST4nビットに1を設定時（通信停止状態），もしくはSS4レジスタのSS4nビットに1を設定時（通信待機状態）
・通信動作が終了時
＜セット条件＞
・通信動作を開始時

注　SSR41レジスタのみ。

注意　BFF4n = 1のときにSDR4nレジスタに書き込みをすると，格納されている送信／受信データが破壊され，オーバラン・エラー（OVE4n = 1）と検出されます。

備考　n：チャネル番号（n = 0, 1）

図16－10　シリアル・ステータス・レジスタ4n（SSR4n）のフォーマット（2/3）

アドレス：F0580H, F0581H（SSR40）, F0582H, F0583H（SSR41）　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSR4n	0	0	0	0	0	0	0	0	MFEF 4n注	TSF 4n	BFF 4n	0	0	FEF 4n注	PEF 4n注	OVF 4n

BFF 4n	チャネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDR4nレジスタに格納されていない
1	有効なデータがSDR4nレジスタに格納されている

＜クリア条件＞
・送信時においてSDR4nレジスタからシフト・レジスタへ送信データの転送が終了したとき
・受信時においてSDR4nレジスタから受信データの読み出しが終了したとき
・ST4レジスタのST4nビットに1を設定時（通信停止状態），SS4レジスタのSS4nビットに1を設定時（通信許可状態）。
＜セット条件＞
・SCR4nレジスタのTXE4nビット ＝1（各通信モードでの送信，送受信モード時）の状態でSDR4nレジスタに送信データを書き込んだとき
・SCR4nレジスタのRXE4nビット ＝1（各通信モードでの受信，送受信モード時）の状態でSDR4nレジスタに受信データが格納されたとき
・受信エラー時

FEF 4n注	チャネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）

＜クリア条件＞
・SIR4nレジスタのFECT4nビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，ストップ・ビットが検出されないとき

PEF 4n	チャネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）

＜クリア条件＞
・SIR4nレジスタのPECT4nビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー）

注　SSR41レジスタのみ。

備考　n：チャネル番号（n = 0, 1）

図16－10　シリアル・ステータス・レジスタ4n（SSR4n）のフォーマット（3/3）

アドレス：F0580H, F0581H（SSR40）, F0582H, F0583H（SSR41）　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSR4n	0	0	0	0	0	0	0	0	MFEF 4n注	TSF 4n	BFF 4n	0	0	FEF 4n注	PEF 4n注	OVF 4n

OVF 4n	チャネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生

＜クリア条件＞

・SIR4nレジスタのOVCT4nビットに1を書き込んだとき

＜セット条件＞

・SCR4nレジスタのRXE4nビット ＝1（各通信モードでの受信，送受信モード時）の状態で，受信データがSDR4nレジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき

注　SSR41レジスタのみ。

備考　n：チャネル番号（n = 0, 1）

16. 3. 7　シリアル・フラグ・クリア・トリガ・レジスタ4n（SIR4n）

チャネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（MFECT4n, FECT4n, PECT4n, OVCT4n）を1にセットすると，シリアル・ステータス・レジスタ4n（SSR4n）の対応ビット（MFEF4n, FEF4n, PEF4n, OVF4n）が0にクリアされます。SIR4nレジスタはトリガ・レジスタなので，SSR4nレジスタの対応ビットをクリアするとすぐSIR4nレジスタもクリアされます。

SIR4nレジスタは，16ビット・メモリ操作命令で設定します。

またSIR4nレジスタの下位8ビットは，SIR4nLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SIR4nレジスタは0000Hになります。

図16－11　シリアル・フラグ・クリア・トリガ・レジスタ4n（SIR4n）のフォーマット

アドレス：F0588H, F0589H（SIR40）, F058AH, F058BH（SIR41），　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIR4n	0	0	0	0	0	0	0	0	MFECT4n注	0	0	0	0	FECT4n注	PECT4n注	OVCT4n

MFECT4n注	チャネルnのマンチェスタ・フレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSR4nレジスタのMFEF4nビットを0にクリアする

FECT4n注	チャネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSR4nレジスタのFEF4nビットを0にクリアする

PECT4n注	チャネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSR4nレジスタのPEF4nビットを0にクリアする

OVCT4n	チャネルnのオーバーラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSR4nレジスタのOVF4nビットを0にクリアする

注　SIR41レジスタのみ。

注意　ビット15-8, 6-3（SIR40レジスタの場合は，ビット15-1）には，必ず0を設定してください。

備考1.　n：チャネル番号（n = 0, 1）

2.　SIR4nレジスタの読み出し値は常に0000Hとなります。

16. 3. 8　シリアル・チャネル開始レジスタ4（SS4）

SS4レジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SS4n）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタ4（SE4）の対応ビット（SE4n）が1にセット（動作許可状態）されます。SS4nビットはトリガ・ビットなので，SE4n = 1になるとすぐSS4nビットはクリアされます。

SS4レジスタは，16ビット・メモリ操作命令で設定します。

またSS4レジスタの下位8ビットは，SS4Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SS4レジスタは0000Hになります。

図16－12　シリアル・チャネル開始レジスタ4（SS4）のフォーマット

アドレス：F05A2H, F05A3H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS41	SS40

SS4n	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SE4nビットに1をセットし，通信待機状態に遷移する[注]

注　通信動作中にSS4n = 1を設定すると，通信を停止して待機状態になります。このとき，制御レジスタ，シフト・レジスタの値，DALITxD4, TxRx4端子とFEF4n, PEF4n, OVF4nフラグは状態を保持します。

注意1.　ビット15-2には，必ず0を設定してください。

2.　UART受信の場合は，SCR4nレジスタのRXE4nビットを“1”に設定後に，f_{MCK}の4クロック以上間隔をあけてからSS4n = 1を設定してください。

備考1.　n：チャネル番号（n = 0, 1）

2.　SS4レジスタの読み出し値は常に0000Hとなります。

16. 3. 9　シリアル・チャネル停止レジスタ4（ST4）

ST4レジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（ST4n）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタ4（SE4）の対応ビット（SE4n）が0にクリア（動作停止状態）されます。ST4nビットはトリガ・ビットなので，SE4n = 0になるとすぐST4nビットはクリアされます。

ST4レジスタは，16ビット・メモリ操作命令で設定します。

またST4レジスタの下位8ビットは，ST4Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，ST4レジスタは0000Hになります。

図16－13　シリアル・チャネル停止レジスタ4（ST4）のフォーマット

アドレス：F05A4H, F05A5H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST41	ST40

ST4n	チャネルnの動作停止トリガ
0	トリガ動作せず
1	SE4nビットを0にクリアし，通信動作を停止する[注]

注　制御レジスタ，シフト・レジスタの値，DALITxD4, TxRx4端子とMFEF4n, FEF4n, PEF4n, OVF4nフラグは，状態を保持したまま停止します。

注意　ビット15-2には，必ず0を設定してください。

備考1.　n：チャネル番号（n = 0, 1）

2.　ST4レジスタの読み出し値は常に0000Hとなります。

16. 3. 10　シリアル・チャネル許可ステータス・レジスタ4（SE4）

SE4レジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタ4（SS4）の各ビットに1を書き込むと，その対応ビットが1にセットされます。シリアル・チャネル停止レジスタ4（ST4）の各ビットに1を書き込むと，その対応ビットが0にクリアされます。

SE4レジスタは，16ビット・メモリ操作命令で読み出します。

またSE4レジスタの下位8ビットは，SE4Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SE4レジスタは0000Hになります。

図16－14　シリアル・チャネル許可ステータス・レジスタ4（SE4）のフォーマット

アドレス：F05A0H, F05A1H　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE41	SE40

SE4n	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

備考　n：チャネル番号（n = 0, 1）

16. 3. 11　シリアル出力許可レジスタ4（SOE4）

SOE4レジスタは，チャネル0のシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネル0は，後述のシリアル出力レジスタ4（SO4）のSO40ビットの値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネル0は，SO4レジスタのSO40ビットの値をソフトウエアで設定することができ，その値をシリアル・データ出力端子から出力できます。

SOE4レジスタは，16ビット・メモリ操作命令で設定します。

またSOE4レジスタの下位8ビットは，SOE4Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOE4レジスタは0000Hになります。

図16－15　シリアル出力許可レジスタ4（SOE4）のフォーマット

アドレス：F05AAH, F05ABH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE40

SOE40	チャネル0のシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意　ビット15-1には，必ず0を設定してください。

16. 3. 12　シリアル出力レジスタ4（SO4）

SO4レジスタは，チャネル0のシリアル出力のバッファ・レジスタです。

このレジスタのSO40ビットの値が，チャネル0のシリアル・データ出力端子から出力されます。

このレジスタのSO40ビットのソフトウエアによる書き換えは，シリアル出力禁止（SOE40 = 0）時のみ可能です。シリアル出力許可（SOE40 = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース4用端子をポート機能として使用する場合は，SO40ビットに“1”を設定してください。

SO4レジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SO4レジスタは0303Hになります。

図16－16　シリアル出力レジスタ4（SO4）のフォーマット

アドレス：F05A8H, F05A9H　リセット時：0303　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO4	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	SO40

SO40	チャネル0のシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注意　ビット9, 8, 1には，必ず1を設定してください。また，ビット15-12, 7-4には，必ず0を設定してください。

16. 3. 13　シリアル出力レベル・レジスタ4（SOL4）

SOL4レジスタは，チャネル0のデータ出力レベルの反転を設定するレジスタです。

このレジスタによるチャネル0の反転設定は，シリアル出力許可（SOE40 = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOE40 = 0）時はSO40ビットの値がそのまま出力されます。

SOL4レジスタは，動作中（SE40 = 1のとき）の書き換えは禁止です。

SOL4レジスタは，16ビット・メモリ操作命令で設定します。

またSOL4レジスタの下位8ビットは，SOL4Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOL4レジスタは0000Hになります。

図16－17　シリアル出力レベル・レジスタ4（SOL4）のフォーマット

アドレス：F05B4H, F05B5H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL40

SOL40	チャネル0の送信データのレベル反転の選択
0	通信データは，そのまま出力されます。
1	通信データは，反転して出力されます。

注意　ビット15-1には，必ず0を設定してください。

16. 3. 14　シリアル・スタンバイ・コントロール・レジスタ4（SSC4）

SSC4レジスタは, UART4のシリアル受信データによる, STOPモード状態からの受信動作起動（SNOOZEモード）を制御するレジスタです。

SSC4レジスタは，16ビット・メモリ操作命令で設定します。

またSSC4レジスタの下位8ビットは，SSC4Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSC4レジスタは0000Hになります。

注意1.　SNOOZEモードは，f_{CLK}に高速内蔵発振クロックを選択している場合のみ設定可能です。また，SNOOZEモードでは，PLL出力を使用することはできません。
SNOOZEモードから通常の動作モードに復帰後，PLL出力を使用することは可能です。この場合クロックに，最大＋1.125 μsec～－0.406 μsecの誤差が生じます（f_{CLK} = 32 MHz（PLL使用時）⇔ 4 MHz）。

2.　UARTをSNOOZEモードで使用するときの最大転送レートは4800 bpsです。

図16－18　シリアル・スタンバイ・コントロール・レジスタ4（SSC4）のフォーマット

アドレス：F05B8H、F05B9H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSC4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEC4	SWC4

SSEC4	転送完了割り込み発生許可／停止の選択
0	エラー割り込み（INTSREDL4）発生許可。 また，次の場合，クロック発生回路へのクロック要求信号（内部信号）がクリアされます。 ・SWC4ビットを0に設定時 ・DALI/UART4受信スタート・ビットの誤検出
1	エラー割り込み（INTSREDL4）発生停止。 また，次の場合，クロック発生回路へのクロック要求信号（内部信号）がクリアされます。 ・SWC4ビットを0に設定時 ・DALI/UART4受信スタート・ビットの誤検出 ・パリティ・エラー，フレーミング・エラーによる転送完了割り込み発生タイミング時

SWC4	STOPモード状態からのUART4受信動作起動許可／停止の選択
0	STOPモードからの受信動作起動停止
1	STOPモードからの受信動作起動許可
・STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなく，UARTの受信動作を行います（SNOOZEモード）。 ・SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・SNOOZEモードを使用する場合でも，通常動作モード時はSWC4を0に設定し，STOPモードへ移行する直前にSWC4を1に変更してください。 またSTOPモードから通常動作モードへ復帰後，必ずSWC4を0に変更してください。	

16. 3. 15　シリアル・オプション・コントロール・レジスタ4（SOC4）

DALI/UART4の通信モードを制御するレジスタです。

SOC4レジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SOC4レジスタは0000Hになります。

図16－19　シリアル・オプション・コントロール・レジスタ4（SOC4）のフォーマット

アドレス：F05BAH, F05BBH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOC4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SDS

SDS	UARTモード／DALIモードの選択
0	UARTモード
1	DALIモード

16. 3. 16　1線UART制御レジスタ（SUCTL）

DALI/UART4の通信方式を設定するレジスタです。

SUCTLビットを1に設定することで，1線方式でDALI/UART4通信を行うことが可能です。

1線方式を選択した場合，送受信はTxRx4/TKCO05/DALIRxD4/INTP23/P206端子で兼用して使用されます。

SUCTLレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，SUCTLレジスタは00Hになります。

図16－20　1線UART制御レジスタ（SUCTL）のフォーマット

アドレス：F05C7H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SUCTL	0	0	0	0	0	0	0	SUCTL0

SUCTL0	DALI/UART4通信方式の切り替え
0	2線データ通信対応（DALIRxD4, DALITxD4端子使用）
1	1線データ通信対応（TxRx4端子使用）

16. 3. 17　ノイズ・フィルタ許可レジスタ3（NFEN3）

NFEN3レジスタは，シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ・フィルタ有効時は，CPU／周辺ハードウエア・クロック（f_{CLK}）で2クロックの一致検出と同期化を行います。

NFEN3レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN3レジスタは00Hになります。

図16－21　ノイズ・フィルタ許可レジスタ3（NFEN3）のフォーマット

アドレス：F05C1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN3	0	0	0	0	0	0	0	SNFEN30

SNFEN30	DALIRxD4端子（DALIRxD4/TxRx4/TKCO05/INTP23/P206/）のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
DALIRxD4端子として使用するときは，SNFEN30 = 1に設定してください。 DALIRxD4以外の機能として使用するときは，SNFEN30 = 0に設定してください。	

注意　ビット7-1に必ず0を設定してください。

16. 3. 18　ポート出力モード・レジスタ1, 20（POM1, POM20）

ポート1, 20の出力モードを1ビット単位で設定するレジスタです。

POM1, POM20レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また，POM1，POM20レジスタはPUxxレジスタとともに，内蔵プルアップ抵抗を使用するかどうかを設定します。

リセット信号の発生により，POM1, POM20レジスタは00Hになります。

図16－22　ポート出力モード・レジスタ1, 20（POM1, POM20）のフォーマット

アドレス：F0051H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
POM1	0	0	0	0	0	POM12	POM11	POM10

アドレス：F0530H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
POM20	0	POM206	POM205	POM204	POM203	POM202	POM201	POM200

POMmn	Pmn端子の出力モードの選択（m = 1, 20, n = 0-6）
0	通常出力モード 入力時はPUmnビットを有効にする
1	N-chオープン・ドレイン出力（V_{DD}耐圧）モード 入力時はPUmnビットを無効にする

16. 3. 19　ポート・モード・レジスタ1, 20（PM1, PM20）

ポート1, 20の入力／出力を1ビット単位で設定するレジスタです。

シリアル・データ出力を兼用するポート（P10/SO00/TxD0/TKCO00/INTP20/SCLA0/(DALITxD4), P205/DALITxD4/TKBO21/TKCO04）をシリアル・データ出力として使用するとき，ポート・モード・レジスタ(PM1)のPM10ビットまたはポート・モード・レジスタ（PM20）のPM205ビットに0を設定してください。また，ポート・レジスタ（P1）のP10ビットまたはポート・レジスタ（P20）のP205ビットに1を設定してください。

シリアル・データ入力を兼用するポート（P11/SI00/RxD0/TKCO01/INTP21/SDAA0/(TI07)/(DALIRxD4)/(TxRx4), P206/DALIRxD4/TxRx4/TKCO05/INTP23）をシリアル・データ入力として使用するとき，ポート・モード・レジスタ（PM1）のPM11ビットまたはポート・モード・レジスタ（PM20）のPM206ビットに1を設定してください。このときポート・レジスタ（P1）のP11ビットまたはポート・レジスタ（P20）のP206ビットは，0または1のどちらでもかまいません。

PM1, PM20レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PM1, PM20レジスタはFFHになります。

図16－23　ポート・モード・レジスタ1, 20（PM1, PM20）のフォーマット（38ピン製品の場合）

アドレス：FFF21H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	PM12	PM11	PM10

アドレス：F0510H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM20	1	PM206	PM205	PM204	PM203	PM202	PM201	PM200

PMmn	Pmn端子の入出力モードの選択（m = 1, 20, n = 0-6）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　PM1レジスタのビット3-7，PM20レジスタのビット7には必ず1を設定してください。

30, 20ピン製品は，下記のビットをリセット解除後ソフトウエアで出力モード（ポート・レジスタとポート・モード・レジスタに0を設定）に設定する必要があります。

30ピン製品：PM1レジスタのビット2

20ピン製品：PM1レジスタのビット2，PM20レジスタのビット4-6

16. 3. 20　周辺I/Oリダイレクション・レジスタ（PIOR1）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は，兼用機能を割り当てるポートを切り替える機能です。

PIOR1レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－24　周辺I/Oリダイレクション・レジスタ（PIOR1）のフォーマット

アドレス：F05C0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR1	0	0	0	0	PIOR13	PIOR12	PIOR11	PIOR10

ビット	機能	20ピン		30ピン		38ピン	
		設定値		設定値		設定値	
		0	1	0	1	0	1
PIOR11	DALITxD4/ DALIRxD4	－	P10/ P11	P205/ P206	P10/ P11	P205/ P206	P10/ P11

16. 4　動作停止モード

シリアル・アレイ・ユニット4（DALI/UART4）には，動作停止モードがあります。

動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。

また動作停止モードでは，シリアル･インタフェース4端子をポート機能として使用できます。

16. 4. 1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ1（PER1）で行います。

PER1レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット4を停止するときは，ビット0（DALIEN）に0を設定してください。

図16－25　ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ1（PER1）の設定

（a）周辺イネーブル・レジスタ1（PER1）

	7	6	5	4	3	2	1	0
PER1	0	0	0	0	0	0	0	DALIEN 0/1

DALI/UART4の入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注意1.　DALIEN = 0の場合は，シリアル・アレイ・ユニット4（DALI/UART4）の制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります。

ただし，次のレジスタは除きます。

- **ノイズ・フィルタ許可レジスタ3（NFEN3）**
- **シリアル・スタンバイ・コントロール・レジスタ4（SSC4）**
- **ポート出力モード・レジスタ20（POM20）**
- **ポート・モード・レジスタ20（PM20）**
- **ポート・レジスタ20（P20）**

2.　ビット1-7は必ず“0”にしてください。

備考　□：設定不可（初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

16. 4. 2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図16－26　チャネルごとに動作停止とする場合の各レジスタの設定

（a）シリアル・チャネル停止レジスタ4（ST4）

・・・各チャネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST41 0/1	ST40 0/1

1：SE4nビットを0にクリアし，通信動作を停止

※ ST4nビットはトリガ・ビットなので，SE4n = 0になるとすぐST4nビットはクリアされます。

（b）シリアル・チャネル許可ステータス・レジスタ4（SE4）

・・・各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE41 0/1	SE40 0/1

0：動作停止状態

※SE4レジスタはRead Onlyのステータス・レジスタであり，ST4レジスタにて動作停止にします。

（c）シリアル出力許可レジスタ4（SOE4）

・・・各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE40 0/1

0：シリアル通信動作による出力停止

※ シリアル出力を停止したチャネルは，SO4レジスタのSO4nビットの値をソフトウエアで設定できます。

（d）シリアル出力レジスタ4（SO4）

・・・各チャネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO4	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	SO40 0/1

1：シリアル・データ出力値が“1”

※ 各チャネルに対応した端子をポート機能として使用する場合は，該当するSO4nビットに“1”を設定してください。

備考1.　n：チャネル番号（n = 0, 1）

2.　□：設定不可（初期値を設定）　0/1：ユーザの用途に応じて0または1に設定

16. 5　UART4の通信動作

16. 5. 1　UART送信

UART送信は，RL78/I1Aから他デバイスへ，非同期（調歩同期）でデータを送信する動作です。

UART送信では，そのUARTに使用する2チャネルのうち，偶数チャネルのほうを使用します。

UART送信	
対象チャネル	チャネル0
使用端子	DALITxD4
転送データ長	7ビットまたは8ビットまたは9ビット
転送レート	Max. f_{MCK}/6 [bps]（SDR4n[15:9] = 3以上），Min. f_{CLK}/（2×2^{11}×128）[bps] 注
データ方向	MSBファーストまたはLSBファースト
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加
エラー検出フラグ	なし
割り込み	INTSTDL4
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能

注　この条件を満たし，かつ電気的特性のAC特性（第32章　電気的特性（T_A = －40～+105℃対応品）または，第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

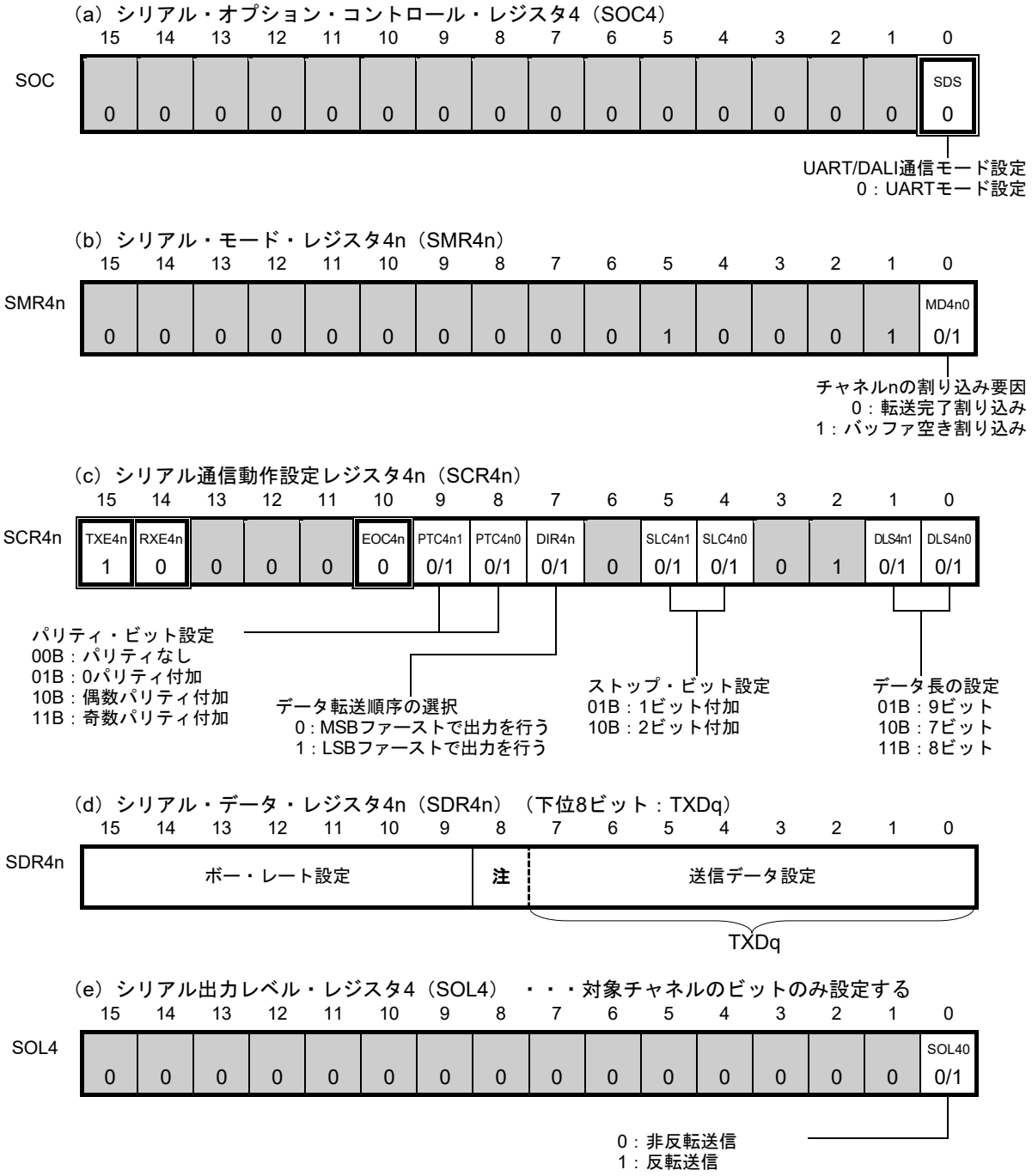
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2.　n：チャネル番号（n = 0）

（1）レジスタ設定

図16－27　UART送信時のレジスタ設定内容例（1/2）



注　9ビット・データ長での通信（DLS401, DLS400 = 0, 1）を行う場合は，SDR40レジスタのビット0-8が送信データ設定領域になります。

備考1.　n：チャネル番号（n = 0）　q：UART番号（q = 4）

2.　□: UART送信モードでは設定固定　■: 設定不可（初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図16－27　UART送信時のレジスタ設定内容例（2/2）

（f）シリアル出力レジスタ4（SO4）　・・・対象チャネルのビットのみ設定する

SO4

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	SO40 0/1注

0：シリアル・データ出力値が“0”
1：シリアル・データ出力値が“1”

（g）シリアル出力許可レジスタ4（SOE4）・・・対象チャネルのビットのみ1に設定する

SOE4

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE40 0/1

（h）シリアル・チャネル開始レジスタ4（SS4）　・・・対象チャネルのビットのみ1に設定する

SS4

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS41 ×	SS40 0/1

注　該当するチャネルのSOL4nビットに0を設定している場合は“1”に，SOL4nビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1.　n：チャネル番号（n = 0）

2.　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図16－28　UART送信の初期設定手順

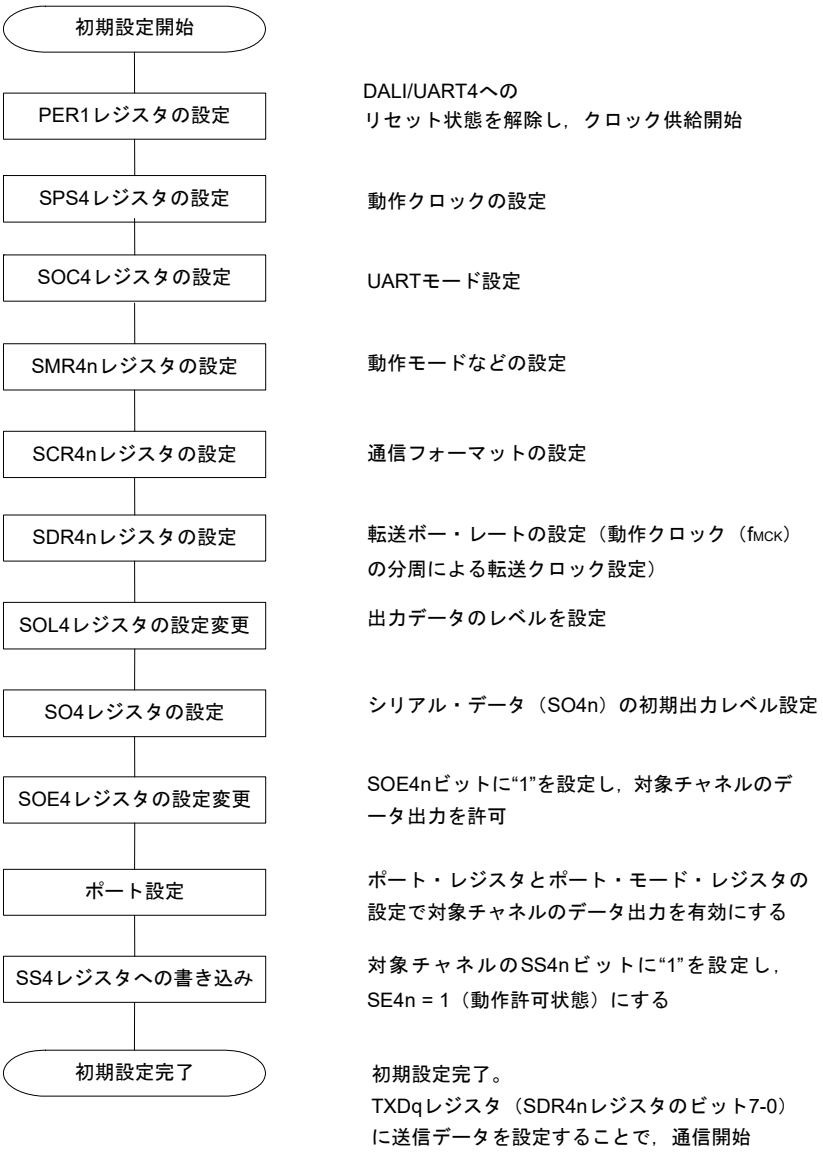


図16－29　UART送信の中断手順

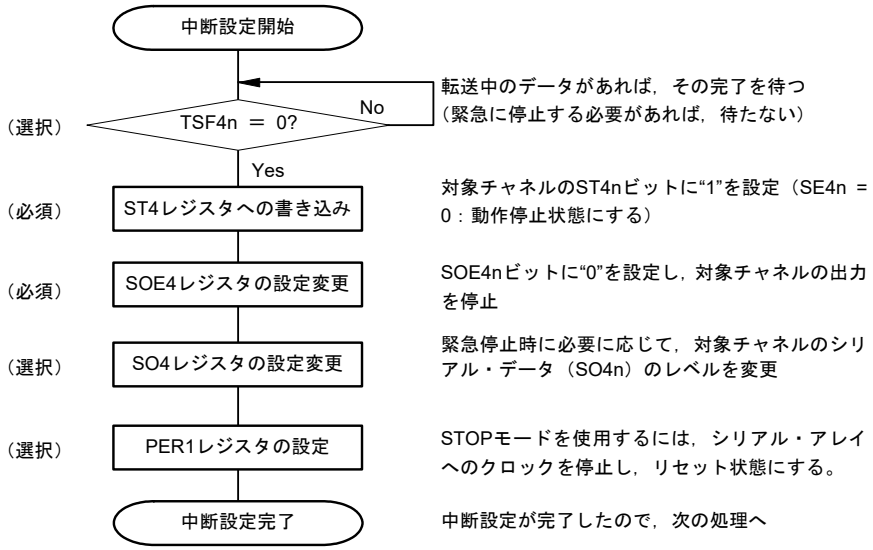
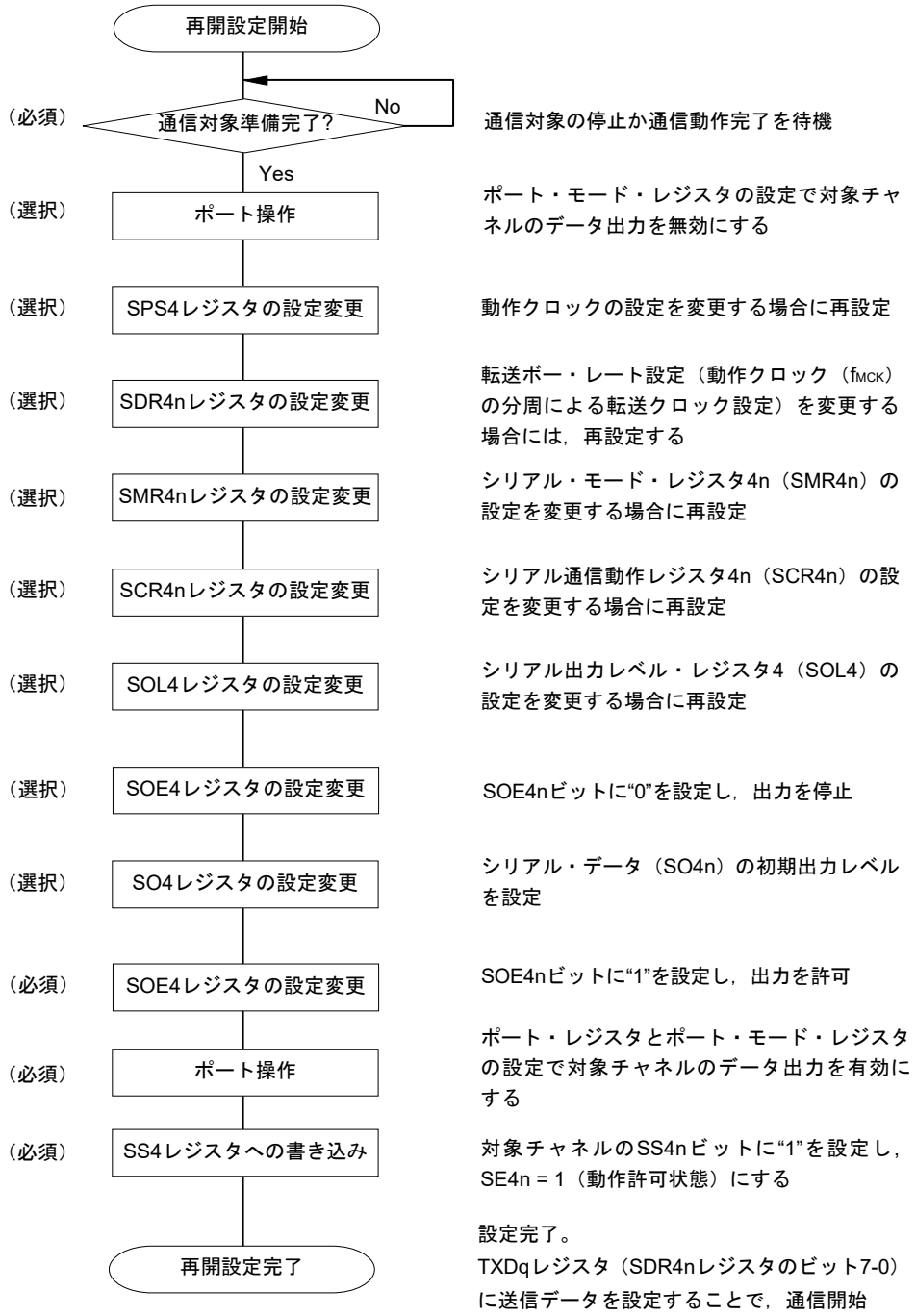


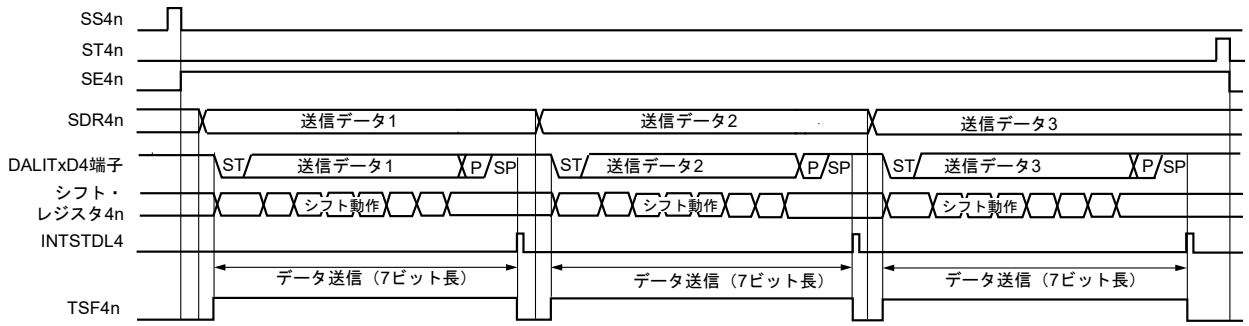
図16－30　UART送信の再開設定手順



備考　中断設定でPER1を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

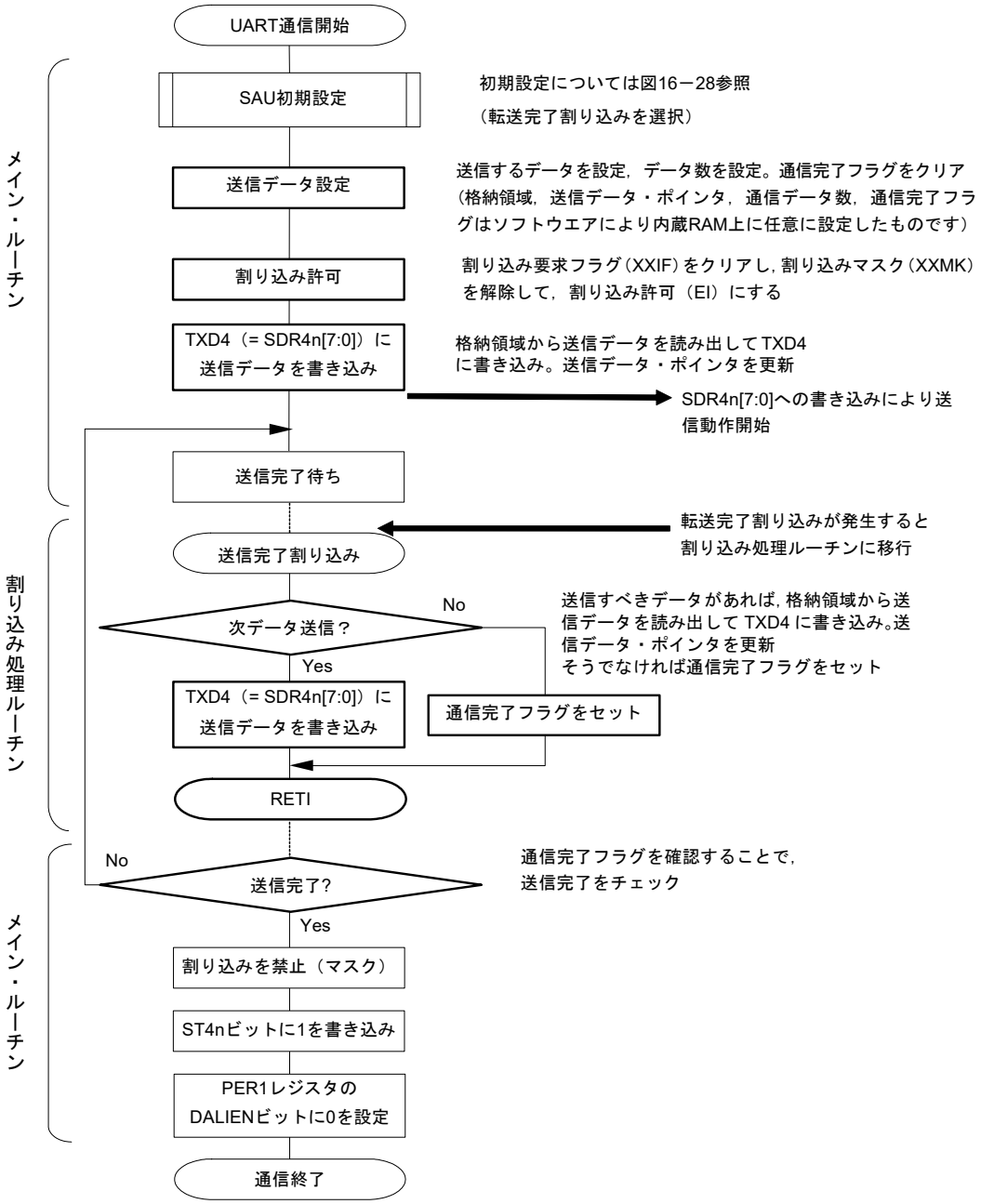
（3）処理フロー（シングル送信モード時）

図16－31　UART送信（シングル送信モード時）のタイミング・チャート



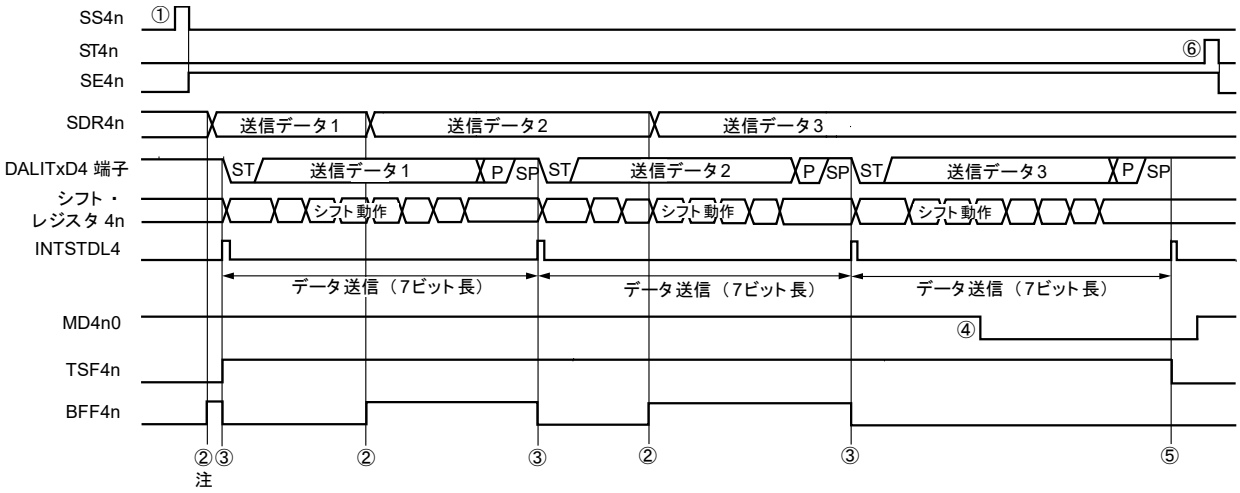
備考　n：チャネル番号（n = 0）

図16－32　UART送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図16－33　UART送信（連続送信モード時）のタイミング・チャート

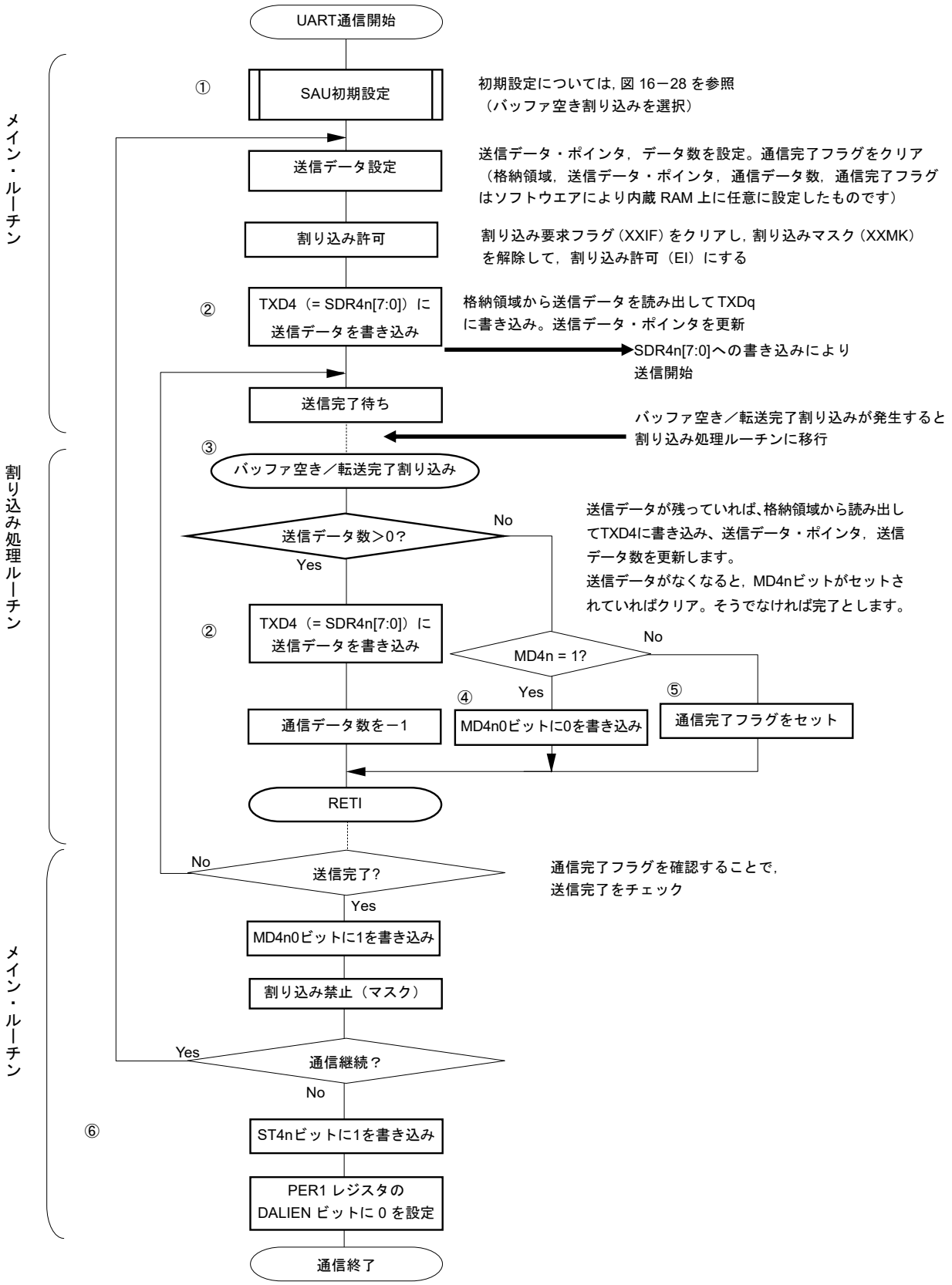


注　シリアル・ステータス・レジスタ4n（SSR4n）のBFF4nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ4n（SDR4n）に格納されているとき）にSDR4nレジスタに送信データを書き込むと，送信データが上書きされます。

注意　**シリアル・モード・レジスタ4n（SMR4n）のMD4n0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。**

備考　n：チャネル番号（n = 0）

図16－34　UART送信（連続送信モード時）のフロー・チャート



注意　**周辺イネーブル・レジスタ1（PER1）のDALIENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ4（SPS4）を設定してください。**

備考　図中の①~⑥は，図16－33　UART送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

16. 5. 2　UART受信

UART受信は，他デバイスからRL78/I1Aが非同期（調歩同期）でデータを受信する動作です。

UART受信では，そのUARTに使用する2チャネルのうち，奇数チャネルのほうを使用します。ただし，SMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

UART受信	
対象チャネル	チャネル1
使用端子	DALIRxD4
転送データ長	7ビットまたは8ビットまたは9ビット
転送レート	Max. f_{MCK}/6 [bps]（SDR4n[15:9] = 3以上），Min. f_{CLK}/（2×2^{11}×128）[bps] 注
データ方向	MSBファーストまたはLSBファースト
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし（パリティ・チェックなし） ・0パリティ・ビット付加（パリティ・チェックなし） ・偶数パリティ・チェック ・奇数パリティ・チェック
ストップ・ビット	1ビット付加
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEF4n） ・パリティ・エラー検出フラグ（PEF4n） ・オーバラン・エラー検出フラグ（OVF4n）
割り込み	INTSRDL4
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー割り込み	INTSREDL4

注　この条件を満たし，かつ電気的特性のAC特性（第32章　電気的特性（T_A = －40～+105℃対応品）または，第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

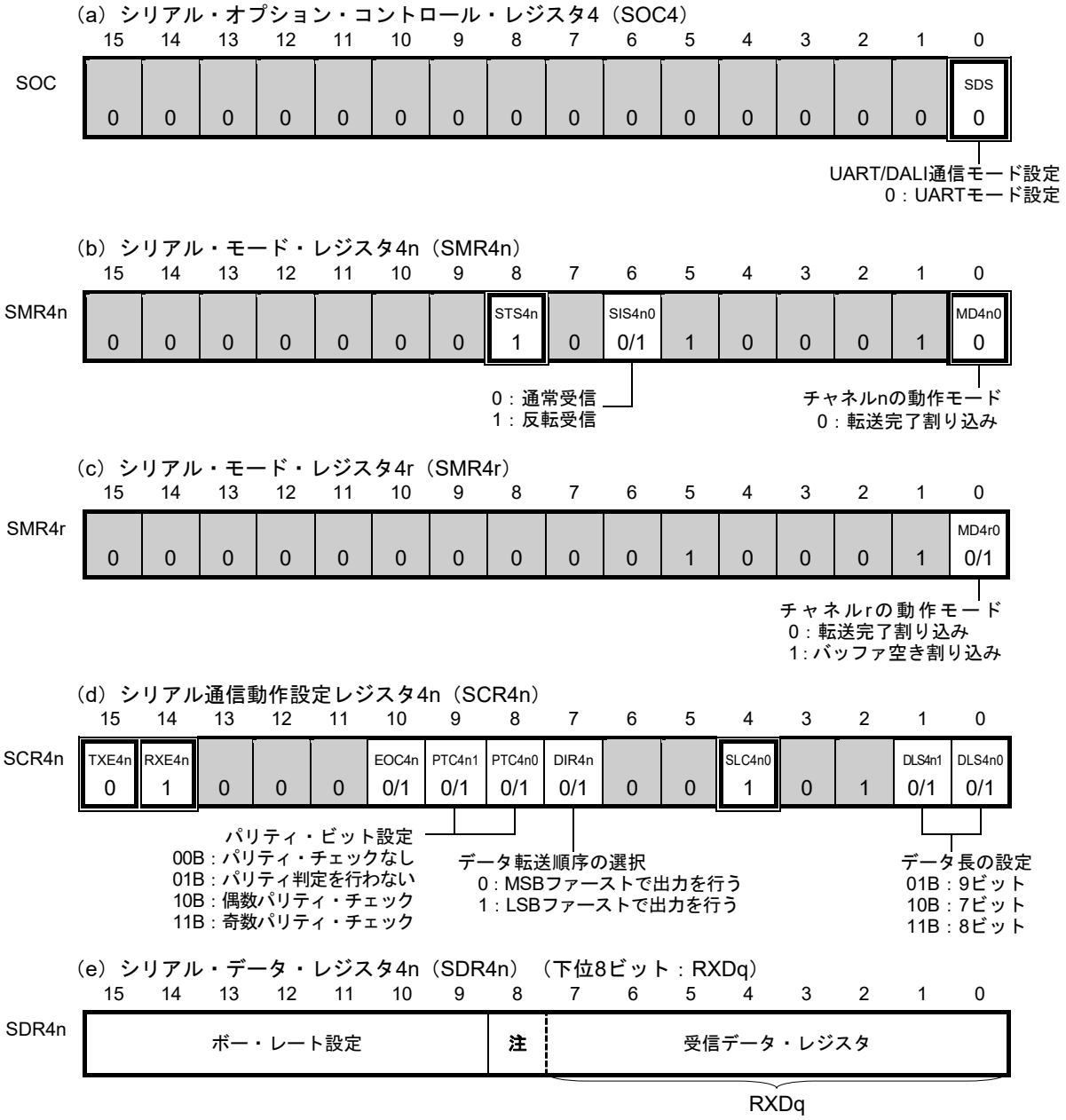
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2.　n：チャネル番号（n = 1）

（1）レジスタ設定

図16－35　UART受信時のレジスタ設定内容例（1/2）



注　9ビット・データ長での通信（DLS411, DLS410 = 0, 1）を行う場合は，SDR41レジスタのビット0-8が受信データ設定領域になります。

注意　UART受信時は，チャネルnとペアになるチャネルrのSMR4rレジスタも必ず設定してください。

備考1.　n：チャネル番号（n = 1）　r：チャネル番号（r = 0）　q：UART番号（q = 4）

2.　□：UART受信モードでは設定固定　■：設定不可（初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図16－35　UART受信時のレジスタ設定内容例（2/2）

（f）シリアル出力レジスタ4（SO4）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO4	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	SO40 ×

（g）シリアル出力許可レジスタ4（SOE4）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE40 ×

（h）シリアル・チャネル開始レジスタ4（SS4）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS41 0/1	SS40 ×

注意　UART受信時は，チャネルnとペアになるチャネルrのSMR4rレジスタも必ず設定してください。

備考1.　n：チャネル番号（n = 1）　r：チャネル番号（r = 0）　q：UART番号（q = 4）

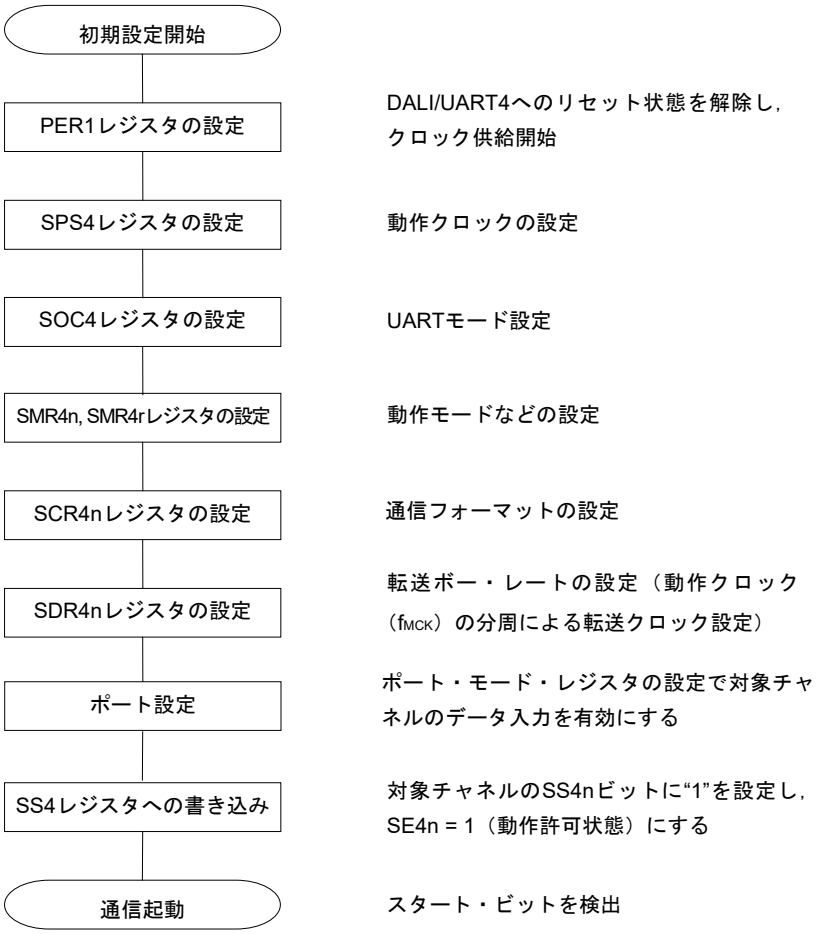
2.　□: UART受信モードでは設定固定　■: 設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図16－36　UART受信の初期設定手順



注意　SCR4nレジスタのRXE4nビットを“1”に設定後に，f_{MCK}の4クロック以上間隔をあけてからSS4n = 1を設定してください。

図16－37　UART受信の中断手順

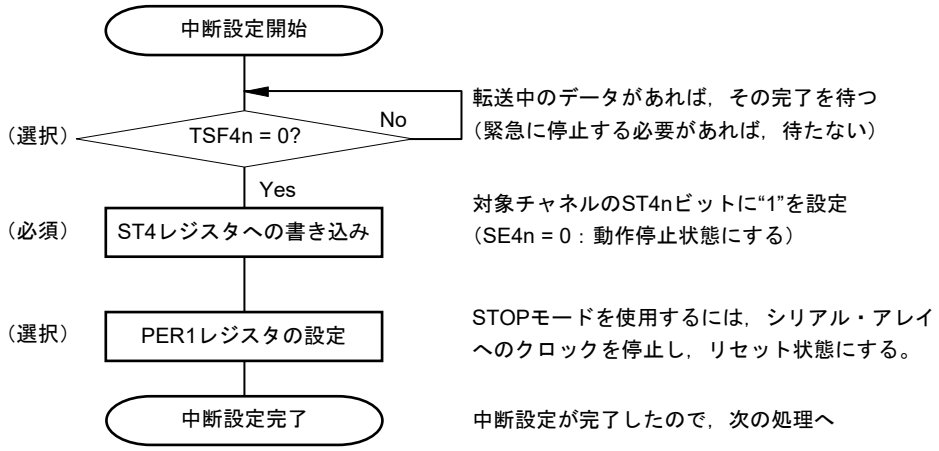
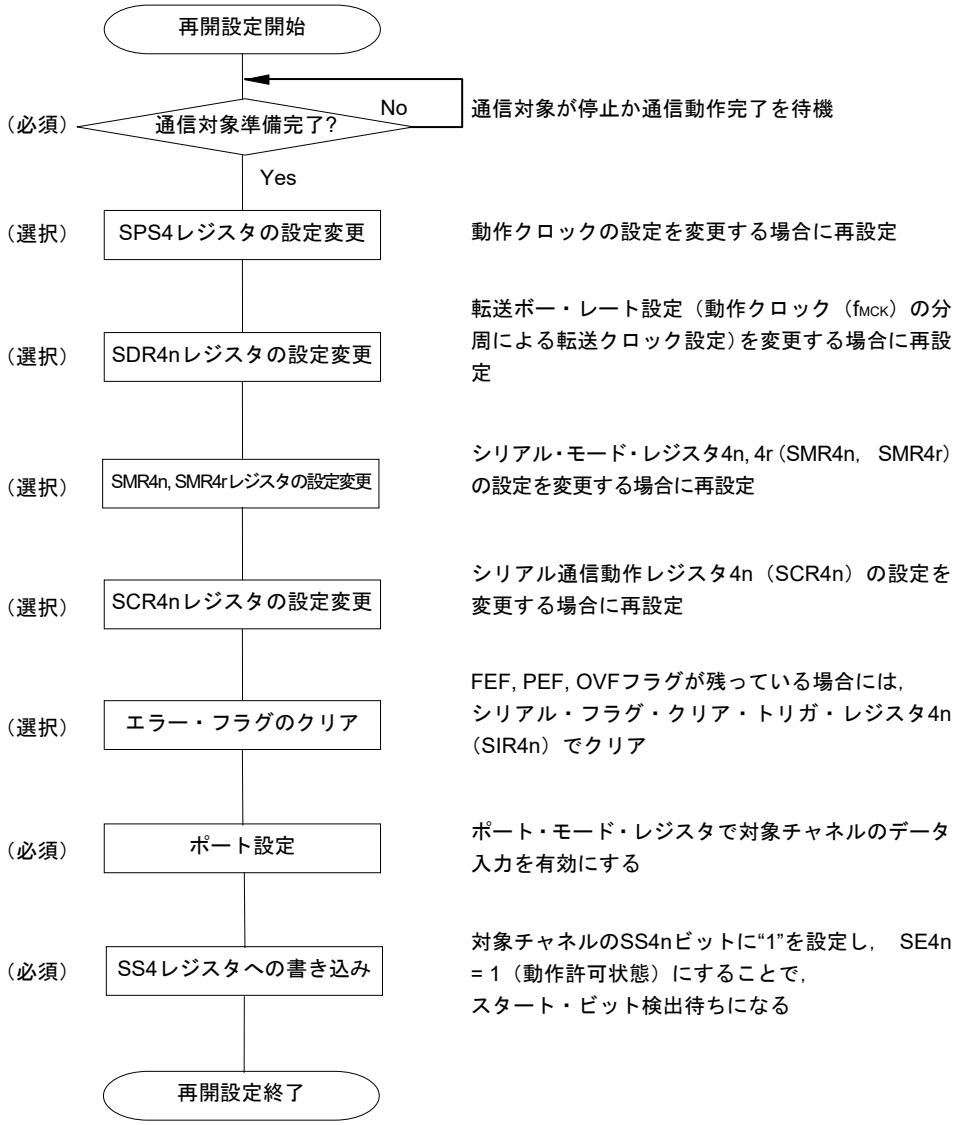
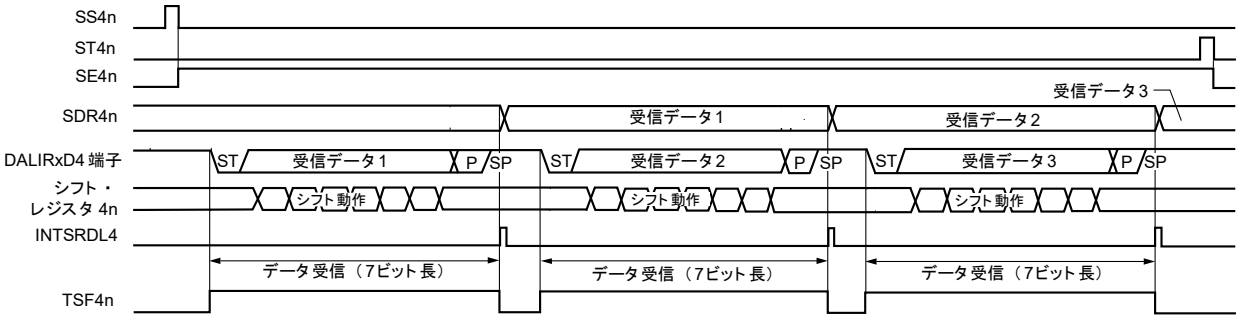


図16－38　UART受信の再開設定手順



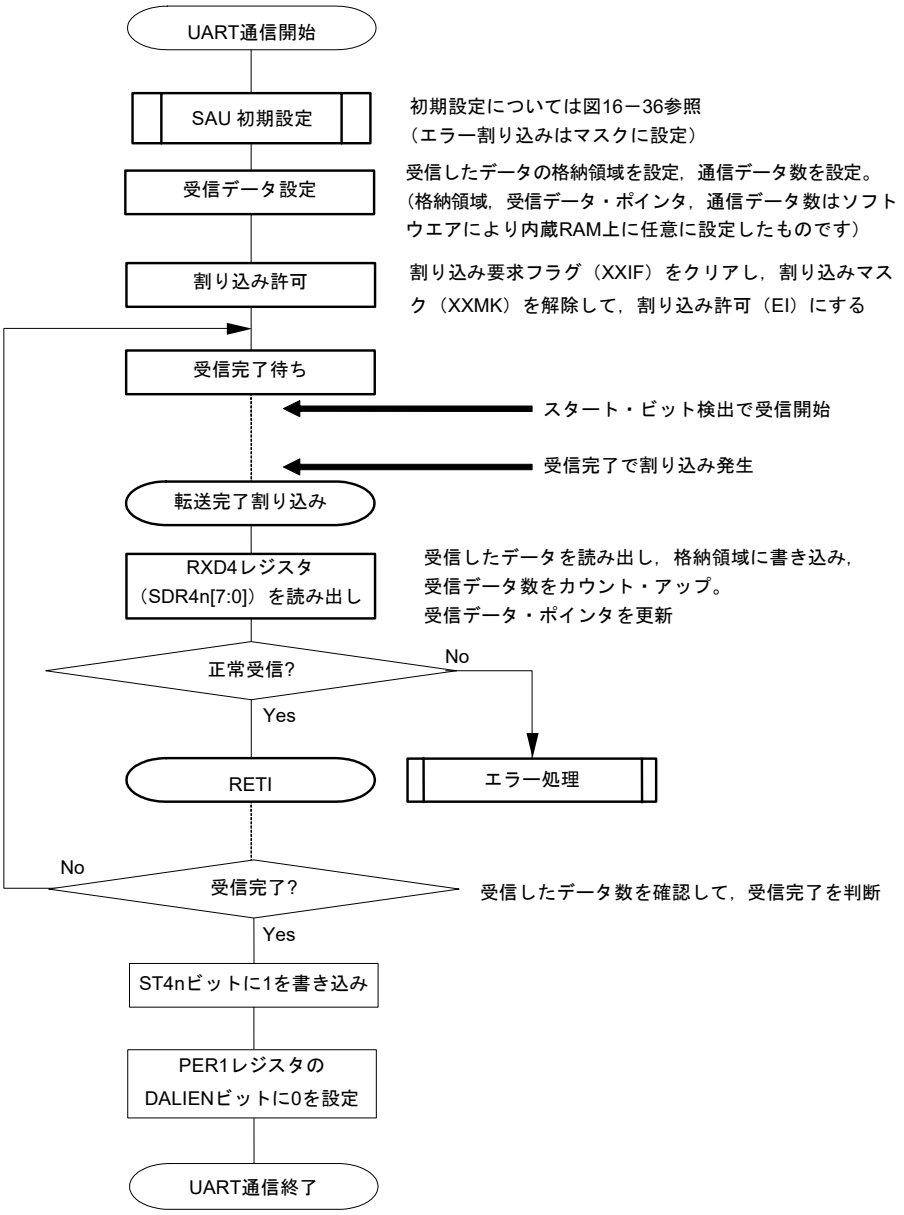
（3）処理フロー

図16－39　UART受信のタイミング・チャート



備考　n：チャネル番号（n = 1）　r：チャネル番号（r = 0）

図16－40　UART受信のフロー・チャート



16. 5. 3　SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により，UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが，SNOOZEモード機能を使用することで，CPUを動作させずにUART受信を行うことができます。

SNOOZEモードは，UART4のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は，STOPモードに移行する前に次の設定を行います。（図16－43，図16－45　SNOOZEモード動作時のフローチャートを参照）

・SNOOZEモード時は，UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。表16－2を参照してSPSmレジスタ，SDRmnレジスタ[15:9]を設定してください。

・EOCmnビット，SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み（INTSRE0）の発生許可／停止を設定することができます。

・STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットをセット（1）してください。初期設定完了後，シリアル・チャネル開始レジスタm（SSm）のSSm1ビットをセット（1）します。

STOPモードに移行後，RxDq のエッジを検出（スタート・ビット入力）すると，UART受信を開始します。

注意1.　SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロック（f_{IH}）を選択している場合のみ使用できます。

2.　SNOOZEモードでの転送レートは4800bpsのみです。

3.　SWCm=1の設定では，STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して，次のようなSTOPモード以外の状態で受信開始した場合は，正しくデータ受信できず，フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

・SWCm=1に設定後，STOPモードに移行する前に受信開始した場合

・他のSNOOZEモード中に受信開始した場合

・STOPモードから割り込みなどで通常動作に復帰後，SWCm=0に戻す前に受信開始した場合

4.　SSECm=1の設定では，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFmn，FEFmn、OVFmnフラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm＝１で使用するときは，SWC0=１に設定する前にPEFmn，FEFmn，OVFmnフラグをクリアし，また，SDRm1レジスタのビット7-0（RxDq）を読み出してください。

5.　RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。 また，スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず，SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

備考　m = 4; n = 0; q = 4

表16－2　SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ（f_{IH}）	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック（f_{MCK}）	SDRmn [15:9]	最大許容値	最小許容値
32MHz±1.0%注	$f_{CLK}/2^5$	105	2.27%	- 1.53%
24MHz±1.0%注	$f_{CLK}/2^5$	79	1.60%	- 2.18%
16MHz±1.0%注	$f_{CLK}/2^4$	105	2.27%	- 1.53%
12MHz±1.0%注	$f_{CLK}/2^4$	79	1.60%	- 2.19%
8MHz±1.0%注	$f_{CLK}/2^3$	105	2.27%	- 1.53%
6MHz±1.0%注	$f_{CLK}/2^3$	79	1.60%	- 2.19%
4MHz±1.0%注	$f_{CLK}/2^2$	105	2.27%	- 1.53%
3MHz±1.0%注	$f_{CLK}/2^2$	79	1.60%	- 2.19%
2MHz±1.0%注	$f_{CLK}/2$	105	2.27%	- 1.54%
1MHz±1.0%注	f_{CLK}	105	2.27%	- 1.57%

注　高速オンチップ・オシレータ・クロック周波数精度が±1.5%，±2.0%の場合は，次のように許容範囲が狭くなります。

・f_{IH}±1.5%の場合は，上表の最大許容値に－0.5%，最小許容値に＋0.5%してください。

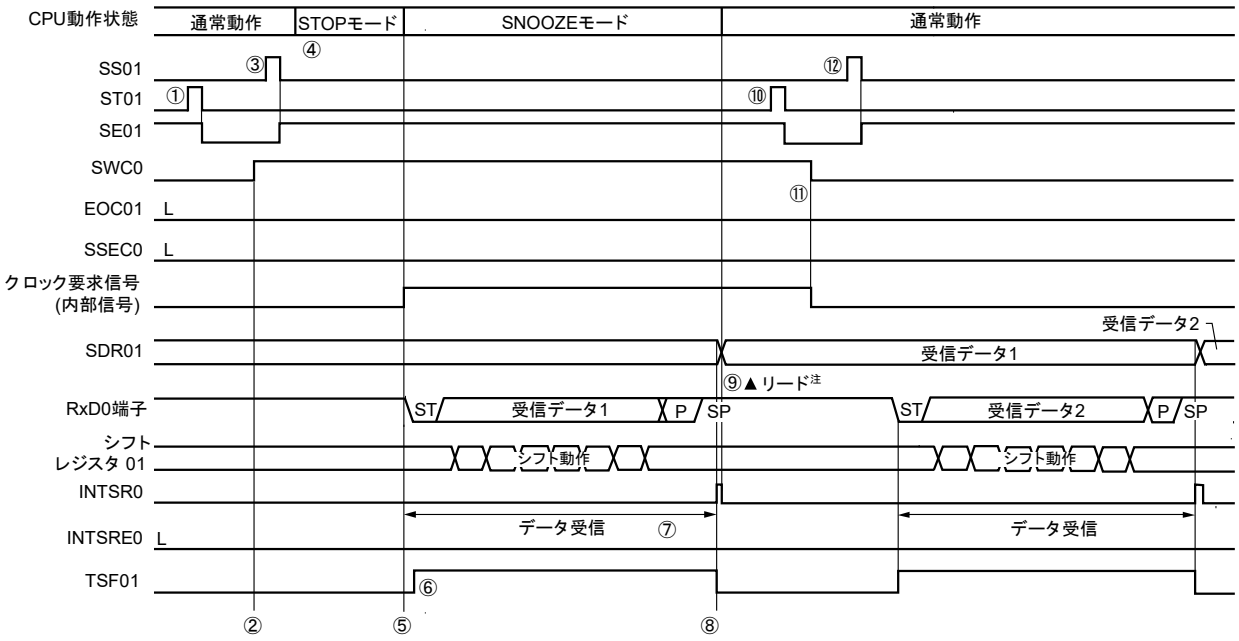
・f_{IH}±2.0%の場合は，上表の最大許容値に－1.0%，最小許容値に＋1.0%してください。

備考　最大許容値，最小許容値は，UART受信時のボー・レート許容値です。
この範囲に送信側のボー・レートが収まるように設定してください。

（1）SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）

EOCm1 = 0のためSSECmビットの設定にかかわらず，通信エラーが発生してもエラー割り込み（INTSREq）は発生しません。転送完了割り込み（INTSRq）は発生します。

図16－41　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート



注　SWCm = 1の状態で，受信データの読み出しを行ってください。

注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。

また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。

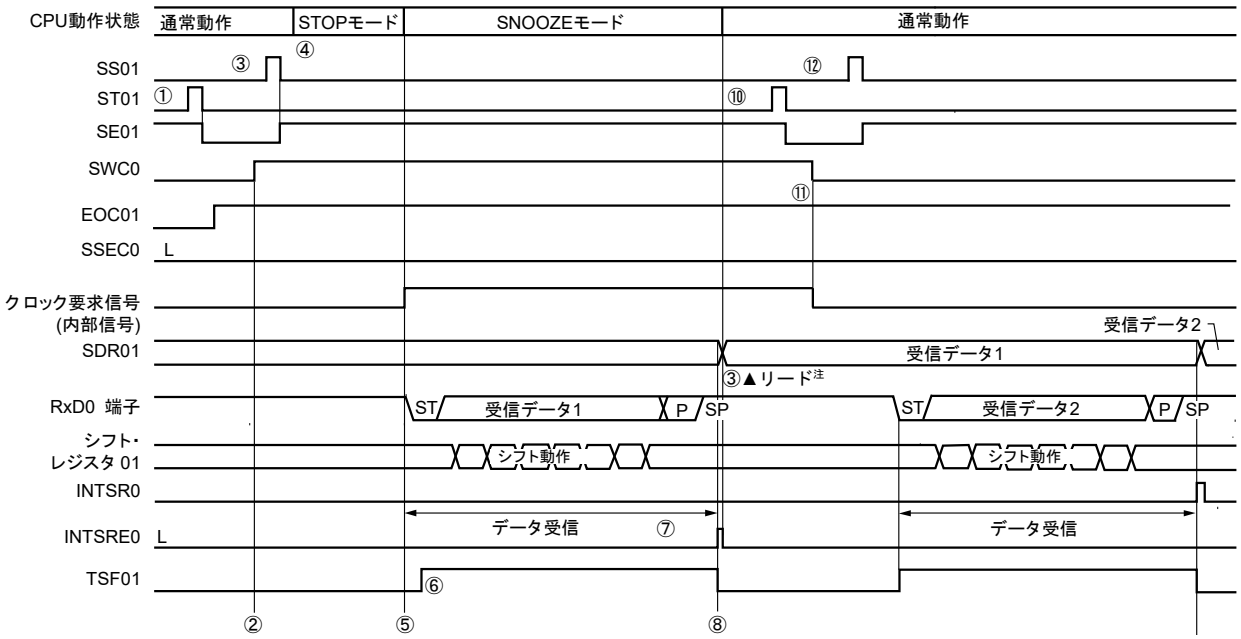
備考1.　図中の①~⑫は，図16－43　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャートの①~⑫に対応しています。

2.　m = 4; q = 4

（2）SNOOZEモード動作（EOCm1 = 1, SSECm = 0：エラー割り込み（INTSREq）発生許可）

EOCm1 = 1, SSECm = 0のため，通信エラーが発生した場合にエラー割り込み（INTSREq）を発生します。

図16－42　SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャート



注　SWCm = 1の状態で，受信データの読み出しを行ってください。

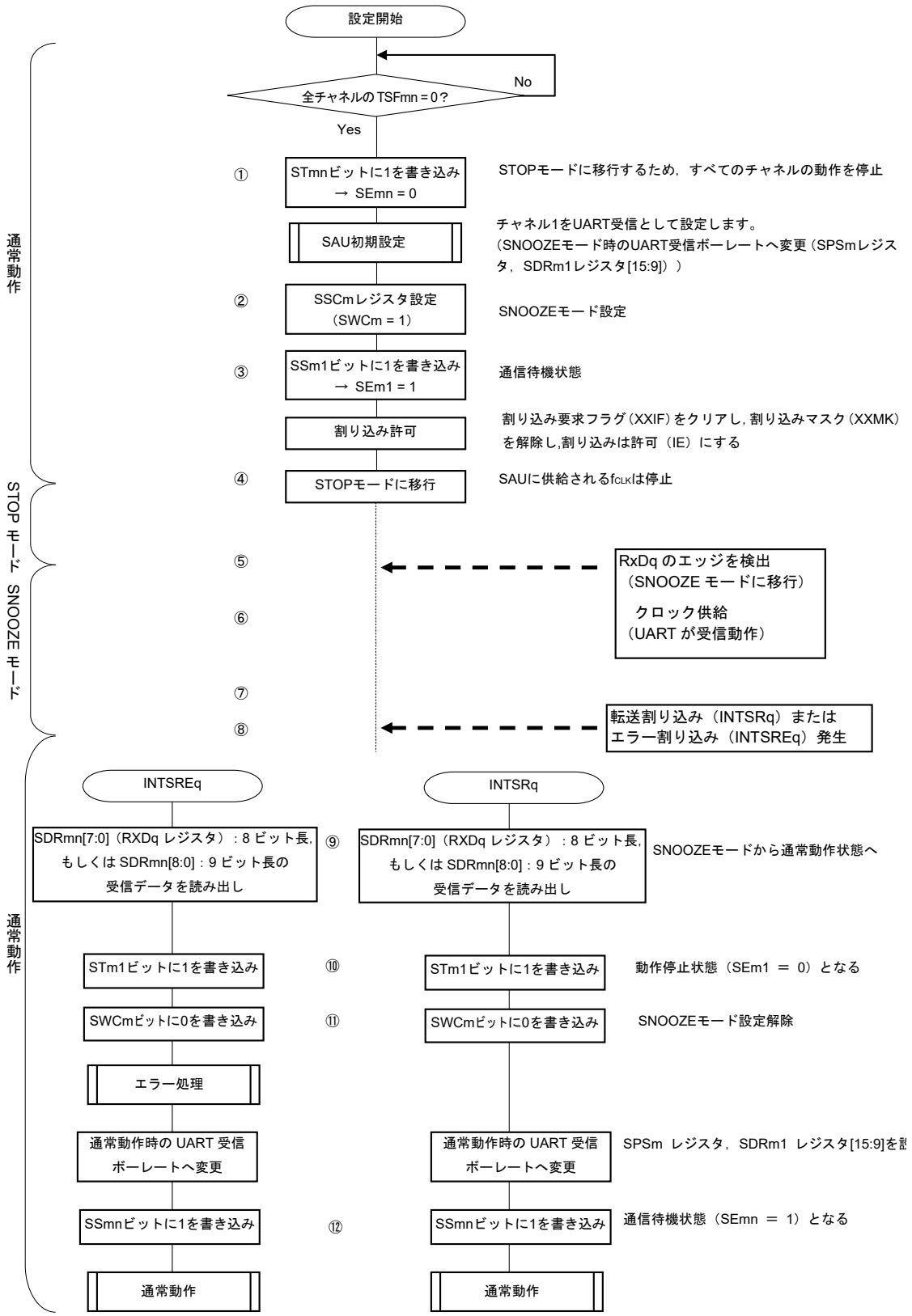
注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。

また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。

備考1.　図中の①~⑫は，図16－43　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャートの①~⑫に対応しています。

2.　m = 4; q = 4

図16－43　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時のフロー・チャート



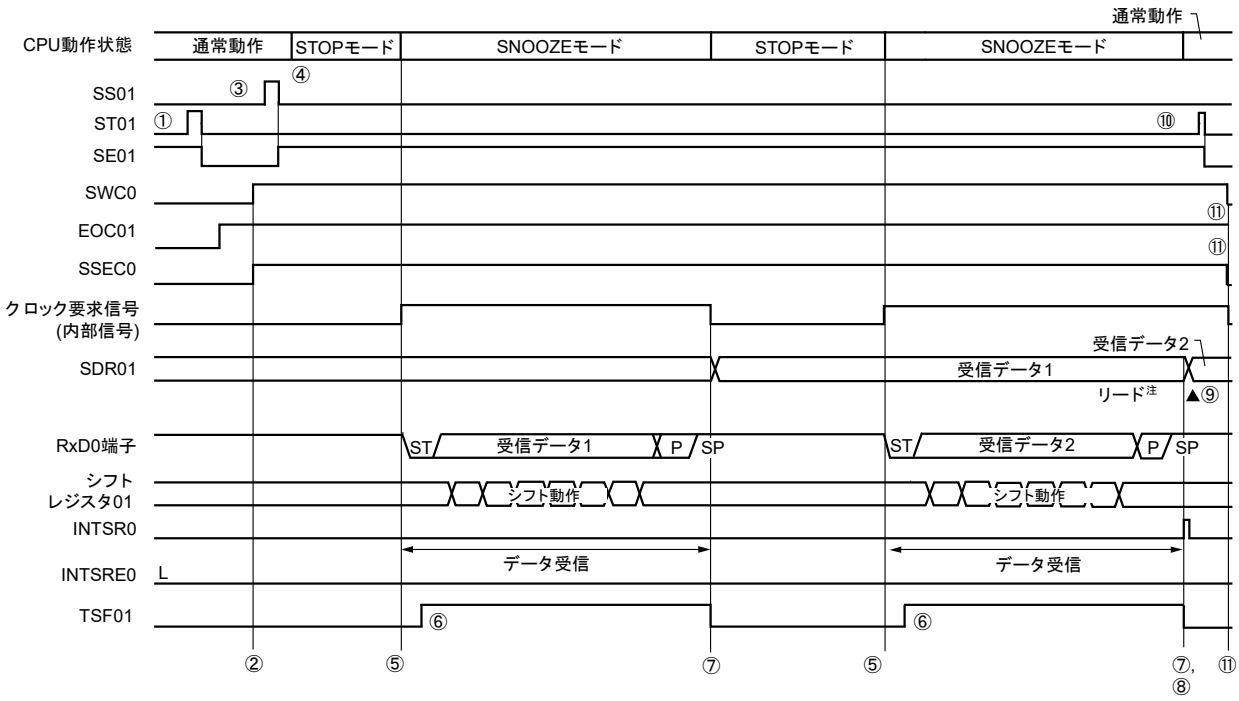
備考1. 図中の①~⑫は，図16－41　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート，図16－42　SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャートの①~⑫に対応しています。

2. m = 4; q = 4; n = 0, 1

（3）SNOOZEモード動作（EOCm1 = 1, SSECm = 1：エラー割り込み（INTSREq）発生停止）

EOCm1 = 1, SSECm = 1のため，通信エラーが発生した場合にエラー割り込み（INTSREq）を発生しません。

図16－44　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャート



注　SWCm = 1の状態で，受信データの読み出しを行ってください。

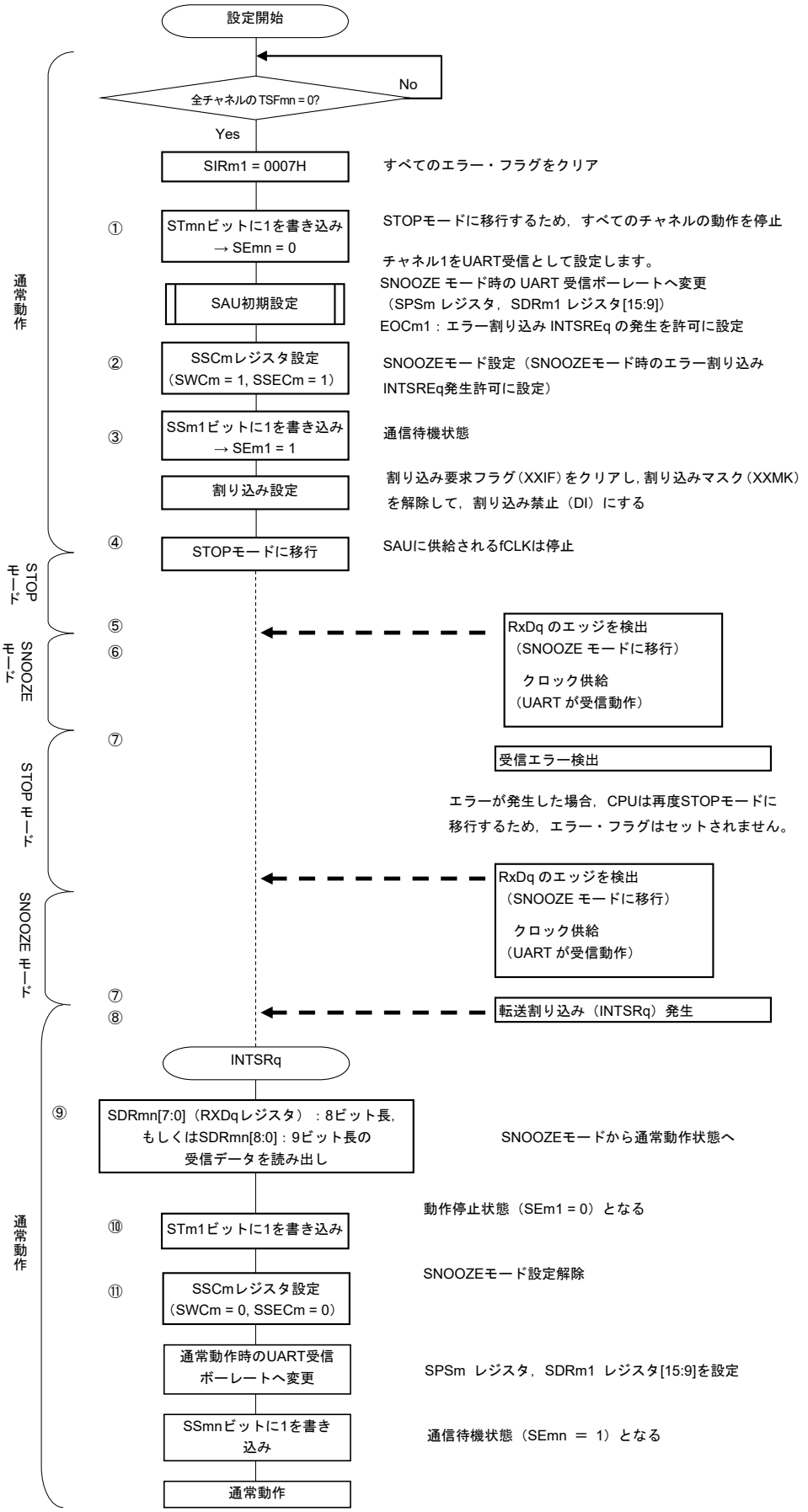
注意1. **SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずSTm1ビットを1に設定してください（SEm1ビットがクリアされ動作停止）。**
また，受信動作を完了した後は，SWCmビットもクリアしてください（SNOOZE解除）。

2. **SSECm = 1のときは，パリティ・エラー，フレーミング・エラー，オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm = 1で使用するときは，SWCm = 1に設定する前にPEFm1, FEFm1, OVFm1フラグをクリアし，また，SDRm1[7:0]（RXDqレジスタ）：8ビット長，もしくはSDRm1[8:0]：9ビット長を読み出してください。**

備考1. 図中の①~⑪は，図16－45　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャートの①~⑪に対応しています。

2. m = 4; q = 4

図16－45　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のフロー・チャート



（注意，備考は次ページにあります。）

注意　SSECm = 1のときは, パリティ・エラー, フレーミング・エラー, オーバラン・エラー時にPEFm1,FEFm1, OVFm1フラグはセットされず，エラー割り込み（INTSREq）も発生しません。そのため，SSECm= 1で使用するときは，SWC0 = 1に設定する前にPEFm1，FEFm1，OVFm1フラグをクリアし，また，SDRm1[7:0]（RXDqレジスタ）: 8ビット長，もしくはSDRm1[8:0] : 9ビット長を読み出してください。

備考1. 図中の①~⑪は，図16－44　SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャートの①~⑪に対応しています。

2. m = 4；　q = 4；　n = 0, 1

16. 6　DALIモード

DALI（Digital Addressable Lighting Interface）のマスタおよびスレーブとしてデータの送受信を行います。

DALIは次のプロトコルを用いて，通信します。

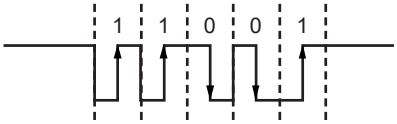
注意　DALI通信規格については，最新の規格を確認するようにしてください。

（1）データ構造

① ビット定義

DALI通信は，マンチェスタ・コードを使用しますので，立ち下がりのときは「0」，立ち上がりのときは「1」とビット定義されます。また，通信がない場合は，ハイ・レベル固定になります。

図16－46　ビット定義

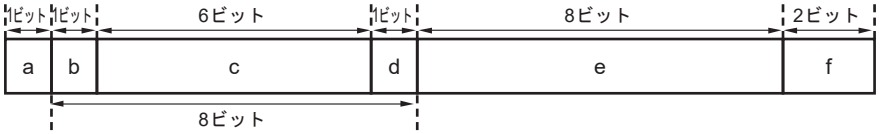


② フレーム

・Forwardフレーム

マスタからスレーブに送信する場合のフレームです。全19ビット，20ビット，27ビットです。

図16－47　Forwardフレームの構造（19ビット）



a:　スタート・ビット

フレームの先頭を示します。常に「1」と同じ波形です。

b-d:　アドレス・バイト

フレームの送信先を指定します。

e:　データ・バイト

コマンドを指定します。

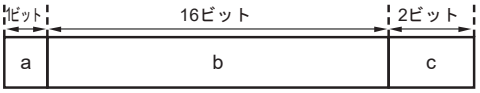
f:　ストップ・ビット

フレームの最後を示します。ハイ・レベル固定です。

・Backwardフレーム

スレーブからマスタに送信する場合のフレームです。全11ビット，19ビット，27ビットです。

図16－48　Backwardフレームの構造（19ビット）



a:　スタート・ビット

フレームの先頭を示します。常に「1」と同じ波形です。

b:　データ・バイト

マスタへの返答を行います。

c:　ストップ・ビット

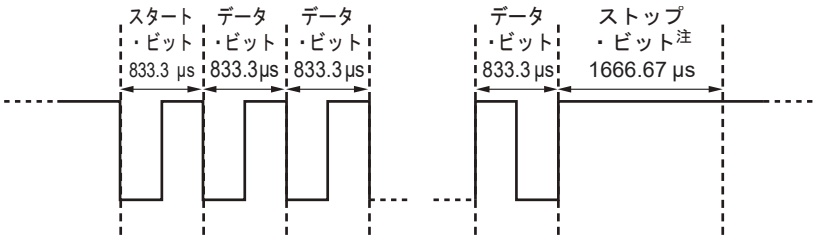
フレームの最後を示します。ハイ・レベル固定です。

（2）送受信のタイミング規定

① フレーム内のタイミング

DALIのビット幅は，ForwardフレームとBackwardフレームともに，1ビット ＝ 833.3 μs±10 %です。

図16－49　フレーム内のタイミング



注　ストップ・ビットは2ビット分のため，1666.67 μsとなります。

② フレーム間のタイミング

DALIは，フレーム単位で，次のタイミング制御が必要です。

・Forwardフレーム幅：15.83 ms±10 %（19ビット），16.67 ms±10 %（20ビット），
22.5 ms±10 %（27ビット）

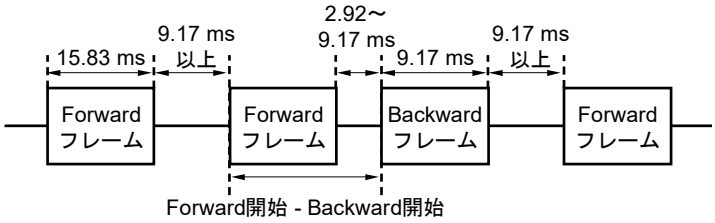
・Backwardフレーム幅：9.17 ms±10 %（11ビット），16.67 ms±10 %（20ビット），
22.5 ms±10 %（27ビット）

・ForwardフレームとBackwardフレームとの通信間隔：2.92～9.17 ms

・Forwardフレームと次のForwardフレームとの通信間隔：9.17 ms以上

・Backwardフレームと次のForwardフレームとの通信間隔：9.17 ms以上

図16－50　フレーム間のタイミング



備考　上記は1200 bpsの場合の例です。

16. 6. 1　DALI送信

DALI送信は，RL78/I1Aから他デバイスへ，非同期（調歩同期）でデータを送信する動作です。

DALI送信では，そのDALIに使用する2チャネルのうち，偶数チャネルのほうを使用します。

DALI送信	
対象チャネル	チャネル0
使用端子	DALITxD4
転送データ長	8ビットまたは16ビットまたは17ビットまたは24ビット
転送レート	Max. f_{MCK}/12 [bps]（SDR4n[15:9] = 3以上），Min. f_{CLK}/（2×2^{11}×256）[bps] 注
データ方向	MSBファースト
データ位相	非反転出力（デフォルト：ハイ・レベル），反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	2ビット付加
エラー検出フラグ	なし
割り込み	INTSTDL4
	転送完了割り込み

注　この条件を満たし，かつ電気的特性のAC特性（第32章　電気的特性（T_A = －40～+105℃対応品）または，第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

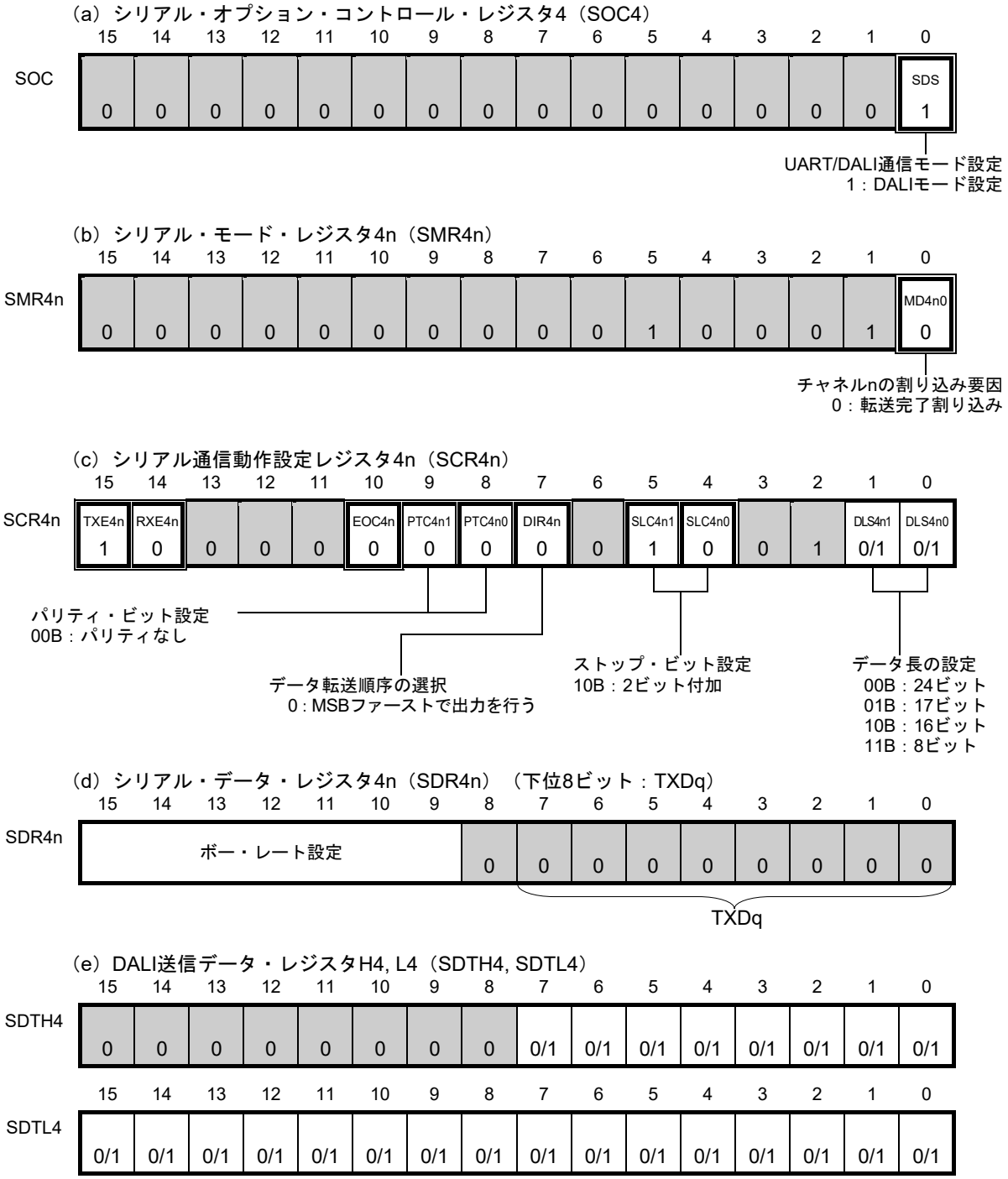
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2.　n：チャネル番号（n = 0）

（1）レジスタ設定

図16－51　DALI送信時のレジスタ設定内容例（1/2）



備考1.　n：チャネル番号（n = 0）　q：DALI/UART番号（q = 4）

2.　□：DALI送信モードでは設定固定　■：設定不可（初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図16－51　DALI送信時のレジスタ設定内容例（2/2）

（f）シリアル出力レベル・レジスタ4（SOL4）　・・・対象チャネルのビットのみ設定する

SOL4

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL40 0

0：非反転送信
1：反転送信

（g）シリアル出力レジスタ4（SO4）　・・・対象チャネルのビットのみ設定する

SO4

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	SO40 1

1：シリアル・データ出力値が“1”

（h）シリアル出力許可レジスタ4（SOE4）・・・対象チャネルのビットのみ1に設定する

SOE4

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE40 1

（i）シリアル・チャネル開始レジスタ4（SS4）　・・・対象チャネルのビットのみ1に設定する

SS4

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS41 ×	SS40 0/1

備考1.　n：チャネル番号（n = 0）

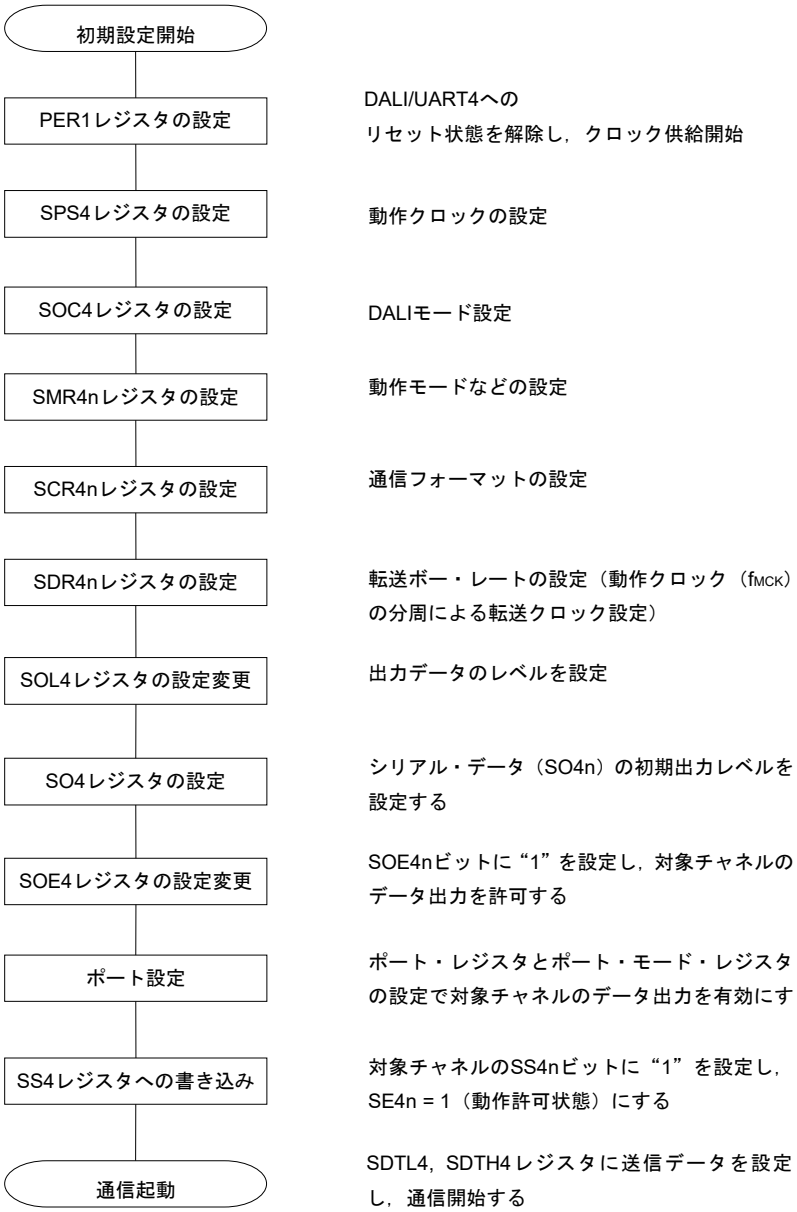
2.　□: DALI送信モードでは設定固定　　■ 設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

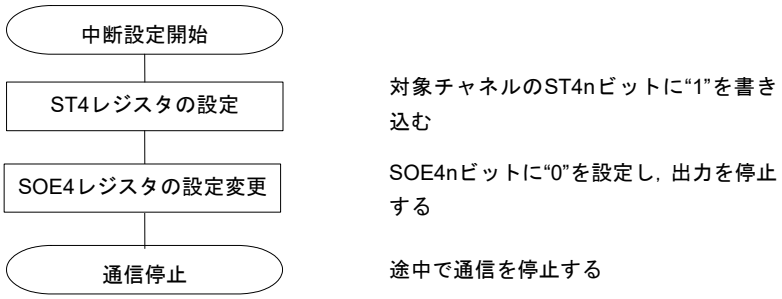
（2）操作手順

図16－52　DALI送信の初期設定手順



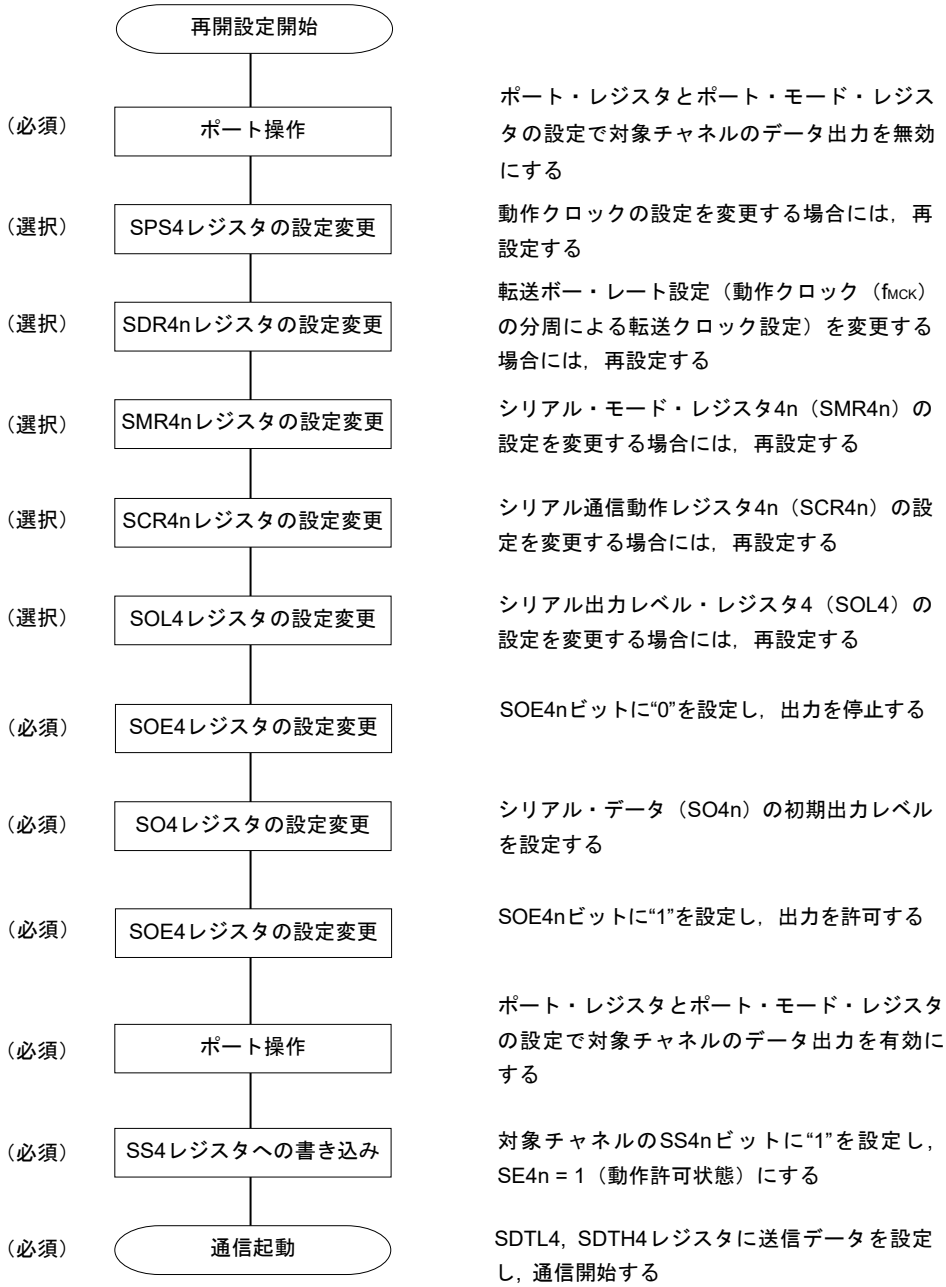
注意　周辺イネーブル・レジスタ1（PER1）のDALIENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ4（SPS4）を設定してください。

図16－53　DALI送信の中断手順



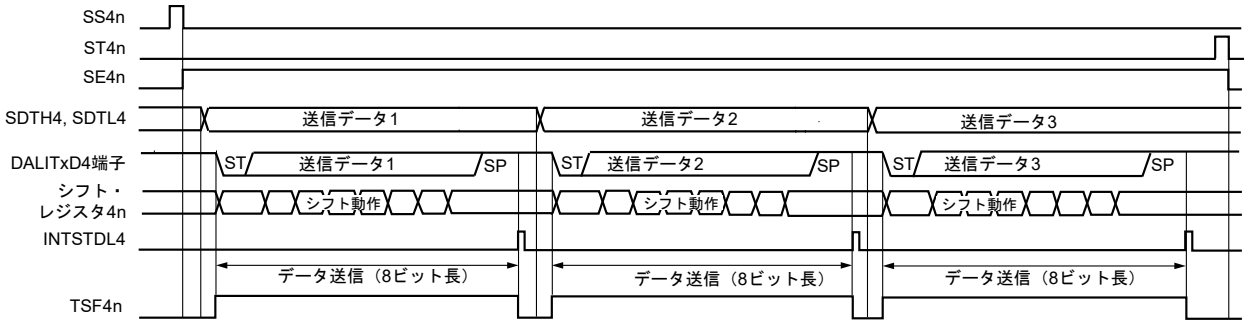
備考　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタ4（SO4）を再設定してください（図16－54　DALI送信の再開設定手順参照）。

図16－54　DALI送信の再開設定手順



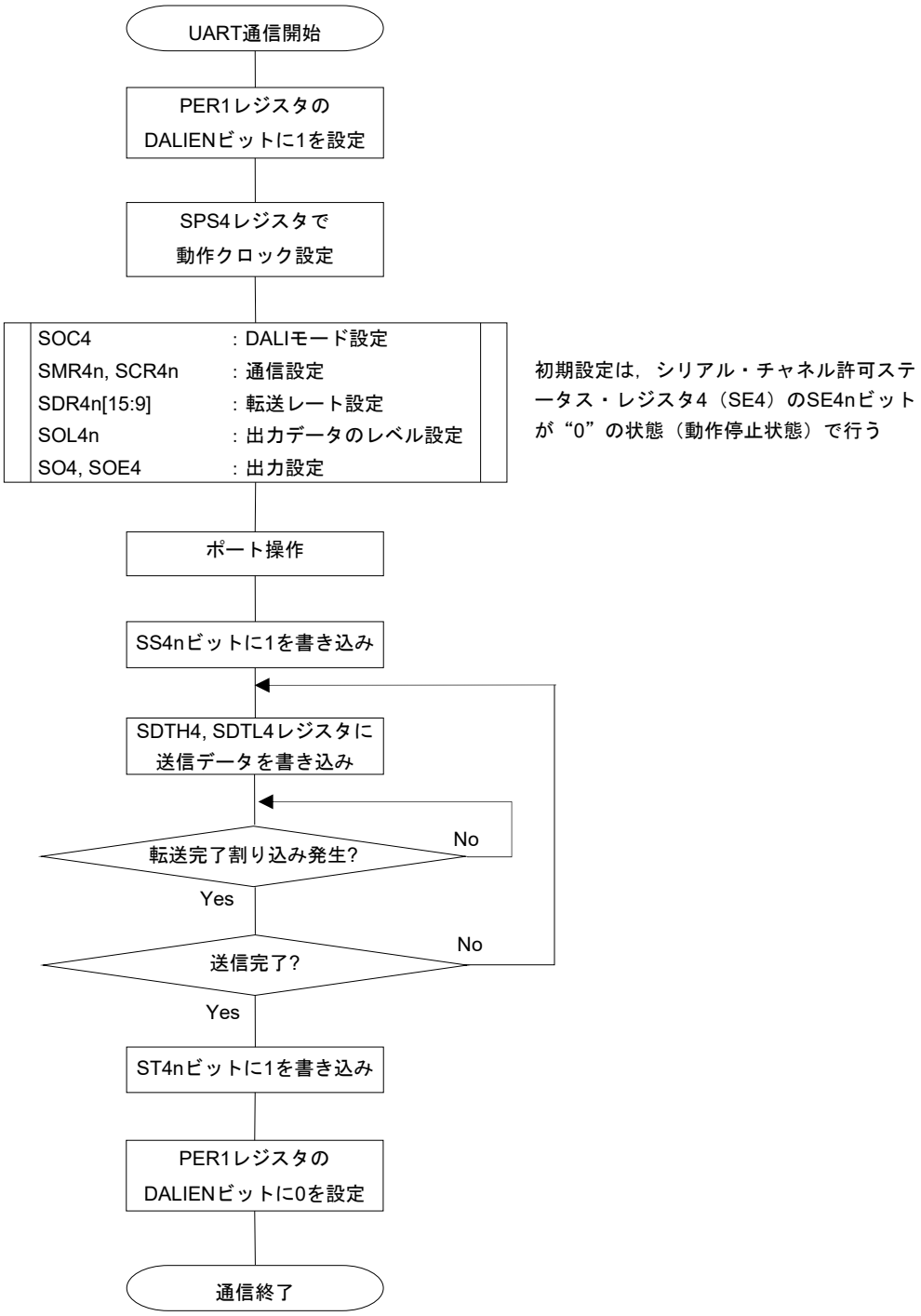
（3）処理フロー

図16－55　DALI送信のタイミング・チャート



備考　n：チャネル番号（n = 0）

図16－56　DALI送信のフロー・チャート



注意　周辺イネーブル・レジスタ1（PER1）のDALIENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ4（SPS4）を設定してください。

16. 6. 2　DALI受信

DALI受信は，他デバイスからRL78/I1Aが非同期（調歩同期）でデータを受信する動作です。

DALI受信では，そのDALIに使用する2チャネルのうち，奇数チャネルのほうを使用します。ただし，SMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

DALI受信	
対象チャネル	チャネル1
使用端子	DALIRxD4
転送データ長	8ビットまたは16ビットまたは17ビットまたは24ビット
転送レート	Max. f_{MCK}/12 [bps]（SDR4n[15:9] = 3以上），Min. f_{CLK}/（$2 \times 2^{11} \times 256$）[bps] 注
データ方向	MSBファースト
データ位相	非反転出力（デフォルト：ハイ・レベル），反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	2ビット付加
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEF4n） ・マンチェスタ・フレーミング・エラー検出フラグ（MFEF4n） ・オーバラン・エラー検出フラグ（OVF4n）
割り込み	INTSRDL4
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー割り込み	INTSREDL4

注　この条件を満たし，かつ電気的特性のAC特性（第32章　電気的特性（T_A = －40～+105℃対応品）または，第33章　電気的特性（T_A = －40～+125℃対応品）参照）を満たす範囲内で使用してください。

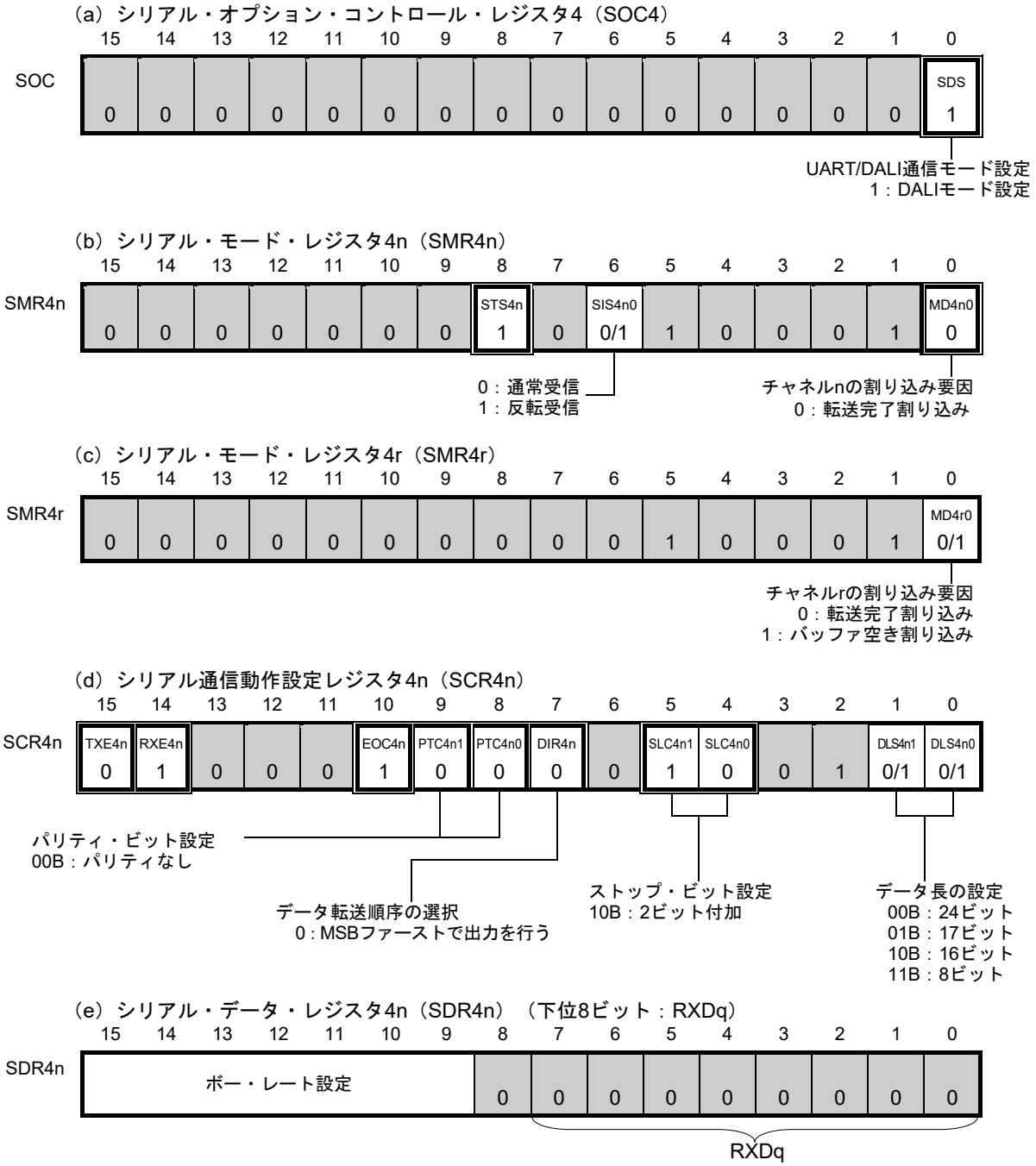
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2.　n：チャネル番号（n = 1）

（1）レジスタ設定

図16－57　DALI受信時のレジスタ設定内容例（1/2）



注意　DALI受信時は，チャネルnとペアになるチャネルrのSMR4rレジスタも必ず設定してください。

備考1.　n：チャネル番号（n = 1）　r：チャネル番号（r = 0）　q：DALI/UART番号（q = 4）

2.　□：DALI受信モードでは設定固定　■：設定不可（初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図16－57　DALI受信時のレジスタ設定内容例（2/2）

（f）DALI受信データ・レジスタ（SDCH4, SDCL4）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDCH4	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
SDCL4	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1

（g）シリアル出力レジスタ4（SO4）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO4	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	SO40 ×

（h）シリアル出力許可レジスタ4（SOE4）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE40 ×

（i）シリアル・チャネル開始レジスタ4（SS4）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS41 0/1	SS40 ×

注意　DALI受信時は，チャネルnとペアになるチャネルrのSMR4rレジスタも必ず設定してください。

備考1.　n：チャネル番号（n = 1）　r：チャネル番号（r = 0）　q：DALI/UART番号（q = 4）

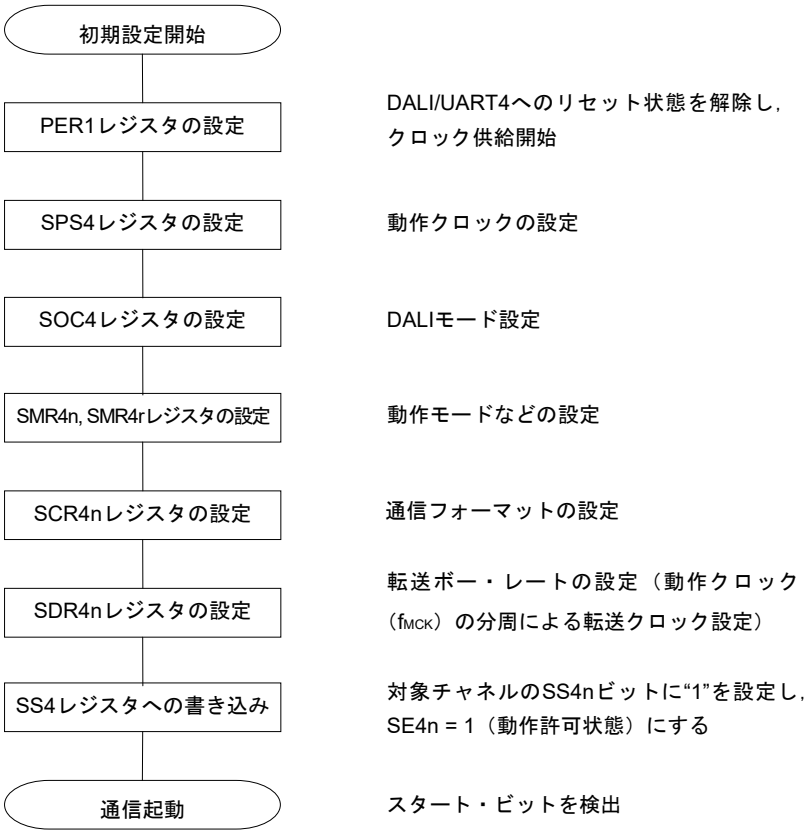
2.　□：DALI受信モードでは設定固定　■ 設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図16－58　DALI受信の初期設定手順



注意　周辺イネーブル・レジスタ1（PER1）のDALIENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ4（SPS4）を設定してください。

図16－59　DALI受信の中断手順

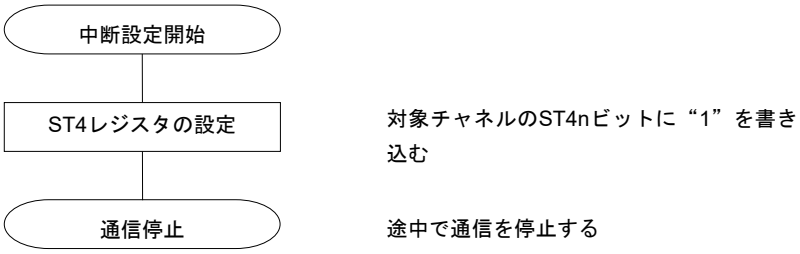
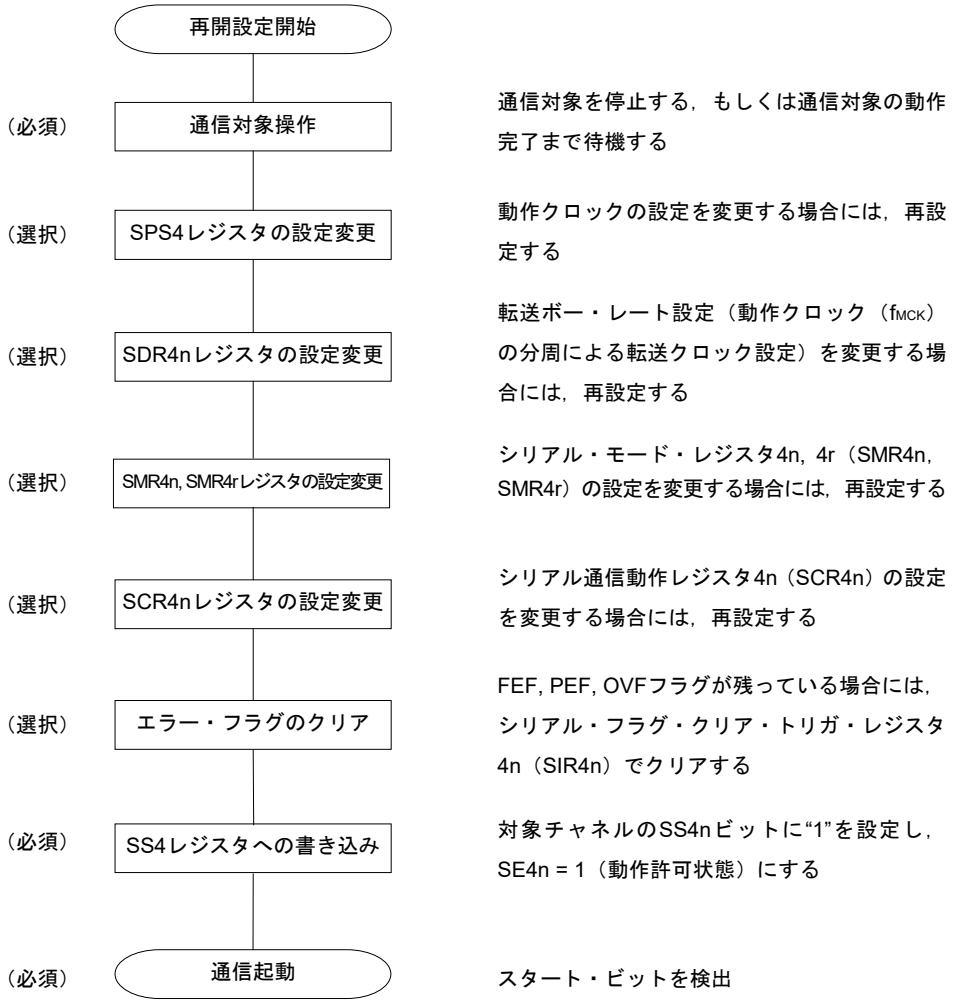
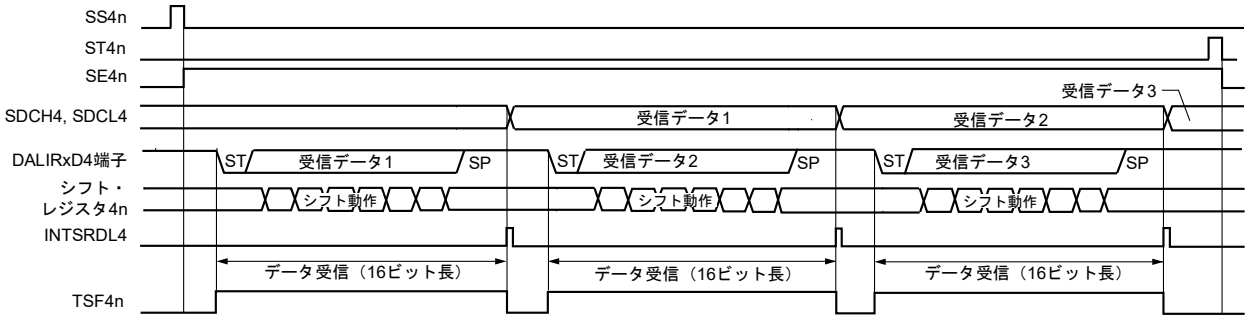


図16－60　DALI受信の再開設定手順



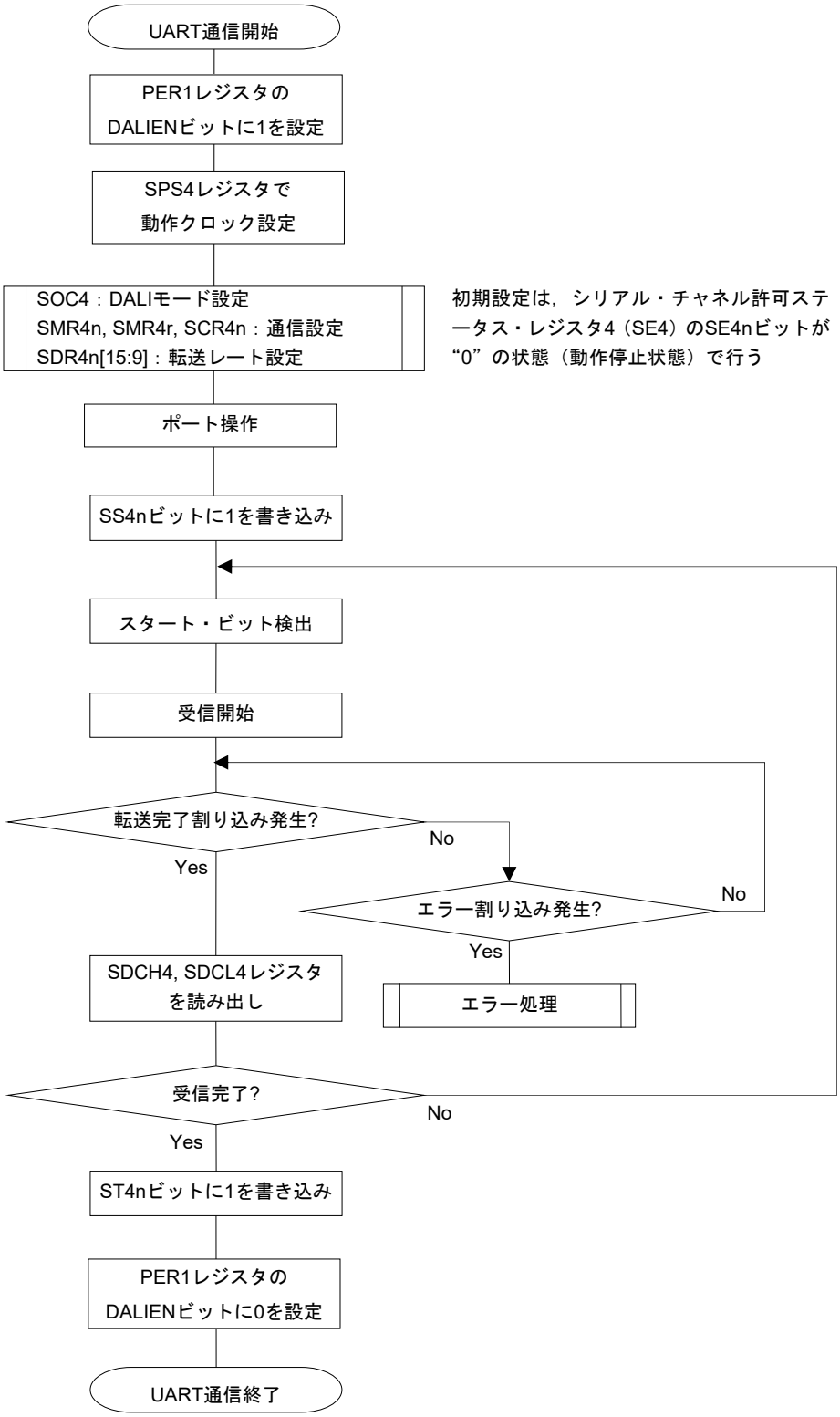
（3）処理フロー

図16－61　DALI受信のタイミング・チャート



備考　n：チャネル番号（n = 1）　r：チャネル番号（r = 0）

図16－62　DALI受信のフロー・チャート



注意　周辺イネーブル・レジスタ1（PER1）のDALIENビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ4（SPS4）を設定してください。

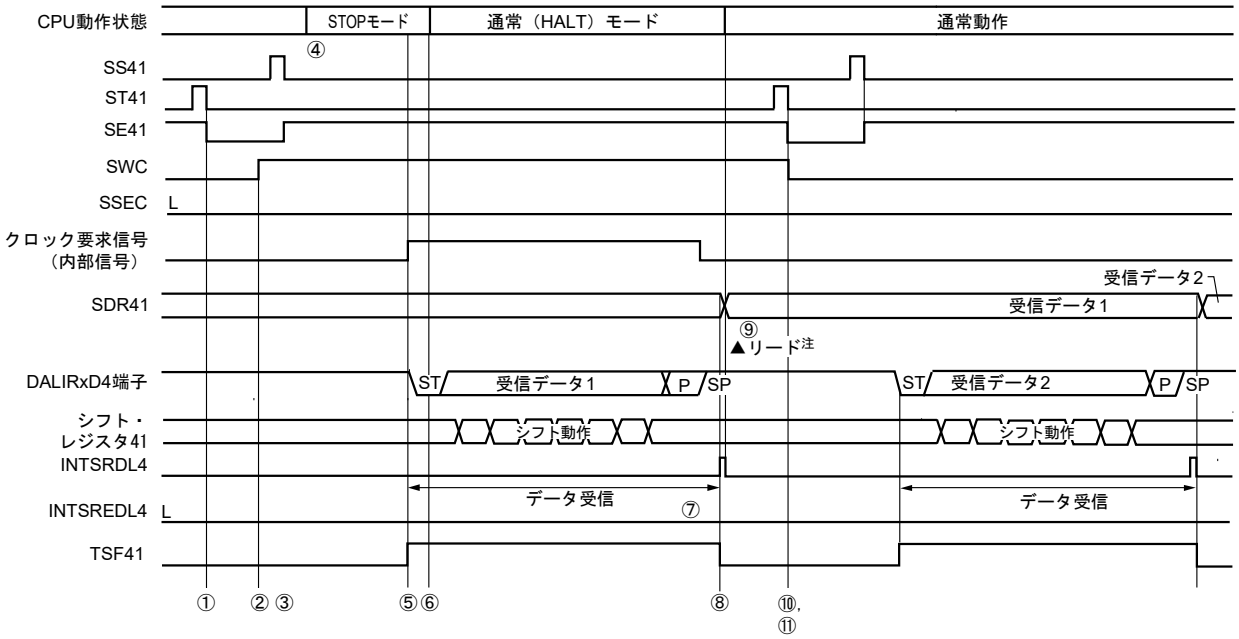
16. 7　スタンバイ機能（DALI/UART4受信のみ）

STOP＆HALTモードからの復帰（DALI受信時）

STOPモード時にINTPx入力の割り込み機能を使用してウエイク・アップし，DALIの受信動作をするモードです。本モードを使用することにより，低消費で受信待機を行うことができます。INTPx割り込みはDALIRXD4端子と兼用になっているINTP21もしくはINTP23を使用することが可能です。

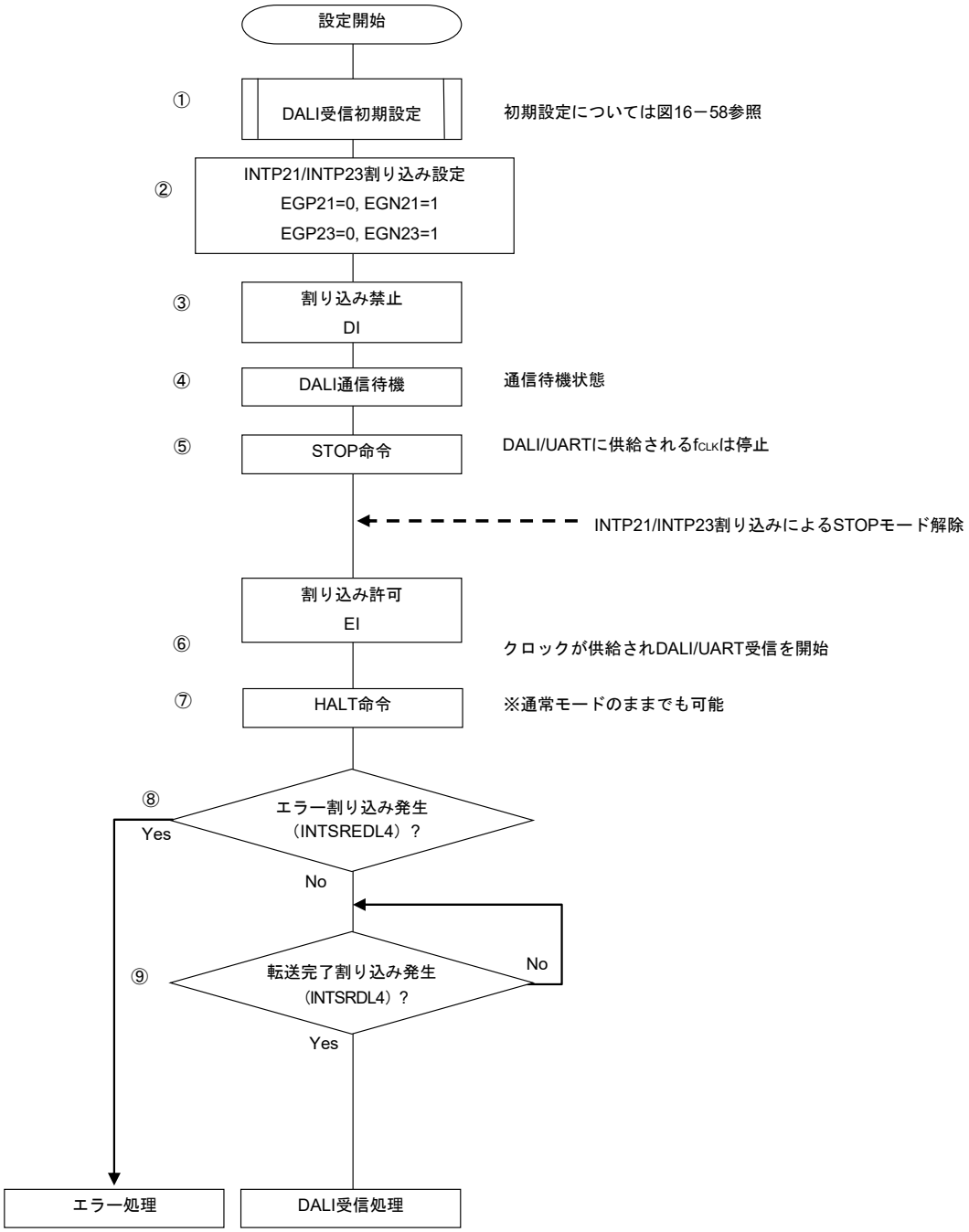
さらに, HALTモードを併用することにより，受信中の消費電力を削減することが可能です。

図16－63　STOPモードからの復帰タイミング・チャート



備考　図中の①~⑨は，図16－64　STOPモードからの復帰受信フロー・チャートの①~⑨に対応しています。

図16－64　STOPモードからの復帰受信フロー・チャート



備考1.　図中の①~⑨は，図16－63　STOPモードからの復帰タイミング・チャートの①~⑨に対応しています。

2.　SWC4ビットは0のままで使用します。

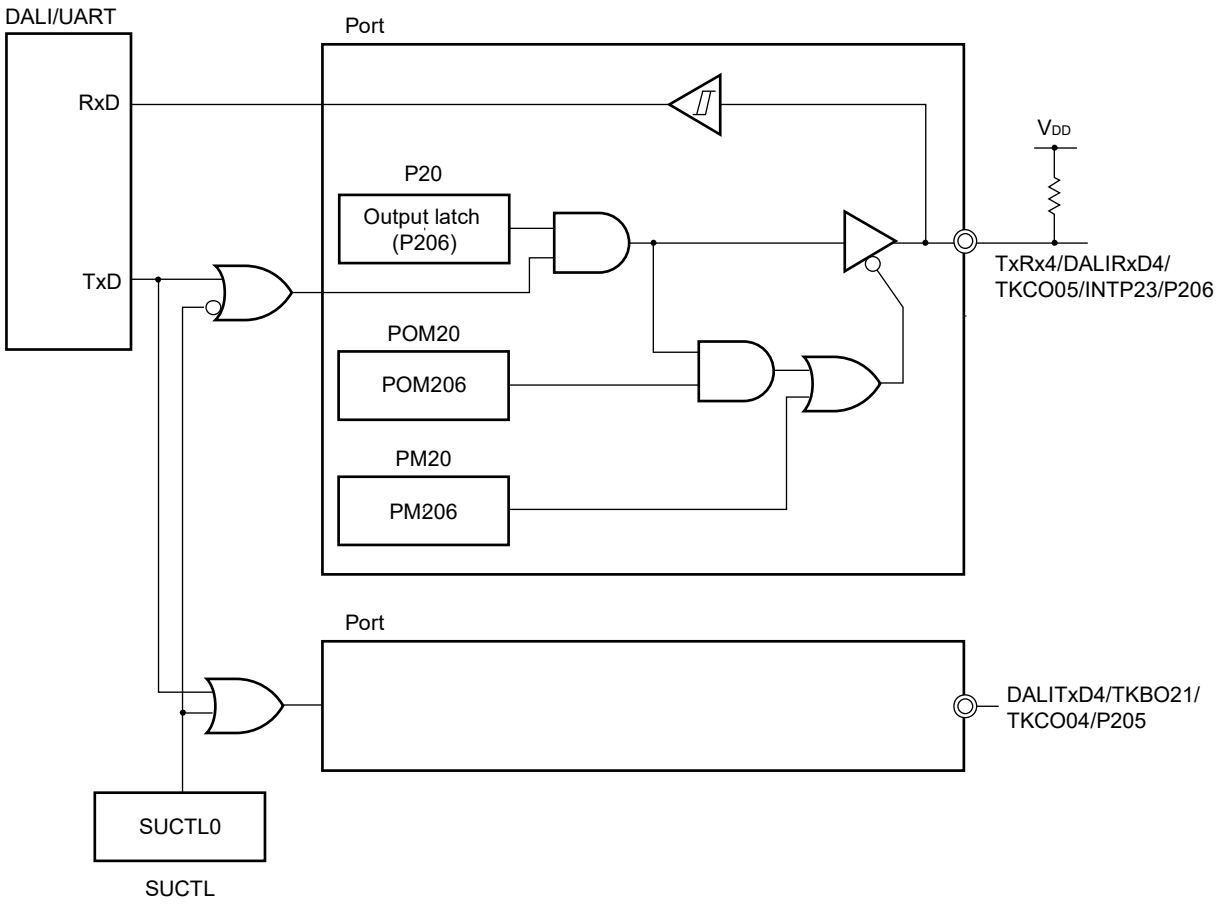
16. 8　1線データ・モード

1線UART制御レジスタ（SUCTL）レジスタのSUCTL0ビットを1に設定することで，1線方式でDALI/UART4通信を行うことが可能です。

1線方式を選択した場合，送受信はP206/TxRx4/TKCO05/DALIRxD4/INTP23端子が兼用して使用されます。

1線データ・モードの構成図を次に示します。

図16－65　1線データ構成図



注意1.　DALI/UART4を1線データ・モードをとして使用する場合，送信時には送信データが受信されます。

2.　POM20レジスタのPOM206 = 1（N-chオープン・ドレイン出力モード）で使用しない場合，外部で信号が競合する可能性があります。

備考　P20　　：ポート・レジスタ20

PM20　　：ポート・モード・レジスタ20

POM20　：ポート出力モード・レジスタ20

16. 9　ボー・レートの算出

（1）ボー・レート算出式

DALI/UART4通信でのボー・レートは下記の計算式にて算出できます。

・UART通信

（ボー・レート）　=　{対象チャネルの動作クロック（f_{MCK}）周波数}　÷（SDR4n[15:9]＋1）÷ 2 [bps]

・DALI通信

（ボー・レート）　=　{対象チャネルの動作クロック（f_{MCK}）周波数}　÷（SDR4n[15:9]＋1）÷ 4 [bps]

注意　シリアル・データ・レジスタ4n（SDR4n）SDR4n[15:9] =（0000000B, 0000001B）は設定禁止です。

備考1.　DALI/UART4使用時は，SDR4n[15:9]はSDR4nレジスタのビット15-9の値（0000010B-1111111B）なので，2-127になります。

2.　UART通信の2 bitがDALI通信の1 bitに相応するため，f_{MCK}およびSDR4nを同じ設定にした場合，DALI通信のボー・レートはUART通信時の1/2となります。

3.　n：チャネル番号（n = 0, 1）

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタ4（SPS4）で決まります。

表16－3　DALI/UART4動作クロックの選択

SPS4レジスタ				動作クロック（f_{MCK}）注					
PRS403	PRS402	PRS401	PRS400	f_{CLK} = 4 MHz（PLL未使用時）		f_{CLK} = 16 MHz（PLL使用時）		f_{CLK} = 32 MHz（PLL使用時）	
0	0	0	0	f_{CLK}	4 MHz	f_{CLK}	16 MHz	f_{CLK}	32 MHz
0	0	0	1	f_{CLK}	4 MHz	f_{CLK}	16 MHz	$f_{CLK}/2$	16 MHz
0	0	1	0	f_{CLK}	4 MHz	$f_{CLK}/2$	8 MHz	$f_{CLK}/2^2$	8 MHz
0	0	1	1	f_{CLK}	4 MHz	$f_{CLK}/2^2$	4 MHz	$f_{CLK}/2^3$	4 MHz
0	1	0	0	$f_{CLK}/2$	2 MHz	$f_{CLK}/2^3$	2 MHz	$f_{CLK}/2^4$	2 MHz
0	1	0	1	$f_{CLK}/2^2$	1 kHz	$f_{CLK}/2^4$	1 kHz	$f_{CLK}/2^5$	1 kHz
0	1	1	0	$f_{CLK}/2^3$	500 kHz	$f_{CLK}/2^5$	500 kHz	$f_{CLK}/2^6$	500 kHz
0	1	1	1	$f_{CLK}/2^4$	250 kHz	$f_{CLK}/2^6$	250 kHz	$f_{CLK}/2^7$	250 kHz
1	0	0	0	$f_{CLK}/2^5$	125 kHz	$f_{CLK}/2^7$	125 kHz	$f_{CLK}/2^8$	125 kHz
1	0	0	1	$f_{CLK}/2^6$	62.5 kHz	$f_{CLK}/2^8$	62.5 kHz	$f_{CLK}/2^9$	62.5 kHz
1	0	1	0	$f_{CLK}/2^7$	31.25 kHz	$f_{CLK}/2^9$	31.25 kHz	$f_{CLK}/2^{10}$	31.25 kHz
1	0	1	1	$f_{CLK}/2^8$	15.63 kHz	$f_{CLK}/2^{10}$	15.63 kHz	$f_{CLK}/2^{11}$	15.63 kHz
1	1	0	0	$f_{CLK}/2^9$	7.81 kHz	$f_{CLK}/2^{11}$	7.81 kHz	$f_{CLK}/2^{12}$	7.81 kHz
1	1	0	1	$f_{CLK}/2^{10}$	3.91 kHZ	$f_{CLK}/2^{12}$	3.91 kHZ	$f_{CLK}/2^{13}$	3.91 kHZ
1	1	1	0	$f_{CLK}/2^{11}$	1.95 kHZ	$f_{CLK}/2^{13}$	1.95 kHZ	$f_{CLK}/2^{14}$	1.95 kHZ
1	1	1	1	$f_{CLK}/2^{12}$	977 Hz	$f_{CLK}/2^{14}$	977 Hz	$f_{CLK}/2^{15}$	977 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット4（DALI/UART4）の動作を停止（シリアル・チャネル停止レジスタ4（ST4）＝000FH）させてから変更してください。

備考　n：チャネル番号（n = 0, 1）

（2）送信時のボー・レート誤差

DALI/UART4通信での，送信時のボー・レート誤差は，下記の計算式にて算出できます。送信側のボー・レートが，受信側の許容ボー・レート範囲内に収まるように設定してください。

（ボー・レート誤差）　=　（算出ボー・レート値）÷（目標ボー・レート値）×　100　－　100 [%]

f_{CLK} = 32 MHzの場合のボー・レート設定例を示します。

・UART通信

UARTボー・レート（目標ボー・レート）	f_{CLK} = 32 MHz時			
	動作クロック（f_{MCK}）	SDR4n[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^9$	103	300.48 bps	+0.16 %
600 bps	$f_{CLK}/2^8$	103	600.96 bps	+0.16 %
1200 bps	$f_{CLK}/2^7$	103	1201.92 bps	+0.16 %
2400 bps	$f_{CLK}/2^6$	103	2403.85 bps	+0.16 %
4800 bps	$f_{CLK}/2^5$	103	4807.69 bps	+0.16 %
9600 bps	$f_{CLK}/2^4$	103	9615.38 bps	+0.16 %
19200 bps	$f_{CLK}/2^3$	103	19230.8 bps	+0.16 %
31250 bps	$f_{CLK}/2^3$	63	31250.0 bps	±0.0 %
38400 bps	$f_{CLK}/2^2$	103	38461.5 bps	+0.16 %
76800 bps	$f_{CLK}/2$	103	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	103	153846 bps	+0.16 %
312500 bps	f_{CLK}	50	312500 bps	+0.39 %

・DALI通信

UARTボー・レート（目標ボー・レート）	動作周波数（f_{CLK}）	動作クロック（f_{MCK}）	SDR4n[15:9]	算出ボー・レート	目標ボー・レートとの誤差
1200 bps	32 MHz	$f_{CLK}/2^6$	103	1202 bps	+0.16 %
		$f_{CLK}/2^7$	51	1202 bps	+0.16 %
		$f_{CLK}/2^8$	25	1202 bps	+0.16 %
		$f_{CLK}/2^9$	12	1202 bps	+0.16 %
	16 MHz	$f_{CLK}/2^5$	103	1202 bps	+0.16 %
		$f_{CLK}/2^6$	51	1202 bps	+0.16 %
		$f_{CLK}/2^7$	25	1202 bps	+0.16 %
		$f_{CLK}/2^8$	12	1202 bps	+0.16 %
	4 MHz	$f_{CLK}/2^3$	103	1202 bps	+0.16 %
		$f_{CLK}/2^4$	51	1202 bps	+0.16 %
		$f_{CLK}/2^5$	25	1202 bps	+0.16 %
		$f_{CLK}/2^6$	12	1202 bps	+0.16 %
	24 MHz	$f_{CLK}/2^6$	77	1202 bps	+0.16 %
		$f_{CLK}/2^7$	38	1202 bps	+0.16 %
		$f_{CLK}/2^8$	19	1172 bps	+2.34 %
		$f_{CLK}/2^8$	18	1234 bps	+2.8 %
		$f_{CLK}/2^9$	9	1172 bps	+2.34 %
		$f_{CLK}/2^{10}$	4	1172 bps	+2.34 %
	20 MHz	$f_{CLK}/2^6$	64	1202 bps	+0.16 %
		$f_{CLK}/2^7$	32	1184 bps	+1.73 %
		$f_{CLK}/2^7$	31	1221 bps	+1.36 %
		$f_{CLK}/2^8$	15	1221 bps	+1.36 %
		$f_{CLK}/2^9$	7	1221 bps	+1.36 %
		$f_{CLK}/2^{10}$	3	1221 bps	+1.36 %

備考　n：チャネル番号（n = 0）

（3）受信時のボー・レート許容範囲（UART通信の場合）

DALI/UART4通信での，受信時のボー・レート許容範囲は，下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$（受信可能な最大ボー・レート）= \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$（受信可能な最小ボー・レート）= \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate　：受信側の算出ボー・レート値（16. 9（1）ボー・レート算出式参照）

k　　：SDR4n[15:9] ＋1

Nfr　　：1データ・フレーム長［ビット］

=（スタート・ビット）＋（データ長）＋（パリティ・ビット）＋（ストップ・ビット）

備考　n：チャネル番号（n = 1）

図16－66　受信時の許容ボー・レート範囲（UART通信，1データ・フレーム長 = 11ビットの場合）

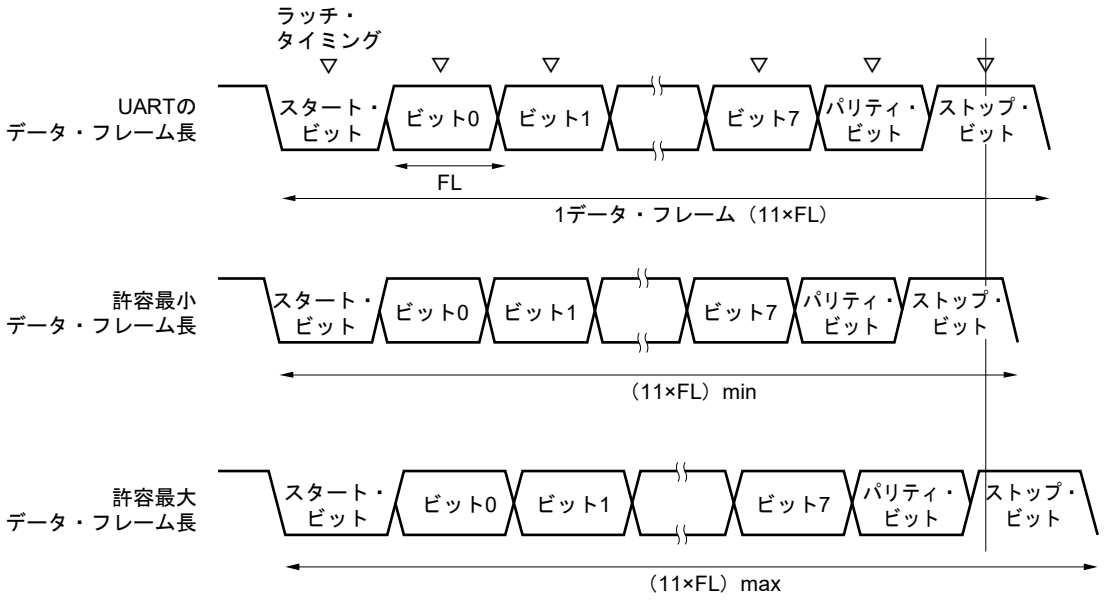


図16－66に示すように，スタート・ビット検出後はシリアル・データ・レジスタ4n（SDR4n）のビット15-9で設定した分周比により，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

16. 10　DALI/UART4通信時におけるエラー発生時の処理手順

DALI/UART4通信時にエラーが発生した場合の処理手順を図16－67，図16－68に示します。

図16－67　パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタ4n（SDR4n）注をリードする →	SSR4nレジスタのBFF4nビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ4n（SSR4n）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ4n（SIR4n）に“1”をライトする →	エラー・フラグがクリアされる	SSR4nレジスタのリード値をそのままSIR4nレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図16－68　フレーミング・エラーおよびマンチェスタ・フレーミング・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタ4n（SDR4n）注をリードする →	SSR4nレジスタのBFF4nビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ4n（SSR4n）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ4n（SIR4n）をライトする →	エラー・フラグがクリアされる	SSR4nレジスタのリード値をそのままSIR4nレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタ4（ST4）のST4nビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタ4（SE4）のSE4nビットが“0”となり，チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため，通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタ4（SS4）のSS4nビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタ4（SE4）のSE4nビットが“1”となり，チャネルnは動作許可状態になる	

注　DALI受信時，またはマンチェスタ・フレーミング・エラー時はDALI受信データ・レジスタ（SDCH4, SDCL4）

備考　n：チャネル番号（n = 0, 1）

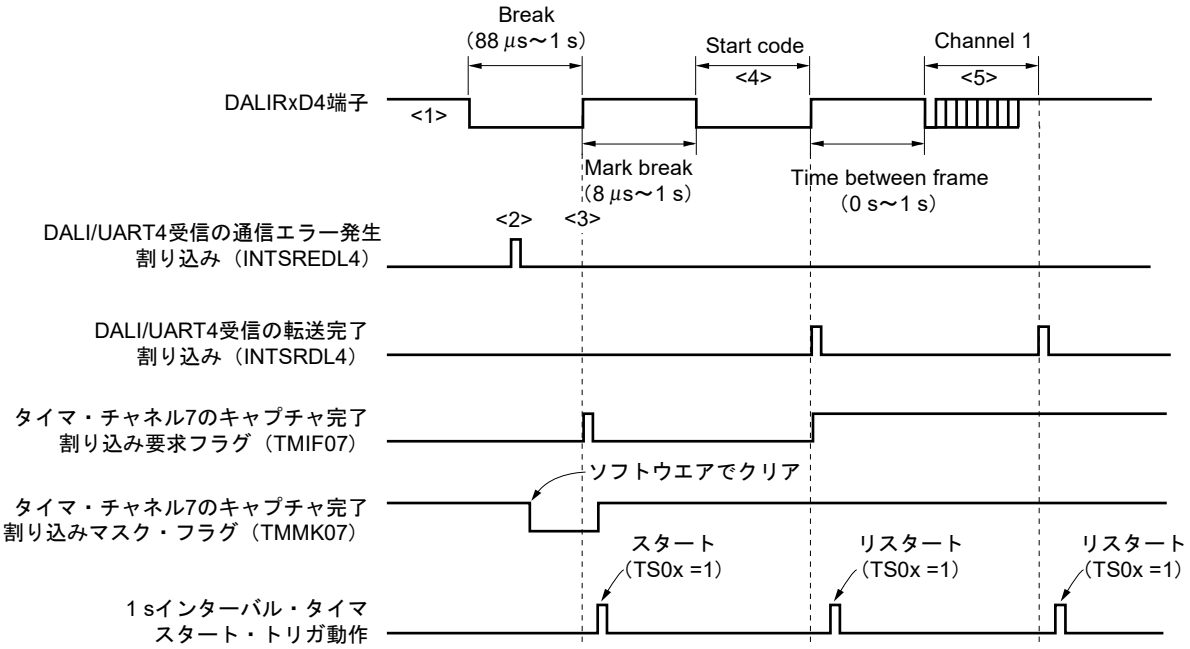
16. 11　DMX512通信の動作

UART4はDMX512通信に対応しています。

UART	UART4
DMX512通信対応	可
対象チャネル	チャネル1
使用端子	DALIRxD4
割り込み	INTSRDL4
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー割り込み	INTSREDL4 －
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEF41） ・オーバラン・エラー検出フラグ（OVF41）
転送データ長	8ビット
転送レート	250 [kbps]
データ位相	非反転出力（デフォルト：ハイ・レベル）
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）
ストップ・ビット	2ビット付加
データ方向	MSBファーストまたはLSBファースト

DMX512の受信操作の概略を，図16－69に示します。

図16－69　DMX512の受信操作



DALI/UART4でDMX512を受信するにはTAUのインターバル・タイマ／パルス幅測定機能を組み合わせて使用します。具体的にはTAUのタイマ入力（TI07）を使用してBreak幅測定を行い，1秒間のインターバル・タイマをTAUの別チャンネルで作成してMarkBreak等の間隔が規格を満たしているか計測します。

＜受信前の設定＞

・DALI/UART4 UARTモードで初期設定250 kbpsに設定

・TI07をロウ幅のパルス幅測定機能として設定

・TAU（任意のチャンネル）を1 sのインターバル・タイマに設定

＜受信の手順＞

状態<1>（待機状態）

・ロウ・レベル幅測定タイマの割り込みマスク（TMMK07 = 1）

・DALI/UART4 = 受信許可，割り込みマスクなし（SREDLMK4 = 0, SRDLMK4 = 0）

・1 sインターバル・タイマ = 停止

状態<2>（Break中）

・Break信号によりINTSREDL4割り込みが発生

→DALI/UART4のフレーミング・エラーをクリア

→ソフトウエアでロウ・レベル幅測定タイマの割り込みマスクを解除（TMMK07 = 0）

状態<3>（Break終了）

・立ち上がり信号によりロウ・レベル幅測定タイマのINTTM07割り込み発生

→キャプチャされたBreak長を計算。

規定外の場合は状態①へ

Break幅が規定内の場合は1 sインターバル・タイマを起動（TS0x = 1）させた上で状態<4>へ

状態<4>（StartCode受信）

・スタート・コード受信によりINTSRDL4割り込み発生

→データ確認，1 sデータが0でない場合は状態<1>へ，また，受信エラー（INTSREDL4）の場合はエラー・クリアして状態①へ

・1sインターバル・タイマをクリア・スタート（TS0x = 1）

状態<5>（Slotx受信）

・スロット受信によりINTSRDL4割り込み発生→データ確認

・受信エラー（INTSREDL4）の場合はエラー・クリアして状態<1>へ

・1sインターバル・タイマをクリア・スタート（TS0x = 1）

※以降受信データがなくなるまで状態<5>を繰り返す

状態<6>（MarkBreak, TimeBetweenFrameエラーの場合）

・1 sインターバル・タイマ割り込み発生（INTTM0x）

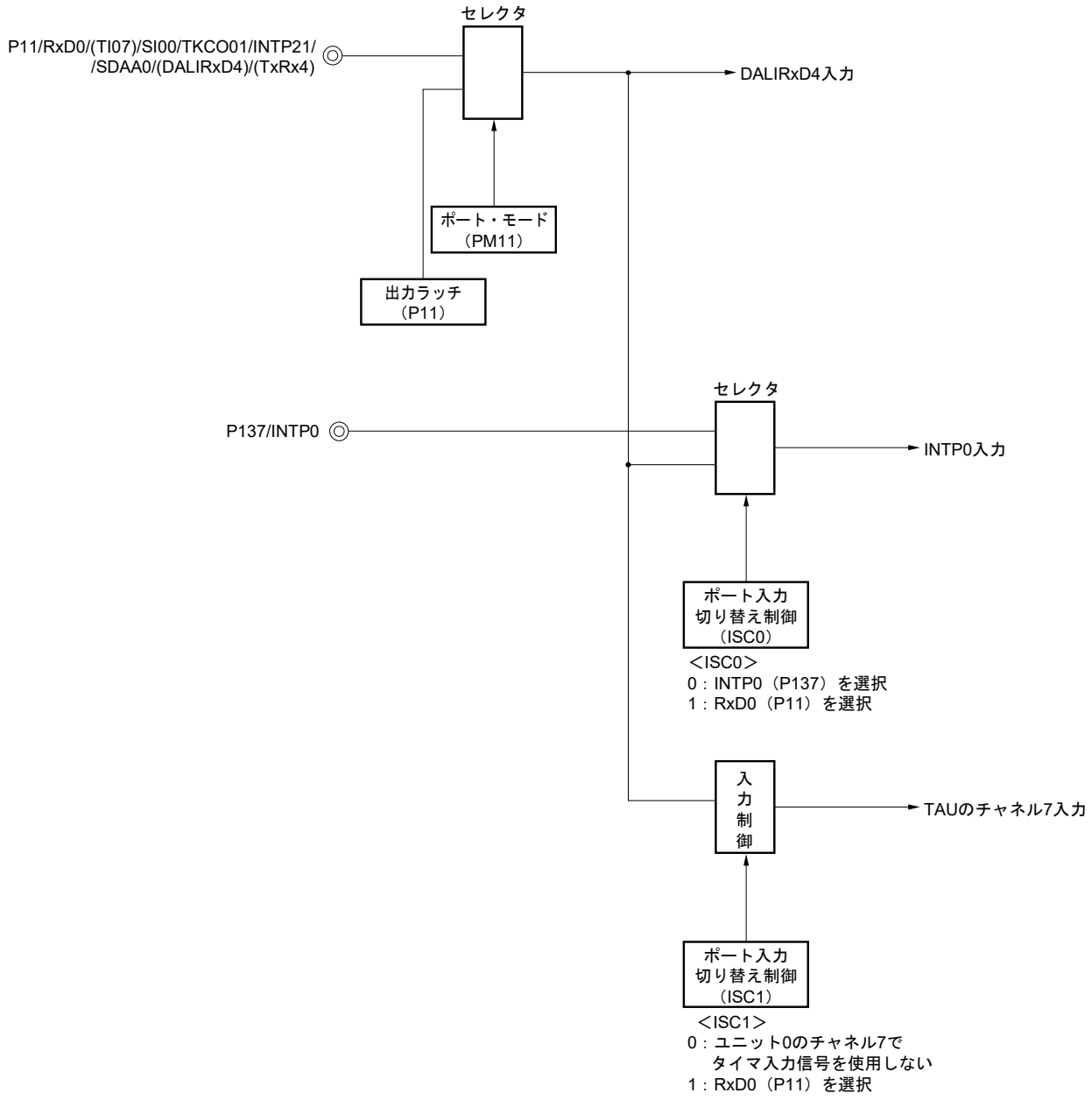
→状態<1>へ

図16－70はDMX512の受信操作用のポート構成図です。

DMX512のマスタから送信されるBreak信号の受信を，外部割り込み（INTP0）のエッジ検出にて行います。また，DMX512のマスタから送信される信号の長さをタイマ・アレイ・ユニットの外部イベント・キャプチャ動作で計測することができます。

受信用ポート入力（DALIRxD4）の入力ソースを外部割り込み（INTP0）およびタイマ・アレイ・ユニットへ入力することができます。

図16－70　DMX512の受信操作用のポート構成図



備考　ISC0, ISC1：入力切り替え制御レジスタ（ISC）のビット0, 1（図15－20参照）

DMX512通信動作で使用する周辺機能をまとめると，次のようになります。

＜使用する周辺機能＞

・外部割り込み（INTP0）；Break信号検出

　用途：Break信号のエッジを検出し，通信開始を検出

・タイマ・アレイ・ユニットのチャネル7；信号幅検出

　用途：信号幅の長さを測定（DALIRxD4入力エッジの間隔をキャプチャ・モードで測定）

・シリアル・アレイ・ユニット4（SAU）のチャネル0, 1（UART4）

第17章　シリアル・インタフェースIICA

注意　この章では，以降の主な説明を38ピン製品の場合で説明しています。

17. 1　シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには，次の3種類のモードがあります。

（1）動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

（2）I^2Cバス・モード（マルチマスタ対応）

シリアル・クロック（SCLA0）とシリアル・データ・バス（SDAA0）の2本のラインより，複数のデバイスと8ビット・データ転送を行うモードです。

I^2Cバス・フォーマットに準拠しており，マスタはスレーブに対して，シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは，受信したこれらの状態およびデータをハードウエアにより自動的に検出します。この機能により応用プログラムのI^2Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは，SCLA0端子とSDAA0端子はオープン・ドレイン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

（3）ウエイクアップ・モード

STOPモード状態で，マスタからの拡張コードもしくは自局アドレスを受信した場合に，割り込み要求信号（INTIICA0）を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ01（IICCTL01）のWUP0ビットにより設定します。

図17－1に，シリアル・インタフェースIICAのブロック図を示します。

図17－1　シリアル・インタフェースIICAのブロック図

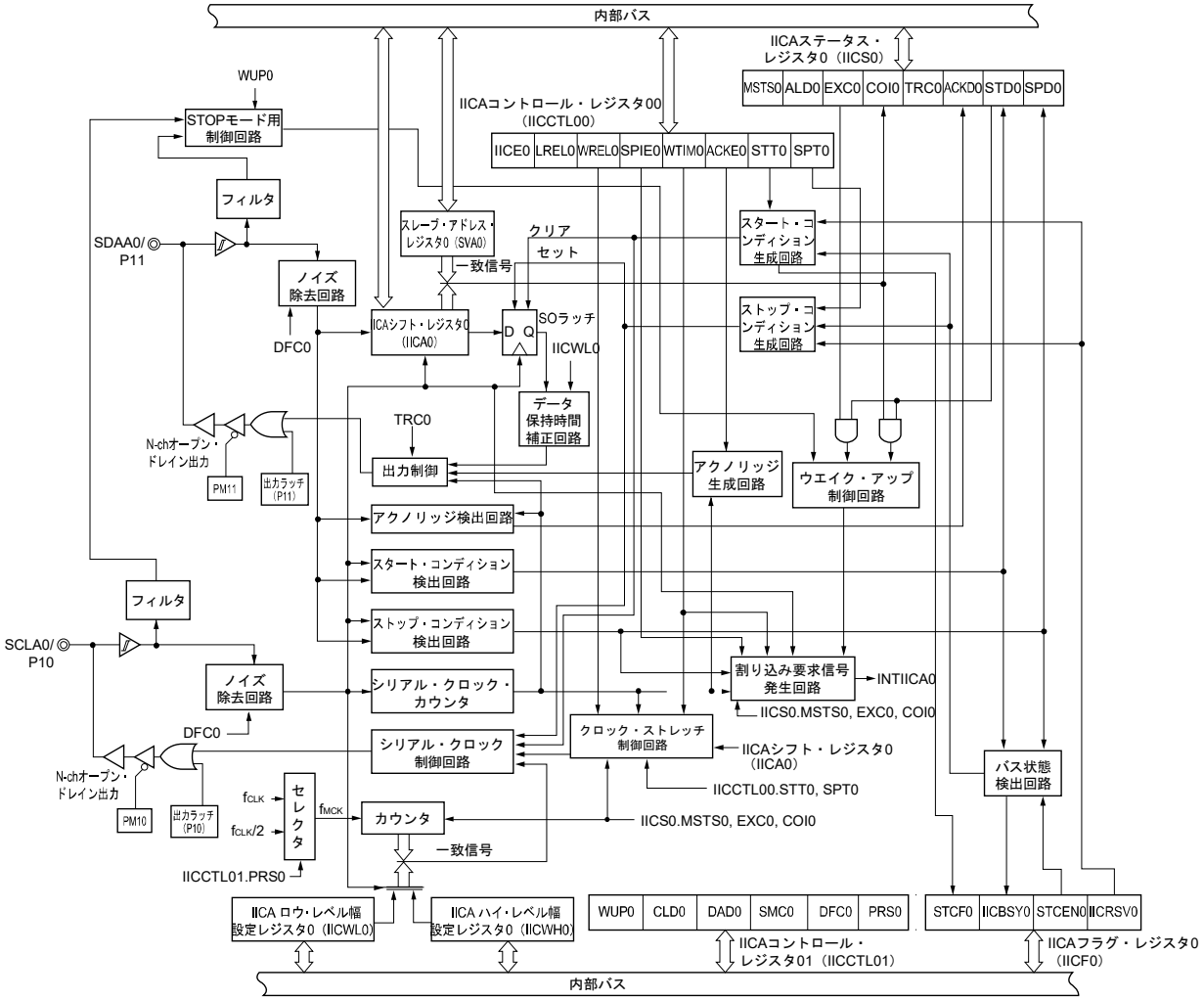
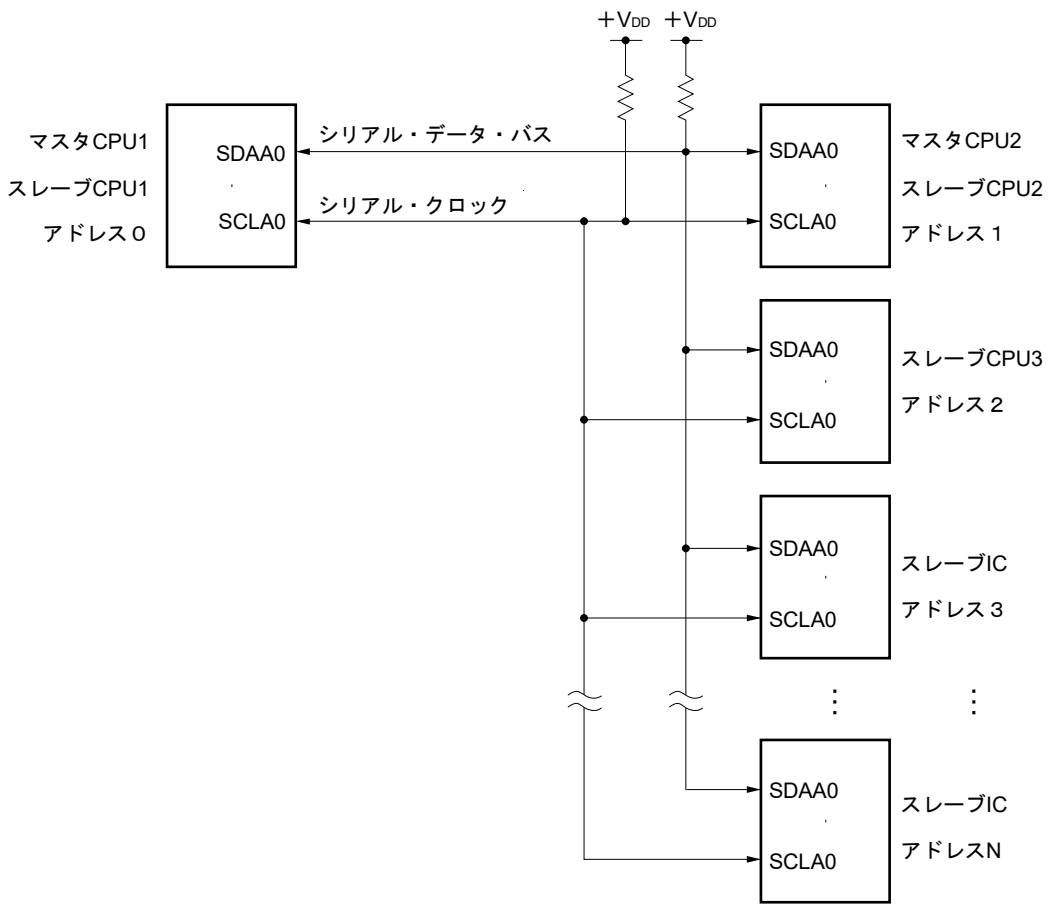


図17－2にシリアル・バス構成例を示します。

図17－2　I²Cバスによるシリアル・バス構成例



17.2　シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは，次のハードウエアで構成されています。

表17－1　シリアル・インタフェースIICAの構成

項　　目	構　　成
レジスタ	IICAシフト・レジスタ0（IICA0） スレーブ・アドレス・レジスタ0（SVA0）
制御レジスタ	周辺イネーブル・レジスタ0（PER0） IICAコントロール・レジスタ00（IICCTL00） IICAステータス・レジスタ0（IICS0） IICAフラグ・レジスタ0（IICF0） IICAコントロール・レジスタ01（IICCTL01） IICAロウ･レベル幅設定レジスタ0（IICWL0） IICAハイ･レベル幅設定レジスタ0（IICWH0） ポート・モード・レジスタ1（PM1） ポート出力モード・レジスタ（POM1） ポート・レジスタ1（P1）

（1）IICAシフト・レジスタ0（IICA0）

IICA0レジスタは，シリアル・クロックに同期して，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICA0レジスタは送信および受信の両方に使用されます。

IICA0レジスタに対する書き込み／読み出しにより，実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICA0レジスタへの書き込みにより，クロック・ストレッチを解除し，データ転送を開始します。

IICA0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図17－3　IICA0シフト・レジスタ0（IICA0）のフォーマット

アドレス：FFF50H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICA0								

注意1.　データ転送中はIICA0レジスタにデータを書き込まないでください。

2.　IICA0レジスタには，クロック・ストレッチ期間中にだけ，書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICA0レジスタへのアクセスは禁止です。ただし，マスタになる場合は，通信トリガ・ビット（STT0）をセット（1）したあと，1回書き込みできます。

3.　通信予約時は，ストップ・コンディションによる割り込み検出のあとにIICA0レジスタにデータを書き込んでください。

(2) スレーブ・アドレス・レジスタ0（SVA0）

スレーブとして使用する場合に，自局アドレスの7ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVA0レジスタは，8ビット・メモリ操作命令で設定します。

ただし，STD0 = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により，00Hになります。

図17－4　スレーブ・アドレス・レジスタ0（SVA0）のフォーマット

アドレス：F0234H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SVA0	A6	A5	A4	A3	A2	A1	A0	0注

注　ビット0は0固定です。

(3) SOラッチ

SOラッチは，SDAA0端子出力レベルを保持するラッチです。

(4) ウエイク・アップ制御回路

スレーブ・アドレス・レジスタ0（SVA0）に設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に割り込み要求（INTIICA0）を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号（INTIICA0）の発生を制御します。

I^2C割り込み要求は，次の2つのトリガで発生します。

・シリアル・クロックの8クロック目または9クロック目の立ち下がり（WTIM0ビットで設定）

・ストップ・コンディション検出による割り込み要求発生（SPIE0ビットで設定）

備考　WTIM0ビット　：IICAコントロール・レジスタ00（IICCTL00）のビット3

SPIE0ビット　：　〃　のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に，SCLA0端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

（9）アクノリッジ生成回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各状態の生成および検出を行います。

（10）データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

（11）スタート・コンディション生成回路

STT0ビットがセット（1）されるとスタート・コンディションを生成します。

ただし通信予約禁止状態（IICRSV0ビット ＝1）で，かつバスが解放されていない（IICBSY0ビット ＝1）場合には，スタート・コンディション要求は無視し，STCF0ビットをセット（1）します。

（12）ストップ・コンディション生成回路

SPT0ビットがセット（1）されるとストップ・コンディションを生成します。

（13）バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため，STCEN0ビットにより，バス状態検出回路の初期状態を設定してください。

備考

STT0ビット	：IICAコントロール・レジスタ00（IICCTL00）	のビット1
SPT0ビット	：〃	のビット0
IICRSV0ビット	：IICAフラグ・レジスタ0（IICF0）	のビット0
IICBSY0ビット	：〃	のビット6
STCF0ビット	：〃	のビット7
STCEN0ビット	：〃	のビット1

17. 3　シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは，次のレジスタで制御します。

・周辺イネーブル・レジスタ0（PER0）
・IICAコントロール・レジスタ00（IICCTL00）
・IICAフラグ・レジスタ0（IICF0）
・IICAステータス・レジスタ0（IICS0）
・IICAコントロール・レジスタ01（IICCTL01）
・IICAロウ・レベル幅設定レジスタ0（IICWL0）
・IICAハイ・レベル幅設定レジスタ0（IICWH0）
・ポート・モード・レジスタ1（PM1）
・ポート出力モード・レジスタ（POM1）
・ポート・レジスタ1（P1）

17. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAを使用するときは，必ずビット4（IICA0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図17－5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICAの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAで使用するSFRへのリード／ライト可

注意1.　シリアル・インタフェースIICAの設定をする際には，必ず最初にIICA0EN = 1の状態で，下記レジスタの設定を行ってください。IICA0EN = 0の場合は，シリアル・インタフェースIICAの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ1（PM1），ポート出力モード・レジスタ（POM1），ポート・レジスタ1（P1）は除く）。

・IICAコントロール・レジスタ00（IICCTL00）
・IICAフラグ・レジスタ0（IICF0）
・IICAステータス・レジスタ0（IICS0）
・IICAコントロール・レジスタ01（IICCTL01）
・IICAロウ・レベル幅設定レジスタ0（IICWL0）
・IICAハイ・レベル幅設定レジスタ0（IICWH0）

2.　ビット1, 3, 6には必ず“0”を設定してください。

17. 3. 2　IICAコントロール・レジスタ00（IICCTL00）

I²Cの動作許可／停止，クロック・ストレッチ・タイミングの設定，その他I²Cの動作を設定するレジスタです。

IICCTL00レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，SPIE0, WTIM0, ACKE0ビットは，IICE0 = 0のとき，またはクロック・ストレッチ期間中に設定してください。またIICE0ビットを”0”から”1”に設定するときに，これらのビットを同時に設定できます。

リセット信号の発生により，00Hになります。

図17－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（1/4）

アドレス：F0230H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICCTL00	IICE0	LREL0	WREL0	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I^2Cの動作許可
0	動作停止。IICAステータス・レジスタ0（IICS0）をリセット[注1]。内部動作も停止。
1	動作許可。
このビットのセット（1）は，必ずSCLA0, SDAA0ラインがハイ･レベルの状態で行ってください。	
クリアされる条件（IICE0 = 0）	セットされる条件（IICE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

LREL0[注2, 3]	通信退避
0	通常動作。
1	現在行っている通信から退避し，待機状態。実行後自動的にクリア（0）される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLA0, SDAA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ00（IICCTL00），IICAステータス・レジスタ0（IICS0）のうち，次のフラグがクリア（0）される。 ・STT0　・SPT0　・MSTS0　・EXC0　・COI0　・TRC0　・ACKD0　・STD0
次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。 ・ストップ・コンディション検出後，マスタとしての起動 ・スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件（LREL0 = 0）	セットされる条件（LREL0 = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

WREL0[注2, 3]	クロック・ストレッチ解除
0	クロック・ストレッチを解除しない。
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後，自動的にクリアされる。
送信状態（TRC0 = 1）で，9クロック目のクロック・ストレッチ期間中にWREL0ビットをセット（クロック・ストレッチを解除）した場合，SDAA0ラインをハイ・インピーダンス（TRC0 = 0）にします。	
クリアされる条件（WREL0 = 0）	セットされる条件（WREL0 = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

注1.　リセットされるのは，IICAステータス・レジスタ0（IICA0），IICAフラグ・レジスタ0（IICF0）のSTCF0，IICBSY0ビット，IICAコントロール・レジスタ01（IICCTL01）レジスタのCLD0，DAD0ビットです。

2.　IICE0 = 0の状態では，このビットの信号は無効になります。

3.　LREL0, WREL0ビットの読み出し値は常に0になります。

注意　SCLA0ラインがハイ･レベル，SDAA0ラインがロウ・レベルの状態かつ，デジタル・フィルタ・オン（IICCTL01レジスタのDFC0 = 1）のときにI^2Cを動作許可（IICE0 = 1）した場合，直後にスタート・コンディションを検出してしまいます。この場合は，I^2Cを動作許可（IICE0 = 1）したあと，連続して1ビット・メモリ操作命令により，LREL0ビットをセット（1）してください。

図17－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（2/4）

SPIE0[注1]	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICAコントロール・レジスタ01（IICCTL01）のWUP0 = 1の場合には，SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（SPIE0 = 0）	セットされる条件（SPIE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

WTIM0[注1]	クロック・ストレッチおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：8クロック出力後，クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合：8クロック入力後，クロックをロウ・レベルにしてマスタをクロック・ストレッチ
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：9クロック出力後，クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合：9クロック入力後，クロックをロウ・レベルにしてマスタをクロック・ストレッチ
アドレス転送中はこのビットの設定にかかわらず，9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは，アクノリッジ（ACK）発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは，8クロック目の立ち下がりでクロック・ストレッチに入ります。	
クリアされる条件（WTIM0 = 0）	セットされる条件（WTIM0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

ACKE0 注1,2	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAA0ラインをロウ・レベルにする。
クリアされる条件（ACKE0 = 0）	セットされる条件（ACKE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

注1.　IICE0 = 0の状態では，このビットの信号は無効になります。その期間にビットの設定を行ってください。

2.　アドレス転送中で，かつ拡張コードでない場合，設定値は無効です。
スレーブかつアドレスが一致した場合は，設定値に関係なくアクノリッジを生成します。

図17－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（3/4）

STT0[注1, 2]	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（待機状態，IICBSY0が0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・通信予約機能許可の場合（IICRSV0 = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV0 = 1） セット（1）してもSTT0ビットはクリアされ，STT0クリア・フラグ（STCF0）がセット（1）される。スタート・コンディションは生成しない。 クロック・ストレッチ状態（マスタ時）： クロック・ストレッチを解除してリスタート・コンディションを生成する。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0 = 0に設定し，受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット（1）してください。

・ストップ・コンディション・トリガ（SPT0）と同時セット（1）することは禁止です。

・STT0ビットをセット（1）後，クリア条件になる前に再度セット（1）することは禁止です。

クリアされる条件（STT0 = 0）	セットされる条件（STT0 = 1）
・通信予約禁止状態でのSTT0ビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・命令によるセット

注1. IICE0 = 0の状態では，このビットの信号は無効になります。

2. STT0ビットの読み出し値は，常に0になります。

備考　IICRSV0　：IICフラグ・レジスタ0（IICF0）のビット0

STCF0　：　〃　のビット7

図17－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（4/4）

SPT0[注]	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。
ACKE0 = 0に設定し，受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。

・スタート・コンディション・トリガ（STT0）と同時にセット（1）することは禁止です。

・SPT0ビットのセット（1）は，マスタのときのみ行ってください。

・WTIM0 = 0設定時に，8クロック出力後のクロック・ストレッチ期間中にSPT0ビットをセット（1）すると，クロック・ストレッチ解除後，9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIM0 = 0→1に設定し，9クロック目出力後のクロック・ストレッチ期間中にSPT0ビットをセット（1）してください。

・SPT0ビットをセット（1）後，クリア条件になる前に，再度セット（1）することは禁止です。

クリアされる条件（SPT0 = 0）	セットされる条件（SPT0 = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後，自動的にクリア ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・命令によるセット

注　SPT0ビットの読み出し値は，常に0になります。

注意　IICAステータス・レジスタ0（IICS0）のビット3（TRC0）＝1（送信状態）のとき，9クロック目にIICCTL00レジスタのビット5（WREL0）をセット（1）してクロック・ストレッチ解除すると，TRC0ビットをクリア（受信状態）してSDAA0ラインをハイ・インピーダンスにします。TRC0 ＝ 1（送信状態）におけるクロック・ストレッチ解除は，IICAシフト・レジスタ0への書き込みで行ってください。

備考　ビット0（SPT0）は，データ設定後に読み出すと0になっています。

17. 3. 3　IICAステータス・レジスタ0（IICS0）

I²Cのステータスを表すレジスタです。

IICS0レジスタは，STT0 = 1およびクロック・ストレッチ期間中のみ，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

注意　STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可（WUP0=1）状態でのIICS0レジスタの読み出しは禁止です。WUP0 = 1の状態から，INTIICA0割り込み要求と関係なくWUP0ビットを1→0（ウエイク・アップ動作停止）に変更した場合には，次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため，ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可（SPIE0 = 1）して割り込み検出後にIICS0レジスタを読み出してください。

備考　STT0　　：IICAコントロール・レジスタ00（IICCTL00）のビット1

WUP0　　：IICAコントロール・レジスタ01（IICCTL01）のビット7

図17－7　IICAステータス・レジスタ0（IICS0）のフォーマット（1/3）

アドレス：FFF51H　　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタ状態確認フラグ	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件（MSTS0 = 0）		セットされる条件（MSTS0 = 1）
・ストップ・コンディション検出時 ・ALD0 = 1（アービトレーション負け）のとき ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時		・スタート・コンディション生成時

ALD0	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS0ビットがクリアされる。	
クリアされる条件（ALD0 = 0）		セットされる条件（ALD0 = 1）
・IICS0レジスタ読み出し後，自動的にクリア注 ・IICE0 = 1→0（動作停止）のとき ・リセット時		・アービトレーションに負けたとき

注　IICS0レジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって，ALD0ビット使用時は，ほかのビットよりも先にデータをリードしてください。

備考　LREL0　　：IICAコントロール・レジスタ00（IICCTL00）のビット6

IICE0　　：　　〃　　のビット7

図17－7　IICAステータス・レジスタ0（IICS0）のフォーマット（2/3）

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。
クリアされる条件（EXC0 = 0）	セットされる条件（EXC0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき（8クロック目の立ち上がりでセット）

COI0	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。
クリアされる条件（COI0 = 0）	セットされる条件（COI0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・受信アドレスが自局アドレス（スレーブ・アドレス・レジスタ0（SVA0））と一致したとき（8クロック目の立ち上がりでセット）

TRC0	送信／受信状態検出
0	受信状態（送信状態以外）。SDAA0ラインをハイ・インピーダンスにする。
1	送信状態。SDAA0ラインにSO0ラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。
クリアされる条件（TRC0 = 0）	セットされる条件（TRC0 = 1）
＜マスタ，スレーブ共通＞ ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・WREL0 = 1（クロック・ストレッチ解除）によるクリア注 ・ALD0 = 0→1（アービトレーション負け）のとき ・リセット時 ・通信不参加の場合（MSTS0, EXC0, COI0 = 0） ＜マスタの場合＞ ・1バイト目のLSB（転送方向指定ビット）に“1”を出力したとき ＜スレーブの場合＞ ・スタート・コンディション検出時 ・1バイト目のLSB（転送方向指定ビット）に“0”を入力したとき	＜マスタの場合＞ ・スタート・コンディション生成時 ・1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“0”（マスタ送信）を出力したとき ＜スレーブの場合＞ ・マスタからの1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“1”（スレーブ送信）が入力されたとき

注　IICAステータス・レジスタ0（IICS0）のビット3（TRC0）= 1（送信状態）のとき，9クロック目にIICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）をセット（1）してクロック・ストレッチを解除すると，TRC0ビットをクリア（受信状態）してSDAA0ラインをハイ・インピーダンスにします。TRC0 = 1（送信状態）におけるクロック・ストレッチ解除は，IICAシフト・レジスタ0への書き込みで行ってください。

備考　LREL0　：IICAコントロール・レジスタ00（IICCTL00）のビット6
　　IICE0　：　〃　のビット7

図17－7　IICAステータス・レジスタ0（IICS0）のフォーマット（3/3）

ACKD0	アクノリッジ（ACK）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。

クリアされる条件（ACKD0 = 0）	セットされる条件（ACKD0 = 1）
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・SCLA0ラインの9クロック目の立ち上がり時にSDAA0ラインがロウ・レベルであったとき

STD0	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。

クリアされる条件（STD0 = 0）	セットされる条件（STD0 = 1）
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション検出時

SPD0	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し，バスが解放されている。

クリアされる条件（SPD0 = 0）	セットされる条件（SPD0 = 1）
・このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの1クロック目の立ち上がり時 ・WUP0 = 1→0のとき ・IICE0 = 1→0（動作停止）のとき ・リセット時	・ストップ・コンディション検出時

備考　LREL0　　：IICAコントロール・レジスタ00（IICCTL00）のビット6
　　IICE0　　：　　〃　　のビット7

17. 3. 4　IICAフラグ・レジスタ0（IICF0）

I²Cの動作モードの設定と，I²Cバスの状態を表すレジスタです。

IICF0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，STT0クリア・フラグ（STCF0），I²Cバス状態フラグ（IICBSY0）は読み出しのみ可能です。

IICRSV0ビットにより，通信予約機能の禁止／許可を設定します。

またSTCEN0ビットにより，IICBSY0ビットの初期値を設定します。

IICRSV0, STCEN0ビットはI²Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）= 0）のときのみ書き込み可能です。動作許可後，IICF0レジスタは読み出しのみ可能となります。

リセット信号の発生により，00Hになります。

図17－8　IICAフラグ・レジスタ0（IICF0）のフォーマット

アドレス：FFF52H　リセット時：00H　R/W注

略号	7	6	5	4	3	2	1	0
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	STT0クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STT0フラグ・クリア。

クリアされる条件（STCF0 = 0）	セットされる条件（STCF0 = 1）
・STT0 = 1によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・通信予約禁止（IICRSV0 = 1）設定時にスタート・コンディション発行できず，STT0ビットがクリア（0）されたとき

IICBSY0	I^2Cバス状態フラグ
0	バス解放状態（STCEN0 = 1時の通信初期状態）。
1	バス通信状態（STCEN0 = 0時の通信初期状態）。

クリアされる条件（IICBSY0 = 0）	セットされる条件（IICBSY0 = 1）
・ストップ・コンディション検出時 ・IICE0 = 0（動作停止）のとき ・リセット時	・スタート・コンディション検出時 ・STCEN0 = 0時のIICE0ビットのセット

STCEN0	初期スタート許可トリガ
0	動作許可（IICE0 = 1）後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可（IICE0 = 1）後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。

クリアされる条件（STCEN0 = 0）	セットされる条件（STCEN0 = 1）
・命令によるクリア ・スタート・コンディション検出時 ・リセット時	・命令によるセット

IICRSV0	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。

クリアされる条件（IICRSV0 = 0）	セットされる条件（IICRSV0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

注　ビット6, 7はRead onlyです。

注意1.　STCEN0ビットへの書き込みは動作停止（IICE0 = 0）時のみ行ってください。

2.　STCEN0 = 1とした場合，実際のバス状態にかかわらずバス解放状態（IICBSY0 = 0）と認識しますので，1回目のスタート・コンディションを発行（STT0 = 1）する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3.　IICRSV0への書き込みは動作停止（IICE0 = 0）時のみ行ってください。

備考　STT0　：IICAコントロール・レジスタ00（IICCTL00）のビット1
　　IICE0　：　〃　のビット7

17. 3. 5　IICAコントロール・レジスタ01（IICCTL01）

I²Cの動作モードの設定やSCLA0, SDAA0端子状態を検出するためのレジスタです。

IICCTL01レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，CLD0，DAD0ビットは読み出しのみ可能です。

IICCTL01レジスタは，WUP0ビットを除きI²Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）　= 0）のときに設定してください。

リセット信号の発生により，00Hになります。

図17－9　IICAコントロール・レジスタ01（IICCTL01）のフォーマット（1/2）

アドレス：F0231H　　リセット時：00H　R/W注1

略号	7	6	5	4	3	2	1	0
IICCTL01	WUP0	0	CLD0	DAD0	SMC0	DFC0	0	PRS0

WUP0	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
WUP0 = 1でSTOPモードに移行する場合は，WUP0ビットをセット（1）してfMCKの3クロック以上経過後にSTOP命令を実行してください（図17－23　WUP0 = 1を設定する場合のフロー参照）。 アドレス一致，または拡張コード受信後はWUP0ビットをクリア（0）してください。WUP0ビットをクリア（0）することで，その後の通信に参加する事ができます（クロック・ストレッチ解除および送信データ書き込みは，WUP0ビットをクリア（0）したあとに行う必要があります）。 WUP0 = 1の状態における，アドレス一致および拡張コード受信時の割り込みタイミングは，WUP0 = 0の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また，WUP0 = 1の場合には，SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（WUP0 = 0）	セットされる条件（WUP0 = 1）
・命令によるクリア（アドレス一致もしくは拡張コード受信後）	・命令によるセット（MSTS0, EXC0, COI0 = 0であり，STD0 = 0（通信に不参加である事）のとき）注2

注1.　ビット4, 5はRead Onlyです。

2.　次に示す期間に，IICAステータス・レジスタ0（IICS0）の状態を確認しセットする必要があります。

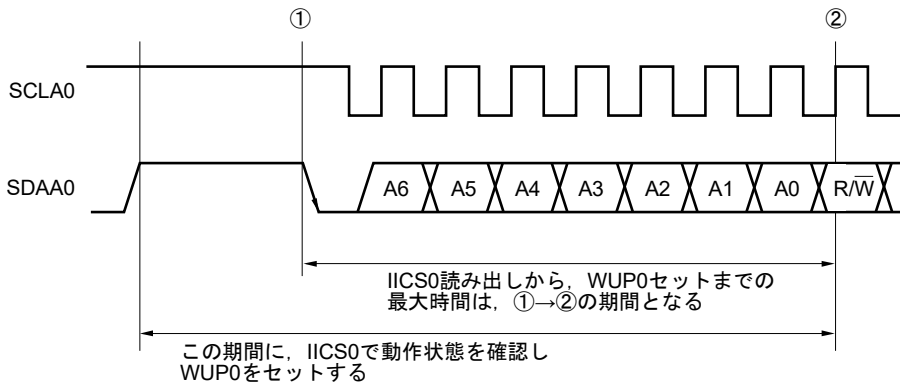


図17－9　IICAコントロール・レジスタ01（IICCTL01）のフォーマット（2/2）

CLD0	SCLA0端子のレベル検出（IICE0 = 1のときのみ有効）
0	SCLA0端子がロウ・レベルであることを検出
1	SCLA0端子がハイ・レベルであることを検出

クリアされる条件（CLD0 = 0）	セットされる条件（CLD0 = 1）
・SCLA0端子がロウ・レベルのとき ・IICE0 = 0（動作停止）のとき ・リセット時	・SCLA0端子がハイ・レベルのとき

DAD0	SDAA0端子のレベル検出（IICE0 = 1のときのみ有効）
0	SDAA0端子がロウ・レベルであることを検出
1	SDAA0端子がハイ・レベルであることを検出

クリアされる条件（DAD0 = 0）	セットされる条件（DAD0 = 1）
・SDAA0端子がロウ・レベルのとき ・IICE0 = 0（動作停止）のとき ・リセット時	・SDAA0端子がハイ・レベルのとき

SMC0	動作モードの切り替え
0	標準モードで動作（最大転送レート：100 kbps）
1	ファースト・モード（最大転送レート：400 kbps）

DFC0	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

デジタル・フィルタは，ファースト・モード時に使用してください。
デジタル・フィルタは，ノイズ除去のために使用します。
DFC0ビットのセット（1）／クリア（0）により，転送クロックが変化することはありません。
デジタル・フィルタは，ファースト・モード時にノイズ除去のために使用します。

PRS0	IICA動作クロック（f_{MCK}）の制御
0	f_{CLK}を選択（1 MHz≦f_{CLK}≦20 MHz）
1	f_{CLK}/2を選択（20MHz＜f_{CLK}）

注意1. IICA動作クロック（f_{MCK}）の最高動作周波数は20 MHz（Max.）です。f_{CLK}が20 MHzを越える場合のみ，IICAコントロール・レジスタ01（IICCTL01）のビット0（PRS0）に"1"を設定してください。

2. 転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時　：f_{CLK} = 3.5 MHz（Min.）

標準モード時　　：f_{CLK} = 1 MHz（Min.）

備考　IICE0：IICAコントロール・レジスタ00（IICCTL00）のビット7

17. 3. 6　IICAロウ・レベル幅設定レジスタ0（IICWL0）

シリアル・インタフェースIICAが，出力するSCLA0端子信号のロウ・レベル幅（t_{LOW}）とSDAA0端子信号を制御するレジスタです。

IICWL0レジスタは，8ビット・メモリ操作命令で設定します。

IICWL0レジスタは，I^2Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

IICWL0の設定方法については，17. 4. 2　IICWL0, IICWH0レジスタによる転送クロック設定方法を参照してください。

また，データ・ホールド時間はIICWL0で設定した時間の1/4になります。

図17－10　IICAロウ･レベル幅設定レジスタ0（IICWL0）のフォーマット

アドレス：F0232H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWL0								

17. 3. 7　IICAハイ・レベル幅設定レジスタ0（IICWH0）

シリアル・インタフェースIICAが，出力するSCLA0端子信号のハイ・レベル幅とSDAA0端子信号を制御するレジスタです。

IICWH0レジスタは，8ビット・メモリ操作命令で設定します。

IICWH0レジスタは，I^2Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

図17－11　IICAハイ･レベル幅設定レジスタ0（IICWH0）のフォーマット

アドレス：F0233H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWH0								

備考　マスタ側の転送クロックの設定方法は17. 4. 2　(1)を，スレーブ側のIICWL0, IICWH0レジスタによる転送クロックの設定方法は，17. 4. 2 (2)を参照してください。

17. 3. 8　ポート・モード・レジスタ1（PM1）

ポート1の入力／出力を1ビット単位で設定するレジスタです。

P10/SCLA0/SO00/TxD0/TKCO00/INTP20/(DALITxD4)端子をクロック入出力，P11/SDAA0/SI00/RxD0/TKCO01/INTP21/(TI07)/(DALIRxD4)/(TxRx4)端子をシリアル・データ入出力として使用するとき，PM10，PM11およびP10，P11の出力ラッチに0を設定してください。

IICE0（IICAコントロール・レジスタ00（IICCTL00）のビット7）が0の場合，P10/SCLA0/SO00/TxD0/TKCO00/INTP20/(DALITxD4)端子およびP11/SDAA0/SI00/RxD0/TKCO01/INTP21/(TI07)/(DALIRxD4)/(TxRx4)端子はロウ・レベル出力（固定）となるため，出力モードへの切り替えは，IICE0ビットに1を設定してから，行ってください。

PM1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図17－12　ポート・モード・レジスタ1（PM1）のフォーマット

アドレス：FFF21H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択（n = 0-2）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　PM1レジスタのビット3-7には必ず1を設定してください。

30, 20ピン製品は，PM1レジスタのビット2をリセット解除後ソフトウエアで出力モード（ポート・レジスタとポート・モード・レジスタに0を設定）に設定する必要があります。

17. 3. 9　ポート出力モード・レジスタ（POM1）

P10-P12の出力モードを1ビット単位で設定するレジスタです。

I^2C通信時のP11/SDAA0/SI00/RxD0/TKCO01/INTP21/(TI07)/(DALIRxD4)/(TxRx4)端子にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択できます。

POM1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図17－13　ポート出力モード・レジスタのフォーマット

アドレス：F0051H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
POM1	0	0	0	0	0	POM12	POM11	POM10

POM1n	P1n端子の出力モードの選択（n = 0-2）
0	通常出力モード
1	N-chオープン・ドレイン出力（V_{DD}耐圧）モード

17.4　I²Cバス・モードの機能

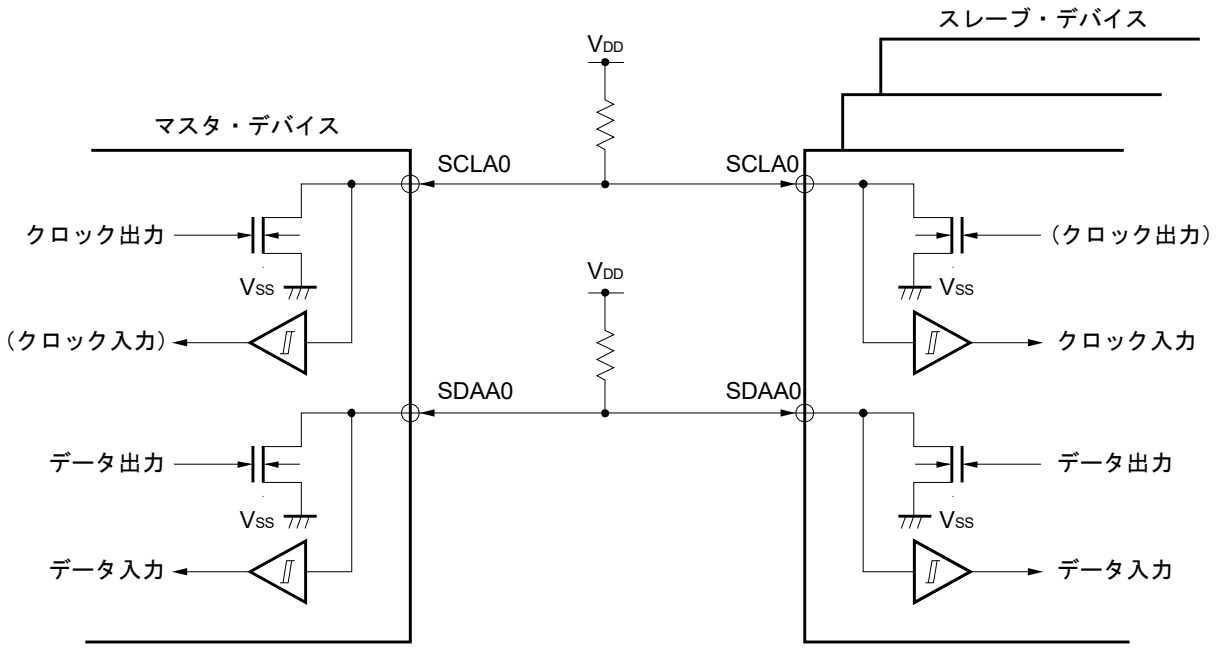
17.4.1　端子構成

シリアル・クロック端子（SCLA0）と，シリアル・データ・バス端子（SDAA0）の構成は，次のようになっています。

（1）SCLA0……シリアル・クロックを入出力するための端子。
　　マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。
（2）SDAA0……シリアル・データの入出力兼用端子。
　　マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレインのため，外部にプルアップ抵抗が必要となります。

図17－14　端子構成図



17. 4. 2　IICWL0, IICWH0レジスタによる転送クロック設定方法

（1）マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL + IICWH + f_{MCK}(t_R + t_F)}$$

このとき，最適なIICWL0レジスタとIICWH0レジスタの設定値は次のようになります。
（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$$IICWL0 = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH0 = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

・標準モード時

$$IICWL0 = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH0 = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

（2）スレーブ側のIICWL0, IICWH0レジスタ設定方法
（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$IICWL0 = 1.3\ \mu s \times f_{MCK}$

$IICWH0 = (1.2\ \mu s - t_R - t_F) \times f_{MCK}$

・標準モード時

$IICWL0 = 4.7\ \mu s \times f_{MCK}$

$IICWH0 = (5.3\ \mu s - t_R - t_F) \times f_{MCK}$

注意1. IICA動作クロック（f_{MCK}）の最高動作周波数は20 MHz（Max.）です。f_{CLK}が20 MHzを越える場合のみ，IICAコントロール・レジスタ01（IICCTL01）のビット0（PRS0）に"1"を設定してください。

2. 転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時　：f_{CLK} = 3.5 MHz（Min.）

標準モード時　：f_{CLK} = 1 MHz（Min.）

備考1. SDAA0, SCLA0信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）は，プルアップ抵抗と配線容量によって異なるため，各自で算出してください。

2. IICWL0　：IICAロウ・レベル幅設定レジスタ0

IICWH0　：IICAハイ・レベル幅設定レジスタ0

t_F　：SDAA0, SCLA0信号の立ち下がり時間

t_R　：SDAA0, SCLA0信号の立ち上がり時間

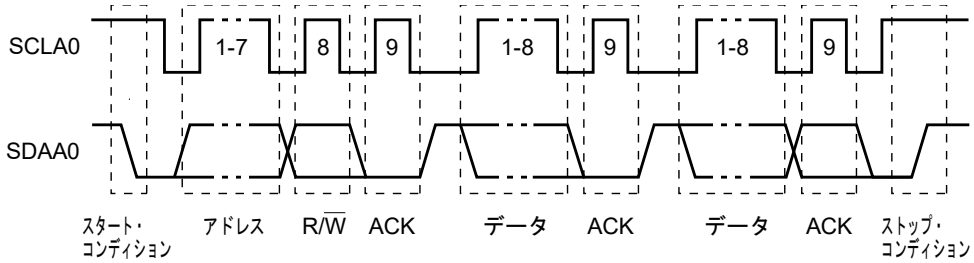
f_{MCK}　：IICA動作クロック周波数

17. 5　I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図17－15に示します。

図17－15　I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

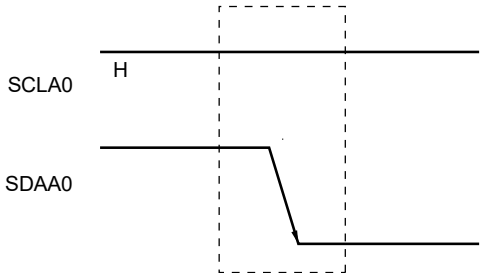
アクノリッジ（ACK）は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLA0）は，マスタが出力し続けます。ただし，スレーブはSCLA0端子のロウ・レベル期間を延長し，クロック・ストレッチを挿入できます。

17. 5. 1　スタート・コンディション

SCLA0端子がハイ・レベルのときに，SDAA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLA0端子，SDAA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図17－16　スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPD0：IICAステータス・レジスタ0（IICS0）のビット0 = 1）のときにIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICS0レジスタのビット1（STD0）がセット（1）されます。

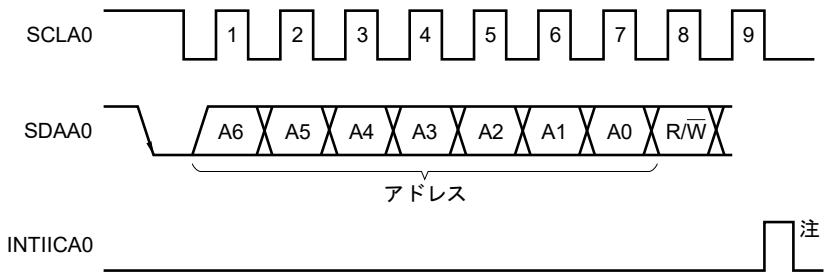
17. 5. 2　アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する7ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアでこの条件を検出し，さらに，7ビット・データがスレーブ・アドレス・レジスタ0（SVA0）と一致しているかを調べます。このとき，7ビット・データとSVA0レジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図17－17　アドレス



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICA0は発生しません。

アドレスは，スレーブのアドレスと17. 5. 3　転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタ0（IICA0）に書き込むと出力します。また，受信したアドレスはIICA0レジスタに書き込まれます。

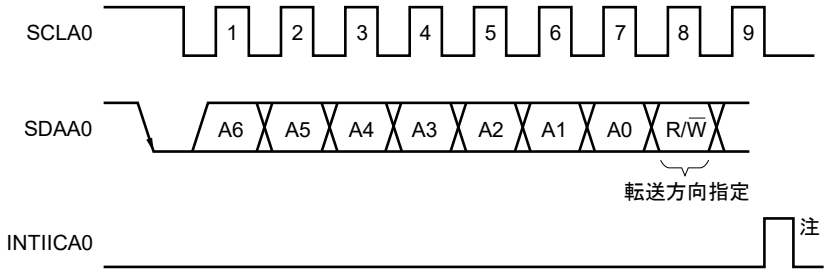
なお，スレーブのアドレスは，IICA0レジスタの上位7ビットに割り当てられます。

17. 5. 3　転送方向指定

マスタは，7ビットのアドレスに続いて，転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが1のとき，マスタがスレーブからデータを受信することを示します。

図17－18　転送方向指定



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICA0は発生しません。

17. 5. 4　アクノリッジ（ACK）

アクノリッジ（ACK）によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICAステータス・レジスタ0（IICS0）のビット2（ACKD0）で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを出力し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

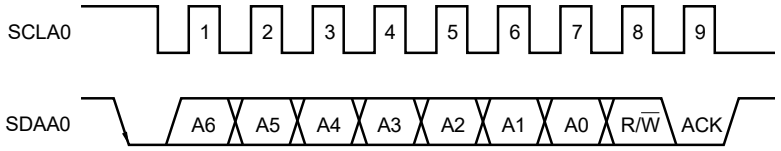
アクノリッジ生成は，受信側が9クロック目にSDAA0ラインをロウ・レベルにすることによって行われます（正常受信）。

IICAコントロール・レジスタ00（IICCTL00）のビット2（ACKE0）をセット（1）することによって，アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICS0レジスタのビット3（TRC0）が設定されます。受信（TRC0 = 0）の場合は，通常，ACKE0ビットをセット（1）してください。

スレーブ受信動作時（TRC0 = 0）にデータを受信できなくなったとき，または次のデータを必要としないときには，ACKE0ビットをクリア（0）し，マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRC0 = 0）に，次のデータを必要としない場合，アクノリッジを生成しないようにACKE0ビットをクリア（0）してください。これによって，スレーブ送信側にデータの終わりを知らせます（送信停止）。

図17－19　アクノリッジ



自局アドレス受信時は，ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません（NACK）。

拡張コード受信時は，あらかじめACKE0ビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，クロック・ストレッチ・タイミングの設定により次のように異なります。

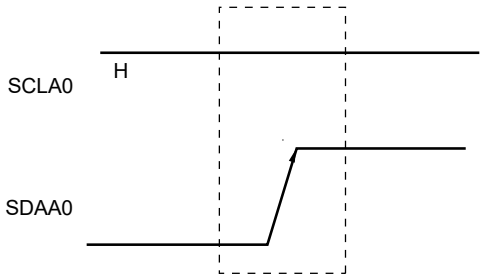
・8クロック・クロック・ストレッチ選択時（IICCTL00レジスタのビット3（WTIM0）　= 0）：
　クロック・ストレッチ解除を行う前にACKE0ビットをセット（1）することによって，SCLA0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
・9クロック・クロック・ストレッチ選択時（IICCTL00レジスタのビット3（WTIM0）　= 1）：
　あらかじめACKE0ビットをセット（1）することによって，アクノリッジを生成します。

17. 5. 5　ストップ・コンディション

SCLA0端子がハイ・レベルのときに，SDAA0端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図17－20　ストップ・コンディション



ストップ・コンディションは，IICAコントロール・レジスタ00（IICCTL00）のビット0（SPT0）をセット（1）すると発生します。また，ストップ・コンディションを検出するとIICAステータス・レジスタ0（IICS0）のビット0（SPD0）がセット（1）され，IICCTL00レジスタのビット4（SPIE0）がセット（1）されている場合にはINTIICA0が発生します。

17. 5. 6　クロック・ストレッチ

クロック・ストレッチによっては，マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLA0端子をロウ・レベルにすることにより，相手にクロック・ストレッチ状態を知らせます。マスタ，スレーブ両方のクロック・ストレッチ状態が解除されると，次の転送を開始できます。

図17－21　クロック・ストレッチ（1/2）

（1）マスタは9クロック・クロック・ストレッチ，スレーブは8クロック・クロック・ストレッチ時
（マスタ：送信，スレーブ：受信，ACKE0 = 1）

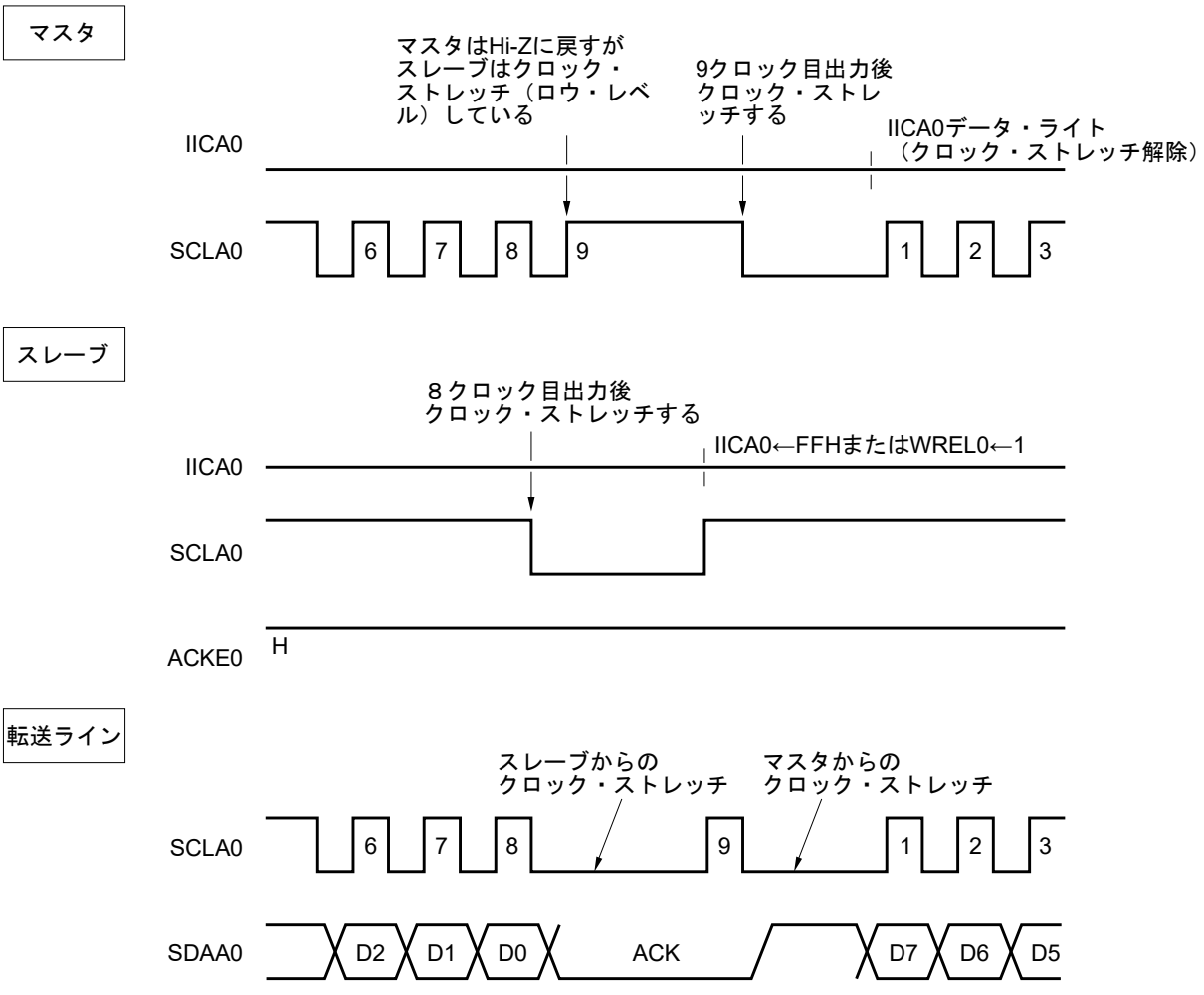
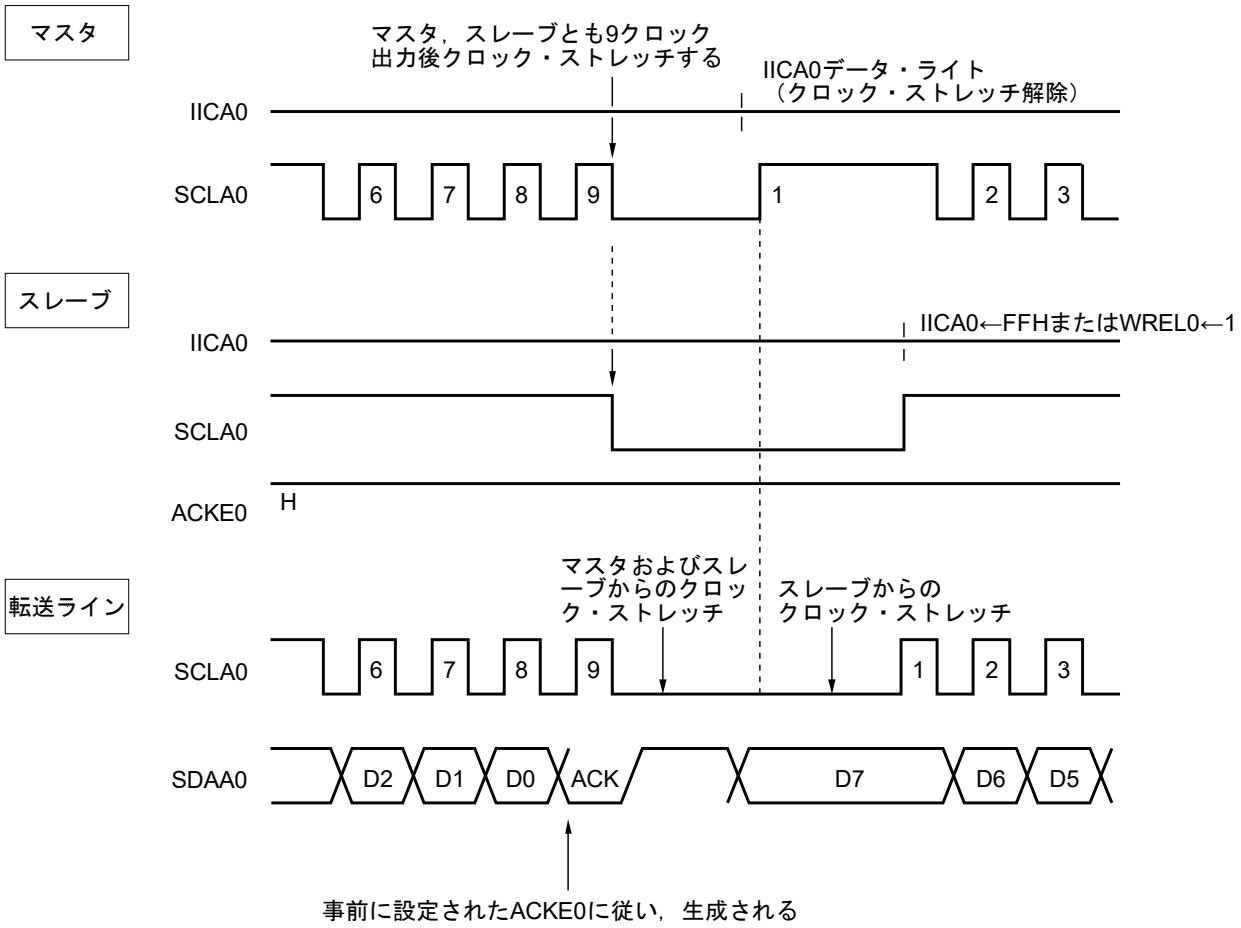


図17－21　クロック・ストレッチ（2/2）

（2）マスタ，スレーブとも9クロック・クロック・ストレッチ時

（マスタ：送信，スレーブ：受信，ACKE0 = 1）



備考　ACKE0　：IICAコントロール・レジスタ00（IICCTL00）のビット2

WREL0　：　　〃　　のビット5

クロック・ストレッチは，IICAコントロール・レジスタ00（IICCTL00）のビット3（WTIM0）の設定により自動的に発生します。

通常，受信側はIICCTL00レジスタのビット5（WREL0ビット）＝1またはIICAシフト・レジスタ0（IICA0）にFFHを書き込むとクロック・ストレッチを解除し，送信側はIICA0レジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は，次の方法でもクロック・ストレッチを解除できます。

・IICCTL00レジスタのビット1（STT0）＝1

・IICCTL00レジスタのビット0（SPT0）＝1

17. 5. 7　クロック・ストレッチ解除方法

I²Cでは，通常，次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタ0（IICA0）へのデータ書き込み
- IICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）のセット（クロック・ストレッチ解除）
- IICCTL00レジスタのビット1（STT0）のセット（スタート・コンディションの生成）注
- IICCTL00レジスタのビット0（SPT0）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合，I²Cはクロック・ストレッチを解除し，通信が再開されます。

クロック・ストレッチを解除してデータ（アドレスを含む）を送信する場合には，IICA0レジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合，またはデータ送信を完了する場合には，IICCTL00レジスタのビット5（WREL0）をセット（1）してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には，IICCTL00レジスタのビット1（STT0）をセット（1）してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には，IICCTL00レジスタのビット0（SPT0）をセット（1）してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば，WREL0ビットにセット（1）によるクロック・ストレッチ解除後，IICA0レジスタへのデータ書き込みを実施した場合には，SDAA0ラインの変化タイミングとIICA0レジスタへの書き込みタイミングの競合により，SDAA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICE0ビットをクリア（0）すると通信を停止するので，クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には，IICCTL00レジスタのビット6（LREL0）をセット（1）すると通信から退避するので，クロック・ストレッチを解除できます。

注意　WUP0 = 1のときにクロック・ストレッチ解除処理を実行した場合，クロック・ストレッチは解除されません。

17. 5. 8　割り込み要求（INTIICA0）発生タイミングおよびクロック・ストレッチ制御

IICAコントロール・レジスタ00（IICCTL00）のビット3（WTIM0）の設定で，表17－2に示すタイミングでINTIICA0が発生し，また，クロック・ストレッチ制御を行います。

表17－2　INTIICA0発生タイミングおよびクロック・ストレッチ制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1, 2	8注2	8注2	9	8	8
1	9注1, 2	9注2	9注2	9	9	9

注1. スレーブのINTIICA0信号およびクロック・ストレッチは，スレーブ・アドレス・レジスタ0（SVA0）に設定しているアドレスと一致したときにのみ，9クロック目の立ち下がりで発生します。
また，このとき，IICCTL00レジスタのビット2（ACKE0）の設定にかかわらず，アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICA0を発生します。
ただし，リスタート後にアドレス不一致になった場合には，9クロック目の立ち下がりでINTIICA0を発生しますが，クロック・ストレッチは発生しません。

2. スレーブ・アドレス・レジスタ0（SVA0）と受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIICA0もクロック・ストレッチも発生しません。

備考　表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

（1）アドレス送受信時

・スレーブ動作時：WTIM0ビットにかかわらず，上記の注1, 2の条件により，割り込みおよびクロック・ストレッチ・タイミングが決まります。
・マスタ動作時　：WTIM0ビットにかかわらず，割り込みおよびクロック・ストレッチ・タイミングは，9クロック目の立ち下がりで発生します。

（2）データ受信時

・マスタ／スレーブ動作時：WTIM0ビットにより，割り込みおよびクロック・ストレッチ・タイミングが決まります。

（3）データ送信時

・マスタ／スレーブ動作時：WTIM0ビットにより，割り込みおよびクロック・ストレッチ・タイミングが決まります。

（4）クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

・IICAシフト・レジスタ0（IICA0）へのデータ書き込み
・IICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）のセット（クロック・ストレッチ解除）
・IICCTL00レジスタのビット1（STT0）のセット（スタート・コンディションの生成）注
・IICCTL00レジスタのビット0（SPT0）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

8クロック・クロック・ストレッチ選択（WTIM0 = 0）時は，クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

（5）ストップ・コンディション検出

INTIICA0は，ストップ・コンディションを検出すると発生します（SPIE0 = 1のときのみ）。

17. 5. 9　アドレスの一致検出方法

I²Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致は，ハードウエアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ0（SVA0）に設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIICA0割り込み要求が発生します。

17. 5. 10　エラーの検出

I²Cバス・モードでは，送信中のシリアル・バス（SDAA0）の状態が，送信しているデバイスのIICAシフト・レジスタ0（IICA0）にも取り込まれるため，送信開始前と送信終了後のIICAデータを比較することにより，送信エラーを検出できます。この場合，2つのデータが異なっていれば送信エラーが発生したものと判断します。

17. 5. 11　拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として，拡張コード受信フラグ（EXC0）をセット（1）し，8クロック目の立ち下がりで割り込み要求（INTIICA0）を発生します。
スレーブ・アドレス・レジスタ0（SVA0）に格納された自局アドレスは影響しません。

(2) SVA0レジスタに“11110xx0”を設定されているときに，10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は，次のようになります。ただし割り込み要求（INTIICA0）は，8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致 ：EXC0 = 1
・7ビット・データの一致　　：COI0 = 1

備考　EXC0　　：IICAステータス・レジスタ0（IICS0）のビット5
　　COI0　　：　　〃　　のビット4

(3) 割り込み要求発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウエアで行います。
スレーブ動作時に，拡張コードを受信した場合は，アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICAコントロール・レジスタ00（IICCTL00）のビット6（LREL0）　= 1に設定してください。次の通信待機状態にします。

表17－3　主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説　　明
0000　000	0	ジェネラル・コール・アドレス
1111　0xx	0	10ビット・スレーブ・アドレス指定（アドレス認証時）
1111　0xx	1	10ビット・スレーブ・アドレス指定（アドレス一致後、リード・コマンド発行時）

備考　上記以外の拡張コードについては，NXP社発行のI^2Cバスの仕様書を参照してください。

17. 5. 12　アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（STD0 = 1になる前にSTT0 = 1にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IICAステータス・レジスタ0（IICS0）のアービトレーション負けフラグ（ALD0）をセット（1）し，SCLA0, SDAA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウエアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては，17. 5. 8　割り込み要求（INTIICA0）の発生タイミングおよびクロック・ストレッチ制御を参照してください。

備考　STD0　：IICAステータス・レジスタ0（IICS0）のビット1
　　STT0　：IICAコントロール・レジスタ00（IICCTL00）のビット1

図17－22　アービトレーション・タイミング例

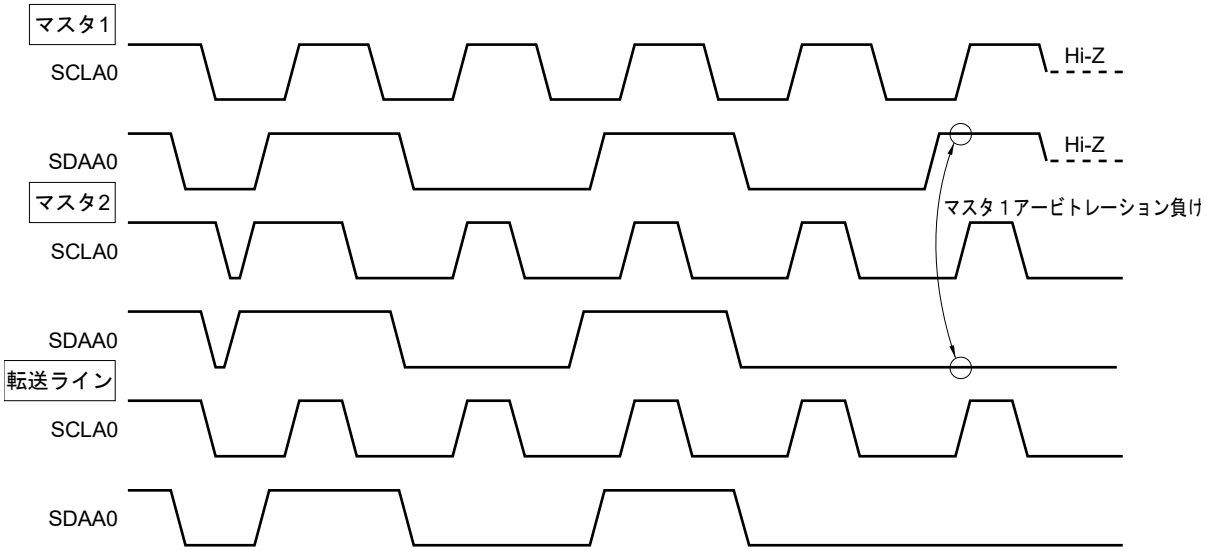


表17－4　アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中，リスタート・コンディション検出	
データ転送中，ストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1時）注2
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1時）注2
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCLA0がロウ・レベル	

注1.　WTIM0ビット（IICAコントロール・レジスタ00（IICCTL00）のビット3）= 1の場合には，9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には，8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2.　アービトレーションが起こる可能性がある場合，マスタ動作ではSPIE0 = 1に設定してください。

備考　SPIE0：IICAコントロール・レジスタ00（IICCTL00）のビット 4

17. 5. 13　ウエイク・アップ機能

I²Cのスレーブ機能で，自局アドレスと拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生する機能です。

アドレスが一致しないときは不要なINTIICA0信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウエイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウエイク・アップ待機状態になります。

STOPモード状態時にウエイク・アップ機能を使用する場合には，WUP0 = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も，自局アドレスおよび拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生します。この割り込み発生後に命令でWUP0ビットをクリア（0）することで通常動作に戻ります。

WUP0 = 1に設定する場合のフローを図17－23に，アドレス一致によりWUP0 = 0に設定する場合のフローを図17－24に示します。

図17－23　WUP0 = 1を設定する場合のフロー

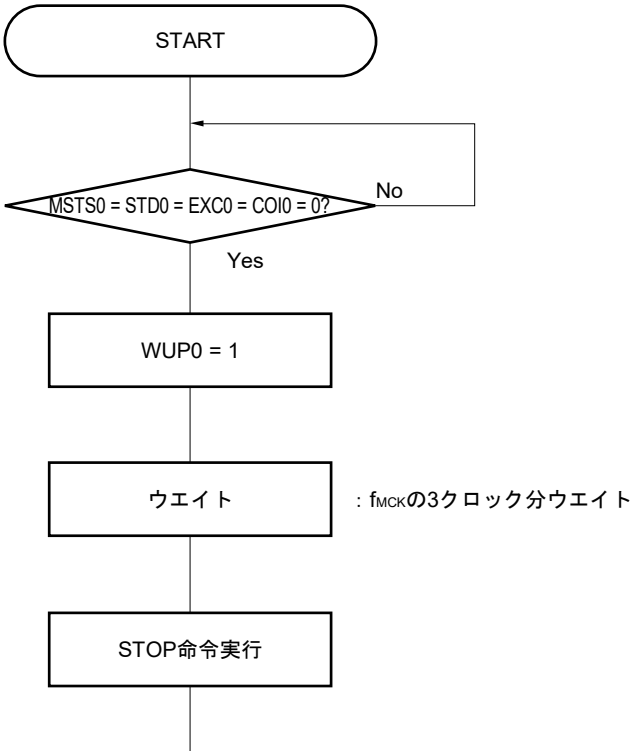
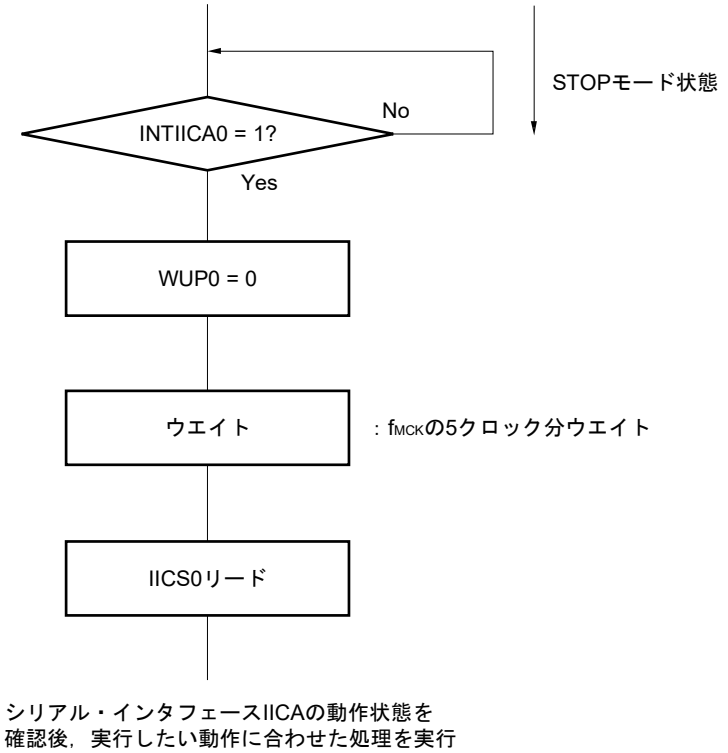


図17－24　アドレス一致によりWUP0 = 0に設定する場合のフロー（拡張コード受信含む）



また，シリアル・インタフェースIICAからの割り込み要求（INTIICA0）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

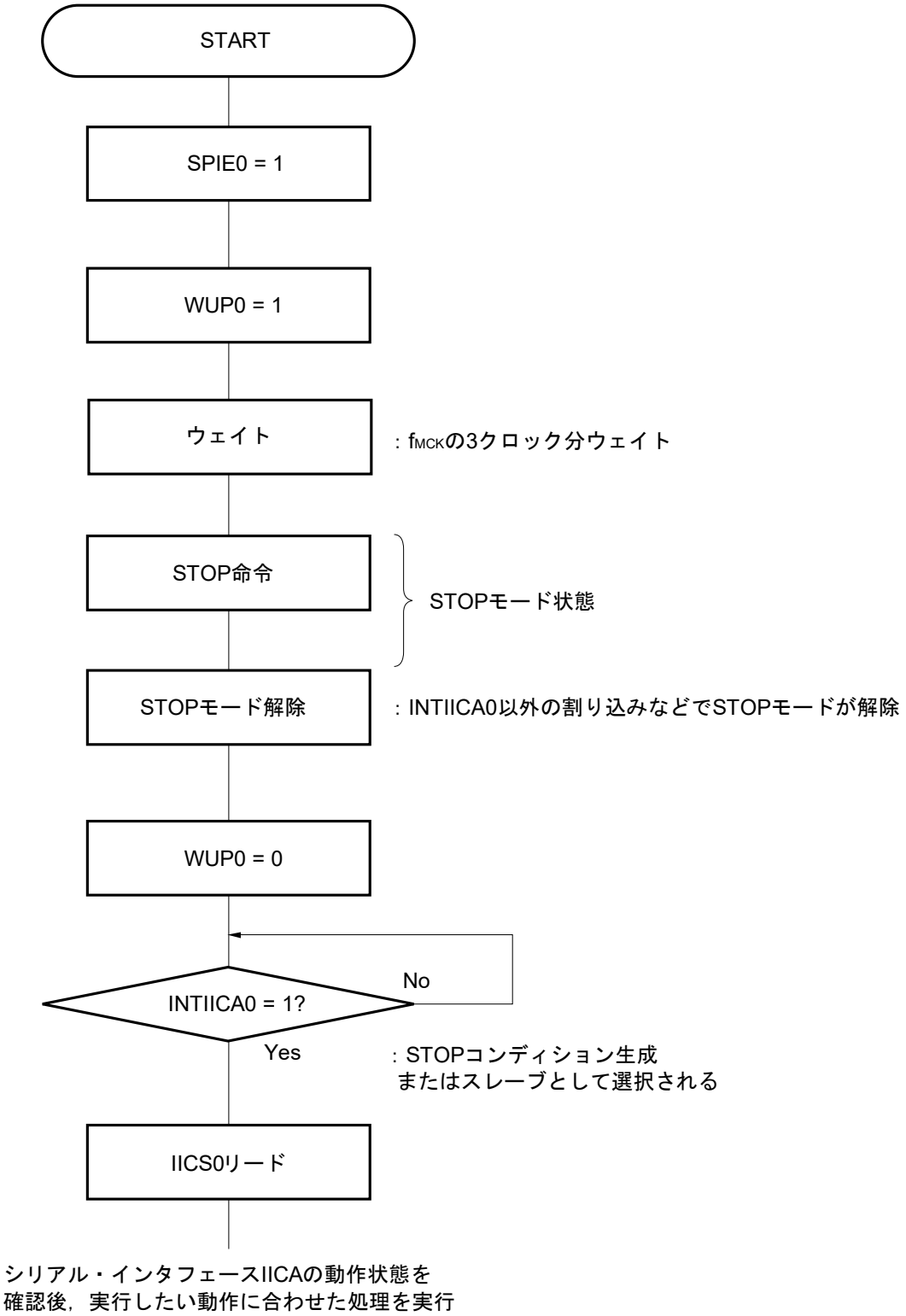
・次のIIC通信をマスタとして動作させる場合　：図17－25のフロー

・次のIIC通信をスレーブとして動作させる場合：

INTIICA0割り込みで復帰した場合：図17－24のフローと同じになります。

INTIICA0割り込み以外の割り込みで復帰した場合：WUP0=1のままINTIICA0割り込みを待ってください。

図17－25　INTIICA0以外でSTOPモードが解除後にマスタとして動作させる場合



17. 5. 14　通信予約

（1）通信予約機能許可の場合（IICAフラグ・レジスタ0（IICF0）のビット0（IICRSV0）　= 0）

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICAコントロール・レジスタ00（IICCTL00）のビット6（LREL0）　= 1で通信退避してバスを解放した）とき

バスに不参加の状態で，IICCTL00レジスタのビット1（STT0）をセット（1）すると，バスが解放されたあと（ストップ・コンディション検出時）に，自動的にスタート・コンディションを生成し，ウエイト状態になります。

IICCTL00レジスタのビット4（SPIE0）をセット（1）し，割り込み要求信号（INTIICA0）発生でバスの解放を検出（ストップ・コンディション検出）したあと，IICAシフト・レジスタ0（IICA0）にアドレスを書き込むと，自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に，IICA0レジスタに書き込まれたデータは，無効です。

STT0ビットをセット（1）したとき，スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

・バスが解放されているとき……スタート・コンディション生成
・バスが解放されていないとき（待機状態）……通信予約

通信予約として動作するのかどうかは，STT0ビットをセット（1）し，ウエイト時間をとったあと，MSTS0ビット（IICAステータス・レジスタ0（IICS0）のビット7）で確認します。

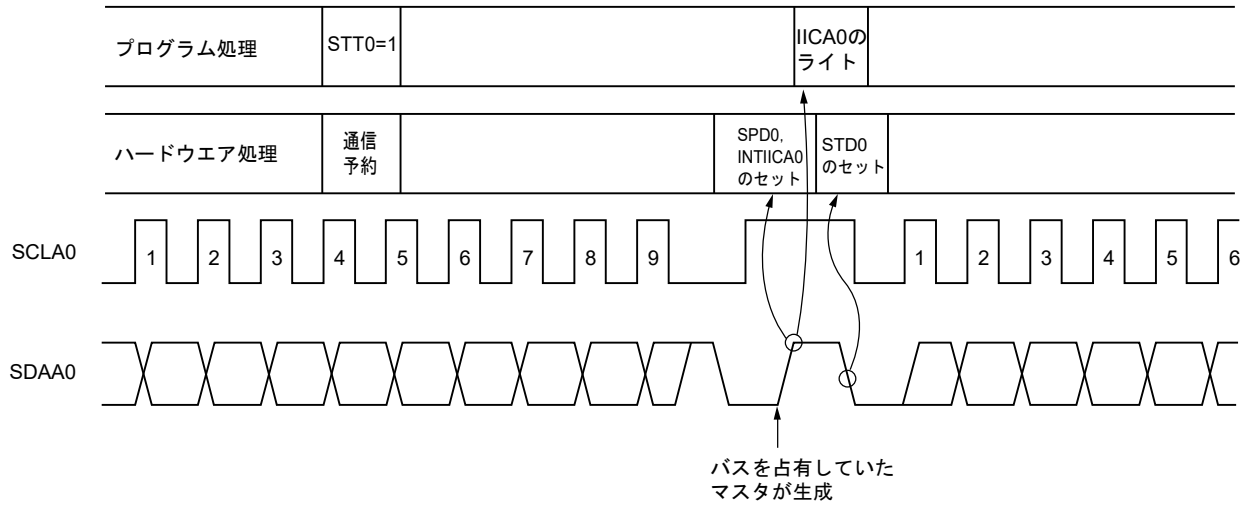
ウエイト時間は，次の式から算出した時間をソフトウエアにより確保してください。

STT0 = 1からMSTS0フラグ確認までのウエイト時間： （IICWL0の設定値＋IICWH0の設定値＋4）＋t_F×2×f_{MCK}［クロック］

備考　IICWL0　：IICAロウ・レベル幅設定レジスタ0
IICWH0　：IICAハイ・レベル幅設定レジスタ0
t_F　：SDAA0, SCLA0信号の立ち下がり時間
f_{MCK}　：：IICA動作クロック周波数

通信予約のタイミングを図17－26に示します。

図17－26　通信予約のタイミング



備考　IICA0 ：IICAシフト・レジスタ0

STT0 ：IICAコントロール・レジスタ00（IICCTL00）のビット1

STD0 ：IICAステータス・レジスタ0（IICS0）のビット1

SPD0 ：　　〃　　のビット0

通信予約は図17－27に示すタイミングで受け付けられます。IICAステータス・レジスタ0（IICS0）のビット1（STD0） = 1になったあと，ストップ・コンディション検出までにIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0） = 1で通信予約をします。

図17－27　通信予約受け付けタイミング

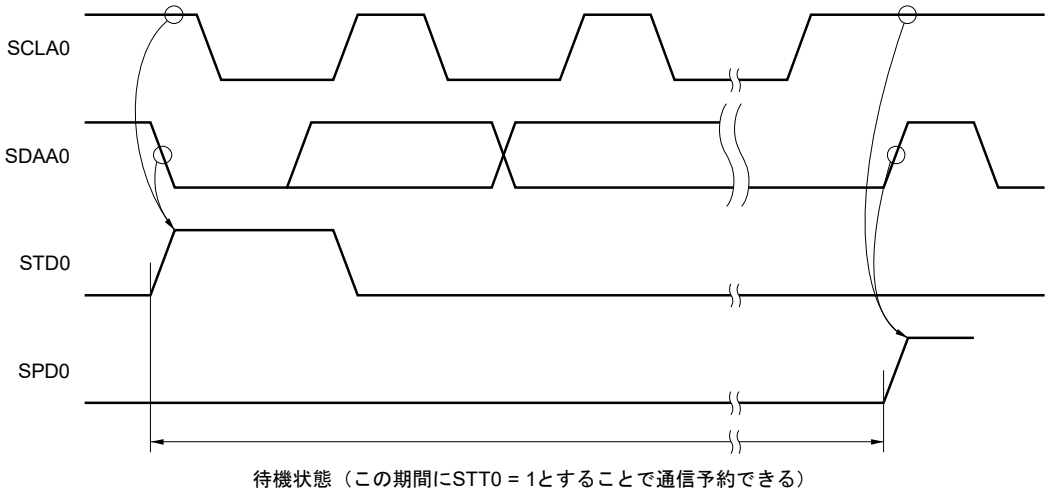
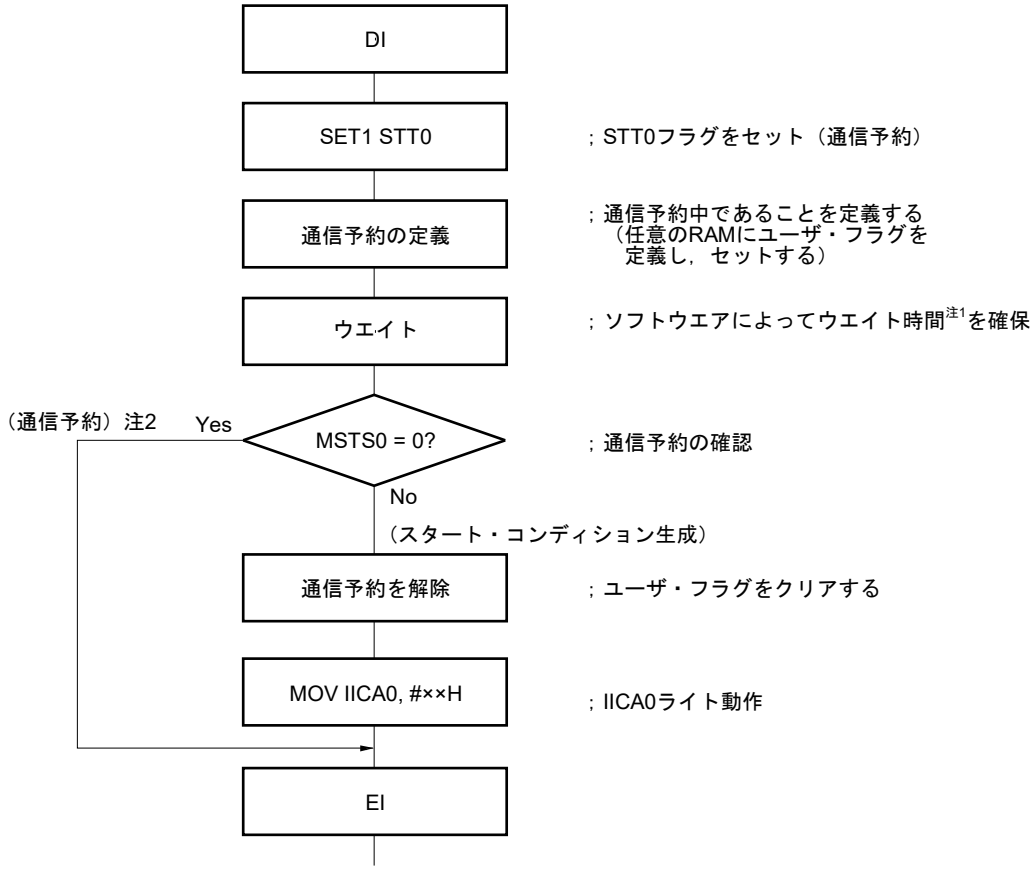


図17－28に通信予約の手順を示します。

図17－28　通信予約の手順



注1.　ウエイト時間は次のようになります。

（IICWL0の設定値＋IICWH0の設定値＋4）＋t_F×2×f_{MCK}［クロック］

2.　通信予約動作時は，ストップ・コンディション割り込み要求でIICAシフト・レジスタ0（IICA0）への書き込みを実行します。

備考　STT0　：IICAコントロール・レジスタ00（IICCTL00）のビット1

MSTS0：IICAステータス・レジスタ0（IICS0）のビット7

IICA0　：IICAシフト・レジスタ0

IICWL0：IICAロウ・レベル幅設定レジスタ0

IICWH0：IICAハイ・レベル幅設定レジスタ0

t_F　：SDAA0, SCLA0信号の立ち下がり時間

f_{MCK}　：IICA動作クロック周波数

（2）通信予約機能禁止の場合（IICAフラグ・レジスタ0（IICF0）のビット0（IICRSV0）　= 1）

バスが通信中で，この通信に不参加の状態でIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0）をセット（1）すると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICCTL00レジスタのビット6（LREL0）　= 1で通信退避してバスを解放した）とき。

スタート・コンディションが生成されたかまたは拒絶されたかは，STCF0（IICF0レジスタのビット7）で確認できます。STT0 = 1としてからSTCF0がセット（1）されるまでf_{MCK}の5クロックの時間がかかりますので，ソフトウエアによりこの時間を確保してください。

17. 5. 15　その他の注意事項

（1）　STCEN0 = 0の場合

I²C動作許可（IICE0 = 1）直後，実際のバス状態にかかわらず通信状態（IICBSY0 = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。

マルチマスタでは，バスが解放されていない（ストップ・コンディションを検出していない）状態では，マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

① IICAコントロール・レジスタ01（IICCTL01）を設定する
② IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）をセット（1）する
③ IICCTL00レジスタのビット0（SPT0）をセット（1）する

（2）　STCEN0 = 1の場合

I²C動作許可（IICE0 = 1）直後，実際のバス状態にかかわらず解放状態（IICBSY0 = 0）と認識しますので，1回目のスタート・コンディションを生成（STT0 = 1）する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

（3）　すでに他者との間でI²C通信が行われている場合

SDAA0端子がロウ・レベルで，かつSCLA0端子がハイ・レベルのときに，I²C動作を許可して通信に途中参加すると，I²CのマクロはSDAA0端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合は，アクノリッジを返し，他者との間のI²C通信を妨害してしまいます。これを回避するために，次の順番でI²Cを起動してください。

① IICCTL00レジスタのビット4（SPIE0）をクリア（0）し，ストップ・コンディション検出による割り込み要求信号（INTIICA0）発生を禁止する
② IICCTL00レジスタのビット7（IICE0）をセット（1）し，I²Cの動作を許可する
③ スタート・コンディションを検出するまで待つ
④ アクノリッジを返すまで（IICE0ビットをセット（1）してから，f_{MCK}の4～72クロック中）に，IICCTL00レジスタのビット6（LREL0）をセット（1）にし，強制的に検出を無効とする

（4）　STT0, SPT0ビット（IICCTL00レジスタのビット1, 0）をセットしたあと，クリア（0）される前の再セットは禁止します。

（5）　送信予約をした場合には，SPIE0ビット（IICCTL00レジスタのビット4）をセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に，IICAシフト・レジスタ0（IICA0）に通信データを書き込むことによって，転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウエイト状態で停止します。ただし，ソフトウエアでMSTS0ビット（IICAステータス・レジスタ0（IICS0）のビット7）を検出する場合には，SPIE0ビットをセット（1）する必要はありません。

17. 5. 16　通信動作

ここでは，次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで，マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し，スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I^2Cバスのマルチマスタ・システムでは，通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI^2Cバスの仕様だけでは判断できません。ここでは，一定（1フレーム）期間，データとクロックがハイ・レベルであれば，バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」，「通信待ち」，「通信処理」に分かれています。ここでは，アービトレーションで負けてスレーブに指定された場合の処理は省略し，マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で，マスタとしての通信要求，またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で，スレーブとのデータ送受信以外に，ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

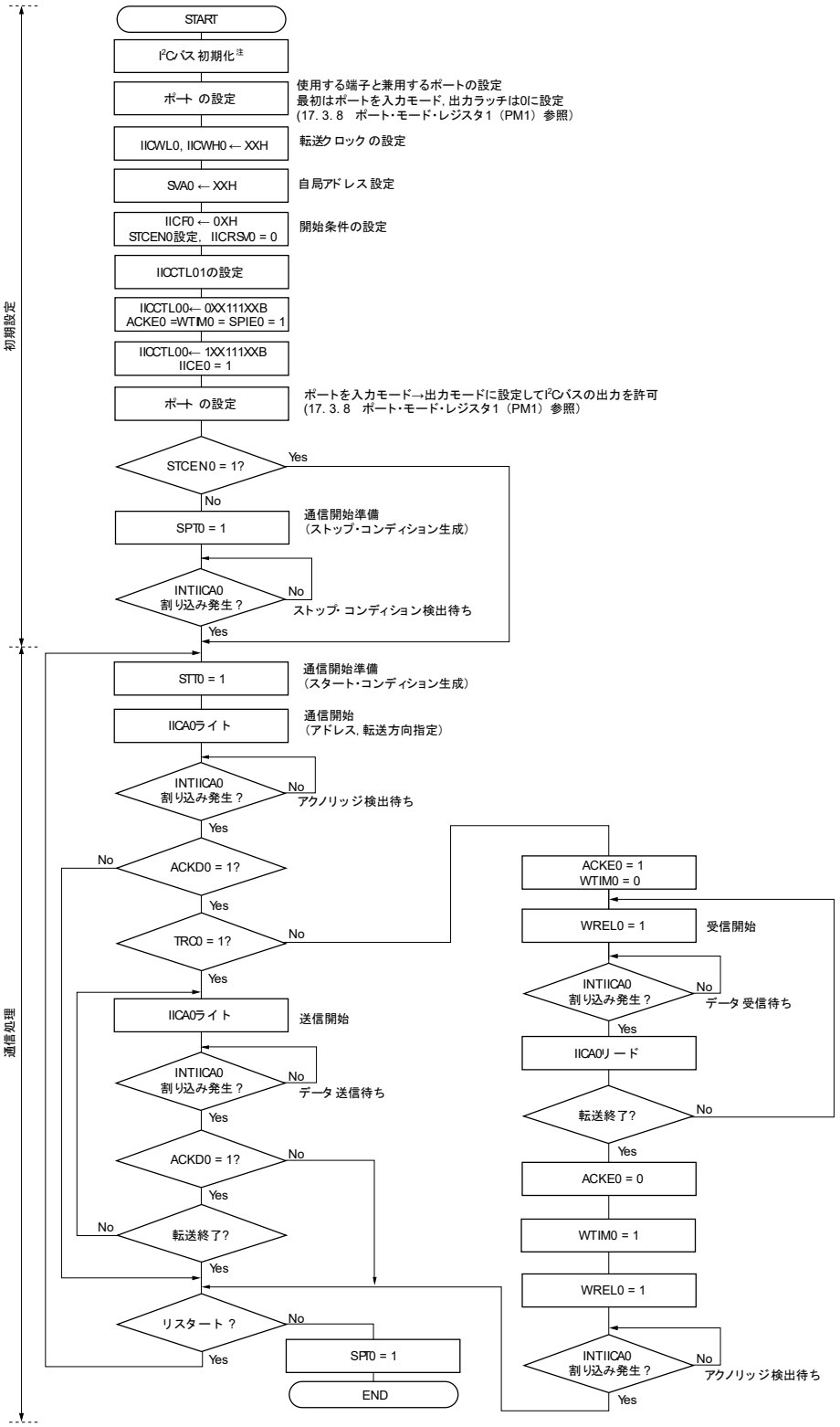
I^2Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には，割り込みによって動作を開始します。起動時に「初期設定」部分を実行し，そのあとは通信待ちでINTIICA0割り込みの発生を待ちます。INTIICA0割り込みが発生すると，通信状態を判定し，フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより，必要な「通信処理」を行います。

（1）シングルマスタ・システムでのマスタ動作

図17－29　シングルマスタ・システムでのマスタ動作

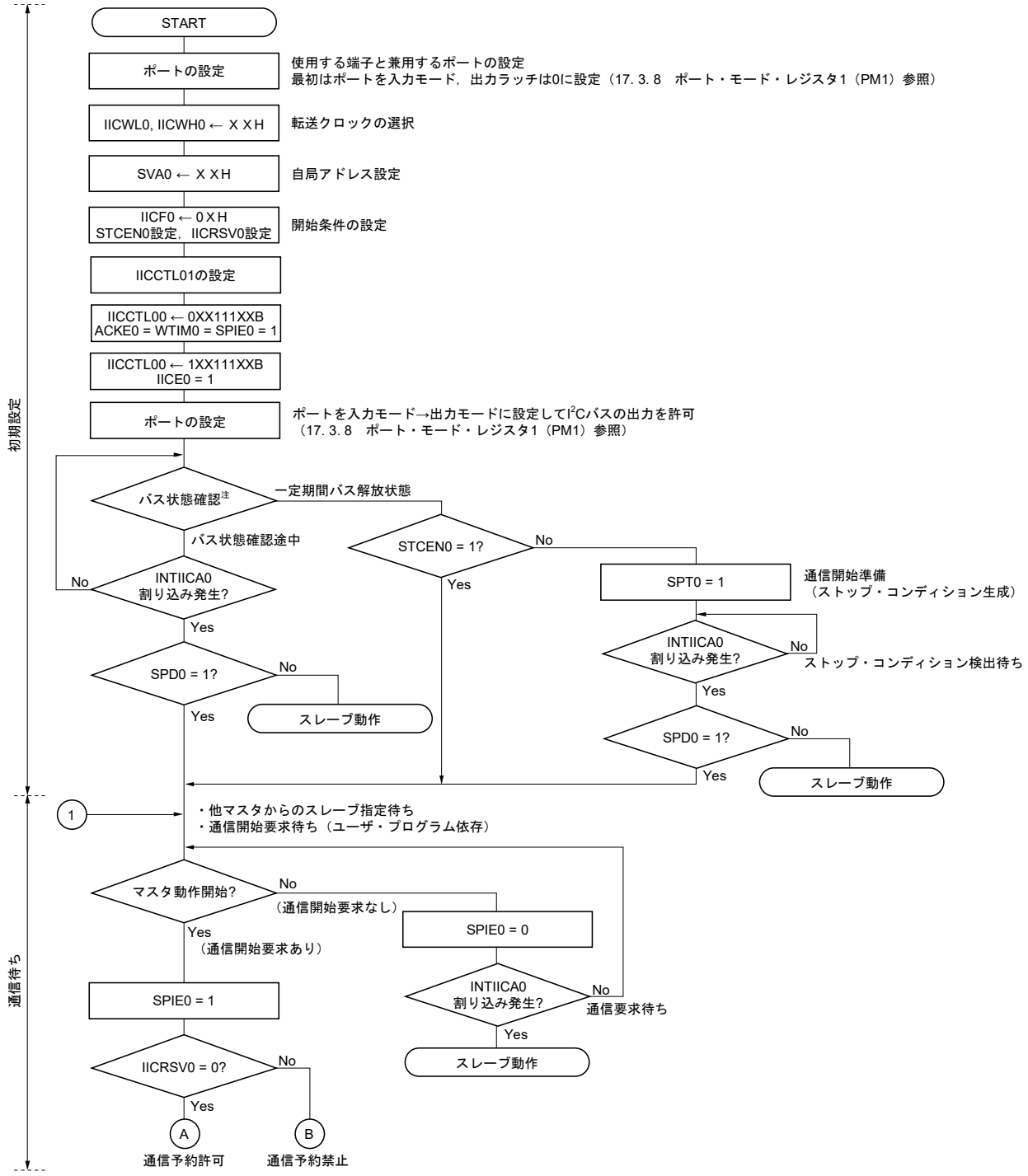


注　通信している製品の仕様に準拠し，I²Cバスを解放（SCLA0, SDAA0端子 = ハイ・レベル）してください。たとえば，EEPROMがSDAA0端子にロウ・レベルを出力した状態であれば，SCLA0端子を出力ポートに設定し，SDAA0端子が定常的にハイ・レベルになるまで，出力ポートからクロック・パルスを出力してください。

備考　送信および受信フォーマットは，通信している製品の仕様に準拠してください。

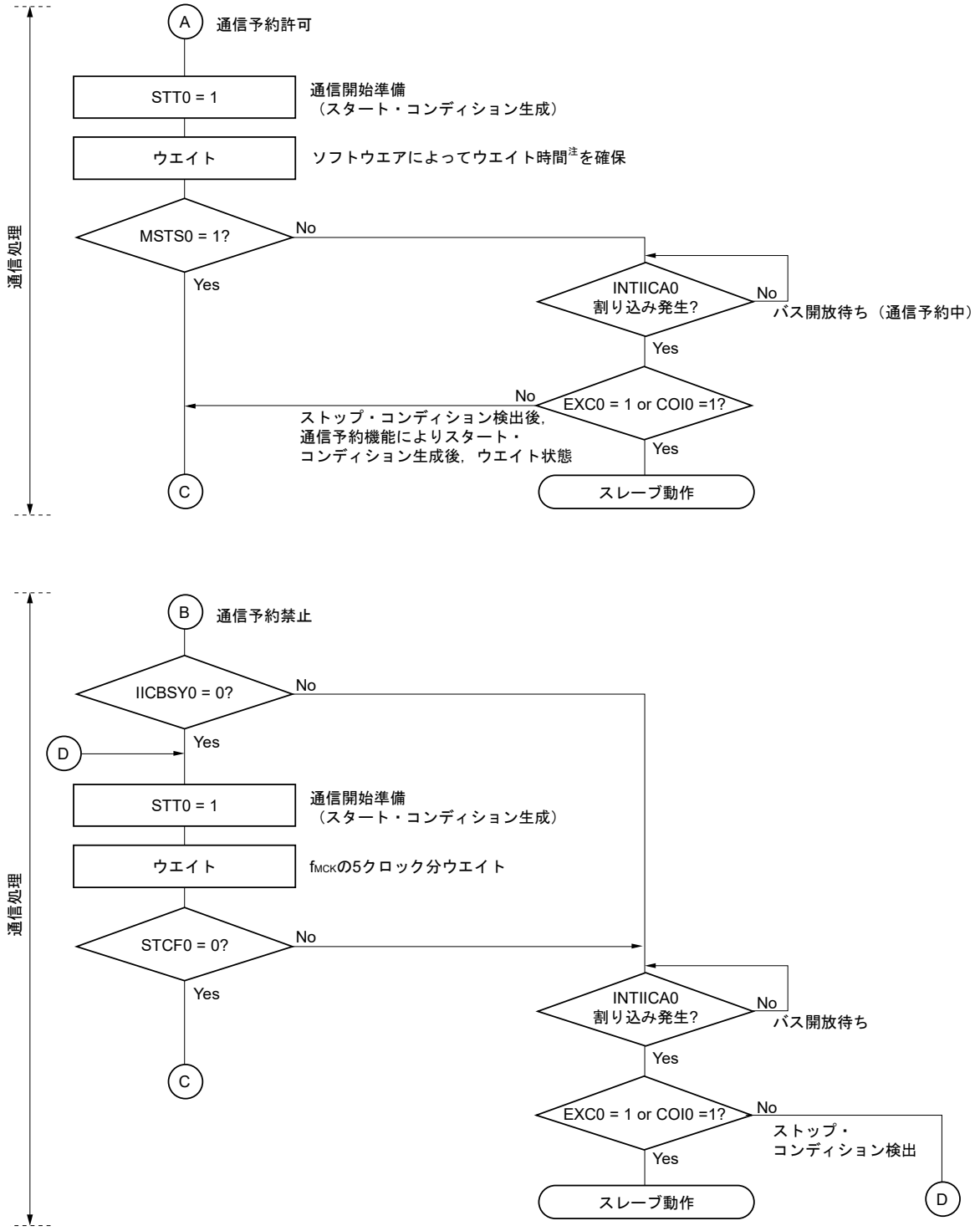
（2）マルチマスタ・システムでのマスタ動作

図17－30　マルチマスタ・システムでのマスタ動作（1/3）



注　一定期間（たとえば1フレーム分），バス解放状態（CLD0ビット = 1, DAD0ビット = 1）であることを確認してください。定常的にSDAA0端子がロウ・レベルの場合は，通信している製品の仕様に準拠し，I²Cバスを解放（SCLA0, SDAA0端子 = ハイ・レベル）するか判断してください。

図17－30　マルチマスタ・システムでのマスタ動作（2/3）



注　ウエイト時間は次のようになります。

（IICWL0の設定値＋IICWH0の設定値＋4）＋t_F×2×f_{MCK}［クロック］

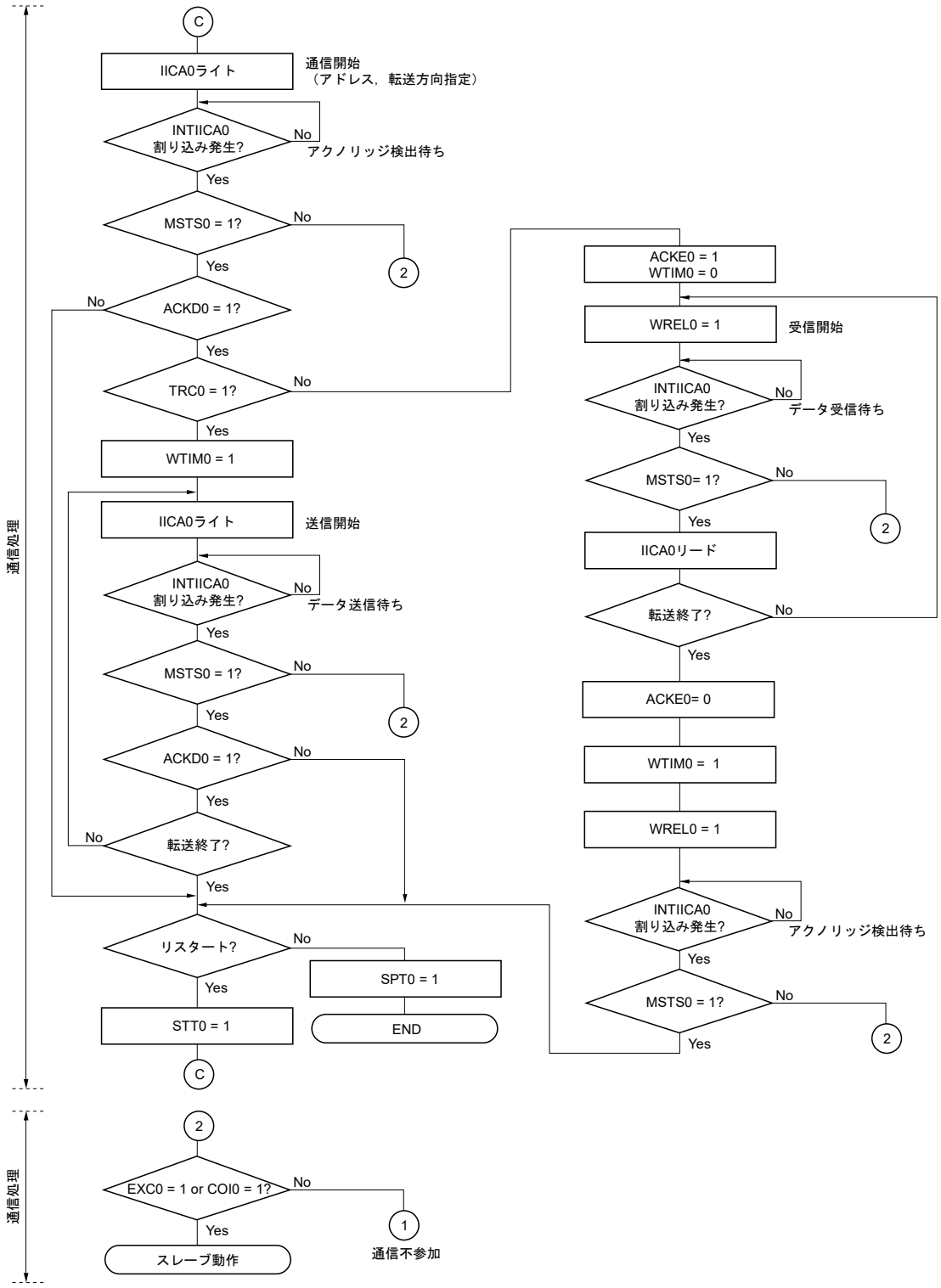
備考　IICWL0　：IICAロウ・レベル幅設定レジスタ0

IICWH0　：IICAハイ・レベル幅設定レジスタ0

t_F　：SDAA0, SCLA0信号の立ち下がり時間

f_{MCK}　：IICA動作クロック周波数

図17－30　マルチマスタ・システムでのマスタ動作（3/3）



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

2. マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

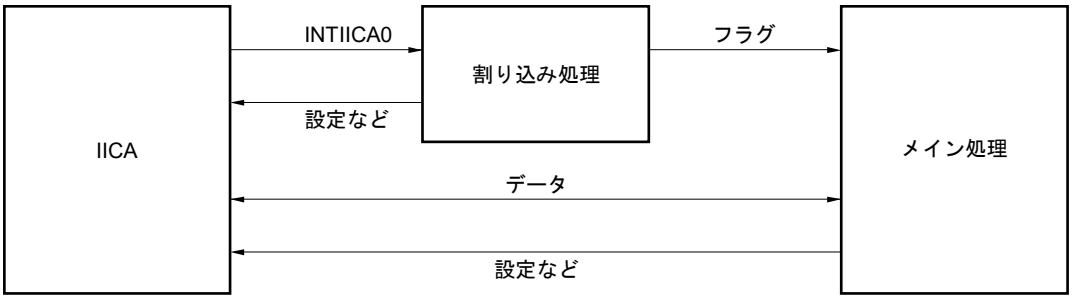
3. マルチマスタ・システムでスレーブとして使用する場合は，INTIICA0割り込み発生ごとにIICAステータス・レジスタ0（IICS0），IICAフラグ・レジスタ0（IICF0）でステータスを確認して次に行う処理を決定してください。

（3）スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このためINTIICA0割り込みによる処理（通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理）が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。またINTIICA0割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。



このため，次の3つのフラグを準備し，これをINTIICA0の代わりにメイン処理に渡すという方法で，データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

・クリア・モード：データ通信を行っていない状態

・通信モード　　：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICA0割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータでは，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRC0ビットの値と同じです。

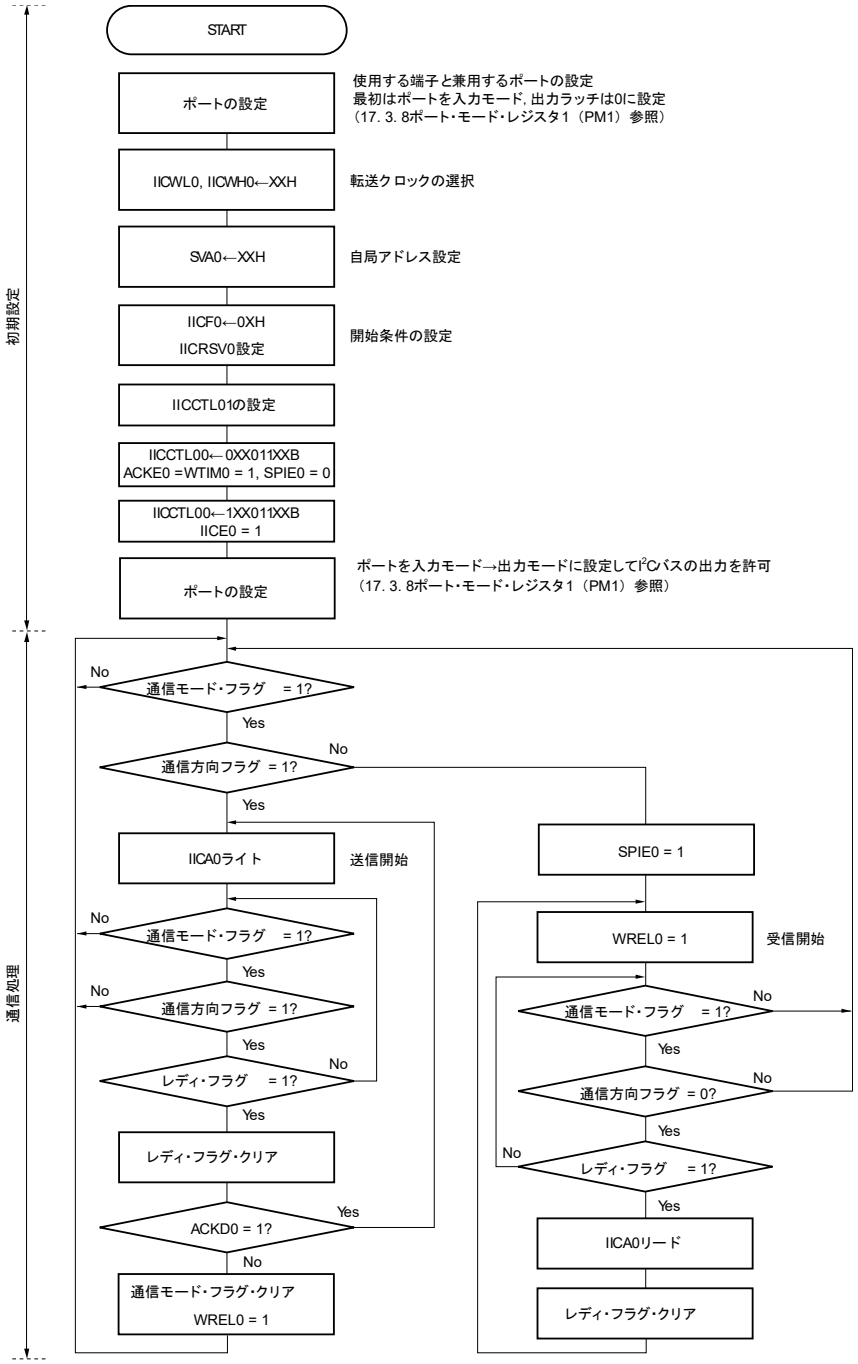
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し，通信完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより，通信状態から抜け出します。

図17－31　スレーブ動作手順（1）



備考　送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICA0割り込みではステータスを確認して，次のように行います。

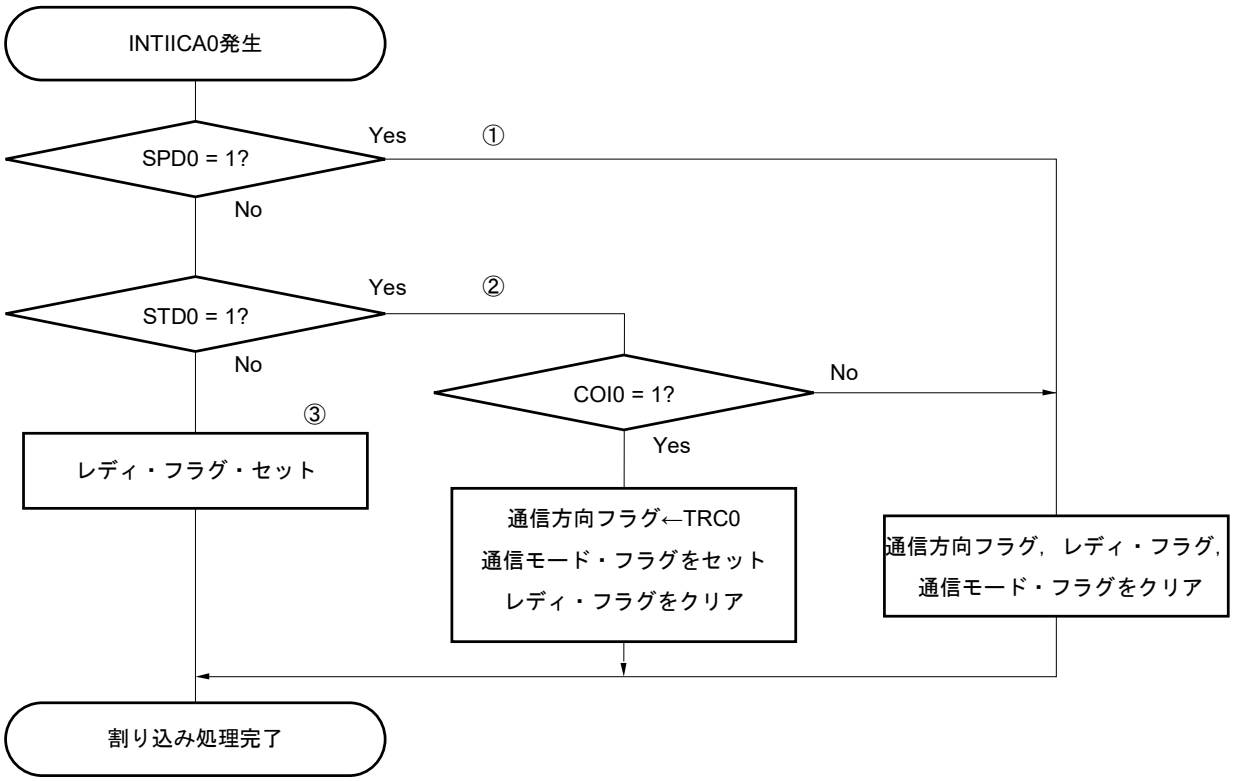
① ストップ・コンディションの場合，通信を終了します。

② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。アドレスが一致していれば，モードを通信モードに設定し，ウエイトを解除して，割り込みから戻ります（レディ・フラグはクリアする）。

③ データ送受信の場合，レディ・フラグをセットするだけで，I²Cバスはウエイト状態のまま，割り込みから戻ります。

備考　上述の①～③は，図17－32　スレーブ動作手順（2）の①～③と対応しています。

図17－32　スレーブ動作手順（2）



17. 5. 17　I²C割り込み要求（INTIICA0）の発生タイミング

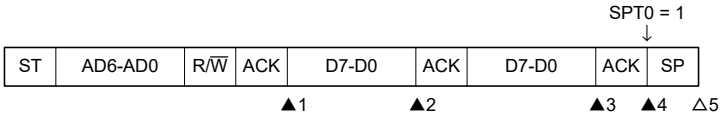
次に，データの送受信，INTIICA0割り込み要求信号発生タイミングと，INTIICA0信号タイミングでのIICAステータス・レジスタ0（IICS0）の値を示します。

備考　ST　　：スタート・コンディション
AD6-AD0　：アドレス
R/$\overline{W}$　　：転送方向指定
ACK　　：アクノリッジ
D7-D0　　：データ
SP　　：ストップ・コンディション

（1）マスタ動作

（a）Start～Address～Data～Data～Stop（送受信）

★　（i）WTIM0 = 0のとき



▲1：IICS0 = 1000X110B

▲2：IICS0 = 1000X000B

▲3：IICS0 = 1000X000B（WTIM0ビットをセット（1））注

▲4：IICS0 = 1000XX00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

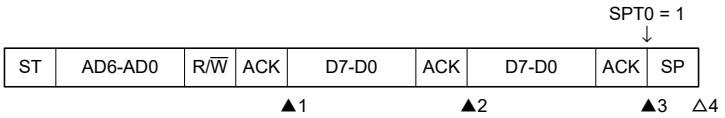
注　ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000X110B

▲2：IICS0 = 1000X100B

▲3：IICS0 = 1000XX00B（SPT0ビットをセット（1））

△4：IICS0 = 00000001B

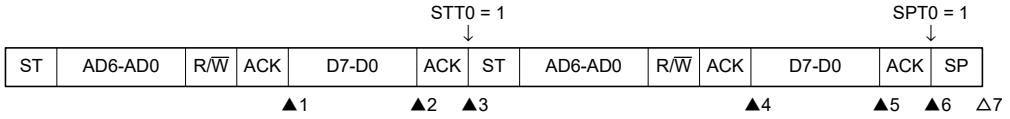
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（b）Start～Address～Data～Start～Address～Data～Stop（リスタート）

★　（i）WTIM0 = 0のとき



▲1：IICS0 = 1000X110B

▲2：IICS0 = 1000X000B（WTIM0ビットをセット（1）注1）

▲3：IICS0 = 1000XX00B（WTIM0ビットをクリア（0）注2，STT0ビットをセット（1））

▲4：IICS0 = 1000X110B

▲5：IICS0 = 1000X000B（WTIM0ビットをセット（1）注3）

▲6：IICS0 = 1000XX00B（SPT0ビットをセット（1））

△7：IICS0 = 00000001B

注1. スタート・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

2. 設定を元に戻すために，WTIM0ビットをクリア（0）してください。

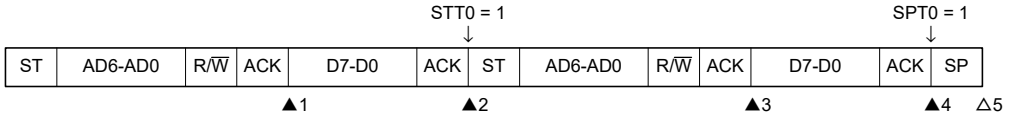
3. ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000X110B

▲2：IICS0 = 1000XX00B（STT0ビットをセット（1））

▲3：IICS0 = 1000X110B

▲4：IICS0 = 1000XX00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（c）Start～Code～Data～Data～Stop（拡張コード送信）

★　（i）WTIM0 = 0のとき

▲1：IICS0 = 1010X110B

▲2：IICS0 = 1010X000B

▲3：IICS0 = 1010X000B（WTIM0ビットをセット（1）注）

▲4：IICS0 = 1010XX00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

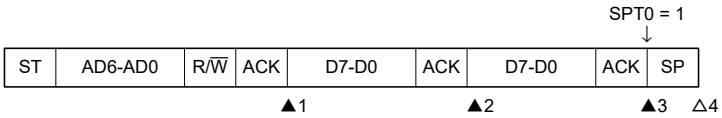
注　ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき



▲1：IICS0 = 1010X110B

▲2：IICS0 = 1010X100B

▲3：IICS0 = 1010XX00B（SPT0ビットをセット（1））

△4：IICS0 = 00001001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（2）スレーブ動作（スレーブ・アドレス受信時）

（a）Start～Address～Data～Data～Stop

★　（i）WTIM0 = 0のとき

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
				▲1	▲2		▲3	△4

▲1：IICS0 = 0001X110B

▲2：IICS0 = 0001X000B

▲3：IICS0 = 0001X000B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
				▲1		▲2	▲3	△4

▲1：IICS0 = 0001X110B

▲2：IICS0 = 0001X100B

▲3：IICS0 = 0001XX00B

△4：IICS0 = 00000001B

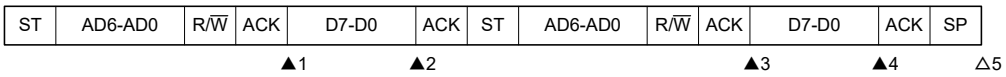
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（b）Start～Address～Data～Start～Address～Data～Stop

★　（i）WTIM0 = 0のとき（リスタート後，SVA0一致）



▲1：IICS0 = 0001X110B

▲2：IICS0 = 0001X000B

▲3：IICS0 = 0001X110B

▲4：IICS0 = 0001X000B

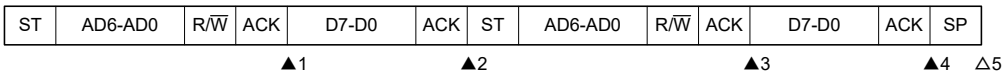
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき（リスタート後，SVA0一致）



▲1：IICS0 = 0001X110B

▲2：IICS0 = 0001XX00B

▲3：IICS0 = 0001X110B

▲4：IICS0 = 0001XX00B

△5：IICS0 = 00000001B

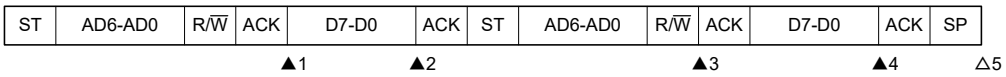
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（c）Start～Address～Data～Start～Code～Data～Stop

★　（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード））



▲1：IICS0 = 0001X110B

▲2：IICS0 = 0001X000B

▲3：IICS0 = 0010X010B

▲4：IICS0 = 0010X000B

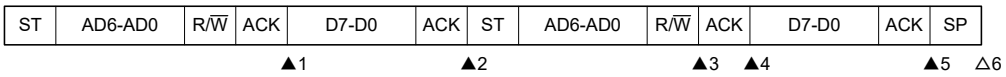
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード））



▲1：IICS0 = 0001X110B

▲2：IICS0 = 0001XX00B

▲3：IICS0 = 0010X010B

▲4：IICS0 = 0010X110B

▲5：IICS0 = 0010XX00B

△6：IICS0 = 00000001B

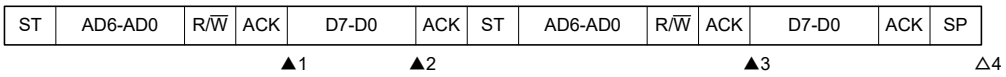
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（d）Start～Address～Data～Start～Address～Data～Stop

★　（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0 = 0001X110B

▲2：IICS0 = 0001X000B

▲3：IICS0 = 00000X10B

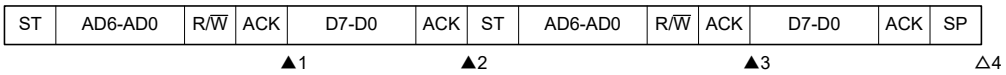
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0 = 0001X110B

▲2：IICS0 = 0001XX00B

▲3：IICS0 = 00000X10B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（3）スレーブ動作（拡張コード受信時）

拡張コード受信時は，常に通信に参加しています

（a）Start～Code～Data～Data～Stop

★　（i）WTIM0 = 0のとき

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1		▲2		▲3	△4

▲1：IICS0 = 0010X010B

▲2：IICS0 = 0010X000B

▲3：IICS0 = 0010X000B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3	▲4	△5

▲1：IICS0 = 0010X010B

▲2：IICS0 = 0010X110B

▲3：IICS0 = 0010X100B

▲4：IICS0 = 0010XX00B

△5：IICS0 = 00000001B

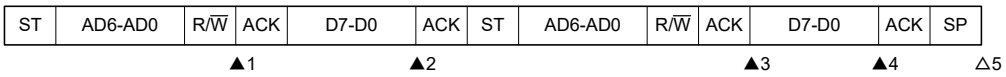
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（b）Start～Code～Data～Start～Address～Data～Stop

★　（i）WTIM0 = 0のとき（リスタート後，SVA0一致）



▲1：IICS0 = 0010X010B

▲2：IICS0 = 0010X000B

▲3：IICS0 = 0001X110B

▲4：IICS0 = 0001X000B

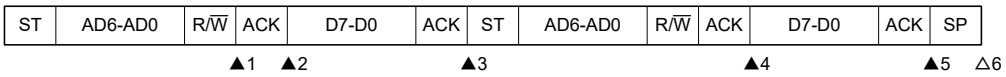
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき（リスタート後，SVA0一致）



▲1：IICS0 = 0010X010B

▲2：IICS0 = 0010X110B

▲3：IICS0 = 0010XX00B

▲4：IICS0 = 0001X110B

▲5：IICS0 = 0001XX00B

△6：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（c）Start～Code～Data～Start～Code～Data～Stop

★　（i）WTIM0 = 0のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3		▲4	△5

▲1：IICS0 = 0010X010B

▲2：IICS0 = 0010X000B

▲3：IICS0 = 0010X010B

▲4：IICS0 = 0010X000B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3			▲4	▲5	▲6	△7

▲1：IICS0 = 0010X010B

▲2：IICS0 = 0010X110B

▲3：IICS0 = 0010XX00B

▲4：IICS0 = 0010X010B

▲5：IICS0 = 0010X110B

▲6：IICS0 = 0010XX00B

△7：IICS0 = 00000001B

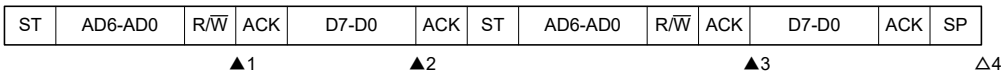
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（d）Start～Code～Data～Start～Address～Data～Stop

★　（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0 = 0010X010B

▲2：IICS0 = 0010X000B

▲3：IICS0 = 00000X10B

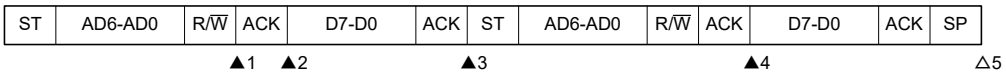
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0 = 0010X010B

▲2：IICS0 = 0010X110B

▲3：IICS0 = 0010XX00B

▲4：IICS0 = 00000X10B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（4）通信不参加の動作

（a）Start～Code～Data～Data～Stop

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
								△1

△1：IICS0 = 00000001B

備考　△　SPIE0 = 1のときだけ発生

（5）アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み要求信号の発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

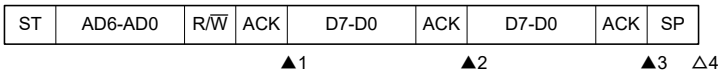
★　（i）WTIM0 = 0のとき

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
				▲1	▲2		▲3	△4

▲1：IICS0 = 0101X110B
▲2：IICS0 = 0001X000B
▲3：IICS0 = 0001X000B
△4：IICS0 = 00000001B

備考　▲　必ず発生
△　SPIE0 = 1のときだけ発生
X　任意

★　　(ii) WTIM0 = 1のとき



▲1：IICS0 = 0101X110B

▲2：IICS0 = 0001X100B

▲3：IICS0 = 0001XX00B

△4：IICS0 = 00000001B

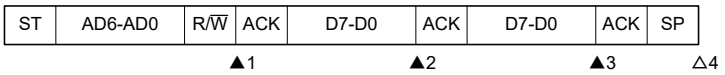
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　　(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



▲1：IICS0 = 0110X010B

▲2：IICS0 = 0010X000B

▲3：IICS0 = 0010X000B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　　（ii）WTIM0 = 1のとき

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3	▲4	△5

▲1：IICS0 = 0110X010B

▲2：IICS0 = 0010X110B

▲3：IICS0 = 0010X100B

▲4：IICS0 = 0010XX00B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（6）アービトレーション負けの動作（アービトレーション負けのあと，不参加）

マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み要求信号の発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIM0 = 1のとき）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
				▲1				△2

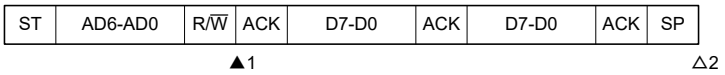
▲1：IICS0 = 01000110B

△2：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

★ （b）拡張コード送信中にアービトレーションに負けた場合



▲1：IICS0 = 0110X010B

ソフトウエアでLREL0 = 1を設定

△2：IICS0 = 00000001B

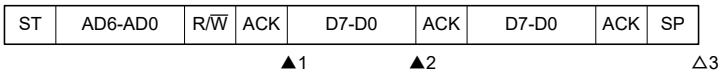
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（c）データ転送時にアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 10001110B

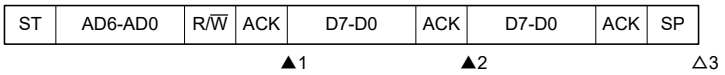
▲2：IICS0 = 01000000B

△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

（ii）WTIM0 = 1のとき



▲1：IICS0 = 10001110B

▲2：IICS0 = 01000100B

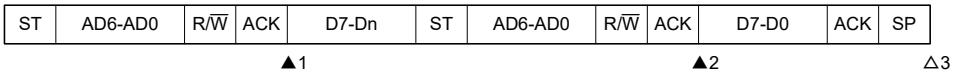
△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

（d）データ転送時にリスタート・コンディションで負けた場合

★　（i）拡張コード以外（例　SVA0不一致）



▲1：IICS0 = 1000X110B

▲2：IICS0 = 01000110B

△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

n = 6-0

★　　(ii) 拡張コード

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-Dn	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
				▲1				▲2			△3

▲1：IICS0 = 1000X110B

▲2：IICS0 = 01100010B

ソフトウエアでLREL0 = 1を設定

△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-Dn	SP
				▲1	△2

▲1：IICS0 = 10000110B

△2：IICS0 = 01000001B

備考　▲　必ず発生

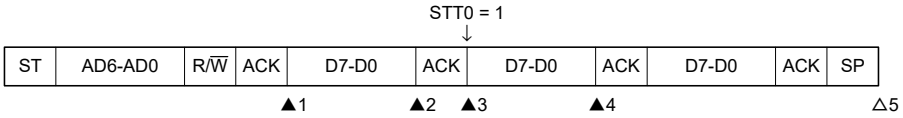
△　SPIE0 = 1のときだけ発生

X　任意

n = 6-0

(f) リスタート・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

★　(i) WTIM0 = 0のとき



▲1：IICS0 = 1000X110B

▲2：IICS0 = 1000X000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000X100B（WTIM0ビットをクリア（0））

▲4：IICS0 = 01000000B

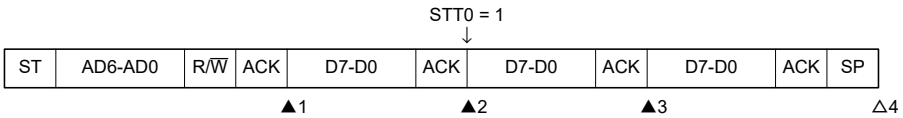
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　(ii) WTIM0 = 1のとき



▲1：IICS0 = 1000X110B

▲2：IICS0 = 1000X100B（STT0ビットをセット（1））

▲3：IICS0 = 01000100B

△4：IICS0 = 00000001B

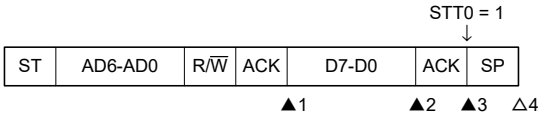
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（g）リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

★　（i）WTIM0 = 0のとき



▲1：IICS0 = 1000X110B

▲2：IICS0 = 1000X000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000XX00B（STT0ビットをセット（1））

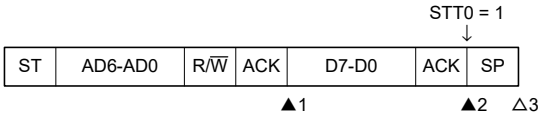
△4：IICS0 = 01000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000X110B

▲2：IICS0 = 1000XX00B（STT0ビットをセット（1））

△3：IICS0 = 01000001B

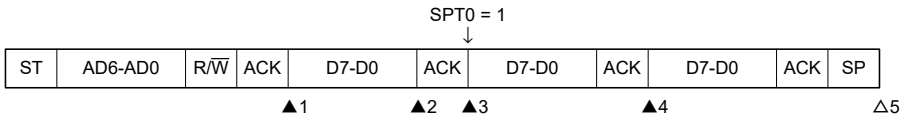
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

（h）ストップ・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

★　（i）WTIM0 = 0のとき



▲1：IICS0 = 1000X110B

▲2：IICS0 = 1000X000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000X100B（WTIM0ビットをクリア（0））

▲4：IICS0 = 01000100B

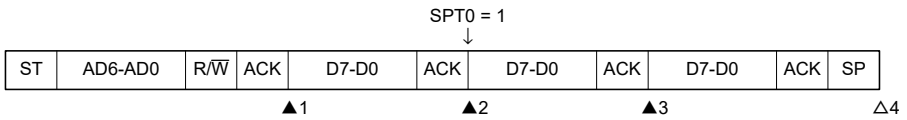
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

★　（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000X110B

▲2：IICS0 = 1000X100B（SPT0ビットをセット（1））

▲3：IICS0 = 01000100B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

X　任意

17.6　タイミング・チャート

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IICAステータス・レジスタ0（IICS0）のビット3）を送信し，スレーブとのシリアル通信を開始します。

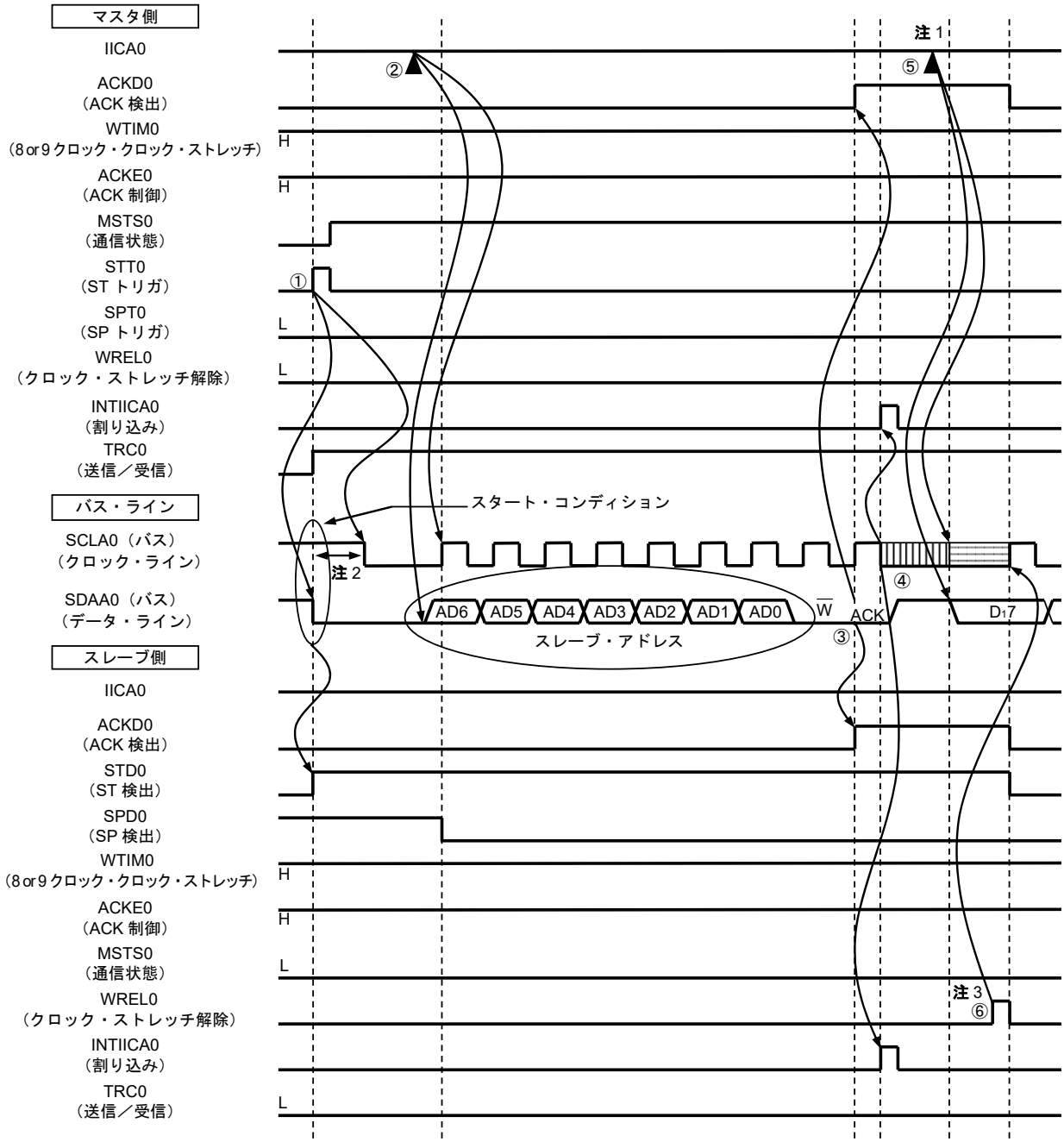
データ通信のタイミング・チャートを図17－33，図17－34に示します。

シリアル・クロック（SCLA0）の立ち下がりに同期してIICAシフト・レジスタ0（IICA0）のシフト動作が行われ，送信データがSOラッチに転送され，SDAA0端子からMSBファーストで出力されます。

また，SCLA0の立ち上がりでSDAA0端子に入力されたデータがIICA0に取り込まれます。

図17－33　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択時）（1/4）

（1）スタート・コンディション～アドレス～データ



注1. マスタ送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

2. SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3. スレーブ・クロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図17－33（1）スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STT0 = 1）されると，バス・データ・ライン（SDAA0 = 0）が立ち下がり，スタート・コンディション（SDAA0 = 0, SCLA0 = 1）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTS0 = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタ0（IICA0）にアドレス＋W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

③ 受信したアドレスとスレーブのアドレスが一致した場合[注]，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生し，スレーブはアドレスが一致した場合，割り込み（INTIICA0：アドレス一致割り込み）が発生します。さらに，マスタ側とアドレスが一致したスレーブ側はクロック・ストレッチ（SCLA0 = 0）をかけます[注]。

⑤ マスタ側がIICA0レジスタに送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

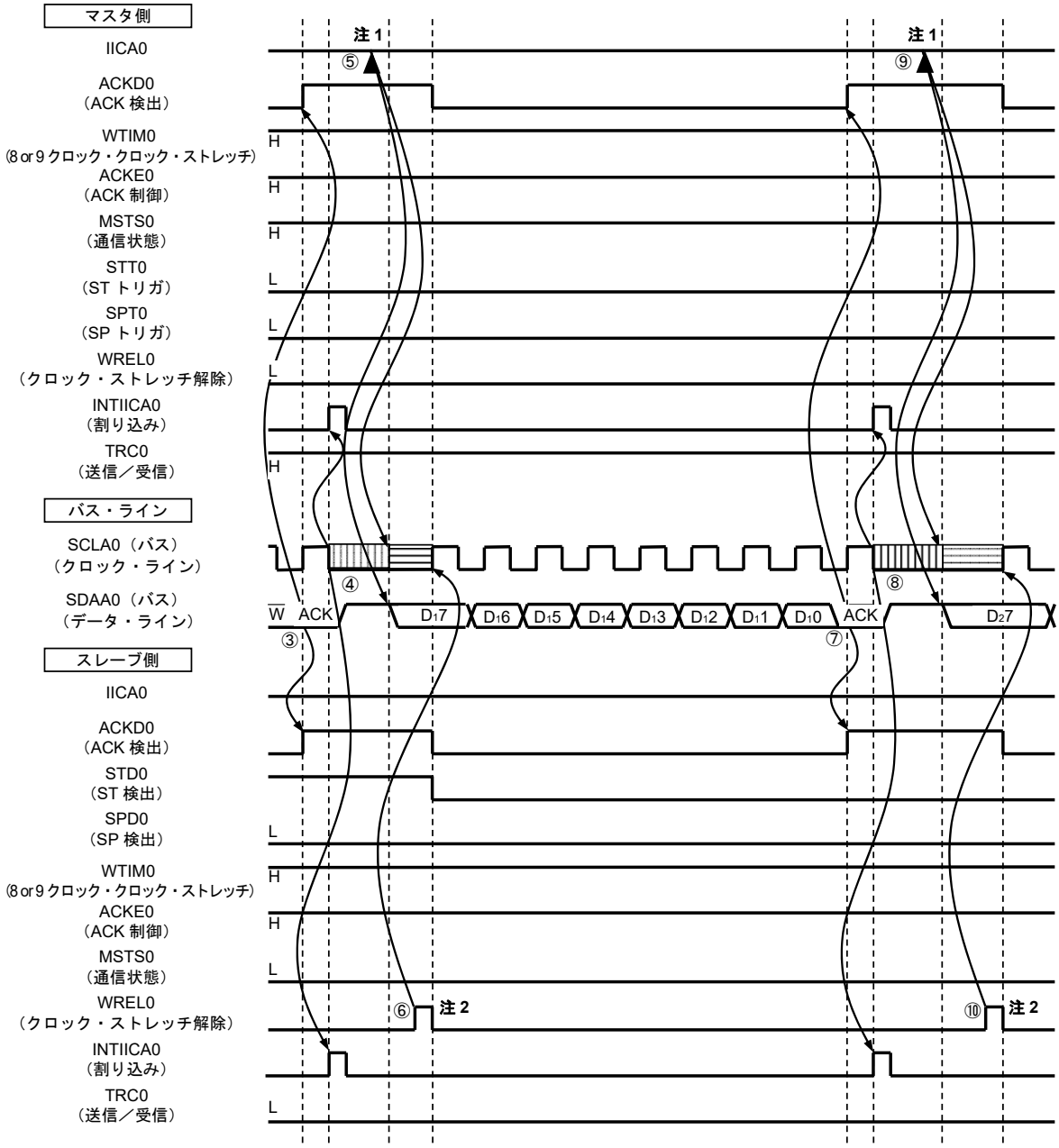
⑥ スレーブ側がクロック・ストレッチを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図17－33の①～⑮は，I²Cバスによるデータ通信の一連の操作手順です。
図17－33（1）スタート・コンディション～アドレス～データでは手順①～⑥
図17－33（2）アドレス～データ～データでは手順③～⑩
図17－33（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図17－33　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択時）（2/4）

（2）アドレス～データ～データ



注1.　マスタ送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

2.　スレーブ・クロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図17－33（2）アドレス～データ～データの③～⑩の説明を次に示します。

③ 受信したアドレスとスレーブのアドレスが一致した場合[注]，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生し，スレーブはアドレスが一致した場合，割り込み（INTIICA0：アドレス一致割り込み）が発生します。さらに，マスタ側とアドレスが一致したスレーブ側はクロック・ストレッチ（SCLA0 = 0）をかけます[注]。

⑤ マスタ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑥ スレーブ側がクロック・ストレッチを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑦ データ転送完了後，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑨ マスタ側がIICA0レジスタに送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

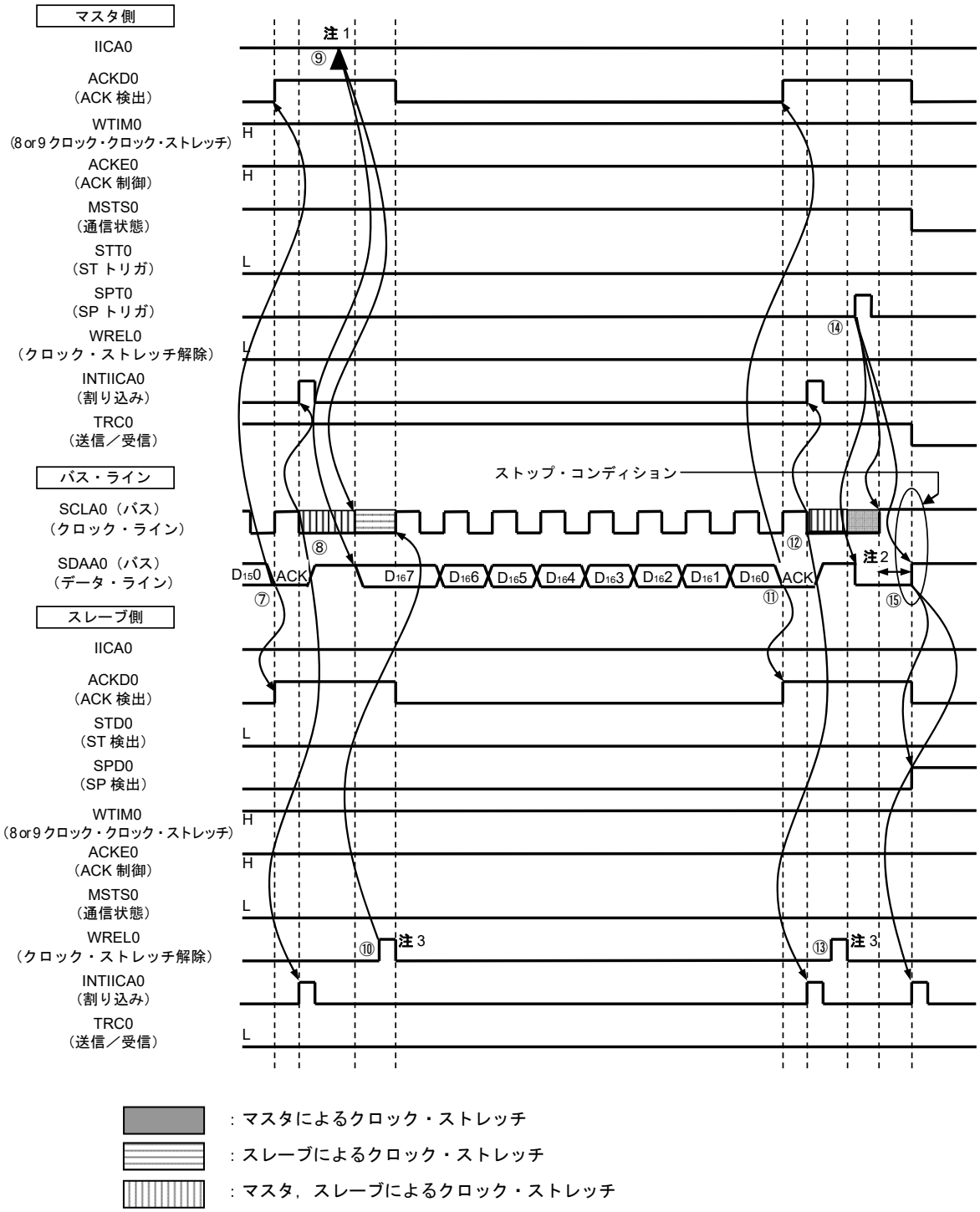
⑩ スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図17－33の①～⑮は，I²Cバスによるデータ通信の一連の操作手順です。
図17－33（1）スタート・コンディション～アドレス～データでは手順①～⑥
図17－33（2）アドレス～データ～データでは手順③～⑩
図17－33（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図17－33　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択時）（3/4）

（3）データ～データ～ストップ・コンディション



注1.　マスタ送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

2.　ストップ・コンディションの発行後，SCLA0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ・クロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図17－33（3）データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

⑦ データ転送完了後，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑨ マスタ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑩ スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑪ データ転送完了後，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑫ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑬ スレーブ側が受信データを読み出し，クロック・ストレッチを解除（WREL0 = 1）します。

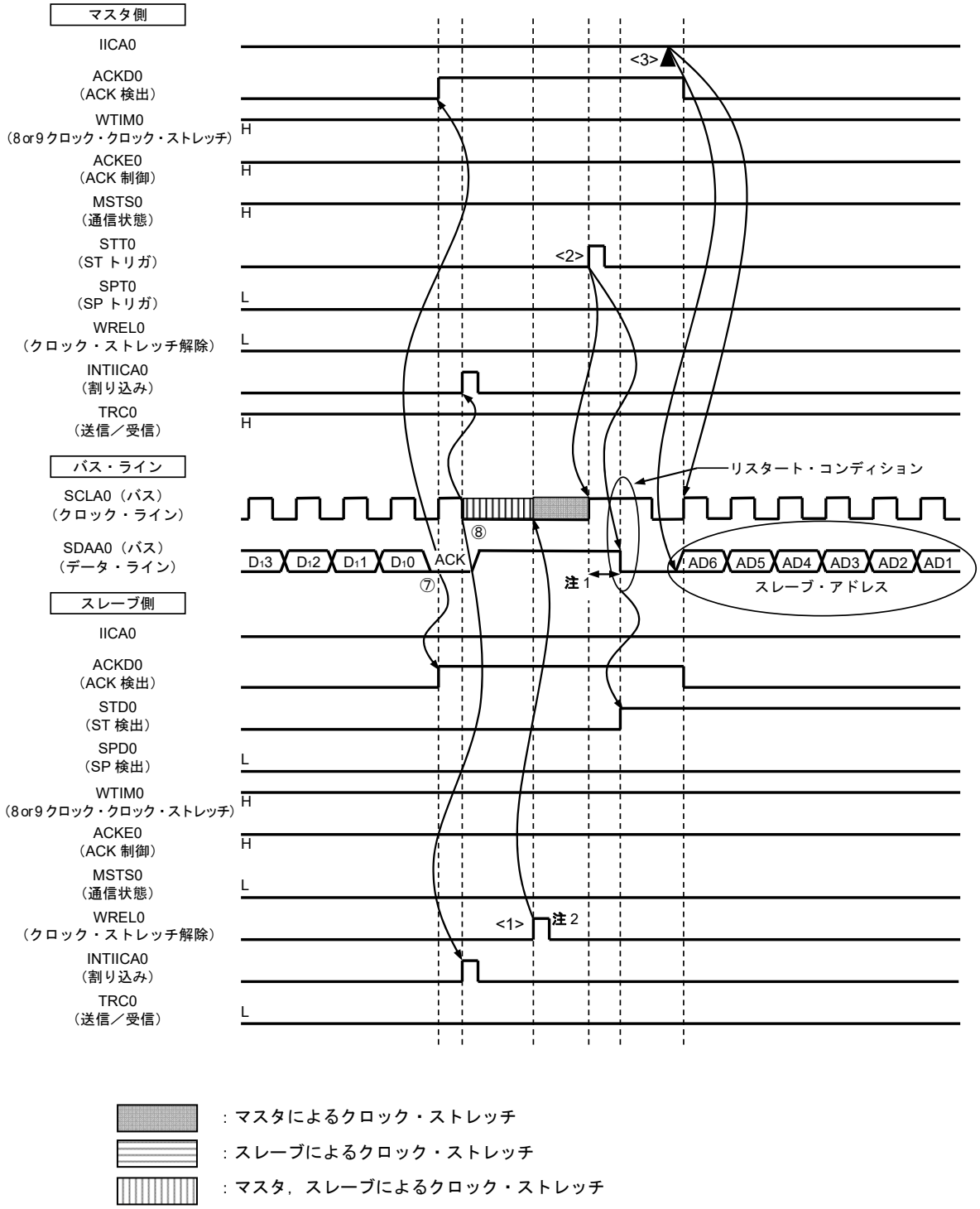
⑭ ストップ・コンディション・トリガをセットすると，バス・データ・ラインをクリア（SDAA0 = 0），バス・クロック・ラインをセット（SCLA0 = 1）し，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット（SDAA0 = 1）することでストップ・コンディションが生成されます。

⑮ ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，スレーブ側で割り込み（INTIICA0：ストップ・コンディション割り込み）が発生します。

備考　図17－33の①～⑮は，I²Cバスによるデータ通信の一連の操作手順です。
図17－33（1）スタート・コンディション～アドレス～データでは手順①～⑥
図17－33（2）アドレス～データ～データでは手順③～⑩
図17－33（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図17－33　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択時）（4/4）

（4）データ～リスタート・コンディション～アドレス



：マスタによるクロック・ストレッチ

：スレーブによるクロック・ストレッチ

：マスタ，スレーブによるクロック・ストレッチ

注1.　リスタート・コンディションの発行後，SCLA0端子信号が立ち上がってからスタート・コンディションが生成される時間は，標準モード設定時は4.7 μs以上，ファースト・モード設定時は0.6 μs以上です。

2.　スレーブ・クロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図17－33 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦，⑧の動作後，<1>～<3>の動作を行います。それにより，手順③のデータの送信手順に戻ります。

⑦　データ転送完了後，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧　9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

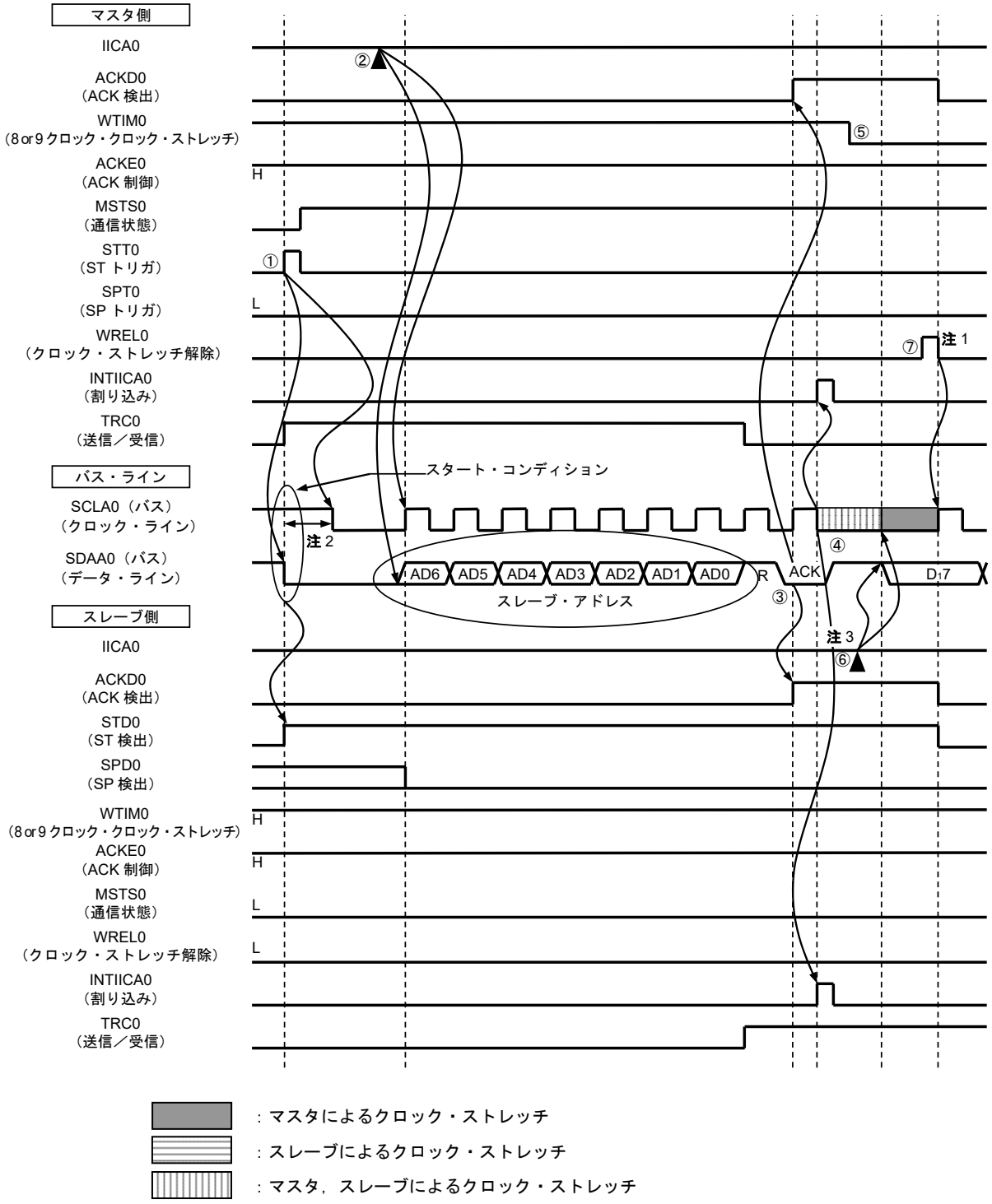
<1>　スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WREL0 = 1）します。

<2>　マスタ側で再度スタート・コンディション・トリガがセット（STT0 = 1）されると，バス・クロック・ラインが立ち上がり（SCLA0 = 1），リスタート・コンディション・セットアップ時間後バス・データ・ライン（SDAA0 = 0）が立ち下がり，スタート・コンディション（SDAA0 = 0, SCLA0 = 1）が生成されます。その後，スタート・コンディションを検出すると，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

<3>　マスタ側でIICAシフト・レジスタ0（IICA0）にアドレス＋R/W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

図17－34　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでクロック・ストレッチ選択時）（1/3）

（1）スタート・コンディション～アドレス～データ



注1.　マスタ・クロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2.　SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

図17－34（1）スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STT0 = 1）されると，バス・データ・ラインが立ち下がり（SDAA0 = 0），スタート・コンディション（SCLA0 = 1でSDAA0 = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTS0 = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタ0（IICA0）にアドレス＋R（受信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVA0の値）が一致した場合[注]，ハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に（WTIM0 = 0）に変更します。

⑥ スレーブ側がIICA0レジスタに送信データを書き込み，スレーブ側によるクロック・ストレッチを解除します。

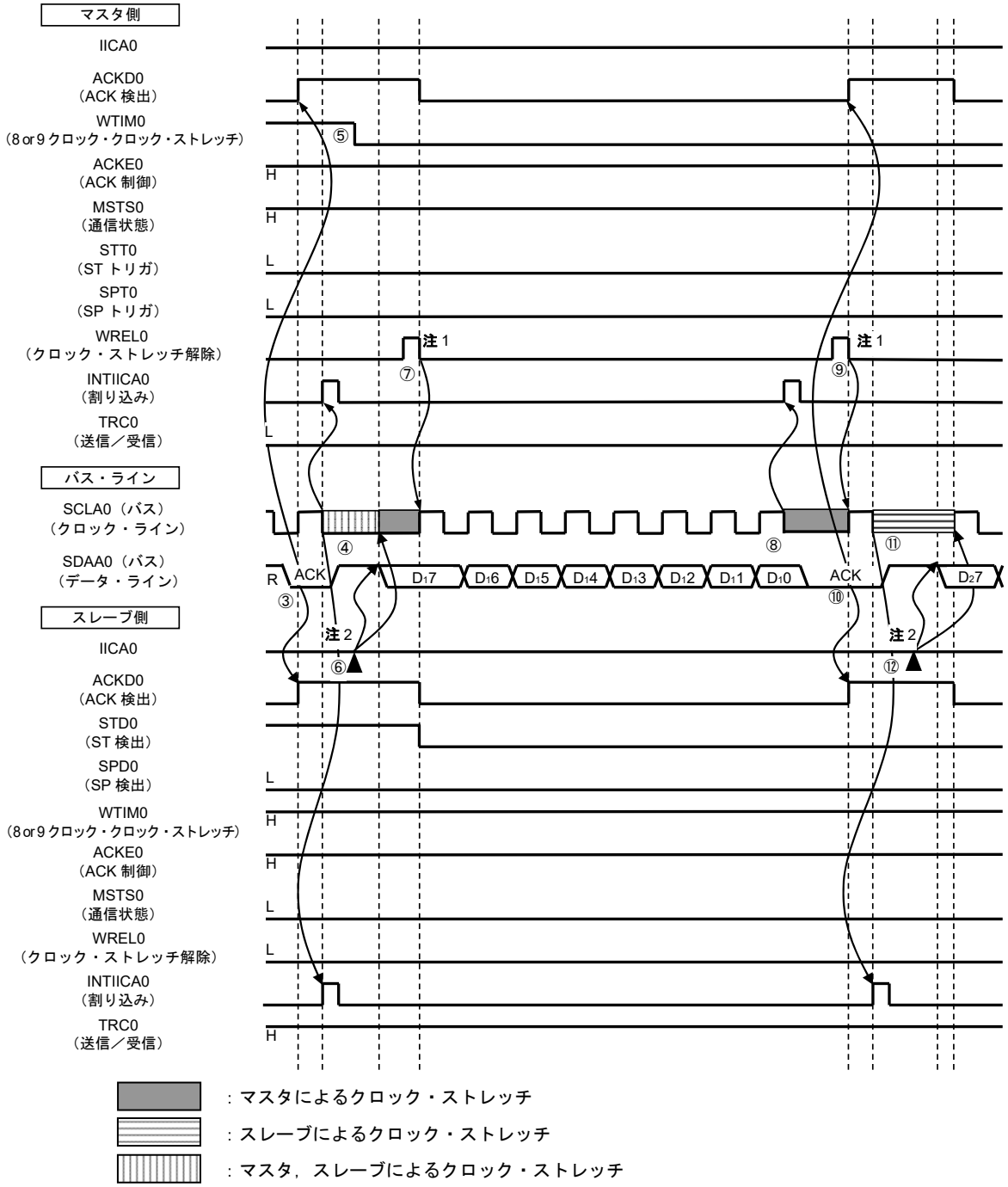
⑦ マスタ側がクロック・ストレッチを解除（WREL0 = 1）して，スレーブ側はデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図17－34の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図17－34（1）スタート・コンディション～アドレス～データでは手順①～⑦
図17－34（2）アドレス～データ～データでは手順③～⑫
図17－34（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

図17－34　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでクロック・ストレッチ選択時）（2/3）

（2）アドレス～データ～データ



注1.　マスタ・クロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2.　スレーブ送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

図17－34（2）アドレス～データ～データの③～⑫の説明を次に示します。

③ 受信したアドレスとスレーブのアドレスが一致した場合注，スレーブ側のハードウエアよりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生し，スレーブはアドレスが一致した場合，割り込み（INTIICA0：アドレス一致割り込み）が発生します。さらに，マスタ側とアドレスが一致したスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかります注。

⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に（WTIM0 = 0）に変更します。

⑥ スレーブ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，スレーブ側によるクロック・ストレッチを解除します。

⑦ マスタ側がクロック・ストレッチを解除（WREL0 = 1）して，スレーブ側はデータ転送を開始します。

⑧ 8クロック目の立ち下がりで，マスタ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側のハードウエアよりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，クロック・ストレッチを解除（WREL0 = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKD0 = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，スレーブ側は割り込み（INTIICA0：転送完了割り込み）が発生します。

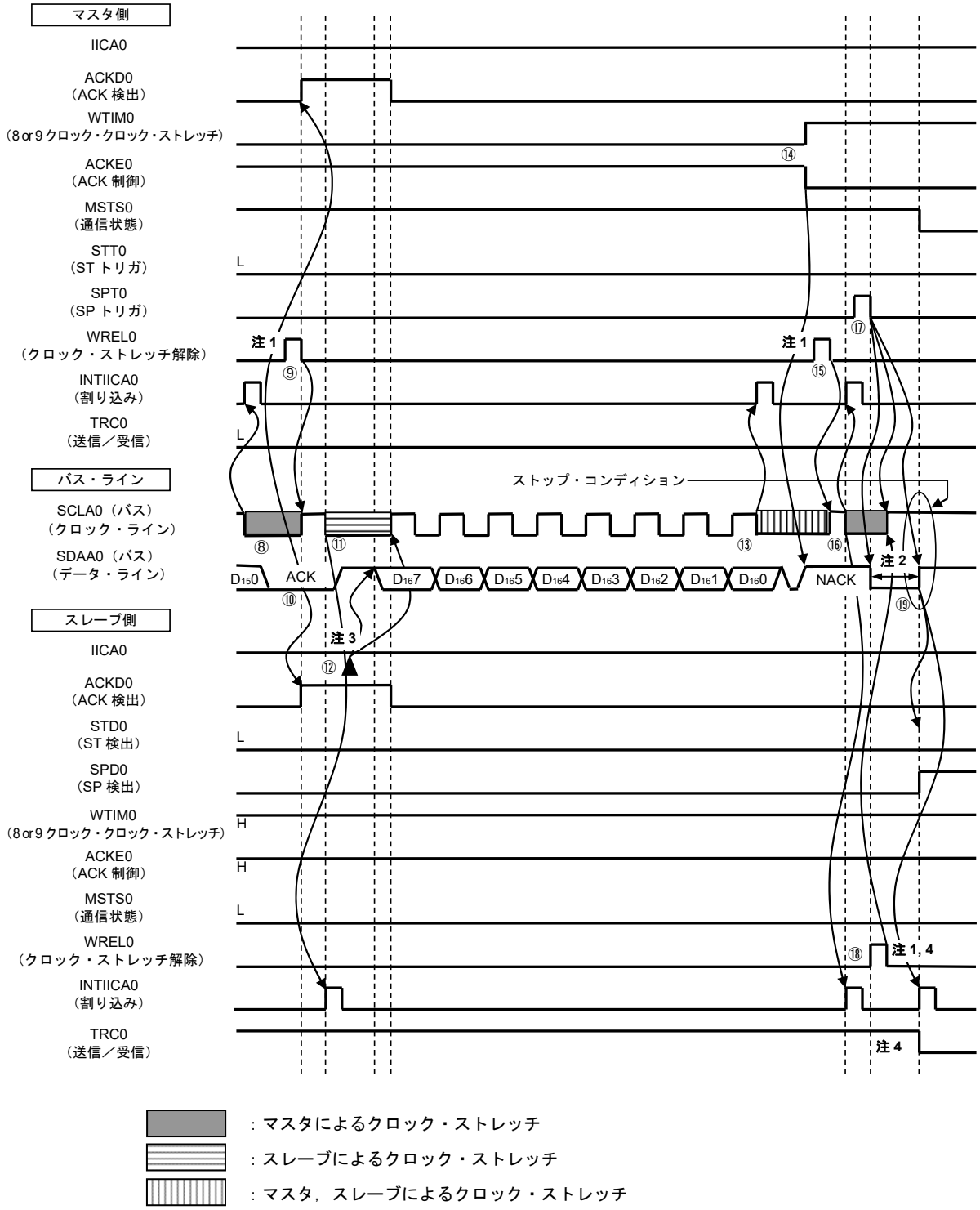
⑫ スレーブ側のIICA0レジスタに送信データを書き込むと，スレーブ側のクロック・ストレッチが解除され，スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図17－34の①～⑲は，I²Cバスによるデータ通信の一連の操作手順です。
図17－34（1）スタート・コンディション～アドレス～データでは手順①～⑦
図17－34（2）アドレス～データ～データでは手順③～⑫
図17－34（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

図17－34　スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでクロック・ストレッチ選択時）（3/3）

（3）データ～データ～ストップ・コンディション



注1.　クロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2.　ストップ・コンディションの発行後，SCLA0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

4.　スレーブ送信時のクロック・ストレッチをWREL0ビットのセットで解除すると，TRC0ビットはクリアされます。

図17－34（3）データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

⑧ 8クロック目の立ち下がりで，マスタ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側のハードウエアよりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，クロック・ストレッチを解除（WREL0 = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKD0 = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，スレーブ側は割り込み（INTIICA0：転送完了割り込み）が発生します。

⑫ スレーブ側のIICAシフト・レジスタ0（IICA0）に送信データを書き込むと，スレーブ側のクロック・ストレッチが解除され，スレーブ→マスタにデータ転送を開始します。

⑬ 8クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側によるクロック・ストレッチ（SCLA0 = 0）がかかります。ACK制御（ACKE0 = 1）されているので，この段階でのバス・データ・ラインはロウ・レベル（SDAA0 = 0）となります。

⑭ マスタ側はNACK応答に設定（ACKE0 = 0）し，クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチに変更します。

⑮ マスタ側がクロック・ストレッチを解除（WREL0 = 1）すると，スレーブ側は9クロック目の立ち上がりでNACKを検出（ACKD0 = 0）します。

⑯ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑰ マスタ側でストップ・コンディション発行（SPT0 = 1）すると，バス・データ・ラインがクリア（SDAA0 = 0）され，マスタ側のクロック・ストレッチが解除されます。その後，マスタ側はバス・クロック・ラインがセット（SCLA0 = 1）されるまで待機します。

⑱ スレーブ側はNACKを確認して，送信を止めて通信を完了するためにクロック・ストレッチを解除（WREL0 = 1）します。スレーブによるクロック・ストレッチが解除されると，バス・クロック・ラインがセット（SCLA0 = 1）されます。

⑲ マスタ側はバス・クロック・ラインがセット（SCLA0 = 1）されたことを確認すると，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット（SDAA0 = 1）してストップ・コンディションを発行します。ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，マスタ側，スレーブ側で割り込み（INTIICA0：ストップ・コンディション割り込み）が発生します。

備考　図17－34の①～⑲は，I²Cバスによるデータ通信の一連の操作手順です。
図17－34（1）スタート・コンディション～アドレス～データでは手順①～⑦
図17－34（2）アドレス～データ～データでは手順③～⑫
図17－34（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

第18章　乗除積和算器

18. 1　乗除積和算器の機能

乗除積和算器には，次のような機能があります。

・16ビット×16ビット ＝32ビット（符号なし）
・16ビット×16ビット ＝32ビット（符号付）
・16ビット×16ビット＋32ビット ＝32ビット（符号なし）
・16ビット×16ビット＋32ビット ＝32ビット（符号付）
・32ビット÷32ビット ＝32ビット 剰余32ビット（符号なし）

18. 2　乗除積和算器の構成

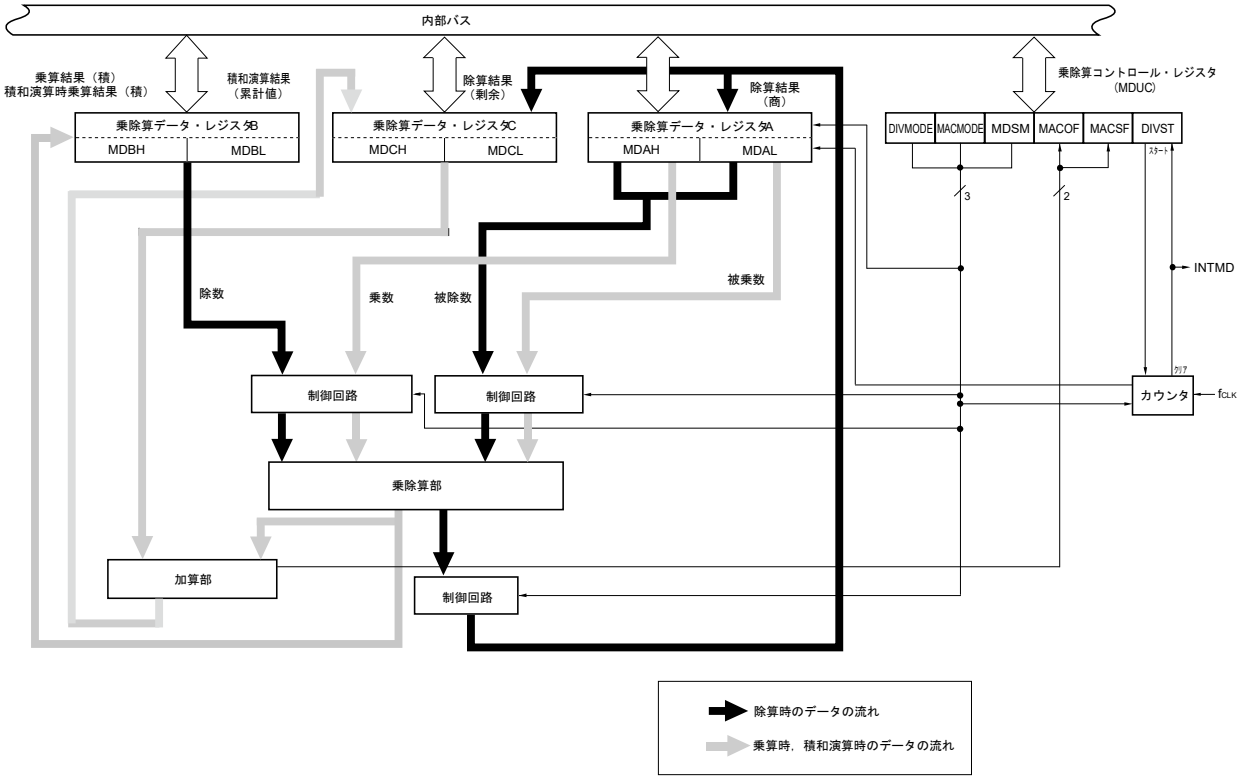
乗除積和算器は，次のハードウエアで構成されています。

表18－1　乗除積和算器の構成

項　　目	構　　成
レジスタ	乗除算デ―タ・レジスタA（L）（MDAL） 乗除算デ―タ・レジスタA（H）（MDAH） 乗除算データ・レジスタB（L）（MDBL） 乗除算データ・レジスタB（H）（MDBH） 乗除算データ・レジスタC（L）（MDCL） 乗除算データ・レジスタC（H）（MDCH）
制御レジスタ	乗除算コントロール・レジスタ（MDUC）

乗除積和算器のブロック図を図18－1に示します。

図18－1　乗除積和算器のブロック図



備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

18. 2. 1　乗除算データ・レジスタA（MDAH, MDAL）

MDAH，MDALレジスタは，乗除算の演算に利用する値を設定し，演算結果を格納するレジスタです。乗算モード時および積和演算モード時は乗数と被乗数データを設定し，除算モード時は被除数データを設定します。また，除算モード時は演算結果（商）がMDAH，MDALレジスタに格納されます。

MDAH, MDALレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図18－2　乗除算データ・レジスタA（MDAH, MDAL）のフォーマット

アドレス：FFFF0H, FFFF1H, FFFF2H, FFFF3H　リセット時：0000H, 0000H　R/W

略号	FFFF3H								FFFF2H							
MDAH	MDAH 15	MDAH 14	MDAH 13	MDAH 12	MDAH 11	MDAH 10	MDAH 9	MDAH 8	MDAH 7	MDAH 6	MDAH 5	MDAH 4	MDAH 3	MDAH 2	MDAH 1	MDAH 0

略号	FFFF1H								FFFF0H							
MDAL	MDAL 15	MDAL 14	MDAL 13	MDAL 12	MDAL 11	MDAL 10	MDAL 9	MDAL 8	MDAL 7	MDAL 6	MDAL 5	MDAL 4	MDAL 3	MDAL 2	MDAL 1	MDAL 0

注意1.　除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）に，MDAH, MDALレジスタの値を書き換えないでください。この場合でも演算は実施しますが，演算結果は不定値となります。

2.　除算演算処理中（MDUCレジスタが81H, C1Hのとき）にMDAH, MDALレジスタの値を読み出した場合，その値は保証しません。

3.　乗算モード（符号付），積和演算モード（符号付）の場合，データは2の補数形式になります。

MDAH, MDALレジスタの演算実行時の機能を次に示します。

表18－2　MDAH, MDALレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	MDAH：乗数（符号なし） MDAL：被乗数（符号なし）	－
乗算モード（符号付） 積和演算モード（符号付）	MDAH：乗数（符号付） MDAL：被乗数（符号付）	－
除算モード（符号なし）	MDAH：被除数（符号なし） （上位16ビット） MDAL：被除数（符号なし） （下位16ビット）	MDAH：除算結果（商）（符号なし） 上位16ビット MDAL：除算結果（商）（符号なし） 下位16ビット

18. 2. 2　乗除算データ・レジスタB（MDBL, MDBH）

MDBH, MDBLレジスタは，乗除算の演算に利用する値を設定し，演算結果を格納するレジスタです。乗算モードおよび積和演算モード時は演算結果（積）を格納し，除算モード時は除数データを設定します。

MDBH, MDBLレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図18－3　乗除算データ・レジスタB（MDBH, MDBL）のフォーマット

アドレス：FFFF4H, FFFF5H, FFFF6H, FFFF7H　リセット時：0000H, 0000H　R/W

略号	FFFF7H								FFFF6H							
MDBH	MDBH 15	MDBH 14	MDBH 13	MDBH 12	MDBH 11	MDBH 10	MDBH 9	MDBH 8	MDBH 7	MDBH 6	MDBH 5	MDBH 4	MDBH 3	MDBH 2	MDBH 1	MDBH 0

略号	FFFF5H								FFFF4H							
MDBL	MDBL 15	MDBL 14	MDBL 13	MDBL 12	MDBL 11	MDBL 10	MDBL 9	MDBL 8	MDBL 7	MDBL 6	MDBL 5	MDBL 4	MDBL 3	MDBL 2	MDBL 1	MDBL 0

注意1.　除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H，C1Hのとき）または積和演算処理中に，MDBH，MDBLレジスタの値をソフトウエアで書き換えないでください。演算結果は不定値となります。

2.　除算モード時は，MDBH，MDBLレジスタに0000Hを設定しないでください。設定した場合，演算結果が不定値となります。

3.　乗算モード（符号付），積和演算モード（符号付）の場合，データは2の補数形式になります。

MDBH, MDBLレジスタの演算実行時の機能を次に示します。

表18－3　MDBH, MDBLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	－	MDBH：乗算結果（積）（符号なし）上位16ビット MDBL：乗算結果（積）（符号なし）下位16ビット
乗算モード（符号付） 積和演算モード（符号付）	－	MDBH：乗算結果（積）（符号付）上位16ビット MDBL：乗算結果（積）（符号付）下位16ビット
除算モード（符号なし）	MDBH：除数（符号なし） （上位16ビット） MDBL：除数（符号なし） （下位16ビット）	－

18. 2. 3　乗除算データ・レジスタC（MDCL, MDCH）

MDCH, MDCLレジスタは，積和演算モード時は累計結果の値を格納し，除算モード時は演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図18－4　乗除算データ・レジスタC（MDCH, MDCL）のフォーマット

アドレス：F00E0H, F00E1H, F00E2H, F00E3H　リセット時：0000H, 0000H　R/W

略号	F00E3H								F00E2H							
MDCH	MDCH 15	MDCH 14	MDCH 13	MDCH 12	MDCH 11	MDCH 10	MDCH 9	MDCH 8	MDCH 7	MDCH 6	MDCH 5	MDCH 4	MDCH 3	MDCH 2	MDCH 1	MDCH 0

略号	F00E1H								F00E0H							
MDCL	MDCL 15	MDCL 14	MDCL 13	MDCL 12	MDCL 11	MDCL 10	MDCL 9	MDCL 8	MDCL 7	MDCL 6	MDCL 5	MDCL 4	MDCL 3	MDCL 2	MDCL 1	MDCL 0

注意1.　除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）に，MDCH, MDCLレジスタの値を読み出した場合，その値は保証されません。

2.　積和演算処理中に，MDCH, MDCLレジスタの値をソフトウエアで書き換えないでください。演算結果は不定値となります。

3.　積和演算モード（符号付）の場合，データは2の補数形式になります。

表18－4　MDCH, MDCLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード （符号付／符号なし）	－	－
積和演算モード（符号なし）	MDCH：累計初期値（符号なし）（上位16ビット） MDCL：累計初期値（符号なし）（下位16ビット）	MDCH：累計値（符号なし）（上位16ビット） MDCL：累計値（符号なし）（下位16ビット）
積和演算モード（符号付）	MDCH：累計初期値（符号付）（上位16ビット） MDCL：累計初期値（符号付）（下位16ビット）	MDCH：累計値（符号付）（上位16ビット） MDCL：累計値（符号付）（下位16ビット）
除算モード（符号なし）	－	MDCH：剰余（符号なし）（上位16ビット） MDCL：剰余（符号なし）（下位16ビット）

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

＜乗数A＞　＜乗数B＞　＜積＞

MDAL（ビット15-0）×MDAH（ビット15-0）= ［MDBH（ビット15-0）, MDBL（ビット15-0）］

・積和演算時のレジスタ構成

＜乗数A＞　＜乗数B＞　＜累計値＞

MDAL（ビット15-0）×MDAH（ビット15-0）＋MDC（ビット31-0）=

＜累計結果＞

［MDCH（ビット15-0）, MDCL（ビット15-0）］

（MDBH（ビット15-0）, MDBL（ビット15-0）には乗算結果が格納されます。）

・除算時のレジスタ構成

＜被除数＞　＜除数＞

［MDAH（ビット15-0）, MDAL（ビット15-0）］÷［MDBH（ビット15-0）, MDBL（ビット15-0）］=

＜商＞　＜剰余＞

［MDAH（ビット15-0）, MDAL（ビット15-0）］…［MDCH（ビット15-0）,MDCL（ビット15-0）］

18. 3　乗除積和算器を制御するレジスタ

乗除積和算器は，乗除算コントロール・レジスタ（MDUC）で制御します。

18. 3. 1　乗除算コントロール・レジスタ0（MDUC）

MDUCレジスタは，乗除積和算器の動作を制御する8ビット・レジスタです。

MDUCレジスタは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

ただし，積和演算結果（累計値）のオーバフロー・フラグ（MACOF），積和演算結果（累計値）のサイン・フラグ（MACSF）は読み出しのみ可能です。

リセット信号の発生により，00Hになります。

図18－5　乗除算コントロール・レジスタ（MDUC）のフォーマット

アドレス：F00E8H　リセット時：00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	MACMODE	0	0	MDSM	MACOF	MACSF	DIVST

DIVMODE	MACMODE	MDSM	演算モードの選択
0	0	0	乗算モード（符号なし）（デフォルト）
0	0	1	乗算モード（符号付）
0	1	0	積和演算モード（符号なし）
0	1	1	積和演算モード（符号付）
1	0	0	除算モード（符号なし），除算完了割り込み（INTMD）発生
1	1	0	除算モード（符号なし），除算完了割り込み（INTMD）発生しない
上記以外			設定禁止

MACOF	積和演算結果（累計値）のオーバフロー・フラグ
0	オーバフローなし
1	オーバフローあり

［セット条件］

・積和演算モード（符号なし）の場合

累計値が00000000h-FFFFFFFFhを超える場合

・積和演算モード（符号付）の場合

正の累計値に正の積を加算した結果が7FFFFFFFhを越え結果が負となる場合

負の累計値に負の積を加算した結果が80000000hを越え結果が正となる場合

MACSF	積和演算結果（累計値）のサイン・フラグ
0	累計値が正
1	累計値が負

積和演算モード（符号なし）の場合：常に0

積和演算モード（符号付）の場合　：累計値の符号ビットを表示

DIVST[注2]	除算演算動作の開始／停止
0	除算演算処理完了
1	除算演算開始／除算演算処理中

注1. ビット1，2はRead onlyです。

2. DIVSTビットは除算モード時にのみセット（1）可能です。除算モード時，DIVSTビットをセット（1）すると除算演算動作を開始します。演算終了後は自動的にDIVSTビットがクリア（0）されます。乗算モード時は，乗除算データ・レジスタA（MDAH, MDAL）に乗数，被乗数を設定することにより自動的に演算が開始されます。

注意1. **演算処理中（DIVSTビットが1のとき）に，DIVMODE，MDSMビットを書き換えないでください。書き換えた場合，演算結果が不定値となります。**

2. **除算演算処理中（DIVSTビットが1のとき）にDIVSTビットをソフトウエアでクリア（0）することはできません。**

18. 4　乗除積和算器の動作

18. 4. 1　乗算（符号なし）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を00Hにする。

② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

④ 1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

（⑤，⑥の読み出しの順はどちらが先でも問題ありません。）

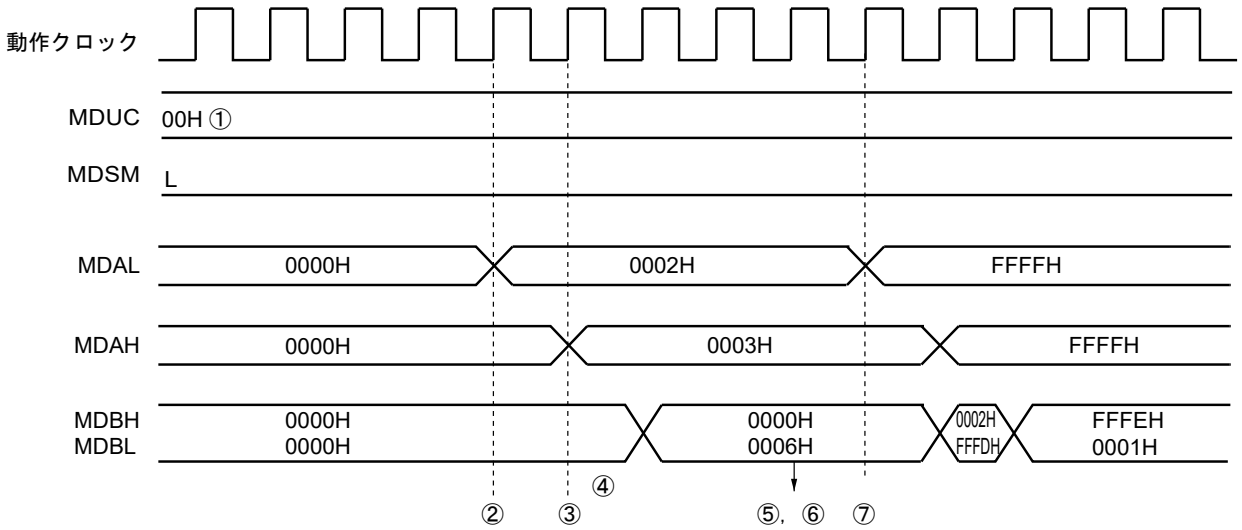
・次回演算

⑦ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①，②の設定は省略できます。

備考　手順の①～⑦は，図18－6の①～⑦に対応しています。

図18－6　乗算（符号なし）動作のタイミング図（2×3 = 6）



18. 4. 2　乗算（符号付）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を08Hにする。

② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

④ 1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

（⑤，⑥の読み出しの順はどちらが先でも問題ありません。）

・次回演算

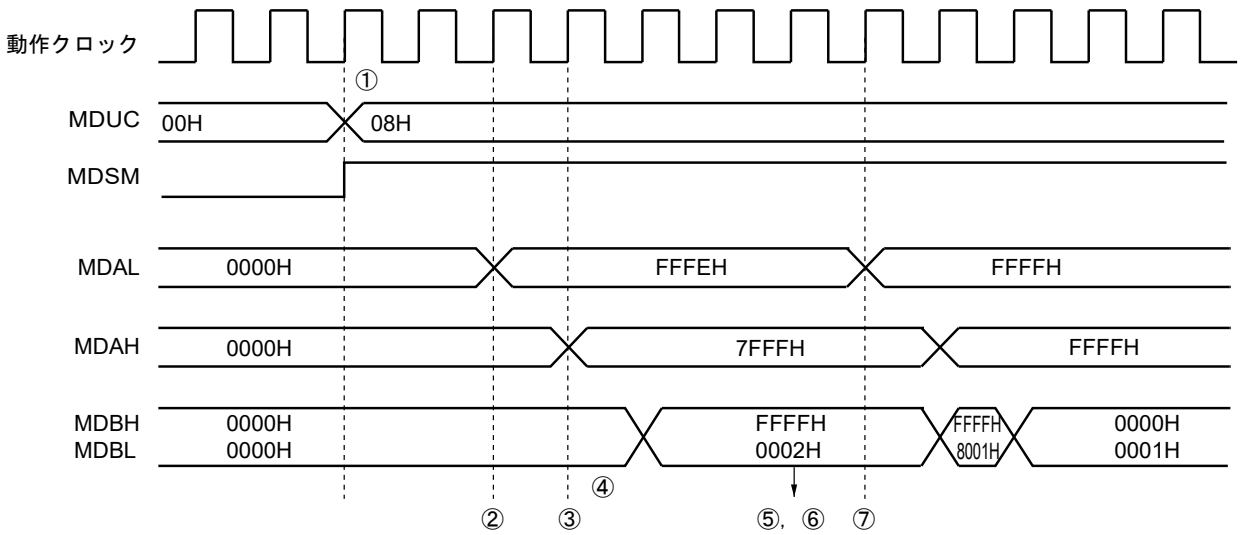
⑦ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①，②の設定は省略できます。

注意　乗算モード（符号付）の場合，データは2の補数形式になります。

備考　手順の①～⑦は，図18－7の①～⑦に対応しています。

図18－7　乗算（符号付）動作のタイミング図（－2×32767 = －65534）



18. 4. 3　積和演算（符号なし）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を40Hにする。

② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット

③ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット

④ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

⑤ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③，④のセットの順はどれが先でも問題ありません。⑤のMDAHレジスタに乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

⑥　乗算演算が1クロックで終了します。

（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）

⑦ ⑥からさらに1クロックで，積和演算が終了します（初期設定完了（⑤）からは，2クロック以上ウエイト）。

・演算終了

⑧ 乗除算データ・レジスタC（L）（MDCL）から累計値（下位16ビット）を読み出します。

⑨ 乗除算データ・レジスタC（H）（MDCH）から累計値（上位16ビット）を読み出します。

（⑧，⑨の読み出しの順はどちらが先でも問題ありません。）

（⑩ 積和演算結果がオーバフローしている場合は，MACOFビットが1にセットされ，INTMD信号が発生します。）

・次回演算

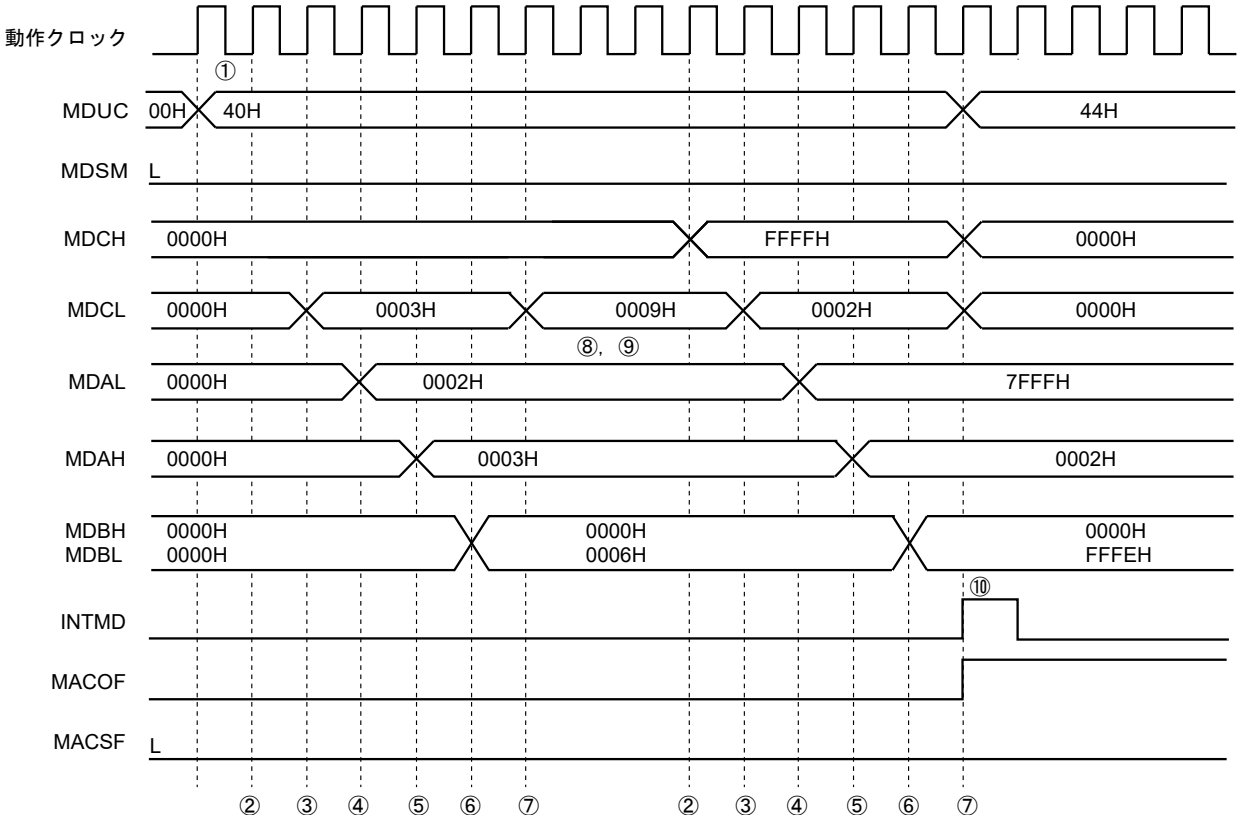
⑪ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①～④の設定は省略できます。

備考　手順の①～⑩は，図18－8の①～⑩に対応しています。

図18－8　積和演算（符号なし）動作のタイミング図

（2×3＋3 = 9 → 32767×2＋4294901762 = 0（オーバフロー発生））



18. 4. 4　積和演算（符号付）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を48Hにする。

② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット

（③ MDCHレジスタの累計値が負の値の場合は，MACSFビットが1にセットされます。）

④ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット

⑤ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

⑥ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，④，⑤のセットの順はどちらが先でも問題ありません。⑥のMDAHレジスタに乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

⑦　乗算演算が1クロックで終了します。

（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）

⑧ ⑦からさらに1クロックで，積和演算が終了します（初期設定完了（⑥）からは，2クロック以上ウエイト）。

・演算終了

⑨ MDCL, MDCHレジスタに格納された累計値が正の値の場合は，MACSFビットが0にクリアされます。

⑩ MDCLレジスタから累計値（下位16ビット）を読み出します。

⑪ MDCHレジスタから累計値（上位16ビット）を読み出します。

（⑩，⑪の読み出しの順はどちらが先でも問題ありません。）

（⑫ 積和演算結果がオーバフローしている場合は，MACOFビットが1にセットされ，INTMD信号が発生します。）

・次回演算

⑬ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

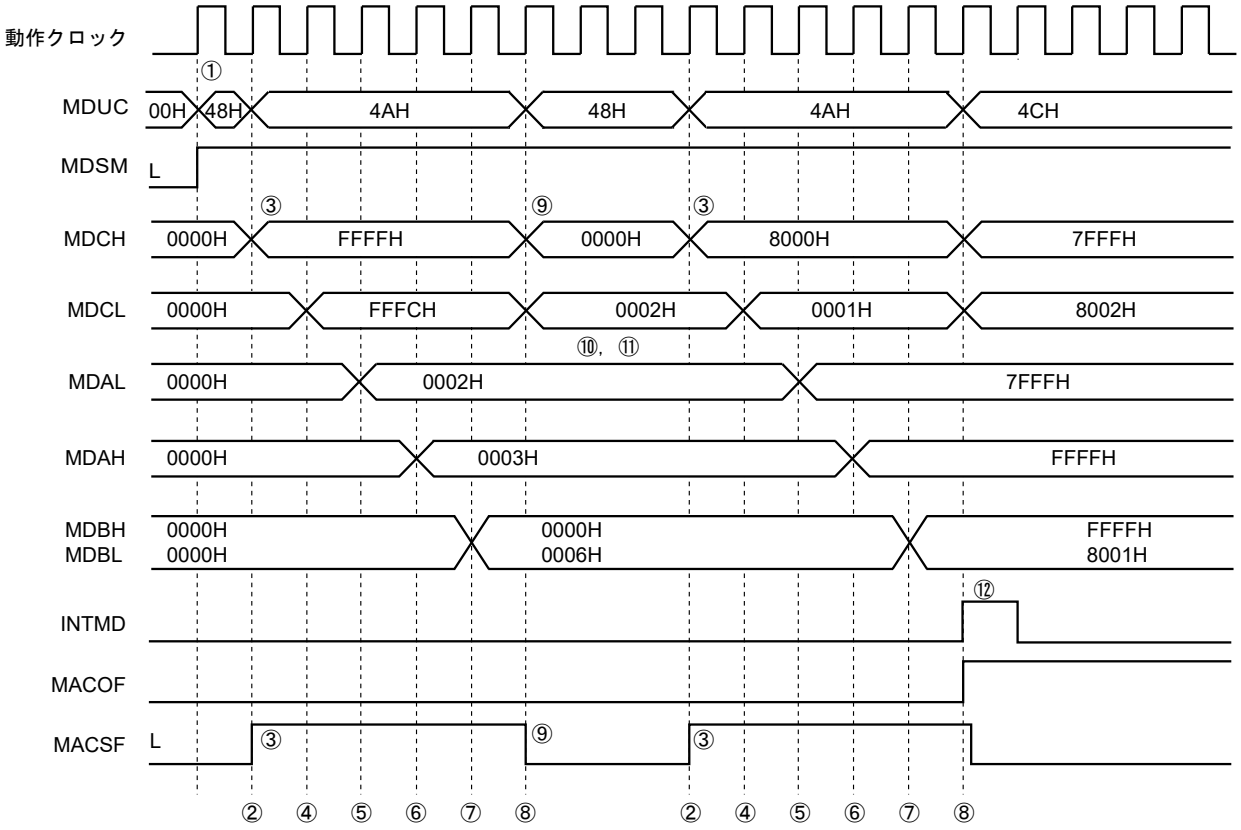
続けて同じ演算モードを使用する場合は，①～⑤の設定は省略できます。

注意　積和演算モード（符号付）の場合，データは2の補数形式になります。

備考　手順の①～⑫は，図18－9の①～⑫に対応しています。

図18－9　積和演算（符号付）動作のタイミング図

（2×3＋（－4）　＝2 → 32767×（－1）＋（－2147483647）　＝ －2147450882（オーバフロー発生））



18. 4. 5　除算動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）に80Hをセットする。

② 乗除算データ・レジスタA（H）（MDAH）に被除数（上位16ビット）をセット

③ 乗除算データ・レジスタA（L）（MDAL）に被除数（下位16ビット）をセット

④ 乗除算データ・レジスタB（H）（MDBH）に除数（上位16ビット）をセット

⑤ 乗除算データ・レジスタB（L）（MDBL）に除数（下位16ビット）をセット

⑥ MDUCレジスタのビット0（DIVST）に1をセット

（②～⑤の順はどれからセットしても問題ありません。）

・演算処理中

⑦ 次のいずれかの処理が完了すれば演算が終了します。

・16クロック以上ウエイト（16クロックで演算は終了します。）

・DIVSTビットがクリアされたことを確認

（演算処理中のMDBL, MDBH, MDCL, MDCHレジスタのリード値は保証しません。）

・演算終了

⑧ DIVSTビットがクリア（0）され，演算が終了します。このとき，MACMODE = 0での演算なら，割り込み要求信号（INTMD）が発生します。

⑨ MDALレジスタから商（下位16ビット）を読み出します。

⑩ MDAHジスタから商（上位16ビット）を読み出します。

⑪ 乗除算データ・レジスタC（L）（MDCL）から剰余（下位16ビット）を読み出します。

⑫ 乗除算データ・レジスタC（H）（MDCH）から剰余（上位16ビット）を読み出します。

（⑨～⑫の順はどれから読み出しても問題ありません。）

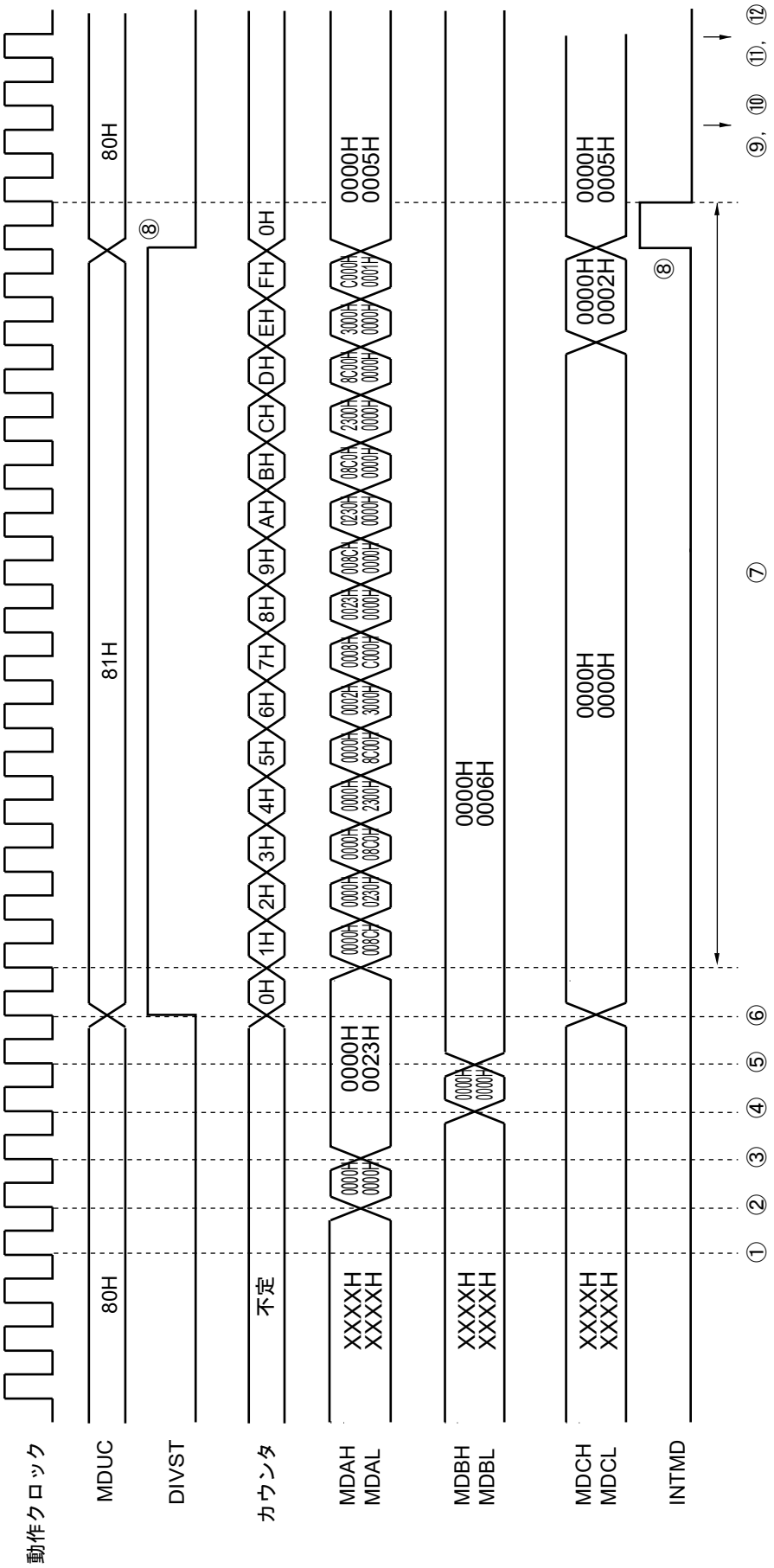
・次回演算

⑬ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①～⑤の設定は省略できます。

備考　手順の①～⑫は，図18－10の①～⑫に対応しています。

図18－10　除算動作のタイミング図（例：35÷6＝5　余5）



第19章　DMAコントローラ

RL78/I1Aは，DMA（Direct Memory Access）コントローラを内蔵しています。

DMAに対応している周辺ハードウエアのSFRと内蔵RAMの間は，CPUを介さずに自動でデータのやり取りをすることができます。

これにより，SFR⇔内蔵RAM間の転送を，通常のCPU内部の演算やデータ転送をしながら行えるため，大容量データの処理も可能になります。また，通信やタイマ，A/Dを駆使したリアルタイム制御も実現できます。

19. 1　DMAコントローラの機能

○DMAチャネル数：2チャネル

○転送単位：8ビット／16ビット

○最大転送単位：1024回

○転送タイプ：2サイクル転送（1回の転送を2クロックで処理し，その間はCPU動作が停止します）

○転送モード：シングル転送モード

○転送要求：以下の周辺ハードウエア割り込みから選択

・A/Dコンバータ

・シリアル・インタフェース
（CSI00, UART0, UART1）

・タイマ（チャネル0, 1, 2, 3）

○転送対象：SFR⇔内蔵RAM

DMAを使った機能例は，次のようなものが考えられます。

・シリアル・インタフェースの連続転送

・AD変換結果の連続取り込み

・一定時間ごとにポートの値を取りこむ

19. 2　DMAコントローラの構成

DMAコントローラは，次のハードウエアで構成されています。

表19－1　DMAコントローラの構成

項　　目	構　　成
アドレス・レジスタ	・DMA SFRアドレス・レジスタ0, 1（DSA0, DSA1） ・DMA RAMアドレス・レジスタ0, 1（DRA0,DRA1）
カウント・レジスタ	・DMAバイト・カウント・レジスタ0, 1（DBC0, DBC1）
制御レジスタ	・DMAモード・コントロール・レジスタ0, 1（DMC0, DMC1） ・DMA動作コントロール・レジスタ0, 1（DRC0, DRC1）

19. 2. 1　DMA SFRアドレス・レジスタn（DSAn）

DMAチャネルnの転送元／転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H- FFFFFHの下位8ビットを設定してください。

このレジスタは自動的にインクリメント動作せず，固定値となります。

16ビット転送モード時には，最下位ビットは無視され，偶数番地として扱われます。

DSAnレジスタは8ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，00Hになります。

図19－1　DMA SFRアドレス・レジスタn（DSAn）のフォーマット

アドレス：FFFB0H（DSA0），FFFB1H（DSA1）　リセット時：00H　R/W

	7	6	5	4	3	2	1	0
DSAn								

備考　n：DMAチャネル番号（n = 0, 1）

19. 2. 2　DMA RAMアドレス・レジスタn（DRAn）

DMAチャネルnの転送先／転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域（表19－2参照）のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると，自動的にインクリメントされます。8ビット転送モード時には＋1され，16ビット転送モード時には＋2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し，最終アドレスまで転送し終わると，DRAnレジスタは8ビット転送モード時には最終アドレス＋1，16ビット転送モード時には最終アドレス＋2になって停止します。

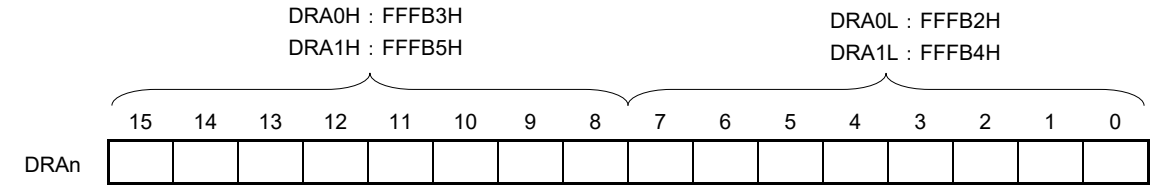
16ビット転送モード時には，最下位ビットは無視され，偶数番地として扱われます。

DRAnレジスタは8/16ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，0000Hになります。

図19－2　DMA RAMアドレス・レジスタn（DRAn）のフォーマット

アドレス：FFFB2H, FFFB3H（DRA0）, FFFB4H, FFFB5H（DRA1），　リセット時：0000H　R/W



（n = 0, 1）

表19－2　汎用レジスタ以外の内蔵RAM領域

製　品	汎用レジスタ以外の内蔵RAM領域
R5F1076C, R5F107AC	FF700H-FFEDFH
R5F107AE, R5F107DE	FEF00H-FFEDFH

備考　n：DMAチャネル番号（n = 0, 1）

19. 2. 3　DMAバイト・カウント・レジスタn（DBCn）

DMAチャネルnの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBCnレジスタに連続転送回数を設定してください（最大1024回）。

DMA転送が1回実行されるたびに，自動的にデクリメントされます。DMA転送中にこのDBCnレジスタを読み出すことで，残りの連続転送回数を知ることができます。

DBCnレジスタは8/16ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，0000Hになります。

図19－3　DMA バイト・カウント・レジスタn（DBCn）のフォーマット

アドレス：FFFB6H, FFFB7H（DBC0）, FFFB8H, FFFB9H（DBC1），　リセット時：0000H　R/W

DBC0H：FFFB7H
DBC1H：FFFB9H

DBC0L：FFFB6H
DBC1L：FFFB8H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn	0	0	0	0	0	0										

（n = 0, 1）

DBCn[9:0]	転送回数設定（DBCnライト時）	残りの転送回数（DBCnリード時）
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
・ ・ ・	・ ・ ・	・ ・ ・
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

注意1.　ビット15-10は，必ず0を設定してください。

2.　連続転送の結果，汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は，汎用レジスタやSFR空間へ書き込み／読み出しを行って，データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考　n：DMAチャネル番号（n = 0, 1）

19. 3　DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

・DMAモード・コントロール・レジスタn（DMCn）
・DMA動作コントロール・レジスタn（DRCn）

備考　n：DMAチャネル番号（n = 0, 1）

19. 3. 1 DMAモード・コントロール・レジスタn（DMCn）

DMCnレジスタは，DMAチャネルnの転送モード設定レジスタです。転送方向，データ・サイズ，保留設定，起動要因の選択を行います。ビット7（STGn）はDMA起動のソフトウエア・トリガとなります。

DMCnレジスタのビット6, 5, 3-0は，動作中（DSTn = 1のとき）の書き換えは禁止です。

DMCnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図19－4 DMAモード・コントロール・レジスタn（DMCn）のフォーマット（1/2）

アドレス：FFFBAH（DMC0）, FFFBBH（DMC1） リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

STGn注1	DMA転送開始ソフトウエア・トリガ
0	ソフトウエア・トリガ動作しない
1	DMA動作許可（DENn = 1）時に，DMA転送を開始する
DMA動作許可（DENn = 1）時に，STGnビットに1を書き込むことでDMA転送を1回します。 このビットの読み出し値は常に0となります。	

DRSn	DMA転送方向の選択
0	SFR → 内蔵RAM
1	内蔵RAM → SFR

DSn	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAITn注2	DMA転送の保留
0	DMA起動要求によりDMA転送を行う（保留しない）
1	DMA起動要求が来ても保留する
DWAITnビットの値を1→0にすることで，保留されているDMA転送を開始することができます。 また，DWAITnビットの値を0→1に設定してから，実際に転送が保留されるまでは2クロック必要となります。	

注1. ソフトウエア・トリガ（STGn）は，IFCn3-IFCn0ビットの値に関係なく使用できます。

2. DMAを2チャネルともに使用中でDMA転送を保留する場合は，必ず両チャネルのDMAを保留にしてください（DWAIT0 = DWAIT1 = 1）。

備考 n：DMAチャネル番号（n = 0, 1）

図19－4　DMAモード・コントロール・レジスタn（DMCn）のフォーマット（2/2）

アドレス：FFFBAH（DMC0），FFFBBH（DMC1）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

（n = 0, 1の場合）

IFCn 3	IFCn 2	IFCn 1	IFCn 0	DMA起動要因の選択[注]	
				トリガ信号	トリガ内容
0	0	0	0	－	割り込みによるDMA転送禁止 （ソフトウエア・トリガのみ可）
0	0	0	1	INTAD	A/D変換終了割り込み
0	0	1	0	INTTM00	タイマ・チャネル0のカウント完了またはキャプチャ割り込み
0	0	1	1	INTTM01	タイマ・チャネル1のカウント完了またはキャプチャ割り込み
0	1	0	0	INTTM02	タイマ・チャネル2のカウント完了またはキャプチャ割り込み
0	1	0	1	INTTM03	タイマ・チャネル3のカウント完了またはキャプチャ割り込み
0	1	1	0	INTST0/INTCSI00	UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み
0	1	1	1	INTSR0	UART0受信の転送完了割り込み
1	0	0	0	INTST1	UART1送信の転送完了，バッファ空き割り込み
1	0	0	1	INTSR1	UART1受信の転送完了割り込み
上記以外				設定禁止	

注　ソフトウエア・トリガ（STGn）は，IFCn3-IFCn0ビットの値に関係なく使用できます。

備考　n：DMAチャネル番号（n = 0, 1）

19. 3. 2 DMA動作コントロール・レジスタn（DRCn）

DRCnレジスタは，DMAチャネルnの転送許可／禁止を設定するレジスタです。

DRCnレジスタのビット7（DENn）は，動作中（DSTn = 1のとき）の書き換えは禁止です。

DRCnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図19－5 DMA動作コントロール・レジスタn（DRCn）のフォーマット

アドレス：FFFBCH（DRC0），FFFBDH（DRC1） リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DRCn	DENn	0	0	0	0	0	0	DSTn

DENn	DMA動作許可フラグ
0	DMAチャネルnの動作禁止（DMAの動作クロック停止）
1	DMAチャネルnの動作許可
DMA動作許可（DENn = 1）にしてから，DSTn = 1にすることでDMAトリガ待ち状態になります。	

DSTn	DMA転送モード・フラグ
0	DMAチャネルnのDMA転送終了
1	DMAチャネルnのDMA転送未終了（転送中）
DMA動作許可（DENn = 1）にしてから，DSTn = 1にすることでDMAトリガ待ち状態になります。 そしてソフトウエア・トリガ（STGn）またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると，DMA転送を開始します。 その後，DMA転送が終了すると自動的に0にクリアされます。 DMA転送中に強制終了したい場合は，0を書き込みます。	

注意 DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。
DENnフラグはDSTn = 0のときのみ書き込み許可となるため，DMAnの割り込み（INTDMAn）発生を待たずに終了する場合は，DSTn = 0に設定してからDENn = 0としてください（詳細は19. 5. 5 ソフトウエアでの強制終了参照）。

備考 n：DMAチャネル番号（n = 0, 1）

19. 4　DMAコントローラの動作

19. 4. 1　動作手順

① DENn = 1により, DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は，80Hを書き込みます。

② DMA SFRアドレス・レジスタn（DSAn），DMA RAMアドレス・レジスタn（DRAn），DMAバイト・カウント・レジスタn（DBCn），DMAモード・コントロール・レジスタn（DMCn）にDMA転送のSFRアドレス，RAMアドレス，転送回数，転送モードを設定します。

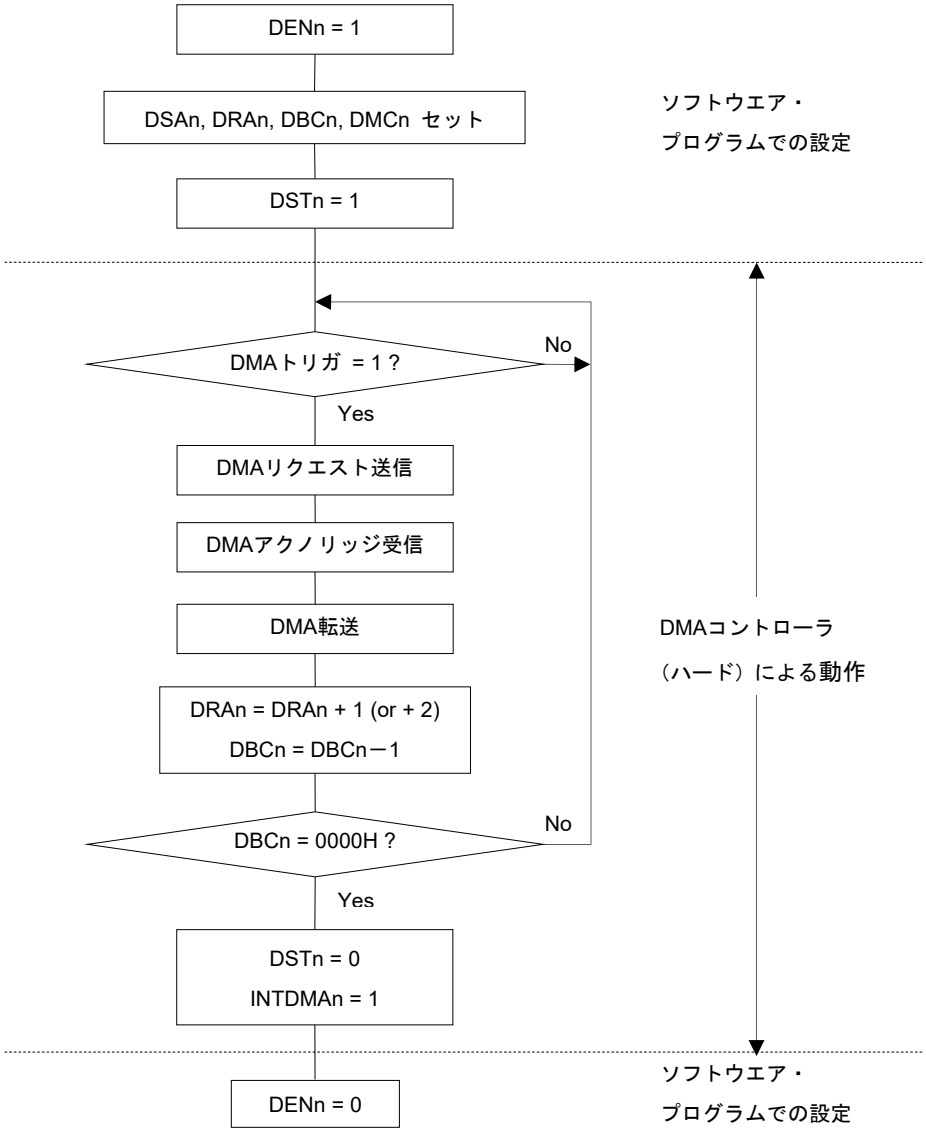
③ DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は，81Hを書き込みます。

④ ソフトウエア・トリガ（STGn）またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると，DMA転送を開始します。

⑤ DBCnレジスタで設定した転送回数が0になると転送が完了し，割り込み（INTDMAn）の発生により自動的に転送が終了します。

⑥ その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図19－6　動作手順



備考　n：DMAチャネル番号（n = 0, 1）

19. 4. 2　転送モード

DMA転送には，DMAモード・コントロール・レジスタn（DMCn）のビット6, 5（DRSn, DSn）の設定により，次の4つの転送モードを選択できます。

DRSn	DSn	DMA転送モード
0	0	1バイト・データのSFR（アドレス固定）からRAM（アドレスは＋1のインクリメント）への転送
0	1	2バイト・データのSFR（アドレス固定）からRAM（アドレスは＋2のインクリメント）への転送
1	0	1バイト・データのRAM（アドレスは＋1のインクリメント）からSFR（アドレス固定）への転送
1	1	2バイト・データのRAM（アドレスは＋2のインクリメント）からSFR（アドレス固定）への転送

この転送モードを使用することによって，シリアル・インタフェースを使った最大1024バイトの連続データ転送，A/D変換結果の連続データ転送，タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

19. 4. 3　DMA転送の終了

DBCn = 00HとなりDMA転送が完了すると，自動的にDSTnビットがクリア（0）されます。そして割り込み要求（INTDMAn）の発生により転送が終了します。

強制終了するためにDSTnビットをクリア（0）すると，DMAバイト・カウント・レジスタn（DBCn）と DMA RAMアドレス・レジスタn（DRAn）は停止したときの値を保持します。

また，強制終了した場合は割り込み要求（INTDMAn）は発生しません。

備考　n：DMAチャネル番号（n = 0, 1）

19. 5　DMAコントローラの設定例

19. 5. 1　簡易SPI(CSI)連続送信

簡易SPI(CSI)連続送信の設定例のフロー・チャートを次に示します。

・CSI00の連続送信（256バイト）

・DMAのチャネル0をDMA転送に使用

・DMA起動要因：INTCSI00（最初の起動要因のみソフトウエア・トリガ（STG0））

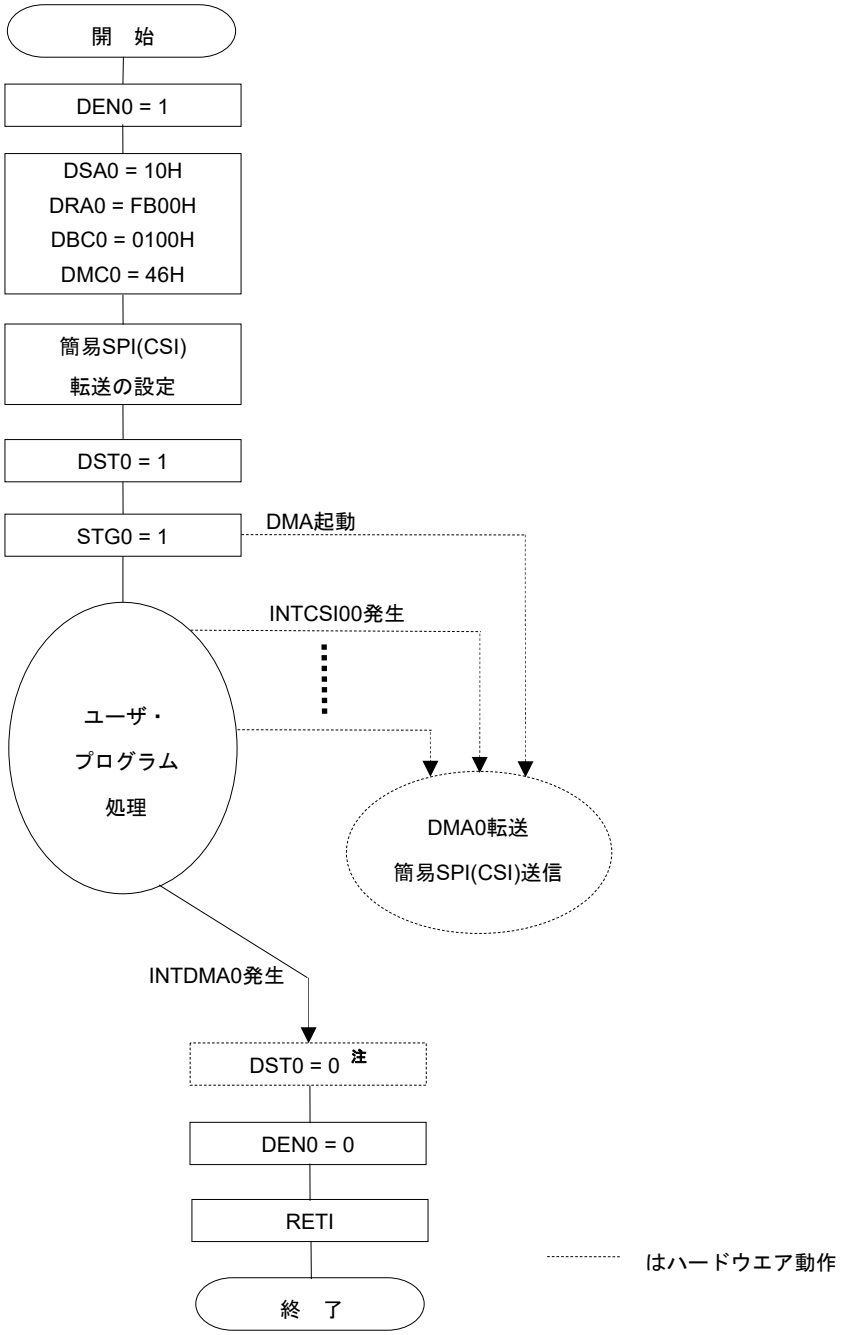
・CSI00の割り込みはIFC03-IFC00 = 0110Bに割り当て

・RAMのFFB00H-FFBFFH（256バイト）を簡易SPI(CSI)のデータ・レジスタ（SIO00）のFFF10Hに転送

注　一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

備考　IFC03-IFC00：DMAモード・コントロール・レジスタ0（DMC0）のビット3-0

図19－7　簡易SPI(CSI)連続送信の設定例



注　DST0フラグはDMA転送が終了すると自動的に0にクリアされます。
DEN0フラグはDST0 = 0のときのみ書き込み許可となるため，DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は，DST0 = 0に設定してからDEN0 = 0としてください（詳細は19. 5. 5　ソフトウエアでの強制終了参照）。

連続送信の場合は1回目のトリガは簡易SPI(CSI)の割り込みでは起動されません。この例ではソフトウエア・トリガにて起動しています。

2回目以降の簡易SPI(CSI)送信は自動的に転送されます。

データ・レジスタへの最終の送信データの書き込みが終わった時点で，DMA割り込み（INTDMA0）が発生します。

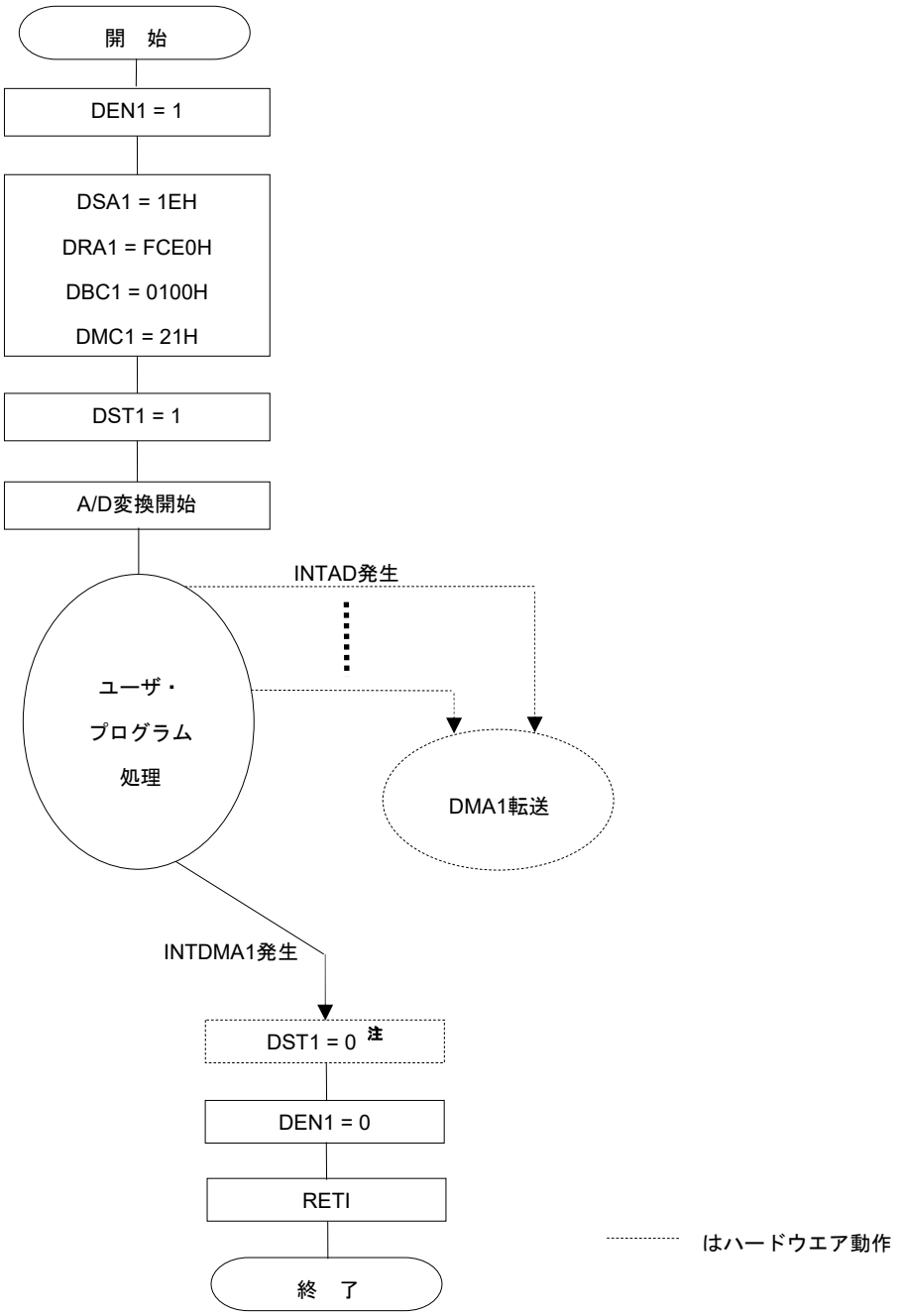
19. 5. 2　A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- A/D変換結果の連続取り込み
- DMAのチャネル1をDMA転送に使用
- DMA起動要因：INTAD
- A/Dの割り込みはIFC13-IFC10 = 0001Bに割り当て
- 10ビットA/D変換結果レジスタ（ADCR）のFFF1EHとFFF1FH（2バイト）をRAMのFFCE0H-FFEDFHの512バイトに転送

備考　IFC13-IFC10：DMAモード・コントロール・レジスタ1（DMC1）のビット3-0

図19－8　A/D変換結果の連続取り込みの設定例



注　DST1フラグはDMA転送が終了すると自動的に0にクリアされます。
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため，DMA1の割り込み（INTDMA1）発生を待たずに終了する場合は，DST1 = 0に設定してからDEN1 = 0としてください（詳細は19. 5. 5　ソフトウエアでの強制終了参照）。

19. 5. 3　UART連続受信＋ACK送信

UART連続受信＋ACK送信の設定例のフロー・チャートを次に示します。

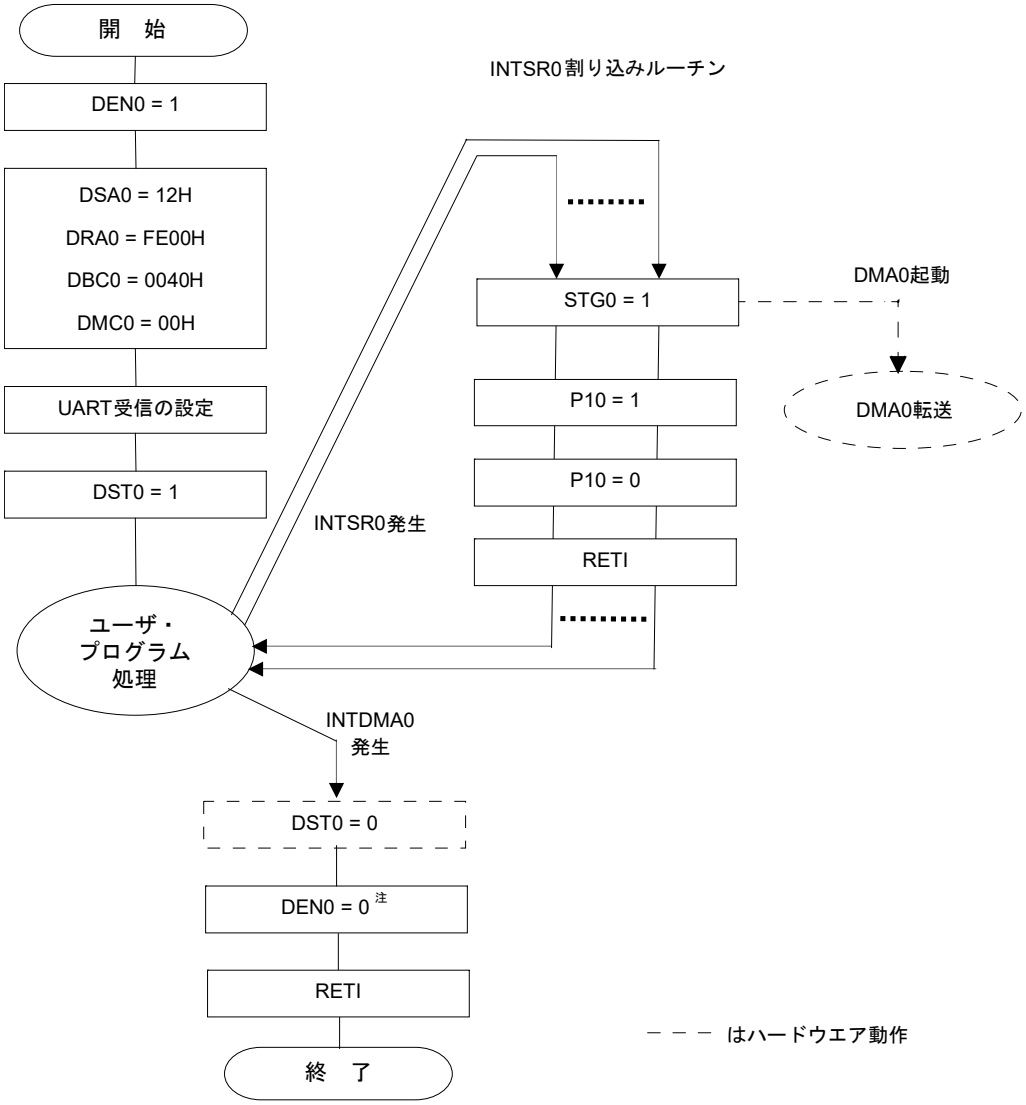
・UART0の連続受信を行い，P10に受信完了のACKを出力

・DMAのチャネル0をDMA転送に使用

・DMA起動要因：ソフトウエア・トリガ（割り込みによるDMA転送禁止）

・UART受信データ・レジスタ0（RxD0）のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図19－9　UART連続受信＋ACK送信の設定例



注　DST0フラグはDMA転送が終了すると自動的に0にクリアされます。
DEN0フラグはDST0 = 0のときのみ書き込み許可となるため，DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は，DST0 = 0に設定してからDEN0 = 0としてください（詳細は19. 5. 5　ソフトウエアでの強制終了参照）。

備考　DMA起動要因にソフトウエア・トリガを使用した例です。
ACKを送信せずに，UART連続受信だけであれば，UART受信完了割り込み（INTSR0）をDMA起動要因に設定して，受信することもできます。

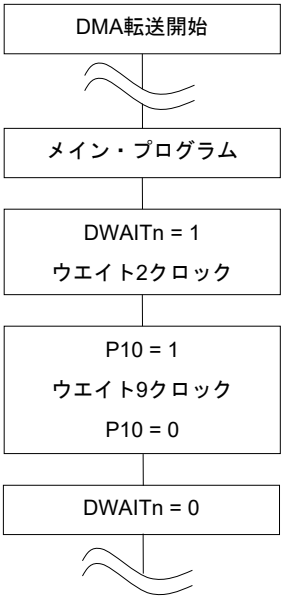
19. 5. 4　DWAITnビットによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため，そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は，DWAITn = 1とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は，保留を解除後に実行されます。ただし，保留できる転送トリガは各チャネル1つなので，保留中に同一チャネルの転送トリガが2回以上発生しても，保留解除後に実行されるDMA転送は1回です。

一例として，P10端子より動作周波数の10クロック幅のパルスを出力する場合，DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後，DMA転送が保留されるまで2クロック必要となります。

図19－10　DWAITnビットによるDMA転送保留の設定例



注意　DMAを2チャネルともに使用中でDMA転送を保留したい場合は，必ず両チャネルのDMAを保留にしてください（DWAIT0 = DWAIT1 = 1）。片方のDMAが保留中にもう一方のDMA転送が実行されると，保留されない場合があります。

備考1.　n：DMAチャネル番号（n = 0, 1）

2.　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

19. 5. 5　ソフトウエアでの強制終了

ソフトウエアでDSTn = 0に設定してから，実際にDMA転送が停止し，DSTn = 0となるまでには最大で2クロックが必要となります。そのため，DMAnの割り込み（INTDMAn）発生を待たずにソフトウエアで強制的にDMA転送を終了する場合は，次のいずれかの処理をしてください。

<DMAを1チャネル使用しているとき>

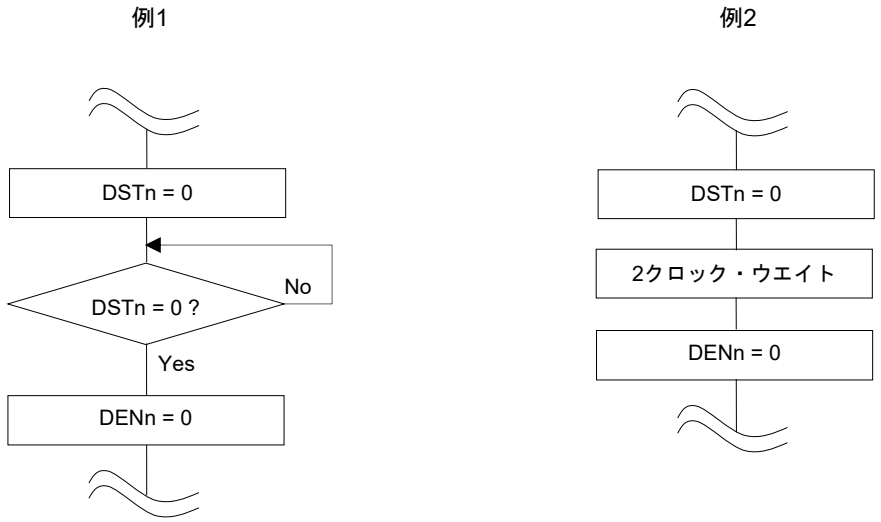
・ソフトウエアでDSTn = 0（バイト操作命令で書き込む場合はDRCn = 80H）にしてから，実際にDSTn ビットが0になったことをポーリングで確認後，DENn = 0（バイト操作命令で書き込む場合はDRCn = 00H）とする

・ソフトウエアでDSTn = 0（バイト操作命令で書き込む場合はDRCn = 80H）にしてから，2クロック経過後にDENn = 0（バイト操作命令で書き込む場合はDRCn = 00H）とする

<DMAを2チャネル使用しているとき>

・DMAを2チャネルとも使用しているときにソフトウエアで強制終了（DSTn = 0）する場合は，2チャネルともにDWAIT0, DWAIT1ビットをセット（1）してDMA転送を保留してから，DSTnビットをクリア（0）する。その後，2チャネルともにDWAIT0，DWAIT1ビットをクリア（0）し保留を解除してから，DENnビットをクリア（0）とする

図19－11　DMA転送の強制終了（1/2）



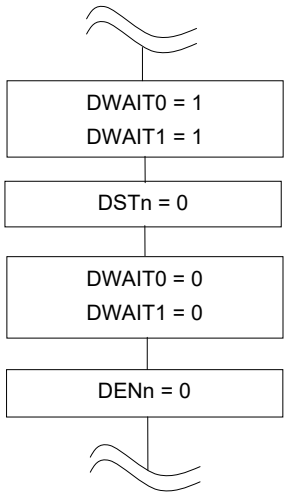
備考1.　n：DMAチャネル番号（n = 0, 1）

2.　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

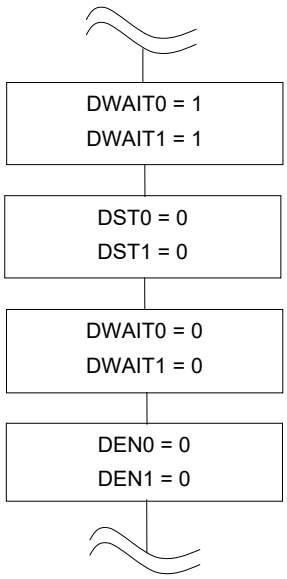
図19－11　DMA転送の強制終了（2/2）

例3

・2チャネルをともに使用時にどちらかのチャネルを強制終了する手順



・2チャネルをともに使用時に2チャネルともに強制終了する手順



注意　例3では，DWAITnビットのセット（1）後のウエイト2クロックは必要ありません。また，DSTnビットをクリア（0）してからDENnビットをクリア（0）するまで2クロック以上経過しているため，DSTnビットのクリア（0）後にウエイト2クロックする必要はありません。

備考1.　n：DMAチャネル番号（n = 0, 1）

2.　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

19. 6　DMAコントローラの注意事項

（1）DMAの優先順位

DMA転送中は，他のDMAチャネルの要求が発生しても保留されます。そしてDMA転送終了後に，保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は，DMAチャネル0＞DMAチャネル1の優先順位になります。

また，DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され，そのあとに割り込み処理が実行されます。

（2）DMA応答時間

DMA転送における応答時間は，次のようになります。

表19－3　DMA転送における応答時間

	最小時間	最大時間
応答時間	3クロック	10クロック注

注　内部RAMからの命令実行の場合は，最大時間が16クロックになります。

注意1.　上記の応答時間には，DMA転送の2クロック分は含まれていません。

2.　DMA保留命令（19. 6（4）参照）実行の場合は，各条件の最大応答時間に，その条件で保留する命令の実行時間を足した時間となります。

3.　最大応答時間＋1クロック以内での同一チャネルへの連続する転送トリガは，無視される可能性があるため設定しないでください。

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

（3）スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は，次のようになります。

表19－4　スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合，DMA転送が壊れることがありますので，STOP命令実行前にDMAを停止してください。

（4）DMA転送の保留命令

DMA要求が発生しても，次の命令直後ではDMA転送は保留されます。

・CALL　!addr16
・CALL　$!addr20
・CALL　!!addr20
・CALL　rp
・CALLT　[addr5]
・BRK
・MOV PSW，#byte
・MOV PSW, A
・MOV1 PSW. bit, CY
・SET1 PSW. bit
・CLR1 PSW. bit
・POP PSW
・BTCLR PSW. bit, $addr20
・EI
・DI
・IF0L，IF0H，IF1L，IF1H，IF2L，IF2H，MK0L，MK0H，MK1L，MK1H，MK2L，MK2H，PR00L，PR00H，PR01L，PR01H，PR02L，PR02H，PR10L，PR10H，PR11L，PR11H，PR12L，PR12Hレジスタの各レジスタに対するビット書き込み命令
・2nd SFRのアドレスF0500H～F06FFHに配置されているレジスタへアクセス
・データ・フラッシュにアクセスする命令

（5）汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDMA RAMアドレス・レジスタn（DRAn）で示すアドレスがインクリメントされていき，汎用レジスタ領域内に入ってしまったり，内蔵RAMの領域を越えてしまった場合，以下に示す動作になります。

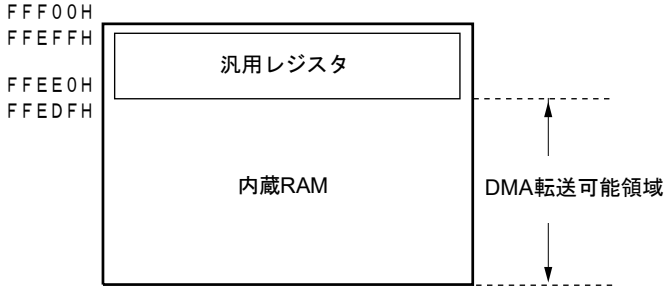
● SFRからRAMへの転送モード時

そのアドレスのデータを破壊してしまいます。

● RAMからSFRへの転送モード時

不定のデータがSFRへ転送されます。

いずれの場合も，誤動作やシステム破壊の原因となりますので，アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう，十分ご注意ください。



（6）2nd SFRのアドレスF0500H～F06FFHに配置されているレジスタへのアクセス

DMA転送が発生した1命令後に上記のレジスタにアクセスする場合，1クロックのウエイトが入ります。

（7）データ・フラッシュ空間にアクセスする場合の動作

DMA転送が起きた1命令後にデータ・フラッシュ空間にアクセスした場合，間の命令に3クロック分のウェイトが入ります。

命令1

DMA転送

命令2 ← 3クロック分のウェイト発生

MOV A, ！DataFlash空間

第20章　割り込み機能

プログラム実行中に，別の処理が必要になると，その処理プログラムに切り替える機能です。分岐先の処理を終えると，中断していた元のプログラム実行に戻ります。

割り込み要因数は，製品によって異なります。

		20ピン	30ピン	38ピン
マスカブル割り込み	外部	7	10	11
	内部	27	30	30

20. 1　割り込み機能の種類

割り込み機能には，次の2種類があります。

（1）マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L，PR00H，PR01L，PR01H，PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）の設定により，割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは，低い優先順位の割り込みに対して，多重割り込みをすることができます。また，同一優先順位を持つ複数の割り込み要求が同時に発生しているときは，ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表20－1を参照してください。

スタンバイ・リリース信号を発生し，STOPモード，HALTモード，SNOOZEモードを解除します。

マスカブル割り込みには，外部割り込み要求と内部割り込み要求があります。

（2）ソフトウエア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また，割り込み優先順位制御の対象になりません。

20. 2　割り込み要因と構成

割り込み要因には，マスカブル割り込み，ソフトウエア割り込みがあります。また，それ以外にリセット要因が最大で合計7要因あります（表20－1参照）。リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは，各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表20－1　割り込み要因一覧（1/3）

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	38ピン	30ピン	20ピン
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル注3（オーバフロー時間の75%＋1/2fIL）	内部	0004H	（A）	○	○	○
	1	INTLVI	電圧検出注4		0006H		○	○	○
	2	INTP0	端子入力エッジ検出	外部	0008H	（B）	○	○	○
	3	INTP3			000EH		○	－	－
	4	INTP4			0010H		○	○	－
	5	INTDMA0	DMA0の転送完了	内部	001AH	（A）	○	○	○
	6	INTDMA1	DMA1の転送完了		001CH		○	○	○
	7	INTST0	UART0送信の転送完了，バッファ空き割り込み		001EH		○	○	○
		INTCSI00	CSI00の転送完了，バッファ空き割り込み				○	－	－
	8	INTSR0	UART0受信の転送完了		0020H		○	○	○
	9	INTSRE0	UART0受信の通信エラー発生		0022H		○	○	○
		INTTM01H	タイマ・チャネル1のカウント完了またはキャプチャ完了（上位8ビット・タイマ動作時）				○	○	○
	10	INTST1	UART1送信の転送完了，バッファ空き割り込み		0024H		○	○	－
	11	INTSR1	UART1受信の転送完了		0026H		○	○	－
	12	INTSRE1	UART1受信の通信エラー発生		0028H		○	○	－
		INTTM03H	タイマ・チャネル3のカウント完了またはキャプチャ完了（上位8ビット・タイマ動作時）				○	○	○
	13	INTIICA0	IICA0通信完了		002AH		○	○	○
	14	INTTM00	タイマ・チャネル0のカウント完了またはキャプチャ完了		002CH		○	○	○
	15	INTTM01	タイマ・チャネル1のカウント完了またはキャプチャ完了（16ビット／下位8ビット・タイマ動作時）		002EH		○	○	○
	16	INTTM02	タイマ・チャネル2のカウント完了またはキャプチャ完了		0030H		○	○	○

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，40が最低順位です。

2.　基本構成タイプの（A）-（C）は，それぞれ図20－1の（A）-（C）に対応しています。

3.　オプション・バイト（000C0H）のビット7（WDTINT）= 1選択時。

4.　電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 0選択時。

表20－1　割り込み要因一覧（2/3）

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	38ピン	30ピン	20ピン
マスカブル	17	INTTM03	タイマ・チャネル3のカウント完了またはキャプチャ完了 （16ビット／下位8ビット・タイマ動作時）	内部	0032H	（A）	○	○	○
	18	INTAD	A/D変換終了		0034H		○	○	○
	19	INTRTC	リアルタイム・クロックの定周期信号／アラーム一致検出		0036H		○	○	○
	20	INTIT	12ビット・インターバル・タイマのインターバル信号検出		0038H		○	○	○
	21	INTSTDL4	DALI/UART4送信の転送完了，バッファ空き割り込み		003CH		○	○	○
	22	INTSRDL4	DALI/UART4受信の転送完了		003EH		○	○	○
		INTSREDL4	DALI/UART4受信の通信エラー発生				○	○	○
	23	INTP20	端子入力エッジ検出	外部	0040H	（B）	○	○	○
		INTP22					○	○	○
	24	INTTM04	タイマ・チャネル4のカウント完了またはキャプチャ完了	内部	0042H	（A）	○	○	○
	25	INTTM05	タイマ・チャネル5のカウント完了またはキャプチャ完了		0044H		○	○	○
	26	INTTM06	タイマ・チャネル6のカウント完了またはキャプチャ完了		0046H		○	○	○
	27	INTTM07	タイマ・チャネル7のカウント完了またはキャプチャ完了		0048H		○	○	○
	28	INTCMP0	コンパレータ0エッジ検出	外部	004AH	（B）	○	○	○
	29	INTCMP1 注3	コンパレータ1エッジ検出		004CH		○	○	○
	30	INTCMP2	コンパレータ2エッジ検出		004EH		○	○	○
	31	INTP9	端子入力エッジ検出		0050H		○	－	－
		INTCMP3 注3	コンパレータ3エッジ検出				○	○	○
	32	INTP10	端子入力エッジ検出		0052H		○	－	－
		INTCMP4 注3	コンパレータ4エッジ検出				○	○	－
	33	INTP11	端子入力エッジ検出		0054H		○	○	－
		INTCMP5 注3	コンパレータ5エッジ検出				○	○	－

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，40が最低順位です。

2.　基本構成タイプの（A）-（C）は，それぞれ図20－1の（A）-（C）に対応しています。

3.　INTCMP1, INTCMP3, INTCMP4, INTCMP5は，STOPモード解除には使用できません。割り込み発生のタイミングについては，14. 5　タイマKB連動機能使用時の注意事項を参照してください。

表20－1　割り込み要因一覧（3/3）

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	38ピン	30ピン	20ピン
マスカブル	34	INTTMKB0	タイマKB0のカウント完了	内部	0056H	（A）	○	○	○
	35	INTTMKB1	タイマKB1のカウント完了		0058H		○	○	○
	36	INTTMKB2	タイマKB2のカウント完了		005AH		○	○	－
	37	INTTMKC0	タイマKC0のカウント完了		005CH		○	○	○
	38	INTMD	除算演算終了／積和演算結果のオーバフロー発生		005EH		○	○	○
	39	INTP21	端子入力エッジ検出	外部	0060H	（B）	○	○	○
		INTP23					○	○	－
	40	INTFL	予約	内部	0062H	（A）	○	○	○
ソフトウエア	－	BRK	BRK命令の実行	－	007EH	（C）	○	○	○
リセット	－	RESET	$\overline{\text{RESET}}$端子入力	－	0000H	－	○	○	○
		POR	パワーオン・リセット				○	○	○
		LVD	電圧検出注3				○	○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○
		TRAP	不正命令の実行注4				○	○	○
		IAW	不正メモリ・アクセス				○	○	○
		RPE	RAMパリティ・エラー				○	○	○

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，40が最低順位です。

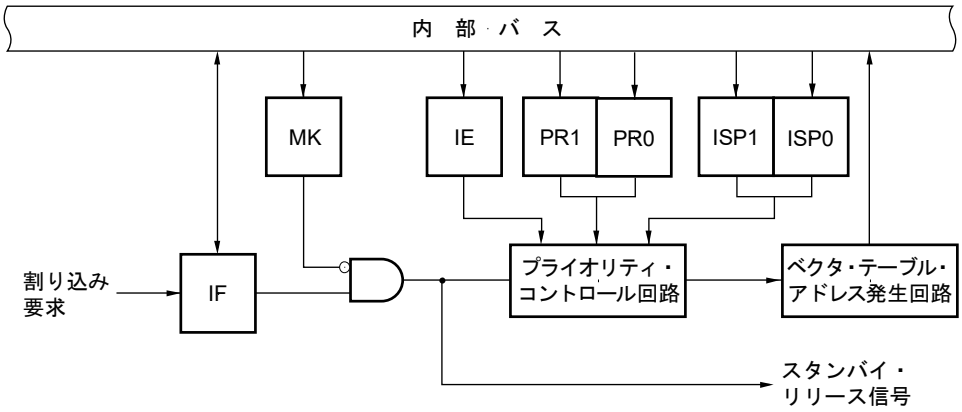
2.　基本構成タイプの（A）-（C）は，それぞれ図20－1の（A）-（C）に対応しています。

3.　電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 1選択時。

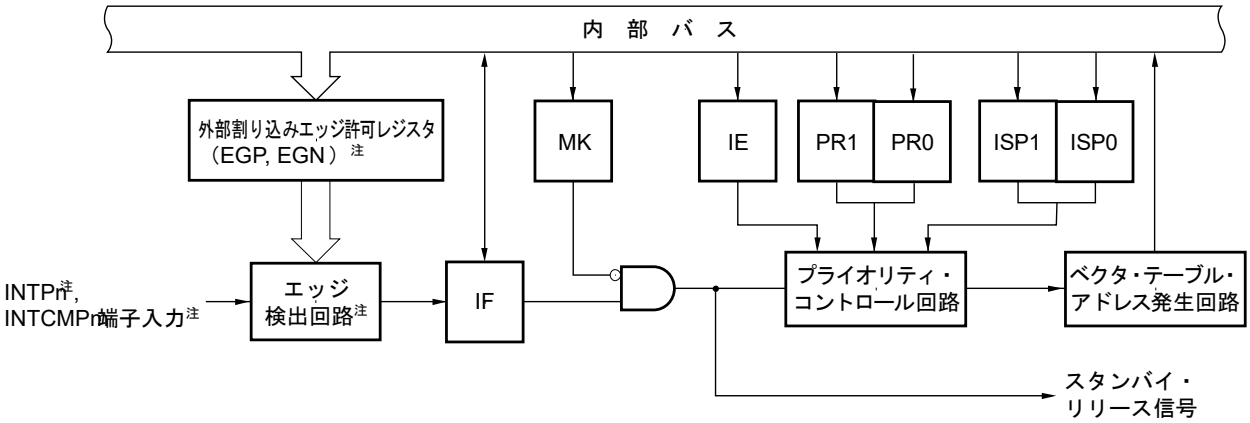
4.　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図20－1　割り込み機能の基本構成（1/2）

（A）内部マスカブル割り込み



（B）外部マスカブル割り込み（INTPn, INTCMPm）



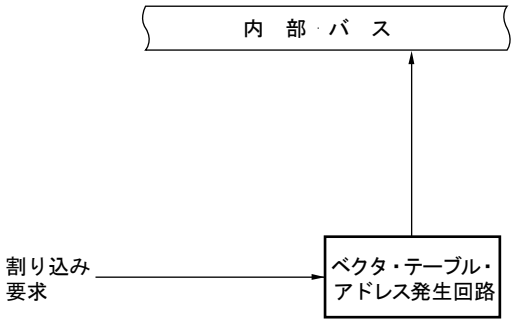
IF　　：割り込み要求フラグ
IE　　：割り込み許可フラグ
ISP0　：インサービス・プライオリティ・フラグ0
ISP1　：インサービス・プライオリティ・フラグ1
MK　　：割り込みマスク・フラグ
PR0　　：優先順位指定フラグ0
PR1　　：優先順位指定フラグ1

注　INTP20, INTP21, INTCMPmは，タイマKB連動機能（タイマKB強制出力停止機能，タイマKBタイマ・リスタート機能）使用時の設定により，割り込み信号の経路，割り込み発生タイミング，エッジ許可レジスタが変わります。詳細は，**図14–1　コンパレータのブロック図**，**14. 5　タイマKB連動機能使用時の注意事項**を参照してください。

備考　20ピン　：n = 0, 20, 21, 22, m = 0-3
30ピン　：n = 0, 4, 11, 20-23, m = 0-5
38ピン　：n = 0, 3, 4, 9-11, 20-23, m = 0-5

図20－1　割り込み機能の基本構成（2/2）

（C）ソフトウエア割り込み



IF　：割り込み要求フラグ

IE　：割り込み許可フラグ

ISP0　：インサービス・プライオリティ・フラグ0

ISP1　：インサービス・プライオリティ・フラグ1

MK　：割り込みマスク・フラグ

PR0　：優先順位指定フラグ0

PR1　：優先順位指定フラグ1

20.3　割り込み機能を制御するレジスタ

割り込み機能は，次の8種類のレジスタで制御します。

・割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）
・割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）
・優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）
・外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1, EGP2）
・外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1, EGN2）
・プログラム・ステータス・ワード（PSW）
・割り込みマスク・フラグ・レジスタ0（INTMK0）
・割り込みモニタ・フラグ・レジスタ0（INTMF0）

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を表20－2に示します。

表20－2　割り込み要求ソースに対応する各種フラグ（1/3）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	38ピン	30ピン	20ピン
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○
INTLVI	LVIIF		LVIMK		LVIPR0, LVIPR1		○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	－	－
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	－
INTDMA0	DMAIF0	IF0H	DMAMK0	MK0H	DMAPR00, DMAPR10	PR00H, PR10H	○	○	○
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11		○	○	○
INTST0[注1]	STIF0[注1]		STMK0[注1]		STPR00, STPR10[注1]		○	○	○
INTCSI00[注1]	CSIIF00[注1]		CSIMK00[注1]		CSIPR000, CSIPR100[注1]		○	－	－
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10		○	○	○
INTSRE0[注2]	SREIF0[注2]		SREMK0[注2]		SREPR00, SREPR10[注2]		○	○	○
INTTM01H[注2]	TMIF01H[注2]		TMMK01H[注2]		TMPR001H, TMPR101H[注2]		○	○	○

注1.　割り込み要因INTST0，INTCSI00のうち，いずれかが発生したら，IF0Hレジスタのビット5はセット（1）されます。また，MK0H, PR00H, PR10Hレジスタのビット5は，両方の割り込み要因に対応しています。

2.　UART0受信のエラー割り込み, TAU0のチャネル1（上位8ビット・タイマ動作時）の割り込みは，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。UART0受信のエラー割り込みを使用しない（EOC01 = 0）場合は，UART0, TAU0のチャネル1（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち，どちらかが発生したら，IF0Hレジスタのビット7はセット（1）されます。また，MK0H, PR00H, PR10Hレジスタのビット7は，両方の割り込み要因に対応しています。

表20－2　割り込み要求ソースに対応する各種フラグ（2/3）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	38ピン	30ピン	20ピン
INTST1	STIF1	IF1L	STMK1	MK1L	STPR01, STPR11	PR01L, PR11L	○	○	－
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11		○	○	－
INTSRE1注1	SREIF1注1		SREMK1注1		SREPR01, SREPR11注1		○	○	－
INTTM03H注1	TMIF03H注1		TMMK03H注1		TMPR003H, TMPR103H注1		○	○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○	○
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		○	○	○
INTIT	ITIF		ITMK		ITPR0, ITPR1		○	○	○
INTSTDL4	STDLIF4		STDLMK4		STDLPR04, STDLPR14		○	○	○
INTSRDL4注2	SRDLIF4注2		SRDLMK4注2		SRDLPR04, SRDLPR14注2		○	○	○
INTSREDL4注2	SREDLIF4注2		SREDLMK4注2		SREDLPR04, SREDLPR14注2		○	○	○
INTP20注3	PIF20注3		PMK20注3		PPR020, PPR120注3		○	○	○
INTP22注3	PIF22注3		PMK22注3		PPR022, PPR122注3		○	○	○
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○	○

注1. UART1受信のエラー割り込み，TAU0のチャネル3（上位8ビット・タイマ動作時）の割り込みは，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。UART1受信のエラー割り込みを使用しない（EOC03 = 0）場合は，UART1, TAU0のチャネル3（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち，どちらかが発生したら，IF1Lレジスタのビット2はセット（1）されます。また，MK1L, PR01L, PR11Lレジスタのビット2は，両方の割り込み要因に対応しています。

2. DALI/UART4のINTSRDL4（転送完了割り込み），INTSREDL4（エラー割り込み）は，割り込み要求ソースに対する各種フラグを兼用しています。割り込み要因INTSRDL4, INTSREDL4のうち，いずれかが発生したら，IF1Hレジスタのビット5はセット（1）されます。また，MK1H, PR01H, PR11Hレジスタのビット5は，両方の割り込み要因に対応しています。エラー割り込みINTSREDL4発生時は，シリアル・ステータス・レジスタ41（SSR41）のエラー・フラグがセットされます。これにより，INTSRDL4（転送完了割り込み）かINTSREDL4（エラー割り込み）のどちらが発生しかたかを判別することができます。

3. 外部割り込みINTP20, INTP22は，割り込み要求ソースに対する各種フラグを兼用しています。割り込み要因INTP20, INTP22のうち，どちらかが発生したら，IF1Hレジスタのビット6はセット（1）されます。また，MK1H, PR01H, PR11Hレジスタのビット6は，両方の割り込み要因に対応しています。
外部割り込みINTP20, INTP22は，割り込みマスク・フラグ・レジスタ0（INTMK0）で割り込み要求をマスクすることができます。また，割り込みモニタ・フラグ・レジスタ0（INTMF0）により，外部割り込みの発生状態を確認することができます（図20－2参照）。

表20－2　割り込み要求ソースに対応する各種フラグ（3/3）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	38ピン	30ピン	20ピン
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L	○	○	○
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106		○	○	○
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○	○
INTCMP0	CMPIF0		CMPMK0		CMPPR00, CMPPR10		○	○	○
INTCMP1	CMPIF1		CMPMK1		CMPPR01, CMPPR11		○	○	○
INTCMP2	CMPIF2		CMPMK2		CMPPR02, CMPPR12		○	○	○
INTP9[注1]	PIF9[注1]		PMK9[注1]		PPR09, PPR19[注1]		○	－	－
INTCMP3[注1]	CMPIF3[注1]		CMPMK3[注1]		CMPPR03, CMPPR13[注1]		○	○	○
INTP10[注2]	PIF10[注2]		PMK10[注2]		PPR010, PPR110[注2]		○	－	－
INTCMP4[注2]	CMPIF4[注2]		CMPMK4[注2]		CMPPR04, CMPPR14[注2]		○	○	－
INTP11[注3]	PIF11[注3]	IF2H	PMK11[注3]	MK2H	PPR011, PPR111[注3]	PR02H, PR12H	○	○	－
INTCMP5[注3]	CMPIF5[注3]		CMPMK5[注3]		CMPPR05, CMPPR15[注3]		○	○	－
INTTMKB0	TMKBIF0		TMKBMK0		TMKBPR00, TMKBPR10		○	○	○
INTTMKB1	TMKBIF1		TMKBMK1		TMKBPR01, TMKBPR11		○	○	○
INTTMKB2	TMKBIF2		TMKBMK2		TMKBPR02, TMKBPR12		○	○	－
INTTMKC0	TMKCIF0		TMKCMK0		TMKCPR00, TMKCPR10		○	○	○
INTMD	MDIF		MDMK		MDPR0, MDPR1		○	○	○
INTP21[注4]	PIF21[注4]		PMK21[注4]		PPR021, PPR121[注4]		○	○	○
INTP23[注4]	PIF23[注4]		PMK23[注4]		PPR023, PPR123[注4]		○	○	－
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○	○

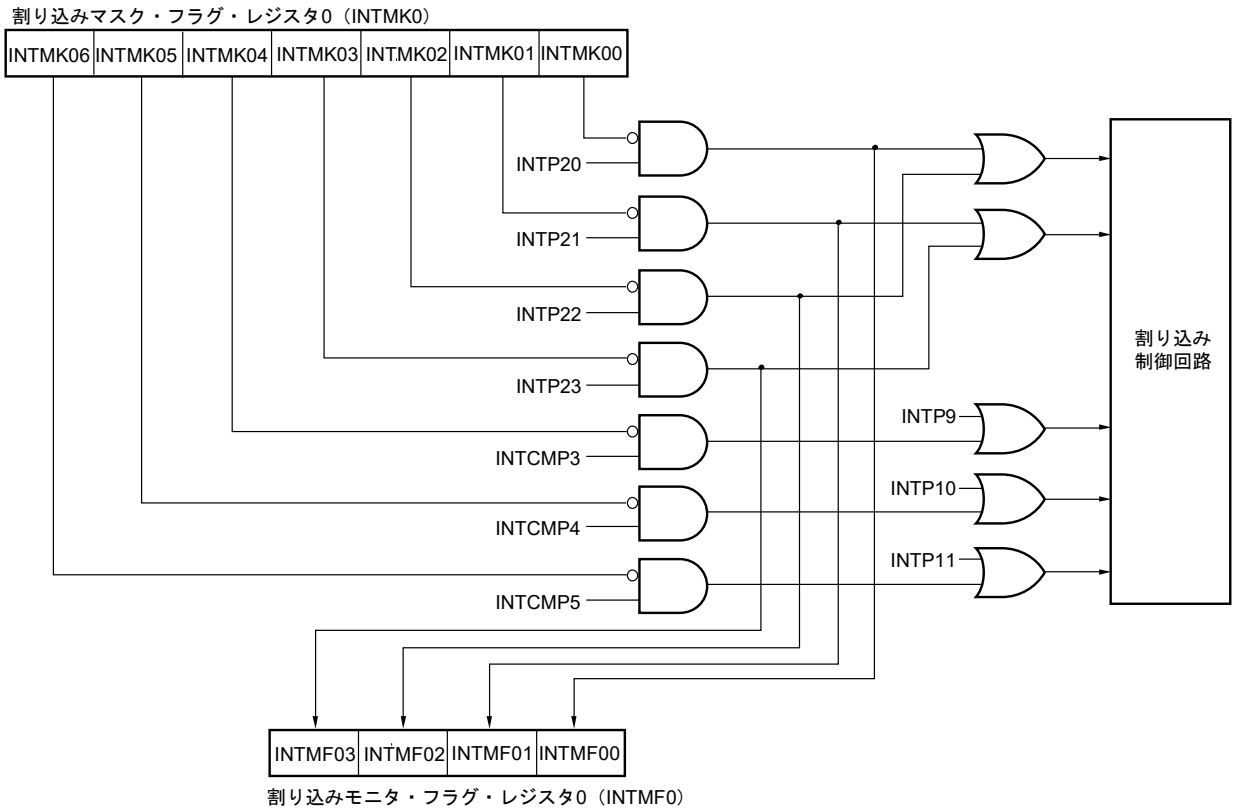
注1. 外部割込みINTP9，コンパレータ3は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。割り込み要因INTP9, INTCMP3のうち，どちらかが発生したら，IF2Lレジスタのビット6はセット（1）されます。また，MK2L, PR02L, PR12Lレジスタのビット6は，両方の割り込み要因に対応しています。
また，INTCMP3は，割り込みマスク・フラグ・レジスタ0（INTMK0）で，割り込み要求をマスクすることができます（図20－2参照）。

2. 外部割込みINTP10，コンパレータ4は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。割り込み要因INTP10, INTCMP4のうち，どちらかが発生したら，IF2Lレジスタのビット7はセット（1）されます。また，MK2L, PR02L, PR12Lレジスタのビット7は，両方の割り込み要因に対応しています。
また，INTCMP4は，割り込みマスク・フラグ・レジスタ0（INTMK0）で，割り込み要求をマスクすることができます（図20－2参照）。

3. 外部割込みINTP11，コンパレータ5は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。割り込み要因INTP11, INTCMP5のうち，どちらかが発生したら，IF2Hレジスタのビット0はセット（1）されます。また，MK2H, PR02H, PR12Hレジスタのビット0は，両方の割り込み要因に対応しています。
また，INTCMP5は，割り込みマスク・フラグ・レジスタ0（INTMK0）で，割り込み要求をマスクすることができます（図20－2参照）。

4. 外部割り込みINTP21, INTP23は，割り込み要求ソースに対する各種フラグを兼用しています。割り込み要因INTP21，INTP23のうち，どちらかが発生したら，IF2Hレジスタのビット6はセット（1）されます。また，MK2H, PR02H, PR12Hレジスタのビット6は，両方の割り込み要因に対応しています。
外部割り込みINTP21, INTP23は，割り込みマスク・フラグ・レジスタ0（INTMK0）で割り込み要求をマスクすることができます。また，割り込みモニタ・フラグ・レジスタ0（INTMF0）により，外部割り込みの発生状態を確認することができます（図20－2参照）。

図20－2　外部割り込みINTP20-INTP23，コンパレータ割り込みINTCMP3-INTCMP5の制御



20. 3. 1　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）

割り込み要求フラグは，対応する割り込み要求の発生または命令の実行によりセット（1）され，割り込み要求受け付け時，リセット信号発生時または命令の実行によりクリア（0）されるフラグです。

割り込みが受け付けられた場合，まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，IF0LレジスタとIF0Hレジスタ, IF1LレジスタとIF1Hレジスタ, IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図20－3　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）のフォーマット（38ピン製品）（1/2）

アドレス：FFFE0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0L	0	PIF4	PIF3	0	0	PIF0	LVIIF	WDTIIF

アドレス：FFFE1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0 TMIF01H	SRIF0	STIF0 CSIIF00	DMAIF1	DMAIF0	0	0	0

アドレス：FFFE2H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAIF0	SREIF1 TMIF03H	SRIF1	STIF1

アドレス：FFFE3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	PIF20 PIF22	SRDLIF4 SREDLIF4	STDLIF4	0	ITIF	RTCIF	ADIF

アドレス：FFFD0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF2L	PIF10 CMPIF4	PIF9 CMPIF3	CMPIF2	CMPIF1	CMPIF0	TMIF07	TMIF06	TMIF05

図20－3　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）のフォーマット（38ピン製品）（2/2）

アドレス：FFFD1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	PIF21 PIF23	MDIF	TMKCIF0	TMKBIF2	TMKBIF1	TMKBIF0	PIF11 CMPIF5

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し，割り込み要求状態

注意1.　製品によって搭載しているレジスタとビットは異なります。
各製品に搭載しているレジスタとビットについては，表20－2を参照してください。また，搭載していないビットには，必ず初期値を設定してください。

2.　割り込み要求フラグ・レジスタのフラグ操作には，1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は，コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため，「IF0L.0 = 0;」や「_asm(“clr1 IF0L,0”);」のようなビット操作命令を使用してください。
なお，C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合，コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合，「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで，同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても，「mov IF0L, a」でクリア（0）されます。したがって，C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

20. 3. 2　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）

割り込みマスク・フラグは，対応するマスカブル割り込みの許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，MK0LレジスタとMK0Hレジスタ, MK1LレジスタとMK1Hレジスタ, MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図20－4　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）のフォーマット（38ピン製品）（1/2）

アドレス：FFFE4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0L	1	PMK4	PMK3	1	1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0H	SREMK0 TMMK01H	SRMK0	STMK0 CSIMK00	DMAMK1	DMAMK0	1	1	1

アドレス：FFFE6H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1 TMMK03H	SRMK1	STMK1

アドレス：FFFE7H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK04	PMK20 PMK22	SRDLMK4 SREDLMK4	STDLMK4	1	ITMK	RTCMK	ADMK

アドレス：FFFD4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK2L	PMK10 CMPMK4	PMK9 CMPMK3	CMPMK2	CMPMK1	CMPMK0	TMMK07	TMMK06	TMMK05

図20－4　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）のフォーマット（38ピン製品）（2/2）

アドレス：FFFD5H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	PMK21 PMK23	MDMK	TMKCMK0	TMKBMK2	TMKBMK1	TMKBMK0	PMK11 CMPMK5

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意　製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているビットについては，表20－2を参照してください。また，搭載していないビットには必ず初期値を設定してください。

20. 3. 3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）

優先順位指定フラグは，対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせて，優先順位レベルを設定します（xy = 0L, 0H, 1L, 1H, 2L, 2H）。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，PR00LレジスタとPR00Hレジスタ，PR01LレジスタとPR01Hレジスタ，PR02LレジスタとPR02Hレジスタ，PR10LレジスタとPR10Hレジスタ，PR11LレジスタとPR11Hレジスタ，PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図20－5　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）のフォーマット（38ピン製品）（1/2）

アドレス：FFFE8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00L	1	PPR04	PPR03	1	1	PPR00	LVIPR0	WDTIPR0

アドレス：FFFECH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10L	1	PPR14	PPR13	1	1	PPR10	LVIPR1	WDTIPR1

アドレス：FFFE9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00H	SREPR00 TMPR001H	SRPR00	STPR00 CSIPR000	DMAPR01	DMAPR00	1	1	1

アドレス：FFFEDH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10H	SREPR10 TMPR101H	SRPR10	STPR10 CSIPR100	DMAPR11	DMAPR10	1	1	1

アドレス：FFFEAH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR00	SREPR01 TMPR003H	SRPR01	STPR01

アドレス：FFFEEH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR10	SREPR11 TMPR103H	SRPR11	STPR11

図20－5　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）のフォーマット（38ピン製品）（2/2）

アドレス：FFFEBH　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PR01H	TMPR004	PPR020 PPR022	SRDLPR04 SREDLPR04	STDLPR04	1	ITPR0	RTCPR0	ADPR0

アドレス：FFFEFH　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PR11H	TMPR104	PPR120 PPR122	SRDLPR14 SREDLPR14	STDLPR14	1	ITPR1	RTCPR1	ADPR1

アドレス：FFFD8H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PR02L	PPR010 CMPPR04	PPR09 CMPPR03	CMPPR02	CMPPR01	CMPPR00	TMPR007	TMPR006	TMPR005

アドレス：FFFDCH　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PR12L	PPR110 CMPPR14	PPR19 CMPPR13	CMPPR12	CMPPR11	CMPPR10	TMPR107	TMPR106	TMPR105

アドレス：FFFD9H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PR02H	FLPR0	PPR021 PPR023	MDPR0	TMKCPR00	TMKBPR02	TMKBPR01	TMKBPR00	PPR011 CMPR05

アドレス：FFFDDH　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PR12H	FLPR1	PPR121 PPR123	MDPR1	TMKCPR10	TMKBPR12	TMKBPR11	TMKBPR10	PPR111 CMPR15

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意　製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては，表20－2を参照してください。また，搭載していないビットには必ず初期値を設定してください。

20. 3. 4　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1, EGP2），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1, EGN2）

INTP0-INTP11の有効エッジを設定するレジスタです。

EGP0, EGP1, EGP2, EGN0, EGN1, EGN2レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図20－6　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1, EGP2），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1, EGN2）のフォーマット（38ピン製品）

アドレス：FFF38H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	0	0	EGP4	EGP3	0	0	EGP0

アドレス：FFF39H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	0	0	EGN4	EGN3	0	0	EGN0

アドレス：FFF3AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	EGP11	EGP10	EGP9	0

アドレス：FFF3BH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	EGN11	EGN10	EGN9	0

アドレス：F0518H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP2	0	0	0	0	EGP23	EGP22	EGP21	EGP20

アドレス：F0519H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN2	0	0	0	0	EGN23	EGN22	EGN21	EGN20

EGPn	EGNn	INTPn端子の有効エッジの選択（n = 0, 3, 4, 9-11, 20-23）
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表20－3に示します。

表20－3　EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		エッジ検出ポート	割り込み要求信号	38ピン	30ピン	20ピン
EGP0	EGN0	P137	INTP0	○	○	○
EGP3	EGN3	P30	INTP3	○	－	－
EGP4	EGN4	P31	INTP4	○	○	－
EGP9	EGN9	P75	INTP9	○	－	－
EGP10	EGN10	P76	INTP10	○	－	－
EGP11	EGN11	P77	INTP11	○	○	－
EGP20	EGN20	P10 (P203)	INTP20	○	○	○
EGP21	EGN21	P11 (P202)	INTP21	○	○	○
EGP22	EGN22	P200	INTP22	○	○	○
EGP23	EGN23	P206	INTP23	○	○	－

注意　外部割り込み機能で使用している入力ポートを出力モードに切り替えると，有効エッジを検出してINTPn割り込みが発生する可能性があります。出力モードに切り替える場合は，エッジ検出禁止（EGPn，EGNn = 0, 0）にしてからポート・モード・レジスタ（PMxx）を0に切り替えてください。

備考1.　n = 0, 3, 4, 9-11, 20-23

2.　上表の（ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR1）の設定により，割り当て可能なポートです。

20. 3. 5　コンパレータ立ち上がりエッジ許可レジスタ0（CMPEGP0），コンパレータ立ち下がりエッジ許可レジスタ0（CMPEGN0）

コンパレータn検出割り込み信号（INTCMPn）および外部割り込み（INTP20, INTP21）の有効エッジを設定するレジスタです。

CMPEGP0, CMPEGN0レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図20－7　コンパレータ立ち上がりエッジ許可レジスタ0（CMPEGP0），コンパレータ立ち下がりエッジ許可レジスタ0（CMPEGN0）のフォーマット

アドレス：F0558 H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CMPEGP0	CEGP7	CEGP6	CEGP5	CEGP4	CEGP3	CEGP2	CEGP1	CEGP0

アドレス：F0559 H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CMPEGN0	CEGN7	CEGN6	CEGN5	CEGN4	CEGN3	CEGN2	CEGN1	CEGN0

CEGP7	CEGN7	INTP21端子の有効エッジの選択
0	0	エッジ検出禁止（タイマ・リスタート信号の出力禁止（出力信号 = ロウ固定））
0	1	立ち下がりエッジ（タイマ・リスタート信号の出力許可）
1	0	立ち上がりエッジ（タイマ・リスタート信号の出力許可）
1	1	立ち上がり，立ち下がりの両エッジ（タイマ・リスタート信号の出力許可）

CEGP6	CEGN6	INTP20端子の有効エッジの選択
0	0	エッジ検出禁止（タイマ・リスタート信号の出力禁止（出力信号 = ロウ固定））
0	1	立ち下がりエッジ（タイマ・リスタート信号の出力許可）
1	0	立ち上がりエッジ（タイマ・リスタート信号の出力許可）
1	1	立ち上がり，立ち下がりの両エッジ（タイマ・リスタート信号の出力許可）

CEGPn	CEGNn	INTCMPnの有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

注意1.　CMPEGP0，CMPEGN0レジスタを設定する際は，必ずPER2レジスタのPGACMPENビットに1を設定してから行ってください。

2.　有効エッジの設定は，CnCTLレジスタのCnINVビットにより，コンパレータ検出信号を非反転／反転処理した信号に対して設定されます。

備考　n = 0-5

20. 3. 6　割り込みマスク・フラグ・レジスタ0（INTMK0）

INTP20-INTP23, INTCMP3-INTCMP5の割り込み要求信号の発生をマスクするためのレジスタです。

INTMK0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図20－8　割り込みマスク・フラグ・レジスタ0（INTMK0）（38ピン製品）のフォーマット

アドレス：F05C2H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
INTMK0	1	INTMK06	INTMK05	INTMK04	INTMK03	INTMK02	INTMK01	INTMK00

INTMK06	INTCMP5の割り込み要求信号の出力許可／禁止
0	出力許可
1	出力禁止

INTMK05	INTCMP4の割り込み要求信号の出力許可／禁止
0	出力許可
1	出力禁止

INTMK04	INTCMP3の割り込み要求信号の出力許可／禁止
0	出力許可
1	出力禁止

INTMK03	INTP23の割り込み要求信号の出力許可／禁止
0	出力許可
1	出力禁止

INTMK02	INTP22の割り込み要求信号の出力許可／禁止
0	出力許可
1	出力禁止

INTMK01	INTP21の割り込み要求信号の出力許可／禁止
0	出力許可
1	出力禁止

INTMK00	INTP20の割り込み要求信号の出力許可／禁止
0	出力許可
1	出力禁止

20. 3. 7　割り込みモニタ・フラグ・レジスタ0（INTMF0）

INTP20-INTP23の割り込み要求信号の発生状態をモニタするためのレジスタです。

INTMF0レジスタの各フラグは，INTP20-INTP23の割り込み要求信号が発生するとセット（1）されますが，自動的にクリア（0）はされません。ソフトウエアでクリアしてください。

また，クリア(0)するまで，INTP20-INTP23の割り込み要求信号は入りません。

INTMF0レジスタは，1ビット・メモリ操作命令で書き込み／読み出し，または8ビット・メモリ操作命令で読み出します。

クリア(0)するときは1ビット・メモリ操作命令で行ってください。

リセット信号の発生により，00Hになります。

図20－9　割り込みモニタ・フラグ・レジスタ0（INTMF0）（38ピン製品）のフォーマット

アドレス：F05C3H　リセット時：00H　R/W注

略号	7	6	5	4	3	2	1	0
INTMF0	0	0	0	0	INTMF03	INTMF02	INTMF01	INTMF00

INTMF03	INTP23の割り込み要求信号の発生状態表示
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生

INTMF02	INTP22の割り込み要求信号の発生状態表示
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生

INTMF01	INTP21の割り込み要求信号の発生状態表示
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生

INTMF00	INTP20の割り込み要求信号の発生状態表示
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生

注　8ビット・メモリ操作命令の場合は，読み出しのみ

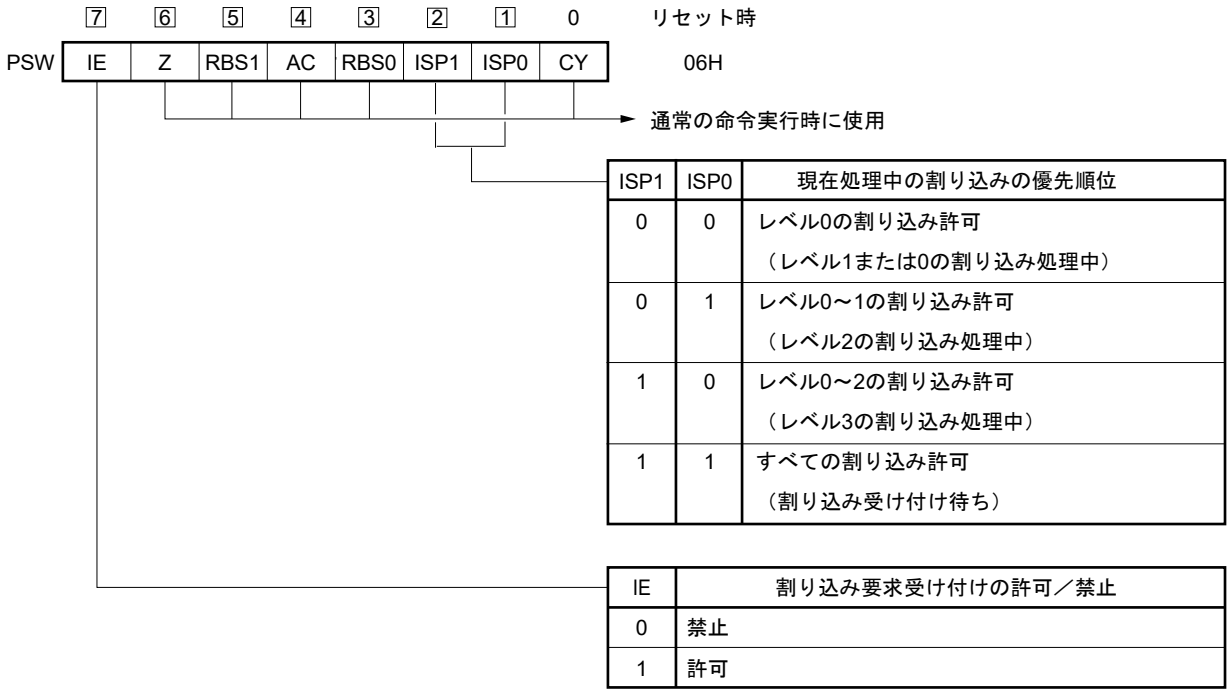
20. 3. 8　プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI, DI）により操作ができます。また，ベクタ割り込み要求受け付け時および，BRK命令実行時には，PSWの内容は自動的にスタックに退避され，IEフラグはリセット（0）されます。また，マスカブル割り込み要求受け付け時には，受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は，”－1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により，スタックから復帰します。

リセット信号の発生により，PSWは06Hとなります。

図20－10　プログラム・ステータス・ワードの構成



ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル0の割り込み許可 （レベル1または0の割り込み処理中）
0	1	レベル0～1の割り込み許可 （レベル2の割り込み処理中）
1	0	レベル0～2の割り込み許可 （レベル3の割り込み処理中）
1	1	すべての割り込み許可 （割り込み受け付け待ち）

IE	割り込み要求受け付けの許可／禁止
0	禁止
1	許可

20.4　割り込み処理動作

20.4.1　マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は，割り込み要求フラグがセット（1）され，その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は，割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし，優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表20－4のようになります。

割り込み要求の受け付けタイミングについては，図20－12, 20－13を参照してください。

表20－4　マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間注
処理時間	9クロック	16クロック

注　内部RAM 領域からの命令実行時は除きます。

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，優先順位指定フラグで同一優先順位に指定されているときは，デフォルト優先順位の高い割り込みから受け付けられます。

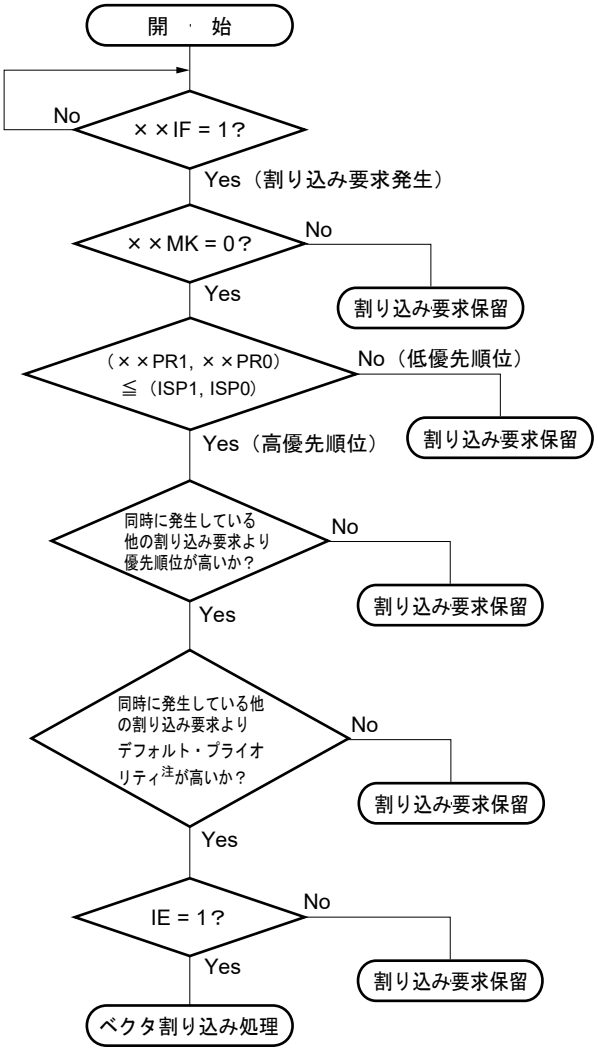
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図20－11に示します。

マスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，受け付けた割り込みの優先順位指定フラグの内容をISP1，ISP0フラグへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし，分岐します。

RETI命令によって，割り込みから復帰できます。

図20－11　割り込み要求受け付け処理アルゴリズム



××IF　　：割り込み要求フラグ

××MK　　：割り込みマスク・フラグ

××PR0　　：優先順位指定フラグ0

××PR1　　：優先順位指定フラグ1

IE　　：マスカブル割り込み要求の受け付けを制御するフラグ（1＝ 許可，0＝ 禁止）

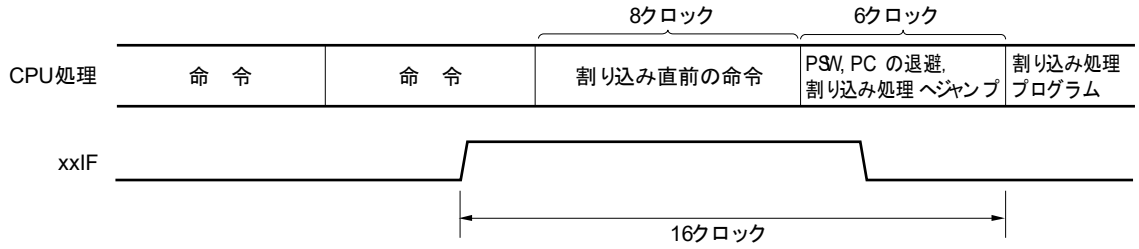
ISP0, ISP1　　：現在処理中の割り込みの優先順位を示すフラグ（図20－10参照）

注　デフォルト・プライオリティは，表20－1　割り込み要因一覧を参照してください。

図20－12　割り込み要求の受け付けタイミング（最小時間）

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

図20－13　割り込み要求の受け付けタイミング（最大時間）



備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

20. 4. 2　ソフトウエア割り込み要求の受け付け動作

ソフトウエア割り込み要求はBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することはできません。

ソフトウエア割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW）,プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，ベクタ・テーブル（0007EH, 0007FH）の内容をPCにロードして分岐します。

RETB命令によって，ソフトウエア割り込みから復帰できます。

注意　ソフトウエア割り込みからの復帰にRETI命令は使用できません。

20. 4. 3　多重割り込み処理

割り込み処理中に，さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは，割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で，割り込み要求は受け付け禁止状態（IE = 0）になります。したがって，多重割り込みを許可するには，割り込み処理中にEI命令によってIEフラグをセット（1）して，割り込み許可状態にする必要があります。

また，割り込み許可状態であっても，多重割り込みが許可されない場合がありますが，これは割り込みの優先順位によって制御されます。割り込みの優先順位には，デフォルト優先順位とプログラマブル優先順位の2つがありますが，多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で，現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか，より低い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット（1）した場合には，レベル0の他の割り込みも許可されます。

割り込み禁止，または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして，現在の割り込み処理終了後，メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表20－5に多重割り込み可能な割り込み要求の関係を，図20―14に多重割り込みの例を示します。

表20－5　割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 ＼ 処理中の割り込み		マスカブル割り込み要求								ソフトウエア割り込み要求
		優先順位レベル0（PR = 00）		優先順位レベル1（PR = 01）		優先順位レベル2（PR = 10）		優先順位レベル3（PR = 11）		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウエア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0　：レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1　：レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0　：レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1　：割り込み受け付け待ち（すべての割り込み許可）

IE = 0　：割り込み要求受け付け禁止

IE = 1　：割り込み要求受け付け許可

4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタに含まれるフラグです。

PR = 00：××PR1× = 0, ××PR0× = 0でレベル0を指定（高優先順位）

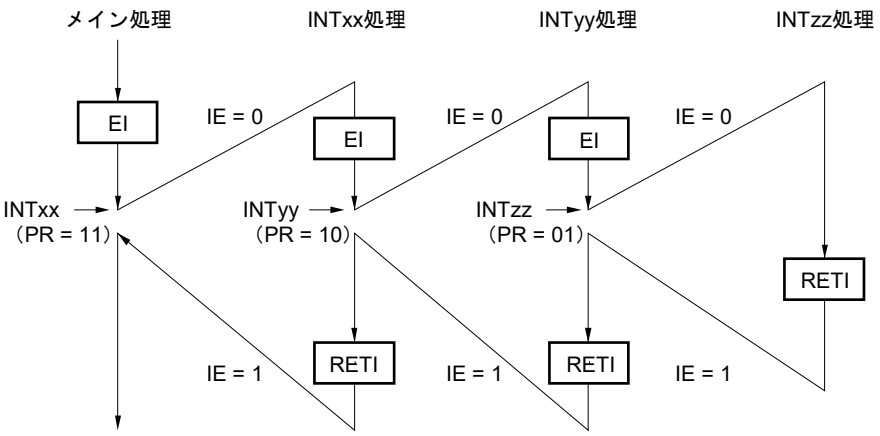
PR = 01：××PR1× = 0, ××PR0× = 1でレベル1を指定

PR = 10：××PR1× = 1, ××PR0× = 0でレベル2を指定

PR = 11：××PR1× = 1, ××PR0× = 1でレベル3を指定（低優先順位）

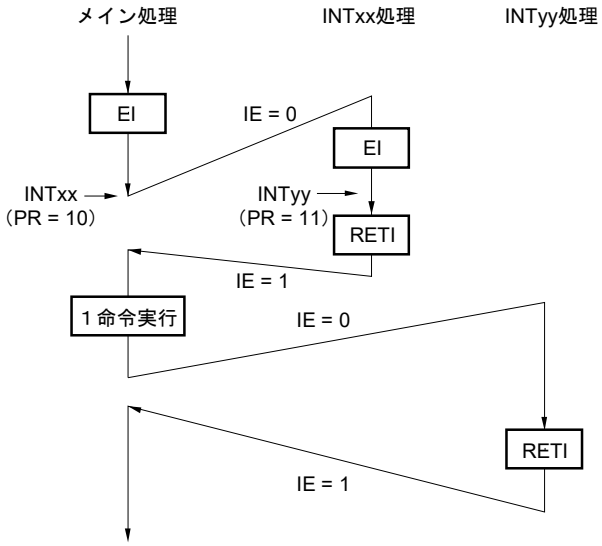
図20－14　多重割り込みの例（1/2）

例1．多重割り込みが2回発生する例



割り込みINTxx処理中に，2つの割り込み要求INTyy, INTzzが受け付けられ，多重割り込みが発生する。各割り込み要求受け付けの前には，必ずEI命令を発行し，割り込み要求受け付け許可状態になっている。

例2．優先順位制御により，多重割り込みが発生しない例

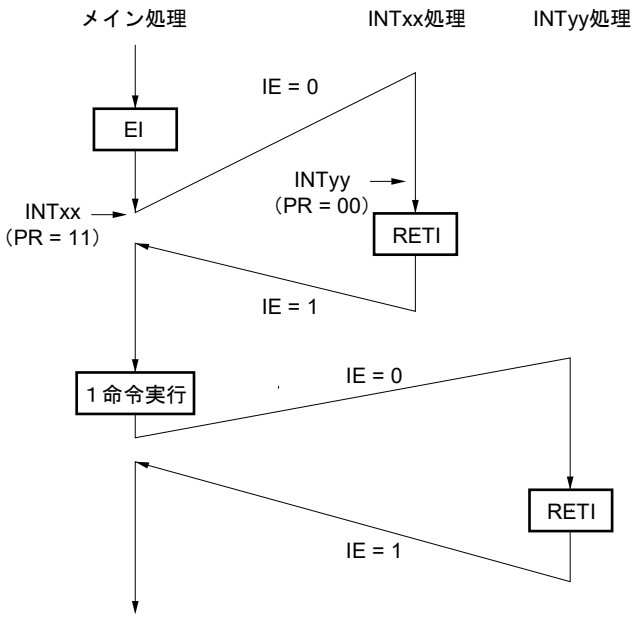


割り込みINTxx処理中に発生した割り込み要求INTyyは，割り込みの優先順位がINTxxより低いため受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1× = 0，××PR0× = 0でレベル0を指定（高優先順位）
PR = 01：××PR1× = 0，××PR0× = 1でレベル1を指定
PR = 10：××PR1× = 1，××PR0× = 0でレベル2を指定
PR = 11：××PR1× = 1，××PR0× = 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受け付け禁止
IE = 1　：割り込み要求受け付け許可

図20－14　多重割り込みの例（2/2）

例3. 割り込みが許可されてないため，多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので，割り込み要求INTyyは受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1× = 0，××PR0× = 0でレベル0を指定（高優先順位）
PR = 01：××PR1× = 0，××PR0× = 1でレベル1を指定
PR = 10：××PR1× = 1，××PR0× = 0でレベル2を指定
PR = 11：××PR1× = 1，××PR0× = 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受け付け禁止
IE = 1　：割り込み要求受け付け許可

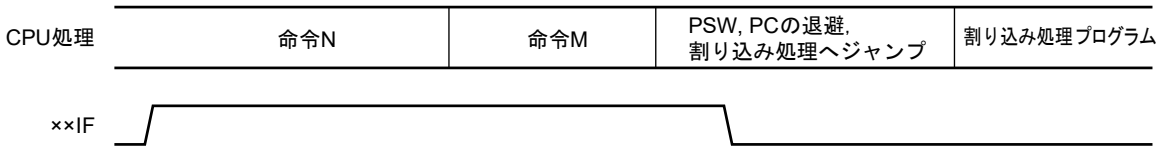
20. 4. 4　割り込み要求の保留

命令の中には，その命令実行中に割り込み要求が発生しても，その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW，#byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図20－15に示します。

図20－15　割り込み要求の保留



備考1. 命令N：割り込み要求の保留命令

2. 命令M：割り込み要求の保留命令以外の命令

第21章　スタンバイ機能

21. 1　スタンバイ機能

スタンバイ機能は，システムの動作電流をより低減するための機能で，次の3種類のモードがあります。

（1）HALTモード

HALT命令の実行により，HALTモードとなります。HALTモードは，CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路，高速オンチップ・オシレータ，サブシステム・クロック発振回路が動作している場合，それぞれのクロックは発振を継続します。このモードでは，STOPモードほどの動作電流の低減はできませんが，割り込み要求により，すぐに処理を再開したい場合や，頻繁に間欠動作をさせたい場合に有効です。

（2）STOPモード

STOP命令の実行により，STOPモードとなります。STOPモードは，高速システム・クロック発振回路，高速オンチップ・オシレータを停止させ，システム全体が停止するモードです。CPUの動作電流を，大幅に低減することができます。

さらに，割り込み要求によって解除できるため，間欠動作も可能です。ただし，X1クロックの場合，STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため，割り込み要求によって，すぐに処理を開始しなければならないときにはHALTモードを選択してください。

（3）SNOOZEモード

CSI00, UART0, UART4のデータ受信およびタイマ・トリガ信号（割り込み要求信号（INTRTC/INTIT））によるA/D変換要求により，STOPモードを解除し，CPUを動作させることなくCSI00，UART0，DALI/UART4のデータ受信，A/D変換を行います。CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも，スタンバイ・モードに設定される直前のレジスタ，フラグ，データ・メモリの内容はすべて保持されます。また，入出力ポートの出力ラッチ，出力バッファの状態も保持されます。

注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは，STOPモードに設定しないでください。HALTモードはCPUがメイン・システム・クロック，サブシステム・クロックのいずれかの動作状態でも使用できます。

2. STOPモードに移行するとき，メイン・システム・クロックで動作する周辺ハードウエアの動作を必ず停止させたのち，STOP命令を実行してください（SNOOZEモード設定ユニットを除く）。

3. CSI00, UART0, UART4, A/DコンバータをSNOOZEモードで使用する場合は，シリアル・スタンバイ・コントロール・レジスタ0（SSC0），シリアル・スタンバイ・コントロール・レジスタ4（SSC4），A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は，15. 3　シリアル・アレイ・ユニット0を制御するレジスタ，16. 3　シリアル・アレイ・ユニット4（DALI/UART4）を制御するレジスタ，12. 3　A/Dコンバータを制御するレジスタを参照してください。

4. UART4をSNOOZEモードに設定する場合は，CSI00，UART0，A/DコンバータをSNOOZEモードに設定することはできません。CSI00, UART0, A/Dコンバータは，同時にSNOOZEモードに設定することは可能です。
5. A/Dコンバータ部の消費電力を低減させるためには，A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）とビット0（ADCE）を0にクリアし，A/D変換動作を停止させてから，STOP命令を実行してください。
6. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続／停止するかは，オプション・バイトで選択できます。詳細は第27章　オプション・バイトを参照してください。

21. 2　スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

・サブシステム・クロック供給モード制御レジスタ（OSMC）
・発振安定時間カウンタ状態レジスタ（OSTC）
・発振安定時間選択レジスタ（OSTS）

備考　上記レジスタについての詳細は，第5章　クロック発生回路を参照してください。また，SNOOZEモード機能を制御するレジスタは，第12章 A/Dコンバータ，第15章 シリアル・アレイ・ユニット0，第16章 シリアル・アレイ・ユニット4（DALI/UART4）を参照してください。

21. 3　スタンバイ機能の動作

21. 3. 1　HALTモード

（1）HALTモード

HALTモードは，HALT命令の実行により設定されます。設定前のCPUクロックは，高速システム・クロック，高速オンチップ・オシレータ・クロック，サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意　割り込みマスク・フラグが"0"（割り込み処理許可）で且つ割り込み要求フラグが"1"（割り込み要求信号が発生）の場合，HALTモードの解除に割り込み要求信号が用いられるため，その状況下でHALT命令を実行しても，HALTモードに移行しません。

表21－1　HALTモード時の動作状態（1/2）

項目 ＼ HALTモードの設定			メイン・システム・クロックでCPU動作中のHALT命令実行時		
			高速オンチップ・オシレータ・クロック（fIH）でCPU動作時	X1クロック（fX）でCPU動作時	外部メイン・システム・クロック（fEX）でCPU動作時
システム・クロック			CPUへのクロック供給は停止		
	メイン・システム・クロック	fIH	動作継続（停止不可）	動作禁止	
		fX	動作禁止	動作継続（停止不可）	動作不可
		fEX		動作不可	動作継続（停止不可）
	サブシステム・クロック	fXT	HALTモード設定前の状態を継続		
		fEXS			
	fIL		オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止		
CPU			動作停止		
コード・フラッシュ・メモリ			動作停止		
データ・フラッシュ・メモリ					
RAM					
ポート（ラッチ）			HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット			動作可能		
タイマKB0-KB2					
タイマKC0					
リアルタイム・クロック（RTC）					
12ビット・インターバル・タイマ					
ウォッチドッグ・タイマ			第11章　ウォッチドッグ・タイマ参照		
A/Dコンバータ			動作可能		
プログラマブル・ゲイン・アンプ					
コンパレータ					
シリアル・アレイ・ユニット0（SAU0）					
シリアル・アレイ・ユニット4（DALI/UART4）					
シリアル・インタフェース（IICA）					
乗除算・積和演算器					
DMAコントローラ					
パワーオン・リセット機能					
電圧検出機能					
外部割り込み					
CRC演算機能	高速CRC				
	汎用CRC		RAM領域の演算で，DMA実行時は動作可能		
RAMパリティ・エラー検出機能			DMA実行時は動作可能		
RAMガード機能					
SFRガード機能					
不正メモリ・アクセス検出機能					
PLL機能			動作可能		

備考　動作停止：HALTモード移行時に自動的に動作停止
動作禁止：HALTモード移行前に動作を停止させる
f_{IH}　：高速オンチップ・オシレータ・クロック
f_{IL}　：低速オンチップ・オシレータ・クロック
f_X　：X1クロック
f_{EX}　：外部メイン・システム・クロック
f_{XT}　：XT1クロック
f_{EXS}　：外部サブシステム・クロック

表21－1　HALTモード時の動作状態（2/2）

項目 ＼ HALTモードの設定			サブシステム・クロックでCPU動作中のHALT命令実行時	
			XT1クロック（fXT）でCPU動作時	外部サブシステム・クロック（fEXS）でCPU動作時
システム・クロック			CPUへのクロック供給は停止	
	メイン・システム・クロック	fIH	動作禁止	
		fX		
		fEX		
	サブシステム・クロック	fXT	動作継続（停止不可）	動作不可
		fEXS	動作不可	動作継続（停止不可）
	fIL		オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止	
CPU			動作停止	
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM				
ポート（ラッチ）			HALTモード設定前の状態を保持	
タイマ・アレイ・ユニット			RTCLPC = 0のときは動作可能（それ以外は動作禁止）	
タイマKB0-KB2				
タイマKC0				
リアルタイム・クロック（RTC）			動作可能	
12ビット・インターバル・タイマ				
ウォッチドッグ・タイマ			第11章　ウォッチドッグ・タイマ参照	
A/Dコンバータ			動作禁止	
プログラマブル・ゲイン・アンプ			動作可能（ただし，PGA出力信号の入力先であるA/Dコンバータが動作禁止のため，使用不可）	
コンパレータ			動作可能（低消費RTCモード（OSMCレジスタのRTCLPC = 1）では，CMP0, CMP2のみコンパレータ割り込み検出によるSTOPモード解除設定（PFSEL0レジスタのCMPnSTEN = 1）を行い，かつノイズ・フィルタ未使用とすることで動作可能（n = 0, 2））	
シリアル・アレイ・ユニット0（SAU0）			RTCLPC = 0のときは動作可能（それ以外は動作禁止）	
シリアル・アレイ・ユニット4（DALI/UART4）			動作禁止	
シリアル・インタフェース（IICA）				
乗除算・積和演算器			RTCLPC = 0のときは動作可能（それ以外は動作禁止）	
DMAコントローラ				
パワーオン・リセット機能			動作可能	
電圧検出機能				
外部割り込み			動作可能（INTP20, INTP21は，タイマKB0-KB2のINTP連動モード時には動作禁止）	
CRC演算機能	高速CRC		動作禁止	
	汎用CRC		RAM領域の演算で，DMA実行時は動作可能	
RAMパリティ・エラー検出機能			DMA実行時は動作可能	
RAMガード機能				
SFRガード機能				
不正メモリ・アクセス検出機能				
PLL機能			動作禁止	

備考　動作停止：HALTモード移行時に自動的に動作停止
動作禁止：HALTモード移行前に動作を停止させる
fIH　：高速オンチップ・オシレータ・クロック
fIL　：低速オンチップ・オシレータ・クロック
fX　：X1クロック
fEX　：外部メイン・システム・クロック
fXT　：XT1クロック
fEXS　：外部サブシステム・クロック

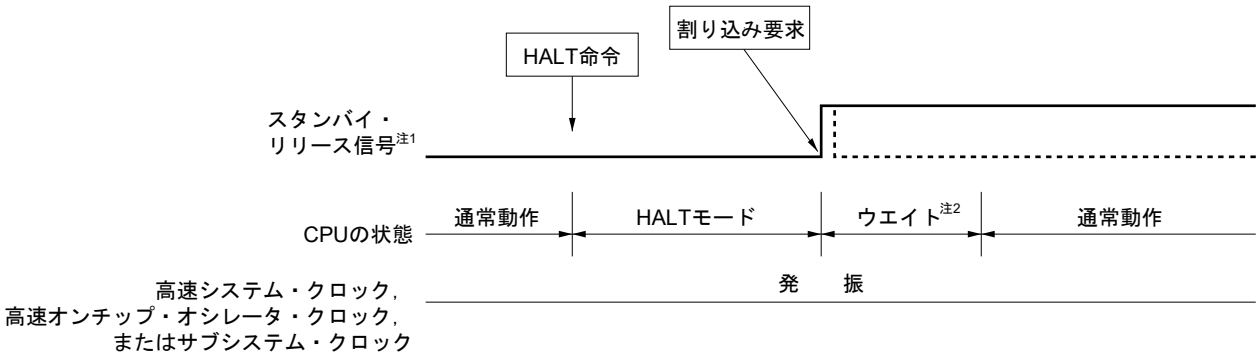
（2）HALTモードの解除

HALTモードは，次の2種類のソースによって解除できます。

（a）マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，HALTモードは解除されます。そして，割り込み受け付け許可状態であれば，ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば，次のアドレスの命令が実行されます。

図21－1　HALTモードの割り込み要求発生による解除



注 1.　スタンバイ・リリース信号に関しての詳細は，図20－1を参照してください。

2.　HALTモード解除のウエイト時間

・ベクタ割り込み処理を行う場合

メイン・システム・クロック時	：15～16クロック
サブシステム・クロック時（RTCLPC = 0）	：10～11クロック
サブシステム・クロック時（RTCLPC = 1）	：11～12クロック

・ベクタ割り込み処理を行わない場合

メイン・システム・クロック時	：9～10クロック
サブシステム・クロック時（RTCLPC = 0）	：4～5クロック
サブシステム・クロック時（RTCLPC = 1）	：5～6クロック

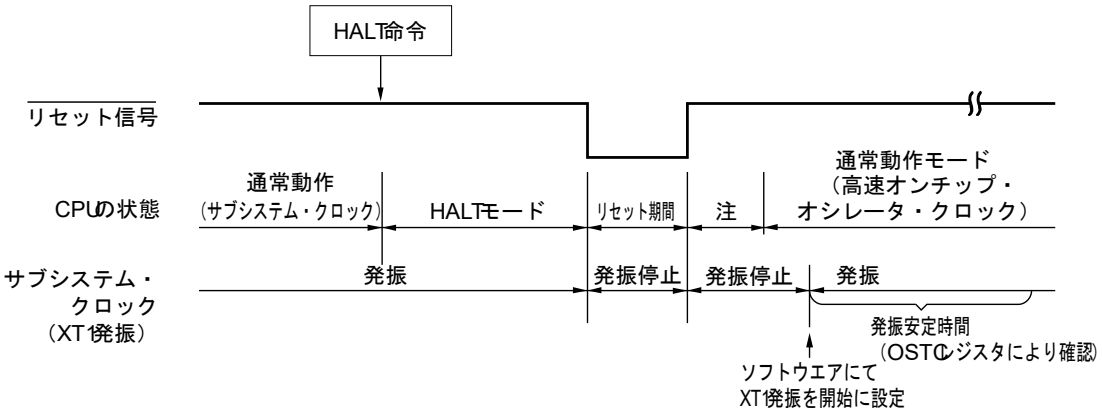
備考　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

（b）リセット信号の発生による解除

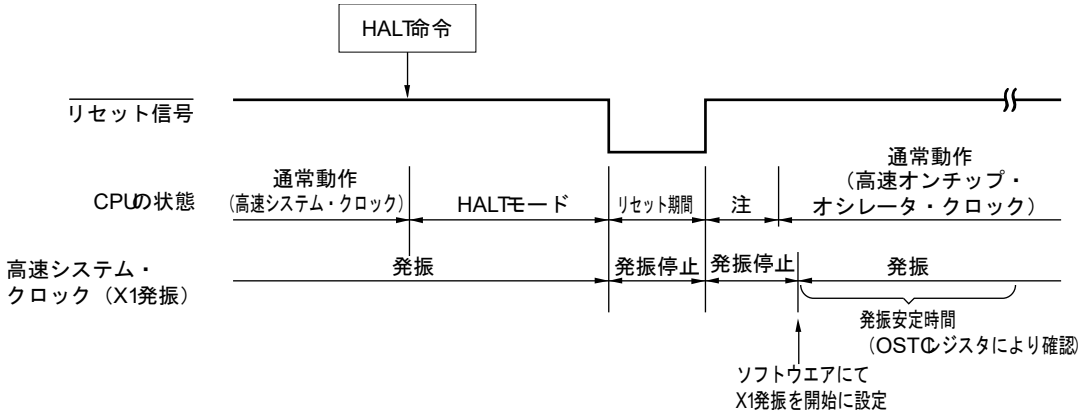
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図21－2　HALTモードのリセットによる解除（1/2）

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合



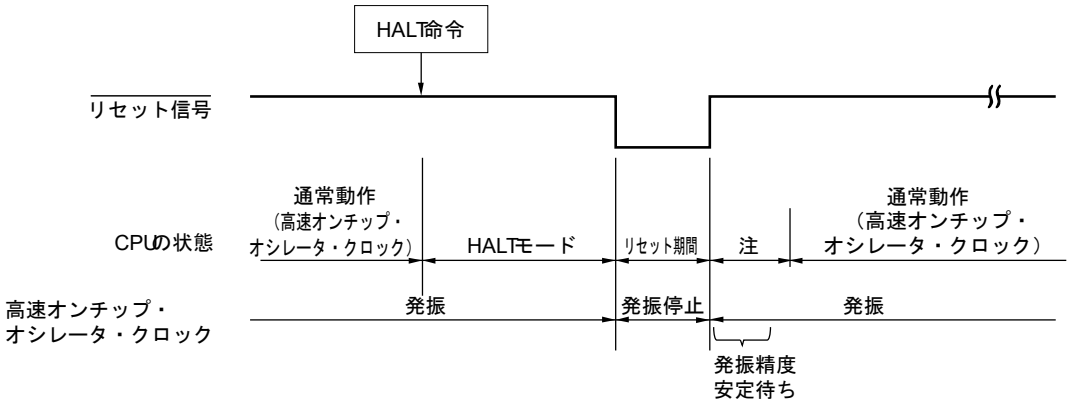
（2）CPUクロックが高速システム・クロックの場合



注　リセット処理時間は，第22章　リセット機能を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，第23章　パワーオン・リセット回路を参照してください。

図21－2　HALTモードのリセットによる解除（2/2）

（3）CPUクロックがサブシステム・クロックの場合



注　リセット処理時間は，第22章　リセット機能を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，第23章　パワーオン・リセット回路を参照してください。

21. 3. 2　STOPモード

（1）STOPモードの設定および動作状態

STOPモードは，STOP命令の実行により設定されます。設定前のCPUクロックが，メイン・システム・クロックの場合のみ設定可能です。

注意　割り込みマスク・フラグが”0”（割り込み処理許可）で，かつ割り込み要求フラグが”1”（割り込み要求信号が発生）の場合，STOPモードの解除に割り込み要求信号が用いられるため，その状況でSTOP命令を実行すると，いったんSTOPモードに入ってただちに解除されます。したがって，　STOP命令実行後，STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表21－2　STOPモード時の動作状態

項目 ＼ STOPモードの設定	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
	高速オンチップ・オシレータ・クロック（fIH）でCPU動作時	X1クロック（fX）でCPU動作時	外部メイン・システム・クロック（fEX）でCPU動作時
システム・クロック	CPUへのクロック供給は停止		
メイン・システム・クロック　fIH	停止		
メイン・システム・クロック　fX			
メイン・システム・クロック　fEX			
サブシステム・クロック　fXT	STOPモード設定前の状態を継続		
サブシステム・クロック　fEXS			
fIL	オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止		
CPU	動作停止		
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			
ポート（ラッチ）	STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット	動作禁止		
タイマKB0-KB2			
タイマKC0			
リアルタイム・クロック（RTC）	動作可能		
12ビット・インターバル・タイマ			
ウォッチドッグ・タイマ	第11章　ウォッチドッグ・タイマ参照		
A/Dコンバータ	ウエイク・アップ動作可能（SNOOZEモードへ移行）		
プログラマブル・ゲイン・アンプ	動作可能		
コンパレータ	CMP0，CMP2のみコンパレータ割り込み検出によるSTOPモード解除設定（PFSEL0レジスタのCMPnSTEN = 1）を行い，かつノイズ・フィルタ未使用とすることで動作可能（n = 0, 2）		
シリアル・アレイ・ユニット0（SAU0）	CSI00, UART0のみウエイク・アップ動作可能（SNOOZEモードへ移行） CSI00, UART0以外は動作禁止		
シリアル・アレイ・ユニット4（DALI/UART4）	ウエイク・アップ動作可能（SNOOZEモードへ移行）		
シリアル・アレイ・ユニット（IICA）	アドレス一致によるウエイク・アップ動作可能		
乗除積和算器	動作禁止		
DMAコントローラ			
パワーオン・リセット機能	動作可能		
電圧検出機能			
外部割り込み	動作可能（INTP20, INTP21は，タイマKB0-KB2のINTP連動モード時には動作禁止）		
CRC演算機能　高速CRC	動作停止		
CRC演算機能　汎用CRC			
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			
不正メモリ・アクセス検出機能			
PLL機能	動作禁止		

（**備考**は次ページにあります。）

備考　動作停止：STOPモード移行時に自動的に動作停止
動作禁止：STOPモード移行前に動作を停止させる
f_{IH}　：高速オンチップ・オシレータ・クロック，
f_{IL}　：低速オンチップ・オシレータ・クロック
f_X　：X1クロック，
f_{EX}　：外部メイン・システム・クロック
f_{XT}　：XT1クロック，
f_{EXS}　：外部サブシステム・クロック

（2）STOPモードの解除

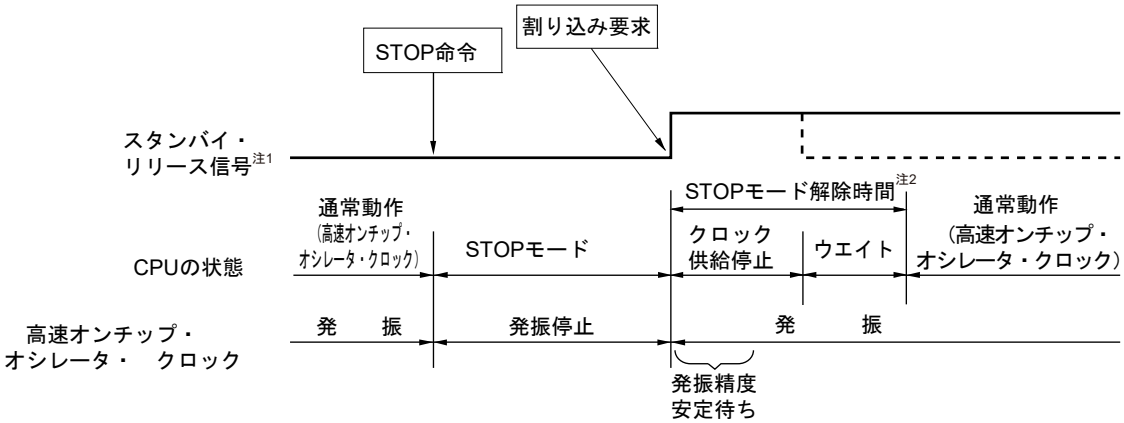
STOPモードは，次の2種類のソースによって解除することができます。

（a）マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，STOPモードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。

図21－3　STOPモードの割り込み要求発生による解除（1/2）

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合

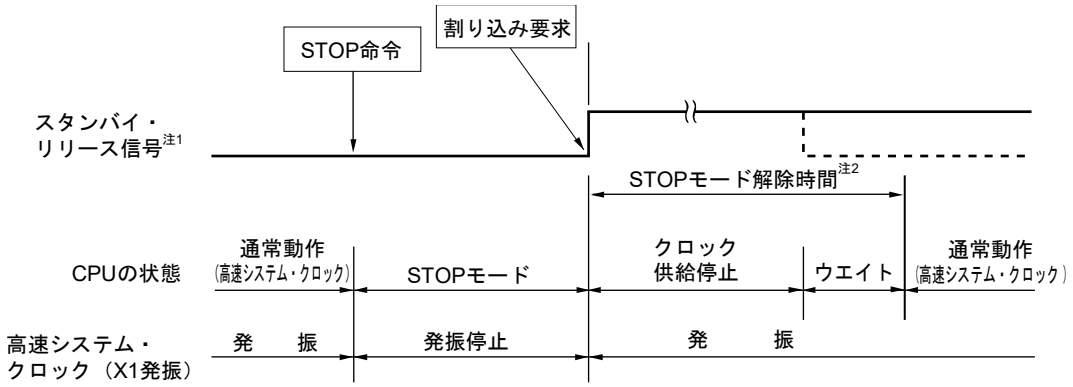


注1.　スタンバイ・リリース信号に関しての詳細は，図20－1を参照してください。
2.　STOPモード解除時間
クロック供給停止：　18 μs～65 μs
ウエイト
・ベクタ割り込み処理を行う場合　　：7クロック
・ベクタ割り込み処理を行わない場合　：1クロック

備考1.　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。
2.　クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

図21－3　STOPモードの割り込み要求発生による解除（2/2）

（2）CPUクロックが高速システム・クロック（X1発振）の場合



注1.　スタンバイ・リリース信号に関しての詳細は，図20－1を参照してください。

2.　STOPモード解除時間

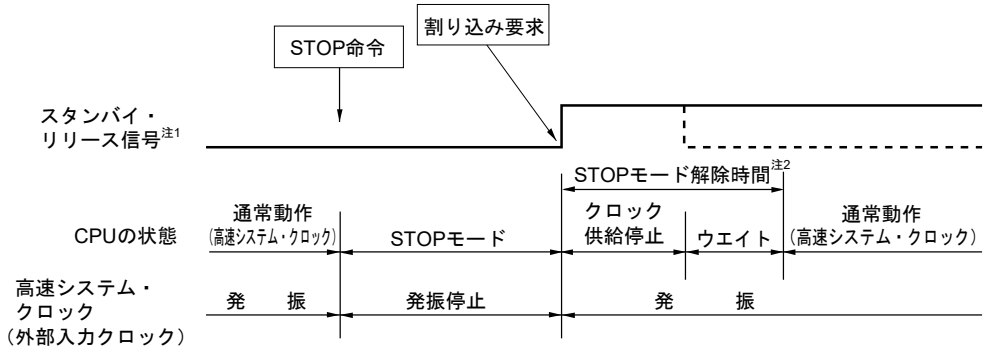
クロック供給停止　：18 μs～“65 μsと発振安定時間（OSTSで設定）の長い方”

ウエイト

・ベクタ割り込み処理を行う場合　　：10～11クロック

・ベクタ割り込み処理を行わない場合　：4～5クロック

（3）CPUクロックが高速システム・クロック（外部クロック入力）の場合



注1.　スタンバイ・リリース信号に関しての詳細は，図20－1を参照してください。

2.　STOPモード解除時間

クロック供給停止　：18 μs～65 μs

ウエイト

・ベクタ割り込み処理を行う場合　　：7クロック

・ベクタ割り込み処理を行わない場合　：1クロック

注意　**高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，STOP命令実行前に，CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。**

備考 1. 破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

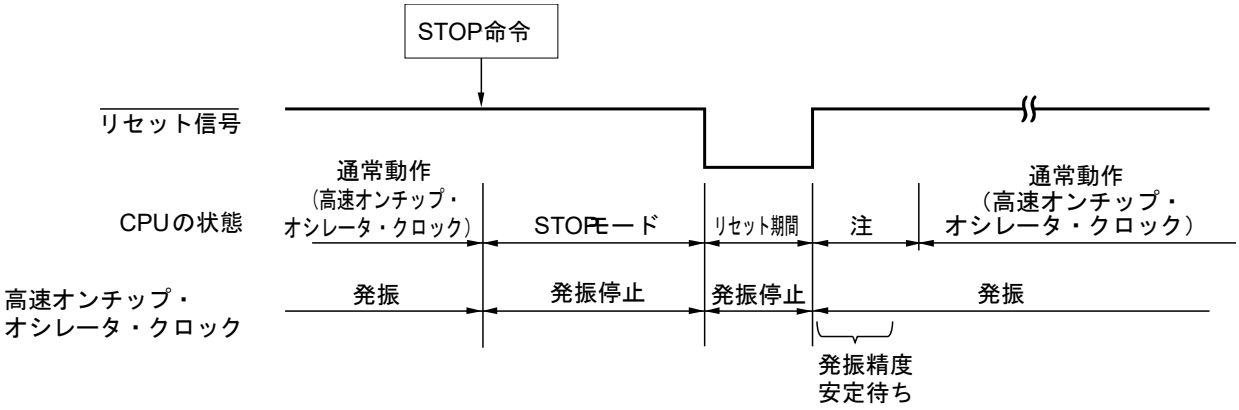
2. クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

（b）リセット信号の発生による解除

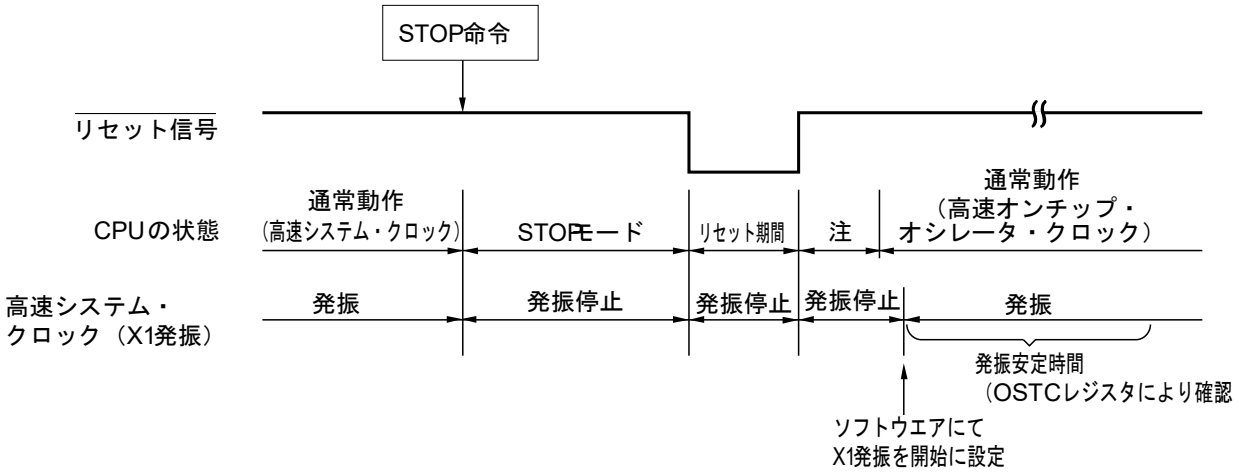
リセット信号の発生により，STOPモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図21－4　STOPモードのリセットによる解除

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合



（2）CPUクロックが高速システム・クロックの場合



注　リセット処理時間は，第22章　リセット機能を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，第23章　パワーオン・リセット回路を参照してください。

21. 3. 3　SNOOZEモード

（1）SNOOZEモードの設定および動作状態

CSI00, UART0, UART4または，A/Dコンバータのみ設定可能です。また，設定前のCPUクロックが，高速オンチップ・オシレータ・クロックの場合のみ設定可能です。このとき，PLL出力は使用することができません。

CSI00, UART0, UART4をSNOOZEモードで使用する場合は，STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ0（SSC0）のSWC0ビットを1に，またはシリアル・スタンバイ・コントロール・レジスタ4（SSC4）のSWC4ビットを1に設定してください。詳細は，15. 3　シリアル・アレイ・ユニット0を制御するレジスタ，16. 3　シリアル・アレイ・ユニット4（DALI/UART4）を制御するレジスタを参照してください。

A/DコンバータをSNOOZEモードで使用する場合は，STOPモードに移行する直前にA/Dコンバータ・モード・レジスタ2（ADM2）のAWCビットを1に設定してください。詳細は，12. 3　A/Dコンバータを制御するレジスタを参照してください。

注意　UART4をSNOOZEモードに設定する場合は，CSI00, UART0, A/DコンバータをSNOOZEモードに設定することはできません。CSI00, UART0, A/Dコンバータは，同時にSNOOZEモードに設定することは可能です。

SNOOZEモードの移行では，次の時間だけウエイト状態になります。

STOPモード → SNOOZEモードの遷移時間：18 μs～ 65 μs

備考　STOPモード → SNOOZEモードの遷移時間は，温度条件とSTOPモード期間によって変化します。

SNOOZEモード → 通常動作の遷移時間：

・ベクタ割り込み処理を行う場合

HS（高速メイン）モード：　4.99～9.44 μs＋7クロック

LS（低速メイン）モード：　1.10～5.08 μs＋7クロック

・ベクタ割り込み処理を行わない場合

HS（高速メイン）モード：　4.99～9.44 μs＋1クロック

LS（低速メイン）モード：　1.10～5.08 μs＋1クロック

次にSNOOZEモード時の動作状態を示します。

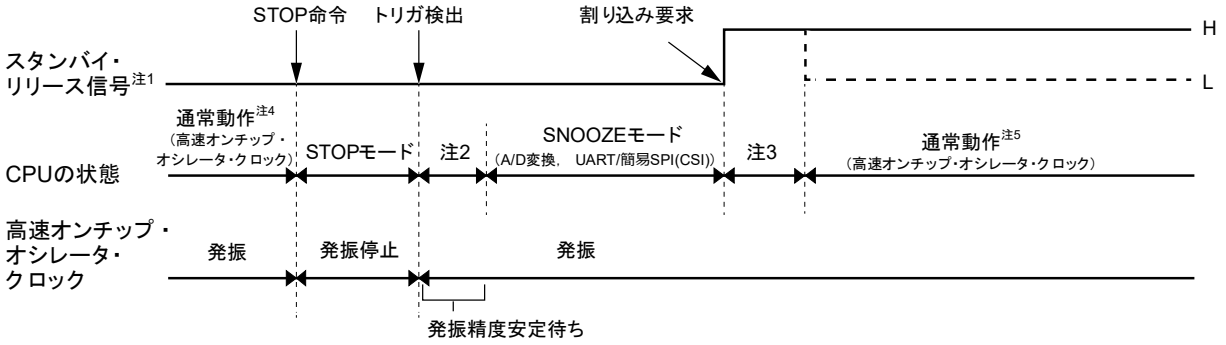
表21－3　SNOOZEモード時の動作状態

項目 ＼ STOPモードの設定	STOPモード中にCSI00, UART0のデータ受信信号およびA/Dコンバータのタイマ・トリガ信号入力時
	高速オンチップ・オシレータ・クロック（fIH）でCPU動作時
システム・クロック	CPUへのクロック供給は停止
メイン・システム・クロック　fIH	動作開始
メイン・システム・クロック　fX	停止
メイン・システム・クロック　fEX	
サブシステム・クロック　fXT	STOPモード中の状態を継続
サブシステム・クロック　fEXS	
fIL	オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止
CPU	動作停止
コード・フラッシュ・メモリ	
データ・フラッシュ・メモリ	
RAM	
ポート（ラッチ）	STOPモード中の状態を継続
タイマ・アレイ・ユニット	動作禁止
タイマKB0-KB2	
タイマKC0	
リアルタイム・クロック（RTC）	動作可能
12ビット・インターバル・タイマ	
ウォッチドッグ・タイマ	第11章　ウォッチドッグ・タイマ参照
A/Dコンバータ	動作可能
プログラマブル・ゲイン・アンプ	動作可能
コンパレータ	CMP0，CMP2のみコンパレータ割り込み検出によるSTOPモード解除設定（PFSEL0レジスタのCMPnSTEN = 1）を行い，かつノイズ・フィルタ未使用とすることで動作可能（n = 0, 2）
シリアル・アレイ・ユニット0（SAU0）	CSI00, UART0のみ動作可能 CSI00, UART0以外は動作禁止
シリアル・アレイ・ユニット4（DALI/UART4）	動作可能（DALIモードは動作禁止）
シリアル・アレイ・ユニット（IICA）	動作禁止
乗除積和算器	
DMAコントローラ	
パワーオン・リセット機能	動作可能
電圧検出機能	
外部割り込み	動作可能（INTP20, INTP21は，タイマKB0-KB2のINTP連動モード時には動作禁止）
CRC演算機能	動作停止
RAMパリティ・エラー検出機能	
RAMガード機能	
SFRガード機能	
不正メモリ・アクセス検出機能	
PLL機能	動作禁止

備考　動作停止：STOPモード移行時に自動的に動作停止
動作禁止：STOPモード移行前に動作を停止させる
f_{IH}　：高速オンチップ・オシレータ・クロック
f_{IL}　：低速オンチップ・オシレータ・クロック
f_X　：X1クロック
f_{EX}　：外部メイン・システム・クロック
f_{XT}　：XT1クロック
f_{EXS}　：外部サブシステム・クロック

（2）　SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

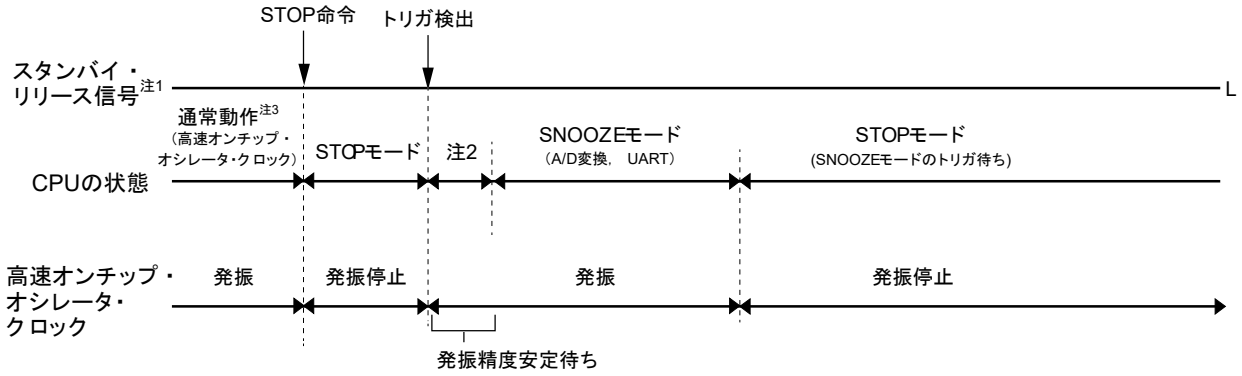
図21－5　SNOOZEモードの割り込み要求が発生する場合



注 1. スタンバイ・リリース信号に関しての詳細は，図20－1を参照してください。
2. STOPモード→SNOOZEモードの遷移時間
3. SNOOZEモード→通常動作の遷移時間
4. STOPモードへ移行する直前に，SNOOZEモード許可（AWC=1/SWC=1）に設定してください。
5. 通常動作に復帰後すぐに，　必ずSNOOZEモード解除（AWC=0/SWC=0）に設定してください。

（3）　SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図21－6　SNOOZEモードの割り込み要求が発生しない場合



注 1. スタンバイ・リリース信号に関しての詳細は，図20－1を参照してください。
2. STOPモード→SNOOZEモードの遷移時間
3. STOPモードへ移行する直前に，SNOOZEモード許可（AWC=1/SWC=1）に設定してください。

備考　SNOOZEモード機能の詳細は，第12章　A/Dコンバータ，第15章　シリアル・アレイ・ユニット0，第16章　シリアル・アレイ・ユニット4（DALI/UART4）を参照してください。

第22章　リセット機能

リセット信号を発生させる方法には，次の7種類があります。

（1）$\overline{\text{RESET}}$端子による外部リセット入力
（2）ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
（3）パワーオン・リセット（POR）回路の電源電圧と検出電圧との比較による内部リセット
（4）電圧検出回路（LVD）の電源電圧と検出電圧の比較による内部リセット
（5）不正命令の実行による内部リセット注
（6）RAMパリティ・エラーによる内部リセット
（7）不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に，リセット信号の発生により，0000H，0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるか，ウォッチドッグ・タイマがプログラム暴走を検出するか，POR回路，LVD回路の電圧検出，不正命令の実行注，RAMパリティ・エラーの発生，または不正メモリ・アクセスにより，リセットがかかり，各ハードウエアは表22－1に示すような状態になります。

注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

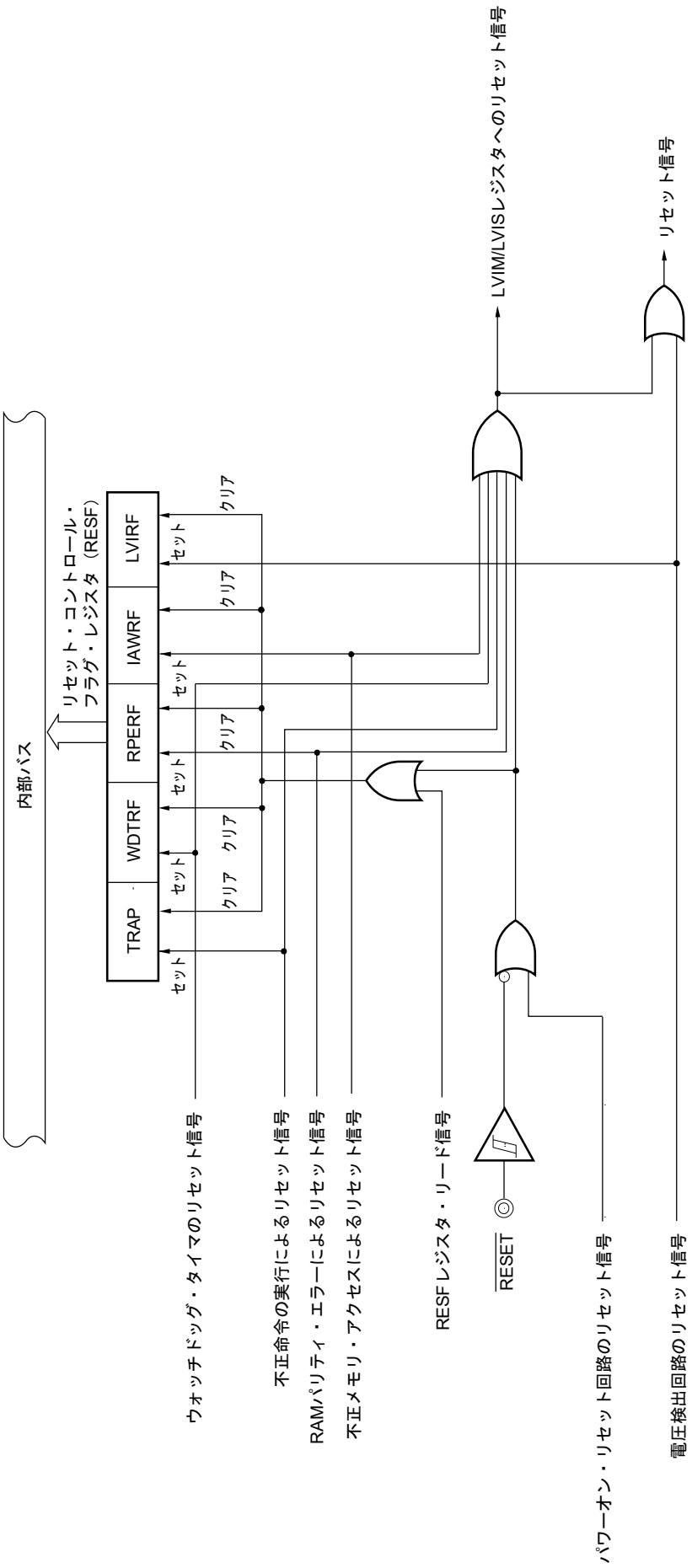
注意1.　外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。
電源立ち上げ時に外部リセットを行う場合は，$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し，32. 4または33. 4 AC特性に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。

2.　リセット信号発生中では，X1クロック，XT1クロック，高速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックの発振は停止します。また，外部メイン・システム・クロック，外部サブシステム・クロックの入力は無効となります。

3.　リセットがかかると各SFRと2nd SFRは初期化されるため，ポート端子は次の状態になります。
・P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）
・P40以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス

備考　V_{POR}　：POR電源立ち上がり検出電圧
V_{LVD}　：LVD検出電圧

図22－1　リセット機能のブロック図



注意　LVD回路の内部リセットの場合，LVD回路はリセットされません。

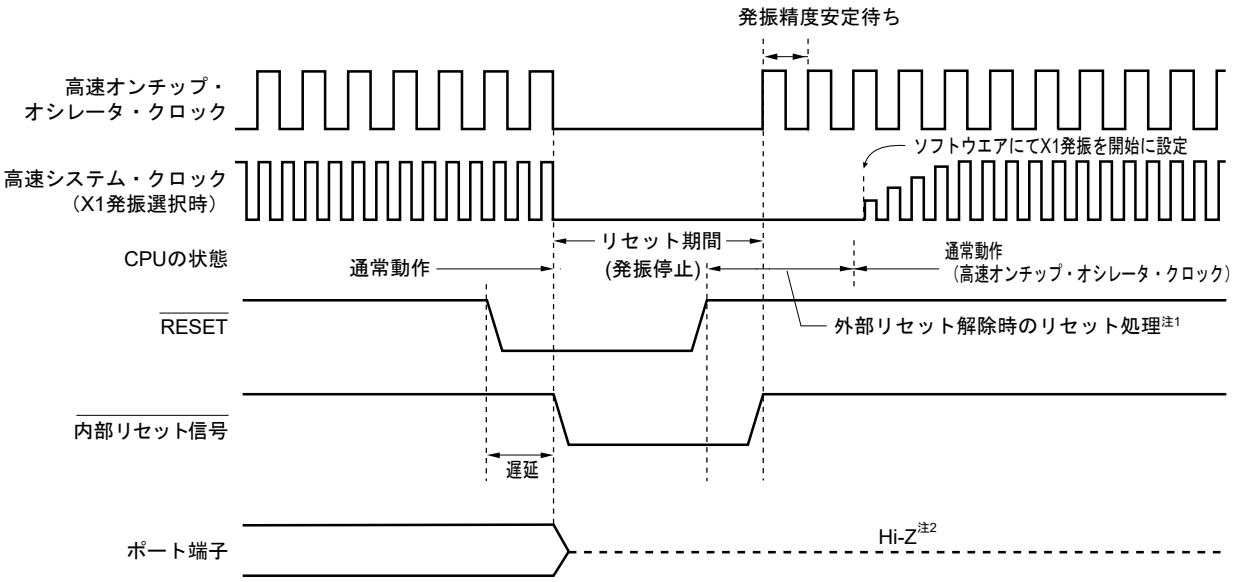
備考1.　LVIM：電圧検出レジスタ

2.　LVIS：電圧検出レベル・レジスタ

22. 1　リセット動作のタイミング

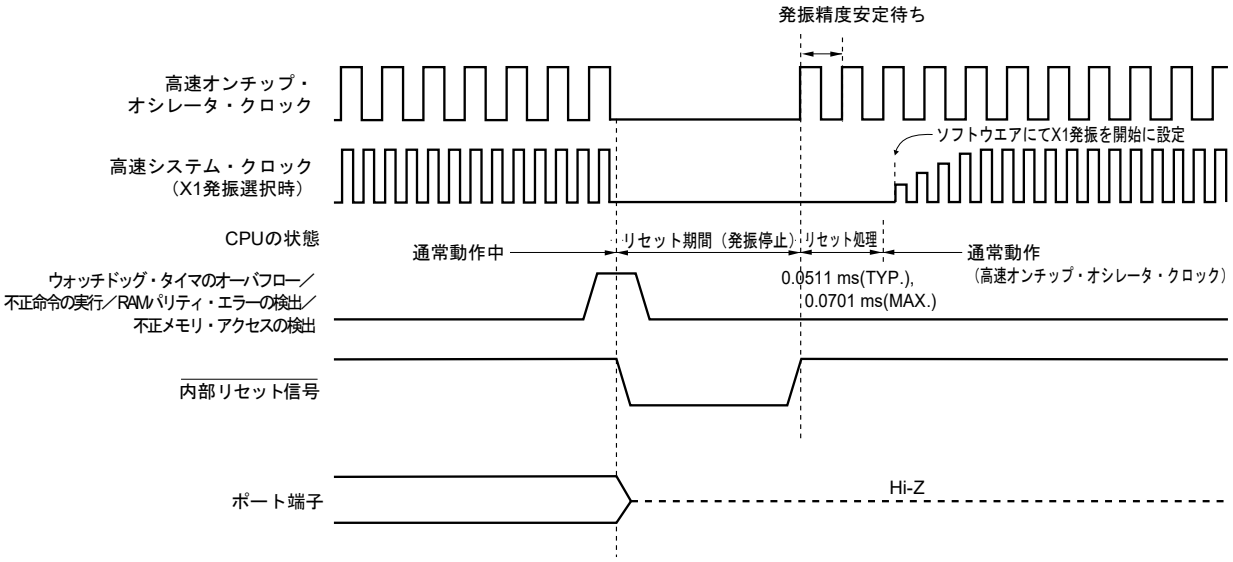
$\overline{\text{RESET}}$端子にロウ･レベルが入力されて，リセットがかかり，$\overline{\text{RESET}}$端子にハイ・レベルが入力されると，リセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図22－2　$\overline{\text{RESET}}$入力によるリセット・タイミング



ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出よるリセットは，自動的にリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図22－3　不正命令/ウォッチドッグ・タイマ/RAMパリティ・エラー/不正メモリ・アクセスによるリセット・タイミング



（注，注意は，次ページにあります。）

注1.　外部リセット解除時のリセット時間：

POR解除後1回目：　0.672 ms (TYP.), 0.832 ms (MAX.)　（LVD使用時）

0.399 ms (TYP.),　0.519 ms (MAX.)　（LVDオフ時）

POR解除後2回目以降：　0.531 ms (TYP.), 0.675 ms (MAX.)　（LVD使用時）

0.259 ms (TYP.), 0.362 ms (MAX.)　（LVDオフ時）

電源立ち上がり時は，外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms（TYP.), 2.30 ms（MAX.)がかかります。

2. ポート端子P40は次の状態になります。

・外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。

・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）になります。

POR回路，LVD回路の電圧検出によるリセットは，リセット後$V_{DD} \geqq V_{POR}$または$V_{DD} \geqq V_{LVD}$になったときにリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。詳細は，第23章　パワーオン・リセット回路または第24章　電圧検出回路を参照してください。

22. 2　リセット期間中の動作状態

表22－1にリセット期間中の動作状態を，表22－2にリセット受け付け後の各ハードウエアの状態を示します。

表22－1　リセット期間中の動作状態

項　　目			リセット期間中
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作停止
		f_X	動作停止（X1, X2端子は入力ポート・モード）
		f_{EX}	クロックの入力無効（端子は入力ポート・モード）
	サブシステム・クロック	f_{XT}	動作停止（XT1, XT2端子は入力ポート・モード）
		f_{EXS}	クロックの入力無効（端子は入力ポート・モード）
	f_{IL}		動作停止
CPU			
コード・フラッシュ・メモリ			動作停止
データ・フラッシュ・メモリ			動作停止
RAM			動作停止
ポート（ラッチ）			ハイ・インピーダンス注
タイマ・アレイ・ユニット			動作停止
タイマKB0-KB2			
タイマKC0			
リアルタイム・クロック（RTC）			
12ビット・インターバル・タイマ			
ウォッチドッグ・タイマ			
A/Dコンバータ			
プログラマブル・ゲイン・アンプ			
コンパレータ			
シリアル・アレイ・ユニット0（SAU0）			
シリアル・アレイ・ユニット4（DALI/UART4）			
シリアル・インタフェース（IICA）			
乗除算・積和演算器			
DMAコントローラ			
パワーオン・リセット機能			検出動作可能
電圧検出機能			LVDリセット時は動作可能。それ以外のリセット時は動作停止。
外部割り込み			動作停止
CRC演算機能	高速CRC		
	汎用CRC		
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			
不正メモリ・アクセス検出機能			
PLL機能			

（注，備考は，次ページにあります。）

注　ポート端子P40は次の状態になります。

・ P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル（内部プルアップ抵抗接続）

備考　f_{IH}　：高速オンチップ・オシレータ・クロック　f_{XT}　：XT1発振クロック
f_X　：X1発振クロック　f_{EXS}　：外部サブシステム・クロック周波数
f_{EX}　：外部メイン・システム・クロック　f_{IL}　：低速オンチップ・オシレータ・クロック

表22－2　各ハードウエアのリセット受け付け後の状態

ハードウエア		リセット受け付け後の状態注
プログラム・カウンタ（PC）		リセット・ベクタ・テーブル（0000H，0001H）の内容がセットされる。
スタック・ポインタ（SP）		不定
プログラム・ステータス・ワード（PSW）		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注　リセット信号発生中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不定となります。その他は，リセット後の状態と変わりありません。

備考　搭載している特殊機能レジスタ（SFR：Special Function Register）が異なります。3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域，3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域を参照してください。

22. 3　リセット要因を確認するレジスタ

22. 3. 1　リセット・コントロール・フラグ・レジスタ（RESF）

RL78マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は，どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは，8ビット・メモリ操作命令で，読み出すことができます。

$\overline{\text{RESET}}$入力，パワーオン・リセット（POR）回路によるリセットおよびRESFレジスタのデータを読み出すことにより，TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図22－4　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット

アドレス：FFFA8H　リセット時：不定[注1]　R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求[注2]
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ（WDT）による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出（LVD）回路による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1.　リセット要因により異なります。表22-3を参照してください。

2.　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1.　1ビット・メモリ操作命令でデータを読み出さないでください。

2.　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。
リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，25.3.3　RAMパリティ・エラー検出機能を参照してください。

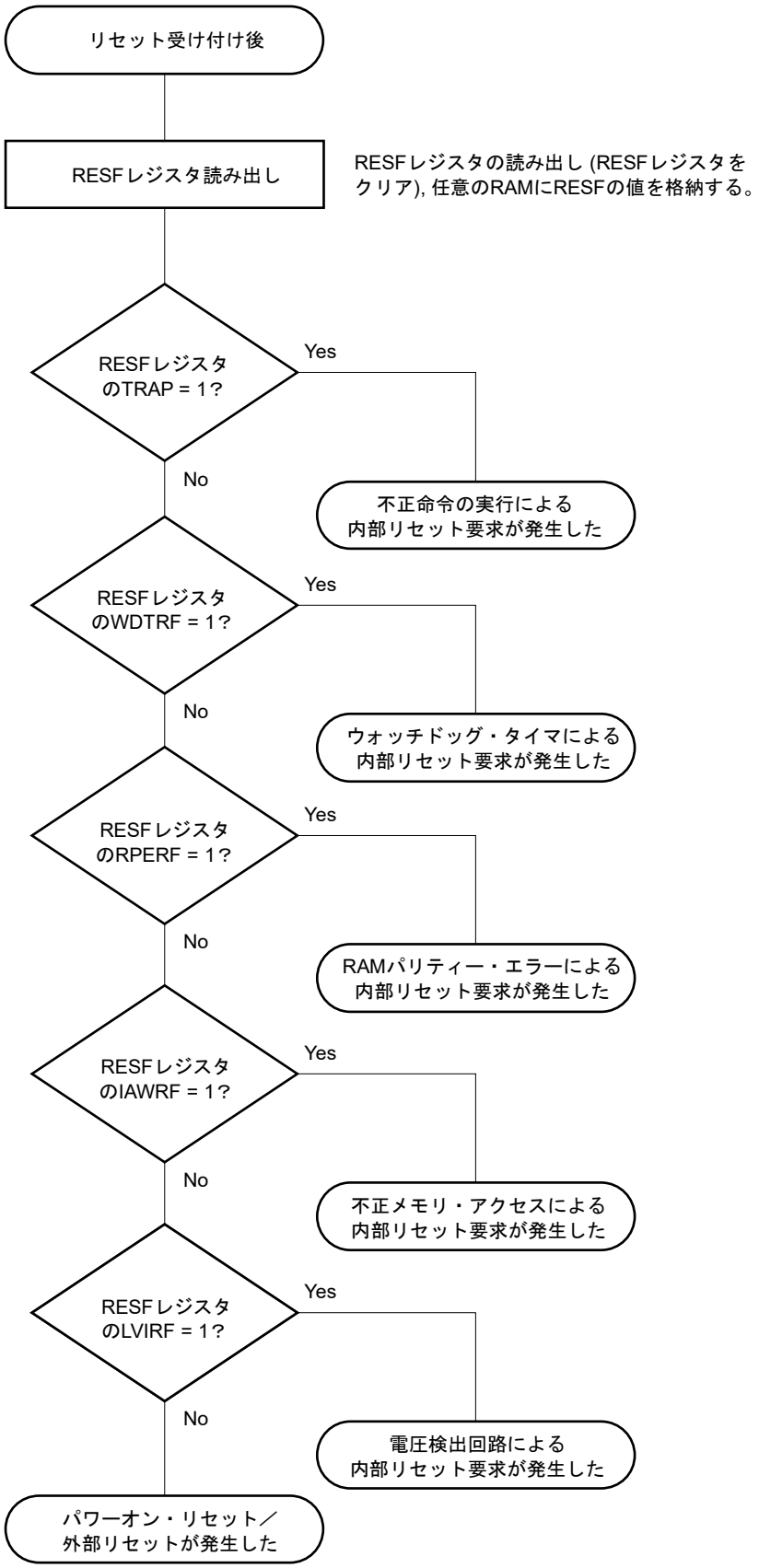
リセット要求時のRESFレジスタの状態を表22－3に示します。

表22－3　リセット要求時のRESFレジスタの状態

<table>
<tr><th>リセット要因
フラグ</th><th>$\overline{\text{RESET}}$入力</th><th>PORによるリセット</th><th>不正命令の実行によるリセット</th><th>WDTによるリセット</th><th>RAMパリティ・エラーによるリセット</th><th>不正メモリ・アクセスによるリセット</th><th>LVDによるリセット</th></tr>
<tr><td>TRAP</td><td rowspan="5">クリア（0）</td><td rowspan="5">クリア（0）</td><td>セット（1）</td><td>保持</td><td rowspan="2">保持</td><td rowspan="3">保持</td><td rowspan="4">保持</td></tr>
<tr><td>WDTRF</td><td rowspan="4">保持</td><td>セット（1）</td></tr>
<tr><td>RPERF</td><td rowspan="3">保持</td><td>セット（1）</td></tr>
<tr><td>IAWRF</td><td rowspan="2">保持</td><td>セット（1）</td></tr>
<tr><td>LVIRF</td><td>保持</td><td>セット（1）</td></tr>
</table>

RESFレジスタは，8ビット・メモリ操作命令で読み出すと，自動的にクリアされます。
リセット要因の手順を図22－5に示します

図22－5　リセット要因の確認手順



※ 上記フローは確認手順の一例です。

第23章　パワーオン・リセット回路

23. 1　パワーオン・リセット回路の機能

パワーオン・リセット（POR）回路は次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。
電源電圧（V_{DD}）が検出電圧（V_{POR}）を越えた場合に，リセットを解除します。
ただし，32. 4 または33. 4 AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。

・電源電圧（V_{DD}）と検出電圧（V_{PDR}）を比較し，V_{DD}＜V_{PDR}になったとき内部リセット信号を発生します。ただし，電源立ち下がり時は，32. 4または33. 4　AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意　パワーオン・リセット回路による内部リセット信号が発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）がクリア（00H）されます。

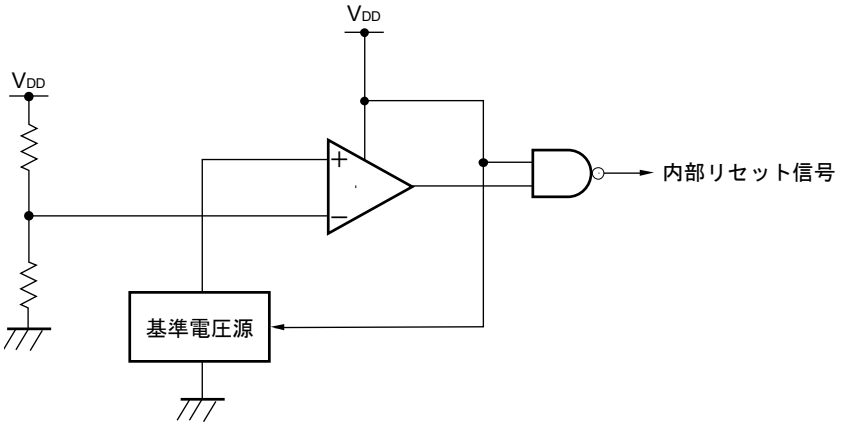
備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウエアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／電圧検出（LVD）回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合，そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は，クリア（00H）されずフラグがセット（1）されます。RESFレジスタの詳細については，第22章　リセット機能を参照してください。

2. V_{POR}　：POR電源立ち上がり検出電圧
V_{PDR}　：POR電源立ち下がり検出電圧
詳細は，32. 6. 5または33. 6. 5　POR回路特性を参照してください。

23. 2　パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図23－1に示します。

図23－1　パワーオン・リセット回路のブロック図

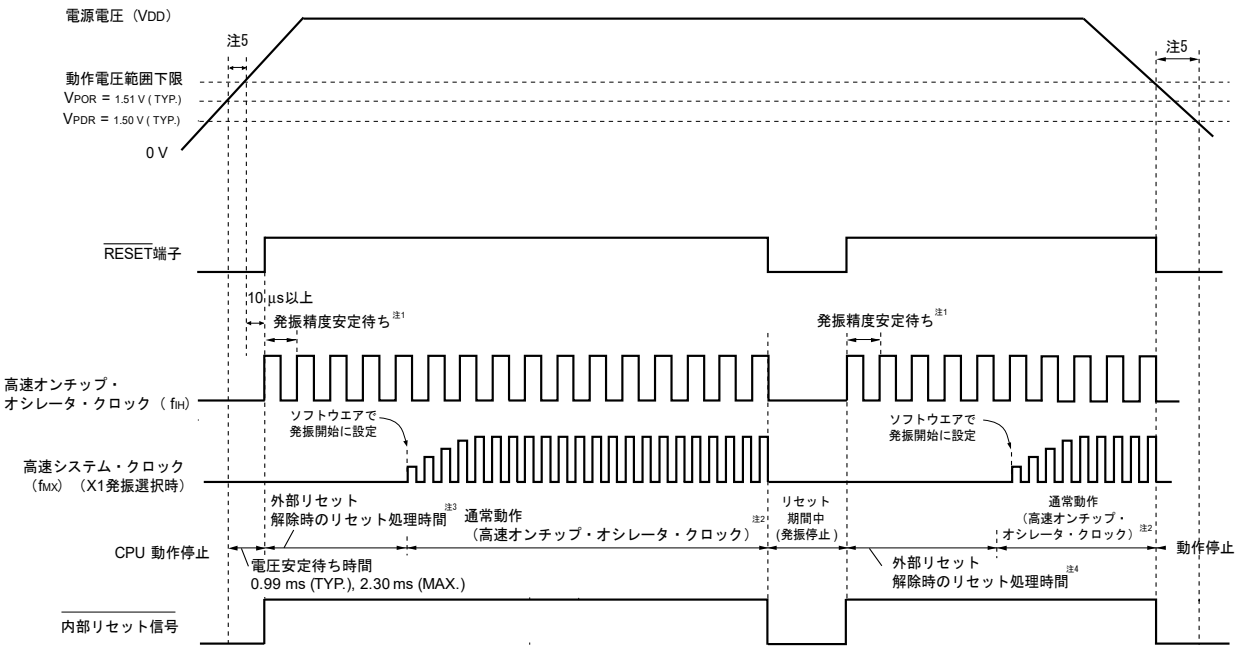


23. 3　パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図23－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1/3）

（1）$\overline{\text{RESET}}$端子による外部リセット使用時



注 1.　高速オンチップ･オシレータ･クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2.　CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。

X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから切り替えてください。

3.　通常動作が開始されるまでの時間は，VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて，$\overline{\text{RESET}}$信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間（POR解除後1回目）”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目：　0.672 ms (TYP.), 0.832 ms (MAX.)（LVD使用時）

0.399 ms (TYP.), 0.519 ms (MAX.)（LVDオフ時）

4.　POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降：　0.531 ms (TYP.), 0.675 ms (MAX.)（LVD使用時）

0.259 ms (TYP.), 0.362 ms (MAX.)（LVDオフ時）

5.　電源立ち上がり時は，32. 4 または33. 4 AC特性に示す動作電圧範囲まで，外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲まで復帰したことを確認してください。

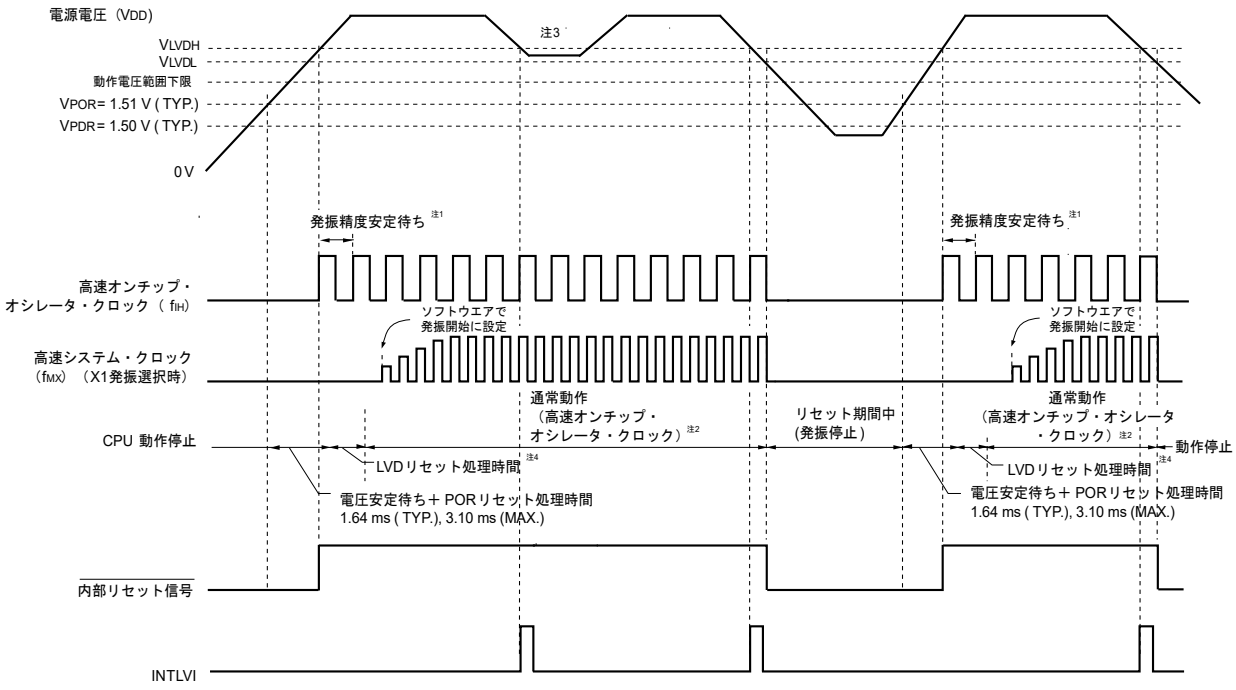
備考　VPOR　：POR電源立ち上がり検出電圧

VPDR　：POR電源立ち下がり検出電圧

注意 LVDオフ時は必ず$\overline{\text{RESET}}$端子による外部リセットを使用してください。詳細は，第24章 電圧検出回路を参照してください。

図23－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（2/3）

（2）LVD割り込み＆リセット・モード時　（オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0）



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから，切り替えてください。

3. 割り込み要求信号（INTLVI）が発生したあと，電圧検出レベル・レジスタ（LVIS）のLVILV, LVIMDビットは自動的に1に設定されます。そのため，電源電圧が低電圧検出電圧（V_{LVDL}）を下回らずに，高電圧検出電圧（V_{LVDH}）以上に復帰する場合を考慮して，INTLVI発生後は，”図24－7 動作電圧確認／リセットの設定手順”と，”図24－8 割り込み＆リセット・モードの初期設定の設定手順”に従って設定をしてください。

4. 通常動作が開始されるまでの時間は，V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち＋PORリセット処理時間”に加えて，LVD検出レベル（V_{LVDH}）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：　0 ms　～　0.0701 ms (MAX.)

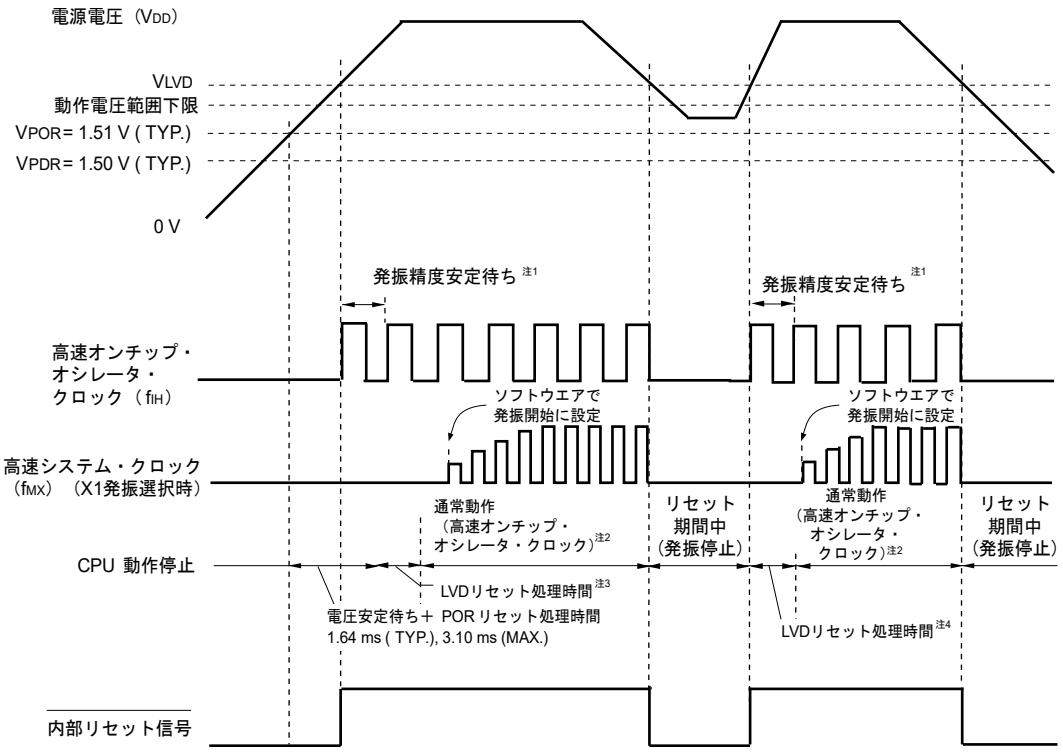
備考　V_{LVDH}, V_{LVDL}　：LVD検出電圧

V_{POR}　：POR電源立ち上がり検出電圧

V_{PDR}　：POR電源立ち下がり検出電圧

図23－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（3/3）

（3）LVD リセット・モード時 (オプション・バイト000C1H のLVIMDS1, LVIMDS0 = 1, 1)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから，切り替えてください。

3. 通常動作が開始されるまでの時間は，V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち＋PORリセット処理時間”に加えて，LVD検出レベル（V_{LVD}）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間： 0 ms ～ 0.0701 ms (MAX.)

4. 電源電圧降下時，電圧検出回路（LVD）による内部リセットのみ発生後に電源電圧が復帰した場合，LVD検出レベル（V_{LVD}）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間： 0.0511 ms (TYP.), 0.0701ms (MAX.)

備考1. V_{LVDH}, V_{LVDL} ：LVD検出電圧

V_{POR} ：POR電源立ち上がり検出電圧

V_{PDR} ：POR電源立ち下がり検出電圧

2. LVD割り込みモード（オプション・バイト000C1HのLVIMD1，LVIMD0=0,1）を選択した場合，電源投入後に通常動作が開始されるまでの時間は，図23－2（3）LVDリセット・モード時の"注3"の時間と同じです。

第24章　電圧検出回路

24. 1　電圧検出回路の機能

電圧検出回路は，オプション・バイト（000C1H）で動作モードと検出電圧（V_{LVDH},V_{LVDL},V_{LVD}）を設定します。電圧検出（LVD）回路は，次のような機能を持ちます。

・電源電圧（V_{DD}）と検出電圧（V_{LVDH}, V_{LVDL}, V_{LVD}）を比較し，内部リセットまたは割り込み要求信号を発生します。
・電源電圧の検出電圧（V_{LVDH}, V_{LVDL}, V_{LVD}）は，オプション・バイトにて検出レベルを6段階より選択できます（第27章　オプション・バイト参照）。
・STOPモード時においても動作可能です。
・電源立ち上がり時は，32. 4または33. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

（a）割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）
オプション・バイト000C1Hで2つの検出電圧（V_{LVDH}, V_{LVDL}）を選択します。高電圧検出レベル（V_{LVDH}）はリセット解除用／割り込み発生用として使用します。低電圧検出レベル（V_{LVDL}）はリセット発生用として使用します。

（b）リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）
オプション・バイト000C1Hで選択する1つの検出電圧（V_{LVD}）を，リセット発生／解除用として使用します。

（c）割り込みモード（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）
オプション・バイト000C1Hで選択する1つの検出電圧（V_{LVD}）を，リセット解除用／割り込み発生用として使用します。

各モードにおける割り込み信号と内部リセット信号は，次のように発生します。

割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0）	リセット・モード（LVIMDS1, LVIMDS0 = 1, 1）	割り込みモード（LVIMDS1, LVIMDS0 = 0, 1）
動作電圧降下時に，V_{DD}＜V_{LVDH}を検出して割り込み要求信号を発生，V_{DD}＜V_{LVDL}になったときに内部リセットを発生。 V_{DD}≧V_{LVDH}を検出して内部リセットを解除。	V_{DD}≧V_{LVD}を検出して内部リセットを解除。V_{DD}＜V_{LVD}を検出して割り込み要求信号を発生。	リセット発生直後，LVDの内部リセットはV_{DD}≧V_{LVD}になるまでリセット状態を継続します。V_{DD}≧V_{LVD}を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は，V_{DD}＜V_{LVD}またはV_{DD}≧V_{LVD}を検出して割り込み要求信号（INTLVI）を発生します。

電圧検出回路動作時では，電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット0）を読み出すことに

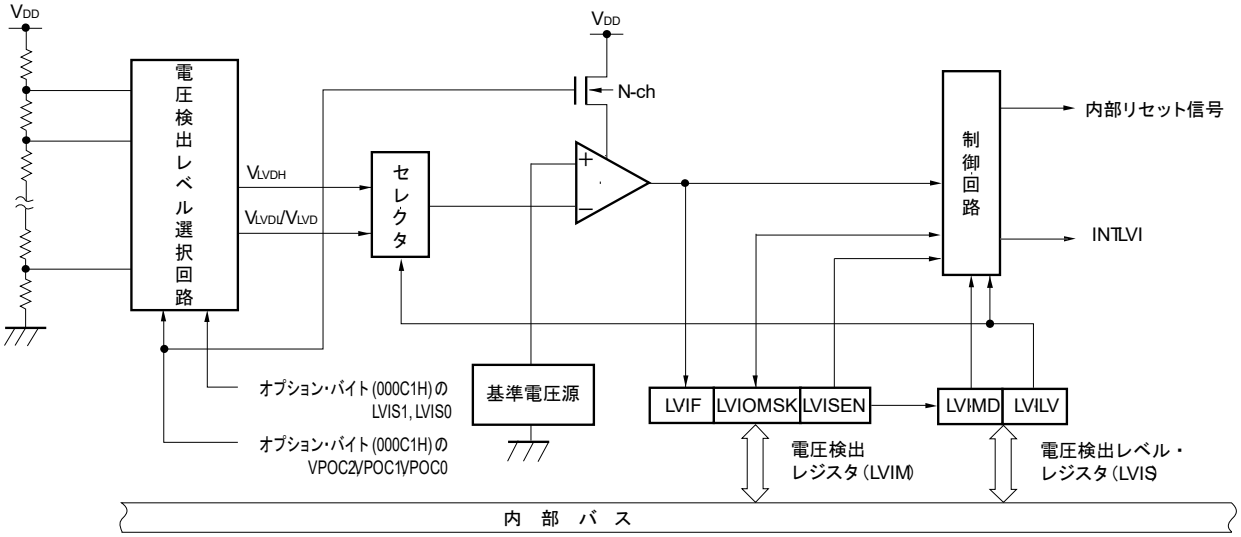
より，電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFレジスタについての詳細は，第22章　リセット機能を参照してください。

24. 2　電圧検出回路の構成

電圧検出回路のブロック図を図24－1に示します。

図24－1　電圧検出回路のブロック図



24. 3　電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

・電圧検出レジスタ（LVIM）

・電圧検出レベル・レジスタ（LVIS）

24. 3. 1　電圧検出レジスタ（LVIM）

電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定，LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図24－2　電圧検出レジスタ（LVIM）のフォーマット

アドレス：FFFA9H　リセット時：00H注1　R/W注2

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN注3	0	0	0	0	0	LVIOMSK	LVIF

LVISEN注3	電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定
0	LVISレジスタの書き換え禁止（LVIOMSK=0（LVD出力マスク無効）になる）
1	LVISレジスタの書き換え許可（LVIOMSK=1（LVD出力マスク有効）になる）

LVIOMSK	LVD出力マスク状態フラグ
0	LVD出力マスク無効
1	LVD出力マスク有効注4

LVIF	電圧検出フラグ
0	電源電圧（V_{DD}）≧検出電圧（V_{LVD}），またはLVDオフ時
1	電源電圧（V_{DD}）＜検出電圧（V_{LVD}）

注1. リセット値は，リセット要因により変化します。
LVDによるリセットのときには，LVIMレジスタの値はリセットされず，そのままの値を保持します。その他のリセットでは，LVISENは“0”にクリアされます。

2. ビット0, 1は，Read Onlyです。

3. 割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）選択時のみ設定できます。その他モードでは初期値から変更しないでください。

4. 割り込み＆リセット・モード（オプション・バイトLVIMDS1，LVIMDS0=1，0）選択時のみ，LVIOMSKビットは以下の期間に自動で“1”となり，LVDによるリセットまたは割り込み発生がマスクされます。

・LVISEN = 1の期間

・LVD割り込み発生から，LVD検出電圧が安定するまでの待ち時間

・LVILVビットの値変更から，LVD検出電圧が安定するまでの待ち時間

24. 3. 2　電圧検出レベル・レジスタ（LVIS）

電圧検出レベルを設定するレジスタです。

LVISレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H/01H/81H[注1]になります。

図24－3　電圧検出レベル・レジスタ（LVIS）のフォーマット

アドレス：FFFAAH　リセット時：00H/01H/81H[注1]　R/W

略号	7	6	5	4	3	2	1	0
LVIS	LVIMD	0	0	0	0	0	0	LVILV

LVIMD[注2]	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVILV[注2]	LVD検出レベル
0	高電圧検出レベル（V_{LVDH}）
1	低電圧検出レベル（V_{LVDL}またはV_{LVD}）

注1. リセット値は，リセット要因およびオプション・バイトの設定により変化します。
LVDリセット時は，クリア（00H）されません。
LVD以外のリセット時は，次のようになります。
・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき：00H
・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき：81H
・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき：01H

2. 割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み＆リセット・モードでのリセットまたは割り込み発生により，自動で値が切り替わります。

注意1.　LVISレジスタを書き換える場合は，図24-7，図24-8の手順で行ってください。

2.　LVDの動作モードと各モードの検出電圧（V_{LVDH}, V_{LVDL},V_{LVD}）は，オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト（000C1H/010C1H）のフォーマットを表24－1に示します。オプション・バイトの詳細は第27章　オプション・バイトを参照してください。

表24－1　ユーザ・オプション・バイト（000C1H）によるLVD動作モード・検出電圧設定（1/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込み＆リセット・モード）

検出電圧			オプション・バイト設定値						
V_{LVDH}		V_{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
2.92 V	2.86 V	2.75 V	0	1	1	1	0	1	0
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
－			上記以外は設定禁止						

・LVDの設定（リセット・モード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.81 V	2.75 V	0	1	1	1	1	1	1
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
－		上記以外は設定禁止						

・LVDの設定（割り込みモード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.81 V	2.75 V	0	1	1	1	1	0	1
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
－		上記以外は設定禁止						

注　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

（注意，備考は，次ページにあります。）

表24－1　ユーザ・オプション・バイト（000C1H）によるLVD動作モード・検出電圧設定（2/2）

アドレス：000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDオフ（$\overline{\text{RESET}}$端子による外部リセットを使用）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

注　ブート・スワップ時は, 000C1Hと010C1Hが切り替わるので, 010C1Hにも000C1Hと同じ値を設定してください。

注意1.　ビット4には，必ず1を書き込んでください。
2.　電源立ち上がり時は，32. 4または33. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

備考　1.　×：don’t care
2.　LVD回路の詳細は，第24章　電圧検出回路を参照してください。
3.　検出電圧はTYP.値です。詳細は，32. 6. 6 または33. 6. 6　LVD回路特性を参照してください。

24. 4　電圧検出回路の動作

24. 4. 1　リセット・モードとして使用する場合の設定

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1, 1））と検出電圧（V_{LVD}）の設定は，オプション・バイト000C1Hで設定しておきます。

リセット・モードを設定した場合，次の初期設定の状態で動作を開始します。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は，“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。

・電圧検出レベル・レジスタ（LVIS）の初期値は，81Hに設定されます。
ビット7（LVIMD）は“1”（リセット・モード）
ビット0（LVILV）は“1”（電圧検出レベル：V_{LVD}）

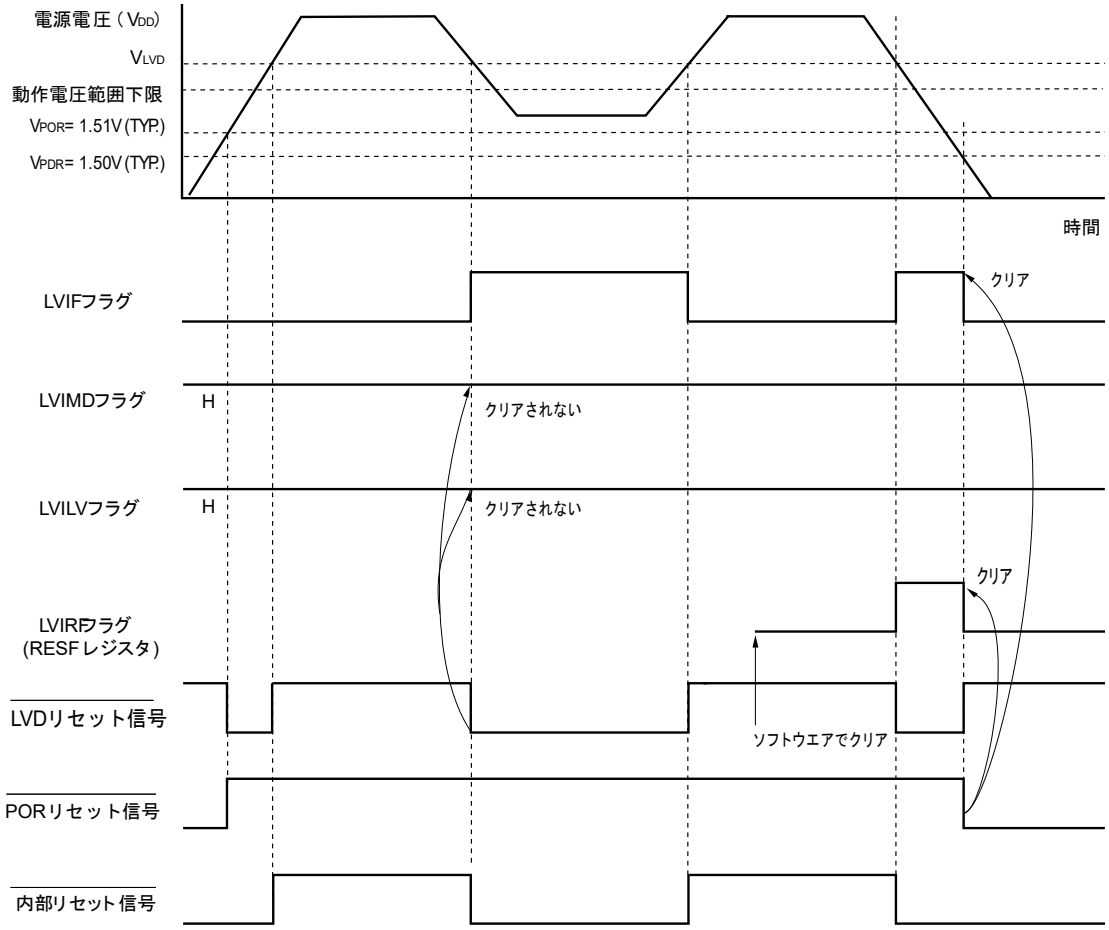
●LVDリセット・モードの動作

リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）は，電源投入時，電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を下回るとLVDによる内部リセットが発生します。

図24－4に，LVDリセット・モードの内部リセット信号発生のタイミングを示します。

図24－4　内部リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）



備考　VPOR：POR電源立ち上がり検出電圧

VPDR：POR電源立ち下がり検出電圧

24. 4. 2　割り込みモードとして使用する場合の設定

動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と検出電圧（V_{LVD}）の設定は，オプション・バイト000C1Hで設定します。

割り込みモードを設定した場合，次の初期設定の状態で動作を開始します。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は，“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。

・電圧検出レベル・レジスタ（LVIS）の初期値は，01Hに設定されます。
ビット7（LVIMD）は“0”（割り込みモード）
ビット0（LVILV）は“1”（電圧検出レベル：V_{LVD}）

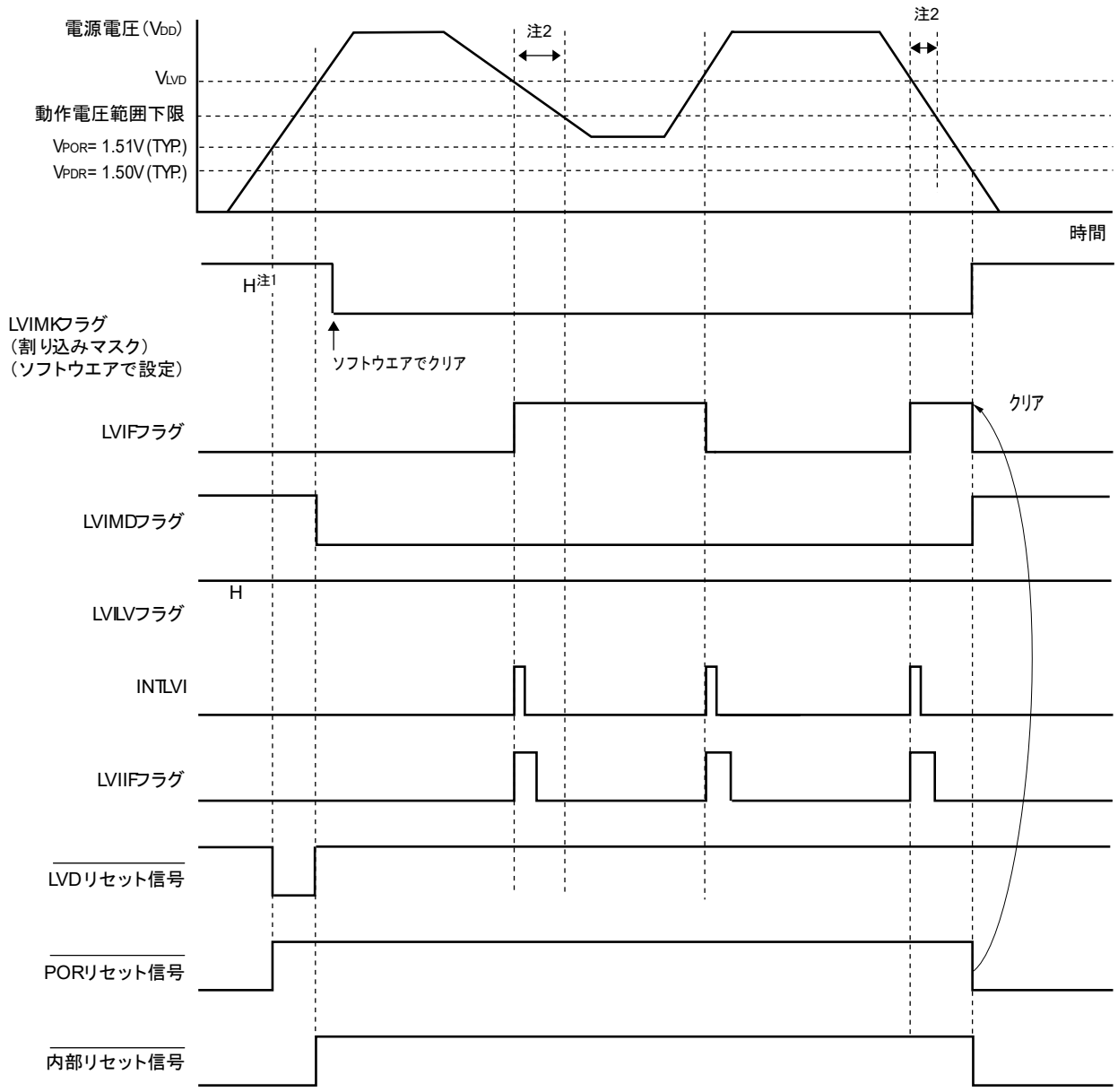
●LVD割り込みモードの動作

割り込みモード（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）は，リセット発生直後，電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を上回るまではLVDによる内部リセット状態を保ちます。動作電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を上回るとLVDによる内部リセットを解除します。

LVDの内部リセット解除後は，電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を上回るとLVDによる割り込み要求信号（INTLVI）が発生します。動作電圧降下時は，32. 4 または33. 4 AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

図24－5に，LVD割り込みモードの割り込み要求信号発生のタイミングを示します。

図24－5　割り込み信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）



注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

2. 動作電圧降下時は，32. 4 または33. 4 AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

24. 4. 3　割り込み＆リセット・モードとして使用する場合の設定

動作モード（割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（V_{LVDH}, V_{LVDL}）の設定は，オプション・バイト000C1Hで設定します。

割り込み＆リセット・モードを設定した場合，次の初期設定の状態で動作を開始します。

・ 電圧検出レジスタ（LVIM）のビット7（LVISEN）は“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。

・電圧検出レベル・レジスタ（LVIS）の初期値は，00Hに設定されます。

ビット7（LVIMD）は“0”（割り込みモード）

ビット0（LVILV）は“0”（高電圧検出レベル：V_{LVDH}）

●LVD割り込み＆リセット・モードの動作

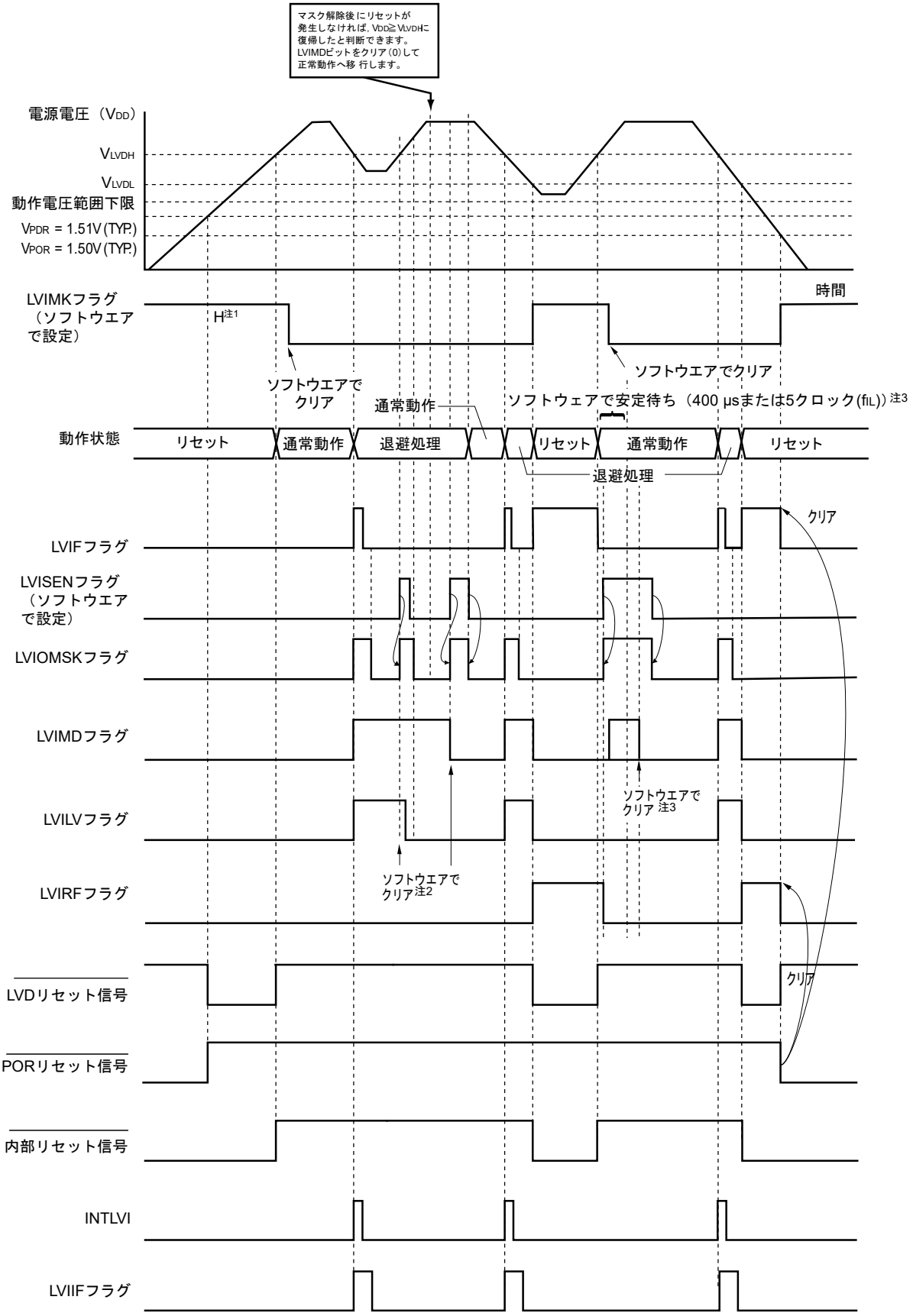
割り込み＆リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）は，電源投入時，電源電圧（V_{DD}）が高電圧検出レベル（V_{LVDH}）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（V_{DD}）が高電圧検出レベル（V_{LVDH}）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（V_{DD}）が高電圧検出レベル（V_{LVDH}）を下回るとLVDによる割り込み要求信号（INTLVD）が発生し，任意の退避処理を行うことができます。その後，電源電圧（V_{DD}）が低電圧検出レベル（V_{LVDL}）を下回るとLVDによる内部リセットが発生します。ただし，INTLVI発生後，電源電圧（V_{DD}）が低電圧検出電圧（V_{LVDL}）を下回らずに高電圧検出電圧（V_{LVDH}）以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み＆リセット・モードの使用する場合は，”図24－7 動作電圧確認／リセットの設定手順”と，”図24－8 割り込み＆リセット・モードの初期設定”に示すフローチャートの手順に従って設定をしてください。

図24－6に，LVD割り込み＆リセット・モードの内部リセット信号と割り込み信号発生のタイミングを示します。

図24－6　割り込み＆リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）（1/2）



（**注**，**備考**は次ページにあります。）

注 1. LVIMKフラグはリセット信号の発生により，“1”になっています。

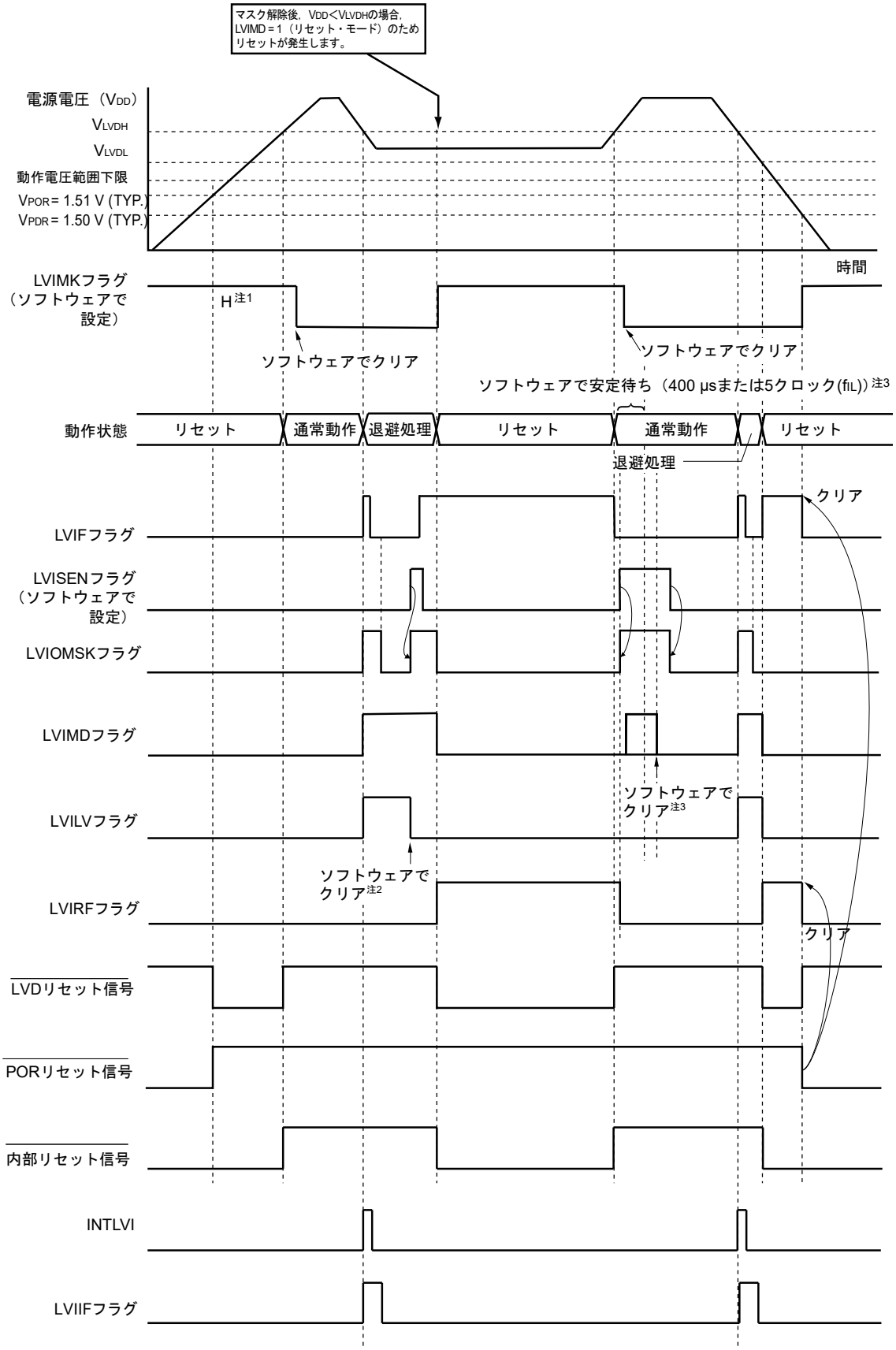
2. 割り込み＆リセット・モード使用時，割り込み発生後は，図24－7　動作電圧確認／リセットの設定手順に従って設定をしてください。

3. 割り込み＆リセット・モード使用時，リセット解除後は，図24－8　割り込み＆リセット・モードの初期設定の設定手順に従って設定をしてください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

図24－6　割り込み＆リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）（2/2）



（注，備考は次ページにあります。）

注 1. LVIMKフラグはリセット信号の発生により，“1”になっています。

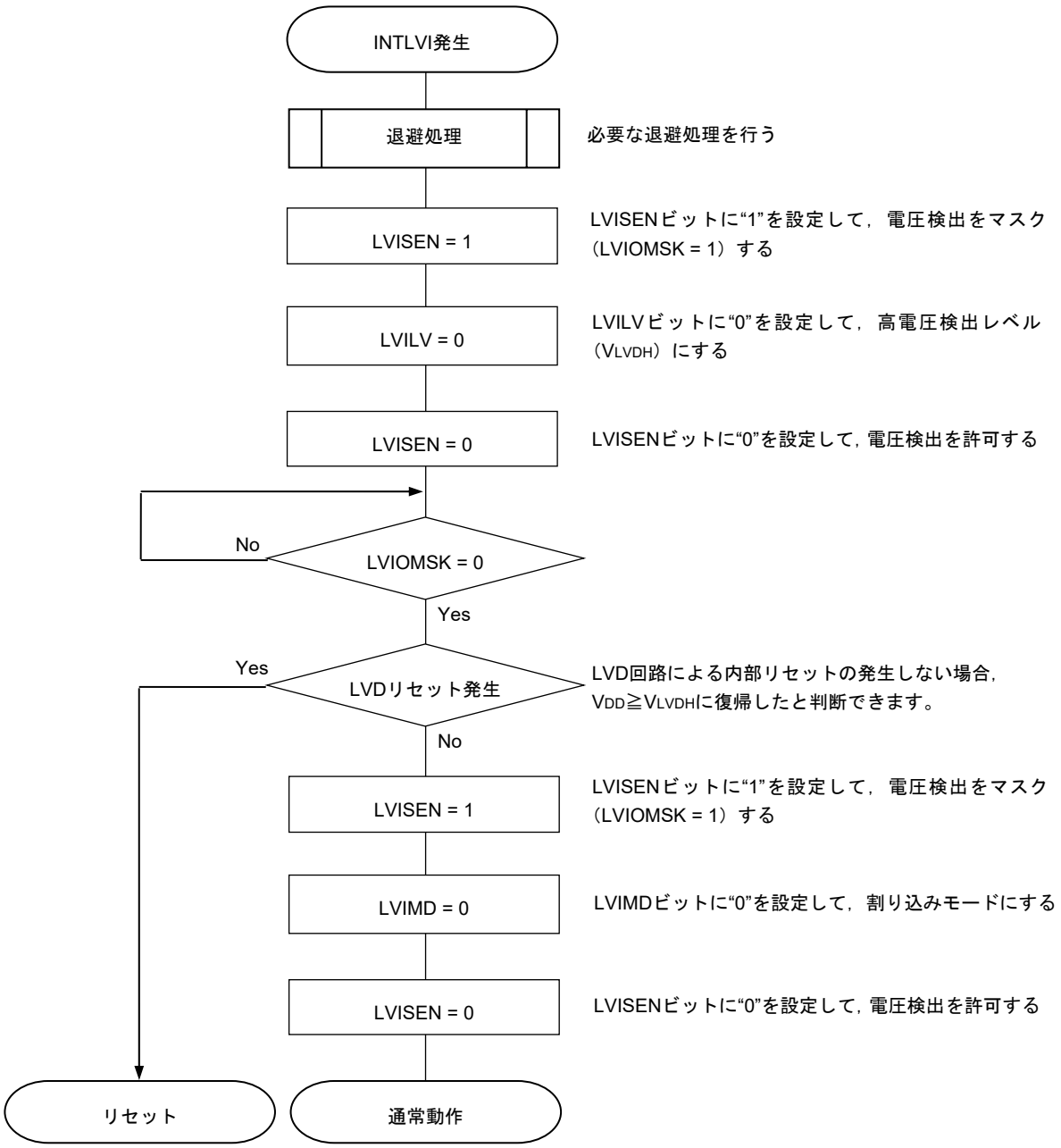
2. 割り込み＆リセット・モード使用時，割り込み発生後は，図24－7　動作電圧確認／リセットの設定手順に従って設定をしてください。

3. 割り込み＆リセット・モード使用時，リセット解除後は，図24－8　割り込み＆リセット・モードの初期設定の設定手順に従って設定をしてください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

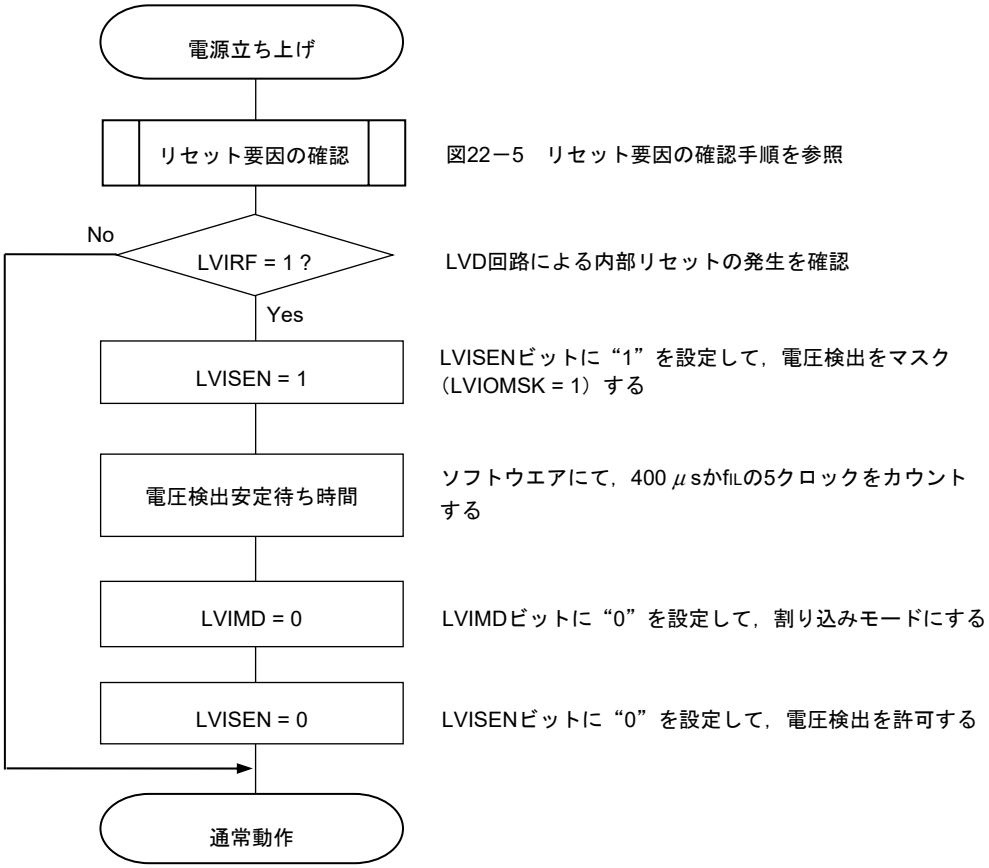
図24－7　動作電圧確認／リセットの設定手順



割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0）を設定した場合，LVDリセット解除後（LVIRF = 1）から400 μsかfILの5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後，LVIMDビットをクリア（0）して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は，LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図24－8に割り込み＆リセット・モードの初期設定の手順を示します。

図24－8　割り込み＆リセット・モードの初期設定の設定手順



備考　fIL：低速オンチップ・オシレータ・クロック周波数

24. 5　電圧検出回路の注意事項

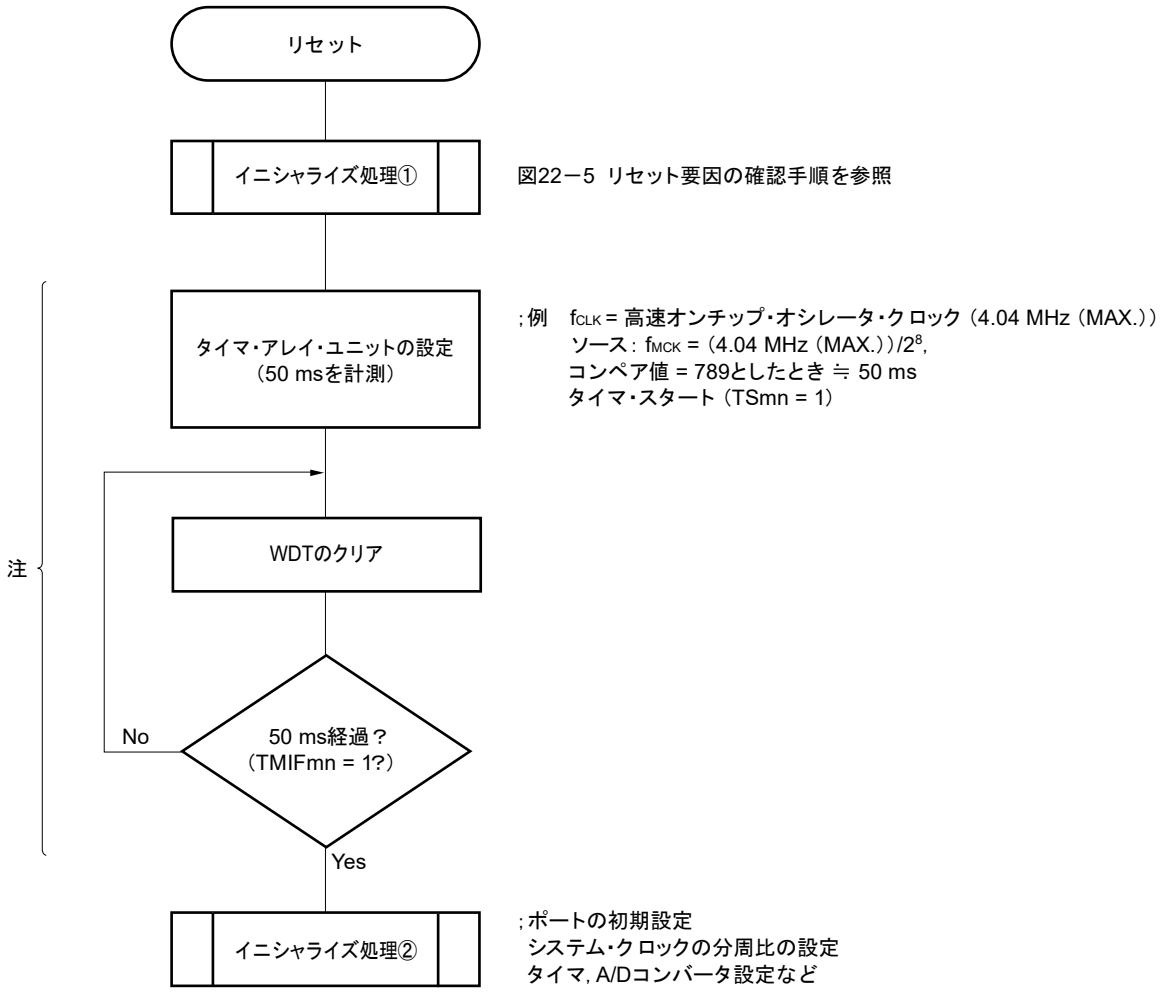
(1)　電源投入時の電圧変動について

電源電圧（V_{DD}）がLVD検出電圧付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処　置＞

リセット解除後，タイマなどを使用するソフトウエア・カウンタにて，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください。

図24－9　LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



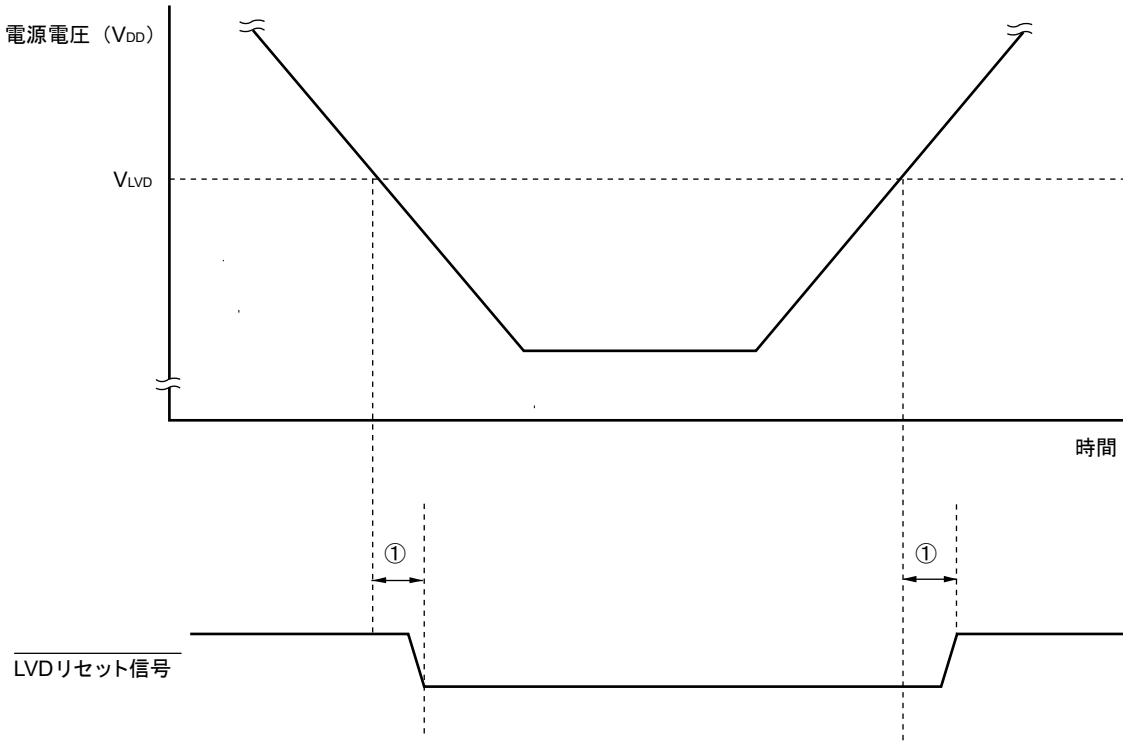
注　この間に再度リセットが発生した場合，イニシャライズ処理②には移行しません。

備考　m = 0, n = 0-7

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧（V_{DD}）＜LVD検出電圧（V_{LVD}）になってから，LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧（V_{LVD}）≦電源電圧（V_{DD}）になってから，LVDリセットが解除されるまでにも遅延が生じます（図24－10参照）。

図24－10　LVDリセット要因発生からLVDリセット発生または解除までの遅延



① ：検出遅延（300 μs（MAX.））

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず$\overline{\text{RESET}}$端子による外部リセットを使用してください。

外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は，$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し，32. 4 または33. 4 AC特性に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は，32. 4 または33. 4 AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

第25章　安全機能

25. 1　安全機能の概要

安全規格IEC60730，IEC61508に対応するため，RL78/I1Aでは以下の安全機能を搭載しています。
この安全機能は，マイコンで自己診断することで，故障を検出して安全に停止することを目的としています。

（1）フラッシュ・メモリCRC演算機能（高速CRC，汎用CRC）

CRC演算を行うことにより，フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて，以下の2つのCRCを使い分けていただくことができます。

・「高速CRC」… 初期設定ルーチンの中で，CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。

・「汎用CRC」… CPU動作中に，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用できます。

（2）RAMパリティ・エラー検出機能

RAMデータを読み出すとき，パリティ・エラーを検出します。

（3）RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

（4）SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

（5）不正メモリ・アクセス検出機能

不正メモリ領域（メモリが存在しない，アクセスが制限されている領域）への不正なアクセスを検出します。

（6）周波数検出機能

タイマ・アレイ・ユニットを使用して，CPU/周辺ハードウエア・クロック周波数の自己チェックができます。

（7）A/Dテスト機能

A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル（ANI），温度センサ出力電圧および内部基準電圧をA/D変換することにより，A/Dコンバータの自己チェックができます。

備考　安全規格IEC60730に対応する安全機能の使用例は，RL78 MCU シリーズのIEC60730/60335 セルフテスト・ライブラリ アプリケーションノート（R01AN0749R01AN1062，R01AN1296）を参照してください。

25. 2　安全機能で使用するレジスタ

安全機能では，各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・フラッシュ・メモリCRC制御レジスタ（CRC0CTL） ・フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）	フラッシュ・メモリCRC演算機能 （高速CRC）
・CRC入力レジスタ（CRCIN） ・CRCデータ・レジスタ（CRCD）	CRC演算機能 （汎用CRC）
・RAMパリティ・エラー制御レジスタ（RPECTL）	RAMパリティ・エラー検出機能
・不正メモリ・アクセス検出制御レジスタ（IAWCTL）	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
・タイマ入力選択レジスタ0（TIS0）	周波数検出機能
・A/Dテスト・レジスタ（ADTES）	A/Dテスト機能

各レジスタの内容については，25. 3　安全機能の動作の中で説明します。

25. 3　安全機能の動作

25. 3. 1　フラッシュ・メモリCRC演算機能（高速CRC）

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており，その確認手段としてCRCが推奨されています。この高速CRCでは，初期設定（イニシャライズ）ルーチンの間に，コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは，CPUを停止させて，フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため，チェック終了までの時間が短いことが特徴です（例　フラッシュ・メモリ64 KB：512 μs@32 MHz）。

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^{5}+1$」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意　オンチップ・デバッグでは，モニタ・プログラムを配置するため，CRC演算結果が異なります。

備考　汎用CRCはLSBファーストのため，演算結果は異なります。

25. 3. 1. 1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）のフォーマット

アドレス：F02F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	0	0	0	0	0	00000H-03FFBH（16 K−4バイト）
0	0	0	0	0	1	00000H-07FFBH（32 K−4バイト）
0	0	0	0	1	0	00000H-0BFFBH（48 K−4バイト）
0	0	0	0	1	1	00000H-0FFFBH（64 K−4バイト）
上記以外						設定禁止

備考　フラッシュ・メモリの最後の4バイトには，あらかじめ比較用のCRC演算結果期待値を入れてください。そのため，演算範囲は4バイト引いた範囲になっています。

25. 3. 1. 2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図25－2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）のフォーマット

アドレス：F02F2H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0

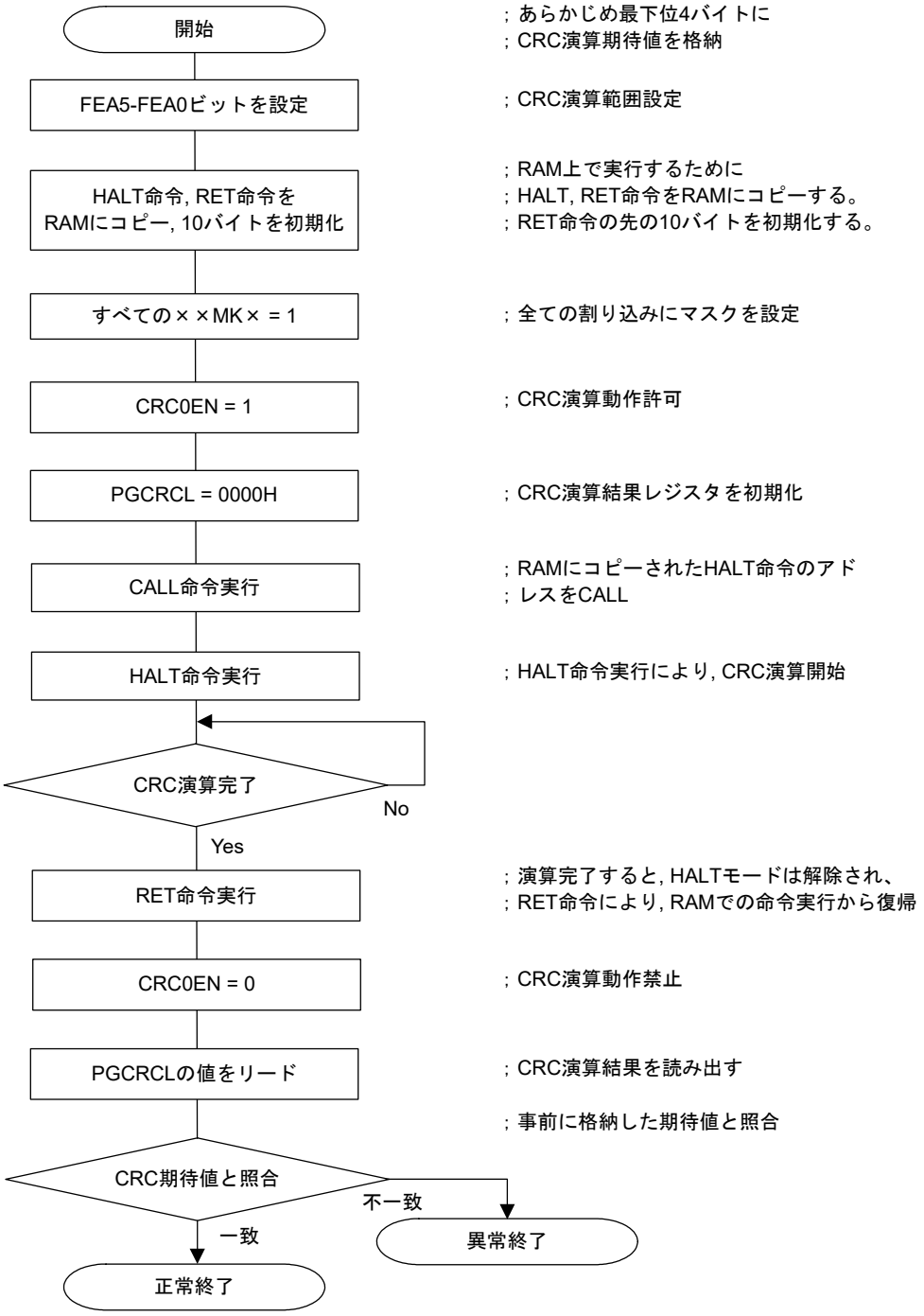
PGCRC15-0	高速CRC演算結果
0000H-FFFFH	高速CRC演算結果を格納

注意　PGCRCLレジスタは，CRC0EN（CRC0CTLレジスタのビット7）= 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャートを図25－3に示します。

＜動作フロー＞

図25－3　フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



注意1.　CRC演算の対象は，コード・フラッシュのみです。

2.　CRC演算の期待値は，コード・フラッシュ内の演算範囲の後に格納してください。

3.　RAM領域にて，HALT命令を実行することで，CRC演算が有効になります。
必ずRAM領域でHALT命令を実行してください。

CRC演算の期待値は，統合開発環境CubeSuite+を使用して算出することができます。詳細はCubeSuite+ 統合開発環境ユーザーズマニュアルを参照してください。

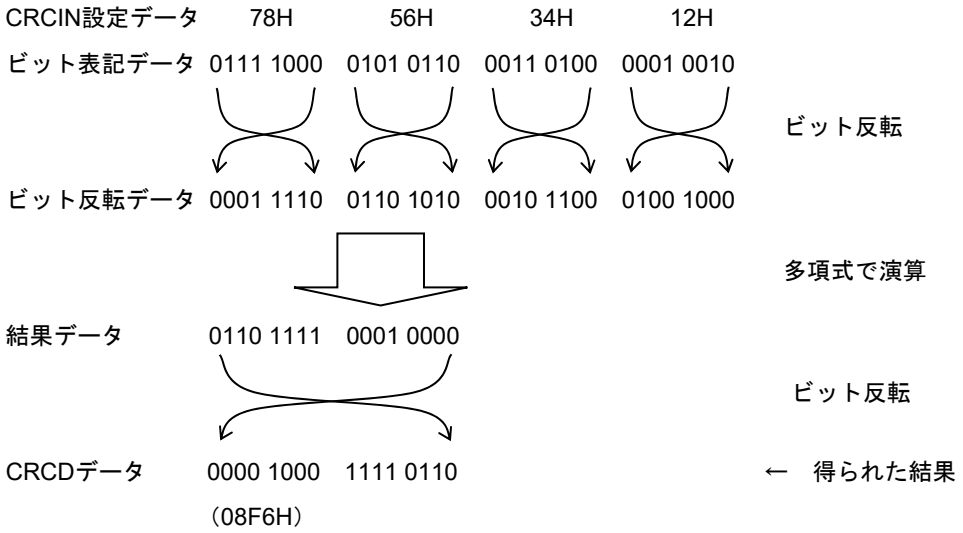
25. 3. 2　CRC演算機能（汎用CRC）

IEC61508では動作中の安全を保証しなければならないため，CPU動作中にもデータ確認する手段が必要です。

この汎用CRCでは，CPU動作中に，周辺機能としてCRC演算を実行できます。汎用CRCは，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用することができます。確認するデータは，ソフトウエア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は，DMA転送中だけ使用できます。

メイン・システム・クロック動作モードでも，サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^{5}+1$」を使用します。入力するデータはLSBファーストでの通信を考慮して，ビットの並びを反転して演算します。たとえば，データ12345678HをLSBから送信する場合には78H，56H，34H，12Hの順でCRCINレジスタに値を書き込むことで，CRCDレジスタから08F6Hの値が得られます。これは，データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意　プログラム実行中，デバッガはソフトウエア・ブレーク設定行をブレーク命令へ書き変えるため，CRC演算の対象領域にソフトウエア・ブレークを設定すると，CRC演算結果が異なります。

25. 3. 2. 1　CRC入力レジスタ（CRCIN）

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は，00H-FFHです。

CRCINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－4　CRC入力レジスタ（CRCIN）のフォーマット

アドレス：FFFACH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRCIN								

ビット7-0	機　能
00H-FFH	データ入力

25. 3. 2. 2　CRCデータ・レジスタ（CRCD）

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は，0000H-FFFFHです。

CRCINレジスタ書き込みから，CPU／周辺ハードウエア・クロック（f_{CLK}）の1クロック経過後に，CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図25－5　CRCデータ・レジスタ（CRCD）のフォーマット

アドレス：F02FAH　リセット時：0000H　R/W

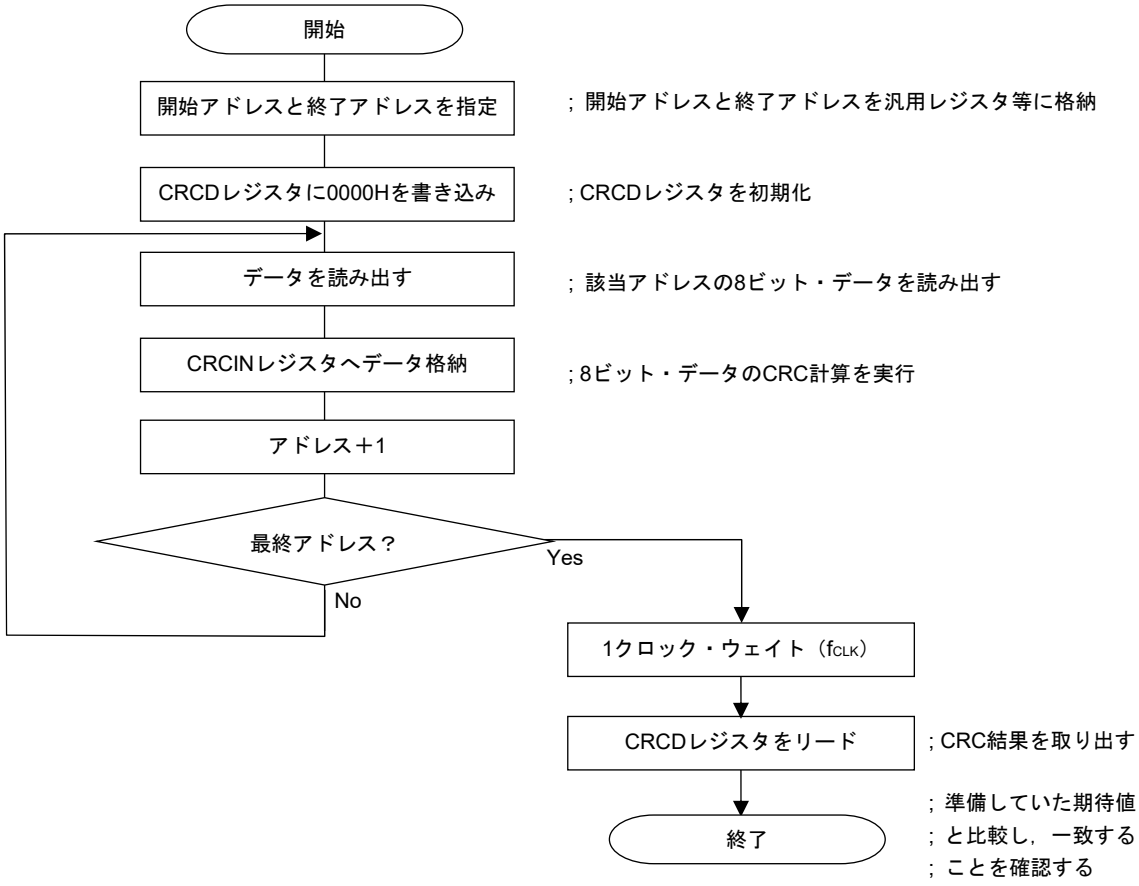
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

注意1.　CRCDレジスタに書き込まれた値を読み出す場合は，CRCINレジスタへの書き込みを行う前にリードしてください。

2.　CRCDレジスタへの書き込みと演算結果の格納が競合した場合，書き込みは無視されます。

＜動作フロー＞

図25－6　CRC演算機能（汎用CRC）のフロー・チャート



25. 3. 3　RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため，RL78/I1AのRAMには，8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では，データ書き込み時にパリティが書き込まれ，データ読み出し時にパリティをチェックします。また，パリティ・エラー発生時にリセットを発生することもできます。

25. 3. 3. 1　RAMパリティ・エラー制御レジスタ（RPECTL）

パリティ・エラーの発生確認ビットと，パリティ・エラーによるリセット発生を制御するレジスタです。
RPECTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，00Hになります。

図25－7　RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマット

アドレス：F00F5H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

RPERDIS	パリティ・エラー・リセット・マスク・フラグ
0	パリティ・エラー・リセット発生を許可
1	パリティ・エラー・リセット発生を禁止

RPEF	パリティ・エラー・ステータス・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生した

注意　データ書き込み時にパリティが書き込まれ，データ読み出し時にパリティをチェックします。そのため，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。
また，RL78はパイプライン動作のためCPUが先読みを行い，使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで，RAMパリティ・エラーが発生する場合があります。したがって，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。

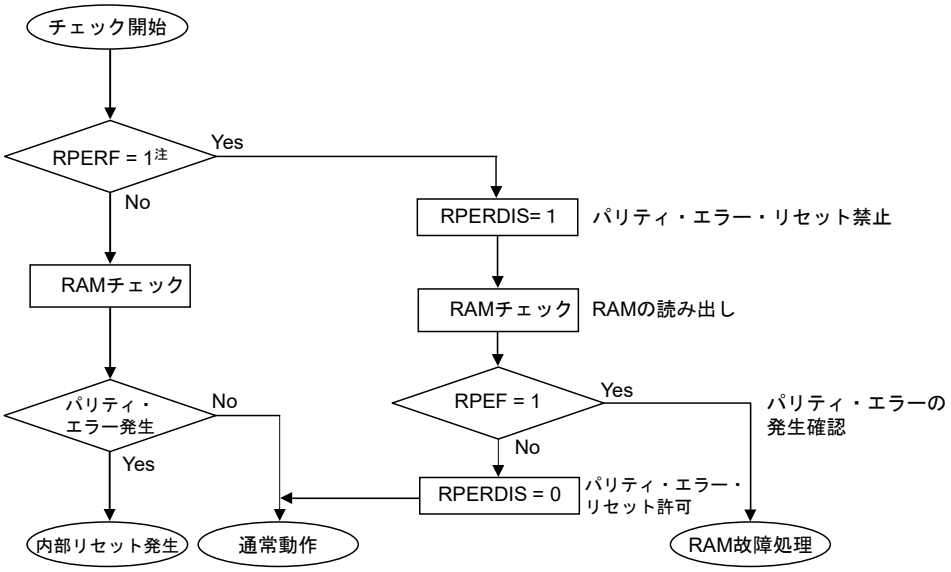
備考1.　初期状態では，パリティ・エラー・リセット発生許可（RPERDIS = 0）になってます。

2.　パリティ・エラー・リセット発生禁止（RPERDIS = 1）を設定時に，パリティ・エラーが発生した場合も，RPEFフラグはセット（1）されます。なお，RPEF = 1の状態で，パリティ・エラー・リセット発生許可（RPERDIS = 0）に設定すると，RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。

3.　RPECTLレジスタのRPEFフラグはパリティ・エラー発生時にセット（1）され，0の書き込み，またはすべてのリセット要因によりクリア（0）されます。RPEF = 1のときに，パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

4.　汎用レジスタは，RAMパリティ・エラー検出の範囲に含みません。

図25－8　RAMパリティ・チェックのフロー・チャート



注　RAMパリティ・エラーによる内部リセットの確認は，第22章　リセット機能を参照してください。

25. 3. 4　RAMガード機能

IEC61508では動作中の安全を保証しなければならないため, CPUが暴走してもRAMに格納されている重要なデータを保護する必要があります。

このRAMガード機能は，指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると，指定した空間へのRAM書き込みは無効になり，読み出しは通常通りに可能となります。

25. 3. 4. 1　不正メモリ・アクセス検出制御レジスタ0（IAWCTL0）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では，GRAM1, GRAM0ビットを使用します。

IAWCTL0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－9　不正メモリ・アクセス検出制御レジスタ0（IAWCTL0）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL0	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間注
0	0	無効。RAMへのライト可能
0	1	RAM先頭アドレスから128バイト
1	0	RAM先頭アドレスから256バイト
1	1	RAM先頭アドレスから512バイト

注　RAMの先頭アドレスは，製品の搭載RAMサイズにより変わります。

25. 3. 5　SFRガード機能

IEC61508では動作中の安全を保証しなければならないため，CPUが暴走しても重要なSFRが書き換わってしまわないように保護する必要があります。

SFRガード機能は，ポート機能，割り込み機能，クロック制御機能，電圧検出回路，RAMパリティ･エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると，ガードされたSFRへの書き込みは無効になり，読み出しは通常通りに可能となります。

25. 3. 5. 1　不正メモリ・アクセス検出制御レジスタ0, 1（IAWCTL0, IAWCTL1）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では，GPORT, GINT, GCSCビットを使用します。

IAWCTL0, IAWCTL1レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－10　不正メモリ・アクセス検出制御レジスタ0（IAWCTL0）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL0	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード／ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］PM0-PM3，PM4，PM7，PM12，PM14，PU0，PU1，PU3，PU4，PU7，PU12，PU14, PIM0, PIM1, POM0, POM1, PMC0, PMC12, PMC14, ADPC, PIOR1 注

GINT	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード／ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］IF0-IF2, MK0-MK2, PR00, PR01, PR02, PR10, PR11, PR12, EGP0, EGP1, EGN0, EGN1

GCSC	クロック制御機能，電圧検出回路，RAMパリティ・エラー検出機能の制御レジスタのガード
0	無効。クロック制御機能，電圧検出回路，RAMパリティ・エラー検出機能の制御レジスタのリード／ライト可能。
1	有効。クロック制御機能，電圧検出回路，RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］CMC, CSC, OSTS, CKC, PER0, OSMC, LVIM, LVIS, RPECTL

注　Pxx（ポート・レジスタ）はガードされません。

図25－11　不正メモリ・アクセス検出制御レジスタ1（IAWCTL1）のフォーマット

アドレス：F05C4H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL1	0	0	0	0	0	GDPORT1	GDINT1	GDCG1

GDPORT1	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード／ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］PM20, PU20, POM20, PIOR1, SUCTL 注

GDINT1	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード／ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］INTMK0, EGP2, EGN2, CMPEGP0, CMPEGN0

GDCG1	クロック制御機能の制御レジスタのガード
0	無効。クロック制御機能の制御レジスタのリード／ライト可能。
1	有効。クロック制御機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］PER1, PER2. PLLCTL

注　Pxx（ポート・レジスタ）はガードされません。

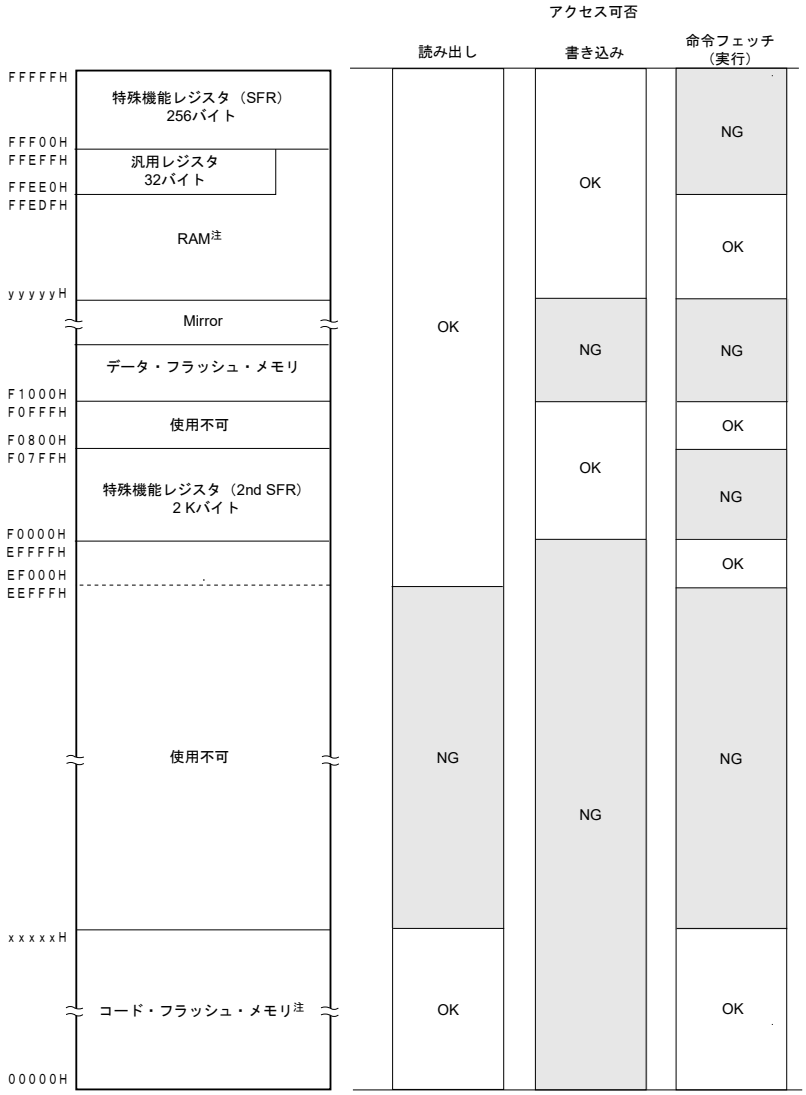
25. 3. 6　不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は，規定された不正アクセス検出空間をアクセスした際に，リセットを発生させる機能です。

不正アクセス検出空間は，図25－12で「NG」と記載した範囲になります。

図25－12　不正アクセス検出空間



注　各製品のコード・フラッシュ・メモリ，RAM，検出最下位アドレスを次に示します。

製　品	コード・フラッシュ・メモリ（00000H-xxxxxH）	RAM（zzzzzH-FFEFFH）	読み出し／命令フェッチ（実行）時の検出最下位アドレス(yyyyyH)
R5F1076C, R5F107AC	32768×8ビット（00000H-07FFFH）	2048×8ビット（FF700H-FFEFFH）	10000H
R5F107AE, R5F107DE	65536×8ビット（00000H-0FFFFH）	4096×8ビット（FEF00H-FFEFFH）	10000H

25. 3. 6. 1　不正メモリ・アクセス検出制御レジスタ0（IAWCTL0）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTL0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－13　不正メモリ・アクセス検出制御レジスタ0（IAWCTL0）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL0	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注　IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

備考　オプション・バイト（000C0H）のWDTON = 1（ウォッチドッグ・タイマ動作許可）のとき，IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

25. 3. 7　周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は，CPU/周辺ハードウエア・クロック周波数（f_{CLK}）を使用し，タイマ・アレイ・ユニット0(TAU0)のチャネル5の入力パルスを測定することで，2つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロック、もしくは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

＜比較するクロック＞

①CPU/周辺ハードウエア・クロック周波数（f_{CLK}）：

・高速オンチップ・オシレータ・クロック（f_{IH}）

・高速システム・クロック（f_{MX}）

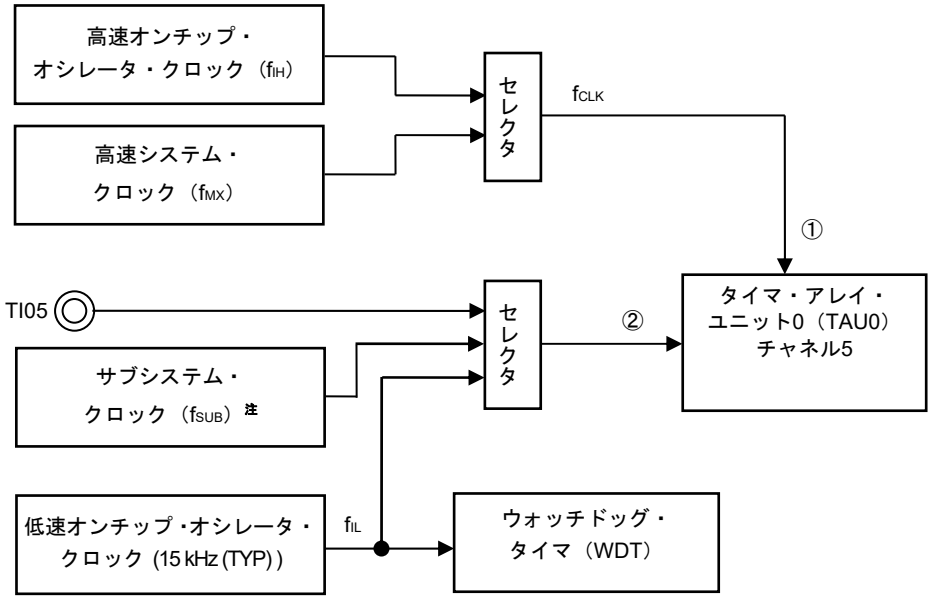
②タイマ・アレイ・ユニット0のチャネル5入力：

・チャネル5のタイマ入力(TI05)

・低速オンチップ・オシレータ・クロック（f_{IL}：15 kHz（TYP.））

・サブシステム・クロック（f_{SUB}）注

図25－14　周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は，「クロック周波数に異常がある」と判定できます。入力パルス間隔測定の方法については，6. 8. 3　入力パルス間隔測定としての動作を参照してください。

注 サブシステム・クロック搭載している製品のみ選択可能です。

25. 3. 7. 1　タイマ入力選択レジスタ0（TIS0）

TIS0レジスタは，タイマ・アレイ・ユニット0(TAU0)のチャネル5のタイマ入力を選択するレジスタです。

TIS0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－15　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI05）の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブシステム・クロック（f_{SUB}）
上記以外			設定禁止

25. 3. 8　A/Dテスト機能

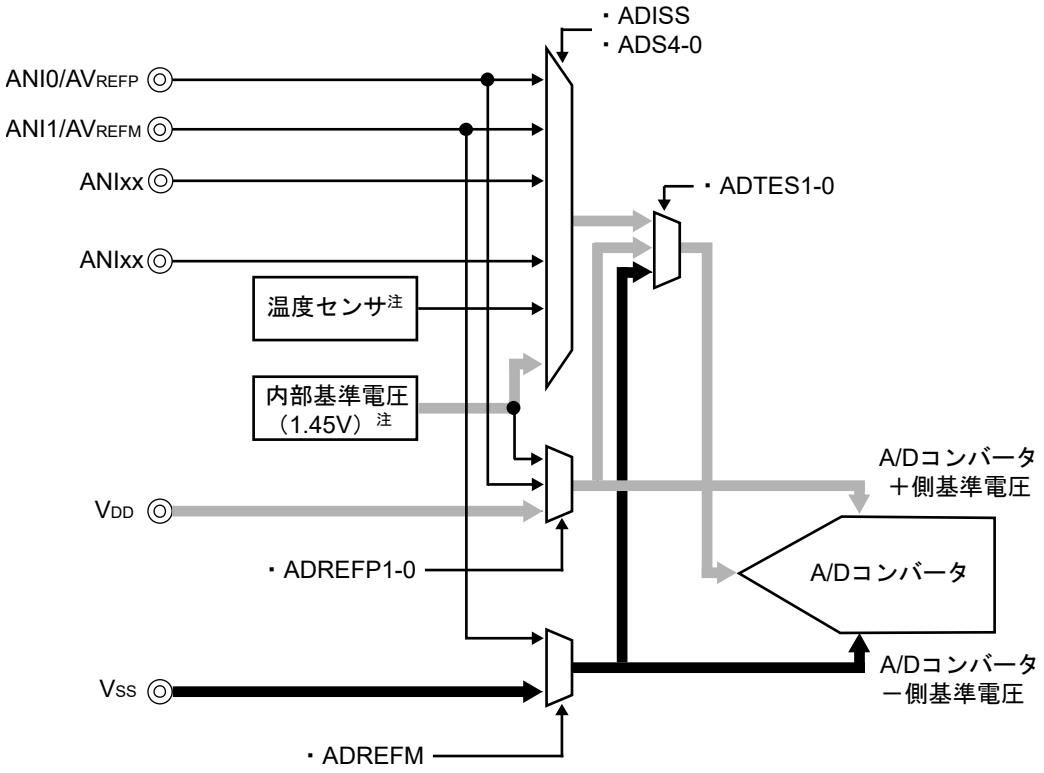
IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では，A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル（ANI），温度センサ出力電圧および内部基準電圧のA/D変換を実施することで，A/Dコンバータの正常動作を確認します。確認方法の詳細は，安全機能（A/Dテスト）アプリケーションノート（R01AN0955）を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

① ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0=0,0）
② ANIx端子のA/D変換を行う（変換結果1-1）。
③ ADTESレジスタでA/D変換を行い，A/Dコンバータの－側基準電圧を選択（ADTES1, ADTES0=1,0）
④ A/Dコンバータの－側基準電圧のA/D変換を行う（変換結果2-1）
⑤ ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0=0,0）
⑥ ANIx端子のA/D変換を行う（変換結果1-2）。
⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの＋側基準電圧を選択（ADTES1, ADTES0=1,1）
⑧ A/Dコンバータの＋側基準電圧のA/D変換を行う（変換結果2-2）
⑨ ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0=0,0）
⑩ ANIx端子のA/D変換を行う（変換結果1-3）
⑪ 「変換結果1-1」= 「変換結果1-2」 = 「変換結果1-3」であることを確認する。
⑫ 「変換結果2-1」のA/D変換結果がオール0，「変換結果2-2」のA/D変換結果がオール1であることを確認する。
以上の手順で，アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①～⑩の変換中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。
2. 変換結果は誤差を含むので、変換結果を比較するときは，適切な誤差を考慮してください。

図25－16　A/Dテスト機能の構成



注　HS（高速メイン）モードでのみ選択可能です。

25. 3. 8. 1　A/Dテスト・レジスタ（ADTES）

A/D変換対象にA/Dコンバータの＋側の基準電圧，－側の基準電圧，アナログ入力チャネル（ANIxx），温度センサ出力電圧，内部基準電圧（1.45V）を選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

・ゼロスケールを測定するときは，A/D変換対象に－側の基準電圧を選択。

・フルスケールを測定するときは，A/D変換対象に＋側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－17　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx/ 温度センサ出力電圧注/ 内部基準電圧（1.45 V）注 （アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2レジスタのADREFMビットで選択）
1	1	＋側の基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択）注
上記以外		設定禁止

注　温度センサ出力電圧，内部基準電圧（1.45 V）は，HS（高速メイン）モードでのみ選択可能です。

25. 3. 8. 2　アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/Dテスト機能でANIxx/ 温度センサ出力電圧/ 内部基準電圧（1.45 V）を測定するときは，A/Dテスト・レジスタ（ADTES）を00Hに設定してください。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25－18　アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード（ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV_{REFP}端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV_{REFM}端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	PGAOUT	PGA出力信号
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	0	0	1	1	0	ANI6	P26/ANI6端子
0	0	0	1	1	1	ANI7	P27/ANI7端子
0	1	0	0	0	0	ANI16	P03/ANI16端子
0	1	0	0	0	1	ANI17	P02/ANI17端子
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
1	0	0	0	0	0	－	温度センサ出力電圧注
1	0	0	0	0	1	－	内部基準電圧（1.45 V）注
上記以外						設定禁止	

注　HS（高速メイン）モードでのみ選択可能です。

（注意は次ページにあります。）

注意1.　ビット5, 6には必ず0を設定してください。

2.　ADPC, PMCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ0, 2, 12, 14（PM0, PM2, PM12, PM14）で入力モードに選択してください。

3.　A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

4. ポート・モード・コントロール・レジスタ0, 12, 14（PMC0, PMC12, PMC14）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

5.　ADISSビットを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

6.　AV_{REFP}をA/Dコンバータの＋側の基準電圧として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。

7.　AV_{REFM}をA/Dコンバータの－側の基準電圧として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。

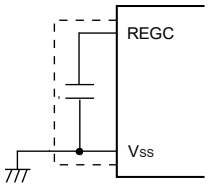
8.　ADISS = 1を設定した場合，＋側の基準電圧に内部基準電圧（1.45 V）は使用できません。また，ADISS = 1に設定後，1回目の変換結果は使用できません。詳細設定フローは，12. 7. 4 温度センサ出力電圧／内部基準電圧を選択時の設定（例　ソフトウエア・トリガ・モード時，ワンショット変換モード時）を参照してください。

9.　STOPモードへ移行，もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，32. 3. 2または33. 3. 2に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

第26章　レギュレータ

26. 1　レギュレータの概要

RL78/I1Aは，デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために，REGC端子にはレギュレータ安定として，コンデンサ（0.47～1 μF）を介し，Vssに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。



注意　上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は，表26－1のようになります。

表26－1　レギュレータ出力電圧条件

モード	出力電圧	条　　件
LS（低速メイン）モード	1.8 V	－
HS（高速メイン）モード	1.8 V	STOPモード時
		サブシステム・クロック（f_{SUB}）でCPU動作中で，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）が共に停止
		サブシステム・クロック（f_{SUB}）でCPU動作設定時のHALTモード中で，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）が共に停止
	2.1 V	上記以外（オンチップ・デバッグ中を含む）注

注　オンチップ・デバッグ中に，サブシステム・クロック動作やSTOPモードに移行する場合は，レギュレータ出力電圧は2.1 Vを継続します（1.8 Vにはなりません）。

第27章　オプション・バイト

27. 1　オプション・バイトの機能

RL78/I1Aのフラッシュ・メモリの000C0H-000C3Hは，オプション・バイト領域です。

オプション・バイトは，ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に，自動的にオプション・バイトを参照して，指定された機能の設定を行います。製品使用の際には，必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお，機能が配置されていないビットは，初期値から変更しないでください。

また，セルフ・プログラミング時にブート・スワップ動作を使用する際には，000C0H-000C3Hは010C0H-010C3Hと切り替わるので，010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意　オプション・バイトは，各機能の使用の有無にかかわらず必ず設定してください。

27. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）

（1）000C0H/010C0H

○ウォッチドッグ・タイマの動作

・カウンタの動作許可／禁止

・HALT/STOPモード時のカウンタの動作可能／停止

○ウォッチドッグ・タイマのオーバフロー時間の設定

○ウォッチドッグ・タイマのウインドウ・オープン期間の設定

○ウォッチドッグ・タイマのインターバル割り込みの設定

・インターバル割り込みを使用する／使用しない

注意　ブート・スワップ時は，000C0Hと010C0Hが切り替わるので，010C0Hにも000C0Hと同じ値を設定してください。

（2）000C1H/010C1H

○LVDの動作モード設定

・割り込み＆リセット・モード

・リセット・モード

・割り込みモード

・LVDオフ　（$\overline{\text{RESET}}$端子による外部リセットを使用）

○LVD検出レベル（V_{LVDH},V_{LVDL},V_{LVD}）の設定

注意1. 電源立ち上がり時は，32. 4 または33. 4 AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

2.ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

（3）000C2H/010C2H

○フラッシュの動作モード設定

使用するメイン・システム・クロック周波数（f_{MAIN}），電源電圧（V_{DD}）に応じて設定

・LS（低速メイン）モード

・HS（高速メイン）モード

○高速オンチップ・オシレータの周波数設定

・32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz /3 MHz/2 MHz/1 MHz（TYP.）から選択

注意　ブート・スワップ時は，000C2Hと010C2Hが切り替わるので，010C2Hにも000C2Hと同じ値を設定してください。

27. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）

○オンチップ・デバッグ動作制御

・オンチップ・デバッグ動作禁止／許可

○セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意　ブート・スワップ時は，000C3Hと010C3Hが切り替わるので，010C3Hにも000C3Hと同じ値を設定してください。

27.2　ユーザ・オプション・バイトのフォーマット

図27－1　ユーザ・オプション・バイト（000C0H/010C0H）のフォーマット

アドレス：000C0H/010C0H[注1]

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%+1/2f_{IL}到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間[注2]
0	0	設定禁止
0	1	50 %
1	0	75 %[注3]
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止（リセット解除後，カウント停止）
1	カウンタ動作許可（リセット解除後，カウント開始）

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{IL} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{IL}$（3.71 ms）
0	0	1	$2^7/f_{IL}$（7.42 ms）
0	1	0	$2^8/f_{IL}$（14.84 ms）
0	1	1	$2^9/f_{IL}$（29.68 ms）
1	0	0	$2^{11}/f_{IL}$（118.72 ms）
1	0	1	$2^{13}/f_{IL}$（474.89 ms）
1	1	0	$2^{14}/f_{IL}$（949.79 ms）
1	1	1	$2^{16}/f_{IL}$（3799.18 ms）

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時）
0	HALT/STOPモード時，カウンタ動作停止[注2]
1	HALT/STOPモード時，カウンタ動作許可

注1. ブート・スワップ時は，000C0Hと010C0Hが切り替わるので，010C0Hにも000C0Hと同じ値を設定してください。

2. WDSTBYON = 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

注3. ウインドウ・オープン期間を75%に設定した時に，ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合，ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等，下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f_{IL} = 17.25 kHz (MAX.)の場合)	ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms～2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms～5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms～10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms～20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms～80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms～321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms～642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms～2570.04 ms

備考 f_{IL}：低速オンチップ・オシレータ・クロック周波数

図27－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（1/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込み＆リセット・モード）

検出電圧			オプション・バイト設定値						
V_{LVDH}		V_{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
2.92 V	2.86 V	2.75 V	0	1	1	1	0	1	0
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
－			上記以外は設定禁止						

・LVDの設定（リセット・モード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.81 V	2.75 V	0	1	1	1	1	1	1
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
－		上記以外は設定禁止						

・LVDの設定（割り込みモード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.81 V	2.75 V	0	1	1	1	1	0	1
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
－		上記以外は設定禁止						

注　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は，第24章 電圧検出回路を参照してください。

2. 検出電圧はTYP.値です。詳細は，32. 6. 6または33. 6. 6　LVD回路特性を参照してください。

（注意は，次ページにあります。）

図27－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（2/2）

アドレス：000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDオフ（$\overline{\text{RESET}}$端子による外部リセットを使用）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

注　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

注意1.　ビット4には，必ず1を書き込んでください。

2.　電源立ち上がり時は，32. 4または33. 4 AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

備考 1.　×：don’t care

2.　LVDの設定に関しては24. 1　電圧検出回路の機能を参照してください。

3.　検出電圧はTYP.値です。詳細は，32. 6. 6または33. 6. 6　LVD回路特性を参照してください。

図27－3　ユーザ・オプション・バイト（000C2H/010C2H）のフォーマット

アドレス：000C2H/010C2H[注]

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲（f_{MAIN}）	動作電圧範囲（V_{DD}）
1	0	LS（低速メイン）モード	1 MHz～8 MHz	2.7 V～5.5 V
1	1	HS（高速メイン）モード	1 MHz～32 MHz	2.7 V～5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注　ブート・スワップ時は，000C2Hと010C2Hが切り替わるので，010C2Hにも000C2Hと同じ値を設定してください。

注意1. ビット5-4には，必ず10Bを書き込んでください。

2. 動作周波数範囲と動作電圧範囲は，フラッシュの各動作モードによって異なります。詳細は，32. 4または33. 4　AC特性を参照してください。

27.3　オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図27－4　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）のフォーマット

アドレス：000C3H/010C3H[注]

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注　ブート・スワップ時は，000C3Hと010C3Hが切り替わるので，010C3Hにも000C3Hと同じ値を設定してください。

注意　ビット7, 0（OCDENSET, OCDERSD）のみ，値を指定できます。
ビット6-1には，必ず000010Bを書き込んでください。

備考　ビット3-1は，オンチップ・デバッグ機能使用時に値が書き変わるので，設定後は不定となります。
ただし，設定時にはビット3-1にも，必ず初期値（0, 1, 0）を設定してください。

27.4　オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは，ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合，下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウエア記述例を次に示します。

```
OPT   CSEG        OPT_BYTE
      DB          36H     ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                          ; ウォッチドッグ・タイマ動作許可，
                          ; ウォッチドッグ・タイマのウインドウ・オープン期間50%，
                          ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL，
                          ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
      DB          7AH     ; VLVDLに2.75 Vを選択
                          ; VLVDHに立ち上がり2.92 V，立ち下がり2.86 Vを選択
                          ; LVDの動作モードに割り込み＆リセット・モードを選択
      DB          ADH     ; フラッシュの動作モードにLS（低速メイン）モード，
                            高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
      DB          85H     ; オンチップ・デバッグ動作許可，セキュリティID認証失敗時に
                          ; フラッシュ・メモリのデータを消去しない。
```

セルフ・プログラミング時にブート・スワップ機能を使用する際には，000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を，次のように記述してください。

```
OPT2  CSEG   AT   010C0H
      DB          36H     ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                          ; ウォッチドッグ・タイマ動作許可，
                          ; ウォッチドッグ・タイマのウインドウ・オープン期間50%，
                          ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL，
                          ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
      DB          7AH     ; VLVDLに2.75 Vを選択
                          ; VLVDHに立ち上がり2.92 V，立ち下がり2.86 Vを選択
                          ; LVDの動作モードに割り込み＆リセット・モードを選択
      DB          ADH     ; フラッシュの動作モードにLS（低速メイン）モード，
                            高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
      DB          85H     ; オンチップ・デバッグ動作許可，セキュリティID認証失敗時に
                          ; フラッシュ・メモリのデータを消去しない。
```

注意　オプション・バイトをアセンブリ言語により指定する場合，CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお，ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は，再配置属性ATを使用して絶対番地を指定してください。

第28章　フラッシュ・メモリ

RL78マイクロコントローラは，プログラムの書き込み，消去，再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには，プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。

フラッシュ・メモリのプログラミング方法は，次のとおりです。

コード・フラッシュ・メモリは，フラッシュ・メモリ・プログラマによるシリアル・プログラミングもしくは，セルフ・プログラミングで書き換えることができます。

・フラッシュ・メモリ・プログラマによるシリアル・プログラミング　（28. 1 参照）

専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

・セルフ・プログラミング　（28. 5 参照）

フラッシュ・セルフ・プログラミング・ライブラリを利用して，ユーザ・アプリケーション上でコード・フラッシュ･メモリの自己書き換えができます。

データ・フラッシュ・メモリは，データ・フラッシュ・ライブラリを利用して，ユーザ・プログラム実行中に書き換えることができます（バックグランド・オペレーション）。データ・フラッシュへのアクセスや書き込みについては，28. 7 データ・フラッシュを参照してください。

28. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために，次の専用フラッシュ・メモリ・プログラマを使用できます。

・PG-FP5, FL-PR5
・E1オンチップデバッギングエミュレータ

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考　FL-PR5, FAシリーズは，（株）内藤電誠町田製作所の製品です。

表28－1　RL78/I1Aと専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号		
					20ピン	30ピン	38ピン
信号名		入出力	端子機能		SSOP	SSOP	SSOP
PG-FP5, FL-PR5	E1オンチップデバッギングエミュレータ						
－	TOOL0	入出力	送受信信号	TOOL0/P40	3	5	5
SI/RxD	－	入出力	送受信信号				
－	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	4	6	6
/RESET	－	出力					
V_{DD}		入出力	V_{DD}電圧生成／電源監視	V_{DD}	10	12	14
GND		－	グランド	V_{SS}	9	11	13
				REGC注	8	10	12
FLMD1	EMV_{DD}	－	TOOL0端子駆動電源	V_{DD}	10	12	14

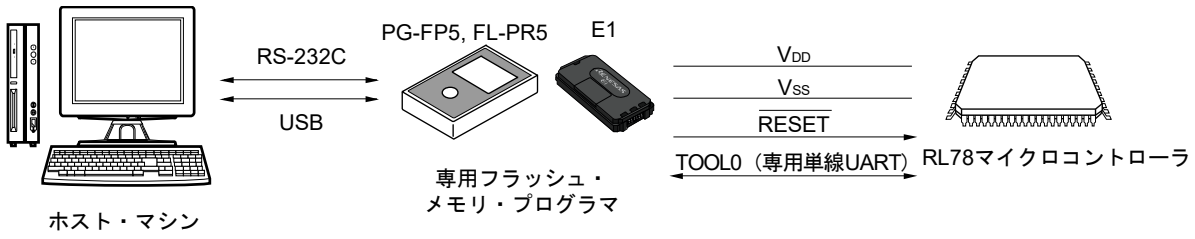
注　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

備考　この表に記載されていない端子は，フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

28. 1. 1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図28－1　フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

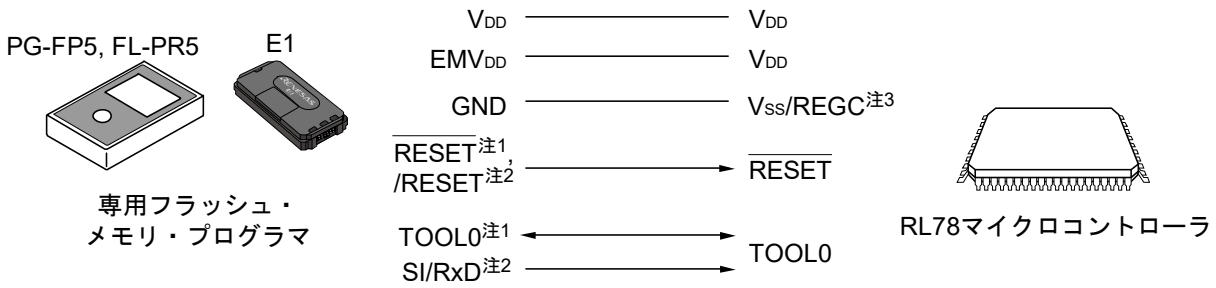
また，専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して，専用の単線UARTで書き込み／消去の操作を行います。

28. 1. 2　通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は，RL78マイクロコントローラのTOOL0端子を使用して，専用の単線UARTによるシリアル通信で行います。

転送レート：　1 M, 500 k, 250 k, 115.2 kbps

図28－2　専用フラッシュ・メモリ・プログラマとの通信



注1.　E1オンチップデバッギングエミュレータ使用時。

2.　PG-FP5, FL-PR5使用時。

3.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78/I1Aに対して次の信号を生成します。詳細はPG-FP5，FL-PR5またはE1オンチップデバッギングエミュレータの各マニュアルを参照してください。

表28－2　端子接続一覧

専用フラッシュ・メモリ・プログラマ				RL78マイクロコントローラ
信号名		入出力	端子機能	端子名[注2]
PG-FP5, FL-PR5	E1オンチップデバッギングエミュレータ			
V_{DD}		入出力	V_{DD}電圧生成／電圧監視	V_{DD}
GND		－	グランド	V_{SS}, REGC[注1]
FLMD1	EMV_{DD}	－	TOOL0端子駆動電源	V_{DD}
/RESET	－	出力	リセット信号	$\overline{RESET}$
－	$\overline{RESET}$	出力		
－	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	－	入出力	送受信信号	

注1.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

2.　接続先端子は、製品によって異なります。詳細は，表28－1を参照してください。

28. 2　オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考　フラッシュ・メモリ・プログラミング・モードに関しては，28. 3. 2　フラッシュ・メモリ・プログラミング・モードを参照してください。

28. 2. 1　P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は，外部で1 kΩの抵抗でプルアップし，専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合，以下の方法で使用してください。

入力時：外部リセット解除時からt_{HD}の期間はロウ・レベルを入力しないでください。ただし，プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

備考1. t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに，外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。32. 10 または33. 10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

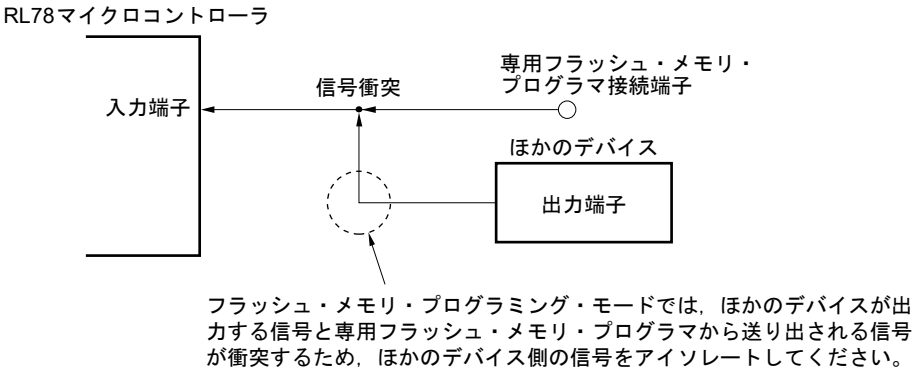
2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には，単線UART（TOOL0端子）を使用するので，SAUやIICAの端子は使用しません。

28. 2. 2　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図28－3　信号の衝突（$\overline{\text{RESET}}$端子）



28. 2. 3　ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}に接続するか，もしくは抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

28. 2. 4　REGC端子

REGC端子は，通常動作時と同様に，特性のよいコンデンサ（0.47～1 μF）を介し，GNDに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。

28. 2. 5　X1, X2端子

X1, X2は，通常動作モード時と同じ状態に接続してください。

備考　フラッシュ・メモリ・プログラミング・モード時は，高速オンチップ・オシレータ・クロック（f_{IH}）を使用します。

28. 2. 6　電　　源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は，V_{DD}端子はフラッシュ・メモリ・プログラマのV_{DD}に，V_{SS}端子はフラッシュ・メモリ・プログラマのGNDに，それぞれ接続してください。

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

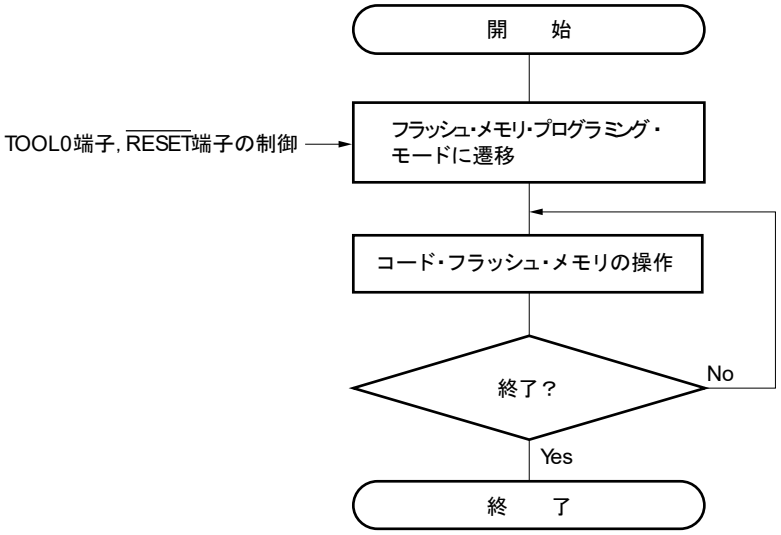
ただしフラッシュ・メモリ・プログラマによる書き込みの場合は，オンボード上の電源を使用する場合においても，フラッシュ・メモリ・プログラマで電圧監視をするため，V_{DD}, V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}, GNDと必ず接続してください。

28. 3　シリアル・プログラミング方法

28. 3. 1　シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリを操作する手順を次に示します。

図28－4　コード・フラッシュ・メモリの操作手順



28. 3. 2　フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは，フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには，次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合＞

専用フラッシュ・メモリ・プログラマとの通信により，自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

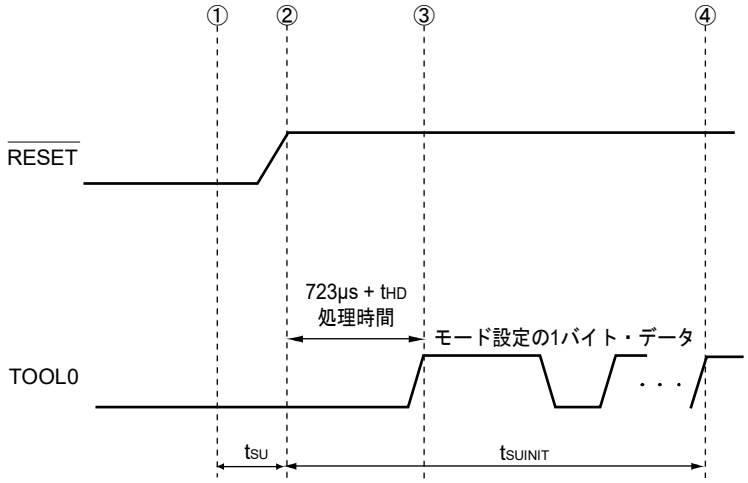
＜外部デバイス（UART通信）を使用してシリアル・プログラミングする場合＞

TOOL0端子をロウ・レベルに設定後，リセットを解除します（表28-3　参照）。その後，図28-5に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は，RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

表28－3　リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
V_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図28－5　フラッシュ・メモリ・プログラミング・モードへの引き込み



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU}　：TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

t_{HD}　：外部／内部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（ソフト処理時間を除く）

詳細は，32. 10 または33. 10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

また，フラッシュ・メモリ・プログラミング・モードには，ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は，書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお，専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は，GUI上で電圧設定を行うことでモードが自動選択されます。

表28－4　プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧

電源電圧（V_{DD}）	フラッシュ・メモリ・プログラミング・モード引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数	
2.7 V ≦ V_{DD} ≦ 5.5 V	HS（高速メイン）モード	1 MHz～32 MHz	フルスピード・モード
	LS（低速メイン）モード	1 MHz～8 MHz	ワイド・ボルテージ・モード

備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

2. 通信コマンドの詳細は，28. 3. 4　通信コマンドを参照してください。

28. 3. 3　通信方式

RL78マイクロコントローラの通信方式は，次のようになります。

表28－5　通信方式

通信方式	Standard設定[注1]				使用端子
	Port	Speed[注2]	Frequency	Multiply Rate	
単線UART（フラッシュ・メモリ・プログラマ使用時，または外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOL0

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほかに，信号波形の鈍りなどが影響するため，評価のうえ使用してください。

28. 3. 4　通信コマンド

RL78マイクロコントローラ，表28-6に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び，そのコマンドに対応した各機能の処理を行います。詳細は，RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

表28－6　フラッシュ・メモリ制御用コマンド

分　類	コマンド名称	機　　能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます注。
情報取得	Silicon Signature	RL78/I1A情報（品名，フラッシュ・メモリ構成など）を取得します。
	Version Get	RL78/I1Aファームウエア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注 書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止に設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

“Silicon Signature”コマンドを実行することで製品情報（品名，ファームウエア・バージョン）を取得することができます。

表28－7にシグネチャ・データ一覧，表28－8にシグネチャ・データ例を示します。

表28－7　シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名（ASCIIコード）	10バイト
コード・フラッシュ・メモリ領域最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例．00000H-0FFFFH (64 KB) → FFH, FFH, 00H）	3バイト
データ・フラッシュ・メモリ領域最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例．F1000H-F1FFFH (4 KB) → FFH, 1FH, 0FH）	3バイト
ファームウエア・バージョン	プログラミング用ファームウエアのバージョン情報 （バージョンの上位から送信されます。 例．Ver. 1. 23 → 01H, 02H, 03H）	3バイト

表28－8　シグネチャ・データ例

フィールド名	内容	送信バイト数	データ（16進数）
デバイス・コード	RL78プロトコルA	3バイト	10　00　06
デバイス名	R5F107AE	10バイト	52 = “R” 35 = “5” 46 = “F” 31 = “1” 30 = “0” 37 = “7” 41 = “A” 45 = ”E” 20 = “ ” 20 = “ ”
コード・フラッシュ・メモリ領域最終アドレス	コード・フラッシュ・メモリ領域 00000H-0FFFFH (64 KB)	3バイト	FF　FF　00
データ・フラッシュ・メモリ領域最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F1FFFH (4 KB)	3バイト	FF　1F　0F
ファームウエア・バージョン	Ver. 1. 23	3バイト	01　02　03

28. 4　PG-FP5使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP5を使用した場合の各コマンド処理時間（参考値）を次に示します。

表28-9　PG-FP5使用時の各コマンド処理時間（参考値）

PG-FP5のコマンド	コード・フラッシュ	
	32 Kバイト	64 Kバイト
消去	1 s	1.5 s
書き込み	1.5 s	2.5 s
ベリファイ	1.5 s	2 s
消去後，書き込み	2 s	3 s

備考　コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port　：　TOOL0（単線UART）

Speed　：　1,000,000 bps

Mode　：　フルスピード・モード　（フラッシュ動作モード：HS（高速メイン）モード）

28. 5　セルフ・プログラミング

RL78マイクロコントローラは，ユーザ・プログラムでコード・フラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより，ユーザ･アプリケーションでコード･フラッシュ･メモリの書き換えが可能となるので，フィールドでのプログラムのアップグレードなどができるようになります。

注意1.　CPUがサブシステム・クロック動作時の場合，セルフ・プログラミング機能は使用できません。

2.　セルフ・プログラミング中に割り込みを禁止するためには，通常動作モード時と同様に，DI命令によりIEフラグがクリア（0）されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。
割り込みを許可する場合は，EI命令によりIEフラグがセット（1）されている状態で，受け付ける割り込みの割り込みマスク・フラグをクリア（0）して，フラッシュ・セルフ・プログラミング・ライブラリを実行してください。

3.　セルフ・プログラミング中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロック動作（HIOSTOP= 0）させ，30 μs経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

備考1.　セルフ・プログラミング機能の詳細は、RL78マイクロコントローラ　フラッシュ・セルフ・プログラミング・ライブラリ Type01　ユーザーズ・マニュアル（R01US0050）を参照してください。

2.　セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また，セルフ・プログラミング機能には，フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0したフラッシュの動作モードに合わせて，いずれかのモードを設定してください。HS（高速メイン）モード設定時はフルスピード・モードに，LS（低速メイン）モードはワイド・ボルテージ・モードに設定してください。

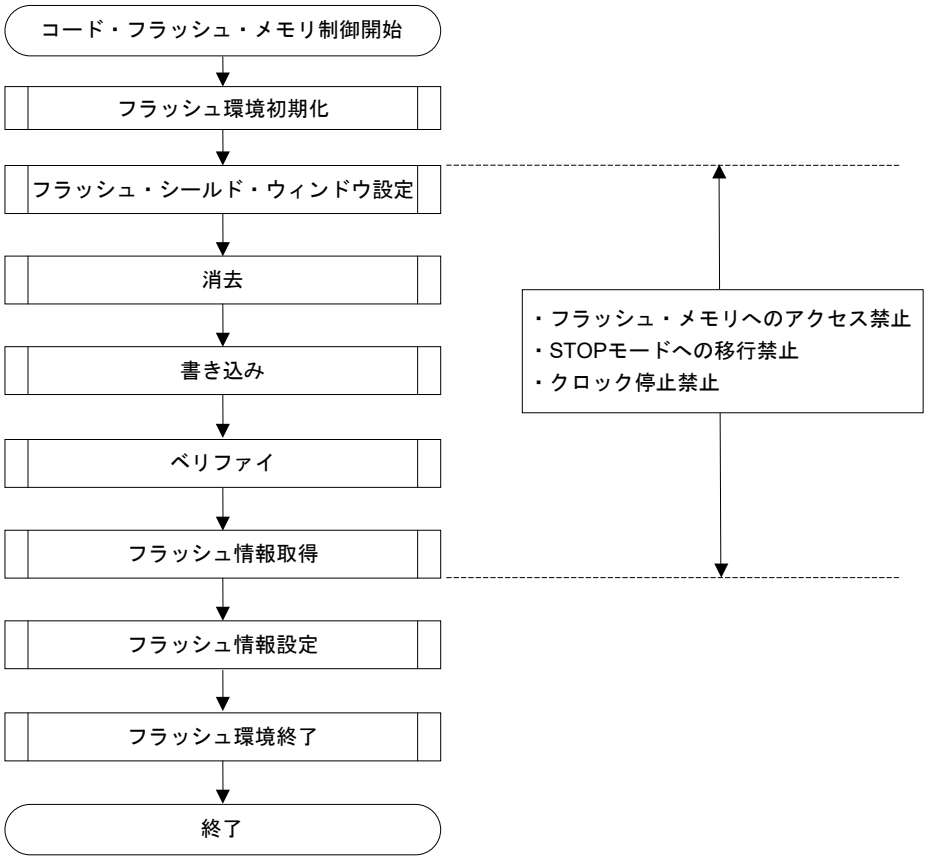
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数”FSL_Init”実行時に，引数である”fsl_flash_voltage_u08” が00Hであればフルスピード･モードに，00H以外であればワイド・ボルテージ・モードに設定されます。

備考　ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

28. 5. 1　セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

図28－6　セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



28. 5. 2　ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に，電源の瞬断などにより書き換えが失敗した場合，ブート領域のデータが壊れて，リセットによるプログラムの再スタートや，再書き込みができなくなります。

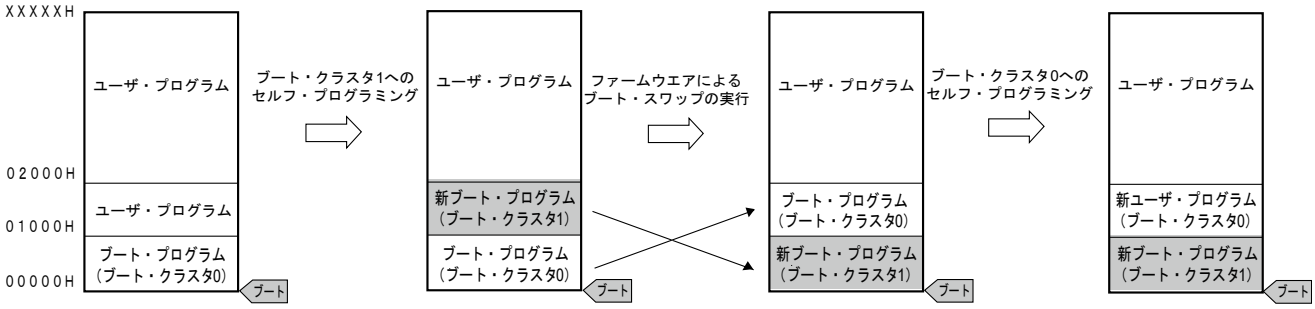
この問題を回避するために，ブート・スワップ機能があります。

セルフ・プログラミングにてブート領域であるブート・クラスタ0[注]の消去を行う前に，あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら，RL78マイクロコントローラ内蔵のファームウエアのセット・インフォメーション機能で，このブート・クラスタ1とブート・クラスタ0をスワップし，ブート・クラスタ1をブート領域にします。このあと，本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても，次のリセット・スタートは，スワップ対象のブート・クラスタ1からブートを行うため，正常にプログラムが動作します。

注　ブート・クラスタは4 Kバイトの領域で，ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図28－7　ブート・スワップ機能

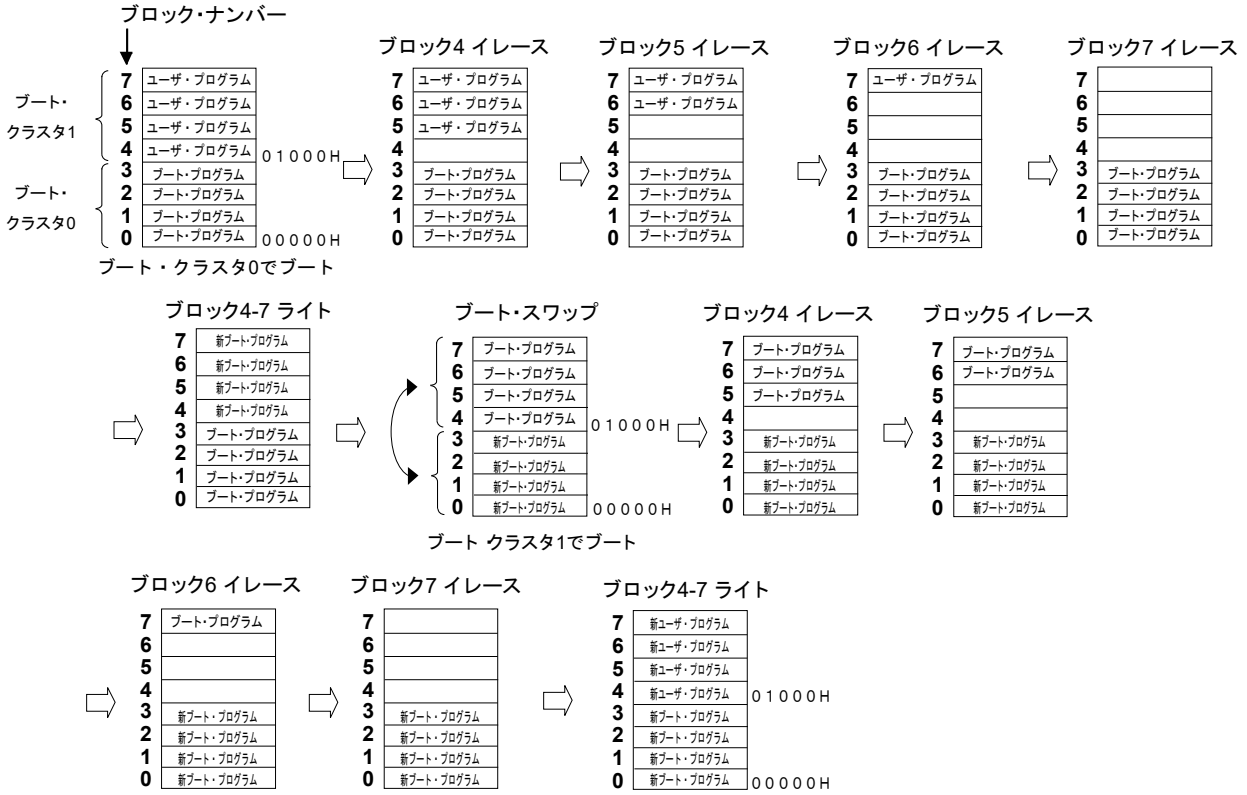


この図の例では，次のようになっています。

ブート・クラスタ0　：ブート・スワップ前のブート領域です。

ブート・クラスタ1　：ブート・スワップ後のブート領域です。

図28－8　ブート・スワップの実行例



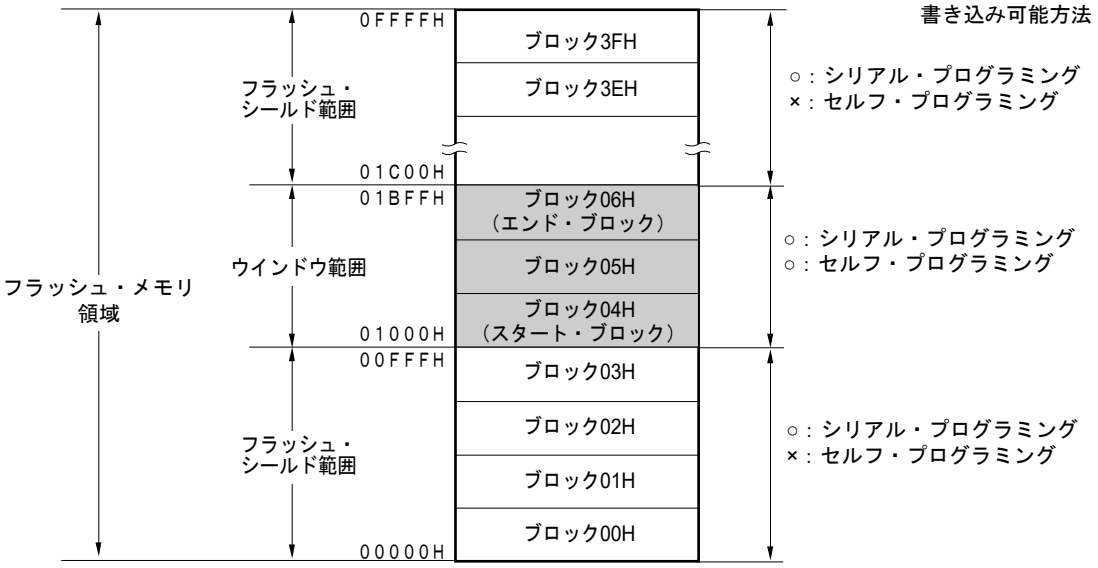
28. 5. 3　フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして，フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は，指定したウインドウ範囲以外の書き込みおよび消去を，セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は，スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は，シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

ウインドウ範囲以外の領域は，セルフ・プログラミング時には書き込み／消去禁止となります。ただし，シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図28－9　フラッシュ・シールド・ウインドウの設定例
（対象デバイス：R5F107AE，スタート・ブロック：04H，エンド・ブロック：06Hの場合）



注意1.　フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は，ブート・クラスタ0の書き換え禁止が優先されます。

2.　フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。

表28－10　フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考　シリアル・プログラミング時の書き込み／消去を禁止したい場合には，28. 6　セキュリティ設定を参照してください。

28. 6　セキュリティ設定

RL78マイクロコントローラは，フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており，第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより，次の操作をすることができます。

・ブロック消去禁止

シリアル・プログラミング時に，フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし，セルフ・プログラミング時でのブロック消去は可能です。

・書き込み禁止

シリアル・プログラミング時に，コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし，セルフ・プログラミング時での書き込みは可能です。

書き込み禁止に設定後，Security Releaseコマンドによる解除はリセットで有効になります。

・ブート・クラスタ0の書き換え禁止

コード・フラッシュ・メモリ内のブート・クラスタ0（00000H-00FFFH）に対して，ブロック消去コマンド，書き込みコマンドの実行を禁止します。

出荷時の初期状態では，ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは，シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては，同時に組み合わせて使用できます。

RL78マイクロコントローラのセキュリティ機能を有効にした場合の，消去，書き込みコマンドの関係を表28－11に示します。

注意　ただし，専用フラッシュ・ライタのセキュリティ機能は，セルフ・プログラミングに対応していません。

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（詳細は28. 5. 3を参照）。

表28－11　セキュリティ機能有効時とコマンドの関係

（1）シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる[注]
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注　書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

（2）セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（詳細は28. 5. 3を参照）。

表28－12　各プログラミング・モード時のセキュリティ設定方法

（1）シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後，無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後，無効にできない

注意　**“書き込み禁止”設定の解除は，“ブロック消去禁止”，“ブート・クラスタ0の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域，データ・フラッシュ領域がブランクの場合でのみ可能です。**

（2）セルフ・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後，無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない（シリアル・プログラミング時に，専用フラッシュ・メモリ・プログラマのGUI上などで設定する）
ブート・クラスタ0の書き換え禁止		設定後，無効にできない

28. 7　データ・フラッシュ

28. 7. 1　データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- データ・フラッシュ・ライブラリを利用することにより，ユーザ・プログラムでデータ・フラッシュ･メモリの書き換えが可能。詳細は、RL78ファミリ データ・フラッシュ・ライブラリ ユーザーズ・マニュアルを参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは，1ブロック ＝1 Kバイト単位で消去
- データ・フラッシュは，8ビット単位でのみアクセス可能
- データ・フラッシュは，CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に，コード・フラッシュからの命令実行は可能（バックグランド・オペレーション（BGO）対応）
- データ・フラッシュは，データ専用領域のため，データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中（セルフ・プログラミング時）に，データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に，STOPモード状態に遷移することは禁止

注意1. リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。

2. データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，30μs経過後にフラッシュ・データ・ライブラリを実行してください。

備考　ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては，28. 5　セルフ・プログラミングを参照してください。

28. 7. 2　データ・フラッシュを制御するレジスタ

28. 7. 2. 1　データ・フラッシュ・コントロール・レジスタ（DFLCTL）

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図28－10　データ・フラッシュ・コントロール・レジスタ（DFLCTL）のフォーマット

アドレス：F0090H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意　データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止です。

28. 7. 3　データ・フラッシュへのアクセス手順

リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには，以下の手順で初期設定を行う必要があります。

① データ・フラッシュ・コントロール・レジスタ（DFLCTL）のビット0（DFLEN）に“1”を設定する。

② ソフトウエア・タイマなどでセットアップ時間をウエイトする。

セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。

＜各フラッシュの動作モードでのセットアップ時間＞

・HS（高速メイン）モード時　　: 5 μs

・LS（低速メイン）モード時　　: 720 ns

③ セットアップ時間のウエイト完了後，データ・フラッシュへのアクセスが可能となります。

初期設定後は，CPU命令による読み出し，またはフラッシュ・データ・ライブラリによる読み出し／書き換えが可能です。ただし、データ・フラッシュ・アクセス時にDMAコントローラが動作する場合は、次のいずれかの手順に従って実施してください。

（A）DMAの転送保留/強制終了

データ・フラッシュを読み出す前に、使用している全てのチャネルのDMA転送を保留してください。但し、DWAITnビットに1を設定後、データ・フラッシュの読み出し前までに3クロック（f_{CLK}）以上の間隔をあけてください。データ・フラッシュの読み出し後に、DWAITnビットを0に設定し転送保留を解除してください。

または、データ・フラッシュを読み出す前に、19. 5. 5 ソフトウエアでの強制終了の手順に従ってDMA転送を強制終了してください。DMA転送の再開はデータ・フラッシュ読み出し後に行ってください。

（B）ライブラリを使用してデータ・フラッシュにアクセス

最新のデータ・フラッシュ・ライブラリを使用して、データ・フラッシュにアクセスしてください。

（C）NOPの挿入

データ・フラッシュの読み出し命令の直前にNOP命令を挿入してください。

＜例＞

```
MOVW    HL, !addr16     ; RAMの読み出し
NOP                     ; データ・フラッシュのリード前にNOP命令を挿入
MOV     A,[DE]          ; データ・フラッシュの読み出し
```

但し、C言語などの高級言語を使用している場合、１コードに対してコンパイラが２命令を生成する場合があります。この場合、データ・フラッシュの読み出し命令の直前にNOP命令が挿入されないため、（A）または（B）にて、読み出してください。

備考　f_{CLK}　: CPU/周辺ハードウエア・クロック周波数

注意1. セットアップ時間中のデータ・フラッシュへのアクセスは禁止です。

2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は，DFLEN = 0に設定してから，STOP命令を実行してください。

3. データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，30μs経過後にフラッシュ・データ・ライブラリを実行してください。

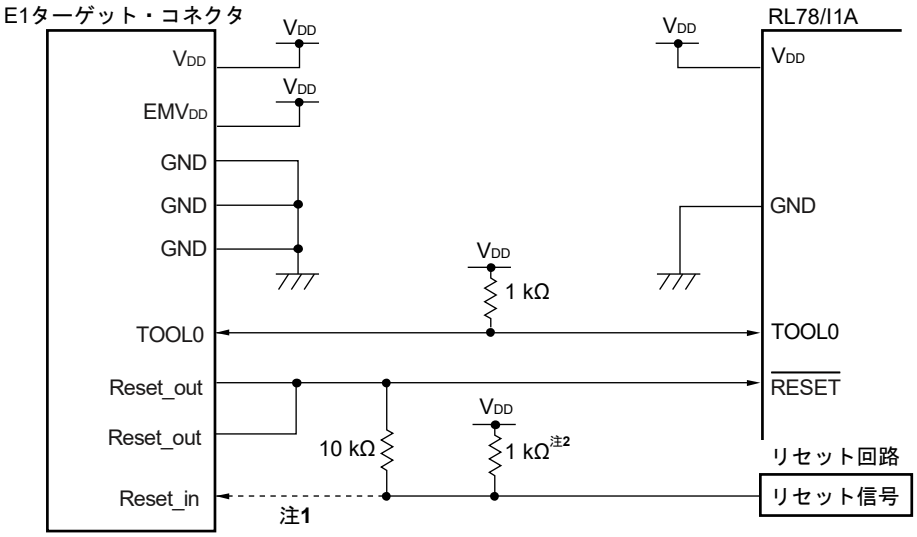
第29章　オンチップ・デバッグ機能

29. 1　E1オンチップデバッギングエミュレータとの接続

RL78マイクロコントローラは，オンチップ・デバッグ対応のE1オンチップデバッギングエミュレータを介して，ホスト・マシンとの通信を行う場合，V_{DD}, $\overline{RESET}$, TOOL0, V_{SS}端子を使用します。シリアル通信としては，TOOL0端子を使用した単線UARTを使用します。

注意　RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

図29－1　E1オンチップデバッギングエミュレータとの接続例



注1.　シリアル・プログラミング時，点線部の接続は必要ありません。

2.　ターゲット・システム上のリセット回路にバッファがなく，抵抗やコンデンサのみでリセット信号を生成する場合，このプルアップは必要ありません。

注意　リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

29. 2　オンチップ・デバッグ・セキュリティID

RL78マイクロコントローラは，第三者からメモリの内容を読み取られないようにするために，フラッシュ・メモリの000C3Hにオンチップ･デバッグ動作制御ビット（第27章　オプション･バイトを参照）を，000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は，000C3H，000C4H-000CDHと010C3H，010C4H-010CDHが切り替わるので，あらかじめ010C3H，010C4H-010CDHにも同じ値を設定してください。

表29－1　オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード（オール FFHを除く）
010C4H-010CDH	

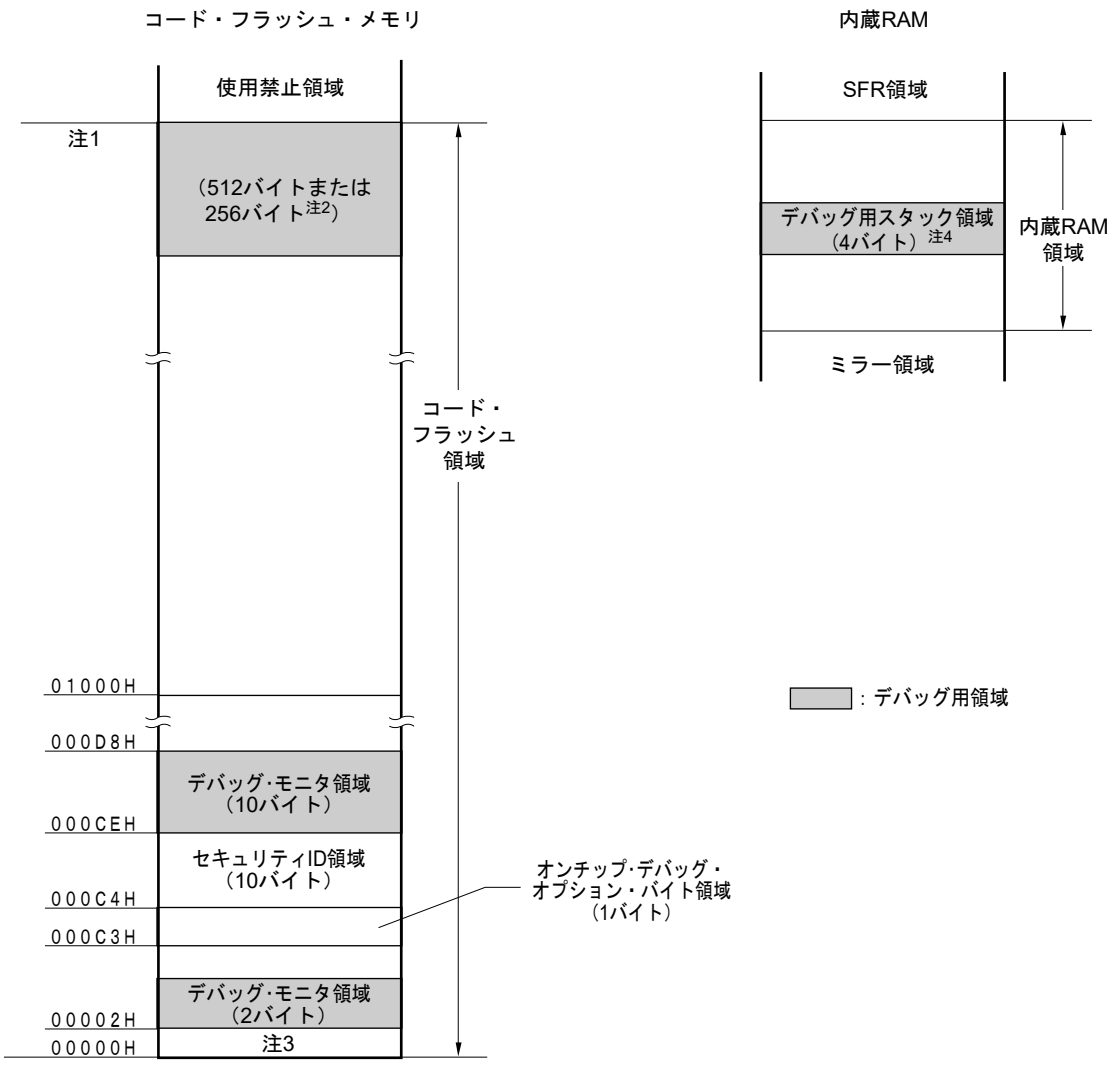
29. 3　ユーザ資源の確保

RL78マイクロコントローラとE1オンチップデバッギングエミュレータとの通信，または各デバッグ機能を実現するためには，メモリ空間の確保を事前に行う必要があります。また，当社製アセンブラ，コンパイラを使用している場合は，リンク・オプションで設定することもできます。

（1）メモリ空間の確保

図29－2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は，この空間を使用しないように領域を確保する必要があります。また，ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図29－2　デバッグ用モニタ・プログラムが配置されるメモリ空間



注1．製品によって，次のようにアドレスが異なります。

製品名	**注1**のアドレス
R5F1076C, R5F107AC	07FFFH
R5F107AE, R5F107DE	0FFFFH

2. リアルタイムRAMモニタ（RRM）機能，Dynamic Memory Modification（DMM）機能を使用しない場合は256バイトになります。

3. デバッグ時，リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

4. この領域はスタック領域の直下に配置されるため，スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し，4バイト余分に消費します。
セルフ・プログラミングを行う場合は，12バイト余分に消費します。

第30章　10進補正（BCD）回路

30. 1　10進補正回路の機能

BCDコード（2進化10進数）とBCDコード（2進化10進数）の加減算結果を，BCDコード（2進化10進数）で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと，さらにBCD補正結果レジスタ（BCDADJ）を加減算することで10進補正演算結果が求められます。

30. 2　10進補正回路で使用するレジスタ

10進補正回路は，次のレジスタを使用します。

・BCD補正結果レジスタ（BCDADJ）

30. 2. 1　BCD補正結果レジスタ（BCDADJ）

BCDADJレジスタには，Aレジスタをオペランドにもつ加減算命令によって，BCDコードで加減算結果を求めるための補正値が格納されます。

また，BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは，8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，不定になります。

図30－1　BCD補正結果レジスタ（BCDADJ）のフォーマット

アドレス：F00FEH　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
BCDADJ								

30. 3　10進補正回路の動作

10進補正回路の基本動作を次に示します。

（1）加算　BCDコード値とBCDコード値の加算結果を，BCDコード値で求める

① 加算したいBCDコード値（被加算値）をAレジスタに格納する。

② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値，加算値）を，そのまま2進数で加算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例1　99＋89 = 188

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #99H　; ①	99H	－	－	－
ADD　A, #89H　; ②	22H	1	1	66H
ADD　A, !BCDADJ　; ③	88H	1	0	－

例2　85＋15 = 100

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #85H　; ①	85H	－	－	－
ADD　A, #15H　; ②	9AH	0	0	66H
ADD　A, !BCDADJ　; ③	00H	1	1	－

例3　80＋80 = 160

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #80H　; ①	80H	－	－	－
ADD　A, #80H　; ②	00H	1	0	60H
ADD　A, !BCDADJ　; ③	60H	1	0	－

（2）減算　BCDコード値からBCDコード値の減算結果を，BCDコード値で求める

① 減算されるBCDコード値（被減算値）をAレジスタに格納する。

② Aレジスタから第2オペランドの値（減算するBCDコード値，減算値）を，そのまま2進数で減算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正値）を2進数で減算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例　91－52 = 39

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
`MOV A, #91H ; ①`	91H	－	－	－
`SUB A, #52H ; ②`	3FH	0	1	06H
`SUB A, !BCDADJ ; ③`	39H	0	0	－

第31章　命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお，各命令の詳細な動作および機械語（命令コード）については，RL78ファミリ　ユーザーズ・マニュアル　ソフトウエア編（R01US0015）を参照してください。

31.1　凡　　例

31.1.1　オペランドの表現形式と記述方法

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は，アセンブラ仕様によります）。記述方法の中で複数個あるものは，それらの要素の1つを選択します。大文字で書かれた英字および#，!，!!，$，$!，[ ]，ES:の記号はキーワードであり，そのまま記述します。記号の説明は，次のとおりです。

- #　　：イミーディエト・データ指定
- !　　：16ビット絶対アドレス指定
- !!　　：20ビット絶対アドレス指定
- $　　：8ビット相対アドレス指定
- $!　　：16ビット相対アドレス指定
- [ ]　　：間接アドレス指定
- ES:　　：拡張アドレス指定

イミーディエト・データのときは，適当な数値またはラベルを記述します。ラベルで記述する際も#，!，!!，$，$!，[ ]，ES:記号は必ず記述してください。

また，オペランドのレジスタの記述形式r, rpには，機能名称（X, A, Cなど），絶対名称（表31－1の中のカッコ内の名称，R0, R1, R2など）のいずれの形式でも記述可能です。

表31－1　オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0)，A(R1)，C(R2)，B(R3)，E(R4)，D(R5)，L(R6)，H(R7)
rp	AX(RP0)，BC(RP1)，DE(RP2)，HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ注）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH　イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH　イミーディエト・データまたはラベル（偶数アドレスのみ注）
addr20	00000H-FFFFFH　イミーディエト・データまたはラベル
addr16	0000H-FFFFH　イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ注）
addr5	0080H-00BFH　イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注　奇数アドレスを指定した場合はビット0が“0”になります。

備考　特殊機能レジスタは，オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3－5 SFR一覧を参照してください。

拡張特殊機能レジスタは，オペランド !addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3－6　拡張SFR（2nd SFR）一覧を参照してください。

31. 1. 2　オペレーション欄の説明

各命令のオペレーション欄には，その命令実行時の動作を次の記号を用いて表します。

表31－2　オペレーション欄の記号

記　　号	機　　能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X_H，X_L X_S，X_H，X_L	16ビット・レジスタの場合はX_H =上位8ビット，X_L =下位8ビット 20ビット・レジスタの場合はX_S(ビット19-16)，X_H(ビット15-8)，X_L(ビット7-0)
∧	論理積（AND）
∨	論理和（OR）
∨̸	排他的論理和（exclusive OR）
‾	反転データ
addr5	16ビット・イミーディエト・データ（0080H-00BFHの偶数アドレスのみ）
addr15	16ビット・イミーディエト・データ（0080H-00BFHの偶数アドレスのみ）
addr16	16ビット・イミーディエト・データ
addr20	20ビット・イミーディエト・データ
jdisp8	符号付き8ビット・データ（ディスプレースメント値）
jdisp16	符号付き16ビット・データ（ディスプレースメント値）

注意　拡張SFR領域にアクセスする場合には，ウエイト・クロックが必要となります。第35章　ウエイトに関する注意事項を参照してください。

31. 1. 3　フラグ動作欄の説明

各命令のフラグ欄には，その命令実行時のフラグの変化を下記の記号を用いて表す。

表31－3　フラグ欄の記号

記号	フラグ変化
（ブランク）	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット／リセットされる
R	以前に退避した値がリストアされる

31. 1. 4　PREFIX命令

ES:で示される命令は，PREFIX命令コードを頭に付けることで，アクセスできるデータ領域をF0000H-FFFFFHの64 Kバイト空間から，ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで，PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお，PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表31－4　PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	－
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	－	－	－	－
MOV A, ES:[HL]	11H	8BH	－	－	－

注意　ESレジスタの値は，PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

31. 1. 5　動作クロック数について

RL78/I1Aは，次の場合にCPU処理にウエイトが入ります。

それ以外の場合は，31. 3　オペレーション一覧に記載してある動作クロック数となります。

（1）拡張SFRの一部領域に対するアクセス時

拡張SFR（2nd SFR）の一部の領域F0500H-F06FFHに配置しているレジスタへのアクセス時に，CPUは次の命令処理に移行せず，CPU処理としてウエイト状態となります。

詳細については，第35章　ウエイトに関する注意事項をご覧ください。

（2）命令の組み合わせによるハザード発生時

間接アクセスに使用するレジスタへの書き込み直後に，そのレジスタの内容のデータを間接アクセスする場合は，1クロックのウエイトが入ります。

詳細については、31. 2　命令の組み合わせによるハザードをご覧ください。

（3）1ビット・メモリ操作命令についての注意事項

1ビット・メモリ操作命令を使用する場合，ウエイトについて注意が必要です。

1ビット・メモリ操作命令は，RL78/I1A内部で，次の順序で行われます。

例：出力ラッチPnレジスタに対してSET1命令を実行した場合

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

<3> Pnレジスタへ8ビット単位で書き込み

ウエイトが発生するSFRに1ビット・メモリ操作命令を使用した場合，読み出し/書き込み両方のウエイトが発生します。

31.2　命令の組み合わせによるハザード

間接アクセスに使用するレジスタへの書き込み直後に，そのレジスタの内容のデータを間接アクセスする場合は，1クロックのウエイトが入ります。

表31－5　命令の組み合わせによるハザード

レジスタ名	前命令	次の命令のオペランド，または命令
DE	Dレジスタへのライト命令注 Eレジスタへのライト命令注 DEレジスタへのライト命令注 SEL RBn	[DE]，[DE+byte]
HL	Hレジスタへのライト命令注 Lレジスタへのライト命令注 HLレジスタへのライト命令注 SEL RBn	[HL]，[HL+byte]，[HL+B]，[HL+C]，[HL].bit
B	Bレジスタへのライト命令注 SEL RBn	word[B]，[HL+B]
C	Cレジスタへのライト命令注 SEL RBn	word[C]，[HL+C]
BC	Bレジスタへのライト命令注 Cレジスタへのライト命令注 BCレジスタへのライト命令注 SEL RBn	word[BC]，[HL+B]，[HL+C]

SP	MOVW SP, #word
	MOVW SP, AX
	ADDW SP, #byte
	SUBW SP, #byte
		[SP+byte]
		CALL命令，CALLT命令，BRK命令，SOFT命令，
		RET命令，RETI命令，RETB命令，割り込み，
		PUSH命令，POP命令

CS	MOV CS, #byte MOV CS, A	CALL rp BR AX
AX	Aレジスタへのライト命令注 Xレジスタへのライト命令注 AXレジスタへのライト命令注 SEL RBn	BR AX
AX BC DE HL	Aレジスタへのライト命令注 Xレジスタへのライト命令注 Bレジスタへのライト命令注 Cレジスタへのライト命令注 Dレジスタへのライト命令注 Eレジスタへのライト命令注 Hレジスタへのライト命令注 Lレジスタへのライト命令注 AXレジスタへのライト命令注 BCレジスタへのライト命令注 DEレジスタへのライト命令注 HLレジスタへのライト命令注 SEL RBn	CALL rp

注　レジスタへのライト命令はダイレクト・アドレッシング，ショート・ダイレクト・アドレッシング，レジスタ・インダイレクト・アドレッシング，ベースト・アドレッシング，ベースト・インデクスト・アドレッシングにて，対象となるレジスタの値を書き換えたときにもウエイトが入ります。

31. 3　オペレーション一覧

表31－6　オペレーション一覧（1/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	MOV	r, #byte	2	1	－	r ← byte			
		PSW, #byte	3	3	－	PSW ← byte	×	×	×
		CS, #byte	3	1	－	CS ← byte			
		ES, #byte	2	1	－	ES ← byte			
		!addr16, #byte	4	1	－	(addr16) ← byte			
		ES:!addr16, #byte	5	2	－	(ES, addr16) ← byte			
		saddr, #byte	3	1	－	(saddr) ← byte			
		sfr, #byte	3	1	－	sfr ← byte			
		[DE+byte], #byte	3	1	－	(DE＋byte) ← byte			
		ES:[DE+byte],#byte	4	2	－	((ES, DE)＋byte) ← byte			
		[HL+byte], #byte	3	1	－	(HL＋byte) ← byte			
		ES:[HL+byte],#byte	4	2	－	((ES, HL)＋byte) ← byte			
		[SP+byte], #byte	3	1	－	(SP＋byte) ← byte			
		word[B], #byte	4	1	－	(B＋word) ← byte			
		ES:word[B], #byte	5	2	－	((ES, B)＋word) ← byte			
		word[C], #byte	4	1	－	(C＋word) ← byte			
		ES:word[C], #byte	5	2	－	((ES, C)＋word) ← byte			
		word[BC], #byte	4	1	－	(BC＋word) ← byte			
		ES:word[BC], #byte	5	2	－	((ES, BC)＋word) ← byte			
		A, r 注3	1	1	－	A ← r			
		r, A 注3	1	1	－	r ← A			
		A, PSW	2	1	－	A ← PSW			
		PSW, A	2	3	－	PSW ← A	×	×	×
		A, CS	2	1	－	A ← CS			
		CS, A	2	1	－	CS ← A			
		A, ES	2	1	－	A ← ES			
		ES, A	2	1	－	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	－	(addr16) ← A			
		ES:!addr16, A	4	2	－	(ES, addr16) ← A			
		A, saddr	2	1	－	A ← (saddr)			
		saddr, A	2	1	－	(saddr) ← A			

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（2/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
8ビット・データ転送	MOV	A, sfr	2	1	－	A ← sfr	
		sfr, A	2	1	－	sfr ← A	
		A, [DE]	1	1	4	A ← (DE)	
		[DE], A	1	1	－	(DE) ← A	
		A, ES:[DE]	2	2	5	A ← (ES, DE)	
		ES:[DE], A	2	2	－	(ES, DE) ← A	
		A, [HL]	1	1	4	A ← (HL)	
		[HL], A	1	1	－	(HL) ← A	
		A, ES:[HL]	2	2	5	A ← (ES, HL)	
		ES:[HL], A	2	2	－	(ES, HL) ← A	
		A, [DE+byte]	2	1	4	A ← (DE＋byte)	
		[DE+byte], A	2	1	－	(DE＋byte) ← A	
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE)＋byte)	
		ES:[DE+byte], A	3	2	－	((ES, DE)＋byte) ← A	
		A, [HL+byte]	2	1	4	A ← (HL＋byte)	
		[HL+byte], A	2	1	－	(HL＋byte) ← A	
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL)＋byte)	
		ES:[HL+byte], A	3	2	－	((ES, HL)＋byte) ← A	
		A, [SP+byte]	2	1	－	A ← (SP＋byte)	
		[SP+byte], A	2	1	－	(SP＋byte) ← A	
		A, word[B]	3	1	4	A ← (B＋word)	
		word[B], A	3	1	－	(B＋word) ← A	
		A, ES:word[B]	4	2	5	A ← ((ES, B)＋word)	
		ES:word[B], A	4	2	－	((ES, B)＋word) ← A	
		A, word[C]	3	1	4	A ← (C＋word)	
		word[C], A	3	1	－	(C＋word) ← A	
		A, ES:word[C]	4	2	5	A ← ((ES, C)＋word)	
		ES:word[C], A	4	2	－	((ES, C)＋word) ← A	
		A, word[BC]	3	1	4	A ← (BC＋word)	
		word[BC], A	3	1	－	(BC＋word) ← A	
		A, ES:word[BC]	4	2	5	A ← ((ES, BC)＋word)	
		ES:word[BC], A	4	2	－	((ES, BC)＋word) ← A	

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（3/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	A ← (HL＋B)	
		[HL+B], A	2	1	－	(HL＋B) ← A	
		A, ES:[HL+B]	3	2	5	A ← ((ES, HL)＋B)	
		ES:[HL+B], A	3	2	－	((ES, HL)＋B) ← A	
		A, [HL+C]	2	1	4	A ← (HL＋C)	
		[HL+C], A	2	1	－	(HL＋C) ← A	
		A, ES:[HL+C]	3	2	5	A ← ((ES, HL)＋C)	
		ES:[HL+C], A	3	2	－	((ES, HL)＋C) ← A	
		X, !addr16	3	1	4	X ← (addr16)	
		X, ES:!addr16	4	2	5	X ← (ES, addr16)	
		X, saddr	2	1	－	X ← (saddr)	
		B, !addr16	3	1	4	B ← (addr16)	
		B, ES:!addr16	4	2	5	B ← (ES, addr16)	
		B, saddr	2	1	－	B ← (saddr)	
		C, !addr16	3	1	4	C ← (addr16)	
		C, ES:!addr16	4	2	5	C ← (ES, addr16)	
		C, saddr	2	1	－	C ← (saddr)	
		ES, saddr	3	1	－	ES ← (saddr)	
	XCH	A, r 注3	1 (r＝X) 2 (r＝X以外)	1	－	A ⟷ r	
		A, !addr16	4	2	－	A ⟷ (addr16)	
		A, ES:!addr16	5	3	－	A ⟷ (ES, addr16)	
		A, saddr	3	2	－	A ⟷ (saddr)	
		A, sfr	3	2	－	A ⟷ sfr	
		A, [DE]	2	2	－	A ⟷ (DE)	
		A, ES:[DE]	3	3	－	A ⟷ (ES, DE)	
		A, [HL]	2	2	－	A ⟷ (HL)	
		A, ES:[HL]	3	3	－	A ⟷ (ES, HL)	
		A, [DE+byte]	3	2	－	A ⟷ (DE＋byte)	
		A, ES:[DE+byte]	4	3	－	A ⟷ ((ES, DE)＋byte)	
		A, [HL+byte]	3	2	－	A ⟷ (HL＋byte)	
		A, ES:[HL+byte]	4	3	－	A ⟷ ((ES, HL)＋byte)	

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（4/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	－	A ⟷ (HL＋B)			
		A, ES:[HL+B]	3	3	－	A ⟷ ((ES, HL)＋B)			
		A, [HL+C]	2	2	－	A ⟷ (HL＋C)			
		A, ES:[HL+C]	3	3	－	A ⟷ ((ES, HL)＋C)			
	ONEB	A	1	1	－	A ← 01H			
		X	1	1	－	X ← 01H			
		B	1	1	－	B ← 01H			
		C	1	1	－	C ← 01H			
		!addr16	3	1	－	(addr16) ← 01H			
		ES:!addr16	4	2	－	(ES, addr16) ← 01H			
		saddr	2	1	－	(saddr) ← 01H			
	CLRB	A	1	1	－	A ← 00H			
		X	1	1	－	X ← 00H			
		B	1	1	－	B ← 00H			
		C	1	1	－	C ← 00H			
		!addr16	3	1	－	(addr16) ← 00H			
		ES:!addr16	4	2	－	(ES,addr16) ← 00H			
		saddr	2	1	－	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	－	(HL＋byte) ← X	×		×
		ES:[HL+byte], X	4	2	－	(ES, HL＋byte) ← X	×		×
16ビット・データ転送	MOVW	rp, #word	3	1	－	rp ← word			
		saddrp, #word	4	1	－	(saddrp) ← word			
		sfrp, #word	4	1	－	sfrp ← word			
		AX, rp 注3	1	1	－	AX ← rp			
		rp, AX 注3	1	1	－	rp ← AX			
		AX, !addr16	3	1	4	AX ← (addr16)			
		!addr16, AX	3	1	－	(addr16) ← AX			
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)			
		ES:!addr16, AX	4	2	－	(ES, addr16) ← AX			
		AX, saddrp	2	1	－	AX ← (saddrp)			
		saddrp, AX	2	1	－	(saddrp) ← AX			
		AX, sfrp	2	1	－	AX ← sfrp			
		sfrp, AX	2	1	－	sfrp ← AX			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. rp = AXを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（5/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)	
		[DE], AX	1	1	－	(DE) ← AX	
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)	
		ES:[DE], AX	2	2	－	(ES, DE) ← AX	
		AX, [HL]	1	1	4	AX ← (HL)	
		[HL], AX	1	1	－	(HL) ← AX	
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)	
		ES:[HL], AX	2	2	－	(ES, HL) ← AX	
		AX, [DE+byte]	2	1	4	AX ← (DE＋byte)	
		[DE+byte], AX	2	1	－	(DE＋byte) ← AX	
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE)＋byte)	
		ES:[DE+byte], AX	3	2	－	((ES, DE)＋byte) ← AX	
		AX, [HL+byte]	2	1	4	AX ← (HL＋byte)	
		[HL+byte], AX	2	1	－	(HL＋byte) ← AX	
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL)＋byte)	
		ES:[HL+byte], AX	3	2	－	((ES, HL)＋byte) ← AX	
		AX, [SP+byte]	2	1	－	AX ← (SP＋byte)	
		[SP+byte], AX	2	1	－	(SP＋byte) ← AX	
		AX, word[B]	3	1	4	AX ← (B＋word)	
		word[B], AX	3	1	－	(B＋word) ← AX	
		AX, ES:word[B]	4	2	5	AX ← ((ES, B)＋word)	
		ES:word[B], AX	4	2	－	((ES, B)＋word) ← AX	
		AX, word[C]	3	1	4	AX ← (C＋word)	
		word[C], AX	3	1	－	(C＋word) ← AX	
		AX, ES:word[C]	4	2	5	AX ← ((ES, C)＋word)	
		ES:word[C], AX	4	2	－	((ES, C)＋word) ← AX	
		AX, word[BC]	3	1	4	AX ← (BC＋word)	
		word[BC], AX	3	1	－	(BC＋word) ← AX	
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC)＋word)	
		ES:word[BC], AX	4	2	－	((ES, BC)＋word) ← AX	

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（6/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	－	BC ← (saddrp)			
		DE, saddrp	2	1	－	DE ← (saddrp)			
		HL, saddrp	2	1	－	HL ← (saddrp)			
	XCHW	AX, rp 注3	1	1	－	AX ←→ rp			
	ONEW	AX	1	1	－	AX ← 0001H			
		BC	1	1	－	BC ← 0001H			
	CLRW	AX	1	1	－	AX ← 0000H			
		BC	1	1	－	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	－	A, CY ← A＋byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte	×	×	×
		A, r 注4	2	1	－	A, CY ← A＋r	×	×	×
		r, A	2	1	－	r, CY ← r＋A	×	×	×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A＋(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A＋(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)	×	×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. rp = AXを除く。

4. r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（7/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	ADDC	A, #byte	2	1	－	A, CY ← A＋byte＋CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte＋CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A＋r＋CY	×	×	×
		r, A	2	1	－	r, CY ← r＋A＋CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)＋CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)＋CY	×	×	×
		A, saddr	2	1	－	A, CY ← A＋(saddr)＋CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A＋(HL)＋CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)＋CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)＋CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)＋CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)＋CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)＋CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)＋CY	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)＋CY	×	×	×
	SUB	A, #byte	2	1	－	A, CY ← A－byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr) －byte	×	×	×
		A, r 注3	2	1	－	A, CY ← A－r	×	×	×
		r, A	2	1	－	r, CY ← r－A	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A－((ES, HL)＋C)	×	×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（8/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	SUBC	A, #byte	2	1	－	A, CY ← A－byte－CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)－byte－CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A－r－CY	×	×	×
		r, A	2	1	－	r, CY ← r－A－CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)－CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)－CY	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)－CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)－CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)－CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)－CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)－CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)－CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)－CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)－CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A－((ES:HL)＋C)－CY	×	×	×
	AND	A, #byte	2	1	－	A ← A∧byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr)∧byte	×		
		A, r 注3	2	1	－	A ← A∧r	×		
		r, A	2	1	－	r ← r∧A	×		
		A, !addr16	3	1	4	A ← A∧(addr16)	×		
		A, ES:!addr16	4	2	5	A ← A∧(ES:addr16)	×		
		A, saddr	2	1	－	A ← A∧(saddr)	×		
		A, [HL]	1	1	4	A ← A∧(HL)	×		
		A, ES:[HL]	2	2	5	A ← A∧(ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A∧(HL＋byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A∧((ES:HL)＋byte)	×		
		A, [HL+B]	2	1	4	A ← A∧(HL＋B)	×		
		A, ES:[HL+B]	3	2	5	A ← A∧((ES:HL)＋B)	×		
		A, [HL+C]	2	1	4	A ← A∧(HL＋C)	×		
		A, ES:[HL+C]	3	2	5	A ← A∧((ES:HL)＋C)	×		

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（9/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
8ビット演算	OR	A, #byte	2	1	－	A ← A∨byte	×
		saddr, #byte	3	2	－	(saddr) ← (saddr)∨byte	×
		A, r 注3	2	1	－	A ← A∨r	×
		r, A	2	1	－	r ← r∨A	×
		A, !addr16	3	1	4	A ← A∨(addr16)	×
		A, ES:!addr16	4	2	5	A ← A∨(ES:addr16)	×
		A, saddr	2	1	－	A ← A∨(saddr)	×
		A, [HL]	1	1	4	A ← A∨(HL)	×
		A, ES:[HL]	2	2	5	A ← A∨(ES:HL)	×
		A, [HL+byte]	2	1	4	A ← A∨(HL＋byte)	×
		A, ES:[HL+byte]	3	2	5	A ← A∨((ES:HL)＋byte)	×
		A, [HL+B]	2	1	4	A ← A∨(HL＋B)	×
		A, ES:[HL+B]	3	2	5	A ← A∨((ES:HL)＋B)	×
		A, [HL+C]	2	1	4	A ← A∨(HL＋C)	×
		A, ES:[HL+C]	3	2	5	A ← A∨((ES:HL)＋C)	×
	XOR	A, #byte	2	1	－	A ← A∀byte	×
		saddr, #byte	3	2	－	(saddr) ← (saddr)∀byte	×
		A, r 注3	2	1	－	A ← A∀r	×
		r, A	2	1	－	r ← r∀A	×
		A, !addr16	3	1	4	A ← A∀(addr16)	×
		A, ES:!addr16	4	2	5	A ← A∀(ES:addr16)	×
		A, saddr	2	1	－	A ← A∀(saddr)	×
		A, [HL]	1	1	4	A ← A∀(HL)	×
		A, ES:[HL]	2	2	5	A ← A∀(ES:HL)	×
		A, [HL+byte]	2	1	4	A ← A∀(HL＋byte)	×
		A, ES:[HL+byte]	3	2	5	A ← A∀((ES:HL)＋byte)	×
		A, [HL+B]	2	1	4	A ← A∀(HL＋B)	×
		A, ES:[HL+B]	3	2	5	A ← A∀((ES:HL)＋B)	×
		A, [HL+C]	2	1	4	A ← A∀(HL＋C)	×
		A, ES:[HL+C]	3	2	5	A ← A∀((ES:HL)＋C)	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（10/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	CMP	A, #byte	2	1	－	A－byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)－byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)－byte	×	×	×
		saddr, #byte	3	1	－	(saddr)－byte	×	×	×
		A, r 注3	2	1	－	A－r	×	×	×
		r, A	2	1	－	r－A	×	×	×
		A, !addr16	3	1	4	A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A－(ES:addr16)	×	×	×
		A, saddr	2	1	－	A－(saddr)	×	×	×
		A, [HL]	1	1	4	A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A－(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A－((ES:HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A－((ES:HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A－((ES:HL)＋C)	×	×	×
	CMP0	A	1	1	－	A－00H	×	0	0
		X	1	1	－	X－00H	×	0	0
		B	1	1	－	B－00H	×	0	0
		C	1	1	－	C－00H	×	0	0
		!addr16	3	1	4	(addr16)－00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16)－00H	×	0	0
		saddr	2	1	－	(saddr)－00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X－(HL＋byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X－((ES:HL)＋byte)	×	×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（11/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット演算	ADDW	AX, #word	3	1	－	AX, CY ← AX＋word	×	×	×
		AX, AX	1	1	－	AX, CY ← AX＋AX	×	×	×
		AX, BC	1	1	－	AX, CY ← AX＋BC	×	×	×
		AX, DE	1	1	－	AX, CY ← AX＋DE	×	×	×
		AX, HL	1	1	－	AX, CY ← AX＋HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX＋(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX＋(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX, CY ← AX＋(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX＋(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX＋((ES:HL)＋byte)	×	×	×
	SUBW	AX, #word	3	1	－	AX, CY ← AX－word	×	×	×
		AX, BC	1	1	－	AX, CY ← AX－BC	×	×	×
		AX, DE	1	1	－	AX, CY ← AX－DE	×	×	×
		AX, HL	1	1	－	AX, CY ← AX－HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX－(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX－(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX, CY ← AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX－((ES:HL)＋byte)	×	×	×
	CMPW	AX, #word	3	1	－	AX－word	×	×	×
		AX, BC	1	1	－	AX－BC	×	×	×
		AX, DE	1	1	－	AX－DE	×	×	×
		AX, HL	1	1	－	AX－HL	×	×	×
		AX, !addr16	3	1	4	AX－(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX－(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX－((ES:HL)＋byte)	×	×	×
乗算	MULU	X	1	1	－	AX ← A×X			

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（12/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
増減	INC	r	1	1	－	r ← r+1	×	×	
		!addr16	3	2	－	(addr16) ← (addr16)+1	×	×	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)+1	×	×	
		saddr	2	2	－	(saddr) ← (saddr)+1	×	×	
		[HL+byte]	3	2	－	(HL+byte) ← (HL+byte)+1	×	×	
		ES: [HL+byte]	4	3	－	((ES:HL)+byte) ← ((ES:HL)+byte)+1	×	×	
	DEC	r	1	1	－	r ← r－1	×	×	
		!addr16	3	2	－	(addr16) ← (addr16)－1	×	×	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16) －1	×	×	
		saddr	2	2	－	(saddr) ← (saddr)－1	×	×	
		[HL+byte]	3	2	－	(HL+byte) ← (HL+byte) －1	×	×	
		ES: [HL+byte]	4	3	－	((ES:HL)+byte) ← ((ES:HL)+byte) －1	×	×	
	INCW	rp	1	1	－	rp ← rp+1			
		!addr16	3	2	－	(addr16) ← (addr16)+1			
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)+1			
		saddrp	2	2	－	(saddrp) ← (saddrp)+1			
		[HL+byte]	3	2	－	(HL+byte) ← (HL+byte)+1			
		ES: [HL+byte]	4	3	－	((ES:HL)+byte) ← ((ES:HL)+byte)+1			
	DECW	rp	1	1	－	rp ← rp－1			
		!addr16	3	2	－	(addr16) ← (addr16)－1			
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)－1			
		saddrp	2	2	－	(saddrp) ← (saddrp)－1			
		[HL+byte]	3	2	－	(HL+byte) ← (HL+byte) －1			
		ES: [HL+byte]	4	3	－	((ES:HL)+byte) ← ((ES:HL)+byte) －1			
シフト	SHR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← 0) ×cnt			×
	SHRW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← 0) ×cnt			×
	SHL	A, cnt	2	1	－	(CY ← A_7, A_m ← A_{m-1}, A_0 ← 0) ×cnt			×
		B, cnt	2	1	－	(CY ← B_7, B_m ← B_{m-1}, B_0 ← 0) ×cnt			×
		C, cnt	2	1	－	(CY ← C_7, C_m ← C_{m-1}, C_0 ← 0) ×cnt			×
	SHLW	AX, cnt	2	1	－	(CY ← AX_{15}, AX_m ← AX_{m-1}, AX_0 ← 0) ×cnt			×
		BC, cnt	2	1	－	(CY ← BC_{15}, BC_m ← BC_{m-1}, BC_0 ← 0) ×cnt			×
	SAR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← A_7) ×cnt			×
	SARW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← AX_{15}) ×cnt			×

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考1.　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

2.　cntはビット・シフト数です。

表31－6　オペレーション一覧（13/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ローテート	ROR	A, 1	2	1	－	(CY, A_7 ← A_0, A_{m-1} ← A_m) × 1			×
	ROL	A, 1	2	1	－	(CY, A_0 ← A_7, A_{m+1} ← A_m) × 1			×
	RORC	A, 1	2	1	－	(CY ← A_0, A_7 ← CY, A_{m-1} ← A_m) × 1			×
	ROLC	A, 1	2	1	－	(CY ← A_7, A_0 ← CY, A_{m+1} ← A_m) × 1			×
	ROLWC	AX,1	2	1	－	(CY ← AX_{15}, AX_0 ← CY, AX_{m+1} ← AX_m) ×1			×
		BC,1	2	1	－	(CY ← BC_{15}, BC_0 ← CY, BC_{m+1} ← BC_m) ×1			×
ビット操作	MOV1	CY, A.bit	2	1	－	CY ← A.bit			×
		A.bit, CY	2	1	－	A.bit ← CY			
		CY, PSW.bit	3	1	－	CY ← PSW.bit			×
		PSW.bit, CY	3	4	－	PSW.bit ← CY	×	×	
		CY, saddr.bit	3	1	－	CY ← (saddr).bit			×
		saddr.bit, CY	3	2	－	(saddr).bit ← CY			
		CY, sfr.bit	3	1	－	CY ← sfr.bit			×
		sfr.bit, CY	3	2	－	sfr.bit ← CY			
		CY,[HL].bit	2	1	4	CY ← (HL).bit			×
		[HL].bit, CY	2	2	－	(HL).bit ← CY			
		CY, ES:[HL].bit	3	2	5	CY ← (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	－	(ES, HL).bit ← CY			
	AND1	CY, A.bit	2	1	－	CY ← CY∧A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∧PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∧(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∧sfr.bit			×
		CY,[HL].bit	2	1	4	CY ← CY∧(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∧(ES, HL).bit			×
	OR1	CY, A.bit	2	1	－	CY ← CY∨A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∨PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∨(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∨sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∨(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∨(ES, HL).bit			×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（14/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ビット操作	XOR1	CY, A.bit	2	1	－	CY ← CY∨A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∨PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∨(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∨sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∨(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∨(ES, HL).bit			×
	SET1	A.bit	2	1	－	A.bit ← 1			
		PSW.bit	3	4	－	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 1			
		saddr.bit	3	2	－	(saddr).bit ← 1			
		sfr.bit	3	2	－	sfr.bit ← 1			
		[HL].bit	2	2	－	(HL).bit ← 1			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	－	A.bit ← 0			
		PSW.bit	3	4	－	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 0			
		saddr.bit	3	2	－	(saddr.bit) ← 0			
		sfr.bit	3	2	－	sfr.bit ← 0			
		[HL].bit	2	2	－	(HL).bit ← 0			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 0			
	SET1	CY	2	1	－	CY ← 1			1
	CLR1	CY	2	1	－	CY ← 0			0
	NOT1	CY	2	1	－	CY ← CY			×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（15/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
コール・リターン	CALL	rp	2	3	－	(SP－2) ← $(PC+2)_S$, (SP－3) ← $(PC+2)_H$, (SP－4) ← $(PC+2)_L$, PC ← CS, rp, SP ← SP－4			
		$!addr20	3	3	－	(SP－2) ← $(PC+3)_S$, (SP－3) ← $(PC+3)_H$, (SP－4) ← $(PC+3)_L$, PC ← PC＋3＋jdisp16, SP ← SP－4			
		!addr16	3	3	－	(SP－2) ← $(PC+3)_S$, (SP－3) ← $(PC+3)_H$, (SP－4) ← $(PC+3)_L$, PC ← 0000, addr16, SP ← SP－4			
		!!addr20	4	3	－	(SP－2) ← $(PC+4)_S$, (SP－3) ← $(PC+4)_H$, (SP－4) ← $(PC+4)_L$, PC ← addr20, SP ← SP－4			
	CALLT	[addr5]	2	5	－	(SP－2) ← $(PC+2)_S$, (SP－3) ← $(PC+2)_H$, (SP－4) ← $(PC+2)_L$, PC_S ← 0000, PC_H ← (0000, addr5＋1), PC_L ← (0000, addr5), SP ← SP－4			
	BRK	－	2	5	－	(SP－1) ← PSW, (SP－2) ← $(PC+2)_S$, (SP－3) ← $(PC+2)_H$, (SP－4) ← $(PC+2)_L$, PC_S ← 0000, PC_H ← (0007FH), PC_L ← (0007EH), SP ← SP－4, IE ← 0			
	RET	－	1	6	－	PC_L ← (SP), PC_H ← (SP＋1), PC_S ← (SP＋2), SP ← SP＋4			
	RETI	－	2	6	－	PC_L ← (SP), PC_H ← (SP＋1), PC_S ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R	R	R
	RETB	－	2	6	－	PC_L ← (SP), PC_H ← (SP＋1), PC_S ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R	R	R

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（16/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
スタック操作	PUSH	PSW	2	1	－	(SP－1) ← PSW, (SP－2) ← 00H, SP ← SP－2			
		rp	1	1	－	(SP－1) ← rp_H, (SP－2) ← rp_L, SP ← SP－2			
	POP	PSW	2	3	－	PSW ← (SP＋1), SP ← SP＋2	R	R	R
		rp	1	1	－	rp_L ← (SP), rp_H ← (SP＋1), SP ← SP＋2			
	MOVW	SP, #word	4	1	－	SP ← word			
		SP, AX	2	1	－	SP ← AX			
		AX, SP	2	1	－	AX ← SP			
		HL, SP	3	1	－	HL ← SP			
		BC, SP	3	1	－	BC ← SP			
		DE, SP	3	1	－	DE ← SP			
	ADDW	SP, #byte	2	1	－	SP ← SP＋byte			
	SUBW	SP, #byte	2	1	－	SP ← SP－byte			
無条件分岐	BR	AX	2	3	－	PC ← CS, AX			
		$addr20	2	3	－	PC ← PC＋2＋jdisp8			
		$!addr20	3	3	－	PC ← PC＋3＋jdisp16			
		!addr16	3	3	－	PC ← 0000, addr16			
		!!addr20	4	3	－	PC ← addr20			
条件付き分岐	BC	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if CY = 1			
	BNC	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if CY = 0			
	BZ	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if Z = 1			
	BNZ	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if Z = 0			
	BH	$addr20	3	2/4注3	－	PC ← PC+3+jdisp8 if (Z∨CY)=0			
	BNH	$addr20	3	2/4注3	－	PC ← PC+3+jdisp8 if (Z∨CY)=1			
	BT	saddr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1			
		sfr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1			
		A.bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if A.bit = 1			
		PSW.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1			
		[HL].bit, $addr20	3	3/5注3	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 1			
		ES:[HL].bit, $addr20	4	4/6注3	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. クロック数は“条件不成立時／条件成立時”を表しています。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表31－6　オペレーション一覧（17/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
条件付き分岐	BF	saddr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 0	
		sfr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if sfr.bit = 0	
		A.bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if A.bit = 0	
		PSW.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if PSW.bit = 0	
		[HL].bit, $addr20	3	3/5注3	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 0	
		ES:[HL].bit, $addr20	4	4/6注3	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 0	
	BTCLR	saddr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1 then reset (saddr).bit	
		sfr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1 then reset sfr.bit	
		A.bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if A.bit = 1 then reset A.bit	
		PSW.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1 then reset PSW.bit	× × ×
		[HL].bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if (HL).bit = 1 then reset (HL).bit	
		ES:[HL].bit, $addr20	4	4/6注3	－	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit	
条件付きスキップ	SKC	－	2	1	－	Next instruction skip if CY = 1	
	SKNC	－	2	1	－	Next instruction skip if CY = 0	
	SKZ	－	2	1	－	Next instruction skip if Z = 1	
	SKNZ	－	2	1	－	Next instruction skip if Z = 0	
	SKH	－	2	1	－	Next instruction skip if (Z∨CY)=0	
	SKNH	－	2	1	－	Next instruction skip if (Z∨CY)=1	
CPU制御	SEL注4	RBn	2	1	－	RBS[1:0] ← n	
	NOP	－	1	1	－	No Operation	
	EI	－	3	4	－	IE ← 1(Enable Interrupt)	
	DI	－	3	4	－	IE ← 0(Disable Interrupt)	
	HALT	－	2	3	－	Set HALT Mode	
	STOP	－	2	3	－	Set STOP Mode	

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. クロック数は“条件不成立時／条件成立時”を表しています。

4. nはレジスタ・バンク番号です（n = 0-3）。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

第32章　電気的特性（G：産業用途，T_A = －40～＋105℃対応品）

この章では，以下の対象製品の電気的特性を示します。

対象製品 G：産業用途 T_A = －40～＋105℃

R5F107xxGxx

注意1.　RL78/I1Aには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2.　製品により搭載している端子が異なります。2. 1　ポート機能 ～2. 2. 1　製品別の搭載機能を参照してください。

32. 1　絶対最大定格

絶対最大定格（T_A = 25 ℃）（1/2）

項　目	略　号	条　件	定　格	単　位
電源電圧	V_{DD}		–0.5～ +6.5	V
REGC端子入力電圧	V_{IREGC}	REGC	–0.3～ +2.8 かつ–0.3～V_{DD} +0.3[注1]	V
入力電圧	V_{I1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120-P124, P137, P147, P200-P206, EXCLK, EXCLKS, $\overline{\text{RESET}}$	–0.3～V_{DD} +0.3[注2]	V
出力電圧	V_{O1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120, P147, P200-P206	–0.3～V_{DD} +0.3[注2]	V
アナログ入力電圧	V_{AI1}	ANI0-ANI2, ANI4-ANI7, ANI16-ANI19	–0.3～V_{DD} +0.3 かつ–0.3～$AV_{REF(+)}$ +0.3[注2, 3]	V

注1. REGC端子にはコンデンサ（0.47～1 μF）を介してV_{SS}に接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V以下であること。

3. A/D変換対象の端子は，$AV_{REF(+)}$ +0.3を越えないでください。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考 1. 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

2. $AV_{REF(+)}$：A/Dコンバータの+側基準電圧

3. V_{SS}を基準電位とする

絶対最大定格（TA = 25 ℃）（2/2）

項　目	略　号	条　件		定　格	単　位
ハイ・レベル出力電流	I_{OH1}	1端子	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	–40	mA
		端子合計 –170 mA	P02, P03, P40, P120	–70	mA
			P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206	–100	mA
	I_{OH2}	1端子	P20-P22, P24-P27	–0.5	mA
		端子合計		–2	mA
ロウ・レベル出力電流	I_{OL1}	1端子	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	40	mA
		端子合計 170 mA	P02, P03, P40, P120	70	mA
			P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206	100	mA
	I_{OL2}	1端子	P20-P22, P24-P27	1	mA
		端子合計		5	mA
動作周囲温度	T_A	通常動作時		–40～ +105	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			–65～ +150	℃

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

32. 2　発振回路特性

32. 2. 1　X1, XT1発振回路特性

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　　目	発振子	条　　件	MIN.	TYP.	MAX.	単位
X1クロック周波数（f_X）注	セラミック発振子／水晶振動子		1.0		20.0	MHz
XT1クロック周波数（f_{XT}）注	水晶振動子		32	32.768	35	kHz

注　発振回路の周波数許容範囲のみを示すものです。命令実行時間は，AC特性を参照してください。
また，実装回路上での評価を発振子メーカに依頼し，発振特性を確認してご使用ください。

注意　リセット解除後は，高速オンチップ・オシレータ・クロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

備考　X1, XT1発振回路を使用する場合は、5. 4　システム・クロック発振回路を参照してください。

32. 2. 2　オンチップ・オシレータ特性

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータクロック周波数注1	f_{IH}		1		32	MHz
高速オンチップ・オシレータクロック周波数精度注2		T_A = –20～ +85 ℃	–1		+1	%
		T_A = –40～ +105 ℃	–1.5		+1.5	%
低速オンチップ・オシレータクロック周波数	f_{IL}			15		kHz
低速オンチップ・オシレータクロック周波数精度			–15		+15	%

注1. 高速オンチップ・オシレータで選択できる周波数です。オプション･バイト（000C2H/010C2H）のビット0-3によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

32. 2. 3　周波数逓倍回路（PLL）特性

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
PLL入力クロック周波数注	f_{PLLIN}	高速システム・クロック選択時（f_{MX} = 4 MHz）	3.94	4.00	4.06	MHz
		高速オンチップ・オシレータ・クロック選択時（f_{IH} = 4 MHz）	3.94	4.00	4.06	MHz
PLL出力クロック周波数注	f_{PLL}		f_{PLLIN} × 16			MHz

注　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

32. 3　DC特性

32. 3. 1　端子特性

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電流[注1]	I_{OH1}	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206 1端子	4.0 V≦V_{DD}≦5.5 V			–3.0[注2]	mA
			2.7 V≦V_{DD}＜4.0 V			–1.0	mA
		P02, P03, P40, P120 合計（デューティ ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			–12.0	mA
			2.7 V≦V_{DD}＜4.0 V			–4.0	mA
		P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206 合計（デューティ ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			–30.0	mA
			2.7 V≦V_{DD}＜4.0 V			–10.0	mA
		全端子合計（デューティ ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			–30.0	mA
			2.7 V≦V_{DD}＜4.0 V			–14.0	mA
	I_{OH2}	P20-P22, P24-P27 1端子	2.7 V≦V_{DD}≦5.5 V			–0.1[注2]	mA
		全端子合計（デューティ ≦70 %時[注3]）	2.7 V≦V_{DD}≦5.5 V			–0.7	mA

注1. V_{DD}端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

2. ただし，合計の電流値を超えないでください。

3. デューティ ≦ 70 %の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OH}×0.7）／（n×0.01）

＜計算例＞ I_{OH} = －10.0 mAの場合，n = 80 %

端子合計の出力電流 = （－10.0×0.7）／（80×0.01）≒ －8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

注意　P02, P10-P12は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ロウ・レベル出力電流[注1]	I_{OL1}	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206 1端子	4.0 V≦V_{DD}≦5.5 V			8.5[注2]	mA
			2.7 V≦V_{DD}＜4.0 V			1.5[注2]	mA
		P02, P03, P40, P120 合計（デューティ ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			40.0	mA
			2.7 V≦V_{DD}＜4.0 V			7.5	mA
		P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206 合計（デューティ ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			40.0	mA
			2.7 V≦V_{DD}＜4.0 V			17.5	mA
		全端子合計（デューティ ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			80.0	mA
			2.7 V≦V_{DD}＜4.0 V			25.0	mA
	I_{OL2}	P20-P22, P24-P27 1端子	2.7 V≦V_{DD}≦5.5 V			0.4[注2]	mA
		全端子合計（デューティ ≦70 %時[注3]）	2.7 V≦V_{DD}≦5.5 V			2.8	mA

注1. 出力端子からV_{SS}端子に流れ込んでも，デバイスの動作を保証する電流値です。

2. ただし，合計の電流値を超えないでください。

3. デューティ ≦ 70 %の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OL}×0.7）／（n×0.01）

＜計算例＞ I_{OL} = －10.0 mAの場合，n = 80 %

端子合計の出力電流 = （－10.0×0.7）／（80×0.01）≒ －8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120-P124, P137, P147, P200-P206, EXCLK, EXCLKS, $\overline{\text{RESET}}$	通常入力バッファ	0.8V_{DD}		V_{DD}	V
	V_{IH2}	P03, P10, P11	TTL入力バッファ 4.0 V≦V_{DD}≦5.5 V	2.1		V_{DD}	V
			TTL入力バッファ 3.3 V≦V_{DD}＜4.0 V	2.0		V_{DD}	V
			TTL入力バッファ 2.7 V≦V_{DD}＜3.3 V	1.5		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120-P124, P137, P147, P200-P206, EXCLK, EXCLKS, $\overline{\text{RESET}}$	通常入力バッファ	0		0.2V_{DD}	V
	V_{IL2}	P03, P10, P11	TTL入力バッファ 4.0 V≦V_{DD}≦5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V≦V_{DD}＜4.0 V	0		0.5	V
			TTL入力バッファ 2.7 V≦V_{DD}＜3.3 V	0		0.32	V

注意　P02, P10-P12は，N-chオープン・ドレイン・モード時でもV_{IH}の最大値（MAX.）はV_{DD}です。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電圧	V_{OH1}	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	4.0 V≦V_{DD}≦5.5 V, I_{OH1} = –3.0 mA	V_{DD} –0.7			V
			2.7 V≦V_{DD}≦5.5 V, I_{OH1} = –1.0 mA	V_{DD} –0.5			V
	V_{OH2}	P20-P22, P24-P27	2.7 V≦V_{DD}≦5.5 V, I_{OH2} = –100 μA	V_{DD} –0.5			V
ロウ・レベル出力電圧	V_{OL1}	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 4.0 mA			0.4	V
			2.7 V≦V_{DD}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
	V_{OL2}	P20-P22, P24-P27	2.7 V≦V_{DD}≦5.5 V, I_{OL2} = 400 μA			0.4	V

注意　P02, P10-P12は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
ハイ・レベル入力リーク電流	I_{LIH1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120, P137, P147, P200-P206, $\overline{\text{RESET}}$	V_I = V_{DD}				1	μA
	I_{LIH2}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{DD}	入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120, P137, P147, P200-P206, $\overline{\text{RESET}}$	V_I = V_{SS}				–1	μA
	I_{LIL2}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{SS}	入力ポート時，外部クロック入力時			–1	μA
				発振子接続時			–10	μA
内蔵プルアップ抵抗	R_U	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	V_I = V_{SS}，入力ポート時		10	20	100	kΩ

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

32. 3. 2　電源電流特性

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　　（1/2）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	HS（高速メイン）モード[注5]	f_{IH} = 32 MHz[注3]	V_{DD} = 5.0 V		5.0	7.5	mA
					V_{DD} = 3.0 V		5.0	7.5	
				f_{IH} = 24 MHz[注3]	V_{DD} = 5.0 V		3.9	5.8	mA
					V_{DD} = 3.0 V		3.9	5.8	
				f_{IH} = 16 MHz[注3]	V_{DD} = 5.0 V		2.9	4.2	mA
					V_{DD} = 3.0 V		2.9	4.2	
			LS（低速メイン）モード[注5]	f_{IH} = 8 MHz[注3], T_A = –40～ +85 ℃	V_{DD} = 3.0 V		1.3	2.0	mA
			HS（高速メイン）モード[注5]	f_{MX} = 20 MHz[注2], V_{DD} = 5.0 V	方形波入力		3.2	4.9	mA
					発振子接続		3.3	5.0	
				f_{MX} = 20 MHz[注2], V_{DD} = 3.0 V	方形波入力		3.2	4.9	mA
					発振子接続		3.3	5.0	
				f_{MX} = 10 MHz[注2], V_{DD} = 5.0 V	方形波入力		2.0	2.9	mA
					発振子接続		2.0	2.9	
				f_{MX} = 10 MHz[注2], V_{DD} = 3.0 V	方形波入力		2.0	2.9	mA
					発振子接続		2.0	2.9	
			LS（低速メイン）モード[注5]	f_{MX} = 8 MHz[注2], V_{DD} = 3.0 V, T_A = –40～ +85 ℃	方形波入力		1.2	1.8	mA
					発振子接続		1.2	1.8	
			HS（高速メイン）モード[注5]	f_{IH} = 4 MHz[注3], f_{PLL} = 64 MHz, f_{CLK} = 32 MHz	V_{DD} = 5.0 V		5.4	8.5	mA
					V_{DD} = 3.0 V		5.4	8.5	
				f_{IH} = 4 MHz[注3], f_{PLL} = 64 MHz, f_{CLK} = 16 MHz	V_{DD} = 5.0 V		3.3	5.7	mA
					V_{DD} = 3.0 V		3.3	5.7	
			サブ・システム・クロック動作	f_{SUB} = 32.768 kHz[注4] T_A = –40℃	方形波入力		4.2	6.0	μA
					発振子接続		4.4	6.2	
				f_{SUB} = 32.768 kHz[注4] T_A = +25℃	方形波入力		4.2	6.0	μA
					発振子接続		4.4	6.2	
				f_{SUB} = 32.768 kHz[注4] T_A = +50℃	方形波入力		4.3	7.2	μA
					発振子接続		4.5	7.4	
				f_{SUB} = 32.768 kHz[注4] T_A = +70℃	方形波入力		4.4	8.1	μA
					発振子接続		4.6	8.3	
				f_{SUB} = 32.768 kHz[注4] T_A = +85℃	方形波入力		5.2	11.4	μA
					発振子接続		5.4	11.6	
				f_{SUB} = 32.768 kHz[注4] T_A = +105℃	方形波入力		6.9	20.8	μA
					発振子接続		7.1	21.0	

（注，備考は次ページにあります。）

★ **注1.** V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。
HS（高速メイン）モード, LS（低速メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，A/Dコンバータ，コンパレータ，プログラマブル・ゲイン・アンプ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし，HALTモード時はRTCに流れる電流を含みます。

2. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

3. 高速システム・クロック，サブシステム・クロックは停止時。

★ **4.** 高速オンチップ・オシレータ，高速システム・クロックは停止時。超低消費発振（AMPHS1 = 1）設定時。

5. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz

LS（低速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～8 MHz

備考1. f_{MX}　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

3. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）

4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は，T_A = 25 ℃です。

★　（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　（2/2）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD2}[注2]	HALT モード	HS（高速メイン）モード[注6]	f_{IH} = 32 MHz[注4]	V_{DD} = 5.0 V		0.72	2.9	mA
					V_{DD} = 3.0 V		0.72	2.9	
				f_{IH} = 24 MHz[注4]	V_{DD} = 5.0 V		0.57	2.3	mA
					V_{DD} = 3.0 V		0.57	2.3	
				f_{IH} = 16 MHz[注4]	V_{DD} = 5.0 V		0.50	1.7	mA
					V_{DD} = 3.0 V		0.50	1.7	
			LS（低速メイン）モード[注6]	f_{IH} = 8 MHz[注4], T_A = –40～ +85 ℃	V_{DD} = 3.0 V		320	910	μA
			HS（高速メイン）モード[注6]	f_{MX} = 20 MHz[注3], V_{DD} = 5.0 V	方形波入力		0.40	1.9	mA
					発振子接続		0.50	2.0	
				f_{MX} = 20 MHz[注3], V_{DD} = 3.0 V	方形波入力		0.40	1.9	mA
					発振子接続		0.50	2.0	
				f_{MX} = 10 MHz[注3], V_{DD} = 5.0 V	方形波入力		0.24	1.02	mA
					発振子接続		0.30	1.08	
				f_{MX} = 10 MHz[注3], V_{DD} = 3.0 V	方形波入力		0.24	1.02	mA
					発振子接続		0.30	1.08	
			LS（低速メイン）モード[注6]	f_{MX} = 8 MHz[注3], V_{DD} = 3.0 V, T_A = –40～ +85 ℃	方形波入力		130	720	μA
					発振子接続		170	760	
			HS（高速メイン）モード[注6]	f_{IH} = 4 MHz[注4], f_{PLL} = 64 MHz, f_{CLK} = 32 MHz	V_{DD} = 5.0 V		1.15	4.0	mA
					V_{DD} = 3.0 V		1.15	4.0	
				f_{IH} = 4 MHz[注4], f_{PLL} = 64 MHz, f_{CLK} = 16 MHz	V_{DD} = 5.0 V		0.95	3.2	mA
					V_{DD} = 3.0 V		0.95	3.2	
			サブ・クロック動作	f_{SUB} = 32.768 kHz[注5] T_A = –40℃	方形波入力		0.28	0.70	μA
					発振子接続		0.47	0.89	
				f_{SUB} = 32.768 kHz[注5] T_A = +25℃	方形波入力		0.33	0.70	μA
					発振子接続		0.52	0.89	
				f_{SUB} = 32.768 kHz[注5] T_A = +50℃	方形波入力		0.41	1.90	μA
					発振子接続		0.60	2.09	
				f_{SUB} = 32.768 kHz[注5] T_A = +70℃	方形波入力		0.54	2.80	μA
					発振子接続		0.73	2.99	
				f_{SUB} = 32.768 kHz[注5] T_A = +85℃	方形波入力		1.27	6.10	μA
					発振子接続		1.46	6.29	
				f_{SUB} = 32.768 kHz[注5] T_A = +105℃	方形波入力		3.04	15.5	μA
					発振子接続		3.23	15.7	
	I_{DD3}	STOP モード[注7]	T_A = –40℃				0.18	0.50	μA
			T_A = +25℃				0.23	0.50	
			T_A = +50℃				0.27	1.7	
			T_A = +70℃				0.44	2.6	
			T_A = +85℃				1.17	5.9	
			T_A = +105℃				2.94	15.3	

（注，備考は次ページにあります。）

★ **注1.** V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。
HS（高速メイン）モード, LS（低速メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，A/Dコンバータ，コンパレータ，プログラマブル・ゲイン・アンプ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし，HALTモード時はRTCに流れる電流を含みます。
STOPモード時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

2. フラッシュ・メモリでのHALT命令実行時。

3. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

4. 高速システム・クロック，サブシステム・クロックは停止時。

★ **5.** 高速オンチップ・オシレータ，高速システム・クロックは停止時。
RTCLPC = 1，かつ超低消費発振（AMPHS1 = 1）設定時。

6. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～32 MHz
LS（低速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～8 MHz

7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は，HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. f_{MX}　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

3. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）

4. 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略号	条　件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I_{FIL} 注1				0.20		μA
RTC動作電流	I_{RTC} 注1, 2, 3				0.02		μA
12ビット・インターバル・タイマ動作	I_{IT} 注1, 2, 4				0.02		μA
ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2, 5	f_{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I_{ADC} 注1,6	最高速変換時	標準モード，AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
			低電圧モード, AV_{REFP} = V_{DD} = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	I_{ADREF} 注1				75.0		μA
温度センサ動作電流	I_{TMPS} 注1				75.0		μA
LVD動作電流	I_{LVD} 注1,7				0.08		μA
セルフ・プログラミング動作電流	I_{FSP} 注1, 8				2.50	12.20	mA
プログラマブル・ゲイン・アンプ動作電流	I_{PGA} 注9		AV_{REFP} = V_{DD} = 5.0 V		0.21	0.31	mA
			AV_{REFP} = V_{DD} = 3.0 V		0.18	0.29	mA
コンパレータ動作電流	I_{CMP} 注10	コンパレータ1 ch 動作時	AV_{REFP} = V_{DD} = 5.0 V		41.4	62	μA
			AV_{REFP} = V_{DD} = 3.0 V		37.2	59	μA
	I_{VREF}	内蔵基準電圧回路1回路動作時	AV_{REFP} = V_{DD} = 5.0 V		14.8	26	μA
			AV_{REFP} = V_{DD} = 3.0 V		8.9	20	μA
プログラマブル・ゲイン・アンプ／コンパレータ基準電流源	I_{IREF} 注11		AV_{REFP} = V_{DD} = 5.0 V		3.2	5.1	μA
			AV_{REFP} = V_{DD} = 3.0 V		2.9	4.9	μA
BGO動作電流	I_{BGO} 注12				2.50	12.2	mA
SNOOZE動作電流	I_{SNOZ} 注1	ADC動作	モード遷移中 注13		0.50	1.1	mA
			変換動作中，標準モード，AV_{REFP} = V_{DD} = 5.0 V		2.0	3.04	
		簡易SPI(CSI)/UART動作			0.70	1.54	

注1. V_{DD}に流れる電流です

2. 高速オンチップ・オシレータ，高速システム・クロックは停止時。

3. リアルタイム・クロック（RTC）にのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は，I_{DD1}またはI_{DD2}にI_{RTC}を加算した値が，RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。I_{DD2}のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。

4. 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は，I_{DD1}またはI_{DD2}にI_{IT}を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。,

5. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が，RL78マイクロコントローラの電流値となります。

注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでA/Dコンバータの動作時は，I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が，RL78マイクロコントローラの電流値となります。

7. LVD回路にのみ流れる電流です。LVD回路の動作時は，I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVD}を加算した値が，RL78マイクロコントローラの電流値となります。

8. セルフ・プログラミング動作に流れる電流です。

9. プログラマブル・ゲイン・アンプにのみ流れる電流です。動作モードまたはHALTモード時にプログラマブル・ゲイン・アンプが動作中の場合，I_{DD1}，I_{DD2}またはI_{DD3}にI_{PGA}を加算した値が，RL78マイクロコントローラの電流値となります。

10. コンパレータにのみ流れる電流です。コンパレータの動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{CMP}を加算した値が，RL78/I1Aの電源電流値となります。

11. プログラマブル・ゲイン・アンプ，コンパレータを使用する際に必要となる電流回路のV_{DD}端子に流れる電流値となります。

12. データ・フラッシュ書き換え動作に流れる電流です。

13 SNOOZEモードへの移行時間は，21. 3. 3　SNOOZEモードを参照してください。

備考1. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）

3. f_{CLK}　：CPU／周辺ハードウエア・クロック周波数

4. TYP.値の温度条件は，T_A = 25 ℃です。

5. プログラマブル・ゲイン・アンプおよびコンパレータ使用時の電流算出例

例1）コンパレータ3 ch + 内蔵基準電圧回路1ch + PGAを動作させた場合のTYP.動作電流（AV_{REFP} = V_{DD} = 5.0 V時）

I_{CMP} × 3 + I_{VREF} × 1 + I_{PGA} + I_{IREF}
= 41.4 [μA] × 3 + 14.8 [μA] × 1 + 210 [μA] + 3.2 [μA]
= 352.2 [μA]

例2）コンパレータ2 ch + 内蔵基準電圧回路未使用時のTYP.動作電流（AV_{REFP} = V_{DD} = 5.0 V時）

I_{CMP} × 2 + I_{IREF}
= 41.4 [μA] × 2 + 3.2 [μA]
= 86.0 [μA]

32. 4　AC特性

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

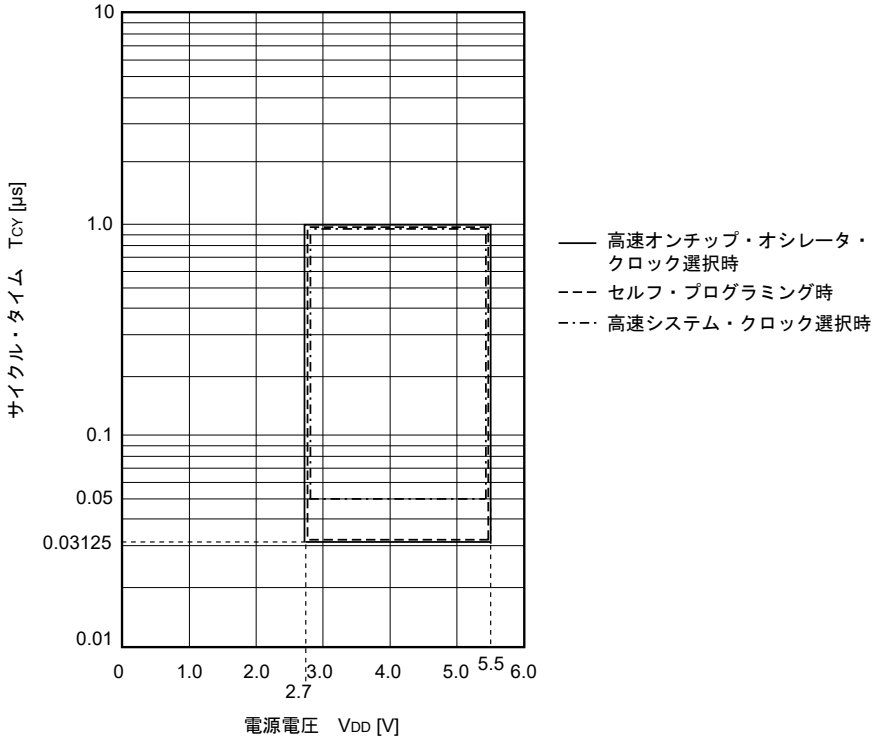
項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
命令サイクル（最小命令実行時間）	T_{CY}	メイン・システム・クロック（f_{MAIN}）動作	HS（高速メイン）モード		0.03125		1	μs
			LS（低速メイン）モード	T_A = –40～ +85 ℃	0.125		1	μs
		サブシステム・クロック（f_{SUB}）動作			28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS（高速メイン）モード		0.03125		1	μs
			LS（低速メイン）モード	T_A = –40～ +85 ℃	0.125		1	μs
外部システム・クロック周波数	f_{EX}				1.0		20.0	MHz
	f_{EXS}				32		35	kHz
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}				24			ns
	t_{EXHS}, t_{EXLS}				13.7			μs
TI03，TI05，TI06，TI07入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}				2/f_{MCK} + 10			ns
TO03, TO05, TO06, TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21, TKCO00-TKCO05出力周波数（デューティ = 50 %時）	f_{TO}	HS（高速メイン）モード	4.0 V≦V_{DD}≦5.5 V				8	MHz
			2.7 V≦V_{DD}＜4.0 V				4	MHz
		LS（低速メイン）モード，T_A = –40～ +85 ℃	4.0 V≦V_{DD}≦5.5 V				4	MHz
			2.7 V≦V_{DD}＜4.0 V				2	MHz
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0，INTP3，INTP4，INTP9-INTP11，INTP20-INTP23			1			μs
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}				10			μs

備考　f_{MCK}：タイマ・アレイ・ユニットの動作クロック周波数。

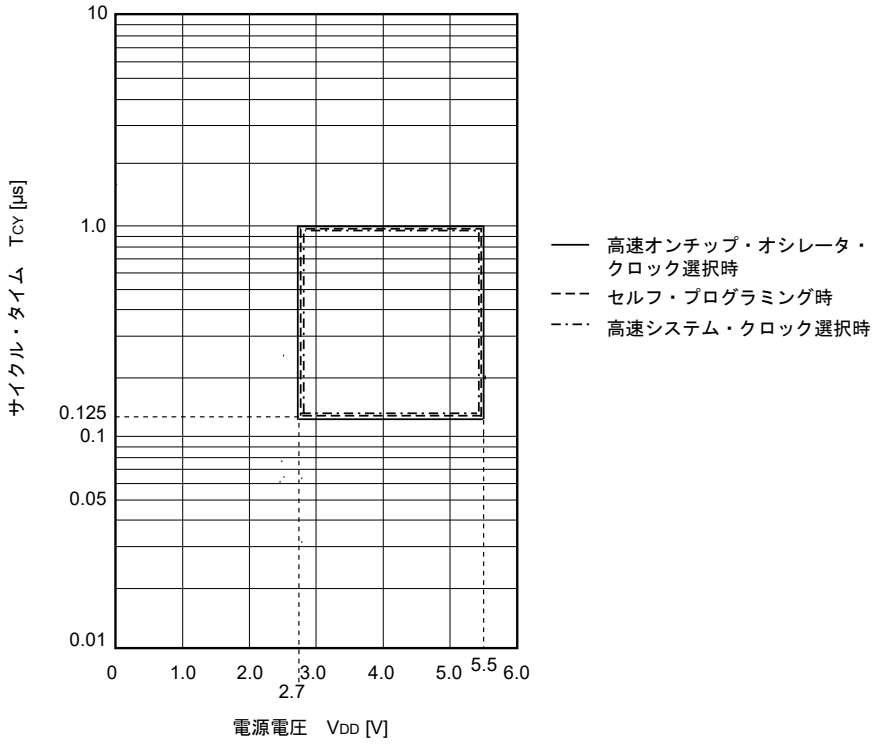
（タイマ・モード・レジスタ0n（TMR0n）のCKS0nビットで設定する動作クロック。n：チャネル番号（n = 0-7））

メイン・システム・クロック動作時の最小命令実行時間

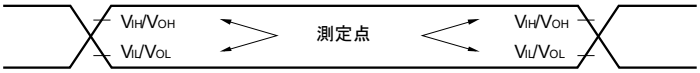
TCY vs VDD（HS（高速メイン）モード）



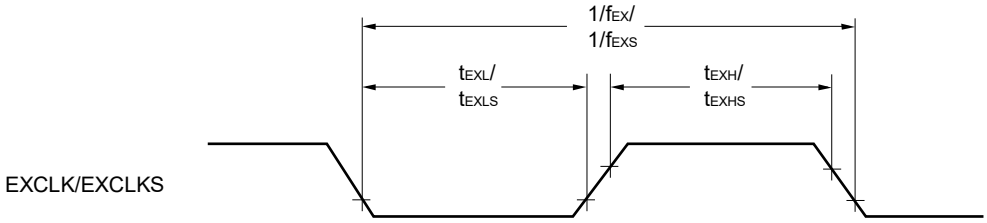
TCY vs VDD（LS（低速メイン）モード）



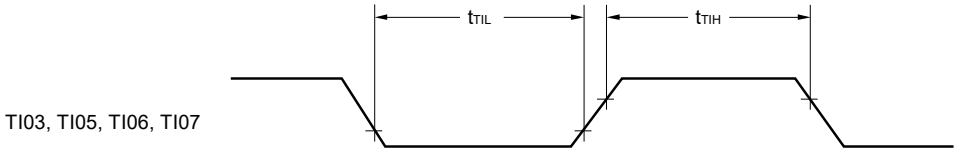
ACタイミング測定点

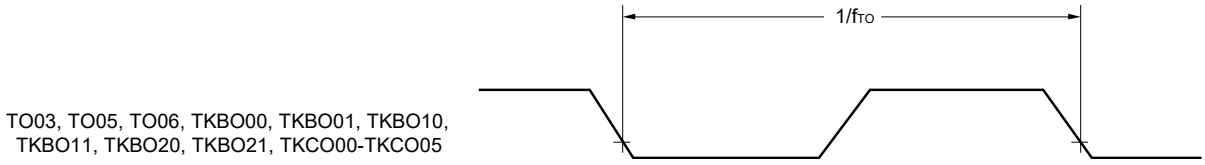


外部システム・クロック・タイミング

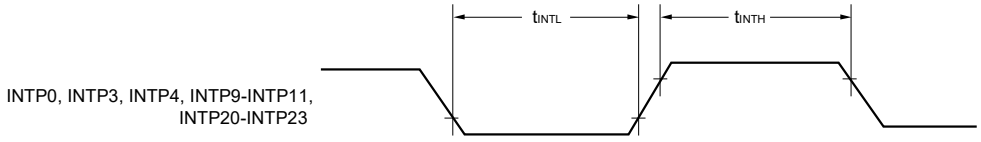


TI/TOタイミング

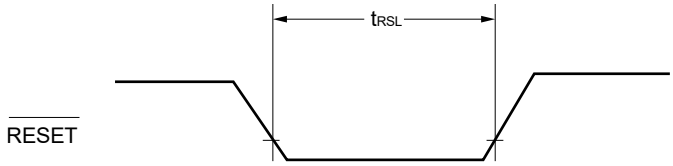




割り込み要求入力タイミング

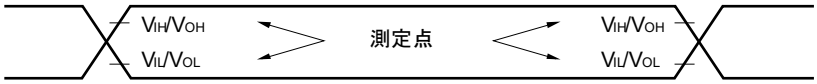


$\overline{\text{RESET}}$入力タイミング



32. 5　周辺機能特性

ACタイミング測定点



32. 5. 1　シリアル・アレイ・ユニット0, 4（UART0, UART1, CSI00, DALI/UART4）

（1）同電位通信時（UARTモード）

（TA = －40～＋105 ℃，2.7 V≦VDD≦5.5 V, VSS = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	
転送レート注1		2.7 V≦VDD≦5.5 V		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注2		5.3		1.3	Mbps

注 1.　SNOOZEモードでの転送レートは，4800 bpsのみとなります。

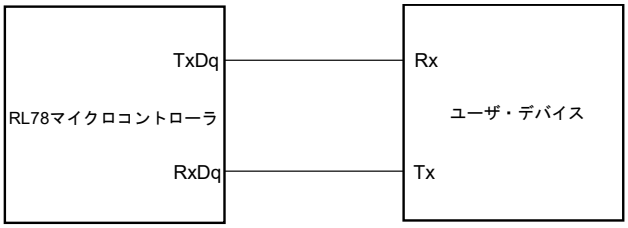
2.　CPU／周辺ハードウエア・クロック（fCLK）の動作周波数を次に示します。

HS（高速メイン）モード　：32MHz（2.7 V≦VDD≦5.5 V）

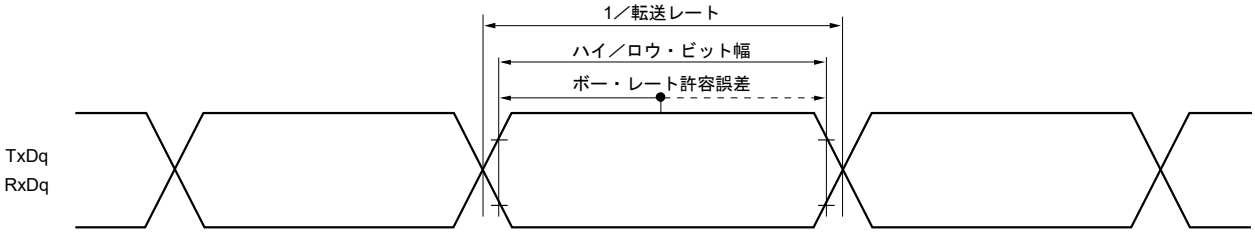
LS（低速メイン）モード　：8 MHz（2.7 V≦VDD≦5.5 V），TA = -40 ~ + 85 ℃

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子は通常入力バッファを選択し，TxDq端子は通常出力モードを選択します。

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子は通常入力バッファを選択し，TxDq端子は通常出力モードを選択します。

備考1. q：UART番号（q = 0, 1），g：PIM, POM番号（g = 0, 1）

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03））

（2）同電位通信時（簡易SPI(CSI)モード）（マスタ・モード，SCKp…内部クロック出力）

（T_A = －40～＋105 ℃[注4]，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	125		500		ns
SCKpハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦V_{DD}≦5.5 V	t_{KCY1}/2－12		t_{KCY1}/2－50		ns
		2.7 V≦V_{DD}≦5.5 V	t_{KCY1}/2－18		t_{KCY1}/2－50		ns
SIpセットアップ時間（対SCKp↑）[注1]	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V	44		110		ns
		2.7 V≦V_{DD}≦5.5 V	44		110		ns
SIpホールド時間（対SCKp↑）[注1]	t_{KSI1}		19		19		ns
SCKp↓→SOp出力遅延時間[注2]	t_{KSO1}	C = 30 pF[注3]		25		25	ns

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは，SCKp, SOp出力ラインの負荷容量です。

4. LS（低速メイン）モードの動作条件は，T_A = -40 ~ + 85 ℃となります。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考 1. p：CSI番号（p = 00），m：ユニット番号（m = 0），
n：チャネル番号（n = 0），g：PIM, POM番号（g = 1）

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

（3）同電位通信時（簡易SPI(CSI)モード）（スレーブ・モード，SCKp…外部クロック入力）

（T_A = －40～＋105 ℃[注5]，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム[注4]	t_{KCY2}	4.0 V≦V_{DD}≦5.5 V	20 MHz＜f_{MCK}	8/f_{MCK}		–		ns
			f_{MCK}≦20 MHz	6/f_{MCK}		6/f_{MCK}		ns
		2.7 V≦V_{DD}≦5.5 V	16 MHz＜f_{MCK}	8/f_{MCK}		–		ns
			f_{MCK}≦16 MHz	6/f_{MCK}		6/f_{MCK}		ns
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}			t_{KCY2}/2		t_{KCY2}/2		ns
SIpセットアップ時間（対SCKp↑）[注1]	t_{SIK2}			1/f_{MCK}＋20		1/f_{MCK}＋30		ns
SIpホールド時間（対SCKp↑）[注1]	t_{KSI2}			1/f_{MCK}＋31		1/f_{MCK}＋31		ns
SCKp↓→SOp出力遅延時間[注2]	t_{KSO2}	C = 30 pF[注3]			2/f_{MCK}＋44		2/f_{MCK}＋110	ns

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは，SOp出力ラインの負荷容量です。

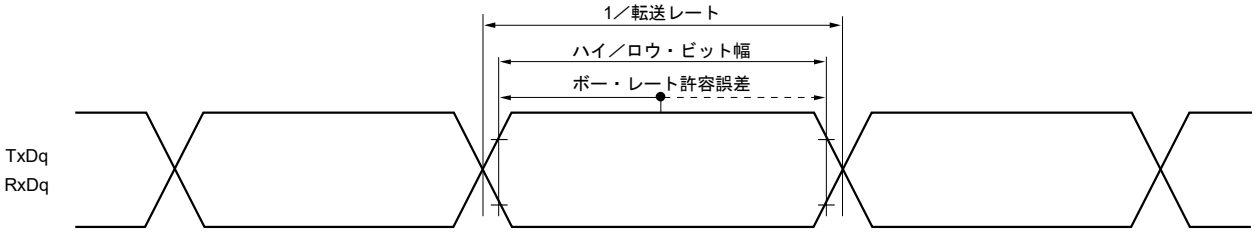
4. SNOOZEモードでの転送レートは，MAX. 1 Mbpsです。

5. LS（低速メイン）モードの動作条件は，T_A = -40 ~ + 85 ℃となります。

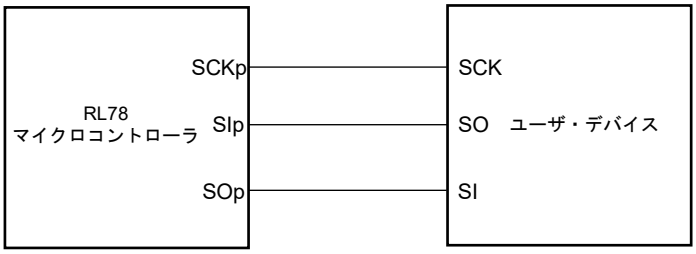
注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子は通常入力バッファを選択し，SOp端子は通常出力モードを選択します。

備考 1. p：CSI番号（p = 00），m：ユニット番号（m = 0），n：チャネル番号（n = 0），g：PIM, POM番号（g = 1）

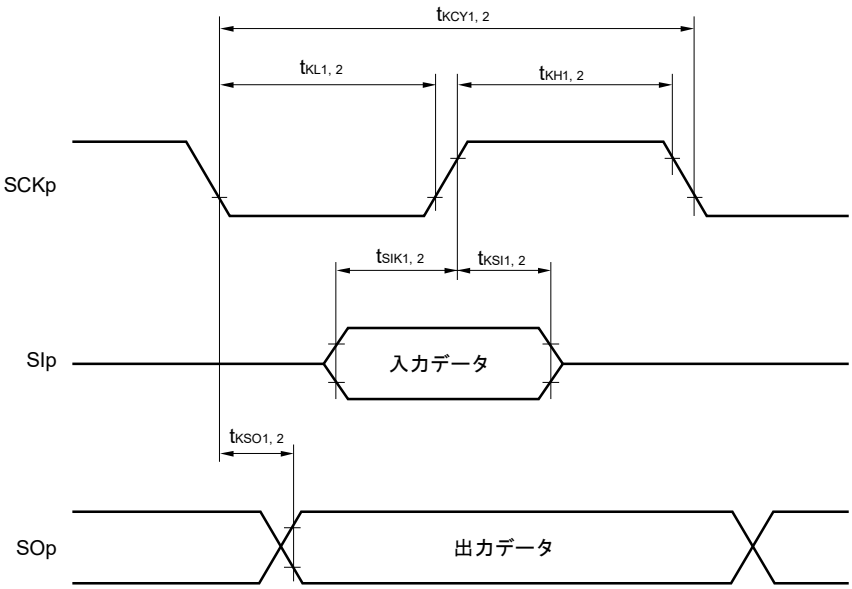
2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））



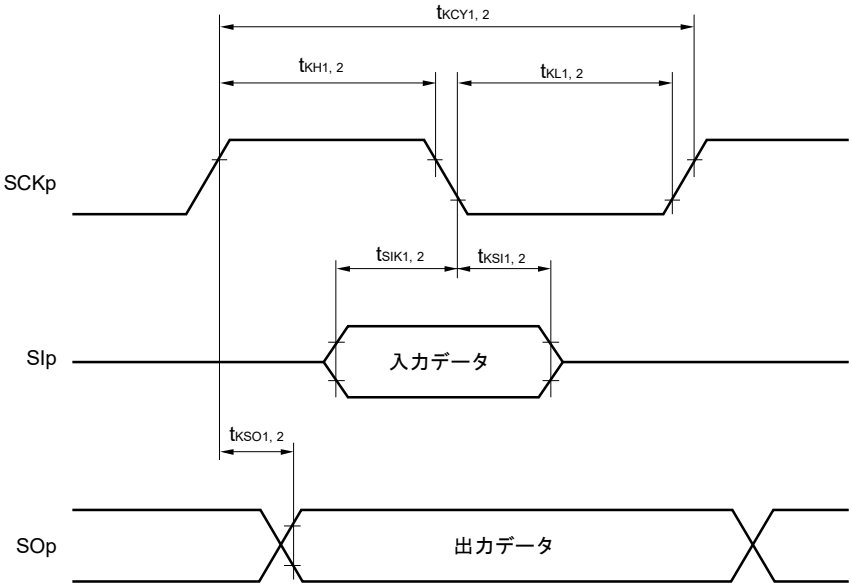
簡易SPI(CSI)モード接続図（同電位通信時）



簡易SPI(CSI)モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI(CSI)モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1.　p：CSI番号（p = 00）
2.　m：ユニット番号，n：チャネル番号（mn = 00）

（4）異電位（2.5 V系，3 V系）通信時（UARTモード）（1/2）

（T_A = －40～＋105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	
転送レート		受信	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		f_{MCK}/6[注1]		f_{MCK}/6[注1]	bps
			最大転送レート理論値 f_{MCK} = f_{CLK}[注2]		5.3		1.3	Mbps
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V		f_{MCK}/6[注1]		f_{MCK}/6[注1]	bps
			最大転送レート理論値 f_{MCK} = f_{CLK}[注2]		5.3		1.3	Mbps

注 1. SNOOZEモードでの転送レートは，4800 bpsのみとなります。

2. CPU／周辺ハードウエア・クロック（f_{CLK}）の動作周波数を次に示します。

HS（高速メイン）モード　　：32 MHz（2.7 V≦V_{DD}≦5.5 V）

LS（低速メイン）モード　　：8 MHz（2.7 V≦V_{DD}≦5.5 V），T_A = -40 ~ + 85 ℃

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1. V_b [V]：通信ライン電圧

2. q：UART番号（q = 0, 1），g：PIM, POM番号（g = 0, 1）

3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03））

（4）異電位（2.5 V系，3 V系）通信時（UARTモード）（2/2）

（T_A = －40～＋105 ℃[注5]，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	
転送レート		送信	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		**注1**		**注1**	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 1.4 kΩ, V_b = 2.7 V		2.8[注2]		2.8[注2]	Mbps
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V		**注3**		**注3**	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 2.7 kΩ, V_b = 2.3 V		1.2[注4]		1.2[注4]	Mbps

注1. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

2. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

4. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

5. LS（低速メイン）モードの動作条件は，T_A = -40 ~ + 85 ℃となります。

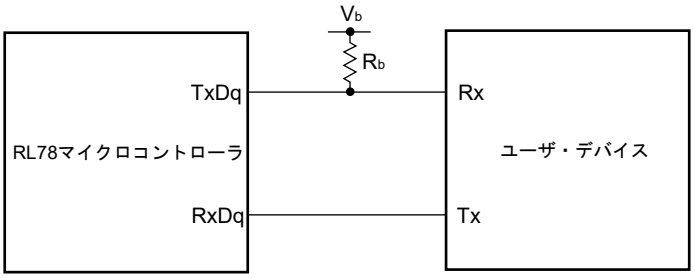
注意　**ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。**

備考1. R_b [Ω]：通信ライン（TxDq）プルアップ抵抗値，C_b [F]：通信ライン（TxDq）負荷容量値，V_b [V]：通信ライン電圧

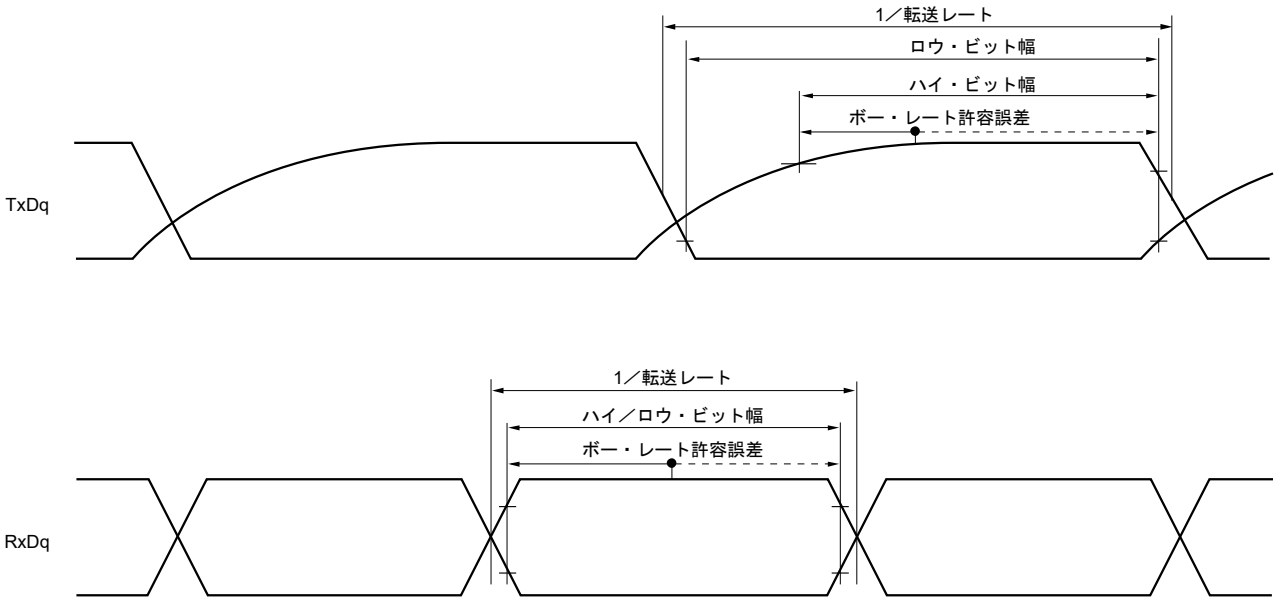
2. q：UART番号（q = 0, 1），g：PIM, POM番号（g = 0, 1）

3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03））

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（VDD耐圧）モードを選択します。

備考1.　Rb [Ω]：通信ライン（TxDq）プルアップ抵抗値，Vb [V]：通信ライン電圧

2.　q：UART番号（q = 0, 1），g：PIM, POM番号（g = 0, 1）

（5）異電位（2.5 V系，3 V系）通信時（簡易SPI(CSI)モード）（マスタ・モード，SCKp…内部クロック出力）

（T_A = －40～＋105 ℃[注3]，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略号	条　件		HS（高速メイン）モード MIN.	HS（高速メイン）モード MAX.	LS（低速メイン）モード MIN.	LS（低速メイン）モード MAX.	単　位
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧2/f_{CLK}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	200		1150		ns
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	300		1150		ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－50		t_{KCY1}/2－75		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－120		t_{KCY1}/2－170		ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－7		t_{KCY1}/2－50		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－10		t_{KCY1}/2－50		ns
SIpセットアップ時間（対SCKp↑）[注1]	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		81		479		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		177		479		ns
SIpホールド時間（対SCKp↑）[注1]	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		10		19		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		10		19		ns
SCKp↓→Sop出力遅延時間[注1]	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			60		100	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			130		195	ns
SIpセットアップ時間（対SCKp↓）[注2]	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		44		110		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		44		110		ns
SIpホールド時間（対SCKp↓）[注2]	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		10		19		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		10		19		ns
SCKp↑→Sop出力遅延時間[注2]	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			10		25	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			10		25	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3.　LS（低速メイン）モードの動作条件は，T_A = -40 ~ + 85 ℃となります。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SCKp, SOp）負荷容量値，V_b [V]：通信ライン電圧

2. p：CSI番号（p = 00），m：ユニット番号（m = 0），
n：チャネル番号（n = 0），g：PIM, POM番号（g = 1）

（6）異電位（2.5 V系，3 V系）通信時（簡易SPI(CSI)モード）（マスタ・モード，SCKp…内部クロック出力）

（T_A = －40～＋105 ℃[注3]，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略号	条　件		HS（高速メイン）モード		LS（低速メイン）モード		単　位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	300		1150		ns
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	500		1150		ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－75		t_{KCY1}/2－75		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－170		t_{KCY1}/2－170		ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－12		t_{KCY1}/2－50		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－18		t_{KCY1}/2－50		ns
SIpセットアップ時間（対SCKp↑）[注1]	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		81		479		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		177		479		ns
SIpホールド時間（対SCKp↑）[注1]	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		19		19		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		19		19		ns
SCKp↓→Sop出力遅延時間[注1]	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			100		100	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			195		195	ns
SIpセットアップ時間（対SCKp↓）[注2]	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		44		110		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		44		110		ns
SIpホールド時間（対SCKp↓）[注2]	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		19		19		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		19		19		ns
SCKp↑→Sop出力遅延時間[注2]	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			25		25	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			25		25	ns

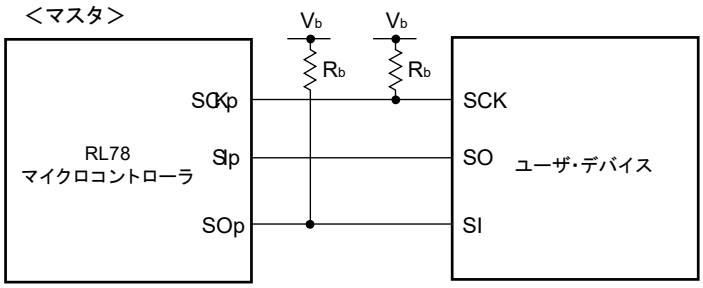
注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3.　LS（低速メイン）モードの動作条件は，T_A = -40 ~ + 85 ℃となります。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI(CSI)モード接続図（異電位通信時）

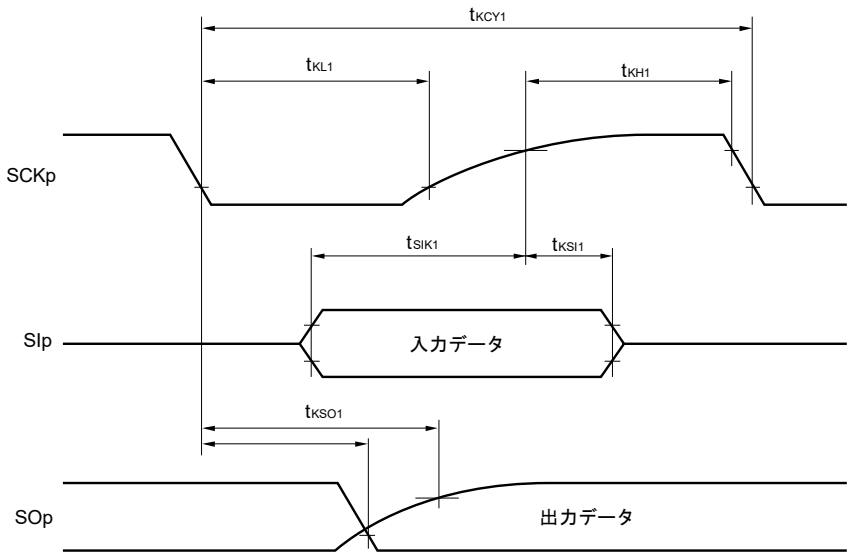


備考1.　R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SCKp, SOp）負荷容量値，V_b [V]：通信ライン電圧

2.　p：CSI番号（p = 00），m：ユニット番号（m = 0），
n：チャネル番号（n = 0），g：PIM, POM番号（g = 1）

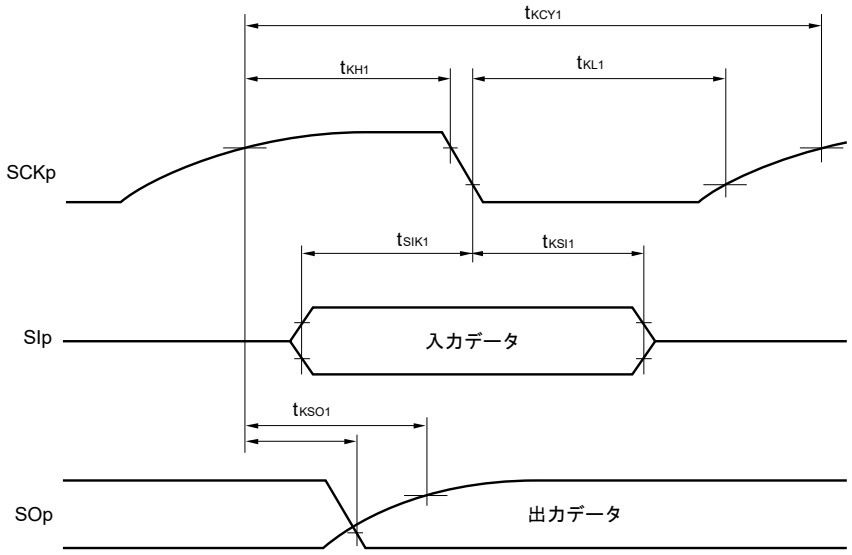
簡易SPI(CSI)モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI(CSI)モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（VDD耐圧）モードを選択します。

備考　p：CSI番号（p = 00），m：ユニット番号（m = 0），

n：チャネル番号（n = 0），g：PIM, POM番号（g = 1）

（7）DALI/UART4モード

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート				f_{MCK}/12		f_{MCK}/12	bps
		最大転送レート理論値 HS：f_{CLK} = 32 MHz, f_{MCK} = f_{CLK} LS：f_{CLK} = 8 MHz, f_{MCK} = f_{CLK}		2.6		0.6	Mbps

備考　f_{MCK}：DALI-UARTの動作クロック周波数。

（シリアル・クロック選択レジスタ4（SPS4）で設定する動作クロック。）

注意　LS（低速メイン）モードの動作条件は，T_A = -40 ~ + 85 ℃となります。

32. 5. 2　シリアル・インタフェースIICA

（1）I²C 標準モード

（T_A = －40～＋105 ℃[注3]，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	標準モード：f_{CLK}≧1 MHz	0	100	0	100	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$		4.7		4.7		μs
ホールド時間[注1]	$t_{HD:STA}$		4.0		4.0		μs
SCLA0 = "L"のホールド・タイム	t_{LOW}		4.7		4.7		μs
SCLA0 = "H"のホールド・タイム	t_{HIGH}		4.0		4.0		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250		250		ns
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$		0	3.45	0	3.45	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		4.0		μs
バス・フリー時間	t_{BUF}		4.7		4.7		μs

注 1.　スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

2.　$t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

3.　LS（低速メイン）モードの動作条件は，T_A = -40 ~ + 85 ℃となります。

備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は次のとおりです。

標準モード　：C_b = 400 pF, Rb = 2.7 kΩ

（2）I²C ファースト・モード

（T_A = －40～＋105 ℃[注3]，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		LS（低速メイン）モード		単　位
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード：f_{CLK}≧3.5 MHz	0	400	0	400	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$		0.6		0.6		μs
ホールド時間[注1]	$t_{HD:STA}$		0.6		0.6		μs
SCLA0 = "L"のホールド・タイム	t_{LOW}		1.3		1.3		μs
SCLA0 = "H"のホールド・タイム	t_{HIGH}		0.6		0.6		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		100		100		ns
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$		0	0.9	0	0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		0.6		0.6		μs
バス・フリー時間	t_{BUF}		1.3		1.3		μs

注 1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

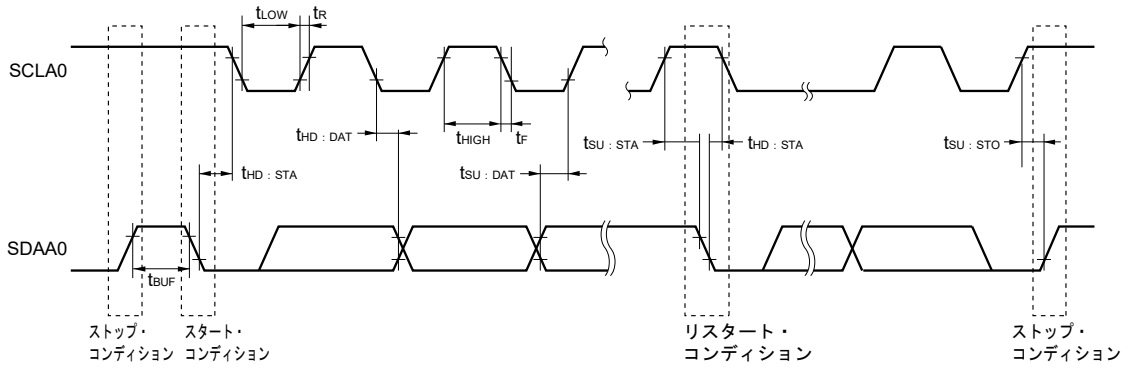
2. $t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

3. LS（低速メイン）モードの動作条件は，T_A = -40 ~ + 85 ℃となります。

備考 各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は次のとおりです。

ファースト・モード　　：C_b = 320 pF, Rb = 1.1 kΩ

IICAシリアル転送タイミング



32. 6　アナログ特性

32. 6. 1　A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 ＼ 入力チャネル	基準電圧（＋） = AV_{REFP} 基準電圧（－） = AV_{REFM}	基準電圧（＋） = V_{DD} 基準電圧（－） = V_{SS}	基準電圧（＋） = V_{BGR} 基準電圧（－） = AV_{REFM}
ANI0-ANI2, ANI4-ANI7	32. 6. 1（1）参照	32. 6. 1（3）参照	32. 6. 1（4）参照
ANI16-ANI19	32. 6. 1（2）参照		
内部基準電圧 温度センサ出力電圧	32. 6. 1（1）参照		–

（1）基準電圧（＋） = AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（－） = AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI2, ANI4-ANI7，内部基準電圧，温度センサ出力電圧

（T_A = －40～＋105 ℃，2.7 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = 0 V，基準電圧（＋）= AV_{REFP}，基準電圧（－）= AV_{REFM} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差[注1]	AINL	10ビット分解能 AV_{REFP} = V_{DD}[注3]			1.2	±3.5	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象： ANI2, ANI4-ANI7	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
		10ビット分解能 変換対象： 内部基準電圧 温度センサ出力電圧 （HS（高速メイン）モード）	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.5625		39	μs
ゼロスケール誤差[注1, 2]	E_{ZS}	10ビット分解能 AV_{REFP} = V_{DD}[注3]				±0.25	%FSR
フルスケール誤差[注1, 2]	E_{FS}	10ビット分解能 AV_{REFP} = V_{DD}[注3]				±0.25	%FSR
積分直線性誤差[注1]	ILE	10ビット分解能 AV_{REFP} = V_{DD}[注3]				±2.5	LSB
微分直線性誤差[注1]	DLE	10ビット分解能 AV_{REFP} = V_{DD}[注3]				±1.5	LSB
アナログ入力電圧	V_{AIN}	ANI2, ANI4-ANI7		0		AV_{REFP}	V
		内部基準電圧 (HS（高速メイン）モード)		V_{BGR}[注4]			V
		温度センサ出力電圧 (HS（高速メイン）モード)		V_{TMPS25}[注4]			V

注1.　量子化誤差（±1/2 LSB）を含みません。

2.　フルスケール値に対する比率（%FSR）で表します。

3.　AV_{REFP} ＜ V_{DD}の場合，MAX.値は次のようになります。

総合誤差　：AV_{REFP} = V_{DD}のMAX.値に±1.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差　：AV_{REFP} = V_{DD}のMAX.値に±0.05 %FSRを加算してください

積分直線性誤差／微分直線性誤差　：AV_{REFP} = V_{DD}のMAX.値に±0.5 LSBを加算してください

4.　32. 6. 2 温度センサ／内部基準電圧特性を参照してください。

（2）基準電圧（＋）　= AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（－）　= AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI16-ANI19

（T_A = －40～＋105 ℃，2.7 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = 0 V，基準電圧（＋）= AV_{REFP}，基準電圧（－）= AV_{REFM} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AV_{REFP} = V_{DD}注3			1.2	±5.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象：ANI16-ANI19	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
ゼロスケール誤差注1, 2	E_{ZS}	10ビット分解能 AV_{REFP} = V_{DD}注3				±0.35	%FSR
フルスケール誤差注1, 2	E_{FS}	10ビット分解能 AV_{REFP} = V_{DD}注3				±0.35	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AV_{REFP} = V_{DD}注3				±3.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 AV_{REFP} = V_{DD}注3				±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI16-ANI19		0		AV_{REFP} かつV_{DD}	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. AV_{REFP} ＜ V_{DD}の場合，MAX.値は次のようになります。

総合誤差　：AV_{REFP} = V_{DD}のMAX.値に±4.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差　：AV_{REFP} = V_{DD}のMAX.値に±0.2 %FSRを加算してください

積分直線性誤差／微分直線性誤差　：AV_{REFP} = V_{DD}のMAX.値に±2.0 LSBを加算してください

（3）基準電圧（＋） = V_{DD}（ADREFP1 = 0, ADREFP0 = 0），基準電圧（－） = V_{SS}（ADREFM = 0）選択時，変換対象：ANI0-ANI2, ANI4-ANI7, ANI16-ANI19，内部基準電圧，温度センサ出力電圧

（T_A = －40～＋105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V，基準電圧（＋）= V_{DD}，基準電圧（－）= V_{SS}）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能			1.2	±7.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象：ANI0-ANI2, ANI4-ANI7, ANI16-ANI19	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
		10ビット分解能 変換対象： 内部基準電圧、 温度センサ出力電圧 （HS（高速メイン）モード）	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.5625		39	μs
ゼロスケール誤差注1, 2	E_{ZS}	10ビット分解能				±0.60	%FSR
フルスケール誤差注1, 2	E_{FS}	10ビット分解能				±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能				±4.0	LSB
微分直線性誤差注1	DLE	10ビット分解能				±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI2, ANI4-ANI7		0		V_{DD}	V
		ANI16-ANI19		0		V_{DD}	V
		内部基準電圧 （HS（高速メイン）モード）		V_{BGR}注3			V
		温度センサ出力電圧 （HS（高速メイン）モード）		V_{TMPS25}注3			V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. 32. 6. 2 温度センサ／内部基準電圧特性を参照してください。

（4）基準電圧（＋） = 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0），基準電圧（－） = AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI0, ANI2, ANI4-ANI7, ANI16-ANI19

（T_A = －40～＋105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V，基準電圧（＋）= V_{BGR}注3,
基準電圧（－）= AV_{REFM}注4 = 0 V, HS（高速メイン）モード）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
分解能	RES			8		bit
変換時間	t_{CONV}	8ビット分解能	17		39	μs
ゼロスケール誤差注1, 2	E_{ZS}	8ビット分解能			±0.60	%FSR
積分直線性誤差注1	ILE	8ビット分解能			±2.0	LSB
微分直線性誤差注1	DLE	8ビット分解能			±1.0	LSB
アナログ入力電圧	V_{AIN}		0		V_{BGR}注3	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. 32. 6. 2 温度センサ／内部基準電圧特性を参照してください。

4. 基準電圧（－） = V_{SS}の場合，MAX.値は次のようになります。

ゼロスケール誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.35 %FSRを加算してください

積分直線性誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.5 LSBを加算してください

微分直線性誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.2 LSBを加算してください

32. 6. 2　温度センサ／内部基準電圧特性

（T_A = －40～ +105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V, HS（高速メイン）モード）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
温度センサ出力電圧	V_{TMPS25}	ADSレジスタ = 80H設定，T_A = +25℃		1.05		V
内部基準電圧	V_{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMPS}	温度センサ電圧の温度依存		–3.6		mV/℃
動作安定待ち時間	t_{AMP}		5			μs

32. 6. 3　プログラマブル・ゲイン・アンプ

（T_A = －40～ +105 ℃，2.7 V ≦ AV_{REFP} = V_{DD} ≦5.5 V, V_{SS} = AV_{REFM} = 0 V ）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
入力オフセット電圧	V_{IOPGA}					±5	±10	mV
入力電圧範囲	V_{IPGA}				0		0.9V_{DD}/増幅率	V
増幅率誤差[注1]		4倍，8倍					±1	%
		16倍					±1.5	%
		32倍					±2	%
スルー・レート[注1]	SR_{RPGA}	立ち上がり	4.0 V≦V_{DD}≦5.5 V	4, 8倍	4			V/μs
				16, 32倍	1.4			V/μs
			2.7 V≦V_{DD}＜4.0 V	4, 8倍	1.8			V/μs
				16, 32倍	0.5			V/μs
	SR_{FPGA}	立ち下がり	4.0 V≦V_{DD}≦5.5 V	4, 8倍	3.2			V/μs
				16, 32倍	1.4			V/μs
			2.7 V≦V_{DD}＜4.0 V	4, 8倍	1.2			V/μs
				16, 32倍	0.5			V/μs
動作安定待ち時間[注2]	t_{PGA}	4, 8倍			5			μs
		16, 32倍			10			μs

注1. V_{IPGA} = 0.1V_{DD}/増幅率～0.9V_{DD}/増幅率のとき

2. PGAの動作を許可（PGAEN = 1）してから，PGA動作のDC特性およびAC特性を満足できる状態になるまでの時間です。

備考　CVRVS1ビットでPGAのGNDをAV_{REFM}に選択した場合の特性です。

32. 6. 4　コンパレータ

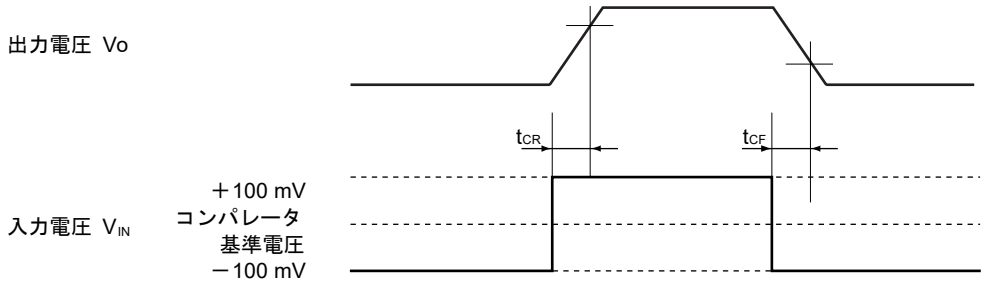
（T_A = －40～ +105 ℃，2.7 V ≦ AV_{REFP} = V_{DD} ≦5.5 V, V_{SS} = AV_{REFM} = 0 V ）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力オフセット電圧	V_{IOCMP}			±5	±40	mV
入力電圧範囲	V_{ICMP}	CMP0P-CMP5P	0		V_{DD}	V
		CMPCOM	0.045		0.9 V_{DD}	V
内蔵基準電圧偏差	⊿V_{IREF}	CmRVMレジスタ値：7FH-80H（m = 0-2）			±2	LSB
		上記以外			±1	LSB
応答時間	t_{CR}, t_{CF}	入力振幅±100 mV		70	150	ns
動作安定待ち時間[注1]	t_{CMP}	3.3 V≦V_{DD}≦5.5 V	1			μs
		2.7 V≦V_{DD}＜3.3 V	3			μs
基準電圧安定待ち時間	t_{VR}	CVRE：0→1 [注2]	10			μs

注1. コンパレータの動作許可（CMPnENビット = 1：n = 0-5）から，コンパレータがDC/AC特性を満足できる状態になるまでの時間です。

2. 内蔵基準電圧生成を動作許可（CVREmビット = 1：m = 0-2）し，動作安定待ち時間をウエイトしてから，コンパレータ出力を許可（CnOEビット = 1：n = 0-5）してください。

備考　CVRVS0ビットで内部基準電圧の電源をAV_{REFP}，CVRVS1ビットで内部基準電圧のGNDをAV_{REFM}に選択した場合の特性です。

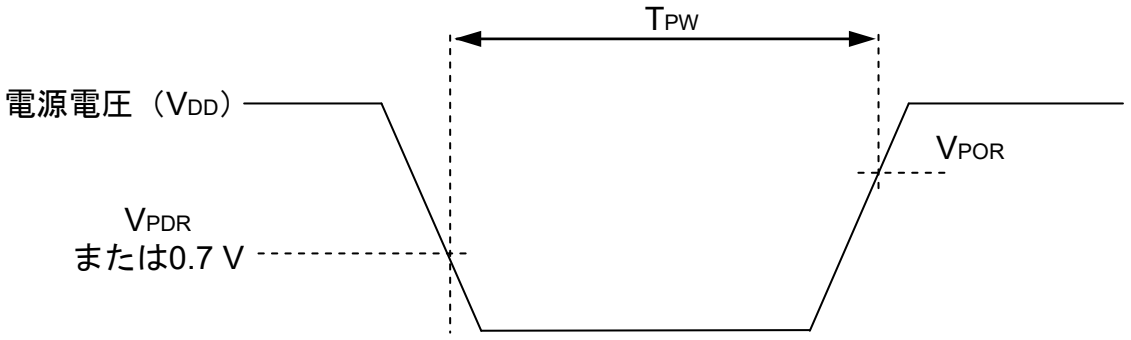


32. 6. 5　POR回路特性

（TA = －40～＋105 ℃，VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	VPOR	電源立ち上がり時	1.45	1.51	1.57	V
	VPDR	電源立ち下がり時	1.44	1.50	1.56	V
最小パルス幅注	TPW		300			μs

注　VDDがVPDRを下回った場合に，PORによるリセット動作に必要な時間です。またSTOPモードに移行時および，クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）とビット7（MSTOP）の設定によりメイン・システム・クロック（fMAIN）を停止時は，VDDが0.7 Vを下回ってから，VPORを上回るまでのPORによるリセット動作に必要な時間です。



32. 6. 6　LVD回路特性

リセット・モード，割り込みモードのLVD検出電圧

（TA = －40～＋105 ℃，VPDR≦VDD≦5.5 V，VSS = 0 V）

項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.97	4.06	4.14	V
			電源立ち下がり時	3.89	3.98	4.06	V
		VLVD1	電源立ち上がり時	3.67	3.75	3.82	V
			電源立ち下がり時	3.59	3.67	3.74	V
		VLVD2	電源立ち上がり時	3.06	3.13	3.19	V
			電源立ち下がり時	2.99	3.06	3.12	V
		VLVD3	電源立ち上がり時	2.95	3.02	3.08	V
			電源立ち下がり時	2.89	2.96	3.02	V
		VLVD4	電源立ち上がり時	2.85	2.92	2.97	V
			電源立ち下がり時	2.79	2.86	2.91	V
		VLVD5	電源立ち上がり時	2.75	2.81	2.87	V
			電源立ち下がり時	2.70	2.75	2.81	V
最小パルス幅		tLW		300			μs
検出遅延						300	μs

割り込み＆リセット・モードのLVD検出電圧

（T_A = －40～＋105 ℃，V_{PDR}≦V_{DD}≦5.5 V，V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
割り込み＆リセット・モード	V_{LVD0}	V_{POC2}, V_{POC1}, V_{POC0} = 0, 1, 1，立ち下がりリセット電圧			2.70	2.75	2.81	V
	V_{LVD1}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.85	2.92	2.97	V
				立ち下がり割り込み電圧	2.79	2.86	2.91	V
	V_{LVD2}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.95	3.02	3.08	V
				立ち下がり割り込み電圧	2.89	2.96	3.02	V
	V_{LVD3}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.97	4.06	4.14	V
				立ち下がり割り込み電圧	3.89	3.98	4.06	V

32. 6. 7　電源電圧立ち上がり傾き特性

（T_A = －40～＋105 ℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
電源電圧立ち上がり	SV_{DD}				54	V/ms

注意　V_{DD}が32. 4　AC特性に示す動作電圧範囲内に達するまで，LVD回路か外部リセットで内部リセット状態を保ってください。

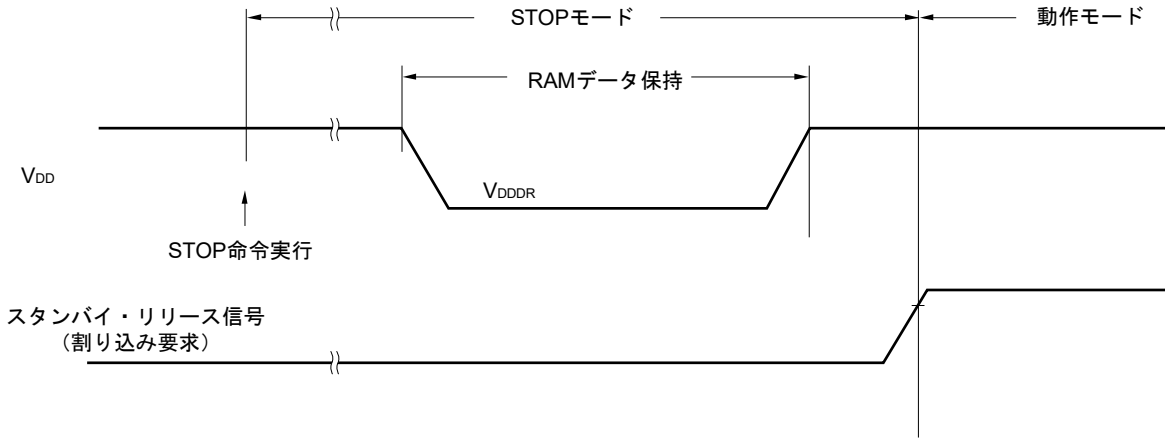
32. 7　RAMデータ保持特性

（T_A = －40～+105 ℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
データ保持電源電圧	V_{DDDR}		1.44注		5.5	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではRAMのデータを保持しますが，PORリセットがかかった場合のRAMのデータは保持されません。

注意　動作電圧範囲外でCPU動作した場合，RAMのデータは保持されません。そのため，動作電圧範囲を下回る前に，STOPモードに移行してください。



32. 8　フラッシュ・メモリ・プログラミング特性

（T_A = －40～+105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
システム・クロック周波数	f_{CLK}	2.7 V≦V_{DD}≦5.5 V	1		32	MHz
コード・フラッシュの書き換え回数注1, 2, 3	C_{erwr}	保持年数：20年，T_A= 85 ℃注3	1,000			回
データ・フラッシュの書き換え回数注1, 2, 3		保持年数：1年，T_A= 25 ℃注3		1,000,000		
		保持年数：5年，T_A= 85 ℃注3	100,000			
		保持年数：20年，T_A= 85 ℃注3	10,000			

注1.　消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は，1度書き換えた後，次に書き換えを行うまでの期間とする。

2.　フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

3.　この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

32. 9　専用フラッシュ・メモリ・プログラマ通信（UART）

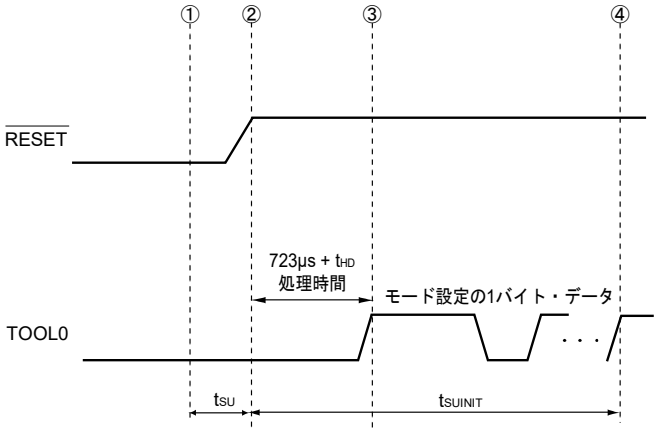
（T_A = －40～+105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

32. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング

（T_A = －40～＋105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
リセット解除から，T00L0端子をロウ・レベルにホールドする時間（ソフト処理時間を除く）	t_{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU}　：TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

t_{HD}　：外部／内部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（ソフト処理時間を除く）

第33章　電気的特性（M：産業用途，T_A = －40～＋125℃対応品）

この章では，以下の対象製品の電気的特性を示します。

対象製品 M：産業用途 TA = －40～＋125℃

R5F107xxMxx

注意1.　RL78/I1Aには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2.　製品により搭載している端子が異なります。2. 1　ポート機能 ～2. 2. 1　製品別の搭載機能を参照してください。

3.　本製品を105℃以下でご使用される場合は、第32章　電気的特性（TA = –40~ +105℃対応品）の特性をご参照ください。

33. 1　絶対最大定格

絶対最大定格（T_A = 25 ℃）（1/2）

項　目	略　号	条　件	定　格	単　位
電源電圧	V_{DD}		－0.5～＋6.5	V
REGC端子入力電圧	V_{IREGC}	REGC	－0.3～＋2.8 かつ－0.3～V_{DD}＋0.3[注1]	V
入力電圧	V_{I1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120-P124, P137, P147, P200-P206, EXCLK, EXCLKS, $\overline{\text{RESET}}$	－0.3～V_{DD}＋0.3[注2]	V
出力電圧	V_{O1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120, P147, P200-P206	－0.3～V_{DD}＋0.3[注2]	V
アナログ入力電圧	V_{AI1}	ANI0-ANI2, ANI4-ANI7, ANI16-ANI19	－0.3～V_{DD}＋0.3 かつ－0.3～$AV_{REF(+)}$＋0.3[注2, 3]	V

注1. REGC端子にはコンデンサ（0.47～1 μF）を介してV_{SS}に接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V以下であること。

3. A/D変換対象の端子は，$AV_{REF(+)}$＋0.3を越えないでください。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考 1. 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

2. $AV_{REF(+)}$：A/Dコンバータの＋側基準電圧

3. Vssを基準電位とする

絶対最大定格（T_A = 25 ℃）（2/2）

項　目	略　号	条　件		定　格	単　位
ハイ・レベル出力電流	I_{OH1}	1端子	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	－40	mA
		端子合計 －170 mA	P02, P03, P40, P120	－70	mA
			P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206	－100	mA
	I_{OH2}	1端子	P20-P22, P24-P27	－0.5	mA
		端子合計		－2	mA
ロウ・レベル出力電流	I_{OL1}	1端子	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	40	mA
		端子合計 170 mA	P02, P03, P40, P120	70	mA
			P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206	100	mA
	I_{OL2}	1端子	P20-P22, P24-P27	1	mA
		端子合計		5	mA
動作周囲温度	T_A	通常動作時		－40～＋125	℃
		フラッシュ・メモリ・プログラミング時		－40～＋105	
保存温度	T_{stg}			－65～＋150	℃

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

33. 2　発振回路特性

33. 2. 1　X1, XT1発振回路特性

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　　目	発振子	条　　件	MIN.	TYP.	MAX.	単位
X1クロック周波数（f_X）注	セラミック発振子／水晶振動子		1.0		20.0	MHz
XT1クロック周波数（f_{XT}）注	水晶振動子		32	32.768	35	kHz

注　発振回路の周波数許容範囲のみを示すものです。命令実行時間は，AC特性を参照してください。
また，実装回路上での評価を発振子メーカに依頼し，発振特性を確認してご使用ください。

注意　リセット解除後は，高速オンチップ・オシレータ・クロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

備考　X1, XT1発振回路を使用する場合は、5. 4　システム・クロック発振回路を参照してください。

33. 2. 2　オンチップ・オシレータ特性

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータクロック周波数注1	f_{IH}		1		32	MHz
高速オンチップ・オシレータクロック周波数精度注2		T_A = －20～＋85 ℃	－1		＋1	%
		T_A = －40～＋105 ℃	－1.5		＋1.5	%
		T_A = －40～＋125 ℃ 16 MHz選択時	－2		＋2	%
低速オンチップ・オシレータクロック周波数	f_{IL}			15		kHz
低速オンチップ・オシレータクロック周波数精度			－15		＋15	%

注1.　高速オンチップ・オシレータで選択できる周波数です。オプション･バイト（000C2H/010C2H）のビット0-3によって選択します。

2.　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

備考　T_A = 105℃を超えるご使用の場合，クロック周波数は16 MHzまでの設定となります。

33. 2. 3　周波数逓倍回路（PLL）特性

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
PLL入力クロック周波数注	f_{PLLIN}	高速システム・クロック選択時（f_{MX} = 4 MHz）	3.92	4.00	4.08	MHz
		高速オンチップ・オシレータ・クロック選択時（f_{IH} = 4 MHz）	3.92	4.00	4.08	MHz
PLL出力クロック周波数注	f_{PLL}		f_{PLLIN} × 16			MHz

注　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

備考　T_A = 105℃を超えるご使用の場合，CPUの動作設定は16 MHz（f_{PLL} × 1/4）のみの設定となります。

33. 3　DC特性

33. 3. 1　端子特性

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電流[注1]	I_{OH1}	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206 1端子	4.0 V≦V_{DD}≦5.5 V			－3.0[注2]	mA
			2.7 V≦V_{DD}＜4.0 V			－1.0	mA
		P02, P03, P40, P120 合計（デューティ ≦ 70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			－9.0	mA
			2.7 V≦V_{DD}＜4.0 V			－3.0	mA
		P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206 合計（デューティ ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			－21.0	mA
			2.7 V≦V_{DD}＜4.0 V			－6.0	mA
		全端子合計（デューティ ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			－21.0	mA
			2.7 V≦V_{DD}＜4.0 V			－9.0	mA
	I_{OH2}	P20-P22, P24-P27 1端子	2.7 V≦V_{DD}≦5.5 V			－0.1[注2]	mA
		全端子合計（デューティ ≦70 %時[注3]）	2.7 V≦V_{DD}≦5.5 V			－0.4	mA

注1. V_{DD}端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

2. ただし，合計の電流値を超えないでください。

3. デューティ ≦ 70 %の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OH}×0.7）／（n×0.01）

＜計算例＞ I_{OH} = －10.0 mAの場合，n = 80 %

端子合計の出力電流 =（－10.0×0.7）／（80×0.01）≒ －8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

注意　P02, P10-P12は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ロウ・レベル出力電流[注1]	I_{OL1}	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206 1端子	4.0 V≦V_{DD}≦5.5 V			8.5[注2]	mA
			2.7 V≦V_{DD}＜4.0 V			1.5[注2]	mA
		P02, P03, P40, P120 合計（デューティ ≦ 70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			20.0	mA
			2.7 V≦V_{DD}＜4.0 V			5.0	mA
		P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206 合計（デューティ ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			20.0	mA
			2.7 V≦V_{DD}＜4.0 V			10.0	mA
		全端子合計（デューティ ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			40.0	mA
			2.7 V≦V_{DD}＜4.0 V			15.0	mA
	I_{OL2}	P20-P22, P24-P27 1端子	2.7 V≦V_{DD}≦5.5 V			0.4[注2]	mA
		全端子合計（デューティ ≦70 %時[注3]）	2.7 V≦V_{DD}≦5.5 V			1.6	mA

注1. 出力端子からV_{SS}端子に流れ込んでも，デバイスの動作を保証する電流値です。

2. ただし，合計の電流値を超えないでください。

3. デューティ ≦ 70 %の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OL}×0.7）／（n×0.01）

＜計算例＞ I_{OL} = －10.0 mAの場合，n = 80 %

端子合計の出力電流 = （－10.0×0.7）／（80×0.01）≒ －8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120-P124, P137, P147, P200-P206, EXCLK, EXCLKS, $\overline{\text{RESET}}$	通常入力バッファ	0.8V_{DD}		V_{DD}	V
	V_{IH2}	P03, P10, P11,	TTL入力バッファ 4.0 V≦V_{DD}≦5.5 V	2.1		V_{DD}	V
			TTL入力バッファ 3.3 V≦V_{DD}＜4.0 V	2.0		V_{DD}	V
			TTL入力バッファ 2.7 V≦V_{DD}＜3.3 V	1.5		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120-P124, P137, P147, P200-P206, EXCLK, EXCLKS, $\overline{\text{RESET}}$	通常入力バッファ	0		0.2V_{DD}	V
	V_{IL2}	P03, P10, P11,	TTL入力バッファ 4.0 V≦V_{DD}≦5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V≦V_{DD}＜4.0 V	0		0.5	V
			TTL入力バッファ 2.7 V≦V_{DD}＜3.3 V	0		0.32	V

注意　P02, P10-P12は，N-chオープン・ドレイン・モード時でもV_{IH}の最大値（MAX.）はV_{DD}です。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電圧	V_{OH1}	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	4.0 V≦V_{DD}≦5.5 V, I_{OH1} = －3.0 mA	V_{DD}－0.7			V
			2.7 V≦V_{DD}≦5.5 V, I_{OH1} = －1.0 mA	V_{DD}－0.5			V
	V_{OH2}	P20-P22, P24-P27	2.7 V≦V_{DD}≦5.5 V, I_{OH2} = －100 μA	V_{DD}－0.5			V
ロウ・レベル出力電圧	V_{OL1}	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 4.0 mA			0.4	V
			2.7 V≦V_{DD}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
	V_{OL2}	P20-P22, P24-P27	2.7 V≦V_{DD}≦5.5 V, I_{OL2} = 400 μA			0.4	V

注意　P02, P10-P12は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
ハイ・レベル入力リーク電流	I_{LIH1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120, P137, P147, P200-P206, $\overline{\text{RESET}}$	V_I = V_{DD}				1	μA
	I_{LIH2}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{DD}	入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120, P137, P147, P200-P206, $\overline{\text{RESET}}$	V_I = V_{SS}				－1	μA
	I_{LIL2}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{SS}	入力ポート時，外部クロック入力時			－1	μA
				発振子接続時			－10	μA
内蔵プルアップ抵抗	R_U	P02, P03, P05, P06, P10-P12, , P30, P31, P40, P75-P77, P120, P147, P200-P206	V_I = V_{SS}，入力ポート時		10	20	100	kΩ

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

33. 3. 2　電源電流特性

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　　（1/2）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	HS（高速メイン）モード[注5]	f_{IH} = 16 MHz[注3]	V_{DD} = 5.0 V		2.9	4.8	mA
					V_{DD} = 3.0 V		2.9	4.8	
			HS（高速メイン）モード[注5]	f_{MX} = 20 MHz[注2], V_{DD} = 5.0 V	方形波入力		3.2	5.6	mA
					発振子接続		3.3	5.7	
				f_{MX} = 20 MHz[注2], V_{DD} = 3.0 V	方形波入力		3.2	5.6	mA
					発振子接続		3.3	5.7	
				f_{MX} = 10 MHz[注2], V_{DD} = 5.0 V	方形波入力		2.0	3.3	mA
					発振子接続		2.0	3.3	
				f_{MX} = 10 MHz[注2], V_{DD} = 3.0 V	方形波入力		2.0	3.3	mA
					発振子接続		2.0	3.3	
			HS（高速メイン）モード[注5]	f_{IH} = 4 MHz[注3], f_{PLL} = 64 MHz，f_{CLK} = 16 MHz	V_{DD} = 5.0 V		3.3	6.5	mA
					V_{DD} = 3.0 V		3.3	6.5	
			サブ・システム・クロック動作	f_{SUB} = 32.768 kHz[注4] T_A = －40℃	方形波入力		4.2	6.0	μA
					発振子接続		4.4	6.2	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋25℃	方形波入力		4.2	6.0	μA
					発振子接続		4.4	6.2	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋50℃	方形波入力		4.3	7.2	μA
					発振子接続		4.5	7.4	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋70℃	方形波入力		4.4	8.1	μA
					発振子接続		4.6	8.3	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋85℃	方形波入力		5.2	11.4	μA
					発振子接続		5.4	11.6	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋105℃	方形波入力		6.9	20.8	μA
					発振子接続		7.1	21.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋125℃	方形波入力		11.1	51.2	μA
					発振子接続		11.3	51.4	

（注，備考は次ページにあります。）

★　**注1.** V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。
HS（高速メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，A/Dコンバータ，コンパレータ，プログラマブル・ゲイン・アンプ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし，HALTモード時はRTCに流れる電流を含みます。

2. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

3. 高速システム・クロック，サブシステム・クロックは停止時。

★　**4.** 高速オンチップ・オシレータ，高速システム・クロックは停止時。

5. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～20 MHz

備考1. f_{MX}　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

3. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）

4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は，T_A = 25 ℃です。

★ （T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　　（2/2）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD2}[注2]	HALT モード	HS 高速メイン）モード[注6]	f_{IH} = 16 MHz[注4]	V_{DD} = 5.0 V		0.50	2.0	mA
					V_{DD} = 3.0 V		0.50	2.0	
			HS（高速メイン）モード[注6]	f_{MX} = 20 MHz[注3], V_{DD} = 5.0 V	方形波入力		0.40	2.2	mA
					発振子接続		0.50	2.3	
				f_{MX} = 20 MHz[注3], V_{DD} = 3.0 V	方形波入力		0.40	2.2	mA
					発振子接続		0.50	2.3	
				f_{MX} = 10 MHz[注3], V_{DD} = 5.0 V	方形波入力		0.24	1.22	mA
					発振子接続		0.30	1.28	
				f_{MX} = 10 MHz[注3], V_{DD} = 3.0 V	方形波入力		0.24	1.22	mA
					発振子接続		0.30	1.28	
			HS（高速メイン）モード[注6]	f_{IH} = 4 MHz[注4], f_{PLL} = 64 MHz, f_{CLK} = 16 MHz	V_{DD} = 5.0 V		0.95	3.7	mA
					V_{DD} = 3.0 V		0.95	3.7	
			サブ・クロック動作	f_{SUB} = 32.768 kHz[注5] T_A = －40℃	方形波入力		0.28	0.70	μA
					発振子接続		0.47	0.89	
				f_{SUB} = 32.768 kHz[注5] T_A =＋25℃	方形波入力		0.33	0.70	μA
					発振子接続		0.52	0.89	
				f_{SUB} = 32.768 kHz[注5] T_A = ＋50℃	方形波入力		0.41	1.90	μA
					発振子接続		0.60	2.09	
				f_{SUB} = 32.768 kHz[注5] T_A = ＋70℃	方形波入力		0.54	2.80	μA
					発振子接続		0.73	2.99	
				f_{SUB} = 32.768 kHz[注5] T_A = ＋85℃	方形波入力		1.27	6.10	μA
					発振子接続		1.46	6.29	
				f_{SUB} = 32.768 kHz[注5] T_A = ＋105℃	方形波入力		3.04	15.5	μA
					発振子接続		3.23	15.7	
				f_{SUB} = 32.768 kHz[注5] T_A = ＋125℃	方形波入力		7.20	45.2	μA
					発振子接続		7.53	45.5	
	I_{DD3}	STOP モード[注7]	T_A = －40℃				0.18	0.50	μA
			T_A = ＋25℃				0.23	0.50	
			T_A = ＋50℃				0.27	1.7	
			T_A = ＋70℃				0.44	2.6	
			T_A = ＋85℃				1.17	5.9	
			T_A = ＋105℃				2.94	15.3	
			T_A = ＋125℃				7.14	45.1	

（注，備考は次ページにあります。）

★ **注1.** V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，A/Dコンバータ，コンパレータ，プログラマブル・ゲイン・アンプ，LVD回路，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし，HALTモード時はRTCに流れる電流を含みます。

STOPモード時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

2. フラッシュ・メモリでのHALT命令実行時。

3. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。

4. 高速システム・クロック，サブシステム・クロックは停止時。

★ **5.** 高速オンチップ・オシレータ，高速システム・クロックは停止時。

RTCLPC = 1，かつ超低消費発振（AMPHS1 = 1）設定時。

6. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～20 MHz

7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は，HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. f_{MX}　：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

2. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

3. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）

4. 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（TA = －40～＋125 ℃，2.7 V≦VDD≦5.5 V, VSS = 0 V）

項　目	略号	条　件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL注1				0.20		μA
RTC動作電流	IRTC注1, 2, 3				0.02		μA
12ビット・インターバル・タイマ動作	IIT注1, 2, 4				0.02		μA
ウォッチドッグ・タイマ動作電流	IWDT注1, 2, 5	fIL = 15 kHz			0.22		μA
A/Dコンバータ動作電流	IADC注1,6	最高速変換時	標準モード，AVREFP = VDD = 5.0 V		1.3	1.7	mA
A/Dコンバータ基準電圧電流	IADREF注1				75.0		μA
温度センサ動作電流	ITMPS注1				75.0		μA
LVD動作電流	ILVD注1,7				0.08		μA
セルフ・プログラミング動作電流	IFSP注1, 8				2.50	12.2	mA
プログラマブル・ゲイン・アンプ動作電流	IPGA注9		AVREFP = VDD = 5.0 V		0.21	0.37	mA
			AVREFP = VDD = 3.0 V		0.18	0.35	mA
コンパレータ動作電流	ICMP注10	コンパレータ1 ch動作時	AVREFP = VDD = 5.0 V		41.4	74	μA
			AVREFP = VDD = 3.0 V		37.2	71	μA
	IVREF	内蔵基準電圧回路1回路動作時	AVREFP = VDD = 5.0 V		14.8	31	μA
			AVREFP = VDD = 3.0 V		8.9	24	μA
プログラマブル・ゲイン・アンプ／コンパレータ基準電流源	IIREF注11		AVREFP = VDD = 5.0 V		3.2	6.1	μA
			AVREFP = VDD = 3.0 V		2.9	5.9	μA
BGO動作電流	IBGO注12				2.50	12.2	mA
SNOOZE動作電流	ISNOZ注1	ADC動作	モード遷移中注13		0.50	1.10	mA
			変換動作中，標準モード，AVREFP = VDD = 5.0 V		1.20	2.17	
		簡易SPI(CSI)/UART動作			0.70	1.27	

注1. VDDに流れる電流です

2. 高速オンチップ・オシレータ，高速システム・クロックは停止時。

3. リアルタイム・クロック（RTC）にのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は，IDD1またはIDD2にIRTCを加算した値が，RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。

4. 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は，IDD1またはIDD2にIITを加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はIFILを加算してください。,

5. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は，IDD1，IDD2またはIDD3にIWDTを加算した値が，RL78マイクロコントローラの電流値となります。

注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合，I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が，RL78マイクロコントローラの電流値となります。

7. LVD回路にのみ流れる電流です。LVD回路の動作時は，I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVD}を加算した値が，RL78マイクロコントローラの電流値となります。

8. セルフ・プログラミング動作に流れる電流です。

9. プログラマブル・ゲイン・アンプにのみ流れる電流です。動作モードまたはHALTモード時にプログラマブル・ゲイン・アンプが動作中の場合，I_{DD1}，I_{DD2}またはI_{DD3}にI_{PGA}を加算した値が，RL78マイクロコントローラの電流値となります。

10. コンパレータにのみ流れる電流です。コンパレータの動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{CMP}を加算した値が，RL78の電源電流値となります。

11. プログラマブル・ゲイン・アンプ，コンパレータを使用する際に必要となる電流回路のV_{DD}端子に流れる電流値となります。

12. データ・フラッシュ書き換え動作に流れる電流です。

13. SNOOZEモードへの移行時間は，21. 3. 3　SNOOZEモードを参照してください。

備考1. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）

3. f_{CLK}　：CPU／周辺ハードウエア・クロック周波数

4. TYP.値の温度条件は，T_A = 25 ℃です。

5. プログラマブル・ゲイン・アンプおよびコンパレータ使用時の電流算出例

例1）コンパレータ3 ch＋内蔵基準電圧回路1ch＋PGAを動作させた場合のTYP.動作電流（AV_{REFP} = V_{DD} = 5.0 V時）

I_{CMP}×3＋I_{VREF}×1＋I_{PGA}＋I_{IREF}
= 41.4 [μA]　×3＋14.8 [μA]　×1＋210 [μA]　＋3.2 [μA]
= 352.2 [μA]

例2）コンパレータ2 ch＋内蔵基準電圧回路未使用時のTYP.動作電流（AV_{REFP} = V_{DD} = 5.0 V時）

I_{CMP}×2＋I_{IREF}
= 41.4 [μA]　×2＋3.2 [μA]
= 86.0 [μA]

33. 4　AC特性

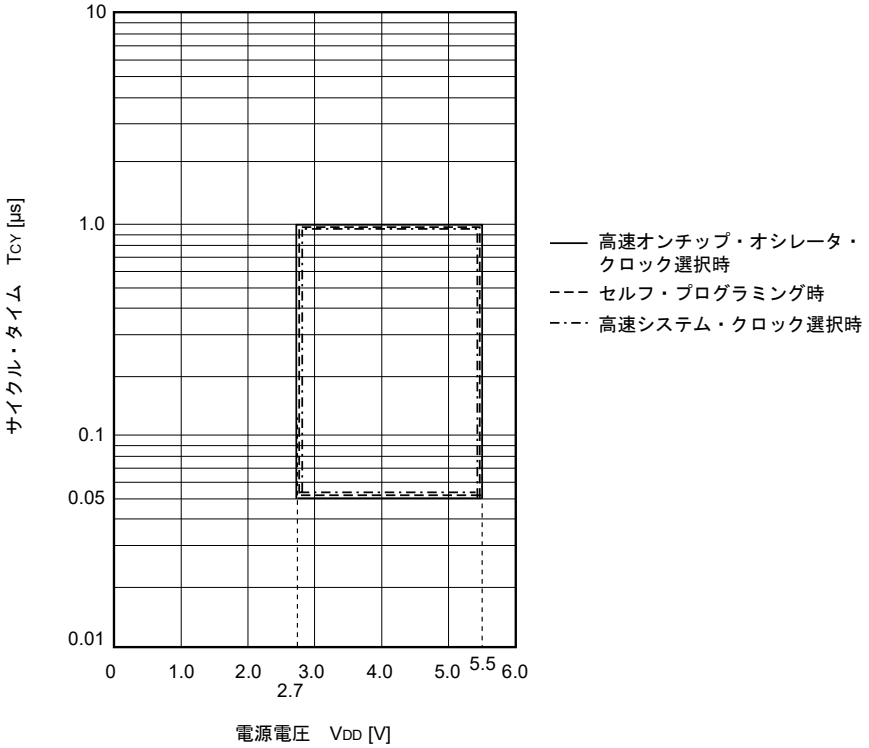
（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
命令サイクル（最小命令実行時間）	T_{CY}	メイン・システム・クロック（f_{MAIN}）動作	HS（高速メイン）モード		0.05		1	μs
		サブシステム・クロック（f_{SUB}）動作			28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS（高速メイン）モード	T_A = －40～＋105 ℃	0.05		1	μs
外部システム・クロック周波数	f_{EX}				1.0		20.0	MHz
	f_{EXS}				32		35	kHz
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}				24			ns
	t_{EXHS}, t_{EXLS}				13.7			μs
TI03，TI05，TI06，TI07入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}				2/f_{MCK}＋10			ns
TO03, TO05, TO06, TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21, TKCO00-TKCO05出力周波数（デューティ = 50 %時）	f_{TO}	HS（高速メイン）モード	4.0 V≦V_{DD}≦5.5 V				5	MHz
			2.7 V≦V_{DD}＜4.0 V				4	MHz
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0，INTP3，INTP4，INTP9-INTP11，INTP20-INTP23	2.7 V≦V_{DD}≦5.5 V		1			μs
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}				10			μs

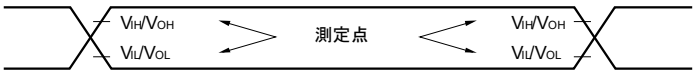
備考　f_{MCK}：タイマ・アレイ・ユニットの動作クロック周波数。
（タイマ・モード・レジスタ0n（TMR0n）のCKS0nビットで設定する動作クロック。n：チャネル番号（n = 0-7））

メイン・システム・クロック動作時の最小命令実行時間

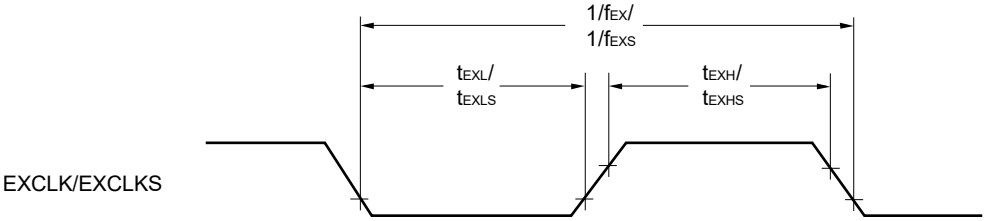
TCY vs VDD（HS（高速メイン）モード）



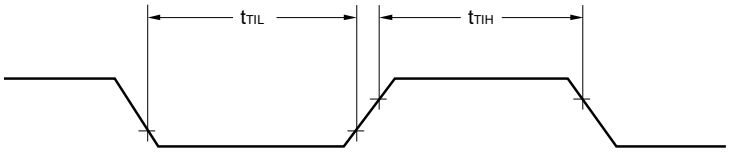
ACタイミング測定点

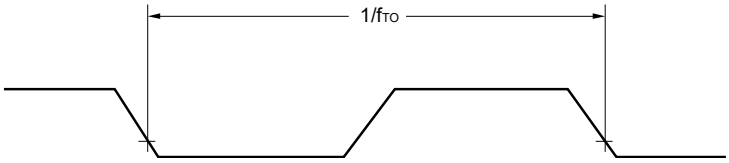


外部システム・クロック・タイミング

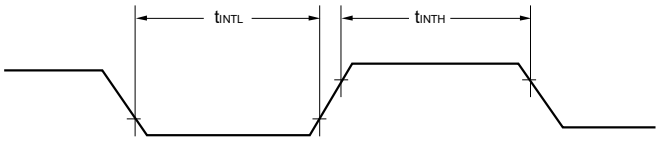


TI/TOタイミング

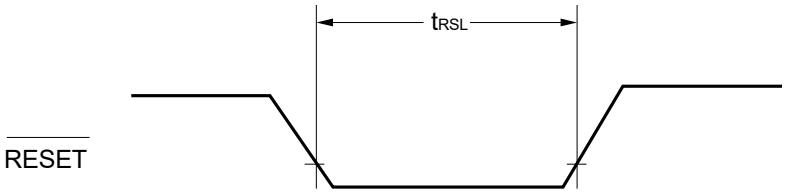




割り込み要求入力タイミング

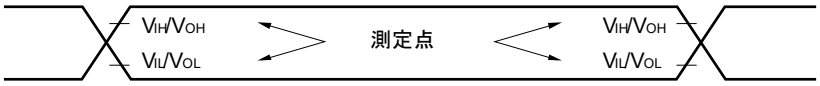


$\overline{\text{RESET}}$入力タイミング



33. 5　周辺機能特性

ACタイミング測定点



33. 5. 1　シリアル・アレイ・ユニット0, 4（UART0, UART1, CSI00, DALI/UART4）

（1）同電位通信時（UARTモード）

（TA = －40～＋125 ℃，2.7 V≦VDD≦5.5 V, VSS = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		単　位
			MIN.	MAX.	
転送レート注1				fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注2		3.3	Mbps

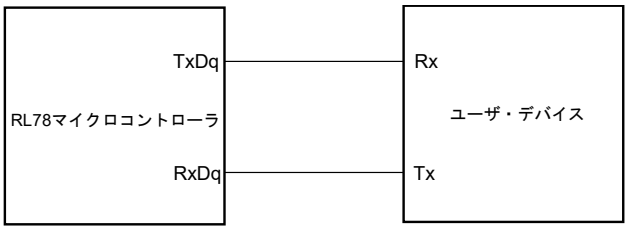
注 1.　SNOOZEモードでの転送レートは，4800 bpsのみとなります。

2.　CPU／周辺ハードウエア・クロック（fCLK）の動作周波数を次に示します。

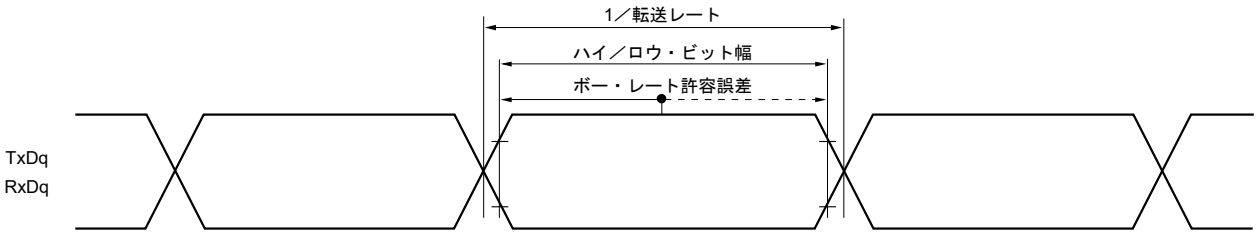
HS（高速メイン）モード　　：20 MHz（2.7 V≦VDD≦5.5 V）

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子は通常入力バッファを選択し，TxDq端子は通常出力モードを選択します。

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子は通常入力バッファ，TxDq端子は通常出力モードを選択。

備考1. q：UART番号（q = 0, 1），g：PIM, POM番号（g = 0, 1）

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03））

（2）同電位通信時（簡易SPI(CSI)モード）（マスタ・モード，SCKp…内部クロック出力）

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード MIN.	HS（高速メイン）モード MAX.	単　位
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	4.0 V≦V_{DD}≦5.5 V	250		ns
			2.7 V≦V_{DD}≦5.5 V	500		
SCKpハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦V_{DD}≦5.5 V		t_{KCY1}/2－20		ns
		2.7 V≦V_{DD}≦5.5 V		t_{KCY1}/2－40		ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V		80		ns
		2.7 V≦V_{DD}≦5.5 V		80		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}			40		ns
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	C = 30 pF注3			80	ns

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは，SCKp, SOp出力ラインの負荷容量です。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考 1. p：CSI番号（p = 00），m：ユニット番号（m = 0），
n：チャネル番号（n = 0），g：PIM, POM番号（g = 1）

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

（3）同電位通信時（簡易SPI(CSI)モード）（スレーブ・モード，SCKp…外部クロック入力）

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		単　位
				MIN.	MAX.	
SCKpサイクル・タイム注4	t_{KCY2}	4.0 V≦V_{DD}≦5.5 V	f_{MCK}≦20 MHz	6/f_{MCK}		ns
		2.7 V≦V_{DD}≦5.5 V	16 MHz＜f_{MCK}	8/f_{MCK}		ns
			f_{MCK}≦16 MHz	6/f_{MCK}		ns
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}			t_{KCY2}/2		ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK2}			1/f_{MCK}＋40		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI2}			1/f_{MCK}＋60		ns
SCKp↓→SOp出力遅延時間注2	t_{KSO2}	C = 30 pF注3			2/f_{MCK}＋80	ns

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは，SOp出力ラインの負荷容量です。

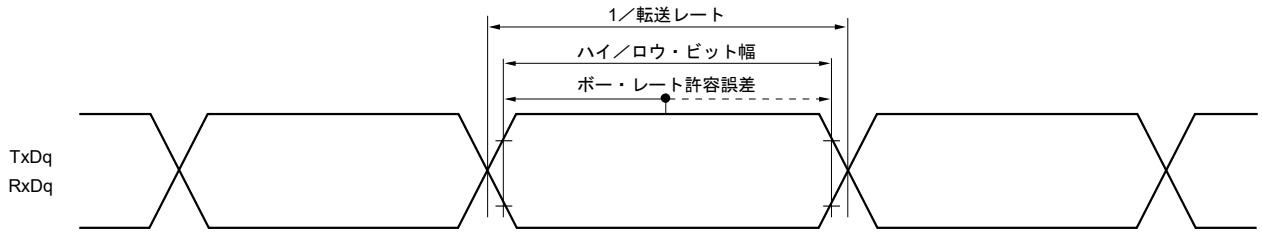
4. SNOOZEモードでの転送レートは，MAX. 1 Mbpsです。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子は通常入力バッファを選択し，SOp端子は通常出力モードを選択します。

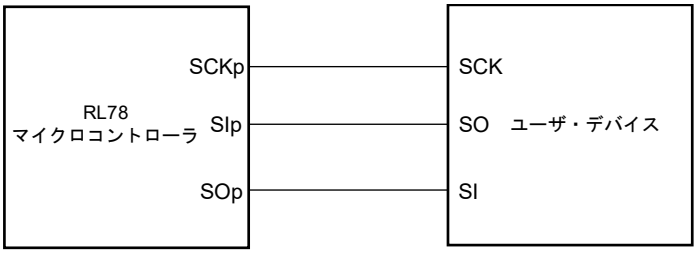
備考 1. p：CSI番号（p = 00），m：ユニット番号（m = 0），n：チャネル番号（n = 0），g：PIM, POM番号（g = 1）

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

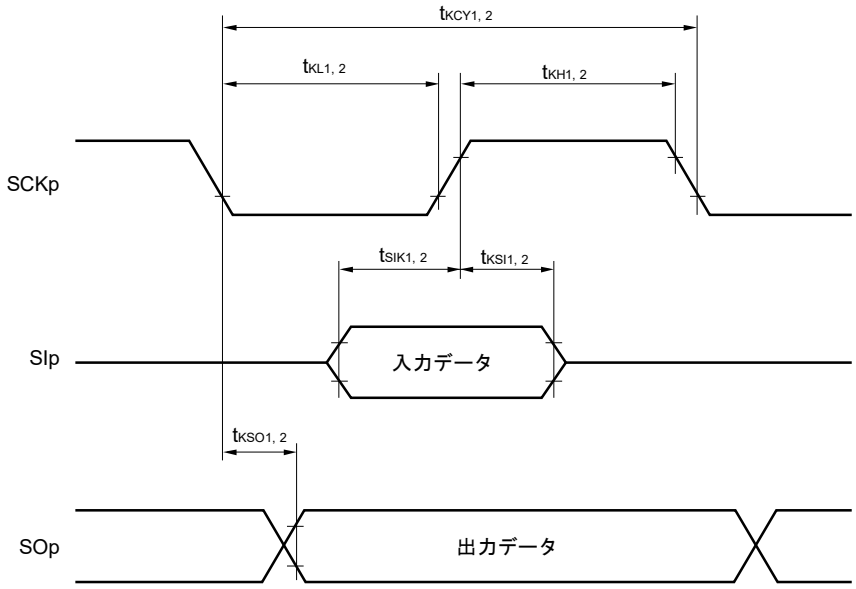
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））



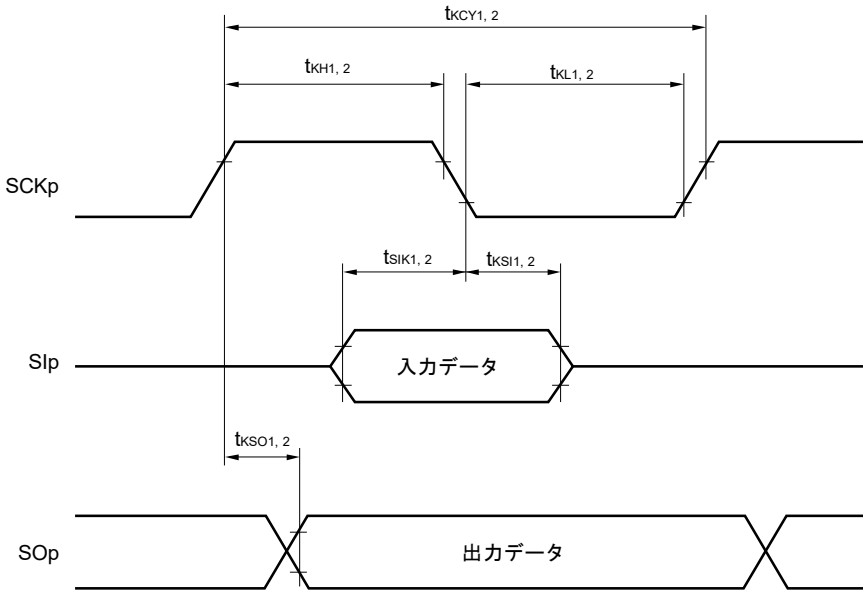
簡易SPI(CSI)モード接続図（同電位通信時）



簡易SPI(CSI)モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI(CSI)モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1.　p：CSI番号（p = 00）
2.　m：ユニット番号，n：チャネル番号（mn = 00）

（4）異電位（2.5 V系，3 V系）通信時（UARTモード）（1/2）

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		単　位
				MIN.	MAX.	
転送レート		受信	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		f_{MCK}/6[注1]	bps
			最大転送レート理論値 f_{MCK} = f_{CLK}[注2]		3.3	Mbps
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V		f_{MCK}/6[注1]	bps
			最大転送レート理論値 f_{MCK} = f_{CLK}[注2]		3.3	Mbps

注 1. SNOOZEモードでの転送レートは，4800 bpsのみとなります。

2. CPU／周辺ハードウエア・クロック（f_{CLK}）の動作周波数を次に示します。

HS（高速メイン）モード　　：20 MHz（2.7 V≦V_{DD}≦5.5 V）

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1. V_b [V]：通信ライン電圧

2. q：UART番号（q = 0, 1），g：PIM, POM番号（g = 0, 1）

3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03））

（4）異電位（2.5 V系，3 V系）通信時（UARTモード）（2/2）

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		単　位
				MIN.	MAX.	
転送レート		送信	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		**注1**	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 1.4 kΩ, V_b = 2.7 V		2.8[注2]	Mbps
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V		**注3**	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 2.7 kΩ, V_b = 2.3 V		1.2[注4]	Mbps

注1. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

2. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

4. この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注意　**ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。**

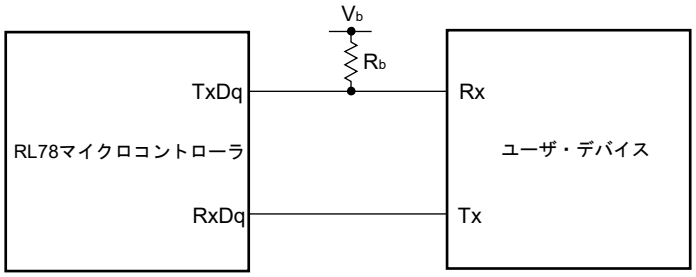
備考1. R_b [Ω]：通信ライン（TxDq）プルアップ抵抗値，C_b [F]：通信ライン（TxDq）負荷容量値，V_b [V]：通信ライン電圧

2. q：UART番号（q = 0, 1），g：PIM, POM番号（g = 0, 1）

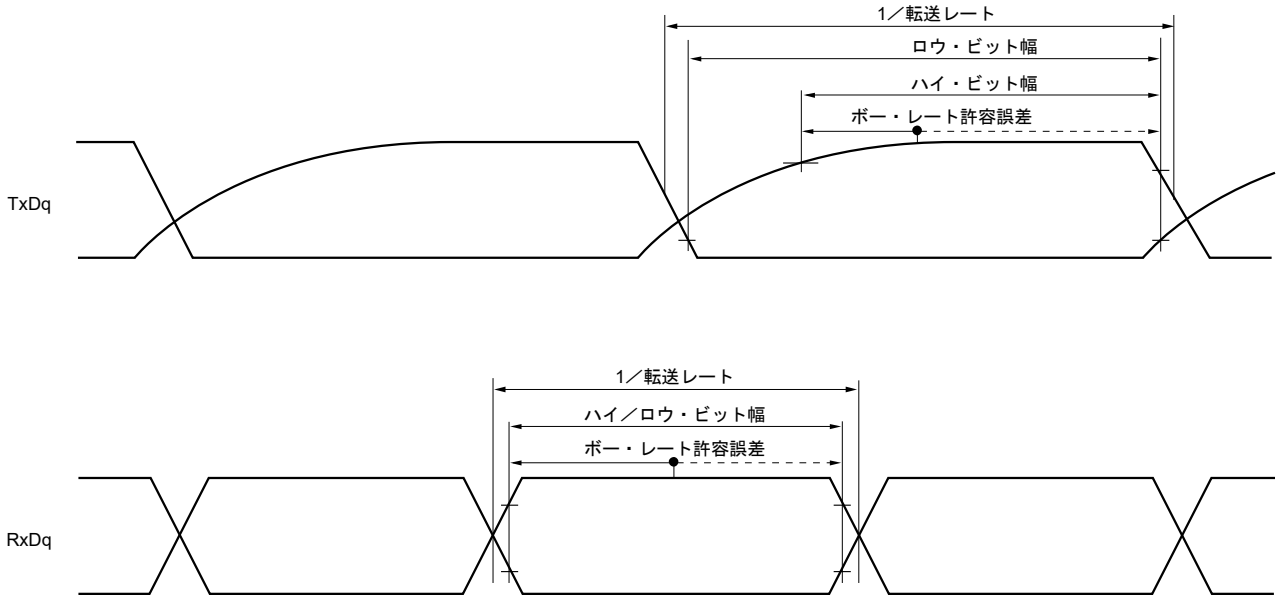
3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00-03））

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファ，TxDq端子はN-chオープン・ドレイン出力（VDD耐圧）モードを選択。

備考1.　Rb [Ω]：通信ライン（TxDq）プルアップ抵抗値，Vb [V]：通信ライン電圧

2.　q：UART番号（q = 0, 1），g：PIM, POM番号（g = 0, 1）

（5）異電位（2.5 V系，3 V系）通信時（簡易SPI(CSI)モード）（マスタ・モード，SCKp…内部クロック出力）

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

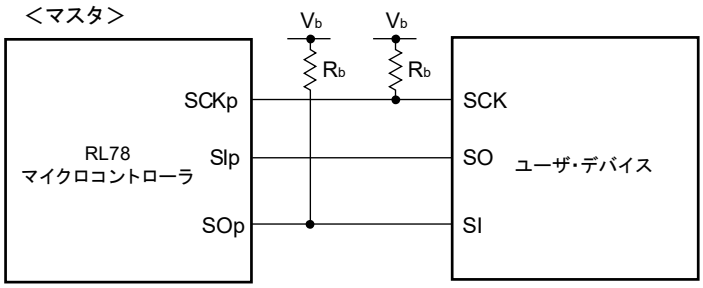
項　目	略号	条　件		HS（高速メイン）モード MIN.	HS（高速メイン）モード MAX.	単　位
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	600		ns
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	1000		ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－80		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－170		ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－28		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－40		ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		160		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		250		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		40		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		40		ns
SCKp↓→Sop出力遅延時間注1	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			160	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			250	ns
SIpセットアップ時間（対SCKp↓）注2	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		80		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		80		ns
SIpホールド時間（対SCKp↓）注2	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		40		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		40		ns
SCKp↑→Sop出力遅延時間注2	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			80	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			80	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI(CSI)モード接続図（異電位通信時）

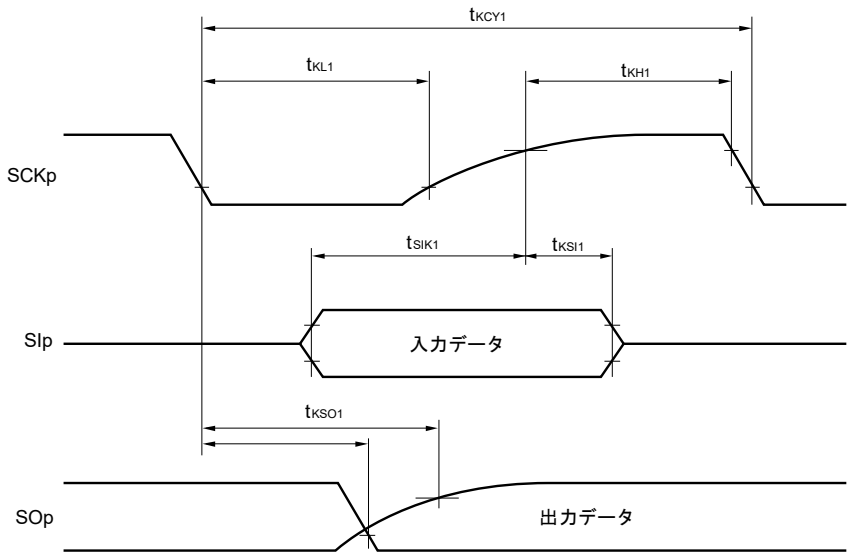


備考1.　R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SCKp, SOp）負荷容量値，V_b [V]：通信ライン電圧

2.　p：CSI番号（p = 00），m：ユニット番号（m = 0），
n：チャネル番号（n = 0），g：PIM, POM番号（g = 1）

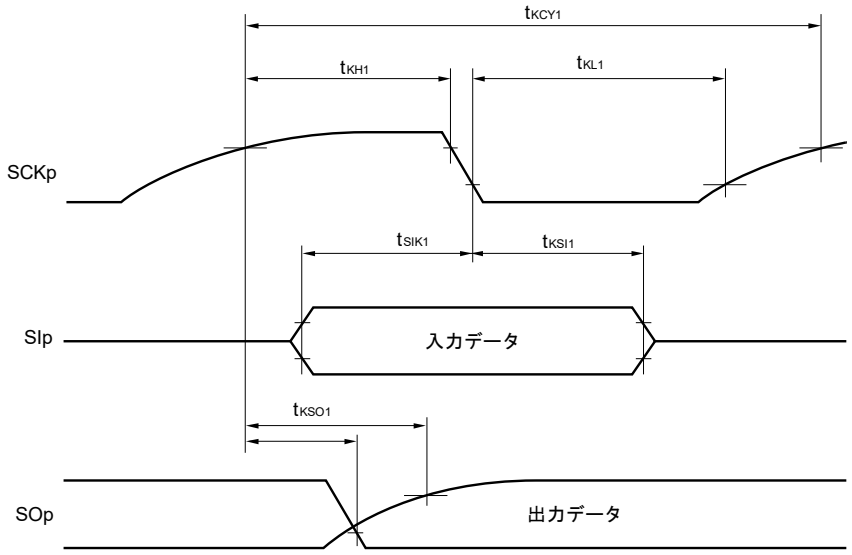
簡易SPI(CSI)モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI(CSI)モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファ，SOp端子とSCKp端子はN-chオープン・ドレイン出力（VDD耐圧）モードを選択。

備考　p：CSI番号（p = 00），m：ユニット番号（m = 0），

n：チャネル番号（n = 0），g：PIM, POM番号（g = 1）

（6）DALI/UART4モード

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード MIN.	HS（高速メイン）モード MAX.	単　位
転送レート				f_{MCK}/12	bps
		最大転送レート理論値 f_{CLK} = 20 MHz, f_{MCK} = f_{CLK}		1.6	Mbps

備考　f_{MCK}：DALI-UARTの動作クロック周波数。

（シリアル・クロック選択レジスタ4（SPS4）で設定する動作クロック。）

33. 5. 2　シリアル・インタフェースIICA

（1）I^2C 標準モード

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		単　位
			MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	標準モード：f_{CLK}≧1 MHz	0	100	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$		4.7		μs
ホールド時間[注1]	$t_{HD:STA}$		4.0		μs
SCLA0 = "L"のホールド・タイム	t_{LOW}		4.7		μs
SCLA0 = "H"のホールド・タイム	t_{HIGH}		4.0		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250		ns
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$		0	3.45	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		μs
バス・フリー時間	t_{BUF}		4.7		μs

注 1.　スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

2.　$t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は次のとおりです。

標準モード　：C_b = 400 pF, Rb = 2.7 kΩ

（2）I²C ファースト・モード

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード		単　位
			MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード：f_{CLK}≧3.5 MHz	0	400	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$		0.6		μs
ホールド時間注1	$t_{HD:STA}$		0.6		μs
SCLA0 = "L"のホールド・タイム	t_{LOW}		1.3		μs
SCLA0 = "H"のホールド・タイム	t_{HIGH}		0.6		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		100		ns
データ・ホールド時間（送信時）注2	$t_{HD:DAT}$		0	0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		0.6		μs
バス・フリー時間	t_{BUF}		1.3		μs

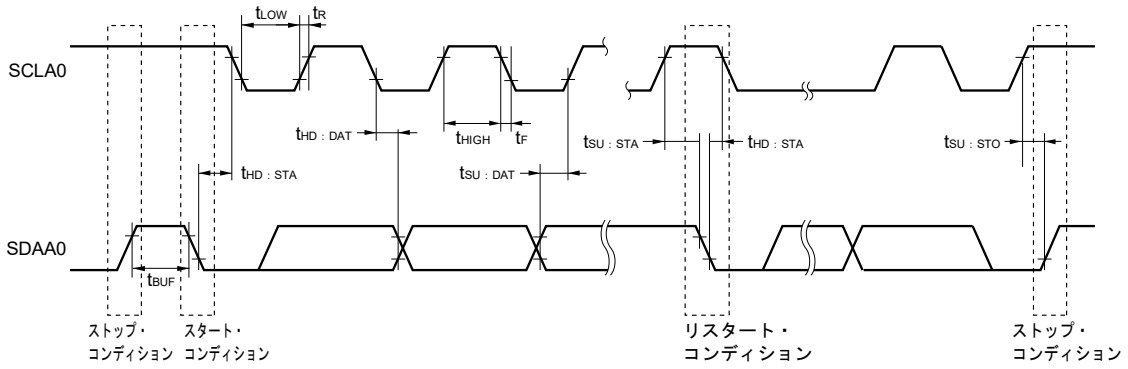
注 1.　スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

2.　$t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は次のとおりです。

ファースト・モード　　：C_b = 320 pF, Rb = 1.1 kΩ

IICAシリアル転送タイミング



33. 6　アナログ特性

33. 6. 1　A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 / 入力チャネル	基準電圧（＋） = AV_{REFP} 基準電圧（－） = AV_{REFM}	基準電圧（＋） = V_{DD} 基準電圧（－） = V_{SS}	基準電圧（＋） = V_{BGR} 基準電圧（－） = AV_{REFM}
ANI0-ANI2, ANI4-ANI7	33. 6. 1（1）参照	33. 6. 1（3）参照	33. 6. 1（4）参照
ANI16-ANI19	33. 6. 1（2）参照		
内部基準電圧 温度センサ出力電圧	33. 6. 1（1）参照		–

（1）基準電圧（＋） = AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（－） = AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI2, ANI4-ANI7，内部基準電圧，温度センサ出力電圧

（T_A = －40～＋125 ℃，2.7 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = 0 V，基準電圧（＋）= AV_{REFP}，基準電圧（－）= AV_{REFM} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AV_{REFP} = V_{DD}注3			1.2	±3.5	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象： ANI2, ANI4-ANI7	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.4		39	μs
		10ビット分解能 変換対象： 内部基準電圧 温度センサ出力電圧 （HS（高速メイン）モード）	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.8		39	μs
ゼロスケール誤差注1, 2	E_{ZS}	10ビット分解能 AV_{REFP} = V_{DD}注3				±0.25	%FSR
フルスケール誤差注1, 2	E_{FS}	10ビット分解能 AV_{REFP} = V_{DD}注3				±0.25	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AV_{REFP} = V_{DD}注3				±2.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 AV_{REFP} = V_{DD}注3				±1.5	LSB
アナログ入力電圧	V_{AIN}	ANI2, ANI4-ANI7		0		AV_{REFP}	V
		内部基準電圧（ HS（高速メイン）モード）		V_{BGR}注4			V
		温度センサ出力電圧（ HS（高速メイン）モード）		V_{TMPS25}注4			V

注1.　量子化誤差（±1/2 LSB）を含みません。
2.　フルスケール値に対する比率（%FSR）で表します。
3.　AV_{REFP} ＜ V_{DD}の場合，MAX.値は次のようになります。
　総合誤差　：AV_{REFP} = V_{DD}のMAX.値に±1.0 LSBを加算してください
　ゼロスケール誤差／フルスケール誤差　：AV_{REFP} = V_{DD}のMAX.値に±0.05 %FSRを加算してください
　積分直線性誤差／微分直線性誤差　：AV_{REFP} = V_{DD}のMAX.値に±0.5 LSBを加算してください
4.　33. 6. 2 温度センサ／内部基準電圧特性を参照してください。

（2）基準電圧（＋）　= AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（－）　= AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI16-ANI19

（T_A = －40～＋125 ℃，2.7 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = 0 V，基準電圧（＋）= AV_{REFP}，基準電圧（－）= AV_{REFM} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AV_{REFP} = V_{DD}注3			1.2	±5.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象：ANI16-ANI19	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.4		39	μs
ゼロスケール誤差注1, 2	E_{ZS}	10ビット分解能 AV_{REFP} = V_{DD}注3				±0.35	%FSR
フルスケール誤差注1, 2	E_{FS}	10ビット分解能 AV_{REFP} = V_{DD}注3				±0.35	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AV_{REFP} = V_{DD}注3				±3.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 AV_{REFP} = V_{DD}注3				±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI16-ANI19		0		AV_{REFP} かつV_{DD}	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. AV_{REFP} ＜ V_{DD}の場合，MAX.値は次のようになります。

総合誤差　：AV_{REFP} = V_{DD}のMAX.値に±4.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差　：AV_{REFP} = V_{DD}のMAX.値に±0.2 %FSRを加算してください

積分直線性誤差／微分直線性誤差　：AV_{REFP} = V_{DD}のMAX.値に±2.0 LSBを加算してください

（3）基準電圧（＋） = V_{DD}（ADREFP1 = 0, ADREFP0 = 0），基準電圧（－） = V_{SS}（ADREFM = 0）選択時，変換対象：ANI0-ANI2, ANI4-ANI7, ANI16-ANI19，内部基準電圧，温度センサ出力電圧

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V，基準電圧（＋）= V_{DD}，基準電圧（－）= V_{SS}）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能			1.2	±7.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象：ANI0-ANI2, ANI4-ANI7, ANI16-ANI19	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.4		39	μs
		10ビット分解能 変換対象： 内部基準電圧、 温度センサ出力電圧 （HS（高速メイン）モード）	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.8		39	μs
ゼロスケール誤差注1, 2	E_{ZS}	10ビット分解能				±0.60	%FSR
フルスケール誤差注1, 2	E_{FS}	10ビット分解能				±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能				±4.0	LSB
微分直線性誤差注1	DLE	10ビット分解能				±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI2, ANI4-ANI7		0		V_{DD}	V
		ANI16-ANI19		0		V_{DD}	V
		内部基準電圧 （HS（高速メイン）モード）		V_{BGR}注3			V
		温度センサ出力電圧 （HS（高速メイン）モード）		V_{TMPS25}注3			V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. 33. 6. 2 温度センサ／内部基準電圧特性を参照してください。

（4）基準電圧（＋） = 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0），基準電圧（－） = AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI0, ANI2, ANI4-ANI7, ANI16-ANI19

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V，基準電圧（＋）= V_{BGR}[注3]，基準電圧（－）= AV_{REFM}[注4] = 0 V, HS（高速メイン）モード）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
分解能	RES			8		bit
変換時間	t_{CONV}	8ビット分解能	17		39	μs
ゼロスケール誤差[注1, 2]	E_{ZS}	8ビット分解能			±0.60	%FSR
積分直線性誤差[注1]	ILE	8ビット分解能			±2.0	LSB
微分直線性誤差[注1]	DLE	8ビット分解能			±1.0	LSB
アナログ入力電圧	V_{AIN}		0		V_{BGR}[注3]	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. 33. 6. 2 温度センサ／内部基準電圧特性を参照してください。

4. 基準電圧（－） = V_{SS}の場合，MAX.値は次のようになります。

ゼロスケール誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.35 %FSRを加算してください

積分直線性誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.5 LSBを加算してください

微分直線性誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.2 LSBを加算してください

33. 6. 2　温度センサ／内部基準電圧特性

（T_A = －40～＋125 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V, HS（高速メイン）モード）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
温度センサ出力電圧	V_{TMPS25}	ADSレジスタ = 80H設定，T_A = ＋25℃		1.05		V
内部基準電圧	V_{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMPS}	温度センサ電圧の温度依存		－3.6		mV/℃
動作安定待ち時間	t_{AMP}		5			μs

33. 6. 3　プログラマブル・ゲイン・アンプ

（T_A = －40～＋125 ℃，2.7 V ≦ AV_{REFP} = V_{DD} ≦ 5.5 V, V_{SS} = AV_{REFM} = 0 V ）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
入力オフセット電圧	V_{IOPGA}					±5	±10	mV
入力電圧範囲	V_{IPGA}				0		0.9V_{DD}/増幅率	V
増幅率誤差[注1]		4倍，8倍					±1	%
		16倍					±1.5	%
		32倍					±2	%
スルー・レート[注1]	SR_{RPGA}	立ち上がり	4.0 V≦V_{DD}≦5.5 V	4, 8倍	4			V/μs
				16, 32倍	1.4			V/μs
			2.7 V≦V_{DD}＜4.0 V	4, 8倍	1.8			V/μs
				16, 32倍	0.5			V/μs
	SR_{FPGA}	立ち下がり	4.0 V≦V_{DD}≦5.5 V	4, 8倍	3.2			V/μs
				16, 32倍	1.4			V/μs
			2.7 V≦V_{DD}＜4.0 V	4, 8倍	1.2			V/μs
				16, 32倍	0.5			V/μs
動作安定待ち時間[注2]	t_{PGA}	4, 8倍			5			μs
		16, 32倍			10			μs

注1. V_{IPGA} = 0.1V_{DD}/増幅率～0.9V_{DD}/増幅率のとき

2. PGAの動作を許可（PGAEN = 1）してから，PGA動作のDC特性およびAC特性を満足できる状態になるまでの時間です。

備考　CVRVS1ビットでPGAのGNDをAV_{REFM}に選択した場合の特性です。

33. 6. 4　コンパレータ

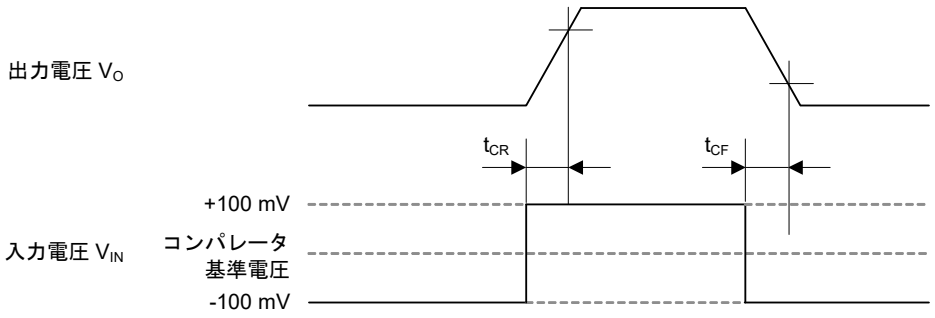
（T_A = －40～＋125 ℃，2.7 V ≦ AV_{REFP} = V_{DD} ≦ 5.5 V, V_{SS} = AV_{REFM} = 0 V ）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力オフセット電圧	V_{IOCMP}			±5	±40	mV
入力電圧範囲	V_{ICMP}	CMP0P-CMP5P	0		V_{DD}	V
		CMPCOM	0.045		0.9 V_{DD}	V
内蔵基準電圧偏差	⊿V_{IREF}	CmRVMレジスタ値：7FH-80H（m = 0-2）			±2	LSB
		上記以外			±1	LSB
応答時間	t_{CR}, t_{CF}	入力振幅±100 mV		70	150	ns
動作安定待ち時間[注1]	t_{CMP}	3.3 V≦V_{DD}≦5.5 V	1			μs
		2.7 V≦V_{DD}＜3.3 V	3			μs
基準電圧安定待ち時間	t_{VR}	CVRE：0→1 [注2]	10			μs

注1. コンパレータの動作許可（CMPnENビット = 1：n = 0-5）から，コンパレータがDC/AC特性を満足できる状態になるまでの時間です。

2. 内蔵基準電圧生成を動作許可（CVREmビット = 1：m = 0-2）し，動作安定待ち時間をウエイトしてから，コンパレータ出力を許可（CnOEビット = 1：n = 0-5）してください。

備考　CVRVS0ビットで内部基準電圧の電源をAV_{REFP}，CVRVS1ビットで内部基準電圧のGNDをAV_{REFM}に選択した場合の特性です。

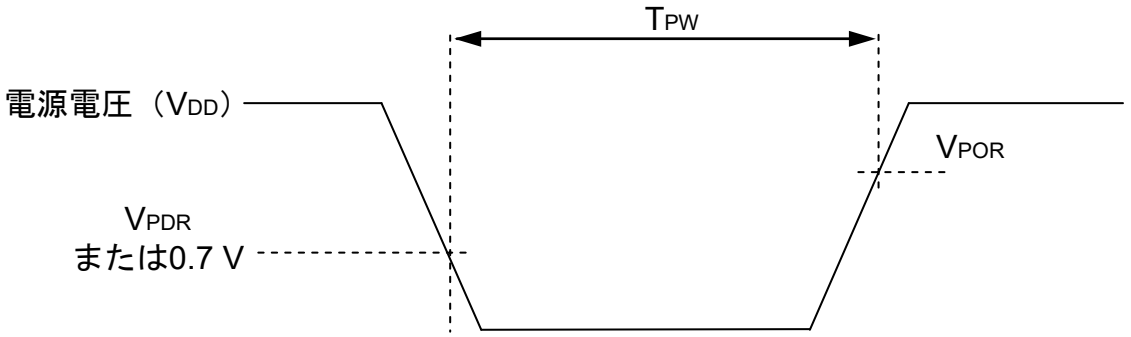


33. 6. 5　POR回路特性

（TA = －40～＋125 ℃，VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	VPOR	電源立ち上がり時	1.45	1.51	1.62	V
	VPDR	電源立ち下がり時	1.44	1.50	1.61	V
最小パルス幅注	TPW		350			μs

注　VDDがVPDRを下回った場合に，PORによるリセット動作に必要な時間です。またSTOPモードに移行時および，クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）とビット7（MSTOP）の設定によりメイン・システム・クロック（fMAIN）を停止時は，VDDが0.7 Vを下回ってから，VPORを上回るまでのPORによるリセット動作に必要な時間です。



33. 6. 6　LVD回路特性

リセット・モード，割り込みモードのLVD検出電圧

（TA = －40～＋125 ℃，VPDR≦VDD≦5.5 V，VSS = 0 V）

項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.97	4.06	4.25	V
			電源立ち下がり時	3.89	3.98	4.15	V
		VLVD1	電源立ち上がり時	3.67	3.75	3.93	V
			電源立ち下がり時	3.59	3.67	3.83	V
		VLVD2	電源立ち上がり時	3.06	3.13	3.28	V
			電源立ち下がり時	2.99	3.06	3.20	V
		VLVD3	電源立ち上がり時	2.95	3.02	3.17	V
			電源立ち下がり時	2.89	2.96	3.09	V
		VLVD4	電源立ち上がり時	2.85	2.92	3.07	V
			電源立ち下がり時	2.79	2.86	2.99	V
		VLVD5	電源立ち上がり時	2.75	2.81	2.95	V
			電源立ち下がり時	2.70	2.75	2.88	V
最小パルス幅		tLW		300			μs
検出遅延						300	μs

割り込み＆リセット・モードのLVD検出電圧

（T_A = －40～＋125 ℃，V_{PDR}≦V_{DD}≦5.5 V，V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
割り込み＆リセット・モード	V_{LVD0}	V_{POC2}, V_{POC1}, V_{POC0} = 0, 1, 1，立ち下がりリセット電圧			2.70	2.75	2.88	V
	V_{LVD1}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.85	2.92	3.07	V
				立ち下がり割り込み電圧	2.79	2.86	2.99	V
	V_{LVD2}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.95	3.02	3.17	V
				立ち下がり割り込み電圧	2.89	2.96	3.09	V
	V_{LVD3}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.97	4.06	4.25	V
				立ち下がり割り込み電圧	3.89	3.98	4.15	V

33. 6. 7　電源電圧立ち上がり傾き特性

（T_A = －40～＋125 ℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
電源電圧立ち上がり	SV_{DD}				54	V/ms

注意　V_{DD}が33. 4　AC特性に示す動作電圧範囲内に達するまで，LVD回路か外部リセットで内部リセット状態を保ってください。

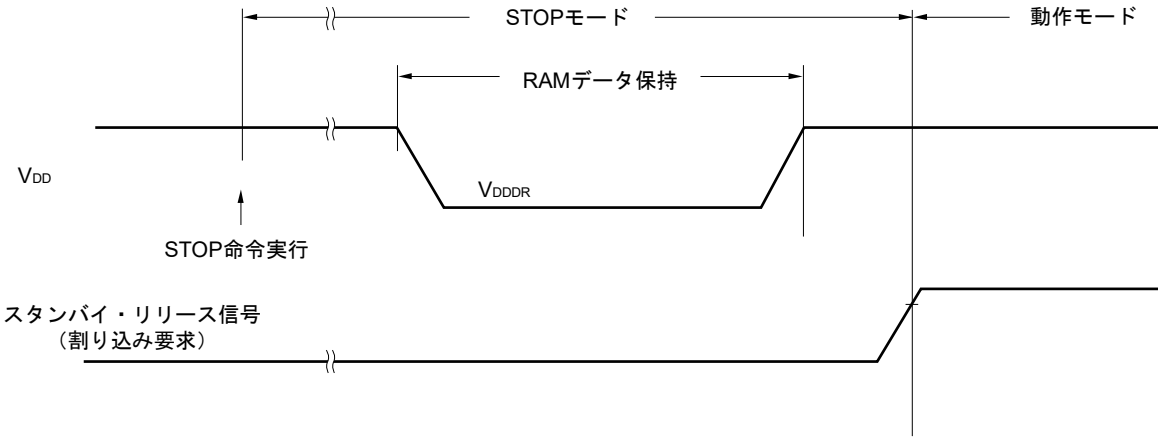
33. 7　RAMデータ保持特性

（T_A = –40～+125 ℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
データ保持電源電圧	V_{DDDR}		1.47注		5.5	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではRAMのデータを保持しますが，PORリセットがかかった場合のRAMのデータは保持されません。

注意　動作電圧範囲外でCPU動作した場合，RAMのデータは保持されません。そのため，動作電圧範囲を下回る前に，STOPモードに移行してください。



33. 8　フラッシュ・メモリ・プログラミング特性

（T_A = –40～+105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
システム・クロック周波数	f_{CLK}	2.7 V≦V_{DD}≦5.5 V	1		32	MHz
コード・フラッシュの書き換え回数注1, 2, 3	C_{erwr}	保持年数：20年，T_A= 85 ℃注3, 4	1,000			回
データ・フラッシュの書き換え回数注1, 2, 3		保持年数：1年，T_A= 25 ℃注3, 4		1,000,000		
		保持年数：5年，T_A= 85 ℃注3, 4	100,000			
		保持年数：20年，T_A= 85 ℃注3, 4	10,000			

注1.　消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は，1度書き換えた後，次に書き換えを行うまでの期間とする。

2.　フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

3.　この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

4.　この特性は保持の平均温度です。

33. 9　専用フラッシュ・メモリ・プログラマ通信（UART）

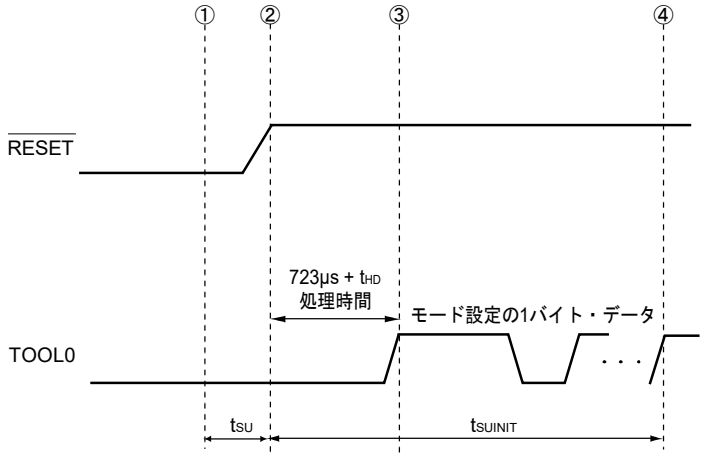
（T_A = －40～＋105 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

33. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング

（TA = －40～＋125 ℃，2.7 V≦VDD≦5.5 V, VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
リセット解除から，T00L0端子をロウ・レベルにホールドする時間（ソフト処理時間を除く）	t_{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU}　：TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

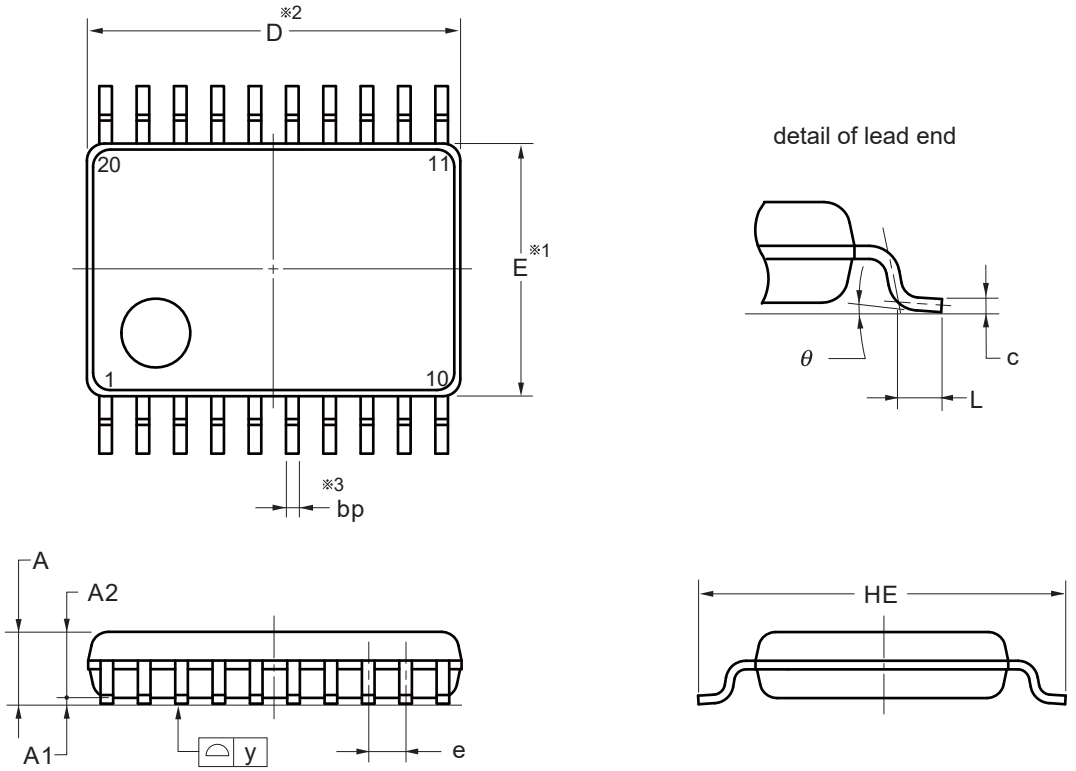
t_{HD}　：外部／内部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（ソフト処理時間を除く）

第34章　外 形 図

34. 1　20ピン製品

R5F1076CGSP#V0, R5F1076CGSP#X0, R5F1076CMSP#V0, R5F1076CMSP#X0

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP20-4.4x6.5-0.65	PLSP0020JB-A	P20MA-65-NAA-1	0.1



(UNIT:mm)

ITEM	DIMENSIONS
D	6.50±0.10
E	4.40±0.10
HE	6.40±0.20
A	1.45 MAX.
A1	0.10±0.10
A2	1.15
e	0.65±0.12
bp	$0.22^{+0.10}_{-0.05}$
c	$0.15^{+0.05}_{-0.02}$
L	0.50±0.20
y	0.10
θ	0° to 10°

NOTE

1.Dimensions “※1” and “※2” do not include mold flash.

2.Dimension “※3” does not include trim offset.

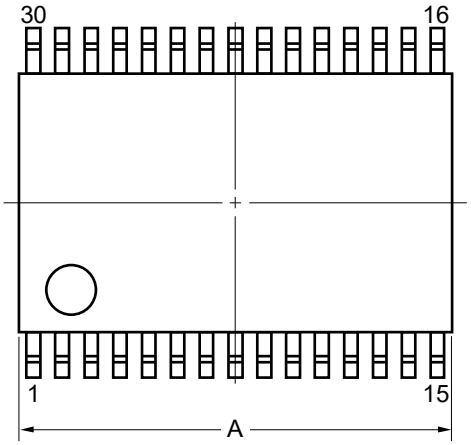
©2012 Renesas Electronics Corporation. All rights reserved.

34. 2　30ピン製品

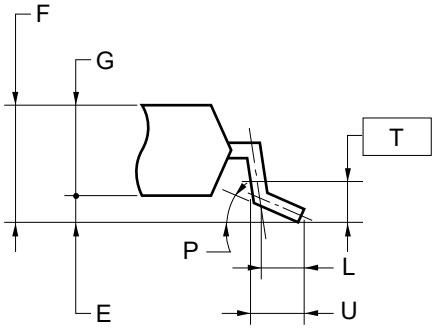
R5F107ACGSP#V0, R5F107AEGSP#V0, R5F107ACGSP#X0, R5F107AEGSP#X0, R5F107ACMSP#V0, R5F107AEMSP#V0, R5F107ACMSP#X0, R5F107AEMSP#X0

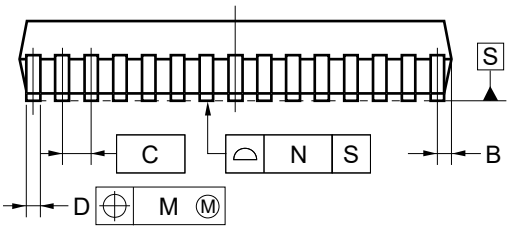
★

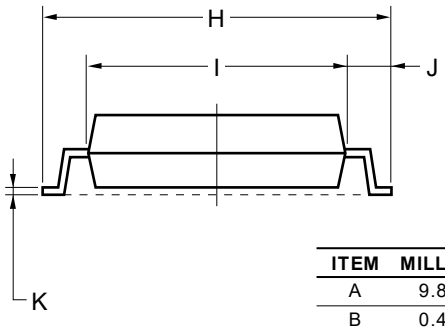
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP30-0300-0.65	PLSP0030JB-B	S30MC-65-5A4-3	0.18



detail of lead end







NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

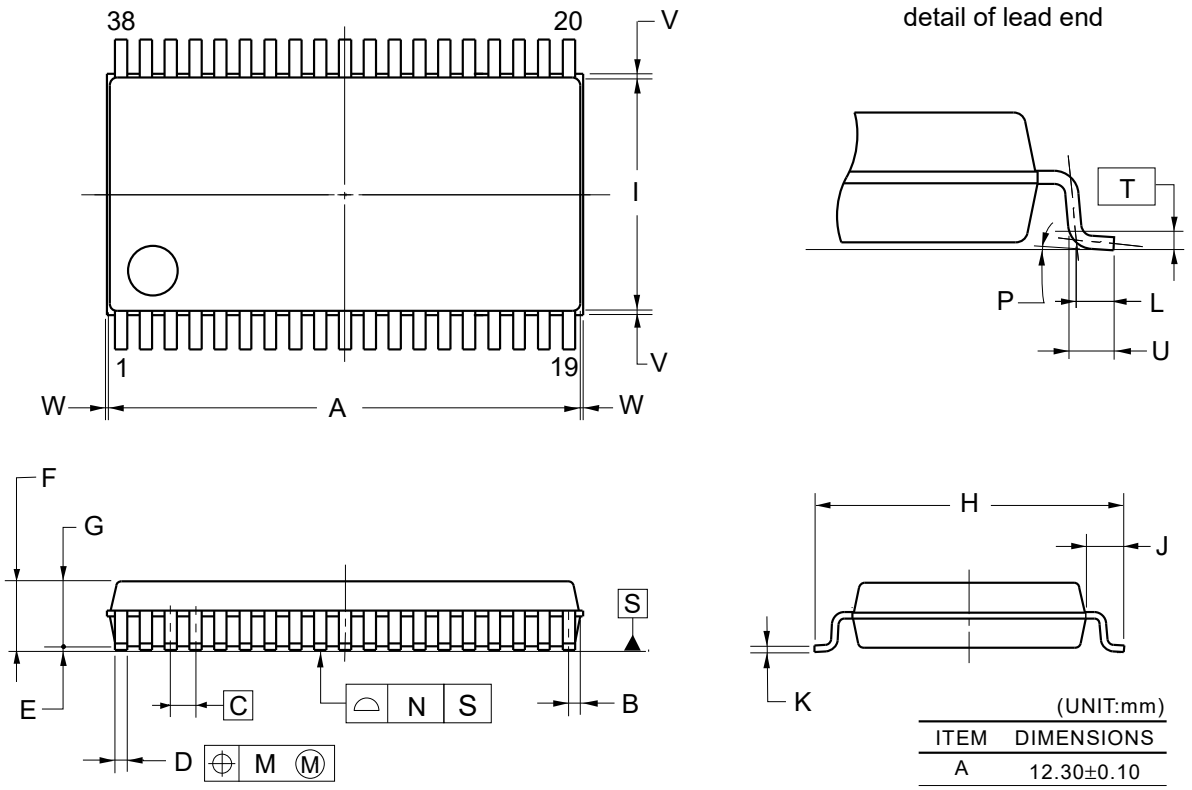
ITEM	MILLIMETERS
A	9.85±0.15
B	0.45 MAX.
C	0.65 (T.P.)
D	$0.24^{+0.08}_{-0.07}$
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
T	0.25
U	0.6±0.15

©2012 Renesas Electronics Corporation. All rights reserved.

34. 3 38ピン製品

R5F107DEGSP#V0, R5F107DEGSP#X0, R5F107DEMSP#V0, R5F107DEMSP#X0

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-SSOP38-0300-0.65	PRSP0038JA-A	P38MC-65-2A4-2	0.3



(UNIT:mm)

ITEM	DIMENSIONS
A	12.30±0.10
B	0.30
C	0.65 (T.P.)
D	$0.32^{+0.08}_{-0.07}$
E	0.125±0.075
F	2.00 MAX.
G	1.70±0.10
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	$0.17^{+0.08}_{-0.07}$
L	0.50
M	0.10
N	0.10
P	$3^{\circ}{}^{+7^{\circ}}_{-3^{\circ}}$
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

NOTE

Each lead centerline is located within 0.10 mm of its true position (T.P.) at maximum material condition.

©2012 Renesas Electronics Corporation.All rights reserved.

第35章　ウエイトに関する注意事項

35. 1　ウエイトに関する注意事項

RL78/I1Aは，拡張SFR（2nd SFR）のF0500H-F06FFH に配置しているレジスタへのアクセス時に，CPUは次の命令処理に移行せず，CPU 処理としてウエイト状態となります。このため，このウエイトが発生した場合，命令の実行クロック数がウエイト・クロック数分長くなります。

35. 2　ウエイトが発生する周辺ハードウエア

CPUからのアクセス時にウエイト要求が発生するレジスタとCPUのウエイト・クロック数を表35－1に示します。

表35－1　ウエイトが発生するレジスタとCPUのウエイト・クロック数（1/2）

周辺ハードウエア	対象レジスタ	対象アクセス	ウエイト・クロック数
クロック発生回路	PLLCTL，PER1，PER2レジスタ	リード	1クロック
		ライト	1クロック
ポート機能	P20, PM20, PU20, POM20, レジスタ	リード	1クロック
		ライト	1クロック
16ビット・タイマKB0-KB2	TPS2, TKBCRn0-TKBCRn3, TKBTGCRn, TKBCTLn0, TKBCTLn1, TKBIOCn0, TKBIOCn1, TKBFLGn, TKBTRGn, TKBCLRn, TKBCRLDn0, TKBCRLDn1, TKBDNRn0, TKBDNRn1, TKBSIRn0, TKBSIRn1, TKBSSRn0, TKBSSRn1, TKBMFRn, TKBPACTLn0, TKBPACTLn1, TKBPACTLn2, TKBPAFLGn, TKBPAHFSn, TKBPAHFTn レジスタ（n = 0-2）	リード	1クロック
			2クロック （タイマKB0-KB2 : PLLCTL=0DH時（PLL使用，CPU = 32 MHz動作時）） ライト：1クロック

表35－1　ウエイトが発生するレジスタとCPUのウエイト・クロック数（2/2）

周辺ハードウエア	対象レジスタ	対象アクセス	ウエイト・クロック数
16ビット・タイマKC0	TKCCR0, TKCDUTY00-TKCDUTY05, TKCCTL0, TKCIOC00, TKCIOC01, TKCTOF0, TKCFLG0, TKCTRG0レジスタ	リード	1クロック
			2クロック （タイマKC0 : PLLCTL=0DH時（PLL使用，CPU = 32 MHz動作時））
		ライト	1クロック
プログラマブル・ゲイン・アンプ（PGA）	PGACTL, PGAINSレジスタ	リード	1クロック
			2クロック （PGA : PLLCTL=0DH時（PLL使用，CPU = 32 MHz動作時））
		ライト	1クロック
コンパレータ	CnCTL, CVRCTL, CmRVM, CMPEGP0, CMPEGN0, CMPMON, CMPWDC, CMPSELレジスタ（n = 0-5, m = 0-2）	リード	1クロック
			2クロック （コンパレータ : PLLCTL=0DH時（PLL使用，CPU = 32 MHz動作時））
		ライト	1クロック
シリアル・アレイ・ユニット4（DALI/UART4）	SDTL4, SDTH4, SDCL4, SDCH4, SDR40, SDR41, SSR40, SSR41, SIR40, SIR41, SMR40, SMR41, SCR40, SCR41, SE4, SS4, ST4, SPS4, SO4, SOE4, SOL4, SSC4, SOC4, NFEN3, SUCTLレジスタ	リード	1クロック
		ライト	1クロック
割り込み機能	EGP2, EGN2, INTPCTL, INTMK0, INTMF0レジスタ	リード	1クロック
		ライト	1クロック
機能安全	IAWCTL1レジスタ	リード	1クロック
		ライト	1クロック
その他	PIOR1, PFSEL0レジスタ	リード	1クロック
		ライト	1クロック

付録A　改版履歴

A. 1　本版で改訂された主な箇所

（1/2）

箇　　所	内　　容	分類
全体		
-	3線シリアルI/O、3線シリアルを簡易SPIに変更	(c)
-	CSIを簡易SPIに変更	(c)
-	IICAのウエイトをクロック・ストレッチに変更	(c)
第1章 概 説		
p.1	1. 1 特 徴 注を追加	(c)
第4章 ポート機能		
p.110	4. 4. 5 入出力バッファによる異電位（2.5 V系, 3 V系）対応（1）注を追加	(c)
第9章 リアルタイム・クロック		
p.421	図9－5 リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（2/2）を変更	(c)
p.433	9. 4. 3 リアルタイム・クロックのカウンタ読み出し／書き込み 注意を変更	(c)
p.434	図9－22 リアルタイム・クロックの書き込み手順　注意1を変更	(c)
第13章 プログラマブル・ゲイン・アンプ		
p.514	第13章 プログラマブル・ゲイン・アンプを変更	(c)
p.514	13. 1 プログラマブル・ゲイン・アンプの機能を変更	(c)
p.514	13. 2 プログラマブル・ゲイン・アンプの構成を変更	(c)
第15章 シリアル・アレイ・ユニット0		
p.547	第12章 シリアル・アレイ・ユニット 注を追加	(c)
p.815	(i) WTIM0 = 0のときを変更	(b)
p.815	(ii) WTIM0 = 1のときを変更	(b)
p.816	(i) WTIM0 = 0のときを変更	(b)
p.816	(ii) WTIM0 = 1のときを変更	(b)
p.817	(i) WTIM0 = 0のときを変更	(b)
p.817	(ii) WTIM0 = 1のときを変更	(b)
p.818	(i) WTIM0 = 0のときを変更	(b)
p.818	(ii) WTIM0 = 1のときを変更	(b)
p.819	(i) WTIM0 = 0のとき（リスタート後，SVA0一致）を変更	(b)
p.819	(ii) WTIM0 = 1のとき（リスタート後，SVA0一致）を変更	(b)
p.820	(i) WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード））を変更	(b)
p.820	(ii) WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード））を変更	(b)
p.821	(i) WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード以外））を変更	(b)
p.821	(ii) WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード以外））を変更	(b)
p.822	(i) WTIM0 = 0のときを変更	(b)
p.822	(ii) WTIM0 = 1のときを変更	(b)

備考　表中の「分類」により，改訂内容を次のように区分しています。

（a）：誤記訂正，（b）：仕様（スペック含む）の追加／変更，（c）：説明，注意事項の追加／変更，

（d）：パッケージ，オーダ名称，管理区分の追加／変更，（e）：関連資料の追加／変更

（2/2）

箇　所	内　容	分類
第15章 シリアル・アレイ・ユニット0		
p.823	(i) WTIM0 = 0のとき（リスタート後，SVA0一致）を変更	(b)
p.823	(ii) WTIM0 = 1のとき（リスタート後，SVA0一致）を変更	(b)
p.824	(i) WTIM0 = 0のとき（リスタート後，拡張コード受信）を変更	(b)
p.824	(ii) WTIM0 = 1のとき（リスタート後，拡張コード受信）を変更	(b)
p.825	(i) WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード以外））を変更	(b)
p.825	(ii) WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード以外））を変更	(b)
p.826	(i) WTIM0 = 0のときを変更	(b)
p.827	(ii) WTIM0 = 1のときを変更	(b)
p.827	(i) WTIM0 = 0のときを変更	(b)
p.828	(ii) WTIM0 = 1のときを変更	(b)
p.829	(b) 拡張コード送信中にアービトレーションに負けた場合を変更	(b)
p.830	(i) 拡張コード以外（例 SVA0不一致）を変更	(b)
p.831	(ii) 拡張コードを変更	(b)
p.832	(i) WTIM0 = 0のときを変更	(b)
p.832	(ii) WTIM0 = 1のときを変更	(b)
p.833	(i) WTIM0 = 0のときを変更	(b)
p.833	(ii) WTIM0 = 1のときを変更	(b)
p.834	(i) WTIM0 = 0のときを変更	(b)
p.834	(ii) WTIM0 = 1のときを変更	(b)
第32章 電気的特性（G：産業用途，T_A = －40～＋105℃対応品）		
p.1057	32. 3. 2 電源電流特性 注1、注4を変更	(c)
p.1059	32. 3. 2 電源電流特性 注1、注5を変更、注6を削除	(c)
第33章 電気的特性（M：産業用途，T_A = －40～＋125℃対応品）		
p.1102	33. 3. 2 電源電流特性 注1、注4を変更	(c)
p.1104	33. 3. 2 電源電流特性 注1、注5を変更、注6を削除	(c)
第34章 外形図		
p.1135	PLSP0030JB-Bパッケージ図を変更	(a)

備考　表中の「分類」により，改訂内容を次のように区分しています。

（a）：誤記訂正，（b）：仕様（スペック含む）の追加／変更，（c）：説明，注意事項の追加／変更，

（d）：パッケージ，オーダ名称，管理区分の追加／変更，（e）：関連資料の追加／変更

A. 2 前版までの改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

（1/17）

版　数	内　容	適用箇所
Rev.0.02	1. 1 特徴の説明を変更	第1章 概説
	1. 2 オーダ情報を変更	
	図2－1 端子の入出力回路一覧を変更	第2章 端子機能
	3. 1. 2 ミラー領域の説明を変更	第3章 CPUアーキテクチャ
	図3－4 データ・メモリとアドレッシングの対応（R5F1076C, R5F107AC, R5F107BC）を変更	
	図3－15 テーブル・インダイレクト・アドレッシングの概略を変更	
	4. 2. 1 ポート0～4. 2. 10 ポート20を追加	第4章 ポート機能
	図4－23 ポート・モード・レジスタのフォーマット（38ピン製品）を変更，注意2を削除	
	5. 1（2）サブシステム・クロックの説明を変更	第5章 クロック発生回路
	5. 3（2）システム・クロック制御レジスタ（CKC）の説明を変更	
	図5－6 発振安定時間選択レジスタ（OSTS）のフォーマットを変更	
	5. 3（7）周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2）の説明を変更，注を削除	
	図5－10 周辺イネーブル・レジスタ2（PER2）のフォーマットを変更	
	5. 3（8）動作スピード・モード制御レジスタ（OSMC）の説明を変更，注意を削除	
	5. 3（9）高速内蔵発振トリミング・レジスタ（HIOTRM）を変更	
	5. 6. 1 高速内蔵発振回路の設定例を変更	
	5. 6. 2 X1発振回路の設定例の説明を変更	
	6. 2（1）タイマ・カウンタ・レジスタmn（TCRmn）の説明を変更	第6章 タイマ・アレイ・ユニット
	表6－4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間に注を追加	
	6. 3（3）タイマ・モード・レジスタmn（TMRmn）の注意を変更	
	図6－8 タイマ・モード・レジスタmn（TMRmn）のフォーマットを変更	
	図6－25 ポート・モード・レジスタ0, 3（PM0, PM3）のフォーマット（38ピン製品の場合）を変更	
	6. 4 複数チャネル連動動作機能の基本ルールの説明を変更	
	図6－35，図6－37，図6－41，図6－45，図6－49，図6－51，図6－53，図6－58，図6－63，図6－68の注を変更	
	図6－37，図6－41，図6－45，図6－49，図6－53の動作クロック（f_{MCK}）の選択を変更	
	図6－43，図6－47に注を追加	
	6. 7. 5 ディレイ・カウンタとしての動作の説明を変更	
	全般的に変更	第7章 16ビット・タイマKB0, KB1, KB2
	16ビット・タイマKC出力端子制御レジスタ（TOETKC0）を追加	第8章 16ビット・タイマKC0
	8. 1 16ビット・タイマKC0の機能の説明を変更	
	図8－1 16ビット・タイマKC0のブロック図を変更	
	図8－4 周辺イネーブル・レジスタ2（PER2）のフォーマットを変更	
	8. 3（5）16ビット・タイマKC出力制御レジスタ01（TKCIOC01）の説明を変更	

（2/17）

版　数	内　　容	適用箇所
Rev.0.02	8. 3（9）16ビット・タイマKCトリガ・レジスタ0（TKCTRG0）に備考を追加	第8章　16ビット・タイマKC0
	図8－13　ポート・モード・レジスタ1, 20（PM1, PM20）のフォーマット（38ピン製品の場合）を変更	
	8. 4　16ビット・タイマKC0の動作を変更	
	図9－1　リアルタイム・クロックのブロック図の図を変更	第9章　リアルタイム・クロック
	9. 3（1）周辺イネーブル・レジスタ（PER0）の注を削除	
	図9－5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（2/2）を変更	
	図9－20　リアルタイム・クロックの書き込み手順に注意2を追加	
	11. 4. 1　ウォッチドッグ・タイマの動作制御の注意4を変更，注意5を削除 表11－3　ウォッチドッグ・タイマのオーバフローの注意を削除	第11章　ウォッチドッグ・タイマ
	表11－4　ウォッチドッグ・タイマのウインドウ・オープン期間の設定の注意1を削除	
	内部基準電圧変更	第12章　A/Dコンバータ
	図12－1　A/Dコンバータのブロック図を変更	
	12. 2　A/Dコンバータの構成の説明を変更	
	表12－1　ADCSビットとADCEビットの設定に注を追加 表12－2　ADCSビットのセット／クリア条件を変更	
	表12－3　A/D変換時間の選択を変更	
	図12－7　A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマットを変更	
	図12－8　ADRCKビットによる割り込み信号発生範囲を変更	
	図12－17　ポート・モード・レジスタ0, 2, 12, 14（PM0, PM2, PM12, PM14）のフォーマットを変更，注を削除	
	12. 7. 4　温度センサ使用時の設定（例　ソフトウエア・トリガ・モード，ワンショット変換モード時）を変更	
	コンパレータ内部基準電圧制御レジスタ（CVRCTL）を追加	第13章　プログラマブル・ゲイン・アンプ
	表13－1　プログラマブル・ゲイン・アンプの構成を変更	
	図13－3　プログラマブル・ゲイン・アンプ制御レジスタ（PGACTL）のフォーマットの注意2を変更	
	図13－5　コンパレータ入力切り替え制御レジスタ（CMPSEL）のフォーマットに注意2を追加	
	図13－6　A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマットの注を変更	
	13. 3（7）ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14）の注意を変更 図13－8　ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14）のフォーマット（38ピン製品の場合）を変更，注を削除	
	13. 4　プログラマブル・ゲイン・アンプの動作の説明を変更	
	13. 5　プログラマブル・ゲイン・アンプの設定手順を追加	
	第14章　コンパレータの説明を変更	第14章　コンパレータ
	表14－1　コンパレータの構成を変更	
	図14－4　コンパレータ.内部基準電圧制御レジスタ（CVRCTL）のフォーマットの注意2を変更	
	図14－11　A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマットの注を変更	

（3/17）

版　　数	内　　容	適用箇所
Rev.0.02	図14－14　ポート・モード・レジスタ0, 2, 14（PM0, PM2, PM14）のフォーマットを変更	第14章　コンパレータ
	14. 4　コンパレータの設定手順を追加	
	図15－4　周辺イネーブル・レジスタ0（PER0）のフォーマットの注意1を変更	第15章　シリアル・アレイ・ユニット0
	図15－5　シリアル・クロック選択レジスタm（SPSm）のフォーマットを変更	
	図15－12　シリアル・チャネル開始レジスタm（SSm）のフォーマットに注意2を追加	
	15. 3（13）シリアル出力レベル・レジスタm（SOLm）の説明を変更	
	15. 3（14）シリアル・スタンバイ・コントロール・レジスタ0（SSC0）に注意を追加	
	図15－22　ポート・モード・レジスタ0, 1（PM0, PM1）のフォーマットを変更	
	周辺I/Oリダイレクション・レジスタ（PIOR1）を追加	第16章　シリアル・アレイ・ユニット4（DALI/UART4）
	16. 1（1）アシンクロナス・シリアル通信（UART）モードの説明を変更	
	図16－8　シリアル通信動作設定レジスタ4n（SCR4n）のフォーマットを変更	
	図16－9　シリアル・データ・レジスタ4n（SDR4n）のフォーマットに注3を追加	
	図16－23　ポート出力モード・レジスタ1, 20（PM1, PM20）のフォーマット（38ピン製品の場合）を変更	
	16. 7　SNOOZEモード機能（DALI/UART4受信のみ）の注意1を変更，注意3を追加	
	16. 9（1）ボー・レート算出式に備考2を追加	
	図17－7　IICAステータス・レジスタ0（IICS0）のフォーマットを変更	第17章　シリアル・インタフェースIICA
	図17－12　ポート・モード・レジスタ1（PM1）のフォーマットを変更	
	図17－34　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウエイト選択）（1/3）の説明を変更	
	図18－6　乗算（符号なし）動作のタイミング図（2×3 = 6）を変更	第18章　乗除積和算器
	18. 4. 3　積和演算（符号なし）動作の説明を変更	
	図18－8　積和演算（符号なし）動作のタイミング図（2×3＋3 = 9 → 32767×2＋4294901762 = 0（オーバフロー発生））を変更	
	18. 4. 4　積和演算（符号付）動作の説明を変更	
	図18－9　積和演算（符号付）動作のタイミング図（2×3＋（－4） = 2 → 32767×（－1）＋（－2147483647） = －2147450882（オーバフロー発生））を変更	
	19. 6　DMAコントローラの注意事項の（4）を変更，（7）を追加	第19章　DMAコントローラ
	表20－1　割り込み要因一覧を変更	第20章　割り込み機能
	第22章　リセット機能の説明を変更，注意3を削除	第22章　リセット機能
	表22－2　各ハードウエアのリセット受け付け後の状態（1/4），注2を変更	
	表22－2　各ハードウエアのリセット受け付け後の状態（4/4）の注2のLVIM, LVISの値を変更	
	図23－3　リセット解除後のソフト処理例を変更	第23章　パワーオン・リセット回路
	24. 1　電圧検出回路の機能の説明を変更	第24章　電圧検出回路
	図24－2　電圧検出レジスタ（LVIM）のフォーマットの注2を変更，注3, 4を追加	
	図24－3　電圧検出レベル・レジスタ（LVIS）のフォーマットを変更	
	表24－1　ユーザ・オプション・バイト（000C1H/010C1H）によるLVD動作モード・検出電圧設定を変更	

（4/17）

版　　数	内　　容	適用箇所
Rev.0.02	24. 4. 1　リセット・モードとして使用時の設定の説明を変更	第24章　電圧検出回路
	図24－4　内部リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）を変更	
	24. 4. 2　割り込みモードとして使用時の設定の説明を変更	
	図24－5　割り込み信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）を変更	
	24. 4. 3　割り込み＆リセット・モードとして使用時の設定の説明を変更	
	図24－6　割り込み＆リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）を変更	
	図24－8　LVDリセット要因発生からLVDリセット発生または解除までの遅延を変更	
	全般的に変更	第25章　安全機能
	26. 1　レギュレータの概要の説明，表26－1　レギュレータ出力電圧条件を変更	第26章　レギュレータ
	27. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）の説明を変更	第27章　オプション・バイト
	図27－1　ユーザ・オプション・バイト（000C0H/010C0H）のフォーマットの注意を変更	
	図27－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマットを変更	
	表28－1　RL78/I1Aと専用フラッシュ・メモリ・プログラマの配線表，注を変更	第28章　フラッシュ・メモリ
	28. 1. 2　通信方式を変更 図28－2　専用フラッシュ・メモリ・プログラマとの通信を変更	
	表28－2　端子接続一覧，注を変更	
	28. 2. 1　P40/TOOL0端子を変更	
	28. 3. 1　データ・フラッシュの概要の説明を変更	
	28. 4. 2　フラッシュ・メモリ・プログラミング・モードの説明を変更	
	表28－8　各プログラミング・モード時のセキュリティ設定方法を変更	
	表28－9　フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係を変更	
	図29－2　デバッグ用モニタ・プログラムが配置されるメモリ空間を変更	第29章　オンチップ・デバッグ機能
	32. 4. 2　電源電流特性を変更	第32章　電気的特性
	32. 6. 1　シリアル・アレイ・ユニット0, 4（UART0, UART1, UART4, CSI00）に注を追加	
	32. 6. 2　シリアル・アレイ・ユニット4（DALI）を変更	
	32. 10　モード引き込み時のタイミング・スペックを変更	
	33. 1　20ピン製品を変更	第33章　外 形 図
	33. 3　32ピン製品を変更	

（5/17）

版　　数	内　　容	適用箇所
Rev.1.00	インターバル・タイマ（ユニット）を12ビット・インターバル・タイマに改称	全般
	V_{LVI}, V_{LVIH}, V_{LVIL}をV_{LVD}, V_{LVDH}, V_{LVDL}に改称（LVD検出電圧）	
	RAMパリティ・エラーの割り込み要因RAMTOPをRPEに改称	
	f_{EXS}をf_{EXT}に改称	
	図1－1　RL78/I1Aの型名とメモリ・サイズ，パッケージを追加	第1章　概説
	1. 6　機能概要を変更	
	2. 2. 1　製品別の搭載機能に注意，備考を追加	第2章　端子機能
	図3－1　メモリ・マップ（R5F1076C, R5F107AC, R5F107BC）に注意を追加	第3章　CPUアーキテクチャ
	図3－2　メモリ・マップ（R5F107AE, R5F107DE）の注を変更，注意を追加	
	3. 1. 3　内部データ・メモリ空間の注意2を変更	
	図3－4　データ・メモリとアドレッシングの対応（R5F1076C, R5F107AC, R5F107BC）に注意を追加	
	図3－5　データ・メモリとアドレッシングの対応（R5F107AE, R5F107DE）の注を変更，注意を追加	
	3. 2. 1（3）スタック・ポインタ（SP）の注意3を変更	
	3. 2. 2　汎用レジスタの注意2を変更	
	表3－6　拡張SFR（2nd SFR）一覧（7/12）に注を追加	
	4. 2　ポートの構成を変更 各ポート使用時のレジスタ設定表を追加 各ポートのブロック図を変更	第4章　ポート機能
	4. 2. 3　ポート2の説明を変更	
	4. 3　ポート機能を制御するレジスタに注意を追加	
	図4－24　ポート・レジスタのフォーマット（38ピン製品）を変更	
	4. 3（3）プルアップ抵抗オプション・レジスタ（PUxx）を変更	
	4. 3（5）ポート出力モード・レジスタ（POMxx）を変更	
	図4－28　ポート・モード・コントロール・レジスタのフォーマットに注意1, 2を追加	
	4. 3（8）周辺I/Oリダイレクション・レジスタ（PIOR1）の説明を変更	
	4. 4. 4　異電位（2.5 V系, 3 V系）外部デバイスとの接続方法を変更	
	4. 5　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定を変更	
	4. 6. 2　端子設定に関する注意事項を追加	
	図5－1　クロック発生回路のブロック図を変更	第5章　クロック発生回路
	図5－2　クロック動作モード制御レジスタ（CMC）のフォーマットの注意を変更	
	図5－16　電源電圧投入時のクロック発生回路の動作の注3を変更	
	図5－17　CPUクロック状態移行図を変更	
	表5－3　CPUクロックの移行とSFRレジスタの設定例 （2）リセット解除後 (A) に，CPUを高速システム・クロック動作 (C) へ移行を変更	
	表5－4　CPUクロックの移行についての説明を変更	
	表5－6　$f_{IH} \leftrightarrow f_{MX}$で要する最大クロック数を変更	
	表5－7　$f_{MAIN} \leftrightarrow f_{SUB}$で要する最大クロック数を変更	
	6. 1. 1（6）ディレイ・カウンタを変更	第6章　タイマ・アレイ・ユニット
	図6－5　タイマ・データ・レジスタ0n（TDR0n）（n = 1, 3）のフォーマットを変更	
	図6－7　タイマ・クロック選択レジスタ0（TPS0）のフォーマットを変更	

（6/17）

版　数	内　　容	適用箇所
Rev.1.00	図6－8　タイマ・モード・レジスタ0n（TMR0n）のフォーマットを変更	第6章　タイマ・アレイ・ユニット
	図6－13　タイマ入力選択レジスタ0（TIS0）のフォーマットに注意を追加	
	図6－14　タイマ出力許可レジスタ0（TOE0）のフォーマットの説明を変更	
	6. 5　カウンタの動作を追加	
	図6－30～図6－33を変更	
	図6－38, 6－42, 6－46, 6－50, 6－54, 6－59　レジスタ設定内容例の説明を変更	
	図6－40, 6－44, 6－48, 6－52, 6－56　ブロック図を変更	
	図6－43, 6－47, 6－51, 6－60　操作手順を変更	
	7. 1　16ビット・タイマKB0, KB1, KB2の機能を変更	第7章　16ビット・タイマKB0, KB1, KB2
	図7－21～図7－23を追加	
	表7－3～表7－5を追加	
	7. 8　強制出力停止機能2の動作説明を追加	
	図8－1　16ビット・タイマKC0のブロック図を変更	第8章　16ビット・タイマKC0
	図8－14　タイマKC動作設定例（動作開始フロー）を追加	
	図8－15　タイマKC動作設定例（動作停止フロー）を追加	
	図8－16 タイマKC動作設定例（コンペアレジスター斉書き換えフロー）を追加	
	9. 3（5）～（11）の説明を変更	第9章　リアルタイム・クロック
	9. 4. 2　動作開始後のHALT/STOPモードへの移行の説明を変更	
	図10－4　インターバル・タイマ・コントロール・レジスタ（ITMC）のフォーマットに注意3を追加	第10章　12ビット・インターバル・タイマ
	図10－5　12ビット・インターバル・タイマ動作のタイミングを変更	
	11. 1　ウォッチドッグ・タイマの機能，11. 4. 3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定，11. 4. 4　ウォッチドッグ・タイマのインターバル割り込みの設定の説明を変更	第11章　ウォッチドッグ・タイマ
	図12－1　A/Dコンバータのブロック図を変更	第12章　A/Dコンバータ
	図12－3　A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマットの注2を削除，注意1, 2を追加	
	図12－4　A/D電圧コンパレータ使用時のタイミング・チャートを変更，注2，注意4を追加	
	表12－3　A/D変換時間の選択を変更	
	図12－6　A/Dコンバータ・モード・レジスタ1（ADM1）のフォーマットの注意2を変更，注意3を追加	
	図12－7　A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマットを変更	
	12. 3（5）10ビットA/D変換結果レジスタ（ADCR），（6）8ビットA/D変換結果レジスタ（ADCRH）に注を追加	
	図12－11　アナログ入力チャネル指定レジスタ（ADS）のフォーマットに注，注意10, 11を追加	
	12. 3（11）A/Dポート・コンフィギュレーション・レジスタ（ADPC）に注意3を追加	
	12. 3（12）ポート・モード・コントロール・レジスタ0, 12, 14（PMC0, PMC12,PMC14）に注意を追加	
	12. 3（13）ポート・モード・レジスタ0, 2, 12, 14（PM0, PM2, PM12, PM14）に注意2を追加	
	12. 4　A/Dコンバータの変換動作に注1を追加	
	図12－32～図12－36を変更	

（7/17）

版　数	内　　容	適用箇所
Rev.1.00	12. 8　SNOOZEモード機能の説明を変更	第12章　A/Dコンバータ
	12. 10（2）ANI0-ANI2, ANI4-ANI7, ANI16-ANI19, PGAOUT端子入力範囲についてに注意を追加	
	12. 10（5）アナログ入力（ANIn）端子の説明を変更	
	表12－6　等価回路の各抵抗と容量値（参考値）を変更	
	図14－1　コンパレータのブロック図を変更	第14章　コンパレータ
	全般的に変更	第15章　シリアル・アレイ・ユニット0
	図16－18　シリアル・スタンバイ・コントロール・レジスタ4（SSC4）のフォーマットを変更	第16章　シリアル・アレイ・ユニット4（DALI/UART4）
	16. 3（18）ポート出力モード・レジスタ1, 20（POM1, POM20）を変更	
	図16－29　UART送信の中断手順を変更	
	図16－30　UART送信の再開設定手順を変更	
	図16－32　UART送信（シングル送信モード時）のフロー・チャートを変更	
	図16－33　UART送信（連続送信モード時）のタイミング・チャートを変更	
	図16－34　UART送信（連続送信モード時）のフロー・チャートを変更	
	図16－37　UART受信の中断手順を変更	
	図16－38　UART受信の再開設定手順を変更	
	図16－39　UART受信のタイミング・チャートを変更	
	図16－40　UART受信のフロー・チャートを変更	
	16. 11　DMX512通信の動作を追加	
	図17－9　IICAコントロール・レジスタ01（IICCTL01）のフォーマット（2/2）に注意を追加	第17章　シリアル・インタフェースIICA
	17. 5. 13　ウエイク・アップ機能の説明を変更	
	図17－29, 17－30, 17－31を変更	
	17. 5. 17（2）（d）Start～Address～Data～Start～Address～Data～Stopを変更	
	17. 5. 17（3）（d）Start～Code～Data～Start～Address～Data～Stopを変更	
	図18－1　乗除積和算器のブロック図を変更	第18章　乗除積和算器
	18. 2（2）乗除算データ・レジスタB（MDBL, MDBH）の注意1を変更	
	18. 2（3）乗除算データ・レジスタC（MDCL, MDCH）の注意2を変更	
	図18－5　乗除算コントロール・レジスタ（MDUC）のフォーマットの説明を変更	
	図18－6　乗算（符号なし）動作のタイミング図の値を変更	
	図18－7　乗算（符号付）動作のタイミング図（－2×32767 = －65534）の値を変更	
	図18－8　積和演算（符号なし）動作のタイミング図の値を変更	
	図18－9　積和演算（符号付）動作のタイミング図の値を変更	
	18. 4. 5　除算動作の説明とタイミング図を変更	
	図18－10　除算動作のタイミング図（例：35÷6 = 5 余5）を変更	
	表19－2　汎用レジスタ以外の内蔵RAM領域を追加	第19章　DMAコントローラ
	冒頭に説明を追加	第20章　割り込み機能
	表20－1　割り込み要因一覧（3/3）を変更	
	図20－8　割り込みモニタ・フラグ・レジスタ0（INTMF0）（38ピン製品）に注を追加	
	表20－4　マスカブル割り込み要求発生から処理までの時間を変更，注を追加	

（8/17）

版　　数	内　　容	適用箇所
Rev.1.00	図20－11　割り込み要求の受け付けタイミング（最小時間），図20－12　割り込み要求の受け付けタイミング（最大時間）を変更	第20章　割り込み機能
	表20－5　割り込み処理中に多重割り込み可能な割り込み要求の関係を変更	
	20. 4. 4　割り込み要求の保留を変更	
	図21－2　発振安定時間選択レジスタ（OSTS）のフォーマットを変更	第21章　スタンバイ機能
	表21－1　HALTモード時の動作状態を変更	
	図21－3　HALTモードの割り込み要求発生による解除の注を変更	
	図21－4　HALTモードのリセットによる解除を変更	
	表21－2　STOPモード時の動作状態を変更	
	図21－5　STOPモードの割り込み要求発生による解除の注を変更	
	図21－6　STOPモードのリセットによる解除の注を変更	
	21. 2. 3（1）SNOOZEモードの設定および動作状態の説明を変更	
	図22－2, 22－4を変更	第22章　リセット機能
	表22－1　リセット期間中の動作状態を変更	
	表22－2　各ハードウエアのリセット受け付け後の状態の注2を変更	
	図22－5　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマットに注意2, 3を追加	
	図23－2　パワーオン･リセット回路と電圧検出回路の内部リセット信号発生のタイミングを変更	第23章　パワーオン・リセット回路
	図24－1　電圧検出回路のブロック図を変更	第24章　電圧検出回路
	表24－1　ユーザ・オプション・バイト（000C1H）によるLVD動作モードと検出電圧設定を変更	
	図24－4　内部リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）を変更	
	図24－5　割り込み信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）を変更	
	24. 4. 3　割り込み＆リセット・モードとして使用時の設定を変更	
	25. 1　安全機能の概要の備考を変更	第25章　安全機能
	25. 3. 1　フラッシュ・メモリCRC演算機能（高速CRC）の説明，注意を追加	
	25. 3. 2　CRC演算機能（汎用CRC）の説明，注意を追加	
	図25－6　CRC演算機能（汎用CRC）のフロー・チャートを変更	
	図25－7　RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマットの注意を変更	
	図25－12　不正メモリ・アクセス検出制御レジスタ0（IAWCTL0）のフォーマットに備考を追加	
	25. 3. 8　A/Dテスト機能に説明を追加	
	図25－16　A/Dテスト・レジスタ（ADTES）のフォーマットを変更	
	図25－17　アナログ入力チャネル指定レジスタ（ADS）のフォーマットに注を追加	
	図27－1　ユーザ・オプション・バイト（000C0H/010C0H）のフォーマットの説明を変更	第27章　オプション・バイト
	図27－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマットを変更	
	表28－1　RL78/I1Aと専用フラッシュ・メモリ・プログラマの配線表の注を変更	第28章　フラッシュ・メモリ
	28. 1. 1　プログラミング環境の説明を変更	
	図28－2　専用フラッシュ・メモリ・プログラマとの通信の注を変更	

（9/17）

版　数	内　　容	適用箇所
Rev.1.00	表28－2　端子接続一覧の注を変更	第28章　フラッシュ・メモリ
	28. 3. 1　データ・フラッシュの概要の説明を変更	
	28. 4. 5　シグネチャ・データの説明を追加	
	28. 5　セキュリティ設定に説明，注意を追加	
	28. 6　セルフ書き込みによるフラッシュ・メモリ・プログラミングに注意3を追加	
	全般的に変更	第31章　命令セットの概要
	全般的に変更	第32章　電気的特性
	33. 2　30ピン製品，33.4　38ピン製品を変更	第33章　外形図
Rev. 2.10	32ピン製品を削除	全般
	f_{EXT}をf_{EXS}に改称	
	1. 1　特徴を変更	第1章　概説
	1. 2　オーダ情報を変更	
	図1－1　RL78/I1Aの型名とメモリ・サイズ，パッケージを変更	
	1. 4　端子名称を変更	
	1. 6　機能概要を変更	
	2. 2. 1　製品別の搭載機能を変更	第2章　端子機能
	3. 1　メモリ空間を変更	第3章　CPUアーキテクチャ
	図3－1，図3－2の注，注意を変更	
	図3－3　プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマットの注2を削除	
	3. 1. 3　内部データ・メモリ空間を変更	
	3. 1. 6　データ・メモリ・アドレッシングを変更	
	図3－4，図3－5の注，注意を変更	
	3. 2. 1　制御レジスタを変更	
	3. 2. 2　汎用レジスタを変更	
	3. 2. 3　ES, CSレジスタを変更，図3－12　データ・アクセス領域の拡張を追加	
	3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）を変更	
	3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）を変更	
	表3－6　拡張SFR（2nd SFR）一覧を変更	
	3. 4. 1　インプライド・アドレッシングを変更	
	3. 4. 3　ダイレクト・アドレッシングを変更	
	図3－20，図3－21，図3－24～図3－34を変更	
	3. 4. 5　SFRアドレッシングを変更	
	3. 4. 7　ベースト・アドレッシングを変更	
	3. 4. 9　スタック・アドレッシングを変更	
	図3－35～図3－40を追加	
	4. 3　ポート機能を制御するレジスタの注意を変更	第4章　ポート機能
	図5－1　クロック発生回路のブロック図を変更	第5章　クロック発生回路
	図5－2　クロック動作モード制御レジスタ（CMC）のフォーマットの注意7を変更	

（10/17）

版　数	内　　容	適用箇所
Rev. 2.10	図5－12　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマットの注意1-3を変更	第5章　クロック発生回路
	5. 4. 2　XT1発振回路を変更	
	図5－15　XT1発振回路の外付け回路例の注意を変更	
	図5－17　電源電圧投入時のクロック発生回路の動作を変更	
	5. 6. 1　高速オンチップ・オシレータの設定例を変更	
	5. 6. 4　PLL回路の設定例に注意文を追加	
	5. 7　発振子と発振回路定数を追加	
	6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）を変更	第6章　タイマ・アレイ・ユニット
	図6－25　動作タイミング（キャプチャ・モード：入力パルス間隔測定）を変更	
	6. 8. 1　ワンショット・パルス出力機能としての動作を変更	
	図7－6　16ビット・タイマKB動作制御レジスタn0（TKBCTLn0）のフォーマットを変更	第7章　16ビット・タイマKB0, KB1, KB2
	図7－23　タイマKB動作設定例（コンペア・レジスター斉書き換えフロー）を変更	
	表7－5　強制出力停止機能2の外部トリガ割り当て一覧の備考を変更	
	図8－16　タイマKC動作設定例（コンペア・レジスター斉書き換えフロー）を変更	第8章　16ビット・タイマKC0
	図9－23　（DEV, F6, F5, F4, F3, F2, F1, F0）=（1, 1, 1, 0, 1, 1, 1, 0）の場合の補正動作を変更	第9章　リアルタイム・クロック
	図10－1　12ビット・インターバル・タイマのブロック図を変更	第10章　12ビット・インターバル・タイマ
	図10－2　周辺イネーブル・レジスタ0（PER0）のフォーマットを変更	
	10. 3. 2　動作スピード・モード制御レジスタ（OSMC）を変更	
	図10－5　12ビット・インターバル・タイマ動作のタイミングを変更	
	図12－1　A/Dコンバータのブロック図を変更	第12章　A/Dコンバータ
	12. 2（10）AV_{REFP}端子を変更	
	図12－2　周辺イネーブル・レジスタ0（PER0）のフォーマットの注意1を変更	
	図12－3　A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマットの注意1, 2を変更	
	表12－1　ADCSビットとADCEビットの設定を変更	
	表12－3　A/D変換時間の選択を変更	
	図12－6　A/Dコンバータ・モード・レジスタ1（ADM1）のフォーマットの注意1を変更	
	図12－7　A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマットの注意を変更	
	図12－11　アナログ入力チャネル指定レジスタ（ADS）のフォーマットの注意5を変更	
	図12－22，図12－23，図12－26，図12－27，図12－30，図12－31を変更	
	12. 7. 4　温度センサ出力／内部基準電圧出力を選択時の設定（例 ソフトウエア・トリガ・モード時，ワンショット変換モード時）を変更	
	図12－48　ANIn端子内部等価回路，表12－6　等価回路の各抵抗と容量値（参考値）を変更	
	図14－12　周辺機能切り替えレジスタ0（PFSEL0）に注意を追加	第14章　コンパレータ
	図14－15　コンパレータ（CMP）動作設定フロー・チャート1　INTCMPn，CMPnによるタイマ出力強制停止要求信号を使用する場合）を変更	
	15. 6. 3　SNOOZEモード機能を変更	第15章　シリアル・アレイ・ユニット0

（11/17）

版　数	内　　容	適用箇所
Rev. 2.10	15. 6. 4（2）送信時のボー・レート誤差を変更	第15章　シリアル・アレイ・ユニット0
	16. 1（1）アシンクロナス・シリアル通信（UART）モードに注意を追加	第16章　シリアル・アレイ・ユニット4（DALI/UART4）
	16. 1（2）DALIモードを変更	
	16. 2. 3　DALI送信データ・レジスタH4, L4（SDTH4, SDTL4）を変更	
	16. 2. 4　DALI受信データ・レジスタH4, L4（SDCH4, SDCL4）を変更	
	図16－8　シリアル通信動作設定レジスタ4n（SCR4n）のフォーマットを変更	
	16. 3. 14　シリアル・スタンバイ・コントロール・レジスタ4（SSC4）を変更	
	図16－27　UART送信時のレジスタ設定内容例を変更	
	15. 6. 3　SNOOZEモード機能を変更	
	16. 6　DALIモードを変更	
	16. 6. 1　DALI送信を変更	
	図16－51　DALI送信時のレジスタ設定内容例を変更	
	16. 6. 2　DALI受信を変更	
	図16－57　DALI受信時のレジスタ設定内容例を変更	
	16. 7　スタンバイ機能（DALI/UART4受信のみ）を変更	
	16. 11　DMX512通信の動作を変更	
	図18－5　乗除算コントロール・レジスタ（MDUC）のフォーマットを変更	第18章　乗除積和算器
	図18－9　積和演算（符号付）動作のタイミング図（2×3＋（－4）　= 2 → 32767×（－1）＋（－2147483647）　= －2147450882（オーバフロー発生））を変更	
	表20－1　割り込み要因一覧に注3を追加	第20章　割り込み機能
	図20－5 **優先順位指定フラグ・レジスタ**（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）**のフォーマット**（38**ピン製品**）（2/3）を修正	
	表20－3　EGPnビットとEGNnビットに対応する割り込み要求信号を修正	
	21. 1　スタンバイ機能の注意を変更	第21章　スタンバイ機能
	表21－1　HALTモード時の動作状態を変更	
	図21－4　HALTモードのリセットによる解除，注を変更	
	21. 3. 2（1）STOPモードの設定および動作状態の注意1を変更	
	図21－5　STOPモードの割り込み要求発生による解除の注を変更，備考2を追加	
	図21－6　STOPモードのリセットによる解除を変更，注を追加	
	21. 3. 3（1）SNOOZEモードの設定および動作状態を変更	
	第22章　リセット機能の注3を変更	第22章　リセット機能
	図22－2，図22－3を変更，注を追加	
	図22－4　STOPモード中の$\overline{\text{RESET}}$入力によるリセット・タイミング，注を変更	
	表22－1　リセット期間中の動作状態を変更	
	表22－2　各ハードウエアのリセット受け付け後の状態を変更	
	図22－5　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマットの注意2を変更	
	図23－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミングを変更	第23章　パワーオン・リセット回路
	25. 1（2）RAMパリティ・エラー検出機能を変更	第25章　安全機能

（12/17）

版　数	内　　容	適用箇所
Rev. 2.10	図25－7　RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマットの注意を変更	第25章　安全機能
	図25－11　不正アクセス検出空間を変更	
	27. 1　オプション・バイトの機能を変更	第27章　オプション・バイト
	図27－1　ユーザ・オプション・バイト（000C0H/010C0H）のフォーマットの注意を変更	
	図27－3　ユーザ・オプション・バイト（000C2H/010C2H）のフォーマットの注意を変更	
	28. 2. 1　P40/TOOL0端子を変更	第28章　フラッシュ・メモリ
	28. 3. 1　データ・フラッシュの概要の説明，注意を変更	
	28. 4. 2 フラッシュ・メモリ・プログラミング・モードを変更	
	28. 6　セルフ書き込みによるフラッシュ・メモリ・プログラミングの注意4を変更	
	31. 1. 5　動作クロック数についてを追加	第31章　命令セットの概要
	31. 2　命令の組み合わせによるハザードを追加	
	表31－5　オペレーション一覧（14/17）を訂正	
	32. 2. 1　X1, XT1発振回路特性を変更	第32章　電気的特性（T_A = －40～+105℃対応品）
	32. 3. 1　端子特性の注を変更	
	32. 3. 2　電源電流特性を変更	
	32. 4　A/C特性に「メイン・システム・クロック動作時の最小命令実行時間」を追加	
	32. 5. 1 シリアル・アレイ・ユニット0, 4（UART0, UART1, CSI00, DALI/UART4）を変更	
	32. 5. 2 シリアル・インタフェースIICAを変更	
	32. 6. 1　A/Dコンバータ特性を変更	
	32. 6. 2　温度センサ／内部基準電圧特性を変更	
	32. 6. 3　プログラマブル・ゲイン・アンプを変更	
	32. 6. 4　コンパレータを変更	
	32. 6. 5　POR回路特性を変更	
	32. 6. 6　LVD回路特性を変更	
	32. 6. 7　電源電圧立ち上がり傾き特性を追加	
	32. 7　データ・メモリSTOPモード低電源電圧データ保持特性を変更	
	32. 8　フラッシュ・メモリ・プログラミング特性を変更	
	32. 9　専用フラッシュ・メモリ・プログラマ通信（UART）を追加	
	32. 10　フラッシュ・メモリ・プログラミング・モード引き込み時のタイミング・スペックの説明を変更	
	章を追加	第33章　電気的特性（T_A = －40～+125℃対応品）
	34. 1　20ピン製品を変更	第34章　外形図
	表34－1　ウエイトが発生するレジスタとCPUのウエイト・クロック数を変更	第35章　ウエイトに関する注意事項

（13/17）

版　数	内　容	適用箇所
Rev. 3.10	説明を変更	第1章　概説
	1. 3. 1　20ピン製品の説明を変更	
	1. 3. 2　30ピン製品の説明を変更	
	1. 6　機能概要の説明を変更	
	説明を変更	第2章　端子機能
	2. 2. 2　機能説明の説明を変更	
	説明を変更	第3章　CPU アーキテクチャ
	説明を変更	第4章　ポート機能
	4. 2. 3　ポート2の説明を変更	
	4. 4. 5（2）UART0, UART1, CSI00機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順の説明を変更	
	表4－5　端子機能使用時のレジスタ，出力ラッチの設定例を変更	
	説明を変更	第5章　クロック発生回路
	5. 1　クロック発生回路の機能の説明を変更	
	図5－4　クロック動作ステータス制御レジスタ（CSC）のフォーマットの説明を追加	
	5. 6. 2　X1発振回路の設定例に注意を追加	
	説明を変更	第6章　タイマ・アレイ・ユニット
	6. 1. 2（2）　PWM（Pulse Width Modulation）出力を変更	
	6. 3. 2　タイマ・クロック選択レジスタ0（TPS0）を変更	
	図6－10　タイマ・モード・レジスタ0n（TMR0n）のフォーマット（1/4）を変更	
	6. 4. 1 複数チャネル連動動作機能の基本ルールを変更	
	6. 4. 2　8ビット・タイマ動作機能概要（チャネル1, 3のみ）の説明を変更を変更	
	図6－42 インターバル・タイマ／方形波出力時のレジスタ設定内容例	
	説明を変更	第7章　16 ビット・タイマ KB0, KB1, KB2
	7. 2. 2　16ビット・タイマKBトリガ・コンペア・レジスタn（TKBTGCRn）の説明を変更	
	7. 3. 2　タイマ・クロック選択レジスタ2（TPS2）の説明を変更	
	表7－2　16ビット・タイマKBディザリング数レジスタnp（TKBDNRnp）の設定の備考1を変更	
	7. 4. 1（2）クリア動作の説明を変更	
	7. 4. 2（3）（a）基本タイミングの説明を変更	
	7. 4. 3　動作停止と動作開始の説明を変更	
	7. 4. 3（2）カウント動作停止タイミングの説明を変更	
	図7－41　単体動作時の構成図（外部トリガ入力による周期制御）を変更	
	図7－44　同時スタート／ストップ・モード時の構成図（TKBCR00による周期制御）を変更	
	図7－61　TKBDNRnpと，アクティブ期間を1カウント・クロック延長する周期との関係図の備考1を変更	
	7. 5. 4（1）PWM出力ゲート機能で使用可能な動作モードの説明を変更	
	表7－6　強制出力停止機能の構成を変更	
	7. 6. 3　強制出力停止機能を制御するレジスタの説明を変更	

（14/17）

版　数	内　　容	適用箇所
Rev. 3.10	7. 6. 3. 6 強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn）のタイトルを変更	第7章 16 ビット・タイマ KB0, KB1, KB2
	図7－79 強制出力停止機能1解除トリガ・レジスタn（TKBPAHFTn）のフォーマットのタイトルと注意1を変更	
	説明を変更	第8章 16 ビット・タイマ KC0
	8. 3. 2 タイマ・クロック選択レジスタ2（TPS2）の説明を変更	
	図8－13 ポート・モード・レジスタ1, 20（PM1, PM20）のフォーマット（38ピン製品の場合）を変更	
	説明を変更	第9章 リアルタイム・クロック
	図9－5 リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（2/2）に注1, 2を追加	
	説明を変更	第10章 12 ビット・インターバル・タイマ
	説明を変更	第11章 ウォッチドッグ・タイマ
	説明を変更	第12章 A/D コンバータ
	12. 2（10）AVREFP端子の説明を変更	
	図12－11 アナログ入力チャネル指定レジスタ（ADS）のフォーマットを変更	
	図12－27 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例を変更	
	図12－37 SNOOZEモード設定のフローチャートを変更	
	説明を変更	第13章 プログラマブル・ゲイン・アンプ
	説明を変更	第14章 コンパレータ
	図14－1 コンパレータのブロック図を変更	
	表14－1 コンパレータの構成を変更	
	14. 3 コンパレータを制御するレジスタの説明を変更	
	図14－6 コンパレータ立ち上がりエッジ許可レジスタ0（CMPEGP0），コンパレータ立ち下がりエッジ許可レジスタ0（CMPEGN0）のフォーマットのタイトルを変更	
	説明を変更	第15章 シリアル・アレイ・ユニット0
	15. 1. 2 UART（UART0, UART1）の説明を変更	
	図15－4 周辺イネーブル・レジスタ0（PER0）のフォーマットの注意1を変更	
	図15－7 注3，注意の誤記を修正	
	図15－18 シリアル・スタンバイ・コントロール・レジスタ0（SSC0）のフォーマットを変更	
	図15－24（d）シリアル出力レジスタm（SOm）の説明と備考2を変更	
	図15－40（d）シリアル出力レジスタm（SOm）の説明と備考2を変更	
	図15－48（d）シリアル出力レジスタm（SOm）を変更	
	図15－56（d）シリアル出力レジスタm（SOm）を変更	
	図15－62（d）シリアル出力レジスタm（SOm）の説明を変更，注を削除	
	15. 5. 7 SNOOZEモード機能の説明を変更、図15－70 SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）を変更	
	図15－72 SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）を変更	

（15/17）

版　数	内　　容	適用箇所
Rev. 3.10	図15－75　UART（UART0, UART1）のUART送信時のレジスタ設定内容例（2/2）の備考2を変更	第15章　シリアル・アレイ・ユニット0
	図15－80　UART送信（シングル送信モード時）のフロー・チャートを変更	
	15. 6. 3　SNOOZEモード機能に注意5を追加	
	図15－89 SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート～図15－92 SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャートと備考1を変更	
	説明を変更	第16章　シリアル・アレイ・ユニット4（DALI/UART4）
	16. 3. 16　1線UART制御レジスタ（SUCTL）の説明を変更	
	16. 3. 19　ポート・モード・レジスタ1, 20（PM1, PM20）の説明を変更	
	図16－31　UART送信（シングル送信モード時）のタイミング・チャートを変更	
	16. 5. 3　SNOOZEモード機能に注意5を追加	
	図16－41　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャートを変更	
	図16－42　SNOOZEモード動作（EOCm1 = 1, SSECm = 0）時のタイミング・チャートを変更	
	図16－43　SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0）時の フロー・チャートの備考1を変更	
	16. 6. 1　DALI送信の備考1を変更	
	図16－55　DALI送信のタイミング・チャートを変更	
	図16－57　DALI受信時のレジスタ設定内容例（1/2）の説明を変更	
	図16－61　DALI受信のタイミング・チャートを変更	
	図16－63　STOPモードからの復帰タイミング・チャートを変更	
	図16－64 STOPモードからの復帰受信フロー・チャートを変更	
	16. 11　DMX512通信の動作の説明を変更	
	説明を変更	第17章　シリアル・インタフェースIICA
	図17－33　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択時）（1/4）を変更	
	図17－34（3）データ～データ～ストップ・コンディションの説明を変更	
	説明を変更	第18章　乗除積和算器
	図18－3　乗除算データ・レジスタB（MDBH, MDBL）のフォーマットを変更	
	説明を変更	第19章　DMAコントローラ
	図19－10　DWAITnビットによるDMA転送保留の設定例の注意を変更	
	説明を変更	第20章　割り込み機能
	表20－2　割り込み要求ソースに対応する各種フラグ（2/3）の注意1, 3を変更	
	図20－3　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）のフォーマット（38ピン製品）（1/2）を変更	
	図20－4　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）のフォーマット（38ピン製品）（2/2）の注意を変更	
	20. 3. 5 コンパレータ立ち上がりエッジ許可レジスタ0（CMPEGP0），コンパレータ立ち下がりエッジ許可レジスタ0（CMPEGN0）の説明を変更	

（16/17）

版　　数	内　　容	適用箇所
Rev. 3.10	説明を変更	第21章　スタンバイ機能
	説明を変更	第22章　リセット機能
	図22－3　不正命令/ウォッチドッグ・タイマ/RAMパリティ・エラー/不正メモリ・アクセスによる リセット・タイミングのタイトルを変更	
	図22－5　リセット要因の確認手順に説明を追加	
	説明を変更	第23章　パワーオン・リセット回路
	図23－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1/3）を変更	
	説明を変更	第24章　電圧検出回路
	説明を変更	第25章　安全機能
	図25－10　不正メモリ・アクセス検出制御レジスタ0（IAWCTL0）のフォーマットを変更	
	25. 3. 7　周波数検出機能の説明を変更	
	説明を変更	第27章　オプション・バイト
	27. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）の説明を変更	
	図27－3　ユーザ・オプション・バイト（000C2H/010C2H）のフォーマットを変更	
	説明を変更	第28章　フラッシュ・メモリ
	表28－1　RL78/I1Aと専用フラッシュ・メモリ・プログラマの配線表を変更	
	図28－2　専用フラッシュ・メモリ・プログラマとの通信を変更	
	表28－2　端子接続一覧を変更	
	表29－1　オンチップ・デバッグ・セキュリティIDを変更	第29章　オンチップ・デバッグ機能
	説明を変更	第31章　命令セットの概要
	記述を変更	第32章　電気的特性（G：産業用途 T_A = －40～＋105℃対応品）
	対象製品の説明を変更	
	32. 3. 1　端子特性の略号と注3を変更	
	32. 6. 6　LVD回路特性の条件式と略号を変更	
	32. 8　フラッシュ・メモリ・プログラミング特性を変更	
	記述を変更	第33章　電気的特性（M：産業用途 T_A = －40～＋125℃対応品）
	対象製品の説明を変更	
	33. 3. 1　端子特性の略号を変更	
	33. 6. 6　LVD回路特性の略号を変更、33. 7 RAMデータ保持特性の条件を追加	
	33. 8　フラッシュ・メモリ・プログラミング特性に注4を追加	
	33. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミングを変更	

（17/17）

版　　数	内　　容	適用箇所
Rev. 3.20	図2－7 端子タイプ 7-1-2 の端子ブロック図　注意を変更	第2章　端子機能
	図2－8 端子タイプ 7-1-6 の端子ブロック図　注意を変更	
	図2－10 端子タイプ 7-3-2 の端子ブロック図　注意を変更	
	図2－12 端子タイプ 8-1-2 の端子ブロック図　注意1を変更	
	3. 3. 4 レジスタ・インダイレクト・アドレッシング　タイトル、説明文を変更	第3章　CPUアーキテクチャ
	図3－16 レジスタ・インダイレクト・アドレッシングの概略　タイトルを変更	
	図3－36 CALL，CALLTの例　を変更	
	図4－1 ポート・モード・レジスタのフォーマット　注意を変更	第4章　ポート機能
	5. 4. 4 低速オンチップ・オシレータ　説明文を変更	第5章　クロック発生回路
	7. 6. 1 強制出力停止機能1と強制出力停止機能2　(2)　説明文を変更	第7章　16 ビット・タイマ KB0, KB1, KB2
	図9－4 リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット 注意2を追加	第9章　リアルタイム・クロック
	表11－4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定　注を追加	第11章　ウォッチドッグ・タイマ
	15. 3. 17 シリアル入出力端子のポート機能を制御するレジスタ　説明文を追加	第15章　シリアル・アレイ・ユニット0
	図15－97 LINのマスタ送信操作　を変更	
	図15－98 LIN送信のフロー・チャート　を変更	
	図15－99 LINの受信操作　を変更	
	アクノリッジ: $\overline{\text{ACK}}$→ACK	第17章　シリアル・インタフェースIICA
	17. 3. 6 IICAロウ・レベル幅設定レジスタ0（IICWL0）説明文を追加	
	表20－1 割り込み要因一覧　注3を削除	第20章　割り込み機能
	図21－6 SNOOZEモードの割り込み要求が発生しない場合　を変更	第21章　スタンバイ機能
	図27－1 ユーザ・オプション・バイト（000C0H/010C0H）のフォーマット　注3を追加	第27章　オプション・バイト
	図28－5 フラッシュ・メモリ・プログラミング・モードへの引き込み　を変更	第28章　フラッシュ・メモリ
	アクノリッジ: $\overline{\text{ACK}}$→ACK	第32章　電気的特性（G：産業用途，T_A = －40～＋105℃対応品）
	32. 10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング 図を変更	
	アクノリッジ: $\overline{\text{ACK}}$→ACK	第33章　電気的特性（M：産業用途，T_A = －40～＋125℃対応品）
	33. 10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング　図を変更	

RL78/I1A ユーザーズマニュアル
ハードウェア編

発行年月日　2011 年 3 月 31 日　Rev.0.01
2023 年 3 月 31 日　Rev.3.30

発行　ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

RL78/I1A

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0169JJ0330