

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R8C/38Aグループ

ハードウェアマニュアル

ルネサスマイクロコンピュータ

R8Cファミリ／R8C/3xシリーズ

暫定版

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなく、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電氣的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/38A グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
ショートシート	ハードウェアの概要と電気的特性	R8C/38A グループショートシート	RJJ03B0268
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法是アプリケーションノートを参照してください。	R8C/38A グループハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU 命令セットの説明	R8C/Tiny シリーズソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C 言語によるプログラムの作成方法	ルネサス テクノロジホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- | |
|--|
| <p>(1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタのPM03 ビット
P3_5 端子、VCC 端子</p> <p>(2) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数：11b
16進数：EFA0h
10進数：1234</p> |
|--|

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

x.x.x レジスタ(シンボル)

アドレス . . . h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	. . . 7	. . . 6	. . . 5	-	-	-	. . . 1	. . . 0
リセット後の値	0	0	0	0	0	0	0	0

* 1

ビット	シンボル	ビット名	機能	R/W
b0	. . . 0	. . . ビット	b1 b0 00 : . . . 01 : . . . 10 : 設定しないでください 11 : . . .	R/W
b1	. . . 1			R/W
b2	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-
b3	-		予約ビット	W
b4	-	. . . ビット	動作モードによって機能が異なる	R/W
b5	. . . 5			R/W
b6	. . . 6	. . . ビット	0 : . . . 1 : . . .	R
b7	. . . 7			R

* 2

* 3

* 1

- R/W : 読むとビットの状態が読めます。書くと有効データになります。
- R : 読むとビットの状態が読めます。書いた値は無効になります。
- W : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

* 2

- 予約ビット
予約ビットです。指定された値にしてください。

* 3

- 何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- 設定しないでください
設定した場合の動作は保証されません。
- 動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	NECエレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

番地別ページ早見表	B - 1
1. 概要	1
1.1 特長	1
1.1.1 用途	1
1.1.2 仕様概要	2
1.2 製品一覧	4
1.3 ブロック図	5
1.4 ピン配置図	6
1.5 端子機能の説明	10
2. 中央演算処理装置 (CPU)	12
2.1 データレジスタ (R0、R1、R2、R3)	13
2.2 アドレスレジスタ (A0、A1)	13
2.3 フレームベースレジスタ (FB)	13
2.4 割り込みテーブルレジスタ (INTB)	13
2.5 プログラムカウンタ (PC)	13
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	13
2.7 スタティックベースレジスタ (SB)	13
2.8 フラグレジスタ (FLG)	13
2.8.1 キャリフラグ (C フラグ)	13
2.8.2 デバッグフラグ (D フラグ)	13
2.8.3 ゼロフラグ (Z フラグ)	13
2.8.4 サインフラグ (S フラグ)	13
2.8.5 レジスタバンク指定フラグ (B フラグ)	13
2.8.6 オーバフローフラグ (O フラグ)	14
2.8.7 割り込み許可フラグ (I フラグ)	14
2.8.8 スタックポインタ指定フラグ (U フラグ)	14
2.8.9 プロセッサ割り込み優先レベル (IPL)	14
2.8.10 予約ビット	14
3. メモリ	15
3.1 R8C/38A グループ	15
4. SFR	16
5. リセット	28
5.1 レジスタの説明	30
5.1.1 プロセッサモードレジスタ 0 (PM0)	30
5.1.2 リセット要因判別レジスタ (RSTFR)	30
5.1.3 オプション機能選択レジスタ (OFS)	31
5.1.4 オプション機能選択レジスタ 2 (OFS2)	32
5.2 ハードウェアリセット	33
5.2.1 電源が安定している場合	33
5.2.2 電源投入時	33
5.3 パワーオンリセット機能	35
5.4 電圧監視 0 リセット	36
5.5 ウォッチドッグタイマリセット	37
5.6 ソフトウェアリセット	37

5.7	コールドスタート / ウォームスタート判定機能	38
5.8	リセット要因判別機能	38
6.	電圧検出回路	39
6.1	概要	39
6.2	レジスタの説明	43
6.2.1	電圧監視回路 / コンパレータ A 制御レジスタ (CMPA)	43
6.2.2	電圧監視回路エッジ選択レジスタ (VCAC)	44
6.2.3	電圧検出レジスタ 1 (VCA1)	44
6.2.4	電圧検出レジスタ 2 (VCA2)	45
6.2.5	電圧検出 1 レベル選択レジスタ (VD1LS)	46
6.2.6	電圧監視 0 回路制御レジスタ (VW0C)	47
6.2.7	電圧監視 1 回路制御レジスタ (VW1C)	48
6.2.8	電圧監視 2 回路制御レジスタ (VW2C)	49
6.2.9	オプション機能選択レジスタ (OFS)	50
6.3	VCC 入力電圧のモニタ	51
6.3.1	Vdet0 のモニタ	51
6.3.2	Vdet1 のモニタ	51
6.3.3	Vdet2 のモニタ	51
6.4	電圧監視 0 リセット	52
6.5	電圧監視 1 割り込み	53
6.6	電圧監視 2 割り込み	55
7.	I/O ポート	57
7.1	I/O ポートの機能	58
7.2	周辺機能への影響	58
7.3	I/O ポート以外の端子	58
7.4	レジスタの説明	79
7.4.1	ポート Pi 方向レジスタ (PDi)(i=0 ~ 9)	79
7.4.2	ポート Pi レジスタ (Pi)(i=0 ~ 9)	80
7.4.3	タイマ RA 端子選択レジスタ (TRASR)	81
7.4.4	タイマ RB/RC 端子選択レジスタ (TRBRCR)	82
7.4.5	タイマ RC 端子選択レジスタ 0 (TRCPSR0)	83
7.4.6	タイマ RC 端子選択レジスタ 1 (TRCPSR1)	84
7.4.7	タイマ RD 端子選択レジスタ 0 (TRDPSR0)	85
7.4.8	タイマ RD 端子選択レジスタ 1 (TRDPSR1)	85
7.4.9	タイマ端子選択レジスタ (TIMSR)	86
7.4.10	タイマ RF 出力制御レジスタ (TRFOUT)	86
7.4.11	UART0 端子選択レジスタ (U0SR)	87
7.4.12	UART1 端子選択レジスタ (U1SR)	88
7.4.13	UART2 端子選択レジスタ 0 (U2SR0)	89
7.4.14	UART2 端子選択レジスタ 1 (U2SR1)	90
7.4.15	SSU/IIC 端子選択レジスタ (SSUICSR)	90
7.4.16	INT 割り込み入力端子選択レジスタ (INTSR)	91
7.4.17	入出力機能端子選択レジスタ (PINSR)	92
7.4.18	プルアップ制御レジスタ 0 (PUR0)	93
7.4.19	プルアップ制御レジスタ 1 (PUR1)	93
7.4.20	プルアップ制御レジスタ 2 (PUR2)	94
7.4.21	ポート P1 駆動能力制御レジスタ (P1DDR)	95

7.4.22	ポート P2 駆動能力制御レジスタ (P2DRR).....	95
7.4.23	駆動能力制御レジスタ 0 (DRR0).....	96
7.4.24	駆動能力制御レジスタ 1 (DRR1).....	97
7.4.25	駆動能力制御レジスタ 2 (DRR2).....	99
7.4.26	入力しきい値制御レジスタ 0 (VLT0).....	100
7.4.27	入力しきい値制御レジスタ 1 (VLT1).....	101
7.4.28	入力しきい値制御レジスタ 2 (VLT2).....	102
7.5	ポートの設定.....	103
7.6	未使用端子の処理.....	130
8.	バス制御.....	131
9.	クロック発生回路.....	133
9.1	概要.....	133
9.2	レジスタの説明.....	136
9.2.1	システムクロック制御レジスタ 0 (CM0).....	136
9.2.2	システムクロック制御レジスタ 1 (CM1).....	137
9.2.3	システムクロック制御レジスタ 3 (CM3).....	138
9.2.4	発振停止検出レジスタ (OCD).....	139
9.2.5	高速オンチップオシレータ制御レジスタ 7 (FRA7).....	139
9.2.6	高速オンチップオシレータ制御レジスタ 0 (FRA0).....	140
9.2.7	高速オンチップオシレータ制御レジスタ 1 (FRA1).....	140
9.2.8	高速オンチップオシレータ制御レジスタ 2 (FRA2).....	141
9.2.9	時計用プリスケアラリセットフラグ (CPSRF).....	141
9.2.10	高速オンチップオシレータ制御レジスタ 4 (FRA4).....	142
9.2.11	高速オンチップオシレータ制御レジスタ 5 (FRA5).....	142
9.2.12	高速オンチップオシレータ制御レジスタ 6 (FRA6).....	143
9.2.13	高速オンチップオシレータ制御レジスタ 3 (FRA3).....	143
9.2.14	電圧検出レジスタ 2 (VCA2).....	144
9.2.15	入出力機能端子選択レジスタ (PINSR).....	145
9.3	XIN クロック.....	147
9.4	オンチップオシレータクロック.....	148
9.4.1	低速オンチップオシレータクロック.....	148
9.4.2	高速オンチップオシレータクロック.....	148
9.5	XCIN クロック.....	149
9.6	CPU クロックと周辺機能クロック.....	150
9.6.1	システムクロック.....	150
9.6.2	CPU クロック.....	150
9.6.3	周辺機能クロック (f1、f2、f4、f8、f32).....	150
9.6.4	fOCO.....	150
9.6.5	fOCO40M.....	150
9.6.6	fOCO-F.....	150
9.6.7	fOCO-S.....	151
9.6.8	fOCO128.....	151
9.6.9	fC、fC2、fC4、fC32.....	151
9.6.10	fOCO-WDT.....	151
9.7	パワーコントロール.....	152
9.7.1	標準動作モード.....	152
9.7.2	ウェイトモード.....	154

9.7.3	ストップモード	158
9.8	発振停止検出機能	161
9.8.1	発振停止検出機能の使用方式	161
9.9	クロック発生回路使用上の注意	164
9.9.1	ストップモード	164
9.9.2	ウェイトモード	164
9.9.3	発振停止検出機能	164
9.9.4	発振回路定数	164
10.	プロテクト	165
10.1	レジスタの説明	165
10.1.1	プロテクトレジスタ (PRCR)	165
11.	割り込み	166
11.1	概要	166
11.1.1	割り込みの分類	166
11.1.2	ソフトウェア割り込み	167
11.1.3	特殊割り込み	168
11.1.4	周辺機能割り込み	168
11.1.5	割り込みと割り込みベクタ	169
11.2	レジスタの説明	172
11.2.1	割り込み制御レジスタ (TREIC、S2TIC、S2RIC、KUPIC、ADIC、CMP1IC、S0TIC、S0RIC、S1TIC、S1RIC、 TRAIC、TRBIC、TRFIC、CMP0IC、U2BCNIC、CAPIC、VCMP1IC、VCMP2IC)	172
11.2.2	割り込み制御レジスタ (FMRDYIC、TRCIC、TRD0IC、TRD1IC、SSUIC/ICIC、TRGIC)	173
11.2.3	INTi 割り込み制御レジスタ (INTiIC)(i=0 ~ 4)	174
11.3	割り込み制御	175
11.3.1	I フラグ	175
11.3.2	IR ビット	175
11.3.3	ILVL2 ~ ILVL0 ビット、IPL	175
11.3.4	割り込みシーケンス	176
11.3.5	割り込み応答時間	177
11.3.6	割り込み要求受付時の IPL の変化	177
11.3.7	レジスタ退避	178
11.3.8	割り込みルーチンからの復帰	180
11.3.9	割り込み優先順位	180
11.3.10	割り込み優先レベル判定回路	181
11.4	INT 割り込み	182
11.4.1	INTi 割り込み (i=0 ~ 4)	182
11.4.2	INT 割り込み入力端子選択レジスタ (INTSR)	183
11.4.3	外部入力許可レジスタ 0 (INTEN)	184
11.4.4	外部入力許可レジスタ 1 (INTEN1)	184
11.4.5	INT 入力フィルタ選択レジスタ 0 (INTF)	185
11.4.6	INT 入力フィルタ選択レジスタ 1 (INTF1)	185
11.4.7	INTi 入力フィルタ (i=0 ~ 4)	186
11.5	キー入力割り込み	187
11.5.1	キー入力許可レジスタ 0 (KIEN)	188
11.6	アドレス一致割り込み	189

11.6.1	アドレス一致割り込み許可レジスタ i (AIERi)(i=0 ~ 1)	190
11.6.2	アドレス一致割り込みレジスタ i (RMADi)(i=0 ~ 1)	190
11.7	タイマ RC 割り込み、タイマ RD 割り込み、タイマ RG 割り込み、シンクロナスシリアルコ ミュニケーションユニット割り込み、I ² C バスインタフェース、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み)	191
11.8	割り込み使用上の注意	193
11.8.1	00000h 番地の読み出し	193
11.8.2	SP の設定	193
11.8.3	外部割り込み、キー入力割り込み	193
11.8.4	割り込み要因の変更	194
11.8.5	割り込み制御レジスタの変更	195
12.	ID コード領域	196
12.1	概要	196
12.2	機能	197
12.3	強制イレーズ機能	198
12.4	標準シリアル入出力モード禁止機能	198
12.5	ID コード領域使用上の注意	199
12.5.1	ID コード領域の設定例	199
13.	オプション機能選択領域	200
13.1	概要	200
13.2	レジスタの説明	201
13.2.1	オプション機能選択レジスタ (OFS)	201
13.2.2	オプション機能選択レジスタ 2 (OFS2)	202
13.3	オプション機能選択領域使用上の注意	203
13.3.1	オプション機能選択領域の設定例	203
14.	ウォッチドッグタイマ	204
14.1	概要	204
14.2	レジスタの説明	206
14.2.1	プロセッサモードレジスタ 1 (PM1)	206
14.2.2	ウォッチドッグタイマリセットレジスタ (WDTR)	206
14.2.3	ウォッチドッグタイマスタートレジスタ (WDTS)	206
14.2.4	ウォッチドッグタイマ制御レジスタ (WDTC)	207
14.2.5	カウントソース保護モードレジスタ (CSPR)	207
14.2.6	オプション機能選択レジスタ (OFS)	208
14.2.7	オプション機能選択レジスタ 2 (OFS2)	209
14.3	動作説明	210
14.3.1	複数モードに関わる共通事項	210
14.3.2	カウントソース保護モード無効時	211
14.3.3	カウントソース保護モード有効時	212
15.	DTC	213
15.1	概要	213
15.2	レジスタの説明	214
15.2.1	DTC 制御レジスタ j (DTCCRj)(j=0 ~ 23)	215
15.2.2	DTC ブロックサイズレジスタ j (DTBLSj)(j=0 ~ 23)	215
15.2.3	DTC 転送回数レジスタ j (DTCCTj)(j=0 ~ 23)	215

15.2.4	DTC 転送回数リロードレジスタ j (DTRLDj)(j=0 ~ 23)	216
15.2.5	DTC ソースアドレスレジスタ j (DTSARj)(j=0 ~ 23)	216
15.2.6	DTC デスティネーションアドレスレジスタ j (DTDARj)(j=0 ~ 23).....	216
15.2.7	DTC 起動許可レジスタ i (DTCENi)(i=0 ~ 6)	217
15.2.8	DTC 起動制御レジスタ (DTCTL).....	218
15.3	動作説明	219
15.3.1	概要	219
15.3.2	起動要因	219
15.3.3	コントロールデータの配置と DTC ベクタテーブル	221
15.3.4	ノーマルモード	226
15.3.5	リピートモード	227
15.3.6	チェイン転送	228
15.3.7	割り込み要因	228
15.3.8	動作タイミング	229
15.3.9	DTC 実行サイクル数	230
15.3.10	DTC 起動要因受付と割り込み要因フラグ	231
15.4	DTC 使用上の注意	233
15.4.1	DTC 起動要因	233
15.4.2	DTCENi (i=0 ~ 6) レジスタ	233
15.4.3	周辺モジュール	233
15.4.4	割り込み要求	233
16.	タイマ総論	234
17.	タイマ RA	237
17.1	概要	237
17.2	レジスタの説明	238
17.2.1	タイマ RA 制御レジスタ (TRACR).....	238
17.2.2	タイマ RA I/O 制御レジスタ (TRAIOC).....	238
17.2.3	タイマ RA モードレジスタ (TRAMR).....	239
17.2.4	タイマ RA プリスケアラレジスタ (TRAPRE).....	239
17.2.5	タイマ RA レジスタ (TRA)	240
17.2.6	タイマ RA 端子選択レジスタ (TRASR)	240
17.3	タイマモード	241
17.3.1	タイマ RA I/O 制御レジスタ (TRAIOC)[タイマモード時]	241
17.3.2	カウント中のタイマ書き込み制御	242
17.4	パルス出力モード	243
17.4.1	タイマ RA I/O 制御レジスタ (TRAIOC)[パルス出力モード時]	244
17.5	イベントカウンタモード	245
17.5.1	タイマ RA I/O 制御レジスタ (TRAIOC)[イベントカウンタモード時]	246
17.6	パルス幅測定モード	247
17.6.1	タイマ RA I/O 制御レジスタ (TRAIOC)[パルス幅測定モード時]	248
17.6.2	動作例	249
17.7	パルス周期測定モード	250
17.7.1	タイマ RA I/O 制御レジスタ (TRAIOC)[パルス周期測定モード時]	251
17.7.2	動作例	252
17.8	タイマ RA 使用上の注意	253

18.	タイマ RB	254
18.1	概要	254
18.2	レジスタの説明	255
18.2.1	タイマ RB 制御レジスタ (TRBCR)	255
18.2.2	タイマ RB ワンショット制御レジスタ (TRBOCR)	255
18.2.3	タイマ RB I/O 制御レジスタ (TRBIOC)	256
18.2.4	タイマ RB モードレジスタ (TRBMR)	256
18.2.5	タイマ RB プリスケアラレジスタ (TRBPRE)	257
18.2.6	タイマ RB セカンダリレジスタ (TRBSC)	257
18.2.7	タイマ RB プライマリレジスタ (TRBPR)	258
18.2.8	タイマ RB/RC 端子選択レジスタ (TRBRCSR)	258
18.3	タイマモード	259
18.3.1	タイマ RB I/O 制御レジスタ (TRBIOC)[タイマモード時]	259
18.3.2	カウント中のタイマ書き込み制御	260
18.4	プログラマブル波形発生モード	262
18.4.1	タイマ RB I/O 制御レジスタ (TRBIOC)[プログラマブル波形発生モード時]	263
18.4.2	動作例	264
18.5	プログラマブルワンショット発生モード	265
18.5.1	タイマ RB I/O 制御レジスタ (TRBIOC)[プログラマブルワンショット発生モード時]	266
18.5.2	動作例	267
18.5.3	ワンショットトリガ選択	268
18.6	プログラマブルウェイトワンショット発生モード	269
18.6.1	タイマ RB I/O 制御レジスタ (TRBIOC) [プログラマブルウェイトワンショット発生モード時]	270
18.6.2	動作例	271
18.7	タイマ RB 使用上の注意	272
18.7.1	タイマモード	272
18.7.2	プログラマブル波形発生モード	272
18.7.3	プログラマブルワンショット発生モード	273
18.7.4	プログラマブルウェイトワンショット発生モード	273
19.	タイマ RC	274
19.1	概要	274
19.2	レジスタの説明	276
19.2.1	モジュールスタンバイ制御レジスタ (MSTCR)	277
19.2.2	タイマ RC モードレジスタ (TRCMR)	278
19.2.3	タイマ RC 制御レジスタ 1 (TRCCR1)	279
19.2.4	タイマ RC 割り込み許可レジスタ (TRCIER)	279
19.2.5	タイマ RC ステータスレジスタ (TRCSR)	280
19.2.6	タイマ RC I/O 制御レジスタ 0 (TRCIOR0)	281
19.2.7	タイマ RC I/O 制御レジスタ 1 (TRCIOR1)	281
19.2.8	タイマ RC カウンタ (TRC)	282
19.2.9	タイマ RC ジェネラルレジスタ A、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)	282
19.2.10	タイマ RC 制御レジスタ 2 (TRCCR2)	283
19.2.11	タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)	284
19.2.12	タイマ RC アウトプットマスタ許可レジスタ (TRCOER)	285
19.2.13	タイマ RC トリガ制御レジスタ (TRCADCR)	285
19.2.14	タイマ RB/RC 端子選択レジスタ (TRBRCSR)	286

19.2.15	タイマ RC 端子選択レジスタ 0 (TRCPSR0).....	287
19.2.16	タイマ RC 端子選択レジスタ 1 (TRCPSR1).....	288
19.3	複数モードに関わる共通事項.....	289
19.3.1	カウントソース	289
19.3.2	バッファ動作	290
19.3.3	デジタルフィルタ	292
19.3.4	パルス出力強制遮断	293
19.4	タイマモード (インプットキャプチャ機能)	295
19.4.1	タイマ RC I/O 制御レジスタ 0 (TRCIOR0) [タイマモード (インプットキャプチャ機能) 時]	297
19.4.2	タイマ RC I/O 制御レジスタ 1 (TRCIOR1) [タイマモード (インプットキャプチャ機能) 時]	298
19.4.3	動作例	299
19.5	タイマモード (アウトプットコンペア機能)	300
19.5.1	タイマ RC 制御レジスタ 1 (TRCCR1) [タイマモード (アウトプットコンペア機能) 時]	302
19.5.2	タイマ RC I/O 制御レジスタ 0 (TRCIOR0) [タイマモード (アウトプットコンペア機能) 時]	303
19.5.3	タイマ RC I/O 制御レジスタ 1 (TRCIOR1) [タイマモード (アウトプットコンペア機能) 時]	304
19.5.4	タイマ RC 制御レジスタ 2 (TRCCR2) [タイマモード (アウトプットコンペア機能) 時]	305
19.5.5	動作例	306
19.5.6	TRCGRC、TRCGRD レジスタの出力端子変更	307
19.6	PWM モード	309
19.6.1	タイマ RC 制御レジスタ 1 (TRCCR1)[PWM モード時]	311
19.6.2	タイマ RC 制御レジスタ 2 (TRCCR2)[PWM モード時]	312
19.6.3	動作例	313
19.7	PWM2 モード	315
19.7.1	タイマ RC 制御レジスタ 1 (TRCCR1)[PWM2 モード時]	317
19.7.2	タイマ RC 制御レジスタ 2 (TRCCR2)[PWM2 モード時]	318
19.7.3	タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2 モード時]	319
19.7.4	動作例	320
19.8	タイマ RC 割り込み.....	323
19.9	タイマ RC 使用上の注意.....	324
19.9.1	TRC レジスタ	324
19.9.2	TRCSR レジスタ	324
19.9.3	TRCCR1 レジスタ	324
19.9.4	カウントソース切り替え	324
19.9.5	インプットキャプチャ機能	325
19.9.6	PWM2 モード時の TRCMR レジスタ	325
19.9.7	カウントソース fOCO40M	325
20.	タイマ RD	326
20.1	概要	326
20.2	複数モードに関わる共通事項	328
20.2.1	カウントソース	328
20.2.2	バッファ動作	329
20.2.3	同期動作	331
20.2.4	パルス出力強制遮断	332

20.3	インプットキャプチャ機能	334
20.3.1	モジュールスタンバイ制御レジスタ (MSTCR)	336
20.3.2	タイマ RD 拡張制御レジスタ (TRDECR)	336
20.3.3	タイマ RD スタートレジスタ (TRDSTR)[インプットキャプチャ機能時]	337
20.3.4	タイマ RD モードレジスタ (TRDMR)[インプットキャプチャ機能時]	337
20.3.5	タイマ RD PWM モードレジスタ (TRDPMR)[インプットキャプチャ機能時]	338
20.3.6	タイマ RD 機能制御レジスタ (TRDFCR)[インプットキャプチャ機能時]	338
20.3.7	タイマ RD デジタルフィルタ機能選択レジスタ i (TRDDFi)(i=0 ~ 1) [インプットキャプチャ機能時]	339
20.3.8	タイマ RD 制御レジスタ i (TRDCRi)(i=0 ~ 1)[インプットキャプチャ機能時]	340
20.3.9	タイマ RD I/O 制御レジスタ Ai (TRDIOAi)(i=0 ~ 1)[インプットキャプチャ機能時]	341
20.3.10	タイマ RD I/O 制御レジスタ Ci (TRDIORCi)(i=0 ~ 1)[インプットキャプチャ機能時]	342
20.3.11	タイマ RD ステータスレジスタ i (TRDSRi)(i=0 ~ 1)[インプットキャプチャ機能時]	343
20.3.12	タイマ RD 割り込み許可レジスタ i (TRDIERi)(i=0 ~ 1)[インプットキャプチャ機能時]	344
20.3.13	タイマ RD カウンタ i (TRDi)(i=0 ~ 1)[インプットキャプチャ機能時]	344
20.3.14	タイマ RD ジェネラルレジスタ Ai、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、 TRDGRDi)(i=0 ~ 1)[インプットキャプチャ機能時]	345
20.3.15	タイマ RD 端子選択レジスタ 0 (TRDPSR0)	346
20.3.16	タイマ RD 端子選択レジスタ 1 (TRDPSR1)	346
20.3.17	動作例	347
20.3.18	デジタルフィルタ	348
20.4	アウトプットコンペア機能	349
20.4.1	モジュールスタンバイ制御レジスタ (MSTCR)	351
20.4.2	タイマ RD 拡張制御レジスタ (TRDECR)	351
20.4.3	タイマ RD トリガ制御レジスタ (TRDADCR)	352
20.4.4	タイマ RD スタートレジスタ (TRDSTR)[アウトプットコンペア機能時]	353
20.4.5	タイマ RD モードレジスタ (TRDMR)[アウトプットコンペア機能時]	354
20.4.6	タイマ RD PWM モードレジスタ (TRDPMR)[アウトプットコンペア機能時]	354
20.4.7	タイマ RD 機能制御レジスタ (TRDFCR)[アウトプットコンペア機能時]	355
20.4.8	タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1) [アウトプットコンペア機能時]	356
20.4.9	タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2) [アウトプットコンペア機能時]	356
20.4.10	タイマ RD アウトプット制御レジスタ (TRDOCR)[アウトプットコンペア機能時]	357
20.4.11	タイマ RD 制御レジスタ i (TRDCRi)(i=0 ~ 1)[アウトプットコンペア機能時]	358
20.4.12	タイマ RD I/O 制御レジスタ Ai (TRDIOAi)(i=0 ~ 1)[アウトプットコンペア機能時]	359
20.4.13	タイマ RD I/O 制御レジスタ Ci (TRDIORCi)(i=0 ~ 1)[アウトプットコンペア機能時]	360
20.4.14	タイマ RD ステータスレジスタ i (TRDSRi)(i=0 ~ 1)[アウトプットコンペア機能時]	361
20.4.15	タイマ RD 割り込み許可レジスタ i (TRDIERi)(i=0 ~ 1)[アウトプットコンペア機能時]	362
20.4.16	タイマ RD カウンタ i (TRDi)(i=0 ~ 1)[アウトプットコンペア機能時]	362
20.4.17	タイマ RD ジェネラルレジスタ Ai、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、 TRDGRDi)(i=0 ~ 1)[アウトプットコンペア機能時]	363
20.4.18	タイマ RD 端子選択レジスタ 0 (TRDPSR0)	364
20.4.19	タイマ RD 端子選択レジスタ 1 (TRDPSR1)	364
20.4.20	動作例	365
20.4.21	TRDGRCi (i=0 ~ 1)、TRDGRDi レジスタの出力端子変更	366
20.4.22	A/D トリガ発生	368
20.5	PWM モード	369
20.5.1	モジュールスタンバイ制御レジスタ (MSTCR)	371
20.5.2	タイマ RD 拡張制御レジスタ (TRDECR)	371

20.5.3	タイマ RD トリガ制御レジスタ (TRDADCR).....	372
20.5.4	タイマ RD スタートレジスタ (TRDSTR)[PWM モード時].....	373
20.5.5	タイマ RD モードレジスタ (TRDMR)[PWM モード時].....	373
20.5.6	タイマ RD PWM モードレジスタ (TRDPMR)[PWM モード時].....	374
20.5.7	タイマ RD 機能制御レジスタ (TRDFCR)[PWM モード時].....	374
20.5.8	タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1)[PWM モード時].....	375
20.5.9	タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2)[PWM モード時].....	375
20.5.10	タイマ RD アウトプット制御レジスタ (TRDOCR)[PWM モード時].....	376
20.5.11	タイマ RD 制御レジスタ i (TRDCRi)(i=0 ~ 1)[PWM モード時].....	376
20.5.12	タイマ RD ステータスレジスタ i (TRDSRi)(i=0 ~ 1)[PWM モード時].....	377
20.5.13	タイマ RD 割り込み許可レジスタ i (TRDIERi)(i=0 ~ 1)[PWM モード時].....	378
20.5.14	タイマ RD PWM モードアウトプットレベル制御レジスタ i (TRDPOCRi)(i=0 ~ 1) [PWM モード時].....	378
20.5.15	タイマ RD カウンタ i (TRDi)(i=0 ~ 1)[PWM モード時].....	379
20.5.16	タイマ RD ジェネラルレジスタ Ai、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i=0 ~ 1)[PWM モード時].....	380
20.5.17	タイマ RD 端子選択レジスタ 0 (TRDPSR0).....	381
20.5.18	タイマ RD 端子選択レジスタ 1 (TRDPSR1).....	381
20.5.19	動作例.....	382
20.5.20	A/D トリガ発生.....	384
20.6	リセット同期 PWM モード.....	385
20.6.1	モジュールスタンバイ制御レジスタ (MSTCR).....	387
20.6.2	タイマ RD 拡張制御レジスタ (TRDECR).....	387
20.6.3	タイマ RD トリガ制御レジスタ (TRDADCR).....	388
20.6.4	タイマ RD スタートレジスタ (TRDSTR)[リセット同期 PWM モード時].....	389
20.6.5	タイマ RD モードレジスタ (TRDMR)[リセット同期 PWM モード時].....	389
20.6.6	タイマ RD 機能制御レジスタ (TRDFCR)[リセット同期 PWM モード時].....	390
20.6.7	タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1) [リセット同期 PWM モード時].....	391
20.6.8	タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2) [リセット同期 PWM モード時].....	391
20.6.9	タイマ RD 制御レジスタ 0 (TRDCR0)[リセット同期 PWM モード時].....	392
20.6.10	タイマ RD ステータスレジスタ i (TRDSRi)(i=0 ~ 1)[リセット同期 PWM モード時].....	393
20.6.11	タイマ RD 割り込み許可レジスタ i (TRDIERi)(i=0 ~ 1)[リセット同期 PWM モード時].....	394
20.6.12	タイマ RD カウンタ 0 (TRD0)[リセット同期 PWM モード時].....	394
20.6.13	タイマ RD ジェネラルレジスタ Ai、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、 TRDGRDi)(i=0 ~ 1)[リセット同期 PWM モード時].....	395
20.6.14	タイマ RD 端子選択レジスタ 0 (TRDPSR0).....	396
20.6.15	タイマ RD 端子選択レジスタ 1 (TRDPSR1).....	396
20.6.16	動作例.....	397
20.6.17	A/D トリガ発生.....	398
20.7	相補 PWM モード.....	399
20.7.1	モジュールスタンバイ制御レジスタ (MSTCR).....	401
20.7.2	タイマ RD 拡張制御レジスタ (TRDECR).....	401
20.7.3	タイマ RD トリガ制御レジスタ (TRDADCR).....	402
20.7.4	タイマ RD スタートレジスタ (TRDSTR)[相補 PWM モード時].....	403
20.7.5	タイマ RD モードレジスタ (TRDMR)[相補 PWM モード時].....	403
20.7.6	タイマ RD 機能制御レジスタ (TRDFCR)[相補 PWM モード時].....	404
20.7.7	タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1)[相補 PWM モード時].....	405
20.7.8	タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2)[相補 PWM モード時].....	405

20.7.9	タイマ RD 制御レジスタ i (TRDCRi)(i=0 ~ 1)[相補 PWM モード時]	406
20.7.10	タイマ RD ステータスレジスタ i (TRDSRi)(i=0 ~ 1)[相補 PWM モード時]	407
20.7.11	タイマ RD 割り込み許可レジスタ i (TRDIERi)(i=0 ~ 1)[相補 PWM モード時]	408
20.7.12	タイマ RD カウンタ 0 (TRD0)[相補 PWM モード時]	408
20.7.13	タイマ RD カウンタ 1 (TRD1)[相補 PWM モード時]	409
20.7.14	タイマ RD ジェネラルレジスタ Ai、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i=0 ~ 1)[相補 PWM モード時]	409
20.7.15	タイマ RD 端子選択レジスタ 0 (TRDPSR0)	411
20.7.16	タイマ RD 端子選択レジスタ 1 (TRDPSR1)	411
20.7.17	動作例	412
20.7.18	バッファレジスタからの転送タイミング	414
20.7.19	A/D トリガ発生	414
20.8	PWM3 モード	415
20.8.1	モジュールスタンバイ制御レジスタ (MSTCR)	417
20.8.2	タイマ RD 拡張制御レジスタ (TRDECR)	417
20.8.3	タイマ RD トリガ制御レジスタ (TRDADCR)	418
20.8.4	タイマ RD スタートレジスタ (TRDSTR)[PWM3 モード時]	419
20.8.5	タイマ RD モードレジスタ (TRDMR)[PWM3 モード時]	419
20.8.6	タイマ RD 機能制御レジスタ (TRDFCR)[PWM3 モード時]	420
20.8.7	タイマ RD アウトプットマスタ許可レジスタ 1 (TRDOER1)[PWM3 モード時]	421
20.8.8	タイマ RD アウトプットマスタ許可レジスタ 2 (TRDOER2)[PWM3 モード時]	421
20.8.9	タイマ RD アウトプット制御レジスタ (TRDOCR)[PWM3 モード時]	422
20.8.10	タイマ RD 制御レジスタ 0 (TRDCR0)[PWM3 モード時]	423
20.8.11	タイマ RD ステータスレジスタ i (TRDSRi)(i=0 ~ 1)[PWM3 モード時]	424
20.8.12	タイマ RD 割り込み許可レジスタ i (TRDIERi)(i=0 ~ 1)[PWM3 モード時]	425
20.8.13	タイマ RD カウンタ 0 (TRD0)[PWM3 モード時]	425
20.8.14	タイマ RD ジェネラルレジスタ Ai、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i=0 ~ 1)[PWM3 モード時]	426
20.8.15	タイマ RD 端子選択レジスタ 0 (TRDPSR0)	428
20.8.16	タイマ RD 端子選択レジスタ 1 (TRDPSR1)	428
20.8.17	動作例	429
20.8.18	A/D トリガ発生	430
20.9	タイマ RD 割り込み	431
20.10	タイマ RD 使用上の注意	433
20.10.1	TRDSTR レジスタ	433
20.10.2	TRDi レジスタ (i=0 ~ 1)	433
20.10.3	TRDSRi レジスタ (i=0 ~ 1)	434
20.10.4	TRDCRi レジスタ (i=0 ~ 1)	434
20.10.5	カウントソース切り替え	434
20.10.6	インプットキャプチャ機能	435
20.10.7	リセット同期 PWM モード	435
20.10.8	相補 PWM モード	436
20.10.9	カウントソース fOCO40M	439
21.	タイマ RE	440
21.1	概要	440
21.2	リアルタイムクロックモード	441
21.2.1	タイマ RE 秒データレジスタ (TRESEC)[リアルタイムクロックモード時]	443
21.2.2	タイマ RE 分データレジスタ (TREMIn)[リアルタイムクロックモード時]	443

21.2.3	タイマ RE 時データレジスタ (TREHR)[リアルタイムクロックモード時]	444
21.2.4	タイマ RE 曜日データレジスタ (TREWK)[リアルタイムクロックモード時]	444
21.2.5	タイマ RE 制御レジスタ 1 (TREC1)[リアルタイムクロックモード時]	445
21.2.6	タイマ RE 制御レジスタ 2 (TREC2)[リアルタイムクロックモード時]	446
21.2.7	タイマ RE カウントソース選択レジスタ (TREC1SR)[リアルタイムクロックモード時]	447
21.2.8	タイマ端子選択レジスタ (TIMSR)	447
21.2.9	動作例	448
21.3	アウトプットコンペアモード	449
21.3.1	タイマ RE カウンタデータレジスタ (TREC1SEC)[アウトプットコンペアモード時]	450
21.3.2	タイマ RE コンペアデータレジスタ (TREC1MIN)[アウトプットコンペアモード時]	450
21.3.3	タイマ RE 制御レジスタ 1 (TREC1)[アウトプットコンペアモード時]	451
21.3.4	タイマ RE 制御レジスタ 2 (TREC2)[アウトプットコンペアモード時]	451
21.3.5	タイマ RE カウントソース選択レジスタ (TREC1CSR)[アウトプットコンペアモード時]	452
21.3.6	タイマ端子選択レジスタ (TIMSR)	452
21.3.7	動作例	453
21.4	タイマ RE 使用上の注意	454
21.4.1	カウント開始、停止	454
21.4.2	レジスタ設定	454
21.4.3	リアルタイムクロックモードの時刻読み出し手順	456
22.	タイマ RF	457
22.1	概要	457
22.2	レジスタの説明	459
22.2.1	タイマ RF レジスタ (TRF)	459
22.2.2	キャプチャ、コンペア 0 レジスタ (TRFM0)	459
22.2.3	コンペア 1 レジスタ (TRFM1)	460
22.2.4	タイマ RF 制御レジスタ 0 (TRFCR0)	460
22.2.5	タイマ RF 制御レジスタ 1 (TRFCR1)	461
22.2.6	タイマ RF 出力制御レジスタ (TRFOUT)	461
22.2.7	タイマ端子選択レジスタ (TIMSR)	462
22.3	インプットキャプチャモード	463
22.3.1	デジタルフィルタ	465
22.4	アウトプットコンペアモード	466
22.5	タイマ RF 使用上の注意	469
23.	タイマ RG	470
23.1	概要	470
23.2	レジスタの説明	472
23.2.1	モジュールスタンバイ制御レジスタ (MSTCR)	472
23.2.2	タイマ RG モードレジスタ (TRGMR)	473
23.2.3	タイマ RG カウント制御レジスタ (TRGCNTC)	474
23.2.4	タイマ RG 制御レジスタ (TRGCR)	475
23.2.5	タイマ RG 割り込み許可レジスタ (TRGIER)	475
23.2.6	タイマ RG ステータスレジスタ (TRGSR)	476
23.2.7	タイマ RG I/O 制御レジスタ (TRGIOR)	477
23.2.8	タイマ RG カウンタ (TRG)	478
23.2.9	タイマ RG ジェネラルレジスタ A、B、C、D (TRGGRA、TRGGRB、TRGGRC、TRGGRD)	479
23.2.10	タイマ端子選択レジスタ (TIMSR)	480

23.3	複数モードに関わる共通事項	481
23.3.1	カウントソース	481
23.3.2	バッファ動作	482
23.3.3	デジタルフィルタ	484
23.4	タイマモード (インプットキャプチャ機能)	485
23.4.1	タイマ RG I/O 制御レジスタ (TRGIOR) [タイマモード (インプットキャプチャ機能) 時]	486
23.4.2	インプットキャプチャ動作の設定手順例	487
23.4.3	インプットキャプチャ信号タイミング	487
23.4.4	動作例	488
23.5	タイマモード (アウトプットコンペア機能)	489
23.5.1	タイマ RG I/O 制御レジスタ (TRGIOR) [タイマモード (アウトプットコンペア機能) 時]	490
23.5.2	コンペア一致による波形出力の設定手順例	491
23.5.3	アウトプットコンペア出力タイミング	491
23.5.4	動作例	492
23.6	PWM モード	493
23.6.1	PWM モードの設定手順例	494
23.6.2	動作例	494
23.7	位相計数モード	497
23.7.1	タイマ RG 制御レジスタ (TRGCR)[位相計数モード時]	498
23.7.2	位相計数モードの設定手順例	498
23.7.3	動作例	499
23.8	タイマ RG 割り込み	501
23.9	タイマ RG 使用上の注意	502
23.9.1	位相計数モード時の位相差、オーバーラップ、およびパルス幅	502
24.	シリアルインタフェース (UARTi (i=0 ~ 1))	503
24.1	概要	503
24.2	レジスタの説明	505
24.2.1	UARTi 送受信モードレジスタ (UiMR)(i=0 ~ 1)	505
24.2.2	UARTi ビットレートレジスタ (UiBRG)(i=0 ~ 1)	505
24.2.3	UARTi 送信バッファレジスタ (UiTB)(i=0 ~ 1)	506
24.2.4	UARTi 送受信制御レジスタ 0 (UiC0)(i=0 ~ 1)	507
24.2.5	UARTi 送受信制御レジスタ 1 (UiC1)(i=0 ~ 1)	507
24.2.6	UARTi 受信バッファレジスタ (UiRB)(i=0 ~ 1)	508
24.2.7	UART0 端子選択レジスタ (U0SR)	509
24.2.8	UART1 端子選択レジスタ (U1SR)	510
24.3	クロック同期形シリアル I/O モード	511
24.3.1	通信エラー発生時の対処方法	515
24.3.2	極性選択機能	516
24.3.3	LSB ファースト、MSB ファースト選択	516
24.3.4	連続受信モード	517
24.4	クロック非同期形シリアル I/O (UART) モード	518
24.4.1	ビットレート	523
24.4.2	通信エラー発生時の対処方法	524
24.5	シリアルインタフェース (UARTi (i=0 ~ 1)) 使用上の注意	525

25.	シリアルインタフェース (UART2)	526
25.1	概要	526
25.2	レジスタの説明	528
25.2.1	UART2 送受信モードレジスタ (U2MR).....	528
25.2.2	UART2 ビットレートレジスタ (U2BRG).....	528
25.2.3	UART2 送信バッファレジスタ (U2TB).....	529
25.2.4	UART2 送受信制御レジスタ 0 (U2C0)	530
25.2.5	UART2 送受信制御レジスタ 1 (U2C1)	531
25.2.6	UART2 受信バッファレジスタ (U2RB).....	532
25.2.7	UART2 デジタルフィルタ機能選択レジスタ (URXDF)	533
25.2.8	UART2 特殊モードレジスタ 5 (U2SMR5).....	533
25.2.9	UART2 特殊モードレジスタ 4 (U2SMR4).....	534
25.2.10	UART2 特殊モードレジスタ 3 (U2SMR3).....	535
25.2.11	UART2 特殊モードレジスタ 2 (U2SMR2).....	535
25.2.12	UART2 特殊モードレジスタ (U2SMR).....	536
25.2.13	UART2 端子選択レジスタ 0 (U2SR0)	537
25.2.14	UART2 端子選択レジスタ 1 (U2SR1)	538
25.3	クロック同期形シリアル I/O モード	539
25.3.1	通信エラー発生時の対処方法	543
25.3.2	CLK 極性選択	543
25.3.3	LSB ファースト、MSB ファースト選択.....	544
25.3.4	連続受信モード	544
25.3.5	シリアルデータ論理切り替え	545
25.3.6	CTS/RTS 機能.....	545
25.4	クロック非同期形シリアル I/O(UART) モード	546
25.4.1	ビットレート	550
25.4.2	通信エラー発生時の対処方法	551
25.4.3	LSB ファースト、MSB ファースト選択.....	551
25.4.4	シリアルデータ論理切り替え	552
25.4.5	TXD、RXD 入出力極性切り替え機能.....	552
25.4.6	CTS/RTS 機能.....	553
25.4.7	RXD2 デジタルフィルタ選択機能.....	553
25.5	特殊モード 1 (I ² C モード).....	554
25.5.1	スタートコンディション、ストップコンディションの検出	560
25.5.2	スタートコンディション、ストップコンディションの出力	561
25.5.3	転送クロック	562
25.5.4	SDA 出力	562
25.5.5	SDA 入力	563
25.5.6	ACK、NACK.....	563
25.5.7	送受信初期化	563
25.6	マルチプロセッサ通信機能	564
25.6.1	マルチプロセッサ送信	567
25.6.2	マルチプロセッサ受信	568
25.6.3	RXD2 デジタルフィルタ選択機能.....	570
25.7	シリアルインタフェース (UART2) 使用上の注意	571
25.7.1	クロック同期形シリアル I/O モード	571
25.7.2	クロック非同期型シリアル I/O (UART) モード.....	572
25.7.3	特殊モード 1 (I ² C モード)	572

26.	クロック同期形シリアルインタフェース	573
26.1	モード選択	573
27.	シンクロナスシリアルコミュニケーションユニット (SSU)	574
27.1	概要	574
27.2	レジスタの説明	576
27.2.1	モジュールスタンバイ制御レジスタ (MSTCR)	576
27.2.2	SSU/IIC 端子選択レジスタ (SSUICSR)	576
27.2.3	SS ビットカウンタレジスタ (SSBR)	577
27.2.4	SS 送信データレジスタ (SSTDR)	577
27.2.5	SS 受信データレジスタ (SSRDR)	578
27.2.6	SS 制御レジスタ H (SSCRH)	578
27.2.7	SS 制御レジスタ L (SSCRL)	579
27.2.8	SS モードレジスタ (SSMR)	580
27.2.9	SS 許可レジスタ (SSER)	581
27.2.10	SS ステータスレジスタ (SSSR)	582
27.2.11	SS モードレジスタ 2 (SSMR2)	583
27.3	複数モードに関わる共通事項	584
27.3.1	転送クロック	584
27.3.2	SS シフトレジスタ (SSTRSR)	586
27.3.3	割り込み要求	587
27.3.4	各通信モードと端子機能	588
27.4	クロック同期式通信モード	589
27.4.1	クロック同期式通信モードの初期化	589
27.4.2	データ送信	590
27.4.3	データ受信	592
27.5	4 線式バス通信モード	596
27.5.1	4 線式バス通信モードの初期化	597
27.5.2	データ送信	598
27.5.3	データ受信	600
27.5.4	SCS 端子制御とアービトレーション	602
27.6	シンクロナスシリアルコミュニケーションユニット使用上の注意	603
28.	I ² C バスインタフェース	604
28.1	概要	604
28.2	レジスタの説明	607
28.2.1	モジュールスタンバイ制御レジスタ (MSTCR)	607
28.2.2	SSU/IIC 端子選択レジスタ (SSUICSR)	607
28.2.3	入出力機能端子選択レジスタ (PINSR)	608
28.2.4	IIC バス送信データレジスタ (ICDRT)	609
28.2.5	IIC バス受信データレジスタ (ICDRR)	609
28.2.6	IIC バス制御レジスタ 1 (ICCR1)	610
28.2.7	IIC バス制御レジスタ 2 (ICCR2)	611
28.2.8	IIC バスモードレジスタ (ICMR)	612
28.2.9	IIC バス割り込み許可レジスタ (ICIER)	613
28.2.10	IIC バスステータスレジスタ (ICSR)	614
28.2.11	スレーブアドレスレジスタ (SAR)	615
28.2.12	IIC バスシフトレジスタ (ICDRS)	615
28.3	複数モードに関わる共通事項	616

28.3.1	転送クロック	616
28.3.2	SDA 端子デジタル遅延選択	618
28.3.3	割り込み要求	619
28.4	I ² C バスインタフェースモード	620
28.4.1	I ² C バスフォーマット	620
28.4.2	マスタ送信動作	621
28.4.3	マスタ受信動作	623
28.4.4	スレーブ送信動作	626
28.4.5	スレーブ受信動作	629
28.5	クロック同期式シリアルモード	631
28.5.1	クロック同期式シリアルフォーマット	631
28.5.2	送信動作	632
28.5.3	受信動作	633
28.6	レジスタ設定例	634
28.7	ノイズ除去回路	638
28.8	ビット同期回路	639
28.9	I ² C バスインタフェース使用上の注意	640
29.	ハードウェア LIN	641
29.1	概要	641
29.2	入出力端子	642
29.3	レジスタの説明	643
29.3.1	LIN コントロールレジスタ 2 (LINCR2)	643
29.3.2	LIN コントロールレジスタ (LINCR)	644
29.3.3	LIN ステータスレジスタ (LINST)	644
29.4	動作説明	645
29.4.1	マスタモード	645
29.4.2	スレーブモード	648
29.4.3	バス衝突検出機能	652
29.4.4	ハードウェア LIN 終了処理	653
29.5	割り込み要求	654
29.6	ハードウェア LIN 使用上の注意	655
30.	A/D コンバータ	656
30.1	概要	656
30.2	レジスタの説明	658
30.2.1	チップ内蔵基準電圧制御レジスタ (OCVREFCR)	658
30.2.2	A/D レジスタ i (ADi)(i=0 ~ 7)	659
30.2.3	A/D モードレジスタ (ADMOD)	660
30.2.4	A/D 入力選択レジスタ (ADINSEL)	661
30.2.5	A/D 制御レジスタ 0 (ADCON0)	662
30.2.6	A/D 制御レジスタ 1 (ADCON1)	663
30.3	複数モードに関わる共通事項	664
30.3.1	入出力端子	664
30.3.2	A/D 変換サイクル数	664
30.3.3	A/D 変換開始条件	666
30.3.4	A/D 変換結果	668
30.3.5	消費電流低減機能	668
30.3.6	拡張アナログ入力端子	668

30.3.7	A/D 断線検出アシスト機能.....	668
30.4	単発モード.....	670
30.5	繰り返しモード 0.....	671
30.6	繰り返しモード 1.....	672
30.7	単掃引モード.....	674
30.8	繰り返し掃引モード.....	676
30.9	A/D 変換時のセンサーの出力インピーダンス.....	678
30.10	A/D コンバータ使用上の注意.....	679
31.	D/A コンバータ.....	680
31.1	概要.....	680
31.2	レジスタの説明.....	682
31.2.1	D/Ai レジスタ (DAi)(i=0 ~ 1).....	682
31.2.2	D/A 制御レジスタ (DACON).....	682
32.	コンパレータ A.....	683
32.1	概要.....	683
32.2	レジスタの説明.....	685
32.2.1	電圧監視回路 / コンパレータ A 制御レジスタ (CMPA).....	685
32.2.2	電圧監視回路エッジ選択レジスタ (VCAC).....	686
32.2.3	電圧検出レジスタ 1 (VCA1).....	686
32.2.4	電圧検出レジスタ 2 (VCA2).....	687
32.2.5	電圧監視 1 回路制御レジスタ (VW1C).....	688
32.2.6	電圧監視 2 回路制御レジスタ (VW2C).....	689
32.3	比較結果のモニタ.....	690
32.3.1	コンパレータ A1 のモニタ.....	690
32.3.2	コンパレータ A2 のモニタ.....	690
32.4	動作説明.....	691
32.4.1	コンパレータ A1.....	691
32.4.2	コンパレータ A2.....	694
32.5	コンパレータ A1、コンパレータ A2 割り込み.....	697
32.5.1	ノンマスクブル割り込み.....	697
32.5.2	マスクブル割り込み.....	697
33.	コンパレータ B.....	698
33.1	概要.....	698
33.2	レジスタの説明.....	700
33.2.1	コンパレータ B 制御レジスタ 0 (INTCMP).....	700
33.2.2	外部入力許可レジスタ 0 (INTEN).....	700
33.2.3	INT 入力フィルタ選択レジスタ 0 (INTF).....	701
33.3	動作説明.....	702
33.3.1	コンパレータ Bi デジタルフィルタ (i=1、3).....	703
33.4	コンパレータ B1、コンパレータ B3 割り込み.....	704
34.	フラッシュメモリ.....	705
34.1	概要.....	705
34.2	メモリ配置.....	706
34.3	フラッシュメモリ書き換え禁止機能.....	708
34.3.1	ID コードチェック機能.....	708

34.3.2	ROM コードプロテクト機能	709
34.3.3	オプション機能選択レジスタ (OFS)	709
34.4	CPU 書き換えモード	710
34.4.1	フラッシュメモリステータスレジスタ (FST)	711
34.4.2	フラッシュメモリ制御レジスタ 0 (FMR0)	713
34.4.3	フラッシュメモリ制御レジスタ 1 (FMR1)	715
34.4.4	フラッシュメモリ制御レジスタ 2 (FMR2)	717
34.4.5	EW0 モード	718
34.4.6	EW1 モード	718
34.4.7	サスペンド動作	719
34.4.8	各モードの設定と解除方法	720
34.4.9	BGO(バックグラウンドオペレーション) 機能	721
34.4.10	データ保護機能	722
34.4.11	ソフトウェアコマンド	723
34.4.12	フルステータスチェック	733
34.5	標準シリアル入出力モード	735
34.5.1	ID コードチェック機能	735
34.6	パラレル入出力モード	738
34.6.1	ROM コードプロテクト機能	738
34.7	フラッシュメモリ使用上の注意	739
34.7.1	CPU 書き換えモード	739
35.	消費電力の低減	743
35.1	概要	743
35.2	消費電力を小さくするためのポイントと処理方法	743
35.2.1	電圧検出回路	743
35.2.2	ポート	743
35.2.3	クロック	743
35.2.4	ウェイトモード、ストップモード	743
35.2.5	周辺機能クロックの停止	743
35.2.6	タイマ	744
35.2.7	A/D コンバータ	744
35.2.8	クロック同期形シリアルインタフェース	744
35.2.9	内部電源の消費電力低減	744
35.2.10	フラッシュメモリの停止	746
35.2.11	低消費電流リードモード	747
36.	電气的特性	748
37.	使用上の注意事項	775
37.1	クロック発生回路使用上の注意	775
37.1.1	ストップモード	775
37.1.2	ウェイトモード	775
37.1.3	発振停止検出機能	775
37.1.4	発振回路定数	775
37.2	割り込み使用上の注意	776
37.2.1	00000h 番地の読み出し	776
37.2.2	SP の設定	776
37.2.3	外部割り込み、キー入力割り込み	776

37.2.4	割り込み要因の変更	777
37.2.5	割り込み制御レジスタの変更	778
37.3	ID コード領域使用上の注意	779
37.3.1	ID コード領域の設定例	779
37.4	オプション機能選択領域使用上の注意	779
37.4.1	オプション機能選択領域の設定例	779
37.5	DTC 使用上の注意	780
37.5.1	DTC 起動要因	780
37.5.2	DTCENi (i=0 ~ 6) レジスタ	780
37.5.3	周辺モジュール	780
37.5.4	割り込み要求	780
37.6	タイマ RA 使用上の注意	781
37.7	タイマ RB 使用上の注意	782
37.7.1	タイマモード	782
37.7.2	プログラマブル波形発生モード	782
37.7.3	プログラマブルワンショット発生モード	783
37.7.4	プログラマブルウェイトワンショット発生モード	783
37.8	タイマ RC 使用上の注意	784
37.8.1	TRC レジスタ	784
37.8.2	TRCSR レジスタ	784
37.8.3	TRCCR1 レジスタ	784
37.8.4	カウントソース切り替え	784
37.8.5	インプットキャプチャ機能	785
37.8.6	PWM2 モード時の TRCMR レジスタ	785
37.8.7	カウントソース fOCO40M	785
37.9	タイマ RD 使用上の注意	786
37.9.1	TRDSTR レジスタ	786
37.9.2	TRDi レジスタ (i=0 ~ 1)	786
37.9.3	TRDSRi レジスタ (i=0 ~ 1)	787
37.9.4	TRDCRi レジスタ (i=0 ~ 1)	787
37.9.5	カウントソース切り替え	787
37.9.6	インプットキャプチャ機能	788
37.9.7	リセット同期 PWM モード	788
37.9.8	相補 PWM モード	789
37.9.9	カウントソース fOCO40M	792
37.10	タイマ RE 使用上の注意	793
37.10.1	カウント開始、停止	793
37.10.2	レジスタ設定	793
37.10.3	リアルタイムクロックモードの時刻読み出し手順	795
37.11	タイマ RF 使用上の注意	796
37.12	タイマ RG 使用上の注意	797
37.12.1	位相計数モード時の位相差、オーバーラップ、およびパルス幅	797
37.13	シリアルインタフェース (UARTi (i=0 ~ 1)) 使用上の注意	798
37.14	シリアルインタフェース (UART2) 使用上の注意	799
37.14.1	クロック同期形シリアル I/O モード	799
37.14.2	クロック非同期型シリアル I/O (UART) モード	800
37.14.3	特殊モード 1 (I ² C モード)	800
37.15	シンクロナスシリアルコミュニケーションユニット使用上の注意	801
37.16	I ² C バスインタフェース使用上の注意	801

37.17	ハードウェア LIN 使用上の注意	801
37.18	A/D コンバータ使用上の注意	801
37.19	フラッシュメモリ使用上の注意	802
37.19.1	CPU 書き換えモード	802
37.20	ノイズに関する注意事項	806
37.20.1	ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入	806
37.20.2	ポート制御レジスタのノイズ誤動作対策	806
38.	オンチップデバッグの注意事項	807
付録 1.	外形寸法図	808
付録 2.	シリアルライタとオンチップデバッグエミュレータとの接続例	809
付録 3.	発振評価回路例	811
索引	812

番地別ページ早見表

番地	レジスタ	シンボル	掲載 ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	30
0005h	プロセッサモードレジスタ1	PM1	206
0006h	システムクロック制御レジスタ0	CM0	136
0007h	システムクロック制御レジスタ1	CM1	137
0008h	モジュールスタンバイ制御レジスタ	MSTCR	277、336、 351、371、 387、401、 417、472、 576、607
0009h	システムクロック制御レジスタ3	CM3	138
000Ah	プロテクトレジスタ	PRCR	165
000Bh	リセット要因判別レジスタ	RSTFR	30
000Ch	発振停止検出レジスタ	OCD	139
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	206
000Eh	ウォッチドッグタイマスタートレジスタ	WDTs	206
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	207
0010h			
0011h			
0012h			
0013h			
0014h			
0015h	高速オンチップオシレータ制御レジスタ7	FRA7	139
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	207
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	140
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	140
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	141
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	658
0027h			
0028h	時計用ブリスケーラリセットフラグ	CPSRF	141
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	142
002Ah	高速オンチップオシレータ制御レジスタ5	FRA5	142
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	143
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ制御レジスタ3	FRA3	143
0030h	電圧監視回路/コンパレータA制御レジスタ	CMPA	43、685
0031h	電圧監視回路エッジ選択レジスタ	VCAC	44、686
0032h			
0033h	電圧検出レジスタ1	VCA1	44、686
0034h	電圧検出レジスタ2	VCA2	45、144、687
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	46
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	47
0039h	電圧監視1回路制御レジスタ	VW1C	48、688
003Ah	電圧監視2回路制御レジスタ	VW2C	49、689
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	173
0042h			
0043h			
0044h			
0045h			
0046h	INT4割り込み制御レジスタ	INT4IC	174
0047h	タイマRC割り込み制御レジスタ	TRCIC	173
0048h	タイマRD0割り込み制御レジスタ	TRD0IC	173
0049h	タイマRD1割り込み制御レジスタ	TRD1IC	173
004Ah	タイマRE割り込み制御レジスタ	TREIC	172
004Bh	UART2送信割り込み制御レジスタ	S2TIC	172
004Ch	UART2受信割り込み制御レジスタ	S2RIC	172
004Dh	キー入力割り込み制御レジスタ	KUPIC	172
004Eh	A/D変換割り込み制御レジスタ	ADIC	172
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制 御レジスタ	SSUIC/IICIC	173
0050h	タイマRFコンペア1割り込み制御レジスタ	CMP1IC	172
0051h	UART0送信割り込み制御レジスタ	S0TIC	172
0052h	UART0受信割り込み制御レジスタ	S0RIC	172
0053h	UART1送信割り込み制御レジスタ	S1TIC	172
0054h	UART1受信割り込み制御レジスタ	S1RIC	172
0055h	INT2割り込み制御レジスタ	INT2IC	174
0056h	タイマRA割り込み制御レジスタ	TRAIC	172
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	172
0059h	INT1割り込み制御レジスタ	INT1IC	174
005Ah	INT3割り込み制御レジスタ	INT3IC	174
005Bh	タイマRFコンペア0割り込み制御レジスタ	CMP0IC	172
005Ch	タイマRFコンペア0割り込み制御レジスタ	CMP0IC	172
005Dh	INT0割り込み制御レジスタ	INT0IC	174
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	172
005Fh	タイマRFキャプチャ割り込み制御レジスタ	CAPIC	172
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh	タイマRG割り込み制御レジスタ	TRGIC	173
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1/コンパレータA1割り込み制御レジ スタ	VCMP1IC	172
0073h	電圧監視2/コンパレータA2割り込み制御レジ スタ	VCMP2IC	172
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

番地	レジスタ	シンボル	掲載 ページ
0080h	DTC起動制御レジスタ	DCTL	218
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	217
0089h	DTC起動許可レジスタ1	DTCEN1	217
008Ah	DTC起動許可レジスタ2	DTCEN2	217
008Bh	DTC起動許可レジスタ3	DTCEN3	217
008Ch	DTC起動許可レジスタ4	DTCEN4	217
008Dh	DTC起動許可レジスタ5	DTCEN5	217
008Eh	DTC起動許可レジスタ6	DTCEN6	217
008Fh			
0090h	タイマRFレジスタ	TRF	459
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah	タイマRF制御レジスタ0	TRFCR0	460
009Bh	タイマRF制御レジスタ1	TRFCR1	461
009Ch	キャプチャ、コンペア0レジスタ	TRFM0	459
009Dh			
009Eh	コンペア1レジスタ	TRFM1	460
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	505
00A1h	UART0ビットレートレジスタ	U0BRG	505
00A2h	UART0送信バッファレジスタ	U0TB	506
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	507
00A5h	UART0送受信制御レジスタ1	U0C1	507
00A6h	UART0受信バッファレジスタ	U0RB	508
00A7h			
00A8h	UART2送受信モードレジスタ	U2MR	528
00A9h	UART2ビットレートレジスタ	U2BRG	528
00AAh	UART2送信バッファレジスタ	U2TB	529
00ABh			
00ACh	UART2送受信制御レジスタ0	U2C0	530
00ADh	UART2送受信制御レジスタ1	U2C1	531
00AEh	UART2受信バッファレジスタ	U2RB	532
00AFh			
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	533
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	533
00BCh	UART2特殊モードレジスタ4	U2SMR4	534
00BDh	UART2特殊モードレジスタ3	U2SMR3	535
00BEh	UART2特殊モードレジスタ2	U2SMR2	535
00BFh	UART2特殊モードレジスタ	U2SMR	536

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
00C0h	A/Dレジスタ0	AD0	659
00C1h			
00C2h	A/Dレジスタ1	AD1	659
00C3h			
00C4h	A/Dレジスタ2	AD2	659
00C5h			
00C6h	A/Dレジスタ3	AD3	659
00C7h			
00C8h	A/Dレジスタ4	AD4	659
00C9h			
00CAh	A/Dレジスタ5	AD5	659
00CBh			
00CCh	A/Dレジスタ6	AD6	659
00CDh			
00CEh	A/Dレジスタ7	AD7	659
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/Dモードレジスタ	ADMOD	660
00D5h	A/D入力選択レジスタ	ADINSEL	661
00D6h	A/D制御レジスタ0	ADCON0	662
00D7h	A/D制御レジスタ1	ADCON1	663
00D8h	D/A0レジスタ	DA0	682
00D9h	D/A1レジスタ	DA1	682
00DAh			
00DBh			
00DCh	D/A制御レジスタ	DACON	682
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	80
00E1h	ポートP1レジスタ	P1	80
00E2h	ポートP0方向レジスタ	PD0	79
00E3h	ポートP1方向レジスタ	PD1	79
00E4h	ポートP2レジスタ	P2	80
00E5h	ポートP3レジスタ	P3	80
00E6h	ポートP2方向レジスタ	PD2	79
00E7h	ポートP3方向レジスタ	PD3	79
00E8h	ポートP4レジスタ	P4	80
00E9h	ポートP5レジスタ	P5	80
00EAh	ポートP4方向レジスタ	PD4	79
00EBh	ポートP5方向レジスタ	PD5	79
00ECh	ポートP6レジスタ	P6	80
00EDh			
00EEh	ポートP6方向レジスタ	PD6	79
00EFh			
00F0h	ポートP8レジスタ	P8	80
00F1h			
00F2h	ポートP8方向レジスタ	PD8	79
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

番地	レジスタ	シンボル	掲載 ページ
0100h	タイマRA制御レジスタ	TRACR	238
0101h	タイマRA I/O制御レジスタ	TRAIOC	238、241、244、 246、248、251
0102h	タイマRAモードレジスタ	TRAMR	239
0103h	タイマRAプリスケアラレジスタ	TRAPRE	239
0104h	タイマRAレジスタ	TRA	240
0105h	LINコントロールレジスタ2	LINCR2	643
0106h	LINコントロールレジスタ	LINCR	644
0107h	LINステータスレジスタ	LINST	644
0108h	タイマRB制御レジスタ	TRBCR	255
0109h	タイマRBワンショット制御レジスタ	TRBOCR	255
010Ah	タイマRB I/O制御レジスタ	TRBIOC	256、259、263、 266、270
010Bh	タイマRBモードレジスタ	TRBMR	256
010Ch	タイマRBプリスケアラレジスタ	TRBPRE	257
010Dh	タイマRBセカンダリレジスタ	TRBSC	257
010Eh	タイマRBプライマリレジスタ	TRBPR	258
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/カウンタ データレジスタ	TRESEC	443、450
0119h	タイマRE分データレジスタ/コンペア データレジスタ	TREMIN	443、450
011Ah	タイマRE時データレジスタ	TREHR	444
011Bh	タイマRE曜日データレジスタ	TREWK	444
011Ch	タイマRE制御レジスタ1	TRECR1	445、451
011Dh	タイマRE制御レジスタ2	TRECR2	446、451
011Eh	タイマREカウントソース選択レジスタ	TRECSR	447、452
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	278
0121h	タイマRC制御レジスタ1	TRCCR1	279、302、 311、317
0122h	タイマRC割り込み許可レジスタ	TRCIER	279
0123h	タイマRCステータスレジスタ	TRCSR	280
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	281、297、303
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	281、298、304
0126h	タイマRCカウンタ	TRC	282
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	282
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	282
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	282
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	282
012Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0130h	タイマRC制御レジスタ2	TRCCR2	283、305、312、 318
0131h	タイマRCデジタルフィルタ機能選択レ ジスタ	TRCDF	284、319
0132h	タイマRCアウトプットマスタ許可レジ スタ	TRCOER	285
0133h	タイマRCトリガ制御レジスタ	TRCADCR	285
0134h			
0135h	タイマRD拡張制御レジスタ	TRDECR	336、351、371、 387、401、417
0136h	タイマRDトリガ制御レジスタ	TRDADCR	352、372、388、 402、418
0137h	タイマRDスタートレジスタ	TRDSTR	337、353、373、 389、403、419
0138h	タイマRDモードレジスタ	TRDMR	337、354、373、 389、403、419
0139h	タイマRD PWMモードレジスタ	TRDPMR	338、354、374
013Ah	タイマRD機能制御レジスタ	TRDFCR	338、355、374、 390、404、420
013Bh	タイマRDアウトプットマスタ許可レジ スタ1	TRDOER1	356、375、391、 405、421
013Ch	タイマRDアウトプットマスタ許可レジ スタ2	TRDOER2	356、375、391、 405、421
013Dh	タイマRDアウトプット制御レジスタ	TRDOCR	357、376、422
013Eh	タイマRDデジタルフィルタ機能選択レ ジスタ0	TRDDF0	339
013Fh	タイマRDデジタルフィルタ機能選択レ ジスタ1	TRDDF1	339
0140h	タイマRD制御レジスタ0	TRDCR0	340、358、376、 392、406、423
0141h	タイマRD I/O制御レジスタA0	TRDIORA0	341、359
0142h	タイマRD I/O制御レジスタC0	TRDIORC0	342、360
0143h	タイマRDステータスレジスタ0	TRDSR0	343、361、377、 393、407、424
0144h	タイマRD割り込み許可レジスタ0	TRDIER0	344、362、378、 394、408、425
0145h	タイマRD PWMモードアウトプットレ ベル制御レジスタ0	TRDPOCR0	378
0146h	タイマRDカウンタ0	TRD0	344、362、379、 394、408、425
0147h			
0148h	タイマRDジェネラルレジスタA0	TRDGRA0	345、363、380、 395、409、426
0149h			
014Ah	タイマRDジェネラルレジスタB0	TRDGRB0	345、363、380、 395、409、426
014Bh			
014Ch	タイマRDジェネラルレジスタC0	TRDGRC0	345、363、380、 395、426
014Dh			
014Eh	タイマRDジェネラルレジスタD0	TRDGRD0	345、363、380、 395、409、426
014Fh			
0150h	タイマRD制御レジスタ1	TRDCR1	340、358、376、 406
0151h	タイマRD I/O制御レジスタA1	TRDIORA1	341、359
0152h	タイマRD I/O制御レジスタC1	TRDIORC1	342、360
0153h	タイマRDステータスレジスタ1	TRDSR1	343、361、377、 393、407、424
0154h	タイマRD割り込み許可レジスタ1	TRDIER1	344、362、378、 394、408、425
0155h	タイマRD PWMモードアウトプットレ ベル制御レジスタ1	TRDPOCR1	378
0156h	タイマRDカウンタ1	TRD1	344、362、379、 409
0157h			
0158h	タイマRDジェネラルレジスタA1	TRDGRA1	345、363、380、 395、409、426
0159h			
015Ah	タイマRDジェネラルレジスタB1	TRDGRB1	345、363、380、 395、409、426
015Bh			
015Ch	タイマRDジェネラルレジスタC1	TRDGRC1	345、363、380、 395、409、426
015Dh			
015Eh	タイマRDジェネラルレジスタD1	TRDGRD1	345、363、380、 395、409、426
015Fh			

番地	レジスタ	シンボル	掲載 ページ
0160h	UART1送受信モードレジスタ	U1MR	505
0161h	UART1ビットレートレジスタ	U1BRG	505
0162h	UART1送信バッファレジスタ	U1TB	506
0163h			
0164h	UART1送受信制御レジスタ0	U1C0	507
0165h	UART1送受信制御レジスタ1	U1C1	507
0166h	UART1受信バッファレジスタ	U1RB	508
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h	タイマRGモードレジスタ	TRGMR	473
0171h	タイマRGカウント制御レジスタ	TRGCNTC	474
0172h	タイマRG制御レジスタ	TRGCR	475、498
0173h	タイマRG割り込み許可レジスタ	TRGIER	475
0174h	タイマRGステータスレジスタ	TRGSR	476
0175h	タイマRG I/O制御レジスタ	TRGIOR	477、486、 490
0176h	タイマRGカウンタ	TRG	478
0177h			
0178h	タイマRGジェネラルレジスタA	TRGGRA	479
0179h			
017Ah	タイマRGジェネラルレジスタB	TRGGRB	479
017Bh			
017Ch	タイマRGジェネラルレジスタC	TRGGRC	479
017Dh			
017Eh	タイマRGジェネラルレジスタD	TRGGRD	479
017Fh			
0180h	タイマRA端子選択レジスタ	TRASR	81、240
0181h	タイマRB/RC端子選択レジスタ	TRBRCR	82、258、286
0182h	タイマRC端子選択レジスタ0	TRCPSR0	83、287
0183h	タイマRC端子選択レジスタ1	TRCPSR1	84、288
0184h	タイマRD端子選択レジスタ0	TRDPSR0	85、346、 364、381、 396、411、 428
0185h	タイマRD端子選択レジスタ1	TRDPSR1	85、346、 364、381、 396、411、 428
0186h	タイマ端子選択レジスタ	TIMSR	86、447、 452、462、 480
0187h	タイマRF出力制御レジスタ	TRFOUT	86、461
0188h	UART0端子選択レジスタ	U0SR	87、509
0189h	UART1端子選択レジスタ	U1SR	88、510
018Ah	UART2端子選択レジスタ0	U2SR0	89、537
018Bh	UART2端子選択レジスタ1	U2SR1	90、538
018Ch	SSU/IIC端子選択レジスタ	SSUIICSR	90、576、607
018Dh			
018Eh	INT割り込み入力端子選択レジスタ	INTSR	91、183
018Fh	入出力機能端子選択レジスタ	PINSR	92、145、608

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	577
0194h	SS送信データレジスタL/IICバス送信データ レジスタ	SSTDR/ICDRT	577、609
0195h	SS送信データレジスタH	SSTDRH	
0196h	SS受信データレジスタL/IICバス受信データ レジスタ	SSRDR/ICDRR	578、609
0197h	SS受信データレジスタH	SSRDRH	
0198h	SS制御レジスタH/IICバス制御レジスタ1	SSCRH/ICCR1	578、610
0199h	SS制御レジスタL/IICバス制御レジスタ2	SSCRL/ICCR2	579、611
019Ah	SSモードレジスタ/IICバスモードレジスタ	SSMR/ICMR	580、612
019Bh	SS許可レジスタ/IICバス割り込み許可レジ スタ	SSER/ICIER	581、613
019Ch	SSステータスレジスタ/IICバスステータス レジスタ	SSSR/ICSR	582、614
019Dh	SSモードレジスタ2/スレーブアドレスレジ スタ	SSMR2/SAR	583、615
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	711
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	713
01B5h	フラッシュメモリ制御レジスタ1	FMR1	715
01B6h	フラッシュメモリ制御レジスタ2	FMR2	717
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h	アドレス一致割り込みレジスタ0	RMAD0	190
01C1h			
01C2h			
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	190
01C4h	アドレス一致割り込みレジスタ1	RMAD1	190
01C5h			
01C6h			
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	190
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			

番地	レジスタ	シンボル	掲載 ページ
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	ブルアップ制御レジスタ0	PUR0	93
01E1h	ブルアップ制御レジスタ1	PUR1	93
01E2h	ブルアップ制御レジスタ2	PUR2	94
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	ポートP1駆動能力制御レジスタ	P1DRR	95
01F1h	ポートP2駆動能力制御レジスタ	P2DRR	95
01F2h	駆動能力制御レジスタ0	DRR0	96
01F3h	駆動能力制御レジスタ1	DRR1	97
01F4h	駆動能力制御レジスタ2	DRR2	99
01F5h	入力しきい値制御レジスタ0	VLT0	100
01F6h	入力しきい値制御レジスタ1	VLT1	101
01F7h	入力しきい値制御レジスタ2	VLT2	102
01F8h	コンパレータB制御レジスタ0	INTCMP	700
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	184、700
01FBh	外部入力許可レジスタ1	INTEN1	184
01FCh	INT入力フィルタ選択レジスタ0	INTF	185、701
01FDh	INT入力フィルタ選択レジスタ1	INTF1	185
01FEh	キー入力許可レジスタ0	KIEN	188
01FFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
2C00h	DTC転送ベクタ領域		
2C01h	DTC転送ベクタ領域		
2C02h	DTC転送ベクタ領域		
2C03h	DTC転送ベクタ領域		
2C04h	DTC転送ベクタ領域		
2C05h	DTC転送ベクタ領域		
2C06h	DTC転送ベクタ領域		
2C07h	DTC転送ベクタ領域		
2C08h	DTC転送ベクタ領域		
2C09h	DTC転送ベクタ領域		
2C0Ah	DTC転送ベクタ領域		
: DTC転送ベクタ領域			
: DTC転送ベクタ領域			
2C3Ah	DTC転送ベクタ領域		
2C3Bh	DTC転送ベクタ領域		
2C3Ch	DTC転送ベクタ領域		
2C3Dh	DTC転送ベクタ領域		
2C3Eh	DTC転送ベクタ領域		
2C3Fh	DTC転送ベクタ領域		
2C40h	DTCコントロールデータ0	DTCD0	
2C41h			
2C42h			
2C43h			
2C44h			
2C45h			
2C46h			
2C47h			
2C48h	DTCコントロールデータ1	DTCD1	
2C49h			
2C4Ah			
2C4Bh			
2C4Ch			
2C4Dh			
2C4Eh			
2C4Fh			
2C50h	DTCコントロールデータ2	DTCD2	
2C51h			
2C52h			
2C53h			
2C54h			
2C55h			
2C56h			
2C57h			
2C58h	DTCコントロールデータ3	DTCD3	
2C59h			
2C5Ah			
2C5Bh			
2C5Ch			
2C5Dh			
2C5Eh			
2C5Fh			
2C60h	DTCコントロールデータ4	DTCD4	
2C61h			
2C62h			
2C63h			
2C64h			
2C65h			
2C66h			
2C67h			
2C68h	DTCコントロールデータ5	DTCD5	
2C69h			
2C6Ah			
2C6Bh			
2C6Ch			
2C6Dh			
2C6Eh			
2C6Fh			

番地	レジスタ	シンボル	掲載 ページ
2C70h	DTCコントロールデータ6	DTCD6	
2C71h			
2C72h			
2C73h			
2C74h			
2C75h			
2C76h			
2C77h			
2C78h	DTCコントロールデータ7	DTCD7	
2C79h			
2C7Ah			
2C7Bh			
2C7Ch			
2C7Dh			
2C7Eh			
2C7Fh			
2C80h	DTCコントロールデータ8	DTCD8	
2C81h			
2C82h			
2C83h			
2C84h			
2C85h			
2C86h			
2C87h			
2C88h	DTCコントロールデータ9	DTCD9	
2C89h			
2C8Ah			
2C8Bh			
2C8Ch			
2C8Dh			
2C8Eh			
2C8Fh			
2C90h	DTCコントロールデータ10	DTCD10	
2C91h			
2C92h			
2C93h			
2C94h			
2C95h			
2C96h			
2C97h			
2C98h	DTCコントロールデータ11	DTCD11	
2C99h			
2C9Ah			
2C9Bh			
2C9Ch			
2C9Dh			
2C9Eh			
2C9Fh			
2CA0h	DTCコントロールデータ12	DTCD12	
2CA1h			
2CA2h			
2CA3h			
2CA4h			
2CA5h			
2CA6h			
2CA7h			
2CA8h	DTCコントロールデータ13	DTCD13	
2CA9h			
2CAAh			
2CABh			
2CACH			
2CADh			
2CAEh			
2CAFh			

番地	レジスタ	シンボル	掲載 ページ
2CB0h	DTCコントロールデータ14	DTCD14	
2CB1h			
2CB2h			
2CB3h			
2CB4h			
2CB5h			
2CB6h			
2CB7h			
2CB8h	DTCコントロールデータ15	DTCD15	
2CB9h			
2CBAh			
2CBBh			
2CBCh			
2CBDh			
2CBEh			
2CBFh			
2CC0h	DTCコントロールデータ16	DTCD16	
2CC1h			
2CC2h			
2CC3h			
2CC4h			
2CC5h			
2CC6h			
2CC7h			
2CC8h	DTCコントロールデータ17	DTCD17	
2CC9h			
2CCAh			
2CCBh			
2CCCh			
2CCDh			
2CCEh			
2CCFh			
2CD0h	DTCコントロールデータ18	DTCD18	
2CD1h			
2CD2h			
2CD3h			
2CD4h			
2CD5h			
2CD6h			
2CD7h			
2CD8h	DTCコントロールデータ19	DTCD19	
2CD9h			
2CDAh			
2CDBh			
2CDCCh			
2CDDh			
2CDEh			
2CDFh			
2CE0h	DTCコントロールデータ20	DTCD20	
2CE1h			
2CE2h			
2CE3h			
2CE4h			
2CE5h			
2CE6h			
2CE7h			
2CE8h	DTCコントロールデータ21	DTCD21	
2CE9h			
2CEAh			
2CEBh			
2CECh			
2CEDh			
2CEEh			
2CEFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
2CF0h	DTCコントロールデータ22	DTCD22	
2CF1h			
2CF2h			
2CF3h			
2CF4h			
2CF5h			
2CF6h			
2CF7h			
2CF8h	DTCコントロールデータ23	DTCD23	
2CF9h			
2CFAh			
2CFBh			
2CFCh			
2CFDh			
2CFEh			
2CFFh			
2D00h			
2D01h			
:			
FFDBh	オプション機能選択レジスタ2	OFS2	32、202、209
:			
FFFFh	オプション機能選択レジスタ	OFS	31、50、201、 208、709

注1. 空欄は予約領域です。アクセスしないでください。

R8C/38A グループ

ルネサスマイクロコンピュータ

RJJ09B0517-0010

Rev.0.10

2009.01.15

1. 概要

1.1 特長

R8C/38A グループは、R8C CPU コアを搭載したシングルチップマイクロコンピュータです。R8C CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1M バイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS 性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/38A グループはBGO (バックグラウンドオペレーション)機能付データフラッシュ(1KB × 4ブロック)を内蔵します。

1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

1.1.2 仕様概要

表 1.1 ~ 表 1.2 に R8C/38A グループの仕様概要を示します。

表 1.1 R8C/38A グループの仕様概要 (1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPU コア <ul style="list-style-type: none"> 基本命令数：89 命令 最小命令実行時間：50ns ($f(XIN)=20\text{MHz}$、$VCC=2.7\text{V} \sim 5.5\text{V}$) 200ns ($f(XIN)=5\text{MHz}$、$VCC=1.8\text{V} \sim 5.5\text{V}$) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM、RAM、データフラッシュ	「表 1.3 R8C/38A グループの製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入力専用：1 CMOS入出力：75、プルアップ抵抗選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路：XINクロック発振回路 XCINクロック発振回路(32kHz) 高速オンチップオシレータ(周波数調整機能付) 低速オンチップオシレータ 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
		リアルタイムクロック(タイマRE)あり
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT×5、キー入力×4) 割り込み優先レベル：7レベル
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1(プリスケアラ付) リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC (データトランスファコントローラ)		<ul style="list-style-type: none"> 1チャンネル 起動要因：39 転送モード：2 (ノーマルモード、リピートモード)
タイマ	タイマRA	8ビット(8ビットプリスケアラ付)×1 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット(8ビットプリスケアラ付)×1 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット(キャプチャ/コンペアレジスタ4本付)×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRD	16ビット(キャプチャ/コンペアレジスタ4本付)×2 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)

表1.2 R8C/38A グループの仕様概要(2)

分類	機能	説明
タイマ	タイマRE	8ビット×1 アウトプットコンペアモード
	タイマRF	16ビット×1 インプットキャプチャモード(インプットキャプチャ機能)、アウトプットコンペアモード(アウトプットコンペア機能)
	タイマRG	16ビット×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力1本)、位相計数モード(2相エンコーダのカウント数の自動計測が可能)
シリアルインタフェース	UART0、UART1	2チャンネル クロック同期形シリアルI/O、非同期形シリアルI/O
	UART2	1チャンネル クロック同期形シリアルI/O、非同期形シリアルI/O、I ² Cモード(I ² Cバス)、マルチプロセッサ通信機能
シンクロナスシリアルコミュニケーションユニット(SSU)		1チャンネル(I ² Cバスと兼用)
I ² Cバス		1チャンネル(SSUと兼用)
LINモジュール		ハードウェアLIN: 1 (タイマRA、UART0を使用)
A/Dコンバータ		分解能10ビット×20チャンネル、サンプル&ホールドあり、掃引モードあり
D/Aコンバータ		分解能8ビット×2回路
コンパレータA		・2回路(電圧監視1、電圧監視2と兼用) ・外部基準電圧入力可能
コンパレータB		2回路
フラッシュメモリ		・プログラム、イレーズ電圧: VCC=2.7V ~ 5.5V ・プログラム、イレーズ回数: 10,000回(データフラッシュ) 1,000回(プログラムROM) ・プログラムセキュリティ: ROMコードプロテクト、IDコードチェック ・デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え機能 ・BGO(バックグラウンドオペレーション)機能(データフラッシュ)
動作周波数/電源電圧		f(XIN)=20MHz (VCC=2.7V ~ 5.5V) f(XIN)=5MHz (VCC=1.8V ~ 5.5V)
消費電流		標準6.5mA (VCC=5.0V、f(XIN)=20MHz) 標準3.5mA (VCC=3.0V、f(XIN)=20MHz) 標準3.5μA (VCC=3.0V、ウェイトモード(f(XCIN)=32kHz)) 標準2.0μA (VCC=3.0V、ストップモード)
動作周囲温度		-20 ~ 85 (Nバージョン) -40 ~ 85 (Dバージョン)(注1)
パッケージ		80ピンLQFP パッケージコード: PLQP0080KB-A(旧コード: 80P6Q-A)

注1. Dバージョンをご使用になる場合は、その旨をご指定ください。

1.2 製品一覧

表1.3にR8C/38Aグループの製品一覧表を示します。

表1.3 R8C/38Aグループの製品一覧表

2009年1月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21386ANFP (開)	32Kバイト	1Kバイト×4	2.5Kバイト	PLQP0080KB-A	Nバージョン
R5F21387ANFP (開)	48Kバイト	1Kバイト×4	4Kバイト	PLQP0080KB-A	
R5F21388ANFP (開)	64Kバイト	1Kバイト×4	6Kバイト	PLQP0080KB-A	
R5F2138AANFP (開)	96Kバイト	1Kバイト×4	8Kバイト	PLQP0080KB-A	
R5F2138CANFP (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	
R5F21386ADFP (開)	32Kバイト	1Kバイト×4	2.5Kバイト	PLQP0080KB-A	Dバージョン
R5F21387ADFP (開)	48Kバイト	1Kバイト×4	4Kバイト	PLQP0080KB-A	
R5F21388ADFP (開)	64Kバイト	1Kバイト×4	6Kバイト	PLQP0080KB-A	
R5F2138AADFP (開)	96Kバイト	1Kバイト×4	8Kバイト	PLQP0080KB-A	
R5F2138CADFP (開)	128Kバイト	1Kバイト×4	10Kバイト	PLQP0080KB-A	

(開)：開発中

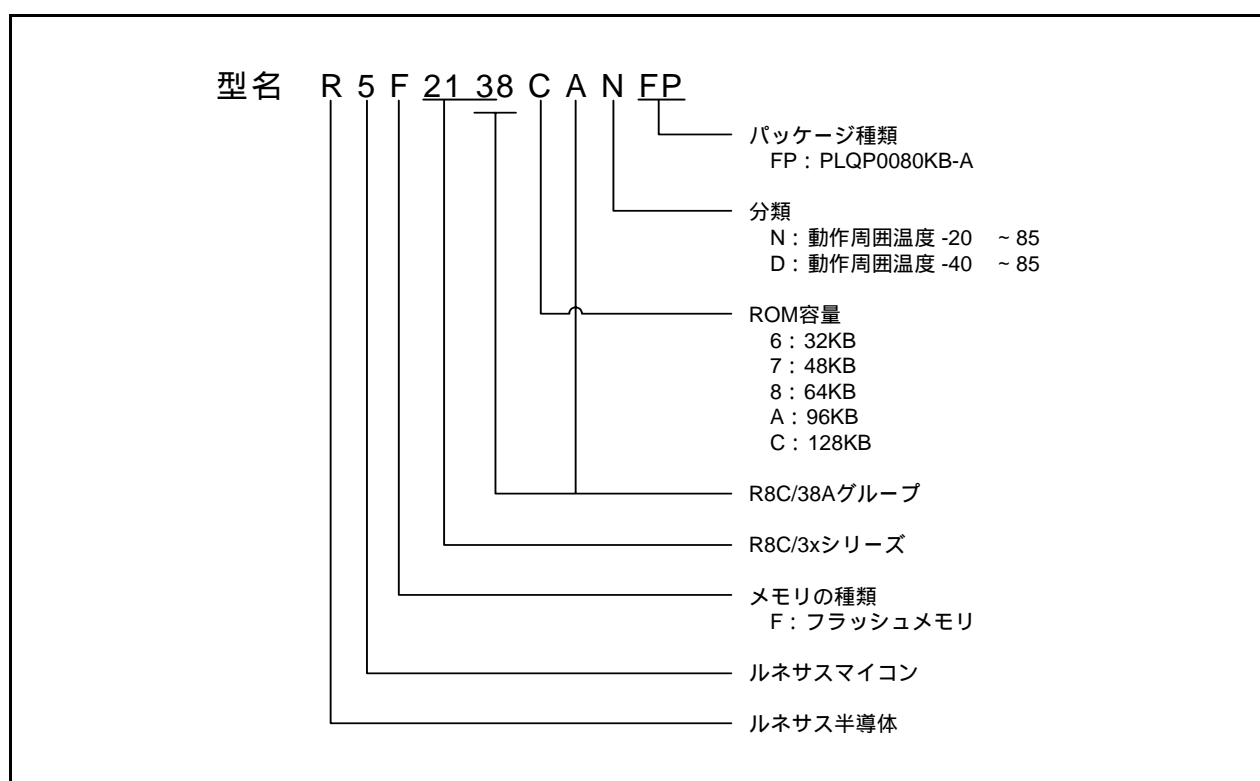


図1.1 R8C/38Aグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.2にブロック図を示します。

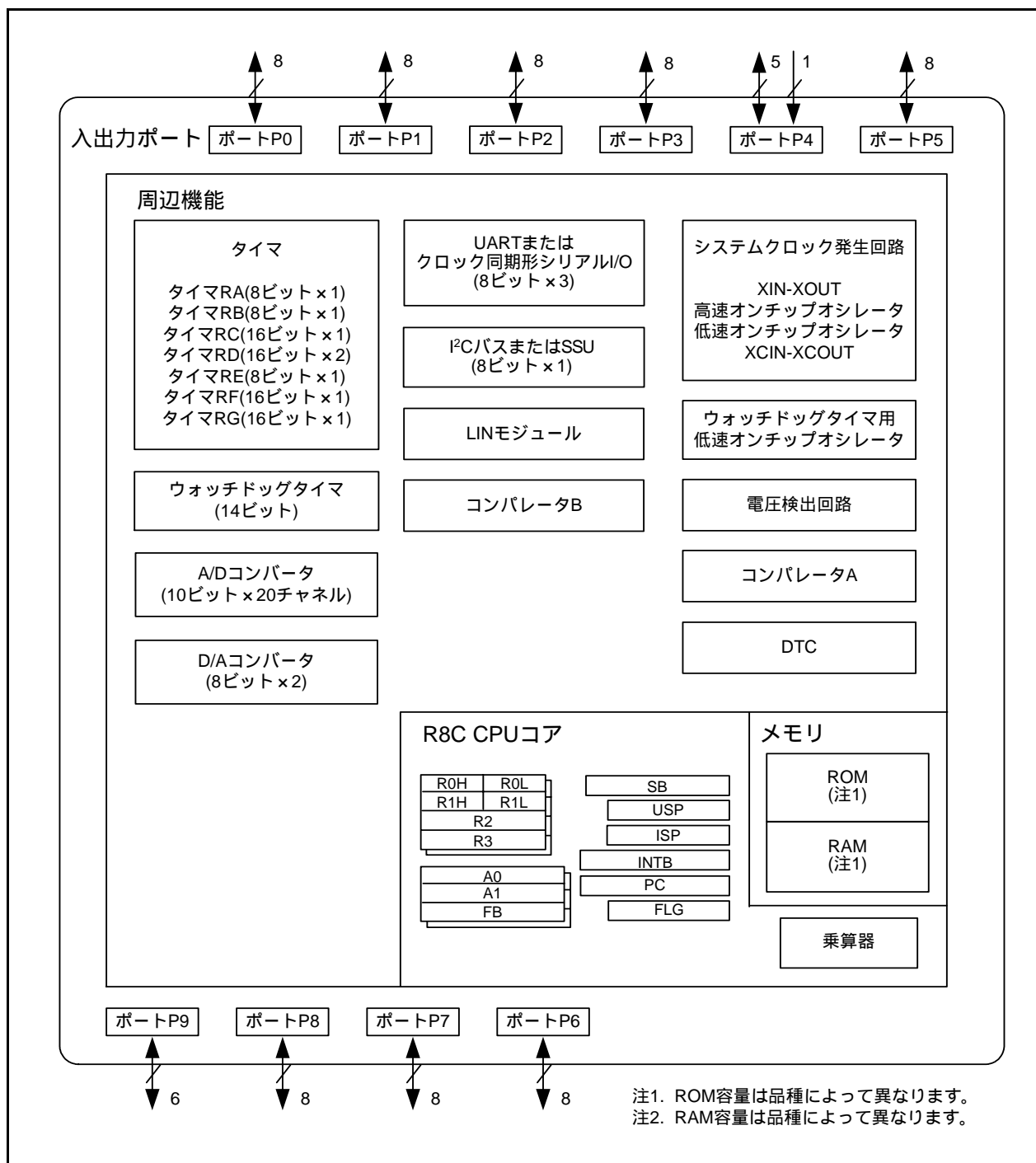


図1.2 ブロック図

1.4 ピン配置図

図1.3にピン配置図(上面図)を、表1.4～表1.6にピン番号別端子名一覧を示します。

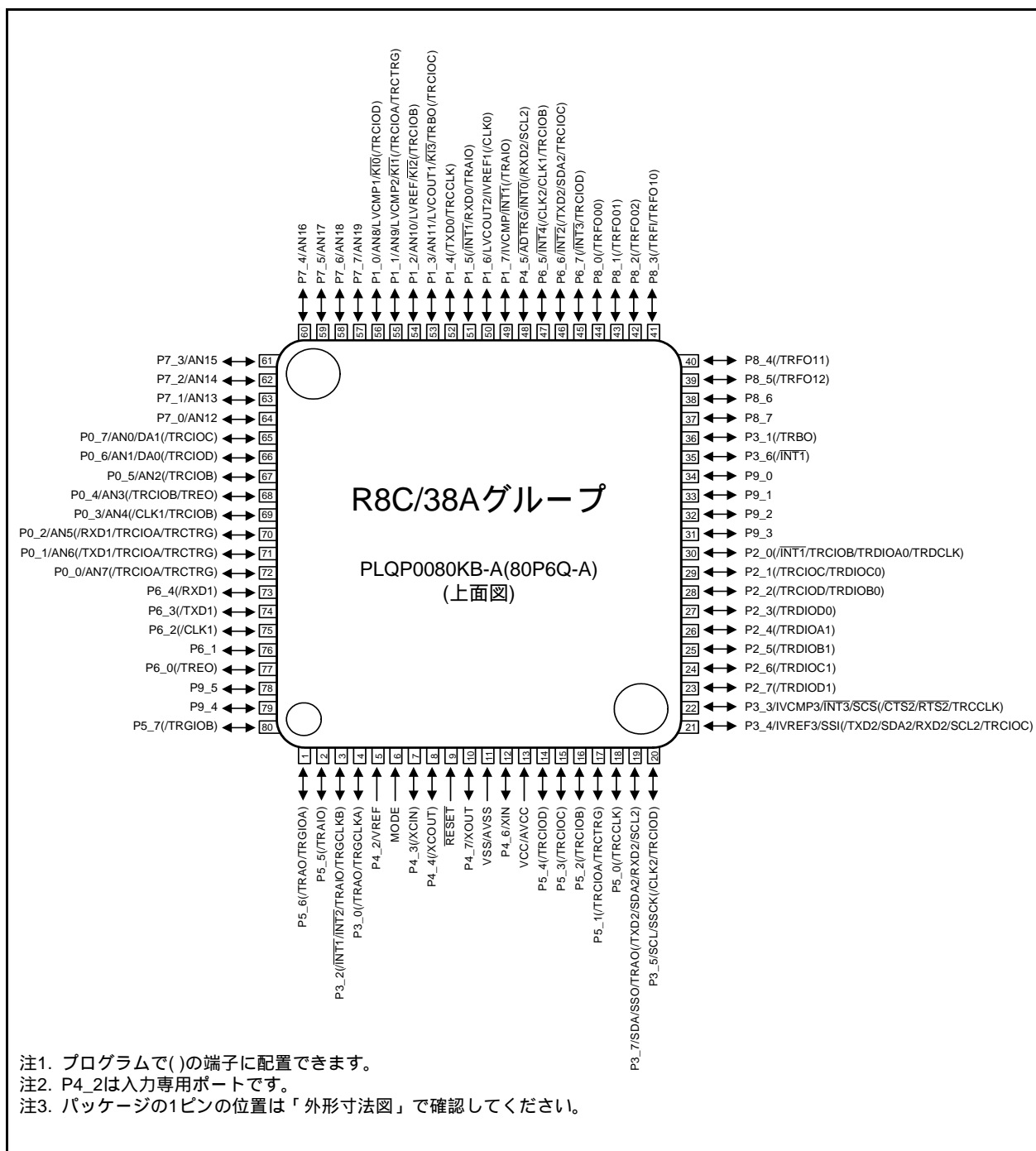


図1.3 ピン配置図(上面図)

表1.4 ピン番号別端子名一覧(1)

ピン 番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアル インタフェース	SSU	I ² Cバス	A/Dコンバータ、 D/Aコンバータ、 コンパレータA、 コンパレータB、 電圧検出回路
1		P5_6		(TRAO/ TRGIOA)				
2		P5_5		(TRAIO)				
3		P3_2	($\overline{\text{INT1}}$ / $\overline{\text{INT2}}$)	(TRAIO/ TRGCLKB)				
4		P3_0		(TRAO/ TRGCLKA)				
5		P4_2						VREF
6	MODE							
7	(XCIN)	P4_3						
8	(XCOUT)	P4_4						
9	$\overline{\text{RESET}}$							
10	XOUT	P4_7						
11	VSS/AVSS							
12	XIN	P4_6						
13	VCC/AVCC							
14		P5_4		(TRCIOD)				
15		P5_3		(TRCIOC)				
16		P5_2		(TRCIOB)				
17		P5_1		(TRCIOA/ TRCTRG)				
18		P5_0		(TRCCLK)				
19		P3_7		TRAO	(TXD2/SDA2/ RXD2/SCL2)	SSO	SDA	
20		P3_5		(TRCIOD)	(CLK2)	SSCK	SCL	
21		P3_4		(TRCIOC)	(TXD2/SDA2/ RXD2/SCL2)	SSI		IVREF3
22		P3_3	$\overline{\text{INT3}}$	(TRCCLK)	(CTS2/ $\overline{\text{RTS2}}$)	$\overline{\text{SCS}}$		IVCMP3
23		P2_7		(TRDIOD1)				
24		P2_6		(TRDIOC1)				
25		P2_5		(TRDIOB1)				
26		P2_4		(TRDIOA1)				
27		P2_3		(TRDIOD0)				
28		P2_2		(TRCIOD/ TRDIOB0)				
29		P2_1		(TRCIOC/ TRDIOC0)				
30		P2_0	($\overline{\text{INT1}}$)	(TRCIOB/ TRDIOA0/ TRDCLK)				
31		P9_3						
32		P9_2						
33		P9_1						
34		P9_0						
35		P3_6	($\overline{\text{INT1}}$)					

注1. プログラムで()の端子に配置できます。

表1.5 ピン番号別端子名一覧(2)

ピン 番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアル インタフェース	SSU	I ² Cバス	A/Dコンバータ、 D/Aコンバータ、 コンパレータA、 コンパレータB、 電圧検出回路
36		P3_1		(TRBO)				
37		P8_7						
38		P8_6						
39		P8_5		(TRFO12)				
40		P8_4		(TRFO11)				
41		P8_3		(TRFI/ TRFO10)				
42		P8_2		(TRFO02)				
43		P8_1		(TRFO01)				
44		P8_0		(TRFO00)				
45		P6_7	($\overline{\text{INT3}}$)	(TRCIOD)				
46		P6_6	$\overline{\text{INT2}}$	(TRCIOC)	(TXD2/SDA2)			
47		P6_5	$\overline{\text{INT4}}$	(TRCIOB)	(CLK2/CLK1)			
48		P4_5	$\overline{\text{INT0}}$		(RXD2/SCL2)			$\overline{\text{ADTRG}}$
49		P1_7	$\overline{\text{INT1}}$	(TRAIO)				IVCMP
50		P1_6			(CLK0)			LVCOUT2/ IVREF1
51		P1_5	($\overline{\text{INT1}}$)	(TRAIO)	(RXD0)			
52		P1_4		(TRCCLK)	(TXD0)			
53		P1_3	$\overline{\text{KI3}}$	TRBO (/TRCIOC)				AN11/LVCOUT1
54		P1_2	$\overline{\text{KI2}}$	(TRCIOB)				AN10/LVREF
55		P1_1	$\overline{\text{KI1}}$	(TRCIOA/ TRCTRG)				AN9/LVCMP2
56		P1_0	$\overline{\text{KI0}}$	(TRCIOD)				AN8/LVCMP1
57		P7_7						AN19
58		P7_6						AN18
59		P7_5						AN17
60		P7_4						AN16
61		P7_3						AN15
62		P7_2						AN14
63		P7_1						AN13
64		P7_0						AN12
65		P0_7		(TRCIOC)				AN0/DA1
66		P0_6		(TRCIOD)				AN1/DA0
67		P0_5		(TRCIOB)				AN2
68		P0_4		TREO (/TRCIOB)				AN3
69		P0_3		(TRCIOB)	(CLK1)			AN4
70		P0_2		(TRCIOA/ TRCTRG)	(RXD1)			AN5

注1. プログラムで()の端子に配置できます。

表 1.6 ピン番号別端子名一覧(3)

ピン 番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアル インタフェース	SSU	I ² Cバス	A/Dコンバータ、 D/Aコンバータ、 コンパレータA、 コンパレータB、 電圧検出回路
71		P0_1		(TRCIOA/ TRCTRG)	(TXD1)			AN6
72		P0_0		(TRCIOA/ TRCTRG)				AN7
73		P6_4			(RXD1)			
74		P6_3			(TXD1)			
75		P6_2			(CLK1)			
76		P6_1						
77		P6_0		(TREQ)				
78		P9_5						
79		P9_4						
80		P5_7		(TRGIOB)				

注1. プログラムで()の端子に配置できます。

1.5 端子機能の説明

表1.7～表1.8に端子機能の説明を示します。

表1.7 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC、VSS	入力	VCCには1.8V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	入力	A/Dコンバータの入力電源です。 AVCCとAVSS間には、コンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XOUTからクロックを入力してください。
XINクロック出力	XOUT	入出力 (注2)	
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
XCINクロック出力	XCOUT	出力	
INT割り込み入力	INT0～INT4	入力	INT割り込み入力です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRA0	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRC	TRCCLK	入力	外部クロックの入力です。
	TRCTRG	入力	外部トリガの入力です。
	TRCIOA、TRCIOB、TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRD	TRDIOA0、TRDIOA1、TRDIOB0、TRDIOB1、TRDIOC0、TRDIOC1、TRDIOD0、TRDIOD1	入出力	タイマRDの入出力です。
	TRDCLK	入力	外部クロック入力です。
タイマRE	TRE0	出力	分周クロック出力です。
タイマRF	TRFO00、TRFO10、TRFO01、TRFO11、TRFO02、TRFO12	出力	タイマRFの出力です。
	TRFI	入力	タイマRFの入力です。
タイマRG	TRGIOA、TRGIOB	入出力	タイマRGの入出力です。
	TRGCLKA、TRGCLKB	入力	外部クロック入力です。
シリアルインタフェース	CLK0、CLK1、CLK2	入出力	転送クロック入出力です。
	RXD0、RXD1、RXD2	入力	シリアルデータ入力です。
	TXD0、TXD1、TXD2	出力	シリアルデータ出力です。
	CTS2	入力	送信制御用入力です。
	RTS2	出力	受信制御用出力です。
	SCL2	入出力	I ² Cモードのクロック入出力です。
	SDA2	入出力	I ² Cモードのデータ入出力です。

注1. 発振特性は発振子メーカーに問い合わせてください。

注2. 外部で生成したクロックを入力する場合は、XOUTからクロックを入力してください。

表 1.8 端子機能の説明 (2)

分類	端子名	入出力	機能
SSU	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
I ² Cバス	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN19	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/D外部トリガ入力です。
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータの出力です。
コンパレータA	LVCMP1、LVCMP2	入力	コンパレータAのアナログ電圧入力端子です。
	LVREF	入力	コンパレータAの基準電圧入力端子です。
	LVCOUT1、LVCOUT2	出力	コンパレータAの出力端子です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力端子です。
	IVREF1、IVREF3	入力	コンパレータBのリファレンス電圧入力端子です。
電圧検出回路	LVCMP2	入力	電圧検出2の検出対象電圧入力端子です。
入出力ポート	P0_0 ~ P0_7、 P1_0 ~ P1_7、 P2_0 ~ P2_7、 P3_0 ~ P3_7、 P4_3 ~ P4_7、 P5_0 ~ P5_7、 P6_0 ~ P6_7、 P7_0 ~ P7_7、 P8_0 ~ P8_7、 P9_0 ~ P9_5	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。
入力ポート	P4_2	入力	入力専用ポートです。

2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

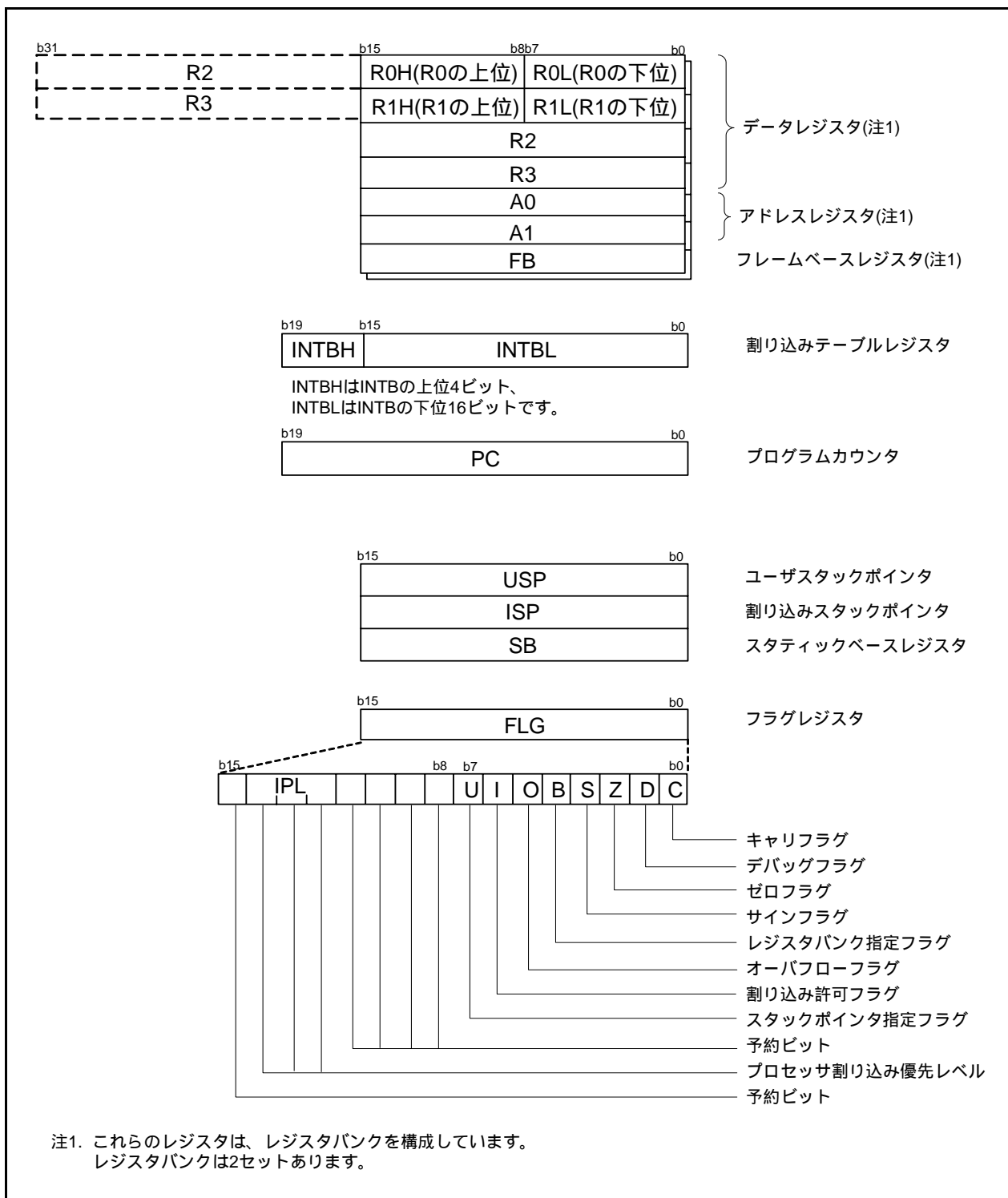


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスカブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/38Aグループ

図3.1にR8C/38Aグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば64Kバイトの内部ROMは、04000h番地から13FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

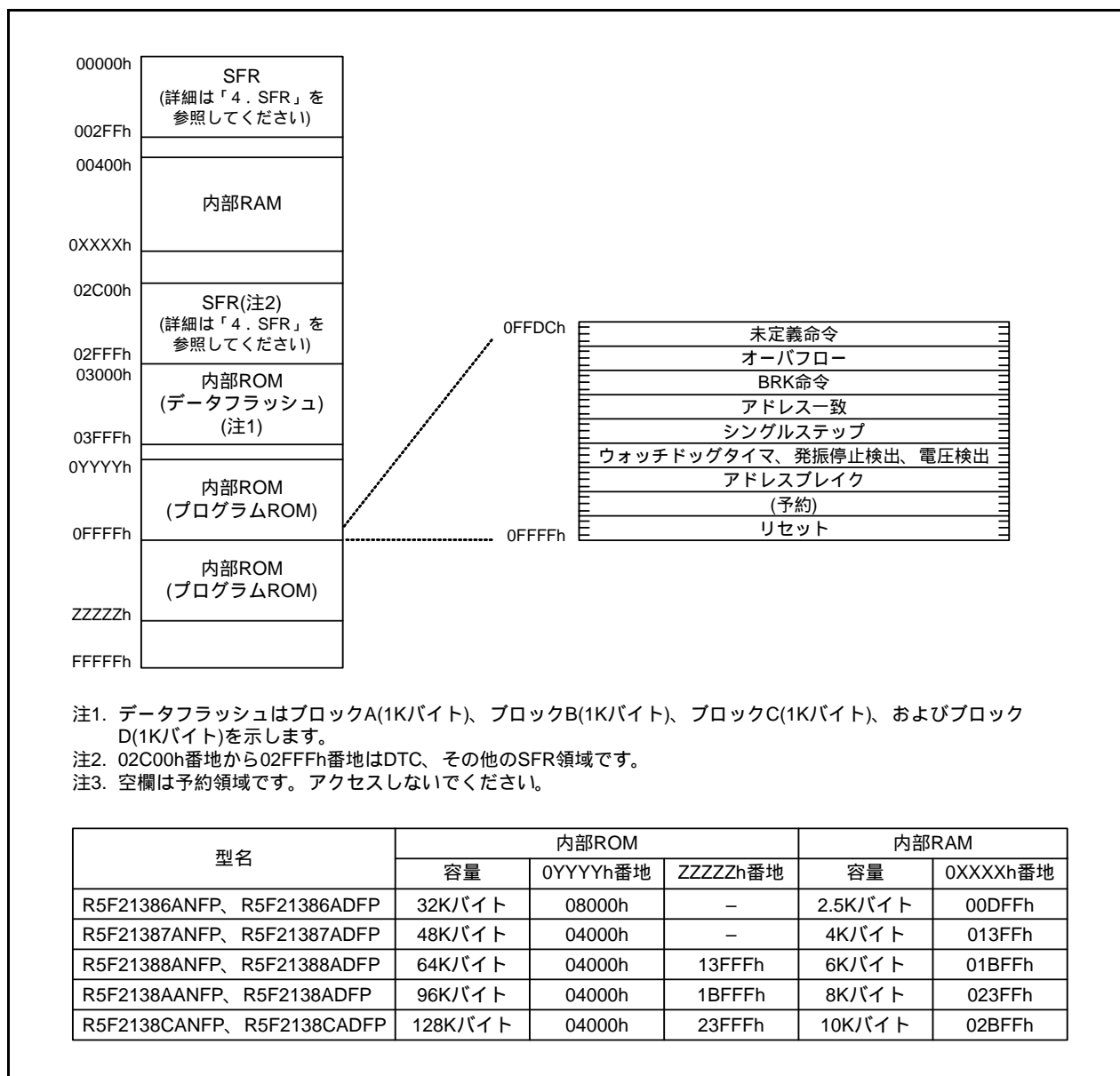


図3.1 R8C/38Aグループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.12にSFR一覧表を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	00101000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	モジュールスタンバイ制御レジスタ	MSTCR	00h
0009h	システムクロック制御レジスタ3	CM3	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	リセット要因判別レジスタ	RSTFR	0XXXXXXb (注2)
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTs	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	00111111b
0010h			
0011h			
0012h			
0013h			
0014h			
0015h	高速オンチップオシレータ制御レジスタ7	FRA7	出荷時の値
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注3)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	00h
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	00h
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	00h
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	出荷時の値
002Ah	高速オンチップオシレータ制御レジスタ5	FRA5	出荷時の値
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	出荷時の値
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ制御レジスタ3	FRA3	出荷時の値
0030h	電圧監視回路/コンパレータA制御レジスタ	CMPA	00h
0031h	電圧監視回路エッジ選択レジスタ	VCAC	00h
0032h			
0033h	電圧検出レジスタ1	VCA1	00001000b
0034h	電圧検出レジスタ2	VCA2	00h (注4) 00100000b (注5)
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	1100X010b (注4) 1100X011b (注5)
0039h	電圧監視1回路制御レジスタ	VW1C	10001010b

注1. 空欄は予約領域です。アクセスしないでください。

注2. RSTFRレジスタのCWRビットは電源投入後と、電圧監視0リセット後、“0”になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注3. OFSレジスタのCSPROINIビットが“0”の場合。

注4. OFSレジスタのLVDASビットが“1”の場合。

注5. OFSレジスタのLVDASビットが“0”の場合。

X：不定です。

表 4.2 SFR 一覧 (2)(注 1)

番地	レジスタ	シンボル	リセット後の値
003Ah	電圧監視2回路制御レジスタ	VW2C	10000010b
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	XXXXX000b
0042h			
0043h			
0044h			
0045h			
0046h	INT4 割り込み制御レジスタ	INT4IC	XX00X000b
0047h	タイマ RC 割り込み制御レジスタ	TRCIC	XXXXX000b
0048h	タイマ RD0 割り込み制御レジスタ	TRD0IC	XXXXX000b
0049h	タイマ RD1 割り込み制御レジスタ	TRD1IC	XXXXX000b
004Ah	タイマ RE 割り込み制御レジスタ	TREIC	XXXXX000b
004Bh	UART2 送信割り込み制御レジスタ	S2TIC	XXXXX000b
004Ch	UART2 受信割り込み制御レジスタ	S2RIC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D 変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU 割り込み制御レジスタ/IIC バス割り込み制御レジスタ	SSUIC/IICIC	XXXXX000b
0050h	タイマ RF コンペア 1 割り込み制御レジスタ	CMP1IC	XXXXX000b
0051h	UART0 送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0 受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1 送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1 受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	INT2 割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマ RA 割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマ RB 割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1 割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3 割り込み制御レジスタ	INT3IC	XX00X000b
005Bh	タイマ RF 割り込み制御レジスタ	TRFIC	XXXXX000b
005Ch	タイマ RF コンペア 0 割り込み制御レジスタ	CMP0IC	XXXXX000b
005Dh	INT0 割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	UART2 バス衝突検出割り込み制御レジスタ	U2BCNIC	XXXXX000b
005Fh	タイマ RF キャプチャ割り込み制御レジスタ	CAPIC	XXXXX000b
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh	タイマ RG 割り込み制御レジスタ	TRGIC	XXXXX000b
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視 1/コンパレータ A1 割り込み制御レジスタ	VCMP1IC	XXXXX000b
0073h	電圧監視 2/コンパレータ A2 割り込み制御レジスタ	VCMP2IC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注 1. 空欄は予約領域です。アクセスしないでください。
注 2. SSUICSR レジスタの IICSEL ビットで選択できます。

X: 不定です。

表 4.3 SFR 一覧 (3)(注 1)

番地	レジスタ	シンボル	リセット後の値
0080h	DTC 起動制御レジスタ	DCTL	00h
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC 起動許可レジスタ 0	DTCEN0	00h
0089h	DTC 起動許可レジスタ 1	DTCEN1	00h
008Ah	DTC 起動許可レジスタ 2	DTCEN2	00h
008Bh	DTC 起動許可レジスタ 3	DTCEN3	00h
008Ch	DTC 起動許可レジスタ 4	DTCEN4	00h
008Dh	DTC 起動許可レジスタ 5	DTCEN5	00h
008Eh	DTC 起動許可レジスタ 6	DTCEN6	00h
008Fh			
0090h	タイマ RF レジスタ	TRF	00h
0091h			00h
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah	タイマ RF 制御レジスタ 0	TRFCR0	00h
009Bh	タイマ RF 制御レジスタ 1	TRFCR1	00h
009Ch	キャプチャ、コンペア 0 レジスタ	TRFM0	00h
009Dh			00h
009Eh	コンペア 1 レジスタ	TRFM1	FFh
009Fh			FFh
00A0h	UART0 送受信モードレジスタ	U0MR	00h
00A1h	UART0 ビットレートレジスタ	U0BRG	XXh
00A2h	UART0 送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0 送受信制御レジスタ 0	U0C0	00001000b
00A5h	UART0 送受信制御レジスタ 1	U0C1	00000010b
00A6h	UART0 受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART2 送受信モードレジスタ	U2MR	00h
00A9h	UART2 ビットレートレジスタ	U2BRG	XXh
00AAh	UART2 送信バッファレジスタ	U2TB	XXh
00ABh			XXh
00ACh	UART2 送受信制御レジスタ 0	U2C0	00001000b
00ADh	UART2 送受信制御レジスタ 1	U2C1	00000010b
00AEh	UART2 受信バッファレジスタ	U2RB	XXh
00AFh			XXh
00B0h	UART2 デジタルフィルタ機能選択レジスタ	URXDF	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2 特殊モードレジスタ 5	U2SMR5	00h
00BCh	UART2 特殊モードレジスタ 4	U2SMR4	00h
00BDh	UART2 特殊モードレジスタ 3	U2SMR3	000X0X0Xb
00BEh	UART2 特殊モードレジスタ 2	U2SMR2	X0000000b
00BFh	UART2 特殊モードレジスタ	U2SMR	X0000000b

注 1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.4 SFR 一覧 (4)(注 1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ 0	AD0	XXh
00C1h			000000XXb
00C2h	A/D レジスタ 1	AD1	XXh
00C3h			000000XXb
00C4h	A/D レジスタ 2	AD2	XXh
00C5h			000000XXb
00C6h	A/D レジスタ 3	AD3	XXh
00C7h			000000XXb
00C8h	A/D レジスタ 4	AD4	XXh
00C9h			000000XXb
00CAh	A/D レジスタ 5	AD5	XXh
00CBh			000000XXb
00CCh	A/D レジスタ 6	AD6	XXh
00CDh			000000XXb
00CEh	A/D レジスタ 7	AD7	XXh
00CFh			000000XXb
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D モードレジスタ	ADMOD	00h
00D5h	A/D 入力選択レジスタ	ADINSEL	11000000b
00D6h	A/D 制御レジスタ 0	ADCON0	00h
00D7h	A/D 制御レジスタ 1	ADCON1	00h
00D8h	D/A0 レジスタ	DA0	00h
00D9h	D/A1 レジスタ	DA1	00h
00DAh			
00DBh			
00DCh	D/A 制御レジスタ	DACON	00h
00DDh			
00DEh			
00DFh			
00E0h	ポート P0 レジスタ	P0	XXh
00E1h	ポート P1 レジスタ	P1	XXh
00E2h	ポート P0 方向レジスタ	PD0	00h
00E3h	ポート P1 方向レジスタ	PD1	00h
00E4h	ポート P2 レジスタ	P2	XXh
00E5h	ポート P3 レジスタ	P3	XXh
00E6h	ポート P2 方向レジスタ	PD2	00h
00E7h	ポート P3 方向レジスタ	PD3	00h
00E8h	ポート P4 レジスタ	P4	XXh
00E9h	ポート P5 レジスタ	P5	XXh
00EAh	ポート P4 方向レジスタ	PD4	00h
00EBh	ポート P5 方向レジスタ	PD5	00h
00ECh	ポート P6 レジスタ	P6	XXh
00EDh	ポート P7 レジスタ	P7	XXh
00EEh	ポート P6 方向レジスタ	PD6	00h
00EFh	ポート P7 方向レジスタ	PD7	00h
00F0h	ポート P8 レジスタ	P8	XXh
00F1h	ポート P9 レジスタ	P9	XXh
00F2h	ポート P8 方向レジスタ	PD8	00h
00F3h	ポート P9 方向レジスタ	PD9	00h
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

注 1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.5 SFR 一覧 (5) (注 1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマ RA 制御レジスタ	TRACR	00h
0101h	タイマ RA I/O 制御レジスタ	TRAI OC	00h
0102h	タイマ RA モードレジスタ	TRAMR	00h
0103h	タイマ RA プリスケアラレジスタ	TRAPRE	FFh
0104h	タイマ RA レジスタ	TRA	FFh
0105h	LIN コントロールレジスタ 2	LINCR2	00h
0106h	LIN コントロールレジスタ	LINCR	00h
0107h	LIN ステータスレジスタ	LINST	00h
0108h	タイマ RB 制御レジスタ	TRBCR	00h
0109h	タイマ RB ワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマ RB I/O 制御レジスタ	TRBIOC	00h
010Bh	タイマ RB モードレジスタ	TRBMR	00h
010Ch	タイマ RB プリスケアラレジスタ	TRBP RE	FFh
010Dh	タイマ RB セカンダリレジスタ	TRBSC	FFh
010Eh	タイマ RB プライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマ RE 秒データレジスタ/カウンタデータレジスタ	TRESEC	00h
0119h	タイマ RE 分データレジスタ/コンペアデータレジスタ	TREMIN	00h
011Ah	タイマ RE 時データレジスタ	TREHR	00h
011Bh	タイマ RE 曜日データレジスタ	TREWK	00h
011Ch	タイマ RE 制御レジスタ 1	TRECR1	00h
011Dh	タイマ RE 制御レジスタ 2	TRECR2	00h
011Eh	タイマ RE カウントソース選択レジスタ	TRECSR	00001000b
011Fh			
0120h	タイマ RC モードレジスタ	TRCMR	01001000b
0121h	タイマ RC 制御レジスタ 1	TRCCR1	00h
0122h	タイマ RC 割り込み許可レジスタ	TRCIE R	01110000b
0123h	タイマ RC ステータスレジスタ	TRCSR	01110000b
0124h	タイマ RC I/O 制御レジスタ 0	TRCIOR0	10001000b
0125h	タイマ RC I/O 制御レジスタ 1	TRCIOR1	10001000b
0126h	タイマ RC カウンタ	TRC	00h
0127h			00h
0128h	タイマ RC ジェネラルレジスタ A	TRCGRA	FFh
0129h			FFh
012Ah	タイマ RC ジェネラルレジスタ B	TRCGRB	FFh
012Bh			FFh
012Ch	タイマ RC ジェネラルレジスタ C	TRCGRC	FFh
012Dh			FFh
012Eh	タイマ RC ジェネラルレジスタ D	TRCGRD	FFh
012Fh			FFh
0130h	タイマ RC 制御レジスタ 2	TRCCR2	00011000b
0131h	タイマ RC デジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマ RC アウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h	タイマ RC トリガ制御レジスタ	TRCADCR	00h
0134h			
0135h	タイマ RD 拡張制御レジスタ	TRDECR	00h
0136h	タイマ RD トリガ制御レジスタ	TRDADCR	00h
0137h	タイマ RD スタートレジスタ	TRDSTR	11111100b
0138h	タイマ RD モードレジスタ	TRDMR	00001110b
0139h	タイマ RD PWM モードレジスタ	TRDPMR	10001000b
013Ah	タイマ RD 機能制御レジスタ	TRDFCR	10000000b
013Bh	タイマ RD アウトプットマスタ許可レジスタ 1	TRDOER1	FFh
013Ch	タイマ RD アウトプットマスタ許可レジスタ 2	TRDOER2	01111111b
013Dh	タイマ RD アウトプット制御レジスタ	TRDOCR	00h
013Eh	タイマ RD デジタルフィルタ機能選択レジスタ 0	TRDDF0	00h
013Fh	タイマ RD デジタルフィルタ機能選択レジスタ 1	TRDDF1	00h

注 1. 空欄は予約領域です。アクセスしないでください。

表 4.6 SFR 一覧 (6)(注 1)

番地	レジスタ	シンボル	リセット後の値
0140h	タイマ RD 制御レジスタ 0	TRDCR0	00h
0141h	タイマ RD I/O 制御レジスタ A0	TRDIORA0	10001000b
0142h	タイマ RD I/O 制御レジスタ C0	TRDIORC0	10001000b
0143h	タイマ RD ステータスレジスタ 0	TRDSR0	11100000b
0144h	タイマ RD 割り込み許可レジスタ 0	TRDIER0	11100000b
0145h	タイマ RD PWM モードアウトプットレベル制御レジスタ 0	TRDPOCR0	11111000b
0146h	タイマ RD カウンタ 0	TRD0	00h
0147h			00h
0148h	タイマ RD ジェネラルレジスタ A0	TRDGRA0	FFh
0149h			FFh
014Ah	タイマ RD ジェネラルレジスタ B0	TRDGRB0	FFh
014Bh			FFh
014Ch	タイマ RD ジェネラルレジスタ C0	TRDGRC0	FFh
014Dh			FFh
014Eh	タイマ RD ジェネラルレジスタ D0	TRDGRD0	FFh
014Fh			FFh
0150h	タイマ RD 制御レジスタ 1	TRDCR1	00h
0151h	タイマ RD I/O 制御レジスタ A1	TRDIORA1	10001000b
0152h	タイマ RD I/O 制御レジスタ C1	TRDIORC1	10001000b
0153h	タイマ RD ステータスレジスタ 1	TRDSR1	11000000b
0154h	タイマ RD 割り込み許可レジスタ 1	TRDIER1	11100000b
0155h	タイマ RD PWM モードアウトプットレベル制御レジスタ 1	TRDPOCR1	11111000b
0156h	タイマ RD カウンタ 1	TRD1	00h
0157h			00h
0158h	タイマ RD ジェネラルレジスタ A1	TRDGRA1	FFh
0159h			FFh
015Ah	タイマ RD ジェネラルレジスタ B1	TRDGRB1	FFh
015Bh			FFh
015Ch	タイマ RD ジェネラルレジスタ C1	TRDGRC1	FFh
015Dh			FFh
015Eh	タイマ RD ジェネラルレジスタ D1	TRDGRD1	FFh
015Fh			FFh
0160h	UART1 送受信モードレジスタ	U1MR	00h
0161h	UART1 ビットレートレジスタ	U1BRG	XXh
0162h	UART1 送信バッファレジスタ	U1TB	XXh
0163h			XXh
0164h	UART1 送受信制御レジスタ 0	U1C0	00001000b
0165h	UART1 送受信制御レジスタ 1	U1C1	00000010b
0166h	UART1 受信バッファレジスタ	U1RB	XXh
0167h			XXh
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h	タイマ RG モードレジスタ	TRGMR	01000000b
0171h	タイマ RG カウント制御レジスタ	TRGCNTC	00h
0172h	タイマ RG 制御レジスタ	TRGCR	10000000b
0173h	タイマ RG 割り込み許可レジスタ	TRGIER	11110000b
0174h	タイマ RG ステータスレジスタ	TRGSR	11100000b
0175h	タイマ RG I/O 制御レジスタ	TRGIOR	00h
0176h	タイマ RG カウンタ	TRG	00h
0177h			00h
0178h	タイマ RG ジェネラルレジスタ A	TRGGRA	FFh
0179h			FFh
017Ah	タイマ RG ジェネラルレジスタ B	TRGGRB	FFh
017Bh			FFh
017Ch	タイマ RG ジェネラルレジスタ C	TRGGRC	FFh
017Dh			FFh
017Eh	タイマ RG ジェネラルレジスタ D	TRGGRD	FFh
017Fh			FFh

注 1. 空欄は予約領域です。アクセスしないでください。

X : 不定です。

表 4.7 SFR 一覧 (7)(注 1)

番地	レジスタ	シンボル	リセット後の値
0180h	タイマ RA 端子選択レジスタ	TRASR	00h
0181h	タイマ RB/RC 端子選択レジスタ	TRBRCSR	00h
0182h	タイマ RC 端子選択レジスタ 0	TRCPSR0	00h
0183h	タイマ RC 端子選択レジスタ 1	TRCPSR1	00h
0184h	タイマ RD 端子選択レジスタ 0	TRDPSR0	00h
0185h	タイマ RD 端子選択レジスタ 1	TRDPSR1	00h
0186h	タイマ端子選択レジスタ	TIMSR	00h
0187h	タイマ RF 出力制御レジスタ	TRFOUT	00h
0188h	UART0 端子選択レジスタ	U0SR	00h
0189h	UART1 端子選択レジスタ	U1SR	00h
018Ah	UART2 端子選択レジスタ 0	U2SR0	00h
018Bh	UART2 端子選択レジスタ 1	U2SR1	00h
018Ch	SSU/IIC 端子選択レジスタ	SSUIICSR	00h
018Dh			
018Eh	INT 割り込み入力端子選択レジスタ	INTSR	00h
018Fh	入出力機能端子選択レジスタ	PINSR	00h
0190h			
0191h			
0192h			
0193h	SS ビットカウンタレジスタ	SSBR	11111000b
0194h	SS 送信データレジスタ L/IIC バス送信データレジスタ (注 2)	SSTDR/ICDRT	FFh
0195h	SS 送信データレジスタ H	SSTDRH	FFh
0196h	SS 受信データレジスタ L/IIC バス受信データレジスタ (注 2)	SSRDR/ICDRR	FFh
0197h	SS 受信データレジスタ H (注 2)	SSRDRH	FFh
0198h	SS 制御レジスタ H/IIC バス制御レジスタ 1 (注 2)	SSCRH/ICCR1	00h
0199h	SS 制御レジスタ L/IIC バス制御レジスタ 2 (注 2)	SSCRL/ICCR2	01111101b
019Ah	SS モードレジスタ/IIC バスモードレジスタ (注 2)	SSMR/ICMR	00010000b/00011000b
019Bh	SS 許可レジスタ/IIC バス割り込み許可レジスタ (注 2)	SSEI/ICIER	00h
019Ch	SS ステータスレジスタ/IIC バスステータスレジスタ (注 2)	SSSR/ICSR	00h/0000X000b
019Dh	SS モードレジスタ 2/スリープアドレスレジスタ (注 2)	SSMR2/SAR	00h
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	10000X00b
01B3h			
01B4h	フラッシュメモリ制御レジスタ 0	FMR0	00h
01B5h	フラッシュメモリ制御レジスタ 1	FMR1	00h
01B6h	フラッシュメモリ制御レジスタ 2	FMR2	00h
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

注 1. 空欄は予約領域です。アクセスしないでください。

注 2. SSUIICSR レジスタの IICSEL ビットで選択できます。

X: 不定です。

表 4.8 SFR 一覧 (8)(注 1)

番地	レジスタ	シンボル	リセット後の値
01C0h	アドレス一致割り込みレジスタ 0	RMAD0	XXh
01C1h			XXh
01C2h			0000XXXXb
01C3h	アドレス一致割り込み許可レジスタ 0	AIER0	00h
01C4h	アドレス一致割り込みレジスタ 1	RMAD1	XXh
01C5h			XXh
01C6h			0000XXXXb
01C7h	アドレス一致割り込み許可レジスタ 1	AIER1	00h
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	ブルアップ制御レジスタ 0	PUR0	00h
01E1h	ブルアップ制御レジスタ 1	PUR1	00h
01E2h	ブルアップ制御レジスタ 2	PUR2	00h
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	ポート P1 駆動能力制御レジスタ	P1DRR	00h
01F1h	ポート P2 駆動能力制御レジスタ	P2DRR	00h
01F2h	駆動能力制御レジスタ 0	DRR0	00h
01F3h	駆動能力制御レジスタ 1	DRR1	00h
01F4h	駆動能力制御レジスタ 2	DRR2	00h
01F5h	入力しきい値制御レジスタ 0	VLT0	00h
01F6h	入力しきい値制御レジスタ 1	VLT1	00h
01F7h	入力しきい値制御レジスタ 2	VLT2	00h
01F8h	コンパレータ B 制御レジスタ 0	INTCMP	00h
01F9h			
01FAh	外部入力許可レジスタ 0	INTEN	00h
01FBh	外部入力許可レジスタ 1	INTEN1	00h
01FCh	INT 入力フィルタ選択レジスタ 0	INTF	00h
01FDh	INT 入力フィルタ選択レジスタ 1	INTF1	00h
01FEh	キー入力許可レジスタ 0	KIEN	00h
01FFh			

注 1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.9 SFR 一覧 (9)(注 1)

番地	レジスタ	シンボル	リセット後の値
2C00h	DTC 転送ベクタ領域		XXh
2C01h	DTC 転送ベクタ領域		XXh
2C02h	DTC 転送ベクタ領域		XXh
2C03h	DTC 転送ベクタ領域		XXh
2C04h	DTC 転送ベクタ領域		XXh
2C05h	DTC 転送ベクタ領域		XXh
2C06h	DTC 転送ベクタ領域		XXh
2C07h	DTC 転送ベクタ領域		XXh
2C08h	DTC 転送ベクタ領域		XXh
2C09h	DTC 転送ベクタ領域		XXh
2C0Ah	DTC 転送ベクタ領域		XXh
:	DTC 転送ベクタ領域		XXh
:	DTC 転送ベクタ領域		XXh
2C3Ah	DTC 転送ベクタ領域		XXh
2C3Bh	DTC 転送ベクタ領域		XXh
2C3Ch	DTC 転送ベクタ領域		XXh
2C3Dh	DTC 転送ベクタ領域		XXh
2C3Eh	DTC 転送ベクタ領域		XXh
2C3Fh	DTC 転送ベクタ領域		XXh
2C40h	DTC コントロールデータ 0	DTCD0	XXh
2C41h			XXh
2C42h			XXh
2C43h			XXh
2C44h			XXh
2C45h			XXh
2C46h			XXh
2C47h			XXh
2C48h	DTC コントロールデータ 1	DTCD1	XXh
2C49h			XXh
2C4Ah			XXh
2C4Bh			XXh
2C4Ch			XXh
2C4Dh			XXh
2C4Eh			XXh
2C4Fh			XXh
2C50h	DTC コントロールデータ 2	DTCD2	XXh
2C51h			XXh
2C52h			XXh
2C53h			XXh
2C54h			XXh
2C55h			XXh
2C56h			XXh
2C57h			XXh
2C58h	DTC コントロールデータ 3	DTCD3	XXh
2C59h			XXh
2C5Ah			XXh
2C5Bh			XXh
2C5Ch			XXh
2C5Dh			XXh
2C5Eh			XXh
2C5Fh			XXh
2C60h	DTC コントロールデータ 4	DTCD4	XXh
2C61h			XXh
2C62h			XXh
2C63h			XXh
2C64h			XXh
2C65h			XXh
2C66h			XXh
2C67h			XXh
2C68h	DTC コントロールデータ 5	DTCD5	XXh
2C69h			XXh
2C6Ah			XXh
2C6Bh			XXh
2C6Ch			XXh
2C6Dh			XXh
2C6Eh			XXh
2C6Fh			XXh

注 1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.10 SFR 一覧 (10)(注 1)

番地	レジスタ	シンボル	リセット後の値
2C70h	DTC コントロールデータ 6	DTCD6	XXh
2C71h			XXh
2C72h			XXh
2C73h			XXh
2C74h			XXh
2C75h			XXh
2C76h			XXh
2C77h			XXh
2C78h	DTC コントロールデータ 7	DTCD7	XXh
2C79h			XXh
2C7Ah			XXh
2C7Bh			XXh
2C7Ch			XXh
2C7Dh			XXh
2C7Eh			XXh
2C7Fh			XXh
2C80h	DTC コントロールデータ 8	DTCD8	XXh
2C81h			XXh
2C82h			XXh
2C83h			XXh
2C84h			XXh
2C85h			XXh
2C86h			XXh
2C87h			XXh
2C88h	DTC コントロールデータ 9	DTCD9	XXh
2C89h			XXh
2C8Ah			XXh
2C8Bh			XXh
2C8Ch			XXh
2C8Dh			XXh
2C8Eh			XXh
2C8Fh			XXh
2C90h	DTC コントロールデータ 10	DTCD10	XXh
2C91h			XXh
2C92h			XXh
2C93h			XXh
2C94h			XXh
2C95h			XXh
2C96h			XXh
2C97h			XXh
2C98h	DTC コントロールデータ 11	DTCD11	XXh
2C99h			XXh
2C9Ah			XXh
2C9Bh			XXh
2C9Ch			XXh
2C9Dh			XXh
2C9Eh			XXh
2C9Fh			XXh
2CA0h	DTC コントロールデータ 12	DTCD12	XXh
2CA1h			XXh
2CA2h			XXh
2CA3h			XXh
2CA4h			XXh
2CA5h			XXh
2CA6h			XXh
2CA7h			XXh
2CA8h	DTC コントロールデータ 13	DTCD13	XXh
2CA9h			XXh
2CAAh			XXh
2CABh			XXh
2CACH			XXh
2CADh			XXh
2CAEh			XXh
2CAFh			XXh

注 1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.11 SFR 一覧 (11)(注 1)

番地	レジスタ	シンボル	リセット後の値
2CB0h	DTC コントロールデータ 14	DTCD14	XXh
2CB1h			XXh
2CB2h			XXh
2CB3h			XXh
2CB4h			XXh
2CB5h			XXh
2CB6h			XXh
2CB7h			XXh
2CB8h	DTC コントロールデータ 15	DTCD15	XXh
2CB9h			XXh
2CBAh			XXh
2CBBh			XXh
2CBCh			XXh
2CBDh			XXh
2CBEh			XXh
2CBFh			XXh
2CC0h	DTC コントロールデータ 16	DTCD16	XXh
2CC1h			XXh
2CC2h			XXh
2CC3h			XXh
2CC4h			XXh
2CC5h			XXh
2CC6h			XXh
2CC7h			XXh
2CC8h	DTC コントロールデータ 17	DTCD17	XXh
2CC9h			XXh
2CCAh			XXh
2CCBh			XXh
2CCCh			XXh
2CCDh			XXh
2CCEh			XXh
2CCFh			XXh
2CD0h	DTC コントロールデータ 18	DTCD18	XXh
2CD1h			XXh
2CD2h			XXh
2CD3h			XXh
2CD4h			XXh
2CD5h			XXh
2CD6h			XXh
2CD7h			XXh
2CD8h	DTC コントロールデータ 19	DTCD19	XXh
2CD9h			XXh
2CDAh			XXh
2CDBh			XXh
2CDCh			XXh
2CDDh			XXh
2CDEh			XXh
2CDFh			XXh
2CE0h	DTC コントロールデータ 20	DTCD20	XXh
2CE1h			XXh
2CE2h			XXh
2CE3h			XXh
2CE4h			XXh
2CE5h			XXh
2CE6h			XXh
2CE7h			XXh
2CE8h	DTC コントロールデータ 21	DTCD21	XXh
2CE9h			XXh
2CEAh			XXh
2CEBh			XXh
2CECh			XXh
2CEDh			XXh
2CEEh			XXh
2CEFh			XXh

注 1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.12 SFR一覧(12)(注1)

番地	レジスタ	シンボル	リセット後の値
2CF0h	DTCコントロールデータ22	DTCD22	XXh
2CF1h			XXh
2CF2h			XXh
2CF3h			XXh
2CF4h			XXh
2CF5h			XXh
2CF6h			XXh
2CF7h			XXh
2CF8h	DTCコントロールデータ23	DTCD23	XXh
2CF9h			XXh
2CFAh			XXh
2CFBh			XXh
2CFC h			XXh
2CFDh			XXh
2CFEh			XXh
2CFFh			XXh
2D00h			
2D01h			
⋮			
FFDBh	オプション機能選択レジスタ2	OFS2	(注2)
⋮			
FFFFh	オプション機能選択レジスタ	OFS	(注2)

注1. 空欄は予約領域です。アクセスしないでください。

注2. このレジスタはプログラムで変更できません。フラッシュライタで書いてください。

X: 不定です。

5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視0リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表5.1にリセットの名称と要因を、図5.1にリセット回路のブロック図を示します。

表5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子の入力電圧が“L”
パワーオンリセット	VCCの上昇
電圧監視0リセット	VCCの下降(監視電圧: Vdet0)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く

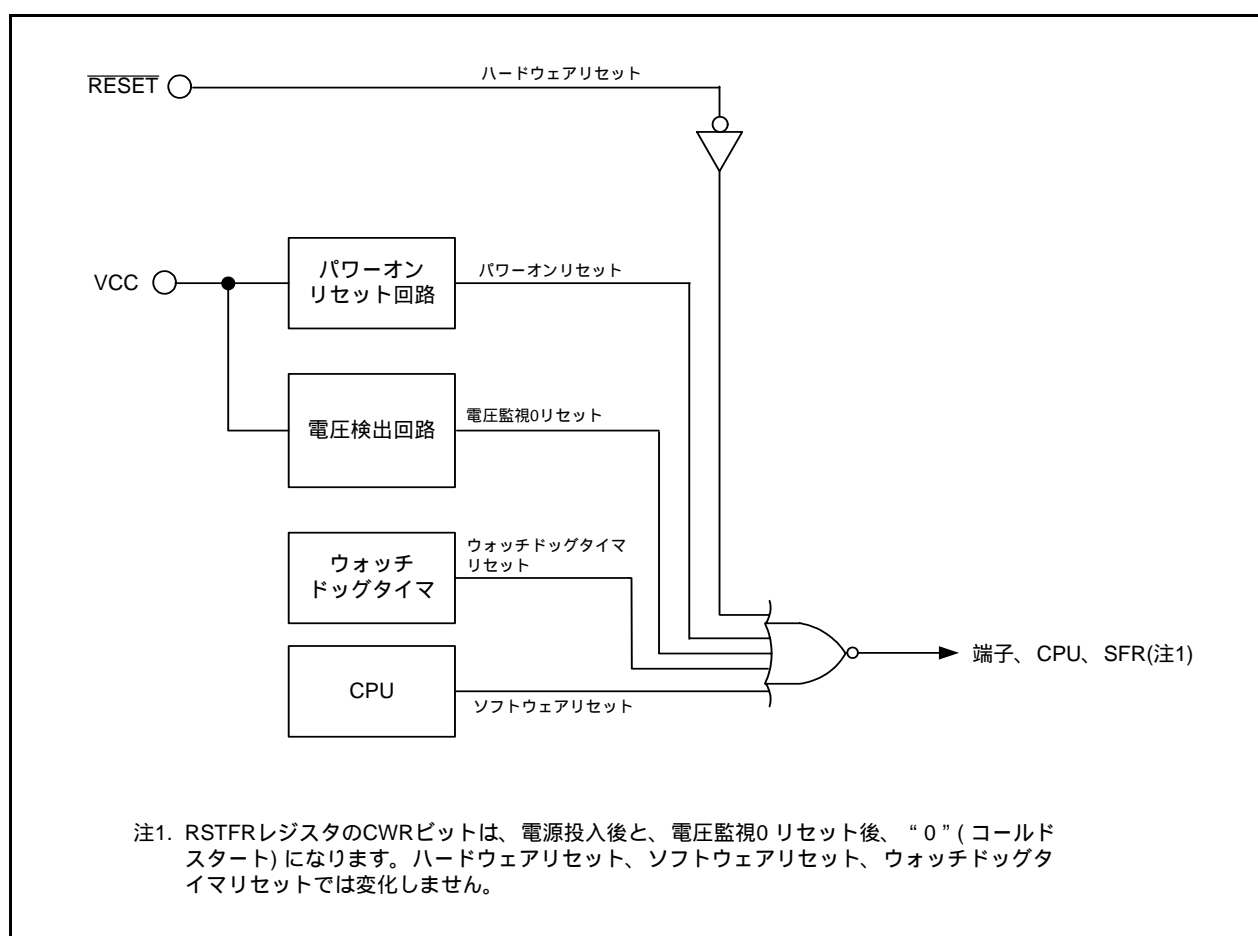


図5.1 リセット回路のブロック図

表5.2にRESET端子のレベルが“L”の期間の端子の状態を、図5.2にリセット後のCPUレジスタの状態を、図5.3にリセットシーケンスを示します。

表5.2 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0 ~ P3、P5 ~ P8	入力ポート
P4_2 ~ P4_7	入力ポート
P9_0 ~ P9_5	入力ポート

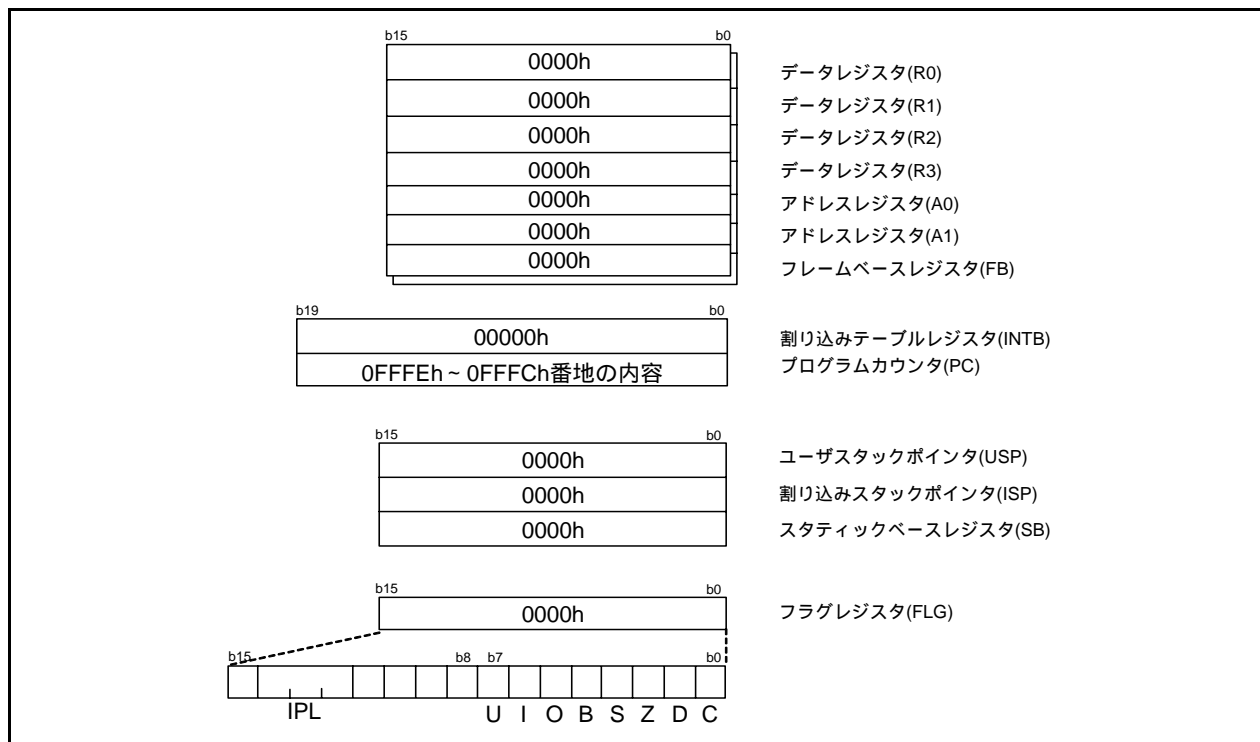


図5.2 リセット後のCPUレジスタの状態

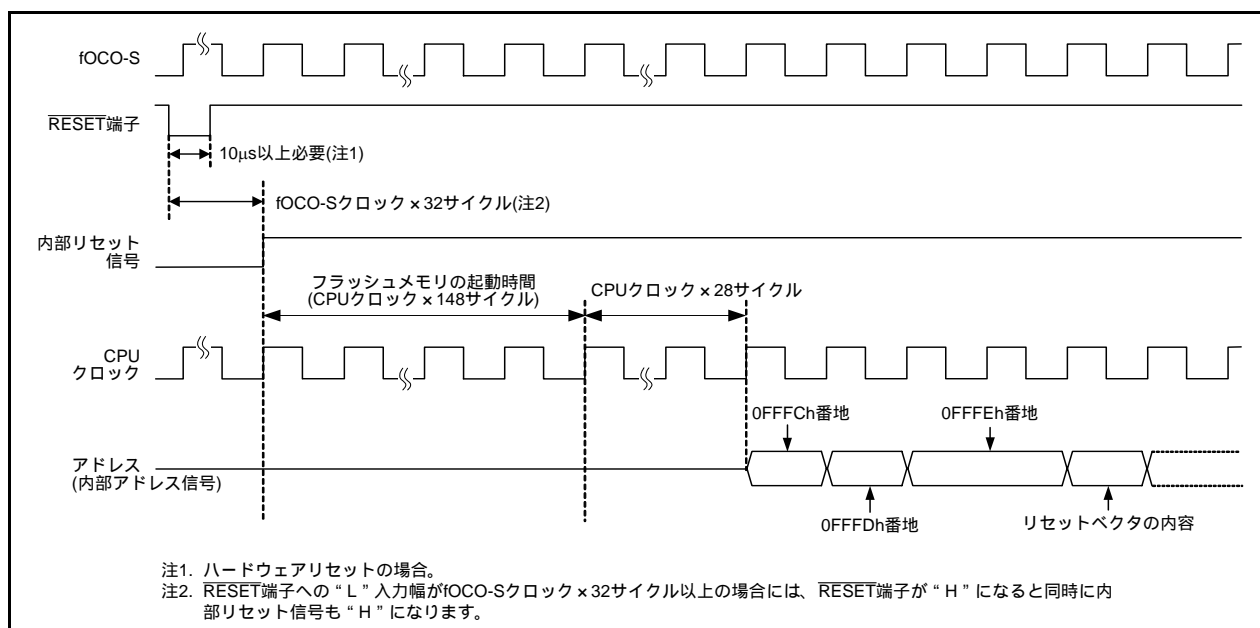


図5.3 リセットシーケンス

5.1 レジスタの説明

5.1.1 プロセッサモードレジスタ0 (PM0)

アドレス 0004h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	PM03	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	-			
b3	PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”。	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

PM0 レジスタは、PRCR レジスタの PRC1 ビットを“1” (書き込み許可) にした後で書き換えてください。

5.1.2 リセット要因判別レジスタ (RSTFR)

アドレス 000Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDR	SWR	HWR	CWR
リセット後の値	0	X	X	X	X	X	X	X (注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート / ウォームスタート判定フラグ (注2、3)	0: コールドスタート 1: ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ	0: 未検出 1: 検出	R
b2	SWR	ソフトウェアリセット検出フラグ	0: 未検出 1: 検出	R
b3	WDR	ウォッチドッグタイマリセット検出フラグ	0: 未検出 1: 検出	R
b4	-	予約ビット	読んだ場合、その値は不定。	R
b5	-			
b6	-			
b7	-	予約ビット	“0” にしてください	R/W

- 注1. CWR ビットは電源投入後と、電圧監視 0 リセット後、“0” (コールドスタート) になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。
- 注2. CWR ビットはプログラムで“1”を書くと“1”になります。(“0”を書いても変化しません。)
- 注3. VW0C レジスタの VW0C0 ビットが“0” (電圧監視 0 リセット禁止) のとき、CWR ビットは不定です。

5.1.3 オプション機能選択レジスタ (OFS)

アドレス 0FFFFh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	-	WDTON
出荷時の値	1	1	1	1	1	1	1	1

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0 : リセット後、ウォッチドッグタイマは自動的に起動 1 : リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0 : ROMコードプロテクト解除 1 : ROMCP1 ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0 : ROMコードプロテクト有効 1 : ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0 : 3.80V を選択 (Vdet0_3) 0 1 : 2.85V を選択 (Vdet0_2) 1 0 : 2.35V を選択 (Vdet0_1) 1 1 : 1.90V を選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0 : リセット後、カウントソース保護モード有効 1 : リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

注2. VDSEL0 ~ VDSEL1 ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDAS ビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みをしないでください。

LVDAS ビット(電圧検出0回路起動ビット)

電圧検出0回路で監視する Vdet0 電圧は、VDSEL0 ~ VDSEL1 ビットで選択されます。

5.1.4 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
出荷時の値	1	1	1	1	1	1	1	1

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0	R/W
b1	WDTUFS1		0 0 : 03FFh	R/W
			0 1 : 0FFFh	
			1 0 : 1FFFh	
			1 1 : 3FFFh	
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2	R/W
b3	WDTRCS1		0 0 : 25%	R/W
			0 1 : 50%	
			1 0 : 75%	
			1 1 : 100%	
b4	-	予約ビット	“ 1 ” にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタを含むブロックを消去すると、OFS2レジスタの値は“ FFh ”になります。

OFS2 レジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFS2 レジスタに追加書き込みをしないでください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

5.2 ハードウェアリセット

RESET 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET 端子に“L”を入力すると端子、CPU、SFR が初期化されます(「表 5.2 RESET 端子のレベルが“L”の期間の端子の状態」を参照)。

RESET 端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後の CPU クロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後の SFR の状態は「4. SFR」を参照してください。

内部 RAM は初期化されません。また、内部 RAM へ書き込み中に RESET 端子が“L”になると、内部 RAM は不定となります。

図 5.4 にハードウェアリセット回路例と動作を、図 5.5 にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

5.2.1 電源が安定している場合

- (1) RESET 端子に“L”を入力する
- (2) 10 μ s 待つ
- (3) RESET 端子に“H”を入力する

5.2.2 電源投入時

- (1) RESET 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで td(P-R) 待つ(「36. 電気的特性」参照)
- (4) 10 μ s 待つ
- (5) RESET 端子に“H”を入力する

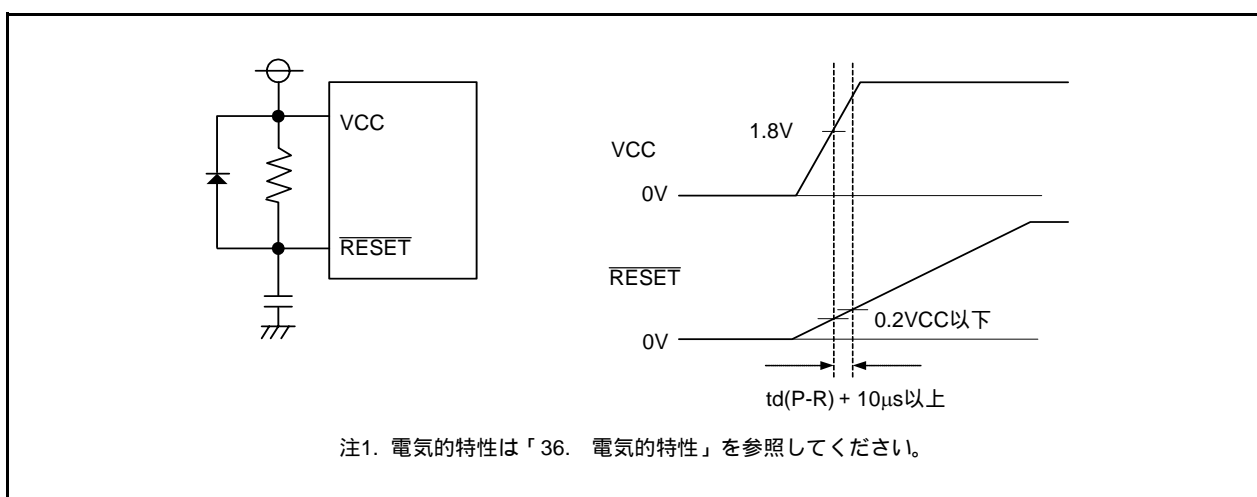


図5.4 ハードウェアリセット回路例と動作

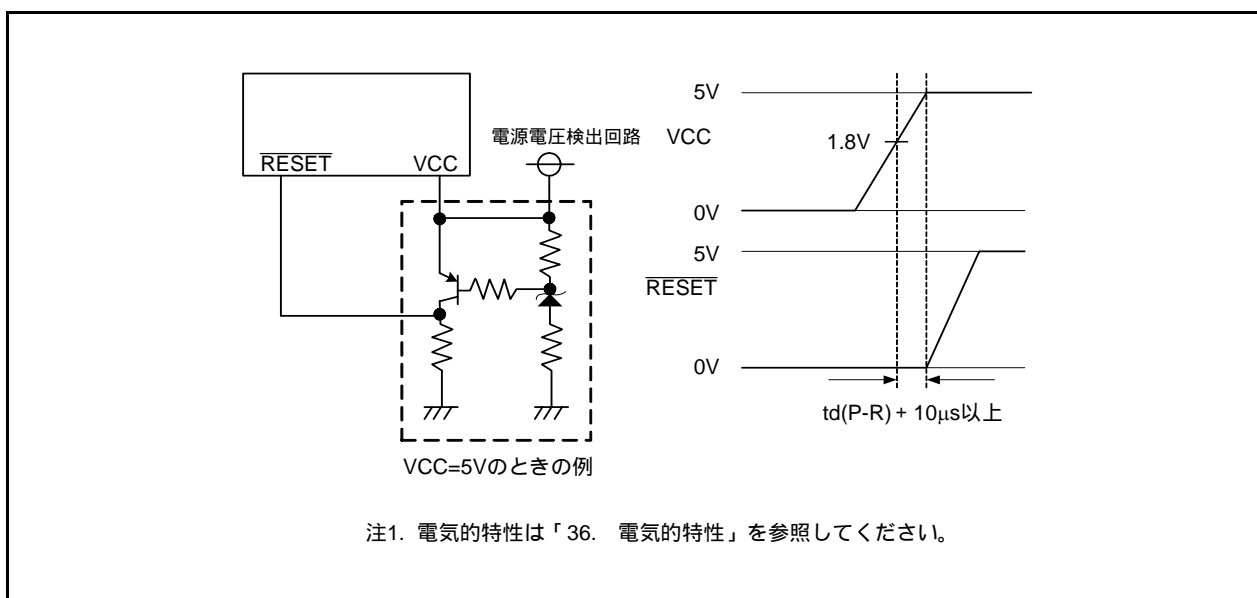


図5.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

5.3 パワーオンリセット機能

抵抗を介して RESET 端子を VCC に接続し、VCC を立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFR が初期化されます。RESET 端子にコンデンサを接続する場合も、RESET 端子の電圧が常に $0.8V_{CC}$ 以上になるようにご注意ください。

VCC 端子に入力する電圧が V_{det0} 以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを 32 回カウントすると、内部リセット信号が “H” になり、リセットシーケンス (図 5.3 参照) に移ります。リセット後の CPU クロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後の SFR の状態は「4. SFR」を参照してください。

パワーオンリセットを使用する場合には、OFS レジスタの LVDAS ビットを “0” にして電圧監視 0 リセットを有効にしてください。

図 5.6 にパワーオンリセット回路例と動作を示します。

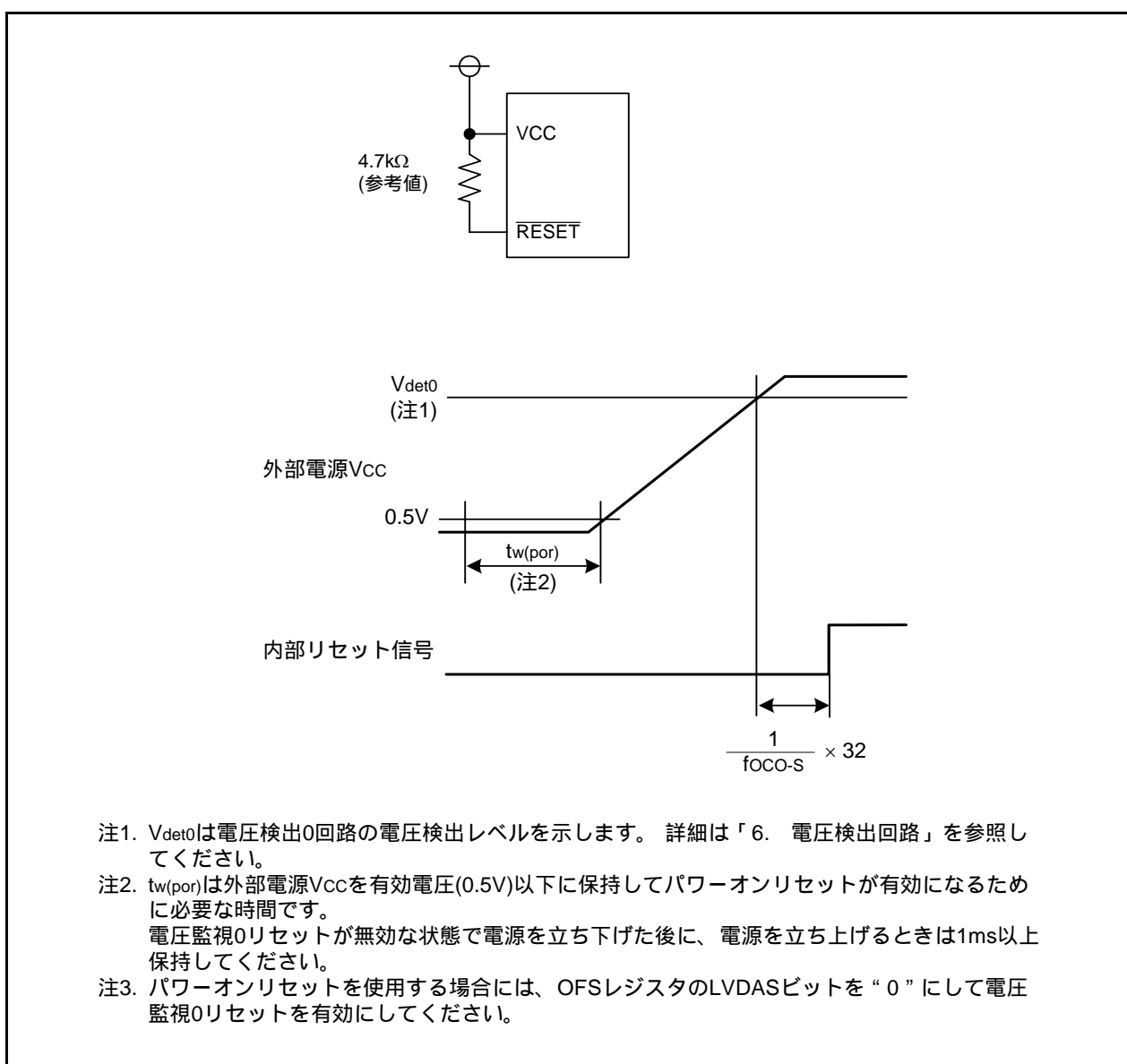


図 5.6 パワーオンリセット回路例と動作

5.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はV_{det0}です。電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。V_{det0}の電圧検出レベルは、OFSレジスタのVDSEL0～VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がV_{det0}以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がV_{det0}以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

VDSEL0～VDSEL1ビット、LVDASビットはプログラムでは変更できません。これらのビットを設定する場合は、フラッシュライトで0FFFFh番地のb4～b6に値を書いてください。

OFSレジスタの詳細は「5.1.3 オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視0リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がV_{det0}以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「6. 電圧検出回路」を参照してください。

図5.7に電圧監視0リセット回路例と動作を示します。

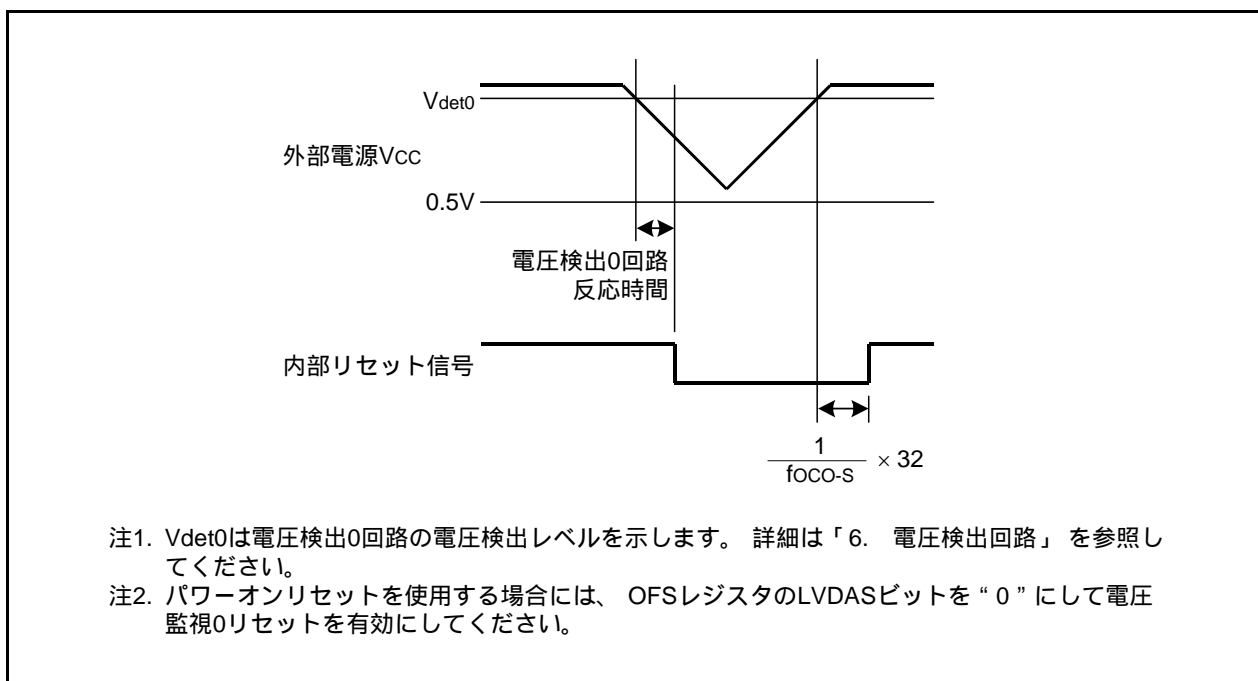


図5.7 電圧監視0リセット回路例と動作

5.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0～WDTUFS1ビット、WDTRCS0～WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「14. ウォッチドッグタイマ」を参照してください。

5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。

5.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時“0”(コールドスタート)です。また、電圧監視0リセットでも“0”になります。CWRビットはプログラムで“1”を書くと“1”になり、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視0リセットを使用します。

図5.8にコールドスタート/ウォームスタート判定機能の動作例を示します。

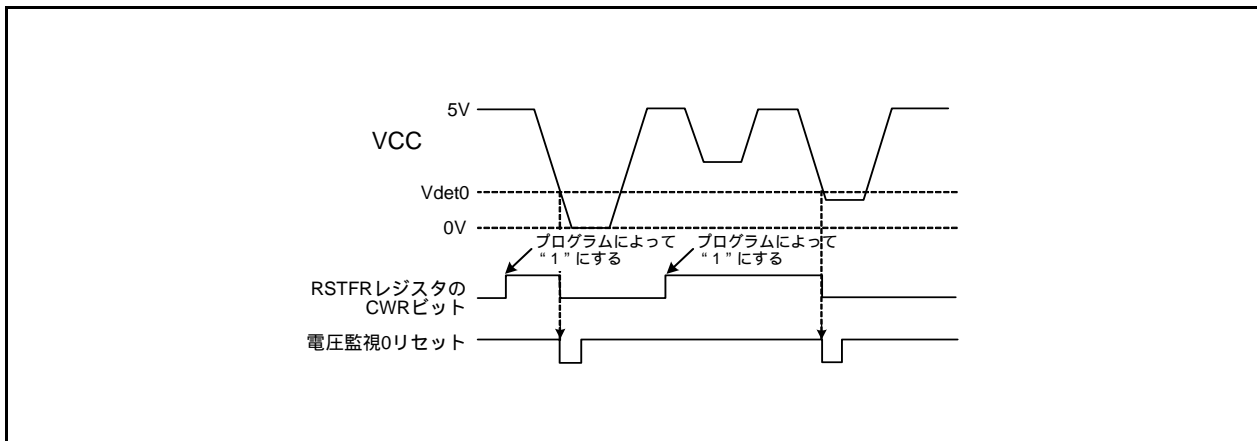


図5.8 コールドスタート/ウォームスタート判定機能の動作例

5.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセットおよびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセットが発生すると、HWRビットが“1”(検出)になります。ソフトウェアリセットが発生すると、SWRビットが“1”(検出)になります。ウォッチドッグタイマリセットが発生すると、WDRビットが“1”(検出)になります。

6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。

6.1 概要

電圧検出0はOFSレジスタで、検出電圧を4レベルから選択できます。

電圧検出1はVD1LSレジスタで、検出電圧を16レベルから選択できます。

さらに、検出対象として電圧検出2のみ、VCCとLVCMP2端子に入力する電圧の切り替えが可能です。

また、電圧監視0リセット、電圧監視1割り込み、電圧監視2割り込みを使用できます。

ただし、電圧監視1、電圧監視2は電圧検出回路をコンパレータA1、コンパレータA2と兼用しています。電圧監視1、電圧監視2とコンパレータA1、コンパレータA2はどちらかを選択して使用できます。

表6.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか VCA2レジスタのVCA24ビットでVCCとLVCMP2端子への入力電圧の切替可能
	検出電圧	OFSレジスタで4レベルから選択可能	VD1LSレジスタで16レベルから選択可能	VCCまたはLVCMP2選択時で異なるそれぞれの値は固定レベル
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低い	VCA1レジスタのVCA13ビット Vdet2より高いか低い
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット; VCC > Vdet0でCPU動作再開	なし	なし
	割り込み	なし	電圧監視1割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet1 > VCC、 VCC > Vdet1の両方、またはどちらかで割り込み要求	電圧監視2割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet2 > VCC(LVCMP2)、 VCC(LVCMP2) > Vdet2の両方、またはどちらかで割り込み要求
	デジタルフィルタ	デジタルフィルタ機能なし	あり	あり
デジタルフィルタ	有効/無効切り替え	なし	あり	あり
	サンプリング時間	なし	(fOCO-Sのn分周) × 2 n : 1、2、4、8	(fOCO-Sのn分周) × 2 n : 1、2、4、8

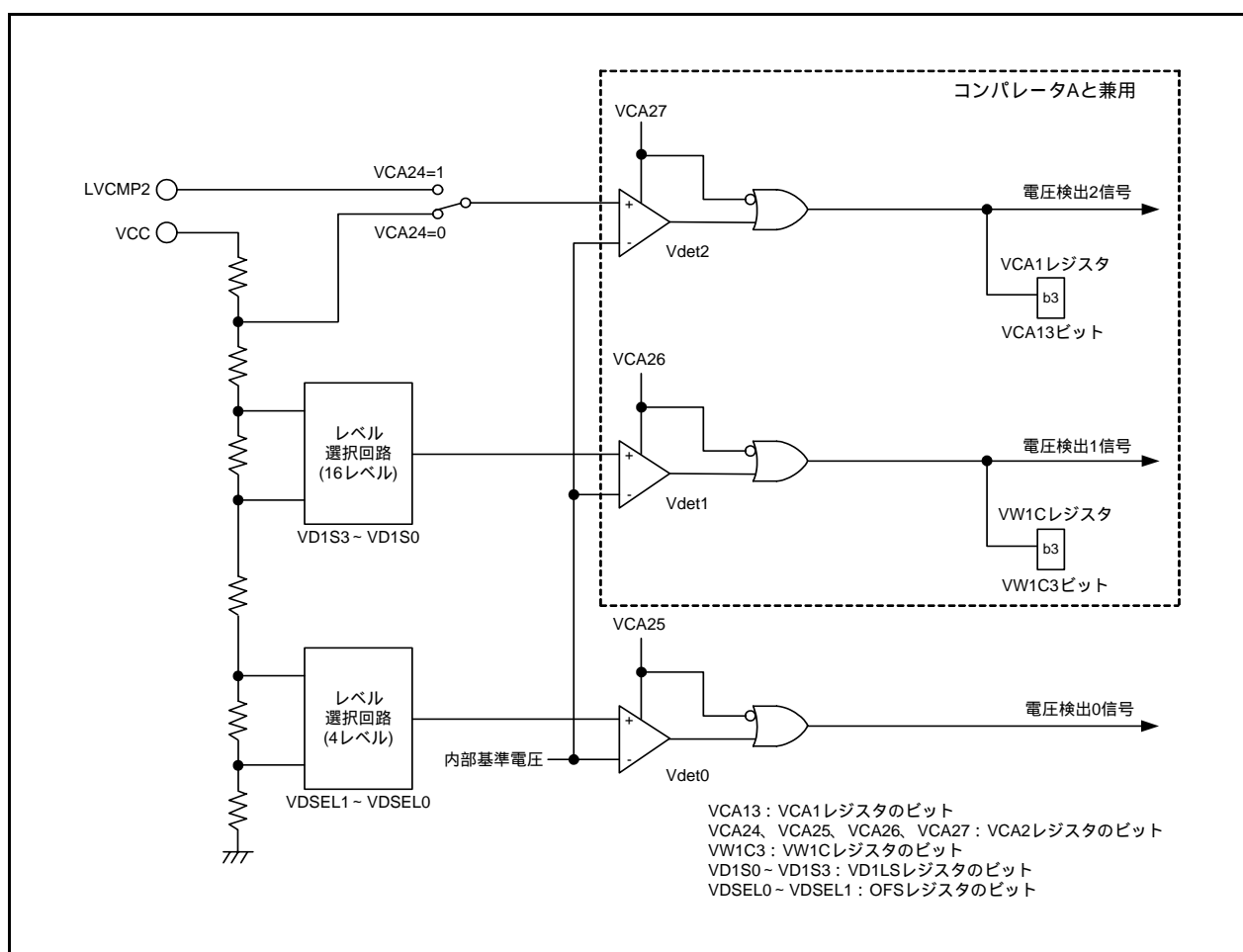


図6.1 電圧検出回路ブロック図

表6.2 電圧検出回路の端子構成

端子名	入出力	機能
LVCMP2	入力	電圧検出2用検出対象電圧端子

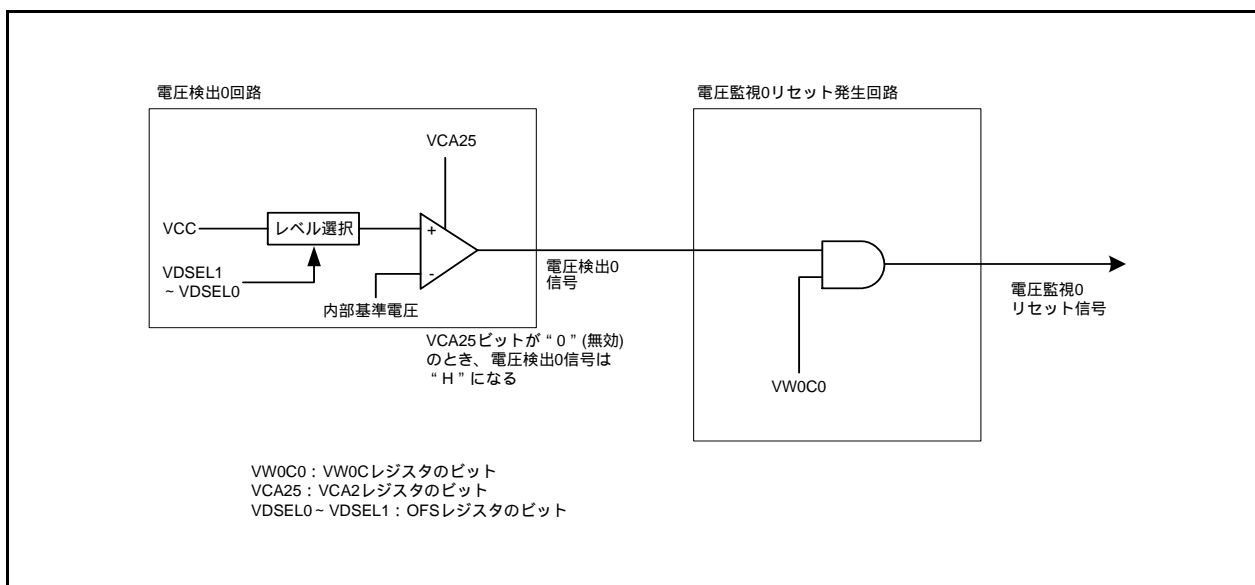


図6.2 電圧監視0リセット発生回路のブロック図

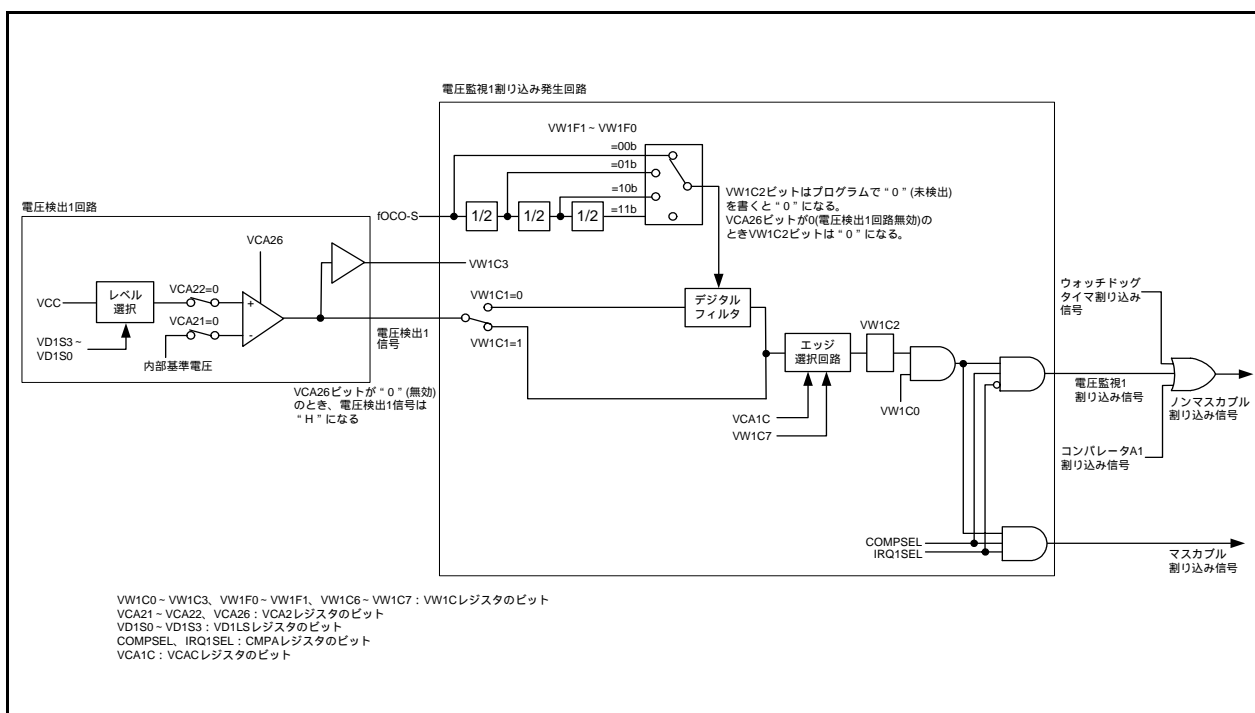


図6.3 電圧監視1割り込み発生回路のブロック図

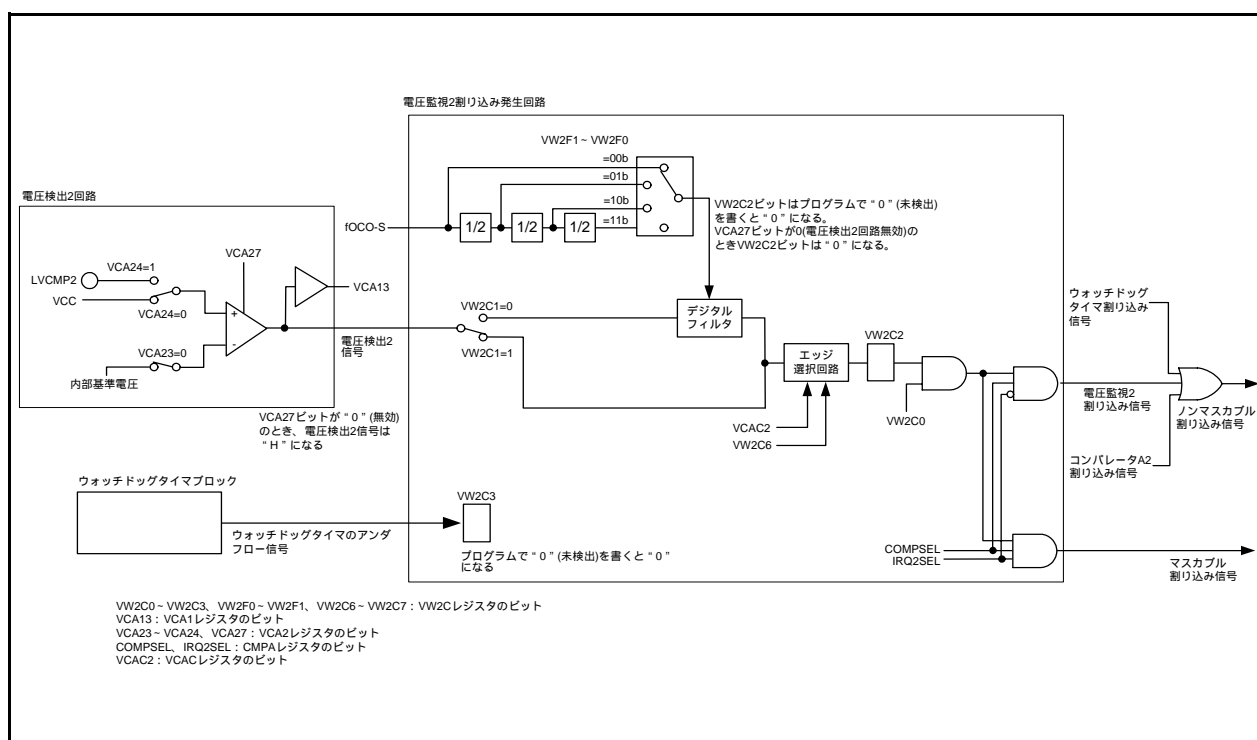


図6.4 電圧監視2割り込み発生回路のブロック図

6.2 レジスタの説明

6.2.1 電圧監視回路/コンパレータA制御レジスタ(CMPA)

アドレス 0030h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMPSEL	-	IRQ2SEL	IRQ1SEL	CM2OE	CM1OE	CM2POR	CM1POR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM1POR	LVCOUT1出力極性選択ビット	0：コンパレータA1の比較結果をそのまま LVCOUT1へ出力 1：コンパレータA1の比較結果を反転して LVCOUT1へ出力	R/W
b1	CM2POR	LVCOUT2出力極性選択ビット	0：コンパレータA2の比較結果をそのまま LVCOUT2へ出力 1：コンパレータA2の比較結果を反転して LVCOUT2へ出力	R/W
b2	CM1OE	LVCOUT1出力許可ビット	0：出力禁止 1：出力許可	R/W
b3	CM2OE	LVCOUT2出力許可ビット	0：出力禁止 1：出力許可	R/W
b4	IRQ1SEL	電圧監視1/コンパレータA1割り込み 種類選択ビット	0：ノンマスクابل割り込み 1：マスクابل割り込み	R/W
b5	IRQ2SEL	電圧監視2/コンパレータA2割り込み 種類選択ビット	0：ノンマスクابل割り込み 1：マスクابل割り込み	R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	COMPSEL	電圧監視/コンパレータA割り込み種 類選択有効ビット	0：IRQ1SEL、IRQ2SELビット無効 1：IRQ1SEL、IRQ2SELビット有効	R/W

6.2.2 電圧監視回路エッジ選択レジスタ (VCAC)

アドレス 0031h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	VCAC2	VCAC1	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	VCAC1	電圧監視1回路エッジ選択ビット (注1)	0: 片エッジ 1: 両エッジ	R/W
b2	VCAC2	電圧監視2回路エッジ選択ビット (注2)	0: 片エッジ 1: 両エッジ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. VCAC1ビットが“0”(片エッジ)のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。

注2. VCAC2ビットが“0”(片エッジ)のとき、VW2CレジスタのVW2C7ビットが有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

6.2.3 電圧検出レジスタ1 (VCA1)

アドレス 0033h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	VCA13	-	-	-
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0”にしてください	R/W
b1	-			
b2	-			
b3	VCA13	電圧検出2信号モニタフラグ(注1)	0: $VCC < V_{det2}$ 1: $VCC \geq V_{det2}$ 、または電圧検出2回路無効	R
b4	-	予約ビット	“0”にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. VCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき、VCA13ビットは有効です。

VCA2レジスタのVCA27ビットが“0”(電圧検出2回路無効)のとき、VCA13ビットは“1”(VCC \geq V_{det2})になります。

6.2.4 電圧検出レジスタ2 (VCA2)

アドレス 0034h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	VCA24	VCA23	VCA22	VCA21	VCA20
リセット後の値	OFSレジスタのLVDASビットが“1”							
	0	0	0	0	0	0	0	0
リセット後の値	OFSレジスタのLVDASビットが“0”							
	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	VCA21	コンパレータA1リファレンス電圧入力選択ビット	0: 内部基準電圧 1: LVREF 端子入力電圧	R/W
b2	VCA22	LVCMP1比較電圧外部入力選択ビット	0: 電源電圧(VCC) 1: LVCMP1 端子入力電圧	R/W
b3	VCA23	コンパレータA2リファレンス電圧入力選択ビット	0: 内部基準電圧 1: LVREF 端子入力電圧	R/W
b4	VCA24	LVCMP2比較電圧外部入力選択ビット	0: 電源電圧(VCC) (Vdet2_0) 1: LVCMP2 端子入力電圧 (Vdet2_EXT)	R/W
b5	VCA25	電圧検出0許可ビット(注3)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1/コンパレータA1許可ビット(注4)	0: 電圧検出1/コンパレータA1回路無効 1: 電圧検出1/コンパレータA1回路有効	R/W
b7	VCA27	電圧検出2/コンパレータA2許可ビット(注5)	0: 電圧検出2/コンパレータA2回路無効 1: 電圧検出2/コンパレータA2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図9.3 VCA20ビットによる内部電源低消費電力操作手順」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1/コンパレータA1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1/コンパレータA1回路が動作します。

注5. 電圧検出2/コンパレータA2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2/コンパレータA2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.5 電圧検出1レベル選択レジスタ (VD1LS)

アドレス 0036h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	VD1S3	VD1S2	VD1S1	VD1S0
リセット後の値	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	VD1S0	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b2 b1 b0 0 0 0 0 : 2.20V (Vdet1_0)	R/W
b1	VD1S1		0 0 0 1 : 2.35V (Vdet1_1)	R/W
b2	VD1S2		0 0 1 0 : 2.50V (Vdet1_2)	R/W
b3	VD1S3		0 0 1 1 : 2.65V (Vdet1_3)	R/W
			0 1 0 0 : 2.80V (Vdet1_4)	
			0 1 0 1 : 2.95V (Vdet1_5)	
			0 1 1 0 : 3.10V (Vdet1_6)	
			0 1 1 1 : 3.25V (Vdet1_7)	
			1 0 0 0 : 3.40V (Vdet1_8)	
			1 0 0 1 : 3.55V (Vdet1_9)	
			1 0 1 0 : 3.70V (Vdet1_A)	
			1 0 1 1 : 3.85V (Vdet1_B)	
			1 1 0 0 : 4.00V (Vdet1_C)	
			1 1 0 1 : 4.15V (Vdet1_D)	
			1 1 1 0 : 4.30V (Vdet1_E)	
			1 1 1 1 : 4.45V (Vdet1_F)	
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-			
b7	-			

VD1LS レジスタはPRCR レジスタのPRC3 ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.6 電圧監視0回路制御レジスタ (VW0C)

アドレス 0038h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	VW0C0
リセット後の値	OFSレジスタのLVDASビットが“1”							
	1	1	0	0	X	0	1	0
リセット後の値	OFSレジスタのLVDASビットが“0”							
	1	1	0	0	X	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	VW0C0	電圧監視0リセット許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	-	予約ビット	読んだ場合、その値は不定。	R
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-			
b7	-	予約ビット	“1” にしてください	R/W

注1. VW0C0ビットはVCA2レジスタのVCA25ビットが“1”(電圧検出0回路有効)のとき有効になります。
VW0C0ビットに書く場合は、リセット後の値を書いてください。

VW0Cレジスタは、PRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.7 電圧監視1回路制御レジスタ(VW1C)

アドレス 0039h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	-	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	電圧監視1割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	電圧変化検出フラグ(注3、4)	0: 未検出 1: Vdet1 通過検出	R/W
b3	VW1C3	電圧検出1信号モニタフラグ(注3)	0: VCC < Vdet1 1: VCC ≥ Vdet1 または電圧検出1回路無効	R
b4	VW1F0	サンプリングクロック選択ビット	b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周	R/W
b5	VW1F1			R/W
b6	-	予約ビット	"0" にしてください	R/W
b7	VW1C7	電圧監視1割り込み発生条件選択ビット(注5)	0: VCC が Vdet1 以上になるとき 1: VCC が Vdet1 以下になるとき	R/W

- 注1. VW1C0ビットはVCA2レジスタのVCA26ビットが"1"(電圧検出1回路有効)のとき有効になります。VCA26ビットが"0"(電圧検出1回路無効)のとき、VW1C0ビットを"0"(禁止)にしてください。VW1C0ビットを"1"(許可)にするときは、「表6.3 電圧監視1割り込み関連ビットの設定手順」に従ってください。
- 注2. 電圧監視1割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW1C1ビットに"0"を書き込み後、"1"を書き込んでください。
- 注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが"1"(電圧検出1回路有効)のとき有効になります。
- 注4. プログラムで"0"にしてください。プログラムで"0"を書くと"0"になります("1"を書いても変化しません)。
- 注5. VW1C7ビットはVCACレジスタのVCAC1ビットが"0"(片エッジ)のとき有効になります。VCAC1ビットを"0"にした後、VW1C7ビットを設定してください。

VW1CレジスタはPRCRレジスタのPRC3ビットを"1"(書き込み許可)にした後で書き換えてください。

VW1Cレジスタを書き換えると、VW1C2ビットが"1"になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを"0"にしてください。

6.2.8 電圧監視2回路制御レジスタ (VW2C)

アドレス 003Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW2C7	-	VW2F1	VW2F0	VW2C3	VW2C2	VW2C1	VW2C0
リセット後の値	1	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW2C0	電圧監視2割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW2C2	電圧変化検出フラグ(注3、4)	0: 未検出 1: Vdet2 通過検出	R/W
b3	VW2C3	WDT 検出フラグ(注4)	0: 未検出 1: 検出	R/W
b4	VW2F0	サンプリングクロック選択ビット	b5 b4 00: fOCO-S の1分周 01: fOCO-S の2分周 10: fOCO-S の4分周 11: fOCO-S の8分周	R/W
b5	VW2F1			R/W
b6	-	予約ビット	"0" にしてください	R/W
b7	VW2C7	電圧監視2割り込み発生条件選択ビット(注5)	0: VCC または LVCMP2 が Vdet2 以上になるとき 1: VCC または LVCMP2 が Vdet2 以下になるとき	R/W

- 注1. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。VW2C0ビットを“1”(許可)にするときは、「表6.4 電圧監視2割り込み関連ビットの設定手順」に従ってください。
- 注2. 電圧監視2割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW2C1ビットに“0”を書き込み後、“1”を書き込んでください。
- 注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW2C7ビットはVCACレジスタのVCAC2ビットが“0”(片エッジ)のとき有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

6.2.9 オプション機能選択レジスタ (OFS)

アドレス 0FFFFh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	-	WDTON
出荷時の値	1	1	1	1	1	1	1	1

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0 : リセット後、ウォッチドッグタイマは自動的に起動 1 : リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0 : ROMコードプロテクト解除 1 : ROMCP1 ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0 : ROMコードプロテクト有効 1 : ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0 : 3.80V を選択 (Vdet0_3) 0 1 : 2.85V を選択 (Vdet0_2) 1 0 : 2.35V を選択 (Vdet0_1) 1 1 : 1.90V を選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0 : リセット後、カウントソース保護モード有効 1 : リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

注2. VDSEL0 ~ VDSEL1 ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDAS ビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みをしないでください。

LVDAS ビット(電圧検出0回路起動ビット)

電圧検出0回路で監視する Vdet0 電圧は、VDSEL0 ~ VDSEL1 ビットで選択されます。

6.3 VCC入力電圧のモニタ

6.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

6.3.2 Vdet1のモニタ

次の設定をした後、td(E-A)(「36. 電気的特性」参照)経過後、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

- (1) VD1LSレジスタのVD1S3～VD1S0ビット(電圧検出1検出電圧)を設定する
- (2) VCA2レジスタのVCA21ビットを“0”(内部基準電圧)にする
- (3) VCA2レジスタのVCA22ビットを“0”(VCC電圧)にする
- (4) VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする

6.3.3 Vdet2のモニタ

次の設定をした後、td(E-A)(「36. 電気的特性」参照)経過後、VCA1レジスタのVCA13ビットで電圧監視2の比較結果をモニタできます。

- (1) VCA2レジスタのVCA23ビットを“0”(内部基準電圧)にする
- (2) VCA2レジスタのVCA24ビットを“0”(VCC電圧)または“1”(LVCMP2端子入力電圧)にする
- (3) VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする

6.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図6.5に電圧監視0リセット動作例を示します。

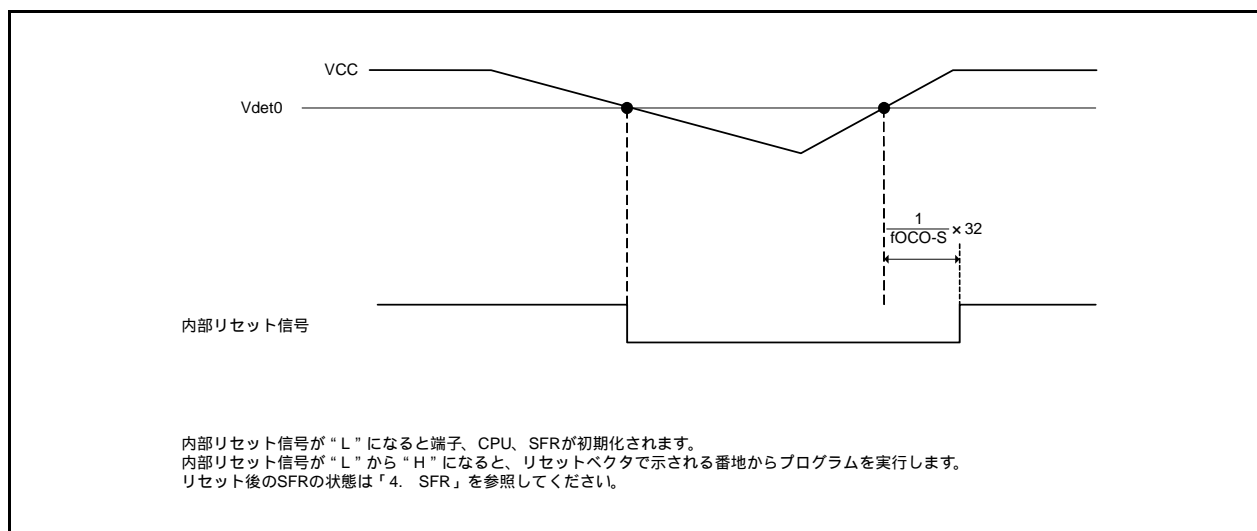


図6.5 電圧監視0リセット動作例

6.5 電圧監視1割り込み

表6.3に電圧監視1割り込み関連ビットの設定手順を、図6.6に電圧監視1割り込み動作例を示します。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.3 電圧監視1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VD1LSレジスタのVD1S3～VD1S0ビットで電圧検出1検出電圧を選択する	
2	VCA2レジスタのVCA21ビットを“0”(内部基準電圧)にする	
3(注1)	VCA2レジスタのVCA22ビットを“0”(VCC電圧)にする	
4(注1)	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする	
5	td(E-A)待つ	
6	CMPAレジスタのCOMPSELビットを“1”にする	
7(注2)	CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する	
8	VW1CレジスタのVW1F1～VW1F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする
9(注3)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする	
10	VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する	
11	VW1CレジスタのVW1C2ビットを“0”にする	
12	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	
13	デジタルフィルタのサンプリングクロック×2サイクル待つ	(待ち時間なし)
14(注4)	VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み許可)にする	

注1. VW1C0ビットが“0”のとき、手順2と3と4は同時に(1命令で)実行してもかまいません。

注2. VW1C0ビットが“0”のとき、手順6と7は同時に(1命令で)実行してもかまいません。

注3. VW1C0ビットが“0”のとき、手順8と9は同時に(1命令で)実行してもかまいません。

注4. 電圧監視1割り込みを許可するまでに、VCC Vdet1(またはVCC Vdet1)を検出し、VW1C2ビットが“1”になった場合、割り込み要求は発生しません。
VW1C2ビットを読み、検出したときに実行する処理を実施してください。

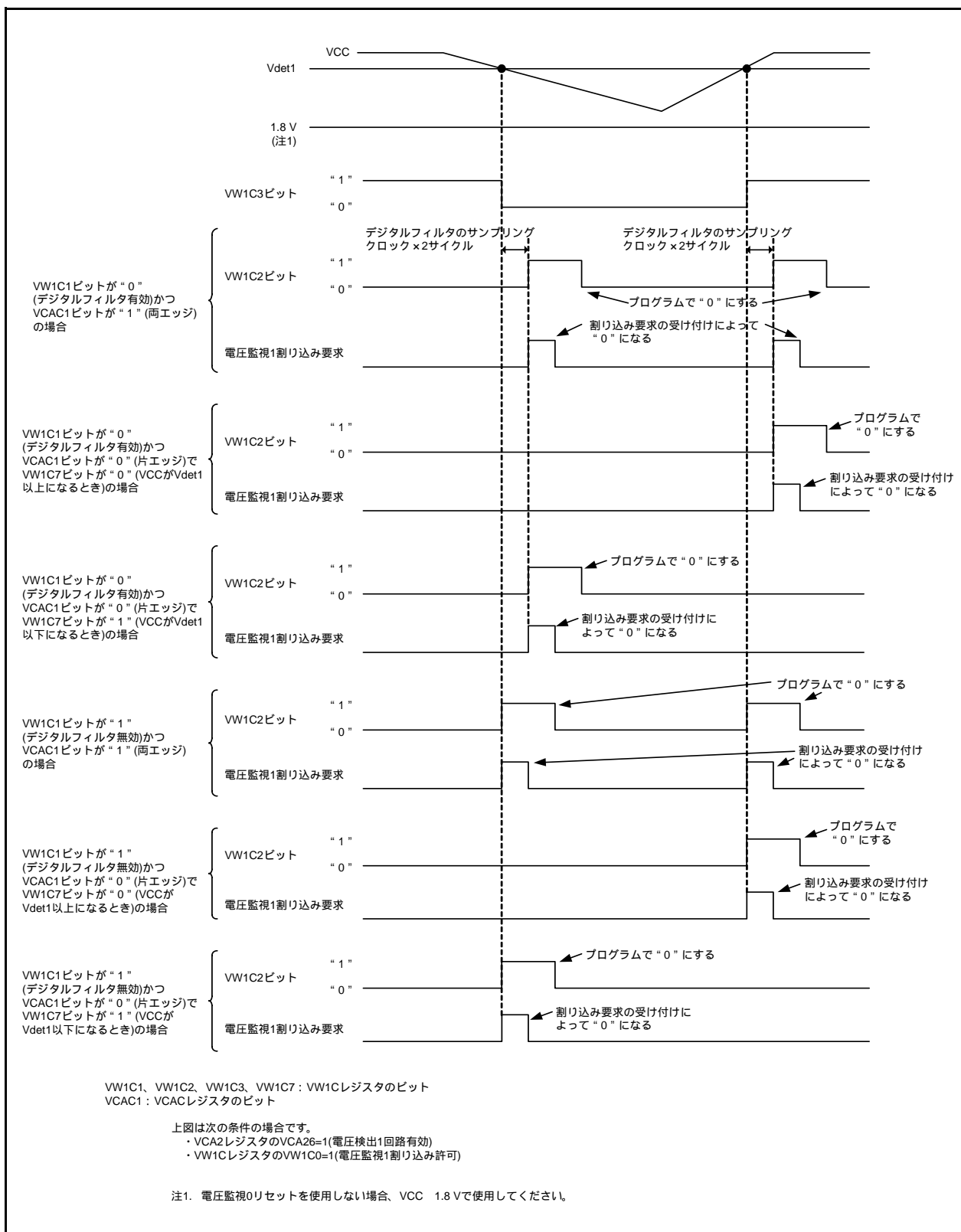


図6.6 電圧監視1割り込み動作例

6.6 電圧監視2割り込み

表6.4に電圧監視2割り込み関連ビットの設定手順を、図6.7に電圧監視2割り込み動作例を示します。

なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.4 電圧監視2割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA23ビットを“0”(内部基準電圧)にする	
2(注1)	VCA2レジスタのVCA24ビットを“0”(VCC電圧)または“1”(LVCMP2端子入力電圧)にする	
3(注1)	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする	
4	td(E-A)待つ	
5	CMPAレジスタのCOMPSELビットを“1”にする	
6(注2)	CMPAレジスタのIRQ2SELビットで割り込みの種類を選択する	
7	VW2CレジスタのVW2F1～VW2F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする
8(注3)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする	
9	VCACレジスタのVCAC2ビットと、VW2CレジスタのVW2C7ビットで割り込み要求のタイミングを選択する	
10	VW2CレジスタのVW2C2ビットを“0”にする	
11	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	
12	デジタルフィルタのサンプリングクロック×2サイクル待つ	(待ち時間なし)
13(注4)	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み許可)にする	

注1. VW2C0ビットが“0”のとき、手順1と2と3は同時に(1命令で)実行してもかまいません。

注2. VW2C0ビットが“0”のとき、手順5と6は同時に(1命令で)実行してもかまいません。

注3. VW2C0ビットが“0”のとき、手順7と8は同時に(1命令で)実行してもかまいません。

注4. 電圧監視2割り込みを許可するまでに、VCC Vdet2(またはVCC Vdet2)を検出し、VW2C2ビットが“1”になった場合、割り込み要求は発生しません。

VW2C2ビットを読み、検出したときに実行する処理を実施してください。

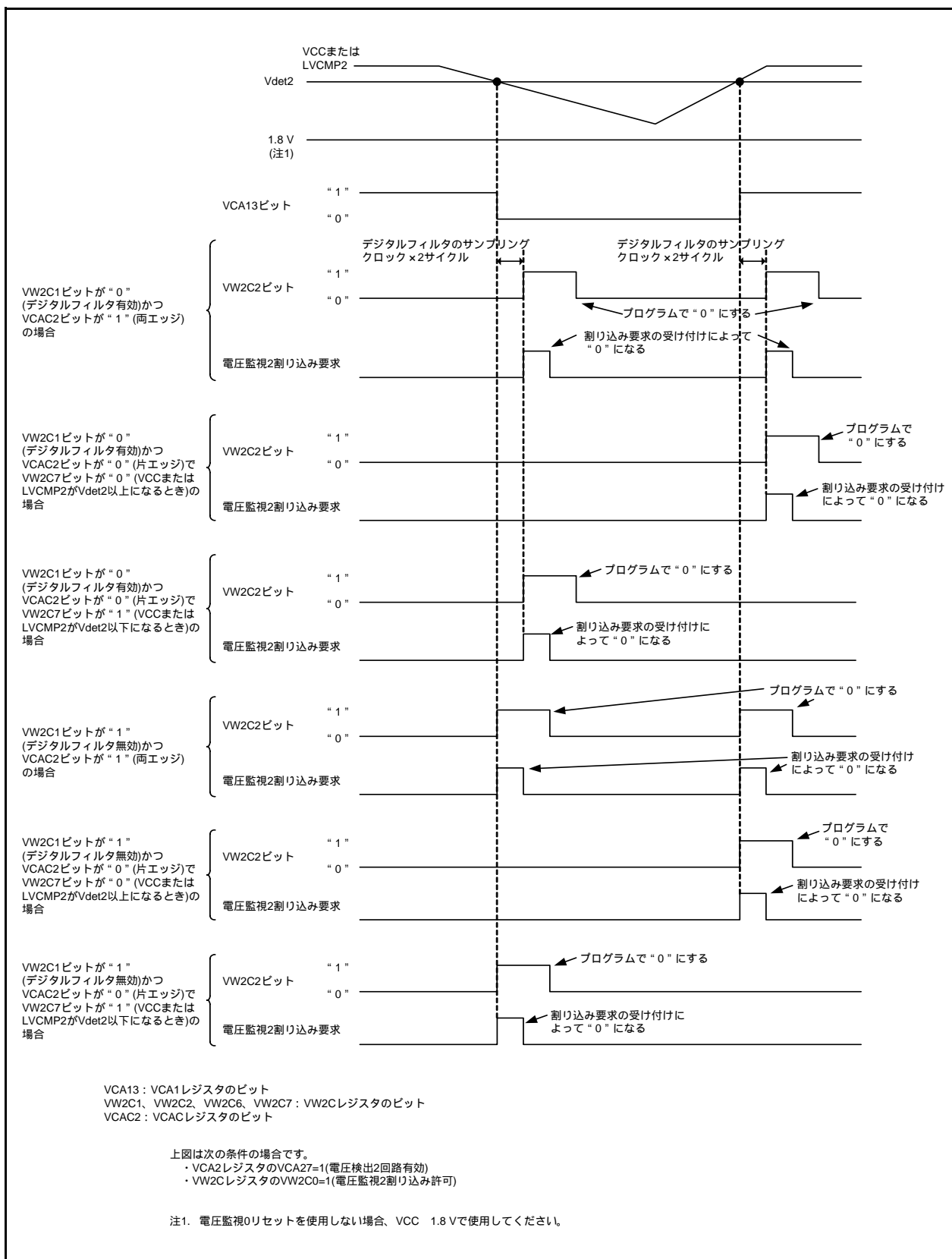


図6.7 電圧監視2割り込み動作例

7. I/Oポート

I/Oポートは、P0～P3、P4_3～P4_7、P5～P8、P9_0～P9_5の75本あります。(P4_3、P4_4はXCINクロック発振回路を使用しない場合、P4_6、P4_7はXINクロック発生回路を使用しない場合、I/Oポートとして使用できます。)

また、A/DコンバータおよびD/Aコンバータを使用しない場合、P4_2を入力専用ポートとして使用できます。

表7.1にI/Oポートの概要を示します。

表7.1 I/Oポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗	駆動能力切り替え	入力レベル切り替え
P0、P3、P5、P6、P7、P8	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	4ビット単位で設定(注3)	8ビット単位で設定(注4)
P1、P2	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	1ビット単位で設定(注2)	8ビット単位で設定(注4)
P4_3(注5)	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注1)	1ビット単位で設定(注3)	6ビット単位で設定(注4)
P4_4(注5)、P4_5、P4_6(注6)、P4_7(注6)	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	4ビット単位で設定(注3)	
P4_2(注7)	入力	(出力機能なし)	なし	なし	なし	
P9_0～P9_3	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	4ビット単位で設定(注3)	6ビット単位で設定(注4)
P9_4、P9_5	入出力	CMOS3ステート	1ビット単位で設定	2ビット単位で設定(注1)	2ビット単位で設定(注3)	

注1. 入力モード時、PUR0レジスタ、PUR1レジスタおよびPUR2レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. P1DRRレジスタおよびP2DRRレジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注3. DRR0レジスタ、DRR1レジスタおよびDRR2レジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注4. VLT0レジスタ、VLT1レジスタおよびVLT2レジスタで入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

注5. XCINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注6. XINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注7. A/DコンバータおよびD/Aコンバータを使用しない場合、入力専用ポートとして使用できます。

7.1 I/Oポートの機能

ポートP0～P3、P4_3～P4_7、P5～P8、P9_0～P9_5の入出力はPDi (i=0～9)レジスタのPDi_j (j=0～7)ビットで制御します。Piレジスタは出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。

図7.1～図7.21にI/Oポートの構成を、表7.2にI/Oポートの機能を示します。

表7.2 I/Oポートの機能

Piレジスタをアクセス 時の動作	PDiレジスタのPDi_jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポータラッチを読む
書き込み	ポータラッチに書く	ポータラッチに書く。ポータラッチに書いた値は、端子から出力される。

i=0～9、j=0～7

注1. PD4_0～PD4_2ビット、PD9_6～PD9_7ビットには何も配置されていません。

7.2 周辺機能への影響

I/Oポートは、周辺機能の入出力として機能する場合があります(「表1.4～表1.5 ピン番号別端子名一覧」参照)。

表7.3に周辺機能の入出力として機能する場合のPDi_jビットの設定(i=0～9、j=0～7)を示します。

周辺機能の設定方法は、各機能説明を参照してください。

表7.3 周辺機能の入出力として機能する場合のPDi_jビットの設定(i=0～9、j=0～7)

周辺機能の入出力	端子を共用しているポートのPDi_jビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でも良い(ポートの設定に関係なく、出力になる)

7.3 I/Oポート以外の端子

図7.22に端子の構成を示します。

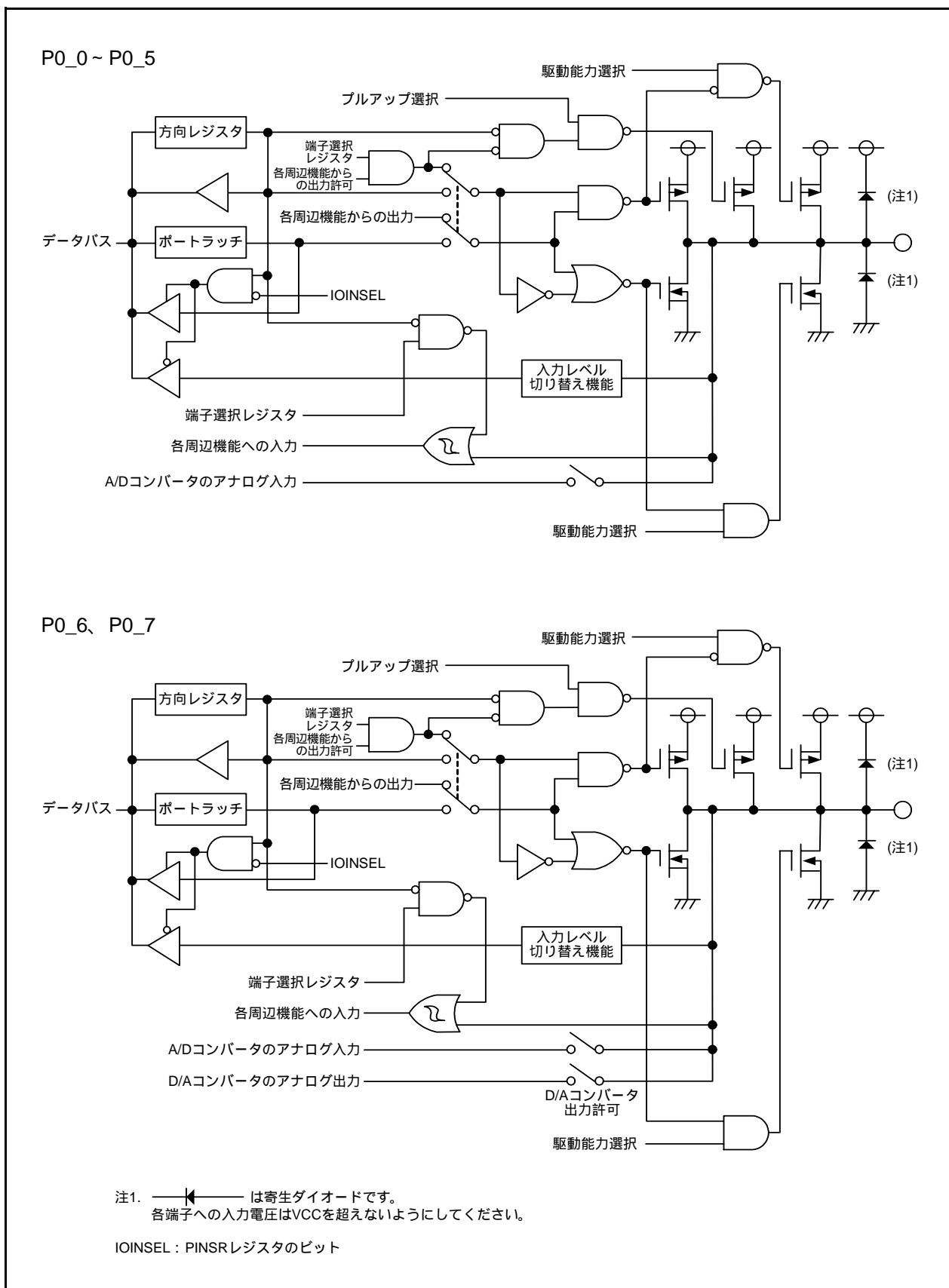


図7.1 I/Oポートの構成(1)

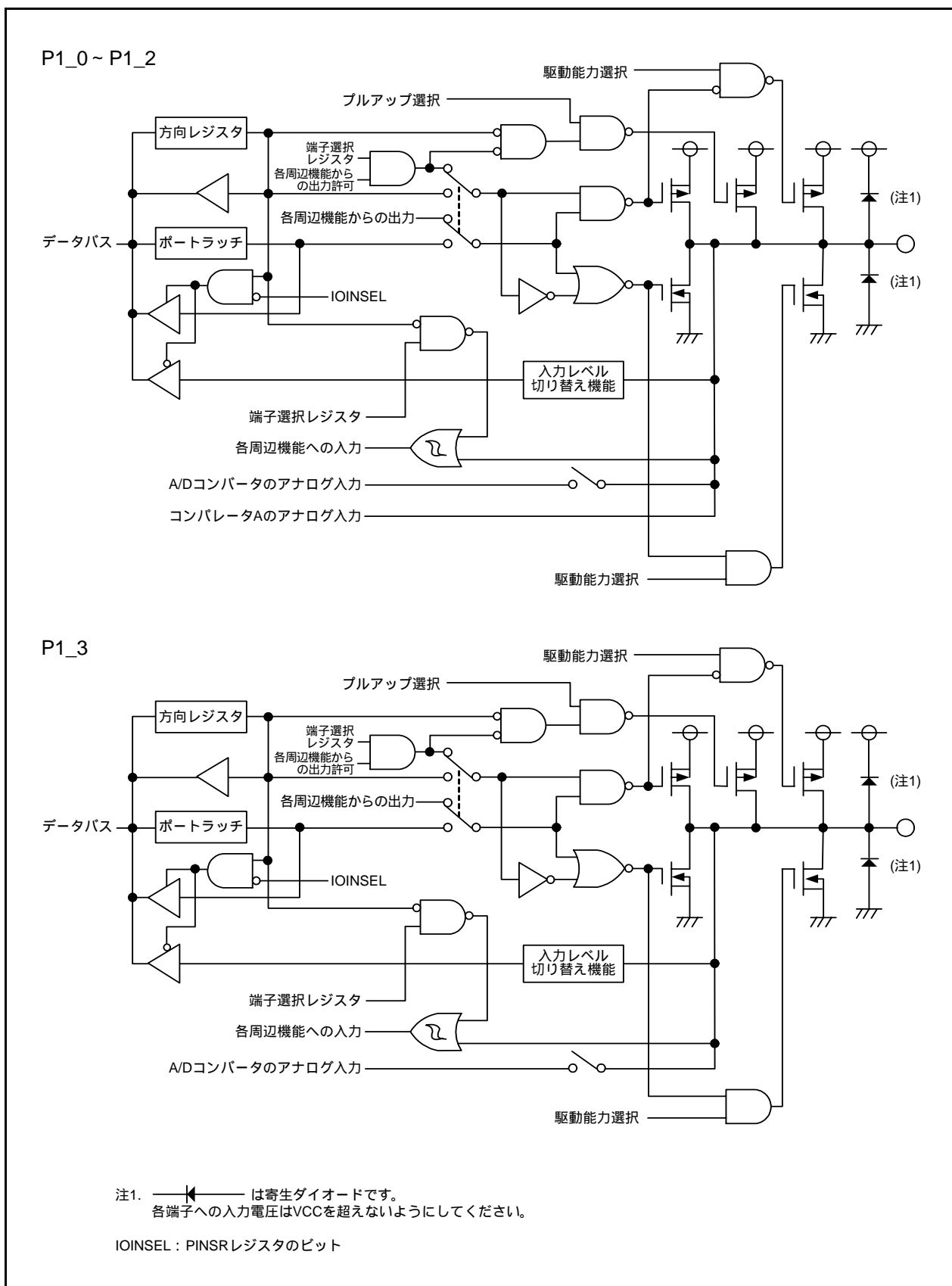


図7.2 I/Oポートの構成(2)

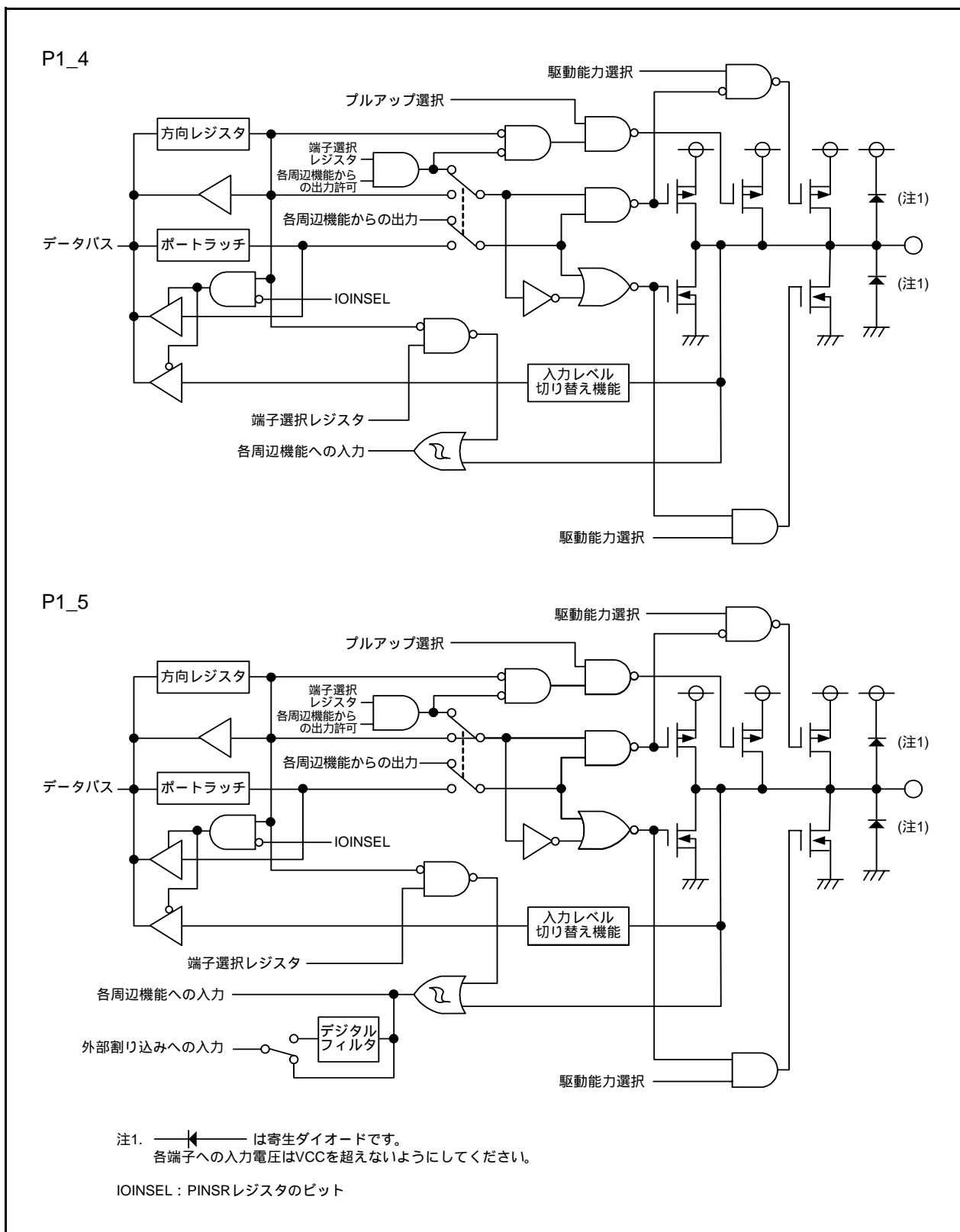


図7.3 I/Oポートの構成(3)

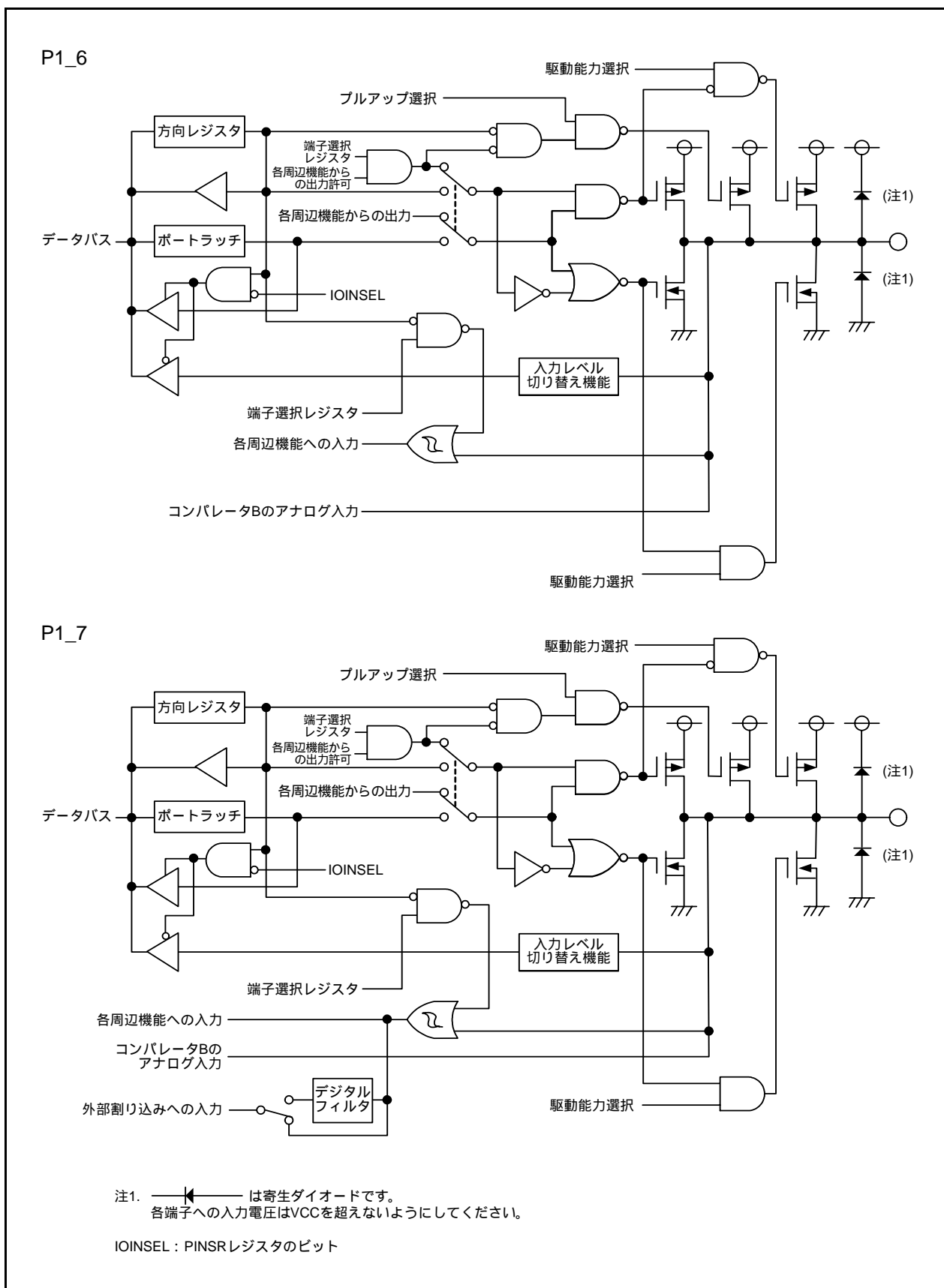


図7.4 I/Oポートの構成(4)

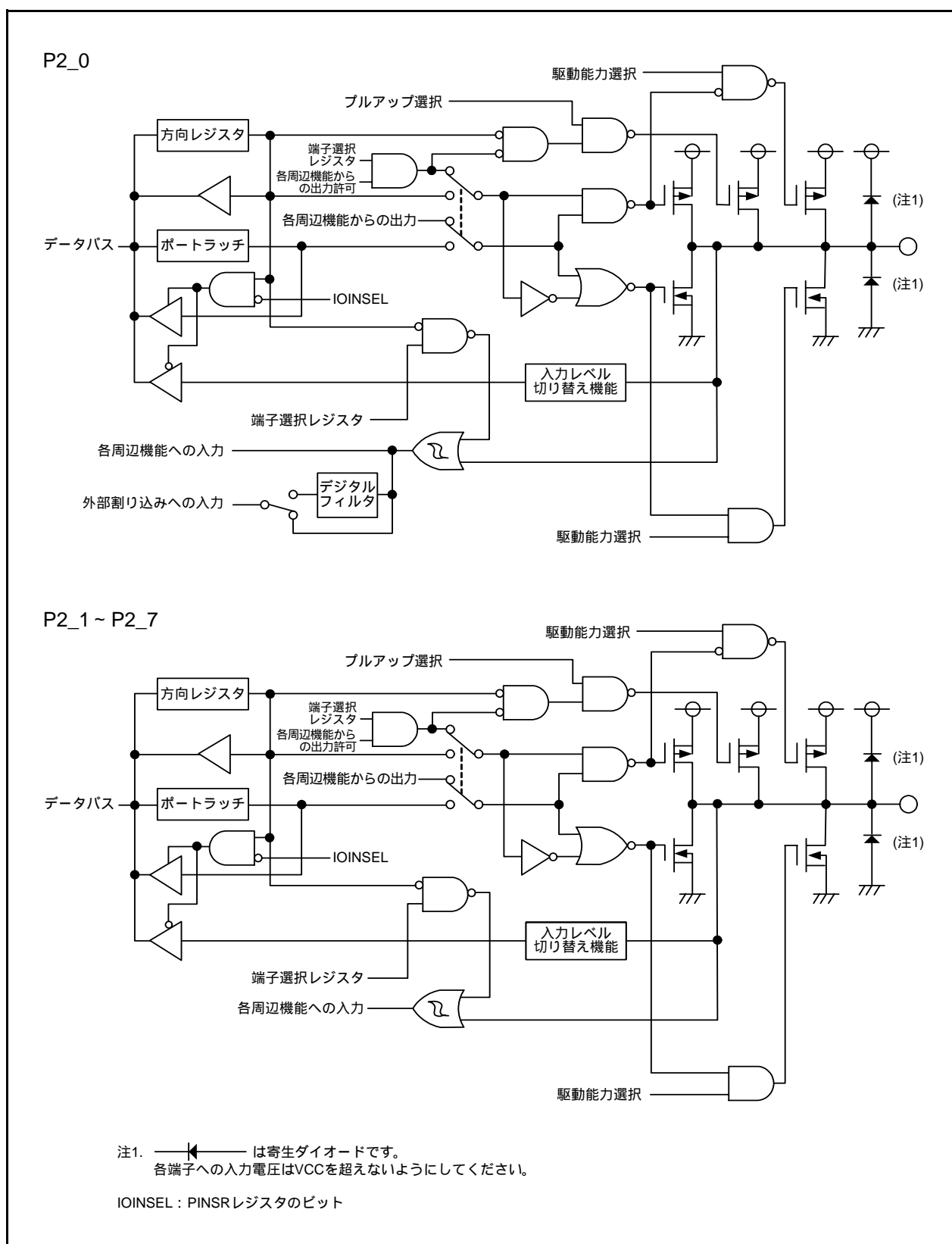


図7.5 I/Oポートの構成(5)

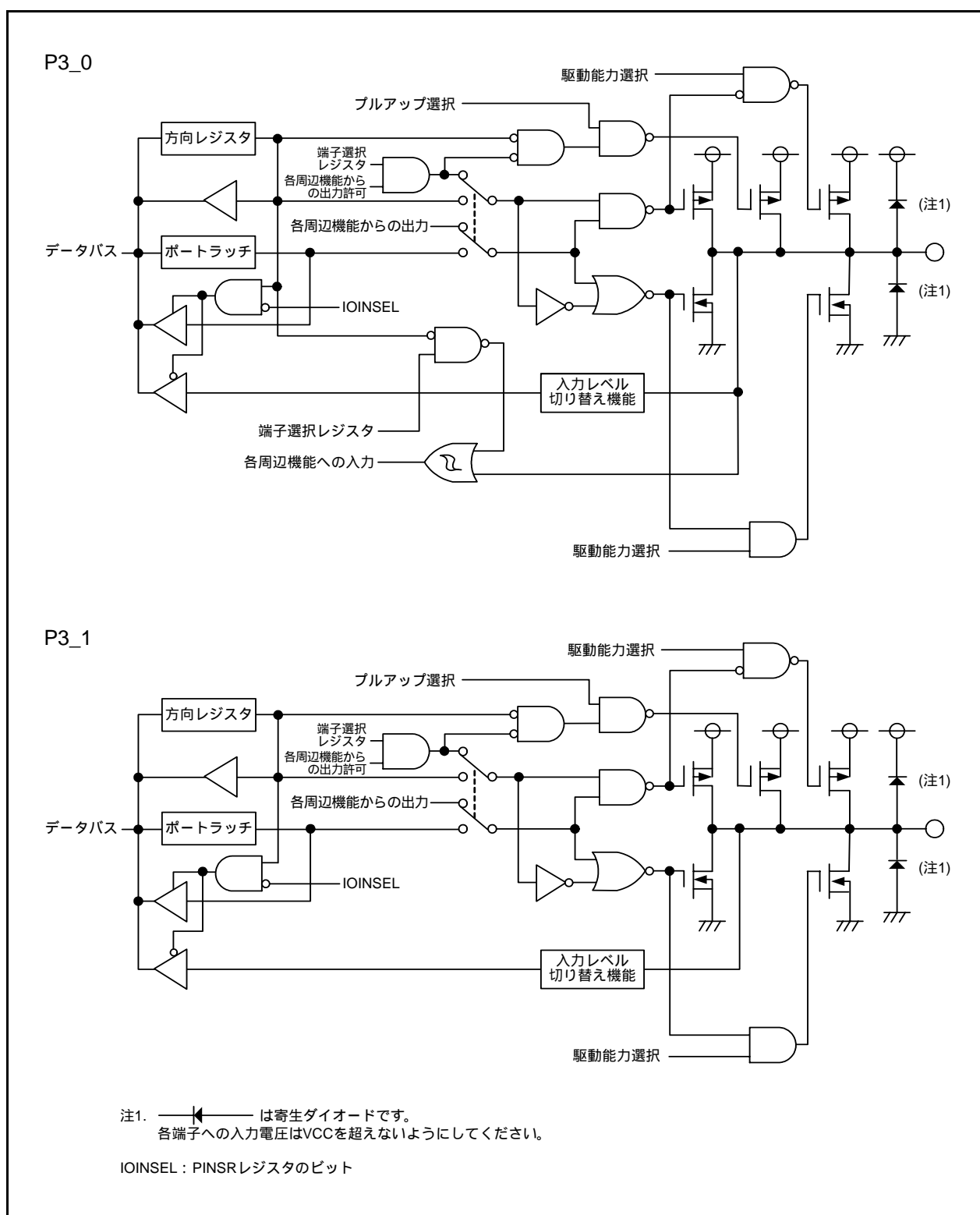


図7.6 I/Oポートの構成(6)

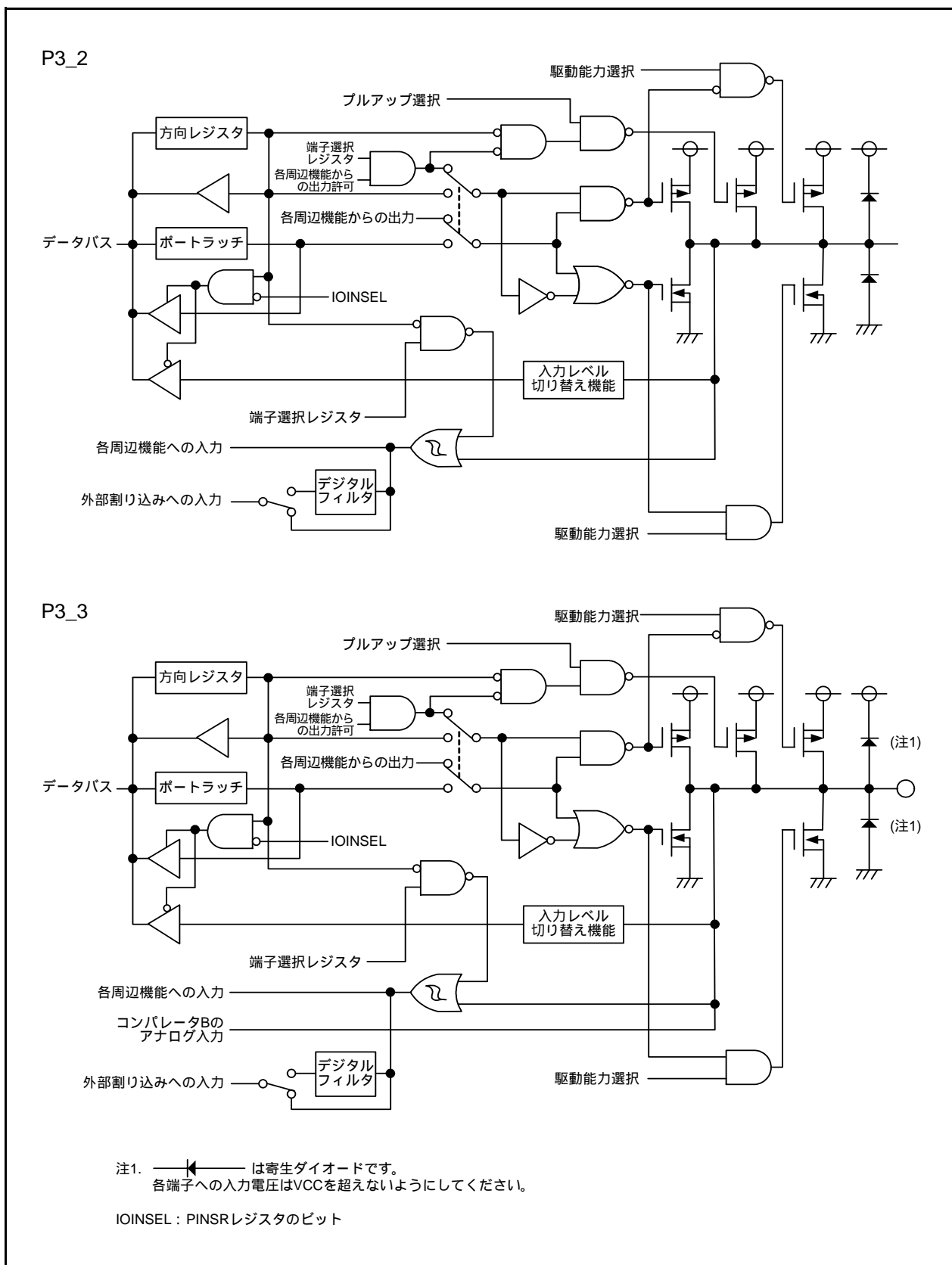


図7.7 I/Oポートの構成(7)

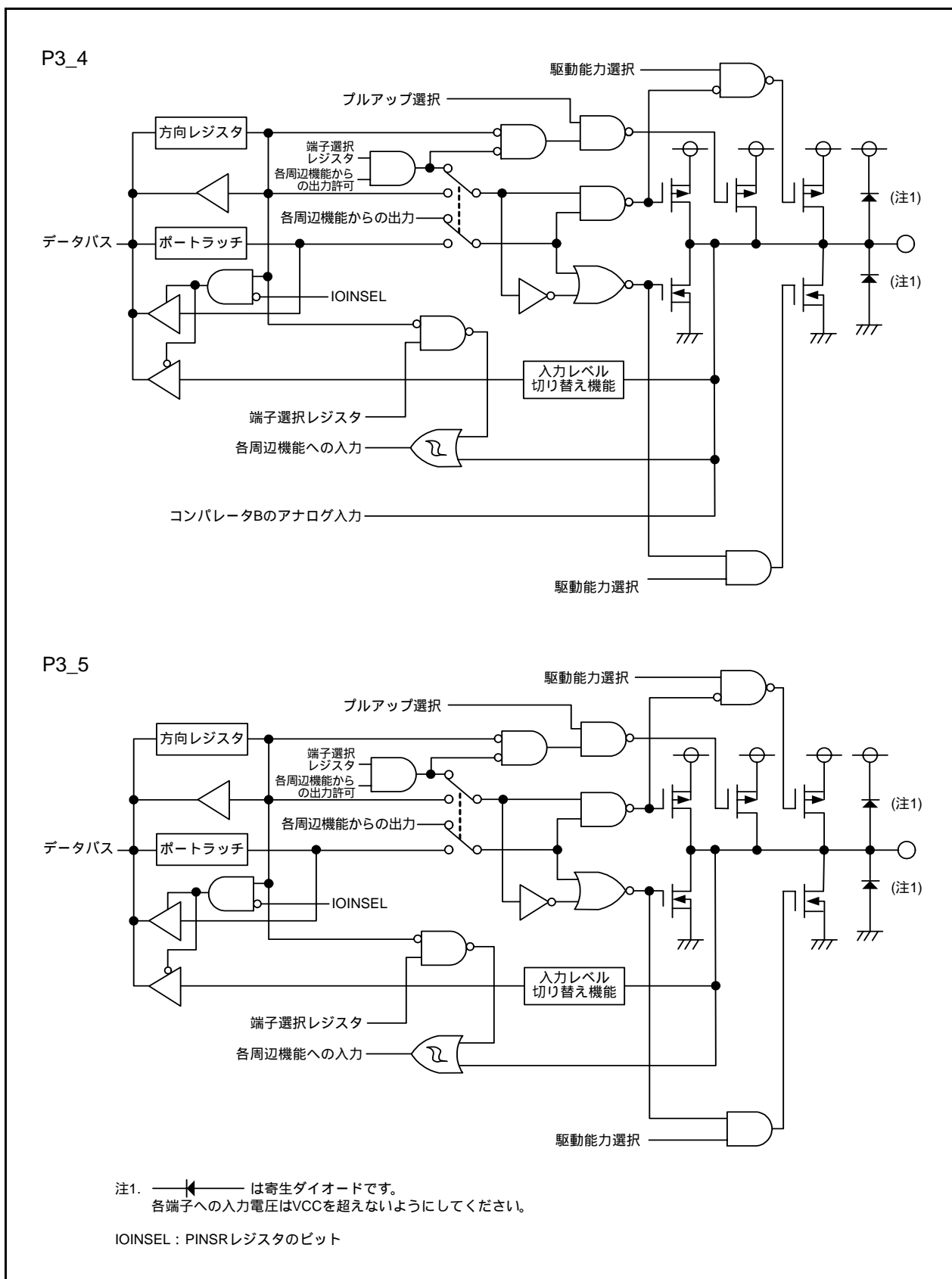


図 7.8 I/Oポートの構成 (8)

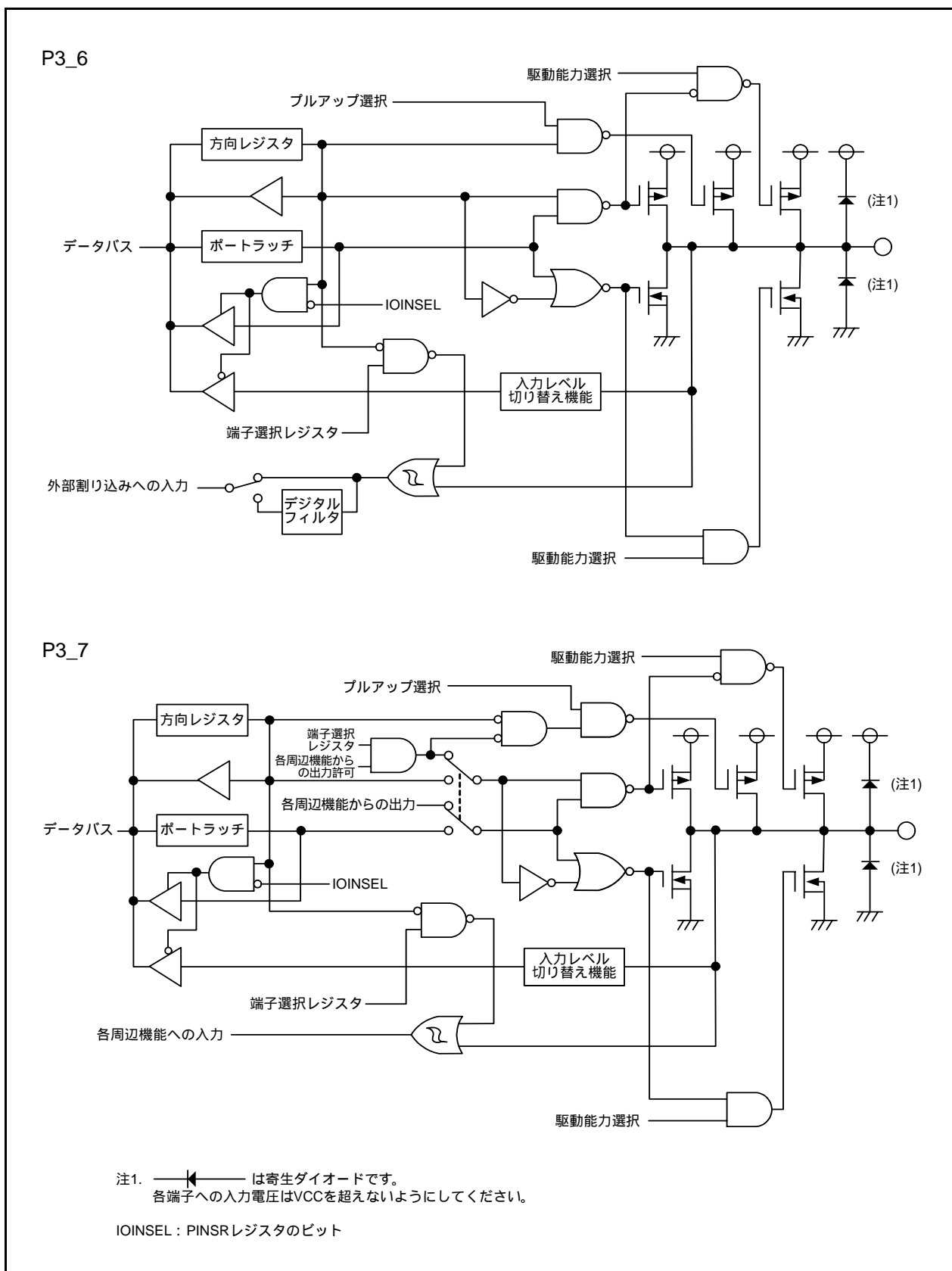


図7.9 I/Oポートの構成(9)

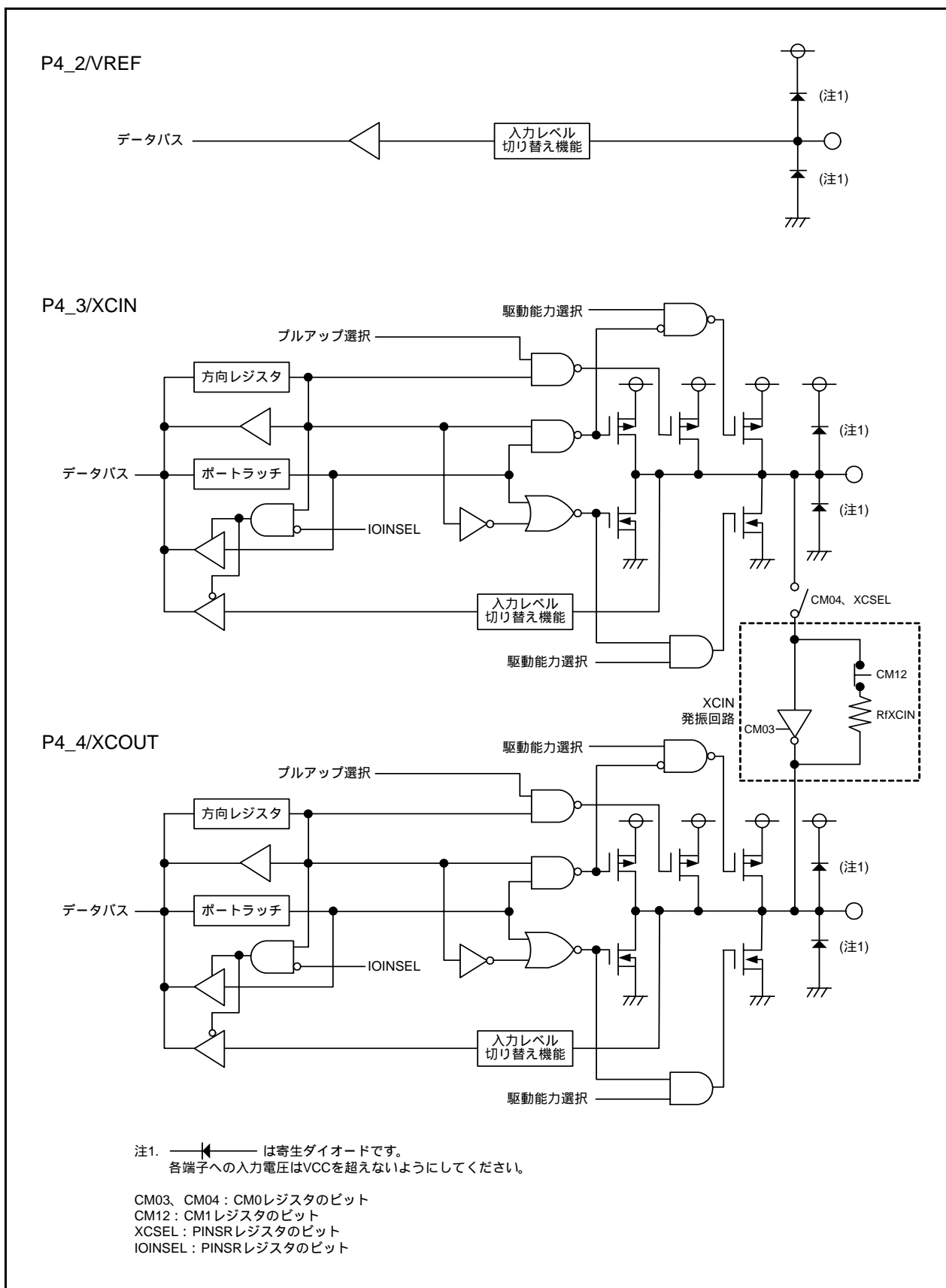


図7.10 I/Oポートの構成(10)

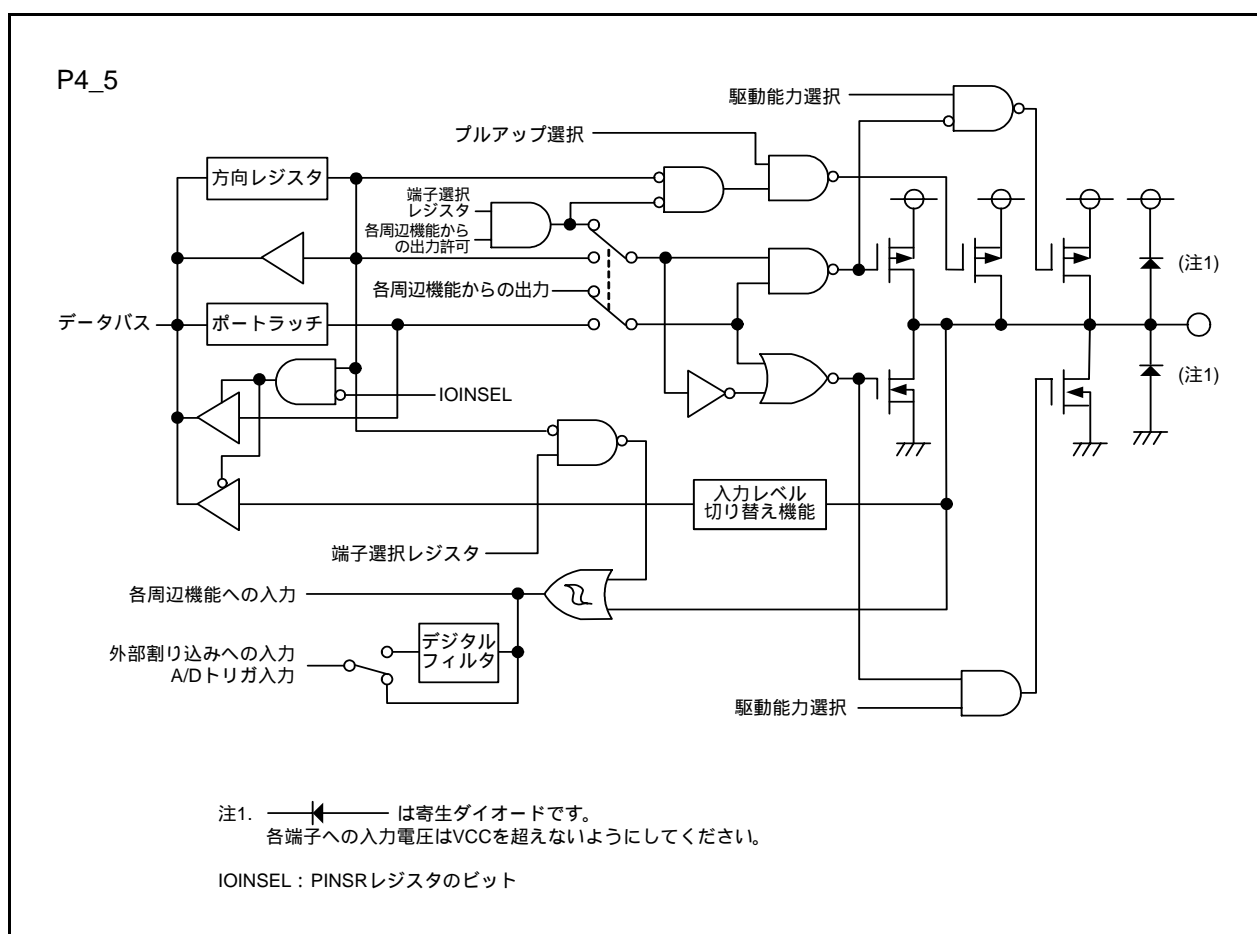


図7.11 I/Oポートの構成 (11)

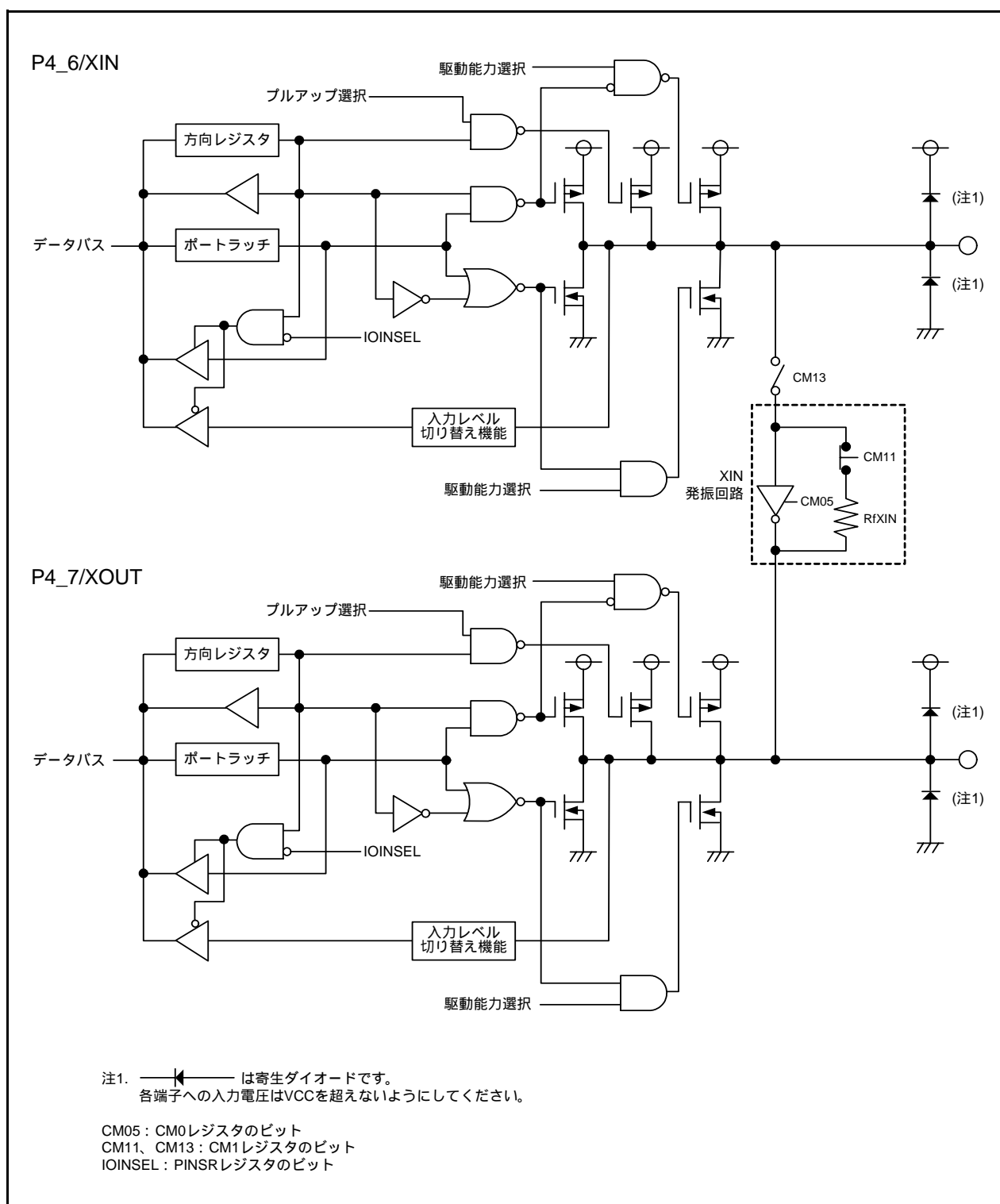


図7.12 I/Oポートの構成(12)

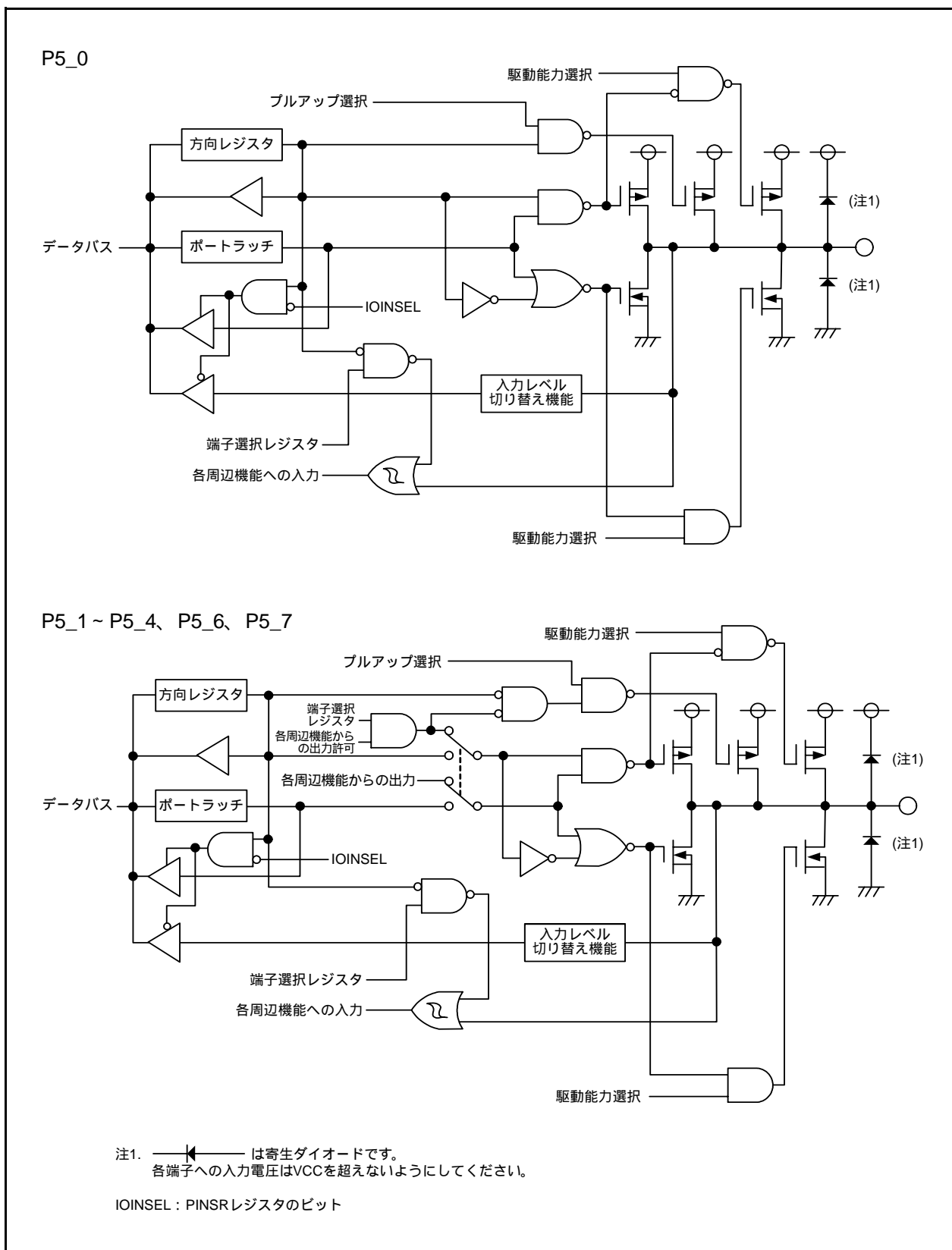


図7.13 I/Oポートの構成(13)

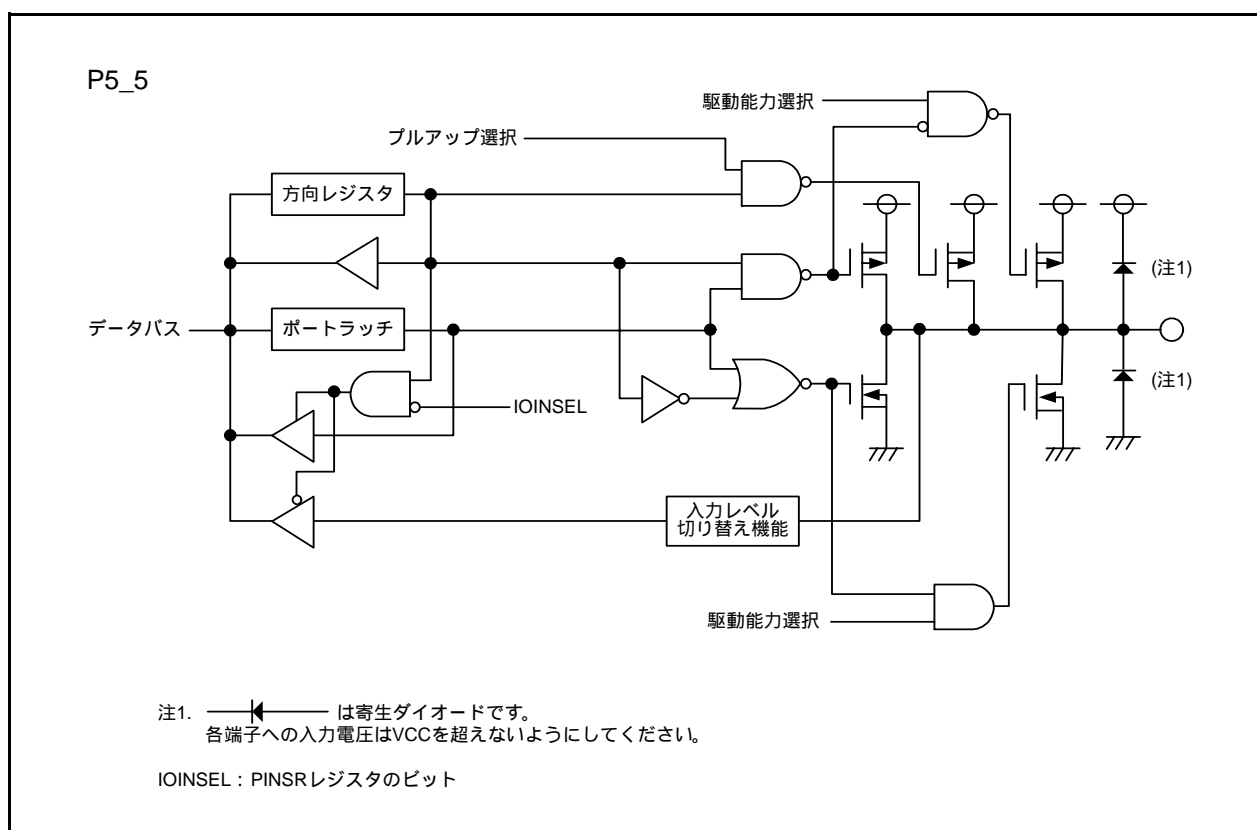


図7.14 I/Oポートの構成(14)

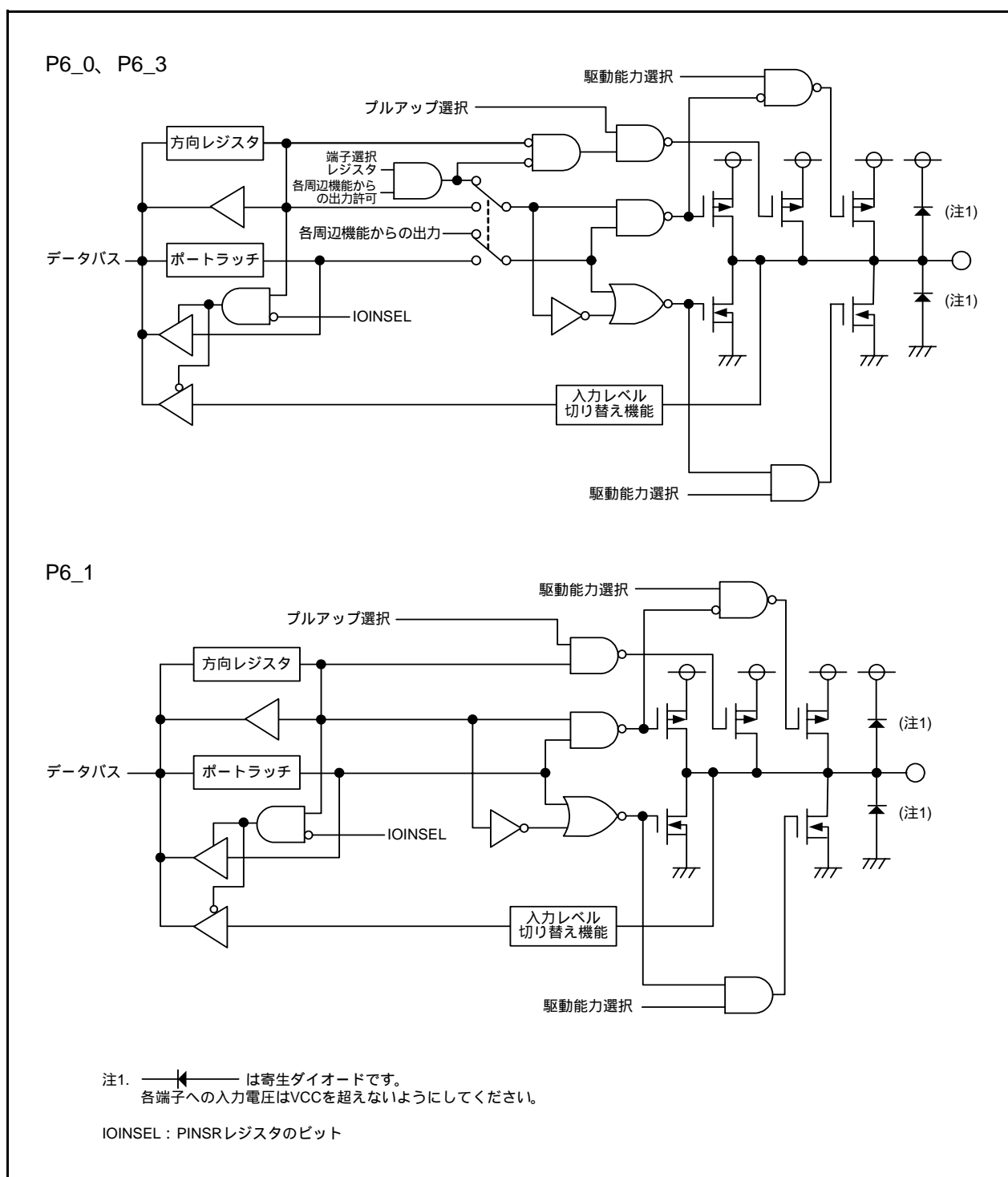


図7.15 I/Oポートの構成(15)

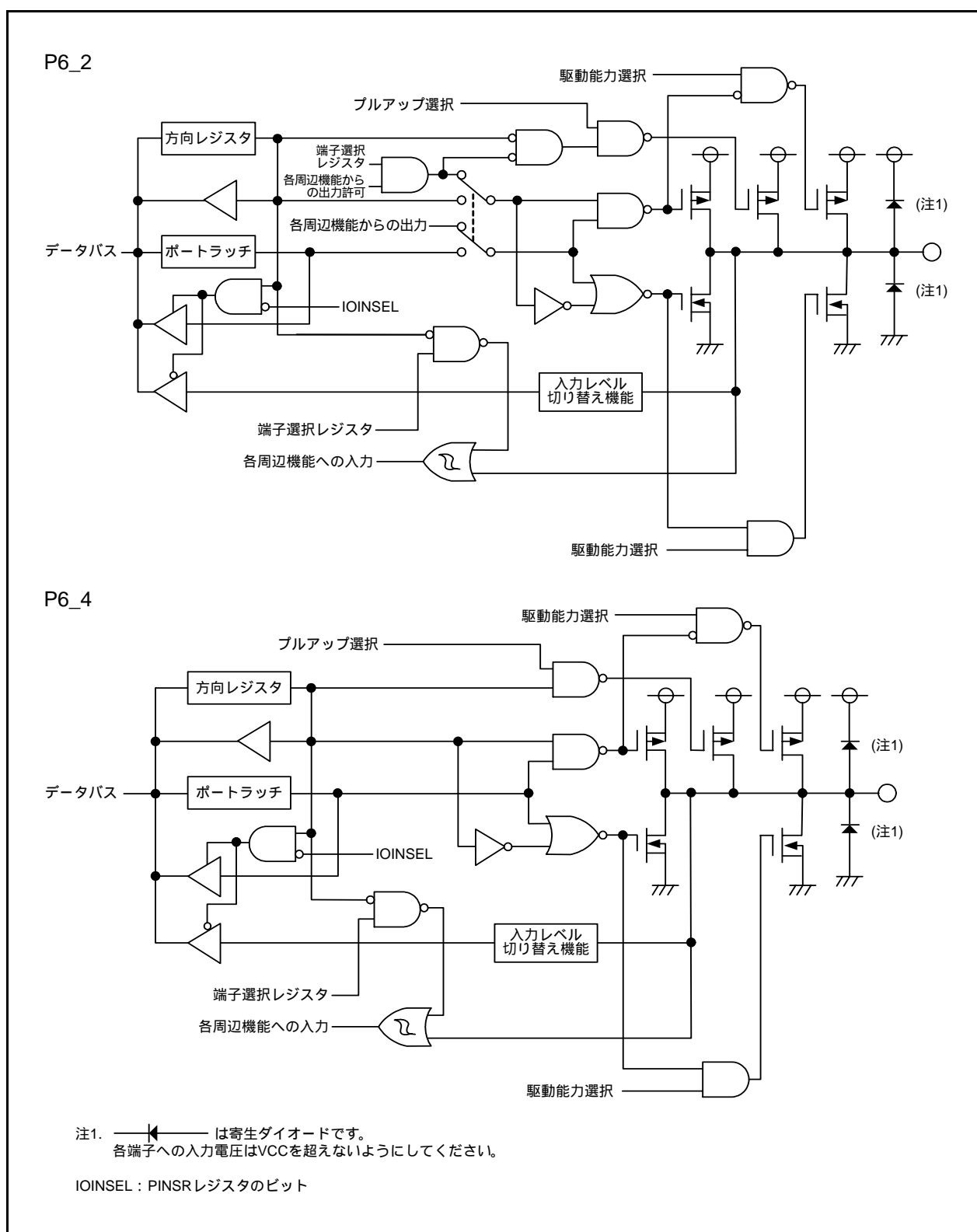


図7.16 I/Oポートの構成(16)

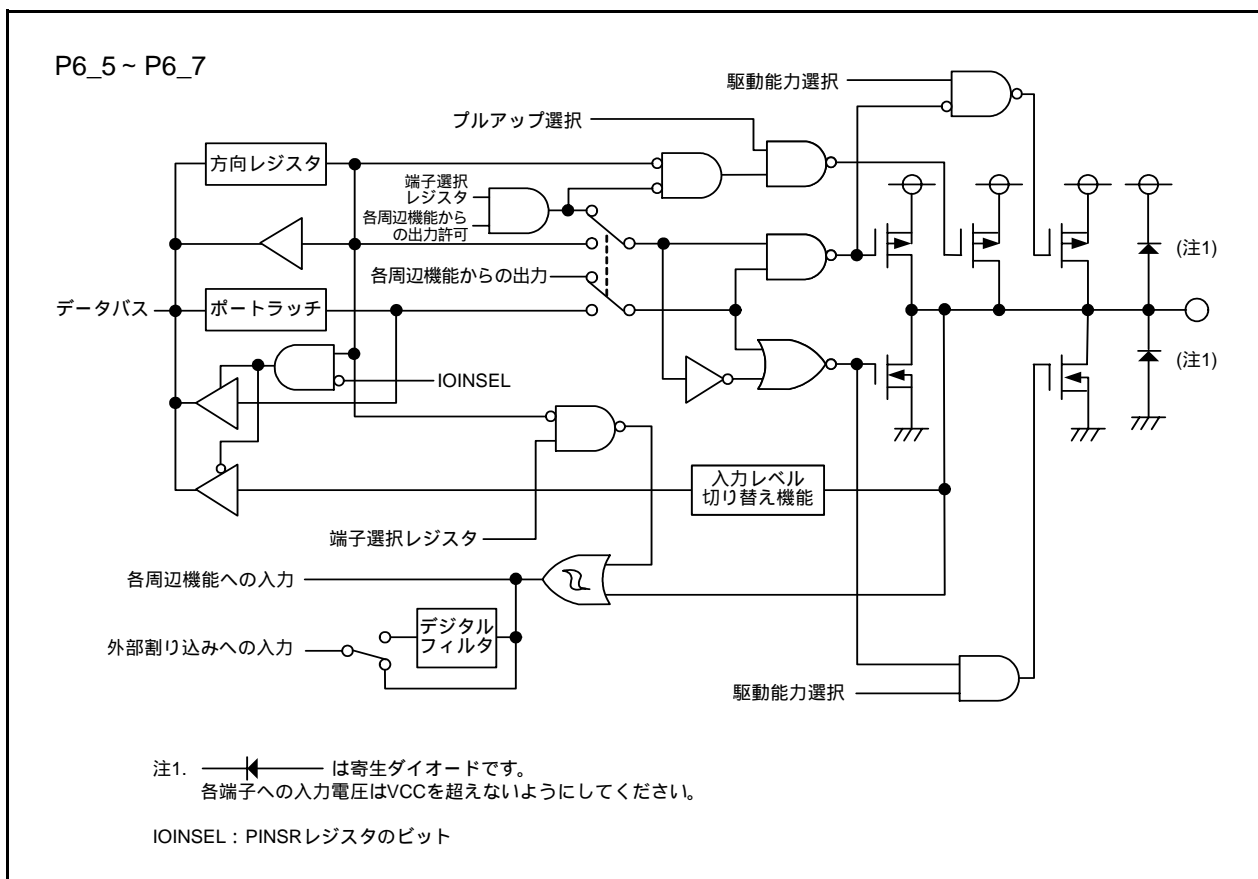


図7.17 I/Oポートの構成(17)

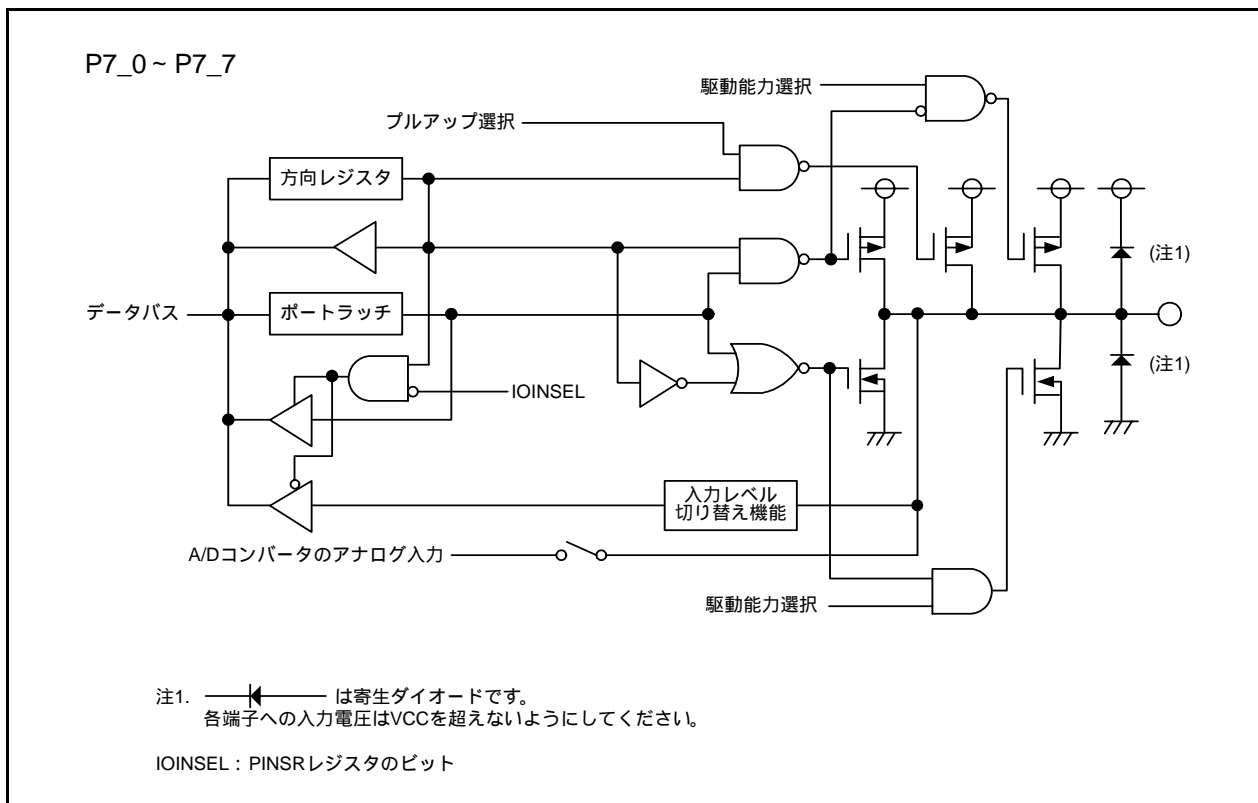


図7.18 I/Oポートの構成(18)

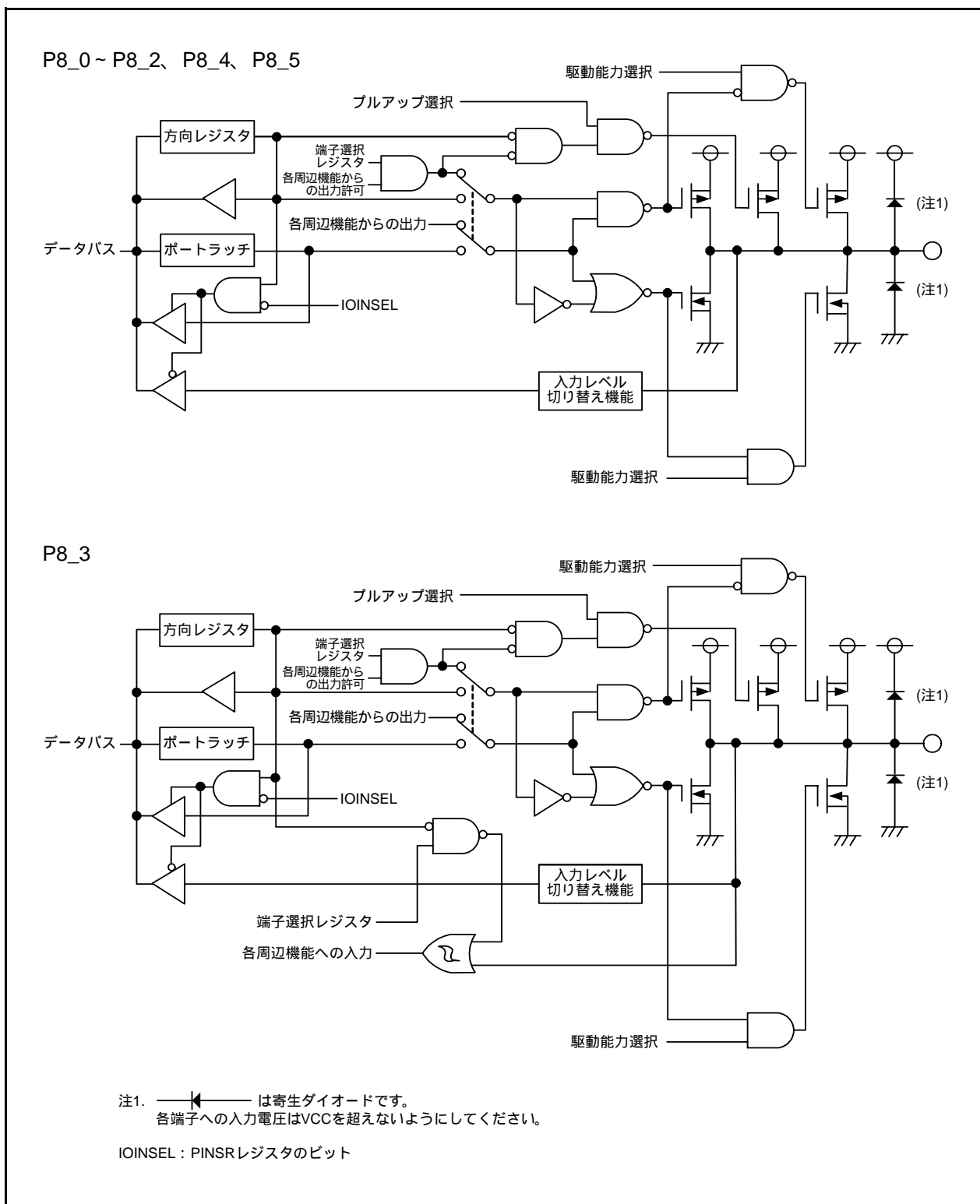


図7.19 I/Oポートの構成(19)

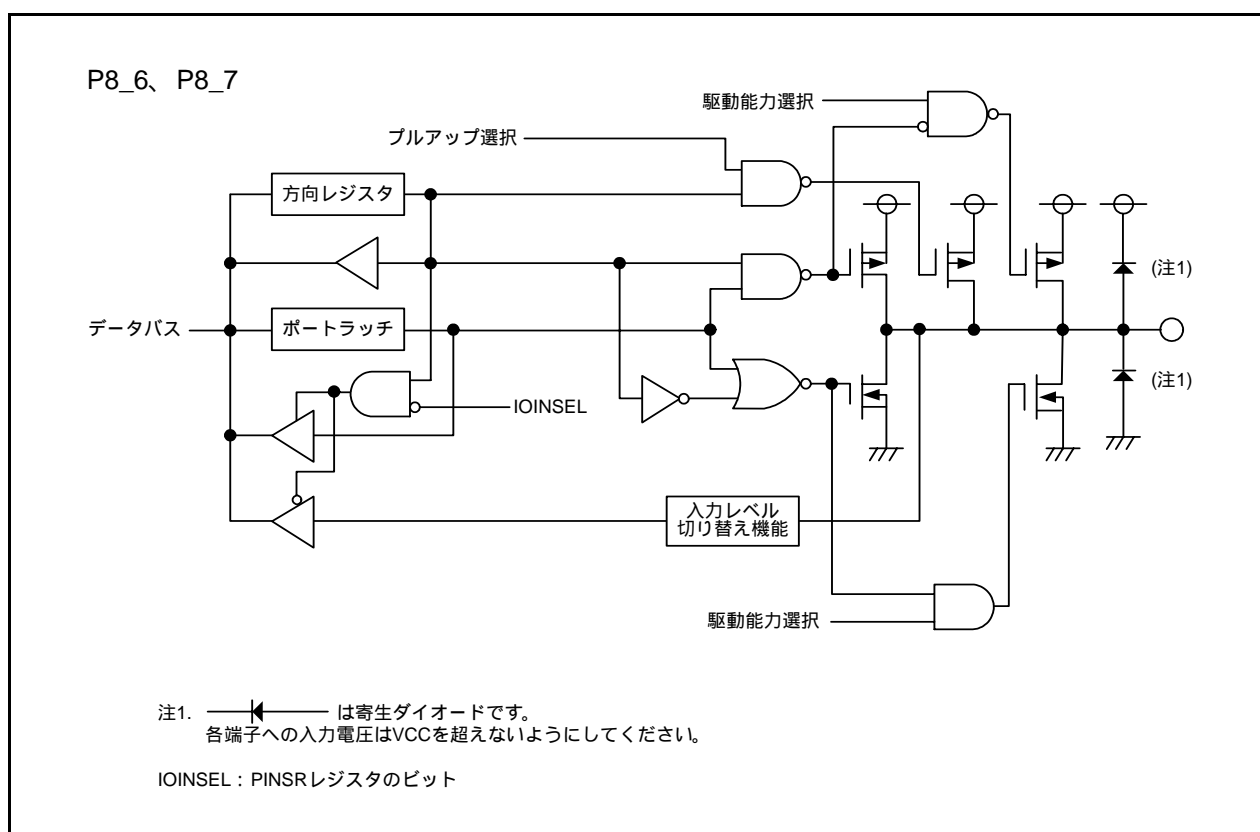


図7.20 I/Oポートの構成 (20)

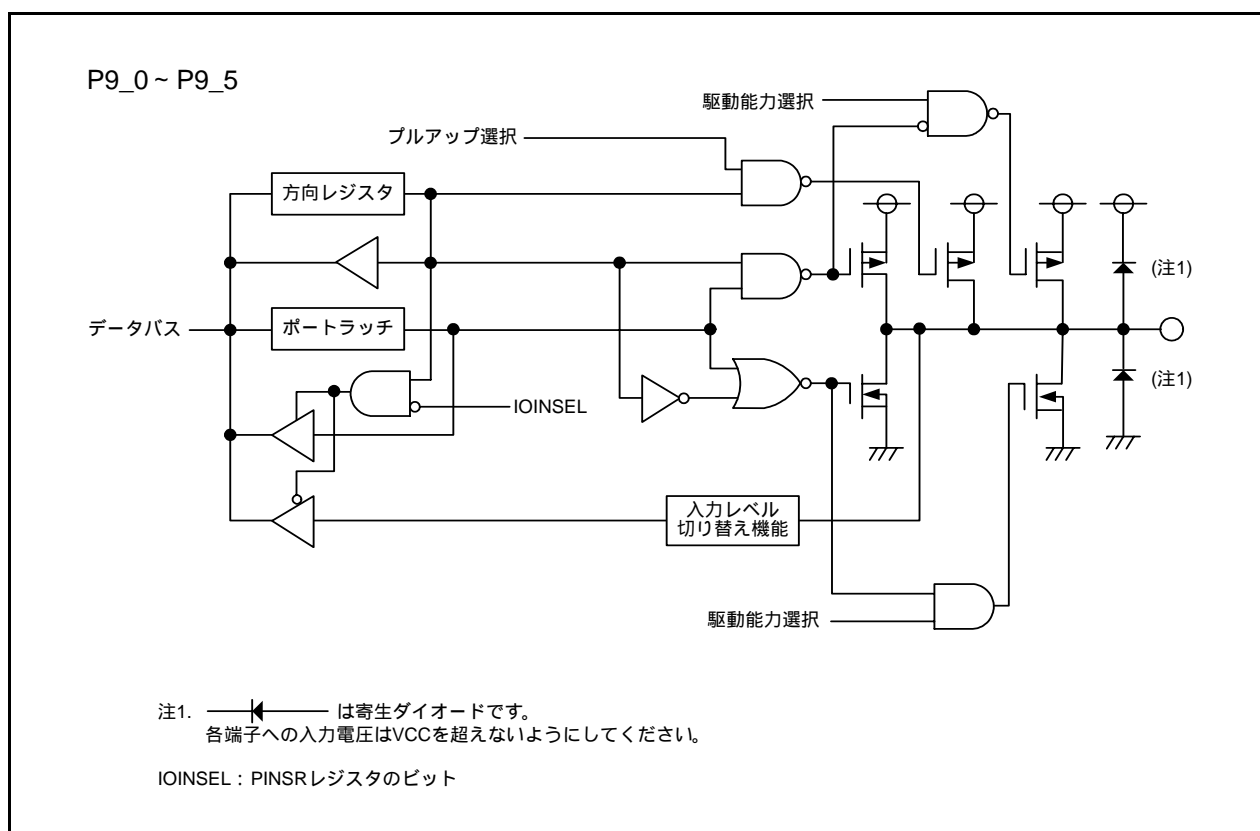


図7.21 I/Oポートの構成 (21)

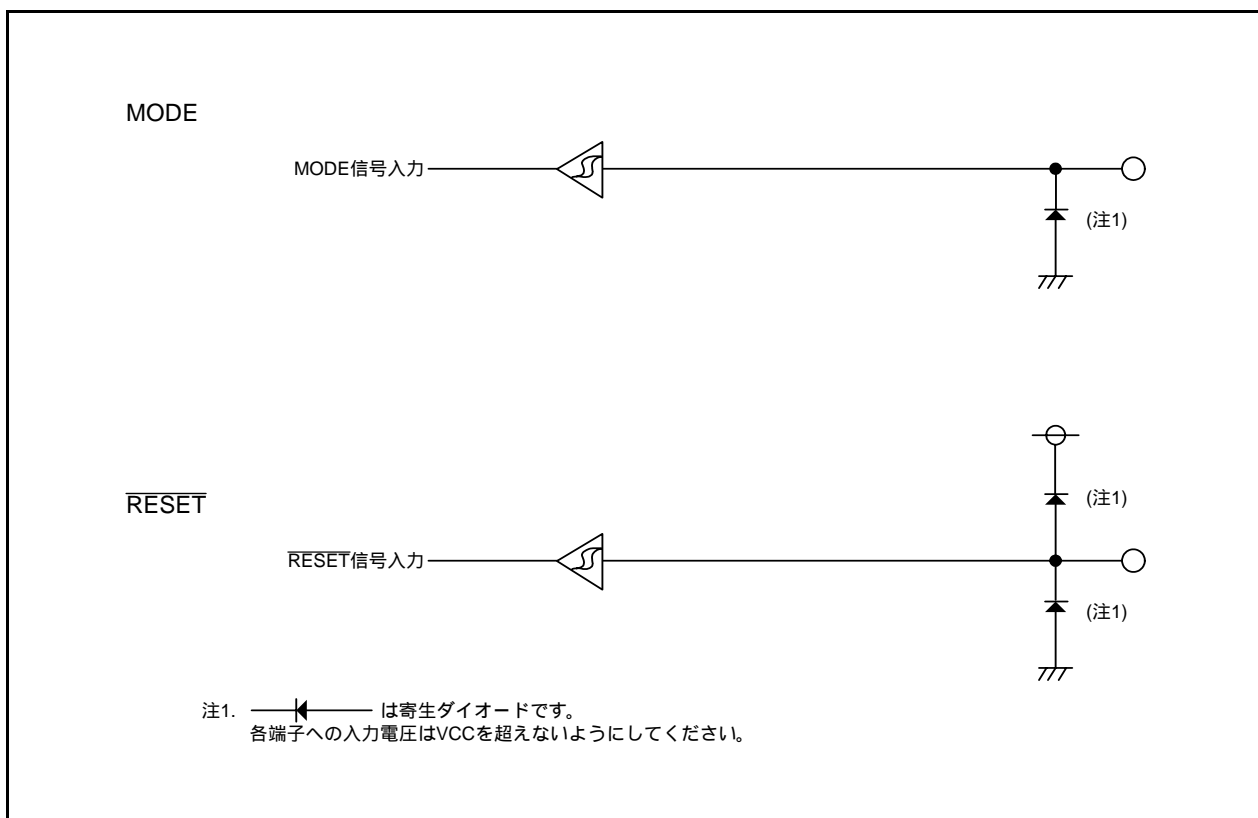


図7.22 端子の構成

7.4 レジスタの説明

7.4.1 ポートPi方向レジスタ (PDi)(i=0 ~ 9)

アドレス 00E2h 番地 (PD0(注1))、00E3h 番地 (PD1)、00E6h 番地 (PD2)、00E7h 番地 (PD3)、
00EAh 番地 (PD4(注2))、00EBh 番地 (PD5)、00EEh 番地 (PD6)、00EFh 番地 (PD7)、
00F2h 番地 (PD8)、00F3h 番地 (PD9(注2))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PDi_7	PDi_6	PDi_5	PDi_4	PDi_3	PDi_2	PDi_1	PDi_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDi_0	ポートPi_0方向ビット	0：入力モード(入力ポートとして機能) 1：出力モード(出力ポートとして機能)	R/W
b1	PDi_1	ポートPi_1方向ビット		R/W
b2	PDi_2	ポートPi_2方向ビット		R/W
b3	PDi_3	ポートPi_3方向ビット		R/W
b4	PDi_4	ポートPi_4方向ビット		R/W
b5	PDi_5	ポートPi_5方向ビット		R/W
b6	PDi_6	ポートPi_6方向ビット		R/W
b7	PDi_7	ポートPi_7方向ビット		R/W

- 注1. PD0レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。
注2. PD4レジスタのPD4_0 ~ PD4_2ビット、PD9レジスタのPD9_6 ~ PD9_7ビットは何も配置されていません。
PD4レジスタのPD4_0 ~ PD4_2ビット、PD9レジスタのPD9_6 ~ PD9_7ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

PDi レジスタはI/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。
PDiレジスタの各ビットは、ポート1本ずつに対応しています。

7.4.2 ポートPiレジスタ (Pi)(i=0 ~ 9)

アドレス 00E0h番地 (P0)、00E1h番地 (P1)、00E4h番地 (P2)、00E5h番地 (P3)、00E8h番地 (P4(注1))、00E9h番地 (P5)、00ECh番地 (P6)、00EDh番地 (P7)、00F0h番地 (P8)、00F1h番地 (P9(注1))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	Pi_7	Pi_6	Pi_5	Pi_4	Pi_3	Pi_2	Pi_1	Pi_0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	Pi_0	ポートPi_0ビット	0 : “ L ” レベル 1 : “ H ” レベル	R/W
b1	Pi_1	ポートPi_1ビット		R/W
b2	Pi_2	ポートPi_2ビット		R/W
b3	Pi_3	ポートPi_3ビット		R/W
b4	Pi_4	ポートPi_4ビット		R/W
b5	Pi_5	ポートPi_5ビット		R/W
b6	Pi_6	ポートPi_6ビット		R/W
b7	Pi_7	ポートPi_7ビット		R/W

注1. P4レジスタのP4_0 ~ P4_1ビット、P9レジスタのP9_6 ~ P9_7ビットは何も配置されていません。
P4レジスタのP4_0 ~ P4_1ビット、P9レジスタのP9_6 ~ P9_7ビットに書く場合、“ 0 ”を書いてください。読んだ場合、その値は“ 0 ”です。

外部とのデータ入出力は、Pi レジスタへの読み出しと書き込みによって行います。Pi レジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は端子から出力されます。Pi レジスタの各ビットは、ポート1本ずつに対応しています。

Pi_j ビット (i=0 ~ 9、j=0 ~ 7)(ポートPi_0ビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

7.4.3 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	TRAOSEL1	TRAOSEL0	TRAIOSEL2	TRAIOSEL1	TRAIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSEL0	TRAIO端子選択ビット	b2 b1 b0 0 0 0 : TRATIO端子は使用しない 0 0 1 : P1_7に割り当てる 0 1 0 : P1_5に割り当てる 0 1 1 : P3_2に割り当てる 1 0 0 : P5_5に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRAIOSEL1			R/W
b2	TRAIOSEL2			R/W
b3	TRAOSEL0	TRAO端子選択ビット	b4 b3 0 0 : P3_7に割り当てる 0 1 : P3_0に割り当てる 1 0 : P5_6に割り当てる 1 1 : 設定しないでください	R/W
b4	TRAOSEL1			R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

TRASRレジスタは、タイマRAの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

7.4.4 タイマRB/RC 端子選択レジスタ (TRBRCSR)

アドレス 0181h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCCLKSEL2	TRCCLKSEL1	TRCCLKSEL0	-	-	-	TRBOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBOSEL0	TRBO 端子選択ビット	0 : P1_3 に割り当てる 1 : P3_1 に割り当てる	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は "0"。		-
b3	-			
b4	TRCCLKSEL0			
b5	TRCCLKSEL1	TRCCLK 端子選択ビット	b6 b5 b4 0 0 0 : TRCCLK 端子は使用しない 0 0 1 : P1_4 に割り当てる 0 1 0 : P3_3 に割り当てる 1 0 0 : P5_0 に割り当てる 上記以外 : 設定しないでください	R/W
b6	TRCCLKSEL2			R/W
b7	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は "0"。		-

TRBRCSR レジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSR レジスタを設定してください。

タイマRB 関連レジスタを設定する前に TRBOSEL0 ビットを、タイマRC 関連レジスタを設定する前に TRCCLKSEL0 ~ TRCCLKSEL2 ビットを設定してください。また、タイマRB の動作中は TRBOSEL0 ビットを、タイマRC の動作中は TRCCLKSEL0 ~ TRCCLKSEL2 ビットの設定値を変更しないでください。

7.4.5 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIOBSEL2	TRCIOBSEL1	TRCIOBSEL0	-	TRCIOASEL2	TRCIOASEL1	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA/TRCTRG 端子選択ビット	b2 b1 b0 0 0 0 : TRCIOA/TRCTRG 端子は使用しない 0 0 1 : P1_1に割り当てる 0 1 0 : P0_0に割り当てる 0 1 1 : P0_1に割り当てる 1 0 0 : P0_2に割り当てる 1 0 1 : P5_1に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOASEL1			R/W
b2	TRCIOASEL2			R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	TRCIOBSEL0	TRCIOB 端子選択ビット	b6 b5 b4 0 0 0 : TRCIOB 端子は使用しない 0 0 1 : P1_2に割り当てる 0 1 0 : P0_3に割り当てる 0 1 1 : P0_4に割り当てる 1 0 0 : P0_5に割り当てる 1 0 1 : P2_0に割り当てる 1 1 0 : P6_5に割り当てる 1 1 1 : P5_2に割り当てる	R/W
b5	TRCIOBSEL1			R/W
b6	TRCIOBSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRCPSR0 レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0 レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0 レジスタを設定してください。また、タイマRCの動作中はTRCPSR0 レジスタの設定値を変更しないでください。

7.4.6 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIODSEL2	TRCIODSEL1	TRCIODSEL0	-	TRCIOSEL2	TRCIOSEL1	TRCIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOSEL0	TRCIO端子選択ビット	b2 b1 b0 0 0 0 : TRCIO端子は使用しない 0 0 1 : P1_3に割り当てる 0 1 0 : P3_4に割り当てる 0 1 1 : P0_7に割り当てる 1 0 0 : P2_1に割り当てる 1 0 1 : P6_6に割り当てる 1 1 0 : P5_3に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOSEL1			R/W
b2	TRCIOSEL2			R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	TRCIODSEL0	TRCIOD端子選択ビット	b6 b5 b4 0 0 0 : TRCIOD端子は使用しない 0 0 1 : P1_0に割り当てる 0 1 0 : P3_5に割り当てる 0 1 1 : P0_6に割り当てる 1 0 0 : P2_2に割り当てる 1 0 1 : P6_7に割り当てる 1 1 0 : P5_4に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCIODSEL1			R/W
b6	TRCIODSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRCPSR1レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

7.4.7 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	-	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	0 : TRDIOA0/TRDCLK端子は使用しない 1 : P2_0に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 0 0 : TRDIOB0端子は使用しない 0 1 : 設定しないでください 1 0 : P2_2に割り当てる 1 1 : 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 0 0 : TRDIOC0端子は使用しない 0 1 : 設定しないでください 1 0 : P2_1に割り当てる 1 1 : 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	0 : TRDIOD0端子は使用しない 1 : P2_3に割り当てる	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

7.4.8 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD1SEL0	-	TRDIOC1SEL0	-	TRDIOB1SEL0	-	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	0 : TRDIOA1端子は使用しない 1 : P2_4に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	0 : TRDIOB1端子は使用しない 1 : P2_5に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	0 : TRDIOC1端子は使用しない 1 : P2_6に割り当てる	R/W
b5	-	予約ビット	“0”にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	0 : TRDIOD1端子は使用しない 1 : P2_7に割り当てる	R/W
b7	-	予約ビット	“0”にしてください	R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

7.4.9 タイマ端子選択レジスタ(TIMSR)

アドレス 0186h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	TREOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TREOSEL0	TREO端子選択ビット	0 : P0_4に割り当てる 1 : P6_0に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

TIMSRレジスタは、タイマREの出力をどの端子に割り当てるかを選択するレジスタです。タイマREの出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマREの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマREの動作中はTIMSRレジスタの設定値を変更しないでください。

7.4.10 タイマRF出力制御レジスタ(TRFOUT)

アドレス 0187h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRFOUT7	TRFOUT6	TRFOUT5	TRFOUT4	TRFOUT3	TRFOUT2	TRFOUT1	TRFOUT0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRFOUT0	TRFO00出力許可ビット	0 : 出力禁止 1 : 出力許可	R/W
b1	TRFOUT1	TRFO01出力許可ビット		R/W
b2	TRFOUT2	TRFO02出力許可ビット		R/W
b3	TRFOUT3	TRFO10出力許可ビット		R/W
b4	TRFOUT4	TRFO11出力許可ビット		R/W
b5	TRFOUT5	TRFO12出力許可ビット		R/W
b6	TRFOUT6	TRFO00 ~ TRFO02出力反転ビット	0 : 出力を反転しない 1 : 出力を反転する	R/W
b7	TRFOUT7	TRFO10 ~ TRFO12出力反転ビット		R/W

7.4.11 UART0 端子選択レジスタ (U0SR)

アドレス 0188h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK0SEL0	-	RXD0SEL0	-	TXD0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SEL0	TXD0 端子選択ビット	0 : TXD0 端子は使用しない 1 : P1_4 に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	RXD0SEL0	RXD0 端子選択ビット	0 : RXD0 端子は使用しない 1 : P1_5 に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	CLK0SEL0	CLK0 端子選択ビット	0 : CLK0 端子は使用しない 1 : P1_6 に割り当てる	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

U0SR レジスタは、UART0 の入出力をどの端子に割り当てるかを選択するレジスタです。UART0 の入出力端子を使用する場合は、U0SR レジスタを設定してください。

UART0 の関連レジスタを設定する前に、U0SR レジスタを設定してください。また、UART0 の動作中は U0SR レジスタの設定値を変更しないでください。

7.4.12 UART1 端子選択レジスタ (U1SR)

アドレス 0189h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	CLK1SEL1	CLK1SEL0	RXD1SEL1	RXD1SEL0	TXD1SEL1	TXD1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD1SEL0	TXD1 端子選択ビット	b1 b0 00 : TXD1 端子は使用しない 01 : P0_1 に割り当てる 10 : P6_3 に割り当てる 11 : 設定しないでください	R/W
b1	TXD1SEL1			R/W
b2	RXD1SEL0	RXD1 端子選択ビット	b3 b2 00 : RXD1 端子は使用しない 01 : P0_2 に割り当てる 10 : P6_4 に割り当てる 11 : 設定しないでください	R/W
b3	RXD1SEL1			R/W
b4	CLK1SEL0	CLK1 端子選択ビット	b5 b4 00 : CLK1 端子は使用しない 01 : P0_3 に割り当てる 10 : P6_2 に割り当てる 11 : P6_5 に割り当てる	R/W
b5	CLK1SEL1			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

U1SR レジスタは、UART1 の入出力をどの端子に割り当てるかを選択するレジスタです。UART1 の入出力端子を使用する場合は、U1SR レジスタを設定してください。

UART1 の関連レジスタを設定する前に、U1SR レジスタを設定してください。また、UART1 の動作中はU1SR レジスタの設定値を変更しないでください。

7.4.13 UART2 端子選択レジスタ0 (U2SR0)

アドレス 018Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RXD2SEL1	RXD2SEL0	-	TXD2SEL2	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2 端子選択ビット	b2 b1 b0 0 0 0 : TXD2/SDA2 端子は使用しない	R/W
b1	TXD2SEL1		0 0 1 : P3_7 に割り当てる	R/W
b2	TXD2SEL2		0 1 0 : P3_4 に割り当てる	R/W
			0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : P6_6 に割り当てる 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	RXD2SEL0	RXD2/SCL2 端子選択ビット	b5 b4 0 0 : RXD2/SCL2 端子は使用しない	R/W
b5	RXD2SEL1		0 1 : P3_4 に割り当てる 1 0 : P3_7 に割り当てる 1 1 : P4_5 に割り当てる	R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

U2SR0 レジスタは、UART2 の入出力をどの端子に割り当てるかを選択するレジスタです。UART2 の入出力端子を使用する場合は、U2SR0 レジスタを設定してください。

UART2 の関連レジスタを設定する前に、U2SR0 レジスタを設定してください。また、UART2 の動作中は U2SR0 レジスタの設定値を変更しないでください。

7.4.14 UART2 端子選択レジスタ1 (U2SR1)

アドレス 018Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CTS2SEL0	-	-	CLK2SEL1	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2 端子選択ビット	b1 b0 0 0 : CLK2 端子は使用しない 0 1 : P3_5 に割り当てる 1 0 : 設定しないでください 1 1 : P6_5 に割り当てる	R/W
b1	CLK2SEL1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			-
b4	CTS2SEL0	CTS2/RTS2 端子選択ビット	0 : CTS2/RTS2 端子は使用しない 1 : P3_3 に割り当てる	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

U2SR1 レジスタは、UART2 の入出力をどの端子に割り当てるかを選択するレジスタです。UART2 の入出力端子を使用する場合は、U2SR1 レジスタを設定してください。

UART2 の関連レジスタを設定する前に、U2SR1 レジスタを設定してください。また、UART2 の動作中は U2SR1 レジスタの設定値を変更しないでください。

7.4.15 SSU/IIC 端子選択レジスタ (SSUIICSR)

アドレス 018Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I ² C バス切り替えビット	0 : SSU 機能を選択 1 : I ² C バス機能を選択	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-			
b7	-			

7.4.16 INT割り込み入力端子選択レジスタ (INTSR)

アドレス 018Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3SEL1	INT3SEL0	-	INT2SEL0	INT1SEL2	INT1SEL1	INT1SEL0	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	INT1SEL0	INT1 端子選択ビット	b3 b2 b1 0 0 0 : P1_7に割り当てる 0 0 1 : P1_5に割り当てる 0 1 0 : P2_0に割り当てる 0 1 1 : P3_6に割り当てる 1 0 0 : P3_2に割り当てる 上記以外：設定しないでください	R/W
b2	INT1SEL1			R/W
b3	INT1SEL2			R/W
b4	INT2SEL0	INT2 端子選択ビット	0 : P6_6に割り当てる 1 : P3_2に割り当てる	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	INT3SEL0	INT3 端子選択ビット	b7 b6 0 0 : P3_3に割り当てる 0 1 : 設定しないでください 1 0 : P6_7に割り当てる 1 1 : 設定しないでください	R/W
b7	INT3SEL1			R/W

INTSRレジスタは、 $\overline{\text{INT}}_i$ ($i=1 \sim 3$)の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}}_i$ を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INT}}_i$ の関連レジスタを設定する前に、INTSRレジスタを設定してください。また、 $\overline{\text{INT}}_i$ の動作中はINTSRレジスタの設定値を変更しないでください。

7.4.17 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	-	-	XCSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	XCSEL	XCIN/XCOUT 端子接続 ビット	0 : XCIN を P4_3、XCOUT を P4_4 に接続しない 1 : XCIN を P4_3、XCOUT を P4_4 に接続する	R/W
b1	-	予約ビット	“ 0 ” にしてください	R/W
b2	-	何も配置されていない。書く場合、“ 0 ” を書いてください。読んだ場合、その値は “ 0 ”。		-
b3	IOINSEL	I/O ポート入力機能選択 ビット	0 : I/O ポートの入力機能は PDi (i=0 ~ 9) レジスタに依存 PDi レジスタの PDi_j (j=0 ~ 7) ビットが “ 0 ” (入力 モード) のとき、端子の入力レベルを読む。 PDi レジスタの PDi_j ビットが “ 1 ” (出力モード) のと き、ポートラッチを読む。 1 : I/O ポートの入力機能は PDi レジスタに関係なく、 端子の入力レベルを読む	R/W
b4	IICTCTWI	I ² C 転送レート 2 倍選択 ビット	0 : ICCR1 レジスタの CKS0 ~ CKS3 ビットの設定値通り の転送レート 1 : ICCR1 レジスタの CKS0 ~ CKS3 ビットの設定値の 2 倍の転送レート	R/W
b5	IICTCHALF	I ² C 転送レート 1/2 倍選択 ビット	0 : ICCR1 レジスタの CKS0 ~ CKS3 ビットの設定値通り の転送レート 1 : ICCR1 レジスタの CKS0 ~ CKS3 ビットの設定値の 1/2 倍の転送レート	R/W
b6	SDADLY0	SDA 端子デジタル遅延選択 ビット	b7 b6 0 0 : 3 × f1 サイクルのデジタル遅延 0 1 : 11 × f1 サイクルのデジタル遅延 1 0 : 19 × f1 サイクルのデジタル遅延 1 1 : 設定しないでください	R/W
b7	SDADLY1			R/W

XCSEL ビット (XCIN/XCOUT 端子接続ビット)

XCSEL ビットは XCIN、XCOUT を P4_3、P4_4 に接続するためのビットです。“ 1 ” にすると XCIN を P4_3、XCOUT を P4_4 に接続します。XCIN、XCOUT の設定方法は、「9. クロック発生回路」を参照してください。

IOINSEL ビット (I/O ポート入力機能選択ビット)

IOINSEL ビットは PDi (i=0 ~ 9) レジスタの PDi_j (j=0 ~ 7) ビットが “ 1 ” (出力モード) のときに、I/O ポートの端子の入力レベルを読むことを選択するためのビットです。“ 1 ” にすると I/O ポートの入力機能は、PDi レジスタに関係なく、端子の入力レベルを読みます。

表 7.4 に IOINSEL ビットによる I/O ポートの読み出し値を示します。IOINSEL ビットで P4_2 を除くすべての I/O ポートの入力機能を変更できます。

表 7.4 IOINSEL ビットによる I/O ポートの読み出し値

PDi レジスタの PDi_j ビット	“ 0 ” (入力モード)		“ 1 ” (出力モード)	
IOINSEL ビット	“ 0 ”	“ 1 ”	“ 0 ”	“ 1 ”
I/O ポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

7.4.18 プルアップ制御レジスタ0 (PUR0)

アドレス 01E0h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PU00	P0_0 ~ P0_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PU01	P0_4 ~ P0_7のプルアップ		R/W
b2	PU02	P1_0 ~ P1_3のプルアップ		R/W
b3	PU03	P1_4 ~ P1_7のプルアップ		R/W
b4	PU04	P2_0 ~ P2_3のプルアップ		R/W
b5	PU05	P2_4 ~ P2_7のプルアップ		R/W
b6	PU06	P3_0 ~ P3_3のプルアップ		R/W
b7	PU07	P3_4 ~ P3_7のプルアップ		R/W

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR0レジスタの設定値が有効になります。

7.4.19 プルアップ制御レジスタ1 (PUR1)

アドレス 01E1h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PU10	P4_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PU11	P4_4 ~ P4_7のプルアップ		R/W
b2	PU12	P5_0 ~ P5_3のプルアップ		R/W
b3	PU13	P5_4 ~ P5_7のプルアップ		R/W
b4	PU14	P6_0 ~ P6_3のプルアップ		R/W
b5	PU15	P6_4 ~ P6_7のプルアップ		R/W
b6	PU16	P7_0 ~ P7_3のプルアップ		R/W
b7	PU17	P7_4 ~ P7_7のプルアップ		R/W

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR1レジスタの設定値が有効になります。

7.4.20 プルアップ制御レジスタ2 (PUR2)

アドレス 01E2h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	PU23	PU22	PU21	PU20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PU20	P8_0 ~ P8_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PU21	P8_4 ~ P8_7のプルアップ		R/W
b2	PU22	P9_0 ~ P9_3のプルアップ		R/W
b3	PU23	P9_4、P9_5のプルアップ		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR2レジスタの設定値が有効になります。

7.4.21 ポートP1駆動能力制御レジスタ(P1DDR)

アドレス 01F0h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P1DDR7	P1DDR6	P1DDR5	P1DDR4	P1DDR3	P1DDR2	P1DDR1	P1DDR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P1DDR0	P1_0の駆動能力	0 : Low 1 : High(注1)	R/W
b1	P1DDR1	P1_1の駆動能力		R/W
b2	P1DDR2	P1_2の駆動能力		R/W
b3	P1DDR3	P1_3の駆動能力		R/W
b4	P1DDR4	P1_4の駆動能力		R/W
b5	P1DDR5	P1_5の駆動能力		R/W
b6	P1DDR6	P1_6の駆動能力		R/W
b7	P1DDR7	P1_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P1DDRレジスタはP1の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P1DDRRiビット(i=0～7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P1DDRレジスタの設定値が有効になります。

7.4.22 ポートP2駆動能力制御レジスタ(P2DDR)

アドレス 01F1h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P2DDR7	P2DDR6	P2DDR5	P2DDR4	P2DDR3	P2DDR2	P2DDR1	P2DDR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P2DDR0	P2_0の駆動能力	0 : Low 1 : High(注1)	R/W
b1	P2DDR1	P2_1の駆動能力		R/W
b2	P2DDR2	P2_2の駆動能力		R/W
b3	P2DDR3	P2_3の駆動能力		R/W
b4	P2DDR4	P2_4の駆動能力		R/W
b5	P2DDR5	P2_5の駆動能力		R/W
b6	P2DDR6	P2_6の駆動能力		R/W
b7	P2DDR7	P2_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P2DDRレジスタはP2の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P2DDRRiビット(i=0～7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P2DDRレジスタの設定値が有効になります。

7.4.23 駆動能力制御レジスタ0 (DRR0)

アドレス 01F2h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DRR07	DRR06	-	-	-	-	DRR01	DRR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR00	P0_0 ~ P0_3の駆動能力	0 : Low 1 : High(注1)	R/W
b1	DRR01	P0_4 ~ P0_7の駆動能力		R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	DRR06	P3_0 ~ P3_3の駆動能力	0 : Low 1 : High(注1)	R/W
b7	DRR07	P3_4 ~ P3_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR0レジスタの設定値が有効になります。

DRR00ビット(P0_0 ~ P0_3の駆動能力)

DRR00ビットは、P0_0 ~ P0_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR00ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR01ビット(P0_4 ~ P0_7の駆動能力)

DRR01ビットは、P0_4 ~ P0_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR01ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR06ビット(P3_0 ~ P3_3の駆動能力)

DRR06ビットは、P3_0 ~ P3_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR06ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR07ビット(P3_4 ~ P3_7の駆動能力)

DRR07ビットは、P3_4 ~ P3_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR07ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

7.4.24 駆動能力制御レジスタ1 (DDR1)

アドレス 01F3h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DDR17	DDR16	DDR15	DDR14	DDR13	DDR12	DDR11	DDR10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DDR10	P4_3の駆動能力	0 : Low 1 : High(注1)	R/W
b1	DDR11	P4_4 ~ P4_7の駆動能力		R/W
b2	DDR12	P5_0 ~ P5_3の駆動能力		R/W
b3	DDR13	P5_4 ~ P5_7の駆動能力		R/W
b4	DDR14	P6_0 ~ P6_3の駆動能力		R/W
b5	DDR15	P6_4 ~ P6_7の駆動能力		R/W
b6	DDR16	P7_0 ~ P7_3の駆動能力		R/W
b7	DDR17	P7_4 ~ P7_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DDR1 レジスタの設定値が有効になります。

DDR10ビット(P4_3の駆動能力)

DDR10ビットは、P4_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DDR10ビットによって、1端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DDR11ビット(P4_4 ~ P4_7の駆動能力)

DDR11ビットは、P4_4 ~ P4_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DDR11ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DDR12ビット(P5_0 ~ P5_3の駆動能力)

DDR12ビットは、P5_0 ~ P5_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DDR12ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DDR13ビット(P5_4 ~ P5_7の駆動能力)

DDR13ビットは、P5_4 ~ P5_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DDR13ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DDR14ビット(P6_0 ~ P6_3の駆動能力)

DDR14ビットは、P6_0 ~ P6_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DDR14ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR15ビット(P6_4 ~ P6_7の駆動能力)

DRR15ビットの、P6_4 ~ P6_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR15ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR16ビット(P7_0 ~ P7_3の駆動能力)

DRR16ビットは、P7_0 ~ P7_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR16ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR17ビット(P7_4 ~ P7_7の駆動能力)

DRR17ビットの、P7_4 ~ P7_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR17ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

7.4.25 駆動能力制御レジスタ2 (DDR2)

アドレス 01F4h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	DDR23	DDR22	DDR21	DDR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DDR20	P8_0 ~ P8_3の駆動能力	0 : Low 1 : High(注1)	R/W
b1	DDR21	P8_4 ~ P8_7の駆動能力		R/W
b2	DDR22	P9_0 ~ P9_3の駆動能力		R/W
b3	DDR23	P9_4、P9_5の駆動能力		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DDR2レジスタの設定値が有効になります。

DDR20ビット(P8_0 ~ P8_3の駆動能力)

DDR20ビットは、P8_0 ~ P8_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DDR20ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DDR21ビット(P8_4 ~ P8_7の駆動能力)

DDR21ビットは、P8_4 ~ P8_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DDR21ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DDR22ビット(P9_0 ~ P9_3の駆動能力)

DDR22ビットは、P9_0 ~ P9_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DDR22ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DDR23ビット(P9_4、P9_5の駆動能力)

DDR23ビットは、P9_4、P9_5の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DDR23ビットによって、2端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

7.4.26 入力しきい値制御レジスタ0 (VLT0)

アドレス 01F5h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT07	VLT06	VLT05	VLT04	VLT03	VLT02	VLT01	VLT00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT00	P0の入力レベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b1	VLT01			R/W
b2	VLT02	P1の入力レベル選択ビット	b3 b2 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b3	VLT03			R/W
b4	VLT04	P2の入力レベル選択ビット	b5 b4 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b5	VLT05			R/W
b6	VLT06	P3の入力レベル選択ビット	b7 b6 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b7	VLT07			R/W

VLT0 レジスタはポート P0 ~ P3 の入力しきい値の電圧レベルを選択するレジスタです。VLT00 ~ VLT07ビットによって、8端子ごとに入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.4.27 入力しきい値制御レジスタ1 (VLT1)

アドレス 01F6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT17	VLT16	VLT15	VLT14	VLT13	VLT12	VLT11	VLT10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT10	P4_2 ~ P4_7 入力レベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b1	VLT11			R/W
b2	VLT12	P5 入力レベル選択ビット	b3 b2 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b3	VLT13			R/W
b4	VLT14	P6 入力レベル選択ビット	b5 b4 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b5	VLT15			R/W
b6	VLT16	P7 入力レベル選択ビット	b7 b6 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b7	VLT17			R/W

VLT1 レジスタはポート P4_2 ~ P4_7、P5、P6、P7 の入力しきい値の電圧レベルを選択するレジスタです。VLT10 ~ VLT17 ビットによって、入力しきい値を 3 種類の電圧レベル (0.35VCC、0.50VCC、0.70VCC) から選択できます。

7.4.28 入力しきい値制御レジスタ2 (VLT2)

アドレス 01F7h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	VLT23	VLT22	VLT21	VLT20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT20	P8入力レベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b1	VLT21			R/W
b2	VLT22	P9_0 ~ P9_5入力レベル選択ビット	b3 b2 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b3	VLT23			R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

VLT2 レジスタはポート P8、P9_0 ~ P9_5 の入力しきい値の電圧レベルを選択するレジスタです。VLT20 ~ VLT23 ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.5 ポートの設定

表7.5～表7.95にポートの設定を示します。

表7.5 ポートP0_0/AN7/TRCIOA/TRCTRG

レジスタ	PD0	ADINSEL					TRCPSR0			タイマRC設定			機能
ビット	PD0_0	CH			ADGSEL		TRCIOASEL						
		2	1	0	1	0	2	1	0				
設定値	0	X	X	X	X	X	010b以外			X			入力ポート(注1)
	1	X	X	X	X	X	010b以外			X			出力ポート(注2)
	0	1	1	1	0	0	010b以外			X			A/Dコンバータ入力(AN7) (注1)
	0	X	X	X	X	X	0	1	0	「表 7.82 TRCIOA 端子設定」参照			TRCIOA 入力(注1)
	X	X	X	X	X	X	0	1	0	「表 7.82 TRCIOA 端子設定」参照			TRCIOA 出力(注2)

X: “0” または “1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

表7.6 ポートP0_1/AN6/TXD1/TRCIOA/TRCTRG

レジスタ	PD0	ADINSEL						U1SR		U1MR			TRCPSR0			タイマRC設定			機能
ビット	PD0_1	CH			ADGSEL			TXD1SEL		SMD			TRCIOASEL						
		2	1	0	1	0	1	0	2	1	0	2	1	0					
設定値	0	X	X	X	X	X	01b以外		X	X	X	011b以外			X			入力ポート(注1)	
	1	X	X	X	X	X	01b以外		X	X	X	011b以外			X			出力ポート(注2)	
	0	1	1	0	0	0	01b以外		X	X	X	011b以外			X			A/Dコンバータ入力(AN6)(注1)	
	X	X	X	X	X	X	0	1	0	0	1	X	X	X	X	X	TXD1出力(注2、3)		
									1		0								
											1								
	0	X	X	X	X	X	01b以外		X	X	X	0	1	1	「表7.82 TRCIOA端子設定」参照			TRCIOA入力(注1)	
	X	X	X	X	X	X	01b以外		X	X	X	0	1	1	「表7.82 TRCIOA端子設定」参照			TRCIOA出力(注2)	

X: “0” または “1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U1C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表7.7 ポートP0_2/AN5/RXD1/TRCIOA/TRCTRG

レジスタ	PD0	ADINSEL					U1SR		TRCPSR0			タイマRC設定			機能
ビット	PD0_2	CH			ADGSEL		RXD1SEL		TRCIOASEL						
		2	1	0	1	0	1	0	2	1	0				
設定値	0	X	X	X	X	X	X	X	100b以外			X			入力ポート(注1)
	1	X	X	X	X	X	X	X	100b以外			X			出力ポート(注2)
	0	1	0	1	0	0	01b以外		100b以外			X			A/Dコンバータ入力(AN5)(注1)
	0	X	X	X	X	X	0	1	100b以外			X			RXD1入力(注1)
	0	X	X	X	X	X	X	X	1	0	0	「表 7.82 TRCIOA 端子設定」参照			TRCIOA入力(注1)
	X	X	X	X	X	X	X	X	1	0	0	「表 7.82 TRCIOA 端子設定」参照			TRCIOA出力(注2)

X: “0” または “1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

表7.8 ポートP0_3/AN4/CLK1/TRCIOB

レジスタ	PD0	ADINSEL						U1SR		U1MR				TRCPSR0			タイマRC設定			機能
ビット	PD0_3	CH			ADGSEL			CLK1SEL		SMD			CKDIR	TRCIOBSEL						
		2	1	0	1	0	1	0	2	1	0	2		1	0					
設定値	0	X	X	X	X	X	01b以外		X	X	X	X	010b以外			X	入力ポート(注1)			
	1	X	X	X	X	X	01b以外		X	X	X	X	010b以外			X	出力ポート(注2)			
	0	1	0	0	0	0	01b以外		X	X	X	X	010b以外			X	A/Dコンバータ入力(AN4)(注1)			
	0	X	X	X	X	X	0	1	X	X	X	1	X	X	X	X	CLK1(外部クロック)入力(注1)			
	X	X	X	X	X	X	0	1	0	0	1	0	X	X	X	X	CLK1(内部クロック)出力(注2)			
	0	X	X	X	X	X	01b以外		X	X	X	X	0	1	0	「表 7.83 TRCIOB 端子設定」参照	TRCIOB入力(注1)			
	X	X	X	X	X	X	01b以外		X	X	X	X	0	1	0	「表 7.83 TRCIOB 端子設定」参照	TRCIOB出力(注2)			

X: "0" または "1"

注1. PUR0レジスタのPU00ビットを"1"にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR00ビットを"1"にすると、出力の駆動能力Highとなります。

表7.9 ポートP0_4/AN3/TREO/TRCIOB

レジスタ	PD0	ADINSEL						TIMSR		TRECR1		TRCPSR0			タイマRC設定			機能
ビット	PD0_4	CH			ADGSEL			TREOSEL0		TOENA		TRCIOBSEL						
		2	1	0	1	0	2					1	0					
設定値	0	X	X	X	X	X	X	01b以外		011b以外			X			入力ポート(注1)		
	1	X	X	X	X	X	X	01b以外		011b以外			X			出力ポート(注2)		
	0	0	1	1	0	0	0	01b以外		011b以外			X			A/Dコンバータ入力(AN3) (注1)		
	X	X	X	X	X	X	X	0	1	011b以外			X			TREO出力(注2)		
	0	X	X	X	X	X	X	X	X	0	1	1	「表7.83 TRCIOB 端子設定」参照			TRCIOB入力(注1)		
	X	X	X	X	X	X	X	X	X	0	1	1	「表7.83 TRCIOB 端子設定」参照			TRCIOB出力(注2)		

X: "0" または "1"

注1. PUR0レジスタのPU01ビットを"1"にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR01ビットを"1"にすると、出力の駆動能力Highとなります。

表7.10 ポートP0_5/AN2/TRCIOB

レジスタ	PD0	ADINSEL						TRCPSR0			タイマRC設定		機能
ビット	PD0_5	CH			ADGSEL			TRCIOBSEL					
		2	1	0	1	0	2	1	0				
設定値	0	X	X	X	X	X	100b以外			X		入力ポート(注1)	
	1	X	X	X	X	X	100b以外			X		出力ポート(注2)	
	0	0	1	0	0	0	100b以外			X		A/Dコンバータ入力(AN2) (注1)	
	0	X	X	X	X	X	1	0	0	「表 7.83 TRCIOB端子設定」参照		TRCIOB入力(注1)	
	X	X	X	X	X	X	1	0	0	「表 7.83 TRCIOB端子設定」参照		TRCIOB出力(注2)	

X: "0" または "1"

注1. PUR0レジスタのPU01ビットを"1"にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR01ビットを"1"にすると、出力の駆動能力Highとなります。

表7.11 ポートP0_6/AN1/DA0/TRCIOD

レジスタ	PD0	ADINSEL					DA0E	TRCPSR1			タイマRC設定	機能
ビット	PD0_6	CH			ADGSEL		DA0E	TRCIODSEL				
		2	1	0	1	0		2	1	0		
設定値	0	X	X	X	X	X	0	011b以外			X	入力ポート(注1)
	1	X	X	X	X	X	0	011b以外			X	出力ポート(注2)
	0	0	0	1	0	0	0	011b以外			X	A/Dコンバータ入力(AN1) (注1)
	0	X	X	X	X	X	1	011b以外			X	D/Aコンバータ出力(DA0) (注1)
	0	X	X	X	X	X	0	0	1	1	「表7.85 TRCIOD 端子 設定」参照	TRCIOD入力(注1)
	X	X	X	X	X	X	0	0	1	1	「表7.85 TRCIOD 端子 設定」参照	TRCIOD出力(注2)

X: “0” または “1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.12 ポートP0_7/AN0/DA1/TRCIOC

レジスタ	PD0	ADINSEL						DACON	TRCPSR1			タイマRC設定	機能
ビット	PD0_7	CH			ADGSEL			DA1E	TRCIOCSSEL				
		2	1	0	1	0	2		1	0			
設定値	0	X	X	X	X	X	0	011b以外			X	入力ポート(注1)	
	1	X	X	X	X	X	0	011b以外			X	出力ポート(注2)	
	0	0	0	0	0	0	0	011b以外			X	A/Dコンバータ入力(AN0) (注1)	
	0	X	X	X	X	X	1	011b以外			X	D/Aコンバータ出力(DA1) (注1)	
	0	X	X	X	X	X	0	0	1	1	「表7.84 TRCIOCS端子 設定」参照	TRCIOCS入力(注1)	
	X	X	X	X	X	X	0	0	1	1	「表7.84 TRCIOCS端子 設定」参照	TRCIOCS出力(注2)	

X: “0” または “1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.13 ポートP1_0/KI0/AN8/TRCIOD/LVCMPI

レジスタ	PD1	KIEN	ADINSEL						TRCPSR1			VCA2	タイマRC設定	機能
ビット	PD1_0	KI0EN	CH			ADGSEL		TRCIODSEL			VCA22			
			2	1	0	1	0	2	1	0				
設定値	0	X	X	X	X	X	X	001b以外			X	X	入力ポート(注1)	
	1	X	X	X	X	X	X	001b以外			X	X	出力ポート(注2)	
	0	1	X	X	X	X	X	001b以外			X	X	KI0入力(注1)	
	0	0	0	0	0	0	1	001b以外			X	X	A/Dコンバータ入力(AN8) (注1)	
	0	X	X	X	X	X	X	0	0	1	X	「表7.85 TRCIOD 端子設定」参照	TRCIOD入力(注1)	
	X	X	X	X	X	X	X	0	0	1	X	「表7.85 TRCIOD 端子設定」参照	TRCIOD出力(注2)	
	0	0	X	X	X	X	X	001b以外			1	X	コンパレータA1入力 (LVCMPI)	

X: “0” または “1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR0ビットを“1”にすると、出力の駆動能力Highとなります。

表7.14 ポートP1_1/KI1/AN9/TRCIOA/TRCTRG/LVCMP2

レジスタ	PD1	KIEN	ADINSEL						TRCPSR0			VCA2	タイマRC設定	機能
ビット	PD1_1	KI1EN	CH			ADGSEL			TRCIOASEL			VCA24		
			2	1	0	1	0	2	1	0				
設定値	0	X	X	X	X	X	X	001b以外			X	X	入力ポート(注1)	
	1	X	X	X	X	X	X	001b以外			X	X	出力ポート(注2)	
	0	1	X	X	X	X	X	001b以外			X	X	KI1入力(注1)	
	0	0	0	0	1	0	1	001b以外			X	X	A/Dコンバータ入力(AN9)(注1)	
	0	X	X	X	X	X	X	0	0	1	X	「表7.82 TRCIOA端子設定」参照	TRCIOA入力(注1)	
	X	X	X	X	X	X	X	0	0	1	X	「表7.82 TRCIOA端子設定」参照	TRCIOA出力(注2)	
	0	0	X	X	X	X	X	001b以外			1	X	コンパレータA2入力(LVCMP2)	

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR1ビットを“1”にすると、出力の駆動能力Highとなります。

表7.15 ポートP1_2/KI2/AN10/TRCIOB/LVREF

レジスタ	PD1	KIEN	ADINSEL						TRCPSR0			VCA2		タイマRC設定	機能
ビット	PD1_2	KI2EN	CH			ADGSEL			TRCIOBSEL			VCA21	VCA23		
			2	1	0	1	0	2	1	0	2				
設定値	0	X	X	X	X	X	X	001b以外			X	X	X	入力ポート(注1)	
	1	X	X	X	X	X	X	001b以外			X	X	X	出力ポート(注2)	
	0	1	X	X	X	X	X	001b以外			X	X	X	KI2入力(注1)	
	0	0	0	1	0	0	1	001b以外			X	X	X	A/Dコンバータ入力(AN10)(注1)	
	0	X	X	X	X	X	X	0	0	1	X	X	「表7.83 TRCIOB端子設定」参照	TRCIOB入力(注1)	
	X	X	X	X	X	X	X	0	0	1	X	X	「表7.83 TRCIOB端子設定」参照	TRCIOB出力(注2)	
	0	0	X	X	X	X	X	001b以外			1	X	X	コンパレータA1 リファレンス電圧入力(LVREF)	
	0	0	X	X	X	X	X	001b以外			X	1	X	コンパレータA2 リファレンス電圧入力(LVREF)	

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR2ビットを“1”にすると、出力の駆動能力Highとなります。

表7.16 ポートP1_3/KI3/AN11/TRBO/TRCIOC/LVCOUT1

レジスタ	PD1	KIEN	ADINSEL						TRBRCSR	TRCPSR1			ACMR	タイマRB設定	タイマRC設定	機能
ビット	PD1_3	KI3EN	CH			ADGSEL			TRBOSEL0	TRCIOSEL			CM10E			
			2	1	0	1	0			2	1	0				
設定値	0	X	X	X	X	X	X	1		001b以外			0	X		入力ポート(注1)
								X						TRBO 使用条件以外	X	
	1	X	X	X	X	X	X	1		001b以外			0	X		出力ポート(注2)
								X						TRBO 使用条件以外	X	
	0	1	X	X	X	X	X	1		001b以外			0	X		KI3入力(注1)
								X						TRBO 使用条件以外	X	
	0	0	0	1	1	0	1	1		001b以外			0	X		A/Dコンバータ 入力(AN11)(注1)
								X						TRBO 使用条件以外	X	
	X	X	X	X	X	X	X	0	X	X	X	0		「表7.81 TRBO 端子設定」参照	X	TRBO出力(注2)
	0	X	X	X	X	X	X	1		0 0 1			0	X		TRCIOC入力(注1)
								X						TRBO 使用条件以外	「表7.83 TRCIOB 端子設定」参照	
	X	X	X	X	X	X	X	1		0 0 1			0	X		TRCIOC出力(注2)
								X						TRBO 使用条件以外	「表7.83 TRCIOB 端子設定」参照	
	X	X	X	X	X	X	X	X	X	X	X	1		X	X	コンパレータA1 出力(LVCOUT1)

X: "0" または "1"

注1. PUR0レジスタのPU02ビットを"1"にすると、プルアップありとなります。

注2. P1DDRレジスタのP1DDR3ビットを"1"にすると、出力の駆動能力Highとなります。

表7.17 ポートP1_4/TXD0/TRCCLK

レジスタ	PD1	U0SR	U1MR			TRBRCSR		TRCCR1			機能
ビット	PD1_4	TXD0SEL0	SMD			TRCCLKSEL		TCK			
			2	1	0	1	0	2	1	0	
設定値	0	0	X	X	X	X	X	X	X	X	入力ポート(注1)
	1	0	X	X	X	X	X	X	X	X	出力ポート(注2)
	X	1	0	0	1	X	X	X	X	X	TXD0出力(注2、3)
			1		0						
					1						
					0						
	0	0	X	X	X	0	1	1	0	1	TRCCLK入力(注1)

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. P1DDRレジスタのP1DDR4ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U0C0レジスタのNODCビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.18 ポートP1_5/INT1/RXD0/TRAIO

レジスタ	PD1	U0SR	TRASR			TRAIOC	TRAMR			INTSR			INTEN	INTCMP	機能
ビット	PD1_5	RXD0SEL0	TRAIOSEL			TOPCR	TMOD			INT1SEL			INT1EN	INT1CP0	
			2	1	0		2	1	0	2	1	0			
設定値	0	X	010b以外			X	X	X	X	X	X	X	X	X	入力ポート(注1)
	1	X	010b以外			X	X	X	X	X	X	X	X	X	出力ポート(注2)
	0	1	010b以外			X	X	X	X	X	X	X	X	X	RXD0入力(注1)
	0	X	0	1	0	0	000b、001b以外			X	X	X	X	X	TRAIO入力(注1)
	0	X	010b以外			X	X	X	X	0	0	1	1	0	INT1入力(注1)
	0	X	0	1	0	0	000b、001b以外			0	0	1	1	0	TRAIO/INT1入力(注1)
	X	X	0	1	0	0	0	0	1	X	X	X	X	X	TRAIOパルス出力(注2)

X: “0” または “1”

注1. PUR0レジスタのPU03ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR5ビットを“1”にすると、出力の駆動能力Highとなります。

表7.19 ポートP1_6/CLK0/IVREF1/LVCOUT2

レジスタ	PD1	U0SR	U0MR				INTCMP	ACMR	機能
ビット	PD1_6	CLK0SEL0	SMD			CKDIR	INT1CP0	CM10E	
			2	1	0				
設定値	0	0	X	X	X	X	X	0	入力ポート(注1)
	1	0	X	X	X	X	X	0	出力ポート(注2)
	0	1	X	X	X	1	X	0	CLK0(外部クロック)入力(注1)
	X	1	0	0	1	0	X	0	CLK0(内部クロック)出力(注2)
	0	0	X	X	X	X	1	0	コンパレータB1 リファレンス電圧入力(IVREF1)
	X	X	X	X	X	X	X	1	コンパレータA2出力(注2)

X: “0” または “1”

注1. PUR0レジスタのPU03ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR6ビットを“1”にすると、出力の駆動能力Highとなります。

表7.20 ポートP1_7/INT1/TRAIO/IVCMP1

レジスタ	PD1	TRASR			TRAIOC	TRAMR			INTSR			INTEN	INTCMP	機能
ビット	PD1_7	TRAIOSEL			TOPCR	TMOD			INT1SEL			INT1EN	INT1CP0	
		2	1	0		2	1	0	2	1	0			
設定値	0	001b以外			X	X	X	X	X	X	X	X	X	入力ポート(注1)
	1	001b以外			X	X	X	X	X	X	X	X	X	出力ポート(注2)
	0	0	0	1	0	000b、001b以外			X	X	X	X	X	TRAIO入力(注1)
	0	001b以外			X	X	X	X	0	0	0	1	0	INT1入力(注1)
	0	0	0	1	0	000b、001b以外			0	0	0	1	0	TRAIO/INT1入力(注1)
	X	0	0	1	0	0	0	1	X	X	X	X	X	TRAIOパルス出力(注2)
	0	001b以外			X	X	X	X	X	X	X	1	1	コンパレータB1入力(IVCMP1)

X: “0” または “1”

注1. PUR0レジスタのPU03ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR7ビットを“1”にすると、出力の駆動能力Highとなります。

表7.21 ポート P2_0/INT1/TRDIOA0/TRDCLK/TRCIOB

レジスタ	PD2	TRDPSR0	INTSR			INTEN	INTCMP	TRCPSR0			タイマRC 設定	タイマRD 設定	機能
ビット	PD2_0	TRDIOA0SEL0	INT1SEL			INT1EN	INT1CP0	TRCIOBSEL					
			2	1	0			2	1	0			
設定値	0	0	X	X	X	X	X	101b以外			X	X	入力ポート(注1)
	1	0	X	X	X	X	X	101b以外			X	X	出力ポート(注2)
	0	1	X	X	X	X	X	101b以外			X	「表7.86 TRDIOA0 端子設定」 参照	TRDIOA0入力 (注1)
	X	1	X	X	X	X	X	101b以外			X	「表7.86 TRDIOA0 端子設定」 参照	TRDIOA0出力 (注2)
	0	0	0	1	0	1	0	101b以外			X	X	INT1入力(注1)
	0	X	X	X	X	X	X	1	0	1	「表7.83 TRCIOB端子 設定」参照	X	TRCIOB入力 (注1)
	X	X	X	X	X	X	X	1	0	1	「表7.83 TRCIOB端子 設定」参照	X	TRCIOB出力 (注2)

X: “0” または “1”

注1. PUR0レジスタのPU04ビットを“1”にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR0ビットを“1”にすると、出力の駆動能力Highとなります。

表7.22 ポート P2_1/TRDIOC0/TRCIOC

レジスタ	PD2	TRDPSR0		TRCPSR1			タイマRC設定	タイマRD設定	機能
ビット	PD2_1	TRDIOC0SEL		TRCIOCSEL					
		1	0	2	1	0			
設定値	0	10b以外		100b以外			X	X	入力ポート(注1)
	1	10b以外		100b以外			X	X	出力ポート(注2)
	0	1	0	100b以外			X	「表7.88 TRDIOC0 端子設定」参照	TRDIOC0入力(注1)
	X	1	0	100b以外			X	「表7.88 TRDIOC0 端子設定」参照	TRDIOC0出力(注2)
	0	X	X	1	0	0	「表7.84 TRCIOC 端子設定」参照	X	TRCIOC入力(注1)
	X	X	X	1	0	0	「表7.84 TRCIOC 端子設定」参照	X	TRCIOC出力(注2)

X: “0” または “1”

注1. PUR0レジスタのPU04ビットを“1”にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR1ビットを“1”にすると、出力の駆動能力Highとなります。

表7.23 ポートP2_2/TRDIOB0/TRCIOD

レジスタ	PD2	TRDPSR0		TRCPSR1			タイマRC設定	タイマRD設定	機能
ビット	PD2_2	TRDIOB0SEL		TRCIODSEL					
		1	0	2	1	0			
設定値	0	10b以外		100b以外			X	X	入力ポート(注1)
	1	10b以外		100b以外			X	X	出力ポート(注2)
	0	1	0	100b以外			X	「表7.87 TRDIOB0端子設定」参照	TRDIOB0入力(注1)
	X	1	0	100b以外			X	「表7.87 TRDIOB0端子設定」参照	TRDIOB0出力(注2)
	0	X	X	1	0	0	「表7.85 TRCIOD端子設定」参照	X	TRCIOD入力(注1)
	X	X	X	1	0	0	「表7.85 TRCIOD端子設定」参照	X	TRCIOD出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU04ビットを“1”にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR2ビットを“1”にすると、出力の駆動能力Highとなります。

表7.24 ポートP2_3/TRDIOD0

レジスタ	PD2	TRDPSR0	タイマRD設定	機能
ビット	PD2_3	TRDIOD0SEL0		
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	0	1	「表7.89 TRDIOD0端子設定」参照	TRDIOD0入力(注1)
	X	1	「表7.89 TRDIOD0端子設定」参照	TRDIOD0出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU04ビットを“1”にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR3ビットを“1”にすると、出力の駆動能力Highとなります。

表7.25 ポートP2_4/TRDIOA1

レジスタ	PD2	TRDPSR1	タイマRD設定	機能
ビット	PD2_4	TRDIOA1SEL0		
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	0	1	「表7.90 TRDIOA1端子設定」参照	TRDIOA1入力(注1)
	X	1	「表7.90 TRDIOA1端子設定」参照	TRDIOA1出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU05ビットを“1”にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR4ビットを“1”にすると、出力の駆動能力Highとなります。

表7.26 ポートP2_5/TRDIOB1

レジスタ	PD2	TRDPSR1	タイマRD設定	機能
ビット	PD2_5	TRDIOB1SEL0		
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	0	1	「表7.91 TRDIOB1端子設定」参照	TRDIOB1入力(注1)
	X	1	「表7.91 TRDIOB1端子設定」参照	TRDIOB1出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU05ビットを“1”にすると、ブルアップありとなります。

注2. P2DRRレジスタのP2DRR5ビットを“1”にすると、出力の駆動能力Highとなります。

表7.27 ポートP2_6/TRDIOC1

レジスタ	PD2	TRDPSR1	タイマRD設定	機能
ビット	PD2_6	TRDIOC1SEL0		
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	0	1	「表7.92 TRDIOC1端子設定」参照	TRDIOC1入力(注1)
	X	1	「表7.92 TRDIOC1端子設定」参照	TRDIOC1出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU05ビットを“1”にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR6ビットを“1”にすると、出力の駆動能力Highとなります。

表7.28 ポートP2_7/TRDIOD1

レジスタ	PD2	TRDPSR1	タイマRD設定	機能
ビット	PD2_7	TRDIOD1SEL0		
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	0	1	「表7.93 TRDIOD1端子設定」参照	TRDIOD1入力(注1)
	X	1	「表7.93 TRDIOD1端子設定」参照	TRDIOD1出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU05ビットを“1”にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR7ビットを“1”にすると、出力の駆動能力Highとなります。

表7.29 ポートP3_0/TRAO/TRGCLKA

レジスタ	PD3	TRASR		TRAIOC	TIMSR	TRGCR			機能
ビット	PD3_0	TRAOSEL		TOENA	TRGCLKASEL	TCK			
		1	0			2	1	0	
設定値	0	01b以外		X	X	X	X	X	入力ポート(注1)
	1	01b以外		X	X	X	X	X	出力ポート(注2)
	X	0	1	1	X	X	X	X	TRAO出力(注2)
	0	01b以外		X	1	1	0	1	TRGCLKA入力(注1)

X:“0”または“1”

注1. PUR0レジスタのPU06ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを“1”にすると、出力の駆動能力Highとなります。

表7.30 ポートP3_1/TRBO

レジスタ	PD3	TRBRCSR	タイマRB設定	機能
ビット	PD3_1	TRBOSELO		
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	X	1	「表7.81 TRBO端子設定」参照	TRBO出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU06ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを“1”にすると、出力の駆動能力Highとなります。

表7.31 ポートP3_2/INT2/TRAIO/INT1/TRGCLKB

レジスタ	PD3	TRASR			TRAIOC	TRAMR			INTSR			INTEN		TIMSR	TRGCR			機能	
ビット	PD3_2	TRAIOSEL			TOPCR	TMOD			INT1SEL			INT2SEL0	INT1EN	INT2EN	TRGCLKBSEL	TCK			
		2	1	0		2	1	0	2	1	0					2	1		0
設定値	0	011b以外			X	X	X	X	X	X	X	X	X	X	X	X	X	入力ポート(注1)	
	1	011b以外			X	X	X	X	X	X	X	X	X	X	X	X	X	出力ポート(注2)	
	0	011b以外			X	X	X	X	X	X	1	X	1	X	X	X	X	INT2入力(注1)	
	0	0	1	1	0	000b、001b以外			X	X	X	X	X	X	X	X	X	TRAIO入力(注1)	
	0	011b以外			X	X	X	X	1	0	0	X	1	X	X	X	X	INT1入力(注1)	
	0	0	1	1	0	000b、001b以外			1	0	0	X	1	X	X	X	X	TRAIO/INT1入力(注1)	
	X	0	1	1	0	0	0	1	X	X	X	X	X	X	X	X	X	TRAIOパルス出力(注2)	
	0	011b以外			X	X	X	X	X	X	X	X	X	1	1	1	1	TRGCLKB入力(注1)	

X: "0" または "1"

注1. PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを"1"にすると、出力の駆動能力Highとなります。

表7.32 ポートP3_3/INT3/TRCCLK/SCS/CTS2/RTS2/IVCMP3

レジスタ	PD3	SSMR2		INTSR		INTEN	TRBRCR		TRCCR1			U2SR1	U2MR			U2CO		INTCMP	機能	
ビット	PD3_3	CSS		INT3SEL		INT3EN	TRCCLKSEL		TCK			CTS2SEL0	SMD			CRS	CRD	INT3CP0		
		1	0	1	0		1	0	2	1	0		2	1	0					
設定値	0	0	0	X	X	X	X	X	X	X	X	0	X	X	X	X	X	X	入力ポート(注1)	
	1	0	0	X	X	X	X	X	X	X	X	0	X	X	X	X	X	X	出力ポート(注2)	
	0	0	0	0	0	1	X	X	X	X	X	0	X	X	X	X	X	0	INT3入力(注1)	
	0	0	0	X	X	X	1	0	1	0	1	0	X	X	X	X	X	X	TRCCLK入力(注1)	
	X	0	1	X	X	X	X	X	X	X	X	X	X			X	X	X	SCS入力(注1)	
	X	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	SCS出力(注2、3)
		1	1																	
	0	0	0	X	X	X	X	X	X	X	X	X	1	000b以外			0	0	X	CTS2入力(注1)
	X	0	0	X	X	X	X	X	X	X	X	X	1	000b以外			1	0	X	RTS2出力(注2)
0	0	0	X	X	1	10b以外		X	X	X	0	X	X	X	X	X	X	1	コンパレータB3入力(IVCMP3)	

X: "0" または "1"

注1. PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを"1"にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのCSOSビットを"1"(Nチャネルオープンドレイン出力)にすると、Nチャネルオープンドレイン出力になります。

表7.33 ポートP3_4/TRCIOC/SSI/RXD2/SCL2/TXD2/SDA2/IVREF3

レジスタ	PD3	SSUIICSR	シンクロナスシリアル コミュニケーションユニット (「表27.4 通信 モードと入出力端 子の関係」参照)		TRCPSR1			U2SR0			U2MR			U2SMR	INTCMP	タイマRC 設定	機能		
ビット	PD3_4	IICSEL	SSI 出力 制御	SSI 入力 制御	TRCIOC SEL			RXD2 SEL		TXD2 SEL			SMD			IICM		INT3CP0	
					2	1	0	1	0	2	1	0	2	1	0				
設定値	0	X	0	0	010b 以外			01b 以外		010b 以外			X	X	X	X	X	X	入力ポート (注1)
	1	X	0	0	010b 以外			01b 以外		010b 以外			X	X	X	X	X	X	出力ポート (注2)
	0	X	0	0	0	1	0	01b 以外		010b 以外			X	X	X	X	X	「表7.84 TRCIOC 端子設定」 参照	TRCIOC入力 (注1)
	X	X	0	0	0	1	0	01b 以外		010b 以外			X	X	X	X	X	「表7.84 TRCIOC 端子設定」 参照	TRCIOC出力 (注2)
	X	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	SSI入力(注1)
	X	0	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	SSI出力 (注2、3)
	0	X	0	0	010b 以外			0	1	010b 以外			X	X	X	X	X	X	RXD2入力 (注1)
	0	X	0	0	X	X	X	0	1	010b 以外			0	1	0	1	X	X	SCL2入出力 (注2、4)
	X	X	0	0	X	X	X	X	X	0	1	0	0	X	X	X	X	X	TXD2出力 (注2、4)
													0						
													1						
													0						
0	X	0	0	X	X	X	X	X	0	1	0	0	1	0	1	X	X	SDA2入出力 (注2、4)	
0	X	0	0	010b 以外			01b 以外		010b 以外			X	X	X	X	1	X	コンパレータ B3 リファレンス 電圧入力 (IVREF3)	

X: “0” または “1”

注1. PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR07ビットを“1”にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのSOOSビットを“1”(Nチャネルオープンドレイン出力)かつBIDEビットを“0”(標準モード)にすると、Nチャネルオープンドレイン出力になります。

注4. U2C0レジスタのNCHビットを“1”にすると、Nチャネルオープンドレイン出力になります。

表7.34 ポートP3_5/TRCIOD/SCL/SSCK/CLK2

レジスタ	PD3	SSUIICSR	ICCR1	シンクロナスシリアル コミュニケーション ユニット (「表27.4 通信 モードと入出力端子 の関係」参照)		TRCPSR1			U2SR1		U2MR			タイマRC 設定	機能	
ビット	PD3_5	IICSEL	ICE	SSCK 出力制御	SSCK 入力制御	TRCIODSEL			CLK2SEL		SMD			CKDIR		
						2	1	0	1	0	2	1	0			
設定値	0	0	X	0	0	010b以外			01b以外		X	X	X	X	X	入力ポート(注1)
		1	0	X	X						X	X	X	X		
	1	0	X	0	0	010b以外			01b以外		X	X	X	X	X	出力ポート(注2)
		1	0	X	X						X	X	X	X	X	
	X	1	1	X	X	X	X	X	X	X	X	X	X	X	X	SCL入出力(注2)
	X	0	X	0	1	X	X	X	X	X	X	X	X	X	X	SSCK入力(注1)
	X	0	X	1	0	X	X	X	X	X	X	X	X	X	X	SSCK出力(注2、3)
	0	0	X	0	0	0	1	0	01b以外		X	X	X	X	「表7.85 TRCIOD端子 設定」参照	TRCIOD入力(注1)
		1	0	X	X						X	X	X	X		
	X	0	X	0	0	0	1	0	01b以外		X	X	X	X	「表7.85 TRCIOD端子 設定」参照	TRCIOD出力(注2)
		1	0	X	X						X	X	X	X		
	0	0	X	0	0	X	X	X	0	1	X	X	X	1	X	CLK2入力(注2)
		1	0	X	X											
	X	0	X	0	0	X	X	X	0	1	0	0	1	0	X	CLK2出力(注2、4)
		1	0	X	X											

X: "0" または "1"

注1. PUR0レジスタのPU07ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR07ビットを"1"にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのSCKOSビットを"1"(Nチャネルオープンドレイン出力)にすると、Nチャネルオープンドレイン出力になります。

注4. U2SMR3レジスタのNODCビットを"1"にすると、Nチャネルオープンドレイン出力になります。

表7.35 ポートP3_6/INT1

レジスタ	PD3	INTSR			INTEN	INTCMP	機能
ビット	PD3_6	INT1SEL			INT1EN	INT1CP0	
		2	1	0			
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート(注2)
	0	0	1	1	1	0	INT1入力(注1)

X: "0" または "1"

注1. PUR0レジスタのPU07ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR07ビットを"1"にすると、出力の駆動能力Highとなります。

表7.36 ポートP3_7/TRAO/SSO/RXD2/SCL2/TXD2/SDA2/SDA

レジスタ	PD3	SSUIICSR	ICCR1	シンクロサ シリアルコ ミュニケー ションユニ ット(「表27.4 通信モードと 入出力端子の 関係」参照)		U2SR0			U2MR			U2SMR	TRASR			TRAIOC	機能													
ビット	PD3_7	IICSEL	ICE	SSO 出力 制御	SSO 入力 制御	RXD2SEL		TXD2SEL			SMD			IICM	TRAOSEL			TOENA												
						1	0	2	1	0	2	1	0		1	0														
設定値	0	1	0	X	X	10b以外		001b以外			X	X	X	X	001b以外			入力ポート(注1)												
		0	X	0	0						X	X	X	X																
	1	1	0	X	X	10b以外		001b以外			X	X	X	X	001b以外			出力ポート(注2)												
		0	X	0	0						X	X	X	X																
	X	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	SDA入出力(注2)													
	X	0	X	0	1	X	X	X	X	X	X	X	X	X	X	X	SSO入力(注1)													
	X	0	X	1	0	X	X	X	X	X	X	X	X	X	X	X	SSO出力 (注2、3)													
	0	1	0	X	X	1	0	001b以外			X	X	X	X	001b以外			RXD2入力(注1)												
		0	X	0	0														X	X	X	X								
	0	1	0	X	X	1	0	001b以外			0	1	0	1	X	X	X	SCL2入出力 (注2、4)												
		0	X	0	0														0	1	0	1	X	X	X					
	X	1	0	X	X	X	X	0	0	1	0	1	0	X	X	X	X	TXD2出力 (注2、4)												
		0	X	0	0																									
	0	1	0	X	X	X	X	0	0	1	0	1	0	1	X	X	X	SDA2入出力 (注2、4)												
0		X	0	0	0														1	0	1	X	X	X						
X	1	0	X	X	01b以外	001b以外	X	X	X	X	X	X	X	0	0	1	TRAO出力(注2)													
	0	X	0	0																										

X: "0" または "1"

注1. PUR0レジスタのPU07ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR07ビットを"1"にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのSOOSビットを"1"(Nチャネルオープンドレイン出力)にすると、Nチャネルオープンドレイン出力になります。

注4. U2C0レジスタのNCHビットを"1"にすると、Nチャネルオープンドレイン出力になります。

表7.37 ポートP4_2/VREF

レジスタ	ADCON1	DACON		機能
ビット	ADSTBY	DA0E	DA1E	
設定値	0	0	0	入力ポート
	000b以外			入力ポート/VREF入力

表7.38 ポートP4_3/XCIN

レジスタ	PD4	PINSR	CM0		CM1		回路仕様		機能
ビット	PD4_3	XCSEL	CM03	CM04	CM10	CM12	発振 バッファ	帰還抵抗	
設定値	0	0	X	X	X	X	OFF	OFF	入力ポート(注1)
		1		0					
	1	0	X	X	X	X	OFF	OFF	出力ポート(注2)
		1		0					
	0	1	0	1	0	0	ON	ON	XCIN-XCOUT 発振(内蔵帰還抵抗有効) (注3)
						1	ON	OFF	XCIN-XCOUT 発振(内蔵帰還抵抗無効) (注3)
			1			0	OFF	ON	XCIN-XCOUT 発振停止(内蔵帰還抵抗有効)
						1	OFF	OFF	XCIN-XCOUT 発振停止(内蔵帰還抵抗無効)
	X	X	X	X	1	X	OFF	OFF	XCIN-XCOUT 発振停止(STOP モード)

X: "0" または "1"

注1. PUR1レジスタのPU10ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR10ビットを"1"にすると、出力の駆動能力Highとなります。

注3. XCINクロックを使用する場合、PUR1レジスタのPU10ビットを"0"(プルアップなし)にしてください。

表7.39 ポートP4_4/XCOUT

レジスタ	PD4	PINSR	CM0		CM1		回路仕様		機能
ビット	PD4_4	XCSEL	CM03	CM04	CM10	CM12	発振 バッファ	帰還抵抗	
設定値	0	0	X	X	X	X	OFF	OFF	入力ポート(注1)
		1		0					
	1	0	X	X	X	X	OFF	OFF	出力ポート(注2)
		1		0					
	0	1	0	1	0	0	ON	ON	XCIN-XCOUT 発振(内蔵帰還抵抗有効) (注3、4)
						1	ON	OFF	XCIN-XCOUT 発振(内蔵帰還抵抗無効) (注3、4)
			1			0	OFF	ON	XCIN-XCOUT 発振停止(内蔵帰還抵抗有効)
						1	OFF	OFF	XCIN-XCOUT 発振停止(内蔵帰還抵抗無効)
	X	X	X	X	1	X	OFF	OFF	XCIN-XCOUT 発振停止(STOPモード)

X: "0" または "1"

注1. PUR1レジスタのPU11ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを"1"にすると、出力の駆動能力Highとなります。

注3. XCIN-XCOUT 発振バッファは、内部降圧電源で動作していますので、XCOUT出力レベルを直接CMOSレベルの信号として使用できません。

注4. XCINクロックを使用する場合、PUR1レジスタのPU11ビットを"0"(プルアップなし)にしてください。

表7.40 ポートP4_5/INT0/RXD2/SCL2/ADTRG

レジスタ	PD4	INTEN	U2SR0		U2MR			U2SMR	ADMOD		機能
ビット	PD4_5	INT0EN	RXD2SEL		SMD			IICM	ADCAP		
			1	0	2	1	0		1	0	
設定値	0	X	11b以外		X	X	X	X	X	X	入力ポート(注1)
	1	X	11b以外		X	X	X	X	X	X	出力ポート(注2)
	0	1	11b以外		X	X	X	X	X	X	INT0入力(注1)
	0	X	1	1	X	X	X	X	X	X	RXD2入力(注1)
	0	X	1	1	0	1	0	1	X	X	SCL2入出力(注2、3)
	0	1	11b以外		X	X	X	X	1	1	ADTRG入力(注1)

X: "0" または "1"

注1. PUR1レジスタのPU11ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U2C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.41 ポートP4_6/XIN

レジスタ	PD4	PINSR	CM0			CM1				回路仕様		機能		
ビット	PD4_6	XCSEL	CM03	CM04	CM05	CM10	CM11	CM12	CM13	発振 バッファ	帰還 抵抗			
設定値	0	0	X	0	X	0	X	X	0	OFF	OFF	入力ポート(注1)		
		1		X										
	1	0	X	0	X	0	X	X	0	OFF	OFF	出力ポート(注2)		
		1		X										
	X	X	X	X	0	0	0	X	1	ON	ON	XIN-XOUT 発振 (内蔵帰還抵抗有効)		
					1		1			ON	OFF	XIN-XOUT 発振 (内蔵帰還抵抗無効)		
							0			OFF	ON	XIN-XOUT 発振停止 (内蔵帰還抵抗有効)		
							1			OFF	OFF	XIN-XOUT 発振停止 (内蔵帰還抵抗無効)		
							X			1	X	X	OFF	OFF

X:“0”または“1”

注1. PUR1レジスタのPU11ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR11ビットを“1”にすると、出力の駆動能力Highとなります。

表7.42 ポートP4_7/XOUT

レジスタ	PD4	PINSR	CM0			CM1				回路仕様		機能		
ビット	PD4_7	XCSEL	CM03	CM04	CM05	CM10	CM11	CM12	CM13	発振 バッファ	帰還 抵抗			
設定値	0	0	X	0	X	0	X	X	0	OFF	OFF	入力ポート(注1)		
		1		X										
	1	0	X	0	X	0	X	X	0	OFF	OFF	出力ポート(注2)		
		1		X										
	X	X	X	X	0	0	0	X	1	ON	ON	XIN-XOUT 発振 (内蔵帰還抵抗有効)		
					1		1			ON	OFF	XIN-XOUT 発振 (内蔵帰還抵抗無効)		
							0			OFF	ON	XIN-XOUT 発振停止 (内蔵帰還抵抗有効)		
							1			OFF	OFF	XIN-XOUT 発振停止 (内蔵帰還抵抗無効)		
							X			1	X	X	OFF	OFF

X:“0”または“1”

注1. PUR1レジスタのPU11ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR11ビットを“1”にすると、出力の駆動能力Highとなります。

注3. XCIN-XCOUT発振バッファは、内部降圧電源で動作していますので、XCOUT出力レベルを直接CMOSレベルの信号として使用できません。

表7.43 ポートP5_0/TRCCLK

レジスタ	PD5	TRBRCR			TRCCR1			機能
ビット	PD5_0	TRCCLKSEL			TCK			
		2	1	0	2	1	0	
設定値	0	X	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	X	出力ポート(注2)
	0	1	0	0	1	0	1	TRCCLK入力(注1)

X:“0”または“1”

注1. PUR1レジスタのPU12ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR12ビットを“1”にすると、出力の駆動能力Highとなります。

表7.44 ポートP5_1/TRCIOA/TRCTRG

レジスタ	PD5	TRCPSR0			タイマRC設定	機能
ビット	PD5_1	TRCIOASEL				
		2	1	0		
設定値	0	101b以外			X	入力ポート(注1)
	1	101b以外			X	出力ポート(注2)
	0	1	0	1	「表7.82 TRCIOA端子設定」 参照	TRCIOA入力(注1)
	X					TRCIOA出力(注2)

X:“0”または“1”

注1. PUR1レジスタのPU12ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR12ビットを“1”にすると、出力の駆動能力Highとなります。

表7.45 ポートP5_2/TRCIOB

レジスタ	PD5	TRCPSR0			タイマRC設定	機能
ビット	PD5_2	TRCIOBSEL				
		2	1	0		
設定値	0	111b以外			X	入力ポート(注1)
	1	111b以外			X	出力ポート(注2)
	0	1	1	1	「表7.83 TRCIOB端子設定」 参照	TRCIOB入力(注1)
	X					TRCIOB出力(注2)

X:“0”または“1”

注1. PUR1レジスタのPU12ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR12ビットを“1”にすると、出力の駆動能力Highとなります。

表7.46 ポートP5_3/TRCIOC

レジスタ	PD5	TRCPSR0			タイマRC設定	機能
ビット	PD5_3	TRCIOCSEL				
		2	1	0		
設定値	0	110b以外			X	入力ポート(注1)
	1	110b以外			X	出力ポート(注2)
	0	1	1	0	「表7.84 TRCIOC端子設定」 参照	TRCIOC入力(注1)
	X					TRCIOC出力(注2)

X:“0”または“1”

注1. PUR1レジスタのPU12ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR12ビットを“1”にすると、出力の駆動能力Highとなります。

表7.47 ポートP5_4/TRCIOD

レジスタ	PD5	TRCPSR0			タイマRC設定	機能
ビット	PD5_4	TRCIODSEL				
		2	1	0		
設定値	0	110b以外			X	入力ポート(注1)
	1	110b以外			X	出力ポート(注2)
	0	1	1	0	「表7.85 TRCIOD端子設定」 参照	TRCIOD入力(注1)
	X					TRCIOD出力(注2)

X:“0”または“1”

注1. PUR1レジスタのPU13ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR13ビットを“1”にすると、出力の駆動能力Highとなります。

表7.48 ポートP5_5/TRAIO

レジスタ	PD5	TRASR			TRAIOC	TRAMR			機能
ビット	PD5_5	TRAIOSEL			TOPCR	TMOD			
		2	1	0		2	1	0	
設定値	0	100b以外			X	X	X	X	入力ポート(注1)
	1	100b以外			X	X	X	X	出力ポート(注2)
	0	100b			0	000b、001b以外			TAAIO入力(注1)
	X	100b			0	0	0	1	TAAIOパルス出力(注2)

X:“0”または“1”

注1. PUR1レジスタのPU13ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR13ビットを“1”にすると、出力の駆動能力Highとなります。

表7.49 ポートP5_6/TRAO/TRGIOA

レジスタ	PD5	TRASR		TRAIOC	TIMSR	タイマRG設定	機能
ビット	PD5_6	TRAIOSEL		TOENA	TRGIOASEL		
		1	0				
設定値	0	10b以外		X	X	X	入力ポート(注1)
	1	10b以外		X	X	X	出力ポート(注2)
	X	1	0	1	X	X	TRAO出力(注1)
	0	10b以外		X	1	「表 7.94 TRGIOA 端子設定」 参照	TRGIOA入力(注1)
	X	10b以外		X			TRGIOA出力(注2)

X:“0”または“1”

注1. PUR1レジスタのPU13ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR13ビットを“1”にすると、出力の駆動能力Highとなります。

表7.50 ポートP5_7/TRGIOB

レジスタ	PD5	TIMSR	タイマRG設定	機能
ビット	PD5_7	TRGIOBSEL		
設定値	0	X	X	入力ポート(注1)
	1	X	X	出力ポート(注2)
	0	1	「表7.95 TRGIOB端子設定」 参照	TRGIOB入力(注1)
	X			TRGIOB出力(注2)

X:“0”または“1”

注1. PUR1レジスタのPU13ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR13ビットを“1”にすると、出力の駆動能力Highとなります。

表7.51 ポートP6_0/TREO

レジスタ	PD6	TIMSR	TRECR1	機能
ビット	PD6_0	TREOSEL0	TOENA	
設定値	0	11b以外		入力ポート(注1)
	1	11b以外		出力ポート(注2)
	X	1	1	TREO出力(注2)

X:“0”または“1”

注1. PUR1レジスタのPU14ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR14ビットを“1”にすると、出力の駆動能力Highとなります。

表7.52 ポートP6_1

レジスタ	PD6	機能
ビット	PD6_1	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

注1. PUR1レジスタのPU14ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR14ビットを“1”にすると、出力の駆動能力Highとなります。

表7.53 ポート P6_2/CLK1

レジスタ	PD6	U1SR		U1MR				機能
ビット	PD6_2	CLK1SEL1	CLK1SEL0	SMD2	SMD1	SMD0	CKDIR	
設定値	0	10b 以外		X	X	X	X	入力ポート(注1)
	1	10b 以外		X	X	X	X	出力ポート(注2)
	0	1	0	X	X	X	1	CLK1(外部クロック)入力(注1)
	X	1	0	0	0	1	0	CLK1(内部クロック)出力(注2)

X: “0” または “1”

注1. PUR1レジスタのPU14ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR14ビットを“1”にすると、出力の駆動能力Highとなります。

表7.54 ポート P6_3/TXD1

レジスタ	PD6	U1SR		U1MR			機能
ビット	PD6_3	TXD1SEL1	TXD1SEL0	SMD2	SMD1	SMD0	
設定値	0	10b以外		X	X	X	入力ポート(注1)
	1	10b以外		X	X	X	出力ポート(注2)
	X	1	0	0	0	1	TXD1出力(注2、3)
				1		0	
						1	
					0		

X: “0” または “1”

注1. PUR1レジスタのPU14ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR14ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U1C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表7.55 ポート P6_4/RXD1

レジスタ	PD6	U1SR		機能
ビット	PD6_4	RXD1SEL1	RXD1SEL0	
設定値	0	X	X	入力ポート(注1)
	1	X	X	出力ポート(注2)
	0	1	0	RXD1入力(注1)

X: “0” または “1”

注1. PUR1レジスタのPU15ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR15ビットを“1”にすると、出力の駆動能力Highとなります。

表7.56 ポート P6_5/INT4/CLK1/CLK2/TRCIOB

レジスタ	PD6	INTEN1	U2SR1		U2MR				U1SR		U1MR				TRCPSR0			タイマRC設定			機能
ビット	PD6_5	INT4EN	CLK2SEL		SMD			CKDIR	CLK1SEL		SMD			CKDIR	TRCIOBSEL						
			1	0	2	1	0		1	0	2	1	0		2	1	0				
設定値	0	X	11b以外		X	X	X	X	11b以外		X	X	X	X	110b以外			X			入力ポート (注1)
	1	X	11b以外		X	X	X	X	11b以外		X	X	X	X	110b以外			X			出力ポート (注2)
	0	1	11b以外		X	X	X	X	11b以外		X	X	X	X	110b以外			X			INT4入力 (注1)
	0	X	1	1	X	X	X	1	11b以外		X	X	X	X	X	X	X	X			CLK2(外部クロック) 入力 (注1)
	X	X	1	1	0	0	1	0	11b以外		X	X	X	X	X	X	X	X			CLK2(内部クロック) 出力 (注2、 3)
	0	X	X	X	X	X	X	X	1	1	X	X	X	1	X	X	X	X			CLK1(外部クロック) 入力 (注1)
	X	X	X	X	X	X	X	X	1	1	0	0	1	0	X	X	X	X			CLK1(内部クロック) 出力 (注2)
	0	X	11b以外		X	X	X	X	11b以外		X	X	X	X	1	1	0	「表 7.83 TRCIOB端子 設定」参照			TRCIOB入力 (注1)
	X	X	11b以外		X	X	X	X	11b以外		X	X	X	X	1	1	0	「表 7.83 TRCIOB端子 設定」参照			TRCIOB出力 (注2)

X: "0" または "1"

注1. PUR1レジスタのPU15ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR15ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U2SMR3レジスタのNODCビットを"1"にすると、Nチャネルオープンドレイン出力になります。

表7.57 ポート P6_6/INT2/TXD2/SDA2/TRCIOC

レジスタ	PD6	INTSR	INTEN	U2SR0			U2MR			U2SMR	TRCPSR1	タイマRC設定			機能
ビット	PD6_6	INT2SEL0	INT2EN	TXD2SEL			SMD			IICM	TRCIOCSEL				
				2	1	0	2	1	0		2	1	0		
設定値	0	X	X	101b以外			X	X	X	X	101b以外			X	入力ポート(注1)
	1	X	X	101b以外			X	X	X	X	101b以外			X	出力ポート(注2)
	0	0	1	101b以外			X	X	X	X	101b以外			X	INT2入力(注1)
	X	X	X	1	0	1	1	0	X	X	X	X	X	TXD2出力(注2、3)	
								1							
								0							
								1							
	0	X	X	1	0	1	0	1	0	1	X	X	X	X	SDA2入出力(注2、3)
0	X	X	101b以外			X	X	X	X	1	0	1	「表 7.84 TRCIOC 端子設定」参照	TRCIOC入力(注1)	
X	X	X	101b以外			X	X	X	X	1	0	1	「表 7.84 TRCIOC 端子設定」参照	TRCIOC出力(注2)	

X: "0" または "1"

注1. PUR1レジスタのPU15ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR15ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U2C0レジスタのNCHビットを"1"にすると、Nチャネルオープンドレイン出力になります。

表7.58 ポート P6_7/INT3/TRCIOD

レジスタ	PD6	INTSR		INTEN	INTCMP	TRCPSR1			タイマRC設定	機能
ビット	PD6_7	INT3SEL		INT3EN	INT3CP0	TRCIODSEL				
		1	0			2	1	0		
設定値	0	X	X	X	X	101b以外			X	入力ポート(注1)
	1	X	X	X	X	101b以外			X	出力ポート(注2)
	0	1	0	1	0	101b以外			X	INT3入力(注1)
	0	X	X	X	X	1	0	1	「表 7.85 TRCIOD 端子設定」参照	TRCIOD入力(注1)
	X	X	X	X	X	1	0	1	「表 7.85 TRCIOD 端子設定」参照	TRCIOD出力(注2)

X: "0" または "1"

注1. PUR1レジスタのPU15ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR15ビットを"1"にすると、出力の駆動能力Highとなります。

表7.59 ポートP7_0/AN12

レジスタ	PD7	ADINSEL			TRCCR1		機能
ビット	PD7_0	CH			ADGSEL		
		2	1	0	1	0	
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート(注2)
	0	0	0	0	1	0	A/Dコンバータ入力(AN12)(注1)

X:“0”または“1”

注1. PUR1レジスタのPU16ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR16ビットを“1”にすると、出力の駆動能力Highとなります。

表7.60 ポートP7_1/AN13

レジスタ	PD7	ADINSEL			TRCCR1		機能
ビット	PD7_1	CH			ADGSEL		
		2	1	0	1	0	
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート(注2)
	0	0	0	1	1	0	A/Dコンバータ入力(AN13)(注1)

X:“0”または“1”

注1. PUR1レジスタのPU16ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR16ビットを“1”にすると、出力の駆動能力Highとなります。

表7.61 ポートP7_2/AN14

レジスタ	PD7	ADINSEL			TRCCR1		機能
ビット	PD7_2	CH			ADGSEL		
		2	1	0	1	0	
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート(注2)
	0	0	1	0	1	0	A/Dコンバータ入力(AN14)(注1)

X:“0”または“1”

注1. PUR1レジスタのPU16ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR16ビットを“1”にすると、出力の駆動能力Highとなります。

表7.62 ポートP7_3/AN15

レジスタ	PD7	ADINSEL			TRCCR1		機能
ビット	PD7_3	CH			ADGSEL		
		2	1	0	1	0	
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート(注2)
	0	0	1	1	1	0	A/Dコンバータ入力(AN15)(注1)

X:“0”または“1”

注1. PUR1レジスタのPU16ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR16ビットを“1”にすると、出力の駆動能力Highとなります。

表7.63 ポートP7_4/AN16

レジスタ	PD7	ADINSEL			TRCCR1		機能
ビット	PD7_4	CH			ADGSEL		
		2	1	0	1	0	
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート(注2)
	0	1	0	0	1	0	A/Dコンバータ入力(AN16)(注1)

X:“0”または“1”

注1. PUR1レジスタのPU17ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR17ビットを“1”にすると、出力の駆動能力Highとなります。

表7.64 ポートP7_5/AN17

レジスタ	PD7	ADINSEL			TRCCR1		機能
ビット	PD7_5	CH			ADGSEL		
		2	1	0	1	0	
設定値	0	X	X	X	X	X	入力ポート (注1)
	1	X	X	X	X	X	出力ポート (注2)
	0	1	0	1	1	0	A/Dコンバータ入力(AN17)(注1)

X:“0”または“1”

注1. PUR1レジスタのPU17ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR17ビットを“1”にすると、出力の駆動能力Highとなります。

表7.65 ポートP7_6/AN18

レジスタ	PD7	ADINSEL			TRCCR1		機能
ビット	PD7_6	CH			ADGSEL		
		2	1	0	1	0	
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート(注2)
	0	1	1	0	1	0	A/Dコンバータ入力(AN18)(注1)

X:“0”または“1”

注1. PUR1レジスタのPU17ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR17ビットを“1”にすると、出力の駆動能力Highとなります。

表7.66 ポートP7_7/AN19

レジスタ	PD7	ADINSEL			TRCCR1		機能
ビット	PD7_7	CH			ADGSEL		
		2	1	0	1	0	
設定値	0	X	X	X	X	X	入力ポート(注1)
	1	X	X	X	X	X	出力ポート(注2)
	0	1	1	1	1	0	A/Dコンバータ入力(AN19)(注1)

X:“0”または“1”

注1. PUR1レジスタのPU17ビットを“1”にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR17ビットを“1”にすると、出力の駆動能力Highとなります。

表7.67 ポートP8_0/TRFO00

レジスタ	PD8	TRFOUT	P8	機能
ビット	PD8_0	TRFOUT0	P8_0	
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	X	1	1	TRFO00出力(注2)

X:“0”または“1”

注1. PUR2レジスタのPU20ビットを“1”にすると、ブルアップありとなります。

注2. DRR2レジスタのDRR20ビットを“1”にすると、出力の駆動能力Highとなります。

表7.68 ポートP8_1/TRFO01

レジスタ	PD8	TRFOUT	P8	機能
ビット	PD8_1	TRFOUT1	P8_1	
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	X	1	1	TRFO01出力(注2)

X:“0”または“1”

注1. PUR2レジスタのPU20ビットを“1”にすると、ブルアップありとなります。

注2. DRR2レジスタのDRR20ビットを“1”にすると、出力の駆動能力Highとなります。

表7.69 ポート P8_2/TRFO02

レジスタ	PD8	TRFOUT	P8	機能
ビット	PD8_2	TRFOUT2	P8_2	
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	X	1	1	TRFO02出力(注2)

X:“0”または“1”

注1. PUR2レジスタのPU20ビットを“1”にすると、プルアップありとなります。

注2. DRR2レジスタのDRR20ビットを“1”にすると、出力の駆動能力Highとなります。

表7.70 ポート P8_3/TRFO10/TRFI

レジスタ	PD8	TRFOUT	P8	TIMSR	機能
ビット	PD8_3	TRFOUT3	P8_3	TRFISEL0	
設定値	0	0	X	X	入力ポート(注1)
	1	0	X	X	出力ポート(注2)
	X	1	1	X	TRFO10出力(注2)
	0	0	X	1	TRFI入力(注1)

X:“0”または“1”

注1. PUR2レジスタのPU20ビットを“1”にすると、プルアップありとなります。

注2. DRR2レジスタのDRR20ビットを“1”にすると、出力の駆動能力Highとなります。

表7.71 ポート P8_4/TRFO11

レジスタ	PD8	TRFOUT	P8	機能
ビット	PD8_4	TRFOUT4	P8_4	
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	X	1	1	TRFO11出力(注2)

X:“0”または“1”

注1. PUR2レジスタのPU21ビットを“1”にすると、プルアップありとなります。

注2. DRR2レジスタのDRR21ビットを“1”にすると、出力の駆動能力Highとなります。

表7.72 ポート P8_5/TRFO12

レジスタ	PD8	TRFOUT	P8	機能
ビット	PD8_5	TRFOUT5	P8_5	
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	X	1	1	TRFO12出力(注2)

X:“0”または“1”

注1. PUR2レジスタのPU21ビットを“1”にすると、プルアップありとなります。

注2. DRR2レジスタのDRR21ビットを“1”にすると、出力の駆動能力Highとなります。

表7.73 ポート P8_6

レジスタ	PD8	機能
ビット	PD8_6	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

注1. PUR2レジスタのPU21ビットを“1”にすると、プルアップありとなります。

注2. DRR2レジスタのDRR21ビットを“1”にすると、出力の駆動能力Highとなります。

表7.74 ポートP8_7

レジスタ	PD8	機能
ビット	PD8_7	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

注1. PUR2レジスタのPU21ビットを“1”にすると、プルアップありとなります。

注2. DRR2レジスタのDRR21ビットを“1”にすると、出力の駆動能力Highとなります。

表7.75 ポートP9_0

レジスタ	PD9	機能
ビット	PD9_0	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

注1. PUR2レジスタのPU22ビットを“1”にすると、プルアップありとなります。

注2. DRR2レジスタのDRR22ビットを“1”にすると、出力の駆動能力Highとなります。

表7.76 ポートP9_1

レジスタ	PD9	機能
ビット	PD9_1	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

注1. PUR2レジスタのPU22ビットを“1”にすると、プルアップありとなります。

注2. DRR2レジスタのDRR22ビットを“1”にすると、出力の駆動能力Highとなります。

表7.77 ポートP9_2

レジスタ	PD9	機能
ビット	PD9_2	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

注1. PUR2レジスタのPU22ビットを“1”にすると、プルアップありとなります。

注2. DRR2レジスタのDRR22ビットを“1”にすると、出力の駆動能力Highとなります。

表7.78 ポートP9_3

レジスタ	PD9	機能
ビット	PD9_3	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

注1. PUR2レジスタのPU22ビットを“1”にすると、プルアップありとなります。

注2. DRR2レジスタのDRR22ビットを“1”にすると、出力の駆動能力Highとなります。

表7.79 ポートP9_4

レジスタ	PD9	機能
ビット	PD9_4	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

注1. PUR2レジスタのPU23ビットを“1”にすると、プルアップありとなります。

注2. DRR2レジスタのDRR23ビットを“1”にすると、出力の駆動能力Highとなります。

表7.80 ポートP9_5

レジスタ	PD9	機能
ビット	PD9_5	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

注1. PUR2レジスタのPU23ビットを“1”にすると、プルアップありとなります。

注2. DRR2レジスタのDRR23ビットを“1”にすると、出力の駆動能力Highとなります。

表7.81 TRBO端子設定

レジスタ	TRBIOC	TRBMR		機能
ビット	TOCNT(注1)	TMOD1	TMOD0	
設定値	0	0	1	プログラマブル波形発生モード
	0	1	0	プログラマブルワンショット発生モード
	0	1	1	プログラマブルウェイトワンショット発生モード
	1	0	1	プログラマブル出力モード

注1. TRBIOCレジスタのTOCNTビットは、プログラマブル波形発生モード以外では“0”にしてください。

表7.82 TRCIOA端子設定

レジスタ	TRCOER	TRCMR	TRCIOR0			TRCCR2		機能
ビット	EA	PWM2	IOA2	IOA1	IOA0	TCEG1	TCEG0	
設定値	0	1	0	0	1	X	X	タイマ波形出力 (アウトプットコンペア機能)
				1	X			
	0	1	1	X	X	X	X	タイマモード (インプットキャプチャ機能)
	1							
	1	0	X	X	X	0	1	PWM2モード TRCTRГ入力
						1	X	

X:“0”または“1”

表7.83 TRCIOB端子設定

レジスタ	TRCOER	TRCMR		TRCIOR0			機能
ビット	EB	PWM2	PWMB	IOB2	IOB1	IOB0	
設定値	0	0	X	X	X	X	PWM2モード波形出力
	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	1						

X:“0”または“1”

表7.84 TRCIOC端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	EC	PWM2	PWMC	IOC2	IOC1	IOC0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	1						

X:“0”または“1”

表7.85 TRCIOD端子設定

レジスタ ビット	TRCOER	TRCMR		TRCIOR1			機能
	ED	PWM2	PWMD	IOD2	IOD1	IOD0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	1						

X: "0" または "1"

表7.86 TRDIOA0端子設定

レジスタ ビット	TRDOER1	TRDFCR				TRDIOA0			機能
	EA0	CMD1	CMD0	STCLK	PWM3	IOA2	IOA1	IOA0	
設定値	X	0	0	0	1	1	X	X	タイマモード (インプットキャプチャ機能)
	X	X	X	1	1	0	0	0	外部クロック入力(TRDCLK)
	0	0	0	0	0	X	X	X	PWM3モード波形出力
	0	0	0	0	1	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
							1	X	

X: "0" または "1"

表7.87 TRDIOB0端子設定

レジスタ ビット	TRDOER1	TRDFCR			TRDPMR	TRDIOA0			機能
	EB0	CMD1	CMD0	PWM3	PWMB0	IOB2	IOB1	IOB0	
設定値	X	0	0	1	0	1	X	X	タイマモード (インプットキャプチャ機能)
	0	1	0	X	X	X	X	X	相補PWMモード波形出力
			1						
	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	0	X	X	X	X	PWM3モード波形出力
	0	0	0	1	1	X	X	X	PWMモード波形出力
	0	0	0	1	0	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
							1	X	

X: "0" または "1"

表7.88 TRDIOC0端子設定

レジスタ ビット	TRDOER1	TRDFCR			TRDPMR	TRDIOC0			機能
	EC0	CMD1	CMD0	PWM3	PWMC0	IOC2	IOC1	IOC0	
設定値	X	0	0	1	0	1	X	X	タイマモード (インプットキャプチャ機能)
	0	1	0	X	X	X	X	X	相補PWMモード波形出力
			1						
	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	1	1	X	X	X	PWMモード波形出力
	0	0	0	1	0	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
							1	X	

X: "0" または "1"

表7.89 TRDIOD0端子設定

レジスタ ビット	TRDOER1 ED0	TRDFCR			TRDPMR PWMD0	TRDIORC0			機能
		CMD1	CMD0	PWM3		IOD2	IOD1	IOD0	
設定値	X	0	0	1	0	1	X	X	タイマモード (インプットキャプチャ機能)
	0	1	0	X	X	X	X	X	相補PWMモード波形出力
			1						
	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	1	1	X	X	X	PWMモード波形出力
	0	0	0	1	0	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
							1	X	

X:“0”または“1”

表7.90 TRDIOA1端子設定

レジスタ ビット	TRDOER1 EA1	TRDFCR			TRDIOA1			機能
		CMD1	CMD0	PWM3	IOA2	IOA1	IOA0	
設定値	X	0	0	1	1	X	X	タイマモード(インプットキャプチャ機能)
	0	1	0	X	X	X	X	相補PWMモード波形出力
			1					
	0	0	1	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	1	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
						1	X	

X:“0”または“1”

表7.91 TRDIOB1端子設定

レジスタ ビット	TRDOER1 EB1	TRDFCR			TRDPMR PWMB1	TRDIOA1			機能
		CMD1	CMD0	PWM3		IOB2	IOB1	IOB0	
設定値	X	0	0	1	0	1	X	X	タイマモード (インプットキャプチャ機能)
	0	1	0	X	X	X	X	X	相補PWMモード波形出力
			1						
	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	1	1	X	X	X	PWMモード波形出力
	0	0	0	1	0	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
							1	X	

X:“0”または“1”

表7.92 TRDIOC1端子設定

レジスタ ビット	TRDOER1 EC1	TRDFCR			TRDPMR PWMC1	TRDIORC1			機能
		CMD1	CMD0	PWM3		IOC2	IOC1	IOC0	
設定値	X	0	0	1	0	1	X	X	タイマモード (インプットキャプチャ機能)
	0	1	0	X	X	X	X	X	相補PWMモード波形出力
			1						
	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	1	1	X	X	X	PWMモード波形出力
	0	0	0	1	0	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
							1	X	

X:“0”または“1”

表7.93 TRDIOD1端子設定

レジスタ ビット	TRDOER1 ED1	TRDFCR			TRDPMR PWMD1	TRDIORC1			機能
		CMD1	CMD0	PWM3		IOD2	IOD1	IOD0	
設定値	X	0	0	1	0	1	X	X	タイマモード (インプットキャプチャ機能)
	0	1	0	X	X	X	X	X	相補PWMモード波形出力
			1						
	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	1	1	X	X	X	PWMモード波形出力
	0	0	0	1	0	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
							1	X	

X:“0”または“1”

表7.94 TRGIOA端子設定

レジスタ ビット	TRGMR PWM	TRGIOR			機能
		IOA2	IOA1	IOA0	
設定値	1	X	X	X	PWMモード波形出力
	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
			1	0	
			1	1	
	0	1	X	X	タイマモード(インプットキャプチャ機能)

X:“0”または“1”

表7.95 TRGIOB端子設定

レジスタ ビット	TRGMR PWM	TRGIOR			機能
		IOB2	IOB1	IOB0	
設定値	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
			1	0	
			1	1	
	0	1	X	X	タイマモード(インプットキャプチャ機能)

X:“0”または“1”

7.6 未使用端子の処理

表7.96に未使用端子の処理例を示します。

表7.96 未使用端子の処理例

端子名	処理内容
ポートP0、P1、P2、P3、 P4_3 ~ P4_7、P5、P6、P7、 P8、P9_0 ~ P9_5	<ul style="list-style-type: none"> 入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2) 出力モードに設定し、端子を開放(注1、2)
ポートP4_2/VREF	VCCに接続
RESET(注3)	抵抗を介してVCCに接続(プルアップ)(注2)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

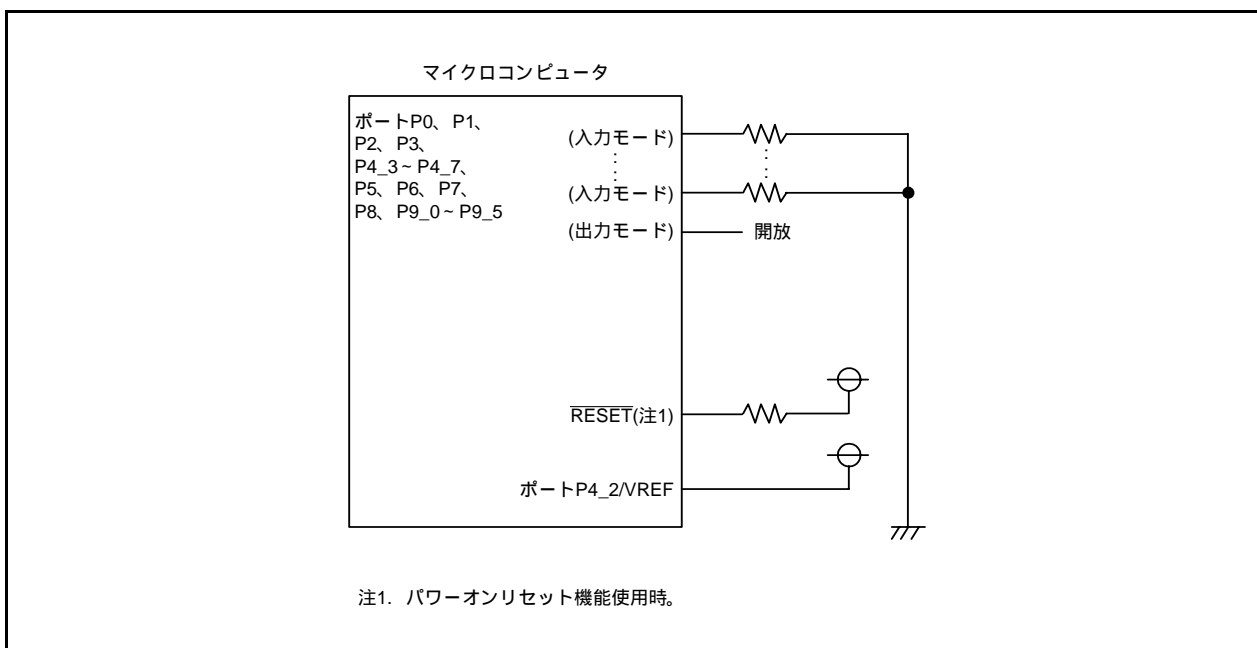


図7.23 未使用端子の処理例

8. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。

表8.1にR8C/38Aグループのアクセス領域に対するバスサイクルを示します。


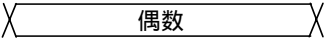
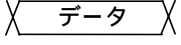
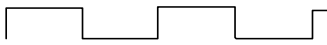
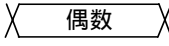


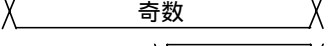
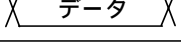
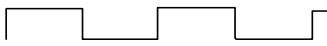
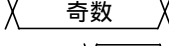


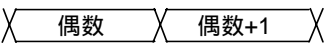

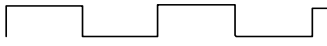
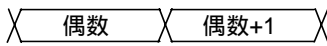


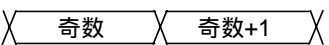

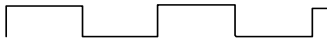
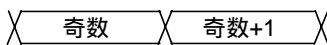

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。

表8.2にアクセス単位とバスの動作を示します。

表8.1 R8C/38Aグループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR、データフラッシュ	CPUクロックの2サイクル
プログラムROM、RAM	CPUクロックの1サイクル

表8.2 アクセス単位とバスの動作

領域	SFR、データフラッシュ	ROM(プログラムROM)、RAM
偶数番地 バイトアクセス	CPU クロック  アドレス  データ 	CPU クロック  アドレス  データ 
奇数番地 バイトアクセス	CPU クロック  アドレス  データ 	CPU クロック  アドレス  データ 
偶数番地 ワードアクセス	CPU クロック  アドレス  データ 	CPU クロック  アドレス  データ 
奇数番地 ワードアクセス	CPU クロック  アドレス  データ 	CPU クロック  アドレス  データ 

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

割り込み：各割り込み制御レジスタ

タイマRC：TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRD レジスタ

タイマRD：TRDi (i=0、1)、TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi レジスタ

タイマRG：TRG、TRGGRA、TRGGRB、TRGGRC、TRGGRD レジスタ

SSU：SSTDR、SSTDRH、SSRDR、SSRDRH レジスタ

UART2：U2MR、U2BRG、U2TB、U2C0、U2C1、U2RB、U2SMR5、U2SMR4、U2SMR3、U2SMR2、U2SMR
レジスタ

A/D コンバータ：AD0、AD1、AD2、AD3、AD4、AD5、AD6、AD7、ADMOD、ADINSEL、ADCON0、
ADCON1 レジスタ

D/A コンバータ：DA0、DA1 レジスタ

アドレス一致割り込み：RMAD0、AIER0、RMAD1、AIER1 レジスタ

このため、16ビット単位で1回アクセスします。バスの動作は「表8.2 アクセス単位とバスの動作」の
「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセス
します。

9. クロック発生回路

クロック発生回路として、5つの回路が内蔵されています。

- XIN クロック発振回路
- XCIN クロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ

9.1 概要

表 9.1 にクロック発生回路の概略仕様を、図 9.1 にクロック発生回路を、図 9.2 に周辺機能のクロックを、図 9.3 に VCA20 ビットによる内部電源低消費操作手順を示します。

表 9.1 クロック発生回路の概略仕様

項目	XIN クロック 発振回路	XCIN クロック 発振回路	オンチップオシレータ		ウォッチドッグ タイマ用低速オン チップオシレータ
			高速オンチップ オシレータ	低速オンチップ オシレータ	
用途	<ul style="list-style-type: none"> • CPU のクロック源 • 周辺機能のクロック源 	<ul style="list-style-type: none"> • CPU のクロック源 • 周辺機能のクロック源 	<ul style="list-style-type: none"> • CPU のクロック源 • 周辺機能のクロック源 • XIN クロック発振停止時の CPU、周辺機能のクロック源 	<ul style="list-style-type: none"> • CPU のクロック源 • 周辺機能のクロック源 • XIN クロック発振停止時の CPU、周辺機能のクロック源 	<ul style="list-style-type: none"> • ウォッチドッグタイマのクロック源
クロック周波数	0 ~ 20MHz	32.768kHz	約 40MHz(注 4)	約 125kHz	約 125kHz
接続できる発振子	<ul style="list-style-type: none"> • セラミック共振子 • 水晶発振子 	<ul style="list-style-type: none"> • 水晶発振子 			
発振子の接続端子	XIN、XOUT(注 1)	XCIN、XCOUT(注 2)	(注 1)	(注 1)	
発振の開始と停止	あり	あり	あり	あり	あり
リセット後の状態	停止	停止	停止	発振	停止(注 5) 発振(注 6)
その他	外部で生成されたクロックを入力可能(注 3)	<ul style="list-style-type: none"> • 外部で生成されたクロックを入力可能 • 帰還抵抗 Rf を内蔵(接続/非接続選択可能) 			

注 1. XIN クロック発振回路を使用せず、XCIN クロック発振回路または、オンチップオシレータクロックを CPU クロックに使用するには P4_6、P4_7 として使うことができます。

注 2. XCIN クロック発振回路を使用せず、XIN クロック発振回路または、オンチップオシレータクロックを CPU クロックに使用するには P4_3、P4_4 として使うことができます。

注 3. 外部クロック入力時には、CM0 レジスタの CM05 ビットを “1” (XIN クロック停止)、CM1 レジスタの CM11 ビットを “1” (内蔵帰還抵抗無効) に、CM13 ビットを “1” (XIN-XOUT 端子) にしてください。

注 4. CPU クロック源として使用する場合には、分周器により最大：約 20MHz となります。

注 5. OFS レジスタの CSPROINI ビットが “1” (リセット後、カウントソース保護モード無効) の場合です。

注 6. OFS レジスタの CSPROINI ビットが “0” (リセット後、カウントソース保護モード有効) の場合です。

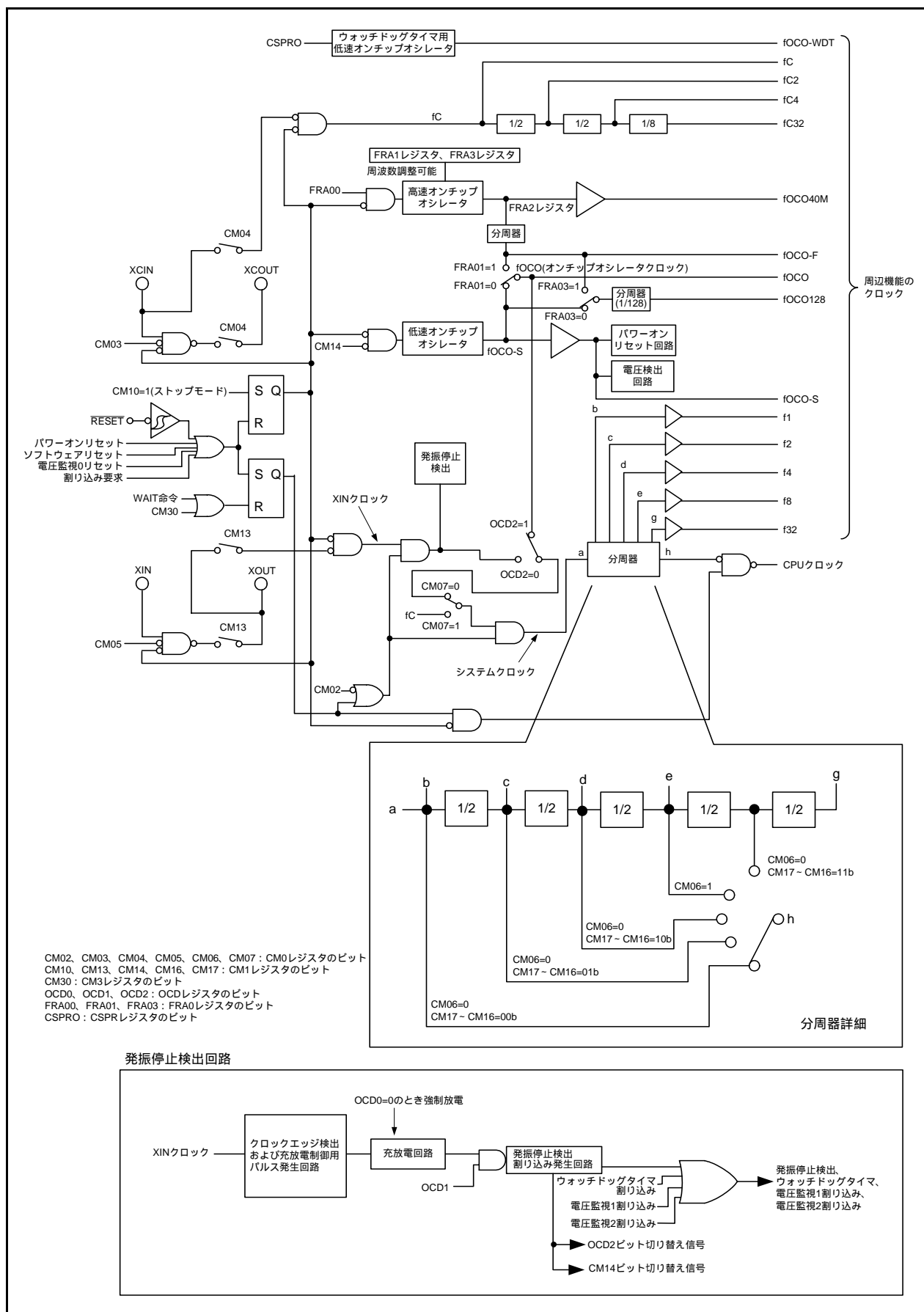


図9.1 クロック発生回路

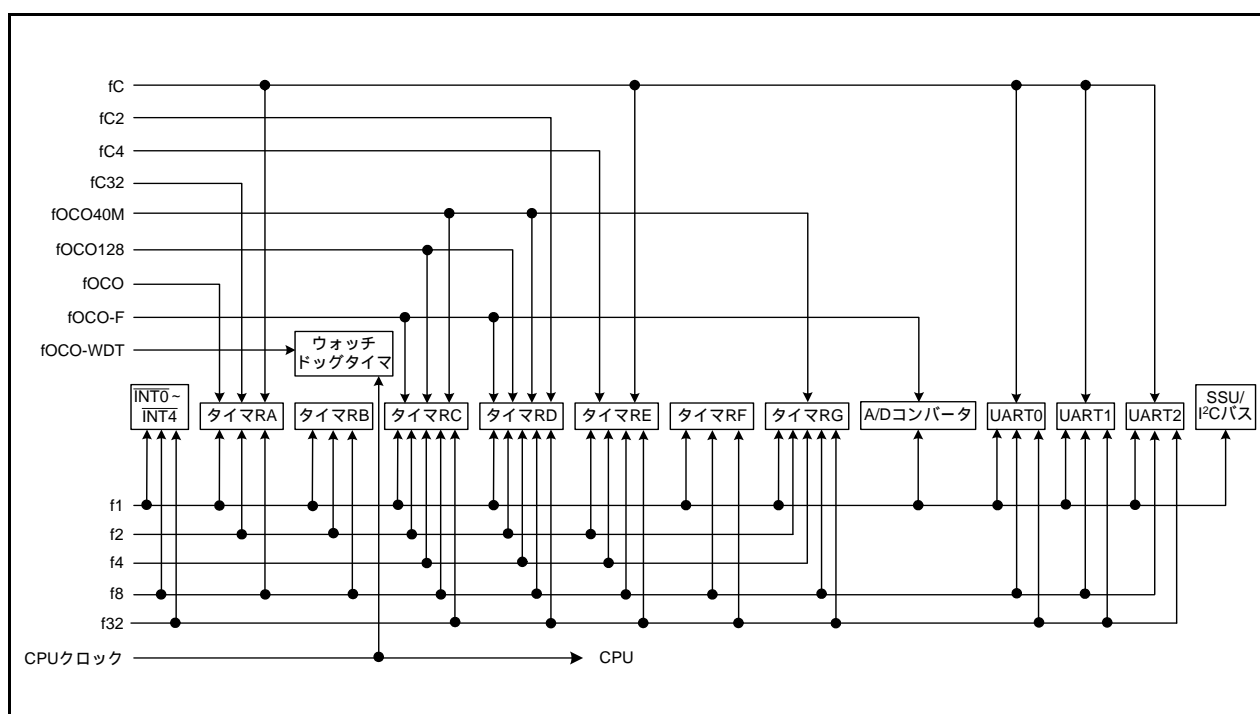


図9.2 周辺機能のクロック

9.2 レジスタの説明

9.2.1 システムクロック制御レジスタ0 (CM0)

アドレス 0006h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	CM04	CM03	CM02	-	-
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックを停止しない 1: ウェイトモード時、周辺機能クロックを停止する	R/W
b3	CM03	XCINクロック停止ビット	0: 発振 1: 停止	R/W
b4	CM04	ポート、XCIN-XCOUT切り替えビット(注5)	0: 入出力ポートP4_3、P4_4 1: XCIN、XCOUT端子(注6)	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、3)	0: 発振 1: 停止(注2)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	XIN、XCINクロック選択ビット(注7)	0: XINクロック 1: XCINクロック	R/W

注1. CM05ビットは高速オンチップオシレータモード、低速オンチップオシレータモードにするとXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1) OCDレジスタのOCD1～OCD0ビットを“00b”にする。

(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。

注2. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられます。

注3. CM05ビットが“1”(XINクロック停止)かつCM1レジスタのCM13ビットが“0”(P4_6、P4_7)の場合のみ、P4_6、P4_7は入出力ポートとして使用できます。

注4. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

注5. CM04ビットはプログラムで“1”にできますが、“0”にできません。

注6. XCINクロックを使用する場合、CM04ビットを“1”、PINSRレジスタのXCSELビットを“1”にしてください。また、ポートP4_3、P4_4は入力ポートで、プルアップなしにしてください。

注7. CM04ビットを“1”(XCIN-XCOUT端子)にし、XCINクロックの発振が安定した後に、CM07ビットを“0”から“1”(XCINクロック)にしてください。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.2 システムクロック制御レジスタ1 (CM1)

アドレス 0007h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	-	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット(注2)	0: クロック発振 1: 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT 内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b2	CM12	XCIN-XCOUT 内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b3	CM13	ポートXIN-XOUT切り替えビット(注5)	0: 入出力ポートP4_6、P4_7 1: XIN-XOUT 端子	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3、4)	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b5	-	予約ビット	“1” にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1(注1)	b7 b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード	R/W
b7	CM17			R/W

注1. CM06 ビットが“0”(CM16、CM17 ビット有効)の場合、CM16 ~ CM17 ビットは有効となります。

注2. CM10 ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。

注3. CM14 ビットはOCD2 ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2 ビットを“1”(オンチップオシレータクロック選択)にすると、CM14 ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。

注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14 ビットを“0”(低速オンチップオシレータ発振)にしてください。

注5. CM13 ビットはプログラムで一度“1”にすると、“0”にはできません。

CM1 レジスタはPRCR レジスタのPRC0 ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	-	-	-	-	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット (注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-	予約ビット	“0”にしてください	R/W
b5	CM35	ウェイトモードから復帰時のCPUクロック分周比選択ビット (注2)	0: CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1: 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット	b7 b6 00: ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰 01: 設定しないでください 10: 高速オンチップオシレータクロックを選択 (注3) 11: XINクロックを選択 (注4)	R/W
b7	CM37			R/W

- 注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0” (ウェイトモードではない) になります。
- 注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1” (分周なし) のとき、CM0レジスタのCM06ビットは“0” (CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b” (分周なしモード) になります。
- 注3. CM37、CM36ビットが“10b” (高速オンチップオシレータクロックを選択) のとき、ウェイトモード、ストップモードから復帰時に次になります。
- OCDレジスタのOCD2ビット=1 (オンチップオシレータクロック選択)
 - FRA0レジスタのFRA00ビット=1 (高速オンチップオシレータ発振)
 - FRA0レジスタのFRA01ビット=1 (高速オンチップオシレータ選択)
- 注4. CM37、CM36ビットが“11b” (XINクロックを選択) のとき、ウェイトモード、ストップモードから復帰時に次になります。
- CM0レジスタのCM05ビット=0 (XINクロック発振)
 - CM1レジスタのCM13ビット=1 (XIN-XOUT端子)
 - OCDレジスタのOCD2ビット=0 (XINクロック選択)
- CM0レジスタのCM05ビットが“1” (XINクロック停止) で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1” (8分周モード) かつCM35ビットを“0”にしてください。
- ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37 ~ CM36ビットを“11b” (XINクロックを選択) にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1” (書き込み許可) にした後で書き換えてください。

CM30ビット (ウェイト制御ビット)

CM30ビットを“1” (ウェイトモードに移行する) にすると、CPUクロックが停止 (ウェイトモード) します。XINクロック、XCINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0” (マスカブル割り込み禁止) にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1” (マスカブル割り込み許可) にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

9.2.4 発振停止検出レジスタ (OCD)

アドレス 000Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット (注6)	0 : 発振停止検出機能無効 (注1) 1 : 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0 : 禁止 (注1) 1 : 許可	R/W
b2	OCD2	システムクロック選択ビット (注3)	0 : XINクロック選択 (注6) 1 : オンチップオシレータクロック選択 (注2)	R/W
b3	OCD3	クロックモニタビット (注4、5)	0 : XINクロック発振 1 : XINクロック停止	R
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-			
b7	-			

- 注1. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード (XIN クロック停止) に移行する前に OCD1 ~ OCD0 ビットを “00b” に設定してください。
- 注2. OCD2 ビットを “1” (オンチップオシレータクロック選択) にすると、CM14 ビットは “0” (低速オンチップオシレータ発振) になります。
- 注3. OCD2 ビットは、OCD1 ~ OCD0 ビットが “11b” のときに XIN クロック発振停止を検出すると、自動的に “1” (オンチップオシレータクロック選択) に切り替わります。また、OCD3 ビットが “1” (XIN クロック停止) のとき、OCD2 ビットに “0” (XIN クロック選択) を書いても変化しません。
- 注4. OCD3 ビットは OCD0 ビットが “1” (発振停止検出機能有効) のとき有効です。
- 注5. OCD1 ~ OCD0 ビットが “00b” のとき OCD3 ビットは “0” (XIN クロック発振) になり、変化しません。
- 注6. 発振停止検出後、XIN クロックが再発振した場合の切り替え手順は、「図9.10 低速オンチップオシレータから XIN クロックへの切り替え手順」を参照してください。

OCD レジスタは、PRCR レジスタの PRC0 ビットを “1” (書き込み許可) にした後、書き換えてください。

9.2.5 高速オンチップオシレータ制御レジスタ7 (FRA7)

アドレス 0015h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	出荷時の値							

ビット	機能	R/W
b7 ~ b0	32MHzの周波数調整用データが格納されます。 この値を FRA3 レジスタに転送し、かつ、FRA6 レジスタの調整値を FRA1 レジスタに転送することにより、調整ができます。	R

9.2.6 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス 0023h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	FRA03	-	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0 : 高速オンチップオシレータ停止 1 : 高速オンチップオシレータ発振	R/W
b1	FRA01	高速オンチップオシレータ選択ビット (注1)	0 : 低速オンチップオシレータ選択 (注2) 1 : 高速オンチップオシレータ選択	R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0 : fOCO-S の128分周を選択 1 : fOCO-F の128分周を選択	R/W
b4	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

注1. FRA01 ビットは次の条件のとき変更してください。

- FRA00=1 (高速オンチップオシレータ発振)
- CM1 レジスタの CM14=0 (低速オンチップオシレータ発振)
- FRA2 レジスタの FRA22 ~ FRA20 ビットが
VCC=2.7V ~ 5.5V の場合は全分周モード設定可能 “000b” ~ “111b”
VCC=1.8V ~ 5.5V の場合は8分周以上の分周比 “110b” ~ “111b” (8分周モード以上)

注2. FRA01 ビットに“0” (低速オンチップオシレータ選択) を書くとき、同時に FRA00 ビットに“0” (高速オンチップオシレータ停止) を書かないでください。FRA01 ビットを“0”にした後、FRA00 ビットを“0”にしてください。

FRA0 レジスタは、PRCR レジスタの PRC0 ビットを“1” (書き込み許可) にした後、書き換えてください。

9.2.7 高速オンチップオシレータ制御レジスタ1 (FRA1)

アドレス 0024h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	出荷時の値							

ビット	機能	R/W
b7 ~ b0	下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 40MHz : FRA1=FRA3=リセット後の値 36.864MHz : FRA4 レジスタの値を FRA1 レジスタに転送し、かつ、 FRA5 レジスタの値を FRA3 レジスタに転送。 32MHz : FRA6 レジスタの値を FRA1 レジスタに転送し、かつ、 FRA7 レジスタの値を FRA3 レジスタに転送。	R/W

FRA1 レジスタは、PRCR レジスタの PRC0 ビットを“1” (書き込み許可) にした後、書き換えてください。

また、FRA1 レジスタは FRA0 レジスタの FRA00 ビットが“0” (高速オンチップオシレータ停止) のときに、書き換えてください。

9.2.8 高速オンチップオシレータ制御レジスタ2 (FRA2)

アドレス 0025h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	FRA22	FRA21	FRA20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA20	高速オンチップオシレータ周波数切替ビット	分周比選択	R/W
b1	FRA21		高速オンチップオシレータクロック分周比を選択します。	R/W
b2	FRA22		b2 b1 b0 0 0 0 : 2分周モード 0 0 1 : 3分周モード 0 1 0 : 4分周モード 0 1 1 : 5分周モード 1 0 0 : 6分周モード 1 0 1 : 7分周モード 1 1 0 : 8分周モード 1 1 1 : 9分周モード	R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	-			
b5	-			
b6	-			
b7	-			

FRA2 レジスタは、PRCR レジスタの PRC0 ビットを “1” (書き込み許可) にした後、書き換えてください。

9.2.9 時計用プリスケアラリセットフラグ (CPSRF)

アドレス 0028h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CPSR	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	CPSR	時計用プリスケアラリセットフラグ	このビットを “1” にすると時計用プリスケアラが初期化される (読んだ場合、その値は “0”)	R/W

9.2.10 高速オンチップオシレータ制御レジスタ4 (FRA4)

アドレス 0029h 番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル

-	-	-	-	-	-	-	-
---	---	---	---	---	---	---	---

リセット後の値 出荷時の値

ビット	機能	R/W
b7 ~ b0	36.864MHzの周波数調整用データが格納されます。 この値をFRA1レジスタに転送し、かつ、FRA5レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。	R

9.2.11 高速オンチップオシレータ制御レジスタ5 (FRA5)

アドレス 002Ah 番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル

-	-	-	-	-	-	-	-
---	---	---	---	---	---	---	---

リセット後の値 出荷時の値

ビット	機能	R/W
b7 ~ b0	36.864MHzの周波数調整用データが格納されます。 この値をFRA3レジスタに転送し、かつ、FRA4レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。	R

9.2.12 高速オンチップオシレータ制御レジスタ6 (FRA6)

アドレス 002Bh 番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル

-	-	-	-	-	-	-	-
---	---	---	---	---	---	---	---

リセット後の値 出荷時の値

ビット	機能	R/W
b7 ~ b0	32MHzの周波数調整用データが格納されます。 この値をFRA1レジスタに転送し、かつ、FRA7レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。	R

9.2.13 高速オンチップオシレータ制御レジスタ3 (FRA3)

アドレス 002Fh 番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル

-	-	-	-	-	-	-	-
---	---	---	---	---	---	---	---

リセット後の値 出荷時の値

ビット	機能	R/W
b7 ~ b0	下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 40MHz : FRA1=FRA3=リセット後の値 36.864MHz : FRA4レジスタの値をFRA1レジスタに転送し、かつ、 FRA5レジスタの値をFRA3レジスタに転送。 32MHz : FRA6レジスタの値をFRA1レジスタに転送し、かつ、 FRA7レジスタの値をFRA3レジスタに転送。	R/W

FRA3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA3レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

9.2.14 電圧検出レジスタ2 (VCA2)

アドレス 0034h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	VCA24	VCA23	VCA22	VCA21	VCA20
リセット後の値	OFSレジスタのLVDASビットが“1”							
	0	0	0	0	0	0	0	0
リセット後の値	OFSレジスタのLVDASビットが“0”							
	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	VCA21	コンパレータA1リファレンス電圧入力選択ビット	0: 内部基準電圧 1: LVREF 端子入力電圧	R/W
b2	VCA22	LVCMP1比較電圧外部入力選択ビット	0: 電源電圧(VCC) 1: LVCMP1 端子入力電圧	R/W
b3	VCA23	コンパレータA2リファレンス電圧入力選択ビット	0: 内部基準電圧 1: LVREF 端子入力電圧	R/W
b4	VCA24	LVCMP2比較電圧外部入力選択ビット	0: 電源電圧(VCC) (Vdet2_0) 1: LVCMP2 端子入力電圧 (Vdet2_EXT)	R/W
b5	VCA25	電圧検出0許可ビット(注3)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1/コンパレータA1許可ビット(注4)	0: 電圧検出1/コンパレータA1回路無効 1: 電圧検出1/コンパレータA1回路有効	R/W
b7	VCA27	電圧検出2/コンパレータA2許可ビット(注5)	0: 電圧検出2/コンパレータA2回路無効 1: 電圧検出2/コンパレータA2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図9.3 VCA20ビットによる内部電源低消費電力操作手順」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1/コンパレータA1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1/コンパレータA1回路が動作します。

注5. 電圧検出2/コンパレータA2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2/コンパレータA2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.15 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	-	-	XCSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	XCSEL	XCIN/XCOUT 端子接続 ビット	0 : XCIN を P4_3、XCOUT を P4_4 に接続しない 1 : XCIN を P4_3、XCOUT を P4_4 に接続する	R/W
b1	-	予約ビット	“ 0 ” にしてください	R/W
b2	-	何も配置されていない。書く場合、“ 0 ” を書いてください。読んだ場合、その値は “ 0 ”。		-
b3	IOINSEL	I/O ポート入力機能選択 ビット	0 : I/O ポートの入力機能は PDi (i=0 ~ 9) レジスタに依存 PDi レジスタの PDi_j (j=0 ~ 7) ビットが “ 0 ” (入力 モード) のとき、端子の入力レベルを読む。 PDi レジスタの PDi_j ビットが “ 1 ” (出力モード) のと き、ポートラッチを読む。 1 : I/O ポートの入力機能は PDi レジスタに関係なく、 端子の入力レベルを読む	R/W
b4	IICTCTWI	I ² C 転送レート 2 倍選択 ビット	0 : ICCR1 レジスタの CKS0 ~ CKS3 ビットの設定値通り の転送レート 1 : ICCR1 レジスタの CKS0 ~ CKS3 ビットの設定値の 2 倍の転送レート	R/W
b5	IICTCHALF	I ² C 転送レート 1/2 倍選択 ビット	0 : ICCR1 レジスタの CKS0 ~ CKS3 ビットの設定値通り の転送レート 1 : ICCR1 レジスタの CKS0 ~ CKS3 ビットの設定値の 1/2 倍の転送レート	R/W
b6	SDADLY0	SDA 端子デジタル遅延選択 ビット	b7 b6 0 0 : 3 × f1 サイクルのデジタル遅延 0 1 : 11 × f1 サイクルのデジタル遅延 1 0 : 19 × f1 サイクルのデジタル遅延 1 1 : 設定しないでください	R/W
b7	SDADLY1			R/W

XCSEL ビット (XCIN/XCOUT 端子接続ビット)

XCSEL ビットは XCIN、XCOUT を P4_3、P4_4 に接続するためのビットです。“ 1 ” にすると XCIN を P4_3、XCOUT を P4_4 に接続します。XCIN、XCOUT の設定方法は、「9. クロック発生回路」を参照してください。

IOINSEL ビット (I/O ポート入力機能選択ビット)

IOINSEL ビットは PDi (i=0 ~ 9) レジスタの PDi_j (j=0 ~ 7) ビットが “ 1 ” (出力モード) のときに、I/O ポートの端子の入力レベルを読むことを選択するためのビットです。“ 1 ” にすると I/O ポートの入力機能は、PDi レジスタに関係なく、端子の入力レベルを読みます。

表 9.2 に IOINSEL ビットによる I/O ポートの読み出し値を示します。IOINSEL ビットで P4_2 を除くすべての I/O ポートの入力機能を変更できます。

表 9.2 IOINSEL ビットによる I/O ポートの読み出し値

PDi レジスタの PDi_j ビット	“ 0 ” (入力モード)		“ 1 ” (出力モード)	
IOINSEL ビット	“ 0 ”	“ 1 ”	“ 0 ”	“ 1 ”
I/O ポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

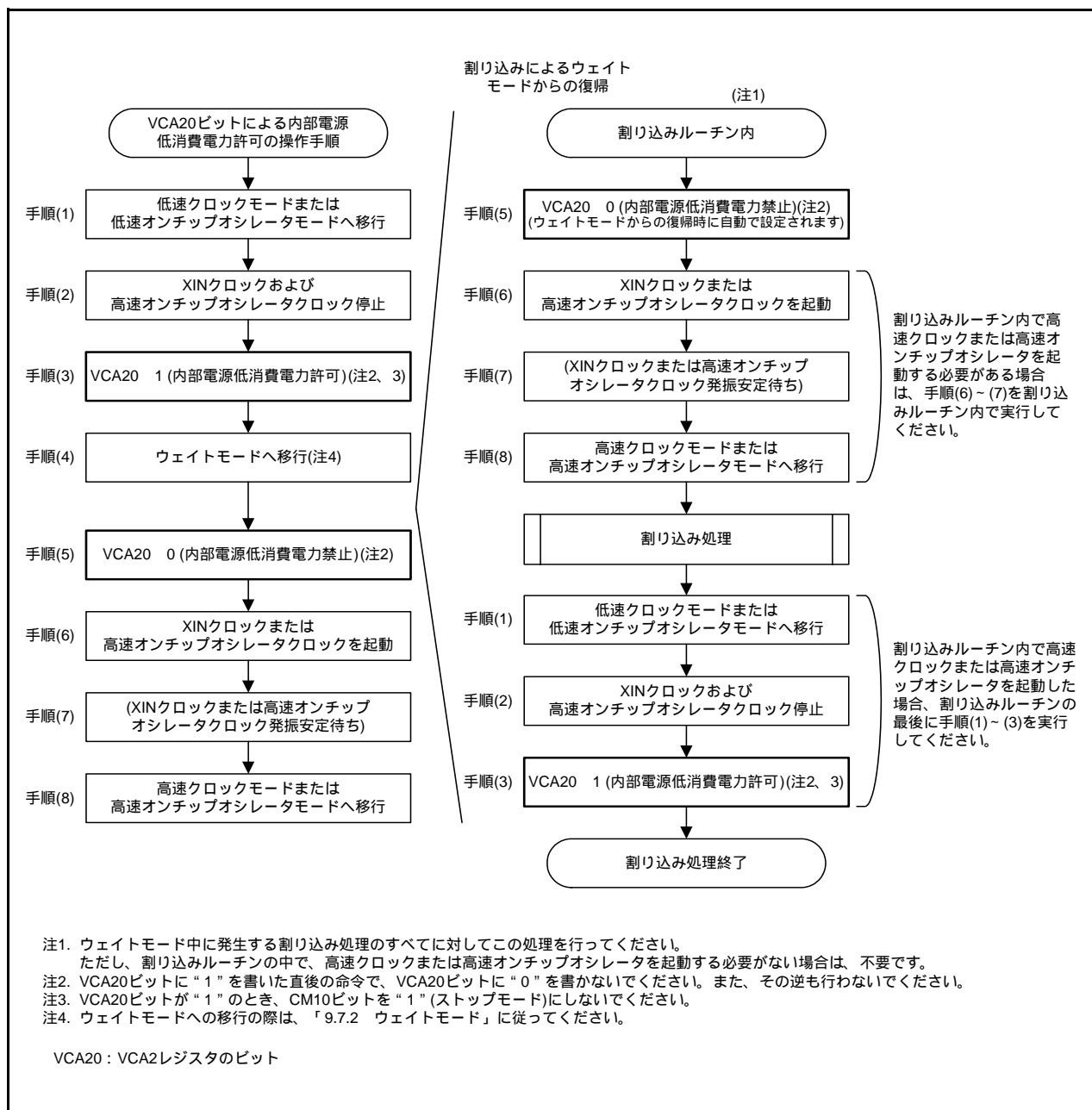


図9.3 VCA20ビットによる内部電源低消費操作手順

クロック発生回路で生成するクロックを説明します。

9.3 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXOUT端子へ入力することもできます。

図9.4にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(XINクロック発振)にするとXINクロックは発振を開始します。XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(XINクロック停止)にすると、消費電力を低減できます。

なお、外部で生成したクロックをXOUT端子に入力している場合、CM05ビットを“1”にしてもXINクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「9.7 パワーコントロール」を参照してください。

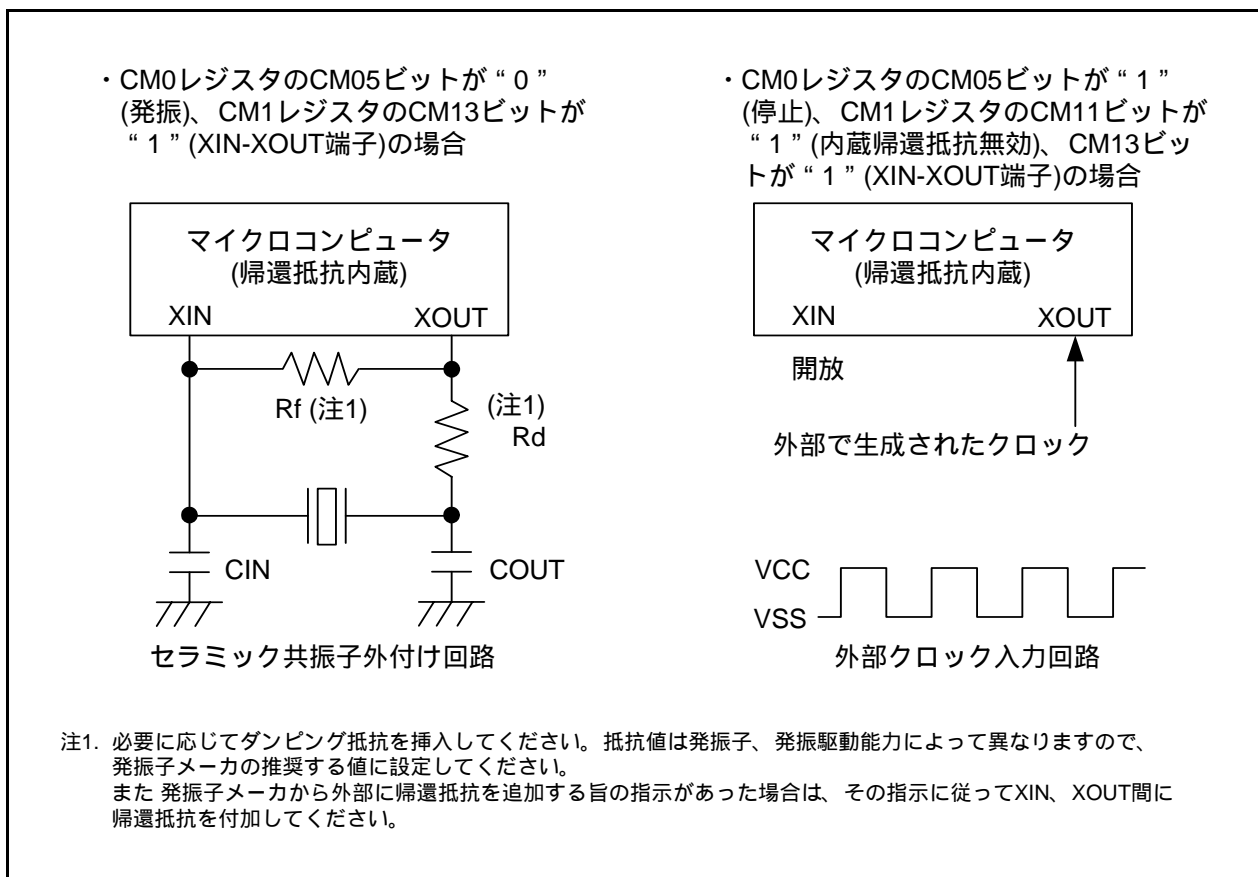


図9.4 XINクロックの接続回路例

9.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0 レジスタの FRA01 ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

9.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックは CPU クロック、周辺機能クロック、fOCO、fOCO-S、fOCO128 のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしが CPU クロックになります。

また、OCD レジスタの OCD1 ~ OCD0 ビットが “ 11b ” の場合、XIN クロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

9.4.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックは CPU クロック、周辺機能クロック、fOCO、fOCO-F、fOCO40M、fOCO128 のクロック源になります。

CPU クロック、周辺クロック、fOCO、fOCO-F のクロック源として使用する場合には、FRA2 レジスタの FRA20 ~ FRA22 ビットにより、以下のように設定してください。

- VCC=2.7V ~ 5.5V の場合、全分周モード設定可能 “ 000b ” ~ “ 111b ”
- VCC=1.8V ~ 5.5V の場合、8分周以上の分周比 “ 110b ” ~ “ 111b ” (8分周モード以上)

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0 レジスタの FRA00 ビットを “ 1 ” (オンチップオシレータ発振) にすると発振を開始します。

また、FRA4 ~ FRA7 レジスタには周波数調整用データが格納されています。

高速オンチップオシレータクロックの周波数を 36.864MHz にするには、FRA4 レジスタの調整値を FRA1 レジスタへ、FRA5 レジスタの調整値を FRA3 レジスタに転送して使用してください。これにより、シリアルインタフェースを UART モードで使用時に、9600bps、38400bps などのビットレートの設定誤差を、0% にすることができます(「表 24.8、表 25.8 UART モード時のビットレート設定例(内部クロック選択時)」を参照)。

高速オンチップオシレータクロックの周波数を 32MHz にするには、FRA6 レジスタの調整値を FRA1 レジスタへ、FRA7 レジスタの調整値を FRA3 レジスタに転送して使用してください。

9.5 XCINクロック

XCIN クロック発振回路が供給するクロックです。CPU クロック、周辺機能クロックのクロック源になります。XCIN クロック発振回路はXCIN-XCOUT 端子間に発振子を接続することで発振回路が構成されます。XCIN クロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XCIN クロック発振回路には、外部で生成されたクロックをXCIN 端子へ入力することもできます。

図9.5にXCINクロックの接続回路例を示します。

リセット中およびリセット後、XCIN クロックは停止しています。

PINSR レジスタのXCSEL ビットを“1” (XCIN をP4_3、XCOUT をP4_4 に接続する) にし、CM0 レジスタのCM04 ビットを“1” (XCIN-XCOUT 端子) にした後、CM0 レジスタのCM03 ビットを“0” (XCIN クロック発振) にするとXCIN クロックは発振を開始します。XCIN クロックの発振が安定した後、CM0 レジスタのCM07 ビットを“1” (XCIN クロック) にするとXCIN クロックがCPU のクロック源になります。外部で生成されたクロックをXCIN 端子へ入力する場合も、CM0 レジスタのCM04 ビットを“1” (XCIN-XCOUT 端子) にしてください。このとき、XCOUT 端子は開放してください。

このマイクロコンピュータは、帰還抵抗を内蔵していますが、CM1 レジスタのCM12 ビットにより、内蔵抵抗を無効/有効の切り替えも可能です。

ストップモード時は、XCIN クロックを含めたすべてのクロックが停止します。詳細は「9.7 パワーコントロール」を参照してください。

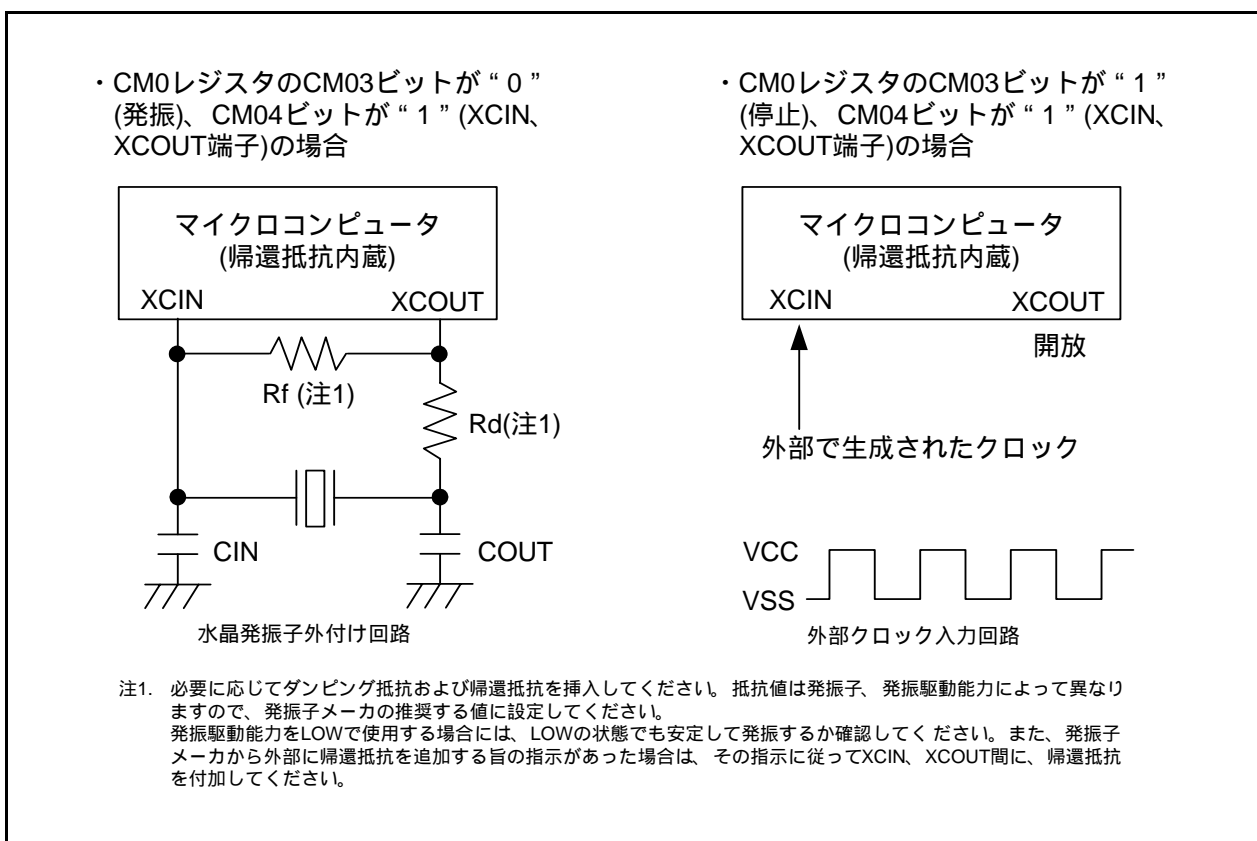


図9.5 XCINクロックの接続回路例

9.6 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります(「図9.1 クロック発生回路」参照)。

9.6.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロック、XCINクロックまたはオンチップオシレータクロックが選択できます。

9.6.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

なお、XCINクロックは、XCINクロックの発振が安定しているときに使用してください。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

9.6.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

f_i(i=1、2、4、8、32)はシステムクロックをi分周したクロックです。f_iはタイマRA、タイマRB、タイマRC、タイマRD、タイマRE、タイマRF、タイマRG、シリアルインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にウェイトモードに移行した場合、f_iは停止します。

9.6.4 fOCO

周辺機能の動作クロックです。

fOCOは、オンチップオシレータクロックと同じ周波数のクロックです。タイマRAで使用します。fOCOはウェイトモード時、停止しません。

9.6.5 fOCO40M

タイマRC、タイマRD、タイマRGのカウントソースになります。

fOCO40Mは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO40Mはウェイトモード時、停止しません。

このクロックは、電源電圧VCC=3.0V ~ 5.5Vの範囲で使用することができます。

9.6.6 fOCO-F

タイマRC、タイマRD、A/Dコンバータのカウントソースになります。

fOCO-Fは高速オンチップオシレータで生成したクロックをi分周(i=2、3、4、5、6、7、8、9; FRA2レジスタで選択した分周比)したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO-Fはウェイトモード時、停止しません。

9.6.7 fOCO-S

電圧検出回路の動作クロックです。

fOCO-S は低速オンチップオシレータで生成したクロックで、CM14 ビットを “0” (低速オンチップオシレータ発振) にすると供給されます。

fOCO-S はウェイトモード時、停止しません。

9.6.8 fOCO128

fOCO-S または fOCO-F を 128 分周したクロックです。FRA03 ビットを “0” にすると fOCO-S の 128 分周が選択され、“1” にすると fOCO-F の 128 分周が選択されます。

タイマ RC の TRCGRA レジスタおよびタイマ RD のタイマ RD0 で使用するキャプチャ信号になります。

9.6.9 fC、fC2、fC4、fC32

fC、fC2、fC4、fC32 はタイマ RA、タイマ RD、タイマ RE、シリアルインタフェースで使⽤します。

なお、fC、fC2、fC4、fC32 は、XCIN クロックの発振が安定しているときに使⽤してください。

9.6.10 fOCO-WDT

ウォッチドッグタイマの動作クロックです。

fOCO-WDT はウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPR レジスタの CSPRO ビットを “1” (カウントソース保護モード有効) にすると供給されます。

fOCO-WDT はウォッチドッグタイマのカウントソース保護モード時、停止しません。

9.7 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

9.7.1 標準動作モード

標準動作モードは、さらに4つのモードに分けられます。

標準動作モードでは、CPU クロック、周辺機能クロックが共に供給されていますので、CPU も周辺機能も動作します。CPU クロックの周波数を制御することで、パワーコントロールを行います。CPU クロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPU クロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってから、クロックを切り替えてください。

表9.3 クロック関連ビットの設定とモード

モード		OCD レジスタ	CM1 レジスタ			CM0 レジスタ					FRA0 レジスタ	
		OCD2	CM17、 CM16	CM14	CM13	CM07	CM06	CM05	CM04	CM03	FRA01	FRA00
高速クロック モード	分周なし	0	00b		1	0	0	0				
	2分周	0	01b		1	0	0	0				
	4分周	0	10b		1	0	0	0				
	8分周	0			1	0	1	0				
	16分周	0	11b		1	0	0	0				
低速クロック モード	分周なし		00b			1	0		1	0		
	2分周		01b			1	0		1	0		
	4分周		10b			1	0		1	0		
	8分周					1	1		1	0		
	16分周		11b			1	0		1	0		
高速オンチップ オシレータ モード	分周なし	1	00b			0	0				1	1
	2分周	1	01b			0	0				1	1
	4分周	1	10b			0	0				1	1
	8分周	1				0	1				1	1
	16分周	1	11b			0	0				1	1
低速オンチップ オシレータ モード	分周なし	1	00b	0		0	0				0	
	2分周	1	01b	0		0	0				0	
	4分周	1	10b	0		0	0				0	
	8分周	1		0		0	1				0	
	16分周	1	11b	0		0	0				0	

：“0”でも“1”でも影響ない

9.7.1.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはFRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fOCOをタイマRAで使用できます。

また、FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRD、タイマRGで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

9.7.1.2 低速クロックモード

XCINクロックの1分周(分周なし)、2分周、4分周、8分周または16分周がCPUクロックとなります。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(フラッシュメモリ低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRD、タイマRGで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「35. 消費電力の低減」を参照してください。

9.7.1.3 高速オンチップオシレータモード

FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“1”のとき、高速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRD、タイマRGで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

9.7.1.4 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“0”のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRD、タイマRGで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(フラッシュメモリ低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「35. 消費電力の低減」を参照してください。

9.7.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、XCINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

9.7.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

9.7.2.2 ウェイトモードへの移行

WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にするとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

9.7.2.3 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

9.7.2.4 ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、A/D変換割り込み以外の周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表9.4にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表9.4 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
シンクロナスシリアルコミュニケーションユニット割り込み/I ² Cバスインタフェース割り込み	すべてのモードで使用可	(使用しないでください)
キー入力割り込み	使用可	使用可
A/D変換割り込み	(使用しないでください)	(使用しないでください)
タイマRA割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCO、fC、fC32を選択することで使用可
タイマRB割り込み	すべてのモードで使用可	(使用しないでください)
タイマRC割り込み	すべてのモードで使用可	(使用しないでください)
タイマRD割り込み	すべてのモードで使用可	カウントソースにfOCO40M、fC2を選択することで使用可
タイマRE割り込み	すべてのモードで使用可	リアルタイムクロックモードで使用可
タイマRF割り込み	すべてのモードで使用可	(使用しないでください)
タイマRG割り込み	すべてのモードで使用可	カウントソースにfOCO40Mを選択することで使用可
INT割り込み	使用可	使用可(INT0 ~ INT4はフィルタなしの場合に、使用可)
電圧監視1割り込み	使用可	使用可
電圧監視2割り込み	使用可	使用可
発振停止検出割り込み	使用可	(使用しないでください)
コンパレータA1割り込み	使用可	使用可
コンパレータA2割り込み	使用可	使用可

図9.6にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを“1”にする前に次の設定をしてください。

- (1) Iフラグを“0”(マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.6のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

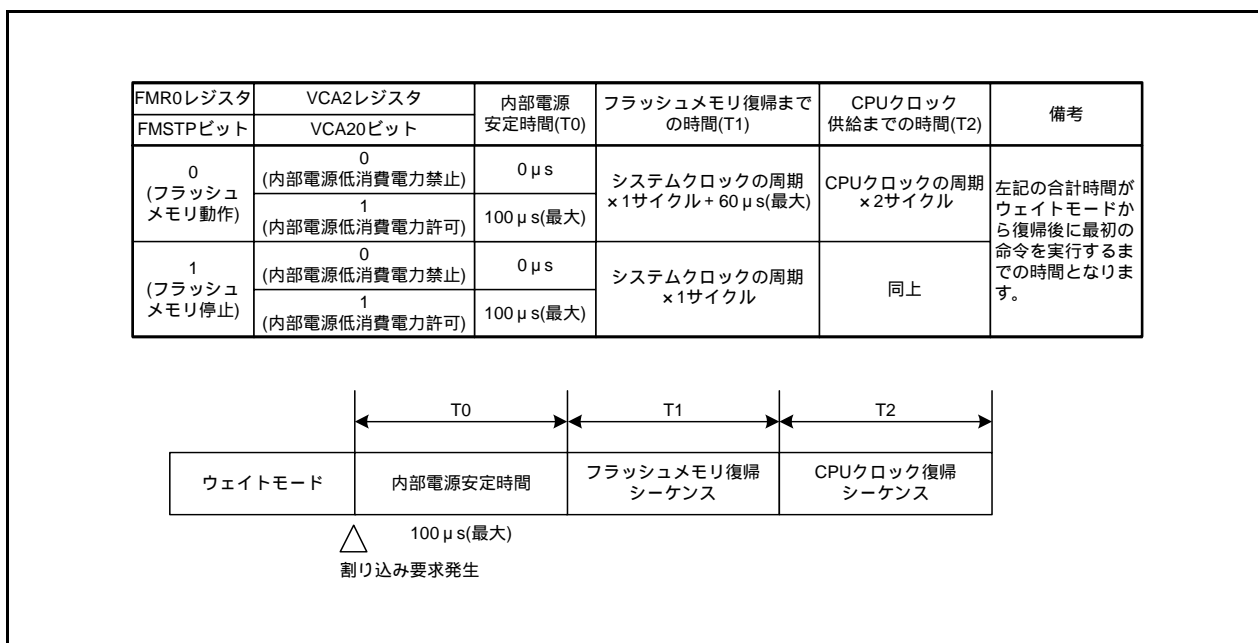


図9.6 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

図 9.7 に WAIT 命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT 命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタの ILVL2 ~ ILVL0 ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みの ILVL2 ~ ILVL0 ビットをすべて “000b” (割り込み禁止) にする。
- (2) I フラグを “1” にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間 (サイクル数) は、FMR0 レジスタの FMSTP ビットおよび VCA2 レジスタの VCA20 ビットの設定に応じて図 9.7 のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときの CPU クロックは、CM3 レジスタの CM35、CM36、CM37 ビットで設定したクロックとなります。このとき、CM0 レジスタの CM06 ビット、CM1 レジスタの CM16、CM17 ビットは自動的に変更されます。

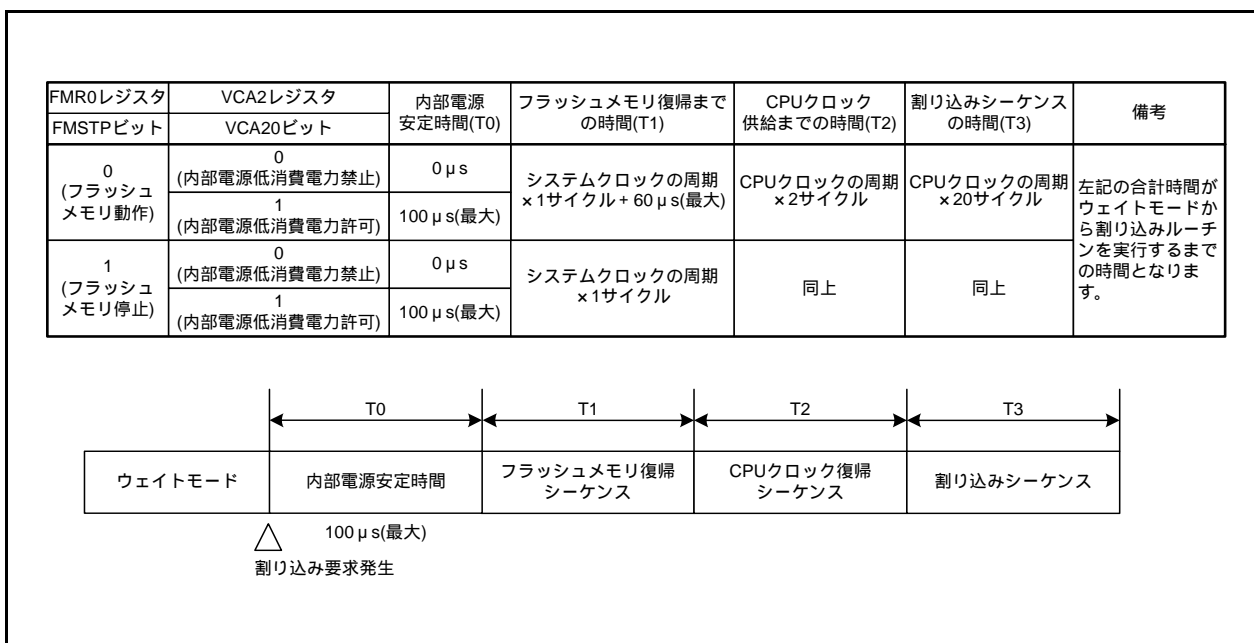


図 9.7 WAIT 命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

9.7.3 ストップモード

ストップモードでは、fOCO-WDT を除くすべての発振が停止します。したがって、CPU クロックと周辺機能クロックも停止し、これらのクロックで動作する CPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC 端子に印加する電圧が VRAM 以上のとき、内部 RAM は保持されます。

また、外部信号によって動作する周辺機能は動作します。

表 9.5 にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表 9.5 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
INT0 ~ INT4 割り込み	フィルタなしの場合に使用可
タイマ RA 割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視 1 割り込み	デジタルフィルタ無効モード (VW1C レジスタの VW1C1 ビットが “1”) の場合に使用可
電圧監視 2 割り込み	デジタルフィルタ無効モード (VW2C レジスタの VW2C1 ビットが “1”) の場合に使用可
コンパレータ A1 割り込み	デジタルフィルタ無効モード (VW1C レジスタの VW1C1 ビットが “1”) の場合に使用可
コンパレータ A2 割り込み	デジタルフィルタ無効モード (VW2C レジスタの VW2C1 ビットが “1”) の場合に使用可

9.7.3.1 ストップモードへの移行

CM1 レジスタの CM10 ビットを “1” (全クロック停止) にすると、ストップモードになります。同時に CM0 レジスタの CM06 ビットは “1” (8 分周モード) になります。

ストップモードを使用する場合、OCD レジスタの OCD1 ~ OCD0 ビットを “00b”、CM3 レジスタの CM35 ビットを “0” (CM0 レジスタの CM06 ビット、CM1 レジスタの CM16、CM17 ビットの設定有効) にしてからストップモードにしてください。

9.7.3.2 ストップモード時の端子の状態

入出力ポートはストップモードに入る直前の状態を保持します。

ただし、CM1 レジスタの CM13 ビットが “1” (XIN-XOUT 端子) のとき、XOUT(P4_7) 端子は “H” になります。CM13 ビットが “0” (入力ポート P4_6、P4_7) のとき、P4_7(XOUT) は入力状態になります。

9.7.3.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図9.8にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

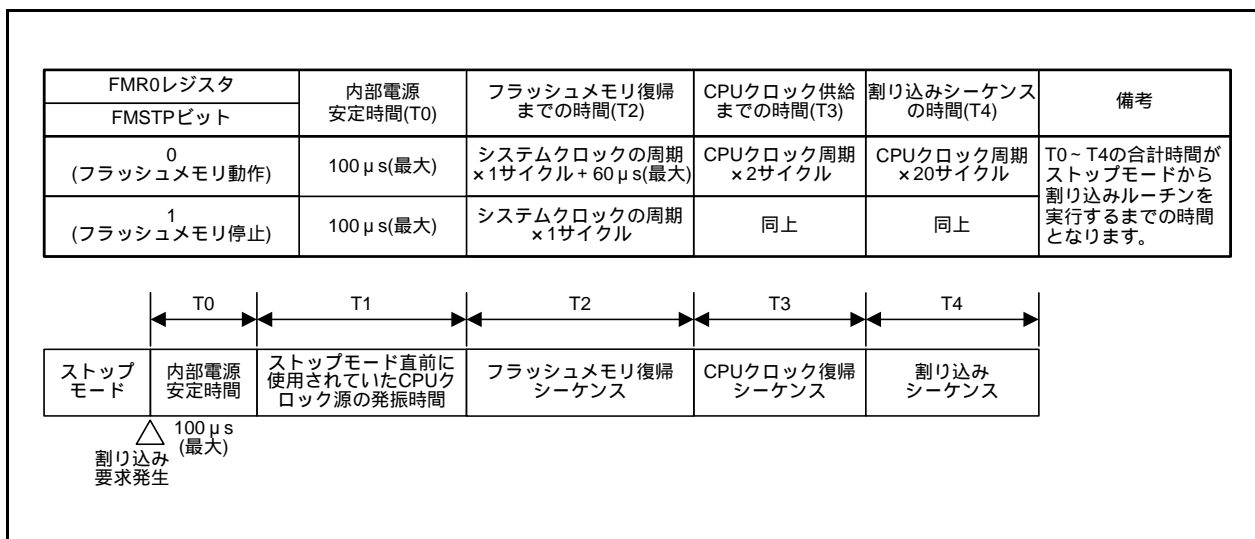


図9.8 ストップモードから割り込みルーチンを実行するまでの時間

図9.9にパワーコントロールモード状態遷移を示します。

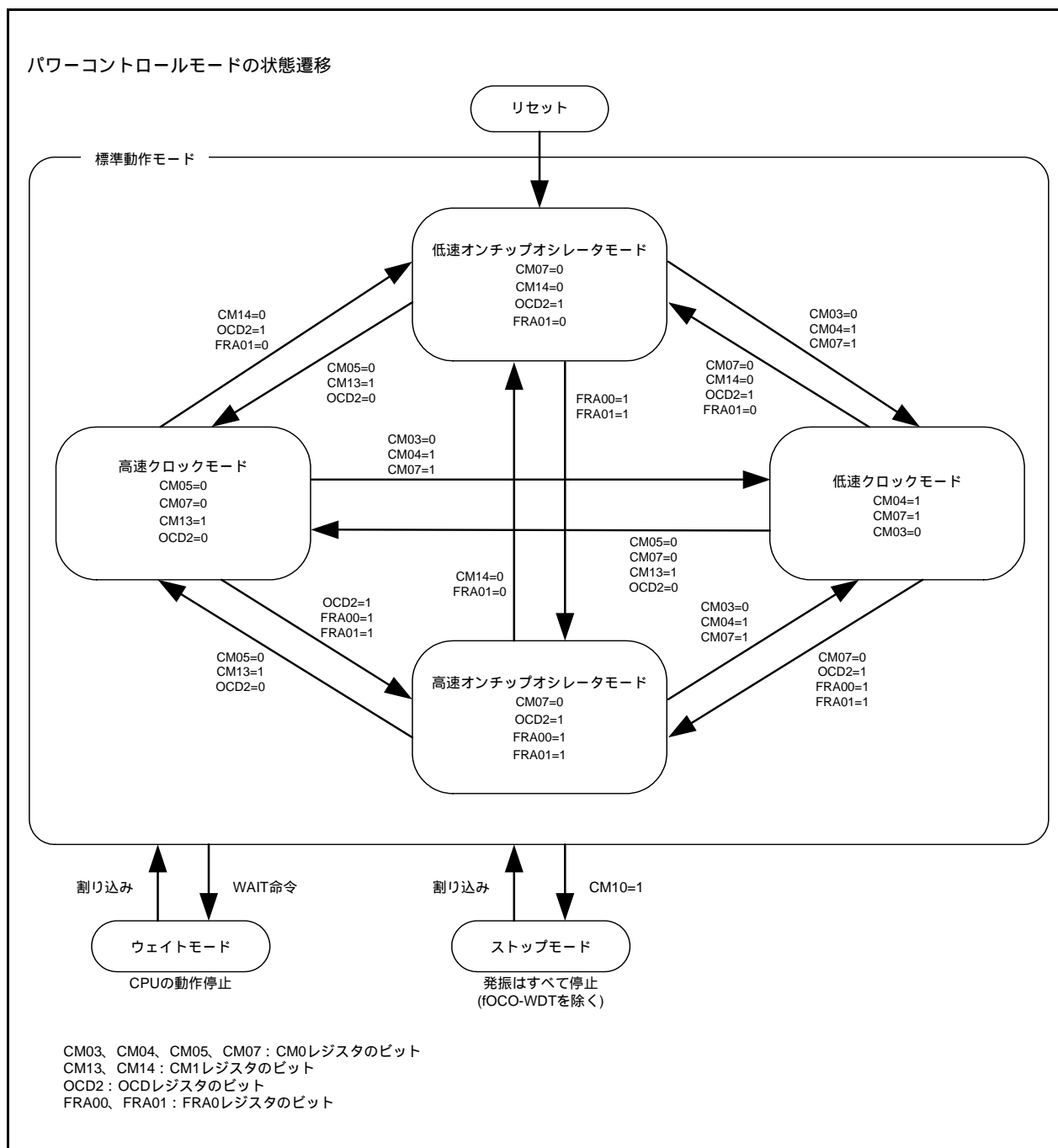


図9.9 パワーコントロールモード状態遷移

9.8 発振停止検出機能

発振停止検出機能は、XIN クロック発振回路の停止を検出する機能です。

発振停止検出機能はOCD レジスタのOCD0 ビットで有効、無効が選択できます。

表9.6に発振停止検出機能の仕様を示します。

XIN クロックがCPU クロック源でOCD1 ~ OCD0 ビットが“ 11b ”の場合、XIN クロックが停止すると、次の状態になります。

- OCD レジスタのOCD2 ビット=1 (オンチップオシレータクロック選択)
- OCD レジスタのOCD3 ビット=1 (XIN クロック停止)
- CM1 レジスタのCM14 ビット=0 (低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.6 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1 ~ OCD0 ビットを “ 11b ” にする
発振停止検出時の動作	発振停止検出割り込み発生

9.8.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。

表 9.7 に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視 1 割り込み、電圧監視 2 割り込みの割り込み要因の判別を示します。図 9.11 に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視 1 割り込みまたは電圧監視 2 割り込みの割り込み要因判別方法例を示します。

- 発振停止後、XIN クロックが再発振した場合は、プログラムで XIN クロックを CPU クロックや周辺機能のクロック源に戻してください。

図9.10に低速オンチップオシレータから XIN クロックへの切り替え手順を示します。

- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02 ビットを “ 0 ” (ウェイトモード時周辺機能クロックを停止しない) にしてください。
- 発振停止検出機能は外部要因による XIN クロック停止に備えた機能ですので、プログラムで XIN クロックを停止または発振させる場合 (ストップモードにする、または CM05 ビットを変更する) は、OCD1 ~ OCD0 ビットを “ 00b ” にしてください。
- XIN クロックの周波数が 2MHz 未満の場合、この機能は使用できませんので、OCD1 ~ OCD0 ビットを “ 00b ” にしてください
- 発振停止検出後に、CPU クロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、FRA0 レジスタの FRA01 ビットを “ 0 ” (低速オンチップオシレータ選択) にした後、OCD1 ~ OCD0 ビットを “ 11b ” にしてください。
発振停止検出後に、CPU クロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA00 ビットを “ 1 ” (高速オンチップオシレータ発振) にし、FRA01 ビットを “ 1 ” (高速オンチップオシレータ選択) にした後、OCD1 ~ OCD0 ビットを “ 11b ” にしてください。

表9.7 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a)または(b)のとき)	(a)OCD レジスタのOCD3=1
	(b)OCD レジスタのOCD1 ~ OCD0=11bかつOCD2=1
ウォッチドッグタイマ	VW2C レジスタのVW2C3=1
電圧監視1	VW1C レジスタのVW1C2=1
電圧監視2	VW2C レジスタのVW2C2=1

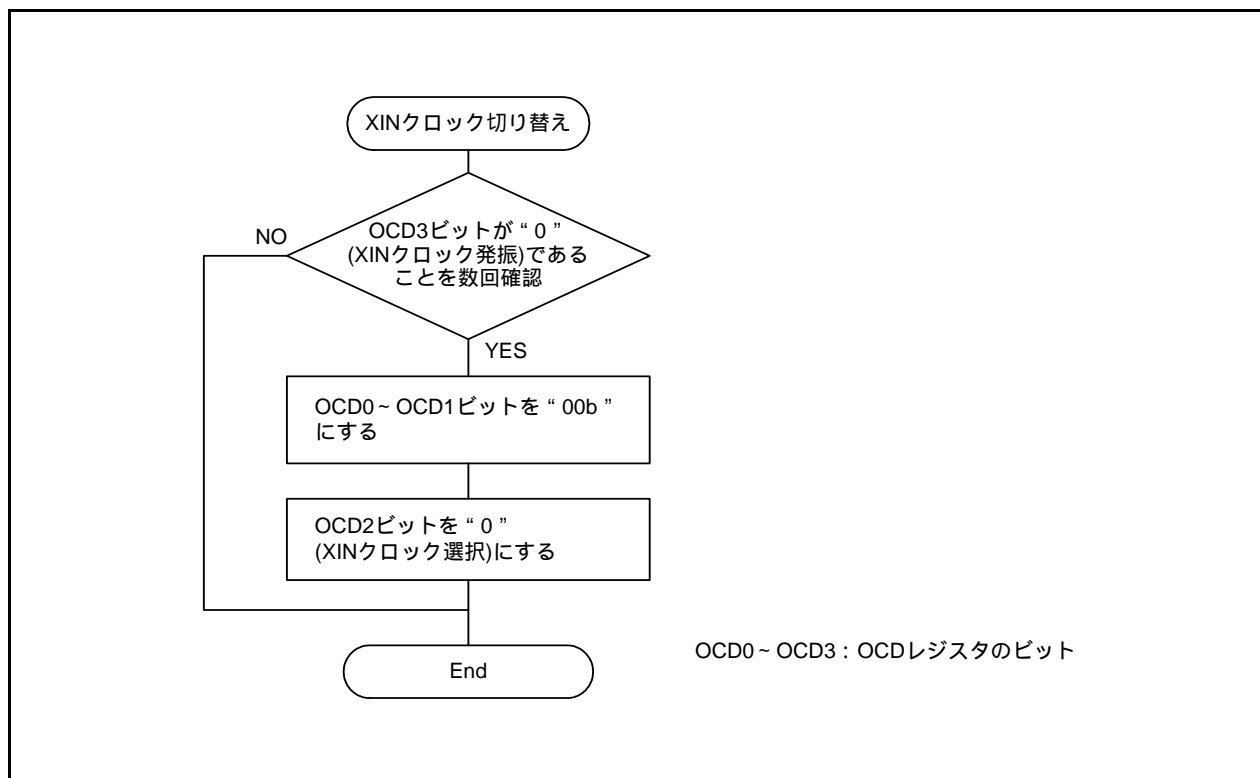


図9.10 低速オンチップオシレータからXINクロックへの切り替え手順

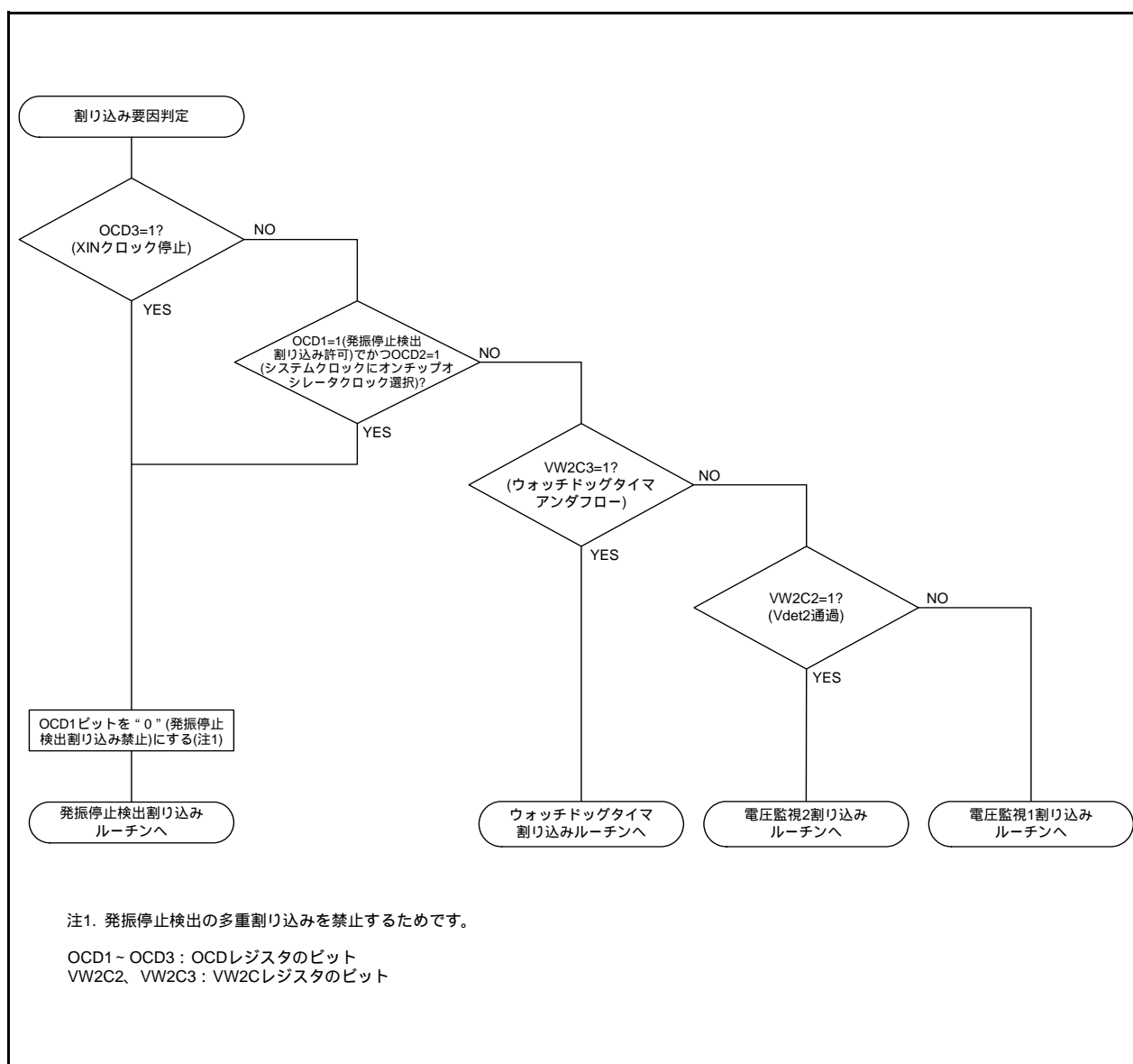


図9.11 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2
割り込みの割り込み要因判別方法例

9.9 クロック発生回路使用上の注意

9.9.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

• ストップモードに移行するプログラム例

```
BCLR    1, FMR0      ; CPU書き換えモード無効
BSET    0, PRCR      ; プロテクト解除
FSET    I            ; 割り込み許可
BSET    0, CM1       ; ストップモード
JMP.B   LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP
```

9.9.2 ウェイトモード

CM30ビットを“1”にしてウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM30ビットを“1”にしてください。

WAIT命令でウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

• WAIT命令を実行するプログラム例

```
BCLR    1, FMR0      ; CPU書き換えモード無効
FSET    I            ; 割り込み許可
WAIT                    ; ウェイトモード
NOP
NOP
NOP
NOP
```

9.9.3 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。

9.9.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

電源電圧VCC=2.7V未満でご使用になる場合は、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)にし、外部に帰還抵抗を接続することを推奨します。

10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCR レジスタが保護するレジスタは次です。

- PRC0 ビットで保護されるレジスタ：CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3 レジスタ
- PRC1 ビットで保護されるレジスタ：PM0、PM1 レジスタ
- PRC2 ビットで保護されるレジスタ：PD0 レジスタ
- PRC3 ビットで保護されるレジスタ：OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C レジスタ

10.1 レジスタの説明

10.1.1 プロテクトレジスタ (PRCR)

アドレス 000Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	PRC3	PRC2	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	
b0	PRC0	プロテクトビット0	CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b1	PRC1	プロテクトビット1	PM0、PM1 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b2	PRC2	プロテクトビット2	PD0 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b3	PRC3	プロテクトビット3	OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b4	-	予約ビット	“ 0 ” にしてください	R/W
b5	-			
b6	-			
b7	-	何も配置されていない。書く場合、“ 0 ” を書いてください。読んだ場合、その値は “ 0 ”。		-

注1. PRC2 ビットは“1”を書いた後、任意の番地に書き込みを実行すると、“0”になります。他のビットは“0”になりませんので、プログラムで“0”にしてください。

11. 割り込み

11.1 概要

11.1.1 割り込みの分類

図 11.1 に割り込みの分類を示します。

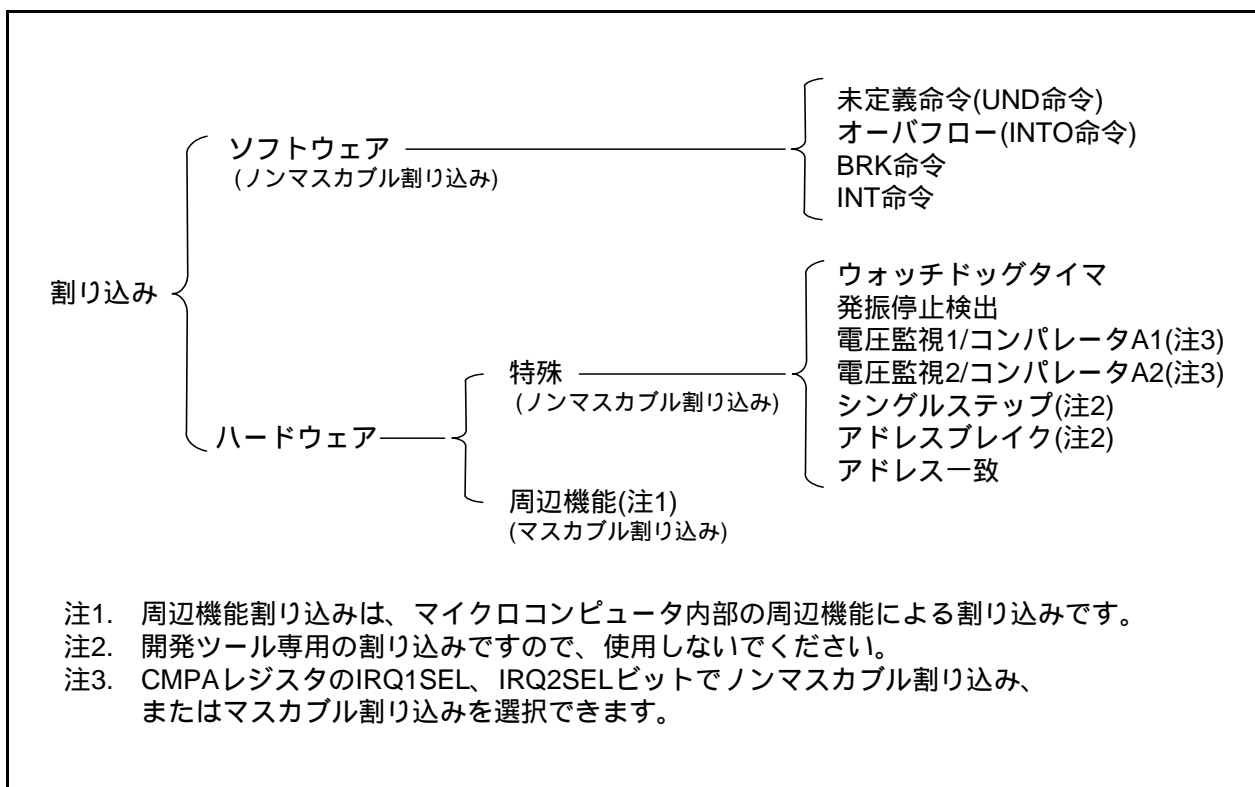


図 11.1 割り込みの分類

- ・マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ・ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

11.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

11.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND 命令を実行すると発生します。

11.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、O フラグが “1” (演算の結果がオーバフロー) の場合、INTO 命令を実行すると発生します。演算によって O フラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

11.1.2.3 BRK 割り込み

BRK 割り込みは、BRK 命令を実行すると発生します。

11.1.2.4 INT 命令割り込み

INT 命令割り込みは、INT 命令を実行すると発生します。INT 命令で指定できるソフトウェア割り込み番号は 0 ~ 63 です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT 命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号 0 ~ 31 では、命令実行時に U フラグを退避し、U フラグを “0” (ISP を選択) にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいた U フラグを復帰します。ソフトウェア割り込み番号 32 ~ 63 では、命令実行時 U フラグは変化せず、そのとき選択されている SP を使用します。

11.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

11.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「14. ウォッチドッグタイマ」を参照してください。

11.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。

11.1.3.3 電圧監視1/コンパレータA1割り込み

電圧検出回路/コンパレータAによる割り込みです。CMPAレジスタのIRQ1SELビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を、コンパレータAの詳細は「32. コンパレータA」を参照してください。

11.1.3.4 電圧監視2/コンパレータA2割り込み

電圧検出回路/コンパレータAによる割り込みです。CMPAレジスタのIRQ2SELビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を、コンパレータAの詳細は「32. コンパレータA」を参照してください。

11.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

11.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIER0レジスタのAIER00ビット、AIER1レジスタのAIER10ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.6 アドレス一致割り込み」を参照してください。

11.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表11.2～表11.3 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

11.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。
割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。
図11.2に割り込みベクタを示します。

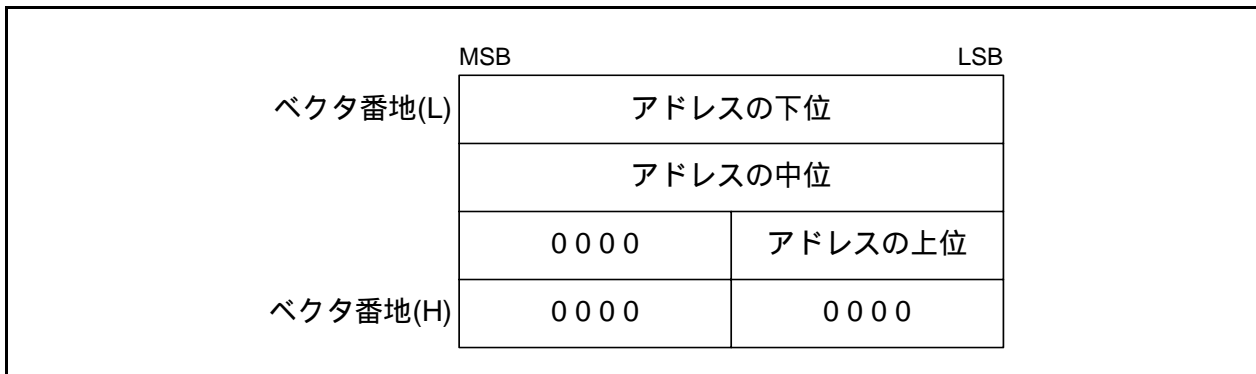


図11.2 割り込みベクタ

11.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表11.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で
使用します。詳細は「34.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表11.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	備考	参照先
未定義命令	0FFDCh ~ 0FFDFh	UND命令で割り込み	R8C/Tinyシリーズソフト ウェアマニュアル
オーバフロー	0FFE0h ~ 0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h ~ 0FFE7h	0FFE7h番地の内容が FFhの場合は可変ベク タテーブル内のベクタ が示す番地から実行	
アドレス一致	0FFE8h ~ 0FFEBh		11.6 アドレス一致割り込み
シングルステップ(注1)	0FFEC h ~ 0FFEFh		
ウォッチドッグタイマ、 発振停止検出、 電圧監視1/コンパレータA1、 電圧監視2/コンパレータA2	0FFF0h ~ 0FFF3h		14. ウォッチドッグタイマ、 9. クロック発生回路、 6. 電圧検出回路 32. コンパレータA
アドレスブレイク(注1)	0FFF4h ~ 0FFF7h		
(予約)	0FFF8h ~ 0FFFBh		
リセット	0FFFCh ~ 0FFFFh		5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

11.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。

表11.2～表11.3に可変ベクタテーブルを示します。

表11.2 可変ベクタテーブル(1)

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフト ウェア 割り込み 番号	割り込み 制御 レジスタ	参照先
BRK命令(注3)	+0～+3(0000h～0003h)	0		R8C/Tinyシリーズ ソフトウェアマニュアル
フラッシュメモリレディ (予約)	+4～+7(0004h～0007h)	1	FMRDYIC	34. フラッシュメモリ
INT4	+24～+27(0018h～001BFh)	6	INT4IC	11.4 INT割り込み
タイマRC	+28～+31(001Ch～001Fh)	7	TRCIC	19. タイマRC
タイマRD0	+32～+35(0020h～0023h)	8	TRD0IC	20. タイマRD
タイマRD1	+36～+39(0024h～0027h)	9	TRD1IC	
タイマRE	+40～+43(0028h～002Bh)	10	TREIC	21. タイマRE
UART2送信/NACK2	+44～+47(002Ch～002Fh)	11	S2TIC	25. シリアルインタフェース (UART2)
UART2受信/ACK2	+48～+51(0030h～0033h)	12	S2RIC	
キー入力	+52～+55(0034h～0037h)	13	KUPIC	11.5 キー入力割り込み
A/D変換	+56～+59(0038h～003Bh)	14	ADIC	30. A/Dコンバータ
シンクロナスシリアルコ ミュニケーションユニット/ I ² Cバスインタフェース (注2)	+60～+63(003Ch～003Fh)	15	SSUIC/ IICIC	27. シンクロナスシリアルコ ミュニケーションユニッ ト(SSU)、 28. I ² Cバスインタフェース
タイマRFコンペア1	+64～+67(0040h～0043h)	16	CMP1IC	22. タイマRF
UART0送信	+68～+71(0044h～0047h)	17	S0TIC	24. シリアルインタフェース (UARTi (i=0～1))
UART0受信	+72～+75(0048h～004Bh)	18	S0RIC	
UART1送信	+76～+79(004Ch～004Fh)	19	S1TIC	
UART1受信	+80～+83(0050h～0053h)	20	S1RIC	
INT2	+84～+87(0054h～0057h)	21	INT2IC	11.4 INT割り込み
タイマRA	+88～+91(0058h～005Bh)	22	TRAIC	17. タイマRA
(予約)		23		
タイマRB	+96～+99(0060h～0063h)	24	TRBIC	18. タイマRB
INT1	+100～+103(0064h～0067h)	25	INT1IC	11.4 INT割り込み
INT3	+104～+107(0068h～006Bh)	26	INT3IC	
タイマRF	+108～+111(006Ch～006Fh)	27	TRFIC	22. タイマRF
タイマRFコンペア0	+112～+115(0070h～0073h)	28	CMP0IC	
INT0	+116～+119(0074h～0077h)	29	INT0IC	11.4 INT割り込み
UART2バス衝突検出	+120～+123(0078h～007Bh)	30	U2BCNIC	25. シリアルインタフェース (UART2)
タイマRFキャプチャ	+124～+127(007Ch～007Fh)	31	CAPIC	22. タイマRF
ソフトウェア(注3)	+128～+131(0080h～0083h)～ +164～+167(00A4h～00A7h)	32～41		R8C/Tinyシリーズ ソフトウェアマニュアル
(予約)		42		
タイマRG	+172～+175(00ACh～00AFh)	43	TRGIC	23. タイマRG
(予約)		44～49		

注1. INTBレジスタが示す番地からの相対番地です。

注2. SSUICSRレジスタのIICSELビットで選択できます。

注3. Iフラグによる禁止はできません。

表 11.3 可変ベクタテーブル(2)

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフト ウェア 割り込み 番号	割り込み 制御 レジスタ	参照先
電圧監視 1/コンパレータ A1	+200 ~ +203(00C8h ~ 00CBh)	50	VCMP1IC	6. 電圧検出回路、 32. コンパレータ A
電圧監視 2/コンパレータ A2	+204 ~ +207(00CCh ~ 00CFh)	51	VCMP2IC	
(予約)		52 ~ 55		
ソフトウェア(注1)	+224 ~ +227(00E0h ~ 00E3h) ~ +252 ~ +255(00FCh ~ 00FFh)	56 ~ 63		R8C/Tiny シリーズ ソフトウェアマニュアル

注1. Iフラグによる禁止はできません。

11.2 レジスタの説明

11.2.1 割り込み制御レジスタ

(TREIC、S2TIC、S2RIC、KUPIC、ADIC、CMP1IC、S0TIC、S0RIC、S1TIC、S1RIC、TRAIC、TRBIC、TRFIC、CMP0IC、U2BCNIC、CAPIC、VCMP1IC、VCMP2IC)

アドレス 004Ah 番地 (TREIC)、004Bh 番地 (S2TIC)、004Ch 番地 (S2RIC)、004Dh 番地 (KUPIC)、004Eh 番地 (ADIC)、0050h 番地 (CMP1IC)、0051h 番地 (S0TIC)、0052h 番地 (S0RIC)、0053h 番地 (S1TIC)、0054h 番地 (S1RIC)、0056h 番地 (TRAIC)、0058h 番地 (TRBIC)、005Bh 番地 (TRFIC)、005Ch 番地 (CMP0IC)、005Eh 番地 (U2BCNIC)、005Fh 番地 (CAPIC)、0072h 番地 (VCMP1IC)、0073h 番地 (VCMP2IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
			1 0 0 : レベル4	
			1 0 1 : レベル5	
			1 1 0 : レベル6	
			1 1 1 : レベル7	
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	-			
b6	-			
b7	-			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

11.2.2 割り込み制御レジスタ (FMRDYIC、TRCIC、TRD0IC、TRD1IC、SSUIC/IICIC、TRGIC)

アドレス 0041h 番地 (FMRDYIC)、0047h 番地 (TRCIC)、0048h 番地 (TRD0IC)、0049h 番地 (TRD1IC)、
004Fh 番地 (SSUIC/IICIC(注1))、006Bh 番地 (TRGIC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0	R/W
b1	ILVL1		0 0 0 : レベル0 (割り込み禁止)	R/W
b2	ILVL2		0 0 1 : レベル1	R/W
			0 1 0 : レベル2	
			0 1 1 : レベル3	
			1 0 0 : レベル4	
			1 0 1 : レベル5	
			1 1 0 : レベル6	
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	-			
b6	-			
b7	-			

注1. SSUICSR レジスタのIICSEL ビットで選択できます。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

11.2.3 INTi割り込み制御レジスタ (INTiIC)(i=0 ~ 4)

アドレス 0046h 番地 (INT4IC)、0055h 番地 (INT2IC)、0059h 番地 (INT1IC)、005Ah 番地 (INT3IC)、005Dh 番地 (INT0IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	POL	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0	R/W
b1	ILVL1		0 0 0 : レベル0 (割り込み禁止)	R/W
b2	ILVL2		0 0 1 : レベル1	R/W
			0 1 0 : レベル2	
			0 1 1 : レベル3	
			1 0 0 : レベル4	
			1 0 1 : レベル5	
			1 1 0 : レベル6	
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	POL	極性切り替えビット(注3)	0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択(注2)	R/W
b5	-	予約ビット	“ 0 ” にしてください	R/W
b6	-	何も配置されていない。書く場合、“ 0 ” を書いてください。読んだ場合、その値は不定。		-
b7	-			

注1. IRビットは"0"のみ書けます("1"を書かないでください)。

注2. INTENレジスタのINTiPLビットが"1"(両エッジ)の場合、POLビットを"0"(立ち下がりエッジを選択)にしてください。

注3. POLビットを変更すると、IRビットが"1"(割り込み要求あり)になることがあります。

「11.8.4 割り込み要因の変更」を参照してください。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

11.3 割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLG レジスタの I フラグ、IPL、各割り込み制御レジスタの ILVL2 ~ ILVL0 ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタの IR ビットに示されます。

11.3.1 I フラグ

I フラグは、マスカブル割り込みを許可または禁止します。I フラグを “1” (許可) にすると、マスカブル割り込みは許可され、“0” (禁止) にするとすべてのマスカブル割り込みは禁止されます。

11.3.2 IR ビット

IR ビットは割り込み要求が発生すると、“1” (割り込み要求あり) になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IR ビットは“0” (割り込み要求なし) になります。

IR ビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマ RC 割り込み、タイマ RD 割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²C バスインタフェース、フラッシュメモリ割り込みでは、IR ビットの動作が違います。「11.7 タイマ RC 割り込み、タイマ RD 割り込み、タイマ RG 割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²C バスインタフェース、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み)」を参照してください。

11.3.3 ILVL2 ~ ILVL0 ビット、IPL

割り込み優先レベルは、ILVL2 ~ ILVL0 ビットで設定できます。

表 11.4 に割り込み優先レベルの設定を、表 11.5 に IPL により許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- I フラグ = 1
- IR ビット = 1
- 割り込み優先レベル > IPL

I フラグ、IR ビット、ILVL2 ~ ILVL0 ビット、IPL はそれぞれ独立しており、互いに影響を与えることはありません。

表 11.4 割り込み優先レベルの設定

ILVL2 ~ ILVL0	割り込み優先レベル	優先順位
000b	レベル 0 (割り込み禁止)	<div style="text-align: center;"> 低い ↓ 高い </div>
001b	レベル 1	
010b	レベル 2	
011b	レベル 3	
100b	レベル 4	
101b	レベル 5	
110b	レベル 6	
111b	レベル 7	

表 11.5 IPL により許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル 1 以上を許可
001b	レベル 2 以上を許可
010b	レベル 3 以上を許可
011b	レベル 4 以上を許可
100b	レベル 5 以上を許可
101b	レベル 6 以上を許可
110b	レベル 7 以上を許可
111b	すべてのマスカブル割り込みを禁止

11.3.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

図 11.3 に割り込みシーケンスの実行時間を示します。

- (1) 00000h 番地を読むことで、CPU は割り込み情報 (割り込み番号、割り込み要求レベル) を獲得します。その後、該当する割り込みの IR ビットが “0” (割り込み要求なし) になります。(注 2)
- (2) 割り込みシーケンス直前の FLG レジスタを CPU 内部の一時レジスタ (注 1) に退避します。
- (3) FLG レジスタのうち、I フラグ、D フラグ、U フラグは次のようになります。
I フラグは “0” (割り込み禁止)
D フラグは “0” (シングルステップ割り込みは割り込み禁止)
U フラグは “0” (ISP を指定)
ただし、U フラグは、ソフトウェア割り込み番号 32 ~ 63 の INT 命令を実行した場合は変化しません。
- (4) CPU 内部の一時レジスタ (注 1) をスタックに退避します。
- (5) PC をスタックに退避します。
- (6) IPL に、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地が PC に入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注 1. ユーザは使用できません。

注 2. タイマ RC、タイマ RD、シンクロナスシリアルコミュニケーションユニット、I²C バスインタフェース割り込みの IR ビットの動作は「11.7 タイマ RC 割り込み、タイマ RD 割り込み、タイマ RG 割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²C バスインタフェース、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み)」を参照してください。

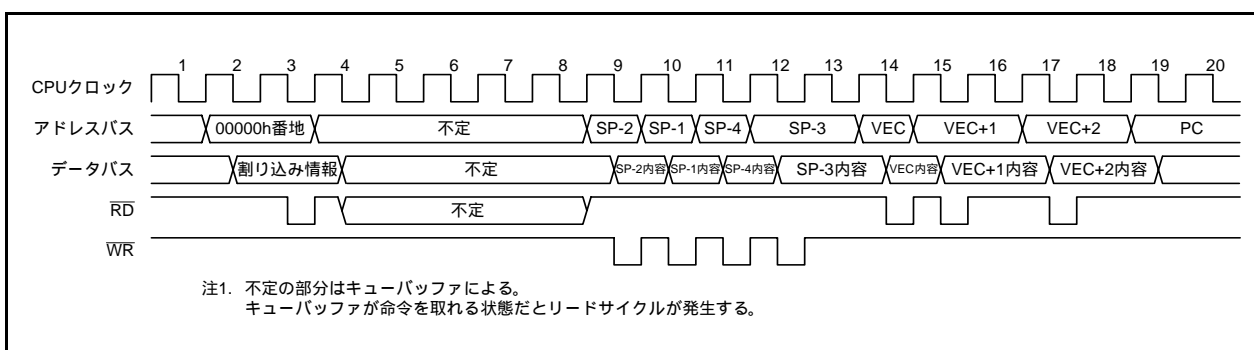


図 11.3 割り込みシーケンスの実行時間

11.3.5 割り込み応答時間

図 11.4 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間 (図 11.4 の (a)) と割り込みシーケンスを実行する時間 (20 サイクル (b)) で構成されます。

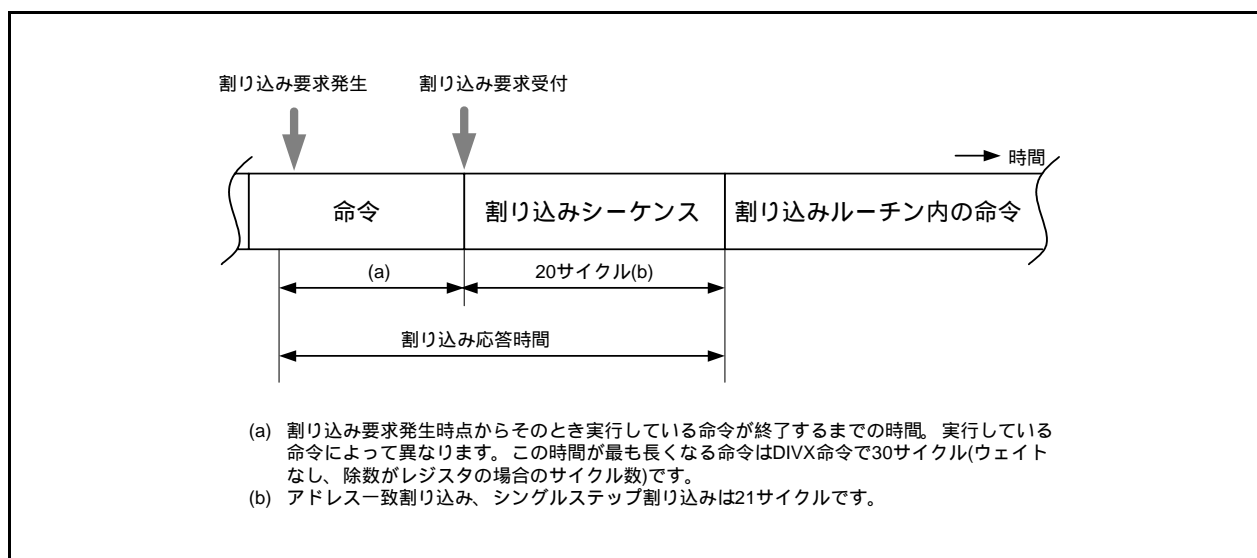


図 11.4 割り込み応答時間

11.3.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 11.6 に示す値がIPLに設定されます。

表 11.6 にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 11.6 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視 1/コンパレータ A1、電圧監視 2/コンパレータ A2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

11.3.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図11.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

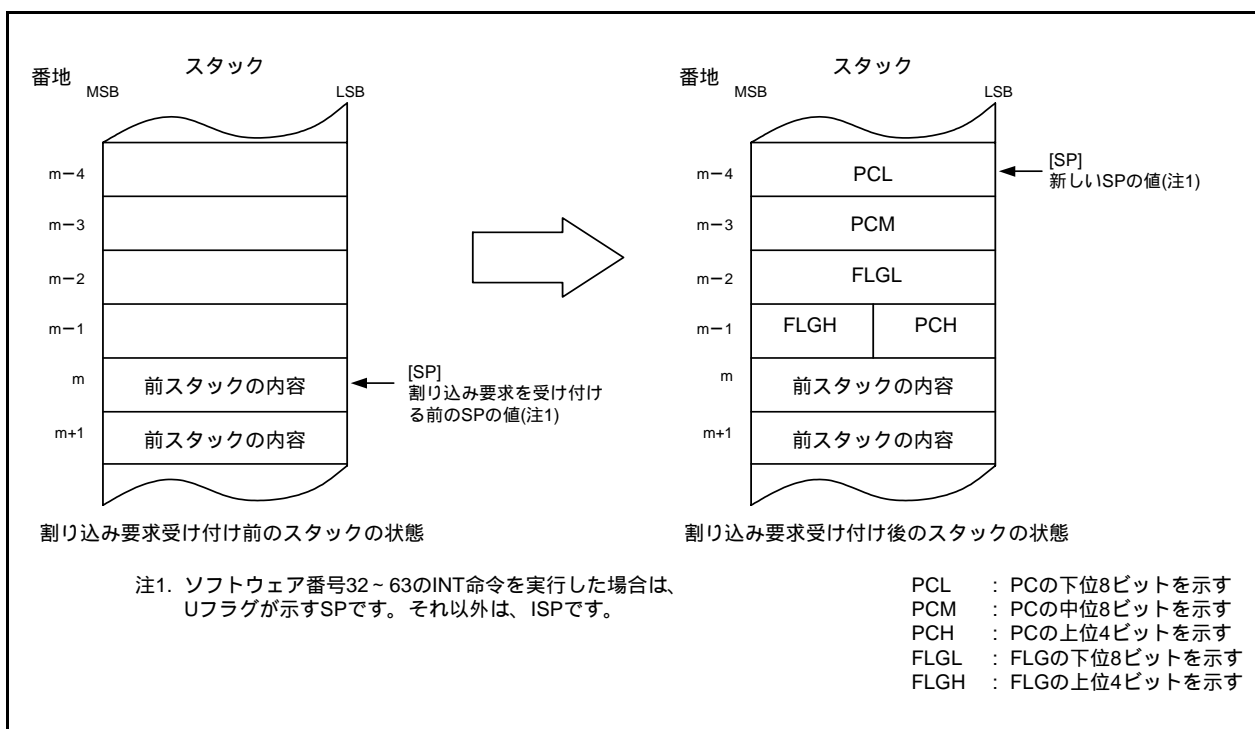


図11.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。

図 11.6 にレジスタ退避動作を示します。

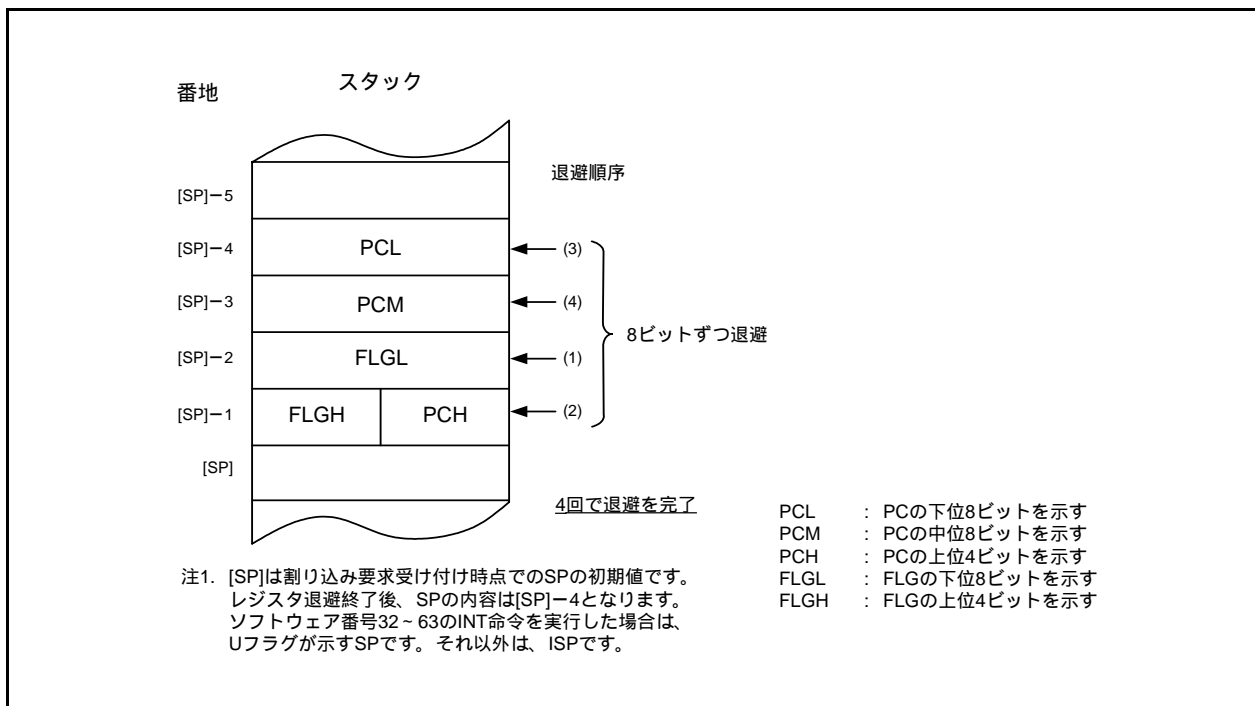


図 11.6 レジスタ退避動作

11.3.8 割り込みルーチンからの復帰

割り込みルーチンの最後で REIT 命令を実行すると、スタックに退避していた割り込みシーケンス直前の FLG レジスタと PC が復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT 命令実行前に POPM 命令などを使用して復帰してください。

11.3.9 割り込み優先順位

1 命令実行中に 2 つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2 ~ ILVL0 ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図 11.7 にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

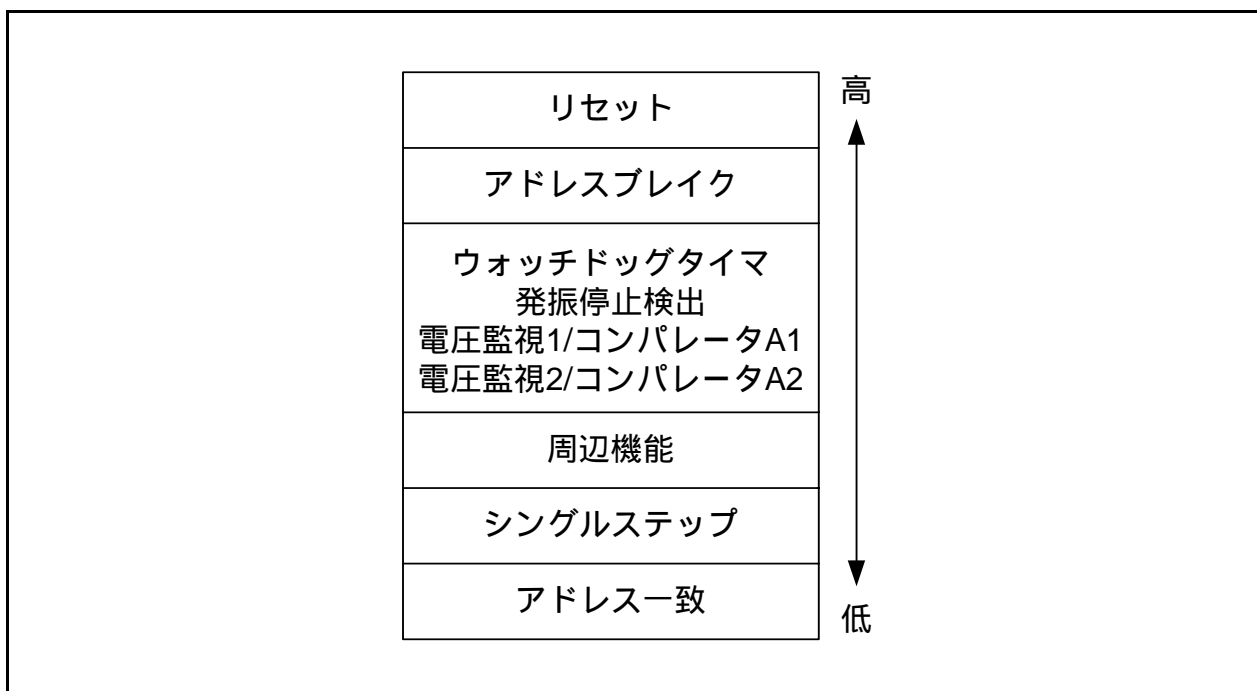


図 11.7 ハードウェア割り込みの割り込み優先順位

11.3.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。

図 11.8 に割り込み優先レベルの判定回路を示します。

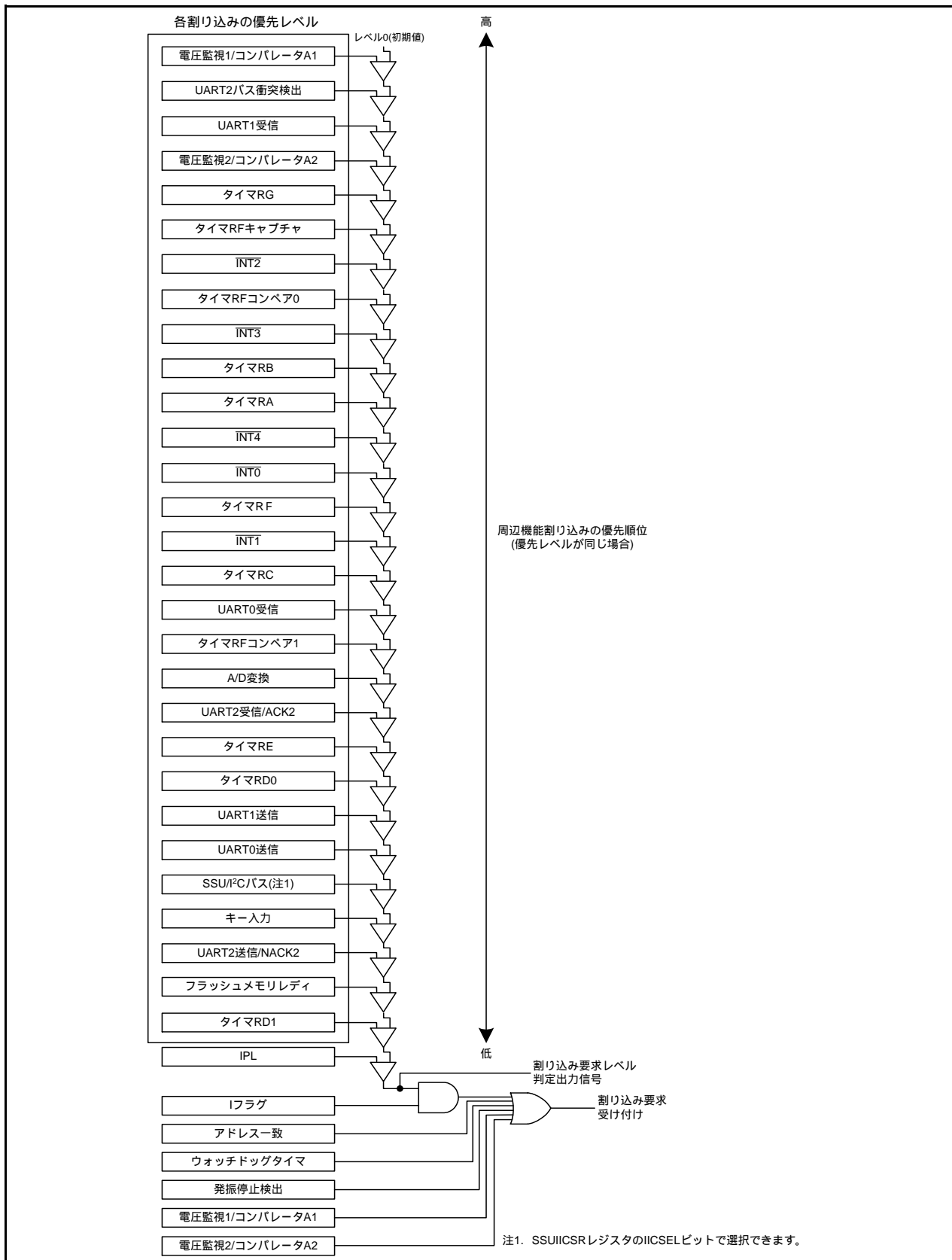


図 11.8 割り込み優先レベルの判定回路

11.4 INT 割り込み

11.4.1 INT_i 割り込み (i=0 ~ 4)

INT_i 割り込みは INT_i 入力による割り込みです。INT_i 割り込みを使用するときは INTEN レジスタの INT_iEN ビット “1” (許可) にしてください。極性を INTEN レジスタの INT_iPL ビットと INT_iIC レジスタの POL ビットで選択できます。INT₁ ~ INT₃ 入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

INT₀ 端子は タイマ RC および タイマ RD のパルス出力強制遮断入力と、タイマ RB の外部トリガ入力と兼用です。INT₂ 端子は タイマ RA のイベント入力有効と兼用です。

表 11.7 に INT 割り込みの端子構成を示します。

表 11.7 INT 割り込みの端子構成

端子名	割り当てる端子	入出力	機能
INT ₀	P4_5	入力	INT ₀ 割り込み入力、タイマ RB の外部トリガ入力、タイマ RC および タイマ RD のパルス出力強制遮断入力
INT ₁	P1_5、P1_7、P2_0、P3_2 または P3_6	入力	INT ₁ 割り込み入力
INT ₂	P3_2 または P6_6	入力	INT ₂ 割り込み入力、タイマ RA のイベント入力有効
INT ₃	P3_3 または P6_7	入力	INT ₃ 割り込み入力
INT ₄	P6_5	入力	INT ₄ 割り込み入力

11.4.2 INT割り込み入力端子選択レジスタ (INTSR)

アドレス 018Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3SEL1	INT3SEL0	-	INT2SEL0	INT1SEL2	INT1SEL1	INT1SEL0	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	INT1SEL0	INT1 端子選択ビット	b3 b2 b1 0 0 0 : P1_7に割り当てる 0 0 1 : P1_5に割り当てる 0 1 0 : P2_0に割り当てる 0 1 1 : P3_6に割り当てる 1 0 0 : P3_2に割り当てる 上記以外：設定しないでください	R/W
b2	INT1SEL1			R/W
b3	INT1SEL2			R/W
b4	INT2SEL0	INT2 端子選択ビット	0 : P6_6に割り当てる 1 : P3_2に割り当てる	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	INT3SEL0	INT3 端子選択ビット	b7 b6 0 0 : P3_3に割り当てる 0 1 : 設定しないでください 1 0 : P6_7に割り当てる 1 1 : 設定しないでください	R/W
b7	INT3SEL1			R/W

INTSRレジスタは、 $\overline{\text{INT}}_i$ ($i=1 \sim 3$)の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}}_i$ を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INT}}_i$ の関連レジスタを設定する前に、INTSRレジスタを設定してください。また、 $\overline{\text{INT}}_i$ の動作中はINTSRレジスタの設定値を変更しないでください。

11.4.3 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	INT0 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	INT0 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	INT1 入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	INT1 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT2EN	INT2 入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT2PL	INT2 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT3EN	INT3 入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	INT3 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPL ビット (i=0 ~ 3) を “1” (両エッジ) にする場合、INTiIC レジスタの POL ビットを “0” (立ち下がりエッジを選択) にしてください。

注2. INTiPL ビットを変更すると、INTiIC レジスタの IR ビットが “1” (割り込み要求あり) になることがあります。
「11.8.4 割り込み要因の変更」を参照してください。

11.4.4 外部入力許可レジスタ1 (INTEN1)

アドレス 01FBh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	INT4PL	INT4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4EN	INT4 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT4PL	INT4 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. INT4PL ビットを “1” (両エッジ) にする場合、INT4IC レジスタの POL ビットを “0” (立ち下がりエッジを選択) にしてください。

注2. INT4PL ビットを変更すると、INT4IC レジスタの IR ビットが “1” (割り込み要求あり) になることがあります。
「11.8.4 割り込み要因の変更」を参照してください。

11.4.5 INT 入力フィルタ選択レジスタ 0 (INTF)

アドレス 01FCh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0 入力フィルタ選択ビット	b1 b0 00 : フィルタなし 01 : フィルタあり、f1 でサンプリング 10 : フィルタあり、f8 でサンプリング 11 : フィルタあり、f32 でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1 入力フィルタ選択ビット	b3 b2 00 : フィルタなし 01 : フィルタあり、f1 でサンプリング 10 : フィルタあり、f8 でサンプリング 11 : フィルタあり、f32 でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	INT2 入力フィルタ選択ビット	b5 b4 00 : フィルタなし 01 : フィルタあり、f1 でサンプリング 10 : フィルタあり、f8 でサンプリング 11 : フィルタあり、f32 でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	INT3 入力フィルタ選択ビット	b7 b6 00 : フィルタなし 01 : フィルタあり、f1 でサンプリング 10 : フィルタあり、f8 でサンプリング 11 : フィルタあり、f32 でサンプリング	R/W
b7	INT3F1			R/W

11.4.6 INT 入力フィルタ選択レジスタ 1 (INTF1)

アドレス 01FDh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	INT4F1	INT4F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4F0	INT4 入力フィルタ選択ビット	b1 b0 00 : フィルタなし 01 : フィルタあり、f1 でサンプリング 10 : フィルタあり、f8 でサンプリング 11 : フィルタあり、f32 でサンプリング	R/W
b1	INT4F1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

11.4.7 INTi入力フィルタ (i=0 ~ 4)

INTi 入力は、デジタルフィルタを持ちます。サンプリングクロックは INTF、INTF1 レジスタの INTiF0 ~ INTiF1 ビットで選択できます。サンプリングクロックごとに INTi のレベルをサンプリングし、レベルが3度一致した時点で、INTiC レジスタの IR ビットが“1”(割り込み要求あり)になります。

図 11.9 に INTi 入力フィルタの構成を、図 11.10 に INTi 入力フィルタ動作例を示します。

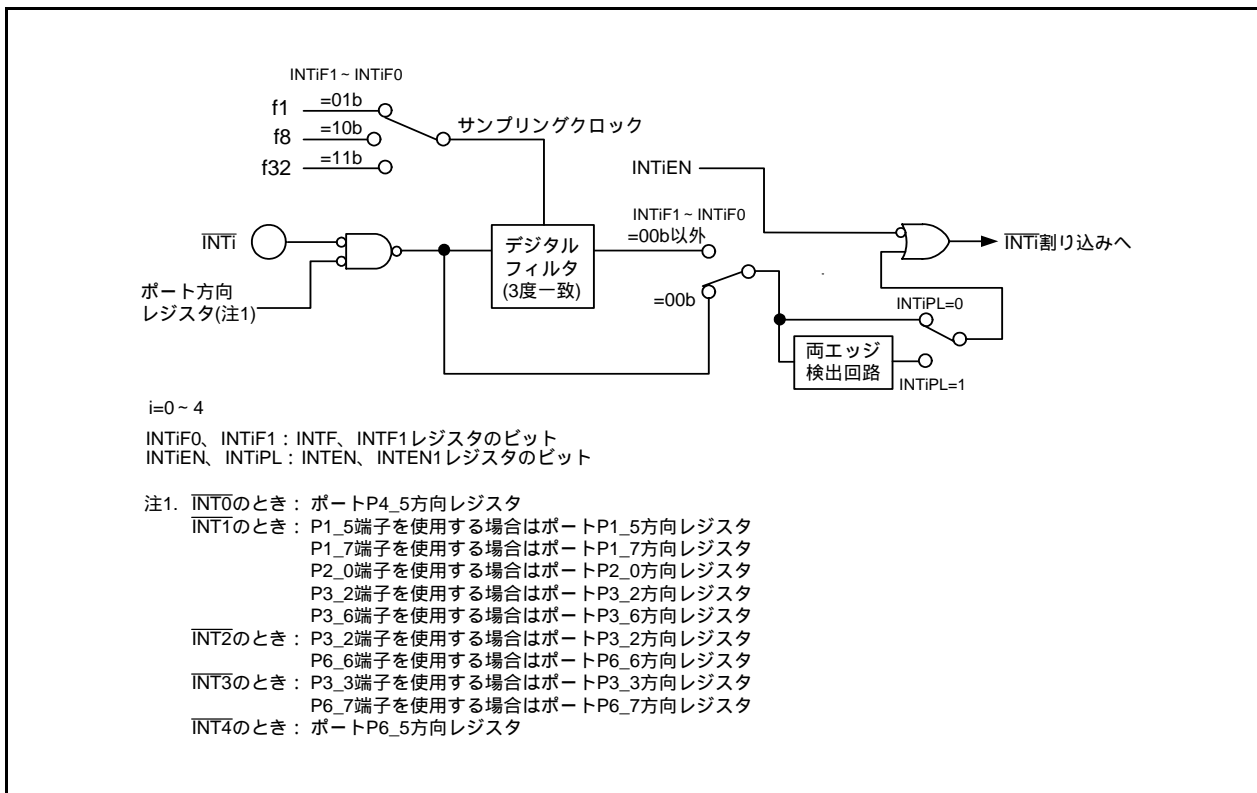


図 11.9 INTi入力フィルタの構成

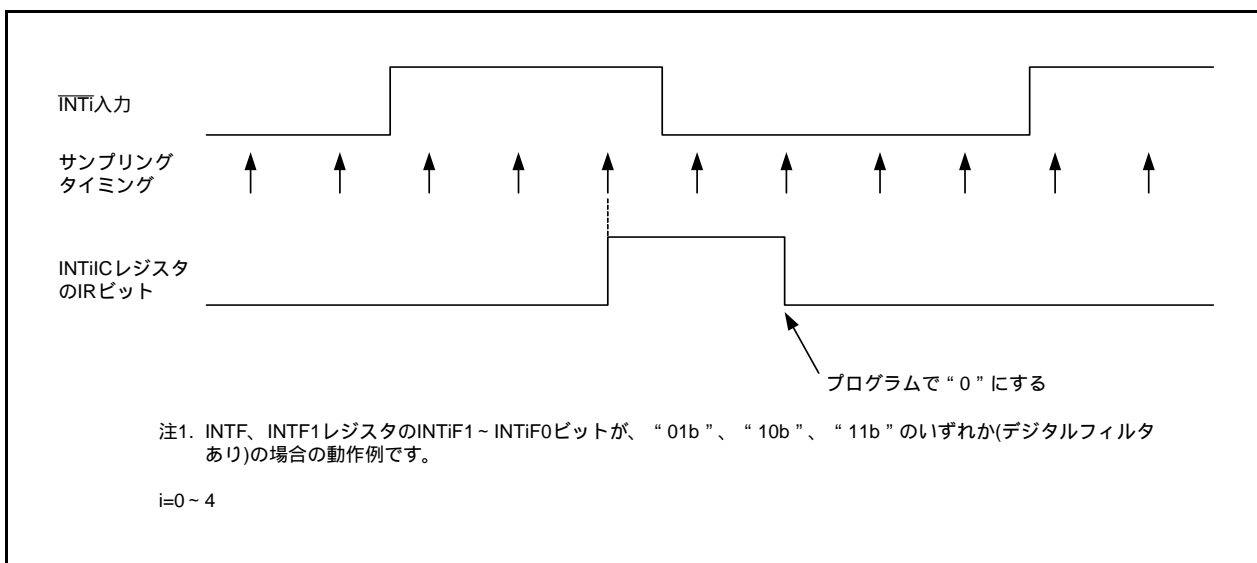


図 11.10 INTi入力フィルタ動作例

11.5 キー入力割り込み

KI0 ~ KI3端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット (i=0 ~ 3) で、端子をKIi入力として使用するかどうかなを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを“0”(立ち上がりエッジ)にしているKIi端子に“L”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。同様に、KIiPLビットを“1”(立ち上がりエッジ)にしているKIi端子に“H”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。

図11.11にキー入力割り込みのブロック図を示します。表11.8にキー入力割り込みの端子構成を示します。

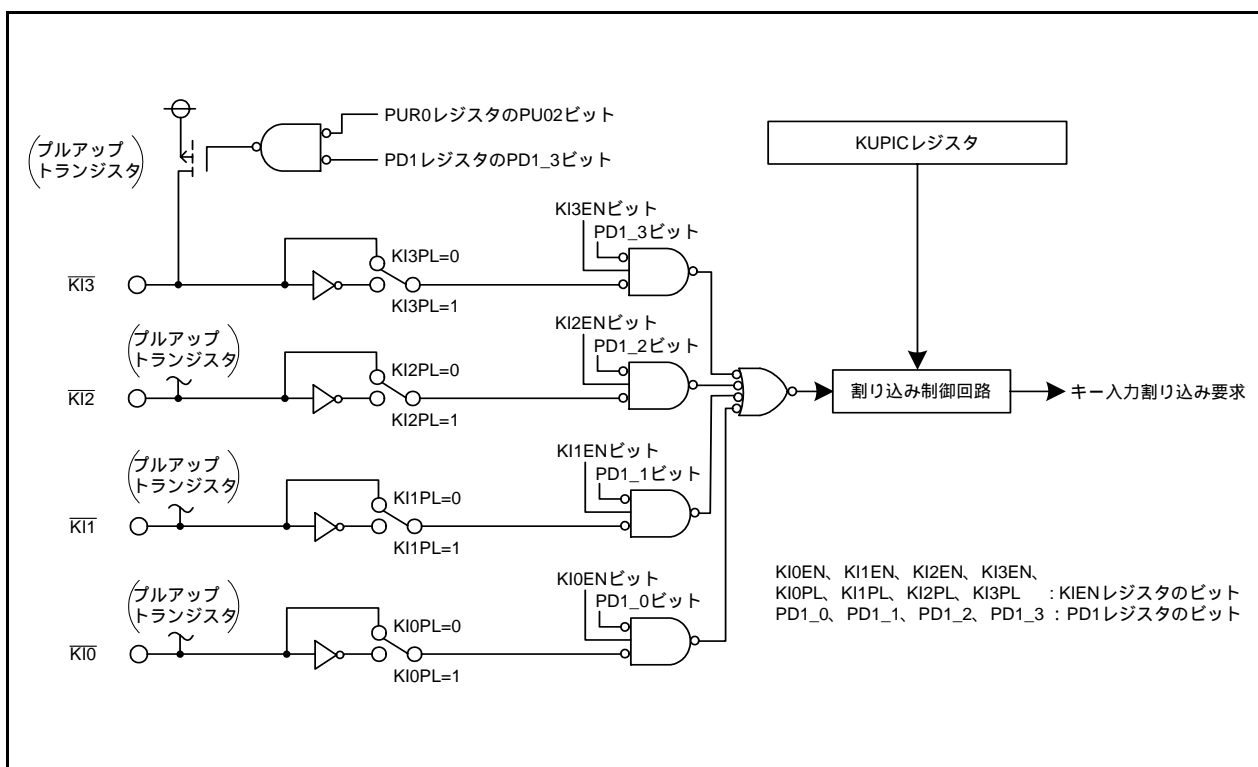


図11.11 キー入力割り込みのブロック図

表11.8 キー入力割り込みの端子構成

端子名	入出力	機能
KI0	入力	KI0 割り込み入力
KI1	入力	KI1 割り込み入力
KI2	入力	KI2 割り込み入力
KI3	入力	KI3 割り込み入力

11.5.1 キー入力許可レジスタ0 (KIEN)

アドレス 01FEh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI3PL	KI3EN	KI2PL	KI2EN	KI1PL	KI1EN	KI0PL	KI0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	KI0入力許可ビット	0：禁止 1：許可	R/W
b1	KI0PL	KI0入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b2	KI1EN	KI1入力許可ビット	0：禁止 1：許可	R/W
b3	KI1PL	KI1入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b4	KI2EN	KI2入力許可ビット	0：禁止 1：許可	R/W
b5	KI2PL	KI2入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b6	KI3EN	KI3入力許可ビット	0：禁止 1：許可	R/W
b7	KI3PL	KI3入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W

KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

11.6 アドレス一致割り込み

RMAD_i (i=0 ~ 1) レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1 レジスタ、固定ベクタテーブル)を設定しないでください。

RMAD_i (i=0 ~ 1) には命令の先頭番地を設定してください。割り込みの禁止または許可はAIER_i レジスタのAIER_i0 ビットで選択できます。アドレス一致割り込みは、I フラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「11.3.7 レジスタ退避」参照)は、RMAD_i レジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表 11.9 にアドレス一致割り込み要求受け付け時に退避されるPCの値を、表 11.10 にアドレス一致割り込み要因と関連レジスタの対応を示します。

表 11.9 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMAD _i レジスタ (i=0 ~ 1) で示される番地の命令	退避されるPCの値(注1)
<ul style="list-style-type: none"> • オペコードが2バイトの命令(注2) • オペコードが1バイトの命令(注2) ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPs #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMAD _i レジスタで示される番地+2
上記以外	RMAD _i レジスタで示される番地+1

注1. 退避されるPCの値:「11.3.7 レジスタ退避」参照。

注2. オペコード:「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表 11.10 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER00	RMAD0
アドレス一致割り込み1	AIER10	RMAD1

11.6.1 アドレス一致割り込み許可レジスタ i (AIER i)($i=0 \sim 1$)

アドレス 01C3h 番地 (AIER0)、01C7h 番地 (AIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	-	-	-	-	-	-	AIER00
リセット後の値	0	0	0	0	0	0	0	0	

AIER0 レジスタ

シンボル	-	-	-	-	-	-	-	-	AIER10
リセット後の値	0	0	0	0	0	0	0	0	

AIER1 レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	AIERi0	アドレス一致割り込み i 許可ビット	0：禁止 1：許可	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

11.6.2 アドレス一致割り込みレジスタ i (RMAD i)($i=0 \sim 1$)

アドレス 01C2h ~ 01C0h 番地 (RMAD0)、01C6h ~ 01C4h 番地 (RMAD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	X	X	X	X

ビット	シンボル	機能	設定可能値	R/W
b19 ~ b0	-	アドレス一致割り込み用アドレス設定レジスタ	00000h ~ FFFFFh	R/W
b20	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b21	-			
b22	-			
b23	-			

11.7 タイマRC割り込み、タイマRD割り込み、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I²Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC、タイマRD(タイマRD0)、タイマRD(タイマRD1)、タイマRG、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表11.11にタイマRC、タイマRD、タイマRG、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース、フラッシュメモリ割り込み関連レジスタを、図11.12にタイマRD割り込みのブロック図を示します。

表11.11 タイマRC、タイマRD、タイマRG、シンクロナスシリアルコミュニケーションユニット、I²Cバスインタフェース、フラッシュメモリ割り込み関連レジスタ

周辺機能名	割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC	TRCSR	TRCIE	TRCIC
タイマRD	タイマRD0 TRDSR0	TRDIER0	TRD0IC
	タイマRD1 TRDSR1	TRDIER1	TRD1IC
タイマRG	TRGSR	TRGIER	TRGIC
シンクロナスシリアルコミュニケーションユニット	SSSR	SSER	SSUIC
I ² Cバスインタフェース	ICSR	ICIER	IICIC
フラッシュメモリ	RDYSTI	RDYSTIE	FMRDYIC
	BSYAEI	BSYAEIE	
		CMDERIE	

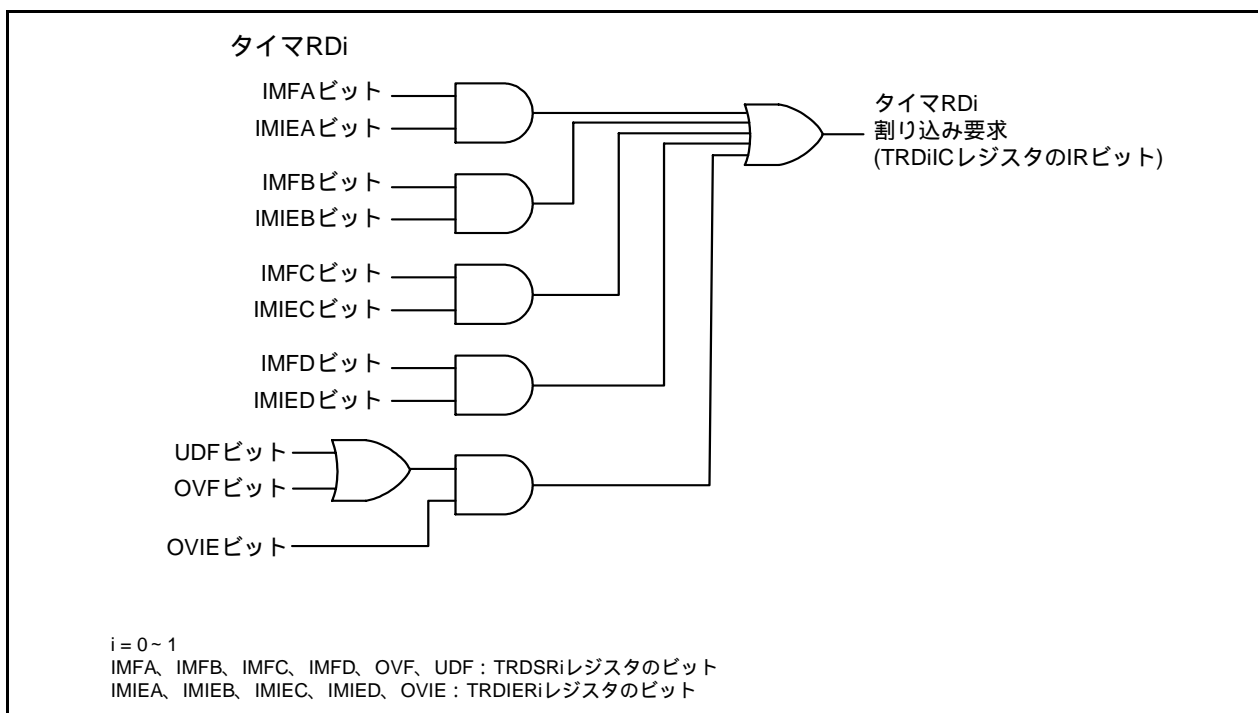


図11.12 タイマRD割り込みのブロック図

タイマ RC、タイマ RD(タイマ RD0)、タイマ RD(タイマ RD1)、タイマ RG、シンクロナスシリアルコミュニケーションユニット、I²C バスインタフェース、フラッシュメモリの割り込みが、I フラグ、IR ビット、ILVL0 ~ ILVL2 ビットと IPL の関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1 つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”(割り込み許可)の場合、割り込み制御レジスタの IR ビットが“1”(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になると IR ビットが“0”(割り込み要求なし)になります。
すなわち、IR ビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
また、IR ビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。
このため、IR ビットも割り込みが受け付けられたとき自動的に“0”になりません。
ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IR ビットが“1”になった後、別の要求要因が成立したとき、IR ビットは“1”のまま変化しません。
- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章(「19. タイマ RC」、「20. タイマ RD」、「23. タイマ RG」、「27. シンクロナスシリアルコミュニケーションユニット(SSU)」、「28. I²C バスインタフェース」、「34. フラッシュメモリ」)を参照してください。

割り込み制御レジスタは「11.3 割り込み制御」を参照してください。

11.8 割り込み使用上の注意

11.8.1 00000h 番地の読み出し

プログラムで 00000h 番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPU は割り込みシーケンスの中で割り込み情報 (割り込み番号と割り込み要求レベル) を 00000h 番地から読みます。このとき、受け付けられた割り込みの IR ビットが “0” になります。

プログラムで 00000h 番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みの IR ビットが “0” になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

11.8.2 SP の設定

割り込みを受け付ける前に、SP に値を設定してください。リセット後、SP は “0000h” です。そのため、SP に値を設定する前に割り込みを受け付けると、暴走の要因となります。

11.8.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPU の動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0 \sim 4$) に示す “L” レベル幅、または “H” レベル幅が必要です (詳細は「表 36.24 ($V_{cc} = 5V$)、表 36.31 ($V_{cc} = 3V$)、表 36.38 ($V_{cc} = 2.2V$) 外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0 \sim 4$)、キー入力割り込み $\overline{\text{KIi}}$ ($i = 0 \sim 3$)」を参照)。

11.8.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 11.13 に割り込み要因の変更手順例を示します。

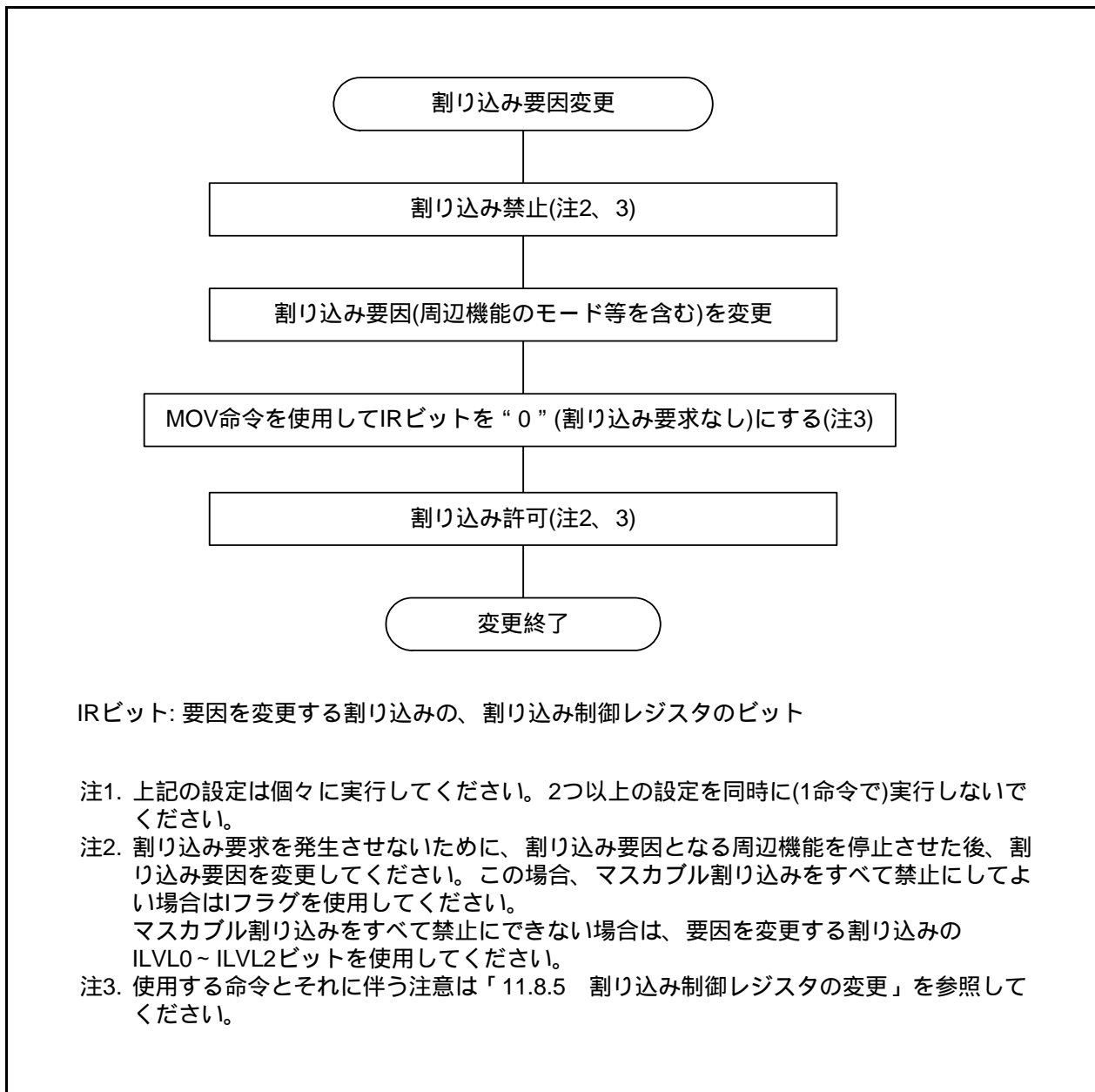


図 11.13 割り込み要因の変更手順例

11.8.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IR ビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IR ビットが“1” (割り込み要求あり) にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IR ビットの変更

IR ビットを“0” (割り込み要求なし) にする場合、使用する命令によってはIR ビットが“0” にならないことがあります。IR ビットはMOV 命令を使用して“0” にしてください。

- (c) I フラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってI フラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は (b) を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にI フラグが“1” (割り込み許可) になることを防ぐ方法です。

例1：NOP 命令で割り込み制御レジスタが変更されるまで待たせる例

INT_SWITCH1:

```
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0056H      ; TRAIC レジスタを “00h” にする
NOP
NOP
FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET 命令を待たせる例

INT_SWITCH2:

```
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0056H      ; TRAIC レジスタを “00h” にする
MOV.W   MEM, R0          ; ダミーリード
FSET    I                ; 割り込み許可
```

例3：POPC 命令でI フラグを変更する例

INT_SWITCH3:

```
PUSHC   FLG
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0056H      ; TRAIC レジスタを “00h” にする
POPC    FLG              ; 割り込み許可
```

12. IDコード領域

IDコード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

12.1 概要

IDコード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFEBh、0FFEfh、0FFF3h、0FFF7h、0FFFBh番地です。図12.1にIDコード領域を示します。

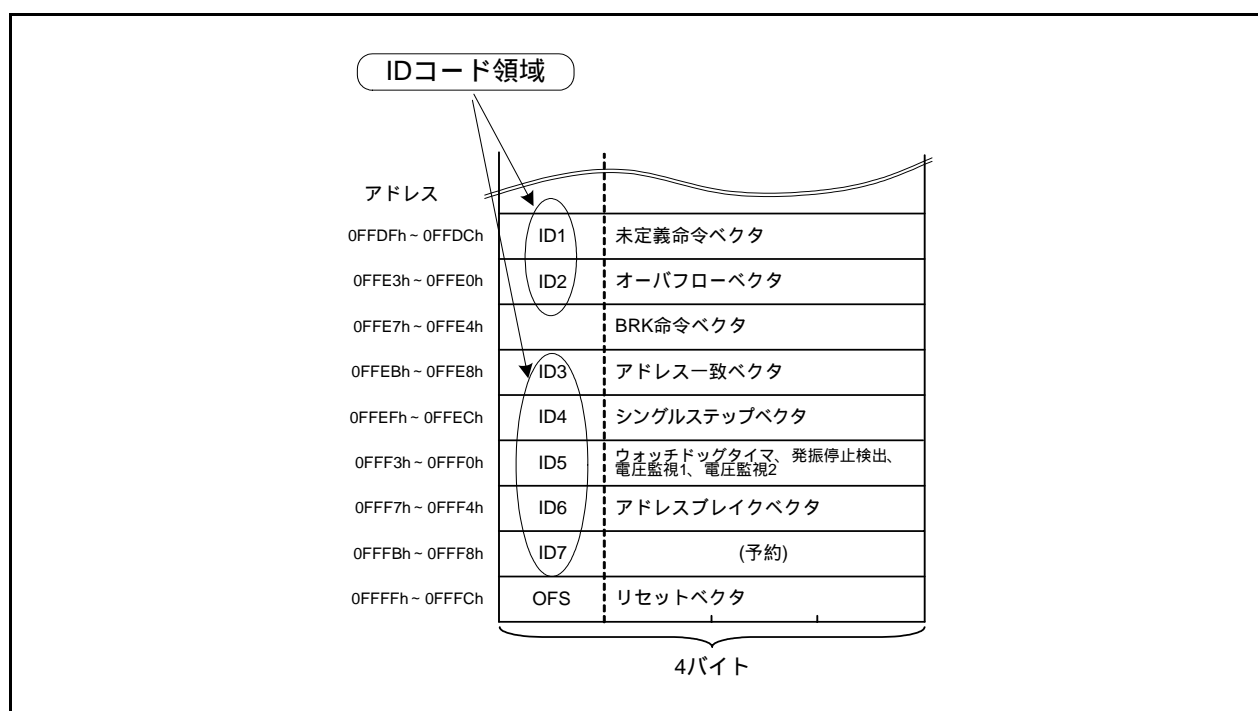


図12.1 IDコード領域

12.2 機能

IDコード領域は標準シリアル入出力モードで使⽤します。標準シリアル入出力モードでリセットベクタの3バイト(0FFFC_h ~ 0FFFE_h番地)が“FFFFFF_h”ではない場合、IDコード領域に格納されているIDコードと、シリアルライタやオンチップデバグgingエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライタやオンチップデバグgingエミュレータを⽤する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFFC_h ~ 0FFFE_h番地)が“FFFFFF_h”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。

なお、IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレース機能で⽤する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で⽤する予約語です。表12.1にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合が予約語です。強制イレース機能、標準シリアル入出力モード禁止機能を使⽤しない場合は、この組み合わせ以外のIDコードを使⽤してください。

表12.1 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)(注1)	
		ALeRASE	Protect
0FFDF _h	ID1	41 _h (“A”大文字)	50 _h (“P”大文字)
0FFE3 _h	ID2	4C _h (“L”大文字)	72 _h (“r”小文字)
0FFEB _h	ID3	65 _h (“e”小文字)	6F _h (“o”小文字)
0FFE _h	ID4	52 _h (“R”大文字)	74 _h (“t”小文字)
0FFF3 _h	ID5	41 _h (“A”大文字)	65 _h (“e”小文字)
0FFF7 _h	ID6	53 _h (“S”大文字)	63 _h (“c”小文字)
0FFFB _h	ID7	45 _h (“E”大文字)	74 _h (“t”小文字)

注1. IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合が予約語です。

12.3 強制イレース機能

強制イレース機能は、標準シリアル入出力モードで使用します。シリアルライタやオンチップデバッグエミュレータから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表12.1 IDコードの予約語」以外)、かつOFSレジスタのROMCRビットが“1”、ROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレースを行わず、IDコードチェック機能によるIDコードの判定を行います。表12.2に強制イレース機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライタやオンチップデバッグエミュレータから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けないので、ユーザROM領域を操作できません。

表12.2 強制イレース機能の条件と動作

条件			動作
シリアルライタやオンチップデバッグエミュレータから送られてくるIDコード	IDコード格納番地のIDコード	OFSレジスタのROMCP1、ROMCRビット	
ALeRASE	ALeRASE		ユーザROM領域をすべて消去(強制イレース機能)
	ALeRASE 以外(注1)	“01b” 以外(ROMコードプロテクト解除)	
		“01b”(ROMコードプロテクト有効)	IDコードの判定(IDコードチェック機能)
ALeRASE 以外	ALeRASE		IDコードの判定(IDコードチェック機能。IDコード不一致になる)
	ALeRASE 以外(注1)		IDコードの判定(IDコードチェック機能)

注1. “Protect”の場合は「12.4 標準シリアル入出力モード禁止機能」参照。

12.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表12.1 IDコードの予約語」参照)の場合、シリアルライタやオンチップデバッグエミュレータとの通信を行いません。このため、シリアルライタやオンチップデバッグエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFSレジスタのROMCRビットを“1”、ROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライタやオンチップデバッグエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライタやオンチップデバッグエミュレータでもパラレルライタでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

12.5 IDコード領域使用上の注意

12.5.1 IDコード領域の設定例

IDコード領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH  
.lword dummy | (55000000h) ; UND  
.lword dummy | (55000000h) ; INTO  
.lword dummy ; BREAK  
.lword dummy | (55000000h) ; ADDRESS MATCH  
.lword dummy | (55000000h) ; SET SINGLE STEP  
.lword dummy | (55000000h) ; WDT  
.lword dummy | (55000000h) ; ADDRESS BREAK  
.lword dummy | (55000000h) ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

13. オプション機能選択領域

13.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh 番地および 0FFDBh 番地がオプション機能選択領域です。図 13.1 にオプション機能選択領域を示します。

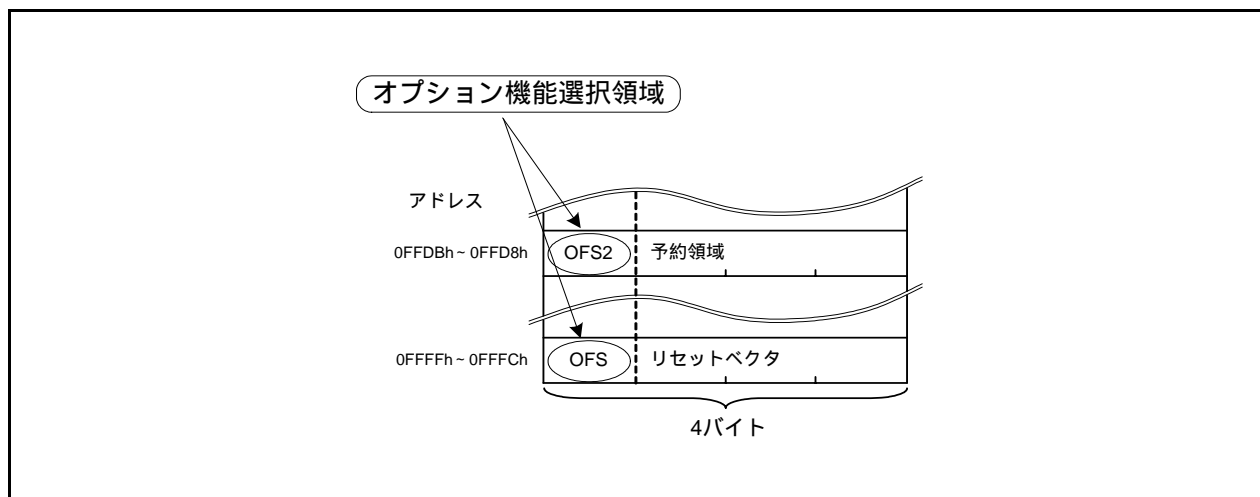


図 13.1 オプション機能選択領域

13.2 レジスタの説明

OFS レジスタおよび OFS2 レジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。

13.2.1 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	-	WDTON
出荷時の値	1	1	1	1	1	1	1	1

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0 : リセット後、ウォッチドッグタイマは自動的に起動 1 : リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0 : ROMコードプロテクト解除 1 : ROMCP1 ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0 : ROMコードプロテクト有効 1 : ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0 : 3.80V を選択 (Vdet0_3) 0 1 : 2.85V を選択 (Vdet0_2) 1 0 : 2.35V を選択 (Vdet0_1) 1 1 : 1.90V を選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0 : リセット後、カウントソース保護モード有効 1 : リセット後、カウントソース保護モード無効	R/W

注1. OFS レジスタを含むブロックを消去すると、OFS レジスタは “FFh” になります。

注2. VDSEL0 ~ VDSEL1 ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDAS ビットを “0” (リセット後、電圧監視0リセット有効) にしてください。

OFS レジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFS レジスタに追加書き込みをしないでください。

LVDAS ビット(電圧検出0回路起動ビット)

電圧検出0回路で監視する Vdet0 電圧は、VDSEL0 ~ VDSEL1 ビットで選択されます。

13.2.2 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
出荷時の値	1	1	1	1	1	1	1	1

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0	R/W
b1	WDTUFS1		0 0 : 03FFh	R/W
			0 1 : 0FFFh	
			1 0 : 1FFFh	
			1 1 : 3FFFh	
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2	R/W
b3	WDTRCS1		0 0 : 25%	R/W
			0 1 : 50%	
			1 0 : 75%	
			1 1 : 100%	
b4	-	予約ビット	“ 1 ” にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタを含むブロックを消去すると、OFS2レジスタの値は“ FFh ”になります。

OFS2 レジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFS2 レジスタに追加書き込みをしないでください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

13.3 オプション機能選択領域使用上の注意

13.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF000000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

14. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

14.1 概要

ウォッチドッグタイマは14ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表14.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.5 ウォッチドッグタイマリセット」を参照してください。

図14.1にウォッチドッグタイマのブロック図を示します。

表14.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	ウォッチドッグタイマ用 低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 •リセット後、自動的にカウントを開始 •WDTSレジスタへの書き込みによりカウントを開始	
カウント停止条件	ストップモード、ウェイトモード	なし
ウォッチドッグ タイマ初期条件	•リセット •WDTRレジスタに“00h”、続いて“FFh”を書く(受付期間の設定あり)(注1) •アンダフロー	
アンダフロー時の 動作	ウォッチドッグタイマ割り込み、または ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	•プリスケアラの分周比 WDTCレジスタのWDTC7ビットもしくはCM0レジスタのCM07ビットで選択 •カウントソース保護モード リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 •リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択 •ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0～WDTUFS1ビットで選択 •ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0～WDTRCS1ビットで選択	

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

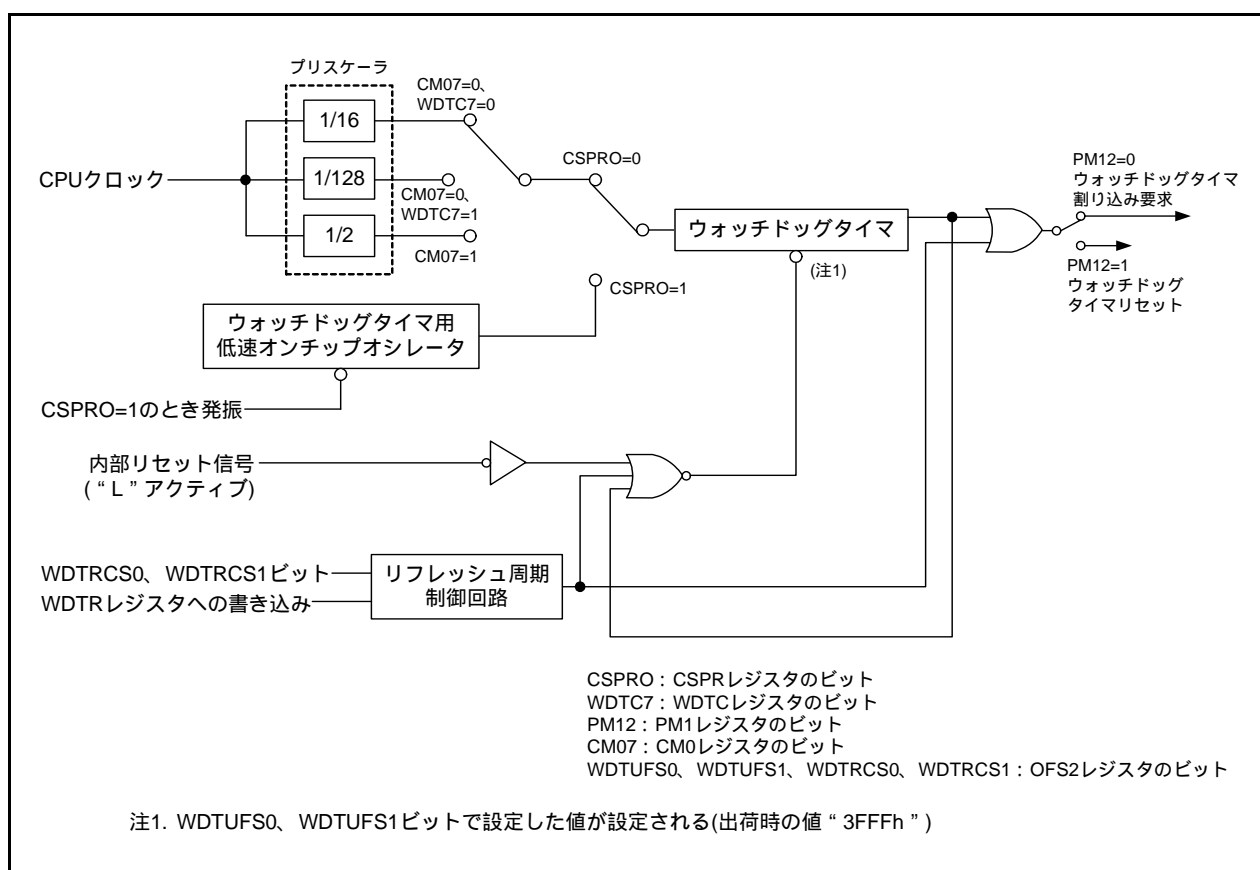


図 14.1 ウォッチドッグタイマのブロック図

14.2 レジスタの説明

14.2.1 プロセッサモードレジスタ1 (PM1)

アドレス 0005h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	PM12	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	PM12	WDT 割り込み/リセット切り替えビット	0: ウォッチドッグタイマ割り込み 1: ウォッチドッグタイマリセット(注1)	R/W
b3	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-	予約ビット	“0” にしてください	R/W

注1. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、PM12ビットは自動的に“1”になります。

PM1レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

14.2.2 ウォッチドッグタイマリセットレジスタ(WDTR)

アドレス 000Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	“00h” を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。ウォッチドッグタイマの初期値はOFS2レジスタのWDTUFS0、WDTUFS1ビットで指定される。(注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

14.2.3 ウォッチドッグタイマスタートレジスタ(WDTS)

アドレス 000Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。	W

14.2.4 ウォッチドッグタイマ制御レジスタ (WDTC)

アドレス 000Fh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	-	-	-	-	-	-	-
出荷時の値	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	ウォッチドッグタイマの次のビットが読める。 OFS2 レジスタの WDTUFS1 ~ WDTUFS0 ビットが “ 00b ” (03FFh) のとき : b5 ~ b0 “ 01b ” (0FFFh) のとき : b8 ~ b3 “ 10b ” (1FFFh) のとき : b9 ~ b4 “ 11b ” (3FFFh) のとき : b10 ~ b5	読んだ場合、その値は “ 0 ”	R
b1	-			R
b2	-			R
b3	-			R
b4	-			R
b5	-			R
b6	-	予約ビット	読んだ場合、その値は “ 0 ”	R
b7	WDTC7	プリスケラ選択ビット		R/W
			0 : 16分周 1 : 128分周	

14.2.5 カウントソース保護モードレジスタ (CSPR)

アドレス 001Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“ 0 ” にしてください	R/W
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	CSPRO	カウントソース保護モード選択ビット (注2)	0 : カウントソース保護モード無効 1 : カウントソース保護モード有効	R/W

注1. OFS レジスタの CSPROINI ビットに “ 0 ” を書いたとき、リセット後の値は “ 10000000b ” になります。

注2. CSPRO ビットを “ 1 ” にするためには、“ 0 ” を書いた後、続いて “ 1 ” を書いてください。プログラムでは “ 0 ” にできません。

14.2.6 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	-	WDTON
出荷時の値	1	1	1	1	1	1	1	1

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0 : リセット後、ウォッチドッグタイマは自動的に起動 1 : リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0 : ROMコードプロテクト解除 1 : ROMCP1 ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0 : ROMコードプロテクト有効 1 : ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0 : 3.80V を選択 (Vdet0_3) 0 1 : 2.85V を選択 (Vdet0_2) 1 0 : 2.35V を選択 (Vdet0_1) 1 1 : 1.90V を選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0 : リセット後、カウントソース保護モード有効 1 : リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

注2. VDSEL0 ~ VDSEL1 ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDAS ビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みをしないでください。

LVDAS ビット(電圧検出0回路起動ビット)

電圧検出0回路で監視する Vdet0 電圧は、VDSEL0 ~ VDSEL1 ビットで選択されます。

14.2.7 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
出荷時の値	1	1	1	1	1	1	1	1

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh	R/W
b1	WDTUFS1		0 1 : 0FFFh	R/W
			1 0 : 1FFFh	
			1 1 : 3FFFh	
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25%	R/W
b3	WDTRCS1		0 1 : 50%	R/W
			1 0 : 75%	
			1 1 : 100%	
b4	-	予約ビット	“ 1 ” にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタを含むブロックを消去すると、OFS2レジスタの値は“ FFh ”になります。

OFS2 レジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFS2 レジスタに追加書き込みをしないでください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

14.3 動作説明

14.3.1 複数モードに関わる共通事項

14.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受付できる期間を、OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択できます。図14.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(PM1レジスタのPM12ビットで選択)が発生します。

なお、ウォッチドッグタイマのカウント停止中にリフレッシュ動作を実行しないでください。

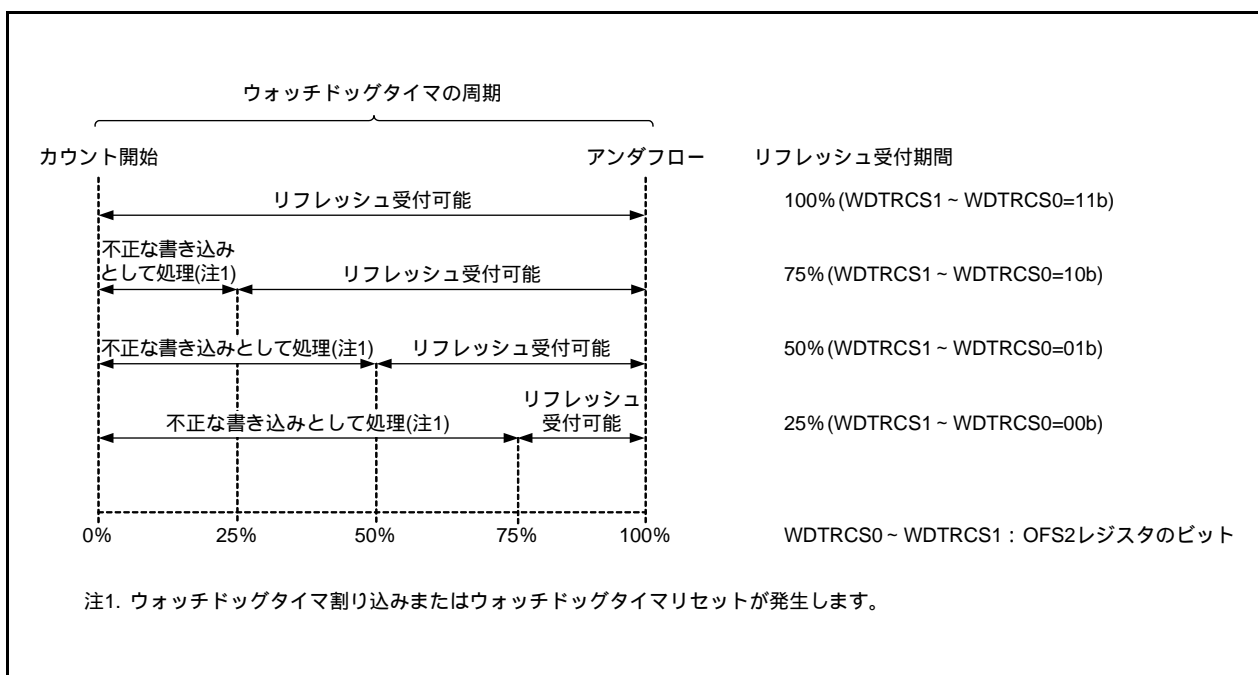


図14.2 ウォッチドッグタイマのリフレッシュ受付期間

14.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。
表14.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表14.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	<p>プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(m) (注1)</p> <p>CPUクロック</p> <p>n : 16または128 (WDTCレジスタのWDTC7ビットで選択)もしくは低速クロック選択時 (CM0レジスタのCM07ビット=1)は2</p> <p>m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値</p> <p>例 : CPUクロックが20MHzで、プリスケアラが16分周し、WDTUFS1 ~ WDTUFS0ビットが“11b”(“3FFFh”)の場合、周期は約13.1ms</p>
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く(注3) アンダフロー
カウント開始条件	<p>リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択</p> <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

14.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時に CPU クロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表14.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表14.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	<p>ウォッチドッグタイマのカウント値(m)</p> <p>ウォッチドッグタイマ用低速オンチップオシレータクロック</p> <p>m : OFS2 レジスタの WDTUFS0 ~ WDTUFS1 ビットで設定した値 例：ウォッチドッグタイマ用低速オンチップオシレータクロックが 125kHz で、 WDTUFS1 ~ WDTUFS0 ビットが “00b” (“03FFh”) の場合、周期は約 8.2ms</p>
ウォッチドッグタイマ 初期化条件	<ul style="list-style-type: none"> リセット WDTR レジスタに “00h”、続いて “FFh” を書く (注3) アンダフロー
カウント開始条件	<p>リセット後のウォッチドッグタイマの動作を、OFS レジスタ(0FFFFh番地)の WDTON ビット(注1)で選択</p> <ul style="list-style-type: none"> WDTON ビットが “1” (リセット後、ウォッチドッグタイマは停止状態) のとき リセット後、ウォッチドッグタイマとプリスケラは停止しており、WDTS レジスタに書くことにより、カウントを開始 WDTON ビットが “0” (リセット後、ウォッチドッグタイマは自動的に起動) のとき リセット後、自動的にウォッチドッグタイマとプリスケラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモード、ストップモードでも停止しない)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	<ul style="list-style-type: none"> CSPR レジスタの CSPRO ビットを “1” (カウントソース保護モード有効) にすると (注2)、次が自動的に設定される <ul style="list-style-type: none"> ウォッチドッグタイマ用低速オンチップオシレータが発振 PM1 レジスタの PM12 ビットを “1” (ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット)

注1. WDTON ビットはプログラムでは変更できません。WDTON ビットを設定する場合は、フラッシュライタで 0FFFFh 番地の b0 に “0” を書き込んでください。

注2. OFS レジスタの CSPROINI ビットに “0” を書いても、CSPRO ビットは “1” になります。CSPROINI ビットはプログラムでは変更できません。CSPROINI ビットを設定する場合は、フラッシュライタで 0FFFFh 番地の b7 に “0” を書き込んでください。

注3. WDTR レジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

15. DTC

DTC(データトランスファコントローラ)は、CPUを使わずにSFRと内蔵メモリの間でデータを転送する機能で、1チャンネルを搭載しています。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

DTCのデータ転送を制御するコントロールデータ(転送元アドレス、転送先アドレス、動作モードなど)をDTCコントロールデータ領域上に配置します。DTCは起動するたびにコントロールデータを読み出し、データ転送します。

15.1 概要

表15.1にDTCの仕様を示します。

表15.1 DTCの仕様

項目		仕様
起動要因		39要因
配置可能なコントロールデータ		24通り
転送可能なアドレス空間		64Kバイト空間(00000h ~ 0FFFFh)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード	256バイト
	リピートモード	255バイト
転送単位		バイト
転送モード	ノーマルモード	DTCCTjレジスタが“1”から“0”になる転送で終了する
	リピートモード	DTCCTjレジスタが“1”から“0”になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		「表15.5 DTC起動要因とDTCベクタアドレス」参照
割り込み要求	ノーマルモード	DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います
	リピートモード	DTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います
転送開始		DTCENiレジスタのDTCENi0 ~ DTCENi7ビットを“1”(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	<ul style="list-style-type: none"> • DTCENi0 ~ DTCENi7ビットを“0”(起動禁止)にする • DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき
	リピートモード	<ul style="list-style-type: none"> • DTCENi0 ~ DTCENi7ビットを“0”(起動禁止)にする • RPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき

i=0 ~ 6、j=0 ~ 23

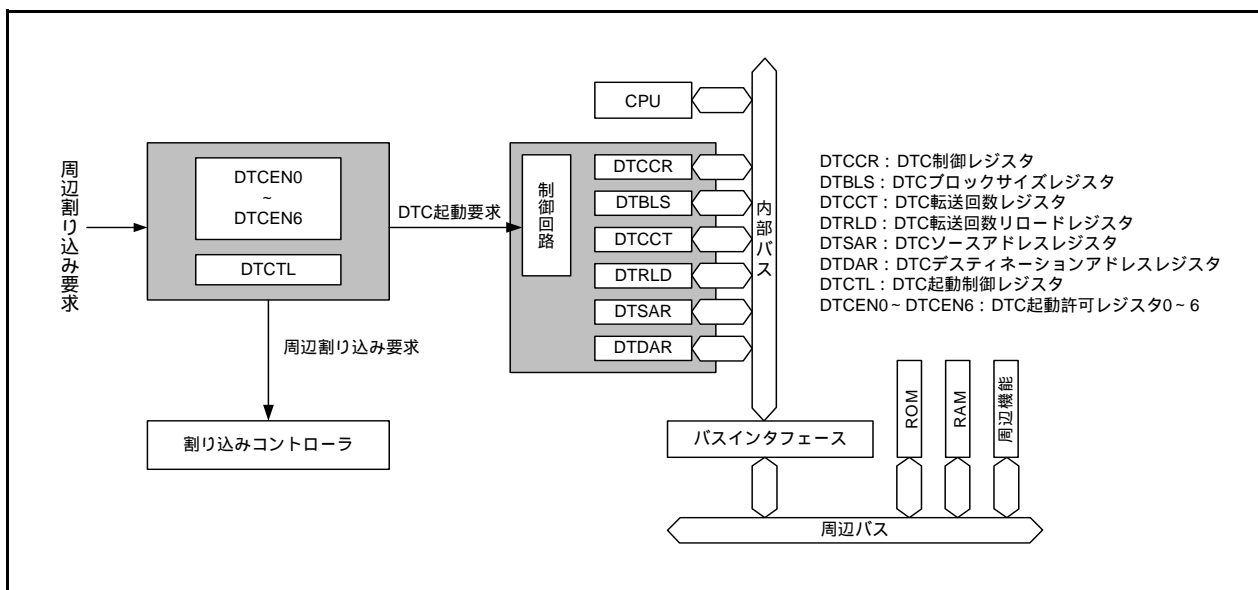


図 15.1 DTCのブロック図

15.2 レジスタの説明

DTC は起動するとコントロールデータ領域に配置したコントロールデータ (DTCCRj、DTBLSj、DTCCTj、DTRLj、DTSARj、DTDARj、j=0 ~ 23)を読み出し、DTC内の制御レジスタ (DTCCR、DTBLS、DTCCT、DTRL、DTSAR、DTDAR)へ転送します。DTCのデータ転送終了後、DTC内の制御レジスタの内容をコントロールデータ領域へ書き戻します。

DTCCR、DTBLS、DTCCT、DTRL、DTSAR、DTDARの各レジスタは直接アクセスできません。

DTCCRj、DTBLSj、DTCCTj、DTRLj、DTSARj、DTDARjはDTC コントロールデータ領域の2C40h ~ 2CFFh番地にコントロールデータとして配置し、直接アクセスできます。

また、DTCTL、DTCENi (i=0 ~ 6)レジスタは直接アクセスできます。

15.2.1 DTC制御レジスタj (DTCCRj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	MODE	転送モード選択ビット	0: ノーマルモード 1: リピートモード	R/W
b1	RPTSEL	リピートエリア選択ビット(注1)	0: 転送先がリピートエリア 1: 転送元がリピートエリア	R/W
b2	SAMOD	ソースアドレス制御ビット(注2)	0: 固定 1: 加算	R/W
b3	DAMOD	デスティネーション アドレス制御ビット(注2)	0: 固定 1: 加算	R/W
b4	CHNE	チェイン転送許可ビット(注3)	0: チェイン転送禁止 1: チェイン転送許可	R/W
b5	RPTINT	リピートモード割り込み許可ビット (注1)	0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-			

注1. MODEビットが“1”(リピートモード)のときに有効です。

注2. リピートエリアに対するSAMODビットとDAMODビットの設定は無効です。

注3. DTCCR23レジスタのCHNEビットは“0”(チェイン転送禁止)にしてください。

15.2.2 DTCブロックサイズレジスタj (DTBLSj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	1回の起動で転送するデータブロックサイズを設定する	00h ~ FFh(注1)	R/W

注1. “00h” のときブロックサイズは256バイトになります。

15.2.3 DTC転送回数レジスタj (DTCCTj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	DTCのデータ転送回数を設定する	00h ~ FFh(注1)	R/W

注1. “00h” のとき転送回数は256回になります。DTCが起動するたびに減算(-1)されます。

15.2.4 DTC転送回数リロードレジスタj (DTRL Dj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	リピートモード動作でこのレジスタの値をDTCCTレジスタへリロードする	00h ~ FFh(注1)	R/W

注1. DTCCTレジスタの初期値を設定してください。

15.2.5 DTCソースアドレスレジスタj (DTSARj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15 ~ b0	データ転送時の転送元アドレスを指定する	0000h ~ FFFFh	R/W

15.2.6 DTCデスティネーションアドレスレジスタj (DTDARj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15 ~ b0	データ転送時の転送先アドレスを指定する	0000h ~ FFFFh	R/W

15.2.7 DTC 起動許可レジスタ i (DTCEN i)($i=0 \sim 6$)

アドレス 0088h 番地 (DTCEN0)、0089h 番地 (DTCEN1)、008Ah 番地 (DTCEN2)、008Bh 番地 (DTCEN3)、
008Ch 番地 (DTCEN4)、008Dh 番地 (DTCEN5)、008Eh 番地 (DTCEN6)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCENi0	DTC 起動許可ビット	0 : 起動禁止 1 : 起動許可	R/W
b1	DTCENi1			R/W
b2	DTCENi2			R/W
b3	DTCENi3			R/W
b4	DTCENi4			R/W
b5	DTCENi5			R/W
b6	DTCENi6			R/W
b7	DTCENi7			R/W

$i=0 \sim 6$

DTCEN i レジスタは、各割り込み要因による DTC 起動の許可または禁止を制御します。表 15.2 に割り込み要因と DTCEN i 0 ~ DTCEN i 7 ($i=0 \sim 6$) ビットの対応を示します。

表 15.2 割り込み要因と DTCEN i 0 ~ DTCEN i 7 ($i=0 \sim 6$) ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	INT0	INT1	INT2	INT3	INT4			
DTCEN1	キー入力	A/D変換	UART0 受信	UART0 送信	UART1 受信	UART1 送信	UART2 受信	UART2 送信
DTCEN2	SSU/I ² Cバス 受信データ フル	SSU/I ² Cバス 送信データ エンpty	電圧監視2/ コンパレータ A2	電圧監視1/ コンパレータ A1			タイマRC インプット キャプチャ/ コンペアー一致A	タイマRC インプット キャプチャ/ コンペアー一致B
DTCEN3	タイマRC インプット キャプチャ/ コンペアー一致C	タイマRC インプット キャプチャ/ コンペアー一致D	タイマRD0 インプット キャプチャ/ コンペアー一致A	タイマRD0 インプット キャプチャ/ コンペアー一致B	タイマRD0 インプット キャプチャ/ コンペアー一致C	タイマRD0 インプット キャプチャ/ コンペアー一致D	タイマRD1 インプット キャプチャ/ コンペアー一致A	タイマRD1 インプット キャプチャ/ コンペアー一致B
DTCEN4	タイマRD1 インプット キャプチャ/ コンペアー一致C	タイマRD1 インプット キャプチャ/ コンペアー一致D						
DTCEN5			タイマRE	タイマRF	タイマRF コンペアー一致0	タイマRF コンペアー一致1	タイマRF キャプチャ	タイマRG インプット キャプチャ/ コンペアー一致A
DTCEN6	タイマRG インプット キャプチャ/ コンペアー一致B	タイマRA		タイマRB	フラッシュ レディ ステータス			

15.2.8 DTC起動制御レジスタ(DTCTL)

アドレス 0080h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	NMIF	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	NMIF	ノンマスカブル割り込み発生ビット (注1)	0: ノンマスカブル割り込みなし 1: ノンマスカブル割り込み発生	R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません。“1”を書いた場合は変化しません。

DTCTLレジスタは、ノンマスカブル割り込み(ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2)発生時のDTC起動を制御するレジスタです。

NMIFビット(ノンマスカブル割り込み発生ビット)

NMIFビットは、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込みのいずれかが発生すると“1”になります。

NMIFビットが“1”の場合、DTC起動を許可している割り込みが発生してもDTCは起動しません。DTC転送中にNMIFビットが“1”になっても、その転送を終了するまで行います。

割り込み要因がウォッチドッグタイマのとき、WDTCレジスタのWDTC7ビットを“0”(プリスケアラが16分周)にしている場合は、割り込み要因発生からCPUクロックの16サイクル待ってから、WDTC7ビットを“1”(プリスケアラが128分周)にしている場合は割り込み要因発生からCPUクロックの128サイクル待ってから、NMIFビットに“0”を書いてください。

割り込み要因が発振停止検出のとき、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にした後で、NMIFビットに“0”を書いてください。

15.3 動作説明

15.3.1 概要

DTC が起動すると、DTC コントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータを DTC コントロールデータ領域へ書き戻します。24 組のコントロールデータを DTC コントロールデータ領域へ格納でき、24 通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあります。また、DTCCRj (j=0 ~ 23) レジスタの CHNE ビットが“1”(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長の DTSARj レジスタ、転送先アドレスは16ビット長の DTDARj レジスタで指定します。DTSARj レジスタと DTDARj レジスタは、データ転送後、コントロールデータに従って独立に加算されるか固定されます。

15.3.2 起動要因

DTC は割り込み要因により起動します。図 15.2 に DTC 起動要因の制御ブロック図を示します。

DTC を起動する割り込み要因は、DTCENi (i=0 ~ 6) レジスタで選択します。

データ転送(チェイン転送の場合、連続して行う最初の転送)の設定が

- ・ノーマルモードで DTCCTj (j=0 ~ 23) レジスタが“0”になる転送
- ・リピートモードで DTCCRj レジスタの RPTINT ビットが“1”(割り込み発生許可)かつ DTCCTj レジスタが“0”になる転送

のとき、DTC は動作中に DTCENi レジスタの対応する DTCENi0 ~ DTCENi7 ビットを“0”(起動禁止)にします。

データ転送の設定がどちらでもなく、起動要因がタイマ RC、タイマ RD、タイマ RG、フラッシュメモリの割り込み要因である場合、DTC は動作中に起動要因となった割り込み要因フラグを“0”にします。

表 15.3 に DTC 起動要因と DTC 動作中に“0”にする割り込み要因フラグを示します。

複数の起動要因が同時に発生した場合には、DTC 起動要因の優先順位に従って DTC を起動します。

DTC の動作が終了した時点で複数の DTC 起動要因が発生している場合には、優先順位に従って次の転送を行います。

DTC 起動は割り込み要求動作と異なり、I フラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でも DTC 起動要求を受け付けることができます。DTC 起動許可にした割り込み要因が発生しても割り込み制御レジスタの IR ビットは変化しません。

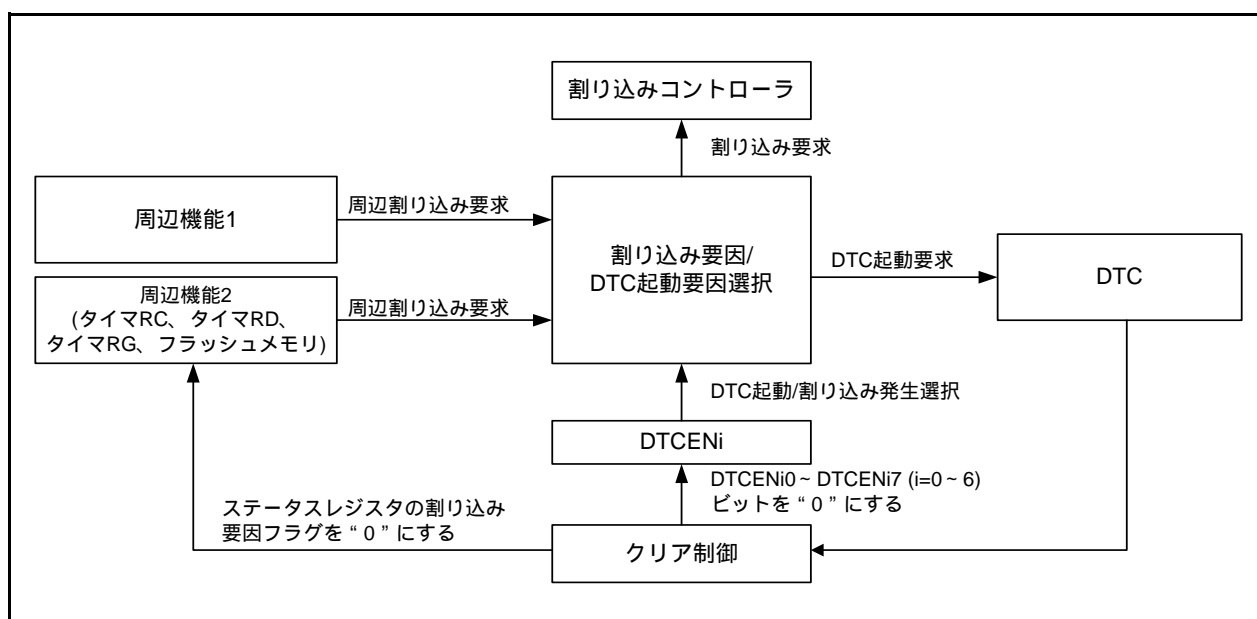


図 15.2 DTC 起動要因の制御ブロック図

表 15.3 DTC 起動要因とDTC動作中に“0”にする割り込み要因フラグ

DTC 起動要因	“0”にする割り込み要因フラグ
タイマRCインプットキャプチャ/コンペアー致A	TRCSR レジスタのIMFA ビット
タイマRCインプットキャプチャ/コンペアー致B	TRCSR レジスタのIMFB ビット
タイマRCインプットキャプチャ/コンペアー致C	TRCSR レジスタのIMFC ビット
タイマRCインプットキャプチャ/コンペアー致D	TRCSR レジスタのIMFD ビット
タイマRD0インプットキャプチャ/コンペアー致A	TRDSR0 レジスタのIMFA ビット
タイマRD0インプットキャプチャ/コンペアー致B	TRDSR0 レジスタのIMFB ビット
タイマRD0インプットキャプチャ/コンペアー致C	TRDSR0 レジスタのIMFC ビット
タイマRD0インプットキャプチャ/コンペアー致D	TRDSR0 レジスタのIMFD ビット
タイマRD1インプットキャプチャ/コンペアー致A	TRDSR1 レジスタのIMFA ビット
タイマRD1インプットキャプチャ/コンペアー致B	TRDSR1 レジスタのIMFB ビット
タイマRD1インプットキャプチャ/コンペアー致C	TRDSR1 レジスタのIMFC ビット
タイマRD1インプットキャプチャ/コンペアー致D	TRDSR1 レジスタのIMFD ビット
タイマRGインプットキャプチャ/コンペアー致A	TRGSR レジスタのIMFA ビット
タイマRGインプットキャプチャ/コンペアー致B	TRGSR レジスタのIMFB ビット
フラッシュレディステータス	FST レジスタのRDYSTI ビット

15.3.3 コントロールデータの配置とDTCベクタテーブル

コントロールデータは先頭アドレスから、DTCCRj、DTBLSj、DTCCTj、DTRLdj、DTSARj、DTDARj (j=0 ~ 23) レジスタの順に配置します。表 15.4 にコントロールデータの配置アドレスを示します。

表 15.4 コントロールデータの配置アドレス

レジスタ シンボル	コントロール データ番号	アドレス	DTCCRj レジスタ	DTBLSj レジスタ	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ (下位 8ビット)	DTSARj レジスタ (上位 8ビット)	DTDARj レジスタ (下位 8ビット)	DTDARj レジスタ (上位 8ビット)
DTCD0	コントロール データ0	2C40h ~ 2C47h	2C40h	2C41h	2C42h	2C43h	2C44h	2C45h	2C46h	2C47h
DTCD1	コントロール データ1	2C48h ~ 2C4Fh	2C48h	2C49h	2C4Ah	2C4Bh	2C4Ch	2C4Dh	2C4Eh	2C4Fh
DTCD2	コントロール データ2	2C50h ~ 2C57h	2C50h	2C51h	2C52h	2C53h	2C54h	2C55h	2C56h	2C57h
DTCD3	コントロール データ3	2C58h ~ 2C5Fh	2C58h	2C59h	2C5Ah	2C5Bh	2C5Ch	2C5Dh	2C5Eh	2C5Fh
DTCD4	コントロール データ4	2C60h ~ 2C67h	2C60h	2C61h	2C62h	2C63h	2C64h	2C65h	2C66h	2C67h
DTCD5	コントロール データ5	2C68h ~ 2C6Fh	2C68h	2C69h	2C6Ah	2C6Bh	2C6Ch	2C6Dh	2C6Eh	2C6Fh
DTCD6	コントロール データ6	2C70h ~ 2C77h	2C70h	2C71h	2C72h	2C73h	2C74h	2C75h	2C76h	2C77h
DTCD7	コントロール データ7	2C78h ~ 2C7Fh	2C78h	2C79h	2C7Ah	2C7Bh	2C7Ch	2C7Dh	2C7Eh	2C7Fh
DTCD8	コントロール データ8	2C80h ~ 2C87h	2C80h	2C81h	2C82h	2C83h	2C84h	2C85h	2C86h	2C87h
DTCD9	コントロール データ9	2C88h ~ 2C8Fh	2C88h	2C89h	2C8Ah	2C8Bh	2C8Ch	2C8Dh	2C8Eh	2C8Fh
DTCD10	コントロール データ10	2C90h ~ 2C97h	2C90h	2C91h	2C92h	2C93h	2C94h	2C95h	2C96h	2C97h
DTCD11	コントロール データ11	2C98h ~ 2C9Fh	2C98h	2C99h	2C9Ah	2C9Bh	2C9Ch	2C9Dh	2C9Eh	2C9Fh
DTCD12	コントロール データ12	2CA0h ~ 2CA7h	2CA0h	2CA1h	2CA2h	2CA3h	2CA4h	2CA5h	2CA6h	2CA7h
DTCD13	コントロール データ13	2CA8h ~ 2CAFh	2CA8h	2CA9h	2CAAh	2CABh	2CACH	2CADh	2CAEh	2CAFh
DTCD14	コントロール データ14	2CB0h ~ 2CB7h	2CB0h	2CB1h	2CB2h	2CB3h	2CB4h	2CB5h	2CB6h	2CB7h
DTCD15	コントロール データ15	2CB8h ~ 2CBFh	2CB8h	2CB9h	2CBAh	2CBBh	2CBCh	2CBDh	2CBEh	2CBFh
DTCD16	コントロール データ16	2CC0h ~ 2CC7h	2CC0h	2CC1h	2CC2h	2CC3h	2CC4h	2CC5h	2CC6h	2CC7h
DTCD17	コントロール データ17	2CC8h ~ 2CCFh	2CC8h	2CC9h	2CCAh	2CCBh	2CCCh	2CCDh	2CCEh	2CCFh
DTCD18	コントロール データ18	2CD0h ~ 2CD7h	2CD0h	2CD1h	2CD2h	2CD3h	2CD4h	2CD5h	2CD6h	2CD7h
DTCD19	コントロール データ19	2CD8h ~ 2CDFh	2CD8h	2CD9h	2CDAh	2CDBh	2CDCh	2CDDh	2CDEh	2CDFh
DTCD20	コントロール データ20	2CE0h ~ 2CE7h	2CE0h	2CE1h	2CE2h	2CE3h	2CE4h	2CE5h	2CE6h	2CE7h
DTCD21	コントロール データ21	2CE8h ~ 2CEFh	2CE8h	2CE9h	2CEAh	2CEBh	2CECh	2CEDh	2CEEh	2CEFh
DTCD22	コントロール データ22	2CF0h ~ 2CF7h	2CF0h	2CF1h	2CF2h	2CF3h	2CF4h	2CF5h	2CF6h	2CF7h
DTCD23	コントロール データ23	2CF8h ~ 2CFFh	2CF8h	2CF9h	2CFAh	2CFBh	2CFCh	2CFDh	2CFEh	2CFFh

j=0 ~ 23

DTC が起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTC コントロールデータ領域上に配置されたコントロールデータを読み出します。

表 15.5 に DTC 起動要因と DTC ベクタアドレスを示します。起動要因ごとに DTC ベクタテーブルが 1 バイトあり、“00000000b” ~ “00010111b” のデータ (表 15.4 のコントロールデータ番号) を格納し、24 組のコントロールデータから 1 つを選択します。

図 15.3 ~ 図 15.6 に DTC 内部動作のフローチャートを示します。

表 15.5 DTC 起動要因と DTC ベクタアドレス

割り込み要因発生元	名称	要因番号	DTC ベクタアドレス	優先順位
外部入力	INT0	0	2C00h	<div>高</div> <div>↑</div> <div>↓</div> <div>低</div>
	INT1	1	2C01h	
	INT2	2	2C02h	
	INT3	3	2C03h	
	INT4	4	2C04h	
キー入力	キー入力	8	2C08h	
A/D	A/D 変換	9	2C09h	
UART0	UART0 受信	10	2C0Ah	
	UART0 送信	11	2C0Bh	
UART1	UART1 受信	12	2C0Ch	
	UART1 送信	13	2C0Dh	
UART2	UART2 受信	14	2C0Eh	
	UART2 送信	15	2C0Fh	
SSU/I ² C バス	受信データフル	16	2C10h	
	送信データエンpty	17	2C11h	
電圧検出回路	電圧監視 2/コンパレータ A2	18	2C12h	
	電圧監視 1/コンパレータ A1	19	2C13h	
タイマ RC	インプットキャプチャ/コンペア一致 A	22	2C16h	
	インプットキャプチャ/コンペア一致 B	23	2C17h	
	インプットキャプチャ/コンペア一致 C	24	2C18h	
	インプットキャプチャ/コンペア一致 D	25	2C19h	
タイマ RD0	インプットキャプチャ/コンペア一致 A	26	2C1Ah	
	インプットキャプチャ/コンペア一致 B	27	2C1Bh	
	インプットキャプチャ/コンペア一致 C	28	2C1Ch	
	インプットキャプチャ/コンペア一致 D	29	2C1Dh	
タイマ RD1	インプットキャプチャ/コンペア一致 A	30	2C1Eh	
	インプットキャプチャ/コンペア一致 B	31	2C1Fh	
	インプットキャプチャ/コンペア一致 C	32	2C20h	
	インプットキャプチャ/コンペア一致 D	33	2C21h	
タイマ RE	タイマ RE	42	2C2Ah	
タイマ RF	タイマ RF	43	2C2Bh	
	コンペア一致 0	44	2C2Ch	
	コンペア一致 1	45	2C2Dh	
	キャプチャ	46	2C2Eh	
タイマ RG	インプットキャプチャ/コンペア一致 A	47	2C2Fh	
	インプットキャプチャ/コンペア一致 B	48	2C30h	
タイマ RA	タイマ RA	49	2C31h	
タイマ RB	タイマ RB	51	2C33h	
フラッシュメモリ	フラッシュレディステータス	52	2C34h	

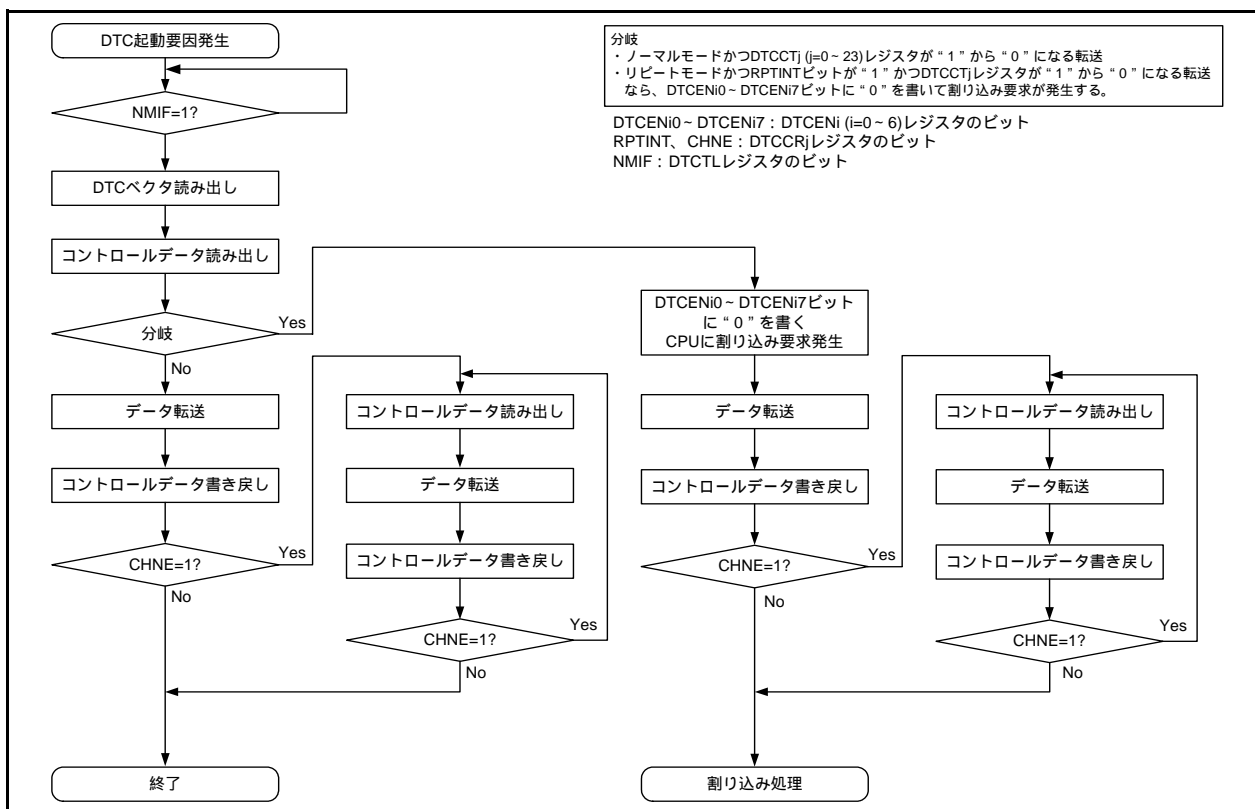


図 15.3 DTC 起動要因がSSU/I²Cバス、タイマRC、タイマRD、タイマRG、フラッシュメモリの割り込み要因でないときのDTC内部動作フローチャート

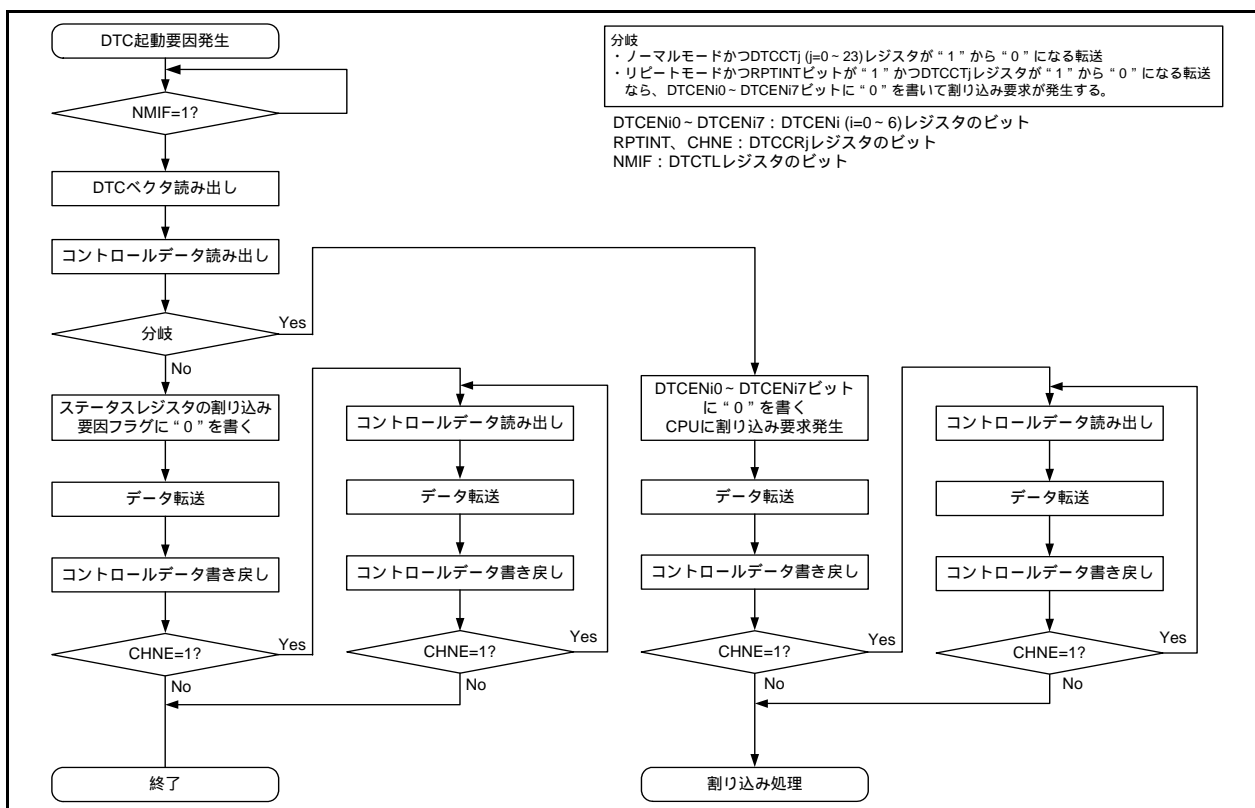


図 15.4 DTC 起動要因がタイマRC、タイマRD、タイマRGの割り込み要因であるときのDTC内部動作フローチャート

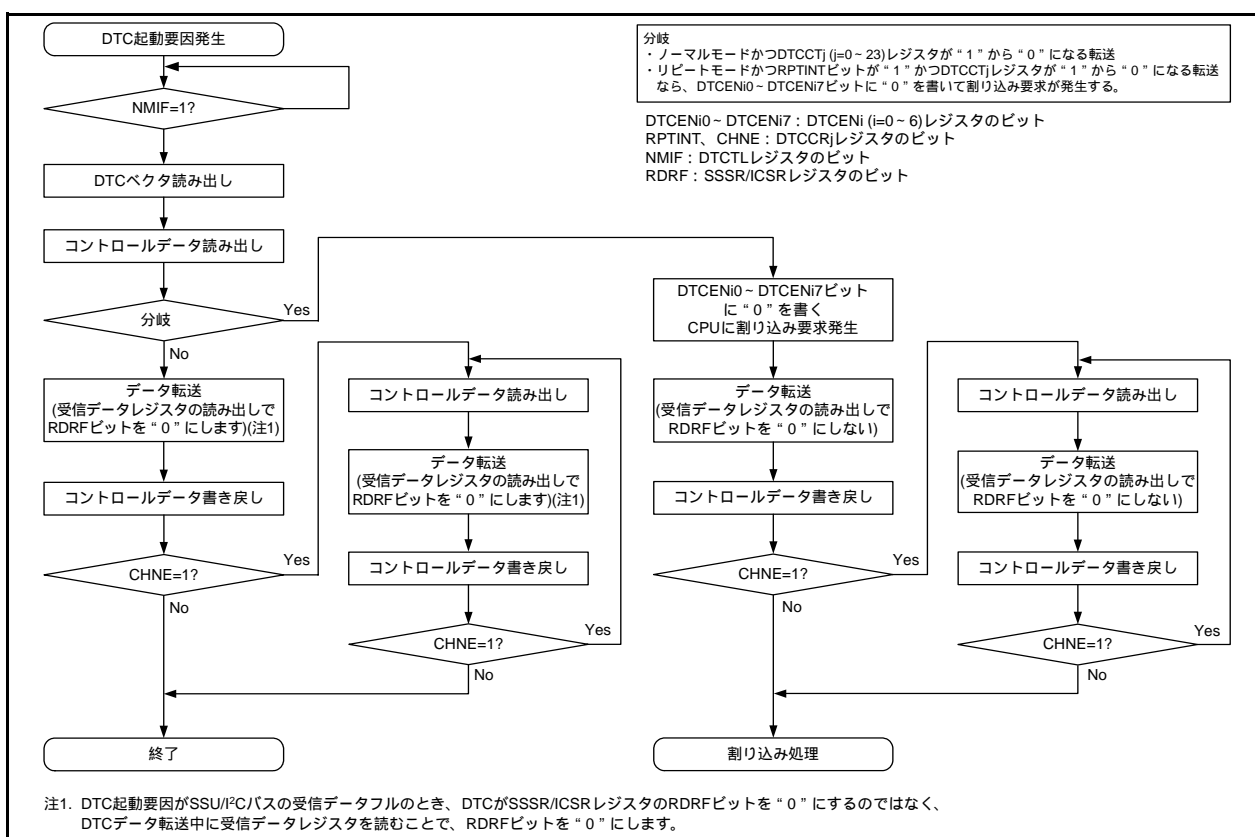


図 15.5 DTC 起動要因が SSU/I²C バスの受信データフルであるときの DTC 内部動作フローチャート

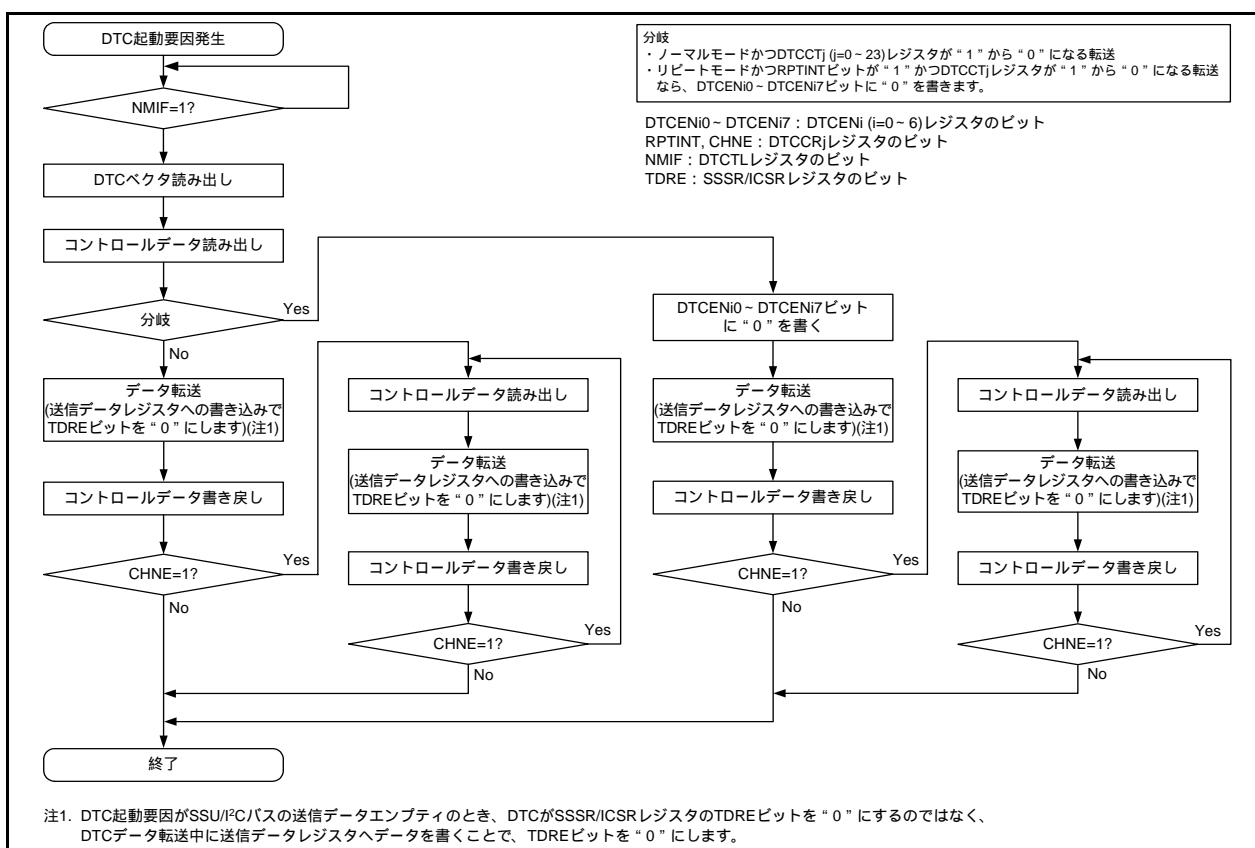


図 15.6 DTC 起動要因が SSU/I²C バスの送信データエンプティであるときの DTC 内部動作フローチャート

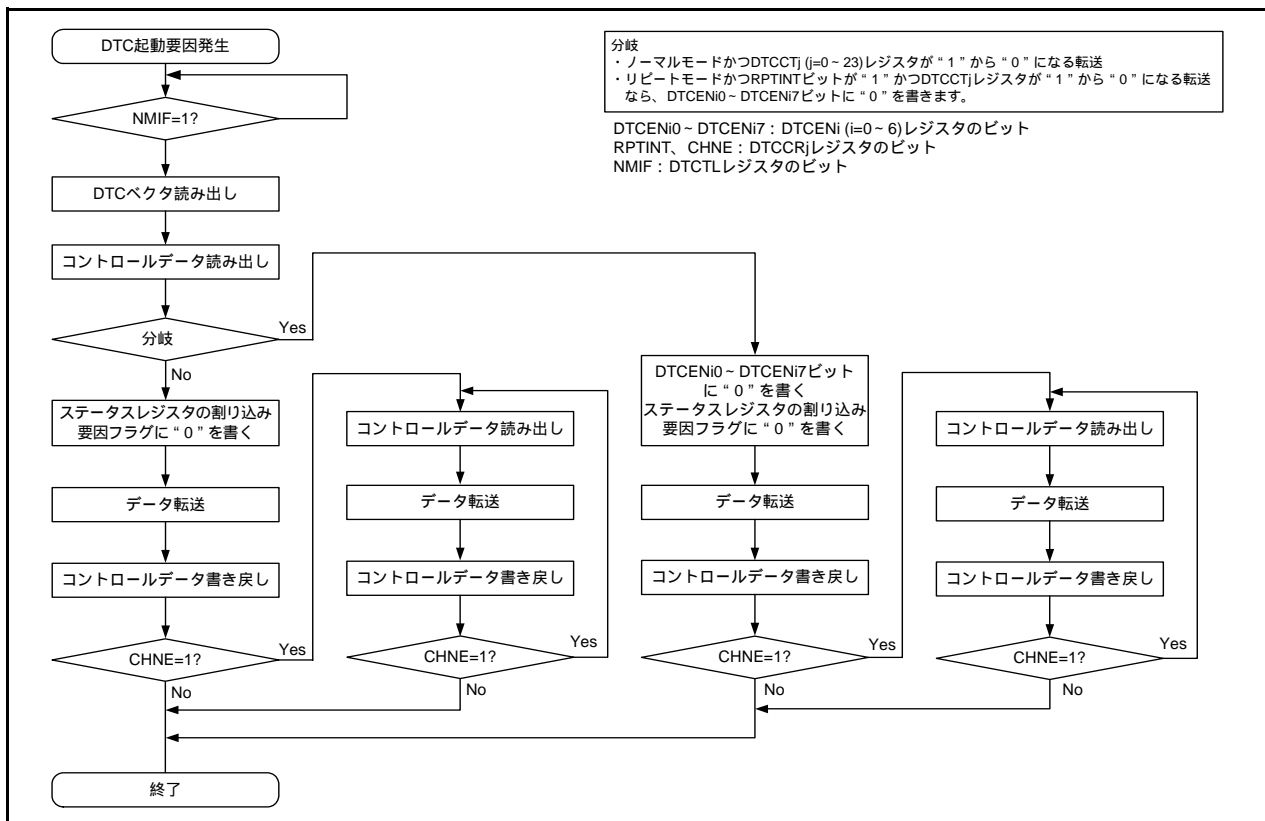


図 15.7 DTC 起動要因がフラッシュレディステータスであるときのDTC内部動作フローチャート

15.3.4 ノーマルモード

1回の起動で1～256バイトをデータ転送します。転送回数は1～256回です。DTCCTj (j=0～23) レジスタが“0”になるデータ転送を行うとき、DTC動作中にCPUへの割り込み要求を発生します。

表15.6にノーマルモードでのレジスタ機能を示します。

図15.8にノーマルモードでのデータ転送を示します。

表15.6 ノーマルモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	使用しません
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j=0～23

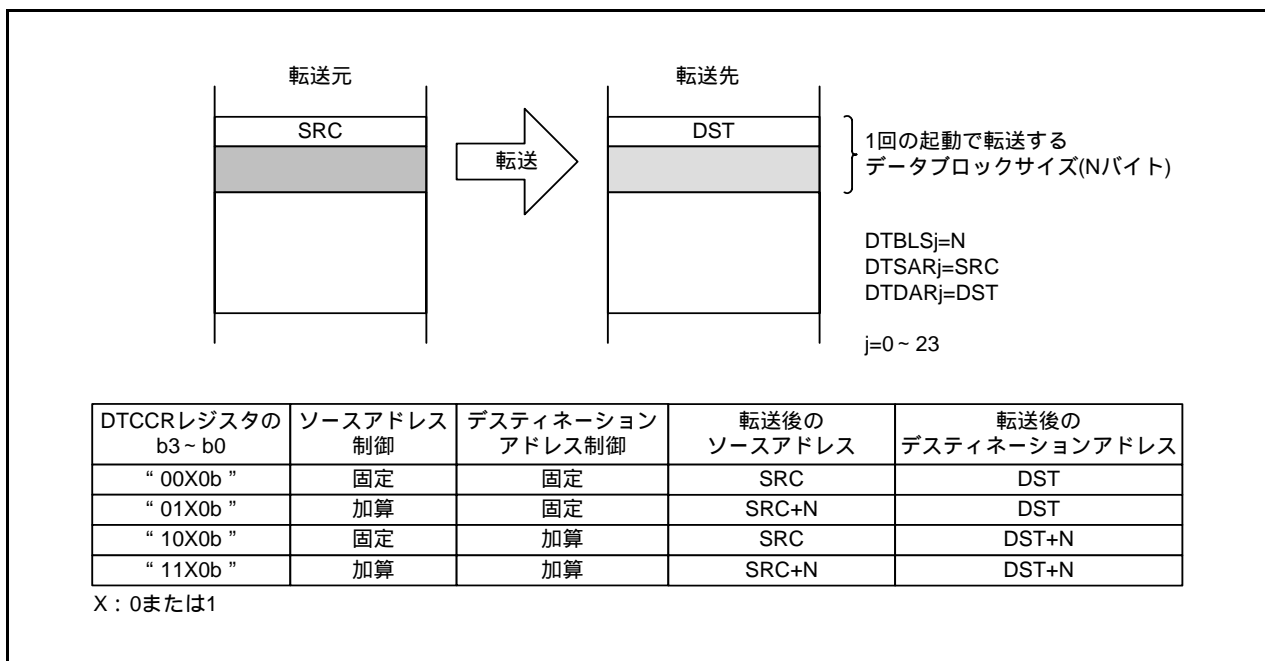


図15.8 ノーマルモードでのデータ転送

15.3.5 リピートモード

1回の起動で1～255バイトをデータ転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj (j=0～23) レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRj レジスタのRPTINT ビットが“1” (割り込み発生許可) でDTCCTj レジスタが“0”になるデータ転送をDTCが行うとき、DTC動作中にCPUへの割り込み要求を発生します。

リピートエリアに指定したアドレスの初期値の下位8ビットを“00h”にしてください。また、指定回数の転送が終了するまでに、転送するデータサイズを255バイト以内にしてください。

表15.7にリピートモードでのレジスタ機能を示します。図15.9にリピートモードでのデータ転送を示します。

表15.7 リピートモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	このレジスタの値をDTCCTj レジスタへリロード (データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j=0～23

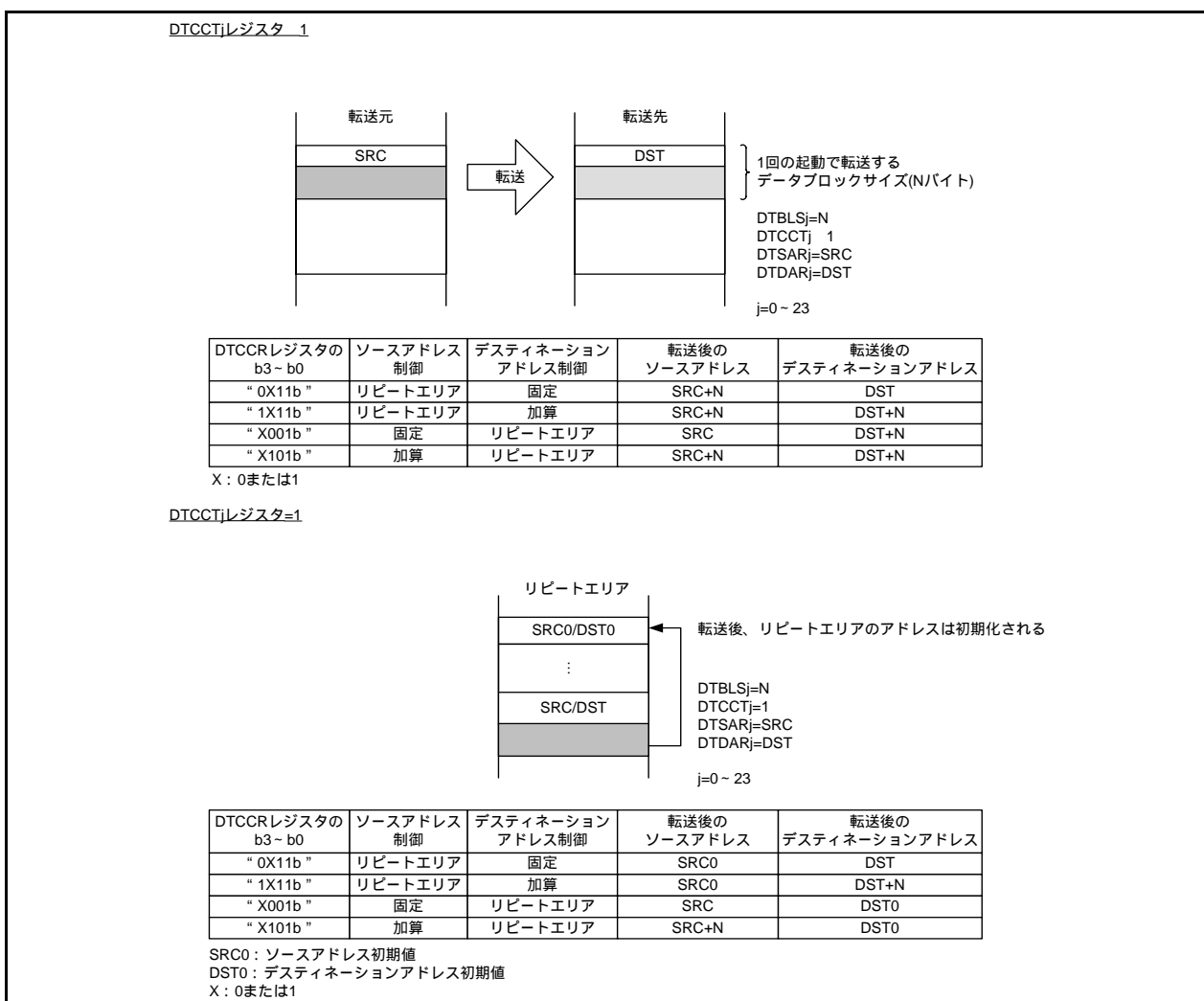


図15.9 リピートモードでのデータ転送

15.3.6 チェイン転送

DTCCRj (j=0 ~ 22) レジスタのCHNE ビットが“1”(チェーン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。図15.10にチェーン転送のフローを示します。

DTCが起動すると、起動要因に対応したDTCベクタアドレスから読み出したデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが“1”(チェーン転送許可)であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが“0”(チェーン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

DTCCR23レジスタのCHNEビットは“0”(チェーン転送禁止)にしてください。

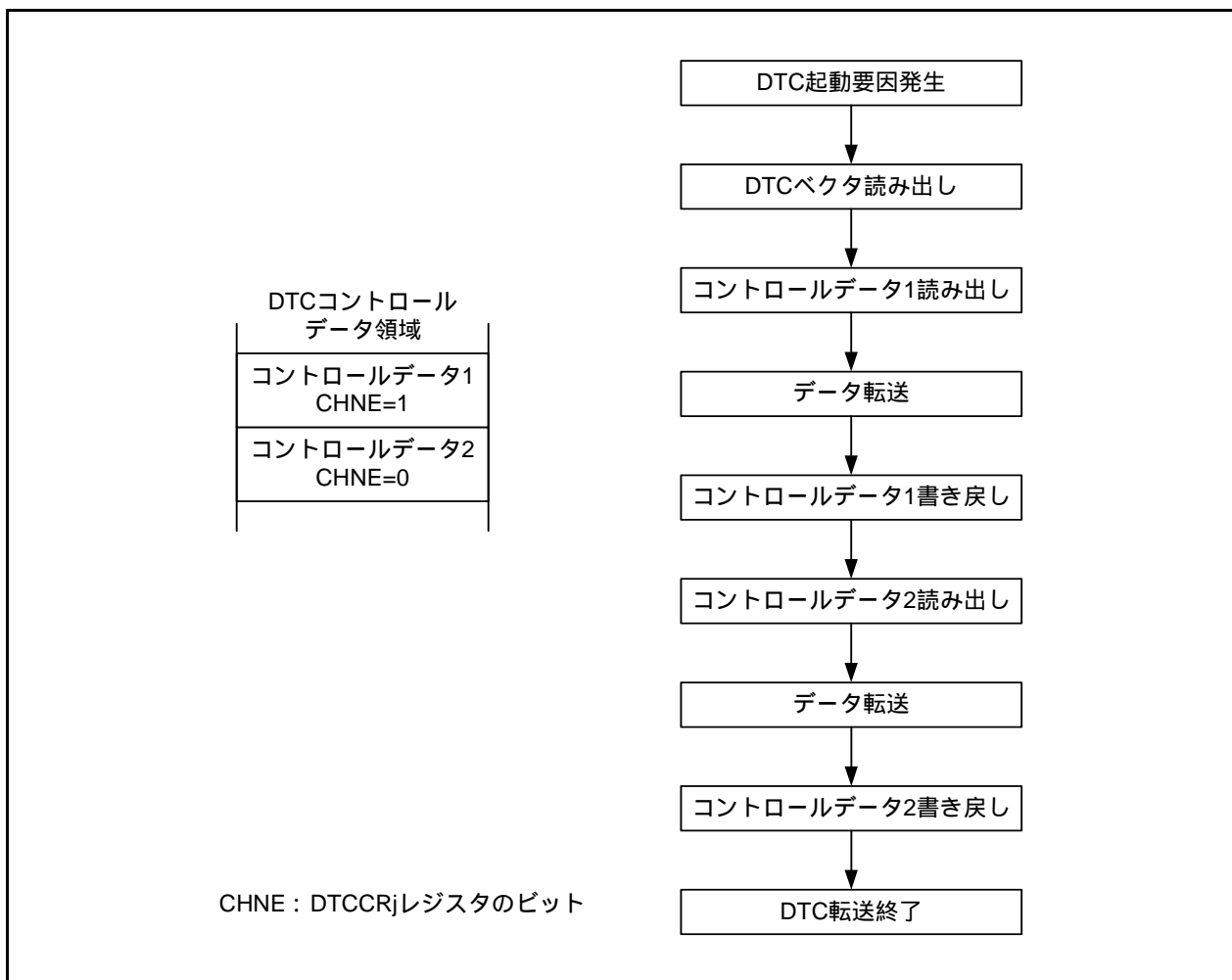


図15.10 チェイン転送のフロー

15.3.7 割り込み要因

DTCがノーマルモードでDTCCTj (j=0 ~ 23) レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRj レジスタのRPTINT ビットが“1”(割り込み発生許可)かつDTCCTj レジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生します。ただし、起動要因がSSU/I²Cバス送信データエンプティまたはフラッシュレディステータスであるとき、CPUに対して割り込み要求を発生しません。

このCPUに対する割り込み要求は、Iフラグや割り込み制御レジスタの影響を受けます。チェーン転送では、連続して行われる最初の転送の転送回数や、RPTINTビットによって割り込み要求の発生の有無が決まります。CPUに対して割り込み要求が発生するとき、対応する起動要因のDTCENi (i=0 ~ 6) レジスタのDTCENi0 ~ DTCENi7 (i=0 ~ 6) ビットは“0”(起動禁止)になります。

15.3.8 動作タイミング

DTC コントロールデータ領域上に配置したコントロールデータの読み出しは4サイクルかかります。コントロールデータ書き戻しはコントロールデータの設定によりサイクル数が異なります。

図 15.11 に DTC の動作タイミング例を、図 15.12 にチェーン転送時の DTC の動作タイミング例を示します。

表 15.8 にコントロールデータ書き戻し仕様を示します。

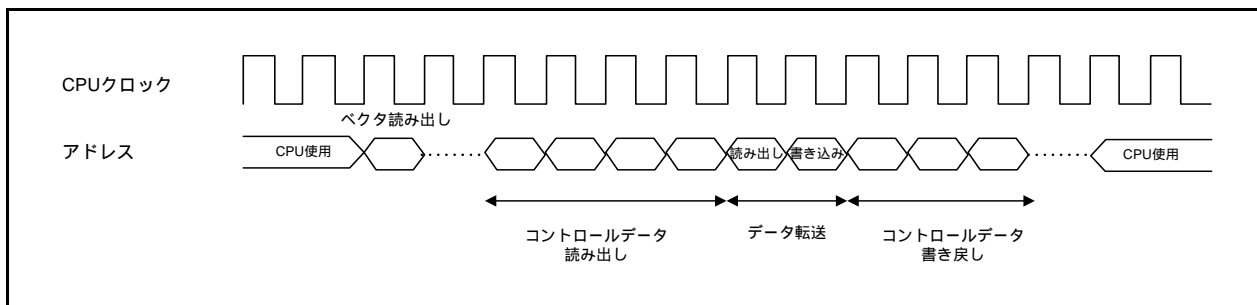


図 15.11 DTCの動作タイミング例

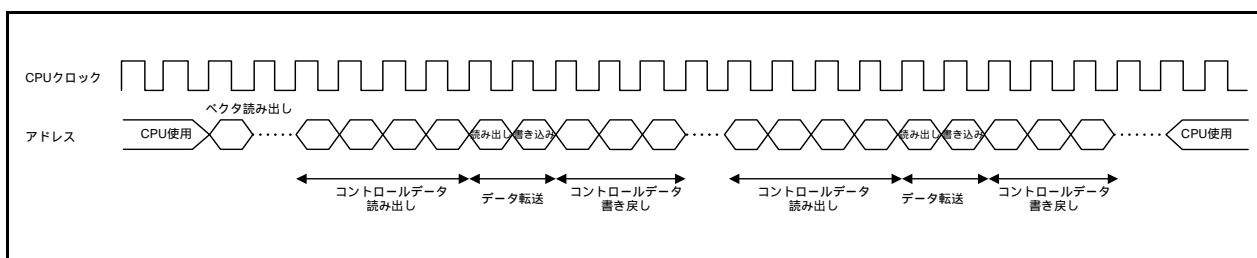


図 15.12 チェーン転送時のDTCの動作タイミング例

表 15.8 コントロールデータ書き戻し仕様

DTCCR レジスタの b3 ~ b0	動作モード	アドレス制御		書き戻すコントロールデータ				サイクル数
		ソース	デスティネーション	DTCCTj レジスタ	DTRLdj レジスタ	DT SARj レジスタ	DT DARj レジスタ	
"00X0b"	ノーマル モード	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
"01X0b"		加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
"10X0b"		固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
"11X0b"		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
"0X11b"	リピート モード	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
"1X11b"		リピート エリア	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
"X001b"		固定	リピート エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
"X101b"		加算	リピート エリア	書き戻す	書き戻す	書き戻す	書き戻す	3

j=0 ~ 23

X : 0または1

15.3.9 DTC実行サイクル数

表15.9にDTC起動時の実行状態と必要なサイクル数を示します。表15.10にデータ転送に必要なサイクル数を示します。

表15.9 DTC起動時の実行状態と必要なサイクル数

ベクタ読み出し	コントロールデータ 読み出し/書き込み (J)	データ読み出し	データ書き込み	内部動作
1	5 ~ 7	(注1)	(注1)	2
1	5 ~ 7	(注1)	(注1)	2

注1. データ読み出し/データ書き込みに必要なサイクル数は「表15.10 データ転送に必要なサイクル数」を参照してください。

DTBLSj (j=0 ~ 23) レジスタ=Nとすると、データ転送時、

- (1) $N=2n$ (偶数)のとき、n回の2バイト転送
- (2) $N=2n+1$ (奇数)のとき、n回の2バイト転送後、1回の1バイト転送を実行します。

表15.10 データ転送に必要なサイクル数

実行状態	転送単位	内部RAM (DTC転送中)		内部ROM (プログラムROM)	内部ROM (データフラッシュ)	SFR (ワードアクセス)		SFR (バイトアクセス)	SFR (DTCコントロールデータ領域)	
		偶数番地	奇数番地			偶数番地	奇数番地		偶数番地	奇数番地
データ読み出し	1バイトSK1	1		1	2	2		2	1	
	2バイトSK2	1	2	2	4	2	4	4	1	2
データ書き込み	1バイトSL1	1		—	—	2		2	1	
	2バイトSL2	1	2	—	—	2	4	4	1	2

実行サイクル数は下記計算式で求められます。

実行サイクル数 = 1 + Σ [式A] + 2

Σ は1つの起動要因で転送する回数分(CHNEビットが“1”に設定されている数+1)の和

- (1) $N = 2n$ (偶数)のとき

式A = $J + n \cdot SK2 + n \cdot SL2$

- (2) $N = 2n + 1$ (奇数)のとき

式A = $J + n \cdot SK2 + 1 \cdot SK1 + n \cdot SL2 + 1 \cdot SL1$

Jはコントロールデータ読み出し/書き戻しにかかるサイクル数

16ビット単位でアクセスする必要のあるレジスタに対して、データ読み出し、またはデータ書き込みを行う場合は、DTBLSj (j=0 ~ 23) レジスタに2以上の偶数値を設定してください。

DTCは16ビット単位でアクセスします。

15.3.10 DTC 起動要因受付と割り込み要因フラグ

15.3.10.1 フラッシュメモリ、タイマRC、タイマRD、タイマRG、シンクロナスシリアルコミュニケーションユニット(SSU)/I²Cバス以外の割り込み要因

DTC 起動要因がフラッシュメモリ、タイマRC、タイマRD、タイマRG、シンクロナスシリアルコミュニケーションユニット/I²Cバス以外の割り込み要因であるとき、DTCは割り込み要因が発生してからCPUクロックの8～12サイクルの間、同じDTC 起動要因を受け付けることができません。ソフトウェアコマンド実行時に割り込み要因が発生した場合、CPUクロックの9～16サイクルの間、同じDTC 起動要因を受け付けることができません。また、DTC動作中にDTC 起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC 転送終了後からCPUクロックの8～12サイクルの間、同じDTC 起動要因を受け付けることができません。DTCが起動する直前のDTC 転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクルの間、同じDTC 起動要因を受け付けることができません。

15.3.10.2 フラッシュメモリ

DTC 起動要因がフラッシュレディステータスのとき、FSTレジスタのRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になってからDTCが“0”(フラッシュレディステータス割り込み要求なし)にするまで、フラッシュレディステータス割り込み要求が発生しても、DTC 起動要因になりません。DTCがRDYSTIビットを“0”にした後、フラッシュレディステータス割り込み要求が発生すると、DTCは起動要因として受け付けます。RDYSTIビットが“1”になってから、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル必要です。ソフトウェアコマンド実行時にフラッシュレディステータス割り込みが発生した場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル必要です。また、DTC動作中にフラッシュレディステータス割り込み要求が発生し、DTC 起動要因として受け付けられた場合には、その要因によってDTCが起動する直前のDTC 転送終了後からCPUクロックの8～12サイクル後に、RDYSTIビットが“0”になります。DTCが起動する直前のDTC 転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル後に、RDYSTIビットが“0”になります。

15.3.10.3 タイマRC、タイマRD、タイマRG

DTC 起動要因がタイマRC、タイマRD、タイマRGの割り込み要因であるとき、割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、各タイマのインプットキャプチャ/コンペア一致が発生しても、DTC 起動要因になりません。DTCが割り込み要因フラグを“0”にした後、インプットキャプチャ/コンペア一致が発生すると、DTCは起動要因として受け付けます。割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル+タイマ動作クロックの0.5～1.5サイクル必要です。ソフトウェアコマンド実行時に割り込み要因フラグが“1”になった場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル+タイマ動作クロックの0.5～1.5サイクル必要です。また、DTC起動中にタイマRC、タイマRDの各DTC 起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC 転送終了後からCPUクロックの8～12サイクル+タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。DTCが起動する直前のDTC 転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル+タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。

15.3.10.4 SSU/I²C バス受信データフル

DTC 起動要因が SSU/I²C バス受信データフルであるとき、データ転送で SSRDR/ICDRR レジスタを読んでください。SSRDR/ICDRR レジスタを読むことで、SSSR/ICSR レジスタの RDRF ビットが “0” (SSRDR/ICDRR レジスタにデータなし) になります。その後、受信データフルの割り込み要因が発生すると、DTC は起動要因として受け付けます。

15.3.10.5 SSU/I²C バス送信データエンプティ

DTC 起動要因が SSU/I²C バス送信データエンプティであるとき、データ転送で SSTDR/ICDRT レジスタへ書いてください。SSTDR/ICDRT レジスタへ書くことで、SSSR/ICSR レジスタの TDRE ビットが “0” (SSTDR/ICDRT レジスタから SSTRSR/ICDRS レジスタにデータ転送されていない) になります。その後、送信データエンプティの割り込み要因が発生すると、DTC は起動要因として受け付けます。

15.4 DTC使用上の注意

15.4.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

15.4.2 DTCENi (i=0 ~ 6) レジスタ

- DTCENi0 ~ DTCENi7 ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCENi0 ~ DTCENi7 ビットを変化させないでください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

15.4.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I²Cバス受信データフルのときは、DTC転送でSSRDR/ICDRRレジスタを読んでください。
SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。
ただし、DTCのデータ転送の設定が
 - ノーマルモードかつDTCCTj (j=0 ~ 23) レジスタが“1”から“0”になる転送
 - リピートモードかつDTCCRj レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“1”から“0”になる転送のときには、SSRDR/ICDRRレジスタを読んでもSSSR/ICSRレジスタのRDRFビットは“0”(SSRDR/ICDRRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I²Cバス送信データエンプティのときは、DTC転送でSSTDRT/ICDRTレジスタへ書いてください。SSTDRT/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDRT/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。

15.4.4 割り込み要求

DTC起動要因がSSU/I²C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCCTj (j=0 ~ 23) レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

16. タイマ総論

タイマは、8ビットプリスケアラ付き8ビットタイマを2本と、16ビットタイマを5本と、4ビットカウンタ、8ビットカウンタを持つタイマを1本内蔵しています。8ビットプリスケアラ付き8ビットタイマは、タイマRA、およびタイマRBの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマRC、タイマRF、タイマRGの3本、タイマRDの2本です。4ビットカウンタ、8ビットカウンタは、アウトプットコンペアを持ったタイマREです。すべてのタイマは、それぞれ独立して動作します。

表16.1～表16.2に各タイマの機能比較を示します。

表 16.1 各タイマの機能比較(1)

項目	タイマRA	タイマRB	タイマRC	タイマRD	タイマRE	タイマRF	タイマRG
構成	8ビットプリ スケーラ付8 ビットタイマ (リロードレジ スタ付)	8ビットプリ スケーラ付8 ビットタイマ (リロードレジ スタ付)	16ビットタイ マ(インプッ トキャプ チャ、アウト プットコンペ ア付)	16ビットタイ マ×2(イン プットキャプ チャ、アウト プットコンペ ア付)	4ビットカウ ンタ 8ビットカウ ンタ	16ビットタ イマ(イン プットキャ プチャ、ア ウトプット コンペア付)	16ビットタイ マ(インプッ トキャプチャ、 アウトプット コンペア付)
カウント	ダウンカウ ント	ダウンカウ ント	アップカウ ント	アップカウ ント/ダウンカ ウント	アップカウ ント	アップカウ ント	アップカウ ント/ダウンカ ウント
カウントソース	<ul style="list-style-type: none"> • f1 • f2 • f8 • fOCO • fC32 • fC 	<ul style="list-style-type: none"> • f1 • f2 • f8 • タイマRAア ンダフロー 	<ul style="list-style-type: none"> • f1 • f2 • f4 • f8 • f32 • fOCO40M • fOCO-F • TRCCLK 	<ul style="list-style-type: none"> • f1 • f2 • f4 • f8 • f32 • fC2 • fOCO40M • fOCO-F • TRDCLK 	<ul style="list-style-type: none"> • f4 • f8 • f32 • fC4 	<ul style="list-style-type: none"> • f1 • f8 • f32 	<ul style="list-style-type: none"> • f1 • f2 • f4 • f8 • f32 • fOCO40M • TRGCLKA • TRGCLKB
機能	内部のカウ ントソースのカ ウント	タイマモード	タイマモード	タイマモード (アウトプット コンペア機能)	タイマモード (アウトプット コンペア機能)		アウトプッ トコンペア モード
	外部のカウ ントソースのカ ウント	イベントカウ ンタモード		タイマモード (アウトプット コンペア機能)	タイマモード (アウトプット コンペア機能)		タイマモード (アウトプット コンペア機能)、 位相計数モー ド
	外部パルス幅/ 周期測定	パルス幅測定 モード、 パルス周期測 定モード		タイマモード (インプット キャプチャ機 能; 4本)	タイマモード (インプット キャプチャ機 能; 2×4本)		インプット キャプチャ モード
	PWM出力	パルス出力 モード(注1)、 イベントカウ ンタモード (注1)	プログラマブ ル波形発生 モード	タイマモード (アウトプット コンペア機 能; 4本) (注1)、 PWMモード (3本)、 PWM2モード (1本)	タイマモード (アウトプット コンペア機 能; 2×4本) (注1)、 PWMモード (2×3本)、 PWM3モード (2×2本)	アウトプッ トコンペア モード	タイマモード (アウトプット コンペア機能; 2本)、 PWMモード (1本)
	ワンショット 波形出力		プログラマブ ルワンショッ ト発生モー ド、 プログラマブ ルウェイトワ ンショット発 生モード	PWMモード (3本)	PWMモード (2×3本)		
	三相波形出力				リセット同期 PWMモード (2×3本、鋸 波変調)、 相補PWM モード(2×3 本、三角波変 調、短絡防止 時間あり)		
	時計	タイマモード (fC32カウ ントのみ)				リアルタイム クロックモー ド	

注1. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

表 16.2 各タイマの機能比較 (2)

項目	タイマ RA	タイマ RB	タイマ RC	タイマ RD	タイマ RE	タイマ RF	タイマ RG
入力端子	TRAIO、 INT2	INT0	INT0、 TRCCLK、 TRCTRG、 TRCIOA、 TRCIOB、 TRCIOC、 TRCIOD	INT0、 TRDCLK、 TRDIOA0、 TRDIOA1、 TRDIOB0、 TRDIOB1、 TRDIOC0、 TRDIOC1、 TRDIOD0、 TRDIOD1		TRFI	TRGCLKA、 TRGCLKB、 TRGIOA、 TRGIOB
出力端子	TRAIO、 TRAIO	TRBO	TRCIOA、 TRCIOB、 TRCIOC、 TRCIOD	TRDIOA0、 TRDIOA1、 TRDIOB0、 TRDIOB1、 TRDIOC0、 TRDIOC1、 TRDIOD0、 TRDIOD1	TREO	TRFO00、 TRFO01、 TRFO02、 TRFO10、 TRFO11、 TRFO12	TRGIOA、 TRGIOB
関連する割り込み	タイマ RA 割 り込み、 INT2 割り込み	タイマ RB 割 り込み、 INT0 割り込み	コンペアー致/ インプット キャプチャ A ～ D 割り込み、 オーバフロー 割り込み、 INT0 割り込み	コンペアー致/ インプット キャプチャ A0 ～ D0 割 り込み、 コンペアー致/ インプット キャプチャ A1 ～ D1 割 り込み、 オーバフロー 割り込み、 アンダフロー 割り込み (注 1)、 INT0 割り込み	タイマ RE 割 り込み	コンペアー 0 割 り込み、 コンペアー 1 割 り込み、 キャプチャ 割り込み、 タイマ RF 割 り込み	コンペアー致/ キャプチャ A ～ B 割り込み、 オーバフロー 割り込み、 アンダフロー 割り込み (注 1)
タイマ停止	あり	あり	あり	あり	あり	あり	あり

注 1. アンダフロー割り込みは、タイマ RD1 のみ設定可能です。

17. タイマRA

タイマRAは、8ビットプリスケアラ付き8ビットタイマです。

17.1 概要

プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRAPREレジスタ、TRAレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表17.2～表17.6の各モードの仕様を参照)。

タイマRAのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図17.1にタイマRAのブロック図を、表17.1にタイマRAの端子構成を示します。

タイマRAは、次の5種類のモードを持ちます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・パルス出力モード 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード
- ・イベントカウンタモード 外部パルス进行カウントするモード
- ・パルス幅測定モード 外部パルスのパルス幅を測定するモード
- ・パルス周期測定モード 外部パルスのパルス周期を測定するモード

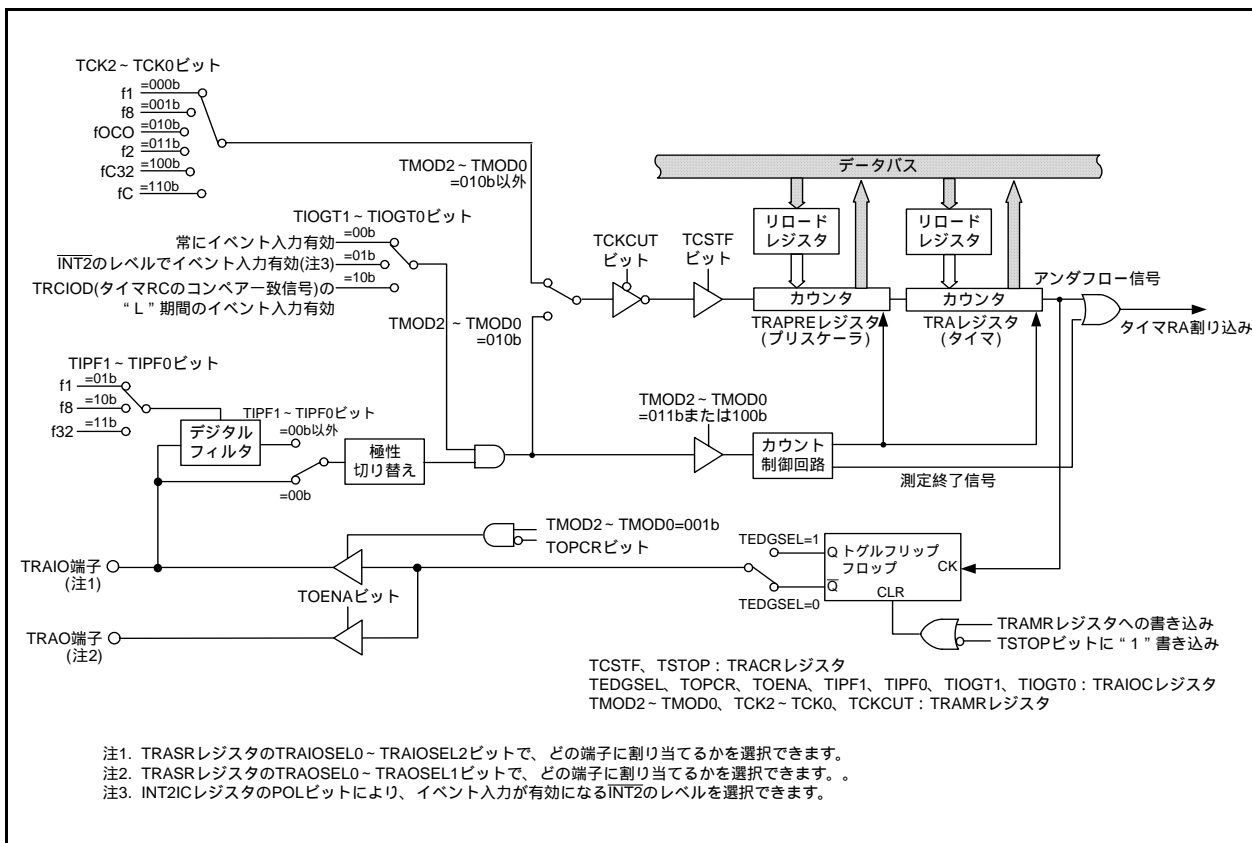


図17.1 タイマRAのブロック図

表17.1 タイマRAの端子構成

端子名	割り当てる端子	入出力	機能
TRAIO	P1_5、P1_7、P3_2またはP5_5	入出力	モードによって機能が異なります。
TRAO	P3_0、P3_7またはP5_6	出力	詳細は各モードを参照してください。

17.2 レジスタの説明

17.2.1 タイマRA制御レジスタ(TRACR)

アドレス 0100h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TUNDF	TEDGF	-	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRAカウント開始ビット(注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRAカウントステータスフラグ(注1)	0: カウント停止 1: カウント中	R
b2	TSTOP	タイマRAカウント強制停止ビット(注2)	“1” を書くとカウントが強制停止します。 読んだ場合、その値は“0”。	R/W
b3	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。	-	-
b4	TEDGF	有効エッジ判定フラグ(注3、4)	0: 有効エッジなし 1: 有効エッジあり(測定期間終了)	R/W
b5	TUNDF	タイマRAアンダフローフラグ(注3、4)	0: アンダフローなし 1: アンダフローあり	R/W
b6	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。	-	-
b7	-			

注1. TSTART、TCSTFビットの使用上の注意事項については、「17.8 タイマRA使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRAPREレジスタ、TRAレジスタがリセット後の値になります。

注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。

注4. タイマモード、パルス出力モード、イベントカウンタモードでは“0”にしてください。

パルス幅測定モード、パルス周期測定モードでは、TRACRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

17.2.2 タイマRA I/O制御レジスタ(TRAIOC)

アドレス 0101h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	動作モードによって機能が異なる	R/W
b1	TOPCR	TRAIO出力制御ビット		R/W
b2	TOENA	TRAIO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット		R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット		R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

17.2.3 タイマ RA モードレジスタ (TRAMR)

アドレス 0102h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	-	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	
b0	TMOD0	タイマRA動作モード選択ビット	b2 b1 b0 0 0 0 : タイマモード	R/W
b1	TMOD1		0 0 1 : パルス出力モード	R/W
b2	TMOD2		0 1 0 : イベントカウンタモード	R/W
			0 1 1 : パルス幅測定モード	
		1 0 0 : パルス周期測定モード		
		1 0 1 : 設定しないでください		
			1 1 0 : 設定しないでください	
			1 1 1 : 設定しないでください	
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	TCK0	タイマRAカウントソース選択ビット	b6 b5 b4 0 0 0 : f1	R/W
b5	TCK1		0 0 1 : f8	R/W
b6	TCK2		0 1 0 : fOCO	R/W
			0 1 1 : f2	
		1 0 0 : fC32		
		1 0 1 : 設定しないでください		
			1 1 0 : fC	
			1 1 1 : 設定しないでください	
b7	TCKCUT	タイマRAカウントソース遮断ビット	0 : カウントソース供給 1 : カウントソース遮断	R/W

TRACR レジスタの TSTART ビットと TCSTF ビットがともに“0”(カウント停止)のときに、TRAMR レジスタを変更してください。

17.2.4 タイマ RA プリスケアラレジスタ (TRAPRE)

アドレス 0103h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

(注1)

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソースをカウント	00h ~ FFh	R/W
	パルス出力モード		00h ~ FFh	R/W
	イベントカウンタモード	外部カウントソースをカウント	00h ~ FFh	R/W
	パルス幅測定モード	外部からの入力パルスのパルス幅を測定 (内部カウントソースをカウント)	00h ~ FFh	R/W
	パルス周期測定モード	外部からの入力パルスのパルス周期を測定 (内部カウントソースをカウント)	00h ~ FFh	R/W

注1. TRACR レジスタの TSTOP ビットに“1”を書くと TRAPRE レジスタは“FFh”になります。

17.2.5 タイマRAレジスタ(TRA)

アドレス 0104h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

(注1)

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	全モード	TRAPREレジスタのアンダフローをカウント	00h ~ FFh	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAレジスタは“FFh”になります。

17.2.6 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	TRAOSEL1	TRAOSEL0	TRAIOSEL2	TRAIOSEL1	TRAIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSEL0	TRAIO端子選択ビット	b2 b1 b0 0 0 0 : TRATIO端子は使用しない 0 0 1 : P1_7に割り当てる 0 1 0 : P1_5に割り当てる 0 1 1 : P3_2に割り当てる 1 0 0 : P5_5に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRAIOSEL1			R/W
b2	TRAIOSEL2			R/W
b3	TRAOSEL0	TRAO端子選択ビット	b4 b3 0 0 : P3_7に割り当てる 0 1 : P3_0に割り当てる 1 0 : P5_6に割り当てる 1 1 : 設定しないでください	R/W
b4	TRAOSEL1			R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

TRASRレジスタは、タイマRAの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

17.3 タイマモード

内部で生成されたカウントソースをカウントするモードです(表17.2)。

表17.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値
カウント開始条件	TRACR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACR レジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
TRAIO端子機能	プログラマブル入出力ポート
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRA レジスタ、TRAPRE レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)

17.3.1 タイマRA I/O制御レジスタ(TRAIOC)[タイマモード時]

アドレス 0101h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	タイマモードでは“0”にしてください	R/W
b1	TOPCR	TRAIO出力制御ビット		R/W
b2	TOENA	TRAIO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください。ただし、ハードウェアLIN機能を使用時は“1”にしてください。	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット	タイマモードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

17.3.2 カウント中のタイマ書き込み制御

タイマRAはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケアラやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、カウント中にプリスケアラやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図17.2にタイマRAカウント中にカウント値を書き換えた場合の動作例を示します。

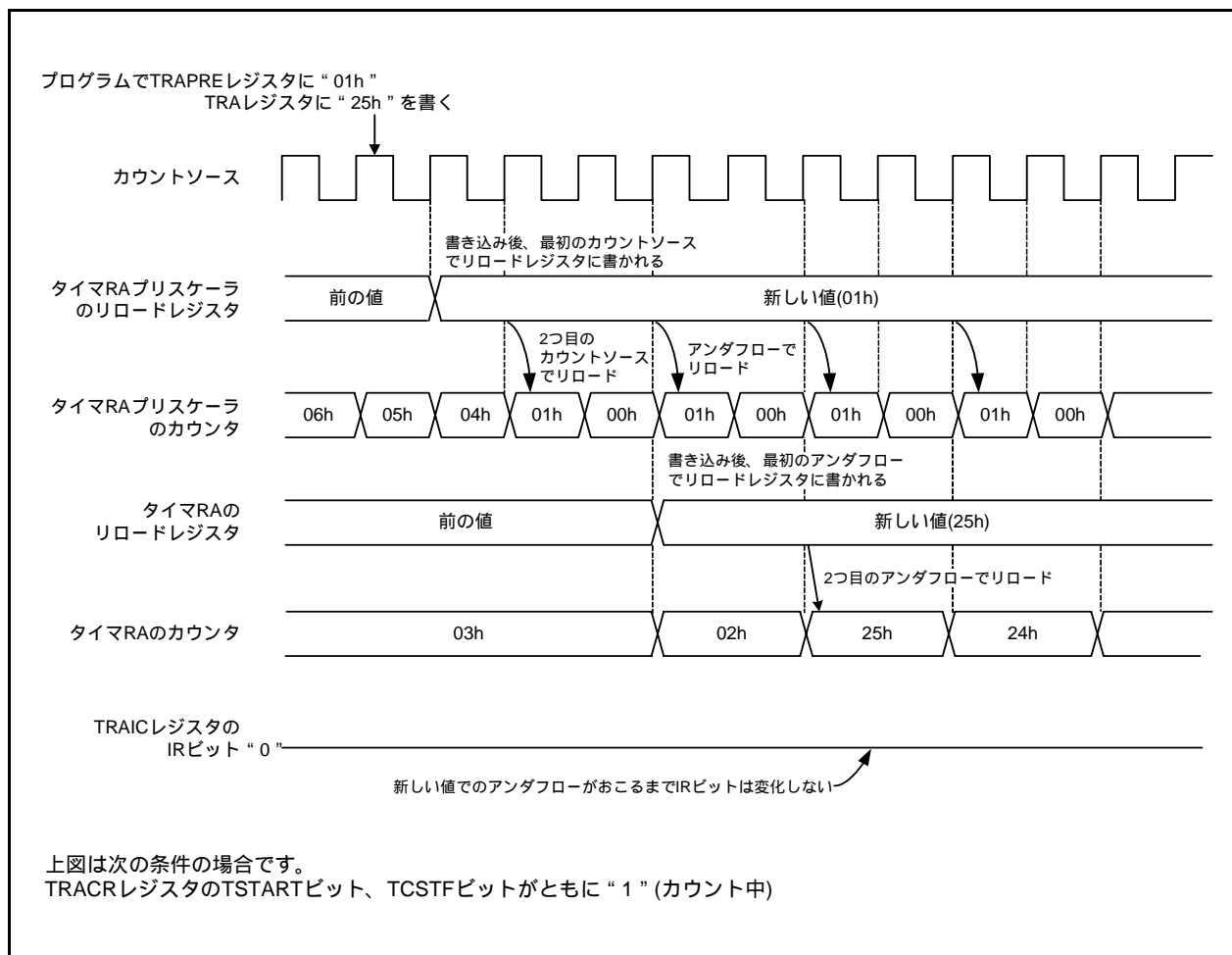


図17.2 タイマRAカウント中にカウント値を書き換えた場合の動作例

17.4 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAIO端子から出力するモードです(表17.3)。

表17.3 パルス出力モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値
カウント開始条件	TRACR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACR レジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
TRAIO信号端子機能	パルス出力、またはプログラマブル出力ポート
TRAO端子機能	プログラマブル入出力ポート、またはTRAIO出力の反転出力
タイマの読み出し	TRA レジスタ、TRAPRE レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> ・TRAIO出力極性切り替え機能 TRAIOC レジスタのTEDGSELビットでパルス出力開始時のレベルを選択(注1) ・TRAO出力機能 TRAIO出力の極性を反転したパルスをTRAO端子から出力(TRAIOC レジスタのTOENAビットで選択) ・パルス出力停止機能 TRAIOC レジスタのTOPCRビットでTRAIO端子からのパルス出力を停止 ・TRAIO端子選択機能 TRASR レジスタのTRAIOSSEL0 ~ TRAIOSSEL2ビットでP1_5、P1_7、P3_2またはP5_5を選択 ・TRAO端子選択機能 TRASR レジスタのTRAIOSSEL0 ~ TRAIOSSEL1ビットでP3_0、P3_7、P5_6を選択

注1. TRAMR レジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

17.4.1 タイマ RA I/O制御レジスタ (TRAIOC)[パルス出力モード時]

アドレス 0101h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : “H” から TRAIIO 出力開始 1 : “L” から TRAIIO 出力開始	R/W
b1	TOPCR	TRAIO出力制御ビット	0 : TRAIIO 出力 1 : TRAIIO 出力禁止	R/W
b2	TOENA	TRAO出力許可ビット	0 : TRAO 出力禁止 1 : TRAO 出力 (TRAIO 出力の反転をポートから出力)	R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0” にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット	パルス出力モードでは “0” にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0			R/W
b7	TIOGT1			R/W

17.5 イベントカウンタモード

TRAIO端子から入力する外部信号をカウントするモードです(表17.4)。

表17.4 イベントカウンタモードの仕様

項目	仕様
カウントソース	TRAIO端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値
カウント開始条件	TRACR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACR レジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
TRAIO信号端子機能	カウントソース入力
TRAO端子機能	プログラマブル入出力ポートまたはパルス出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> ・INT1入力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでカウントソースの有効エッジを選択 ・カウントソース入力端子選択機能 TRASRレジスタのTRAIOSEL0 ~ TRAIOSSEL2ビットでP1_5、P1_7、P3_2またはP5_5を選択 ・パルス出力機能 タイマがアンダフローするごとに、極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択)(注1) ・TRAO端子選択機能 TRASRレジスタのTRAIOSEL0 ~ TRAIOSSEL1ビットでP3_0、P3_7、P5_6を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRAIOCレジスタのTIPF0 ~ TIPF1ビットで選択 ・イベント入力制御機能 TRAIO端子へのイベント入力の有効期間をTRAIOCレジスタのTIOGT0 ~ TIOGT1ビットで選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

17.5.1 タイマRA I/O制御レジスタ (TRAIOC)[イベントカウンタモード時]

アドレス 0101h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : TRAO入力の立ち上がりエッジでカウント また、“L” から TRAO 出力開始 1 : TRAO入力の立ち下がりエッジでカウント また、“H” から TRAO 出力開始	R/W
b1	TOPCR	TRAIO出力制御ビット	イベントカウンタモードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット	0 : TRAO出力禁止 1 : TRAO出力	R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット (注1)	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	b7 b6 0 0 : 常にイベント入力有効 0 1 : INT2のレベルでイベント入力有効(注2) 1 0 : TRCIOD(タイマRCのコンペアー一致信号)の “L” 期間のイベント入力有効 1 1 : 設定しないでください	R/W
b7	TIOGT1			R/W

注1. TRAO端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

注2. INT2のイベント入力有効を使用する場合は、次の設定をしてください。

- INTENレジスタのINT2ENビットを“1”(INT2入力許可)、INT2PLビットを“0”(片エッジ)にする。
- INT2の極性をINT2ICレジスタのPOLビットで選択する。
POLビットを“0”(立ち下がりエッジを選択)にすると、INT2の“H”期間のイベント入力が増効になります。
POLビットを“1”(立ち上がりエッジを選択)にすると、INT2の“L”期間のイベント入力が増効になります。
- INT2端子に割り当てたポートのPDi(i=3、6)レジスタのPDi_j(j=2、6)ビットを“0”(入力モード)にする。
- INT2のデジタルフィルタをINTFレジスタのINT2F1 ~ INT2F0ビットで選択する。

なお、INT2ICレジスタのPOLビットとINTENレジスタのINT2PLビットの選択と、INT2端子入力の変更にしたがって、INT2ICレジスタのIRビットが“1”(割り込み要求あり)になります。(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

17.6 パルス幅測定モード

TRAIO端子から入力する外部信号のパルス幅を測定するモードです(表17.5)。

図17.3にパルス幅測定モード時の動作例を示します。

表17.5 パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • 測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 • アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み • TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> • タイマRAのアンダフロー時[タイマRA割り込み] • TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
TRAIO信号端子機能	測定パルス入力
TRAIO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる • カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> • 測定レベル設定 TRAIOCレジスタのTEDGSELビットで“H”レベル期間、または“L”レベル期間を選択 • 測定パルス入力端子選択機能 TRASRレジスタのTRAIOSEL0～TRAIOSEL2ビットでP1_5、P1_7、P3_2またはP5_5を選択 • デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

17.6.1 タイマ RA I/O制御レジスタ (TRAIOC)[パルス幅測定モード時]

アドレス 0101h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : TRAI0入力の“L”レベル幅を測定 1 : TRAI0入力の“H”レベル幅を測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b2	TOENA	TRAIO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください。ただし、ハードウェアLIN機能使用時は“1”にしてください。	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

17.6.2 動作例

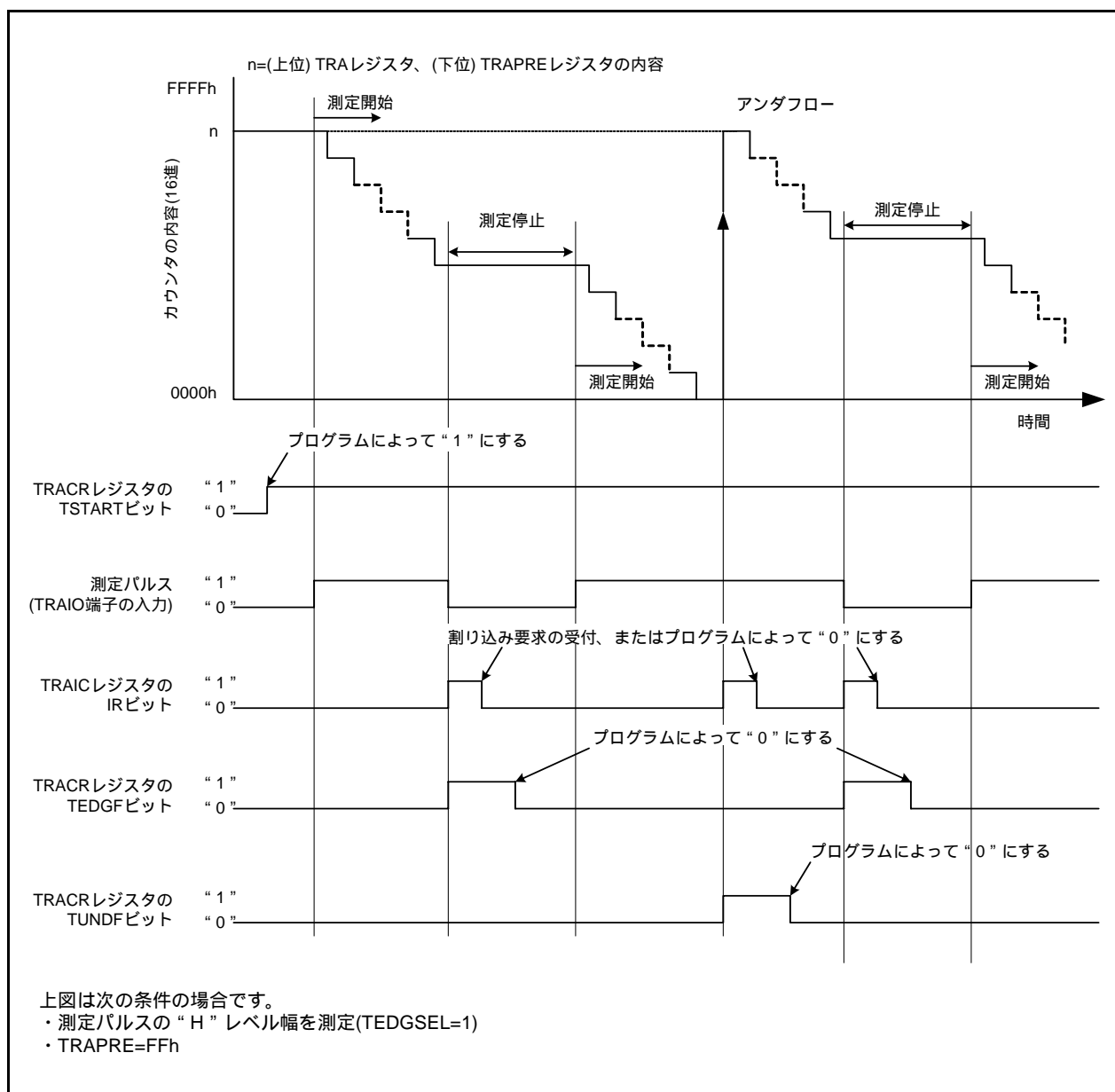


図 17.3 パルス幅測定モード時の動作例

17.7 パルス周期測定モード

TRAIO端子から入力する外部信号のパルス周期を測定するモードです(表17.6)。

図17.4にパルス周期測定モード時の動作例を示します。

表17.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32、fC
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • 測定パルスの有効エッジ入力後、1回目のタイマRAプリスケアラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケアラのアンダフロー時にタイマRAはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACR レジスタのTSTART ビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRACR レジスタのTSTART ビットへの“0”(カウント停止)書き込み • TRACR レジスタのTSTOP ビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> • タイマRAのアンダフロー時、またはリロード時[タイマRA割り込み] • TRAO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
TRAIO 端子機能	測定パルス入力(注1)
TRAO 端子機能	プログラマブル入出力ポート
タイマの読み出し	TRA レジスタ、TRAPRE レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる • カウント中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)
選択機能	<ul style="list-style-type: none"> • 測定期間選択 TRAIOC レジスタのTEDGSEL ビットで入力パルスの測定期間を選択 • 測定パルス入力端子選択機能 TRASR レジスタのTRAIOSEL0 ~ TRATIOSEL2 ビットでP1_5、P1_7、P3_2またはP5_5を選択 • デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0 ~ TIPF1 ビットで選択

注1. タイマRAプリスケアラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケアラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

17.7.1 タイマ RA I/O制御レジスタ (TRAIOC)[パルス周期測定モード時]

アドレス 0101h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b2	TOENA	TRAIO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

17.7.2 動作例

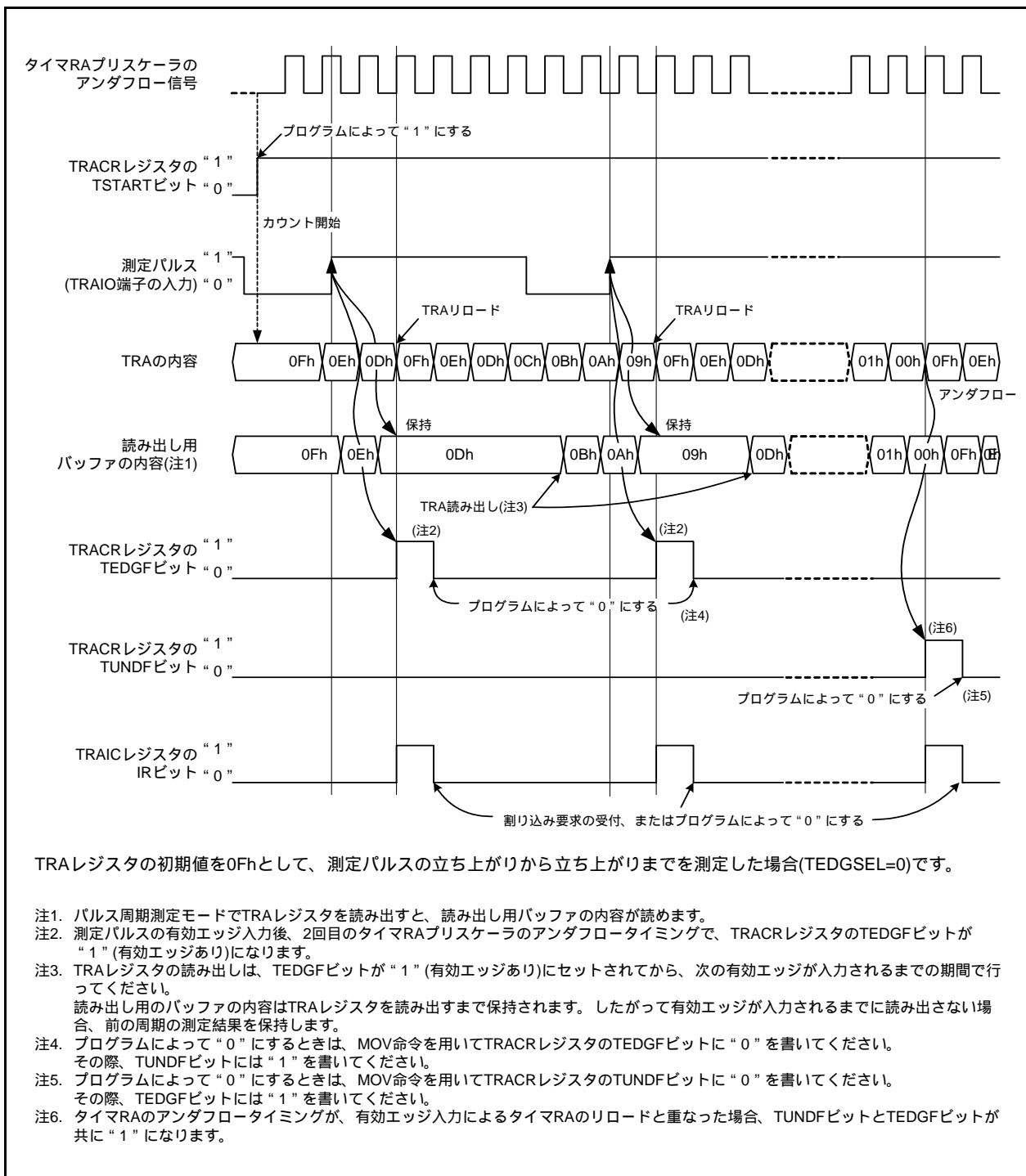


図17.4 パルス周期測定モード時の動作例

17.8 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRA プリスケアラのアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRA プリスケアラの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTF ビットは“0”になっています。
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)にアクセスしないでください。
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。
カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)にアクセスしないでください。

注1. タイマRA 関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTF ビットが“1”)に TRAPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTF ビットが“1”)に TRA レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダーフローの3周期以上空けてください。

18. タイマRB

タイマRBは、8ビットプリスケアラ付き8ビットタイマです。

18.1 概要

プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表18.2～表18.5の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図18.1にタイマRBのブロック図を、表18.1にタイマRBの端子構成を示します。

タイマRBは、次の4種類のモードを持ちます。

・タイマモード

内部カウントソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード

・プログラマブル波形発生モード

任意のパルス幅を連続して出力するモード

・プログラマブルワンショット発生モード

ワンショットパルスを出力するモード

・プログラマブルウェイトワンショット発生モード

ディレイドワンショットパルスを出力するモード

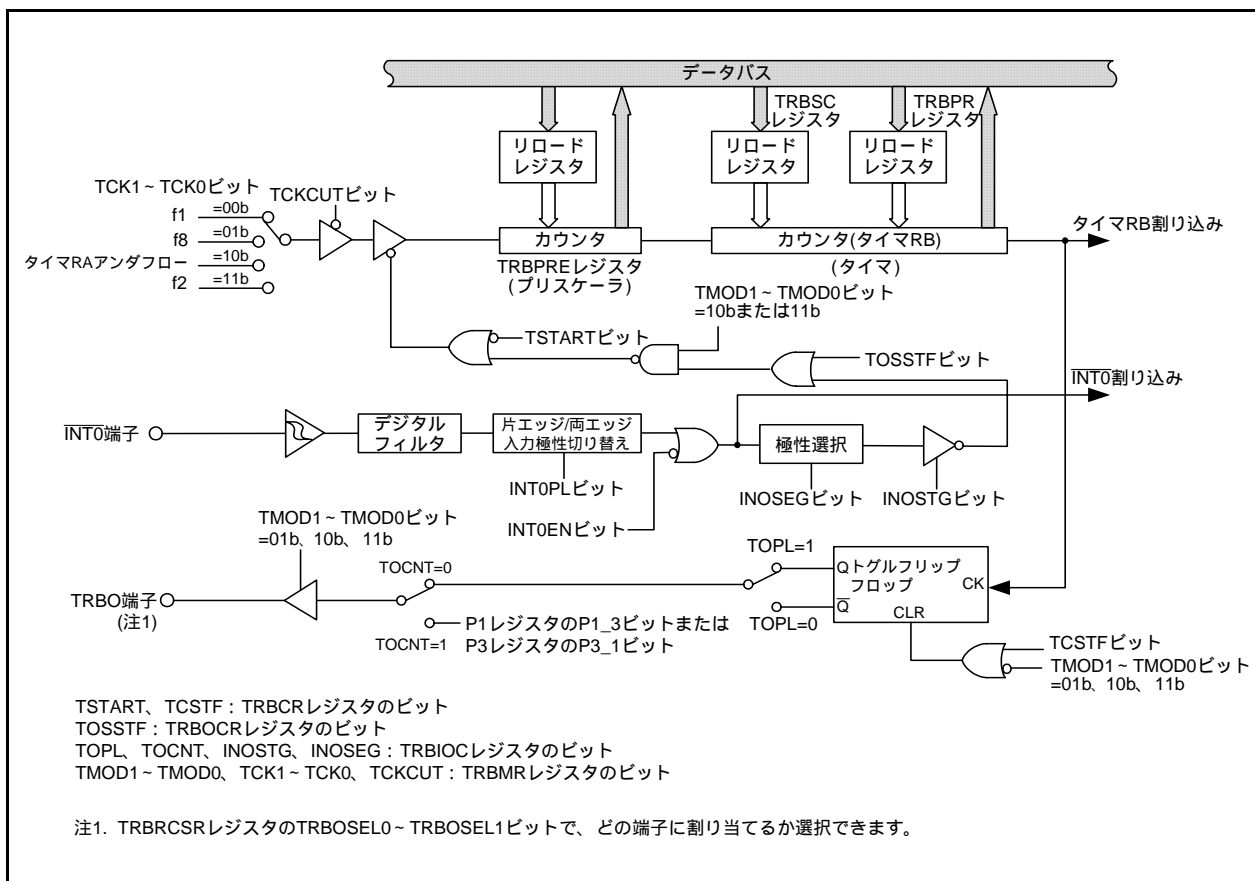


図18.1 タイマRBのブロック図

表18.1 タイマRBの端子構成

端子名	割り当てる端子	入出力	機能
TRBO	P1_3またはP3_1	出力	パルス出力(プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード)

18.2 レジスタの説明

18.2.1 タイマRB制御レジスタ(TRBCR)

アドレス 0108h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRBカウント開始ビット(注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRBカウントステータスフラグ(注1)	0: カウント停止 1: カウント中(注3)	R
b2	TSTOP	タイマRBカウント強制停止ビット(注1、2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「18.7 タイマRB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSTFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

18.2.2 タイマRBワンショット制御レジスタ(TRBOCR)

アドレス 0109h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマRBワンショット開始ビット	“1”を書くとワンショットトリガを発生します。読んだ場合、その値は“0”。	R/W
b1	TOSSP	タイマRBワンショット停止ビット	“1”を書くとワンショットパルス(ウェイト含む)のカウントを停止します。読んだ場合、その値は“0”。	R/W
b2	TOSSTF	タイマRBワンショットステータスフラグ(注1)	0: ワンショット停止中 1: ワンショット動作中(ウェイト期間含む)	R
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

TRBOCRレジスタは、TRBMRレジスタのTMOD1～TMOD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。

18.2.3 タイマRB I/O制御レジスタ (TRBIOC)

アドレス 010Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	TOPL	タイマRBアウトプットレベル選択ビット	動作モードによって機能が異なる	R/W	
b1	TOCNT	タイマRB出力切り替えビット		R/W	
b2	INOSTG	ワンショットトリガ制御ビット		R/W	
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W	
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			-
b5	-				
b6	-				
b7	-				

18.2.4 タイマRB モードレジスタ (TRBMR)

アドレス 010Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	-	TCK1	TCK0	TWRC	-	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRB動作モード選択ビット (注1)	b1 b0 00: タイマモード 01: プログラマブル波形発生モード 10: プログラマブルワンショット発生モード 11: プログラマブルウェイトワンショット発生 モード	R/W
b1	TMOD1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	TWRC	タイマRB書き込み制御ビット (注2)	0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマRBカウントソース選択ビット (注1)	b5 b4 00: f1 01: f8 10: タイマRAのアンダフロー 11: f2	R/W
b5	TCK1			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	TCKCUT	タイマRBカウントソース遮断 ビット(注1)	0: カウントソース供給 1: カウントソース遮断	R/W

注1. TMOD1 ~ TMOD0 ビット、TCK1 ~ TCK0 ビット、TCKCUT ビットは、TRBCR レジスタの TSTART ビットと TCSTF ビットが共に “0” (カウント停止) のときに変更してください。

注2. TWRC ビットは、タイマモードのとき “0” または “1” が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは “1” (リロードレジスタのみ書き込み) にしてください。

18.2.5 タイマRBプリスケアラレジスタ(TRBPRES)

アドレス 010Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソース、またはタイマRA アンダフローをカウント	00h ~ FFh	R/W
	プログラマブル波形発生モード		00h ~ FFh	R/W
	プログラマブルワンショット発生モード		00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード		00h ~ FFh	R/W

TRBCR レジスタの TSTOP ビットに “ 1 ” を書くと、TRBPRES レジスタは “ FFh ” になります。

18.2.6 タイマRBセカンダリレジスタ(TRBSC)

アドレス 010Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	無効	00h ~ FFh	-
	プログラマブル波形発生モード	タイマRB プリスケーラのアンダフローをカウント(注1)	00h ~ FFh	W (注2)
	プログラマブルワンショット発生モード	無効	00h ~ FFh	-
	プログラマブルウェイトワンショット発生モード	タイマRB プリスケーラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	W (注2)

注1. TRBPR レジスタと TRBSC レジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でも TRBPR レジスタで読めます。

TRBCR レジスタの TSTOP ビットに “ 1 ” を書くと、TRBSC レジスタは “ FFh ” になります。

TRBSC レジスタに書き込むときは、次の手順で書いてください。

- (1) TRBSC レジスタに値を書く
- (2) TRBPR レジスタに値を書く (値を変更しない場合でも、前と同じ値を再度書く)

18.2.7 タイマRB プライマリレジスタ (TRBPR)

アドレス 010Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	タイマRBプリスケアラのアンダフローをカウント	00h ~ FFh	R/W
	プログラマブル波形発生モード	タイマRBプリスケアラのアンダフローをカウント(注1)	00h ~ FFh	R/W
	プログラマブルワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ウェイト期間をカウント)	00h ~ FFh	R/W

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRレジスタは“FFh”になります。

18.2.8 タイマRB/RC 端子選択レジスタ (TRBRCSR)

アドレス 0181h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCCLKSEL2	TRCCLKSEL1	TRCCLKSEL0	-	-	-	TRBOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBOSEL0	TRBO端子選択ビット	0 : P1_3に割り当てる 1 : P3_1に割り当てる	R/W
b1	-	予約ビット	“0”にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	TRCCLKSEL0	TRCCLK端子選択ビット	b6 b5 b4 0 0 0 : TRCCLK端子は使用しない 0 0 1 : P1_4に割り当てる 0 1 0 : P3_3に割り当てる 1 0 0 : P5_0に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCCLKSEL1			R/W
b6	TRCCLKSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL0 ~ TRCCLKSEL2ビットを設定してください。また、タイマRBの動作中はTRBOSEL0ビットを、タイマRCの動作中はTRCCLKSEL0 ~ TRCCLKSEL2ビットの設定値を変更しないでください。

18.3 タイマモード

内部で生成されたカウントソースまたはタイマRAのアンダフローをカウントするモードです(表18.2)。タイマモード時、TRBOCRおよびTRBSCレジスタは使用しません。

表18.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマRBのアンダフロー時はタイマRBプライマリリロードレジスタの内容をリロード)
分周比	$1/(n+1)(m+1)$ n: TRBPRESレジスタの設定値、m: TRBPRレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRBのアンダフロー時[タイマRB割り込み]
TRBO端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、TRBMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。 TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる (「18.3.2 カウント中のタイマ書き込み制御」参照)。

18.3.1 タイマRB I/O制御レジスタ(TRBIOC)[タイマモード時]

アドレス 010Ah番地

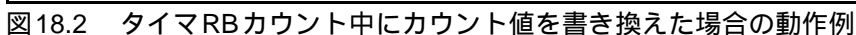
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	タイマモードでは“0”にしてください	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

18.3.2 カウント中のタイマ書き込み制御

タイマRBはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)をもち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケアラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケアラの値を変更すると書き込んだときの周期がずれます。図18.2にタイマRBカウント中にカウント値を書き換えた場合の動作例を示します。



18.4 プログラマブル波形発生モード

TRBPR レジスタと TRBSC レジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO 端子から出力する信号を反転するモードです (表 18.3)。カウント開始時は、TRBPR レジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCR レジスタは使用しません。

図 18.3 にプログラマブル波形発生モード時のタイマRB の動作例を示します。

表 18.3 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間: $(n+1)(m+1)/f_i$ セカンダリ期間: $(n+1)(p+1)/f_i$ 周期: $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i : カウントソースの周波数 n : TRBPRES レジスタの設定値、 m : TRBPR レジスタの設定値 p : TRBSC レジスタの設定値
カウント開始条件	TRBCR レジスタの TSTART ビットへの “1” (カウント開始) 書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRBCR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み • TRBCR レジスタの TSTOP ビットへの “1” (カウント強制停止) 書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの 1/2 サイクル後 (TRBO 出力の変化と同時に) [タイマRB 割り込み]
TRBO 端子機能	プログラマブル出力ポート、またはパルス出力
INT0 端子機能	プログラマブル入出力ポート、または INT0 割り込み入力
タイマの読み出し	TRBPR レジスタ、TRBPRES レジスタを読み出すと、それぞれカウント値が読み出される (注 1)
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる • カウント中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる (注 2)
選択機能	<ul style="list-style-type: none"> • アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルを TOPL ビットで選択 • TRBO 端子出力切り替え機能 TRBIOC レジスタの TOCNT ビットでタイマRBパルス出力または P3_1 (P1_3) ラッチ出力を選択 (注 3)

注 1. セカンダリ期間をカウント中でも、TRBPR レジスタを読み出してください。

注 2. 波形の出力は、TRBPR レジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注 3. TOCNT ビットに書いた値は、次のタイミングで有効になります。

- カウント開始時
- タイマRB 割り込み要求発生時

したがって、TOCNT ビットを変更後、次のプライマリ期間の出力から反映されます。

18.4.1 タイマRB I/O制御レジスタ (TRBIOC)[プログラマブル波形発生モード時]

アドレス 010Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能		
b0	TOPL	タイマRBアウトプットレベル選択ビット	0：プライマリ期間“H”出力 セカンダリ期間“L”出力 タイマ停止時“L”出力 1：プライマリ期間“L”出力 セカンダリ期間“H”出力 タイマ停止時“H”出力	R/W	
b1	TOCNT	タイマRB出力切り替えビット	0：タイマRB波形出力 1：P3_1 (P1_3)ポートラッチの値を出力	R/W	
b2	INOSTG	ワンショットトリガ制御ビット	プログラマブル波形発生モードでは“0”にしてください	R/W	
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W	
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			-
b5	-				
b6	-				
b7	-				

18.4.2 動作例

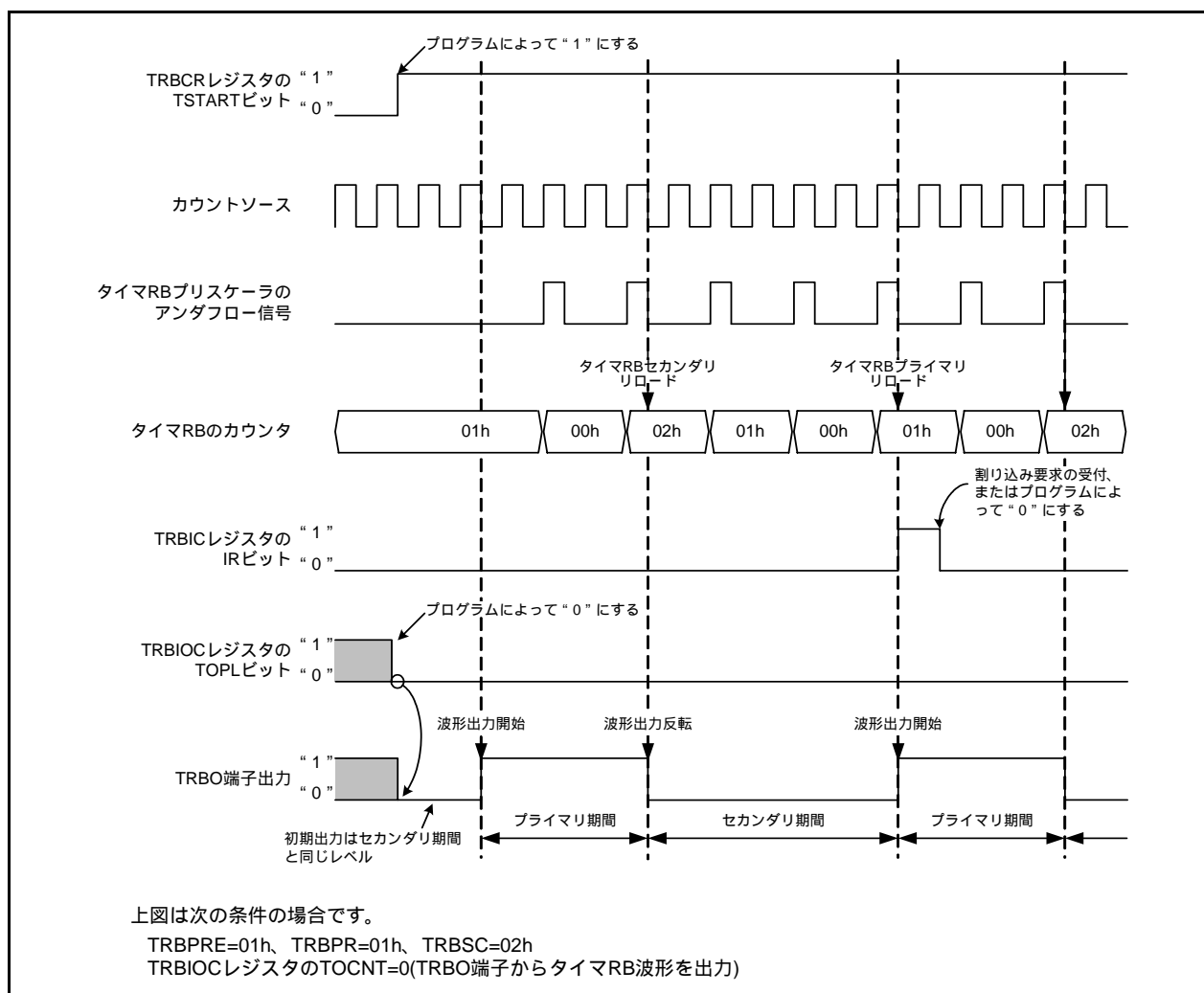


図 18.3 プログラマブル波形発生モード時のタイマRBの動作例

18.5 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルスをTRBO端子から出力するモードです(表18.4)。トリガが発生するとその時点から任意の時間(TRBPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBSCレジスタは使用しません。

図18.4にプログラマブルワンショット発生モード時の動作例を示します。

表18.4 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> • TRBPRレジスタの設定値をダウンカウント • アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる • カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRESレジスタの設定値、 m : TRBPRレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> • TRBCRレジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生 • TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み • INT0端子へのトリガ入力
カウント停止条件	<ul style="list-style-type: none"> • タイマRBプライマリカウント時のカウントの値がアンダフローし、リロードした後 • TRBOCRレジスタのTOSSTビットへの“1”(ワンショット停止)書き込み • TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み • TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後 (TRBO端子からの波形出力の終了と同時に)[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	<ul style="list-style-type: none"> • TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力 • TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる • カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注1)
選択機能	<ul style="list-style-type: none"> • アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 • ワンショットトリガ選択機能 「18.5.3 ワンショットトリガ選択」参照

注1. TRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

18.5.1 タイマRB I/O制御レジスタ(TRBIOC)[プログラマブルワンショット発生モード時]

アドレス 010Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0: ワンショットパルス “H” 出力 タイマ停止時 “L” 出力 1: ワンショットパルス “L” 出力 タイマ停止時 “H” 出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルワンショット発生モードでは “0” にしてください	R/W
b2	INOSTG	ワンショットトリガ制御ビット (注1)	0: <u>INT0</u> 端子ワンショットトリガ無効 1: <u>INT0</u> 端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット (注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		-
b5	-			
b6	-			
b7	-			

注1. 「18.5.3 ワンショットトリガ選択」を参照してください。

18.5.2 動作例

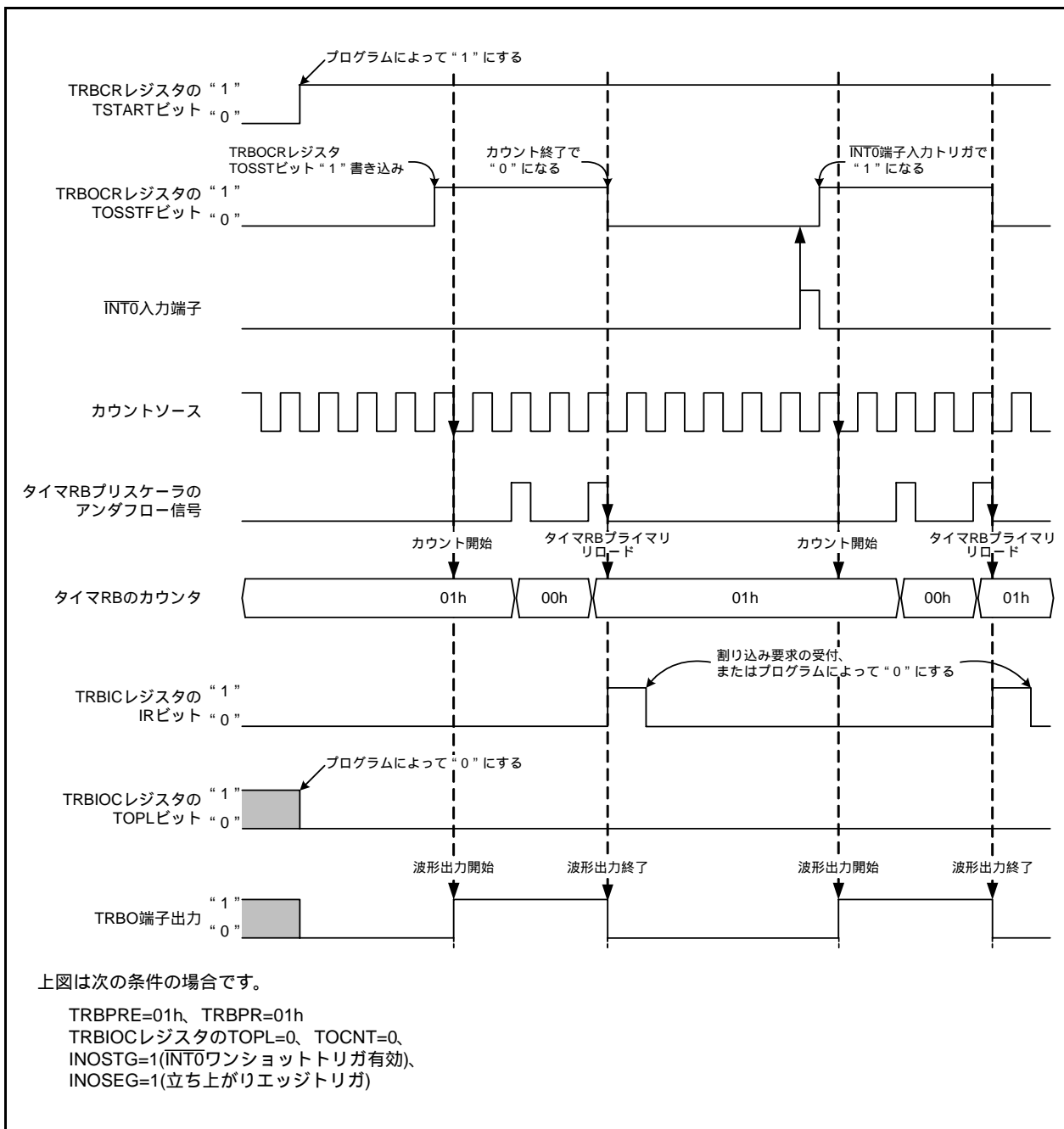


図18.4 プログラマブルワンショット発生モード時の動作例

18.5.3 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBCR レジスタの TCSTF ビットが “1” (カウント開始) の状態で、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムで TRBOCR レジスタの TOSST ビットに “1” を書く
- INT0 端子からトリガ入力

ワンショットトリガ発生後、カウントソースの 1 ~ 2 サイクル経ってから TRBOCR レジスタの TOSSTF ビットが、“1” (ワンショット動作中) になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します (プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTF ビットが “1” の期間に、ワンショットトリガが発生しても再トリガは発生しません。

INT0 端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- PD4 レジスタの PD4_5 ビットを “0” (入力ポート) にする
- INT0 のデジタルフィルタを INTF レジスタの INT0F1 ~ INT0F0 ビットで選択
- INTEN レジスタの INT0PL ビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらに TRBIOC レジスタの INOSEG ビットで立ち下がりまたは立ち上がりエッジを選択する
- INTEN レジスタの INT0EN を “0” (許可) にする
- 上記の設定後、TRBIOC レジスタの INOSTG ビットを “1” (INT 端子ワンショットトリガ有効) にする

なお、INT0 端子からのトリガ入力で割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「11. 割り込み」を参照してください。
- 片エッジを選択した場合は、INT0IC レジスタの POL ビットで立ち下がりまたは立ち上がりエッジを選択してください (TRBIOC レジスタの INOSEG ビットは INT0 割り込みとは無関係です)。
- TOSSTF ビットが “1” の期間に、ワンショットトリガが発生してもタイマ RB の動作には影響ありませんが、INT0IC レジスタの IR ビットは変化します。

18.6 プログラマブルウェイトワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)から、一定時間後にワンショットパルス(TRBO端子から出力するモードです(表18.5)。トリガが発生すると、その時点から任意の時間(TRBPRレジスタの設定値)後、一度だけ任意の時間(TRBSCレジスタの設定値)パルス出力を行います。

図18.5にプログラマブルウェイトワンショット発生モードの動作例を示します。

表18.5 プログラマブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> タイマRBプライマリの設定値をダウンカウント タイマRBプライマリのカウントがアンダフロー時、タイマRBセカンダリの内容をリロードしてカウントを継続 タイマRBセカンダリのカウントがアンダフロー時、タイマRBプライマリの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRESレジスタの設定値、 m : TRBPRレジスタの設定値
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRESレジスタの設定値、 p : TRBSCレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> TRBCRレジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生 TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み INT0端子へのトリガ入力
カウント停止条件	<ul style="list-style-type: none"> タイマRBセカンダリカウント時のカウントの値がアンダフローし、リロードした後 TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO端子からの波形出力の終了と同時に)[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	<ul style="list-style-type: none"> TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力 TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる カウント中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注1)
選択機能	<ul style="list-style-type: none"> アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 ワンショットトリガ選択機能 「18.5.3 ワンショットトリガ選択」参照

注1. TRBSCレジスタおよびTRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

18.6.1 タイマRB I/O制御レジスタ (TRBIOC) [プログラマブルウェイトワンショット発生モード時]

アドレス 010Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0: ワンショットパルス “H” 出力 タイマ停止時とウェイト中は “L” 出力 1: ワンショットパルス “L” 出力 タイマ停止時とウェイト中は “H” 出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルウェイトワンショット発生モードでは “0” にしてください。	R/W
b2	INOSTG	ワンショットトリガ制御ビット (注1)	0: <u>INT0</u> 端子ワンショットトリガ無効 1: <u>INT0</u> 端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット (注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		-
b5	-			
b6	-			
b7	-			

注1. 「18.5.3 ワンショットトリガ選択」を参照してください。

18.6.2 動作例

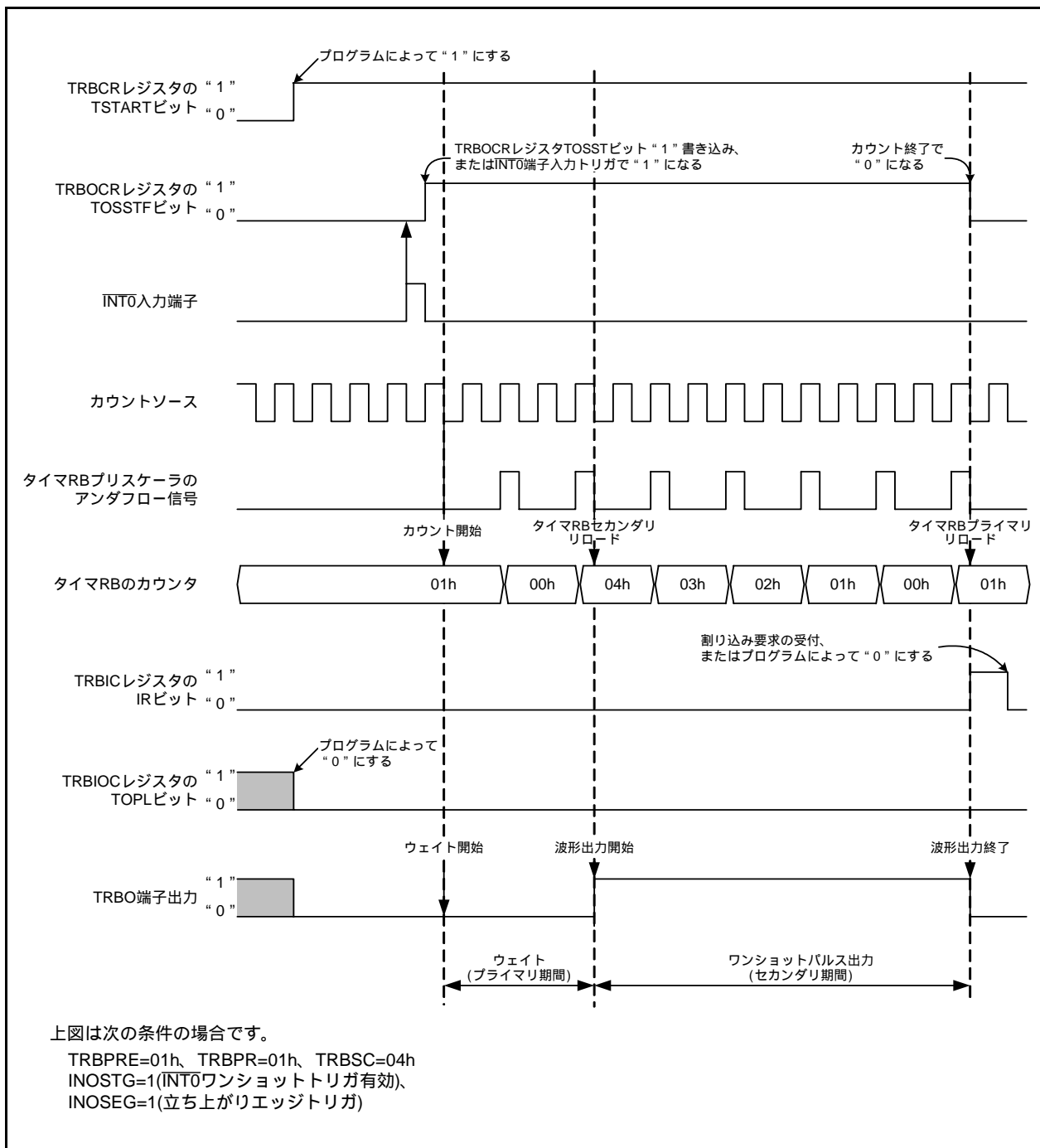


図 18.5 プログラマブルウェイトワンショット発生モードの動作例

18.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。

注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。

18.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

18.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

18.7.3 プログラマブルワンショット発生モード

カウント中 (TRBCR レジスタの TCSTF ビットが “ 1 ”) に TRBPRES レジスタ、TRBPR レジスタに書き込む場合は下記の点に注意してください。

- TRBPRES レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

18.7.4 プログラマブルウェイトワンショット発生モード

カウント中 (TRBCR レジスタの TCSTF ビットが “ 1 ”) に TRBPRES レジスタ、TRBPR レジスタに書き込む場合は下記の点に注意してください。

- TRBPRES レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

19. タイマRC

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

19.1 概要

タイマRCの動作クロックはf1、fOCO40MまたはfOCO-Fです。表19.1にタイマRCの動作クロックを示します。

表19.1 タイマRCの動作クロック

条件	タイマRCの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1
カウントソースがfOCO40M (TRCCR1レジスタのTCK2～TCK0ビットが“110b”)	fOCO40M
カウントソースがfOCO-F (TRCCR1レジスタのTCK2～TCK0ビットが“111b”)	fOCO-F

表19.2にタイマRCの端子構成を、図19.1にタイマRCのブロック図を示します。

タイマRCは3種類のモードを持ちます。

- ・タイマモード
 - インプットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
 - アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能 (検出時に端子出力変更可能)

次の2つのモードは、アウトプットコンペア機能を用います。

- ・PWMモード 任意の幅のパルスを連続して出力するモード
- ・PWM2モード トリガからウェイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インプットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

PWM2モードは、カウンタやレジスタを組み合わせで波形を出力します。端子の機能はモードによって決まります。

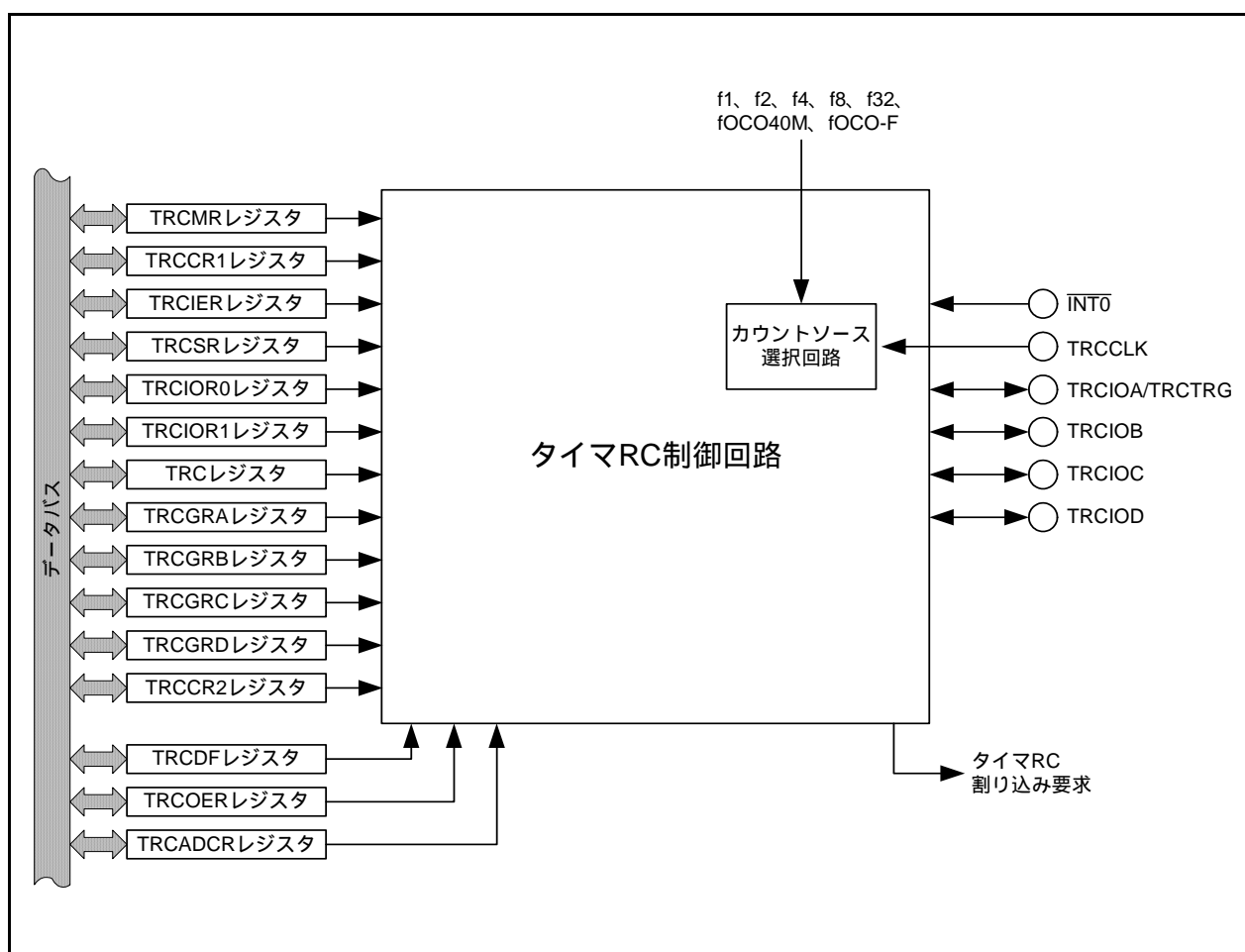


図 19.1 タイマRCのブロック図

表 19.2 タイマRCの端子構成

端子名	割り当てる端子	入出力	機能
TRCIOA	P0_0、P0_1、P0_2、 P1_1またはP5_1	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRCIOB	P0_3、P0_4、P0_5、P1_2、 P2_0、P5_2またはP6_5		
TRCIOC	P0_7、P1_3、P2_1、P3_4、 P5_3またはP6_6		
TRCIOD	P0_6、P1_0、P2_2、P3_5、 P5_4またはP6_7		
TRCCLK	P1_4、P3_3またはP5_0	入力	外部クロック入力
TRCTRГ	P0_0、P0_1、P0_2、 P1_1またはP5_1	入力	PWM2モードの外部トリガ入力

19.2 レジスタの説明

表19.3にタイマRC関連レジスタ一覧を示します。

表19.3 タイマRC関連レジスタ一覧

番地	シンボル	モード				参照先
		タイマ		PWM	PWM2	
		インプットキャプチャ機能	アウトプットコンペア機能			
0008h	MSTCR	有効	有効	有効	有効	19.2.1 モジュールスタンバイ制御レジスタ (MSTCR)
0120h	TRCMR	有効	有効	有効	有効	19.2.2 タイマRCモードレジスタ (TRCMR)
0121h	TRCCR1	有効	有効	有効	有効	タイマRC制御レジスタ1 19.2.3 タイマRC制御レジスタ1 (TRCCR1) 19.5.1 タイマRC制御レジスタ1 (TRCCR1) [タイマモード(アウトプットコンペア機能)時] 19.6.1 タイマRC制御レジスタ1 (TRCCR1)[PWMモード時] 19.7.1 タイマRC制御レジスタ1 (TRCCR1)[PWM2モード時]
0122h	TRCIER	有効	有効	有効	有効	19.2.4 タイマRC割り込み許可レジスタ (TRCIER)
0123h	TRCSR	有効	有効	有効	有効	19.2.5 タイマRCステータスレジスタ (TRCSR)
0124h	TRCIOR0	有効	有効			タイマRC I/O制御レジスタ0、タイマRC I/O制御レジスタ1 19.2.6 タイマRC I/O制御レジスタ0 (TRCIOR0) 19.2.7 タイマRC I/O制御レジスタ1 (TRCIOR1)
0125h	TRCIOR1					19.4.1 タイマRC I/O制御レジスタ0 (TRCIOR0) [タイマモード(インプットキャプチャ機能)時] 19.4.2 タイマRC I/O制御レジスタ1 (TRCIOR1) [タイマモード(インプットキャプチャ機能)時] 19.5.2 タイマRC I/O制御レジスタ0 (TRCIOR0) [タイマモード(アウトプットコンペア機能)時] 19.5.3 タイマRC I/O制御レジスタ1 (TRCIOR1) [タイマモード(アウトプットコンペア機能)時]
0126h 0127h	TRC	有効	有効	有効	有効	19.2.8 タイマRCカウンタ (TRC)
0128h 0129h 012Ah 012Bh 012Ch 012Dh 012Eh 012Fh	TRCGRA TRCGRB TRCGRC TRCGRD	有効	有効	有効	有効	19.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)
0130h	TRCCR2		有効	有効	有効	19.2.10 タイマRC制御レジスタ2 (TRCCR2)
0131h	TRCDF	有効			有効	19.2.11 タイマRCデジタルフィルタ機能選択レジスタ (TRCDF)
0132h	TRCOER		有効	有効	有効	19.2.12 タイマRCアウトプットマスタ許可レジスタ (TRCOER)
0133h	TRCADCR		有効	有効	有効	19.2.13 タイマRCトリガ制御レジスタ (TRCADCR)
0181h	TRBRCSR	有効	有効	有効	有効	19.2.14 タイマRB/RC端子選択レジスタ (TRBRCSR)
0182h	TRCPSR0	有効	有効	有効	有効	19.2.15 タイマRC端子選択レジスタ0 (TRCPSR0)
0183h	TRCPSR1	有効	有効	有効	有効	19.2.16 タイマRC端子選択レジスタ1 (TRCPSR1)

：無効

19.2.1 モジュールスタンバイ制御レジスタ (MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I ² Cバススタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ (注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. MSTIIC ビットが “1” (スタンバイ) のとき、SSU、I²Cバス関連レジスタ (0193h ~ 019Dh 番地) へのアクセスは無効になります。

注2. MSTTRD ビットが “1” (スタンバイ) のとき、タイマRD関連レジスタ (0135h ~ 015Fh 番地) へのアクセスは無効になります。

注3. MSTTRD ビットを “1” (スタンバイ) にする場合、TRDCR_i (i=0 ~ 1) レジスタのTCK2 ~ TCK0 ビットを “000b” (f1) にしてください。

注4. MSTTRC ビットが “1” (スタンバイ) のとき、タイマRC関連レジスタ (0120h ~ 0133h 番地) へのアクセスは無効になります。

注5. MSTTRG ビットが “1” (スタンバイ) のとき、タイマRG関連レジスタ (0170h ~ 017Fh 番地) へのアクセスは無効になります。

19.2.2 タイマRCモードレジスタ(TRCMR)

アドレス 0120h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	-	BFD	BFC	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット (注1)	0 : タイマモード 1 : PWMモード	R/W
b1	PWMC	TRCIOD PWMモード選択ビット (注1)	0 : タイマモード 1 : PWMモード	R/W
b2	PWMD	TRCIOD PWMモード選択ビット (注1)	0 : タイマモード 1 : PWMモード	R/W
b3	PWM2	PWM2モード選択ビット	0 : PWM2モード 1 : タイマモードまたはPWMモード	R/W
b4	BFC	TRCGRCレジスタ機能選択ビット (注2)	0 : ジェネラルレジスタ 1 : TRCGRAレジスタのバッファレジスタ	R/W
b5	BFD	TRCGRDレジスタ機能選択ビット	0 : ジェネラルレジスタ 1 : TRCGRBレジスタのバッファレジスタ	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	TSTART	TRCカウント開始ビット	0 : カウント停止 1 : カウント開始	R/W

注1. これらのビットはPWM2ビットが“1”(タイマモードまたはPWMモード)のとき有効です。

注2. PWM2モードではBFCビットを“0”(ジェネラルレジスタ)にしてください。

TRCMRレジスタのPWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

19.2.3 タイマ RC 制御レジスタ 1 (TRCCR1)

アドレス 0121h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA 出力レベル選択ビット (注1)	動作モード (機能) によって機能が異なる	R/W
b1	TOB	TRCIOB 出力レベル選択ビット (注1)		R/W
b2	TOC	TRCIOC 出力レベル選択ビット (注1)		R/W
b3	TOD	TRCIOD 出力レベル選択ビット (注1)		R/W
b4	TCK0	カウントソース選択ビット (注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK 入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F (注2)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRC カウンタクリア選択ビット	0 : クリア禁止 (フリーランニング動作) 1 : インพุットキャプチャまたは TRCGRA のコンペア一致で TRC カウンタをクリア	R/W

注1. TRCMR レジスタの TSTART ビットが “0” (カウント停止) のとき、書いてください。

注2. fOCO-F を選択するときは、CPU クロックより速いクロック周波数に fOCO-F を設定してください。

19.2.4 タイマ RC 割り込み許可レジスタ (TRCIER)

アドレス 0122h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	-	-	-	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インพุットキャプチャ / コンペア一致 割り込み許可ビット A	0 : IMFA ビットによる割り込み (IMIA) 禁止 1 : IMFA ビットによる割り込み (IMIA) 許可	R/W
b1	IMIEB	インพุットキャプチャ / コンペア一致 割り込み許可ビット B	0 : IMFB ビットによる割り込み (IMIB) 禁止 1 : IMFB ビットによる割り込み (IMIB) 許可	R/W
b2	IMIEC	インพุットキャプチャ / コンペア一致 割り込み許可ビット C	0 : IMFC ビットによる割り込み (IMIC) 禁止 1 : IMFC ビットによる割り込み (IMIC) 許可	R/W
b3	IMIED	インพุットキャプチャ / コンペア一致 割り込み許可ビット D	0 : IMFD ビットによる割り込み (IMID) 禁止 1 : IMFD ビットによる割り込み (IMID) 許可	R/W
b4	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “1”。		-
b5	-			
b6	-			
b7	OVIE	オーバフロー割り込み許可ビット	0 : OVFB ビットによる割り込み (OVI) 禁止 1 : OVFB ビットによる割り込み (OVI) 許可	R/W

19.2.5 タイマRCステータスレジスタ(TRCSR)

アドレス 0123h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	-	-	-	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表19.4 各フラグが“1”になる要因」を参照	R/W
b1	IMFB	インプットキャプチャ/コンペアー一致フラグB		R/W
b2	IMFC	インプットキャプチャ/コンペアー一致フラグC		R/W
b3	IMFD	インプットキャプチャ/コンペアー一致フラグD		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表19.4 各フラグが“1”になる要因」を参照	R/W

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

表19.4 各フラグが“1”になる要因

ビット シンボル	タイマモード		PWMモード	PWM2モード
	インプットキャプチャ機能	アウトプット コンペア機能		
IMFA	TRCIOA端子の入力エッジ(注1)	TRCとTRCGRAの値が一致したとき		
IMFB	TRCIOB端子の入力エッジ(注1)	TRCとTRCGRBの値が一致したとき		
IMFC	TRCIOC端子の入力エッジ(注1)	TRCとTRCGRCの値が一致したとき(注2)		
IMFD	TRCIOD端子の入力エッジ(注1)	TRCとTRCGRDの値が一致したとき(注2)		
OVF	TRCがオーバフローしたとき			

注1. TRCIOR0、TRCIOR1レジスタのIOj1 ~ IOj0ビット(j=A、B、C、D)で選択したエッジ。

注2. TRCMRレジスタのBFC、BFDビットが“1”(TRCGRA、TRCGRBのバッファレジスタ)の場合を含む。

19.2.6 タイマ RC I/O 制御レジスタ 0 (TRCIOR0)

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	IOA0	TRCGRA制御ビット	動作モード(機能)によって機能が異なる	R/W	
b1	IOA1			R/W	
b2	IOA2	TRCGRAモード選択ビット(注1)	0：アウトプットコンペア機能 1：インプットキャプチャ機能	R/W	
b3	IOA3	TRCGRAインプットキャプチャ入力切替ビット(注3)	0：fOCO128信号 1：TRCIOA端子入力	R/W	
b4	IOB0	TRCGRB制御ビット	動作モード(機能)によって機能が異なる	R/W	
b5	IOB1			R/W	
b6	IOB2	TRCGRBモード選択ビット(注2)	0：アウトプットコンペア機能 1：インプットキャプチャ機能	R/W	
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。			-

注1. TRCMR レジスタの BFC ビットを “1” (TRCGRA レジスタのバッファレジスタ) にした場合、TRCIOR0 レジスタの IOA2 ビットと TRCIOR1 レジスタの IOC2 ビットの設定を同じにしてください。

注2. TRCMR レジスタの BFD ビットを “1” (TRCGRB レジスタのバッファレジスタ) にした場合、TRCIOR0 レジスタの IOB2 ビットと TRCIOR1 レジスタの IOD2 ビットの設定を同じにしてください。

注3. IOA2 ビットが “1” (インプットキャプチャ機能) のとき有効です。

TRCIOR0 レジスタはタイマモードのとき有効です。PWM モード、PWM2 モードでは無効です。

19.2.7 タイマ RC I/O 制御レジスタ 1 (TRCIOR1)

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御ビット	動作モード (機能) によって機能が異なる	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRC モード選択ビット (注1)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b3	IOC3	TRCGRC レジスタ機能選択ビット	0 : TRCIOA 出力レジスタ 1 : ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD 制御ビット	動作モード (機能) によって機能が異なる	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRD モード選択ビット (注2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b7	IOD3	TRCGRD レジスタ機能選択ビット	0 : TRCIOB 出力レジスタ 1 : ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMR レジスタの BFC ビットを “1” (TRCGRA レジスタのバッファレジスタ) にした場合、TRCIOR0 レジスタの IOA2 ビットと TRCIOR1 レジスタの IOC2 ビットの設定を同じにしてください。

注2. TRCMR レジスタの BFD ビットを “1” (TRCGRB レジスタのバッファレジスタ) にした場合、TRCIOR0 レジスタの IOB2 ビットと TRCIOR1 レジスタの IOD2 ビットの設定を同じにしてください。

TRCIOR1 レジスタはタイマモードのとき有効です。PWM モード、PWM2 モードでは無効です。

19.2.8 タイマRCカウンタ(TRC)

アドレス 0127h ~ 0126h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRCSR レジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRCレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

19.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0129h ~ 0128h 番地 (TRCGRA)、012Bh ~ 012Ah 番地 (TRCGRB)、
012Dh ~ 012Ch 番地 (TRCGRC)、012Fh ~ 012Eh 番地 (TRCGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	モードによって機能が異なる	R/W

TRCGRA ~ TRCGRD レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

19.2.10 タイマRC制御レジスタ2 (TRCCR2)

アドレス 0130h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペア一致後もカウンタ継続 1 : TRCGRAレジスタとのコンペア一致でカウンタ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

19.2.11 タイマRC デジタルフィルタ機能選択レジスタ (TRCDF)

アドレス 0131h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	-	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA 端子デジタルフィルタ機能 選択ビット (注1)	0 : 機能なし 1 : 機能あり	R/W
b1	DFB	TRCIOB 端子デジタルフィルタ機能 選択ビット (注1)	0 : 機能なし 1 : 機能あり	R/W
b2	DFC	TRCIOC 端子デジタルフィルタ機能 選択ビット (注1)	0 : 機能なし 1 : 機能あり	R/W
b3	DFD	TRCIOD 端子デジタルフィルタ機能 選択ビット (注1)	0 : 機能なし 1 : 機能あり	R/W
b4	DFTRG	TRCTRG 端子デジタルフィルタ機能 選択ビット (注2)	0 : 機能なし 1 : 機能あり	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	DFCK0	デジタルフィルタ機能用クロック選 択ビット (注1、2)	b7 b6 00 : f32 01 : f8 10 : f1 11 : カウントソース (TRCCR1 レジスタの TCK2 ~ TCK0 ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2 モードで、TRCCR2 レジスタの TCEG1 ~ TCEG0 ビットが “01b”、“10b”、“11b” (TRCTRG トリガ入
力許可) のとき有効です。

19.2.12 タイマ RC アウトプットマスタ許可レジスタ (TRCOER)

アドレス 0132h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA 出力禁止ビット (注 1)	0 : 出力許可 1 : 出力禁止 (TRCIOA 端子はプログラマブル入出力ポート)	R/W
b1	EB	TRCIOB 出力禁止ビット (注 1)	0 : 出力許可 1 : 出力禁止 (TRCIOB 端子はプログラマブル入出力ポート)	R/W
b2	EC	TRCIOC 出力禁止ビット (注 1)	0 : 出力許可 1 : 出力禁止 (TRCIOC 端子はプログラマブル入出力ポート)	R/W
b3	ED	TRCIOD 出力禁止ビット (注 1)	0 : 出力許可 1 : 出力禁止 (TRCIOD 端子はプログラマブル入出力ポート)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力 INT0 有効ビット	0 : パルス出力強制遮断入力無効 1 : パルス出力強制遮断入力有効 (INT0 端子に“L”を入力すると、EA、EB、EC、ED ビットが“1” (出力禁止) になる)	R/W

注 1. 端子をインプットキャプチャ入力として使用するときは無効です。

19.2.13 タイマ RC トリガ制御レジスタ (TRCADCR)

アドレス 0133h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	ADTRGDE	ADTRGCE	ADTRGBE	ADTRGAE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGAE	A/D トリガ A 許可ビット	0 : A/D トリガ禁止 1 : TRC と TRCGRA レジスタのコンペアー一致時に A/D トリガ発生	R/W
b1	ADTRGBE	A/D トリガ B 許可ビット	0 : A/D トリガ禁止 1 : TRC と TRCGRB レジスタのコンペアー一致時に A/D トリガ発生	R/W
b2	ADTRGCE	A/D トリガ C 許可ビット	0 : A/D トリガ禁止 1 : TRC と TRCGRC レジスタのコンペアー一致時に A/D トリガ発生	R/W
b3	ADTRGDE	A/D トリガ D 許可ビット	0 : A/D トリガ禁止 1 : TRC と TRCGRD レジスタのコンペアー一致時に A/D トリガ発生	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

19.2.14 タイマRB/RC 端子選択レジスタ (TRBRCSR)

アドレス 0181h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCCLKSEL2	TRCCLKSEL1	TRCCLKSEL0	-	-	-	TRBOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBOSEL0	TRBO 端子選択ビット	0 : P1_3 に割り当てる 1 : P3_1 に割り当てる	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は "0"。		-
b3	-			
b4	TRCCLKSEL0			
b5	TRCCLKSEL1	TRCCLK 端子選択ビット	b6 b5 b4 0 0 0 : TRCCLK 端子は使用しない 0 0 1 : P1_4 に割り当てる 0 1 0 : P3_3 に割り当てる 1 0 0 : P5_0 に割り当てる 上記以外 : 設定しないでください	R/W
b6	TRCCLKSEL2			R/W
b7	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は "0"。		-

TRBRCSR レジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSR レジスタを設定してください。

タイマRB 関連レジスタを設定する前に TRBOSEL0 ビットを、タイマRC 関連レジスタを設定する前に TRCCLKSEL0 ~ TRCCLKSEL2 ビットを設定してください。また、タイマRB の動作中は TRBOSEL0 ビットを、タイマRC の動作中は TRCCLKSEL0 ~ TRCCLKSEL2 ビットの設定値を変更しないでください。

19.2.15 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIOBSEL2	TRCIOBSEL1	TRCIOBSEL0	-	TRCIOASEL2	TRCIOASEL1	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA/TRCTRG 端子選択ビット	b2 b1 b0 0 0 0 : TRCIOA/TRCTRG 端子は使用しない 0 0 1 : P1_1 に割り当てる 0 1 0 : P0_0 に割り当てる 0 1 1 : P0_1 に割り当てる 1 0 0 : P0_2 に割り当てる 1 0 1 : P5_1 に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOASEL1			R/W
b2	TRCIOASEL2			R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	TRCIOBSEL0	TRCIOB 端子選択ビット	b6 b5 b4 0 0 0 : TRCIOB 端子は使用しない 0 0 1 : P1_2 に割り当てる 0 1 0 : P0_3 に割り当てる 0 1 1 : P0_4 に割り当てる 1 0 0 : P0_5 に割り当てる 1 0 1 : P2_0 に割り当てる 1 1 0 : P6_5 に割り当てる 1 1 1 : P5_2 に割り当てる	R/W
b5	TRCIOBSEL1			R/W
b6	TRCIOBSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRCPSR0 レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0 レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0 レジスタを設定してください。また、タイマRCの動作中はTRCPSR0 レジスタの設定値を変更しないでください。

19.2.16 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIODSEL2	TRCIODSEL1	TRCIODSEL0	-	TRCIOSEL2	TRCIOSEL1	TRCIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOSEL0	TRCIO端子選択ビット	b2 b1 b0 0 0 0 : TRCIO端子は使用しない 0 0 1 : P1_3に割り当てる 0 1 0 : P3_4に割り当てる 0 1 1 : P0_7に割り当てる 1 0 0 : P2_1に割り当てる 1 0 1 : P6_6に割り当てる 1 1 0 : P5_3に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOSEL1			R/W
b2	TRCIOSEL2			R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	TRCIODSEL0	TRCIOD端子選択ビット	b6 b5 b4 0 0 0 : TRCIOD端子は使用しない 0 0 1 : P1_0に割り当てる 0 1 0 : P3_5に割り当てる 0 1 1 : P0_6に割り当てる 1 0 0 : P2_2に割り当てる 1 0 1 : P6_7に割り当てる 1 1 0 : P5_4に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCIODSEL1			R/W
b6	TRCIODSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRCPSR1レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

19.3 複数モードに関わる共通事項

19.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。

表19.5にカウントソースの選択を、図19.2にカウントソースのブロック図を示します。

表19.5 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択
fOCO40M fOCO-F	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRCCR1レジスタのTCK2～TCK0ビットが“110b”(fOCO40M) TRCCR1レジスタのTCK2～TCK0ビットが“111b”(fOCO-F)
TRCCLK端子に入力 された外部信号	TRCCR1レジスタのTCK2～TCK0ビットが“101b” (カウントソースは外部クロックの立ち上がりエッジ) 対応する方向レジスタの方向ビットが“0”(入力モード)

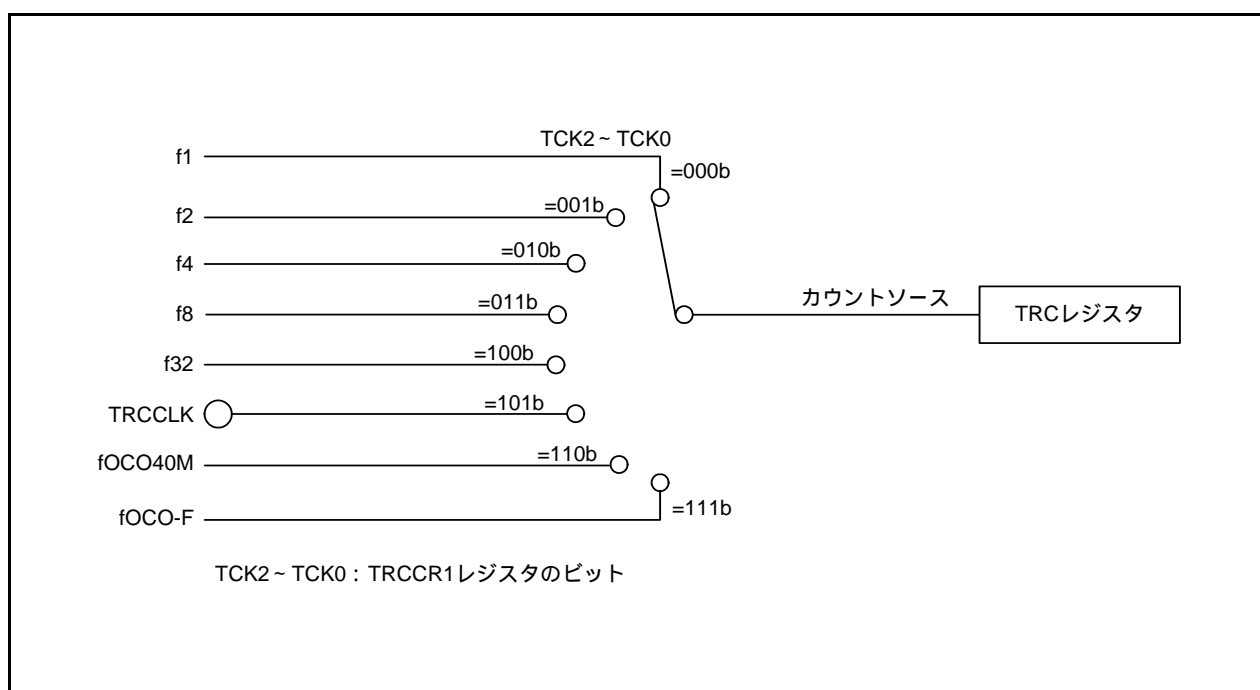


図19.2 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック(「表19.1 タイマRCの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40MまたはfOCO-Fを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40M)または“111b”(fOCO-F)にしてください。

19.3.2 バッファ動作

TRCMR レジスタの BFC、BFD ビットで、TRCGRC、TRCGRD レジスタを TRCGRA、TRCGRB レジスタのバッファレジスタにできます。

- TRCGRA のバッファレジスタ：TRCGRC レジスタ
- TRCGRB のバッファレジスタ：TRCGRD レジスタ

バッファ動作は、モードによって違います。

表 19.6 に各モードのバッファ動作を、図 19.3 にインプットキャプチャ機能のバッファ動作を、図 19.4 にアウトプットコンペア機能のバッファ動作を示します。

表 19.6 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRCGRA(TRCGRB) レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRC レジスタと TRCGRA(TRCGRB) レジスタのコンペア一致	バッファレジスタの内容を TRCGRA(TRCGRB) レジスタに転送
PWM モード		
PWM2 モード	<ul style="list-style-type: none"> • TRC レジスタと TRCGRA レジスタのコンペア一致 • TRCTRG 端子トリガ入力 	バッファレジスタ (TRCGRD) の内容を TRCGRB レジスタに転送

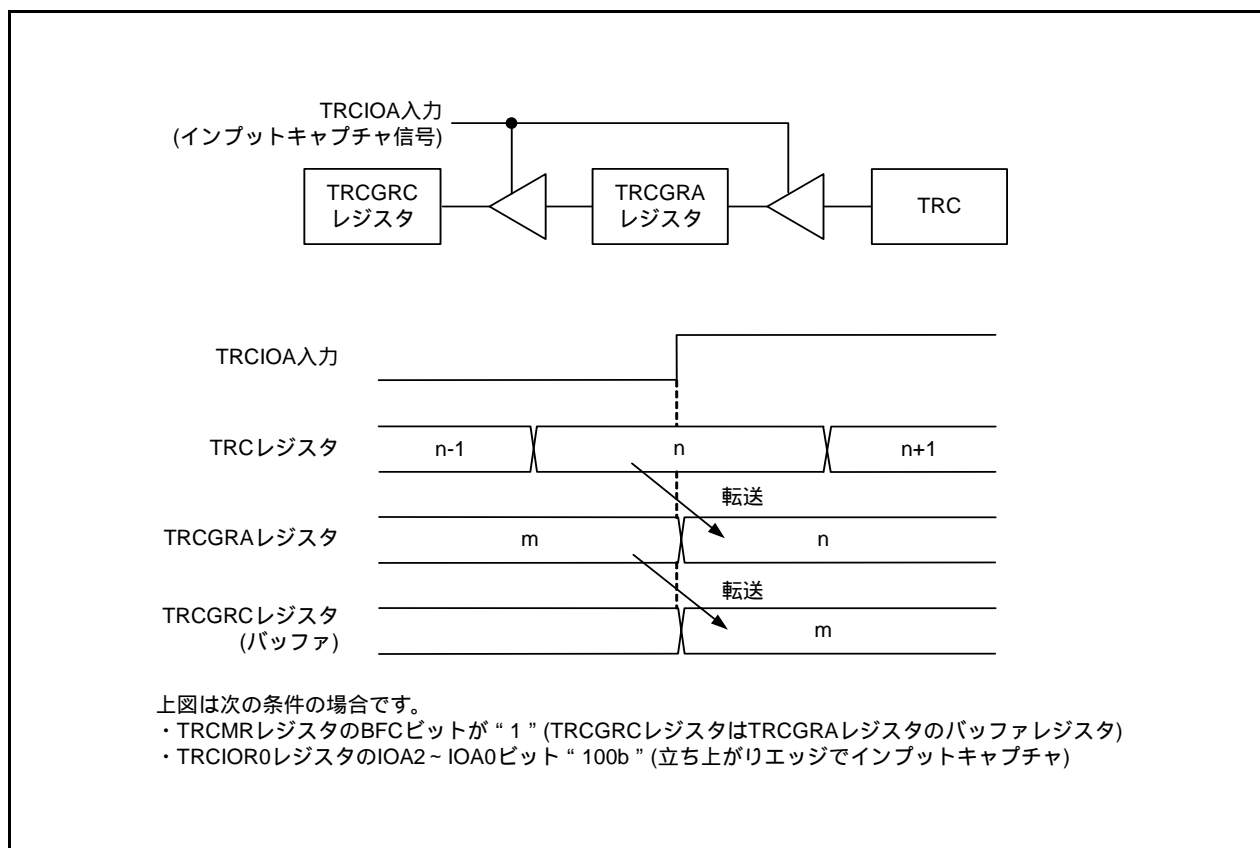


図 19.3 インプットキャプチャ機能のバッファ動作

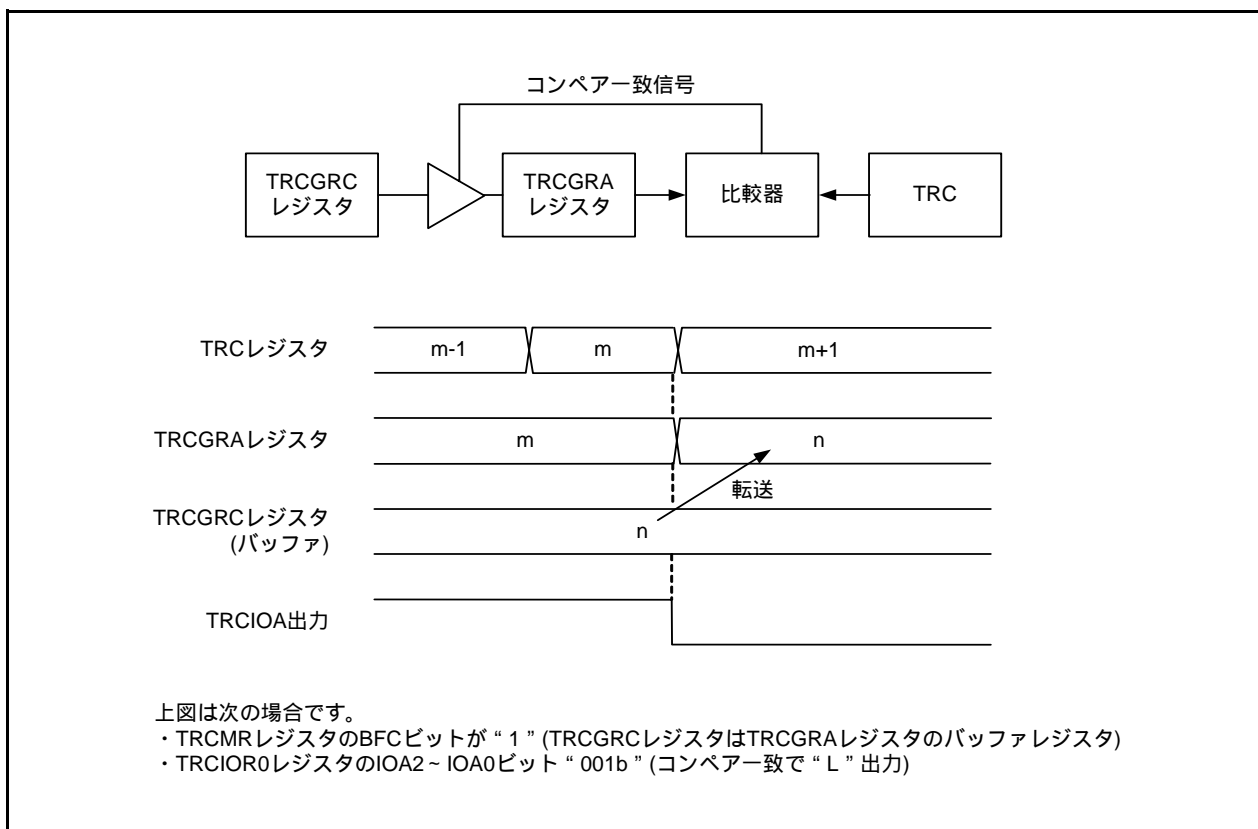


図19.4 アウトプットコンペア機能のバッファ動作

タイマモードでは次のようにしてください。

- ・ TRCGRCレジスタをTRCGRAレジスタのバッファレジスタに使用する場合
TRCIOR1レジスタのIOC2ビットは、TRCIOR0レジスタのIOA2ビットと同じ設定にしてください。
- ・ TRCGRDレジスタをTRCGRBレジスタのバッファレジスタに使用する場合
TRCIOR1レジスタのIOD2ビットは、TRCIOR0レジスタのIOB2ビットと同じ設定にしてください。

アウトプットコンペア機能、PWMモード、PWM2モードで、TRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCレジスタとのコンペア一致でTRCSRレジスタのIMFC、IMFDビットが“1”になります。

インプットキャプチャ機能でTRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD端子の入力エッジでTRCSRレジスタのIMFC、IMFDビットが“1”になります。

19.3.3 デジタルフィルタ

TRCTRG入力またはTRCIOj (j=A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRCDFレジスタで選択してください。

図19.5にデジタルフィルタのブロック図を示します。

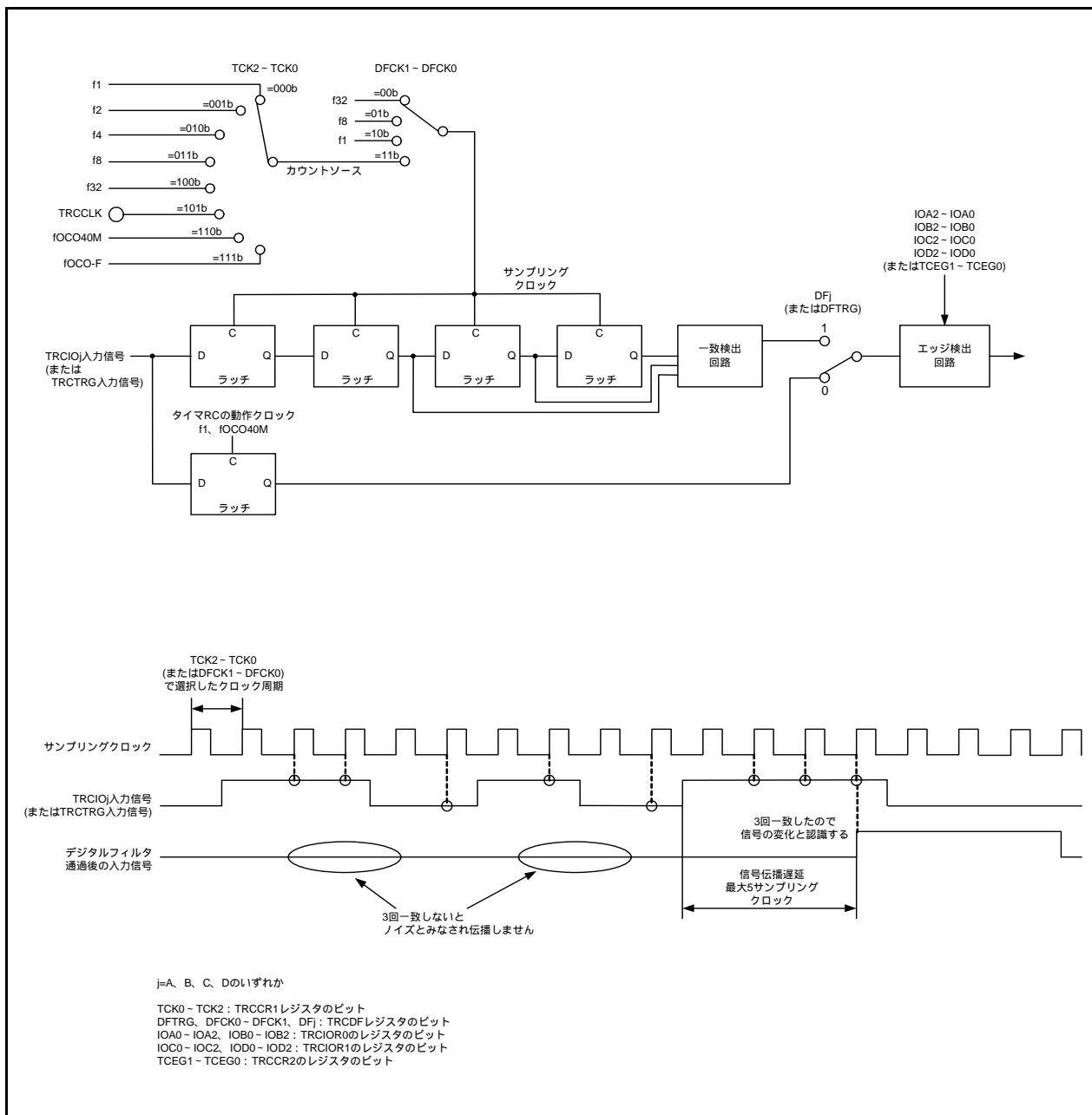


図19.5 デジタルフィルタのブロック図

19.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRCIOj (j=A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”を入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRCの動作クロック(「表19.1 タイマRCの動作クロック」参照)の1～2サイクル後にTRCIOj出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「7. I/Oポート」参照)。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択する。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変更にしたがって、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

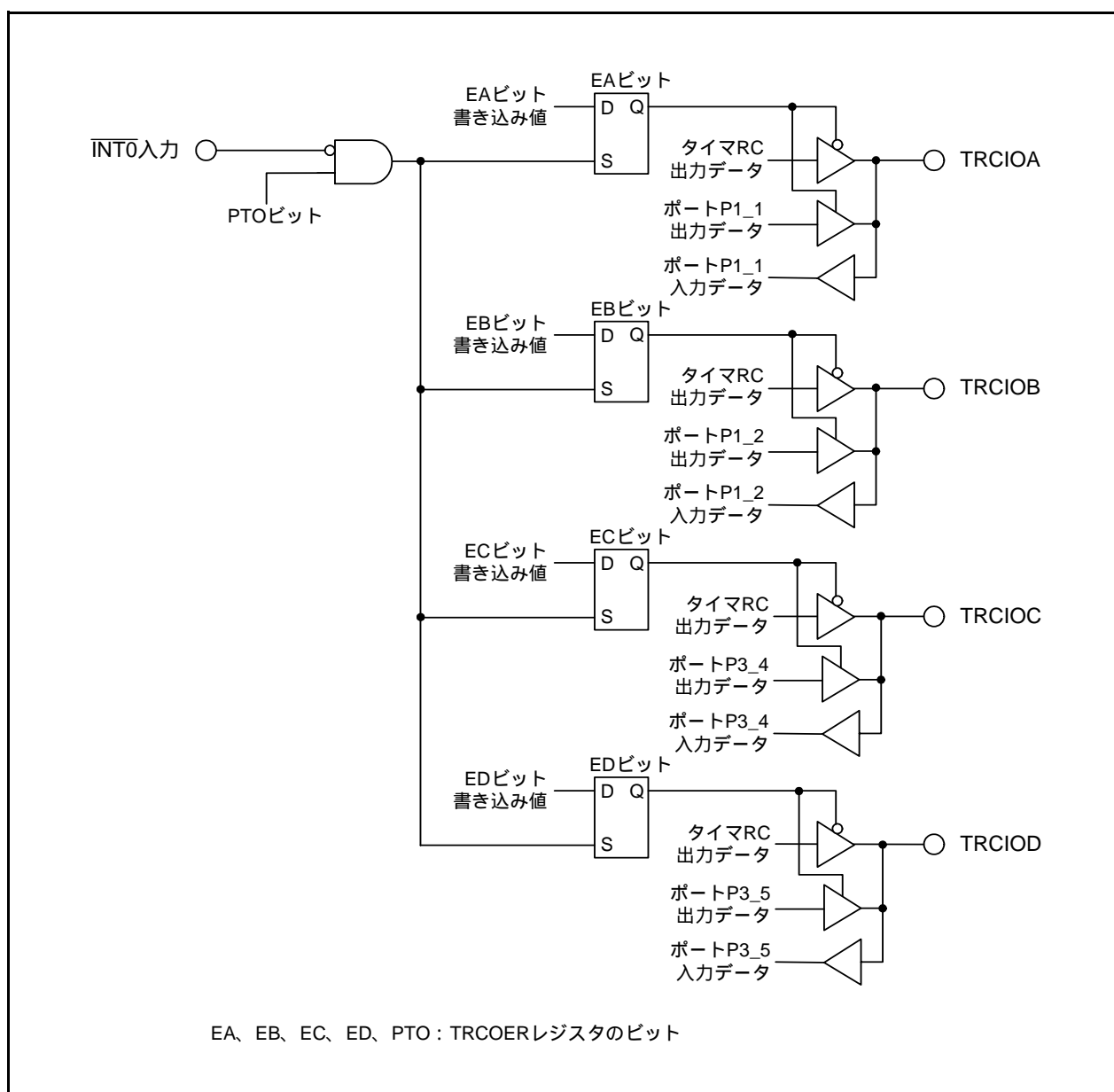


図 19.6 パルス出力強制遮断

19.4 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIOj (j=A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGRj レジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRCGRA レジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

表 19.7 にインプットキャプチャ機能の仕様を、図 19.7 にインプットキャプチャ機能のブロック図を、表 19.8 にインプットキャプチャ機能時のTRCGRj レジスタの機能を、図 19.8 にインプットキャプチャ機能の動作例を示します。

表 19.7 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> • TRCCR1 レジスタのCCLR ビットが“0”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 • TRCCR1 レジスタのCCLR ビットが“1”(TRCGRAのコンペアー一致でTRCレジスタを“0000h”にする)の場合 $1/fk \times (n+1)$ n: TRCGRA レジスタ設定値
カウント開始条件	TRCMR レジスタのTSTART ビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMR レジスタのTSTART ビットへの“0”(カウント停止)書き込み TRC レジスタは停止前の値を保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • インプットキャプチャ (TRCIOj 入力の有効エッジ、またはfOCO128信号のエッジ) • TRC レジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力 (1端子ごとに選択)
INT0 端子機能	プログラマブル入出力ポート、またはINT0 割り込み入力
タイマの読み出し	TRC レジスタを読むと、カウント値が読める
タイマの書き込み	TRC レジスタに書き込める
選択機能	<ul style="list-style-type: none"> • インプットキャプチャ入力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子のいずれか1本または複数本 • インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 • バッファ動作(「19.3.2 バッファ動作」参照) • デジタルフィルタ(「19.3.3 デジタルフィルタ」参照) • TRC レジスタを“0000h”にするタイミング オーバフローまたはインプットキャプチャ • インプットキャプチャトリガ選択 TRCGRA レジスタのインプットキャプチャトリガ入力にfOCO128を選択できる

j=A、B、C、Dのいずれか

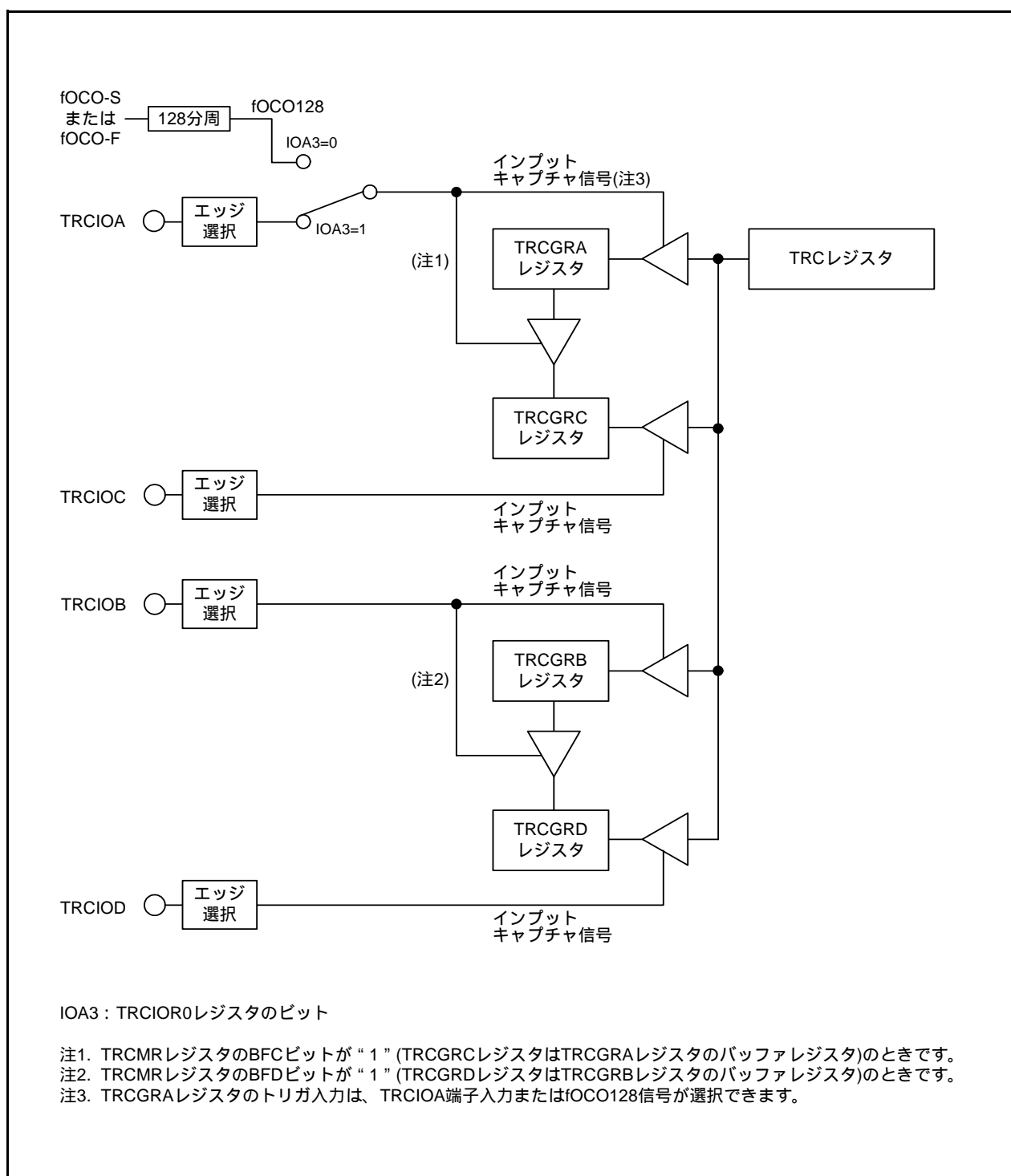


図 19.7 インプットキャプチャ機能のブロック図

19.4.1 タイマRC I/O制御レジスタ0 (TRCIOR0) [タイマモード(インプットキャプチャ機能)時]

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能		
b0	IOA0	TRCGRA制御ビット	b1 b0 00: 立ち上がりエッジでTRCGRAヘインプット キャプチャ 01: 立ち下がりエッジでTRCGRAヘインプット キャプチャ 10: 両エッジでTRCGRAヘインプットキャプチャ 11: 設定しないでください	R/W	
b1	IOA1			R/W	
b2	IOA2	TRCGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプット キャプチャ)にしてください	R/W	
b3	IOA3	TRCGRAインプットキャプチャ入 力切替ビット(注3)	0: fOCO128信号 1: TRCIOA 端子入力	R/W	
b4	IOB0	TRCGRB制御ビット	b5 b4 00: 立ち上がりエッジでTRCGRBヘインプット キャプチャ 01: 立ち下がりエッジでTRCGRBヘインプット キャプチャ 10: 両エッジでTRCGRBヘインプットキャプチャ 11: 設定しないでください	R/W	
b5	IOB1			R/W	
b6	IOB2	TRCGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプット キャプチャ)にしてください	R/W	
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。			-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

19.4.2 タイマRC I/O制御レジスタ1 (TRCIOR1) [タイマモード(インプットキャプチャ機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	b1 b0 00: 立ち上がりエッジでTRCGRCへインプットキャプチャ 01: 立ち下がりエッジでTRCGRCへインプットキャプチャ 10: 両エッジでTRCGRCへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	“1”にしてください	R/W
b4	IOD0	TRCGRD制御ビット	b5 b4 00: 立ち上がりエッジでTRCGRDへインプットキャプチャ 01: 立ち下がりエッジでTRCGRDへインプットキャプチャ 10: 両エッジでTRCGRDへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	“1”にしてください	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

表19.8 インプットキャプチャ機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRCGRA		ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「19.3.2 バッファ動作」参照)。	TRCIOA
TRCGRD	BFD=1		TRCIOB

j=A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

19.4.3 動作例

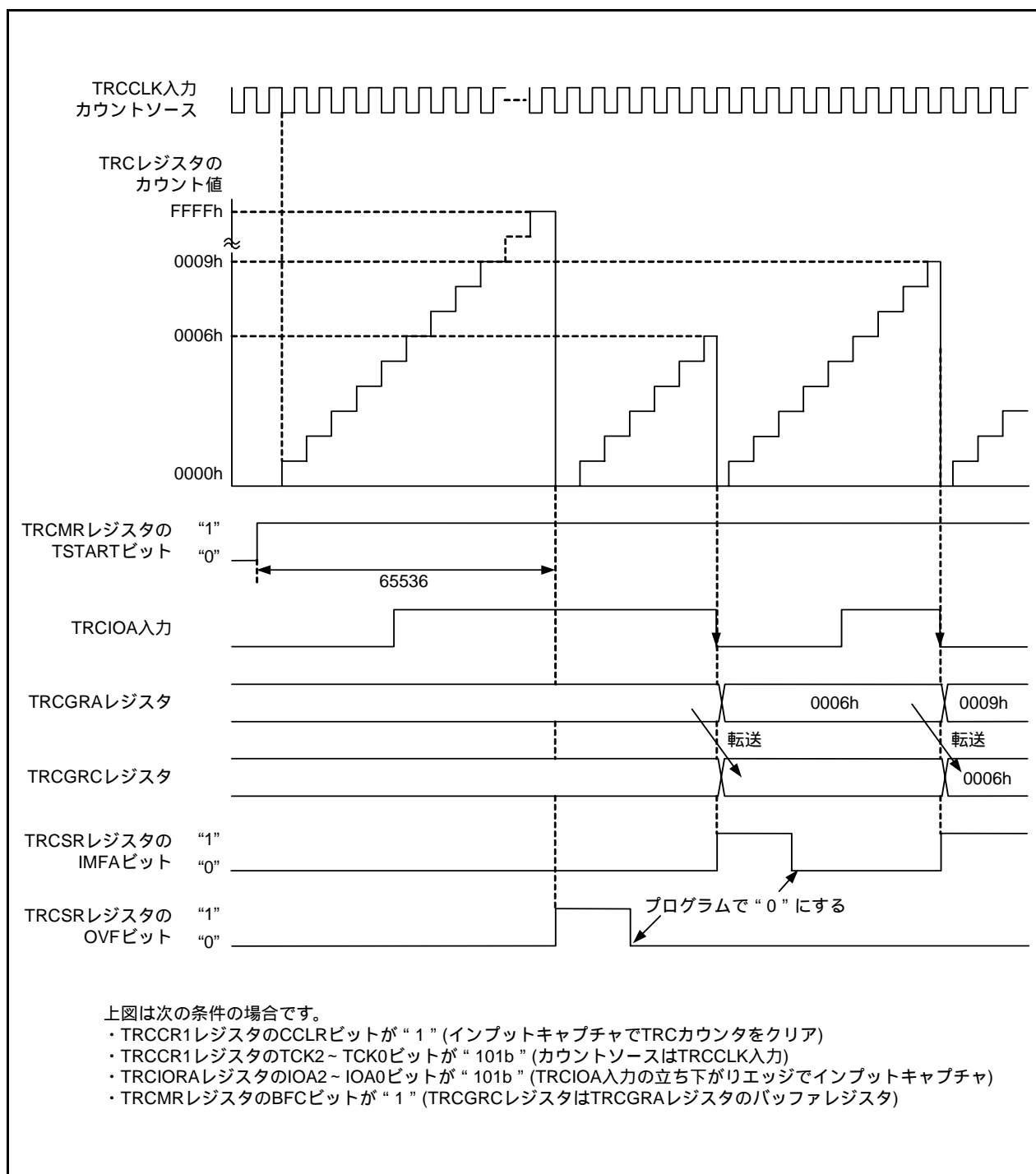


図19.8 インプットキャプチャ機能の動作例

19.5 タイマモード(アウトプットコンペア機能)

TRCレジスタ(カウンタ)の内容と、TRCGRj (j=A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき TRCIOj 端子から任意のレベルを出力します。端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表 19.9 にアウトプットコンペア機能の仕様を、図 19.9 にアウトプットコンペア機能のブロック図を、表 19.10 にアウトプットコンペア機能時の TRCGRj レジスタの機能を、図 19.10 にアウトプットコンペア機能の動作例を示します。

表 19.9 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK 端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> • TRCCR1 レジスタの CCLR ビットが “0” (フリーランニング動作) の場合 $1/fk \times 65536$ fk : カウントソースの周波数 • TRCCR1 レジスタの CCLR ビットが “1” (TRCGRA のコンペア一致で TRC レジスタを “0000h” にする) の場合 $1/fk \times (n+1)$ n : TRCGRA レジスタ設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRCMR レジスタの TSTART ビットへの “1” (カウント開始) 書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRCCR2 レジスタの CSEL ビットが “0” (TRCGRA レジスタとのコンペア一致後もカウント継続) の場合 TRCMR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRC レジスタは停止前の値を保持 • TRCCR2 レジスタの CSEL ビットが “1” (TRCGRA レジスタとのコンペア一致でカウント停止) の場合 TRCGRA レジスタとのコンペア一致でカウント停止、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致 (TRC レジスタと TRCGRj レジスタの内容が一致) • TRC レジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力 (1 端子ごとに選択)
INT0 端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INT0 割り込み入力
タイマの読み出し	TRC レジスタを読むと、カウント値が読める
タイマの書き込み	TRC レジスタに書き込める
選択機能	<ul style="list-style-type: none"> • アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子のいずれか 1 本または複数本 • コンペア一致時の出力レベル選択 “L” 出力、“H” 出力、またはトグル出力 • 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 • TRC レジスタを “0000h” にするタイミング オーバフロー、または TRCGRA レジスタのコンペア一致 • バッファ動作 (「19.3.2 バッファ動作」参照) • パルス出力強制遮断信号入力 (「19.3.4 パルス出力強制遮断」参照) • タイマ RC は出力しないことで内部タイマとして使用できる • TRCGRC、TRCGRD の出力端子変更 TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用できる • A/D トリガ発生

j=A、B、C、Dのいずれか

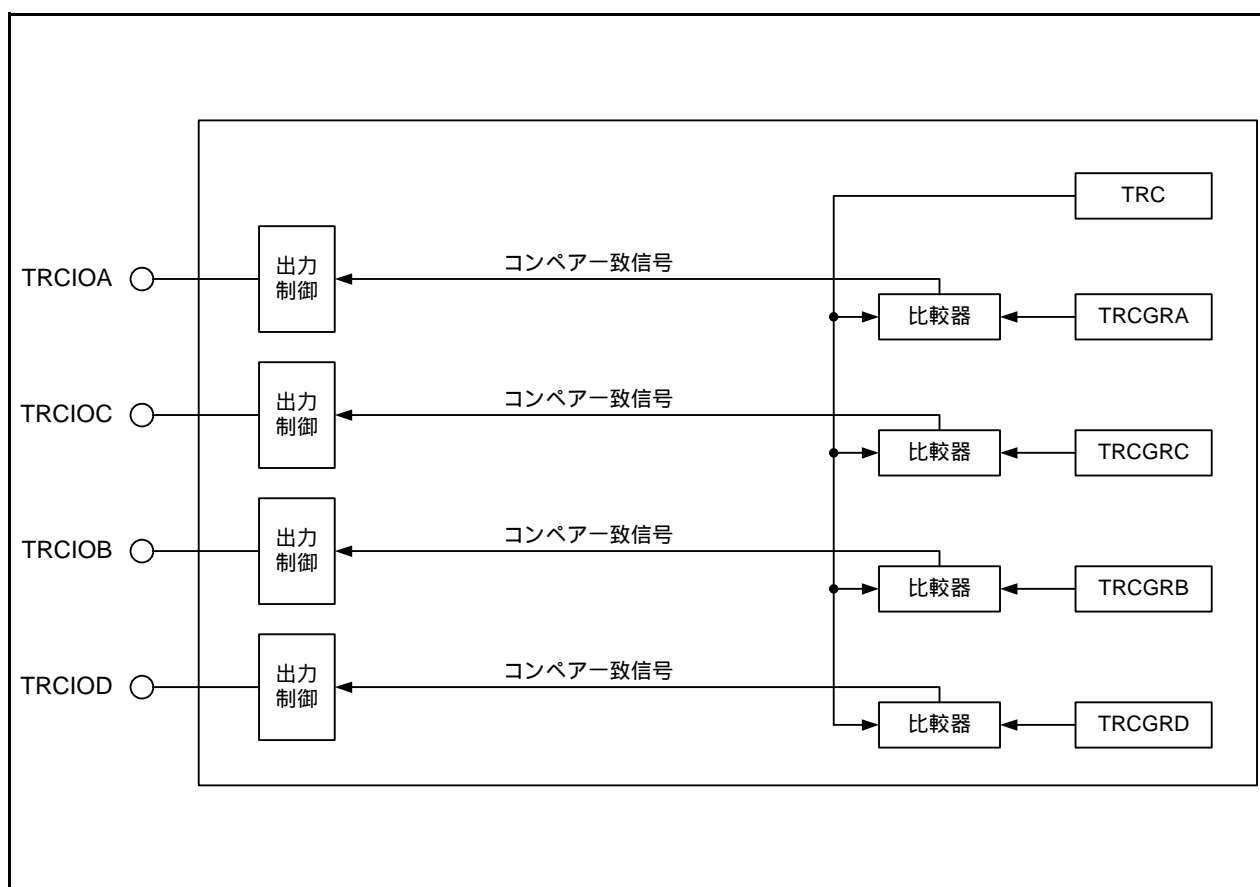


図 19.9 アウトプットコンペアー機能のブロック図

19.5.1 タイマRC制御レジスタ1 (TRCCR1) [タイマモード(アウトプットコンペア機能)時]

アドレス 0121h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1、2)	0 : 初期出力 “ L ”	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	1 : 初期出力 “ H ”	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0 : クリア禁止(フリーランニング動作) 1 : TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

表 19.10 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプット コンペア出力端子
TRCGRA		ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のコンペア値を書いてください (「19.3.2 バッファ動作」参照)。	TRCIOA
TRCGRD	BFD=1		TRCIOB

j=A、B、C、Dのいずれか

BFC、BFD : TRCMRレジスタのビット

19.5.2 タイマRC I/O制御レジスタ0 (TRCIOR0) [タイマモード(アウトプットコンペア機能)時]

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能		
b0	IOA0	TRCGRA制御ビット	b1 b0 0 0 : コンペアー一致による端子出力禁止 (TRCIOA端子はプログラマブル入出力ポート) 0 1 : TRCGRAのコンペアー一致で “ L ” 出力 1 0 : TRCGRAのコンペアー一致で “ H ” 出力 1 1 : TRCGRAのコンペアー一致でトグル出力	R/W	
b1	IOA1			R/W	
b2	IOA2	TRCGRAモード選択ビット(注1)	アウトプットコンペアー機能では “ 0 ” (アウトプットコンペアー)にしてください	R/W	
b3	IOA3	TRCGRAインプットキャプチャ入力切替ビット	“ 1 ” にしてください	R/W	
b4	IOB0	TRCGRB制御ビット	b5 b4 0 0 : コンペアー一致による端子出力禁止 (TRCIOB端子はプログラマブル入出力ポート) 0 1 : TRCGRBのコンペアー一致で “ L ” 出力 1 0 : TRCGRBのコンペアー一致で “ H ” 出力 1 1 : TRCGRBのコンペアー一致でトグル出力	R/W	
b5	IOB1			R/W	
b6	IOB2	TRCGRBモード選択ビット(注2)	アウトプットコンペアー機能では “ 0 ” (アウトプットコンペアー)にしてください	R/W	
b7	-	何も配置されていない。書く場合、“ 0 ” を書いてください。読んだ場合、その値は “ 1 ” 。			-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

19.5.3 タイマRC I/O制御レジスタ1 (TRCIOR1) [タイマモード(アウトプットコンペア機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	b1 b0 00: コンペア一致による端子出力禁止 01: TRCGRCのコンペア一致で“L”出力 10: TRCGRCのコンペア一致で“H”出力 11: TRCGRCのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD制御ビット	b5 b4 00: コンペア一致による端子出力禁止 01: TRCGRDのコンペア一致で“L”出力 10: TRCGRDのコンペア一致で“H”出力 11: TRCGRDのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

19.5.4 タイマRC制御レジスタ2 (TRCCR2) [タイマモード(アウトプットコンペア機能)時]

アドレス 0130h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			-
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペア一致後もカウンタ継続 1 : TRCGRAレジスタとのコンペア一致でカウンタ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

19.5.5 動作例

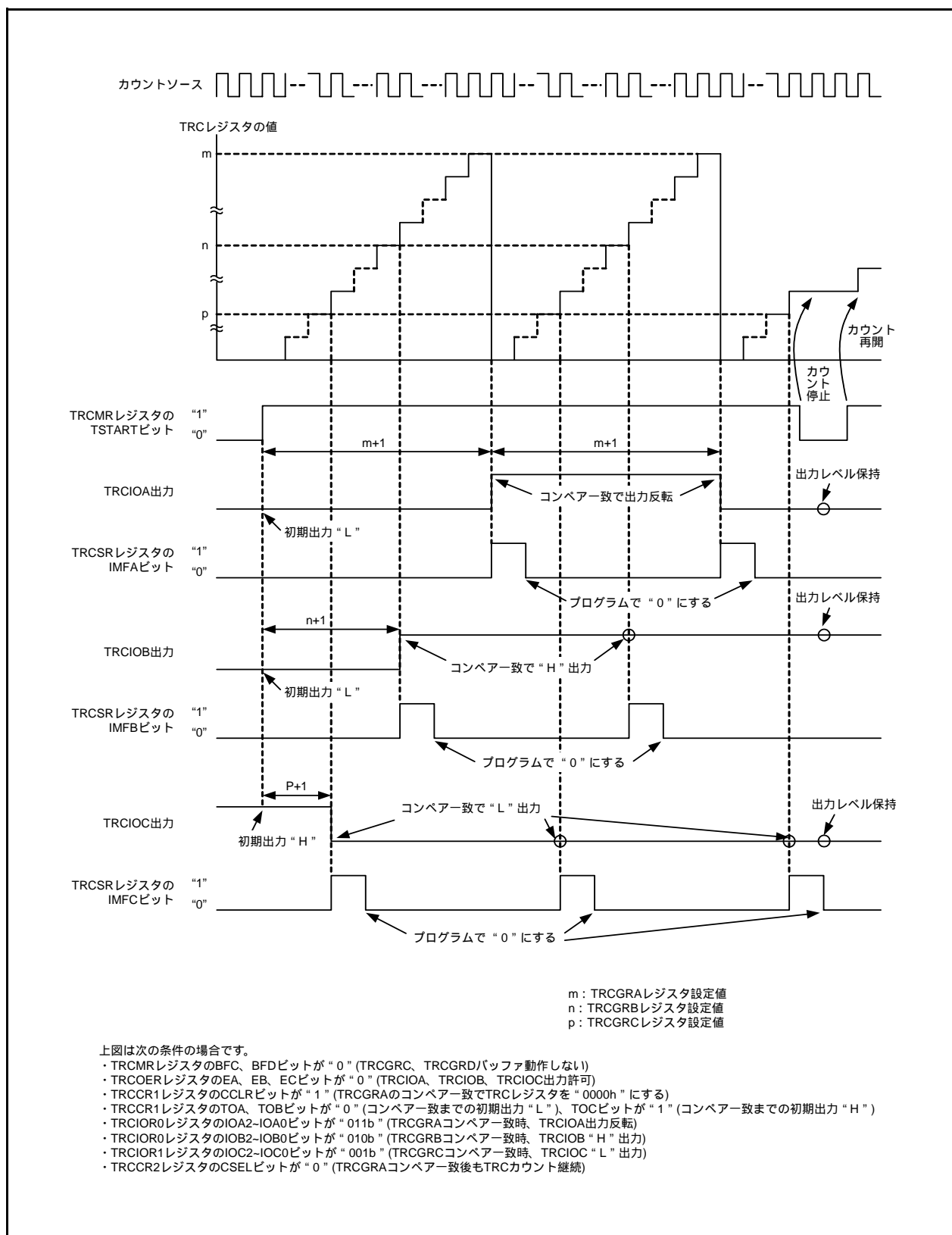


図 19.10 アウトプットコンパレー機能の動作例

19.5.6 TRCGRC、TRCGRD レジスタの出力端子変更

TRCGRC レジスタを TRCIOA 端子の、TRCGRD レジスタを TRCIOB 端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRCIOA 出力は、TRCGRA レジスタの値と TRCGRC レジスタの値の2点で制御
- TRCIOB 出力は、TRCGRB レジスタの値と TRCGRD レジスタの値の2点で制御

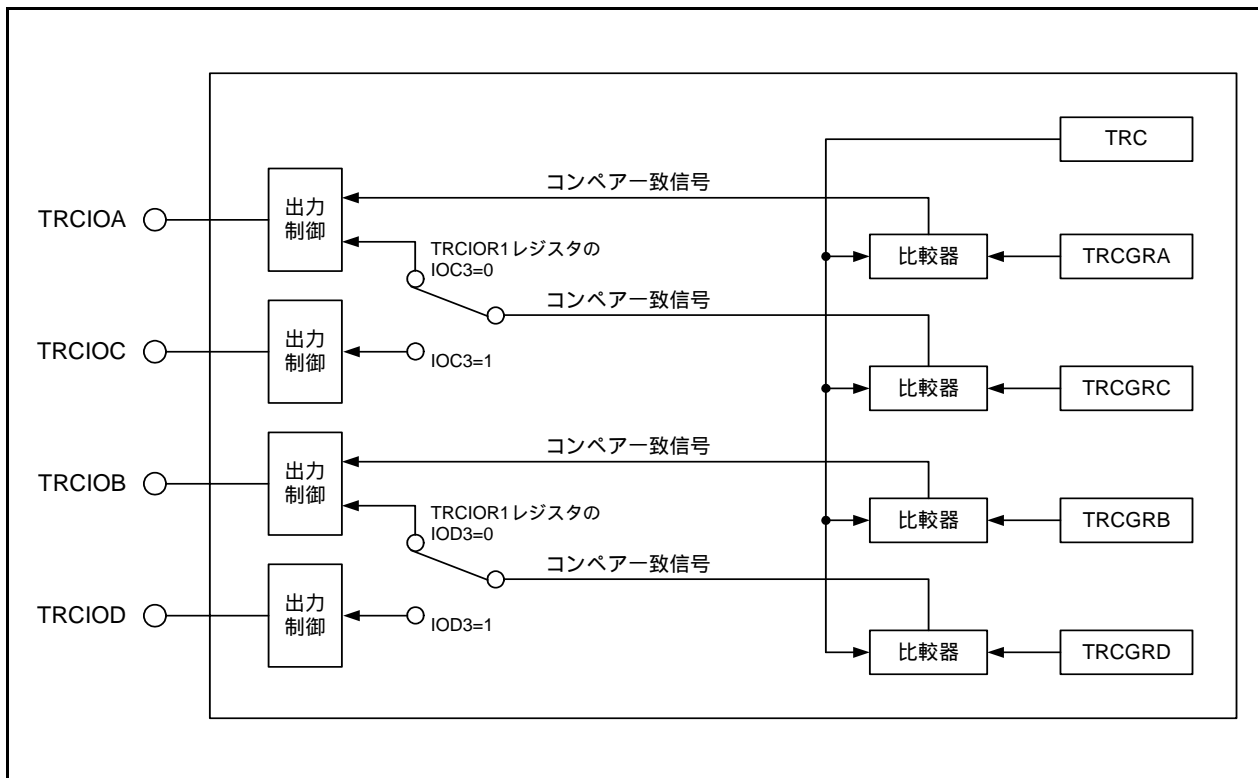


図19.11 TRCGRC、TRCGRDの出力端子変更

TRCGRC、TRCGRD レジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOA レジスタのIOC3 ビットを “0” (TRCIOA 出力レジスタ)、IOD3 ビットを “0” (TRCIOB 出力レジスタ) にする。
- TRCMR レジスタのBFC、BFD ビットを “0” (ジェネラルレジスタ) にする。
- TRCGRA レジスタとTRCGRC レジスタは違う値を設定。また、TRCGRB レジスタとTRCGRD レジスタは違う値を設定。

図 19.12 に TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用した場合の動作例を示します。

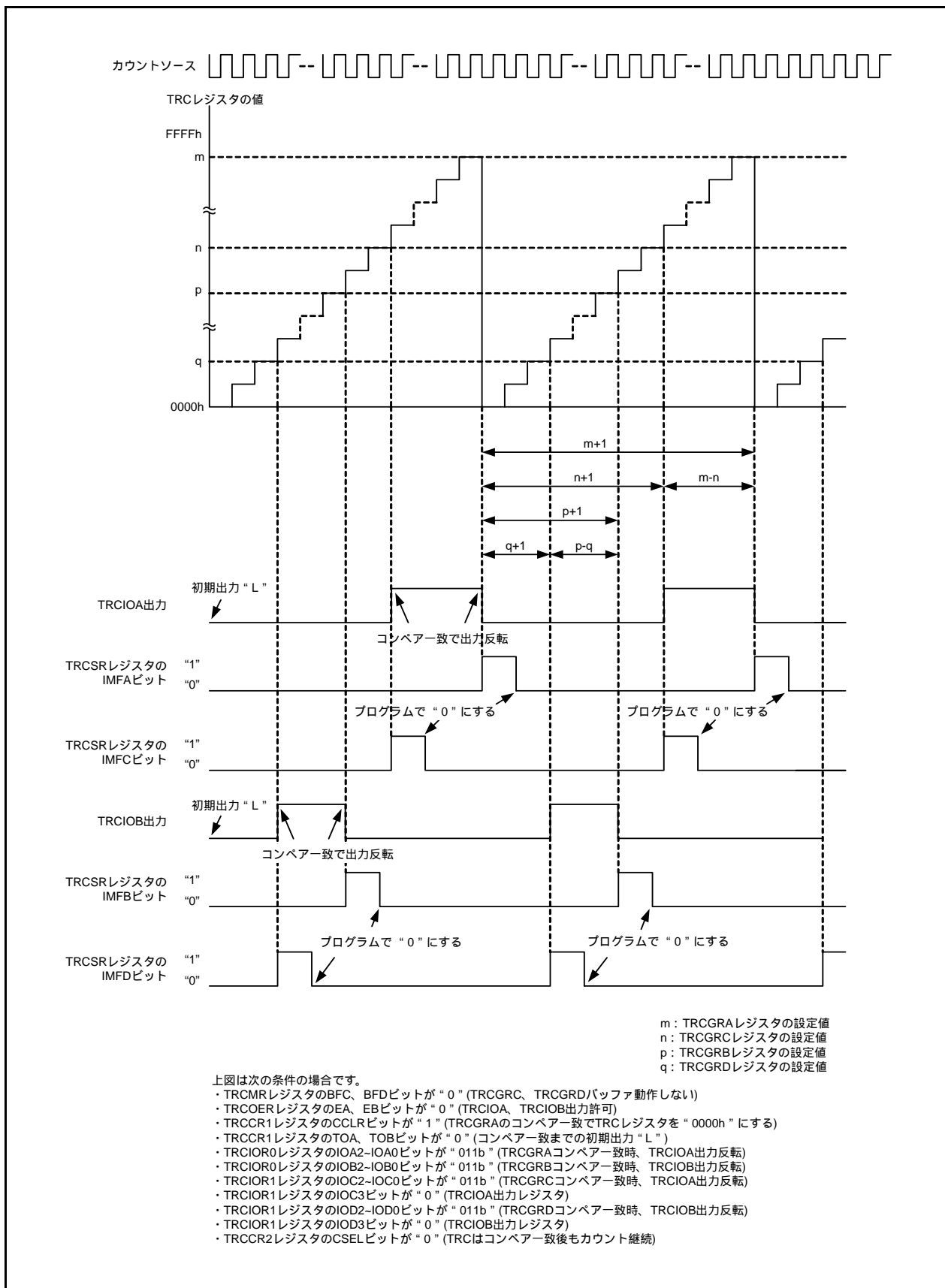


図 19.12 TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用した場合の動作例

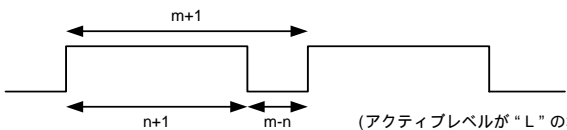
19.6 PWMモード

PWM波形を出力するモードです。同周期のPWM波形を最大3本出力できます。

端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子をPWMモードに使用する場合もTRCGRAレジスタを使用しますので、TRCGRAレジスタはタイマモードに使用できません。)

表19.11にPWMモードの仕様を、図19.13にPWMモードのブロック図を、表19.12にPWMモード時のTRCGRhレジスタの機能を、図19.14～図19.15にPWMモードの動作例を示します。

表19.11 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
PWM波形	PWM周期: $1/f_k \times (m+1)$ アクティブレベル幅: $1/f_k \times (m-n)$ アクティブでないレベルの幅: $1/f_k \times (n+1)$ f_k : カウントソースの周波数 m : TRCGRAレジスタ設定値 n : TRCGRjレジスタ設定値 
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペアー一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持 • TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペアー一致でカウント停止)の場合 TRCGRAレジスタとのコンペアー一致でカウント停止、PWM出力端子はコンペアー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペアー一致(TRCレジスタとTRCGRhレジスタの内容が一致) • TRCレジスタオーバフロー
TRCIOA端子機能	プログラマブル入出力ポート
TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> • PWM出力端子を1～3本選択 TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本。 • アクティブレベルを1端子ごとに選択 • 初期出力レベルを1端子ごとに選択 • バッファ動作(「19.3.2 バッファ動作」参照) • パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照) • A/Dトリガ発生

j=B、C、Dのいずれか

h=A、B、C、Dのいずれか

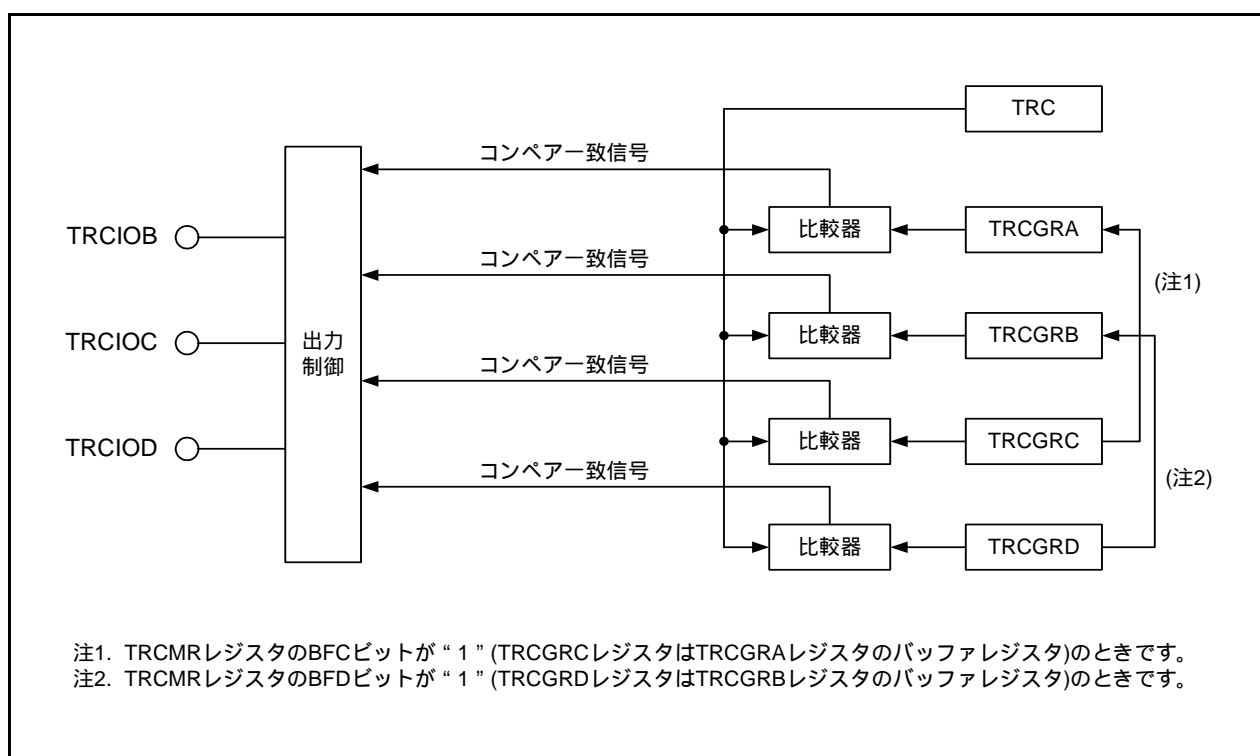


図 19.13 PWMモードのブロック図

19.6.1 タイマRC制御レジスタ1 (TRCCR1)[PWMモード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWMモードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0: 初期出力はアクティブでないレベル 1: 初期出力はアクティブレベル	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0: f1 0 0 1: f2 0 1 0: f4 0 1 1: f8 1 0 0: f32 1 0 1: TRCCLK入力の立ち上がりエッジ 1 1 0: fOCO40M 1 1 1: fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペアー一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

19.6.2 タイマRC制御レジスタ2 (TRCCR2)[PWMモード時]

アドレス 0130h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウンタ動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペアー一致後もカウント継続 1 : TRCGRAレジスタとのコンペアー一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペアー機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

表19.12 PWMモード時のTRCGRhレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA		ジェネラルレジスタ。PWM周期を設定してください。	
TRCGRB		ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のPWM周期を設定してください(「19.3.2 バッファ動作」参照)。	
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「19.3.2 バッファ動作」参照)。	TRCIOB

h=A、B、C、Dのいずれか

BFC、BFD : TRCMRレジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペアー一致しても端子の出力レベルは変化しません。

19.6.3 動作例

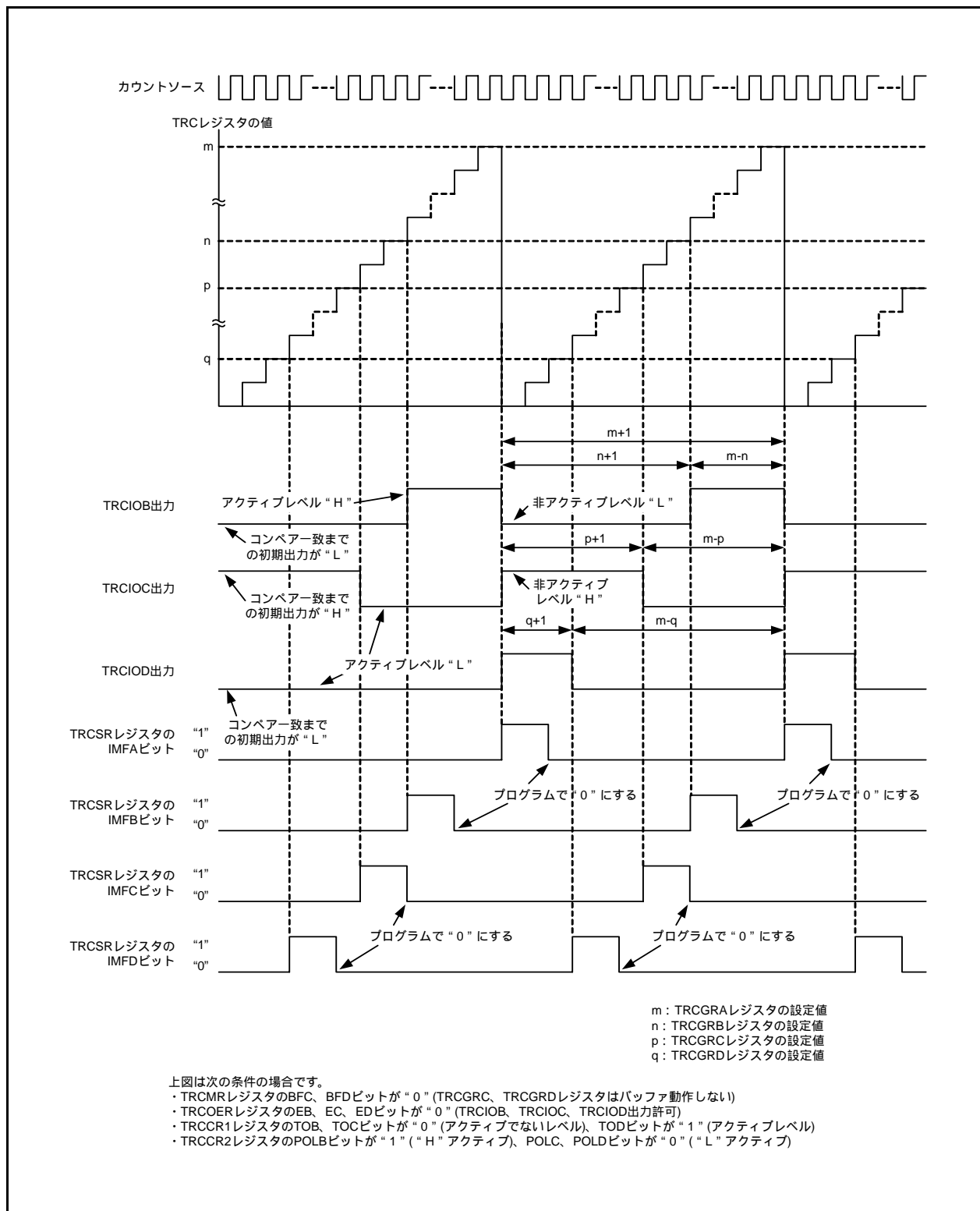


図 19.14 PWM モードの動作例

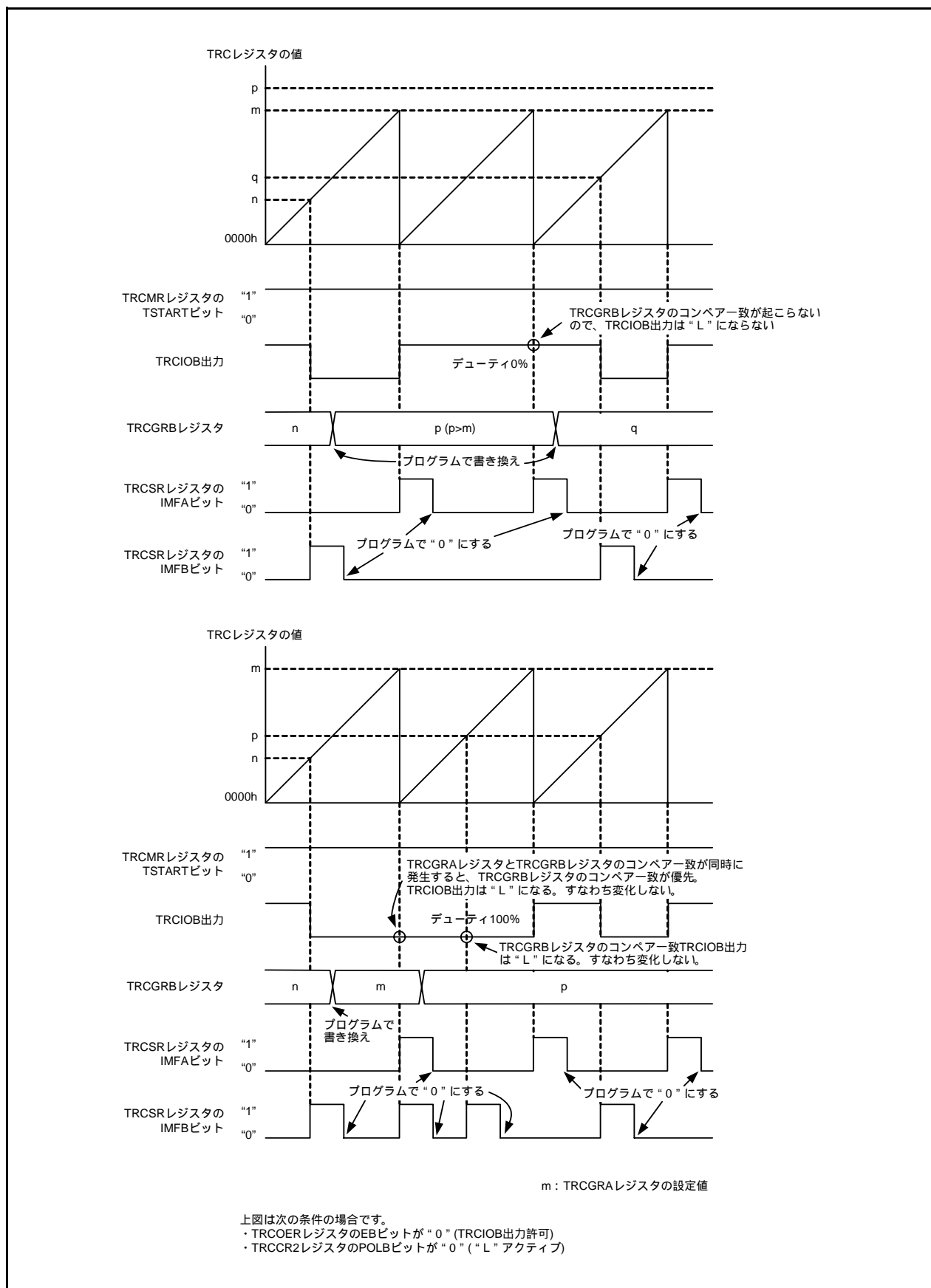


図 19.15 PWMモードの動作例(デューティ 0%、デューティ 100%)

表 19.13 PWM2 モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK 端子に入力された外部信号 (立ち上がりエッジ)
カウント動作	TRC レジスタはアップカウント
PWM 波形	<p>PWM 周期: $1/f_k \times (m+1)$ (TRCTRG 入力がない場合) アクティブレベル幅: $1/f_k \times (n-p)$ カウント開始またはトリガからのウェイト時間: $1/f_k \times (p+1)$ f_k: カウントソースの周波数 m: TRCGRA レジスタ設定値 n: TRCGRB レジスタ設定値 p: TRCGRC レジスタ設定値</p>  <p>(TRCTRG: 立ち上がりエッジ、アクティブレベルが“H”の場合)</p>
カウント開始条件	<ul style="list-style-type: none"> TRCCR2 レジスタの TCEG1 ~ TCEG0 ビットが “00b” (TRCTRG トリガ入力禁止) または TRCCR2 レジスタの CSEL ビットが “0” (カウント継続) の場合 TRCMR レジスタの TSTART ビットへの “1” (カウント開始) 書き込み TRCCR2 レジスタの TCEG1 ~ TCEG0 ビットが “01b”、“10b”、“11b” (TRCTRG トリガ入力許可) かつ TRCMR レジスタの TSTART ビットが “1” (カウント開始) の場合 TRCTRG 端子にトリガ入力
カウント停止条件	<ul style="list-style-type: none"> TRCMR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み (TRCCR2 レジスタの CSEL ビットが “0” の場合も、“1” の場合も含む) TRCIOB 端子は TRCCR1 レジスタの TOB ビットの内容に従い、初期レベルを出力。TRC レジスタは停止前の値を保持。 TRCCR2 レジスタの CSEL ビットが “1” の場合、TRCGRA コンペア一致でカウント停止 TRCIOB 端子は初期レベルを出力。TRCCR1 レジスタの CCLR ビットが “0” のとき、TRC レジスタは停止前の値を保持。TRCCR1 レジスタの CCLR ビットが “1” のとき、TRC レジスタは “0000h”。
割り込み発生タイミング	<ul style="list-style-type: none"> コンペア一致 (TRC レジスタと TRCGRj レジスタの内容が一致) TRC レジスタオーバフロー
TRCIOA/TRCTRG 端子機能	プログラマブル入出力ポート、または TRCTRG 入力
TRCIOB 端子機能	PWM 出力
TRCIOC、TRCIOD 端子機能	プログラマブル入出力ポート
INT0 端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INT0 割り込み入力
タイマの読み出し	TRC レジスタを読むと、カウント値が読める
タイマの書き込み	TRC レジスタに書き込める
選択機能	<ul style="list-style-type: none"> 外部トリガと有効エッジ選択 TRCTRG 端子入力のエッジを PWM 出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。 バッファ動作 (「19.3.2 バッファ動作」参照) パルス出力強制遮断信号入力 (「19.3.4 パルス出力強制遮断」参照) デジタルフィルタ (「19.3.3 デジタルフィルタ」参照) A/D トリガ発生

j=A、B、Cのいずれか

19.7.1 タイマRC制御レジスタ1 (TRCCR1)[PWM2モード時]

アドレス 0121h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット (注1、2)	0: アクティブレベル“H” (初期出力“L” TRCGRCのコンペア一致で“H”出力 TRCGRBのコンペア一致で“L”出力) 1: アクティブレベル“L” (初期出力“H” TRCGRCのコンペア一致で“L”出力 TRCGRBのコンペア一致で“H”出力)	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0: f1 0 0 1: f2 0 1 0: f4 0 1 1: f8 1 0 0: f32 1 0 1: TRCCLK入力の立ち上がりエッジ 1 1 0: fOCO40M 1 1 1: fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

19.7.2 タイマRC制御レジスタ2 (TRCCR2)[PWM2モード時]

アドレス 0130h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウント動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペア一致後もカウント継続 1 : TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

19.7.3 タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2 モード時]

アドレス 0131h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	-	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	
b0	DFA	TRCIOA 端子デジタルフィルタ機能 選択ビット (注 1)	0 : 機能なし 1 : 機能あり	R/W
b1	DFB	TRCIOB 端子デジタルフィルタ機能 選択ビット (注 1)	0 : 機能なし 1 : 機能あり	R/W
b2	DFC	TRCIOC 端子デジタルフィルタ機能 選択ビット (注 1)	0 : 機能なし 1 : 機能あり	R/W
b3	DFD	TRCIOD 端子デジタルフィルタ機能 選択ビット (注 1)	0 : 機能なし 1 : 機能あり	R/W
b4	DFTRG	TRCTRG 端子デジタルフィルタ機能 選択ビット (注 2)	0 : 機能なし 1 : 機能あり	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	DFCK0	デジタルフィルタ機能用クロック選 択ビット (注 1、2)	b7 b6 0 0 : f32 0 1 : f8 1 0 : f1 1 1 : カウントソース (TRCCR1 レジスタの TCK2 ～ TCK0 ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注 1. インプットキャプチャ機能のとき有効です。

注 2. PWM2 モードで、TRCCR2 レジスタの TCEG1 ~ TCEG0 ビットが “01b”、“10b”、“11b” (TRCTRG トリガ入
力許可) のとき有効です。

表 19.14 PWM2 モード時の TRCGRj レジスタの機能

レジスタ	設定	レジスタの機能	PWM2 出力端子
TRCGRA		ジェネラルレジスタ。PWM 周期を設定してください。	TRCIOB 端子
TRCGRB		ジェネラルレジスタ。PWM 出力の変化点を設定してくだ さい。	
TRCGRC	BFC=0	ジェネラルレジスタ。PWM 出力の変化点 (トリガからの ウェイト時間) を設定してください。	
TRCGRD	BFD=0	(PWM2 モードでは使用しません)	
TRCGRD	BFD=1	バッファレジスタ。次回の PWM 出力の変化点を設定して ください (「19.3.2 バッファ動作」参照)。	TRCIOB 端子

j=A、B、C、D のいずれか

BFC、BFD : TRCMR レジスタのビット

注 1. TRCGRB レジスタと TRCGRC レジスタに同じ値を設定しないでください。

19.7.4 動作例

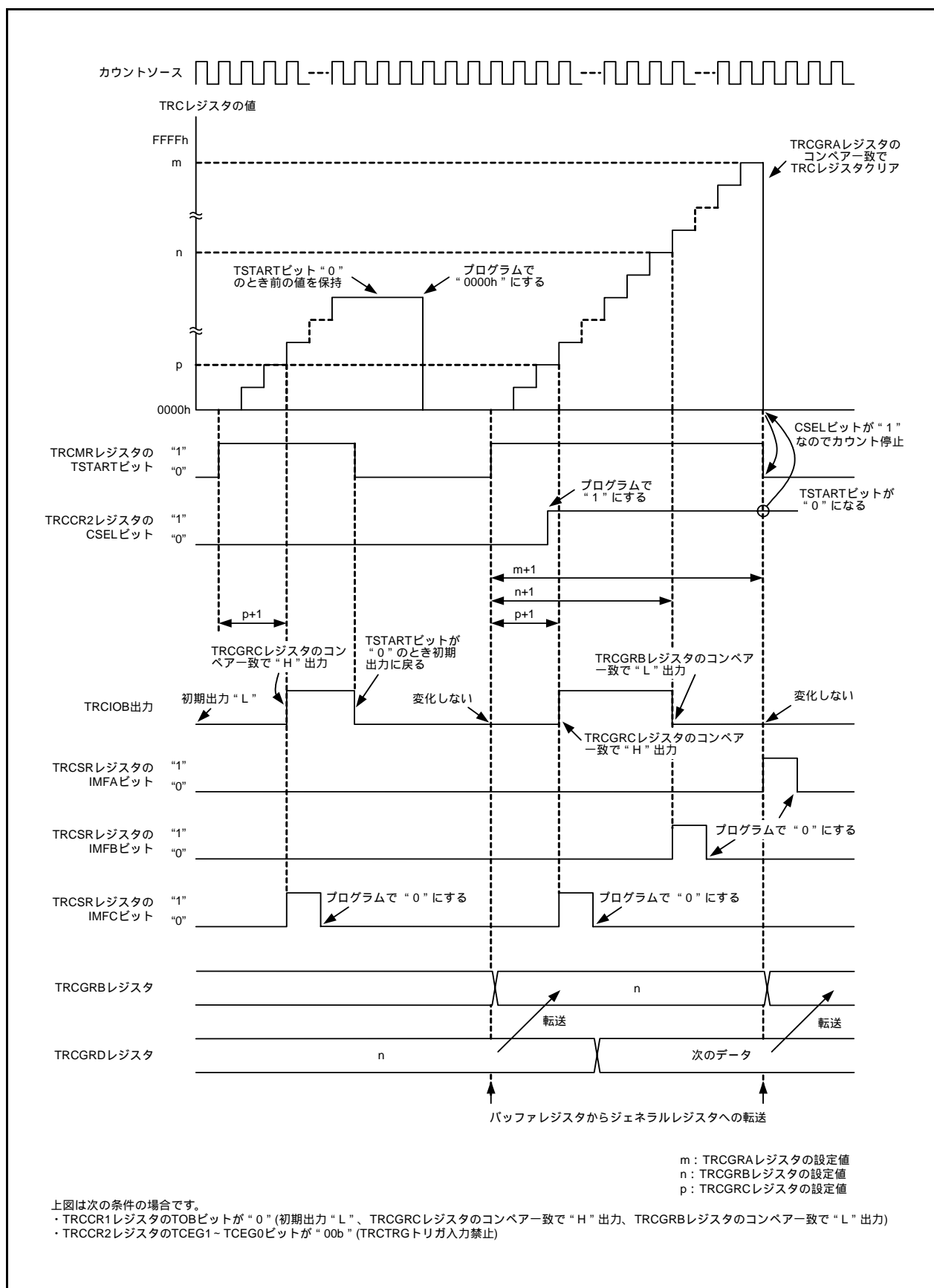


図 19.17 PWM2モードの動作例 (TRCTRГ トリガ入力禁止の場合)

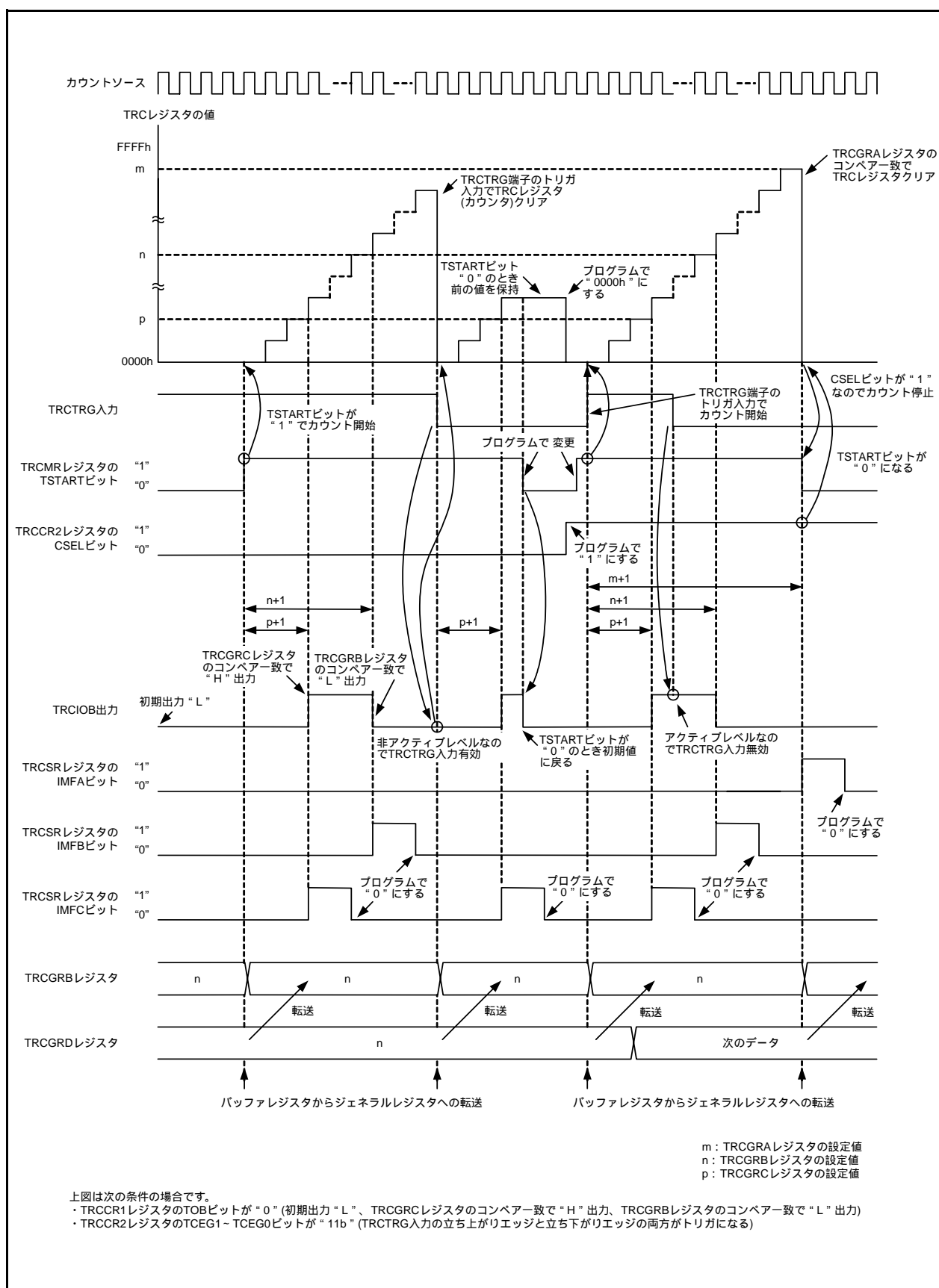


図 19.18 PWM2モードの動作例 (TRCTRГ トリガ入力許可の場合)

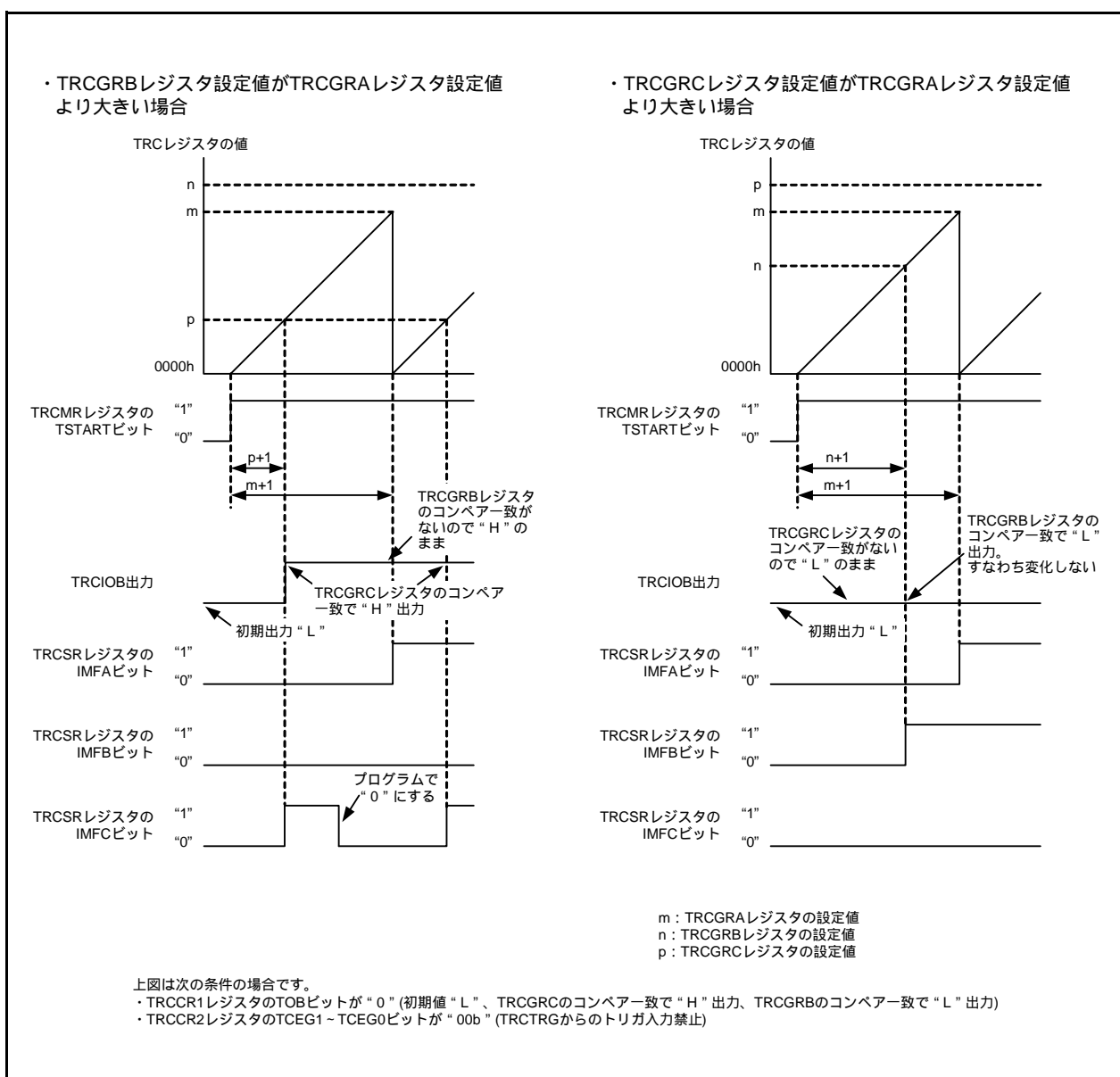


図 19.19 PWM2モードの動作例(デューティ 0%、デューティ 100%)

19.8 タイマ RC 割り込み

タイマ RC は、5 つの要因からタイマ RC 割り込み要求を発生します。タイマ RC 割り込みは 1 つの TRCIC レジスタ (IR ビット、ILVL0 ~ ILVL2 ビット) と 1 つのベクタを持ちます。

表 19.15 にタイマ RC 割り込み関連レジスタを、図 19.20 にタイマ RC 割り込みのブロック図を示します。

表 19.15 タイマ RC 割り込み関連レジスタ

タイマ RC ステータスレジスタ	タイマ RC 割り込み許可レジスタ	タイマ RC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

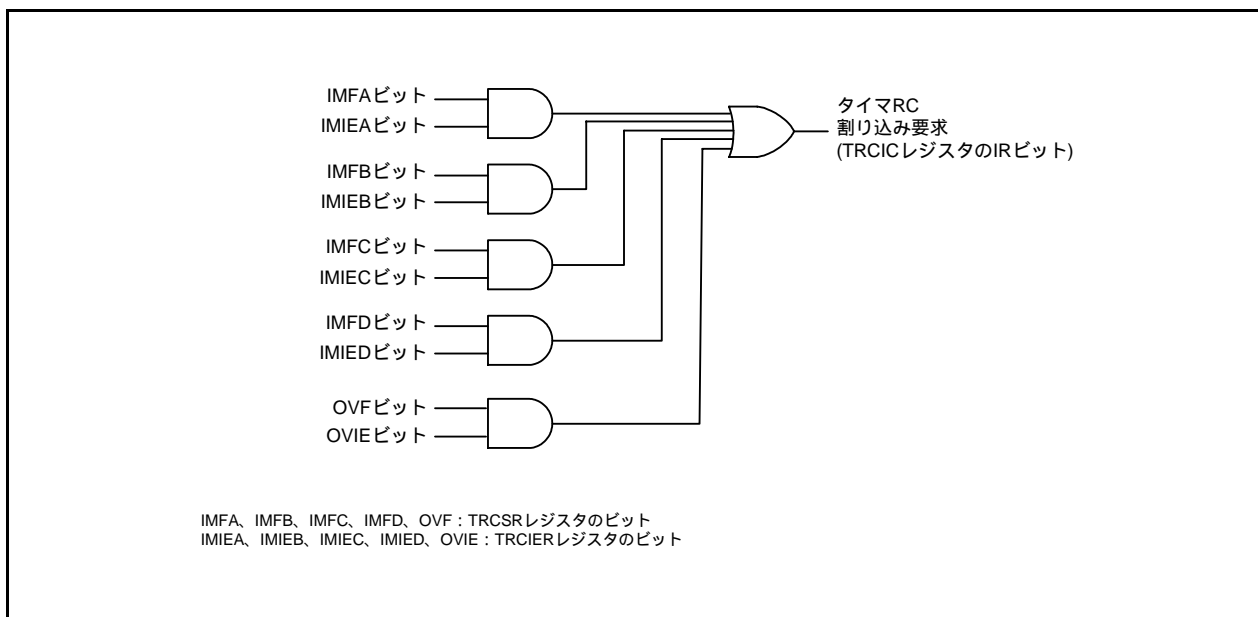


図 19.20 タイマ RC 割り込みのブロック図

タイマ RC 割り込みが、I フラグ、IR ビット、ILVL0 ~ ILVL2 ビットと IPL の関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1 つの割り込み要因 (タイマ RC 割り込み) を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSR レジスタのビットが “1” で、それに対応する TRCIER レジスタのビットが “1” (割り込み許可) の場合、TRCIC レジスタの IR ビットが “1” (割り込み要求あり) になります。
- TRCSR レジスタのビットと、それに対応する TRCIER レジスタのビットのどちらか、または両方が “0” になると IR ビットが “0” (割り込み要求なし) になります。すなわち、IR ビットは、一旦 “1” になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IR ビットが “1” になった後、別の要求要因が成立した場合、IR ビットは “1” のまま変化しません。
- TRCIER レジスタの複数のビットを “1” にしている場合、どの要求要因による割り込みかは、TRCSR レジスタで判定してください。
- TRCSR レジスタの各ビットは、割り込みが受け付けられても自動的に “0” になりませんので、割り込みルーチン内で “0” にしてください。“0” にする方法は「19.2.5 タイマ RC ステータスレジスタ (TRCSR)」を参照してください。

TRCIER レジスタは「19.2.4 タイマ RC 割り込み許可レジスタ (TRCIER)」を参照してください。

TRCIC レジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

19.9 タイマRC使用上の注意

19.9.1 TRC レジスタ

- TRCCR1 レジスタのCCLR ビットを“1” (TRCGRA レジスタとのコンペア一致でTRC レジスタをクリア) している場合に、次の注意事項が該当します。

TRCMR レジスタのTSTART ビットが“1” (カウント開始) の状態で、プログラムでTRC レジスタに値を書き込む場合は、TRC レジスタが“0000h” になるタイミングと重ならないように書いてください。

TRC レジスタが“0000h” になるタイミングと、TRC レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRC レジスタが“0000h” になります。

- TRC レジスタに書いた後、TRC レジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B 命令を実行してください。

```
プログラム例      MOV.W  #XXXXh, TRC          ; 書き込み
                   JMP.B   L1                ; JMP.B 命令
                   L1:    MOV.W  TRC, DATA    ; 読み出し
```

19.9.2 TRCSR レジスタ

TRCSR レジスタに書いた後、TRCSR レジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B 命令を実行してください。

```
プログラム例      MOV.B  #XXh, TRCSR        ; 書き込み
                   JMP.B   L1                ; JMP.B 命令
                   L1:    MOV.B  TRCSR, DATA ; 読み出し
```

19.9.3 TRCCR1 レジスタ

TRCCR1 レジスタのTCK2 ~ TCK0 ビットを“111b” (fOCO-F) にするときは、CPU クロックより速いクロック周波数にfOCO-Fを設定してください。

19.9.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

変更手順

- (1) TRCMR レジスタのTSTART ビットを“0” (カウント停止) にする
- (2) TRCCR1 レジスタのTCK2 ~ TCK0 ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRCMR レジスタのTSTART ビットを“0” (カウント停止) にする
- (2) TRCCR1 レジスタのTCK2 ~ TCK0 ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0 レジスタのFRA00 ビットを“0” (高速オンチップオシレータ停止) にする

- カウントソースを fOCO-F から fOCO40M に変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の 2 サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRCMR レジスタの TSTART ビットを “ 0 ” (カウント停止) にする
- (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の 2 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “ 0 ” (高速オンチップオシレータ停止) にする

- カウントソースを fOCO-F から fOCO40M 以外のクロックに変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の 1 サイクル + fOCO40M の 1 サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRCMR レジスタの TSTART ビットを “ 0 ” (カウント停止) にする
- (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の 1 サイクル + fOCO40M の 1 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “ 0 ” (高速オンチップオシレータ停止) にする

19.9.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマ RC の動作クロック (「表 19.1 タイマ RC の動作クロック」参照) の 3 サイクル以上にしてください。
- TRCIOj (j=A、B、C、D のいずれか) 端子にインプットキャプチャ信号が入力されてから、タイマ RC の動作クロックの 1 ~ 2 サイクル後に TRC レジスタの値を TRCGRj レジスタに転送します (デジタルフィルタなしの場合)。

19.9.6 PWM2 モード時の TRCMR レジスタ

TRCCR2 レジスタの CSEL ビットが “ 1 ” (TRCGRA レジスタとのコンペアー一致でカウント停止) のとき、TRC レジスタと TRCGRA レジスタのコンペアー一致が発生するタイミングで、TRCMR レジスタに書かないでください。

19.9.7 カウントソース fOCO40M

カウントソース fOCO40M については、電源電圧 VCC=2.7V ~ 5.5V の範囲で使用することができます。これ以外の電源電圧では、TRCCR1 レジスタの TCK2 ~ TCK0 ビットを “ 110b ” (fOCO40M をカウントソースに選択) にしないでください。

20. タイマRD

タイマRDは、16ビットタイマを2本(タイマRD0、タイマRD1)持ちます。

20.1 概要

タイマRD_i (i=0 ~ 1)は4本の入出力端子を持ちます。

タイマRDの動作クロックはf₁、fOCO40MまたはfOCO-Fです。表20.1にタイマRDの動作クロックを示します。

表20.1 タイマRDの動作クロック

条件	タイマRDの動作クロック
カウントソースがf ₁ 、f ₂ 、f ₄ 、f ₈ 、f ₃₂ 、fC ₂ 、TRDCLK入力 (TRDCR0、TRDCR1レジスタのTCK2 ~ TCK0ビットが“000b” ~ “101b”)	f ₁
カウントソースがfOCO40M (TRDCR0、TRDCR1レジスタのTCK2 ~ TCK0ビットが“110b”)	fOCO40M
カウントソースがfOCO-F (TRDCR0、TRDCR1レジスタのTCK2 ~ TCK0ビットが“111b”)	fOCO-F

図20.1にタイマRDのブロック図を、表20.2にタイマRDの端子構成を示します。

タイマRDは5種類のモードを持ちます。

- タイマモード

- インプットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能
(検出時に端子出力変更可能)

次の4つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- リセット同期PWMモード 鋸波変調、短絡防止時間なしの三相波形(6本)を出力するモード
- 相補PWMモード 三角波変調、短絡防止時間ありの三相波形(6本)を出力するモード
- PWM3モード 同一周期のPWM波形(2本)を出力するモード

インプットキャプチャ機能、アウトプットコンペア機能、PWMモードは、タイマRD0とタイマRD1で同等の機能を持ち、1端子ごとに機能とモードを選択できます。また、タイマRD_iの中でこれらの機能とモードを組み合わせで使えます。

リセット同期PWMモード、相補PWMモード、PWM3モードは、タイマRD0とタイマRD1のカウンタやレジスタを組み合わせで波形を出力します。端子の機能はモードによって決まります。

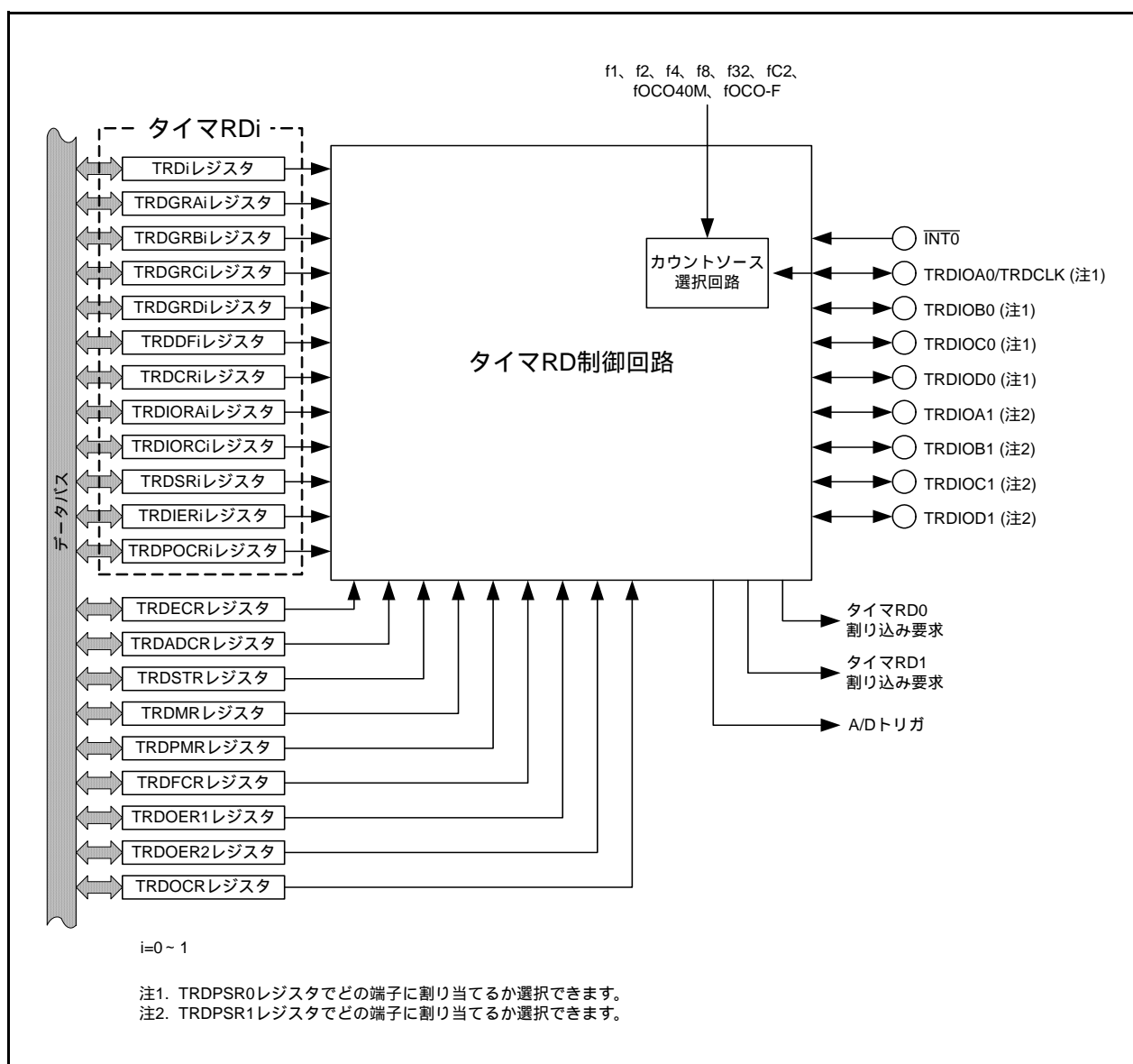


図 20.1 タイマRDのブロック図

表 20.2 タイマRDの端子構成

端子名	割り当てる端子	入出力	機能
TRDIOA0/TRDCLK	P2_0	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRDIOB0	P2_2	入出力	
TRDIOC0	P2_1	入出力	
TRDIOD0	P2_3	入出力	
TRDIOA1	P2_4	入出力	
TRDIOB1	P2_5	入出力	
TRDIOC1	P2_6	入出力	
TRDIOD1	P2_7	入出力	

20.2 複数モードに関わる共通事項

20.2.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードではfC2を、PWM3モードでは外部クロックを選択できません。

表 20.3 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRDCRi レジスタのTCK2 ~ TCK0ビットでカウントソース選択
fOCO40M(注1) fOCO-F	FRA0 レジスタのFRA00ビットが “ 1 ” (高速オンチップオシレータ発振) TRDCRi レジスタのTCK2 ~ TCK0ビットが “ 110b ” (fOCO40M) TRDCRi レジスタのTCK2 ~ TCK0ビットが “ 111b ” (fOCO-F)
fC2	TRDCRi レジスタのTCK2 ~ TCK0ビットが “ 101b ” (TRDCLKi入力またはfC2) TRDECR レジスタのITCLKiビットが “ 1 ” (fC2)
TRDCLK端子に入力された外部信号	TRDFCR レジスタのSTCLKビットが “ 1 ” (外部クロック入力有効) TRDCRi レジスタのTCK2 ~ TCK0ビットが “ 101b ” (カウントソースは外部クロック) TRDCRi レジスタのCKEG1 ~ CKEG0ビットで有効エッジを選択 PD2 レジスタのPD2_0ビットが “ 0 ” (入力モード)

i=0 ~ 1

注1. カウントソースfOCO40Mは、VCC=3.0V ~ 5.5Vの範囲で使用することができます。

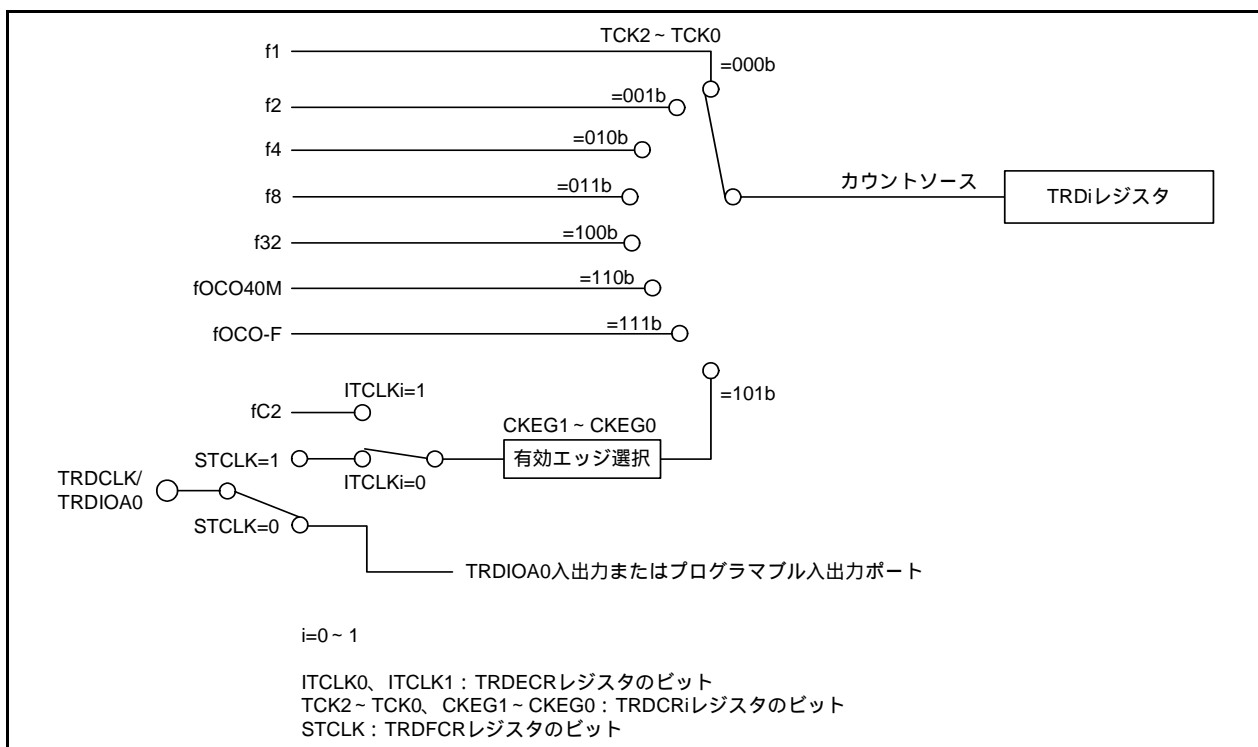


図 20.2 カウントソースのブロック図

TRDCLK端子に入力する外部クロックのパルス幅は、タイマRDの動作クロック（「表 20.1 タイマRDの動作クロック」参照）の3サイクル以上にしてください。

カウントソースにfOCO40MまたはfOCO-Fを選択する場合は、FRA0 レジスタのFRA00 ビットを “ 1 ” (高速オンチップオシレータ発振) にしてから、TRDCRi (i=0 ~ 1) レジスタのTCK2 ~ TCK0 ビットを “ 110b ” (fOCO40M) または “ 111b ” (fOCO-F) にしてください。

20.2.2 バッファ動作

TRDMR レジスタの BFCi (i=0 ~ 1) ビット、BFDi ビットで、TRDGRCi、TRDGRDi レジスタを TRDGRAi、TRDGRBi レジスタのバッファレジスタにできます。

- ・TRDGRAiのバッファレジスタ：TRDGRCi レジスタ
- ・TRDGRBiのバッファレジスタ：TRDGRDi レジスタ

バッファ動作は、モードによって違います。表20.4に各モードのバッファ動作を示します。

表20.4 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRDGRAi(TRDGRBi) レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRDi レジスタと TRDGRAi(TRDGRBi) レジスタのコンペア一致	バッファレジスタの内容を TRDGRAi(TRDGRBi) レジスタに転送
PWM モード		
リセット同期PWMモード	TRD0 レジスタと TRDGRA0 レジスタのコンペア一致	バッファレジスタの内容を TRDGRAi(TRDGRBi) レジスタに転送
相補PWMモード	TRD0 レジスタと TRDGRA0 レジスタのコンペア一致 TRD1 レジスタアンダフロー	バッファレジスタの内容を TRDGRB0、TRDGRA1、TRDGRB1 レジスタに転送
PWM3 モード	TRD0 レジスタと TRDGRA0 レジスタのコンペア一致	バッファレジスタの内容を TRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1 レジスタに転送

i=0 ~ 1

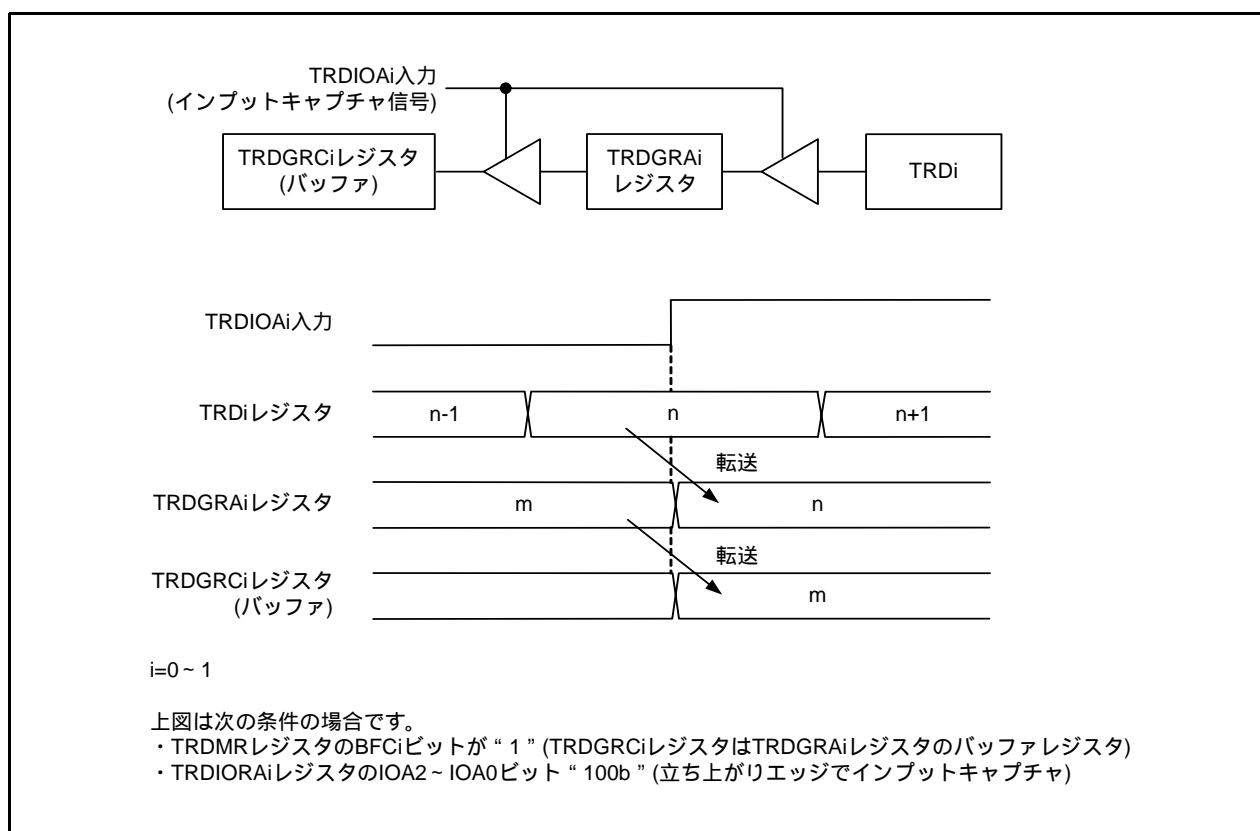


図20.3 インプットキャプチャ機能のバッファ動作

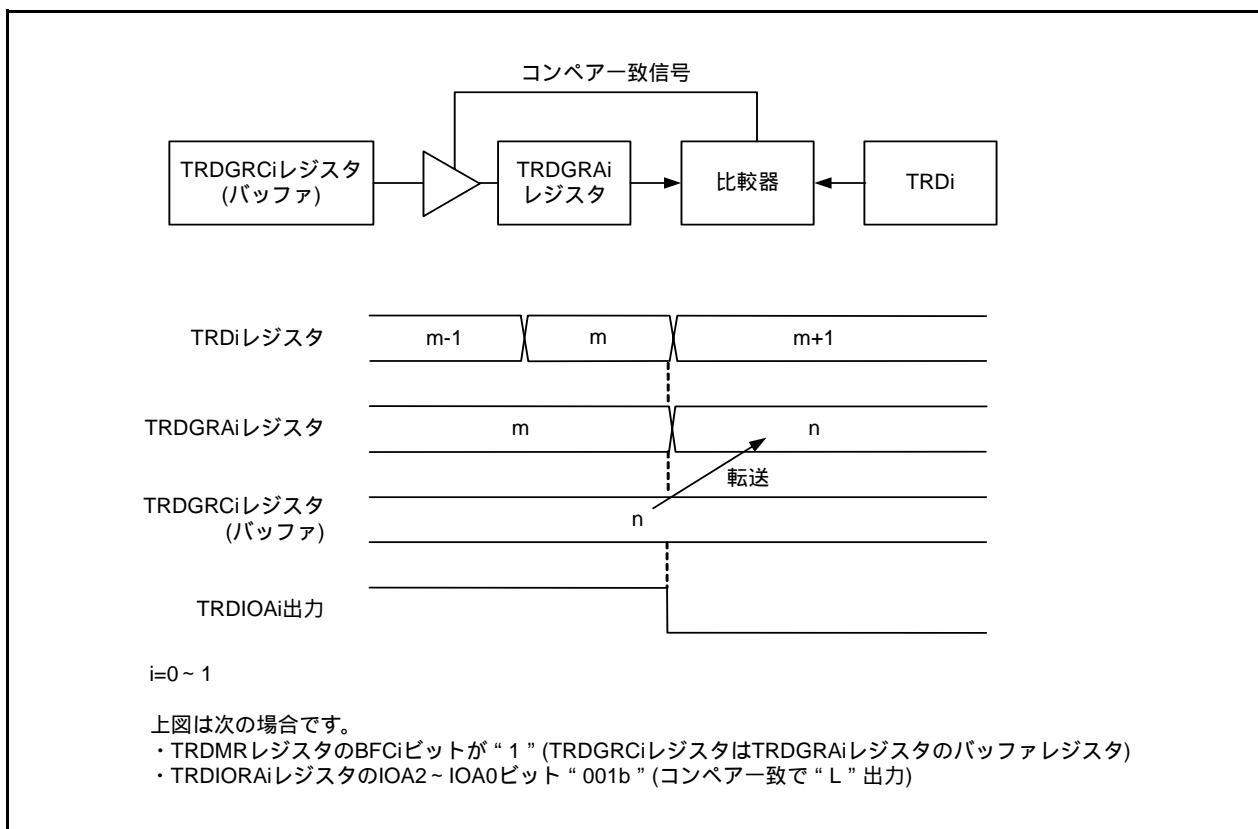


図20.4 アウトプットコンペア機能のバッファ動作

タイマモード（インプットキャプチャ機能、アウトプットコンペア機能）では次のようにしてください。

TRDGR*Ci* ($i=0 \sim 1$) レジスタをTRDGRA*i* レジスタのバッファレジスタに使用する場合

- ・TRDIORC*i* レジスタのIOC3 ビットを“1”（ジェネラルレジスタまたはバッファレジスタ）にしてください。
- ・TRDIORC*i* レジスタのIOC2 ビットは、TRDIOA*i* レジスタのIOA2 ビットと同じ設定にしてください。

TRDGRD*i* レジスタをTRDGRB*i* レジスタのバッファレジスタに使用する場合

- ・TRDIORD*i* レジスタのIOD3 ビットを“1”（ジェネラルレジスタまたはバッファレジスタ）にしてください。
- ・TRDIORC*i* レジスタのIOD2 ビットは、TRDIOA*i* レジスタのIOB2 ビットと同じ設定にしてください。

インプットキャプチャ機能では、TRDGRC*i*、TRDGRD*i* レジスタをバッファレジスタに使用している場合も、TRDIOC*i* 端子の入力エッジでTRDSR*i* レジスタのIMFC、IMFD ビットが“1”になります。

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードでは、TRDGRC*i*、TRDGRD*i* レジスタをバッファレジスタに使用している場合も、TRD*i* レジスタとのコンパレータ一致でTRDSR*i* レジスタのIMFC、IMFD ビットが“1”になります。

20.2.3 同期動作

TRD0 レジスタと TRD1 レジスタを同期させます。

•同期プリセット

TRDMR レジスタの SYNC ビットが “ 1 ” (同期動作) の場合、TRDi レジスタに書き込むと、TRD0 レジスタと TRD1 レジスタの両方に書き込まれます。

•同期クリア

TRDMR レジスタの SYNC ビットが “ 1 ” で、かつ TRDCR0 レジスタの CCLR2 ~ CCLR0 ビットが “ 011b ” (同期クリア) の場合、TRD0 レジスタは TRD1 レジスタが “ 0000h ” になるとき、同時に “ 0000h ” になります。

同様に、TRDMR レジスタの SYNC ビットが “ 1 ” で、かつ TRDCR1 レジスタの CCLR2 ~ CCLR0 ビットが “ 011b ” (同期クリア) の場合、TRD1 レジスタは TRD0 レジスタが “ 0000h ” になるとき、同時に “ 0000h ” になります。

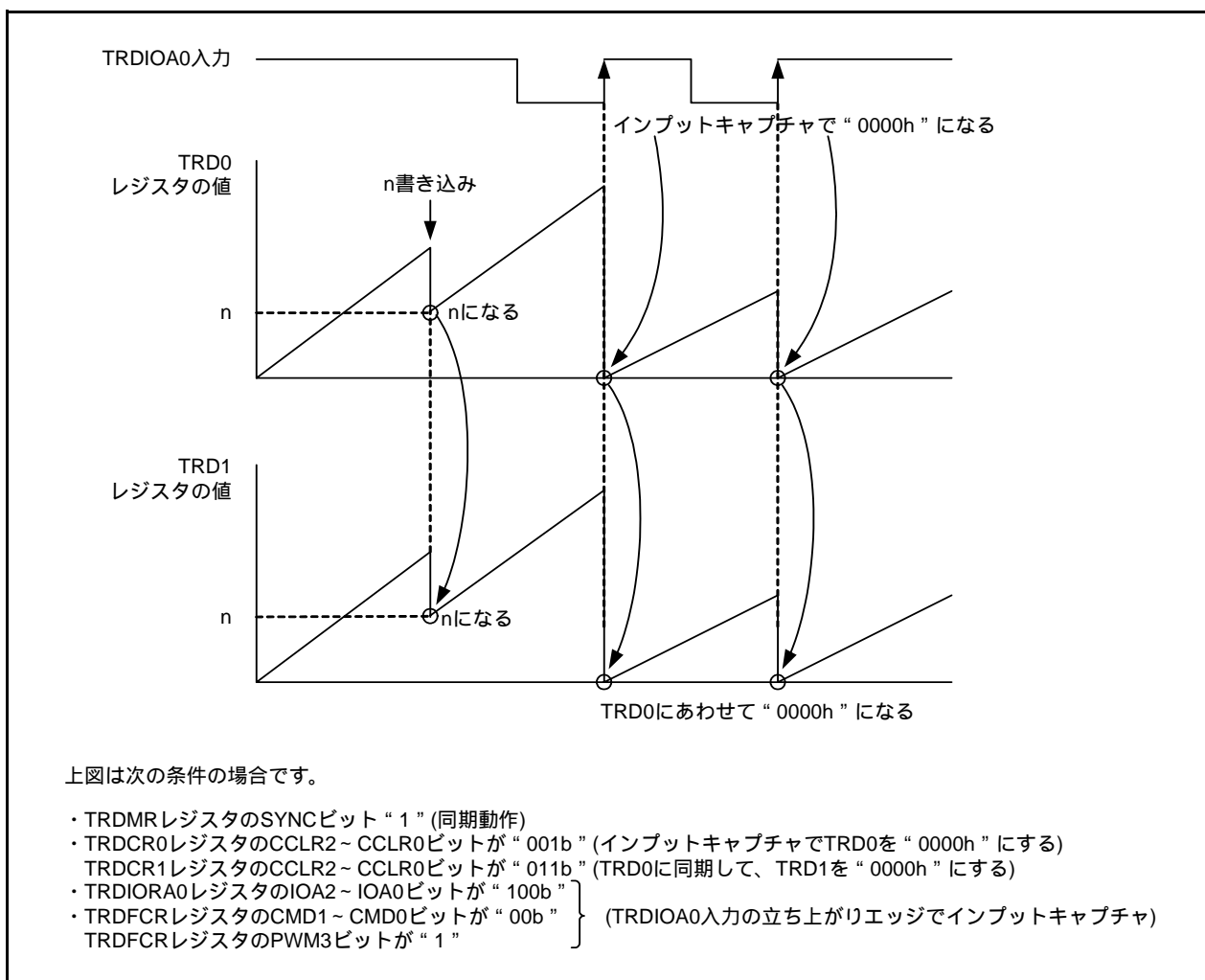


図 20.5 同期動作

20.2.4 パルス出力強制遮断

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRDIO j ($i=0 \sim 1$, $j=A, B, C, D$ のいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを“0”(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。TRDOER2レジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(タイマRD出力禁止、TRDIO j 出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRDの動作クロック(「表20.1 タイマRDの動作クロック」参照)の1～2サイクル後にTRDIO j 出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス、“L”出力、または“H”出力)をP2レジスタとPD2レジスタで設定。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択する。
- TRDOER2レジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変化に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は、「11. 割り込み」を参照してください。

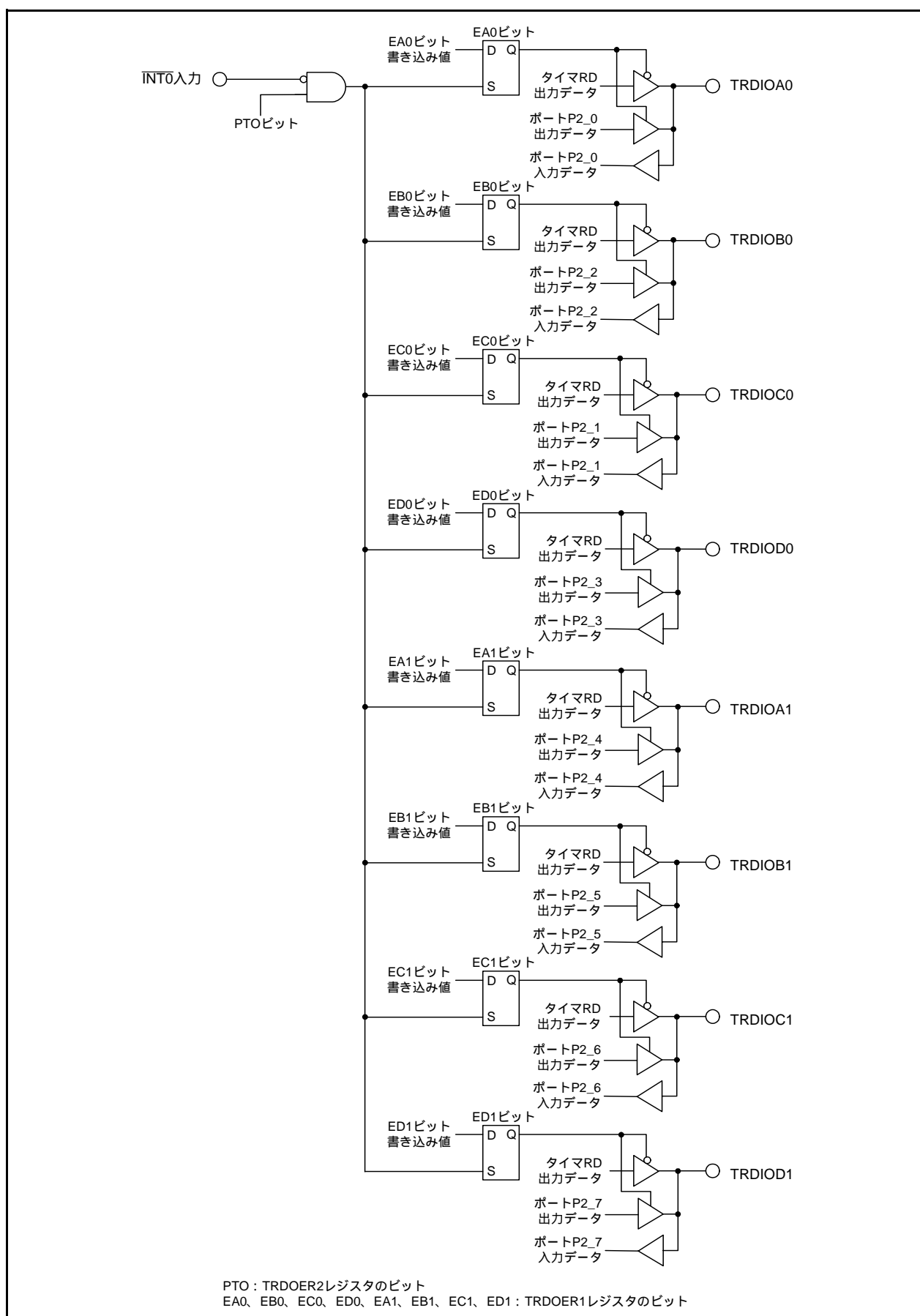


図 20.6 パルス出力強制遮断

20.3 インพุットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIO_{ji} (i=0 ~ 1, j=A, B, C, Dのいずれか) 端子の外部信号をトリガにしてTRDiレジスタ(カウンタ)の内容をTRDGR_{ji}レジスタに転送します(インพุットキャプチャ)。TRDIO_{ji}端子とTRDGR_{ji}レジスタの組み合わせで機能しますので、端子1本ごとにインพุットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRDGRA0レジスタはfOCO128をインพุットキャプチャのトリガ入力として選択できます。

図 20.7 にインพุットキャプチャ機能のブロック図を、表 20.5 にインพุットキャプチャ機能の仕様を、図 20.8 にインพุットキャプチャ機能の動作例を示します。

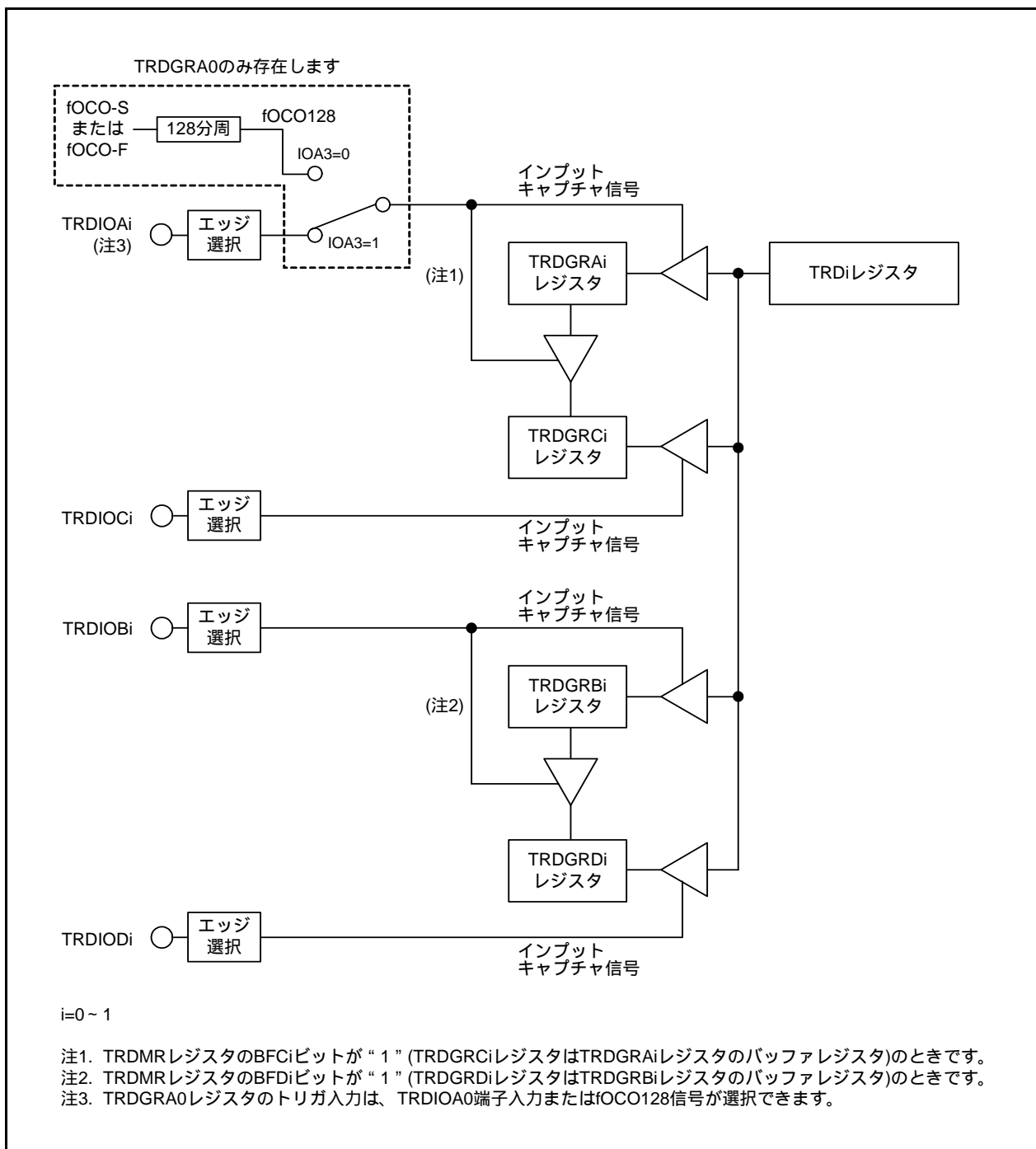


図 20.7 インพุットキャプチャ機能のブロック図

表20.5 インพุットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fC2、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2 ~ CCLR0ビットが“000b”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み
割り込み要求発生 タイミング	<ul style="list-style-type: none"> インพุットキャプチャ (TRDIOji入力の有効エッジ、またはfOCO128信号のエッジ) TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、インพุットキャプチャ入力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、 TRDIOA1 ~ TRDIOD1端子機能	プログラマブル入出力ポート、またはインพุットキャプチャ入力 (1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> TRDMRレジスタのSYNCビットが“0”(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める TRDMRレジスタのSYNCビットが“1”(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> インพุットキャプチャ入力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 インพุットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 TRDiを“0000h”にするタイミング オーバフロー、またはインพุットキャプチャ時 バッファ動作(「20.2.2 バッファ動作」参照) 同期動作(「20.2.3 同期動作」参照) デジタルフィルタ TRDIOji入力をサンプリングし、3回一致したらレベルが確定したとみなす インพุットキャプチャトリガ選択 TRDGRA0レジスタのインพุットキャプチャトリガ入力にfOCO128を選択できる

i=0 ~ 1、j=A、B、C、Dのいずれか

20.3.1 モジュールスタンバイ制御レジスタ (MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I ² Cバススタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ (注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。

注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR_i (i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。

注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

20.3.2 タイマRD拡張制御レジスタ (TRDECR)

アドレス 0135h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	-	-	-	ITCLK0	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	ITCLK0	タイマRD0用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択 (注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	ITCLK1	タイマRD1用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択 (注1)	R/W

注1. タイマモードのとき有効です。

20.3.3 タイマRDスタートレジスタ(TRDSTR)[インプットキャプチャ機能時]

アドレス 0137h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0 カウント開始フラグ	0 : カウント停止 1 : カウント開始	R/W
b1	TSTART1	TRD1 カウント開始フラグ		R/W
b2	CSEL0	TRD0 カウント動作選択ビット	インプットキャプチャ機能では“1”にしてください	R/W
b3	CSEL1	TRD1 カウント動作選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	-			

TRDSTR レジスタはMOV 命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD 使用上の注意事項の「20.10.1 TRDSTR レジスタ」を参照してください。

20.3.4 タイマRDモードレジスタ(TRDMR)[インプットキャプチャ機能時]

アドレス 0138h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	-	-	-	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	0 : TRD0 と TRD1 は独立動作 1 : TRD0 と TRD1 は同期動作	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b2	-			
b3	-			
b4	BFC0	TRDGRC0 レジスタ機能選択ビット	0 : ジェネラルレジスタ 1 : TRDGRA0 レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0 レジスタ機能選択ビット	0 : ジェネラルレジスタ 1 : TRDGRB0 レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1 レジスタ機能選択ビット	0 : ジェネラルレジスタ 1 : TRDGRA1 レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1 レジスタ機能選択ビット	0 : ジェネラルレジスタ 1 : TRDGRB1 レジスタのバッファレジスタ	R/W

20.3.5 タイマRD PWMモードレジスタ(TRDPMR)[インプットキャプチャ機能時]

アドレス 0139h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	PWMD1	PWMC1	PWMB1	-	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDIOB0 PWMモード選択ビット	インプットキャプチャ機能では“0”(タイマモード)にしてください	R/W
b1	PWMC0	TRDIOC0 PWMモード選択ビット		R/W
b2	PWMD0	TRDIOD0 PWMモード選択ビット		R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	PWMB1	TRDIOB1 PWMモード選択ビット	インプットキャプチャ機能では“0”(タイマモード)にしてください	R/W
b5	PWMC1	TRDIOC1 PWMモード選択ビット		R/W
b6	PWMD1	TRDIOD1 PWMモード選択ビット		R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

20.3.6 タイマRD機能制御レジスタ(TRDFCR)[インプットキャプチャ機能時]

アドレス 013Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット (注1)	インプットキャプチャ機能では“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	インプットキャプチャ機能では無効です	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット		R/W
b7	PWM3	PWM3モード選択ビット(注2)	インプットキャプチャ機能では“1”(PWM3モード以外)にしてください	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.3.7 タイマRD デジタルフィルタ機能選択レジスタ i (TRDDFi)($i=0 \sim 1$) [インプットキャプチャ機能時]

アドレス 013Eh 番地 (TRDDF0)、013Fh 番地 (TRDDF1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	-	-	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRDIOA 端子デジタルフィルタ機能 選択ビット	0 : 機能なし 1 : 機能あり	R/W
b1	DFB	TRDIOB 端子デジタルフィルタ機能 選択ビット		R/W
b2	DFC	TRDIOC 端子デジタルフィルタ機能 選択ビット		R/W
b3	DFD	TRDIOD 端子デジタルフィルタ機能 選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	DFCK0	デジタルフィルタ機能用クロック選 択ビット	b7 b6 0 0 : f32 0 1 : f8 1 0 : f1 1 1 : カウントソース (TRDCR <i>i</i> レジスタの TCK2 ～ TCK0 ビットで選択したクロック)	R/W
b7	DFCK1			R/W

20.3.8 タイマRD制御レジスタi (TRDCRi)(i=0 ~ 1)[インプットキャプチャ機能時]

アドレス 0140h 番地 (TRDCR0)、0150h 番地 (TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	
b0	TCK0	カウントソース選択ビット	b2 b1 b0	R/W
b1	TCK1		0 0 0 : f1	R/W
b2	TCK2		0 0 1 : f2	R/W
			0 1 0 : f4	
			0 1 1 : f8	
		1 0 0 : f32		
		1 0 1 : TRDCLK入力(注1)またはfC2 (注2)		
		1 1 0 : fOCO40M		
		1 1 1 : fOCO-F(注5)		
b3	CKEG0	外部クロックエッジ選択ビット (注3)	b4 b3	R/W
b4	CKEG1		0 0 : 立ち上がりエッジでカウント	R/W
			0 1 : 立ち下がりエッジでカウント	
			1 0 : 両エッジでカウント	
			1 1 : 設定しないでください	
b5	CCLR0	TRDiカウンタクリア選択ビット	b7 b6 b5	R/W
b6	CCLR1		0 0 0 : クリア禁止(フリーランニング動作)	R/W
b7	CCLR2		0 0 1 : TRDGRAiのインプットキャプチャでクリア	R/W
			0 1 0 : TRDGRBiのインプットキャプチャでクリア	
		0 1 1 : 同期クリア(他のタイマRDiのカウンタと同時 にクリア)(注4)		
		1 0 0 : 設定しないでください		
		1 0 1 : TRDGRCiのインプットキャプチャでクリア		
		1 1 0 : TRDGRDiのインプットキャプチャでクリア		
		1 1 1 : 設定しないでください		

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードで、TRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。

注3. TCK2 ~ TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注4. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。

注5. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.3.9 タイマRD I/O制御レジスタAi (TRDIORAi)(i=0 ~ 1)[インプットキャプチャ機能時]

アドレス 0141h番地(TRDIORA0)、0151h番地(TRDIORA1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	IOA0	TRDGRA制御ビット	b1 b0 00: 立ち上がりエッジでTRDGRAiヘインプット キャプチャ 01: 立ち下がりエッジでTRDGRAiヘインプット キャプチャ 10: 両エッジでTRDGRAiヘインプットキャプチャ 11: 設定しないでください	R/W	
b1	IOA1		R/W		
b2	IOA2		TRDGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプット キャプチャ)にしてください	R/W
b3	IOA3	インプットキャプチャ入力切替 ビット(注3、4)	0: fOCO128信号 1: TRDIOA0端子入力	R/W	
b4	IOB0	TRDGRB制御ビット	b5 b4 00: 立ち上がりエッジでTRDGRBiヘインプット キャプチャ 01: 立ち下がりエッジでTRDGRBiヘインプット キャプチャ 10: 両エッジでTRDGRBiヘインプットキャプチャ 11: 設定しないでください	R/W	
b5	IOB1		R/W		
b6	IOB2		TRDGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプット キャプチャ)にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。			-

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDIORA0レジスタのみ有効です。TRDIORA1レジスタは、“1”にしてください。

注4. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

20.3.10 タイマRD I/O制御レジスタCi (TRDIORCi)(i=0 ~ 1)[インプットキャプチャ機能時]

アドレス 0142h 番地 (TRDIORC0)、0152h 番地 (TRDIORC1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRDGRC制御ビット	b1 b0 00: 立ち上がりエッジでTRDGRCiヘインプットキャプチャ 01: 立ち下がりエッジでTRDGRCiヘインプットキャプチャ 10: 両エッジでTRDGRCiヘインプットキャプチャ 11: 設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRDGRCモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOC3	TRDGRCレジスタ機能選択ビット	インプットキャプチャ機能では“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください	R/W
b4	IOD0	TRDGRD制御ビット	b5 b4 00: 立ち上がりエッジでTRDGRDiヘインプットキャプチャ 01: 立ち下がりエッジでTRDGRDiヘインプットキャプチャ 10: 両エッジでTRDGRDiヘインプットキャプチャ 11: 設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRDGRDモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	IOD3	TRDGRDレジスタ機能選択ビット	インプットキャプチャ機能では“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください	R/W

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

20.3.11 タイマRD ステータスレジスタ_i (TRDSR_i)(_i=0 ~ 1)[インプットキャプチャ機能時]

アドレス 0143h 番地 (TRDSR₀)、0153h 番地 (TRDSR₁)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR ₀ レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR ₁ レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDSR ₀ レジスタ： TRDIOA ₀ レジスタのIOA ₃ ビットが“0” (fOCO128信号)の場合、fOCO128信号のエッジ TRDIOA ₀ レジスタのIOA ₃ ビットが“1” (TRDIOA ₀ 入力)の場合、TRDIOA ₀ 端子の入力エッジ(注3) TRDSR ₁ レジスタ： TRDIOA ₁ 端子の入力エッジ(注3)	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDIOB _i 端子の入力エッジ(注3)	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDIOC _i 端子の入力エッジ(注4)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDIOD _i 端子の入力エッジ(注4)	R/W
b4	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	インプットキャプチャ機能では無効です	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-			

注1. TRDSR₀ レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDIORA_i レジスタのIOj₁ ~ IOj₀ ビット(j=AまたはB)で選択したエッジ。

注4. TRDIORC_i レジスタのIOk₁ ~ IOk₀ ビット(k=CまたはD)で選択したエッジ。

TRDMR レジスタのBFk_i ビットが“1”(TRDGRk_iはバッファレジスタ)の場合を含む。

20.3.12 タイマRD割り込み許可レジスタ i (TRDIER i)($i=0 \sim 1$)[インプットキャプチャ機能時]

アドレス 0144h 番地 (TRDIER0)、0154h 番地 (TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致 割り込み許可ビットA	0 : IMFA ビットによる割り込み(IMIA) 禁止 1 : IMFA ビットによる割り込み(IMIA) 許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致 割り込み許可ビットB	0 : IMFB ビットによる割り込み(IMIB) 禁止 1 : IMFB ビットによる割り込み(IMIB) 許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致 割り込み許可ビットC	0 : IMFC ビットによる割り込み(IMIC) 禁止 1 : IMFC ビットによる割り込み(IMIC) 許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致 割り込み許可ビットD	0 : IMFD ビットによる割り込み(IMID) 禁止 1 : IMFD ビットによる割り込み(IMID) 許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0 : OVF ビットによる割り込み(OVI) 禁止 1 : OVF ビットによる割り込み(OVI) 許可	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

20.3.13 タイマRDカウンタ i (TRDi)($i=0 \sim 1$)[インプットキャプチャ機能時]

アドレス 0147h ~ 0146h 番地 (TRD0)、0157h ~ 0156h 番地 (TRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR i レジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.3.14 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i=0 ~ 1)[インプットキャプチャ機能時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	「表20.6 インプットキャプチャ機能時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

インプットキャプチャ機能では、次のレジスタは無効です。

TRDOER1、TRDOER2、TRDOCR、TRDPOCR0、TRDPOCR1

表20.6 インプットキャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ 入力端子
TRDGRAi		ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます(「20.2.2 バッファ動作」参照)。	TRDIOAi
TRDGRDi	BFDi=1		TRDIOBi

i=0 ~ 1、j=A、B、C、Dのいずれか

BFCi、BFDi：TRDMRレジスタのビット

TRDIOji端子に入力するインプットキャプチャ信号のパルス幅は、デジタルフィルタなし(TRDDFiレジスタのDFjビットが“0”)の場合、タイマRDの動作クロック(「表20.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

20.3.15 タイマRD 端子選択レジスタ0 (TRDPSR0)

アドレス 0184h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	-	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK 端子選択ビット	0 : TRDIOA0/TRDCLK 端子は使用しない 1 : P2_0 に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB0SEL0	TRDIOB0 端子選択ビット	b3 b2 0 0 : TRDIOB0 端子は使用しない 0 1 : 設定しないでください 1 0 : P2_2 に割り当てる 1 1 : 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0 端子選択ビット	b5 b4 0 0 : TRDIOC0 端子は使用しない 0 1 : 設定しないでください 1 0 : P2_1 に割り当てる 1 1 : 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0 端子選択ビット	0 : TRDIOD0 端子は使用しない 1 : P2_3 に割り当てる	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

TRDPSR0 レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0 レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0 レジスタを設定してください。また、タイマRDの動作中はTRDPSR0 レジスタの設定値を変更しないでください。

20.3.16 タイマRD 端子選択レジスタ1 (TRDPSR1)

アドレス 0185h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD1SEL0	-	TRDIOC1SEL0	-	TRDIOB1SEL0	-	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1 端子選択ビット	0 : TRDIOA1 端子は使用しない 1 : P2_4 に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB1SEL0	TRDIOB1 端子選択ビット	0 : TRDIOB1 端子は使用しない 1 : P2_5 に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TRDIOC1SEL0	TRDIOC1 端子選択ビット	0 : TRDIOC1 端子は使用しない 1 : P2_6 に割り当てる	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1 端子選択ビット	0 : TRDIOD1 端子は使用しない 1 : P2_7 に割り当てる	R/W
b7	-	予約ビット	“0” にしてください	R/W

TRDPSR1 レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1 レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1 レジスタを設定してください。また、タイマRDの動作中はTRDPSR1 レジスタの設定値を変更しないでください。

20.3.17 動作例

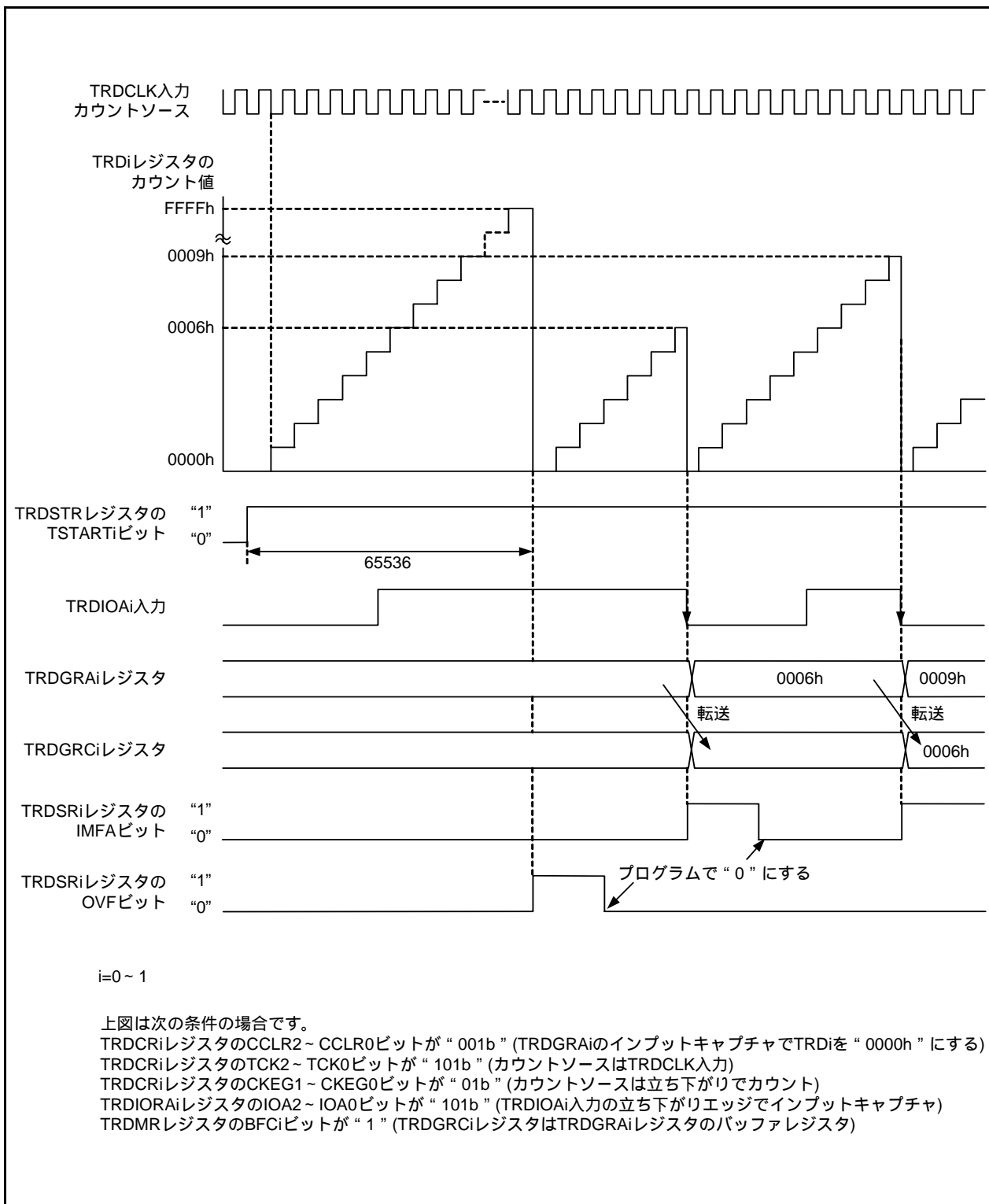


図20.8 インプットキャプチャ機能の動作例

20.3.18 デジタルフィルタ

TRDIO_{ji} (i=0 ~ 1, j=A、B、C、Dのいずれか) 入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRDDFiレジスタで選択してください。

図20.9にデジタルフィルタのブロック図を示します。

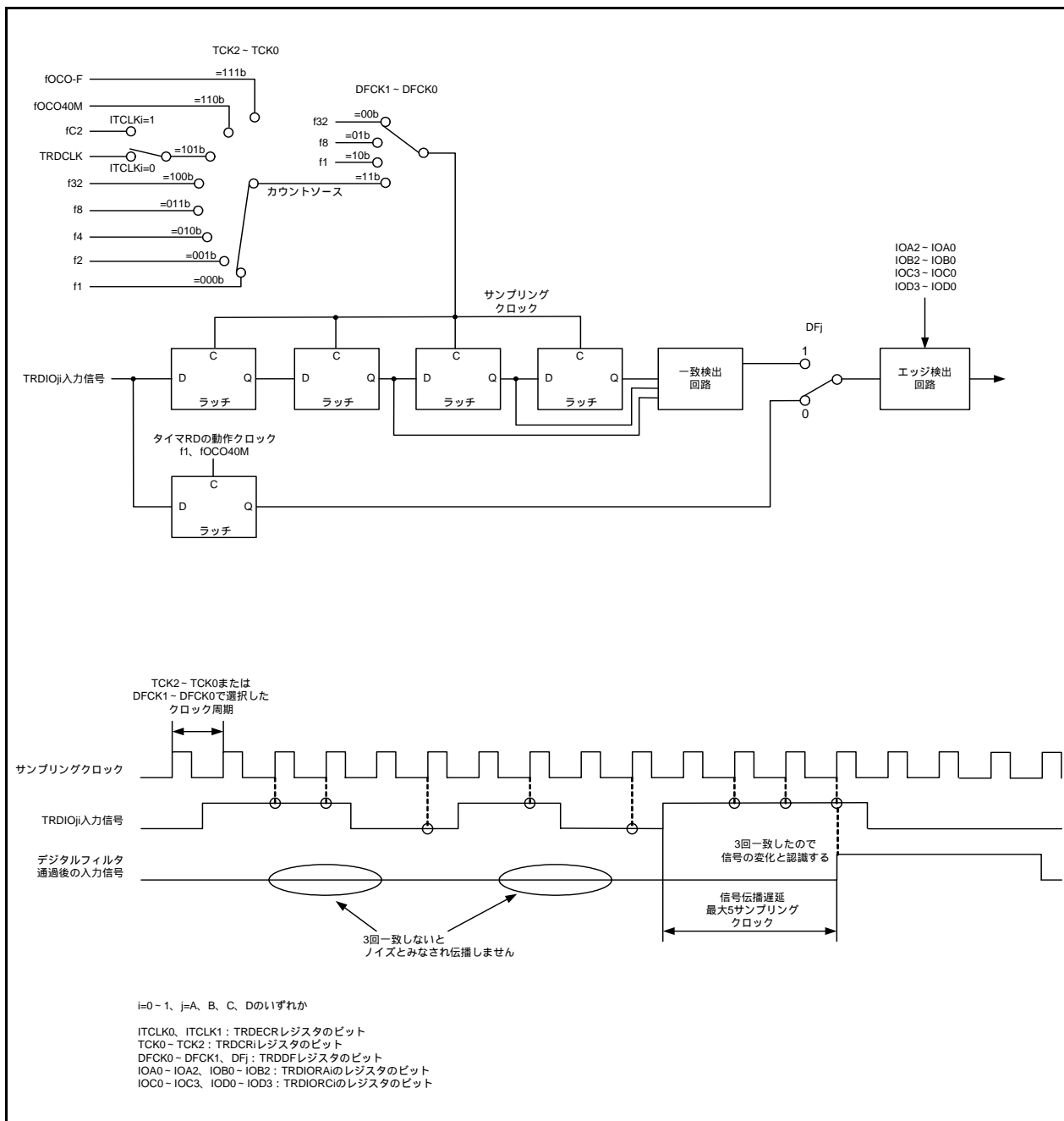


図20.9 デジタルフィルタのブロック図

20.4 アウトプットコンペア機能

TRDi (i=0 ~ 1) レジスタ(カウンタ)の内容と、TRDGRj (j=A、B、C、Dのいずれか) レジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき TRDIOj 端子から任意のレベルを出力します。TRDIOj 端子と TRDGRj レジスタの組み合わせで機能しますので、端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

図 20.10 にアウトプットコンペア機能のブロック図を、表 20.7 にアウトプットコンペア機能の仕様を、図 20.11 にアウトプットコンペア機能の動作例を示します。

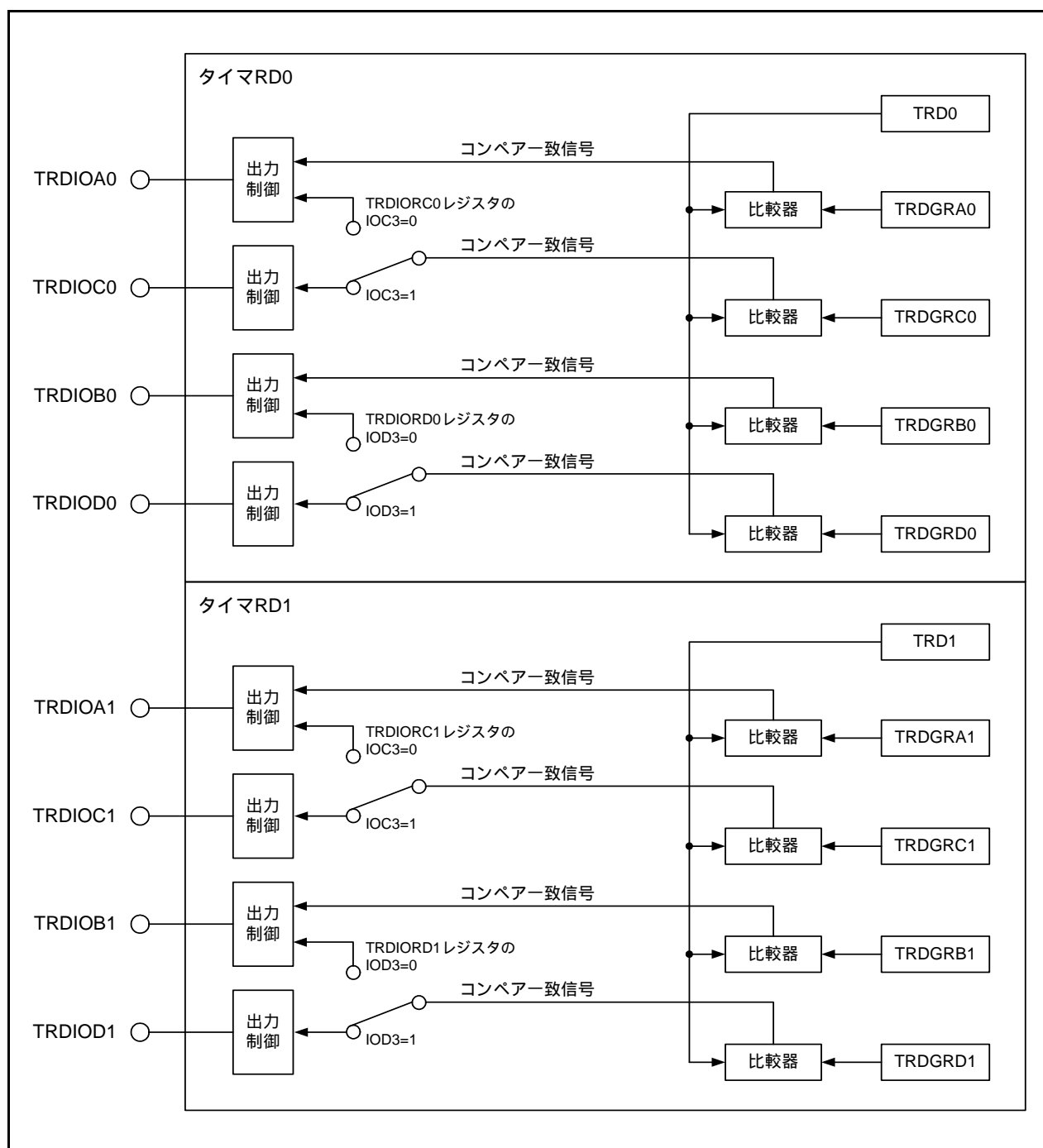


図 20.10 アウトプットコンペア機能のブロック図

表20.7 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fC2、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> • TRDCRiレジスタのCCLR2 ~ CCLR0ビットが“000b”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 • TRDCRiレジスタのCCLR1 ~ CCLR0ビットが“01b”、“10b”(TRDGRjiのコンペア一致でTRDiを“0000h”にする)の場合 カウントソースの周期 $\times (n+1)$ n: TRDGRjiレジスタ設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペア一致でカウント停止 アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、アウトプットコンペア出力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • TRDMRレジスタのSYNCビットが“0”(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める • TRDMRレジスタのSYNCビットが“1”(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> • アウトプットコンペア出力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • コンペア一致時の出力レベル選択 “L”出力、“H”出力、または出力レベル反転 • 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 • TRDiを“0000h”にするタイミング オーバフロー、またはTRDGRAiレジスタのコンペア一致 • バッファ動作(「20.2.2 バッファ動作」参照) • 同期動作(「20.2.3 同期動作」参照) • TRDGRCi、TRDGRDiの出力端子変更 TRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用できる • パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照) • タイマRDは出力しないことで内部タイマとして使用できる • A/Dトリガ発生

i=0 ~ 1、j=A、B、C、Dのいずれか

20.4.1 モジュールスタンバイ制御レジスタ (MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I ² Cバススタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ (注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。

注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR_i (i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。

注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

20.4.2 タイマRD拡張制御レジスタ (TRDECR)

アドレス 0135h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	-	-	-	ITCLK0	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	ITCLK0	タイマRD0用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択 (注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	ITCLK1	タイマRD1用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択 (注1)	R/W

注1. タイマモードのとき有効です。

20.4.3 タイマRDトリガ制御レジスタ (TRDADCR)

アドレス 0136h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

20.4.4 タイマRDスタートレジスタ (TRDSTR)[アウトプットコンペア機能時]

アドレス 0137h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0 カウント開始フラグ(注3)	0 : カウント停止(注1) 1 : カウント開始	R/W
b1	TSTART1	TRD1 カウント開始フラグ(注4)	0 : カウント停止(注2) 1 : カウント開始	R/W
b2	CSEL0	TRD0 カウント動作選択ビット	0 : TRDGRA0 レジスタとのコンペア一致でカウント停止 1 : TRDGRA0 レジスタとのコンペア一致後もカウント継続	R/W
b3	CSEL1	TRD1 カウント動作選択ビット	0 : TRDGRA1 レジスタとのコンペア一致でカウント停止 1 : TRDGRA1 レジスタとのコンペア一致後もカウント継続	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	-			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

20.4.5 タイマRDモードレジスタ (TRDMR)[アウトプットコンペア機能時]

アドレス 0138h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	-	-	-	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	0 : TRD0とTRD1は独立動作 1 : TRD0とTRD1は同期動作	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b2	-			
b3	-			
b4	BFC0	TRDGR0 レジスタ機能選択ビット (注1)	0 : ジェネラルレジスタ 1 : TRDGRA0 レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGR0 レジスタ機能選択ビット (注1)	0 : ジェネラルレジスタ 1 : TRDGRB0 レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGR1 レジスタ機能選択ビット (注1)	0 : ジェネラルレジスタ 1 : TRDGRA1 レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGR1 レジスタ機能選択ビット (注1)	0 : ジェネラルレジスタ 1 : TRDGRB1 レジスタのバッファレジスタ	R/W

注1. TRDIORCi (i=0 ~ 1) レジスタのIOj3 (j=CまたはD) ビットで“0”(TRDGRji レジスタ出力端子変更)を選択した場合、TRDMRレジスタのBFji ビットを“0”にしてください。

20.4.6 タイマRD PWMモードレジスタ (TRDPMR)[アウトプットコンペア機能時]

アドレス 0139h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	PWMD1	PWMC1	PWMB1	-	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDIOB0 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください	R/W
b1	PWMC0	TRDIOC0 PWMモード選択ビット		R/W
b2	PWMD0	TRDIOD0 PWMモード選択ビット		R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	PWMB1	TRDIOB1 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください	R/W
b5	PWMC1	TRDIOC1 PWMモード選択ビット		R/W
b6	PWMD1	TRDIOD1 PWMモード選択ビット		R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

20.4.7 タイマRD機能制御レジスタ (TRDFCR)[アウトプットコンペア機能時]

アドレス 013Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンピネーションモード選択ビット (注1)	アウトプットコンペア機能では“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	アウトプットコンペア機能では無効です	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注2)	アウトプットコンペア機能では“1”(PWM3モード以外)にしてください	R/W

注1. CMD1 ~ CMD0 ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1 ~ CMD0 ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.4.8 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1) [アウトプットコンペア機能時]

アドレス 013Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA0端子はプログラマブル入出力ポート)	R/W
b1	EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	R/W

20.4.9 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2) [アウトプットコンペア機能時]

アドレス 013Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	-	-	-	-
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット (注1)	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1. 「20.2.4 パルス出力強制遮断」を参照してください。

20.4.10 タイマRDアウトプット制御レジスタ(TRDOCR)[アウトプットコンペア機能時]

アドレス 013Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット	0: 初期出力 “L” 1: 初期出力 “H”	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット		R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット	0: “L” 1: “H”	R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット		R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット		R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット		R/W

TRDOCR レジスタは、TRDSTR レジスタのTSTART0、TSTART1 ビットがともに “0” (カウント停止)のとき書いてください。

TRDOCR レジスタが端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRDOCR レジスタを設定したとき、初期出力レベルが出力されます。

20.4.11 タイマRD制御レジスタi (TRDCRi)(i=0 ~ 1)[アウトプットコンペア機能時]

アドレス 0140h 番地 (TRDCR0)、0150h 番地 (TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0	R/W
b1	TCK1		0 0 0 : f1	R/W
b2	TCK2		0 0 1 : f2	R/W
			0 1 0 : f4	
		0 1 1 : f8		
		1 0 0 : f32		
		1 0 1 : TRDCLK入力(注1)またはfC2 (注2)		
		1 1 0 : fOCO40M		
		1 1 1 : fOCO-F(注5)		
b3	CKEG0	外部クロックエッジ選択ビット(注3)	b4 b3	R/W
b4	CKEG1		0 0 : 立ち上がりエッジでカウント	R/W
		0 1 : 立ち下がりエッジでカウント		
		1 0 : 両エッジでカウント		
		1 1 : 設定しないでください		
b5	CCLR0	TRDiカウンタクリア選択ビット	b7 b6 b5	R/W
b6	CCLR1		0 0 0 : クリア禁止(フリーランニング動作)	R/W
b7	CCLR2		0 0 1 : TRDGRAiのコンペア一致でクリア	R/W
			0 1 0 : TRDGRBiのコンペア一致でクリア	
		0 1 1 : 同期クリア(他のタイマRDiのカウンタと同時にクリア)(注4)		
		1 0 0 : 設定しないでください		
		1 0 1 : TRDGRCiのコンペア一致でクリア		
		1 1 0 : TRDGRDiのコンペア一致でクリア		
		1 1 1 : 設定しないでください		

注1. TRDECR レジスタの ITCLK_i ビットが “0” (TRDCLK 入力) かつ TRDFCR レジスタの STCLK ビットが “1” (外部クロック入力有効) のとき、有効です。

注2. タイマモードで、TRDECR レジスタの ITCLK_i ビットが “1” (fC2) のとき有効です。

注3. TCK2 ~ TCK0 ビットが “101b” (TRDCLK 入力または fC2)、TRDECR レジスタの ITCLK_i ビットが “0” (TRDCLK 入力)、かつ TRDFCR レジスタの STCLK ビットが “1” (外部クロック入力有効) のとき、有効です。

注4. TRDMR レジスタの SYNC ビットが “1” (TRD0 と TRD1 は同期動作) のとき、有効です。

注5. fOCO-F を選択するとき、CPU クロックより速いクロック周波数に fOCO-F を設定してください。

20.4.12 タイマRD I/O制御レジスタAi (TRDIORAi)(i=0 ~ 1)[アウトプットコンペア機能時]

アドレス 0141h 番地 (TRDIORA0)、0151h 番地 (TRDIORA1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRDGRA制御ビット	b1 b0 00: コンペア一致による端子出力禁止 (TRDIOAi端子はプログラマブル入出力ポート) 01: TRDGRAiのコンペア一致で“L”出力 10: TRDGRAiのコンペア一致で“H”出力 11: TRDGRAiのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRDGRAモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOA3	インプットキャプチャ入力切替ビット	“1”にしてください	R/W
b4	IOB0	TRDGRB制御ビット	b5 b4 00: コンペア一致による端子出力禁止 (TRDIOBi端子はプログラマブル入出力ポート) 01: TRDGRBiのコンペア一致で“L”出力 10: TRDGRBiのコンペア一致で“H”出力 11: TRDGRBiのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRDGRBモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	-

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

20.4.13 タイマRD I/O制御レジスタCi (TRDIORCi)(i=0 ~ 1)[アウトプットコンペア機能時]

アドレス 0142h 番地 (TRDIORC0)、0152h 番地 (TRDIORC1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRDGRC制御ビット	b1 b0 00: コンペア一致による端子出力禁止 01: TRDGRCiのコンペア一致で“L”出力 10: TRDGRCiのコンペア一致で“H”出力 11: TRDGRCiのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRDGRCモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOC3	TRDGRCレジスタ機能選択ビット	0: TRDIOA出力レジスタ (「20.4.21 TRDGRCi (i=0 ~ 1)、TRDGRDi レジスタの出力端子変更」参照) 1: ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRDGRD制御ビット	b5 b4 00: コンペア一致による端子出力禁止 01: TRDGRDiのコンペア一致で“L”出力 10: TRDGRDiのコンペア一致で“H”出力 11: TRDGRDiのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRDGRDモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	IOD3	TRDGRDレジスタ機能選択ビット	0: TRDIOB出力レジスタ (「20.4.21 TRDGRCi (i=0 ~ 1)、TRDGRDi レジスタの出力端子変更」参照) 1: ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

20.4.14 タイマRD ステータスレジスタ i (TRDSR i)($i=0 \sim 1$)[アウトプットコンペア機能時]

アドレス 0143h 番地 (TRDSR0)、0153h 番地 (TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0 レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1 レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	アウトプットコンペア機能では無効です	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-			

注1. TRDSR0 レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMR レジスタのBF ji ビット($j=C$ または D)が“1”(TRDGR ji はバッファレジスタ)の場合を含む。

20.4.15 タイマRD割り込み許可レジスタi (TRDIERi)(i=0 ~ 1)[アウトプットコンペア機能時]

アドレス 0144h 番地 (TRDIER0)、0154h 番地 (TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー致 割り込み許可ビットA	0 : IMFA ビットによる割り込み(IMIA) 禁止 1 : IMFA ビットによる割り込み(IMIA) 許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー致 割り込み許可ビットB	0 : IMFB ビットによる割り込み(IMIB) 禁止 1 : IMFB ビットによる割り込み(IMIB) 許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー致 割り込み許可ビットC	0 : IMFC ビットによる割り込み(IMIC) 禁止 1 : IMFC ビットによる割り込み(IMIC) 許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー致 割り込み許可ビットD	0 : IMFD ビットによる割り込み(IMID) 禁止 1 : IMFD ビットによる割り込み(IMID) 許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0 : OVF ビットによる割り込み(OVI) 禁止 1 : OVF ビットによる割り込み(OVI) 許可	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

20.4.16 タイマRDカウンタi (TRDi)(i=0 ~ 1)[アウトプットコンペア機能時]

アドレス 0147h ~ 0146h 番地 (TRD0)、0157h ~ 0156h 番地 (TRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSRi レジスタのOVF ビットが“1”になる。	0000h ~ FFFFh	R/W

TRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.4.17 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i=0 ~ 1)[アウトプットコンペア機能時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	「表20.8 アウトプットコンペア機能時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

アウトプットコンペア機能では、次のレジスタは無効です。
TRDDF0、TRDDF1、TRDPCR0、TRDPCR1

表20.8 アウトプットコンペア機能時のTRDGRjiレジスタの機能

レジスタ	設定		レジスタの機能	アウトプット コンペア出力端子
	BFji	IOj3		
TRDGRAi			ジェネラルレジスタ。コンペア値を書いてください。	TRDIOAi
TRDGRBi				TRDIOBi
TRDGRCi	0	1	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOCi
TRDGRDi				TRDIODi
TRDGRCi	1	1	バッファレジスタ。次回のコンペア値を書いてください。 (「20.2.2 バッファ動作」参照)	TRDIOAi
TRDGRDi				TRDIOBi
TRDGRCi	0	0	TRDIOAi出力制御(「20.4.21 TRDGRCi (i=0 ~ 1)、 TRDGRDiレジスタの出力端子変更」参照)	TRDIOAi
TRDGRDi				TRDIOBi

i=0 ~ 1、j=A、B、C、Dのいずれか

BFji : TRDMR レジスタのビット、IOj3 : TRDIORCi レジスタのビット

20.4.18 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	-	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	0 : TRDIOA0/TRDCLK端子は使用しない 1 : P2_0に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 0 0 : TRDIOB0端子は使用しない 0 1 : 設定しないでください 1 0 : P2_2に割り当てる 1 1 : 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 0 0 : TRDIOC0端子は使用しない 0 1 : 設定しないでください 1 0 : P2_1に割り当てる 1 1 : 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	0 : TRDIOD0端子は使用しない 1 : P2_3に割り当てる	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.4.19 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD1SEL0	-	TRDIOC1SEL0	-	TRDIOB1SEL0	-	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	0 : TRDIOA1端子は使用しない 1 : P2_4に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	0 : TRDIOB1端子は使用しない 1 : P2_5に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	0 : TRDIOC1端子は使用しない 1 : P2_6に割り当てる	R/W
b5	-	予約ビット	“0”にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	0 : TRDIOD1端子は使用しない 1 : P2_7に割り当てる	R/W
b7	-	予約ビット	“0”にしてください	R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.4.20 動作例

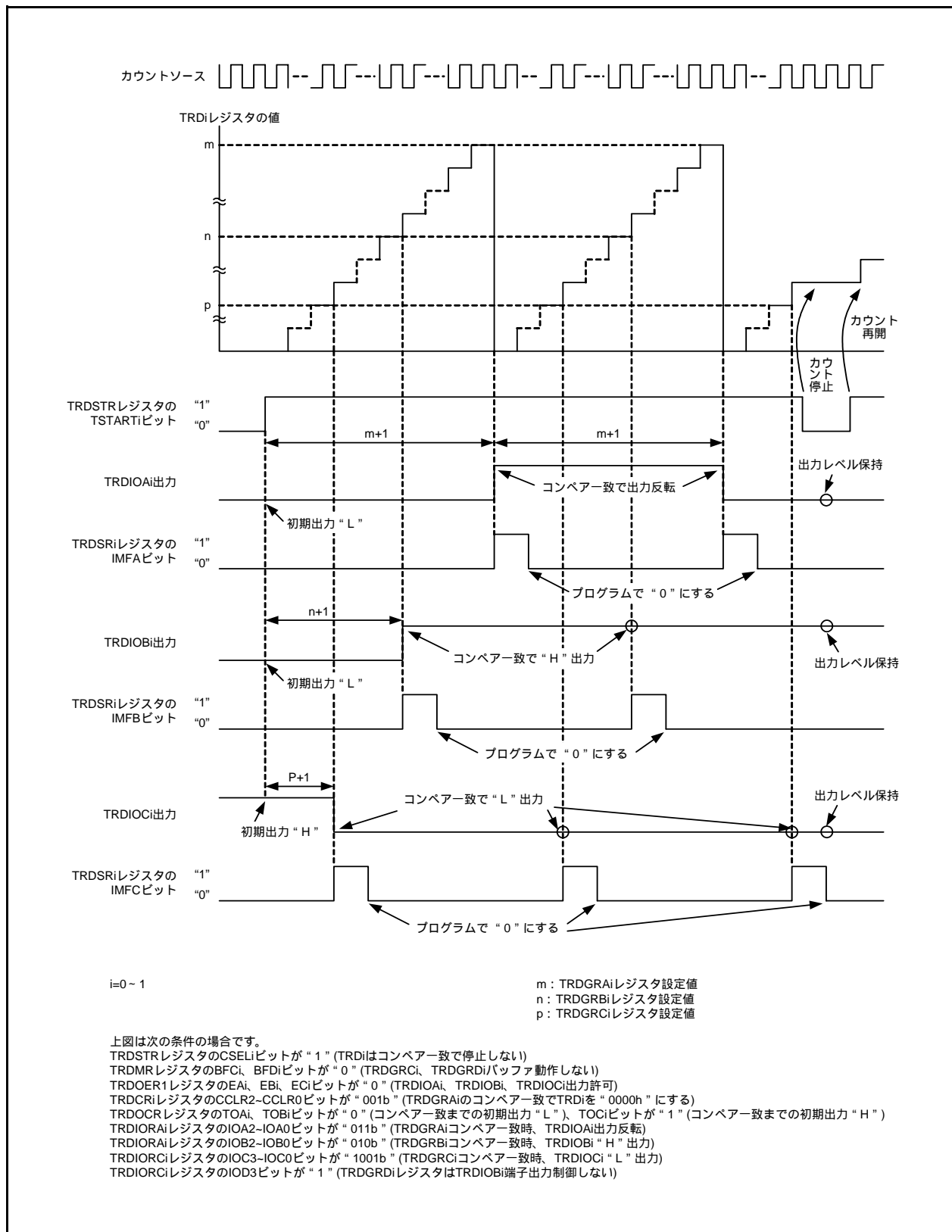


図 20.11 アウトプットコンペアー機能の動作例

20.4.21 TRDGRCi (i=0 ~ 1)、TRDGRDi レジスタの出力端子変更

TRDGRCi レジスタを TRDIOAi 端子の、TRDGRDi レジスタを TRDIOBi 端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRDIOAi 出力は、TRDGRAi レジスタの値と TRDGRCi レジスタの値の2点で制御
- TRDIOBi 出力は、TRDGRBi レジスタの値と TRDGRDi レジスタの値の2点で制御

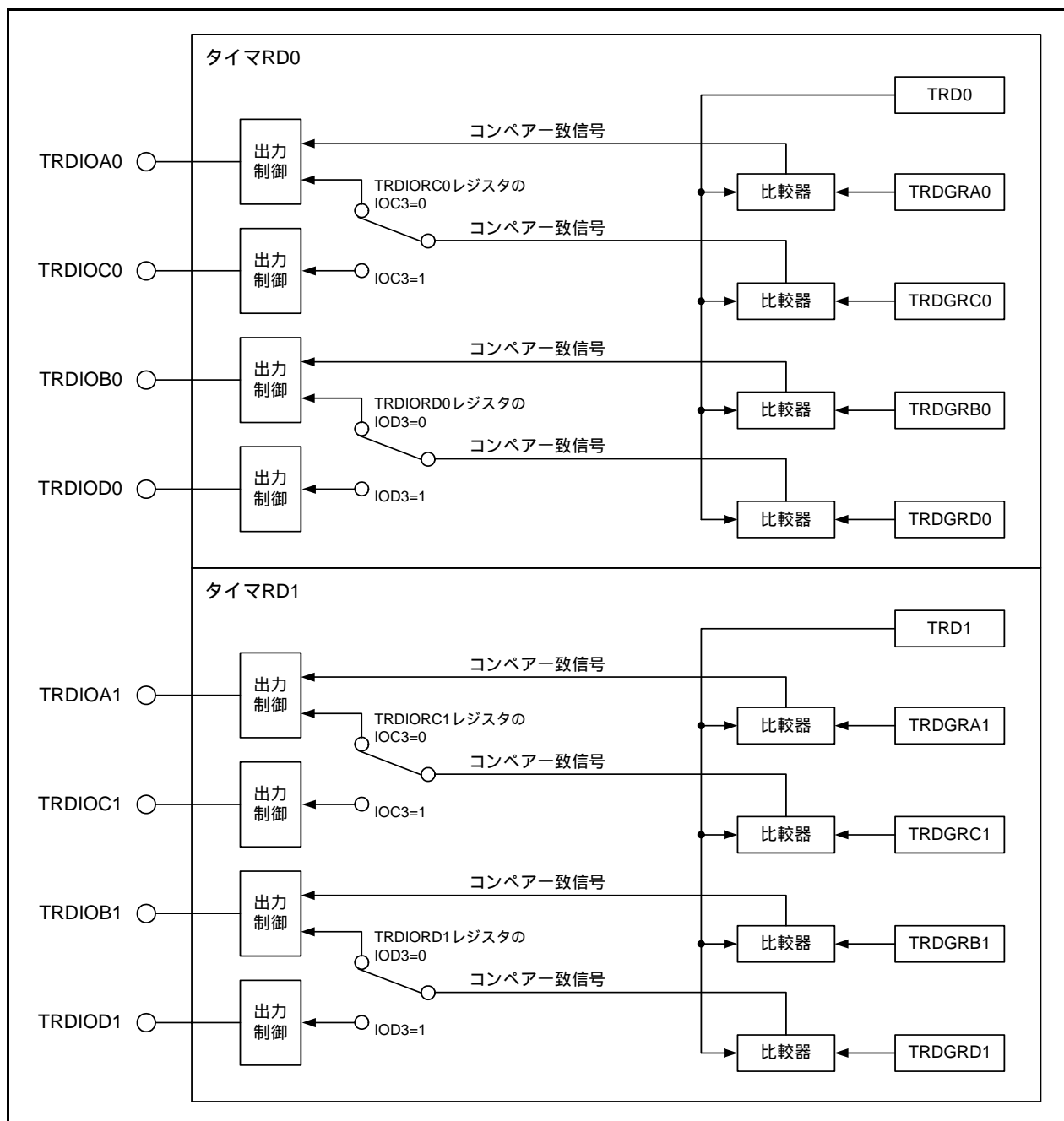


図20.12 TRDGRCi、TRDGRDiの出力端子変更

TRDGRCi、TRDGRDi レジスタの出力端子を変更する場合は、次のようにしてください。

- TRDIORCi レジスタの IOj3 (j=CまたはD) ビットで“0”(TRDGRji レジスタ出力端子変更)を選択。
- TRDMR レジスタの BFji ビットを“0”(ジェネラルレジスタ)にする。
- TRDGRAi レジスタと TRDGRCi レジスタは違う値を設定。また、TRDGRBi レジスタと TRDGRDi レジスタは違う値を設定。

図 20.13 に TRDGRCi を TRDIOAi 端子の、TRDGRDi を TRDIOBi 端子の出力制御に使用した場合の動作例を示します。

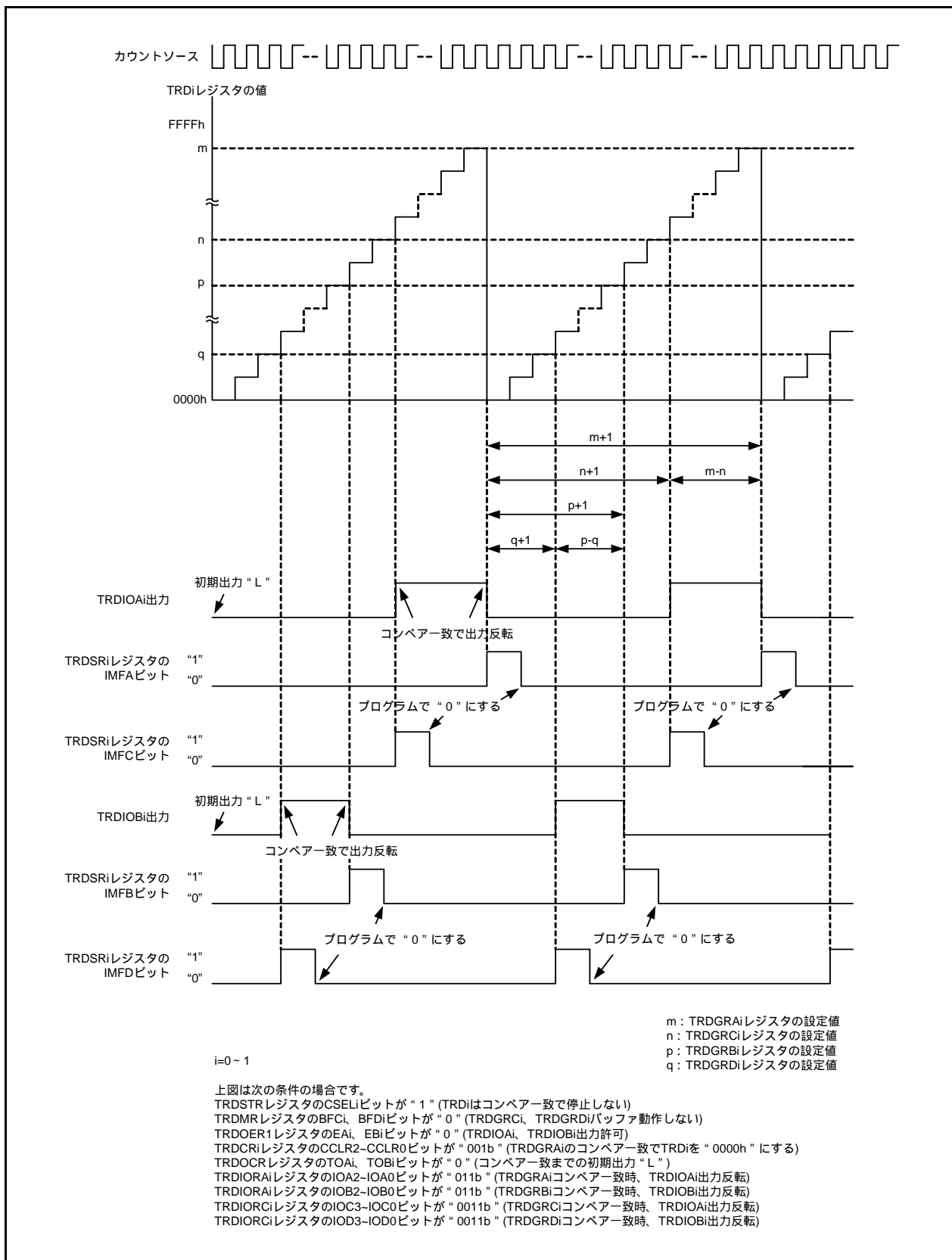


図 20.13 TRDGRCi を TRDIOAi 端子の、TRDGRDi を TRDIOBi 端子の出力制御に使用した場合の動作例

20.4.22 A/Dトリガ発生

TRDi (i=0 ~ 1)レジスタとTRDGRji (j=A、B、C、D)レジスタのコンペアー致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペアー致を使用するか選択できます。

20.5 PWMモード

PWM波形を出力するモードです。タイマRD_i (i=0 ~ 1) で同周期のPWM波形を最大3本出力できます。また、タイマRD0とタイマRD1を同期させることによって同周期のPWM波形を最大6本出力できます。

TRDIO_ji (i=0 ~ 1, j=B, C, D) 端子とTRDGR_ji レジスタの組み合わせで機能しますので、端子1本ごとにPWMモードにするか、他のモード、機能にするかを選択できます(ただし、いずれの端子をPWMモードに使用する場合もTRDGRA_i レジスタを使用しますので、TRDGRA_i レジスタは他のモードに使用できません)。

図 20.14 に PWM モードのブロック図を、表 20.9 に PWM モードの仕様を、図 20.15 ~ 図 20.16 に PWM モードの動作例を示します。

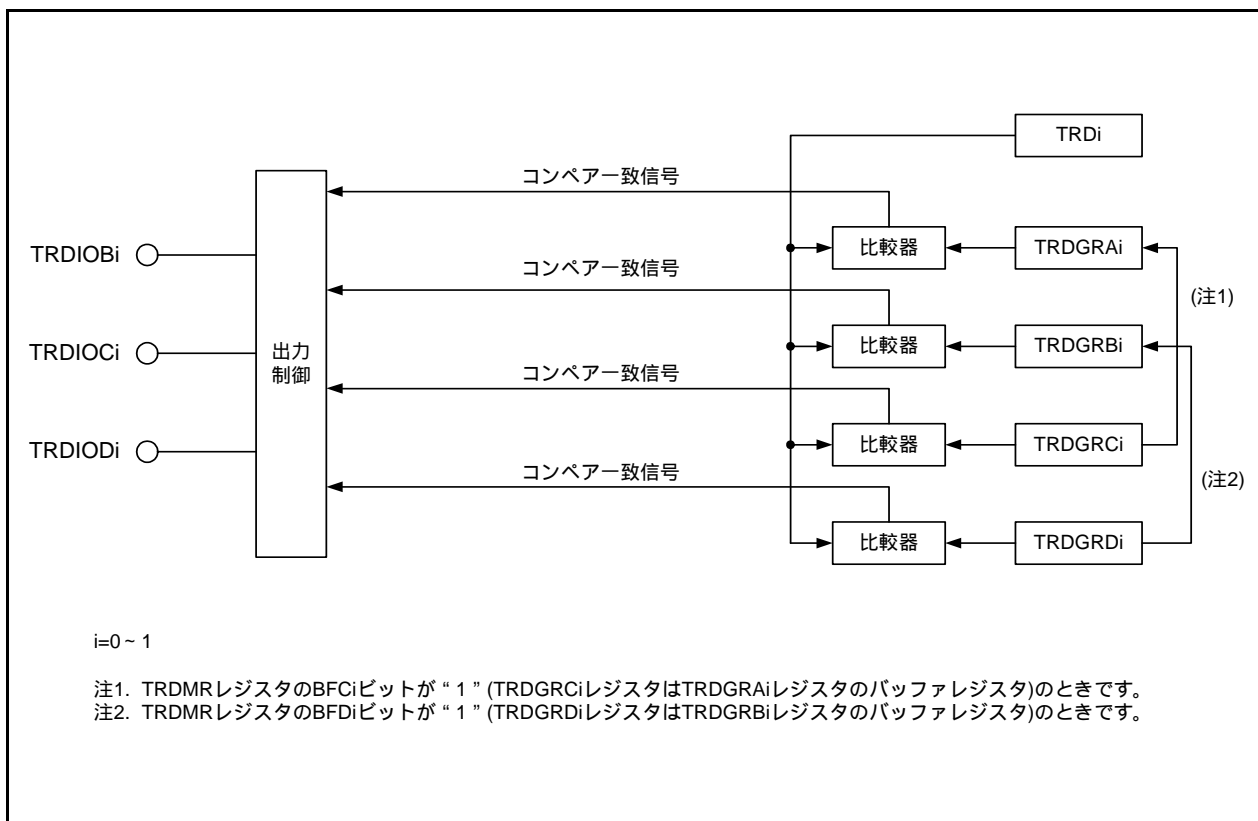
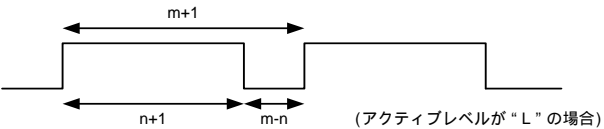


図 20.14 PWMモードのブロック図

表20.9 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	アップカウント
PWM波形	<p>PWM周期: $1/f_k \times (m+1)$ アクティブレベル幅: $1/f_k \times (m-n)$ アクティブでないレベルの幅: $1/f_k \times (n+1)$ f_k: カウントソースの周波数 m: TRDGRAi レジスタ設定値 n: TRDGRji レジスタ設定値</p>  <p>(アクティブレベルが“L”の場合)</p>
カウント開始条件	TRDSTR レジスタのTSTARTi ビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRDSTR レジスタのCSELi ビットが“1”に設定されているとき、TSTARTi ビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 • TRDSTR レジスタのCSELi ビットが“0”の場合、TRDGRAi コンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRDi レジスタとTRDGRhi レジスタの内容が一致) • TRDi オーバフロー
TRDIOA0 端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOA1 端子機能	プログラマブル入出力ポート
TRDIOB0、TRDIOC0、 TRDIOD0、TRDIOB1、 TRDIOC1、TRDIOD1 端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0 端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0 割り込み入力
タイマの読み出し	TRDi レジスタを読むと、カウント値が読める
タイマの書き込み	TRDi レジスタに書き込める
選択機能	<ul style="list-style-type: none"> • PWM出力端子をタイマRD_iで1~3本選択 TRDIOBi、TRDIOC_i、TRDIOD_i端子のいずれか1本または複数本 • アクティブレベルを1端子ごとに選択 • 初期出力レベルを1端子ごとに選択 • 同期動作(「20.2.3 同期動作」参照) • バッファ動作(「20.2.2 バッファ動作」参照) • パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照) • A/Dトリガ発生

i=0 ~ 1

j=B、C、Dのいずれか

h=A、B、C、Dのいずれか

20.5.1 モジュールスタンバイ制御レジスタ (MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I ² Cバススタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ (注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. MSTIIC ビットが“1” (スタンバイ) のとき、SSU、I²Cバス関連レジスタ (0193h ~ 019Dh 番地) へのアクセスは無効になります。

注2. MSTTRD ビットが“1” (スタンバイ) のとき、タイマRD関連レジスタ (0135h ~ 015Fh 番地) へのアクセスは無効になります。

注3. MSTTRD ビットを“1” (スタンバイ) にする場合、TRDCR_i (i=0 ~ 1) レジスタのTCK2 ~ TCK0 ビットを“000b” (f1) にしてください。

注4. MSTTRC ビットが“1” (スタンバイ) のとき、タイマRC関連レジスタ (0120h ~ 0133h 番地) へのアクセスは無効になります。

注5. MSTTRG ビットが“1” (スタンバイ) のとき、タイマRG関連レジスタ (0170h ~ 017Fh 番地) へのアクセスは無効になります。

20.5.2 タイマRD拡張制御レジスタ (TRDECR)

アドレス 0135h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	-	-	-	ITCLK0	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	ITCLK0	タイマRD0用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択 (注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	ITCLK1	タイマRD1用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択 (注1)	R/W

注1. タイマモードのとき有効です。

20.5.3 タイマRDトリガ制御レジスタ (TRDADCR)

アドレス 0136h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

20.5.4 タイマRDスタートレジスタ (TRDSTR)[PWMモード時]

アドレス 0137h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0 カウント開始フラグ(注3)	0 : カウント停止(注1) 1 : カウント開始	R/W
b1	TSTART1	TRD1 カウント開始フラグ(注4)	0 : カウント停止(注2) 1 : カウント開始	R/W
b2	CSEL0	TRD0 カウント動作選択ビット	0 : TRDGRA0 レジスタとのコンペアー致でカウン ント停止 1 : TRDGRA0 レジスタとのコンペアー致後もカ ウント継続	R/W
b3	CSEL1	TRD1 カウント動作選択ビット	0 : TRDGRA1 レジスタとのコンペアー致でカウン ント停止 1 : TRDGRA1 レジスタとのコンペアー致後もカ ウント継続	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は “1”。		-
b5	-			
b6	-			
b7	-			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペアー致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペアー致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

20.5.5 タイマRDモードレジスタ (TRDMR)[PWMモード時]

アドレス 0138h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	-	-	-	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	0 : TRD0とTRD1は独立動作 1 : TRD0とTRD1は同期動作	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b2	-			
b3	-			
b4	BFC0	TRDGRC0レジスタ機能選択ビット	0 : ジェネラルレジスタ 1 : TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0 : ジェネラルレジスタ 1 : TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0 : ジェネラルレジスタ 1 : TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0 : ジェネラルレジスタ 1 : TRDGRB1レジスタのバッファレジスタ	R/W

20.5.6 タイマRD PWMモードレジスタ(TRDPMR)[PWMモード時]

アドレス 0139h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	PWMD1	PWMC1	PWMB1	-	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	PWMB0	TRDIOB0 PWMモード選択ビット	0：タイマモード 1：PWMモード	R/W	
b1	PWMC0	TRDIOC0 PWMモード選択ビット		R/W	
b2	PWMD0	TRDIOD0 PWMモード選択ビット		R/W	
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。			-
b4	PWMB1	TRDIOB1 PWMモード選択ビット	0：タイマモード 1：PWMモード	R/W	
b5	PWMC1	TRDIOC1 PWMモード選択ビット		R/W	
b6	PWMD1	TRDIOD1 PWMモード選択ビット		R/W	
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。			-

20.5.7 タイマRD機能制御レジスタ(TRDFCR)[PWMモード時]

アドレス 013Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンبینーションモード選択ビット (注1)	PWMモードでは“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	PWMモードでは無効です	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット		R/W
b7	PWM3	PWM3モード選択ビット(注2)	0 : 外部クロック入力無効 1 : 外部クロック入力有効	R/W
			PWMモードでは“1”(PWM3モード以外)にしてください	R/W

注1. CMD1 ~ CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1 ~ CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.5.8 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[PWMモード時]

アドレス 013Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	PWMモードでは、“1”(TRDIOA1端子はプログラマブル入出力ポート)にしてください	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

20.5.9 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[PWMモード時]

アドレス 013Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	-	-	-	-
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「20.2.4 パルス出力強制遮断」を参照してください。

20.5.10 タイマRDアウトプット制御レジスタ (TRDOCR)[PWMモード時]

アドレス 013Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット	PWMモードでは、“0”にしてください	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット(注1)	0：初期出力はアクティブでないレベル 1：初期出力はアクティブレベル	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット(注1)		R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット(注1)		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット	PWMモードでは、“0”にしてください	R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット(注1)	0：アクティブでないレベル 1：アクティブレベル	R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット(注1)		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット(注1)		R/W

注1. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

20.5.11 タイマRD制御レジスタi (TRDCRi)(i=0 ~ 1)[PWMモード時]

アドレス 0140h 番地 (TRDCR0)、0150h 番地 (TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)またはfC2(注2) 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注4)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット(注3)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	PWMモードでは“001b”(TRDGRAiとのコンペ ア一致でTRDiレジスタクリア)にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードで、TRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。

注3. TCK2 ~ TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注4. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.5.12 タイマRDステータスレジスタ_i (TRDSR_i)(_i=0 ~ 1)[PWMモード時]

アドレス 0143h番地 (TRDSR₀)、0153h番地 (TRDSR₁)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR ₀ レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR ₁ レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペアー一致フラグB	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペアー一致フラグC	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペアー一致フラグD	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	PWMモードでは無効です	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-			

注1. TRDSR₀レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBF_{ji}ビット(_j=CまたはD)が“1”(TRDGR_{ji}はパッファレジスタ)の場合を含む。

20.5.13 タイマRD 割り込み許可レジスタ i (TRDIER i)($i=0 \sim 1$)[PWM モード時]

アドレス 0144h 番地 (TRDIER0)、0154h 番地 (TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致 割り込み許可ビットA	0 : IMFA ビットによる割り込み (IMIA) 禁止 1 : IMFA ビットによる割り込み (IMIA) 許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致 割り込み許可ビットB	0 : IMFB ビットによる割り込み (IMIB) 禁止 1 : IMFB ビットによる割り込み (IMIB) 許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致 割り込み許可ビットC	0 : IMFC ビットによる割り込み (IMIC) 禁止 1 : IMFC ビットによる割り込み (IMIC) 許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致 割り込み許可ビットD	0 : IMFD ビットによる割り込み (IMID) 禁止 1 : IMFD ビットによる割り込み (IMID) 許可	R/W
b4	OVIE	オーパフロー/アンダフロー割り込み 許可ビット	0 : OVF ビットによる割り込み (OVI) 禁止 1 : OVF ビットによる割り込み (OVI) 許可	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

20.5.14 タイマRD PWMモードアウトプットレベル制御レジスタ i (TRDPOCR i)($i=0 \sim 1$) [PWM モード時]

アドレス 0145h 番地 (TRDPOCR0)、0155h 番地 (TRDPOCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	POLD	POLC	POLB
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御 ビットB	0 : TRDIOBi の出力レベルは“L”アクティブ 1 : TRDIOBi の出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御 ビットC	0 : TRDIOCi の出力レベルは“L”アクティブ 1 : TRDIOCi の出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御 ビットD	0 : TRDIODi の出力レベルは“L”アクティブ 1 : TRDIODi の出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	-			
b6	-			
b7	-			

20.5.15 タイマRDカウンタ*i* (TRD*i*)(*i*=0 ~ 1)[PWMモード時]

アドレス 0147h ~ 0146h 番地 (TRD0)、0157h ~ 0156h 番地 (TRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローすると、TRDSR <i>i</i> レジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRD*i* レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.5.16 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i=0 ~ 1)[PWMモード時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	「表20.10 PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWMモードでは、次のレジスタは無効です。

TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDIORA1、TRDIORC1

表20.10 PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRAi		ジェネラルレジスタ。PWM周期を設定してください。	
TRDGRBi		ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。次回のPWM周期を設定してください(「20.2.2 バッファ動作」参照)。	
TRDGRDi	BFDi=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。	TRDIOBi

i=0 ~ 1

BFCi、BFDi : TRDMR レジスタのビット

20.5.17 タイマRD 端子選択レジスタ0 (TRDPSR0)

アドレス 0184h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	-	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK 端子選択ビット	0 : TRDIOA0/TRDCLK 端子は使用しない 1 : P2_0 に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB0SEL0	TRDIOB0 端子選択ビット	b3 b2 0 0 : TRDIOB0 端子は使用しない 0 1 : 設定しないでください 1 0 : P2_2 に割り当てる 1 1 : 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0 端子選択ビット	b5 b4 0 0 : TRDIOC0 端子は使用しない 0 1 : 設定しないでください 1 0 : P2_1 に割り当てる 1 1 : 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0 端子選択ビット	0 : TRDIOD0 端子は使用しない 1 : P2_3 に割り当てる	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

TRDPSR0 レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0 レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0 レジスタを設定してください。また、タイマRDの動作中はTRDPSR0 レジスタの設定値を変更しないでください。

20.5.18 タイマRD 端子選択レジスタ1 (TRDPSR1)

アドレス 0185h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD1SEL0	-	TRDIOC1SEL0	-	TRDIOB1SEL0	-	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1 端子選択ビット	0 : TRDIOA1 端子は使用しない 1 : P2_4 に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB1SEL0	TRDIOB1 端子選択ビット	0 : TRDIOB1 端子は使用しない 1 : P2_5 に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TRDIOC1SEL0	TRDIOC1 端子選択ビット	0 : TRDIOC1 端子は使用しない 1 : P2_6 に割り当てる	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1 端子選択ビット	0 : TRDIOD1 端子は使用しない 1 : P2_7 に割り当てる	R/W
b7	-	予約ビット	“0” にしてください	R/W

TRDPSR1 レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1 レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1 レジスタを設定してください。また、タイマRDの動作中はTRDPSR1 レジスタの設定値を変更しないでください。

20.5.19 動作例

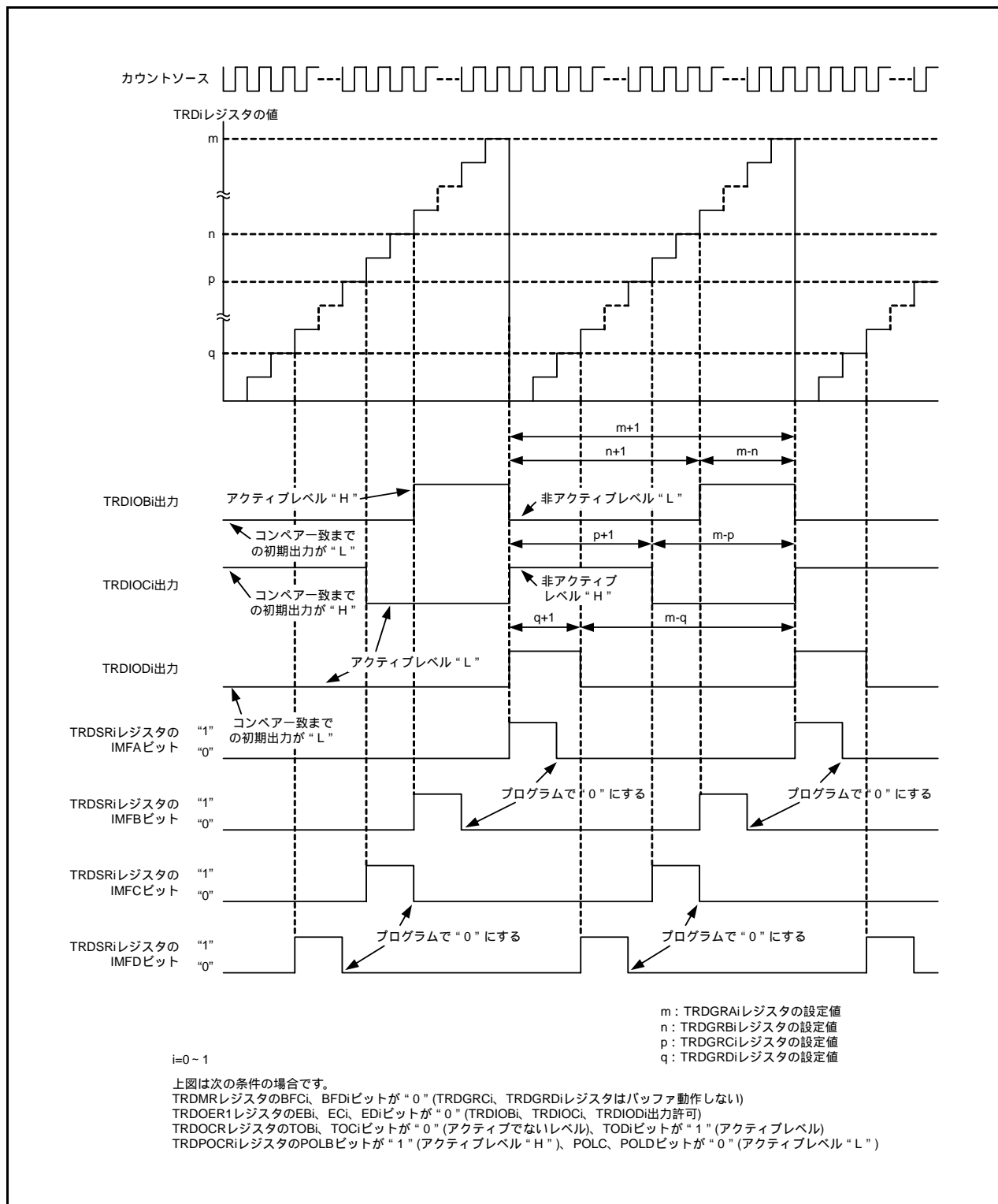


図20.15 PWMモードの動作例

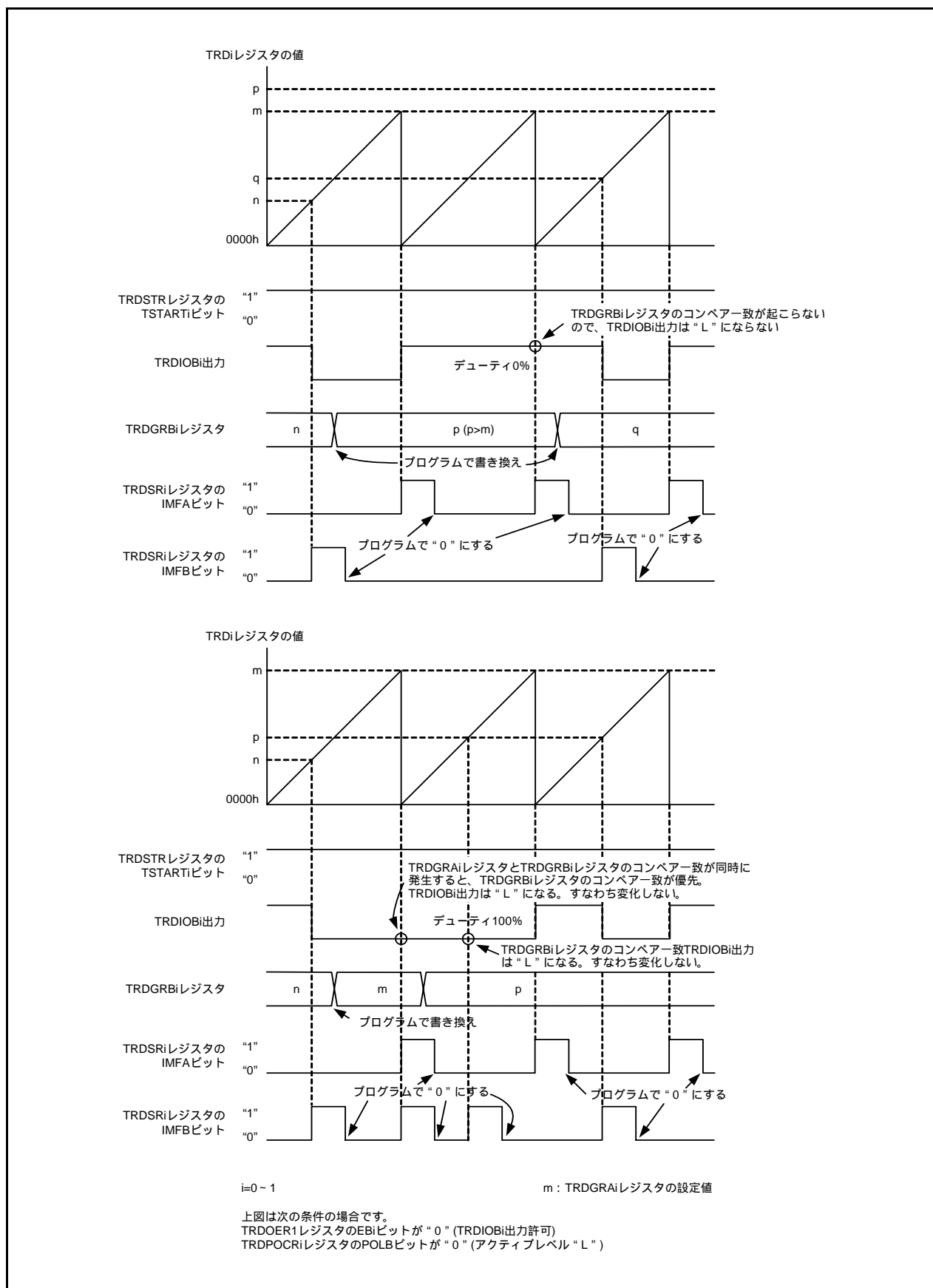


図20.16 PWMモードの動作例(デューティ 0%、デューティ 100%)

20.5.20 A/Dトリガ発生

TRDi (i=0 ~ 1) レジスタと TRDGRji (j=A、B、C、D) レジスタのコンペアー致信号を、A/D コンバータの変換開始トリガとして使用できます。

TRDADCR レジスタで、どのコンペアー致を使用するか選択できます。

20.6 リセット同期PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、鋸波変調、短絡防止時間なし)。

図 20.17 にリセット同期PWMモードのブロック図を、表 20.11 にリセット同期PWMモードの仕様を、図 20.18 にリセット同期PWMモードの動作例を示します。

デューティ 0%、100%のPWM動作例は「図 20.16 PWMモードの動作例(デューティ 0%、デューティ 100%)」を参照してください。

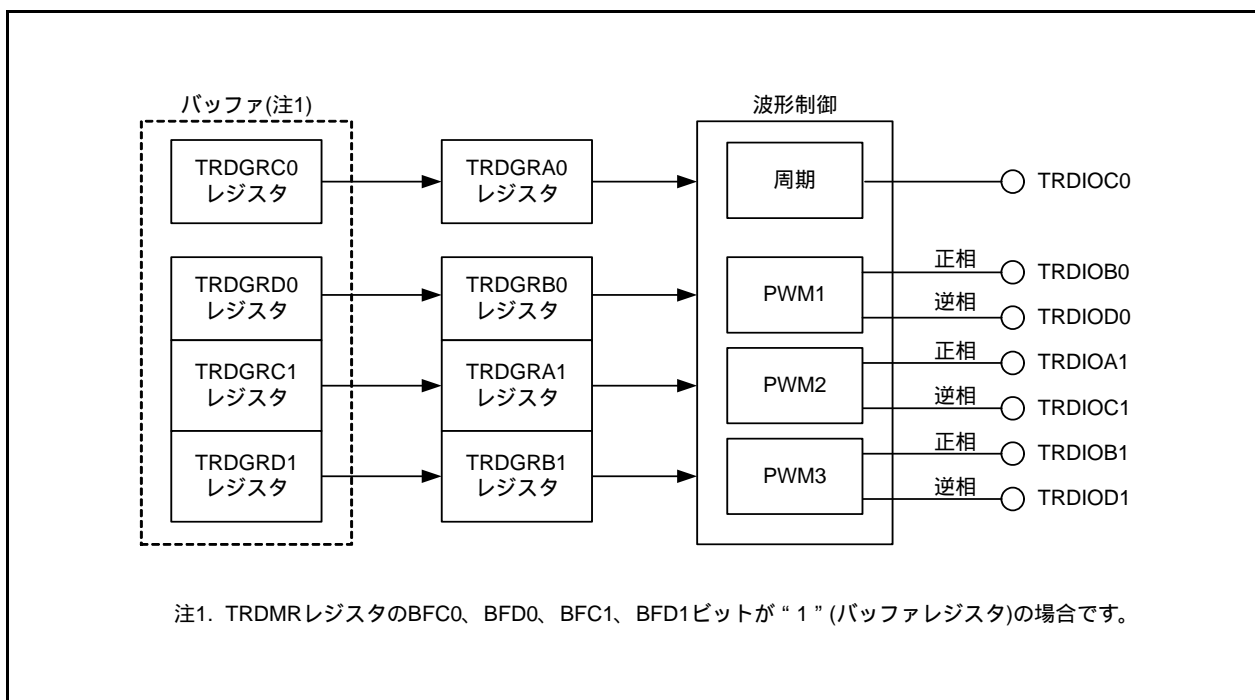


図 20.17 リセット同期PWMモードのブロック図

表20.11 リセット同期PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	<p>PWM周期: $1/f_k \times (m+1)$ 正相のアクティブレベル幅: $1/f_k \times (m-n)$ 逆相のアクティブレベル幅: $1/f_k \times (n+1)$ f_k: カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3)</p> <p>(アクティブレベルが“L”の場合)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致(TRD0レジスタとTRDGRj0、TRDGRA1、TRDGRB1レジスタの内容が一致) TRD0オーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 バッファ動作(「20.2.2 バッファ動作」参照) パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照) A/Dトリガ発生

j=A、B、C、Dのいずれか

20.6.1 モジュールスタンバイ制御レジスタ (MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I ² Cバススタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ (注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。

注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR_i (i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。

注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

20.6.2 タイマRD拡張制御レジスタ (TRDECR)

アドレス 0135h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	-	-	-	ITCLK0	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	ITCLK0	タイマRD0用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択 (注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	ITCLK1	タイマRD1用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択 (注1)	R/W

注1. タイマモードのとき有効です。

20.6.3 タイマRDトリガ制御レジスタ (TRDADCR)

アドレス 0136h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

20.6.4 タイマRDスタートレジスタ(TRDSTR)[リセット同期PWMモード時]

アドレス 0137h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0 カウント開始フラグ(注3)	0: カウント停止(注1) 1: カウント開始	R/W
b1	TSTART1	TRD1 カウント開始フラグ(注4)	0: カウント停止(注2) 1: カウント開始	R/W
b2	CSEL0	TRD0 カウント動作選択ビット	0: TRDGRA0 レジスタとのコンペアー致でカウン ト停止 1: TRDGRA0 レジスタとのコンペアー致後もカ ウント継続	R/W
b3	CSEL1	TRD1 カウント動作選択ビット	0: TRDGRA1 レジスタとのコンペアー致でカウン ト停止 1: TRDGRA1 レジスタとのコンペアー致後もカ ウント継続	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は “1”。		-
b5	-			
b6	-			
b7	-			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペアー致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペアー致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

20.6.5 タイマRDモードレジスタ(TRDMR)[リセット同期PWMモード時]

アドレス 0138h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	-	-	-	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	リセット同期PWMモードでは“0”(TRD0と TRD1は独立動作)にしてください	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b2	-			
b3	-			
b4	BFC0	TRDGRC0 レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA0 レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0 レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB0 レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1 レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA1 レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1 レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB1 レジスタのバッファレジスタ	R/W

20.6.6 タイマRD機能制御レジスタ (TRDFCR)[リセット同期PWMモード時]

アドレス 013Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット (注1、2)	リセット同期PWMモードでは“01b”(リセット同期PWMモード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	0: 初期出力“H”、アクティブレベル“L” 1: 初期出力“L”、アクティブレベル“H”	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	リセット同期PWMモードでは無効です	R/W
b5	ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット	0: 外部クロック入力無効 1: 外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注3)	リセット同期PWMモードでは無効です	R/W

注1. CMD1～CMD0ビットを“01b”、“10b”、“11b”に設定したとき、TRDPMRレジスタの設定にかかわらず、リセット同期PWMモードまたは相補PWMモードになります。

注2. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注3. CMD1～CMD0ビットが“00b”(タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.6.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1) [リセット同期PWMモード時]

アドレス 013Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	リセット同期PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください	R/W
b1	EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	R/W

20.6.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2) [リセット同期PWMモード時]

アドレス 013Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	-	-	-	-
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット(注1)	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1. 「20.2.4 パルス出力強制遮断」を参照してください。

20.6.9 タイマRD制御レジスタ0 (TRDCR0)[リセット同期PWMモード時]

アドレス 0140h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)またはfC2(注2) 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注4)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット(注3)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRD0カウンタクリア選択ビット	リセット同期PWMモードでは“001b” (TRDGRA0とのコンペア一致でTRD0レジスタクリア)にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDECR レジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCR レジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードで、TRDECR レジスタのITCLKiビットが“1”(fC2)のとき有効です。

注3. TCK2 ~ TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECR レジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCR レジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注4. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

リセット同期PWMモードでは、TRDCR1 レジスタは使用しません。

20.6.10 タイマRDステータスレジスタ_i (TRDSR_i)(_i=0 ~ 1)[リセット同期PWMモード時]

アドレス 0143h 番地 (TRDSR₀)、0153h 番地 (TRDSR₁)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR ₀ レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR ₁ レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー一致フラグA	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く (注2) [“ 1 ” になる要因] TRDi と TRDGRAi の値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペアー一致フラグB	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く (注2) [“ 1 ” になる要因] TRDi と TRDGRBi の値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペアー一致フラグC	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く (注2) [“ 1 ” になる要因] TRDi と TRDGRCi の値が一致したとき (注3)	R/W
b3	IMFD	インプットキャプチャ/コンペアー一致フラグD	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く (注2) [“ 1 ” になる要因] TRDi と TRDGRDi の値が一致したとき (注3)	R/W
b4	OVF	オーバフローフラグ	[“ 0 ” になる要因] 読んだ後、“ 0 ” を書く (注2) [“ 1 ” になる要因] TRDi がオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ (注1)	リセット同期PWMモードでは無効です	R/W
b6	-	何も配置されていない。書く場合、“ 0 ” を書いてください。読んだ場合、その値は “ 1 ”。		-
b7	-			

注1. TRDSR₀ レジスタのb5には何も配置されていません。b5に書く場合、“ 0 ” を書いてください。読んだ場合、その値は “ 1 ” です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が “ 1 ” の場合、同じビットに “ 0 ” を書くと “ 0 ” になります。
- ・読んだ結果が “ 0 ” の場合、同じビットに “ 0 ” を書いても変化しません (読んだ後で、“ 0 ” から “ 1 ” に変化した場合、“ 0 ” を書いても “ 1 ” のままです)。
- ・ “ 1 ” を書いた場合は変化しません。

注3. TRDMR レジスタのBF_{ji} ビット (_j=C または D) が “ 1 ” (TRDGR_{ji} はパッファレジスタ) の場合を含む。

20.6.11 タイマRD 割り込み許可レジスタ_i (TRDIER_i)(_i=0 ~ 1)[リセット同期PWMモード時]

アドレス 0144h 番地 (TRDIER₀)、0154h 番地 (TRDIER₁)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致 割り込み許可ビットA	0 : IMFA ビットによる割り込み(IMIA) 禁止 1 : IMFA ビットによる割り込み(IMIA) 許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致 割り込み許可ビットB	0 : IMFB ビットによる割り込み(IMIB) 禁止 1 : IMFB ビットによる割り込み(IMIB) 許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致 割り込み許可ビットC	0 : IMFC ビットによる割り込み(IMIC) 禁止 1 : IMFC ビットによる割り込み(IMIC) 許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致 割り込み許可ビットD	0 : IMFD ビットによる割り込み(IMID) 禁止 1 : IMFD ビットによる割り込み(IMID) 許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0 : OVFB ビットによる割り込み(OVI) 禁止 1 : OVFB ビットによる割り込み(OVI) 許可	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

20.6.12 タイマRD カウンタ0 (TRD0)[リセット同期PWMモード時]

アドレス 0147h ~ 0146h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR0 レジスタのOVF ビットが“1”になる。	0000h ~ FFFFh	R/W

TRD0 レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、TRD1 レジスタは使用しません。

20.6.13 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i=0 ~ 1)[リセット同期PWMモード時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	「表20.12 リセット同期PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、
TRDIORC1、TRDPOCR1

表20.12 リセット同期PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0		ジェネラルレジスタ。PWM周期を設定してください。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRB0		ジェネラルレジスタ。PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	BFC0=0	(リセット同期PWMモードでは使用しません)	
TRDGRD0	BFD0=0		
TRDGRA1		ジェネラルレジスタ。PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1		ジェネラルレジスタ。PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	BFC1=0	(リセット同期PWMモードでは使用しません)	
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	バッファレジスタ。次回のPWM周期を設定してください(「20.2.2 バッファ動作」参照)。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM1出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM2出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM3出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。	TRDIOB1 TRDIOD1

BFC0、BFD0、BFC1、BFD1 : TRDMRレジスタのビット

20.6.14 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	-	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	0 : TRDIOA0/TRDCLK端子は使用しない 1 : P2_0に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 0 0 : TRDIOB0端子は使用しない 0 1 : 設定しないでください 1 0 : P2_2に割り当てる 1 1 : 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 0 0 : TRDIOC0端子は使用しない 0 1 : 設定しないでください 1 0 : P2_1に割り当てる 1 1 : 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	0 : TRDIOD0端子は使用しない 1 : P2_3に割り当てる	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.6.15 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD1SEL0	-	TRDIOC1SEL0	-	TRDIOB1SEL0	-	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	0 : TRDIOA1端子は使用しない 1 : P2_4に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	0 : TRDIOB1端子は使用しない 1 : P2_5に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	0 : TRDIOC1端子は使用しない 1 : P2_6に割り当てる	R/W
b5	-	予約ビット	“0”にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	0 : TRDIOD1端子は使用しない 1 : P2_7に割り当てる	R/W
b7	-	予約ビット	“0”にしてください	R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.6.16 動作例

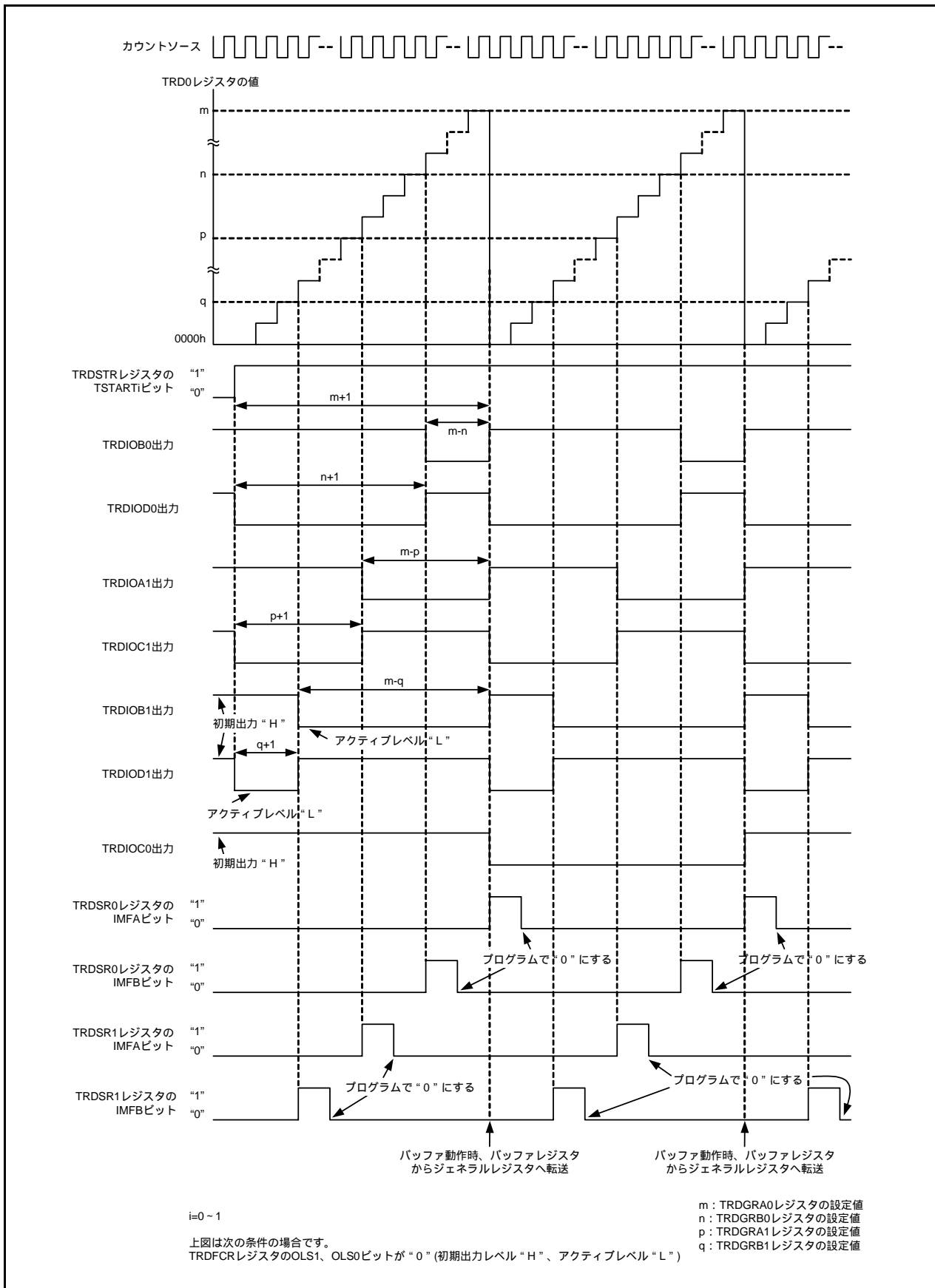


図20.18 リセット同期PWMモードの動作例

20.6.17 A/Dトリガ発生

TRDi ($i=0 \sim 1$) レジスタと TRDGRj ($j=A, B, C, D$) レジスタのコンペアー致信号を、A/D コンバータの変換開始トリガとして使用できます。

TRDADCR レジスタで、どのコンペアー致を使用するか選択できます。

20.7 相補PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、三角波変調、短絡防止時間あり)。

図20.19に相補PWMモードのブロック図を、表20.13に相補PWMモードの仕様を、図20.20に相補PWMモードの出力モデルを、図20.21に相補PWMモードの動作例を示します。

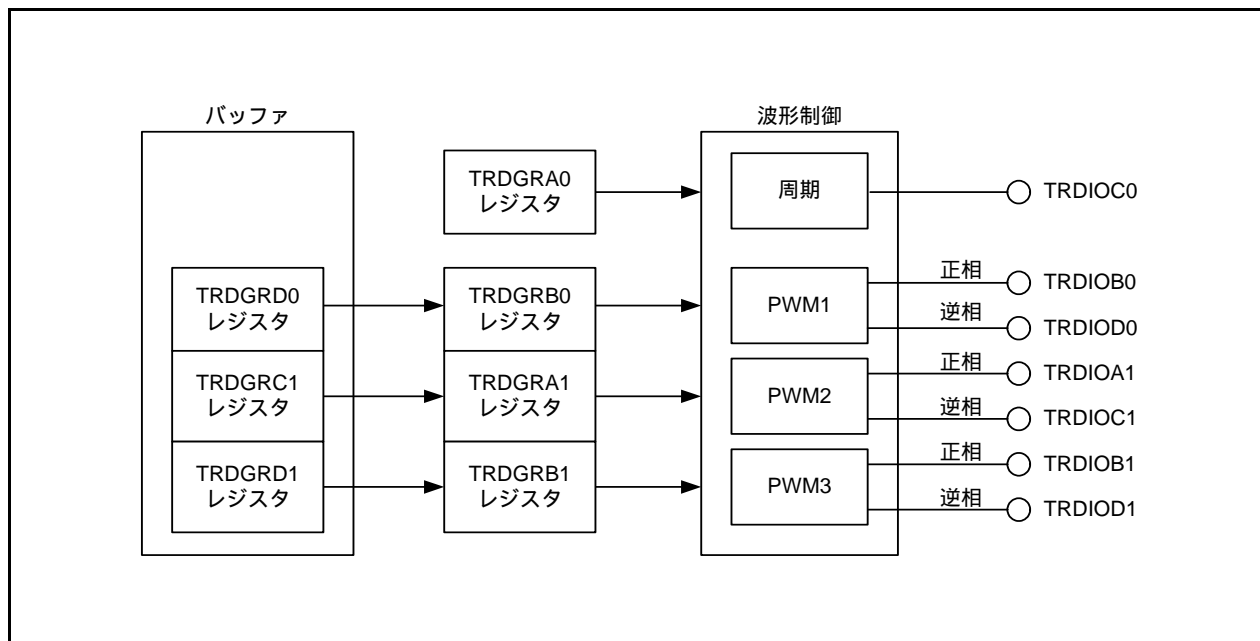


図20.19 相補PWMモードのブロック図

表20.13 相補PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) TRDCR0レジスタのTCK2 ~ TCK0ビットと、TRDCR1レジスタのTCK2 ~ TCK0ビットは同じ値(同じカウントソース)にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペアー一致すると、TRD0、TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが“0000h”から“FFFFh”になるとTRD0、TRD1ともアップカウントになる。
PWM波形	<p>PWM周期: $1/f_k \times (m+2-p) \times 2$ (注1) 短絡防止時間: p 正相のアクティブレベル幅: $1/f_k \times (m-n-p+1) \times 2$ 逆相のアクティブレベル幅: $1/f_k \times (n+1-p) \times 2$ f_k: カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) p: TRD0レジスタ設定値</p> <p>(アクティブレベルが“L”の場合)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットとTSTART1ビットへの“0”(カウント停止)書き込み(PWM出力端子はカウント停止前の出力レベルを保持)
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) TRD1アンダフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMの1/2周期ごとに出力反転
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	<ul style="list-style-type: none"> パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照) 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 バッファレジスタからの転送タイミング選択 A/Dトリガ発生

i=0 ~ 1、j=A、B、C、Dのいずれか

注1. カウント開始後、PWM周期は固定です。

20.7.1 モジュールスタンバイ制御レジスタ (MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I ² Cバススタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ (注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。

注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR_i (i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。

注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

20.7.2 タイマRD拡張制御レジスタ (TRDECR)

アドレス 0135h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	-	-	-	ITCLK0	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	ITCLK0	タイマRD0用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択 (注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	ITCLK1	タイマRD1用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択 (注1)	R/W

注1. タイマモードのとき有効です。

20.7.3 タイマRDトリガ制御レジスタ (TRDADCR)

アドレス 0136h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

20.7.4 タイマRDスタートレジスタ(TRDSTR)[相補PWMモード時]

アドレス 0137h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0 カウント開始フラグ(注3)	0: カウント停止(注1) 1: カウント開始	R/W
b1	TSTART1	TRD1 カウント開始フラグ(注4)	0: カウント停止(注2) 1: カウント開始	R/W
b2	CSEL0	TRD0 カウント動作選択ビット	0: TRDGRA0 レジスタとのコンペアー致でカウン ント停止 1: TRDGRA0 レジスタとのコンペアー致後もカ ウント継続	R/W
b3	CSEL1	TRD1 カウント動作選択ビット	0: TRDGRA1 レジスタとのコンペアー致でカウン ント停止 1: TRDGRA1 レジスタとのコンペアー致後もカ ウント継続	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は “1”。		-
b5	-			
b6	-			
b7	-			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペアー致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペアー致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

20.7.5 タイマRDモードレジスタ(TRDMR)[相補PWMモード時]

アドレス 0138h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	-	-	-	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	相補PWMモードでは“0”(TRD0とTRD1は独立 動作)にしてください	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b2	-			
b3	-			
b4	BFC0	TRDGRC0 レジスタ機能選択ビット	相補PWMモードでは“0”(ジェネラルレジスタ) にしてください	R/W
b5	BFD0	TRDGRD0 レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB0 レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1 レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA1 レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1 レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB1 レジスタのバッファレジスタ	R/W

20.7.6 タイマRD機能制御レジスタ (TRDFCR)[相補PWMモード時]

アドレス 013Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンピネーションモード選択ビット (注1、2)	b1 b0 1 0 : 相補PWMモード (TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送) 1 1 : 相補PWMモード (TRD0とTRDGRA0レジスタのコンペアー一致時にバッファレジスタからジェネラルレジスタへ転送) 上記以外 : 設定しないでください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	0 : 初期出力 “H”、アクティブレベル “L” 1 : 初期出力 “L”、アクティブレベル “H”	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	0 : A/Dトリガを禁止 1 : A/Dトリガを許可 (注3)	R/W
b5	ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)	0 : TRD0とTRDGRA0レジスタのコンペアー一致時にA/Dトリガ発生 1 : TRD1のアンダフロー時にA/Dトリガ発生	R/W
b6	STCLK	外部クロック入力選択ビット	0 : 外部クロック入力無効 1 : 外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット (注4)	相補PWMモードでは無効です	R/W

注1. CMD1 ~ CMD0 ビットを “10b”、“11b” に設定したとき、TRDPMR レジスタの設定にかかわらず、相補PWMモードになります。

注2. CMD1 ~ CMD0 ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに “0” (カウント停止) のときに書いてください。

注3. ADCON0レジスタのADCAPビットを “1” (タイマRDで開始) にしてください。

注4. CMD1 ~ CMD0 ビットが “00b” (タイマモード、PWMモード、PWM3モード) のとき、PWM3ビットの設定が有効になります。

20.7.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[相補PWMモード時]

アドレス 013Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	相補PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

20.7.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[相補PWMモード時]

アドレス 013Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	-	-	-	-
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「20.2.4 パルス出力強制遮断」を参照してください。

20.7.9 タイマRD制御レジスタi (TRDCRi)(i=0 ~ 1)[相補PWMモード時]

アドレス 0140h 番地 (TRDCR0)、0150h 番地 (TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	
b0	TCK0	カウントソース選択ビット(注3)	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)またはfC2 (注2) 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注5)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット (注3、4)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	相補PWMモードでは“000b”(クリア禁止(フリーランニング動作))にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDECR レジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCR レジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注2. タイマモードで、TRDECR レジスタのITCLKiビットが“1”(fC2)のとき有効です。

注3. TRDCR0 レジスタとTRDCR1 レジスタの、TCK0 ~ TCK2ビット、CKEG0 ~ CKEG1ビットの設定は、同じにしてください。

注4. TCK2 ~ TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECR レジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCR レジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。

注5. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.7.10 タイマRDステータスレジスタi (TRDSRi)(i=0 ~ 1)[相補PWMモード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0 レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1 レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペアー致フラグB	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペアー致フラグC	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペアー致フラグD	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRD1がアンダフローしたとき	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-			

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

20.7.11 タイマRD割り込み許可レジスタi (TRDIERi)(i=0 ~ 1)[相補PWMモード時]

アドレス 0144h番地 (TRDIER0)、0154h番地 (TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー致 割り込み許可ビットA	0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー致 割り込み許可ビットB	0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー致 割り込み許可ビットC	0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー致 割り込み許可ビットD	0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

20.7.12 タイマRDカウンタ0 (TRD0)[相補PWMモード時]

アドレス 0147h ~ 0146h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	短絡防止時間を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.7.13 タイマRDカウンタ1 (TRD1)[相補PWMモード時]

アドレス 0157h ~ 0156h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	“0000h”を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。 アンダフローすると、TRDSR1レジスタのUDFビットが“1”になる。	0000h ~ FFFFh	R/W

TRD1 レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.7.14 タイマRDジェネラルレジスタAi、Bi、C1、Di (TRDGRAi、TRDGRBi、TRDGRC1、TRDGRDi)(i=0 ~ 1)[相補PWMモード時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、
014Fh ~ 014Eh 番地 (TRDGRD0)、
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	「表20.14 相補PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

相補PWMモードでは、TRDGRC0レジスタは使用しません。

相補PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、
TRDIORC1、TRDPOCR1

表20.14 相補PWMモード時のTRDGRji レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0		ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0レジスタ設定値以上、 FFFFh - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)の とき書き込まないでください。	(TRDIOC0半 周期ごとに出力反転)
TRDGRB0		ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)の とき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1		ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)の とき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1		ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)の とき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0		(相補PWMモードでは使用しません。)	
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (「20.2.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

BFC0、BFD0、BFC1、BFD1：TRDMRレジスタのビット

TRDGRB0、TRDGRA1、TRDGRB1レジスタには、カウント開始後、直接値を書き込むことができない(禁止事項)ため、TRDGRD0、TRDGRC1、TRDGRD1をバッファレジスタとして使用してください。ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みに際しては、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にしても構いません。

20.7.15 タイマRD 端子選択レジスタ0 (TRDPSR0)

アドレス 0184h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	-	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK 端子選択ビット	0 : TRDIOA0/TRDCLK 端子は使用しない 1 : P2_0 に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB0SEL0	TRDIOB0 端子選択ビット	b3 b2 0 0 : TRDIOB0 端子は使用しない 0 1 : 設定しないでください 1 0 : P2_2 に割り当てる 1 1 : 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0 端子選択ビット	b5 b4 0 0 : TRDIOC0 端子は使用しない 0 1 : 設定しないでください 1 0 : P2_1 に割り当てる 1 1 : 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0 端子選択ビット	0 : TRDIOD0 端子は使用しない 1 : P2_3 に割り当てる	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

TRDPSR0 レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0 レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0 レジスタを設定してください。また、タイマRDの動作中はTRDPSR0 レジスタの設定値を変更しないでください。

20.7.16 タイマRD 端子選択レジスタ1 (TRDPSR1)

アドレス 0185h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD1SEL0	-	TRDIOC1SEL0	-	TRDIOB1SEL0	-	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1 端子選択ビット	0 : TRDIOA1 端子は使用しない 1 : P2_4 に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB1SEL0	TRDIOB1 端子選択ビット	0 : TRDIOB1 端子は使用しない 1 : P2_5 に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TRDIOC1SEL0	TRDIOC1 端子選択ビット	0 : TRDIOC1 端子は使用しない 1 : P2_6 に割り当てる	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1 端子選択ビット	0 : TRDIOD1 端子は使用しない 1 : P2_7 に割り当てる	R/W
b7	-	予約ビット	“0” にしてください	R/W

TRDPSR1 レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1 レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1 レジスタを設定してください。また、タイマRDの動作中はTRDPSR1 レジスタの設定値を変更しないでください。

20.7.17 動作例

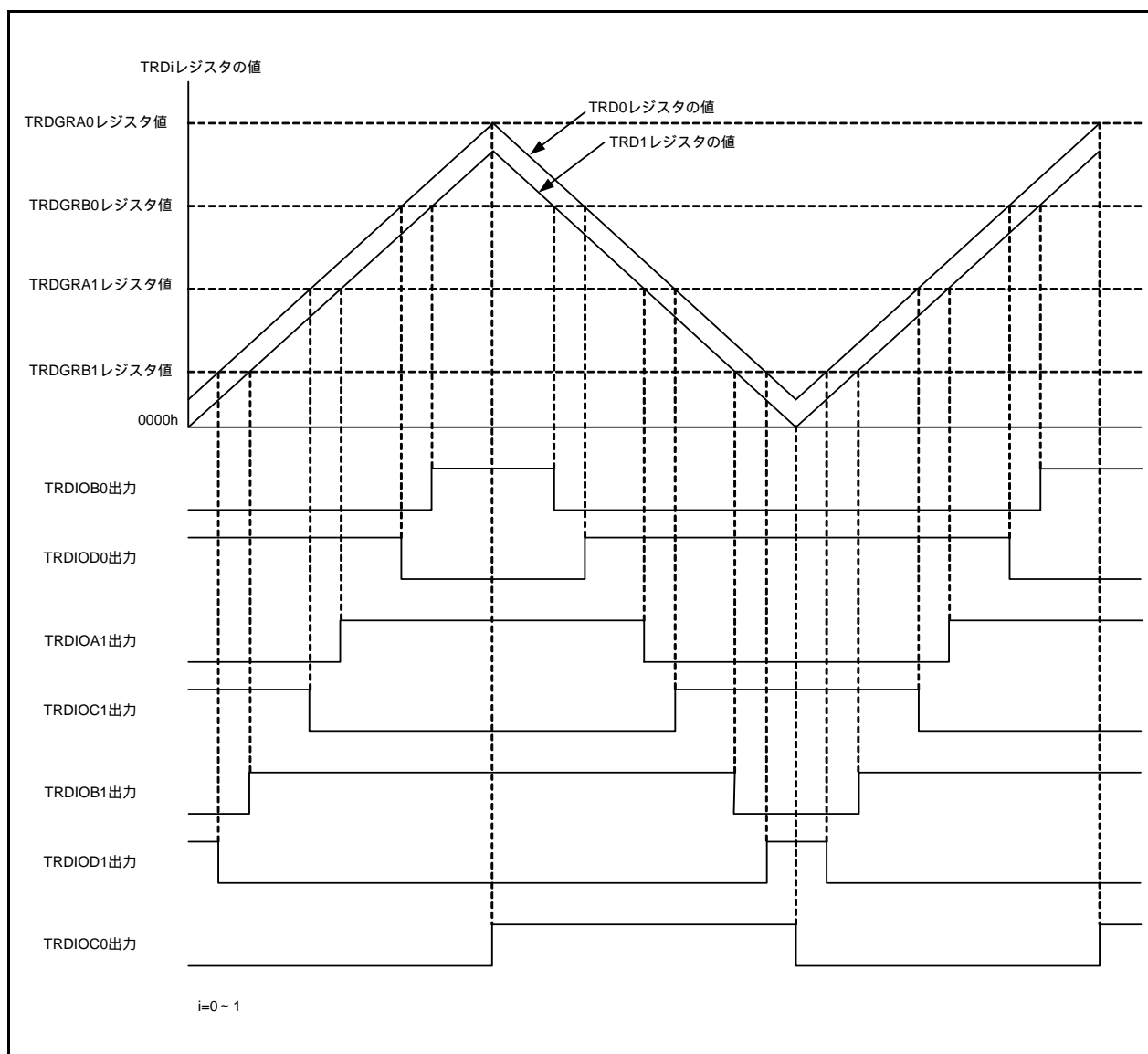


図20.20 相補PWMモードの出力モデル

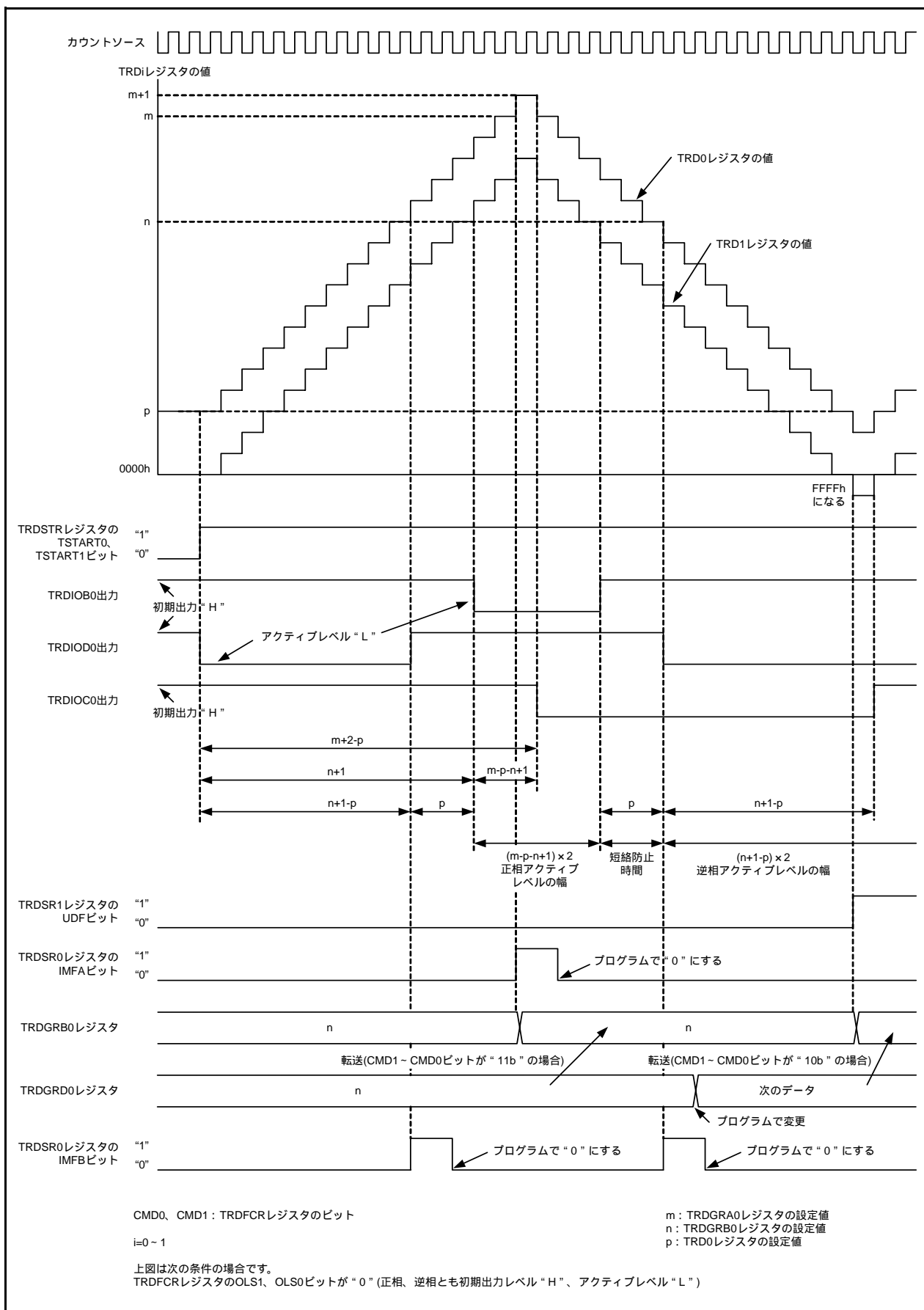


図20.21 相補PWMモードの動作例

20.7.18 バッファレジスタからの転送タイミング

- TRDGRD0、TRDGRC1、TRDGRD1 レジスタから TRDGRB0、TRDGRA1、TRDGRB1 レジスタへの転送
TRDFCR レジスタの CMD1 ~ CMD0 ビットが “ 10b ” の場合、TRD1 がアンダフローしたときに転送します。
CMD1 ~ CMD0 ビットが “ 11b ” の場合、TRD0 と TRDGRA0 レジスタがコンペアー一致したときに転送します。

20.7.19 A/D トリガ発生

TRD0 と TRDGRA0 レジスタのコンペアー一致と、TRD1 アンダフローを、A/D コンバータの変換開始トリガとして使用できます。TRDFCR レジスタの ADEG、ADTRG ビットで選択してください。
また、ADMOD レジスタの ADCAP1 ~ ADCAP0 ビットを “ 01b ” (タイマRD で開始) にしてください。

20.8 PWM3モード

同周期のPWM波形を2本出力します。

図 20.22 にPWM3モードのブロック図を、表 20.15 にPWM3モードの仕様を、図 20.23 にPWM3モードの動作例を示します。

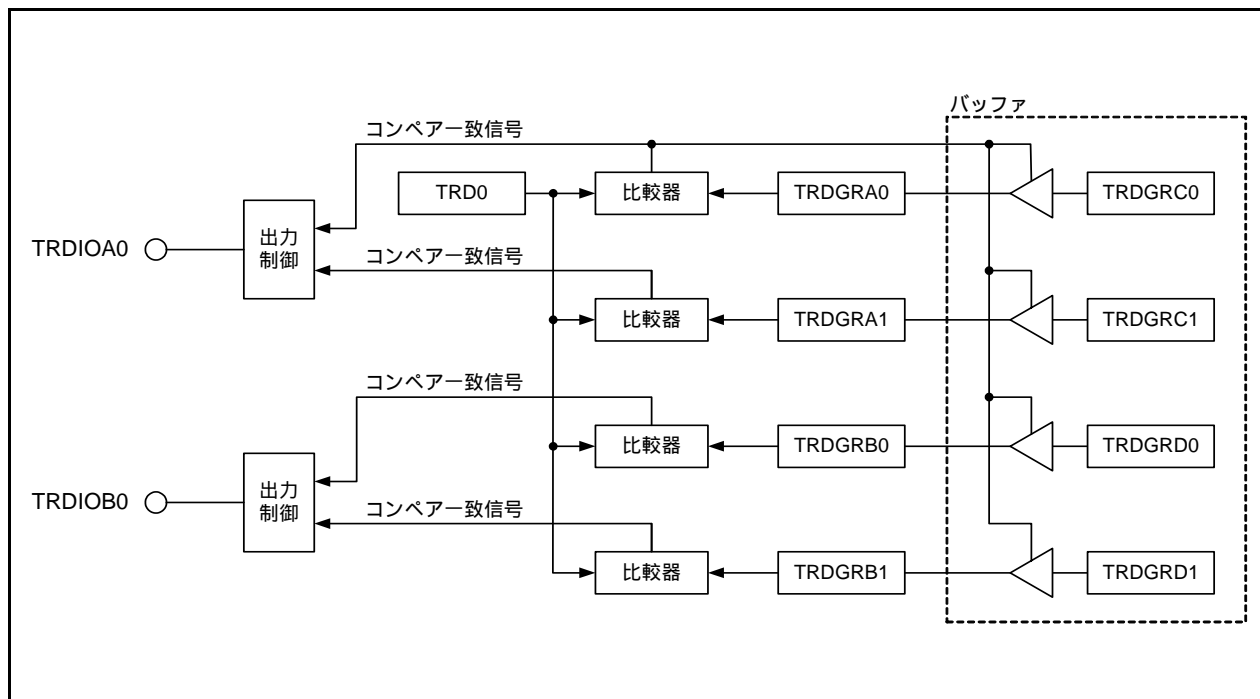
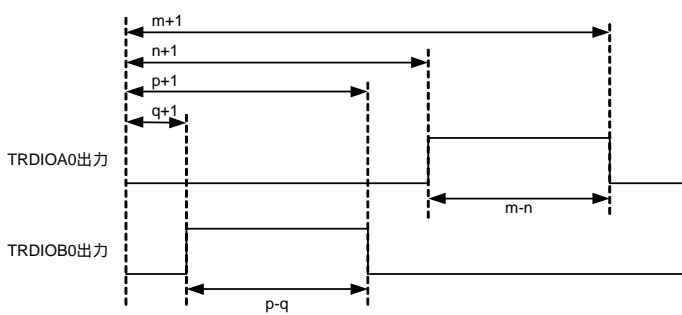


図 20.22 PWM3モードのブロック図

表20.15 PWM3モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F
カウント動作	TRD0はアップカウント (TRD1は使用しない)
PWM波形	<p>PWM周期: $1/f_k \times (m+1)$ TRDIOA0出力のアクティブレベル幅: $1/f_k \times (m-n)$ TRDIOB0出力のアクティブレベル幅: $1/f_k \times (p-q)$ f_k: カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRA1レジスタ設定値 p: TRDGRB0レジスタ設定値 q: TRDGRB1レジスタ設定値</p>  <p>(アクティブレベルが“H”の場合)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペアー致でカウント停止 PWM出力端子はコンペアー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペアー一致 (TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRD0オーバーフロー
TRDIOA0、TRDIOB0端子機能	PWM出力
TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> • パルス出力強制遮断信号入力(「20.2.4 パルス出力強制遮断」参照) • アクティブレベルを端子ごとに選択 • バッファ動作(「20.2.2 バッファ動作」参照) • A/Dトリガ発生

i=0～1、j=A、B、C、Dのいずれか

20.8.1 モジュールスタンバイ制御レジスタ (MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I ² Cバススタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ (注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I²Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h ~ 015Fh番地)へのアクセスは無効になります。

注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCR_i (i=0 ~ 1)レジスタのTCK2 ~ TCK0ビットを“000b”(f1)にしてください。

注4. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

注5. MSTTRGビットが“1”(スタンバイ)のとき、タイマRG関連レジスタ(0170h ~ 017Fh番地)へのアクセスは無効になります。

20.8.2 タイマRD拡張制御レジスタ (TRDECR)

アドレス 0135h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ITCLK1	-	-	-	ITCLK0	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	ITCLK0	タイマRD0用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択 (注1)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	ITCLK1	タイマRD1用fC2選択ビット	0: TRDCLK入力を選択 1: fC2を選択 (注1)	R/W

注1. タイマモードのとき有効です。

20.8.3 タイマRDトリガ制御レジスタ (TRDADCR)

アドレス 0136h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

20.8.4 タイマRDスタートレジスタ (TRDSTR)[PWM3モード時]

アドレス 0137h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0 カウント開始フラグ(注3)	0: カウント停止(注1) 1: カウント開始	R/W
b1	TSTART1	TRD1 カウント開始フラグ(注4)	0: カウント停止(注2) 1: カウント開始	R/W
b2	CSEL0	TRD0 カウント動作選択ビット	0: TRDGRA0 レジスタとのコンペアー致でカウン ト停止 1: TRDGRA0 レジスタとのコンペアー致後もカ ウント継続	R/W
b3	CSEL1	TRD1 カウント動作選択ビット [PWM3モードでは使用しません]	0: TRDGRA1 レジスタとのコンペアー致でカウン ト停止 1: TRDGRA1 レジスタとのコンペアー致後もカ ウント継続	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は “1”。		-
b5	-			
b6	-			
b7	-			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。

注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。

注3. CSEL0ビットが“0”でコンペアー致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。

注4. CSEL1ビットが“0”でコンペアー致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。
タイマRD使用上の注意事項の「20.10.1 TRDSTRレジスタ」を参照してください。

20.8.5 タイマRDモードレジスタ (TRDMR)[PWM3モード時]

アドレス 0138h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	-	-	-	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	PWM3モードでは“0”(TRD0とTRD1は独立動 作)にしてください	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b2	-			
b3	-			
b4	BFC0	TRDGRC0 レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA0 レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0 レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB0 レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1 レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRA1 レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1 レジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRDGRB1 レジスタのバッファレジスタ	R/W

20.8.6 タイマRD機能制御レジスタ (TRDFCR)[PWM3モード時]

アドレス 013Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット (注1)	PWM3モードでは“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時有効)	PWM3モードでは無効です	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時有効)		R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時有効)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時有効)		R/W
b6	STCLK	外部クロック入力選択ビット	PWM3モードでは“0”(外部クロック入力無効)にしてください	R/W
b7	PWM3	PWM3モード選択ビット(注2)	PWM3モードでは“0”(PWM3モード)にしてください	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.8.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[PWM3モード時]

アドレス 013Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	0：出力許可 1：出力禁止 (TRDIOA0端子はプログラマブル入出力ポート)	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	PWM3モードでは、“1”(プログラマブル入出力ポート)にしてください。	R/W
b3	ED0	TRDIOD0出力禁止ビット		R/W
b4	EA1	TRDIOA1出力禁止ビット		R/W
b5	EB1	TRDIOB1出力禁止ビット		R/W
b6	EC1	TRDIOC1出力禁止ビット		R/W
b7	ED1	TRDIOD1出力禁止ビット		R/W

20.8.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[PWM3モード時]

アドレス 013Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	-	-	-	-
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-	パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効ビット (注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効 ($\overline{\text{INT0}}$ 端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W
b7	PTO			

注1. 「20.2.4 パルス出力強制遮断」を参照してください。

20.8.9 タイマRDアウトプット制御レジスタ (TRDOCR)[PWM3モード時]

アドレス 013Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット (注1)	0: アクティブレベル“H”、初期出力“L”、 TRDGRA1のコンペア一致で“H”出力、 TRDGRA0のコンペア一致で“L”出力 1: アクティブレベル“L”、初期出力“H”、 TRDGRA1のコンペア一致で“L”出力、 TRDGRA0のコンペア一致で“H”出力	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット (注1)	0: アクティブレベル“H”、初期出力“L”、 TRDGRB1のコンペア一致で“H”出力、 TRDGRB0のコンペア一致で“L”出力 1: アクティブレベル“L”、初期出力“H”、 TRDGRB1のコンペア一致で“L”出力、 TRDGRB0のコンペア一致で“H”出力	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット	PWM3モードでは無効です	R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット		R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット		R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット		R/W

注1. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

20.8.10 タイマRD制御レジスタ0 (TRDCR0)[PWM3モード時]

アドレス 0140h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : 設定しないでください 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注1)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット	PWM3モードでは無効です	R/W
b4	CKEG1			R/W
b5	CCLR0	TRD0カウンタクリア選択ビット	PWM3モードでは“001b”(TRDGRA0レジスタとコンペアー一致でTRD0レジスタクリア)にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

PWM3モードでは、TRDCR1レジスタは使用しません。

20.8.11 タイマRDステータスレジスタ i (TRDSR i)($i=0 \sim 1$)[PWM3モード時]

アドレス 0143h番地 (TRDSR0)、0153h番地 (TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペアー一致フラグB	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペアー一致フラグC	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注2)	R/W
b3	IMFD	インプットキャプチャ/コンペアー一致フラグD	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注2)	R/W
b4	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	PWM3モードでは無効です	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	-			

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注2. TRDMRレジスタのBF j iビット($j=C$ または D)が“1”(TRDGR j iはバッファレジスタ)の場合を含む。

20.8.12 タイマRD割り込み許可レジスタi (TRDIERi)(i=0 ~ 1)[PWM3モード時]

アドレス 0144h番地 (TRDIER0)、0154h番地 (TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致 割り込み許可ビットA	0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致 割り込み許可ビットB	0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致 割り込み許可ビットC	0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致 割り込み許可ビットD	0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0 : OVFビットによる割り込み(OVI)禁止 1 : OVFビットによる割り込み(OVI)許可	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b6	-			
b7	-			

20.8.13 タイマRDカウンタ0 (TRD0)[PWM3モード時]

アドレス 0147h ~ 0146h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、TRD1レジスタは使用しません。

20.8.14 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i=0 ~ 1)[PWM3モード時]

アドレス 0149h ~ 0148h 番地 (TRDGRA0)、014Bh ~ 014Ah 番地 (TRDGRB0)、
014Dh ~ 014Ch 番地 (TRDGRC0)、014Fh ~ 014Eh 番地 (TRDGRD0)、
0159h ~ 0158h 番地 (TRDGRA1)、015Bh ~ 015Ah 番地 (TRDGRB1)、
015Dh ~ 015Ch 番地 (TRDGRC1)、015Fh ~ 015Eh 番地 (TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	「表20.16 PWM3モード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、次のレジスタは無効です。

TRDPMR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表20.16 PWM3モード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0		ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1レジスタ設定値以上	TRDIOA0
TRDGRA1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRA0レジスタ設定値以下	
TRDGRB0		ジェネラルレジスタ。PWM出力の変化点(初期出力レベルに戻るタイミング)を設定してください。 設定範囲：TRDGRB1レジスタ設定値以上、TRDGRA0レジスタ設定値以下	TRDIOB0
TRDGRB1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRB0レジスタ設定値以下	
TRDGRC0	BFC0=0	(PWM3モードでは使用しません)	
TRDGRC1	BFC1=0		
TRDGRD0	BFD0=0		
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	バッファレジスタ。次回のPWM周期を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRC1レジスタ設定値以上	TRDIOA0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRC0レジスタ設定値以下	
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRD1レジスタ設定値以上、TRDGRC0レジスタ設定値以下	TRDIOB0
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRD0レジスタ設定値以下	

BFC0、BFD0、BFC1、BFD1：TRDMRレジスタのビット

PWM3モードでは使用しませんが、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタをバッファレジスタに使う際に、BFC0、BFC1、BFD0、BFD1ビットを“0”(ジェネラルレジスタ)にして、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタに値を書き込み、この後BFC0、BFC1、BFD0、BFD1ビットを“1”(バッファレジスタ)にしても構いません。

20.8.15 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD0SEL0	TRDIOC0SEL1	TRDIOC0SEL0	TRDIOB0SEL1	TRDIOB0SEL0	-	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	0 : TRDIOA0/TRDCLK端子は使用しない 1 : P2_0に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	b3 b2 0 0 : TRDIOB0端子は使用しない 0 1 : 設定しないでください 1 0 : P2_2に割り当てる 1 1 : 設定しないでください	R/W
b3	TRDIOB0SEL1			R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	b5 b4 0 0 : TRDIOC0端子は使用しない 0 1 : 設定しないでください 1 0 : P2_1に割り当てる 1 1 : 設定しないでください	R/W
b5	TRDIOC0SEL1			R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	0 : TRDIOD0端子は使用しない 1 : P2_3に割り当てる	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.8.16 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRDIOD1SEL0	-	TRDIOC1SEL0	-	TRDIOB1SEL0	-	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	0 : TRDIOA1端子は使用しない 1 : P2_4に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	0 : TRDIOB1端子は使用しない 1 : P2_5に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	0 : TRDIOC1端子は使用しない 1 : P2_6に割り当てる	R/W
b5	-	予約ビット	“0”にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	0 : TRDIOD1端子は使用しない 1 : P2_7に割り当てる	R/W
b7	-	予約ビット	“0”にしてください	R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.8.17 動作例

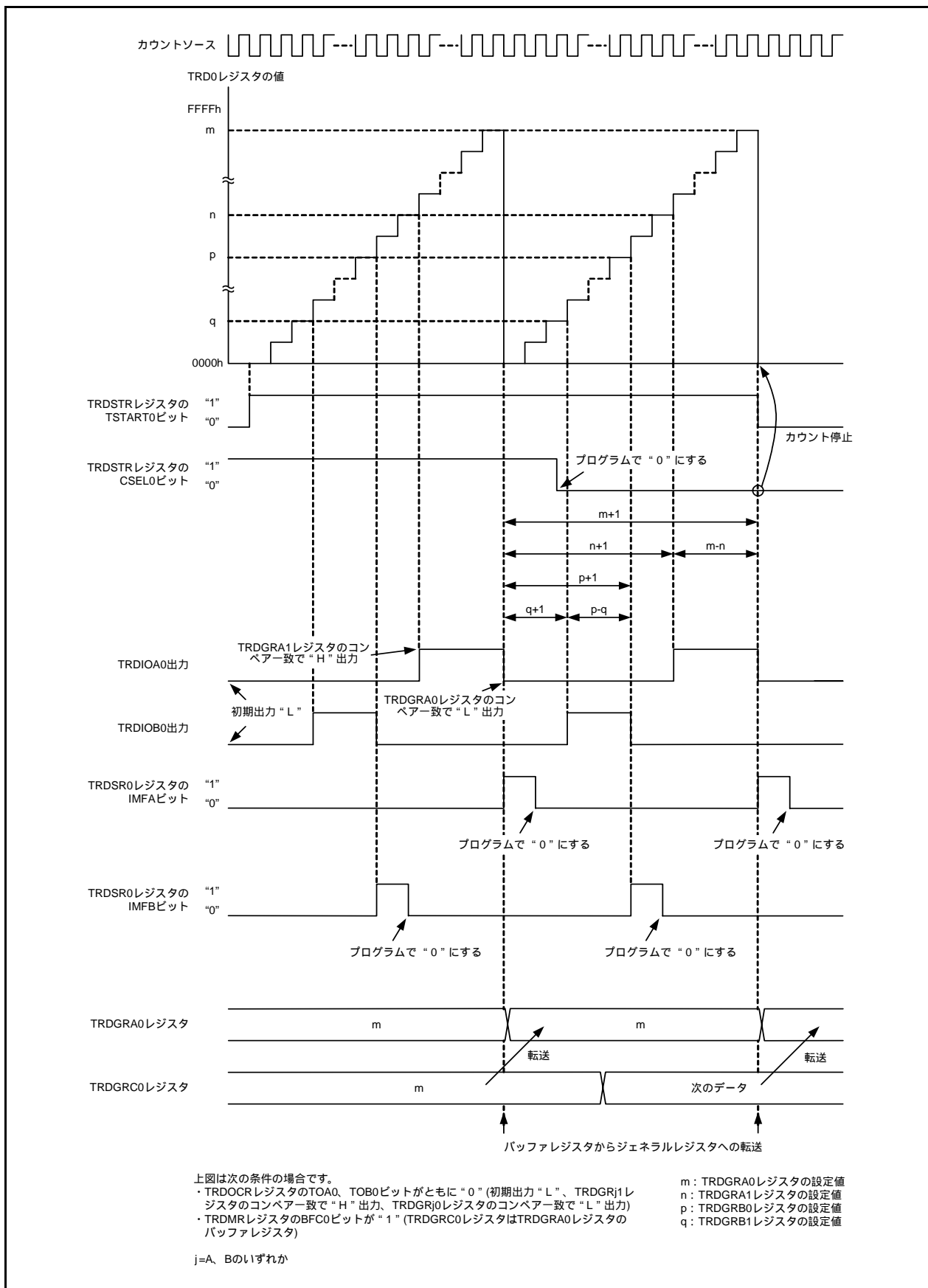


図20.23 PWM3モードの動作例

20.8.18 A/Dトリガ発生

TRDi (i=0 ~ 1)レジスタとTRDGRji (j=A、B、C、D)レジスタのコンペアー致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペアー致を使用するか選択できます。

20.9 タイマ RD 割り込み

タイマ RD は、タイマ RD0 とタイマ RD1 ごとに 6 つの要因から タイマ RD i ($i=0 \sim 1$) 割り込み要求を発生します。タイマ RD 割り込みはタイマ RD0 とタイマ RD1 ごとに 1 つの TRDiIC ($i=0 \sim 1$) レジスタ (IR ビット、ILVL0 ~ ILVL2 ビット) と 1 つのベクタを持ちます。

表 20.17 にタイマ RD 割り込み関連レジスタを、図 20.24 にタイマ RD 割り込みのブロック図を示します。

表 20.17 タイマ RD 割り込み関連レジスタ

	タイマ RD ステータスレジスタ	タイマ RD 割り込み許可レジスタ	タイマ RD 割り込み制御レジスタ
タイマ RD0	TRDSR0	TRDIER0	TRD0IC
タイマ RD1	TRDSR1	TRDIER1	TRD1IC

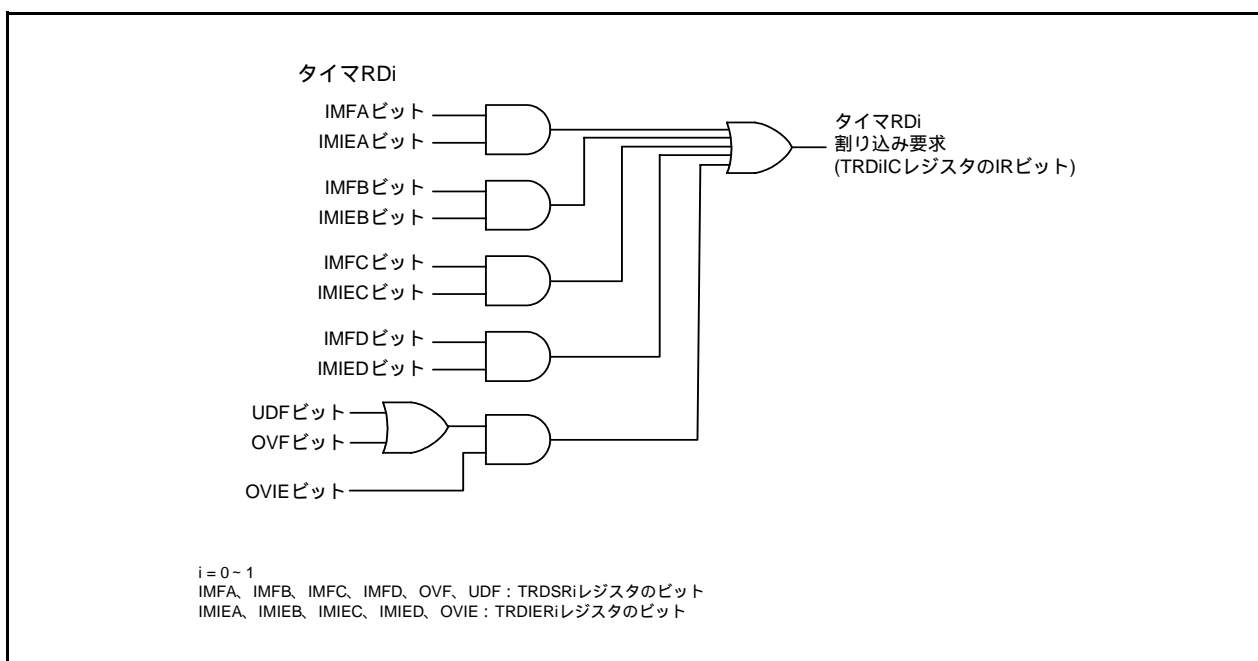


図 20.24 タイマ RD 割り込みのブロック図

タイマ RD 割り込みが、I フラグ、IR ビット、ILVL0 ~ ILVL2 ビットと IPL の関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1 つの割り込み要因 (タイマ RD 割り込み) を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRDSR i レジスタのビットが “1” で、それに対応する TRDIER i レジスタのビットが “1” (割り込み許可) の場合、TRDiIC レジスタの IR ビットが “1” (割り込み要求あり) になります。
- TRDSR i レジスタのビットと、それに対応する TRDIER i レジスタのビットのどちらか、または両方が “0” になると IR ビットが “0” (割り込み要求なし) になります。すなわち、IR ビットは、一旦 “1” になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IR ビットが “1” になった後、別の要求要因が成立した場合、IR ビットは “1” のまま変化しません。
- TRDIER i レジスタの複数のビットを “1” にしている場合、どの要求要因による割り込みかは、TRDSR i レジスタで判定してください。
- TRDSR i レジスタの各ビットは、割り込みが受け付けられても自動的に “0” になりませんので、割り込みルーチン内で “0” にしてください。“0” にする方法は「モード毎の TRDSR0 ~ TRDSR1 レジスタ (20.3.11、20.4.14、20.5.12、20.6.10、20.7.10、20.8.11)」を参照してください。

TRDSR_i レジスタは「モード毎のTRDSR0 ~ TRDSR1 レジスタ (20.3.11、20.4.14、20.5.12、20.6.10、20.7.10、20.8.11)」を、TRDIER_i レジスタは「モード毎のTRDIER0 ~ TRDIER1 レジスタ (20.3.12、20.4.15、20.5.13、20.6.11、20.7.11、20.8.12)」を参照してください。

TRDiC レジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

20.10 タイマRD使用上の注意

20.10.1 TRDSTR レジスタ

- TRDSTR レジスタはMOV 命令を使用して書いてください。
- CSELi (i=0 ~ 1) ビットが“0” (TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止) の場合、TSTARTi ビットに“0” (カウント停止) を書いても、カウントは停止せず、TSTARTi ビットも変化しません。
したがって、CSELi ビットが“0” のとき、TSTARTi ビットを変化させずに他のビットを変更したい場合は、TSTARTi ビットに“0” を書いてください。
また、プログラムでカウントを停止させる場合は、CSELi ビットを“1” にした後で、TSTARTi ビットに“0” を書いてください。同時に(1 命令で)CSELi ビットに“1”、TSTARTi ビットに“0” を書いてもカウントは停止できません。
- TRDIOji (j=A、B、C、D) 端子をタイマRD 出力で使用している場合の、カウント停止時の出力レベルを表20.18 に示します。

表20.18 カウント停止時のTRDIOji (j=A、B、C、D) 端子出力レベル

カウント停止方法	カウント停止時のTRDIOji 端子出力
CSELi ビットが“1” のときに、TSTARTi ビットに“0” を書きカウント停止	直前の出力レベルを保持
CSELi ビットが“0” のときに、TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止	コンペアー一致による出力変化後、そのレベルを保持

20.10.2 TRDi レジスタ (i=0 ~ 1)

- TRDSTR レジスタのTSTARTi ビットが“1” (カウント開始) の状態で、プログラムでTRDi レジスタに値を書き込む場合は、TRDi レジスタが“0000h” になるタイミングと重ならないように書いてください。
TRDi レジスタが“0000h” になるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDi レジスタが“0000h” になります。
この注意事項は、TRDCRi レジスタのCCLR2 ~ CCLR0 ビットで次の選択をしている場合に該当します。
 - “001b” (TRDGRAi レジスタとのコンペアー一致でTRDi レジスタをクリア)
 - “010b” (TRDGRBi レジスタとのコンペアー一致でTRDi レジスタをクリア)
 - “011b” (同期クリア)
 - “101b” (TRDGRCi レジスタとのコンペアー一致でTRDi レジスタをクリア)
 - “110b” (TRDGRDi レジスタとのコンペアー一致でTRDi レジスタをクリア)

- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

```

プログラム例      MOV.W  #XXXXh, TRD0      ; 書き込み
                   JMP.B   L1              ; JMP.B 命令
                   L1:    MOV.W  TRD0, DATA    ; 読み出し

```

20.10.3 TRDSR_i レジスタ (i=0 ~ 1)

TRDSR_i レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

```
プログラム例      MOV.B   #XXh, TRDSR0      ; 書き込み
                   JMP.B   L1              ; JMP.B 命令
L1:                MOV.B   TRDSR0, DATA    ; 読み出し
```

20.10.4 TRDCR_i レジスタ (i=0 ~ 1)

TRDCR_i レジスタの TCK2 ~ TCK0 ビットを “111b” (fOCO-F) にするときは、CPU クロックより速いクロック周波数に fOCO-F を設定してください。

20.10.5 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

変更手順

- (1) TRDSTR レジスタの TSTART_i (i=0 ~ 1) ビットを “0” (カウント停止) にする
- (2) TRDCR_i レジスタの TCK2 ~ TCK0 ビットを変更する

- カウントソースを fOCO40M からその他のクロックに変更し、fOCO40M を停止させる場合は、クロック切り替え設定後、f1 の2サイクル以上待ってから fOCO40M を停止させてください。

変更手順

- (1) TRDSTR レジスタの TSTART_i (i=0 ~ 1) ビットを “0” (カウント停止) にする
- (2) TRDCR_i レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) f1 の2サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “0” (高速オンチップオシレータ停止) にする

- カウントソースを fOCO-F から fOCO40M に変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の2サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRDSTR レジスタの TSTART_i (i=0 ~ 1) ビットを “0” (カウント停止) にする
- (2) TRDCR_i レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の2サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “0” (高速オンチップオシレータ停止) にする

- カウントソースを fOCO-F から fOCO40M 以外のクロックに変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の1サイクル + fOCO40M の1サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRDSTR レジスタの TSTART_i (i=0 ~ 1) ビットを “0” (カウント停止) にする
- (2) TRDCR_i レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の1サイクル + fOCO40M の1サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “0” (高速オンチップオシレータ停止) にする

20.10.6 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表 20.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIO_{ji} (i=0 ~ 1、j=A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRDの動作クロックの2 ~ 3サイクル後にTRD_iレジスタの値をTRDGR_{ji}レジスタに転送します(デジタルフィルタなしの場合)。

20.10.7 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。

変更手順

- (1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
- (2) TRDFCRレジスタのCMD1 ~ CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
- (3) CMD1 ~ CMD0を“01b”(リセット同期PWMモード)にする
- (4) その他のタイマRD関連レジスタを再設定する

20.10.8 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCR レジスタのCMD1 ~ CMD0 ビットを変更するときは、次の手順で変更してください。
変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合

- TRDSTR レジスタのTSTART0 ビット、TSTART1 ビットを両方とも“0”(カウント停止)にする
- TRDFCR レジスタのCMD1 ~ CMD0 ビットを“00b”(タイマモード、PWM モード、PWM3 モード)にする
- CMD1 ~ CMD0 を“10b”、または“11b”(相補PWMモード)にする
- その他のタイマRD関連レジスタを再設定する

変更手順：相補PWMモードを止める場合

- TRDSTR レジスタのTSTART0 ビット、TSTART1 ビットを両方とも“0”(カウント停止)にする
- CMD1 ~ CMD0 ビットを“00b”(タイマモード、PWM モード、PWM3 モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1 レジスタに書き込まないでください。
PWM 波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1 レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1 レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1 の書き込みに際しては、BFD0、BFC1、BFD1 ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1 ビットを“1”(バッファレジスタ)にしても構いません。
PWM周期は変更できません。

- TRDGRA0 レジスタに設定した値を m とすると、TRD0 レジスタはアップカウントからダウンカウントに変わるとき、 $m-1$ m $m+1$ m $m-1$ とカウントします。
 m $m+1$ のとき、IMFA ビットが“1”になります。また、TRDFCR レジスタのCMD1 ~ CMD0 ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
 $m+1$ m $m-1$ の動作ではIMFA ビットは変化せず、TRDGRA0 レジスタ等へのデータ転送もありません。

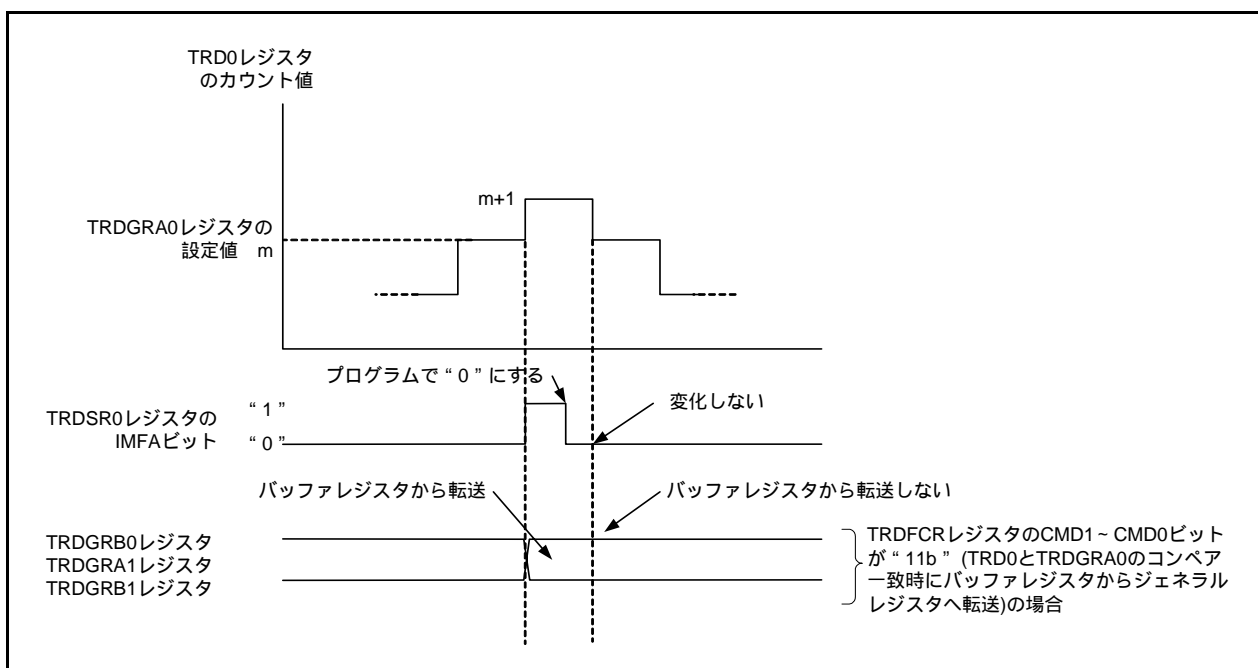


図 20.25 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1 0 FFFFh 0 1とカウントします。
1 0 FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”(相補PWMモード、TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
FFFFh 0 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

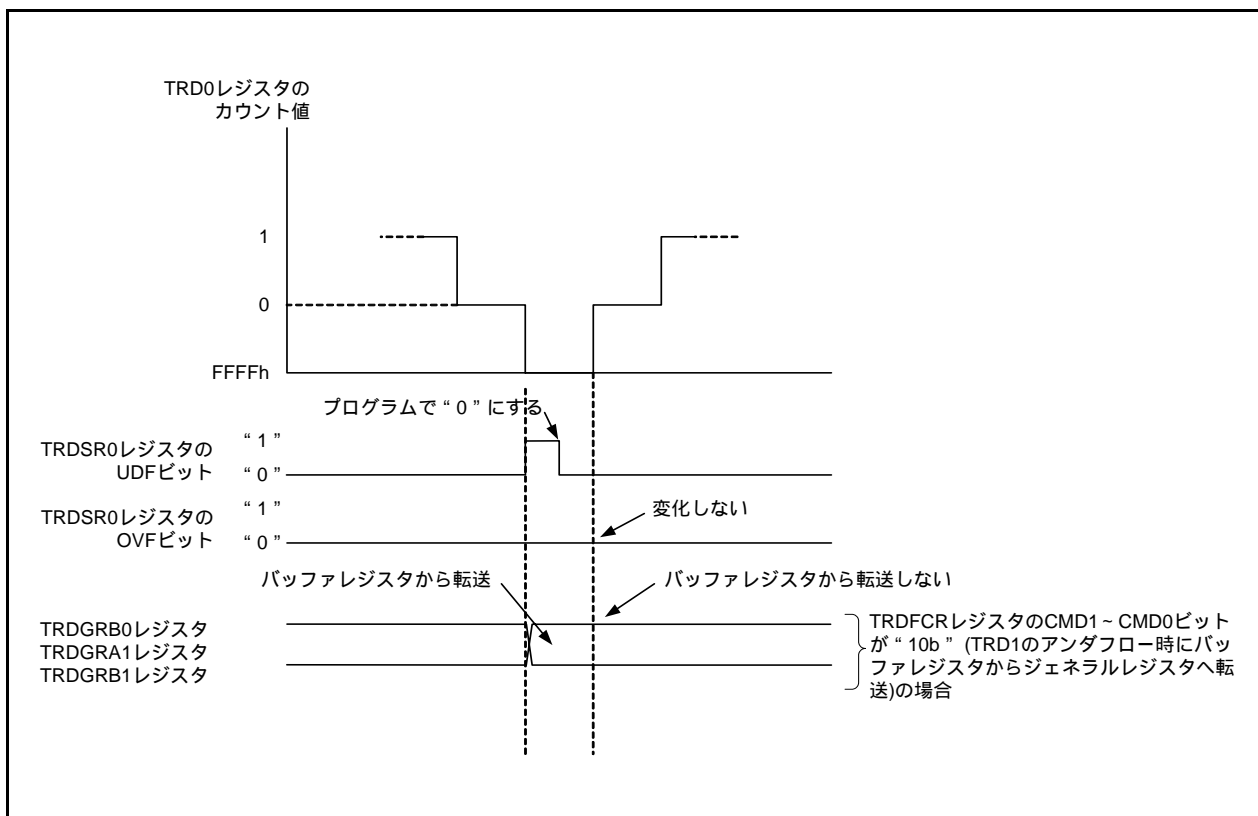


図 20.26 相補PWMモード TRD1がアンダーフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタの CMD1 ~ CMD0 ビットで選択してください。ただし、次の場合は CMD1 ~ CMD0 ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 TRDGRA0 レジスタの値の場合

TRD1 レジスタのアンダフローで転送します。

その後、“0001h” 以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目に TRD1 レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降は CMD1 ~ CMD0 ビットで選択したタイミングで転送します。

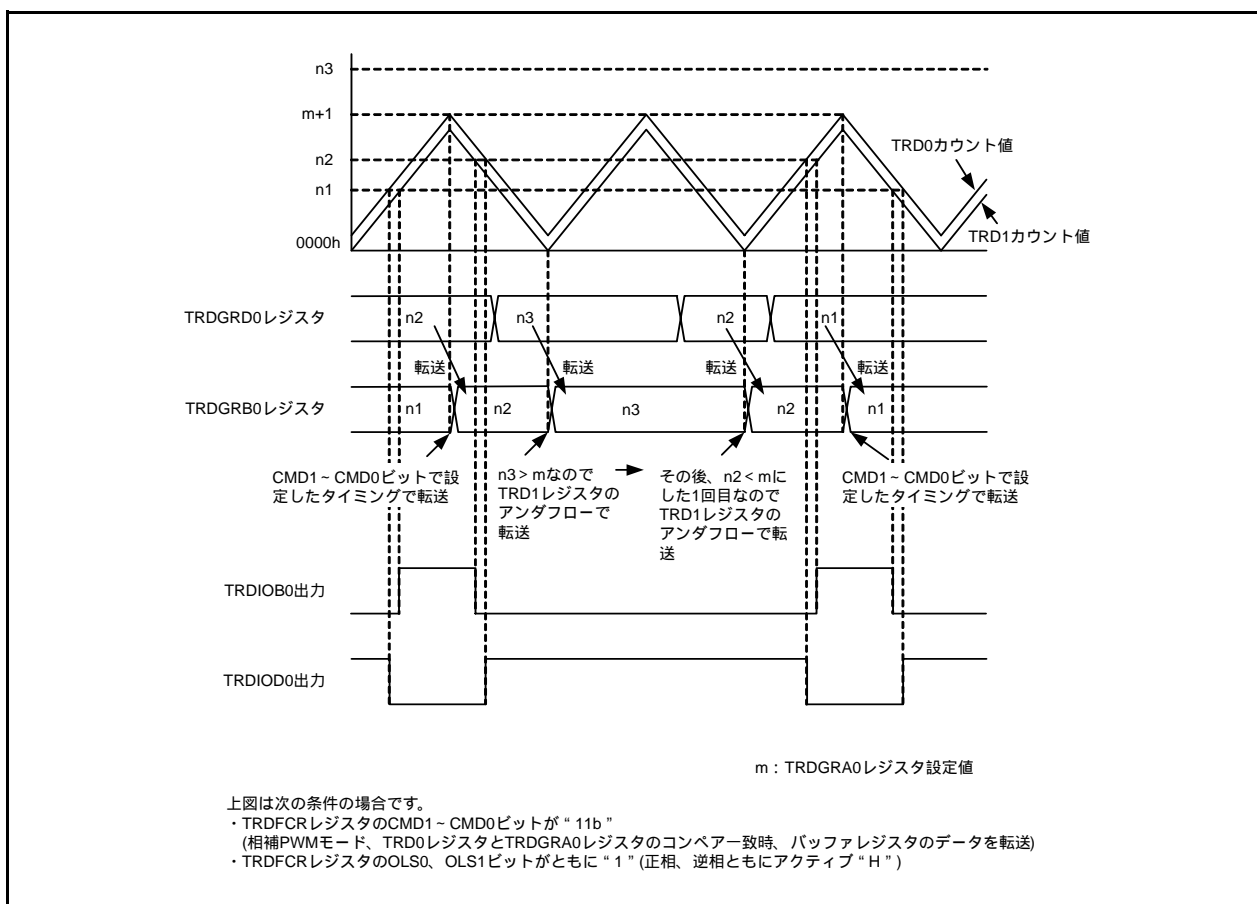


図 20.27 相補PWMモード時のバッファレジスタの値 TRDGRA0 レジスタ値の場合の動作例

バッファレジスタの値が“0000h”の場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。

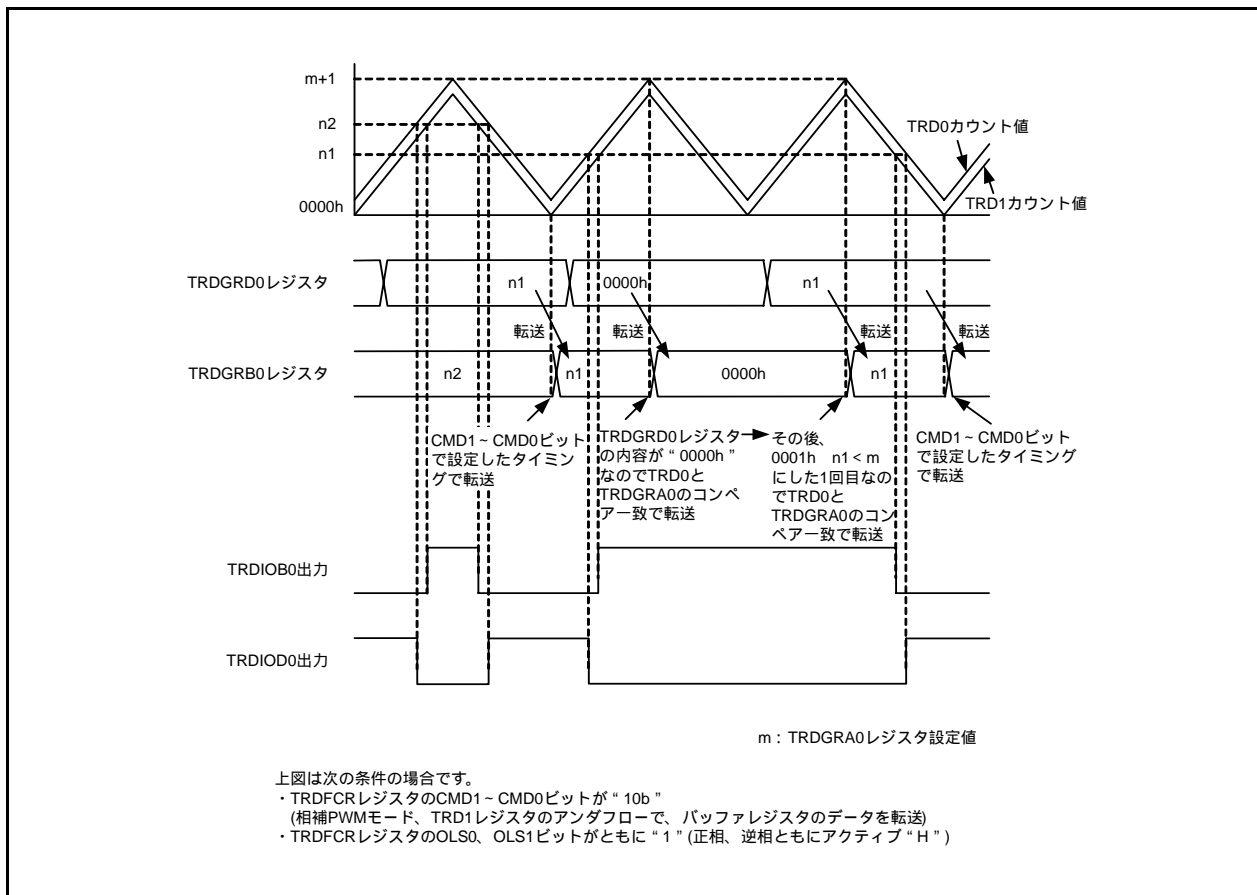


図 20.28 相補PWMモード時のバッファレジスタの値が“0000h”の場合の動作例

20.10.9 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=2.7V～5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

21. タイマRE

タイマREは、4ビットカウンタと8ビットカウンタを持つタイマです。

21.1 概要

タイマREは次の2つのモードを持ちます。

- リアルタイムクロックモード fC4から1sを作り、秒、分、時、曜日をカウントするモード
- アウトプットコンペアモード カウントソースをカウントし、コンペア一致を検出するモード

タイマREのカウントソースは、タイマ動作の動作クロックになります。

表21.1にタイマREの端子構成を示します。

表21.1 タイマREの端子構成

端子名	割り当てる端子	入出力	機能
TREO	P0_4またはP6_0	出力	モードによって機能が異なります。 詳細は各モードを参照してください。

21.2 リアルタイムクロックモード

fC4から2分周器、4ビットカウンタ、8ビットカウンタを使って1sを作り、それを元に秒、分、時、曜日をカウントするモードです。図21.1にリアルタイムクロックモードのブロック図を、表21.2にリアルタイムクロックモードの仕様を、表21.3に割り込み要因を、図21.2に時間表現の定義を、図21.3にリアルタイムクロックモードの動作例を示します。

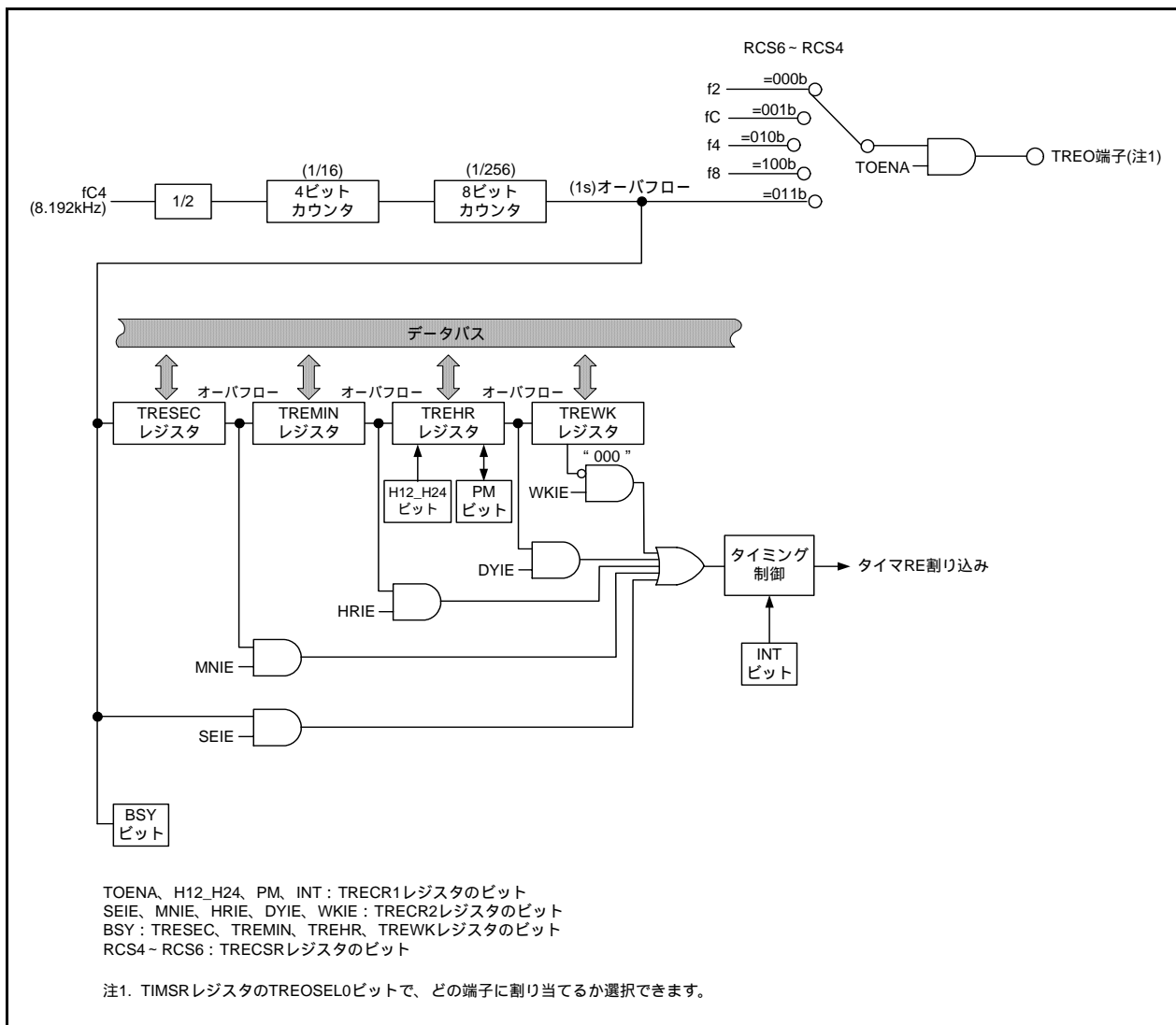


図21.1 リアルタイムクロックモードのブロック図

表21.2 リアルタイムクロックモードの仕様

項目	仕様
カウントソース	fC4
カウント動作	アップカウント
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	次のうち、いずれか1つを選択 • 秒データの更新 • 分データの更新 • 時データの更新 • 曜日データの更新 • 曜日データが“000b”(日曜日)になったとき
TREO端子機能	プログラマブル入出力ポート、またはf2、fC、f4、f8、1Hzのいずれかを出力
タイマの読み出し	TRESEC、TREMIN、TREHR、TREWKレジスタを読むと、カウント値が読める。 TRESEC、TREMIN、TREHRレジスタの値はBCDコード。
タイマの書き込み	TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のときTRESEC、TREMIN、TREHR、TREWKレジスタに書き込める。TRESEC、TREMIN、TREHRレジスタへ書き込む値はBCDコード。
選択機能	• 12時間モード/24時間モード切り替え機能 • TREO端子選択機能 TIMSRレジスタのTREOSEL0ビットでP0_4またはP6_0を選択

21.2.1 タイマRE秒データレジスタ(TRESEC)[リアルタイムクロックモード時]

アドレス 0118h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	SC00	秒一位カウントビット	1秒ごとに0から9をカウント。桁上がりが発生すると、秒十位が1加算される。	0 ~ 9 (BCDコード)	R/W
b1	SC01				R/W
b2	SC02				R/W
b3	SC03				R/W
b4	SC10	秒十位カウントビット	0から5をカウントして、60秒をカウント	0 ~ 5 (BCDコード)	R/W
b5	SC11				R/W
b6	SC12				R/W
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMINT、TREHR、TREWKレジスタが更新中、“1”になります		R

21.2.2 タイマRE分データレジスタ(TREMINT)[リアルタイムクロックモード時]

アドレス 0119h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	MN12	MN11	MN10	MN03	MN02	MN01	MN00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	MN00	分一位カウントビット	1分ごとに0から9をカウント。桁上がりが発生すると、分十位が1加算される。	0 ~ 9 (BCDコード)	R/W
b1	MN01				R/W
b2	MN02				R/W
b3	MN03				R/W
b4	MN10	分十位カウントビット	0から5をカウントして、60分をカウント	0 ~ 5 (BCDコード)	R/W
b5	MN11				R/W
b6	MN12				R/W
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMINT、TREHR、TREWKレジスタが更新中、“1”になります		R

21.2.3 タイマRE時データレジスタ(TREHR)[リアルタイムクロックモード時]

アドレス 011Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	-	HR11	HR10	HR03	HR02	HR01	HR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	HR00	時一位カウントビット	1時間ごとに0から9をカウント。桁上がりが発生すると、時十位が1加算される。	0～9 (BCDコード)	R/W
b1	HR01				R/W
b2	HR02				R/W
b3	HR03				R/W
b4	HR10	時十位カウントビット	H12_H24ビットが“0”(12時間モード)のとき、0から1をカウント。 H12_H24ビットが“1”(24時間モード)のとき、0から2をカウント。	0～2 (BCDコード)	R/W
b5	HR11				R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			-
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります		R

21.2.4 タイマRE曜日データレジスタ(TREWK)[リアルタイムクロックモード時]

アドレス 011Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	-	-	-	-	WK2	WK1	WK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WK0	曜日カウントビット	b2 b1 b0 0 0 0 : 日 0 0 1 : 月 0 1 0 : 火 0 1 1 : 水 1 0 0 : 木 1 0 1 : 金 1 1 0 : 土 1 1 1 : 設定しないでください	R/W
b1	WK1			R/W
b2	WK2			R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	BSY	タイマRE ビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります	R

21.2.5 タイマRE制御レジスタ1 (TREC1)[リアルタイムクロックモード時]

アドレス 011Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	H12_H24	PM	TRERST	INT	TOENA	TCSTF	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	TCSTF	タイマREカウントステータスフラグ	0: カウント停止中 1: カウント中	R
b2	TOENA	TREO 端子出力許可ビット	0: クロック出力禁止 1: クロック出力許可	R/W
b3	INT	割り込み要求タイミングビット	リアルタイムクロックモードでは“1”にしてください	R/W
b4	TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 • TRESEC、TREMIN、TREHR、TREWK、TREC1 レジスタが“00h” • TREC1 レジスタのTCSTF、INT、PM、H12_H24、TSTART ビットが“0” • 8ビットカウンタが“00h”、4ビットカウンタが“0h”	R/W
b5	PM	午前/午後ビット	H12_H24 ビットが“0” (12時間モード) のとき (注1) 0: 午前 1: 午後 H12_H24 ビットが“1” (24時間モード) のとき、不定	R/W
b6	H12_H24	動作モード選択ビット	0: 12時間モード 1: 24時間モード	R/W
b7	TSTART	タイマREカウント開始ビット	0: カウント停止 1: カウント開始	R/W

注1. タイマREがカウント中、自動的に変化します。

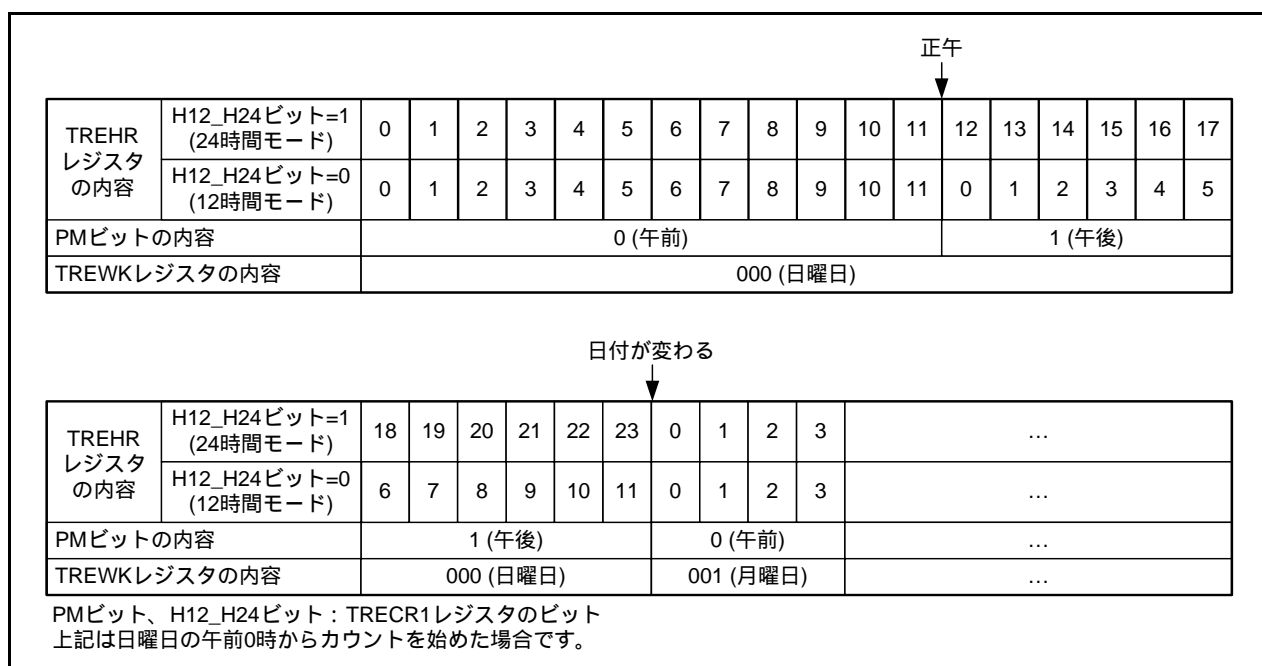


図21.2 時間表現の定義

21.2.6 タイマRE制御レジスタ2 (TRECRC2)[リアルタイムクロックモード時]

アドレス 011Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	COMIE	WKIE	DYIE	HRIE	MNIE	SEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEIE	秒周期割り込み許可ビット(注1)	0: 秒周期割り込み禁止 1: 秒周期割り込み許可	R/W
b1	MNIE	分周期割り込み許可ビット(注1)	0: 分周期割り込み禁止 1: 分周期割り込み許可	R/W
b2	HRIE	時周期割り込み許可ビット(注1)	0: 時周期割り込み禁止 1: 時周期割り込み許可	R/W
b3	DYIE	日周期割り込み許可ビット(注1)	0: 日周期割り込み禁止 1: 日周期割り込み許可	R/W
b4	WKIE	週周期割り込み許可ビット(注1)	0: 週周期割り込み禁止 1: 週周期割り込み許可	R/W
b5	COMIE	コンペアー致割り込み許可ビット	リアルタイムクロックモードでは“0”にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

注1. 複数の許可ビットを“1”(割り込み許可)にしないでください。

表21.3 割り込み要因

要因名	割り込み要因	割り込み許可ビット
週周期割り込み	TREWKレジスタの値が“000b”(日曜日)になる(1週間周期)	WKIE
日周期割り込み	TREWKレジスタが更新(1日周期)される	DYIE
時周期割り込み	TREHRレジスタが更新(1時間周期)される	HRIE
分周期割り込み	TREMINレジスタが更新(1分周期)される	MNIE
秒周期割り込み	TRESECレジスタが更新(1秒周期)される	SEIE

21.2.7 タイマRE カウントソース選択レジスタ (TRECSR)[リアルタイムクロックモード時]

アドレス 011Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RCS6	RCS5	RCS4	RCS3	RCS2	RCS1	RCS0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCS0	カウントソース選択ビット	リアルタイムクロックモードでは“00b”にしてください	R/W
b1	RCS1			R/W
b2	RCS2	4ビットカウンタ選択ビット	リアルタイムクロックモードでは“0”にしてください	R/W
b3	RCS3	リアルタイムクロックモード選択ビット	リアルタイムクロックモードでは“1”にしてください	R/W
b4	RCS4	クロック出力選択ビット(注1)	b6 b5 b4 0 0 0 : f2 0 0 1 : fC 0 1 0 : f4 0 1 1 : 1Hz 1 0 0 : f8 上記以外 : 設定しないでください	R/W
b5	RCS5			R/W
b6	RCS6			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

注1. RCS4 ~ RCS6ビットは、TRECR1レジスタのTOENAビットが0(クロック出力禁止)のとき、書いてください。

21.2.8 タイマ端子選択レジスタ (TIMSR)

アドレス 0186h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	TREOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TREOSEL0	TREO端子選択ビット	0 : P0_4に割り当てる 1 : P6_0に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

TIMSRレジスタは、タイマREの出力をどの端子に割り当てるかを選択するレジスタです。タイマREの出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマREの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマREの動作中はTIMSRレジスタの設定値を変更しないでください。

21.2.9 動作例

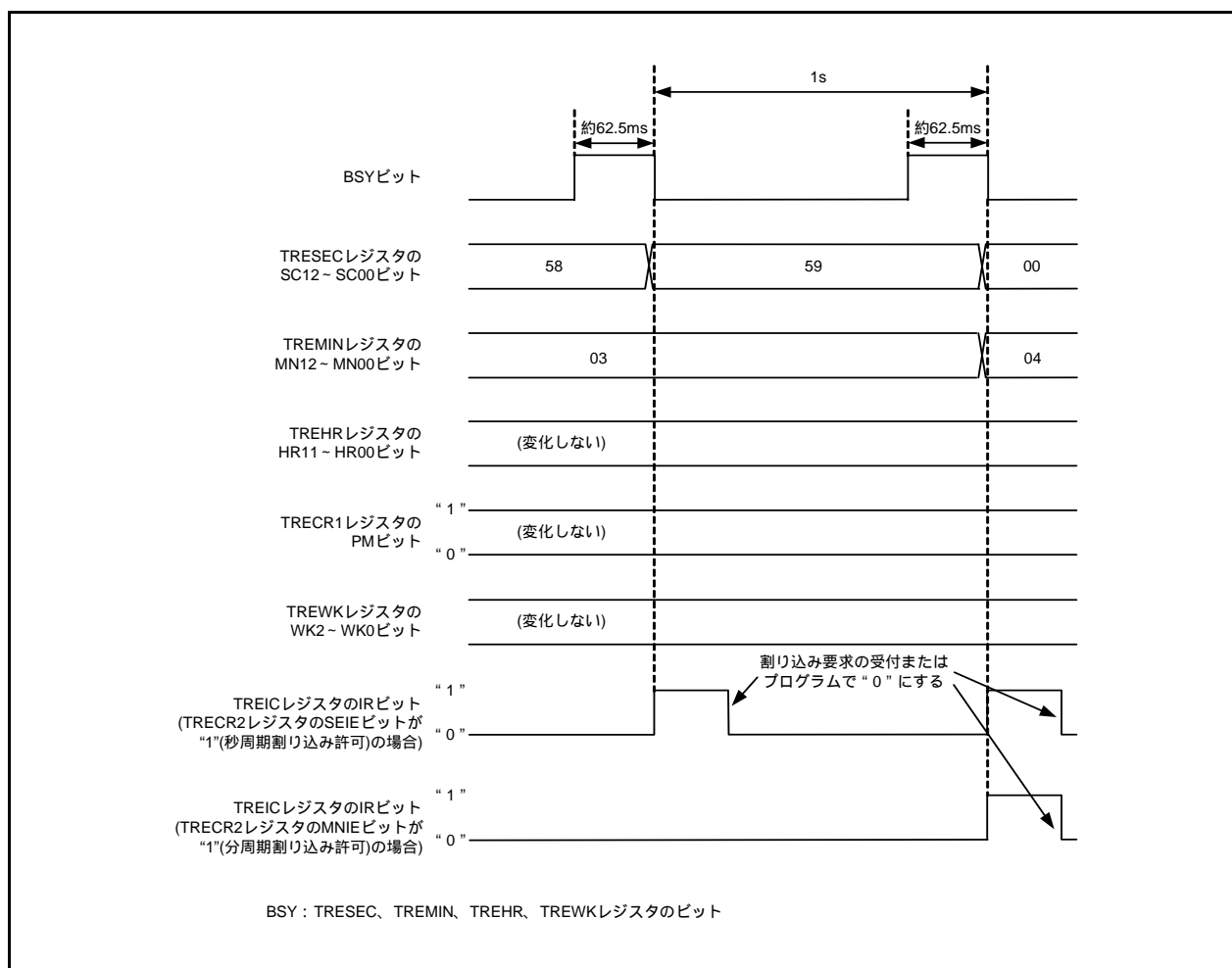


図21.3 リアルタイムクロックモードの動作例

21.3 アウトプットコンペアモード

カウントソースを2分周したものを、4ビットカウンタ、8ビットカウンタを使ってカウントし、8ビットカウンタとコンペア値の一致を検出するモードです。図21.4にアウトプットコンペアモードのブロック図を、表21.4にアウトプットコンペアモードの仕様を、図21.5にアウトプットコンペアモードの動作例を示します。

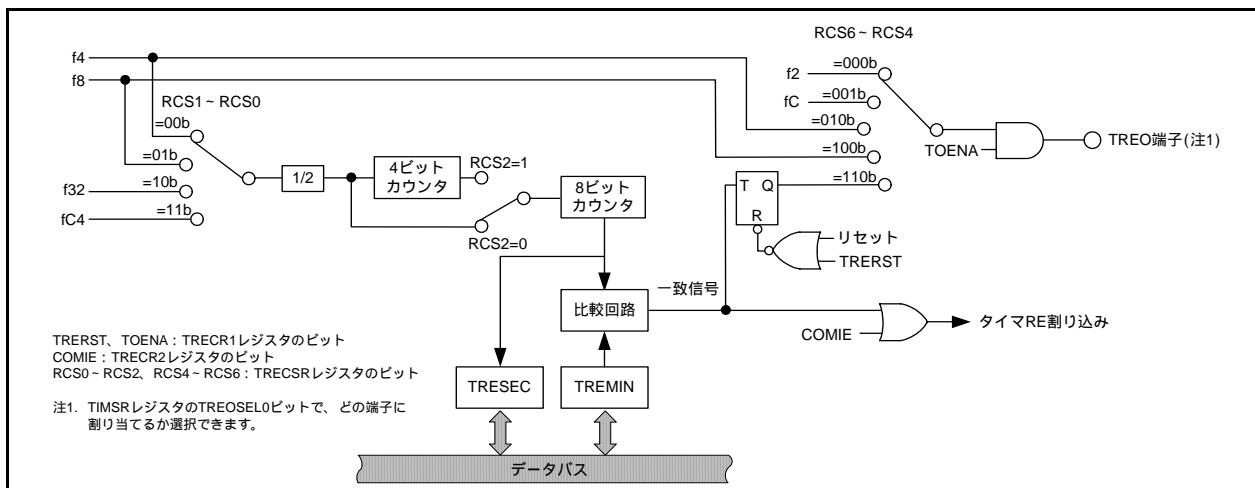


図 21.4 アウトプットコンペアモードのブロック図

表21.4 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f4、f8、f32、fC4
カウント動作	<ul style="list-style-type: none"> • アップカウント • 8ビットカウンタは、値がTREMINTレジスタの内容と一致すると、値が“00h”に戻り、カウントを継続。カウント停止中はカウント値を保持。
カウント周期	<ul style="list-style-type: none"> • RCS2=0 (4ビットカウンタ使用しない)の場合 $1/f_i \times 2 \times (n+1)$ • RCS2=1 (4ビットカウンタ使用する)の場合 $1/f_i \times 32 \times (n+1)$ <p>f_i : カウントソースの周波数 n : TREMINTレジスタの設定値</p>
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	8ビットカウンタの内容とTREMINTレジスタの内容が一致したとき
TREO端子機能	<p>次のいずれかを選択</p> <ul style="list-style-type: none"> • プログラマブル入出力ポート • f2、fC、f4、f8のいずれかを出力 • コンペア出力
タイマの読み出し	<p>TRESECレジスタを読むと、8ビットカウンタの値が読める。</p> <p>TREMINTレジスタを読むと、コンペア値が読める。</p>
タイマの書き込み	<p>TRESECレジスタへの書き込みはできない。</p> <p>TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のとき、TREMINTレジスタに書き込める。</p>
選択機能	<ul style="list-style-type: none"> • 4ビットカウンタ使用選択 • コンペア出力機能 8ビットカウンタ値とTREMINTレジスタの内容が一致するごとにTREO出力極性を反転。リセット解除後と、TRECR1のTRERSTビットによるタイマREリセット後は“L”出力。TSTARTビットを“0”(カウント停止)にすると出力レベルを保持。 • TREO端子選択機能 TIMSRレジスタのTREOSEL0ビットでP0_4またはP6_0を選択

21.3.1 タイマREカウンタデータレジスタ(TRESEC)[アウトプットコンペアモード時]

アドレス 0118h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7 ~ b0	8ビットのカウンタデータが読めます。 タイマREのカウントが停止しても、カウント値は保持されます。 コンペア一致で、TRESECレジスタは“00h”になります。	R

21.3.2 タイマREコンペアデータレジスタ(TREMIN)[アウトプットコンペアモード時]

アドレス 0119h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7 ~ b0	8ビットのコンペアデータを格納	R/W

21.3.3 タイマRE制御レジスタ1 (TREC1)[アウトプットコンペアモード時]

アドレス 011Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	H12_H24	PM	TRERST	INT	TOENA	TCSTF	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	TCSTF	タイマREカウントステータスフラグ	0: カウント停止中 1: カウント中	R
b2	TOENA	TREO 端子出力許可ビット	0: クロック出力禁止 1: クロック出力許可	R/W
b3	INT	割り込み要求タイミングビット	アウトプットコンペアモードでは“0”にしてください	R/W
b4	TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 • TRESEC、TREMINT、TREHR、TREWK、TREC2 レジスタが“00h” • TREC1 レジスタのTCSTF、INT、PM、H12_H24、TSTART ビットが“0” • 8ビットカウンタが“00h”、4ビットカウンタが“0h”	R/W
b5	PM	午前/午後ビット	アウトプットコンペアモードでは“0”にしてください	R/W
b6	H12_H24	動作モード選択ビット		R/W
b7	TSTART	タイマREカウント開始ビット	0: カウント停止 1: カウント開始	R/W

21.3.4 タイマRE制御レジスタ2 (TREC2)[アウトプットコンペアモード時]

アドレス 011Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	COMIE	WKIE	DYIE	HRIE	MNIE	SEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEIE	秒周期割り込み許可ビット	アウトプットコンペアモードでは“0”にしてください	R/W
b1	MNIE	分周期割り込み許可ビット		R/W
b2	HRIE	時周期割り込み許可ビット		R/W
b3	DYIE	日周期割り込み許可ビット		R/W
b4	WKIE	週周期割り込み許可ビット		R/W
b5	COMIE	コンペアー一致割り込み許可ビット	0: コンペアー一致割り込み禁止 1: コンペアー一致割り込み許可	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			-

21.3.5 タイマRE カウントソース選択レジスタ (TRECSR)[アウトプットコンペアモード時]

アドレス 011Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RCS6	RCS5	RCS4	RCS3	RCS2	RCS1	RCS0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	RCS0	カウントソース選択ビット(注1)	b1 b0 0 0 : f4 0 1 : f8 1 0 : f32 1 1 : fC4	R/W	
b1	RCS1			R/W	
b2	RCS2	4ビットカウンタ選択ビット	0 : 使用しない 1 : 使用する	R/W	
b3	RCS3	リアルタイムクロックモード選択ビット	アウトプットコンペアモードでは“ 0 ” にしてください	R/W	
b4	RCS4	クロック出力選択ビット(注2)	b6 b5 b4 0 0 0 : f2 0 0 1 : fC 0 1 0 : f4 1 0 0 : f8 1 1 0 : コンペア出力 上記以外 : 設定しないでください	R/W	
b5	RCS5			R/W	
b6	RCS6			R/W	
b7	-	何も配置されていない。書く場合、“ 0 ” を書いてください。読んだ場合、その値は“ 0 ”。			-

注1. RCS0 ~ RCS1ビットは、TRECR1レジスタのTCSTFビットが“0”(カウント停止中)のとき、書いてください。

注2. RCS4 ~ RCS6ビットは、TRECR1レジスタのTOENAビットが“0”(クロック出力禁止)のとき、書いてください。

21.3.6 タイマ端子選択レジスタ (TIMSR)

アドレス 0186h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	TREOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TREOSEL0	TREO端子選択ビット	0 : P0_4に割り当てる 1 : P6_0に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

TIMSRレジスタは、タイマREの出力をどの端子に割り当てるかを選択するレジスタです。タイマREの出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマREの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマREの動作中はTIMSRレジスタの設定値を変更しないでください。

21.3.7 動作例

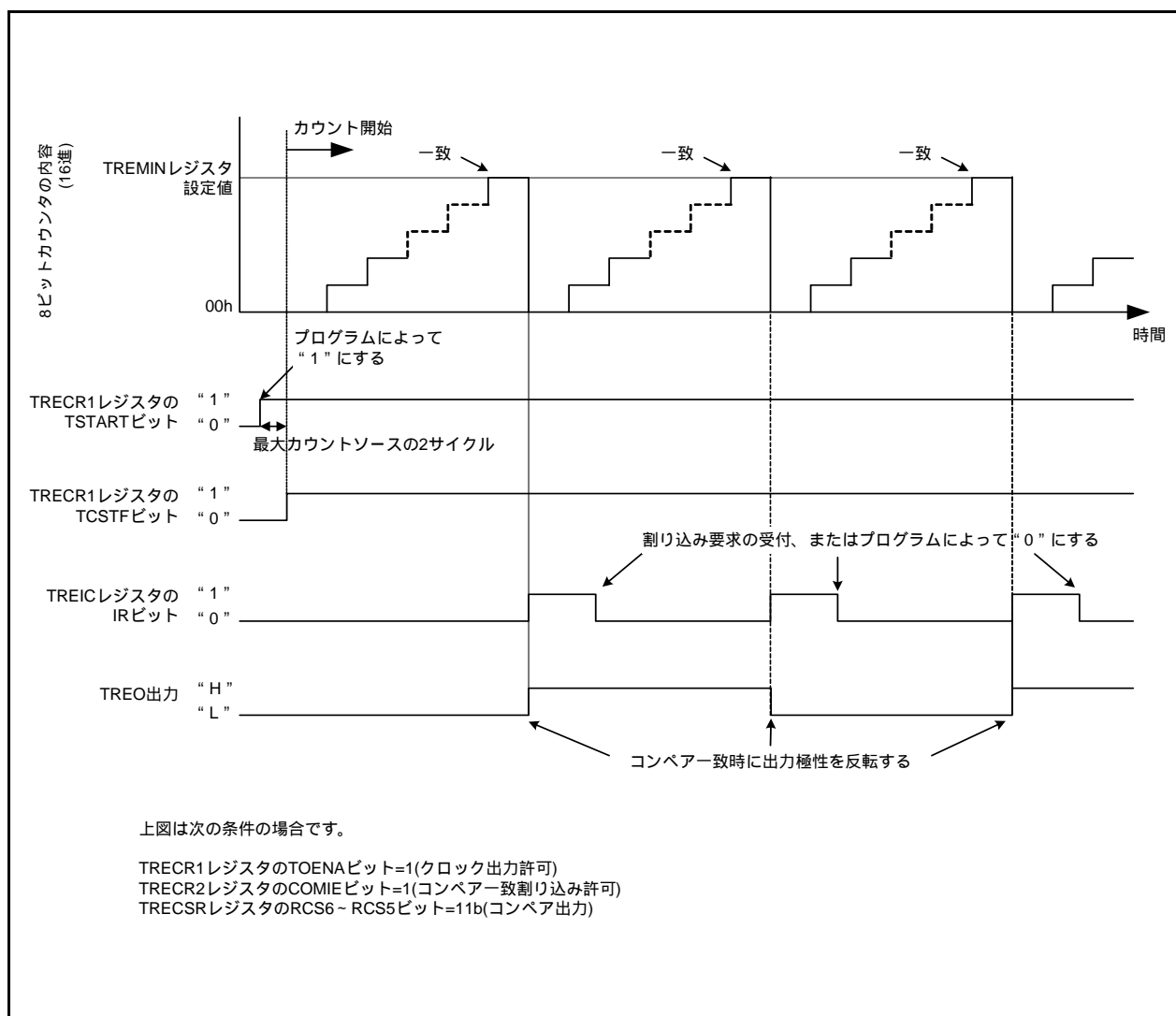


図21.5 アウトプットコンペアーモードの動作例

21.4 タイマRE使用上の注意

21.4.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECRIレジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ: TRESEC、TREMINT、TREHR、TREWK、TRECRI、TRECRI2、TRECRI3

21.4.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMINT、TREHR、TREWK、TRECRI2レジスタ
- TRECRIレジスタのH12_H24ビット、PMビット、INTビット
- TRECRI3レジスタのRCS0 ~ RCS3ビット

タイマREが停止中とは、TRECRIレジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECRI2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図21.6にリアルタイムクロックモード時の設定例を示します。

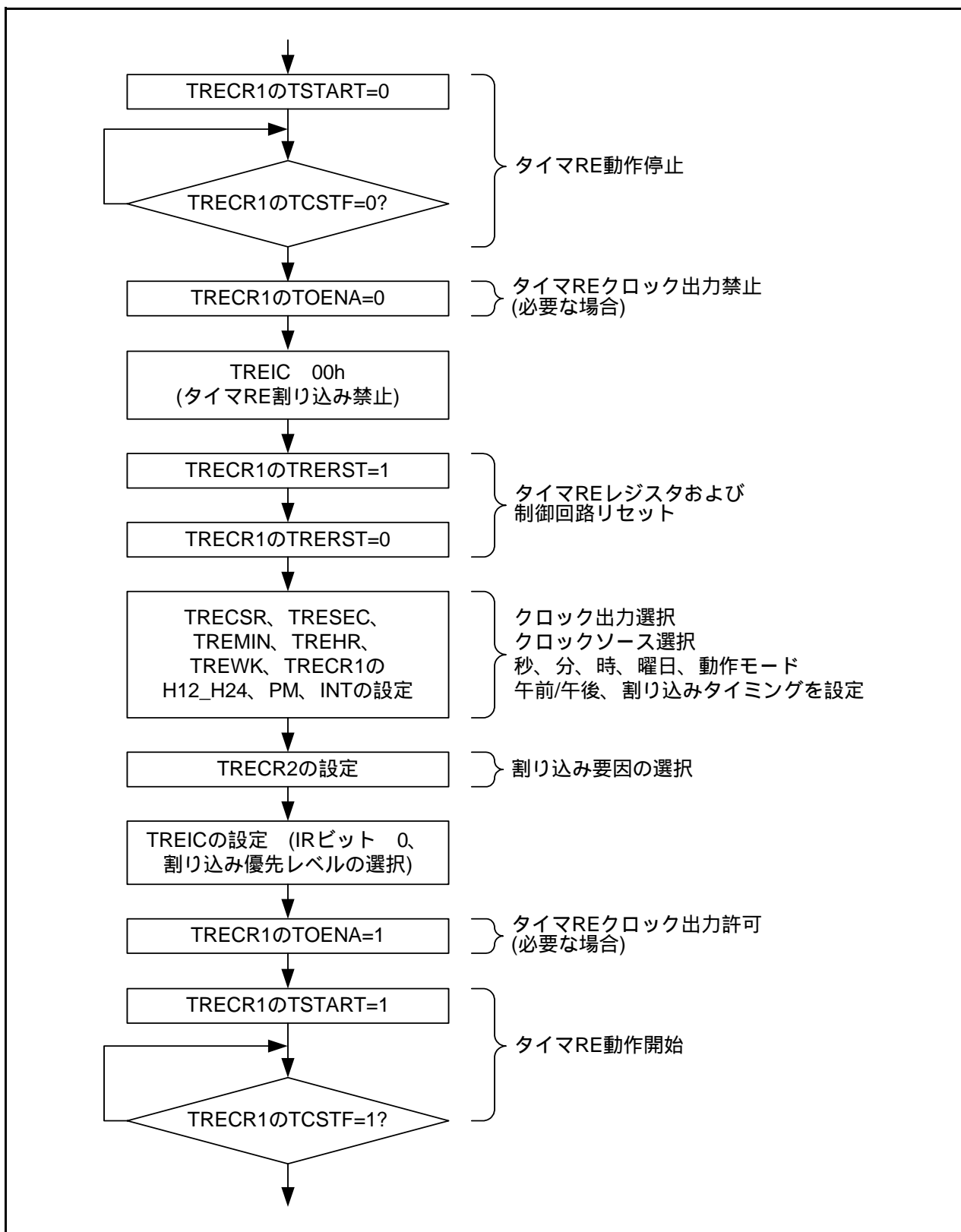


図 21.6 リアルタイムクロックモード時の設定例

21.4.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECRI レジスタのPM ビットはBSY ビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE 割り込みルーチン内で、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECRI レジスタのPM ビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREIC レジスタのIR ビットを監視し、“1”(タイマRE 割り込み要求発生)になったら、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECRI レジスタのPM ビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSY ビットを監視する。

(2) BSY ビットが“1”になったら、“0”になるまで監視する(BSY ビットが“1”の期間は約62.5ms)。

(3) BSY ビットが“0”になったら、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECRI レジスタのPM ビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECRI レジスタのPM ビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

22. タイマRF

タイマRFは、16ビットタイマです。

22.1 概要

タイマRFのカウンタソースは、タイマ動作の動作クロックになります。図22.1にタイマRFのブロック図を、表22.1にタイマRFの端子構成を示します。図22.2にCMP波形生成部ブロック図を、図22.3にCMP波形出力部ブロック図を示します。

タイマRFは2種類のモードを持ちます。

- ・インプットキャプチャモード 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- ・アウトプットコンペアモード カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)

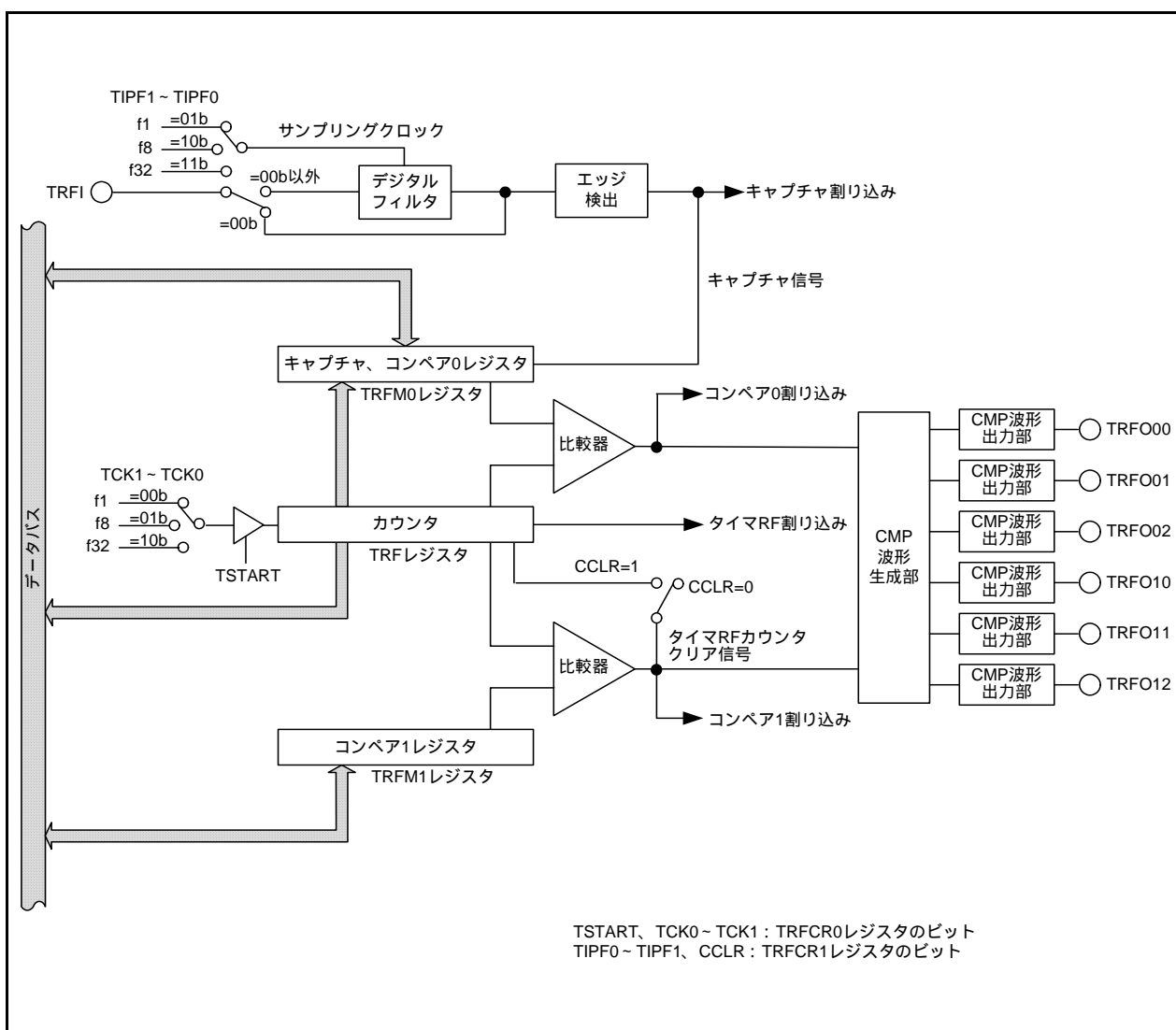


図22.1 タイマRFのブロック図

表22.1 タイマRFの端子構成

端子名	割り当てる端子	入出力	機能
TRFI	P8_3	入力	測定パルス入力(インプットキャプチャモード)
TRFO00	P8_0	出力	アウトプットコンペア出力 (アウトプットコンペアモード)
TRFO01	P8_1	出力	
TRFO02	P8_2	出力	
TRFO10	P8_3	出力	
TRFO11	P8_4	出力	
TRFO12	P8_5	出力	

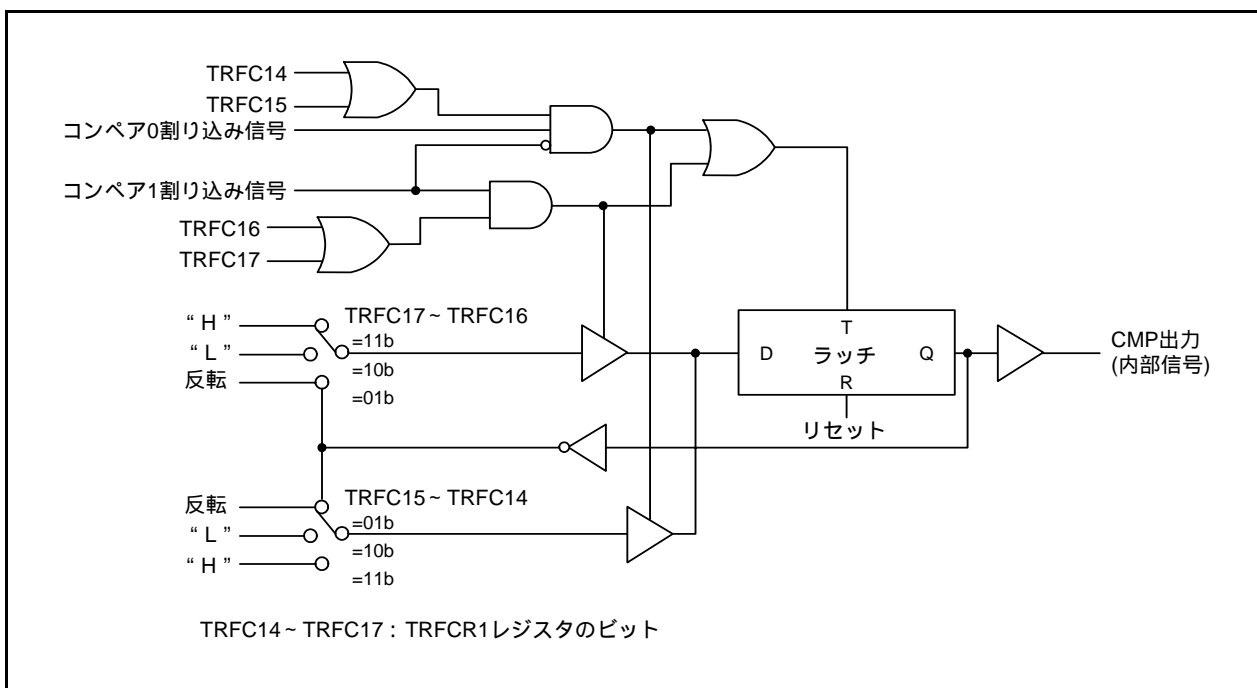


図22.2 CMP波形生成部ブロック図

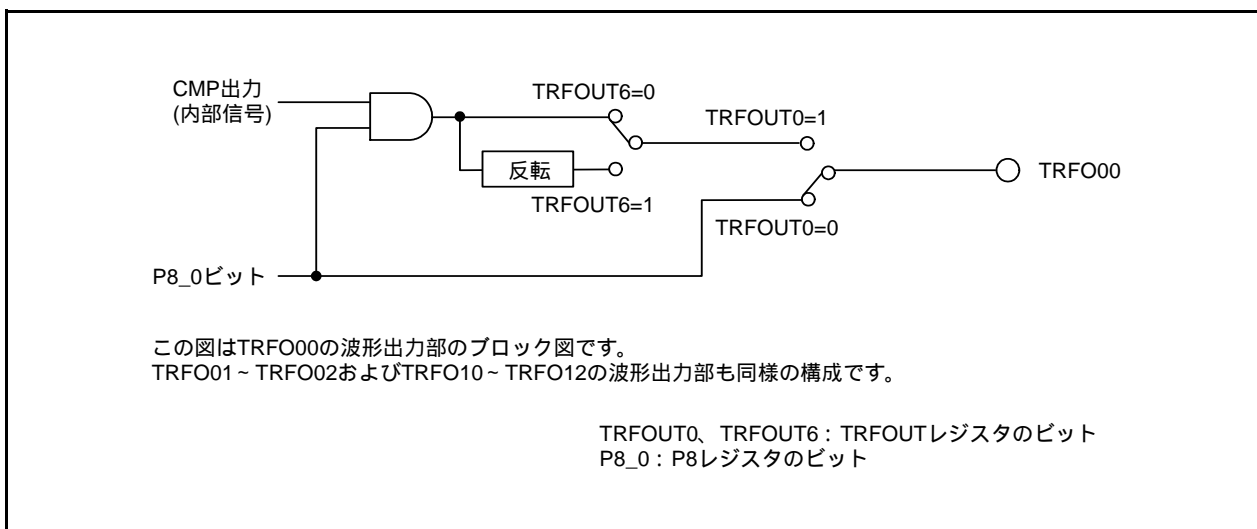


図22.3 CMP波形出力部ブロック図

22.2 レジスタの説明

22.2.1 タイマRFレジスタ (TRF)

アドレス 0091h ~ 0090h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15 ~ b0	カウントソースをアップカウント。 TSTART ビットが “0” (カウント停止) のときに読み出すと、“0000h” が読み出される。 TSTART ビットが “1” (カウント開始) のときに読み出すと、カウント値が読み出される。	R

TRFレジスタは、16ビット単位でアクセスしてください。

22.2.2 キャプチャ、コンペア0レジスタ (TRFM0)

アドレス 009Dh ~ 009Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

(注1)

ビット	モード	機能	設定範囲	R/W
b15 ~ b0	インプット キャプチャモード	測定パルスの有効エッジ入力時、TRF レジスタの値 を格納	-	R
	アウトプット コンペアモード (注2)	TRF レジスタ (カウンタ) との比較値を格納	0000h ~ FFFFh	R/W

注1. TRFCR1 レジスタの TMOD ビットを “1” にすると、FFFFh になります。

注2. TRFM0 レジスタに値を設定する場合は、TRFCR1 レジスタの TMOD ビットを “1” (アウトプットコンペアモード) にしてください。TMOD ビットが “0” (インプットキャプチャモード) のとき、値を書けません。

TRFM0 レジスタは、16ビット単位でアクセスしてください。

22.2.3 コンペア1レジスタ(TRFM1)

アドレス 009Fh ~ 009Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b15 ~ b0	アウトプット コンペアモード	TRF レジスタ(カウンタ)との比較値を格納	0000h ~ FFFFh	R/W

TRFM1 レジスタは、16ビット単位でアクセスしてください。

22.2.4 タイマRF制御レジスタ0 (TRFCR0)

アドレス 009Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRFC06	TRFC05	TRFC04	TRFC03	TCK1	TCK0	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRF カウント開始ビット	0 : カウント停止 1 : カウント開始	R/W
b1	TCK0	タイマRF カウントソース 選択ビット(注1)	b2 b1 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : 設定しないでください	R/W
b2	TCK1			R/W
b3	TRFC03	キャプチャ極性選択ビット(注1)	b4 b3 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 両エッジ 1 1 : 設定しないでください	R/W
b4	TRFC04			R/W
b5	TRFC05	カウント停止時のCMP出力選択 ビット0	0 : TRFC06ビット無効 カウント停止前の出力レベルを保持 1 : TRFC06ビット有効	R/W
b6	TRFC06	カウント停止時のCMP出力選択 ビット1	0 : カウント停止時 “L” 出力 1 : カウント停止時 “H” 出力	R/W
b7	-	予約ビット	“0” にしてください。	R/W

注1. このビットの変更は、TSTART ビットが “0” (カウント停止) のとき、行ってください。

22.2.5 タイマRF制御レジスタ1 (TRFCR1)

アドレス 009Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRFC17	TRFC16	TRFC15	TRFC14	TMOD	CCLR	TIPF1	TIPF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TIPF0	TRFI フィルタ選択ビット (注1)	b1 b0 00: フィルタなし	R/W
b1	TIPF1		01: f フィルタあり、f1 でサンプリング	R/W
			10: f フィルタあり、f8 でサンプリング	
			11: f フィルタあり、f32 でサンプリング	
b2	CCLR	TRF レジスタカウント動作 選択ビット (注2、3)	0: フリーランニング動作 1: コンペア1一致時に TRF レジスタを "0000h" に する	R/W
b3	TMOD	タイマRF動作モード選択ビット (注3)	0: インพุットキャプチャモード (注2、4) 1: アウトプットコンペアモード	R/W
b4	TRFC14	コンペア0出力選択ビット (注2)	b5 b4 コンペア0一致時のCMP出力 00: 変化しない 01: 反転 10: "L" 11: "H"	R/W
b5	TRFC15			R/W
b6	TRFC16	コンペア1出力選択ビット (注2)	b7 b6 コンペア1一致時のCMP出力 00: 変化しない 01: 反転 10: "L" 11: "H"	R/W
b7	TRFC17			R/W

注1. フィルタありの場合、TRFI端子から同じ値を3回連続してサンプリングした時点で入力が増加します。

注2. TMODビットが"0" (インพุットキャプチャモード) のとき、CCLR、TRFC14 ~ TRFC17ビットは"0" に
してください。

注3. CCLR、TMODビットは、TRFCR0レジスタのTSTARTビットが"0" (カウント停止) のとき、変更してください。

注4. TMODビットが"0" (インพุットキャプチャモード) のとき、CMP1ICレジスタのILVL2 ~ ILVL0ビットを"000b"
(レベル0)、IRビットを"0" (割り込み要求なし) にしてください。

22.2.6 タイマRF出力制御レジスタ (TRFOUT)

アドレス 0187h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRFOUT7	TRFOUT6	TRFOUT5	TRFOUT4	TRFOUT3	TRFOUT2	TRFOUT1	TRFOUT0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRFOUT0	TRFO00出力許可ビット	0: 出力禁止 1: 出力許可	R/W
b1	TRFOUT1	TRFO01出力許可ビット		R/W
b2	TRFOUT2	TRFO02出力許可ビット		R/W
b3	TRFOUT3	TRFO10出力許可ビット		R/W
b4	TRFOUT4	TRFO11出力許可ビット		R/W
b5	TRFOUT5	TRFO12出力許可ビット		R/W
b6	TRFOUT6	TRFO00 ~ TRFO02出力反転ビット	0: 出力を反転しない 1: 出力を反転する	R/W
b7	TRFOUT7	TRFO10 ~ TRFO12出力反転ビット		R/W

22.2.7 タイマ端子選択レジスタ (TIMSR)

アドレス 0186h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	TREOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TREOSEL0	TREO端子選択ビット	0 : P0_4に割り当てる 1 : P6_0に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

TIMSRレジスタは、タイマREの出力をどの端子に割り当てるかを選択するレジスタです。タイマREの出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマREの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマREの動作中はTIMSRレジスタの設定値を変更しないでください。

22.3 インプットキャプチャモード

インプットキャプチャモードは、TRFI端子へのエッジ入力をトリガとしてタイマの値をラッチし、外部信号の幅や周期を測定するモードです。またTRFI入力はデジタルフィルタを持ちますので、ノイズ等による誤動作を防止できます。表22.2にインプットキャプチャモードの仕様を、図22.4にインプットキャプチャモードの動作例を示します。

表22.2 インプットキャプチャモードの仕様

項目	仕様
カウントソース	f1、f8、f32
カウント動作	<ul style="list-style-type: none"> • アップカウント • 測定パルスの有効エッジ入力で、TRFレジスタの値をTRFM0レジスタに転送
カウンタ周期	$1/fk \times 65536$ fk: カウントソースの周波数
カウント開始条件	TRFCR0レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRFCR0レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> • TRFI入力の有効エッジ[キャプチャ割り込み] • タイマRFのオーバフロー時[タイマRF割り込み]
TRFI端子機能	測定パルス入力
TRFO00 ~ TRFO02、 TRFO11、TRFO12端子機能	プログラマブル入出力ポート
カウンタ値初期化タイミング	次のとき、TRFレジスタの値は“0000h”になる <ul style="list-style-type: none"> • TRFCR0レジスタのTSTARTビットへの“0”(カウント停止)書き込み時
タイマの読み出し	<ul style="list-style-type: none"> • TRFレジスタを読み出すと、カウント値が読み出される • TRFM0レジスタを読み出すと、測定パルス有効エッジ入力時のカウント値が読み出される
タイマの書き込み	TRF、TRFM0レジスタへの書き込みはできない。
選択機能	<ul style="list-style-type: none"> • TRFI極性選択 測定パルスの有効エッジを選択 (TRFCR0レジスタのTRFC03 ~ TRFC04ビット) • デジタルフィルタ機能 TRFI入力をサンプリングし、3回一致したらレベルが確定したとみなす。 デジタルフィルタのサンプリングクロックを選択できる。 (TRFCR1レジスタのTIPF0 ~ TIPF1ビット)

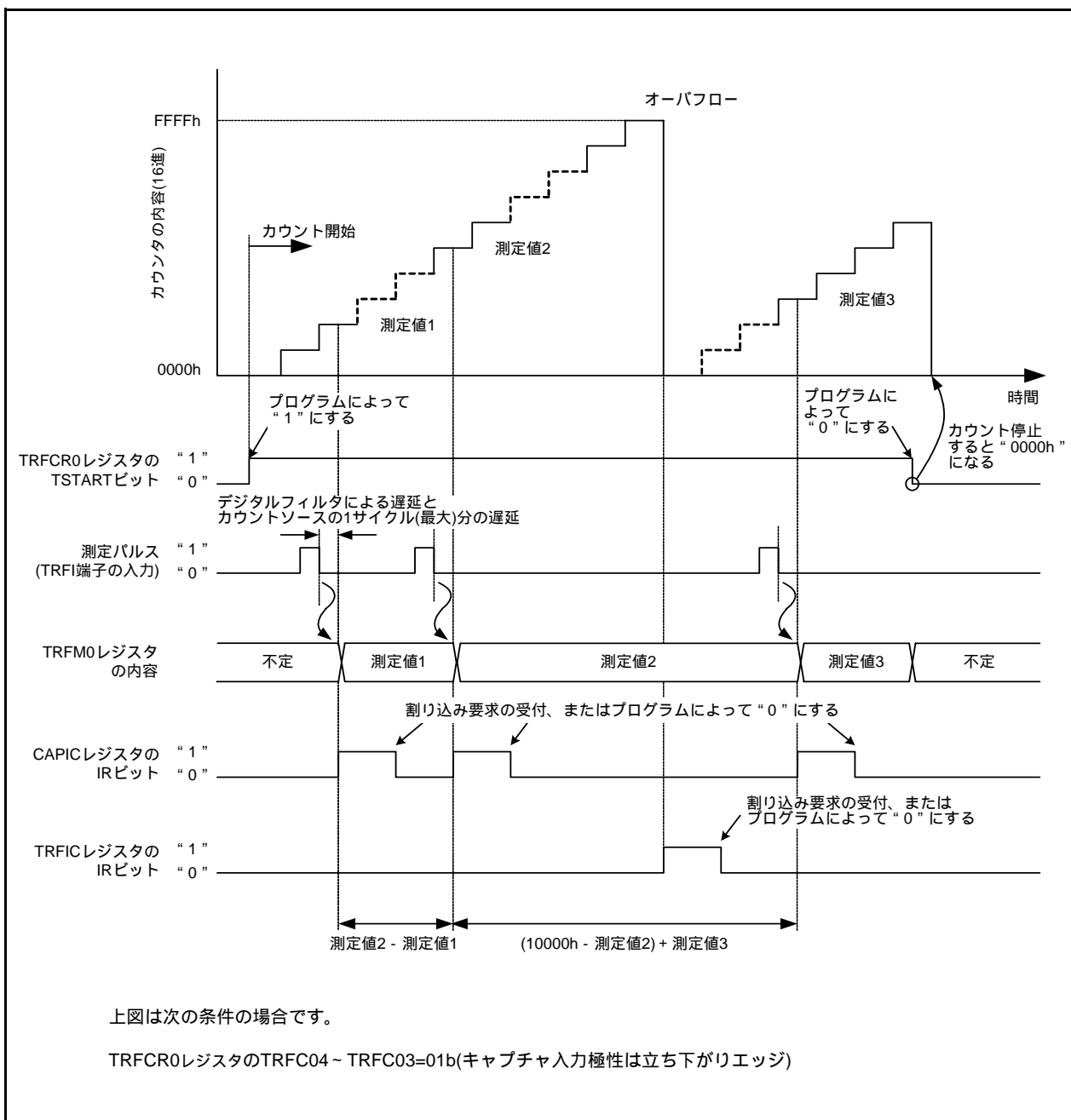


図22.4 インプットキャプチャモードの動作例

22.3.1 デジタルフィルタ

TRFI入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRFCR1レジスタで選択してください。

図22.5にデジタルフィルタを示します。

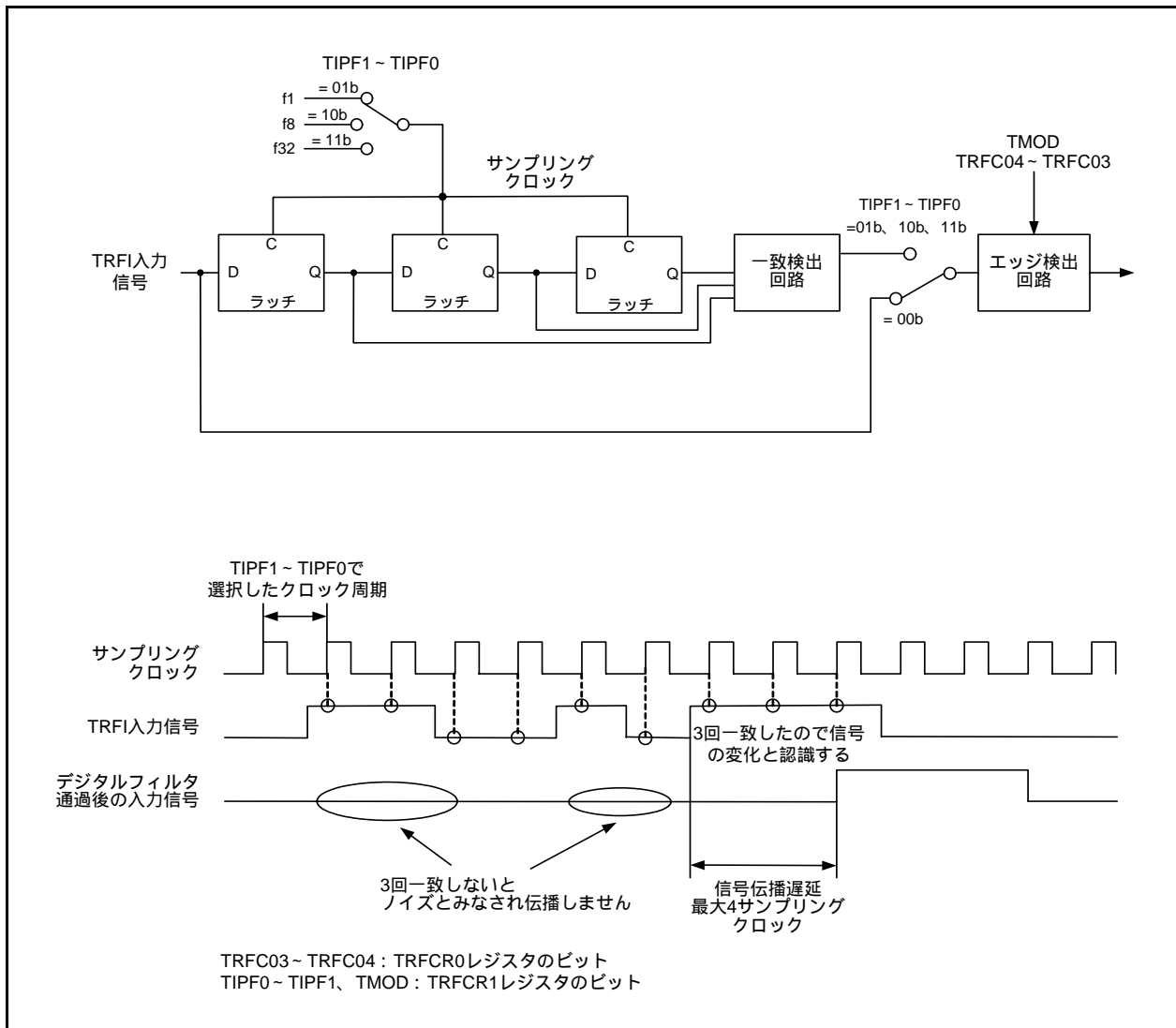


図22.5 デジタルフィルタ

22.4 アウトプットコンペアモード

アウトプットコンペアモードはTRFレジスタとTRFM0レジスタの値が一致したとき(コンペア0一致)、またはTRFレジスタとTRFM1レジスタの値が一致したとき(コンペア1一致)に、アウトプットコンペア出力端子から任意のレベルを出力するモードです。表22.3にアウトプットコンペアモードの仕様を、表22.4にアウトプットコンペアモードの出力(TRFO00端子の例)を、図22.6にアウトプットコンペアモードの動作例を、図22.7にアウトプットコンペアモードの動作例(カウント中の“L”、“H”固定出力)を示します。

表22.3 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f1、f8、f32
カウント動作	アップカウント
PWM波形	PWM周期: $1/fk \times (n+1)$ “L”レベル幅: $1/fk \times (m+1)$ “H”レベルの幅: $1/fk \times (n-m)$ fk: カウントソースの周波数 m: TRFM0レジスタ設定値 n: TRFM1レジスタ設定値 
カウント開始条件	TRFCR0レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRFCR0レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア0一致時[コンペア0割り込み] コンペア1一致時[コンペア1割り込み] タイマRFのオーバーフロー時[タイマRF割り込み]
TRFO00 ~ TRFO12端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力
カウンタ値初期化タイミング	次のとき、TRFレジスタの値は“0000h”になる <ul style="list-style-type: none"> TRFCR0レジスタのTSTARTビットへの“0”(カウント停止)書き込み時 TRFCR1レジスタのCCLRビットが“1”(コンペア1一致時にTRFレジスタを“0000h”にする)ときのコンペア1一致
タイマの読み出し	<ul style="list-style-type: none"> TRFレジスタを読み出すと、カウント値が読み出される TRFM0、TRFM1レジスタを読み出すと、コンペアレジスタの値が読み出される
タイマの書き込み	TRFレジスタへの書き込みはできない。
選択機能	<ul style="list-style-type: none"> アウトプットコンペア出力端子選択 TRFO00 ~ TRFO02、TRFO10 ~ TRFO12端子のいずれか1本または複数本(TRFOUTレジスタのTRFOUT0 ~ TRFOUT5ビット) コンペア一致時の出力レベル “H”、“L”、反転、変化しないを選択(TRFCR1レジスタのTRFC14 ~ TRFC17ビット) 出力レベル反転 出力レベルを反転する、反転しないを選択(TRFOUTレジスタのTRFOUT6 ~ TRFOUT7ビット) カウント停止時の出力レベル “H”、“L”、変化しないを選択(TRFCR0レジスタのTRFC05 ~ TRFC06ビット) TRFレジスタを“0000h”にするタイミング オーバーフロー、またはTRFM1レジスタのコンペア1一致(TRFCR1レジスタのCCLRビット)

表22.4 アウトプットコンペアモードの出力(TRFO00端子の例)

TRFO00出力		ビットの設定値					
		TRFCR0レジスタ			TRFOUTレジスタ		P8レジスタ
		TRFC06	TRFC05	TSTART	TRFOUT6	TRFOUT0	P8_0
カウン ト 中	CMP出力	X	X	1	0	1	1
	CMP出力の反転出力	X	X	1	1	1	1
	“L”出力	X	X	1	0	1	0
	“H”出力	X	X	1	1	1	0
カ ウ ン ト 停 止	カウント停止前の 出力レベルを保持	X	0	0	X	1	1
	“L”出力	0	1	0	X	1	1
	“H”出力	1	1	0	X	1	1

X: “0” または “1”

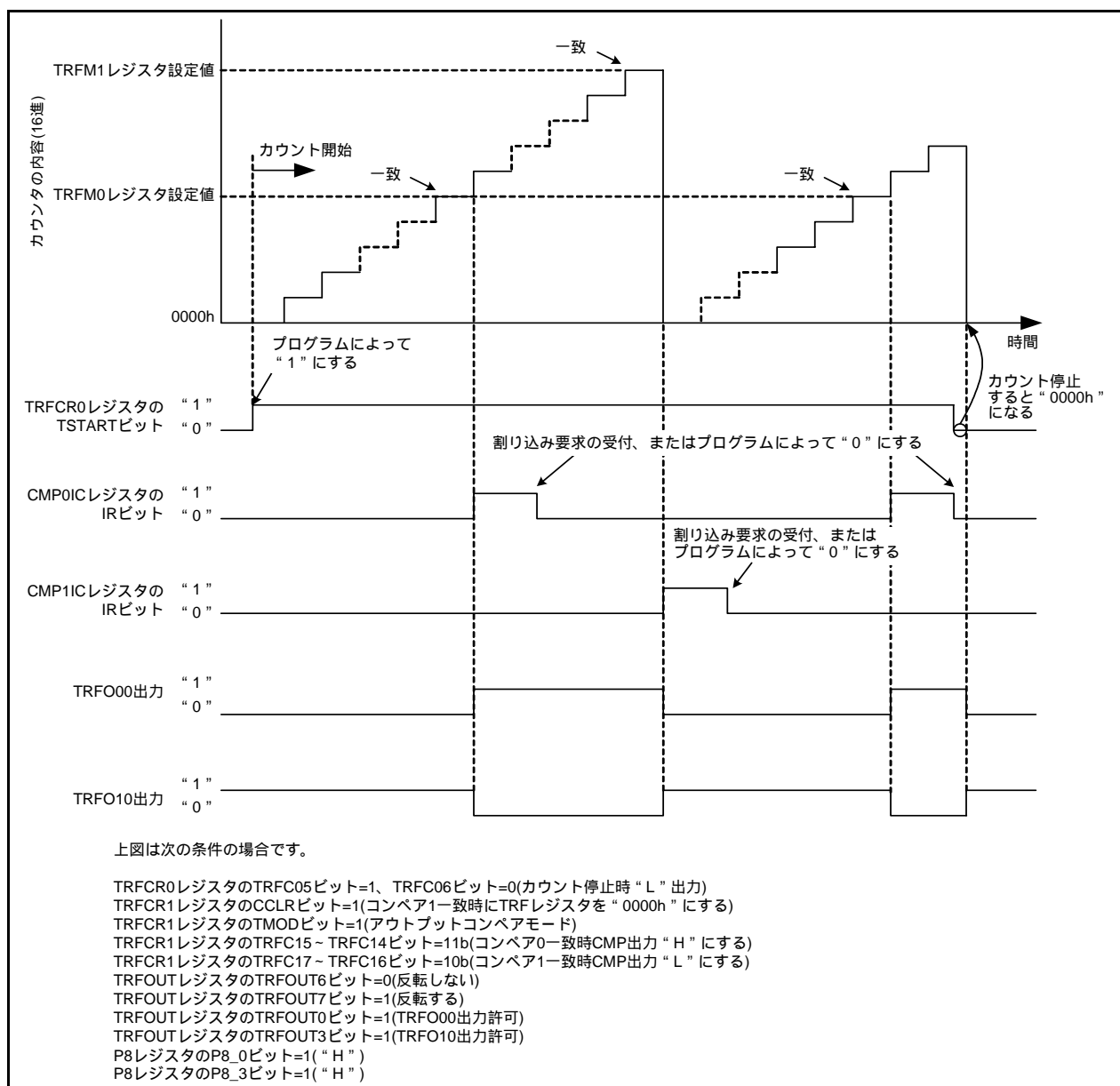


図22.6 アウトプットコンペアモードの動作例

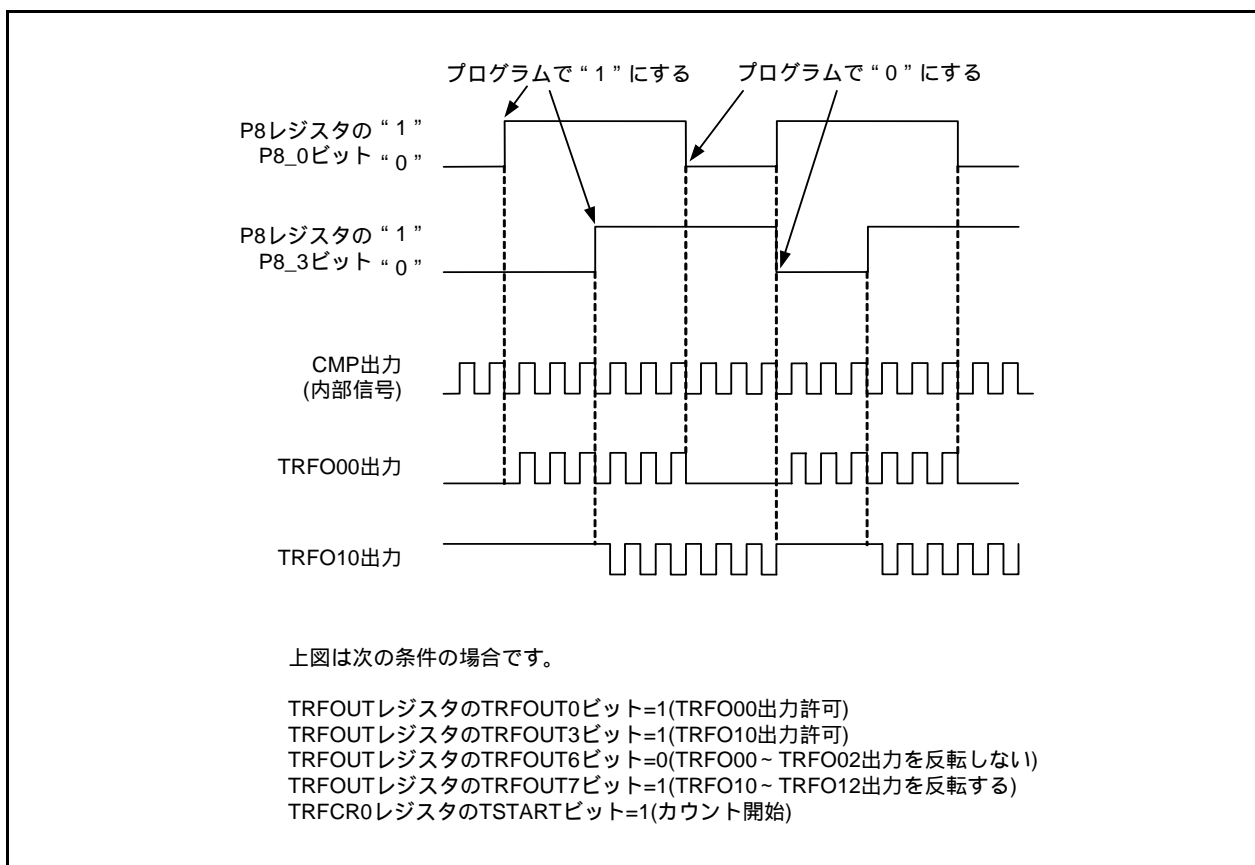


図22.7 アウトプットコンペアモードの動作例(カウント中の“L”、“H”固定出力)

アウトプットコンペアモードでは、カウント中TRFO00 ~ TRFO02とTRFO10 ~ TRFO12のどの端子からも、同じPWM波形を出力します。ただし、TRFO00 ~ TRFO02の3本単位、TRFO10 ~ TRFO12の3本単位で出力波形を反転することができます。また、1本ずつ任意の期間“L”または“H”に出力を固定できます。

カウントを停止する場合には、カウント停止前の出力レベルを保持するか、“L”または“H”に出力を固定するか選択できます。

TRFMi (i=0, 1)レジスタを読み出すとコンペアiレジスタの値が読めます。TRFMiレジスタへ書くと、次のタイミングでコンペアiレジスタに値が格納されます。

- TSTARTビットが“0” (カウント停止)の場合
TRFMiレジスタへ書くと同時
- TSTARTビットが“1” (カウント中)かつTRFCR1レジスタのCCLRビットが“0” (フリーランニング動作)の場合
TRFレジスタ(カウンタ)がオーバフローしたとき
- TSTARTビットが“1”かつCCLRビットが“1” (コンペア1一致時にTRFレジスタを“0000h”にする)の場合
コンペア1レジスタとTRFレジスタ(カウンタ)が一致したとき

22.5 タイマRF使用上の注意

- TRF レジスタ、TRFM0 レジスタおよびTRFM1 レジスタは、16ビット単位でアクセスしてください。

<タイマRFを読み出すプログラム例>

```
MOV.W    0090H, R0    ;タイマRFの読み出し
```

- インพุットキャプチャモードでは、TRFCR0 レジスタのTSTART ビットが“0” (カウント停止) のときも、TRFCR0 レジスタのTRFC03、TRFC04 ビットで選択したエッジがTRFI 端子に入力されると、キャプチャ割り込み要求が発生します。

23. タイマRG

タイマRGは、16ビットタイマで2本の入出力端子を持ちます。

23.1 概要

タイマRGの動作クロックは、f1またはfOCO40Mです。表23.1にタイマRGの動作クロックを示します。

表23.1 タイマRGの動作クロック

条件	タイマRGの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRGCLKA入力、TRGCLKB入力 (TRGCRレジスタのTCK2～TCK0ビットが“000b”～“101b”、“111b”)	f1
カウントソースがfOCO40M (TRGCRレジスタのTCK2～TCK0ビットが“110b”)	fOCO40M

図23.1にタイマRGのブロック図を、表23.2にタイマRGの端子構成を示します。

タイマRGは、次の3種類のモードを持ちます。

- タイマモード：
 - インプットキャプチャ機能 立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がりの両エッジでカウント
 - アウトプットコンペア機能 “L” 出力 / “H” 出力 / トグル出力
- PWMモード 任意デューティのPWM出力が可能
- 位相計数モード 2相エンコーダのカウント数の自動計測が可能

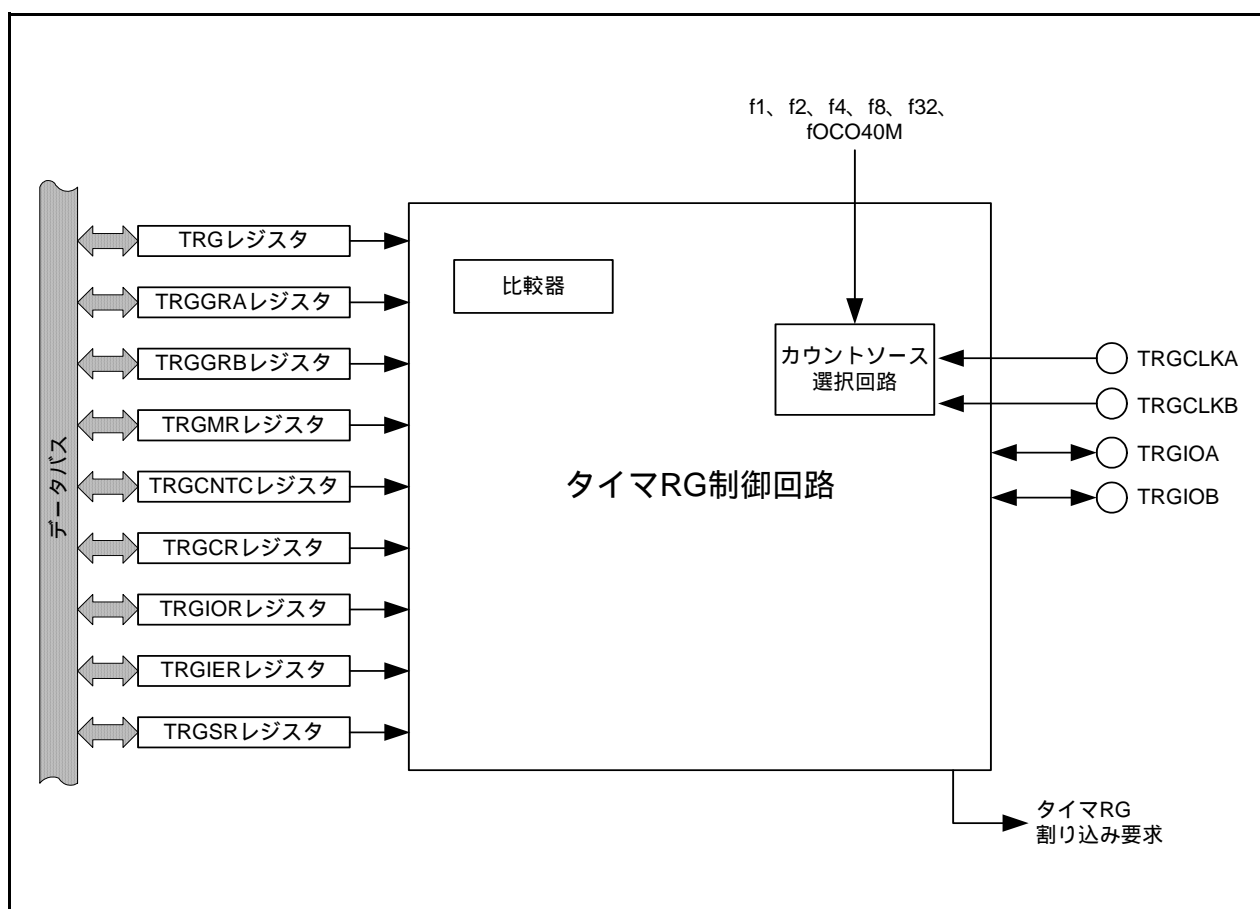


図23.1 タイマRGのブロック図

表23.2 タイマRGの端子構成

端子名	割り当てる端子	入出力	機能
TRGCLKA	P3_0	入力	<ul style="list-style-type: none"> 位相計数モード時 A相入力 位相計数モード時以外 外部クロックA入力
TRGCLKB	P3_2	入力	<ul style="list-style-type: none"> 位相計数モード時 B相入力 位相計数モード時以外 外部クロックB入力
TRGIOA	P5_6	入出力	<ul style="list-style-type: none"> タイマモード(アウトプットコンペア機能)時 TRGGRAアウトプットコンペア出力 タイマモード(インプットキャプチャ機能)時 TRGGRAインプットキャプチャ入力 PWMモード時 PWM出力
TRGIOB	P5_7	入出力	<ul style="list-style-type: none"> タイマモード(アウトプットコンペア機能)時 TRGGRBアウトプットコンペア出力 タイマモード(インプットキャプチャ機能)時 TRGGRBインプットキャプチャ入力

23.2 レジスタの説明

23.2.1 モジュールスタンバイ制御レジスタ (MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I ² Cバススタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ (注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. MSTIIC ビットが“1” (スタンバイ) のとき、SSU、I²Cバス関連レジスタ (0193h ~ 019Dh 番地) へのアクセスは無効になります。
- 注2. MSTTRD ビットが“1” (スタンバイ) のとき、タイマRD関連レジスタ (0135h ~ 015Fh 番地) へのアクセスは無効になります。
- 注3. MSTTRD ビットを“1” (スタンバイ) にする場合、TRDCR_i (i=0 ~ 1) レジスタのTCK2 ~ TCK0 ビットを“000b” (f1) にしてください。
- 注4. MSTTRC ビットが“1” (スタンバイ) のとき、タイマRC関連レジスタ (0120h ~ 0133h 番地) へのアクセスは無効になります。
- 注5. MSTTRG ビットが“1” (スタンバイ) のとき、タイマRG関連レジスタ (0170h ~ 017Fh 番地) へのアクセスは無効になります。

23.2.2 タイマRGモードレジスタ(TRGMR)

アドレス 0170h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	-	DFCK1	DFCK0	DFB	DFA	MDF	PWM
リセット後の値	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能		
b0	PWM	PWMモード選択ビット	0：タイマモード 1：PWMモード	R/W	
b1	MDF	位相計数モード選択ビット	0：アップカウント 1：位相計数モード	R/W	
b2	DFA	TRGIOA端子のデジタルフィルタ機能選択ビット	0：デジタルフィルタ機能なし 1：デジタルフィルタ機能あり	R/W	
b3	DFB	TRGIOB端子のデジタルフィルタ機能選択ビット	0：デジタルフィルタ機能なし 1：デジタルフィルタ機能あり	R/W	
b4	DFCK0	デジタルフィルタ機能で使用するクロック選択ビット	b5 b4 0 0：f32 0 1：f8 1 0：f1 1 1：TRGCRレジスタのTCK0～2で選択したクロック	R/W	
b5	DFCK1			R/W	
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。			-
b7	TSTART	TRGカウント開始ビット	0：カウント停止 1：カウント開始	R/W	

MDFビット(位相計数モード選択ビット)

MDFビットが“0”のとき、カウンタはTRGCRレジスタのTCK0 ~ TCK2ビットで設定したカウンタソースをカウントします。

MDFビットが“1”のとき、カウンタは「表23.12 TRGレジスタの加算/減算条件」に示すTRGCLK_j端子(j=A、B)からの入力信号の位相をカウントします。

23.2.3 タイマRGカウント制御レジスタ (TRGCNTC)

アドレス 0171h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CNTEN0	カウント許可ビット0	0: 無効 1: ダウンカウント TRGCLKA入力が“H”レベルで、TRGCLKB入力の立ち上がりエッジのとき	R/W
b1	CNTEN1	カウント許可ビット1	0: 無効 1: ダウンカウント TRGCLKB入力が“L”レベルで、TRGCLKA入力の立ち上がりエッジのとき	R/W
b2	CNTEN2	カウント許可ビット2	0: 無効 1: ダウンカウント TRGCLKA入力が“L”レベルで、TRGCLKB入力の立ち下がりエッジのとき	R/W
b3	CNTEN3	カウント許可ビット3	0: 無効 1: ダウンカウント TRGCLKB入力が“H”レベルで、TRGCLKA入力の立ち下がりエッジのとき	R/W
b4	CNTEN4	カウント許可ビット4	0: 無効 1: アップカウント TRGCLKB入力が“L”レベルで、TRGCLKA入力の立ち下がりエッジのとき	R/W
b5	CNTEN5	カウント許可ビット5	0: 無効 1: アップカウント TRGCLKA入力が“H”レベルで、TRGCLKB入力の立ち下がりエッジのとき	R/W
b6	CNTEN6	カウント許可ビット6	0: 無効 1: アップカウント TRGCLKB入力が“H”レベルで、TRGCLKA入力の立ち上がりエッジのとき	R/W
b7	CNTEN7	カウント許可ビット7	0: 無効 1: アップカウント TRGCLKA入力が“L”レベルで、TRGCLKB入力の立ち上がりエッジのとき	R/W

TRGCNTC レジスタは位相計数モードで使用します。TRGCNTC レジスタのカウント条件を設定します。

23.2.4 タイマRG制御レジスタ (TRGCR)

アドレス 0172h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット (注1)	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRGCLKA 入力 1 1 0 : fOCO40M 1 1 1 : TRGCLKB 入力	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロック有効エッジ 選択ビット (注1)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 立ち上がり/立ち下がりの両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRGレジスタクリア要因選 択ビット	b6 b5 0 0 : クリア禁止 0 1 : インพุットキャプチャまたはTRGGRAのコンペア 一致でTRGレジスタをクリア 1 0 : インพุットキャプチャまたはTRGGRBのコンペア 一致でTRGレジスタをクリア 1 1 : 設定しないでください	R/W
b6	CCLR1			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. 位相計数モードのとき、TCK0 ~ TCK2 ビット、および CKEG0 ~ CKEG1 ビット設定は無効になり、位相計数モードの動作が優先されます。

23.2.5 タイマRG割り込み許可レジスタ (TRGIER)

アドレス 0173h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	OVIE	UDIE	IMIEB	IMIEA
リセット後の値	1	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インพุットキャプチャ/ コンペア一致割り込み許可 ビットA	0 : IMFA ビットによる割り込みを禁止 1 : IMFA ビットによる割り込みを有効	R/W
b1	IMIEB	インพุットキャプチャ/ コンペア一致割り込み許可 ビットB	0 : IMFB ビットによる割り込みを禁止 1 : IMFB ビットによる割り込みを有効	R/W
b2	UDIE	アンダフロー割り込み許可 ビット	0 : UDF ビットによる割り込みを禁止 1 : UDF ビットによる割り込みを有効	R/W
b3	OVIE	オーバフロー割り込み許可 ビット	0 : OVFB ビットによる割り込みを禁止 1 : OVFB ビットによる割り込みを有効	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	-			

23.2.6 タイマRGステータスレジスタ(TRGSR)

アドレス 0174h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	DIRF	OVF	UDF	IMFB	IMFA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ / コンペアー致フラグA	[“ 0 ” になる条件] 読んだ後、“ 0 ” を書く (注1) [“ 1 ” になる条件] 「表23.3 各フラグが “ 1 ” になる条件」を参照	R/W
b1	IMFB	インプットキャプチャ / コンペアー致フラグB		R/W
b2	UDF	アンダフローフラグ		R/W
b3	OVF	オーバフローフラグ		R/W
b4	DIRF	カウント方向フラグ	0 : TRG レジスタはダウンカウント 1 : TRG レジスタはアップカウント	R
b5	-	何も配置されていない。書く場合、“ 0 ” を書いてください。読んだ場合、その値は “ 1 ”。		-
b6	-			
b7	-			

注1. 書き込み結果は次のようになります。

- ・読んだ結果が “ 1 ” の場合、同じビットに “ 0 ” を書くと “ 0 ” になります。
- ・読んだ結果が “ 0 ” の場合、同じビットに “ 0 ” を書いても、元の値を保持するため変化しません(読んだ後で、“ 0 ” から “ 1 ” に変化した場合、“ 0 ” を書いても、元の値を保持するため “ 1 ” のままです)。
- ・ “ 1 ” を書いた場合は変化しません。

表23.3 各フラグが “ 1 ” になる条件

ビット シンボル	タイマモード		PWMモード
	インプットキャプチャ機能	アウトプットコンペアー機能	
IMFA	TRGIOA端子の入力エッジ(注1)	TRGとTRGGRAの値が一致したとき	
IMFB	TRGIOB端子の入力エッジ(注1)	TRGとTRGGRBの値が一致したとき	
UDF	TRGがアンダフローしたとき		
OVF	TRGがオーバフローしたとき		

注1. TRGIORレジスタのIOj1 ~ IOj0ビット(j=A, B)で選択したエッジ。

23.2.7 タイマRG I/O制御レジスタ (TRGIOR)

アドレス 0175h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BUFB	IOB2	IOB1	IOB0	BUFA	IOA2	IOA1	IOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRGGRA制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOA1			R/W
b2	IOA2	TRGGRAモード選択ビット	0: アウトプットコンペア機能(注1) 1: インプットキャプチャ機能(注2)	R/W
b3	BUFA	TRGGRCレジスタ機能選択ビット	0: TRGGRAレジスタのバッファレジスタとして使用しない 1: TRGGRAレジスタのバッファレジスタとして使用する	R/W
b4	IOB0	TRGGRB制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOB1			R/W
b6	IOB2	TRGGRBモード選択ビット	0: アウトプットコンペア機能(注3) 1: インプットキャプチャ機能(注4)	R/W
b7	BUFB	TRGGRDレジスタ機能選択ビット	0: TRGGRBレジスタのバッファレジスタとして使用しない 1: TRGGRBレジスタのバッファレジスタとして使用する	R/W

注1. IOA2ビットが“0”(アウトプットコンペア機能)のときTRGGRAレジスタはコンペアー一致レジスタとして機能します。リセット後、最初のコンペアー一致が発生するまで、TRGIOA端子からは“L”を出力します。

注2. IOA2ビットが“1”(インプットキャプチャ機能)のときTRGGRAレジスタはインプットキャプチャレジスタとして機能します。

注3. IOB2ビットが“0”(アウトプットコンペア機能)のときTRGGRBレジスタはコンペアー一致レジスタとして機能します。リセット後、最初のコンペアー一致が発生するまで、TRGIOB端子からは“L”を出力します。

注4. IOB2ビットが“1”(インプットキャプチャ機能)のときTRGGRBレジスタはインプットキャプチャレジスタとして機能します。

23.2.8 タイマRGカウンタ(TRG)

アドレス 0177h ~ 0176h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	位計数モードの場合、カウント動作はアップカウント/ダウンカウント。 それ以外の場合はアップカウント。	0000h ~ FFFFh	R/W

TRGレジスタは、CPUと内部16ビットバスで接続されており、常に16ビット単位でアクセスしてください。TRGレジスタは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。TRGCRレジスタは対応するTRGGRA、TRGGRBレジスタとのコンペア一致、またはTRGGRA、TRGGRBレジスタへのインプットキャプチャにより“0000h”にクリアすることができます(カウンタクリア機能)。

TRGCRレジスタがオーバーフロー(“FFFFh” “0000h”)すると、TRGSRレジスタのOVFビットが“1”になります。アンダフロー(“0000h” “FFFFh”)すると、TRGSRレジスタのUDFビットが“1”になります。

23.2.9 タイマRGジェネラルレジスタA、B、C、D (TRGGRA、TRGGRB、TRGGRC、TRGGRD)

アドレス 0179h ~ 0178h 番地 (TRGGRA)、017Bh ~ 017Ah 番地 (TRGGRB)、
017Dh ~ 017Ch 番地 (TRGGRC)、017Fh ~ 017Eh 番地 (TRGGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	動作モード(機能)によって機能が異なる	R/W

TRGGRA、TRGGRB レジスタは16ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り替えは、TRGIOR レジスタにより行います。

アウトプットコンペアレジスタとして使用しているときは、TRGGRA、TRGGRB レジスタの値と TRG レジスタの値は常に比較されています。両者の値が一致(コンペア一致)すると、TRGSR レジスタの IMFA/IMFB ビットが“1”になります。TRGIOR レジスタによりコンペア一致出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TRG レジスタの値を格納します。このとき TRGSR レジスタの IMFA/IMFB ビットが“1”になります。インプットキャプチャ信号の検出エッジ選択は TRGIOR レジスタにより行います。

PWM モード時、TRGIOR レジスタの設定は無視されます。

また、TRGGRC レジスタは TRGGRA レジスタのバッファレジスタとして、TRGGRD レジスタは TRGGRB レジスタのバッファレジスタとしてそれぞれ使用することもできます。この機能は TRGIOR レジスタの BUFA、BUFB ビットにより選択できます。

例えば、TRGGRA レジスタがアウトプットコンペアレジスタとして、TRGGRC レジスタが TRGGRA レジスタのバッファレジスタとして設定された場合、コンペア一致 A が発生するたびに TRGGRC レジスタの値が TRGGRA レジスタに転送されます。

TRGGRA レジスタがインプットキャプチャレジスタとして、TRGGRC レジスタが TRGGRA レジスタのバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TRG レジスタの値が TRGGRA レジスタに、TRGGRA レジスタの値が TRGGRC レジスタに転送されます。

TRGGRA、TRGGRB レジスタは CPU と内部 16 ビットバスで接続されており、常に 16 ビット単位でアクセスしてください。TRGGRA、TRGGRB レジスタは、リセット時アウトプットコンペアレジスタ(端子出力禁止)に設定されます。

23.2.10 タイマ端子選択レジスタ (TIMSR)

アドレス 0186h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	TREOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TREOSEL0	TREO端子選択ビット	0 : P0_4に割り当てる 1 : P6_0に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

TIMSRレジスタは、タイマREの出力をどの端子に割り当てるかを選択するレジスタです。タイマREの出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマREの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマREの動作中はTIMSRレジスタの設定値を変更しないでください。

23.3 複数モードに関わる共通事項

23.3.1 カウントソース

表23.4にカウントソースの選択を、図23.2にカウントソースのブロック図を示します。

位相計数モード選択時、TRGCRレジスタのTCK0～TCK2ビットおよびCKEG0～CKEG1ビットの設定は無効になります。

表23.4 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRGCRレジスタのTCK0～TCK2ビットでカウントソース選択
fOCO40M	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRGCRレジスタのTCK2～TCK0が“110b”(fOCO40M)
TRGCLKA、TRGCLKB 端子に入力された外部 信号	TRGCRレジスタのTCK2～TCK0ビットが“101b”(TRGCLKA入力)または “111b”(TRGCLKB入力) TRGCRレジスタのCKEG0～CKEG1ビットで有効エッジを選択 対応する方向レジスタの方向ビットが“0”(入力モード)

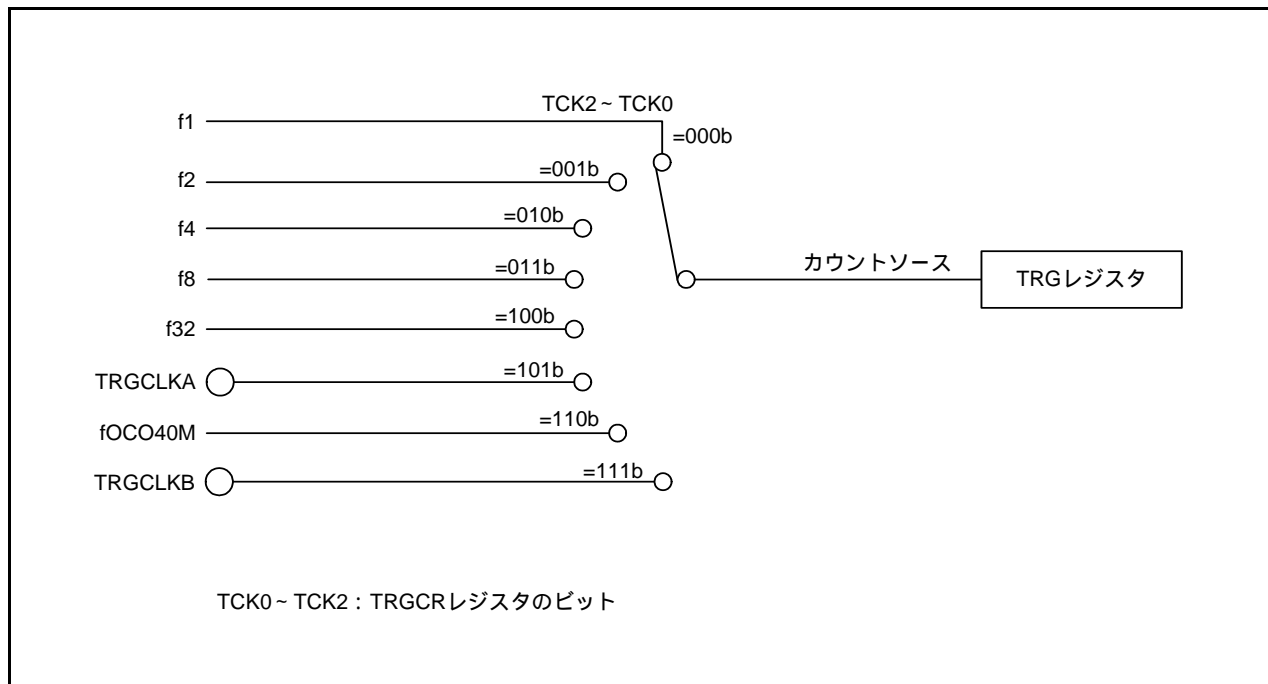


図23.2 カウントソースのブロック図

TRGCLKj端子(j=A、B)に入力する外部クロックのパルス幅は、タイマRGの動作クロック(「表23.1 タイマRGの動作クロック」参照)の3サイクル以上にしてください。

23.3.2 バッファ動作

TRGIORレジスタのBUFA、BUFBビットで、TRGGRC、TRGGRDレジスタをTRGGRA、TRGGRBレジスタのバッファレジスタにできます。

- TRGGRAのバッファレジスタ：TRGGRCレジスタ
- TRGGRBのバッファレジスタ：TRGGRDレジスタ

バッファ動作は、モードによって違います。

表 23.5 に各モードのバッファ動作を、図 23.3 にインプットキャプチャ機能のバッファ動作を、図 23.4 にアウトプットコンペア機能のバッファ動作を示します。

表 23.5 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRGGRA(TRGGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRGレジスタと TRGGRA(TRGGRB)レジスタの コンペア一致	バッファレジスタの内容を TRGGRA(TRGGRB)レジスタに転送
PWMモード		

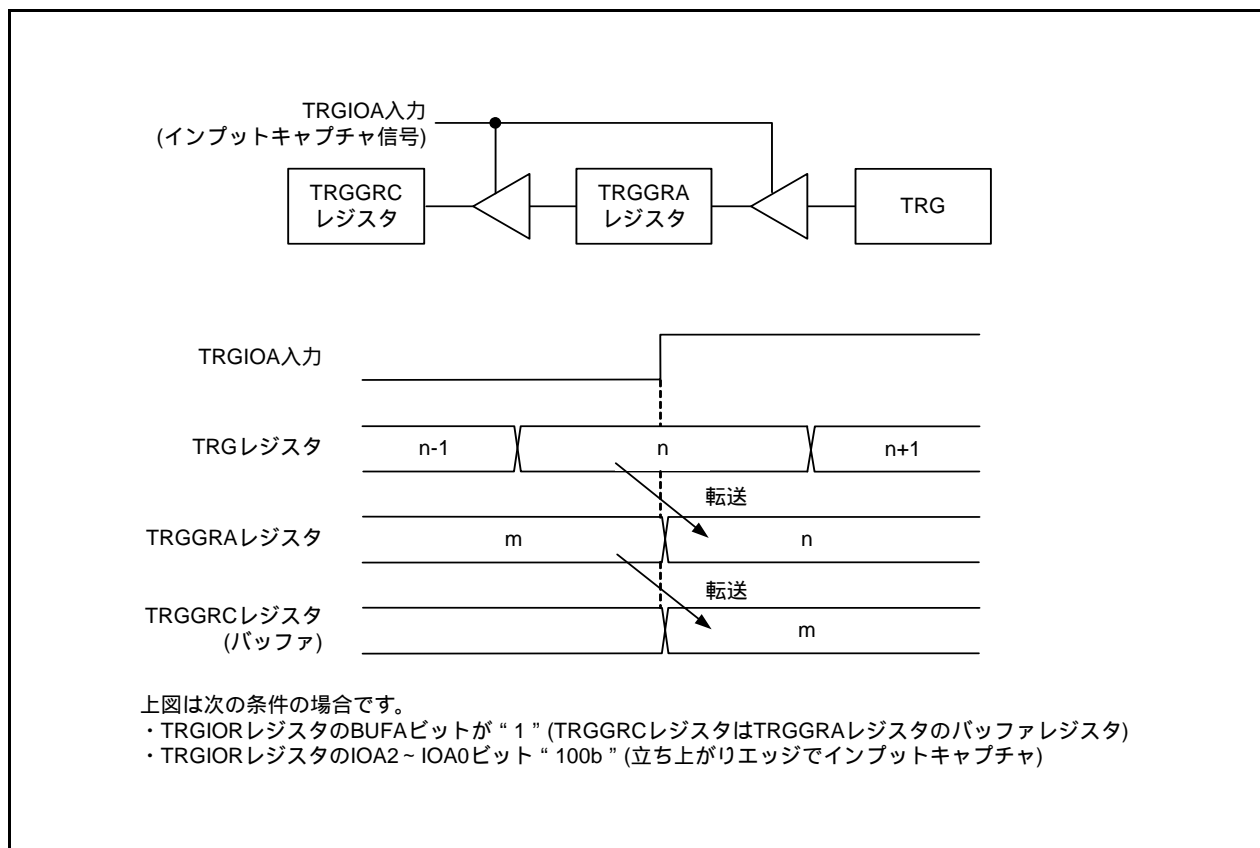


図 23.3 インプットキャプチャ機能のバッファ動作

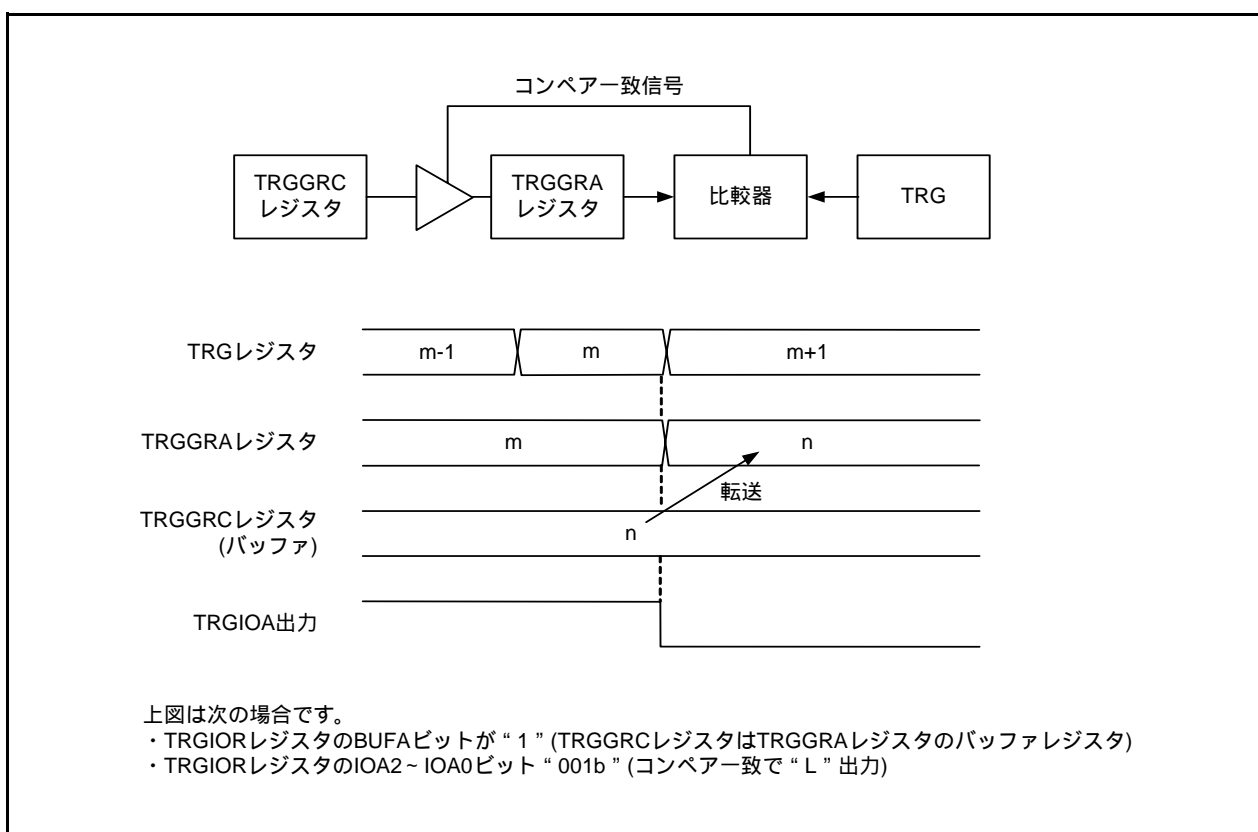


図 23.4 アウトプットコンペアー機能のバッファ動作

23.3.3 デジタルフィルタ

TRGIOj (j=A、Bのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRGMRレジスタで選択してください。

図23.5にデジタルフィルタのブロック図を示します。

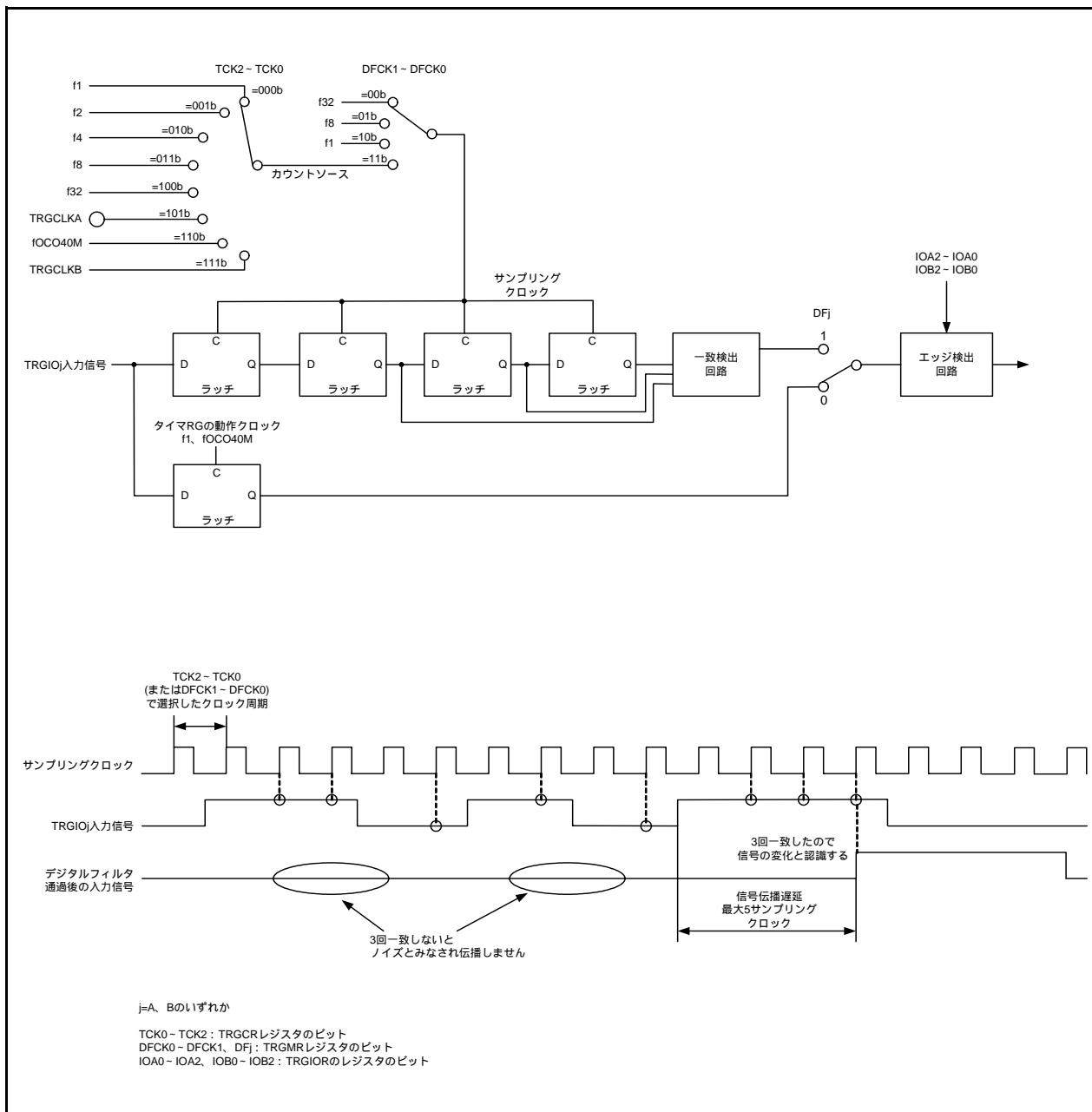


図23.5 デジタルフィルタのブロック図

23.4 タイマモード(インプットキャプチャ機能)

インプットキャプチャ/アウトプットコンペア端子(TRGIOA、TRGIOB)の入力エッジを検出してTRGレジスタの値をTRGGRA、TRGGRBレジスタに転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

表23.6にインプットキャプチャ機能の仕様を示します。

表23.6 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRGCRレジスタのCCLR1～CCLR0ビットが“00b”(フリーランニング動作)の場合 $1/f_k \times 65536$ f_k : カウントソースの周波数
カウント開始条件	TRGMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ(TRGIOj入力の有効エッジ) TRGレジスタオーバフロー
TRGIOA、TRGIOB端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
TRGCLKA、TRGCLKB端子機能	プログラマブル入出力ポート、または外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> インプットキャプチャ入力端子選択 TRGIOA、TRGIOB端子のいずれか1本または両方 インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 TRGレジスタを“0000h”にするタイミング オーバフロー、またはインプットキャプチャ時 バッファ動作(「23.3.2 バッファ動作」参照) デジタルフィルタ(「23.3.3 デジタルフィルタ」参照)

j=A、B

23.4.1 タイマRG I/O制御レジスタ(TRGIOR) [タイマモード(インプットキャプチャ機能)時]

アドレス 0175h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BUFB	IOB2	IOB1	IOB0	BUFA	IOA2	IOA1	IOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRGGRA制御ビット	b1 b0 00: 立ち上がりエッジでTRGGRAヘインプットキャプチャ 01: 立ち下がりエッジでTRGGRAヘインプットキャプチャ 10: 両エッジでTRGGRAヘインプットキャプチャ 11: 設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRGGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	BUFA	TRGGRCレジスタ機能選択ビット	0: TRGGRAレジスタのバッファレジスタとして使用しない 1: TRGGRAレジスタのバッファレジスタとして使用する	R/W
b4	IOB0	TRGGRB制御ビット	b5 b4 00: 立ち上がりエッジでTRGGRBヘインプットキャプチャ 01: 立ち下がりエッジでTRGGRBヘインプットキャプチャ 10: 両エッジでTRGGRBヘインプットキャプチャ 11: 設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRGGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	BUFB	TRGGRDレジスタ機能選択ビット	0: TRGGRBレジスタのバッファレジスタとして使用しない 1: TRGGRBレジスタのバッファレジスタとして使用する	R/W

注1. IOA2ビットが“1”(インプットキャプチャ機能)のときTRGGRAレジスタはインプットキャプチャレジスタとして機能します。

注2. IOB2ビットが“1”(インプットキャプチャ機能)のときTRGGRBレジスタはインプットキャプチャレジスタとして機能します。

23.4.2 インพุットキャプチャ動作の設定手順例

図23.6にインพุットキャプチャ動作の設定手順例を示します。

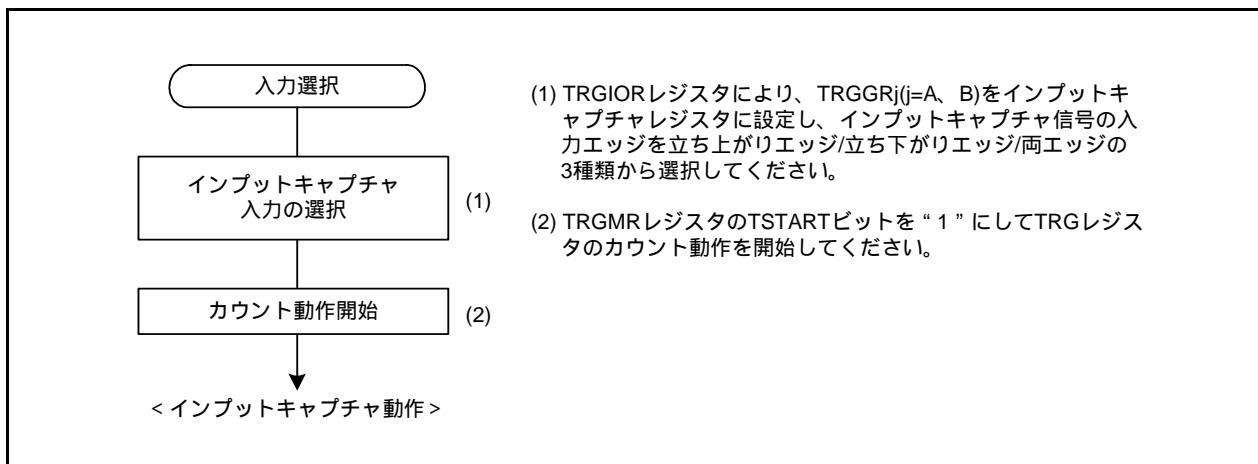


図23.6 インพุットキャプチャ動作の設定手順例

23.4.3 インพุットキャプチャ信号タイミング

インพุットキャプチャ入力、TRGIORレジスタの設定により立ち上がりエッジ/立ち下がりエッジ/両エッジの選択ができます。

図23.7にインพุットキャプチャ入力信号タイミングを示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は1.5f₁以上、両エッジの場合は2.5f₁以上必要です。

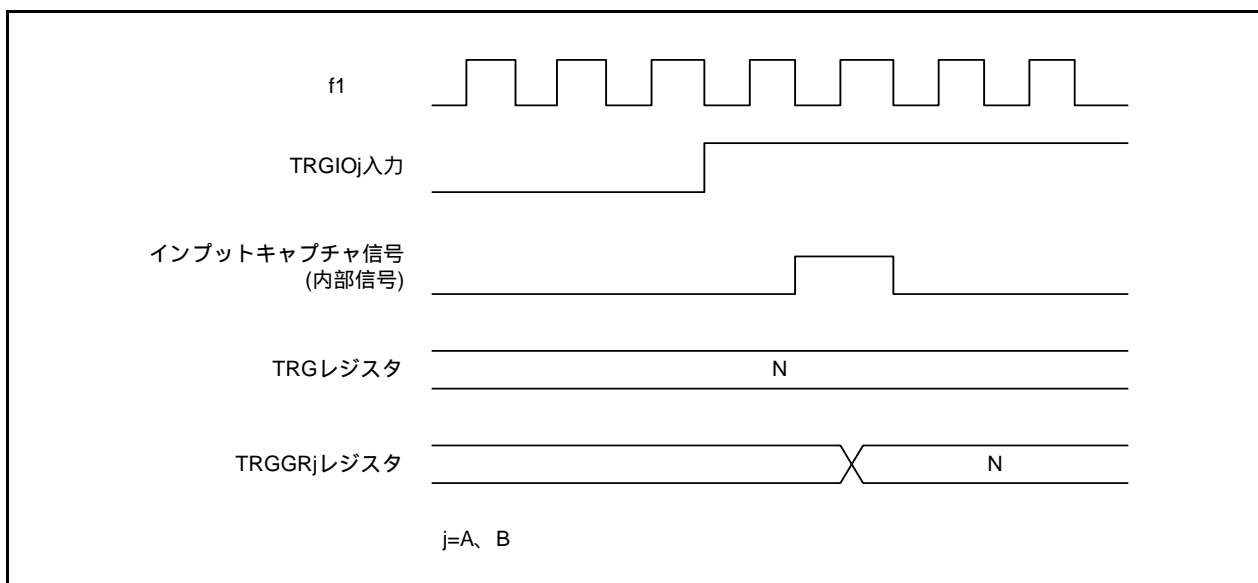


図23.7 インพุットキャプチャ入力信号タイミング

23.4.4 動作例

図23.8にインプットキャプチャ動作例を示します。

TRGIOA端子のインプットキャプチャ入力エッジは立ち上がり/立ち下がり両エッジ、またTRGIOB端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TRGレジスタはTRGGRBレジスタのインプットキャプチャでカウンタクリアされるように設定した場合の例です。

- (1) TRGIORレジスタにより、TRGGRA、TRGGRBレジスタをインプットキャプチャレジスタに設定し、インプットキャプチャ信号の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジの3種類から選択してください。
- (2) TRGMRレジスタのTSTARTビットを“1”にしてTRGレジスタのカウント動作を開始してください。

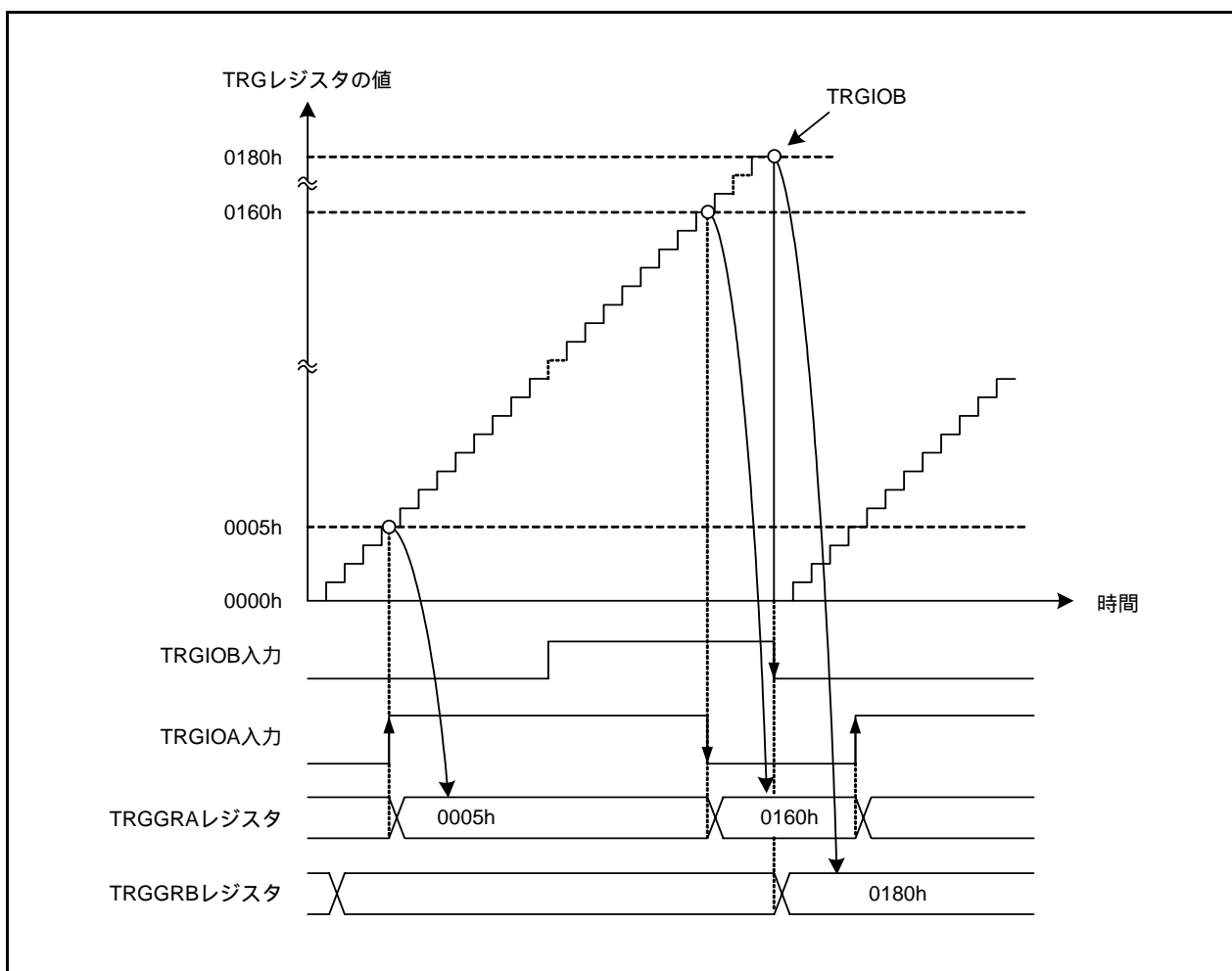


図23.8 インプットキャプチャ動作例

23.5 タイマモード(アウトプットコンペア機能)

TRGレジスタの内容と、TRGGRA、TRGGRB レジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき、TRGIOA、TRGIOB 端子から任意のレベルを出力します。

表23.7にアウトプットキャプチャ機能の仕様を示します。

表23.7 アウトプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> • TRGCR レジスタのCCLR1 ~ CCLR0ビットが“00b”(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 • TRGCR レジスタのCCLR1 ~ CCLR0ビットが“01b”、“10b”(TRGGRjのコンペア一致でTRGを“0000h”にする)の場合 $1/fk \times (n+1)$ n: TRGGRjレジスタの設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRGMR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRGMR レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRGレジスタとTRGGRjレジスタの内容が一致) • TRG レジスタオーバーフロー
TRGIOA、TRGIOB 端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
TRGCLKA、TRGCLKB 端子機能	プログラマブル入出力ポート、または外部クロック入力
タイマの読み出し	TRG レジスタを読むと、カウント値が読める
タイマの書き込み	TRG レジスタに書き込める
選択機能	<ul style="list-style-type: none"> • アウトプットコンペア出力端子選択 TRGIOA、TRGIOB 端子のいずれか1本または両方 • コンペア一致時の出力レベル選択 “L”出力、“H”出力、または出力レベル反転 • TRG レジスタを“0000h”にするタイミング オーバーフロー、またはTRGGRjレジスタのコンペア一致 • バッファ動作(「23.3.2 バッファ動作」参照)

j=A、B

23.5.1 タイマRG I/O制御レジスタ (TRGIOR) [タイマモード(アウトプットコンペア機能)時]

アドレス 0175h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BUFB	IOB2	IOB1	IOB0	BUFA	IOA2	IOA1	IOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRGGRA制御ビット	b1 b0 00: コンペア一致による端子出力禁止 (TRGIOA端子はプログラマブル入出力ポート) 01: TRGGRAのコンペア一致で“L”出力 10: TRGGRAのコンペア一致で“H”出力 11: TRGGRAのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRGGRAモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	BUFA	TRGGRCレジスタ機能選択ビット	0: TRGGRAレジスタのバッファレジスタとして使 用しない 1: TRGGRAレジスタのバッファレジスタとして使 用する	R/W
b4	IOB0	TRGGRB制御ビット	b5 b4 00: コンペア一致による端子出力禁止 (TRGIOB端子はプログラマブル入出力ポート) 01: TRGGRBのコンペア一致で“L”出力 10: TRGGRBのコンペア一致で“H”出力 11: TRGGRBのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRGGRBモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	BUFB	TRGGRDレジスタ機能選択ビット	0: TRGGRBレジスタのバッファレジスタとして使 用しない 1: TRGGRBレジスタのバッファレジスタとして使 用する	R/W

注1. IOA2ビットが“0”(アウトプットコンペア機能)のとき、TRGGRAレジスタはコンペア一致レジスタとして機能します。リセット後、最初のコンペア一致が発生するまで、
IOA1 ~ IOA0 = 01bのとき“H”出力
10bのとき“L”出力
11bのとき“L”出力

注2. IOB2ビットが“0”(アウトプットコンペア機能)のとき、TRGGRBレジスタはコンペア一致レジスタとして機能します。リセット後、最初のコンペア一致が発生するまで、
IOB1 ~ IOB0 = 01bのとき“H”出力
10bのとき“L”出力
11bのとき“L”出力

23.5.2 コンペアー一致による波形出力の設定手順例

図23.9にコンペアー一致による波形出力の設定手順を示します。

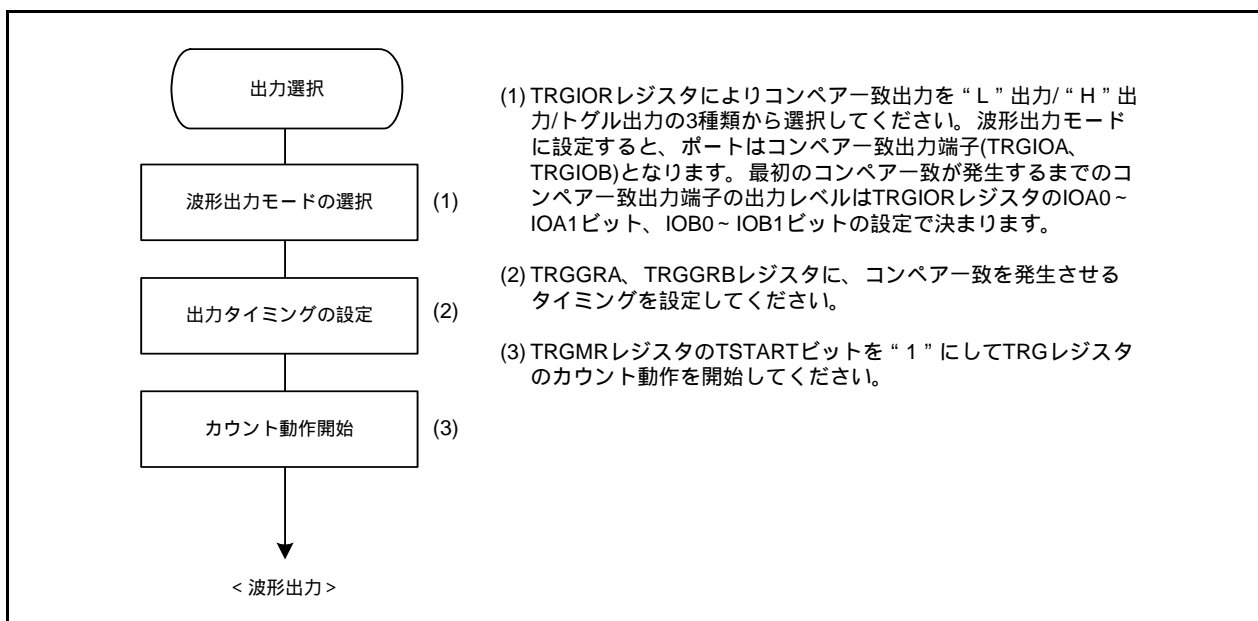


図23.9 コンペアー一致による波形出力動作例

23.5.3 アウトプットコンペアー出力タイミング

コンペアー一致信号は、TRGレジスタとTRGGRA、TRGGRBレジスタが一致した最後のステート (TRGレジスタが一致したカウント値を更新するタイミング) で発生します。コンペアー一致信号が発生したとき、TRGIORレジスタで設定される出力値がアウトプットコンペアー出力端子 (TRGIOA、TRGIOB) に出力されます。TRGレジスタとTRGGRA、TRGGRBレジスタが一致した後、TRGレジスタ入力クロックが発生するまでコンペアー一致信号は発生しません。

図23.10にアウトプットコンペアー出力タイミングを示します。

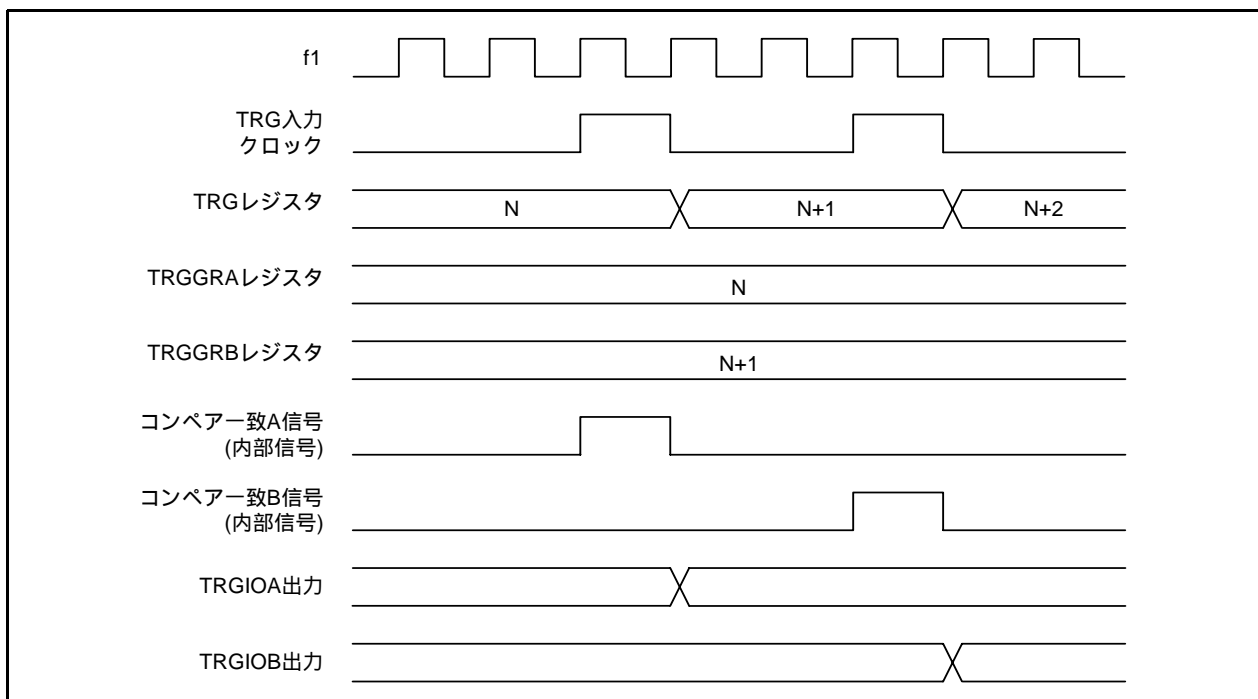


図23.10 アウトプットコンペアー出力タイミング

23.5.4 動作例

図23.11に“L”出力、“H”出力の動作例を示します。

TRGレジスタをフリーランニングカウント動作、またコンペアー一致Aにより“L”出力、コンペアー一致Bにより“H”出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

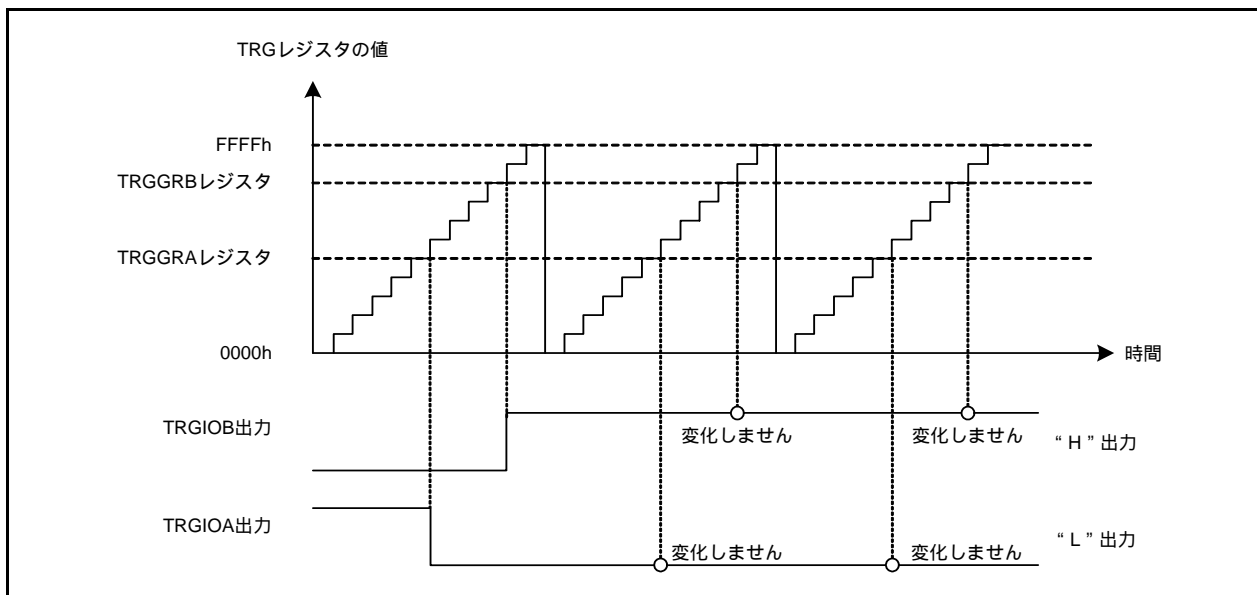


図23.11 “L”出力、“H”出力の動作例

図23.12にトグル出力の動作例を示します。TRGレジスタを周期カウント動作(コンペアー一致Bでカウンタクリア)に、コンペアー一致A、Bともトグル出力となるように設定した場合の例です。

TRGIORレジスタによりコンペアー一致出力を“L”出力/“H”出力/トグル出力の3種類から選択してください。波形出力モードに設定すると、ポートはコンペアー一致出力端子(TRGIOA、TRGIOB)となります。

TRGGRA、TRGGRBレジスタに、コンペアー一致を発生させるタイミングを設定してください。

TRGMRレジスタのTSTARTビットを“1”にしてTRGレジスタのカウント動作を開始してください。

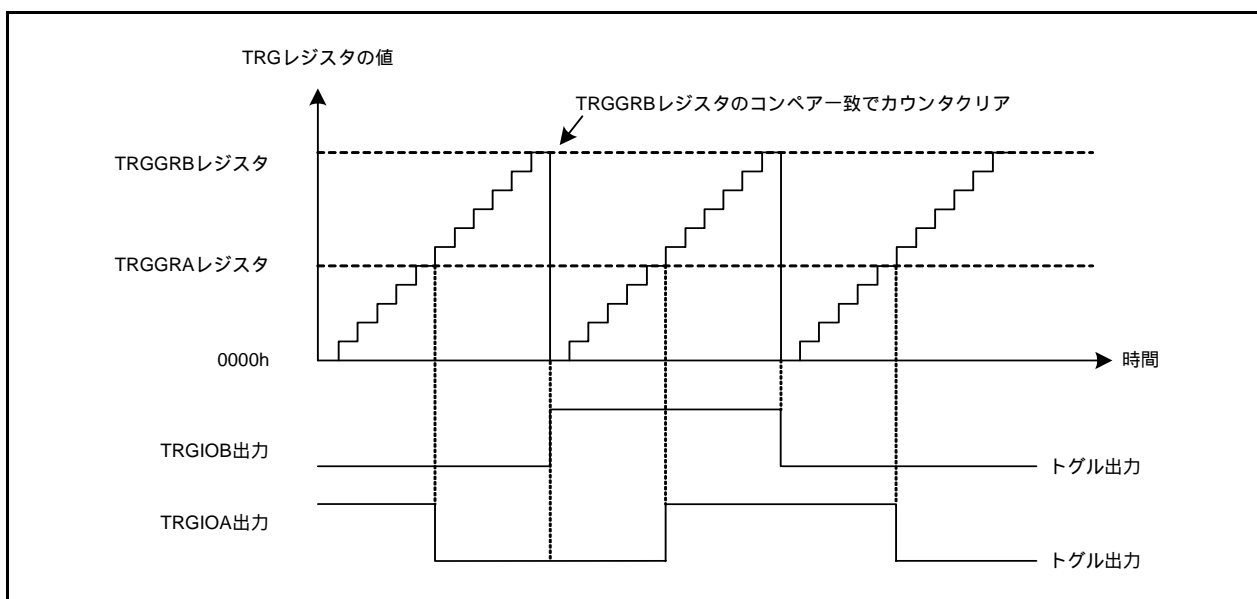


図23.12 トグル出力の動作例

23.6 PWMモード

PWMモードはTRGGRAレジスタとTRGGRBレジスタをペアで使用し、TRGIOA出力端子よりPWM波形を出力します。PWMモードに設定された出力端子はTRGIORレジスタの出力の設定は無効となります。TRGGRAレジスタにはPWM波形の“H”出力タイミングを設定し、TRGGRBレジスタにはPWM波形の“L”出力タイミングを設定します。

TRGGRAレジスタとTRGGRBレジスタのいずれかのコンペア一致をTRGレジスタのカウントクリア要因とすることにより、デューティ0～100%のPWM波形をTRGIOA端子より出力することができます。

表23.8にPWMモードの仕様を、表23.9にPWM出力端子とレジスタの組み合わせを示します。TRGGRAレジスタとTRGGRBレジスタの設定値が同一の場合、コンペア一致が発生しても出力値は変化しません。

表23.8 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
PWM波形	<ul style="list-style-type: none"> • TRGGRAレジスタにPWM波形の“H”出力タイミングを設定 • TRGGRBレジスタにPWM波形の“L”出力タイミングを設定
カウント開始条件	TRGMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致(TRGレジスタとTRGGRjレジスタの内容が一致) • TRGレジスタオーバフロー
TRGIOA端子機能	PWM出力
TRGIOB端子機能	プログラマブル入出力ポート
TRGCLKA、TRGCLKB端子機能	プログラマブル入出力ポート、または外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> • TRGレジスタを“0000h”にするタイミング オーバフロー、またはTRGGRjレジスタのコンペア一致 • バッファ動作(「23.3.2 バッファ動作」参照)

j=A、B

表23.9 PWM出力端子とレジスタの組み合わせ

出力端子	“H”出力	“L”出力
TRGIOA	TRGGRA	TRGGRB
TRGIOB	I/Oポートとして機能	

23.6.1 PWMモードの設定手順例

図23.13にPWMモードの設定手順例を示します。

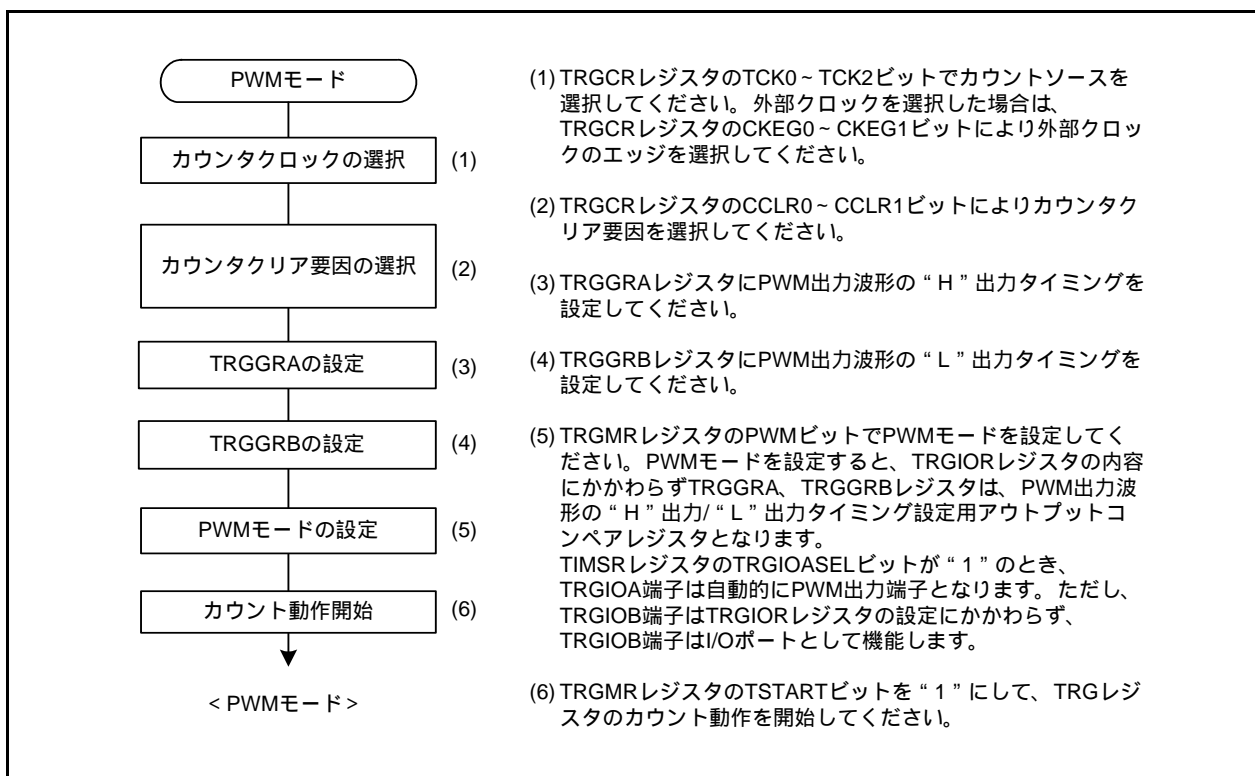


図23.13 PWMモードの設定手順例

23.6.2 動作例

図23.14にPWMモードの動作例(1)を示します。

TIMSRレジスタのTRGIOASELビットが“1”のとき、PWMモードに設定するとTRGIOA端子は自動的に出力端子となり、TRGGRAレジスタのコンペア一致で“H”出力、TRGGRBレジスタのコンペア一致で“L”出力となります。ただし、TRGIOB端子はTRGIORレジスタの設定にかかわらず、TRGIOB端子はI/Oポートとして機能します。

TRGレジスタのカウンタクリア要因をTRGGRA、TRGGRBレジスタのコンペア一致とした場合の例です。TRGIOA端子の初期状態はカウンタクリア要因だけで決まります。この対応関係を表23.10に示します。

表23.10 TRGIOA端子の初期状態とカウンタクリア要因の対応関係

カウンタクリア要因	TRGIOA端子の初期状態
TRGGRAレジスタのコンペア一致	“H”
TRGGRBレジスタのコンペア一致	“L”

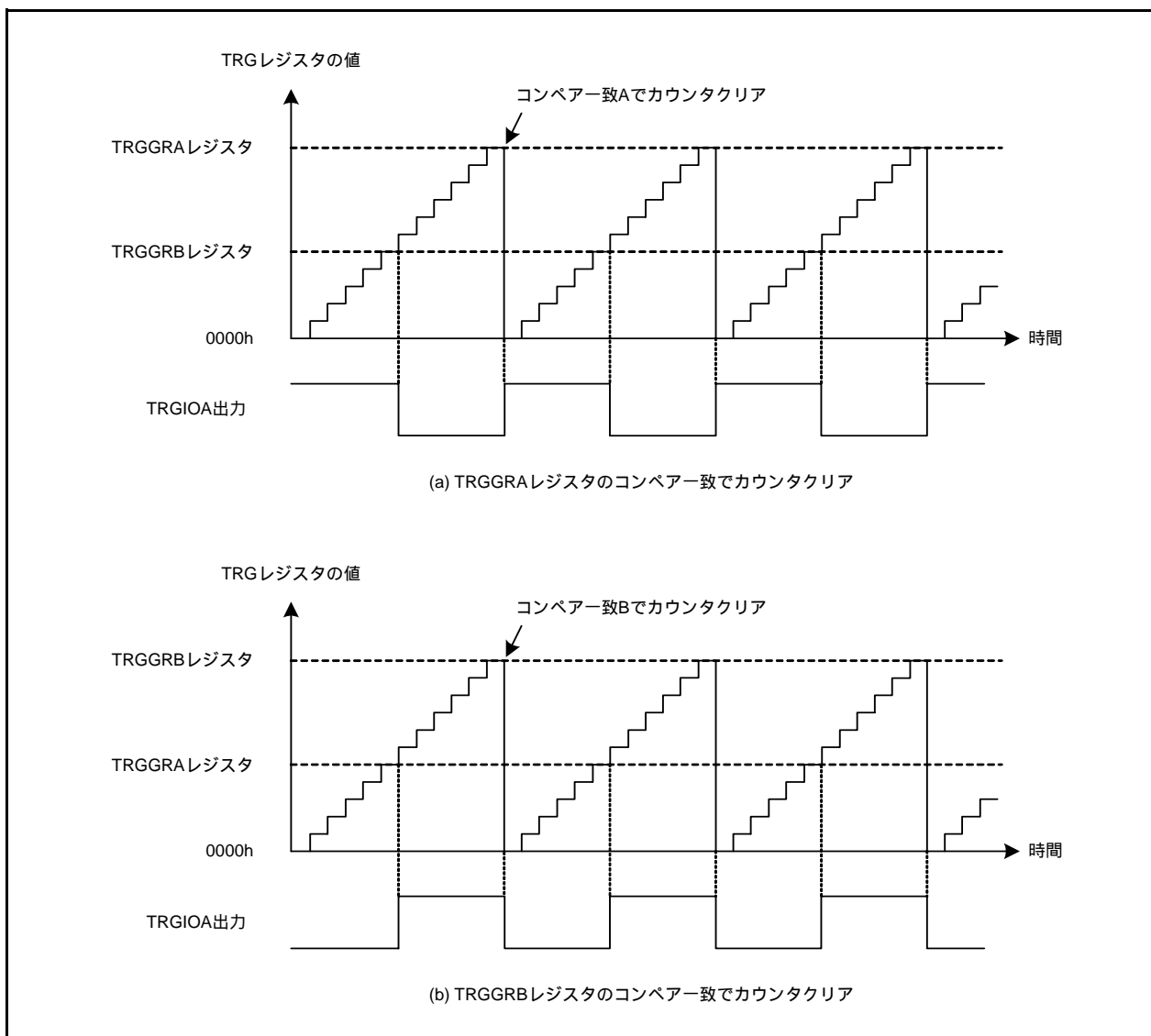


図 23.14 PWMモードの動作例(1)

図 23.15 に PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を示します。

カウンタクリア要因を TRGGRB レジスタのコンペアー致に設定し、

- TRGGRA レジスタの設定値 > TRGGRB レジスタの設定値

としたとき、PWM 波形はデューティ 0% となります。

また、カウンタクリア要因を TRGGRA レジスタのコンペアー致に設定し、

- TRGGRB レジスタの設定値 > TRGGRA レジスタの設定値

としたとき PWM 波形はデューティ 100% となります。

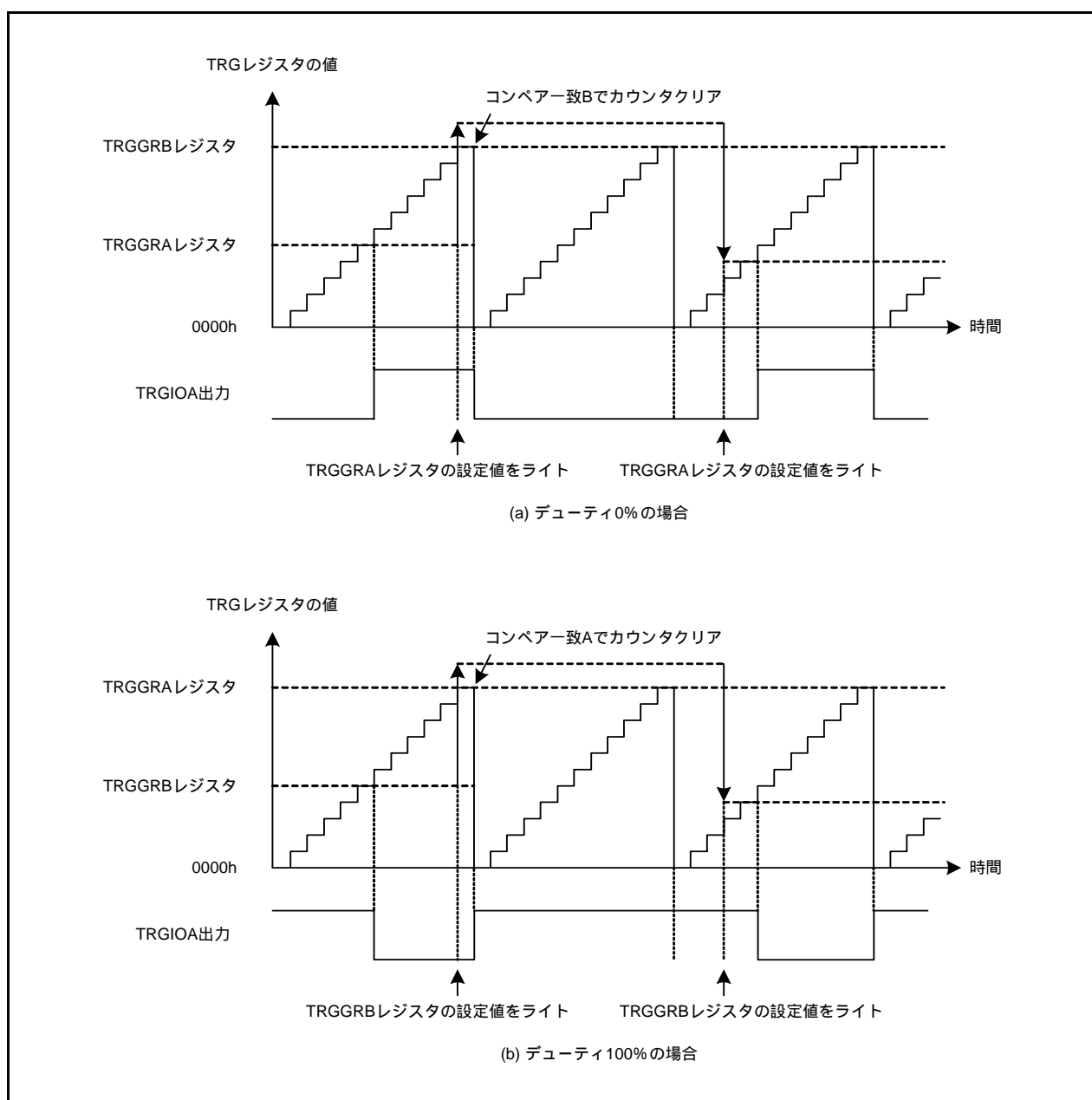


図23.15 PWMモードの動作例(2)

23.7 位相計数モード

位相計数モードは、2本のTRGCLKA、TRGCLKB端子からの外部入力信号の位相差を検出し、TRGレジスタをアップ/ダウンカウントします。

TIMSRレジスタのTRGCLKASELビットとTRGCLKBSELビットが“1”のとき位相計数モードに設定すると、TRGCRレジスタのTCK0～TCK2ビット、CKEG0～CKEG1ビットの設定にかかわらず、TRGCLKA、TRGCLKB端子は自動的に外部クロック入力端子として機能し、またTRGレジスタはTRGCNTCレジスタのCNTEN0～CNTEN7ビットにより、加算/減算されます。ただし、TRGCRレジスタのCCLR0～CCLR1ビット、TRGIOR、TRGIER、TRGSR、TRGGRA、TRGGRBレジスタは有効ですので、インプットキャプチャ/アウトプットコンペア機能やPWM出力機能や割り込み要因を使用することができます。

TRGレジスタは、CNTEN0～CNTEN7ビットにより、TRGCLKA、TRGCLKB端子の立ち上がり/立ち下りの両エッジでカウントします。

表23.11に位相計数モードの仕様を、表23.12にTRGレジスタの加算/減算条件を示します。

表23.11 位相計数モードの仕様

項目	仕様
カウントソース	TRGCLKj端子に入力された外部信号
カウント動作	アップカウント/ダウンカウント
カウント開始条件	TRGMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ (TRGIOj入力の有効エッジ) コンペア一致 (TRGレジスタとTRGGRjレジスタの内容が一致) TRGレジスタオーバフロー TRGレジスタアンダフロー
TRGIOA端子機能	プログラマブル入出力ポート、インプットキャプチャ入力、アウトプットコンペア出力、またはPWM出力
TRGIOB端子機能	プログラマブル入出力ポート、インプットキャプチャ入力、またはアウトプットコンペア出力
TRGCLKA、TRGCLKB端子機能	外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> カウンタの加算/減算条件選択 TRGCNTCレジスタのCNTEN0～CNTEN7ビットで選択 インプットキャプチャ/アウトプットコンペア機能、PWM機能を使用可

j=A、B

表23.12 TRGレジスタの加算/減算条件

TRGCLKB端子	↑	“H”	↓	“L”	“H”	↓	“L”	↑
TRGCLKA端子	“L”	↑	“H”	↓	↓	“L”	↑	“H”
TRGCNTC レジスタの CNTEN7～ CNTEN0ビット	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
値	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1
カウント方向	– +1	– +1	– +1	– +1	– –1	– –1	– –1	– –1

23.7.1 タイマRG制御レジスタ (TRGCR)[位相計数モード時]

アドレス 0172h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	TCK0	カウントソース選択ビット	位相計数モードでは無効	R/W	
b1	TCK1			R/W	
b2	TCK2			R/W	
b3	CKEG0	外部クロック有効エッジ 選択ビット	位相計数モードでは無効	R/W	
b4	CKEG1			R/W	
b5	CCLR0	TRGレジスタクリア要因選 択ビット	b6 b5 00：クリア禁止 01：インプットキャプチャまたはTRGGRAのコンペア 一致でTRGレジスタをクリア 10：インプットキャプチャまたはTRGGRBのコンペア 一致でTRGレジスタをクリア 11：設定しないでください	R/W	
b6	CCLR1			R/W	
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。			-

23.7.2 位相計数モードの設定手順例

図 23.16 に位相計数モードの設定手順例を示します。

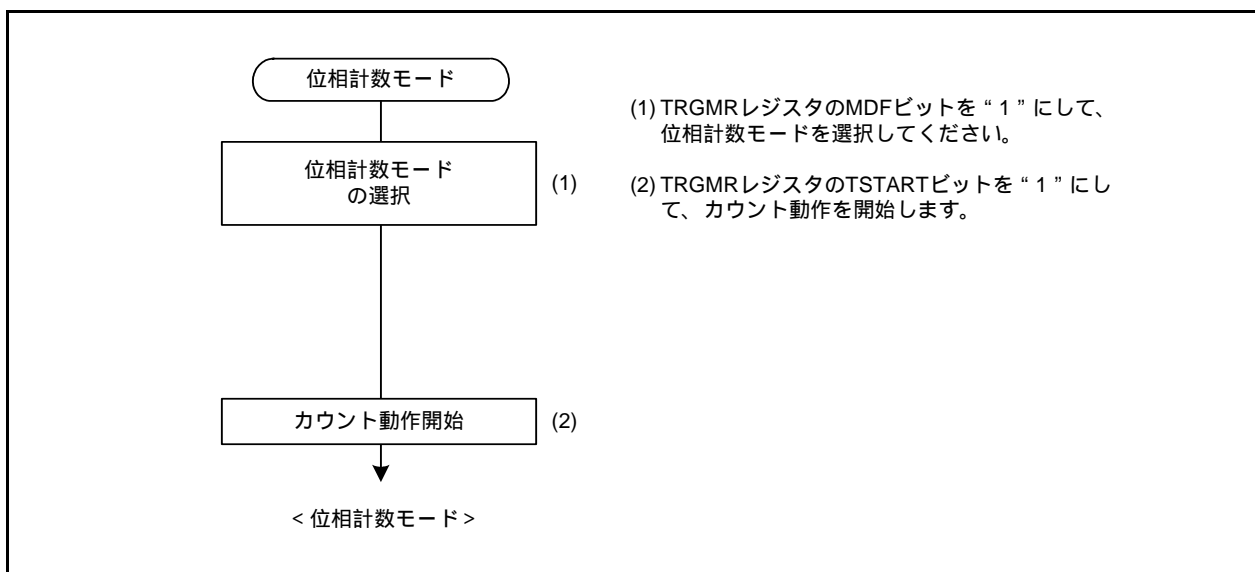


図 23.16 位相計数モードの設定手順例

23.7.3 動作例

図 23.17 ~ 図 23.20 に位相計数モードの動作例を示します。表 23.12 に TRG レジスタの加算/減算条件を示します。

位相計数モードでは、TRGCNTC レジスタの CNTEN0 ~ CNTEN7 ビットにより、TRGCLKA、TRGCLKB 端子の立ち上がり(↑)/立ち下がり(↓)の両エッジで加算/減算されます。

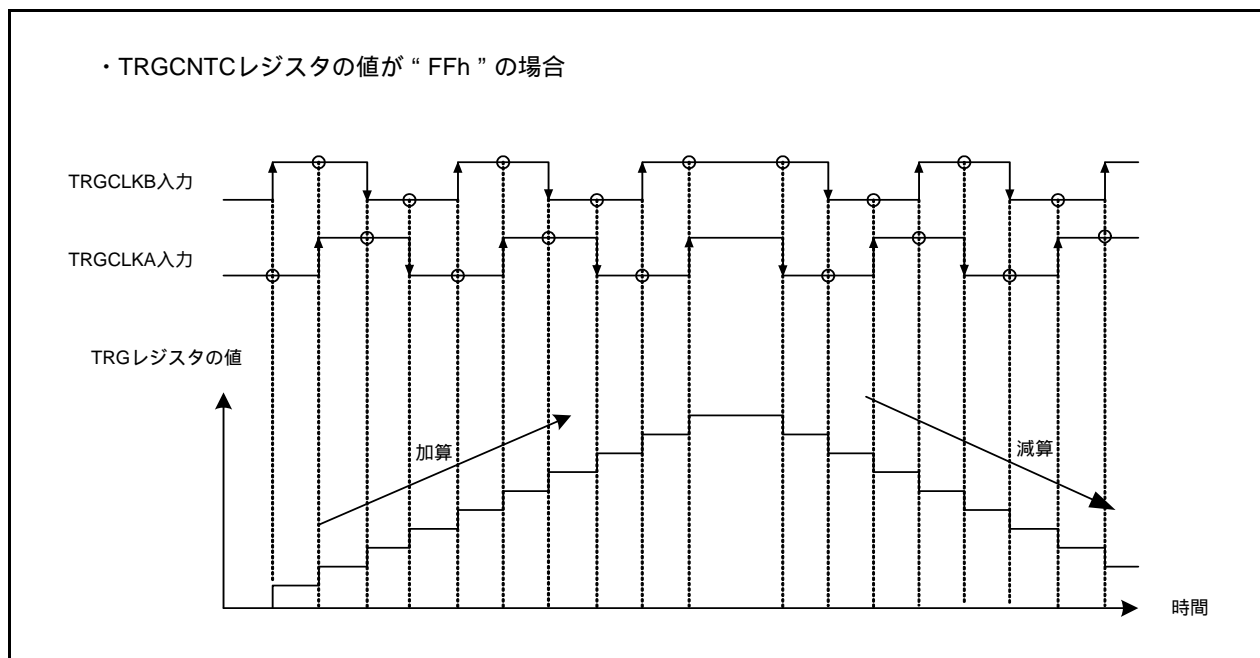


図 23.17 位相計数モードの動作例 1

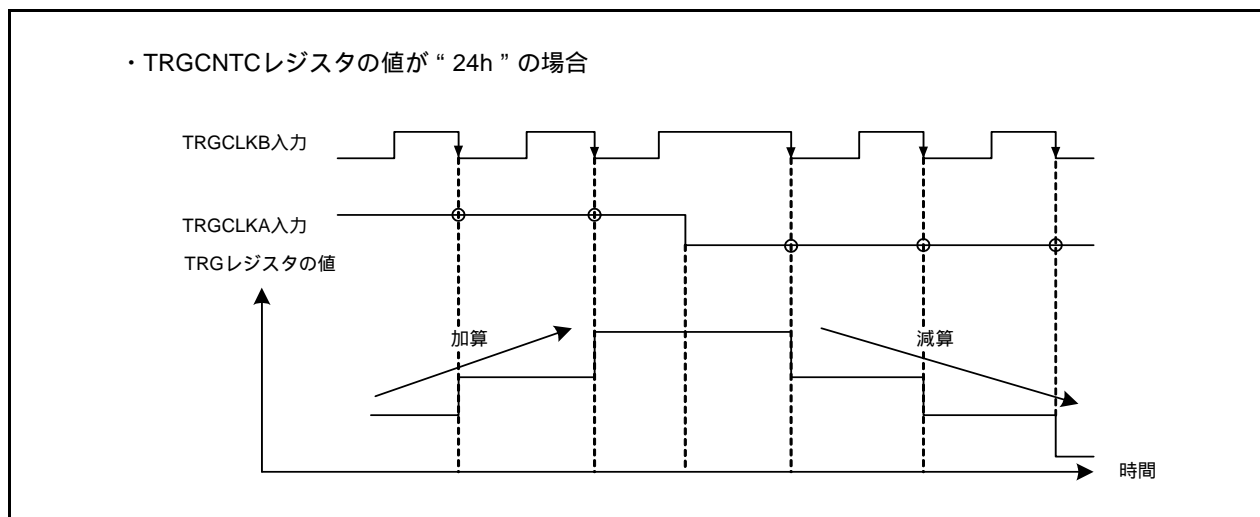


図 23.18 位相計数モードの動作例 2

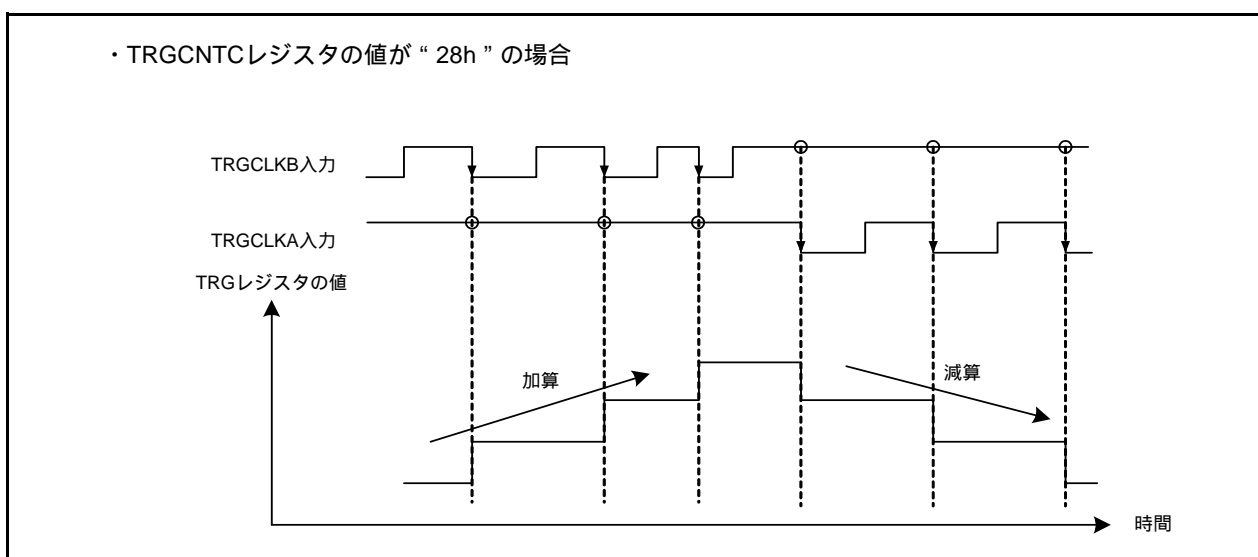


図 23.19 位相計数モードの動作例3

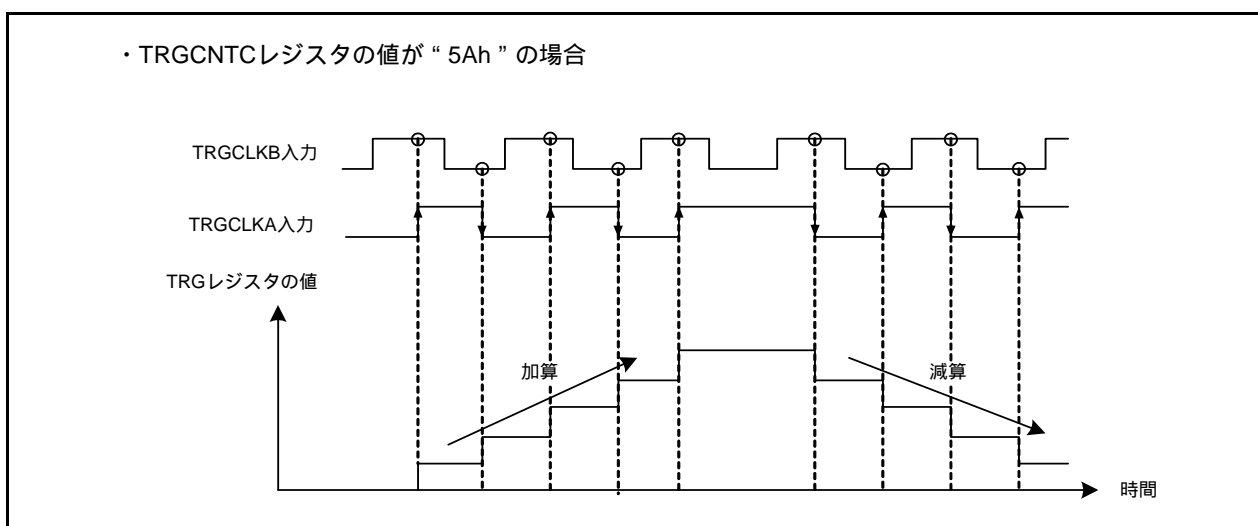


図 23.20 位相計数モードの動作例4

23.8 タイマRG 割り込み

タイマRGは、4つの要因からタイマRG割り込み要求を発生します。タイマRG割り込みは1つのTRGICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表23.13にタイマRG割り込み関連レジスタを、図23.21にタイマRG割り込みのブロック図を示します。

表23.13 タイマRG 割り込み関連レジスタ

タイマRG ステータスレジスタ	タイマRG 割り込み許可レジスタ	タイマRG 割り込み制御レジスタ
TRGSR	TRGIER	TRGIC

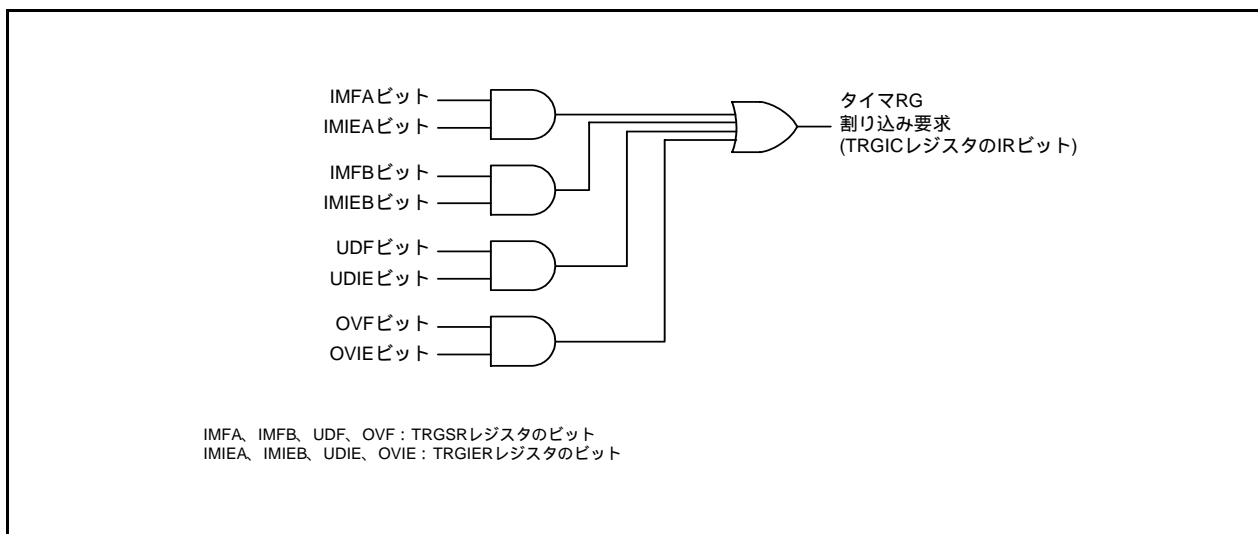


図23.21 タイマRG 割り込みのブロック図

タイマRG 割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRG 割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRGSRレジスタのビットが“1”で、それに対応するTRGIERレジスタのビットが“1”(割り込み許可)の場合、TRGICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRGSRレジスタのビットと、それに対応するTRGIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRGIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRGSRレジスタで判定してください。
- TRGSRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「23.2.6 タイマRGステータスレジスタ(TRGSR)」を参照してください。

TRGIERレジスタは「23.2.5 タイマRG 割り込み許可レジスタ(TRGIER)」を参照してください。

TRGICレジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

23.9 タイマRG使用上の注意

23.9.1 位相計数モード時の位相差、オーバーラップ、およびパルス幅

TRGCLKA、TRGCLKB 端子からの外部入力信号の位相差およびオーバーラップはそれぞれ $1.5f_1$ 以上、パルス幅は $2.5f_1$ 以上が必要です。図 23.22 に位相計数モード時の位相差、オーバーラップおよびパルス幅を示します。

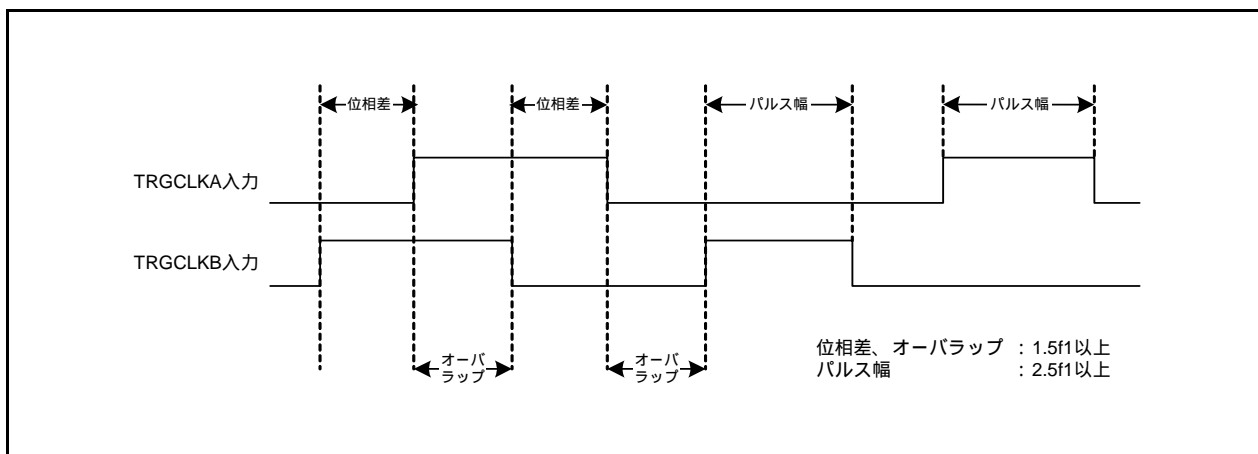


図 23.22 位相計数モード時の位相差、オーバーラップおよびパルス幅

24. シリアルインタフェース(UARTi (i=0 ~ 1))

シリアルインタフェースはUART0 ~ UART2の3チャンネルで構成しています。本章はUARTi (i=0 ~ 1)について説明します。

24.1 概要

UART0 ~ UART1 はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図24.1にUARTi (i=0 ~ 1)のブロック図を、図24.2に送受信部のブロック図を、表24.1にUARTi (i=0 ~ 1)の端子構成を示します。

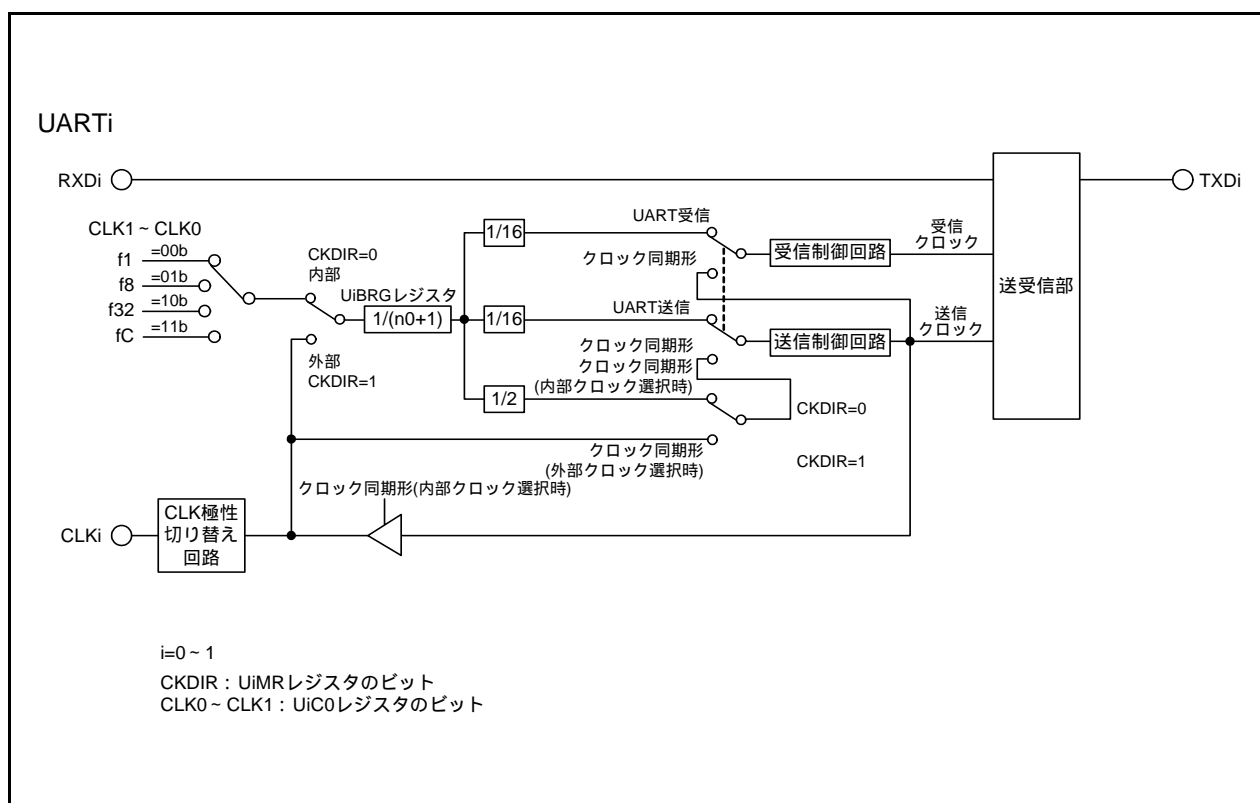


図24.1 UARTi (i=0 ~ 1)のブロック図

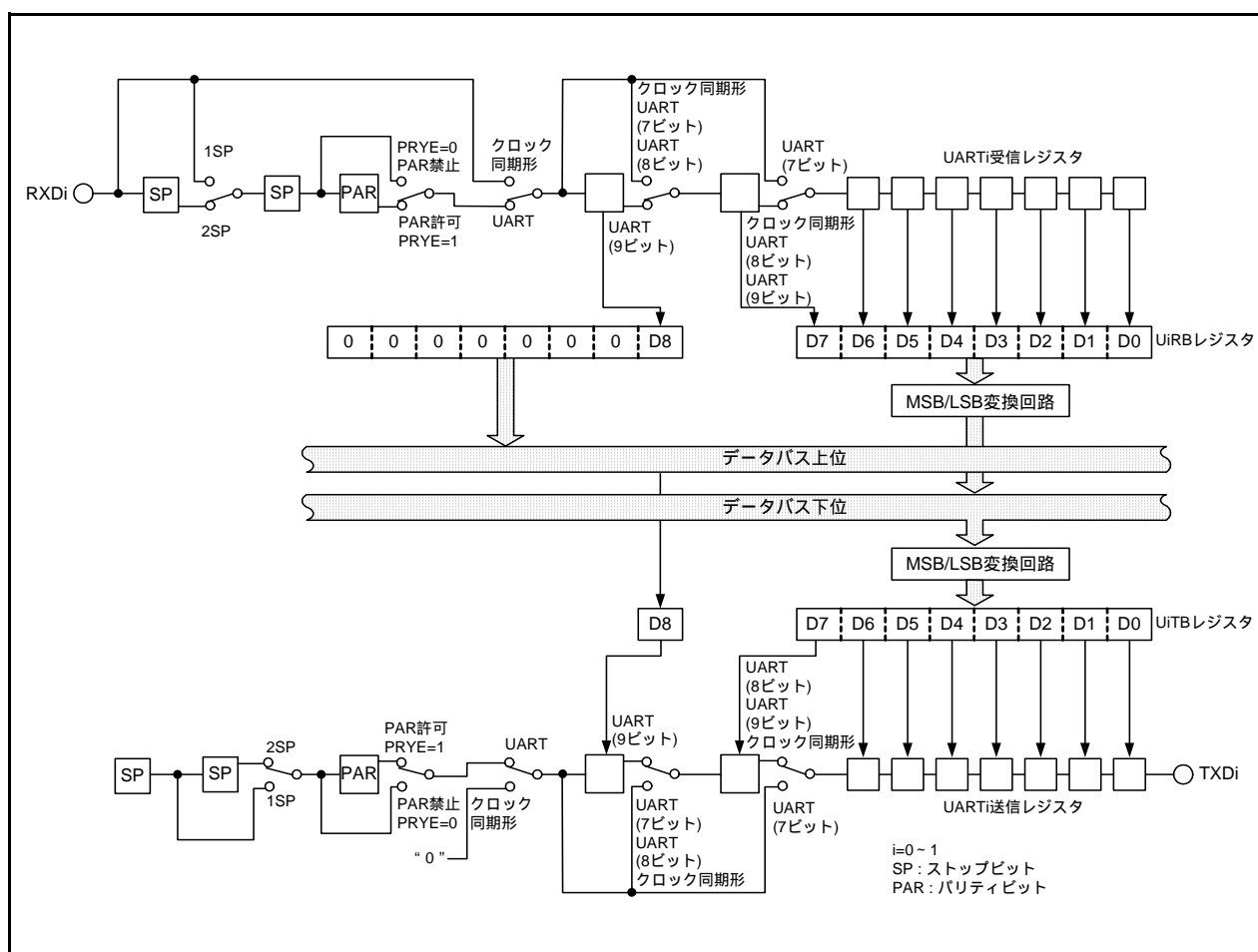


図 24.2 送受信部のブロック図

表 24.1 UARTi (i=0 ~ 1) の端子構成

端子名	割り当てる端子	入出力	機能
TXD0	P1_4	出力	シリアルデータ出力
RXD0	P1_5	入力	シリアルデータ入力
CLK0	P1_6	入出力	転送クロック入出力
TXD1	P0_1 または P6_3	出力	シリアルデータ出力
RXD1	P0_2 または P6_4	入力	シリアルデータ入力
CLK1	P0_3、P6_2 または P6_5	入出力	転送クロック入出力

24.2 レジスタの説明

24.2.1 UARTi送受信モードレジスタ (UiMR)(i=0 ~ 1)

アドレス 00A0h 番地 (U0MR)、0160h 番地 (U1MR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 000: シリアルインタフェースは無効 001: クロック同期形シリアルI/Oモード 100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	R/W
b7	-	予約ビット	"0" にしてください	R/W

24.2.2 UARTiビットレートレジスタ (UiBRG)(i=0 ~ 1)

アドレス 00A1h 番地 (U0BRG)、0161h 番地 (U1BRG)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7 ~ b0	設定値をnとすると、UiBRGはカウントソースをn+1分周する	00h ~ FFh	W

UiBRGレジスタは、送受信停止中に書いてください。

UiBRGレジスタは、MOV命令を使用して書いてください。

UiC0レジスタのCLK0 ~ CLK1ビットを設定した後、UiBRGレジスタに書いてください。

24.2.3 UARTi送信バッファレジスタ (UiTB)(i=0 ~ 1)

アドレス 00A3h ~ 00A2h 番地 (U0TB)、0163h ~ 0162h 番地 (U1TB)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	-	送信データ	W
b1	-		
b2	-		
b3	-		
b4	-		
b5	-		
b6	-		
b7	-		
b8	-		
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-
b10	-		
b11	-		
b12	-		
b13	-		
b14	-		
b15	-		

転送データ長が9ビットの場合、UiTBレジスタの上位バイト 下位バイトの順で書いてください。
UiTBレジスタはMOV命令を使用して書いてください。

24.2.4 UARTi送受信制御レジスタ0 (UiC0)(i=0 ~ 1)

アドレス 00A4h 番地 (U0C0)、0164h 番地 (U1C0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	-	TXEPT	-	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	BRG カウントソース選択ビット (注1)	b1 b0 0 0 : f1 を選択 0 1 : f8 選択 1 0 : f32 を選択 1 1 : fC を選択	R/W
b1	CLK1			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	R
b4	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は "0"。		-
b5	NCH	データ出力選択ビット	0 : TXDi 端子は CMOS 出力 1 : TXDi 端子は Nチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK 極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット	0 : LSB ファースト 1 : MSB ファースト	R/W

注1. BRG カウントソースを変更した場合は、UiBRG レジスタを再設定してください。

24.2.5 UARTi送受信制御レジスタ1 (UiC1)(i=0 ~ 1)

アドレス 00A5h 番地 (U0C1)、0165h 番地 (U1C1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	UiRRM	UiIRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	R/W
b1	TI	送信バッファ空フラグ	0 : UiTB にデータあり 1 : UiTB にデータなし	R
b2	RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	R/W
b3	RI	受信完了フラグ (注1)	0 : UiRB にデータなし 1 : UiRB にデータあり	R
b4	UiIRS	UARTi 送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了 (TXEPT=1)	R/W
b5	UiRRM	UARTi 連続受信モード許可ビット (注2)	0 : 連続受信モード禁止 1 : 連続受信モード許可	R/W
b6	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は "0"。		-
b7	-			

注1. RI ビットは UiRB レジスタの上位バイトを読み出したとき、"0" になります。

注2. UART モード時、UiRRM ビットは "0" (連続受信モード禁止) にしてください。

24.2.6 UARTi 受信バッファレジスタ (UiRB)(i=0 ~ 1)

アドレス 00A7h ~ 00A6h 番地 (U0RB)、0167h ~ 0166h 番地 (U1RB)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	-	-	受信データ (D7 ~ D0)	R
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			
b8	-	-	受信データ (D8)	R
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b10	-			
b11	-			
b12	OER	オーバランエラーフラグ(注1)	0 : オーバランエラーなし 1 : オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1)	0 : フレーミングエラーなし 1 : フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1)	0 : パリティエラーなし 1 : パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1)	0 : エラーなし 1 : エラー発生	R

注1. SUM、PER、FER、OER ビットは、UiMR レジスタの SMD2 ~ SMD0 ビットを “000b” (シリアルインタフェースは無効) にしたとき、または UiC1 レジスタの RE ビットを “0” (受信禁止) にしたとき、“0” (エラーなし) になります (SUM ビットは、PER、FER、OER ビットがすべて “0” (エラーなし) になると、“0” (エラーなし) になります)。また、PER、FER ビットは UiRB レジスタの上位バイトを読み出したとき、“0” になります。

UiRB レジスタは必ず 16 ビット単位で読み出してください。

24.2.7 UART0 端子選択レジスタ (U0SR)

アドレス 0188h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK0SEL0	-	RXD0SEL0	-	TXD0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SEL0	TXD0 端子選択ビット	0 : TXD0 端子は使用しない 1 : P1_4 に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b2	RXD0SEL0	RXD0 端子選択ビット	0 : RXD0 端子は使用しない 1 : P1_5 に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b4	CLK0SEL0	CLK0 端子選択ビット	0 : CLK0 端子は使用しない 1 : P1_6 に割り当てる	R/W
b5	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

U0SR レジスタは、UART0 の入出力をどの端子に割り当てるかを選択するレジスタです。UART0 の入出力端子を使用する場合は、U0SR レジスタを設定してください。

UART0 の関連レジスタを設定する前に、U0SR レジスタを設定してください。また、UART0 の動作中は U0SR レジスタの設定値を変更しないでください。

24.2.8 UART1 端子選択レジスタ (U1SR)

アドレス 0189h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	CLK1SEL1	CLK1SEL0	RXD1SEL1	RXD1SEL0	TXD1SEL1	TXD1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD1SEL0	TXD1 端子選択ビット	b1 b0 00 : TXD1 端子は使用しない 01 : P0_1 に割り当てる 10 : P6_3 に割り当てる 11 : 設定しないでください	R/W
b1	TXD1SEL1			R/W
b2	RXD1SEL0	RXD1 端子選択ビット	b3 b2 00 : RXD1 端子は使用しない 01 : P0_2 に割り当てる 10 : P6_4 に割り当てる 11 : 設定しないでください	R/W
b3	RXD1SEL1			R/W
b4	CLK1SEL0	CLK1 端子選択ビット	b5 b4 00 : CLK1 端子は使用しない 01 : P0_3 に割り当てる 10 : P6_2 に割り当てる 11 : P6_5 に割り当てる	R/W
b5	CLK1SEL1			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

U1SR レジスタは、UART1 の入出力をどの端子に割り当てるかを選択するレジスタです。UART1 の入出力端子を使用する場合は、U1SR レジスタを設定してください。

UART1 の関連レジスタを設定する前に、U1SR レジスタを設定してください。また、UART1 の動作中は U1SR レジスタの設定値を変更しないでください。

24.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表24.2にクロック同期形シリアルI/Oモードの仕様を、表24.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)を示します。

表24.2 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> • UiMR レジスタのCKDIR ビットが“0”(内部クロック) : $f_i/(2(n+1))$ $f_i=f_1, f_8, f_{32}, f_C$ $n=UiBRG$ レジスタの設定値 00h ~ FFh • CKDIR ビットが“1”(外部クロック) : CLKi端子からの入力
送信開始条件	送信開始には、以下の条件が必要です。(注1) <ul style="list-style-type: none"> • UiC1 レジスタのTE ビットが“1”(送信許可) • UiC1 レジスタのTI ビットが“0”(UiTB レジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要です。(注1) <ul style="list-style-type: none"> • UiC1 レジスタのRE ビットが“1”(受信許可) • UiC1 レジスタのTE ビットが“1”(送信許可) • UiC1 レジスタのTI ビットが“0”(UiTB レジスタにデータあり)
割り込み要求発生タイミング	<ul style="list-style-type: none"> • 送信する場合、次の条件のいずれかを選択できます。 <ul style="list-style-type: none"> - UiIRS ビットが“0”(送信バッファ空) : UiTB レジスタから UARTi 送信レジスタへデータ転送時(送信開始時) - UiIRS ビットが“1”(送信完了) : UARTi 送信レジスタからデータ送信完了時 • 受信する場合 UARTi 受信レジスタから、UiRB レジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRB レジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • CLK 極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 • LSB ファースト、MSB ファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択 • 連続受信モード選択 UiRB レジスタを読み出す動作により、同時に受信許可状態になる

i=0 ~ 1

注1. 外部クロックを選択している場合、UiC0 レジスタのCKPOL ビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOL ビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRB レジスタの受信データ(b0 ~ b8)は不定になります。また SiRIC レジスタの IR ビットは変化しません。

表24.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
UiTB	b0 ~ b7	送信データを設定してください
UiRB	b0 ~ b7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	b0 ~ b7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを使用する場合、“1” にしてください

i=0 ~ 1

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表24.4にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UARTi (i=0 ~ 1) の動作モード選択後、転送開始までは、TXDi 端子は “ H ” レベルを出力します (NCH ビットが “ 1 ” (Nチャネルオープンドレイン出力) の場合、ハイインピーダンス状態)。

表24.4 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0 (P1_4)	シリアルデータ出力	U0SR レジスタのTXD0SEL0ビット = 1 (受信だけを行うときはTXD0SEL0ビット = 0と設定することで、P1_4をポートとして使用可)
RXD0 (P1_5)	シリアルデータ入力	U0SR レジスタのRXD0SEL0ビット = 1 PD1 レジスタのPD1_5ビット = 0 (送信だけを行うときはRXD0SEL0ビット = 0と設定することで、P1_5をポートとして使用可)
CLK0 (P1_6)	転送クロック出力	U0SR レジスタのCLK0SEL0ビット = 1 U0MR レジスタのCKDIR ビット = 0
	転送クロック入力	U0SR レジスタのCLK0SEL0ビット = 1 U0MR レジスタのCKDIR ビット = 1 PD1 レジスタのPD1_6ビット = 0
TXD1 (P0_1またはP6_3)	シリアルデータ出力	<ul style="list-style-type: none"> TXD1 (P0_1) の場合 U1SR レジスタのTXD1SEL1、TXD1SEL0ビット = 01b(P0_1) TXD1 (P6_3) の場合 U1SR レジスタのTXD1SEL1、TXD1SEL0ビット = 10b(P6_3) 受信だけを行うときはTXD1SEL1、TXD1SEL0ビット = 00bと設定することで、P0_1、P6_3をポートとして使用可
RXD1 (P0_2またはP6_4)	シリアルデータ入力	<ul style="list-style-type: none"> RXD1 (P0_2) の場合 U1SR レジスタのRXD1SEL1、RXD1SEL0ビット = 01b(P0_2) PD0 レジスタのPD0_2ビット = 0 RXD1 (P6_4) の場合 U1SR レジスタのRXD1SEL1、RXD1SEL0ビット = 10b(P6_4) PD6 レジスタのPD6_4ビット = 0 送信だけを行うときはRXD1SEL1、RXD1SEL0ビット = 00bと設定することで、P0_2、P6_4をポートとして使用可
CLK1 (P0_3またはP6_2またはP6_5)	転送クロック出力	<ul style="list-style-type: none"> CLK1 (P0_3) の場合 U1SR レジスタのCLK1SEL1、CLK1SEL0ビット = 01b(P0_3) U1MR レジスタのCKDIR ビット = 0 CLK1 (P6_2) の場合 U1SR レジスタのCLK1SEL1、CLK1SEL0ビット = 10b(P6_2) U1MR レジスタのCKDIR ビット = 0 CLK1 (P6_5) の場合 U1SR レジスタのCLK1SEL1、CLK1SEL0ビット = 11b(P6_5) U1MR レジスタのCKDIR ビット = 0
	転送クロック入力	<ul style="list-style-type: none"> CLK1 (P0_3) の場合 U1SR レジスタのCLK1SEL1、CLK1SEL0ビット = 01b(P0_3) U1MR レジスタのCKDIR ビット = 1 PD0 レジスタのPD0_3ビット = 0 CLK1 (P6_2) の場合 U1SR レジスタのCLK1SEL1、CLK1SEL0ビット = 10b(P6_2) U1MR レジスタのCKDIR ビット = 1 PD6 レジスタのPD6_2ビット = 0 CLK1 (P6_5) の場合 U1SR レジスタのCLK1SEL1、CLK1SEL0ビット = 11b(P6_5) U1MR レジスタのCKDIR ビット = 1 PD6 レジスタのPD6_5ビット = 0

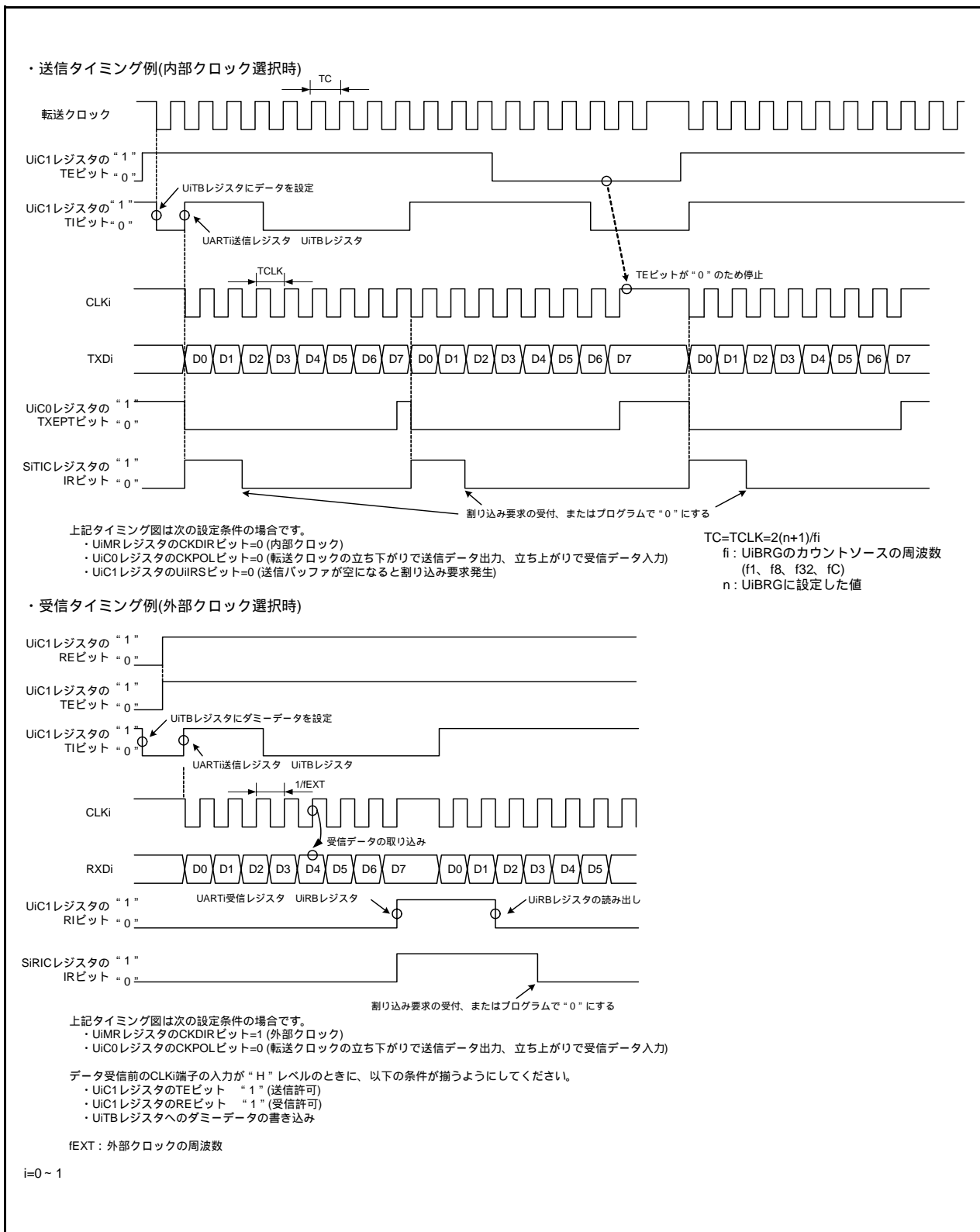


図 24.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

24.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

• UiRB レジスタ (i=0 ~ 1) の初期化手順

- (1) UiC1 レジスタのREビットを“0”(受信禁止)にする。
- (2) UiMR レジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMR レジスタのSMD2 ~ SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) UiC1 レジスタのREビットを“1”(受信許可)にする。

• UiTB レジスタの初期化手順

- (1) UiMR レジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (2) UiMR レジスタのSMD2 ~ SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (3) UiC1 レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

24.3.2 極性選択機能

図 24.4 に転送クロックの極性を示します。UiC0 レジスタ (i=0 ~ 1) の CKPOL ビットによって転送クロックの極性を選択できます。

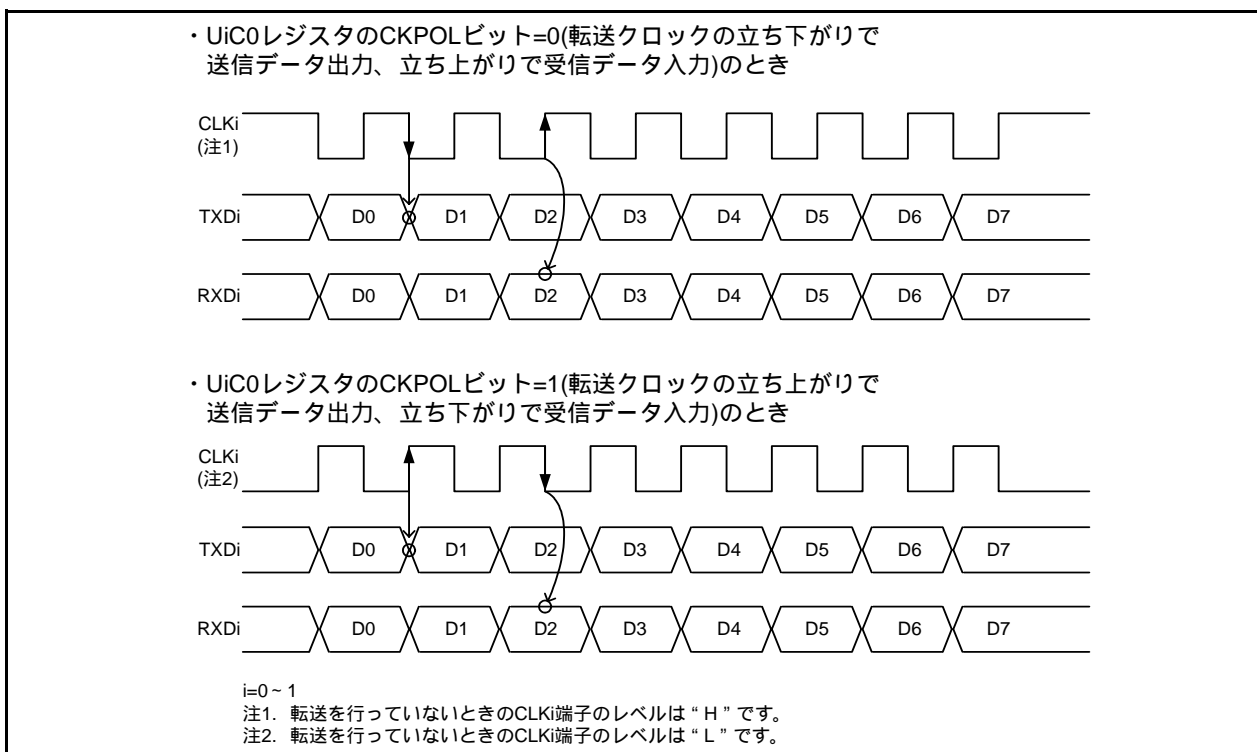


図 24.4 転送クロックの極性

24.3.3 LSB ファースト、MSB ファースト選択

図 24.5 に転送フォーマットを示します。UiC0 レジスタ (i=0 ~ 1) の UFORM ビットで転送フォーマットを選択できます。

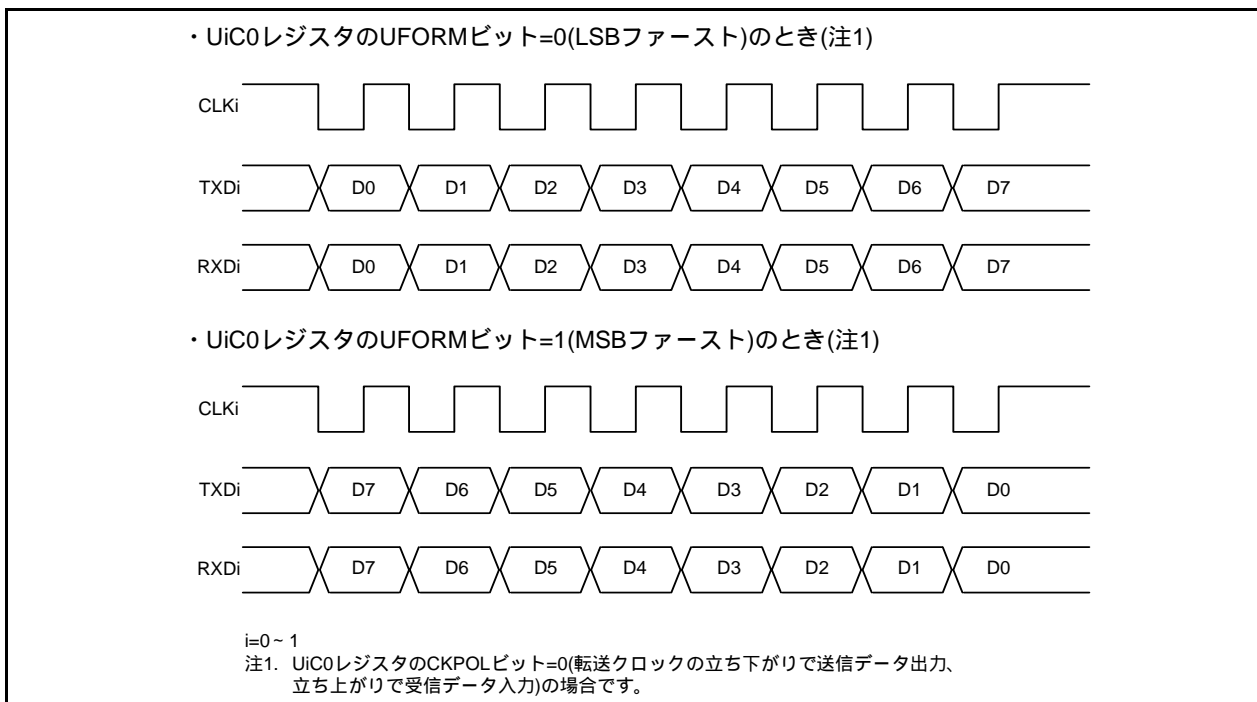


図 24.5 転送フォーマット

24.3.4 連続受信モード

UiC1 レジスタ (i=0 ~ 1) の UiRRM ビットを “ 1 ” (連続受信モード許可) に設定することによって、連続受信モードになります。連続受信モードでは、UiRB レジスタを読むことで UiC1 レジスタの TI ビットが “ 0 ” (UiTB にデータあり) になります。UiRRM ビットが “ 1 ” の場合、プログラムで UiTB レジスタにダミーデータを書かないでください。

24.4 クロック非同期形シリアルI/O(UART) モード

クロック非同期形シリアルI/O モードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表24.5にクロック非同期形シリアルI/Oモードの仕様を、表24.6にUARTモード時の使用レジスタと設定値を示します。

表24.5 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> • キャラクタビット (転送データ) 7ビット、8ビット、9ビット選択可 • スタートビット 1ビット • パリティビット 奇数、偶数、無し選択可 • ストップビット 1ビット、2ビット選択可
転送クロック	<ul style="list-style-type: none"> • UiMR レジスタのCKDIR ビットが "0" (内部クロック) : $f_j/(16(n+1))$ $f_j=f_1, f_8, f_{32}, f_C$ $n=UiBRG$ レジスタの設定値 00h ~ FFh • CKDIR ビットが "1" (外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT}はCLKi端子からの入力 $n=UiBRG$ レジスタの設定値 00h ~ FFh
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> • UiC1 レジスタのTE ビットが "1" (送信許可) • UiC1 レジスタのTI ビットが "0" (UiTB レジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> • UiC1 レジスタのRE ビットが "1" (受信許可) • スタートビットの検出
割り込み要求発生タイミング	<ul style="list-style-type: none"> • 送信する場合、次の条件のいずれかを選択できます。 <ul style="list-style-type: none"> - UiIRS ビットが "0" (送信バッファ空) : UiTB レジスタから UARTi 送信レジスタへデータ転送時 (送信開始時) - UiIRS ビットが "1" (送信完了) : UARTi 送信レジスタからデータ送信完了時 • 受信する場合 UARTi 受信レジスタから、UiRB レジスタへデータ転送時 (受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー (注1) UiRB レジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー パリティ許可時にパリティビットとキャラクタビット中の "1" の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合 "1" になる

i=0 ~ 1

注1. オーバランエラーが発生した場合、UiRB レジスタの受信データ (b0 ~ b8) は不定になります。また SiRIC レジスタの IR ビットは変化しません。

表24.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	b0 ~ b8	送信データを設定してください。(注1)
UiRB	b0 ~ b8	受信データが読めます。(注2)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	b0 ~ b7	ビットレートを設定してください。
UiMR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください。
	UiRRM	“0”にしてください。

i=0 ~ 1

注1. 使用するビットは次のとおりです。

転送データ長7ビット：ビットb0 ~ b6、転送データ長8ビット：ビットb0 ~ b7、

転送データ長9ビット：ビットb0 ~ b8

注2. 転送データ長7ビットの場合のビットb7 ~ b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表24.7にUARTモード時の入出力端子の機能を示します。

なお、UARTi (i=0 ~ 1)の動作モード選択後、転送開始までは、TXDi端子は“H”レベルを出力します (NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表24.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD0 (P1_4)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット = 1 (受信だけを行うときはTXD0SEL0ビット = 0と設定することで、P1_4をポートとして使用可)
RXD0 (P1_5)	シリアルデータ入力	U0SRレジスタのRXD0SEL0ビット = 1 PD1レジスタのPD1_5ビット = 0 (送信だけを行うときはRXD0SEL0ビット = 0と設定することで、P1_5をポートとして使用可)
CLK0 (P1_6)	プログラマブル入出力ポート	U0SRレジスタのCLK0SEL0ビット = 0 (CLK0端子は使用しない)
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット = 1 U0MRレジスタのCKDIRビット = 1 PD1レジスタのPD1_6ビット = 0
TXD1 (P0_1またはP6_3)	シリアルデータ出力	<ul style="list-style-type: none"> • TXD1 (P0_1)の場合 U1SRレジスタのTXD1SEL1、TXD1SEL0ビット = 01b(P0_1) • TXD1 (P6_3)の場合 U1SRレジスタのTXD1SEL1、TXD1SEL0ビット = 10b(P6_3) • 受信だけを行うときはTXD1SEL1、TXD1SEL0ビット = 00bと設定することで、P0_1、P6_3をポートとして使用可
RXD1 (P0_2またはP6_4)	シリアルデータ入力	<ul style="list-style-type: none"> • RXD1 (P0_2)の場合 U1SRレジスタのRXD1SEL1、RXD1SEL0ビット = 01b(P0_2) PD0レジスタのPD0_2ビット = 0 • RXD1 (P6_4)の場合 U1SRレジスタのRXD1SEL1、RXD1SEL0ビット = 10b(P6_4) PD6レジスタのPD6_4ビット = 0 • 送信だけを行うときはRXD1SEL1、RXD1SEL0ビット = 00bと設定することで、P0_2、P6_4をポートとして使用可
CLK1 (P0_3またはP6_2またはP6_5)	プログラマブル入出力ポート	U1SRレジスタのCLK1SEL1、CLK1SEL0ビット = 00b(CLK1端子は使用しない)
	転送クロック入力	<ul style="list-style-type: none"> • CLK1 (P0_3)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット = 01b(P0_3) U1MRレジスタのCKDIRビット = 1 PD0レジスタのPD0_3ビット = 0 • CLK1 (P6_2)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット = 10b(P6_2) U1MRレジスタのCKDIRビット = 1 PD6レジスタのPD6_2ビット = 0 • CLK1 (P6_5)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット = 11b(P6_5) U1MRレジスタのCKDIRビット = 1 PD6レジスタのPD6_5ビット = 0

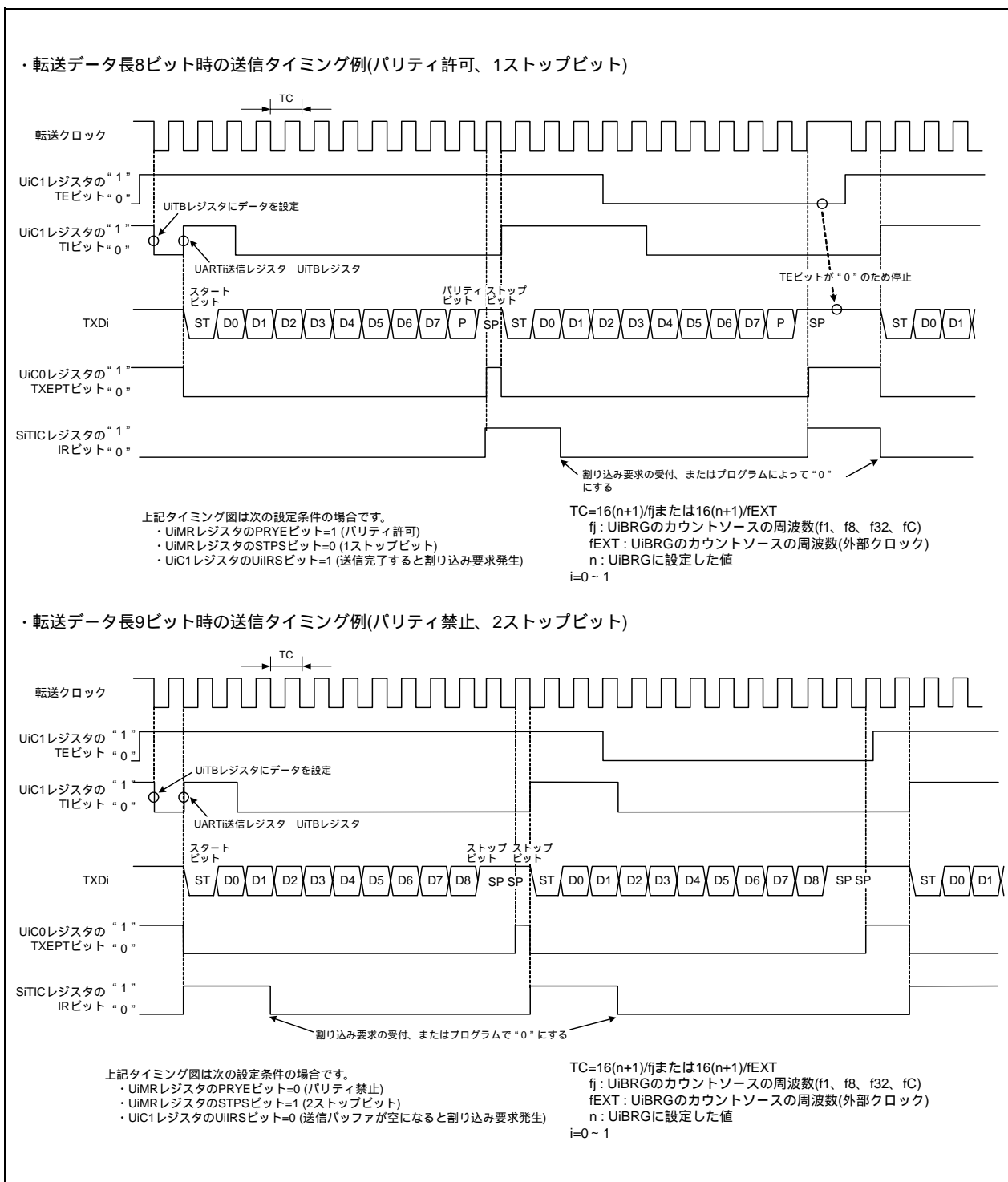


図 24.6 UARTモード時の送信タイミング

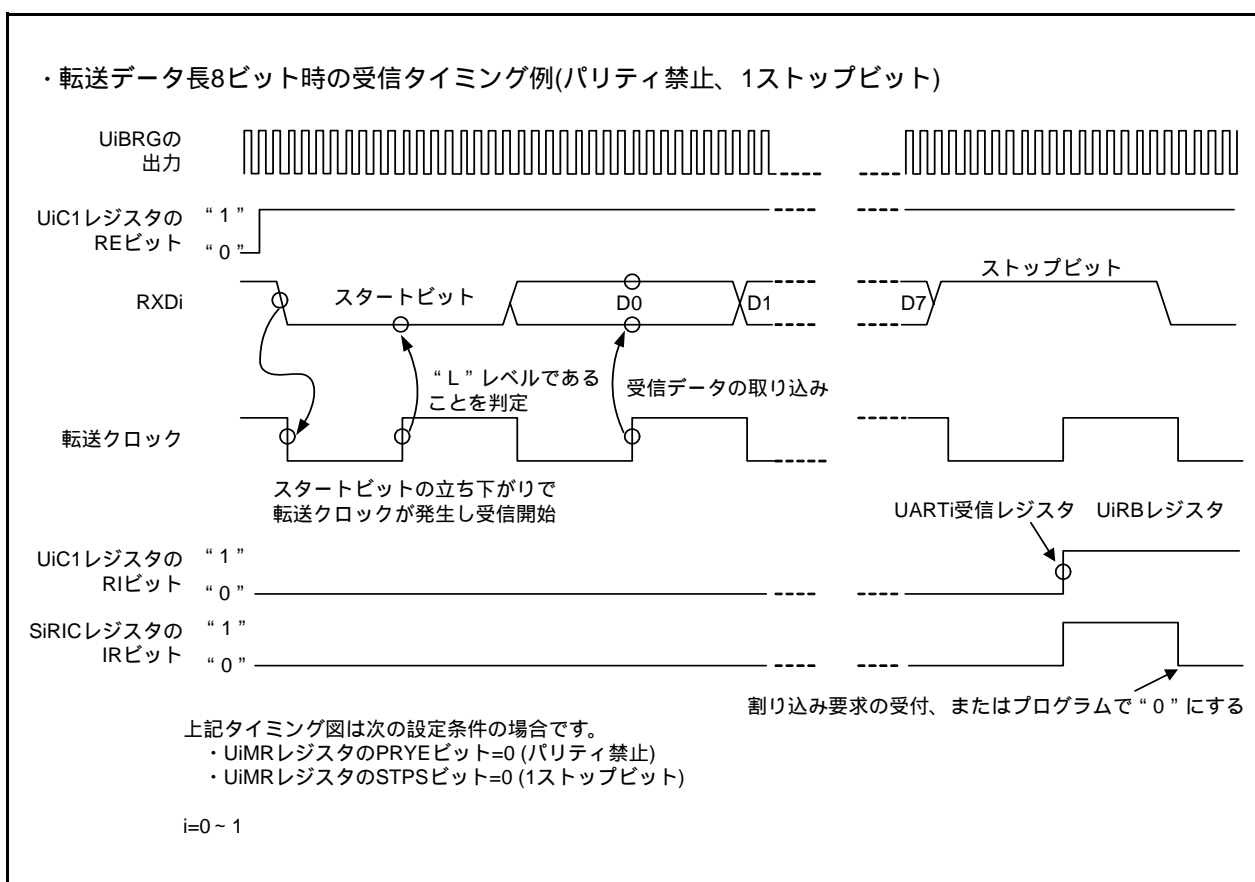


図24.7 UARTモード時の受信タイミング例

24.4.1 ビットレート

UARTモードではUiBRGレジスタ(i=0 ~ 1)で分周した周波数の16分周がビットレートになります。

< UARTモード >	
・ 内部クロック選択時	
$\text{UiBRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$	
f _j : UiBRGレジスタのカウンタソースの周波数(f ₁ 、f ₈ 、f ₃₂ 、f _C)	
・ 外部クロック選択時	
$\text{UiBRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$	
f _{EXT} : UiBRGレジスタのカウンタソースの周波数(外部クロック)	
i=0 ~ 1	

図 24.8 UiBRG レジスタ (i=0 ~ 1) の設定値の算出式

表 24.8 UART モード時のビットレート設定例 (内部クロック選択時)

ビット レート (bps)	UiBRG のカウン トソース	システムクロック = 20MHz			システムクロック = 18.432MHz (注1)			システムクロック = 8MHz		
		UiBRGの 設定値	実時間(bps)	設定 誤差 (%)	UiBRGの 設定値	実時間(bps)	設定 誤差 (%)	UiBRGの 設定値	実時間 (bps)	設定 誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	- 1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	- 1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	- 3.55
115200	f1	10 (0Ah)	113636.36	- 1.36	9 (09h)	115200.00	0.00			

i=0 ~ 1

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。

システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22 ~ FRA20ビットを“000b”(2分周モード)にした場合です。高速オンチップオシレータの精度は「36. 電気的特性」を参照してください。

24.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

- UiRBレジスタ (i=0 ~ 1) の初期化手順

- (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2) UiC1レジスタのREビットを“1”(受信許可)にする。

- UiTBレジスタの初期化手順

- (1) UiMRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (2) UiMRレジスタのSMD2 ~ SMD0ビットを再設定(“001b”、“101b”、“110b”)する。
- (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

24.5 シリアルインタフェース (UARTi (i=0 ~ 1)) 使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB (i=0 ~ 1) レジスタを読み出すときは、必ず16ビット単位で読み出してください。
UiRB レジスタのPER、FERビットとUiC1 レジスタのRIビットは、UiRB レジスタの上位バイトを読み出したとき、“0” になります。
受信エラーはUiRB レジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; U0RB レジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTB レジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B     #XXH, 00A3H    ; U0TB レジスタの上位バイトへの書き込み
```

```
MOV.B     #XXH, 00A2H    ; U0TB レジスタの下位バイトへの書き込み
```

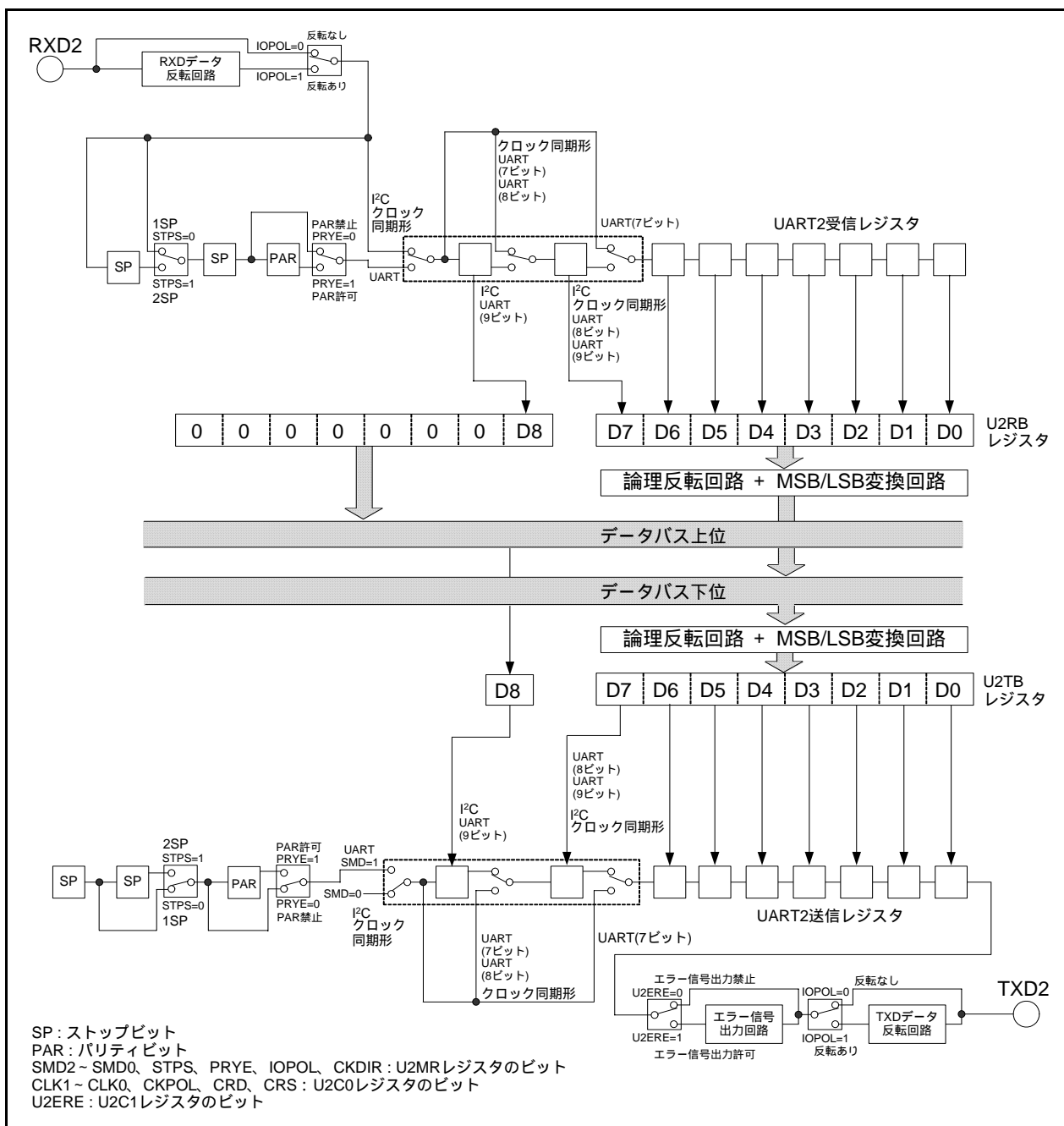



図 25.2 UART2 送受信部のブロック図

表 25.1 UART2 の端子構成

端子名	割り当てる端子	入出力	機能
TXD2	P3_4、P3_7またはP6_6	出力	シリアルデータ出力
RXD2	P3_4、P3_7またはP4_5	入力	シリアルデータ入力
CLK2	P3_5またはP6_5	入出力	転送クロック入出力
CTS2	P3_3	入力	送信制御用入力
RTS2	P3_3	出力	受信制御用出力
SCL2	P3_4、P3_7またはP4_5	入出力	I ² Cモードのクロック入出力
SDA2	P3_4、P3_7またはP6_6	入出力	I ² Cモードのデータ入出力

25.2 レジスタの説明

25.2.1 UART2送受信モードレジスタ (U2MR)

アドレス 00A8h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOPOL	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 000: シリアルインタフェースは無効 001: クロック同期形シリアルI/Oモード 010: I ² Cモード 100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	R/W
b7	IOPOL	TXD、RXD入出力極性切り替えビット	0: 反転なし 1: 反転あり	R/W

25.2.2 UART2ビットレートレジスタ (U2BRG)

アドレス 00A9h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7 ~ b0	設定値をnとすると、U2BRGはカウントソースをn+1分周する	00h ~ FFh	W

U2BRGレジスタは、送受信停止中に書いてください。

U2BRGレジスタは、MOV命令を使用して書いてください。

U2C0レジスタのCLK1 ~ CLK0ビットを設定した後にU2BRGレジスタに書いてください。

25.2.3 UART2送信バッファレジスタ (U2TB)

アドレス 00ABh ~ 00AAh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	MPTB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	-	送信データ (D7 ~ D0)	W
b1	-		
b2	-		
b3	-		
b4	-		
b5	-		
b6	-		
b7	-		
b8	MPTB	送信データ (D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 送信データ D8 [マルチプロセッサ通信機能を使用する場合] • IDを転送するときは、MPTBビットを“1”にしてください • データを転送するときは、MPTBビットを“0”にしてください	W
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b10	-		
b11	-		
b12	-		
b13	-		
b14	-		
b15	-		

注1. MPTBビットを設定した後、b0 ~ b7を設定してください。

25.2.4 UART2送受信制御レジスタ0 (U2C0)

アドレス 00ACh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	CRD	TXEPT	CRS	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U2BRG カウントソース選択ビット (注1)	b1 b0 00 : f1 を選択 01 : f8 選択 10 : f32 を選択 11 : fC を選択	R/W
b1	CLK1			R/W
b2	CRS	CTS/RTS 機能選択ビット	CRD=0 のとき有効 0 : CTS 機能を選択 1 : RTS 機能を選択	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	R
b4	CRD	CTS/RTS 禁止ビット	0 : CTS/RTS 機能許可 1 : CTS/RTS 機能禁止	R/W
b5	NCH	データ出力選択ビット	0 : TXD2/SDA2、SCL2 端子はCMOS出力 1 : TXD2/SDA2、SCL2 端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、 立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、 立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット (注2)	0 : LSB ファースト 1 : MSB ファースト	R/W

注1. CLK1 ~ CLK0 ビットを変更した場合は、U2BRG レジスタを再設定してください。

注2. UFORM ビットはU2MR レジスタのSMD2 ~ SMD0 ビットが “001b” (クロック同期形シリアルI/Oモード)、または “101b” (UARTモード転送データ長8ビット) のとき有効です。

SMD2 ~ SMD0 ビットが “010b” (I²Cモード) のときは “1” に、“100b” (UARTモード転送データ長7ビット) または “110b” (UARTモード転送データ長9ビット) のときは “0” にしてください。

25.2.5 UART2送受信制御レジスタ1 (U2C1)

アドレス 00ADh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	U2ERE	U2LCH	U2RRM	U2IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	R/W
b1	TI	送信バッファ空フラグ	0 : U2TB レジスタにデータあり 1 : U2TB レジスタにデータなし	R
b2	RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	R/W
b3	RI	受信完了フラグ	0 : U2RB レジスタにデータなし 1 : U2RB レジスタにデータあり	R
b4	U2IRS	UART2送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了 (TXEPT=1)	R/W
b5	U2RRM	UART2連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	R/W
b6	U2LCH	データ論理選択ビット(注1)	0 : 反転なし 1 : 反転あり	R/W
b7	U2ERE	エラー信号出力許可ビット	0 : 出力しない 1 : 出力する	R/W

注1. U2MR レジスタのSMD2 ~ SMD0 ビットが “001b” (クロック同期形シリアルI/Oモード)、“100b” (UARTモード転送データ長7ビット)または “101b” (UARTモード転送データ長8ビット)のとき有効です。
SMD2 ~ SMD0 ビットが “010b” (I²Cモード)または “110b” (UARTモード転送データ長9ビット)のときは “0” にしてください。

25.2.6 UART2 受信バッファレジスタ (U2RB)

アドレス 00AFh ~ 00AEh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	-	-	-	MPRB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	-	受信データ (D7 ~ D0)	受信データ (D7 ~ D0)	R
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			
b8	MPRB	-	受信データ (D8) (注1) [マルチプロセッサ通信機能を使用しない場合] 受信データ (D8) [マルチプロセッサ通信機能を使用する場合] • MPRB ビットが “0” のとき、受信した D0 ~ D7 はデータフィールド • MPRB ビットが “1” のとき、受信した D0 ~ D7 は ID フィールド	R
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b10	-			
b11	-	予約ビット	“0” にしてください	R/W
b12	OER	オーバランエラーフラグ (注1)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ (注1、2)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ (注1、2)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ (注1、2)	0: エラーなし 1: エラー発生	R

注1. U2MR レジスタの SMD2 ~ SMD0 ビットを “000b” (シリアルインタフェースは無効) にしたとき、または U2C1 レジスタの RE ビットを 0 (受信禁止) にしたとき、SUM、PER、FER、OER ビットは、すべて “0” (エラーなし) になります。SUM ビットは PER、FER、OER ビットがすべて “0” (エラーなし) になると “0” (エラーなし) になります。また、PER、FER ビットは、U2RB レジスタの下位バイトを読んだとき、“0” になります。

注2. U2MR レジスタの SMD2 ~ SMD0 ビットが “001b” (クロック同期形シリアル I/O モード) または “010b” (I²C モード) のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

25.2.7 UART2 デジタルフィルタ機能選択レジスタ (URXDF)

アドレス 00B0h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	DF2EN	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	DF2EN	RXD2 デジタルフィルタ許可ビット (注1)	0: RXD2 デジタルフィルタ禁止 1: RXD2 デジタルフィルタ許可	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. RXD2 デジタルフィルタはクロック非同期形シリアル I/O (UART) モードでのみ、使用できます。U2MR レジスタの SMD2 ~ SMD0 ビットが “001b” (クロック同期形シリアル I/O モード)、または “010b” (I²C モード) のときは、DF2EN ビットを “0” (RXD2 デジタルフィルタ禁止) にしてください。

25.2.8 UART2 特殊モードレジスタ 5 (U2SMR5)

アドレス 00BBh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	MPIE	-	-	-	MP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MP	マルチプロセッサ通信許可ビット	0: マルチプロセッサ通信禁止 1: マルチプロセッサ通信許可 (注1)	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	MPIE	マルチプロセッサ通信制御ビット	MP ビットが “1” (マルチプロセッサ通信許可) のとき有効です。 MPIE ビットが “1” のとき、次の状態になります。 • マルチプロセッサビットが “0” の受信データは無視し、U2C1 レジスタの RI ビット、U2RB レジスタの OER、FER ビットが “1” になることを禁止します。 • マルチプロセッサビットが “1” の受信データを受信すると、MPIE ビットは “0” になり、マルチプロセッサ通信以外の受信動作になります。	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-	予約ビット	“0” にしてください	R/W

注1. MP ビットが “1” (マルチプロセッサ通信許可) のとき、U2MR レジスタの PRY、PRYE ビットの設定は無効になります。U2MR レジスタの SMD2 ~ SMD0 ビットが “001b” (クロック同期形シリアル I/O モード) では、MP ビットを “0” (マルチプロセッサ通信禁止) にしてください。

25.2.9 UART2 特殊モードレジスタ 4 (U2SMR4)

アドレス 00BCh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SWC9	SCLHI	ACKC	ACKD	STSPSEL	STPREQ	RSTAREQ	STAREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STAREQ	スタートコンディション生成ビット (注1)	0: クリア 1: スタート	R/W
b1	RSTAREQ	リスタートコンディション生成ビット (注1)	0: クリア 1: スタート	R/W
b2	STPREQ	ストップコンディション生成ビット (注1)	0: クリア 1: スタート	R/W
b3	STSPSEL	SCL、SDA 出力選択ビット	0: スタートコンディション、ストップコン ディション出力しない 1: スタートコンディション、ストップコン ディション出力する	R/W
b4	ACKD	ACK データビット	0: ACK 1: NACK	R/W
b5	ACKC	ACK データ出力許可ビット	0: シリアルインタフェースデータ出力 1: ACK データ出力	R/W
b6	SCLHI	SCL 出力停止許可ビット	0: 禁止 1: 許可	R/W
b7	SWC9	SCL ウェイトビット 3	0: SCL “L” ホールド禁止 1: SCL “L” ホールド許可	R/W

注1. 各コンディションが生成されたとき、“0” になります。

25.2.10 UART2 特殊モードレジスタ3 (U2SMR3)

アドレス 00BDh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DL2	DL1	DL0	-	NODC	-	CKPH	-
リセット後の値	0	0	0	X	0	X	0	X

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b1	CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b3	NODC	クロック出力選択ビット	0: CLK2はCMOS出力 1: CLK2はNチャネルオープンドレイン出力	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	DL0	SDA2 デジタル遅延値設定ビット (注1、2)	b7 b6 b5 000: 遅延なし 001: U2BRG カウントソースの1~2サイクル 010: U2BRG カウントソースの2~3サイクル 011: U2BRG カウントソースの3~4サイクル 100: U2BRG カウントソースの4~5サイクル 101: U2BRG カウントソースの5~6サイクル 110: U2BRG カウントソースの6~7サイクル 111: U2BRG カウントソースの7~8サイクル	R/W
b6	DL1			R/W
b7	DL2			R/W

注1. DL2 ~ DL0 ビットはI²C モードで、SDA2 出力にデジタル的に遅延を発生させるものです。I²C モード以外の場合、“000b” (遅延なし) にしてください。

注2. 遅延量はSCL2 端子、SDA2 端子の負荷により変化します。また、外部クロックを使用した場合には、100ns 程度、遅延が大きくなります。

25.2.11 UART2 特殊モードレジスタ2 (U2SMR2)

アドレス 00BEh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	SDHI	SWC2	STAC	-	SWC	CSC	IICM2
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM2	I ² C モード選択ビット2	「表25.12 I ² C モード時の各機能」参照	R/W
b1	CSC	クロック同期化ビット	0: 禁止 1: 許可	R/W
b2	SWC	SCL ウェイト出力ビット	0: 禁止 1: 許可	R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	STAC	UART2 初期化ビット	0: 禁止 1: 許可	R/W
b5	SWC2	SCL ウェイト出力ビット2	0: 転送クロック 1: “L” 出力	R/W
b6	SDHI	SDA 出力禁止ビット	0: 許可 1: 禁止 (ハイインピーダンス)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-

25.2.12 UART2 特殊モードレジスタ (U2SMR)

アドレス 00BFh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	BBS	-	IICM
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	IICM	I ² C モード選択ビット	0：I ² C モード以外 1：I ² C モード	R/W	
b1	-	予約ビット	“ 0 ” にしてください	R/W	
b2	BBS	バスビジーフラグ(注1)	0：ストップコンディション検出 1：スタートコンディション検出(ビジー)	R/W	
b3	-	予約ビット	“ 0 ” にしてください	R/W	
b4	-			R/W	
b5	-			R/W	
b6	-			R/W	
b7	-	何も配置されていない。書く場合、“ 0 ” を書いてください。読んだ場合、その値は不定。			-

注1. BBSビットはプログラムで"0"を書くと"0"になります("1"を書いても変化しません)。

25.2.13 UART2 端子選択レジスタ 0 (U2SR0)

アドレス 018Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RXD2SEL1	RXD2SEL0	-	TXD2SEL2	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2 端子選択ビット	b2 b1 b0 0 0 0 : TXD2/SDA2 端子は使用しない 0 0 1 : P3_7 に割り当てる 0 1 0 : P3_4 に割り当てる 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : P6_6 に割り当てる 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	R/W
b1	TXD2SEL1			R/W
b2	TXD2SEL2			R/W
b3	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b4	RXD2SEL0	RXD2/SCL2 端子選択ビット	b5 b4 0 0 : RXD2/SCL2 端子は使用しない 0 1 : P3_4 に割り当てる 1 0 : P3_7 に割り当てる 1 1 : P4_5 に割り当てる	R/W
b5	RXD2SEL1			R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-

U2SR0 レジスタは、UART2 の入出力をどの端子に割り当てるかを選択するレジスタです。UART2 の入出力端子を使用する場合は、U2SR0 レジスタを設定してください。

UART2 の関連レジスタを設定する前に、U2SR0 レジスタを設定してください。また、UART2 の動作中は U2SR0 レジスタの設定値を変更しないでください。

25.2.14 UART2 端子選択レジスタ 1 (U2SR1)

アドレス 018Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CTS2SEL0	-	-	CLK2SEL1	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2 端子選択ビット	b1 b0 0 0 : CLK2 端子は使用しない 0 1 : P3_5 に割り当てる 1 0 : 設定しないでください 1 1 : P6_5 に割り当てる	R/W
b1	CLK2SEL1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			-
b4	CTS2SEL0	CTS2/RTS2 端子選択ビット	0 : CTS2/RTS2 端子は使用しない 1 : P3_3 に割り当てる	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

U2SR1 レジスタは、UART2 の入出力をどの端子に割り当てるかを選択するレジスタです。UART2 の入出力端子を使用する場合は、U2SR1 レジスタを設定してください。

UART2 の関連レジスタを設定する前に、U2SR1 レジスタを設定してください。また、UART2 の動作中は U2SR1 レジスタの設定値を変更しないでください。

25.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表25.2にクロック同期形シリアルI/Oモードの仕様を、表25.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表25.2 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> U2MR レジスタのCKDIR ビットが “0” (内部クロック) : $f_j/(2(n+1))$ $f_j=f_1, f_8, f_{32}, f_C$ $n=U2BRG$ レジスタの設定値 00h ~ FFh CKDIR ビットが “1” (外部クロック) : CLK2 端子からの入力
送信制御、受信制御	CTS 機能、RTS 機能、CTS/RTS 機能禁止を選択可
送信開始条件	送信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> U2C1 レジスタのTE ビットが “1” (送信許可) U2C1 レジスタのTI ビットが “0” (U2TB レジスタにデータあり) CTS 機能を選択している場合、CTS2 端子の入力が “L”
受信開始条件	受信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> U2C1 レジスタのRE ビットが “1” (受信許可) U2C1 レジスタのTE ビットが “1” (送信許可) U2C1 レジスタのTI ビットが “0” (U2TB レジスタにデータあり)
割り込み要求発生タイミング	<ul style="list-style-type: none"> 送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> U2C1 レジスタのU2IRS ビットが “0” (送信バッファ空) : U2TB レジスタから UART2 送信レジスタへデータ転送時(送信開始時) U2IRS ビットが “1” (送信完了) : UART2 送信レジスタからデータ送信完了時 受信する場合 UART2 受信レジスタから、U2RB レジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー (注2) U2RB レジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> CLK 極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 LSB ファースト、MSB ファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 連続受信モード選択 U2RB レジスタを読むことで、同時に受信許可状態になる シリアルデータ論理切り替え 送受信データの論理値を反転する機能

注1. 外部クロックを選択している場合、U2C0 レジスタのCKPOL ビットが “0” (転送クロックの立ち下がり で送信データ出力、立ち上がり で受信データ入力) のときは外部クロックが “H” の状態で、CKPOL ビットが “1” (転送クロックの立ち上がり で送信データ出力、立ち下がり で受信データ入力) のときは外部クロックが “L” の状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RB レジスタの受信データは不定になります。また S2RIC レジスタの IR ビットは “1” (割り込み要求あり) に変化しません。

表 25.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	b0 ~ b7	送信データを設定してください
U2RB(注1)	b0 ~ b7	受信データが読めます
	OER	オーバランエラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください
U2MR(注1)	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
U2C0	CLK1 ~ CLK0	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U2C1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	連続受信モードを使用する場合、“1” にしてください
	U2LCH	データ論理反転を使用する場合、“1” にしてください
	U2ERE	“0” にしてください
U2SMR	b0 ~ b7	“0” にしてください
U2SMR2	b0 ~ b7	“0” にしてください
U2SMR3	b0 ~ b2	“0” にしてください
	NODC	クロック出力形式を選択してください
	b4 ~ b7	“0” にしてください
U2SMR4	b0 ~ b7	“0” にしてください
URXDF	DF2EN	“0” にしてください
U2SMR5	MP	“0” にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表25.4にクロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)を示します。

なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

図25.3にクロック同期形シリアルI/Oモード時の送受信タイミング例を示します。

表25.4 クロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TXD2 (P3_4、P3_7またはP6_6)	シリアルデータ出力	<ul style="list-style-type: none"> • TXD2 (P3_4)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=010b(P3_4) • TXD2 (P3_7)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=001b(P3_7) • TXD2 (P6_6)の場合 U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=101b(P6_6) • 受信だけを行うときはTXD2SEL2 ~ TXD2SEL0ビット=000bと設定することで、P3_4、P3_7、P6_6をポートとして使用可
RXD2 (P3_4、P3_7またはP4_5)	シリアルデータ入力	<ul style="list-style-type: none"> • RXD2 (P3_4)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=01b(P3_4) PD3レジスタのPD3_4ビット=0 • RXD2 (P3_7)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=10b(P3_7) PD3レジスタのPD3_7ビット=0 • RXD2 (P4_5)の場合 U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=11b(P4_5) PD4レジスタのPD4_5ビット=0 • 送信だけを行うときはRXD2SEL1、RXD2SEL0ビット=00bと設定することで、P3_4、P3_7、P4_5をポートとして使用可
CLK2 (P3_5またはP6_5)	転送クロック出力	<ul style="list-style-type: none"> • CLK2 (P3_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=01b(P3_5) U2MRレジスタのCKDIRビット=0 • CLK2 (P6_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=11b(P6_5) U2MRレジスタのCKDIRビット=0
	転送クロック入力	<ul style="list-style-type: none"> • CLK2 (P3_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=01b(P3_5) U2MRレジスタのCKDIRビット=1 PD3レジスタのPD3_5ビット=0 • CLK2 (P6_5)の場合 U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=11b(P6_5) U2MRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0
CTS2/RTS2 (P3_3)	CTS入力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=0 PD3レジスタのPD3_3ビット=0
	RTS出力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=1
	入出力ポート	U2SR1レジスタのCTS2SEL0ビット=0

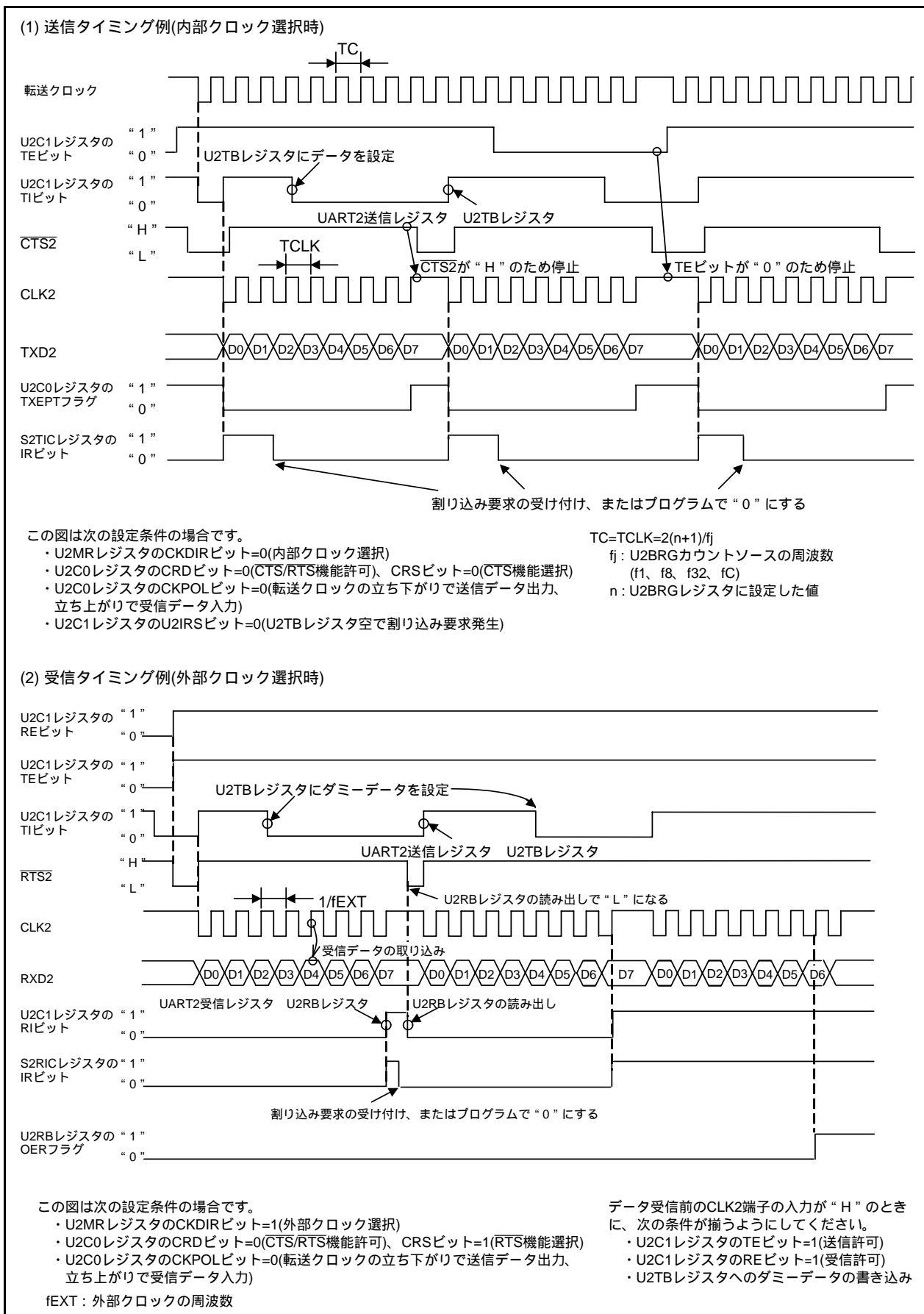


図 25.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

25.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

・U2RBレジスタの初期化手順

- (1) U2C1レジスタのREビットを“0”(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) U2C1レジスタのREビットを“1”(受信許可)にする。

・U2TBレジスタの初期化手順

- (1) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (3) U2C1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

25.3.2 CLK極性選択

U2C0レジスタのCKPOLビットで転送クロックの極性を選択できます。図25.4に転送クロックの極性を示します。

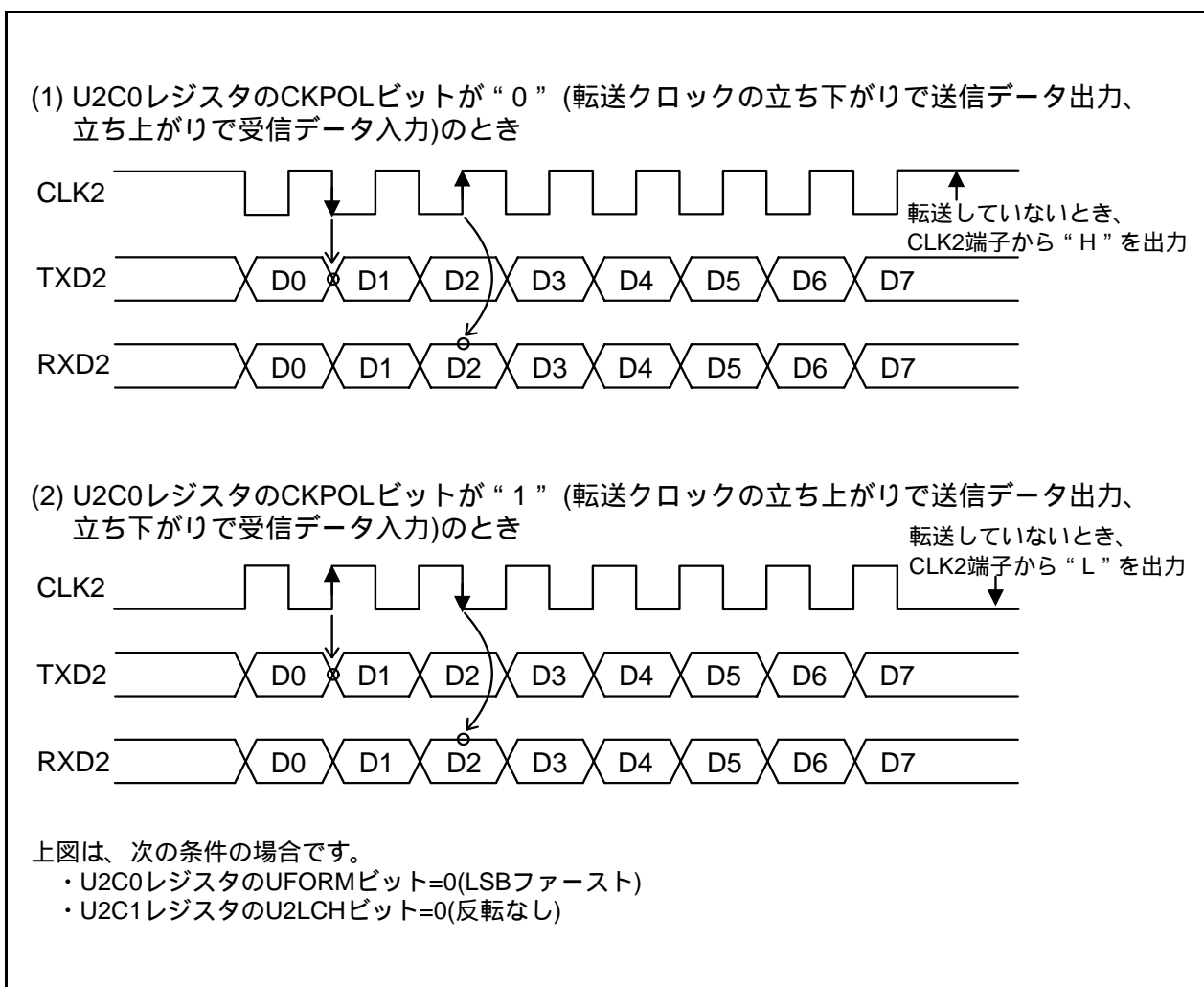


図25.4 転送クロックの極性

25.3.3 LSB ファースト、MSB ファースト選択

U2C0 レジスタの UFORM ビットで転送フォーマットを選択できます。図 25.5 に転送フォーマットを示します。

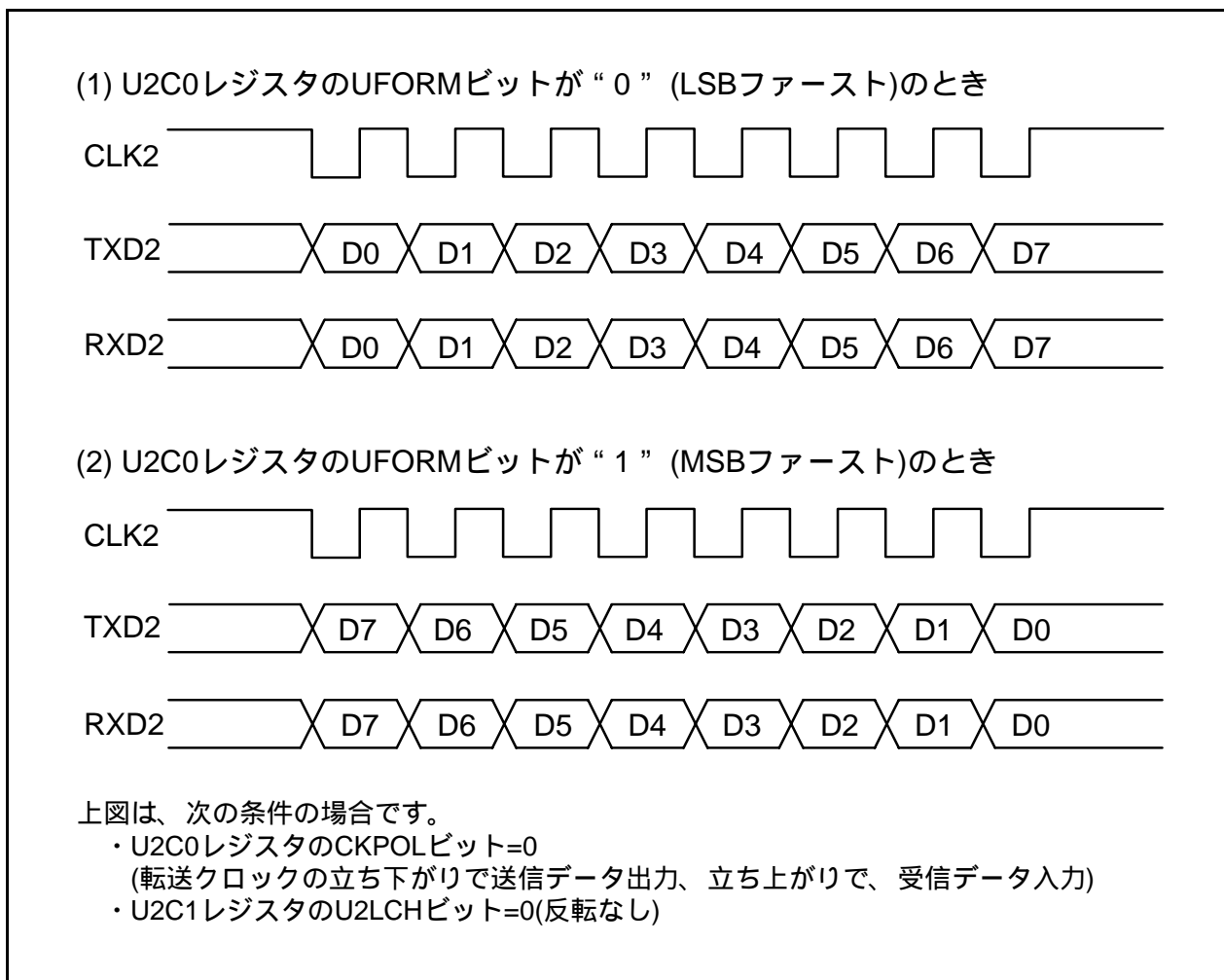


図 25.5 転送フォーマット

25.3.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U2C1 レジスタの U2RRM ビットを“1” (連続受信モード) にすると、U2RB レジスタを読むことで U2C1 レジスタの TI ビットが“0” (U2TB レジスタにデータあり) になります。U2RRM ビットが“1” の場合、プログラムで U2TB レジスタにダミーデータを書かないでください。

25.3.5 シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットが“1”(反転あり)の場合、U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図25.6にシリアルデータ論理を示します。

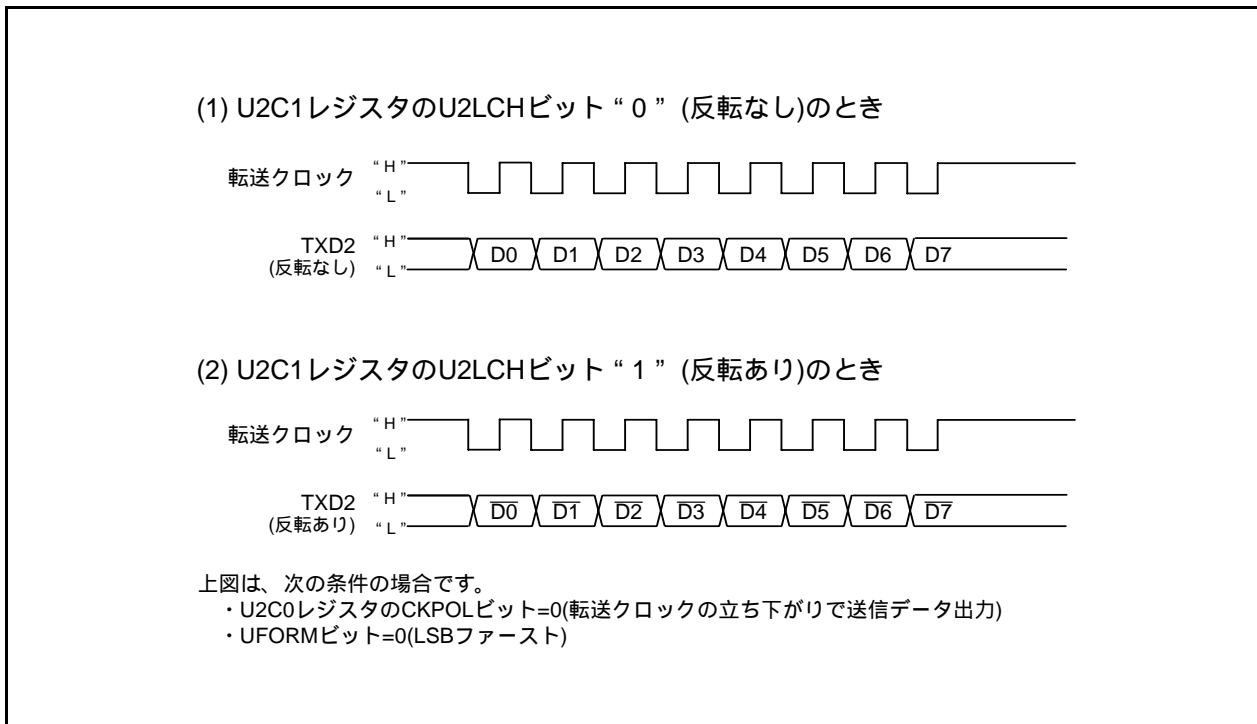


図25.6 シリアルデータ論理

25.3.6 CTS/RTS機能

CTS機能は、CTS2/RTS2端子に“L”を入力すると、送受信を開始させる機能です。CTS2/RTS2端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、CTS2/RTS2端子の出力レベルが“L”になります。CLK2端子の最初の立ち下がりで出力レベルが“H”になります。

- ・U2C0レジスタのCRDビット=1 (CTS/RTS機能禁止) CTS2/RTS2 端子はプログラマブル入出力機能
- ・CRDビット=0、CRSビット=0 (CTS機能選択) CTS2/RTS2 端子はCTS機能
- ・CRDビット=0、CRSビット=1 (RTS機能選択) CTS2/RTS2 端子はRTS機能

25.4 クロック非同期形シリアルI/O(UART) モード

UARTモードは任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表25.5にUARTモードの仕様を、表25.6にUARTモード時の使用レジスタと設定値を示します。

表25.5 UARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> • キャラクタビット (転送データ) 7ビット、8ビット、9ビットを選択可 • スタートビット 1ビット • パリティビット 奇数、偶数、なしを選択可 • ストップビット 1ビット、2ビットを選択可
転送クロック	<ul style="list-style-type: none"> • U2MR レジスタのCKDIRビットが“0”(内部クロック) : $f_j/(16(n+1))$ $f_j=f_1, f_8, f_{32}, f_C$ $n=U2BRG$ レジスタの設定値 00h ~ FFh • CKDIRビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT}はCLK2端子からの入力 $n=U2BRG$ レジスタの設定値 00h ~ FFh
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> • U2C1レジスタのTEビットが“1”(送信許可) • U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり) • CTS機能を選択している場合、CTS2端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> • U2C1レジスタのREビットが“1”(受信許可) • スタートビットの検出
割り込み要求発生タイミング	<ul style="list-style-type: none"> • 送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> - U2C1レジスタのU2IRSビットが“0”(送信バッファ空) : U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) - U2IRSビットが“1”(送信完了) : UART2送信レジスタからデータ送信完了時 • 受信する場合 UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー (注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー (注2) 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー (注2) パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	<ul style="list-style-type: none"> • LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 • TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 • RXD2デジタルフィルタ選択 RXD2入力信号はデジタルフィルタの有効、無効の選択可

注1. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに検出されます。

表25.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB	b0 ~ b8	送信データを設定してください。(注1)
U2RB	b0 ~ b8	受信データが読めます。(注1、2)
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください。
U2MR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
	IOPOL	TXD/RXD入出力極性を選択してください。
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください。
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください。
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください。
	NCH	TXD2端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
U2C1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ。
	RE	受信を許可するとき、“1”にしてください。
	RI	受信完了フラグ。
	U2IRS	UART2送信割り込み要因を選択してください。
	U2RRM	“0”にしてください。
	U2LCH	データ論理反転を使用する場合、“1”にしてください。
	U2ERE	“0”にしてください。
U2SMR	b0 ~ b7	“0”にしてください。
U2SMR2	b0 ~ b7	“0”にしてください。
U2SMR3	b0 ~ b7	“0”にしてください。
U2SMR4	b0 ~ b7	“0”にしてください。
URXDF	DF2EN	デジタルフィルタの無効、有効を選択してください。
U2SMR5	MP	“0”にしてください。

注1. 使用するビットは次のとおりです。

転送データ長7ビット：ビットb0 ~ b6、転送データ長8ビット：ビットb0 ~ b7、

転送データ長9ビット：ビットb0 ~ b8

注2. 転送データ長7ビットの場合のビットb7 ~ b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表 25.7 に UART モード時の入出力端子の機能を示します。

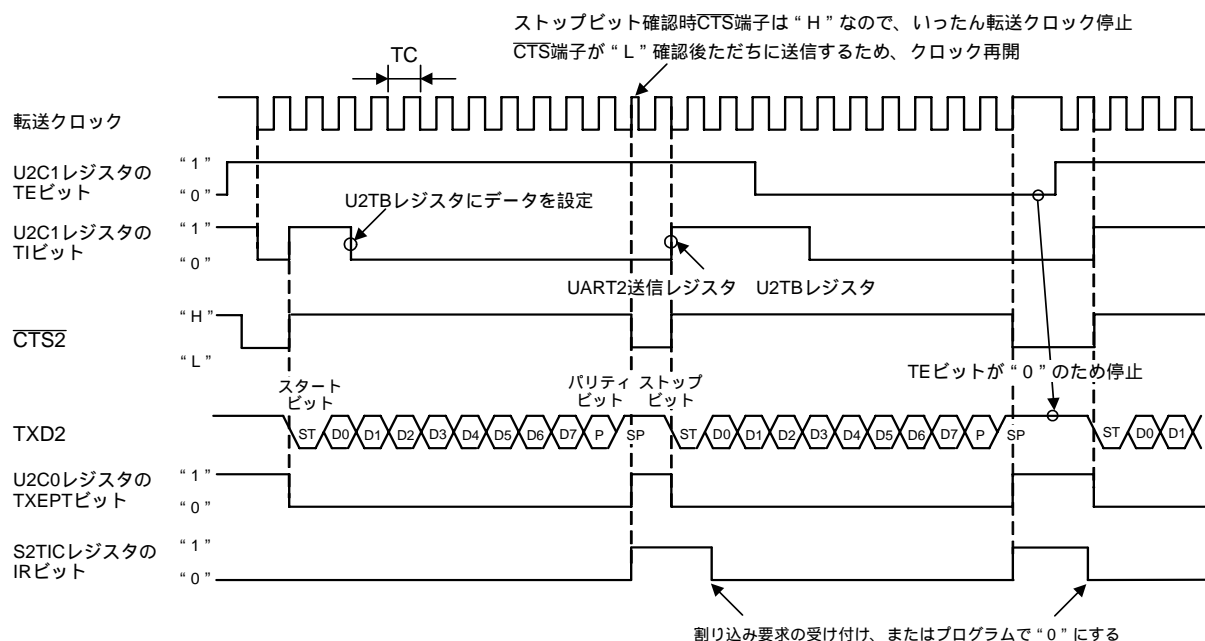
なお、UART2 の動作モード選択後、転送開始までは、TXD2 端子は “H” レベルを出力します (N チャネルオープンドレイン出力選択時は、ハイインピーダンス状態)。

図 25.7 に UART モード時の送信タイミング例を、図 25.8 に UART モード時の受信タイミング例を示します。

表 25.7 UART モード時の入出力端子の機能

端子名	機能	選択方法
TXD2 (P3_4、P3_7またはP6_6)	シリアルデータ出力	<ul style="list-style-type: none"> • TXD2 (P3_4) の場合 U2SR0 レジスタの TXD2SEL2 ~ TXD2SEL0 ビット = 010b (P3_4) • TXD2 (P3_7) の場合 U2SR0 レジスタの TXD2SEL2 ~ TXD2SEL0 ビット = 001b (P3_7) • TXD2 (P6_6) の場合 U2SR0 レジスタの TXD2SEL2 ~ TXD2SEL0 ビット = 101b (P6_6) • 受信だけを行うときは TXD2SEL2 ~ TXD2SEL0 ビット = 000b と設定することで、P3_4、P3_7、P6_6 をポートとして使用可
RXD2 (P3_4、P3_7またはP4_5)	シリアルデータ入力	<ul style="list-style-type: none"> • RXD2 (P3_4) の場合 U2SR0 レジスタの RXD2SEL1、RXD2SEL0 ビット = 01b (P3_4) • RXD2 (P3_7) の場合 U2SR0 レジスタの RXD2SEL1、RXD2SEL0 ビット = 10b (P3_7) PD3 レジスタの PD3_7 ビット = 0 • RXD2 (P4_5) の場合 U2SR0 レジスタの RXD2SEL1、RXD2SEL0 ビット = 11b (P4_5) PD4 レジスタの PD4_5 ビット = 0 • 送信だけを行うときは RXD2SEL1、RXD2SEL0 ビット = 00b と設定することで、P3_4、P3_7、P4_5 をポートとして使用可
CLK2 (P3_5またはP6_5)	入出力ポート	U2SR1 レジスタの CLK2SEL1 ~ CLK2SEL0 ビット = 00b
	転送クロック入力	<ul style="list-style-type: none"> • CLK2 (P3_5) の場合 U2SR1 レジスタの CLK2SEL1、CLK2SEL0 ビット = 01b (P3_5) U2MR レジスタの CKDIR ビット = 1 PD3 レジスタの PD3_5 ビット = 0 • CLK2 (P6_5) の場合 U2SR1 レジスタの CLK2SEL1、CLK2SEL0 ビット = 11b (P6_5) U2MR レジスタの CKDIR ビット = 1 PD6 レジスタの PD6_5 ビット = 0
CTS2/RTS2 (P3_3)	CTS 入力	U2SR1 レジスタの CTS2SEL0 ビット = 1 U2C0 レジスタの CRD ビット = 0 U2C0 レジスタの CRS ビット = 0 PD3 レジスタの PD3_3 ビット = 0
	RTS 出力	U2SR1 レジスタの CTS2SEL0 ビット = 1 U2C0 レジスタの CRD ビット = 0 U2C0 レジスタの CRS ビット = 1
	入出力ポート	U2SR1 レジスタの CTS2SEL0 ビット = 0

(1) 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



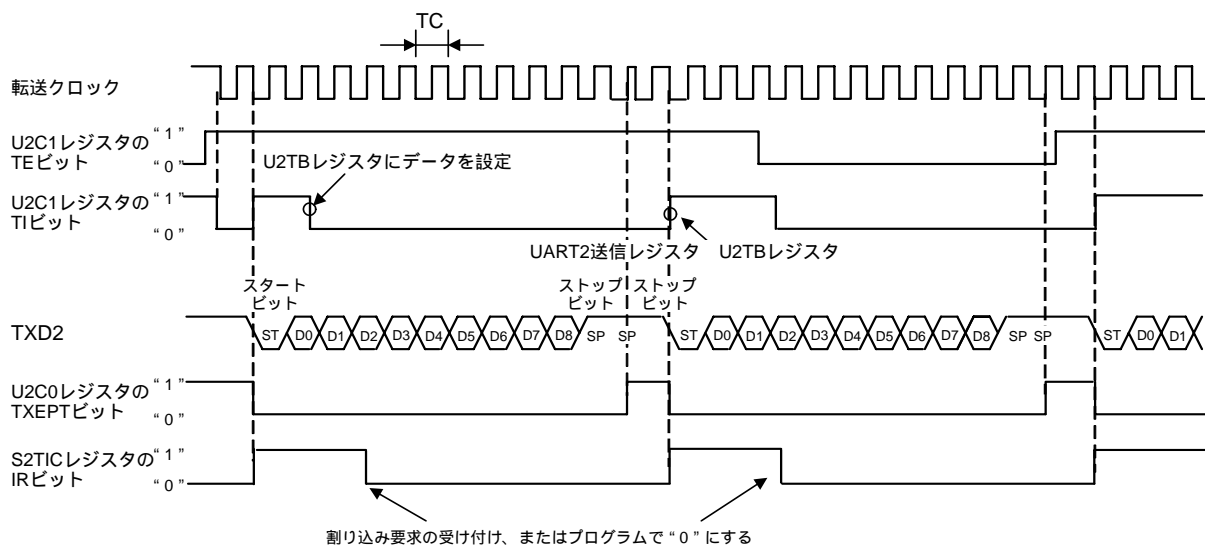
上記タイミング図は次の設定条件の場合です。

- ・ U2MRレジスタのPRYEビット=1(パリティ許可)
- ・ U2MRレジスタのSTPSビット=0(1ストップビット)
- ・ U2C0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=0(CTS機能選択)
- ・ U2C1レジスタのU2IRSビット=1(送信完了で割り込み要求発生)

$$TC = 16(n+1)/f_j \text{ または } 16(n+1)/f_{EXT}$$

f_j : U2BRGカウントソースの周波数(f_1 , f_8 , f_{32} , f_C)
 f_{EXT} : U2BRGカウントソースの周波数(外部クロック)
 n : U2BRGに設定した値

(2) 転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



上記タイミング図は次の設定条件の場合です。

- ・ U2MRレジスタのPRYEビット=0(パリティ禁止)
- ・ U2MRレジスタのSTPSビット=1(2ストップビット)
- ・ U2C0レジスタのCRDビット=1(CTS/RTS機能禁止)
- ・ U2C1レジスタのU2IRSビット=0(送信バッファ空で割り込み要求発生)

$$TC = 16(n+1)/f_j \text{ または } 16(n+1)/f_{EXT}$$

f_j : U2BRGカウントソースの周波数(f_1 , f_8 , f_{32} , f_C)
 f_{EXT} : U2BRGカウントソースの周波数(外部クロック)
 n : U2BRGに設定した値

図 25.7 UARTモード時の送信タイミング例

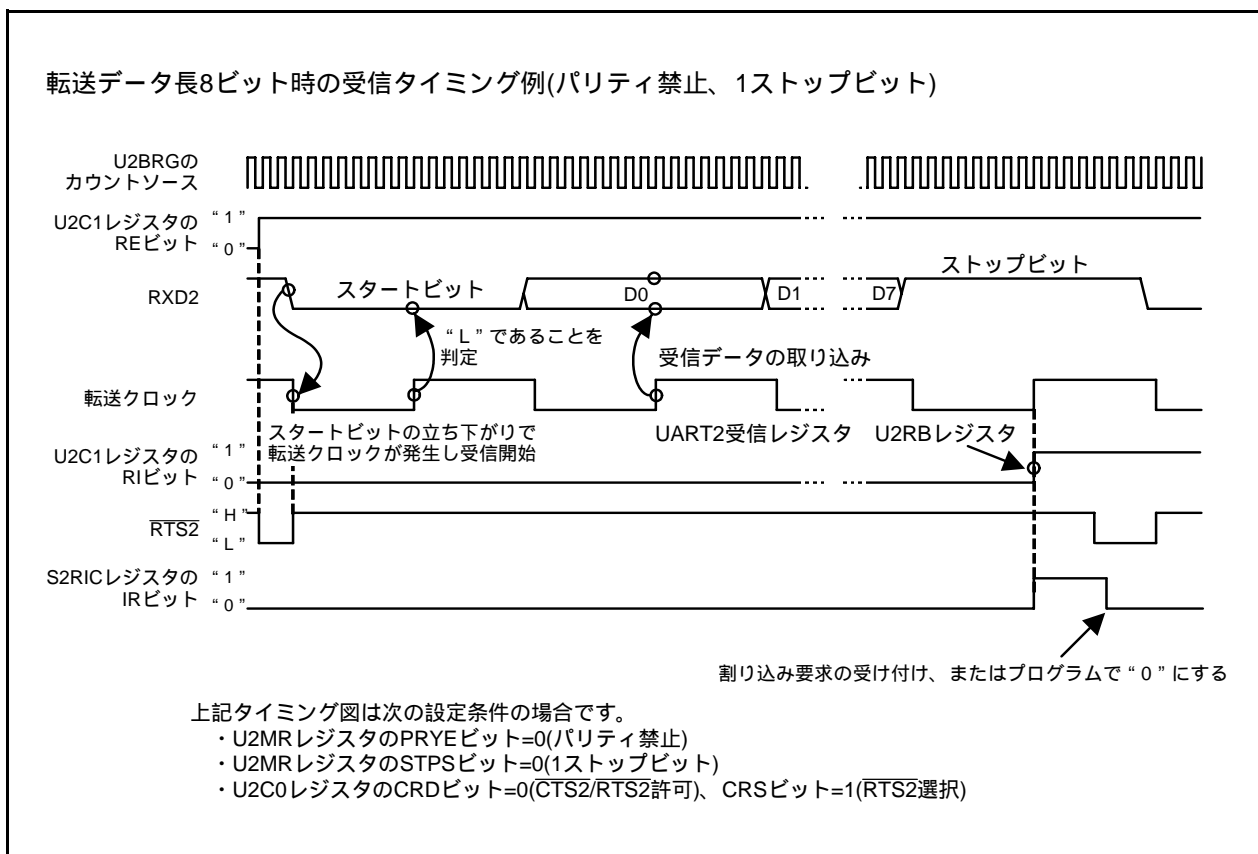


図 25.8 UART モード時の受信タイミング例

25.4.1 ビットレート

UART モードでは U2BRG レジスタで分周した周波数の 16 分周がビットレートになります。表 25.8 に UART モード時のビットレート設定例(内部クロック選択時)を示します。

表 25.8 UART モード時のビットレート設定例(内部クロック選択時)

ビット レート (bps)	U2BRG のカウン トソース	システムクロック = 20MHz			システムクロック = 18.432 Hz (注 1)			システムクロック = 8MHz		
		U2BRG の設定値	実時間 (bps)	設定 誤差 (%)	U2BRG の設定値	実時間 (bps)	設定 誤差 (%)	U2BRG の設定値	実時間 (bps)	設定 誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	- 1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	- 1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	- 3.55
115200	f1	10 (0Ah)	113636.36	- 1.36	9 (09h)	115200.00	0.00			

注 1. 高速オンチップオシレータに対して、FRA4 レジスタの調整値を FRA1 レジスタに、FRA5 レジスタの調整値を FRA3 レジスタに書き込んでください。

システムクロックに高速オンチップオシレータを選択し、FRA2 レジスタの FRA22 ~ FRA20 ビットを “000b” (2 分周モード) にした場合です。高速オンチップオシレータの精度は「36. 電気的特性」を参照してください。

25.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

・U2RBレジスタの初期化手順

- (1) U2C1レジスタのREビットを“0”(受信禁止)にする。
- (2) U2C1レジスタのREビットを“1”(受信許可)にする。

・U2TBレジスタの初期化手順

- (1) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを再設定(“001b”、“101b”、“110b”)する。
- (3) U2C1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

25.4.3 LSBファースト、MSBファースト選択

図25.9に示すように、U2C0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。図25.9に転送フォーマットを示します。

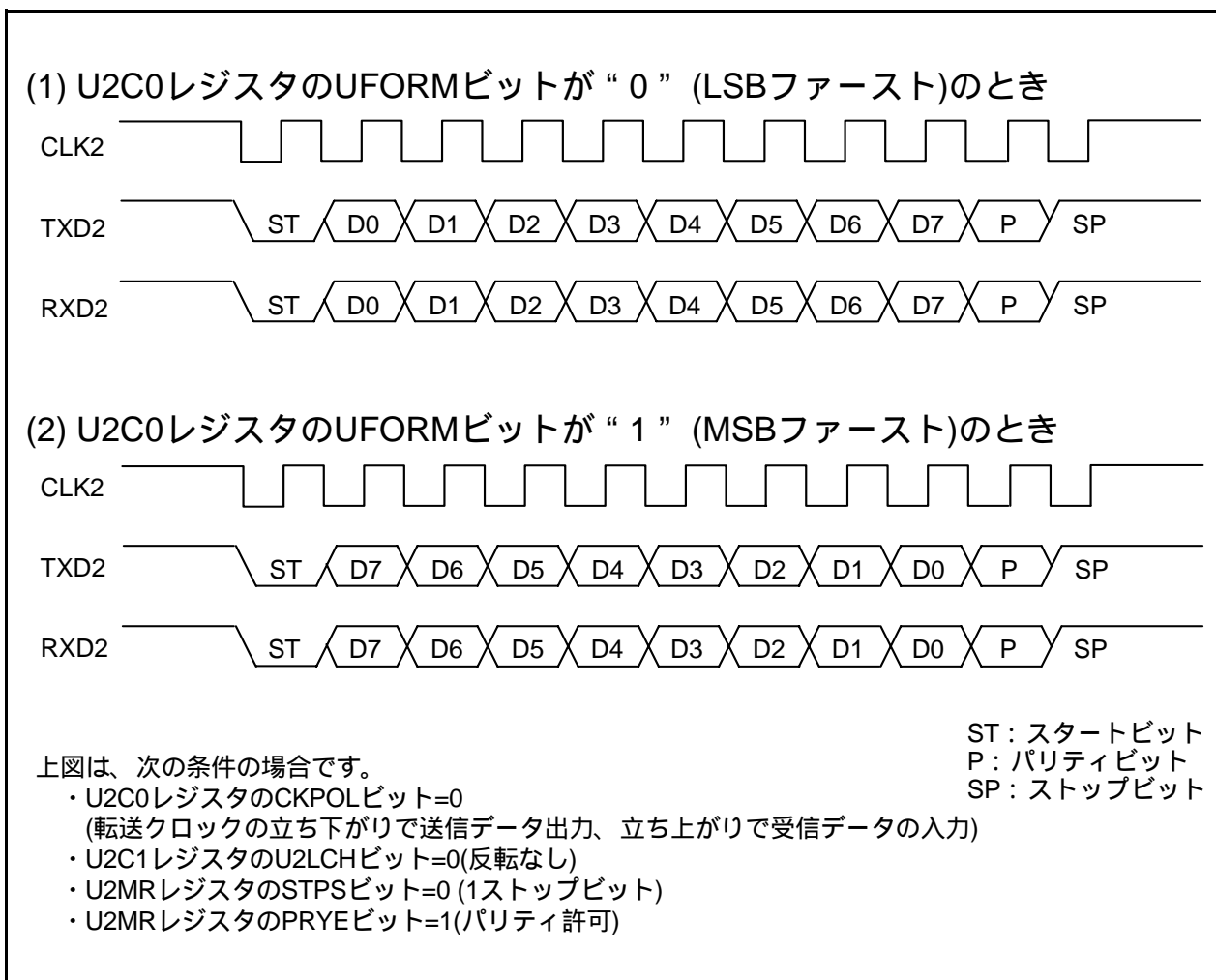


図25.9 転送フォーマット

25.4.4 シリアルデータ論理切り替え

U2TB レジスタに書いた値の論理を反転して送信します。U2RB レジスタを読むと、受信データの論理を反転した値が読めます。図25.10にシリアルデータ論理を示します。

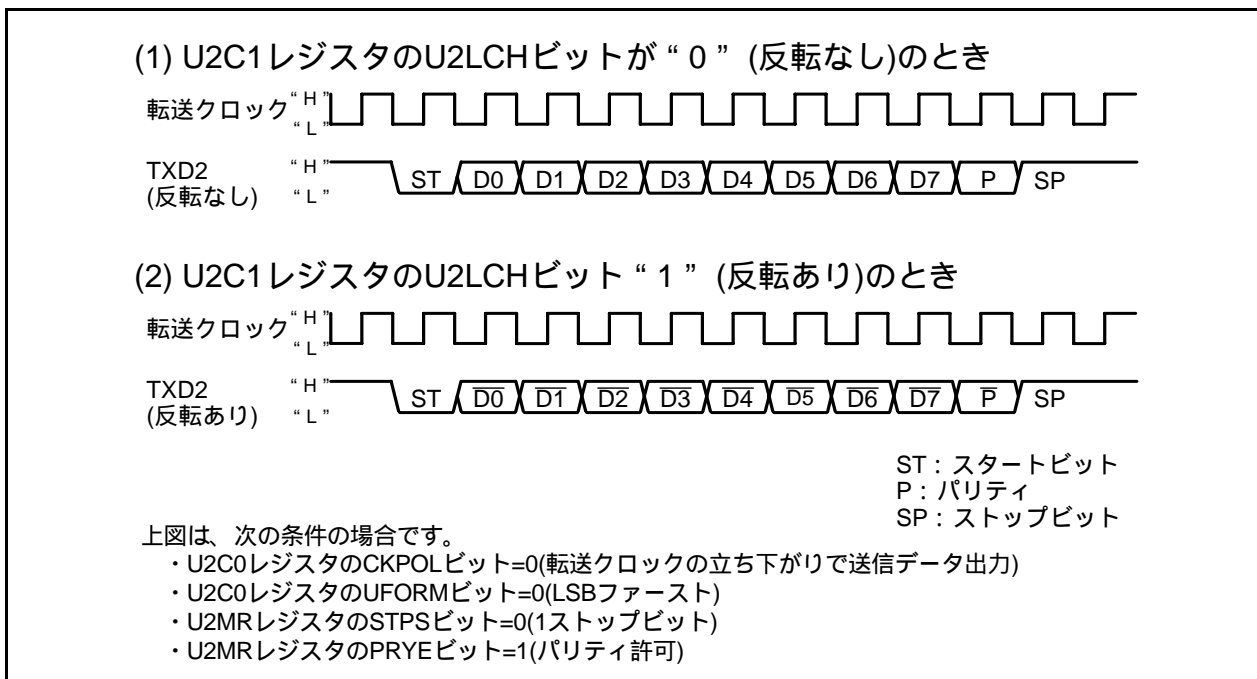


図 25.10 シリアルデータ論理

25.4.5 TXD、RXD入出力極性切り替え機能

TXD2端子出力とRXD2端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図25.11にTXD、RXD入出力極性切り替えを示します。

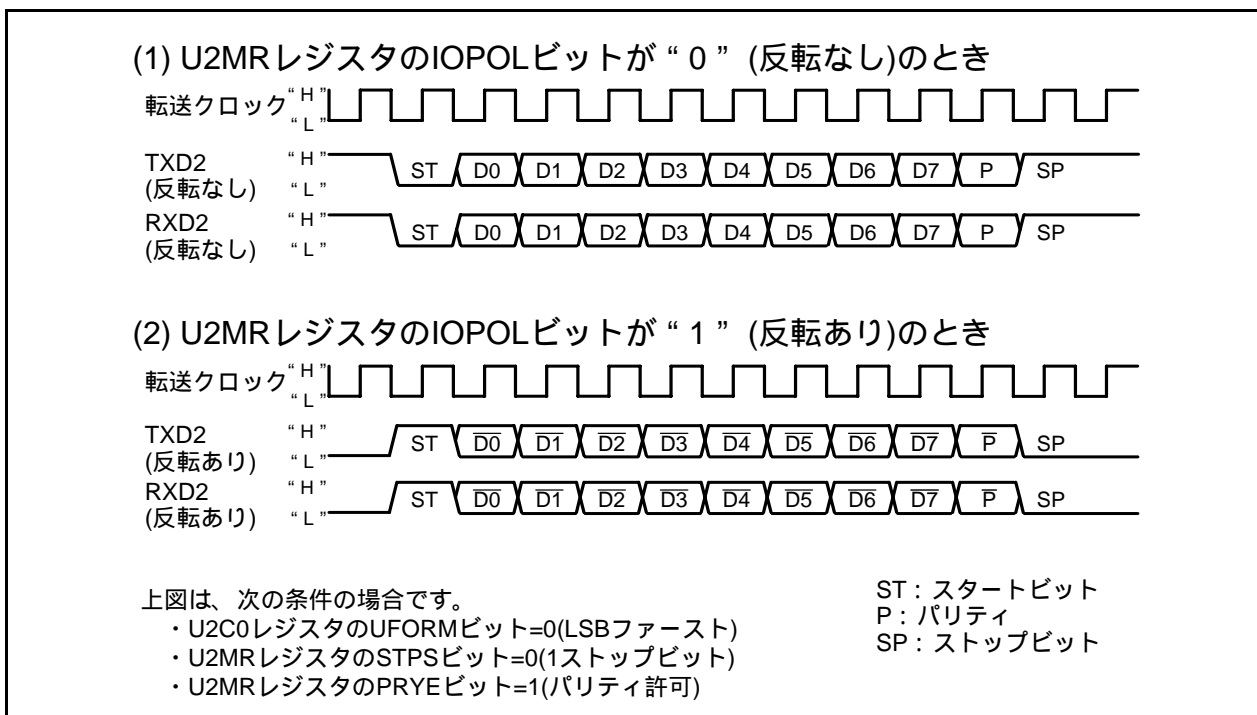


図 25.11 TXD、RXD入出力極性切り替え

25.4.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になります。CLK2端子の最初の立ち下がりで出力レベルが“H”になります。

- U2C0レジスタのCRDビット=1 ($\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 機能禁止) $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0 (CTS機能選択) $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はCTS機能
- CRDビット=0、CRSビット=1 (RTS機能選択) $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はRTS機能

25.4.7 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し、信号変化として認識しません。

図25.12にRXD2デジタルフィルタ回路のブロック図を示します。

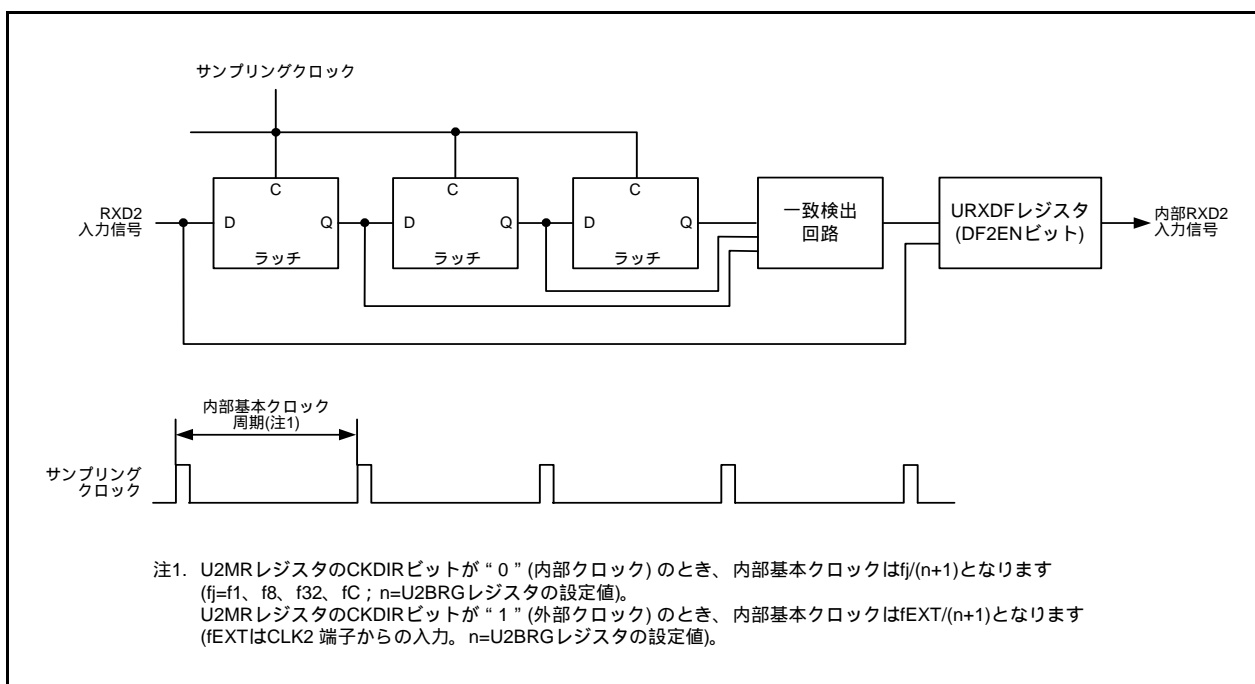


図25.12 RXD2デジタルフィルタ回路のブロック図

25.5 特殊モード1 (I²C モード)

I²C モードは、簡易形 I²C インタフェースに対応したモードです。表 25.9 に I²C モードの仕様を、表 25.10 ~ 表 25.11 に I²C モード時の使用レジスタと設定値を、表 25.12 に I²C モード時の各機能を、図 25.13 に I²C モードのブロック図を、図 25.14 に U2RB レジスタへの転送、割り込みのタイミングを示します。

表 25.12 に示すように、SMD2 ~ SMD0 ビットを “010b” に、IICM ビットを “1” にすると I²C モードになります。SDA2 送信出力には遅延回路が付加されますので、SCL2 が “L” になり安定した後、SDA2 出力が変化します。

表 25.9 I²C モードの仕様

項目	仕様
転送データフォーマット	転送データ長 8 ビット
転送クロック	<ul style="list-style-type: none"> • マスタ時 U2MR レジスタの CKDIR ビットが “0” (内部クロック) : $f_j/(2(n+1))$ $f_j=f_1, f_8, f_{32}, f_C$ $n=U2BRG$ レジスタの設定値 00h ~ FFh • スレーブ時 CKDIR ビットが “1” (外部クロック) : SCL2 端子からの入力
送信開始条件	送信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> • U2C1 レジスタの TE ビットが “1” (送信許可) • U2C1 レジスタの TI ビットが “0” (U2TB レジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> • U2C1 レジスタの RE ビットが “1” (受信許可) • U2C1 レジスタの TE ビットが “1” (送信許可) • U2C1 レジスタの TI ビットが “0” (U2TB レジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	オーバランエラー (注2) U2RB レジスタを読む前に次のデータ受信を開始し、次のデータの 8 ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • SDA2 デジタル遅延 デジタル遅延なし、または U2BRG カウントソースの 2 ~ 8 サイクルの遅延を選択可 • クロック位相設定 クロック遅れあり、なしを選択可

注1. 外部クロックを選択している場合、外部クロックが “H” の状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RB レジスタ受信データは不定になります。また S2RIC レジスタの IR ビットは変化しません。

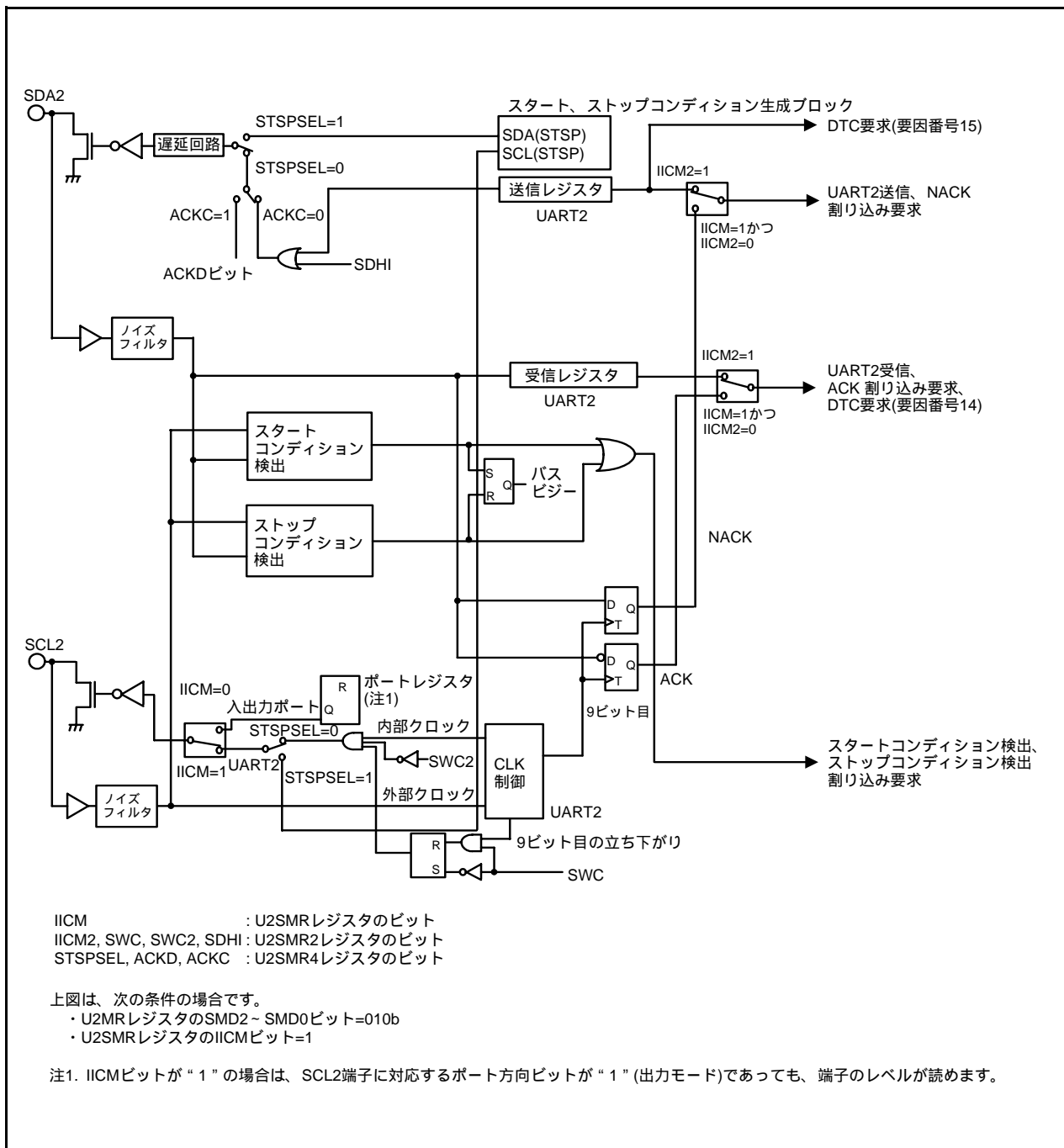


図 25.13 I²Cモードのブロック図

表 25.10 I²C モード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2TB(注1)	b0 ~ b7	送信データを設定してください	送信データを設定してください
U2RB(注1)	b0 ~ b7	受信データが読めます	受信データが読めます
	b8	ACK、NACKが入ります	ACK、NACKが入ります
	OER	オーバランエラーフラグ	オーバランエラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください	無効
U2MR(注1)	SMD2 ~ SMD0	“ 010b ” にしてください	“ 010b ” にしてください
	CKDIR	“ 0 ” にしてください	“ 1 ” にしてください
	IOPOL	“ 0 ” にしてください	“ 0 ” にしてください
U2C0	CLK1 ~ CLK0	U2BRGのカウントソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	“ 1 ” にしてください	“ 1 ” にしてください
	NCH	“ 1 ” にしてください	“ 1 ” にしてください
	CKPOL	“ 0 ” にしてください	“ 0 ” にしてください
	UFORM	“ 1 ” にしてください	“ 1 ” にしてください
U2C1	TE	送信を許可する場合、“ 1 ” にしてください	送信を許可する場合、“ 1 ” にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“ 1 ” にしてください	受信を許可する場合、“ 1 ” にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS	無効	無効
	U2RRM、 U2LCH、U2ERE	“ 0 ” にしてください	“ 0 ” にしてください
U2SMR	IICM	“ 1 ” にしてください	“ 1 ” にしてください
	BBS	バスビジーフラグ	バスビジーフラグ
	b3 ~ b7	“ 0 ” にしてください	“ 0 ” にしてください
U2SMR2	IICM2	「表 25.12 I ² C モード時の各機能」参照	「表 25.12 I ² C モード時の各機能」参照
	CSC	クロック同期化を許可する場合、“ 1 ” にしてください	“ 0 ” にしてください
	SWC	クロックの9ビット目の立ち下がり で SCL2 出力を “ L ” 出力固定にする場合、 “ 1 ” にしてください	クロックの9ビット目の立ち下がり で SCL2 出力を “ L ” 出力固定にする場合、 “ 1 ” にしてください
	STAC	“ 0 ” にしてください	スタートコンディション検出で UART2 を初期化する場合、“ 1 ” にしてください
	SWC2	SCL2 の出力を強制的に “ L ” にする場 合、“ 1 ” にしてください	SCL2 の出力を強制的に “ L ” にする場 合、“ 1 ” にしてください
	SDHI	SDA2 出力を禁止にする場合、“ 1 ” にし てください	SDA2 出力を禁止にする場合、“ 1 ” にし てください
	b7	“ 0 ” にしてください	“ 0 ” にしてください

注1. この表に記載していないビットは、I²C モード時に書く場合、“ 0 ” を書いてください。

表 25.11 I²C モード時の使用レジスタと設定値 (2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2SMR3	b0、b2、b4、NODC	“0” にしてください	“0” にしてください
	CKPH	「表 25.12 I ² C モード時の各機能」参照	「表 25.12 I ² C モード時の各機能」参照
	DL2 ~ DL0	SDA2 のデジタル遅延値を設定してください	SDA2 のデジタル遅延値を設定してください
U2SMR4	STAREQ	スタートコンディションを生成する場合、“1” にしてください	“0” にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1” にしてください	“0” にしてください
	STPREQ	ストップコンディションを生成する場合、“1” にしてください	“0” にしてください
	STSPSEL	各コンディション出力時に “1” にしてください	“0” にしてください
	ACKD	ACK、NACK を選択してください	ACK、NACK を選択してください
	ACKC	ACK データを出力する場合、“1” にしてください	ACK データを出力する場合、“1” にしてください
	SCLHI	ストップコンディション検出時に SCL2 出力を停止する場合、“1” にしてください	“0” にしてください
	SWC9	“0” にしてください	クロックの 9 ビット目の次の立ち下がり で SCL2 を “L” ホールドにする場合、 “1” にしてください
URXDF	DF2EN	“0” にしてください	“0” にしてください
U2SMR5	MP	“0” にしてください	“0” にしてください

表 25.12 I²C モード時の各機能

機能	クロック同期シリアル I/O モード (SMD2 ~ SMD0=001b、IICM=0)	I ² C モード (SMD2 ~ SMD0=010b、IICM=1)			
		IICM2=0 (NACK/ACK 割り込み)		IICM2=1 (UART 送信 / UART 受信 割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
UART2 バス衝突検出 割り込みの要因 (注1、5)		スタートコンディション検出、ストップコンディション検出 (「表 25.13 STSPSEL ビットの機能」参照)			
UART2 送信 / NACK2 割り込みの要因 (注1、6)	UART2 送信 送信開始、または送信完了 (U2IRS で選択)	アクノリッジ未検出 (NACK) 9 ビット目の SCL2 の立ち上がり		UART2 送信 9 ビット目の SCL2 の立ち上がり	UART2 送信 9 ビット目の次の SCL2 の立ち下がり
UART2 受信 / ACK2 割り込みの要因 (注1、6)	UART2 受信 8 ビット目の受信時 CKPOL=0 (立ち上がり) CKPOL=1 (立ち下がり)	アクノリッジ検出 (ACK) 9 ビット目の SCL2 の立ち上がり		UART2 受信 9 ビット目の SCL2 の立ち下がり	
UART 受信シフトレジスタから U2RB レジスタへのデータ転送タイミング	CKPOL=0 (立ち上がり) CKPOL=1 (立ち下がり)	9 ビット目の SCL2 の立ち上がり		9 ビット目の SCL2 の立ち下がり	9 ビット目の SCL2 の立ち下がり、立ち上がり
UART2 送信出力遅延	遅延なし	遅延あり			
TXD2 / SDA2 端子の機能	TXD2 出力	SDA2 入出力			
RXD2 / SCL2 端子の機能	RXD2 入力	SCL2 入出力			
CLK2 端子の機能	CLK2 入力または出力 ポート選択	(I ² C モードには使用しない)			
ノイズフィルター幅	15ns	200ns			
RXD2、SCL2 端子レベルの読み込み	対応するポート方向ビットが “0” の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TXD2、SDA2 出力の初期値	CKPOL=0 (H) CKPOL=1 (L)	I ² C モード設定前に、ポートレジスタに設定した値 (注2)			
SCL2 の初期値、終了値		H	L	H	L
DTC 要因番号 14 (注6)	UART2 受信 8 ビット目の受信時 CKPOL=0 (立ち上がり) CKPOL=1 (立ち下がり)	アクノリッジ検出 (ACK)		UART2 受信 9 ビット目の SCL2 の立ち下がり	
DTC 要因番号 15 (注6)	UART2 送信 送信開始、または送信完了 (U2IRS ビットで選択)	UART2 送信 9 ビット目の SCL2 の立ち上がり	UART2 送信 9 ビット目の次の SCL2 の立ち下がり	UART2 送信 9 ビット目の SCL2 の立ち上がり	UART2 送信 9 ビット目の次の SCL2 の立ち下がり
受信データ格納	1 ~ 8 ビット目を U2RB レジスタのビット b0 ~ b7 に格納	1 ~ 8 ビット目を U2RB レジスタのビット b7 ~ b0 に格納		1 ~ 7 ビット目を U2RB レジスタのビット b6 ~ b0 に、8 ビット目を U2RB レジスタのビット b8 に格納	
受信データ読み出し	U2RB レジスタの状態をそのまま読み出す				1 ~ 8 ビット目を U2RB レジスタのビット b7 ~ b0 に格納 (注3)
					U2RB レジスタのビット b6 ~ b0 はビット b7 ~ b1 として、ビット b8 はビット b0 として読み出す (注4)

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタの IR ビットが “1” (割り込み要求あり) になることがあります (「11.8 割り込み使用上の注意」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IR ビットを “0” (割り込み要求なし) にしてください。

U2MR レジスタの SMD2 ~ SMD0 ビット、U2SMR レジスタの IICM ビット、U2SMR2 レジスタの IICM2 ビット、U2SMR3 レジスタの CKPH ビット

注2. SDA2 出力の初期値は、SMD2 ~ SMD0 ビットが “000b” (シリアルインタフェースが無効) の状態で設定してください。

注3. U2RB レジスタへのデータ転送 2 回目 (9 ビット目 SCL2 立ち上がり時)

注4. U2RB レジスタへのデータ転送 1 回目 (9 ビット目 SCL2 立ち下がり時)

注5. 「図 25.16 STSPSEL ビットの機能」参照。

注6. 「図 25.14 U2RB レジスタへの転送、割り込みのタイミング」参照。

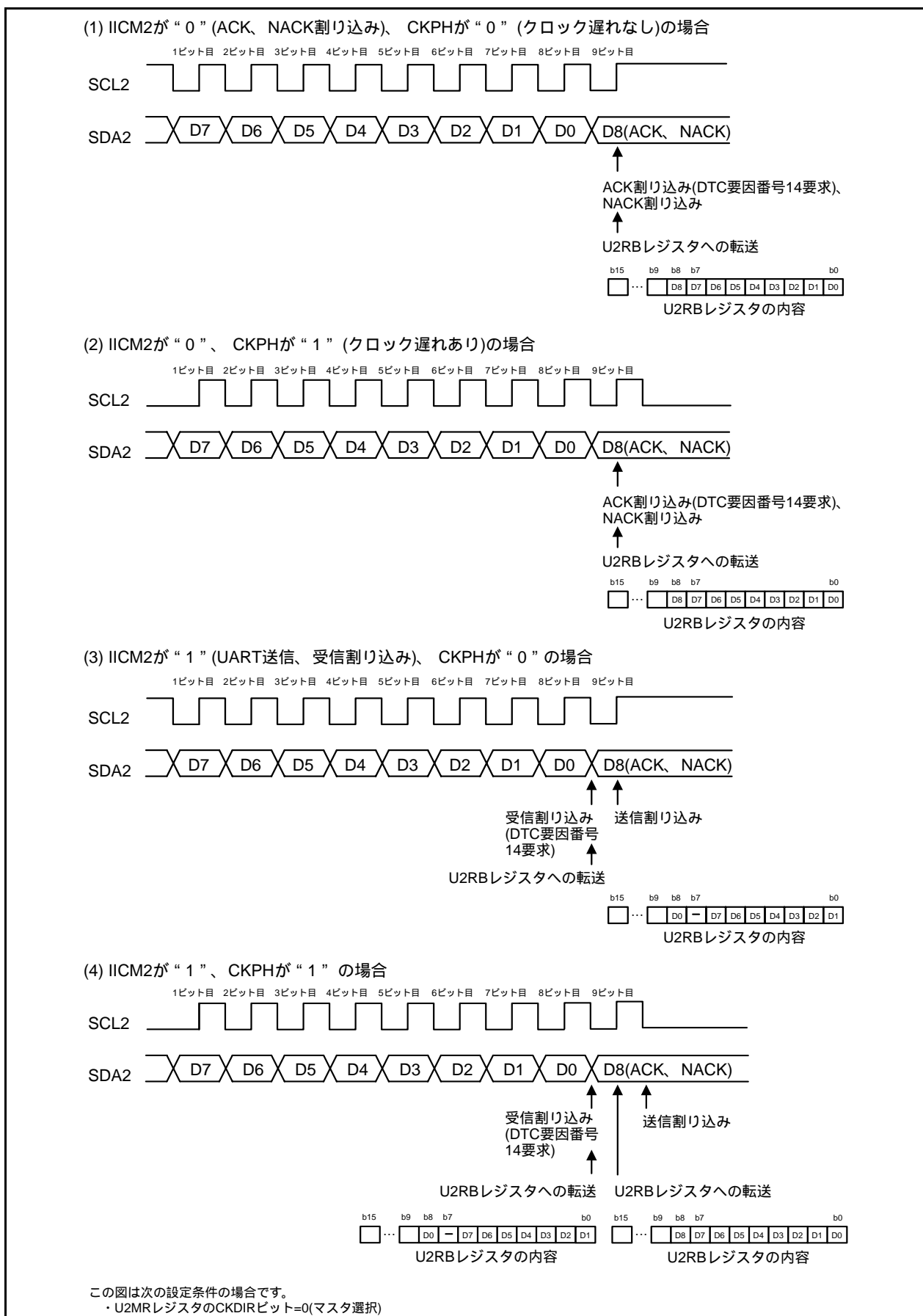


図 25.14 U2RB レジスタへの転送、割り込みのタイミング

25.5.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL2 端子が “H” の状態で SDA2 端子が “H” から “L” に変化すると発生します。ストップコンディション検出割り込み要求は、SCL2 端子が “H” の状態で SDA2 端子が “L” から “H” に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMR レジスタの BBS ビットで判定してください。

図 25.15 にスタートコンディション、ストップコンディションの検出を示します。

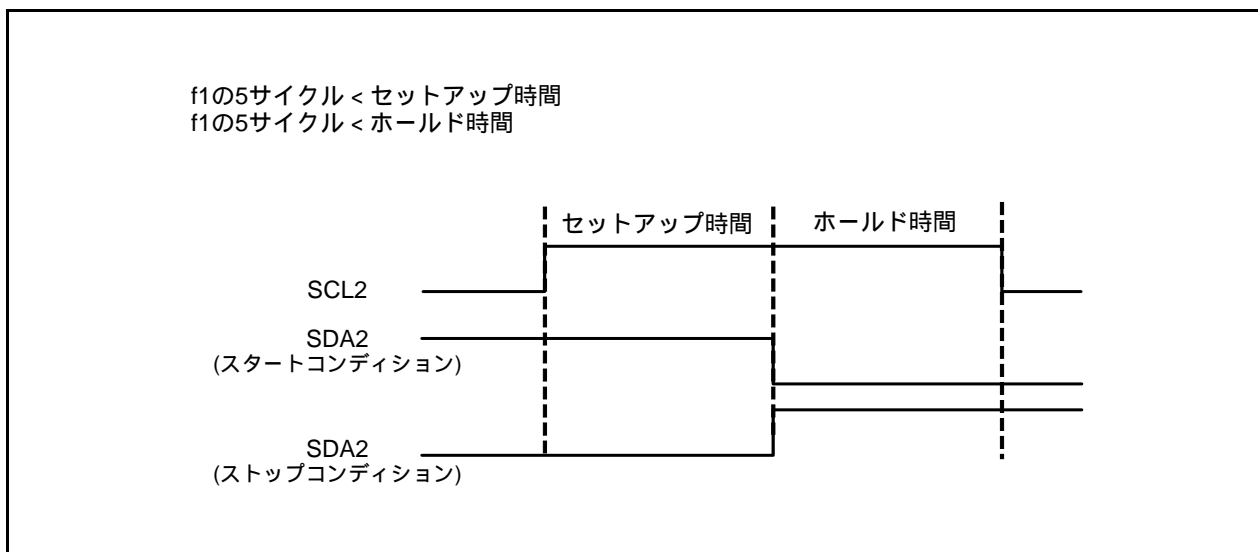


図 25.15 スタートコンディション、ストップコンディションの検出

25.5.2 スタートコンディション、ストップコンディションの出力

U2SMR4 レジスタの STAREQ ビットを “1” (スタート) にするとスタートコンディションを生成します。

U2SMR4 レジスタの RSTAREQ ビットを “1” (スタート) にするとリスタートコンディションを生成します。

U2SMR4 レジスタの STPREQ ビットを “1” (スタート) にするとストップコンディションを生成します。出力の手順は次の通りです。

- (1) STAREQ ビット、RSTAREQ ビット、または STPREQ ビットを “1” (スタート) にする
- (2) U2SMR4 レジスタの STSPSEL ビットを “1” (出力) にする

表 25.13 に STSPSEL ビットの機能を、図 25.16 に STSPSEL ビットの機能を示します。

表 25.13 STSPSEL ビットの機能

機能	STSPSEL=0	STSPSEL=1
SCL2、SDA2 端子の出力	転送クロック、データ出力。 スタートコンディション、ストップコン ディションの出力はポートを使ったプロ グラムで実現 (ハードウェアによる自動生成はしない)	STAREQ ビット、RSTAREQ ビット、 STPREQ ビットに従って、スタートコン ディション、ストップコンディションを 出力
スタートコンディション、 ストップコンディション割 り込み要求発生タイミング	スタートコンディション、ストップコン ディション検出	スタートコンディション、ストップコン ディション生成終了

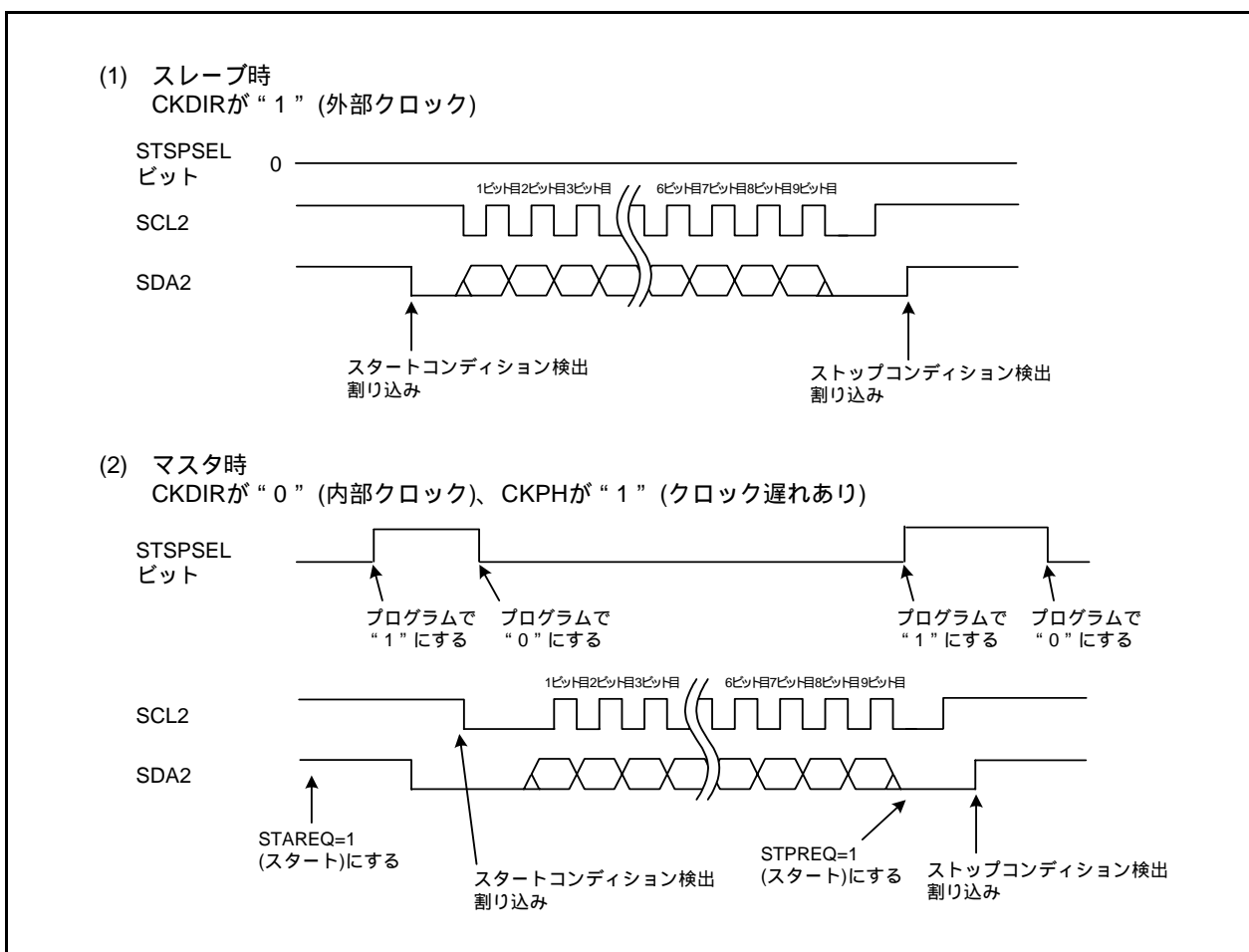


図 25.16 STSPSEL ビットの機能

25.5.3 転送クロック

「図25.14 U2RB レジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

U2SMR2 レジスタのCSCビットは内部で生成したクロック(内部SCL2)と、SCL2端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCL2が“H”の場合、SCL2端子に立ち下がりエッジがあれば内部SCL2を“L”とし、U2BRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCL2端子が“L”のとき、内部SCL2が“L”から“H”に変化するとカウントを停止し、SCL2端子が“H”になるとカウントを再開します。したがって、UART2の転送クロックは、内部SCL2とSCL2端子の信号の論理積になります。なお、転送クロックは内部SCL2の1ビット目の立ち下がり半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

U2SMR2 レジスタのSWCビットでクロックの9ビット目の立ち下がり、SCL2端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

U2SMR4 レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCL2出力を停止します(ハイインピーダンス状態)。

U2SMR2 レジスタのSWC2ビットを“1”(“L”出力)にすると、送受信中でもSCL2端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCL2端子からの“L”出力は解除され、転送クロックが入出力されます。

U2SMR3 レジスタのCKPHビットが“1”のとき、U2SMR4 レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がり、SCL2端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

25.5.4 SDA出力

U2TB レジスタのビットb7 ~ b0 (D7 ~ D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDA2送信出力の初期値は、IICM=1 (I²Cモード)で、U2MRレジスタのSMD2 ~ SMD0ビットが“000b”(シリアルインタフェースは無効)の状態を設定してください。

U2SMR3 レジスタのDL2 ~ DL0ビットによりSDA2の出力を遅延なし、またはU2BRGカウントソースの2 ~ 8サイクルの遅延を設定できます。

U2SMR2 レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDA2端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUART2の転送クロックの立ち上がりのタイミングで書かないでください。

25.5.5 SDA入力

IICM2 ビットが“0”のとき、受信したデータの1～8ビット目(D7～D0)をU2RBレジスタのビットb7～b0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2 ビットが“1”のとき、受信したデータの1～7ビット目(D7～D1)をU2RBレジスタのビットb6～b0に、8ビット目(D0)をU2RBレジスタのビットb8に格納します。IICM2 ビットが“1”のときでも、CKPH ビットが“1”であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2 ビットが“0”のときと同様のデータが読めます。

25.5.6 ACK、NACK

U2SMR4 レジスタの STSPSEL ビットが“0”(スタートコンディション、ストップコンディションを生成しない)でU2SMR4 レジスタの ACKC ビットが“1”(ACK データ出力)の場合、U2SMR4 レジスタの ACKD ビットの値がSDA2端子から出力されます。

IICM2 ビットが“0”の場合、NACK 割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“H”のままであると発生します。ACK 割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“L”ならば発生します。

DTC 要求要因に ACK2 (UART2 受信)を選択すると、アクノリッジ検出によってDTC転送を起動できます。

25.5.7 送受信初期化

STAC ビットを“1”(UART2 初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、U2TB レジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWC ビットが“1”(SCL ウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCL2端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、TI ビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

25.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。図25.17にマルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)を示します。

送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。

受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで、通信データを読みとばします。

UART2はこの機能をサポートするため、U2SMR5レジスタにMPIEビットが設けてあります。MPIEビットを“1”にセットすると、マルチプロセッサビットが“1”のデータを受け取るまでUART2受信レジスタからU2RBレジスタの転送、および受信エラーの検出とU2C1レジスタのRIビット、U2RBレジスタのFER、OERビットの各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、U2RBレジスタのMPRBビットが“1”にセットされるとともに、U2SMR5レジスタのMPIEビットが“0”になり、通常の受信動作に戻ります。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モード(UARTモード)と変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モード(UARTモード)と同一です。

図25.18にマルチプロセッサ通信機能のブロック図を、表25.14にマルチプロセッサ通信機能時の使用レジスタと設定値を示します。

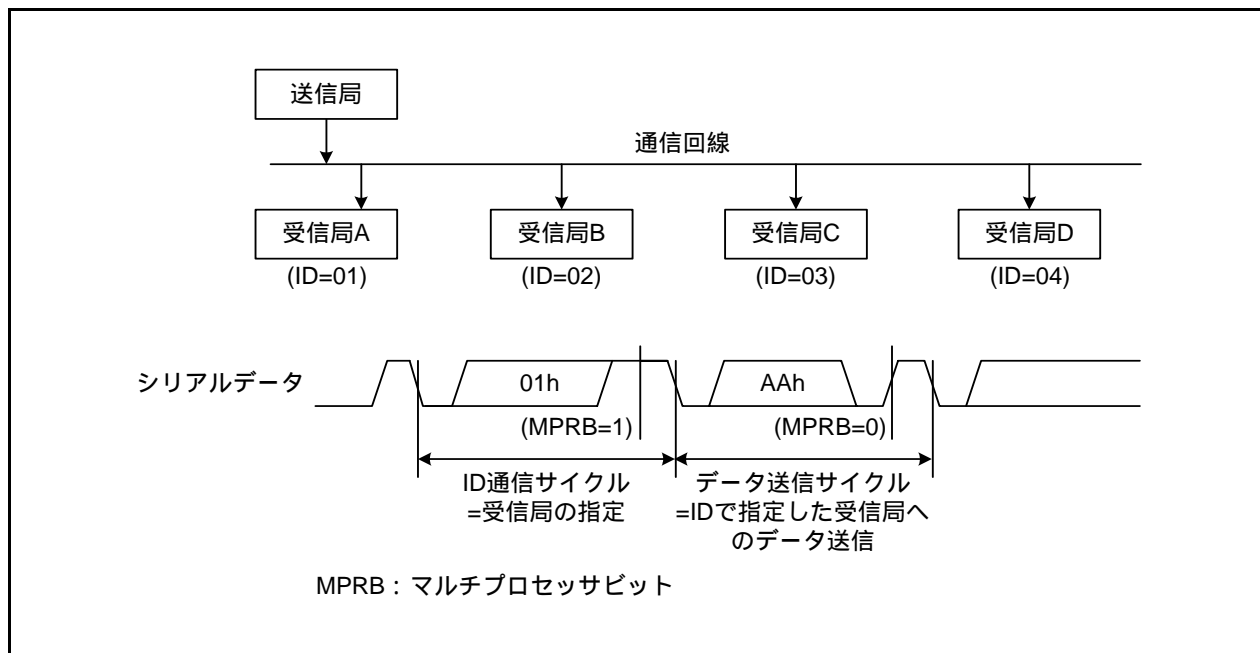


図25.17 マルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)

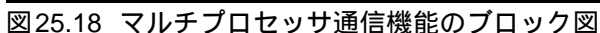


表 25.14 マルチプロセッサ通信機能時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	b0 ~ b7	送信データを設定してください
	MPTB	“0” または “1” を設定してください
U2RB(注2)	b0 ~ b7	受信データが読めます
	MPRB	マルチプロセッサビット
	OER、FER、SUM	エラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください
U2MR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b” を設定してください 転送データが8ビットの場合、“101b” を設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティ検出機能無効
	IOPOL	“0” にしてください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能無効
	TXEPT	送信レジスタ空フラグ
	CRD	“0” にしてください
	NCH	TXD2端子出力形式を選択してください
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
U2C1	TE	送信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1” にしてください
	RI	送信完了フラグ
	U2IRS	UART2の送信割り込み要因を選択してください
	U2LCH	“0” にしてください
	U2ERE	“0” にしてください
U2SMR	b0 ~ b7	“0” にしてください
U2SMR2	b0 ~ b7	“0” にしてください
U2SMR3	b0 ~ b7	“0” にしてください
U2SMR4	b0 ~ b7	“0” にしてください
U2SMR5	MP	“1” にしてください
	MPIE	“1” にしてください
URXDF	DF2EN	デジタルフィルタの有効、無効を選択してください

注1. IDデータフレームを送信したとき、MPTBビットを“1” にしてください。データフレームを送信したとき、MPTBビットを“0” にしてください。

注2. MPRBビットが“1” の場合、受信したD7 ~ D0はIDフィールドです。MPRBビットが“0” の場合、受信したD7 ~ D0はデータフィールドです。

25.6.1 マルチプロセッサ送信

図 25.19 にマルチプロセッサデータ送信のフローチャートの例を示します。ID 送信サイクルでは、U2TB レジスタの MPBT ビットを “1” にして送信してください。データ送信サイクルでは、U2TB レジスタの MPBT を “0” にして送信してください。その他の動作は調歩同期モード (UART モード) の動作と同じです。

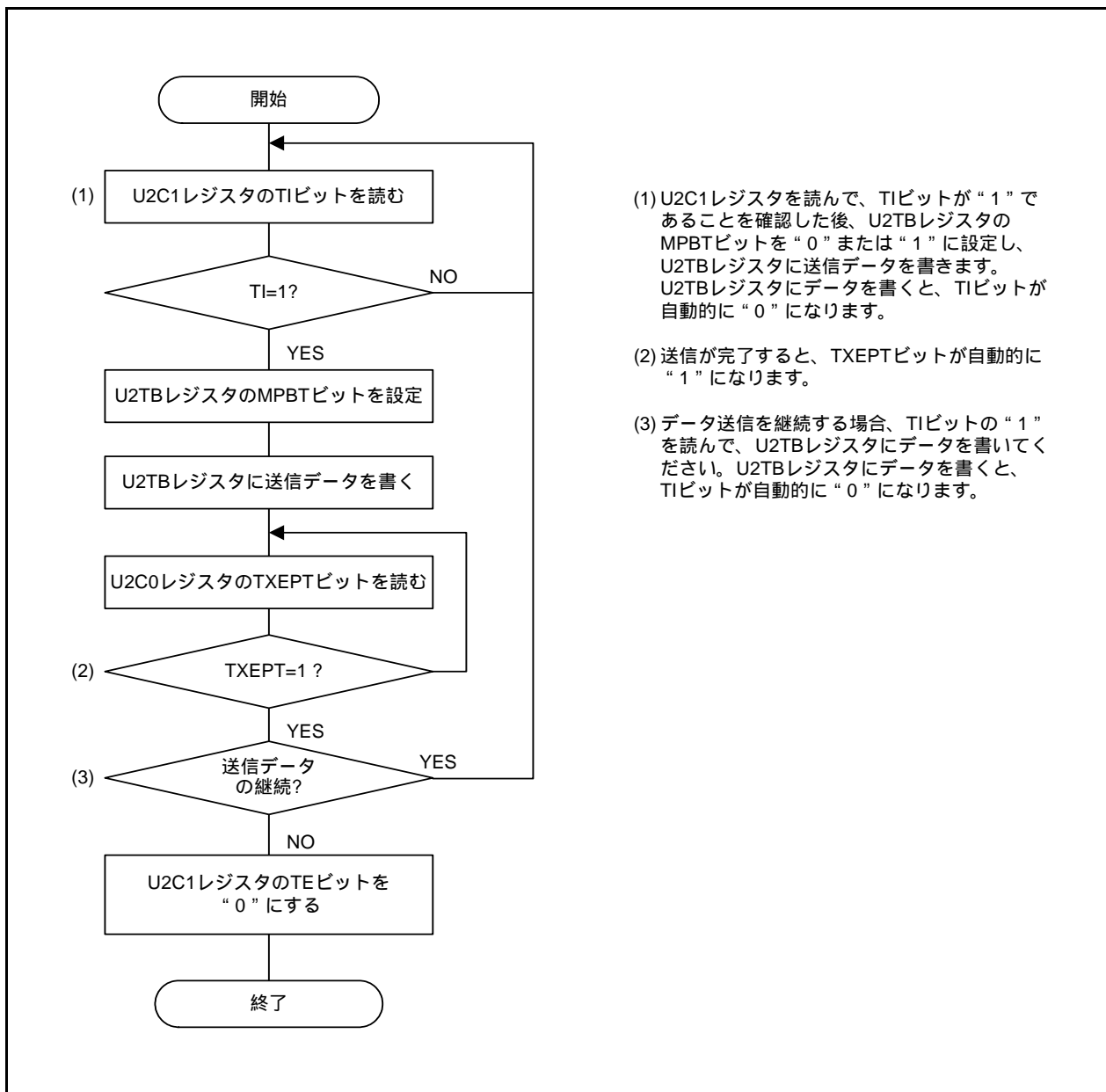


図 25.19 マルチプロセッサデータ送信のフローチャートの例

25.6.2 マルチプロセッサ受信

図 25.20 にマルチプロセッサデータ受信のフローチャートの例を示します。U2SMR5 レジスタの MPIE ビットを “1” にすると、マルチプロセッサビットが “1” の通信データを受信するまで、通信データを読みとばします。マルチプロセッサビットが “1” の通信データを、受信データとして U2RB レジスタに転送します。このとき、受信完了割り込み要求が発生します。その他の動作は調歩同期式モード (UART モード) の動作と同じです。図 25.21 にマルチプロセッサ通信の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ビットストップビットの例) を示します。

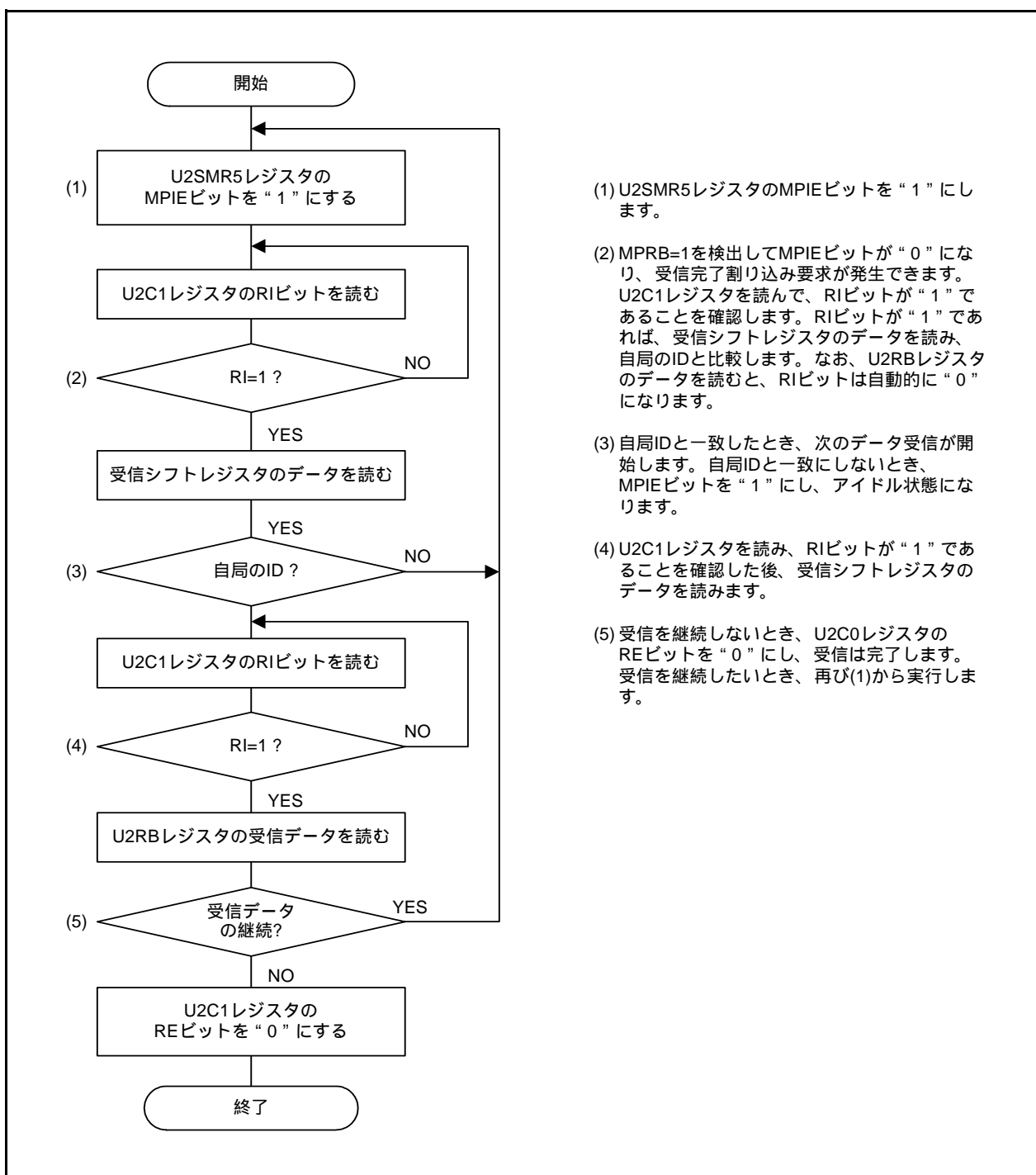


図 25.20 マルチプロセッサデータ受信のフローチャートの例

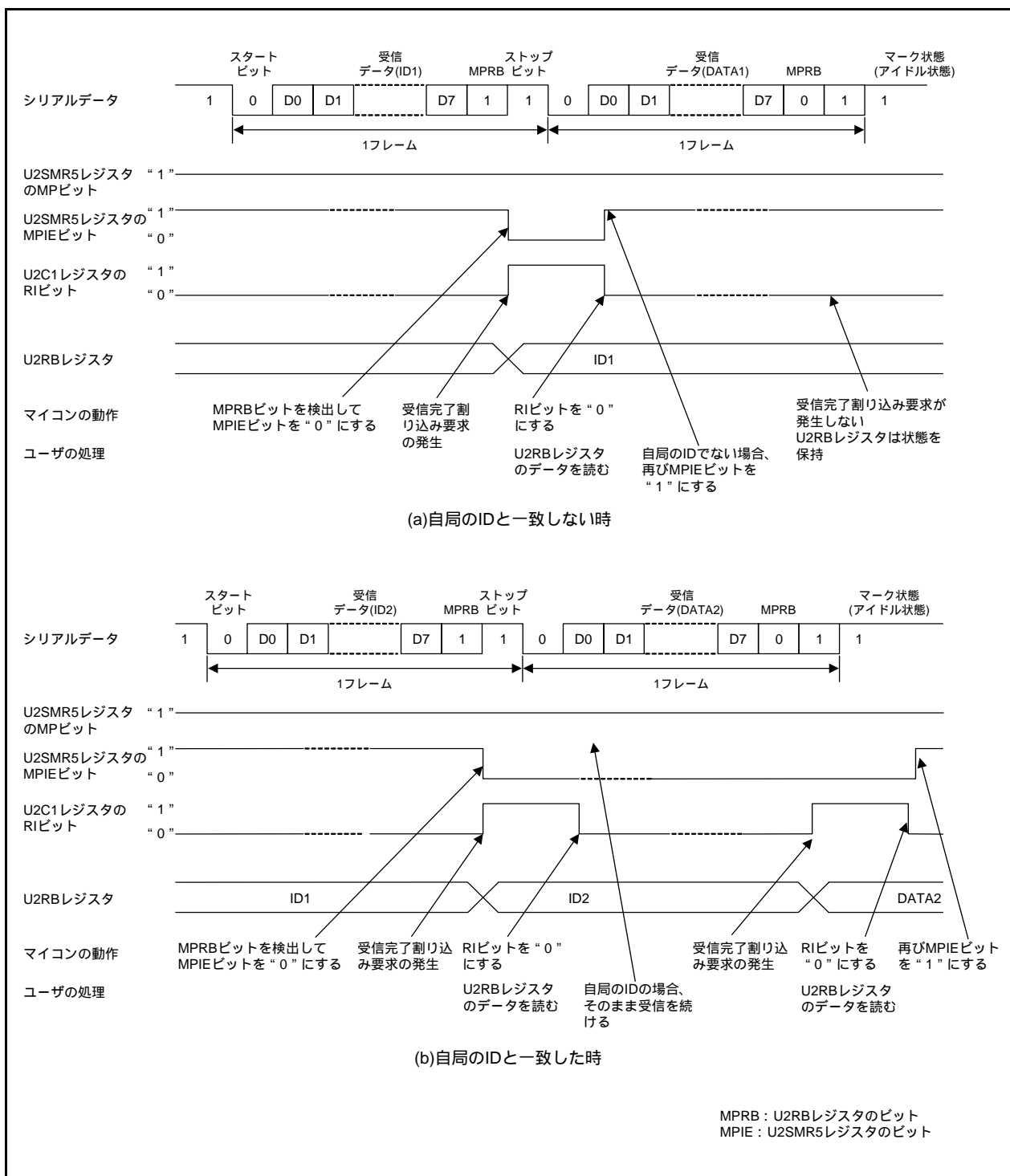


図 25.21 マルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)

25.6.3 RXD2 デジタルフィルタ選択機能

URXDF レジスタの DF2EN ビットが “1” (RXD2 デジタルフィルタ許可) のとき、RXD2 入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3 段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2 入力信号がビットレートの 16 倍の周波数の内部基本クロックでサンプリングされ、3 つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3 クロック以下の信号変化はノイズとして判断し、信号変化として認識しません。

図 25.12 に RXD2 デジタルフィルタ回路のブロック図を示します。

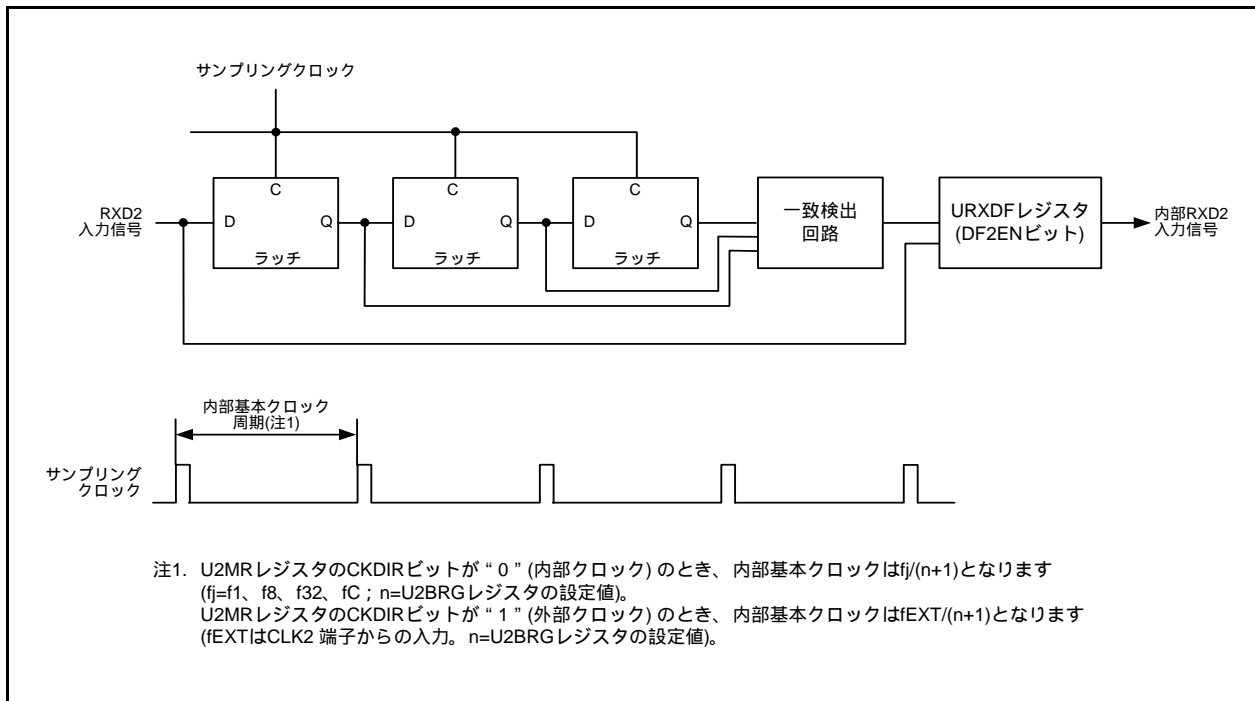


図 25.22 RXD2 デジタルフィルタ回路のブロック図

25.7 シリアルインタフェース (UART2) 使用上の注意

25.7.1 クロック同期形シリアル I/O モード

25.7.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが “L” になり、受信が可能になったことを送信側に知らせます。受信が開始されると RTS2 端子の出力レベルは “H” になります。このため、 RTS2 端子を送信側の CTS2 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は RTS 機能は無効です。

25.7.1.2 送信

外部クロックを選択している場合、 U2C0 レジスタの CKPOL ビットが “0” (転送クロックの立ち下がり) で送信データ出力、立ち上がりで受信データ入力) のときは外部クロックが “H” の状態で、 CKPOL ビットが “1” (転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力) のときは外部クロックが “L” の状態で次の条件を満たしてください。

- U2C1 レジスタの TE ビットが “1” (送信許可)
- U2C1 レジスタの TI ビットが “0” (U2TB レジスタにデータあり)
- CTS 機能を選択している場合、 CTS2 端子の入力が “L”

25.7.1.3 受信

クロック同期形シリアル I/O では送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時 TXD2 端子からはダミーデータが外部に出力されます。

内部クロック選択時は U2C1 レジスタの TE ビットを “1” (送信許可) にし、ダミーデータを U2TB レジスタに設定するとシフトクロックが発生します。外部クロック選択時は TE ビットを “1” にし、ダミーデータを U2TB レジスタに設定し、外部クロックが CLK2 端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、 U2C1 レジスタの RE ビットが “1” (U2RB レジスタにデータあり) で UART2 受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、 U2RB レジスタの OER ビットが “1” (オーバーランエラー発生) になります。この場合、 U2RB レジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときは S2RIC レジスタの IR ビットは変化しません。

連続してデータを受信する場合は、1 回の受信ごとに U2TB レジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、 CKPOL ビットが “0” のときは外部クロックが “H” の状態で、 CKPOL ビットが “1” のときは外部クロックが “L” の状態で次の条件を満たしてください。

- U2C1 レジスタの RE ビットが “1” (受信許可)
- U2C1 レジスタの TE ビットが “1” (送信許可)
- U2C1 レジスタの TI ビットが “0” (U2TB レジスタにデータあり)

25.7.2 クロック非同期型シリアルI/O (UART) モード

25.7.2.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが “L” になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルは “H” になります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

25.7.2.2 送信

外部クロックを選択している場合、U2C0 レジスタの CKPOL ビットが “0” (転送クロックの立ち下がり) で送信データ出力、立ち上がりで受信データ入力) のときは外部クロックが “H” の状態で、CKPOL ビットが “1” (転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力) のときは外部クロックが “L” の状態で次の条件を満たしてください。

- U2C1 レジスタの TE ビットが “1” (送信許可)
- U2C1 レジスタの TI ビットが “0” (U2TB レジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が “L”

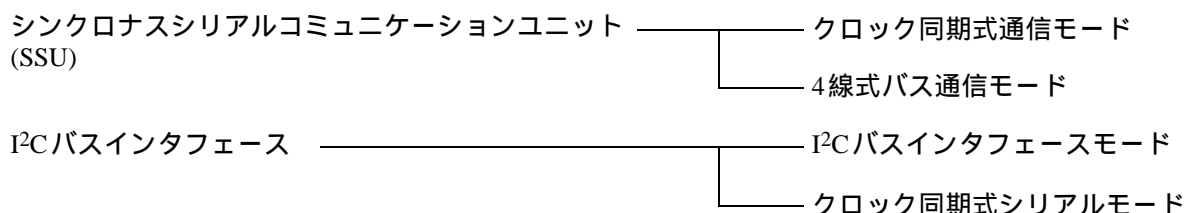
25.7.3 特殊モード 1 (I²C モード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4 レジスタの STSPSEL ビットを “0” にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット (STAREQ、RSTAREQ、STPREQ) を “0” から “1” にしてください。

26. クロック同期形シリアルインタフェース

クロック同期形シリアルインタフェースは、次の構成です。

クロック同期形シリアルインタフェース



クロック同期形シリアルインタフェースは、0193h ~ 019Dh 番地のレジスタを使用します。同じ番地でもモードによってレジスタやビットの名称、シンボル、機能が違います。詳細は各機能のレジスタの説明を参照してください。

なお、クロック同期式通信モードとクロック同期式シリアルモードの違いは転送クロックの選択肢、クロック出力形式、データ出力形式の選択肢などです。

26.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表 26.1 にモード選択に関わるビットを示します。各モードの詳細は「27. シンクロナスシリアルコミュニケーションユニット(SSU)」および「28. I²C バスインタフェース」を参照してください。

表 26.1 モード選択

SSUICSR レジスタの IICSELビット	0198h 番地のビット7 (ICCR1 レジスタの ICE ビット)	019Dh 番地のビット0 (SSMR2 レジスタの SSUMS ビット、 SAR レジスタの FS ビット)	機能名	モード
0	0	0	シンクロナスシリアル コミュニケーション ユニット	クロック同期式通信 モード
0	0	1		4線式バス通信モード
1	1	0	I²C バスインタフェース	I²C バスインタフェース モード
1	1	1		クロック同期式シリアル モード

27. シンクロナスシリアルコミュニケーションユニット (SSU)

シンクロナスシリアルコミュニケーションユニット (SSU) は、クロック同期式のシリアルデータ通信が可能です。

27.1 概要

表 27.1 にシンクロナスシリアルコミュニケーションユニットの仕様を、図 27.1 にシンクロナスシリアルコミュニケーションユニットブロック図を示します。

表 27.1 シンクロナスシリアルコミュニケーションユニットの仕様

項目	仕様
転送データフォーマット	転送データ長 8 ~ 16 ビット 送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能
動作モード	<ul style="list-style-type: none"> クロック同期式通信モード 4 線式バス通信モード (双方向通信モード含む)
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK (入出力) : クロック入出力端子 SSI (入出力) : データ入出力端子 SSQ (入出力) : データ入出力端子 SCS (入出力) : チップセレクト入出力端子
転送クロック	<ul style="list-style-type: none"> SSCRH レジスタの MSS ビットが “0” (スレーブデバイスとして動作) のとき 外部クロック (SSCK 端子から入力) SSCRH レジスタの MSS ビットが “1” (マスタデバイスとして動作) のとき 内部クロック (f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4 から選択できる、SSCK 端子から出力) クロック極性と位相を選択できる
受信エラーの検出	オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SSSR レジスタの RDRF ビットが “1” (SSRDR レジスタにデータあり) の状態で、次のシリアルデータ受信を完了したとき、ORER ビットが “1” になる
マルチマスタエラーの検出	コンフリクトエラーを検出 SSMR2 レジスタの SSUMS ビットが “1” (4 線式バス通信モード)、SSCRH レジスタの MSS ビットが “1” (マスタデバイスとして動作) の状態でシリアル通信を開始しようとしたとき、SCS 端子入力が “L” であれば SSSR レジスタの CE ビットが “1” になる。 SSMR2 レジスタの SSUMS ビットが “1” (4 線式バス通信モード)、SSCRH レジスタの MSS ビットが “0” (スレーブデバイスとして動作) で転送途中に SCS 端子入力が “L” から “H” に変化したとき、SSSR レジスタの CE ビットが “1” になる。
割り込み要求	5 種類 (送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー) (注 1)
選択機能	<ul style="list-style-type: none"> データ転送方向 MSB ファーストまたは LSB ファーストを選択 SSCK クロック極性 クロック停止時のレベルを “L” か “H” かを選択 SSCK クロック位相 データ変化およびデータ取り込みのエッジを選択

注 1. 割り込みベクタテーブルはシンクロナスシリアルコミュニケーションユニットの 1 つです。

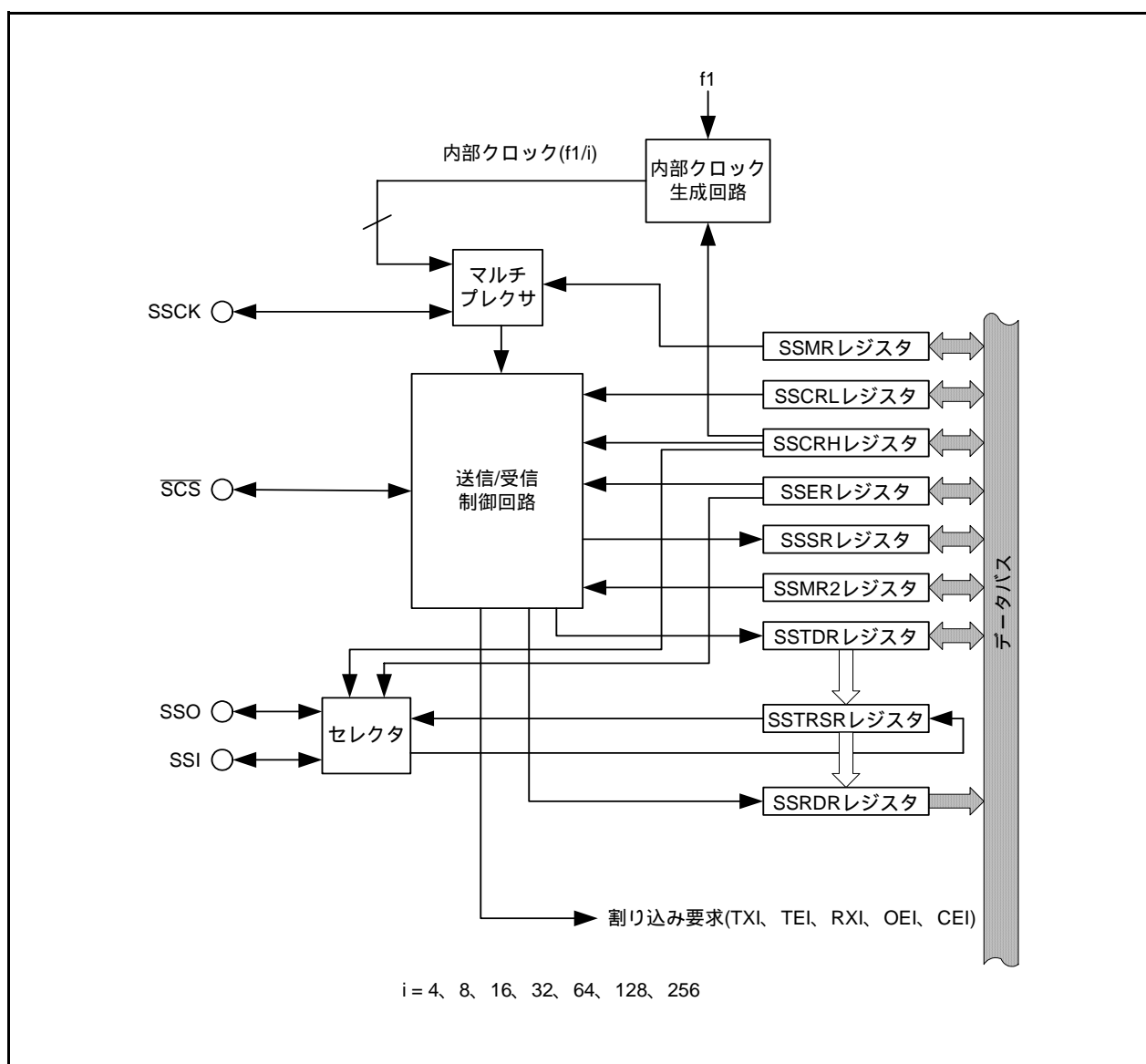


図 27.1 シンクロナスシリアルコミュニケーションユニットブロック図

表27.2 シンクロナスシリアルコミュニケーションユニットの端子構成

端子名	割り当てる端子	入出力	機能
SSI	P3_4	入出力	データ入出力
SCS	P3_3	入出力	チップセレクト入出力
SSCK	P3_5	入出力	クロック入出力
SSO	P3_7	入出力	データ入出力

27.2 レジスタの説明

27.2.1 モジュールスタンバイ制御レジスタ (MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I ² Cバススタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ (注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. MSTIIC ビットが“1” (スタンバイ) のとき、SSU、I²Cバス関連レジスタ (0193h ~ 019Dh 番地) へのアクセスは無効になります。
- 注2. MSTTRD ビットが“1” (スタンバイ) のとき、タイマRD関連レジスタ (0135h ~ 015Fh 番地) へのアクセスは無効になります。
- 注3. MSTTRD ビットを“1” (スタンバイ) にする場合、TRDCR_i (i=0 ~ 1) レジスタのTCK2 ~ TCK0 ビットを“000b” (f1) にしてください。
- 注4. MSTTRC ビットが“1” (スタンバイ) のとき、タイマRC関連レジスタ (0120h ~ 0133h 番地) へのアクセスは無効になります。
- 注5. MSTTRG ビットが“1” (スタンバイ) のとき、タイマRG関連レジスタ (0170h ~ 017Fh 番地) へのアクセスは無効になります。

27.2.2 SSU/IIC 端子選択レジスタ (SSUIICSR)

アドレス 018Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I ² Cバス切り替えビット	0: SSU機能を選択 1: I ² Cバス機能を選択	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-	予約ビット	“0” にしてください	-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

27.2.3 SSビットカウンタレジスタ (SSBR)

アドレス 0193h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	BS3	BS2	BS1	BS0
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BS0	SSUデータ転送長設定ビット(注1)	b3 b2 b1 b0 0 0 0 0 : 16ビット	R/W
b1	BS1		1 0 0 0 : 8ビット	R/W
b2	BS2		1 0 0 1 : 9ビット	R/W
b3	BS3		1 0 1 0 : 10ビット	R/W
			1 0 1 1 : 11ビット	
			1 1 0 0 : 12ビット	
			1 1 0 1 : 13ビット	
			1 1 1 0 : 14ビット	
			1 1 1 1 : 15ビット	
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	-			

注1. SSUの動作中は、BS0～BS3ビットに書かないでください。SSERレジスタのREビットが“0”（受信禁止）、TEビットが“0”（送信禁止）のとき、BS0～BS3ビットに書いてください。

SSBRレジスタを設定するときは、SSERレジスタのREビットを“0”、TEビットを“0”にしてください。

BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

27.2.4 SS送信データレジスタ (SSTDR)

アドレス 0195h～0194h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15～b0	-	送信データを保管。(注1) SSTRSRレジスタの空きが検出されると、保管されている送信データがSSTRSRレジスタへ転送されて、送信が開始する。 SSTRSRレジスタからデータを送信中に、SSTDRレジスタに次の送信データを書いておくと、連続して送信できる。 SSMRレジスタのMLSビットが“1”（LSBファーストでデータ転送）の場合、SSTDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読めます。	R/W

注1. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSTDRレジスタを16ビット単位でアクセスしてください。

27.2.5 SS受信データレジスタ (SSRDR)

アドレス 0197h ~ 0196h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15 ~ b0	-	受信データを保管。(注1、2) SSTRSRレジスタが1バイトのデータを受信すると、SSRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSSTRSRレジスタとSSRDRレジスタの2つのレジスタによって、連続受信が可能である。	R

- 注1. SSSRレジスタのORERビットが“1”(オーバーランエラー発生)になったとき、SSRDRレジスタはオーバーランエラー発生前の受信データを保持します。オーバーランエラー発生時の受信データは、破棄されます。
- 注2. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSRDRレジスタを16ビット単位でアクセスしてください。

27.2.6 SS制御レジスタH (SSCRH)

アドレス 0198h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RSSTP	MSS	-	-	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット(注1)	b2 b1 b0	R/W
b1	CKS1		0 0 0 : f1/256	R/W
b2	CKS2		0 0 1 : f1/128	R/W
			0 1 0 : f1/64	
			0 1 1 : f1/32	
			1 0 0 : f1/16	
			1 0 1 : f1/8	
			1 1 0 : f1/4	
			1 1 1 : 設定しないでください	
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	MSS	マスタ/スレーブデバイス選択ビット(注2)	0 : スレーブデバイスとして動作 1 : マスタデバイスとして動作	R/W
b6	RSSTP	受信シングルストップビット(注3)	0 : 1バイトのデータ受信後も受信動作を継続 1 : 1バイトのデータ受信後、受信動作が終了	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. 内部クロック選択時に、設定されたクロックが使用されます。
- 注2. MSSビットが“1”(マスタデバイスとして動作)のとき、SSCK端子は転送クロック出力端子になります。SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になると、MSSビットは“0”(スレーブデバイスとして動作)になります。
- 注3. MSSビットが“0”(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。

27.2.7 SS制御レジスタL (SSCRL)

アドレス 0199h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	SOL	SOLP	-	-	SRES	-
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	-
b1	SRES	SSU制御部リセットビット	このビットに“1”を書くと、SSU制御部およびSSTRSRレジスタが初期化される。 SSU内部レジスタ(注1)の値は保持される。	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	-
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	-
b4	SOLP	SOLライトプロテクトビット(注2)	“0”を書くとSOLビットによって出力レベルが変更できる。 “1”を書いても無効。読んだ場合、その値は“1”。	R/W
b5	SOL	シリアルデータ出力値設定ビット	読んだ場合 0: シリアルデータ出力が“L” 1: シリアルデータ出力が“H” 書いた場合(注2、3) 0: データ出力を“L”にする 1: データ出力を“H”にする	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	-
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

注1. SSBR、SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTDRL、SSRDRの各レジスタ。

注2. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。
シリアルデータの送信前後に SOL ビットの内容を書き換えると、その時点からデータ出力に反映されます。
SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。

注3. データ転送中はSOLビットに書かないでください。

27.2.8 SSモードレジスタ (SSMR)

アドレス 019Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS	CPHS	-	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ3~0	b3 b2 b1 b0 0 0 0 0 : 残り16ビット	R
b1	BC1		0 0 0 1 : 残り1ビット	R
b2	BC2		0 0 1 0 : 残り2ビット	R
b3	BC3		0 0 1 1 : 残り3ビット	R
			0 1 0 0 : 残り4ビット	
			0 1 0 1 : 残り5ビット	
			0 1 1 0 : 残り6ビット	
			0 1 1 1 : 残り7ビット	
			1 0 0 0 : 残り8ビット	
			1 0 0 1 : 残り9ビット	
			1 0 1 0 : 残り10ビット	
			1 0 1 1 : 残り11ビット	
			1 1 0 0 : 残り12ビット	
			1 1 0 1 : 残り13ビット	
			1 1 1 0 : 残り14ビット	
			1 1 1 1 : 残り15ビット	
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	CPHS	SSCKクロック位相選択ビット(注1)	0 : 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1 : 偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	R/W
b6	CPOS	SSCKクロック極性選択ビット(注1)	0 : クロック停止時、“H” 1 : クロック停止時、“L”	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0 : MSBファーストでデータ転送 1 : LSBファーストでデータ転送	R/W

注1. CPHS、CPOSビットの設定については「27.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。
SSMR2レジスタのSSUMSビットが“0”(クロック同期式通信モード)のとき、CPHSビットを“0”、CPOSビットを“0”にしてください。

27.2.9 SS許可レジスタ (SSER)

アドレス 019Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE	RE	-	-	CEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE	コンフリクトエラー割り込み許可ビット	0 : コンフリクトエラー割り込み要求禁止 1 : コンフリクトエラー割り込み要求許可	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			-
b3	RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	R/W
b4	TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	R/W
b5	RIE	受信割り込み許可ビット	0 : 受信データフルおよびオーバーランエラー割り込み要求禁止 1 : 受信データフルおよびオーバーランエラー割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0 : 送信終了割り込み要求禁止 1 : 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0 : 送信データエンプティ割り込み要求禁止 1 : 送信データエンプティ割り込み要求許可	R/W

27.2.10 SSステータスレジスタ (SSSR)

アドレス 019Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	-	-	ORER	-	CE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE	コンフリクトエラーフラグ(注1)	0: コンフリクトエラーなし 1: コンフリクトエラー発生(注2)	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b2	ORER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生(注3)	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	-			
b5	RDRF	受信データレジスタフルフラグ(注1、4)	0: SSRDR レジスタにデータなし 1: SSRDR レジスタにデータあり	R/W
b6	TEND	送信終了フラグ(注1、5)	0: 送信データの最後尾ビットの送信時、TDRE ビットが“0” 1: 送信データの最後尾ビットの送信時、TDRE ビットが“1”	R/W
b7	TDRE	送信データ空フラグ(注1、5、6)	0: SSTDR レジスタから SSTRSR レジスタにデータ転送されていない 1: SSTDR レジスタから SSTRSR レジスタにデータ転送された	R/W

- 注1. CE、ORER、RDRF、TEND、TDRE ビットへの“1”書き込みは無効です。これらのビットを“0”にするには、“1”を読んだ後、“0”を書いてください。
- 注2. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態ではシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればCEビットが“1”になります。「27.5.4 SCS端子制御とアービトレーション」を参照してください。
SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中にSCS端子入力が“L”から“H”に変化したとき、CEビットが“1”になります。
- 注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORERビットが“1”になります。
ORERビットが“1”(オーバランエラー発生)になった後、“1”の状態では受信はできません。またMSSビットが“1”(マスタデバイスとして動作)の状態では、送信もできません。
- 注4. RDRFビットはSSRDRレジスタからデータを読み出したとき、“0”になります。
- 注5. TEND、TDREビットはSSTDRレジスタにデータを書いたとき、“0”になります。
- 注6. TDREビットはSSERレジスタのTEビットを“1”(送信許可)にしたとき、“1”になります。

SSSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

27.2.11 SSモードレジスタ2 (SSMR2)

アドレス 019Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BIDE	SCKS	CSS1	CSS0	SCKOS	SOOS	CSOS	SSUMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSUMS	SSUモード選択ビット(注1)	0: クロック同期式通信モード 1: 4線式バス通信モード	R/W
b1	CSOS	SCS端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャネルオープンドレイン出力	R/W
b2	SOOS	シリアルデータオープンドレイン出力選択ビット(注1)	0: CMOS出力(注5) 1: Nチャネルオープンドレイン出力	R/W
b3	SCKOS	SSCK端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャネルオープンドレイン出力	R/W
b4	CSS0	SCS端子選択ビット(注2)	b5 b4 00: ポートとして機能 01: SCS入力端子として機能 10: SCS出力端子として機能(注3) 11: SCS出力端子として機能(注3)	R/W
b5	CSS1			R/W
b6	SCKS	SSCK端子選択ビット	0: ポートとして機能 1: シリアルクロック端子として機能	R/W
b7	BIDE	双方向モード許可ビット(注1、4)	0: 標準モード(データ入力とデータ出力を2端子使用して通信) 1: 双方向モード(データ入力とデータ出力を1端子使用して通信)	R/W

注1. データ入出力端子の組合せは、「27.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。

注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。

注3. 転送開始前は、SCS入力端子として機能します。

注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。

注5. SOOSビットが“0”(CMOS出力)のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを“0”(入力モード)にしてください。

27.3 複数モードに関わる共通事項

27.3.1 転送クロック

転送クロックを7種類の内部クロック (f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4) と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SSMR2 レジスタの SCKS ビットを “1” にして、SSCK 端子をシリアルクロック端子として選択してください。

SSCRH レジスタの MSS ビットが “1” (マスタデバイスとして動作) のときは内部クロックが選択され、SSCK 端子が出力になります。転送が開始すると、SSCRH レジスタの CKS0 ~ CKS2 で選択された転送レートのクロックが、SSCK 端子から出力されます。

SSCRH レジスタの MSS ビットが “0” (スレーブデバイスとして動作) のときは外部クロックが選択され、SSCK 端子は入力になります。

27.3.1.1 転送クロックの極性、位相とデータの関係

SSMR2 レジスタの SSUMS ビットと SSMR レジスタの CPHS、CPOS ビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図 27.2 に転送クロックの極性、位相および転送データの関係を示します。

また、SSMR レジスタの MLS ビットの設定により、MSB ファーストで転送するか LSB ファーストで転送するかを選択できます。MLS ビットが “1” のときは、LSB から始まり最後に MSB の順で転送されます。MLS ビットが “0” のときは、MSB から始まり最後に LSB の順で転送されます。

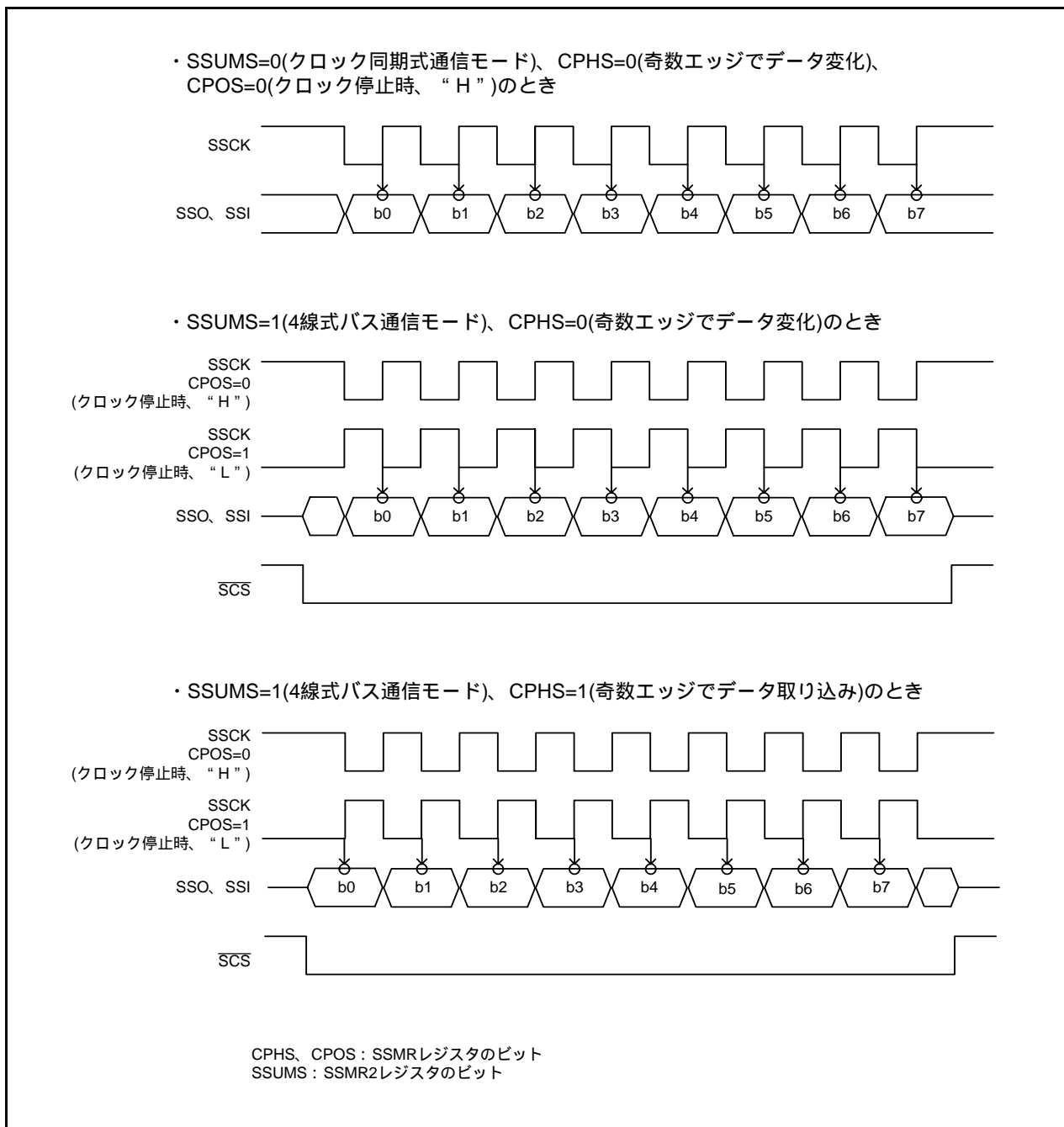


図27.2 転送クロックの極性、位相および転送データの関係

27.3.2 SSシフトレジスタ (SSTRSR)

SSTRSRレジスタはシリアルデータを送受信するシフトレジスタです。

SSTD Rレジスタから SSTRSR レジスタに送信データが転送されるとき、SSMR レジスタのMLS ビットが“0”(MSB ファースト)の場合は、SSTD Rレジスタのビット0がSSTRSR レジスタのビット0に転送されます。MLS ビットが“1”(LSB ファースト)の場合は、SSTD Rレジスタのビット7がSSTRSR レジスタのビット0に転送されます。

27.3.2.1 データ入出力端子とSSシフトレジスタの関係

SSCRH レジスタのMSS ビットとSSMR2 レジスタのSSUMS ビットとの組み合わせにより、データ入出力端子とSSTRSR レジスタの接続関係が変わります。また、SSMR2 レジスタのBIDE ビットによっても接続関係が変わります。図27.3にデータ入出力端子とSSTRSR レジスタの接続関係を示します。

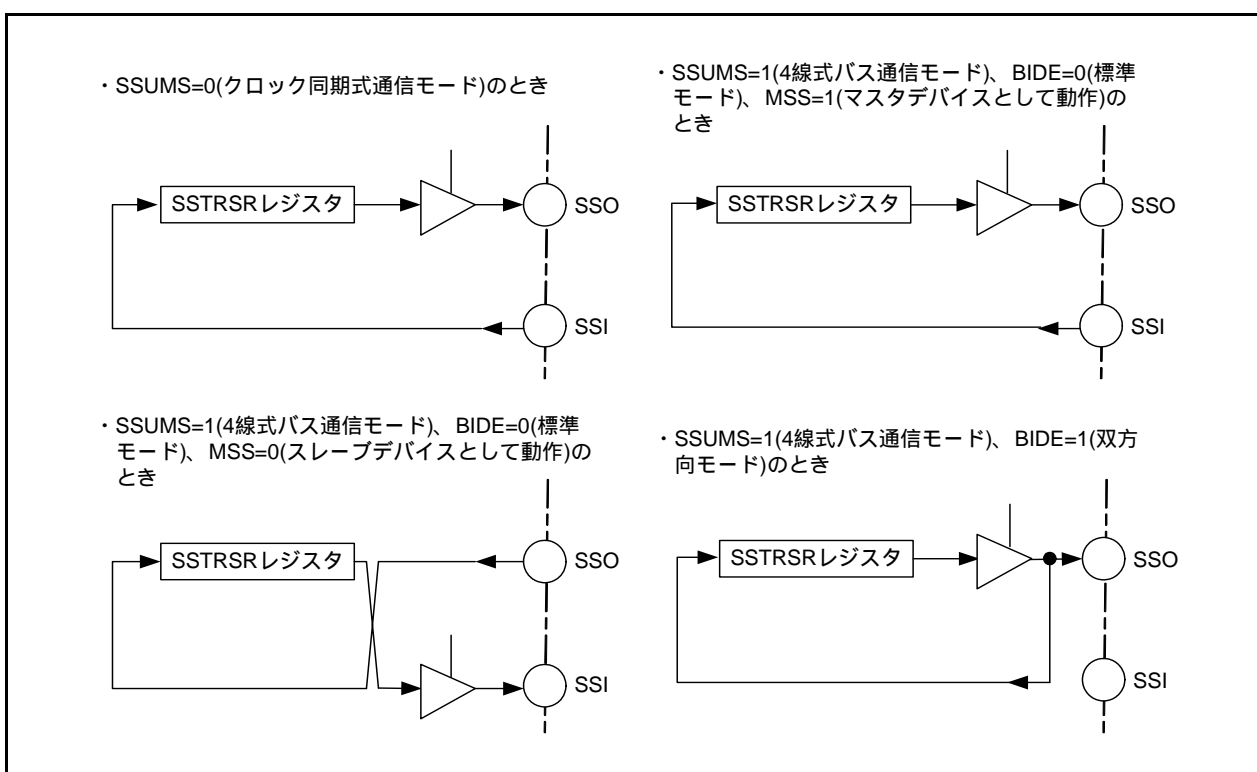


図27.3 データ入出力端子とSSTRSRレジスタの接続関係

27.3.3 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 27.3 にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表 27.3 シンクロナスシリアルコミュニケーションユニットの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE=1 かつ TDRE=1
送信終了	TEI	TEIE=1 かつ TEND=1
受信データフル	RXI	RIE=1 かつ RDRF=1
オーバランエラー	OEI	RIE=1 かつ ORER=1
コンフリクトエラー	CEI	CEIE=1 かつ CE=1

CEIE、RIE、TEIE、TIE : SSER レジスタのビット

ORER、RDRF、TEND、TDRE : SSSR レジスタのビット

表 27.3 の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を “0” にしてください。

ただし、TDRE ビットおよび TEND ビットは SSTDR レジスタに送信データを書くことで、RDRF ビットは SSRDR レジスタを読むことで自動的に “0” になります。特に TDRE ビットは SSTDR レジスタに送信データを書いたとき、同時に再度 TDRE ビットが “1” (SSTDR レジスタから SSTRSR レジスタにデータ転送された) になり、さらに TDRE ビットを “0” (SSTDR レジスタから SSTRSR レジスタにデータ転送されていない) にすると、余分に 1 バイト送信する場合があります。

27.3.4 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードでSSCRHレジスタのMSSビットと、SSERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。表 27.4 に通信モードと入出力端子の関係を示します。

表 27.4 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態		
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK
クロック同期式通信モード	0	無効	0	0	1	入力	(注1)	入力
				1	0	(注1)	出力	入力
					1	入力	出力	入力
			1	0	1	入力	(注1)	出力
				1	0	(注1)	出力	出力
					1	入力	出力	出力
4線式バス通信モード	1	0	0	0	1	(注1)	入力	入力
				1	0	出力	(注1)	入力
					1	出力	入力	入力
			1	0	1	入力	(注1)	出力
				1	0	(注1)	出力	出力
					1	入力	出力	出力
4線式バス(双方向)通信モード(注2)	1	1	0	0	1	(注1)	入力	入力
				1	0	(注1)	出力	入力
			1	0	1	(注1)	入力	出力
				1	0	(注1)	出力	出力

注1. プログラマブル入出力ポートとして使用できます。

注2. 4線式バス(双方向)通信モード時は、TEおよびREビットを共に“1”にしないでください。

SSUMS、BIDE : SSMR2レジスタのビット

MSS : SSCRHレジスタのビット

TE、RE : SSERレジスタのビット

27.4 クロック同期式通信モード

27.4.1 クロック同期式通信モードの初期化

図27.4にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

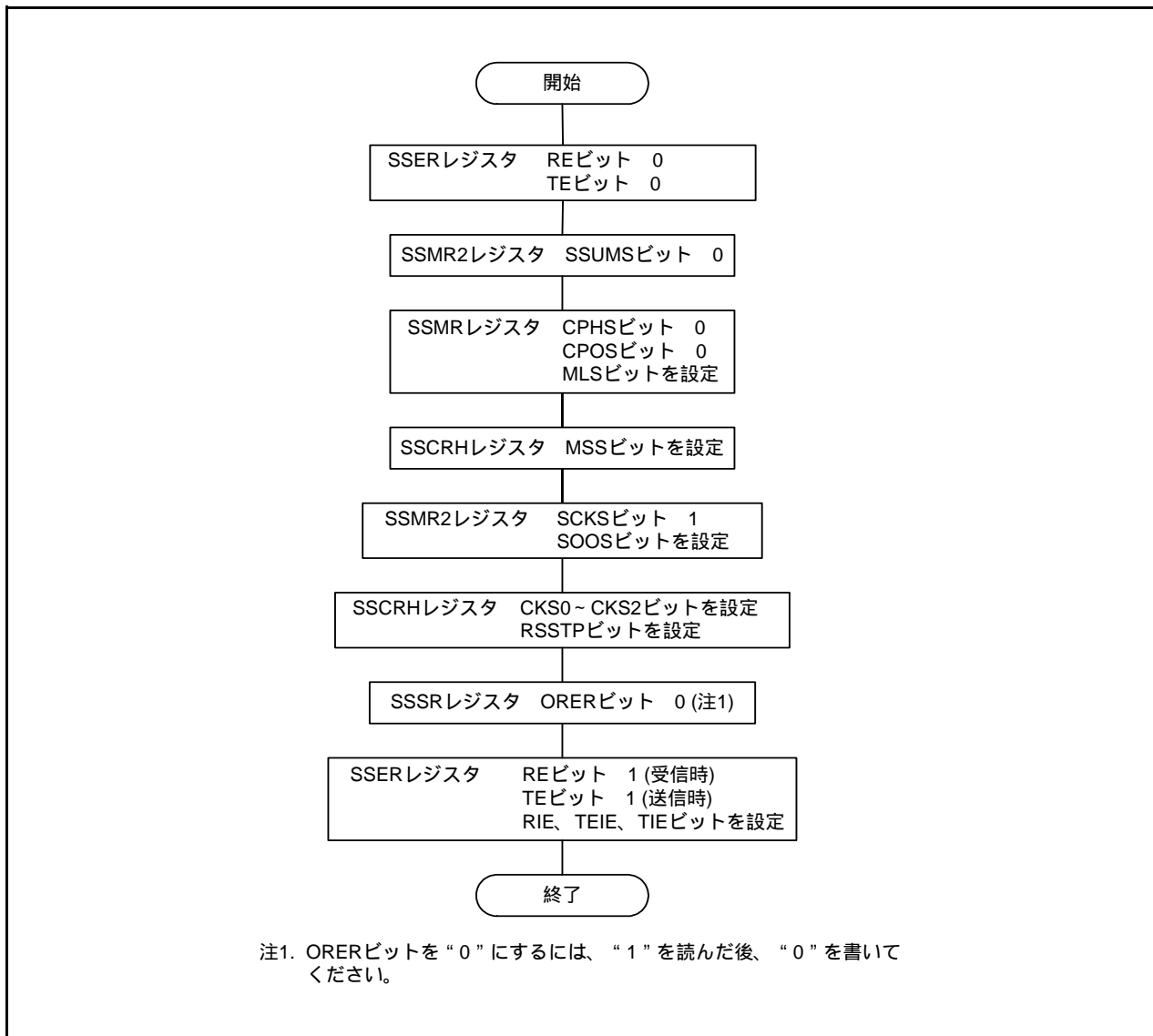


図27.4 クロック同期式通信モードの初期化

27.4.2 データ送信

図27.5にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

TEビットを“1”(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求を発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は“H”に固定されます。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

図27.6にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

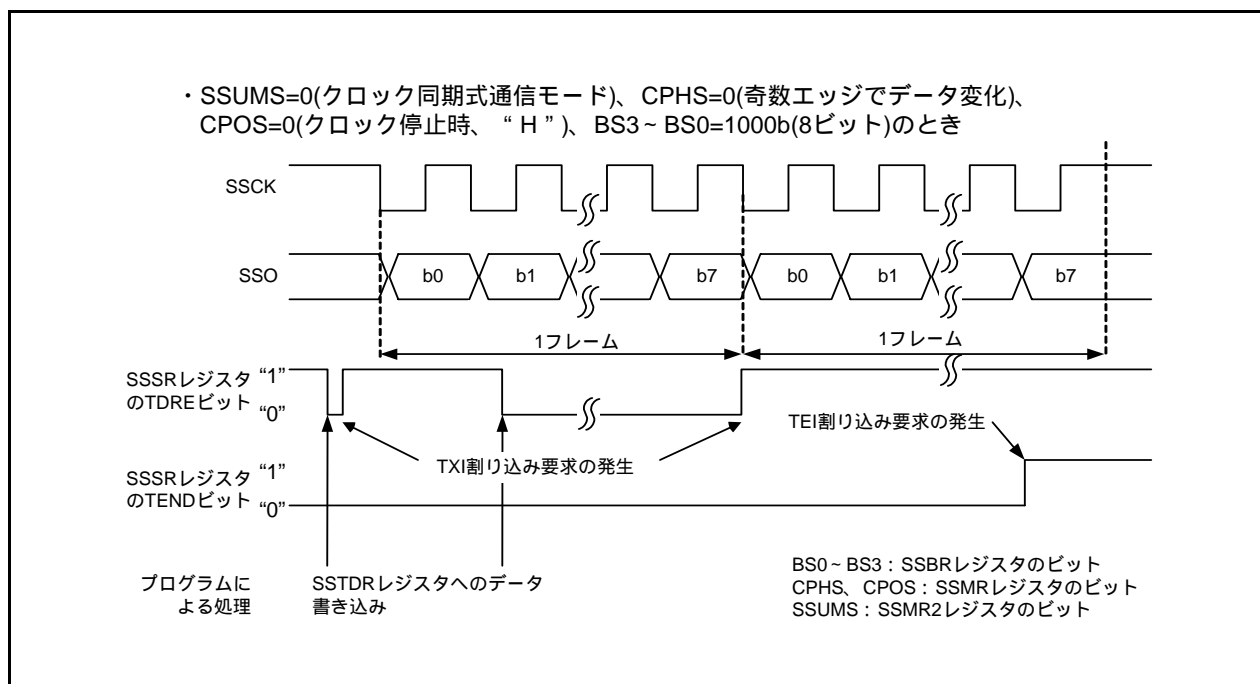


図27.5 データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

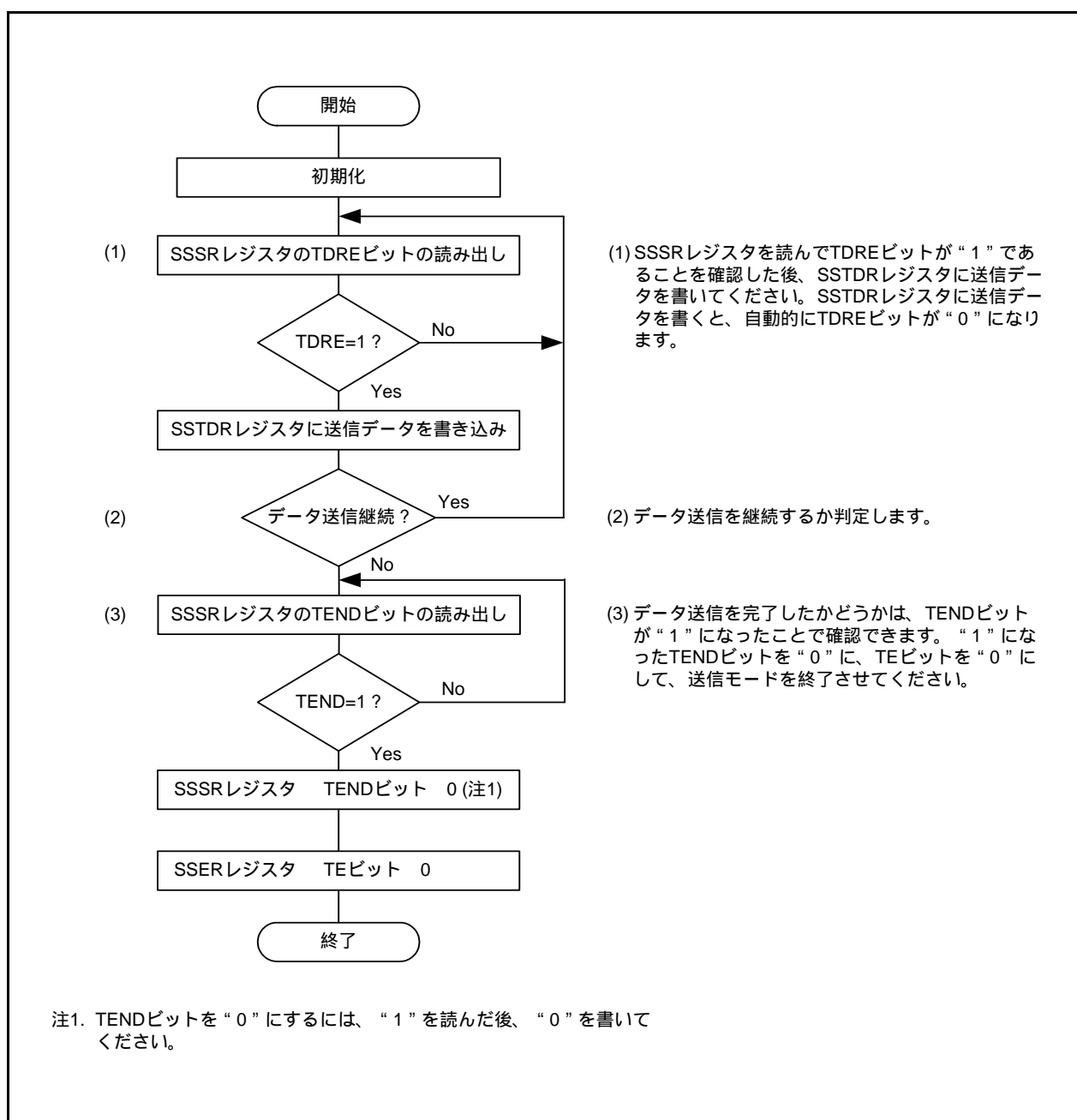


図27.6 データ送信のフローチャート例(クロック同期式通信モード)

27.4.3 データ受信

図27.7にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SSRDR レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)の状態ではSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません。受信再開の前には、ORERビットが“0”であることを確認してください。

図27.8にデータ受信のフローチャート例(MSS=1)(クロック同期式通信モード)を示します。

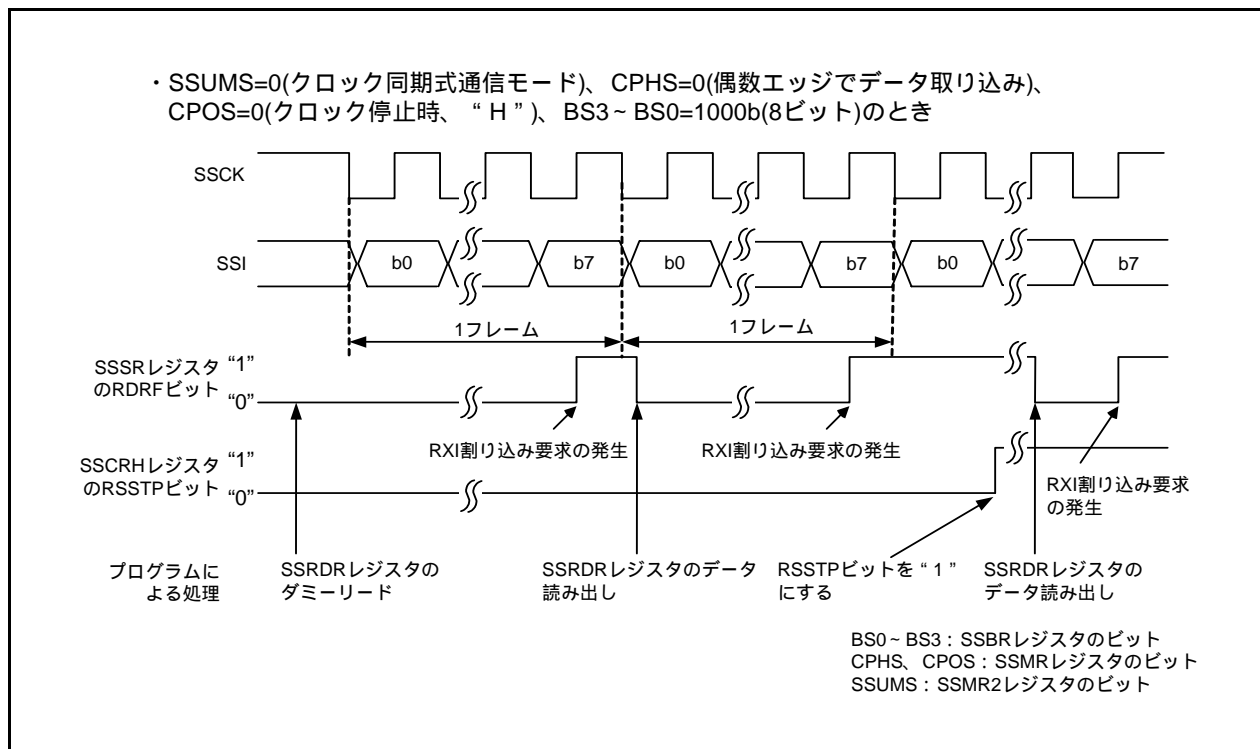


図27.7 データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

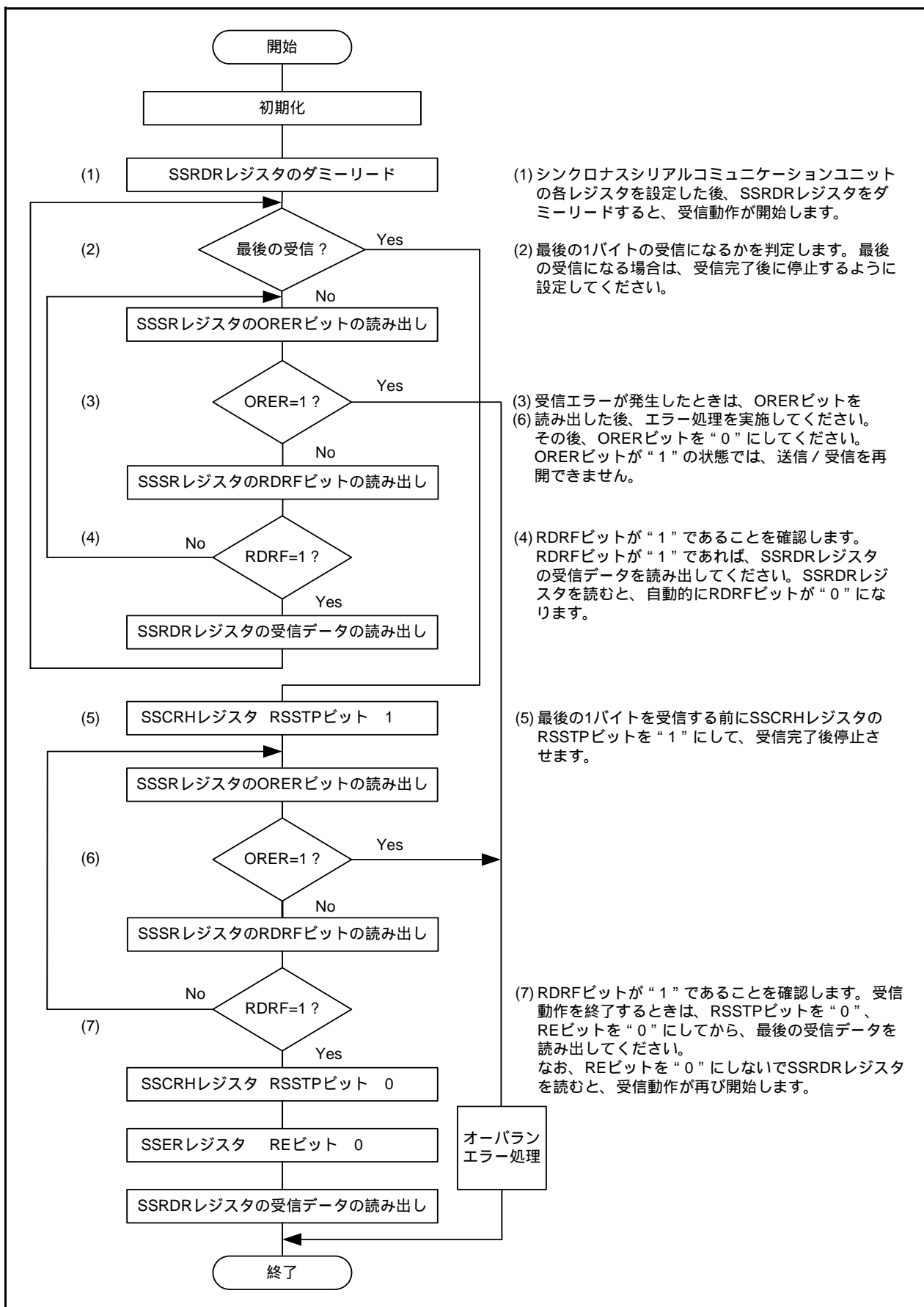


図 27.8 データ受信のフローチャート例 (MSS=1) (クロック同期式通信モード)

27.4.3.1 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDR レジスタに送信データを書くと、送受信は開始されます。また、TDRE ビットが“1”(SSTDR レジスタから SSTRSR レジスタにデータ転送された)の状態では最終転送クロック (SSBR レジスタでデータ転送長を8～16ビットの範囲で、設定することができます)が立ち上がった場合、または ORER ビットが“1”(オーバーランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード (TE=1)あるいは受信モード (RE=1)から、送受信モード (TE=RE=1)に切り替える場合は、一度 TE ビットを“0”、RE ビットを“0”にしてから変更してください。また、TEND ビットが“0”(送信データの最後尾ビットの送信時、TDRE ビットが“0”)、RDRF ビットが“0”(SSRDR レジスタにデータなし)、ORER ビットが“0”(オーバーランエラーなし)であることを確認した後、TE および RE ビットを“1”にしてください。

図 27.9 にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード (TE=RE=1)から送受信モードを解除する場合、SSRDR レジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- まず RE ビットを“0”にして、その後、TE ビットを“0”にする
- TE ビットと RE ビットを同時に“0”にする

その後、受信モード (TE=0、RE=1)にする場合は、SRES ビットに“1”を書いた後、“0”にして SSU 制御部および SSTRSR レジスタを初期化してから、RE ビットを“1”にしてください。

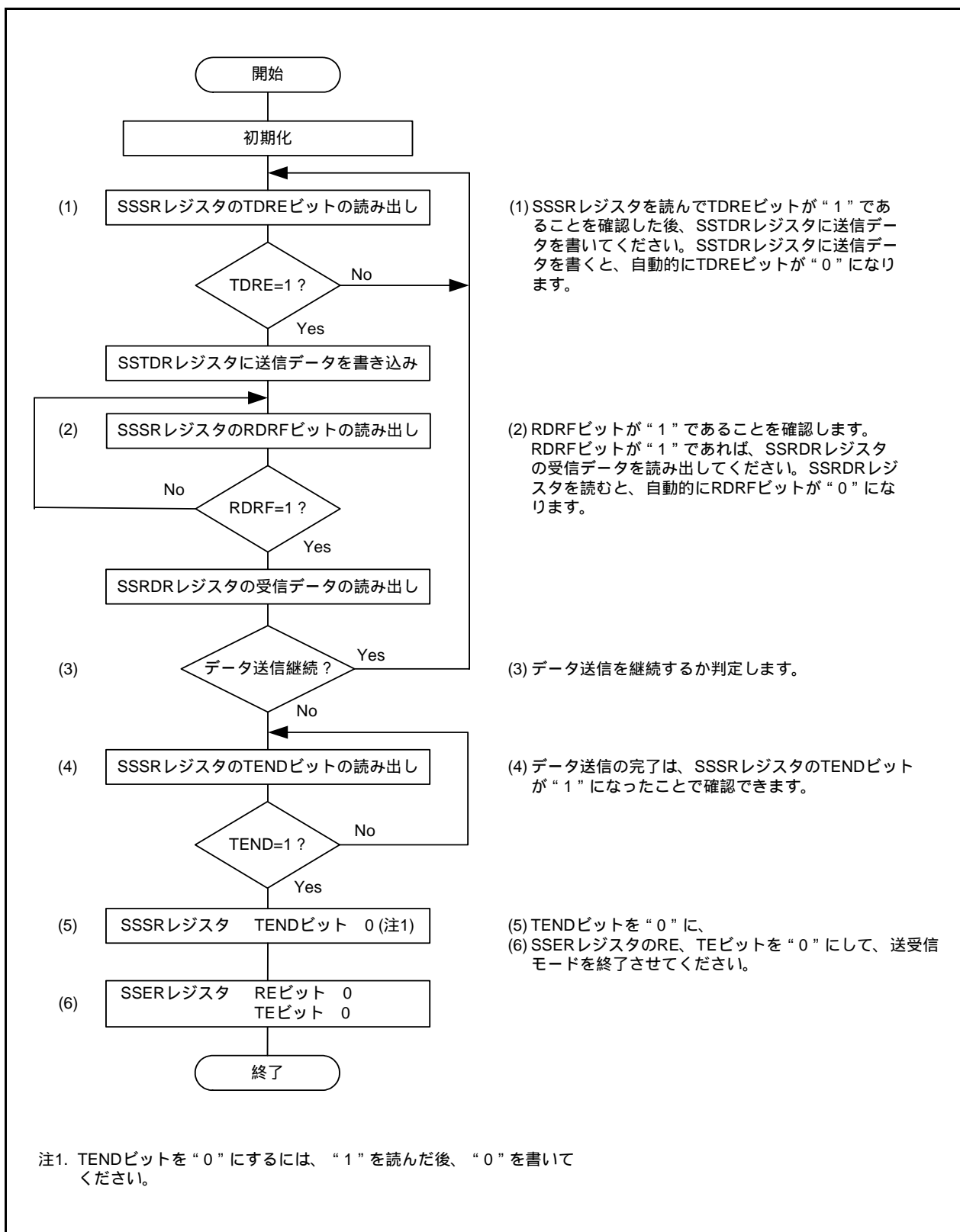


図27.9 データ送受信のフローチャート例(クロック同期式通信モード)

27.5 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SSCRHレジスタのMSSビットおよびSSMR2レジスタのBIDEビットの設定により、変わります。詳細は「27.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータのことをSSMRレジスタのCPOSビットおよびCPHSビットにより、設定できます。詳細は「27.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2レジスタのCSS1ビットを“1”にしてSCS端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2レジスタのCSS1、CSS0ビットを“01b”にしてSCS端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

27.5.1 4線式バス通信モードの初期化

図 27.10 に 4 線式バス通信モードの初期化を示します。データの送信/受信前に、SSER レジスタの TE ビットを “0” (送信禁止)、RE ビットを “0” (受信禁止) して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TE ビットを “0”、RE ビットを “0” にしてから変更してください。

RE ビットを “0” にしても、RDRF、ORER の各フラグ、および SSRDR レジスタの内容は保持されます。

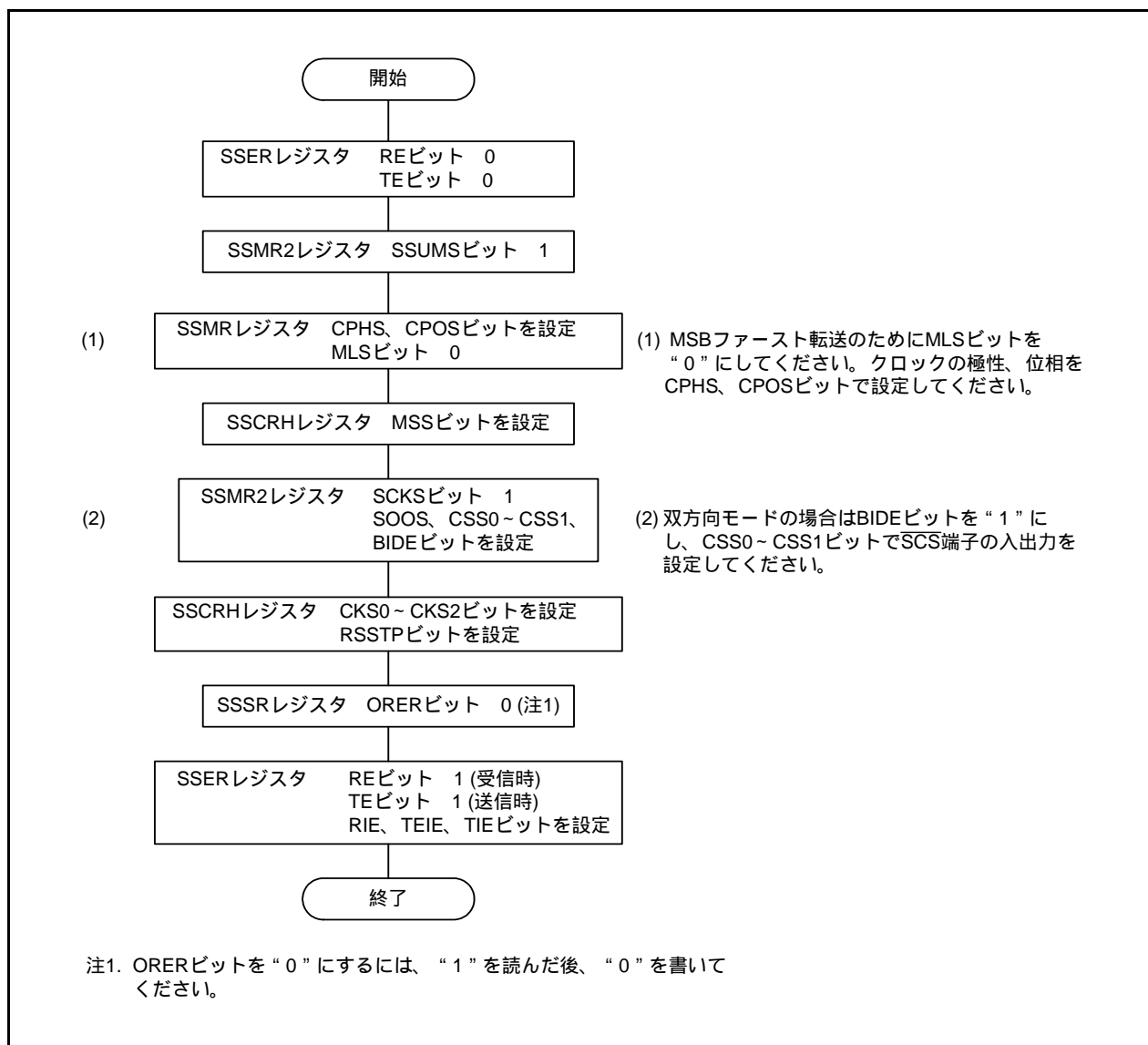


図 27.10 4線式バス通信モードの初期化

27.5.2 データ送信

図 27.11 にデータ送信時の動作例 (4 線式バス通信モード、SSU データ転送長 8 ビット) を示します。データ送信時は以下のように動作します (SSBR レジスタでデータ転送長を 8 ~ 16 ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS 端子が“L”入力状態で入力クロックに同期してデータを出力します。

TE ビットを“1” (送信許可) にした後、SSTDR レジスタに送信データを書くと、自動的に TDRE ビットが“0” (SSTDR レジスタから SSTRSR レジスタにデータ転送されていない) になり、SSTDR レジスタから SSTRSR レジスタにデータが転送されます。その後、TDRE ビットが“1” (SSTDR レジスタから SSTRSR レジスタにデータ転送された) になり、送信を開始します。このとき、SSER レジスタの TIE ビットが“1”の場合、TXI 割り込み要求を発生します。

TDRE ビットが“0”の状態では 1 フレームの転送が終わると、SSTDR レジスタから SSTRSR レジスタにデータが転送され、次フレームの送信を開始します。TDRE が“1”の状態では 8 ビット目が送出されると、SSSR レジスタの TEND ビットが“1” (送信データの最後尾ビットの送信時、TDRE ビットが“1”) になり、その状態を保持します。このとき SSER レジスタの TEIE ビットが“1” (送信終了割り込み要求許可) の場合、TEI 割り込み要求を発生します。送信終了後、SSCK 端子は“H”に固定され、SCS 端子は“H”になります。SCS 端子が“L”のまま連続的に送信する場合、8 ビット目が送出される前に次の送信データを SSTDR レジスタに書いてください。

なお、SSSR レジスタの ORER ビットが“1” (オーバランエラー発生) の状態では、送信できません。送信の前には、ORER ビットが“0”であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時に SCS 端子がハイインピーダンス状態では、SSO 端子がハイインピーダンス状態となり、スレーブデバイス時に SCS 端子が“H”入力状態では、SSI 端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです (「図 27.6 データ送信のフローチャート例 (クロック同期式通信モード)」参照)。

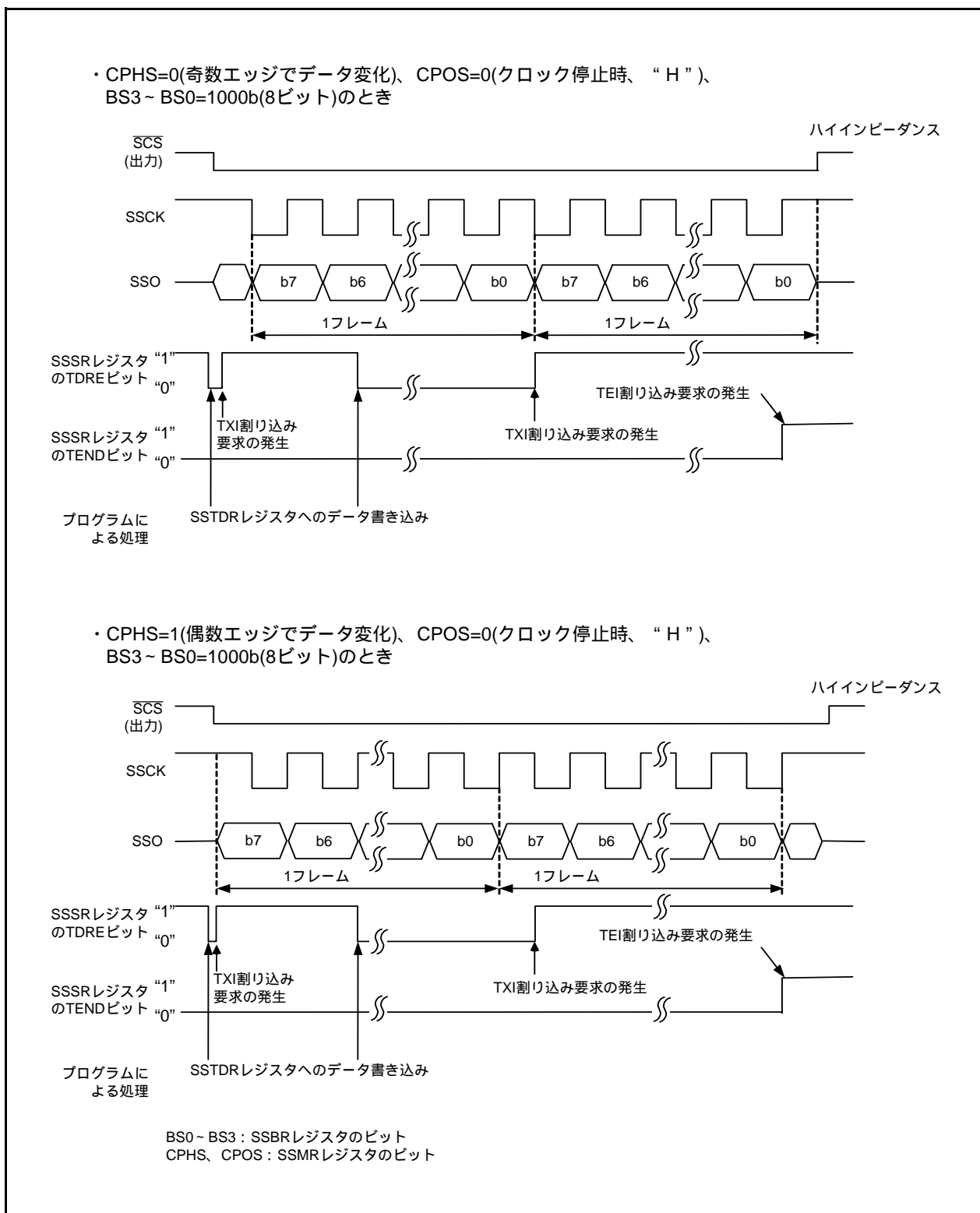


図 27.11 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

27.5.3 データ受信

図 27.12 にデータ受信時の動作例 (4 線式バス通信モード、SSU データ転送長 8 ビット) を示します。データ受信時は以下のように動作します (SSBR レジスタでデータ転送長を 8 ~ 16 ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS 端子が “L” 入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SSRDR レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8 ビットのデータ受信後、SSSR レジスタの RDRF ビットが “1” (SSRDR レジスタにデータあり) になり、SSRDR レジスタに受信データが格納されます。このとき、SSER レジスタの RIE ビットが “1” (RXI および OEI 割り込み要求許可) の場合、RXI 割り込み要求を発生します。SSRDR レジスタを読むと、自動的に RDRF ビットは “0” (SSRDR レジスタにデータなし) になります。

マスタデバイスに設定し受信を終了する場合には、SSCRH レジスタの RSSTP ビットを “1” (1 バイトのデータ受信後、受信動作が終了) にした後、受信したデータを読んでください。これにより、8 ビット分クロックを出力し停止します。その後、SSER レジスタの RE ビットを “0” (受信禁止) に、RSSTP ビットを “0” (1 バイトのデータ受信後も受信動作を継続) にし、最後に受信したデータを読んでください。RE ビットが “1” (受信許可) 状態で SSRDR レジスタを読むと、受信クロックを再度出力してしまいます。

RDRF ビットが “1” の状態で 8 クロック目が立ち上がると、SSSR レジスタの ORER ビットが “1” (オーバランエラー発生) になり、オーバランエラー (OEI) が発生し、停止します。なお、ORER ビットが “1” の状態では受信できません、受信再開の前には、ORER ビットが “0” であることを確認してください。

RDRF ビット、ORER ビットが “1” になるタイミングは、SSMR レジスタの CPHS ビットの設定により異なります。このタイミングを図 27.12 に示します。CPHS ビットを “1” (奇数エッジでデータ取り込み) にした場合、フレームの途中でビットが “1” になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです (「図 27.8 データ受信のフローチャート例 (MSS=1) (クロック同期式通信モード)」参照)。

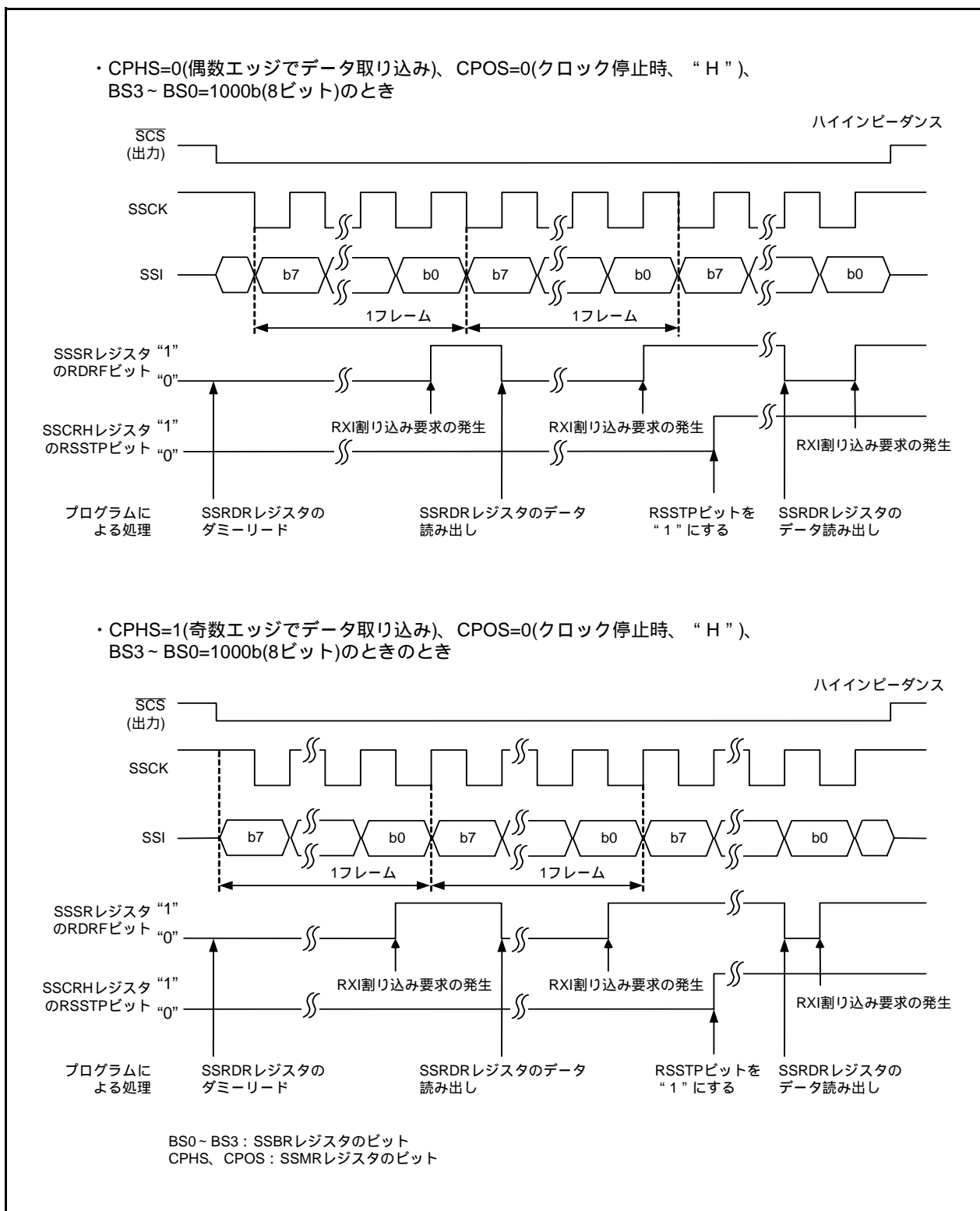


図 27.12 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

27.5.4 SCS 端子制御とアービトレーション

SSMR2 レジスタの SSUMS ビットを “1” (4 線式バス通信モード)、CSS1 ビットを “1” (SCS 出力端子として機能) にした場合には、SSCRH レジスタの MSS ビットを “1” (マスタデバイスとして動作) にしてからシリアル転送を開始する前に、SCS 端子のアービトレーションをチェックします。この期間に同期化した内部 SCS 信号が “L” になったことを検出すると、SSSR レジスタの CE ビットが “1” (コンフリクトエラー発生) になり、自動的に MSS ビットが “0” (スレーブデバイスとして動作) になります。

図 27.13 にアービトレーションチェックタイミングを示します。

なお、CE ビットが “1” の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CE ビットを “0” (コンフリクトエラーなし) にしてください。

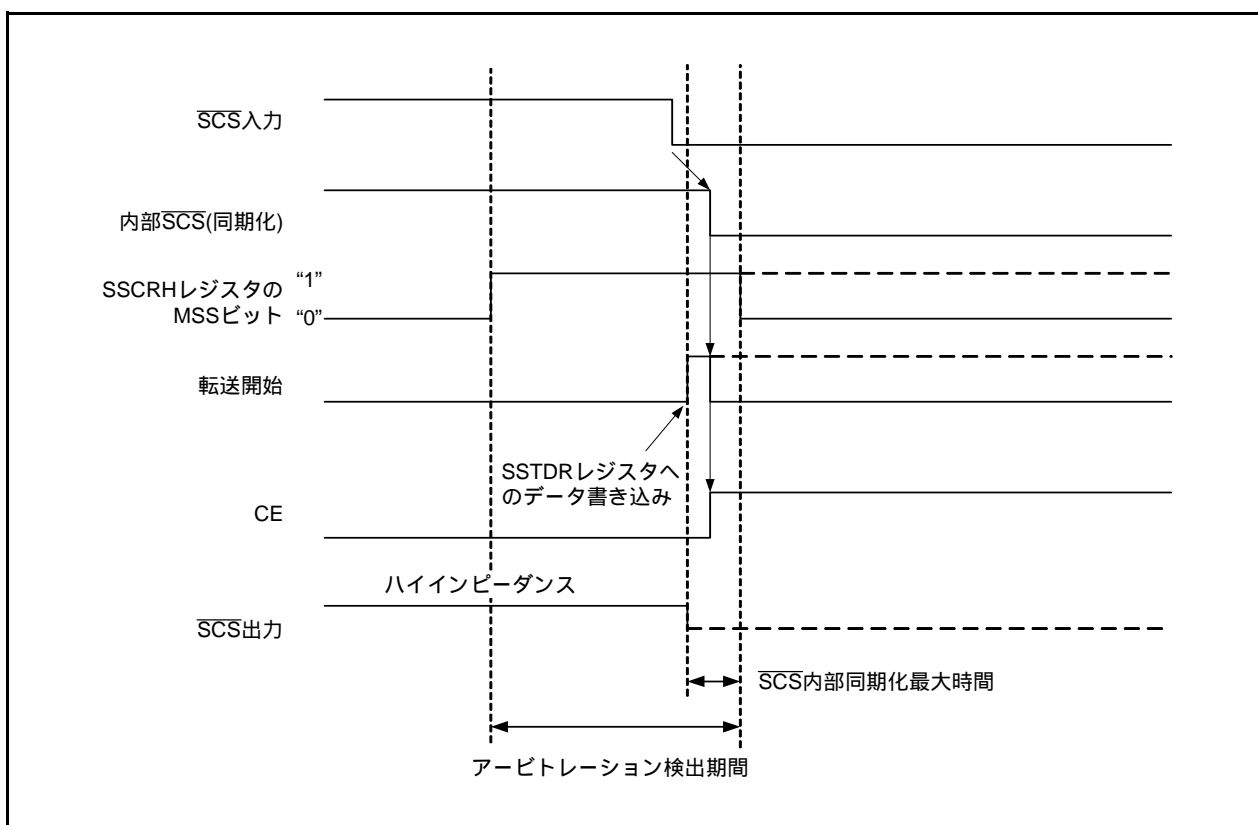


図 27.13 アービトレーションチェックタイミング

27.6 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSR レジスタの IICSEL ビットを “0” (SSU 機能を選択) にしてください。

28. I²C バスインタフェース

I²C バスインタフェースは、フィリップス社 I²C バスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。

28.1 概要

表 28.1 に I²C バスインタフェースの仕様を、図 28.1 に I²C バスインタフェースブロック図を、図 28.2 に SCL、SDA 端子の外部回路接続例を、表 28.2 に I²C バスインタフェースの端子構成を示します。

表 28.1 I²C バスインタフェースの仕様

項目	仕様
通信フォーマット	<ul style="list-style-type: none"> • I²C バスフォーマット <ul style="list-style-type: none"> - マスタ/スレーブデバイスの選択可能 - 連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため) - マスタモードでは開始条件、停止条件の自動生成 - 送信時、アクノリッジビットを自動ロード - ビット同期、ウェイト機能内蔵(マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取る。転送準備ができていない場合、SCL を “L” にして待機させる。) - SCL、SDA 端子の直接駆動(Nチャネルオープンドレイン出力)が可能 • クロック同期式シリアルフォーマット <ul style="list-style-type: none"> - 連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)
入出力端子	SCL(入出力) : シリアルクロック入出力端子 SDA(入出力) : シリアルデータ入出力端子
転送クロック	<ul style="list-style-type: none"> • ICCR1 レジスタの MST ビットが “0” のとき 外部クロック (SCL 端子から入力) • ICCR1 レジスタの MST ビットが “1” のとき ICCR1 レジスタの CKS0 ~ CKS3 ビットおよび PINSR レジスタの IICTCTWI ビット、IICTCHALF ビットで選択する内部クロック (SCL 端子から出力)
受信エラーの検出	<ul style="list-style-type: none"> • オーバランエラーを検出(クロック同期式シリアルフォーマット) 受信時にオーバランエラーが発生したことを示す。ICSR レジスタの RDRF ビットが “1” (ICDRR レジスタにデータあり) の状態で、次のデータの最終ビットを受信したとき、AL ビットが “1” になる
割り込み要因	<ul style="list-style-type: none"> • I²C バスフォーマット 6 種類(注 1) 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出、停止条件検出 • クロック同期式シリアルフォーマット 4 種類(注 1) 送信データエンプティ、送信終了、受信データフル、オーバランエラー
選択機能	<ul style="list-style-type: none"> • I²C バスフォーマット <ul style="list-style-type: none"> - 受信時、アクノリッジの出力レベルを選択可能 • クロック同期式シリアルフォーマット <ul style="list-style-type: none"> - データ転送方向に MSB ファーストまたは LSB ファーストを選択可能 • SDA のデジタル遅延 <ul style="list-style-type: none"> - PINSR レジスタの SDADLY0 ~ SDADLY1 ビットで SDA 端子のデジタル遅延値を選択可能

注 1. 割り込みベクタテーブルは I²C バスインタフェースの 1 つです。

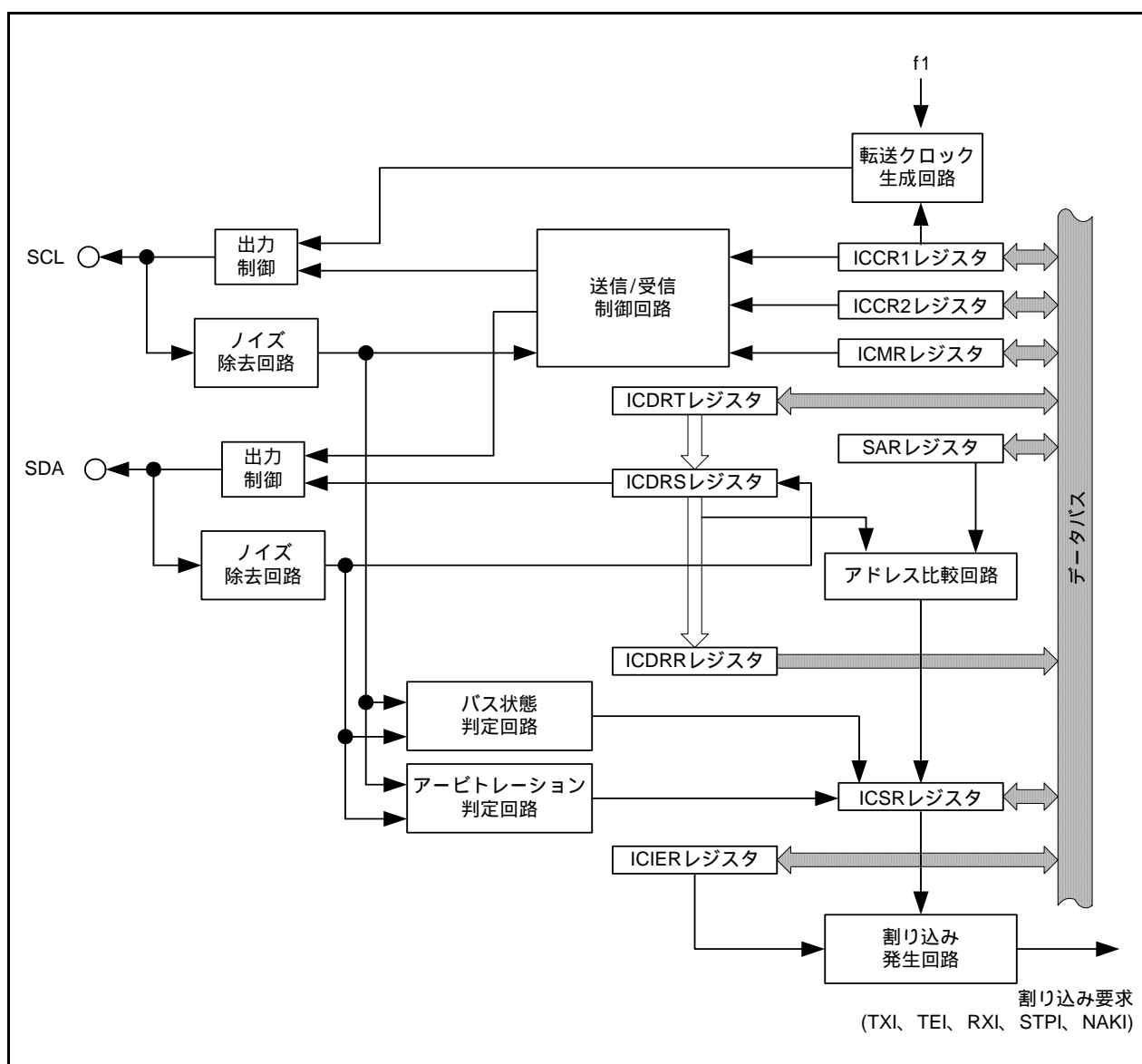


図28.1 I²Cバスインタフェースブロック図

表28.2 I²Cバスインタフェースの端子構成

端子名	割り当てる端子	機能
SCL	P3_5	クロック入出力
SDA	P3_7	データ入出力

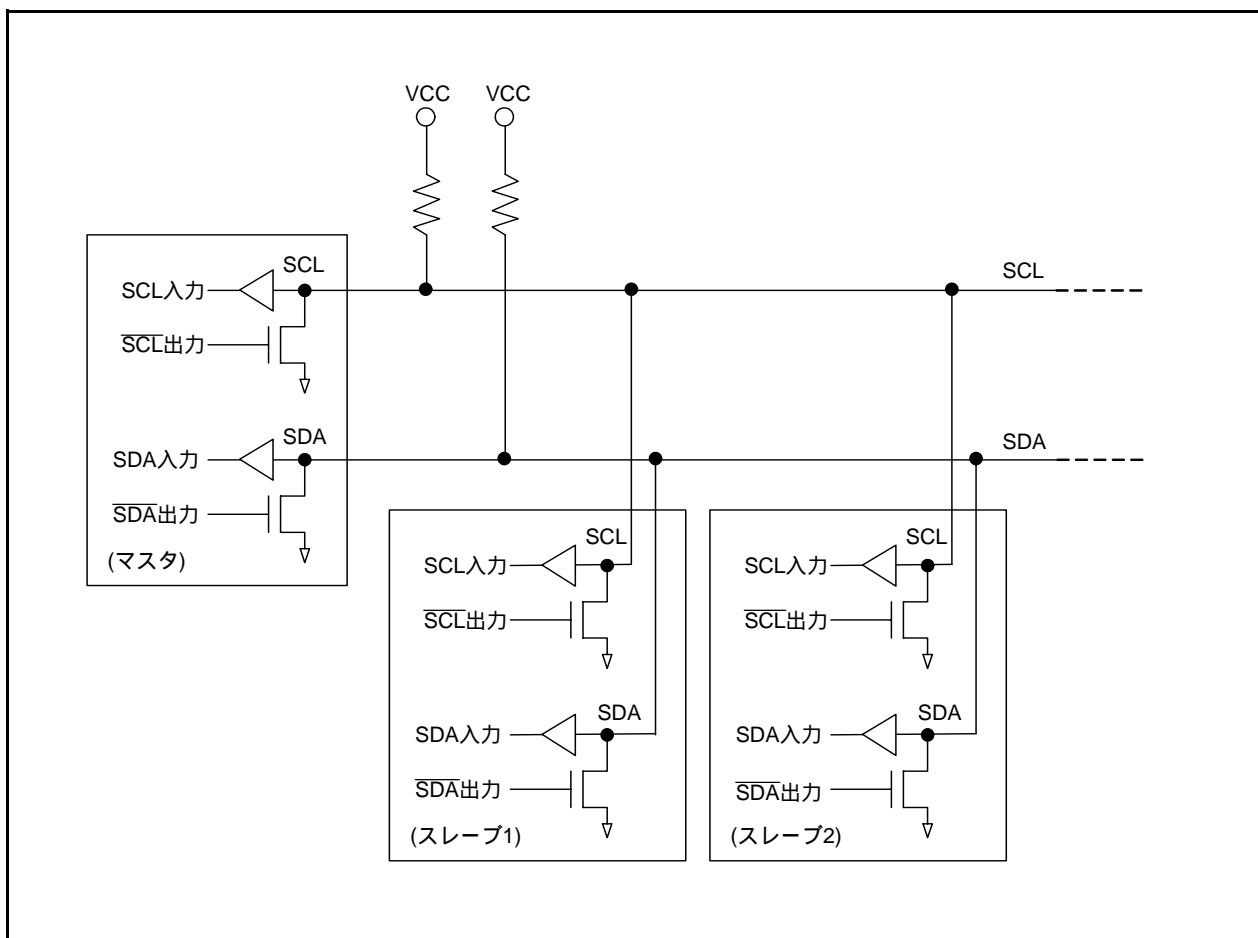


図28.2 SCL、SDA端子の外部回路接続例

28.2 レジスタの説明

28.2.1 モジュールスタンバイ制御レジスタ (MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MSTTRG	MSTTRC	MSTTRD	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I ² C バススタンバイビット	0: アクティブ 1: スタンバイ (注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0: アクティブ 1: スタンバイ (注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ (注4)	R/W
b6	MSTTRG	タイマRGスタンバイビット	0: アクティブ 1: スタンバイ (注5)	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

- 注1. MSTIIC ビットが“1” (スタンバイ) のとき、SSU、I²C バス関連レジスタ (0193h ~ 019Dh 番地) へのアクセスは無効になります。
- 注2. MSTTRD ビットが“1” (スタンバイ) のとき、タイマRD関連レジスタ (0135h ~ 015Fh 番地) へのアクセスは無効になります。
- 注3. MSTTRD ビットを“1” (スタンバイ) にする場合、TRDCR_i (i=0 ~ 1) レジスタのTCK2 ~ TCK0 ビットを“000b” (f1) にしてください。
- 注4. MSTTRC ビットが“1” (スタンバイ) のとき、タイマRC関連レジスタ (0120h ~ 0133h 番地) へのアクセスは無効になります。
- 注5. MSTTRG ビットが“1” (スタンバイ) のとき、タイマRG関連レジスタ (0170h ~ 017Fh 番地) へのアクセスは無効になります。

28.2.2 SSU/IIC 端子選択レジスタ (SSUICSR)

アドレス 018Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I ² C バス切り替えビット	0: SSU 機能を選択 1: I ² C バス機能を選択	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-	予約ビット	“0” にしてください	-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

28.2.3 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	-	-	XCSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	XCSEL	XCIN/XCOUT 端子接続 ビット	0 : XCIN を P4_3、XCOUT を P4_4 に接続しない 1 : XCIN を P4_3、XCOUT を P4_4 に接続する	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		-
b3	IOINSEL	I/O ポート入力機能選択 ビット	0 : I/O ポートの入力機能は PDi (i=0 ~ 9) レジスタに依存 PDi レジスタの PDi_j (j=0 ~ 7) ビットが “0” (入力 モード) のとき、端子の入力レベルを読む。 PDi レジスタの PDi_j ビットが “1” (出力モード) のと き、ポートラッチを読む。 1 : I/O ポートの入力機能は PDi レジスタに関係なく、 端子の入力レベルを読む	R/W
b4	IICTCTWI	I ² C 転送レート 2 倍選択 ビット	0 : ICCR1 レジスタの CKS0 ~ CKS3 ビットの設定値通り の転送レート 1 : ICCR1 レジスタの CKS0 ~ CKS3 ビットの設定値の 2 倍の転送レート	R/W
b5	IICTCHALF	I ² C 転送レート 1/2 倍選択 ビット	0 : ICCR1 レジスタの CKS0 ~ CKS3 ビットの設定値通り の転送レート 1 : ICCR1 レジスタの CKS0 ~ CKS3 ビットの設定値の 1/2 倍の転送レート	R/W
b6	SDADLY0	SDA 端子デジタル遅延選択 ビット	b7 b6 0 0 : 3 × f1 サイクルのデジタル遅延 0 1 : 11 × f1 サイクルのデジタル遅延 1 0 : 19 × f1 サイクルのデジタル遅延 1 1 : 設定しないでください	R/W
b7	SDADLY1			R/W

XCSEL ビット (XCIN/XCOUT 端子接続ビット)

XCSEL ビットは XCIN、XCOUT を P4_3、P4_4 に接続するためのビットです。“1” にすると XCIN を P4_3、XCOUT を P4_4 に接続します。XCIN、XCOUT の設定方法は、「9. クロック発生回路」を参照してください。

IOINSEL ビット (I/O ポート入力機能選択ビット)

IOINSEL ビットは PDi (i=0 ~ 9) レジスタの PDi_j (j=0 ~ 7) ビットが “1” (出力モード) のときに、I/O ポートの端子の入力レベルを読むことを選択するためのビットです。“1” にすると I/O ポートの入力機能は、PDi レジスタに関係なく、端子の入力レベルを読みます。

表 28.3 に IOINSEL ビットによる I/O ポートの読み出し値を示します。IOINSEL ビットで P4_2 を除くすべての I/O ポートの入力機能を変更できます。

表 28.3 IOINSEL ビットによる I/O ポートの読み出し値

PDi レジスタの PDi_j ビット	“0” (入力モード)		“1” (出力モード)	
IOINSEL ビット	“0”	“1”	“0”	“1”
I/O ポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

28.2.4 IIC バス送信データレジスタ (ICDRT)

アドレス 0194h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7 ~ b0	送信データを保管。 ICDRS レジスタの空きが検出されると、保管されている送信データがICDRS レジスタへ転送されて、送信が開始します。 ICDRS レジスタからデータを送信中に、ICDRT レジスタに次の送信データを書いておくと、連続して送信できます。 ICMR レジスタのMLS ビットが “ 1 (LSB ファーストでデータ転送) ” の場合、ICDRT レジスタに書いた後、読み出すと MSB と LSB が反転したデータが読み出されます。	R/W

28.2.5 IIC バス受信データレジスタ (ICDRR)

アドレス 0196h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7 ~ b0	受信データを保管。 ICDRS レジスタが1バイトのデータを受信すると、ICDRR レジスタへ受信データが転送されて、次の受信が可能になります。	R

28.2.6 IICバス制御レジスタ1 (ICCR1)

アドレス 0198h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット3～0 (注1)	b3 b2 b1 b0 0 0 0 0 : f1/28	R/W
b1	CKS1		0 0 0 1 : f1/40	R/W
b2	CKS2		0 0 1 0 : f1/48	R/W
b3	CKS3		0 0 1 1 : f1/64 0 1 0 0 : f1/80 0 1 0 1 : f1/100 0 1 1 0 : f1/112 0 1 1 1 : f1/128 1 0 0 0 : f1/56 1 0 0 1 : f1/80 1 0 1 0 : f1/96 1 0 1 1 : f1/128 1 1 0 0 : f1/160 1 1 0 1 : f1/200 1 1 1 0 : f1/224 1 1 1 1 : f1/256	R/W
b4	TRS	送信/受信選択ビット (注2、3、6)	b5 b4 0 0 : スレーブ受信モード (注4) 0 1 : スレーブ送信モード 1 0 : マスタ受信モード 1 1 : マスタ送信モード	R/W
b5	MST	マスタ/スレーブ選択ビット (注5、6)		R/W
b6	RCVD	受信禁止ビット	TRS=0の状態ではICDRRレジスタを読んだ後、 0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0 : 本モジュールは機能停止状態 (SCL、SDA端子はポート機能) 1 : 本モジュールは転送動作可能状態 (SCL、SDA端子はバス駆動状態)	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては、「表 28.4 ～表 28.5 転送レート例」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間はCKS3=0のとき10T_{cyc}、CKS3=1のとき20T_{cyc}となります。(1T_{cyc}=1/f1(s))

注2. TRSビットは転送フレーム間で書き換えてください。

注3. スレーブ受信モードで開始条件後の7ビットがSARレジスタに設定したスレーブアドレスと一致し、8ビット目が“1”の場合、TRSビットが“1”になります。

注4. I²Cバスフォーマットのマスタモードでバス競合負けすると、MSTおよびTRSビットが“0”になり、スレーブ受信モードになります。

注5. クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MSTビットが“0”になり、スレーブ受信モードになります。

注6. マルチマスタで使用する場合、TRSおよびMSTビットの設定にはMOV命令を使用してください。

28.2.7 IIC バス制御レジスタ2 (ICCR2)

アドレス 0199h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	-
b1	IICRST	I ² C バス制御部リセットビット	I ² C バスの動作中に、通信不具合等によりハングアップしたとき、“1”を書くとポートの設定、レジスタの初期化をせずに、I ² C バスの制御部をリセットします。	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	-
b3	SCLO	SCL モニタフラグ	0: SCL 端子は“L” 1: SCL 端子は“H”	R
b4	SDAOP	SDAO ライトプロテクトビット	SDAO ビットを書き換えるとき、同時に“0”を書いてください。(注1) 読んだ場合、その値は“1”。	R/W
b5	SDAO	SDA 出力値制御ビット	読んだ場合 0: SDA 端子出力が“L” 1: SDA 端子出力が“H” 書いた場合(注1、2) 0: SDA 端子出力を“L”に変更する。 1: SDA 端子出力をハイインピーダンスに変更する(外部プルアップ抵抗によって、“H”出力)。	R/W
b6	SCP	開始/停止条件発行禁止ビット	BBSY ビットに書くとき、同時に“0”を書いてください。(注3) 読んだ場合、その値は“1”。“1”書き込みは無効になります。	R/W
b7	BBSY	バスビジービット(注4)	読んだ場合 0: バスが開放状態(SCL 信号が“H”の状態です)DA 信号が“L”から“H”に変化) 1: バスが占有状態(SCL 信号が“H”の状態です)DA 信号が“H”から“L”に変化) 書いた場合(注3) 0: 停止条件を発行 1: 開始条件を発行	R/W

注1. SDAO ビットを書き換える場合は、同時に SDAOP ビットに“0”を MOV 命令を使用して書いてください。

注2. 転送動作中に書かないでください。

注3. マスタモード時に有効です。BBSY ビットに書く場合は、同時に SCP ビットに“0”を MOV 命令を使用して書いてください。開始条件の再発行時も、同様に実施してください。

注4. クロック同期シリアルフォーマット時は無効です。

28.2.8 IIC バスモードレジスタ(ICMR)

アドレス 019Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	WAIT	-	-	BCWP	BC2	BC1	BC0
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ2～0	I ² C バスフォーマット(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数)(注1、2) b2 b1 b0 000: 9ビット(注3) 001: 2ビット 010: 3ビット 011: 4ビット 100: 5ビット 101: 6ビット 110: 7ビット 111: 8ビット クロック同期式シリアルフォーマット(読み出し時は残りの転送ビット数、書き込み時は常に“000b”を書いてください。) b2 b1 b0 000: 8ビット 001: 1ビット 010: 2ビット 011: 3ビット 100: 4ビット 101: 5ビット 110: 6ビット 111: 7ビット	R/W
b1	BC1			R/W
b2	BC2			R/W
b3	BCWP	BCライトプロテクトビット	BC0～BC2ビットを書き換えるとき、同時に“0”を書いてください。(注2、4) 読んだ場合、その値は“1”。	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-	予約ビット	“0”にしてください	R/W
b6	WAIT	ウェイト挿入ビット(注5)	0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック分“L”を延長)	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送(注6) 1: LSBファーストでデータ転送	R/W

注1. 転送フレーム間で書き換えてください。“000b”以外の値を書くときは、SCL信号が“L”のときに書いてください。

注2. BC0～BC2ビットに書く場合は、同時にBCWPビットに“0”をMOV命令を使用して書いてください。

注3. アクノリッジを含むデータ転送終了後、BC2～BC0ビットは自動的に“000b”になります。開始条件検出時、BC2～BC0ビットは自動的に“000b”になります。

注4. クロック同期式シリアルフォーマット時は書き換えしないでください。

注5. I²C バスフォーマットのマスタモード時に、設定値が有効です。I²C バスフォーマットのスレーブモード時およびクロック同期シリアルフォーマット時は無効です。

注6. I²C バスフォーマット時は、“0”にしてください。

28.2.9 IIC バス割り込み許可レジスタ (ICIER)

アドレス 019Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACKBT	送信アクノリッジ選択ビット	0: 受信モード時、アクノリッジのタイミングで“0”を送出 1: 受信モード時、アクノリッジのタイミングで“1”を送出	R/W
b1	ACKBR	受信アクノリッジビット	0: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“0” 1: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“1”	R
b2	ACKE	アクノリッジビット判定選択ビット	0: 受信アクノリッジの内容を無視して連続的に転送 1: 受信アクノリッジが“1”の場合、転送中止	R/W
b3	STIE	停止条件検出割り込み許可ビット	0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注2)	R/W
b4	NAKIE	NACK 受信割り込み許可ビット	0: NACK 受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求禁止 1: NACK 受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求許可(注1)	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可(注1)	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

注1. オーバーランエラー割り込み要求はクロック同期フォーマット時です。

注2. ICSRレジスタのSTOPビットが“0”のとき、STIEビットを“1”(停止条件検出割り込み要求許可)にしてください。

28.2.10 IIC バスステータスレジスタ (ICSR)

アドレス 019Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ
リセット後の値	0	0	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADZ	ゼネラルコールアドレス認識フラグ (注1、2)	ゼネラルコールアドレス検出したとき、“1” になります	R/W
b1	AAS	スレーブアドレス認識フラグ (注1)	スレーブ受信モードで開始条件直後の第1フレームが SAR レジスタの SVA0 ~ SVA6 と一致した場合、“1” になります (スレーブアドレス検出、ゼネラルコールアドレス検出)	R/W
b2	AL	アービトレーションロストフラグ/オーバランエラーフラグ (注1)	I ² C バスフォーマットの場合、マスタモード時にバス競合負けしたことを示します。次のときに “1” になります (注3) <ul style="list-style-type: none"> マスタ送信モード時、SCL 信号の立ち上がりで内部 SDA 信号と SDA 端子のレベルが不一致のとき マスタ送信/受信モード時、開始条件検出時に SDA 端子が “H” のとき クロック同期フォーマットの場合、オーバランエラーが発生したことを示します。次のときに “1” になります <ul style="list-style-type: none"> RDRF ビットが “1” の状態で、次のデータの最終ビットを受信したとき 	R/W
b3	STOP	停止条件検出フラグ (注1)	フレームの転送の完了後に停止条件を検出したとき、“1” になります	R/W
b4	NACKF	ノーアクノリッジ検出フラグ (注1、4)	送信時、受信デバイスからアクノリッジがなかったとき、“1” になります	R/W
b5	RDRF	受信データレジスタフルフラグ (注1、5)	ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、“1” になります。	R/W
b6	TEND	送信終了フラグ (注1、6)	I ² C バスフォーマットの場合、TDRE ビットが “1” の状態で SCL 信号の9クロック目が立ち上がったとき、“1” になります。 クロック同期フォーマットの場合、送信フレームの最終ビットを送出したとき、“1” になります。	R/W
b7	TDRE	送信データ空フラグ (注1、6)	次のときに “1” になります。 <ul style="list-style-type: none"> ICDRT レジスタから ICDRS レジスタにデータ転送されて、ICDRT レジスタが空になったとき ICCR1 レジスタの TRS ビットを “1” (送信モード) にしたとき 開始条件 (再送含む) を発行したとき スレーブ受信モードからスレーブ送信モードに変わったとき 	R/W

注1. 各ビットは “1” を読んだ後、“0” を書くと “0” になります。

注2. I²C バスフォーマットのスレーブ受信モードのとき有効です。

注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I²C バスインタフェースは SDA をモニタし、自分が出したデータと異なった場合、AL フラグを “1” にして、バスが他のマスタによって占有されたことを示します。

注4. NACKF ビットは ICIEP レジスタの ACKE ビットが “1” (受信アクノリッジが “1” の場合、転送中止) のとき有効です。

注5. RDRF ビットは ICDRR レジスタからデータを読み出したとき、“0” になります。

注6. TEND、TDRE ビットは ICDRT レジスタにデータを書いたとき、“0” になります。

ICSR レジスタを連続してアクセスする場合、アクセスする命令間に NOP 命令を 1 つ以上挿入してください。

28.2.11 スレーブアドレスレジスタ (SAR)

アドレス 019Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	フォーマット選択ビット	0 : I ² C バスフォーマット 1 : クロック同期式シリアルフォーマット	R/W
b1	SVA0	スレーブアドレス 6 ~ 0	I ² C バスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 I ² C バスフォーマットのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0 ~ SVA6 が一致したとき、スレーブデバイスとして動作します。	R/W
b2	SVA1			R/W
b3	SVA2			R/W
b4	SVA3			R/W
b5	SVA4			R/W
b6	SVA5			R/W
b7	SVA6			R/W

28.2.12 IIC バスシフトレジスタ (ICDRS)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-

ビット	機能	R/W
b7 ~ b0	データを送受信するシフトレジスタ。 送信時はICRDT レジスタから送信データがICDRS レジスタに転送され、データがSDA 端子から送出されます。 受信時は1 バイトのデータの受信が終了すると、データがICDRS レジスタからICDRR レジスタへ転送されます。	-

28.3 複数モードに関わる共通事項

28.3.1 転送クロック

ICCR1 レジスタのMSTビットが“0”のとき、転送クロックはSCL端子から入力される外部クロックです。

ICCR1 レジスタのMSTビットが“1”のとき、転送クロックはICCR1 レジスタのCKS0 ~ CKS3 ビットおよびPINSR レジスタのIICTCTWIビット、IICTCHALFビットで選択された内部クロックになり、SCL端子から出力されます。表28.4 ~ 表28.5に転送レート例を示します。

表28.4 転送レート例(1)

PINSR レジスタ		ICCR1 レジスタ				転送 クロック	転送レート				
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz
0	0	0	0	0	0	f1/28	179kHz	286kHz	357kHz	571kHz	714kHz
					1	f1/40	125kHz	200kHz	250kHz	400kHz	500kHz
				1	0	f1/48	104kHz	167kHz	208kHz	333kHz	417kHz
					1	f1/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
			1	0	0	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
					1	f1/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
				1	0	f1/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
					1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
		1	0	0	0	f1/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
					1	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
				1	0	f1/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
					1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
			1	0	0	f1/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
					1	f1/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
				1	0	f1/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
					1	f1/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

表 28.5 転送レート例 (2)

PINSR レジスタ		ICCR1 レジスタ				転送	転送レート				
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0	クロック	f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz
0	1	0	0	0	0	f1/28	358kHz	572kHz	714kHz	1142kHz	1428kHz
					1	f1/40	250kHz	400kHz	500kHz	800kHz	1000kHz
				1	0	f1/48	208kHz	334kHz	416kHz	666kHz	834kHz
					1	f1/64	156kHz	250kHz	312kHz	500kHz	626kHz
			1	0	0	f1/80	125kHz	200kHz	250kHz	400kHz	500kHz
					1	f1/100	100kHz	160kHz	200kHz	320kHz	400kHz
				1	0	f1/112	89kHz	143kHz	179kHz	286kHz	358kHz
					1	f1/128	78kHz	125kHz	156kHz	250kHz	312kHz
		1	0	0	0	f1/56	179kHz	286kHz	358kHz	572kHz	714kHz
					1	f1/80	125kHz	200kHz	250kHz	400kHz	500kHz
				1	0	f1/96	104kHz	167kHz	208kHz	334kHz	416kHz
					1	f1/128	78kHz	125kHz	156kHz	250kHz	312kHz
			1	0	0	f1/160	63kHz	100kHz	125kHz	200kHz	250kHz
					1	f1/200	50kHz	80kHz	100kHz	160kHz	200kHz
				1	0	f1/224	45kHz	71kHz	89kHz	143kHz	179kHz
					1	f1/256	39kHz	63kHz	78kHz	125kHz	156kHz
1	0	0	0	0	0	f1/28	90kHz	143kHz	179kHz	286kHz	357kHz
					1	f1/40	63kHz	100kHz	125kHz	200kHz	250kHz
				1	0	f1/48	52kHz	84kHz	104kHz	167kHz	209kHz
					1	f1/64	39kHz	63kHz	78kHz	125kHz	157kHz
			1	0	0	f1/80	31kHz	50kHz	63kHz	100kHz	125kHz
					1	f1/100	25kHz	40kHz	50kHz	80kHz	100kHz
				1	0	f1/112	22kHz	36kHz	45kHz	72kHz	90kHz
					1	f1/128	20kHz	31kHz	39kHz	63kHz	78kHz
		1	0	0	0	f1/56	45kHz	72kHz	90kHz	143kHz	179kHz
					1	f1/80	31kHz	50kHz	63kHz	100kHz	125kHz
				1	0	f1/96	26kHz	42kHz	52kHz	84kHz	104kHz
					1	f1/128	20kHz	31kHz	39kHz	63kHz	78kHz
			1	0	0	f1/160	16kHz	25kHz	31kHz	50kHz	63kHz
					1	f1/200	13kHz	20kHz	25kHz	40kHz	50kHz
				1	0	f1/224	11kHz	18kHz	22kHz	36kHz	45kHz
					1	f1/256	10kHz	16kHz	20kHz	31kHz	39kHz

28.3.2 SDA 端子デジタル遅延選択

PINSR レジスタの SDADLY0 ~ SDADLY1 ビットで、SDA 端子のデジタル遅延値を選択できます。
図 28.3 に SDA 端子のデジタル遅延の動作例を示します。

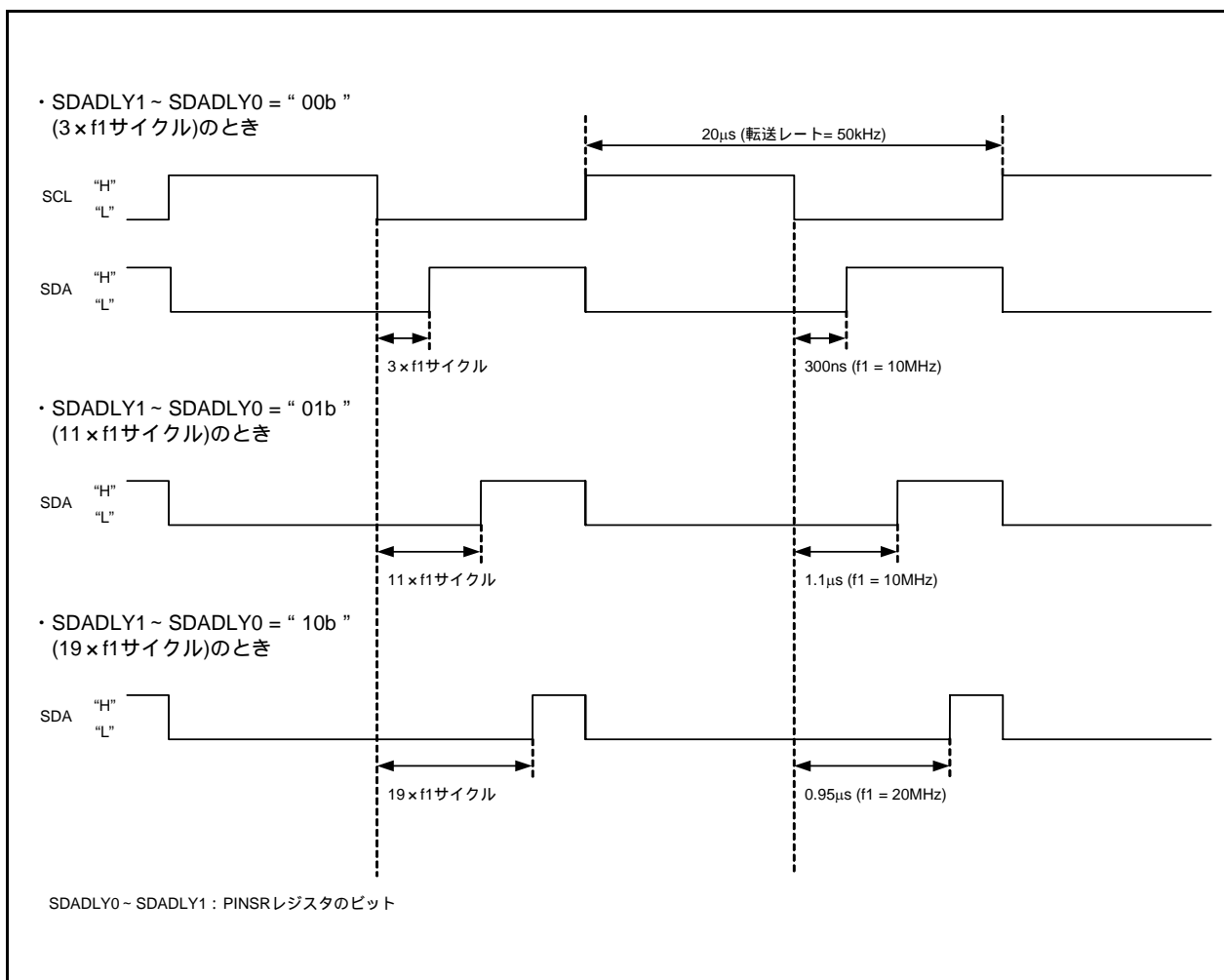


図 28.3 SDA 端子のデジタル遅延の動作例

28.3.3 割り込み要求

I²C バスインタフェースの割り込み要求は、I²C バスフォーマット時に6種類、クロック同期式シリアルフォーマット時に4種類あります。表28.6にI²C バスインタフェースの割り込み要求を示します。

これらの割り込み要求はI²C バスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表28.6 I²C バスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I ² C バス	クロック同期式シリアル
送信データエンプティ	TXI	TIE=1 かつ TDRE=1	有効	有効
送信終了	TEI	TEIE=1 かつ TEND=1	有効	有効
受信データフル	RXI	RIE=1 かつ RDRF=1	有効	有効
停止条件検出	STPI	STIE=1 かつ STOP=1	有効	無効
NACK 検出	NAKI	NAKIE=1 かつ AL=1 (または NAKIE=1 かつ NACKF=1)	有効	無効
アービトラーションロスト/ オーバーランエラー			有効	有効

STIE、NAKIE、RIE、TEIE、TIE : ICIE レジスタのビット

AL、STOP、NACKF、RDRF、TEND、TDRE : ICSR レジスタのビット

表28.6の発生条件が満たされたとき、I²C バスインタフェース割り込み要求が発生します。I²C バスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を“0”にしてください。

ただし、TDRE ビットおよび TEND ビットはICDRT レジスタに送信データを書くことで、RDRF ビットはICDRR レジスタを読むことで、自動的に“0”になります。特にTDRE ビットはICDRT レジスタに送信データを書いたとき“0”になり、ICDRT レジスタからICDRS レジスタにデータ転送されたときにTDRE ビットが“1”になり、さらにTDRE ビットを“0”にすると、余分に1バイト送信する場合があります。

また、STIE ビットを“1”(停止条件検出割り込み要求許可)にするのは、STOP ビットが“0”のときにしてください。

28.4 I²C バスインタフェースモード

28.4.1 I²C バスフォーマット

SARレジスタのFSビットを“0”にすると、I²C バスフォーマットで通信します。

図28.4にI²C バスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

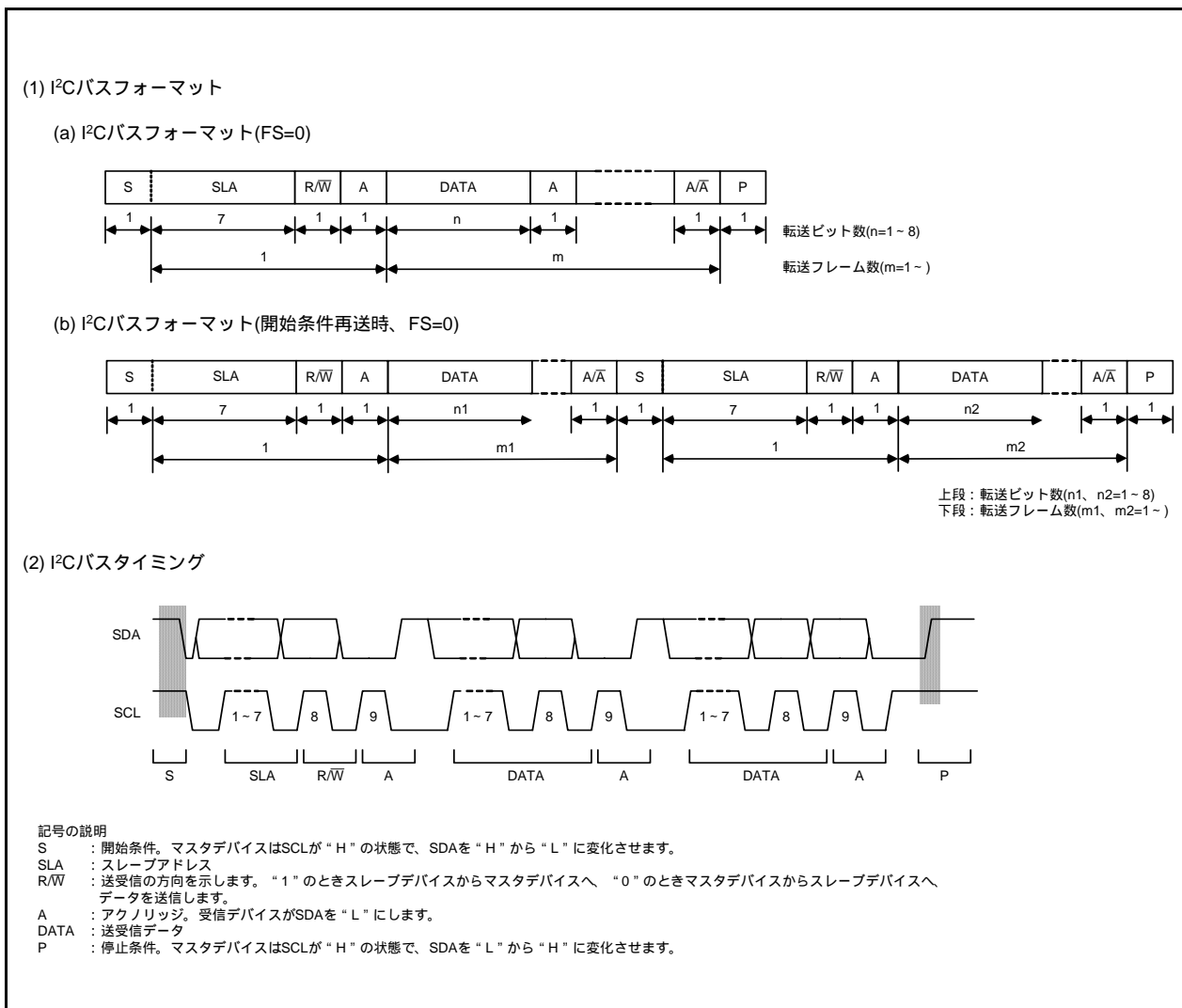


図28.4 I²C バスフォーマットとバスタイミング

28.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 28.5 ~ 図 28.6 にマスタ送信モードの動作タイミング (I²C バスインタフェースモード) を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) ICSR レジスタの STOP ビットを初期化するために “0” にしてください。その後、ICCR1 レジスタの ICE ビットを “1” (転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 ~ CKS3 ビットなどを設定してください (初期設定)。
- (2) ICCR2 レジスタの BBSY ビットを読んで、バスが開放状態であることを確認後、ICCR1 レジスタの TRS、MST ビットをマスタ送信モードに設定してください。その後、BBSY=1 と SCP=0 を MOV 命令で書いてください (開始条件発行)。これにより開始条件を生成します。
- (3) ICSR レジスタの TDRE ビットが “1” であることを確認した後、ICDRT レジスタに送信データ (1 バイト目はスレーブアドレスと R/W を示すデータ) を書いてください。このとき TDRE ビットは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE ビットが “1” になります。
- (4) TDRE ビットが “1” の状態で 1 バイト送信が完了し、送信クロックの 9 クロック目の立ち上がりで ICSR レジスタの TEND ビットが “1” になります。ICIER レジスタの ACKBR ビットを読んで、スレーブデバイスが選択されたことを確認した後、2 バイト目のデータを ICDRT レジスタに書いてください。ACKBR ビットが “1” のときはスレーブデバイスが認識されていないため、停止条件を発行してください。停止条件の発行は、BBSY=0 と SCP=0 を MOV 命令で書くことで行われます。なおデータの準備ができるまで、または停止条件を発行するまでは SCL が “L” に固定されます。
- (5) 2 バイト目以降の送信データは、TDRE ビットが “1” になるたびに、ICDRT レジスタにデータを書いてください。
- (6) 送信するバイト数を ICDRT レジスタに書いたとき、その後は TDRE ビットが “1” の状態で TEND ビットが “1” になるまで待ってください。または、ICIER レジスタの ACKE ビットが “1” (受信アクノリッジが “1” の場合、転送中止) の状態で、受信デバイスからの NACK (ICSR レジスタの NACKF=1) を待ってください。その後、停止条件を発行して TEND ビット、あるいは NACKF ビットを “0” にしてください。
- (7) ICSR レジスタの STOP ビットが “1” になったとき、スレーブ受信モードに戻してください。

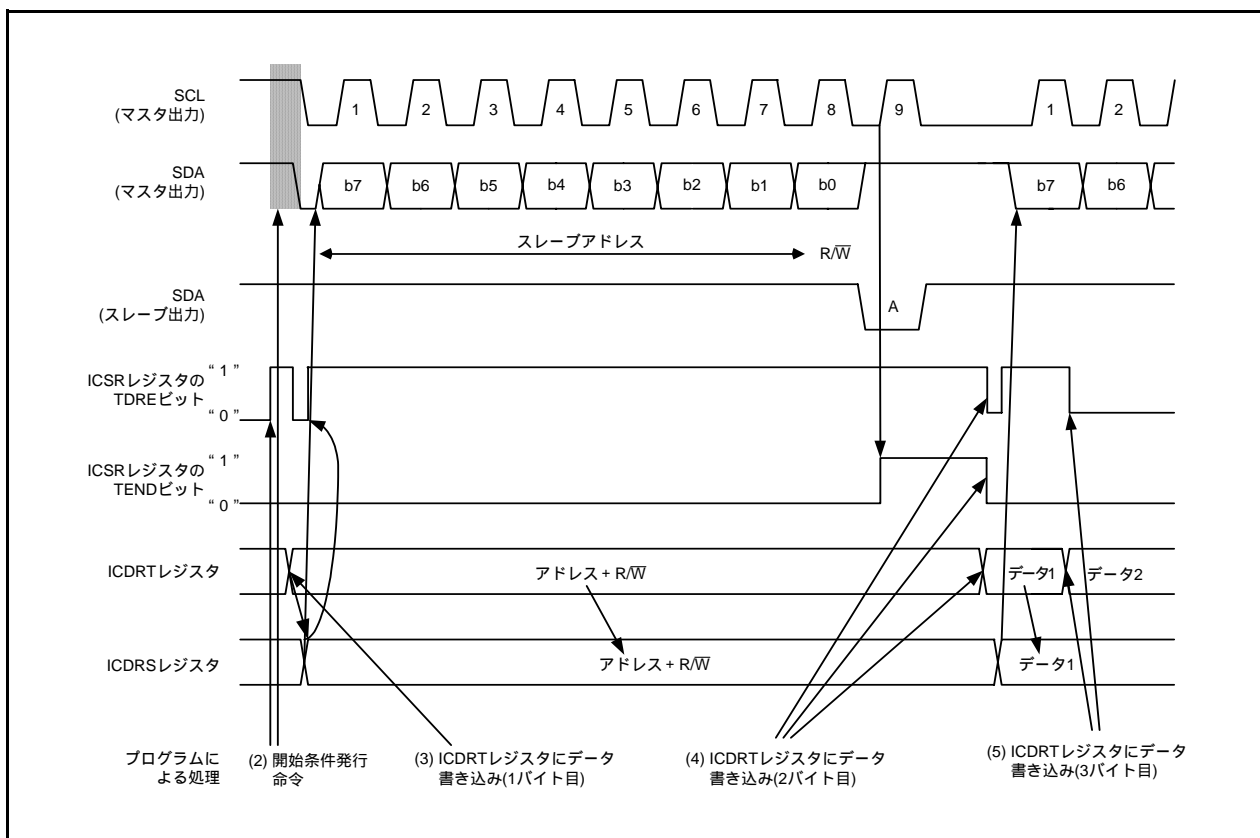


図 28.5 マスタ送信モードの動作タイミング(I²C バスインタフェースモード)(1)

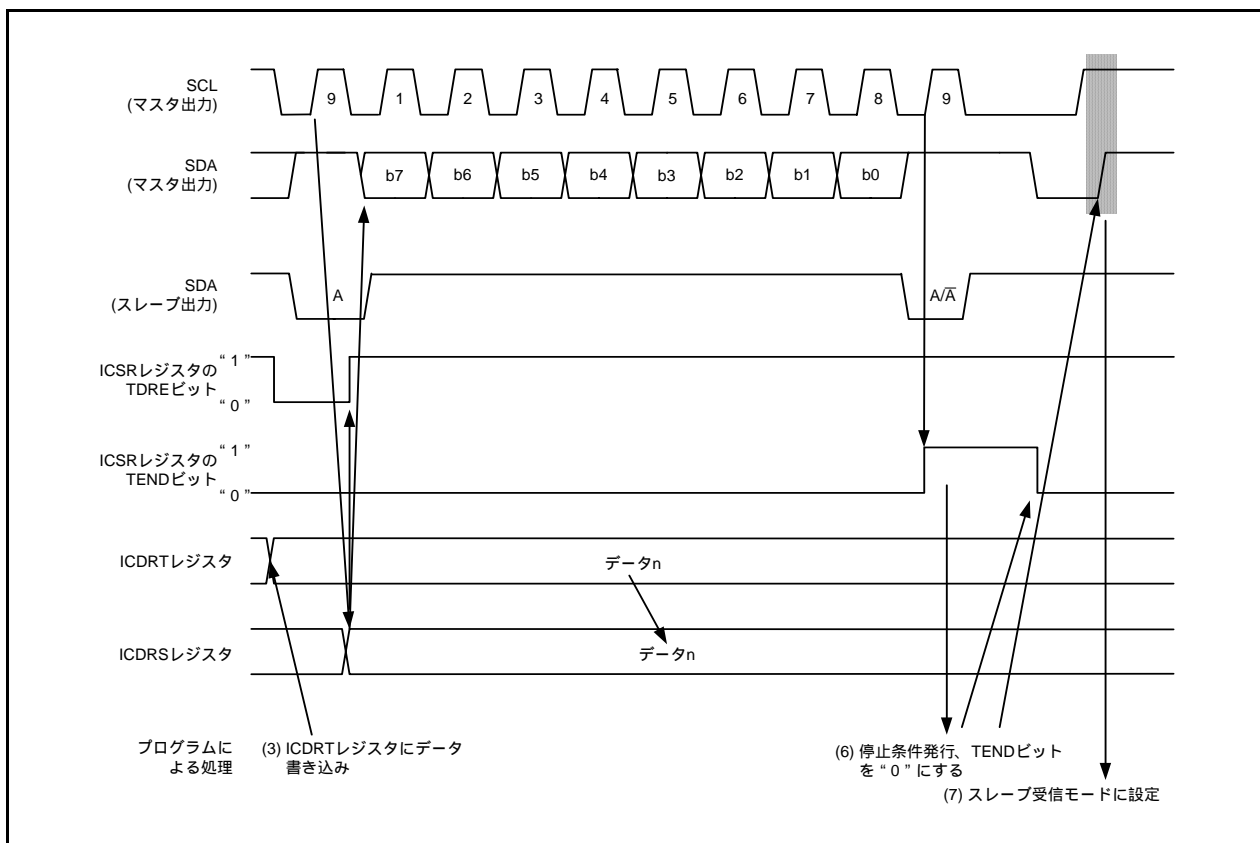


図 28.6 マスタ送信モードの動作タイミング(I²C バスインタフェースモード)(2)

28.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。図 28.7 ~ 図 28.8 にマスタ受信モードの動作タイミング(I²C バスインタフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) ICSR レジスタの TEND ビットを “0” にした後、ICCR1 レジスタの TRS ビットを “0” にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、ICSR レジスタの TDRE ビットを “0” にしてください。
- (2) ICDRR レジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの 9 クロック目に、ICIER レジスタの ACKBT ビットで設定したレベルを、SDA に出力します。
- (3) 1 フレームのデータ受信が終了し、受信クロックの 9 クロック目の立ち上がりで、ICSR レジスタの RDRF ビットが “1” になります。このとき、ICDRR レジスタを読むと、受信したデータを読み出すことができ、同時に RDRF ビットは “0” になります。
- (4) RDRF ビットが “1” になるたびに ICDRR レジスタを読むことで、連続的に受信できます。なお、別処理で RDRF ビットが “1” になった状態で、ICDRR レジスタの読み出しが遅れて 8 クロック目が立ち下がった場合、ICDRR レジスタを読むまで SCL が “L” に固定されます。
- (5) 次の受信が最終フレームの場合、ICDRR レジスタを読む前に ICCR1 レジスタの RCVD ビットを “1” (次の受信動作を禁止) にしてください。これにより次の受信後、停止条件発行可能状態になります。
- (6) 受信クロックの 9 クロック目の立ち上がりで RDRF ビットが “1” になったとき、停止条件を発行してください。
- (7) ICSR レジスタの STOP ビットが “1” になったとき、ICDRR レジスタを読んでください。その後、RCVD ビットを “0” (次の受信動作を継続) にしてください。
- (8) スレーブ受信モードに戻してください。

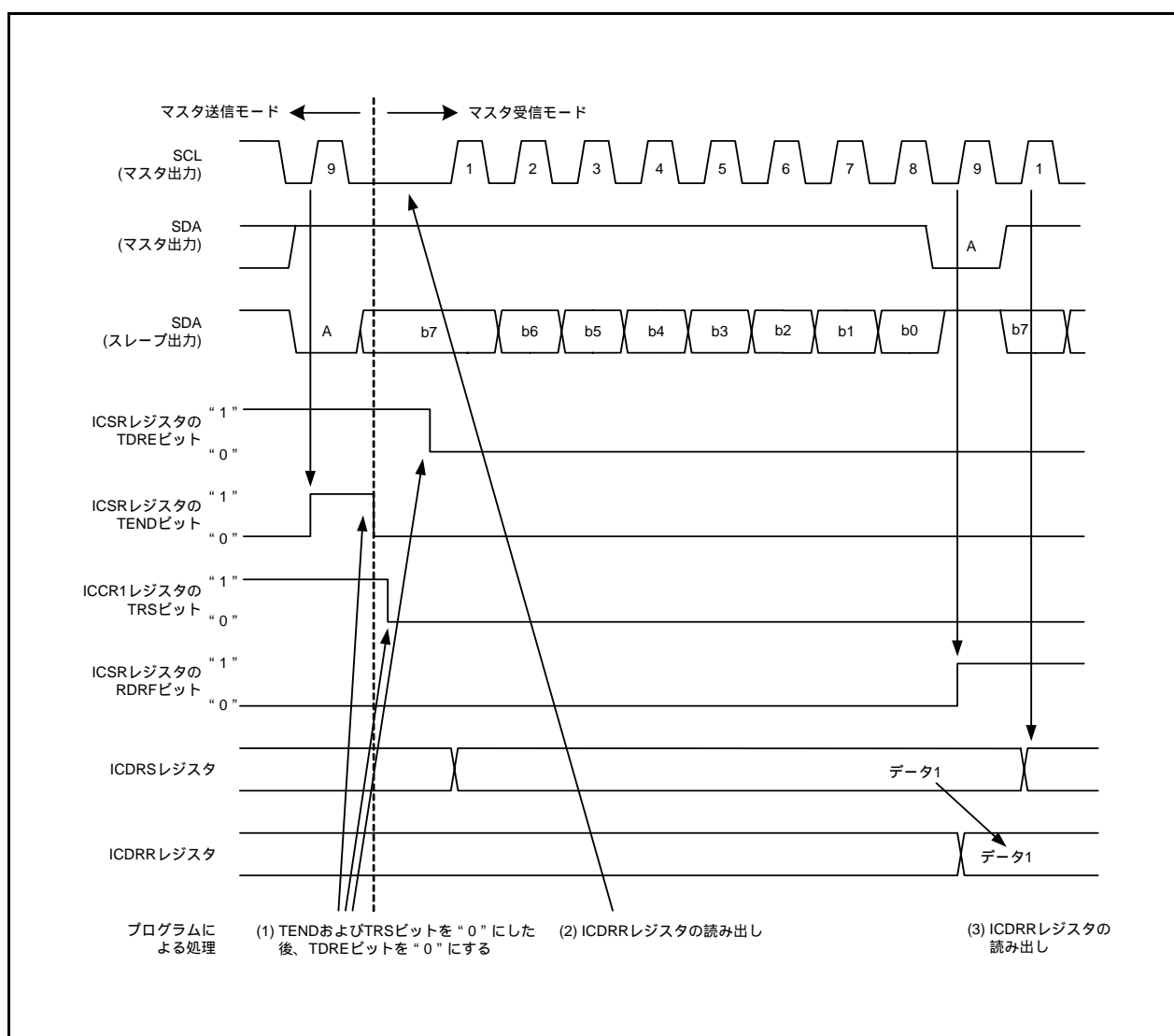
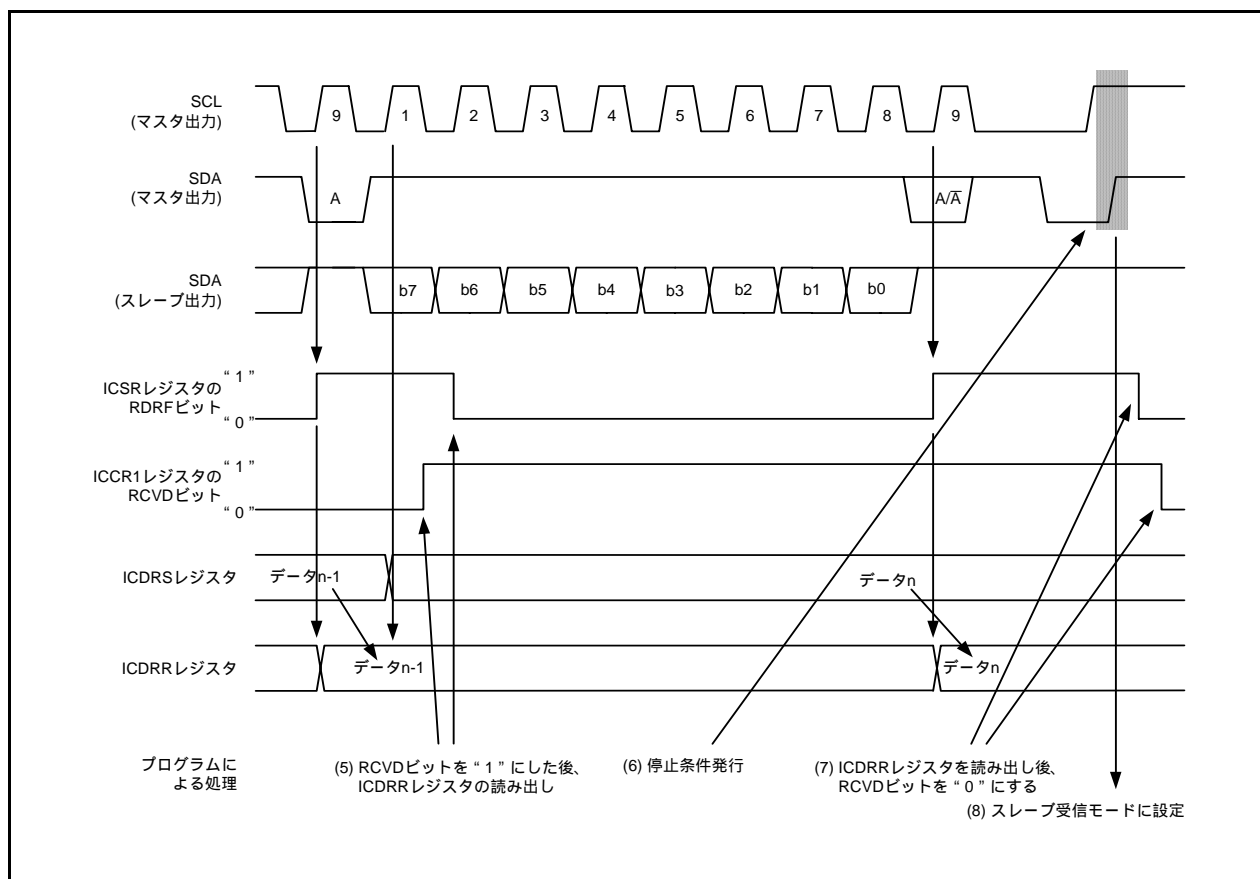


図28.7 マスタ受信モードの動作タイミング(I²C バスインタフェースモード)(1)



28.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出し、マスタデバイスが受信クロックを出し、アクノリッジを返します。図28.9～図28.10にスレーブ送信モードの動作タイミング(I²C バスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) ICCR1 レジスタのICE ビットを“1”(転送動作可能状態)にしてください。その後、ICMR レジスタのWAIT、MLS ビット、ICCR1 レジスタのCKS0～CKS3 ビットなどを設定してください(初期設定)。次にICCR1 レジスタのTRS、MST ビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIER レジスタのACKBT ビットで設定したレベルをSDAに出力します。このとき、8ビット目のデータ(R/W)が“1”のとき、TRS ビットおよびICSR レジスタのTDRE ビットが“1”になり、自動的にスレーブ送信モードに切り替わります。TDRE ビットが“1”になるたびにICDRT レジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをICDRT レジスタに書いた後にTDRE ビットが“1”になったとき、TDRE ビットが“1”の状態でもICSR レジスタのTEND ビットが“1”になるまで待ってください。TEND ビットが“1”になったら、TEND ビットを“0”にしてください。
- (4) 終了処理のためTRS ビットを“0”にし、ICDRT レジスタをダミーリードしてください。これによりSCLが開放されます。
- (5) TDRE ビットを“0”にしてください。

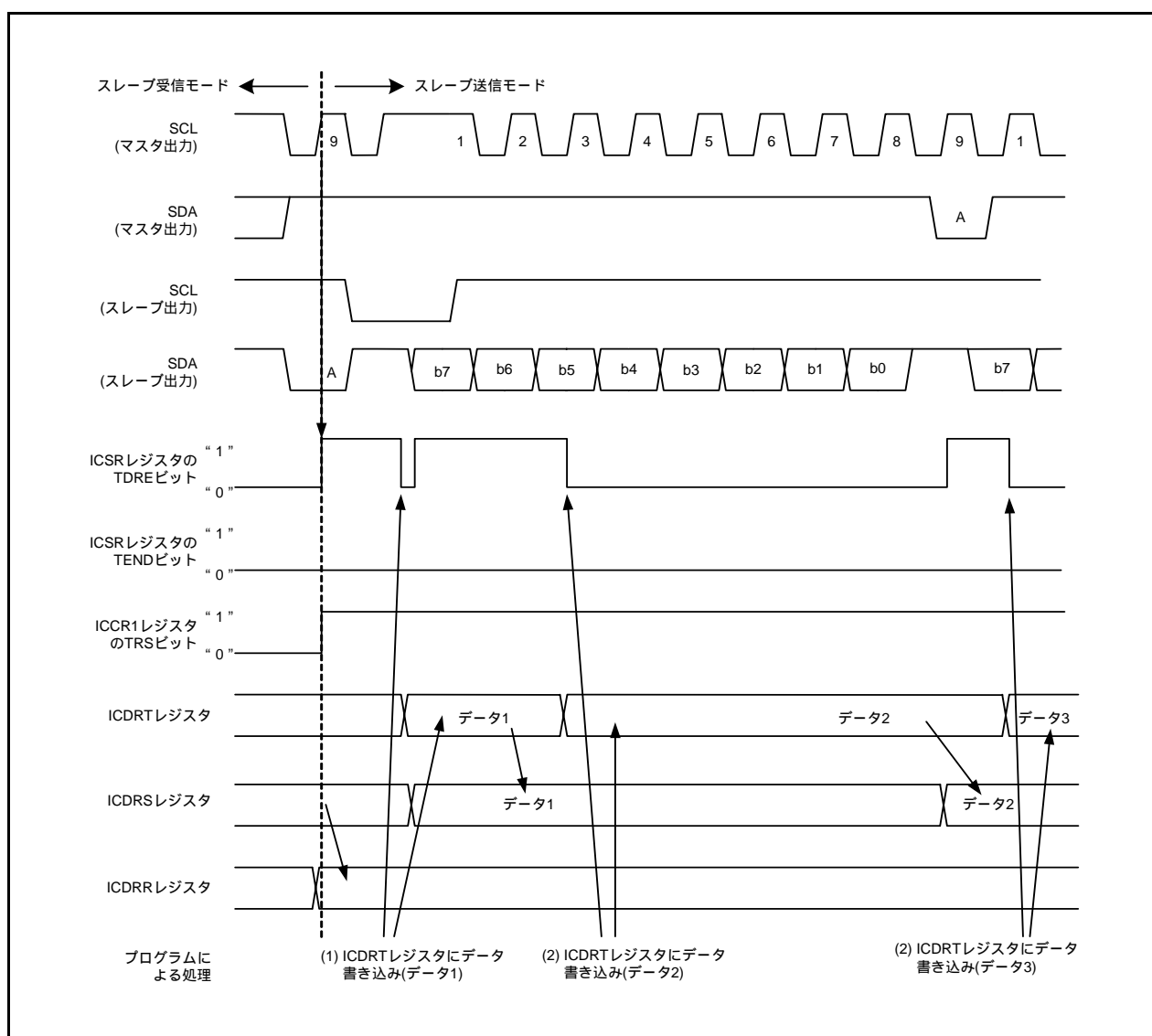
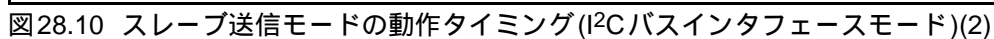


図28.9 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)(1)



28.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図28.11～図28.12にスレーブ受信モードの動作タイミング(I²C バスインタフェースモード)を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) ICCR1 レジスタの ICE ビットを “1” (転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 ～ CKS3 ビットなどを設定してください(初期設定)。次に ICCR1 レジスタの TRS、MST ビットを “0” にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスは ICIER レジスタの ACKBT ビットで設定したレベルを SDA に出力します。同時に ICSR レジスタの RDRF ビットが “1” になりますので、ICDRR レジスタをダミーリード(読み出したデータはスレーブアドレス + R/W を示すので不要)してください。
- (3) RDRF ビットが “1” になるたびに、ICDRR レジスタを読んでください。RDRF ビットが “1” の状態で8クロック目が立ち下がると、ICDRR レジスタを読むまで SCL が “L” に固定されます。ICDRR レジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されます。
- (4) 最終バイトの読み出しも、同様に ICDRR レジスタを読むことで行います。

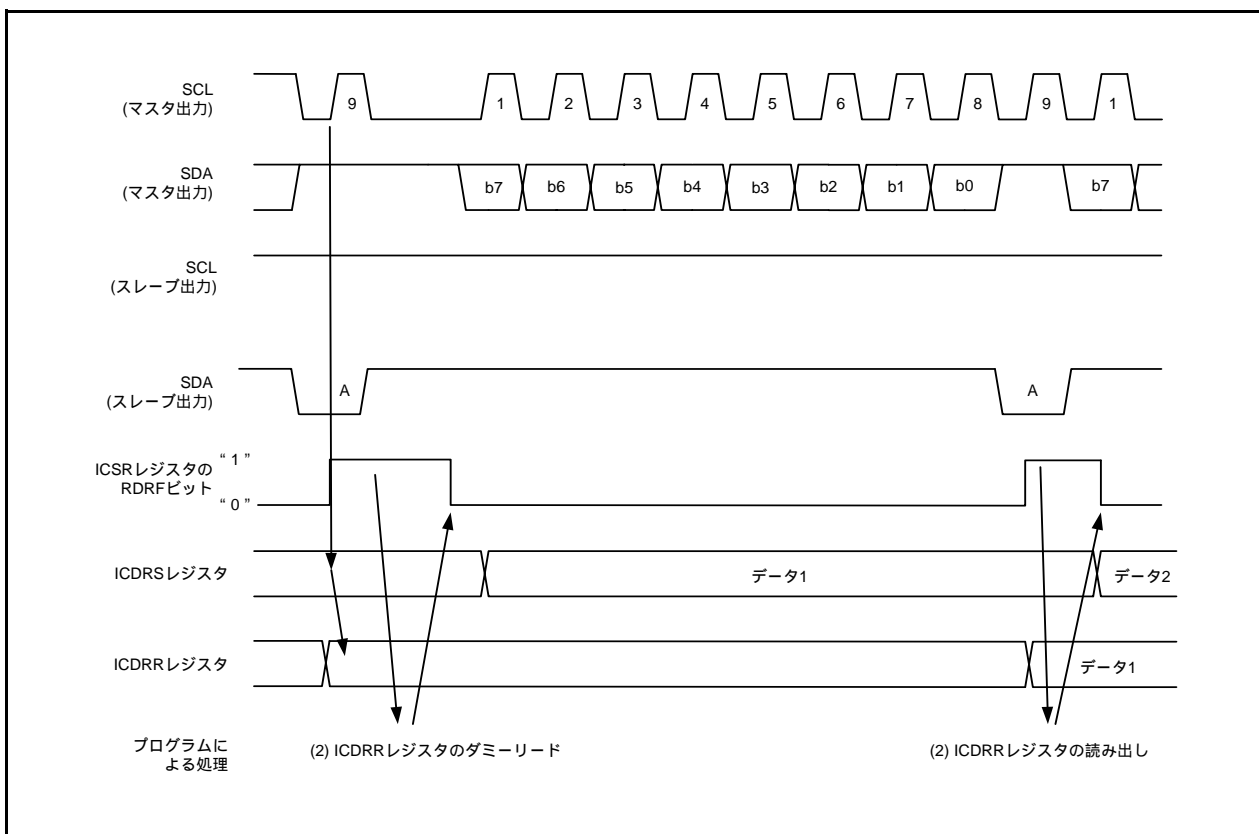


図28.11 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)(1)

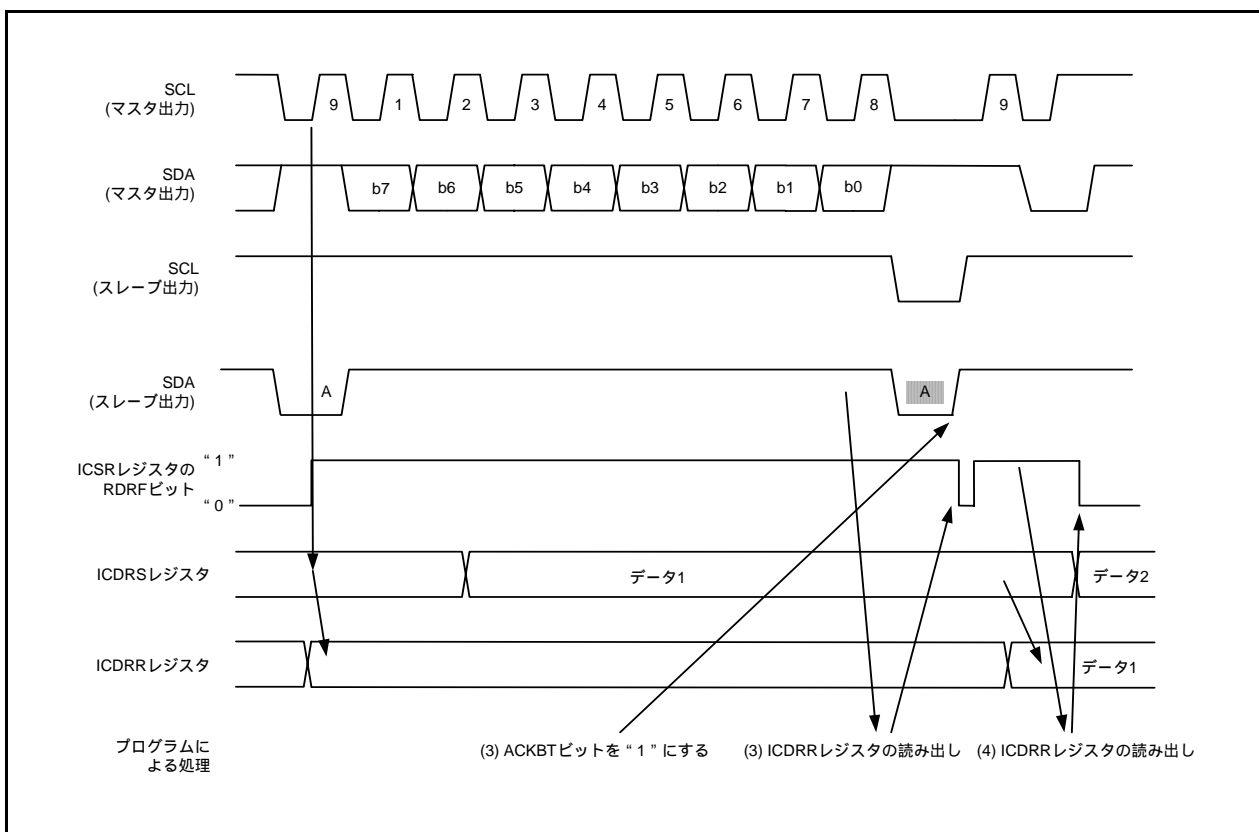


図28.12 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)(2)

28.5 クロック同期式シリアルモード

28.5.1 クロック同期式シリアルフォーマット

SARレジスタのFSビットを“1”にすると、クロック同期式シリアルフォーマットで通信します。

図28.13にクロック同期式シリアルフォーマットの転送フォーマットを示します。

ICCR1レジスタのMSTビットが“1”のときSCLから転送クロック出力となり、MSTビットが“0”のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち下がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はICMRレジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、ICCR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

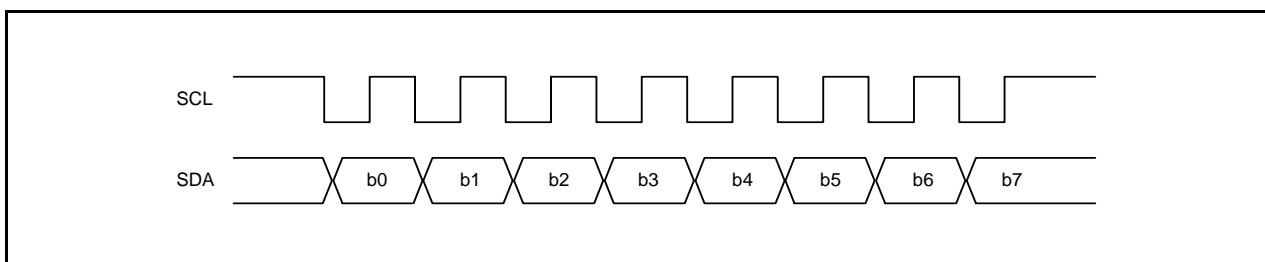


図28.13 クロック同期式シリアルフォーマットの転送フォーマット

28.5.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データを SDA から出力します。転送クロックは ICCR1 レジスタの MST ビットが “1” ととき出力、MST ビットが “0” ととき入力となります。図 28.14 に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) ICCR1 レジスタの ICE ビットを “1” (転送動作可能状態) にしてください。その後、ICCR1 レジスタの CKS0 ~ CKS3 ビット、MST ビットなどを設定してください(初期設定)。
- (2) ICCR1 レジスタの TRS ビットを “1” にして送信モードにしてください。これにより、ICSR レジスタの TDRE ビットが “1” になります。
- (3) TDRE ビットが “1” であることを確認した後、ICDRT レジスタに送信データを書き込んでください。これにより ICDRT レジスタから ICDRS レジスタにデータが転送され、自動的に TDRE ビットが “1” になります。TDRE ビットが “1” になるたびに ICDRT レジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDRE ビットが “1” の状態で TRS ビットを “0” にしてください。

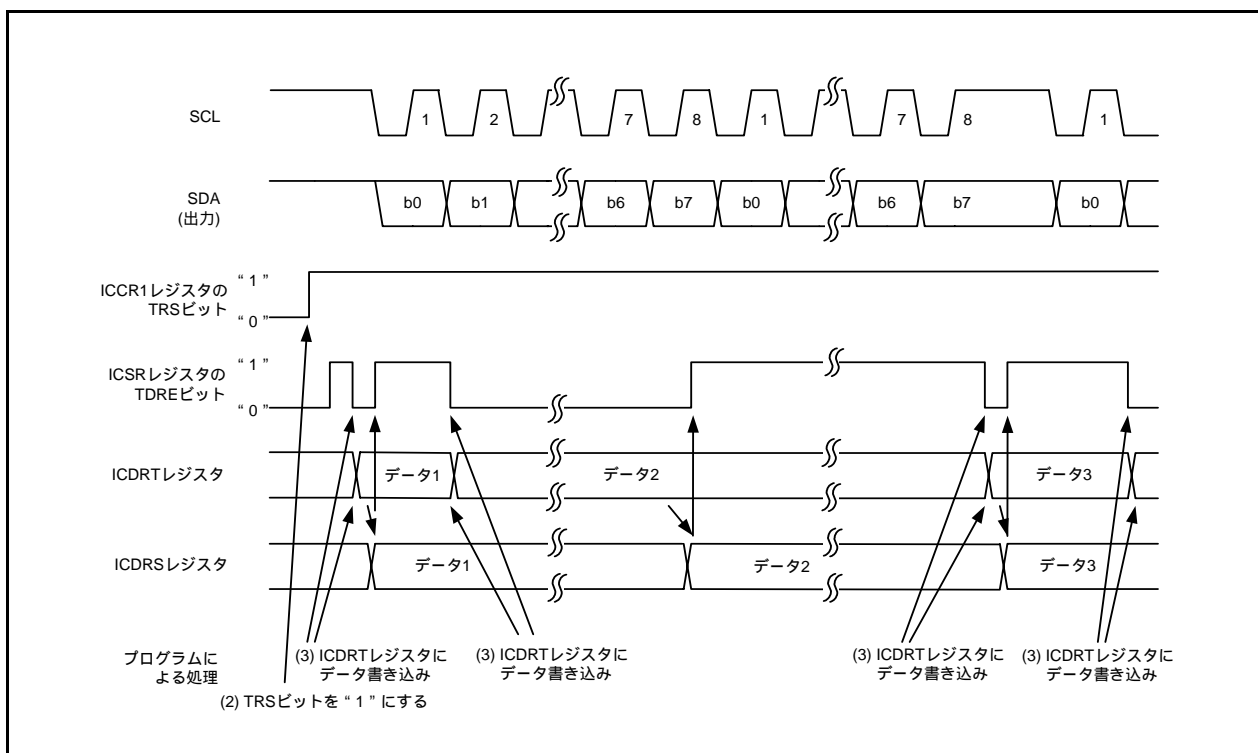


図 28.14 送信モードの動作タイミング(クロック同期式シリアルモード)

28.5.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはICCR1レジスタのMSTビットが“1”とき出力、MSTビットが“0”とき入力となります。

図28.15に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを“1”にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、ICDRSレジスタからICDRRレジスタにデータが転送され、ICSRレジスタのRDRFビットが“1”になります。MSTビットが“1”のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信可能です。RDRFビットが“1”の状態8クロック目が立上がるとオーバランを検出し、ICSRレジスタのALビットが“1”になります。このときICDRRレジスタには、前の受信データが保持されています。
- (4) MSTビットが“1”のとき、受信を停止するためには、ICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてから、ICDRRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLが“H”に固定されます。

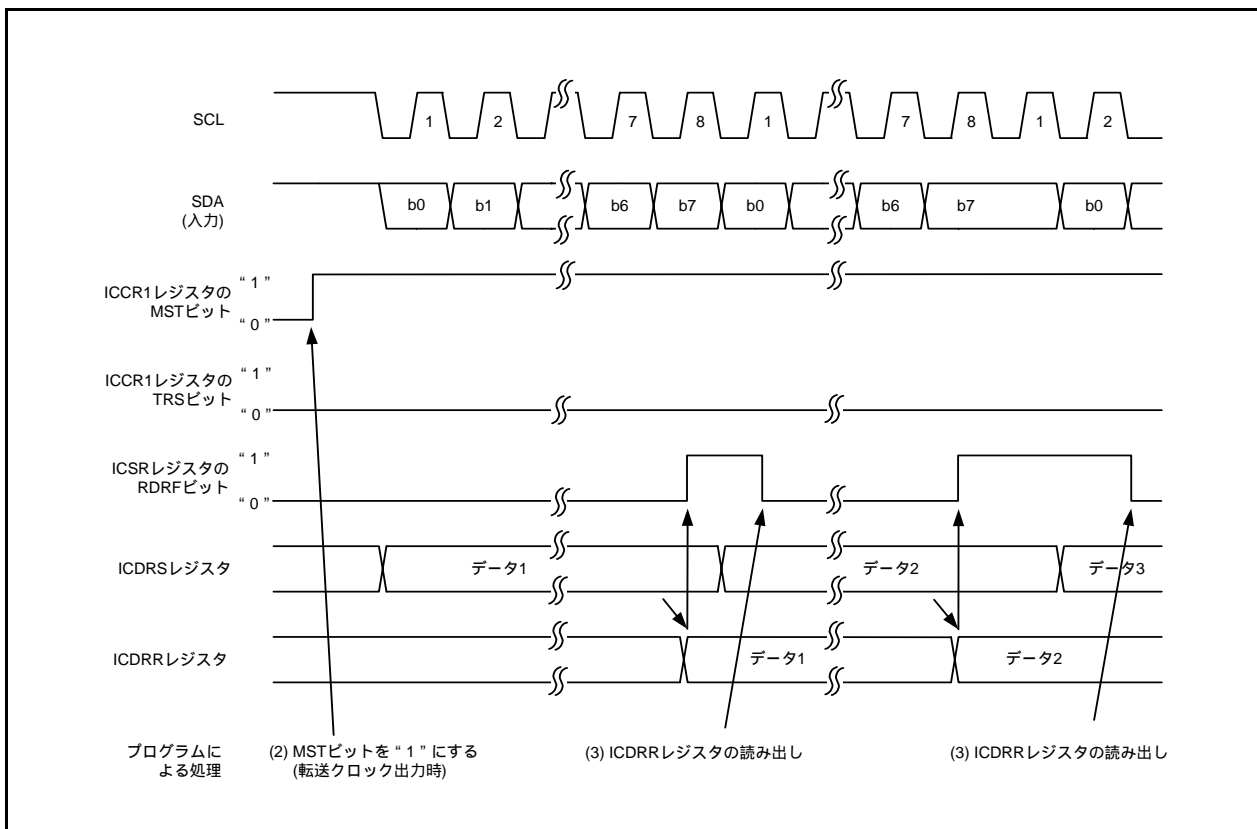


図28.15 受信モードの動作タイミング(クロック同期式シリアルモード)

28.6 レジスタ設定例

I²C バスインタフェースを使用する場合のレジスタ設定例を図 28.16 ~ 図 28.19 に示します。

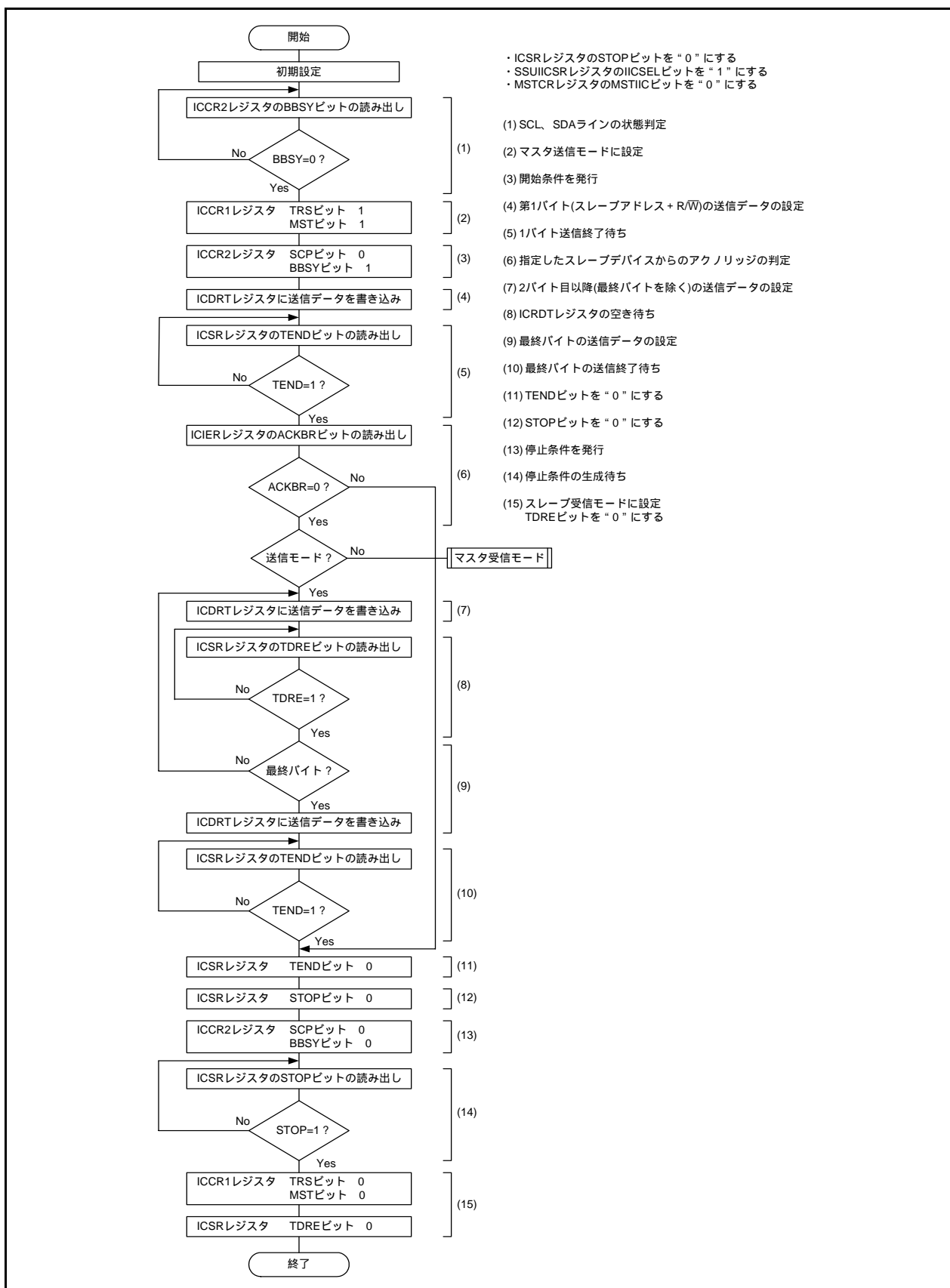


図 28.16 マスタ送信モードのレジスタ設定例(I²C バスインタフェースモード)

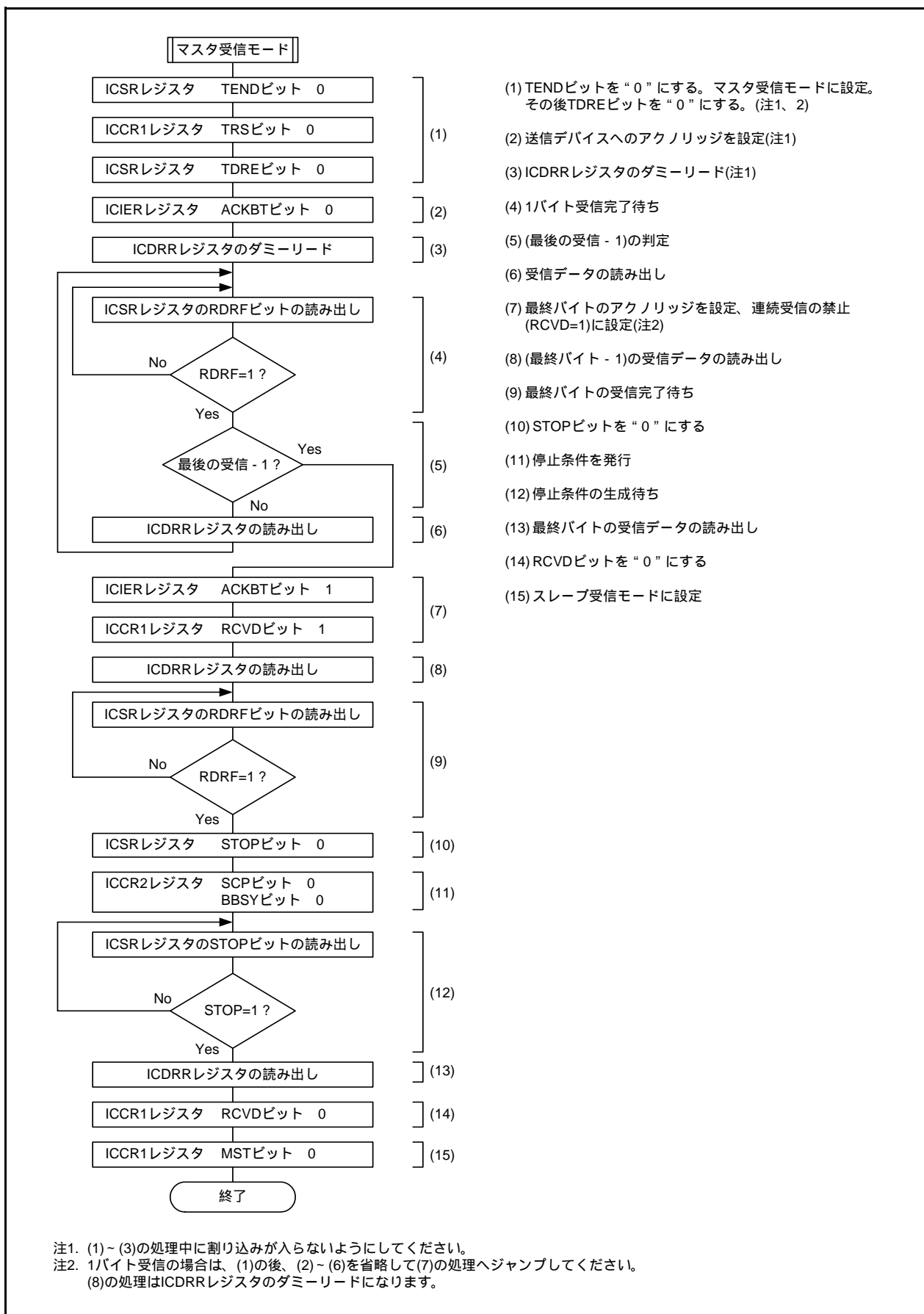


図28.17 マスタ受信モードのレジスタ設定例(I²C バスインタフェースモード)

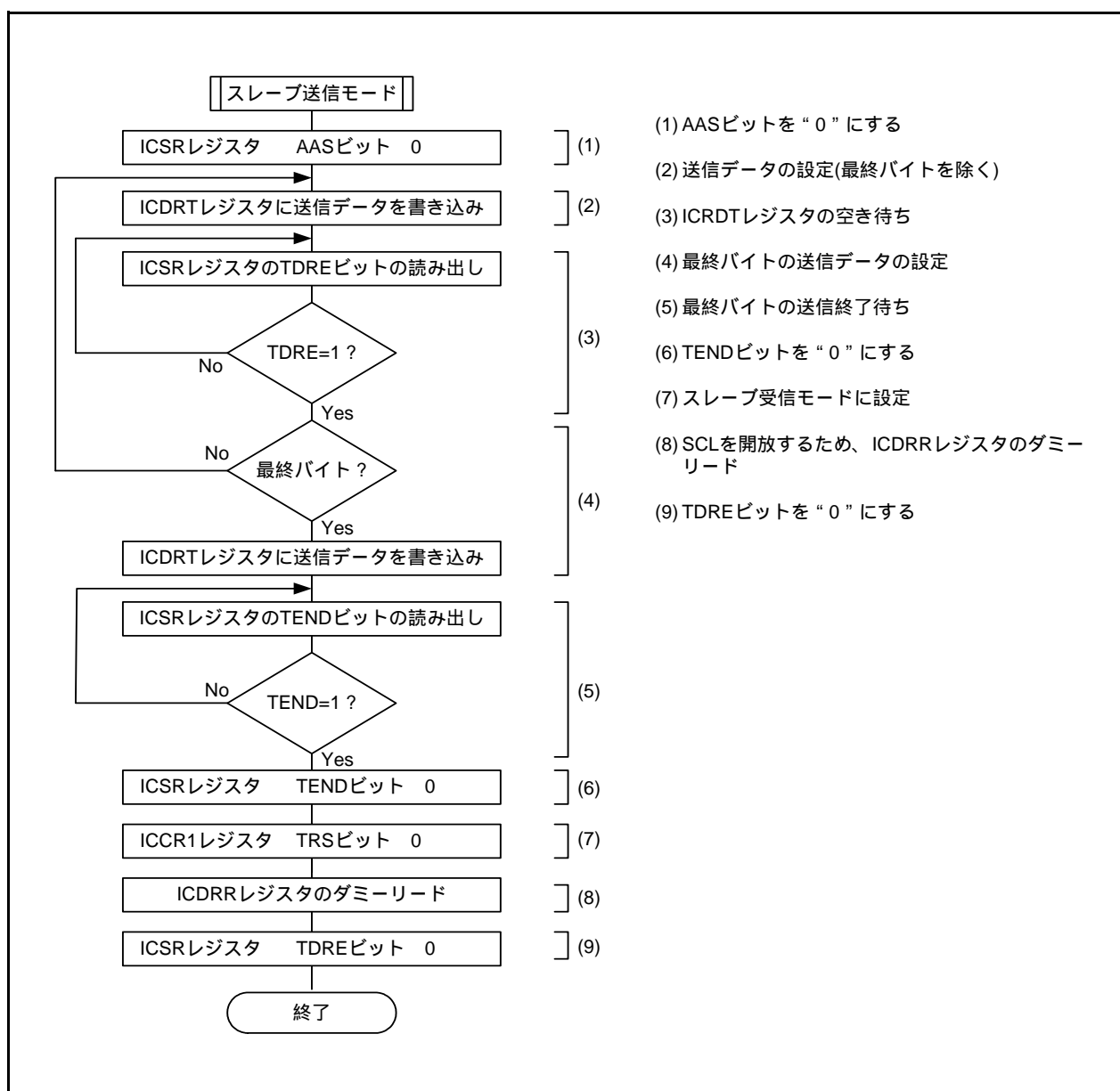


図 28.18 スレーブ送信モードのレジスタ設定例 (I²C バスインタフェースモード)

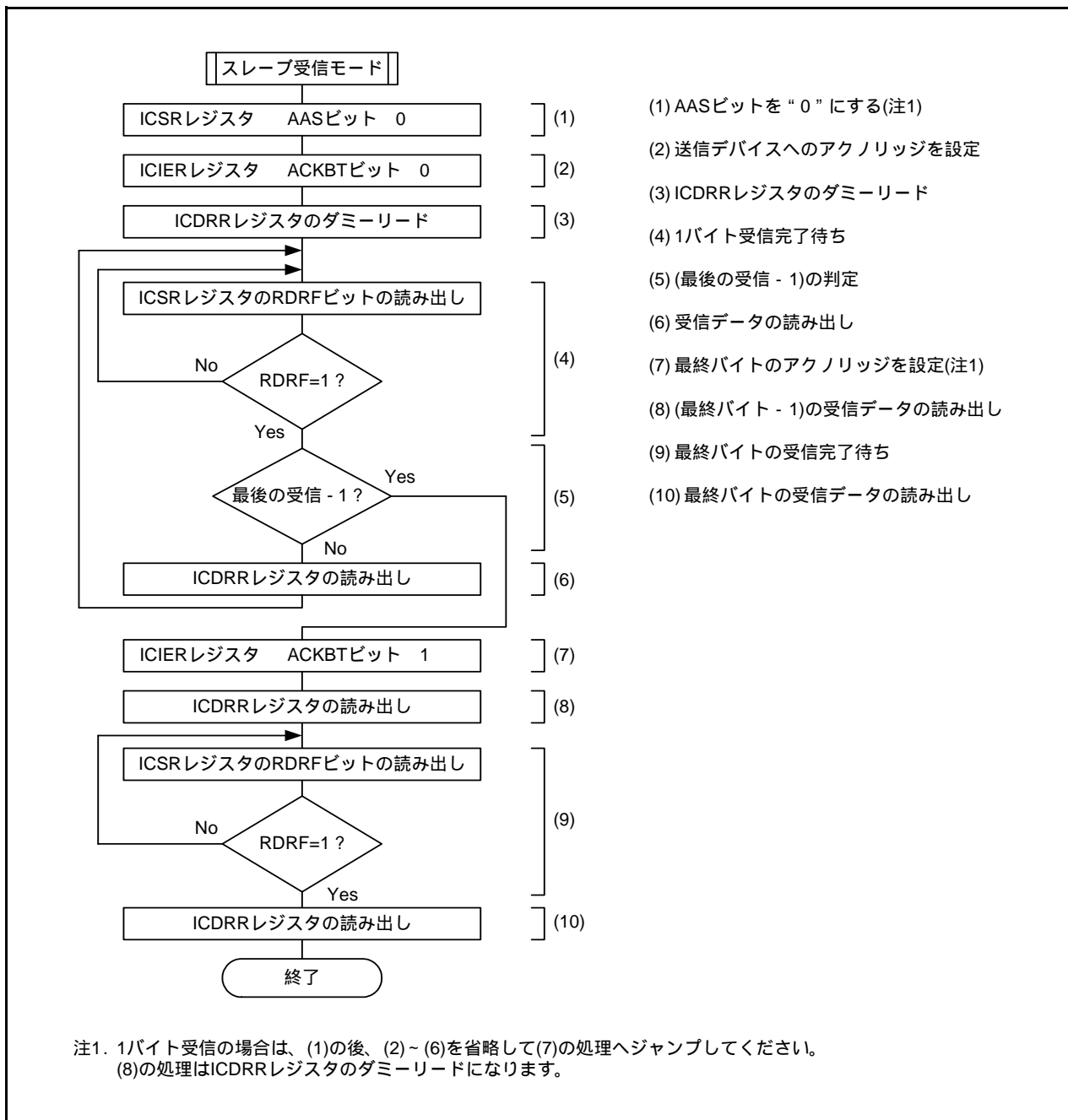


図28.19 スレーブ受信モードのレジスタ設定例(I²C バスインタフェースモード)

28.7 ノイズ除去回路

SCL 端子および SDA 端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図 28.20 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号(または SDA 端子入力信号)が f_1 でサンプリングされ、2 つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

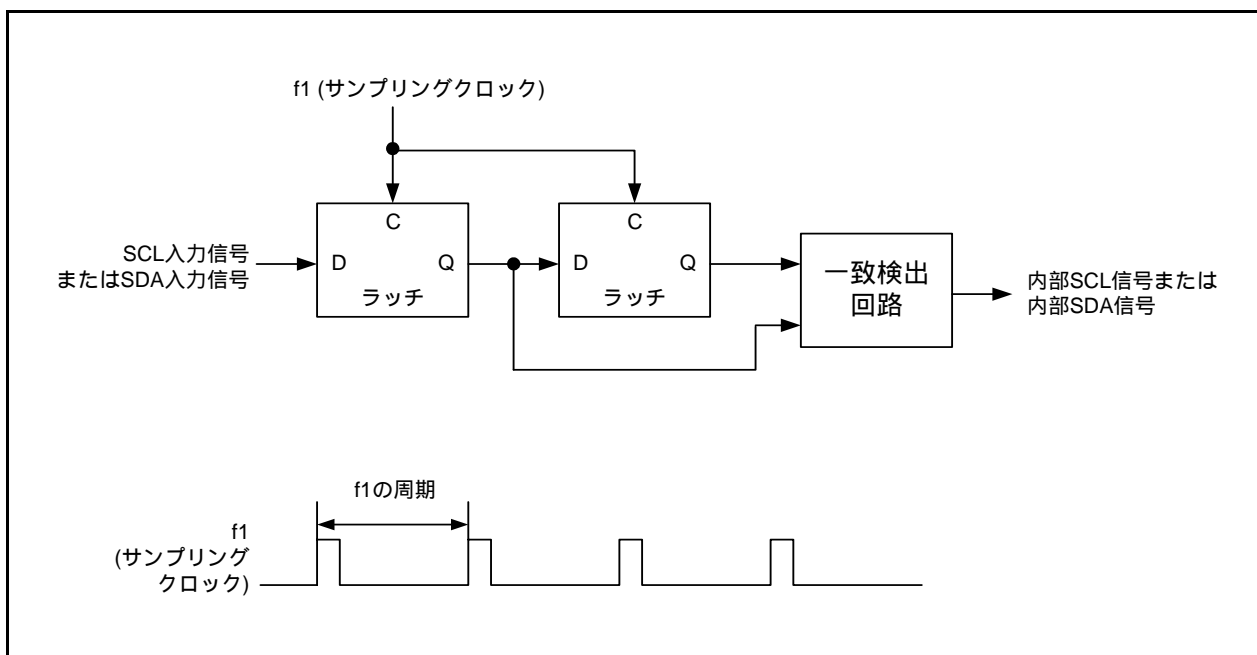


図 28.20 ノイズ除去回路のブロック図

28.8 ビット同期回路

I²C バスインタフェースをマスタモードに設定時、

- スレーブデバイスにより SCL が “L” に保持された場合
 - SCL ラインの負荷(負荷容量、プルアップ抵抗)により SCL の立ち上がりがゆるやかになった場合
- の2つの状態で “H” 期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信します。

図 28.21 にビット同期回路のタイミングを、表 28.7 に SCL を “L” 出力からハイインピーダンスにした後、SCL をモニタするまでの時間を示します。

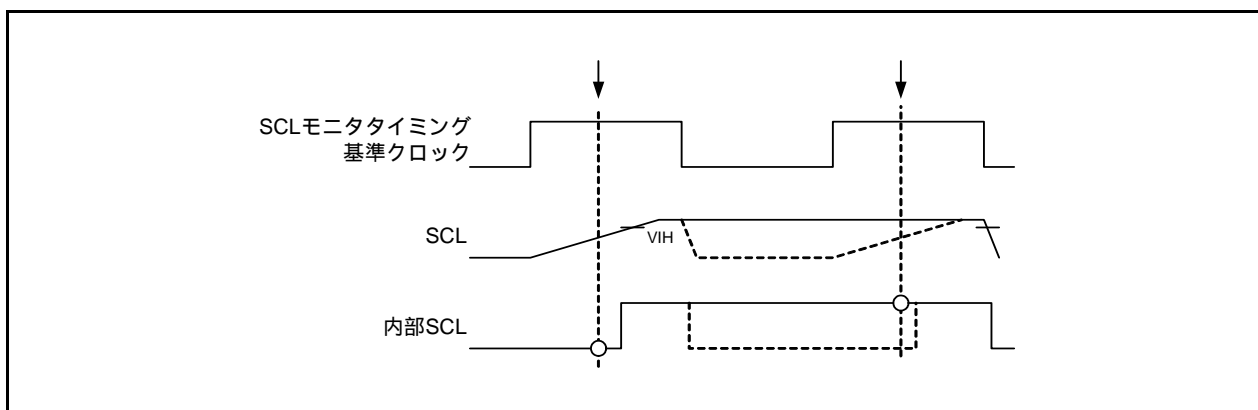


図 28.21 ビット同期回路のタイミング

表 28.7 SCL を “L” 出力からハイインピーダンスにした後、SCL をモニタするまでの時間

ICCR1 レジスタ		SCL をモニタする時間
CKS3	CKS2	
0	0	7.5Tcyc
	1	19.5Tcyc
1	0	17.5Tcyc
	1	41.5Tcyc

1Tcyc=1/f1(s)

28.9 I²C バスインタフェース使用上の注意

I²C バスインタフェースを使用する場合には、SSUIICSR レジスタの IICSEL ビットを “ 1 ” (I²C バスインタフェース機能を選択) にしてください。

29. ハードウェアLIN

ハードウェアLINは、タイマRAおよびUART0と連携し、LIN通信を行うものです。

29.1 概要

ハードウェアLINには、以下の特長があります。

図29.1にハードウェアLINのブロック図を示します。

【マスタモード】

- Synch Break 発生
- バス衝突検出

【スレーブモード】

- Synch Break 検出
- Synch Field 計測
- Synch BreakおよびSynch Field信号のUART0入力制御機能
- バス衝突検出

注1. Wake Up機能は $\overline{\text{INT1}}$ により検出

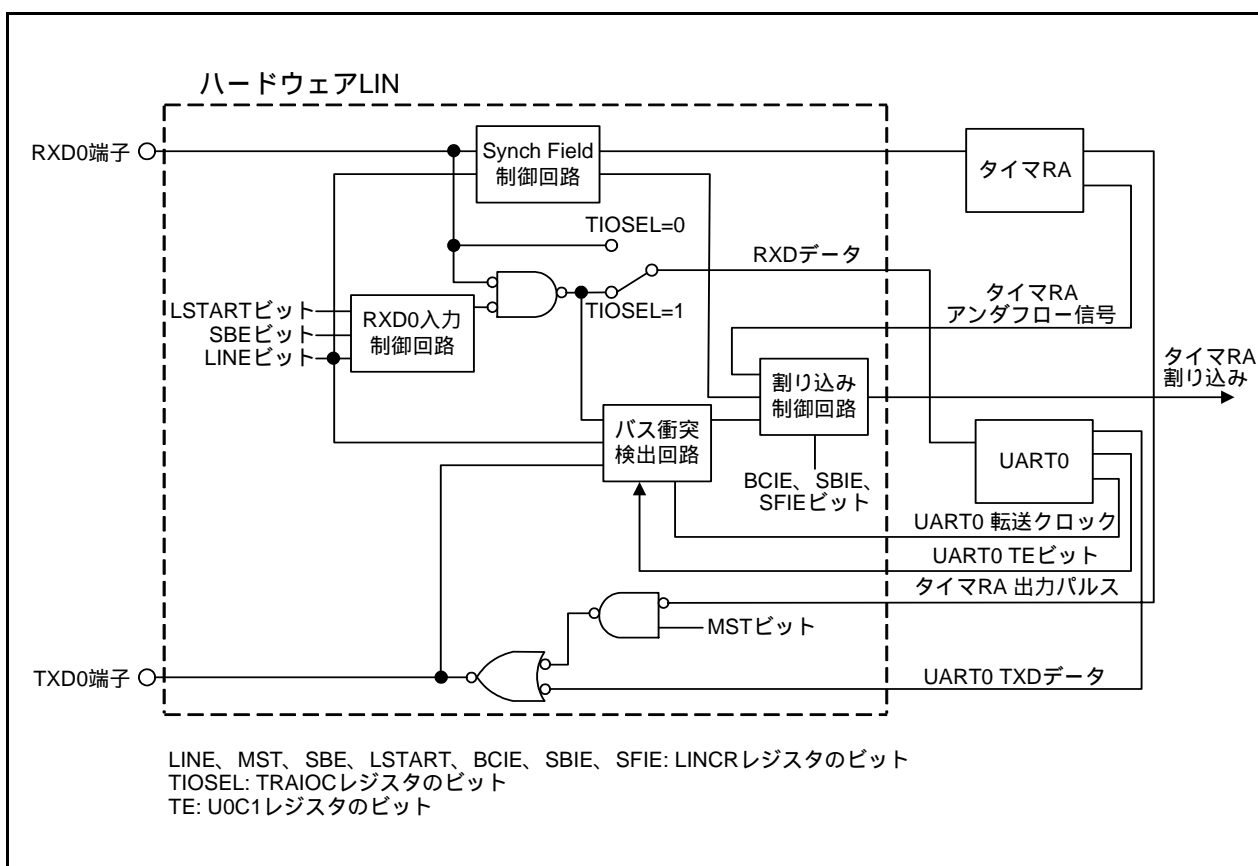


図29.1 ハードウェアLINのブロック図

29.2 入出力端子

表29.1にハードウェアLINの端子構成を示します。

表29.1 ハードウェアLINの端子構成

名称	端子名	割り当てる端子	入出力	機能
レシーブデータ入力	RXD0	P1_5(注1)	入力	ハードウェアLINの受信データ入力端子
トランスミットデータ出力	TXD0	P1_4(注1)	出力	ハードウェアLINの送信データ出力端子

注1. ハードウェアLINを使用するときは、U0SRレジスタのTXD0SEL0ビットを“1”、RXD0SEL0ビットを“1”にしてください。

29.3 レジスタの説明

ハードウェア LIN には以下のレジスタがあります。

- LIN コントロールレジスタ 2 (LINCR2)
- LIN コントロールレジスタ (LINCR)
- LIN ステータスレジスタ (LINST)

29.3.1 LIN コントロールレジスタ 2 (LINCR2)

アドレス 0105h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	BCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCE	Synch Break送信時、バス衝突検出有効ビット	0：バス衝突検出禁止 1：バス衝突検出有効	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	-			
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

29.3.2 LIN コントロールレジスタ (LINCR)

アドレス 0106h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LINE	MST	SBE	LSTART	RXDSF	BCIE	SBIE	SFIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFIE	Synch Field 計測完了割り込み許可ビット	0 : Synch Field 計測完了割り込み禁止 1 : Synch Field 計測完了割り込み許可	R/W
b1	SBIE	Synch Break 検出割り込み許可ビット	0 : Synch Break 検出割り込み禁止 1 : Synch Break 検出割り込み許可	R/W
b2	BCIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b3	RXDSF	RXD0 入力ステータスフラグ	0 : RXD0 入力許可状態 1 : RXD0 入力禁止状態	R
b4	LSTART	Synch Break 検出開始ビット (注1)	“1” を書くときタイマ RA 入力許可、RXD0 入力禁止になります。読んだ場合、その値は “0”。	R/W
b5	SBE	RXD0 入力マスク解除タイミングセレクトビット (スレープモードのみ有効)	0 : Synch Break 検出後に解除 1 : Synch Field 計測完了後に解除	R/W
b6	MST	LIN 動作モード設定ビット (注2)	0 : スレープモード (Synch Break 検出回路動作) 1 : マスタモード (タイマ RA の出力を TXD0 と OR する)	R/W
b7	LINE	LIN 動作開始ビット	0 : LIN は動作停止 1 : LIN は動作開始 (注3)	R/W

- 注1. LSTART ビット設定後、RXDSF フラグが “1” になることを確認してから Synch Break を入力開始してください。
 注2. LIN 動作モードを切り替える場合は、一度、LIN 動作を停止 (LINE ビット=0) してください。
 注3. LINE ビットを “1” (LIN は動作開始) にした直後は、タイマ RA および UART0 への入力は禁止です (図29.3 ヘッダフィールド送信フローチャート例 (1) および図29.7 ヘッダフィールド受信フローチャート例 (2) を参照してください)。

29.3.3 LIN ステータスレジスタ (LINST)

アドレス 0107h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	B2CLR	B1CLR	B0CLR	BCDCT	SBDCT	SFDCT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFDCT	Synch Field 計測完了フラグ	“1” のとき Synch Field 計測完了	R
b1	SBDCT	Synch Break 検出フラグ	“1” のとき Synch Break 検出、または Synch Break 発生完了	R
b2	BCDCT	バス衝突検出フラグ	“1” のときバス衝突検出	R
b3	B0CLR	SFDCT フラグクリアビット	“1” を書くとき SFDCT ビットを “0” にします。読んだ場合、その値は “0”。	R/W
b4	B1CLR	SBDCT フラグクリアビット	“1” を書くとき SBDCT ビットを “0” にします。読んだ場合、その値は “0”。	R/W
b5	B2CLR	BCDCT フラグクリアビット	“1” を書くとき BCDCT ビットを “0” にします。読んだ場合、その値は “0”。	R/W
b6	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。	-	-
b7	-			

29.4 動作説明

29.4.1 マスタモード

図29.2にマスタモードでの、ヘッダフィールドの送信時の動作例を、図29.3～図29.4にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

- (1) タイマRAのTRACRレジスタのTSTARTビットに“1”を書き込むと、タイマRAのTRAPRE、TRAレジスタに設定された期間、TXD0端子から“L”レベルを出力します。
- (2) タイマRAがアンダフローすると、TXD0端子の出力を反転し、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRCレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (3) UART0により、“55h”を送信します。
- (4) UART0により、“55h”の送信が完了後、IDフィールドを送信します。
- (5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

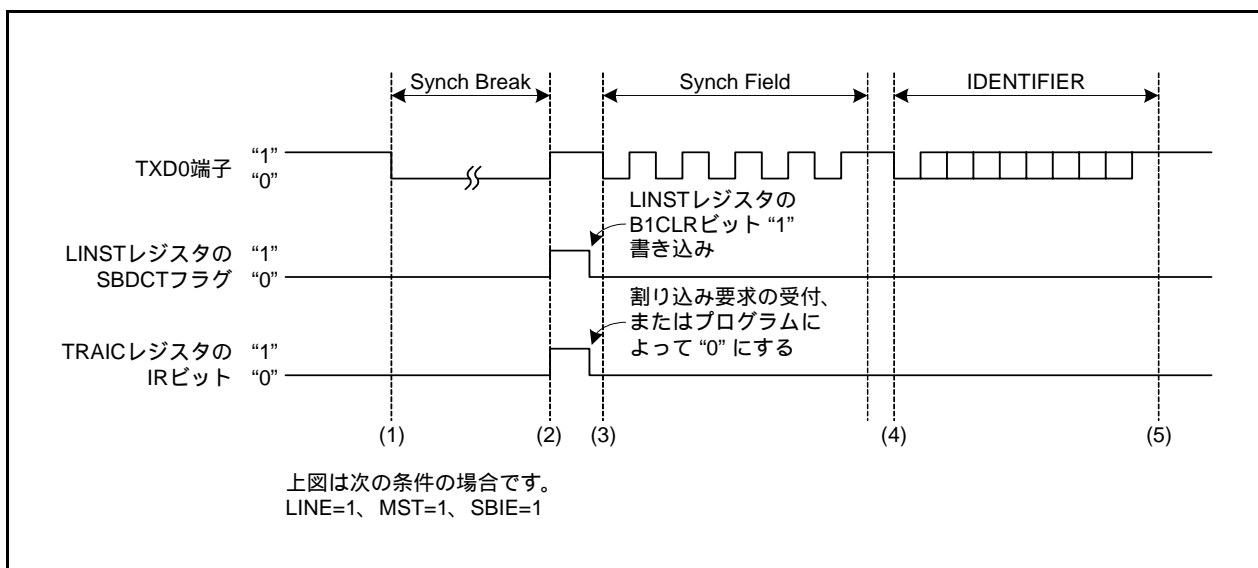


図29.2 ヘッダフィールドの送信時の動作例

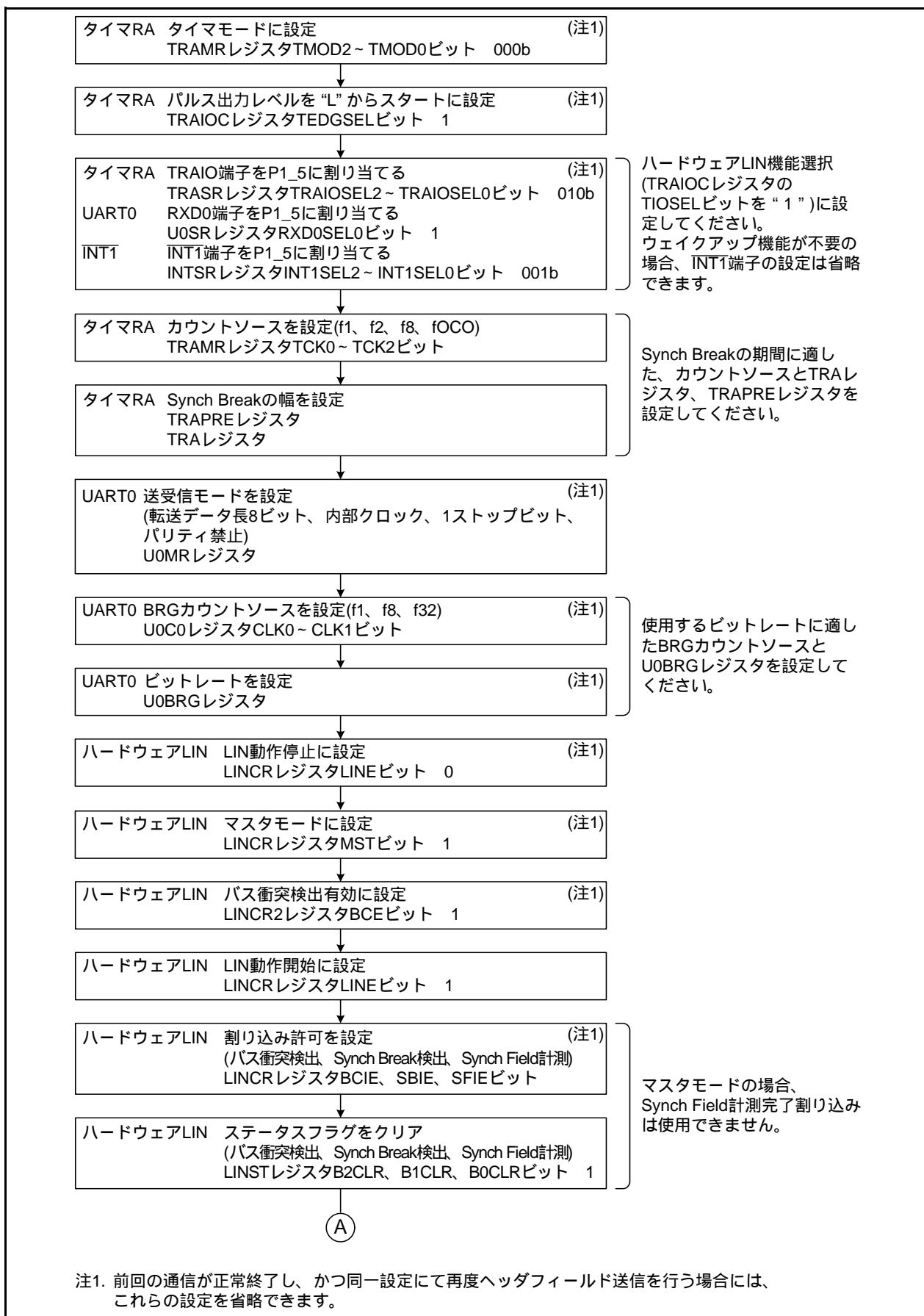


図 29.3 ヘッダフィールド送信フローチャート例(1)

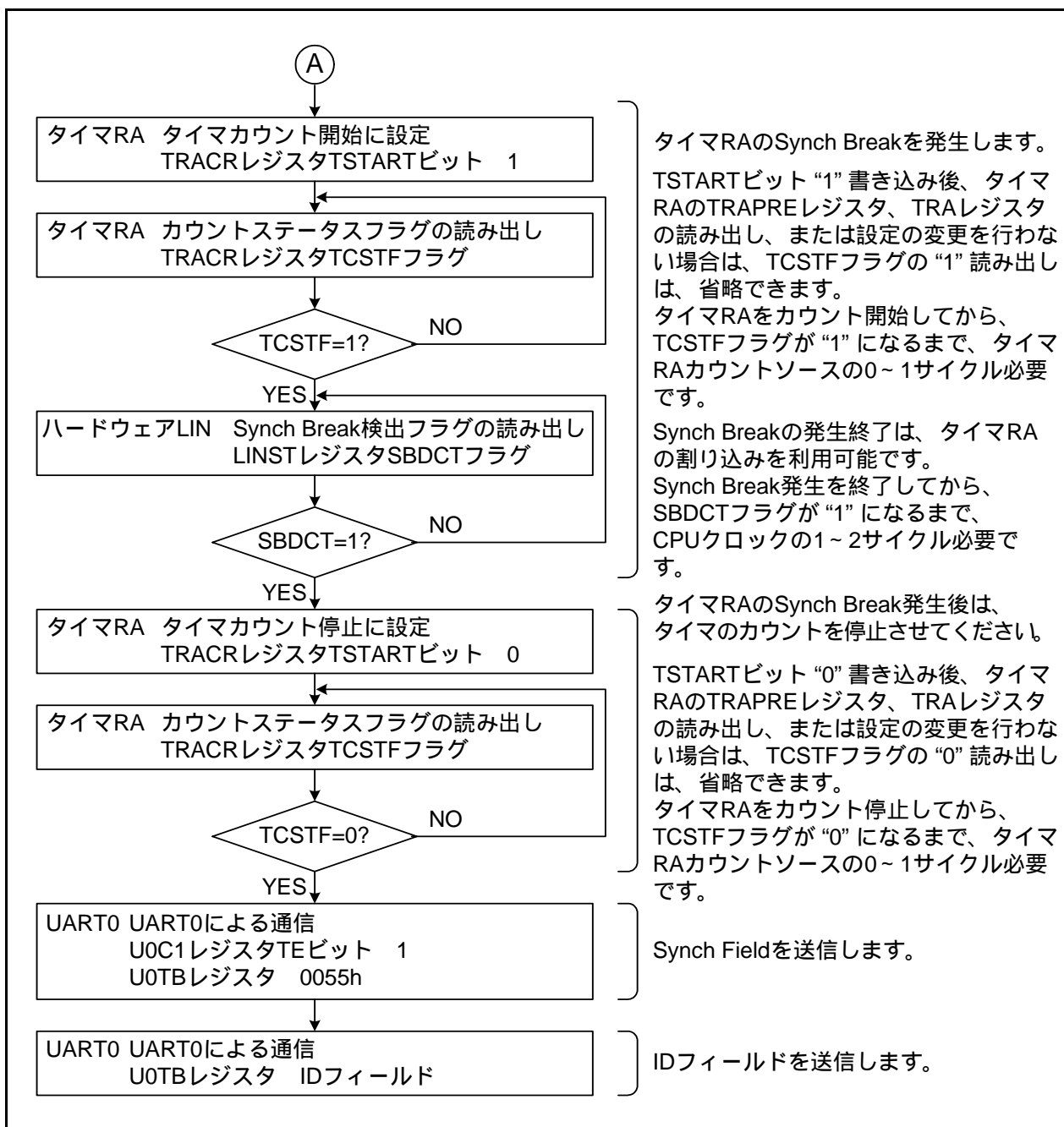


図 29.4 ヘッダフィールド送信フローチャート例(2)

29.4.2 スレーブモード

図 29.5 にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図 29.6 ~ 図 29.8 にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

- (1) ハードウェアLINのLINCXレジスタのLSTARTビットに“1”を書き込むと、Synch Break検出が可能になります。
- (2) タイマRAに設定した期間以上の“L”レベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCXレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。そして、Synch Field計測に遷移します。
- (3) Synch Field(55h)を受信します。この時、タイマRAにより、スタートビットおよび0~6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXD0に入力するか禁止にするかをLINCXのSBEビットにより選択できます。
- (4) Synch Field計測が完了するとLINSTレジスタのSFDCTフラグが“1”にセットされます。また、LINCXレジスタのSFIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (5) Synch Field計測完了後、タイマRAのカウント値から転送速度を算出し、UART0に設定およびタイマRAのTRAPREレジスタとTRAレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
- (6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

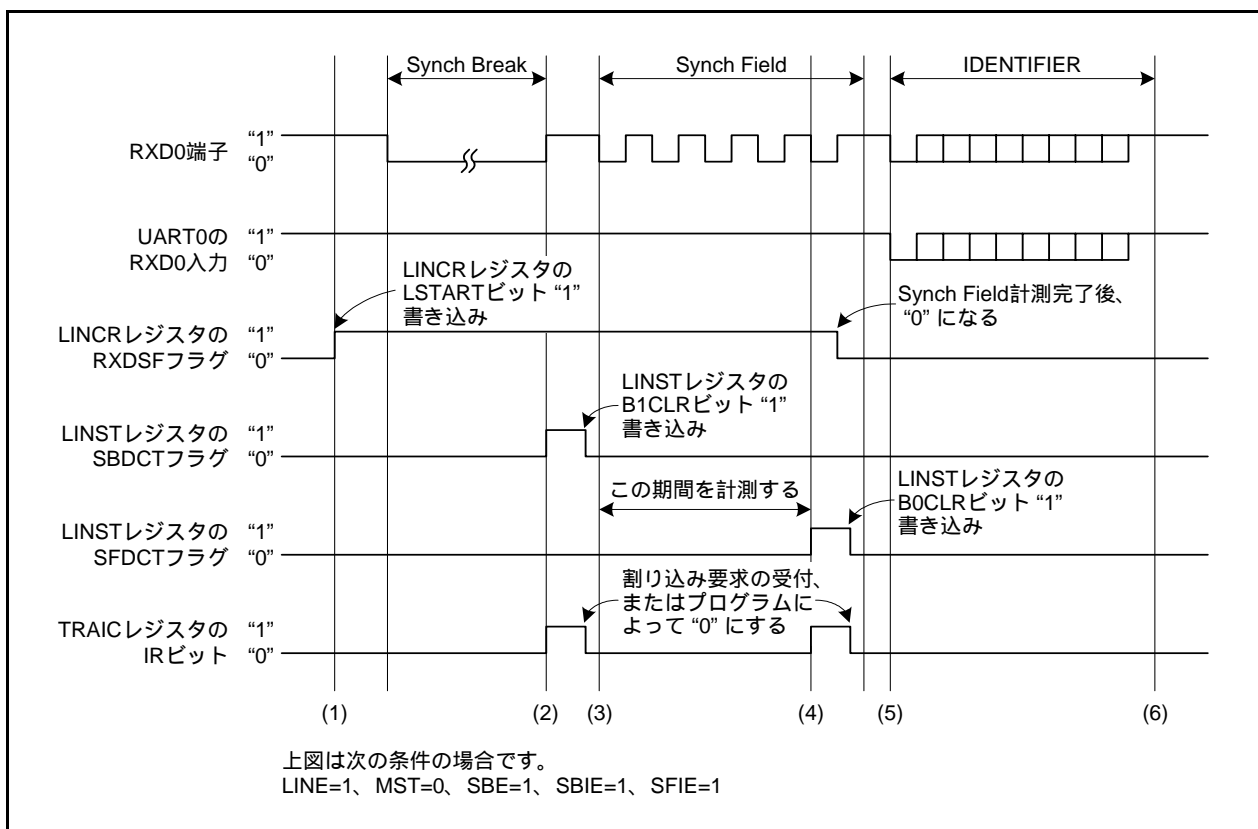


図 29.5 ヘッダフィールドの受信時の動作例

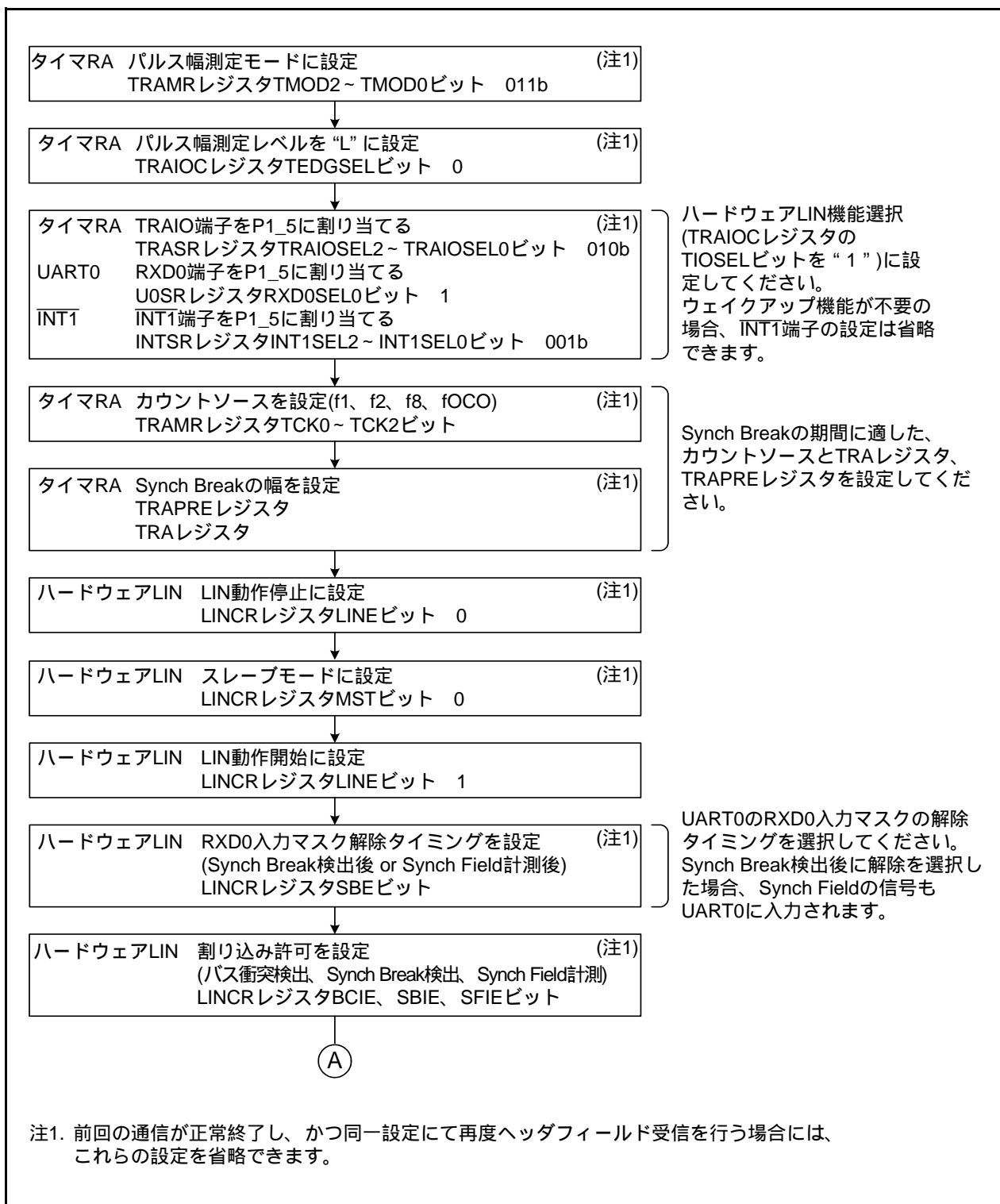


図29.6 ヘッダフィールド受信フローチャート例(1)

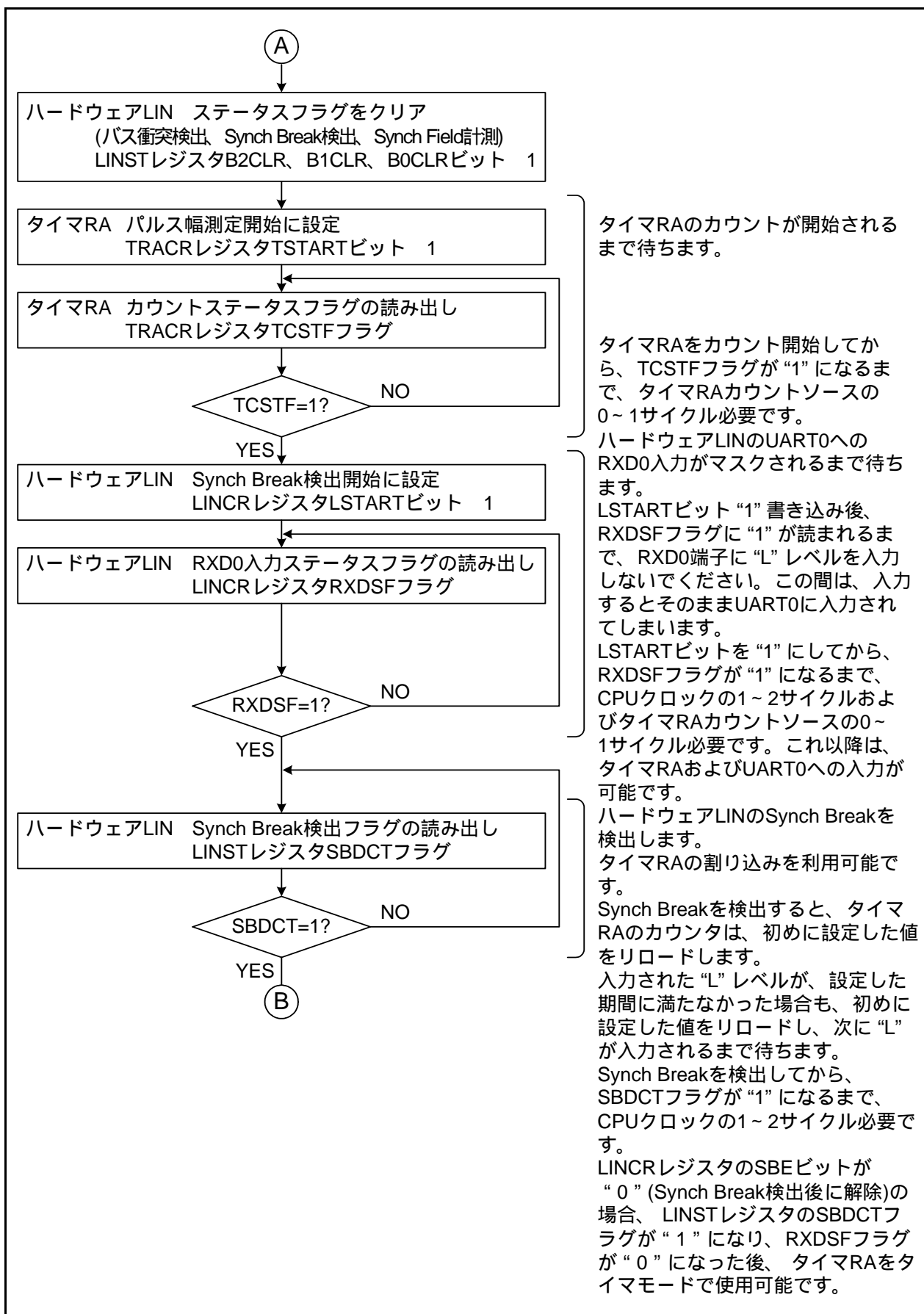


図 29.7 ヘッダフィールド受信フローチャート例(2)

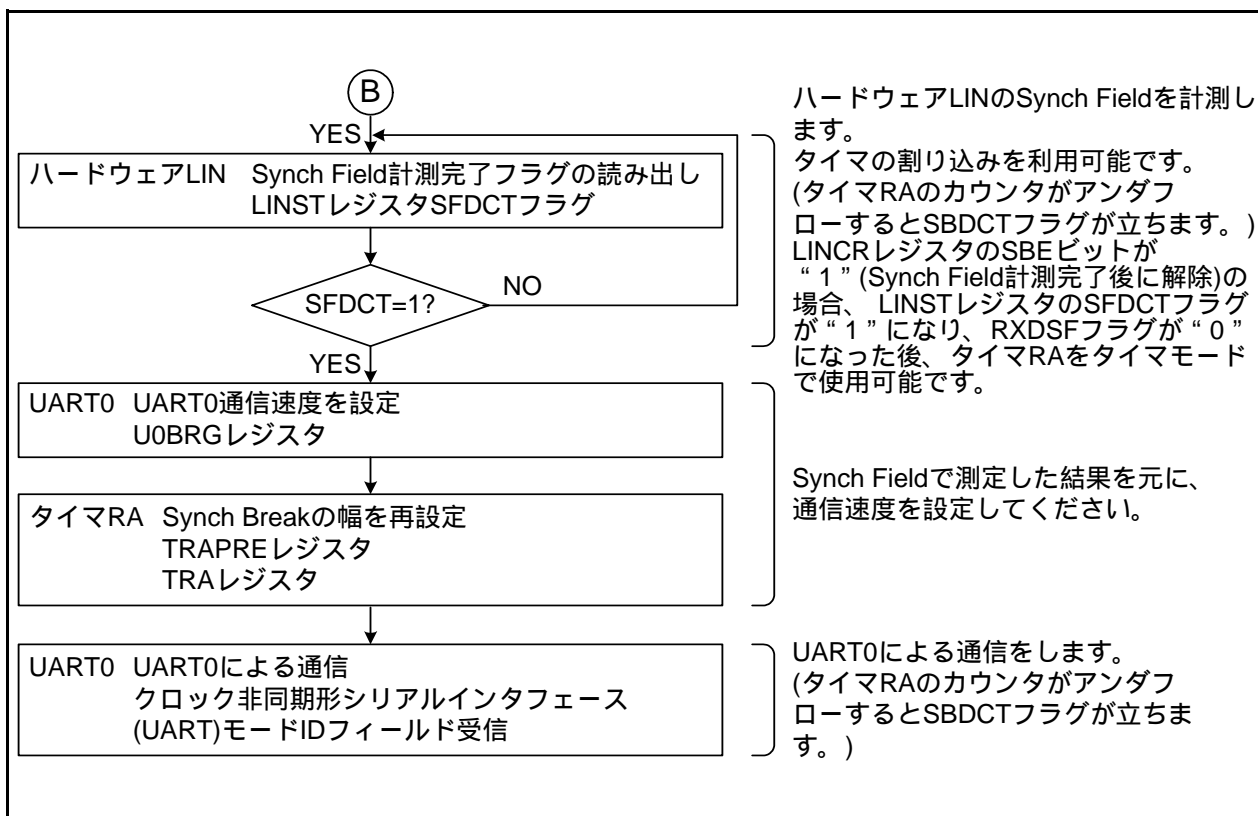


図 29.8 ヘッダフィールド受信フローチャート例(3)

29.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが“1”)の場合、バス衝突検出機能を使用することができます。Synch Break 送信中にバス衝突検出を行う場合は、LINC2レジスタのBCEビットを“1”(バス衝突検出有効)にしてください。

図29.9にバス衝突検出時の動作例を示します。

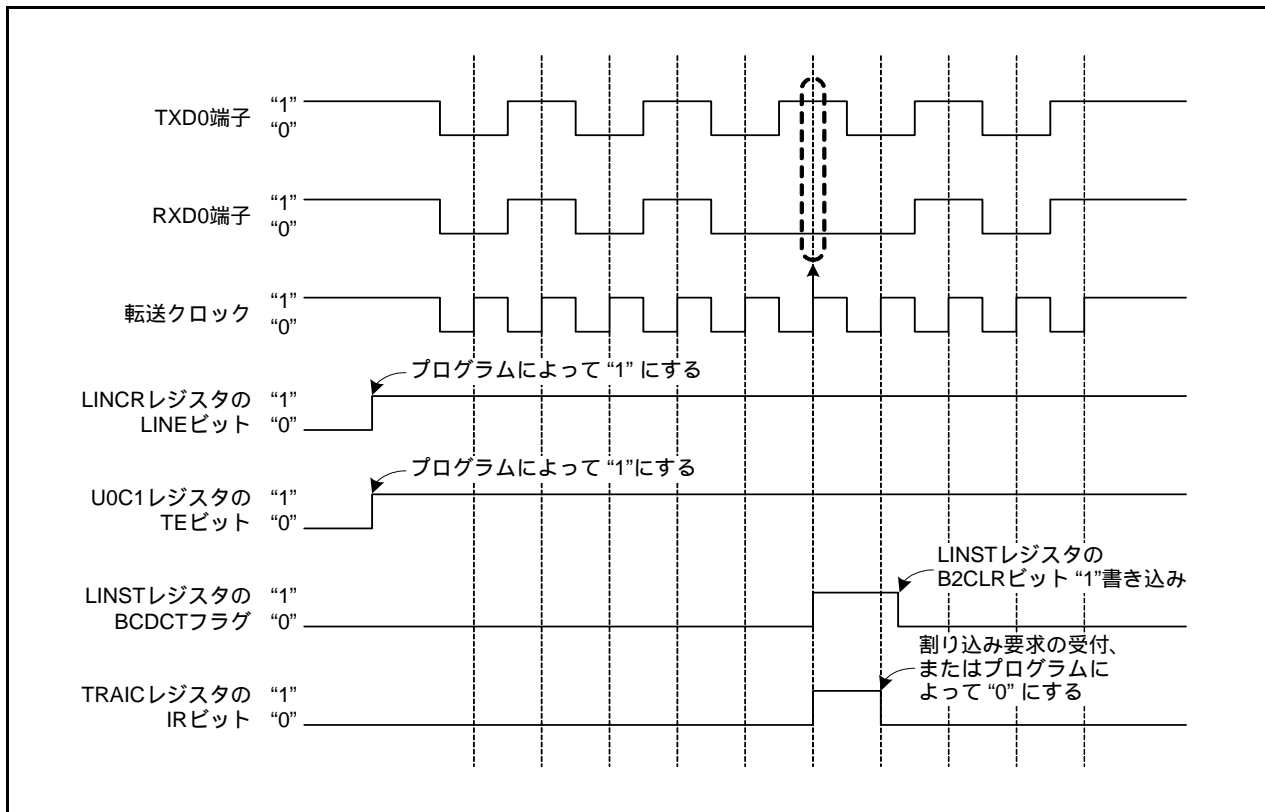


図29.9 バス衝突検出時の動作例

29.4.4 ハードウェアLIN終了処理

図29.10にハードウェアLIN通信終了のフローチャート例を示します。

ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：
チェックサム送信終了後、ハードウェアLINの終了処理を実施
- バス衝突検出機能を使用しない場合：
ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

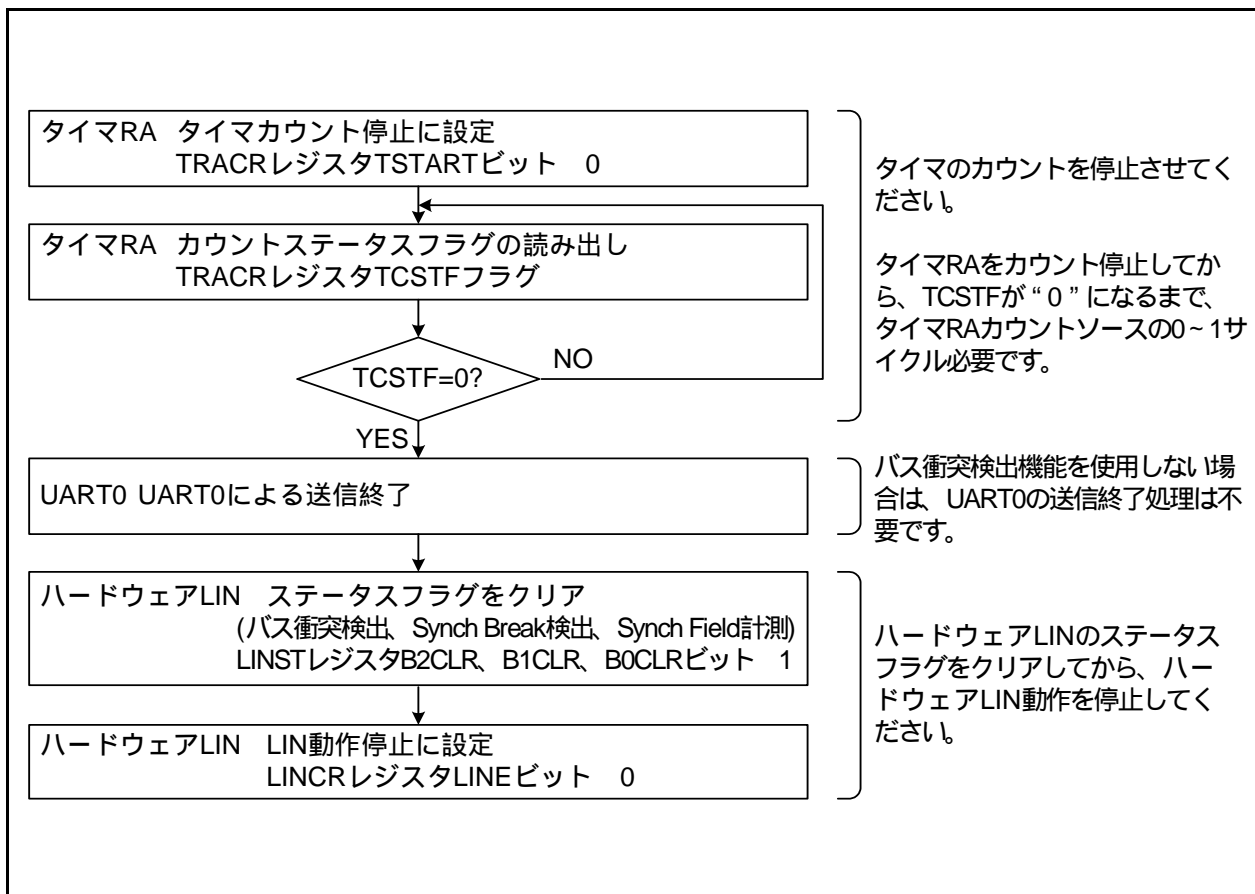


図29.10 ハードウェアLIN通信終了のフローチャート例

29.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRAの割り込みと兼用となっています。

表29.2にハードウェアLINの割り込み要求を示します。

表29.2 ハードウェアLINの割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Synch Break検出	SBDCT	タイマRAによりRXD0入力の“L”レベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長い“L”レベルが入力されたとき
Synch Break発生完了		タイマRAにより設定された期間、TXD0へ“L”レベルの出力を完了したとき
Synch Field計測完了	SFDCT	タイマRAによりSynch Fieldの6ビット目の計測が完了したとき
バス衝突検出	BCDCT	UART0が送信許可の場合、データラッチタイミングでRXD0入力とTXD0出力の値が異なったとき

29.6 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

30. A/D コンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P0_0 ~ P0_7、P1_0 ~ P1_3と端子を共用しています。

30.1 概要

表30.1にA/Dコンバータの性能を、図30.1にA/Dコンバータのブロック図を示します。

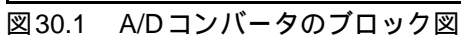
表30.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V ~ AVCC
動作クロック AD(注2)	fAD、fADの2分周、fADの4分周、fADの8分周 (fAD=f1またはfOCO-F)
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC=Vref=5V、AD=20MHzのとき <ul style="list-style-type: none"> • 分解能8ビットの場合 ± 2LSB • 分解能10ビットの場合 ± 3LSB AVCC=Vref=3.3V、AD=16MHzのとき <ul style="list-style-type: none"> • 分解能8ビットの場合 ± 2LSB • 分解能10ビットの場合 ± 5LSB AVCC=Vref=3.0V、AD=10MHzのとき <ul style="list-style-type: none"> • 分解能8ビットの場合 ± 2LSB • 分解能10ビットの場合 ± 5LSB AVCC=Vref=2.2V、AD=5MHzのとき <ul style="list-style-type: none"> • 分解能8ビットの場合 ± 2LSB • 分解能10ビットの場合 ± 5LSB
動作モード	単発モード、繰り返しモード0、繰り返しモード1、単掃引モード、繰り返し掃引モード
アナログ入力端子	20本(AN0 ~ AN19)
A/D変換開始条件	<ul style="list-style-type: none"> • ソフトウェアトリガ • タイマRD • タイマRC • 外部トリガ(「30.3.3 A/D変換開始条件」参照)
1端子あたりの変換速度(注3) (AD=fADのとき)	最短43 ADサイクル

注1. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. 4.0V AVCC 5.5Vのとき、ADの周波数を20MHz以下にしてください。
3.2V AVCC < 4.0Vのとき、ADの周波数を16MHz以下にしてください。
3.0V AVCC < 3.2Vのとき、ADの周波数を10MHz以下にしてください。
2.2V AVCC < 3.0Vのとき、ADの周波数を5MHz以下にしてください。
ADの周波数は2MHz以上にしてください。

注3. 分解能8ビット、10ビット共に1端子あたりの変換速度は最短43 ADサイクルになります。



30.2 レジスタの説明

30.2.1 チップ内蔵基準電圧制御レジスタ (OCVREFCR)

アドレス 0026h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	OCVREFAN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCVREFAN	チップ内蔵基準電圧 - アナログ 入力接続ビット(注1)	0 : チップ内蔵基準電圧とアナログ入力を切断 1 : チップ内蔵基準電圧とアナログ入力を接続	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADCON1 レジスタの ADEX0 ビットを “1” (チップ内蔵基準電圧を選択) にした後に、OCVREFAN ビットを “1” (チップ内蔵基準電圧とアナログ入力を接続) にしてください。
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFAN ビットを “0” (チップ内蔵基準電圧とアナログ入力を切断) にした後に、ADEX0 ビットを “0” (拡張アナログ入力端子を非選択) にしてください。

OCVREFCR レジスタは、PRCR レジスタの PRC3 ビットを “1” (書き込み許可) にした後で書き換えてください。

A/D 変換中に OCVREFCR レジスタの内容を書き換えた場合、変換結果は不定になります。

30.2.2 A/D レジスタ_i (AD_i)(_i=0 ~ 7)

アドレス 00C1h ~ 00C0h 番地 (AD₀)、00C3h ~ 00C2h 番地 (AD₁)、00C5h ~ 00C4h 番地 (AD₂)、
00C7h ~ 00C6h 番地 (AD₃)、00C9h ~ 00C8h 番地 (AD₄)、00CBh ~ 00CAh 番地 (AD₅)、
00CDh ~ 00CCh 番地 (AD₆)、00CFh ~ 00CEh 番地 (AD₇)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	X	X

ビット	機能		R/W
	10ビットモードの場合 (ADCON1 レジスタの BITS ビット = “1”)	8ビットモードの場合 (ADCON1 レジスタの BITS ビット = “0”)	
b0	A/D 変換結果の下位 8 ビット	A/D 変換結果	R
b1			
b2			
b3			
b4			
b5			
b6			
b7			
b8	A/D 変換結果の上位 2 ビット	読んだ場合、その値は “0”。	R
b9			
b10	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		-
b11			
b12			
b13			
b14			
b15	予約ビット	読んだ場合、その値は不定。	R

A/D 変換中に ADCON1、ADMOD、ADINSEL、OCVREFCR レジスタのいずれかの内容を書き換えた場合、変換結果は不定になります。

10 ビットモードかつ繰り返しモード 0、繰り返しモード 1、繰り返し掃引モードで使用する場合、AD_i レジスタは 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

30.2.3 A/D モードレジスタ (ADMOD)

アドレス 00D4h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	分周選択ビット	b1 b0 0 0 : fAD の 8 分周	R/W
b1	CKS1		0 1 : fAD の 4 分周	R/W
			1 0 : fAD の 2 分周 1 1 : fAD の 1 分周 (分周なし)	
b2	CKS2	クロック源選択ビット (注1)	0 : f1 を選択 1 : fOCO-F を選択	R/W
b3	MD0	A/D 動作モード選択ビット	b5 b4 b3 0 0 0 : 単発モード	R/W
b4	MD1		0 0 1 : 設定しないでください	R/W
b5	MD2		0 1 0 : 繰り返しモード 0 0 1 1 : 繰り返しモード 1 1 0 0 : 単掃引モード 1 0 1 : 設定しないでください 1 1 0 : 繰り返し掃引モード 1 1 1 : 設定しないでください	R/W
b6	ADCAP0	A/D 変換トリガ選択ビット	b7 b6 0 0 : ソフトウェアトリガ (ADCON0 レジスタの ADST ビット) による A/D 変換開始	R/W
b7	ADCAP1		0 1 : タイマ RD からの変換トリガによる A/D 変換開始 1 0 : タイマ RC からの変換トリガによる A/D 変換開始 1 1 : 外部トリガ (ADTRG) による A/D 変換開始	R/W

注1. CKS2 ビットを変更したときは、AD の 3 サイクル以上経過した後に A/D 変換を開始してください。

A/D 変換中に ADMOD レジスタの内容を書き換えた場合、変換結果は不定になります。

30.2.4 A/D入力選択レジスタ (ADINSEL)

アドレス 00D5h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADGSEL1	ADGSEL0	SCAN1	SCAN0	-	CH2	CH1	CH0
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0	アナログ入力端子選択ビット	「表 30.2 アナログ入力端子選択」参照	R/W
b1	CH1			R/W
b2	CH2			R/W
b3	-	予約ビット	“ 0 ” にしてください	R/W
b4	SCAN0	A/D 掃引端子数選択ビット	b5 b4 00 : 2 端子 01 : 4 端子 10 : 6 端子 11 : 8 端子	R/W
b5	SCAN1			R/W
b6	ADGSEL0	A/D 入力グループ選択ビット	b7 b6 00 : ポート P0 グループを選択 01 : ポート P1 グループを選択 10 : ポート P7 グループを選択 11 : ポートグループを非選択	R/W
b7	ADGSEL1			R/W

A/D 変換中に ADINSEL レジスタの内容を書き換えた場合、変換結果は不定になります。

表 30.2 アナログ入力端子選択

CH2 ~ CH0 ビット	ADGSEL1 ~ ADGSEL0 ビット=00b	ADGSEL1 ~ ADGSEL0 ビット=01b	ADGSEL1 ~ ADGSEL0 ビット=10b
000b	AN0	AN8	AN12
001b	AN1	AN9	AN13
010b	AN2	AN10	AN14
011b	AN3	AN11	AN15
100b	AN4	設定しないでください	AN16
101b	AN5		AN17
110b	AN6		AN18
111b	AN7		AN19

30.2.5 A/D制御レジスタ0 (ADCON0)

アドレス 00D6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	ADST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

ADSTビット(A/D変換開始フラグ)

【“1”になる条件】A/D変換開始時およびA/D変換中

【“0”になる条件】A/D変換停止時

30.2.6 A/D制御レジスタ1 (ADCON1)

アドレス 00D7h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADDDAEL	ADDDAEN	ADSTBY	BITS	-	-	-	ADEX0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADEX0	拡張アナログ入力端子選択ビット (注1)	0: 拡張アナログ入力端子を非選択 1: チップ内蔵基準電圧を選択(注2)	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	-			
b4	BITS	8/10ビットモード選択ビット	0: 8ビットモード 1: 10ビットモード	R/W
b5	ADSTBY	A/Dスタンバイビット(注3)	0: A/D動作停止(スタンバイ) 1: A/D動作可能	R/W
b6	ADDDAEN	A/D断線検出アシスト機能許可ビット (注4)	0: 禁止 1: 許可	R/W
b7	ADDDAEL	A/D断線検出アシスト方式選択ビット (注4)	0: 変換前ディスチャージ 1: 変換前プリチャージ	R/W

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0 ビットを“1”(チップ内蔵基準電圧を選択)にした後に、OCVREFCR レジスタの OCVREFAN ビットを“1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。

また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFAN ビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0 ビットを“0”(拡張アナログ入力端子を非選択)にしてください。

注2. 単掃引モード、繰り返し掃引モードでは設定しないでください。

注3. ADSTBY ビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、ADの1サイクル以上経過した後にA/D変換を開始してください。

注4. A/D断線検出アシスト機能を許可にするためには、ADDDAEN ビットを“1”(許可)にした後、ADDDAEL ビットで変換開始状態を選択してください。
断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。

A/D変換中にADCON1 レジスタの内容を書き換えた場合、変換結果は不定になります。

30.3 複数モードに関わる共通事項

30.3.1 入出力端子

アナログ入力はAN0 ~ AN19 で、P0_0 ~ P0_7、P1_0 ~ P1_3、P7_0 ~ P7_7 と端子を共用しています。

ANi (i=0 ~ 19) 端子を入力で使用する場合、端子に対応するポート方向ビットを“0”(入力モード)にしてください。

A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。

30.3.2 A/D変換サイクル数

図30.2にA/D変換タイミング図を、図30.3にA/D変換サイクル数($AD = f_{AD}$ のとき)を示します。

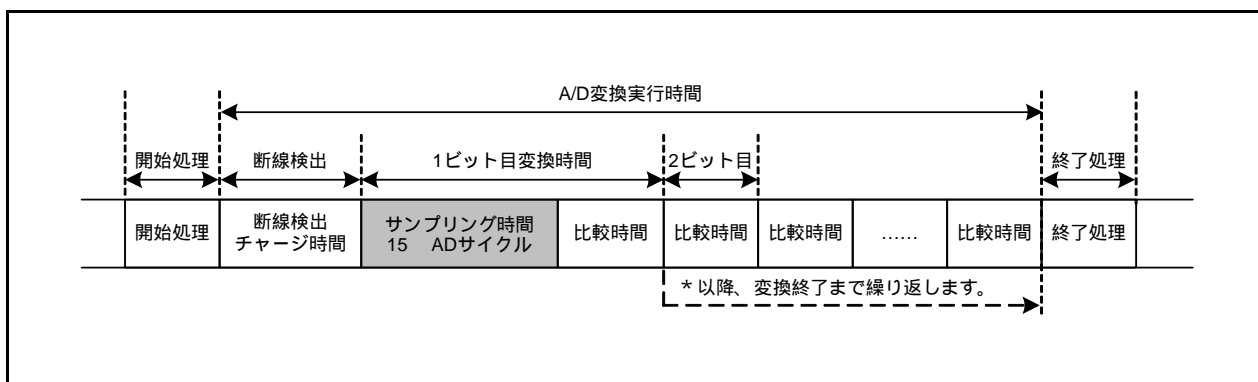


図30.2 A/D変換タイミング図

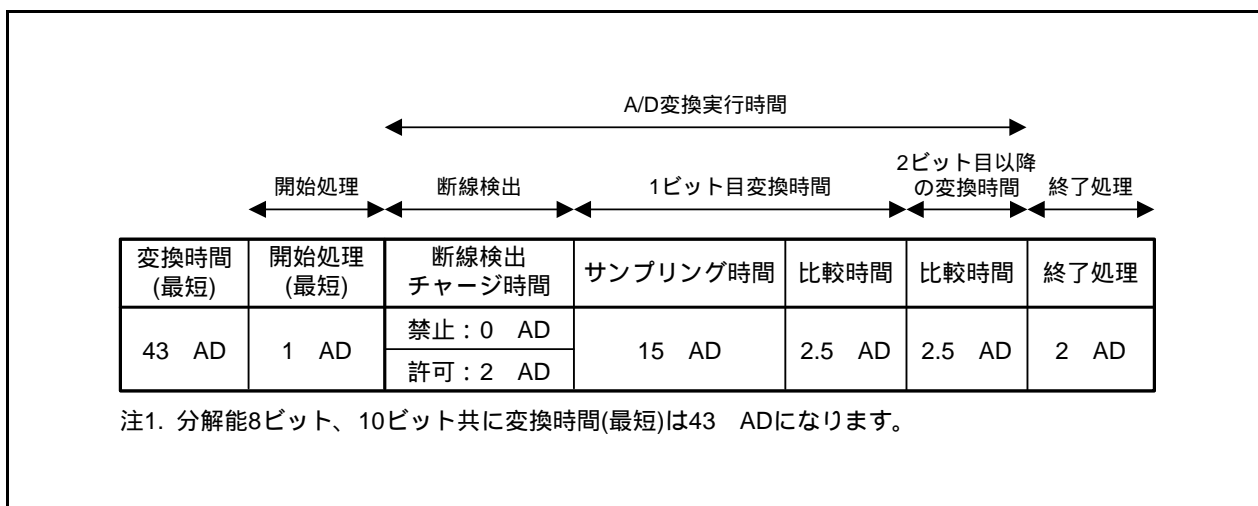


図30.3 A/D変換サイクル数($AD = f_{AD}$ のとき)

表30.3に各A/D変換項目のサイクル数を示します。A/D変換時間は次のとおりです。

開始処理時間は ADの選択によって変わります。

ADCON0レジスタのADSTビットに“1”(A/D変換開始)を書くと、開始処理時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと“0”(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間にADSTビットが“0”になり、最後のA/D変換結果がADiレジスタに入ります。

- 単発モードの場合

開始処理時間 + A/D変換実行時間 + 終了処理時間

- 単掃引モードで2端子を選択した場合

開始処理時間 + (A/D変換実行時間 + 実行間処理時間 + A/D変換実行時間) + 終了処理時間

表30.3 各A/D変換項目のサイクル数

A/D変換項目		サイクル数
開始処理時間	AD=fAD	fADの1～2サイクル
	AD=fADの2分周	fADの2～3サイクル
	AD=fADの4分周	fADの3～4サイクル
	AD=fADの8分周	fADの5～6サイクル
A/D変換実行時間	断線検出禁止	ADの40サイクル
	断線検出許可	ADの42サイクル
実行間処理時間		ADの1サイクル
終了処理時間		fADの2～3サイクル

30.3.3 A/D 変換開始条件

A/D 変換開始トリガはソフトウェアトリガと、タイマRD、タイマRCからのトリガと、外部トリガがあります。

図30.4にA/D変換開始制御部のブロック図を示します。

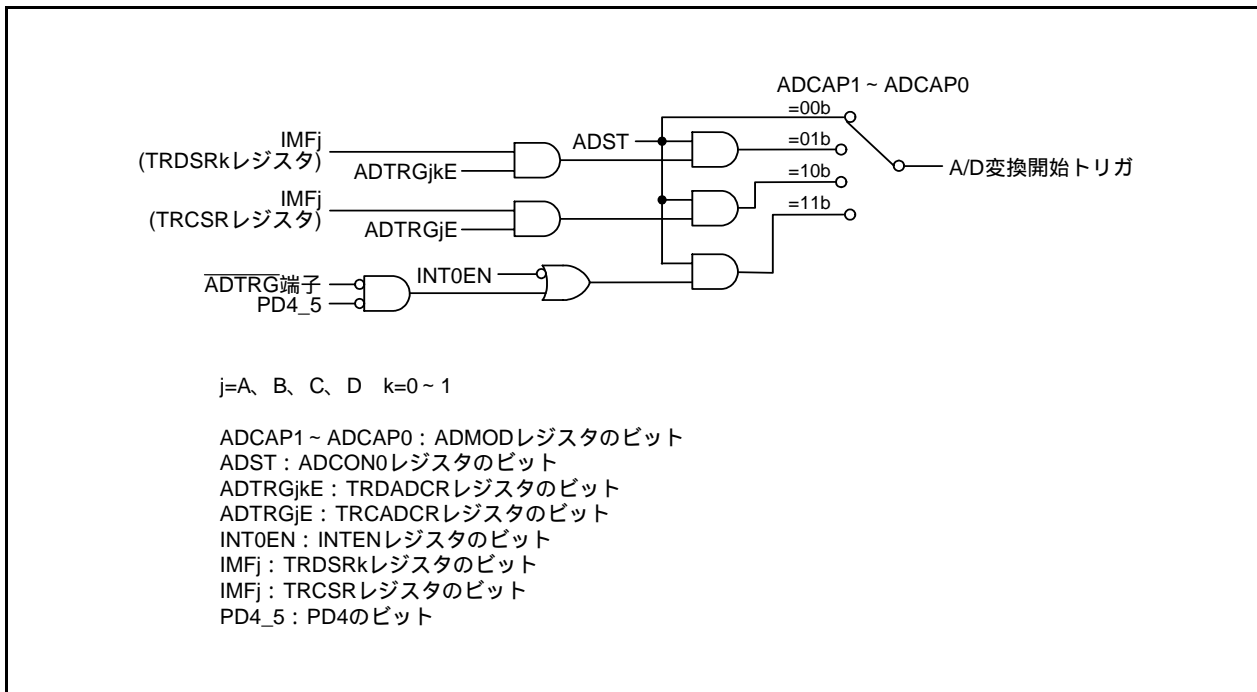


図30.4 A/D変換開始制御部のブロック図

30.3.3.1 ソフトウェアトリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合です。
ADCON0レジスタのADSTビットを“1”(A/D変換開始)にするとA/D変換を開始します。

30.3.3.2 タイマRDからのトリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“01b”(タイマRD)の場合です。
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1 ~ ADCAP0ビットが“01b”(タイマRD)。
- タイマRDをアウトプットコンペア機能(タイマモード、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)で使用。
- TRDADCRレジスタのADTRGjkEビット(j=A、B、C、D、k=0~1)が“1”(TRDGRjkレジスタのコンペア一致でA/Dトリガ発生)。
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)。

上記の状態、TRDSRkレジスタのIMFjビットが“0”から“1”になると、A/D変換を開始します。
タイマRD、アウトプットコンペア機能(タイマモード、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)の詳細は「20. タイマRD」、「20.4 アウトプットコンペア機能」、「20.5 PWMモード」、「20.6 リセット同期PWMモード」、「20.7 相補PWMモード」、「20.8 PWM3モード」を参照してください。

30.3.3.3 タイマRCからのトリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“10b”(タイマRC)の場合です。
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1 ~ ADCAP0ビットが“10b”(タイマRC)。
- タイマRCをアウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)で使用。
- TRCADCRレジスタのADTRGjEビット(j=A、B、C、D)が“1”(TRCGRjレジスタのコンペアー致でA/Dトリガ発生)。
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)。

上記の状態、TRCSRレジスタのIMFjビットが“0”から“1”になると、A/D変換を開始します。
タイマRC、アウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)の詳細は「19. タイマRC」、「19.5 タイマモード(アウトプットコンペア機能)」、「19.6 PWMモード」、「19.7 PWM2モード」を参照してください。

30.3.3.4 外部トリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“11b”(外部トリガ($\overline{\text{ADTRG}}$))の場合です。
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1 ~ ADCAP0ビットが“11b”(外部トリガ($\overline{\text{ADTRG}}$))。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1 ~ INT0F0ビットで選択する。
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、 $\overline{\text{ADTRG}}$ 端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

上記の状態、 $\overline{\text{ADTRG}}$ 端子の入力を“H”から“L”にするとA/D変換を開始します。

30.3.4 A/D変換結果

A/D変換した結果はADiレジスタ(i=0 ~ 7)に格納されます。使用するA/D動作モードによって、格納されるADiレジスタは違います。ADiレジスタはリセット後不定です。値は書き込みません。

繰り返しモード0では割り込み要求は発生しません。1回目のA/D変換終了は、A/D変換時間が経過したことをプログラムで判定してください。

単発モード、繰り返しモード1、単掃引モード、繰り返し掃引モードでは、A/D変換終了などのタイミングで割り込み要求が発生します(ADICレジスタのIRビットが“1”になります)。

ただし、繰り返しモード1、繰り返し掃引モードでは、割り込み要求発生後もA/D変換を続けます。次のA/D変換が終了するとADiレジスタに値を上書きしますので、それまでにADiレジスタを読み出してください。

単発モード、単掃引モードで、ADMODレジスタのADCAP1 ~ ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合は、ADCON0レジスタのADSTビットでもA/D変換終了、掃引終了を判定できます。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。

プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

30.3.5 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、ADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

30.3.6 拡張アナログ入力端子

単発モード、繰り返しモード0、繰り返しモード1では、チップ内蔵基準電圧(OCVREF)をアナログ入力として使用できます。

チップ内蔵基準電圧を使用することにより、VREFの変動を確認することができます。ADCON1レジスタのADEX0ビットとOCVREFCRレジスタのOCVREFANビットで選択してください。

単発モード、繰り返しモード0でのチップ内蔵基準電圧のA/D変換結果は、AD0レジスタに格納されます。

30.3.7 A/D断線検出アシスト機能

A/D変換の動作時に、前に変換したチャンネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョップアップキャパシタの電荷を所定の状態(AVCCまたはGND)に固定する機能を内蔵しています。この機能により、アナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

図30.5にAVCC側でのA/D断線検出例(変換前プリチャージを選択)を、図30.6にAVSS側でのA/D断線検出例(変換前ディスチャージを選択)を示します。

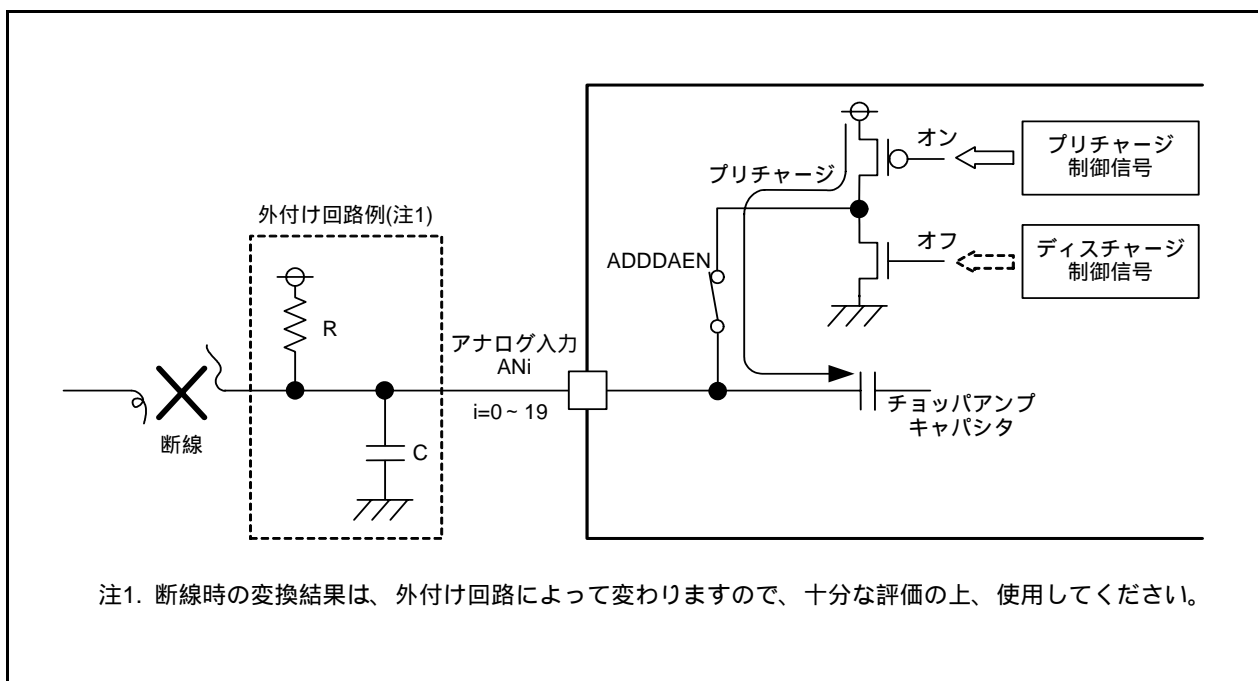


図 30.5 AVCC側でのA/D断線検出例(変換前プリチャージを選択)

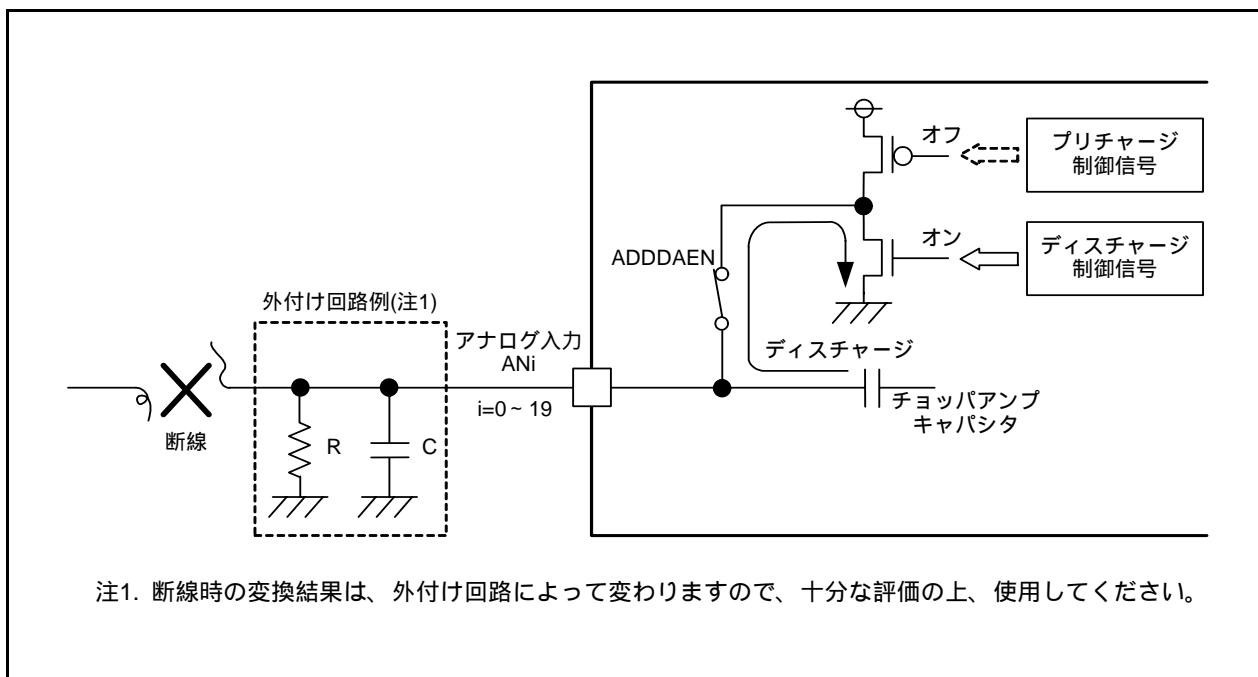


図 30.6 AVSS側でのA/D断線検出例(変換前ディスチャージを選択)

30.4 単発モード

AN0 ~ AN19、またはOCVREFから選択した1本の端子の入力電圧を、1回A/D変換するモードです。
表30.4に単発モードの仕様を示します。

表30.4 単発モードの仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を1回A/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> •ソフトウェアトリガ •タイマRD •タイマRC •外部トリガ(「30.3.3 A/D変換開始条件」参照)
A/D変換停止条件	<ul style="list-style-type: none"> •A/D変換終了(ADMODレジスタのADCAP1 ~ ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合、ADCON0レジスタのADSTビットが“0”になる) •ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0 ~ AN19、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、AN12、OCVREF AD1レジスタ : AN1、AN9、AN13 AD2レジスタ : AN2、AN10、AN14 AD3レジスタ : AN3、AN11、AN15 AD4レジスタ : AN4、AN16 AD5レジスタ : AN5、AN17 AD6レジスタ : AN6、AN18 AD7レジスタ : AN7、AN19
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

30.5 繰り返しモード0

AN0 ~ AN19、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表30.5に繰り返しモード0の仕様を示します。

表30.5 繰り返しモード0の仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0で選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	•ソフトウェアトリガ •タイマRD •タイマRC •外部トリガ(「30.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
アナログ入力端子	AN0 ~ AN19、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、AN12、OCVREF AD1レジスタ : AN1、AN9、AN13 AD2レジスタ : AN2、AN10、AN14 AD3レジスタ : AN3、AN11、AN15 AD4レジスタ : AN4、AN16 AD5レジスタ : AN5、AN17 AD6レジスタ : AN6、AN18 AD7レジスタ : AN7、AN19
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

30.6 繰り返しモード1

AN0 ~ AN19、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表30.6に繰り返しモード1の仕様を、図30.7に繰り返しモード1時の動作例を示します。

表30.6 繰り返しモード1の仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> • ソフトウェアトリガ • タイマRD • タイマRC • 外部トリガ(「30.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	AD7レジスタにA/D変換結果が格納されたとき
アナログ入力端子	AN0 ~ AN19、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：1回目のA/D変換結果、9回目のA/D変換結果、... AD1レジスタ：2回目のA/D変換結果、10回目のA/D変換結果、... AD2レジスタ：3回目のA/D変換結果、11回目のA/D変換結果、... AD3レジスタ：4回目のA/D変換結果、12回目のA/D変換結果、... AD4レジスタ：5回目のA/D変換結果、13回目のA/D変換結果、... AD5レジスタ：6回目のA/D変換結果、14回目のA/D変換結果、... AD6レジスタ：7回目のA/D変換結果、15回目のA/D変換結果、... AD7レジスタ：8回目のA/D変換結果、16回目のA/D変換結果、...
A/D変換値の読み出し	AD0レジスタ ~ AD7レジスタの読み出し

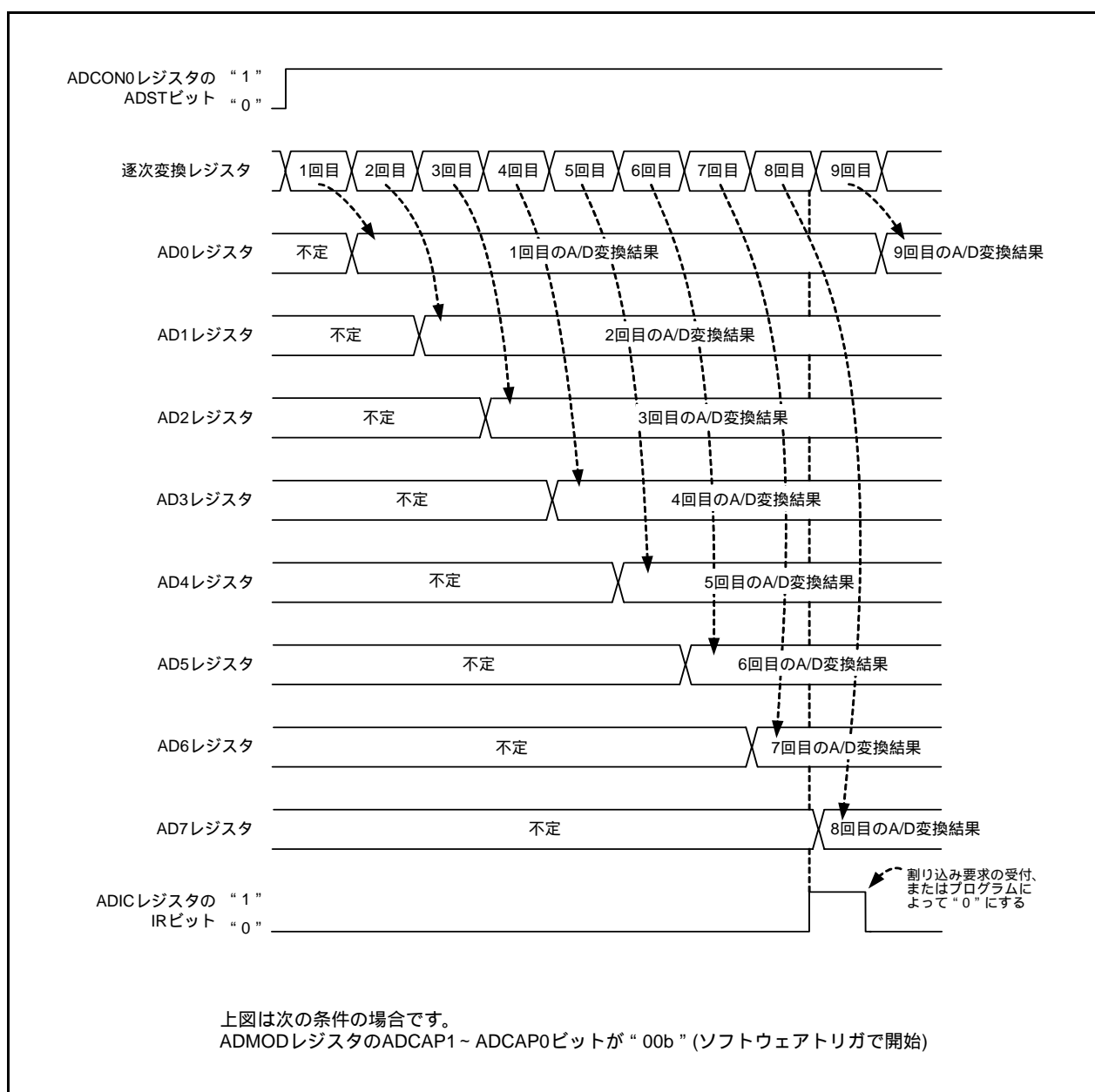


図30.7 繰り返しモード1時の動作例

30.7 単掃引モード

AN0 ~ AN19 から選択した 2 本、4 本、6 本または 8 本の端子の入力電圧を、1 回ずつ A/D 変換するモードです。

表 30.7 に単掃引モードの仕様を、図 30.8 に単掃引モード時の動作例を示します。

表 30.7 単掃引モードの仕様

項目	仕様
機能	ADINSEL レジスタの ADGSEL1 ~ ADGSEL0 ビットと SCAN1 ~ SCAN0 ビットで選択した端子の入力電圧を 1 回ずつ A/D 変換する
分解能	8 ビットまたは 10 ビット
A/D 変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ タイマ RD タイマ RC 外部トリガ (「30.3.3 A/D 変換開始条件」参照)
A/D 変換停止条件	<ul style="list-style-type: none"> 2 端子を選択している場合、選択した 2 端子の A/D 変換終了 (ADCON0 レジスタの ADST ビットが “0” になる) 4 端子を選択している場合、選択した 4 端子の A/D 変換終了 (ADST ビットが “0” になる) 6 端子を選択している場合、選択した 6 端子の A/D 変換終了 (ADST ビットが “0” になる) 8 端子を選択している場合、選択した 8 端子の A/D 変換終了 (ADST ビットが “0” になる) ADST ビットを “0” にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> 2 端子を選択している場合、選択した 2 端子の A/D 変換終了時 4 端子を選択している場合、選択した 4 端子の A/D 変換終了時 6 端子を選択している場合、選択した 6 端子の A/D 変換終了時 8 端子を選択している場合、選択した 8 端子の A/D 変換終了時
アナログ入力端子	AN0 ~ AN1 (2 端子)、AN8 ~ AN9 (2 端子)、AN12 ~ AN13 (2 端子)、 AN0 ~ AN3 (4 端子)、AN8 ~ AN11 (4 端子)、AN12 ~ AN15 (4 端子)、 AN0 ~ AN5 (6 端子)、AN12 ~ AN17 (6 端子)、 AN0 ~ AN7 (8 端子)、AN12 ~ AN19 (8 端子) (SCAN1 ~ SCAN0 ビットと ADGSEL1 ~ ADGSEL0 ビットで選択)
A/D 変換結果の格納レジスタ	AD0 レジスタ : AN0、AN8、AN12 AD1 レジスタ : AN1、AN9、AN13 AD2 レジスタ : AN2、AN10、AN14 AD3 レジスタ : AN3、AN11、AN15 AD4 レジスタ : AN4、AN16 AD5 レジスタ : AN5、AN17 AD6 レジスタ : AN6、AN18 AD7 レジスタ : AN7、AN19
A/D 変換値の読み出し	選択した端子に対応した AD0 レジスタ ~ AD7 レジスタの読み出し

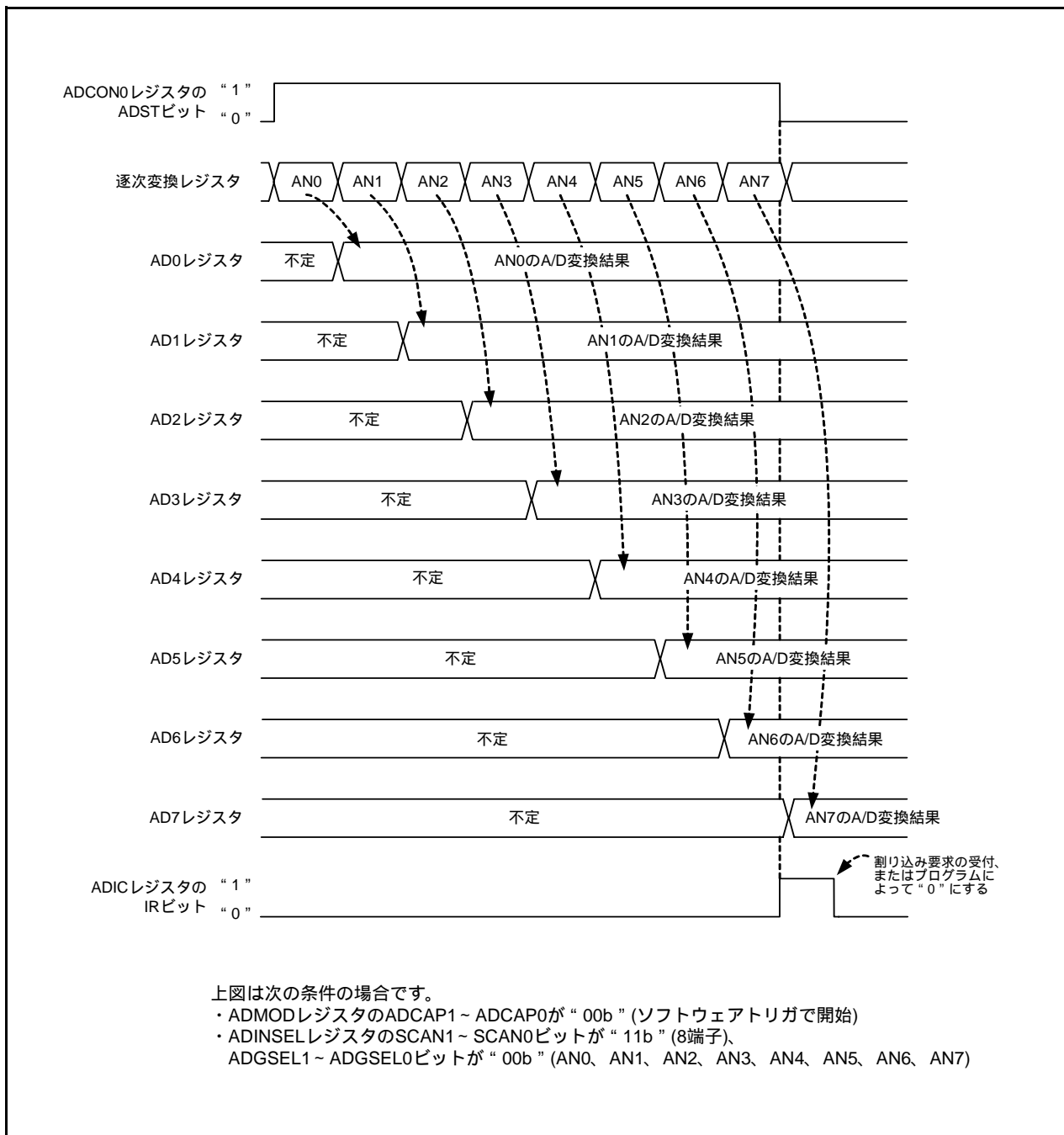


図 30.8 単掃引モード時の動作例

30.8 繰り返し掃引モード

AN0 ~ AN19 から選択した2本、4本、6本または8本の端子の入力電圧を、繰り返し A/D 変換するモードです。

表 30.8 に繰り返し掃引モードの仕様を、図 30.9 に繰り返し掃引モード時の動作例を示します。

表 30.8 繰り返し掃引モードの仕様

項目	仕様
機能	ADINSEL レジスタの ADGSEL1 ~ ADGSEL0 ビットと SCAN1 ~ SCAN0 ビットで選択した端子の入力電圧を繰り返し A/D 変換する
分解能	8 ビットまたは 10 ビット
A/D 変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ タイマ RD タイマ RC 外部トリガ (「30.3.3 A/D 変換開始条件」参照)
A/D 変換停止条件	ADCON0 レジスタの ADST ビットを “0” にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> 2 端子を選択している場合、選択した 2 端子の A/D 変換終了時 4 端子を選択している場合、選択した 4 端子の A/D 変換終了時 6 端子を選択している場合、選択した 6 端子の A/D 変換終了時 8 端子を選択している場合、選択した 8 端子の A/D 変換終了時
アナログ入力端子	AN0 ~ AN1 (2 端子)、AN8 ~ AN9 (2 端子)、AN12 ~ AN13 (2 端子)、 AN0 ~ AN3 (4 端子)、AN8 ~ AN11 (4 端子)、AN12 ~ AN15 (4 端子)、 AN0 ~ AN5 (6 端子)、AN12 ~ AN17 (6 端子)、 AN0 ~ AN7 (8 端子)、AN12 ~ AN19 (8 端子) (SCAN1 ~ SCAN0 ビットと ADGSEL1 ~ ADGSEL0 ビットで選択)
A/D 変換結果の格納レジスタ	AD0 レジスタ : AN0、AN8、AN12 AD1 レジスタ : AN1、AN9、AN13 AD2 レジスタ : AN2、AN10、AN14 AD3 レジスタ : AN3、AN11、AN15 AD4 レジスタ : AN4、AN16 AD5 レジスタ : AN5、AN17 AD6 レジスタ : AN6、AN18 AD7 レジスタ : AN7、AN19
A/D 変換値の読み出し	選択した端子に対応した AD0 レジスタ ~ AD7 レジスタの読み出し

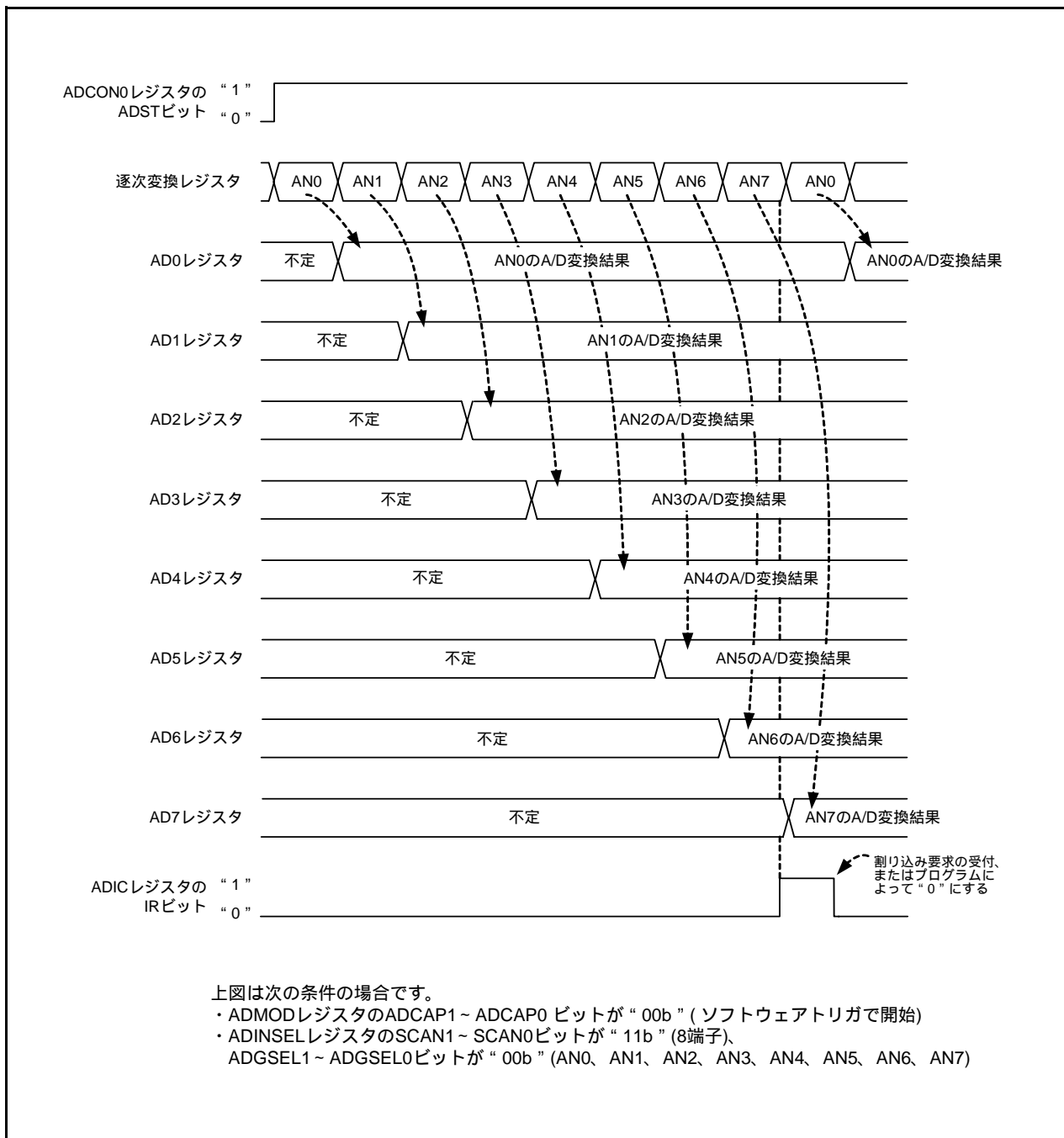


図30.9 繰り返し掃引モード時の動作例

30.9 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図30.10の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VC \text{ は一般に } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=T \text{ のとき、 } VC = VIN - \frac{X}{Y} VIN = VIN \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{よって、} R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図30.10にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなる
とき、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求
めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を
0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

AD=20MHzのとき、T=0.75μsとなります。この時間T内にコンデンサCの充電を十分に行える出力
インピーダンスR0は以下のように求められます。

T=0.75μs、R=10kΩ、C=6.0pF、X=0.1、Y=1024だから、

$$R0 = -\frac{0.75 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 3.5 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0
は最大3.5kΩになります。

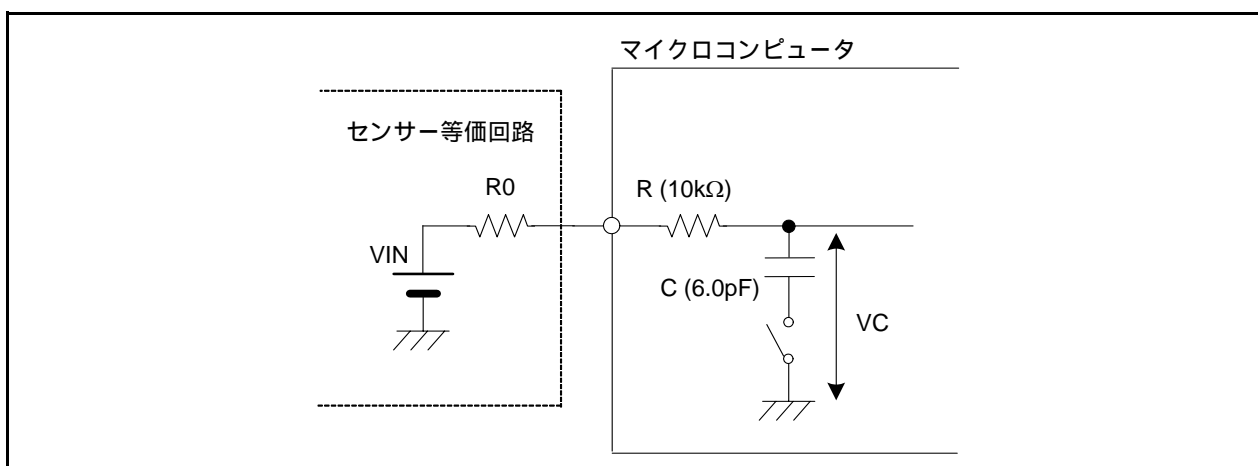


図30.10 アナログ入力端子と外部センサーの等価回路例

30.10 A/D コンバータ使用上の注意

- ADMOD レジスタ、ADINSEL レジスタ、ADCON0 レジスタ (ADST ビットを除く)、ADCON1 レジスタ、OCVREFCR レジスタに対する書き込みは、A/D 変換停止時 (トリガ発生前) に行ってください。
- 繰り返しモード 0、繰り返しモード 1、繰り返し掃引モードで使用する場合、A/D 変換中の CPU クロックには、A/D コンバータの動作クロック AD 以上の周波数を選択してください。
AD に fOCO-F を選択しないでください。
- VREF 端子と AVSS 端子間に 0.1μF のコンデンサを接続してください。
- A/D 変換中はストップモードに移行しないでください。
- A/D 変換中は CM0 レジスタの CM02 ビットの状態 (“ 1 ” (ウェイトモード時、周辺機能クロックを停止する)、 “ 0 ” (ウェイトモード時、周辺機能クロックを停止しない)) に関わらず、ウェイトモードに移行しないでください。
- A/D 変換中は FMR0 レジスタの FMSTP ビットを “ 1 ” (フラッシュメモリ停止) にしないでください。
- fOCO-F が停止しているときは、ADMOD レジスタの CKS2 ビットを変更しないでください。
- A/D 変換動作中に、プログラムで ADCON0 レジスタの ADST ビットを “ 0 ” (A/D 変換停止) にして強制終了した場合、A/D コンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D 変換していない ADi レジスタも、不定になる場合があります。
プログラムで ADST ビットを “ 0 ” にした場合は、すべての ADi レジスタの値を使用しないでください。

31. D/A コンバータ

8ビットのR-2R方式によるD/A コンバータです。独立した2つのD/A コンバータです。

31.1 概要

D/A 変換は、DAi レジスタ (i=0 ~ 1) に値を書くと行われます。変換結果を出力するとき DA CON レジスタの DAiE ビットを “1” (出力許可) にしてください。D/A 変換を使用する場合、PD0 レジスタの対応する PD0_6、PD0_7 ビットは “0” (入力モード) に、PUR0 レジスタの PU01 ビットは “0” (プルアップなし) にしてください。

出力されるアナログ電圧 V は、DAi レジスタに設定した値 n (n は 10 進数) で決まります。

$$V = V_{\text{ref}} \times n / 256 (n = 0 \sim 255)$$

Vref : 基準電圧

表 31.1 に D/A コンバータの仕様を、図 31.1 に D/A コンバータブロック図を、図 31.2 に D/A コンバータの等価回路を示します。

表 31.1 D/A コンバータの仕様

項目	性能
D/A 変換方式	R-2R 方式
分解能	8 ビット
アナログ出力端子	2 本 (DA0、DA1)

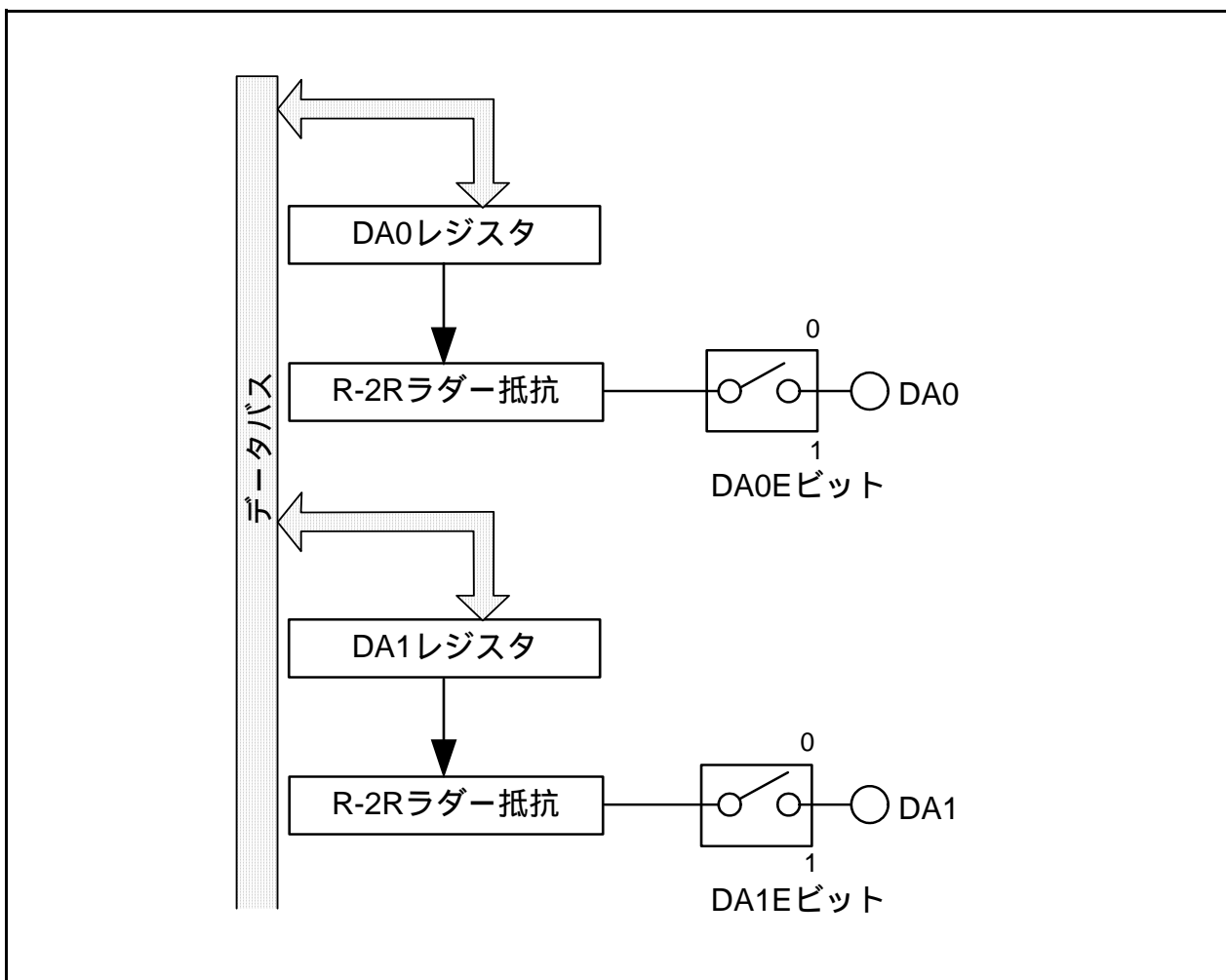


図 31.1 D/A コンバータブロック図

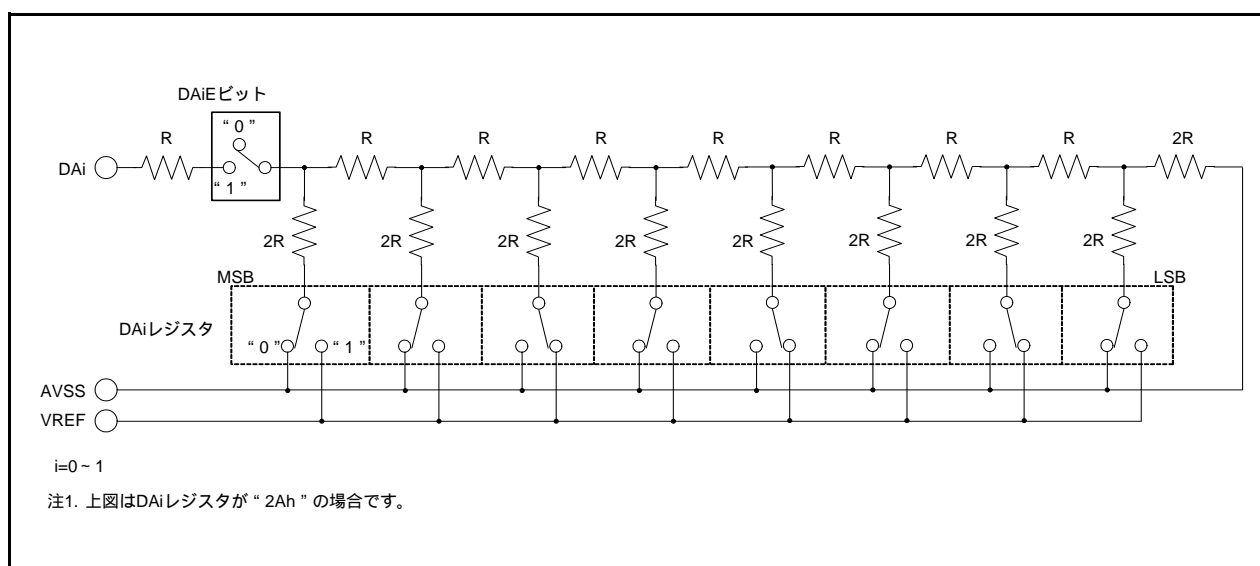


図 31.2 D/A コンバータの等価回路

31.2 レジスタの説明

31.2.1 D/Ai レジスタ (DAi)(i=0 ~ 1)

アドレス 00D8h 番地 (DA0)、00D9h 番地 (DA1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定可能値	R/W
b7 ~ b0	D/A 変換の出力値	00h ~ FFh	R/W

D/A コンバータを使用しない場合には、不要な消費電流を小さくするために DAiE ビット (i=0 ~ 1) を “0” (出力禁止) にし、DAi レジスタを “00h” にして、R-2R の抵抗に電流が流れないようにしてください。

31.2.2 D/A制御レジスタ (DACON)

アドレス 00DCh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	DA1E	DA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DA0E	D/A0 出力許可ビット	0 : 出力禁止 1 : 出力許可	R/W
b1	DA1E	D/A1 出力許可ビット	0 : 出力禁止 1 : 出力許可	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

D/A コンバータを使用しない場合には、不要な消費電流を小さくするために DAiE ビット (i=0 ~ 1) を “0” (出力禁止) にし、DAi レジスタを “00h” にして、R-2R の抵抗に電流が流れないようにしてください。

32. コンパレータ A

コンパレータ A はリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータ A1 とコンパレータ A2 の独立した 2 つのコンパレータです。ただし、コンパレータ A1、コンパレータ A2 は電圧検出回路を電圧監視 1、電圧監視 2 と兼用しています。コンパレータ A1、コンパレータ A2 と電圧監視 1、電圧監視 2 はどちらかを選択して使用できます。

32.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。また、VCOU_{Ti} (i=1 ~ 2) 端子から出力もできます。リファレンス入力電圧として LVREF 端子への入力電圧を選択できます。また、コンパレータ A1 割り込み、コンパレータ A2 割り込みを使用できます。

表 32.1 にコンパレータ A の仕様を、図 32.1 にコンパレータ A のブロック図を、表 32.2 にコンパレータ A の端子構成を示します。

表 32.1 コンパレータ A の仕様

項目		コンパレータ A1	コンパレータ A2
アナログ入力電圧		LVCMP1 端子への入力電圧	LVCMP2 端子への入力電圧
リファレンス入力電圧		LVREF 端子への入力電圧	
比較対象		上昇または下降してリファレンス入力電圧を通過したか	
比較結果のモニタ		VW1C レジスタの VW1C3 ビット	VCA1 レジスタの VCA13 ビット
		リファレンス入力電圧より高いか低いかな	
割り込み		コンパレータ A1 割り込み (ノンマスカブルまたはマスカブルを選択できる)	コンパレータ A2 割り込み (ノンマスカブルまたはマスカブルを選択できる)
		リファレンス入力電圧 > LVCMP1 端子への入力電圧、LVCMP1 端子への入力電圧 > リファレンス入力電圧の両方、またはどちらかで割り込み要求	リファレンス入力電圧 > LVCMP2 端子への入力電圧、LVCMP2 端子への入力電圧 > リファレンス入力電圧の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	あり	
	サンプリング時間	(fOCO-S の n 分周) × 2 n : 1、2、4、8	
比較結果の出力		LVCOUT1 端子から出力 (比較結果をそのまま出力するか、反転して出力するか選択できる)	LVCOUT2 端子から出力 (比較結果をそのまま出力するか、反転して出力するか選択できる)

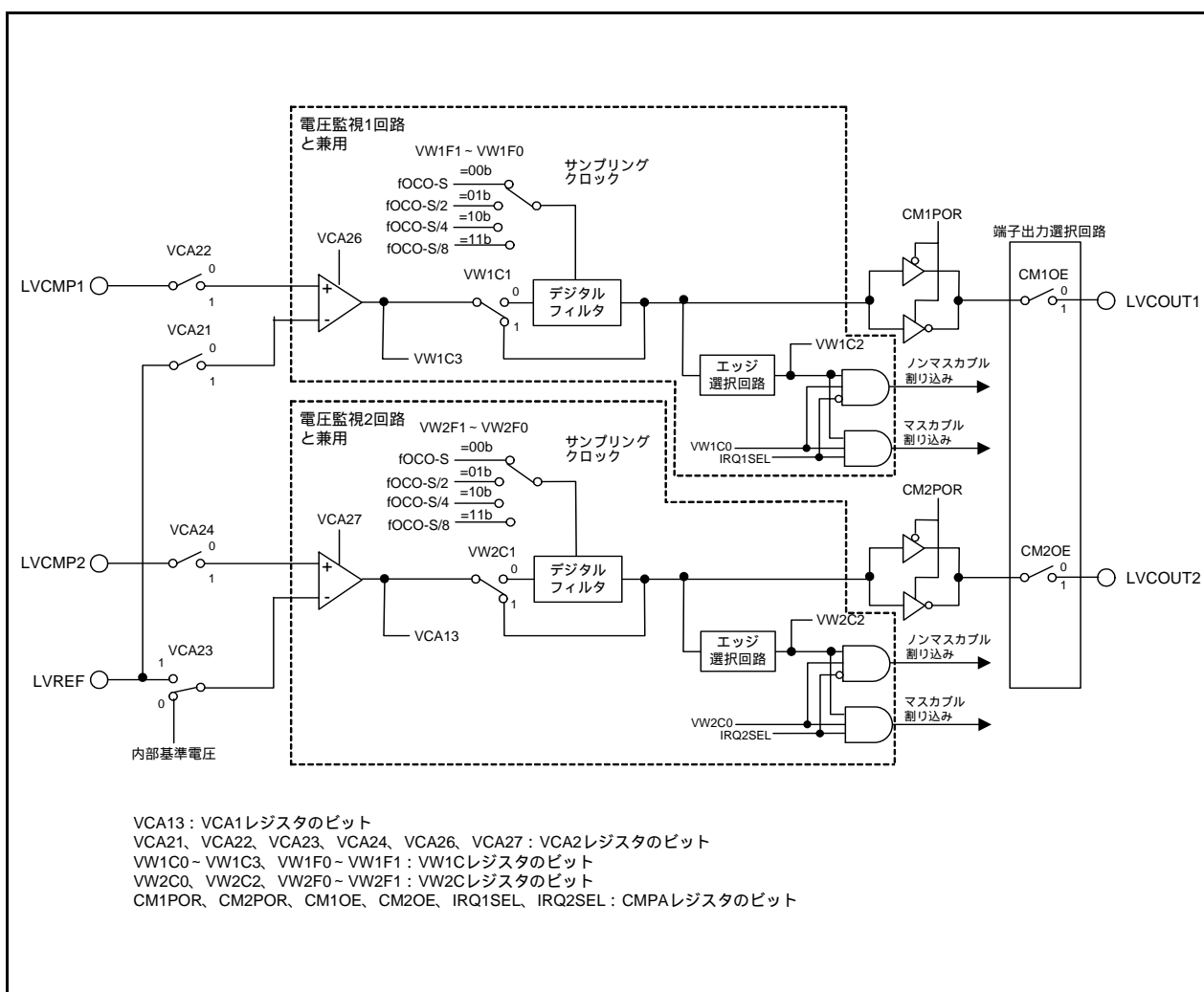


図32.1 コンパレータAのブロック図

表32.2 コンパレータAの端子構成

端子名	入出力	機能
LVCMP1	入力	コンパレータA1用アナログ端子
LVCOUT1	出力	コンパレータA1用比較結果出力端子
LVCMP2	入力	コンパレータA2用アナログ端子
LVCOUT2	出力	コンパレータA2用比較結果出力端子
LVREF	入力	コンパレータ用リファレンス電圧端子

32.2 レジスタの説明

32.2.1 電圧監視回路/コンパレータ A 制御レジスタ (CMPA)

アドレス 0030h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMPSEL	-	IRQ2SEL	IRQ1SEL	CM2OE	CM1OE	CM2POR	CM1POR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM1POR	LVCOUT1 出力極性選択ビット	0 : コンパレータ A1 の比較結果をそのまま LVCOUT1 へ出力 1 : コンパレータ A1 の比較結果を反転して LVCOUT1 へ出力	R/W
b1	CM2POR	LVCOUT2 出力極性選択ビット	0 : コンパレータ A2 の比較結果をそのまま LVCOUT2 へ出力 1 : コンパレータ A2 の比較結果を反転して LVCOUT2 へ出力	R/W
b2	CM1OE	LVCOUT1 出力許可ビット	0 : 出力禁止 1 : 出力許可	R/W
b3	CM2OE	LVCOUT2 出力許可ビット	0 : 出力禁止 1 : 出力許可	R/W
b4	IRQ1SEL	電圧監視 1/コンパレータ A1 割り込み種類選択ビット	0 : ノンマスカブル割り込み 1 : マスカブル割り込み	R/W
b5	IRQ2SEL	電圧監視 2/コンパレータ A2 割り込み種類選択ビット	0 : ノンマスカブル割り込み 1 : マスカブル割り込み	R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	COMPSEL	電圧監視/コンパレータ A 割り込み種類選択有効ビット	0 : IRQ1SEL、IRQ2SEL ビット無効 1 : IRQ1SEL、IRQ2SEL ビット有効	R/W

32.2.2 電圧監視回路エッジ選択レジスタ (VCAC)

アドレス 0031h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	VCAC2	VCAC1	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	VCAC1	コンパレータ A1 回路エッジ選択ビット (注1)	0: 片エッジ 1: 両エッジ	R/W
b2	VCAC2	コンパレータ A2 回路エッジ選択ビット (注2)	0: 片エッジ 1: 両エッジ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. VCAC1ビットが“0” (片エッジ) のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。

注2. VCAC2ビットが“0” (片エッジ) のとき、VW2CレジスタのVW2C7ビットが有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

32.2.3 電圧検出レジスタ 1 (VCA1)

アドレス 0033h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	VCA13	-	-	-
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	-			
b3	VCA13	コンパレータ A2 信号モニタフラグ (注1)	0: LVCMP2 < リファレンス電圧 1: LVCMP2 リファレンス電圧、 またはコンパレータ A2 回路無効	R
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. VCA2レジスタのVCA27ビットが“1” (コンパレータ A2 回路有効) のとき、VCA13ビットは有効です。
VCA2レジスタのVCA27ビットが“0” (コンパレータ A2 回路無効) のとき、VCA13ビットは“1” (VCMPP2 リファレンス電圧) になります。

32.2.4 電圧検出レジスタ 2 (VCA2)

アドレス 0034h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	VCA24	VCA23	VCA22	VCA21	VCA20
リセット後の値	OFS レジスタの LVDAS ビットが “1”							
	0	0	0	0	0	0	0	0
リセット後の値	OFS レジスタの LVDAS ビットが “0”							
	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット (注1)	0: 低消費電力禁止 1: 低消費電力許可 (注2)	R/W
b1	VCA21	コンパレータ A1 リファレンス電圧入力選択ビット	0: 内部基準電圧 1: LVREF 端子入力電圧	R/W
b2	VCA22	LVCMP1 比較電圧外部入力選択ビット	0: 電源電圧 (VCC) 1: LVCMP1 端子入力電圧	R/W
b3	VCA23	コンパレータ A2 リファレンス電圧入力選択ビット	0: 内部基準電圧 1: LVREF 端子入力電圧	R/W
b4	VCA24	LVCMP2 比較電圧外部入力選択ビット	0: 電源電圧 (VCC) (Vdet2_0) 1: LVCMP2 端子入力電圧 (Vdet2_EXT)	R/W
b5	VCA25	電圧検出 0 許可ビット (注3)	0: 電圧検出 0 回路無効 1: 電圧検出 0 回路有効	R/W
b6	VCA26	電圧検出 1/コンパレータ A1 許可ビット (注4)	0: 電圧検出 1/コンパレータ A1 回路無効 1: 電圧検出 1/コンパレータ A1 回路有効	R/W
b7	VCA27	電圧検出 2/コンパレータ A2 許可ビット (注5)	0: 電圧検出 2/コンパレータ A2 回路無効 1: 電圧検出 2/コンパレータ A2 回路有効	R/W

注1. VCA20 ビットはウェイトモードへの移行時のみに使用してください。VCA20 ビットの設定は「図9.3 VCA20 ビットによる内部電源低消費電力操作手順」に従ってください。

注2. VCA20 ビットが “1” (低消費電力許可) のとき、CM1 レジスタの CM10 ビットを “1” (ストップモード) にしないでください。

注3. VCA25 ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出 1/コンパレータ A1 割り込みを使用する場合、または VW1C レジスタの VW1C3 ビットを使用する場合、VCA26 ビットを “1” にしてください。

VCA26 ビットを “0” から “1” にした後、td(E-A) 経過してから電圧検出 1/コンパレータ A1 回路が動作します。

注5. 電圧検出 2/コンパレータ A2 割り込みを使用する場合、または VCA1 レジスタの VCA13 ビットを使用する場合、VCA27 ビットを “1” にしてください。

VCA27 ビットを “0” から “1” にした後、td(E-A) 経過してから電圧検出 2/コンパレータ A2 回路が動作します。

VCA2 レジスタは PRCR レジスタの PRC3 ビットを “1” (書き込み許可) にした後で書き換えてください。

32.2.5 電圧監視 1 回路制御レジスタ (VW1C)

アドレス 0039h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	-	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	コンパレータ A1 割り込み許可ビット (注 1)	0 : 禁止 1 : 許可	R/W
b1	VW1C1	コンパレータ A1 デジタルフィルタ無効モード選択ビット (注 2)	0 : デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1 : デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	コンパレータ A1 割り込みフラグ (注 3、4)	[“ 0 ” になる条件] “ 0 ” を書く [“ 1 ” になる条件] 割り込み要求が発生したとき	R/W
b3	VW1C3	コンパレータ A1 信号モニタフラグ (注 3)	0 : LVCMP1 < リファレンス電圧 1 : LVCMP1 リファレンス電圧 またはコンパレータ A1 回路無効	R
b4	VW1F0	サンプリングクロック選択ビット	b5 b4 0 0 : fOCO-S の 1 分周 0 1 : fOCO-S の 2 分周 1 0 : fOCO-S の 4 分周 1 1 : fOCO-S の 8 分周	R/W
b5	VW1F1			R/W
b6	-	予約ビット	“ 0 ” にしてください	R/W
b7	VW1C7	コンパレータ A1 割り込み発生条件選択ビット (注 5)	0 : LVCMP1 がリファレンス電圧以上になるとき 1 : LVCMP1 がリファレンス電圧以下になるとき	R/W

- 注 1. VW1C0 ビットは VCA2 レジスタの VCA26 ビットが “ 1 ” (コンパレータ A1 回路有効) のとき有効になります。VCA26 ビットが “ 0 ” (コンパレータ A1 回路無効) のとき、VW1C0 ビットを “ 0 ” (禁止) にしてください。VW1C0 ビットを “ 1 ” (許可) にするときは、「表 32.3 コンパレータ A1 割り込み関連ビットの設定手順」に従ってください。
- 注 2. コンパレータ A1 割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW1C1 ビットに “ 0 ” を書き込み後、“ 1 ” を書き込んでください。
- 注 3. VW1C2 ビットおよび VW1C3 ビットは VCA2 レジスタの VCA26 ビットが “ 1 ” (コンパレータ A1 回路有効) のとき有効になります。
- 注 4. プログラムで “ 0 ” にしてください。プログラムで “ 0 ” を書くと “ 0 ” になります (“ 1 ” を書いても変化しません)。
- 注 5. VW1C7 ビットは VCAC レジスタの VCAC1 ビットが “ 0 ” (片エッジ) のとき有効になります。VCAC1 ビットを “ 0 ” にした後、VW1C7 ビットを設定してください。

VW1C レジスタは PRCR レジスタの PRC3 ビットを “ 1 ” (書き込み許可) にした後で書き換えてください。

VW1C レジスタを書き換えると、VW1C2 ビットが “ 1 ” になる場合があります。VW1C レジスタを書き換え後、VW1C2 ビットを “ 0 ” にしてください。

32.2.6 電圧監視2回路制御レジスタ (VW2C)

アドレス 003Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW2C7	VW2C6	VW2F1	VW2F0	VW2C3	VW2C2	VW2C1	VW2C0
リセット後の値	1	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW2C0	コンパレータ A2 割り込み許可ビット (注1)	0 : 禁止 1 : 許可	R/W
b1	VW2C1	コンパレータ A2 デジタルフィルタ無効モード選択ビット (注2)	0 : デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1 : デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW2C2	コンパレータ A2 割り込みフラグ (注3、4)	[“ 0 ” になる条件] “ 0 ” を書く [“ 1 ” になる条件] 割り込み要求が発生したとき	R/W
b3	VW2C3	WDT 検出フラグ (注4)	0 : 未検出 1 : 検出	R/W
b4	VW2F0	サンプリングクロック選択ビット	b5 b4 0 0 : fOCO-S の 1 分周 0 1 : fOCO-S の 2 分周 1 0 : fOCO-S の 4 分周 1 1 : fOCO-S の 8 分周	R/W
b5	VW2F1			R/W
b6	VW2C6	予約ビット	“ 0 ” にしてください	R/W
b7	VW2C7	コンパレータ A2 割り込み発生条件選択ビット (注5)	0 : LVCMP2 がリファレンス電圧以上になるとき 1 : LVCMP2 がリファレンス電圧以下になるとき	R/W

- 注1. VW2C0 ビットは VCA2 レジスタの VCA27 ビットが “ 1 ” (コンパレータ A2 回路有効) のとき有効になります。VCA27 ビットが “ 0 ” (コンパレータ A2 回路無効) のとき、VW2C0 ビットを “ 0 ” (禁止) にしてください。VW2C0 ビットを “ 1 ” (許可) にするときは、「表 32.4 コンパレータ A2 割り込み関連ビットの設定手順」に従ってください。
- 注2. コンパレータ A2 割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW2C1 ビットに “ 0 ” を書き込み後、“ 1 ” を書き込んでください。
- 注3. VW2C2 ビットは VCA2 レジスタの VCA27 ビットが “ 1 ” (コンパレータ A2 回路有効) のとき有効になります。
- 注4. プログラムで “ 0 ” にしてください。プログラムで “ 0 ” を書くと “ 0 ” になります (“ 1 ” を書いても変化しません)。
- 注5. VW2C7 ビットは VCAC レジスタの VCAC2 ビットが “ 0 ” (片エッジ) のとき有効になります。VCAC2 ビットを “ 0 ” にした後、VW2C7 ビットを設定してください。

VW2C レジスタは PRCR レジスタの PRC3 ビットを “ 1 ” (書き込み許可) にした後で書き換えてください。

VW2C レジスタを書き換えると、VW2C2 ビットが “ 1 ” になる場合があります。VW2C レジスタを書き換え後、VW2C2 ビットを “ 0 ” にしてください。

32.3 比較結果のモニタ

32.3.1 コンパレータ A1 のモニタ

次の設定をした後、td(E-A)(「36. 電気的特性」参照)経過後、VW1CレジスタのVW1C3ビットでコンパレータ A1 の比較結果をモニタできます。

- (1) VCA2レジスタのVCA21ビットを“1”(LVREF端子入力電圧)にする
- (2) VCA2レジスタのVCA22ビットを“1”(LVCMP1端子入力電圧)にする
- (3) VCA2レジスタのVCA26ビットを“1”(コンパレータ A1 回路有効)にする

32.3.2 コンパレータ A2 のモニタ

次の設定をした後、td(E-A)(「36. 電気的特性」参照)経過後、VCA1レジスタのVCA13ビットでコンパレータ A2 の比較結果をモニタできます。

- (1) VCA2レジスタのVCA23ビットを“1”(LVREF端子入力電圧)にする
- (2) VCA2レジスタのVCA24ビットを“1”(LVCMP2端子入力電圧)にする
- (3) VCA2レジスタのVCA27ビットを“1”(コンパレータ A2 回路有効)にする

32.4 動作説明

コンパレータ A1 とコンパレータ A2 はそれぞれ独立して動作できます。

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。また、LVCOUT_i (i=1 ~ 2) 端子から出力もできます。リファレンス入力電圧として LVREF 端子への入力電圧を使用できます。また、コンパレータ A1 割り込み、コンパレータ A2 割り込みを使用でき、それぞれノンマスカブル割り込みまたはマスカブル割り込みを選択できます。

32.4.1 コンパレータ A1

表 32.3 にコンパレータ A1 割り込み関連ビットの設定手順を、図 32.2 にコンパレータ A1 動作例 (デジタルフィルタ有効の場合) を、図 32.3 にコンパレータ A1 動作例 (デジタルフィルタ無効の場合) を示します。

表 32.3 コンパレータ A1 割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	CMPA レジスタの COMPSEL ビットを “1” (IRQ1SEL、IRQ2SEL ビット有効) にする	
2	VCA2 レジスタの VCA21 ビットを “1” (LVREF 端子入力電圧)、VCA22 ビットを “1” (LVCMP1 端子入力電圧) にする	
3	VCA2 レジスタの VCA26 ビットを “1” (コンパレータ A1 回路有効) にする	
4	td(E-A) 待つ	
5	CMPA レジスタの IRQ1SEL ビットで割り込みの種類を選択する	
6	VW1C レジスタの VW1F0 ~ VW1F1 ビットでデジタルフィルタのサンプリングクロックを選択する	VW1C レジスタの VW1C1 ビットを “1” (デジタルフィルタ無効) にする
7(注1)	VW1C レジスタの VW1C1 ビットを “0” (デジタルフィルタ有効) にする	
8	VCAC レジスタの VCAC1 ビットと、VW1C レジスタの VW1C7 ビットで割り込み要求のタイミングを選択する	
9	VW1C レジスタの VW1C2 ビットを “0” にする	
10	CM1 レジスタの CM14 ビットを “0” (低速オンチップオシレータ発振) にする	
11	デジタルフィルタのサンプリングクロック × 2 サイクル待つ	(待ち時間なし)
12	VW1C レジスタの VW1C0 ビットを “1” (コンパレータ A1 割り込み許可) にする。	

注1. VW1C0 ビットが “0” のとき、手順 6 と 7 は同時に (1 命令で) 実行してもかまいません。

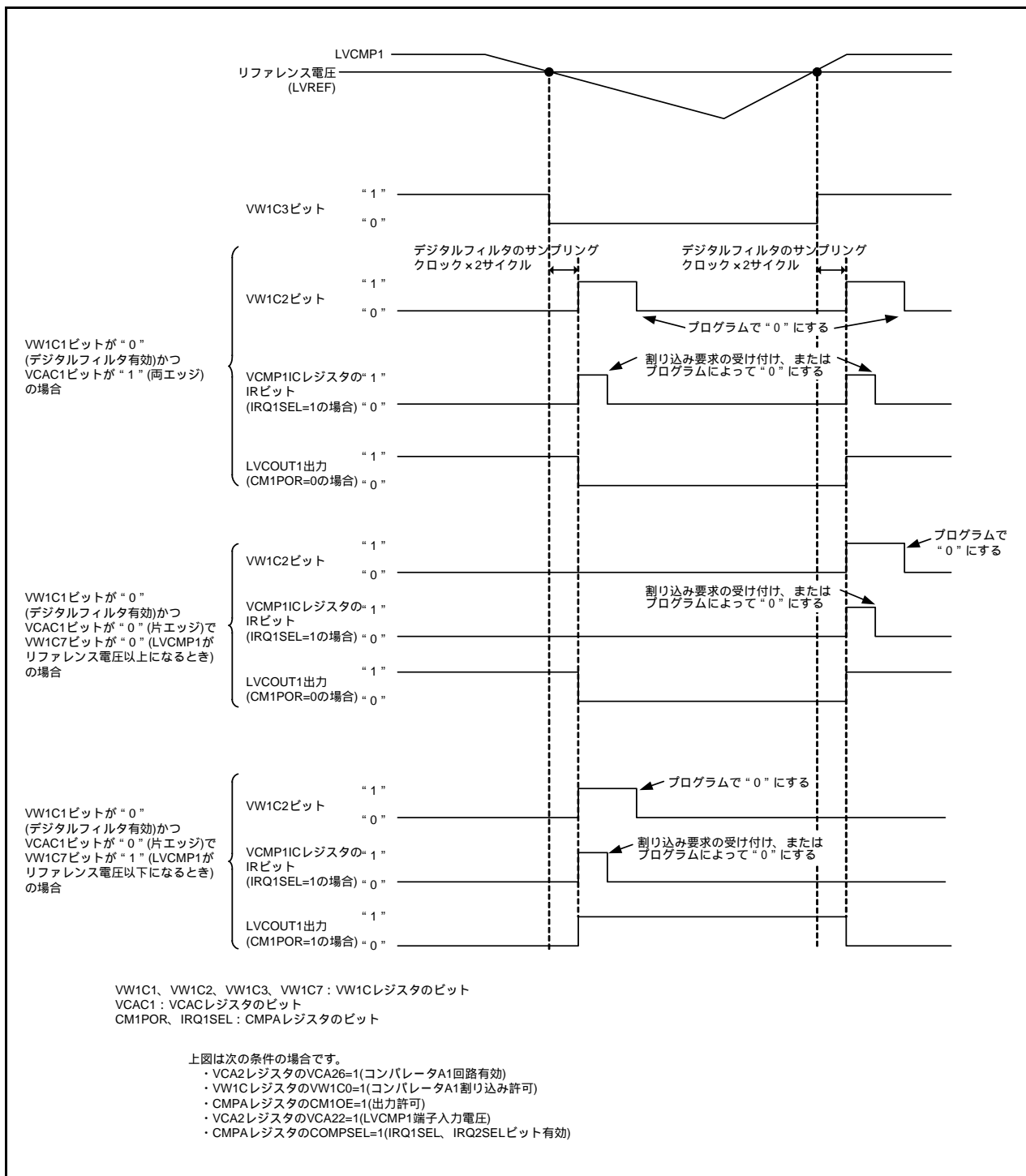


図32.2 コンパレータA1動作例(デジタルフィルタ有効の場合)

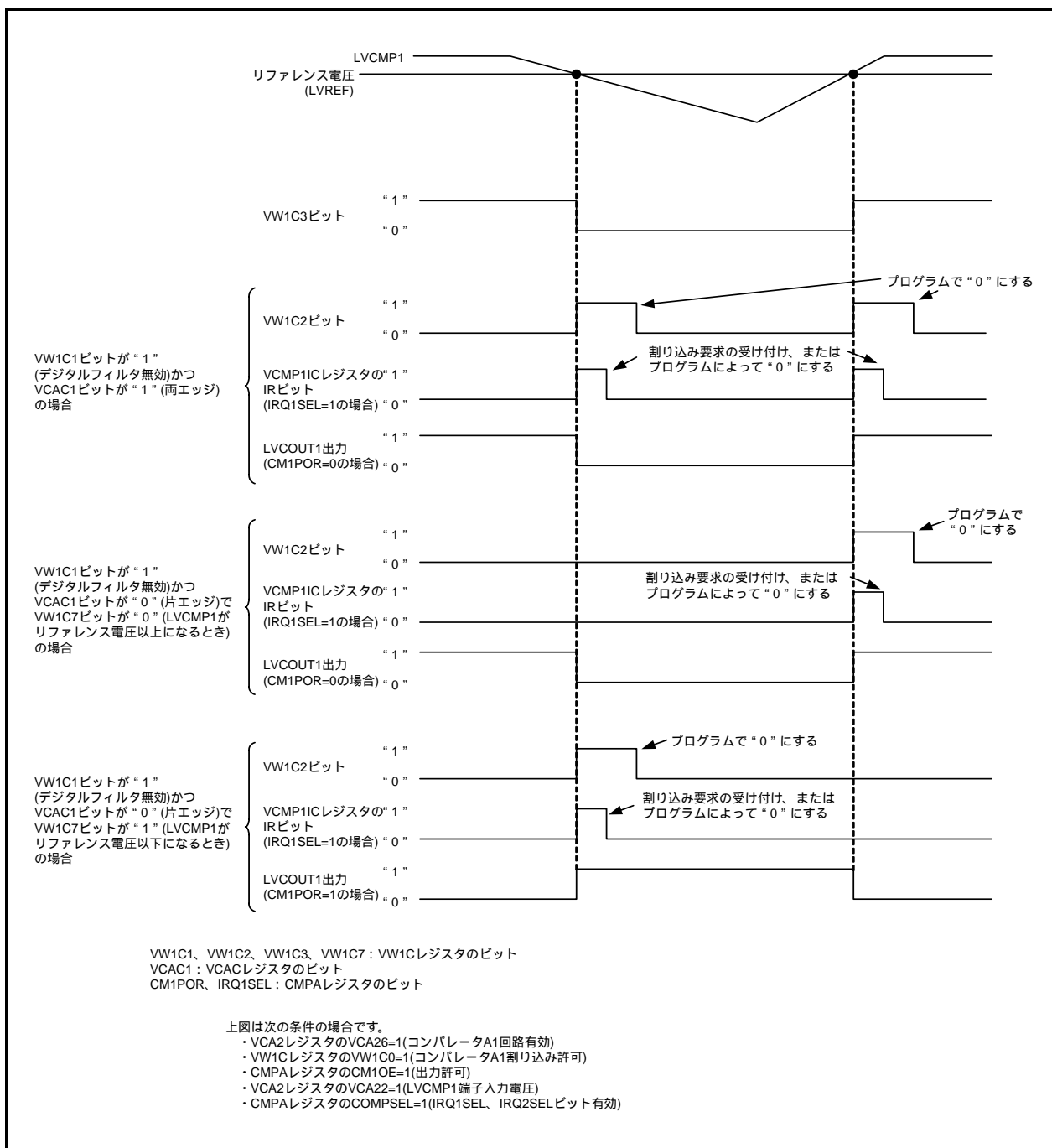


図 32.3 コンパレータA1動作例(デジタルフィルタ無効の場合)

32.4.2 コンパレータ A2

表 32.4 にコンパレータ A2 割り込み関連ビットの設定手順を、図 32.4 にコンパレータ A2 動作例 (デジタルフィルタ有効の場合) を、図 32.5 にコンパレータ A2 動作例 (デジタルフィルタ無効の場合) を示します。

表 32.4 コンパレータ A2 割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	CMPA レジスタの COMPSEL ビットを “1” (IRQ1SEL、IRQ2SEL ビット有効) にする	
2	VCA2 レジスタの VCA23 ビットを “1” (LVREF 端子入力電圧)、VCA24 ビットを “1” (LVCMP2 端子入力電圧) にする	
3	VCA2 レジスタの VCA27 ビットを “1” (コンパレータ A2 回路有効) にする	
4	td(E-A) 待つ	
5	CMPA レジスタの IRQ2SEL ビットで割り込みの種類を選択する	
6	VW2C レジスタの VW2F0 ~ VW2F1 ビットでデジタルフィルタのサンプリングクロックを選択する	VW2C レジスタの VW2C1 ビットを “1” (デジタルフィルタ無効) にする
7(注1)	VW2C レジスタの VW2C1 ビットを “0” (デジタルフィルタ有効) にする	
8	VCAC レジスタの VCAC2 ビットと、VW2C レジスタの VW2C7 ビットで割り込み要求のタイミングを選択する	
9	VW2C レジスタの VW2C2 ビットを “0” にする	
10	CM1 レジスタの CM14 ビットを “0” (低速オンチップオシレータ発振) にする	
11	デジタルフィルタのサンプリングクロック × 2 サイクル待つ	(待ち時間なし)
12	VW2C レジスタの VW2C0 ビットを “1” (コンパレータ A2 割り込み許可) にする。	

注1. VW2C0 ビットが “0” のとき、手順 6 と 7 は同時に (1 命令で) 実行してもかまいません。

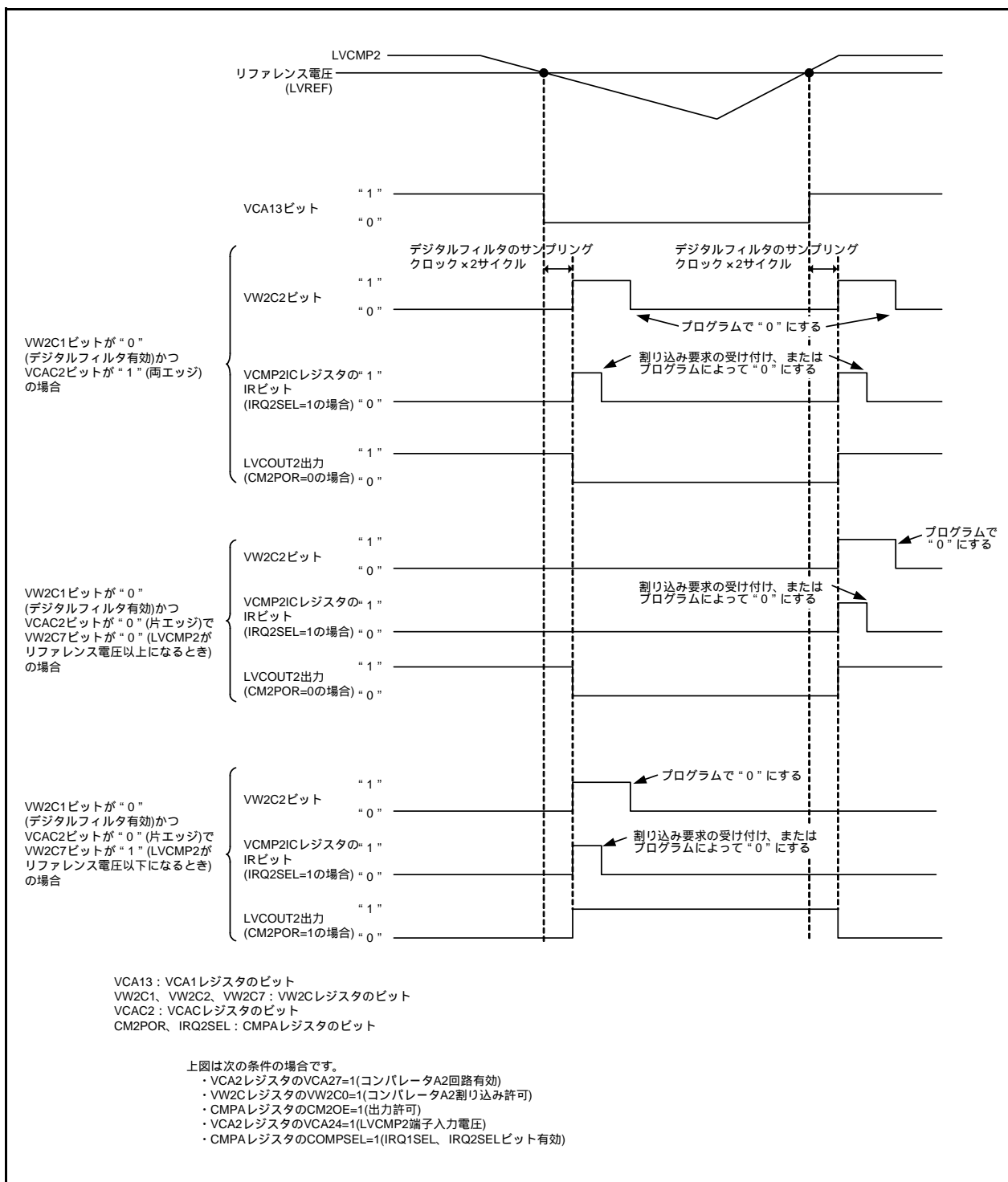


図32.4 コンパレータA2動作例(デジタルフィルタ有効の場合)

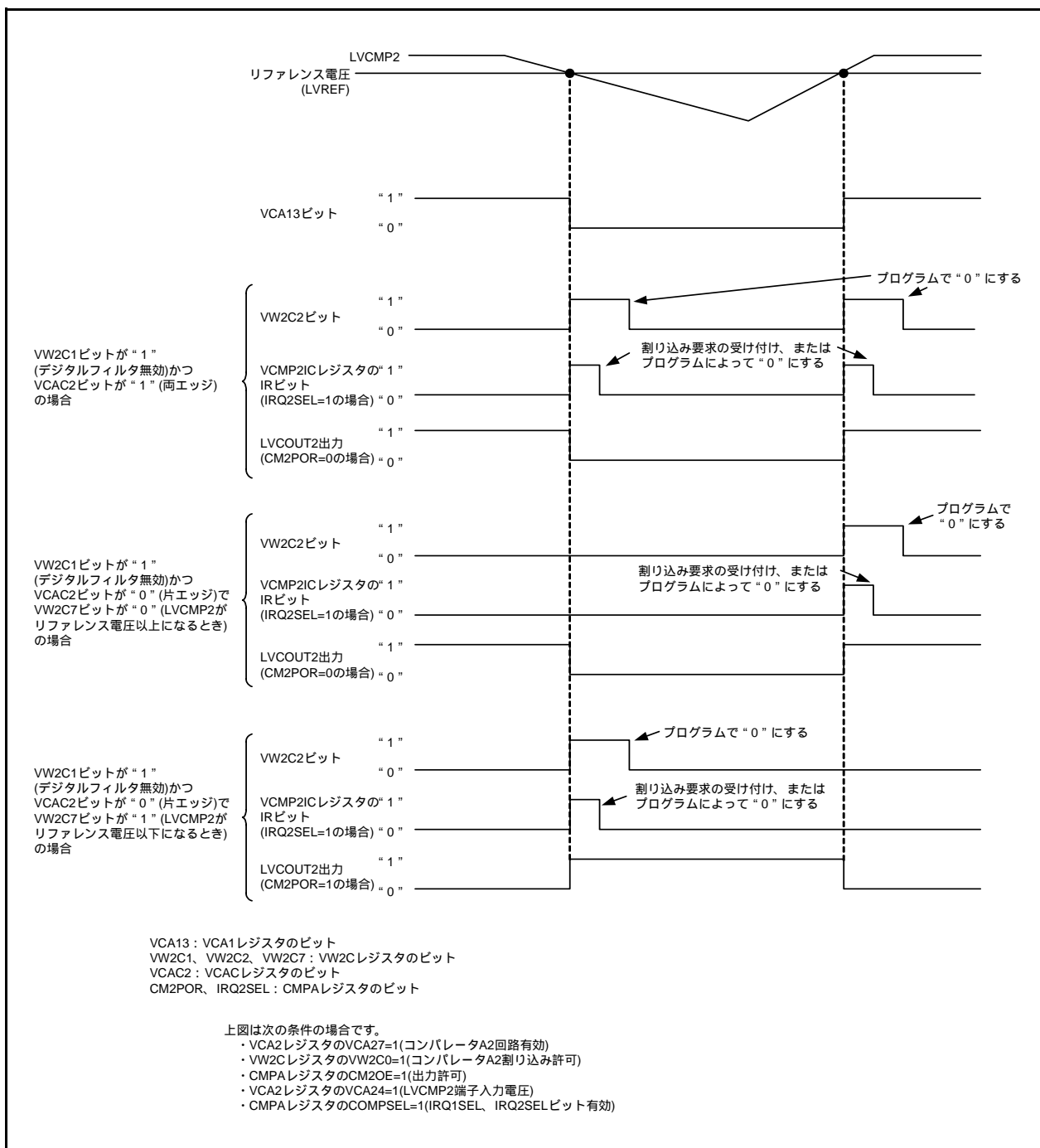


図 32.5 コンパレータ A2 動作例 (デジタルフィルタ無効の場合)

32.5 コンパレータ A1、コンパレータ A2 割り込み

コンパレータ A1 およびコンパレータ A2 の 2 つの割り込み要求が発生します。それぞれの割り込みの種類としてノンマスクابل割り込み、またはマスクابل割り込みが選択できます。

割り込みについては「11. 割り込み」を参照してください。

32.5.1 ノンマスクابل割り込み

CMPA レジスタの COMPSEL ビットを“1” (IRQ1SEL、IRQ2SEL ビット有効) にし、IRQiSEL (i=1 ~ 2) ビットを“0” にすると、コンパレータ Ai 割り込みはノンマスクابل割り込みとして機能します。選択した割り込み要求のタイミングが発生したとき、VWiC レジスタの VWiC2 ビットが“1” になります。このとき、コンパレータ Ai のノンマスクابل割り込み要求が発生します。

32.5.2 マスクابل割り込み

CMPA レジスタの COMPSEL ビットを“1” (IRQ1SEL、IRQ2SEL ビット有効) にし、IRQiSEL (i=1 ~ 2) ビットを“1” にすると、コンパレータ Ai 割り込みはマスクابل割り込みとして機能します。

コンパレータ Ai 割り込みは VCMPiIC レジスタ (IR ビット、ILVL0 ~ ILVL2 ビット) と、それぞれ 1 つのベクタを持ちます。選択した割り込み要求のタイミングが発生したとき、VWiC レジスタの VWiC2 ビットが“1” になります。このとき、VCMPiIC レジスタの IR ビットが“1” (割り込み要求あり) になります。

VCMPiIC レジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

33. コンパレータB

コンパレータBはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータB1とコンパレータB3の独立した2つのコンパレータです。

33.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。リファレンス入力電圧としてIVREFi (i=1、3)端子への入力可以使用します。

表 33.1 にコンパレータBの仕様を、図 33.1 にコンパレータBのブロック図を、表 33.2 に入出力端子を示します。

表 33.1 コンパレータBの仕様

項目	仕様
アナログ入力電圧	IVCMPi端子への入力電圧
リファレンス入力電圧	IVREFi端子への入力電圧
比較結果	INTCMPレジスタのINTiCOUTビットの読み出し
割り込み要求発生タイミング	比較結果が変化したとき
選択機能	デジタルフィルタ機能 デジタルフィルタの有無、サンプリング周波数を選択できる

i=1、3

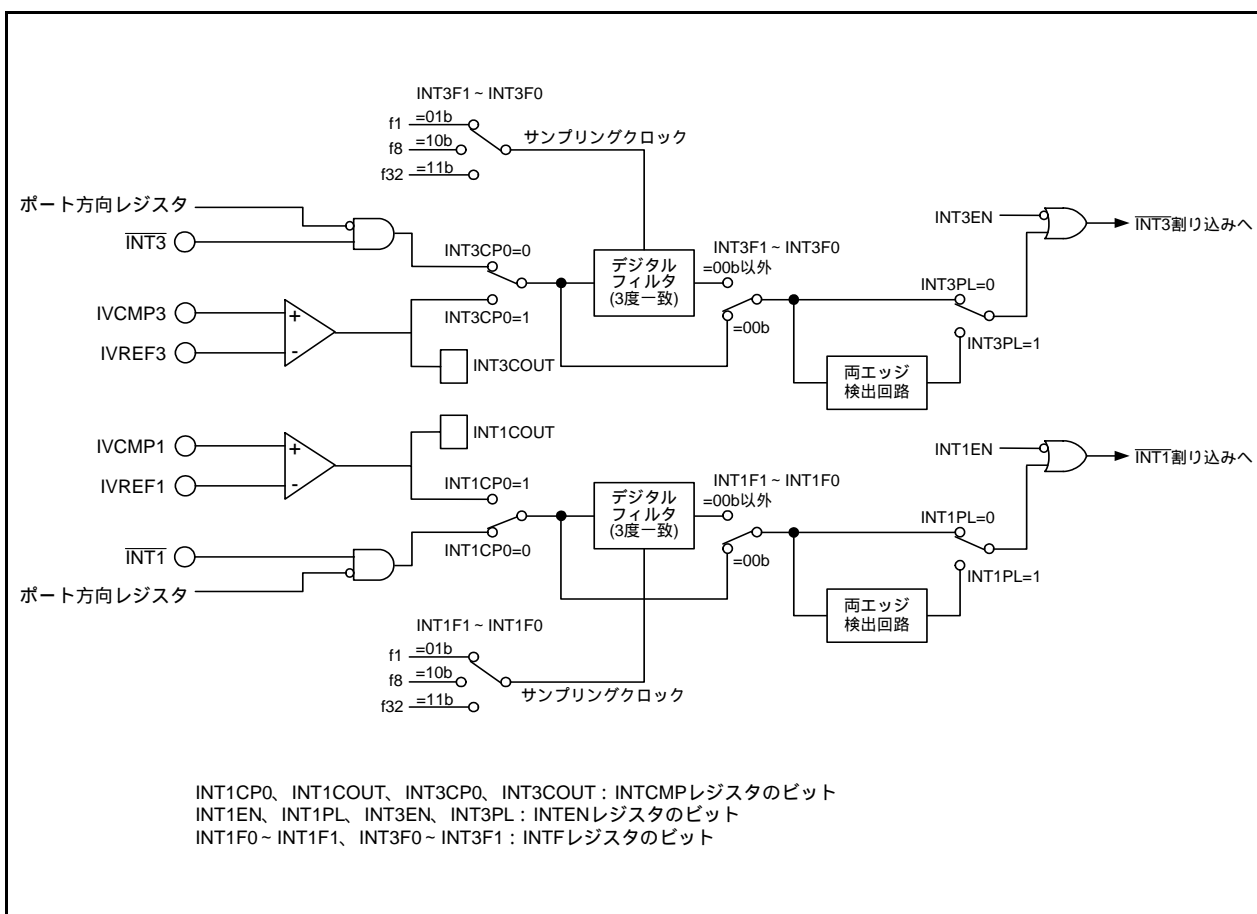


図 33.1 コンパレータBのブロック図

表 33.2 入出力端子

端子名	入出力	機能
IVCMP1	入力	コンパレータB1用アナログ端子
IVREF1	入力	コンパレータB1用リファレンス電圧端子
IVCMP3	入力	コンパレータB3用アナログ端子
IVREF3	入力	コンパレータB3用リファレンス電圧端子

33.2 レジスタの説明

33.2.1 コンパレータB制御レジスタ0 (INTCMP)

アドレス 01F8h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3COUT	-	-	INT3CP0	INT1COUT	-	-	INT1CP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT1CP0	コンパレータB1動作許可ビット	0: コンパレータB1動作禁止 1: コンパレータB1動作許可	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	INT1COUT	コンパレータB1モニタフラグ	0: IVCMP1 < IVREF1 または コンパレータB1動作禁止 1: IVCMP1 > IVREF1	R
b4	INT3CP0	コンパレータB3動作許可ビット	0: コンパレータB3動作禁止 1: コンパレータB3動作許可	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	-			
b7	INT3COUT	コンパレータB3モニタフラグ	0: IVCMP3 < IVREF3 または コンパレータB3動作禁止 1: IVCMP3 > IVREF3	R

33.2.2 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	INT0入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	INT0入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	INT1入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	INT1入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT2EN	INT2入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT2PL	INT2入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT3EN	INT3入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	INT3入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPL ビット(i=0 ~ 3)を“1”(両エッジ)にする場合、INTiIC レジスタのPOL ビットを“0”(立ち下がりエッジを選択)にしてください。

注2. INTiPL ビットを変更すると、INTiIC レジスタのIR ビットが“1”(割り込み要求あり)になることがあります。
「11.8.4 割り込み要因の変更」を参照してください。

33.2.3 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	INT2入力フィルタ選択ビット	b5 b4 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

33.3 動作説明

コンパレータB1とコンパレータB3はそれぞれ独立して動作できます。動作は同じです。

表33.3にコンパレータB関連レジスタの設定手順を示します。

表33.3 コンパレータB関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	IVCMPi、IVREFi	端子の機能選択。「7.5 ポートの設定」参照。 ただし、順番2以降に示されるレジスタ、ビット以外を設定してください。	
2	INTF	フィルタ有無、サンプリングクロック選択	
3	INTCMP	INTiCPO	1 (動作許可)
4	コンパレータ安定時間(最大100 μ s)待ち		
5	INTEN	INTiEN	割り込みを使用する場合：1 (割り込み許可)
		INTiPL	割り込みを使用する場合：入力極性選択
6	INTiIC	ILVL2 ~ ILVL0	割り込みを使用する場合：割り込み優先レベル選択
		IR	割り込みを使用する場合：0 (割り込み要求なし：初期化)

i=1、3

図33.2にコンパレータBi (i=1、3)の動作例を示します。

リファレンス入力よりアナログ入力の電圧が高い場合は、INTCMPレジスタのINTiCOUTビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、INTiCOUTビットが“0”になります。

コンパレータBi割り込みを使用する場合は、INTENレジスタのINTiENビットを“1”(割り込み許可)にしてください。このとき比較結果が変化すれば、コンパレータBi割り込み要求が発生します。割り込みについては「33.4 コンパレータB1、コンパレータB3割り込み」を参照してください。

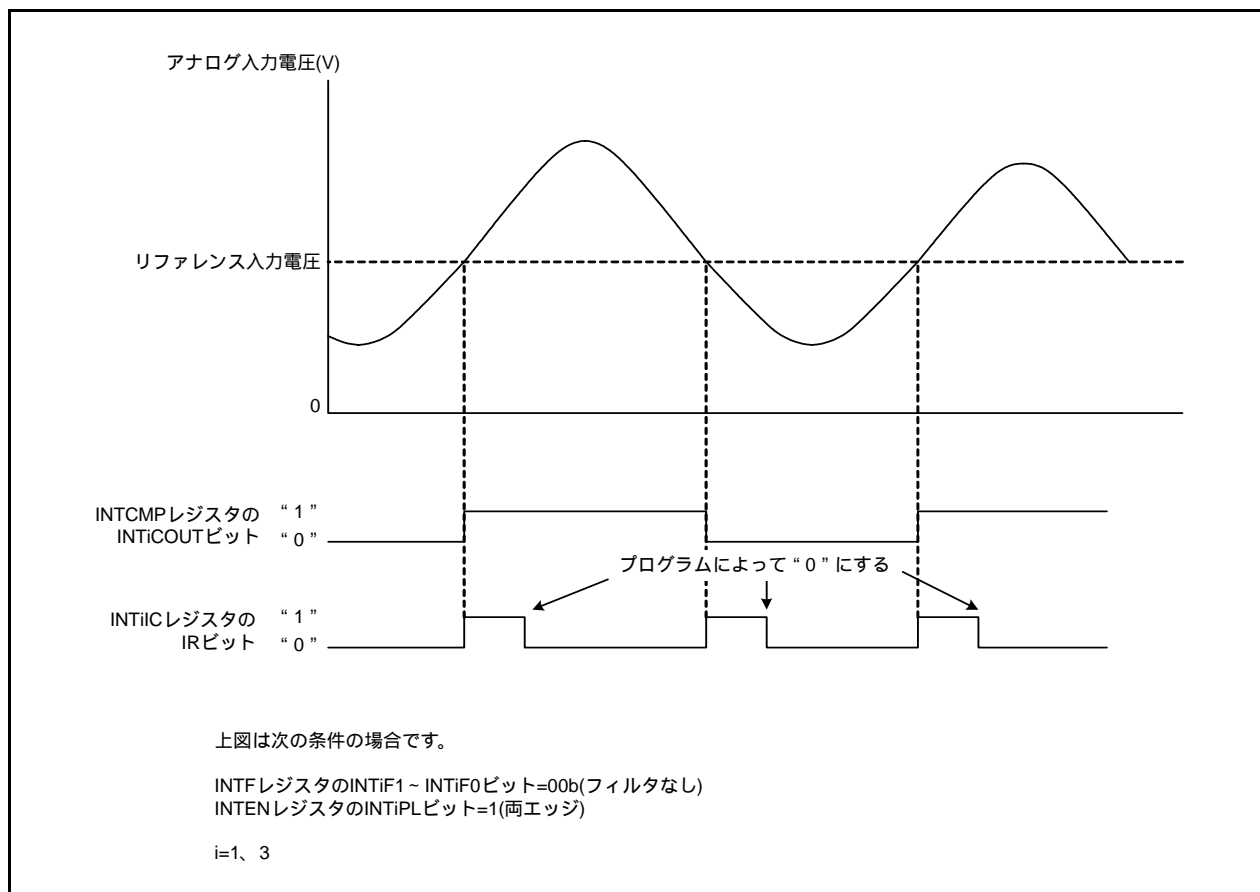


図33.2 コンパレータBi (i=1、3)の動作例

33.3.1 コンパレータBiデジタルフィルタ (i=1, 3)

コンパレータBiは、 $\overline{\text{INTi}}$ 入力と同一のデジタルフィルタを使用できます。サンプリングクロックはINTFレジスタのINTiF1 ~ INTiF0ビットで選択できます。サンプリングクロックごとにコンパレータBiの出力信号INTiCOUT信号をサンプリングし、レベルが3度一致した時点で、INTiCレジスタのIRビットが“1” (割り込み要求あり) になります。

図33.3にコンパレータBiデジタルフィルタの構成を、図33.4にコンパレータBiデジタルフィルタ動作例を示します。

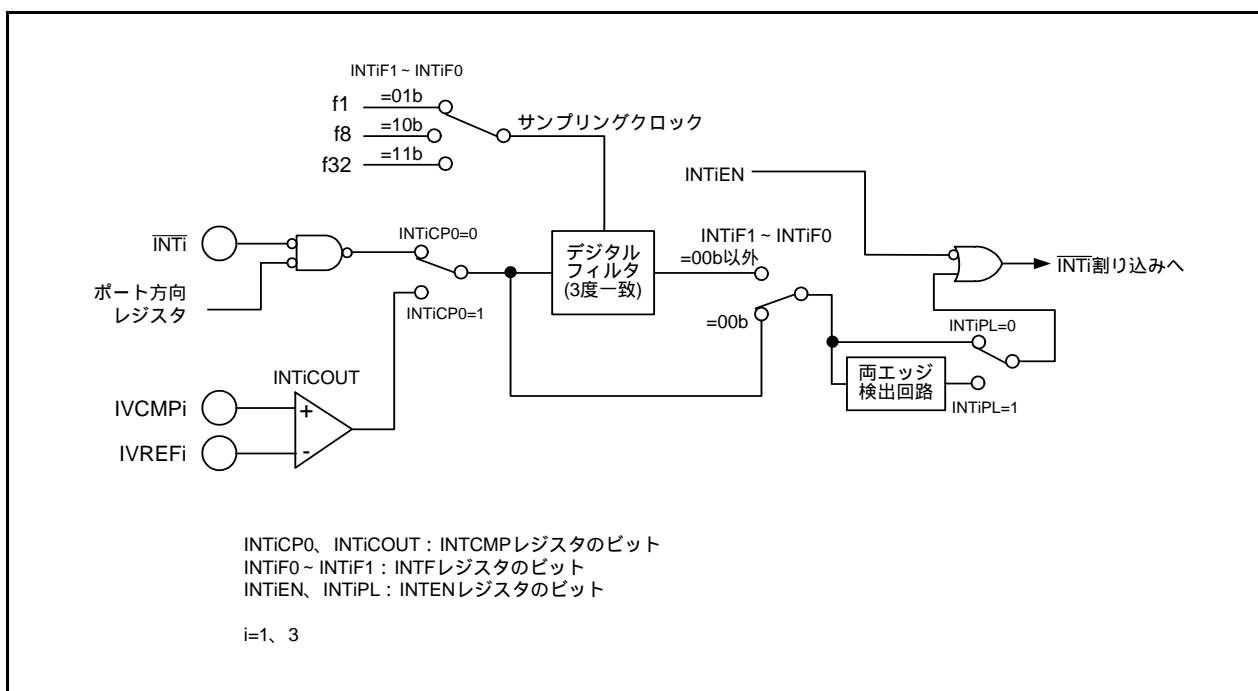


図33.3 コンパレータBiデジタルフィルタの構成

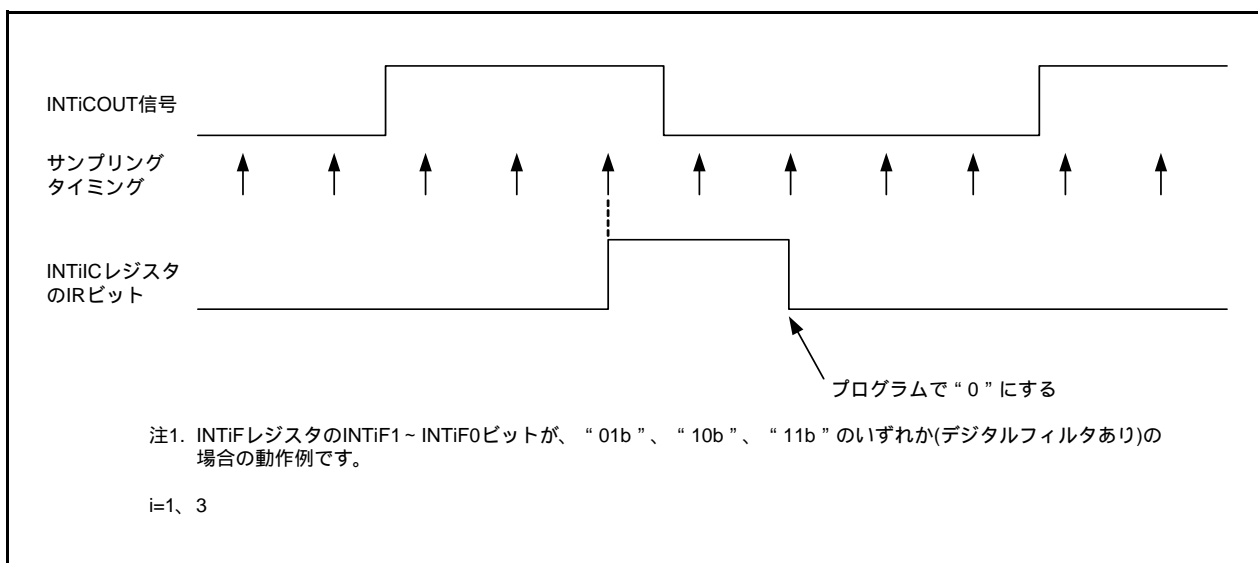


図33.4 コンパレータBiデジタルフィルタ動作例

33.4 コンパレータB1、コンパレータB3割り込み

コンパレータBはコンパレータB1、およびコンパレータB3の2つの割り込み要求を発生します。コンパレータBi (i=1、3)割り込みはINTi (i=1、3)入力による割り込みと同一のINTiICレジスタ(IRビット、ILVL0 ~ ILVL2ビット)と、それぞれ1つの割り込みベクタを持ちます。

コンパレータBi割り込みを使用するときはINTENレジスタのINTiENビットを“1”(割り込み許可)にしてください。さらに極性をINTENレジスタのINTiPLビットとINTiICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

34. フラッシュメモリ

フラッシュメモリは、CPU 書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

34.1 概要

表34.1にフラッシュメモリの性能概要を示します(表34.1に示す以外の項目は「表1.1～表1.2 仕様概要」を参照してください)。

表34.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図34.1～図34.2を参照してください。
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式	ブロック0～8 (プログラムROM)(注3)	ロックビットによるブロック単位の書き換えプロテクト制御
	ブロックA、B、C、D (データフラッシュ)	FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビットによるブロックA、B、C、Dに対する個別の書き換え制御
コマンド数		8コマンド
プログラム、イレーズ回数(注2)	ブロック0～8 (プログラムROM)(注3)	1,000回
	ブロックA、B、C、D (データフラッシュ)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=1,000、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数は1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注3. 製品によってブロック数およびブロックの分割が異なります。詳細は「図34.1～図34.2 R8C/38Aグループのフラッシュメモリのブロック図」を参照してください。

表34.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ 書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム	

34.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図 34.1 ~ 図 34.2 に R8C/38A グループのフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMとデータフラッシュがあります。

プログラムROM：主にプログラムを格納するためのフラッシュメモリ

データフラッシュ：主に書き換えが必要なデータを格納するためのフラッシュメモリ

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU 書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

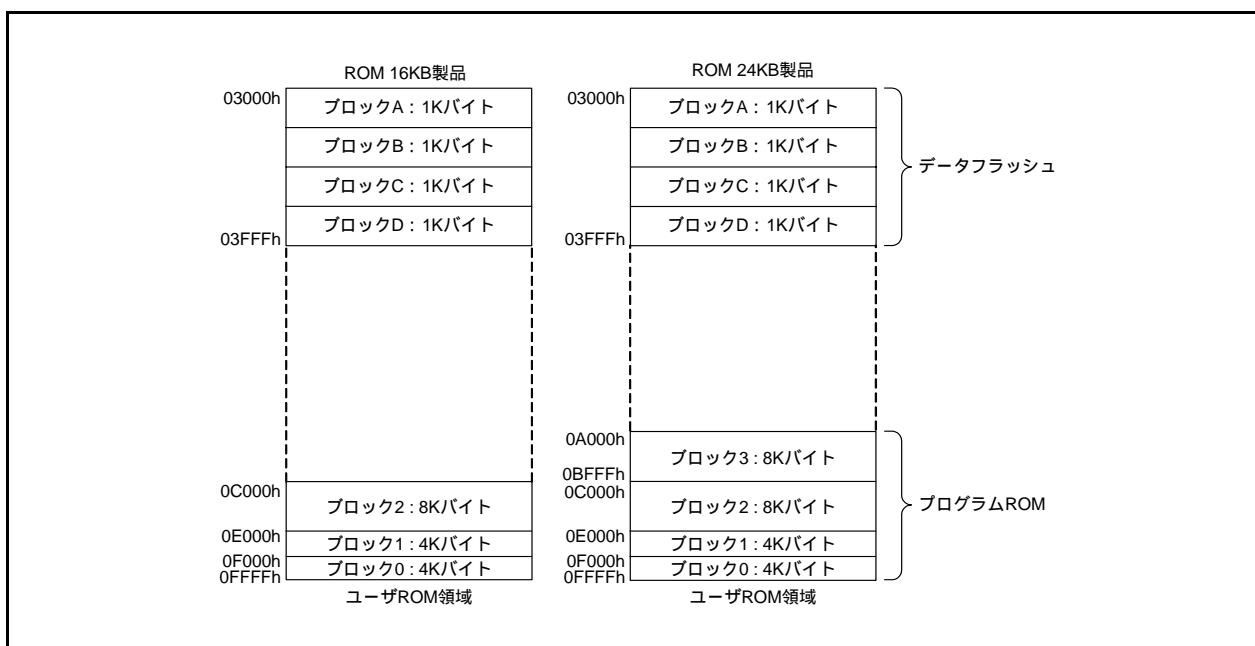


図 34.1 R8C/38A グループのフラッシュメモリのブロック図 (1)

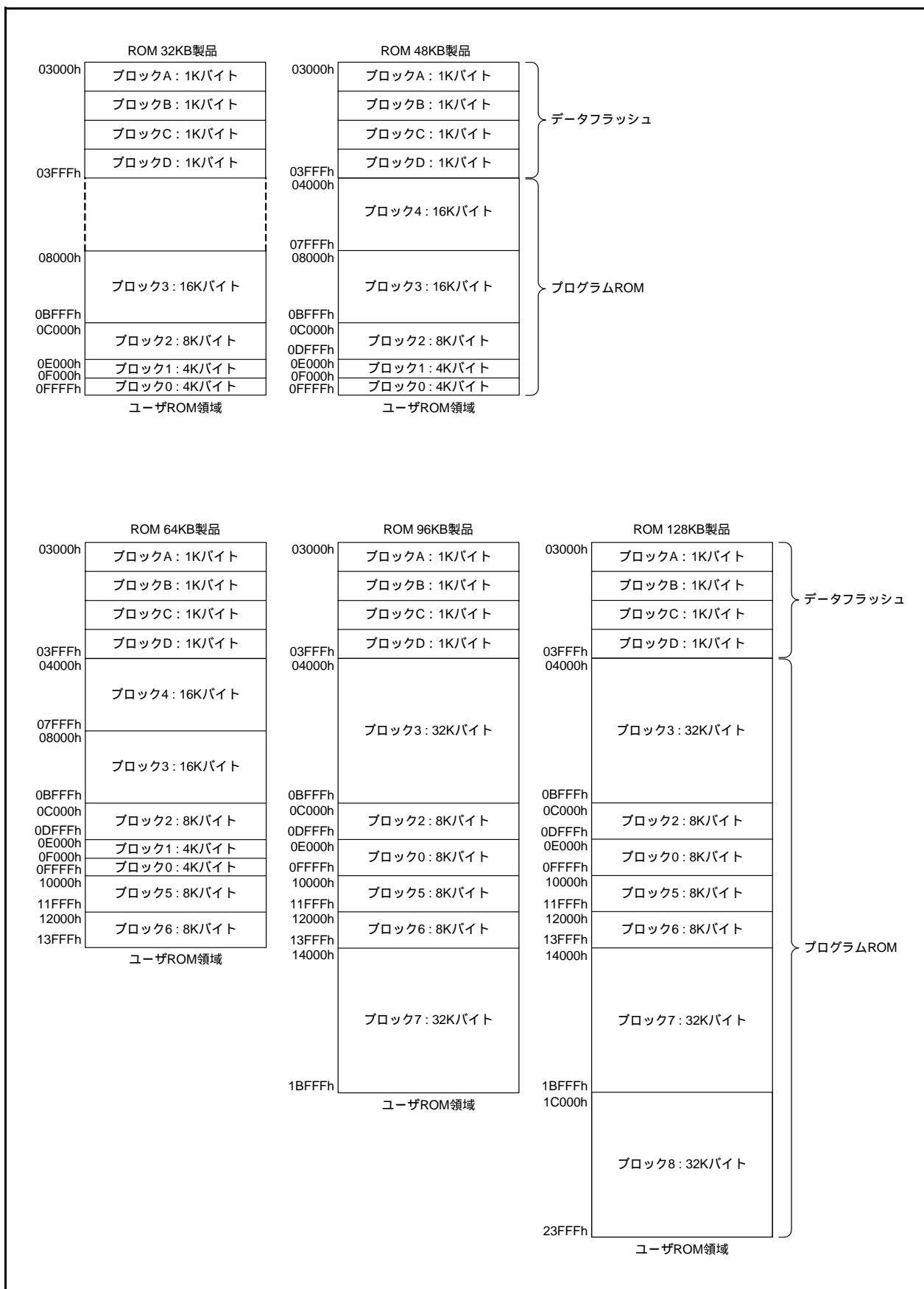


図 34.2 R8C/38A グループのフラッシュメモリのブロック図 (2)

34.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

34.3.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFCh ~ 0FFFEh 番地)が“FFFFFFh”ではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

34.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

OFSレジスタの詳細は「13. オプション機能選択領域」を参照してください。

ROMCR ビットに“1”、ROMCP1 ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

34.3.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	-	WDTON
出荷時の値	1	1	1	1	1	1	1	1

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1 ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0: 3.80V を選択 (Vdet0_3) 0 1: 2.85V を選択 (Vdet0_2) 1 0: 2.35V を選択 (Vdet0_1) 1 1: 1.90V を選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

注2. VDSEL0 ~ VDSEL1 ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDAS ビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みをしないでください。

LVDAS ビット(電圧検出0回路起動ビット)

電圧検出0回路で監視する Vdet0 電圧は、VDSEL0 ~ VDSEL1 ビットで選択されます。

34.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に、消去動作を一時中断するイレーズサスペンド機能を持ちます。イレーズサスペンド中は、プログラムでフラッシュメモリを読み出すことが可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表34.3にEW0モードとEW1モードの違いを示します。

表34.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM	ユーザROM
書き換え制御プログラムを実行できる領域	RAM(書き換え制御プログラムを転送して実行) ただし、データフラッシュ領域を書き換える場合は、プログラムROM領域上で実行可能。	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限		プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止
プログラム、ブロックイレーズ後、イレーズサスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中のCPU、DTCの状態	動作	<ul style="list-style-type: none"> データフラッシュ領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCは動作 プログラムROM領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCはホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む
イレーズサスペンドへの移行条件	<ul style="list-style-type: none"> プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスカブル割り込み要求が発生 	<ul style="list-style-type: none"> プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする(データフラッシュ領域を書き換え中) FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスカブル割り込み要求が発生
CPUクロック	20MHz	20MHz

34.4.1 フラッシュメモリステータスレジスタ(FST)

アドレス 01B2h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	-	LBDATA	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ(注1、4)	0: フラッシュレディステータス割り込み要求なし 1: フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ(注2、4)	0: フラッシュアクセスエラー割り込み要求なし 1: フラッシュアクセスエラー割り込み要求あり	R/W
b2	LBDATA	LBDATA モニターフラグ	0: ロック状態 1: 非ロック状態	R
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	FST4	プログラムエラーフラグ(注3)	0: プログラムエラーなし 1: プログラムエラーあり	R
b5	FST5	イレーズエラー/ブランクチェックエラーフラグ(注3)	0: イレーズエラー/ブランクチェックエラーなし 1: イレーズエラー/ブランクチェックエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0: イレーズサスペンド以外 1: イレーズサスペンド中	R
b7	FST7	レディ/ビジステータスフラグ	0: ビジー 1: レディ	R

注1. プログラムでRDYSTIビットを“1”(フラッシュレディステータス割り込み要求あり)にできません。

注2. プログラムでBSYAEIビットは“1”(フラッシュアクセスエラー割り込み要求あり)にできません。

注3. コマンドエラー時にも“1”(エラーあり)になります。

注4. このビットが“1”のとき、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしないでください。

RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはイレーズサスペンドモードに移行したときにRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを“0”(フラッシュレディステータス割り込み要求なし)にしてください。

[“0”になる条件]

割り込み処理のプログラムで“0”にしてください。

[“1”になる条件]

FMR0レジスタのRDYSTIEビットが“1”のときに、ビジーからレディーに遷移すると、RDYSTIビットは“1”になります。

ビジーからレディーになる動作は、フラッシュメモリのイレーズ/ライト、サスペンド受付、強制終了、ロックビットプログラム終了、リードロックビットステータス終了です。

BYSAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが“1”(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、またはFMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、イレーズエラーまたはプログラムエラーが発生した場合に、BSYAEIビットが“1”(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、BSYAEIビットを“0”(フラッシュアクセスエラー割り込み要求なし)にしてください。

[“0”になる条件]

- (1) 割り込み処理のプログラムで“0”にしてください。
- (2) ステータスクリア命令を実行してください。

[“1”になる条件]

- (1) FMR0レジスタのBSYAEIEビットが“1”のときに、フラッシュメモリがビジー状態で、イレーズ/ライトを実行している領域を読み/書きする。
または、プログラムROM領域をイレーズ/ライト中にデータフラッシュ領域をリードする。
(ただし、両者共に読み出し値は不定。書き込みは無効。)
- (2) FMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、ブランクチェックエラーまたはプログラムエラーが発生した場合。

LBDATAビット(LBDATAモニターフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7ビットが“1”(レディ)になった後、LBDATAビットを読んでください。

更新条件は、プログラム、イレーズ、リードロックビットステータスのコマンド発行時です。リードロックビットステータスコマンドを入力すると、FST7ビットが“0”(ビジー)になります。FST7ビットが“1”(レディ)になった時点でLBDATAビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、LBDATAビットのデータは保持されます。

FST4ビット(プログラムエラーフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると“1”、それ以外の場合は“0”となります。詳細は「34.4.12 フルステータスチェック」を参照してください。

FST5ビット(イレーズエラー/ブランクチェックエラーフラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレーズエラーまたはブランクチェックエラーが発生すると“1”、それ以外の場合は“0”となります。詳細は「34.4.12 フルステータスチェック」を参照してください。

FST6ビット(イレーズサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、サスペンド状態に移行すると“1”になります。それ以外の場合は“0”になります。

FST7ビット(レディ/ビジーステータスフラグ)

フラッシュメモリの動作状況を示す読み出し専用のビットです。プログラム、イレーズ動作中は“0”、それ以外の場合は“1”になります。

34.4.2 フラッシュメモリ制御レジスタ0 (FMR0)

アドレス 01B4h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	FMR01	CPU書き換えモード選択ビット (注1、4)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット(注1)	0: EW0モード 1: EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット(注2)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	R/W
b4	CMDRST	イレーズ/ライトシーケンスリセット ビット(注3)	CMDRSTビットを“1”にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。 読み出した場合は、“0”が読み出されます。	R/W
b5	CMDERIE	イレーズ/ライトエラー割り込み許可 ビット	0: イレーズ/ライトエラー割り込み禁止 1: イレーズ/ライトエラー割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込み 許可ビット	0: フラッシュアクセスエラー割り込み禁止 1: フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り込み 許可ビット	0: フラッシュレディステータス割り込み禁止 1: フラッシュレディステータス割り込み許可	R/W

- 注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。
- 注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが“1”(CPU書き換えモード有効)のとき、有効です。FMSTPビットを“1”(フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが“1”(レディ)のとき、設定してください。
- 注3. CMDRSTビットはFMR01ビットが“1”(CPU書き換えモード有効)かつFSTレジスタのFST7ビットが“0”(ビジー)のとき、有効です。
- 注4. FMR01ビットを“0”(CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTIビットが“0”(フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが“0”(フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。

FMR01ビット(CPU書き換えモード選択ビット)

FMR01ビットを“1”(CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

FMR02ビット(EW1モード選択ビット)

FMR02ビットを“1”(EW1モード)にすると、EW1モードになります。

FMSTP ビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTP ビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTP ビットはRAMに転送したプログラムで書いてください。

高速オンチップオシレータモード、低速オンチップオシレータモード(XIN クロック停止)、低速クロックモード(XIN クロック停止)でさらに低消費電力にする場合、FMSTP ビットを“1”にしてください。詳細は「35.2.10 フラッシュメモリの停止」を参照してください。

なお、CPU 書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0 レジスタを設定する必要がありません。

CMDRST ビット(イレース/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレースコマンドを強制停止させるためのビットです。フラッシュメモリのシーケンスの初期化中も、ユーザROM領域を読み出すことは可能です。

CMDRST ビットによりプログラム、ブロックイレースコマンドを強制停止したアドレスおよびブロックは、ブロックイレースを再度実行し、正常終了することを確認してください。プログラム、ブロックイレースコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1 レジスタのFMR13 ビットを“1”(ロックビット無効)にした後、ブロックイレースコマンドを再度実行してください。

サスペンド応答時間 $t_d(\text{SR-SUS})$ に対して、強制停止から読み出し可能になるまでの時間は数百 μs です。

CMDERIE ビット(イレース/ライトエラー割り込み許可ビット)

プログラムエラー、または、ブロックイレースエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。CMDERIE ビットを“1”(イレース/ライトエラー割り込み許可)にし、イレース/ライトを実施した場合に、イレースエラーまたはプログラムエラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

BSYAEIE ビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

RDYSTIE ビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

34.4.3 フラッシュメモリ制御レジスタ1 (FMR1)

アドレス 01B5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR17	FMR16	FMR15	FMR14	FMR13	FMR12	FMR11	FMR10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR10	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	FMR11			
b2	FMR12			
b3	FMR13	ロックビット無効選択ビット(注1)	0: ロックビット有効 1: ロックビット無効	R/W
b4	FMR14	データフラッシュブロックA書き換え禁止ビット(注2)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b5	FMR15	データフラッシュブロックB書き換え禁止ビット(注2)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b6	FMR16	データフラッシュブロックC書き換え禁止ビット(注2)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b7	FMR17	データフラッシュブロックD書き換え禁止ビット(注2)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W

注1. FMR13ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注2. このビットを“0”にするときは、“1”を書いた後、続けて“0”を書いてください。“1”を書いた後、“0”を書くまでに割り込みが入らないようにしてください。

FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます。“0”にすると、ロックビットが有効になります。ロックビットについては「34.4.10 データ保護機能」を参照してください。

FMR13ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを“1”にした状態でブロックイレーズコマンドを実行すると、“0”(ロック状態)であったロックビットデータは、消去終了後には“1”(非ロック状態)になります。

[“0”になる条件]

次の条件が成立した時点で“0”になります。

- ・プログラムコマンド終了時点
- ・イレーズコマンド終了時点
- ・コマンドエラー発生時点
- ・イレーズサスペンド移行時点
- ・FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- ・FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- ・FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

[“1”になる条件]

プログラムで“1”にする。

FMR14ビット(データフラッシュブロックA書き換え禁止ビット)

FMR14ビットが“0”のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレースコマンドを受け付けます。

FMR15ビット(データフラッシュブロックB書き換え禁止ビット)

FMR15ビットが“0”のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレースコマンドを受け付けます。

FMR16ビット(データフラッシュブロックC書き換え禁止ビット)

FMR16ビットが“0”のとき、データフラッシュのブロックCはプログラムコマンド、ブロックイレースコマンドを受け付けます。

FMR17ビット(データフラッシュブロックD書き換え禁止ビット)

FMR17ビットが“0”のとき、データフラッシュのブロックDはプログラムコマンド、ブロックイレースコマンドを受け付けます。

34.4.4 フラッシュメモリ制御レジスタ2 (FMR2)

アドレス 01B6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	-	-	-	-	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	イレーズサスペンド許可ビット (注1)	0: イレーズサスペンド禁止 1: イレーズサスペンド許可	R/W
b1	FMR21	イレーズサスペンドリクエストビット (注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエスト許可ビット (注1)	0: 割り込み要求でイレーズサスペンドリクエスト禁止 1: 割り込み要求でイレーズサスペンドリクエスト許可	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-	予約ビット	“0”にしてください	R/W
b5	-			
b6	-			
b7	FMR27	低消費電流リードモード許可ビット (注1)	0: 低消費電流リードモード禁止 1: 低消費電流リードモード許可	R/W

注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注2. FMR21ビットを“0”(イレーズリスタート)にする場合は、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)のとき、設定してください。

FMR20ビット(イレーズサスペンド許可ビット)

FMR20ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

FMR21ビット(イレーズサスペンドリクエストビット)

FMR21ビットを“1”にすると、イレーズサスペンドモードに移行します。FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを“0”(イレーズリスタート)にしてください。

[“0”になる条件]

プログラムで“0”にしてください。

[“1”になる条件]

- 割り込み要求発生時に、FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)のとき。
- プログラムで“1”にしてください。

FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを“1”(割り込みでイレーズサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(イレーズサスペンドリクエスト)にします。EW1モードでユーザROM領域を書き換え中にイレーズサスペンドを使用するときに、“1”にしてください。

FMR27ビット(低消費電流リードモード許可ビット)

低速クロックモード(XINクロック停止)、低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「35.2.11 低消費電流リードモード」を参照してください。

34.4.5 EW0 モード

FMR0 レジスタの FMR01 ビットを “1” (CPU 書き換えモード有効) にすると CPU 書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0 レジスタの FMR02 ビットが “0” なので、EW0 モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FST レジスタで確認できます。

自動消去中にイレーズサスペンドに移行する場合は、FMR20 ビットを “1” (イレーズサスペンド許可)、FMR21 ビットを “1” (イレーズサスペンドリクエスト) にしてください。そして td(SR-SUS) 待ち、FST レジスタの FST6 ビットが “1” (イレーズサスペンド中) になったことを確認後、フラッシュメモリにアクセスしてください。FMR2 レジスタの FMR21 ビットを “0” (イレーズリスタート) にすると、自動消去を再開します。

34.4.6 EW1 モード

FMR0 レジスタの FMR01 ビットを “1” (CPU 書き換えモード有効) にした後、FMR02 ビットを “1” (EW1 モード) にすると EW1 モードになります。

プログラム、イレーズの終了時の状態などは、FST レジスタで確認できます。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR2 レジスタの FMR20 ビットを “1” (サスペンド許可) にしてからブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にイレーズサスペンドに移行する場合は、FMR2 レジスタの FMR22 ビットを “1” (割り込み要求でイレーズサスペンドリクエスト許可) にしてください。また、イレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2 レジスタの FMR21 ビットは自動的に “1” (イレーズサスペンドリクエスト) になり、td(SR-SUS) 後に、自動消去が中断されます。割り込み処理終了後、FMR21 ビットを “0” (イレーズリスタート) にして自動消去を再開させてください。

34.4.7 サスペンド動作

サスペンド機能は自動消去の途中で、その動作を一時中断する機能です。

自動消去を中断したとき、次の動作が実行できます(「表 34.4 サスペンド中に実行できる動作」参照)。

- ・データフラッシュの任意のブロックの自動消去をサスペンドした場合、データフラッシュの別のブロックへの自動書き込み、および読み出しが実行できます。
- ・データフラッシュの自動消去をサスペンドした場合、プログラム ROM への自動書き込みおよび読み出しが実行できます。
- ・プログラム ROM の任意のブロックの自動消去をサスペンドした場合、プログラム ROM の別のブロックへの自動書き込み、および読み出しが実行できます。
- ・プログラム ROM の自動消去をサスペンドした場合、データフラッシュへの自動書き込みおよび読み出しが実行できます。

図 34.3 にサスペンド動作に関するタイミングを示します。

表 34.4 サスペンド中に実行できる動作

		サスペンド中の動作											
		データフラッシュ (サスペンド移行前の イレース実行ブロック)			データフラッシュ (サスペンド移行前の イレース未実行ブロック)			プログラム ROM (サスペンド移行前の イレース実行ブロック)			プログラム ROM (サスペンド移行前の イレース未実行ブロック)		
		イレース	プログラム	リード	イレース	プログラム	リード	イレース	プログラム	リード	イレース	プログラム	リード
サスペンド 移行前の イレース 実行領域	データ フラッシュ	×	×	×	×						×		(注5)
	プログラム ROM				×			×	×	×	×		

注1. はサスペンド機能を使用することで動作可能、×は動作禁止、 は組み合わせなし

注2. プログラム中はサスペンドできません。

注3. イレースはブロックイレースを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。

クリアステータスレジスタコマンドは、FST レジスタの FST7 ビットが “1” (レディ) で実行できます。

サスペンド中、ブロックブランクチェックは動作禁止です。

注4. イレースサスペンド移行直後は、リードアレイモードになります。

注5. データフラッシュをプログラムあるいはブロックイレース動作中に、BGO 機能によりプログラム ROM 領域を読み出すことができます。

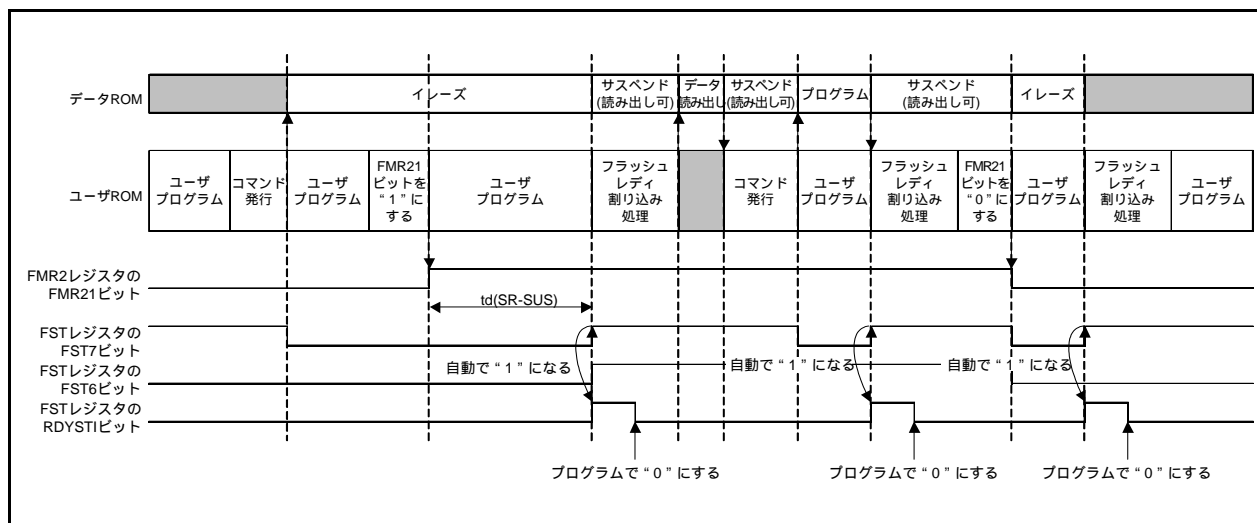


図 34.3 サスペンド動作に関するタイミング

34.4.8 各モードの設定と解除方法

図 34.4 に EW0 モードの設定と解除方法を、図 34.5 に EW0 モード(データフラッシュを書き換える場合)、EW1 モードの設定と解除方法を示します。

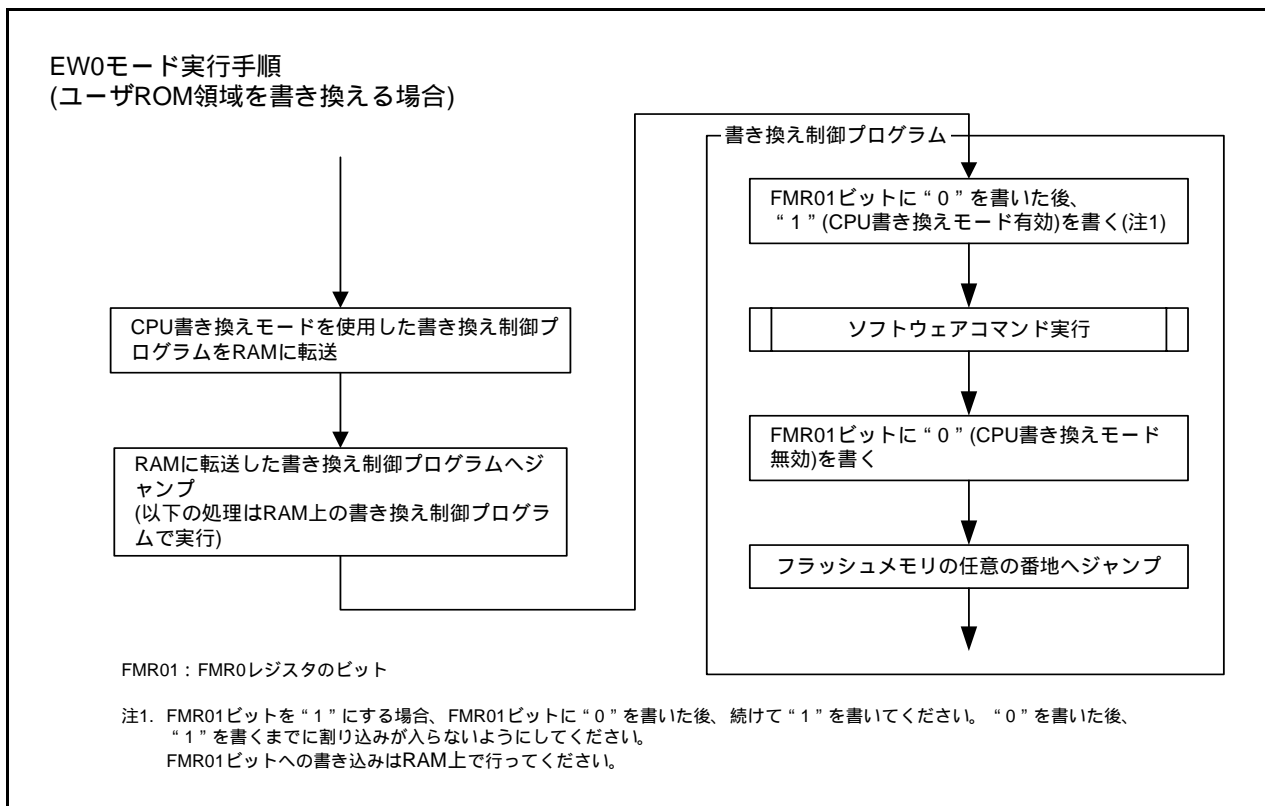


図 34.4 EW0 モードの設定と解除方法

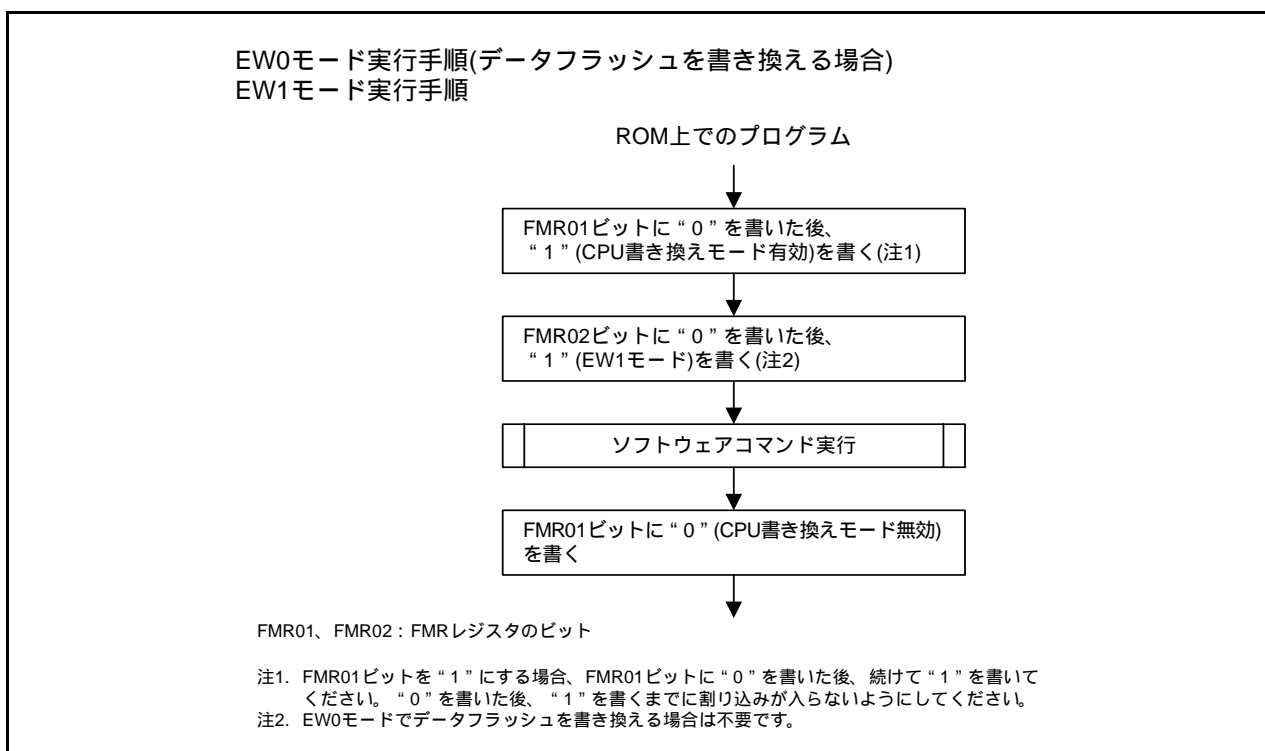


図 34.5 EW0 モード(データフラッシュを書き換える場合)、EW1 モードの設定と解除方法

34.4.9 BGO(バックグラウンドオペレーション)機能

データフラッシュをプログラムあるいはブロックイレーズ動作中に、プログラムROM領域を指定するとアレイデータを読み出すことができます。このためにソフトウェアコマンドをライトする必要がありません。アクセス時間は通常のリード動作と同じです。

図34.6にBGO機能を示します。

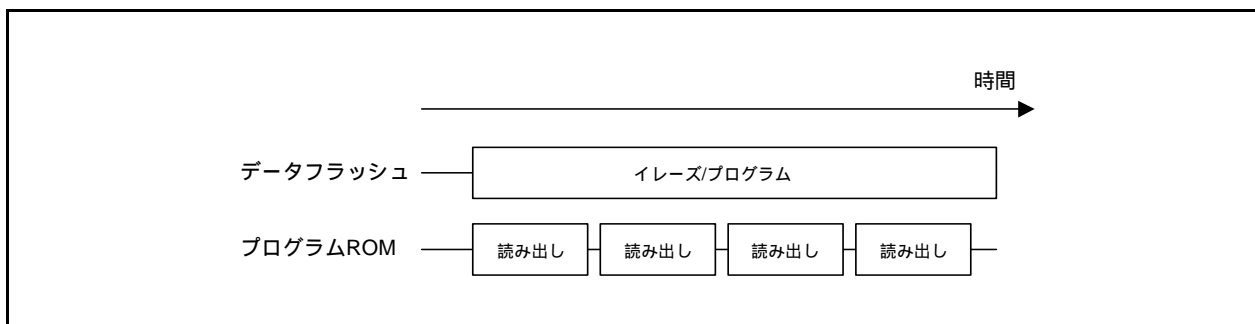


図34.6 BGO機能

34.4.10 データ保護機能

フラッシュメモリのプログラム ROM の各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1 レジスタの FMR13 ビットが“0”(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータだけをコマンドで“1”にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13 ビットを“1”(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR13 ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR13 ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは“1”になります。

各コマンドの詳細は、「34.4.11 ソフトウェアコマンド」を参照してください。

FMR13 ビットは自動消去終了後、“0”になります。FMR13 ビットは以下のいずれかの条件が成立した場合に“0”になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13 ビットを“1”にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FST レジスタの FST7 ビットが“0”(ビジー)から“1”(レディ)になった場合
- 不正なコマンドが入力された場合
- FMR0 レジスタの FMR01 ビットを“0”(CPU 書き換えモード無効)にした場合
- FMR0 レジスタの FMSTP ビットを“1”(フラッシュメモリ停止)にした場合

図 34.7 に FMR13 ビットの動作に関するタイミングを示します。

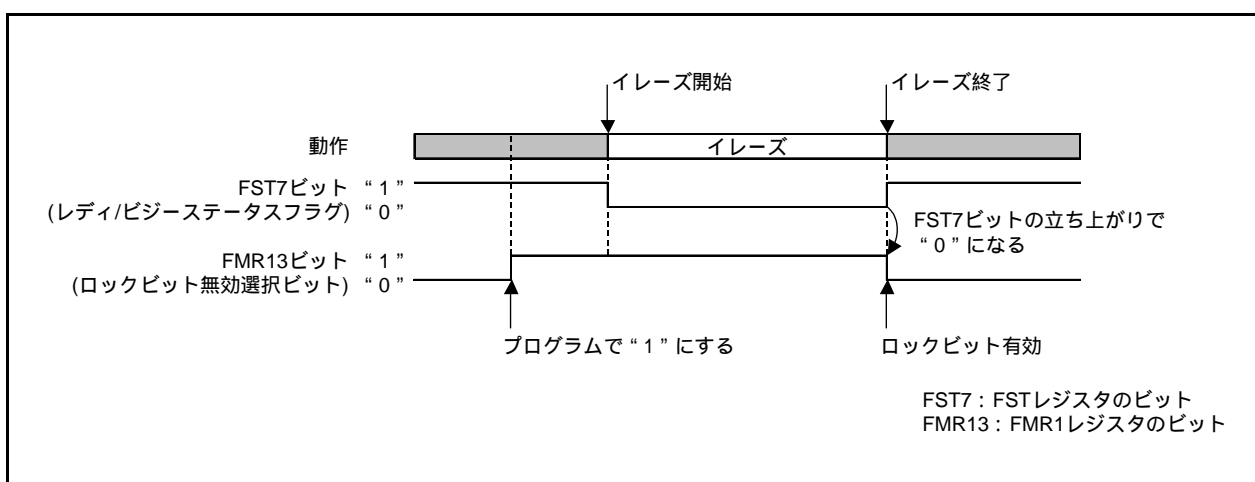


図 34.7 FMR13 ビットの動作に関するタイミング

34.4.11 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

表34.5 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	x	FFh			
クリアステータスレジスタ	ライト	x	50h			
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	x	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	x	71h	ライト	BT	D0h
ブロックblankチェック	ライト	x	25h	ライト	BA	D0h

WA：書き込み番地

WD：書き込みデータ

BA：ブロックの任意の番地

BT：ブロックの先頭番地

x：ユーザROM領域内の任意の番地

34.4.11.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ後、イレーズサスペンド移行後はリードアレイモードになります。

34.4.11.2 クリアステータスレジスタ

FSTレジスタのFST4～FST5ビットを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FSTレジスタのFST4～FST5ビットが“0”になります。

34.4.11.3 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます(「34.4.12 フルスステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するプログラムコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するプログラムコマンドが受け付けられません。

図34.8にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図34.9にプログラムフローチャート(フラッシュレディステータス割り込み許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

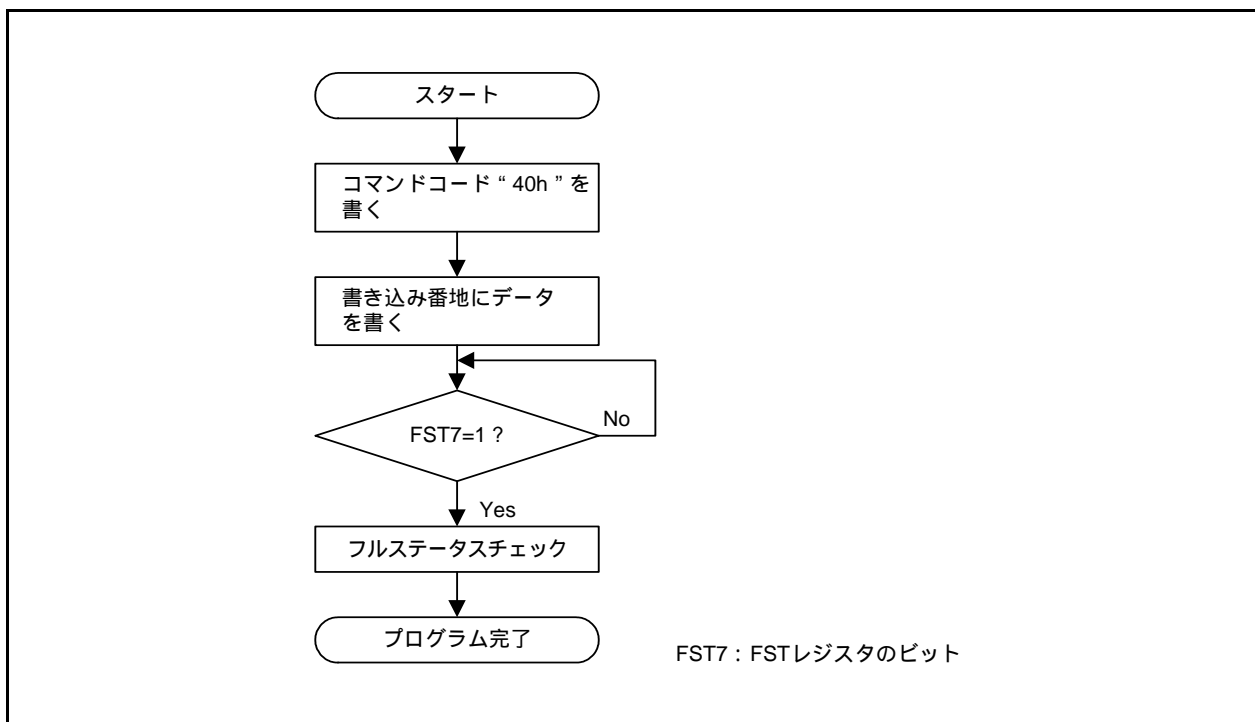


図34.8 プログラムフローチャート(フラッシュレディステータス割り込み禁止)

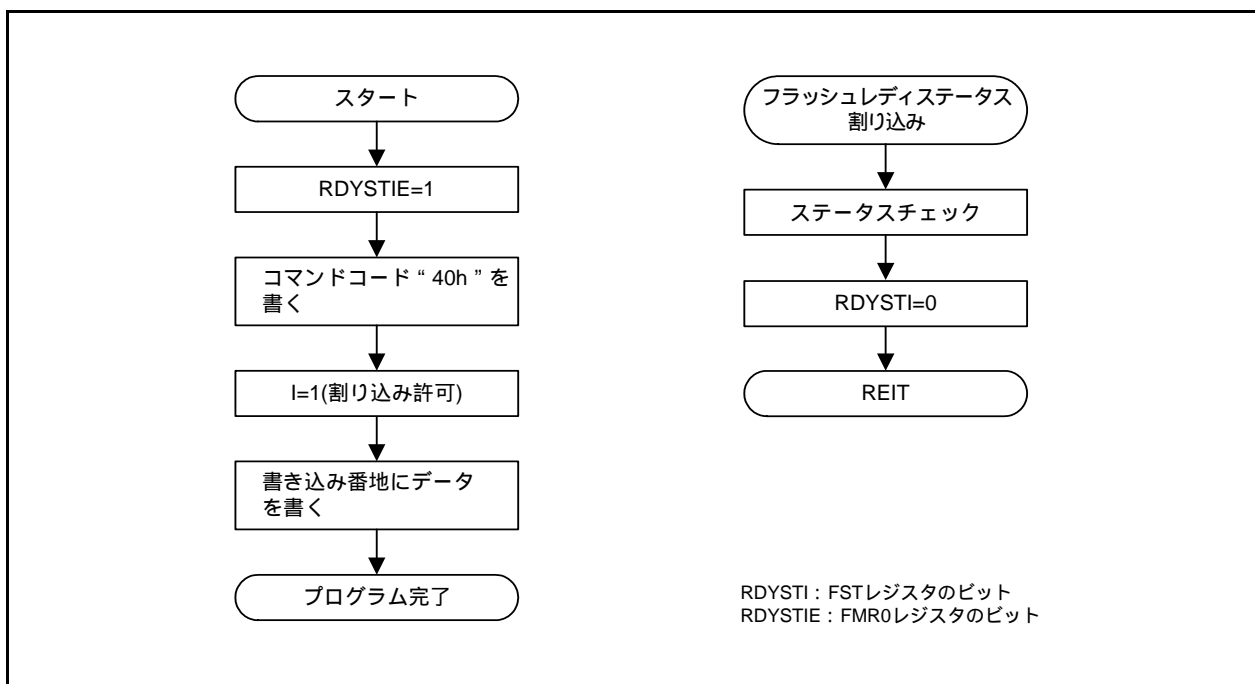


図34.9 プログラムフローチャート(フラッシュレディステータス割り込み許可)

34.4.11.4 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地を書く指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は、“0”、終了後は“1”になります。また、自動消去の終了後、ブロック内のデータはすべて“FFh”になります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます(「34.4.12 フルスステータスチェック」参照)。

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するブロックイレーズコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するブロックイレーズコマンドが受け付けられません。

図34.10にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図34.11にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図34.12にブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(イレーズサスペンド許可)のときは、FMR21ビットを“1”(イレーズサスペンドリクエスト)にし、自動消去が中断されるとフラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

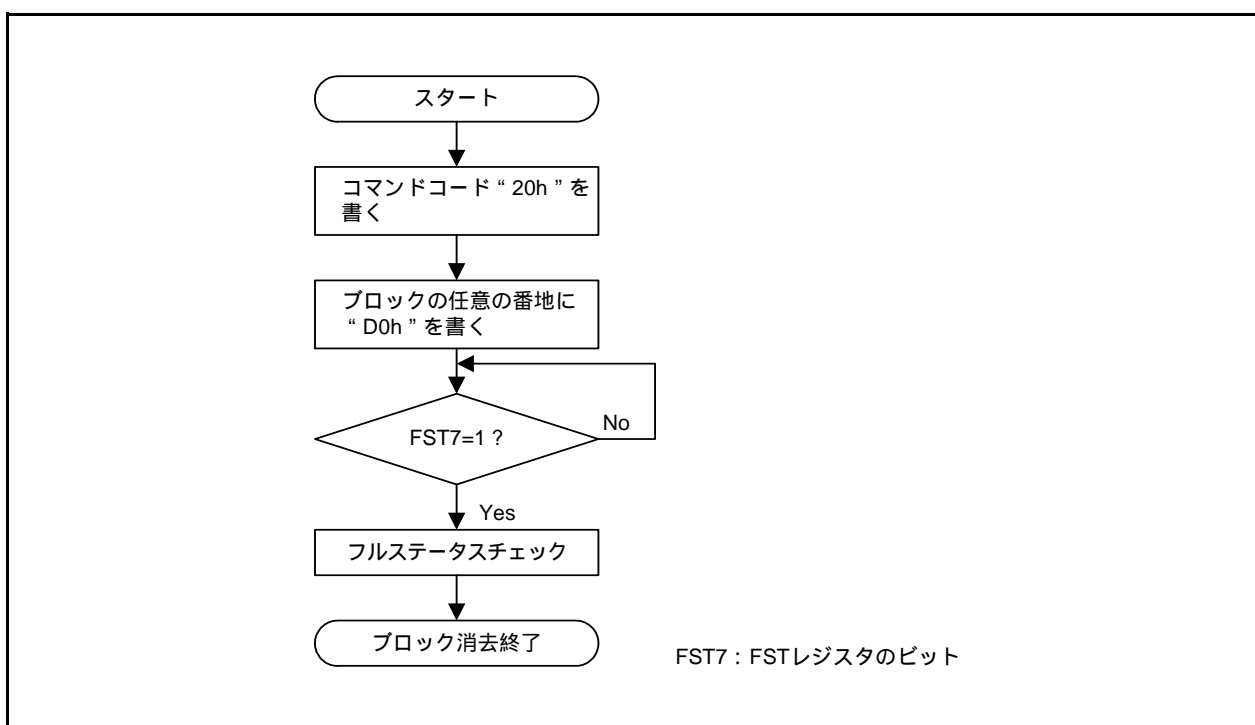


図 34.10 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)

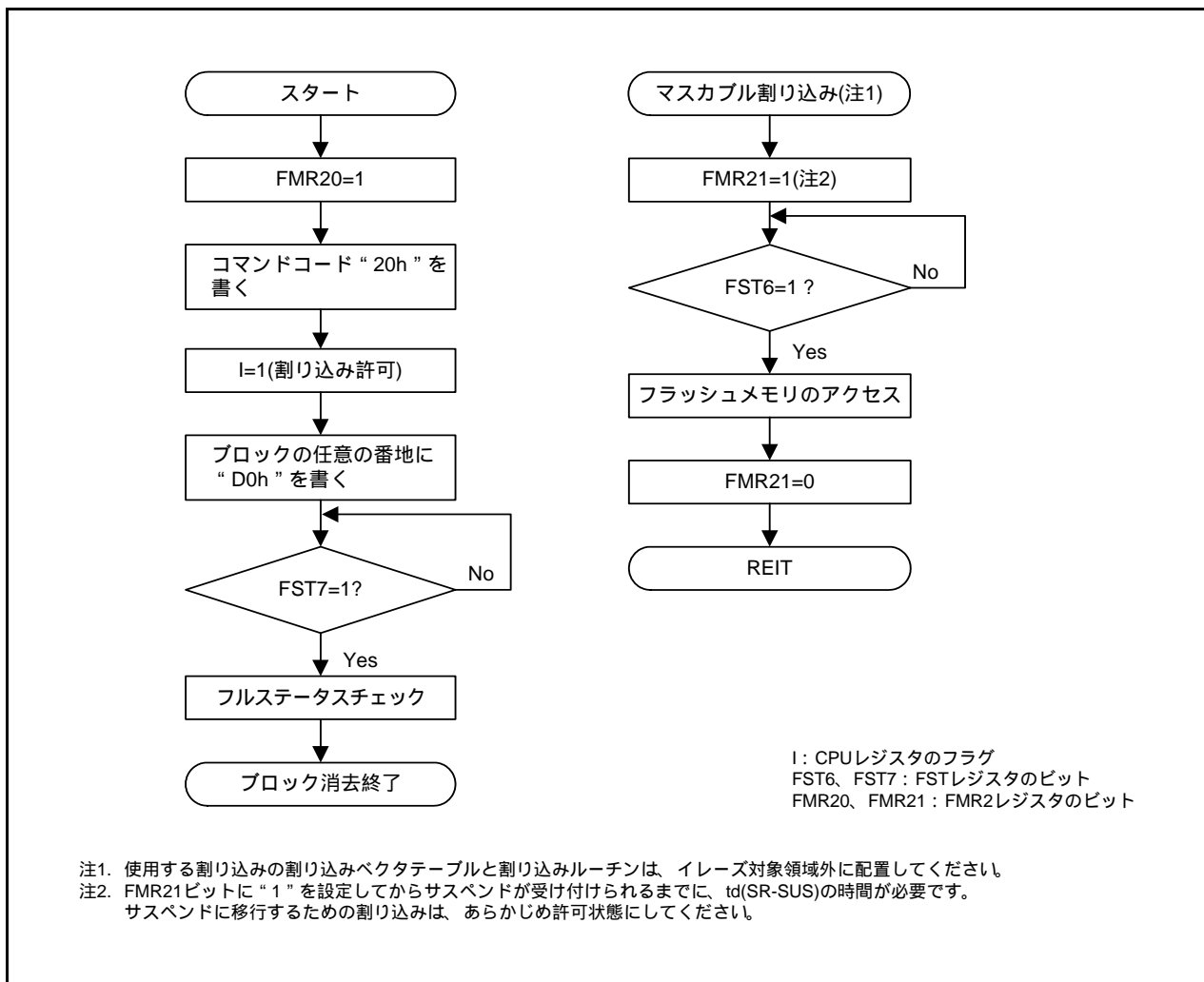


図34.11 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

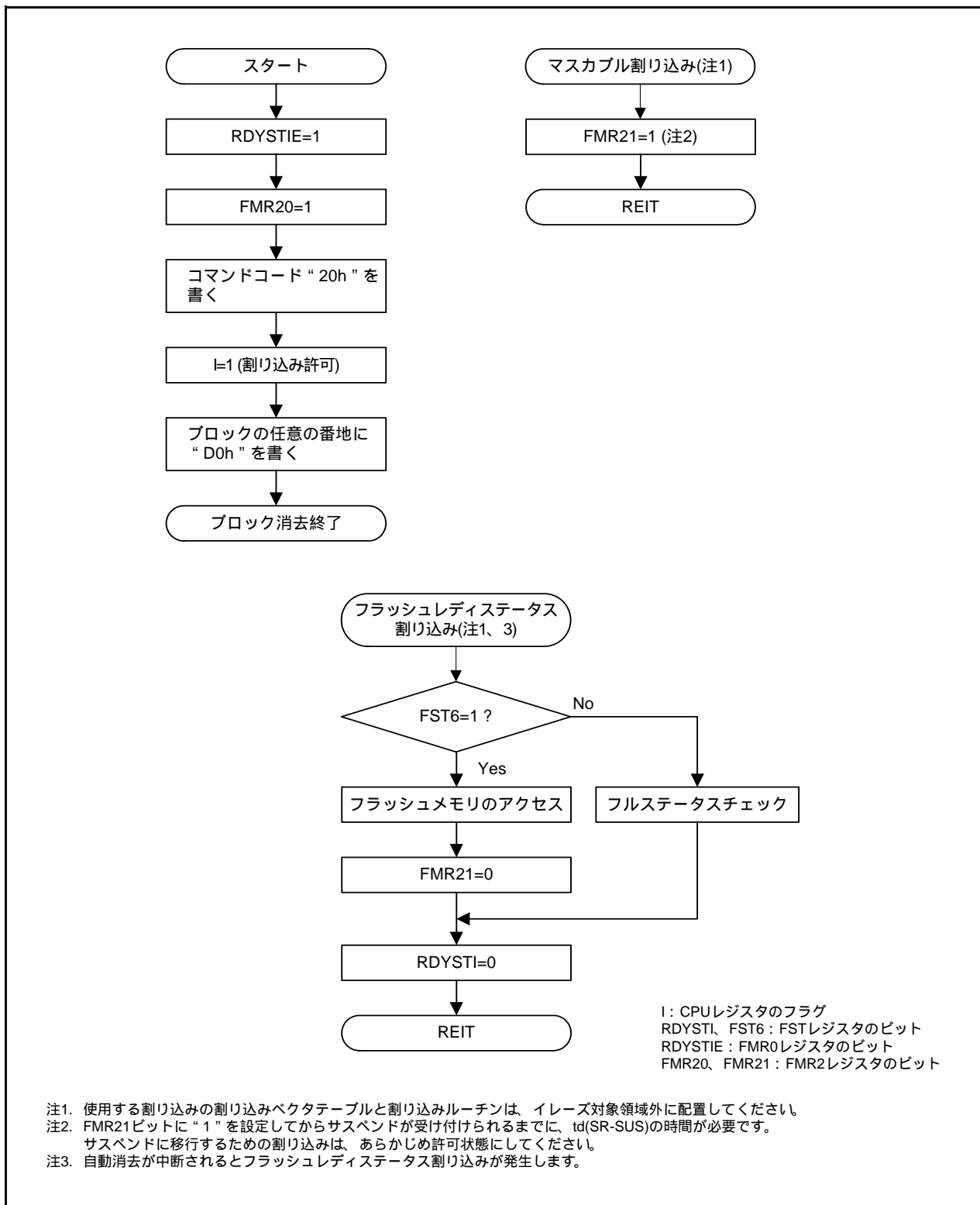


図 34.12 ブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

34.4.11.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“77h”、第2バスサイクルで“D0h”をブロックの先頭番地書くと、指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図34.13にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については「34.4.10 データ保護機能」を参照してください。

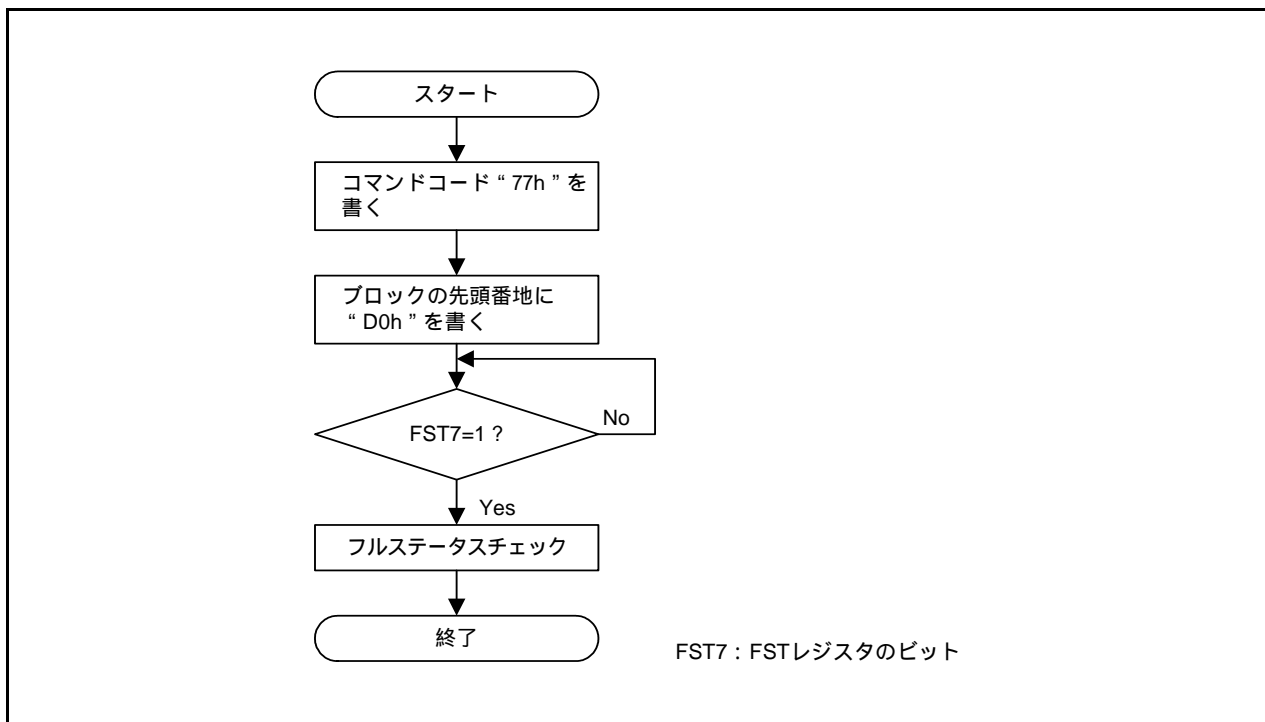


図34.13 ロックビットプログラムフローチャート

34.4.11.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“71h”、第2バスサイクルでブロックの先頭番地に“D0h”を書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBDATAビットに格納されます。FSTレジスタのFST7ビットが“1”(レディ)になった後、LBDATAビットを読んでください。

図34.14にリードロックビットステータスフローチャートを示します。

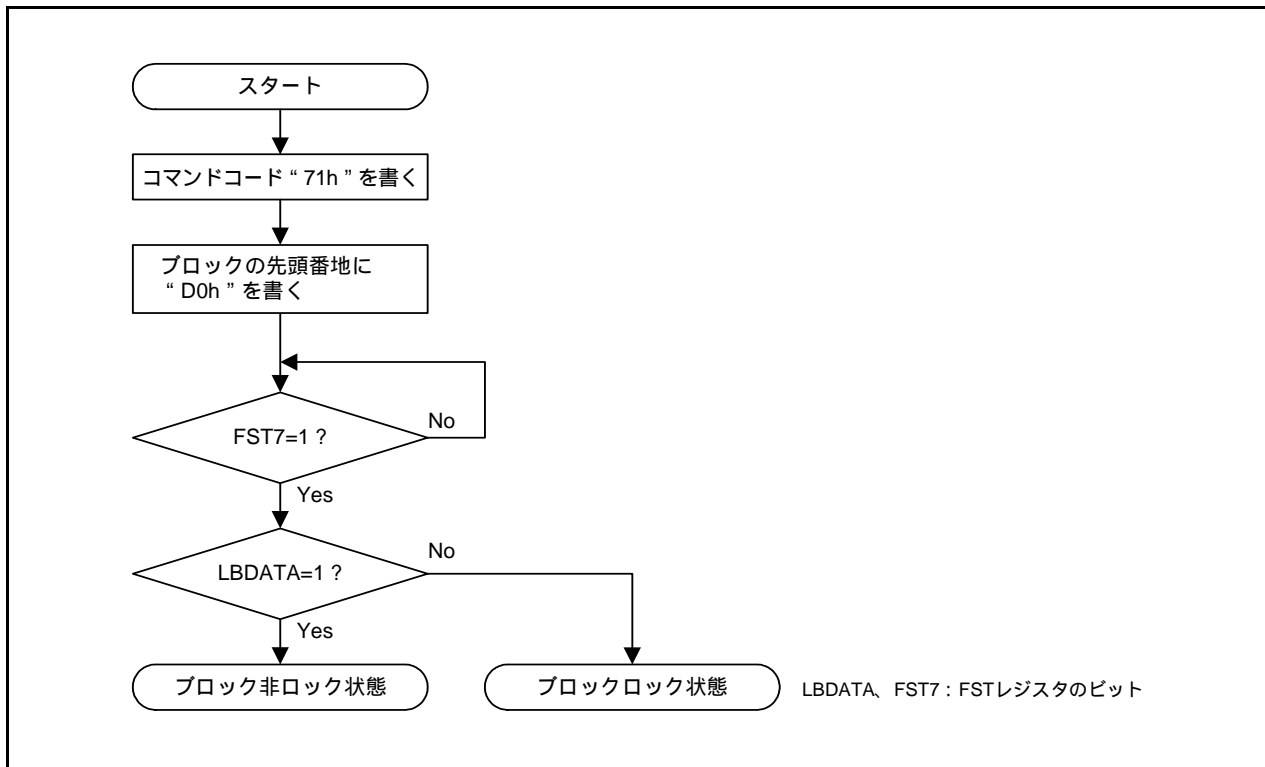


図34.14 リードロックビットステータスフローチャート

34.4.11.7 ブロックブランクチェック

任意のブロック内のすべての番地が、ブランクデータ“FFh”であることを確認するコマンドです。

第1バスサイクルで“25h”、第2バスサイクルでブロックの任意の番地に“D0h”を書くと、指定されたブロック内のブランクチェックを開始します。ブランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、ブランクチェック期間中は“0”、終了後は“1”になります。

ブランクチェック終了後、FSTレジスタのFST5ビットで、ブランクチェックの結果を知ることができます(「34.4.12 フルステータスチェック」参照)。

FST6ビットが“1”(イレーズサスペンド中)のときは、ブロックブランクチェックコマンドを実行しないでください。

図34.15にブロックブランクチェックフローチャートを示します。

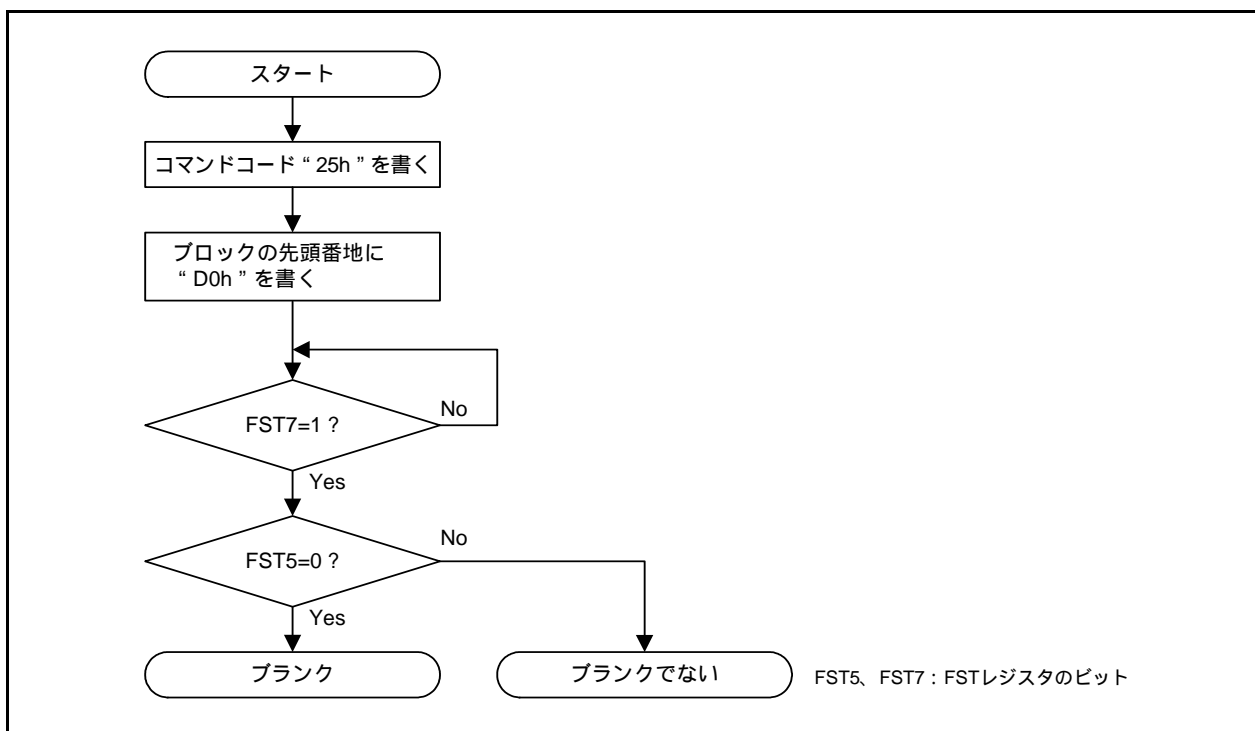


図34.15 ブロックブランクチェックフローチャート

34.4.12 フルステータスチェック

エラーが発生すると、FST レジスタの FST4 ~ FST5 ビットが “1” になり、各エラーの発生を示します。したがって、これらのステータスをチェック (フルステータスチェック) することにより、実行結果を確認できます。

表 34.6 にエラーと FST レジスタの状態を、図 34.16 にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表 34.6 エラーと FST レジスタの状態

FST レジスタの状態		エラー	エラー発生条件
FST5	FST4		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> • コマンドを正しく書かなかったとき • ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値 (“D0h” または “FFh”) 以外のデータを書いたとき (注1)
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
		ブランクチェックエラー	ブロックブランクチェックコマンドを実行し、ブランクデータ “FFh” 以外のデータを読み出したとき
0	1	プログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. これらのコマンドの第2バスサイクルで “FFh” を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

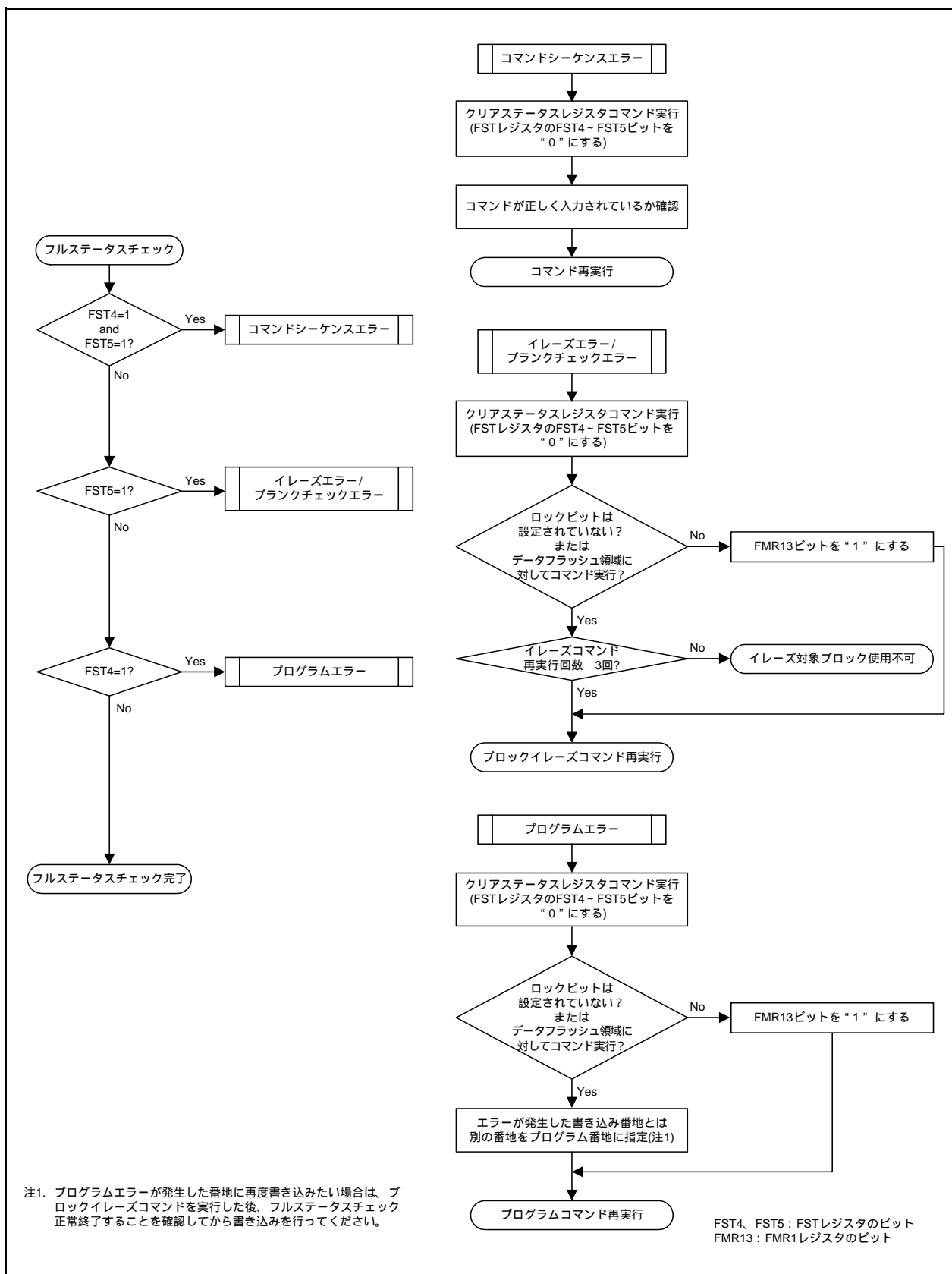


図 34.16 フルステータスチェックフローチャート、各エラー発生時の対処方法

34.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアル I/O を用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザズマニュアルを参照してください。

表34.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図34.17に標準シリアル入出力モード2を使用する場合の端子処理例を、表34.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図34.18に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表34.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

34.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

表34.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC 端子にはプログラム、イレーズの保証電圧を、VSS には 0V を入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6 入力/クロック入力	入力	XIN 端子と XOUT 端子の間にはセラミック共振子、または水晶発振子を接続してください。
P4_7/XOUT	P4_7 入力/クロック出力	入出力	
P4_3/XCIN	P4_3 入力/クロック入力	入力	XCIN 端子と XCOUT 端子の間には水晶発振子を接続してください。
P4_4/XCOUT	P4_4 入力/クロック出力	入出力	
P0_0 ~ P0_7	入力ポート P0	入力	“H” を入力、“L” を入力、または開放してください。
P1_0 ~ P1_3、 P1_6、P1_7	入力ポート P1	入力	“H” を入力、“L” を入力、または開放してください。
P2_0 ~ P2_7	入力ポート P2	入力	“H” を入力、“L” を入力、または開放してください。
P3_0 ~ P3_7	入力ポート P3	入力	“H” を入力、“L” を入力、または開放してください。
P4_2/VREF、P4_5	入力ポート P4	入力	“H” を入力、“L” を入力、または開放してください。
P5	入力ポート P5	入力	“H” を入力、“L” を入力、または開放してください。
P6	入力ポート P6	入力	“H” を入力、“L” を入力、または開放してください。
P7	入力ポート P7	入力	“H” を入力、“L” を入力、または開放してください。
P8	入力ポート P8	入力	“H” を入力、“L” を入力、または開放してください。
P9_0 ~ P9_5	入力ポート P9	入力	“H” を入力、“L” を入力、または開放してください。
MODE	MODE	入出力	“L” を入力してください。
P1_4	TXD 出力	出力	シリアルデータの出力端子です。
P1_5	RXD 入力	入力	シリアルデータの入力端子です。

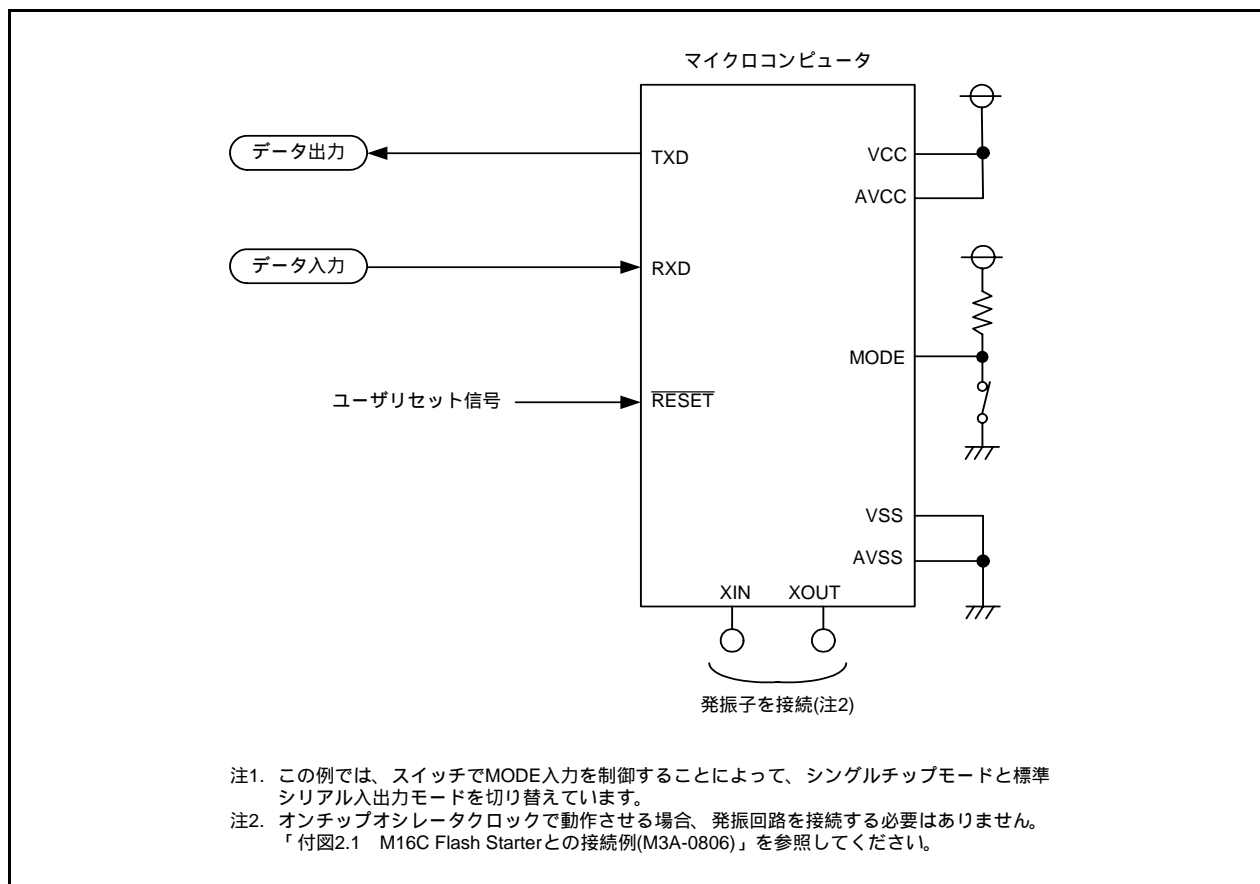


図34.17 標準シリアル入出力モード2を使用する場合の端子処理例

表 34.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC 端子にはプログラム、イレーズの保証電圧を、VSS には 0V を入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6 入力/クロック入力	入力	外付けの発振子を接続する場合、XIN 端子と XOUT 端子の間にはセラミック共振子、または水晶発振子を接続してください。
P4_7/XOUT	P4_7 入力/クロック出力	入出力	入力ポートとして使用する場合、“H” を入力、“L” を入力、または開放してください。
P4_3/XCIN	P4_3 入力/クロック入力	入力	外付けの発振子を接続する場合、XCIN 端子と XCOUT 端子の間には水晶発振子を接続してください。
P4_4/XCOUT	P4_4 入力/クロック出力	入出力	入力ポートとして使用する場合、“H” を入力、“L” を入力、または開放してください。
P0_0 ~ P0_7	入力ポート P0	入力	“H” を入力、“L” を入力、または開放してください。
P1_0 ~ P1_7	入力ポート P1	入力	“H” を入力、“L” を入力、または開放してください。
P2_0 ~ P2_7	入力ポート P2	入力	“H” を入力、“L” を入力、または開放してください。
P3_0 ~ P3_7	入力ポート P3	入力	“H” を入力、“L” を入力、または開放してください。
P4_2/VREF、P4_5	入力ポート P4	入力	“H” を入力、“L” を入力、または開放してください。
P5	入力ポート P5	入力	“H” を入力、“L” を入力、または開放してください。
P6	入力ポート P6	入力	“H” を入力、“L” を入力、または開放してください。
P7	入力ポート P7	入力	“H” を入力、“L” を入力、または開放してください。
P8	入力ポート P8	入力	“H” を入力、“L” を入力、または開放してください。
P9_0 ~ P9_5	入力ポート P9	入力	“H” を入力、“L” を入力、または開放してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

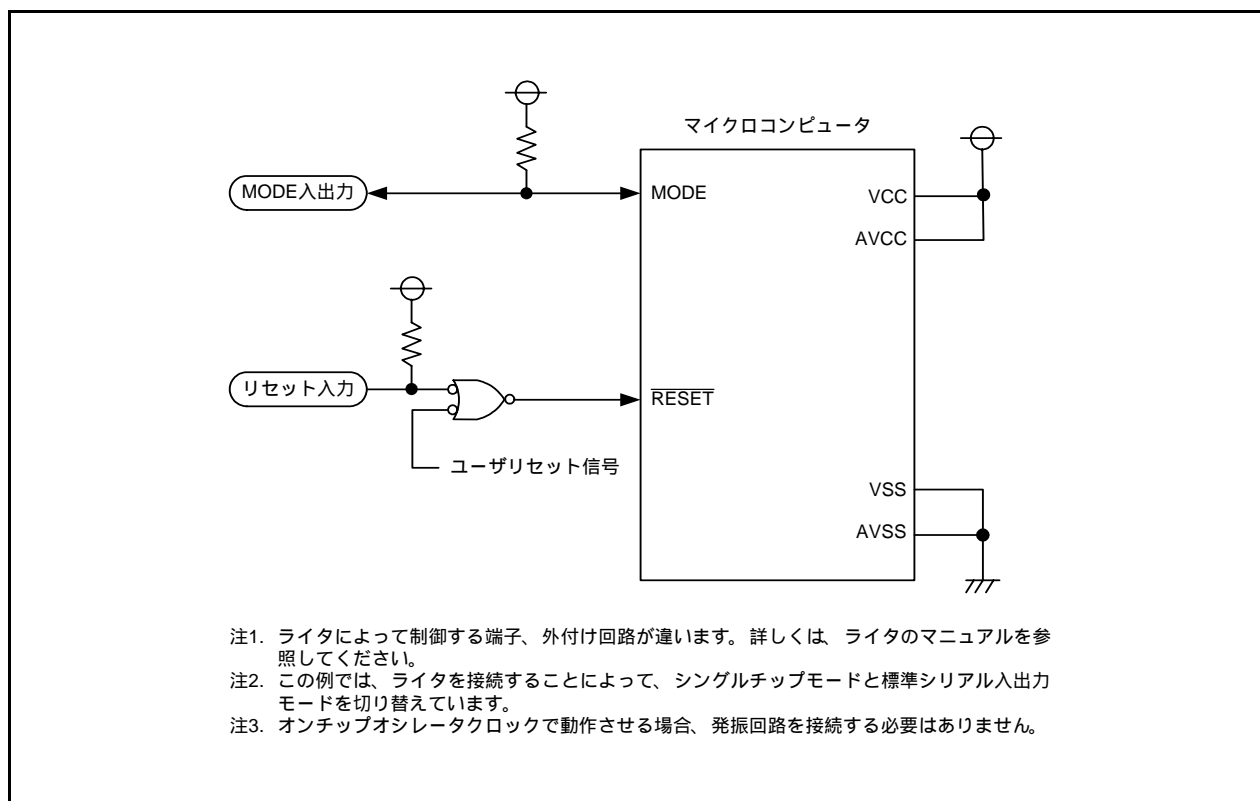


図 34.18 標準シリアル入出力モード3を使用する場合の端子処理例

34.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライタを使用してください。パラレルライタについては、各メーカーにお問い合わせください。また、パラレルライタの操作方法については、パラレルライタのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図 34.1 ~ 図 34.2 に示すユーザROM領域の書き換えができます。

34.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「34.3.2 ROMコードプロテクト機能」参照)。

34.7 フラッシュメモリ使用上の注意

34.7.1 CPU書き換えモード

34.7.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

34.7.1.2 割り込み

表34.9～表34.11にCPU書き換えモード時の割り込みを示します。

表34.9 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	
		自動書き込み中	

FMR21、FMR22：FMR2レジスタのビット

表34.10 CPU 書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> ・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1 ・NMI (注1)	<ul style="list-style-type: none"> ・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表34.11 CPU 書き換えモード時の割り込み(3)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> ・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1 ・NMI (注1)	<ul style="list-style-type: none"> ・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効またはFMR22=“0”)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

34.7.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。“1”を書いた後、“0”を書くまでに割り込みが入らないようにしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

34.7.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

34.7.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

34.7.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

34.7.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V ~ 5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

34.7.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

35. 消費電力の低減

35.1 概要

この章では消費電力を小さくするためのポイント、処理方法について説明します。

35.2 消費電力を小さくするためのポイントと処理方法

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

35.2.1 電圧検出回路

電圧監視1およびコンパレータA1を使用しない場合、VCA2レジスタのVCA26ビットを“0”(電圧検出1回路無効)に、電圧監視2およびコンパレータA2を使用しない場合、VCA2レジスタのVCA27ビットを“0”(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを“0”(電圧検出0回路無効)にしてください。

35.2.2 ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

35.2.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。

そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビット

高速オンチップオシレータの発振停止：FRA0レジスタのFRA00ビット

35.2.4 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。詳細は「9.7 パワーコントロール」を参照してください。

35.2.5 周辺機能クロックの停止

ウェイトモード時に周辺機能クロック f1、f2、f4、f8、f32 が不要の場合、CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にして、ウェイトモード時のf1、f2、f4、f8、f32を停止させてください。

35.2.6 タイマ

タイマRAを使用しない場合、TRAMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRCを使用しない場合、MSTCRレジスタのMSTTRCビットを“1”(スタンバイ)にしてください。

タイマRDを使用しない場合、TRDCR_i (i=0 ~ 1) レジスタのTCK2 ~ TCK0 ビットを“000b”(f1)、MSTCRレジスタのMSTTRDビットを“1”(スタンバイ)にしてください。

タイマRGを使用しない場合、MSTCRレジスタのMSTTRGビットを“1”(スタンバイ)にしてください。

35.2.7 A/Dコンバータ

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

35.2.8 クロック同期形シリアルインタフェース

SSUおよびI²Cバスを使用しない場合、MSTCRレジスタのMSTIICビットを“1”(スタンバイ)にしてください。

35.2.9 内部電源の消費電力低減

低速クロックモードまたは低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのVCA20ビットにより、内部電源の消費電力を低減できます。図35.1にVCA20ビットによる内部電源低消費操作手順を示します。VCA20ビットにより内部電源低消費電力を許可する場合は、「図35.1 VCA20ビットによる内部電源低消費操作手順」に従ってください。

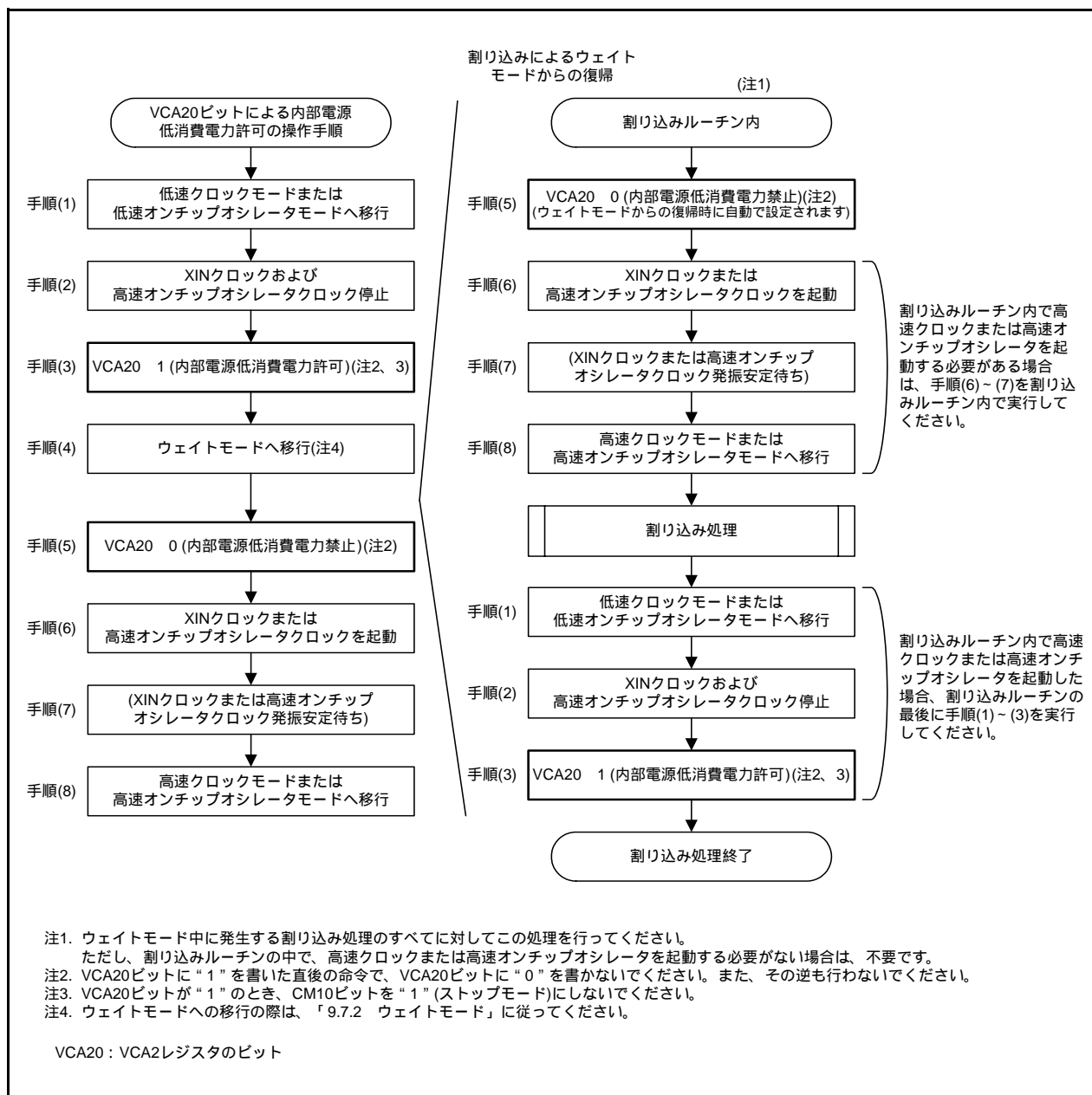


図35.1 VCA20ビットによる内部電源低消費操作手順

35.2.10 フラッシュメモリの停止

低速オンチップオシレータモード、低速クロックモードの場合、FMR0 レジスタの FMSTP ビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTP ビットを“1”(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTP ビットはRAMに転送したプログラムで書いてください。

なお、CPU 書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0 レジスタを設定する必要がありません。

図 35.2 に FMSTP ビットによる低消費電力操作手順例を示します。

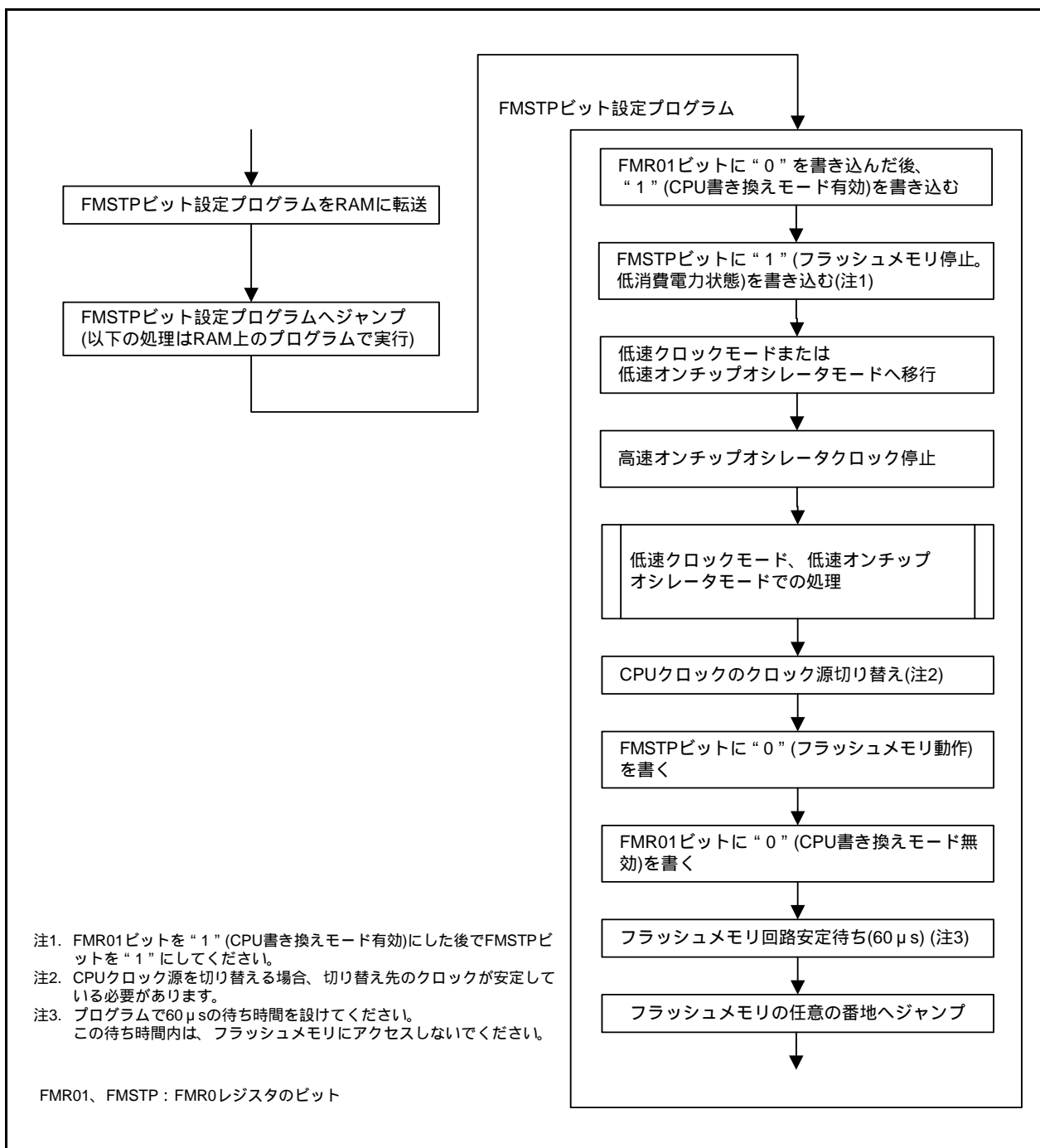


図 35.2 FMSTP ビットによる低消費電力操作手順例

35.2.11 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2 レジスタの FMR27 ビットを“1”(許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

図35.3に低消費電流リードモードの操作手順例を示します。

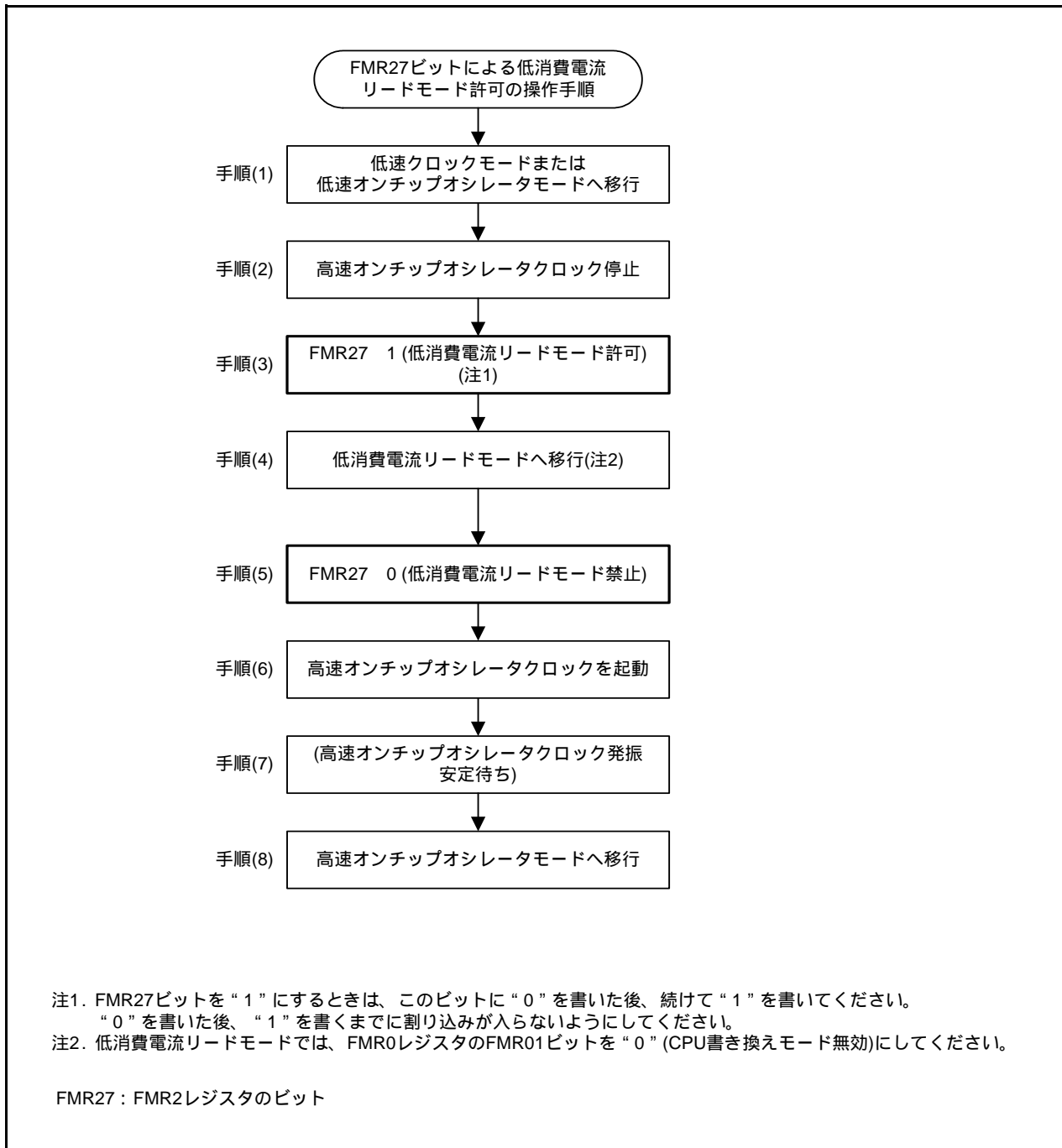


図35.3 低消費電流リードモードの操作手順例

36. 電気的特性

表36.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{CC} /AV _{CC}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	- 40 T _{opr} 85	TBD	mW
T _{opr}	動作周囲温度		- 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)	
T _{stg}	保存温度		- 65 ~ 150	

表 36.2 推奨動作条件

記号	項目				測定条件			規格値			単位	
								最小	標準	最大		
Vcc/AVcc	電源電圧							1.8		5.5	V	
Vss/AVss	電源電圧								0		V	
VIH	“ H ” 入力電圧	CMOS入力以外							0.8Vcc		Vcc	V
		CMOS 入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択 : 0.35Vcc	4.0V	Vcc	5.5V	0.5Vcc		Vcc	V	
					2.7V	Vcc < 4.0V	0.55Vcc		Vcc	V		
					1.8V	Vcc < 2.7V	0.65Vcc		Vcc	V		
				入力レベル選択 : 0.5Vcc	4.0V	Vcc	5.5V	0.65Vcc		Vcc	V	
					2.7V	Vcc < 4.0V	0.7Vcc		Vcc	V		
					1.8V	Vcc < 2.7V	0.8Vcc		Vcc	V		
				入力レベル選択 : 0.7Vcc	4.0V	Vcc	5.5V	0.85Vcc		Vcc	V	
					2.7V	Vcc < 4.0V	0.85Vcc		Vcc	V		
					1.8V	Vcc < 2.7V	0.85Vcc		Vcc	V		
VIL	“ L ” 入力電圧	CMOS入力以外							0		0.2Vcc	V
		CMOS 入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択 : 0.35Vcc	4.0V	Vcc	5.5V	0		0.2Vcc	V	
					2.7V	Vcc < 4.0V	0		0.2Vcc	V		
					1.8V	Vcc < 2.7V	0		0.2Vcc	V		
				入力レベル選択 : 0.5Vcc	4.0V	Vcc	5.5V	0		0.4Vcc	V	
					2.7V	Vcc < 4.0V	0		0.3Vcc	V		
					1.8V	Vcc < 2.7V	0		0.2Vcc	V		
				入力レベル選択 : 0.7Vcc	4.0V	Vcc	5.5V	0		0.55Vcc	V	
					2.7V	Vcc < 4.0V	0		0.45Vcc	V		
					1.8V	Vcc < 2.7V	0		0.35Vcc	V		
IOH(sum)	“ H ” 尖頭総出力電流	全端子の IOH(peak) の総和								TBD	mA	
IOH(sum)	“ H ” 平均総出力電流	全端子の IOH(avg) の総和								TBD	mA	
IOH(peak)	“ H ” 尖頭出力電流	駆動能力 Low 時								- 10	mA	
		駆動能力 High 時								- 40	mA	
IOH(avg)	“ H ” 平均出力電流	駆動能力 Low 時								- 5	mA	
		駆動能力 High 時								- 20	mA	
IOL(sum)	“ L ” 尖頭総出力電流	全端子の IOL(peak) の総和								TBD	mA	
IOL(sum)	“ L ” 平均総出力電流	全端子の IOL(avg) の総和								TBD	mA	
IOL(peak)	“ L ” 尖頭出力電流	駆動能力 Low 時								10	mA	
		駆動能力 High 時								40	mA	
IOL(avg)	“ L ” 平均出力電流	駆動能力 Low 時								5	mA	
		駆動能力 High 時								20	mA	
f(XIN)	XIN クロック入力発振周波数				2.7V	Vcc	5.5V			20	MHz	
					1.8V	Vcc < 2.7V			5	MHz		
f(XCIN)	XCIN クロック入力発振周波数				1.8V	Vcc	5.5V		32.768	50	kHz	
fOCO40M	タイマ RC、タイマ RD のカウントソース (注3)				2.7V	Vcc	5.5V	32		40	MHz	
fOCO-F	fOCO-F 周波数				2.7V	Vcc	5.5V			20	MHz	
					1.8V	Vcc < 2.7V			5	MHz		
	システムクロック周波数				2.7V	Vcc	5.5V			20	MHz	
					1.8V	Vcc < 2.7V			5	MHz		
f(BCLK)	CPU クロック周波数				2.7V	Vcc	5.5V			20	MHz	
					1.8V	Vcc < 2.7V			5	MHz		

注1. 指定のない場合は、V_{CC} = 1.8V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン) です。

注2. 平均出力電流は100msの期間内での平均値です。

注3. fOCO40MはV_{CC} = 2.7V ~ 5.5Vの範囲で、タイマRC、タイマRDのカウントソースとして使用することができます。

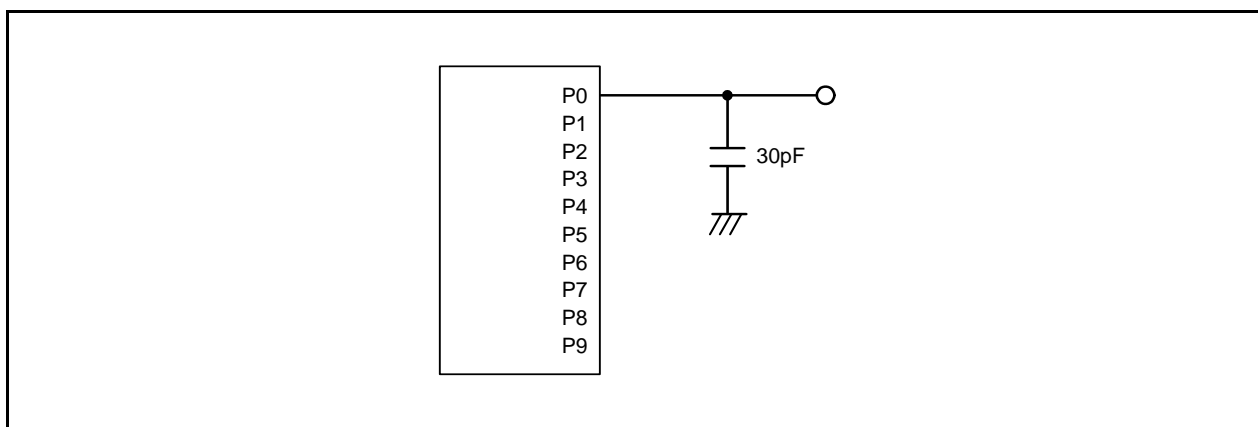


図36.1 ポートP0～P9のタイミング測定回路

表36.3 A/D コンバータ特性

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
	分解能		V _{ref} = AV _{CC}				10	Bit
	絶対精度	10ビットモード	V _{ref} = AV _{CC} = 5.0V	AN0 ~ AN7 入力、 AN8 ~ AN11 入力、 AN12 ~ AN19 入力			± 3	LSB
			V _{ref} = AV _{CC} = 3.3V	AN0 ~ AN7 入力、 AN8 ~ AN11 入力、 AN12 ~ AN19 入力			± 5	LSB
			V _{ref} = AV _{CC} = 3.0V	AN0 ~ AN7 入力、 AN8 ~ AN11 入力、 AN12 ~ AN19 入力			± 5	LSB
			V _{ref} = AV _{CC} = 2.2V	AN0 ~ AN7 入力、 AN8 ~ AN11 入力、 AN12 ~ AN19 入力			± 5	LSB
		8ビットモード	V _{ref} = AV _{CC} = 5.0V	AN0 ~ AN7 入力、 AN8 ~ AN11 入力、 AN12 ~ AN19 入力			± 2	LSB
			V _{ref} = AV _{CC} = 3.3V	AN0 ~ AN7 入力、 AN8 ~ AN11 入力、 AN12 ~ AN19 入力			± 2	LSB
			V _{ref} = AV _{CC} = 3.0V	AN0 ~ AN7 入力、 AN8 ~ AN11 入力、 AN12 ~ AN19 入力			± 2	LSB
			V _{ref} = AV _{CC} = 2.2V	AN0 ~ AN7 入力、 AN8 ~ AN11 入力、 AN12 ~ AN19 入力			± 2	LSB
AD	A/D 変換クロック		4.0V V _{ref} = AV _{CC} 5.5V (注2)		2		20	MHz
			3.2V V _{ref} = AV _{CC} 5.5V (注2)		2		16	MHz
			2.7V V _{ref} = AV _{CC} 5.5V (注2)		2		10	MHz
			2.2V V _{ref} = AV _{CC} 5.5V (注2)		2		5	MHz
	許容信号源インピーダンス						3	kΩ
DNL	微分非直線性誤差						± 1	LSB
tCONV	変換時間	10ビットモード	V _{ref} = AV _{CC} = 5.0V、 AD = 20MHz		2.15			μs
		8ビットモード	V _{ref} = AV _{CC} = 5.0V、 AD = 20MHz		2.15			μs
tSAMP	サンプリング時間		AD = 20MHz		0.75			μs
I _{vref}	V _{ref} 電流		V _{CC} = 5.0V、 XIN = f1 = AD = 20MHz			45		μA
V _{ref}	基準電圧				2.2		AV _{CC}	V
V _{IA}	アナログ入力電圧(注3)				0		V _{ref}	V

注1. 指定のない場合は、V_{CC}/AV_{CC} = V_{ref} = 2.2V ~ 5.5V、V_{SS} = 0V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. CPUおよびフラッシュメモリが停止すると、A/D変換結果が不定になります。

注3. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表 36.4 D/A コンバータ特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	分解能				8	Bit
	絶対精度				2.5	LSB
t_{su}	設定時間				3	μs
R_o	出力抵抗			6		$k\Omega$
I_{Vref}	基準電源入力電流	(注2)			1.5	mA

注1. 指定のない場合は、 $V_{CC}/AV_{CC} = V_{ref} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)です。

注2. D/A コンバータ1本使用、使用していないD/A コンバータのDAi (i = 0 ~ 1) レジスタの値が“00h” の場合です。

A/D コンバータのラダー抵抗分は除きます。

表 36.5 コンパレータAの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
LVREF	外部基準電圧入力範囲		1.4		V_{CC}	V
LVCMP1、 LVCMP2	外部比較電圧入力範囲		- 0.3		$V_{CC} + 0.3$	V
	オフセット			50	200	mV
	コンパレータ出力遅延時間(注2)	立ち下がり時 $V_I = V_{ref} - 100mV$		3		μs
		立ち下がり時 $V_I = V_{ref} - 1V$ 以下		1.5		μs
		立ち上がり時 $V_I = V_{ref} + 100mV$		2		μs
		立ち上がり時 $V_I = V_{ref} + 1V$ 以上		0.5		μs
	コンパレータ動作電流	$V_{CC} = 5.0V$		0.5		μA

注1. 指定のない場合は、 $V_{CC} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)です。

注2. デジタルフィルタ無効時。

表 36.6 コンパレータBの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{ref}	IVREF1、IVREF3入力基準電圧		0		$V_{CC} - 1.4$	V
V_I	IVCMP1、IVCMP3入力電圧		- 0.3		$V_{CC} + 0.3$	V
	オフセット			5	100	mV
t_d	コンパレータ出力遅延時間(注2)	$V_I = V_{ref} \pm 100mV$		0.1		μs
ICMP	コンパレータ動作電流	$V_{CC} = 5.0V$		17.5		μA

注1. 指定のない場合は、 $V_{CC} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)です。

注2. デジタルフィルタ無効時。

表36.7 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		1,000(注3)			回
	バイトプログラム時間			80	TBD	μs
	ブロックイレーズ時間			0.3	TBD	s
td(SR-SUS)	サスペンドへの遷移時間				5 + CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
	自動消去が終了するために必要なサスペンド間隔		20			ms
	サスペンドからイレーズの再開までの時間				30 + CPUクロック × 1サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、VCC = 2.7V ~ 5.5V、T_{opr} = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表36.8 フラッシュメモリ(データフラッシュ ブロックA～ブロックD)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレース回数(注2)		10,000(注3)			回
	バイトプログラム時間 (プログラム/イレース回数 1,000回)			160	TBD	μs
	バイトプログラム時間 (プログラム/イレース回数 > 1,000回)			300		μs
	ブロックイレース時間 (プログラム/イレース回数 1,000回)			0.2	1	s
	ブロックイレース時間 (プログラム/イレース回数 > 1,000回)			0.3	1	s
t _d (SR-SUS)	サスペンドへの遷移時間				5 + CPUクロック × 3サイクル	ms
	イレース開始または再開から次のサスペンド要求までの間隔		0			μs
	自動消去が終了するために必要なサスペンド間隔		3			ms
	サスペンドからイレースの再開までの時間				30 + CPUクロック × 1サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		- 20(注7)		85	
	データ保持時間(注8)	周囲温度 = 55	20			年

注1. 指定のない場合は、V_{CC} = 2.7V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. プログラム/イレース回数の定義

プログラム/イレース回数はブロックごとのイレース回数です。

プログラム/イレース回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレースすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレースした場合も、プログラム/イレース回数は1回と数えます。ただし、イレース1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレース後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレースを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレースをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA～ブロックDのイレース回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレースを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレースでイレースエラーが発生した場合は、イレースエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレースコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. Dバージョンは - 40 。

注8. 電源電圧またはクロックが印加されていない時間を含みます。

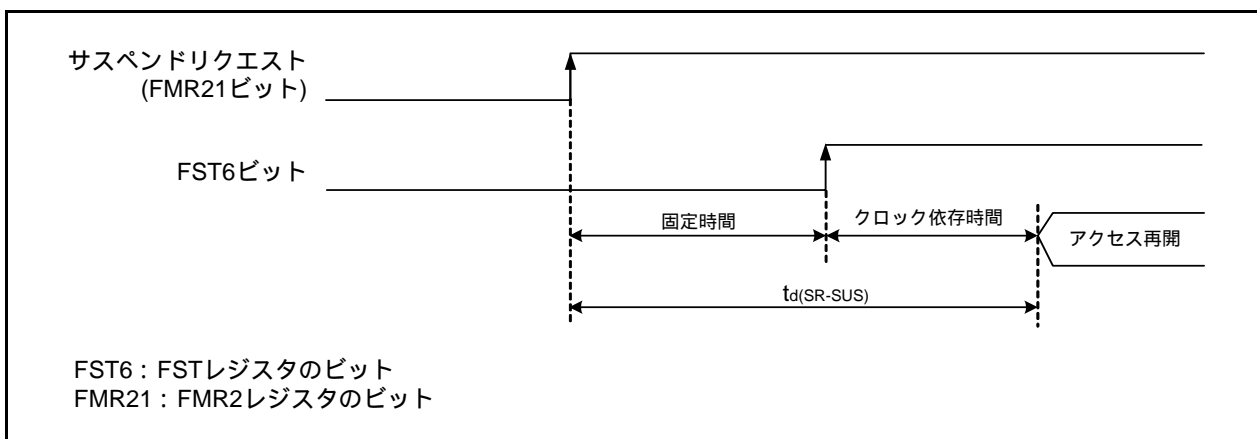


図36.2 サスペンドへの遷移時間

表 36.9 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0 (注2)		TBD	1.90	TBD	V
	電圧検出レベルVdet0_1 (注2)		TBD	2.35	TBD	V
	電圧検出レベルVdet0_2 (注2)		TBD	2.85	TBD	V
	電圧検出レベルVdet0_3 (注2)		TBD	3.80	TBD	V
	電圧検出0回路反応時間 (注4)	Vcc = 5.0V (Vdet0_0 - 0.1)V に下げたとき		6	150	μs
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 5.0V		1.5		μA
td(E-A)	電圧検出回路動作開始までの待ち時間 (注3)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはOFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

注3. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表 36.10 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_0 (注2)	Vcc立ち下がり時	TBD	2.20	TBD	V
	電圧検出レベルVdet1_1 (注2)	Vcc立ち下がり時	TBD	2.35	TBD	V
	電圧検出レベルVdet1_2 (注2)	Vcc立ち下がり時	TBD	2.50	TBD	V
	電圧検出レベルVdet1_3 (注2)	Vcc立ち下がり時	TBD	2.65	TBD	V
	電圧検出レベルVdet1_4 (注2)	Vcc立ち下がり時	TBD	2.80	TBD	V
	電圧検出レベルVdet1_5 (注2)	Vcc立ち下がり時	TBD	2.95	TBD	V
	電圧検出レベルVdet1_6 (注2)	Vcc立ち下がり時	TBD	3.10	TBD	V
	電圧検出レベルVdet1_7 (注2)	Vcc立ち下がり時	TBD	3.25	TBD	V
	電圧検出レベルVdet1_8 (注2)	Vcc立ち下がり時	TBD	3.40	TBD	V
	電圧検出レベルVdet1_9 (注2)	Vcc立ち下がり時	TBD	3.55	TBD	V
	電圧検出レベルVdet1_A (注2)	Vcc立ち下がり時	TBD	3.70	TBD	V
	電圧検出レベルVdet1_B (注2)	Vcc立ち下がり時	TBD	3.85	TBD	V
	電圧検出レベルVdet1_C (注2)	Vcc立ち下がり時	TBD	4.00	TBD	V
	電圧検出レベルVdet1_D (注2)	Vcc立ち下がり時	TBD	4.15	TBD	V
	電圧検出レベルVdet1_E (注2)	Vcc立ち下がり時	TBD	4.30	TBD	V
	電圧検出レベルVdet1_F (注2)	Vcc立ち下がり時	TBD	4.45	TBD	V
	電圧検出1回路のVcc立ち上がり時のヒステリシス幅	Vdet1_0 ~ Vdet1_5選択時		0.07		V
		Vdet1_6 ~ Vdet1_F選択時		0.10		V
	電圧検出1回路反応時間 (注3)	Vcc = 5.0V (Vdet1_0 - 0.1)V に下げたとき		60	150	μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間 (注4)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注3. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 36.11 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベルVdet2_0 (注2)	Vcc立ち下がり時	TBD	4.00	TBD	V
	電圧検出レベルVdet2_EXT (注2)	LVCMP2立ち下がり時	TBD	1.34	TBD	V
	電圧検出2回路のVcc立ち上がり時のヒステリシス幅			0.10		V
	電圧検出2回路反応時間 (注3)	Vcc = 5.0V (Vdet2_0 - 0.1)Vに下げたとき		20	150	μs
	電圧検出回路の自己消費電流	VCA27 = 1、Vcc = 5.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間 (注4)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルは検出対象で異なります。VCA2レジスタのVCA24ビットで選択してください。

注3. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 36.12 パワーオンリセット回路 (注3)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き (注2)		0		50,000	mV/msec

注1. 指定のない場合測定条件は、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. Vcc 1.0Vで使用する場合、この条件(外部電源Vcc立ち上がり傾き)は不要です。

注3. パワーオンリセットを使用する場合には、OFSレジスタのLVD0ONビットを“0”にして電圧監視0リセットを有効にしてください。

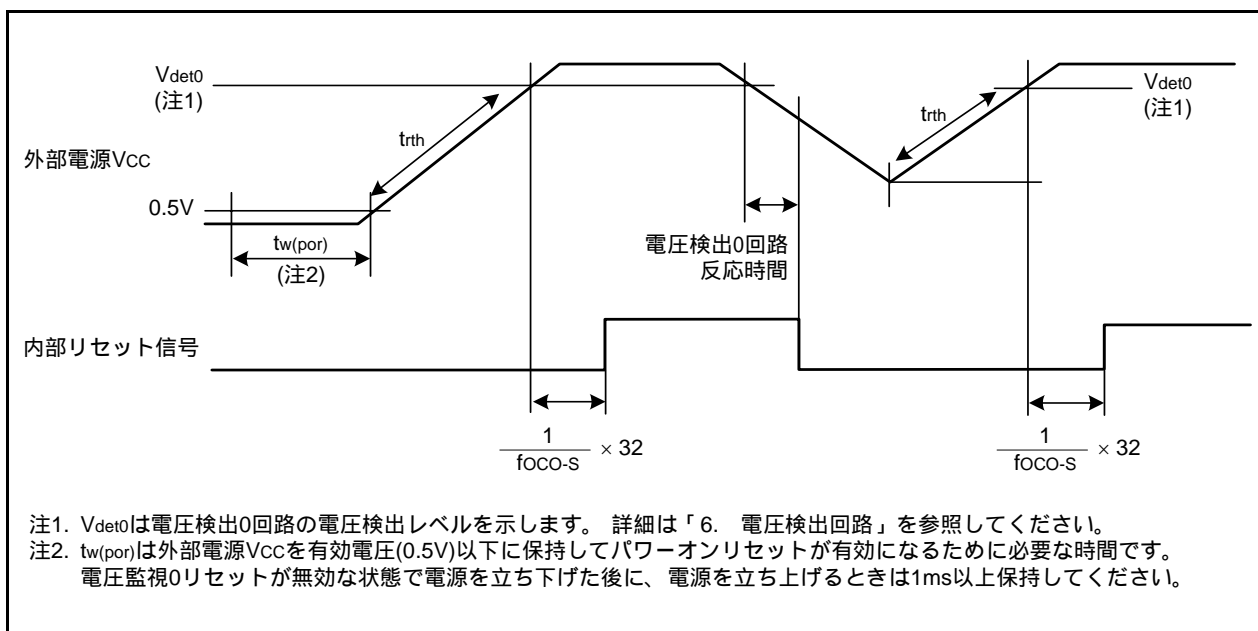


図 36.3 パワーオンリセット回路の電気的特性

表36.13 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	リセット解除時の高速オンチップオシレータ発振周波数	$V_{CC} = 5.0V$ 、 $T_{opr} = 25$	TBD	40	TBD	MHz
	FRA4レジスタの補正値をFRA1レジスタに、かつFRA5レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注3)		TBD	36.864	TBD	MHz
	FRA6レジスタの補正値をFRA1レジスタに、かつFRA7レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数		TBD	32	TBD	MHz
	高速オンチップオシレータ発振周波数の温度・電圧依存性(注2)	$V_{CC} = 2.7V \sim 5.5V$ - 20 T_{opr} 85	TBD		TBD	%
		$V_{CC} = 2.7V \sim 5.5V$ - 40 T_{opr} 85	TBD		TBD	%
		$V_{CC} = 2.2V \sim 5.5V$ - 20 T_{opr} 85	TBD		TBD	%
		$V_{CC} = 2.2V \sim 5.5V$ - 40 T_{opr} 85	TBD		TBD	%
		$V_{CC} = 1.8V \sim 5.5V$ - 20 T_{opr} 85	TBD		TBD	%
		$V_{CC} = 1.8V \sim 5.5V$ - 40 T_{opr} 85	TBD		TBD	%
	発振安定時間	$V_{CC} = 5.0V$ 、 $T_{opr} = 25$		100	450	μs
	発振時の自己消費電流	$V_{CC} = 5.0V$ 、 $T_{opr} = 25$		400		μA

注1. 指定のない場合は、 $V_{CC} = 1.8V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)です。

注2. 高速オンチップオシレータ発振周波数に対する精度誤差を示します。

注3. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表36.14 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		60	125	250	kHz
	発振安定時間	$V_{CC} = 5.0V$ 、 $T_{opr} = 25$		30	100	μs
	発振時の自己消費電流	$V_{CC} = 5.0V$ 、 $T_{opr} = 25$		2		μA

注1. 指定のない場合は、 $V_{CC} = 1.8V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)です。

表36.15 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_d(P-R)$	電源投入時の内部電源安定時間(注2)				2,000	μs

注1. 測定条件は $V_{CC} = 1.8V \sim 5.5V$ 、 $T_{opr} = 25$ です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

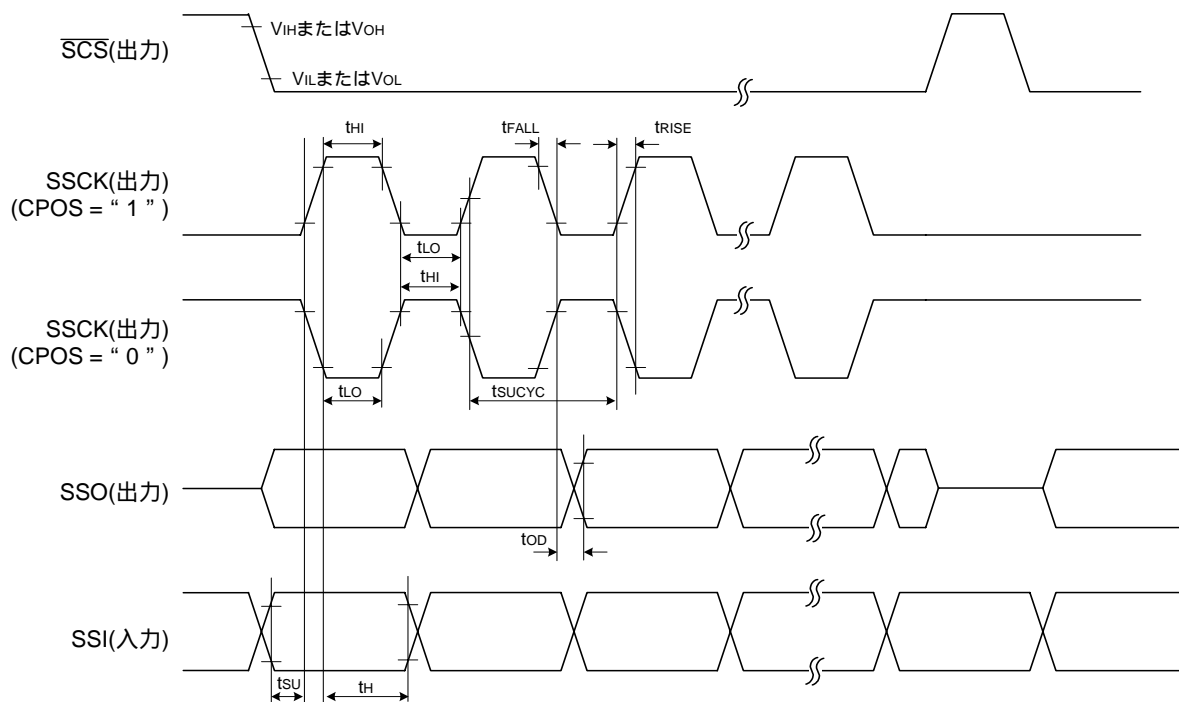
表36.16 チップセレクト付クロック同期形シリアルI/Oのタイミング必要条件

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4			tcyc (注2)
tHI	SSCKクロック“H”パルス幅			0.4		0.6	tSUCYC
tLO	SSCKクロック“L”パルス幅			0.4		0.6	tSUCYC
tRISE	SSCKクロック立ち上がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tSU	SSO、SSIデータ入力セットアップ時間			100			ns
tH	SSO、SSIデータ入力ホールド時間			1			tcyc (注2)
tLEAD	SCSセットアップ時間	スレーブ		1tcyc + 50			ns
tLAG	SCSホールド時間	スレーブ		1tcyc + 50			ns
tOD	SSO、SSIデータ出力遅延時間					1	tcyc (注2)
tSA	SSIスレーブアクセス時間		2.7V Vcc 5.5V			1.5tcyc + 100	ns
			1.8V Vcc < 2.7V			1.5tcyc + 200	ns
tOR	SSIスレーブアウト開放時間		2.7V Vcc 5.5V			1.5tcyc + 100	ns
			1.8V Vcc < 2.7V			1.5tcyc + 200	ns

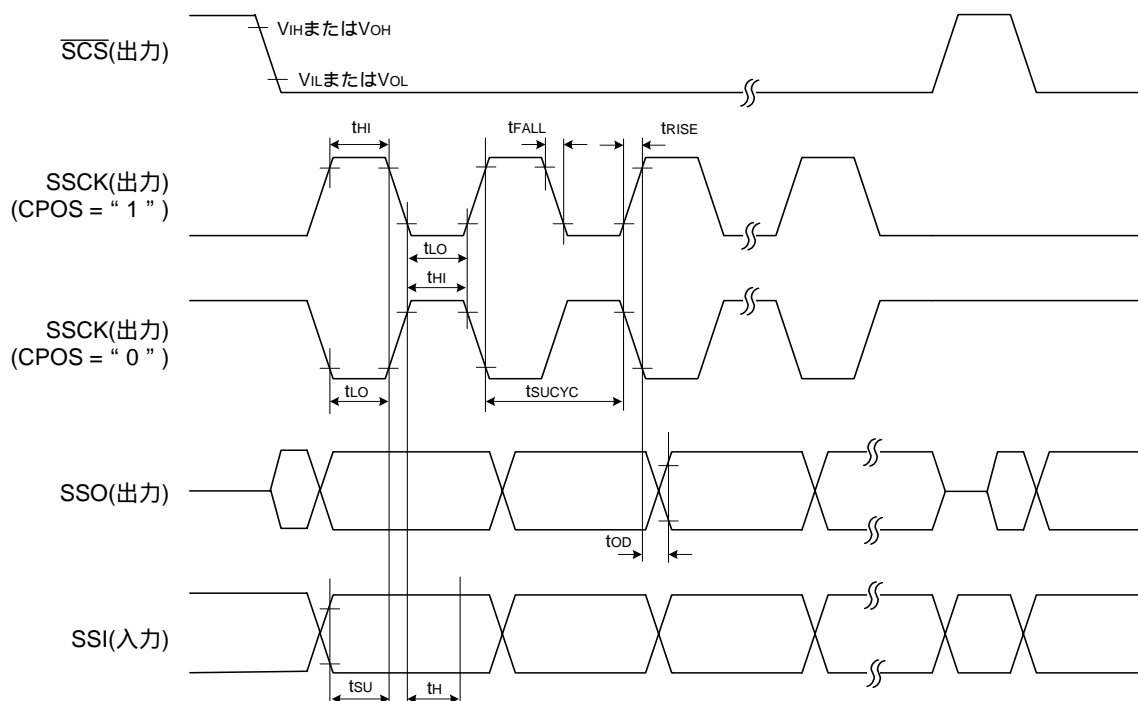
注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Vss = 0V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 1tcyc = 1/f1(s)

4線式バス通信モード、マスタ、CPHS = "1"



4線式バス通信モード、マスタ、CPHS = "0"



CPHS、CPOS : SSMRレジスタのビット

図 36.4 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(マスタ)

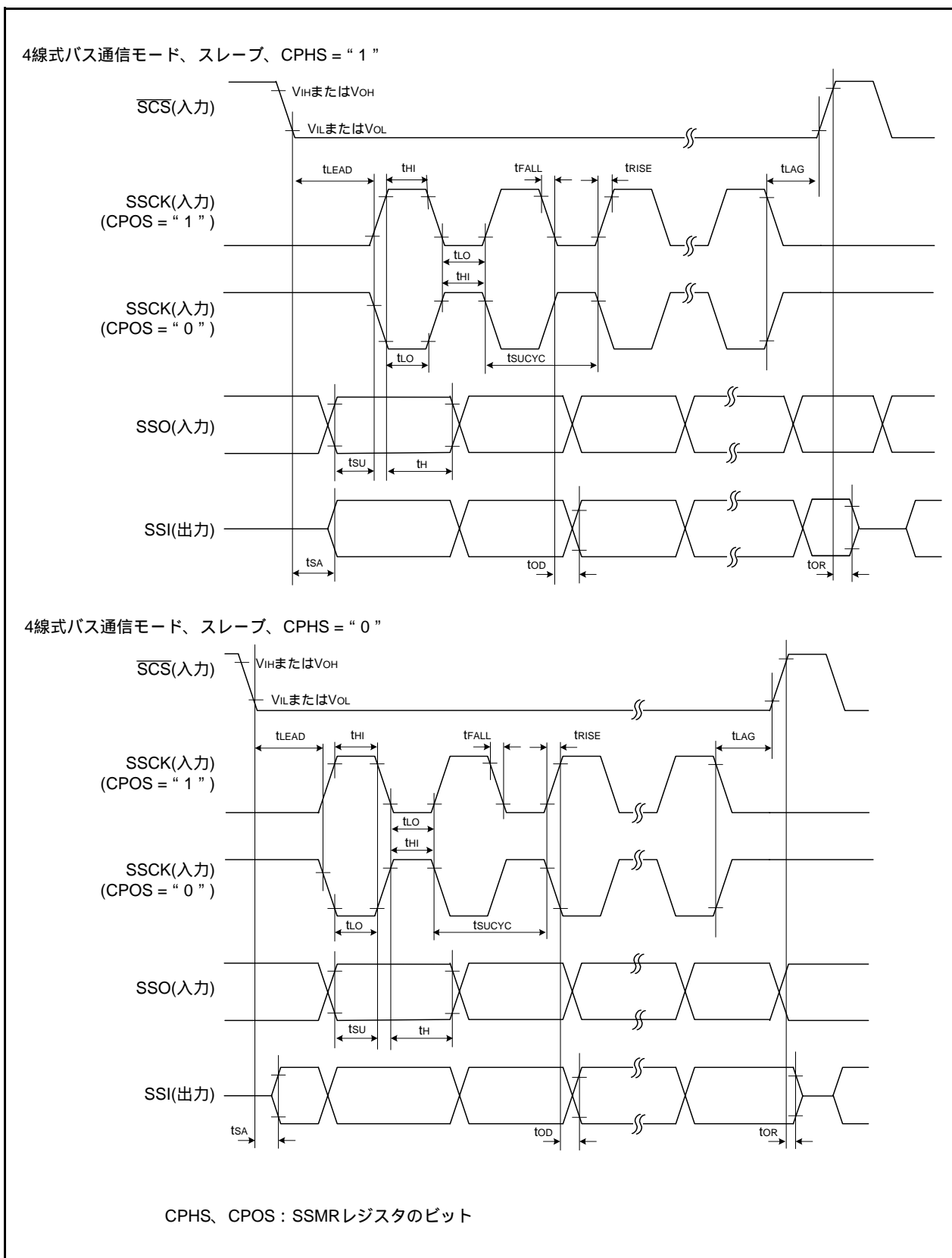


図36.5 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(スレーブ)

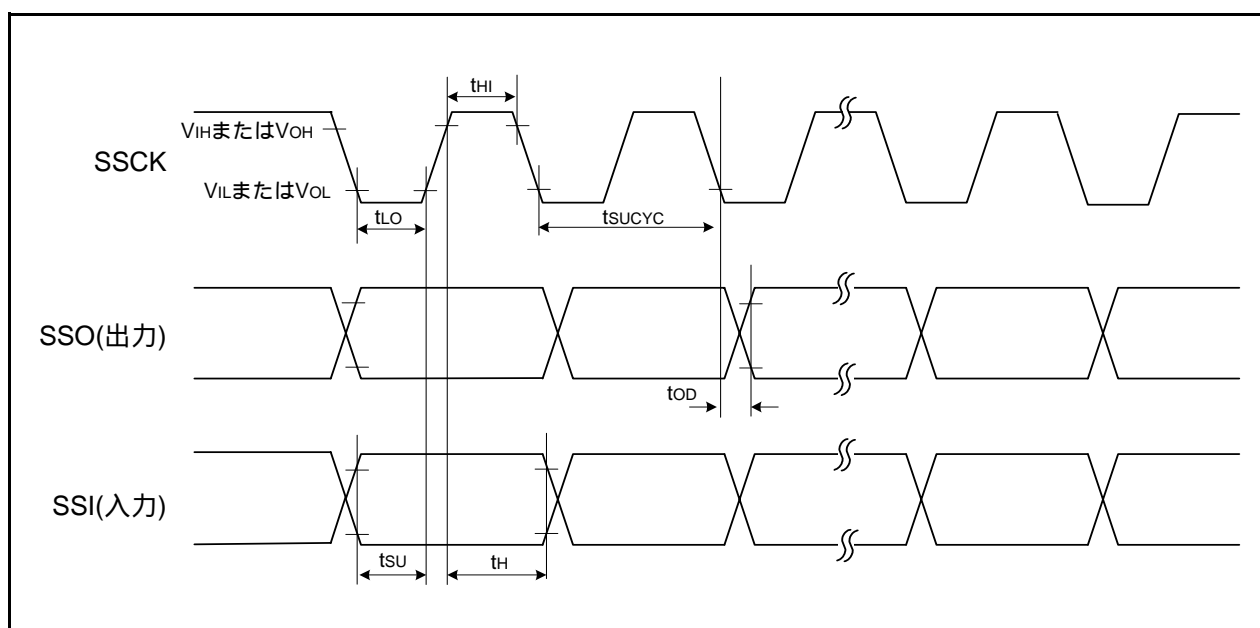


図 36.6 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(クロック同期式通信モード)

表 36.17 I²C バスインタフェースのタイミング必要条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{SCL}	SCL 入力サイクル時間		12tcyc + 600(注2)			ns
t _{SCLH}	SCL 入力 “H” パルス幅		3tcyc + 300(注2)			ns
t _{SCLL}	SCL 入力 “L” パルス幅		5tcyc + 500(注2)			ns
t _{sf}	SCL、SDA 入力立ち下がり時間				300	ns
t _{SP}	SCL、SDA 入力スパイクパルス除去時間				1tcyc(注2)	ns
t _{BUF}	SDA 入力バスフリー時間		5tcyc(注2)			ns
t _{STAH}	開始条件入力ホールド時間		3tcyc(注2)			ns
t _{STAS}	再送開始条件入力セットアップ時間		3tcyc(注2)			ns
t _{STOP}	停止条件入力セットアップ時間		3tcyc(注2)			ns
t _{SDAS}	データ入力セットアップ時間		1tcyc + 40(注2)			ns
t _{SDAH}	データ入力ホールド時間		10			ns

注1. 指定のない場合は、V_{CC} = 1.8V ~ 5.5V、V_{SS} = 0V、T_{opr} = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン) です。

注2. 1tcyc = 1/f₁(s)

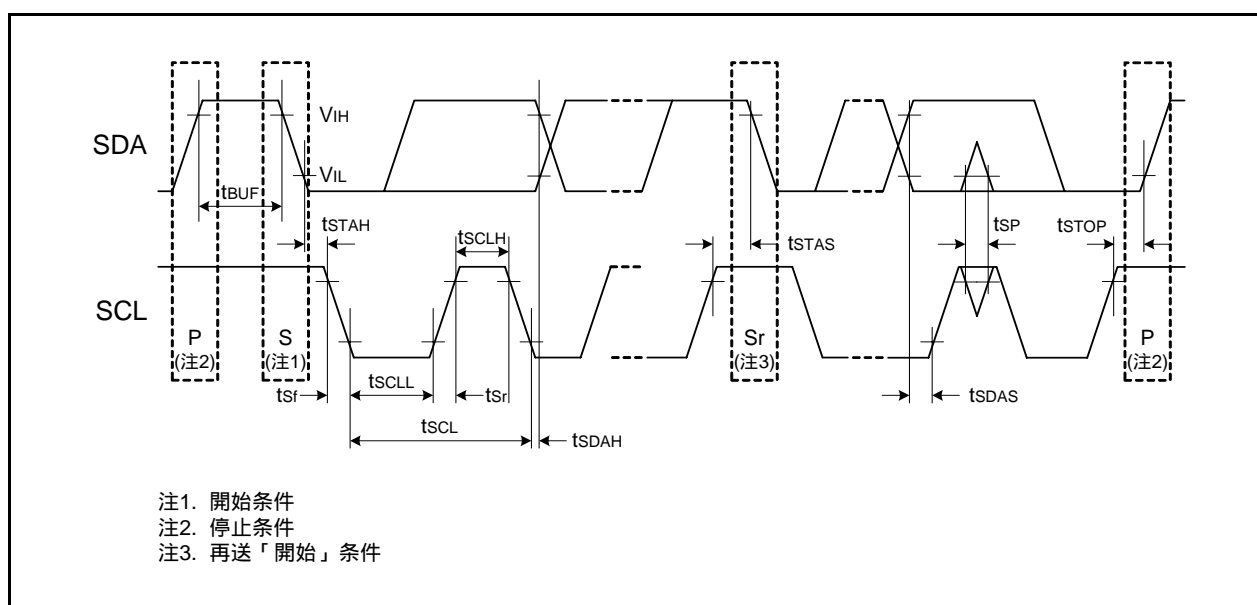


図 36.7 I²C バスインタフェースの入出力タイミング

表36.18 電気的特性(1) [4.2V V_{CC} 5.5V]

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{OH}	“H” 出力電圧	駆動能力 High V _{CC} = 5V I _{OH} = - 20mA	V _{CC} - 2.0		V _{CC}	V
		駆動能力 Low V _{CC} = 5V I _{OH} = - 5mA	V _{CC} - 2.0		V _{CC}	V
V _{OL}	“L” 出力電圧	駆動能力 High V _{CC} = 5V I _{OL} = 20mA			2.0	V
		駆動能力 Low V _{CC} = 5V I _{OL} = 5mA			2.0	V
V _{T+} -V _{T-}	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAIO、TRBO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRDIOA0、TRDIOB0、 TRDIOC0、TRDIOD0、 TRDIOA1、TRDIOB1、 TRDIOC1、TRDIOD1、 TRCTRG、TRCCLK、 TRFI、TRGIOA、 TRGIOB、ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO	0.1	1.2		V
		RESET	0.1	1.2		V
I _{IH}	“H” 入力電流	V _I = 5V			5.0	μA
I _{IL}	“L” 入力電流	V _I = 0V			- 5.0	μA
R _{PULLUP}	プルアップ抵抗	V _I = 0V	25	50	100	kΩ
R _{FXIN}	帰還抵抗	XIN		0.3		MΩ
R _{FXCIN}	帰還抵抗	XCIN		8		MΩ
V _{RAM}	RAM保持電圧	ストップモード時	1.8			V

注1. 指定のない場合は、4.2V V_{CC} 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、
f(XIN) = 20MHzです。

表36.19 電気的特性(2) [3.3V V_{CC} 5.5V]

(指定のない場合は、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6.5	15	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		5.3	12.5	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.6		mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2.2		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		7.0	15	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO-F = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRD = MSTTRC = “ 1 ”		1		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周、FMR27 = “ 1 ”、VCA20 = “ 0 ”		90	400	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR27 = “ 1 ”、VCA20 = “ 0 ”		85	400	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = “ 1 ”、VCA20 = “ 0 ”		47		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = “ 0 ”、VCA20 = “ 1 ”		15	100	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = “ 0 ”、VCA20 = “ 1 ”		4	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = “ 0 ”、VCA20 = “ 1 ”		3.5		μA
		ストップモード	XINクロック停止、T _{opr} = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = “ 1 ” 周辺クロック停止 VCA27 = VCA26 = VCA25 = “ 0 ”		2.0	5.0	μA
			XINクロック停止、T _{opr} = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = “ 1 ” 周辺クロック停止 VCA27 = VCA26 = VCA25 = “ 0 ”		5.0		μA

タイミング必要条件（指定のない場合は、 $V_{CC} = 5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$ ）

表36.20 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	50		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	24		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	24		ns
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

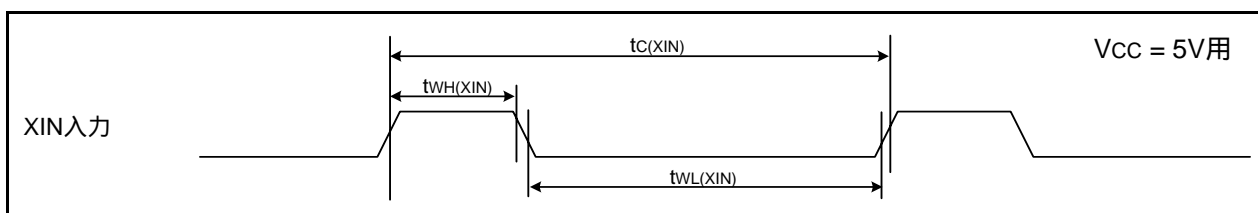


図36.8 $V_{CC} = 5V$ 時のXIN入力、XCIN入力タイミング

表36.21 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAIO)$	TRAIO入力サイクル時間	100		ns
$t_{WH}(TRAIO)$	TRAIO入力“H”パルス幅	40		ns
$t_{WL}(TRAIO)$	TRAIO入力“L”パルス幅	40		ns

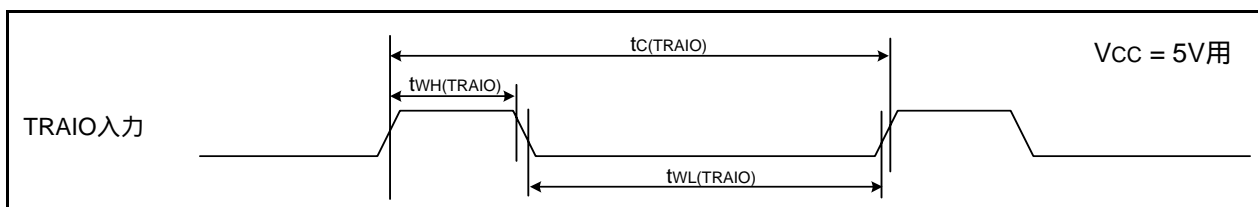


図36.9 $V_{CC} = 5V$ 時のTRAIO入力タイミング

表36.22 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRFI)$	TRFI入力サイクル時間	TBD(注1)		ns
$t_{WH}(TRFI)$	TRFI入力“H”パルス幅	TBD(注2)		ns
$t_{WL}(TRFI)$	TRFI入力“L”パルス幅	TBD(注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマRFのカウントソース周波数 $\times 3$)以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマRFのカウントソース周波数 $\times 1.5$)以上になるように調整してください。

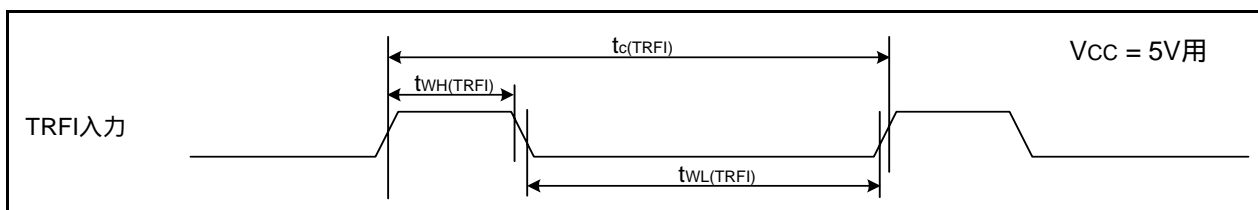


図36.10 $V_{CC} = 5V$ 時のTRFI入力タイミング

表36.23 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		50	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	50		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

$i = 0 \sim 2$

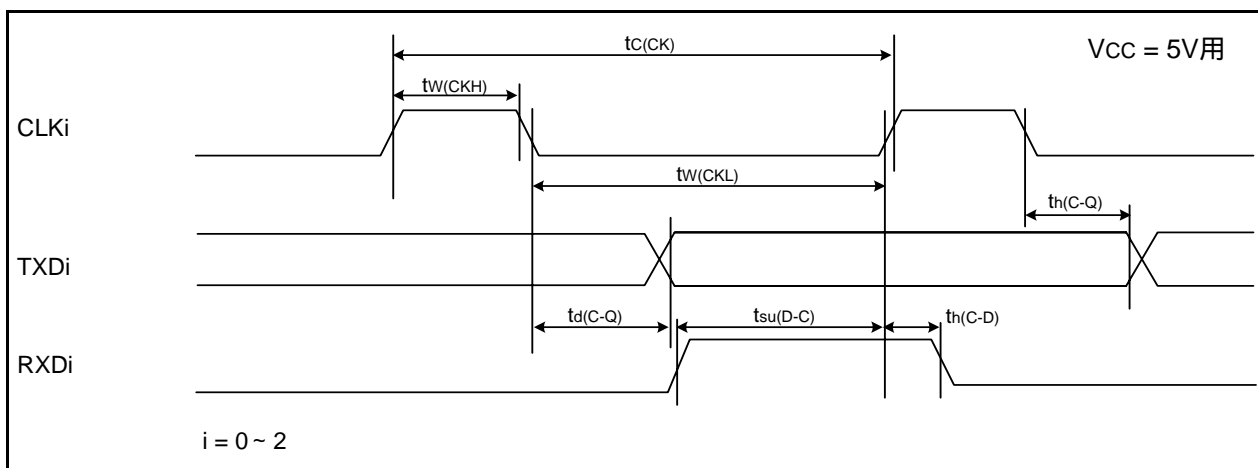


図36.11 VCC = 5V時のシリアルインタフェースのタイミング

表36.24 外部割り込みINTi入力($i = 0 \sim 4$)、キー入力割り込みKli($i = 0 \sim 3$)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	250(注1)		ns
$t_{w(INL)}$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	250(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

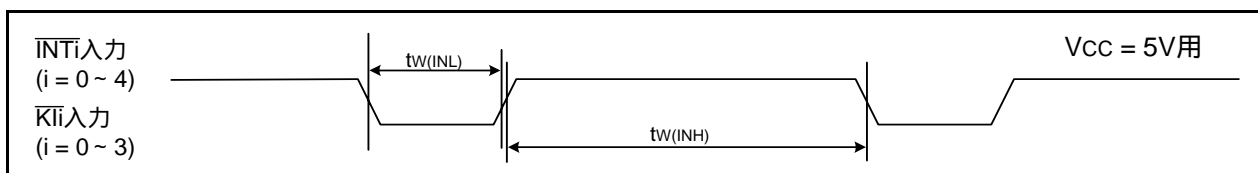


図36.12 VCC = 5V時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング

表36.25 電気的特性(3) [2.7V $V_{CC} < 4.2V$]

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H” 出力電圧	駆動能力 High	$I_{OH} = -5mA$	$V_{CC} - 0.5$	V_{CC}	V
		駆動能力 Low	$I_{OH} = -1mA$	$V_{CC} - 0.5$	V_{CC}	V
VOL	“L” 出力電圧	駆動能力 High	$I_{OL} = 5mA$		0.5	V
		駆動能力 Low	$I_{OL} = 1mA$		0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAIO、TRBO、 TRCIOA、TRCIOB、 TRCIOA、TRCIOB、 TRDIOA0、TRDIOB0、 TRDIOC0、TRDIOD0、 TRDIOA1、TRDIOB1、 TRDIOC1、TRDIOD1、 TRCTRG、TRCCLK、 TRFI、TRGIOA、 TRGIOB、ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO	$V_{CC} = 3.0V$	0.1	0.4	V
		RESET	$V_{CC} = 3.0V$	0.1	0.5	V
IiH	“H” 入力電流	$V_i = 3V$			4.0	μA
IiL	“L” 入力電流	$V_i = 0V$			- 4.0	μA
RPULLUP	プルアップ抵抗	$V_i = 0V$	42	84	168	$k\Omega$
RfXIN	帰還抵抗	XIN		0.3		$M\Omega$
RfXCIN	帰還抵抗	XCIN		8		$M\Omega$
VRAM	RAM保持電圧	ストップモード時	1.8			V

注1. 指定のない場合は、2.7V $V_{CC} < 4.2V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)、 $f(XIN) = 10MHz$ です。

表36.26 電気的特性(4) [2.7V V_{CC} < 3.3V]

(指定のない場合は、T_{opr} = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC}	電源電流 (V _{CC} = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はV _{SS}	高速クロックモード	XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	3.5	10	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	1.5	7.5	mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振 f _{OCO-F} = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし	7.0	15	mA
			XINクロック停止 高速オンチップオシレータ発振 f _{OCO-F} = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周	3.0		mA
			XINクロック停止 高速オンチップオシレータ発振 f _{OCO-F} = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし	4.0		mA
			XINクロック停止 高速オンチップオシレータ発振 f _{OCO-F} = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周	1.5		mA
			XINクロック停止 高速オンチップオシレータ発振 f _{OCO-F} = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRD = MSTTRC = " 1 "	1		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周、FMR27 = " 1 "、VCA20 = " 0 "	90	390	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR27 = " 1 "、VCA20 = " 0 "	80	400	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "、VCA20 = " 0 "	40		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "	15	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "	4	80	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz (周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "	3.5		μA
		ストップモード	XINクロック停止、T _{opr} = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "	2.0	5.0	μA
			XINクロック停止、T _{opr} = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "	5.0		μA

タイミング必要条件（指定のない場合は、 $V_{CC} = 3V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$ ）

表36.27 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	50		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	24		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	24		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		μs
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		μs
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		μs

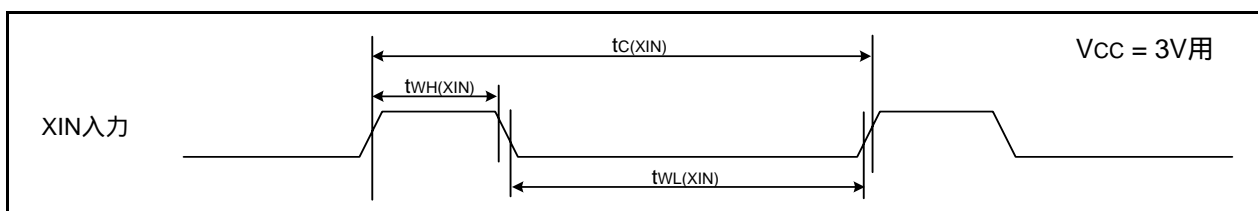


図36.13 $V_{CC} = 3V$ 時のXIN入力、XCIN入力タイミング

表36.28 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	300		ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	120		ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	120		ns

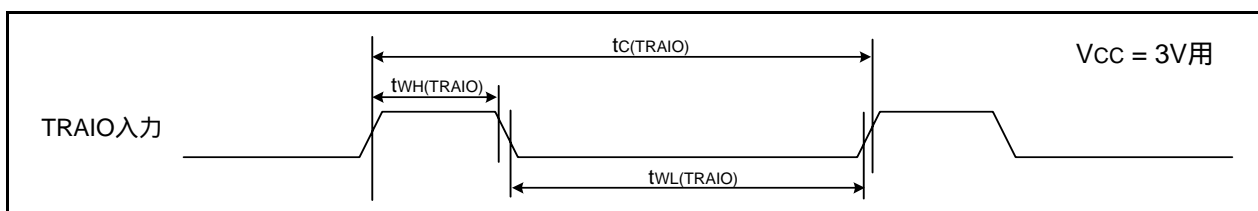


図36.14 $V_{CC} = 3V$ 時のTRAIO入力タイミング

表36.29 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRFI)}$	TRFI入力サイクル時間	TBD(注1)		ns
$t_{WH(TRFI)}$	TRFI入力“H”パルス幅	TBD(注2)		ns
$t_{WL(TRFI)}$	TRFI入力“L”パルス幅	TBD(注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマRFのカウントソース周波数×3)以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマRFのカウントソース周波数×1.5)以上になるように調整してください。

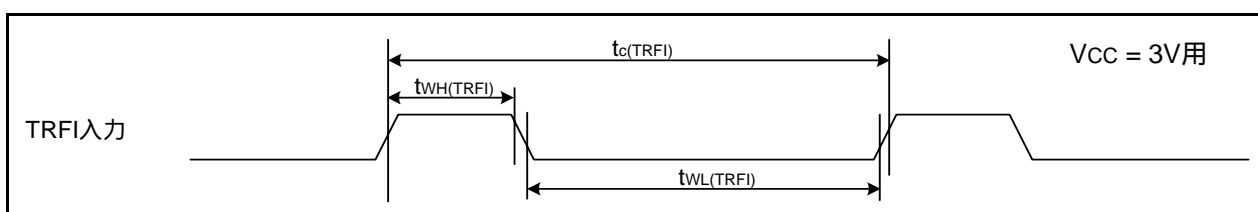


図36.15 $V_{CC} = 3V$ 時のTRFI入力タイミング

表36.30 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	150		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0 ~ 2

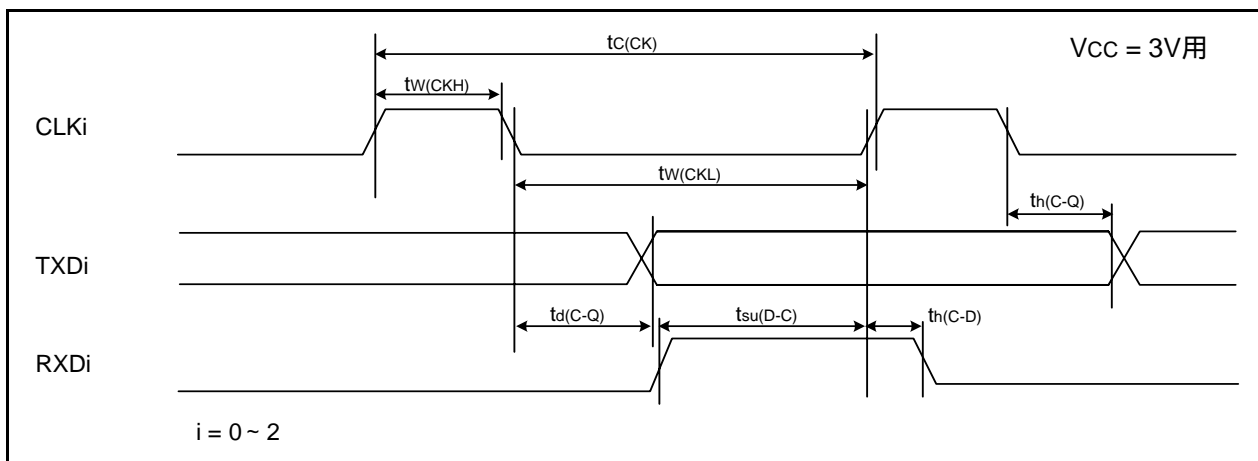


図36.16 VCC = 3V時のシリアルインタフェースのタイミング

表36.31 外部割り込みINTi入力(i = 0 ~ 4)、キー入力割り込みKli (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	380(注1)		ns
$t_{w(INL)}$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	380(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

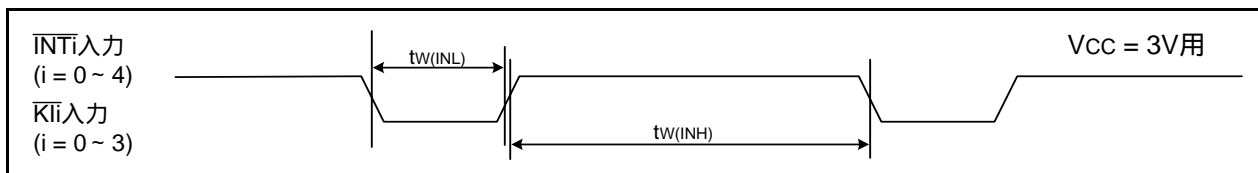


図36.17 VCC = 3V時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング

表36.32 電気的特性(5) [1.8V $V_{CC} < 2.7V$]

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H” 出力電圧	駆動能力 High	$I_{OH} = -2mA$	$V_{CC} - 0.5$		V
		駆動能力 Low	$I_{OH} = -1mA$	$V_{CC} - 0.5$		V
VOL	“L” 出力電圧	駆動能力 High	$I_{OL} = 2mA$		0.5	V
		駆動能力 Low	$I_{OL} = 1mA$		0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAIO、TRBO、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD、 TRDIOA0、TRDIOB0、 TRDIOC0、TRDIOD0、 TRDIOA1、TRDIOB1、 TRDIOC1、TRDIOD1、 TRCTRG、TRCCLK、 TRFI、TRGIOA、 TRGIOB、ADTRG、 RXD0、RXD1、RXD2、 CLK0、CLK1、CLK2、 SSI、SCL、SDA、SSO		0.05	0.20	V
		RESET		0.05	0.20	V
IiH	“H” 入力電流	$V_i = 1.8V$			4.0	μA
IiL	“L” 入力電流	$V_i = 0V$			- 4.0	μA
RPULLUP	プルアップ抵抗	$V_i = 0V$	70	140	300	$k\Omega$
RfXIN	帰還抵抗	XIN		0.3		$M\Omega$
RfXCIN	帰還抵抗	XCIN		8		$M\Omega$
VRAM	RAM保持電圧	ストップモード時	1.8			V

注1. 指定のない場合は、1.8V $V_{CC} < 2.7V$ 、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン)、 $f(XIN) = 5MHz$ です。

表36.33 電気的特性(6) [1.8V $V_{CC} < 2.7V$]

(指定のない場合は、 $T_{opr} = -20 \sim 85$ (Nバージョン)/ $-40 \sim 85$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC}	電源電流 ($V_{CC} = 1.8V \sim 2.7V$) シングルチップモードで、出力端子は開放、その他の端子はV _{SS}	高速クロックモード	XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	2.2		mA
			XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	0.8		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO-F = 5MHz 低速オンチップオシレータ発振 = 125kHz 分周なし	2.5	10	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO-F = 5MHz 低速オンチップオシレータ発振 = 125kHz 8分周	1.7		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO-F = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRD = MSTTRC = " 1 "	1		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周、FMR27 = " 1 "、VCA20 = " 0 "	90	300	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR27 = " 1 "、VCA20 = " 0 "	80	350	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "、VCA20 = " 0 "	40		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "	15	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "	4	80	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz (周辺クロック停止) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "	3.5		μA
		ストップモード	XINクロック停止、 $T_{opr} = 25$ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "	2.0	5	μA
			XINクロック停止、 $T_{opr} = 85$ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "	5.0		μA

タイミング必要条件（指定のない場合は、 $V_{CC} = 2.2V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$ ）

表36.34 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	200		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	90		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	90		ns
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

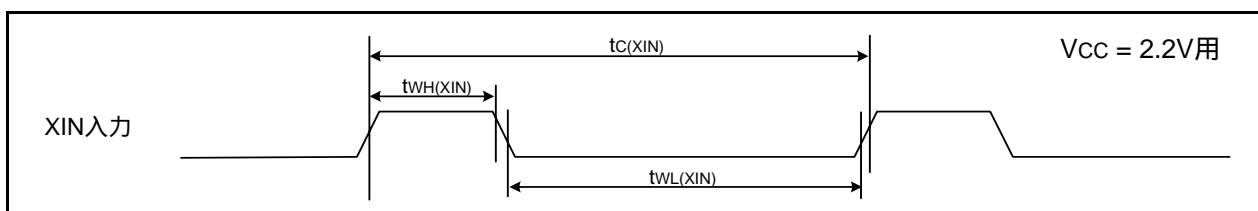


図36.18 $V_{CC} = 2.2V$ 時のXIN入力、XCIN入力タイミング

表36.35 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAIO)$	TRAIO入力サイクル時間	500		ns
$t_{WH}(TRAIO)$	TRAIO入力“H”パルス幅	200		ns
$t_{WL}(TRAIO)$	TRAIO入力“L”パルス幅	200		ns

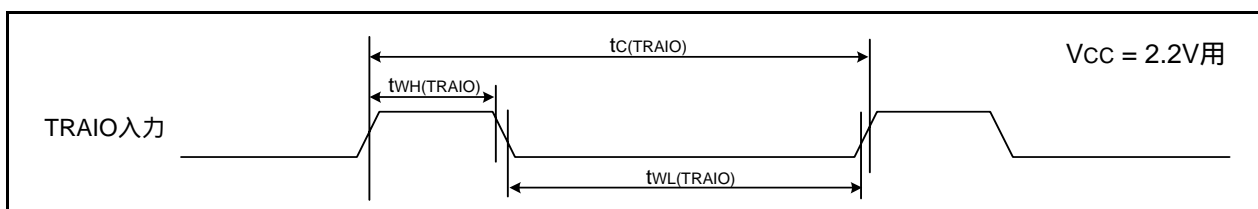


図36.19 $V_{CC} = 2.2V$ 時のTRAIO入力タイミング

表36.36 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRFI)$	TRFI入力サイクル時間	TBD(注1)		ns
$t_{WH}(TRFI)$	TRFI入力“H”パルス幅	TBD(注2)		ns
$t_{WL}(TRFI)$	TRFI入力“L”パルス幅	TBD(注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマRFのカウントソース周波数 $\times 3$)以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマRFのカウントソース周波数 $\times 1.5$)以上になるように調整してください。

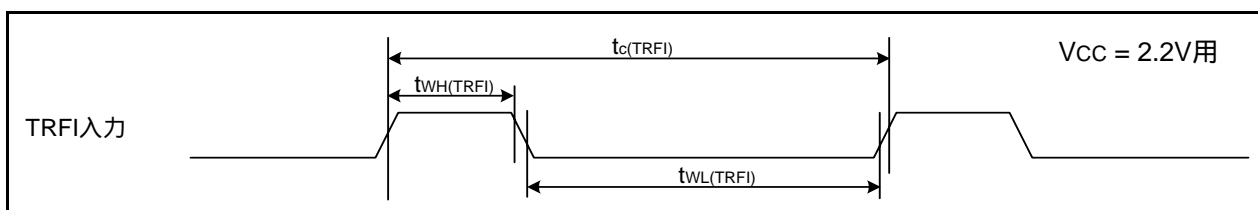


図36.20 $V_{CC} = 2.2V$ 時のTRFI入力タイミング

表36.37 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	800		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	400		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	400		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		200	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	150		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

$i = 0 \sim 2$

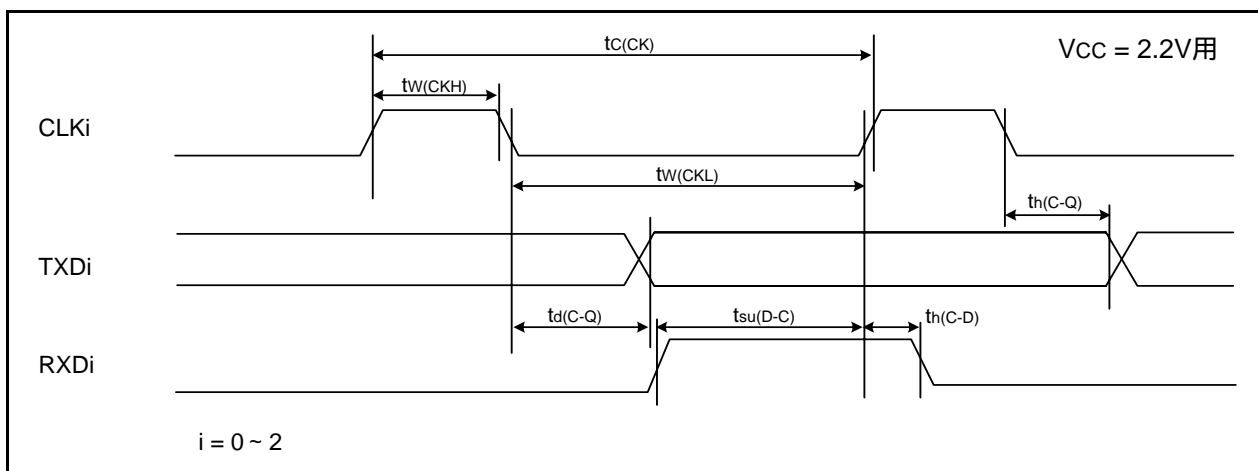


図36.21 VCC = 2.2V時のシリアルインタフェースのタイミング

表36.38 外部割り込み \overline{INTi} 入力 ($i = 0 \sim 4$)、キー入力割り込み \overline{Kli} ($i = 0 \sim 3$)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅、 \overline{Kli} 入力“H”パルス幅	1,000(注1)		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅、 \overline{Kli} 入力“L”パルス幅	1,000(注2)		ns

注1. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. \overline{INTi} 入力フィルタ選択ビットでフィルタありを選択した場合、 \overline{INTi} 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

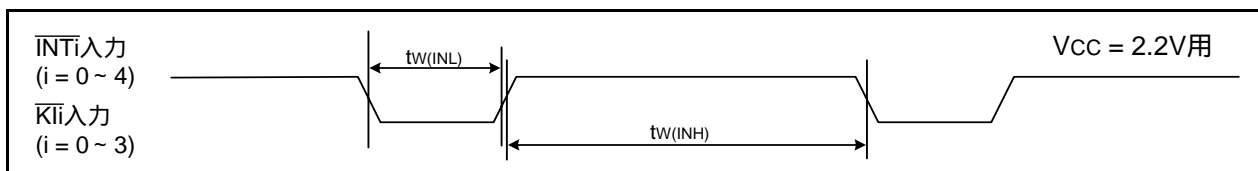


図36.22 VCC = 2.2V時の外部割り込み \overline{INTi} およびキー入力割り込み \overline{Kli} 入力タイミング

37. 使用上の注意事項

37.1 クロック発生回路使用上の注意

37.1.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

• ストップモードに移行するプログラム例

```
BCLR      1, FMR0      ; CPU書き換えモード無効
BSET      0, PRCR      ; プロテクト解除
FSET      I            ; 割り込み許可
BSET      0, CM1       ; ストップモード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP
```

37.1.2 ウェイトモード

CM30ビットを“1”にしてウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM30ビットを“1”にしてください。

WAIT命令でウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

• WAIT命令を実行するプログラム例

```
BCLR      1, FMR0      ; CPU書き換えモード無効
FSET      I            ; 割り込み許可
WAIT      ; ウェイトモード
NOP
NOP
NOP
NOP
```

37.1.3 発振停止検出機能

XINクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください。

37.1.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。電源電圧VCC=2.7V未満でご使用になる場合は、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)にし、外部に帰還抵抗を接続することを推奨します。

37.2 割り込み使用上の注意

37.2.1 00000h 番地の読み出し

プログラムで 00000h 番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPU は割り込みシーケンスの中で割り込み情報 (割り込み番号と割り込み要求レベル) を 00000h 番地から読みます。このとき、受け付けられた割り込みの IR ビットが “0” になります。

プログラムで 00000h 番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みの IR ビットが “0” になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

37.2.2 SP の設定

割り込みを受け付ける前に、SP に値を設定してください。リセット後、SP は “0000h” です。そのため、SP に値を設定する前に割り込みを受け付けると、暴走の要因となります。

37.2.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPU の動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0 \sim 4$) に示す “L” レベル幅、または “H” レベル幅が必要です (詳細は「表 36.24 ($V_{cc} = 5V$)、表 36.31 ($V_{cc} = 3V$)、表 36.38 ($V_{cc} = 2.2V$) 外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0 \sim 4$)、キー入力割り込み $\overline{\text{KIi}}$ ($i = 0 \sim 3$)」を参照)。

37.2.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図37.1に割り込み要因の変更手順例を示します。

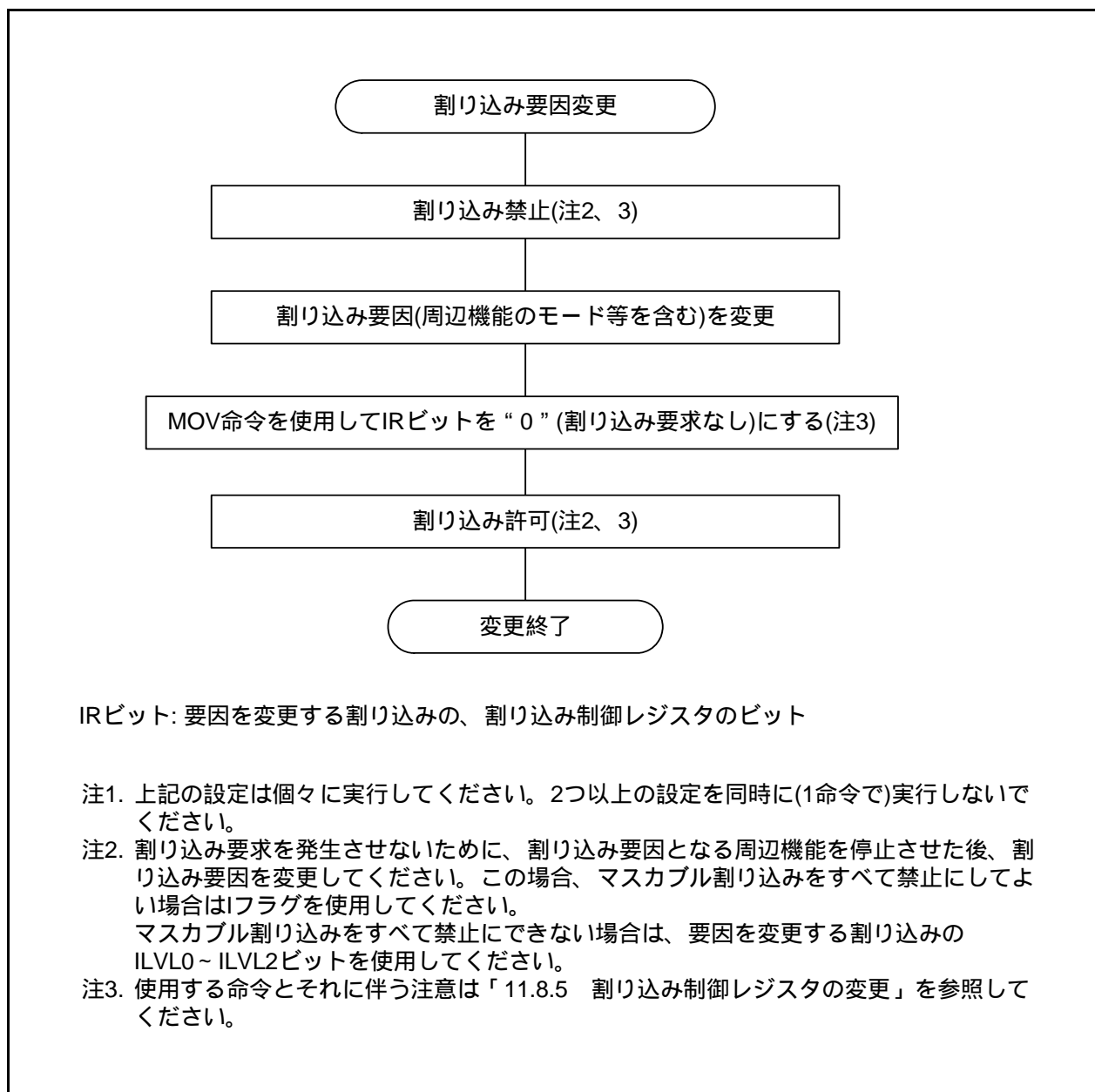


図37.1 割り込み要因の変更手順例

37.2.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IR ビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IR ビットが“1” (割り込み要求あり) にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IR ビットの変更

IR ビットを“0” (割り込み要求なし) にする場合、使用する命令によってはIR ビットが“0” にならないことがあります。IR ビットはMOV 命令を使用して“0” にしてください。

- (c) I フラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってI フラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は (b) を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にI フラグが“1” (割り込み許可) になることを防ぐ方法です。

例1：NOP 命令で割り込み制御レジスタが変更されるまで待たせる例

INT_SWITCH1:

```
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0056H      ; TRAIC レジスタを“00h”にする
NOP
NOP
FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET 命令を待たせる例

INT_SWITCH2:

```
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0056H      ; TRAIC レジスタを“00h”にする
MOV.W   MEM, R0          ; ダミーリード
FSET    I                ; 割り込み許可
```

例3：POPC 命令でI フラグを変更する例

INT_SWITCH3:

```
PUSHC   FLG
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0056H      ; TRAIC レジスタを“00h”にする
POPC    FLG              ; 割り込み許可
```

37.3 IDコード領域使用上の注意

37.3.1 IDコード領域の設定例

IDコード領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)      ; UND
.lword dummy | (55000000h)      ; INTO
.lword dummy                    ; BREAK
.lword dummy | (55000000h)      ; ADDRESS MATCH
.lword dummy | (55000000h)      ; SET SINGLE STEP
.lword dummy | (55000000h)      ; WDT
.lword dummy | (55000000h)      ; ADDRESS BREAK
.lword dummy | (55000000h)      ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

37.4 オプション機能選択領域使用上の注意

37.4.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
.lword reset | (0FF000000h)      ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

37.5 DTC使用上の注意

37.5.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

37.5.2 DTCENi (i=0 ~ 6) レジスタ

- DTCENi0 ~ DTCENi7 ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCENi0 ~ DTCENi7 ビットを変化させないでください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

37.5.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I²Cバス受信データフルのときは、DTC転送でSSRDR/ICDRRレジスタを読んでください。
SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。
ただし、DTCのデータ転送の設定が
 - ノーマルモードかつDTCCTj (j=0 ~ 23) レジスタが“1”から“0”になる転送
 - リピートモードかつDTCCRj レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“1”から“0”になる転送のときには、SSRDR/ICDRRレジスタを読んでもSSSR/ICSRレジスタのRDRFビットは“0”(SSRDR/ICDRRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I²Cバス送信データエンプティのときは、DTC転送でSSTDRT/ICDRTレジスタへ書いてください。SSTDRT/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDRT/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。

37.5.4 割り込み要求

DTC起動要因がSSU/I²C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCCTj (j=0 ~ 23) レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

37.6 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRA プリスケアラのアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRA プリスケアラの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTF ビットは“0”になっています。
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。
カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA 関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTF ビットが“1”)に TRAPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTF ビットが“1”)に TRA レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダーフローの3周期以上空けてください。

37.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。

注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。

37.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

37.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

37.7.3 プログラマブルワンショット発生モード

カウント中 (TRBCR レジスタの TCSTF ビットが “ 1 ”) に TRBPRES レジスタ、TRBPR レジスタに書き込む場合は下記の点に注意してください。

- TRBPRES レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

37.7.4 プログラマブルウェイトワンショット発生モード

カウント中 (TRBCR レジスタの TCSTF ビットが “ 1 ”) に TRBPRES レジスタ、TRBPR レジスタに書き込む場合は下記の点に注意してください。

- TRBPRES レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

37.8 タイマRC使用上の注意

37.8.1 TRC レジスタ

- TRCCR1 レジスタのCCLR ビットを“1” (TRCGRA レジスタとのコンペア一致でTRC レジスタをクリア) している場合に、次の注意事項が該当します。

TRCMR レジスタのTSTART ビットが“1” (カウント開始) の状態で、プログラムでTRC レジスタに値を書き込む場合は、TRC レジスタが“0000h” になるタイミングと重ならないように書いてください。

TRC レジスタが“0000h” になるタイミングと、TRC レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRC レジスタが“0000h” になります。

- TRC レジスタに書いた後、TRC レジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B 命令を実行してください。

```
プログラム例      MOV.W  #XXXXh, TRC          ; 書き込み
                   JMP.B   L1                ; JMP.B 命令
                   L1:    MOV.W  TRC, DATA    ; 読み出し
```

37.8.2 TRCSR レジスタ

TRCSR レジスタに書いた後、TRCSR レジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B 命令を実行してください。

```
プログラム例      MOV.B  #XXh, TRCSR        ; 書き込み
                   JMP.B   L1                ; JMP.B 命令
                   L1:    MOV.B  TRCSR, DATA ; 読み出し
```

37.8.3 TRCCR1 レジスタ

TRCCR1 レジスタのTCK2 ~ TCK0 ビットを“111b” (fOCO-F) にするときは、CPU クロックより速いクロック周波数にfOCO-Fを設定してください。

37.8.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

変更手順

- (1) TRCMR レジスタのTSTART ビットを“0” (カウント停止) にする
- (2) TRCCR1 レジスタのTCK2 ~ TCK0 ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRCMR レジスタのTSTART ビットを“0” (カウント停止) にする
- (2) TRCCR1 レジスタのTCK2 ~ TCK0 ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0 レジスタのFRA00 ビットを“0” (高速オンチップオシレータ停止) にする

- カウントソースを fOCO-F から fOCO40M に変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の 2 サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRCMR レジスタの TSTART ビットを “ 0 ” (カウント停止) にする
- (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の 2 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “ 0 ” (高速オンチップオシレータ停止) にする

- カウントソースを fOCO-F から fOCO40M 以外のクロックに変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の 1 サイクル + fOCO40M の 1 サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRCMR レジスタの TSTART ビットを “ 0 ” (カウント停止) にする
- (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の 1 サイクル + fOCO40M の 1 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “ 0 ” (高速オンチップオシレータ停止) にする

37.8.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマ RC の動作クロック (「表 19.1 タイマ RC の動作クロック」参照) の 3 サイクル以上にしてください。
- TRCIOj (j=A、B、C、D のいずれか) 端子にインプットキャプチャ信号が入力されてから、タイマ RC の動作クロックの 1 ~ 2 サイクル後に TRC レジスタの値を TRCGRj レジスタに転送します (デジタルフィルタなしの場合)。

37.8.6 PWM2 モード時の TRCMR レジスタ

TRCCR2 レジスタの CSEL ビットが “ 1 ” (TRCGRA レジスタとのコンペアー一致でカウント停止) のとき、TRC レジスタと TRCGRA レジスタのコンペアー一致が発生するタイミングで、TRCMR レジスタに書かないでください。

37.8.7 カウントソース fOCO40M

カウントソース fOCO40M については、電源電圧 VCC=2.7V ~ 5.5V の範囲で使用することができます。これ以外の電源電圧では、TRCCR1 レジスタの TCK2 ~ TCK0 ビットを “ 110b ” (fOCO40M をカウントソースに選択) にしないでください。

37.9 タイマRD使用上の注意

37.9.1 TRDSTR レジスタ

- TRDSTR レジスタはMOV 命令を使用して書いてください。
- CSELi (i=0 ~ 1) ビットが“0” (TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止) の場合、TSTARTi ビットに“0” (カウント停止) を書いても、カウントは停止せず、TSTARTi ビットも変化しません。
したがって、CSELi ビットが“0” のとき、TSTARTi ビットを変化させずに他のビットを変更したい場合は、TSTARTi ビットに“0” を書いてください。
また、プログラムでカウントを停止させる場合は、CSELi ビットを“1” にした後で、TSTARTi ビットに“0” を書いてください。同時に(1 命令で)CSELi ビットに“1”、TSTARTi ビットに“0” を書いてもカウントは停止できません。
- TRDIOji (j=A、B、C、D) 端子をタイマRD 出力で使用している場合の、カウント停止時の出力レベルを表37.1 に示します。

表37.1 カウント停止時のTRDIOji (j=A、B、C、D) 端子出力レベル

カウント停止方法	カウント停止時のTRDIOji 端子出力
CSELi ビットが“1” のときに、TSTARTi ビットに“0” を書きカウント停止	直前の出力レベルを保持
CSELi ビットが“0” のときに、TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止	コンペアー一致による出力変化後、そのレベルを保持

37.9.2 TRDi レジスタ (i=0 ~ 1)

- TRDSTR レジスタのTSTARTi ビットが“1” (カウント開始) の状態で、プログラムでTRDi レジスタに値を書き込む場合は、TRDi レジスタが“0000h” になるタイミングと重ならないように書いてください。
TRDi レジスタが“0000h” になるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDi レジスタが“0000h” になります。
この注意事項は、TRDCRi レジスタのCCLR2 ~ CCLR0 ビットで次の選択をしている場合に該当します。
- “001b” (TRDGRAi レジスタとのコンペアー一致でTRDi レジスタをクリア)
- “010b” (TRDGRBi レジスタとのコンペアー一致でTRDi レジスタをクリア)
- “011b” (同期クリア)
- “101b” (TRDGRCi レジスタとのコンペアー一致でTRDi レジスタをクリア)
- “110b” (TRDGRDi レジスタとのコンペアー一致でTRDi レジスタをクリア)

- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

```

プログラム例      MOV.W  #XXXXh, TRD0      ; 書き込み
                   JMP.B   L1          ; JMP.B 命令
                   L1:    MOV.W  TRD0, DATA    ; 読み出し

```


37.9.3 TRDSR_i レジスタ (i=0 ~ 1)

TRDSR_i レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

```
プログラム例      MOV.B   #XXh, TRDSR0      ; 書き込み
                   JMP.B   L1              ; JMP.B 命令
L1:                MOV.B   TRDSR0, DATA   ; 読み出し
```

37.9.4 TRDCR_i レジスタ (i=0 ~ 1)

TRDCR_i レジスタの TCK2 ~ TCK0 ビットを “111b” (fOCO-F) にするときは、CPU クロックより速いクロック周波数に fOCO-F を設定してください。

37.9.5 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

変更手順

- (1) TRDSTR レジスタの TSTART_i (i=0 ~ 1) ビットを “0” (カウント停止) にする
- (2) TRDCR_i レジスタの TCK2 ~ TCK0 ビットを変更する

- カウントソースを fOCO40M からその他のクロックに変更し、fOCO40M を停止させる場合は、クロック切り替え設定後、f1 の 2 サイクル以上待ってから fOCO40M を停止させてください。

変更手順

- (1) TRDSTR レジスタの TSTART_i (i=0 ~ 1) ビットを “0” (カウント停止) にする
- (2) TRDCR_i レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) f1 の 2 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “0” (高速オンチップオシレータ停止) にする

- カウントソースを fOCO-F から fOCO40M に変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の 2 サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRDSTR レジスタの TSTART_i (i=0 ~ 1) ビットを “0” (カウント停止) にする
- (2) TRDCR_i レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の 2 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “0” (高速オンチップオシレータ停止) にする

- カウントソースを fOCO-F から fOCO40M 以外のクロックに変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の 1 サイクル + fOCO40M の 1 サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRDSTR レジスタの TSTART_i (i=0 ~ 1) ビットを “0” (カウント停止) にする
- (2) TRDCR_i レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の 1 サイクル + fOCO40M の 1 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “0” (高速オンチップオシレータ停止) にする

37.9.6 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表 20.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIO_{ji} (i=0 ~ 1、j=A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRDの動作クロックの2 ~ 3サイクル後にTRD_iレジスタの値をTRDGR_{ji}レジスタに転送します(デジタルフィルタなしの場合)。

37.9.7 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。
変更手順
 - (1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
 - (2) TRDFCRレジスタのCMD1 ~ CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1 ~ CMD0を“01b”(リセット同期PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する

37.9.8 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCR レジスタのCMD1 ~ CMD0 ビットを変更するときは、次の手順で変更してください。
変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合

- TRDSTR レジスタのTSTART0 ビット、TSTART1 ビットを両方とも“0”(カウント停止)にする
- TRDFCR レジスタのCMD1 ~ CMD0 ビットを“00b”(タイマモード、PWM モード、PWM3 モード)にする
- CMD1 ~ CMD0 を“10b”、または“11b”(相補PWMモード)にする
- その他のタイマRD関連レジスタを再設定する

変更手順：相補PWMモードを止める場合

- TRDSTR レジスタのTSTART0 ビット、TSTART1 ビットを両方とも“0”(カウント停止)にする
- CMD1 ~ CMD0 ビットを“00b”(タイマモード、PWM モード、PWM3 モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1 レジスタに書き込まないでください。
PWM 波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1 レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1 レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1 の書き込みに際しては、BFD0、BFC1、BFD1 ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1 ビットを“1”(バッファレジスタ)にしても構いません。
PWM周期は変更できません。

- TRDGRA0 レジスタに設定した値を m とすると、TRD0 レジスタはアップカウントからダウンカウントに変わるとき、 $m-1$ m $m+1$ m $m-1$ とカウントします。
 m $m+1$ のとき、IMFA ビットが“1”になります。また、TRDFCR レジスタのCMD1 ~ CMD0 ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
 $m+1$ m $m-1$ の動作ではIMFA ビットは変化せず、TRDGRA0 レジスタ等へのデータ転送もありません。

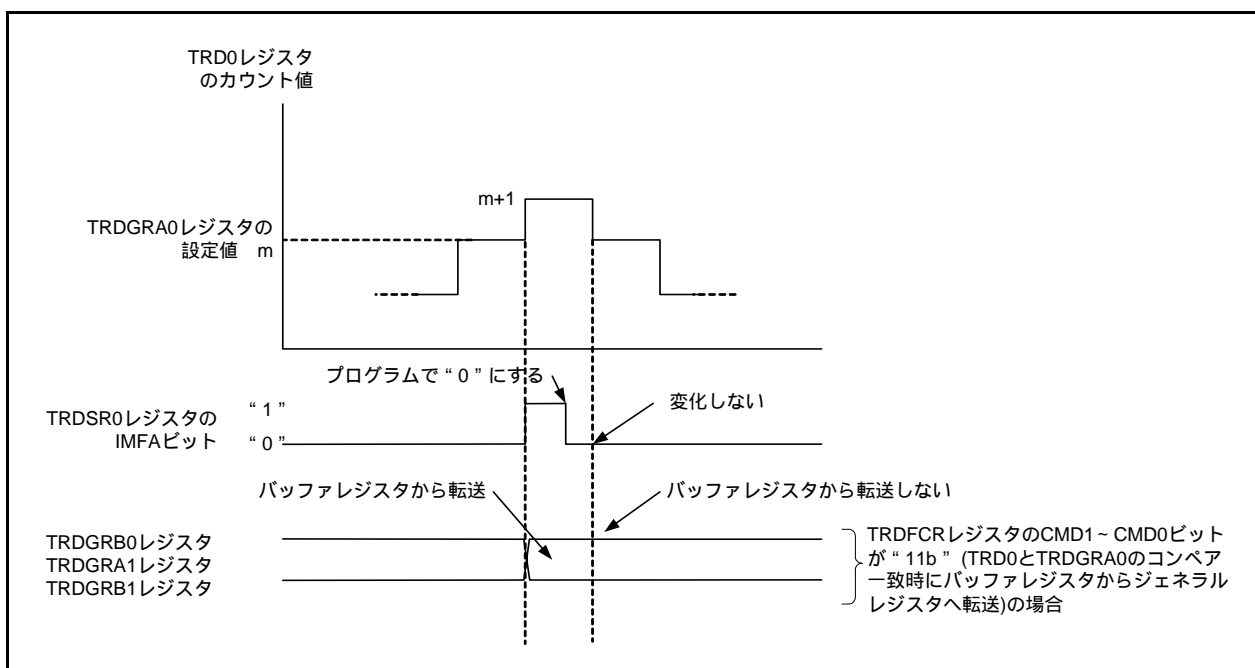


図 37.2 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、1 0 FFFFh 0 1とカウントします。
1 0 FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”(相補PWMモード、TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
FFFFh 0 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

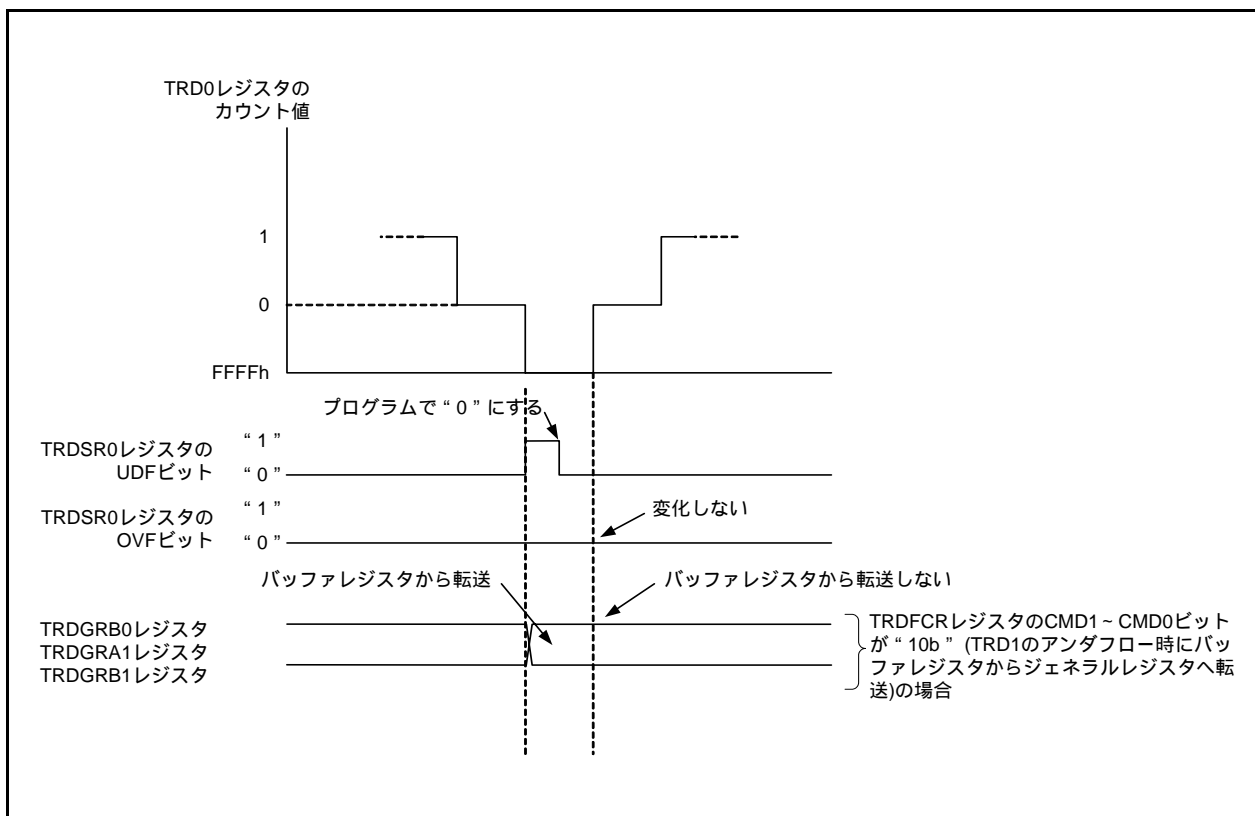


図 37.3 相補PWMモード TRD1がアンダフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタの CMD1 ~ CMD0 ビットで選択してください。ただし、次の場合は CMD1 ~ CMD0 ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 TRDGRA0 レジスタの値の場合

TRD1 レジスタのアンダフローで転送します。

その後、“0001h” 以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目に TRD1 レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降は CMD1 ~ CMD0 ビットで選択したタイミングで転送します。

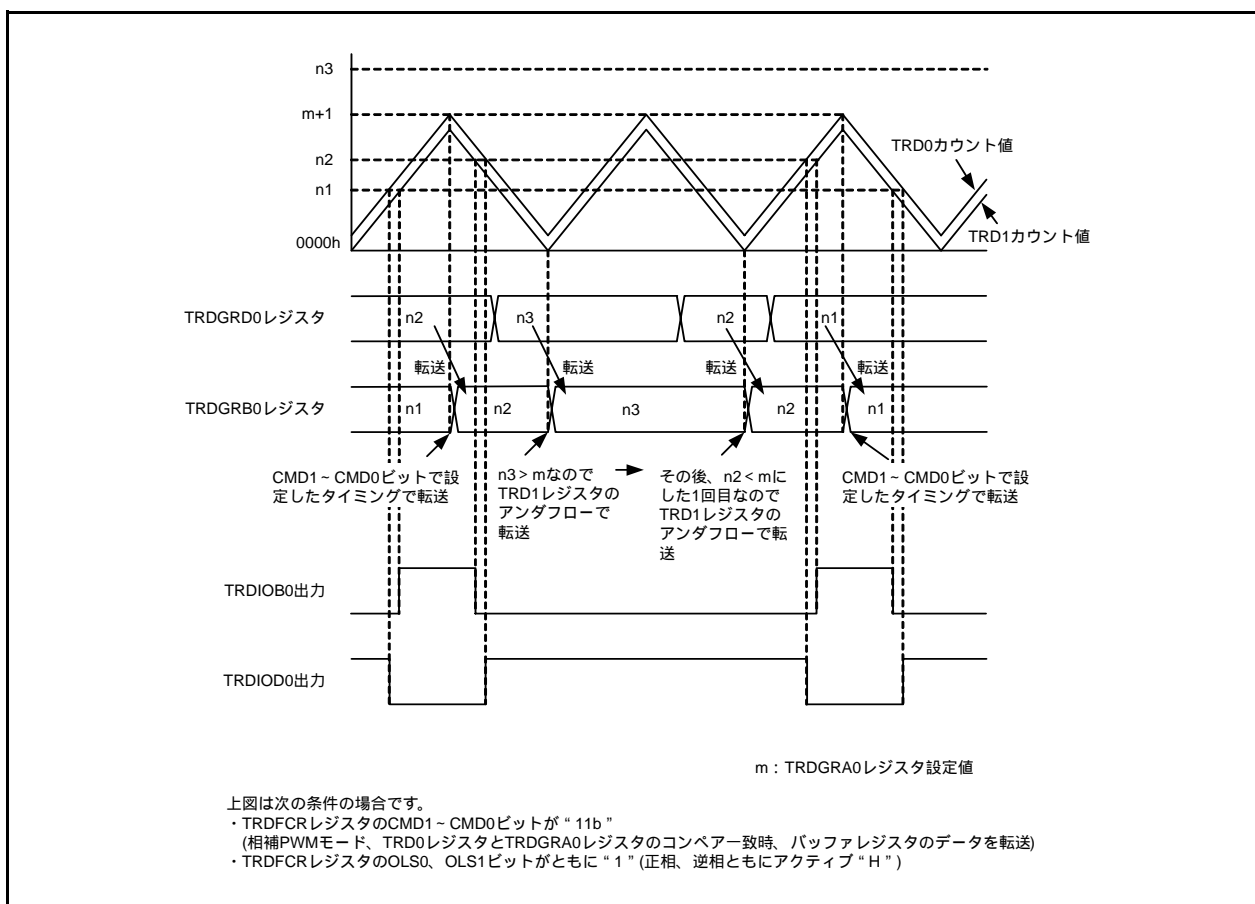


図 37.4 相補PWMモード時のバッファレジスタの値 TRDGRA0 レジスタ値の場合の動作例

バッファレジスタの値が“0000h”の場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。

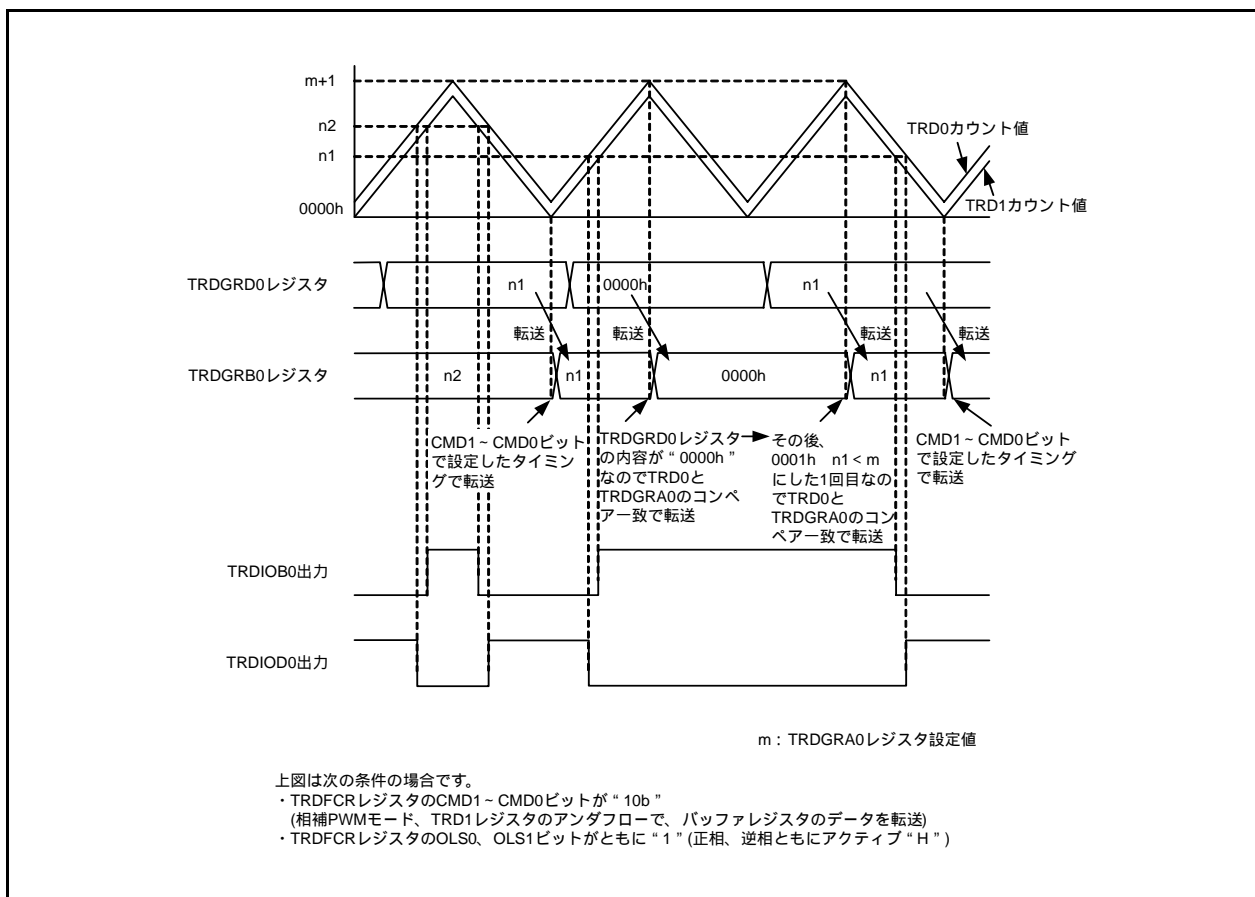


図 37.5 相補PWMモード時のバッファレジスタの値が“0000h”の場合の動作例

37.9.9 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=2.7V～5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

37.10 タイマRE使用上の注意

37.10.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECRIレジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ: TRESEC、TREMIN、TREHR、TREWK、TRECRI、TRECRI2、TRECRI3

37.10.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMIN、TREHR、TREWK、TRECRI2レジスタ
- TRECRIレジスタのH12_H24ビット、PMビット、INTビット
- TRECRI3レジスタのRCS0 ~ RCS3ビット

タイマREが停止中とは、TRECRIレジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECRI2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図37.6にリアルタイムクロックモード時の設定例を示します。

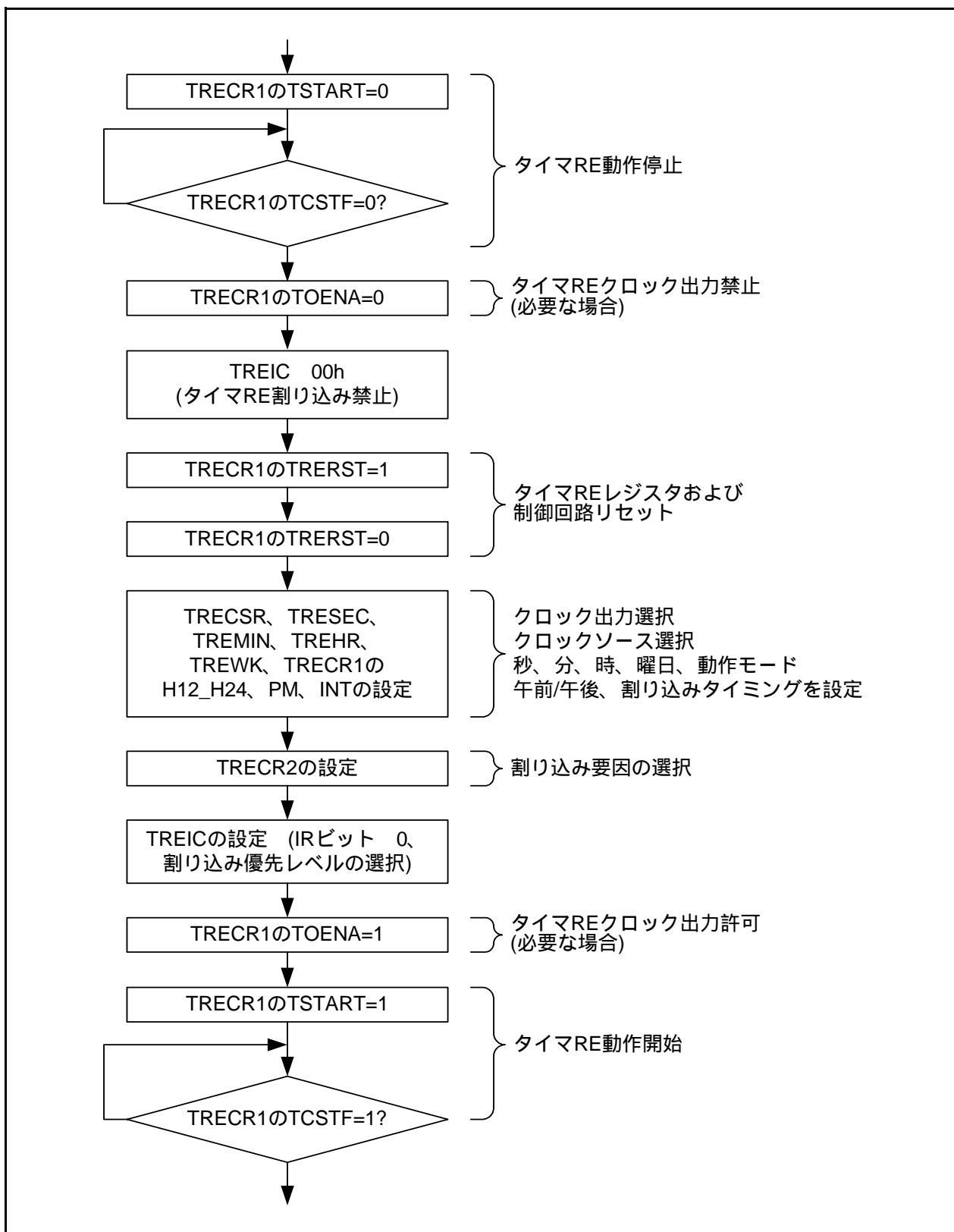


図 37.6 リアルタイムクロックモード時の設定例

37.10.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECRI レジスタのPM ビットはBSY ビットが“0” (データ更新中ではない) ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECRI レジスタのPM ビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREIC レジスタのIR ビットを監視し、“1” (タイマRE割り込み要求発生) になったら、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECRI レジスタのPM ビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSY ビットを監視する。

(2) BSY ビットが“1”になったら、“0”になるまで監視する (BSY ビットが“1”の期間は約62.5ms)。

(3) BSY ビットが“0”になったら、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECRI レジスタのPM ビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECRI レジスタのPM ビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

37.11 タイマRF使用上の注意

- TRF レジスタ、TRFM0 レジスタおよびTRFM1 レジスタは、16ビット単位でアクセスしてください。

<タイマRFを読み出すプログラム例>

```
MOV.W    0090H, R0    ;タイマRFの読み出し
```

- インพุットキャプチャモードでは、TRFCR0 レジスタのTSTART ビットが“0” (カウント停止) のときも、TRFCR0 レジスタのTRFC03、TRFC04 ビットで選択したエッジがTRFI 端子に入力されると、キャプチャ割り込み要求が発生します。

37.12 タイマRG使用上の注意

37.12.1 位相計数モード時の位相差、オーバーラップ、およびパルス幅

TRGCLKA、TRGCLKB 端子からの外部入力信号の位相差およびオーバーラップはそれぞれ $1.5f_1$ 以上、パルス幅は $2.5f_1$ 以上が必要です。図 37.7 に位相計数モード時の位相差、オーバーラップおよびパルス幅を示します。

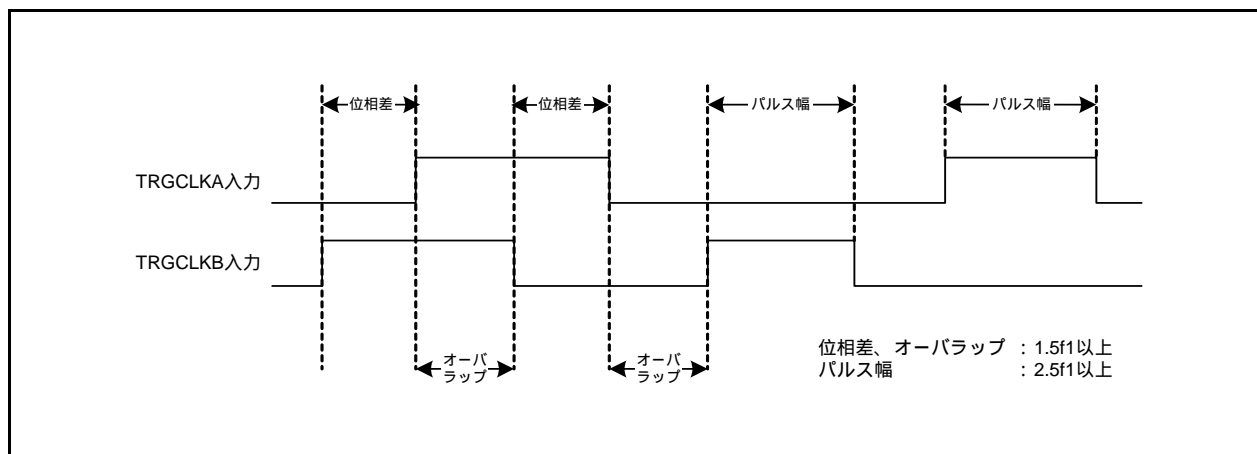


図 37.7 位相計数モード時の位相差、オーバーラップおよびパルス幅

37.13 シリアルインタフェース (UART_i (i=0 ~ 1)) 使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB (i=0 ~ 1) レジスタを読み出すときは、必ず16ビット単位で読み出してください。

UiRB レジスタのPER、FERビットとUiC1 レジスタのRIビットは、UiRB レジスタの上位バイトを読み出したとき、“0” になります。

受信エラーはUiRB レジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; U0RB レジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTB レジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B     #XXH, 00A3H    ; U0TB レジスタの上位バイトへの書き込み
```

```
MOV.B     #XXH, 00A2H    ; U0TB レジスタの下位バイトへの書き込み
```

37.14 シリアルインタフェース(UART2)使用上の注意

37.14.1 クロック同期形シリアルI/Oモード

37.14.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると RTS2 端子の出力レベルは“H”になります。このため、 RTS2 端子を送信側の CTS2 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は RTS 機能は無効です。

37.14.1.2 送信

外部クロックを選択している場合、 U2C0 レジスタの CKPOL ビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、 CKPOL ビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態、で次の条件を満たしてください。

- U2C1 レジスタの TE ビットが“1”(送信許可)
- U2C1 レジスタの TI ビットが“0”(U2TB レジスタにデータあり)
- CTS 機能を選択している場合、 CTS2 端子の入力が“L”

37.14.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時 TXD2 端子からはダミーデータが外部に出力されます。

内部クロック選択時は U2C1 レジスタの TE ビットを“1”(送信許可)にし、ダミーデータを U2TB レジスタに設定するとシフトクロックが発生します。外部クロック選択時は TE ビットを“1”にし、ダミーデータを U2TB レジスタに設定し、外部クロックが CLK2 端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、 U2C1 レジスタの RE ビットが“1”(U2RB レジスタにデータあり)で UART2 受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、 U2RB レジスタの OER ビットが“1”(オーバーランエラー発生)になります。この場合、 U2RB レジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときは S2RIC レジスタの IR ビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとに U2TB レジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、 CKPOL ビットが“0”のときは外部クロックが“H”の状態、 CKPOL ビットが“1”のときは外部クロックが“L”の状態、で次の条件を満たしてください。

- U2C1 レジスタの RE ビットが“1”(受信許可)
- U2C1 レジスタの TE ビットが“1”(送信許可)
- U2C1 レジスタの TI ビットが“0”(U2TB レジスタにデータあり)

37.14.2 クロック非同期型シリアルI/O (UART) モード

37.14.2.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

37.14.2.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が“L”

37.14.3 特殊モード1 (I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

37.15 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSR レジスタの IICSEL ビットを “0” (SSU 機能を選択) にしてください。

37.16 I²C バスインタフェース使用上の注意

I²C バスインタフェースを使用する場合には、SSUICSR レジスタの IICSEL ビットを “1” (I²C バスインタフェース機能を選択) にしてください。

37.17 ハードウェア LIN 使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

37.18 A/D コンバータ使用上の注意

- ADMOD レジスタ、ADINSEL レジスタ、ADCON0 レジスタ (ADST ビットを除く)、ADCON1 レジスタ、OCVREFCR レジスタに対する書き込みは、A/D 変換停止時 (トリガ発生前) に行ってください。
- 繰り返しモード 0、繰り返しモード 1、繰り返し掃引モードで使用する場合、A/D 変換中の CPU クロックには、A/D コンバータの動作クロック AD 以上の周波数を選択してください。
AD に fOCO-F を選択しないでください。
- VREF 端子と AVSS 端子間に 0.1μF のコンデンサを接続してください。
- A/D 変換中はストップモードに移行しないでください。
- A/D 変換中は CM0 レジスタの CM02 ビットの状態 (“1” (ウェイトモード時、周辺機能クロックを停止する)、“0” (ウェイトモード時、周辺機能クロックを停止しない)) に関わらず、ウェイトモードに移行しないでください。
- A/D 変換中は FMR0 レジスタの FMSTP ビットを “1” (フラッシュメモリ停止) にしないでください。
- fOCO-F が停止しているときは、ADMOD レジスタの CKS2 ビットを変更しないでください。
- A/D 変換動作中に、プログラムで ADCON0 レジスタの ADST ビットを “0” (A/D 変換停止) にして強制終了した場合、A/D コンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D 変換していない ADi レジスタも、不定になる場合があります。
プログラムで ADST ビットを “0” にした場合は、すべての ADi レジスタの値を使用しないでください。

37.19 フラッシュメモリ使用上の注意

37.19.1 CPU書き換えモード

37.19.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

37.19.1.2 割り込み

表37.2～表37.4にCPU書き換えモード時の割り込みを示します。

表37.2 CPU書き換えモード時の割り込み(1)

モード	イレース/ ライト対象	状態	マスカブル割り込み
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレースサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレースサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレースサスペンドリクエスト禁止)でイレースサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”(イレースリスタート)にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレースサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	
		自動書き込み中	

FMR21、FMR22：FMR2レジスタのビット

表37.3 CPU 書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> ・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1 ・NMI (注1)	<ul style="list-style-type: none"> ・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表37.4 CPU 書き換えモード時の割り込み(3)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> ・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1 ・NMI (注1)	<ul style="list-style-type: none"> ・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックを読めます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効またはFMR22=“0”)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

37.19.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。“1”を書いた後、“0”を書くまでに割り込みが入らないようにしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

37.19.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

37.19.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

37.19.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

37.19.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V ~ 5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

37.19.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

37.20 ノイズに関する注意事項

37.20.1 ノイズおよびラッチアップ対策として、VCC-VSSライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1 μ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

37.20.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC 内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

38. オンチップデバッグの注意事項

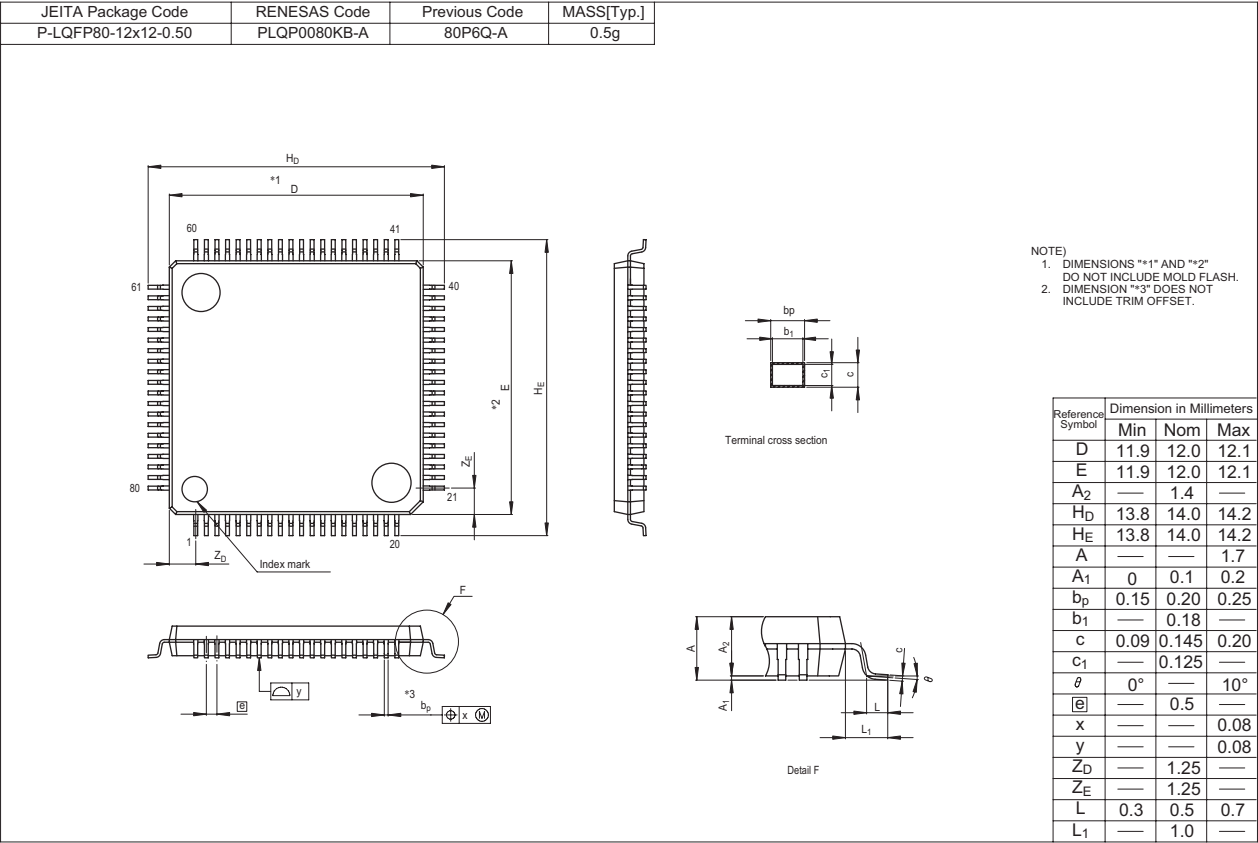
オンチップデバッグを使用して R8C/38A グループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域および RAM 領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み (AIER0、AIER1、RMAD0、RMAD1 レジスタ、固定ベクタテーブル) をユーザシステムで設定しないでください。
- (3) BRK 命令をユーザシステムで使用しないでください。
- (4) 電源電圧 VCC=1.8V ~ 5.5V の条件でデバッグ可能です。フラッシュメモリの書き換えが発生する場合の電源電圧は、2.7V 以上にしてください。

オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

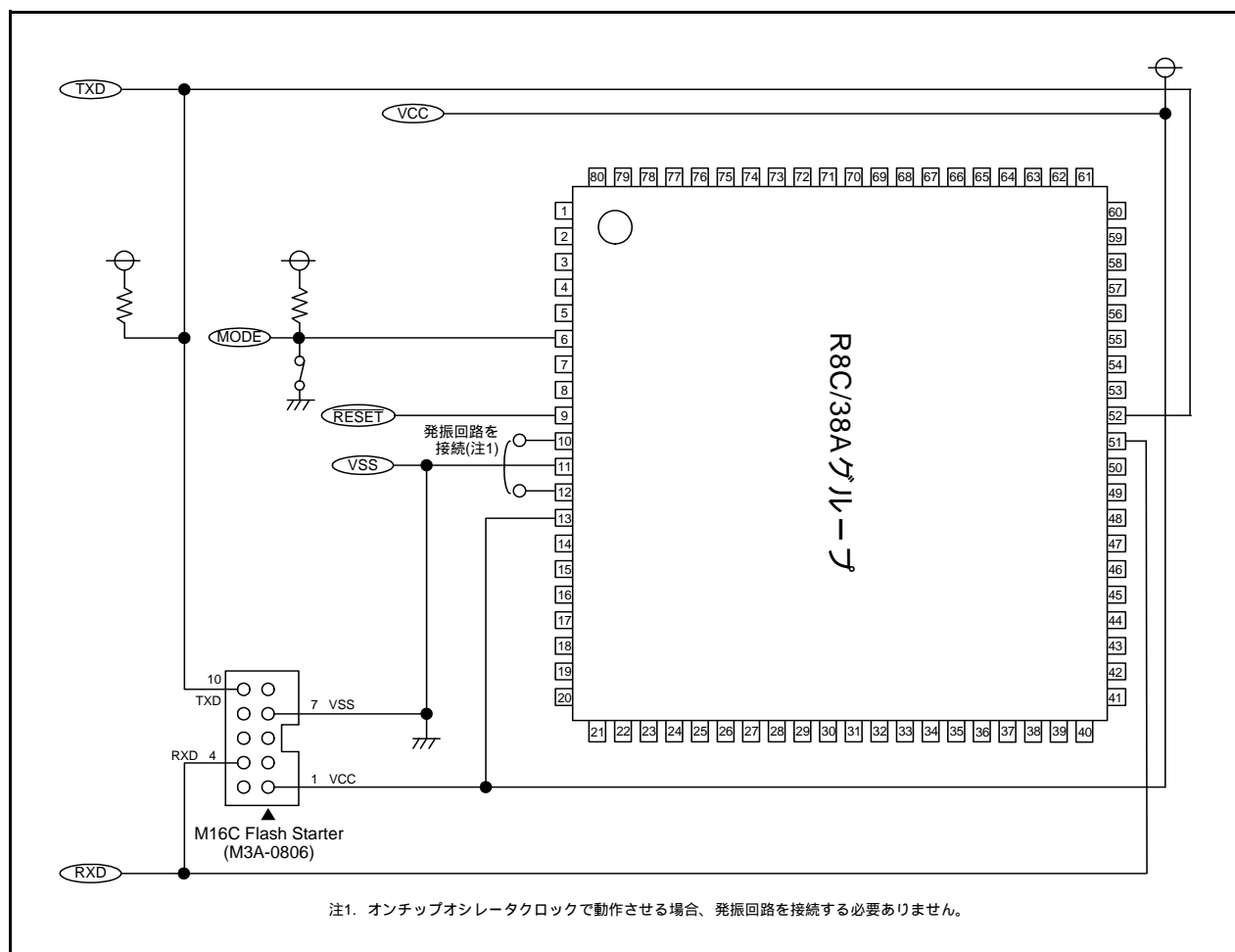
付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。

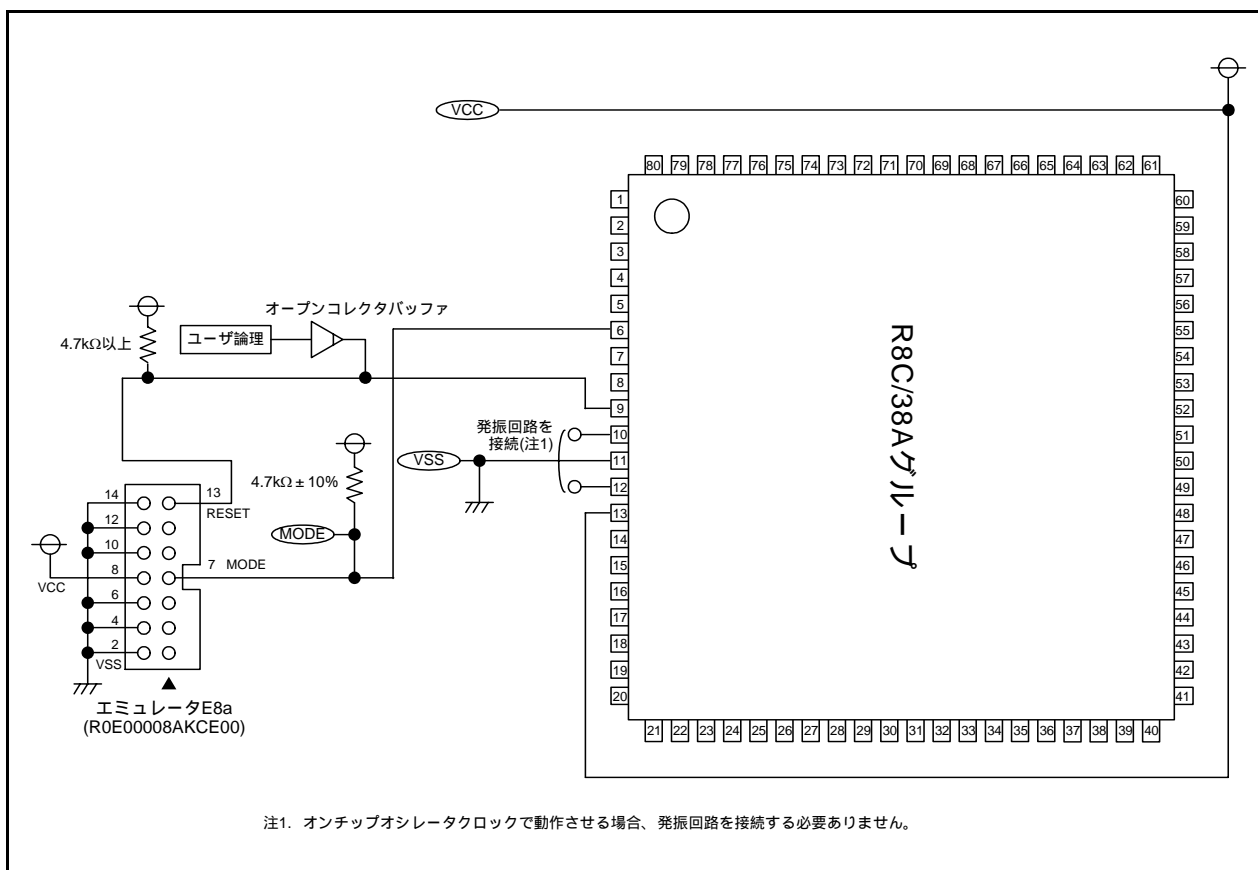


付録2. シリアルライタとオンチップデバッグエミュレータとの接続例

付図2.1にM16C Flash Starterとの接続例(M3A-0806)を、付図2.2にエミュレータE8a(R0E00008AKCE00)との接続例を示します。



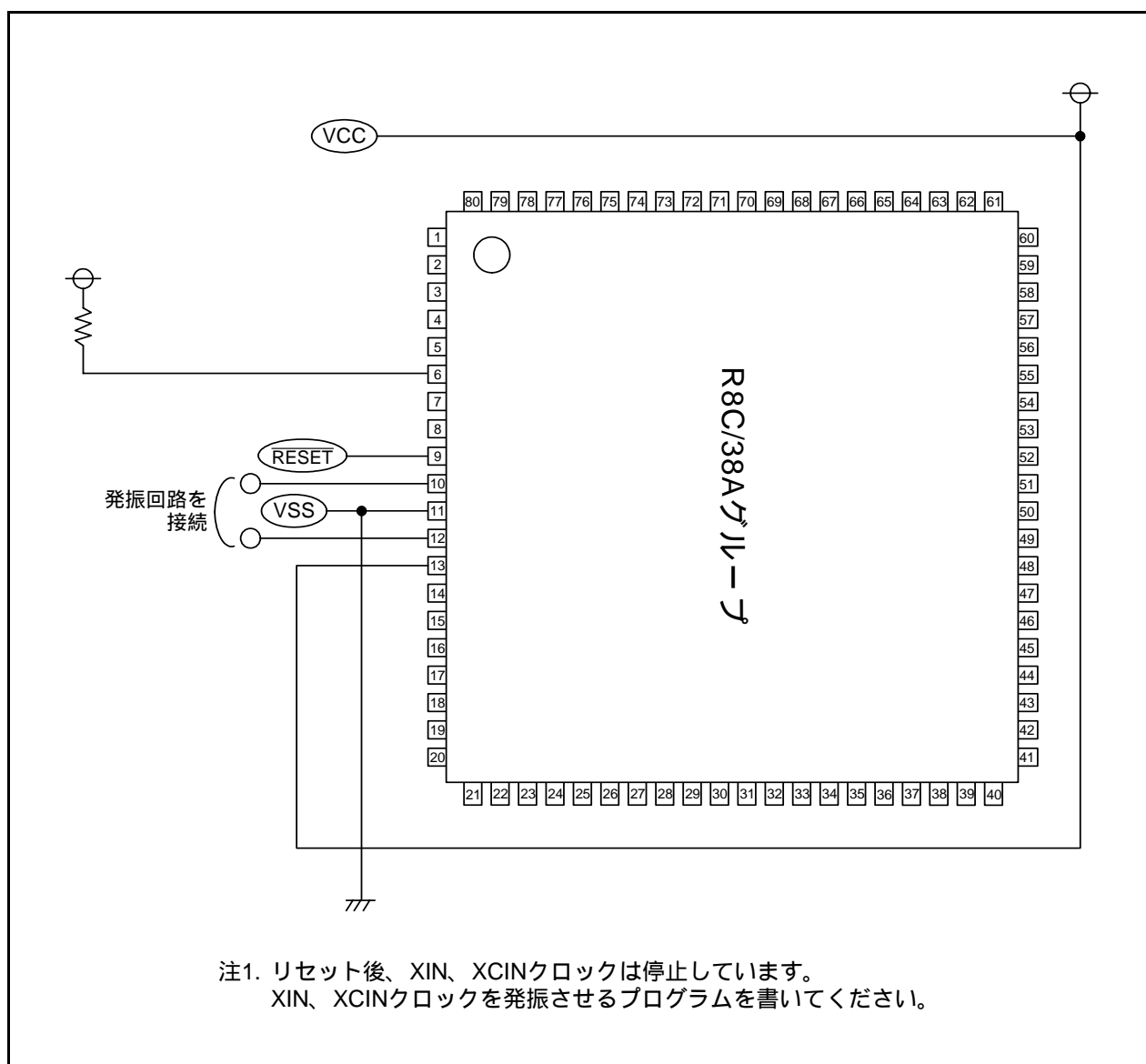
付図2.1 M16C Flash Starter との接続例 (M3A-0806)



付図2.2 エミュレータ E8a(R0E00008AKCE00) との接続例

付録3. 発振評価回路例

付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

索引

【記号 / 数字】

4線式バス通信モード	596
4線式バス通信モードの初期化	597

【 A 】

A/Dコンバータ	656, 744
A/D断線検出アシスト機能	668
A/D変換開始条件	666
A/D変換結果	668
A/D変換サイクル数	664
A0、A1	13
ACK、NACK	563
ADCON0	662
ADCON1	663
ADi (i=0 ~ 7)	659
ADIC	172
ADINSEL	661
ADMOD	660
AIERi (i=0 ~ 1)	190

【 B 】

BGO(バックグラウンドオペレーション)機能	721
Bフラグ	13

【 C 】

CAPIC	172
CLK極性選択	543
CM0	136
CM1	137
CM3	138
CMP0IC	172
CMP1IC	172
CMPA	43, 685
CPSRF	141
CPU	12
CPU書き換えモード	710
CPUクロック	150
CPUクロックと周辺機能クロック	150
CSPR	207
CTS/RTS機能	545, 553
Cフラグ	13

【 D 】

D/Aコンバータ	680
DACON	682
DAi (i=0 ~ 1)	682
DRR0	96
DRR1	97
DRR2	99
DTBLSj (j=0 ~ 23)	215
DTC	213
DTCCRj (j=0 ~ 23)	215
DTCCTj (j=0 ~ 23)	215
DTCENi (i=0 ~ 6)	217
DTCTL	218
DTC実行サイクル数	230
DTDARj (j=0 ~ 23)	216
DTRLdj (j=0 ~ 23)	216
DTSARj (j=0 ~ 23)	216
Dフラグ	13

【 E 】

EW0モード	718
EW1モード	718

【 F 】

f1、f2、f4、f8、f32	150
FB	13
fC、fC2、fC4、fC32	151
FLG	13
FMR0	713
FMR1	715
FMR2	717
FMRDYIC	173
fOCO	150
fOCO128	151
fOCO40M	150
fOCO-F	150
fOCO-S	151
fOCO-WDT	151
FRA0	140
FRA1	140
FRA2	141
FRA3	143
FRA4	142
FRA5	142
FRA6	143
FRA7	139
FST	711

【 I 】

I/Oポート	57
I/Oポート以外の端子	58
I/Oポートの機能	58
I ² Cバスインタフェース	604
I ² Cバスインタフェースモード	620
I ² Cバスフォーマット	620
ICCR1	610
ICCR2	611
ICDRR	609
ICDRS	615
ICDRT	609
ICIER	613
ICMR	612
ICSR	614
IDコードチェック機能	708, 735
IDコード領域	196
ILVL2 ~ ILVL0ビット、IPL	175
INTB	13
INTCMP	700
INTEN	184, 700
INTEN1	184
INTF	185, 701
INTF1	185
INTIIC (i=0 ~ 4)	174
INTi入力フィルタ (i=0 ~ 4)	186
INTi割り込み (i=0 ~ 4)	182
INTSR	91, 183
INT割り込み	182
IPL	14
IRビット	175
ISP	13
Iフラグ	14, 175

R8C/38A グループ

【 K 】

KIEN	188
KUPIC	172

【 L 】

LINCR	644
LINCR2	643
LINST	644
LSB ファースト、MSB ファースト選択	516, 544, 551

【 M 】

MSTCR	277, 336, 351, 371, 387, 401, 417, 472, 576, 607
-------------	--

【 O 】

OCD	139
OCVREFCR	658
OFS	31, 50, 201, 208, 709
OFS2	32, 202, 209
Oフラグ	14

【 P 】

P1DPR	95
P2DPR	95
PC	13
PD _i (i=0 ~ 9)	79
PI _i (i=0 ~ 9)	80
PINSR	92, 145, 608
PM0	30
PM1	206
PRCR	165
PUR0	93
PUR1	93
PUR2	94
PWM2モード	315
PWM3モード	415
PWMモード	309, 369, 493
PWMモードの設定手順例	494

【 R 】

R0, R1, R2, R3	13
RMAD _i (i=0 ~ 1)	190
ROMコードプロテクト機能	709, 738
RSTFR	30
RXD2デジタルフィルタ選択機能	553, 570

【 S 】

S0RIC	172
S0TIC	172
S1RIC	172
S1TIC	172
S2RIC	172
S2TIC	172
SAR	615
SB	13
SCS端子制御とアービトレーション	602
SDA出力	562
SDA入力	563
SFR	16
SSBR	577
SSCRH	578

SSCRL	579
SSER	581
SSMR	580
SSMR2	583
SSRDR	578
SSSR	582
SSTDOR	577
SSTRSR	586
SSUIC/IICIC	173
SSUICSR	90, 576, 607
SSシフトレジスタ	586
Sフラグ	13

【 T 】

TIMSR	86, 447, 452, 462, 480
TRA	240
TRACR	238
TRAIC	172
TRAIOR	238, 241, 244, 246, 248, 251
TRAMR	239
TRAPRE	239
TRASR	81, 240
TRBCR	255
TRBIC	172
TRBIOC	256, 259, 263, 266, 270
TRBMR	256
TRBOCR	255
TRBPR	258
TRBPPE	257
TRBRCSR	82, 258, 286
TRBSC	257
TRC	282
TRCADCR	285
TRCCR1	279, 302, 311, 317
TRCCR2	283, 305, 312, 318
TRCDF	284, 319
TRCGRA	282
TRCGRB	282
TRCGRC	282
TRCGRC、TRCGRDレジスタの出力端子変更	307
TRCGRD	282
TRCIC	173
TRCICR	279
TRCICR0	281, 297, 303
TRCICR1	281, 298, 304
TRCMR	278
TRCOER	285
TRCPSR0	83, 287
TRCPSR1	84, 288
TRCSR	280
TRD0	394, 408, 425
TRDOIC	173
TRD1	409
TRD1IC	173
TRDADCR	352, 372, 388, 402, 418
TRDCR0	392, 423
TRDCR _i (i=0 ~ 1)	340, 358, 376, 406
TRDDFi (i=0 ~ 1)	339
TRDECR	336, 351, 371, 387, 401, 417
TRDFCR	338, 355, 374, 390, 404, 420
TRDGRA _i (i=0 ~ 1)	345, 363, 380, 395, 409, 426
TRDGRB _i (i=0 ~ 1)	345, 363, 380, 395, 409, 426
TRDGRC1	409
TRDGRC _i (i=0 ~ 1)	345, 363, 380, 395, 426
TRDGRC _i (i=0 ~ 1)、TRDGRDiレジスタの出力端子変更	366

R8C/38A グループ

TRDGRDi (i=0 ~ 1)	345, 363, 380, 395, 409, 426
TRDi (i=0 ~ 1)	344, 362, 379
TRDIERi (i=0 ~ 1)	344, 362, 378, 394, 408, 425
TRDIORAi (i=0 ~ 1)	341, 359
TRDIORCi (i=0 ~ 1)	342, 360
TRDMR	337, 354, 373, 389, 403, 419
TRDOCR	357, 376, 422
TRDOER1	356, 375, 391, 405, 421
TRDOER2	356, 375, 391, 405, 421
TRDPMR	338, 354, 374
TRDPOCRi (i=0 ~ 1)	378
TRDPSR0	85, 346, 364, 381, 396, 411, 428
TRDPSR1	85, 346, 364, 381, 396, 411, 428
TRDSRi (i=0 ~ 1)	343, 361, 377, 393, 407, 424
TRDSTR	337, 353, 373, 389, 403, 419
TRECR1	445, 451
TRECR2	446, 451
TRECSR	447, 452
TREHR	444
TREIC	172
TREMIN	443, 450
TRESEC	443, 450
TREWK	444
TRF	459
TRFCR0	460
TRFCR1	461
TRFIC	172
TRFM0	459
TRFM1	460
TRFOUT	86, 461
TRG	478
TRGCNTC	474
TRGCR	475, 498
TRGGRA	479
TRGGRB	479
TRGGRC	479
TRGGRD	479
TRGIC	173
TRGIER	475
TRGIOR	477, 486, 490
TRGMR	473
TRGSR	476
TXD、RXD 入出力極性切り替え機能	552

【 U 】

U0SR	87, 509
U1SR	88, 510
U2BCNIC	172
U2BRG	528
U2C0	530
U2C1	531
U2MR	528
U2RB	532
U2SMR	536
U2SMR2	535
U2SMR3	535
U2SMR4	534
U2SMR5	533
U2SR0	89, 537
U2SR1	90, 538
U2TB	529
UART	518, 546
UiBRG (i=0 ~ 1)	505
UiC0 (i=0 ~ 1)	507
UiC1 (i=0 ~ 1)	507

UiMR (i=0 ~ 1)	505
UiRB (i=0 ~ 1)	508
UiTB (i=0 ~ 1)	506
URXDF	533
USP	13
Uフラグ	14

【 V 】

VCA1	44, 686
VCA2	45, 144, 687
VCAC	44, 686
VCC 入力電圧のモニタ	51
VCMP1IC	172
VCMP2IC	172
VD1LS	46
Vdet0 のモニタ	51
Vdet1 のモニタ	51
Vdet2 のモニタ	51
VLT0	100
VLT1	101
VLT2	102
VW0C	47
VW1C	48, 688
VW2C	49, 689

【 W 】

WDTC	207
WDTR	206
WDTS	206

【 X 】

XCIN クロック	149
XIN クロック	147

【 Z 】

Zフラグ	13
------------	----

【 あ 】

アウトプットコンペア機能	300, 349
アウトプットコンペア出力タイミング	491
アウトプットコンペアモード	449, 466
アドレス一致割り込み	189
アドレスレジスタ	13

【 い 】

位相計数モード	497
位相計数モードの設定手順例	498
イベントカウンタモード	245
インプットキャプチャ機能	295, 334
インプットキャプチャ信号タイミング	487
インプットキャプチャ動作の設定手順例	487
インプットキャプチャモード	463

【 う 】

ウェイトモード	154
ウェイトモード、ストップモード	743
ウォッチドッグタイマ	204
ウォッチドッグタイマリセット	37

【お】

オーバフローフラグ	14
オプション機能選択領域	200
オンチップオシレータクロック	148
オンチップデバッグの注意事項	807

【か】

外形寸法図	808
概要	1
カウントソース	289, 328, 481
カウントソース保護モード無効時	211
カウントソース保護モード有効時	212
カウント中のタイマ書き込み制御	242, 260
拡張アナログ入力端子	668
各通信モードと端子機能	588
各モードの設定と解除方法	720

【き】

キー入力割り込み	187
起動要因	219
機能	197
キャリフラグ	13
強制イレース機能	198
極性選択機能	516

【く】

繰り返し掃引モード	676
繰り返しモード0	671
繰り返しモード1	672
クロック	743
クロック同期形シリアルI/Oモード	511, 539
クロック同期形シリアルインタフェース	573, 744
クロック同期式シリアルフォーマット	631
クロック同期式シリアルモード	631
クロック同期式通信モード	589
クロック同期式通信モードの初期化	589
クロック発生回路	133
クロック非同期形シリアルI/O(UART)モード	518, 546

【こ】

高速オンチップオシレータクロック	148
コールドスタート/ウォームスタート判定機能	38
コントロールデータの配置とDTCベクタテーブル	221
コンパレータA	683
コンパレータA1	691
コンパレータA1のモニタ	690
コンパレータA1、コンパレータA2割り込み	697
コンパレータA2	694
コンパレータA2のモニタ	690
コンパレータB	698
コンパレータB1、コンパレータB3割り込み	704
コンパレータBiデジタルフィルタ(i=1、3)	703
コンパレータ一致による波形出力の設定手順例	491

【さ】

サインフラグ	13
サスペンド動作	719

【し】

システムクロック	150
周辺機能クロック	150
周辺機能クロックの停止	743
周辺機能への影響	58
周辺機能割り込み	168
受信動作	633
仕様概要	2
使用上の注意事項	775
消費電流低減機能	668
消費電力の低減	743
消費電力を小さくするためのポイントと処理方法	743
シリアルインタフェース(UART2)	526
シリアルインタフェース(UARTi (i=0 ~ 1))	503
シリアルデータ論理切り替え	545, 552
シリアルライタとオンチップデバッグエミュレータとの接続例	809
シンクロナスシリアルコミュニケーションユニット(SSU)	574

【す】

スタートコンディション、ストップコンディションの検出	560
スタートコンディション、ストップコンディションの出力	561
スタックポインタ指定フラグ	14
スタティックベースレジスタ	13
ストップモード	158
スレーブ受信動作	629
スレーブ送信動作	626
スレーブモード	648

【せ】

製品一覧	4
ゼロフラグ	13

【そ】

送受信初期化	563
送信動作	632
相補PWMモード	399
ソフトウェアコマンド	723
ソフトウェアリセット	37
ソフトウェア割り込み	167

【た】

タイマ	744
タイマRA	237
タイマRB	254
タイマRC	274
タイマRC割り込み	323
タイマRC割り込み、タイマRD割り込み、タイマRG割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I ² Cバスインタフェース割り込み(複数の割り込み要求要因を持つ割り込み)	191
タイマRD	326
タイマRD割り込み	431
タイマRE	440
タイマRF	457
タイマRG	470

タイマRG割り込み	501
タイマ総論	234
タイマモード	241, 259, 295, 300, 485, 489
端子機能の説明	10
単掃引モード	674
単発モード	670

【ち】

チェイン転送	228
中央演算処理装置(CPU)	12

【つ】

通信エラー発生時の対処方法	543, 551
---------------------	----------

【て】

低消費電流リードモード	747
低速オンチップオシレータクロック	148
データ保護機能	722
データレジスタ	13
デジタルフィルタ	292, 348, 484
デバッグフラグ	13
電圧監視0リセット	36, 52
電圧監視1割り込み	53
電圧監視2割り込み	55
電圧検出回路	39, 743
電気的特性	748
電源が安定している場合	33
電源投入時	33
転送クロック	562, 584, 616

【と】

同期動作	331
動作タイミング	229
特殊モード1 (I ² Cモード)	554
特殊割り込み	168
特長	1

【な】

内部電源の消費電力低減	744
-------------------	-----

【に】

入出力端子	642, 664
-------------	----------

【の】

ノイズ除去回路	638
ノーマルモード	226
ノンマスカブル割り込み	697

【は】

ハードウェアLIN	641
ハードウェアLIN終了処理	653
ハードウェアリセット	33
バス衝突検出機能	652
バス制御	131
発振停止検出機能	161
発振停止検出機能の使用法	161
発振評価回路例	811

バッファ動作	290, 329, 482
バッファレジスタからの転送タイミング	414
パラレル入出力モード	738
パルス周期測定モード	250
パルス出力強制遮断	293, 332
パルス出力モード	243
パルス幅測定モード	247
パワーオンリセット機能	35
パワーコントロール	152

【ひ】

比較結果のモニタ	690
ビット同期回路	639
ビットレート	523, 550
標準シリアル入出力モード	735
標準シリアル入出力モード禁止機能	198
標準動作モード	152
ピン配置図	6

【ふ】

フラグレジスタ	13
フラッシュメモリ	705
フラッシュメモリ書き換え禁止機能	708
フラッシュメモリの停止	746
フルステータスチェック	733
フレームベースレジスタ	13
プログラマブルウェイトワンショット発生モード	269
プログラマブル波形発生モード	262
プログラマブルワンショット発生モード	265
プログラムカウンタ	13
プロセッサ割り込み優先レベル	14
ブロック図	5
プロテクト	165

【ほ】

ポート	743
ポートの設定	103

【ま】

マスカブル割り込み	697
マスタ受信動作	623
マスタ送信動作	621
マスタモード	645
マルチプロセッサ受信	568
マルチプロセッサ送信	567
マルチプロセッサ通信機能	564

【み】

未使用端子の処理	130
----------------	-----

【め】

メモリ	15
メモリ配置	706

【も】

モード選択	573
-------------	-----

【ゆ】

ユーザスタックポインタ	13
-------------------	----

【よ】

用途	1
予約ビット	14

【り】

リアルタイムクロックモード	441
リセット	28
リセット同期PWMモード	385
リセット要因判別機能	38
リピートモード	227

【れ】

レジスタ設定例	634
レジスタ退避	178
レジスタバンク指定フラグ	13
連続受信モード	517, 544

【わ】

割り込み	166
割り込み応答時間	177
割り込み許可フラグ	14
割り込みシーケンス	176
割り込みスタックポインタ	13
割り込み制御	175
割り込みテーブルレジスタ	13
割り込みと割り込みベクタ	169
割り込みの分類	166
割り込み優先順位	180
割り込み優先レベル判定回路	181
割り込み要因	228
割り込み要求	587, 619, 654
割り込み要求受付時のIPLの変化	177
割り込みルーチンからの復帰	180
ワンショットトリガ選択	268

改訂記録	R8C/38A グループ ハードウェアマニュアル
------	--------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2009.01.15		初版発行

R8C/38Aグループハードウェアマニュアル

発行年月日 2009年1月15日 Rev.0.10

発行 株式会社 ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町2-6-2

© 2009. Renesas Technology Corp., All rights reserved. Printed in Japan.

R8C/38A グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0517-0010

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル

株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-R8C-A001B/J	Rev.	第 2 版
題名	R8C/32A グループ, R8C/33A グループ, R8C/35A グループ R8C/36A グループ, R8C/38A グループ, R8C/3GA グループ R8C/3JA グループの仕様変更について		情報分類	技術情報	
適用製品	R8C/32A, 33A, 35A, 36A, 38A, 3GA, 3JA グループ	対象ロット等	—	関連資料	

1. 連絡事項

R8C/32A, 33A, 35A, 36A, 38A, 3GA, 3JA グループにおいて、データシートおよびハードウェアマニュアルに記載の内容から仕様を一部変更します。

1-1. 仕様変更項目

- (1) 高速オンチップオシレータ機能の削除
- (2) フラッシュメモリのサスペンド機能に関する仕様変更
- (3) フラッシュメモリのサスペンド機能の電気的特性の変更

1-2. 対象ドキュメント

- ・ R8C/32A グループデータシート Rev.0.20 (RJJ03B0224-0020)
- ・ R8C/32A グループハードウェアマニュアル Rev.0.20 (RJJ09B0487-0020)
- ・ R8C/33A グループデータシート Rev.0.20 (RJJ03B0223-0020)
- ・ R8C/33A グループハードウェアマニュアル Rev.0.20 (RJJ09B0482-0020)
- ・ R8C/35A グループデータシート Rev.0.40 (RJJ03B0219-0040)
- ・ R8C/35A グループハードウェアマニュアル Rev.0.40 (RJJ09B0440-0040)
- ・ R8C/36A グループハードウェアマニュアル Rev.0.20 (RJJ09B0512-0020)
- ・ R8C/38A グループハードウェアマニュアル Rev.0.10 (RJJ09B0517-0010)
- ・ R8C/3GA グループハードウェアマニュアル Rev.0.20 (RJJ09B0501-0020)
- ・ R8C/3JA グループハードウェアマニュアル Rev.1.00 (RJJ09B0540-0100)

2. 仕様変更内容

2-1. 高速オンチップオシレータ機能の削除

高速オンチップオシレータ機能を削除します。

CPU クロックおよび周辺機能のクロックに高速オンチップオシレータクロックを選択しないでください。

1-2 項に示す対象ドキュメントにおいて、本書面の内容以外的高速オンチップオシレータに関する記載が無効になります。

2-1-1. クロック発生回路に関するレジスタの設定について

2-1-1-1. 高速オンチップオシレータ制御レジスタ 0 (FRA0)

- (1) FRA00 ビットを“1”(高速オンチップオシレータ発振)に設定しないでください [図 2-1 参照]。
- (2) FRA01 ビットを“1”(fOCO クロックに高速オンチップオシレータを選択)に設定しないでください [図 2-1 参照]。
fOCO クロックはタイマ RA で使用します。
- (3) FRA03 ビットを“1”(fOCO128 クロックに fOCO-F の 128 分周を選択)に設定しないでください [図 2-1 参照]。
fOCO128 クロックはタイマ RC、RD で使用します。

2-1-1-2. システムクロック制御レジスタ 3 (CM3)

- (1) CM37, CM36 ビットを“10b”(ウェイトモード、ストップモードから復帰時の CPU クロックに高速オンチップオシレータクロックを選択)に設定しないでください [図 2-2 参照]。

2-1-1-3. 高速オンチップオシレータ制御レジスタ 1～7 (FRA1～FRA7)

- (1) 高速オンチップオシレータの分周比選択に関するレジスタ(FRA2)および周波数調整に関するレジスタ(FRA1, FRA3～FRA7)は、設定しないでください。

2-1-2. タイマ RA に関するレジスタの設定について

2-1-2-1. 高速オンチップオシレータ制御レジスタ 0 (FRA0)

- (1) FRA01 ビットを“1”(fOCO クロックに高速オンチップオシレータを選択)に設定しないでください [図 2-1 参照]。
タイマ RA のカウントソースに高速オンチップオシレータクロックを選択できません。

2-1-3. タイマ RC に関するレジスタの設定について

2-1-3-1. タイマ RC 制御レジスタ 1 (TRCCR1)

- (1) TCK2～TCK0 ビットを“110b”(タイマ RC カウントソースに fOCO40M を選択)に設定しないでください [図 2-3 参照]。
(2) TCK2～TCK0 ビットを“111b”(タイマ RC カウントソースに fOCO-F を選択)に設定しないでください [図 2-3 参照]。

2-1-3-2. 高速オンチップオシレータ制御レジスタ 0 (FRA0)

- (1) FRA03 ビットを“1”(fOCO128 クロックに fOCO-F の 128 分周を選択)に設定しないでください [図 2-1 参照]。
タイマ RC のインプットキャプチャ機能において、TRCGRA レジスタのインプットキャプチャトリガ入力に fOCO-F の 128 分周を選択できません。

2-1-4. タイマ RD に関するレジスタの設定について(R8C/35A,36A,38A,3JA グループのみ*)

※ R8C/32A,33A,3GA グループにはタイマ RD はありません。

2-1-4-1. タイマ RD 制御レジスタ 0,1 (TRDCR0, TRDCR1)

- (1) TCK2～TCK0 ビットを“110b”(タイマ RD カウントソースに fOCO40M を選択)に設定しないでください [図 2-4 参照]。
(2) TCK2～TCK0 ビットを“111b”(タイマ RD カウントソースに fOCO-F を選択)に設定しないでください [図 2-4 参照]。

2-1-4-2. 高速オンチップオシレータ制御レジスタ 0(FRA0)

- (1) FRA03 ビットを“1”(fOCO128 クロックに fOCO-F の 128 分周を選択)に設定しないでください [図 2-1 参照]。
タイマ RD のインプットキャプチャ機能において、TRDGRA0 レジスタのインプットキャプチャトリガ入力に fOCO-F の 128 分周を選択できません。

2-1-5. A/D コンバータに関するレジスタの設定について

2-1-5-1. A/D モードレジスタ (ADMOD)

- (1) CKS2 ビットを“1”(A/D コンバータの動作クロック源に fOCO-F を選択)に設定しないでください [図 2-5 参照]。

高速オンチップオシレータ制御レジスタ 0 (FRA0)

アドレス 0023h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0: 高速オンチップオシレータ停止 1: 高速オンチップオシレータ発振	R/W
b1	FRA01	高速オンチップオシレータ選択ビット (注1)	0: 低速オンチップオシレータ選択 (注2) 1: 高速オンチップオシレータ選択	R/W
b2	—	予約ビット	“0” にしてください	R/W
b3	FRA03	fOCO128 クロック選択ビット	0: fOCO-S の 128 分周を選択 1: fOCO-F の 128 分周を選択	R/W
b4	—	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		—
b5	—			
b6	—			
b7	—			

注1. FRA01 ビットは次の条件のとき変更してください。

- FRA00=1(高速オンチップオシレータ発振)
- CM1 レジスタの CM14=0(低速オンチップオシレータ発振)
- FRA2 レジスタの FRA22～FRA20 ビットが

VCC=2.7V～5.5V の場合は全分周モード設定可能 “000b”～“111b”
VCC=1.8V～5.5V の場合は 8 分周以上の分周比 “110b”～“111b” (8 分周モード以上)

注2. FRA01 ビットに “0” (低速オンチップオシレータ選択) を書くとき、同時に FRA00 ビットに “0” (高速オンチップオシレータ停止) を書かないでください。FRA01 ビットを “0” にした後、FRA00 ビットを “0” にしてください。

FRA0 レジスタは、PRCR レジスタの PRC0 ビットを “1” (書き込み許可) にした後、書き換えてください。

設定しないでください。

設定しないでください。

設定しないでください。

図 2-1. 高速オンチップオシレータ制御レジスタ 0 (FRA0) の設定

システムクロック制御レジスタ3 (CM3)

アドレス 0009h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—
b2	—	予約ビット	“0”にしてください。	R/W
b3	—	予約ビット	“0”にしてください。	R/W
b4	—	予約ビット	“0”にしてください。	R/W
b5	CM35	ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2)	0: CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1: 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット	b7 b6 00: ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰 01: 設定しないでください 10: 高速オンチップオシレータクロックを選択(注3) 11: XINクロックを選択(注4)	R/W R/W

設定しないでください。

- 注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。
- 注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
- 注3. CM37、CM36ビットが“10b”(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
 - FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
 - FRA0レジスタのFRA01ビット=1(高速オンチップオシレータ選択)
- 注4. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- CM0レジスタのCM05ビット=0(XINクロック発振)
 - CM1レジスタのCM13ビット=1(XIN-XOUT端子)
 - OCDレジスタのOCD2ビット=0(XINクロック選択)
- CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。
- ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

図 2-2. システムクロック制御レジスタ3 (CM3) の設定

タイマRC制御レジスタ1 (TRCCR1)

アドレス 0121h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	動作モード(機能)によって機能が異なる	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 000: f1 001: f2 010: f4 011: f8 100: f32 101: TRCLK入力の立ち上がりエッジ 110: fOCO40M 111: fOCO-F(注2)	R/W R/W R/W
b5	TCK1			
b6	TCK2			
b7	CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: インプットキャプチャまたはTRCGRAのコンペアー致でTRCカウンタをクリア	R/W

設定しないでください。

- 注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
- 注2. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

図 2-3. タイマRC制御レジスタ1 (TRCCR1) の設定

タイマRD制御レジスタi (TRDCRi)(i=0~1)

アドレス 0140h番地 (TRDCR0)、0150h番地 (TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1	R/W
b1	TCK1		0 0 1 : f2	R/W
b2	TCK2		0 1 0 : f4	R/W
			0 1 1 : f8	
			1 0 0 : f32	
			1 0 1 : TRDCLK入力(注1)またはfC2(注2)	
		1 1 0 : fOCO40M		
		1 1 1 : fOCO-F(注5)		
b3	CKEG0	外部クロックエッジ選択ビット (注3)	b4 b3 0 0 : 立ち上がりエッジでカウント	R/W
b4	CKEG1		0 1 : 立ち下がりエッジでカウント	R/W
			1 0 : 両エッジでカウント	
			1 1 : 設定しないでください	
b5	CCLR0	TRDiカウンタクリア選択ビット	b7 b6 b5 0 0 0 : クリア禁止(フリーランニング動作)	R/W
b6	CCLR1		0 0 1 : TRDGRAiのインプットキャプチャでクリア	R/W
b7	CCLR2		0 1 0 : TRDGRBiのインプットキャプチャでクリア	R/W
			0 1 1 : 同期クリア(他のタイマRDiのカウンタと同時にクリア)(注4)	
			1 0 0 : 設定しないでください	
			1 0 1 : TRDGRciのインプットキャプチャでクリア	
		1 1 0 : TRDGRDiのインプットキャプチャでクリア		
		1 1 1 : 設定しないでください		

設定しないでください。

- 注1. TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
- 注2. タイマモードで、TRDECRレジスタのITCLKiビットが“1”(fC2)のとき有効です。
- 注3. TCK2~TCK0ビットが“101b”(TRDCLK入力またはfC2)、TRDECRレジスタのITCLKiビットが“0”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
- 注4. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。
- 注5. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

図 2-4. タイマ RD 制御レジスタ 0, 1 (TRDCR0, TRDCR1) の設定

A/D モードレジスタ (ADMOD)

アドレス 00D4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	分周選択ビット	b1 b0 0 0 : fADの8分周	R/W
b1	CKS1		0 1 : fADの4分周	R/W
			1 0 : fADの2分周	
			1 1 : fADの1分周(分周なし)	
b2	CKS2	クロック源選択ビット(注1)	0 : f1を選択 1 : fOCO-F を選択	R/W
b3	MD0	A/D動作モード選択ビット	b5 b4 b3 0 0 0 : 単発モード	R/W
b4	MD1		0 0 1 : 設定しないでください	R/W
b5	MD2		0 1 0 : 繰り返しモード0	R/W
			0 1 1 : 繰り返しモード1	
			1 0 0 : 単掃引モード	
			1 0 1 : 設定しないでください	
		1 1 0 : 繰り返し掃引モード		
		1 1 1 : 設定しないでください		
b6	ADCAP0	A/D変換トリガ選択ビット	b7 b6 0 0 : ソフトウェアトリガ(ADCON0レジスタのADSTビット)によるA/D変換開始	R/W
b7	ADCAP1		0 1 : タイマRDからの変換トリガによるA/D変換開始	R/W
			1 0 : タイマRCからの変換トリガによるA/D変換開始	
			1 1 : 外部トリガ(ADTRG)によるA/D変換開始	

設定しないでください。

- 注1. CKS2ビットを変更したときは、φADの3サイクル以上経過した後にA/D変換を開始してください。

A/D変換中にADMODレジスタの内容を書き換えた場合、変換結果は不定になります。

図 2-5. A/D モードレジスタ (ADMOD) の設定

2-2. フラッシュメモリのサスペンド機能に関する仕様変更

フラッシュメモリのサスペンド機能において、自動消去中断中にプログラム動作ができません [図 2-6 参照]。

サスペンド中に実行できる動作		サスペンド中の動作											
		データフラッシュ (サスペンド移行前の イレーズ実行ブロック)			データフラッシュ (サスペンド移行前の イレーズ未実行ブロック)			プログラムROM (サスペンド移行前の イレーズ実行ブロック)			プログラムROM (サスペンド移行前の イレーズ未実行ブロック)		
		イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード
サスペンド 移行前の イレーズ 実行領域	データ フラッシュ	×	×	×	×	○	○	—	—	—	×	○	○(注5)
	プログラム ROM	—	—	—	×	○	○	×	×	×	×	○	○

注1. ○はサスペンド機能を使用することで動作可能、×は動作禁止、—は組み合わせなし
注2. プログラム中はサスペンドできません。
注3. イレーズはブロックイレーズを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。
クリアステータスレジスタコマンドは、FSTレジスタのFST7ビットが“1”(レディ)で実行できます。
サスペンド中、ブロックブランクチェックは動作禁止です。
注4. イレーズサスペンド移行直後は、リードアレイモードになります。
注5. データフラッシュをプログラムあるいはブロックイレーズ動作中に、BGO 機能によりプログラム ROM 領域を読み出すことができます。

※ は、データフラッシュドライバを使用する場合も実行できません。

図 2-6. フラッシュメモリのサスペンド機能に関する仕様変更

2-3. フラッシュメモリのサスペンド機能の電気的特性の変更

フラッシュメモリの自動消去中のサスペンドの間隔を 33ms 以上あけるようにしてください [図 2-7 参照]。

フラッシュメモリ (プログラムROM) の電気的特性						
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	イレーズ開始または再開から次のサスペンド要求までの間隔		33	—	—	ms
—	自動消去が終了するために必要なサスペンド間隔		33	—	—	ms

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = 0℃ ~ 60℃です。

フラッシュメモリ (データフラッシュ ブロックA~ブロックD) の電気的特性						
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	イレーズ開始または再開から次のサスペンド要求までの間隔		33	—	—	ms
—	自動消去が終了するために必要なサスペンド間隔		33	—	—	ms

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = -20℃ ~ 85℃(Nバージョン)/-40℃ ~ 85℃(Dバージョン)です。

図 2-7. フラッシュメモリのサスペンド機能の電気的特性

2-4. XCIN クロックの使用に関する注意事項

R8C/33A, 32A, 3GA グループでは、XIN-XOUT 端子と XCIN-XCOUT 端子は兼用端子(P4_6、P4_7 端子)です。XIN クロックを使用する場合は XCIN クロックを使用できません。

3. 今後の予定

高速オンチップオシレータ搭載版については、営業部門にお問い合わせください。

以上