

# R8C/34Uグループ、R8C/34Kグループ

## ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ  
R8Cファミリ / R8C/3xシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# このマニュアルの使い方

## 1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/34U グループ、R8C/34K グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R8C/34Uグループ、 R8C/34Kグループ データシート	R01DS0039JJ0100/ R01DS0040JJ0100
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/34Uグループ、 R8C/34Kグループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	R8C/Tinyシリーズ ソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用方法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

## 2. 数や記号の表記

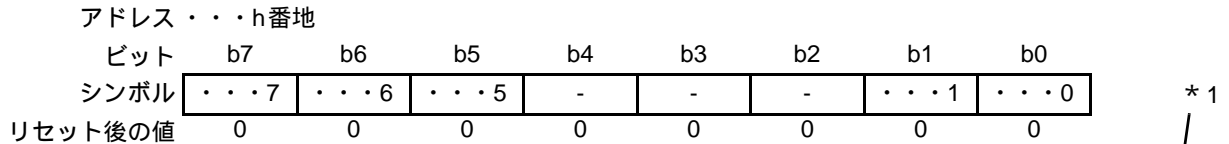
このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- |   |
|---|
| <p>(1) レジスタ名、ビット名、端子名<br/>本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。<br/>(例) PM0 レジスタのPM03ビット<br/>P3_5 端子、VCC 端子</p> <p>(2) 数の表記<br/>2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。<br/>(例) 2進数：11b<br/>16進数：EFA0h<br/>10進数：1234</p> |
|---|

### 3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

X.X.X . . . . レジスタ(シンボル)



ビット	シンボル	ビット名	機能	R/W
b0	. . . 0	. . . ビット	b1 b0 00 : . . . 01 : . . . 10 : 設定しないでください 11 : . . .	R/W
b1	. . . 1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b3	-	予約ビット	“0”にしてください。	W
b4	-			
b5	. . . 5	. . . ビット	動作モードによって機能が異なる	R/W
b6	. . . 6			R/W
b7	. . . 7	. . . ビット	0 : . . . 1 : . . .	R

\* 2

\* 3

\* 1

- R/W : 読むとビットの状態が読めます。書くと有効データになります。
- R : 読むとビットの状態が読めます。書いた値は無効になります。
- W : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

\* 2

- 予約ビット  
予約ビットです。指定された値にしてください。

\* 3

- 何も配置されていない  
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- 設定しないでください  
設定した場合の動作は保証されません。
- 動作モードによって機能が異なる  
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

#### 4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

# 目次

番地別ページ早見表 .....	B - 1
1. 概要 .....	1
1.1  特長 .....	1
1.1.1  用途 .....	1
1.1.2  グループごとの相違点 .....	2
1.1.3  仕様概要 .....	3
1.2  製品一覧 .....	5
1.3  ブロック図 .....	7
1.4  ピン配置図 .....	9
1.5  端子機能の説明 .....	13
2.  中央演算処理装置 (CPU) .....	15
2.1  データレジスタ (R0、R1、R2、R3) .....	16
2.2  アドレスレジスタ (A0、A1) .....	16
2.3  フレームベースレジスタ (FB) .....	16
2.4  割り込みテーブルレジスタ (INTB) .....	16
2.5  プログラムカウンタ (PC) .....	16
2.6  ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP) .....	16
2.7  スタティックベースレジスタ (SB) .....	16
2.8  フラグレジスタ (FLG) .....	16
2.8.1  キャリフラグ (C フラグ) .....	16
2.8.2  デバッグフラグ (D フラグ) .....	16
2.8.3  ゼロフラグ (Z フラグ) .....	16
2.8.4  サインフラグ (S フラグ) .....	16
2.8.5  レジスタバンク指定フラグ (B フラグ) .....	16
2.8.6  オーバフローフラグ (O フラグ) .....	17
2.8.7  割り込み許可フラグ (I フラグ) .....	17
2.8.8  スタックポインタ指定フラグ (U フラグ) .....	17
2.8.9  プロセッサ割り込み優先レベル (IPL) .....	17
2.8.10  予約ビット .....	17
3.  メモリ .....	18
3.1  R8C/34U グループ .....	18
3.2  R8C/34K グループ .....	19
4.  SFR .....	20
5.  リセット .....	35
5.1  レジスタの説明 .....	37
5.1.1  プロセッサモードレジスタ 0 (PM0) .....	37
5.1.2  リセット要因判別レジスタ (RSTFR) .....	37
5.1.3  オプション機能選択レジスタ (OFS) .....	38
5.1.4  オプション機能選択レジスタ 2 (OFS2) .....	39
5.2  ハードウェアリセット .....	40
5.2.1  電源が安定している場合 .....	40
5.2.2  電源投入時 .....	40
5.3  パワーオンリセット機能 .....	42
5.4  電圧監視 0 リセット .....	43



5.5	ウォッチドッグタイマリセット .....	44
5.6	ソフトウェアリセット .....	44
5.7	コールドスタート / ウォームスタート判定機能 .....	45
5.8	リセット要因判別機能 .....	45
6.	電圧検出回路 .....	46
6.1	概要 .....	46
6.2	レジスタの説明 .....	50
6.2.1	電圧監視回路制御レジスタ (CMPA) .....	50
6.2.2	電圧監視回路エッジ選択レジスタ (VCAC) .....	51
6.2.3	電圧検出レジスタ 1 (VCA1) .....	51
6.2.4	電圧検出レジスタ 2 (VCA2) .....	52
6.2.5	電圧検出 1 レベル選択レジスタ (VD1LS) .....	53
6.2.6	電圧監視 0 回路制御レジスタ (VW0C) .....	54
6.2.7	電圧監視 1 回路制御レジスタ (VW1C) .....	55
6.2.8	電圧監視 2 回路制御レジスタ (VW2C) .....	56
6.2.9	オプション機能選択レジスタ (OFS) .....	57
6.3	VCC 入力電圧のモニタ .....	58
6.3.1	Vdet0 のモニタ .....	58
6.3.2	Vdet1 のモニタ .....	58
6.3.3	Vdet2 のモニタ .....	58
6.4	電圧監視 0 リセット .....	59
6.5	電圧監視 1 割り込み .....	60
6.6	電圧監視 2 割り込み .....	62
7.	I/O ポート .....	64
7.1	I/O ポートの機能 .....	65
7.2	周辺機能への影響 .....	65
7.3	I/O ポート以外の端子 .....	65
7.4	レジスタの説明 .....	80
7.4.1	ポート Pi 方向レジスタ (PDi)(i=0、1、3、4、6 ~ 8) .....	80
7.4.2	ポート Pi レジスタ (Pi)(i=0、1、3、4、6 ~ 8) .....	81
7.4.3	タイマ RA 端子選択レジスタ (TRASR) .....	82
7.4.4	タイマ RC 端子選択レジスタ (TRBRCR) .....	83
7.4.5	タイマ RC 端子選択レジスタ 0 (TRCPSR0) .....	84
7.4.6	タイマ RC 端子選択レジスタ 1 (TRCPSR1) .....	85
7.4.7	タイマ端子選択レジスタ (TIMSR) .....	86
7.4.8	タイマ RF 出力制御レジスタ (TRFOUT) .....	86
7.4.9	UART0 端子選択レジスタ (U0SR) .....	87
7.4.10	UART1 端子選択レジスタ (U1SR) .....	87
7.4.11	UART3 端子選択レジスタ (U3SR) .....	88
7.4.12	UART2 端子選択レジスタ 0 (U2SR0) .....	88
7.4.13	UART2 端子選択レジスタ 1 (U2SR1) .....	89
7.4.14	SSU/IIC 端子選択レジスタ (SSUICSR) .....	89
7.4.15	INT 割り込み入力端子選択レジスタ (INTSR) .....	90
7.4.16	入出力機能端子選択レジスタ (PINSR) .....	91
7.4.17	プルアップ制御レジスタ 0 (PUR0) .....	92
7.4.18	プルアップ制御レジスタ 1 (PUR1) .....	92
7.4.19	プルアップ制御レジスタ 2 (PUR2) .....	93

7.4.20	ポート P1 駆動能力制御レジスタ (P1DRR).....	94
7.4.21	駆動能力制御レジスタ 0 (DRR0).....	95
7.4.22	駆動能力制御レジスタ 1 (DRR1).....	96
7.4.23	駆動能力制御レジスタ 2 (DRR2).....	97
7.4.24	入力しきい値制御レジスタ 0 (VLT0).....	98
7.4.25	入力しきい値制御レジスタ 1 (VLT1).....	99
7.4.26	入力しきい値制御レジスタ 2 (VLT2).....	100
7.4.27	USB 端子選択レジスタ 0 (USBSR0).....	101
7.4.28	USB 端子選択レジスタ 1 (USBSR1).....	101
7.5	ポートの設定.....	102
7.6	未使用端子の処理.....	114
8.	バス制御.....	115
9.	クロック発生回路.....	116
9.1	概要.....	116
9.2	レジスタの説明.....	119
9.2.1	システムクロック制御レジスタ 0 (CM0).....	119
9.2.2	システムクロック制御レジスタ 1 (CM1).....	120
9.2.3	システムクロック制御レジスタ 3 (CM3).....	121
9.2.4	発振停止検出レジスタ (OCD).....	123
9.2.5	高速オンチップオシレータ制御レジスタ 7 (FRA7).....	123
9.2.6	高速オンチップオシレータ制御レジスタ 0 (FRA0).....	124
9.2.7	高速オンチップオシレータ制御レジスタ 1 (FRA1).....	124
9.2.8	高速オンチップオシレータ制御レジスタ 2 (FRA2).....	125
9.2.9	時計用プリスケアラリセットフラグ (CPSRF).....	125
9.2.10	高速オンチップオシレータ制御レジスタ 4 (FRA4).....	126
9.2.11	高速オンチップオシレータ制御レジスタ 5 (FRA5).....	126
9.2.12	高速オンチップオシレータ制御レジスタ 6 (FRA6).....	127
9.2.13	高速オンチップオシレータ制御レジスタ 3 (FRA3).....	127
9.2.14	電圧検出レジスタ 2 (VCA2).....	128
9.2.15	入出力機能端子選択レジスタ (PINSR).....	129
9.2.16	PLL 制御レジスタ 0 (PLC0).....	131
9.2.17	PLL 制御レジスタ 1 (PLC1).....	131
9.2.18	PLL 分周制御レジスタ (PLDIV).....	132
9.3	XIN クロック.....	133
9.4	オンチップオシレータクロック.....	134
9.4.1	低速オンチップオシレータクロック.....	134
9.4.2	高速オンチップオシレータクロック.....	134
9.5	PLL クロック.....	135
9.6	CPU クロックと周辺機能クロック.....	136
9.6.1	システムクロック.....	136
9.6.2	CPU クロック.....	136
9.6.3	周辺機能クロック (f1、f2、f4、f8、f32).....	136
9.6.4	fOCO.....	136
9.6.5	fOCO40M.....	136
9.6.6	fOCO-F.....	136
9.6.7	fOCO-S.....	137
9.6.8	fOCO128.....	137

9.6.9	fOCO-WDT .....	137
9.6.10	PLLCK.....	137
9.7	パワーコントロール.....	138
9.7.1	標準動作モード .....	138
9.7.2	ウェイトモード .....	140
9.7.3	ストップモード .....	144
9.8	発振停止検出機能.....	147
9.8.1	発振停止検出機能の使用方式 .....	147
9.9	クロック発生回路使用上の注意.....	150
9.9.1	ストップモード .....	150
9.9.2	ウェイトモード .....	151
9.9.3	発振停止検出機能 .....	151
9.9.4	発振回路定数 .....	151
10.	プロテクト.....	152
10.1	レジスタの説明.....	152
10.1.1	プロテクトレジスタ (PRCR).....	152
11.	割り込み .....	153
11.1	概要.....	153
11.1.1	割り込みの分類 .....	153
11.1.2	ソフトウェア割り込み .....	154
11.1.3	特殊割り込み .....	155
11.1.4	周辺機能割り込み .....	155
11.1.5	割り込みと割り込みベクタ .....	156
11.2	レジスタの説明.....	159
11.2.1	割り込み制御レジスタ (USBRSMIC、S2TIC、S2RIC、KUPIC、ADIC、CMP1IC、S0TIC、S0RIC、S1TIC、S1RIC、 TRAIC、TRBIC、TRFIC、CMP0IC、U2BCNIC、CAPIC、USBINTIC、S3RIC、S3TIC、 VCMP1IC、VCMP2IC).....	159
11.2.2	割り込み制御レジスタ (FMRDYIC、TRCIC、SSUIC/ICIC).....	160
11.2.3	INT <sub>i</sub> 割り込み制御レジスタ (INT <sub>i</sub> IC)(i=0 ~ 4).....	161
11.3	割り込み制御.....	162
11.3.1	I フラグ .....	162
11.3.2	IR ビット .....	162
11.3.3	ILVL2 ~ ILVL0 ビット、IPL.....	162
11.3.4	割り込みシーケンス .....	163
11.3.5	割り込み応答時間 .....	164
11.3.6	割り込み要求受付時の IPL の変化 .....	164
11.3.7	レジスタ退避 .....	165
11.3.8	割り込みルーチンからの復帰 .....	167
11.3.9	割り込み優先順位 .....	167
11.3.10	割り込み優先レベル判定回路 .....	168
11.4	INT 割り込み .....	169
11.4.1	INT <sub>i</sub> 割り込み (i=0 ~ 4).....	169
11.4.2	INT 割り込み入力端子選択レジスタ (INTSR).....	170
11.4.3	外部入力許可レジスタ 0 (INTEN).....	171
11.4.4	外部入力許可レジスタ 1 (INTEN1).....	171
11.4.5	INT 入力フィルタ選択レジスタ 0 (INTF).....	172

11.4.6	INT 入力フィルタ選択レジスタ 1 (INTF1) .....	172
11.4.7	INT <sub>i</sub> 入力フィルタ (i=0 ~ 4).....	173
11.5	キー入力割り込み.....	174
11.5.1	キー入力許可レジスタ 0 (KIEN) .....	175
11.6	アドレス一致割り込み.....	176
11.6.1	アドレス一致割り込み許可レジスタ i (AIER <sub>i</sub> )(i=0 ~ 1) .....	177
11.6.2	アドレス一致割り込みレジスタ i (RMAD <sub>i</sub> )(i=0 ~ 1) .....	177
11.7	タイマ RC 割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、 I <sup>2</sup> C バスインタフェース、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み) .....	178
11.8	割り込み使用上の注意.....	180
11.8.1	00000h 番地の読み出し .....	180
11.8.2	SP の設定.....	180
11.8.3	外部割り込み、キー入力割り込み .....	180
11.8.4	割り込み要因の変更 .....	181
11.8.5	割り込み制御レジスタの変更 .....	182
12.	ID コード領域 .....	183
12.1	概要.....	183
12.2	機能.....	184
12.3	強制イレース機能.....	185
12.4	標準シリアル入出力モード禁止機能.....	185
12.5	ID コード領域使用上の注意.....	186
12.5.1	ID コード領域の設定例 .....	186
13.	オプション機能選択領域 .....	187
13.1	概要.....	187
13.2	レジスタの説明.....	188
13.2.1	オプション機能選択レジスタ (OFS) .....	188
13.2.2	オプション機能選択レジスタ 2 (OFS2) .....	189
13.3	オプション機能選択領域使用上の注意.....	190
13.3.1	オプション機能選択領域の設定例 .....	190
14.	ウォッチドッグタイマ .....	191
14.1	概要.....	191
14.2	レジスタの説明.....	193
14.2.1	プロセッサモードレジスタ 1 (PM1).....	193
14.2.2	ウォッチドッグタイマリセットレジスタ (WDTR).....	193
14.2.3	ウォッチドッグタイマスタートレジスタ (WDTS) .....	193
14.2.4	ウォッチドッグタイマ制御レジスタ (WDTC).....	194
14.2.5	カウントソース保護モードレジスタ (CSPR).....	194
14.2.6	オプション機能選択レジスタ (OFS) .....	195
14.2.7	オプション機能選択レジスタ 2 (OFS2) .....	196
14.3	動作説明.....	197
14.3.1	複数モードに関わる共通事項 .....	197
14.3.2	カウントソース保護モード無効時 .....	198
14.3.3	カウントソース保護モード有効時 .....	199

15.	DTC .....	200
15.1	概要 .....	200
15.2	レジスタの説明 .....	201
15.2.1	DTC 制御レジスタ j (DTCCRj)(j=0 ~ 23) .....	202
15.2.2	DTC ブロックサイズレジスタ j (DTBLSj)(j=0 ~ 23) .....	202
15.2.3	DTC 転送回数レジスタ j (DTCCTj)(j=0 ~ 23) .....	202
15.2.4	DTC 転送回数リロードレジスタ j (DTRLDj)(j=0 ~ 23) .....	203
15.2.5	DTC ソースアドレスレジスタ j (DTSARj)(j=0 ~ 23) .....	203
15.2.6	DTC デスティネーションアドレスレジスタ j (DTDARj)(j=0 ~ 23) .....	203
15.2.7	DTC 起動許可レジスタ i (DTCENi)(i=0 ~ 3、5、6) .....	204
15.2.8	DTC 起動制御レジスタ (DTCTL) .....	205
15.3	動作説明 .....	206
15.3.1	概要 .....	206
15.3.2	起動要因 .....	206
15.3.3	コントロールデータの配置と DTC ベクタテーブル .....	208
15.3.4	ノーマルモード .....	213
15.3.5	リピートモード .....	214
15.3.6	チェーン転送 .....	215
15.3.7	割り込み要因 .....	215
15.3.8	動作タイミング .....	216
15.3.9	DTC 実行サイクル数 .....	217
15.3.10	DTC 起動要因受付と割り込み要因フラグ .....	218
15.4	DTC 使用上の注意 .....	220
15.4.1	DTC 起動要因 .....	220
15.4.2	DTCENi (i=0 ~ 3、5、6) レジスタ .....	220
15.4.3	周辺モジュール .....	220
15.4.4	割り込み要求 .....	220
16.	タイマ総論 .....	221
17.	タイマ RA .....	222
17.1	概要 .....	222
17.2	レジスタの説明 .....	223
17.2.1	タイマ RA 制御レジスタ (TRACR) .....	223
17.2.2	タイマ RA I/O 制御レジスタ (TRAIOC) .....	223
17.2.3	タイマ RA モードレジスタ (TRAMR) .....	224
17.2.4	タイマ RA プリスケアラレジスタ (TRAPRE) .....	224
17.2.5	タイマ RA レジスタ (TRA) .....	225
17.2.6	タイマ RA 端子選択レジスタ (TRASR) .....	225
17.3	タイマモード .....	226
17.3.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ タイマモード時 ] .....	226
17.3.2	カウント中のタイマ書き込み制御 .....	227
17.4	パルス出力モード .....	228
17.4.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ パルス出力モード時 ] .....	229
17.5	イベントカウンタモード .....	230
17.5.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ イベントカウンタモード時 ] .....	231
17.6	パルス幅測定モード .....	232
17.6.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ パルス幅測定モード時 ] .....	233
17.6.2	動作例 .....	234

17.7	パルス周期測定モード	235
17.7.1	タイマ RA I/O 制御レジスタ (TRAIOC)[ パルス周期測定モード時 ]	236
17.7.2	動作例	237
17.8	タイマ RA 使用上の注意	238
18.	タイマ RB	239
18.1	概要	239
18.2	レジスタの説明	240
18.2.1	タイマ RB 制御レジスタ (TRBCR)	240
18.2.2	タイマ RB ワンショット制御レジスタ (TRBOCR)	240
18.2.3	タイマ RB I/O 制御レジスタ (TRBIOC)	241
18.2.4	タイマ RB モードレジスタ (TRBMR)	241
18.2.5	タイマ RB プリスケアラレジスタ (TRBPRE)	242
18.2.6	タイマ RB セカンダリレジスタ (TRBSC)	242
18.2.7	タイマ RB プライマリレジスタ (TRBPR)	243
18.3	タイマモード	244
18.3.1	タイマ RB I/O 制御レジスタ (TRBIOC)[ タイマモード時 ]	244
18.3.2	カウント中のタイマ書き込み制御	245
18.4	プログラマブル波形発生モード	247
18.4.1	タイマ RB I/O 制御レジスタ (TRBIOC)[ プログラマブル波形発生モード時 ]	248
18.4.2	動作例	249
18.5	プログラマブルワンショット発生モード	250
18.5.1	タイマ RB I/O 制御レジスタ (TRBIOC)[ プログラマブルワンショット発生モード時 ]	251
18.5.2	動作例	252
18.5.3	ワンショットトリガ選択	253
18.6	プログラマブルウェイトワンショット発生モード	254
18.6.1	タイマ RB I/O 制御レジスタ (TRBIOC) [ プログラマブルウェイトワンショット発生モード時 ]	255
18.6.2	動作例	256
18.7	タイマ RB 使用上の注意	257
18.7.1	タイマモード	257
18.7.2	プログラマブル波形発生モード	257
18.7.3	プログラマブルワンショット発生モード	258
18.7.4	プログラマブルウェイトワンショット発生モード	258
19.	タイマ RC	259
19.1	概要	259
19.2	レジスタの説明	261
19.2.1	モジュールスタンバイ制御レジスタ (MSTCR)	262
19.2.2	タイマ RC モードレジスタ (TRCMR)	263
19.2.3	タイマ RC 制御レジスタ 1 (TRCCR1)	264
19.2.4	タイマ RC 割り込み許可レジスタ (TRCIER)	264
19.2.5	タイマ RC ステータスレジスタ (TRCSR)	265
19.2.6	タイマ RC I/O 制御レジスタ 0 (TRCIOR0)	266
19.2.7	タイマ RC I/O 制御レジスタ 1 (TRCIOR1)	266
19.2.8	タイマ RC カウンタ (TRC)	267
19.2.9	タイマ RC ジェネラルレジスタ A、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)	267
19.2.10	タイマ RC 制御レジスタ 2 (TRCCR2)	268

19.2.11	タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF).....	269
19.2.12	タイマ RC アウトプットマスタ許可レジスタ (TRCOER).....	270
19.2.13	タイマ RC トリガ制御レジスタ (TRCADCR).....	270
19.2.14	タイマ RC 端子選択レジスタ (TRBRCR).....	271
19.2.15	タイマ RC 端子選択レジスタ 0 (TRCPSR0).....	272
19.2.16	タイマ RC 端子選択レジスタ 1 (TRCPSR1).....	273
19.3	複数モードに関わる共通事項.....	274
19.3.1	カウントソース.....	274
19.3.2	バッファ動作.....	275
19.3.3	デジタルフィルタ.....	277
19.3.4	パルス出力強制遮断.....	278
19.4	タイマモード (インプットキャプチャ機能).....	280
19.4.1	タイマ RC I/O 制御レジスタ 0 (TRCIOR0) [ タイマモード (インプットキャプチャ機能) 時 ].....	282
19.4.2	タイマ RC I/O 制御レジスタ 1 (TRCIOR1) [ タイマモード (インプットキャプチャ機能) 時 ].....	283
19.4.3	動作例.....	284
19.5	タイマモード (アウトプットコンペア機能).....	285
19.5.1	タイマ RC 制御レジスタ 1 (TRCCR1) [ タイマモード (アウトプットコンペア機能) 時 ]...	287
19.5.2	タイマ RC I/O 制御レジスタ 0 (TRCIOR0) [ タイマモード (アウトプットコンペア機能) 時 ].....	288
19.5.3	タイマ RC I/O 制御レジスタ 1 (TRCIOR1) [ タイマモード (アウトプットコンペア機能) 時 ].....	289
19.5.4	タイマ RC 制御レジスタ 2 (TRCCR2) [ タイマモード (アウトプットコンペア機能) 時 ]...	290
19.5.5	動作例.....	291
19.5.6	TRCGRC、TRCGRD レジスタの出力端子変更.....	292
19.6	PWM モード.....	294
19.6.1	タイマ RC 制御レジスタ 1 (TRCCR1)[PWM モード時].....	296
19.6.2	タイマ RC 制御レジスタ 2 (TRCCR2)[PWM モード時].....	297
19.6.3	動作例.....	298
19.7	PWM2 モード.....	300
19.7.1	タイマ RC 制御レジスタ 1 (TRCCR1)[PWM2 モード時].....	302
19.7.2	タイマ RC 制御レジスタ 2 (TRCCR2)[PWM2 モード時].....	303
19.7.3	タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2 モード時].....	304
19.7.4	動作例.....	305
19.8	タイマ RC 割り込み.....	308
19.9	タイマ RC 使用上の注意.....	309
19.9.1	TRC レジスタ.....	309
19.9.2	TRCSR レジスタ.....	309
19.9.3	TRCCR1 レジスタ.....	309
19.9.4	カウントソース切り替え.....	309
19.9.5	インプットキャプチャ機能.....	310
19.9.6	PWM2 モード時の TRCMR レジスタ.....	310
19.9.7	カウントソース fOCO40M.....	310
20.	タイマ RF.....	311
20.1	概要.....	311
20.2	レジスタの説明.....	313
20.2.1	タイマ RF レジスタ (TRF).....	313

20.2.2	キャプチャ、コンペア 0 レジスタ (TRFM0).....	313
20.2.3	コンペア 1 レジスタ (TRFM1).....	314
20.2.4	タイマ RF 制御レジスタ 0 (TRFCR0).....	314
20.2.5	タイマ RF 制御レジスタ 1 (TRFCR1).....	315
20.2.6	タイマ RF 出力制御レジスタ (TRFOUT).....	315
20.2.7	タイマ端子選択レジスタ (TIMSR).....	316
20.3	インプットキャプチャモード.....	317
20.3.1	デジタルフィルタ.....	319
20.4	アウトプットコンペアモード.....	320
20.5	タイマ RF 使用上の注意.....	323
21.	シリアルインタフェース (UARTi (i=0、1、3)).....	324
21.1	概要.....	324
21.2	レジスタの説明.....	326
21.2.1	UARTi 送受信モードレジスタ (UiMR)(i=0、1、3).....	326
21.2.2	UARTi ビットレートレジスタ (UiBRG)(i=0、1、3).....	326
21.2.3	UARTi 送信バッファレジスタ (UiTB)(i=0、1、3).....	327
21.2.4	UARTi 送受信制御レジスタ 0 (UiC0)(i=0、1、3).....	328
21.2.5	UARTi 送受信制御レジスタ 1 (UiC1)(i=0、1、3).....	328
21.2.6	UARTi 受信バッファレジスタ (UiRB)(i=0、1、3).....	329
21.2.7	UART0 端子選択レジスタ (U0SR).....	330
21.2.8	UART1 端子選択レジスタ (U1SR).....	330
21.2.9	UART3 端子選択レジスタ (U3SR).....	331
21.3	クロック同期形シリアル I/O モード.....	332
21.3.1	通信エラー発生時の対処方法.....	336
21.3.2	極性選択機能.....	337
21.3.3	LSB ファースト、MSB ファースト選択.....	337
21.3.4	連続受信モード.....	338
21.4	クロック非同期形シリアル I/O(UART) モード.....	339
21.4.1	ビットレート.....	344
21.4.2	通信エラー発生時の対処方法.....	345
21.5	シリアルインタフェース (UARTi (i=0、1、3)) 使用上の注意.....	346
22.	シリアルインタフェース (UART2).....	347
22.1	概要.....	347
22.2	レジスタの説明.....	349
22.2.1	UART2 送受信モードレジスタ (U2MR).....	349
22.2.2	UART2 ビットレートレジスタ (U2BRG).....	349
22.2.3	UART2 送信バッファレジスタ (U2TB).....	350
22.2.4	UART2 送受信制御レジスタ 0 (U2C0).....	351
22.2.5	UART2 送受信制御レジスタ 1 (U2C1).....	352
22.2.6	UART2 受信バッファレジスタ (U2RB).....	353
22.2.7	UART2 デジタルフィルタ機能選択レジスタ (URXDF).....	354
22.2.8	UART2 特殊モードレジスタ 5 (U2SMR5).....	354
22.2.9	UART2 特殊モードレジスタ 3 (U2SMR3).....	355
22.2.10	UART2 端子選択レジスタ 0 (U2SR0).....	355
22.2.11	UART2 端子選択レジスタ 1 (U2SR1).....	356
22.3	クロック同期形シリアル I/O モード.....	357
22.3.1	通信エラー発生時の対処方法.....	361



22.3.2	CLK 極性選択 .....	361
22.3.3	LSB ファースト、MSB ファースト選択.....	362
22.3.4	連続受信モード .....	362
22.3.5	シリアルデータ論理切り替え .....	363
22.3.6	CTS/RTS 機能.....	363
22.4	クロック非同期形シリアル I/O(UART) モード .....	364
22.4.1	ビットレート .....	368
22.4.2	通信エラー発生時の対処方法 .....	369
22.4.3	LSB ファースト、MSB ファースト選択.....	369
22.4.4	シリアルデータ論理切り替え .....	370
22.4.5	TXD、RXD 入出力極性切り替え機能.....	370
22.4.6	CTS/RTS 機能.....	371
22.4.7	RXD2 デジタルフィルタ選択機能.....	371
22.5	マルチプロセッサ通信機能.....	372
22.5.1	マルチプロセッサ送信 .....	375
22.5.2	マルチプロセッサ受信 .....	376
22.5.3	RXD2 デジタルフィルタ選択機能.....	378
22.6	シリアルインタフェース (UART2) 使用上の注意 .....	379
22.6.1	クロック同期形シリアル I/O モード .....	379
23.	クロック同期形シリアルインタフェース.....	380
23.1	モード選択.....	380
24.	シンクロナスシリアルコミュニケーションユニット (SSU) .....	381
24.1	概要.....	381
24.2	レジスタの説明.....	383
24.2.1	モジュールスタンバイ制御レジスタ (MSTCR) .....	383
24.2.2	SSU/IIC 端子選択レジスタ (SSUICSR) .....	383
24.2.3	SS ビットカウンタレジスタ (SSBR).....	384
24.2.4	SS 送信データレジスタ (SSTDR).....	384
24.2.5	SS 受信データレジスタ (SSRDR).....	385
24.2.6	SS 制御レジスタ H (SSCRH).....	385
24.2.7	SS 制御レジスタ L (SSCRL).....	386
24.2.8	SS モードレジスタ (SSMR).....	387
24.2.9	SS 許可レジスタ (SSER).....	388
24.2.10	SS ステータスレジスタ (SSSR).....	389
24.2.11	SS モードレジスタ 2 (SSMR2).....	390
24.3	複数モードに関わる共通事項 .....	391
24.3.1	転送クロック .....	391
24.3.2	SS シフトレジスタ (SSTRSR).....	393
24.3.3	割り込み要求 .....	394
24.3.4	各通信モードと端子機能 .....	395
24.4	クロック同期式通信モード .....	396
24.4.1	クロック同期式通信モードの初期化 .....	396
24.4.2	データ送信 .....	397
24.4.3	データ受信 .....	399
24.5	4 線式バス通信モード .....	403
24.5.1	4 線式バス通信モードの初期化 .....	404
24.5.2	データ送信 .....	405

24.5.3	データ受信 .....	407
24.5.4	SCS 端子制御とアービトレーション .....	409
24.6	シンクロナスシリアルコミュニケーションユニット使用上の注意 .....	410
25.	I <sup>2</sup> C バスインタフェース .....	411
25.1	概要 .....	411
25.2	レジスタの説明 .....	414
25.2.1	モジュールスタンバイ制御レジスタ (MSTCR) .....	414
25.2.2	SSU/IIC 端子選択レジスタ (SSUICSR) .....	414
25.2.3	入出力機能端子選択レジスタ (PINSR) .....	415
25.2.4	IIC バス送信データレジスタ (ICDRT) .....	416
25.2.5	IIC バス受信データレジスタ (ICDRR) .....	416
25.2.6	IIC バス制御レジスタ 1 (ICCR1) .....	417
25.2.7	IIC バス制御レジスタ 2 (ICCR2) .....	418
25.2.8	IIC バスモードレジスタ (ICMR) .....	419
25.2.9	IIC バス割り込み許可レジスタ (ICIER) .....	420
25.2.10	IIC バスステータスレジスタ (ICSR) .....	421
25.2.11	スレーブアドレスレジスタ (SAR) .....	422
25.2.12	IIC バスシフトレジスタ (ICDRS) .....	422
25.3	複数モードに関わる共通事項 .....	423
25.3.1	転送クロック .....	423
25.3.2	SDA 端子デジタル遅延選択 .....	425
25.3.3	割り込み要求 .....	426
25.4	I <sup>2</sup> C バスインタフェースモード .....	427
25.4.1	I <sup>2</sup> C バスフォーマット .....	427
25.4.2	マスタ送信動作 .....	428
25.4.3	マスタ受信動作 .....	430
25.4.4	スレーブ送信動作 .....	433
25.4.5	スレーブ受信動作 .....	436
25.5	クロック同期式シリアルモード .....	438
25.5.1	クロック同期式シリアルフォーマット .....	438
25.5.2	送信動作 .....	439
25.5.3	受信動作 .....	440
25.6	レジスタ設定例 .....	441
25.7	ノイズ除去回路 .....	445
25.8	ビット同期回路 .....	446
25.9	I <sup>2</sup> C バスインタフェース使用上の注意 .....	447
25.9.1	マスタ受信モード .....	447
25.9.2	ICCR1 レジスタの ICE ビットおよび ICCR2 レジスタの IICRST ビット .....	447
26.	ハードウェア LIN .....	449
26.1	概要 .....	449
26.2	入出力端子 .....	450
26.3	レジスタの説明 .....	451
26.3.1	LIN コントロールレジスタ 2 (LINCR2) .....	451
26.3.2	LIN コントロールレジスタ (LINCR) .....	452
26.3.3	LIN ステータスレジスタ (LINST) .....	452
26.4	動作説明 .....	453
26.4.1	マスタモード .....	453

26.4.2	スレーブモード .....	456
26.4.3	バス衝突検出機能 .....	460
26.4.4	ハードウェア LIN 終了処理 .....	461
26.5	割り込み要求 .....	462
26.6	ハードウェア LIN 使用上の注意 .....	463
27.	USB2.0 ホスト / ファンクションモジュール (USB) .....	464
27.1	概要 .....	464
27.2	レジスタの説明 .....	466
27.2.1	システムコンフィギュレーションコントロールレジスタ (SYSCFG) .....	467
27.2.2	システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0) .....	469
27.2.3	デバイスステートコントロールレジスタ 0 (DVSTCTR0) .....	470
27.2.4	CFIFO ポートレジスタ (CFIFO) .....	473
27.2.5	CFIFO ポート選択レジスタ (CFIFOSEL) .....	474
27.2.6	CFIFO ポートコントロールレジスタ (CFIFOCTR) .....	476
27.2.7	割り込み許可レジスタ 0 (INTENB0) .....	478
27.2.8	割り込み許可レジスタ 1 (INTENB1) .....	480
27.2.9	BRDY 割り込み許可レジスタ (BRDYENB) .....	482
27.2.10	NRDY 割り込み許可レジスタ (NRDYENB) .....	483
27.2.11	BEMP 割り込み許可レジスタ (BEMPENB) .....	484
27.2.12	SOF 出力コンフィギュレーションレジスタ (SOFCFG) .....	485
27.2.13	割り込みステータスレジスタ 0 (INTSTS0) .....	486
27.2.14	割り込みステータスレジスタ 1 (INTSTS1) .....	489
27.2.15	BRDY 割り込みステータスレジスタ (BRDYSTS) .....	492
27.2.16	NRDY 割り込みステータスレジスタ (NRDYSTS) .....	493
27.2.17	BEMP 割り込みステータスレジスタ (BEMPSTS) .....	494
27.2.18	フレームナンバーレジスタ (FRMNUM) .....	495
27.2.19	USB アドレスレジスタ (USBADDR) .....	496
27.2.20	USB リクエストタイプレジスタ (USBREQ) .....	497
27.2.21	USB リクエストバリューレジスタ (USBVAL) .....	498
27.2.22	USB リクエストインデックスレジスタ (USBINDX) .....	499
27.2.23	USB リクエストレングスレジスタ (USBLENG) .....	500
27.2.24	DCP コンフィギュレーションレジスタ (DCPCFG) .....	501
27.2.25	DCP マックスパケットサイズレジスタ (DCPMAXP) .....	502
27.2.26	DCP コントロールレジスタ (DCPCTR) .....	503
27.2.27	パイプウィンドウ選択レジスタ (PIPESEL) .....	507
27.2.28	パイプコンフィギュレーションレジスタ (PIPECFG) .....	508
27.2.29	パイプマックスパケットサイズレジスタ (PIPEMAXP) .....	510
27.2.30	パイプ周期制御レジスタ (PIPEPERI) .....	511
27.2.31	パイプ n コントロールレジスタ (PIPE <sub>n</sub> CTR) (n = 4 ~ 7) .....	512
27.2.32	パイプ n トランザクションカウンタインネーブルレジスタ (PIPE <sub>n</sub> TRE) (n = 4 ~ 5) .....	520
27.2.33	パイプ n トランザクションカウンタレジスタ (PIPE <sub>n</sub> TRN) (n = 4 ~ 5) .....	521
27.2.34	デバイスアドレス n コンフィギュレーションレジスタ (DEVADD <sub>n</sub> ) (n = 0 ~ 5) .....	522
27.2.35	USB モジュール制御レジスタ (USBMC) .....	523
27.3	動作説明 .....	524
27.3.1	システム制御 .....	524
27.3.2	割り込み要因 .....	529
27.3.3	割り込みの説明 .....	532
27.3.4	パイプコントロール .....	543

27.3.5	FIFO バッファメモリ .....	548
27.3.6	コントロール転送 (DCP).....	551
27.3.7	バルク転送 (パイプ 4 ~ 5).....	553
27.3.8	インタラプト転送 (パイプ 6 ~ 7).....	553
27.3.9	SOF 補間機能 .....	554
27.3.10	パイプスケジュール .....	555
27.3.11	USB 用内部電源、USB_VCC 端子.....	556
28.	A/D コンバータ .....	557
28.1	概要.....	557
28.2	レジスタの説明.....	559
28.2.1	チップ内蔵基準電圧制御レジスタ (OCVREFCR).....	559
28.2.2	A/D レジスタ i (ADi)(i=0 ~ 7).....	560
28.2.3	A/D モードレジスタ (ADM0D).....	561
28.2.4	A/D 入力選択レジスタ (ADINSEL).....	562
28.2.5	A/D 制御レジスタ 0 (ADCON0).....	563
28.2.6	A/D 制御レジスタ 1 (ADCON1).....	564
28.3	複数モードに関わる共通事項.....	565
28.3.1	入出力端子 .....	565
28.3.2	A/D 変換サイクル数.....	565
28.3.3	A/D 変換開始条件.....	567
28.3.4	A/D 変換結果.....	569
28.3.5	消費電流低減機能 .....	569
28.3.6	チップ内蔵基準電圧 (OCVREF).....	569
28.3.7	A/D 断線検出アシスト機能.....	569
28.4	単発モード .....	571
28.5	繰り返しモード 0.....	572
28.6	繰り返しモード 1.....	573
28.7	単掃引モード .....	575
28.8	繰り返し掃引モード .....	577
28.9	A/D 変換時のセンサの出力インピーダンス .....	579
28.10	A/D コンバータ使用上の注意 .....	580
29.	コンパレータ B.....	581
29.1	概要.....	581
29.2	レジスタの説明.....	583
29.2.1	コンパレータ B 制御レジスタ 0 (INTCMP).....	583
29.2.2	外部入力許可レジスタ 0 (INTEN).....	583
29.2.3	INT 入力フィルタ選択レジスタ 0 (INTF) .....	584
29.3	動作説明 .....	585
29.3.1	コンパレータ Bi デジタルフィルタ (i=1、3).....	586
29.4	コンパレータ B1、コンパレータ B3 割り込み.....	587
30.	フラッシュメモリ .....	588
30.1	概要.....	588
30.2	メモリ配置.....	589
30.3	フラッシュメモリ書き換え禁止機能.....	591
30.3.1	ID コードチェック機能 .....	591
30.3.2	ROM コードプロテクト機能 .....	592

30.3.3	オプション機能選択レジスタ (OFS) .....	592
30.4	CPU 書き換えモード .....	593
30.4.1	フラッシュメモリステータスレジスタ (FST).....	594
30.4.2	フラッシュメモリ制御レジスタ 0 (FMR0) .....	597
30.4.3	フラッシュメモリ制御レジスタ 1 (FMR1) .....	600
30.4.4	フラッシュメモリ制御レジスタ 2 (FMR2) .....	602
30.4.5	EW0 モード .....	604
30.4.6	EW1 モード .....	604
30.4.7	サスペンド動作 .....	605
30.4.8	各モードの設定と解除方法 .....	606
30.4.9	BGO(バックグラウンドオペレーション) 機能 .....	607
30.4.10	データ保護機能 .....	608
30.4.11	ソフトウェアコマンド .....	609
30.4.12	フルステータスチェック .....	619
30.5	標準シリアル入出力モード .....	621
30.5.1	ID コードチェック機能 .....	621
30.6	パラレル入出力モード .....	624
30.6.1	ROM コードプロテクト機能 .....	624
30.7	フラッシュメモリ使用上の注意 .....	625
30.7.1	CPU 書き換えモード .....	625
31.	消費電力の低減 .....	629
31.1	概要 .....	629
31.2	消費電力を小さくするためのポイントと処理方法 .....	629
31.2.1	電圧検出回路 .....	629
31.2.2	ポート .....	629
31.2.3	クロック .....	629
31.2.4	ウェイトモード、ストップモード .....	629
31.2.5	周辺機能クロックの停止 .....	629
31.2.6	タイマ .....	630
31.2.7	A/D コンバータ .....	630
31.2.8	クロック同期形シリアルインタフェース .....	630
31.2.9	内部電源の消費電力低減 .....	630
31.2.10	フラッシュメモリの停止 .....	632
31.2.11	低消費電流リードモード .....	633
32.	電気的特性 .....	634
32.1	R8C/34U グループ .....	634
32.2	R8C/34K グループ .....	662
33.	使用上の注意事項 .....	690
33.1	クロック発生回路使用上の注意 .....	690
33.1.1	ストップモード .....	690
33.1.2	ウェイトモード .....	691
33.1.3	発振停止検出機能 .....	691
33.1.4	発振回路定数 .....	691
33.2	割り込み使用上の注意 .....	692
33.2.1	00000h 番地の読み出し .....	692
33.2.2	SP の設定 .....	692

33.2.3	外部割り込み、キー入力割り込み .....	692
33.2.4	割り込み要因の変更 .....	693
33.2.5	割り込み制御レジスタの変更 .....	694
33.3	ID コード領域使用上の注意 .....	695
33.3.1	ID コード領域の設定例 .....	695
33.4	オプション機能選択領域使用上の注意 .....	695
33.4.1	オプション機能選択領域の設定例 .....	695
33.5	DTC 使用上の注意 .....	696
33.5.1	DTC 起動要因 .....	696
33.5.2	DTCENi (i=0 ~ 3、5、6) レジスタ .....	696
33.5.3	周辺モジュール .....	696
33.5.4	割り込み要求 .....	696
33.6	タイマ RA 使用上の注意 .....	697
33.7	タイマ RB 使用上の注意 .....	698
33.7.1	タイマモード .....	698
33.7.2	プログラマブル波形発生モード .....	698
33.7.3	プログラマブルワンショット発生モード .....	699
33.7.4	プログラマブルウェイトワンショット発生モード .....	699
33.8	タイマ RC 使用上の注意 .....	700
33.8.1	TRC レジスタ .....	700
33.8.2	TRCSR レジスタ .....	700
33.8.3	TRCCR1 レジスタ .....	700
33.8.4	カウントソース切り替え .....	700
33.8.5	インプットキャプチャ機能 .....	701
33.8.6	PWM2 モード時の TRCMR レジスタ .....	701
33.8.7	カウントソース fOCO40M .....	701
33.9	タイマ RF 使用上の注意 .....	701
33.10	シリアルインタフェース (UARTi (i=0、1、3)) 使用上の注意 .....	702
33.11	シリアルインタフェース (UART2) 使用上の注意 .....	703
33.11.1	クロック同期形シリアル I/O モード .....	703
33.12	シンクロナスシリアルコミュニケーションユニット使用上の注意 .....	704
33.13	I <sup>2</sup> C バスインタフェース使用上の注意 .....	704
33.13.1	マスタ受信モード .....	704
33.13.2	ICCR1 レジスタの ICE ビットおよび ICCR2 レジスタの IICRST ビット .....	704
33.14	ハードウェア LIN 使用上の注意 .....	705
33.15	A/D コンバータ使用上の注意 .....	705
33.16	フラッシュメモリ使用上の注意 .....	706
33.16.1	CPU 書き換えモード .....	706
33.17	ノイズに関する注意 .....	710
33.17.1	ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ 挿入 .....	710
33.17.2	ポート制御レジスタのノイズ誤動作対策 .....	710
33.18	電源電圧の変動に関する注意事項 .....	710

34. オンチップデバッガの注意事項 .....	711
35. エミュレータデバッガの注意事項.....	712
付録 1. 外形寸法図.....	713
付録 2. シリアルライターとオンチップデバッグエミュレータとの接続例.....	714
付録 3. 発振評価回路例 .....	716
索引 .....	717

# 番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	37
0005h	プロセッサモードレジスタ1	PM1	193
0006h	システムクロック制御レジスタ0	CM0	119
0007h	システムクロック制御レジスタ1	CM1	120
0008h	モジュールスタンバイ制御レジスタ	MSTCR	262、383、414
0009h	システムクロック制御レジスタ3	CM3	121
000Ah	プロテクトレジスタ	PRCR	152
000Bh	リセット要因判別レジスタ	RSTFR	37
000Ch	発振停止検出レジスタ	OCN	123
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	193
000Eh	ウォッチドッグタイムスタートレジスタ	WDTS	193
000Fh	ウォッチドッグタイム制御レジスタ	WDTC	194
0010h			
0011h			
0012h			
0013h			
0014h			
0015h	高速オンチップオシレータ制御レジスタ7	FRA7	123
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	194
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	124
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	124
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	125
0026h	チップ内部基準電圧制御レジスタ	OCVREFCR	559
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	125
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	126
002Ah	高速オンチップオシレータ制御レジスタ5	FRA5	126
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	127
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ制御レジスタ3	FRA3	127
0030h	電圧監視回路制御レジスタ	CMPA	50
0031h	電圧監視回路エッジ選択レジスタ	VCAC	51
0032h			
0033h	電圧検出レジスタ1	VCA1	51
0034h	電圧検出レジスタ2	VCA2	52、128
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	53
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	54
0039h	電圧監視1回路制御レジスタ	VW1C	55
003Ah	電圧監視2回路制御レジスタ	VW2C	56
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	160
0042h			
0043h			
0044h			
0045h			
0046h	INT4割り込み制御レジスタ	INT4IC	161
0047h	タイマRC割り込み制御レジスタ	TRCIC	160
0048h			
0049h	USB RESUME 割り込み制御レジスタ	USBRSMIC	159
004Ah			
004Bh	UART2送信割り込み制御レジスタ	S2TIC	159
004Ch	UART2受信割り込み制御レジスタ	S2RIC	159
004Dh	キー入力割り込み制御レジスタ	KUPIC	159
004Eh	A/D変換割り込み制御レジスタ	ADIC	159
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ	SSUIC/IICIC	160
0050h	タイマRFコンペア1割り込み制御レジスタ	CMP1IC	159
0051h	UART0送信割り込み制御レジスタ	S0TIC	159
0052h	UART0受信割り込み制御レジスタ	S0RIC	159
0053h	UART1送信割り込み制御レジスタ	S1TIC	159
0054h	UART1受信割り込み制御レジスタ	S1RIC	159
0055h	INT2割り込み制御レジスタ	INT2IC	161
0056h	タイマRA割り込み制御レジスタ	TRAIC	159
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	159
0059h	INT1割り込み制御レジスタ	INT1IC	161
005Ah	INT3割り込み制御レジスタ	INT3IC	161
005Bh	タイマRF割り込み制御レジスタ	TRFIC	159
005Ch	タイマRFコンペア0割り込み制御レジスタ	CMP0IC	159
005Dh	INT0割り込み制御レジスタ	INT0IC	161
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	159
005Fh	タイマRFキャプチャ割り込み制御レジスタ	CAPIC	159
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh	USB INT割り込み制御レジスタ	USBINTIC	159
006Ch	UART3受信割り込み制御レジスタ	S3RIC	159
006Dh	UART3送信割り込み制御レジスタ	S3TIC	159
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	159
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	159
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。



番地	レジスタ	シンボル	掲載 ページ
0080h	DTC起動制御レジスタ	DTCTL	205
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	204
0089h	DTC起動許可レジスタ1	DTCEN1	204
008Ah	DTC起動許可レジスタ2	DTCEN2	204
008Bh	DTC起動許可レジスタ3	DTCEN3	204
008Ch			
008Dh	DTC起動許可レジスタ5	DTCEN5	204
008Eh	DTC起動許可レジスタ6	DTCEN6	204
008Fh			
0090h	タイマRFレジスタ	TRF	313
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah	タイマRF制御レジスタ0	TRFCR0	314
009Bh	タイマRF制御レジスタ1	TRFCR1	315
009Ch	キャプチャ、コンペア0レジスタ	TRFM0	313
009Dh			
009Eh	コンペア1レジスタ	TRFM1	314
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	326
00A1h	UART0ビットレートレジスタ	U0BRG	326
00A2h	UART0送信バッファレジスタ	U0TB	327
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	328
00A5h	UART0送受信制御レジスタ1	U0C1	328
00A6h	UART0受信バッファレジスタ	U0RB	329
00A7h			
00A8h	UART2送受信モードレジスタ	U2MR	349
00A9h	UART2ビットレートレジスタ	U2BRG	349
00AAh	UART2送信バッファレジスタ	U2TB	350
00ABh			
00ACh	UART2送受信制御レジスタ0	U2C0	351
00ADh	UART2送受信制御レジスタ1	U2C1	352
00AEh	UART2受信バッファレジスタ	U2RB	353
00AFh			
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	354
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	354
00BCh			
00BDh	UART2特殊モードレジスタ3	U2SMR3	355
00BEh			
00BFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
00C0h	A/Dレジスタ0	AD0	560
00C1h			
00C2h	A/Dレジスタ1	AD1	560
00C3h			
00C4h	A/Dレジスタ2	AD2	560
00C5h			
00C6h	A/Dレジスタ3	AD3	560
00C7h			
00C8h	A/Dレジスタ4	AD4	560
00C9h			
00CAh	A/Dレジスタ5	AD5	560
00CBh			
00CCh	A/Dレジスタ6	AD6	560
00CDh			
00CEh	A/Dレジスタ7	AD7	560
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/Dモードレジスタ	ADMOD	561
00D5h	A/D入力選択レジスタ	ADINSEL	562
00D6h	A/D制御レジスタ0	ADCON0	563
00D7h	A/D制御レジスタ1	ADCON1	564
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	81
00E1h	ポートP1レジスタ	P1	81
00E2h	ポートP0方向レジスタ	PD0	80
00E3h	ポートP1方向レジスタ	PD1	80
00E4h			
00E5h	ポートP3レジスタ	P3	81
00E6h			
00E7h	ポートP3方向レジスタ	PD3	80
00E8h	ポートP4レジスタ	P4	81
00E9h			
00EAh	ポートP4方向レジスタ	PD4	80
00EBh			
00ECh	ポートP6レジスタ	P6	81
00EDh	ポートP7レジスタ	P7	81
00EEh	ポートP6方向レジスタ	PD6	80
00EFh	ポートP7方向レジスタ	PD7	80
00F0h	ポートP8レジスタ	P8	81
00F1h			
00F2h	ポートP8方向レジスタ	PD8	80
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

番地	レジスタ	シンボル	掲載ページ
0100h	タイマRA制御レジスタ	TRACR	223
0101h	タイマRA I/O制御レジスタ	TRAIOC	223、226、229、231、233、236
0102h	タイマRAモードレジスタ	TRAMR	224
0103h	タイマRAプリスケアラレジスタ	TRAPRE	224
0104h	タイマRAレジスタ	TRA	225
0105h	LINコントロールレジスタ2	LINCR2	451
0106h	LINコントロールレジスタ	LINCR	452
0107h	LINステータスレジスタ	LINST	452
0108h	タイマRB制御レジスタ	TRBCR	240
0109h	タイマRBワンショット制御レジスタ	TRBOCR	240
010Ah	タイマRB I/O制御レジスタ	TRBIOC	241、244、248、251、255
010Bh	タイマRBモードレジスタ	TRBMR	241
010Ch	タイマRBプリスケアラレジスタ	TRBPPE	242
010Dh	タイマRBセカンダリレジスタ	TRBSC	242
010Eh	タイマRBプライマリレジスタ	TRBPR	243
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h			
0119h			
011Ah			
011Bh			
011Ch			
011Dh			
011Eh			
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	263
0121h	タイマRC制御レジスタ1	TRCCR1	264、287、296、302
0122h	タイマRC割り込み許可レジスタ	TRCIER	264
0123h	タイマRCステータスレジスタ	TRCSR	265
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	266、282、288
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	266、283、289
0126h	タイマRCカウンタ	TRC	267
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	267
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	267
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	267
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	267
012Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0130h	タイマRC制御レジスタ2	TRCCR2	268、290、297、303
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	269、304
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	270
0133h	タイマRCトリガ制御レジスタ	TRCADCR	270
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			

番地	レジスタ	シンボル	掲載ページ
0160h	UART1送受信モードレジスタ	U1MR	326
0161h	UART1ビットレートレジスタ	U1BRG	326
0162h	UART1送信バッファレジスタ	U1TB	327
0163h			
0164h	UART1送受信制御レジスタ0	U1C0	328
0165h	UART1送受信制御レジスタ1	U1C1	328
0166h	UART1受信バッファレジスタ	U1RB	329
0167h			
0168h	UART3送受信モードレジスタ	U3MR	326
0169h	UART3ビットレートレジスタ	U3BRG	326
016Ah	UART3送信バッファレジスタ	U3TB	327
016Bh			
016Ch	UART3送受信制御レジスタ0	U3C0	328
016Dh	UART3送受信制御レジスタ1	U3C1	328
016Eh	UART3受信バッファレジスタ	U3RB	329
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h	タイマRA端子選択レジスタ	TRASR	82, 225
0181h	タイマRC端子選択レジスタ	TRBRCR	83, 271
0182h	タイマRC端子選択レジスタ0	TRCPSR0	84, 272
0183h	タイマRC端子選択レジスタ1	TRCPSR1	85, 273
0184h			
0185h			
0186h	タイマ端子選択レジスタ	TIMSR	86, 316
0187h	タイマRF出力制御レジスタ	TRFOUT	86, 315
0188h	UART0端子選択レジスタ	U0SR	87, 330
0189h	UART1端子選択レジスタ	U1SR	87, 330
018Ah	UART2端子選択レジスタ0	U2SR0	88, 355
018Bh	UART2端子選択レジスタ1	U2SR1	89, 356
018Ch	SSU/IIC端子選択レジスタ	SSUICSR	89, 383, 414
018Dh			
018Eh	INT割り込み入力端子選択レジスタ	INTSR	90, 170
018Fh	入出力機能端子選択レジスタ	PINSR	91, 129, 415

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	384
0194h	SS送信データレジスタL/IICバス送信データレジスタ	SSTDR/ICDRT	384, 416
0195h	SS送信データレジスタH	SSTDRH	
0196h	SS受信データレジスタL/IICバス受信データレジスタ	SSRDR/ICDRR	385, 416
0197h	SS受信データレジスタH	SSRDRH	
0198h	SS制御レジスタH/IICバス制御レジスタ1	SSCRH/ICCR1	385, 417
0199h	SS制御レジスタL/IICバス制御レジスタ2	SSCLR/ICCR2	386, 418
019Ah	SSモードレジスタ/IICバスモードレジスタ	SSMR/ICMR	387, 419
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ	SSER/ICIER	388, 420
019Ch	SSステータスレジスタ/IICバスステータスレジスタ	SSSR/ICSR	389, 421
019Dh	SSモードレジスタ2/スレーブアドレスレジスタ	SSMR2/SAR	390, 422
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	594
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	597
01B5h	フラッシュメモリ制御レジスタ1	FMR1	600
01B6h	フラッシュメモリ制御レジスタ2	FMR2	602
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

番地	レジスタ	シンボル	掲載ページ
01C0h	アドレス一致割り込みレジスタ0	RMAD0	177
01C1h			
01C2h			
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	177
01C4h			
01C5h			
01C6h	アドレス一致割り込みレジスタ1	RMAD1	177
01C7h			
01C8h			
01C9h	アドレス一致割り込み許可レジスタ1	AIER1	177
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	ブルアップ制御レジスタ0	PUR0	92
01E1h	ブルアップ制御レジスタ1	PUR1	92
01E2h	ブルアップ制御レジスタ2	PUR2	93
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	ポートP1 駆動能力制御レジスタ	P1DRR	94
01F1h			
01F2h	駆動能力制御レジスタ0	DRR0	95
01F3h	駆動能力制御レジスタ1	DRR1	96
01F4h	駆動能力制御レジスタ2	DRR2	97
01F5h	入力しきい値制御レジスタ0	VLT0	98
01F6h	入力しきい値制御レジスタ1	VLT1	99
01F7h	入力しきい値制御レジスタ2	VLT2	100
01F8h	コンパレータB制御レジスタ0	INTCMP	583
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	171、583
01FBh	外部入力許可レジスタ1	INTEN1	171
01FCh	INT入力フィルタ選択レジスタ0	INTF	172、584
01FDh	INT入力フィルタ選択レジスタ1	INTF1	172
01FEh	キー入力許可レジスタ0	KIEN	175
01FFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2C00h	DTC転送ベクタ領域		
2C01h	DTC転送ベクタ領域		
2C02h	DTC転送ベクタ領域		
2C03h	DTC転送ベクタ領域		
2C04h	DTC転送ベクタ領域		
2C05h	DTC転送ベクタ領域		
2C06h	DTC転送ベクタ領域		
2C07h	DTC転送ベクタ領域		
2C08h	DTC転送ベクタ領域		
2C09h	DTC転送ベクタ領域		
2C0Ah	DTC転送ベクタ領域		
	: DTC転送ベクタ領域		
	: DTC転送ベクタ領域		
2C3Ah	DTC転送ベクタ領域		
2C3Bh	DTC転送ベクタ領域		
2C3Ch	DTC転送ベクタ領域		
2C3Dh	DTC転送ベクタ領域		
2C3Eh	DTC転送ベクタ領域		
2C3Fh	DTC転送ベクタ領域		
2C40h	DTCコントロールデータ0	DTCD0	
2C41h			
2C42h			
2C43h			
2C44h			
2C45h			
2C46h			
2C47h			
2C48h	DTCコントロールデータ1	DTCD1	
2C49h			
2C4Ah			
2C4Bh			
2C4Ch			
2C4Dh			
2C4Eh			
2C4Fh			
2C50h	DTCコントロールデータ2	DTCD2	
2C51h			
2C52h			
2C53h			
2C54h			
2C55h			
2C56h			
2C57h			
2C58h	DTCコントロールデータ3	DTCD3	
2C59h			
2C5Ah			
2C5Bh			
2C5Ch			
2C5Dh			
2C5Eh			
2C5Fh			
2C60h	DTCコントロールデータ4	DTCD4	
2C61h			
2C62h			
2C63h			
2C64h			
2C65h			
2C66h			
2C67h			
2C68h	DTCコントロールデータ5	DTCD5	
2C69h			
2C6Ah			
2C6Bh			
2C6Ch			
2C6Dh			
2C6Eh			
2C6Fh			

番地	レジスタ	シンボル	掲載ページ
2C70h	DTCコントロールデータ6	DTCD6	
2C71h			
2C72h			
2C73h			
2C74h			
2C75h			
2C76h			
2C77h			
2C78h	DTCコントロールデータ7	DTCD7	
2C79h			
2C7Ah			
2C7Bh			
2C7Ch			
2C7Dh			
2C7Eh			
2C7Fh			
2C80h	DTCコントロールデータ8	DTCD8	
2C81h			
2C82h			
2C83h			
2C84h			
2C85h			
2C86h			
2C87h			
2C88h	DTCコントロールデータ9	DTCD9	
2C89h			
2C8Ah			
2C8Bh			
2C8Ch			
2C8Dh			
2C8Eh			
2C8Fh			
2C90h	DTCコントロールデータ10	DTCD10	
2C91h			
2C92h			
2C93h			
2C94h			
2C95h			
2C96h			
2C97h			
2C98h	DTCコントロールデータ11	DTCD11	
2C99h			
2C9Ah			
2C9Bh			
2C9Ch			
2C9Dh			
2C9Eh			
2C9Fh			
2CA0h	DTCコントロールデータ12	DTCD12	
2CA1h			
2CA2h			
2CA3h			
2CA4h			
2CA5h			
2CA6h			
2CA7h			
2CA8h	DTCコントロールデータ13	DTCD13	
2CA9h			
2CAAh			
2CABh			
2CACH			
2CADh			
2CAEh			
2CAFh			

番地	レジスタ	シンボル	掲載ページ
2CB0h	DTCコントロールデータ14	DTCD14	
2CB1h			
2CB2h			
2CB3h			
2CB4h			
2CB5h			
2CB6h			
2CB7h			
2CB8h	DTCコントロールデータ15	DTCD15	
2CB9h			
2CBAh			
2CBBh			
2CBCCh			
2CBDh			
2CBEh			
2CBFh			
2CC0h	DTCコントロールデータ16	DTCD16	
2CC1h			
2CC2h			
2CC3h			
2CC4h			
2CC5h			
2CC6h			
2CC7h			
2CC8h	DTCコントロールデータ17	DTCD17	
2CC9h			
2CCAh			
2CCBh			
2CCCh			
2CCDh			
2CCEh			
2CCFh			
2CD0h	DTCコントロールデータ18	DTCD18	
2CD1h			
2CD2h			
2CD3h			
2CD4h			
2CD5h			
2CD6h			
2CD7h			
2CD8h	DTCコントロールデータ19	DTCD19	
2CD9h			
2CDAh			
2CDBh			
2CDCCh			
2CDDh			
2CDEh			
2CDFh			
2CE0h	DTCコントロールデータ20	DTCD20	
2CE1h			
2CE2h			
2CE3h			
2CE4h			
2CE5h			
2CE6h			
2CE7h			
2CE8h	DTCコントロールデータ21	DTCD21	
2CE9h			
2CEAh			
2CEBh			
2CECh			
2CEDh			
2CEEh			
2CEFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2CF0h	DTCコントロールデータ22	DTCD22	
2CF1h			
2CF2h			
2CF3h			
2CF4h			
2CF5h			
2CF6h			
2CF7h			
2CF8h	DTCコントロールデータ23	DTCD23	
2CF9h			
2CFAh			
2CFBh			
2CFCh			
2CFDh			
2CFEh			
2CFFh			
2D00h			

:

2DFFh			
2E00h	システムコンフィギュレーションコントロールレジスタ	SYSCFG	467
2E01h			
2E02h			
2E03h			
2E04h	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	469
2E05h			
2E06h			
2E07h			
2E08h	デバイススタートコントロールレジスタ0	DVSTCTR0	470
2E09h			
2E0Ah			
2E0Bh			
2E0Ch			
2E0Dh			
2E0Eh			
2E0Fh			
2E10h			
2E11h			
2E12h			
2E13h			
2E14h	CFIFOポートレジスタ	CFIFO	473
2E15h			
2E16h			
2E17h			
2E18h			
2E19h			
2E1Ah			
2E1Bh			
2E1Ch			
2E1Dh			
2E1Eh			
2E1Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2E20h	CFIFOポート選択レジスタ	CFIFOSEL	474
2E21h			
2E22h	CFIFOポートコントロールレジスタ	CFIFOCTR	476
2E23h			
2E24h			
2E25h			
2E26h			
2E27h			
2E28h			
2E29h			
2E2Ah			
2E2Bh			
2E2Ch			
2E2Dh			
2E2Eh			
2E2Fh			
2E30h	割り込み許可レジスタ0	INTENB0	478
2E31h			
2E32h	割り込み許可レジスタ1	INTENB1	480
2E33h			
2E34h			
2E35h			
2E36h	BRDY割り込み許可レジスタ	BRDYENB	482
2E37h			
2E38h	NRDY割り込み許可レジスタ	NRDYENB	483
2E39h			
2E3Ah	BEMP割り込み許可レジスタ	BEMPENB	484
2E3Bh			
2E3Ch	SOF出力コンフィグレーションレジスタ	SOFCFG	485
2E3Dh			
2E3Eh			
2E3Fh			
2E40h	割り込みステータスレジスタ0	INTSTS0	486
2E41h			
2E42h	割り込みステータスレジスタ1	INTSTS1	489
2E43h			
2E44h			
2E45h			
2E46h	BRDY割り込みステータスレジスタ	BRDYSTS	492
2E47h			
2E48h	NRDY割り込みステータスレジスタ	NRDYSTS	493
2E49h			
2E4Ah	BEMP割り込みステータスレジスタ	BEMPSTS	494
2E4Bh			
2E4Ch	フレームナンバーレジスタ	FRMNUM	495
2E4Dh			
2E4Eh			
2E4Fh			

番地	レジスタ	シンボル	掲載ページ
2E50h	USB アドレスレジスタ	USBADDR	496
2E51h			
2E52h			
2E53h			
2E54h	USB リクエストタイプレジスタ	USBREQ	497
2E55h			
2E56h	USB リクエストバリュージェジスタ	USBVAL	498
2E57h			
2E58h	USB リクエストインデックスレジスタ	USBINDX	499
2E59h			
2E5Ah	USB リクエストレンクスレジスタ	USBLENG	500
2E5Bh			
2E5Ch	DCP コンフィギュレーションレジスタ	DCPCFG	501
2E5Dh			
2E5Eh	DCP マックスパケットサイズレジスタ	DCPMAXP	502
2E5Fh			
2E60h	DCP コントロールレジスタ	DCPCTR	503
2E61h			
2E62h			
2E63h			
2E64h	パイプウィンドウ選択レジスタ	PIPESEL	507
2E65h			
2E66h			
2E67h	パイプコンフィギュレーションレジスタ	PIPECFG	508
2E68h			
2E69h			
2E6Ah			
2E6Bh	パイプマックスパケットサイズレジスタ	PIPEMAXP	510
2E6Ch			
2E6Dh	パイプ周期制御レジスタ	PIPEPERI	511
2E6Eh			
2E6Fh			
2E70h			
2E72h			
2E73h			
2E74h			
2E75h			
2E76h	パイプ4コントロールレジスタ	PIPE4CTR	512
2E77h			
2E78h	パイプ5コントロールレジスタ	PIPE5CTR	512
2E79h			
2E7Ah	パイプ6コントロールレジスタ	PIPE6CTR	512
2E7Bh			
2E7Ch	パイプ7コントロールレジスタ	PIPE7CTR	512
2E7Dh			
2E7Eh			
2E7Fh			
2E80h			
:			
2E8Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2E90h			
2E91h			
2E92h			
2E93h			
2E94h			
2E95h			
2E96h			
2E97h			
2E98h			
2E99h			
2E9Ah			
2E9Bh			
2E9Ch	パイプ4トランザクションカウンタイン ブルレジスタ	PIPE4TRE	520
2E9Dh			
2E9Eh	パイプ4トランザクションカウンタレジ スタ	PIPE4TRN	521
2E9Fh			
2EA0h	パイプ5トランザクションカウンタイン ブルレジスタ	PIPE5TRE	520
2EA1h			
2EA2h	パイプ5トランザクションカウンタレジ スタ	PIPE5TRN	521
2EA3h			
2EA4h			
2EA5h			
2EA6h			
2EA7h			
2EA8h			
2EA9h			
2EAAh			
2EABh			
2EACH			
2EADh			
:			
2ECFh			
2ED0h	デバイスアドレス0 コンフィグレーション レジスタ	DEVADD0	522
2ED1h			
2ED2h	デバイスアドレス1 コンフィグレーション レジスタ	DEVADD1	522
2ED3h			
2ED4h	デバイスアドレス2 コンフィグレーション レジスタ	DEVADD2	522
2ED5h			
2ED6h	デバイスアドレス3 コンフィグレーション レジスタ	DEVADD3	522
2ED7h			
2ED8h	デバイスアドレス4 コンフィグレーション レジスタ	DEVADD4	522
2ED9h			
2EDAh	デバイスアドレス5 コンフィグレーション レジスタ	DEVADD5	522
2EDBh			
2EDCh			
2EDDh			
:			
2EFFh			

番地	レジスタ	シンボル	掲載ページ
2F00h	USB モジュール制御レジスタ	USBMC	523
2F01h	PLL 制御レジスタ0	PLC0	131
2F02h	PLL 制御レジスタ1	PLC1	131
2F03h	PLL 分周制御レジスタ	PLDIV	132
2F04h			
2F05h			
2F06h			
2F07h			
2F08h			
2F09h			
2F0Ah			
2F0Bh			
2F0Ch			
2F0Dh			
2F0Eh			
2F0Fh			
2F10h	USB 端子選択レジスタ0	USBSR0	101
2F11h	USB 端子選択レジスタ1	USBSR1	101
2F12h	UART3 端子選択レジスタ	U3SR	88、331
2F13h			
2F14h			
2F15h			
2F16h			
2F17h			
2F18h			
2F19h			
2F1Ah			
2F1Bh			
2F1Ch			
2F1Dh			
2F1Eh			
2F1Fh			
:			
2FFh			
:			
FFDBh	オプション機能選択レジスタ2	OFS2	39、189、196
:			
FFFFh	オプション機能選択レジスタ	OFS	38、57、188、195、592

注1. 空欄は予約領域です。アクセスしないでください。



## 1. 概要

### 1.1 特長

R8C/34Uグループ、R8C/34Kグループは、R8C CPUコアを搭載したシングルチップマイクロコンピュータです。R8C CPUコアは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/34Uグループ、R8C/34KグループはBGO (バックグラウンドオペレーション)機能付データフラッシュ (1KB × 4ブロック)を内蔵します。

#### 1.1.1 用途

PC周辺機器 (USB 応用製品)、オーディオ、カメラ、TV、家電、事務機器、通信機器、携帯機器、産業機器、他

### 1.1.2 グループごとの相違点

表 1.1 にグループごとの相違点を示します。

なお、次章以降の説明ではR8C/34Kグループについて説明しますので、以上の相違点に留意ください。

表 1.1 グループごとの相違点

分類	R8C/34Uグループ	R8C/34Kグループ
メモリ容量 (ROM/RAM)	32KB/4KB、64KB/8KB	64KB/8KB、128KB/10KB
USB 機能	ペリフェラル機能	ホスト/ペリフェラル機能

## 1.1.3 仕様概要

表1.2～表1.3にR8C/34Uグループ、R8C/34Kグループの仕様概要を示します。

表1.2 R8C/34Uグループ、R8C/34Kグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> <li>基本命令数：89命令</li> <li>最小命令実行時間：50ns (f(XIN)=20MHz、VCC=2.7V～5.5V) 200ns (f(XIN)=5MHz、VCC=1.8V～5.5V)</li> <li>乗算器：16ビット×16ビット 32ビット</li> <li>積和演算命令：16ビット×16ビット+32ビット 32ビット</li> <li>動作モード：シングルチップモード(アドレス空間：1Mバイト)</li> </ul>
メモリ	ROM、RAM、データフラッシュ	「表1.4 R8C/34Uグループの製品一覧表」、および「表1.5 R8C/34Kグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> <li>パワーオンリセット</li> <li>電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能)</li> </ul>
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> <li>CMOS入出力：36、プルアップ抵抗選択可能</li> <li>大電流駆動ポート：36</li> </ul>
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>4回路：XINクロック発振回路 高速オンチップオシレータ(周波数調整機能付) 低速オンチップオシレータ PLL周波数シンセサイザ</li> <li>発振停止検出：XINクロック発振停止検出機能</li> <li>周波数分周回路：1、2、4、8、16分周選択</li> <li>低消費電力機構：標準動作モード(XINクロック、PLL周波数シンセサイザ、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード</li> </ul>
割り込み		<ul style="list-style-type: none"> <li>割り込みベクタ数：69</li> <li>外部割り込み入力：9 (INT×5、キー入力×4)</li> <li>割り込み優先レベル：7レベル</li> </ul>
ウォッチドッグタイマ		<ul style="list-style-type: none"> <li>14ビット×1(プリスケアラ付)</li> <li>リセットスタート機能選択可能</li> <li>ウォッチドッグタイマ用低速オンチップオシレータ選択可能</li> </ul>
DTC(データトランスファコントロール)		<ul style="list-style-type: none"> <li>1チャンネル</li> <li>起動要因：30</li> <li>転送モード：2(ノーマルモード、リピートモード)</li> </ul>
タイマ	タイマRA	8ビット(8ビットプリスケアラ付)×1 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット(キャプチャ/コンペアレジスタ4本付)×1 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRF	16ビット×1 インプットキャプチャモード(入力×1) アウトプットコンペアモード(出力×4)
シリアルインタフェース	UART0、UART1、UART3	3チャンネル クロック同期形シリアルI/O、非同期形シリアルI/O
	UART2	1チャンネル クロック同期形シリアルI/O、非同期形シリアルI/O、マルチプロセッサ通信機能
シンクロナスシリアルコミュニケーションユニット(SSU)		1チャンネル(I <sup>2</sup> Cバスと兼用)

表1.3 R8C/34Uグループ、R8C/34Kグループの仕様概要(2)

分類	機能	説明
I <sup>2</sup> Cバス		1チャンネル(SSUと兼用)
LINモジュール		ハードウェアLIN: 1 (タイムRA、UART0を使用)
USB機能	R8C/34Uグループ	<ul style="list-style-type: none"> <li>• USB2.0仕様に準拠、Full speed (12Mbps)に対応</li> <li>• USBファンクションコントローラおよびUSBトランシーバ内蔵</li> <li>• 5パイプ搭載、それぞれ独立したFIFO内蔵</li> <li>• PIPE4 ~ 7は任意のEP番号指定可</li> <li>• FIFOサイズ(Total 448バイト): DCP(EP0) = 64バイト、 PIPE4 ~ 5 = 128バイト (64バイト Double Buffer)、 PIPE6 ~ 7 = 64バイト</li> <li>• 対応転送: DCP = Control転送IN/OUT、PIPE4 ~ 5 = Bulk転送IN/OUT、 PIPE6 ~ 7 = Interrupt転送IN/OUT</li> </ul>
	R8C/34Kグループ	<ul style="list-style-type: none"> <li>• USB2.0仕様に準拠、Full speed (12Mbps)に対応</li> <li>• USBホスト・ファンクションコントローラおよびUSBトランシーバ内蔵</li> <li>• 5パイプ搭載、それぞれ独立したFIFO内蔵</li> <li>• PIPE4 ~ 7は任意のEP番号指定可</li> <li>• USB OTG (On-The-Go)に対応可能</li> <li>• FIFOサイズ(Total 448バイト): DCP(EP0) = 64バイト、 PIPE4 ~ 5 = 128バイト (64バイト Double Buffer)、 PIPE6 ~ 7 = 64バイト</li> <li>• 対応転送: DCP = Control転送IN/OUT、PIPE4 ~ 5 = Bulk転送IN/OUT、 PIPE6 ~ 7 = Interrupt転送IN/OUT</li> <li>• ホストコントローラ機能選択時 SOF、パケット送信のスケジュールを自動化 インタラプト転送の転送インターバル設定機能</li> </ul>
A/Dコンバータ		分解能10ビット×12チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
フラッシュメモリ		<ul style="list-style-type: none"> <li>• プログラム、イレーズ電圧: VCC=2.7V ~ 5.5V</li> <li>• プログラム、イレーズ回数: 10,000回(データフラッシュ) 1,000回(プログラムROM)</li> <li>• プログラムセキュリティ: ROMコードプロテクト、IDコードチェック</li> <li>• デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え機能</li> <li>• BGO (バックグラウンドオペレーション)機能(データフラッシュ)</li> </ul>
動作周波数/電源電圧		f(XIN)=20MHz (VCC=2.7V ~ 5.5V)(USB未使用時) f(XIN)=5MHz (VCC=1.8V ~ 5.5V)(USB未使用時)
消費電流		標準7.0mA (VCC=5.0V、f(XIN)=20MHz) 標準3.5mA (VCC=3.0V、f(XIN)=10MHz) 標準4.0μA (VCC=3.0V、ウェイトモード) 標準2.0μA (VCC=3.0V、ストップモード)
動作周囲温度		-20 ~ 85 (Nバージョン) -40 ~ 85 (Dバージョン)
パッケージ		48ピンLQFP パッケージコード: PLQP0048KB-A(旧コード: 48P6Q-A)

1.2 製品一覧

表1.4～表1.5に各グループの製品一覧表を、図1.1～図1.2に各グループの型名とメモリサイズ・パッケージを示します。

表1.4 R8C/34Uグループの製品一覧表

2011年4月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考	
	プログラムROM	データフラッシュ				
R5F21346UNFP	32Kバイト	1Kバイト×4	4Kバイト	PLQP0048KB-A	Nバージョン	
R5F21348UNFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0048KB-A		
R5F21346UDFP	32Kバイト	1Kバイト×4	4Kバイト	PLQP0048KB-A	Dバージョン	
R5F21348UDFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0048KB-A		
R5F21346UNXXXFP	32Kバイト	1Kバイト×4	4Kバイト	PLQP0048KB-A	Nバージョン	書き込み出荷品(注1)
R5F21348UNXXXFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0048KB-A		
R5F21346UDXXXFP	32Kバイト	1Kバイト×4	4Kバイト	PLQP0048KB-A	Dバージョン	
R5F21348UDXXXFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0048KB-A		

注1. ユーザROMを書き込んで出荷します。

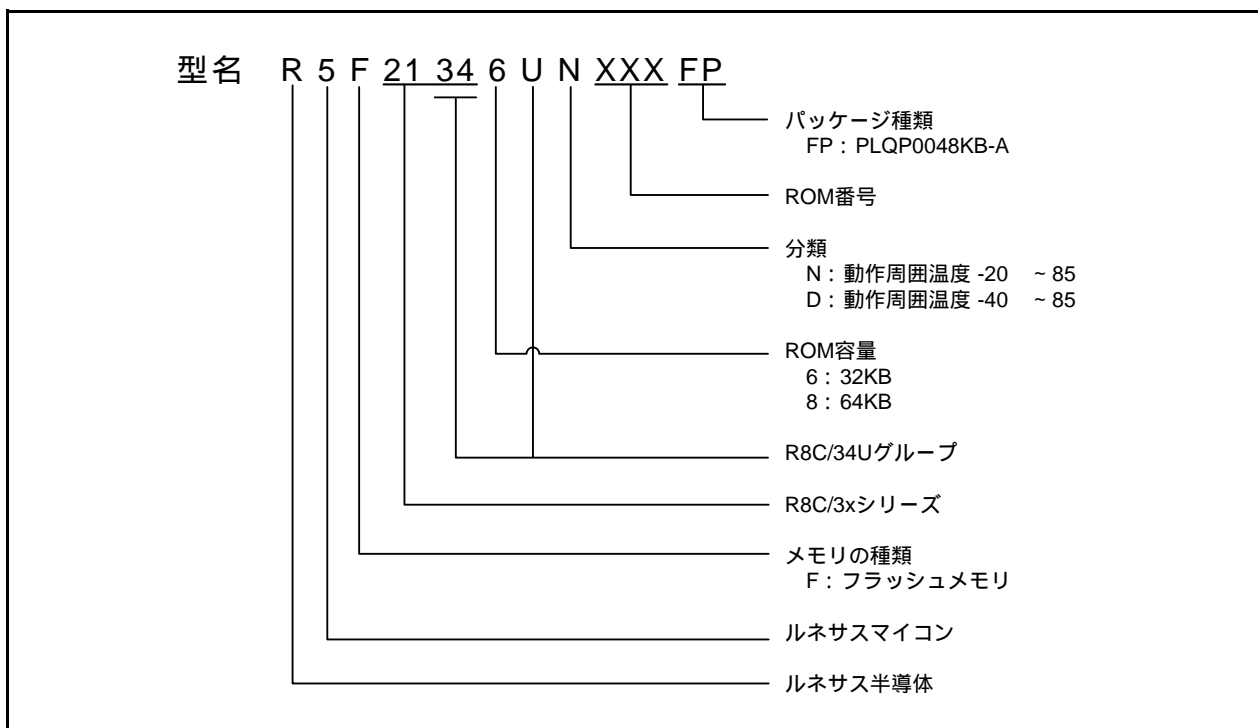


図1.1 R8C/34Uグループの型名とメモリサイズ・パッケージ

表1.5 R8C/34Kグループの製品一覧表

2011年4月現在

型名	内部ROM容量		内部RAM 容量	パッケージ	備考	
	プログラム ROM	データ フラッシュ				
R5F21348KNFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0048KB-A	Nバージョン	
R5F2134CKNFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0048KB-A		
R5F21348KDFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0048KB-A	Dバージョン	
R5F2134CKDFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0048KB-A		
R5F21348KNXXXFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0048KB-A	Nバージョン	書き込み出荷 品(注1)
R5F2134CKNXXXFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0048KB-A		
R5F21348KDXXXFP	64Kバイト	1Kバイト×4	8Kバイト	PLQP0048KB-A	Dバージョン	
R5F2134CKDXXXFP	128Kバイト	1Kバイト×4	10Kバイト	PLQP0048KB-A		

注1. ユーザROMを書き込んで出荷します。

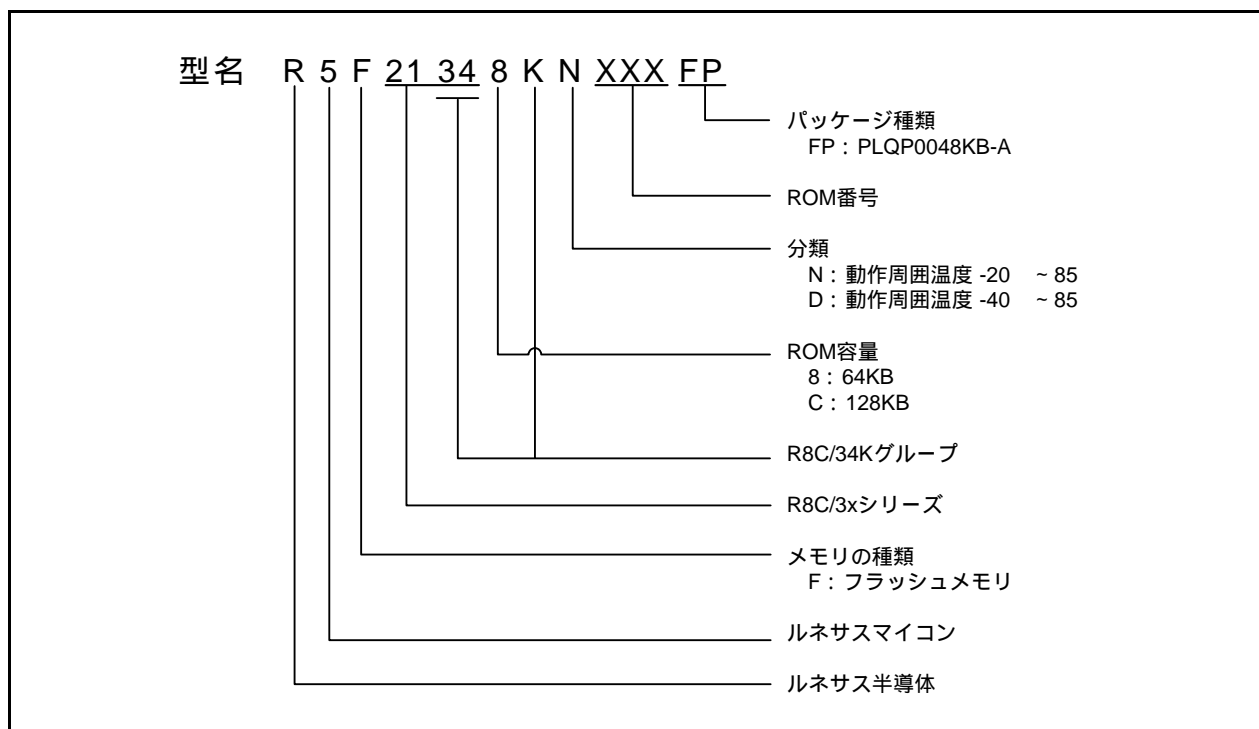


図1.2 R8C/34Kグループの型名とメモリサイズ・パッケージ

### 1.3 ブロック図

図1.3 ~ 図1.4に各グループのブロック図を示します。

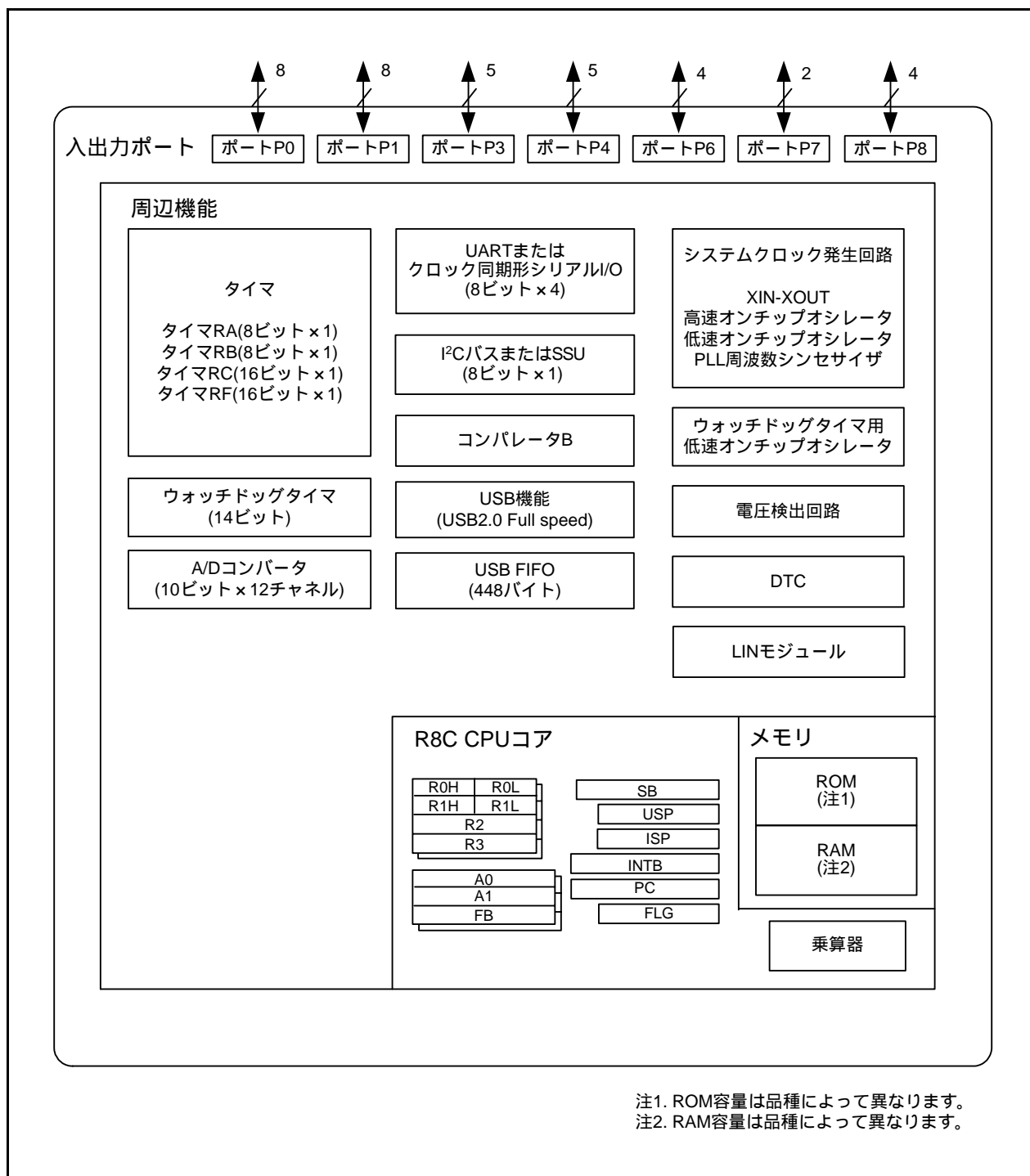


図1.3 R8C/34Uグループのブロック図

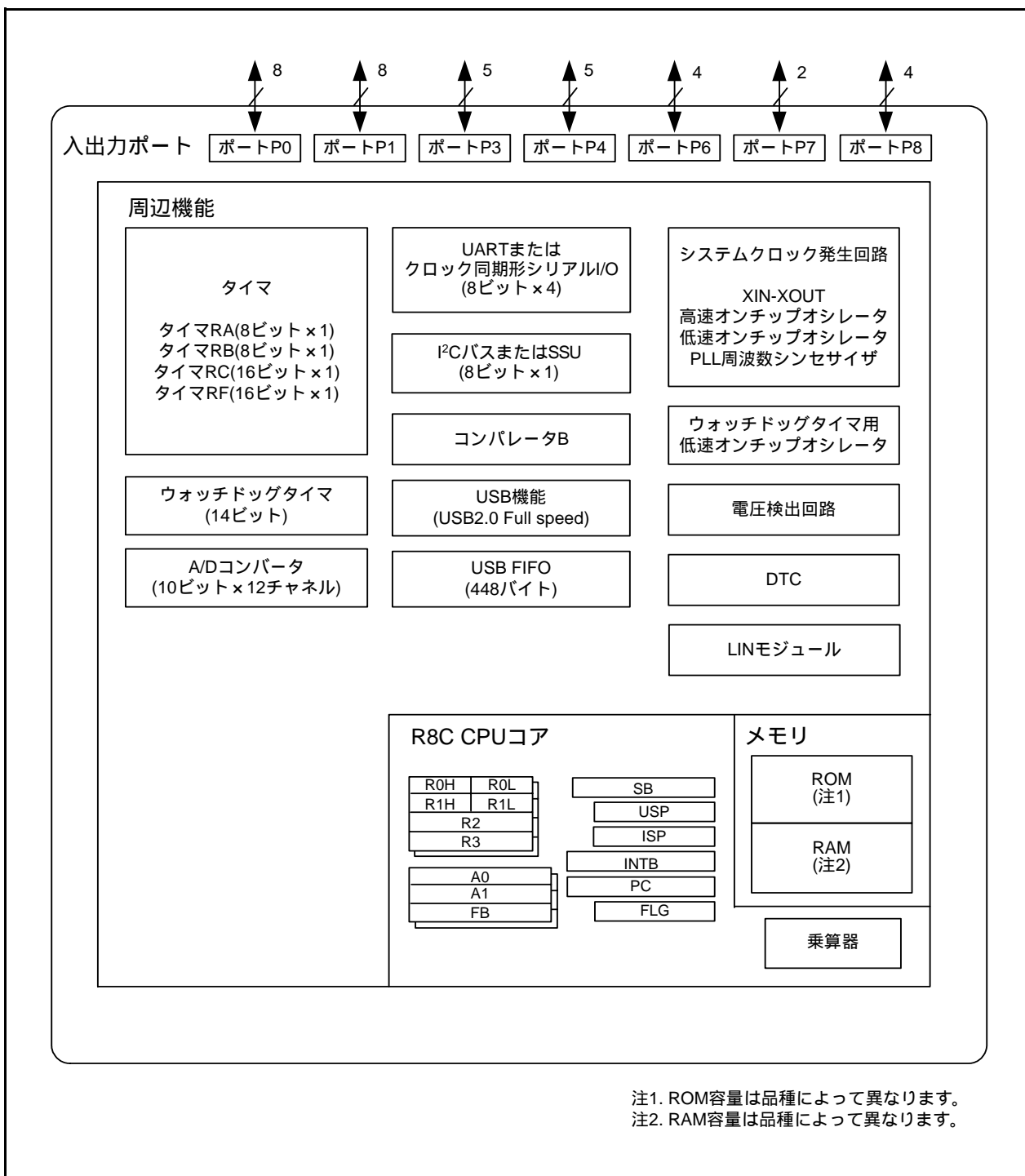


図1.4 R8C/34Kグループのブロック図



1.4 ピン配置図

図1.5～図1.6に各グループのピン配置図(上面図)を、表1.6～表1.7にピン番号別端子名一覧を示します。

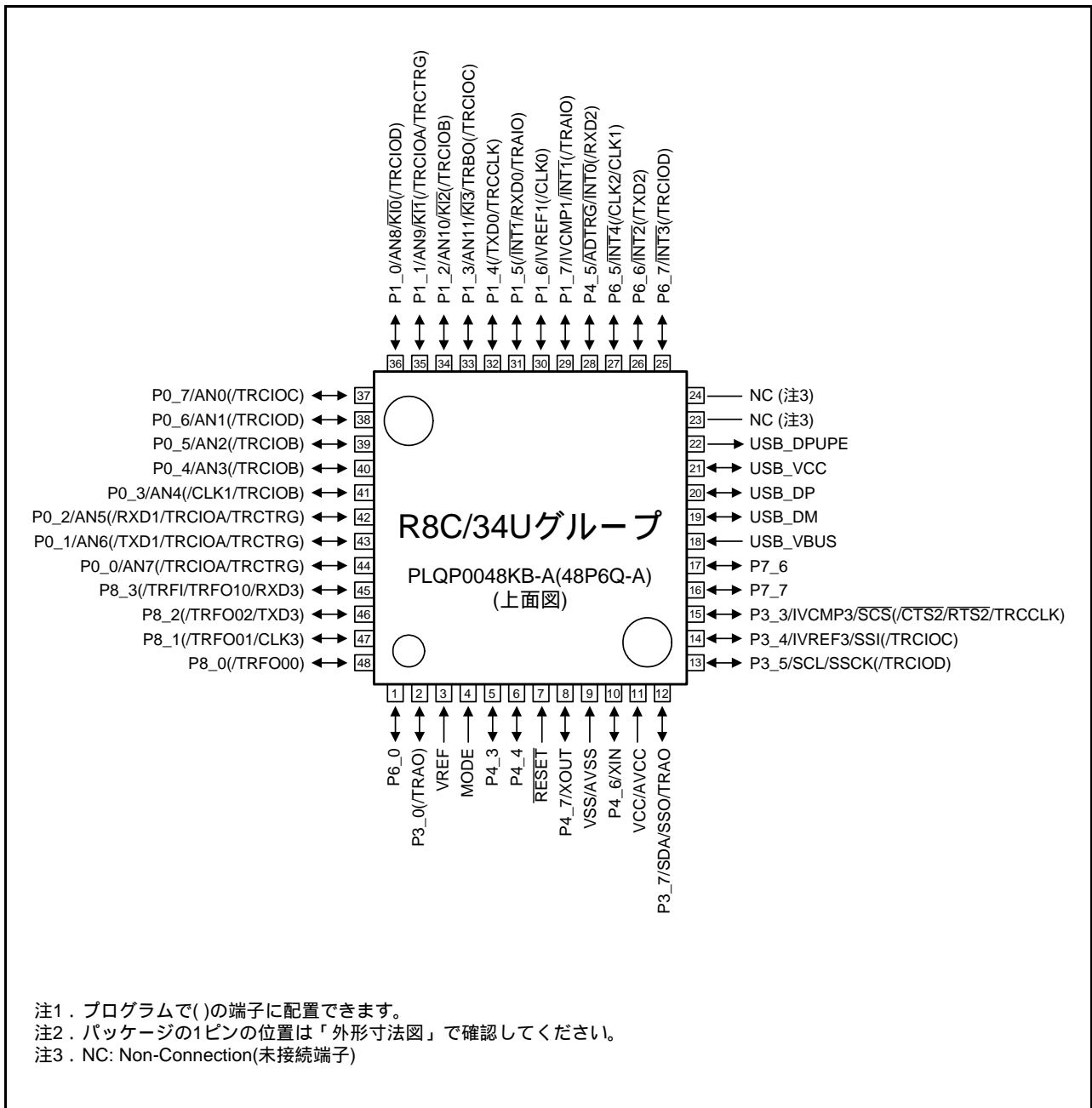


図1.5 R8C/34Uグループピン配置図(上面図)

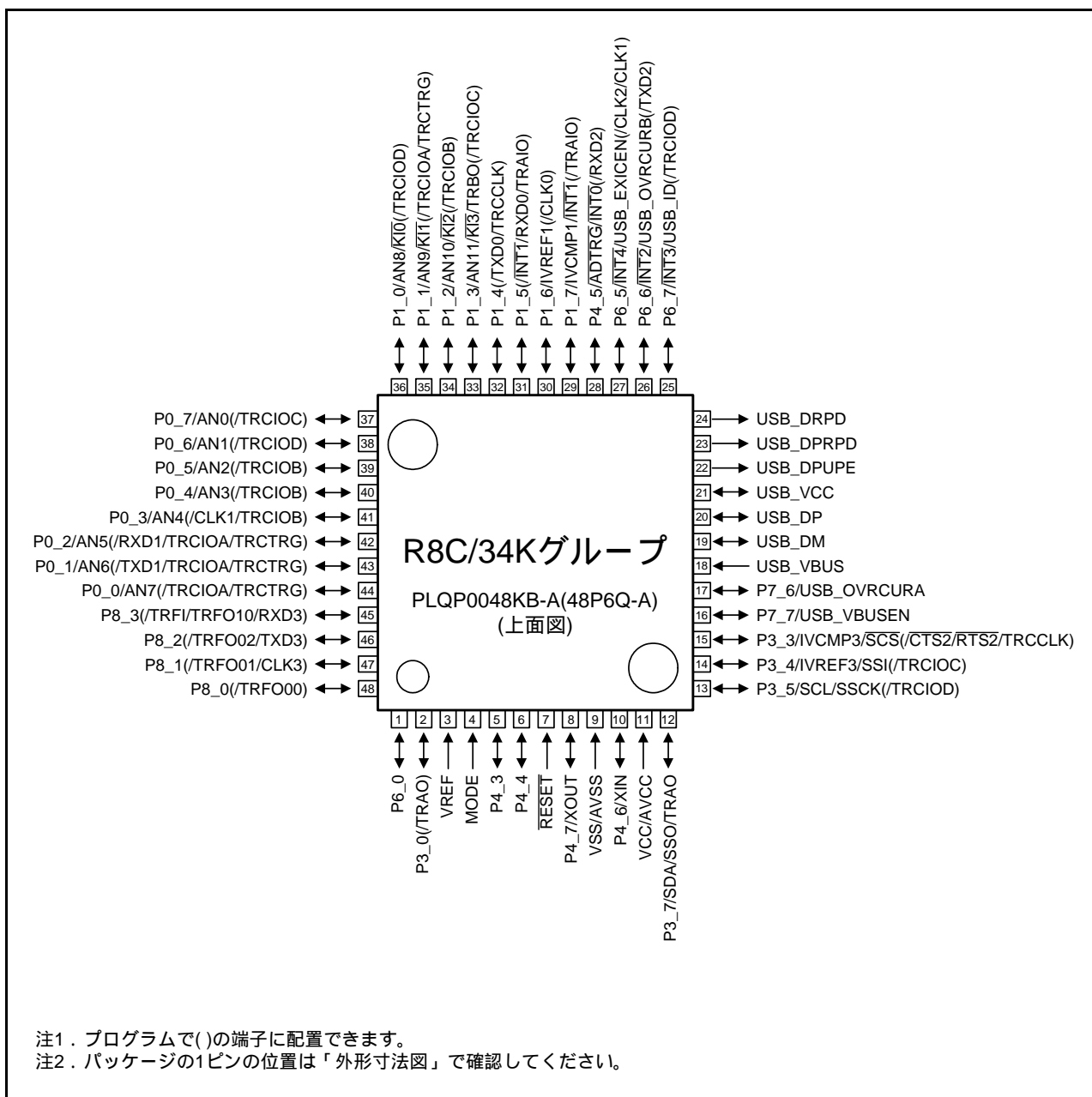


図 1.6 R8C/34Kグループのピン配置図(上面図)

表1.6 ピン番号別端子名一覧(1)

ピン番号	制御端子	ポート	周辺機能の入出力端子						
			割り込み	タイマ	シリアル インタフェース	SSU	I <sup>2</sup> Cバス	USB	A/Dコンバータ コンパレータB
1		P6_0							
2		P3_0		(TRA0)					
3									VREF
4	MODE								
5		P4_3							
6		P4_4							
7	$\overline{\text{RESET}}$								
8	XOUT	P4_7							
9	VSS/ AVSS								
10	XIN	P4_6							
11	VCC/ AVCC								
12		P3_7		TRA0		SSO	SDA		
13		P3_5		(TRCIOD)		SSCK	SCL		
14		P3_4		(TRCIOC)		SSI			IVREF3
15		P3_3		(TRCCLK)	$\overline{\text{(CTS2/RTS2)}}$	$\overline{\text{SCS}}$			IVCMP3
16		P7_7						USB_VBUSEN (注2)	
17		P7_6						USB_OVRCURA (注2)	
18								USB_VBUS	
19								USB_DM	
20								USB_DP	
21								USB_VCC	
22								USB_DPUPE	
23								USB_DPRPD (注2)	
24								USB_DRPD (注2)	
25		P6_7	$\overline{\text{INT3}}$	(TRCIOD)				USB_ID (注2)	
26		P6_6	$\overline{\text{INT2}}$		(TXD2)			USB_OVRCURB (注2)	
27		P6_5	$\overline{\text{INT4}}$		(CLK2/CLK1)			USB_EXICEN (注2)	
28		P4_5	$\overline{\text{INT0}}$		(RXD2)				$\overline{\text{ADTRG}}$
29		P1_7	$\overline{\text{INT1}}$	(TRAIO)					IVCMP1
30		P1_6			(CLK0)				IVREF1
31		P1_5	$\overline{\text{(INT1)}}$	(TRAIO)	(RXD0)				
32		P1_4		(TRCCLK)	(TXD0)				
33		P1_3	$\overline{\text{KI3}}$	TRBO (/TRCIOC)					AN11
34		P1_2	$\overline{\text{KI2}}$	(TRCIOB)					AN10
35		P1_1	$\overline{\text{KI1}}$	(TRCIOA/ TRCTRG)					AN9
36		P1_0	$\overline{\text{KI0}}$	(TRCIOD)					AN8
37		P0_7		(TRCIOC)					AN0
38		P0_6		(TRCIOD)					AN1
39		P0_5		(TRCIOB)					AN2
40		P0_4		(TRCIOB)					AN3
41		P0_3		(TRCIOB)	(CLK1)				AN4
42		P0_2		(TRCIOA/ TRCTRG)	(RXD1)				AN5
43		P0_1		(TRCIOA/ TRCTRG)	(TXD1)				AN6

注1. プログラムで()の端子に配置できます。

注2. R8C/34Uグループに、この端子はありません。

表1.7 ピン番号別端子名一覧(2)

ピン 番号	制御端子	ポート	周辺機能の入出力端子						
			割り込み	タイマ	シリアル インタフェース	SSU	I <sup>2</sup> Cバス	USB	A/Dコンバータ コンパレータB
44		P0_0		(TRCIOA/ TRCTRG)					AN7
45		P8_3		(TRFO10/ TRFI)	(RXD3)				
46		P8_2		(TRFO02)	(TXD3)				
47		P8_1		(TRFO01)	(CLK3)				
48		P8_0		(TRFO00)					

注1. プログラムで()の端子に配置できます。

## 1.5 端子機能の説明

表1.8～表1.9に端子機能の説明を示します。

表1.8 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC、VSS	—	VCCには1.8V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	—	A/Dコンバータの入力電源です。 AVCCとAVSS間には、コンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XOUTからクロックを入力してください。
XINクロック出力	XOUT	入出力	
INT割り込み入力	INT0～INT4	入力	INT割り込み入力です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRAO	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRC	TRCLK	入力	外部クロックの入力です。
	TRCTRG	入力	外部トリガの入力です。
	TRCIOA、TRCIOB、TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRF	TRFI	入力	タイマRFの入力です。
	TRFO00、TRFO10 TRFO01、 TRFO02、	出力	タイマRFの出力です。
シリアルインタフェース	CLK0、CLK1、CLK2、CLK3	入出力	転送クロック入出力です。
	RXD0、RXD1、RXD2、RXD3	入力	シリアルデータ入力です。
	TXD0、TXD1、TXD2、TXD3	出力	シリアルデータ出力です。
	CTS2	入力	送信制御用入力です。
	RTS2	出力	受信制御用出力です。
SSU	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
I <sup>2</sup> Cバス	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。

注1. 発振特性は発振子メーカーにお問い合わせください。

表1.9 端子機能の説明(2)

分類	端子名	入出力	機能
USB	USB_DP/USB_DM	入出力	USB内蔵トランシーバのD+/D-入出力端子です。USBバスのD+/D-端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子です。USBバスのVBUSに接続してください。ファンクション動作時のVBUSの接続/切断を検出することができます。
	USB_VBUSEN (注1)	出力	外部電源チップへのVBUS (5V) の供給許可信号です。
	USB_OVRCURA (注1)/ USB_OVRCURB (注1)	入力	外部オーバカレント検出信号を接続します。またUSBホスト用電源ICとの接続時にはVBUSコンパレータ信号を接続します。
	USB_DPUPE	出力	ファンクション動作時のUSB D+信号の1.5kΩプルアップ抵抗の制御信号です。
	USB_VCC	入出力	USB用電源端子です。
	USB_DPRPD (注1)/ USB_DRPD (注1)	出力	ホスト動作時のUSB D+およびD-信号の15kΩプルダウン抵抗の制御信号です。
	USB_ID (注1)	入力	OTG動作時microABコネクタのID入力信号を接続します。
	USB_EXICEN (注1)	出力	外部電源(OTG)チップのローパワー制御信号です。外部に接続するOTG用電源ICに接続してください。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN11	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/D外部トリガ入力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力端子です。
	IVREF1、IVREF3	入力	コンパレータBのリファレンス電圧入力端子です。
入出力ポート	P0_0 ~ P0_7 P1_0 ~ P1_7、 P3_0、P3_3 ~ P3_5、 P3_7、 P4_3 ~ P4_7、 P6_0、P6_5 ~ P6_7、 P7_6、P7_7、 P8_0 ~ P8_3	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。

注1. R8C/34Uグループに、この端子はありません。

## 2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

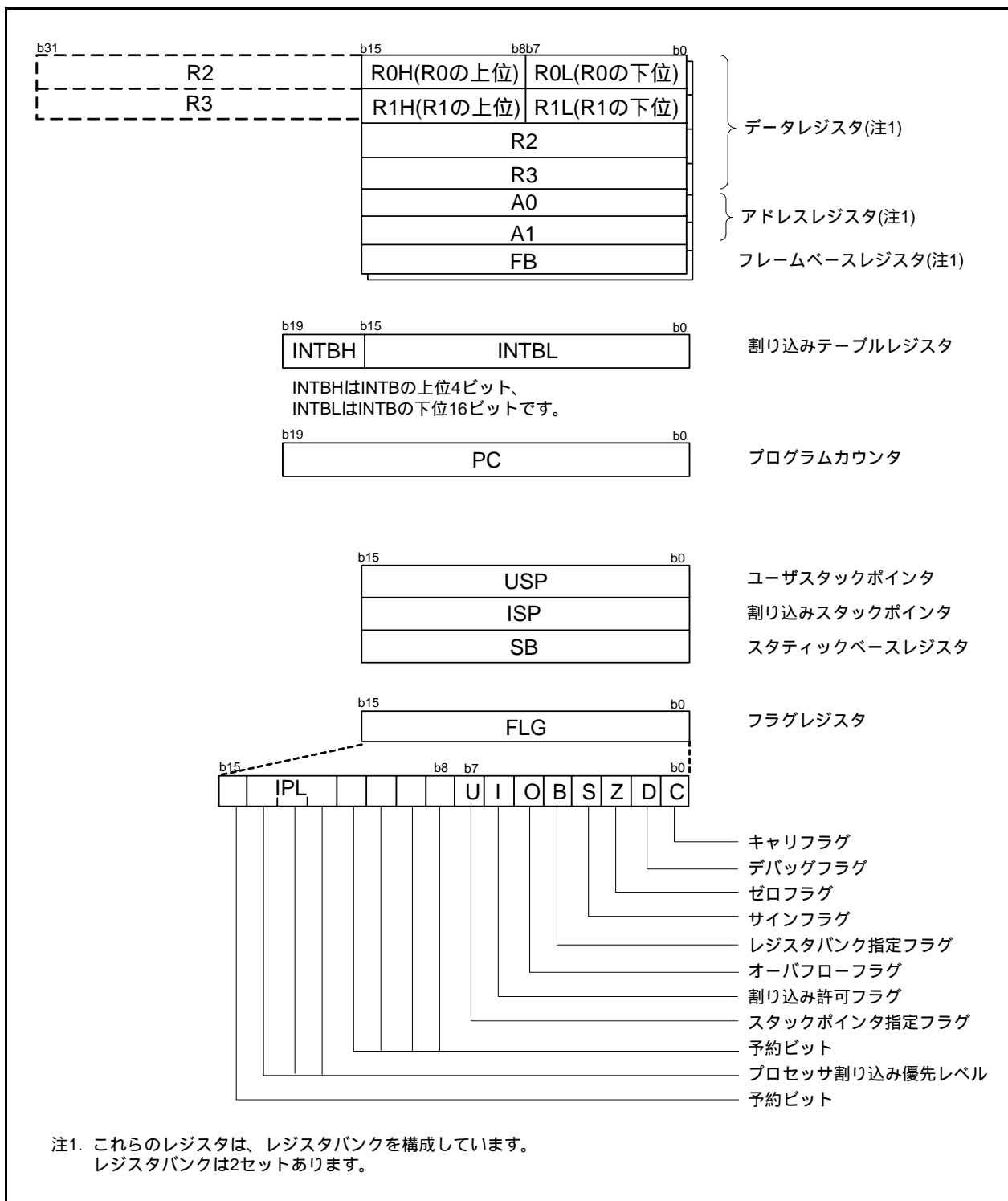


図2.1 CPUのレジスタ

## 2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

## 2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

## 2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

## 2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

## 2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

## 2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

## 2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

## 2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

### 2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

### 2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

### 2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

### 2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

### 2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。



### 2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

### 2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

### 2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

### 3. メモリ

#### 3.1 R8C/34Uグループ

図3.1にR8C/34Uグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。例えば64Kバイトの内部ROMは、04000h番地から13FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば8Kバイトの内部RAMは、00400h番地から023FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

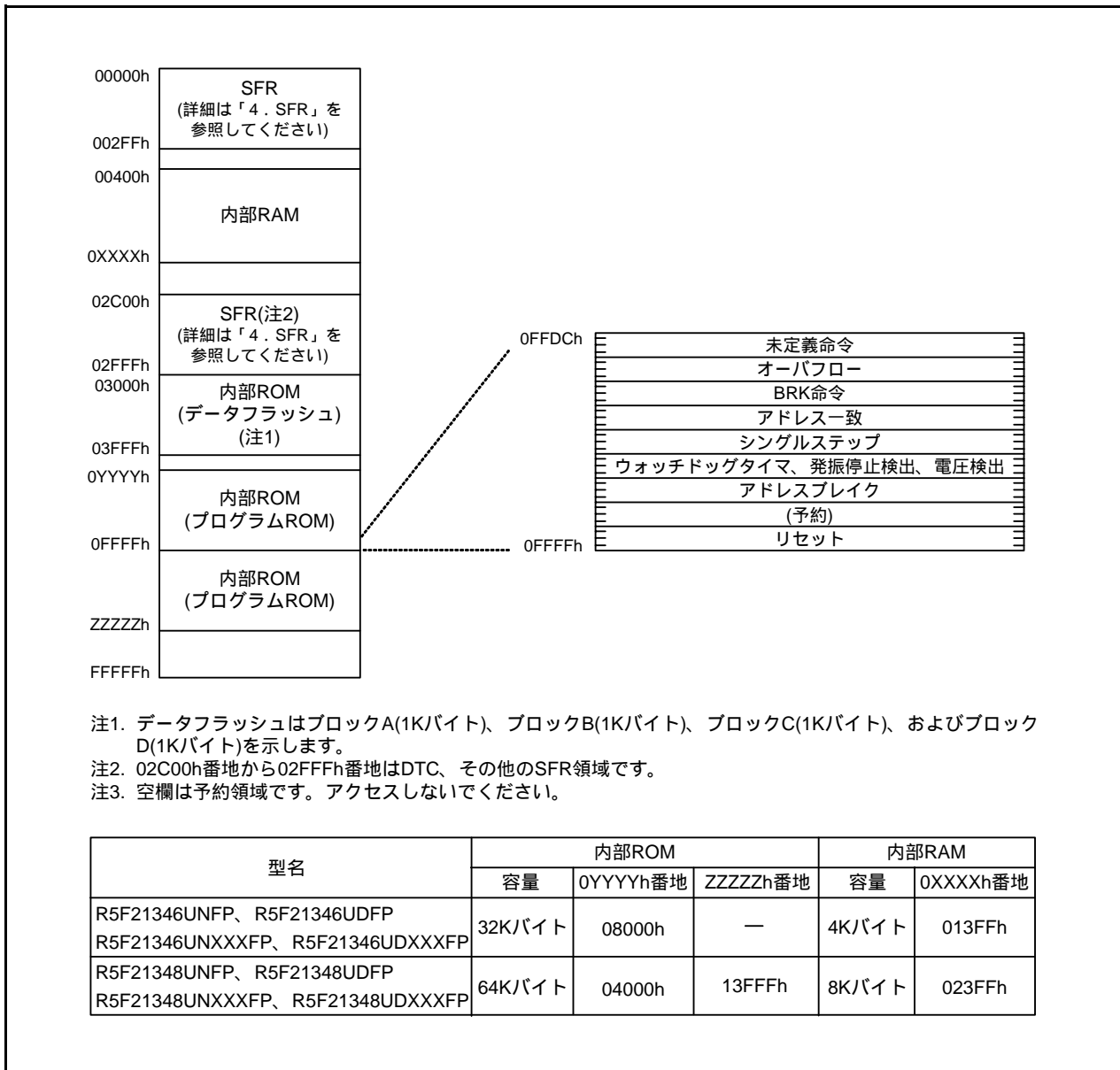


図3.1 R8C/34Uグループのメモリ配置図

### 3.2 R8C/34Kグループ

図3.2にR8C/34Kグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。64Kバイトの内部ROMは、04000h番地から13FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば8Kバイトの内部RAMは、00400h番地から023FFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

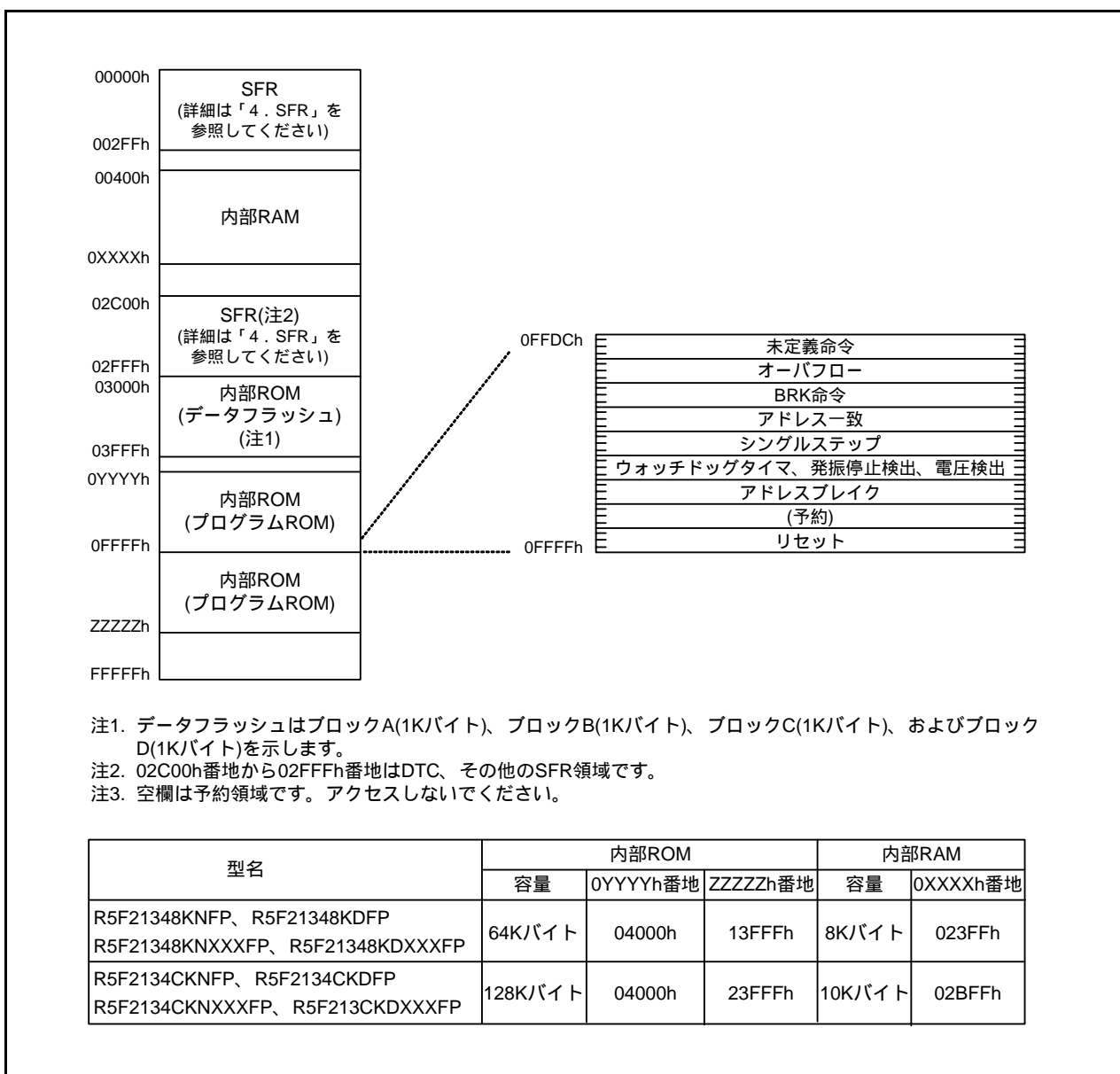


図3.2 R8C/34Kグループのメモリ配置図

## 4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.15にSFR一覧表を、表4.16にIDコード領域、オプション機能選択領域を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	00101000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	モジュールスタンバイ制御レジスタ	MSTCR	00h
0009h	システムクロック制御レジスタ3	CM3	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	リセット要因判別レジスタ	RSTFR	0XXXXXXb (注2)
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	00111111b
0010h			
0011h			
0012h			
0013h			
0014h			
0015h	高速オンチップオシレータ制御レジスタ7	FRA7	出荷時の値
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注3)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	00h
0026h	チップ内部基準電圧制御レジスタ	OCVREFCR	00h
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	00h
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	出荷時の値
002Ah	高速オンチップオシレータ制御レジスタ5	FRA5	出荷時の値
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	出荷時の値
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ制御レジスタ3	FRA3	出荷時の値
0030h	電圧監視回路制御レジスタ	CMPA	00h
0031h	電圧監視回路エッジ選択レジスタ	VCAC	00h
0032h			
0033h	電圧検出レジスタ1	VCA1	00001000b
0034h	電圧検出レジスタ2	VCA2	00h (注4) 00100000b (注5)
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	1100X010b (注4) 1100X011b (注5)
0039h	電圧監視1回路制御レジスタ	VW1C	10001010b

注1. 空欄は予約領域です。アクセスしないでください。

注2. RSTFRレジスタのCWRビットは電源投入後と、電圧監視0リセット後、“0”になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注3. OFSレジスタのCSPROINIビットが“0”の場合。

注4. OFSレジスタのLVDASビットが“1”の場合。

注5. OFSレジスタのLVDASビットが“0”の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
003Ah	電圧監視2回路制御レジスタ	VW2C	10000010b
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	XXXXX000b
0042h			
0043h			
0044h			
0045h			
0046h	INT4割り込み制御レジスタ	INT4IC	XX00X000b
0047h	タイマRC割り込み制御レジスタ	TRCIC	XXXXX000b
0048h			
0049h	USB RESUME 割り込み制御レジスタ	USBRSMIC	XXXXX000b
004Ah			
004Bh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
004Ch	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ (注2)	SSUIC/IICIC	XXXXX000b
0050h	タイマRFコンペア1割り込み制御レジスタ	CMP1IC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマRA割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh	タイマRF割り込み制御レジスタ	TRFIC	XXXXX000b
005Ch	タイマRFコンペア0割り込み制御レジスタ	CMP0IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	XXXXX000b
005Fh	タイマRFキャプチャ割り込み制御レジスタ	CAPIC	XXXXX000b
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh	USB INT 割り込み制御レジスタ	USBINTIC	XXXXX000b
006Ch	UART3受信割り込み制御レジスタ	S3RIC	XXXXX000b
006Dh	UART3送信割り込み制御レジスタ	S3TIC	XXXXX000b
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	XXXXX000b
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。  
注2. SSUICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	DTC起動制御レジスタ	DCTL	00h
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	00h
0089h	DTC起動許可レジスタ1	DTCEN1	00h
008Ah	DTC起動許可レジスタ2	DTCEN2	00h
008Bh	DTC起動許可レジスタ3	DTCEN3	00h
008Ch			
008Dh	DTC起動許可レジスタ5	DTCEN5	00h
008Eh	DTC起動許可レジスタ6	DTCEN6	00h
008Fh			
0090h	タイマRFレジスタ	TRF	00h
0091h			00h
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah	タイマRF制御レジスタ0	TRFCR0	00h
009Bh	タイマRF制御レジスタ1	TRFCR1	00h
009Ch	キャプチャ、コンペア0レジスタ	TRFM0	00h
009Dh			00h
009Eh	コンペア1レジスタ	TRFM1	FFh
009Fh			FFh
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART2送受信モードレジスタ	U2MR	00h
00A9h	UART2ビットレートレジスタ	U2BRG	XXh
00AAh	UART2送信バッファレジスタ	U2TB	XXh
00ABh			XXh
00ACh	UART2送受信制御レジスタ0	U2C0	00001000b
00ADh	UART2送受信制御レジスタ1	U2C1	00000010b
00AEh	UART2受信バッファレジスタ	U2RB	XXh
00AFh			XXh
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	00h
00BCh			
00BDh	UART2特殊モードレジスタ3	U2SMR3	00X0X0Xb
00BEh			
00BFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/Dレジスタ0	AD0	XXh
00C1h			000000XXb
00C2h	A/Dレジスタ1	AD1	XXh
00C3h			000000XXb
00C4h	A/Dレジスタ2	AD2	XXh
00C5h			000000XXb
00C6h	A/Dレジスタ3	AD3	XXh
00C7h			000000XXb
00C8h	A/Dレジスタ4	AD4	XXh
00C9h			000000XXb
00CAh	A/Dレジスタ5	AD5	XXh
00CBh			000000XXb
00CCh	A/Dレジスタ6	AD6	XXh
00CDh			000000XXb
00CEh	A/Dレジスタ7	AD7	XXh
00CFh			000000XXb
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/Dモードレジスタ	ADMOD	00h
00D5h	A/D入力選択レジスタ	ADINSEL	11000000b
00D6h	A/D制御レジスタ0	ADCON0	00h
00D7h	A/D制御レジスタ1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	XXh
00E1h	ポートP1レジスタ	P1	XXh
00E2h	ポートP0方向レジスタ	PD0	00h
00E3h	ポートP1方向レジスタ	PD1	00h
00E4h			
00E5h	ポートP3レジスタ	P3	XXh
00E6h			
00E7h	ポートP3方向レジスタ	PD3	00h
00E8h	ポートP4レジスタ	P4	XXh
00E9h			
00EAh	ポートP4方向レジスタ	PD4	00h
00EBh			
00ECh	ポートP6レジスタ	P6	XXh
00EDh	ポートP7レジスタ	P7	XXh
00EEh	ポートP6方向レジスタ	PD6	00h
00EFh	ポートP7方向レジスタ	PD7	00h
00F0h	ポートP8レジスタ	P8	XXh
00F1h			
00F2h	ポートP8方向レジスタ	PD8	00h
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマRA制御レジスタ	TRACR	00h
0101h	タイマRA I/O制御レジスタ	TRAI0C	00h
0102h	タイマRAモードレジスタ	TRAMR	00h
0103h	タイマRAプリスケアラレジスタ	TRAPRE	FFh
0104h	タイマRAレジスタ	TRA	FFh
0105h	LINコントロールレジスタ2	LINCR2	00h
0106h	LINコントロールレジスタ	LINCR	00h
0107h	LINステータスレジスタ	LINST	00h
0108h	タイマRB制御レジスタ	TRBCR	00h
0109h	タイマRBワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマRB I/O制御レジスタ	TRBIO0C	00h
010Bh	タイマRBモードレジスタ	TRBMR	00h
010Ch	タイマRBプリスケアラレジスタ	TRBP0RE	FFh
010Dh	タイマRBセカンダリレジスタ	TRBSC	FFh
010Eh	タイマRBプライマリレジスタ	TRBP0R	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h			
0119h			
011Ah			
011Bh			
011Ch			
011Dh			
011Eh			
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	01001000b
0121h	タイマRC制御レジスタ1	TRCCR1	00h
0122h	タイマRC割り込み許可レジスタ	TRCIE0R	01110000b
0123h	タイマRCステータスレジスタ	TRCSR	01110000b
0124h	タイマRC I/O制御レジスタ0	TRCIE0R0	10001000b
0125h	タイマRC I/O制御レジスタ1	TRCIE0R1	10001000b
0126h	タイマRCカウンタ	TRC	00h
0127h			00h
0128h	タイマRCジェネラルレジスタA	TRCGRA	FFh
0129h			FFh
012Ah	タイマRCジェネラルレジスタB	TRCGRB	FFh
012Bh			FFh
012Ch	タイマRCジェネラルレジスタC	TRCGRC	FFh
012Dh			FFh
012Eh	タイマRCジェネラルレジスタD	TRCGRD	FFh
012Fh			FFh
0130h	タイマRC制御レジスタ2	TRCCR2	00011000b
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h	タイマRCトリガ制御レジスタ	TRCADCR	00h
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			

注1. 空欄は予約領域です。アクセスしないでください。



表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h	UART1送受信モードレジスタ	U1MR	00h
0161h	UART1ビットレートレジスタ	U1BRG	XXh
0162h	UART1送信バッファレジスタ	U1TB	XXh
0163h			XXh
0164h	UART1送受信制御レジスタ0	U1C0	00001000b
0165h	UART1送受信制御レジスタ1	U1C1	00000010b
0166h	UART1受信バッファレジスタ	U1RB	XXh
0167h			XXh
0168h	UART3送受信モードレジスタ	U3MR	00h
0169h	UART3ビットレートレジスタ	U3BRG	XXh
016Ah	UART3送信バッファレジスタ	U3TB	XXh
016Bh			XXh
016Ch	UART3送受信制御レジスタ0	U3C0	00001000b
016Dh	UART3送受信制御レジスタ1	U3C1	00000010b
016Eh	UART3受信バッファレジスタ	U3RB	XXh
016Fh			XXh
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h	タイマRA端子選択レジスタ	TRASR	00h
0181h	タイマRC端子選択レジスタ	TRBRCSR	00h
0182h	タイマRC端子選択レジスタ0	TRCPSR0	00h
0183h	タイマRC端子選択レジスタ1	TRCPSR1	00h
0184h			
0185h			
0186h	タイマ端子選択レジスタ	TIMSR	00h
0187h	タイマRF出力制御レジスタ	TRFOUT	00h
0188h	UART0端子選択レジスタ	U0SR	00h
0189h	UART1端子選択レジスタ	U1SR	00h
018Ah	UART2端子選択レジスタ0	U2SR0	00h
018Bh	UART2端子選択レジスタ1	U2SR1	00h
018Ch	SSU/IIC端子選択レジスタ	SSUICSR	00h
018Dh			
018Eh	INT割り込み入力端子選択レジスタ	INTSR	00h
018Fh	入出力機能端子選択レジスタ	PINSR	00h
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	11111000b
0194h	SS送信データレジスタL/IICバス送信データレジスタ (注2)	SSTDR/ICDRT	FFh
0195h	SS送信データレジスタH (注2)	SSTDRH	FFh
0196h	SS受信データレジスタL/IICバス受信データレジスタ (注2)	SSRDR/ICDRR	FFh
0197h	SS受信データレジスタH (注2)	SSRDRH	FFh
0198h	SS制御レジスタH/IICバス制御レジスタ1 (注2)	SSCRH/ICCR1	00h
0199h	SS制御レジスタL/IICバス制御レジスタ2 (注2)	SSCRL/ICCR2	01111101b
019Ah	SSモードレジスタ/IICバスモードレジスタ (注2)	SSMR/ICMR	00010000b/00011000b
019Bh	SS許可レジスタ/IICバス割り込み許可レジスタ (注2)	SSEI/ICIER	00h
019Ch	SSステータスレジスタ/IICバスステータスレジスタ (注2)	SSSR/ICSR	00h/0000X000b
019Dh	SSモードレジスタ2/スレーブアドレスレジスタ (注2)	SSMR2/SAR	00h
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	10000X00b
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	00h
01B5h	フラッシュメモリ制御レジスタ1	FMR1	00h
01B6h	フラッシュメモリ制御レジスタ2	FMR2	00h
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. SSUICSRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.8 SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値	
01C0h	アドレス一致割り込みレジスタ0	RMAD0	XXh	
01C1h			XXh	
01C2h			0000XXXXb	
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	00h	
01C4h			アドレス一致割り込みレジスタ1	XXh
01C5h				XXh
01C6h	アドレス一致割り込み許可レジスタ1	AIER1	00h	
01C7h				
01C8h				
01C9h				
01CAh				
01CBh				
01CCh				
01CDh				
01CEh				
01CFh				
01D0h				
01D1h				
01D2h				
01D3h				
01D4h				
01D5h				
01D6h				
01D7h				
01D8h				
01D9h				
01DAh				
01DBh				
01DCh				
01DDh				
01DEh				
01DFh				
01E0h	ブルアップ制御レジスタ0	PUR0	00h	
01E1h	ブルアップ制御レジスタ1	PUR1	00h	
01E2h	ブルアップ制御レジスタ2	PUR2	00h	
01E3h				
01E4h				
01E5h				
01E6h				
01E7h				
01E8h				
01E9h				
01EAh				
01EBh				
01ECh				
01EDh				
01EEh				
01EFh				
01F0h	ポートP1駆動能力制御レジスタ	P1DRR	00h	
01F1h				
01F2h	駆動能力制御レジスタ0	DRR0	00h	
01F3h	駆動能力制御レジスタ1	DRR1	00h	
01F4h	駆動能力制御レジスタ2	DRR2	00h	
01F5h	入力しきい値制御レジスタ0	VLT0	00h	
01F6h	入力しきい値制御レジスタ1	VLT1	00h	
01F7h	入力しきい値制御レジスタ2	VLT2	00h	
01F8h	コンパレータB制御レジスタ0	INTCMP	00h	
01F9h				
01FAh	外部入力許可レジスタ0	INTEN	00h	
01FBh	外部入力許可レジスタ1	INTEN1	00h	
01FCh	INT入力フィルタ選択レジスタ0	INTF	00h	
01FDh	INT入力フィルタ選択レジスタ1	INTF1	00h	
01FEh	キー入力許可レジスタ0	KIEN	00h	
01FFh				

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.9 SFR一覧(9)(注1)

番地	レジスタ	シンボル	リセット後の値
2C00h	DTC転送ベクタ領域		XXh
2C01h	DTC転送ベクタ領域		XXh
2C02h	DTC転送ベクタ領域		XXh
2C03h	DTC転送ベクタ領域		XXh
2C04h	DTC転送ベクタ領域		XXh
2C05h	DTC転送ベクタ領域		XXh
2C06h	DTC転送ベクタ領域		XXh
2C07h	DTC転送ベクタ領域		XXh
2C08h	DTC転送ベクタ領域		XXh
2C09h	DTC転送ベクタ領域		XXh
2C0Ah	DTC転送ベクタ領域		XXh
:	DTC転送ベクタ領域		XXh
:	DTC転送ベクタ領域		XXh
2C3Ah	DTC転送ベクタ領域		XXh
2C3Bh	DTC転送ベクタ領域		XXh
2C3Ch	DTC転送ベクタ領域		XXh
2C3Dh	DTC転送ベクタ領域		XXh
2C3Eh	DTC転送ベクタ領域		XXh
2C3Fh	DTC転送ベクタ領域		XXh
2C40h	DTCコントロールデータ0	DTCD0	XXh
2C41h			XXh
2C42h			XXh
2C43h			XXh
2C44h			XXh
2C45h			XXh
2C46h			XXh
2C47h			XXh
2C48h	DTCコントロールデータ1	DTCD1	XXh
2C49h			XXh
2C4Ah			XXh
2C4Bh			XXh
2C4Ch			XXh
2C4Dh			XXh
2C4Eh			XXh
2C4Fh			XXh
2C50h	DTCコントロールデータ2	DTCD2	XXh
2C51h			XXh
2C52h			XXh
2C53h			XXh
2C54h			XXh
2C55h			XXh
2C56h			XXh
2C57h			XXh
2C58h	DTCコントロールデータ3	DTCD3	XXh
2C59h			XXh
2C5Ah			XXh
2C5Bh			XXh
2C5Ch			XXh
2C5Dh			XXh
2C5Eh			XXh
2C5Fh			XXh
2C60h	DTCコントロールデータ4	DTCD4	XXh
2C61h			XXh
2C62h			XXh
2C63h			XXh
2C64h			XXh
2C65h			XXh
2C66h			XXh
2C67h			XXh
2C68h	DTCコントロールデータ5	DTCD5	XXh
2C69h			XXh
2C6Ah			XXh
2C6Bh			XXh
2C6Ch			XXh
2C6Dh			XXh
2C6Eh			XXh
2C6Fh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.10 SFR一覧(10)(注1)

番地	レジスタ	シンボル	リセット後の値
2C70h	DTCコントロールデータ6	DTCD6	XXh
2C71h			XXh
2C72h			XXh
2C73h			XXh
2C74h			XXh
2C75h			XXh
2C76h			XXh
2C77h			XXh
2C78h	DTCコントロールデータ7	DTCD7	XXh
2C79h			XXh
2C7Ah			XXh
2C7Bh			XXh
2C7Ch			XXh
2C7Dh			XXh
2C7Eh			XXh
2C7Fh			XXh
2C80h	DTCコントロールデータ8	DTCD8	XXh
2C81h			XXh
2C82h			XXh
2C83h			XXh
2C84h			XXh
2C85h			XXh
2C86h			XXh
2C87h			XXh
2C88h	DTCコントロールデータ9	DTCD9	XXh
2C89h			XXh
2C8Ah			XXh
2C8Bh			XXh
2C8Ch			XXh
2C8Dh			XXh
2C8Eh			XXh
2C8Fh			XXh
2C90h	DTCコントロールデータ10	DTCD10	XXh
2C91h			XXh
2C92h			XXh
2C93h			XXh
2C94h			XXh
2C95h			XXh
2C96h			XXh
2C97h			XXh
2C98h	DTCコントロールデータ11	DTCD11	XXh
2C99h			XXh
2C9Ah			XXh
2C9Bh			XXh
2C9Ch			XXh
2C9Dh			XXh
2C9Eh			XXh
2C9Fh			XXh
2CA0h	DTCコントロールデータ12	DTCD12	XXh
2CA1h			XXh
2CA2h			XXh
2CA3h			XXh
2CA4h			XXh
2CA5h			XXh
2CA6h			XXh
2CA7h			XXh
2CA8h	DTCコントロールデータ13	DTCD13	XXh
2CA9h			XXh
2CAAh			XXh
2CABh			XXh
2CACH			XXh
2CADh			XXh
2CAEh			XXh
2CAFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.11 SFR一覧(11)(注1)

番地	レジスタ	シンボル	リセット後の値
2CB0h	DTCコントロールデータ14	DTCD14	XXh
2CB1h			XXh
2CB2h			XXh
2CB3h			XXh
2CB4h			XXh
2CB5h			XXh
2CB6h			XXh
2CB7h			XXh
2CB8h	DTCコントロールデータ15	DTCD15	XXh
2CB9h			XXh
2CBAh			XXh
2CBBh			XXh
2CBCh			XXh
2CBDh			XXh
2CBEh			XXh
2CBFh			XXh
2CC0h	DTCコントロールデータ16	DTCD16	XXh
2CC1h			XXh
2CC2h			XXh
2CC3h			XXh
2CC4h			XXh
2CC5h			XXh
2CC6h			XXh
2CC7h			XXh
2CC8h	DTCコントロールデータ17	DTCD17	XXh
2CC9h			XXh
2CCAh			XXh
2CCBh			XXh
2CCCh			XXh
2CCDh			XXh
2CCEh			XXh
2CCFh			XXh
2CD0h	DTCコントロールデータ18	DTCD18	XXh
2CD1h			XXh
2CD2h			XXh
2CD3h			XXh
2CD4h			XXh
2CD5h			XXh
2CD6h			XXh
2CD7h			XXh
2CD8h	DTCコントロールデータ19	DTCD19	XXh
2CD9h			XXh
2CDAh			XXh
2CDBh			XXh
2CDCh			XXh
2CDDh			XXh
2CDEh			XXh
2CDFh			XXh
2CE0h	DTCコントロールデータ20	DTCD20	XXh
2CE1h			XXh
2CE2h			XXh
2CE3h			XXh
2CE4h			XXh
2CE5h			XXh
2CE6h			XXh
2CE7h			XXh
2CE8h	DTCコントロールデータ21	DTCD21	XXh
2CE9h			XXh
2CEAh			XXh
2CEBh			XXh
2CECh			XXh
2CEDh			XXh
2CEEh			XXh
2CEFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.12 SFR一覧(12)(注1)

番地	レジスタ	シンボル	リセット後の値		
2CF0h	DTCコントロールデータ22	DTCD22	XXh		
2CF1h			XXh		
2CF2h			XXh		
2CF3h			XXh		
2CF4h			XXh		
2CF5h			XXh		
2CF6h			XXh		
2CF7h			XXh		
2CF8h	DTCコントロールデータ23	DTCD23	XXh		
2CF9h			XXh		
2CFAh			XXh		
2CFBh			XXh		
2CFC			XXh		
2CFDh			XXh		
2CFEh			XXh		
2CFFh			XXh		
2D00h					
2DFh					
2E00h	システムコンフィギュレーションコントロールレジスタ	SYSCFG	00h		
2E01h			00h		
2E02h					
2E03h					
2E04h	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	0000X00b		
2E05h			XX000000b		
2E06h					
2E07h					
2E08h	デバイスステートコントロールレジスタ0	DVSTCTR0	00h		
2E09h			00h		
2E0Ah					
2E0Bh					
2E0Ch					
2E0Dh					
2E0Eh					
2E0Fh					
2E10h					
2E11h					
2E12h					
2E13h					
2E14h	CFIFOポートレジスタ	CFIFO	00h		
2E15h			00h		
2E16h					
2E17h					
2E18h					
2E19h					
2E1Ah					
2E1Bh					
2E1Ch					
2E1Dh					
2E1Eh					
2E1Fh					
2E20h	CFIFOポート選択レジスタ	CFIFOSEL	00h		
2E21h			00h		
2E22h	CFIFOポートコントロールレジスタ	CFIFOCTR	00h		
2E23h			00h		
2E24h					
2E25h					
2E26h					
2E27h					
2E28h					
2E29h					
2E2Ah					
2E2Bh					
2E2Ch					
2E2Dh					
2E2Eh					
2E2Fh					

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.13 SFR一覧(13)(注1)

番地	レジスタ	シンボル	リセット後の値
2E30h	割り込み許可レジスタ0	INTENB0	00h
2E31h			00h
2E32h	割り込み許可レジスタ1	(注2) INTENB1	00h
2E33h			00h
2E34h			
2E35h			
2E36h	BRDY 割り込み許可レジスタ	BRDYENB	00h
2E37h			00h
2E38h	NRDY 割り込み許可レジスタ	NRDYENB	00h
2E39h			00h
2E3Ah	BEMP 割り込み許可レジスタ	BEMPENB	00h
2E3Bh			00h
2E3Ch	SOF 出力コンフィグレーションレジスタ	SOFCFG	00h
2E3Dh			00h
2E3Eh			
2E3Fh			
2E40h	割り込みステータスレジスタ0	INTSTS0	X0000000b
2E41h			X0000000b
2E42h	割り込みステータスレジスタ1	(注2) INTSTS1	00h
2E43h			00h
2E44h			
2E45h			
2E46h	BRDY 割り込みステータスレジスタ	BRDYSTS	00h
2E47h			00h
2E48h	NRDY 割り込みステータスレジスタ	NRDYSTS	00h
2E49h			00h
2E4Ah	BEMP 割り込みステータスレジスタ	BEMPSTS	00h
2E4Bh			00h
2E4Ch	フレームナンバーレジスタ	FRMNUM	00h
2E4Dh			00h
2E4Eh			
2E4Fh			
2E50h	USB アドレスレジスタ	USBADDR	00h
2E51h			00h
2E52h			
2E53h			
2E54h	USB リクエストタイプレジスタ	USBREQ	00h
2E55h			00h
2E56h	USB リクエストバリュレジスタ	USBVAL	00h
2E57h			00h
2E58h	USB リクエストインデックスレジスタ	USBINDX	00h
2E59h			00h
2E5Ah	USB リクエストレンクスレジスタ	USBLENG	00h
2E5Bh			00h
2E5Ch	DCP コンフィギュレーションレジスタ	DCPCFG	00h
2E5Dh			00h
2E5Eh	DCP マックスパケットサイズレジスタ	DCPMAXP	40h
2E5Fh			00h
2E60h	DCP コントロールレジスタ	DCPCTR	40h
2E61h			00h
2E62h			
2E63h			
2E64h	パイプウィンドウ選択レジスタ	PIPESEL	00h
2E65h			00h
2E66h			
2E67h			
2E68h	パイプコンフィギュレーションレジスタ	PIPECFG	00h
2E69h			00h
2E6Ah			
2E6Bh			
2E6Ch	パイプマックスパケットサイズレジスタ	PIPEMAXP	00h
2E6Dh			00h
2E6Eh	パイプ周期制御レジスタ	(注2) PIPEPERI	00h
2E6Fh			00h

注1. 空欄は予約領域です。アクセスしないでください。

注2. R8C/34Uグループに、このレジスタはありません。

X: 不定です。



表4.14 SFR一覧(14)(注1)

番地	レジスタ	シンボル	リセット後の値
2E70h			
2E71h			
2E72h			
2E73h			
2E74h			
2E75h			
2E76h	パイプ4コントロールレジスタ	PIPE4CTR	00h
2E77h			00h
2E78h	パイプ5コントロールレジスタ	PIPE5CTR	00h
2E79h			00h
2E7Ah	パイプ6コントロールレジスタ	PIPE6CTR	00h
2E7Bh			00h
2E7Ch	パイプ7コントロールレジスタ	PIPE7CTR	00h
2E7Dh			00h
2E7Eh			
2E7Fh			
2E80h			
:			
2E8Fh			
2E90h			
2E91h			
2E92h			
2E93h			
2E94h			
2E95h			
2E96h			
2E97h			
2E98h			
2E99h			
2E9Ah			
2E9Bh			
2E9Ch	パイプ4トランザクションカウンタインーブルレジスタ	PIPE4TRE	00h
2E9Dh			00h
2E9Eh	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	00h
2E9Fh			00h
2EA0h	パイプ5トランザクションカウンタインーブルレジスタ	PIPE5TRE	00h
2EA1h			00h
2EA2h	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	00h
2EA3h			00h
2EA4h			
2EA5h			
2EA6h			
2EA7h			
2EA8h			
2EA9h			
2EAAh			
2EABh			
2EACH			
2EADh			
:			
2ECFh			
2ED0h	デバイスアドレス0コンフィグレーションレジスタ (注2)	DEVADD0	00h
2ED1h			00h
2ED2h	デバイスアドレス1コンフィグレーションレジスタ (注2)	DEVADD1	00h
2ED3h			00h
2ED4h	デバイスアドレス2コンフィグレーションレジスタ (注2)	DEVADD2	00h
2ED5h			00h
2ED6h	デバイスアドレス3コンフィグレーションレジスタ (注2)	DEVADD3	00h
2ED7h			00h
2ED8h	デバイスアドレス4コンフィグレーションレジスタ (注2)	DEVADD4	00h
2ED9h			00h
2EDAh	デバイスアドレス5コンフィグレーションレジスタ (注2)	DEVADD5	00h
2EDBh			00h
2EDCh			
2EDDh			
:			
2EFFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. R8C/34Uグループに、このレジスタはありません。

X: 不定です。

表4.15 SFR一覧(15)(注1)

番地	レジスタ	シンボル	リセット後の値
2F00h	USB モジュール制御レジスタ	USBMC	00X10000b
2F01h	PLL 制御レジスタ 0	PLC0	0010X000b
2F02h	PLL 制御レジスタ 1	PLC1	00001100b
2F03h	PLL 分周制御レジスタ	PLDIV	00001011b
2F04h			
2F05h			
2F06h			
2F07h			
2F08h			
2F09h			
2FOAh			
2F0Bh			
2F0Ch			
2F0Dh			
2F0Eh			
2F0Fh			
2F10h	USB 端子選択レジスタ 0	USBSR0	00h
2F11h	USB 端子選択レジスタ 1 (注2)	USBSR1	00h
2F12h	UART3 端子選択レジスタ	U3SR	00h
2F13h			
2F14h			
2F15h			
2F16h			
2F17h			
2F18h			
2F19h			
2F1Ah			
2F1Bh			
2F1Ch			
2F1Dh			
2F1Eh			
2F1Fh			
⋮			
2FFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. R8C/34Uグループに、このレジスタはありません。

X: 不定です。

表4.16 IDコード領域、オプション機能選択領域

番地	領域名	シンボル	リセット後の値
⋮			
FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
⋮			
FFDFh	ID1		(注2)
⋮			
FFE3h	ID2		(注2)
⋮			
FFEBh	ID3		(注2)
⋮			
FFEFh	ID4		(注2)
⋮			
FFF3h	ID5		(注2)
⋮			
FFF7h	ID6		(注2)
⋮			
FFFBh	ID7		(注2)
⋮			
FFFFh	オプション機能選択レジスタ	OFS	(注1)

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域は“FFh”になります。

ブランク出荷品の出荷時、オプション機能選択領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域は“FFh”になります。

ブランク出荷品の出荷時、IDコード領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

## 5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視0リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表5.1にリセットの名称と要因を、図5.1にリセット回路のブロック図を示します。

表5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子の入力電圧が“L”
パワーオンリセット	VCCの上昇
電圧監視0リセット	VCCの下降(監視電圧: Vdet0)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く

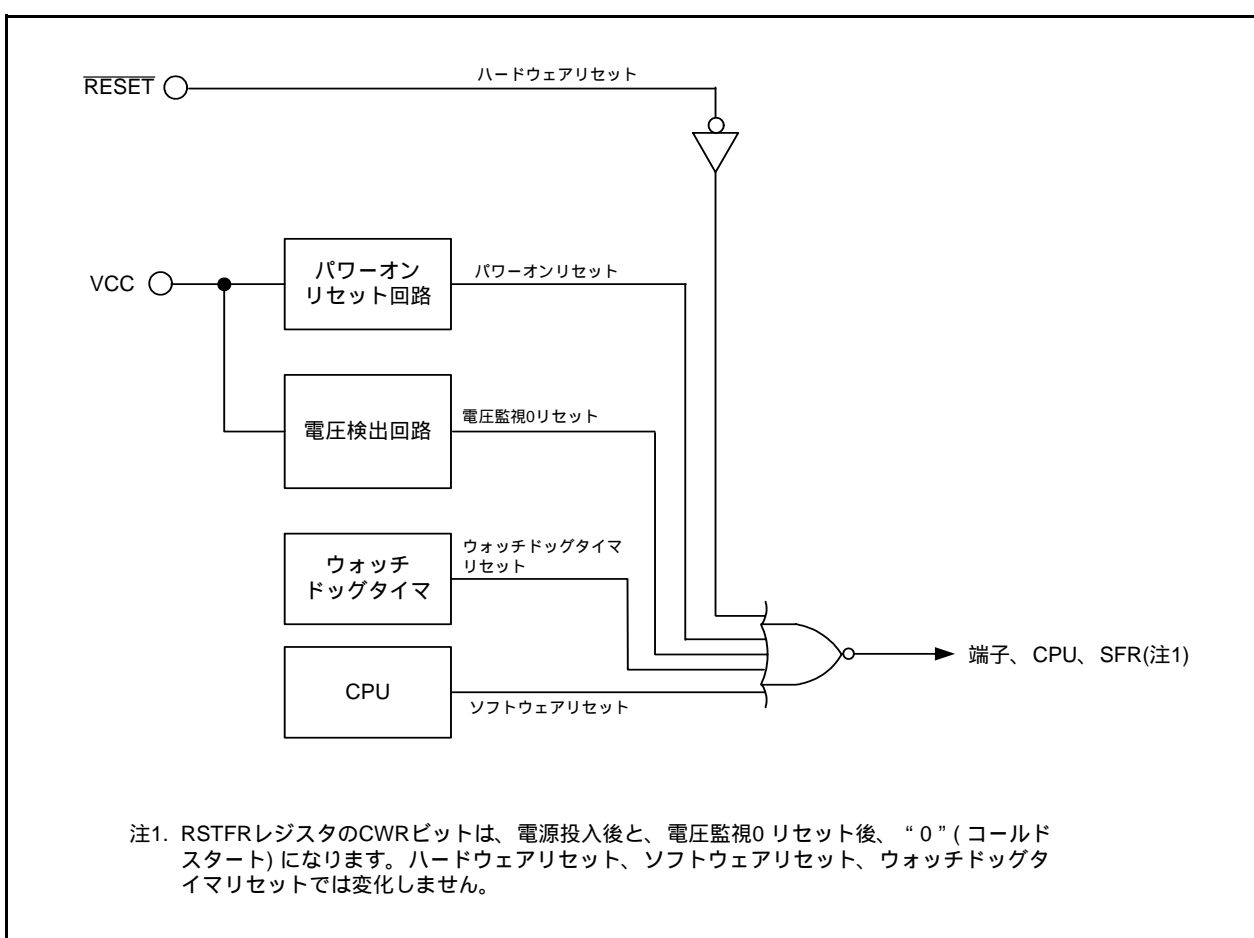


図5.1 リセット回路のブロック図

表5.2にRESET端子のレベルが“L”の期間の端子の状態を、図5.2にリセット後のCPUレジスタの状態を、図5.3にリセットシーケンスを示します。

表5.2 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0_0 ~ P0_7、P1_0 ~ P1_7、 P3_0、P3_3 ~ P3_5、P3_7、P4_3 ~ P4_7、 P6_0、P6_5 ~ P6_7、P7_6、P7_7、P8_0 ~ P8_3	入力ポート

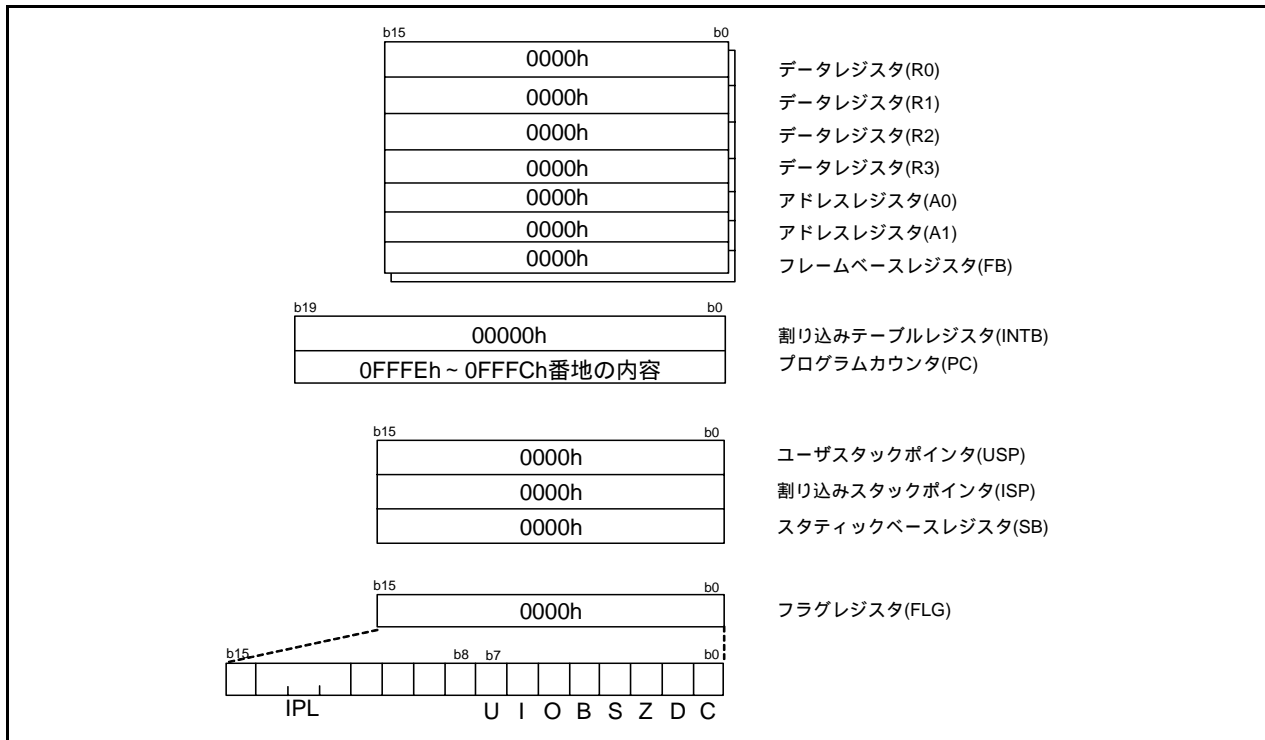


図5.2 リセット後のCPUレジスタの状態

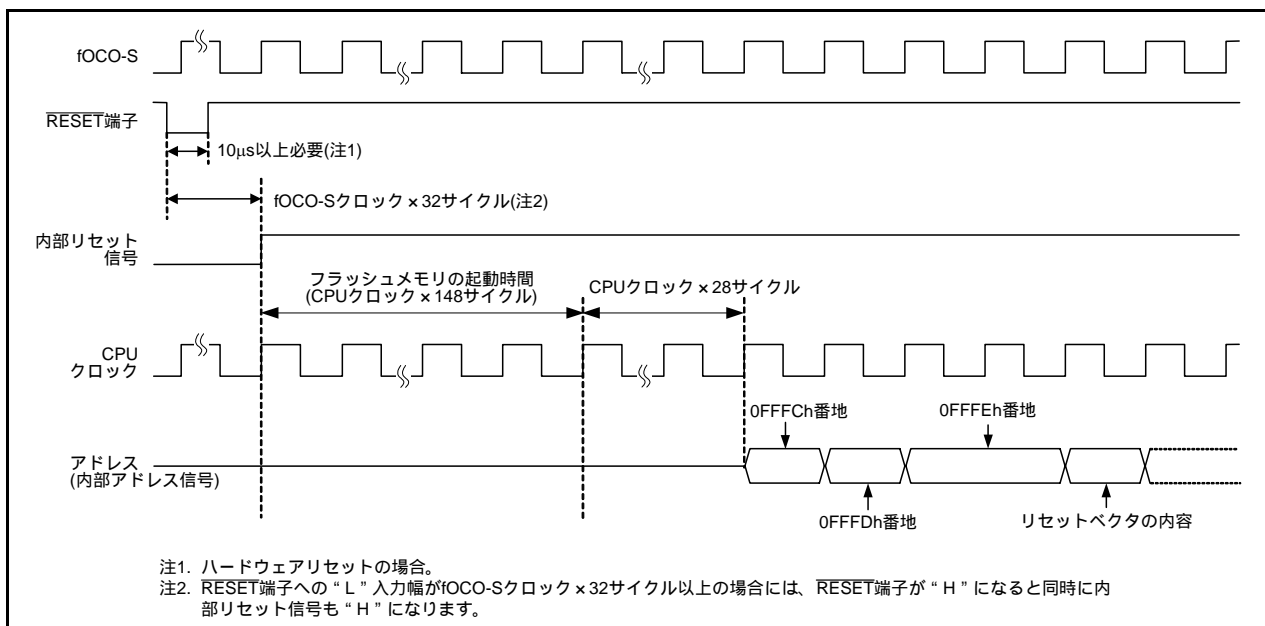


図5.3 リセットシーケンス

## 5.1 レジスタの説明

## 5.1.1 プロセッサモードレジスタ0 (PM0)

アドレス 0004h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	PM03	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	-			
b3	PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”。	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

PM0レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

## 5.1.2 リセット要因判別レジスタ(RSTFR)

アドレス 000Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDR	SWR	HWR	CWR
リセット後の値	0	X	X	X	X	X	X	X

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート/ウォームスタート判定フラグ(注2、3)	0: コールドスタート 1: ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ	0: 未検出 1: 検出	R
b2	SWR	ソフトウェアリセット検出フラグ	0: 未検出 1: 検出	R
b3	WDR	ウォッチドッグタイマリセット検出フラグ	0: 未検出 1: 検出	R
b4	-	予約ビット	読んだ場合、その値は不定。	R
b5	-			
b6	-			
b7	-	予約ビット	“0” にしてください	R/W

注1. CWR ビットは電源投入後と、電圧監視0リセット後、“0”(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注2. CWRビットはプログラムで“1”を書くと“1”になります。(“0”を書いて変化しません。)

注3. VW0CレジスタのVW0C0ビットが“0”(電圧監視0リセット禁止)のとき、CWRビットは不定です。

## 5.1.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0: 3.80Vを選択 (Vdet0_3) 0 1: 2.85Vを選択 (Vdet0_2) 1 0: 2.35Vを選択 (Vdet0_1) 1 1: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

## LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0 ~ VDSEL1ビットで選択されます。

## 5.1.4 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	-	予約ビット	"1" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。

ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

## WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

## 5.2 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表5.2 RESET端子のレベルが“L”の期間の端子の状態」、「図5.2 リセット後のCPUレジスタの状態」、および「表4.1～表4.15 SFR一覧」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図5.4にハードウェアリセット回路例と動作を、図5.5にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

### 5.2.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) 10 $\mu$ s待つ
- (3) RESET端子に“H”を入力する

### 5.2.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ(「32. 電気的特性」参照)
- (4) 10 $\mu$ s待つ
- (5) RESET端子に“H”を入力する



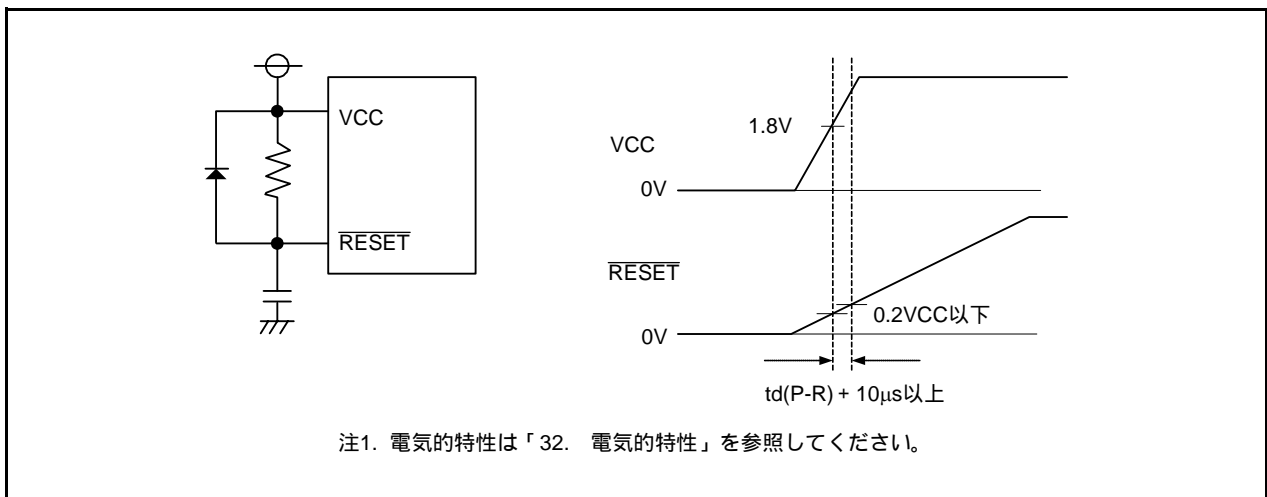


図5.4 ハードウェアリセット回路例と動作

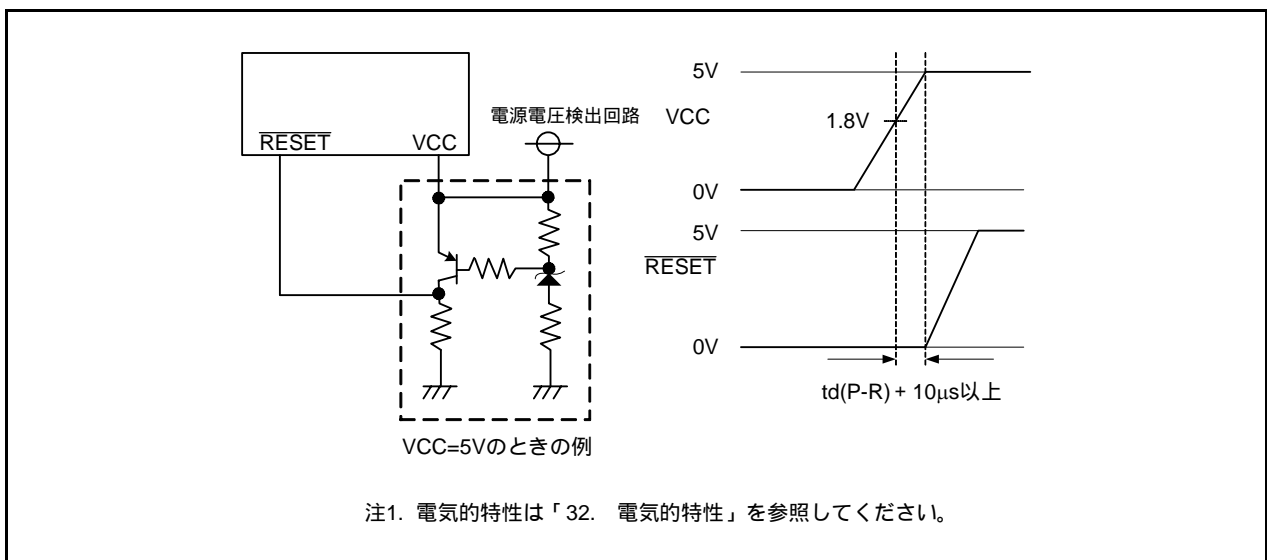


図5.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

### 5.3 パワーオンリセット機能

抵抗を介してRESET端子をVCCに接続し、VCCを立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に $0.8V_{CC}$ 以上になるようにご注意ください。

VCC端子に入力する電圧が $V_{det0}$ 以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.6にパワーオンリセット回路例と動作を示します。

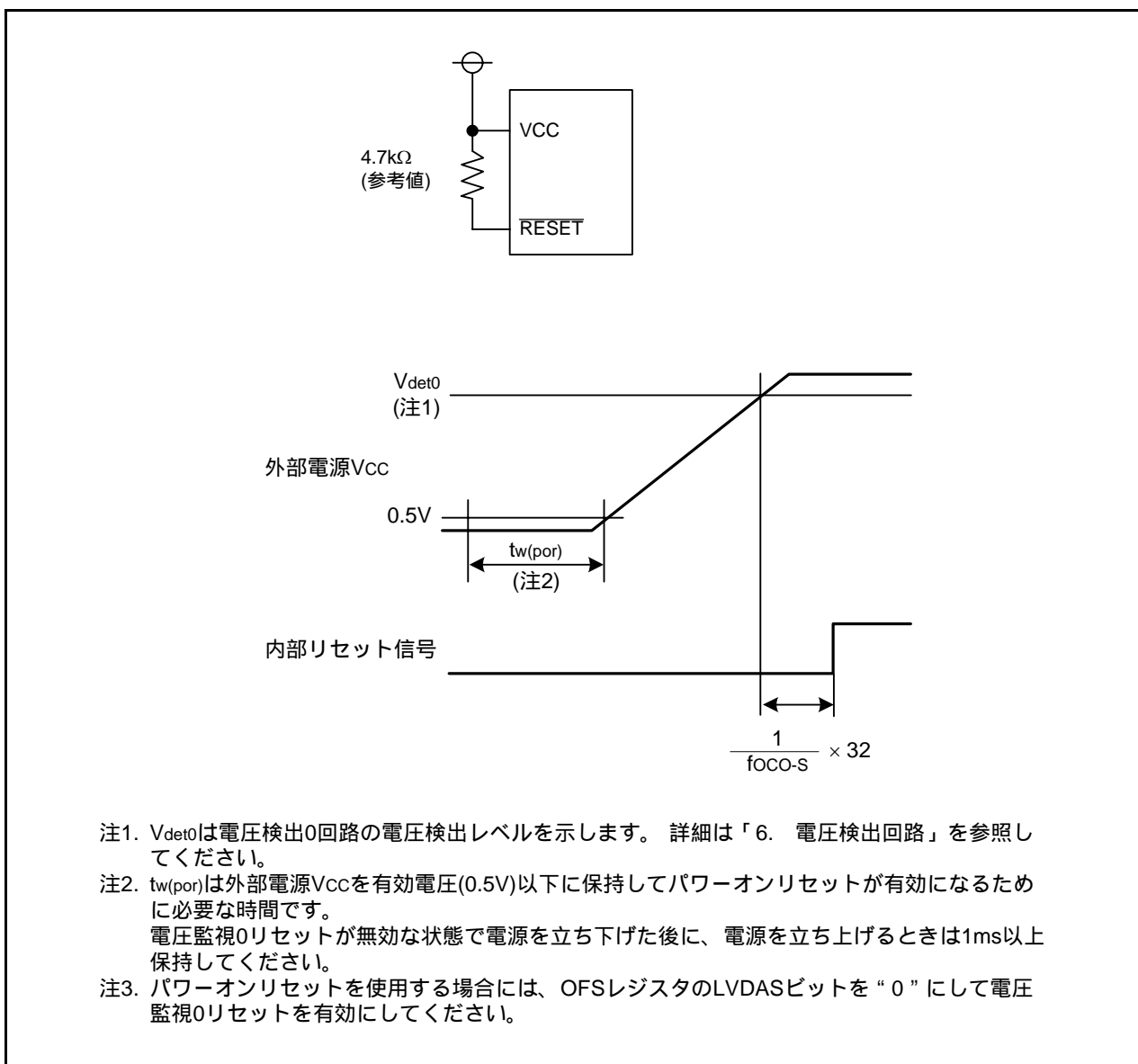


図5.6 パワーオンリセット回路例と動作

## 5.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。Vdet0の電圧検出レベルは、OFSレジスタのVDSEL0～VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウンタを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

VDSEL0～VDSEL1ビット、LVDASビットはプログラムでは変更できません。これらのビットを設定する場合は、フラッシュライタで0FFFFh番地のb4～b6に値を書いてください。

OFSレジスタの詳細は「5.1.3 オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視0リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「6. 電圧検出回路」を参照してください。

図5.7に電圧監視0リセット回路例と動作を示します。

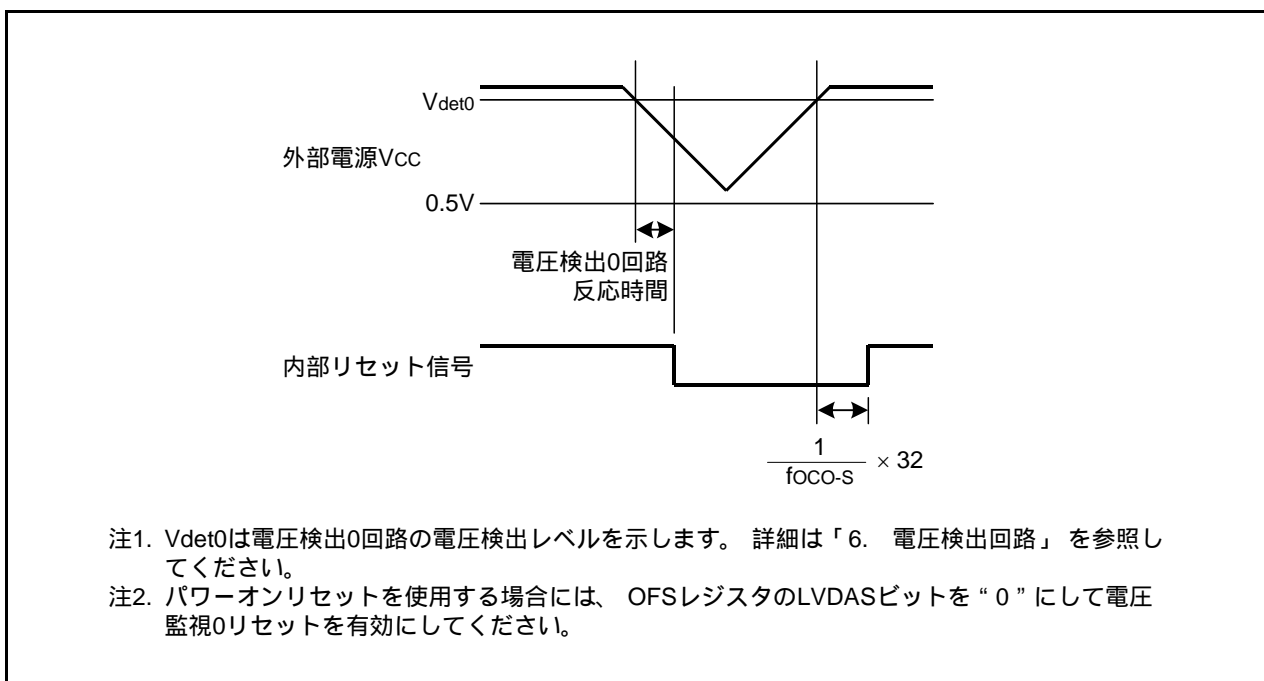


図5.7 電圧監視0リセット回路例と動作

### 5.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0～WDTUFS1ビット、WDTRCS0～WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「14. ウォッチドッグタイマ」を参照してください。

### 5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。

### 5.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時“0”(コールドスタート)です。また、電圧監視0リセットでも“0”になります。CWRビットはプログラムで“1”を書くと“1”になり、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視0リセットを使用します。

図5.8にコールドスタート/ウォームスタート判定機能の動作例を示します。

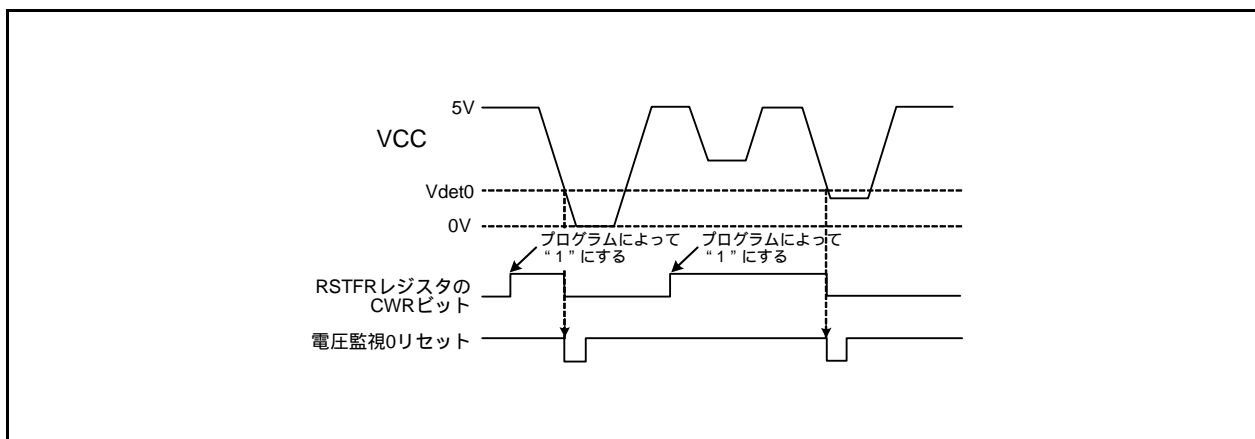


図5.8 コールドスタート/ウォームスタート判定機能の動作例

### 5.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセットおよびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセットが発生すると、HWRビットが“1”(検出)になります。ソフトウェアリセットが発生すると、SWRビットが“1”(検出)になります。ウォッチドッグタイマリセットが発生すると、WDRビットが“1”(検出)になります。

## 6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できません。

### 6.1 概要

電圧検出0はOFSレジスタで、検出電圧を4レベルから選択できます。

電圧検出1はVD1LSレジスタで、検出電圧を16レベルから選択できます。

また、電圧監視0リセット、電圧監視1割り込み、電圧監視2割り込みを使用できます。

表6.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	上昇または下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	検出電圧	OFSレジスタで4レベルから選択可能	VD1LSレジスタで16レベルから選択可能	固定レベル
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低いかなし	VCA1レジスタのVCA13ビット Vdet2より高いか低いかなし
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット；VCC > Vdet0でCPU動作再開	なし	なし
	割り込み	なし	電圧監視1割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet1 > VCC、 VCC > Vdet1の両方、またはどちらかで割り込み要求	電圧監視2割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet2 > VCC、 VCC > Vdet2の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間		(fOCO-Sのn分周) × 2 n : 1、2、4、8	(fOCO-Sのn分周) × 2 n : 1、2、4、8

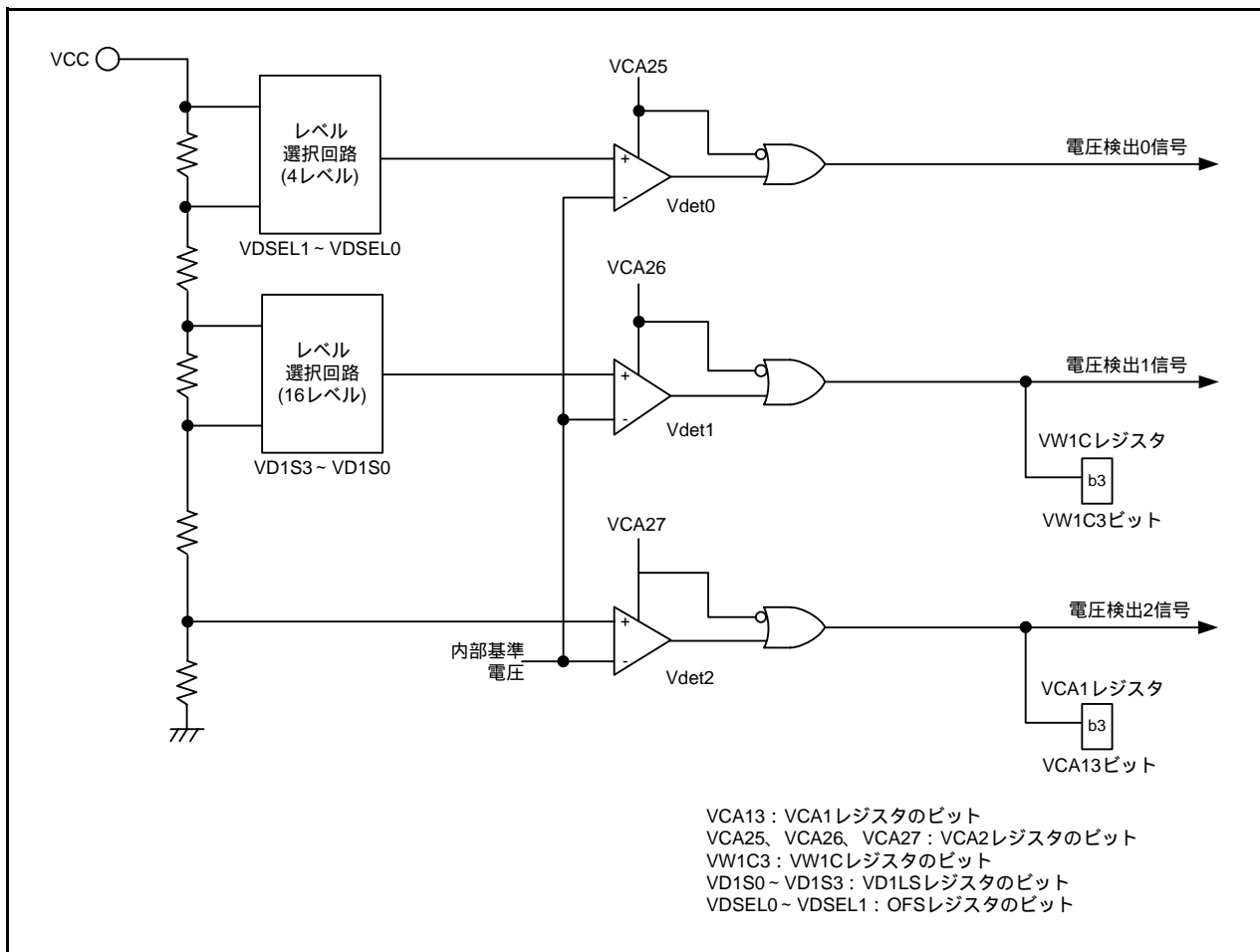


図6.1 電圧検出回路ブロック図

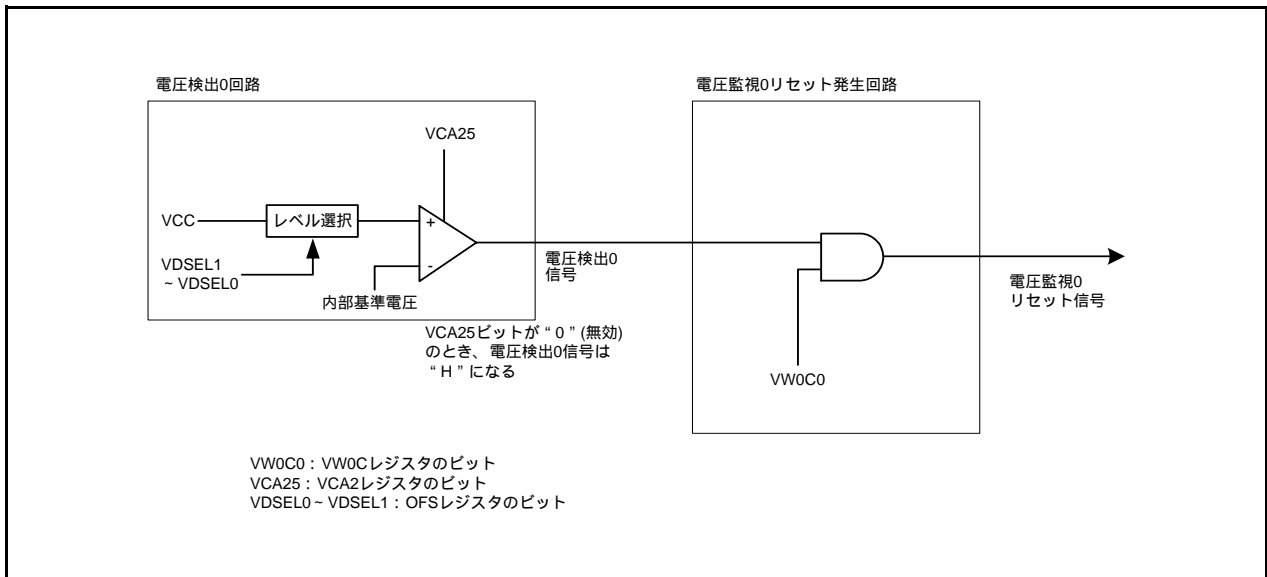


図6.2 電圧監視0リセット発生回路のブロック図

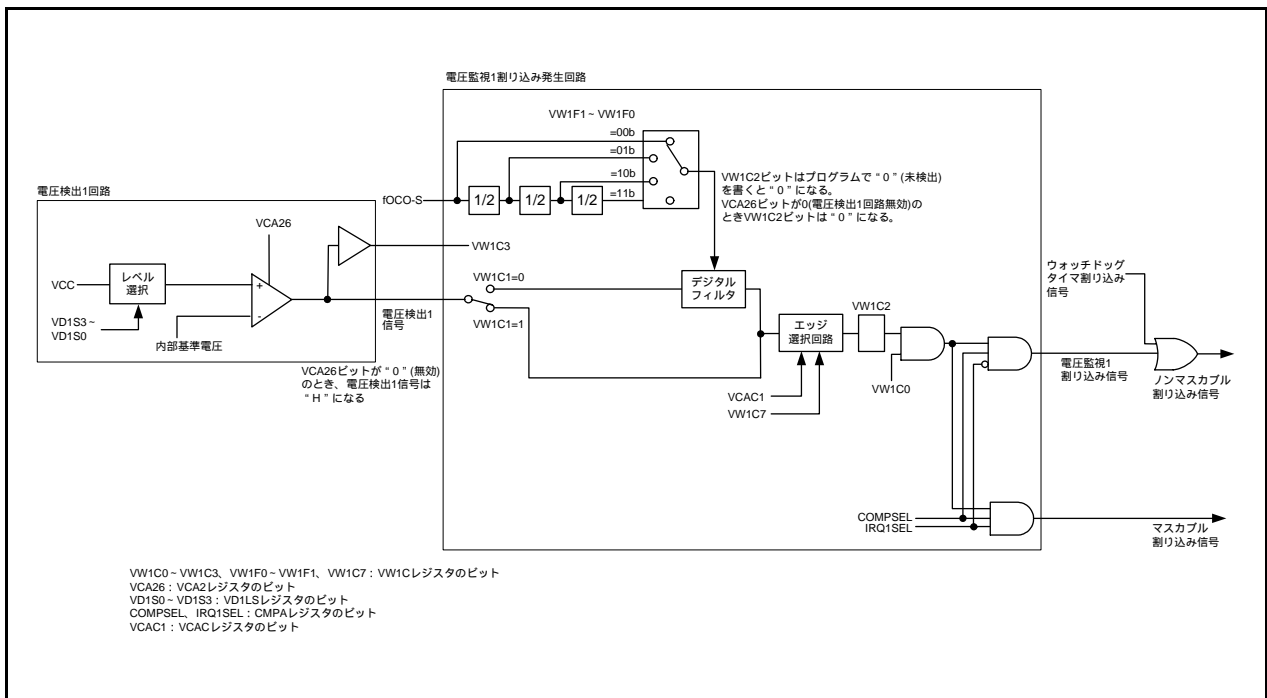


図6.3 電圧監視1割り込み発生回路のブロック図



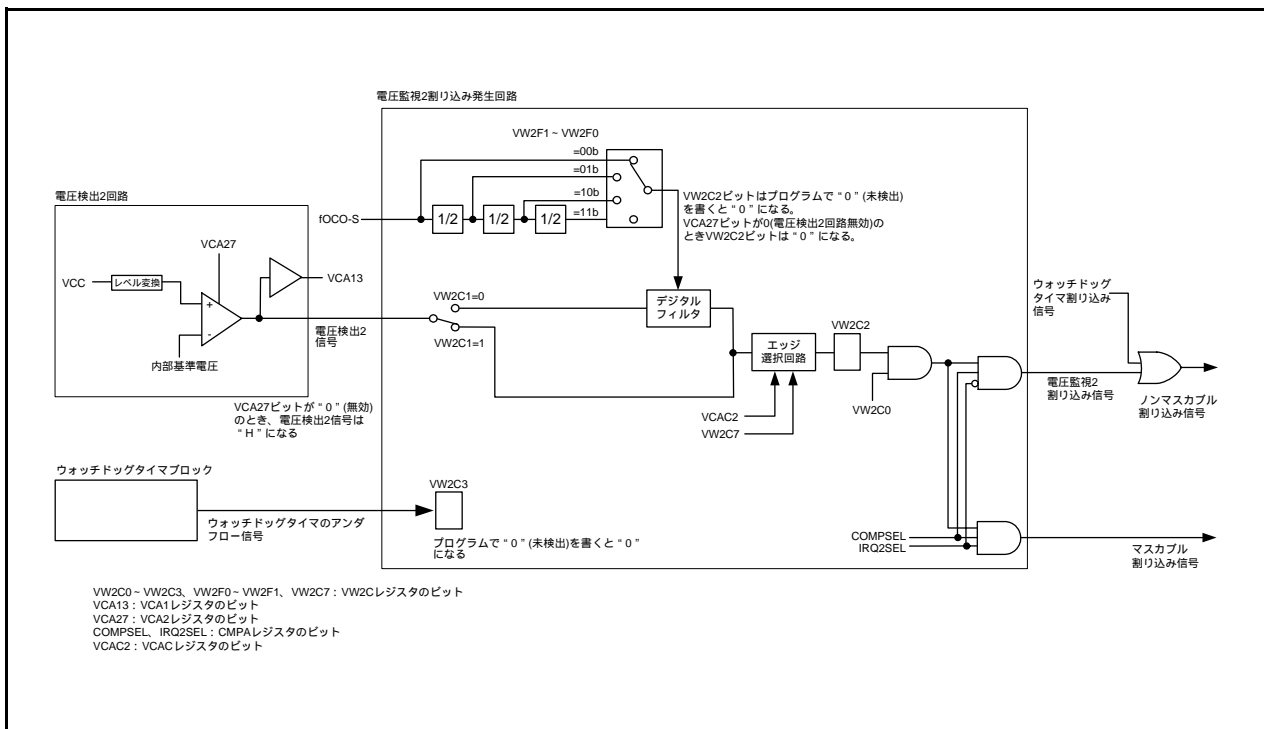


図6.4 電圧監視2割り込み発生回路のブロック図

## 6.2 レジスタの説明

## 6.2.1 電圧監視回路制御レジスタ (CMPA)

アドレス 0030h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMPSEL	—	IRQ2SEL	IRQ1SEL	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	IRQ1SEL	電圧監視1割り込み種類選択ビット (注1)	0: ノンマスクابل割り込み 1: マスクابل割り込み	R/W
b5	IRQ2SEL	電圧監視2割り込み種類選択ビット (注2)	0: ノンマスクابل割り込み 1: マスクابل割り込み	R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	COMPSEL	電圧監視割り込み種類選択有効ビット (注1、2)	0: IRQ1SEL、IRQ2SELビット無効 1: IRQ1SEL、IRQ2SELビット有効	R/W

注1. VW1CレジスタのVW1C0ビットが“1”(許可)のとき、IRQ1SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

注2. VW2CレジスタのVW2C0ビットが“1”(許可)のとき、IRQ2SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

## 6.2.2 電圧監視回路エッジ選択レジスタ (VCAC)

アドレス 0031h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	VCAC2	VCAC1	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	VCAC1	電圧監視1回路エッジ選択ビット (注1)	0:片エッジ 1:両エッジ	R/W
b2	VCAC2	電圧監視2回路エッジ選択ビット (注2)	0:片エッジ 1:両エッジ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. VCAC1ビットが“0”(片エッジ)のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。

注2. VCAC2ビットが“0”(片エッジ)のとき、VW2CレジスタのVW2C7ビットが有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

## 6.2.3 電圧検出レジスタ1 (VCA1)

アドレス 0033h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	VCA13	-	-	-
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0”にしてください	R/W
b1	-			
b2	-			
b3	VCA13	電圧検出2信号モニタフラグ(注1)	0: VCC < Vdet2 1: VCC >= Vdet2、または電圧検出2回路無効	R
b4	-	予約ビット	“0”にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. VCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき、VCA13ビットは有効です。

VCA2レジスタのVCA27ビットが“0”(電圧検出2回路無効)のとき、VCA13ビットは“1”(VCC >= Vdet2)になります。

## 6.2.4 電圧検出レジスタ2 (VCA2)

アドレス 0034h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	-	-	-	-	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	-			
b4	-			
b5	VCA25	電圧検出0許可ビット(注3)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注5)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図9.3 VCA20ビットによる内部電源低消費電力操作手順」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

## 6.2.5 電圧検出1レベル選択レジスタ(VD1LS)

アドレス 0036h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	–	–	–	–	VD1S3	VD1S2	VD1S1	VD1S0
リセット後の値	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	VD1S0	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b2 b1 b0 0 0 0 0 : 2.20V (Vdet1_0)	R/W
b1	VD1S1		0 0 0 1 : 2.35V (Vdet1_1)	R/W
b2	VD1S2		0 0 1 0 : 2.50V (Vdet1_2)	R/W
b3	VD1S3		0 0 1 1 : 2.65V (Vdet1_3)	R/W
			0 1 0 0 : 2.80V (Vdet1_4)	
			0 1 0 1 : 2.95V (Vdet1_5)	
			0 1 1 0 : 3.10V (Vdet1_6)	
			0 1 1 1 : 3.25V (Vdet1_7)	
			1 0 0 0 : 3.40V (Vdet1_8)	
			1 0 0 1 : 3.55V (Vdet1_9)	
			1 0 1 0 : 3.70V (Vdet1_A)	
			1 0 1 1 : 3.85V (Vdet1_B)	
			1 1 0 0 : 4.00V (Vdet1_C)	
		1 1 0 1 : 4.15V (Vdet1_D)		
		1 1 1 0 : 4.30V (Vdet1_E)		
		1 1 1 1 : 4.45V (Vdet1_F)		
b4	–	予約ビット	“0” にしてください	R/W
b5	–			
b6	–			
b7	–			

VD1LSレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

## 6.2.6 電圧監視0回路制御レジスタ(VW0C)

アドレス 0038h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	VW0C0
リセット後の値	1	1	0	0	X	0	1	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	1	1	0	0	X	0	1	1
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VW0C0	電圧監視0リセット許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	-	予約ビット	読んだ場合、その値は不定。	R
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-	予約ビット	“1” にしてください	R/W
b7	-			

注1. VW0C0ビットはVCA2レジスタのVCA25ビットが“1”(電圧検出0回路有効)のとき有効になります。  
VW0C0ビットに書く場合は、リセット後の値を書いてください。

VW0Cレジスタは、PRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

## 6.2.7 電圧監視1回路制御レジスタ(VW1C)

アドレス 0039h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	—	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	電圧監視1割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2、6)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	電圧変化検出フラグ(注3、4)	0: 未検出 1: Vdet1 通過検出	R/W
b3	VW1C3	電圧検出1信号モニタフラグ(注3)	0: VCC < Vdet1 1: VCC > Vdet1 または電圧検出1回路無効	R
b4	VW1F0	サンプリングクロック選択ビット (注6)	b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周	R/W
b5	VW1F1			R/W
b6	—	予約ビット	“0” にしてください	R/W
b7	VW1C7	電圧監視1割り込み発生条件選択ビット(注5)	0: VCCがVdet1以上になるとき 1: VCCがVdet1以下になるとき	R/W

- 注1. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。VCA26ビットが“0”(電圧検出1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。VW1C0ビットを“1”(許可)にするときは、「表6.2 電圧監視1割り込み関連ビットの設定手順」に従ってください。
- 注2. デジタルフィルタを使用する場合(VW1C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。  
なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。
- 注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くとき“0”になります(“1”を書いても変化しません)。
- 注5. VW1C7ビットはVCACレジスタのVCAC1ビットが“0”(片エッジ)のとき有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。
- 注6. VW1C0ビットが“1”(許可)のとき、VW1C1ビットとVW1F1～VW1F0ビットを同時に(1命令で)設定しないでください。

VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW1Cレジスタを書き換えると、VW1C2ビットが“1”になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを“0”にしてください。

## 6.2.8 電圧監視2回路制御レジスタ(VW2C)

アドレス 003Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW2C7	–	VW2F1	VW2F0	VW2C3	VW2C2	VW2C1	VW2C0
リセット後の値	1	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW2C0	電圧監視2割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2、6)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW2C2	電圧変化検出フラグ(注3、4)	0: 未検出 1: Vdet2通過検出	R/W
b3	VW2C3	WDT検出フラグ(注4)	0: 未検出 1: 検出	R/W
b4	VW2F0	サンプリングクロック選択ビット (注6)	b5 b4 00: fOCO-Sの1分周 01: fOCO-Sの2分周 10: fOCO-Sの4分周 11: fOCO-Sの8分周	R/W
b5	VW2F1			R/W
b6	–	予約ビット	“0” にしてください	R/W
b7	VW2C7	電圧監視2割り込み発生条件選択ビット(注5)	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	R/W

注1. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。VW2C0ビットを“1”(許可)にするときは、「表6.3 電圧監視2割り込み関連ビットの設定手順」に従ってください。

注2. デジタルフィルタを使用する場合(VW2C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。

注4. プログラムで“0”にしてください。プログラムで“0”を書くとき“0”になります(“1”を書いても変化しません)。

注5. VW2C7ビットはVCACレジスタのVCAC2ビットが“0”(片エッジ)のとき有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

注6. VW2C0ビットが“1”(許可)のとき、VW2C1ビットとVW2F1～VW2F0ビットを同時に(1命令で)設定しないでください。

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。



## 6.2.9 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0: 3.80Vを選択 (Vdet0_3) 0 1: 2.85Vを選択 (Vdet0_2) 1 0: 2.35Vを選択 (Vdet0_1) 1 1: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

## LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0 ~ VDSEL1ビットで選択されます。

## 6.3 VCC入力電圧のモニタ

### 6.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

### 6.3.2 Vdet1のモニタ

次の設定をした後、td(E-A)(「32. 電気的特性」参照)経過後、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

- (1) VD1LSレジスタのVD1S3～VD1S0ビット(電圧検出1検出電圧)を設定する
- (2) VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする

### 6.3.3 Vdet2のモニタ

次の設定をした後、td(E-A)(「32. 電気的特性」参照)経過後、VCA1レジスタのVCA13ビットで電圧監視2の比較結果をモニタできます。

- VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする

## 6.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図6.5に電圧監視0リセット動作例を示します。

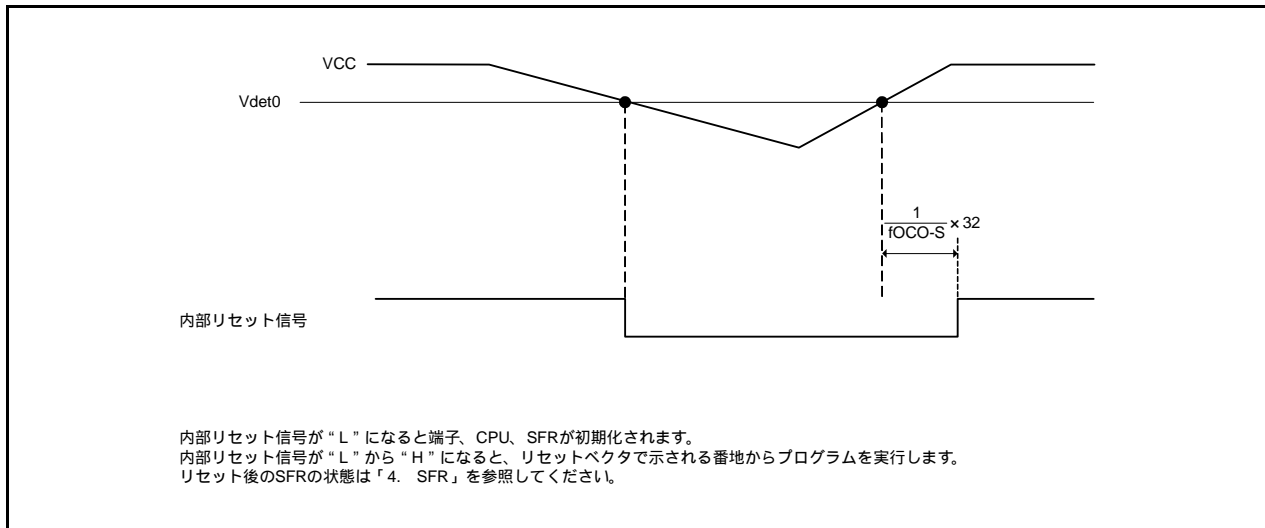


図6.5 電圧監視0リセット動作例

## 6.5 電圧監視1割り込み

表6.2に電圧監視1割り込み関連ビットの設定手順を、図6.6に電圧監視1割り込み動作例を示します。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.2 電圧監視1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VD1LSレジスタのVD1S3～VD1S0ビットで電圧検出1検出電圧を選択する	
2	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする	
3	td(E-A)待つ	
4	CMPAレジスタのCOMPSELビットを“1”にする	
5(注1)	CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する	
6	VW1CレジスタのVW1F1～VW1F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする
7(注2)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする	
8	VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する	
9	VW1CレジスタのVW1C2ビットを“0”にする	
10	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	
11	デジタルフィルタのサンプリングクロック×2サイクル待つ	(待ち時間なし)
12(注3)	VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み許可)にする	

注1. VW1C0ビットが“0”のとき、手順4と5は同時に(1命令で)実行可能です。

注2. VW1C0ビットが“0”のとき、手順6と7は同時に(1命令で)実行可能です。

注3. 電圧監視1割り込み禁止の状態でも、電圧検出1回路が有効であれば、電圧低下を検出し、VW1C2ビットは“1”になります。

電圧監視1割り込み関連ビットの設定手順において、電圧検出1回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW1C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。

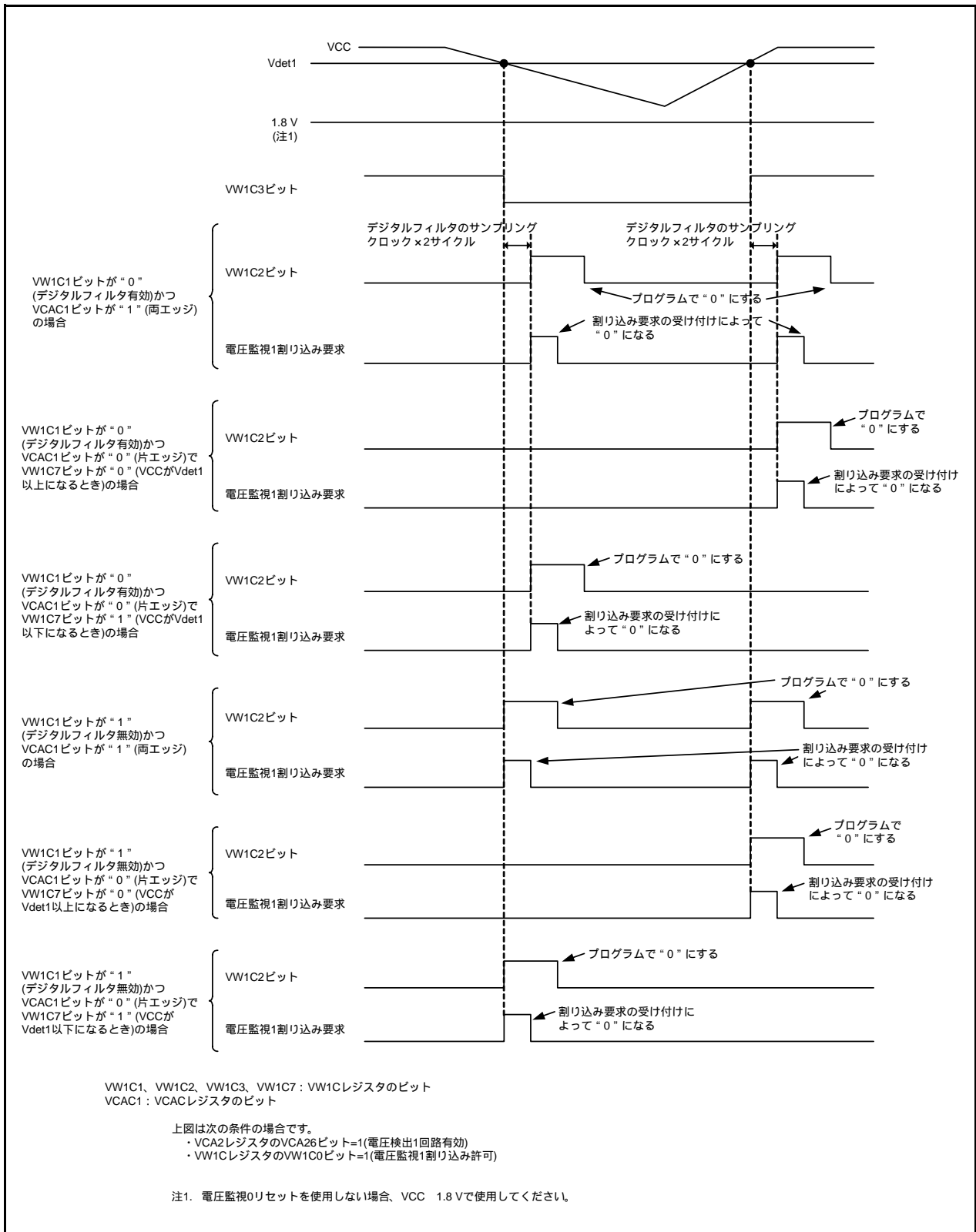


図6.6 電圧監視1割り込み動作例

## 6.6 電圧監視2割り込み

表6.3に電圧監視2割り込み関連ビットの設定手順を、図6.7に電圧監視2割り込み動作例を示します。  
 なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.3 電圧監視2割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする	
2	td(E-A)待つ	
3	CMPAレジスタのCOMPSELビットを“1”にする	
4(注1)	CMPAレジスタのIRQ2SELビットで割り込みの種類を選択する	
5	VW2CレジスタのVW2F1～VW2F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする
6(注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする	
7	VCACレジスタのVCAC2ビットと、VW2CレジスタのVW2C7ビットで割り込み要求のタイミングを選択する	
8	VW2CレジスタのVW2C2ビットを“0”にする	
9	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	
10	デジタルフィルタのサンプリングクロック×2サイクル待つ	(待ち時間なし)
11(注3)	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み許可)にする	

注1. VW2C0ビットが“0”のとき、手順3と4は同時に(1命令で)実行可能です。

注2. VW2C0ビットが“0”のとき、手順5と6は同時に(1命令で)実行可能です。

注3. 電圧監視2割り込み禁止の状態でも、電圧検出2回路が有効であれば、電圧低下を検出し、VW2C2ビットは“1”になります。

電圧監視2割り込み関連ビットの設定手順において、電圧検出2回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW2C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。

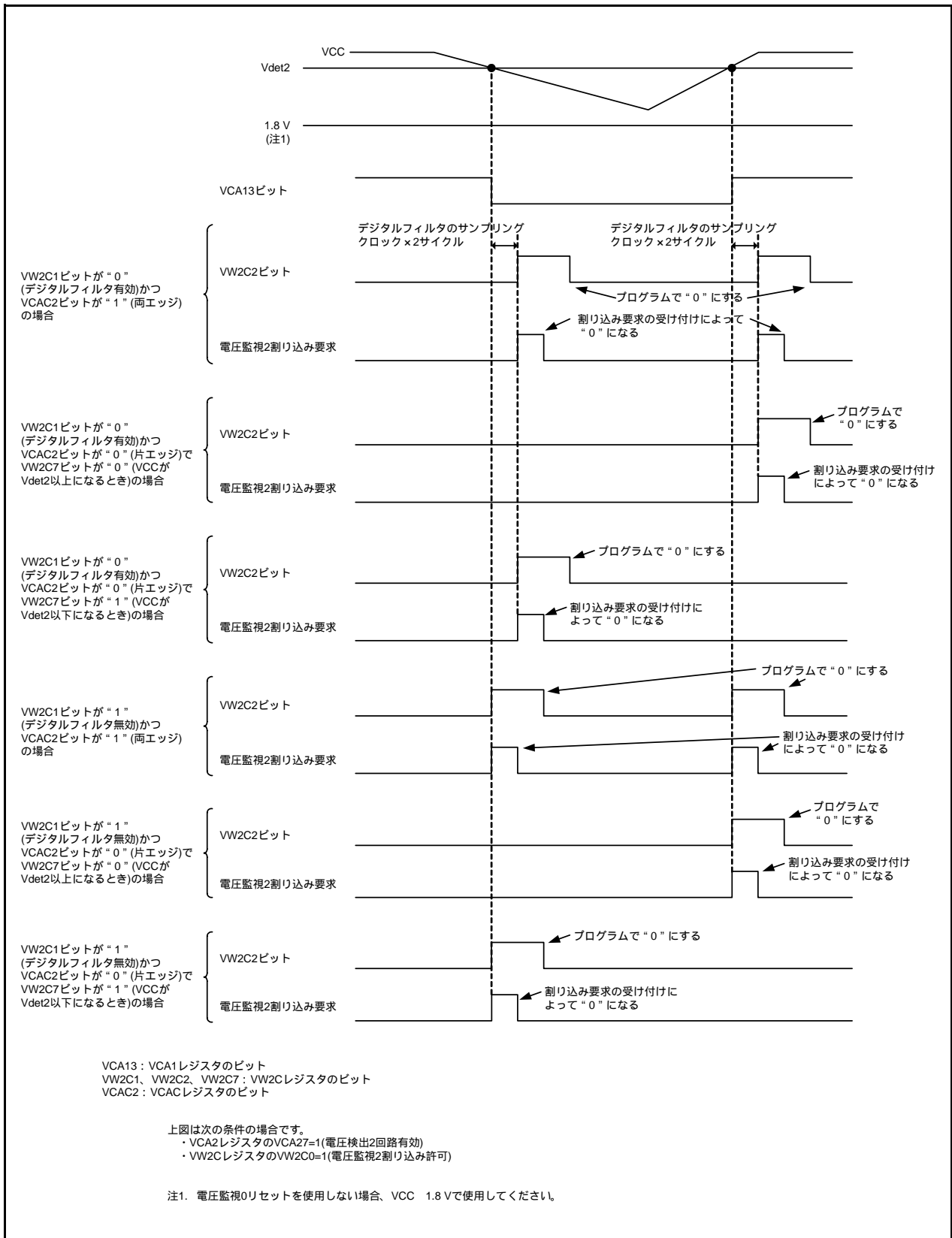


図6.7 電圧監視2割り込み動作例

## 7. I/Oポート

**注意**

本章ではR8C/34Kグループについて説明します。

R8C/34Uグループについては「1.1.2 グループごとの相違点」を参照してください。

I/Oポートは、P0\_0 ~ P0\_7、P1\_0 ~ P1\_7、P3\_0、P3\_3 ~ P3\_5、P3\_7、P4\_3 ~ P4\_7、P6\_0、P6\_5 ~ P6\_7、P7\_6、P7\_7、P8\_0 ~ P8\_3の36本あります。(P4\_6、P4\_7はXINクロック発生回路を使用しない場合、I/Oポートとして使用できます。)

表7.1にI/Oポートの概要を示します。

表7.1 I/Oポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗	駆動能力切り替え	入力レベル切り替え
P0	入出力	CMOS3 ステート	1ビット単位で 設定	4ビット単位で 設定(注1)	4ビット単位で 設定(注3)	8ビット単位で 設定(注4)
P1	入出力	CMOS3 ステート	1ビット単位で 設定	4ビット単位で 設定(注1)	1ビット単位で 設定(注2)	8ビット単位で 設定(注4)
P3_0、P3_3	入出力	CMOS3 ステート	1ビット単位で 設定	2ビット単位で 設定(注1)	2ビット単位で 設定(注3)	5ビット単位で 設定(注4)
P3_4、P3_5、P3_7	入出力	CMOS3 ステート	1ビット単位で 設定	3ビット単位で 設定(注1)	3ビット単位で 設定(注3)	
P4_3	入出力	CMOS3 ステート	1ビット単位で 設定	1ビット単位で 設定(注1)	1ビット単位で 設定(注3)	5ビット単位で 設定(注4)
P4_4、P4_5、 P4_6(注5)、P4_7(注5)	入出力	CMOS3 ステート	1ビット単位で 設定	4ビット単位で 設定(注1)	4ビット単位で 設定(注3)	
P6_0	入出力	CMOS3 ステート	1ビット単位で 設定	1ビット単位で 設定(注1)	1ビット単位で 設定(注3)	4ビット単位で 設定(注4)
P6_5 ~ P6_7	入出力	CMOS3 ステート	1ビット単位で 設定	3ビット単位で 設定(注1)	3ビット単位で 設定(注3)	
P7_6、P7_7	入出力	CMOS3 ステート	1ビット単位で 設定	2ビット単位で 設定(注1)	2ビット単位で 設定(注3)	2ビット単位で 設定(注4)
P8_0 ~ P8_3	入出力	CMOS3 ステート	1ビット単位で 設定	4ビット単位で 設定(注1)	4ビット単位で 設定(注3)	4ビット単位で 設定(注4)

注1. 入力モード時、PUR0レジスタ、PUR1レジスタおよびPUR2レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. P1DRRレジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注3. DRR0レジスタ、DRR1レジスタ、およびDRR2レジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注4. VLT0レジスタ、VLT1レジスタ、およびVLT2レジスタで入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

注5. XINクロック発振回路を使用しない場合、I/Oポートとして使用できます。



## 7.1 I/Oポートの機能

ポートP0\_0 ~ P0\_7、P1\_0 ~ P1\_7、P3\_0、P3\_3 ~ P3\_5、P3\_7、P4\_3 ~ P4\_7、P6\_0、P6\_5 ~ P6\_7、P7\_6、P7\_7、P8\_0 ~ P8\_3の入出力はPDi (i=0、1、3、4、6 ~ 8)レジスタのPDi\_j (j=0 ~ 7)ビットで制御します。Piレジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。

図7.1 ~ 図7.17にI/Oポートの構成を、表7.2にI/Oポートの機能を示します。

表7.2 I/Oポートの機能

Piレジスタをアクセス時の動作	PDiレジスタのPDi_jビットの値	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポートラッチを読む
書き込み	ポートラッチに書く	ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。

i=0、1、3、4、6 ~ 8、j=0 ~ 7

## 7.2 周辺機能への影響

I/Oポートは、周辺機能の入出力として機能する場合があります(「表1.6 ~ 表1.7 ピン番号別端子名一覧」参照)。

表7.3に周辺機能の入出力として機能する場合のPDi\_jビットの設定(i=0、1、3、4、6 ~ 8、j=0 ~ 7)を示します。

周辺機能の設定方法は、各機能説明を参照してください。

表7.3 周辺機能の入出力として機能する場合のPDi\_jビットの設定(i=0、1、3、4、6 ~ 8、j=0 ~ 7)

周辺機能の入出力	端子を共用しているポートのPDi_jビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でも良い(ポートの設定に関係なく、出力になる)

## 7.3 I/Oポート以外の端子

図7.18に端子の構成を示します。

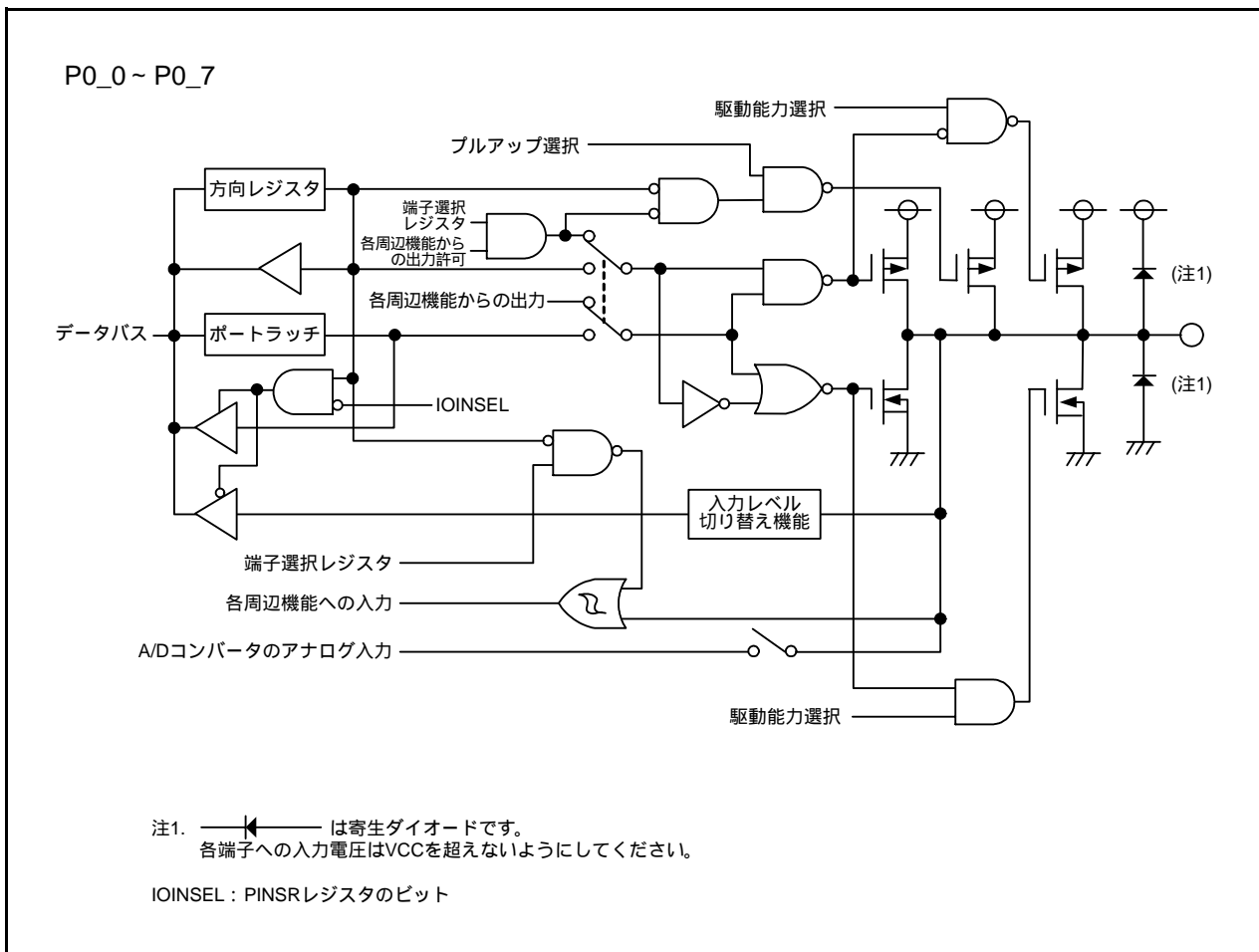


図7.1 I/Oポートの構成(1)

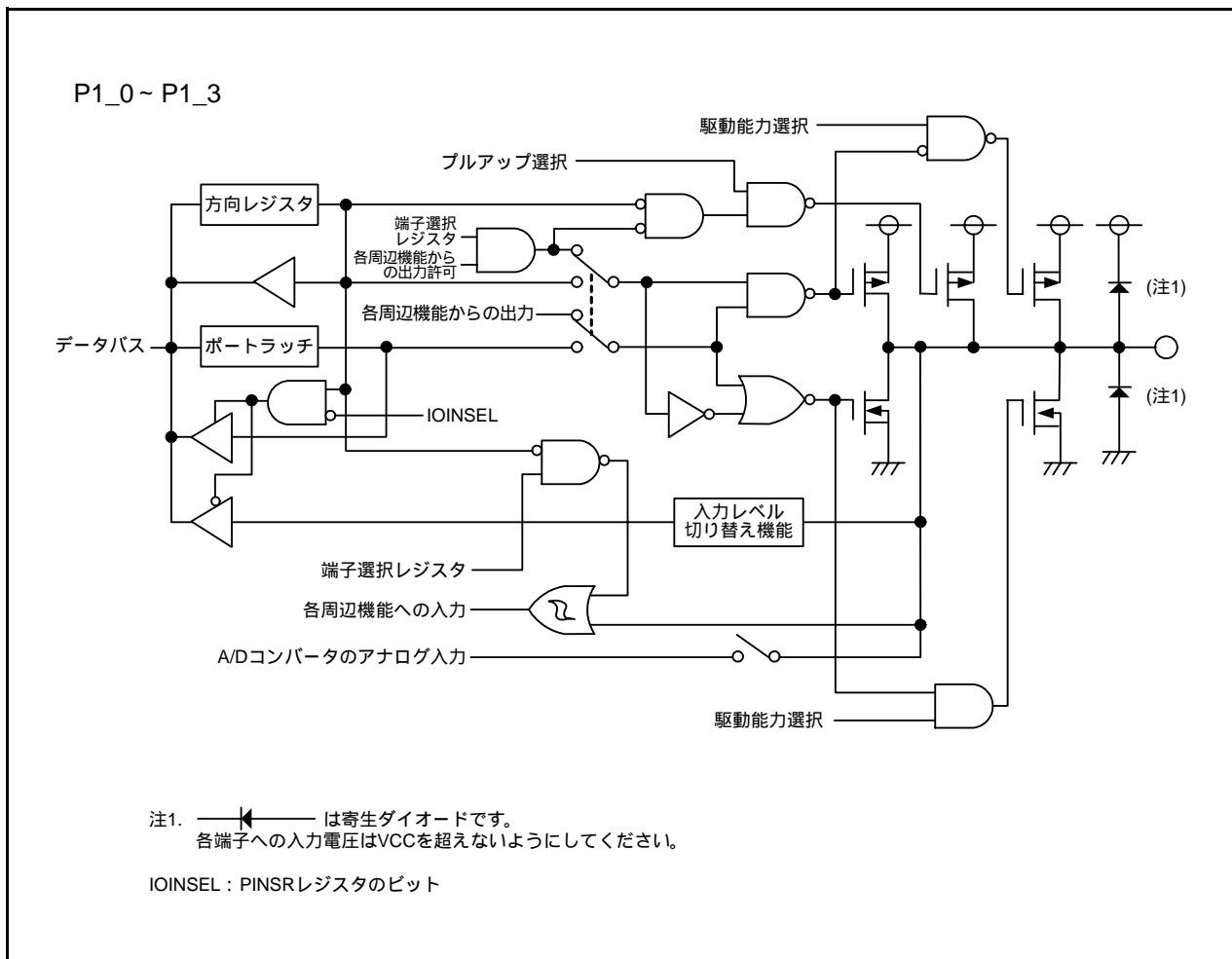


図7.2 I/Oポートの構成(2)

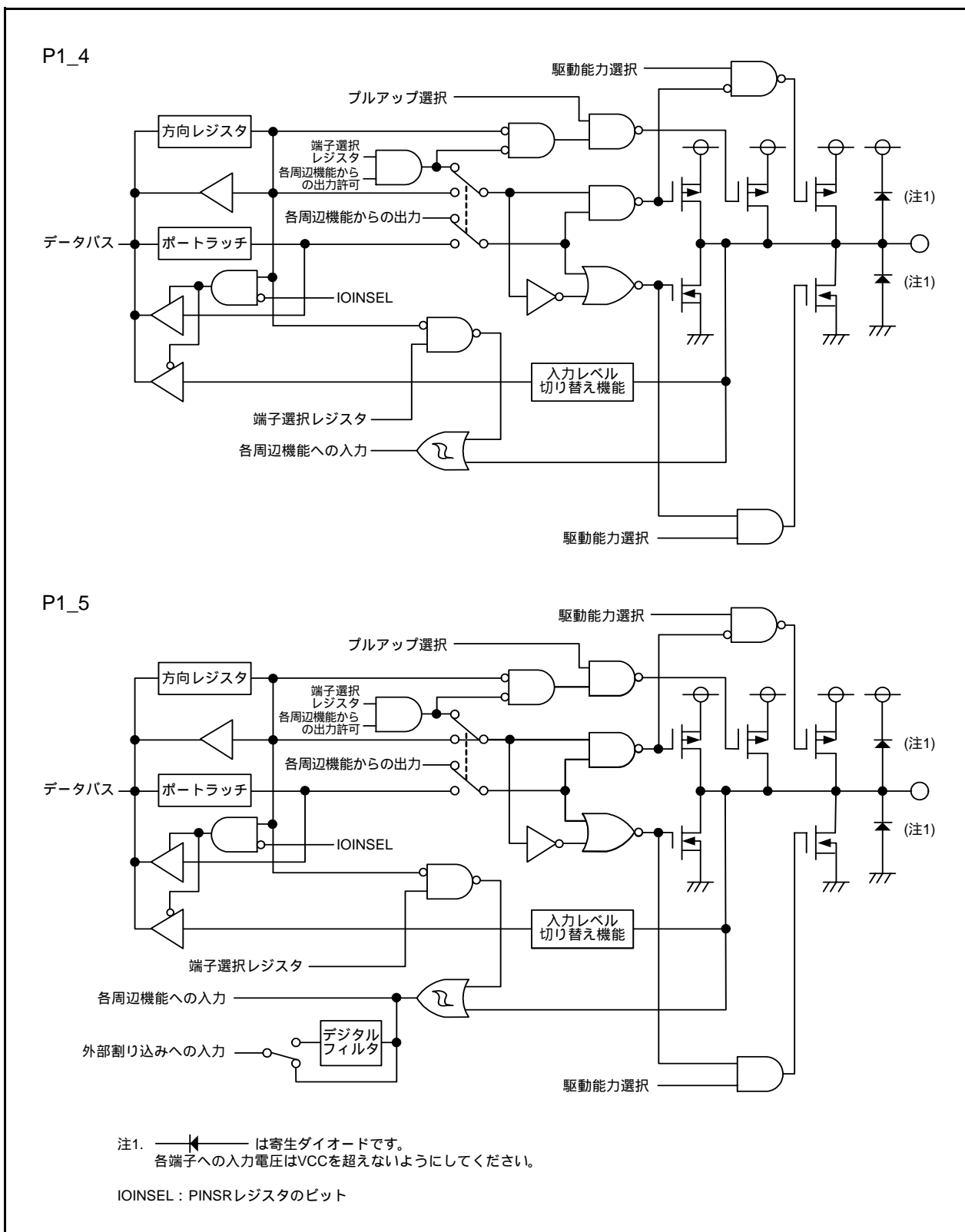


図7.3 I/Oポートの構成(3)

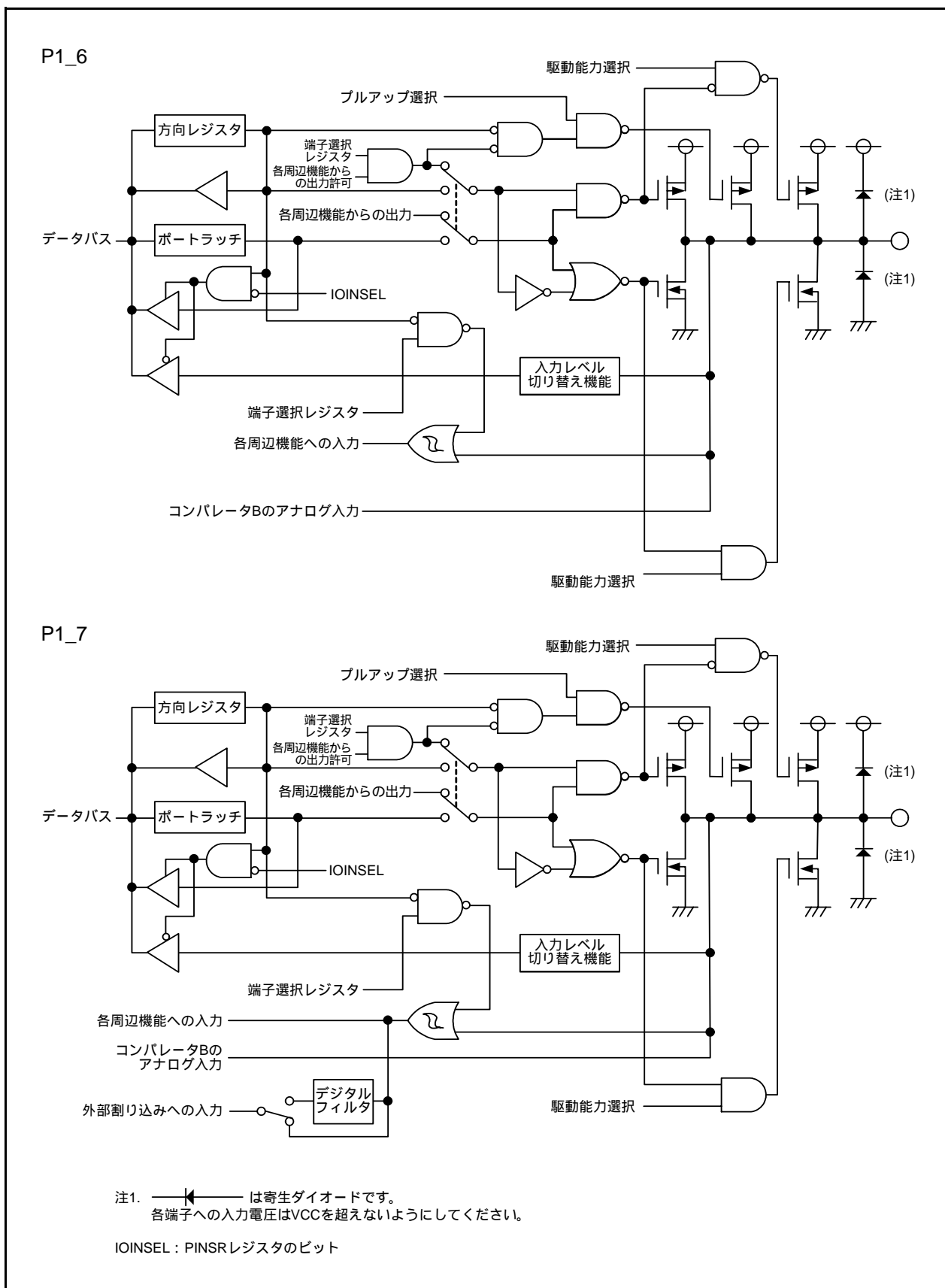


図7.4 I/Oポートの構成(4)

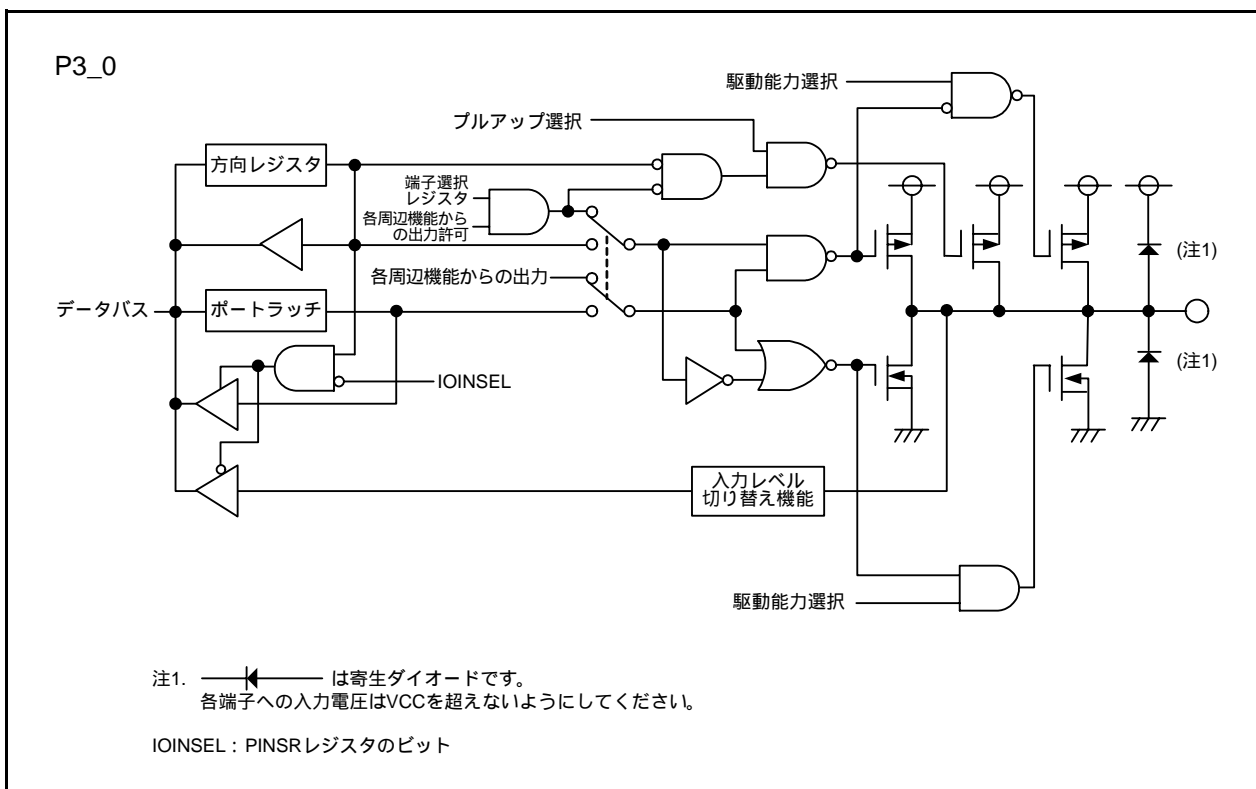


図7.5 I/Oポートの構成(5)

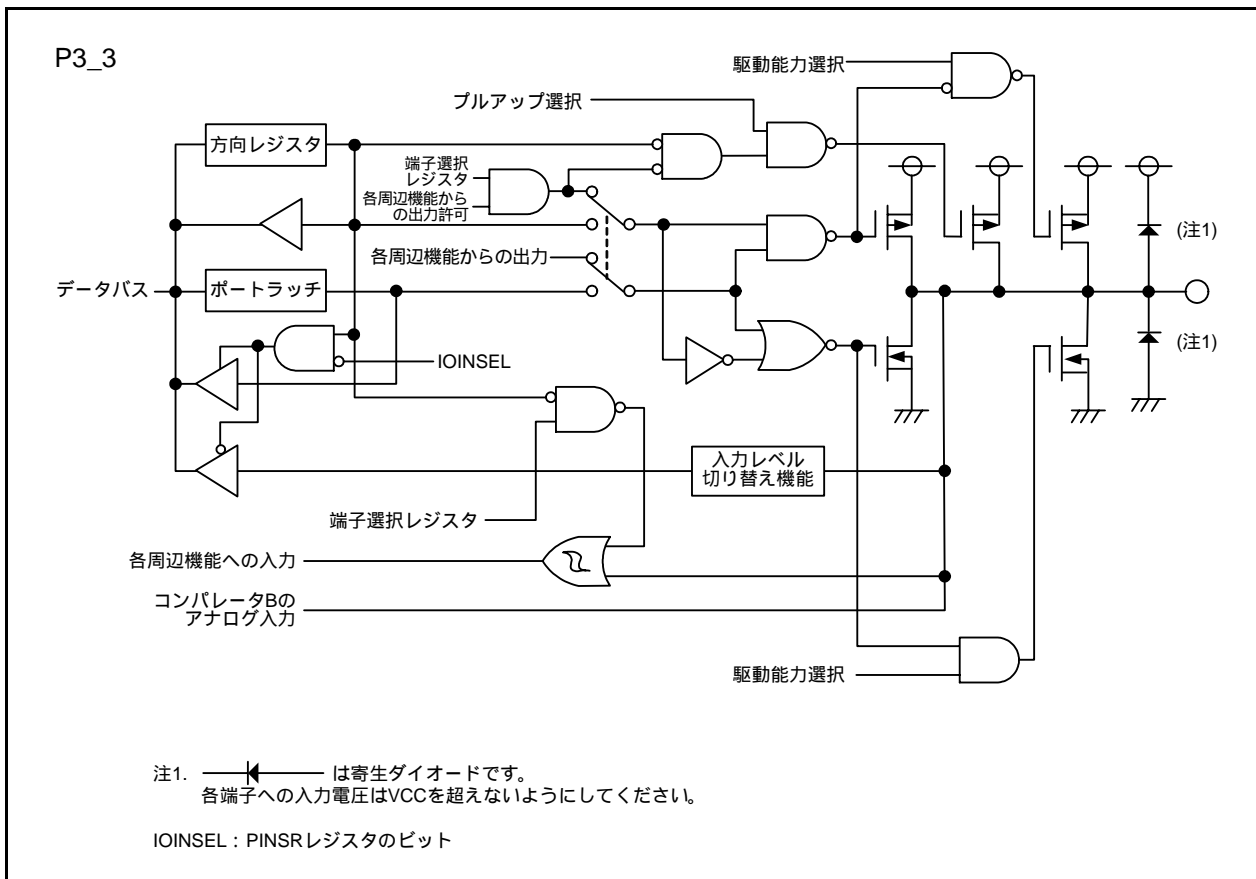


図7.6 I/Oポートの構成(6)

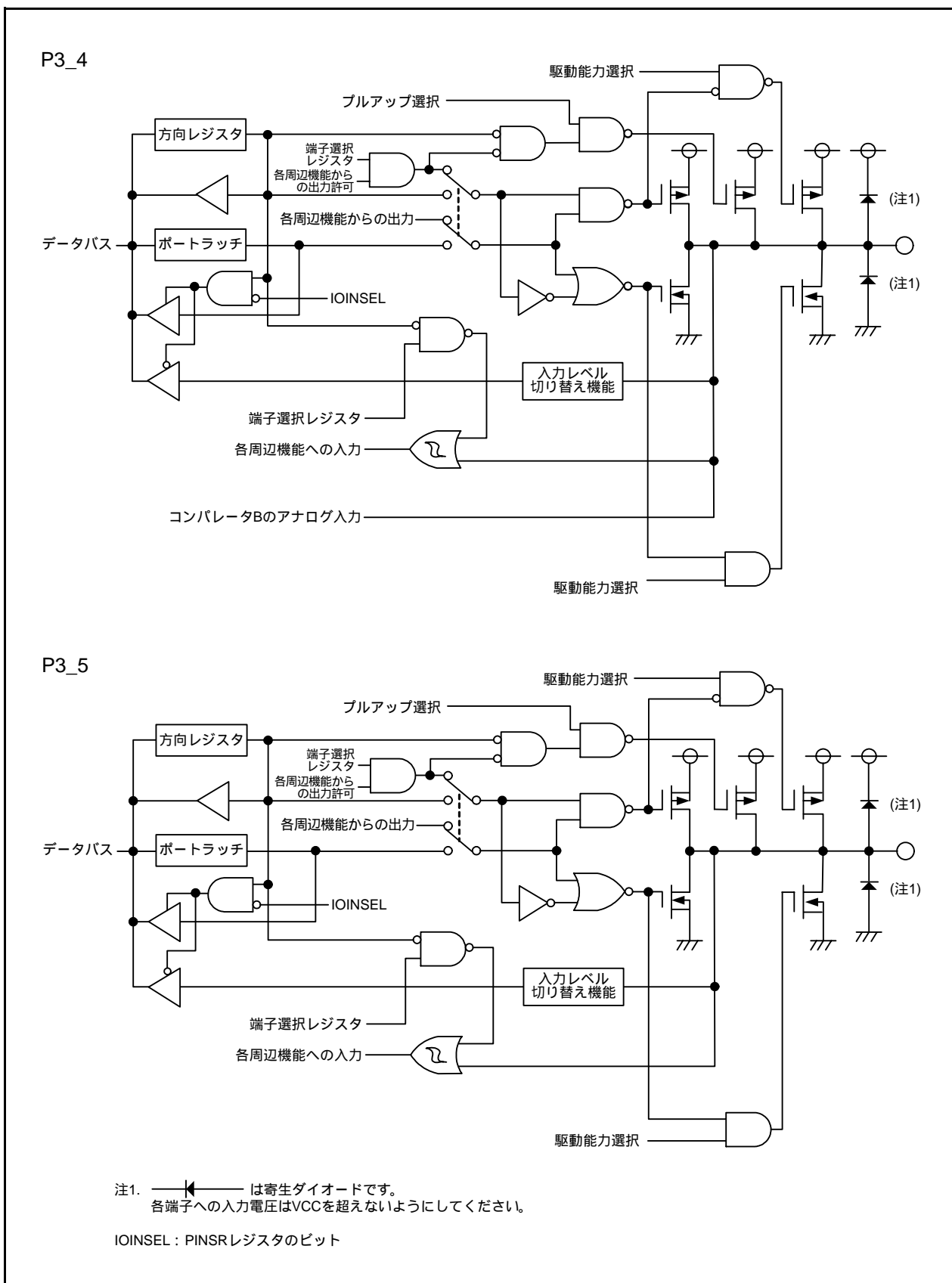


図7.7 I/Oポートの構成(7)

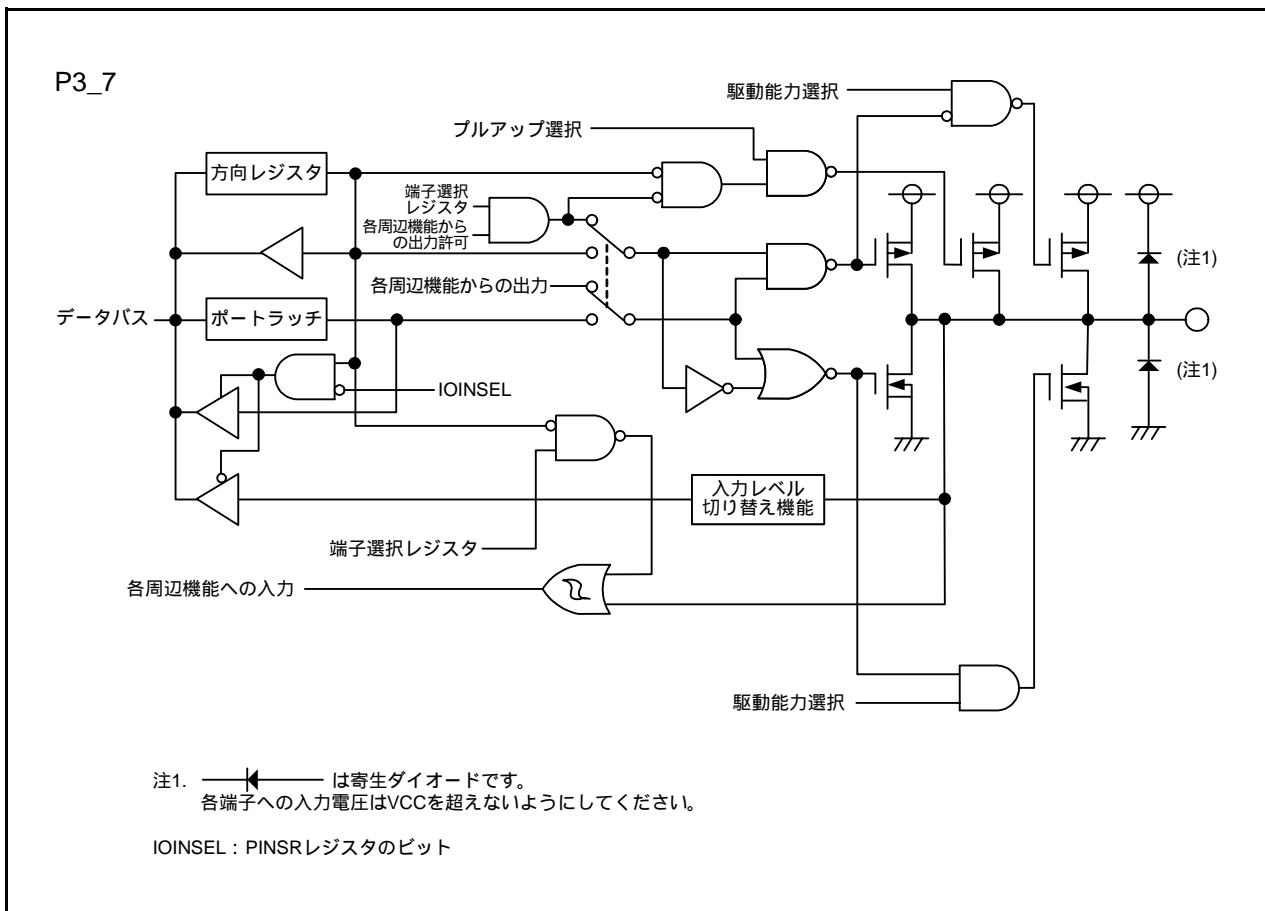


図7.8 I/Oポートの構成(8)



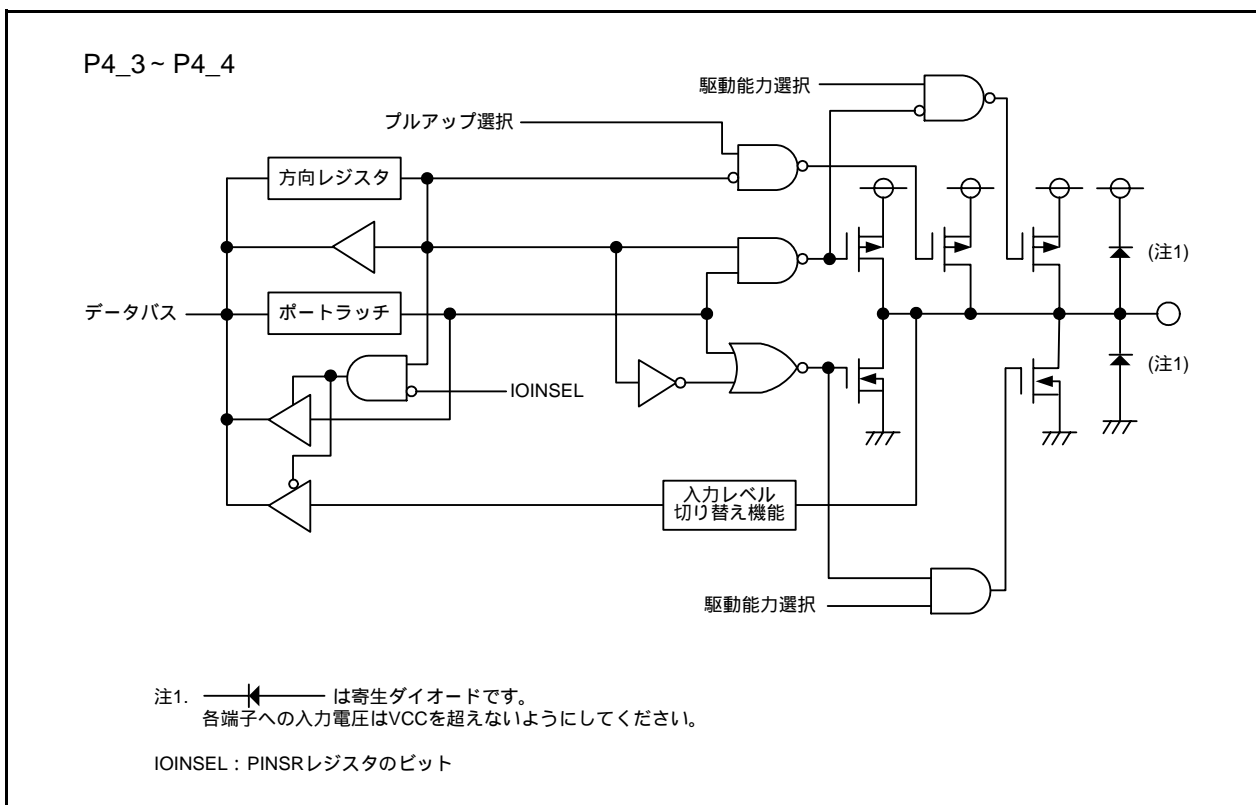


図7.9 I/Oポートの構成(9)

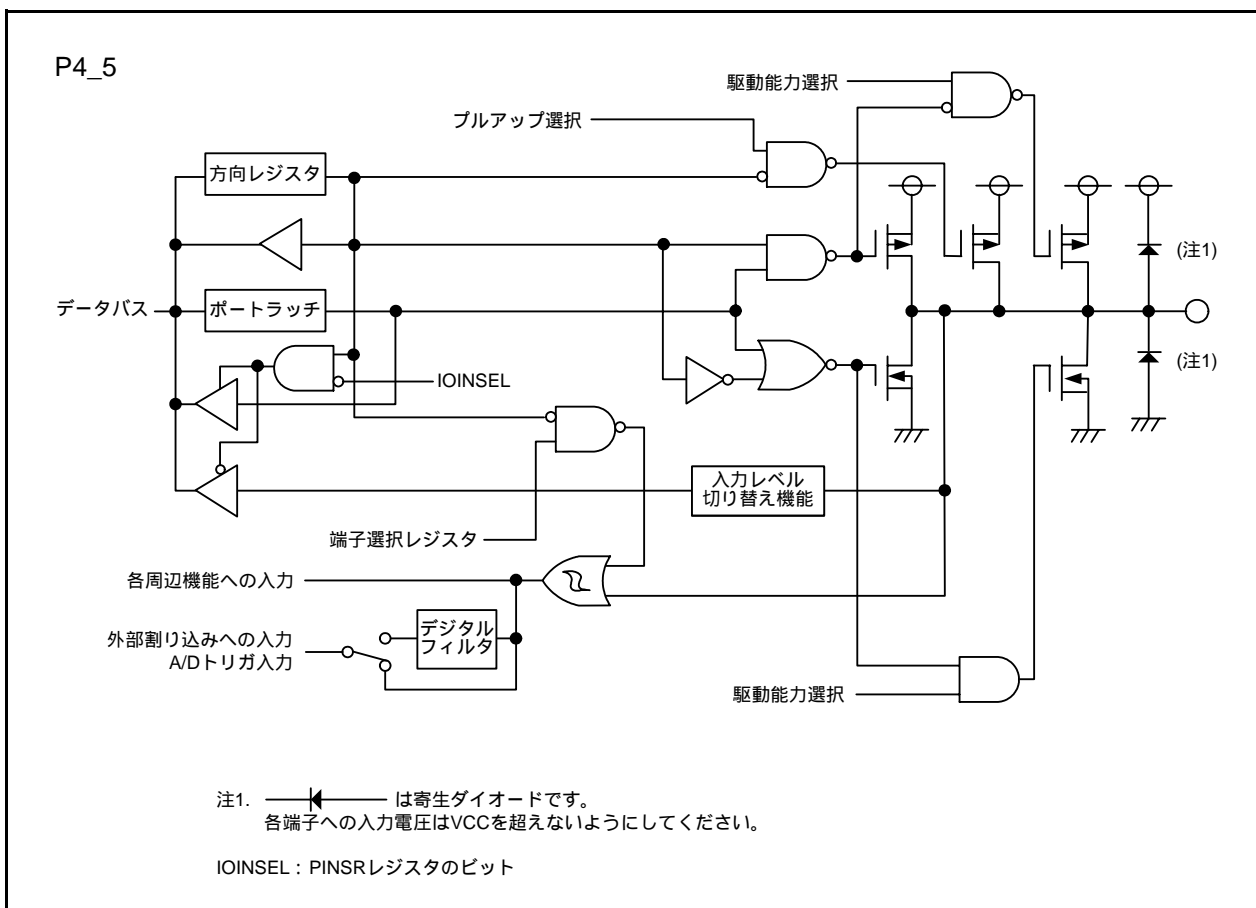


図7.10 I/Oポートの構成(10)

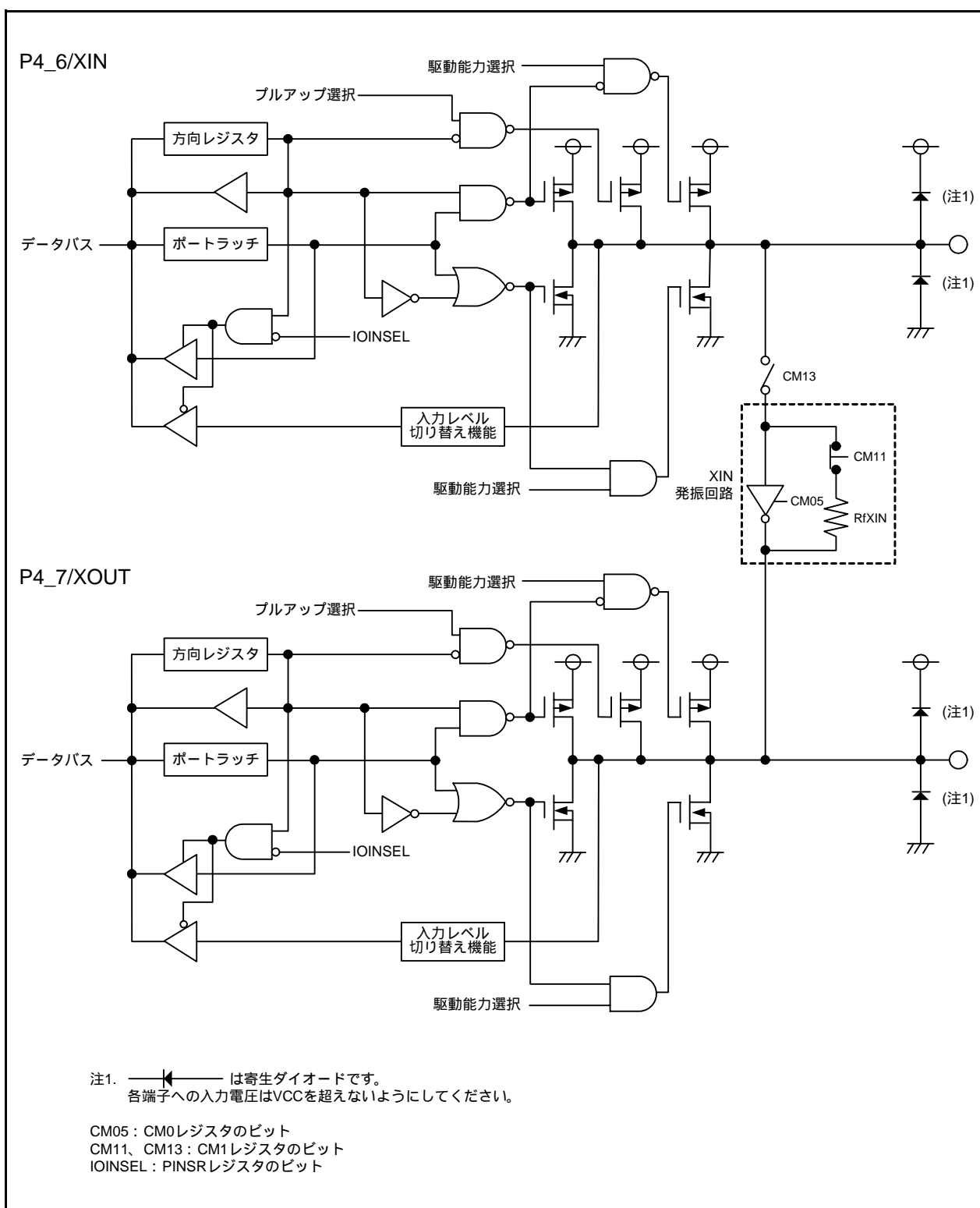


図7.11 I/Oポートの構成(11)

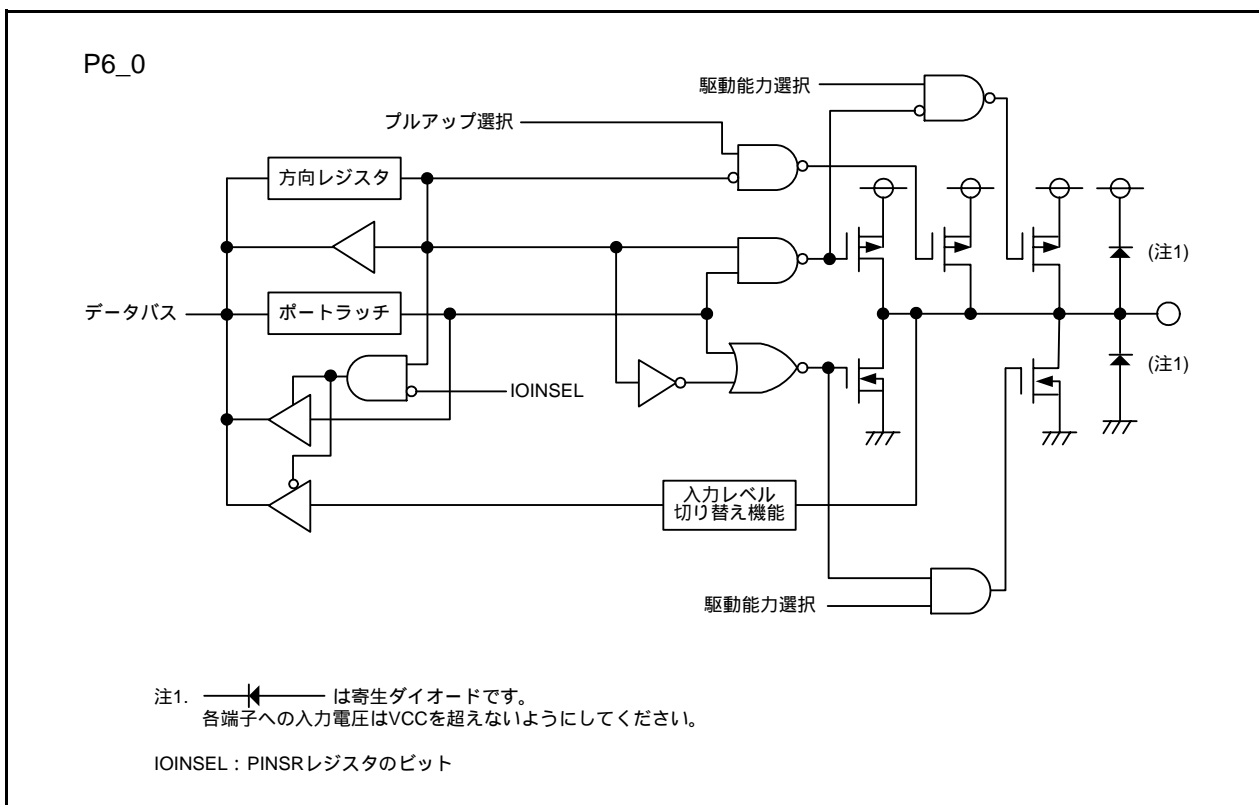


図7.12 I/Oポートの構成(12)

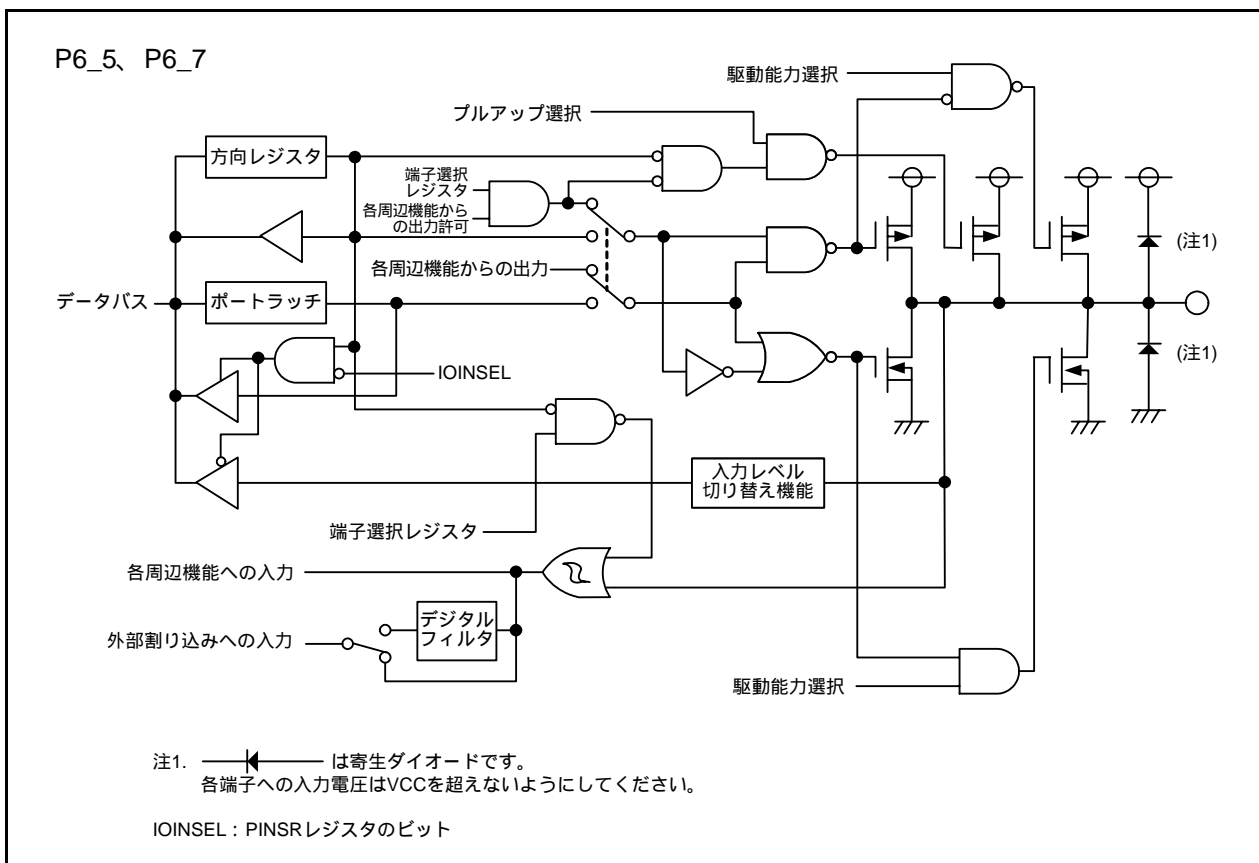


図7.13 I/Oポートの構成(13)

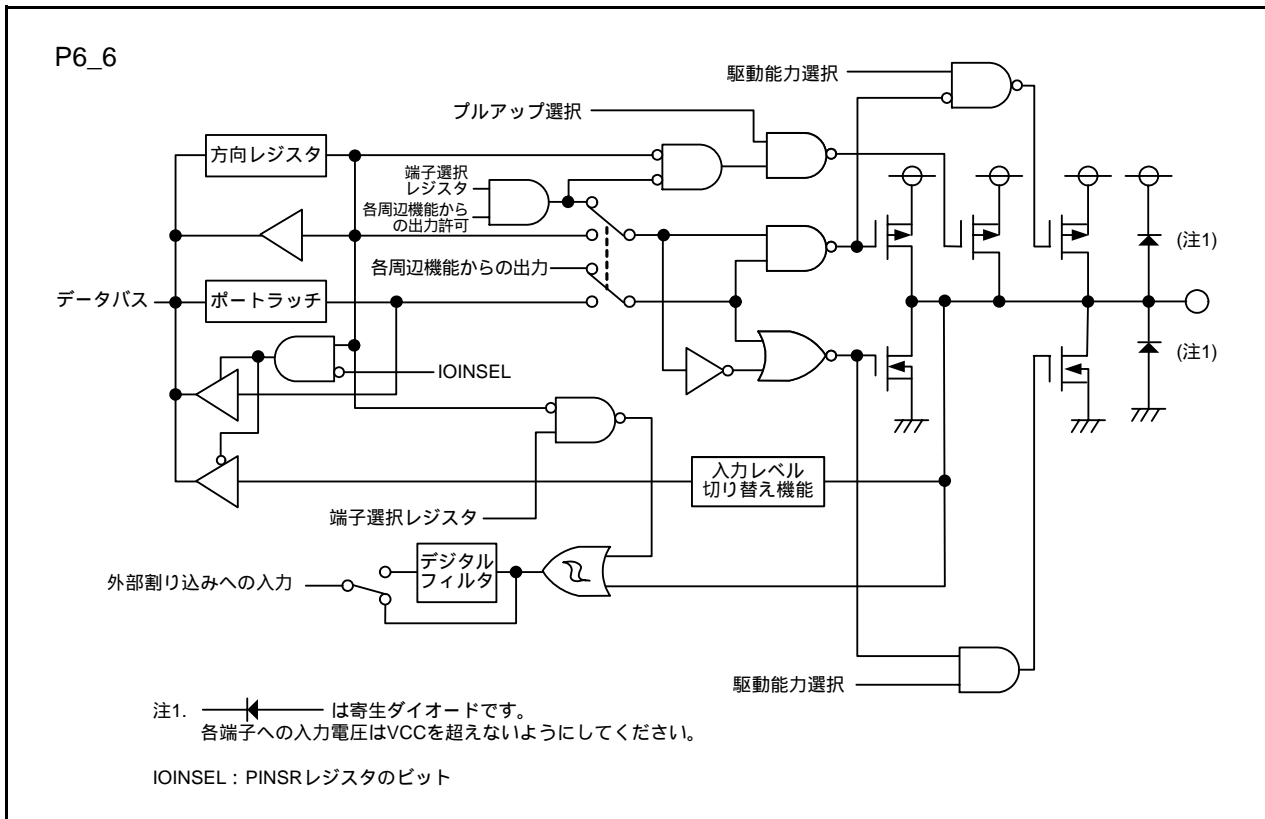


図7.14 I/Oポートの構成(14)

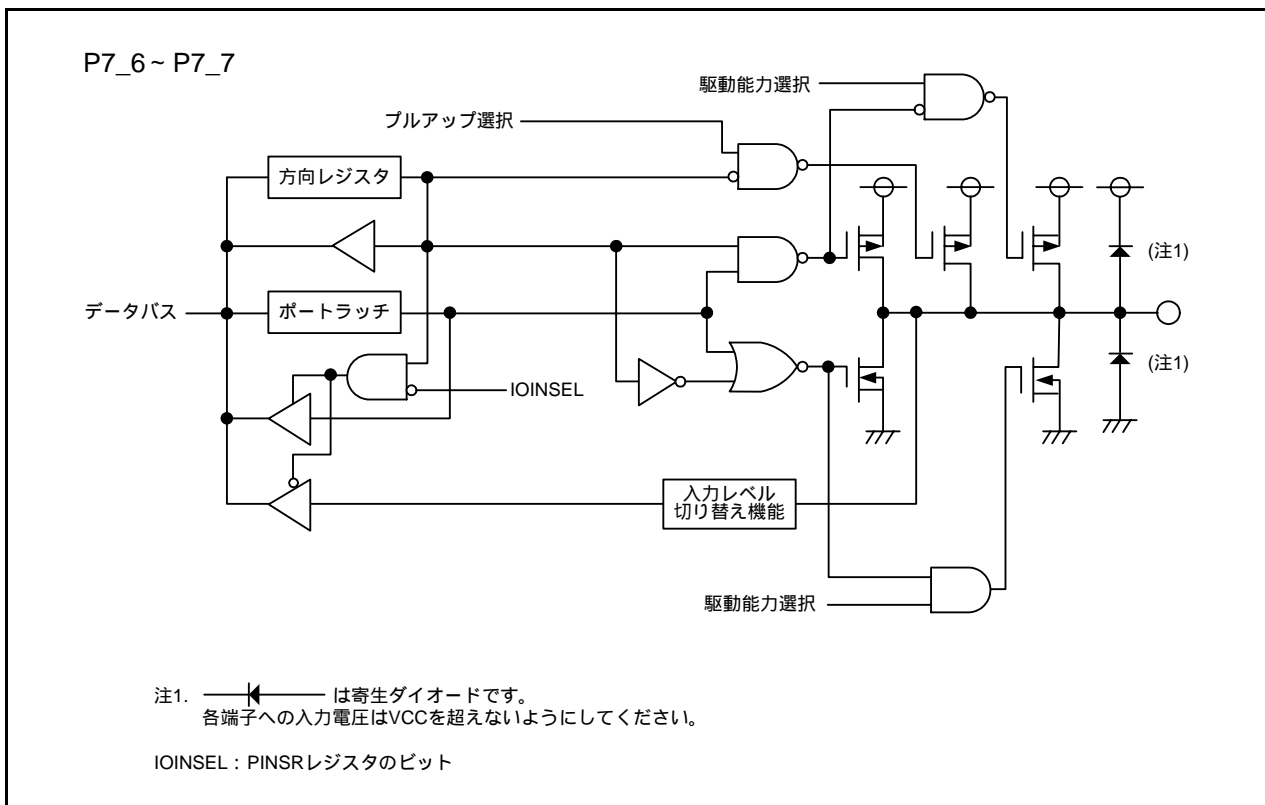


図7.15 I/Oポートの構成(15)

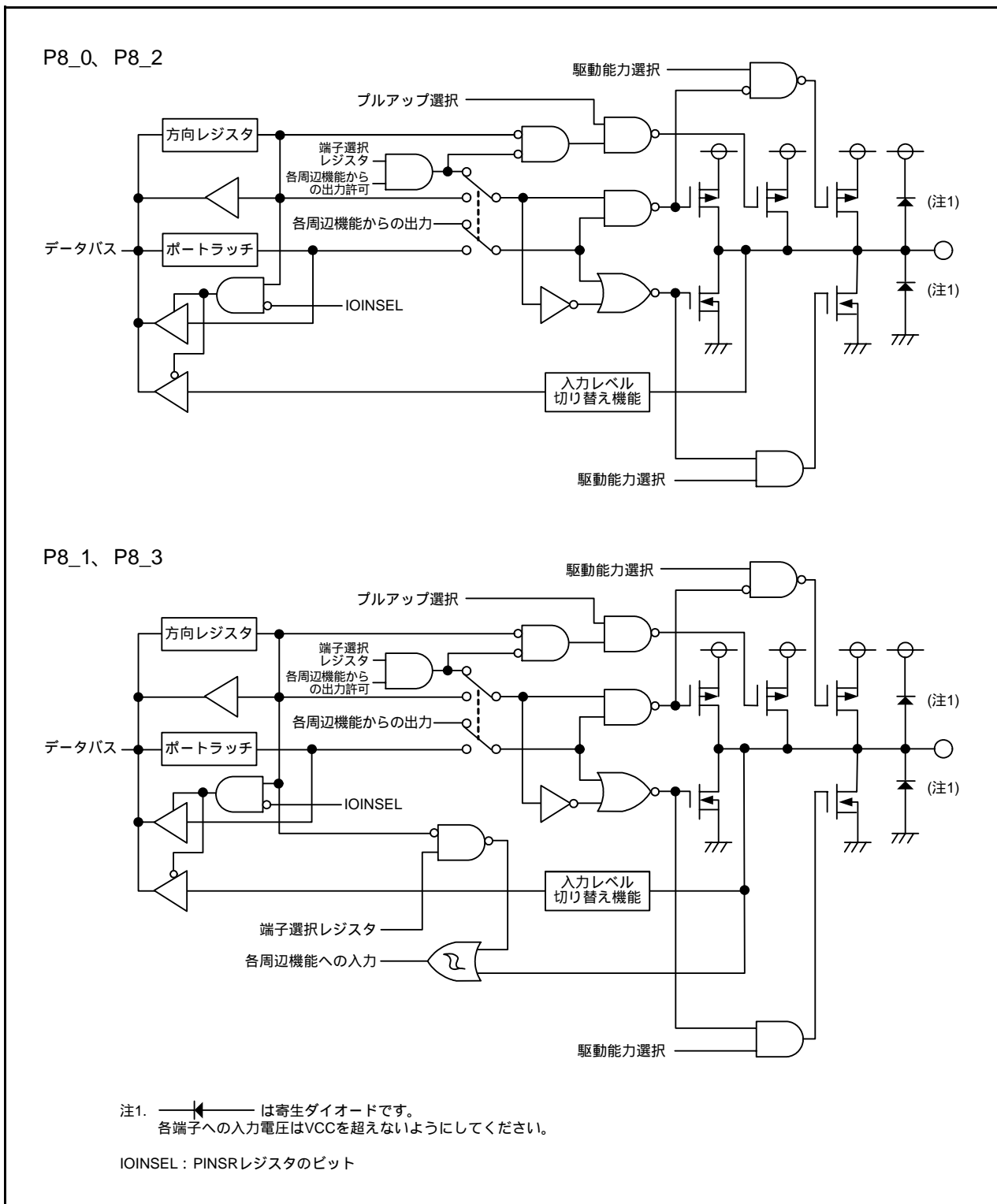


図7.16 I/Oポートの構成(16)

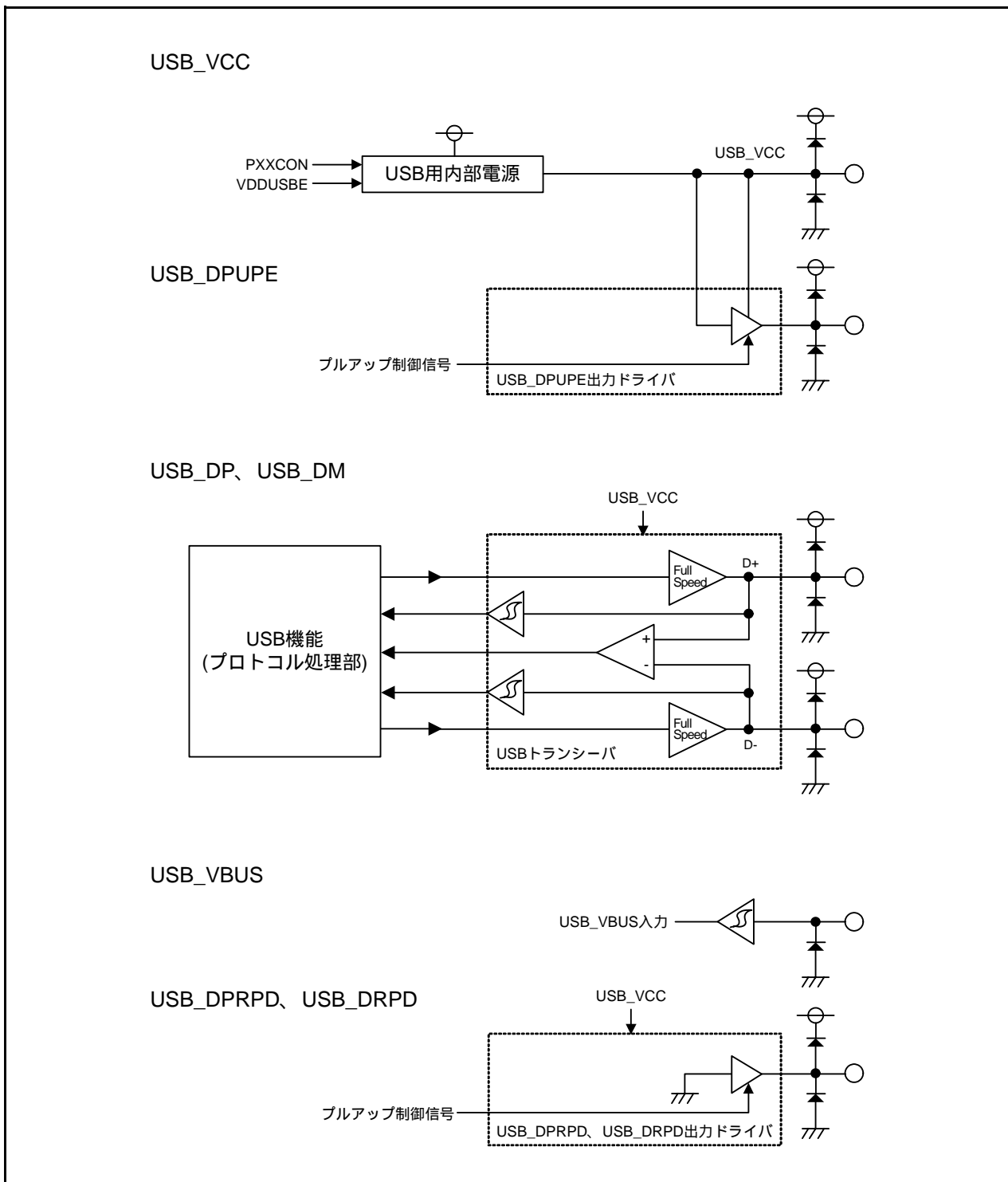


図7.17 I/Oポートの構成(17)

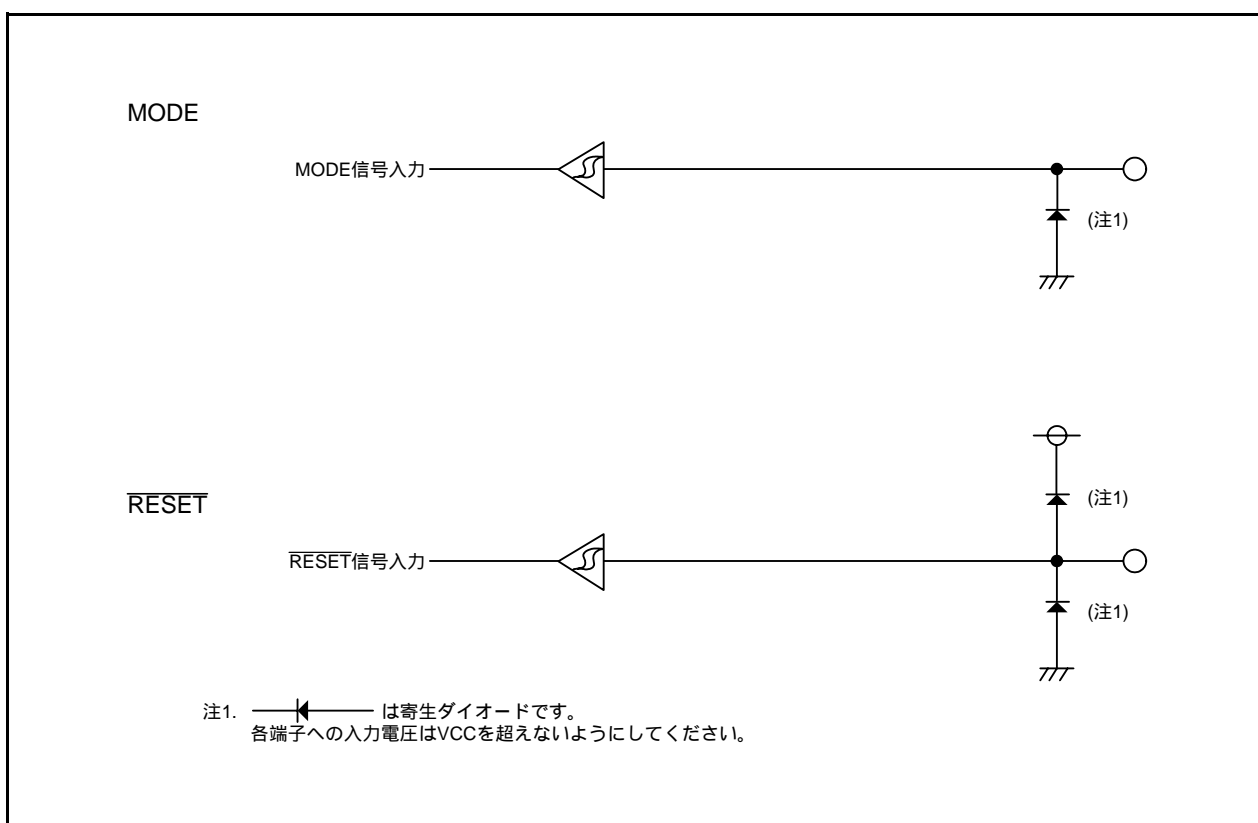


図7.18 端子の構成

## 7.4 レジスタの説明

### 7.4.1 ポートPi方向レジスタ(PDi)(i=0、1、3、4、6～8)

アドレス 00E2h番地(PD0(注1))、00E3h番地(PD1)、00E7h番地(PD3)、00EAh番地(PD4(注2))、00EEh番地(PD6)、00EFh番地(PD7)、00F2h番地(PD8)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PDi_7	PDi_6	PDi_5	PDi_4	PDi_3	PDi_2	PDi_1	PDi_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDi_0	ポートPi_0方向ビット	0：入力モード(入力ポートとして機能) 1：出力モード(出力ポートとして機能)	R/W
b1	PDi_1	ポートPi_1方向ビット		R/W
b2	PDi_2	ポートPi_2方向ビット		R/W
b3	PDi_3	ポートPi_3方向ビット		R/W
b4	PDi_4	ポートPi_4方向ビット		R/W
b5	PDi_5	ポートPi_5方向ビット		R/W
b6	PDi_6	ポートPi_6方向ビット		R/W
b7	PDi_7	ポートPi_7方向ビット		R/W

注1. PD0レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

注2. PD4レジスタのPD4\_0～PD4\_2ビットは何も配置されていません。PD4\_0～PD4\_2ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

PDiレジスタはI/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。PDiレジスタの各ビットは、ポート1本ずつに対応しています。



## 7.4.2 ポートPiレジスタ (Pi)(i=0、1、3、4、6～8)

アドレス 00E0h番地 (P0)、00E1h番地 (P1)、00E5h番地 (P3)、00E8h番地 (P4(注1))、  
00ECh番地 (P6)、00EDh番地 (P7)、00F0h番地 (P8)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	Pi_7	Pi_6	Pi_5	Pi_4	Pi_3	Pi_2	Pi_1	Pi_0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	Pi_0	ポートPi_0ビット	0:“L”レベル 1:“H”レベル	R/W
b1	Pi_1	ポートPi_1ビット		R/W
b2	Pi_2	ポートPi_2ビット		R/W
b3	Pi_3	ポートPi_3ビット		R/W
b4	Pi_4	ポートPi_4ビット		R/W
b5	Pi_5	ポートPi_5ビット		R/W
b6	Pi_6	ポートPi_6ビット		R/W
b7	Pi_7	ポートPi_7ビット		R/W

注1. P4レジスタのP4\_0～P4\_2ビットは何も配置されていません。P4\_0～P4\_2ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

## Pi\_jビット (i=0、1、3、4、6～8、j=0～7)(ポートPi\_0ビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

## 7.4.3 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	TRAOSEL0	-	TRAIOSSEL1	TRAIOSSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSSEL0	TRAIOS端子選択ビット	b1 b0 00: TRAIOS端子は使用しない 01: P1_7に割り当てる 10: P1_5に割り当てる 11: 設定しないでください	R/W
b1	TRAIOSSEL1			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	TRAOSEL0	TRAO端子選択ビット	0: P3_7に割り当てる 1: P3_0に割り当てる	R/W
b4	-	予約ビット	"0" にしてください	R/W
b5	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-
b6	-			
b7	-			

TRASRレジスタは、タイマRAの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

## 7.4.4 タイマRC端子選択レジスタ (TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TRCCLKSEL1	TRCCLKSEL0	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b3	-			-
b4	TRCCLKSEL0	TRCCLK端子選択ビット	b5 b4 00 : TRCCLK端子は使用しない 01 : P1_4に割り当てる 10 : P3_3に割り当てる 11 : 設定しないでください	R/W
b5	TRCCLKSEL1			R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-

TRBRCSR レジスタはタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRC関連レジスタを設定する前にTRCCLKSEL0 ~ TRCCLKSEL1ビットを設定してください。また、タイマRCの動作中はTRCCLKSEL0 ~ TRCCLKSEL1ビットの設定値を変更しないでください。

## 7.4.5 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIOBSEL2	TRCIOBSEL1	TRCIOBSEL0	-	TRCIOASEL2	TRCIOASEL1	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA/TRCTRG端子選択ビット	b2 b1 b0 0 0 0 : TRCIOA/TRCTRG端子は使用しない 0 0 1 : P1_1に割り当てる 0 1 0 : P0_0に割り当てる 0 1 1 : P0_1に割り当てる 1 0 0 : P0_2に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOASEL1			R/W
b2	TRCIOASEL2			R/W
b3	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b6 b5 b4 0 0 0 : TRCIOB端子は使用しない 0 0 1 : P1_2に割り当てる 0 1 0 : P0_3に割り当てる 0 1 1 : P0_4に割り当てる 1 0 0 : P0_5に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCIOBSEL1			R/W
b6	TRCIOBSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRCPSR0レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

## 7.4.6 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIODSEL2	TRCIODSEL1	TRCIODSEL0	-	-	TRCIOSEL1	TRCIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOSEL0	TRCIO端子選択ビット	b1 b0 0 0 : TRCIO端子は使用しない 0 1 : P1_3に割り当てる 1 0 : P3_4に割り当てる 1 1 : P0_7に割り当てる	R/W
b1	TRCIOSEL1			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	TRCIODSEL0	TRCIOD端子選択ビット	b6 b5 b4 0 0 0 : TRCIOD端子は使用しない 0 0 1 : P1_0に割り当てる 0 1 0 : P3_5に割り当てる 0 1 1 : P0_6に割り当てる 1 0 1 : P6_7に割り当てる 上記以外：設定しないでください	R/W
b5	TRCIODSEL1			R/W
b6	TRCIODSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRCPSR1レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

## 7.4.7 タイマ端子選択レジスタ(TIMSR)

アドレス 0186h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	TRFISEL0	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	"0" にしてください	R/W
b1	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-
b2	TRFISEL0	TRFI端子選択ビット	0: TRFI端子は使用しない 1: P8_3に割り当てる	R/W
b3	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	-			
b7	-			

TIMSRレジスタは、タイマRFの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRFの入出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマRFの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマRFの動作中はTIMSRレジスタの設定値を変更しないでください。

## 7.4.8 タイマRF出力制御レジスタ(TRFOUT)

アドレス 0187h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRFOUT7	TRFOUT6	-	-	TRFOUT3	TRFOUT2	TRFOUT1	TRFOUT0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRFOUT0	TRFO00出力許可ビット	0: 出力禁止 1: 出力許可	R/W
b1	TRFOUT1	TRFO01出力許可ビット		R/W
b2	TRFOUT2	TRFO02出力許可ビット		R/W
b3	TRFOUT3	TRFO10出力許可ビット		R/W
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	TRFOUT6	TRFO00 ~ TRFO02出力反転ビット	0: 出力を反転しない 1: 出力を反転する	R/W
b7	TRFOUT7	TRFO10出力反転ビット		R/W

## 7.4.9 UART0 端子選択レジスタ (U0SR)

アドレス 0188h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK0SELO	-	RXD0SELO	-	TXD0SELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SELO	TXD0 端子選択ビット	0 : TXD0 端子は使用しない 1 : P1_4 に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b2	RXD0SELO	RXD0 端子選択ビット	0 : RXD0 端子は使用しない 1 : P1_5 に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b4	CLK0SELO	CLK0 端子選択ビット	0 : CLK0 端子は使用しない 1 : P1_6 に割り当てる	R/W
b5	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

U0SR レジスタは、UART0 の入出力をどの端子に割り当てるかを選択するレジスタです。UART0 の入出力端子を使用する場合は、U0SR レジスタを設定してください。

UART0 の関連レジスタを設定する前に、U0SR レジスタを設定してください。また、UART0 の動作中は U0SR レジスタの設定値を変更しないでください。

## 7.4.10 UART1 端子選択レジスタ (U1SR)

アドレス 0189h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	CLK1SEL1	CLK1SELO	-	RXD1SELO	-	TXD1SELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD1SELO	TXD1 端子選択ビット	0 : TXD1 端子は使用しない 1 : P0_1 に割り当てる	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	RXD1SELO	RXD1 端子選択ビット	0 : RXD1 端子は使用しない 1 : P0_2 に割り当てる	R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	CLK1SELO	CLK1 端子選択ビット	b5 b4 00 : CLK1 端子は使用しない 01 : P0_3 に割り当てる 10 : 設定しないでください 11 : P6_5 に割り当てる	R/W
b5	CLK1SEL1			
b6	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b7	-			

U1SR レジスタは、UART1 の入出力をどの端子に割り当てるかを選択するレジスタです。UART1 の入出力端子を使用する場合は、U1SR レジスタを設定してください。

UART1 の関連レジスタを設定する前に、U1SR レジスタを設定してください。また、UART1 の動作中は U1SR レジスタの設定値を変更しないでください。

## 7.4.11 UART3端子選択レジスタ(U3SR)

アドレス 2F12h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK3SEL0	-	RXD3SEL0	-	TXD3SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD3SEL0	TXD3端子選択ビット	0: TXD3端子は使用しない 1: P8_2に割り当てる	R/W
b1	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b2	RXD3SEL0	RXD3端子選択ビット	0: RXD3端子は使用しない 1: P8_3に割り当てる	R/W
b3	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b4	CLK3SEL0	CLK3端子選択ビット	0: CLK3端子は使用しない 1: P8_1に割り当てる	R/W
b5	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b6	-			
b7	-			

U3SRレジスタは、UART3の入出力をどの端子に割り当てるかを選択するレジスタです。UART3の入出力端子を使用する場合は、U3SRレジスタを設定してください。

UART3の関連レジスタを設定する前に、U3SRレジスタを設定してください。また、UART3の動作中はU3SRレジスタの設定値を変更しないでください。

## 7.4.12 UART2端子選択レジスタ0(U2SR0)

アドレス 018Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RXD2SEL1	RXD2SEL0	-	TXD2SEL2	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2端子選択ビット	b2 b1 b0 0 0 0: TXD2端子は使用しない 1 0 1: P6_6に割り当てる 上記以外: 設定しないでください	R/W
b1	TXD2SEL1			R/W
b2	TXD2SEL2			R/W
b3	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b4	RXD2SEL0	RXD2端子選択ビット	b5 b4 0 0: RXD2端子は使用しない 1 1: P4_5に割り当てる 上記以外: 設定しないでください	R/W
b5	RXD2SEL1			R/W
b6	-	予約ビット	“0”にしてください	R/W
b7	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。



## 7.4.13 UART2端子選択レジスタ1 (U2SR1)

アドレス 018Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CTS2SEL0	-	-	CLK2SEL1	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2端子選択ビット	b1 b0 0 0 : CLK2端子は使用しない 1 1 : P6_5に割り当てる 上記以外 : 設定しないでください	R/W
b1	CLK2SEL1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			-
b4	CTS2SEL0	CTS2/RTS2端子選択ビット	0 : CTS2/RTS2端子は使用しない 1 : P3_3に割り当てる	R/W
b5	-	予約ビット	“0”にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

U2SR1レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1レジスタを設定してください。また、UART2の動作中はU2SR1レジスタの設定値を変更しないでください。

## 7.4.14 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り替えビット	0 : SSU機能を選択 1 : I <sup>2</sup> Cバス機能を選択	R/W
b1	-	予約ビット	“0”にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-	予約ビット	“0”にしてください	R/W
b5	-			
b6	-			
b7	-			

## 7.4.15 INT割り込み入力端子選択レジスタ(INTSR)

アドレス 018Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	INT1SELO	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b1	INT1SELO	INT1端子選択ビット	0 : P1_7に割り当てる 1 : P1_5に割り当てる	R/W
b2	-	予約ビット	“0”にしてください	R/W
b3	-			
b4	-			
b5	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b6	-	予約ビット	“0”にしてください	R/W
b7	-	予約ビット	“1”にしてください	R/W

INTSRレジスタは、 $\overline{\text{INT1}}$ の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT1}}$ を使用する場合は、INTSRレジスタを設定してください。

INT1の関連レジスタを設定する前に、INTSRレジスタを設定してください。また、 $\overline{\text{INT1}}$ の動作中はINTSRレジスタの設定値を変更しないでください。

## 7.4.16 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			R/W
b2	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b3	IOINSEL	I/Oポート入力機能選択ビット	0: I/Oポートの入力機能はPDi (i=0、1、3、4、6~8)レジスタに依存PDiレジスタのPDi_j (j=0~7)ビットが“0” (入力モード)のとき、端子の入力レベルを読む。 PDiレジスタのPDi_jビットが“1” (出力モード)のとき、ポートラッチを読む。 1: I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルを読む	R/W
b4	IICTCTWI	I <sup>2</sup> C転送レート2倍選択ビット	0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の2倍の転送レート	R/W
b5	IICTCHALF	I <sup>2</sup> C転送レート1/2倍選択ビット	0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延選択ビット	b7 b6 00: 3×f1サイクルのデジタル遅延 01: 11×f1サイクルのデジタル遅延 10: 19×f1サイクルのデジタル遅延 11: 設定しないでください	R/W
b7	SDADLY1			R/W

## IOINSELビット (I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0、1、3、4、6~8)レジスタのPDi\_j (j=0~7)ビットが“1” (出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表7.4にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべてのI/Oポートの入力機能を変更できます。

表7.4 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi_jビット	“0” (入力モード)		“1” (出力モード)	
	“0”	“1”	“0”	“1”
IOINSELビット				
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

## 7.4.17 プルアップ制御レジスタ0 (PUR0)

アドレス 01E0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PU07	PU06	-	-	PU03	PU02	PU01	PU00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PU00	P0_0 ~ P0_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PU01	P0_4 ~ P0_7のプルアップ		R/W
b2	PU02	P1_0 ~ P1_3のプルアップ		R/W
b3	PU03	P1_4 ~ P1_7のプルアップ		R/W
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	PU06	P3_0、P3_3のプルアップ	0 : プルアップなし	R/W
b7	PU07	P3_4、P3_5、P3_7のプルアップ	1 : プルアップあり(注1)	R/W

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR0レジスタの設定値が有効になります。

## 7.4.18 プルアップ制御レジスタ1 (PUR1)

アドレス 01E1h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PU17	-	PU15	PU14	-	-	PU11	PU10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PU10	P4_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PU11	P4_4 ~ P4_7のプルアップ		0 : プルアップなし 1 : プルアップあり(注1)
b2	-	予約ビット	"0" にしてください	R/W
b3	-			
b4	PU14	P6_0のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b5	PU15	P6_5 ~ P6_7のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b6	-	予約ビット	"0" にしてください	R/W
b7	PU17	P7_6、P7_7のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR1レジスタの設定値が有効になります。

## 7.4.19 プルアップ制御レジスタ2 (PUR2)

アドレス 01E2h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	PU20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PU20	P8_0 ~ P8_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-
b5	-			
b6	-			
b7	-			

注1. このビットが"1"(プルアップあり)かつポート方向ビットが"0"(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR2レジスタの設定値が有効になります。

## 7.4.20 ポートP1駆動能力制御レジスタ(P1DRR)

アドレス 01F0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P1DRR7	P1DRR6	P1DRR5	P1DRR4	P1DRR3	P1DRR2	P1DRR1	P1DRR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P1DRR0	P1_0の駆動能力	0 : Low 1 : High(注1)	R/W
b1	P1DRR1	P1_1の駆動能力		R/W
b2	P1DRR2	P1_2の駆動能力		R/W
b3	P1DRR3	P1_3の駆動能力		R/W
b4	P1DRR4	P1_4の駆動能力		R/W
b5	P1DRR5	P1_5の駆動能力		R/W
b6	P1DRR6	P1_6の駆動能力		R/W
b7	P1DRR7	P1_7の駆動能力		R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P1DRRレジスタはP1の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P1DRR<sub>i</sub>ビット(i=0~7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P1DRRレジスタの設定値が有効になります。

## 7.4.21 駆動能力制御レジスタ0 (DRR0)

アドレス 01F2h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DRR07	DRR06	–	–	–	–	DRR01	DRR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR00	P0_0 ~ P0_3の駆動能力	0 : Low	R/W
b1	DRR01	P0_4 ~ P0_7の駆動能力	1 : High(注1)	R/W
b2	–	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		–
b3	–			
b4	–			
b5	–			
b6	DRR06	P3_0、P3_3の駆動能力	0 : Low	R/W
b7	DRR07	P3_4、P3_5、P3_7の駆動能力	1 : High(注1)	R/W

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR0レジスタの設定値が有効になります。

## DRR00ビット(P0\_0 ~ P0\_3の駆動能力)

DRR00ビットは、P0\_0 ~ P0\_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR00ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## DRR01ビット(P0\_4 ~ P0\_7の駆動能力)

DRR01ビットは、P0\_4 ~ P0\_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR01ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## DRR06ビット(P3\_0、P3\_3の駆動能力)

DRR06ビットは、P3\_0、P3\_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR06ビットによって、2端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## DRR07ビット(P3\_4、P3\_5、P3\_7の駆動能力)

DRR07ビットは、P3\_4、P3\_5、P3\_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR07ビットによって、3端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## 7.4.22 駆動能力制御レジスタ1 (DRR1)

アドレス 01F3h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DRR17	-	DRR15	DRR14	-	-	DRR11	DRR10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR10	P4_3の駆動能力	0 : Low	R/W
b1	DRR11	P4_4 ~ P4_7の駆動能力	1 : High(注1)	
b2	-	予約ビット	"0" にしてください	R/W
b3	-			
b4	DRR14	P6_0の駆動能力	0 : Low	R/W
b5	DRR15	P6_5 ~ P6_7の駆動能力	1 : High(注1)	
b6	-	予約ビット	"0" にしてください	R/W
b7	DRR17	P7_6、P7_7の駆動能力	0 : Low 1 : High(注1)	R/W

注1. "H" 出力、"L" 出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR1レジスタの設定値が有効になります。

## DRR10ビット(P4\_3の駆動能力)

DRR10ビットは、P4\_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。

DRR10ビットによって、1端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## DRR11ビット(P4\_4 ~ P4\_7の駆動能力)

DRR11ビットは、P4\_4 ~ P4\_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR11ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## DRR14ビット(P6\_0の駆動能力)

DRR14ビットは、P6\_0の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。

DRR14ビットによって、1端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## DRR15ビット(P6\_5 ~ P6\_7の駆動能力)

DRR15ビットの、P6\_5 ~ P6\_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR15ビットによって、3端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## DRR17ビット(P7\_6、P7\_7の駆動能力)

DRR17ビットの、P7\_6、P7\_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR17ビットによって、2端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。



## 7.4.23 駆動能力制御レジスタ2 (DRR2)

アドレス 01F4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	DRR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR20	P8_0 ~ P8_3の駆動能力	0 : Low 1 : High(注1)	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-
b5	-			
b6	-			
b7	-			

注1. "H" 出力、"L" 出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR2レジスタの設定値が有効になります。

## DRR20ビット(P8\_0 ~ P8\_3の駆動能力)

DRR20ビットは、P8\_0 ~ P8\_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR20ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

## 7.4.24 入力しきい値制御レジスタ0 (VLT0)

アドレス 01F5h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT07	VLT06	-	-	VLT03	VLT02	VLT01	VLT00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT00	P0の入力レベル選択ビット	b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT01			R/W
b2	VLT02	P1の入力レベル選択ビット	b3 b2 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b3	VLT03			R/W
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	VLT06	P3_0、P3_3 ~ P3_5、P3_7の入力レベル選択ビット	b7 b6 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b7	VLT07			R/W

VLT0レジスタはポートP0、P1、P3\_0、P3\_3 ~ P3\_5、P3\_7の入力しきい値の電圧レベルを選択するレジスタです。VLT00 ~ VLT03、VLT06、VLT07によって、各ポートごとに入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

## 7.4.25 入力しきい値制御レジスタ1 (VLT1)

アドレス 01F6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT17	VLT16	VLT15	VLT14	-	-	VLT11	VLT10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT10	P4_3 ~ P4_7入力レベル選択ビット	b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT11			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	-			R/W
b4	VLT14	P6_0、P6_5 ~ P6_7入力レベル選択ビット	b5 b4 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b5	VLT15			R/W
b6	VLT16	P7_6、P7_7入力レベル選択ビット	b7 b6 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b7	VLT17			R/W

VLT1レジスタはポートP4\_3 ~ P4\_7、P6\_0、P6\_5 ~ P6\_7、P7\_6、P7\_7の入力しきい値の電圧レベルを選択するレジスタです。VLT10、VLT11、VLT14 ~ VLT17によって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

## 7.4.26 入力しきい値制御レジスタ2 (VLT2)

アドレス 01F7h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	VLT21	VLT20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT20	P8_0 ~ P8_3入力レベル選択ビット	b1 b0 00 : 0.50 × VCC 01 : 0.35 × VCC 10 : 0.70 × VCC 11 : 設定しないでください	R/W
b1	VLT21			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	-			R/W
b4	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-
b5	-			
b6	-			
b7	-			

VLT2レジスタはポートP8\_0 ~ P8\_3の入力しきい値の電圧レベルを選択するレジスタです。VLT20、VLT21 ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

## 7.4.27 USB端子選択レジスタ0 (USBSR0)

アドレス 2F10h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	USBVSENSEL	USBOVASEL	USBVBUSSEL	USBDMSEL	USBDPSEL	USBPUPESEL	USBRPDPSEL	USBPDPSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBPDPSEL	USB_DRPD端子選択ビット(注1)	0 : USB_DRPD端子は使用しない 1 : USB_DRPD端子を使用する	R/W
b1	USBRPDPSEL	USB_DPRPD端子選択ビット(注1)	0 : USB_DPRPD端子は使用しない 1 : USB_DPRPD端子を使用する	R/W
b2	USBPUPESEL	USB_DPUPE端子選択ビット	0 : USB_DPUPE端子は使用しない 1 : USB_DPUPE端子を使用する	R/W
b3	USBDPSEL	USB_DP端子選択ビット	0 : USB_DP端子は使用しない 1 : USB_DP端子を使用する	R/W
b4	USBDMSEL	USB_DM端子選択ビット	0 : USB_DM端子は使用しない 1 : USB_DM端子を使用する	R/W
b5	USBVBUSSEL	USB_VBUS端子選択ビット	0 : USB_VBUS端子は使用しない 1 : USB_VBUS端子を使用する	R/W
b6	USBOVASEL	USB_OVRCURA端子選択ビット(注1)	0 : USB_OVRCURA端子は使用しない 1 : P7_6に割り当てる	R/W
b7	USBVSENSEL	USB_VBUSEN端子選択ビット(注1)	0 : USB_VBUSEN端子は使用しない 1 : P7_7に割り当てる	R/W

注1. R8C/34Uグループでは、予約ビットで“0”にしてください。

USBの端子を選択するためのレジスタです。

## 7.4.28 USB端子選択レジスタ1 (USBSR1)

アドレス 2F11h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	USBIDSEL	USBOVBSEL	USBEXIESEL	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	-			
b4	-			
b5	USBEXIESEL	USB_EXICEN端子選択ビット(注1)	0 : USB_EXICEN端子は使用しない 1 : P6_5に割り当てる	R/W
b6	USBOVBSEL	USB_OVRCURB端子選択ビット(注1)	0 : USB_OVRCURB端子は使用しない 1 : P6_6に割り当てる	R/W
b7	USBIDSEL	USB_ID端子選択ビット(注1)	0 : USB_ID端子は使用しない 1 : P6_7に割り当てる	R/W

注1. R8C/34Uグループでは、予約ビットで“0”にしてください。

## 7.5 ポートの設定

表7.5～表7.45にポートの設定を示します。

表7.5 ポートP0\_0/AN7/TRCIOA/TRCTRГ

レジスタ	PD0	ADINSEL					TRCPSR0			タイマRC設定			機能
		CH			ADGSEL		TRCIOASEL						
ビット	PD0_0	2	1	0	1	0	2	1	0				
設定値	0	X	X	X	X	X	010b以外			X			入力ポート(注1)
	1	X	X	X	X	X	010b以外			X			出力ポート(注2)
	0	1	1	1	0	0	010b以外			X			A/Dコンバータ入力(AN7) (注1)
	0	X	X	X	X	X	0	1	0	「表7.42 TRCIOA端子設定」参照			TRCIOA入力(注1)
	X	X	X	X	X	X	0	1	0	「表7.42 TRCIOA端子設定」参照			TRCIOA出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU00ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを"1"にすると、出力の駆動能力Highとなります。

表7.6 ポートP0\_1/AN6/TXD1/TRCIOA/TRCTRГ

レジスタ	PD0	ADINSEL					U1SR		U1MR			TRCPSR0			タイマRC設定			機能
		CH			ADGSEL		TXD1SEL		SMD			TRCIOASEL						
ビット	PD0_1	2	1	0	1	0	1	0	2	1	0	2	1	0				
設定値	0	X	X	X	X	X	01b以外		X	X	X	011b以外			X			入力ポート(注1)
	1	X	X	X	X	X	01b以外		X	X	X	011b以外			X			出力ポート(注2)
	0	1	1	0	0	0	01b以外		X	X	X	011b以外			X			A/Dコンバータ入力(AN6) (注1)
	X	X	X	X	X	X	0	1	1	0	0	X	X	X	X			TXD1出力(注2、3)
									0	1	0							
									1	0	1							
	0	X	X	X	X	X	X	01b以外		X	X	X	0	1	1	「表7.42 TRCIOA端子設定」参照		
X	X	X	X	X	X	X	01b以外		X	X	X	0	1	1	「表7.42 TRCIOA端子設定」参照			TRCIOA出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU00ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U1C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.7 ポートP0\_2/AN5/RXD1/TRCIOA/TRCTRГ

レジスタ	PD0	ADINSEL					U1SR		TRCPSR0			タイマRC設定			機能
		CH			ADGSEL		RXD1SEL		TRCIOASEL						
ビット	PD0_2	2	1	0	1	0	1	0	2	1	0				
設定値	0	X	X	X	X	X	X	X	100b以外			X			入力ポート(注1)
	1	X	X	X	X	X	X	X	100b以外			X			出力ポート(注2)
	0	1	0	1	0	0	01b以外		100b以外			X			A/Dコンバータ入力(AN5) (注1)
	0	X	X	X	X	X	0	1	100b以外			X			RXD1入力(注1)
	0	X	X	X	X	X	X	X	1	0	0	「表7.42 TRCIOA端子設定」参照			TRCIOA入力(注1)
	X	X	X	X	X	X	X	X	1	0	0	「表7.42 TRCIOA端子設定」参照			TRCIOA出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU00ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを"1"にすると、出力の駆動能力Highとなります。

表7.8 ポートP0\_3/AN4/CLK1/TRCIOB

レジスタ	PD0	ADINSEL					U1SR		U1MR			TRCPSR0			タイマRC設定	機能		
		ビット	CH			ADGSEL	CLK1SEL		SMD			CKDIR	TRCIOBSEL					
			2	1	0	1	0	1	0	2	1		0	2			1	0
設定値	0	X	X	X	X	X	01b以外	X	X	X	X	010b以外	X	X	X	X	入力ポート(注1)	
	1	X	X	X	X	X	01b以外	X	X	X	X	010b以外	X	X	X	X	出力ポート(注2)	
	0	1	0	0	0	0	01b以外	X	X	X	X	010b以外	X	X	X	X	A/Dコンバータ入力(AN4)(注1)	
	0	X	X	X	X	X	0	1	X	X	X	1	X	X	X	X	CLK1(外部クロック)入力(注1)	
	X	X	X	X	X	X	0	1	0	0	1	0	X	X	X	X	CLK1(内部クロック)出力(注2)	
	0	X	X	X	X	X	01b以外	X	X	X	X	X	0	1	0	0	「表7.43 TRCIOB端子設定」参照	TRCIOB入力(注1)
	X	X	X	X	X	X	01b以外	X	X	X	X	X	0	1	0	0	「表7.43 TRCIOB端子設定」参照	TRCIOB出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU00ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを"1"にすると、出力の駆動能力Highとなります。

表7.9 ポートP0\_4/AN3/TRCIOB

レジスタ	PD0	ADINSEL					TIMSR		TRCPSR0			タイマRC設定	機能		
		ビット	CH			ADGSEL	TREOSEL0	TRCIOBSEL							
			2	1	0	1		0	2	1	0				
設定値	0	X	X	X	X	X	01b以外	011b以外	X	X	X	X	入力ポート(注1)		
	1	X	X	X	X	X	01b以外	011b以外	X	X	X	X	出力ポート(注2)		
	0	0	1	1	0	0	01b以外	011b以外	X	X	X	X	A/Dコンバータ入力(AN3)(注1)		
	0	X	X	X	X	X	X	X	0	1	1	0	1	「表7.43 TRCIOB端子設定」参照	TRCIOB入力(注1)
	X	X	X	X	X	X	X	X	0	1	1	0	1	「表7.43 TRCIOB端子設定」参照	TRCIOB出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU01ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを"1"にすると、出力の駆動能力Highとなります。

表7.10 ポートP0\_5/AN2/TRCIOB

レジスタ	PD0	ADINSEL					TRCPSR0			タイマRC設定	機能			
		ビット	CH			ADGSEL	TRCIOBSEL							
			2	1	0	1	0	2	1			0		
設定値	0	X	X	X	X	X	100b以外	X	X	X	X	入力ポート(注1)		
	1	X	X	X	X	X	100b以外	X	X	X	X	出力ポート(注2)		
	0	0	1	0	0	0	100b以外	X	X	X	X	A/Dコンバータ入力(AN2)(注1)		
	0	X	X	X	X	X	1	0	0	0	0	0	「表7.43 TRCIOB端子設定」参照	TRCIOB入力(注1)
	X	X	X	X	X	X	1	0	0	0	0	0	「表7.43 TRCIOB端子設定」参照	TRCIOB出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU01ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを"1"にすると、出力の駆動能力Highとなります。

表7.11 ポートP0\_6/AN1/TRCIOD

レジスタ	PD0	ADINSEL					TRCPSR1			タイマRC設定	機能
	ビット	CH			ADGSEL		TRCIOSEL				
		2	1	0	1	0	2	1	0		
設定値	0	X	X	X	X	X	011b以外			X	入力ポート(注1)
	1	X	X	X	X	X	011b以外			X	出力ポート(注2)
	0	0	0	1	0	0	011b以外			X	A/Dコンバータ入力(AN1)(注1)
	0	X	X	X	X	X	0	1	1	「表7.45 TRCIOD端子設定」参照	TRCIOD入力(注1)
	X	X	X	X	X	X	0	1	1	「表7.45 TRCIOD端子設定」参照	TRCIOD出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.12 ポートP0\_7/AN0/TRCIOC

レジスタ	PD0	ADINSEL					TRCPSR1			タイマRC設定	機能
	ビット	CH			ADGSEL		TRCIOSEL				
		2	1	0	1	0	2	1	0		
設定値	0	X	X	X	X	X	011b以外			X	入力ポート(注1)
	1	X	X	X	X	X	011b以外			X	出力ポート(注2)
	0	0	0	0	0	0	011b以外			X	A/Dコンバータ入力(AN0)(注1)
	0	X	X	X	X	X	0	1	1	「表7.44 TRCIOC端子設定」参照	TRCIOC入力(注1)
	X	X	X	X	X	X	0	1	1	「表7.44 TRCIOC端子設定」参照	TRCIOC出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.13 ポートP1\_0/KI0/AN8/TRCIOD

レジスタ	PD1	KIEN	ADINSEL					TRCPSR1			タイマRC設定	機能	
	ビット	PD1_0	KI0EN	CH			ADGSEL		TRCIOSEL				
				2	1	0	1	0	2	1			0
設定値	0	X	X	X	X	X	X	X	001b以外			X	入力ポート(注1)
	1	X	X	X	X	X	X	X	001b以外			X	出力ポート(注2)
	0	1	X	X	X	X	X	X	001b以外			X	KI0入力(注1)
	0	0	0	0	0	0	0	1	001b以外			X	A/Dコンバータ入力(AN8)(注1)
	0	X	X	X	X	X	X	X	0	0	1	「表7.45 TRCIOD端子設定」参照	TRCIOD入力(注1)
	X	X	X	X	X	X	X	X	0	0	1	「表7.45 TRCIOD端子設定」参照	TRCIOD出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、ブルアップありとなります。

注2. P1DRRレジスタのP1DRR0ビットを“1”にすると、出力の駆動能力Highとなります。



表7.14 ポートP1\_1/KI1/AN9/TRCIOA/TRCTRG

レジスタ ビット	PD1 PD1_1	KIEN KI1EN	ADINSEL						TRCPSR0			タイマRC設定	機能
			CH			ADGSEL			TRCIOASEL				
			2	1	0	1	0	2	1	0			
設定値	0	X	X	X	X	X	X	X	001b以外			X	入力ポート(注1)
	1	X	X	X	X	X	X	X	001b以外			X	出力ポート(注2)
	0	1	X	X	X	X	X	X	001b以外			X	KI1入力(注1)
	0	0	0	0	1	0	1	001b以外			X	A/Dコンバータ入力(AN9) (注1)	
	0	X	X	X	X	X	X	X	0	0	1	「表7.42 TRCIOA端子 設定」参照	TRCIOA入力(注1)
	X	X	X	X	X	X	X	X	0	0	1	「表7.42 TRCIOA端子 設定」参照	TRCIOA出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR1ビットを“1”にすると、出力の駆動能力Highとなります。

表7.15 ポートP1\_2/KI2/AN10/TRCIOB

レジスタ ビット	PD1 PD1_2	KIEN KI2EN	ADINSEL						TRCPSR0			タイマRC設定	機能
			CH			ADGSEL			TRCIOBSEL				
			2	1	0	1	0	2	1	0			
設定値	0	X	X	X	X	X	X	X	001b以外			X	入力ポート(注1)
	1	X	X	X	X	X	X	X	001b以外			X	出力ポート(注2)
	0	1	X	X	X	X	X	X	001b以外			X	KI2入力(注1)
	0	0	0	1	0	0	1	001b以外			X	A/Dコンバータ入力 (AN10)(注1)	
	0	X	X	X	X	X	X	X	0	0	1	「表7.43 TRCIOB端子 設定」参照	TRCIOB入力(注1)
	X	X	X	X	X	X	X	X	0	0	1	「表7.43 TRCIOB端子 設定」参照	TRCIOB出力(注2)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR2ビットを“1”にすると、出力の駆動能力Highとなります。

表7.16 ポートP1\_3/KI3/AN11/TRBO/TRCIOC

レジスタ ビット	PD1 PD1_3	KIEN KI3EN	ADINSEL						TRBRCR TRBOSEL0	TRCPSR1			タイマRB設定	タイマRC設定	機能
			CH			ADGSEL				TRCIOSEL					
			2	1	0	1	0	2		1	0				
設定値	0	X	X	X	X	X	X	X	1	001b以外			X	X	入力ポート(注1)
									X						
	1	X	X	X	X	X	X	X	1	001b以外			X	X	出力ポート(注2)
									X						
	0	1	X	X	X	X	X	X	1	001b以外			X	X	KI3入力(注1)
									X						
	0	0	0	1	1	0	1	1	1	001b以外			X	X	A/Dコンバータ 入力(AN11)(注1)
									X						
X	X	X	X	X	X	X	X	0	X	X	X	「表7.41 TRBO 端子設定」参照	X	TRBO出力(注2)	
0	X	X	X	X	X	X	X	1	001b以外			X	X	TRCIOC入力(注1)	
								X							TRBO 使用条件以外
X	X	X	X	X	X	X	X	1	001b以外			X	X	TRCIOC出力(注2)	
								X							TRBO 使用条件以外

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR3ビットを“1”にすると、出力の駆動能力Highとなります。

表7.17 ポートP1\_4/TXD0/TRCCLK

レジスタ	PD1	U0SR	U0MR			TRBRCSR		TRCCR1			機能	
	ビット	PD1_4	TXD0SELO	SMD			TRCCLKSEL		TCK			
				2	1	0	1	0	2	1		0
設定値	0	0	X	X	X	X	X	X	X	X	入力ポート(注1)	
	1	0	X	X	X	X	X	X	X	X	出力ポート(注2)	
	X	1	1	0	0	1	X	X	X	X	X	TXD0出力(注2、3)
				0								
				1								
0	0	X	X	X	0	1	1	0	1	TRCCLK入力(注1)		

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR4ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U0C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.18 ポートP1\_5/INT1/RXD0/TRAIO

レジスタ	PD1	U0SR	TRASR	TRAIOC	TRAMR	INTSR	INTEN	INTCMP	機能						
	ビット	PD1_5	RXD0SELO	TRAIOSEL	TOPCR	TMOD				INT1SEL			INT1EN	INT1CP0	
				2		1	0	2		1	0				
設定値	0	X	010b以外		X	X	X	X	X	X	X	X	入力ポート(注1)		
	1	X	010b以外		X	X	X	X	X	X	X	X	出力ポート(注2)		
	0	1	010b以外		X	X	X	X	X	X	X	X	RXD0入力(注1)		
	0	X	0	1	0	0	000b、001b以外		X	X	X	X	X	TRAIO入力(注1)	
	0	X	010b以外		X	X	X	X	0	0	1	1	0	INT1入力(注1)	
	0	X	0	1	0	0	000b、001b以外		0	0	1	1	0	TRAIO/INT1 入力(注1)	
	X	X	0	1	0	0	0	0	1	X	X	X	X	X	TRAIOパルス 出力(注2)
	0	1	0	1	0	0	マスタモード: 000b		X	X	X	X	X	X	TRAIO/RXD0入力 (ハードウェアLIN)
	0	1	0	1	0	0	スレーブモード: 011b		0	0	1	1	0	0	TRAIO/RXD0INT1 入力 (ハードウェアLIN)

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR5ビットを"1"にすると、出力の駆動能力Highとなります。

表7.19 ポートP1\_6/CLK0/IVREF1

レジスタ	PD1	U0SR	U0MR			INTCMP	機能		
	ビット	PD1_6	CLK0SELO	SMD				CKDIR	INT1CP0
				2	1	0			
設定値	0	0	X	X	X	X	X	入力ポート(注1)	
	1	0	X	X	X	X	X	出力ポート(注2)	
	0	1	X	X	X	1	X	CLK0(外部クロック)入力(注1)	
	X	1	0	0	1	0	X	CLK0(内部クロック)出力(注2)	
	0	0	X	X	X	X	1	コンパレータB1 リファレンス電圧入力(IVREF1)	

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR6ビットを"1"にすると、出力の駆動能力Highとなります。

表7.20 ポートP1\_7/INT1/TRAIO/IVCMP1

レジスタ	PD1	TRASR			TRAIOC	TRAMR			INTSR			INTEN	INTCMP	機能
ビット	PD1_7	TRAIOSSEL			TOPCR	TMOD			INT1SEL			INT1EN	INT1CP0	
		2	1	0		2	1	0	2	1	0			
設定値	0	001b以外			X	X	X	X	X	X	X	X	X	入力ポート(注1)
	1	001b以外			X	X	X	X	X	X	X	X	X	出力ポート(注2)
	0	0	0	1	0	000b、001b以外			X	X	X	X	X	TRAIO入力(注1)
	0	001b以外			X	X	X	X	0	0	0	1	0	INT1入力(注1)
	0	0	0	1	0	000b、001b以外			0	0	0	1	0	TRAIO/INT1入力(注1)
	X	0	0	1	0	0	0	1	X	X	X	X	X	TRAIOパルス出力(注2)
	0	001b以外			X	X	X	X	X	X	X	1	1	コンパレータB1入力(IVCMP1)

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR7ビットを"1"にすると、出力の駆動能力Highとなります。

表7.21 ポートP3\_0/TRAO

レジスタ	PD3	TRASR		TRAIOC	機能
ビット	PD3_0	TRAIOSSEL		TOENA	
		1	0		
設定値	0	01b以外		X	入力ポート(注1)
	1	01b以外		X	出力ポート(注2)
	X	0	1	1	TRAO出力(注2)

X: "0" または "1"

注1. PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを"1"にすると、出力の駆動能力Highとなります。

表7.22 ポートP3\_3/TRCCLK/SCS/CTS2/RTS2/IVCMP3

レジスタ	PD3	SSMR2	INTEN	TRBRCR	TRCCR1			U2SR1			U2MR		U2CO		INTCMP	機能		
ビット	PD3_3	CSS		INT3EN	TRCCLKSEL		TCK			CTS2SEL0	SMD			CRS	CRD		INT3CP0	
		1	0		1	0	2	1	0		2	1	0					
設定値	0	0	0	X	X	X	X	X	X	0	X	X	X	X	X	X	入力ポート(注1)	
	1	0	0	X	X	X	X	X	X	0	X	X	X	X	X	X	出力ポート(注2)	
	0	0	0	X	1	0	1	0	1	0	X	X	X	X	X	X	TRCCLK入力(注1)	
	X	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	SCS入力(注1)
	X	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	SCS出力(注2、3)
	0	0	0	X	X	X	X	X	X	1	000b以外			0	0	X	CTS2入力(注1)	
	X	0	0	X	X	X	X	X	X	1	000b以外			1	0	X	RTS2出力(注2)	
	0	0	0	1	10b以外		X	X	X	0	X	X	X	X	X	X	1	コンパレータB3入力(IVCMP3)

X: "0" または "1"

注1. PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを"1"にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのCSOSビットを"1"(Nチャネルオープンドレイン出力)にすると、Nチャネルオープンドレイン出力になります。

表7.23 ポートP3\_4/TRCIOCS/SSI/IVREF3

レジスタ	PD3	SSUIICSR	シンクロナスシリアル コミュニケーションユニット (「表24.4 通信モードと入出力 端子の関係」参照)		TRCPSR1	INTCMP	タイマRC設定	機能	
			SSI出力制御	SSI入力制御					
ビット	PD3_4	IICSEL	2	1	0	INT3CP 0			
							0	X	0
1	X	0	0	0	010b以外	X	X	出力ポート(注2)	
設定値	0	X	0	0	0	1	0	X	「表7.44 TRCIOCS 端子設定」参照 TRCIOCS入力(注1)
	X	X	0	0	0	1	0	X	「表7.44 TRCIOCS 端子設定」参照 TRCIOCS出力(注2)
	X	0	0	1	X	X	X	X	SSI入力(注1)
	X	0	1	0	X	X	X	X	SSI出力(注2、3)
	0	X	0	0	0	010b以外	1	X	コンパレータB3 リファレンス電圧入力(IVREF3)

X: "0" または "1"

注1. PUR0レジスタのPU07ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR07ビットを"1"にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのSOOSビットを"1"(Nチャンネルオープンドレイン出力)かつBIDEビットを"0"(標準モード)にすると、Nチャンネルオープンドレイン出力になります。

注4. U2C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.24 ポートP3\_5/TRCIOD/SCL/SSCK

レジスタ	PD3	SSUIICSR	ICCR1	シンクロナスシリアル コミュニケーションユニット (「表24.4 通信モードと入出力 端子の関係」参照)		TRCPSR1	U2SR1	タイマRC設定	機能	
				SSCK出力制御	SSCK入力制御					
ビット	PD3_5	IICSEL	ICE	2	1	0	CLK2SEL 1 0			
								0	0	X
1	0	X	0	0	010b以外	01b以外	X	X	出力ポート(注2)	
	1	0	X	X						
設定値	X	1	1	X	X	X	X	X	SCL入出力(注2)	
	X	0	X	0	1	X	X	X	SSCK入力(注1)	
	X	0	X	1	0	X	X	X	SSCK出力(注2、3)	
	0	0	X	0	0	0	1	0	01b以外	「表7.45 TRCIOD端子 設定」参照 TRCIOD入力(注1)
		1	0	X	X	0	1	0	01b以外	「表7.45 TRCIOD端子 設定」参照 TRCIOD出力(注2)
X	0	X	0	0	0	1	0	01b以外		

X: "0" または "1"

注1. PUR0レジスタのPU07ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR07ビットを"1"にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのSCKOSビットを"1"(Nチャンネルオープンドレイン出力)にすると、Nチャンネルオープンドレイン出力になります。

表7.25 ポートP3\_7/TRAO/SSO/SDA

レジスタ	PD3	SSUIICSR	ICCR1	シンクロナスシリアル コミュニケーションユニット (「表24.4 通信モードと入出力 端子の関係」参照)		TRASR		TRAIOC	機能
				SSO出力制御	SSO入力制御	TRAOSEL			
ビット	PD3_7	IICSEL	ICE					1	0
設定値	0	1	0	X	X	001b以外			入力ポート(注1)
		0	X	0	0				
	1	1	0	X	X	001b以外			出力ポート(注2)
		0	X	0	0				
	X	1	1	X	X	X	X	X	SDA入出力(注2)
	X	0	X	0	1	X	X	X	SSO入力(注1)
	X	0	X	1	0	X	X	X	SSO出力(注2、3)
X	1	0	X	X	0	0	1	TRAO出力(注2)	
X	0	X	0	0					

X: "0" または "1"

注1. PUR0レジスタのPU07ビットを"1"にすると、プルアップありとなります。

注2. DRR0レジスタのDRR07ビットを"1"にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのSOOSビットを"1"(Nチャンネルオープンドレイン出力)にすると、Nチャンネルオープンドレイン出力になります。

表7.26 ポートP4\_3

レジスタ	PD4	機能
ビット	PD4_3	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X: "0" または "1"

注1. PUR1レジスタのPU10ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR10ビットを"1"にすると、出力の駆動能力Highとなります。

表7.27 ポートP4\_4

レジスタ	PD4	機能
ビット	PD4_4	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X: "0" または "1"

注1. PUR1レジスタのPU11ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを"1"にすると、出力の駆動能力Highとなります。

表7.28 ポートP4\_5/INT0/RXD2/ADTRG

レジスタ	PD4	INTEN	U2SR0		ADMOD		機能
			RXD2SEL	ADCAP			
					1	0	
設定値	0	X	11b以外		X	X	入力ポート(注1)
	1	X	11b以外		X	X	出力ポート(注2)
	0	1	11b以外		X	X	INT0入力(注1)
	0	X	1	1	X	X	RXD2入力(注1)
	0	1	11b以外		1	1	ADTRG入力(注1)

X: "0" または "1"

注1. PUR1レジスタのPU11ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを"1"にすると、出力の駆動能力Highとなります。

表7.29 ポートP4\_6/XIN

レジスタ	PD4	PINSR	CM0			CM1				回路仕様		機能			
			ビット	PD4_6	XCSEL	CM03	CM04	CM05	CM10	CM11	CM12		CM13	発振 バッファ	帰還 抵抗
設定値	0	0	X	0	X	0	X	X	0	OFF	OFF	入力ポート(注1)			
		1		X											
	1	0	X	0	X	0	X	X	0	OFF	OFF	出力ポート(注2)			
		1		X											
	X	X	X	X	X	0	0	X	1	0	ON	ON	XIN-XOUT 発振 (内蔵帰還抵抗有効)		
										1	ON	OFF	XIN-XOUT 発振 (内蔵帰還抵抗無効)		
										0	OFF	ON	XIN-XOUT 発振停止 (内蔵帰還抵抗有効)		
										1	OFF	OFF	XIN-XOUT 発振停止 (内蔵帰還抵抗無効)		
X										1	X	X	OFF	OFF	発振停止(STOPモード)

X: "0" または "1"

注1. PUR1レジスタのPU11ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR11ビットを"1"にすると、出力の駆動能力Highとなります。

表7.30 ポートP4\_7/XOUT

レジスタ	PD4	PINSR	CM0			CM1				回路仕様		機能			
			ビット	PD4_7	XCSEL	CM03	CM04	CM05	CM10	CM11	CM12		CM13	発振 バッファ	帰還 抵抗
設定値	0	0	X	0	X	0	X	X	0	OFF	OFF	入力ポート(注1)			
		1		X											
	1	0	X	0	X	0	X	X	0	OFF	OFF	出力ポート(注2)			
		1		X											
	X	X	X	X	X	0	0	X	1	0	ON	ON	XIN-XOUT 発振 (内蔵帰還抵抗有効)		
										1	ON	OFF	XIN-XOUT 発振 (内蔵帰還抵抗無効)		
										0	OFF	ON	XIN-XOUT 発振停止 (内蔵帰還抵抗有効)		
										1	OFF	OFF	XIN-XOUT 発振停止 (内蔵帰還抵抗無効)		
X										1	X	X	OFF	OFF	発振停止(STOPモード)

X: "0" または "1"

注1. PUR1レジスタのPU11ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR11ビットを"1"にすると、出力の駆動能力Highとなります。

表7.31 ポートP6\_0

レジスタ	PD6	機能
ビット	PD6_0	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X: "0" または "1"

注1. PUR1レジスタのPU14ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR14ビットを"1"にすると、出力の駆動能力Highとなります。

表7.32 ポートP6\_5/INT4/CLK1/CLK2

レジスタ	PD6	INTEN1	U2SR1		U2MR				U1SR		U1MR				TRCPSR0			機能
ビット	PD6_5	INT4EN	CLK2SEL		SMD			CKDIR	CLK1SEL		SMD			CKDIR	TRCIOBSEL			
			1	0	2	1	0		1	0	2	1	0		2	1	0	
設定値	0	X	11b以外		X	X	X	X	11b以外		X	X	X	X	110b以外			入力ポート(注1)
	1	X	11b以外		X	X	X	X	11b以外		X	X	X	X	110b以外			出力ポート(注2)
	0	1	11b以外		X	X	X	X	11b以外		X	X	X	X	110b以外			INT4入力(注1)
	0	X	1	1	X	X	X	1	11b以外		X	X	X	X	X	X	X	CLK2(外部クロック)入力(注1)
	X	X	1	1	0	0	1	0	11b以外		X	X	X	X	X	X	X	CLK2(内部クロック)出力(注2、3)
	0	X	X	X	X	X	X	X	1	1	X	X	X	1	X	X	X	CLK1(外部クロック)入力(注1)
	X	X	X	X	X	X	X	X	1	1	0	0	1	0	X	X	X	CLK1(内部クロック)出力(注2)

X: "0" または "1"

注1. PUR1レジスタのPU15ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR15ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U2SMR3レジスタのNODCビットを"1"にすると、Nチャネルオープンドレイン出力になります。

表7.33 ポートP6\_6/INT2/TXD2

レジスタ	PD6	INTSR	INTEN	U2SR0			U2MR			機能	
ビット	PD6_6	INT2SEL0	INT2EN	TXD2SEL			SMD				
				2	1	0	2	1	0		
設定値	0	X	X	101b以外			X	X	X	入力ポート(注1)	
	1	X	X	101b以外			X	X	X	出力ポート(注2)	
	0	0	1	101b以外			X	X	X	INT2入力(注1)	
	X	X	X	1	0	1	1	0	0	1	TXD2出力(注2、3)
									0	0	
									1	1	
									1	0	

X: "0" または "1"

注1. PUR1レジスタのPU15ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR15ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U2C0レジスタのNCHビットを"1"にすると、Nチャネルオープンドレイン出力になります。

表7.34 ポートP6\_7/INT3/TRCIOD

レジスタ	PD6	INTSR	INTEN	INTCMP	TRCPSR1			タイマRC設定	機能	
ビット	PD6_7	INT3SEL		INT3EN	INT3CP0	TRCIOBSEL				
		1	0			2	1	0		
設定値	0	X	X	X	X	101b以外			X	入力ポート(注1)
	1	X	X	X	X	101b以外			X	出力ポート(注2)
	0	1	0	1	0	101b以外			X	INT3入力(注1)
	0	X	X	X	X	1	0	1	「表7.45 TRCIOD端子設定」参照	TRCIOD入力(注1)
	X	X	X	X	X	1	0	1	「表7.45 TRCIOD端子設定」参照	TRCIOD出力(注2)

X: "0" または "1"

注1. PUR1レジスタのPU15ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR15ビットを"1"にすると、出力の駆動能力Highとなります。

表7.35 ポートP7\_6

レジスタ	PD7	機能
ビット	PD7_6	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X: "0" または "1"

注1. PUR1レジスタのPU17ビットを"1"にすると、ブルアップありとなります。

注2. DRR1レジスタのDRR17ビットを"1"にすると、出力の駆動能力Highとなります。

表7.36 ポートP7\_7

レジスタ	PD7	機能
ビット	PD7_7	
設定値	0	入力ポート(注1)
	1	出力ポート(注2)

X: "0" または "1"

注1. PUR1レジスタのPU17ビットを"1"にすると、プルアップありとなります。

注2. DRR1レジスタのDRR17ビットを"1"にすると、出力の駆動能力Highとなります。

表7.37 ポートP8\_0/TRFO00

レジスタ	PD8	TRFOUT	P8	機能
ビット	PD8_0	TRFOUT0	P8_0	
設定値	0	0	X	入力ポート(注1)
	1	0	X	出力ポート(注2)
	X	1	1	TRFO00出力(注2)

X: "0" または "1"

注1. PUR2レジスタのPU20ビットを"1"にすると、プルアップありとなります。

注2. DRR2レジスタのDRR20ビットを"1"にすると、出力の駆動能力Highとなります。

表7.38 ポートP8\_1/CLK3/TRFO01

レジスタ	PD8	TRFOUT	U3SR	U3MR				機能
ビット	PD8_1	TRFOUT1	CLK3SELO	SMD2	SMD1	SMD0	CKDIR	
設定値	0	0	0	X	X	X	X	入力ポート(注1)
	1	0	0	X	X	X	X	出力ポート(注2)
	X	1	0	X	X	X	X	TRFO01出力(注2)
	0	X	1	X	X	X	1	CLK3(外部クロック)入力(注1)
	X	X	1	0	0	1	0	CLK3(内部クロック)出力(注2)

X: "0" または "1"

注1. PUR2レジスタのPU20ビットを"1"にすると、プルアップありとなります。

注2. DRR2レジスタのDRR20ビットを"1"にすると、出力の駆動能力Highとなります。

表7.39 ポートP8\_2/TXD3/TRFO02

レジスタ	PD8	TRFOUT	U3SR	U3MR			機能
ビット	PD8_2	TRFOUT2	TXD3SELO	SMD2	SMD1	SMD0	
設定値	0	0	0	X	X	X	入力ポート(注1)
	1	0	0	X	X	X	出力ポート(注2)
	X	1	0	X	X	X	TRFO02出力(注2)
	X	X	1	0	0	1	TXD3出力(注2、3)
				1	0	0	
				1	0	1	
				1	1	0	

X: "0" または "1"

注1. PUR2レジスタのPU20ビットを"1"にすると、プルアップありとなります。

注2. DRR2レジスタのDRR20ビットを"1"にすると、出力の駆動能力Highとなります。

注3. U3C0レジスタのNCHビットを"1"にすると、Nチャンネルオープンドレイン出力になります。

表7.40 ポートP8\_3/RXD3/TRFO10/TRFI

レジスタ	PD8	TRFOUT	U3SR	TIMSR	機能
ビット	PD8_3	TRFOUT3	RXD3SELO	TRFISELO	
設定値	0	0	X	X	入力ポート(注1)
	1	0	X	X	出力ポート(注2)
	0	0	1	0	RXD3入力(注1)
	X	1	0	X	TRFO10出力(注2)
	0	0	X	1	TRFI入力(注1)

X: "0" または "1"

注1. PUR2レジスタのPU20ビットを"1"にすると、プルアップありとなります。

注2. DRR2レジスタのDRR20ビットを"1"にすると、出力の駆動能力Highとなります。



表7.41 TRBO端子設定

レジスタ	TRBIOC	TRBMR		機能
ビット	TOCNT	TMOD1	TMOD0	
設定値	0	0	1	プログラマブル波形発生モード(パルス出力)
	1	0	1	プログラマブル波形発生モード(プログラマブル出力)
	0	1	0	プログラマブルワンショット発生モード
	0	1	1	プログラマブルウェイトワンショット発生モード

表7.42 TRCIOA端子設定

レジスタ	TRCOER	TRCMR	TRCIOR0			TRCCR2		機能
ビット	EA	PWM2	IOA2	IOA1	IOA0	TCEG1	TCEG0	
設定値	0	1	0	0	1	X	X	タイマ波形出力 (アウトプットコンペア機能)
				1	X			
	0	1	1	X	X	X	X	タイマモード (インプットキャプチャ機能)
	1							
1	0	X	X	X	0	1	PWM2モード TRCTRG入力	
					1	X		

X: "0" または "1"

表7.43 TRCIOB端子設定

レジスタ	TRCOER	TRCMR		TRCIOR0			機能
ビット	EB	PWM2	PWMB	IOB2	IOB1	IOB0	
設定値	0	0	X	X	X	X	PWM2モード波形出力
	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
1							

X: "0" または "1"

表7.44 TRCIOC端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	EC	PWM2	PWMC	IOC2	IOC1	IOC0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
1							

X: "0" または "1"

表7.45 TRCIOD端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	ED	PWM2	PWMD	IOD2	IOD1	IOD0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
1							

X: "0" または "1"

## 7.6 未使用端子の処理

表7.46に未使用端子の処理例を示します。

表7.46 未使用端子の処理例

端子名	処理内容
ポートP0、P1、 P3_0、P3_3～P3_5、P3_7、 P4_3～P4_7、 P6_0、P6_5～P6_7、 P7_6～P7_7、P8_0～P8_3	<ul style="list-style-type: none"> <li>入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2)</li> <li>出力モードに設定し、端子を開放(注1、2)</li> </ul>
USB_VCC	USBMCレジスタのPXXCONビットを“0”にし、かつ、次の処理をする <ul style="list-style-type: none"> <li>開放</li> </ul>
VREF	VCCに接続
RESET(注3)	抵抗を介してVCCに接続(プルアップ)(注2)
NC(注4)	開放

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

注4. R8C/34Uグループのみにあります。

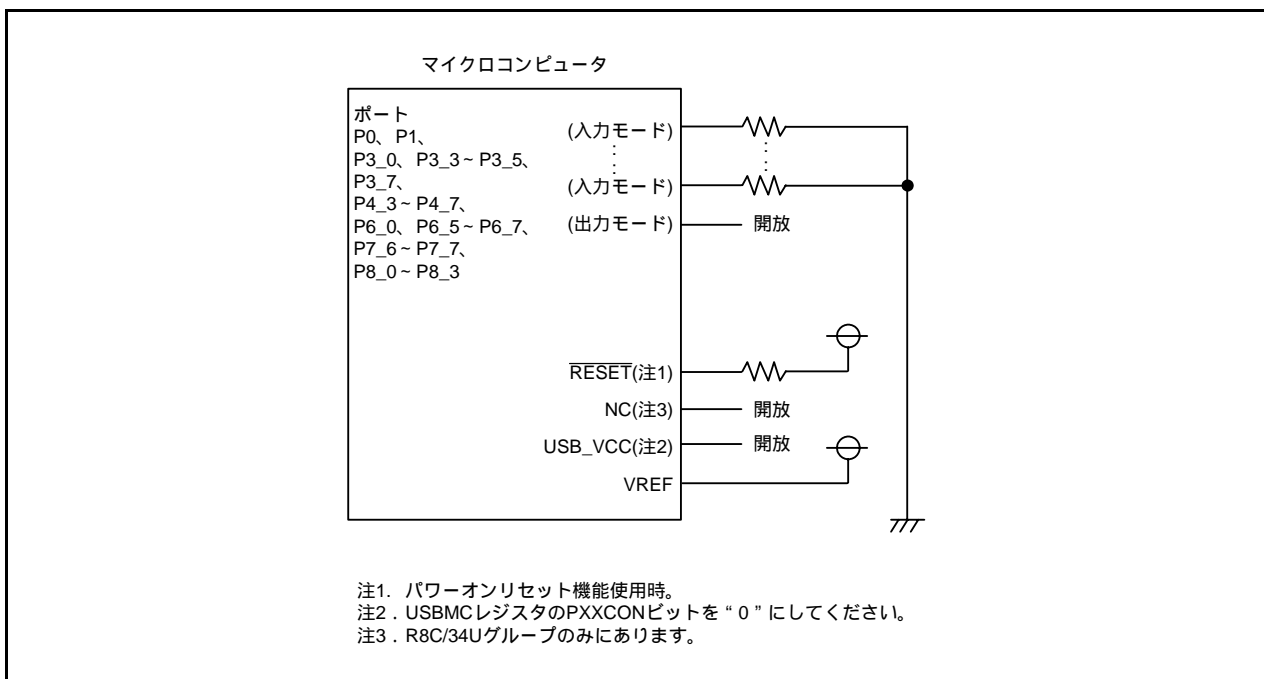


図7.19 未使用端子の処理例

## 8. バス制御

ROM、RAM、DTCベクタ領域、DTCコントロールデータとSFRとはアクセス時のバスサイクルが異なります。

表8.1にR8C/34Uグループ、R8C/34Kグループのアクセス領域に対するバスサイクルを示します。

ROM、RAM、DTCベクタ領域、DTCコントロールデータとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。

表8.2にアクセス単位とバスの動作を示します。

表8.1 R8C/34Uグループ、R8C/34Kグループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR、データフラッシュ	CPUクロックの2サイクル
プログラムROM、RAM	CPUクロックの1サイクル

表8.2 アクセス単位とバスの動作

領域	SFR、データフラッシュ		ROM(プログラムROM)、RAM、DTCベクタ領域、DTCコントロールデータ	
偶数番地 バイトアクセス	CPU クロック		CPU クロック	
奇数番地 バイトアクセス	CPU クロック		CPU クロック	
偶数番地 ワードアクセス	CPU クロック		CPU クロック	
奇数番地 ワードアクセス	CPU クロック		CPU クロック	

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

割り込み：各割り込み制御レジスタ

タイマRC：TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ

SSU：SSTDR、SSTDRH、SSRDR、SSRDRHレジスタ

UART2：U2MR、U2BRG、U2TB、U2C0、U2C1、U2RBレジスタ

A/Dコンバータ：AD0、AD1、AD2、AD3、AD4、AD5、AD6、AD7、ADM0D、ADINSEL、ADCON0、ADCON1レジスタ

アドレス一致割り込み：RMAD0、AIER0、RMAD1、AIER1レジスタ

このため、16ビット単位で1回アクセスします。バスの動作は「表8.2 アクセス単位とバスの動作」の「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセスします。

## 9. クロック発生回路

クロック発生回路として、5つの回路が内蔵されています。

- XINクロック発振回路
- PLL周波数シンセサイザ
- 低速オンチップオシレータ
- 高速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ

### 9.1 概要

表 9.1 にクロック発生回路の概略仕様を、図 9.1 にクロック発生回路を、図 9.2 に周辺機能のクロックを、図 9.3 にVCA20ビットによる内部電源低消費操作手順を示します。

表9.1 クロック発生回路の概略仕様

項目	XINクロック発振回路	PLL周波数シンセサイザ	オンチップオシレータ		ウォッチドッグタイマ用低速オンチップオシレータ
			高速オンチップオシレータ	低速オンチップオシレータ	
用途	• CPUのクロック源 • 周辺機能のクロック源	• CPUのクロック源 • 周辺機能のクロック源	• CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源	• CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源	• ウォッチドッグタイマのクロック源
クロック周波数	0 ~ 20MHz	8/12/16MHz(注7)	約40MHz(注3)	約125kHz	約125kHz
接続できる発振子	• セラミック共振子 • 水晶発振子	(注6)			
発振子の接続端子	XIN、XOUT (注1)	(注6)	(注1)	(注1)	
発振の開始と停止	あり	あり	あり	あり	あり
リセット後の状態	停止	停止	停止	発振	停止(注4) 発振(注5)
その他	外部で生成されたクロックを入力可能(注2)	(注6)			

注1. XINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP4\_6、P4\_7として使うことができます。P4\_6端子はXIN端子と、P4\_7端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。P4\_6端子はXIN端子と、P4\_7端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらをI/Oポートとして使用できません。

注2. 外部クロック入力時には、CM0レジスタのCM05ビットを“1”(XINクロック停止)、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)に、CM13ビットを“1”(XIN-XOUT端子)にしてください。

注3. CPUクロック源として使用する場合には、分周器により最大：約20MHzとなります。

注4. OFSレジスタのCSPROINIビットが“1”(リセット後、カウントソース保護モード無効)の場合です。

注5. OFSレジスタのCSPROINIビットが“0”(リセット後、カウントソース保護モード有効)の場合です。

注6. PLL周波数シンセサイザは基準クロック源としてXINクロック発振回路を使用します。したがって、これらの項目はXINクロック発振回路に準じます。

注7. USB用は48MHz出力

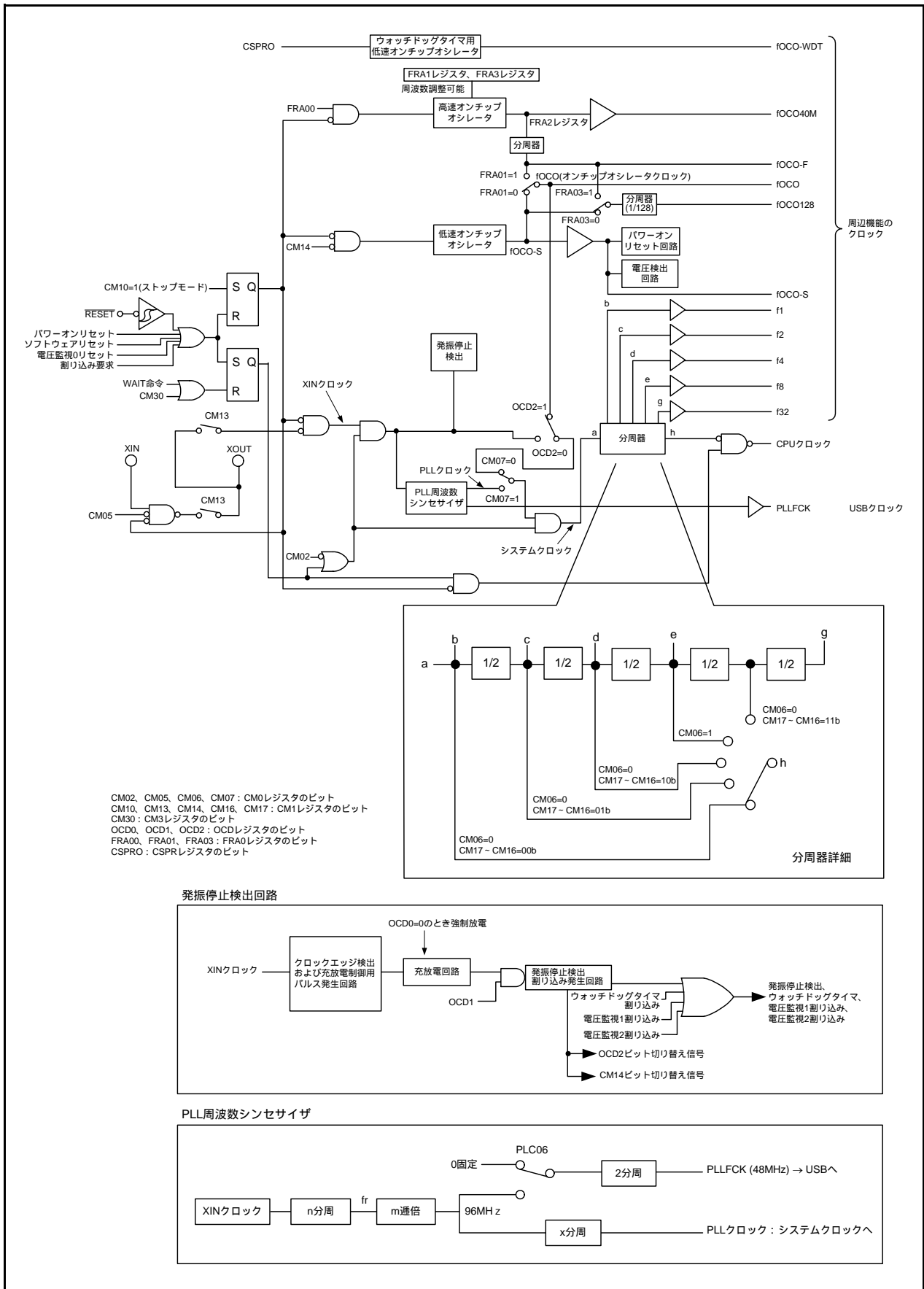


図9.1 クロック発生回路

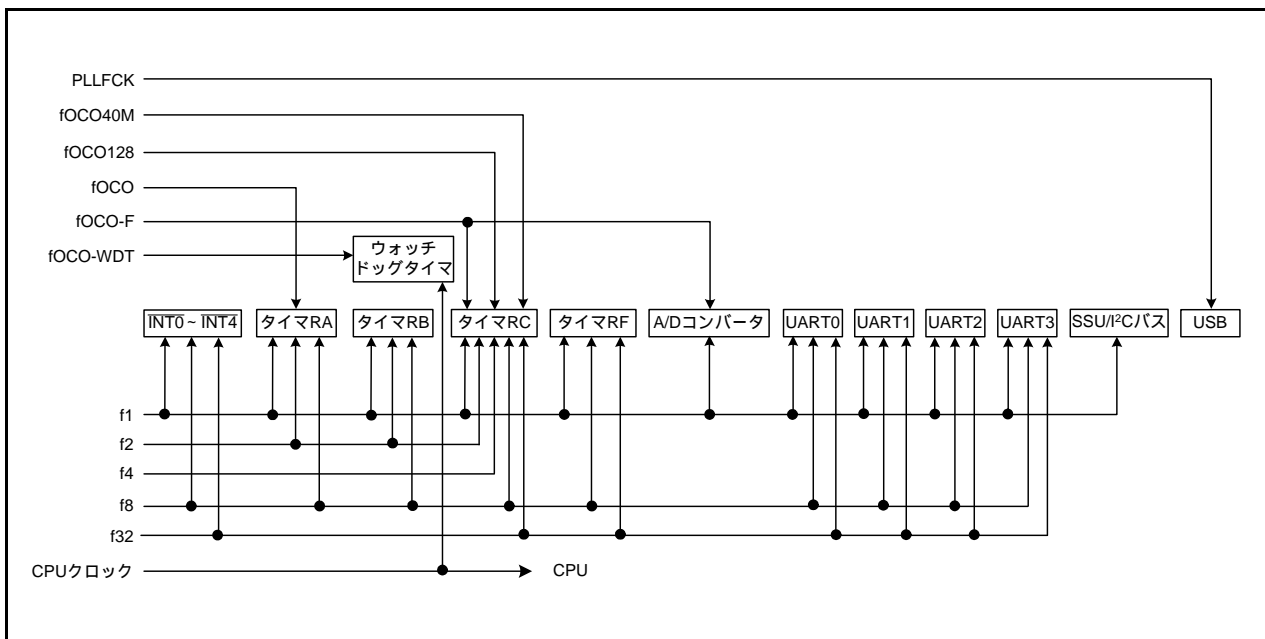


図9.2 周辺機能のクロック

## 9.2 レジスタの説明

## 9.2.1 システムクロック制御レジスタ0 (CM0)

アドレス 0006h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	—	—	CM02	-	-
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックを停止しない 1: ウェイトモード時、周辺機能クロックを停止する	R/W
b3	—	予約ビット	“0” にしてください	R/W
b4	—			
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、3)	0: 発振 1: 停止(注2)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	CPUクロック選択ビット(注5)	0: XINクロック 1: PLLクロック(1/2)	R/W

注1. CM05ビットは高速オンチップオシレータモード、低速オンチップオシレータモードにするとXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1) OCDレジスタのOCD1～OCD0ビットを“00b”にする。

(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。

注2. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられます。

注3. CM05ビットが“1”(XINクロック停止)かつCM1レジスタのCM13ビットが“0”(P4\_6、P4\_7)の場合のみ、P4\_6、P4\_7は入出力ポートとして使用できます。

P4\_6端子はXIN端子と、P4\_7端子はXOUT端子と兼用です。XINクロックを使用する場合は、これらを入出力ポートとして使用できません。

注4. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

注5. PLL制御レジスタ0のPLC07ビットを“1”(PLL動作)にし、PLLクロックの発振が安定した後、CM07ビットを“0”から“1”(PLLクロック)にしてください。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## 9.2.2 システムクロック制御レジスタ1 (CM1)

アドレス 0007h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	–	CM14	CM13	–	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット(注2、7)	0: クロック発振 1: 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0: 内蔵帰還抵抗有効 1: 内蔵帰還抵抗無効	R/W
b2	–	予約ビット	“0” にしてください	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット(注5、6)	0: 入出力ポートP4_6、P4_7 1: XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3、4)	0: 低速オンチップオシレータ発振 1: 低速オンチップオシレータ停止	R/W
b5	–	予約ビット	“1” にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1(注1)	b7 b6 00: 分周なしモード 01: 2分周モード 10: 4分周モード 11: 16分周モード	R/W
b7	CM17			R/W

注1. CM06ビットが“0”(CM16、CM17ビット有効)の場合、CM16～CM17ビットは有効となります。

注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。

注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。

注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

注5. 入出力ポートとして使用する場合は、CM13ビットを“0”(入出力ポート)、CM0レジスタのCM05ビットを“1”(XINクロック停止)にしてください。

外部クロック入力として使用する場合は、CM13ビットを“1”(XIN-XOUT端子)、CM05ビットを“1”(XINクロック停止)、CM11ビットを“1”(内部帰還抵抗無効)にしてください。さらに、PD4レジスタのPD4\_7ビットを“0”(入力モード)にすると外部クロックを入力できます。このとき、XINは入出力ポートP4\_6として設定してください。使用しない場合は、未使用端子の処理をしてください。P4\_6端子はXIN端子と、P4\_7端子はXOUT端子と共用です。内蔵発振回路を使用する場合は、これらをI/Oポートとして使用できません。

注6. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。

注7. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”(ストップモード)にしないでください。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。



## 9.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	-	-	-	-	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-	予約ビット	“0”にしてください	R/W
b4	-			
b5	CM35	ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2)	0: CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1: 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット	b7 b6 00: ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰 01: 設定しないでください 10: 高速オンチップオシレータクロックを選択(注3) 11: XINクロックを選択(注4)	R/W
b7	CM37			R/W

注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。

注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。

注3. CM37、CM36ビットが“10b”(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。

- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
- FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
- FRA0レジスタのFRA01ビット=1(高速オンチップオシレータ選択)

注4. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。

- CM0レジスタのCM05ビット=0(XINクロック発振)
- CM1レジスタのCM13ビット=1(XIN-XOUT端子)
- OCDレジスタのOCD2ビット=0(XINクロック選択)

CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。

ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37 ~ CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

### CM30ビット(ウェイト制御ビット)

CM30ビットを“1”(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

## 9.2.4 発振停止検出レジスタ(OCD)

アドレス 000Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット(注6)	0: 発振停止検出機能無効(注1) 1: 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0: 禁止(注1) 1: 許可	R/W
b2	OCD2	システムクロック選択ビット(注3)	0: XINクロック選択(注6) 1: オンチップオシレータクロック選択(注2)	R/W
b3	OCD3	クロックモニタビット(注4、5)	0: XINクロック発振 1: XINクロック停止	R
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	-			
b7	-			

- 注1. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
- 注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
- 注3. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
- 注4. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。また、XINクロックの発振安定確認には使用できません。
- 注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
- 注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「図9.10 発振停止を検出した場合の低速オンチップオシレータからXINクロックへの切り替え手順」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

## 9.2.5 高速オンチップオシレータ制御レジスタ7(FRA7)

アドレス 0015h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	出荷時の値							

ビット	機能	R/W
b7～b0	32MHzの周波数調整用データが格納されます。 この値をFRA3レジスタに転送し、かつ、FRA6レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。	R

## 9.2.6 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス 0023h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	FRA03	-	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0: 高速オンチップオシレータ停止 1: 高速オンチップオシレータ発振	R/W
b1	FRA01	高速オンチップオシレータ選択ビット (注1)	0: 低速オンチップオシレータ選択(注2) 1: 高速オンチップオシレータ選択(注3)	R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0: fOCO-Sの128分周を選択 1: fOCO-Fの128分周を選択	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

注1. FRA01ビットは次の条件のとき変更してください。

- FRA00=1 (高速オンチップオシレータ発振)
- CM1レジスタのCM14=0 (低速オンチップオシレータ発振)
- FRA2レジスタのFRA22 ~ FRA20ビットが  
VCC=2.7V ~ 5.5Vの場合は全分周モード設定可能 “000b” ~ “111b”  
VCC=1.8V ~ 5.5Vの場合は8分周以上の分周比 “110b” ~ “111b” (8分周モード以上)

注2. FRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にFRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを“0”にした後、FRA00ビットを“0”にしてください。

注3. FRA01ビットに“1”(高速オンチップオシレータ選択)を設定し、低速オンチップオシレータを停止する場合は、低速オンチップオシレータの1サイクル以上を待ってから、CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

## 9.2.7 高速オンチップオシレータ制御レジスタ1 (FRA1)

アドレス 0024h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	出荷時の値							

ビット	機能	R/W
b7 ~ b0	下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 40MHz: FRA1=リセット後の値、FRA3=リセット後の値 36.864MHz: FRA4レジスタの値をFRA1レジスタに転送し、かつ、 FRA5レジスタの値をFRA3レジスタに転送。 32MHz: FRA6レジスタの値をFRA1レジスタに転送し、かつ、 FRA7レジスタの値をFRA3レジスタに転送。	R/W

FRA1レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA1レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

## 9.2.8 高速オンチップオシレータ制御レジスタ2 (FRA2)

アドレス 0025h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	FRA22	FRA21	FRA20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA20	高速オンチップオシレータ周波数切替ビット	分周比選択 高速オンチップオシレータクロック分周比を選択します。 b2 b1 b0 000: 2分周モード 001: 3分周モード 010: 4分周モード 011: 5分周モード 100: 6分周モード 101: 7分周モード 110: 8分周モード 111: 9分周モード	R/W
b1	FRA21			R/W
b2	FRA22			R/W
b3	-	予約ビット	"0" にしてください	R/W
b4	-			
b5	-			
b6	-			
b7	-			

FRA2レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

## 9.2.9 時計用プリスケアラリセットフラグ (CPSRF)

アドレス 0028h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CPSR	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	"0" にしてください	R/W
b1	-			
b2	-			
b3	-			
b4	-			
b5	-			
b7	CPSR	時計用プリスケアラリセットフラグ	このビットを“1”にすると時計用プリスケアラが初期化される(読んだ場合、その値は“0”)	R/W

## 9.2.10 高速オンチップオシレータ制御レジスタ4 (FRA4)

アドレス 0029h 番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル 

-	-	-	-	-	-	-	-
---	---	---	---	---	---	---	---

リセット後の値 出荷時の値

ビット	機能	R/W
b7 ~ b0	36.864MHzの周波数調整用データが格納されます。 この値をFRA1レジスタに転送し、かつ、FRA5レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。	R

## 9.2.11 高速オンチップオシレータ制御レジスタ5 (FRA5)

アドレス 002Ah 番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル 

-	-	-	-	-	-	-	-
---	---	---	---	---	---	---	---

リセット後の値 出荷時の値

ビット	機能	R/W
b7 ~ b0	36.864MHzの周波数調整用データが格納されます。 この値をFRA3レジスタに転送し、かつ、FRA4レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。	R

## 9.2.12 高速オンチップオシレータ制御レジスタ6 (FRA6)

アドレス 002Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	出荷時の値							

ビット	機能	R/W
b7 ~ b0	32MHzの周波数調整用データが格納されます。 この値をFRA1レジスタに転送し、かつ、FRA7レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。	R

## 9.2.13 高速オンチップオシレータ制御レジスタ3 (FRA3)

アドレス 002Fh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	出荷時の値							

ビット	機能	R/W
b7 ~ b0	下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 40MHz： FRA1=リセット後の値、FRA3=リセット後の値 36.864MHz： FRA4レジスタの値をFRA1レジスタに転送し、かつ、 FRA5レジスタの値をFRA3レジスタに転送。 32MHz： FRA6レジスタの値をFRA1レジスタに転送し、かつ、 FRA7レジスタの値をFRA3レジスタに転送。	R/W

FRA3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA3レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

## 9.2.14 電圧検出レジスタ2 (VCA2)

アドレス 0034h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	-	-	-	-	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0: 低消費電力禁止 1: 低消費電力許可(注2)	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	-			
b4	-			
b5	VCA25	電圧検出0許可ビット(注3)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注5)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図9.3 VCA20ビットによる内部電源低消費電力操作手順」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。



## 9.2.15 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b3	IOINSEL	I/Oポート入力機能選択ビット	0: I/Oポートの入力機能はPDi (i=0、1、3、4、6~8) レジスタに依存PDiレジスタのPDi_j (j=0~7) ビットが“0” (入力モード) のとき、端子の入力レベルを読む。 PDiレジスタのPDi_jビットが“1” (出力モード) のとき、ポートラッチを読む。 1: I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルを読む	R/W
b4	IICTCTWI	I <sup>2</sup> C転送レート2倍選択ビット	0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の2倍の転送レート	R/W
b5	IICTCHALF	I <sup>2</sup> C転送レート1/2倍選択ビット	0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延選択ビット	b7 b6 00: 3×f1サイクルのデジタル遅延 01: 11×f1サイクルのデジタル遅延 10: 19×f1サイクルのデジタル遅延 11: 設定しないでください	R/W
b7	SDADLY1			R/W

## IOINSELビット (I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0、1、3、4、6~8) レジスタのPDi\_j (j=0~7) ビットが“1” (出力モード) のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1” にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表9.2にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべてのI/Oポートの入力機能を変更できます。

表9.2 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi_jビット	“0” (入力モード)		“1” (出力モード)	
	“0”	“1”	“0”	“1”
IOINSELビット				
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

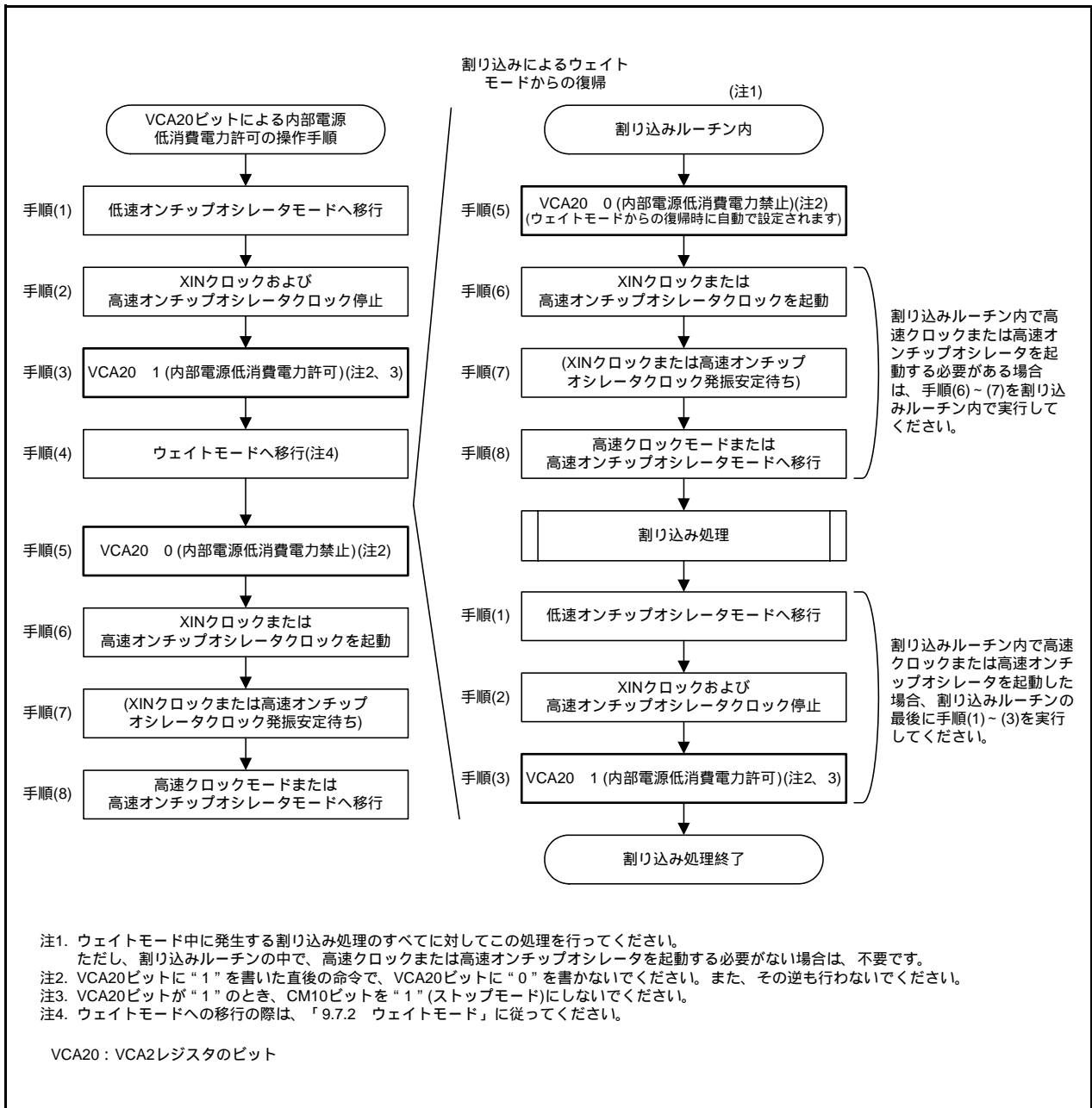


図9.3 VCA20ビットによる内部電源低消費操作手順

## 9.2.16 PLL制御レジスタ0 (PLC0)

アドレス 2F01h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PLC07	PLC06	PLC05	PLC04	-	-	PLC01	PLC00
リセット後の値	0	0	1	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PLC00	PLL電源制御ビット	0: PLL電源オフ 1: PLL電源オン	R/W
b1	PLC01	PLL出力制御ビット	0: PLL出力停止 1: PLL出力許可	R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	-	予約ビット	読んだ場合、その値は不定。	R
b4	PLC04	基準周波数カウンタ設定ビット	b5 b4 0 1 : 2分周 1 0 : 4分周 上記以外 : 設定しないでください	R/W
b5	PLC05			
b6	PLC06	PLL FCK生成許可ビット	0: PLL FCK生成禁止 1: PLL FCK生成許可	R/W
b7	PLC07	動作許可ビット	0: PLL停止 1: PLL動作	R/W

## 9.2.17 PLL制御レジスタ1 (PLC1)

アドレス 2F02h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	PLC14	PLC13	PLC12	-	-
リセット後の値	0	0	0	0	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	PLC12	PLL 逡倍選択ビット	b4 b3 b2 0 1 1 : 24逡倍 1 0 0 : 32逡倍 上記以外 : 設定しないでください	R/W
b3	PLC13			
b4	PLC14			
b5	-	予約ビット	“0” にしてください	R/W
b6	-			
b7	-			

## 9.2.18 PLL分周制御レジスタ (PLDIV)

アドレス 2F03h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	FCKDIV0	CPUDIV2	CPUDIV1	CPUDIV0
リセット後の値	0	0	0	0	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	CPUDIV0	CPUクロック分周選択ビット	b2 b1 b0 0 0 0 : “H” 固定 0 1 0 : 8分周 0 1 1 : 6分周 1 0 0 : 16分周 上記以外 : 設定しないでください	R/W
b1	CPUDIV1			
b2	CPUDIV2			
b3	FCKDIV0	PLL FCK分周選択ビット	0 : “H” 固定 1 : 2分周	R/W
b4	-	予約ビット	“0” にしてください	R/W
b5	-			
b6	-			
b7	-			

クロック発生回路で生成するクロックを説明します。

### 9.3 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXOUT端子へ入力することもできます。

図9.4にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(XINクロック発振)にするとXINクロックは発振を開始します。XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(XINクロック停止)にすると、消費電力を低減できます。

なお、外部で生成したクロックをXOUT端子に入力している場合、CM05ビットを“1”にしてもXINクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「9.7 パワーコントロール」を参照してください。

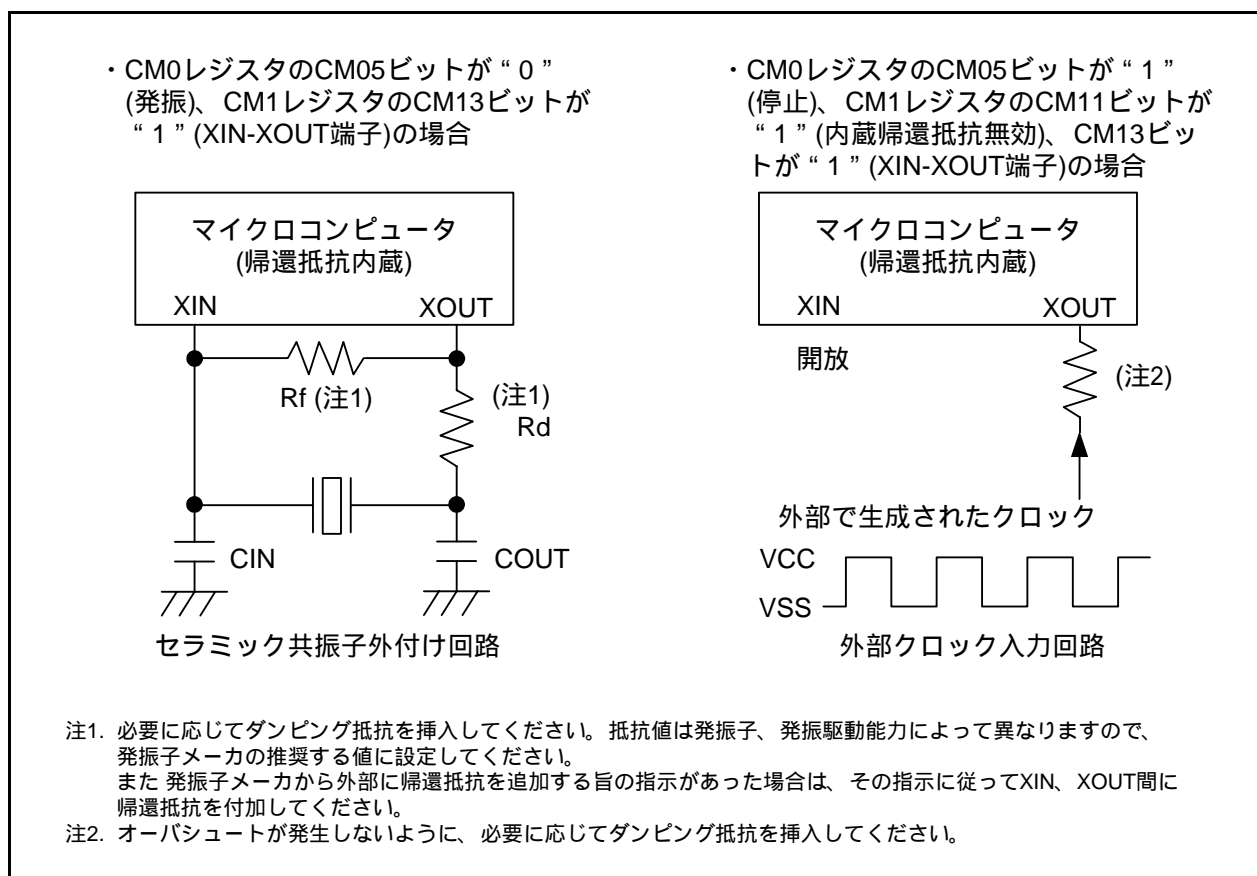


図9.4 XINクロックの接続回路例

## 9.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0レジスタのFRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

### 9.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-S、fOCO128のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしがCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

### 9.4.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-F、fOCO40M、fOCO128のクロック源になります。

CPUクロック、周辺クロック、fOCO、fOCO-Fのクロック源として使用する場合には、FRA2レジスタのFRA20～FRA22ビットにより、以下のように設定してください。

- VCC=2.7V～5.5Vの場合、全分周モード設定可能 “000b”～“111b”
- VCC=1.8V～5.5Vの場合、8分周以上の分周比 “110b”～“111b”(8分周モード以上)

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0レジスタのFRA00ビットを“1”(オンチップオシレータ発振)にすると発振を開始します。

また、FRA4～FRA7レジスタには周波数調整用データが格納されています。

高速オンチップオシレータクロックの周波数を36.864MHzにするには、FRA4レジスタの調整値をFRA1レジスタへ、FRA5レジスタの調整値をFRA3レジスタに転送して使用してください。これにより、シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます(「表21.8、表22.8 UARTモード時のビットレート設定例(内部クロック選択時)」を参照)。

高速オンチップオシレータクロックの周波数を32MHzにするには、FRA6レジスタの調整値をFRA1レジスタへ、FRA7レジスタの調整値をFRA3レジスタに転送して使用してください。

## 9.5 PLLクロック

PLLクロックは、PLL周波数シンセサイザが生成するクロックです。CPUクロックと周辺機能クロックのクロック源になります。

リセット後、PLL周波数シンセサイザは停止しています。

XINクロックを分周し、逡倍したものがPLLクロックになります。分周後のクロック周波数が3MHz～4MHzになるようにPLC0レジスタのPLC05～PLC04ビットを設定してください。

PLLクロックを発振させるには、次の手順で実行してください。

- (1) PLC0レジスタのPLC00ビットを“1” (PLL電源オン)にする。
- (2) PLC0レジスタのPLC01ビットを“1” (PLL出力許可)にする。
- (3) PLC0レジスタのPLC06ビットを“1” (PLL FCK生成許可)にする。
- (4) PLC0レジスタのPLC07ビットを“1” (PLL動作)にする。
- (5) PLLクロックが安定するまで ( $t_{SU(PLL)}$ )待つ。
- (6) SYSCFGレジスタのSCKEビット“1” (USBモジュールへのクロック供給許可)にする。

図9.5にXINクロックとPLLクロックの関係を示します。

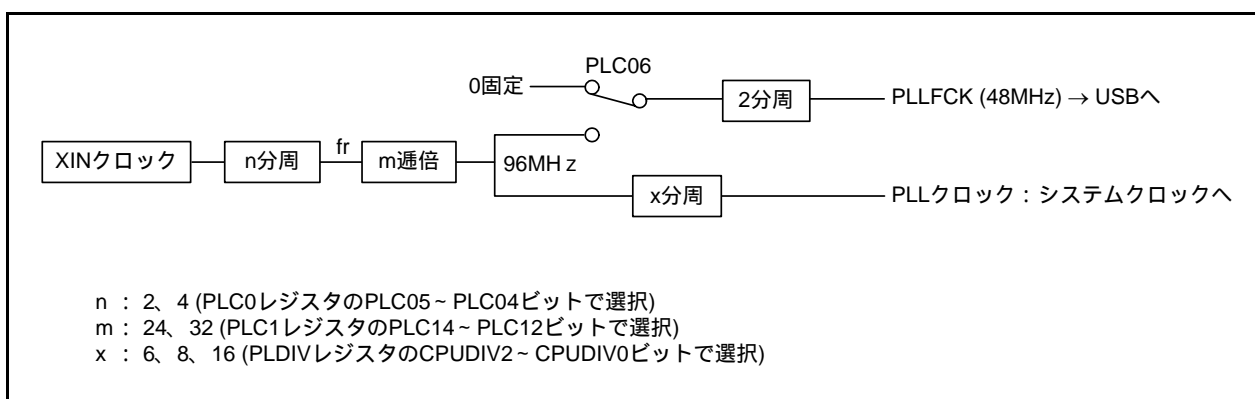


図9.5 XINクロックとPLLクロックの関係

表9.3にUSBクロックの周波数設定例を、表9.4にPLLクロックの周波数設定例を示します。

表9.3 USBクロックの周波数設定例

XINクロック	n分周		n分周後の周波数 (fr)	m逡倍		USBクロック (PLL FCK)
	PLC05～PLC04ビット			PLC14～PLC12ビット		
16MHz	10b	4分周	4MHz	011b	24逡倍	48MHz
12MHz	10b	4分周	3MHz	100b	32逡倍	48MHz
8MHz	01b	2分周	4MHz	011b	24逡倍	48MHz

表9.4 PLLクロックの周波数設定例

x分周		PLLクロック
CPUDIV2～CPUDIV0ビット		
100b	16分周	6MHz
011b	6分周	16MHz
010b	8分周	12MHz

## 9.6 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります(「図9.1 クロック発生回路」参照)。

### 9.6.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロックまたはオンチップオシレータクロックが選択できます。

### 9.6.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

### 9.6.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

$f_i$  ( $i=1, 2, 4, 8, 32$ )はシステムクロックを $i$ 分周したクロックです。 $f_i$ はタイマRA、タイマRB、タイマRC、タイマRF、シリアルインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にウェイトモードに移行した場合、 $f_i$ は停止します。

### 9.6.4 fOCO

周辺機能の動作クロックです。

fOCOの周波数は、FRA0レジスタのFRA01ビットで選択したオンチップオシレータクロックの周波数です。高速オンチップオシレータの場合は、FRA2レジスタのFRA20～FRA22ビットで選択した分周比で分周された周波数です。タイマRAで使用します。fOCOはウェイトモード時、停止しません。

### 9.6.5 fOCO40M

タイマRCのカウントソースになります。

fOCO40Mは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO40Mはウェイトモード時、停止しません。

このクロックは、電源電圧VCC = 2.7 V ~ 5.5 Vの範囲で使用することができます。

### 9.6.6 fOCO-F

タイマRC、A/Dコンバータのカウントソースになります。

fOCO-Fは高速オンチップオシレータで生成したクロックを $i$ 分周( $i=2, 3, 4, 5, 6, 7, 8, 9$ ; FRA2レジスタで選択した分周比)したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO-Fはウェイトモード時、停止しません。



### 9.6.7 fOCO-S

電圧検出回路の動作クロックです。

fOCO-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-Sはウェイトモード時、停止しません。

### 9.6.8 fOCO128

fOCO-SまたはfOCO-Fを128分周したクロックです。FRA03ビットを“0”にするとfOCO-Sの128分周が選択され、“1”にするとfOCO-Fの128分周が選択されます。

タイマRCのTRCGRAレジスタで使用するキャプチャ信号になります。

### 9.6.9 fOCO-WDT

ウォッチドッグタイマの動作クロックです。

fOCO-WDTはウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると供給されます。

fOCO-WDTはウォッチドッグタイマのカウントソース保護モード時、停止しません。

### 9.6.10 PLLFCK

PLLFCKは、USB機能のUSB通信用動作クロックで使用します。PLLFCKは、PLC0レジスタのPLC06ビットが“1”(PLLFCK生成許可)のとき使用できます。PLLFCKの周波数が48MHzになるよう、PLC0、PLC1、PLDIVレジスタを設定してください。

## 9.7 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

### 9.7.1 標準動作モード

標準動作モードは、さらに4つのモードに分けられます。

標準動作モードでは、CPU クロック、周辺機能クロックが共に供給されていますので、CPU も周辺機能も動作します。CPU クロックの周波数を制御することで、パワーコントロールを行います。CPU クロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPU クロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってから、クロックを切り替えてください。

表9.5 クロック関連ビットの設定とモード

モード		OCD レジスタ	CM1 レジスタ			CM0 レジスタ			FRA0 レジスタ	
		OCD2	CM17、 CM16	CM14	CM13	CM07	CM06	CM05	FRA01	FRA00
高速クロック モード	分周なし	0	00b		1	0	0	0		
	2分周	0	01b		1	0	0	0		
	4分周	0	10b		1	0	0	0		
	8分周	0			1	0	1	0		
	16分周	0	11b		1	0	0	0		
PLL 動作モード	分周なし	0	00b			1	0	0		
	2分周	0	01b			1	0	0		
	4分周	0	10b			1	0	0		
	8分周	0				1	1	0		
	16分周	0	11b			1	0	0		
高速オンチップ オシレータ モード	分周なし	1	00b			0	0		1	1
	2分周	1	01b			0	0		1	1
	4分周	1	10b			0	0		1	1
	8分周	1				0	1		1	1
	16分周	1	11b			0	0		1	1
低速オンチップ オシレータ モード	分周なし	1	00b	0		0	0		0	
	2分周	1	01b	0		0	0		0	
	4分周	1	10b	0		0	0		0	
	8分周	1		0		0	1		0	
	16分周	1	11b	0		0	0		0	

：“0”でも“1”でも影響ない

### 9.7.1.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはFRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fOCOをタイマRAで使用できます。

また、FRA00ビットが“1”のとき、fOCO40MをタイマRCで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

### 9.7.1.2 PLL動作モード

PLLクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。また、PLLクロックの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。

PLL動作モードへは高速クロックモードから遷移できます。また、PLL動作モードからは高速クロックモードに遷移できます。ウェイトモード、ストップモードを含む他のモードに遷移するときは、高速クロックモードに遷移した後、他のモードに遷移してください(「図9.9 パワーコントロールモードの状態遷移」参照)。

### 9.7.1.3 高速オンチップオシレータモード

FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“1”のとき、高速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。FRA00ビットが“1”のとき、fOCO40MをタイマRCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

### 9.7.1.4 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“0”のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。FRA00ビットが“1”のとき、fOCO40MをタイマRCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「31. 消費電力の低減」を参照してください。

## 9.7.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

### 9.7.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

### 9.7.2.2 ウェイトモードへの移行

WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にするとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

ウェイトモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードへ移行しないでください。

### 9.7.2.3 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

## 9.7.2.4 ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表9.6にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表9.6 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
シンクロナスシリアルコミュニケーションユニット割り込み/I <sup>2</sup> Cバスインタフェース割り込み	すべてのモードで使用可	(使用しないでください)
キー入力割り込み	使用可	使用可
A/D変換割り込み	—(使用しないでください)	—(使用しないでください)
タイマRA割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCOを選択することで使用可
タイマRB割り込み	すべてのモードで使用可	タイマRAのカウントソースにfOCOを選択し、タイマRBのカウントソースにタイマRAのアンダフローを選択することで使用可
タイマRC割り込み	すべてのモードで使用可	(使用しないでください)
タイマRF割り込み	すべてのモードで使用可	(使用しないでください)
USB機能	USB RESUME割り込みのみ使用可	USB RESUME割り込みのみ使用可
INT割り込み	使用可	使用可(INT0 ~ INT4はフィルタなしの場合に、使用可)
電圧監視1割り込み	使用可	使用可
電圧監視2割り込み	使用可	使用可
発振停止検出割り込み	使用可	(使用しないでください)

図9.6にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを“1”にする前に次の設定をしてください。

- (1) Iフラグを“0”(マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.6のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

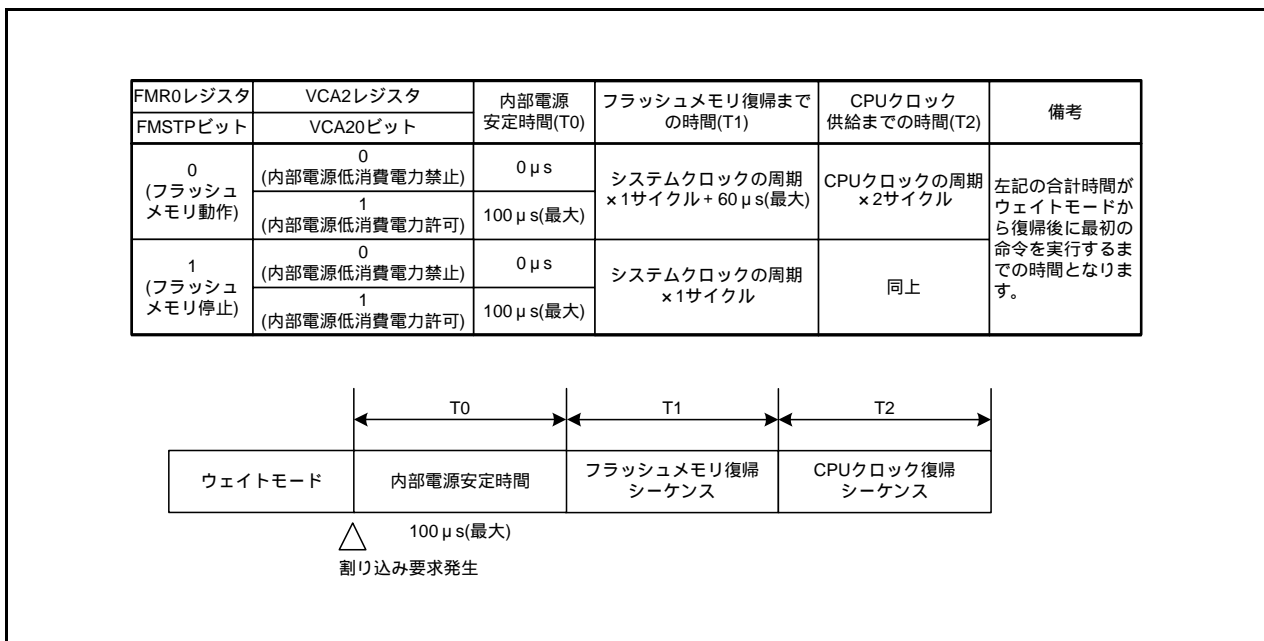


図9.6 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

図9.7にWAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.7のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

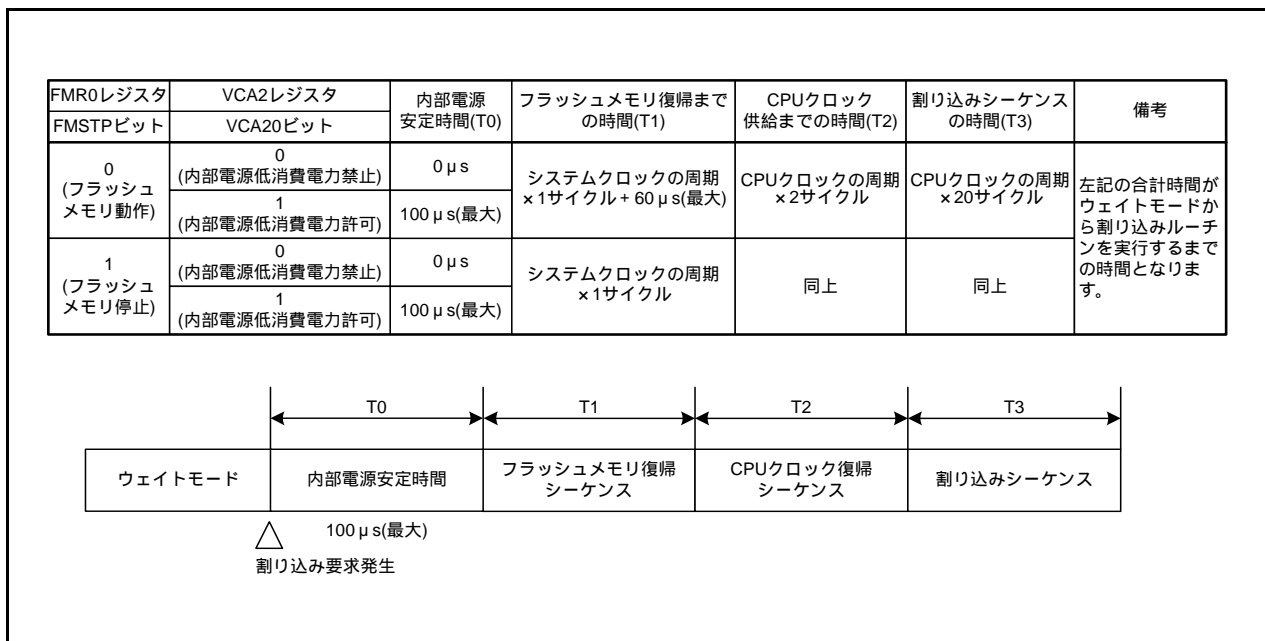


図9.7 WAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

### 9.7.3 ストップモード

ストップモードでは、fOCO-WDTを除くすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表9.7にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表9.7 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
INT0 ~ INT4割り込み	フィルタなしの場合に使用可
タイマRA割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスのカウント時
シリアルインタフェースの割り込み	外部クロック選択時
USB機能	USB RESUME 割り込みのみ使用可
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可

#### 9.7.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。

ストップモードを使用する場合、OCDレジスタのOCD1 ~ OCD0ビットを“00b”、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてからストップモードにしてください。

ストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモードへ移行しないでください。

#### 9.7.3.2 ストップモード時の端子の状態

入出力ポートはストップモードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4\_7)端子は“H”になります。CM13ビットが“0”(入力ポートP4\_6、P4\_7)のとき、P4\_7(XOUT)は入力状態になります。



### 9.7.3.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図9.8にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。  
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。  
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

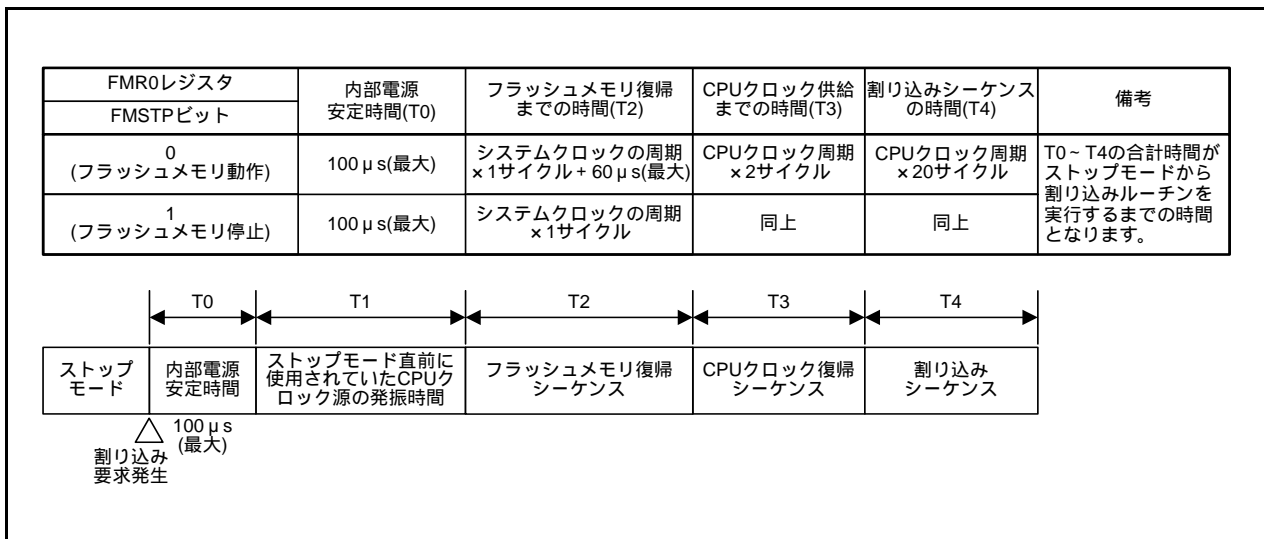


図9.8 ストップモードから割り込みルーチンを実行するまでの時間

図9.9にパワーコントロールモードの状態遷移を示します。

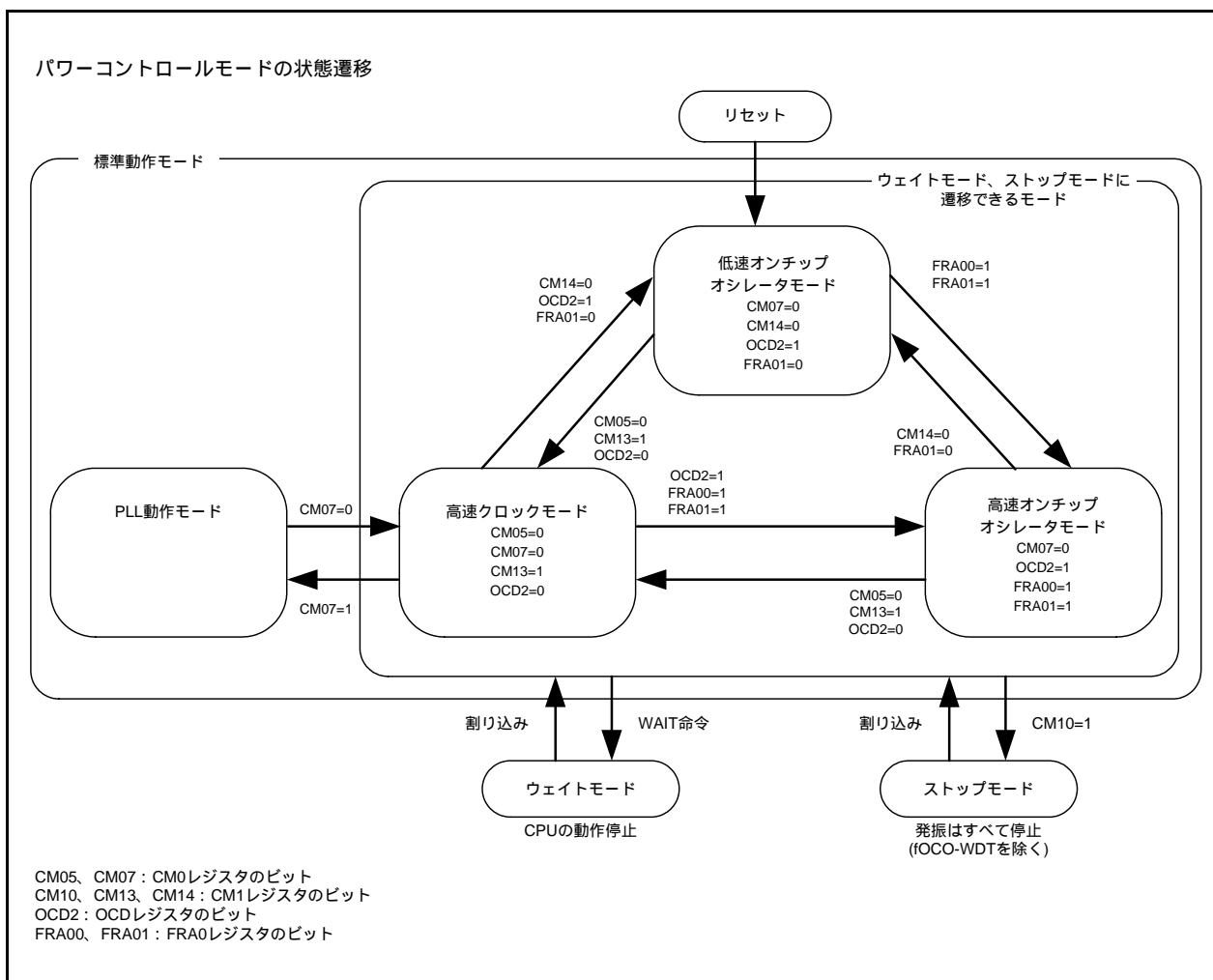


図9.9 パワーコントロールモードの状態遷移

クロックの発振開始、停止、通常動作モード内のモード遷移は次のようにしてください。

- モードを遷移する場合は、遷移先のクロックが十分安定した後で遷移してください。
- クロックを停止する場合は、モードを遷移し終わった後で停止してください。モードの遷移と遷移元のクロックの停止を同時に行わないでください。
- PLL動作モードと高速クロックモード間でモード遷移する場合、モード遷移前に、CPUクロックを8分周または16分周にしてください。

## 9.8 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表9.8に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”の場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット=1 (オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット=1 (XINクロック停止)
- CM1レジスタのCM14ビット=0 (低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.8 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”にする
発振停止検出時の動作	発振停止検出割り込み発生

### 9.8.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。  
表9.9に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図9.11に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。
- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。  
図9.10に発振停止を検出した場合の低速オンチップオシレータからXINクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM05ビットを変更する)は、OCD1～OCD0ビットを“00b”にしてください。
- XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA01ビットを“0”(低速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。  
発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA00ビットを“1”(高速オンチップオシレータ発振)にし、FRA01ビットを“1”(高速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。

表9.9 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a)または(b)のとき)	(a)OCDレジスタのOCD3=1
	(b)OCDレジスタのOCD1 ~ OCD0=11bかつOCD2=1
ウォッチドッグタイマ	VW2CレジスタのVW2C3=1
電圧監視1	VW1CレジスタのVW1C2=1
電圧監視2	VW2CレジスタのVW2C2=1

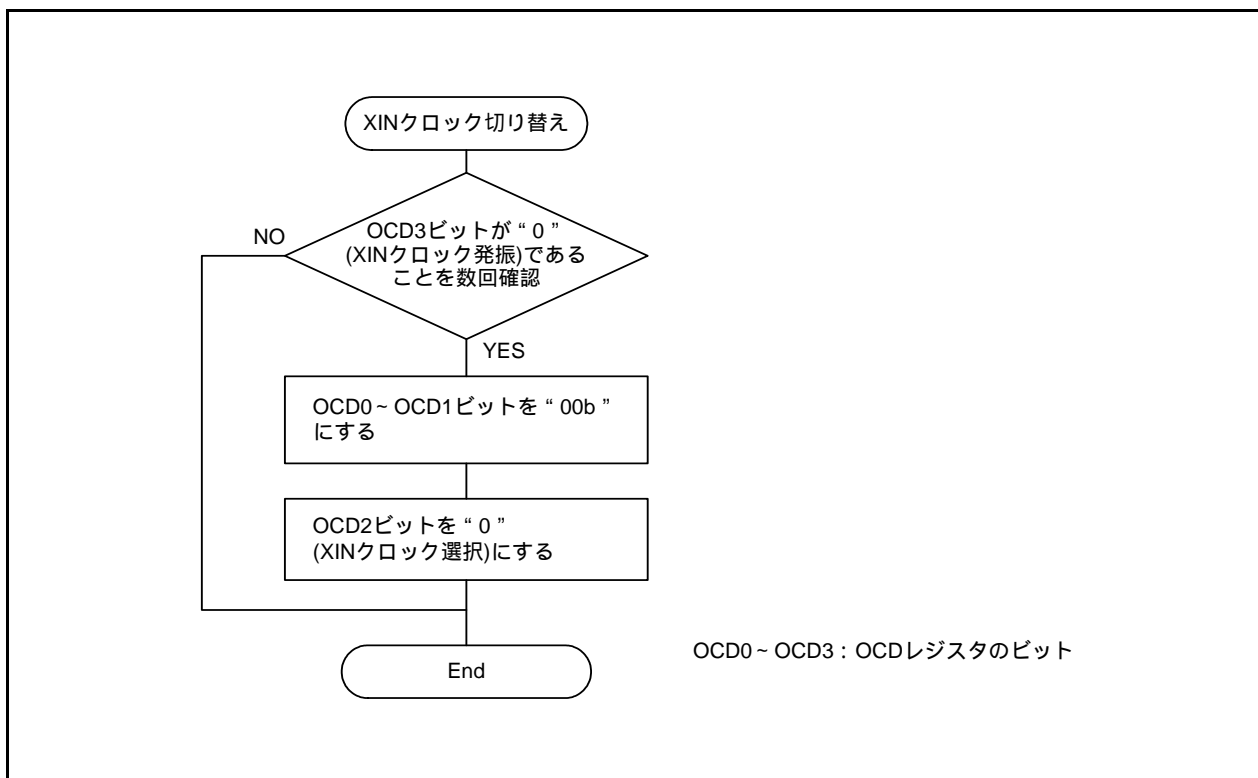


図9.10 発振停止を検出した場合の低速オンチップオシレータからXINクロックへの切り替え手順

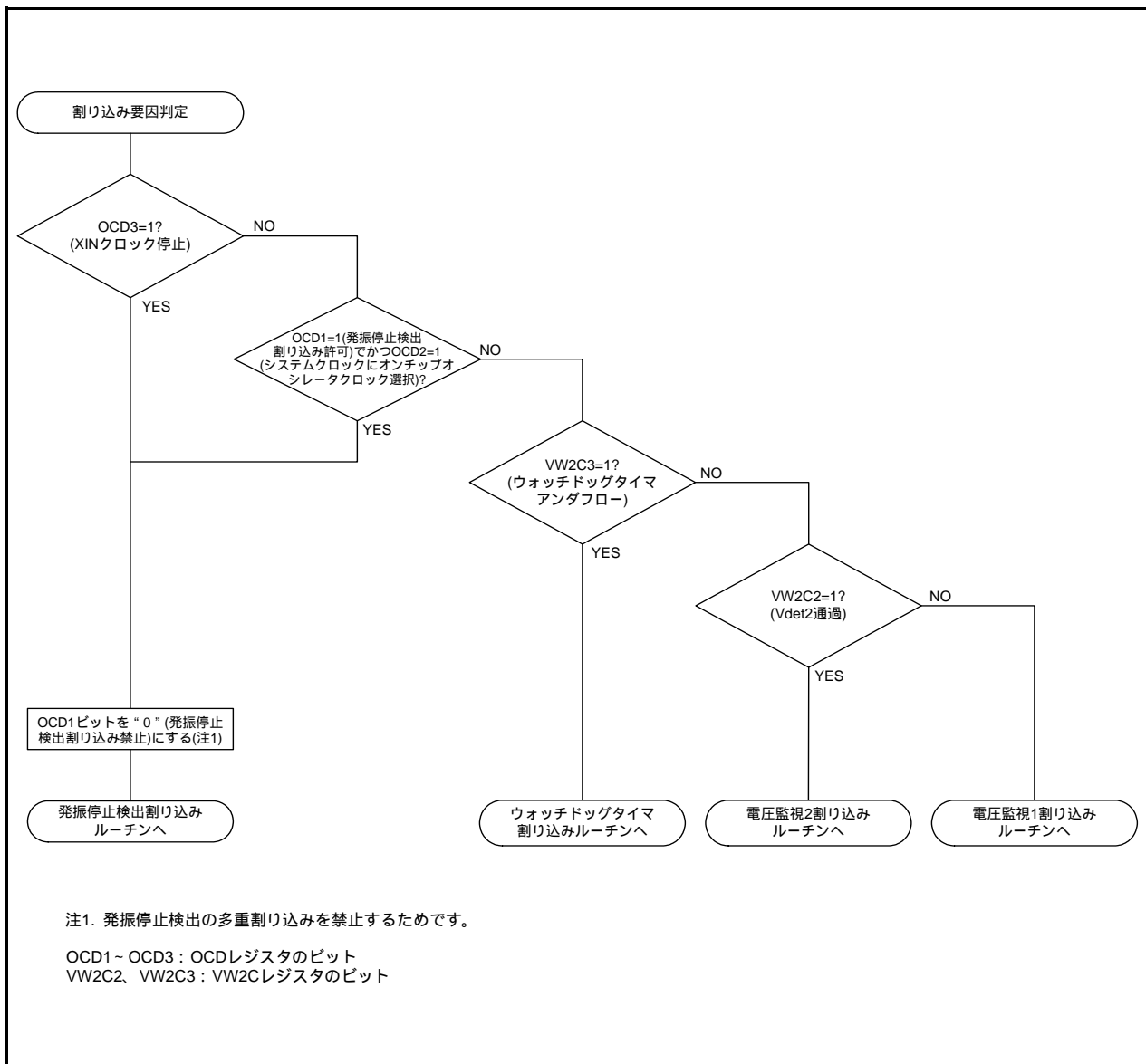


図9.11 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

## 9.9 クロック発生回路使用上の注意

### 9.9.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCR    ; CM1レジスタへの書き込み許可
FSET    I         ; 割り込み許可
BSET    0, CM1     ; ストップモード
JMP.B   LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP
```

### 9.9.2 ウェイトモード

CM30 ビットを“1”にしてウェイトモードに移行する場合、FMR0 レジスタのFMR01 ビットを“0” (CPU書き換えモード無効)にした後、CM30 ビットを“1”にしてください。

WAIT 命令でウェイトモードに移行する場合、FMR0 レジスタのFMR01 ビットを“0” (CPU書き換えモード無効)にした後、WAIT 命令を実行してください。命令キューはCM30 ビットを“1” (ウェイトモードに移行する) にする命令、またはWAIT 命令から4 バイト先読みしてプログラムが停止します。CM30 ビットを“1” (ウェイトモードに移行する) にする命令、または WAIT 命令の後にはNOP 命令を最低4つ入れてください。

#### • WAIT 命令を実行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
FSET    I          ; 割り込み許可
WAIT                    ; ウェイトモード
NOP
NOP
NOP
NOP
```

#### • CM30 ビットを“1”を実行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCR    ; CM3 レジスタへの書き込み許可
FCLR    I          ; 割り込み禁止
BSET    0, CM3     ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCR    ; CM3 レジスタへの書き込み禁止
FSET    I          ; 割り込み許可
```

### 9.9.3 発振停止検出機能

XIN クロックの周波数が2MHz 未満の場合、発振停止検出機能は使用できませんので、OCD1 ~ OCD0 ビットを“00b”にしてください。また、OCD3 ビットは、XIN クロックの発振安定確認には使用できません。

### 9.9.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

## 10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCR レジスタが保護するレジスタは次です。

- PRC0ビットで保護されるレジスタ：CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3レジスタ
  - PRC1ビットで保護されるレジスタ：PM0、PM1レジスタ
  - PRC2ビットで保護されるレジスタ：PD0レジスタ
  - PRC3ビットで保護されるレジスタ：OCVREFCR (注1)、VCA2、VD1LS、VW0C、VW1C、VW2Cレジスタ
- 注1. R8C/34Uグループにはありません。

### 10.1 レジスタの説明

#### 10.1.1 プロテクトレジスタ (PRCR)

アドレス 000Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	PRC3	PRC2	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注2)	R/W
b1	PRC1	プロテクトビット1	PM0、PM1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注2)	R/W
b2	PRC2	プロテクトビット2	PD0レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b3	PRC3	プロテクトビット3	OCVREFCR (注3)、VCA2、VD1LS、VW0C、VW1C、VW2Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注2)	R/W
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	-			
b7	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。	-	-

注1. PRC2 ビットを "1" (書き込み許可) にした後、SFR 領域に書き込むと "0" になります。PRC2 ビットで保護されるレジスタは、PRC2 ビットを "1" にした次の命令で変更してください。なお、PRC2 ビットを "1" にする命令と次の命令の間に、割り込みやDTC起動が実行されないようにしてください。

注2. PRC0、PRC1、PRC3ビットを "1" (書き込み許可) にした後、SFR 領域に書き込んで "0" になりませんので、プログラムで "0" にしてください。

注3. R8C/34Uグループにはありません。



## 11. 割り込み

### 11.1 概要

#### 11.1.1 割り込みの分類

図11.1に割り込みの分類を示します。

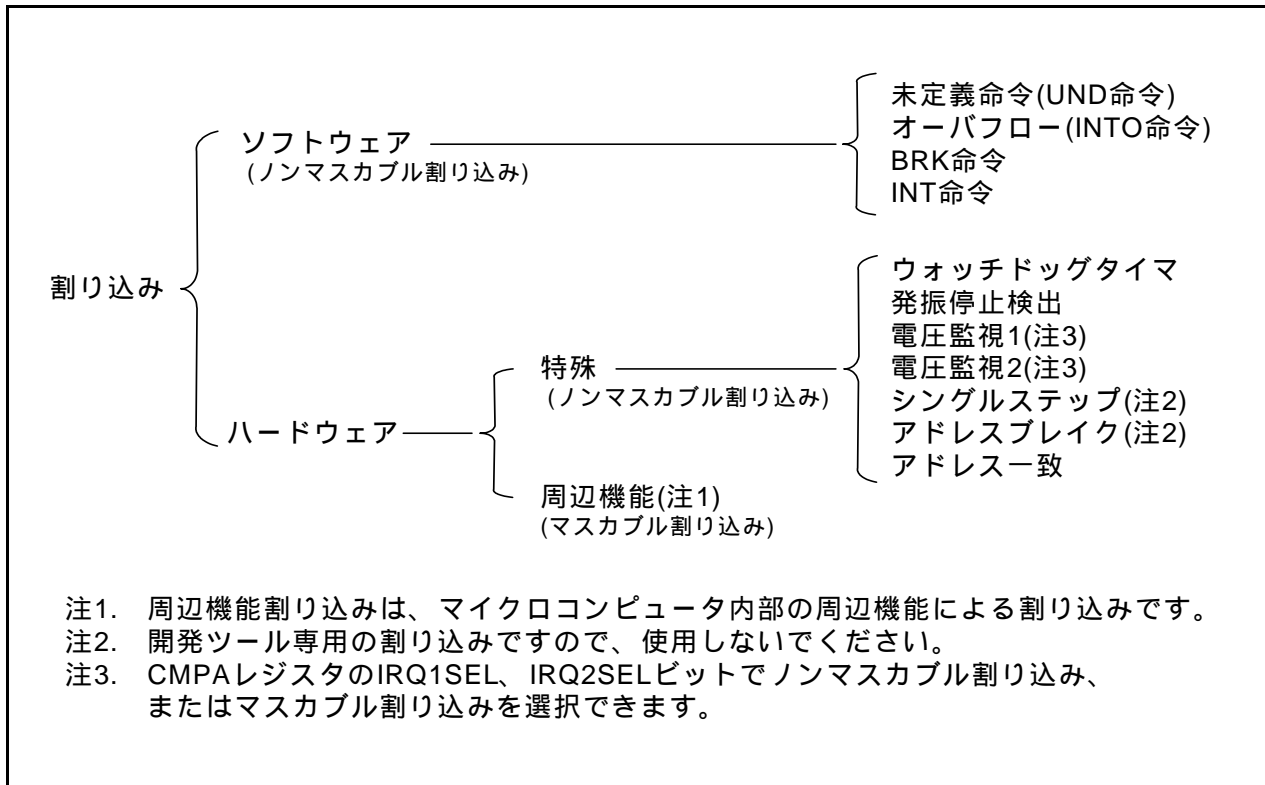


図11.1 割り込みの分類

- マスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

### 11.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

#### 11.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

#### 11.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

#### 11.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

#### 11.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

### 11.1.3 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

#### 11.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「14. ウォッチドッグタイマ」を参照してください。

#### 11.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。

#### 11.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ1SELビットでノンマスクابل割り込み、またはマスクابل割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

#### 11.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ2SELビットでノンマスクابل割り込み、またはマスクابل割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

#### 11.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

#### 11.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIER0レジスタのAIER00ビット、AIER1レジスタのAIER10ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.6 アドレス一致割り込み」を参照してください。

### 11.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスクابل割り込みです。周辺機能割り込みの割り込み要因は「表11.2～表11.3 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

### 11.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図11.2に割り込みベクタを示します。

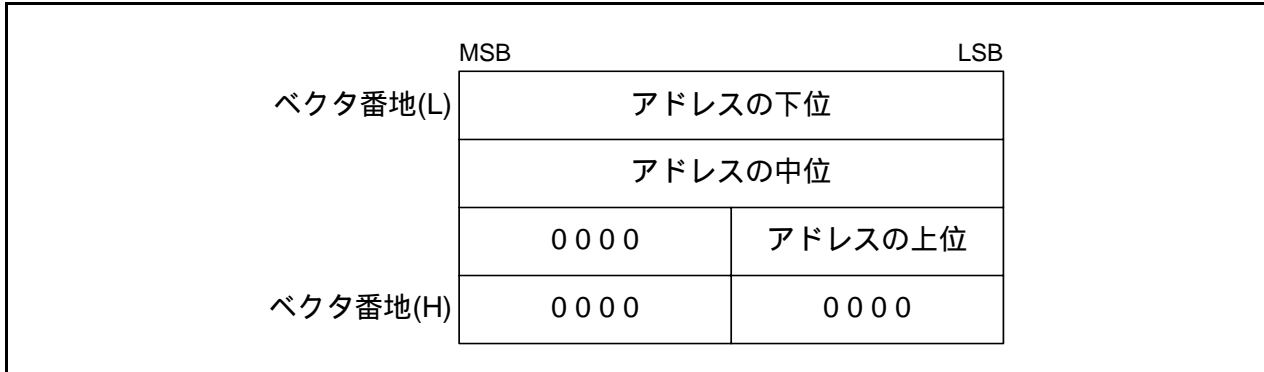


図11.2 割り込みベクタ

#### 11.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表11.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「30.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表11.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	参照先
未定義命令	0FFDCh～0FFDFh	UND命令で割り込み	R8C/Tinyシリーズ ソフトウェアマニュアル
オーバフロー	0FFE0h～0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h～0FFE7h	0FFE6h番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行	
アドレス一致	0FFE8h～0FFEBh		11.6 アドレス一致割り込み
シングルステップ(注1)	0FFECh～0FEFh		
ウォッチドッグタイマ、 発振停止検出、 電圧監視1(注2)、 電圧監視2(注3)	0FFF0h～0FFF3h		14. ウォッチドッグタイマ、 9. クロック発生回路、 6. 電圧検出回路
アドレスブレイク(注1)	0FFF4h～0FFF7h		
(予約)	0FFF8h～0FFFBh		
リセット	0FFFCh～0FFFFh		5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. 電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“0”(ノンマスクابل割り込み)の場合です。

注3. 電圧監視2割り込みはCMPAレジスタのIRQ2SELビットが“0”(ノンマスクابل割り込み)の場合です。

## 11.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。  
表11.2～表11.3に可変ベクタテーブルを示します。

表11.2 可変ベクタテーブル(1)

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア 割り込み 番号	割り込み 制御 レジスタ	参照先
BRK命令(注3)	+0～+3(0000h～0003h)	0		R8C/Tinyシリーズ ソフトウェアマニュアル
フラッシュメモリレディ (予約)	+4～+7(0004h～0007h)	1 2～5	FMRDYIC	30. フラッシュメモリ
INT4	+24～+27(0018h～001BFh)	6	INT4IC	11.4 INT割り込み
タイマRC (予約)	+28～+31(001Ch～001Fh)	7 8	TRCIC	19. タイマRC
USB RESUME (予約)	+36～+39(0024h～0027h)	9 10	USBRSMIC	27. USB2.0ホスト/ファンク ションモジュール(USB)
UART2送信/NACK2	+44～+47(002Ch～002Fh)	11	S2TIC	22. シリアルインタフェース (UART2)
UART2受信/ACK2	+48～+51(0030h～0033h)	12	S2RIC	
キー入力	+52～+55(0034h～0037h)	13	KUPIC	11.5 キー入力割り込み
A/D変換	+56～+59(0038h～003Bh)	14	ADIC	28. A/Dコンバータ
シンクロナスシリアルコ ミュニケーションユニット/ I <sup>2</sup> Cバスインタフェース (注2)	+60～+63(003Ch～003Fh)	15	SSUIC/ IICIC	24. シンクロナスシリアルコ ミュニケーションユニッ ト(SSU)、 25. I <sup>2</sup> Cバスインタフェース
タイマRFコンペア1	+64～+67(0040h～0043h)	16	CMP1IC	20. タイマRF
UART0送信	+68～+71(0044h～0047h)	17	S0TIC	21. シリアルインタフェース (UARTi (i=0, 1, 3))
UART0受信	+72～+75(0048h～004Bh)	18	S0RIC	
UART1送信	+76～+79(004Ch～004Fh)	19	S1TIC	
UART1受信	+80～+83(0050h～0053h)	20	S1RIC	
INT2	+84～+87(0054h～0057h)	21	INT2IC	11.4 INT割り込み
タイマRA (予約)	+88～+91(0058h～005Bh)	22 23	TRAIC	17. タイマRA
タイマRB	+96～+99(0060h～0063h)	24	TRBIC	18. タイマRB
INT1	+100～+103(0064h～0067h)	25	INT1IC	11.4 INT割り込み
INT3	+104～+107(0068h～006Bh)	26	INT3IC	
タイマRF	+108～+111(006Ch～006Fh)	27		20. タイマRF
タイマRFコンペア0	+112～+115(0070h～0073h)	28		
INT0	+116～+119(0074h～0077h)	29	INT0IC	11.4 INT割り込み
UART2バス衝突検出	+120～+123(0078h～007Bh)	30	U2BCNIC	22. シリアルインタフェース (UART2)
タイマRFキャプチャ	+124～+127(007Ch～007Fh)	31	CAPIC	20. タイマRF
ソフトウェア(注3)	+128～+131(0080h～0083h)～ +164～+167(00A4h～00A7h)	32～41		R8C/Tinyシリーズ ソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. SSUICSRレジスタのIICSELビットで選択できます。

注3. Iフラグによる禁止はできません。

表11.3 可変ベクタテーブル(2)

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み 番号	割り込み 制御 レジスタ	参照先
(予約)		42		
USB INT	+172 ~ +175(00ACh ~ 00AFh)	43	USBINTIC	27. USB2.0ホスト/ファンクションモジュール (USB)
UART3受信	+176 ~ +179(00B0h ~ 00B3h)	44	S3RIC	21. シリアルインタフェース (UARTi (i=0、1、3))
UART3送信	+180 ~ +183(00B4h ~ 00B7h)	45	S3TIC	
(予約)		46 ~ 49		
電圧監視1(注2)	+200 ~ +203(00C8h ~ 00CBh)	50	VCMP1IC	6. 電圧検出回路
電圧監視2(注3)	+204 ~ +207(00CCh ~ 00CFh)	51	VCMP2IC	
(予約)		52 ~ 55		
ソフトウェア(注1)	+224 ~ +227(00E0h ~ 00E3h) ~ +252 ~ +255(00FCh ~ 00FFh)	56 ~ 63		R8C/Tinyシリーズ ソフトウェアマニュアル

注1. Iフラグによる禁止はできません。

注2. 電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“1”(マスカブル割り込み)の場合です。

注3. 電圧監視2割り込みはCMPAレジスタのIRQ2SELビットが“1”(マスカブル割り込み)の場合です。

## 11.2 レジスタの説明

## 11.2.1 割り込み制御レジスタ

(USBRSMIC、S2TIC、S2RIC、KUPIC、ADIC、CMP1IC、S0TIC、S0RIC、S1TIC、S1RIC、TRAIC、TRBIC、TRFIC、CMP0IC、U2BCNIC、CAPIC、USBINTIC、S3RIC、S3TIC、VCMP1IC、VCMP2IC)

アドレス 0049h 番地(USBRSMIC)、004Bh 番地(S2TIC)、004Ch 番地(S2RIC)、004Dh 番地(KUPIC)、004Eh 番地(ADIC)、0050h 番地(CMP1IC)、0051h 番地(S0TIC)、0052h 番地(S0RIC)、0053h 番地(S1TIC)、0054h 番地(S1RIC)、0056h 番地(TRAIC)、0058h 番地(TRBIC)、005Bh 番地(TRFIC)、005Ch 番地(CMP0IC)、005Eh 番地(U2BCNIC)、005Fh 番地(CAPIC)、006Bh 番地(USBINTIC)、006Ch 番地(S3RIC)、006Dh 番地(S3TIC)、0072h 番地(VCMP1IC)、0073h 番地(VCMP2IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	-			
b6	-			
b7	-			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

## 11.2.2 割り込み制御レジスタ (FMRDYIC、TRCIC、SSUIC/IICIC)

アドレス 0041h番地(FMRDYIC)、0047h番地(TRCIC)、004Fh番地(SSUIC/IICIC(注1))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	-			
b6	-			
b7	-			

注1. SSUICSRレジスタのIICSELビットで選択できます。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。



## 11.2.3 INTi割り込み制御レジスタ (INTiIC)(i=0 ~ 4)

アドレス 0046h番地 (INT4IC)、0055h番地 (INT2IC)、0059h番地 (INT1IC)、005Ah番地 (INT3IC)、005Dh番地 (INT0IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	POL	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	POL	極性切り替えビット (注3)	0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択 (注2)	R/W
b5	-	予約ビット	"0" にしてください	R/W
b6	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は不定。		-
b7	-			

注1. IRビットは"0"のみ書けます("1"を書かないでください)。

注2. INTENレジスタのINTiPLビットが"1"(両エッジ)の場合、POLビットを"0"(立ち下がりエッジを選択)にしてください。

注3. POLビットを変更すると、IRビットが"1"(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

### 11.3 割り込み制御

マスクブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクブル割り込みには該当しません。

マスクブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

#### 11.3.1 Iフラグ

Iフラグは、マスクブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスクブル割り込みは許可され、“0”(禁止)にするとすべてのマスクブル割り込みは禁止されます。

#### 11.3.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込みでは、IRビットの動作が違います。「11.7 タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

#### 11.3.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表11.4に割り込み優先レベルの設定を、表11.5にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表11.4 割り込み優先レベルの設定

ILVL2～ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	低い ↓ 高い
001b	レベル1	
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表11.5 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクブル割り込みを禁止

### 11.3.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。割り込みシーケンスでは、次のように動作します。

図11.3に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。  
Iフラグは“0”(割り込み禁止)  
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)  
Uフラグは“0”(ISPを指定)  
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

注2. タイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース割り込みのIRビットの動作は「11.7 タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

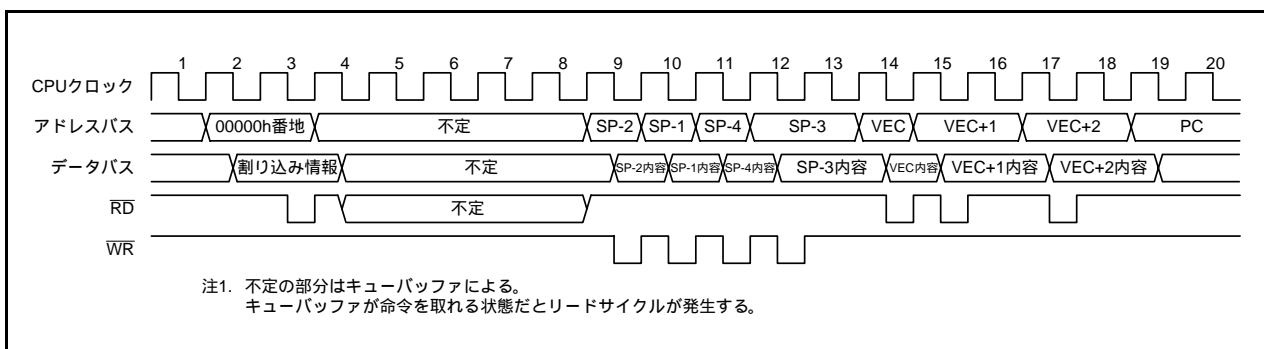


図11.3 割り込みシーケンスの実行時間

### 11.3.5 割り込み応答時間

図 11.4 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間 (図 11.4 の (a)) と割り込みシーケンスを実行する時間 (20 サイクル (b)) で構成されます。

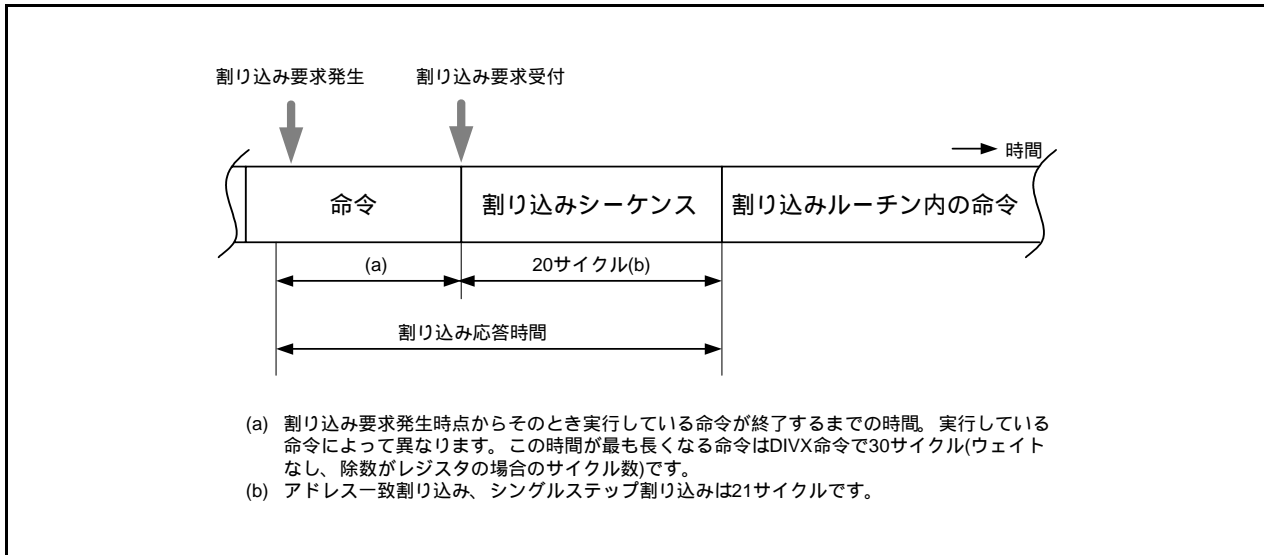


図 11.4 割り込み応答時間

### 11.3.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 11.6 に示す値がIPLに設定されます。

表 11.6 にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 11.6 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

### 11.3.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図11.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

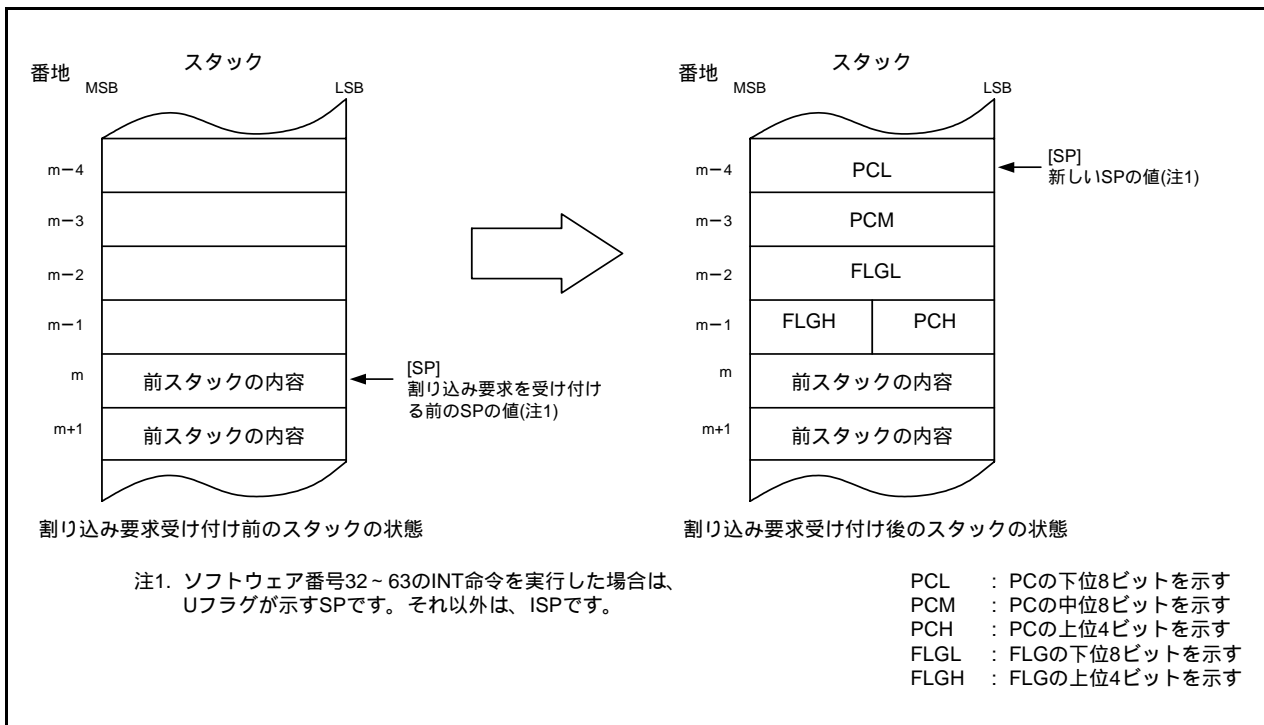


図11.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。  
図11.6にレジスタ退避動作を示します。

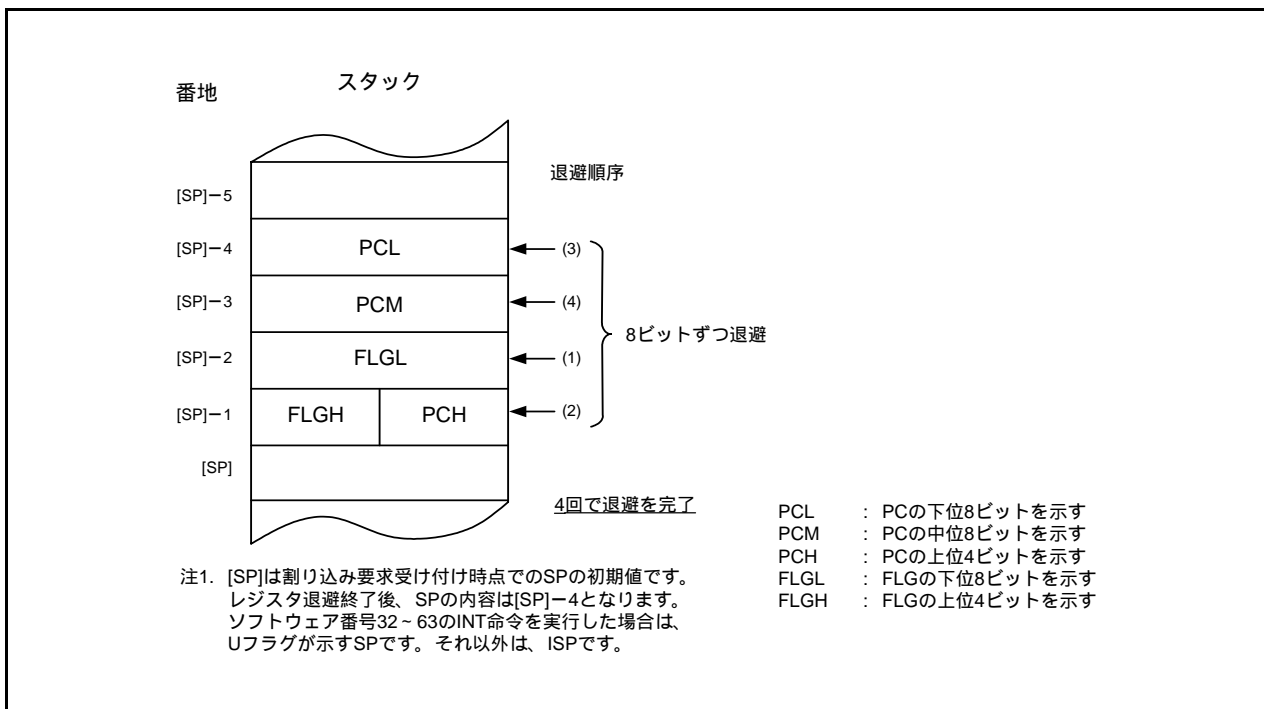


図11.6 レジスタ退避動作

### 11.3.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

### 11.3.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図11.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

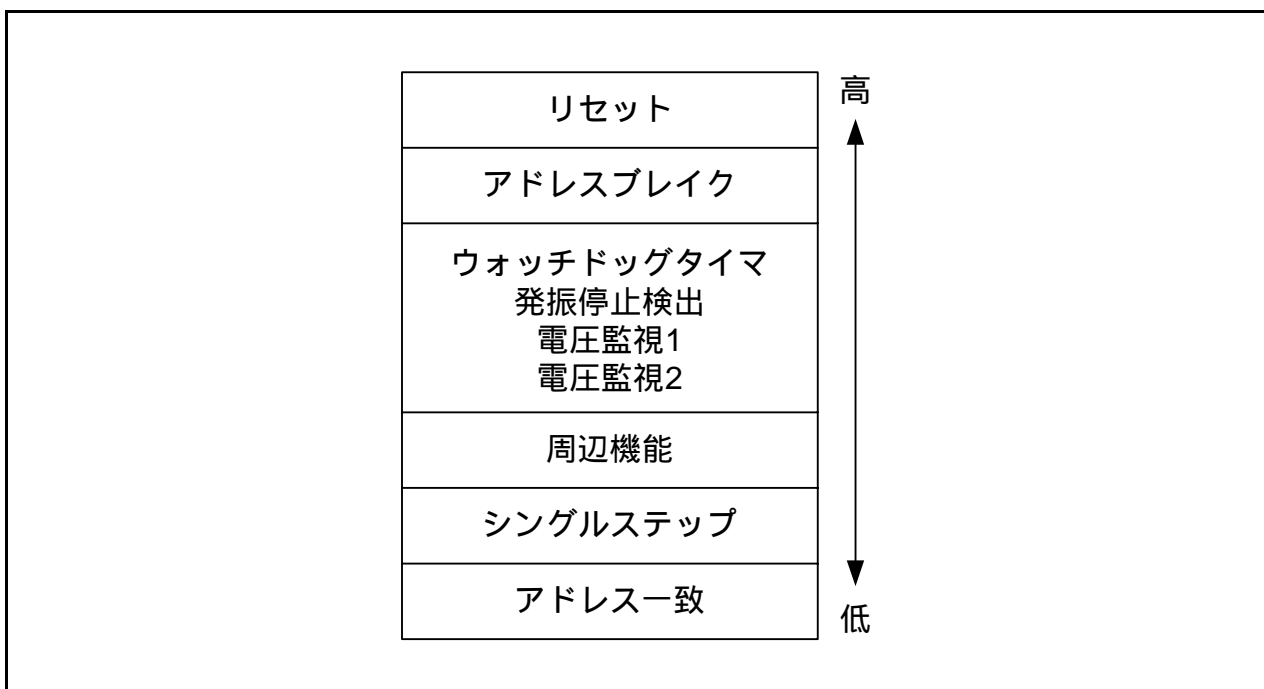


図11.7 ハードウェア割り込みの割り込み優先順位

## 11.3.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。  
図11.8に割り込み優先レベルの判定回路を示します。

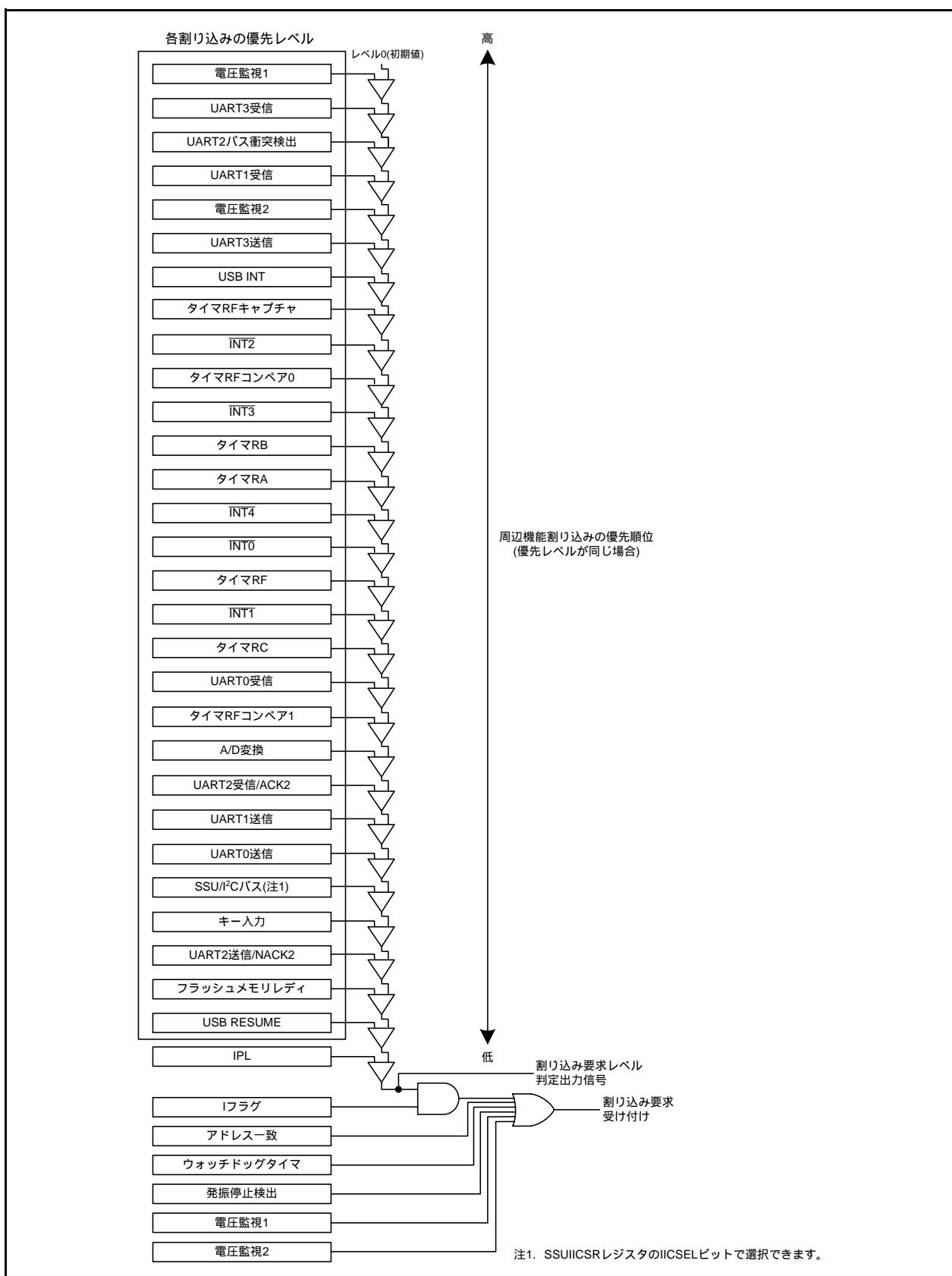


図11.8 割り込み優先レベルの判定回路



## 11.4 $\overline{\text{INT}}$ 割り込み

### 11.4.1 $\overline{\text{INT}}_i$ 割り込み (i=0 ~ 4)

$\overline{\text{INT}}_i$  割り込みは  $\overline{\text{INT}}_i$  入力による割り込みです。 $\overline{\text{INT}}_i$  割り込みを使用するときは  $\overline{\text{INTEN}}$  レジスタの  $\overline{\text{INT}}_i\text{EN}$  ビット “1” (許可) にしてください。極性を  $\overline{\text{INTEN}}$  レジスタの  $\overline{\text{INT}}_i\text{PL}$  ビットと  $\overline{\text{INT}}_i\text{IC}$  レジスタの  $\overline{\text{POL}}$  ビットで選択できます。 $\overline{\text{INT}}_1$  入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

$\overline{\text{INT}}_0$  端子はタイマRCのパルス出力強制遮断入力と、タイマRBの外部トリガ入力と兼用です。 $\overline{\text{INT}}_2$  端子はタイマRAのイベント入力有効と兼用です。

表11.7に $\overline{\text{INT}}$  割り込みの端子構成を示します。

表11.7  $\overline{\text{INT}}$  割り込みの端子構成

端子名	割り当てる端子	入出力	機能
$\overline{\text{INT}}_0$	P4_5	入力	$\overline{\text{INT}}_0$ 割り込み入力、タイマRBの外部トリガ入力、タイマRCのパルス出力強制遮断入力
$\overline{\text{INT}}_1$	P1_5またはP1_7	入力	$\overline{\text{INT}}_1$ 割り込み入力
$\overline{\text{INT}}_2$	P6_6	入力	$\overline{\text{INT}}_2$ 割り込み入力、タイマRAのイベント入力有効
$\overline{\text{INT}}_3$	P6_7	入力	$\overline{\text{INT}}_3$ 割り込み入力
$\overline{\text{INT}}_4$	P6_5	入力	$\overline{\text{INT}}_4$ 割り込み入力

## 11.4.2 INT割り込み入力端子選択レジスタ(INTSR)

アドレス 018Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	INT1SELO	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b1	INT1SELO	INT1端子選択ビット	0 : P1_7に割り当てる 1 : P1_5に割り当てる	R/W
b2	-	予約ビット	“0”にしてください	R/W
b3	-			
b4	-			
b5	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b6	-	予約ビット	“0”にしてください	R/W
b7	-	予約ビット	“1”にしてください	R/W

INTSRレジスタは、 $\overline{\text{INT1}}$ の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT1}}$ を使用する場合は、INTSRレジスタを設定してください。

INT1の関連レジスタを設定する前に、INTSRレジスタを設定してください。また、 $\overline{\text{INT1}}$ の動作中はINTSRレジスタの設定値を変更しないでください。

## 11.4.3 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	—	—	INT1PL	INT1EN	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			R/W
b2	INT1EN	INT1入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	INT1入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	—	予約ビット	“0” にしてください	R/W
b5	—			R/W
b6	INT3EN	INT3入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	INT3入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPLビット(i=1, 3)を“1”(両エッジ)にする場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にしてください。

注2. INTENレジスタを変更すると、INTiICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

## 11.4.4 外部入力許可レジスタ1 (INTEN1)

アドレス 01FBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	INT4PL	INT4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4EN	INT4入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT4PL	INT4入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. INT4PLビットを“1”(両エッジ)にする場合、INT4ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にしてください。

注2. INTEN1レジスタを変更すると、INT4ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

## 11.4.5 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	—	—	INT1F1	INT1F0	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	—	予約ビット	“0” にしてください	R/W
b5	—			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

## 11.4.6 INT入力フィルタ選択レジスタ1 (INTF1)

アドレス 01FDh番地

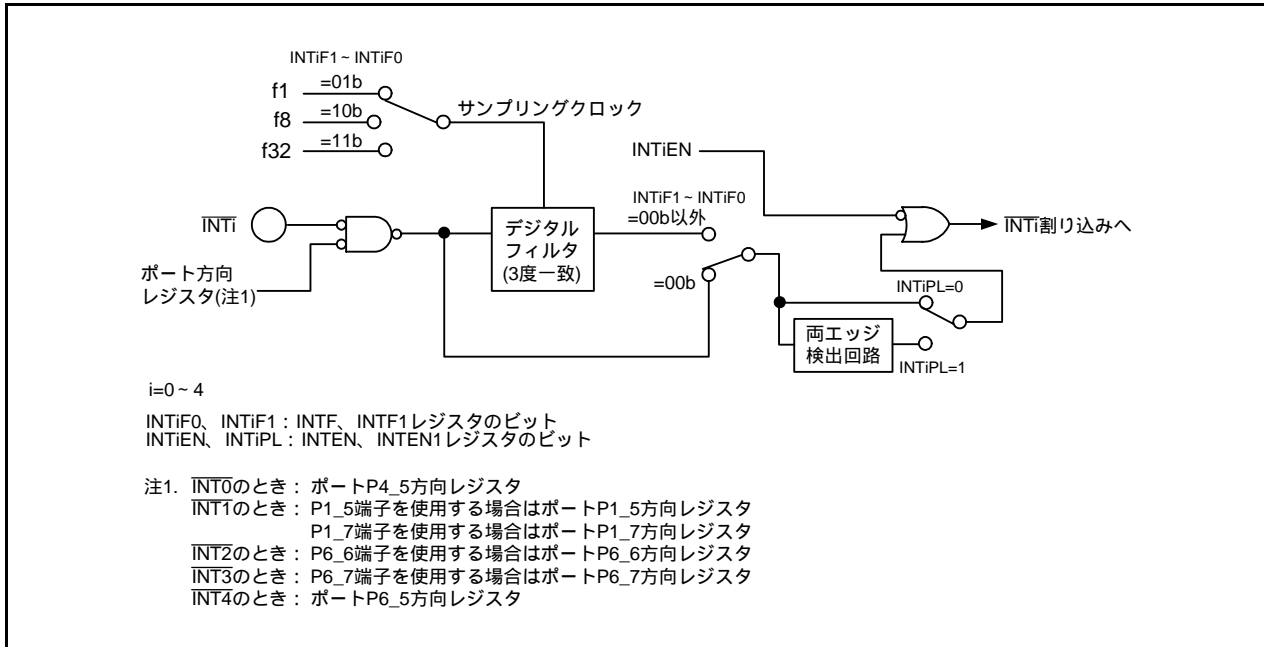
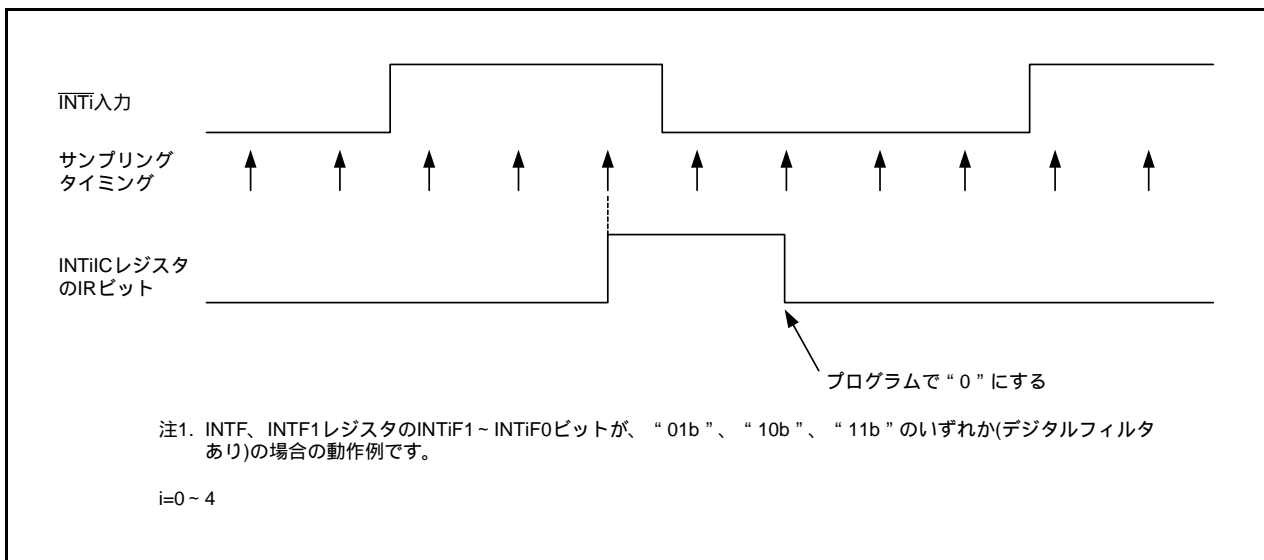
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	INT4F1	INT4F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4F0	INT4入力フィルタ選択ビット	b1 b0 00: フィルタなし 01: フィルタあり、f1でサンプリング 10: フィルタあり、f8でサンプリング 11: フィルタあり、f32でサンプリング	R/W
b1	INT4F1			R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

11.4.7  $\overline{\text{INTi}}$ 入力フィルタ (i=0 ~ 4)

$\overline{\text{INTi}}$  入力は、デジタルフィルタを持ちます。サンプリングクロックは  $\overline{\text{INTF}}$ 、 $\overline{\text{INTF1}}$  レジスタの  $\overline{\text{INTiF0}} \sim \overline{\text{INTiF1}}$  ビットで選択できます。サンプリングクロックごとに  $\overline{\text{INTi}}$  のレベルをサンプリングし、レベルが3度一致した時点で、 $\overline{\text{INTiC}}$  レジスタの  $\overline{\text{IR}}$  ビットが“1”(割り込み要求あり)になります。

図 11.9 に  $\overline{\text{INTi}}$  入力フィルタの構成を、図 11.10 に  $\overline{\text{INTi}}$  入力フィルタ動作例を示します。

図 11.9  $\overline{\text{INTi}}$  入力フィルタの構成図 11.10  $\overline{\text{INTi}}$  入力フィルタ動作例

### 11.5 キー入力割り込み

KI0 ~ KI3端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット (i=0 ~ 3) で、端子をKIi入力として使用するかどうかを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを“0” (立ち下がリエッジ) にしているKIi端子に“L”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。同様に、KIiPLビットを“1” (立ち上がりエッジ) にしているKIi端子に“H”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。

図11.11にキー入力割り込みのブロック図を示します。表11.8にキー入力割り込みの端子構成を示します。

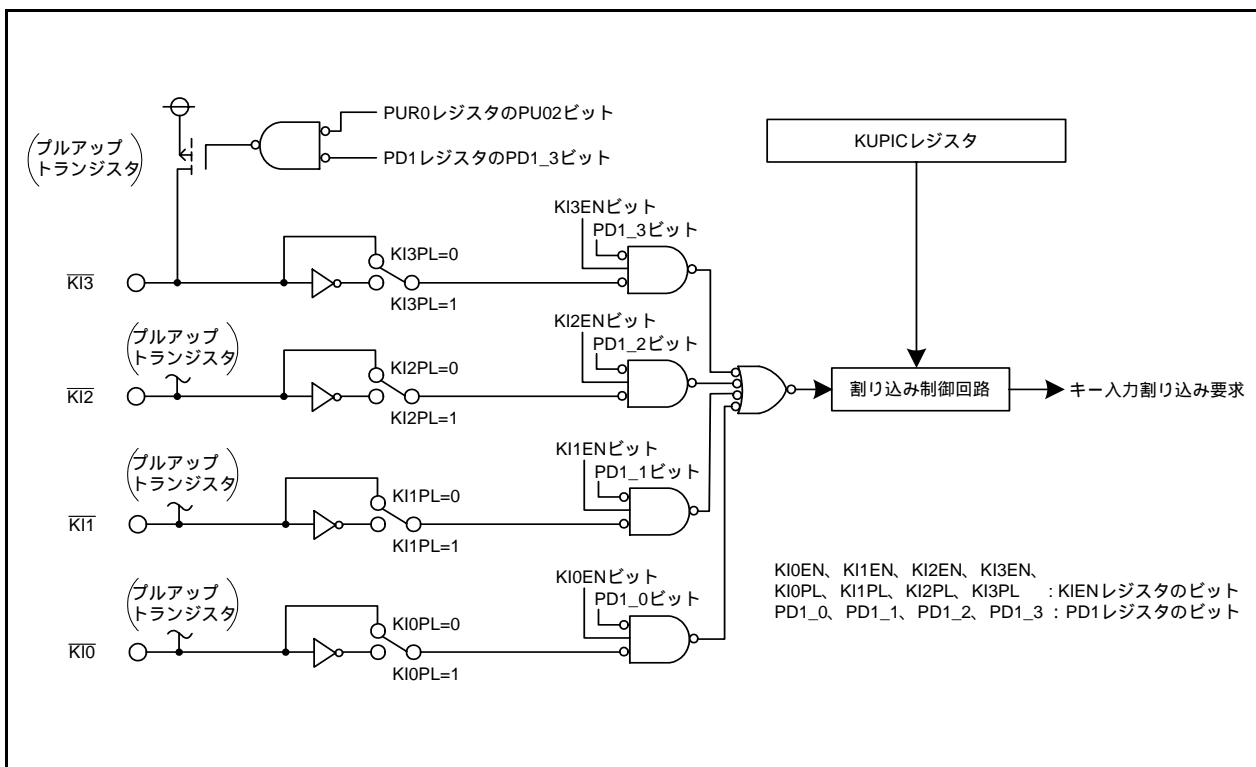


図11.11 キー入力割り込みのブロック図

表11.8 キー入力割り込みの端子構成

端子名	入出力	機能
KI0	入力	KI0 割り込み入力
KI1	入力	KI1 割り込み入力
KI2	入力	KI2 割り込み入力
KI3	入力	KI3 割り込み入力

## 11.5.1 キー入力許可レジスタ0 (KIEN)

アドレス 01FEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI3PL	KI3EN	KI2PL	KI2EN	KI1PL	KI1EN	KI0PL	KI0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	KI0入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI0PL	KI0入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI1EN	KI1入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI1PL	KI1入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI2EN	KI2入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI2PL	KI2入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI3EN	KI3入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI3PL	KI3入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

## 11.6 アドレス一致割り込み

RMAD<sub>i</sub> (i=0 ~ 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMAD<sub>i</sub> (i=0 ~ 1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIER<sub>i</sub>レジスタのAIER<sub>i</sub>0ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「11.3.7 レジスタ退避」参照)は、RMAD<sub>i</sub>レジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表11.9にアドレス一致割り込み要求受け付け時に退避されるPCの値を、表11.10にアドレス一致割り込み要因と関連レジスタの対応を示します。

表11.9 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMAD <sub>i</sub> レジスタ(i=0 ~ 1)で示される番地の命令	退避されるPCの値(注1)
<ul style="list-style-type: none"> <li>• オペコードが2バイトの命令(注2)</li> <li>• オペコードが1バイトの命令(注2)</li> </ul> ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMAD <sub>i</sub> レジスタで示される番地+2
上記以外	RMAD <sub>i</sub> レジスタで示される番地+1

注1. 退避されるPCの値:「11.3.7 レジスタ退避」参照。

注2. オペコード:「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表11.10 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER00	RMAD0
アドレス一致割り込み1	AIER10	RMAD1



11.6.1 アドレス一致割り込み許可レジスタ*i* (AIER*i*)(*i*=0 ~ 1)

アドレス 01C3h番地(AIER0)、01C7h番地(AIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	-	-	-	-	-	-	-	-	AIER00
リセット後の値	0	0	0	0	0	0	0	0	AIER0レジスタ

シンボル	-	-	-	-	-	-	-	-	AIER10	AIER1レジスタ
リセット後の値	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	AIERi0	アドレス一致割り込み許可ビット	0: 禁止 1: 許可	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

11.6.2 アドレス一致割り込みレジスタ*i* (RMAD*i*)(*i*=0 ~ 1)

アドレス 01C2h ~ 01C0h番地(RMAD0)、01C6h ~ 01C4h番地(RMAD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	X	X	X	X

ビット	シンボル	機能	設定可能値	R/W
b19 ~ b0	-	アドレス一致割り込み用アドレス設定レジスタ	00000h ~ FFFFFh	R/W
b20	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b21	-			
b22	-			
b23	-			

### 11.7 タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表11.11にタイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み関連レジスタを示します。

表11.11 タイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み関連レジスタ

周辺機能名	割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC	TRCSR	TRCIER	TRCIC
シンクロナスシリアルコミュニケーションユニット	SSSR	SSER	SSUIC
I <sup>2</sup> Cバスインタフェース	ICSR	ICIER	IICIC
フラッシュメモリ	RDYSTI	RDYSTIE	FMRDYIC
	BSYAEI	BSYAEIE	
		CMDERIE	

タイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース、フラッシュメモリの割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”(割り込み許可)の場合、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。  
すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。  
また、IRビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。  
このため、IRビットも割り込みが受け付けられたとき自動的に“0”になりません。  
ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IRビットが“1”になった後、別の要求要因が成立したとき、IRビットは“1”のまま変化しません。
- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章(「19. タイマRC」,「24. シンクロナスシリアルコミュニケーションユニット(SSU)」,「25. I<sup>2</sup>Cバスインタフェース」,「30. フラッシュメモリ」)を参照してください。

割り込み制御レジスタは「11.3 割り込み制御」を参照してください。

## 11.8 割り込み使用上の注意

### 11.8.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

### 11.8.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 11.8.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$  端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$  端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み  $\overline{\text{INTi}}$  入力 ( $i = 0 \sim 4$ ) に示す“L”レベル幅、または“H”レベル幅が必要です(詳細は「表 32.60( $V_{cc} = 5V$ )、表 32.67( $V_{cc} = 3V$ )、表 32.74( $V_{cc} = 2.2V$ ) 外部割り込み  $\overline{\text{INTi}}$  入力 ( $i = 0 \sim 4$ )、キー入力割り込み  $\overline{\text{KIi}}$  ( $i = 0 \sim 3$ )」を参照)。

### 11.8.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 11.12 に割り込み要因の変更手順例を示します。

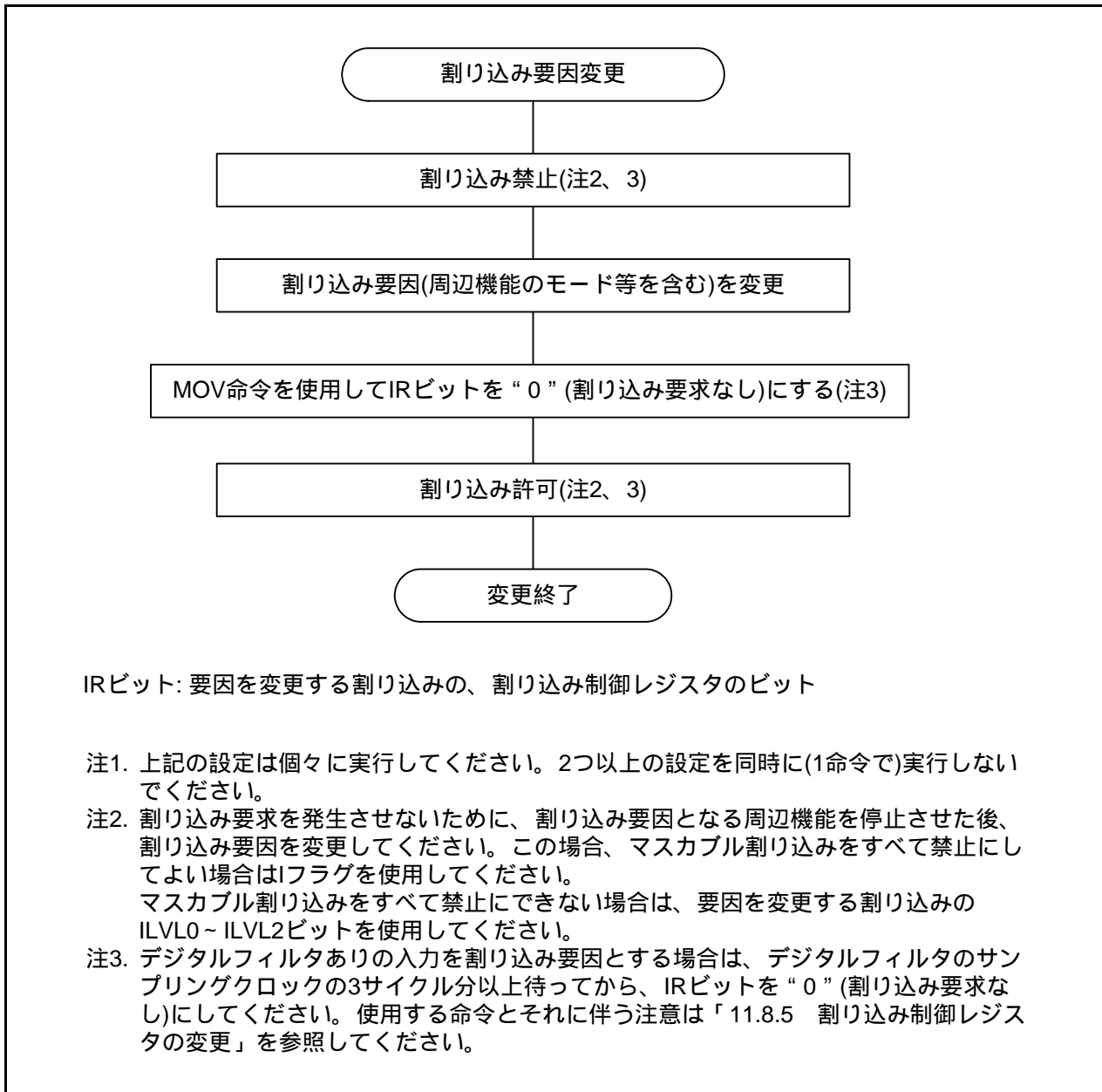


図 11.12 割り込み要因の変更手順例

### 11.8.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

#### IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 ..... AND、OR、BCLR、BSET

#### IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0          ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  POPC    FLG              ; 割り込み許可
```

## 12. IDコード領域

IDコード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

### 12.1 概要

IDコード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFE7h、0FFE8h、0FFE9h、0FFF3h、0FFF7h、0FFF8h番地です。図12.1にIDコード領域を示します。

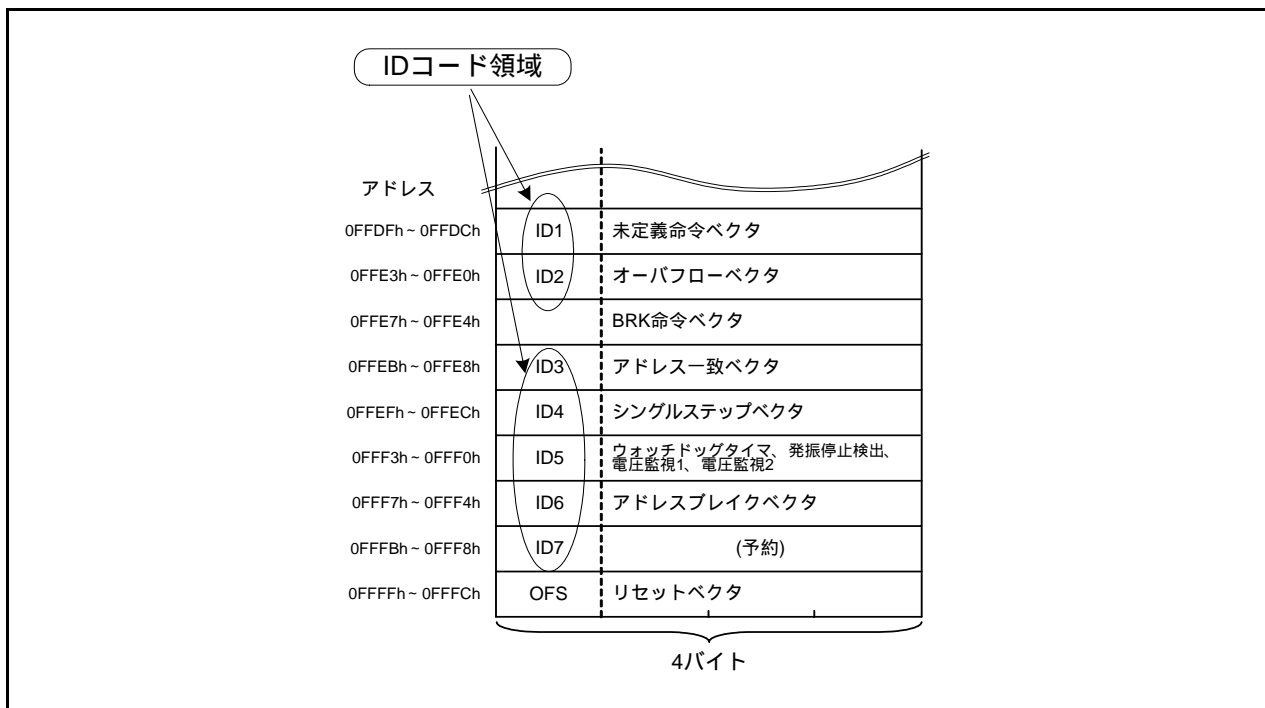


図12.1 IDコード領域

## 12.2 機能

IDコード領域は標準シリアル入出力モードで使用します。標準シリアル入出力モードでリセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“ FFFFFFFh ”ではない場合、IDコード領域に格納されているIDコードと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライターやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“ FFFFFFFh ”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

なお、IDコードがASCIIコードの“ ALeRASE ”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“ Protect ”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表12.1にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表12.1 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)(注1)	
		ALeRASE	Protect
0FFDFh	ID1	41h (“ A ”大文字)	50h (“ P ”大文字)
0FFE3h	ID2	4Ch (“ L ”大文字)	72h (“ r ”小文字)
0FFEBh	ID3	65h (“ e ”小文字)	6Fh (“ o ”小文字)
0FFEFh	ID4	52h (“ R ”大文字)	74h (“ t ”小文字)
0FFF3h	ID5	41h (“ A ”大文字)	65h (“ e ”小文字)
0FFF7h	ID6	53h (“ S ”大文字)	63h (“ c ”小文字)
0FFFBh	ID7	45h (“ E ”大文字)	74h (“ t ”小文字)

注1. IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合は予約語です。



### 12.3 強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使用します。シリアルライタやオンチップデバッグエミュレータから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表12.1 IDコードの予約語」以外)、かつOFSレジスタのROMCRビットが“1”、ROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表12.2に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライタやオンチップデバッグエミュレータから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けられないので、ユーザROM領域を操作できません。

表12.2 強制イレーズ機能の条件と動作

条件			動作
シリアルライタやオンチップデバッグエミュレータから送られてくるIDコード	IDコード格納番地のIDコード	OFSレジスタのROMCP1、ROMCRビット	
ALeRASE	ALeRASE		ユーザROM領域をすべて消去(強制イレーズ機能)
	ALeRASE以外(注1)	“01b”以外 (ROMコードプロテクト解除)	
ALeRASE以外	ALeRASE	“01b” (ROMコードプロテクト有効)	IDコードの判定 (IDコードチェック機能)
	ALeRASE以外(注1)		IDコードの判定 (IDコードチェック機能。IDコード不一致になる)
	ALeRASE以外(注1)		IDコードの判定 (IDコードチェック機能)

注1. “Protect”の場合は「12.4 標準シリアル入出力モード禁止機能」参照。

### 12.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表12.1 IDコードの予約語」参照)の場合、シリアルライタやオンチップデバッグエミュレータとの通信を行いません。このため、シリアルライタやオンチップデバッグエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFSレジスタのROMCRビットを“1”、ROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライタやオンチップデバッグエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライタやオンチップデバッグエミュレータでもパラレルライタでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

## 12.5 IDコード領域使用上の注意

### 12.5.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.word dummy | (55000000h) ; UND
.word dummy | (55000000h) ; INTO
.word dummy ; BREAK
.word dummy | (55000000h) ; ADDRESS MATCH
.word dummy | (55000000h) ; SET SINGLE STEP
.word dummy | (55000000h) ; WDT
.word dummy | (55000000h) ; ADDRESS BREAK
.word dummy | (55000000h) ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 13. オプション機能選択領域

### 13.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地および0FFDBh番地がオプション機能選択領域です。図13.1にオプション機能選択領域を示します。

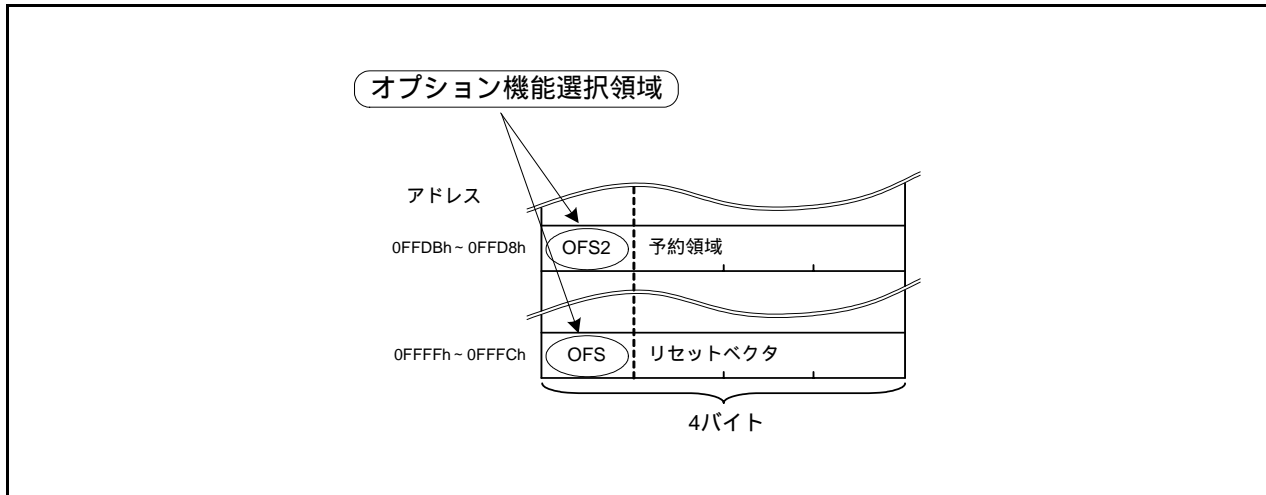


図13.1 オプション機能選択領域

## 13.2 レジスタの説明

OFSレジスタおよびOFS2レジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。

### 13.2.1 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	-	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	"1" にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは"FFh"になります。

ブランク出荷品の出荷時、OFSレジスタは"FFh"です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを"0"(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0 ~ VDSEL1ビットで選択されます。

## 13.2.2 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	-	予約ビット	"1" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。

ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

## WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

### 13.3 オプション機能選択領域使用上の注意

#### 13.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF00000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 14. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

### 14.1 概要

ウォッチドッグタイマは14ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表14.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.5 ウォッチドッグタイマリセット」を参照してください。

図14.1にウォッチドッグタイマのブロック図を示します。

表14.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時(注2)
カウントソース	CPUクロック	ウォッチドッグタイマ用 低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 •リセット後、自動的にカウントを開始 •WDTSRレジスタへの書き込みによりカウントを開始	
カウント停止条件	ストップモード、ウェイトモード	なし
ウォッチドッグタイマ初期条件	•リセット •WDTRレジスタに“00h”、続いて“FFh”を書く(受付期間の設定あり)(注1) •アンダフロー	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> <li>•プリスケアラの分周比 WDTSRレジスタのWDTSR7ビットもしくはCM0レジスタのCM07ビットで選択</li> <li>•カウントソース保護モード リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択</li> <li>•リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択</li> <li>•ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで選択</li> <li>•ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択</li> </ul>	

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

注2. CPUクロックとしてPLLクロックを使用するとき(CM07=1)は、カウントソース保護モード有効にしてください。

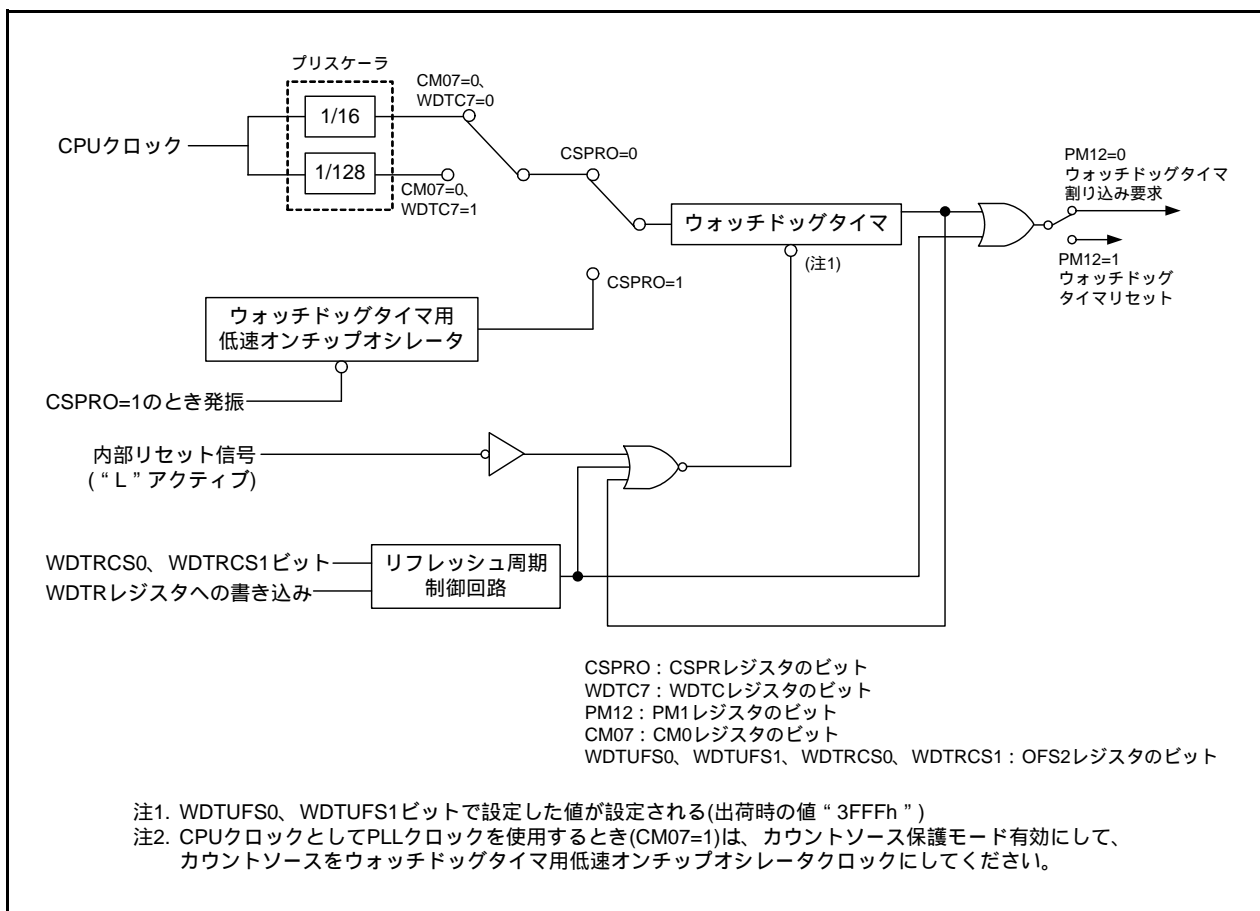


図14.1 ウォッチドッグタイマのブロック図



## 14.2 レジスタの説明

## 14.2.1 プロセッサモードレジスタ1 (PM1)

アドレス 0005h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	PM12	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	PM12	WDT 割り込み/リセット切り替えビット	0:ウォッチドッグタイマ割り込み 1:ウォッチドッグタイマリセット(注1)	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-	予約ビット	“0” にしてください	R/W

注1. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、PM12ビットは自動的に“1”になります。

PM1レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

## 14.2.2 ウォッチドッグタイマリセットレジスタ(WDTR)

アドレス 000Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。ウォッチドッグタイマの初期値はOFS2レジスタのWDTUFS0、WDTUFS1ビットで指定される。(注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

## 14.2.3 ウォッチドッグタイマスタートレジスタ(WDTS)

アドレス 000Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7 ~ b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。	W

## 14.2.4 ウォッチドッグタイマ制御レジスタ(WDTC)

アドレス 000Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	-	-	-	-	-	-	-
出荷時の値	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	-	ウォッチドッグタイマの次のビットが読める。 OFS2レジスタのWDTUFS1 ~ WDTUFS0ビットが “00b”(03FFh)のとき：b5 ~ b0 “01b”(0FFFh)のとき：b7 ~ b2 “10b”(1FFFh)のとき：b8 ~ b3 “11b”(3FFFh)のとき：b9 ~ b4	読んだ場合、その値は“0”	R
b1	-			R
b2	-			R
b3	-			R
b4	-			R
b5	-			R
b6	-	予約ビット	読んだ場合、その値は“0”	R
b7	WDTC7	プリスケアラ選択ビット	0：16分周 1：128分周	R/W

## 14.2.5 カウントソース保護モードレジスタ(CSPR)

アドレス 001Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0
リセット後の値	1	0	0	0	0	0	0	0

上記はOFSレジスタのCSPROINIビットが“1”の場合

上記はOFSレジスタのCSPROINIビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0”にしてください	R/W
b1	-			R/W
b2	-			R/W
b3	-			R/W
b4	-			R/W
b5	-			R/W
b6	-	カウントソース保護モード選択ビット(注1)	0：カウントソース保護モード無効 1：カウントソース保護モード有効	R/W
b7	CSPRO			R/W

注1. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

## 14.2.6 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR - WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 0 0: 3.80Vを選択 (Vdet0_3) 0 1: 2.85Vを選択 (Vdet0_2) 1 0: 2.35Vを選択 (Vdet0_1) 1 1: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。  
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

## LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0 ~ VDSEL1ビットで選択されます。

## 14.2.7 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%	R/W
b3	WDTRCS1			R/W
b4	-	予約ビット	"1" にしてください	R/W
b5	-			
b6	-			
b7	-			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。

ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

## WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

## 14.3 動作説明

### 14.3.1 複数モードに関わる共通事項

#### 14.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受付できる期間を、OFS2レジスタのWDTRCS0 ~ WDTRCS1ビットで選択できます。図14.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(PM1レジスタのPM12ビットで選択)が発生します。

なお、ウォッチドッグタイマのカウント停止中にリフレッシュ動作を実行しないでください。

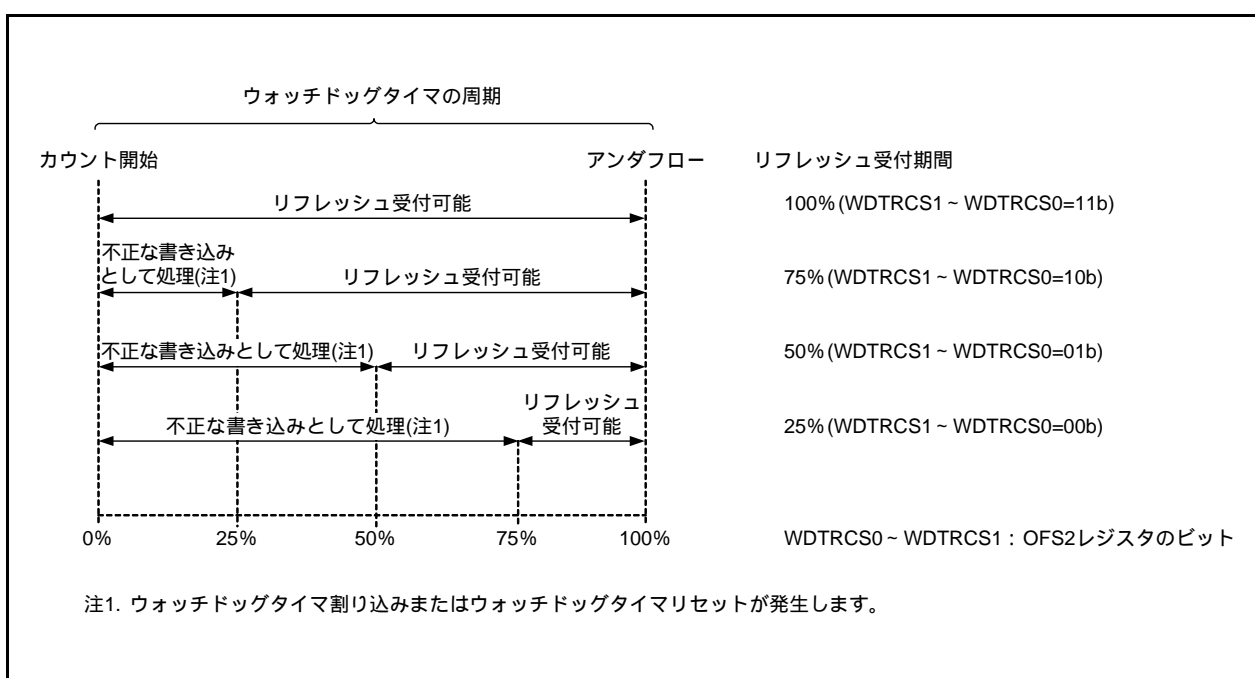


図14.2 ウォッチドッグタイマのリフレッシュ受付期間

## 14.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。表14.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表14.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(m) (注1) CPUクロック n : 16または128 (WDTCレジスタのWDTC7ビットで選択) m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値 例 : CPUクロックが20MHzで、プリスケアラが16分周し、WDTUFS1 ~ WDTUFS0ビットが“11b”(“3FFFh”)の場合、周期は約13.1ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに“00h”、続いて“FFh”を書く(注3)</li> <li>アンダフロー</li> </ul>
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> <li>WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始</li> <li>WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始</li> </ul>
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> <li>PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み</li> <li>PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)</li> </ul>

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

## 14.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表14.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表14.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	<p style="text-align: center;">ウォッチドッグタイマのカウント値(m)</p> <p>ウォッチドッグタイマ用低速オンチップオシレータクロック</p> <p>m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値            例 : ウォッチドッグタイマ用低速オンチップオシレータクロックが125kHzで、            WDTUFS1 ~ WDTUFS0ビットが“00b”(“03FFh”)の場合、周期は約8.2ms</p>
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに“00h”、続いて“FFh”を書く(注3)</li> <li>アンダフロー</li> </ul>
カウント開始条件	<p>リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択</p> <ul style="list-style-type: none"> <li>WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケラは停止しており、WDTSレジスタに書くことにより、カウントを開始</li> <li>WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケラがカウントを開始</li> </ul>
カウント停止条件	なし(カウント開始後はウェイトモード、ストップモードでも停止しない)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	<ul style="list-style-type: none"> <li>CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される               <ul style="list-style-type: none"> <li>-ウォッチドッグタイマ用低速オンチップオシレータが発振</li> <li>-PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット)</li> </ul> </li> </ul>

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

## 15. DTC

DTC(データトランスファコントローラ)は、CPUを使わずにSFRと内蔵メモリの間でデータを転送する機能で、1チャンネルを搭載しています。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

DTCのデータ転送を制御するコントロールデータ(転送元アドレス、転送先アドレス、動作モードなど)をDTCコントロールデータ領域上に配置します。DTCは起動するたびにコントロールデータを読み出し、データ転送します。

### 15.1 概要

表15.1にDTCの仕様を示します。

表15.1 DTCの仕様

項目	仕様	
起動要因	30要因	
配置可能なコントロールデータ	24通り	
転送可能なアドレス空間	64Kバイト空間(00000h ~ 0FFFFh)	
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード	256バイト
	リピートモード	255バイト
転送単位	バイト	
転送モード	ノーマルモード	DTCCTjレジスタが“1”から“0”になる転送で終了する
	リピートモード	DTCCTjレジスタが“1”から“0”になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度	「表15.5 DTC起動要因とDTCベクタアドレス」参照	
割り込み要求	ノーマルモード	DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います
	リピートモード	DTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います
転送開始	DTCENiレジスタのDTCENi0 ~ DTCENi7ビットを“1”(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する	
転送停止	ノーマルモード	<ul style="list-style-type: none"> <li>• DTCENi0 ~ DTCENi7ビットを“0”(起動禁止)にする</li> <li>• DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき</li> </ul>
	リピートモード	<ul style="list-style-type: none"> <li>• DTCENi0 ~ DTCENi7ビットを“0”(起動禁止)にする</li> <li>• RPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき</li> </ul>

i=0 ~ 3、5、6、j=0 ~ 23



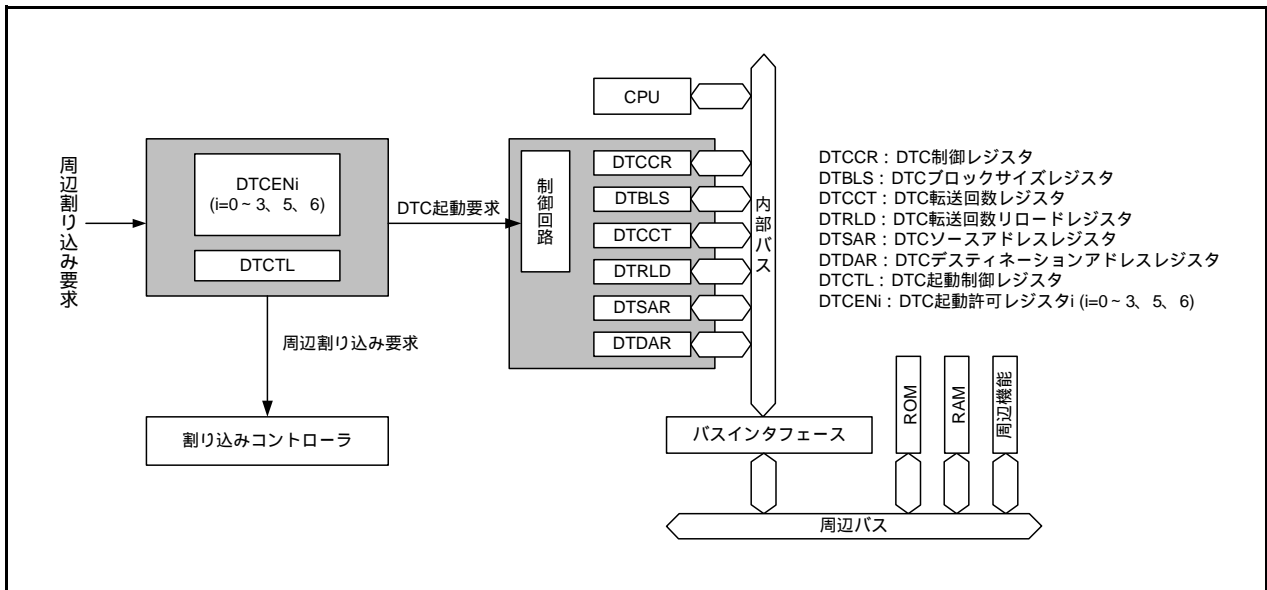


図15.1 DTCのブロック図

## 15.2 レジスタの説明

DTCは起動するとコントロールデータ領域に配置したコントロールデータ(DTCCR<sub>j</sub>、DTBLS<sub>j</sub>、DTCCT<sub>j</sub>、DTRLD<sub>j</sub>、DTSAR<sub>j</sub>、DTDAR<sub>j</sub>、j=0~23)を読み出し、DTC内の制御レジスタ(DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDAR)へ転送します。DTCのデータ転送終了後、DTC内の制御レジスタの内容をコントロールデータ領域へ書き戻します。

DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDARの各レジスタは直接アクセスできません。

DTCCR<sub>j</sub>、DTBLS<sub>j</sub>、DTCCT<sub>j</sub>、DTRLD<sub>j</sub>、DTSAR<sub>j</sub>、DTDAR<sub>j</sub>はDTCコントロールデータ領域の2C40h~2CFh番地にコントロールデータとして配置し、直接アクセスできます。

また、DTCTL、DTCEN<sub>i</sub> (i=0~3, 5, 6)レジスタは直接アクセスできます。

## 15.2.1 DTC制御レジスタj (DTCCRj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	MODE	転送モード選択ビット	0: ノーマルモード 1: リピートモード	R/W
b1	RPTSEL	リピートエリア選択ビット(注1)	0: 転送先がリピートエリア 1: 転送元がリピートエリア	R/W
b2	SAMOD	ソースアドレス制御ビット(注2)	0: 固定 1: 加算	R/W
b3	DAMOD	デスティネーション アドレス制御ビット(注2)	0: 固定 1: 加算	R/W
b4	CHNE	チェーン転送許可ビット(注3)	0: チェーン転送禁止 1: チェーン転送許可	R/W
b5	RPTINT	リピートモード割り込み許可ビット (注1)	0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b6	-	予約ビット	"0" にしてください	R/W
b7	-			

注1. MODEビットが"1"(リピートモード)のときに有効です。

注2. リピートエリアに対するSAMODビットとDAMODビットの設定は無効です。

注3. DTCCR23レジスタのCHNEビットは"0"(チェーン転送禁止)にしてください。

## 15.2.2 DTCブロックサイズレジスタj (DTBLSj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	1回の起動で転送するデータブロックサイズを設定する	00h ~ FFh(注1)	R/W

注1. "00h" のときブロックサイズは256バイトになります。

## 15.2.3 DTC転送回数レジスタj (DTCCTj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	DTCのデータ転送回数を設定する	00h ~ FFh(注1)	R/W

注1. "00h" のとき転送回数は256回になります。DTCが起動するたびに減算(-1)されます。

## 15.2.4 DTC転送回数リロードレジスタj (DTRLDj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	リピートモード動作でこのレジスタの値をDTCCTレジスタへリロードする	00h ~ FFh(注1)	R/W

注1. DTCCTレジスタの初期値を設定してください。

## 15.2.5 DTCソースアドレスレジスタj (DTSARj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15 ~ b0	データ転送時の転送元アドレスを指定する	0000h ~ FFFFh	R/W

## 15.2.6 DTCデスティネーションアドレスレジスタj (DTDARj)(j=0 ~ 23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15 ~ b0	データ転送時の転送先アドレスを指定する	0000h ~ FFFFh	R/W

15.2.7 DTC起動許可レジスタ $i$  (DTCEN $i$ )( $i=0 \sim 3, 5, 6$ )

アドレス 0088h番地(DTCEN0)、0089h番地(DTCEN1)、008Ah番地(DTCEN2)、008Bh番地(DTCEN3)、  
008Dh番地(DTCEN5)、008Eh番地(DTCEN6)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCENi0	DTC 起動許可ビット(注1)	0 : 起動禁止 1 : 起動許可	R/W
b1	DTCENi1			R/W
b2	DTCENi2			R/W
b3	DTCENi3			R/W
b4	DTCENi4			R/W
b5	DTCENi5			R/W
b6	DTCENi6			R/W
b7	DTCENi7			R/W

$i=0 \sim 3, 5, 6$

注1. このビットの動作については、「15.3.7 割り込み要因」を参照してください。

DTCEN $i$ レジスタは、各割り込み要因によるDTC起動の許可または禁止を制御します。表15.2に割り込み要因とDTCENi0 ~ DTCENi7 ( $i=0 \sim 3, 5, 6$ )ビットの対応を示します。

表15.2 割り込み要因とDTCENi0 ~ DTCENi7 ( $i=0 \sim 3, 5, 6$ )ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	INT0	INT1	INT2	INT3	INT4			
DTCEN1	キー入力	A/D変換	UART0受信	UART0送信	UART1受信	UART1送信	UART2受信	UART2送信
DTCEN2	SSU/I <sup>2</sup> Cバス 受信データ フル	SSU/I <sup>2</sup> Cバス 送信データ エンプティ	電圧監視2	電圧監視1			タイマRC インプット キャプチャ/ コンペアー致A	タイマRC インプット キャプチャ/ コンペアー致B
DTCEN3	タイマRC インプット キャプチャ/ コンペアー致C	タイマRC インプット キャプチャ/ コンペアー致D	UART3受信				UART3送信	
DTCEN5				タイマRF コンペアー致0	タイマRF コンペアー致1	タイマRF キャプチャ	タイマRF	
DTCEN6		タイマRA		タイマRB	フラッシュ レディ ステータス		A/D変換	

## 15.2.8 DTC起動制御レジスタ(DTCTL)

アドレス 0080h 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	NMIF	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	NMIF	ノンマスクابل割り込み発生ビット (注1)	0: ノンマスクابل割り込みなし 1: ノンマスクابل割り込み発生	R/W
b2	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません。“1”を書いた場合は変化しません。

DTCTLレジスタは、ノンマスクابل割り込み(ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2)発生時のDTC起動を制御するレジスタです。

## NMIFビット(ノンマスクابل割り込み発生ビット)

NMIFビットは、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込みのいずれかが発生すると“1”になります。

NMIFビットが“1”の場合、DTC起動を許可している割り込みが発生してもDTCは起動しません。DTC転送中にNMIFビットが“1”になっても、その転送を終了するまで行います。

割り込み要因がウォッチドッグタイマのとき、WDTCレジスタのWDTC7ビットを“0”(プリスケアラが16分周)にしている場合は、割り込み要因発生からCPUクロックの16サイクル待ってから、WDTC7ビットを“1”(プリスケアラが128分周)にしている場合は割り込み要因発生からCPUクロックの128サイクル待ってから、NMIFビットに“0”を書いてください。

割り込み要因が発振停止検出のとき、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にした後で、NMIFビットに“0”を書いてください。

## 15.3 動作説明

### 15.3.1 概要

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロールデータ領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあります。また、DTCCR<sub>j</sub> (j=0 ~ 23) レジスタのCHNEビットが“1”(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSAR<sub>j</sub>レジスタ、転送先アドレスは16ビット長のDTDAR<sub>j</sub>レジスタで指定します。DTSAR<sub>j</sub>レジスタとDTDAR<sub>j</sub>レジスタは、データ転送後、コントロールデータに従って独立に加算されるか固定されます。

### 15.3.2 起動要因

DTCは割り込み要因により起動します。図15.2にDTC起動要因の制御ブロック図を示します。

DTCを起動する割り込み要因は、DTCEN<sub>i</sub> (i=0 ~ 3, 5, 6)レジスタで選択します。

データ転送(チェイン転送の場合、連続して行う最初の転送)の設定が

- ・ノーマルモードでDTCCT<sub>j</sub> (j=0 ~ 23)レジスタが“0”になる転送
- ・リピートモードでDTCCR<sub>j</sub>レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCT<sub>j</sub>レジスタが“0”になる転送

のとき、DTCは動作中にDTCEN<sub>i</sub>レジスタの対応するDTCEN<sub>i0</sub> ~ DTCEN<sub>i7</sub>ビットを“0”(起動禁止)にします。

データ転送の設定がどちらでもなく、起動要因がタイマRC、フラッシュメモリの割り込み要因である場合、DTCは動作中に起動要因となった割り込み要因フラグを“0”にします。

表15.3にDTC起動要因とDTC動作中に“0”にする割り込み要因フラグを示します。

複数の起動要因が同時に発生した場合には、DTC起動要因の優先順位に従ってDTCを起動します。

DTCの動作が終了した時点で複数のDTC起動要因が発生している場合には、優先順位に従って次の転送を行います。

DTC起動は割り込み要求動作と異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDTC起動要求を受け付けることができます。DTC起動許可にした割り込み要因が発生しても割り込み制御レジスタのIRビットは変化しません。

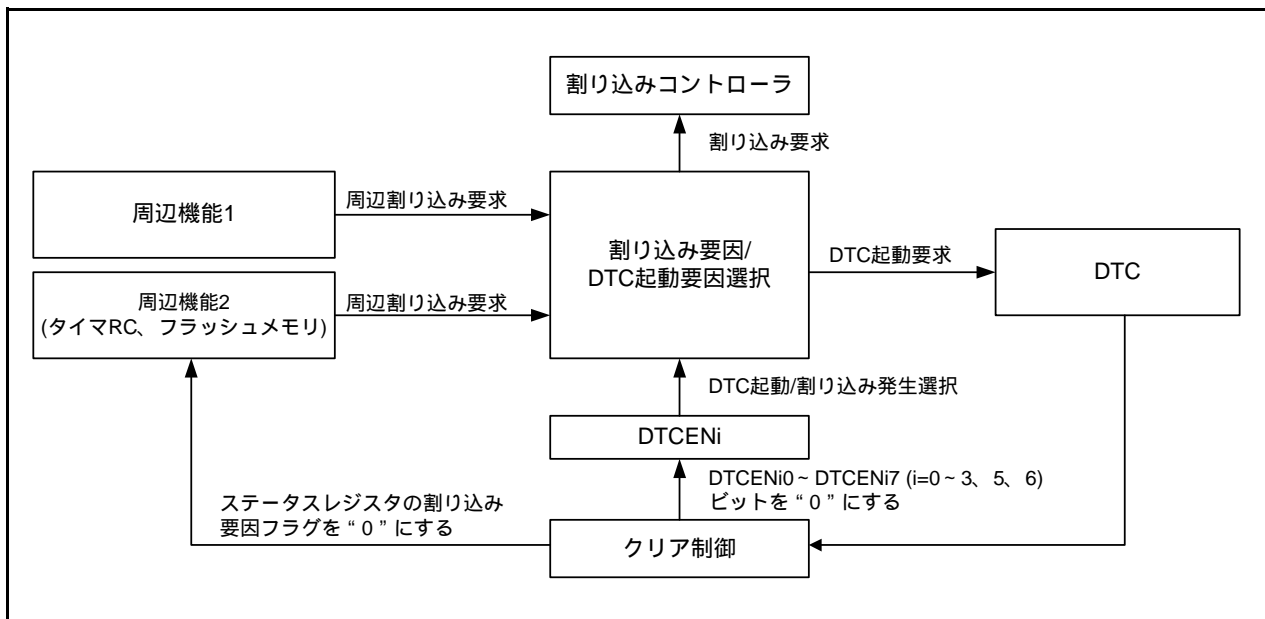


図 15.2 DTC 起動要因の制御ブロック図

表 15.3 DTC 起動要因と DTC 動作中に “0” にする割り込み要因フラグ

DTC 起動要因	“0” にする割り込み要因フラグ
タイマRC入力キャプチャ/コンペア一致A	TRCSR レジスタのIMFAビット
タイマRC入力キャプチャ/コンペア一致B	TRCSR レジスタのIMFBビット
タイマRC入力キャプチャ/コンペア一致C	TRCSR レジスタのIMFCビット
タイマRC入力キャプチャ/コンペア一致D	TRCSR レジスタのIMFDビット
フラッシュレディステータス	FST レジスタのRDYSTIビット

## 15.3.3 コントロールデータの配置とDTCベクタテーブル

コントロールデータは先頭アドレスから、DTCCR<sub>j</sub>、DTBLS<sub>j</sub>、DTCCT<sub>j</sub>、DTRLD<sub>j</sub>、DTSAR<sub>j</sub>、DTDAR<sub>j</sub> (j=0 ~ 23) レジスタの順に配置します。表15.4にコントロールデータの配置アドレスを示します。

表15.4 コントロールデータの配置アドレス

レジスタ シンボル	コントロール データ番号	アドレス	DTCCR <sub>j</sub> レジスタ	DTBLS <sub>j</sub> レジスタ	DTCCT <sub>j</sub> レジスタ	DTRLD <sub>j</sub> レジスタ	DTSAR <sub>j</sub> レジスタ (下位 8ビット)	DTSAR <sub>j</sub> レジスタ (上位 8ビット)	DTDAR <sub>j</sub> レジスタ (下位 8ビット)	DTDAR <sub>j</sub> レジスタ (上位 8ビット)
DTCD0	コントロール データ0	2C40h ~ 2C47h	2C40h	2C41h	2C42h	2C43h	2C44h	2C45h	2C46h	2C47h
DTCD1	コントロール データ1	2C48h ~ 2C4Fh	2C48h	2C49h	2C4Ah	2C4Bh	2C4Ch	2C4Dh	2C4Eh	2C4Fh
DTCD2	コントロール データ2	2C50h ~ 2C57h	2C50h	2C51h	2C52h	2C53h	2C54h	2C55h	2C56h	2C57h
DTCD3	コントロール データ3	2C58h ~ 2C5Fh	2C58h	2C59h	2C5Ah	2C5Bh	2C5Ch	2C5Dh	2C5Eh	2C5Fh
DTCD4	コントロール データ4	2C60h ~ 2C67h	2C60h	2C61h	2C62h	2C63h	2C64h	2C65h	2C66h	2C67h
DTCD5	コントロール データ5	2C68h ~ 2C6Fh	2C68h	2C69h	2C6Ah	2C6Bh	2C6Ch	2C6Dh	2C6Eh	2C6Fh
DTCD6	コントロール データ6	2C70h ~ 2C77h	2C70h	2C71h	2C72h	2C73h	2C74h	2C75h	2C76h	2C77h
DTCD7	コントロール データ7	2C78h ~ 2C7Fh	2C78h	2C79h	2C7Ah	2C7Bh	2C7Ch	2C7Dh	2C7Eh	2C7Fh
DTCD8	コントロール データ8	2C80h ~ 2C87h	2C80h	2C81h	2C82h	2C83h	2C84h	2C85h	2C86h	2C87h
DTCD9	コントロール データ9	2C88h ~ 2C8Fh	2C88h	2C89h	2C8Ah	2C8Bh	2C8Ch	2C8Dh	2C8Eh	2C8Fh
DTCD10	コントロール データ10	2C90h ~ 2C97h	2C90h	2C91h	2C92h	2C93h	2C94h	2C95h	2C96h	2C97h
DTCD11	コントロール データ11	2C98h ~ 2C9Fh	2C98h	2C99h	2C9Ah	2C9Bh	2C9Ch	2C9Dh	2C9Eh	2C9Fh
DTCD12	コントロール データ12	2CA0h ~ 2CA7h	2CA0h	2CA1h	2CA2h	2CA3h	2CA4h	2CA5h	2CA6h	2CA7h
DTCD13	コントロール データ13	2CA8h ~ 2CAFh	2CA8h	2CA9h	2CAAh	2CABh	2CACH	2CADh	2CAEh	2CAFh
DTCD14	コントロール データ14	2CB0h ~ 2CB7h	2CB0h	2CB1h	2CB2h	2CB3h	2CB4h	2CB5h	2CB6h	2CB7h
DTCD15	コントロール データ15	2CB8h ~ 2CBFh	2CB8h	2CB9h	2CBAh	2CBBh	2CBCh	2CBDh	2CBEh	2CBFh
DTCD16	コントロール データ16	2CC0h ~ 2CC7h	2CC0h	2CC1h	2CC2h	2CC3h	2CC4h	2CC5h	2CC6h	2CC7h
DTCD17	コントロール データ17	2CC8h ~ 2CCFh	2CC8h	2CC9h	2CCAh	2CCBh	2CCCh	2CCDh	2CCEh	2CCFh
DTCD18	コントロール データ18	2CD0h ~ 2CD7h	2CD0h	2CD1h	2CD2h	2CD3h	2CD4h	2CD5h	2CD6h	2CD7h
DTCD19	コントロール データ19	2CD8h ~ 2CDFh	2CD8h	2CD9h	2CDAh	2CDBh	2CDCh	2CDDh	2CDEh	2CDFh
DTCD20	コントロール データ20	2CE0h ~ 2CE7h	2CE0h	2CE1h	2CE2h	2CE3h	2CE4h	2CE5h	2CE6h	2CE7h
DTCD21	コントロール データ21	2CE8h ~ 2CEFh	2CE8h	2CE9h	2CEAh	2CEBh	2CECh	2CEDh	2CEEh	2CEFh
DTCD22	コントロール データ22	2CF0h ~ 2CF7h	2CF0h	2CF1h	2CF2h	2CF3h	2CF4h	2CF5h	2CF6h	2CF7h
DTCD23	コントロール データ23	2CF8h ~ 2CFFh	2CF8h	2CF9h	2CFAh	2CFBh	2CFCh	2CFDh	2CFEh	2CFFh

j=0 ~ 23



DTC が起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTC コントロールデータ領域上に配置されたコントロールデータを読み出します。

表 15.5 に DTC 起動要因と DTC ベクタアドレスを示します。起動要因ごとに DTC ベクタテーブルが 1 バイトあり、“00000000b” ~ “00010111b” のデータ (表 15.4 のコントロールデータ番号) を格納し、24 組のコントロールデータから 1 つを選択します。

図 15.3 ~ 図 15.7 に DTC 内部動作のフローチャートを示します。

表 15.5 DTC 起動要因と DTC ベクタアドレス

割り込み要因発生元	名称	要因番号	DTC ベクタアドレス	優先順位
外部入力	INT0	0	2C00h	高 ↑
	INT1	1	2C01h	
	INT2	2	2C02h	
	INT3	3	2C03h	
	INT4	4	2C04h	
キー入力	キー入力	8	2C08h	↓ 低
A/D	A/D 変換	9	2C09h	
UART0	UART0 受信	10	2C0Ah	
	UART0 送信	11	2C0Bh	
UART1	UART1 受信	12	2C0Ch	
	UART1 送信	13	2C0Dh	
UART2	UART2 受信	14	2C0Eh	
	UART2 送信	15	2C0Fh	
SSU/I <sup>2</sup> C パス	受信データフル	16	2C10h	
	送信データエンpty	17	2C11h	
電圧検出回路	電圧監視 2	18	2C12h	
	電圧監視 1	19	2C13h	
タイマ RC	インプットキャプチャ/コンペア一致 A	22	2C16h	
	インプットキャプチャ/コンペア一致 B	23	2C17h	
	インプットキャプチャ/コンペア一致 C	24	2C18h	
	インプットキャプチャ/コンペア一致 D	25	2C19h	
UART3	UART3 受信	26	02C1Ah	
	UART3 送信	30	02C1Eh	
タイマ RF	タイマ RF	43	2C2Bh	
	コンペア一致 0	44	2C2Ch	
	コンペア一致 1	45	2C2Dh	
	キャプチャ	46	2C2Eh	
タイマ RA	タイマ RA	49	2C31h	
タイマ RB	タイマ RB	51	2C33h	
フラッシュメモリ	フラッシュレディステータス	52	2C34h	

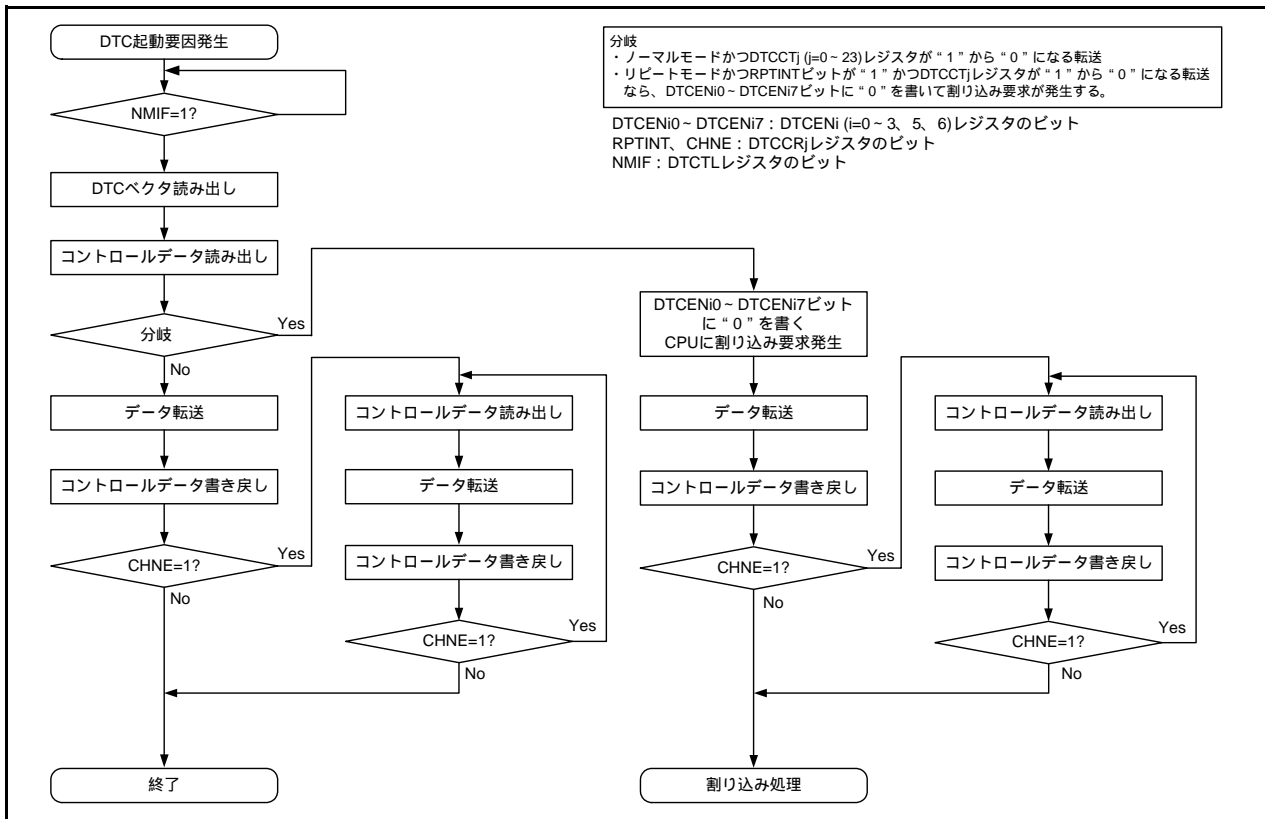


図 15.3 DTC 起動要因が SSU/I<sup>2</sup>C バス、タイマ RC、フラッシュメモリの割り込み要因でないときの DTC 内部動作フローチャート

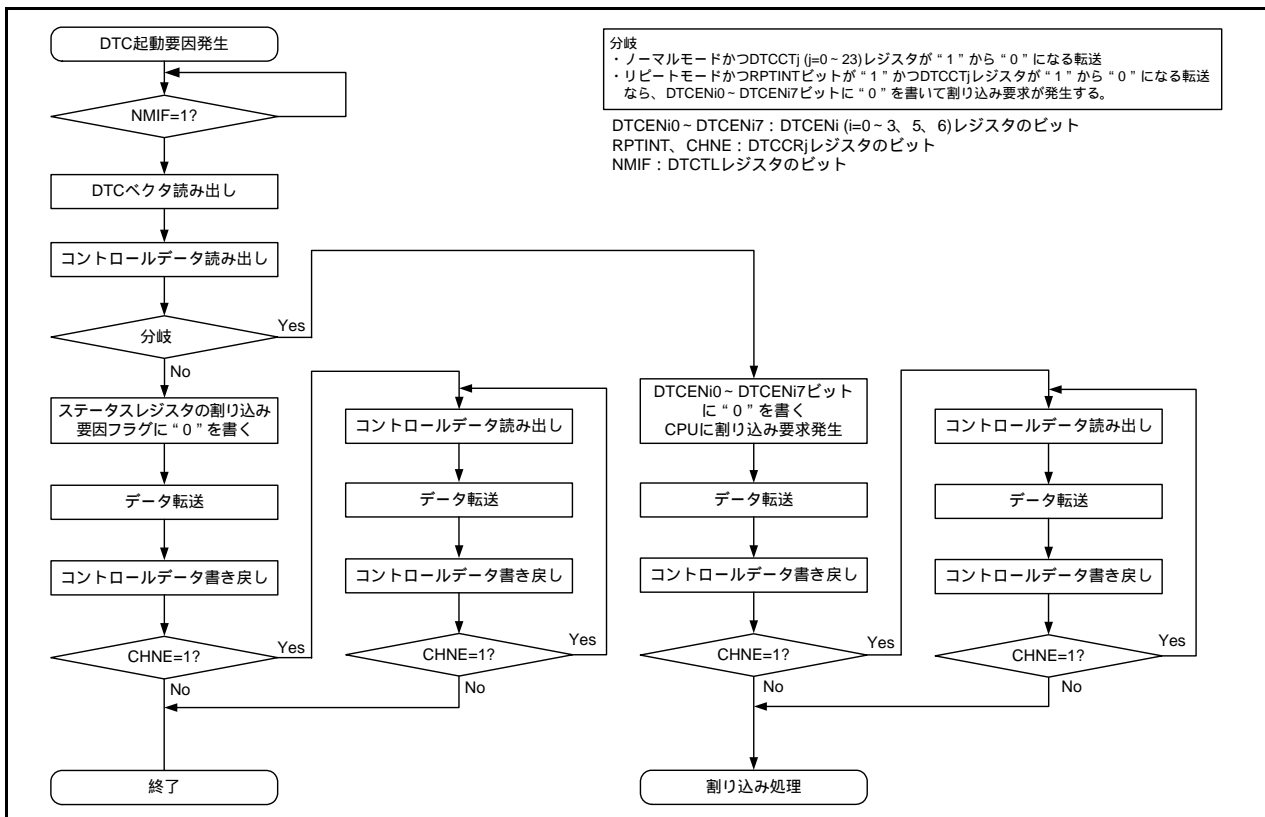


図 15.4 DTC 起動要因がタイマ RC の割り込み要因であるときの DTC 内部動作フローチャート

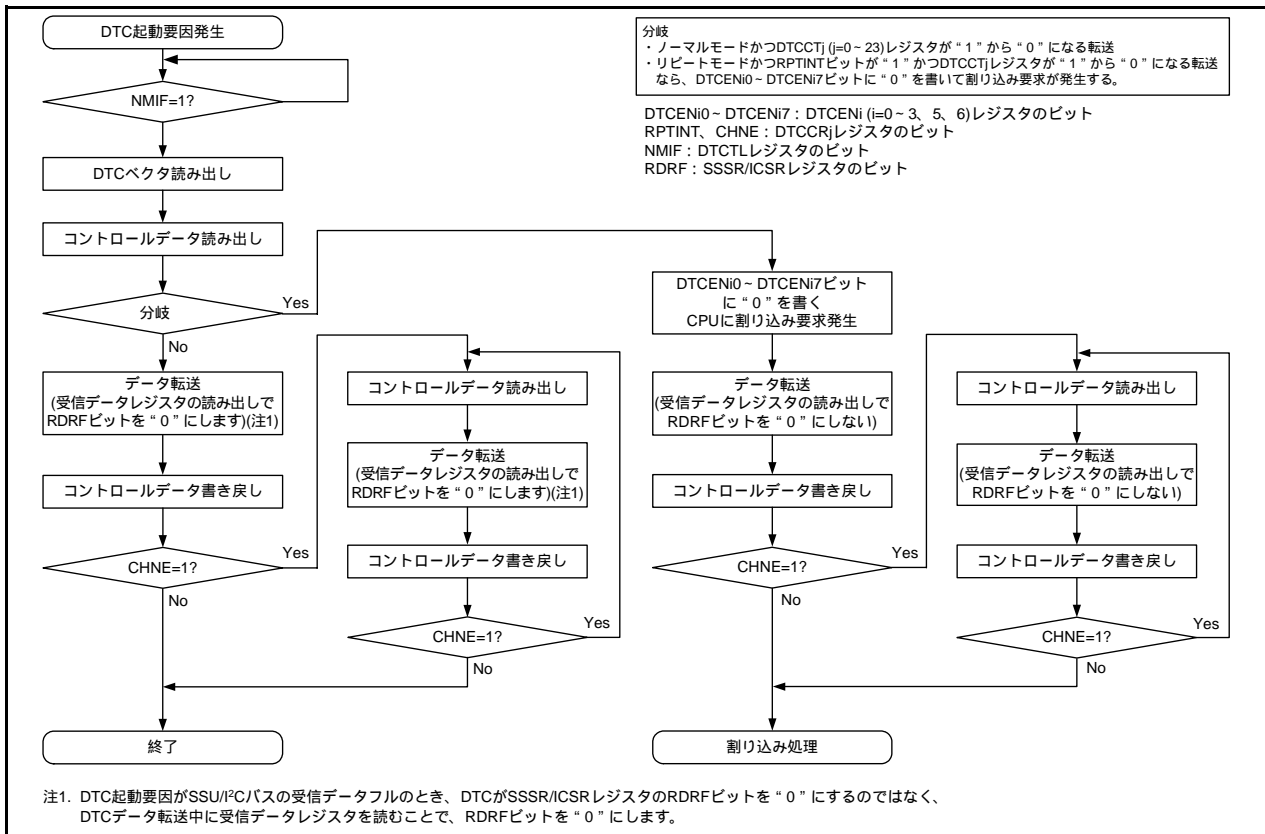


図 15.5 DTC 起動要因が SSU/I<sup>2</sup>C バスの受信データフルであるときの DTC 内部動作フローチャート

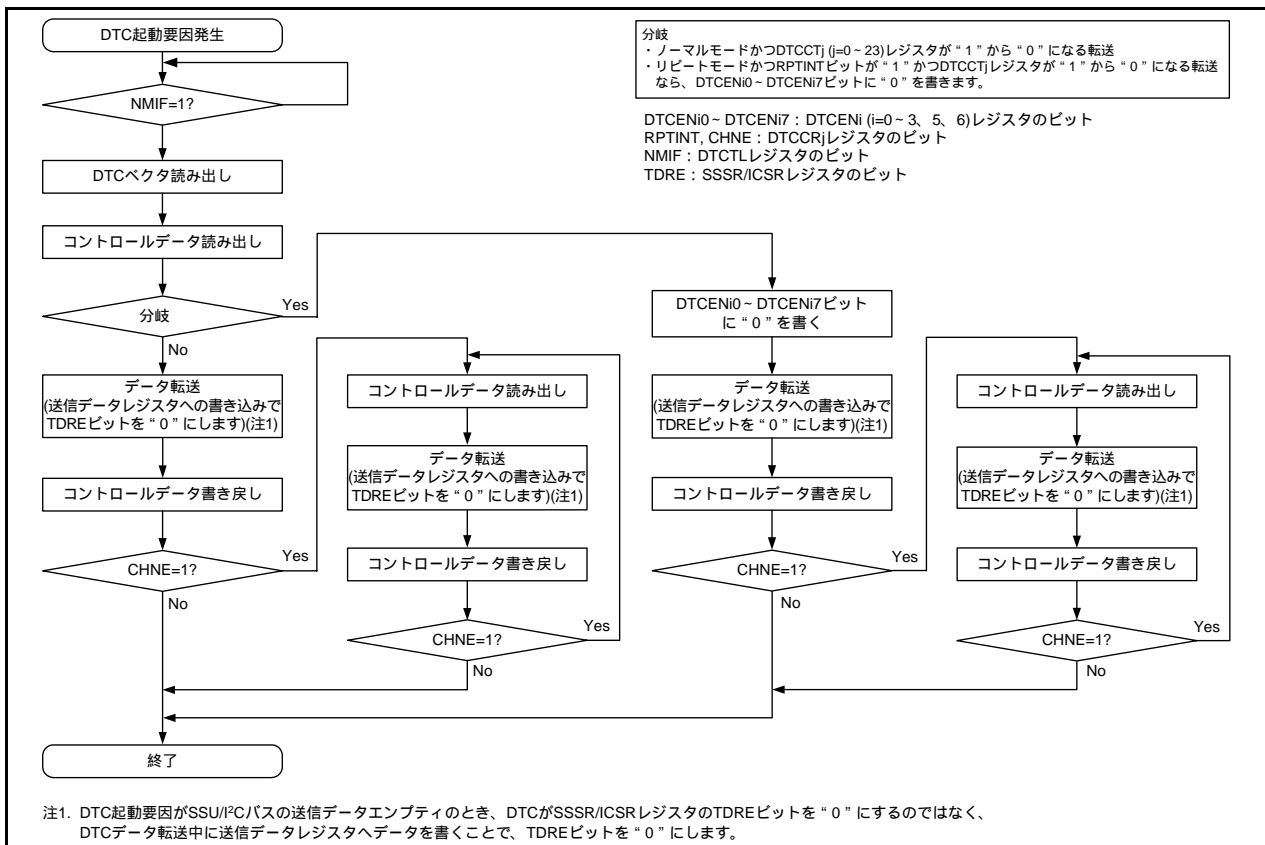


図 15.6 DTC 起動要因が SSU/I<sup>2</sup>C バスの送信データエンptyであるときの DTC 内部動作フローチャート

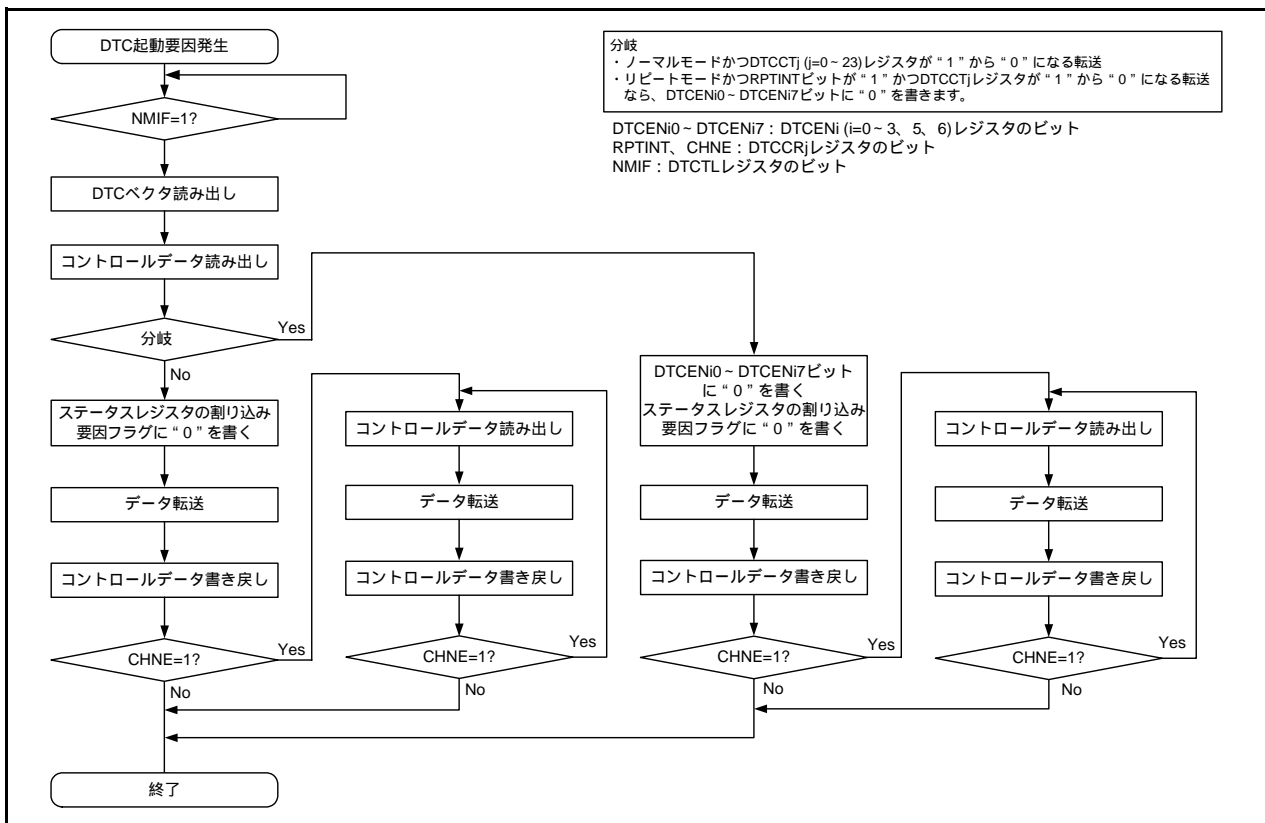


図 15.7 DTC 起動要因がフラッシュレディステータスであるときのDTC内部動作フローチャート

## 15.3.4 ノーマルモード

1回の起動で1～256バイトをデータ転送します。転送回数は1～256回です。DTCCTj (j=0～23)レジスタが“0”になるデータ転送を行うとき、DTC動作中にCPUへの割り込み要求を発生します。

表15.6にノーマルモードでのレジスタ機能を示します。

図15.8にノーマルモードでのデータ転送を示します。

表15.6 ノーマルモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRL Dj	使用しません
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j=0～23

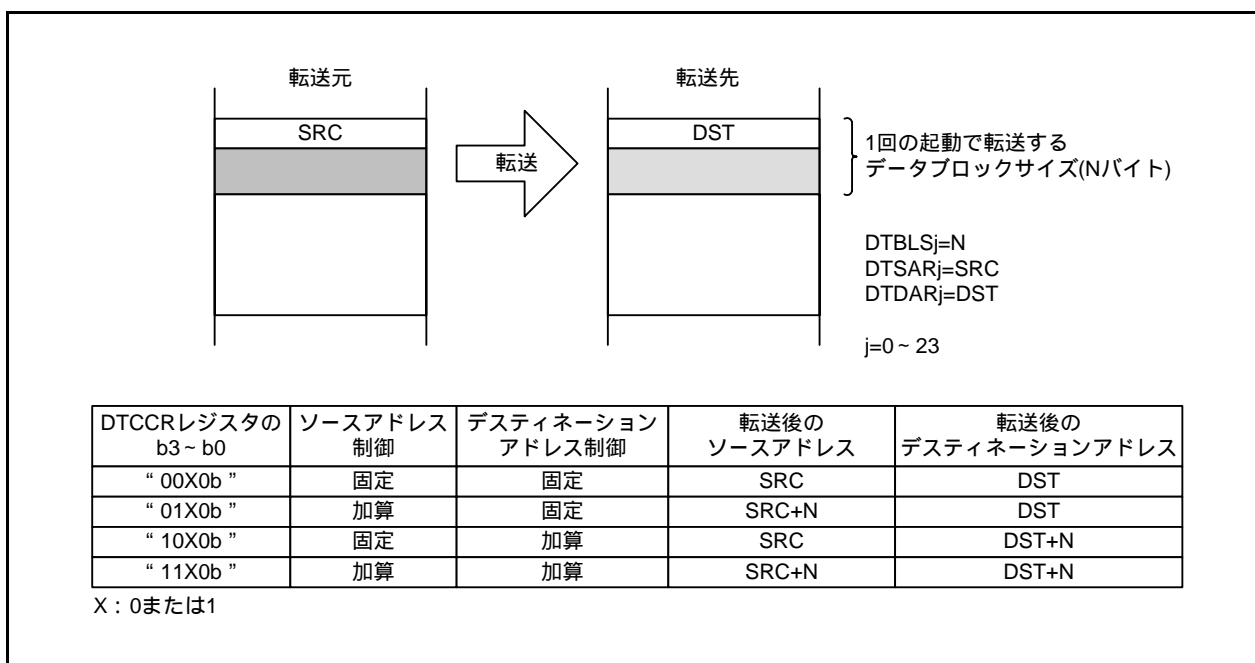


図15.8 ノーマルモードでのデータ転送

### 15.3.5 リピートモード

1回の起動で1～255バイトをデータ転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj (j=0～23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが“1”（割り込み発生許可）でDTCCTjレジスタが“0”になるデータ転送をDTCが行うとき、DTC動作中にCPUへの割り込み要求を発生します。

リピートエリアに指定したアドレスの初期値の下位8ビットを“00h”にしてください。また、指定回数の転送が終了するまでに、転送するデータサイズを255バイト以内にしてください。

表15.7にリピートモードでのレジスタ機能を示します。図15.9にリピートモードでのデータ転送を示します。

表15.7 リピートモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	このレジスタの値をDTCCTjレジスタへリロード（データ転送回数を初期化）
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j=0～23

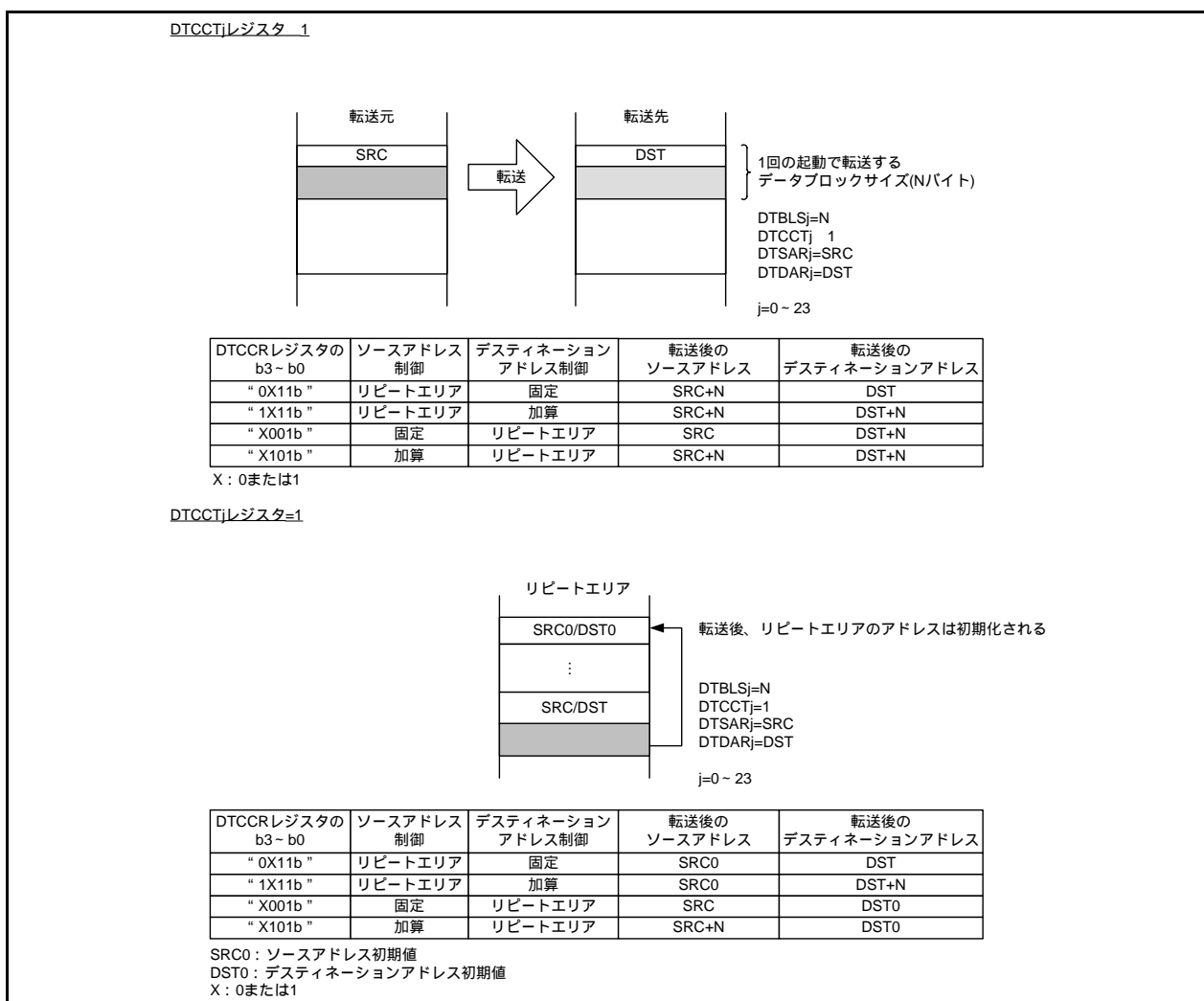


図15.9 リピートモードでのデータ転送

### 15.3.6 チェイン転送

DTCCRj (j=0 ~ 22)レジスタのCHNEビットが“1”(チェイン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。図15.10にチェイン転送のフローを示します。

DTCが起動すると、起動要因に対応したDTCベクタアドレスから読み出したデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが“1”(チェイン転送許可)であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが“0”(チェイン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

DTCCR23レジスタのCHNEビットは“0”(チェイン転送禁止)にしてください。

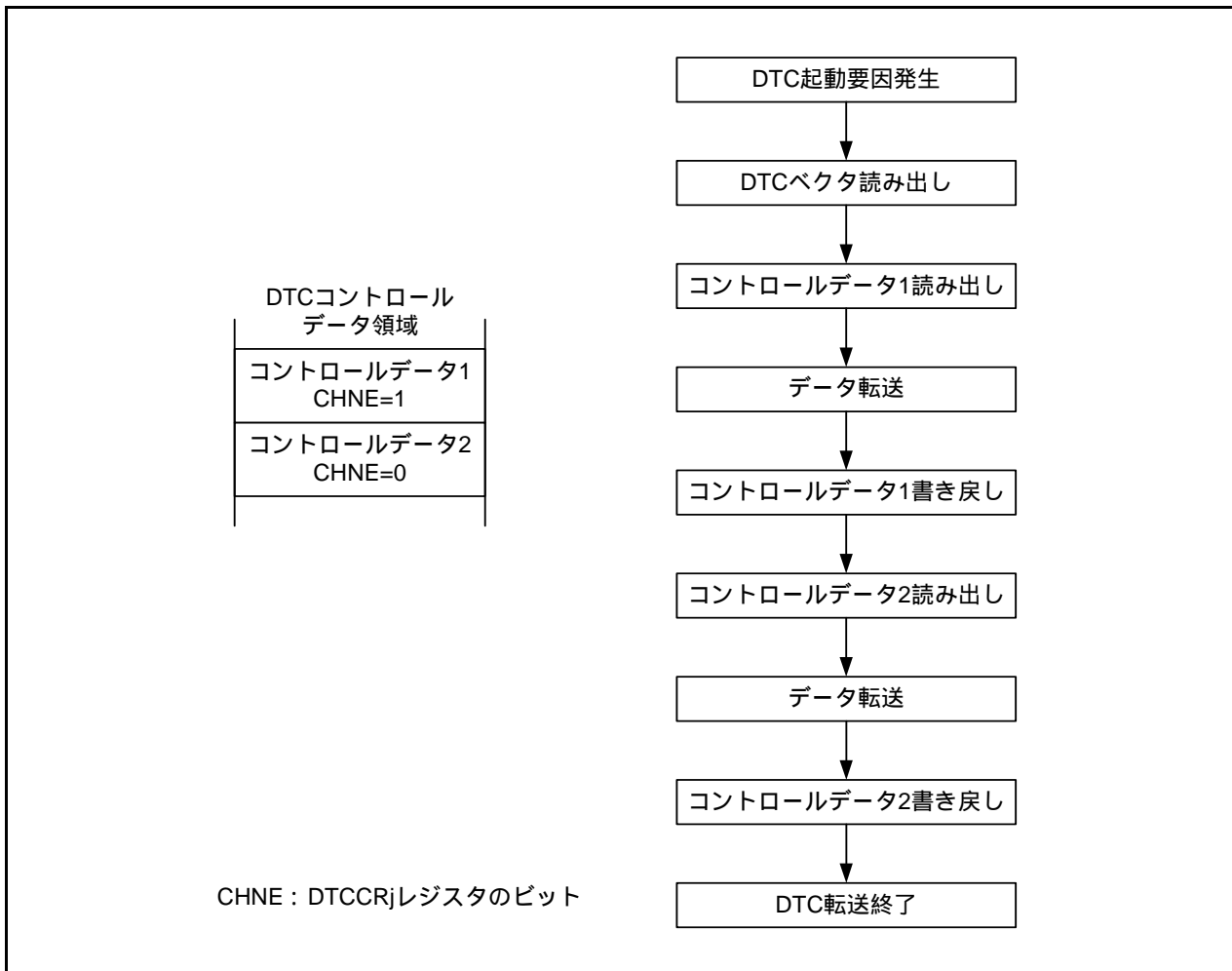


図15.10 チェイン転送のフロー

### 15.3.7 割り込み要因

DTCがノーマルモードでDTCCTj (j=0 ~ 23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生します。ただし、起動要因がSSU/A<sup>2</sup>Cバス送信データエンプティまたはフラッシュレディステータスであるとき、CPUに対して割り込み要求を発生しません。

このCPUに対する割り込み要求は、Iフラグや割り込み制御レジスタの影響を受けます。チェイン転送では、連続して行われる最初の転送の転送回数や、RPTINTビットによって割り込み要求の発生の有無が決まります。CPUに対して割り込み要求が発生するとき、対応する起動要因のDTCENi (i=0 ~ 3、5、6)レジスタのDTCENi0 ~ DTCENi7 (i=0 ~ 3、5、6)ビットは“0”(起動禁止)になります。

### 15.3.8 動作タイミング

DTC コントロールデータ領域上に配置したコントロールデータの読み出しは5サイクルかかります。コントロールデータ書き戻しはコントロールデータの設定によりサイクル数が異なります。

図15.11にDTCの動作タイミング例を、図15.12にチェーン転送時のDTCの動作タイミング例を示します。

表15.8にコントロールデータ書き戻し仕様を示します。

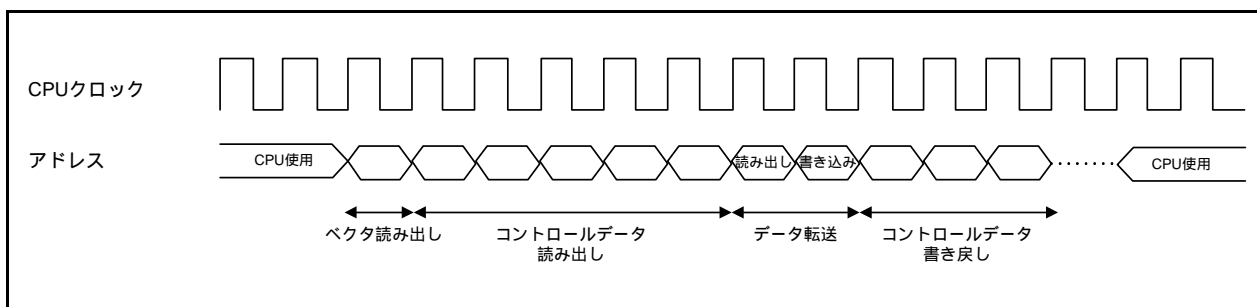


図15.11 DTCの動作タイミング例

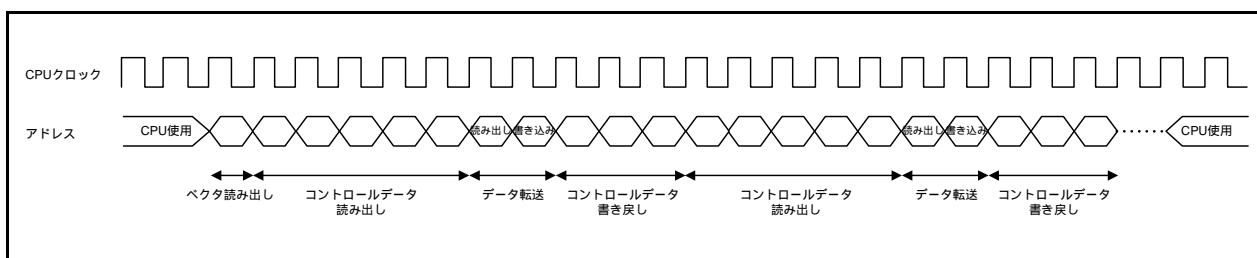


図15.12 チェーン転送時のDTCの動作タイミング例

表15.8 コントロールデータ書き戻し仕様

DTCCR レジスタの b3 ~ b0	動作モード	アドレス制御		書き戻すコントロールデータ				サイクル数
		ソース	デスティネーション	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
"00X0b"	ノーマル モード	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
"01X0b"		加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
"10X0b"		固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
"11X0b"		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
"0X11b"	リピート モード	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
"1X11b"		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
"X001b"		固定	リピート エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
"X101b"		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3

j=0 ~ 23

X : 0または1



## 15.3.9 DTC実行サイクル数

表15.9にDTC起動時の実行状態と必要なサイクル数を示します。表15.10にデータ転送に必要なサイクル数を示します。

表15.9 DTC起動時の実行状態と必要なサイクル数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み	内部動作
	読み出し	書き戻し			
1	5	(注2)	(注1)	(注1)	1

注1. データ読み出し/データ書き込みに必要なサイクル数は「表15.10 データ転送に必要なサイクル数」を参照してください。

注2. コントロールデータの書き戻しに必要なサイクル数は「表15.8 コントロールデータ書き戻し仕様」を参照してください。

DTBLS<sub>j</sub> (j=0 ~ 23) レジスタ=Nとすると、データ転送時、

- (1) N=2n(偶数)のとき、n回の2バイト転送
- (2) N=2n+1(奇数)のとき、n回の2バイト転送後、1回の1バイト転送を実行します。

表15.10 データ転送に必要なサイクル数

実行状態	転送単位	内部RAM (DTC転送中)		内部ROM (プログラムROM)	内部ROM (データフラッシュ)	SFR (ワードアクセス)		SFR (バイトアクセス)	SFR (DTCコントロールデータ領域)	
		偶数番地	奇数番地			偶数番地	奇数番地		偶数番地	奇数番地
データ読み出し	1バイトSK1	1		1	2	2		2	1	
	2バイトSK2	1	2	2	4	2	4	4	1	2
データ書き込み	1バイトSL1	1		—	—	2		2	1	
	2バイトSL2	1	2	—	—	2	4	4	1	2

実行サイクル数は下記計算式で求められます。

$$\text{実行サイクル数} = 1 + \Sigma[\text{式A}] + 2$$

Σは1つの起動要因で転送する回数分(CHNEビットが“1”に設定されている数+1)の和

- (1) N = 2n(偶数)のとき

$$\text{式A} = J + n \cdot \text{SK2} + n \cdot \text{SL2}$$

- (2) N = 2n + 1(奇数)のとき

$$\text{式A} = J + n \cdot \text{SK2} + 1 \cdot \text{SK1} + n \cdot \text{SL2} + 1 \cdot \text{SL1}$$

J: コントロールデータ読み出しサイクル数(5サイクル) + 書き戻しに必要なサイクル数

16ビット単位でアクセスする必要のあるレジスタに対して、データ読み出し、またはデータ書き込みを行う場合は、DTBLS<sub>j</sub> (j=0 ~ 23)レジスタに2以上の偶数値を設定してください。

DTCは16ビット単位でアクセスします。

### 15.3.10 DTC起動要因受付と割り込み要因フラグ

#### 15.3.10.1 フラッシュメモリ、タイマRC、シンクロナスシリアルコミュニケーションユニット(SSU)/I<sup>2</sup>Cバス以外の割り込み要因

DTC起動要因がフラッシュメモリ、タイマRC、シンクロナスシリアルコミュニケーションユニット/I<sup>2</sup>Cバス以外の割り込み要因であるとき、DTCは割り込み要因が発生してからCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。ソフトウェアコマンド実行時に割り込み要因が発生した場合、CPUクロックの9～16サイクルの間、同じDTC起動要因を受け付けることができません。また、DTC動作中にDTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクルの間、同じDTC起動要因を受け付けることができません。

#### 15.3.10.2 フラッシュメモリ

DTC起動要因がフラッシュレディステータスのとき、FSTレジスタのRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になってからDTCが“0”(フラッシュレディステータス割り込み要求なし)にするまで、フラッシュレディステータス割り込み要求が発生しても、DTC起動要因になりません。DTCがRDYSTIビットを“0”にした後、フラッシュレディステータス割り込み要求が発生すると、DTCは起動要因として受け付けます。RDYSTIビットが“1”になってから、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル必要です。ソフトウェアコマンド実行時にフラッシュレディステータス割り込みが発生した場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル必要です。また、DTC動作中にフラッシュレディステータス割り込み要求が発生し、DTC起動要因として受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクル後に、RDYSTIビットが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル後に、RDYSTIビットが“0”になります。

#### 15.3.10.3 タイマRC

DTC起動要因がタイマRCの割り込み要因であるとき、割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、各タイマのインプットキャプチャ/コンペア一致が発生しても、DTC起動要因になりません。DTCが割り込み要因フラグを“0”にした後、インプットキャプチャ/コンペア一致が発生すると、DTCは起動要因として受け付けます。割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル+タイマ動作クロックの0.5～1.5サイクル必要です。ソフトウェアコマンド実行時に割り込み要因フラグが“1”になった場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル+タイマ動作クロックの0.5～1.5サイクル必要です。また、DTC起動中にタイマRCの各DTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクル+タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル+タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。

#### 15.3.10.4 SSU/I<sup>2</sup>Cバス受信データフル

DTC起動要因がSSU/I<sup>2</sup>Cバス受信データフルであるとき、データ転送でSSRDR/ICDRRレジスタを読んでください。SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。その後、受信データフルの割り込み要因が発生すると、DTCは起動要因として受け付けます。

#### 15.3.10.5 SSU/I<sup>2</sup>Cバス送信データエンプティ

DTC起動要因がSSU/I<sup>2</sup>Cバス送信データエンプティであるとき、データ転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。その後、送信データエンプティの割り込み要因が発生すると、DTCは起動要因として受け付けます。

## 15.4 DTC使用上の注意

### 15.4.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

### 15.4.2 DTCEN<sub>i</sub> (i=0 ~ 3、5、6) レジスタ

- DTCEN<sub>i0</sub> ~ DTCEN<sub>i7</sub> ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCEN<sub>i0</sub> ~ DTCEN<sub>i7</sub> ビットを変化させないでください。
- DTC転送でDTCEN<sub>i</sub>レジスタをアクセスしないでください。

### 15.4.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I<sup>2</sup>Cバス受信データフルのときは、DTC転送でSSRDR/ICDRRレジスタを読んでください。  
SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。  
ただし、DTCのデータ転送の設定が
  - ノーマルモードかつDTCCT<sub>j</sub> (j=0 ~ 23)レジスタが“1”から“0”になる転送
  - リピートモードかつDTCCR<sub>j</sub>レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCT<sub>j</sub>レジスタが“1”から“0”になる転送のときには、SSRDR/ICDRRレジスタを読んでもSSSR/ICSRレジスタのRDRFビットは“0”(SSRDR/ICDRRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I<sup>2</sup>Cバス送信データエンプティのときは、DTC転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。

### 15.4.4 割り込み要求

DTC起動要因がSSU/I<sup>2</sup>C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCCT<sub>j</sub> (j=0 ~ 23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCR<sub>j</sub>レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCT<sub>j</sub>レジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

## 16. タイマ総論

タイマは、8ビットプリスケアラ付き8ビットタイマを2本と、16ビットタイマを2本内蔵しています。8ビットプリスケアラ付き8ビットタイマは、タイマRA、およびタイマRBの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマRC、タイマRFの2本です。すべてのタイマは、それぞれ独立して動作します。

表16.1に各タイマの機能比較を示します。

表16.1 各タイマの機能比較

項目	タイマRA	タイマRB	タイマRC	タイマRF	
構成	8ビットプリスケアラ付き8ビットタイマ(リロードレジスタ付)	8ビットプリスケアラ付き8ビットタイマ(リロードレジスタ付)	16ビットタイマ(インプットキャプチャ、アウトプットコンペア付)	16ビットタイマ(インプットキャプチャ、アウトプットコンペア付)	
カウント	ダウンカウント	ダウンカウント	アップカウント	アップカウント	
カウントソース	<ul style="list-style-type: none"> <li>f1</li> <li>f2</li> <li>f8</li> <li>fOCO</li> </ul>	<ul style="list-style-type: none"> <li>f1</li> <li>f2</li> <li>f8</li> <li>タイマRAアンダフロー</li> </ul>	<ul style="list-style-type: none"> <li>f1</li> <li>f2</li> <li>f4</li> <li>f8</li> <li>f32</li> <li>fOCO40M</li> <li>fOCO-F</li> <li>TRCCLK</li> </ul>	<ul style="list-style-type: none"> <li>f1</li> <li>f8</li> <li>f32</li> </ul>	
機能	内部のカウントソースのカウント	タイマモード	タイマモード(アウトプットコンペア機能)	アウトプットコンペアモード	
	外部のカウントソースのカウント	イベントカウンタモード	タイマモード(アウトプットコンペア機能)		
	外部パルス幅/周期測定	パルス幅測定モード、パルス周期測定モード	タイマモード(インプットキャプチャ機能; 4本)	インプットキャプチャモード	
	PWM出力	パルス出力モード(注1)、イベントカウンタモード(注1)	プログラマブル波形発生モード	タイマモード(アウトプットコンペア機能; 4本)(注1)、PWMモード(3本)、PWM2モード(1本)	アウトプットコンペアモード
	ワンショット波形出力		プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード	PWMモード(3本)	
	三相波形出力				
時計	—				
入力端子	TRAIO、INT2	INT0	INT0、TRCCLK、TRCTRG、TRCIOA、TRCIOB、TRCIOC、TRCIOD	TRFI	
出力端子	TRA0、TRAIO	TRBO	TRCIOA、TRCIOB、TRCIOC、TRCIOD	TRFO00、TRFO01、TRFO02、TRFO10	
関連する割り込み	タイマRA割り込み、INT2割り込み	タイマRB割り込み、INT0割り込み	コンペア一致/インプットキャプチャA~D割り込み、オーバフロー割り込み、INT0割り込み	コンペア0割り込み、コンペア1割り込み、キャプチャ割り込み、タイマRF割り込み	
タイマ停止	あり	あり	あり		

注1. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

## 17. タイマRA

タイマRAは、8ビットプリスケアラ付き8ビットタイマです。

### 17.1 概要

プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRAPREレジスタ、TRAレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表17.2～表17.6の各モードの仕様を参照)。

タイマRAのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図17.1にタイマRAのブロック図を、表17.1にタイマRAの端子構成を示します。

タイマRAは、次の5種類のモードを持ちます。

- タイマモード 内部カウントソースをカウントするモード
- パルス出力モード 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード
- イベントカウンタモード 外部パルスをカウントするモード
- パルス幅測定モード 外部パルスのパルス幅を測定するモード
- パルス周期測定モード 外部パルスのパルス周期を測定するモード

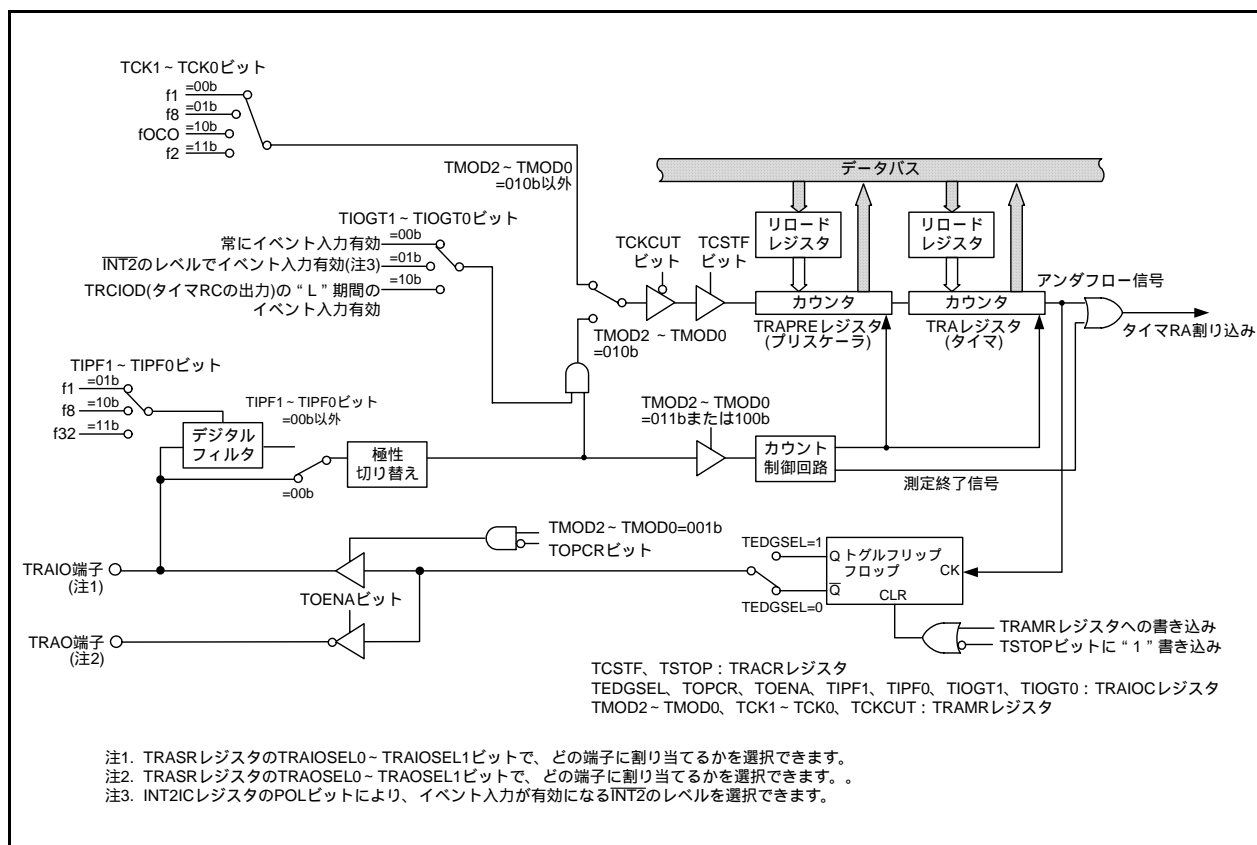


図17.1 タイマRAのブロック図

表17.1 タイマRAの端子構成

端子名	割り当てる端子	入出力	機能
TRAI0	P1_5またはP1_7	入出力	モードによって機能が異なります。
TRAO	P3_0またはP3_7	出力	詳細は各モードを参照してください。

## 17.2 レジスタの説明

## 17.2.1 タイマRA制御レジスタ(TRACR)

アドレス 0100h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TUNDF	TEDGF	-	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRAカウント開始ビット(注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRAカウントステータスフラグ(注1)	0: カウント停止 1: カウント中	R
b2	TSTOP	タイマRAカウント強制停止ビット(注2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b4	TEDGF	有効エッジ判定フラグ(注3、4)	0: 有効エッジなし 1: 有効エッジあり(測定期間終了)	R/W
b5	TUNDF	タイマRAアンダフローフラグ(注3、4)	0: アンダフローなし 1: アンダフローあり	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

注1. TSTART、TCSTFビットの使用上の注意事項については、「17.8 タイマRA使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRAPREレジスタ、TRAレジスタがリセット後の値になります。

注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。

注4. タイマモード、パルス出力モード、イベントカウンタモードでは“0”にしてください。

パルス幅測定モード、パルス周期測定モードでは、TRACRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

## 17.2.2 タイマRA I/O制御レジスタ(TRAIOC)

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	動作モードによって機能が異なる	R/W
b1	TOPCR	TRAIO出力制御ビット		R/W
b2	TOENA	TRAIO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット		R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット		R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

## 17.2.3 タイマRAモードレジスタ(TRAMR)

アドレス 0102h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	-	TCK1	TCK0	-	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	TMOD0	タイマRA動作モード選択ビット	b2 b1 b0 000: タイマモード 001: パルス出力モード 010: イベントカウンタモード 011: パルス幅測定モード 100: パルス周期測定モード 101: 設定しないでください 110: 設定しないでください 111: 設定しないでください	R/W	
b1	TMOD1			R/W	
b2	TMOD2			R/W	
b3	-			何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b4	TCK0			タイマRAカウントソース選択ビット	b5 b4 00: f1 01: f8 10: fOCO 11: f2
b5	TCK1	R/W			
b6	-	予約ビット	“0”にしてください	R/W	
b7	TCKCUT	タイマRAカウントソース遮断ビット	0: カウントソース供給 1: カウントソース遮断	R/W	

TRACRレジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに、TRAMRレジスタを変更してください。

## 17.2.4 タイマRAプリスケアラレジスタ(TRAPRE)

アドレス 0103h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1 (注1)

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソースをカウント	00h ~ FFh	R/W
	パルス出力モード		00h ~ FFh	R/W
	イベントカウンタモード	外部カウントソースをカウント	00h ~ FFh	R/W
	パルス幅測定モード	外部からの入力パルスのパルス幅を測定 (内部カウントソースをカウント)	00h ~ FFh	R/W
	パルス周期測定モード	外部からの入力パルスのパルス周期を測定 (内部カウントソースをカウント)	00h ~ FFh	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAPREレジスタは“FFh”になります。



## 17.2.5 タイマRAレジスタ(TRA)

アドレス 0104h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1 (注1)

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	全モード	TRAPREレジスタのアンダフローをカウント	00h ~ FFh(注2)	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAレジスタは“FFh”になります。

注2. パルス幅測定モードおよびパルス周期測定モードでは、TRAレジスタに00hを設定しないでください。

## 17.2.6 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	TRAOSEL0	-	TRAIOSSEL1	TRAIOSSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSSEL0	TRAI0端子選択ビット	b1 b0 00 : TRAI0端子は使用しない 01 : P1_7に割り当てる 10 : P1_5に割り当てる 11 : 設定しないでください	R/W
b1	TRAIOSSEL1			R/W
b2	-	予約ビット	“0” にしてください	R/W
b3	TRAOSEL0	TRAO端子選択ビット	0 : P3_7に割り当てる 1 : P3_0に割り当てる	R/W
b4	-	予約ビット	“0” にしてください	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

TRASRレジスタは、タイマRAの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

### 17.3 タイマモード

内部で生成されたカウントソースをカウントするモードです(表17.2)。

表17.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	$1/(n+1)(m+1)$ n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値
カウント開始条件	TRACR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRACR レジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRACR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
TRAIO端子機能	プログラマブル入出力ポート
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>

#### 17.3.1 タイマRA I/O制御レジスタ(TRAIOC)[タイマモード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	タイマモードでは“0”にしてください	R/W
b1	TOPCR	TRAIO出力制御ビット		R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください。ただし、ハードウェアLIN機能を使用時は“1”にしてください。	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット	タイマモードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

### 17.3.2 カウント中のタイマ書き込み制御

タイマRAはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケアラやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、カウント中にプリスケアラやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図17.2にタイマRAカウント中にカウント値を書き換えた場合の動作例を示します。

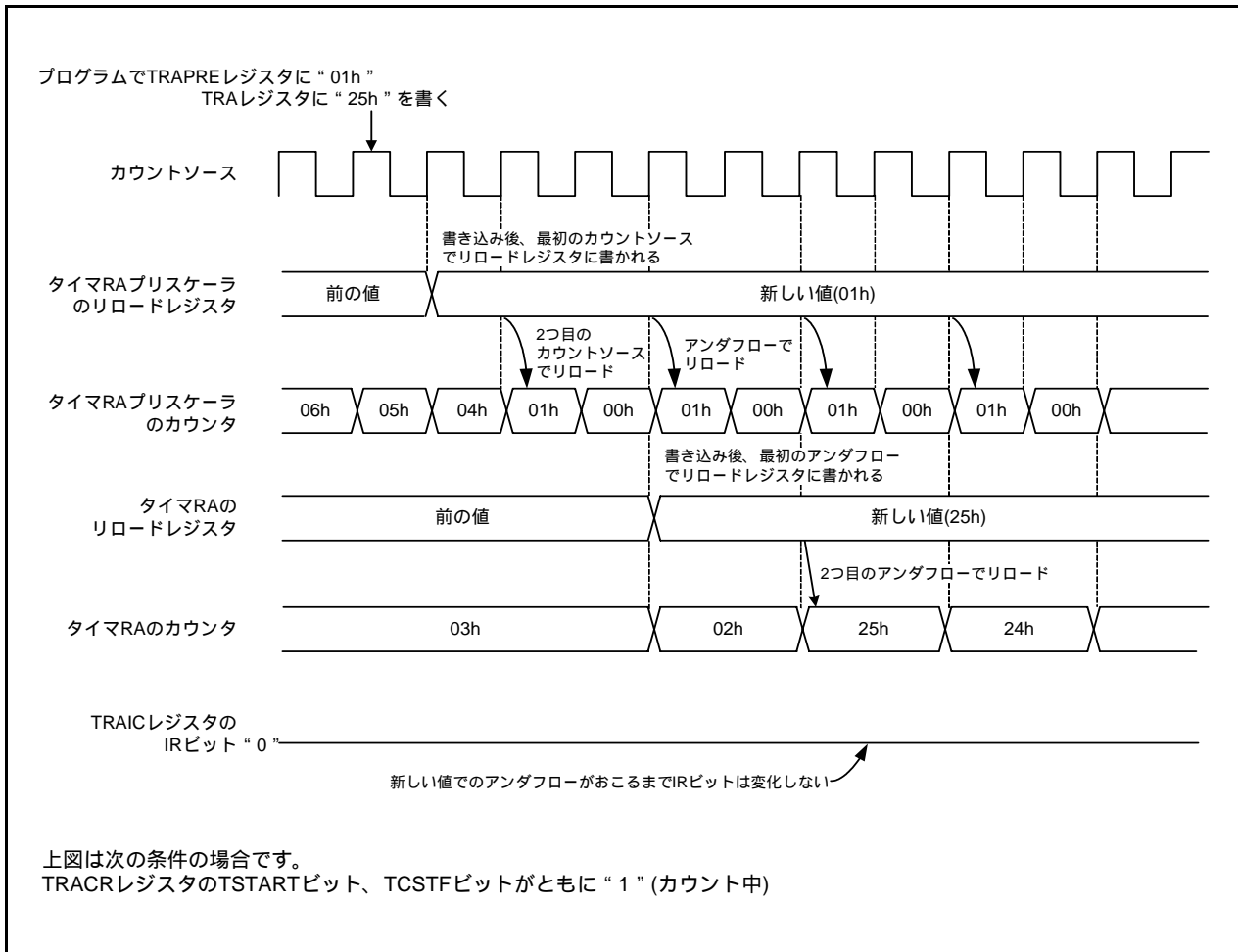


図17.2 タイマRAカウント中にカウント値を書き換えた場合の動作例

## 17.4 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAIO端子から出力するモードです(表17.3)。

表17.3 パルス出力モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	$1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
TRAIO信号端子機能	パルス出力、またはプログラマブル出力ポート
TRAO端子機能	プログラマブル入出力ポート、またはTRAIO出力の反転出力
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• TRAIO出力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでパルス出力開始時のレベルを選択(注1)</li> <li>• TRAIO出力機能 TRAIO出力の極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択)</li> <li>• パルス出力停止機能 TRAIOCレジスタのTOPCRビットでTRAIO端子からのパルス出力を停止</li> <li>• TRAIO端子選択機能 TRASRレジスタのTRAIOSSEL0 ~ TRAIOSSEL1ビットでP1_5またはP1_7を選択</li> <li>• TRAIO端子選択機能 TRASRレジスタのTRAIOSSEL0ビットでP3_0またはP3_7を選択</li> </ul>

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

## 17.4.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス出力モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0：“H”からTRAIO出力開始 1：“L”からTRAIO出力開始	R/W
b1	TOPCR	TRAIO出力制御ビット	0：TRAIO出力 1：TRAIO出力禁止	R/W
b2	TOENA	TRAIO出力許可ビット	0：TRAIO出力禁止 1：TRAIO出力 (TRAIO出力の反転をポートから出力)	R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット	パルス出力モードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0			R/W
b7	TIOGT1	TRAIOイベント入力制御ビット		R/W

## 17.5 イベントカウンタモード

TRAIO端子から入力する外部信号をカウントするモードです(表17.4)。

表17.4 イベントカウンタモードの仕様

項目	仕様
カウントソース	TRAIO端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	$1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRAのアンダフロー時[タイマRA割り込み]
TRAIO信号端子機能	カウントソース入力
TRAO端子機能	プログラマブル入出力ポートまたはパルス出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• TRAIO入力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでカウントソースの有効エッジを選択</li> <li>• カウントソース入力端子選択機能 TRASRレジスタのTRAIOSSEL0 ~ TRAIOSSEL1ビットでP1_5またはP1_7を選択</li> <li>• パルス出力機能 タイマがアンダフローするごとに、極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択)(注1)</li> <li>• TRAO端子選択機能 TRASRレジスタのTRAOSEL0ビットでP3_0またはP3_7を選択</li> <li>• デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRAIOCレジスタのTIPF0 ~ TIPF1ビットで選択</li> <li>• イベント入力制御機能 TRAIO端子へのイベント入力の有効期間をTRAIOCレジスタのTIOGT0 ~ TIOGT1ビットで選択</li> </ul>

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

## 17.5.1 タイマRA I/O制御レジスタ (TRAIOC)[イベントカウンタモード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : TRAIO入力の立ち上がりエッジでカウント また、“L” から TRAO出力開始 1 : TRAIO入力の立ち下がりエッジでカウント また、“H” から TRAO出力開始	R/W
b1	TOPCR	TRAIO出力制御ビット	イベントカウンタモードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット	0 : TRAO出力禁止 1 : TRAO出力	R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	b7 b6 00 : 常にイベント入力有効 01 : INT2のレベルでイベント入力有効(注2) 10 : TRCIOD(タイマRCの出力)の“L”期間のイベント入力有効 11 : 設定しないでください	R/W
b7	TIOGT1			R/W

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

注2. INT2のイベント入力有効を使用する場合は、次の設定をしてください。

- INTENレジスタのINT2ENビットを“1”(INT2入力許可)、INT2PLビットを“0”(片エッジ)にする。
- INT2の極性をINT2ICレジスタのPOLビットで選択する。POLビットを“0”(立ち下がりエッジを選択)にすると、INT2の“H”期間のイベント入力が有効になります。POLビットを“1”(立ち上がりエッジを選択)にすると、INT2の“L”期間のイベント入力が有効になります。
- INT2端子に割り当てたポートのPD6レジスタのPD6\_6ビットを“0”(入力モード)にする。
- INT2のデジタルフィルタをINTFレジスタのINT2F1 ~ INT2F0ビットで選択する。

なお、INT2ICレジスタのPOLビットとINTENレジスタのINT2PLビットの選択と、INT2端子入力の変更にしたがって、INT2ICレジスタのIRビットが“1”(割り込み要求あり)になります。(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

## 17.6 パルス幅測定モード

TRAI0端子から入力する外部信号のパルス幅を測定するモードです(表17.5)。

図17.3にパルス幅測定モード時の動作例を示します。

表17.5 パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• 測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続</li> <li>• アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• タイマRAのアンダフロー時[タイマRA割り込み]</li> <li>• TRAI0入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]</li> </ul>
TRAI0信号端子機能	測定パルス入力
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• 測定レベル設定 TRAI0CレジスタのTEDGSELビットで“H”レベル期間、または“L”レベル期間を選択</li> <li>• 測定パルス入力端子選択機能 TRASRレジスタのTRAI0SEL0～TRAI0SEL1ビットでP1_5またはP1_7を選択</li> <li>• デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択</li> </ul>



## 17.6.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス幅測定モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : TRAI0入力の“L”レベル幅を測定 1 : TRAI0入力の“H”レベル幅を測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b2	TOENA	TRAIO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください。ただし、ハードウェアLIN機能を使用時は“1”にしてください。	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増大します。

## 17.6.2 動作例

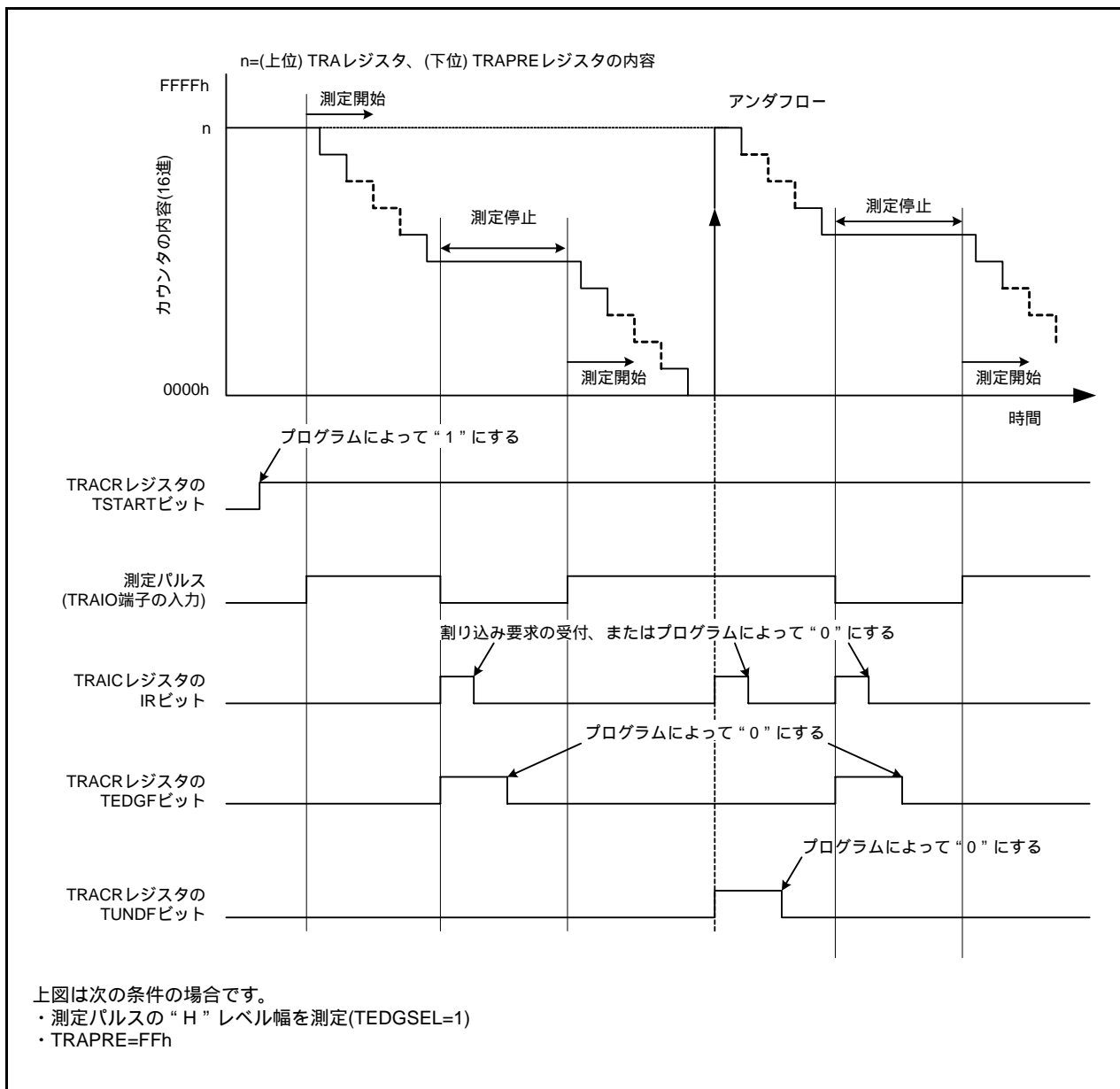


図 17.3 パルス幅測定モード時の動作例

## 17.7 パルス周期測定モード

TRAIO端子から入力する外部信号のパルス周期を測定するモードです(表17.6)。

図17.4にパルス周期測定モード時の動作例を示します。

表17.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• 測定パルスの有効エッジ入力後、1回目のタイマRAプリスケアラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケアラのアンダフロー時にタイマRAはリロードレジスタの内容をリロードしてカウントを継続</li> </ul>
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• タイマRAのアンダフロー時、またはリロード時[タイマRA割り込み]</li> <li>• TRAI0入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]</li> </ul>
TRAIO端子機能	測定パルス入力(注1)
TRA0端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• 測定期間選択 TRAIOCレジスタのTEDGSELビットで入力パルスの測定期間を選択</li> <li>• 測定パルス入力端子選択機能 TRASRレジスタのTRAI0SEL0～TRAI0SEL1ビットでP1_5またはP1_7を選択</li> <li>• デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択</li> </ul>

注1. タイマRAプリスケアラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケアラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

## 17.7.1 タイマRA I/O制御レジスタ (TRAIOC)[パルス周期測定モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b2	TOENA	TRAIO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット (注1)	b5 b4 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

## 17.7.2 動作例

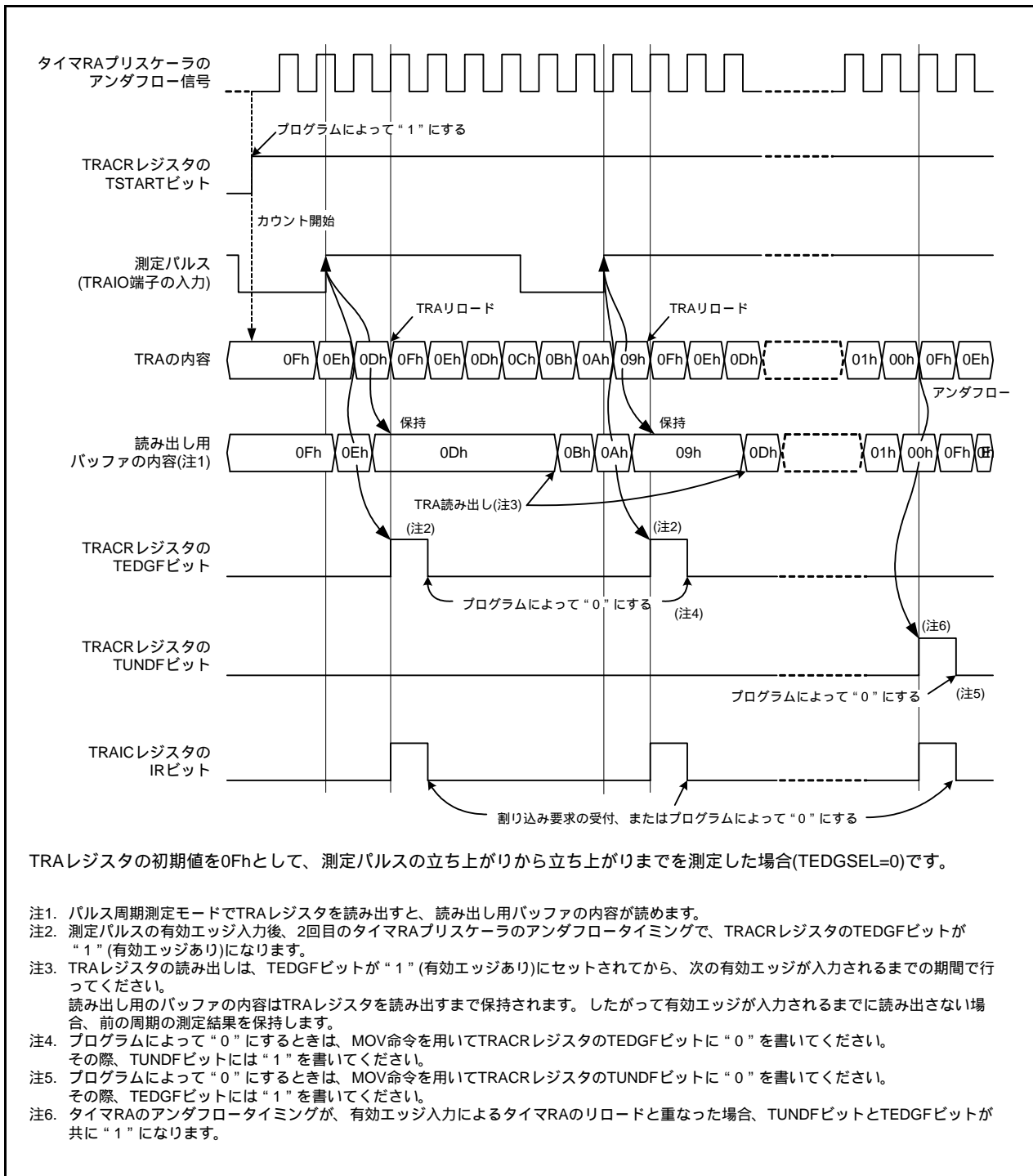


図17.4 パルス周期測定モード時の動作例

## 17.8 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRA プリスケアラのアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRA プリスケアラの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“0”になっています。  
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。  
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。  
カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。  
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA 関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTF ビットが“1”)に TRAPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTF ビットが“1”)に TRA レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRA レジスタに 00h を設定しないでください。

## 18. タイマRB

タイマRBは、8ビットプリスケアラ付き8ビットタイマです。

### 18.1 概要

プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表18.2～表18.5の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図18.1にタイマRBのブロック図を、表18.1にタイマRBの端子構成を示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード 内部カウントソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード
- プログラマブル波形発生モード 任意のパルス幅を連続して出力するモード
- プログラマブルワンショット発生モード ワンショットパルスを出力するモード
- プログラマブルウェイトワンショット発生モード ディレイドワンショットパルスを出力するモード

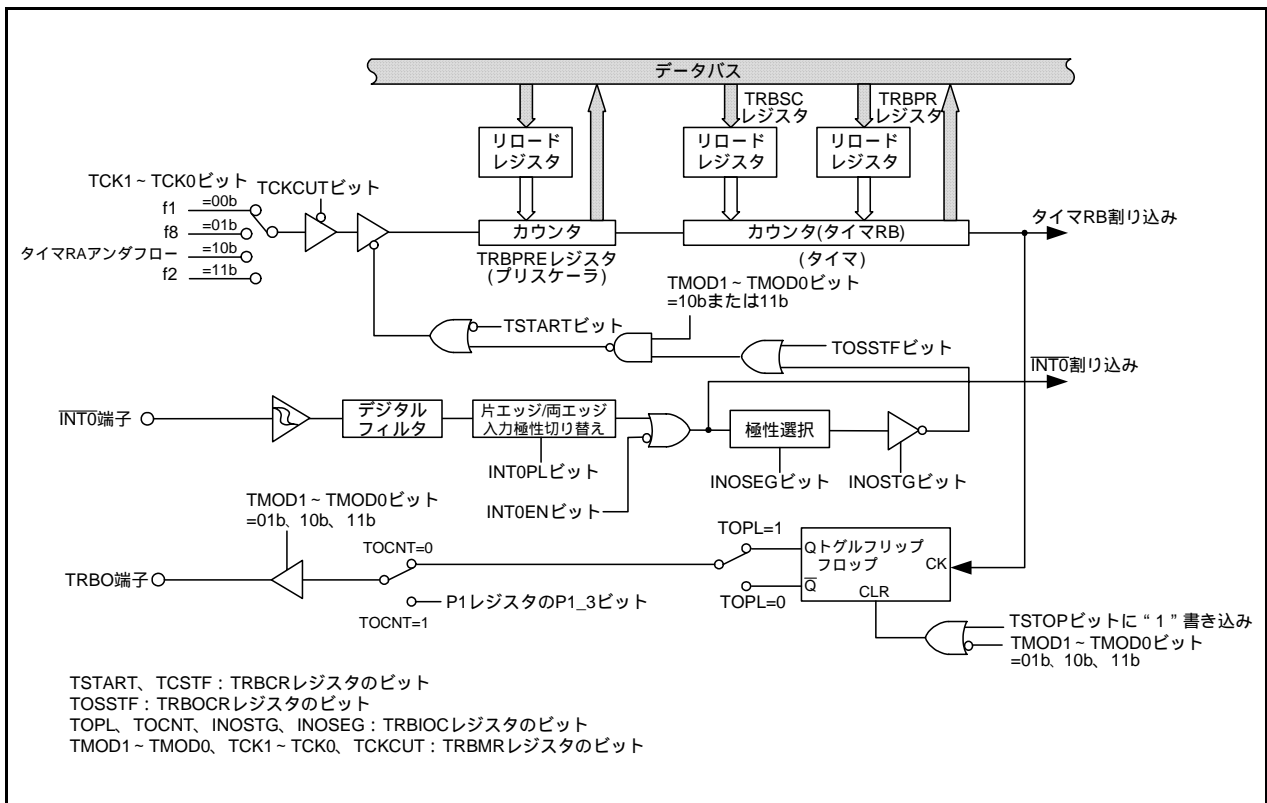


図18.1 タイマRBのブロック図

表18.1 タイマRBの端子構成

端子名	割り当てる端子	入出力	機能
TRBO	P1_3	出力	パルス出力(プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード)

## 18.2 レジスタの説明

## 18.2.1 タイマRB制御レジスタ(TRBCR)

アドレス 0108h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRBカウント開始ビット(注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRBカウントステータスフラグ(注1)	0: カウント停止 1: カウント中(注3)	R
b2	TSTOP	タイマRBカウント強制停止ビット(注1、2)	“1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「18.7 タイマRB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSTFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

## 18.2.2 タイマRBワンショット制御レジスタ(TRBOCR)

アドレス 0109h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマRBワンショット開始ビット	“1”を書くとワンショットトリガを発生します。読んだ場合、その値は“0”。	R/W
b1	TOSSP	タイマRBワンショット停止ビット	“1”を書くとワンショットパルス(ウェイト含む)のカウントを停止します。読んだ場合、その値は“0”。	R/W
b2	TOSSTF	タイマRBワンショットステータスフラグ(注1)	0: ワンショット停止中 1: ワンショット動作中(ウェイト期間含む)	R
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	-			
b6	-			
b7	-			

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

TRBOCRレジスタは、TRBMRレジスタのTMOD1～TMOD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。



## 18.2.3 タイマRB I/O制御レジスタ(TRBIOC)

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	動作モードによって機能が異なる	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

## 18.2.4 タイマRBモードレジスタ(TRBMR)

アドレス 010Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	-	TCK1	TCK0	TWRC	-	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRB動作モード選択ビット (注1)	b1 b0 00: タイマモード 01: プログラマブル波形発生モード 10: プログラマブルワンショット発生モード 11: プログラマブルウェイトワンショット発生モード	R/W
b1	TMOD1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	TWRC	タイマRB書き込み制御ビット (注2)	0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマRBカウントソース選択ビット (注1)	b5 b4 00: f1 01: f8 10: タイマRAのアンダフロー (注3) 11: f2	R/W
b5	TCK1			R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	TCKCUT	タイマRBカウントソース遮断 ビット(注1)	0: カウントソース供給 1: カウントソース遮断	R/W

注1. TMOD1 ~ TMOD0ビット、TCK1 ~ TCK0ビット、TCKCUTビットは、TRBCRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

注3. タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

## 18.2.5 タイマRBプリスケアラレジスタ(TRBPRES)

アドレス 010Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	内部カウントソース、またはタイマRAアンダフローをカウント	00h ~ FFh	R/W
	プログラマブル波形発生モード		00h ~ FFh	R/W
	プログラマブルワンショット発生モード		00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード		00h ~ FFh	R/W

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRESレジスタは“FFh”になります。

## 18.2.6 タイマRBセカンダリレジスタ(TRBSC)

アドレス 010Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	無効	00h ~ FFh	-
	プログラマブル波形発生モード	タイマRBプリスケアラのアンダフローをカウント(注1)	00h ~ FFh	W (注2)
	プログラマブルワンショット発生モード	無効	00h ~ FFh	-
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	W (注2)

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBSCレジスタは“FFh”になります。

TRBSCレジスタに書き込むときは、次の手順で書いてください。

- (1) TRBSCレジスタに値を書く
- (2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

## 18.2.7 タイマRBプライマリレジスタ(TRBPR)

アドレス 010Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7 ~ b0	タイマモード	タイマRBプリスケアラのアンダフローをカウント	00h ~ FFh	R/W
	プログラマブル波形発生モード	タイマRBプリスケアラのアンダフローをカウント(注1)	00h ~ FFh	R/W
	プログラマブルワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ワンショット幅をカウント)	00h ~ FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケアラのアンダフローをカウント(ウェイト期間をカウント)	00h ~ FFh	R/W

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRレジスタは“FFh”になります。

## 18.3 タイマモード

内部で生成されたカウントソースまたはタイマRAのアンダフローをカウントするモードです(表18.2)。タイマモード時、TRBOCRおよびTRBSCレジスタは使用しません。

表18.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	ダウンカウント <ul style="list-style-type: none"> <li>アンダフロー時リロードレジスタの内容をリロードしてカウントを継続(タイマRBのアンダフロー時はタイマRBプライマリリロードレジスタの内容をリロード)</li> </ul>
分周比	$1/(n+1)(m+1)$ n: TRBPRESレジスタの設定値、m: TRBPRレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	タイマRBのアンダフロー時[タイマRB割り込み]
TRBO端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、TRBMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる(「18.3.2 カウント中のタイマ書き込み制御」参照)。</li> </ul>

## 18.3.1 タイマRB I/O制御レジスタ(TRBIOC)[タイマモード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	タイマモードでは“0”にしてください	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

### 18.3.2 カウント中のタイマ書き込み制御

タイマRBはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)をもち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケアラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケアラの値を変更すると書き込んだときの周期がずれます。図18.2にタイマRBカウント中にカウント値を書き換えた場合の動作例を示します。

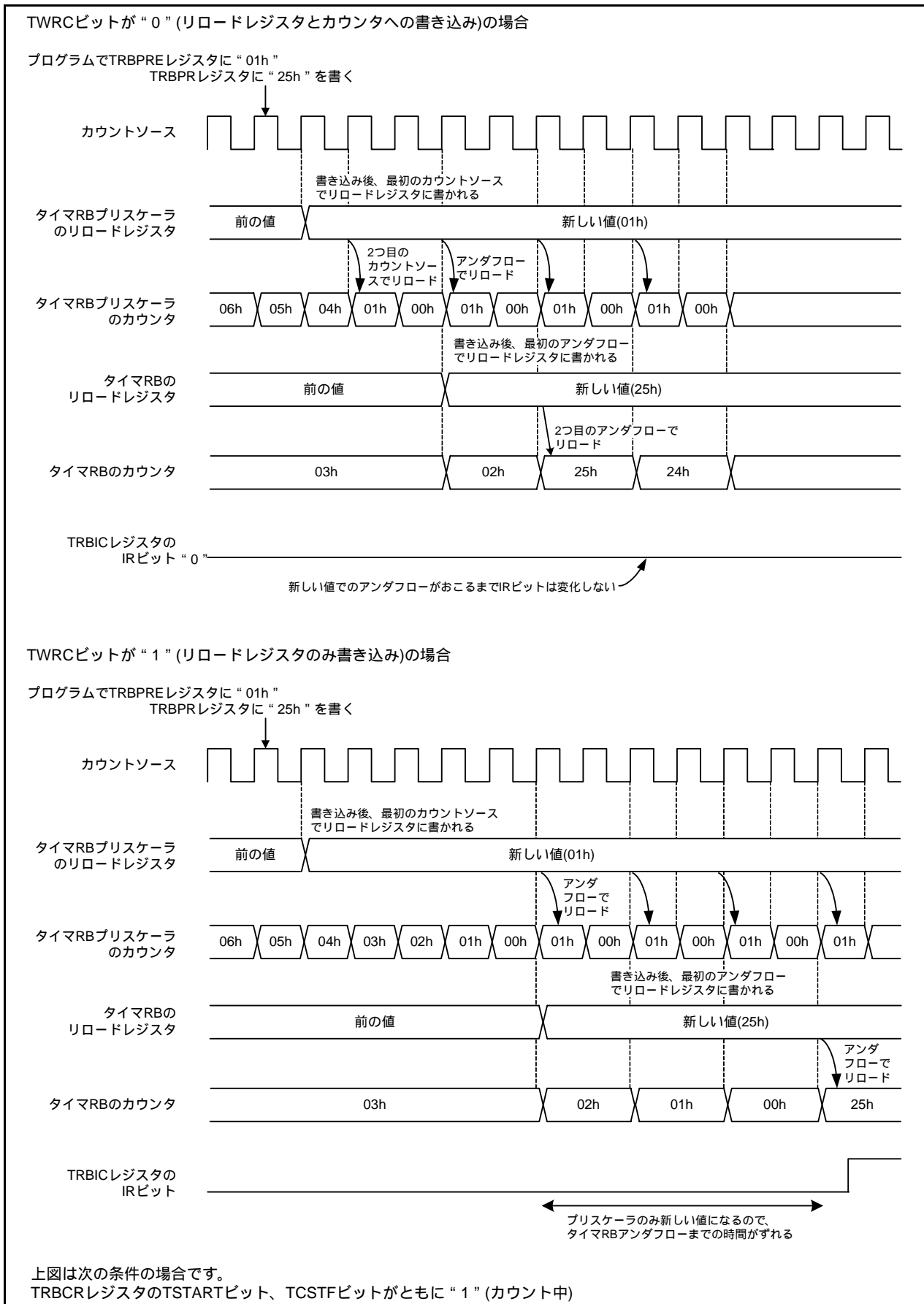


図 18.2 タイマRBカウント中にカウント値を書き換えた場合の動作例

## 18.4 プログラマブル波形発生モード

TRBPR レジスタと TRBSC レジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO 端子から出力する信号を反転するモードです(表18.3)。カウント開始時は、TRBPR レジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCR レジスタは使用しません。

図18.3にプログラマブル波形発生モード時のタイマRBの動作例を示します。

表18.3 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>• ダウンカウント</li> <li>• アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続</li> </ul>
出力波形の幅、周期	プライマリ期間： $(n+1)(m+1)/f_i$ セカンダリ期間： $(n+1)(p+1)/f_i$ 周期： $(n+1)\{(m+1)+(p+1)\}/f_i$ $f_i$ ：カウントソースの周波数 $n$ ：TRBPRES レジスタの設定値、 $m$ ：TRBPR レジスタの設定値 $p$ ：TRBSC レジスタの設定値
カウント開始条件	TRBCR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>• TRBCR レジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRBCR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO出力の変化と同時に)[タイマRB割り込み]
TRBO端子機能	プログラマブル出力ポート、またはパルス出力
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPR レジスタ、TRBPRES レジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルをTOPLビットで選択</li> <li>• TRBO端子出力切り替え機能 TRBIOC レジスタのTOCNTビットでタイマRBパルス出力またはP1_3ラッチ出力を選択(注3)</li> </ul>

注1. セカンダリ期間をカウント中でも、TRBPR レジスタを読み出してください。

注2. 波形の出力は、TRBPR レジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TOCNTビットに書いた値は、次のタイミングで有効になります。

- カウント開始時
- タイマRB割り込み要求発生時

したがって、TOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

## 18.4.1 タイマRB I/O制御レジスタ (TRBIOC)[プログラマブル波形発生モード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0 : プライマリ期間 “H” 出力 セカンダリ期間 “L” 出力 タイマ停止時 “L” 出力 1 : プライマリ期間 “L” 出力 セカンダリ期間 “H” 出力 タイマ停止時 “H” 出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	0 : タイマRB波形出力 1 : P1_3ポートラッチの値を出力	R/W
b2	INOSTG	ワンショットトリガ制御ビット	プログラマブル波形発生モードでは “0” にしてください	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		-
b5	-			
b6	-			
b7	-			



## 18.4.2 動作例

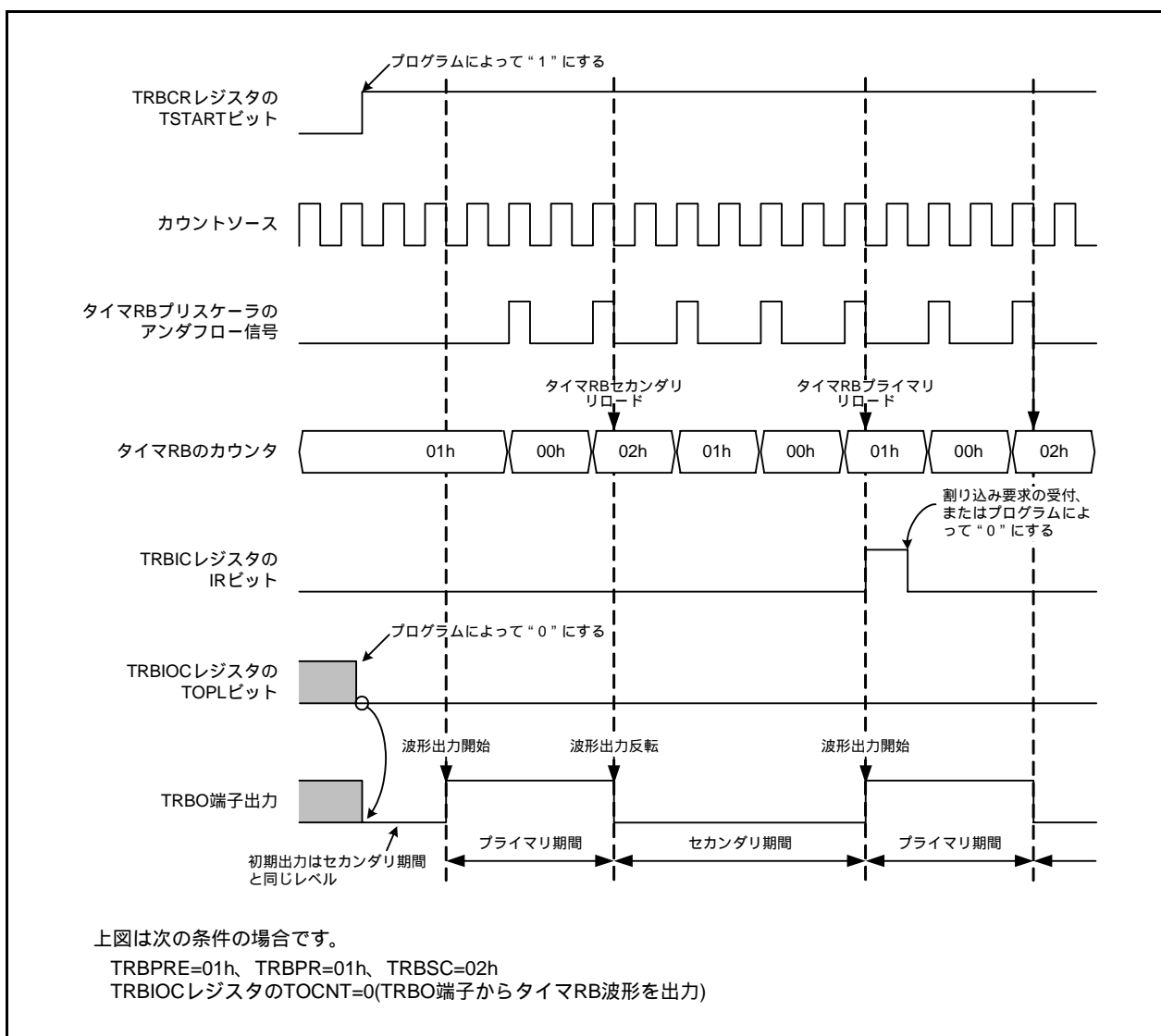


図18.3 プログラマブル波形発生モード時のタイマRBの動作例

### 18.5 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルス(TRBO端子から出力するモードです(表18.4)。トリガが発生するとその時点から任意の時間(TRBPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBSCレジスタは使用しません。図18.4にプログラマブルワンショット発生モード時の動作例を示します。

表18.4 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>• TRBPRレジスタの設定値をダウンカウント</li> <li>• アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる</li> <li>• カウント停止時、リロードレジスタの内容をリロードし停止</li> </ul>
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBPREレジスタの設定値、 $m$ : TRBPRレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> <li>• TRBCRレジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生</li> <li>• TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み</li> <li>• INT0端子へのトリガ入力</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>• タイマRBプライマリカウント時のカウントの値がアンダフローし、リロードした後</li> <li>• TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み</li> <li>• TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>• TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後 (TRBO端子からの波形出力の終了と同時に)[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	<ul style="list-style-type: none"> <li>• TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合プログラマブル入出力ポート、またはINT0割り込み入力</li> <li>• TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合外部トリガ(INT0割り込み入力)</li> </ul>
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>• カウント停止中に、TRBPREレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>• カウント中に、TRBPREレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注1)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択</li> <li>• ワンショットトリガ選択機能 「18.5.3 ワンショットトリガ選択」参照</li> </ul>

注1. TRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

## 18.5.1 タイマRB I/O制御レジスタ(TRBIOC)[プログラマブルワンショット発生モード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0: ワンショットパルス“H”出力 タイマ停止時“L”出力 1: ワンショットパルス“L”出力 タイマ停止時“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルワンショット発生モードでは“0” にしてください	R/W
b2	INOSTG	ワンショットトリガ制御ビット (注1)	0: INTO端子ワンショットトリガ無効 1: INTO端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット (注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

注1. 「18.5.3 ワンショットトリガ選択」を参照してください。

18.5.2 動作例

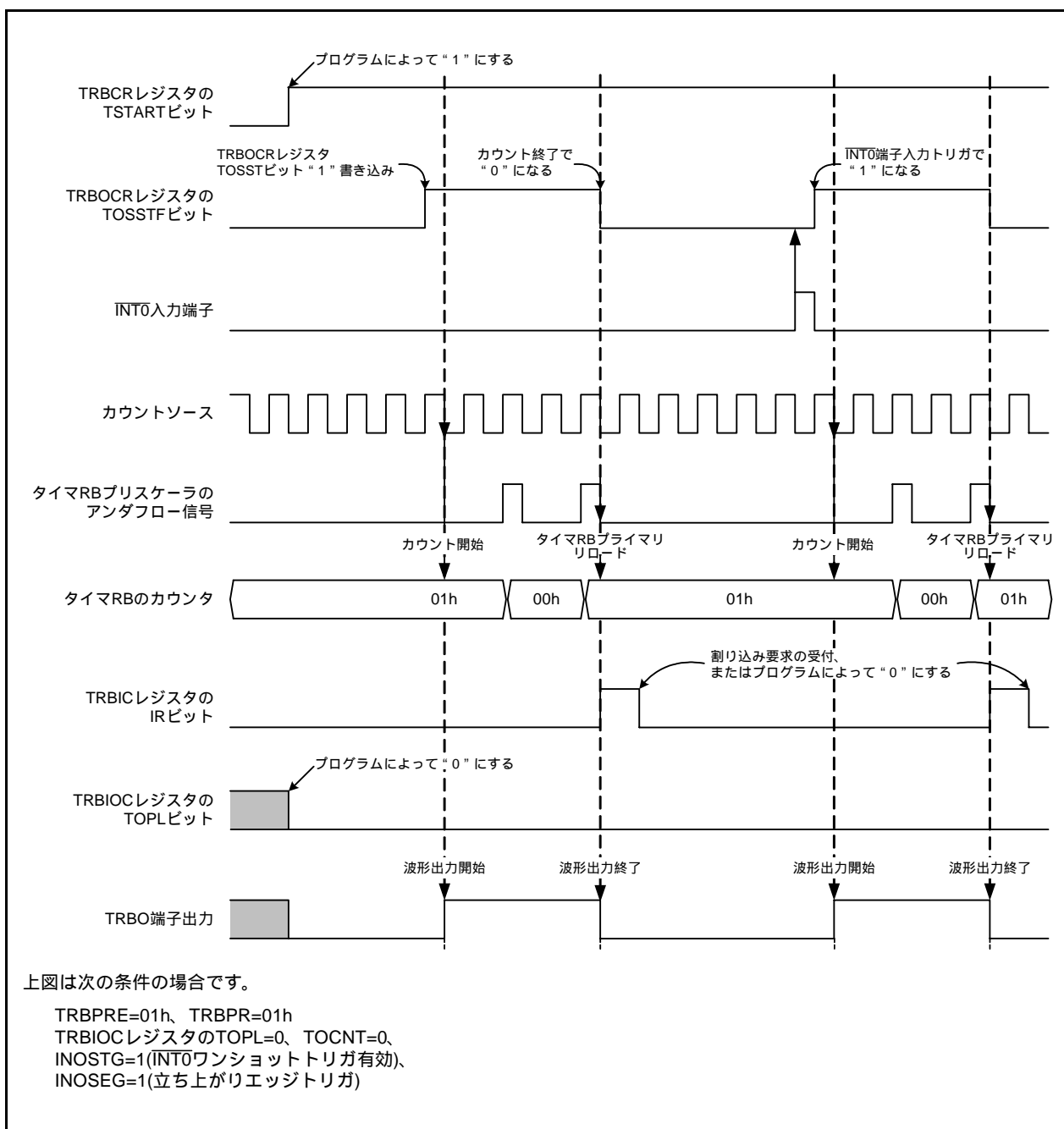


図18.4 プログラマブルワンショット発生モード時の動作例

### 18.5.3 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが“1”(カウント開始)の状態、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBOCRレジスタのTOSSTビットに“1”を書く
- INT0端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2サイクル経ってからTRBOCRレジスタのTOSSTFビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTFビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

INT0端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- PD4レジスタのPD4\_5ビットを“0”(入力ポート)にする
- INT0のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択
- INTENレジスタのINT0PLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらにTRBIOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する
- INTENレジスタのINT0ENを“1”(許可)にする
- 上記の設定後、TRBIOCレジスタのINOSTGビットを“1”(INT0端子ワンショットトリガ有効)にする

なお、INT0端子からのトリガ入力での割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「11. 割り込み」を参照してください。
- 片エッジを選択した場合は、INT0ICレジスタのPOLビットで立ち下がりまたは立ち上がりエッジを選択してください(TRBIOCレジスタのINOSEGビットはINT0割り込みとは無関係です)。
- TOSSTFビットが“1”の期間に、ワンショットトリガが発生してもタイマRBの動作には影響ありませんが、INT0ICレジスタのIRビットは変化します。

## 18.6 プログラマブルウェイトワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)から、一定時間後にワンショットパルス(TRBO端子から出力するモードです(表18.5)。トリガが発生すると、その時点から任意の時間(TRBPRレジスタの設定値)後、一度だけ任意の時間(TRBSCレジスタの設定値)パルス出力を行います。

図18.5にプログラマブルウェイトワンショット発生モードの動作例を示します。

表18.5 プログラマブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>タイマRBプライマリの設定値をダウンカウント</li> <li>タイマRBプライマリのカウントがアンダフロー時、タイマRBセカンダリの内容をリロードしてカウントを継続</li> <li>タイマRBセカンダリのカウントがアンダフロー時、タイマRBプライマリの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる</li> <li>カウント停止時、リロードレジスタの内容をリロードし停止</li> </ul>
ウェイト時間	$(n+1)(m+1)/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBPRESレジスタの設定値、 $m$ : TRBPRレジスタの設定値
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ $f_i$ : カウントソースの周波数 $n$ : TRBPRESレジスタの設定値、 $p$ : TRBSCレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> <li>TRBCRレジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生</li> <li>TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み</li> <li>INT0端子へのトリガ入力</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>タイマRBセカンダリカウント時のカウントの値がアンダフローし、リロードした後</li> <li>TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み</li> <li>TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO端子からの波形出力の終了と同時に)[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	<ul style="list-style-type: none"> <li>TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力</li> <li>TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)</li> </ul>
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>カウント停止中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>カウント中に、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注1)</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択</li> <li>ワンショットトリガ選択機能 「18.5.3 ワンショットトリガ選択」参照</li> </ul>

注1. TRBSCレジスタおよびTRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

### 18.6.1 タイマRB I/O制御レジスタ (TRBIOC) [プログラマブルウェイトワンショット発生モード時]

アドレス 010Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0: ワンショットパルス “H” 出力 タイマ停止時とウェイト中は “L” 出力 1: ワンショットパルス “L” 出力 タイマ停止時とウェイト中は “H” 出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルウェイトワンショット発生モードでは “0” にしてください。	R/W
b2	INOSTG	ワンショットトリガ制御ビット (注1)	0: INTO端子ワンショットトリガ無効 1: INTO端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット (注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	R/W
b4	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は “0”。		-
b5	-			
b6	-			
b7	-			

注1. 「18.5.3 ワンショットトリガ選択」を参照してください。

18.6.2 動作例

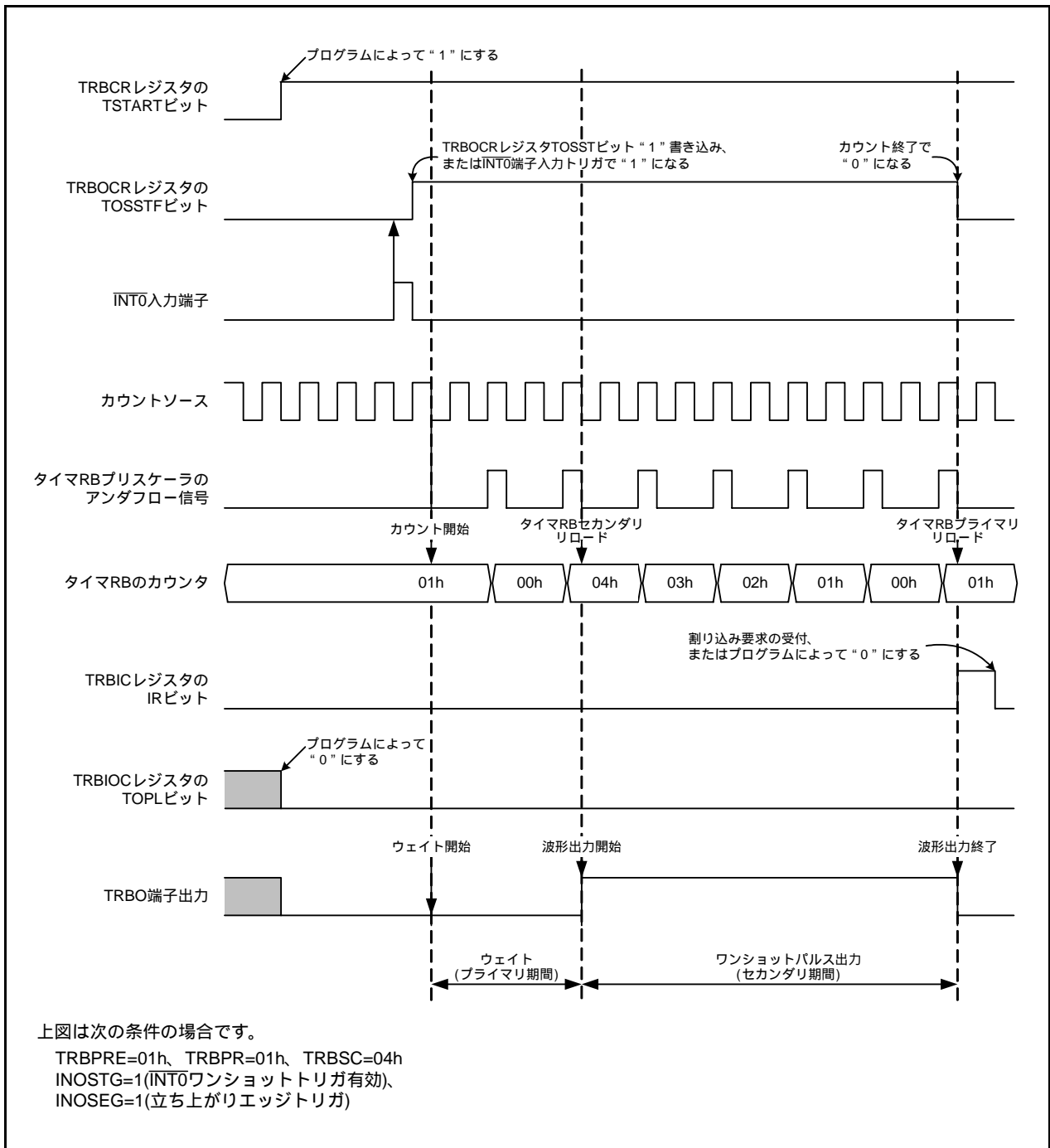


図 18.5 プログラマブルウェイトワンショット発生モードの動作例



## 18.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。  
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。  
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。  
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

### 18.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 18.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 18.7.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 18.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

## 19. タイマRC

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

### 19.1 概要

タイマRCの動作クロックはf1、fOCO40MまたはfOCO-Fです。表19.1にタイマRCの動作クロックを示します。

表19.1 タイマRCの動作クロック

条件	タイマRCの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1
カウントソースがfOCO40M (TRCCR1レジスタのTCK2～TCK0ビットが“110b”)	fOCO40M
カウントソースがfOCO-F (TRCCR1レジスタのTCK2～TCK0ビットが“111b”)	fOCO-F

表19.2にタイマRCの端子構成を、図19.1にタイマRCのブロック図を示します。

タイマRCは3種類のモードを持ちます。

- タイマモード

- インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能 (検出時に端子出力変更可能)

次の2つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- PWM2モード トリガからウェイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

PWM2モードは、カウンタやレジスタを組み合わせせて波形を出力します。端子の機能はモードによって決まります。

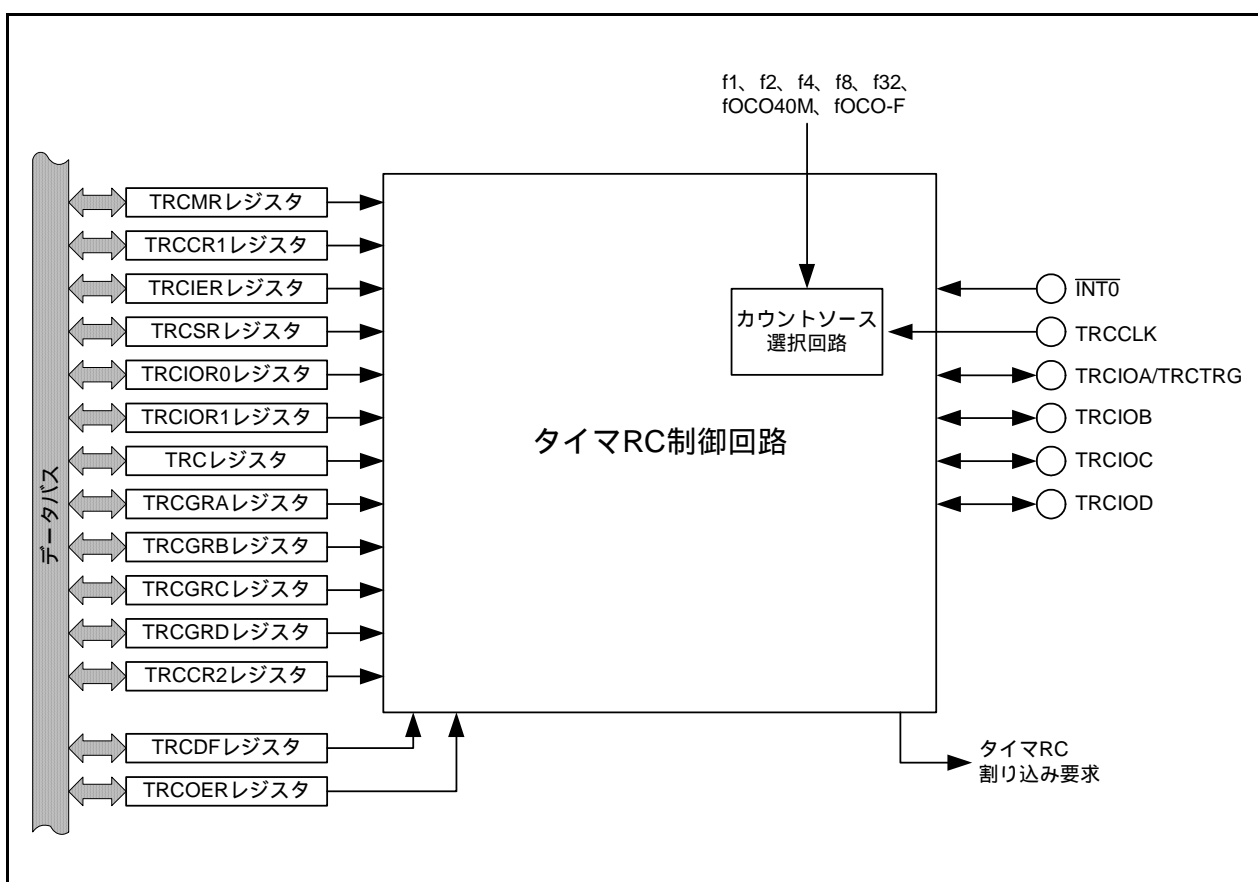


図19.1 タイマRCのブロック図

表19.2 タイマRCの端子構成

端子名	割り当てる端子	入出力	機能
TRCIOA	P0_0、P0_1、P0_2またはP1_1	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRCIOB	P0_3、P0_4、P0_5またはP1_2		
TRCIOC	P0_7、P1_3またはP3_4		
TRCIOD	P0_6、P1_0、P3_5またはP6_7		
TRCCLK	P1_4またはP3_3	入力	外部クロック入力
TRCTRГ	P0_0、P0_1、P0_2またはP1_1	入力	PWM2モードの外部トリガ入力

## 19.2 レジスタの説明

表19.3にタイマRC関連レジスタ一覧を示します。

表19.3 タイマRC関連レジスタ一覧

番地	シンボル	モード				参照先
		タイマ		PWM	PWM2	
		インプ ットキャ プチャ 機能	アウトプ ットコン ペア 機能			
0008h	MSTCR	有効	有効	有効	有効	19.2.1 モジュールスタンバイ制御レジスタ(MSTCR)
0120h	TRCMR	有効	有効	有効	有効	19.2.2 タイマRCモードレジスタ(TRCMR)
0121h	TRCCR1	有効	有効	有効	有効	タイマRC制御レジスタ1 19.2.3 タイマRC制御レジスタ1 (TRCCR1) 19.5.1 タイマRC制御レジスタ1 (TRCCR1) [タイマ モード(アウトプットコンペア機能)時] 19.6.1 タイマRC制御レジスタ1 (TRCCR1)[PWM モード時] 19.7.1 タイマRC制御レジスタ1 (TRCCR1)[PWM2 モード時]
0122h	TRCIER	有効	有効	有効	有効	19.2.4 タイマRC割り込み許可レジスタ(TRCIER)
0123h	TRCSR	有効	有効	有効	有効	19.2.5 タイマRCステータスレジスタ(TRCSR)
0124h	TRCIOR0	有効	有効			タイマRC I/O制御レジスタ0、タイマRC I/O制御レジ スタ1 19.2.6 タイマRC I/O制御レジスタ0 (TRCIOR0) 19.2.7 タイマRC I/O制御レジスタ1 (TRCIOR1) 19.4.1 タイマRC I/O制御レジスタ0 (TRCIOR0) [タ イマモード(インプットキャプチャ機能)時] 19.4.2 タイマRC I/O制御レジスタ1 (TRCIOR1) [タ イマモード(インプットキャプチャ機能)時] 19.5.2 タイマRC I/O制御レジスタ0 (TRCIOR0) [タ イマモード(アウトプットコンペア機能)時] 19.5.3 タイマRC I/O制御レジスタ1 (TRCIOR1) [タ イマモード(アウトプットコンペア機能)時]
0125h	TRCIOR1					
0126h 0127h	TRC	有効	有効	有効	有効	19.2.8 タイマRCカウンタ(TRC)
0128h 0129h	TRCGRA	有効	有効	有効	有効	19.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、 TRCGRD)
012Ah 012Bh	TRCGRB					
012Ch 012Dh	TRCGRC					
012Eh 012Fh	TRCGRD					
0130h	TRCCR2		有効	有効	有効	19.2.10 タイマRC制御レジスタ2 (TRCCR2)
0131h	TRCDF	有効			有効	19.2.11 タイマRCデジタルフィルタ機能選択レジス タ(TRCDF)
0132h	TRCOER		有効	有効	有効	19.2.12 タイマRCアウトプットマスタ許可レジスタ (TRCOER)
0133h	TRCADCR		有効	有効	有効	19.2.13 タイマRCトリガ制御レジスタ(TRCADCR)
0181h	TRBRCSR	有効	有効	有効	有効	19.2.14 タイマRC端子選択レジスタ(TRBRCSR)
0182h	TRCPSR0	有効	有効	有効	有効	19.2.15 タイマRC端子選択レジスタ0 (TRCPSR0)
0183h	TRCPSR1	有効	有効	有効	有効	19.2.16 タイマRC端子選択レジスタ1 (TRCPSR1)

: 無効

## 19.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	MSTTRC	-	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	-	予約ビット	“0” にしてください	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. スタンバイにする前に、SSU、I<sup>2</sup>C機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

## 19.2.2 タイマRCモードレジスタ(TRCMR)

アドレス 0120h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	-	BFD	BFC	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b1	PWMC	TRCIOD PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b2	PWMD	TRCIOD PWMモード選択ビット (注1)	0: タイマモード 1: PWMモード	R/W
b3	PWM2	PWM2モード選択ビット	0: PWM2モード 1: タイマモードまたはPWMモード	R/W
b4	BFC	TRCGRCレジスタ機能選択ビット (注2)	0: ジェネラルレジスタ 1: TRCGRAレジスタのバッファレジスタ	R/W
b5	BFD	TRCGRDレジスタ機能選択ビット	0: ジェネラルレジスタ 1: TRCGRBレジスタのバッファレジスタ	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b7	TSTART	TRCカウント開始ビット	0: カウント停止 1: カウント開始	R/W

注1. これらのビットはPWM2ビットが“1”(タイマモードまたはPWMモード)のとき有効です。

注2. PWM2モードではBFCビットを“0”(ジェネラルレジスタ)にしてください。

TRCMRレジスタのPWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

## 19.2.3 タイマRC制御レジスタ1 (TRCCR1)

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	動作モード(機能)によって機能が異なる	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注2)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0 : クリア禁止(フリーランニング動作) 1 : インพุットキャプチャまたはTRCGRAのコンペア一致でTRCカウンタをクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

## 19.2.4 タイマRC割り込み許可レジスタ(TRCIER)

アドレス 0122h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	-	-	-	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インพุットキャプチャ/コンペア一致 割り込み許可ビットA	0 : IMFAビットによる割り込み(IMIA)禁止 1 : IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インพุットキャプチャ/コンペア一致 割り込み許可ビットB	0 : IMFBビットによる割り込み(IMIB)禁止 1 : IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インพุットキャプチャ/コンペア一致 割り込み許可ビットC	0 : IMFCビットによる割り込み(IMIC)禁止 1 : IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インพุットキャプチャ/コンペア一致 割り込み許可ビットD	0 : IMFDビットによる割り込み(IMID)禁止 1 : IMFDビットによる割り込み(IMID)許可	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	OVIE	オーバフロー割り込み許可ビット	0 : OVFBビットによる割り込み(OVI)禁止 1 : OVFBビットによる割り込み(OVI)許可	R/W



## 19.2.5 タイマRCステータスレジスタ(TRCSR)

アドレス 0123h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	-	-	-	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表19.4 各フラグが“1”になる要因」を参照	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB		R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC		R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD		R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表19.4 各フラグが“1”になる要因」を参照	R/W

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

表19.4 各フラグが“1”になる要因

ビット シンボル	タイマモード		PWMモード	PWM2モード
	インプットキャプチャ機能	アウトプット コンペア機能		
IMFA	TRCIOA端子の入力エッジ(注1)	TRCとTRCGRAの値が一致したとき		
IMFB	TRCIOB端子の入力エッジ(注1)	TRCとTRCGRBの値が一致したとき		
IMFC	TRCIOC端子の入力エッジ(注1)	TRCとTRCGRCの値が一致したとき(注2)		
IMFD	TRCIOD端子の入力エッジ(注1)	TRCとTRCGRDの値が一致したとき(注2)		
OVF	TRCがオーバフローしたとき			

注1. TRCIOR0、TRCIOR1レジスタのIOj1 ~ IOj0ビット(j=A、B、C、D)で選択したエッジ。

注2. TRCMRレジスタのBFC、BFDビットが“1”(TRCGRA、TRCGRBのバッファレジスタ)の場合を含む。

## 19.2.6 タイマRC I/O制御レジスタ0 (TRCIOR0)

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRAモード選択ビット(注1)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切替ビット(注3)	0: fOCO128信号 1: TRCIOA端子入力	R/W
b4	IOB0	TRCGRB制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRBモード選択ビット(注2)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

TRCIOR0レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

## 19.2.7 タイマRC I/O制御レジスタ1 (TRCIOR1)

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	0: アウトプットコンペア機能 1: インプットキャプチャ機能	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

TRCIOR1レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

## 19.2.8 タイマRCカウンタ(TRC)

アドレス 0127h ~ 0126h 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15 ~ b0	カウントソースをカウント。カウント動作はアップカウント。オーバーフローすると、TRCSRレジスタのOVFビットが“1”になる。	0000h ~ FFFFh	R/W

TRCレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

19.2.9 タイマRCジェネラルレジスタA、B、C、D  
(TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0129h ~ 0128h 番地 (TRCGRA)、012Bh ~ 012Ah 番地 (TRCGRB)、 012Dh ~ 012Ch 番地 (TRCGRC)、012Fh ~ 012Eh 番地 (TRCGRD)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15 ~ b0	モードによって機能が異なる	R/W

TRCGRA ~ TRCGRDレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

## 19.2.10 タイマRC制御レジスタ2 (TRCCR2)

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウント動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペア一致後もカウント継続 1 : TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

## 19.2.11 タイマRC デジタルフィルタ機能選択レジスタ (TRCDF)

アドレス 0131h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	-	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b1	DFB	TRCIOB 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b2	DFC	TRCIOC 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b3	DFD	TRCIOD 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b4	DFTRG	TRCTRG 端子デジタルフィルタ機能 選択ビット(注2)	0: 機能なし 1: 機能あり	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	DFCK0	デジタルフィルタ機能用クロック選 択ビット(注1、2)	b7 b6 00: f32 01: f8 10: f1 11: カウントソース (TRCCR1 レジスタのTCK2 ~ TCK0 ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

## 19.2.12 タイマRCアウトプットマスタ許可レジスタ(TRCOER)

アドレス 0132h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	-	-	-	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOA端子はプログラマブル入出力ポート)	R/W
b1	EB	TRCIOB出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOB端子はプログラマブル入出力ポート)	R/W
b2	EC	TRCIOC出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOC端子はプログラマブル入出力ポート)	R/W
b3	ED	TRCIOD出力禁止ビット(注1)	0: 出力許可 1: 出力禁止 (TRCIOD端子はプログラマブル入出力ポート)	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-			
b6	-			
b7	PTO	パルス出力強制遮断信号入力INT0有効ビット	0: パルス出力強制遮断入力無効 1: パルス出力強制遮断入力有効 (INT0端子に“L”を入力すると、EA、EB、EC、EDビットが“1”(出力禁止)になる)	R/W

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

## 19.2.13 タイマRCトリガ制御レジスタ(TRCADCR)

アドレス 0133h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	ADTRGDE	ADTRGCE	ADTRGBE	ADTRGAE
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGAE	A/DトリガA許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRAレジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGBE	A/DトリガB許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRBレジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGCE	A/DトリガC許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRCレジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGDE	A/DトリガD許可ビット	0: A/Dトリガ禁止 1: TRCとTRCGRDレジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

## 19.2.14 タイマRC端子選択レジスタ (TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	TRCCLKSEL1	TRCCLKSEL0	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	"0" にしてください	R/W
b1	-			R/W
b2	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-
b3	-			-
b4	TRCCLKSEL0	TRCCLK端子選択ビット	b5 b4 00: TRCCLK端子は使用しない 01: P1_4に割り当てる 10: P3_3に割り当てる 11: 設定しないでください	R/W
b5	TRCCLKSEL1			R/W
b6	-	予約ビット	"0" にしてください	R/W
b7	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-

TRBRCSR レジスタはタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRC関連レジスタを設定する前にTRCCLKSEL0 ~ TRCCLKSEL1ビットを設定してください。また、タイマRCの動作中はTRCCLKSEL0 ~ TRCCLKSEL1ビットの設定値を変更しないでください。

## 19.2.15 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIOBSEL2	TRCIOBSEL1	TRCIOBSEL0	-	TRCIOASEL2	TRCIOASEL1	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA/TRCTRG端子選択ビット	b2 b1 b0 0 0 0 : TRCIOA/TRCTRG端子は使用しない 0 0 1 : P1_1に割り当てる 0 1 0 : P0_0に割り当てる 0 1 1 : P0_1に割り当てる 1 0 0 : P0_2に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOASEL1			R/W
b2	TRCIOASEL2			R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	TRCIOBSEL0	TRCIOB端子選択ビット	b6 b5 b4 0 0 0 : TRCIOB端子は使用しない 0 0 1 : P1_2に割り当てる 0 1 0 : P0_3に割り当てる 0 1 1 : P0_4に割り当てる 1 0 0 : P0_5に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCIOBSEL1			R/W
b6	TRCIOBSEL2			R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

TRCPSR0レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。



## 19.2.16 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRCIODSEL2	TRCIODSEL1	TRCIODSEL0	-	-	TRCIOSEL1	TRCIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOSEL0	TRCIO端子選択ビット	b1 b0 0 0 : TRCIO端子は使用しない 0 1 : P1_3に割り当てる 1 0 : P3_4に割り当てる 1 1 : P0_7に割り当てる	R/W
b1	TRCIOSEL1			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-
b4	TRCIODSEL0	TRCIOD端子選択ビット	b6 b5 b4 0 0 0 : TRCIOD端子は使用しない 0 0 1 : P1_0に割り当てる 0 1 0 : P3_5に割り当てる 0 1 1 : P0_6に割り当てる 1 0 1 : P6_7に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCIODSEL1			R/W
b6	TRCIODSEL2			R/W
b7	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-

TRCPSR1レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

## 19.3 複数モードに関わる共通事項

### 19.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。

表19.5にカウントソースの選択を、図19.2にカウントソースのブロック図を示します。

表19.5 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択
fOCO40M fOCO-F	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRCCR1レジスタのTCK2～TCK0ビットが“110b”(fOCO40M) TRCCR1レジスタのTCK2～TCK0ビットが“111b”(fOCO-F)
TRCCLK端子に入力された外部信号	TRCCR1レジスタのTCK2～TCK0ビットが“101b”(カウントソースは外部クロックの立ち上がりエッジ) 対応する方向レジスタの方向ビットが“0”(入力モード)

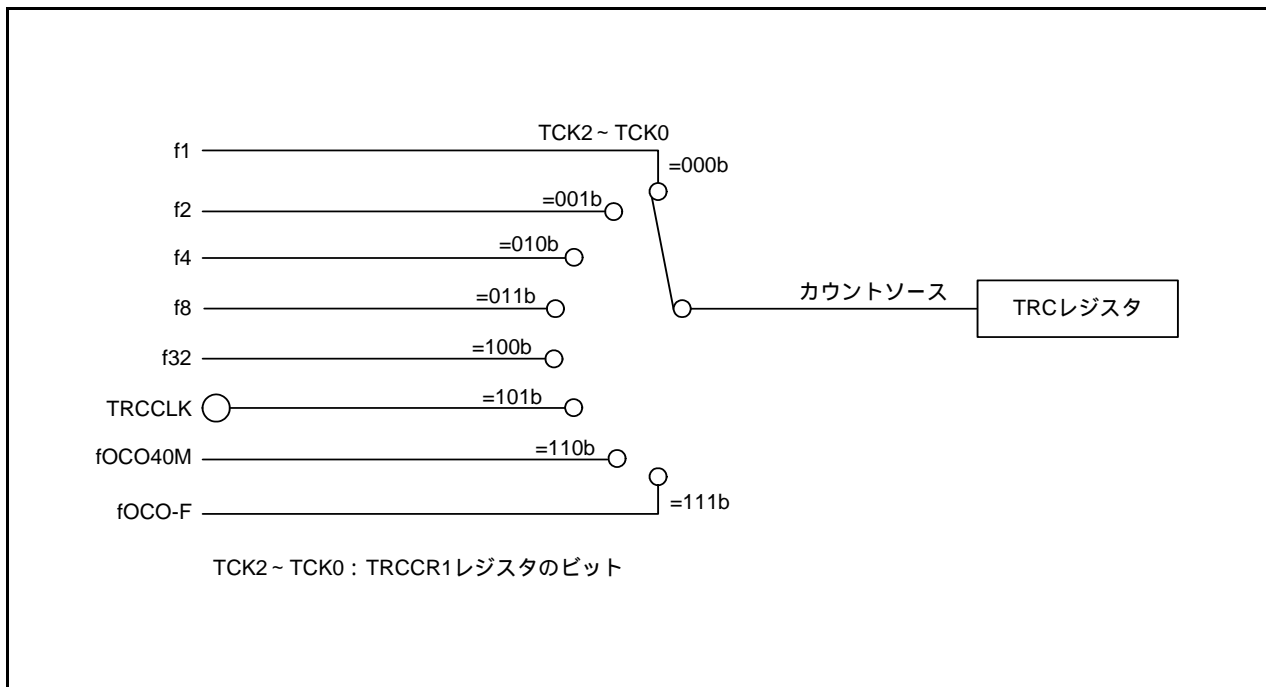


図19.2 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック(「表19.1 タイマRCの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40MまたはfOCO-Fを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40M)または“111b”(fOCO-F)にしてください。

## 19.3.2 バッファ動作

TRCMRレジスタのBFC、BFDビットで、TRCGRC、TRCGRDレジスタをTRCGRA、TRCGRBレジスタのバッファレジスタにできます。

- TRCGRAのバッファレジスタ：TRCGRCレジスタ
- TRCGRBのバッファレジスタ：TRCGRDレジスタ

バッファ動作は、モードによって違います。

表19.6に各モードのバッファ動作を、図19.3にインプットキャプチャ機能のバッファ動作を、図19.4にアウトプットコンペア機能のバッファ動作を示します。

表19.6 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRCGRA(TRCGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRCレジスタとTRCGRA(TRCGRB)レジスタのコンペア一致	バッファレジスタの内容をTRCGRA(TRCGRB)レジスタに転送
PWMモード		
PWM2モード	<ul style="list-style-type: none"> <li>•TRCレジスタとTRCGRAレジスタのコンペア一致</li> <li>•TRCTRG端子トリガ入力</li> </ul>	バッファレジスタ(TRCGRD)の内容をTRCGRBレジスタに転送

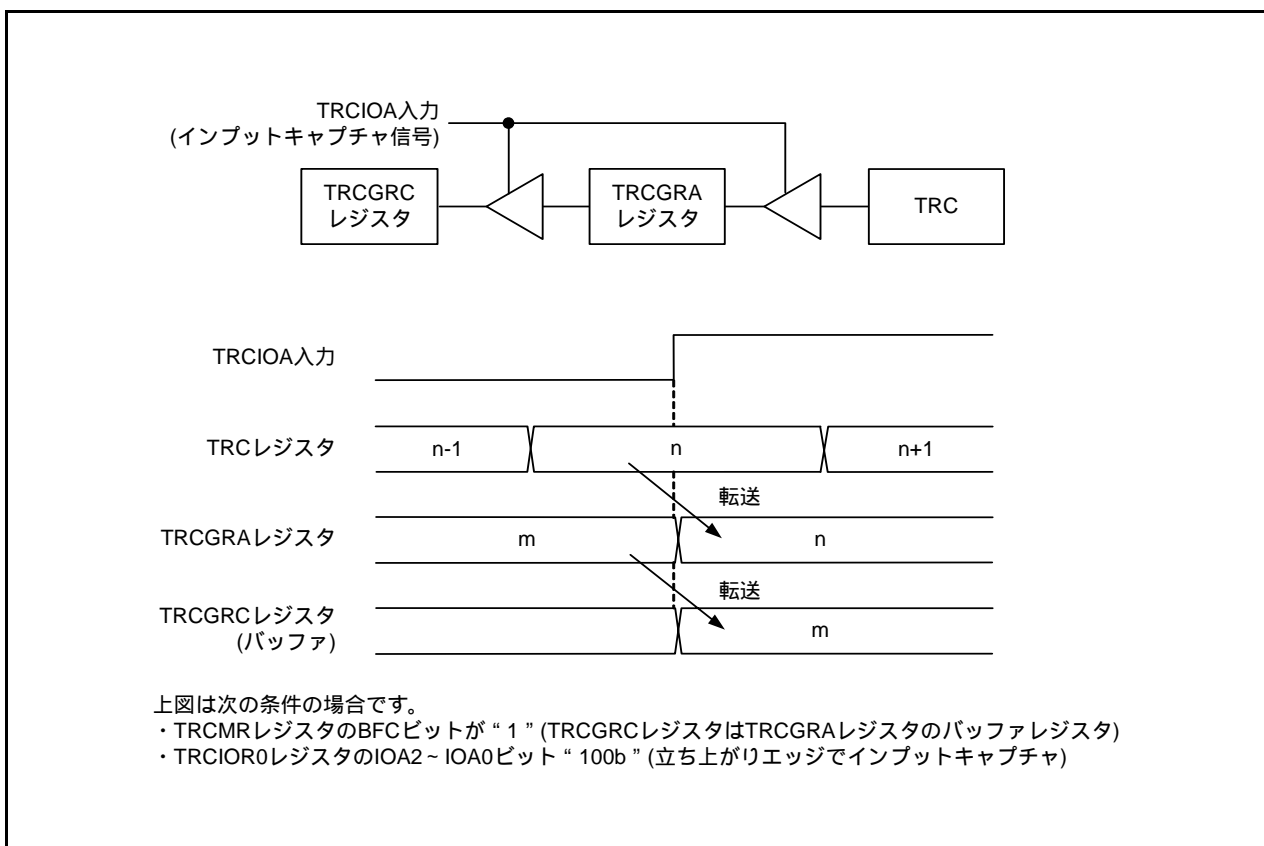


図19.3 インプットキャプチャ機能のバッファ動作

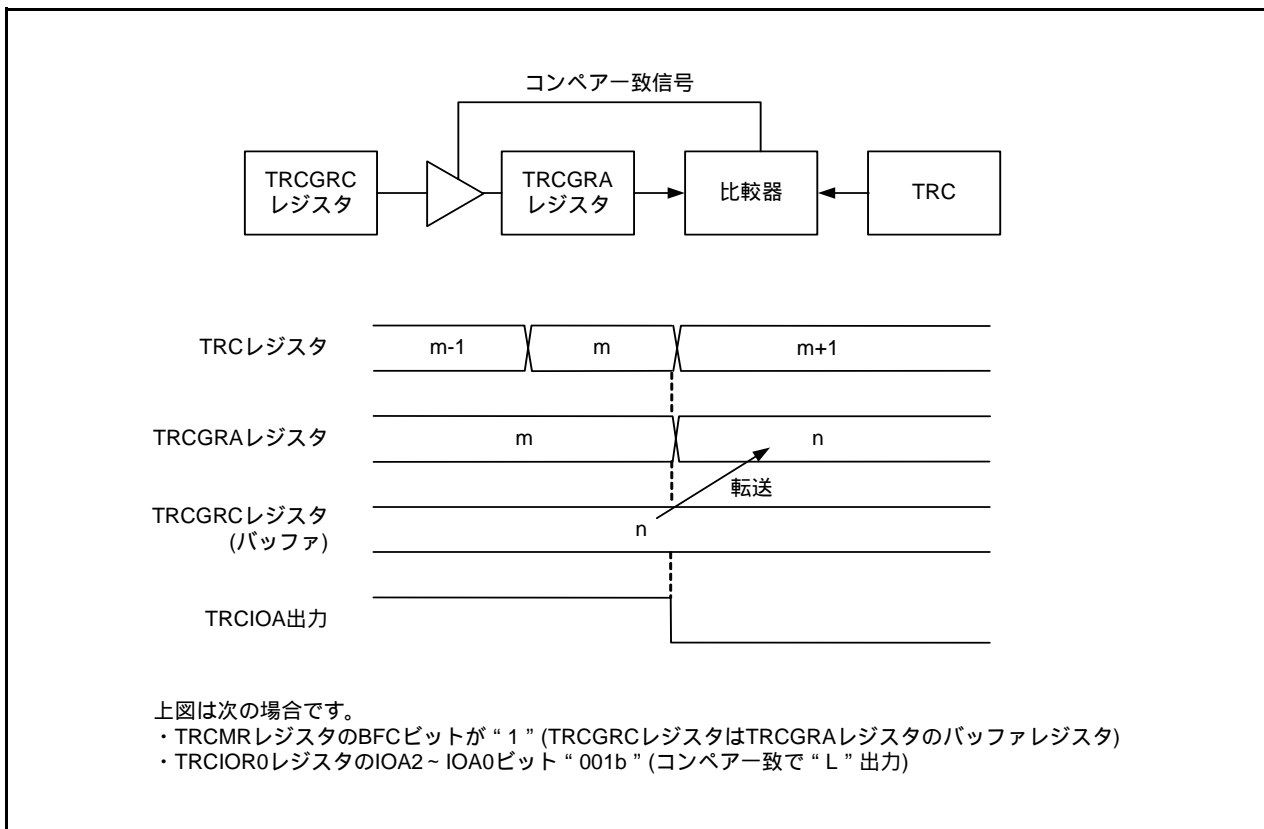


図19.4 アウトプットコンペアー機能のバッファ動作

タイマモードでは次のようにしてください。

- ・TRCGRCレジスタをTRCGRAレジスタのバッファレジスタに使用する場合  
TRCIOR1レジスタのIOC2ビットは、TRCIOR0レジスタのIOA2ビットと同じ設定にしてください。
- ・TRCGRDレジスタをTRCGRBレジスタのバッファレジスタに使用する場合  
TRCIOR1レジスタのIOD2ビットは、TRCIOR0レジスタのIOB2ビットと同じ設定にしてください。

アウトプットコンペアー機能、PWMモード、PWM2モードで、TRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCレジスタとのコンペアー一致でTRCSRレジスタのIMFC、IMFDビットが“1”になります。

入力キャプチャ機能でTRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD端子の入力エッジでTRCSRレジスタのIMFC、IMFDビットが“1”になります。

### 19.3.3 デジタルフィルタ

TRCTRГ入力またはTRCIOj (j=A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRCDFレジスタで選択してください。

図19.5にデジタルフィルタのブロック図を示します。

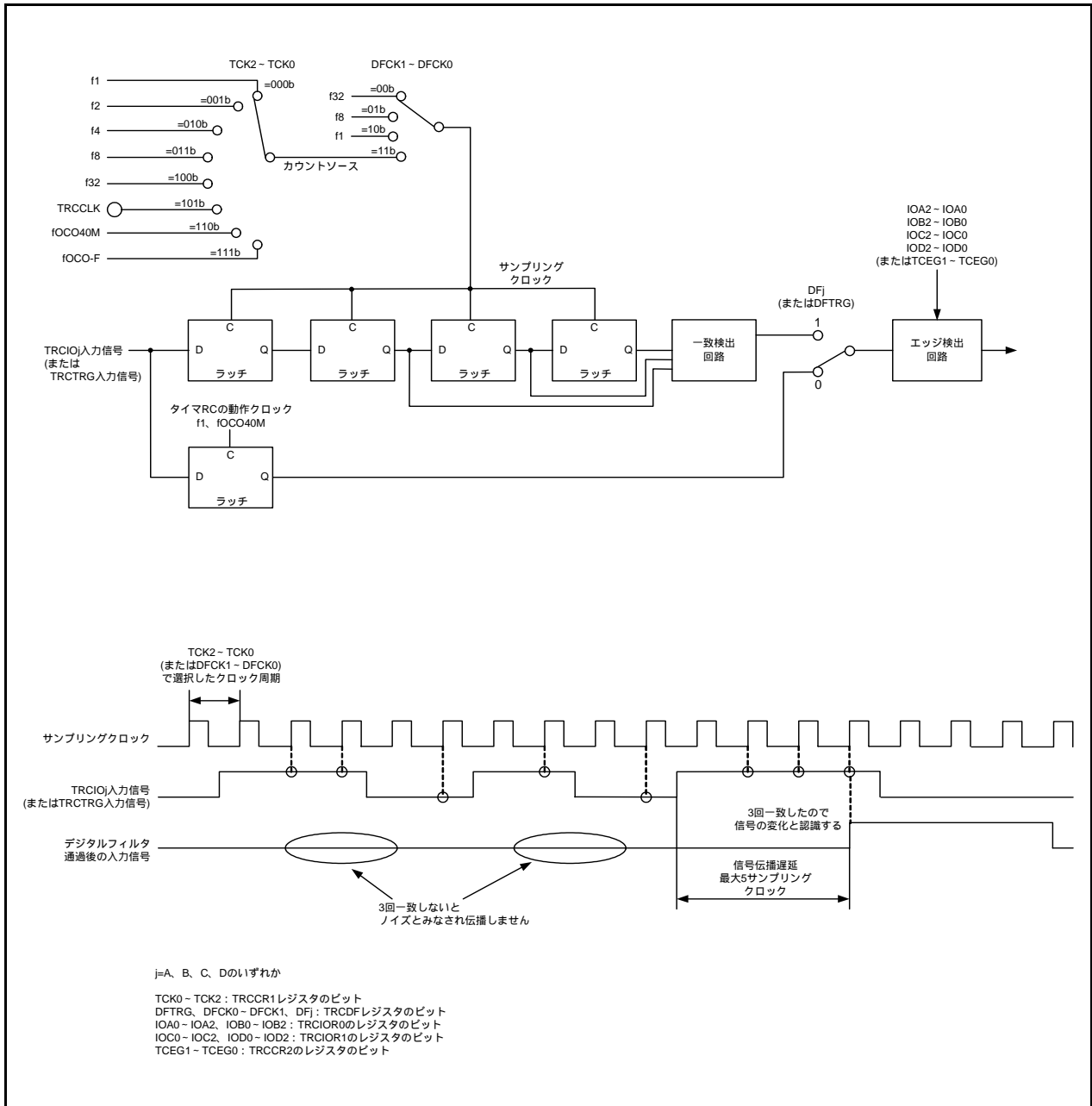


図19.5 デジタルフィルタのブロック図

### 19.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRCIOj (j=A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子に“L”を入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子に“L”を入力してから、タイマRCの動作クロック(「表19.1 タイマRCの動作クロック」参照)の1~2サイクル後にTRCIOj出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「7. I/Oポート」参照)。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4\_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1~INT0F0ビットで選択する。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、 $\overline{\text{INT0}}$ 端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

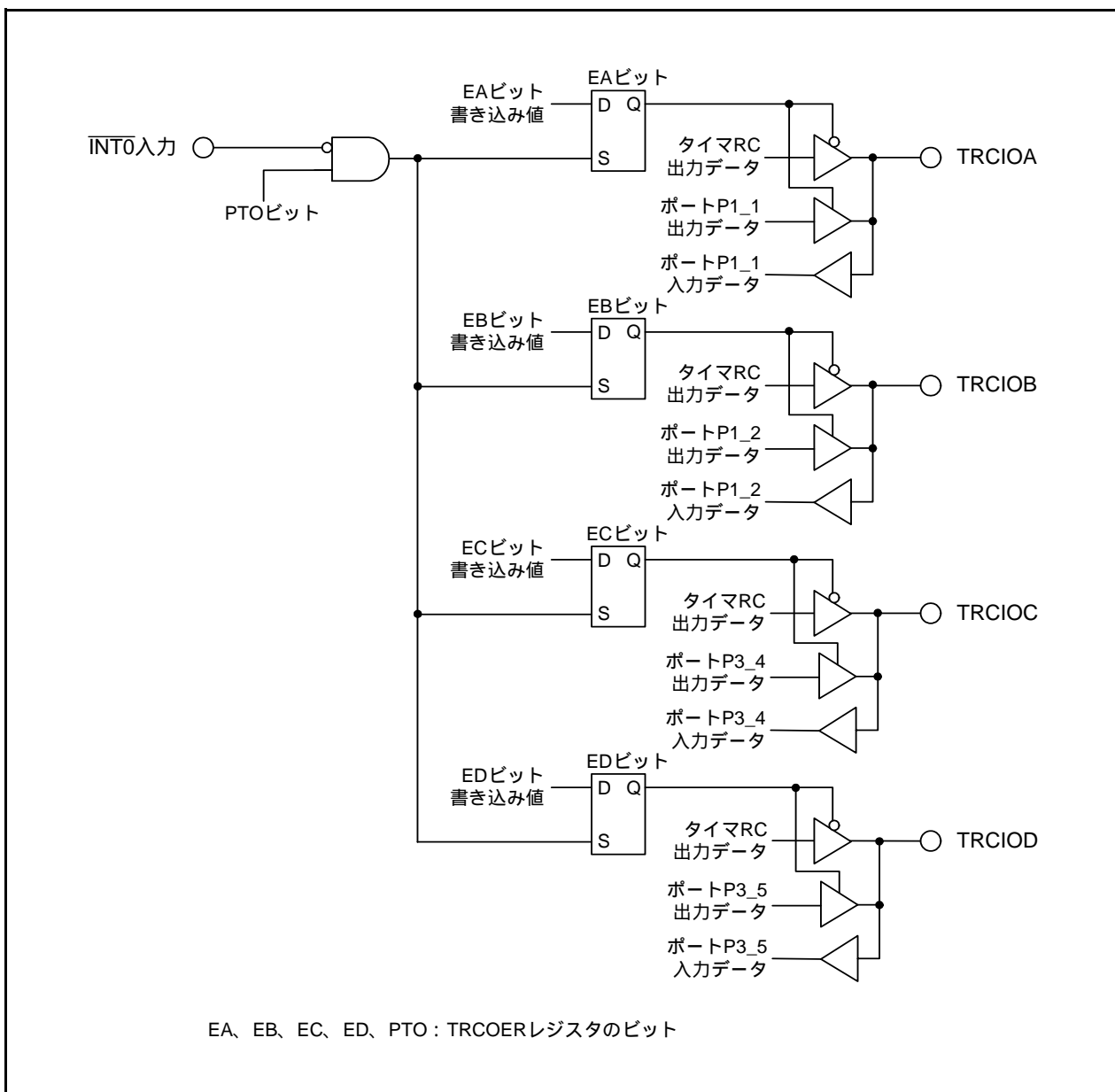


図19.6 パルス出力強制遮断

## 19.4 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIOj (j=A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGRjレジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRCGRAレジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

表 19.7 にインプットキャプチャ機能の仕様を、図 19.7 にインプットキャプチャ機能のブロック図を、表 19.8 にインプットキャプチャ機能時のTRCGRjレジスタの機能を、図 19.8 にインプットキャプチャ機能の動作例を示します。

表19.7 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> <li>TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 <math>1/fk \times 65536</math> fk: カウントソースの周波数</li> <li>TRCCR1レジスタのCCLRビットが“1”(TRCGRAのインプットキャプチャでTRCレジスタを“0000h”にする)の場合 <math>1/fk \times (n+1)</math> n: TRCGRAレジスタ設定値</li> </ul>
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>インプットキャプチャ (TRCIOj入力の有効エッジ、またはfOCO128信号のエッジ)</li> <li>TRCレジスタオーバフロー</li> </ul>
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力 (1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>インプットキャプチャ入力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本</li> <li>インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方</li> <li>バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>デジタルフィルタ(「19.3.3 デジタルフィルタ」参照)</li> <li>TRCレジスタを“0000h”にするタイミング オーバフローまたはインプットキャプチャ</li> <li>インプットキャプチャトリガ選択 TRCGRAレジスタのインプットキャプチャトリガ入力にfOCO128を選択できる</li> </ul>

j=A、B、C、Dのいずれか



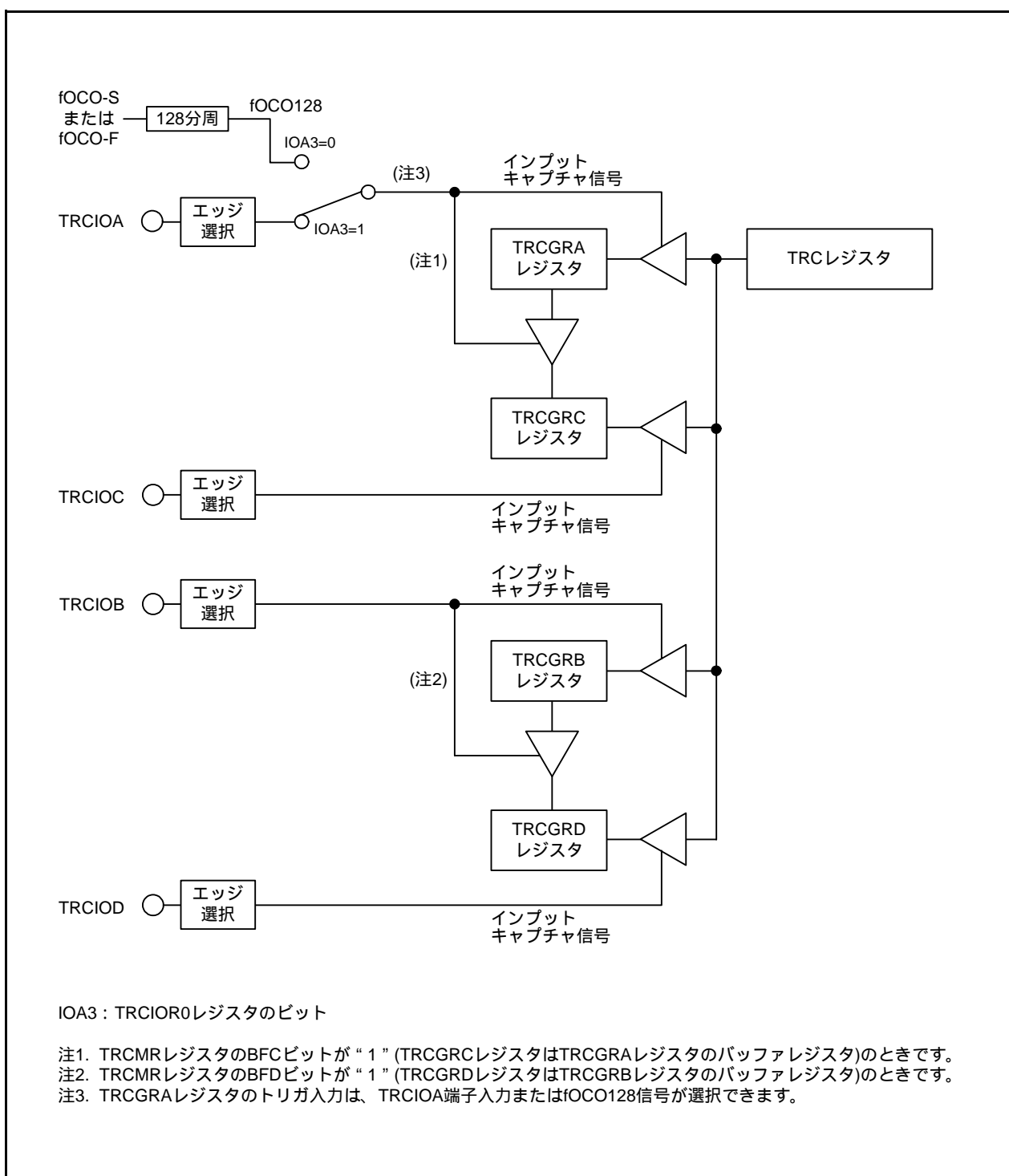


図 19.7 インพุットキャプチャ機能のブロック図

### 19.4.1 タイマRC I/O制御レジスタ0 (TRCIOR0) [タイマモード(インプットキャプチャ機能)時]

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御ビット	b1 b0 00: 立ち上がりエッジでTRCGRAへインプットキャプチャ 01: 立ち下がりエッジでTRCGRAへインプットキャプチャ 10: 両エッジでTRCGRAへインプットキャプチャ 11: 設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切替ビット(注3)	0: fOCO128信号 1: TRCIOA端子入力	R/W
b4	IOB0	TRCGRB制御ビット	b5 b4 00: 立ち上がりエッジでTRCGRBへインプットキャプチャ 01: 立ち下がりエッジでTRCGRBへインプットキャプチャ 10: 両エッジでTRCGRBへインプットキャプチャ 11: 設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

### 19.4.2 タイマRC I/O制御レジスタ1 (TRCIOR1) [タイマモード(インプットキャプチャ機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	b1 b0 00:立ち上がりエッジでTRCGRCへインプットキャプチャ 01:立ち下がりエッジでTRCGRCへインプットキャプチャ 10:両エッジでTRCGRCへインプットキャプチャ 11:設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	“1”にしてください	R/W
b4	IOD0	TRCGRD制御ビット	b5 b4 00:立ち上がりエッジでTRCGRDへインプットキャプチャ 01:立ち下がりエッジでTRCGRDへインプットキャプチャ 10:両エッジでTRCGRDへインプットキャプチャ 11:設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	“1”にしてください	R/W

注1. TRCGRDレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCGRDレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

表19.8 インプットキャプチャ機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRCGRA		ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「19.3.2 バッファ動作」参照)。	TRCIOA
TRCGRD	BFD=1		TRCIOB

j=A、B、C、Dのいずれか

BFC、BFD: TRCGRDレジスタのビット

## 19.4.3 動作例

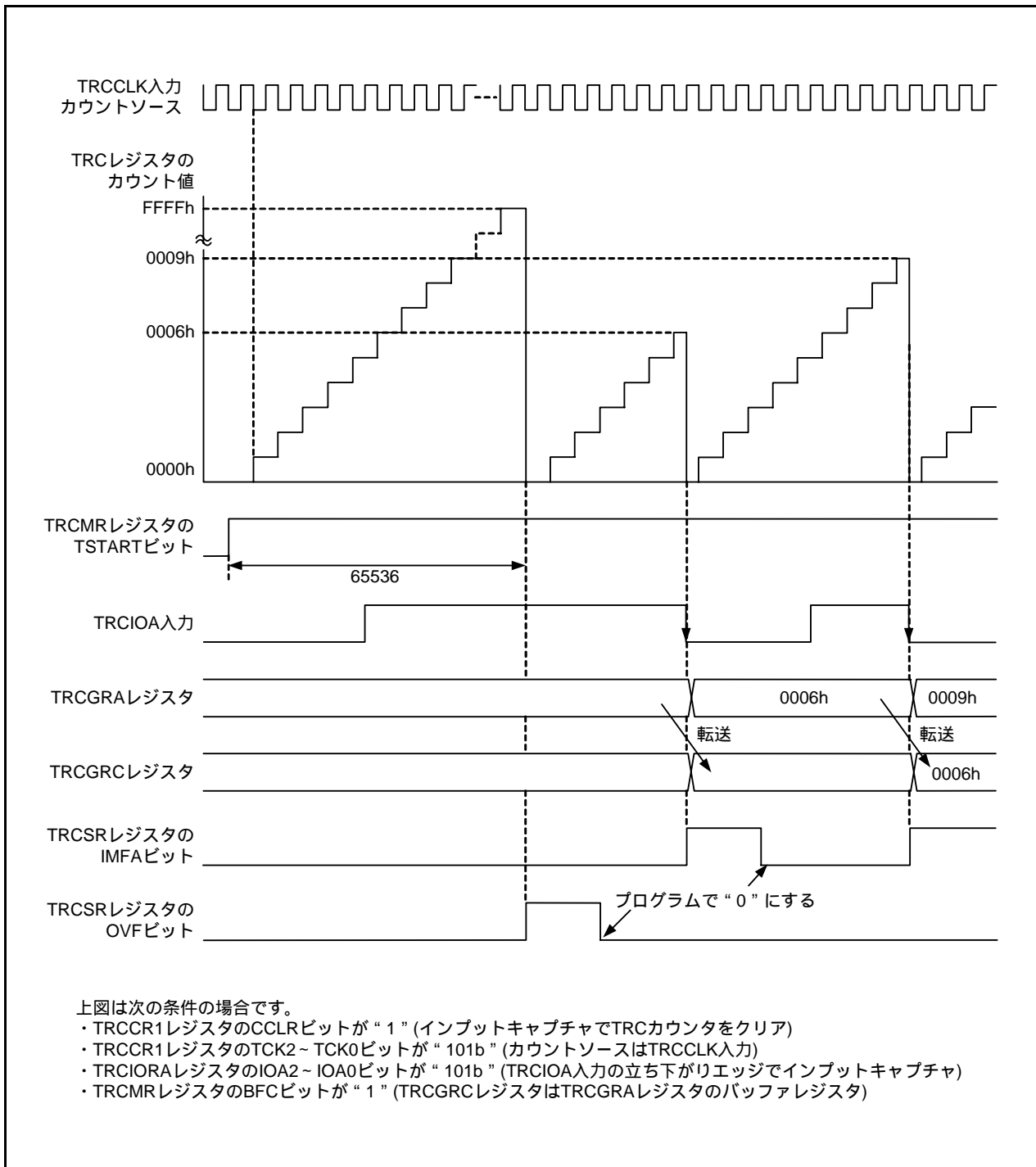


図19.8 インプットキャプチャ機能の動作例

### 19.5 タイマモード(アウトプットコンペア機能)

TRCレジスタ(カウンタ)の内容と、TRCGRj (j=A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき TRCIOj 端子から任意のレベルを出力します。端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表 19.9 にアウトプットコンペア機能の仕様を、図 19.9 にアウトプットコンペア機能のブロック図を、表 19.10 にアウトプットコンペア機能時の TRCGRj レジスタの機能を、図 19.10 にアウトプットコンペア機能の動作例を示します。

表 19.9 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK 端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> <li>TRCCR1 レジスタの CCLR ビットが “0” (フリーランニング動作) の場合 <math>1/fk \times 65536</math> <math>fk</math>: カウントソースの周波数</li> <li>TRCCR1 レジスタの CCLR ビットが “1” (TRCGRA のコンペア一致で TRC レジスタを “0000h” にする) の場合 <math>1/fk \times (n+1)</math> <math>n</math>: TRCGRA レジスタ設定値</li> </ul>
波形出力タイミング	コンペア一致
カウント開始条件	TRCMR レジスタの TSTART ビットへの “1” (カウント開始) 書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRCCR2 レジスタの CSEL ビットが “0” (TRCGRA レジスタとのコンペア一致後もカウント継続) の場合 TRCMR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRC レジスタは停止前の値を保持</li> <li>TRCCR2 レジスタの CSEL ビットが “1” (TRCGRA レジスタとのコンペア一致でカウント停止) の場合 TRCGRA レジスタとのコンペア一致でカウント停止、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペア一致 (TRC レジスタと TRCGRj レジスタの内容が一致)</li> <li>TRC レジスタオーバフロー</li> </ul>
TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力 (1 端子ごとに選択)
INT0 端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INT0 割り込み入力
タイマの読み出し	TRC レジスタを読むと、カウント値が読める
タイマの書き込み	TRC レジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子のいずれか 1 本または複数本</li> <li>コンペア一致時の出力レベル選択 “L” 出力、“H” 出力、またはトグル出力</li> <li>初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定</li> <li>TRC レジスタを “0000h” にするタイミング オーバフロー、または TRCGRA レジスタのコンペア一致</li> <li>バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照)</li> <li>タイマ RC は出力しないことで内部タイマとして使用できる</li> <li>TRCGRC、TRCGRD の出力端子変更 TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用できる</li> <li>A/D トリガ発生</li> </ul>

j=A、B、C、Dのいずれか

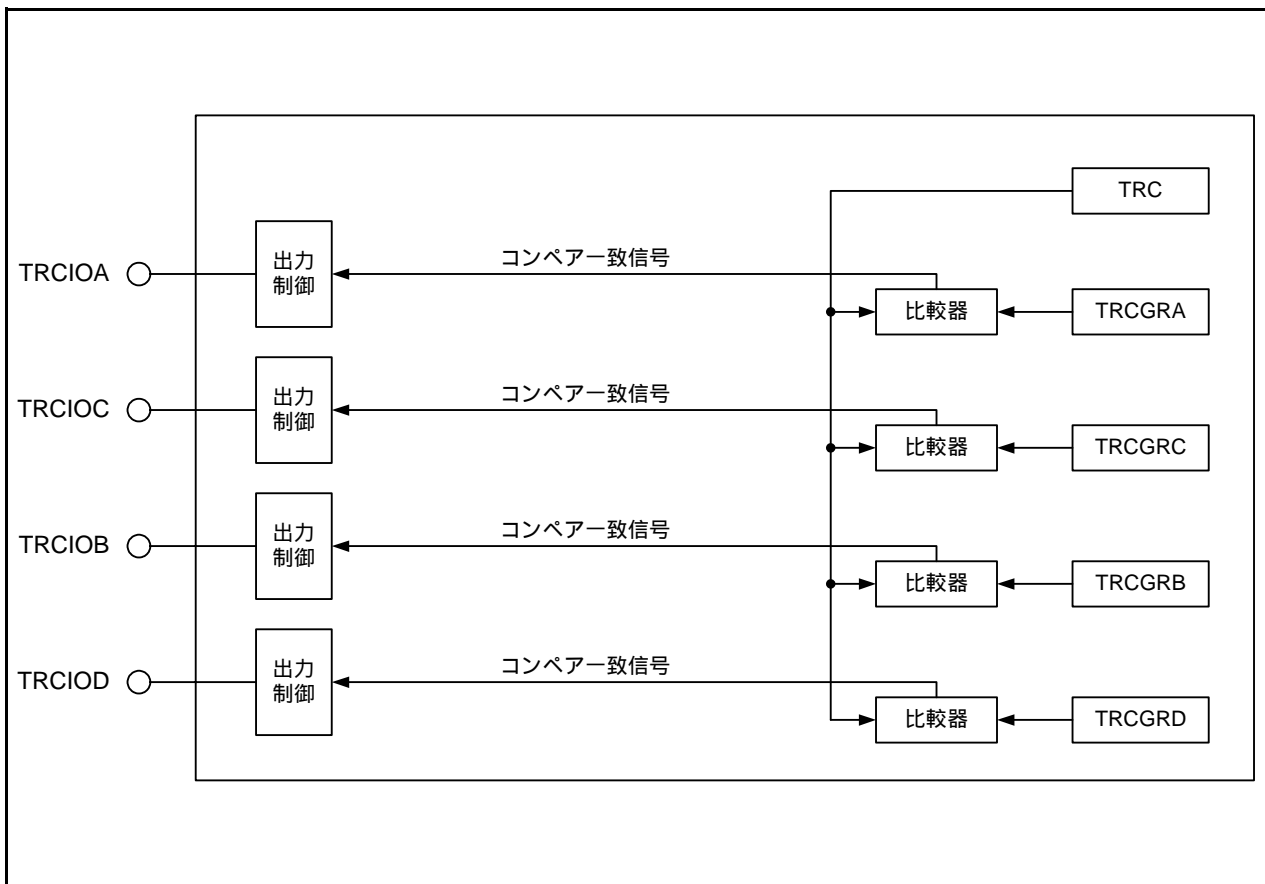


図 19.9 アウトプットコンペア機能のブロック図

### 19.5.1 タイマRC制御レジスタ1 (TRCCR1) [タイマモード(アウトプットコンペア機能)時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1、2)	0 : 初期出力“L”	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	1 : 初期出力“H”	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0 : クリア禁止(フリーランニング動作) 1 : TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

表19.10 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプットコンペア出力端子
TRCGRA		ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のコンペア値を書いてください(「19.3.2 バッファ動作」参照)。	TRCIOA
TRCGRD	BFD=1		TRCIOB

j=A、B、C、Dのいずれか

BFC、BFD : TRCMRレジスタのビット

### 19.5.2 タイマRC I/O制御レジスタ0 (TRCIOR0) [タイマモード(アウトプットコンペア機能)時]

アドレス 0124h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御ビット	b1 b0 00 : コンペア一致による端子出力禁止 (TRCIOA端子はプログラマブル入出力ポート) 01 : TRCGRAのコンペア一致で“L”出力 10 : TRCGRAのコンペア一致で“H”出力 11 : TRCGRAのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRAモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切替ビット	“1”にしてください	R/W
b4	IOB0	TRCGRB制御ビット	b5 b4 00 : コンペア一致による端子出力禁止 (TRCIOB端子はプログラマブル入出力ポート) 01 : TRCGRBのコンペア一致で“L”出力 10 : TRCGRBのコンペア一致で“H”出力 11 : TRCGRBのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRBモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。



### 19.5.3 タイマRC I/O制御レジスタ1 (TRCIOR1) [タイマモード(アウトプットコンペア機能)時]

アドレス 0125h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	b1 b0 00: コンペア一致による端子出力禁止 01: TRCGRCのコンペア一致で“L”出力 10: TRCGRCのコンペア一致で“H”出力 11: TRCGRCのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0: TRCIOA出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD制御ビット	b5 b4 00: コンペア一致による端子出力禁止 01: TRCGRDのコンペア一致で“L”出力 10: TRCGRDのコンペア一致で“H”出力 11: TRCGRDのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0: TRCIOB出力レジスタ 1: ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

## 19.5.4 タイマRC制御レジスタ2 (TRCCR2) [タイマモード(アウトプットコンペア機能)時]

アドレス 0130h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0: TRCIOBの出力レベルは“L”アクティブ 1: TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0: TRCIOCの出力レベルは“L”アクティブ 1: TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0: TRCIODの出力レベルは“L”アクティブ 1: TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウント動作選択ビット (注2)	0: TRCGRAレジスタとのコンペア一致後もカウント継続 1: TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00: TRCTRGからのトリガ入力を禁止 01: 立ち上がりエッジを選択 10: 立ち下がりエッジを選択 11: 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

## 19.5.5 動作例

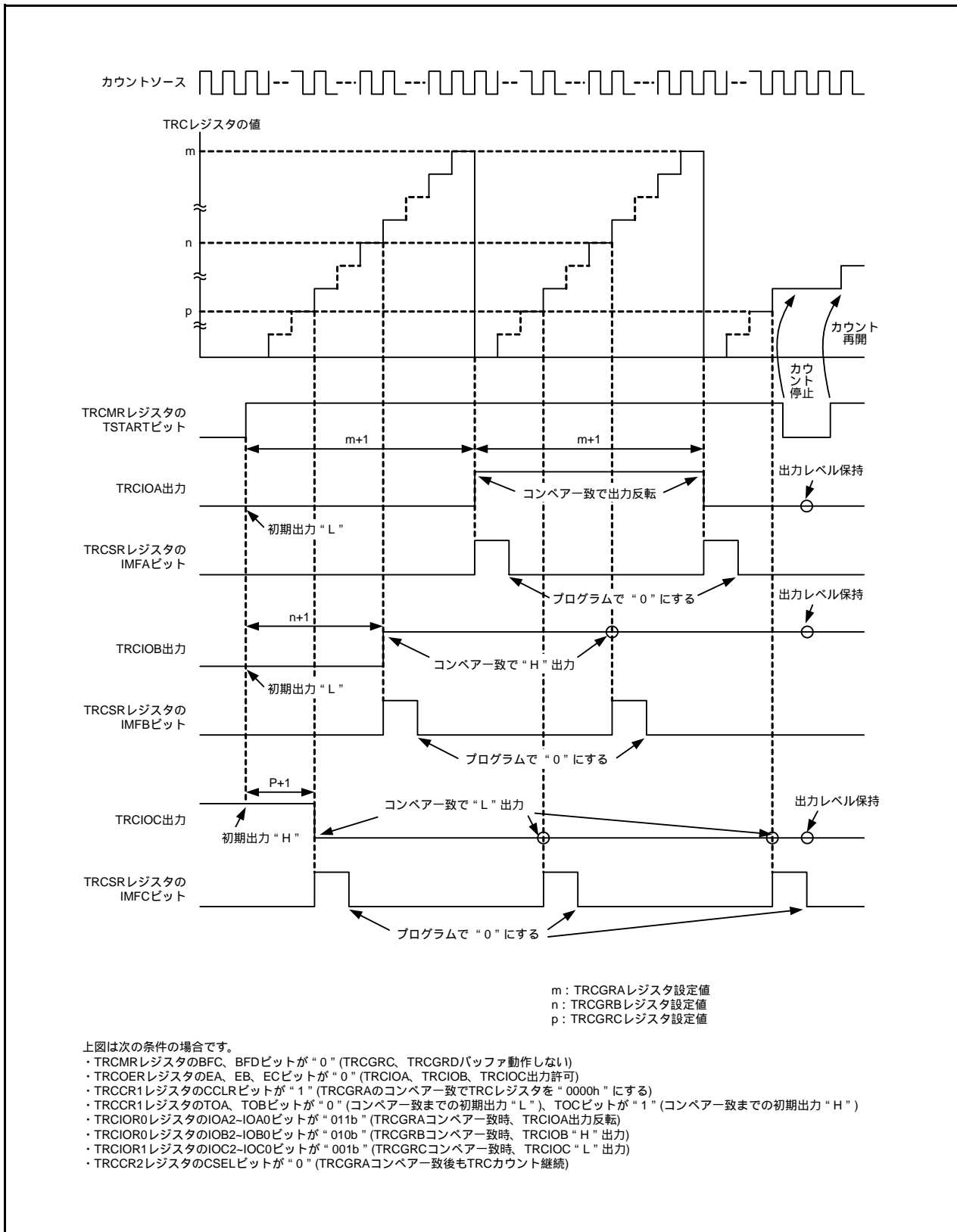


図 19.10 アウトプットコンペアー機能の動作例

## 19.5.6 TRCGRC、TRCGRDレジスタの出力端子変更

TRCGRCレジスタをTRCIOA端子の、TRCGRDレジスタをTRCIOB端子の出力制御に使用できません。したがって、各端子の出力は次のように制御できます。

- TRCIOA出力は、TRCGRAレジスタの値とTRCGRCレジスタの値の2点で制御
- TRCIOB出力は、TRCGRBレジスタの値とTRCGRDレジスタの値の2点で制御

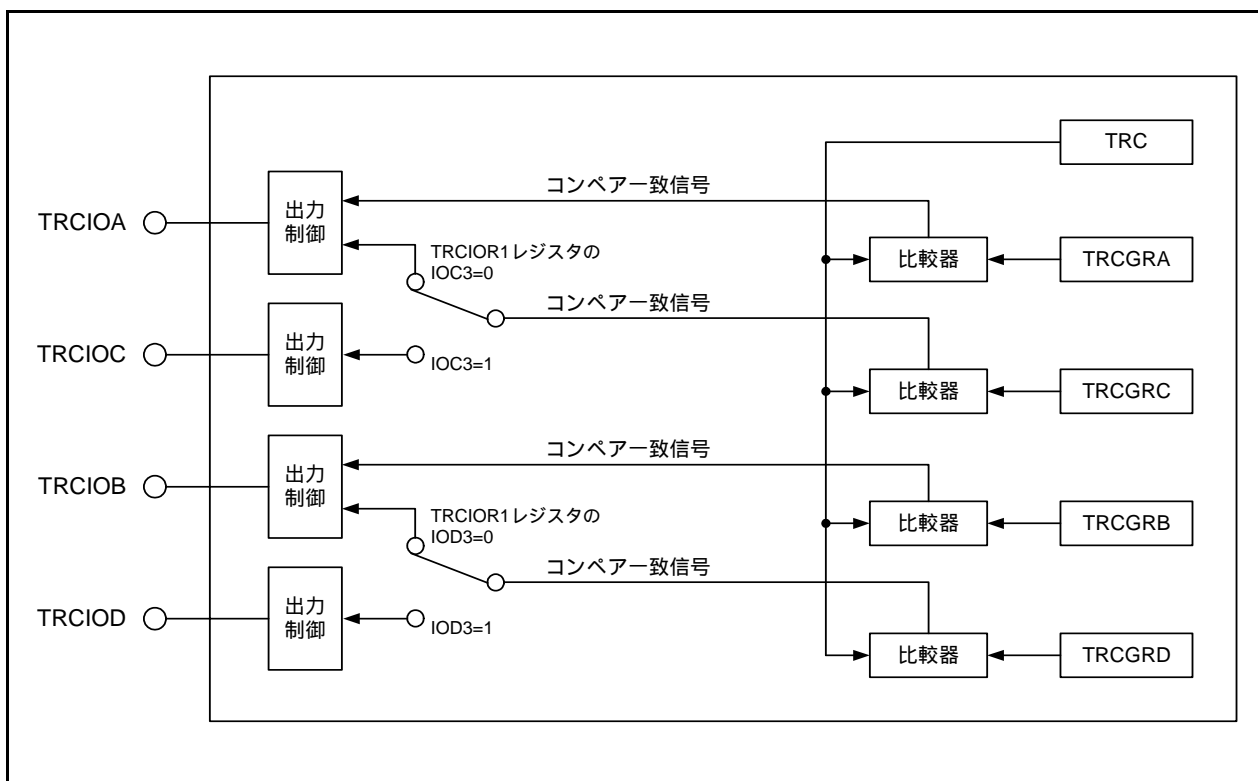


図19.11 TRCGRC、TRCGRDの出力端子変更

TRCGRC、TRCGRDレジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOR1レジスタのIOC3ビットを“0”(TRCIOA出力レジスタ)、IOD3ビットを“0”(TRCIOB出力レジスタ)にする。
- TRCMRレジスタのBFC、BFDビットを“0”(ジェネラルレジスタ)にする。
- TRCGRAレジスタとTRCGRCレジスタは違う値を設定。また、TRCGRBレジスタとTRCGRDレジスタは違う値を設定。

図19.12にTRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例を示します。

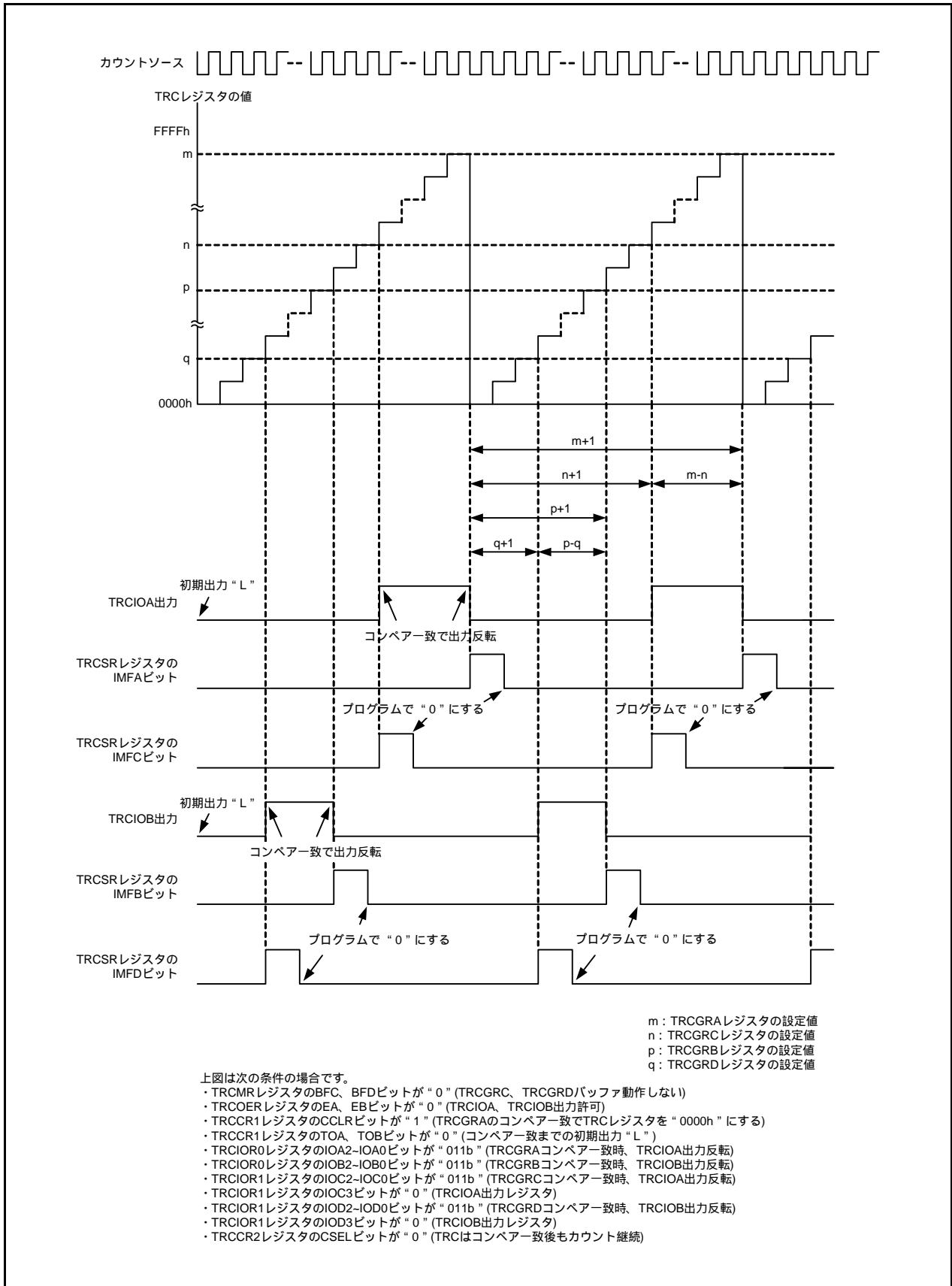


図19.12 TRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例

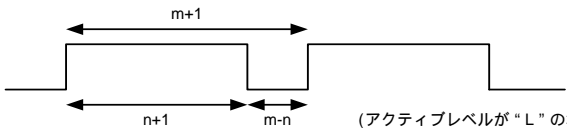
## 19.6 PWMモード

PWM波形を出力するモードです。同周期のPWM波形を最大3本出力できます。

端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子をPWMモードに使用する場合もTRCGRAレジスタを使用しますので、TRCGRAレジスタはタイマモードに使用できません。)

表19.11にPWMモードの仕様を、図19.13にPWMモードのブロック図を、表19.12にPWMモード時のTRCGRhレジスタの機能を、図19.14～図19.15にPWMモードの動作例を示します。

表19.11 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
PWM波形	PWM周期: $1/f_k \times (m+1)$ アクティブレベル幅: $1/f_k \times (m-n)$ アクティブでないレベルの幅: $1/f_k \times (n+1)$ f <sub>k</sub> : カウントソースの周波数 m: TRCGRAレジスタ設定値 n: TRCGRjレジスタ設定値  (アクティブレベルが“L”の場合)
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペアー一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持</li> <li>TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペアー一致でカウント停止)の場合 TRCGRAレジスタとのコンペアー一致でカウント停止、PWM出力端子はコンペアー一致による出力変化後のレベルを保持</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペアー一致(TRCレジスタとTRCGRhレジスタの内容が一致)</li> <li>TRCレジスタオーバフロー</li> </ul>
TRCIOA端子機能	プログラマブル入出力ポート
TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>PWM出力端子を1～3本選択 TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本。</li> <li>アクティブレベルを1端子ごとに選択</li> <li>初期出力レベルを1端子ごとに選択</li> <li>バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照)</li> <li>A/Dトリガ発生</li> </ul>

j=B、C、Dのいずれか

h=A、B、C、Dのいずれか

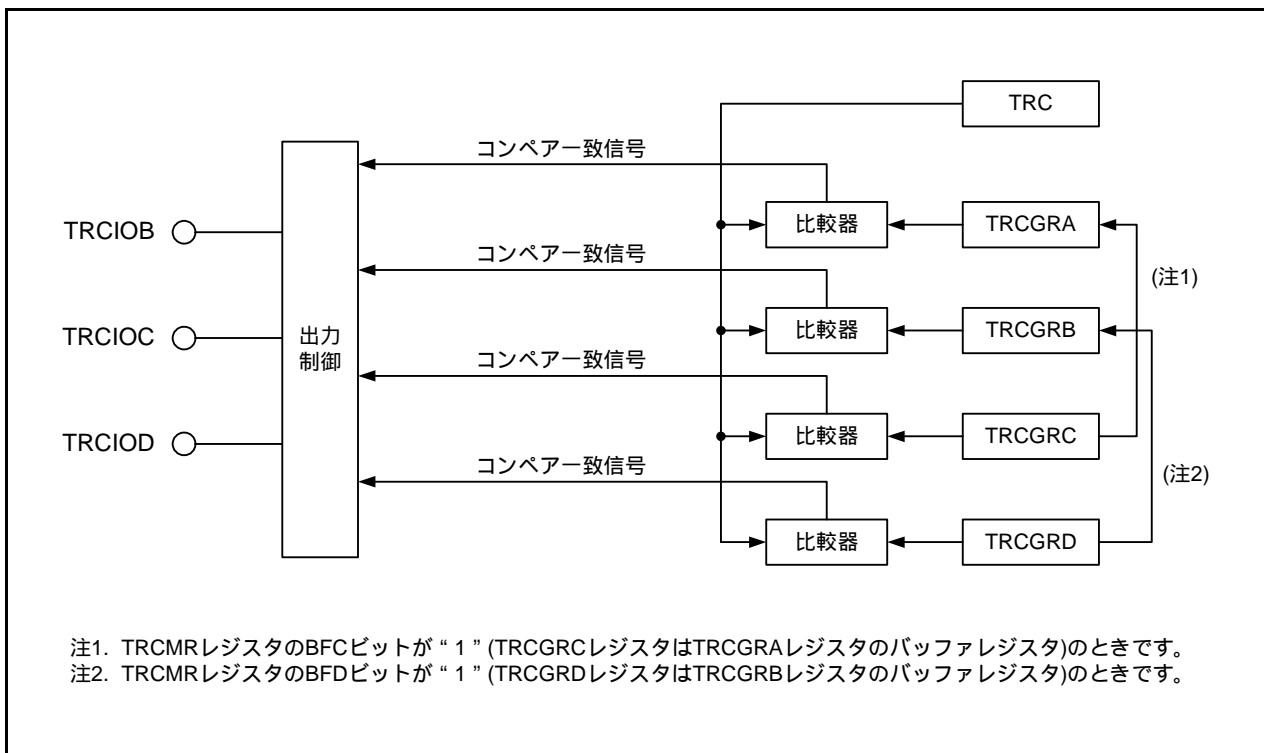


図 19.13 PWMモードのブロック図

## 19.6.1 タイマRC制御レジスタ1 (TRCCR1)[PWMモード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWMモードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0:初期出力はアクティブでないレベル 1:初期出力はアクティブレベル	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fOCO40M 1 1 1 : fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0:クリア禁止(フリーランニング動作) 1:TRCGRAのコンペアー一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。



## 19.6.2 タイマRC制御レジスタ2 (TRCCR2)[PWMモード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウント動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペアー一致後もカウント継続 1 : TRCGRAレジスタとのコンペアー一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

表19.12 PWMモード時のTRCGRhレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA		ジェネラルレジスタ。PWM周期を設定してください。	
TRCGRB		ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のPWM周期を設定してください(「19.3.2 バッファ動作」参照)。	
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「19.3.2 バッファ動作」参照)。	TRCIOB

h=A、B、C、Dのいずれか

BFC、BFD : TRCMRレジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペアー一致しても端子の出力レベルは変化しません。

19.6.3 動作例

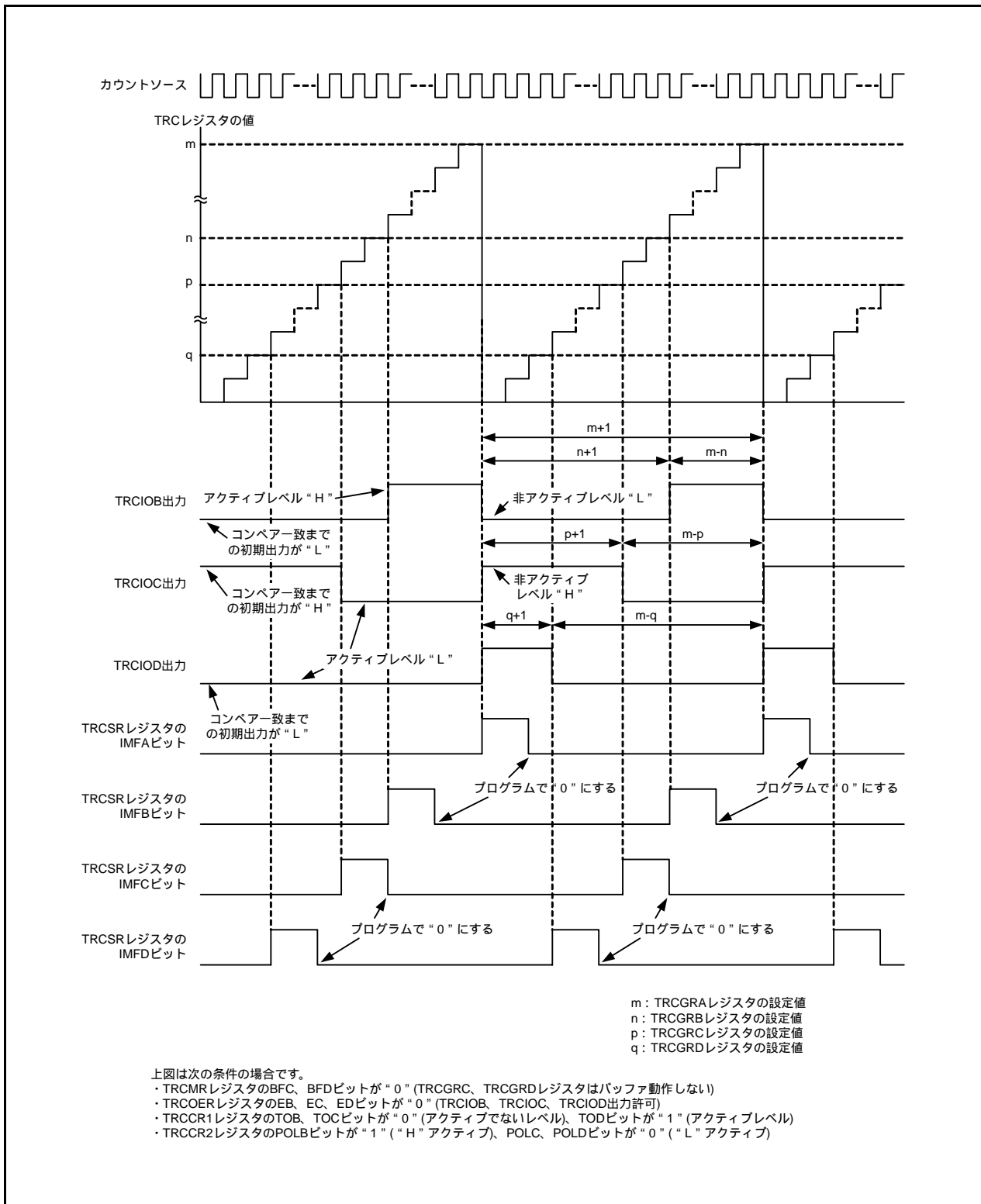


図 19.14 PWMモードの動作例

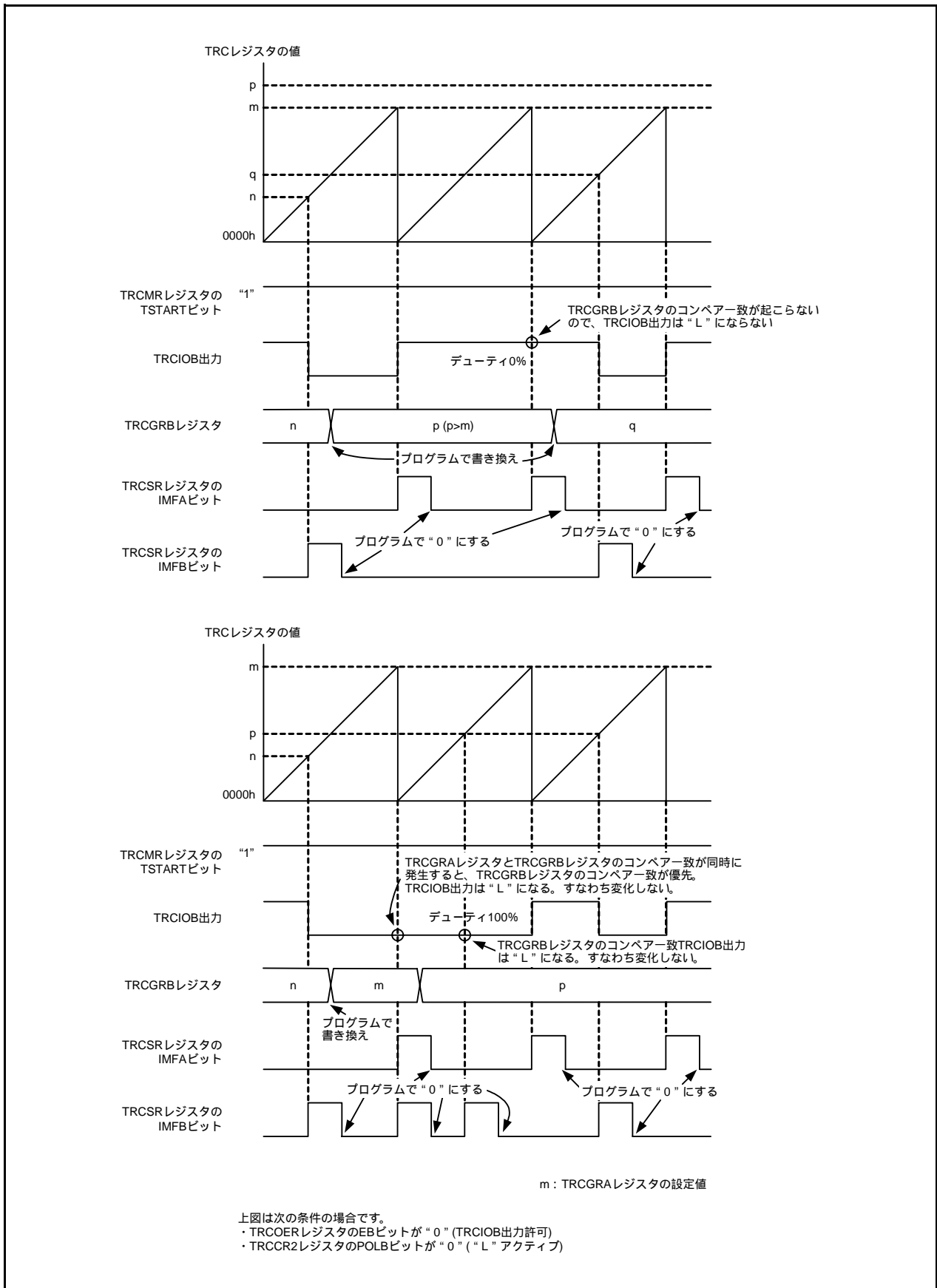


図19.15 PWMモードの動作例(デューティ0%、デューティ100%)

## 19.7 PWM2モード

PWM波形を1本出力します。トリガから任意のウェイト時間をおいて、端子の出力がアクティブレベルになり、任意の時間後、非アクティブレベルに戻ります。また、非アクティブレベルに戻ると同時にカウンタを停止できるので、プログラマブルウェイトワンショット波形も出力できます。

PWM2モードでは、タイマRCの複数のジェネラルレジスタを組み合わせて使用しますので、他のモードと組み合わせて使用できません。

図19.16にPWM2モードのブロック図を、表19.13にPWM2モードの仕様を、表19.14にPWM2モード時のTRCGRjレジスタの機能を、図19.17～図19.19にPWM2モードの動作例を示します。

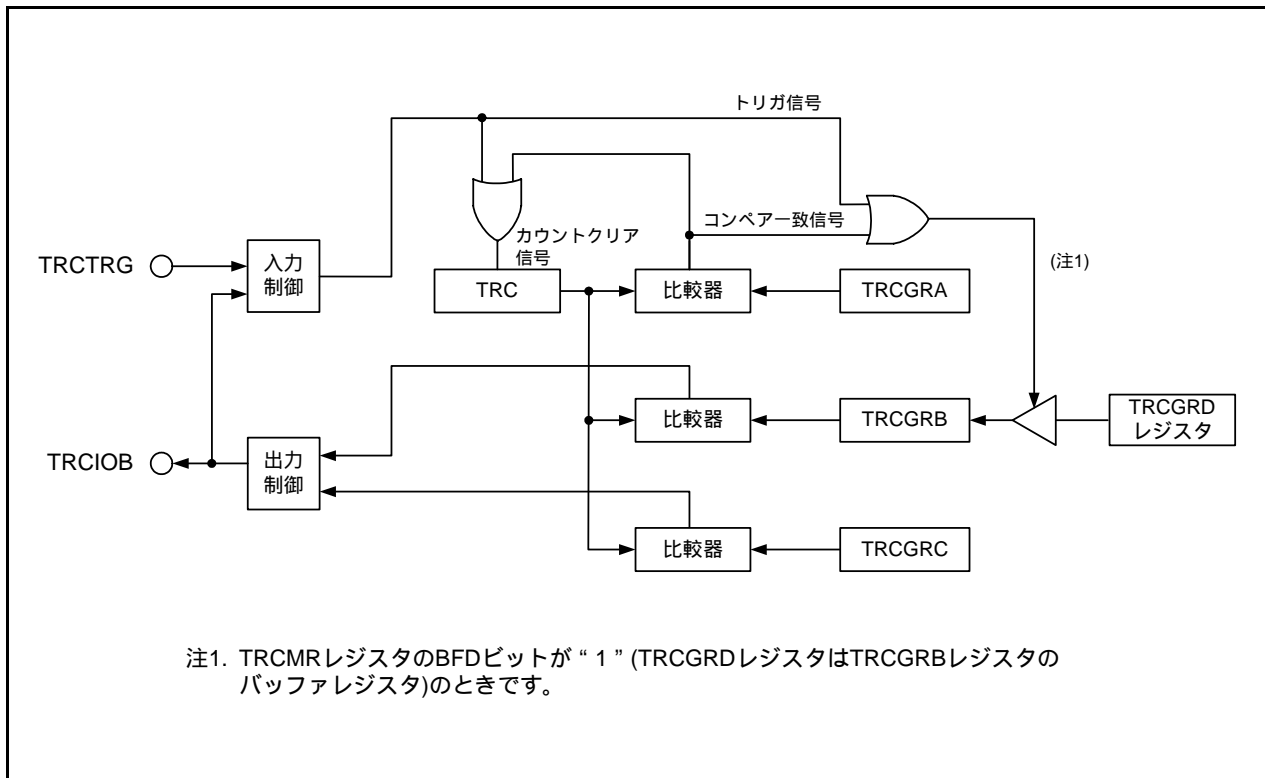


図19.16 PWM2モードのブロック図

表19.13 PWM2モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	TRCレジスタはアップカウント
PWM波形	<p>PWM周期: <math>1/f_k \times (m+1)</math>(TRCTRГ入力がない場合)            アクティブレベル幅: <math>1/f_k \times (n-p)</math>            カウント開始またはトリガからのウェイト時間: <math>1/f_k \times (p+1)</math></p> <p><math>f_k</math>: カウントソースの周波数  <math>m</math>: TRCGRAレジスタ設定値  <math>n</math>: TRCGRBレジスタ設定値  <math>p</math>: TRCGRCレジスタ設定値</p> <p>(TRCTRГ: 立ち上がりエッジ、アクティブレベルが“H”の場合)</p>
カウント開始条件	<ul style="list-style-type: none"> <li>TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“00b”(TRCTRГトリガ入力禁止)またはTRCCR2レジスタのCSELビットが“0”(カウント継続)の場合 TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み</li> <li>TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRГトリガ入力許可)かつTRCMRレジスタのTSTARTビットが“1”(カウント開始)の場合 TRCTRГ端子にトリガ入力</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み(TRCCR2レジスタのCSELビットが“0”の場合も、“1”の場合も含む) TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCレジスタは停止前の値を保持。</li> <li>TRCCR2レジスタのCSELビットが“1”の場合、TRCGRAコンペア一致でカウント停止 TRCIOB端子は初期レベルを出力。TRCCR1レジスタのCCLRビットが“0”のとき、TRCレジスタは停止前の値を保持。TRCCR1レジスタのCCLRビットが“1”のとき、TRCレジスタは“0000h”。</li> </ul>
割り込み発生タイミング	<ul style="list-style-type: none"> <li>コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致)</li> <li>TRCレジスタオーバフロー</li> </ul>
TRCIOA/TRCTRГ端子機能	プログラマブル入出力ポート、またはTRCTRГ入力
TRCIOB端子機能	PWM出力
TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、またはINT0割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>外部トリガと有効エッジ選択 TRCTRГ端子入力のエッジをPWM出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。</li> <li>バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照)</li> <li>デジタルフィルタ(「19.3.3 デジタルフィルタ」参照)</li> <li>A/Dトリガ発生</li> </ul>

j=A、B、Cのいずれか

## 19.7.1 タイマRC制御レジスタ1 (TRCCR1)[PWM2モード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット (注1、2)	0: アクティブレベル“H” (初期出力“L” TRCGRCのコンペア一致で“H”出力 TRCGRBのコンペア一致で“L”出力) 1: アクティブレベル“L” (初期出力“H” TRCGRCのコンペア一致で“L”出力 TRCGRBのコンペア一致で“H”出力)	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0: f1 0 0 1: f2 0 1 0: f4 0 1 1: f8 1 0 0: f32 1 0 1: TRCCLK入力の立ち上がりエッジ 1 1 0: fOCO40M 1 1 1: fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0: クリア禁止(フリーランニング動作) 1: TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

## 19.7.2 タイマRC制御レジスタ2 (TRCCR2)[PWM2モード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	-	-	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0 : TRCIOBの出力レベルは“L”アクティブ 1 : TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0 : TRCIOCの出力レベルは“L”アクティブ 1 : TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0 : TRCIODの出力レベルは“L”アクティブ 1 : TRCIODの出力レベルは“H”アクティブ	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b4	-			
b5	CSEL	TRCカウント動作選択ビット (注2)	0 : TRCGRAレジスタとのコンペア一致後もカウント継続 1 : TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 00 : TRCTRGからのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

## 19.7.3 タイマRC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2モード時]

アドレス 0131h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	-	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b1	DFB	TRCIOB 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b2	DFC	TRCIOC 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b3	DFD	TRCIOD 端子デジタルフィルタ機能 選択ビット(注1)	0: 機能なし 1: 機能あり	R/W
b4	DFTRG	TRCTRG 端子デジタルフィルタ機能 選択ビット(注2)	0: 機能なし 1: 機能あり	R/W
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	DFCK0	デジタルフィルタ機能用クロック選 択ビット(注1、2)	b7 b6 00: f32 01: f8 10: f1 11: カウントソース (TRCCR1 レジスタのTCK2 ~ TCK0 ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

表19.14 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA		ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB (注1)		ジェネラルレジスタ。PWM出力の変化点を設定してくだ さい。	
TRCGRC (注1)	BFC=0	ジェネラルレジスタ。PWM出力の変化点(トリガからの ウェイト時間)を設定してください。	
TRCGRD	BFD=0	(PWM2モードでは使用しません)	
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定して ください(「19.3.2 バッファ動作」参照)。	TRCIOB端子

j=A、B、C、Dのいずれか

BFC、BFD: TRCMRレジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。



19.7.4 動作例

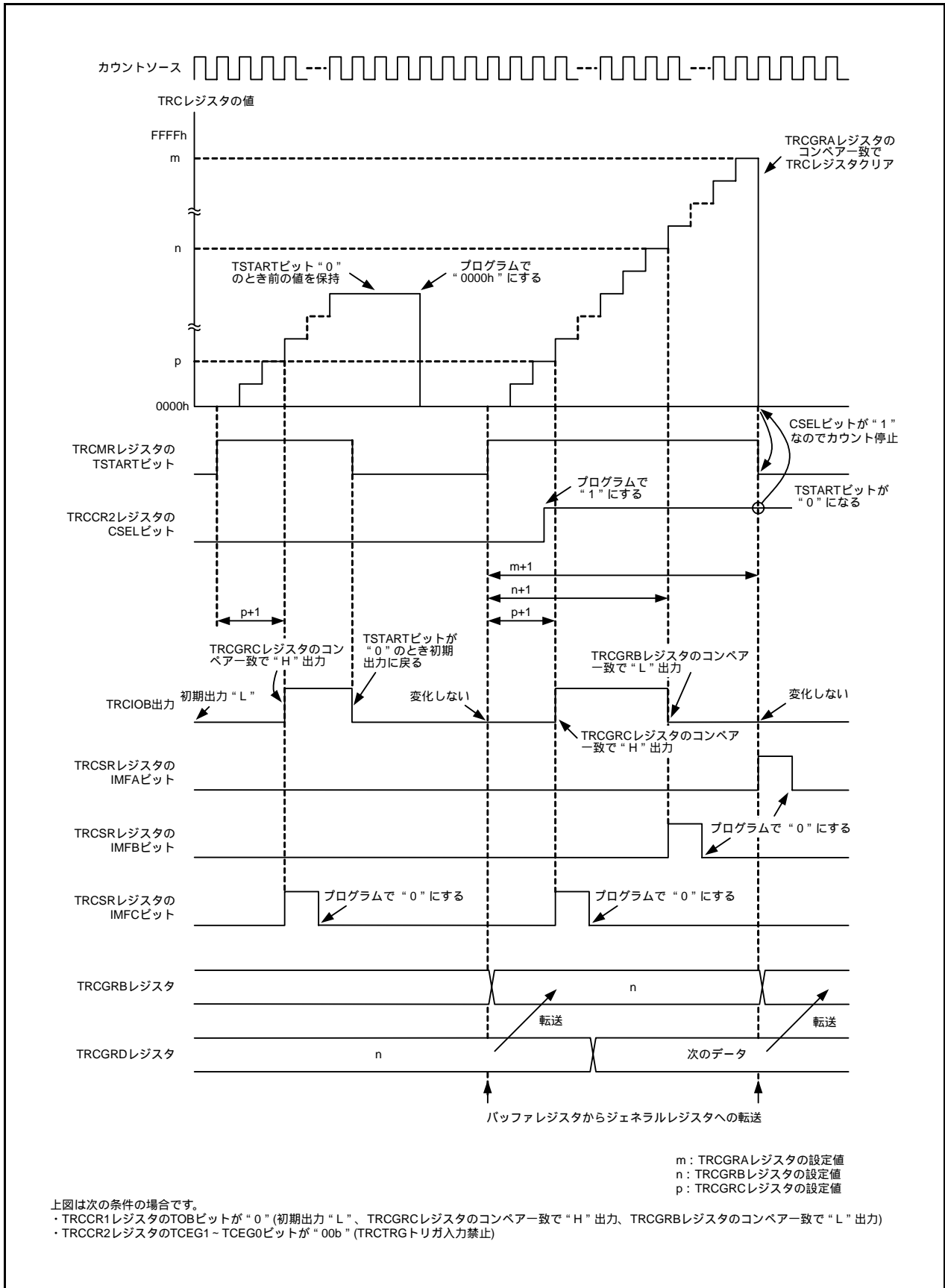


図 19.17 PWM2モードの動作例 (TRCTRГ トリガ入力禁止の場合)

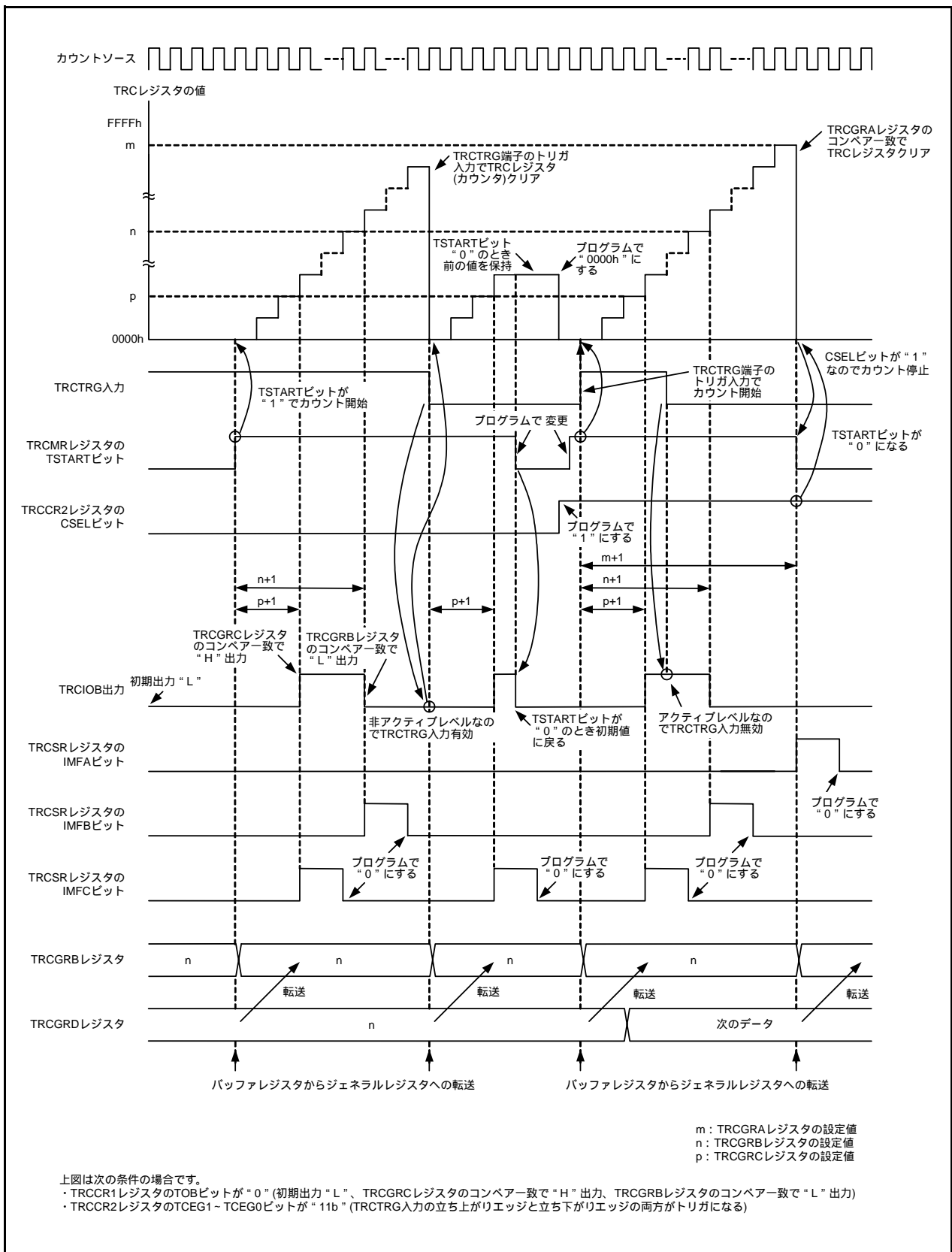


図 19.18 PWM2モードの動作例 (TRCTRGトリガ入力許可の場合)

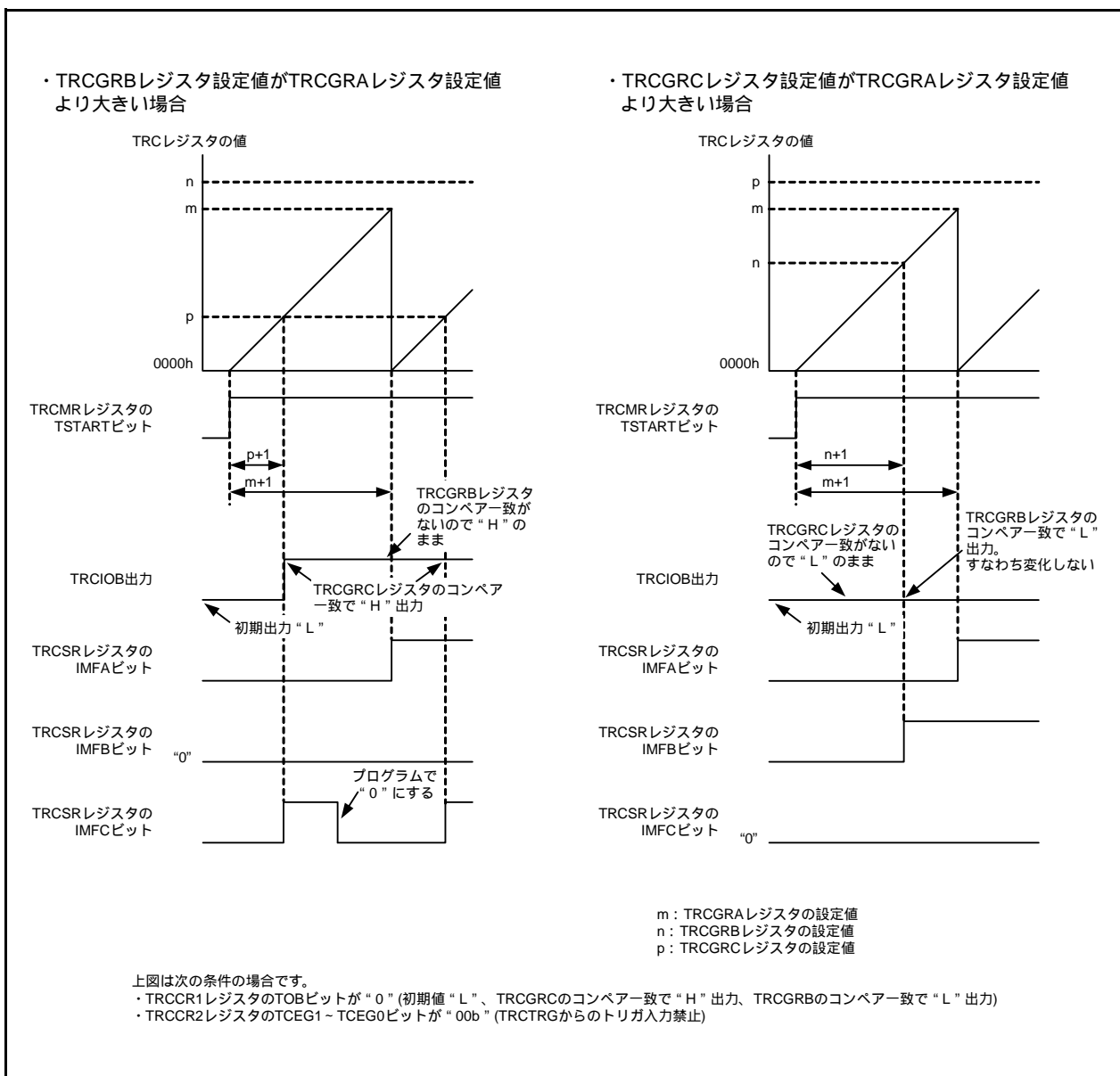


図 19.19 PWM2モードの動作例 (デューティ 0%、デューティ 100%)

## 19.8 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表19.15にタイマRC割り込み関連レジスタを、図19.20にタイマRC割り込みのブロック図を示します。

表19.15 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

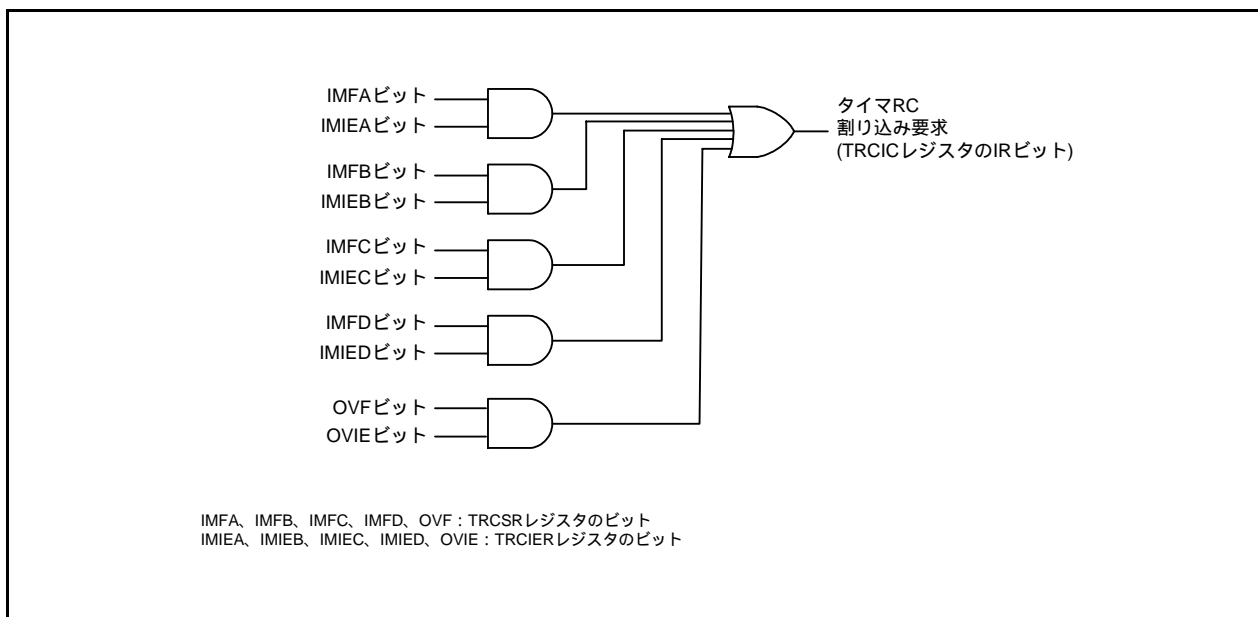


図19.20 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが“1”で、それに対応するTRCIERレジスタのビットが“1”(割り込み許可)の場合、TRCICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRCIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「19.2.5 タイマRCステータスレジスタ(TRCSR)」を参照してください。

TRCIERレジスタは「19.2.4 タイマRC割り込み許可レジスタ(TRCIER)」を参照してください。

TRCICレジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

## 19.9 タイマRC使用上の注意

### 19.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。  
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。  
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。
- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。  
プログラム例
 

MOV.W #XXXXh, TRC	;	書き込み
JMP.B L1	;	JMP.B命令
L1: MOV.W TRC, DATA	;	読み出し

### 19.9.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

MOV.B #XXh, TRCSR	;	書き込み
JMP.B L1	;	JMP.B命令
L1: MOV.B TRCSR, DATA	;	読み出し

### 19.9.3 TRCCR1レジスタ

TRCCR1レジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

### 19.9.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。  
変更手順
  - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待つからfOCO40Mを停止させてください。  
変更手順
  - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
  - (3) f1の2サイクル以上待つ
  - (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40Mに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの2サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) fOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル+fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) fOCO-Fの1サイクル+fOCO40Mの1サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

### 19.9.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅については、次のように設定してください。  
[デジタルフィルタなしの場合]  
タイマRCの動作クロックの3サイクル分以上(「表19.1 タイマRCの動作クロック」参照)  
[デジタルフィルタありの場合]  
デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図19.5 デジタルフィルタのブロック図」参照)
- TRCIOj (j=A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

### 19.9.6 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペアー一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペアー一致が発生するタイミングで、TRCMRレジスタに書かないでください。

### 19.9.7 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=2.7V～5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

## 20. タイマRF

タイマRFは、16ビットタイマです。

### 20.1 概要

タイマRFのカウンタソースは、タイマ動作の動作クロックになります。図20.1にタイマRFのブロック図を、表20.1にタイマRFの端子構成を示します。図20.2にCMP波形生成部ブロック図を、図20.3にCMP波形出力部ブロック図を示します。

タイマRFは2種類のモードを持ちます。

- ・インプットキャプチャモード 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- ・アウトプットコンペアモード カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)

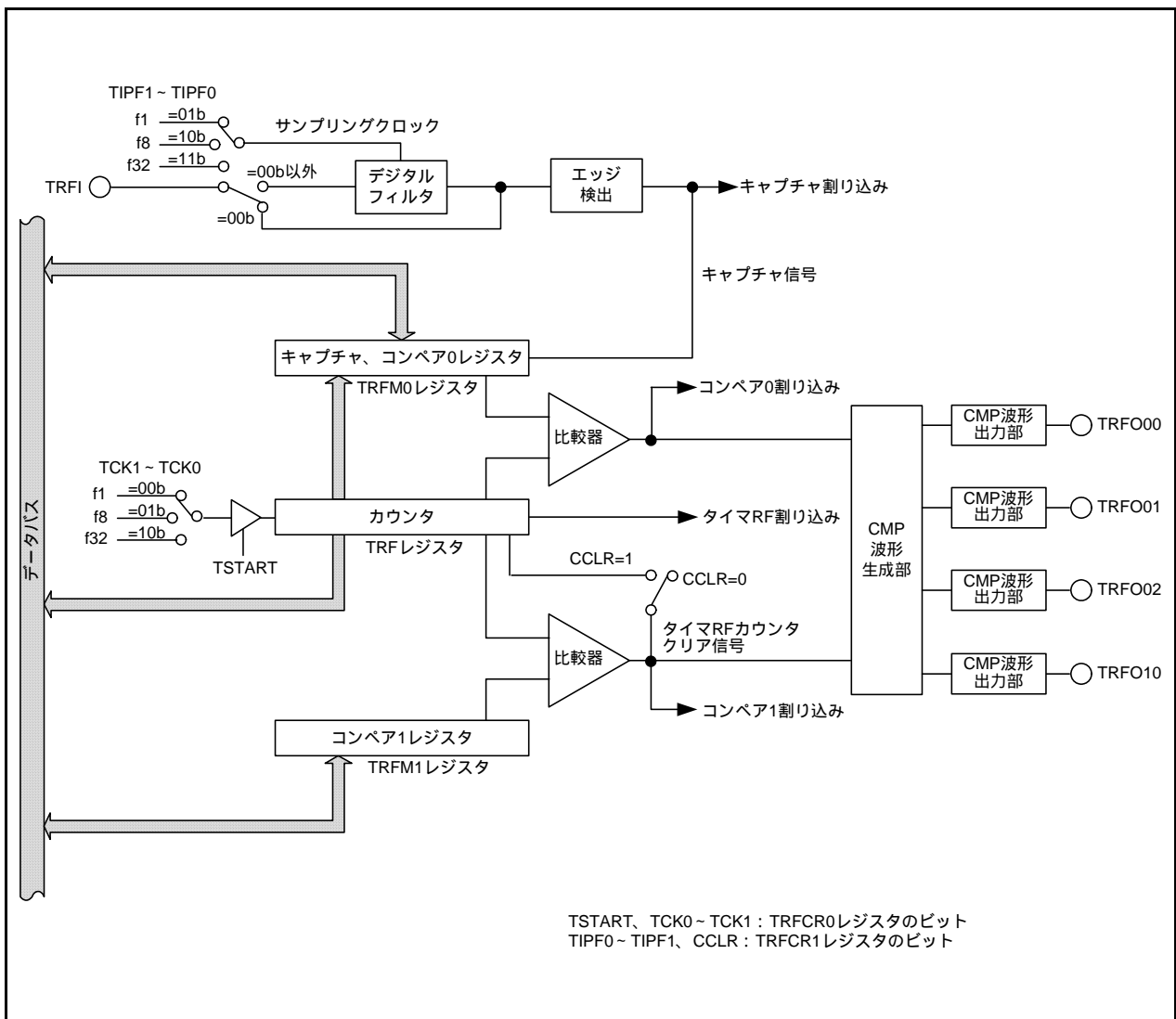


図20.1 タイマRFのブロック図

表20.1 タイマRFの端子構成

端子名	割り当てる端子	入出力	機能
TRFI	P8_3	入力	測定パルス入力(インプットキャプチャモード) アウトプットコンペア出力 (アウトプットコンペアモード)
TRFO00	P8_0	出力	
TRFO01	P8_1	出力	
TRFO02	P8_2	出力	
TRFO10	P8_3	出力	

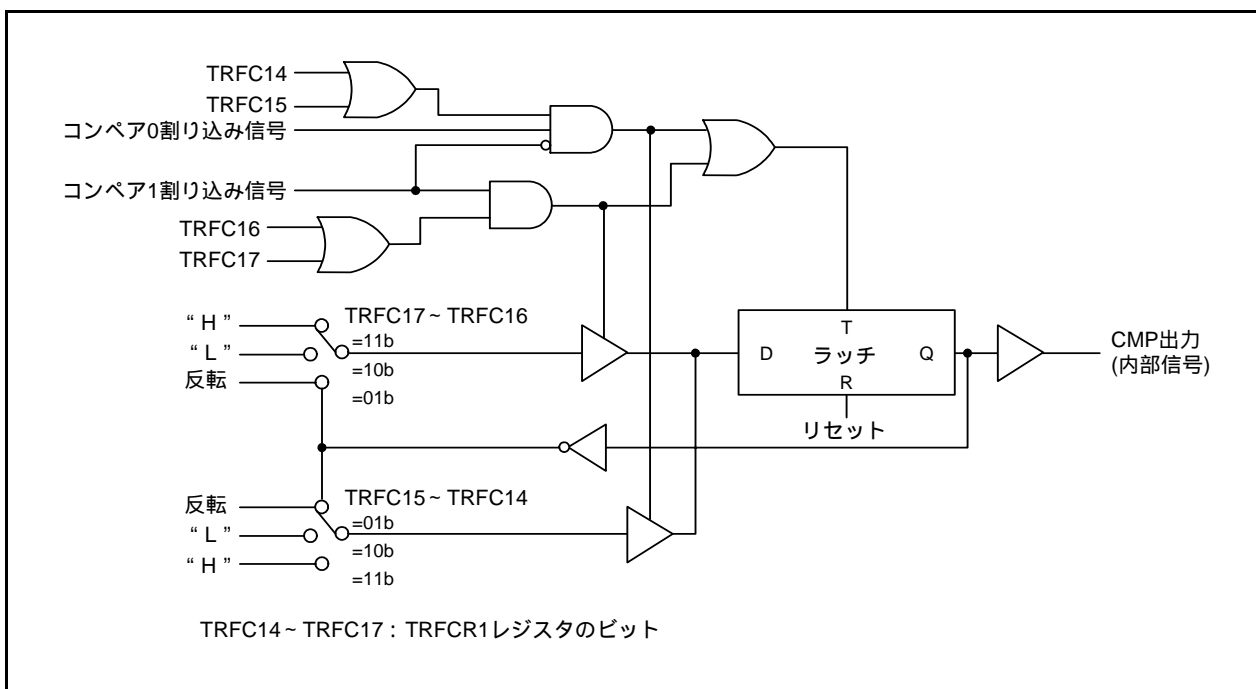


図20.2 CMP波形生成部ブロック図

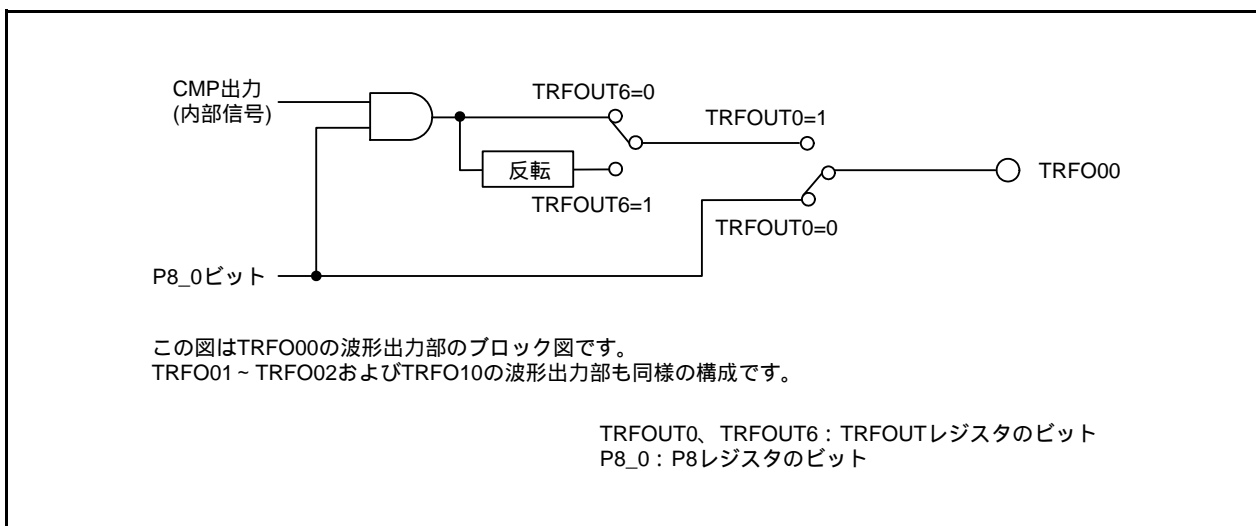


図20.3 CMP波形出力部ブロック図



## 20.2 レジスタの説明

## 20.2.1 タイマRFレジスタ(TRF)

アドレス 0091h ~ 0090h 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15 ~ b0	カウントソースをアップカウント。 TSTARTビットが“0”(カウント停止)のときに読み出すと、“0000h”が読み出される。 TSTARTビットが“1”(カウント開始)のときに読み出すと、カウント値が読み出される。	R

TRFレジスタは、16ビット単位でアクセスしてください。

## 20.2.2 キャプチャ、コンペア0レジスタ(TRFM0)

アドレス 009Dh ~ 009Ch 番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0 (注1)
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0 (注1)

ビット	モード	機能	設定範囲	R/W
b15 ~ b0	インプット キャプチャモード	測定パルスの有効エッジ入力時、TRFレジスタの値を格納	-	R
	アウトプット コンペアモード(注2)	TRFレジスタ(カウンタ)との比較値を格納	0000h ~ FFFFh	R/W

注1. TRFCR1レジスタのTMODビットを“1”にすると、FFFFhになります。

注2. TRFM0レジスタに値を設定する場合は、TRFCR1レジスタのTMODビットを“1”(アウトプットコンペアモード)にしてください。TMODビットが“0”(インプットキャプチャモード)のとき、値を書けません。

TRFM0レジスタは、16ビット単位でアクセスしてください。

## 20.2.3 コンペア1レジスタ(TRFM1)

アドレス 009Fh ~ 009Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b15 ~ b0	アウトプット コンペアモード	TRFレジスタ(カウンタ)との比較値を格納	0000h ~ FFFFh	R/W

TRFM1レジスタは、16ビット単位でアクセスしてください。

## 20.2.4 タイマRF制御レジスタ0 (TRFCR0)

アドレス 009Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	TRFC06	TRFC05	TRFC04	TRFC03	TCK1	TCK0	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRFカウント開始ビット	0 : カウント停止 1 : カウント開始	R/W
b1	TCK0	タイマRFカウントソース 選択ビット(注1)	b2 b1 00 : f1 01 : f8 10 : f32 11 : 設定しないでください	R/W
b2	TCK1			R/W
b3	TRFC03	キャプチャ極性選択ビット(注1)	b4 b3 00 : 立ち上がりエッジ 01 : 立ち下がりエッジ 10 : 両エッジ 11 : 設定しないでください	R/W
b4	TRFC04			R/W
b5	TRFC05	カウント停止時のCMP出力選択 ビット0	0 : TRFC06ビット無効 カウント停止前の出力レベルを保持 1 : TRFC06ビット有効	R/W
b6	TRFC06	カウント停止時のCMP出力選択 ビット1	0 : カウント停止時“L”出力 1 : カウント停止時“H”出力	R/W
b7	-	予約ビット	“0” にしてください。	R/W

注1. このビットの変更は、TSTARTビットが“0”(カウント停止)のとき、行ってください。

## 20.2.5 タイマRF制御レジスタ1 (TRFCR1)

アドレス 009Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRFC17	TRFC16	TRFC15	TRFC14	TMOD	CCLR	TIPF1	TIPF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TIPF0	TRFIフィルタ選択ビット(注1)	b1 b0 00: フィルタなし 01: fフィルタあり、f1でサンプリング 10: fフィルタあり、f8でサンプリング 11: fフィルタあり、f32でサンプリング	R/W
b1	TIPF1			R/W
b2	CCLR	TRFレジスタカウント動作 選択ビット(注2、3)	0: フリーランニング動作 1: コンペア1一致時にTRFレジスタを“0000h”にする	R/W
b3	TMOD	タイマRF動作モード選択ビット (注3)	0: インพุットキャプチャモード(注2、4) 1: アウトプットコンペアモード	R/W
b4	TRFC14	コンペア0出力選択ビット(注2)	b5 b4 コンペア0一致時のCMP出力 00: 変化しない 01: 反転 10: “L” 11: “H”	R/W
b5	TRFC15			R/W
b6	TRFC16	コンペア1出力選択ビット(注2)	b7 b6 コンペア1一致時のCMP出力 00: 変化しない 01: 反転 10: “L” 11: “H”	R/W
b7	TRFC17			R/W

注1. フィルタありの場合、TRFI端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

注2. TMODビットが“0”(インพุットキャプチャモード)のとき、CCLR、TRFC14 ~ TRFC17ビットは“0”にしてください。

注3. CCLR、TMODビットは、TRFCR0レジスタのTSTARTビットが“0”(カウント停止)のとき、変更してください。

注4. TMODビットが“0”(インพุットキャプチャモード)のとき、CMP1ICレジスタのILVL2 ~ ILVL0ビットを“000b”(レベル0)、IRビットを“0”(割り込み要求なし)にしてください。

## 20.2.6 タイマRF出力制御レジスタ(TRFOUT)

アドレス 0187h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRFOUT7	TRFOUT6	-	-	TRFOUT3	TRFOUT2	TRFOUT1	TRFOUT0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRFOUT0	TRFO00出力許可ビット	0: 出力禁止 1: 出力許可	R/W
b1	TRFOUT1	TRFO01出力許可ビット		R/W
b2	TRFOUT2	TRFO02出力許可ビット		R/W
b3	TRFOUT3	TRFO10出力許可ビット		R/W
b4	-	予約ビット	“0”にしてください	R/W
b5	-			R/W
b6	TRFOUT6	TRFO00 ~ TRFO02出力反転ビット	0: 出力を反転しない	R/W
b7	TRFOUT7	TRFO10出力反転ビット	1: 出力を反転する	R/W

## 20.2.7 タイマ端子選択レジスタ(TIMSR)

アドレス 0186h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	TRFISEL0	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	"0" にしてください	R/W
b1	-		何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。	-
b2	TRFISEL0	TRFI端子選択ビット	0: TRFI端子は使用しない 1: P8_3に割り当てる	R/W
b3	-		何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。	-
b4	-	予約ビット	"0" にしてください	R/W
b5	-			
b6	-			
b7	-			

TIMSRレジスタは、タイマRFの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRFの入出力端子を使用する場合は、TIMSRレジスタを設定してください。

タイマRFの関連レジスタを設定する前に、TIMSRレジスタを設定してください。また、タイマRFの動作中はTIMSRレジスタの設定値を変更しないでください。

### 20.3 インพุットキャプチャモード

インพุットキャプチャモードは、TRFI端子へのエッジ入力をトリガとしてタイマの値をラッチし、外部信号の幅や周期を測定するモードです。またTRFI入力はデジタルフィルタを持ちますので、ノイズ等による誤動作を防止できます。表20.2にインพุットキャプチャモードの仕様を、図20.4にインพุットキャプチャモードの動作例を示します。

表20.2 インพุットキャプチャモードの仕様

項目	仕様
カウントソース	f1、f8、f32
カウント動作	<ul style="list-style-type: none"> <li>• アップカウント</li> <li>• 測定パルスの有効エッジ入力で、TRFレジスタの値をTRFM0レジスタに転送</li> </ul>
カウンタ周期	$1/fk \times 65536$ fk: カウントソースの周波数
カウント開始条件	TRFCR0レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRFCR0レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• TRFI入力の有効エッジ[キャプチャ割り込み]</li> <li>• タイマRFのオーバフロー時[タイマRF割り込み]</li> </ul>
TRFI端子機能	測定パルス入力
TRFO00 ~ TRFO02、 TRFO11、TRFO12端子機能	プログラマブル入出力ポート
カウンタ値初期化タイミング	次のとき、TRFレジスタの値は“0000h”になる <ul style="list-style-type: none"> <li>• TRFCR0レジスタのTSTARTビットへの“0”(カウント停止)書き込み時</li> </ul>
タイマの読み出し	<ul style="list-style-type: none"> <li>• TRFレジスタを読み出すと、カウント値が読み出される</li> <li>• TRFM0レジスタを読み出すと、測定パルス有効エッジ入力時のカウント値が読み出される</li> </ul>
タイマの書き込み	TRF、TRFM0レジスタへの書き込みはできない。
選択機能	<ul style="list-style-type: none"> <li>• TRFI極性選択 測定パルスの有効エッジを選択 (TRFCR0レジスタのTRFC03 ~ TRFC04ビット)</li> <li>• デジタルフィルタ機能 TRFI入力をサンプリングし、3回一致したらレベルが確定したとみなす。 デジタルフィルタのサンプリングクロックを選択できる。 (TRFCR1レジスタのTIPF0 ~ TIPF1ビット)</li> </ul>

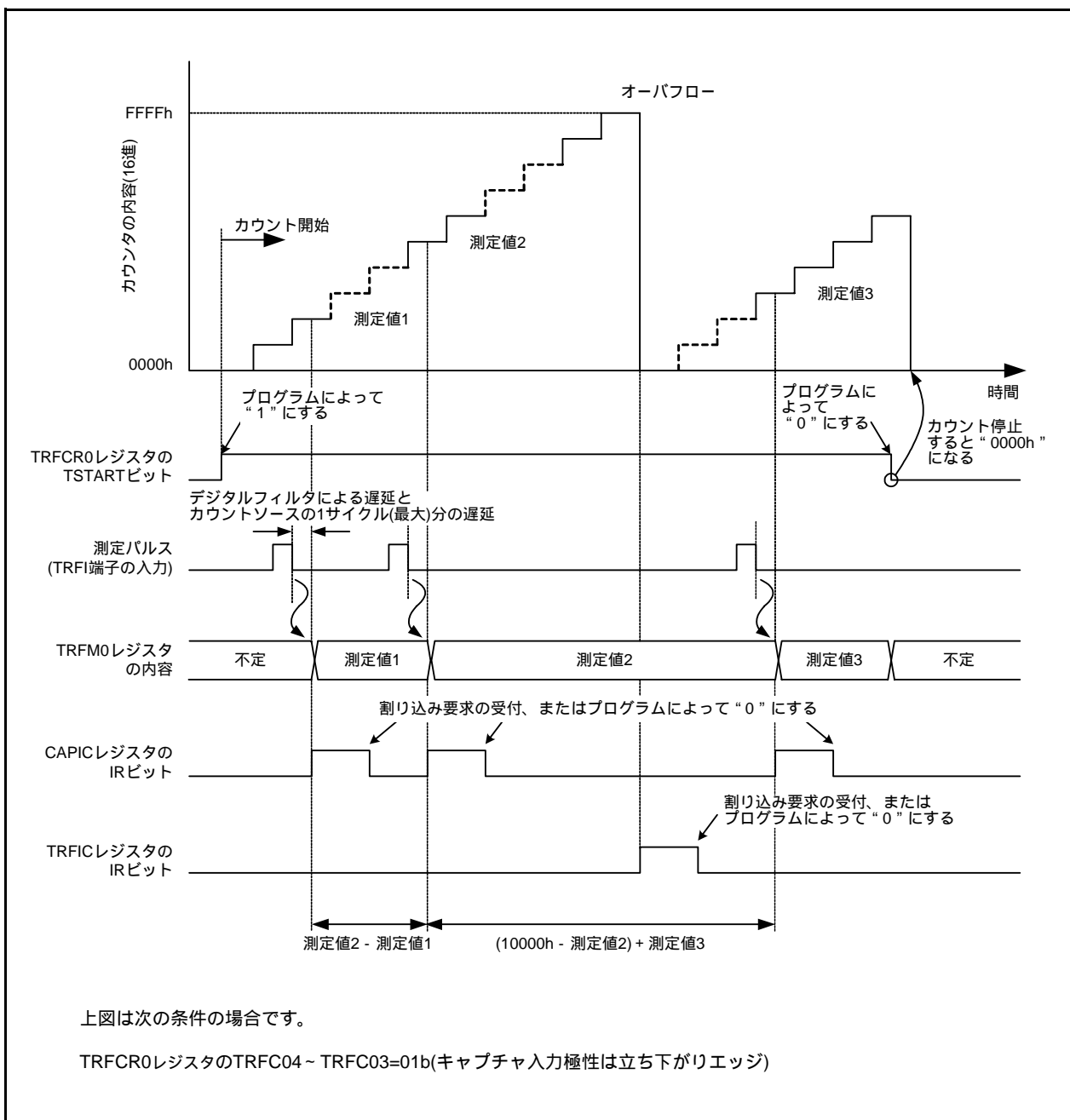


図20.4 インputキャプチャモードの動作例

## 20.3.1 デジタルフィルタ

TRFI入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRFCR1レジスタで選択してください。

図20.5にデジタルフィルタを示します。

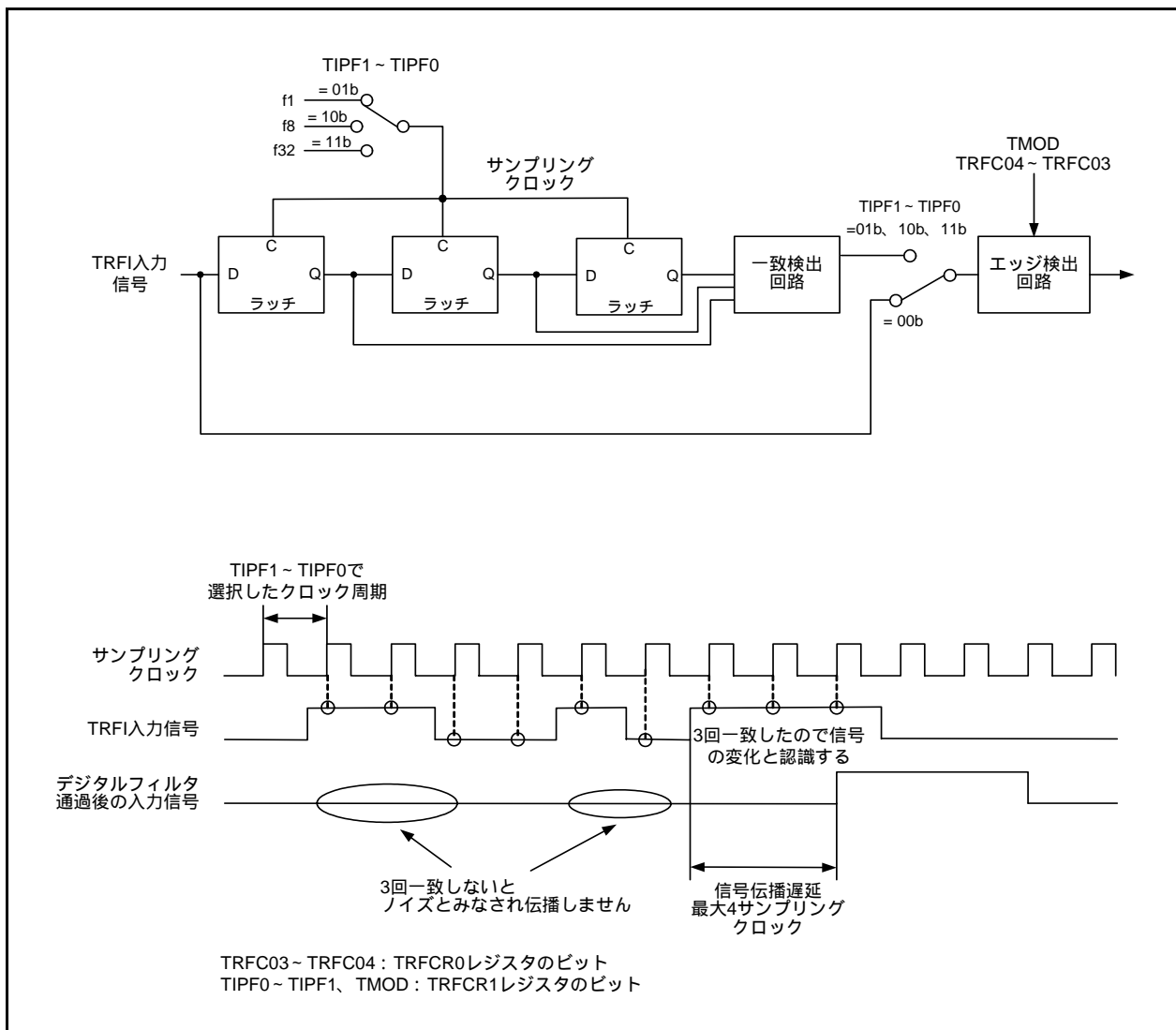
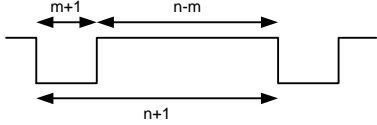


図20.5 デジタルフィルタ

## 20.4 アウトプットコンペアモード

アウトプットコンペアモードはTRFレジスタとTRFM0レジスタの値が一致したとき(コンペア0一致)、またはTRFレジスタとTRFM1レジスタの値が一致したとき(コンペア1一致)に、アウトプットコンペア出力端子から任意のレベルを出力するモードです。表20.3にアウトプットコンペアモードの仕様を、表20.4にアウトプットコンペアモードの出力(TRFO00端子の例)を、図20.6にアウトプットコンペアモードの動作例を、図20.7にアウトプットコンペアモードの動作例(カウント中の“L”、“H”固定出力)を示します。

表20.3 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f1、f8、f32
カウント動作	アップカウント
PWM波形	PWM周期： $1/fk \times (n+1)$ “L”レベル幅： $1/fk \times (m+1)$ “H”レベルの幅： $1/fk \times (n-m)$ fk：カウントソースの周波数 m：TRFM0レジスタ設定値 n：TRFM1レジスタ設定値 
カウント開始条件	TRFCR0レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRFCR0レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>コンペア0一致時[コンペア0割り込み]</li> <li>コンペア1一致時[コンペア1割り込み]</li> <li>タイマRFのオーバーフロー時[タイマRF割り込み]</li> </ul>
TRFO00～TRFO12端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力
カウンタ値初期化タイミング	次のとき、TRFレジスタの値は“0000h”になる <ul style="list-style-type: none"> <li>TRFCR0レジスタのTSTARTビットへの“0”(カウント停止)書き込み時</li> <li>TRFCR1レジスタのCCLRビットが“1”(コンペア1一致時にTRFレジスタを“0000h”にする)ときのコンペア1一致</li> </ul>
タイマの読み出し	<ul style="list-style-type: none"> <li>TRFレジスタを読み出すと、カウント値が読み出される</li> <li>TRFM0、TRFM1レジスタを読み出すと、コンペアレジスタの値が読み出される</li> </ul>
タイマの書き込み	TRFレジスタへの書き込みはできない。
選択機能	<ul style="list-style-type: none"> <li>アウトプットコンペア出力端子選択 TRFO00～TRFO02、TRFO10端子のいずれか1本または複数本 (TRFOUTレジスタのTRFOUT0～TRFOUT3ビット)</li> <li>コンペア一致時の出力レベル “H”、“L”、反転、変化しないを選択(TRFCR1レジスタのTRFC14～TRFC17ビット)</li> <li>出力レベル反転 出力レベルを反転する、反転しないを選択(TRFOUTレジスタのTRFOUT6～TRFOUT7ビット)</li> <li>カウント停止時の出力レベル “H”、“L”、変化しないを選択(TRFCR0レジスタのTRFC05～TRFC06ビット)</li> <li>TRFレジスタを“0000h”にするタイミング オーバーフロー、またはTRFM1レジスタのコンペア1一致(TRFCR1レジスタのCCLRビット)</li> </ul>

次の条件の場合です。  
 ・コンペア0一致時CMP出力“H”  
 ・コンペア1一致時CMP出力“L”  
 ・CMP出力を反転しない



表20.4 アウトプットコンペアモードの出力(TRFO00端子の例)

TRFO00出力		ビットの設定値					
		TRFCR0レジスタ			TRFOUTレジスタ		P8レジスタ
		TRFC06	TRFC05	TSTART	TRFOUT6	TRFOUT0	P8_0
カウント中	CMP出力	X	X	1	0	1	1
	CMP出力の反転出力	X	X	1	1	1	1
	“L”出力	X	X	1	0	1	0
	“H”出力	X	X	1	1	1	0
カウント停止	カウント停止前の出力レベルを保持	X	0	0	X	1	1
	“L”出力	0	1	0	X	1	1
	“H”出力	1	1	0	X	1	1

X: “0” または “1”

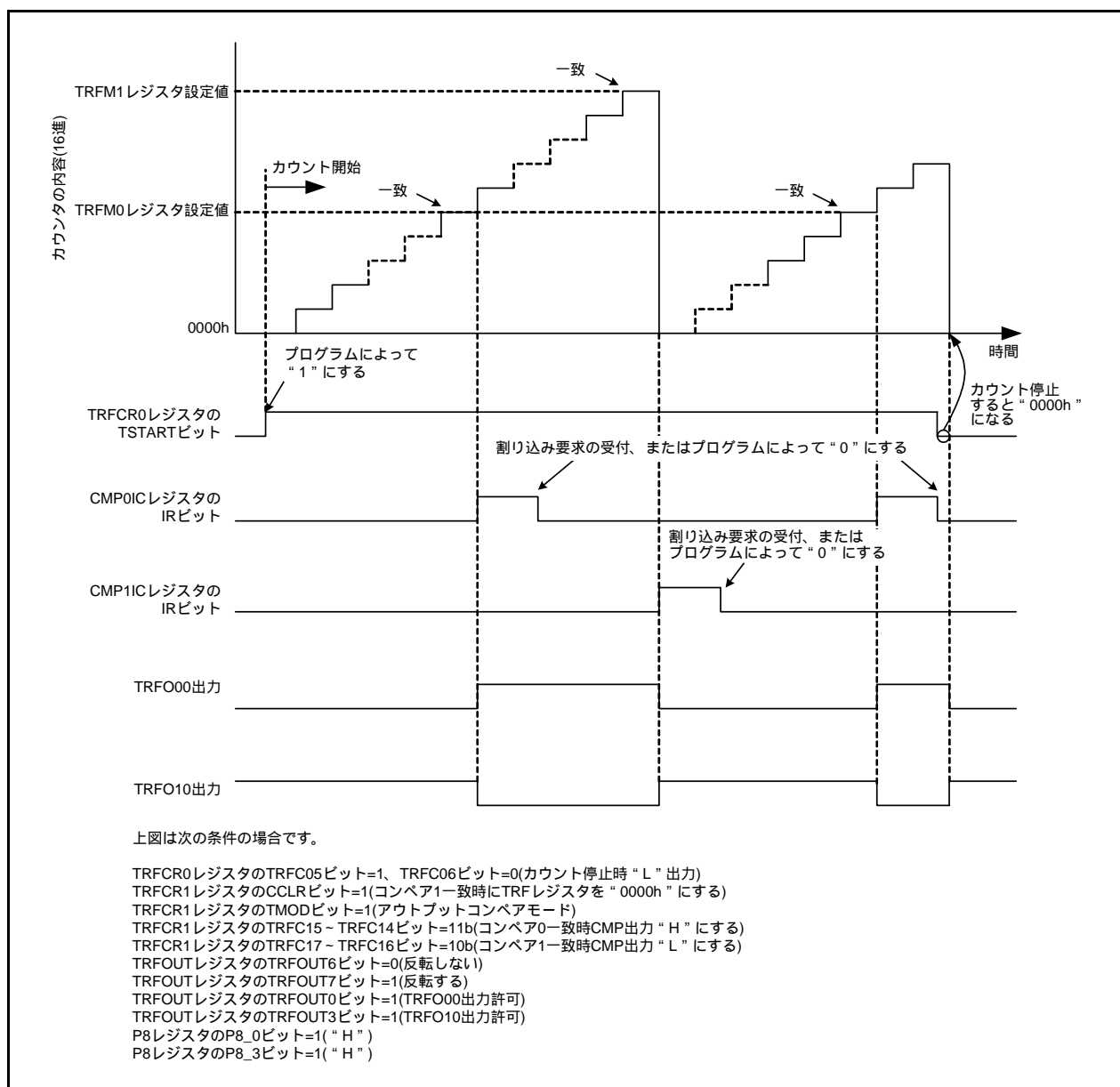


図20.6 アウトプットコンペアモードの動作例

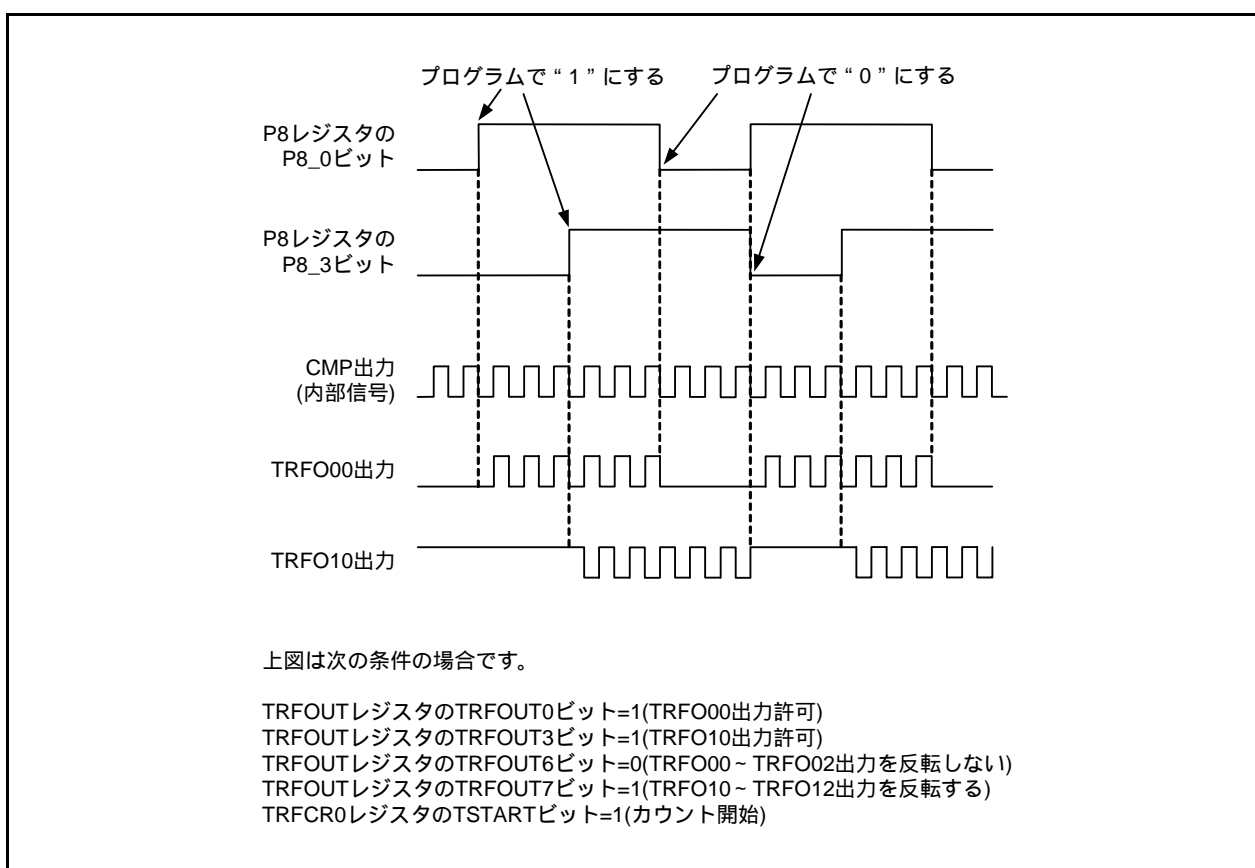


図20.7 アウトプットコンペアモードの動作例(カウント中の“L”、“H”固定出力)

アウトプットコンペアモードでは、カウント中TRFO00～TRFO02とTRFO10のどの端子からも、同じPWM波形を出力します。ただし、TRFO00～TRFO02の3本単位、TRFO10の1本単位で出力波形を反転することができます。

カウントを停止する場合には、カウント停止前の出力レベルを保持するか、“L”または“H”に出力を固定するか選択できます。

TRFM<sub>i</sub> (i=0, 1)レジスタを読み出すとコンペアiレジスタの値が読めます。TRFM<sub>i</sub>レジスタへ書くと、次のタイミングでコンペアiレジスタに値が格納されます。

- TSTARTビットが“0”(カウント停止)の場合  
TRFM<sub>i</sub>レジスタへ書くと同時
- TSTARTビットが“1”(カウント中)かつTRFCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合  
TRFレジスタ(カウンタ)がオーバーフローしたとき
- TSTARTビットが“1”かつCCLRビットが“1”(コンペア1一致時にTRFレジスタを“0000h”にする)の場合  
コンペア1レジスタとTRFレジスタ(カウンタ)が一致したとき

## 20.5 タイマRF使用上の注意

- TRFレジスタ、TRFM0レジスタおよびTRFM1レジスタは、16ビット単位でアクセスしてください。

<タイマRFを読み出すプログラム例>

```
MOV.W    0090H, R0    ;タイマRFの読み出し
```

- インพุットキャプチャモードでは、TRFCR0レジスタのTSTARTビットが“0”(カウント停止)のときも、TRFCR0レジスタのTRFC03、TRFC04ビットで選択したエッジがTRFI端子に入力されると、キャプチャ割り込み要求が発生します。

## 21. シリアルインタフェース(UARTi (i=0、1、3))

シリアルインタフェースはUART0 ~ UART3の4チャンネルで構成しています。本章はUARTi (i=0、1、3)について説明します。

### 21.1 概要

UART0、UART1、およびUART3はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図21.1にUARTi (i=0、1、3)のブロック図を、図21.2に送受信部のブロック図を、表21.1にUARTi (i=0、1、3)の端子構成を示します。

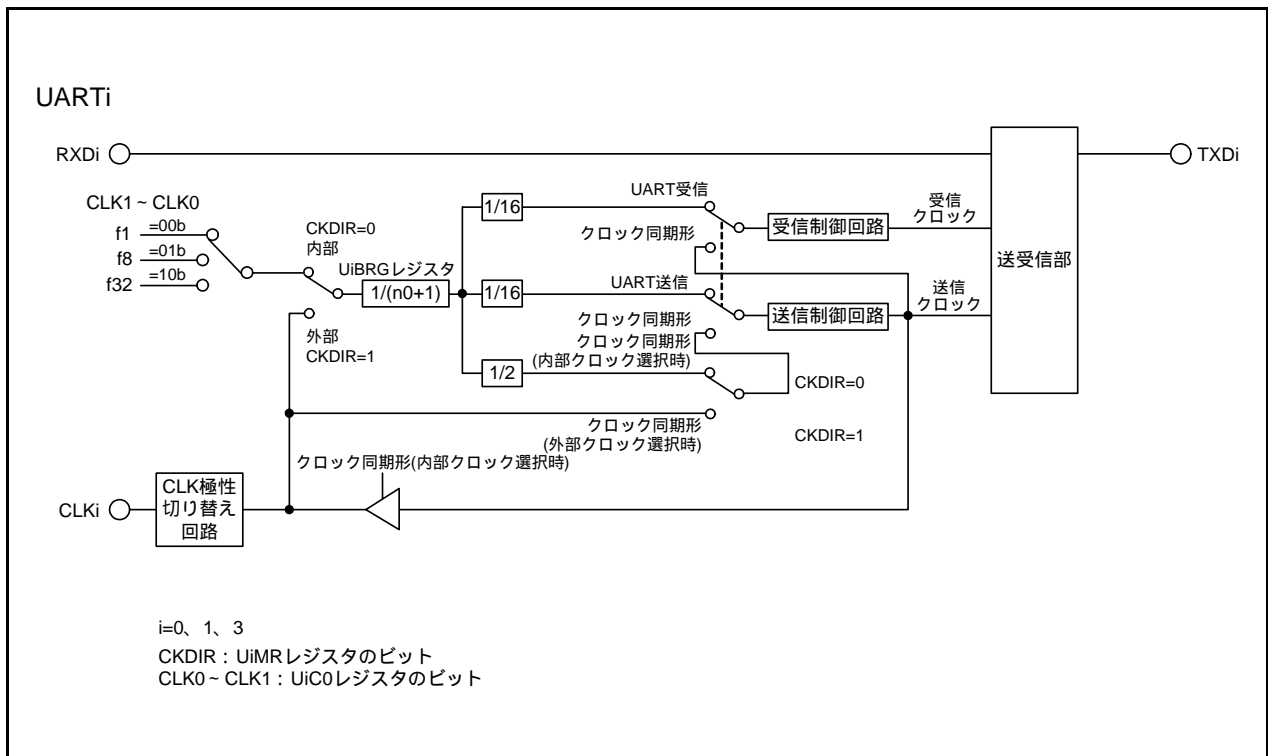


図21.1 UARTi (i=0、1、3)のブロック図

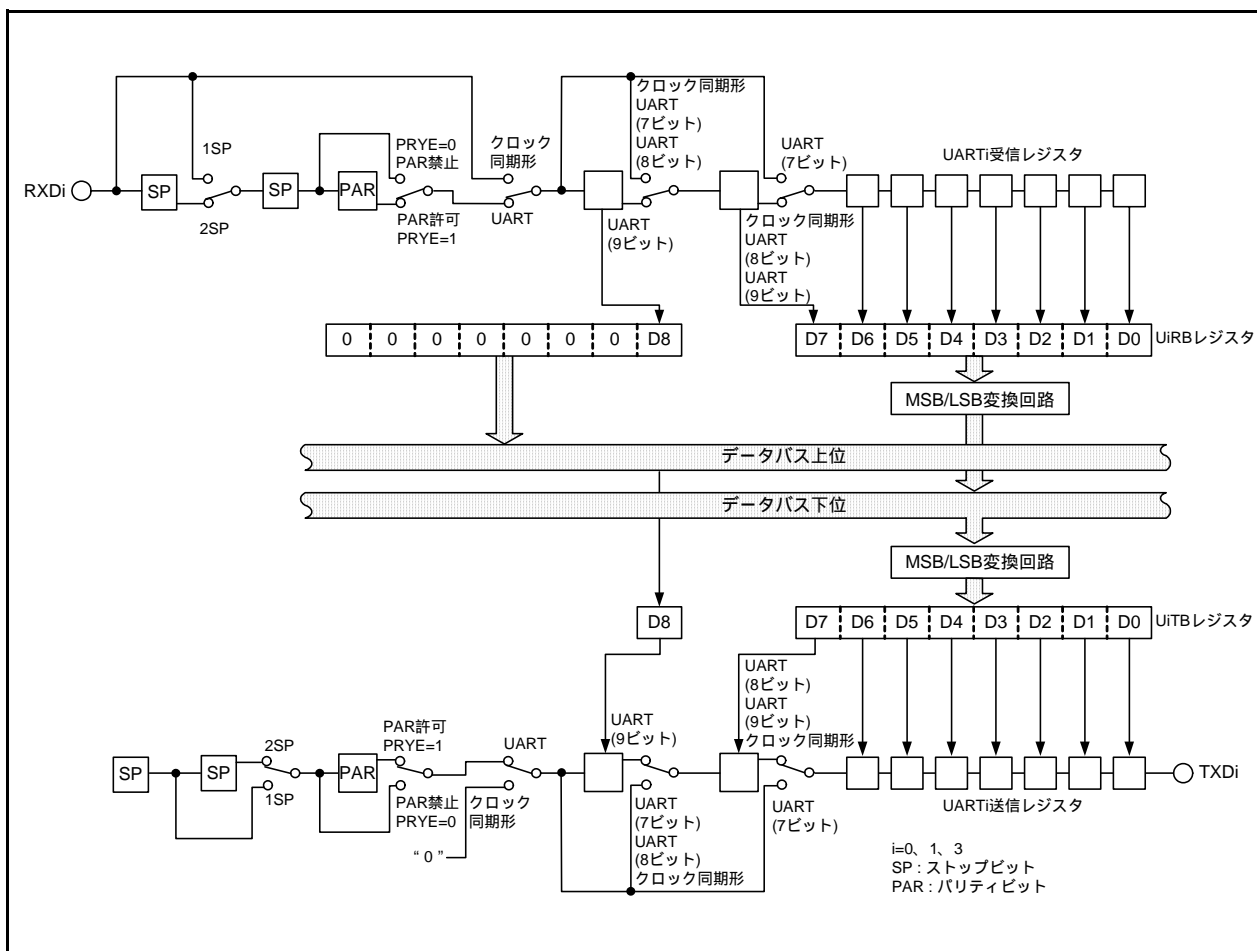


図21.2 送受信部のブロック図

表21.1 UARTi (i=0、1、3)の端子構成

端子名	割り当てる端子	入出力	機能
TXD0	P1_4	出力	シリアルデータ出力
RXD0	P1_5	入力	シリアルデータ入力
CLK0	P1_6	入出力	転送クロック入出力
TXD1	P0_1	出力	シリアルデータ出力
RXD1	P0_2	入力	シリアルデータ入力
CLK1	P0_3またはP6_5	入出力	転送クロック入出力
TXD3	P8_2	出力	シリアルデータ出力
RXD3	P8_3	入力	シリアルデータ入力
CLK3	P8_1	入出力	転送クロック入出力

## 21.2 レジスタの説明

## 21.2.1 UARTi送受信モードレジスタ(UiMR)(i=0、1、3)

アドレス 00A0h番地(U0MR)、0160h番地(U1MR)、0168h番地(U3MR)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 000: シリアルインタフェースは無効 001: クロック同期形シリアルI/Oモード 100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	R/W
b7	-	予約ビット	"0" にしてください	R/W

## 21.2.2 UARTiビットレートレジスタ(UiBRG)(i=0、1、3)

アドレス 00A1h番地(U0BRG)、0161h番地(U1BRG)、0169h番地(U3BRG)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7 ~ b0	設定値をnとすると、UiBRGはカウントソースをn+1分周する	00h ~ FFh	W

UiBRGレジスタは、送受信停止中に書いてください。

UiBRGレジスタは、MOV命令を使用して書いてください。

UiC0レジスタのCLK0 ~ CLK1ビットを設定した後、UiBRGレジスタに書いてください。

## 21.2.3 UARTi送信バッファレジスタ(UiTb)(i=0、1、3)

アドレス 00A3h ~ 00A2h番地(U0TB)、0163h ~ 0162h番地(U1TB)、016Bh ~ 016Ah番地(U3TB)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	-	送信データ	W
b1	-		
b2	-		
b3	-		
b4	-		
b5	-		
b6	-		
b7	-		
b8	-		
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-
b10	-		
b11	-		
b12	-		
b13	-		
b14	-		
b15	-		

転送データ長が9ビットの場合、UiTBレジスタの上位バイト 下位バイトの順で書いてください。  
UiTBレジスタはMOV命令を使用して書いてください。

## 21.2.4 UARTi送受信制御レジスタ0 (UiC0)(i=0、1、3)

アドレス 00A4h番地(U0C0)、0164h番地(U1C0)、016Ch番地(U3C0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	-	TXEPT	-	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	BRGカウントソース選択ビット(注1)	b1 b0 00: f1を選択 01: f8選択 10: f32を選択 11: 設定しないでください	R/W
b1	CLK1			R/W
b2	-	予約ビット	"0" にしてください	R/W
b3	TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	R
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	NCH	データ出力選択ビット	0: TXDi端子はCMOS出力 1: TXDi端子はNチャンネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1: 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット	0: LSBファースト 1: MSBファースト	R/W

注1. BRGカウントソースを変更した場合は、UiBRGレジスタを再設定してください。

## 21.2.5 UARTi送受信制御レジスタ1 (UiC1)(i=0、1、3)

アドレス 00A5h番地(U0C1)、0165h番地(U1C1)、016Dh番地(U3C1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	UiRRM	UiIRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b1	TI	送信バッファ空フラグ	0: UiTBにデータあり 1: UiTBにデータなし	R
b2	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b3	RI	受信完了フラグ(注1)	0: UiRBにデータなし 1: UiRBにデータあり	R
b4	UiIRS	UARTi送信割り込み要因選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)	R/W
b5	UiRRM	UARTi連続受信モード許可ビット(注2)	0: 連続受信モード禁止 1: 連続受信モード許可	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			-

注1. RIビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。

注2. UARTモード時、UiRRMビットは“0”(連続受信モード禁止)にしてください。



## 21.2.6 UARTi受信バッファレジスタ(UiRB)(i=0、1、3)

アドレス 00A7h ~ 00A6h番地(U0RB)、0167h ~ 0166h番地(U1RB)、016Fh ~ 016Eh番地(U3RB)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	-	-	受信データ(D7 ~ D0)	R
b1	-	-		
b2	-	-		
b3	-	-		
b4	-	-		
b5	-	-		
b6	-	-		
b7	-	-		
b8	-	-	受信データ(D8)	R
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b10	-			
b11	-			
b12	OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1、2)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0: エラーなし 1: エラー発生	R

注1. SUM、PER、FER、OERビットは、UiMRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、“0”(エラーなし)になります(SUMビットは、PER、FER、OERビットがすべて“0”(エラーなし)になると、“0”(エラーなし)になります)。また、PER、FERビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。

UiMRレジスタのSMD2 ~ SMD0ビットを“000b”にするときは、UiC1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. UiMRレジスタのSMD2 ~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

UiRBレジスタは必ず16ビット単位で読み出してください。

## 21.2.7 UART0 端子選択レジスタ(U0SR)

アドレス 0188h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK0SEL0	-	RXD0SEL0	-	TXD0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SEL0	TXD0 端子選択ビット	0 : TXD0 端子は使用しない 1 : P1_4 に割り当てる	R/W
b1	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b2	RXD0SEL0	RXD0 端子選択ビット	0 : RXD0 端子は使用しない 1 : P1_5 に割り当てる	R/W
b3	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b4	CLK0SEL0	CLK0 端子選択ビット	0 : CLK0 端子は使用しない 1 : P1_6 に割り当てる	R/W
b5	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b6	-			
b7	-			

U0SR レジスタは、UART0 の入出力をどの端子に割り当てるかを選択するレジスタです。UART0 の入出力端子を使用する場合は、U0SR レジスタを設定してください。

UART0 の関連レジスタを設定する前に、U0SR レジスタを設定してください。また、UART0 の動作中は U0SR レジスタの設定値を変更しないでください。

## 21.2.8 UART1 端子選択レジスタ(U1SR)

アドレス 0189h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	CLK1SEL1	CLK1SEL0	-	RXD1SEL0	-	TXD1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD1SEL0	TXD1 端子選択ビット	0 : TXD1 端子は使用しない 1 : P0_1 に割り当てる	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	RXD1SEL0	RXD1 端子選択ビット	0 : RXD1 端子は使用しない 1 : P0_2 に割り当てる	R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	CLK1SEL0	CLK1 端子選択ビット	b5 b4 00 : CLK1 端子は使用しない 01 : P0_3 に割り当てる 10 : 設定しないでください 11 : P6_5 に割り当てる	R/W
b5	CLK1SEL1			
b6	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b7	-			

U1SR レジスタは、UART1 の入出力をどの端子に割り当てるかを選択するレジスタです。UART1 の入出力端子を使用する場合は、U1SR レジスタを設定してください。

UART1 の関連レジスタを設定する前に、U1SR レジスタを設定してください。また、UART1 の動作中は U1SR レジスタの設定値を変更しないでください。

## 21.2.9 UART3端子選択レジスタ(U3SR)

アドレス 2F12h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CLK3SELO	-	RXD3SELO	-	TXD3SELO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD3SELO	TXD3端子選択ビット	0 : TXD3端子は使用しない 1 : P8_2に割り当てる	R/W
b1	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b2	RXD3SELO	RXD3端子選択ビット	0 : RXD3端子は使用しない 1 : P8_3に割り当てる	R/W
b3	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b4	CLK3SELO	CLK3端子選択ビット	0 : CLK3端子は使用しない 1 : P8_1に割り当てる	R/W
b5	-		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b6	-			
b7	-			

U3SRレジスタは、UART3の入出力をどの端子に割り当てるかを選択するレジスタです。UART3の入出力端子を使用する場合は、U3SRレジスタを設定してください。

UART3の関連レジスタを設定する前に、U3SRレジスタを設定してください。また、UART3の動作中はU3SRレジスタの設定値を変更しないでください。

### 21.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表21.2にクロック同期形シリアルI/Oモードの仕様を、表21.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表21.2 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> <li>• UiMRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_i/(2(n+1))</math>  <math>f_i=f_i f_1, f_8, f_{32}</math> <math>n=UiBRG</math>レジスタの設定値 00h ~ FFh</li> <li>• CKDIRビットが“1”(外部クロック) : CLKi端子からの入力</li> </ul>
送信開始条件	送信開始には、以下の条件が必要です(注1)。 <ul style="list-style-type: none"> <li>• UiC1レジスタのTEビットが“1”(送信許可)</li> <li>• UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)</li> </ul>
受信開始条件	受信開始には、以下の条件が必要です(注1)。 <ul style="list-style-type: none"> <li>• UiC1レジスタのREビットが“1”(受信許可)</li> <li>• UiC1レジスタのTEビットが“1”(送信許可)</li> <li>• UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• 送信する場合、次の条件のいずれかを選択できます。 <ul style="list-style-type: none"> <li>- UiIRSビットが“0”(送信バッファ空) :  UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時)</li> <li>- UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時</li> </ul> </li> <li>• 受信する場合  UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<p>オーバランエラー(注2)</p> <p>UiRBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生</p>
選択機能	<ul style="list-style-type: none"> <li>• CLK極性選択  転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択</li> <li>• LSBファースト、MSBファースト選択  ビット0から送受信するか、またはビット7から送受信するかを選択</li> <li>• 連続受信モード選択  UiRBレジスタを読み出す動作により、同時に受信許可状態になる</li> </ul>

i=0、1、3

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

表21.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
UiTB	b0 ~ b7	送信データを設定してください
UiRB	b0 ~ b7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	b0 ~ b7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを使用する場合、“1” にしてください

i=0、1、3

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表21.4にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UARTi (i=0、1、3)の動作モード選択後、転送開始までは、TXDi端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表21.4 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0 (P1_4)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット=1 (受信だけを行うときはTXD0SEL0ビット=0と設定することで、P1_4をポートとして使用可)
RXD0 (P1_5)	シリアルデータ入力	U0SRレジスタのRXD0SEL0ビット=1 PD1レジスタのPD1_5ビット=0 (送信だけを行うときはRXD0SEL0ビット=0と設定することで、P1_5をポートとして使用可)
CLK0 (P1_6)	転送クロック出力	U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0
TXD1 (P0_1)	シリアルデータ出力	U1SRレジスタのTXD1SEL0ビット=1 (受信だけを行うときはTXD1SEL0ビット=0と設定することで、P0_1をポートとして使用可)
RXD1 (P0_2)	シリアルデータ入力	U1SRレジスタのRXD1SEL0ビット=1 PD0レジスタのPD0_2ビット=0 (送信だけを行うときはRXD1SEL0ビット=0と設定することで、P0_2をポートとして使用可)
CLK1 (P0_3またはP6_5)	転送クロック出力	<ul style="list-style-type: none"> <li>CLK1 (P0_3)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット=01b(P0_3) U1MRレジスタのCKDIRビット=0</li> <li>CLK1 (P6_5)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット=11b(P6_5) U1MRレジスタのCKDIRビット=0</li> </ul>
	転送クロック入力	<ul style="list-style-type: none"> <li>CLK1 (P0_3)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット=01b(P0_3) U1MRレジスタのCKDIRビット=1 PD0レジスタのPD0_3ビット=0</li> <li>CLK1 (P6_5)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット=11b(P6_5) U1MRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0</li> </ul>
CLK3(P8_1)	転送クロック出力	U3SRレジスタのCLK3SEL0ビット=1 U3MRレジスタのCKDIRビット=0
	転送クロック入力	U3SRレジスタのCLK3SEL0ビット=1 U3MRレジスタのCKDIRビット=1 P8DレジスタのPD8_1ビット=0
TXD3 (P8_2)	シリアルデータ出力	U3SRレジスタのTXD3SEL0ビット=1 (受信だけを行うときはTXD3SEL0ビット=0と設定することで、P8_2をポートとして使用可)
RXD3(P8_3)	シリアルデータ入力	U3SRレジスタのRXD3SEL0ビット=1 PD8レジスタのPD8_3ビット=0 (送信だけを行うときはRXD3SEL0ビット=0と設定することで、P8_3をポートとして使用可)

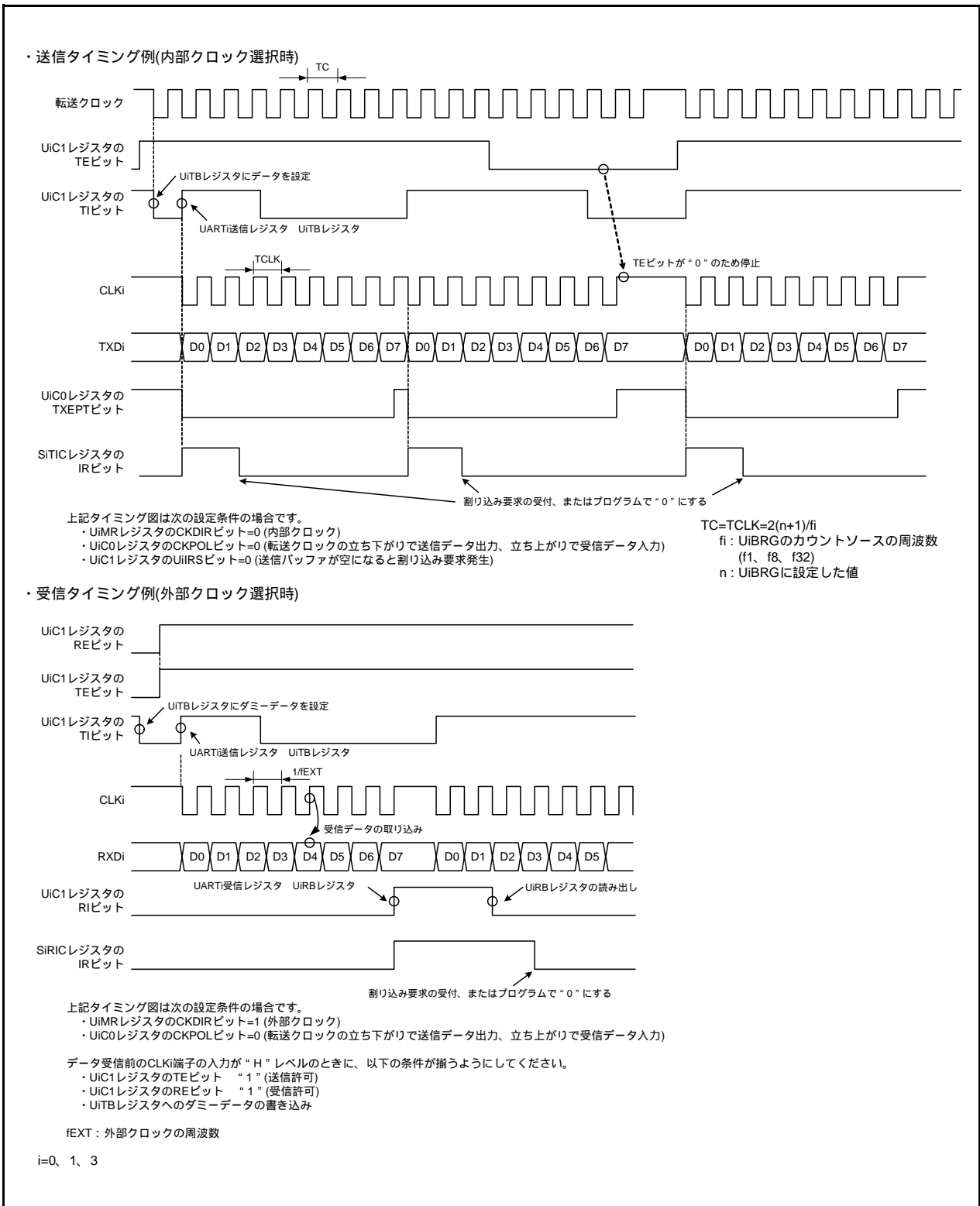


図21.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

### 21.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) UiC1レジスタ(i = 0、1、3)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMRレジスタのSMD2 ~ SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) UiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。



### 21.3.2 極性選択機能

図21.4に転送クロックの極性を示します。UiC0レジスタ(i=0、1、3)のCKPOLビットによって転送クロックの極性を選択できます。

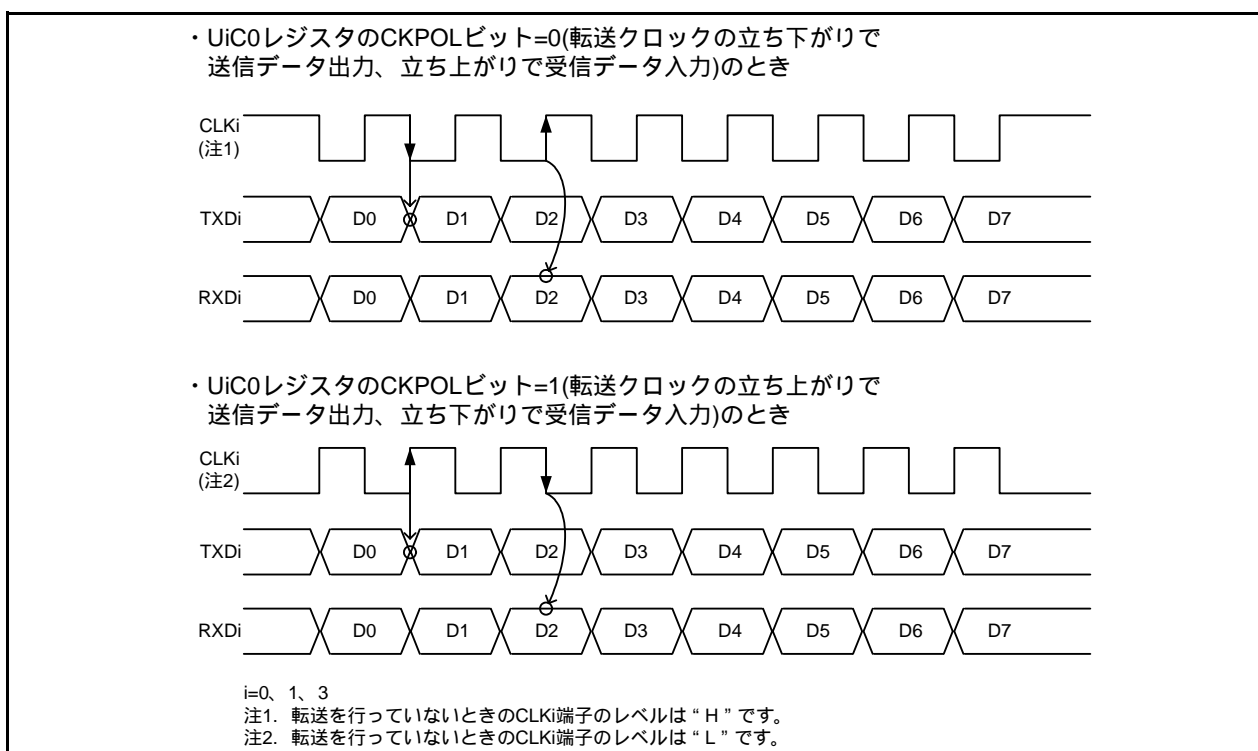


図21.4 転送クロックの極性

### 21.3.3 LSBファースト、MSBファースト選択

図21.5に転送フォーマットを示します。UiC0レジスタ(i=0、1、3)のUFORMビットで転送フォーマットを選択できます。

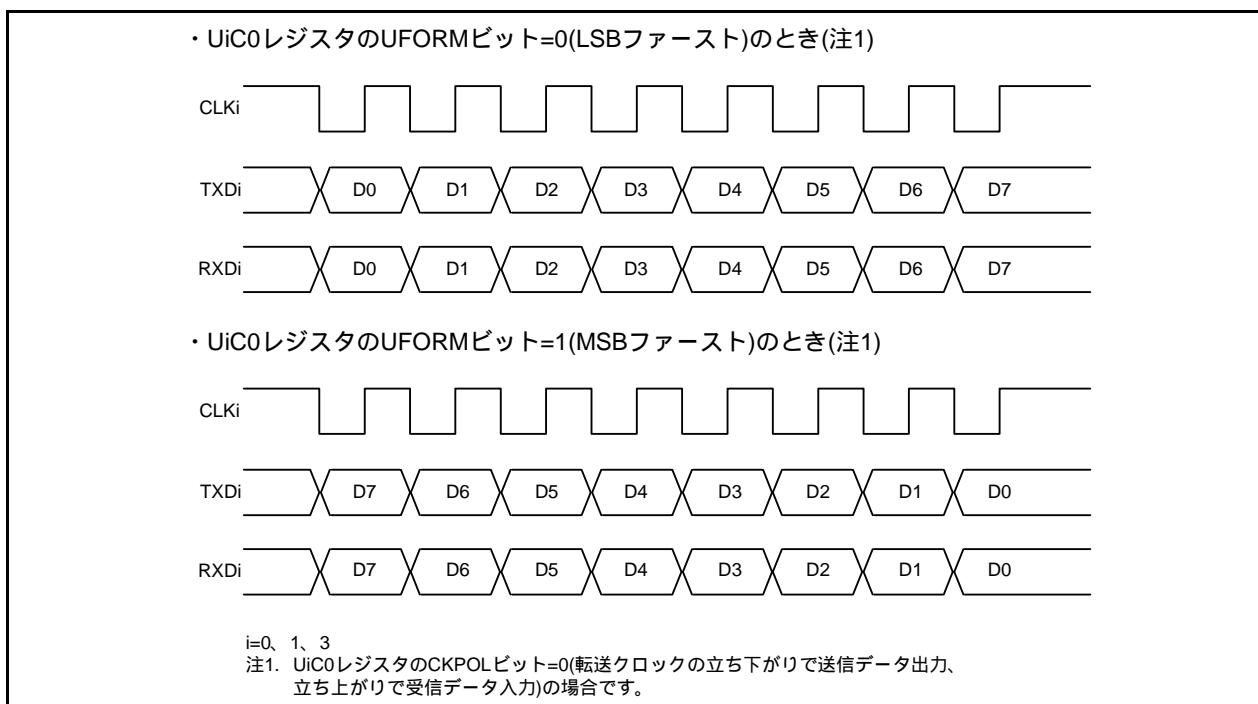


図21.5 転送フォーマット

#### 21.3.4 連続受信モード

UiC1レジスタ(i=0、1、3)のUiRRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。

## 21.4 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表21.5にクロック非同期形シリアルI/Oモードの仕様を、表21.6にUARTモード時の使用レジスタと設定値を示します。

表21.5 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>• キャラクタビット(転送データ) 7ビット、8ビット、9ビット選択可</li> <li>• スタートビット 1ビット</li> <li>• パリティビット 奇数、偶数、無し選択可</li> <li>• ストップビット 1ビット、2ビット選択可</li> </ul>
転送クロック	<ul style="list-style-type: none"> <li>• UiMRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(16(n+1))</math>  <math>f_j=f_1, f_8, f_{32}</math> <math>n=UiBRG</math>レジスタの設定値 00h ~ FFh</li> <li>• CKDIRビットが“1”(外部クロック) : <math>f_{EXT}/(16(n+1))</math>  <math>f_{EXT}</math>はCLKi端子からの入力 <math>n=UiBRG</math>レジスタの設定値 00h ~ FFh</li> </ul>
送信開始条件	<p>送信開始には、以下の条件が必要です。</p> <ul style="list-style-type: none"> <li>• UiC1レジスタのTEビットが“1”(送信許可)</li> <li>• UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)</li> </ul>
受信開始条件	<p>受信開始には、以下の条件が必要です。</p> <ul style="list-style-type: none"> <li>• UiC1レジスタのREビットが“1”(受信許可)</li> <li>• スタートビットの検出</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• 送信する場合、次の条件のいずれかを選択できます。 <ul style="list-style-type: none"> <li>- UiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時)</li> <li>- UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時</li> </ul> </li> <li>• 受信する場合 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>• オーバランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生</li> <li>• フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生(注2)</li> <li>• パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生(注2)</li> <li>• エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる</li> </ul>

i=0、1、3

注1. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UARTi受信レジスタからUiRBレジスタにデータが転送されるときに“1”になります。

表21.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	b0 ~ b8	送信データを設定してください(注1)。
UiRB	b0 ~ b8	受信データが読めず(注2)。
	OER、FER、PER、SUM	エラーフラグ
UiBRG	b0 ~ b7	ビットレートを設定してください。
UiMR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください。
	UiRRM	“0”にしてください。

i=0、1、3

注1. 使用するビットは次のとおりです。

転送データ長7ビット：ビットb0 ~ b6、転送データ長8ビット：ビットb0 ~ b7、

転送データ長9ビット：ビットb0 ~ b8

注2. 転送データ長7ビットの場合のビットb7 ~ b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表21.7にUARTモード時の入出力端子の機能を示します。

なお、UARTi (i=0、1、3)の動作モード選択後、転送開始までは、TXDi 端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表21.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD0 (P1_4)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット=1 (受信だけを行うときはTXD0SEL0ビット=0と設定することで、P1_4をポートとして使用可)
RXD0 (P1_5)	シリアルデータ入力	U0SRレジスタのRXD0SEL0ビット=1 PD1レジスタのPD1_5ビット=0 (送信だけを行うときはRXD0SEL0ビット=0と設定することで、P1_5をポートとして使用可)
CLK0 (P1_6)	プログラマブル入出力ポート	U0SRレジスタのCLK0SEL0ビット=0 (CLK0端子は使用しない)
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット=1 U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0
TXD1 (P0_1)	シリアルデータ出力	U1SRレジスタのTXD1SEL0ビット=1 (受信だけを行うときはTXD1SEL0ビット=0と設定することで、P0_1をポートとして使用可)
RXD1 (P0_2)	シリアルデータ入力	U1SRレジスタのRXD1SEL0ビット=1 PD0レジスタのPD0_2ビット=0 (送信だけを行うときはRXD1SEL0ビット=0と設定することで、P0_2をポートとして使用可)
CLK1 (P0_3またはP6_5)	プログラマブル入出力ポート	U1SRレジスタのCLK1SEL1、CLK1SEL0ビット=00b (CLK1端子は使用しない)
	転送クロック入力	<ul style="list-style-type: none"> <li>• CLK1 (P0_3)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット=01b (P0_3) U1MRレジスタのCKDIRビット=1 PD0レジスタのPD0_3ビット=0</li> <li>• CLK1 (P6_5)の場合 U1SRレジスタのCLK1SEL1、CLK1SEL0ビット=11b (P6_5) U1MRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0</li> </ul>
TXD3 (P8_2)	シリアルデータ出力	U3SRレジスタのTXD3SEL0ビット=1 (受信だけを行うときはTXD3SEL0ビット=0と設定することで、P8_2をポートとして使用可)
RXD3 (P8_3)	シリアルデータ入力	U3SRレジスタのRXD3SEL0ビット=1 PD8レジスタのPD8_3ビット=0 (送信だけを行うときはRXD3SEL0ビット=0と設定することで、P8_3をポートとして使用可)
CLK3 (P8_1)	プログラマブル入出力ポート	U3SRレジスタのCLK3SEL0ビット=0 (CLK3端子は使用しない)
	転送クロック入力	U3SRレジスタのCLK3SEL0ビット=1 U3MRレジスタのCKDIRビット=1 P8DレジスタのPD8_1ビット=0

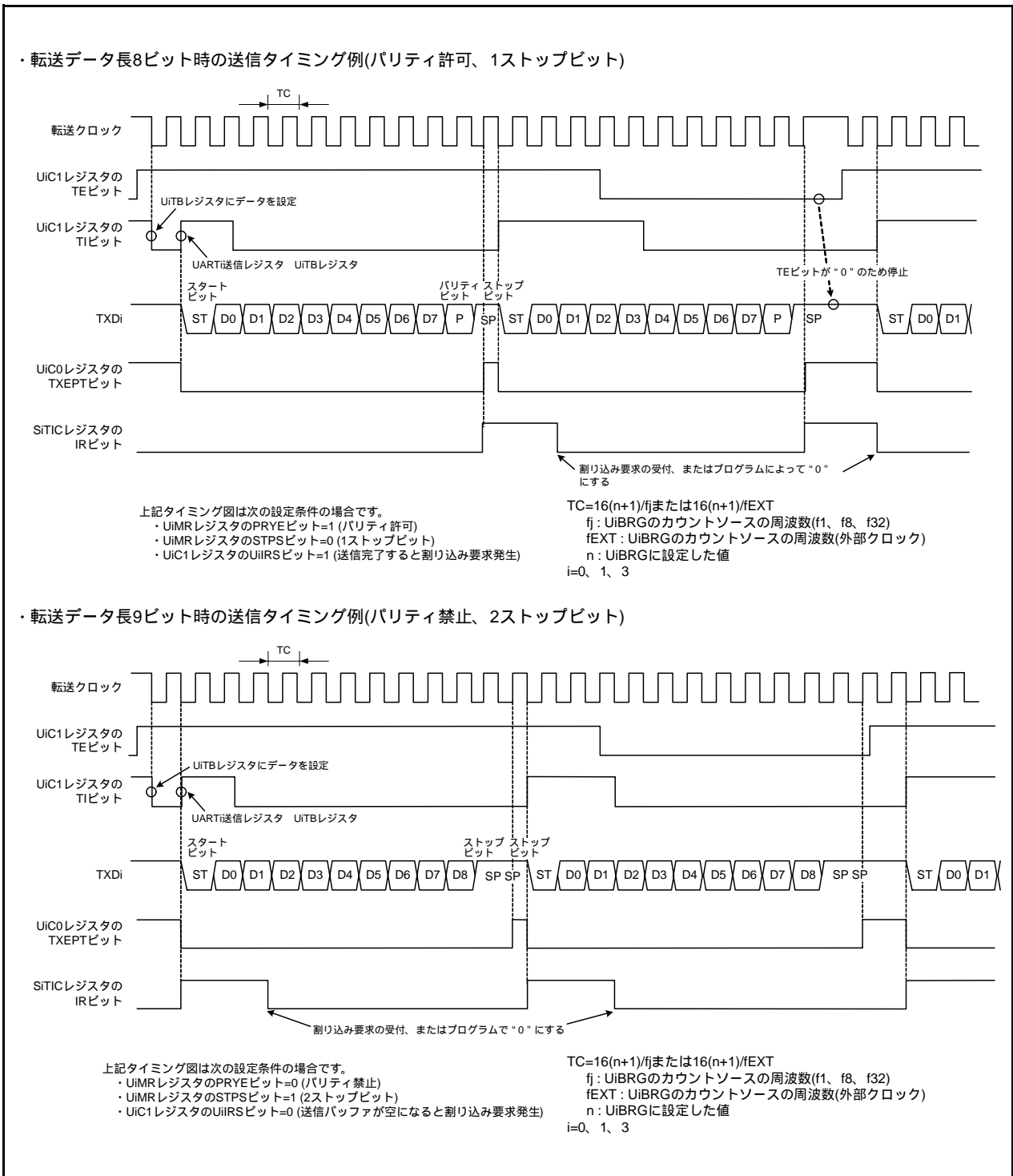


図21.6 UARTモード時の送信タイミング

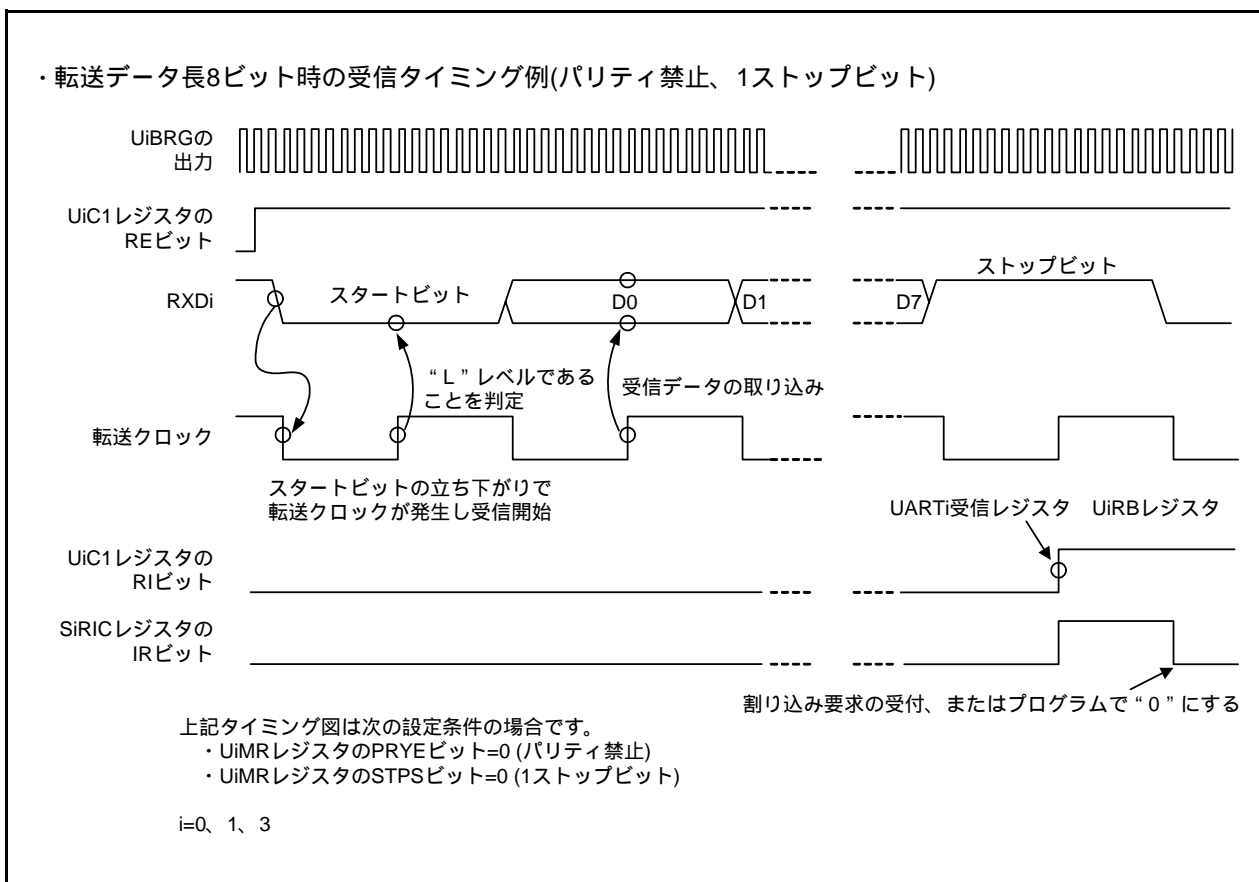


図21.7 UARTモード時の受信タイミング例

## 21.4.1 ビットレート

UARTモードではUiBRGレジスタ(i=0、1、3)で分周した周波数の16分周がビットレートになります。

< UARTモード >	
・ 内部クロック選択時	
$\text{UiBRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$	
f <sub>j</sub> : UiBRGレジスタのカウンタソースの周波数(f <sub>1</sub> 、f <sub>8</sub> 、f <sub>32</sub> )	
・ 外部クロック選択時	
$\text{UiBRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$	
f <sub>EXT</sub> : UiBRGレジスタのカウンタソースの周波数(外部クロック)	
i=0、1、3	

図21.8 UiBRGレジスタ(i=0、1、3)の設定値の算出式

表21.8 UARTモード時のビットレート設定例(内部クロック選択時)

ビット レート (bps)	UiBRG のカウン トソース	システムクロック = 20MHz			システムクロック = 18.432MHz (注1)			システムクロック = 8MHz		
		UiBRGの 設定値	実時間(bps)	設定 誤差 (%)	UiBRGの 設定値	実時間(bps)	設定 誤差 (%)	UiBRGの 設定値	実時間 (bps)	設定 誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	- 1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	- 1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	- 3.55
115200	f1	10 (0Ah)	113636.36	- 1.36	9 (09h)	115200.00	0.00			

i=0、1、3

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。

システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22 ~ FRA20ビットを“000b”(2分周モード)にした場合です。高速オンチップオシレータの精度は「32. 電気的特性」を参照してください。



### 21.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) UiC1レジスタ(i = 0、1、3)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMRレジスタのSMD2 ~ SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
- (4) UiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

### 21.5 シリアルインタフェース(UART<sub>i</sub> (i=0、1、3))使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB (i=0、1、3)レジスタを読み出すときは、必ず16ビット単位で読み出してください。  
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。  
受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B    #XXH, 00A3H ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H ; U0TBレジスタの下位バイトへの書き込み
```

## 22. シリアルインタフェース(UART2)

シリアルインタフェースはUART0 ~ UART3の4チャンネルで構成しています。本章はUART2について説明します。

### 22.1 概要

UART2は専用の転送クロック発生用タイマを持ちます。

図22.1にUART2のブロック図を、図22.2にUART2送受信部のブロック図を示します。表22.1にUART2の端子構成を示します。

UART2には、次のモードがあります。

- クロック同期形シリアルI/Oモード
- クロック非同期形シリアルI/Oモード(UARTモード)
- マルチプロセッサ通信機能

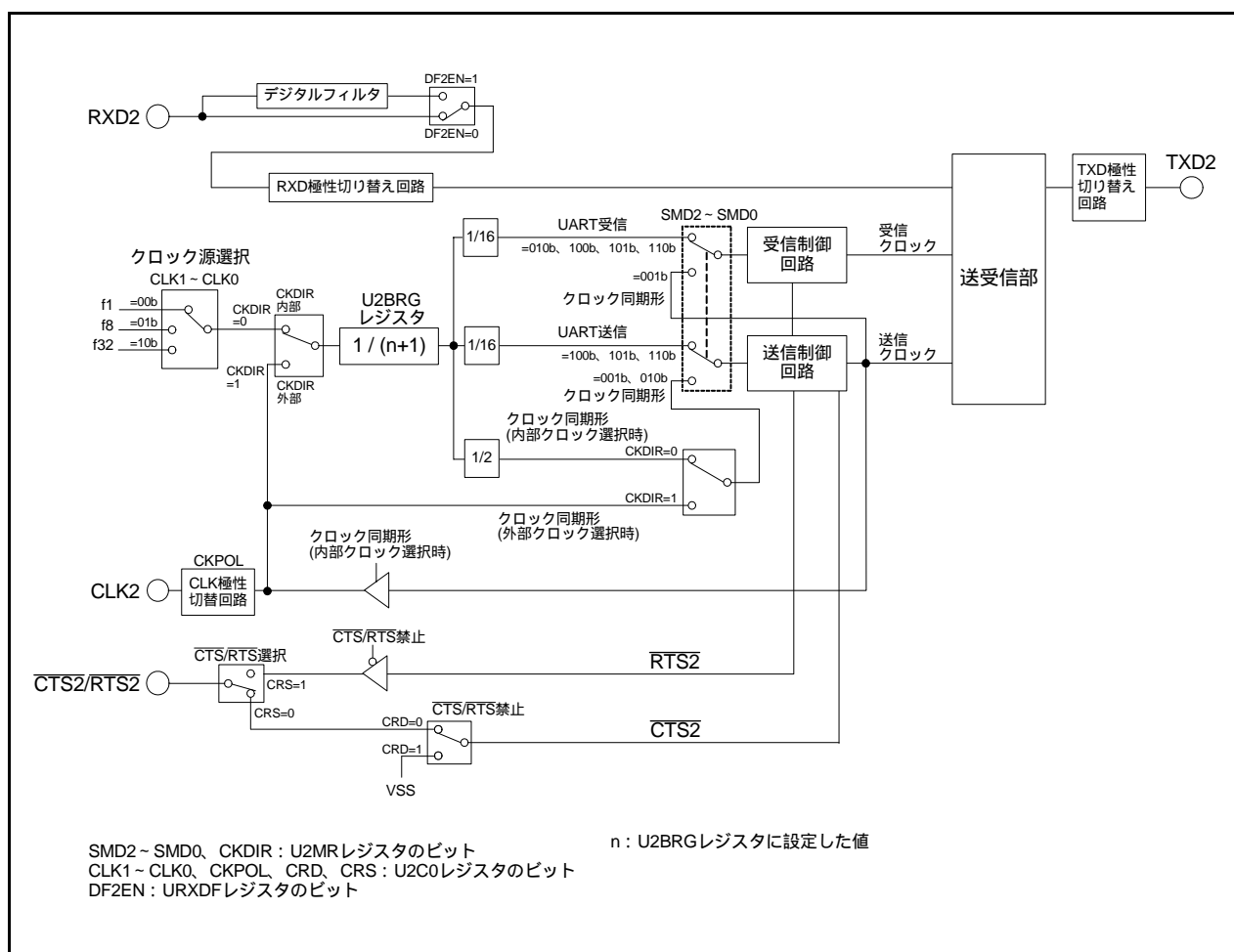


図22.1 UART2のブロック図

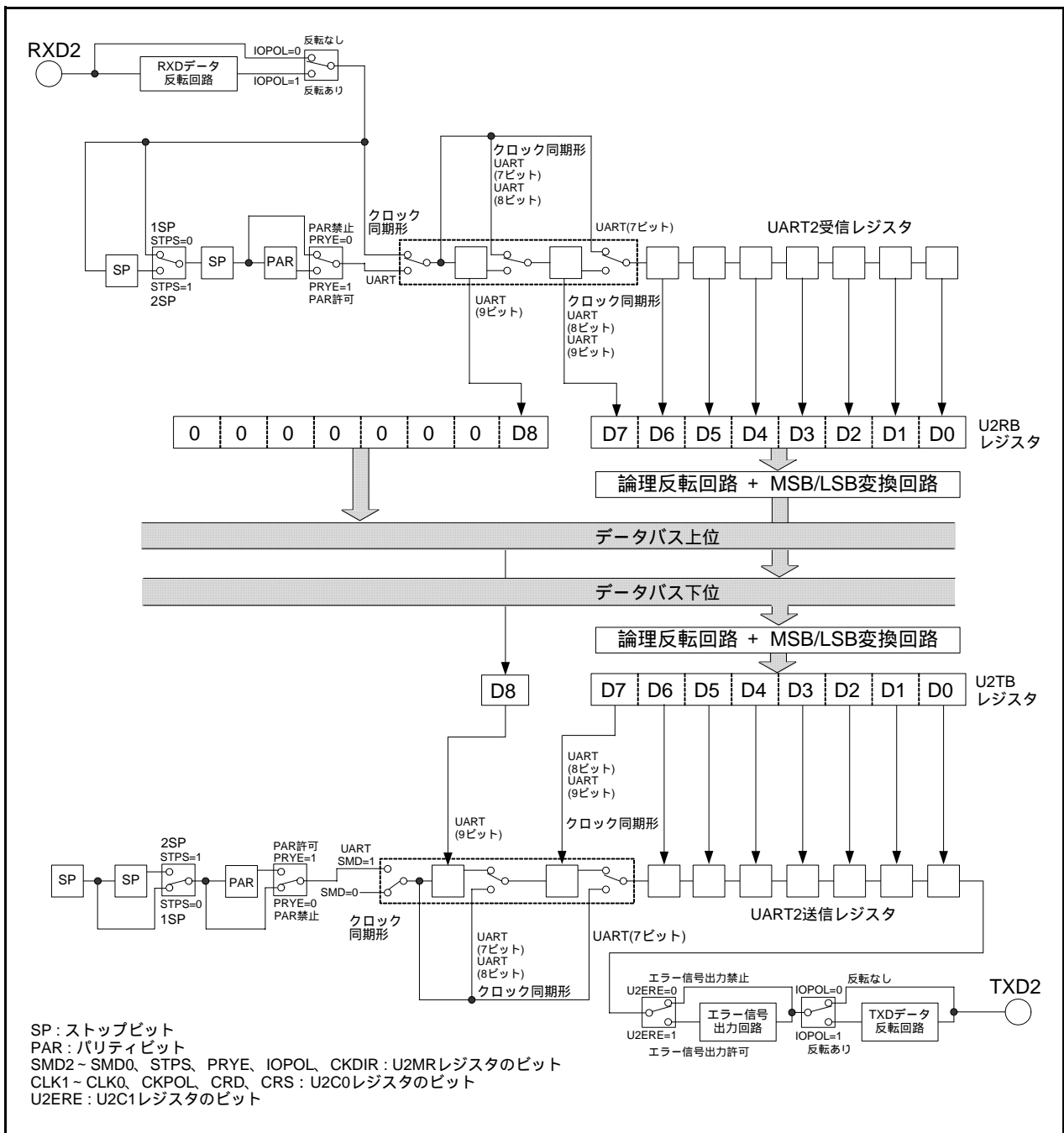


図22.2 UART2送受信部のブロック図

表22.1 UART2の端子構成

端子名	割り当てる端子	入出力	機能
TXD2	P6_6	出力	シリアルデータ出力
RXD2	P4_5	入力	シリアルデータ入力
CLK2	P6_5	入出力	転送クロック入出力
CTS2	P3_3	入力	送信制御用入力
RTS2	P3_3	出力	受信制御用出力

## 22.2 レジスタの説明

## 22.2.1 UART2送受信モードレジスタ(U2MR)

アドレス 00A8h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOPOL	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 000: シリアルインタフェースは無効 001: クロック同期形シリアルI/Oモード 100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット 110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	R/W
b7	IOPOL	TXD、RXD入出力極性切り替えビット	0: 反転なし 1: 反転あり	R/W

## 22.2.2 UART2ビットレートレジスタ(U2BRG)

アドレス 00A9h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7 ~ b0	設定値をnとすると、U2BRGはカウントソースをn+1分周する	00h ~ FFh	W

U2BRGレジスタは、送受信停止中に書いてください。

U2BRGレジスタは、MOV命令を使用して書いてください。

U2C0レジスタのCLK1 ~ CLK0ビットを設定した後にU2BRGレジスタに書いてください。

## 22.2.3 UART2送信バッファレジスタ(U2TB)

アドレス 00ABh ~ 00AAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	MPTB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	-	送信データ(D7 ~ D0)	W
b1	-		
b2	-		
b3	-		
b4	-		
b5	-		
b6	-		
b7	-		
b8	MPTB	送信データ(D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 送信データD8 [マルチプロセッサ通信機能を使用する場合] •IDを転送するときは、MPTBビットを“1”にしてください •データを転送するときは、MPTBビットを“0”にしてください	W
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b10	-		
b11	-		
b12	-		
b13	-		
b14	-		
b15	-		

注1. MPTBビットを設定した後、b0 ~ b7を設定してください。

## 22.2.4 UART2送受信制御レジスタ0 (U2C0)

アドレス 00ACh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	CRD	TXEPT	CRS	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U2BRGカウンタソース選択ビット (注1)	b1 b0 00 : f1を選択 01 : f8選択 10 : f32を選択 11 : 設定しないでください	R/W
b1	CLK1			R/W
b2	CRS	CTS/RTS機能選択ビット	CRD=0のとき有効 0 : CTS機能を選択 1 : RTS機能を選択	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	R
b4	CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止	R/W
b5	NCH	データ出力選択ビット	0 : TXD2端子はCMOS出力 1 : TXD2端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、 立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、 立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット(注2)	0 : LSBファースト 1 : MSBファースト	R/W

注1. CLK1 ~ CLK0ビットを変更した場合は、U2BRGレジスタを再設定してください。

注2. UFORMビットはU2MRレジスタのSMD2 ~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモード転送データ長8ビット)のとき有効です。

SMD2 ~ SMD0ビットが“100b”(UARTモード転送データ長7ビット)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

## 22.2.5 UART2送受信制御レジスタ1 (U2C1)

アドレス 00ADh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	U2ERE	U2LCH	U2RRM	U2IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b1	TI	送信バッファ空フラグ	0: U2TBレジスタにデータあり 1: U2TBレジスタにデータなし	R
b2	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b3	RI	受信完了フラグ	0: U2RBレジスタにデータなし 1: U2RBレジスタにデータあり	R
b4	U2IRS	UART2送信割り込み要因選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)	R/W
b5	U2RRM	UART2連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	R/W
b6	U2LCH	データ論理選択ビット(注1)	0: 反転なし 1: 反転あり	R/W
b7	U2ERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	R/W

注1. U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または“101b”(UARTモード転送データ長8ビット)のとき有効です。  
SMD2～SMD0ビットが110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。



## 22.2.6 UART2受信バッファレジスタ(U2RB)

アドレス 00AFh ~ 00AEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	-	-	-	MPRB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	-	-	受信データ(D7 ~ D0)	R
b1	-	-		
b2	-	-		
b3	-	-		
b4	-	-		
b5	-	-		
b6	-	-		
b7	-	-		
b8	MPRB	-	受信データ(D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 受信データ(D8) [マルチプロセッサ通信機能を使用する場合] •MPRBビットが“0”のとき、受信したD0 ~ D7 はデータフィールド •MPRBビットが“1”のとき、受信したD0 ~ D7 はIDフィールド	R
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b10	-			
b11	-	予約ビット	“0”にしてください	R/W
b12	OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ (注1、2)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0: エラーなし 1: エラー発生	R

注1. U2MRレジスタのSMD2 ~ SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU2C1レジスタのREビットを0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、U2RBレジスタの下位バイトを読んだとき、“0”になります。

U2MRレジスタのSMD2 ~ SMD0ビットを“000b”にするときは、U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. U2MRレジスタのSMD2 ~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

U2RBレジスタは必ず16ビット単位で読み出してください。

## 22.2.7 UART2デジタルフィルタ機能選択レジスタ(URXDF)

アドレス 00B0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	DF2EN	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	DF2EN	RXD2デジタルフィルタ許可ビット (注1)	0：RXD2デジタルフィルタ禁止 1：RXD2デジタルフィルタ許可	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. RXD2デジタルフィルタはクロック非同期形シリアルI/O(UART)モードでのみ、使用できます。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)のときは、DF2ENビットを“0”(RXD2デジタルフィルタ禁止)にしてください。

## 22.2.8 UART2特殊モードレジスタ5(U2SMR5)

アドレス 00BBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MPIE	—	—	—	MP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MP	マルチプロセッサ通信許可ビット	0：マルチプロセッサ通信禁止 1：マルチプロセッサ通信許可(注1)	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	—			
b4	MPIE	マルチプロセッサ通信制御ビット	MPビットが“1”(マルチプロセッサ通信許可)のとき有効です。 MPIEビットが“1”のとき、次の状態になります。 •マルチプロセッサビットが“0”の受信データは無視し、U2C1レジスタのRIビット、U2RBレジスタのOER、FERビットが“1”になることを禁止します。 •マルチプロセッサビットが“1”の受信データを受信すると、MPIEビットは“0”になり、マルチプロセッサ通信以外の受信動作になります。	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	—			
b7	—	予約ビット	“0”にしてください	R/W

注1. MPビットが“1”(マルチプロセッサ通信許可)のとき、U2MRレジスタのPRY、PRYEビットの設定は無効になります。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)では、MPビットを“0”(マルチプロセッサ通信禁止)にしてください。

## 22.2.9 UART2特殊モードレジスタ3 (U2SMR3)

アドレス 00BDh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	NODC	-	-	-
リセット後の値	0	0	0	X	0	X	0	X

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b1	-	予約ビット	“0”にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b3	NODC	クロック出力選択ビット	0 : CLK2はCMOS出力 1 : CLK2はNチャネルオープンドレイン出力	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		-
b5	-	予約ビット	“0”にしてください	R/W
b6	-			
b7	-			

## 22.2.10 UART2端子選択レジスタ0 (U2SR0)

アドレス 018Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	RXD2SEL1	RXD2SEL0	-	TXD2SEL2	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2端子選択ビット	b2 b1 b0 0 0 0 : TXD2端子は使用しない 1 0 1 : P6_6に割り当てる 上記以外 : 設定しないでください	R/W
b1	TXD2SEL1			R/W
b2	TXD2SEL2			R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	RXD2SEL0	RXD2端子選択ビット	b5 b4 0 0 : RXD2端子は使用しない 1 1 : P4_5に割り当てる 上記以外 : 設定しないでください	R/W
b5	RXD2SEL1			R/W
b6	-	予約ビット	“0”にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

## 22.2.11 UART2 端子選択レジスタ1 (U2SR1)

アドレス 018Bh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	CTS2SEL0	-	-	CLK2SEL1	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2 端子選択ビット	b1 b0 0 0 : CLK2 端子は使用しない 1 1 : P6_5 に割り当てる 上記以外 : 設定しないでください	R/W
b1	CLK2SEL1			R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			-
b4	CTS2SEL0	CTS2/RTS2 端子選択ビット	0 : CTS2/RTS2 端子は使用しない 1 : P3_3 に割り当てる	R/W
b5	-	予約ビット	“0” にしてください	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			

U2SR1 レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1 レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1 レジスタを設定してください。また、UART2の動作中はU2SR1 レジスタの設定値を変更しないでください。

### 22.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表22.2にクロック同期形シリアルI/Oモードの仕様を、表22.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表22.2 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> <li>U2MRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(2(n+1))</math>  <math>f_j=f_1, f_8, f_{32}</math> <math>n=U2BRG</math>レジスタの設定値 00h ~ FFh</li> <li>CKDIRビットが“1”(外部クロック) : CLK2端子からの入力</li> </ul>
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> <li>U2C1レジスタのTEビットが“1”(送信許可)</li> <li>U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)</li> <li>CTS機能を選択している場合、CTS2端子の入力が“L”</li> </ul>
受信開始条件	受信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> <li>U2C1レジスタのREビットが“1”(受信許可)</li> <li>U2C1レジスタのTEビットが“1”(送信許可)</li> <li>U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> <li>U2C1レジスタのU2IRSビットが“0”(送信バッファ空) : U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時)</li> <li>U2IRSビットが“1”(送信完了) : UART2送信レジスタからデータ送信完了時</li> </ul> </li> <li>受信する場合 <ul style="list-style-type: none"> <li>UART2受信レジスタから、U2RBレジスタへデータ転送時(受信完了時)</li> </ul> </li> </ul>
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> <li>CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択</li> <li>LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可</li> <li>連続受信モード選択 U2RBレジスタを読むことで、同時に受信許可状態になる</li> <li>シリアルデータ論理切り替え 送受信データの論理値を反転する機能</li> </ul>

注1. 外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態)で条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。またS2RICレジスタのIRビットは“1”(割りこみ要求あり)に変化しません。

表22.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	b0 ~ b7	送信データを設定してください
U2RB(注1)	b0 ~ b7	受信データが読めます
	OER	オーバランエラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください
U2MR(注1)	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
U2C0	CLK1 ~ CLK0	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
	U2C1	TE
TI	送信バッファ空フラグ	
RE	受信を許可する場合、“1” にしてください	
RI	受信完了フラグ	
U2IRS	UART2送信割り込み要因を選択してください	
U2RRM	連続受信モードを使用する場合、“1” にしてください	
U2LCH	データ論理反転を使用する場合、“1” にしてください	
U2ERE	“0” にしてください	
U2SMR	b0 ~ b7	“0” にしてください
U2SMR2	b0 ~ b7	“0” にしてください
U2SMR3	b0 ~ b2	“0” にしてください
	NODC	クロック出力形式を選択してください
	b4 ~ b7	“0” にしてください
U2SMR4	b0 ~ b7	“0” にしてください
URXDF	DF2EN	“0” にしてください
U2SMR5	MP	“0” にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表22.4にクロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)を示します。

なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

図22.3にクロック同期形シリアルI/Oモード時の送受信タイミング例を示します。

表22.4 クロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TXD2 (P6_6)	シリアルデータ出力	U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=101b (P6_6) (受信だけを行うときはTXD2SEL2 ~ TXD2SEL0ビット=000bと設定することで、P6_6をポートとして使用可)
RXD2 (P4_5)	シリアルデータ入力	U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=11b (P4_5) PD4レジスタのPD4_5ビット=0 (送信だけを行うときはRXD2SEL1、RXD2SEL0ビット=00bと設定することで、P4_5をポートとして使用可)
CLK2 (P6_5)	転送クロック出力	U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=11b (P6_5) U2MRレジスタのCKDIRビット=0
	転送クロック入力	U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=11b (P6_5) U2MRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0
CTS2/RTS2 (P3_3)	CTS入力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=0 PD3レジスタのPD3_3ビット=0
	RTS出力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=1
	入出力ポート	U2SR1レジスタのCTS2SEL0ビット=0

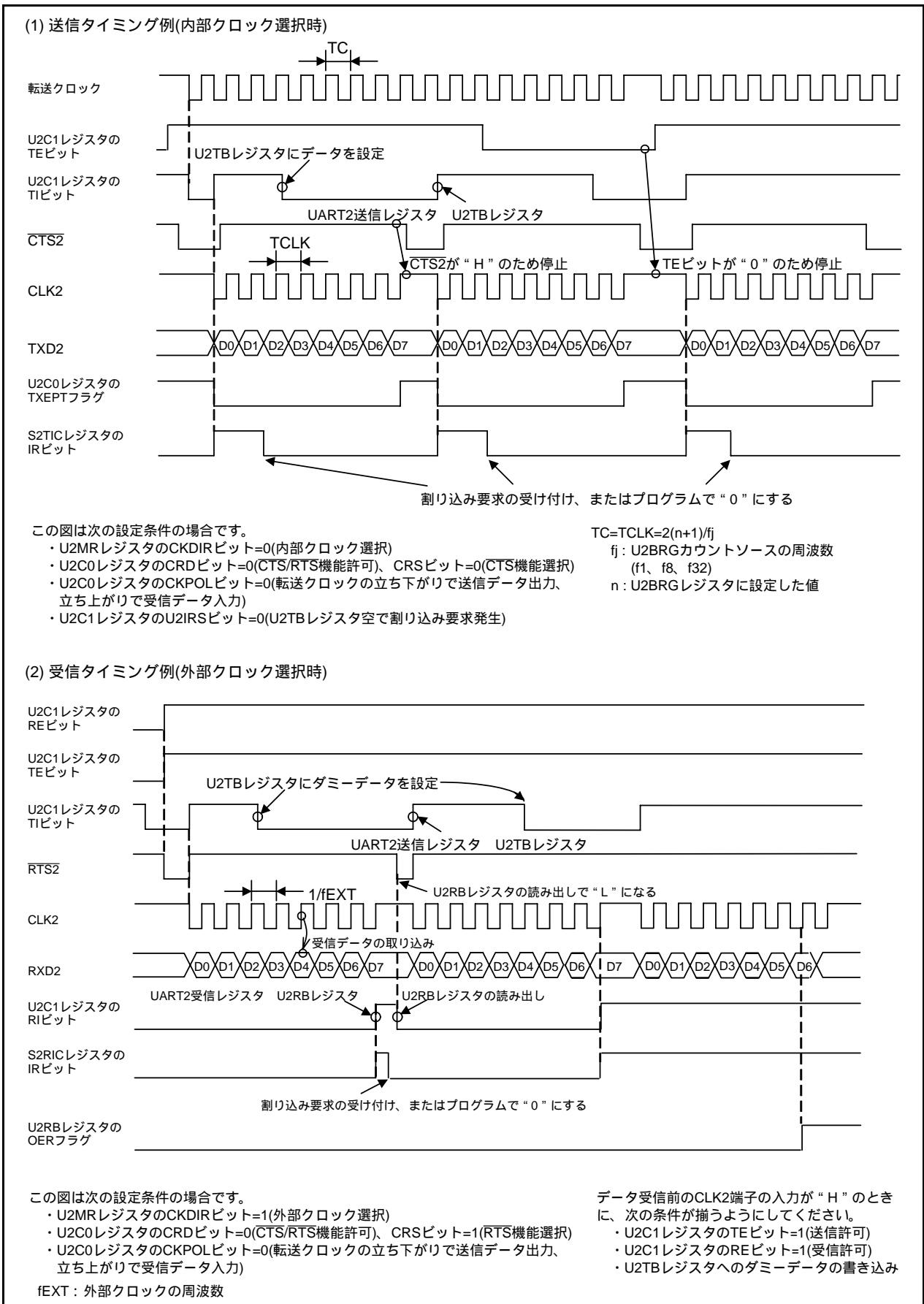


図22.3 クロック同期形シリアルI/Oモード時の送受信タイミング例



### 22.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

### 22.3.2 CLK極性選択

U2C0レジスタのCKPOLビットで転送クロックの極性を選択できます。図22.4に転送クロックの極性を示します。

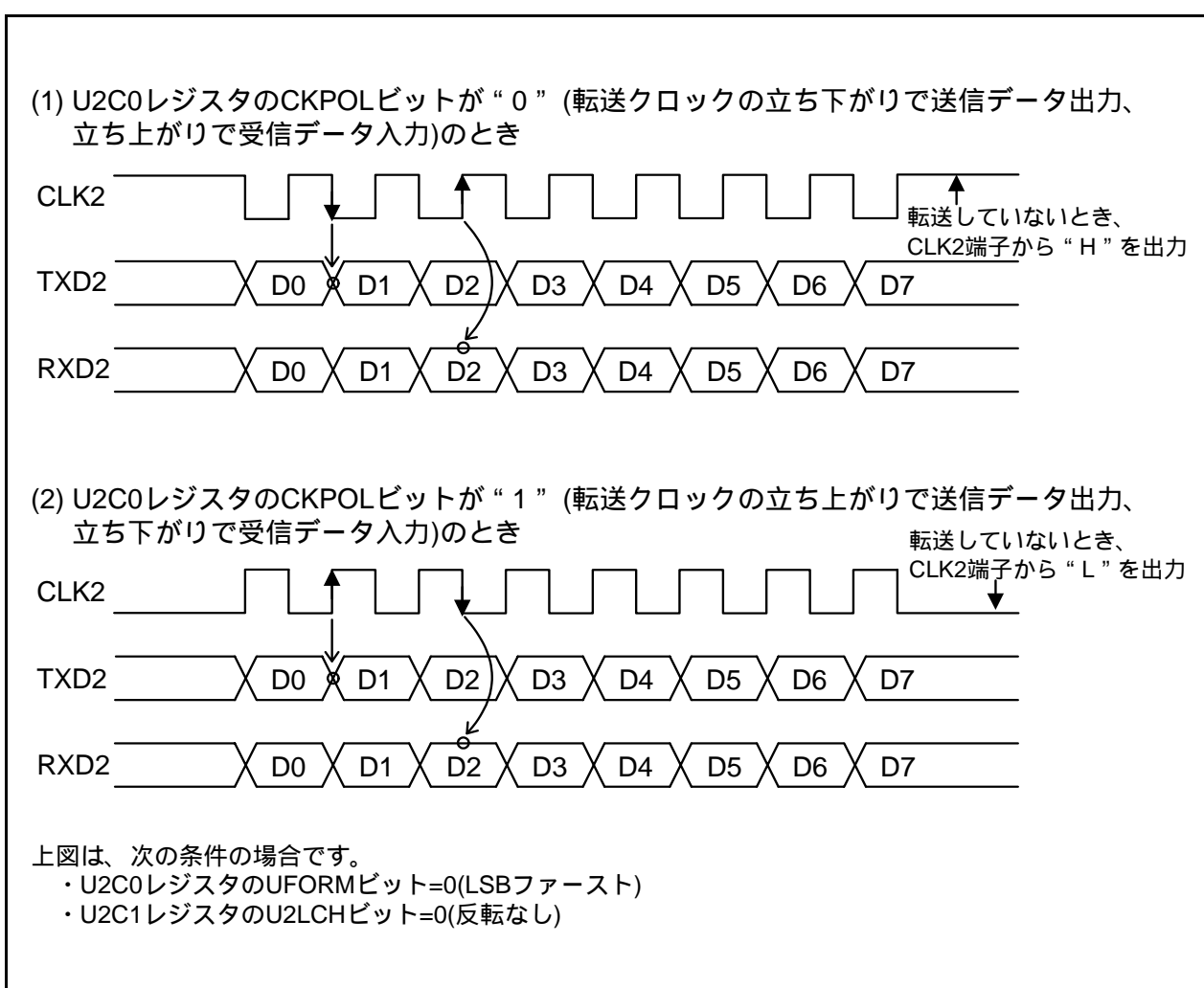


図22.4 転送クロックの極性

### 22.3.3 LSBファースト、MSBファースト選択

U2C0レジスタのUFORMビットで転送フォーマットを選択できます。図22.5に転送フォーマットを示します。

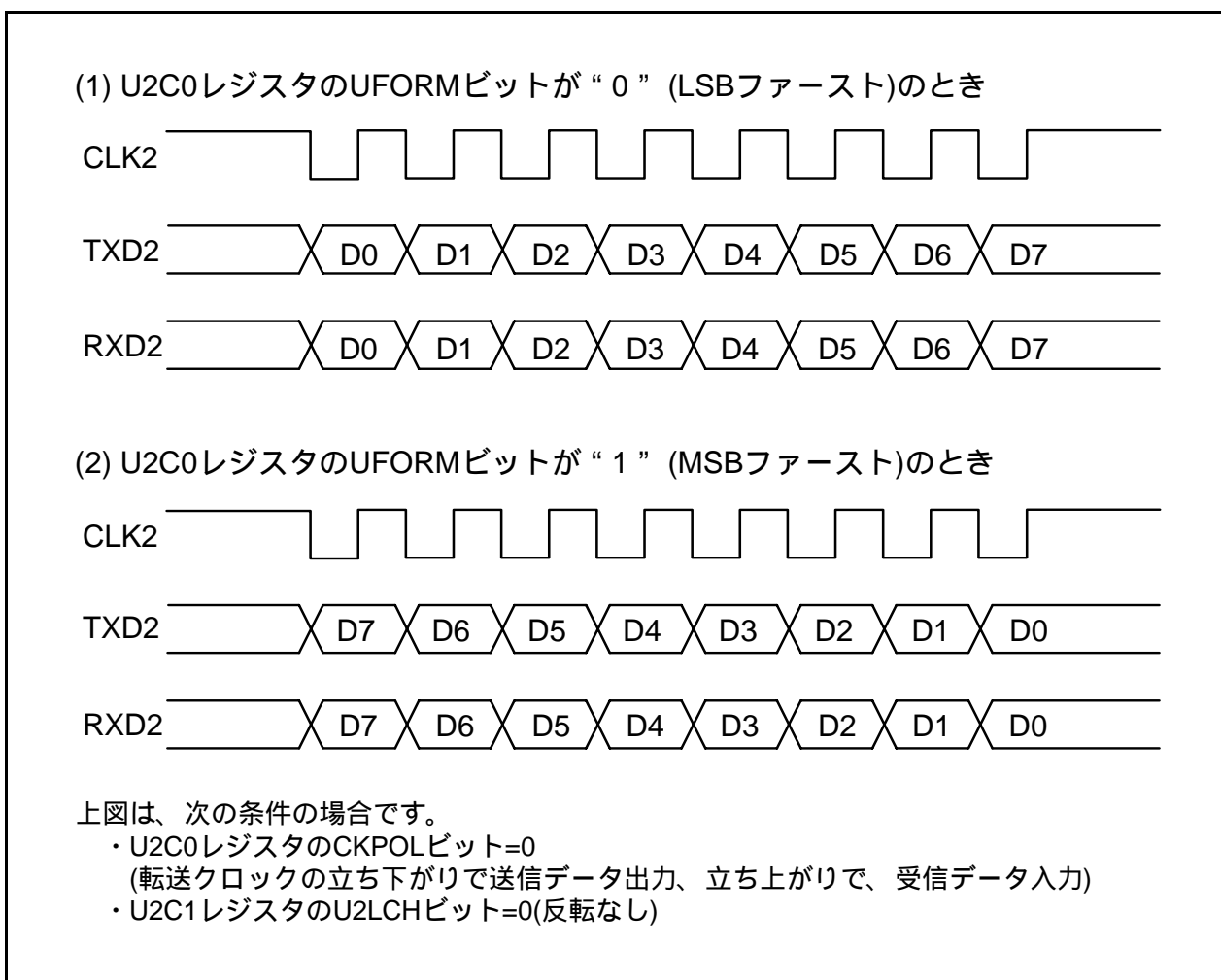


図22.5 転送フォーマット

### 22.3.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U2C1レジスタのU2RRMビットを“1”(連続受信モード)にすると、U2RBレジスタを読むことでU2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になります。U2RRMビットが“1”の場合、プログラムでU2TBレジスタにダミーデータを書かないでください。

### 22.3.5 シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットが“1”(反転あり)の場合、U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図22.6にシリアルデータ論理を示します。

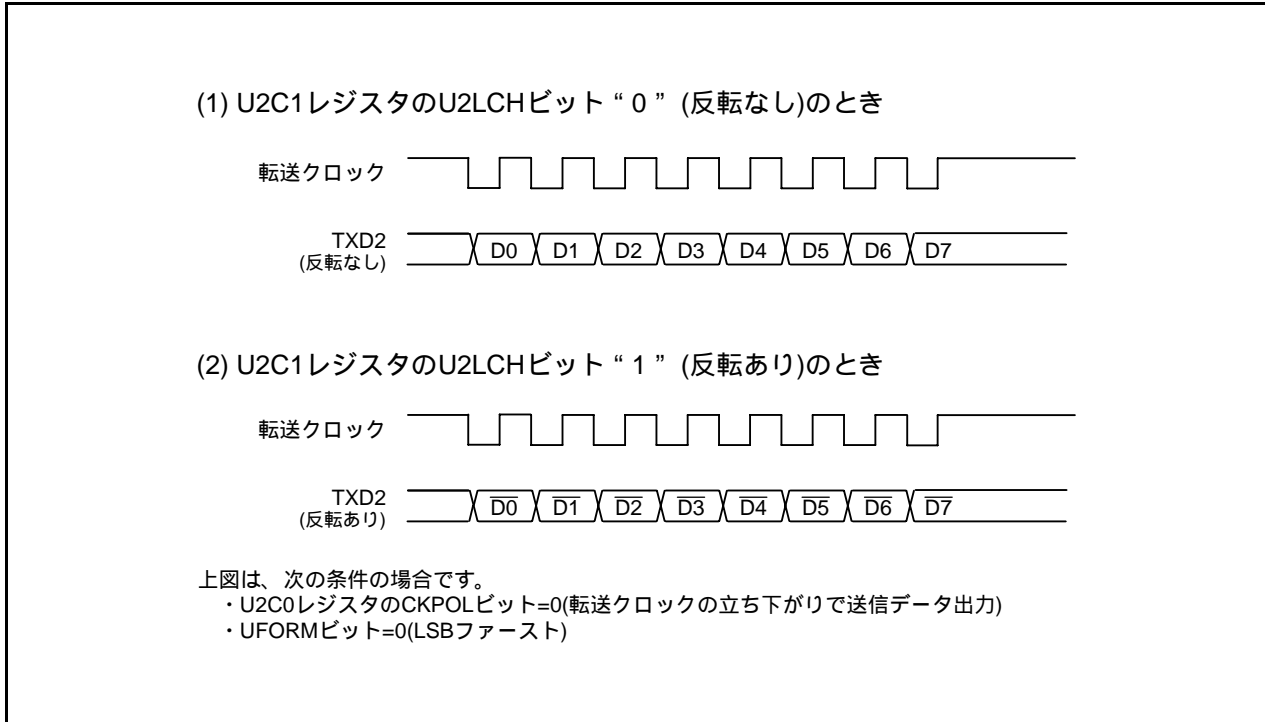


図22.6 シリアルデータ論理

### 22.3.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子の出力レベルが“L”になります。CLK2端子の最初の立ち下がりで出力レベルが“H”になります。

- ・U2C0レジスタのCRDビット=1 (CTS/RTS機能禁止)  $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子はプログラマブル入出力機能
- ・CRDビット=0、CRSビット=0 (CTS機能選択)  $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子はCTS機能
- ・CRDビット=0、CRSビット=1 (RTS機能選択)  $\overline{\text{CTS2}}/\overline{\text{RTS2}}$ 端子はRTS機能

## 22.4 クロック非同期形シリアルI/O(UART)モード

UARTモードは任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表22.5にUARTモードの仕様を、表22.6にUARTモード時の使用レジスタと設定値を示します。

表22.5 UARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>• キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可</li> <li>• スタートビット 1ビット</li> <li>• パリティビット 奇数、偶数、なしを選択可</li> <li>• ストップビット 1ビット、2ビットを選択可</li> </ul>
転送クロック	<ul style="list-style-type: none"> <li>• U2MRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(16(n+1))</math>  <math>f_j=f_1, f_8, f_{32}</math> <math>n=U2BRG</math>レジスタの設定値 00h ~ FFh</li> <li>• CKDIRビットが“1”(外部クロック) : <math>f_{EXT}/(16(n+1))</math>  <math>f_{EXT}</math>はCLK2端子からの入力 <math>n=U2BRG</math>レジスタの設定値 00h ~ FFh</li> </ul>
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> <li>• U2C1レジスタのTEビットが“1”(送信許可)</li> <li>• U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)</li> <li>• CTS機能を選択している場合、CTS2端子の入力が“L”</li> </ul>
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> <li>• U2C1レジスタのREビットが“1”(受信許可)</li> <li>• スタートビットの検出</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• 送信する場合、次の条件のいずれかを選択可               <ul style="list-style-type: none"> <li>- U2C1レジスタのU2IRSビットが“0”(送信バッファ空) :                    U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時)</li> <li>- U2IRSビットが“1”(送信完了) : UART2送信レジスタからデータ送信完了時</li> </ul> </li> <li>• 受信する場合                    UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>• オーバランエラー(注1)                    U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生</li> <li>• フレーミングエラー(注2)                    設定した個数のストップビットが検出されなかったときに発生</li> <li>• パリティエラー(注2)                    パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生</li> <li>• エラーサムフラグ                    オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• LSBファースト、MSBファースト選択                    ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可</li> <li>• シリアルデータ論理切り替え                    送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。</li> <li>• TXD、RXD入出力極性切り替え                    TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。</li> <li>• RXD2デジタルフィルタ選択                    RXD2入力信号はデジタルフィルタの有効、無効の選択可</li> </ul>

注1. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに“1”になります。

表22.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB	b0 ~ b8	送信データを設定してください。(注1)
U2RB	b0 ~ b8	受信データが読めます。(注1、2)
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください。
U2MR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
	IOPOL	TXD/RXD入出力極性を選択してください。
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください。
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください。
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください。
	NCH	TXD2端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
U2C1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ。
	RE	受信を許可するとき、“1”にしてください。
	RI	受信完了フラグ。
	U2IRS	UART2送信割り込み要因を選択してください。
	U2RRM	“0”にしてください。
	U2LCH	データ論理反転を使用する場合、“1”にしてください。
	U2ERE	“0”にしてください。
U2SMR	b0 ~ b7	“0”にしてください。
U2SMR2	b0 ~ b7	“0”にしてください。
U2SMR3	b0 ~ b7	“0”にしてください。
U2SMR4	b0 ~ b7	“0”にしてください。
URXDF	DF2EN	デジタルフィルタの無効、有効を選択してください。
U2SMR5	MP	“0”にしてください。

注1. 使用するビットは次のとおりです。

転送データ長7ビット：ビットb0 ~ b6、転送データ長8ビット：ビットb0 ~ b7、

転送データ長9ビット：ビットb0 ~ b8

注2. 転送データ長7ビットの場合のビットb7 ~ b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表22.7にUARTモード時の入出力端子の機能を示します。

なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時は、ハイインピーダンス状態)。

図22.7にUARTモード時の送信タイミング例を、図22.8にUARTモード時の受信タイミング例を示します。

表22.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD2 (P6_6)	シリアルデータ出力	U2SR0レジスタのTXD2SEL2 ~ TXD2SEL0ビット=101b (P6_6) (受信だけを行うときはTXD2SEL2 ~ TXD2SEL0ビット=000bと設定することで、P6_6をポートとして使用可)
RXD2 (P4_5)	シリアルデータ入力	U2SR0レジスタのRXD2SEL1、RXD2SEL0ビット=11b (P4_5) PD4レジスタのPD4_5ビット=0 (送信だけを行うときはRXD2SEL1、RXD2SEL0ビット=00bと設定することで、P4_5をポートとして使用可)
CLK2 (P6_5)	入出力ポート	U2SR1レジスタのCLK2SEL1 ~ CLK2SEL0ビット=00b (P6_5)
	転送クロック入力	U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=11b U2MRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0
CTS2/RTS2 (P3_3)	CTS入力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=0 PD3レジスタのPD3_3ビット=0
	RTS出力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=1
	入出力ポート	U2SR1レジスタのCTS2SEL0ビット=0

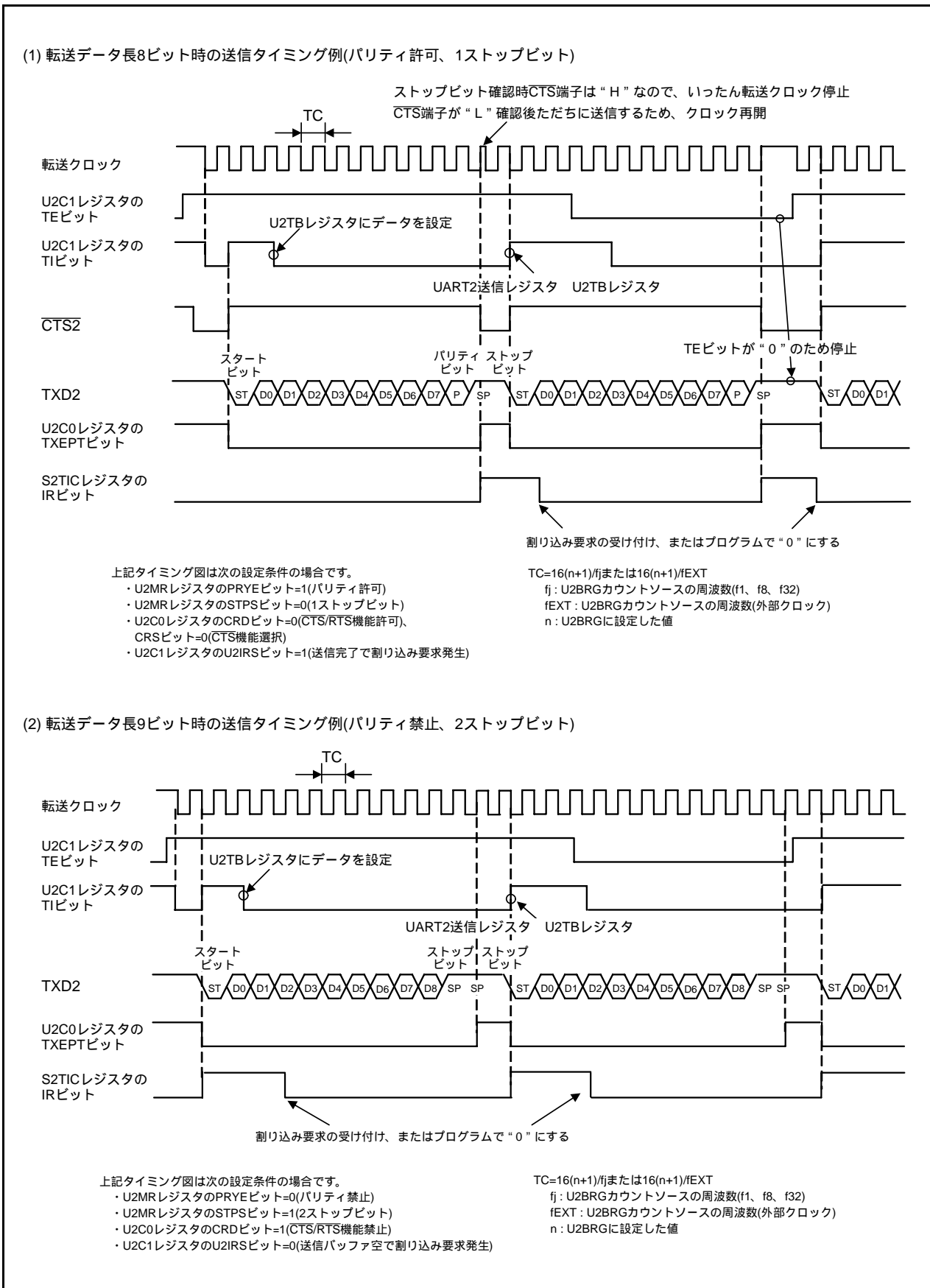


図 22.7 UARTモード時の送信タイミング例

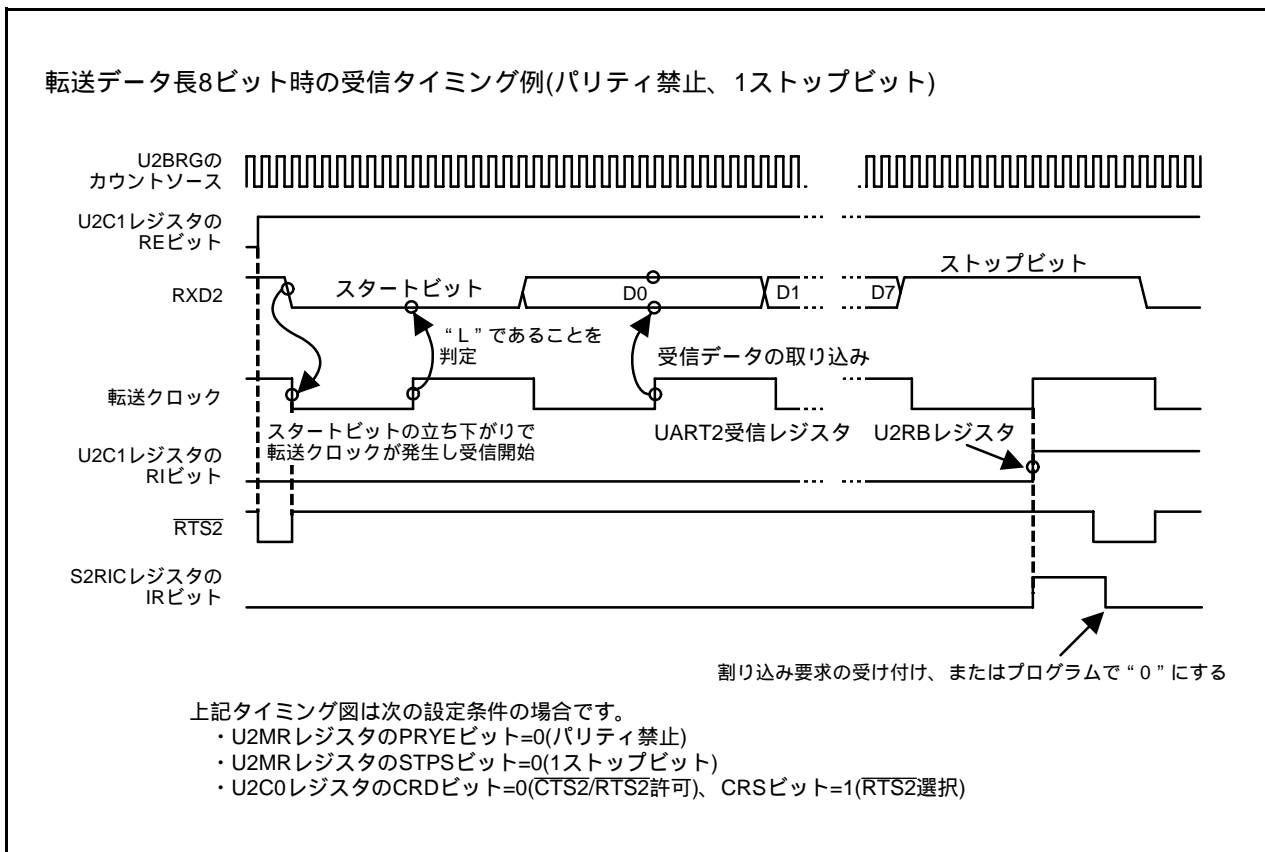


図22.8 UARTモード時の受信タイミング例

### 22.4.1 ビットレート

UARTモードではU2BRGレジスタで分周した周波数の16分周がビットレートになります。表22.8にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

表22.8 UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	U2BRGのカウンタソース	システムクロック = 20MHz			システムクロック = 18.432 Hz (注1)			システムクロック = 8MHz		
		U2BRGの設定値	実時間 (bps)	設定誤差 (%)	U2BRGの設定値	実時間 (bps)	設定誤差 (%)	U2BRGの設定値	実時間 (bps)	設定誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	- 1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	- 1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	- 3.55
115200	f1	10 (0Ah)	113636.36	- 1.36	9 (09h)	115200.00	0.00			

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。

システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22 ~ FRA20ビットを“000b”(2分周モード)にした場合です。高速オンチップオシレータの精度は「32. 電気的特性」を参照してください。



### 22.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
- (4) U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

### 22.4.3 LSBファースト、MSBファースト選択

図22.9に示すように、U2C0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。図22.9に転送フォーマットを示します。

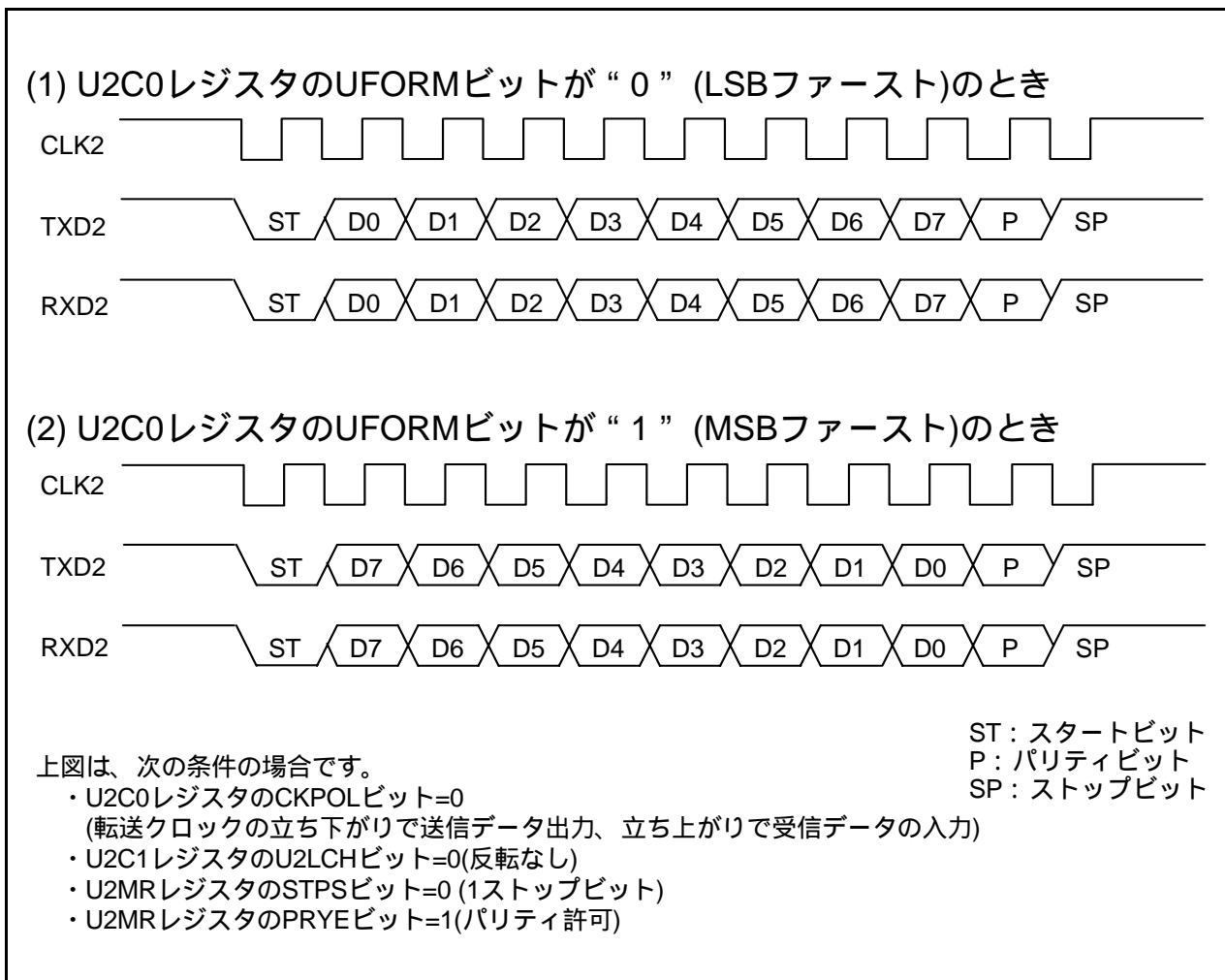


図22.9 転送フォーマット

## 22.4.4 シリアルデータ論理切り替え

U2TB レジスタに書いた値の論理を反転して送信します。U2RB レジスタを読むと、受信データの論理を反転した値が読めます。図22.10にシリアルデータ論理を示します。

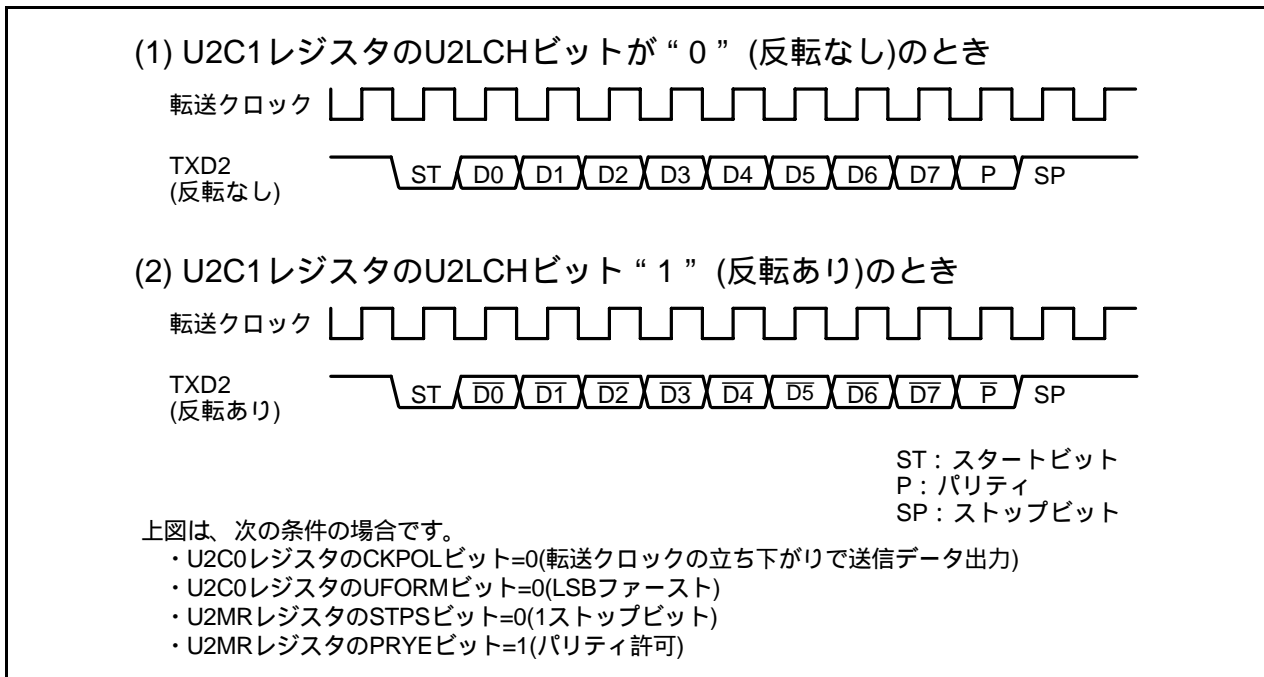


図22.10 シリアルデータ論理

## 22.4.5 TXD、RXD入出力極性切り替え機能

TXD2端子出力とRXD2端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図22.11にTXD、RXD入出力極性切り替えを示します。

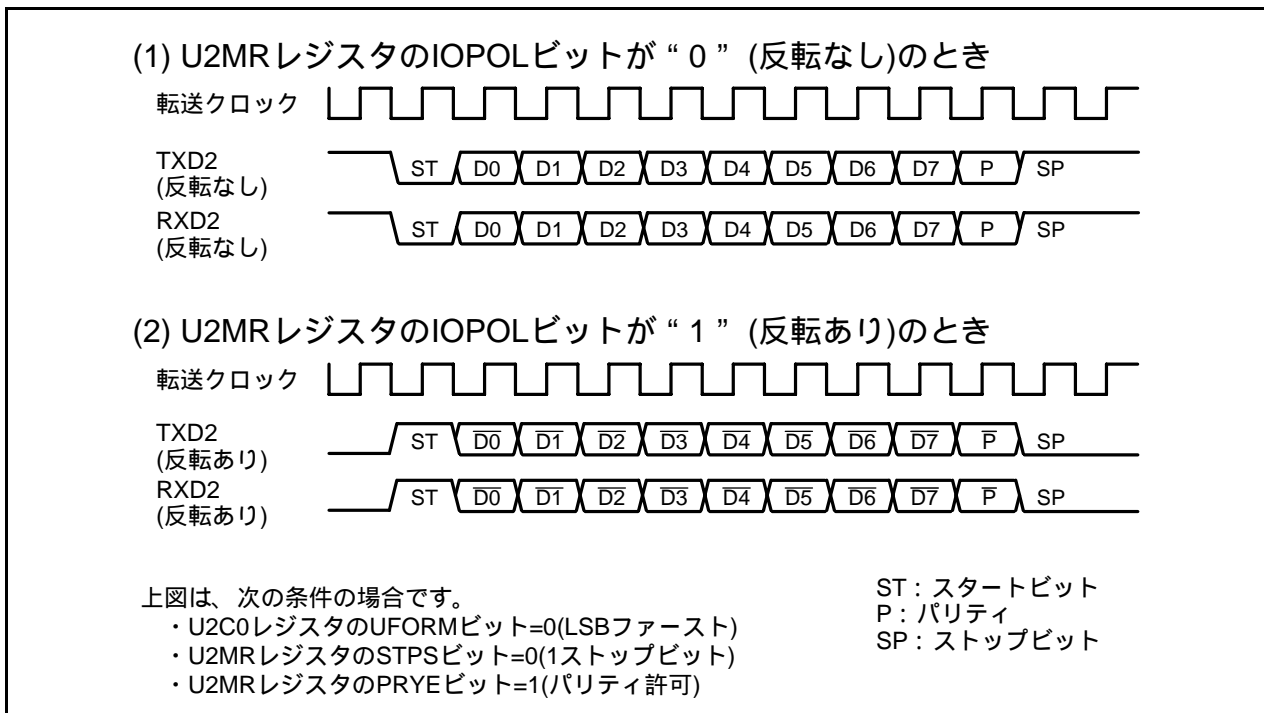


図22.11 TXD、RXD入出力極性切り替え

### 22.4.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になります。

- U2C0レジスタのCRDビット=1 (CTS/RTS機能禁止)       $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0 (CTS機能選択)       $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はCTS機能
- CRDビット=0、CRSビット=1 (RTS機能選択)       $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子はRTS機能

### 22.4.7 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し、信号変化として認識しません。

図22.12にRXD2デジタルフィルタ回路のブロック図を示します。

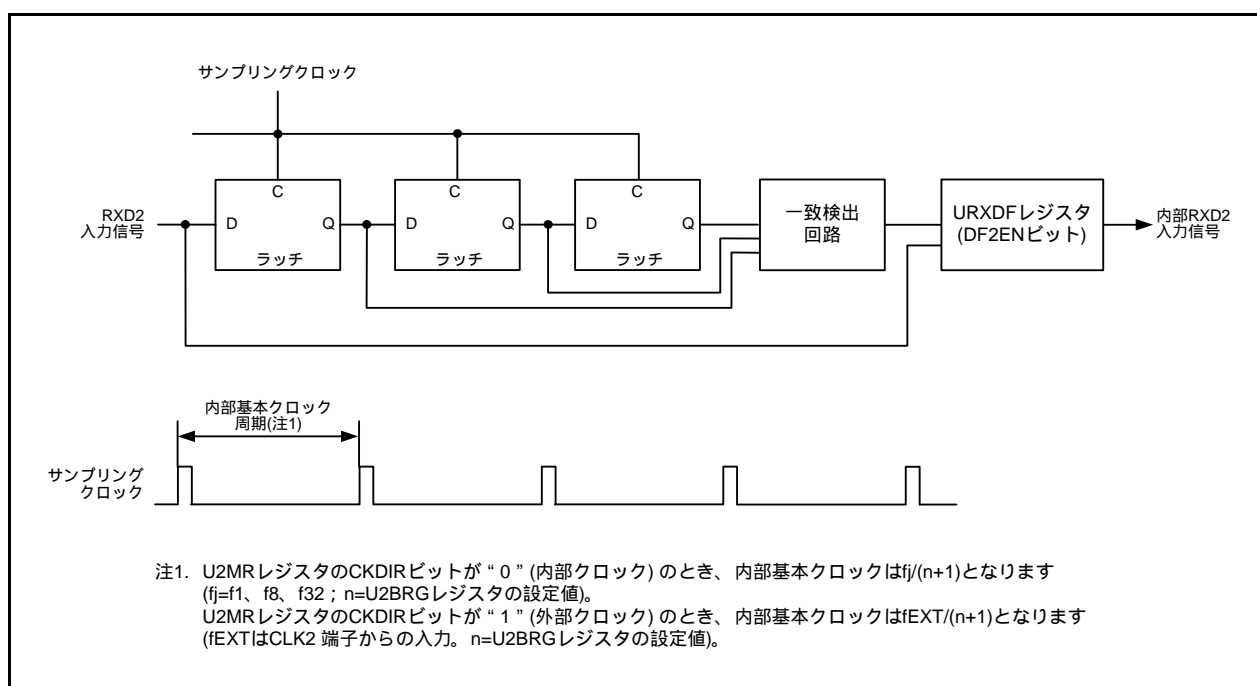


図22.12 RXD2デジタルフィルタ回路のブロック図

## 22.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。図22.13にマルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)を示します。

送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。

受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで、通信データを読みとばします。

UART2はこの機能をサポートするため、U2SMR5レジスタにMPIEビットが設けてあります。MPIEビットを“1”にセットすると、マルチプロセッサビットが“1”のデータを受け取るまでUART2受信レジスタからU2RBレジスタの転送、および受信エラーの検出とU2C1レジスタのRIビット、U2RBレジスタのFER、OERビットの各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、U2RBレジスタのMPRBビットが“1”にセットされるとともに、U2SMR5レジスタのMPIEビットが“0”になり、通常の受信動作に戻ります。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モード(UARTモード)と変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モード(UARTモード)と同一です。

図22.14にマルチプロセッサ通信機能のブロック図を、表22.9にマルチプロセッサ通信機能時の使用レジスタと設定値を示します。

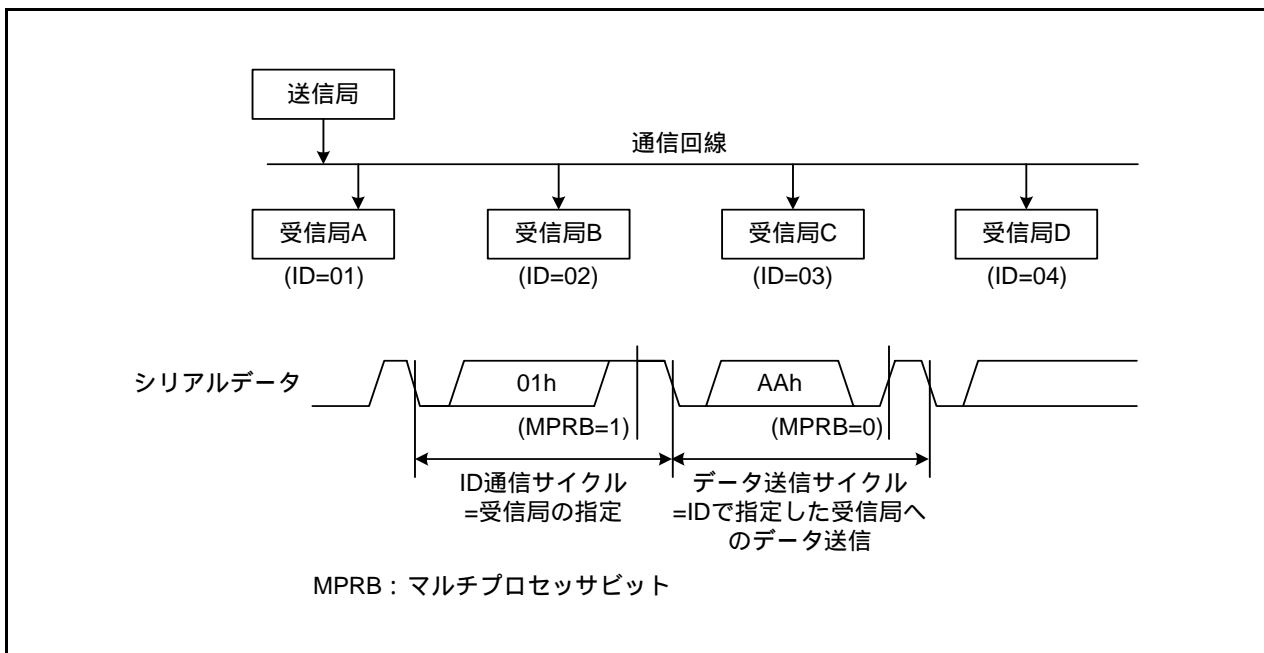


図22.13 マルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)

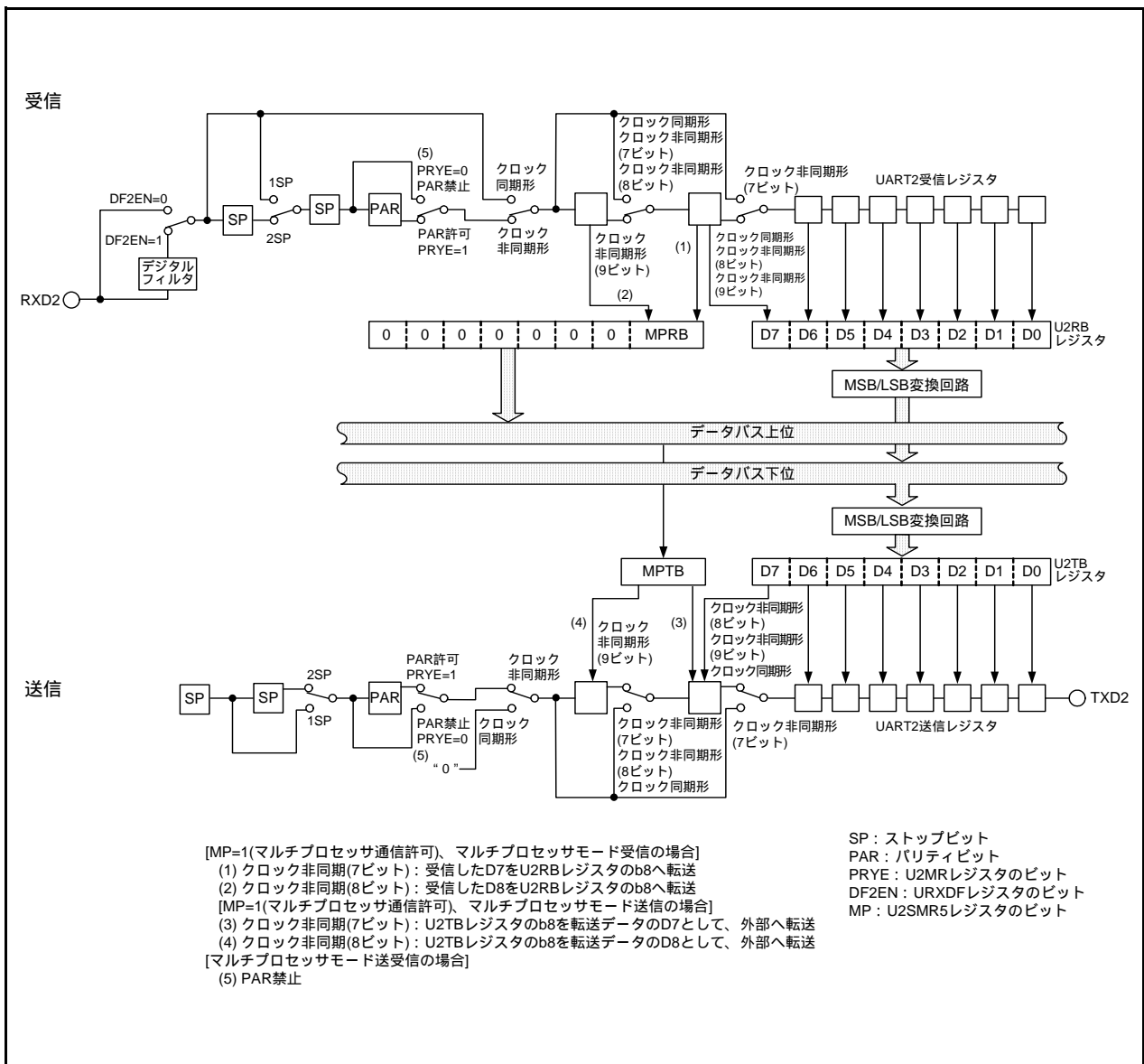


図22.14 マルチプロセッサ通信機能のブロック図

表22.9 マルチプロセッサ通信機能時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	b0 ~ b7	送信データを設定してください
	MPTB	“0” または “1” を設定してください
U2RB(注2)	b0 ~ b7	受信データが読めます
	MPRB	マルチプロセッサビット
	OER、FER、SUM	エラーフラグ
U2BRG	b0 ~ b7	転送速度を設定してください
U2MR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b” を設定してください
		転送データが8ビットの場合、“101b” を設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティ検出機能無効
	IOPOL	“0” にしてください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能無効
	TXEPT	送信レジスタ空フラグ
	CRD	“0” にしてください
	NCH	TXD2端子出力形式を選択してください
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
U2C1	TE	送信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1” にしてください
	RI	受信完了フラグ
	U2IRS	UART2の送信割り込み要因を選択してください
	U2LCH	“0” にしてください
	U2ERE	“0” にしてください
U2SMR	b0 ~ b7	“0” にしてください
U2SMR2	b0 ~ b7	“0” にしてください
U2SMR3	b0 ~ b7	“0” にしてください
U2SMR4	b0 ~ b7	“0” にしてください
U2SMR5	MP	“1” にしてください
	MPIE	“1” にしてください
URXDF	DF2EN	デジタルフィルタの有効、無効を選択してください

注1. IDデータフレームを送信したとき、MPTBビットを“1” にしてください。データフレームを送信したとき、MPTBビットを“0” にしてください。

注2. MPRBビットが“1” の場合、受信したD7 ~ D0はIDフィールドです。MPRBビットが“0” の場合、受信したD7 ~ D0はデータフィールドです。

## 22.5.1 マルチプロセッサ送信

図 22.15 にマルチプロセッサデータ送信のフローチャートの例を示します。ID 送信サイクルでは、U2TB レジスタのMPBT ビットを “1” にして送信してください。データ送信サイクルでは、U2TB レジスタのMPBT を “0” にして送信してください。その他の動作は調歩同期モード (UART モード) の動作と同じです。

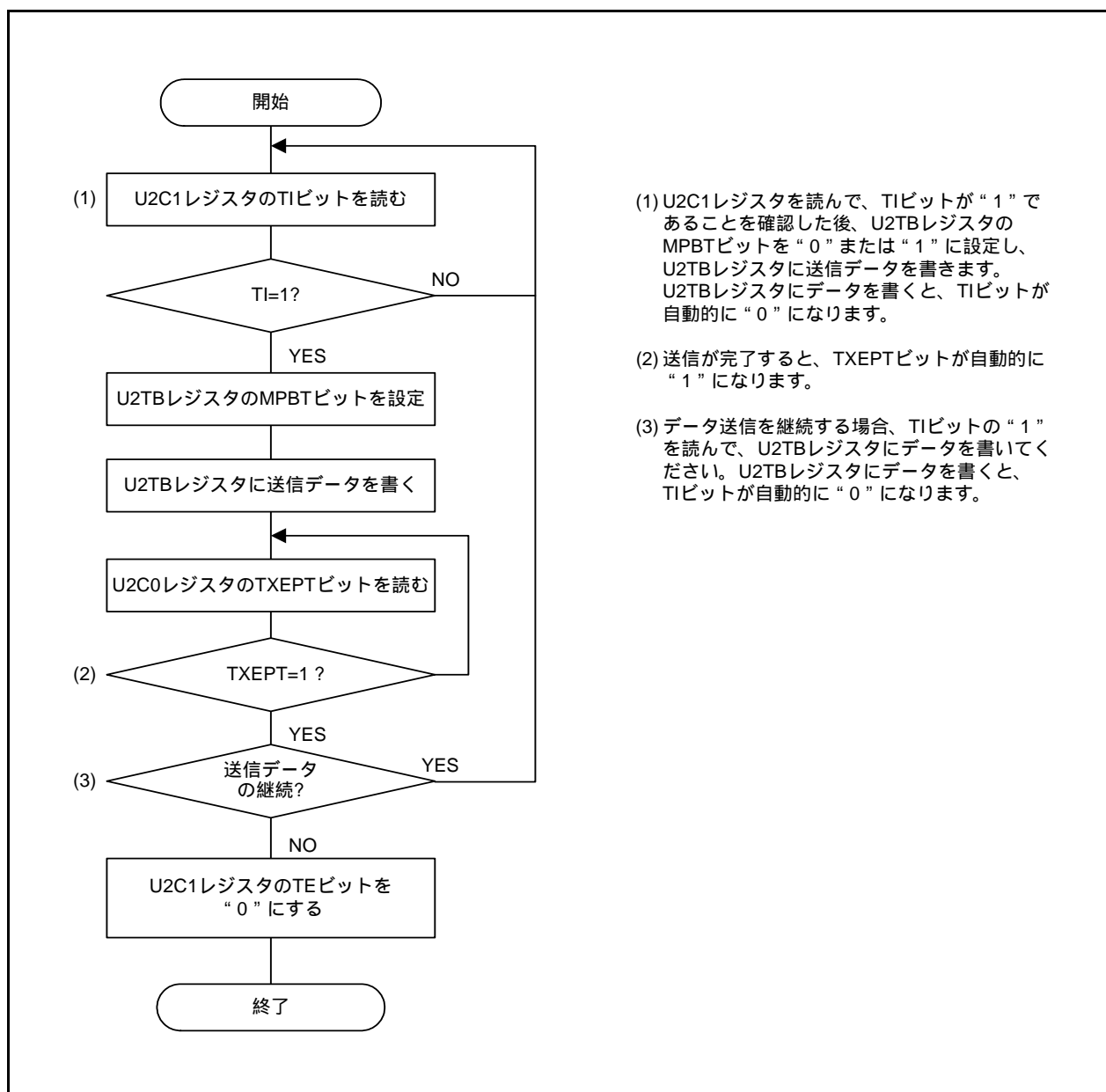


図22.15 マルチプロセッサデータ送信のフローチャートの例

## 22.5.2 マルチプロセッサ受信

図22.16にマルチプロセッサデータ受信のフローチャートの例を示します。U2SMR5レジスタのMPIEビットを“1”にすると、マルチプロセッサビットが“1”の通信データを受信するまで、通信データを読みとばします。マルチプロセッサビットが“1”の通信データを、受信データとしてU2RBレジスタに転送します。このとき、受信完了割り込み要求を発生します。その他の動作は調歩同期モード(UARTモード)の動作と同じです。図22.17にマルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)を示します。

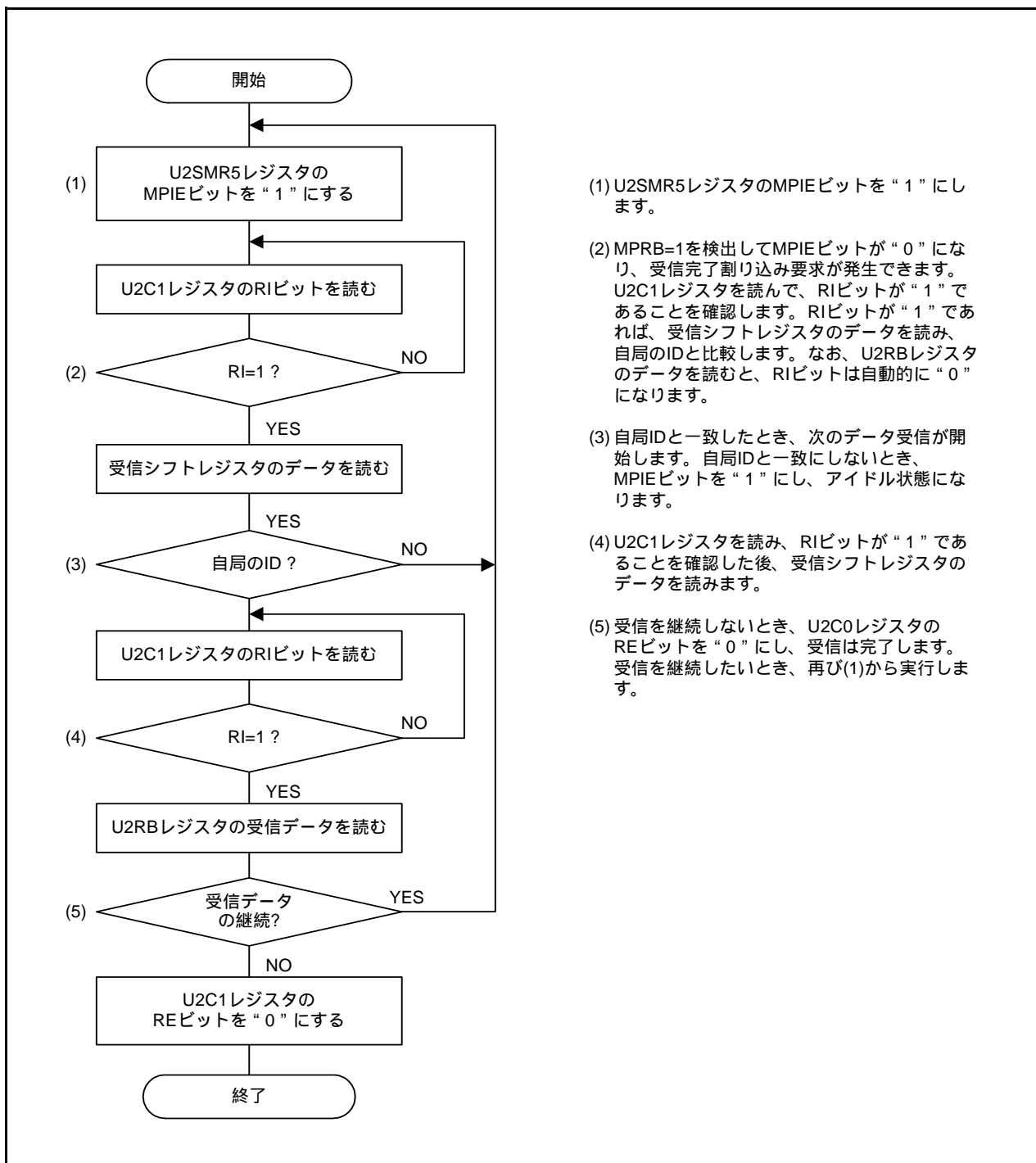


図22.16 マルチプロセッサデータ受信のフローチャートの例



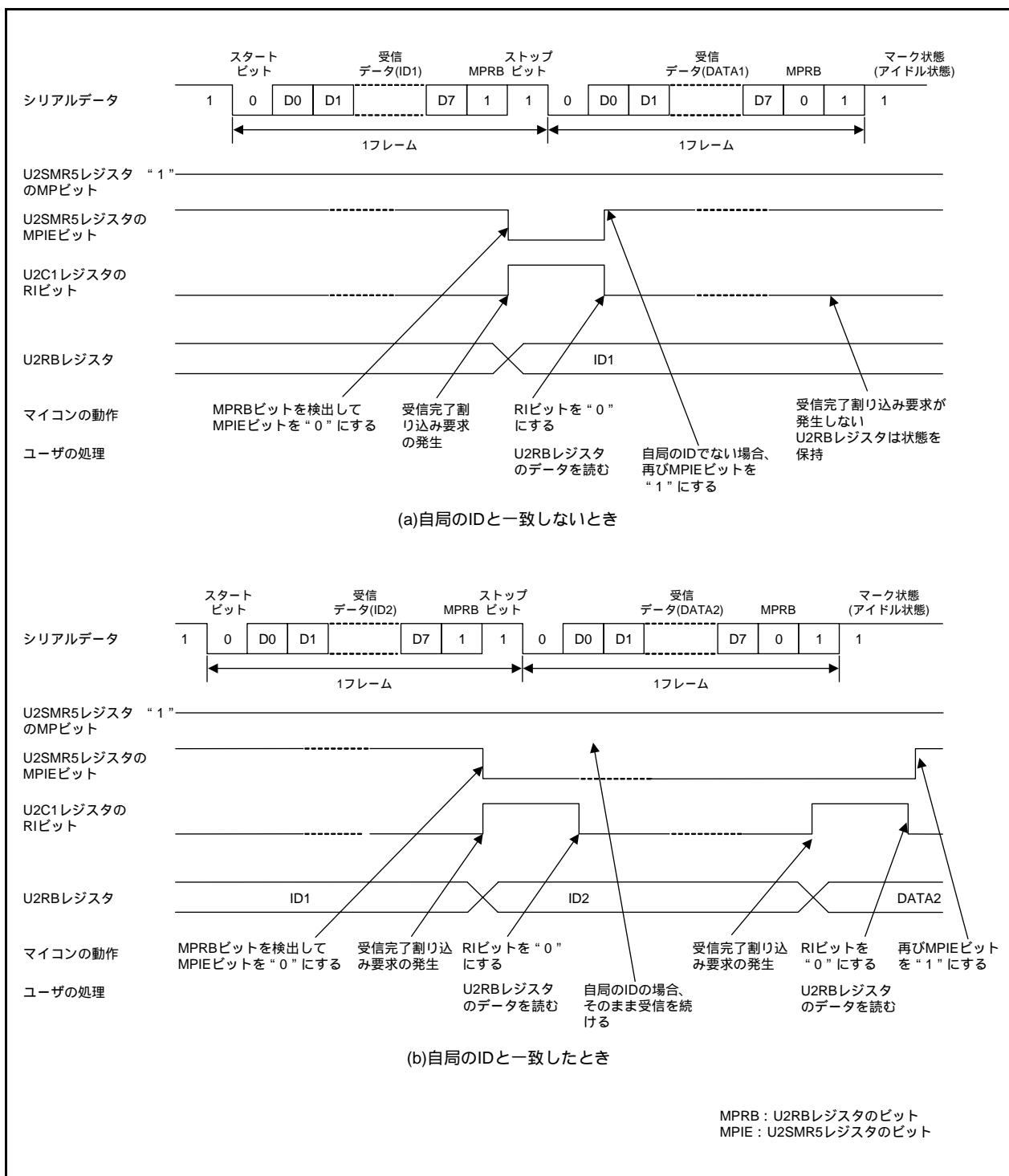


図22.17 マルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)

## 22.5.3 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し、信号変化として認識しません。

図22.18にRXD2デジタルフィルタ回路のブロック図を示します。

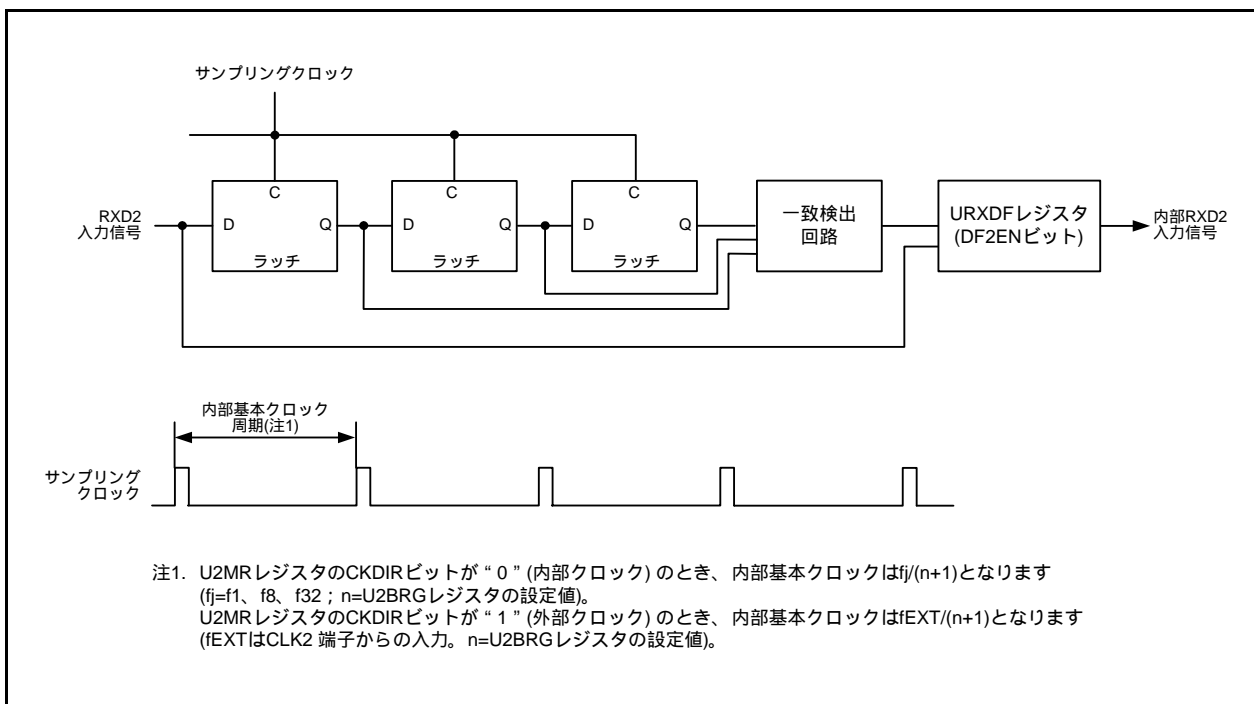


図22.18 RXD2デジタルフィルタ回路のブロック図

## 22.6 シリアルインタフェース(UART2)使用上の注意

### 22.6.1 クロック同期形シリアルI/Oモード

#### 22.6.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

#### 22.6.1.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態に次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が“L”

#### 22.6.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバーランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

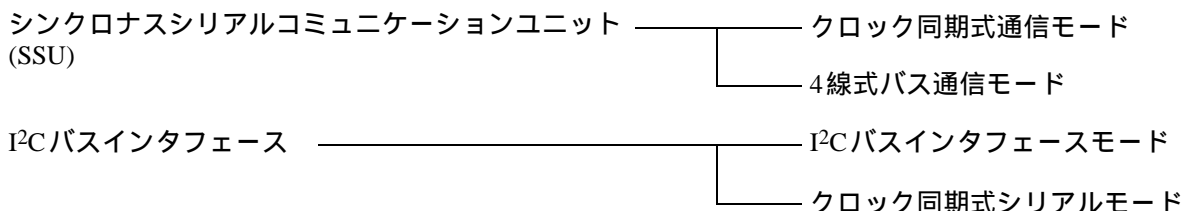
外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態に次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)

## 23. クロック同期形シリアルインタフェース

クロック同期形シリアルインタフェースは、次の構成です。

### クロック同期形シリアルインタフェース



クロック同期形シリアルインタフェースは、0193h ~ 019Dh番地のレジスタを使用します。同じ番地でもモードによってレジスタやビットの名称、シンボル、機能が違います。詳細は各機能のレジスタの説明を参照してください。

なお、クロック同期式通信モードとクロック同期式シリアルモードの違いは転送クロックの選択肢、クロック出力形式、データ出力形式の選択肢などです。

### 23.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表 23.1 にモード選択に関わるビットを示します。各モードの詳細は「24. シンクロナスシリアルコミュニケーションユニット(SSU)」および「25. I²Cバスインタフェース」を参照してください。

表23.1 モード選択

SSUICSR レジスタの IICSELビット	0198h番地のビット7 (ICCR1レジスタの ICEビット)	019Dh番地のビット0 (SSMR2レジスタの SSUMSビット、 SARレジスタのFSビット)	機能名	モード
0	0	0	シンクロナスシリアル コミュニケーション ユニット	クロック同期式通信 モード
0	0	1		4線式バス通信モード
1	1	0	I²Cバスインタフェース	I²Cバスインタフェース モード
1	1	1		クロック同期式シリアル モード

## 24. シンクロナスシリアルコミュニケーションユニット(SSU)

シンクロナスシリアルコミュニケーションユニット(SSU)は、クロック同期式のシリアルデータ通信が可能です。

### 24.1 概要

表24.1にシンクロナスシリアルコミュニケーションユニットの仕様を、図24.1にシンクロナスシリアルコミュニケーションユニットブロック図を示します。

表24.1 シンクロナスシリアルコミュニケーションユニットの仕様

項目	仕様
転送データフォーマット	転送データ長 8～16ビット 送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能
動作モード	<ul style="list-style-type: none"> <li>クロック同期式通信モード</li> <li>4線式バス通信モード(双方向通信モード含む)</li> </ul>
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK(入出力)：クロック入出力端子 SSI(入出力)：データ入出力端子 SSQ(入出力)：データ入出力端子 SCS(入出力)：チップセレクト入出力端子
転送クロック	<ul style="list-style-type: none"> <li>SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のとき外部クロック(SSCK端子から入力)</li> <li>SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のとき内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択できる、SSCK端子から出力)</li> <li>クロック極性と位相を選択できる</li> </ul>
受信エラーの検出	オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORERビットが“1”になる
マルチマスタエラーの検出	コンフリクトエラーを検出 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態、シリアル通信を開始しようとしたとき、SCS端子入力が“L”であればSSSRレジスタのCEビットが“1”になる。 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中にSCS端子入力が“L”から“H”に変化したとき、SSSRレジスタのCEビットが“1”になる。
割り込み要求	5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー)(注1)
選択機能	<ul style="list-style-type: none"> <li>データ転送方向 MSBファーストまたはLSBファーストを選択</li> <li>SSCKクロック極性 クロック停止時のレベルを“L”か“H”かを選択</li> <li>SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択</li> </ul>

注1. 割り込みベクタテーブルはシンクロナスシリアルコミュニケーションユニットの1つです。

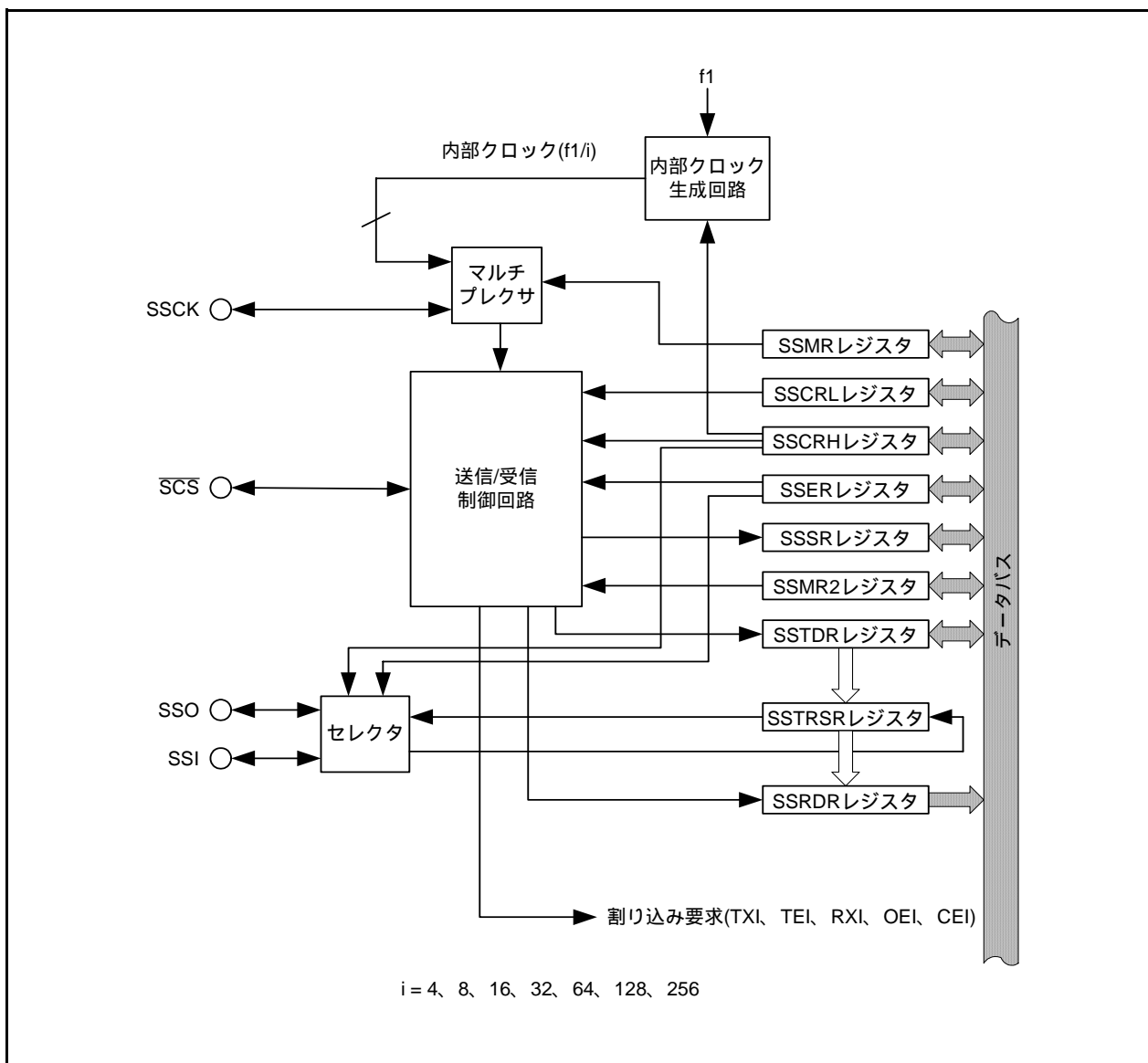


図24.1 シンクロナスシリアルコミュニケーションユニットブロック図

表24.2 シンクロナスシリアルコミュニケーションユニットの端子構成

端子名	割り当てる端子	入出力	機能
SSI	P3_4	入出力	データ入出力
SCS	P3_3	入出力	チップセレクト入出力
SSCK	P3_5	入出力	クロック入出力
SSO	P3_7	入出力	データ入出力

## 24.2 レジスタの説明

## 24.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	MSTTRC	-	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	-	予約ビット	“0” にしてください	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b6	-	予約ビット	“0” にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. スタンバイにする前に、SSU、I<sup>2</sup>C機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh 番地)へのアクセスは無効になります。

注2. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h 番地)へのアクセスは無効になります。

## 24.2.2 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り替えビット	0: SSU機能を選択 1: I <sup>2</sup> Cバス機能を選択	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-			
b5	-			
b6	-			
b7	-	予約ビット	“0” にしてください	R/W

## 24.2.3 SSビットカウンタレジスタ(SSBR)

アドレス 0193h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	BS3	BS2	BS1	BS0
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BS0	SSUデータ転送長設定ビット(注1)	b3 b2 b1 b0 0 0 0 0 : 16ビット	R/W
b1	BS1		1 0 0 0 : 8ビット	R/W
b2	BS2		1 0 0 1 : 9ビット	R/W
b3	BS3		1 0 1 0 : 10ビット	R/W
			1 0 1 1 : 11ビット	
			1 1 0 0 : 12ビット	
			1 1 0 1 : 13ビット	
			1 1 1 0 : 14ビット	
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-	
b5	-			
b6	-			
b7	-			

注1. SSUの動作中は、BS0～BS3ビットに書かないでください。

SSBRレジスタを設定するときは、SSERレジスタのREビットを“0”(受信禁止)、TEビットを“0”(送信禁止)にしてください。

## BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

## 24.2.4 SS送信データレジスタ(SSTDR)

アドレス 0195h～0194h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15～b0	-	送信データを保管。(注1) SSTRSRレジスタの空きが検出されると、保管されている送信データがSSTRSRレジスタへ転送されて、送信が開始する。 SSTRSRレジスタからデータを送信中に、SSTDRレジスタに次の送信データを書きおくと、連続して送信できる。 SSMRレジスタのMLSビットが“1”(LSBファーストでデータ転送)の場合、SSTDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読めます。	R/W

注1. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSTDRレジスタを16ビット単位でアクセスしてください。



## 24.2.5 SS受信データレジスタ(SSRDR)

アドレス 0197h ~ 0196h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15 ~ b0	-	受信データを保管。(注1、2) SSTRSRレジスタが1バイトのデータを受信すると、SSRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSSTRSRレジスタとSSRDRレジスタの2つのレジスタによって、連続受信が可能である。	R

注1. SSSRレジスタのORERビットが“1”(オーバランエラー発生)になったとき、SSRDRレジスタはオーバランエラー発生前の受信データを保持します。オーバランエラー発生時の受信データは、破棄されます。

注2. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSRDRレジスタを16ビット単位でアクセスしてください。

## 24.2.6 SS制御レジスタH(SSCRH)

アドレス 0198h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	RSSTP	MSS	-	-	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット(注1)	b2 b1 b0	R/W
b1	CKS1		0 0 0 : f1/256	R/W
b2	CKS2		0 0 1 : f1/128	R/W
			0 1 0 : f1/64	
		0 1 1 : f1/32		
		1 0 0 : f1/16		
		1 0 1 : f1/8		
		1 1 0 : f1/4		
		1 1 1 : 設定しないでください		
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-			
b5	MSS	マスタ/スレーブデバイス選択ビット(注2)	0 : スレーブデバイスとして動作 1 : マスタデバイスとして動作	R/W
b6	RSSTP	受信シングルストップビット(注3)	0 : 1バイトのデータ受信後も受信動作を継続 1 : 1バイトのデータ受信後、受信動作が終了	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. MSSビットが“1”(マスタデバイスとして動作)のときに、設定されたクロックが使用されます。

注2. MSSビットが“1”(マスタデバイスとして動作)のとき、SSCK端子は転送クロック出力端子になります。SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になると、MSSビットは“0”(スレーブデバイスとして動作)になります。

注3. MSSビットが“0”(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。

## 24.2.7 SS制御レジスタL (SSCRL)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	SOL	SOLP	—	—	SRES	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	SRES	SSU制御部リセットビット	このビットに“1”を書くと、SSU制御部およびSSTRSRレジスタが初期化される。SSU内部レジスタ(注1)の値は保持される。	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b3	—			—
b4	SOLP	SOLライトプロテクトビット(注2)	“0”を書くとSOLビットによって出力レベルが変更できる。 “1”を書いても無効。読んだ場合、その値は“1”。	R/W
b5	SOL	シリアルデータ出力値設定ビット	読んだ場合 0:シリアルデータ出力が“L” 1:シリアルデータ出力が“H” 書いた場合(注2、3) 0:データ出力を“L”にする 1:データ出力を“H”にする	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. SSBP、SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTD、SSRDRの各レジスタ。

注2. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。シリアルデータの送信前後にSOLビットの内容を書き換えると、その時点からデータ出力に反映されます。SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。

注3. データ転送中はSOLビットに書かないでください。

## 24.2.8 SSモードレジスタ(SSMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS	CPHS	–	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ3~0	b3 b2 b1 b0 0000: 残り16ビット	R
b1	BC1		0001: 残り1ビット	R
b2	BC2		0010: 残り2ビット	R
b3	BC3		0011: 残り3ビット	R
			0100: 残り4ビット	
			0101: 残り5ビット	
			0110: 残り6ビット	
			0111: 残り7ビット	
			1000: 残り8ビット	
			1001: 残り9ビット	
			1010: 残り10ビット	
			1011: 残り11ビット	
			1100: 残り12ビット	
			1101: 残り13ビット	
			1110: 残り14ビット	
		1111: 残り15ビット		
b4	–	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	–	
b5	CPHS	SSCKクロック位相選択ビット(注1)	0: 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1: 偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	R/W
b6	CPOS	SSCKクロック極性選択ビット(注1)	0: クロック停止時、“H” 1: クロック停止時、“L”	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送 1: LSBファーストでデータ転送	R/W

注1. CPHS、CPOSビットの設定については「24.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。  
SSMR2レジスタのSSUMSビットが“0”(クロック同期式通信モード)のとき、CPHSビットを“0”、CPOSビットを“0”にしてください。

## 24.2.9 SS許可レジスタ(SSER)

アドレス 019Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE	RE	–	–	CEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE	コンフリクトエラー割り込み許可ビット	0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可	R/W
b1	–	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		–
b2	–			
b3	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b4	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

## 24.2.10 SSステータスレジスタ(SSSR)

アドレス 019Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	–	–	ORER	–	CE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE	コンフリクトエラーフラグ(注1)	0: コンフリクトエラーなし 1: コンフリクトエラー発生(注2)	R/W
b1	–	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		–
b2	ORER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生(注3)	R/W
b3	–	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		–
b4	–			
b5	RDRF	受信データレジスタフルフラグ(注1、4)	0: SSRDRレジスタにデータなし 1: SSRDRレジスタにデータあり	R/W
b6	TEND	送信終了フラグ(注1、5)	0: 送信データの最後尾ビットの送信時、TDREビットが“0” 1: 送信データの最後尾ビットの送信時、TDREビットが“1”	R/W
b7	TDRE	送信データ空フラグ(注1、5、6)	0: SSTDRレジスタからSSTRSRレジスタにデータ転送されていない 1: SSTDRレジスタからSSTRSRレジスタにデータ転送された	R/W

- 注1. CE、ORER、RDRF、TEND、TDRE ビットへの“1”書き込みは無効です。これらのビットを“0”にするには、“1”を読んだ後、“0”を書いてください。
- 注2. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態ではシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればCEビットが“1”になります。「24.5.4 SCS端子制御とアービトレーション」を参照してください。  
SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中でSCS端子入力“L”から“H”に変化したとき、CEビットが“1”になります。
- 注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが“1”(SSRDRレジスタにデータあり)の状態では、次のシリアルデータ受信を完了したとき、ORERビットが“1”になります。  
ORERビットが“1”(オーバランエラー発生)になった後、“1”の状態では受信はできません。またMSSビットが“1”(マスタデバイスとして動作)の状態では、送信もできません。
- 注4. RDRFビットはSSRDRレジスタからデータを読み出したとき、“0”になります。
- 注5. TEND、TDREビットはSSTDRレジスタにデータを書いたとき、“0”になります。  
SSTDRレジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間に、NOP命令を3つ以上挿入してください。
- 注6. TDREビットはSSERレジスタのTEビットを“1”(送信許可)にしたとき、“1”になります。

SSSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

## 24.2.11 SSモードレジスタ2(SSMR2)

アドレス 019Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BIDE	SCKS	CSS1	CSS0	SCKOS	SOOS	CSOS	SSUMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSUMS	SSUモード選択ビット(注1)	0: クロック同期式通信モード 1: 4線式バス通信モード	R/W
b1	CSOS	SCS端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャンネルオープンドレイン出力	R/W
b2	SOOS	シリアルデータオープンドレイン出力選択ビット(注1)	0: CMOS出力(注5) 1: Nチャンネルオープンドレイン出力	R/W
b3	SCKOS	SSCK端子オープンドレイン出力選択ビット	0: CMOS出力 1: Nチャンネルオープンドレイン出力	R/W
b4	CSS0	SCS端子選択ビット(注2)	b5 b4 00: ポートとして機能 01: SCS入力端子として機能 10: SCS出力端子として機能(注3) 11: SCS出力端子として機能(注3)	R/W
b5	CSS1			R/W
b6	SCKS	SSCK端子選択ビット	0: ポートとして機能 1: シリアルクロック端子として機能	R/W
b7	BIDE	双方向モード許可ビット(注1、4)	0: 標準モード(データ入力とデータ出力を2端子使用して通信) 1: 双方向モード(データ入力とデータ出力を1端子使用して通信)	R/W

注1. データ入出力端子の組合せは、「24.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。

注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。

注3. 転送開始前は、SCS入力端子として機能します。

注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。

注5. SOOSビットが“0”(CMOS出力)のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを“0”(入力モード)にしてください。

## 24.3 複数モードに関わる共通事項

### 24.3.1 転送クロック

転送クロックを7種類の内部クロック (f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4) と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SSMR2レジスタのSCKSビットを“1”にして、SSCK端子をシリアルクロック端子として選択してください。

SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SSCRHレジスタのCKS0～CKS2で選択された転送レートのクロックが、SSCK端子から出力されます。

SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のときは外部クロックが選択され、SSCK端子は入力になります。

#### 24.3.1.1 転送クロックの極性、位相とデータの関係

SSMR2レジスタのSSUMSビットとSSMRレジスタのCPHS、CPOSビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図24.2に転送クロックの極性、位相および転送データの関係を示します。

また、SSMRレジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で転送されます。

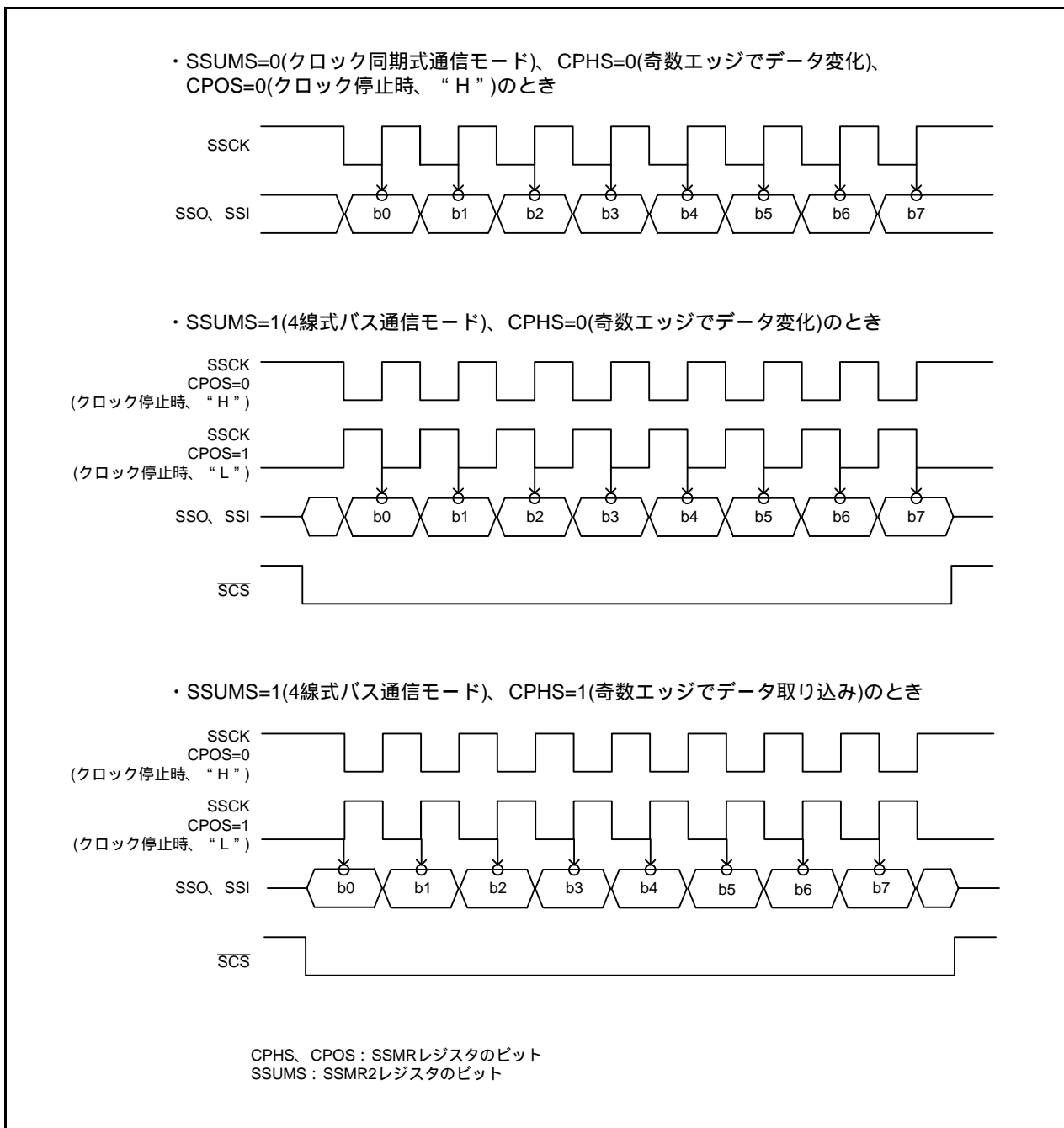


図24.2 転送クロックの極性、位相および転送データの関係



### 24.3.2 SSシフトレジスタ(SSTRSR)

SSTRSRレジスタはシリアルデータを送受信するシフトレジスタです。

SSTDRレジスタからSSTRSRレジスタに送信データが転送されるとき、SSMRレジスタのMLSビットが“0”(MSBファースト)の場合は、SSTDRレジスタのビット0がSSTRSRレジスタのビット0に転送されます。MLSビットが“1”(LSBファースト)の場合は、SSTDRレジスタのビット7がSSTRSRレジスタのビット0に転送されます。

#### 24.3.2.1 データ入出力端子とSSシフトレジスタの関係

SSCRHレジスタのMSSビットとSSMR2レジスタのSSUMSビットとの組み合わせにより、データ入出力端子とSSTRSRレジスタの接続関係が変わります。また、SSMR2レジスタのBIDEビットによっても接続関係が変わります。図24.3にデータ入出力端子とSSTRSRレジスタの接続関係を示します。

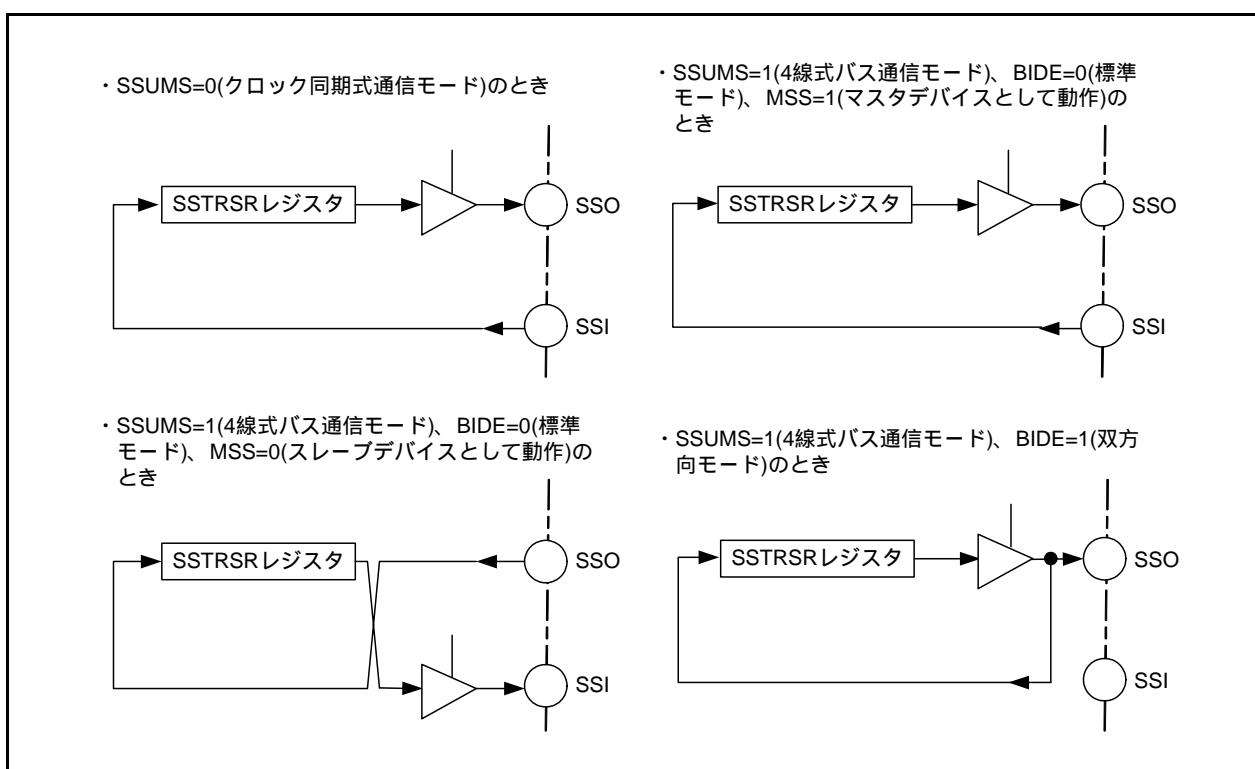


図24.3 データ入出力端子とSSTRSRレジスタの接続関係

### 24.3.3 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 24.3 にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表24.3 シンクロナスシリアルコミュニケーションユニットの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE=1かつTDRE=1
送信終了	TEI	TEIE=1かつTEND=1
受信データフル	RXI	RIE=1かつRDRF=1
オーバランエラー	OEI	RIE=1かつORER=1
コンフリクトエラー	CEI	CEIE=1かつCE=1

CEIE、RIE、TEIE、TIE : SSERレジスタのビット

ORER、RDRF、TEND、TDRE : SSSRレジスタのビット

表24.3の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を“0”にしてください。

ただし、TDRE ビットおよびTEND ビットはSSTDR レジスタに送信データを書くことで、RDRF ビットはSSRDR レジスタを読むことで自動的に“0”になります。特にTDRE ビットはSSTDR レジスタに送信データを書いたとき、同時に再度TDRE ビットが“1” (SSTDR レジスタからSSTRSR レジスタにデータ転送された) になり、さらにTDRE ビットを“0” (SSTDR レジスタからSSTRSR レジスタにデータ転送されていない) にすると、余分に1バイト送信する場合があります。

## 24.3.4 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードでSSCRHレジスタのMSSビットと、SSERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。表24.4に通信モードと入出力端子の関係を示します。

表24.4 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態			
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK	
クロック同期式通信モード	0	無効	0	0	1	入力	(注1)	入力	
				1	0	(注1)	出力	入力	
				1	1	入力	出力	入力	
			1	0	1	入力	(注1)	出力	出力
				1	0	(注1)	出力	出力	出力
				1	1	入力	出力	出力	
4線式バス通信モード	1	0	0	0	1	(注1)	入力	入力	
				1	0	出力	(注1)	入力	
				1	1	出力	入力	入力	
			1	0	1	入力	(注1)	出力	出力
				1	0	(注1)	出力	出力	出力
				1	1	入力	出力	出力	
4線式バス(双方向)通信モード(注2)	1	1	0	0	1	(注1)	入力	入力	
				1	0	(注1)	出力	入力	
			1	0	1	(注1)	入力	出力	
				1	0	(注1)	出力	出力	

注1. プログラマブル入出力ポートとして使用できます。

注2. 4線式バス(双方向)通信モード時は、TEおよびREビットを共に“1”にしないでください。

SSUMS、BIDE : SSMR2レジスタのビット

MSS : SSCRHレジスタのビット

TE、RE : SSERレジスタのビット

## 24.4 クロック同期式通信モード

## 24.4.1 クロック同期式通信モードの初期化

図24.4にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

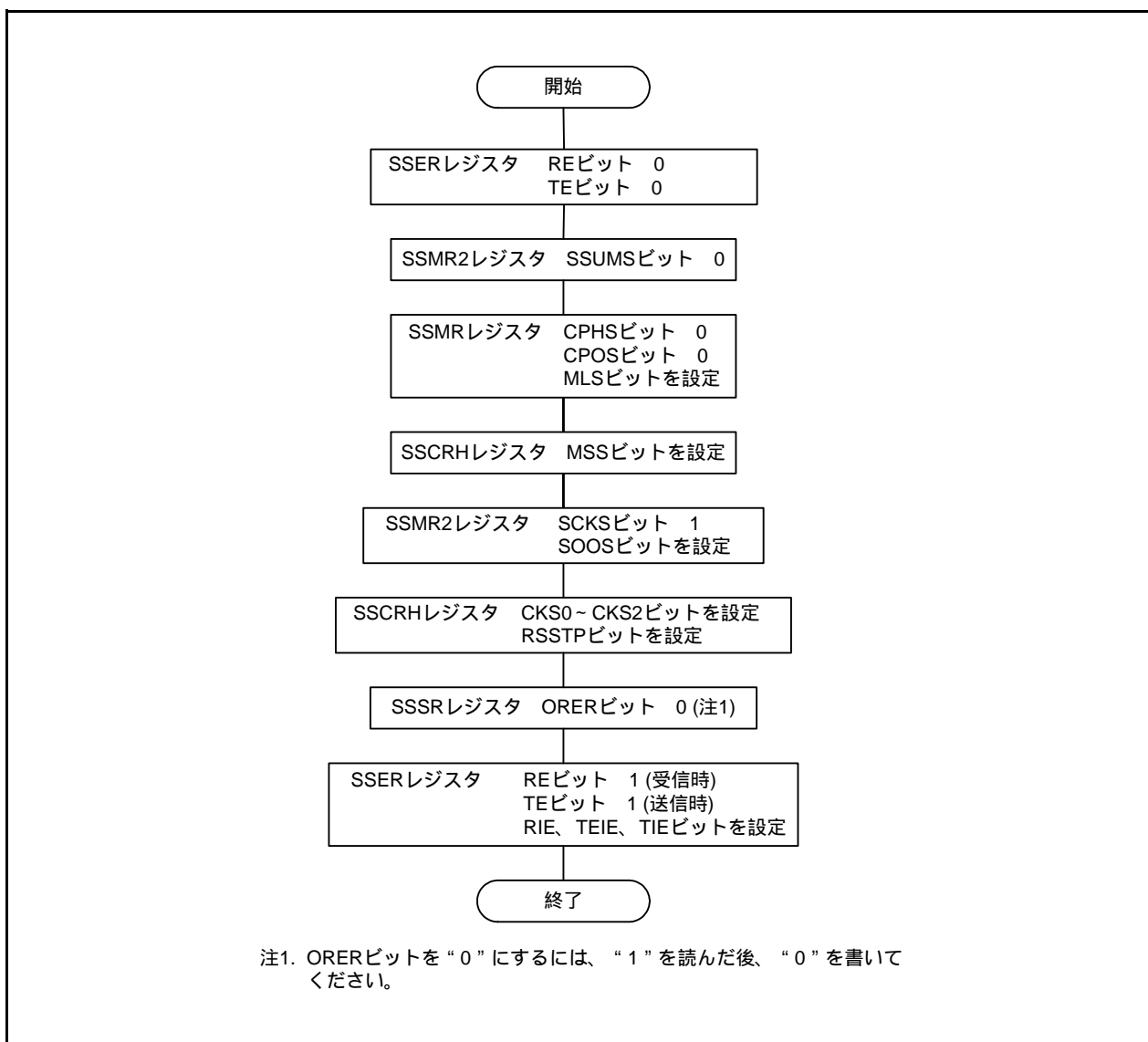


図24.4 クロック同期式通信モードの初期化

## 24.4.2 データ送信

図24.5にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

TEビットを“1”(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求を発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は“H”に固定されます。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

図24.6にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

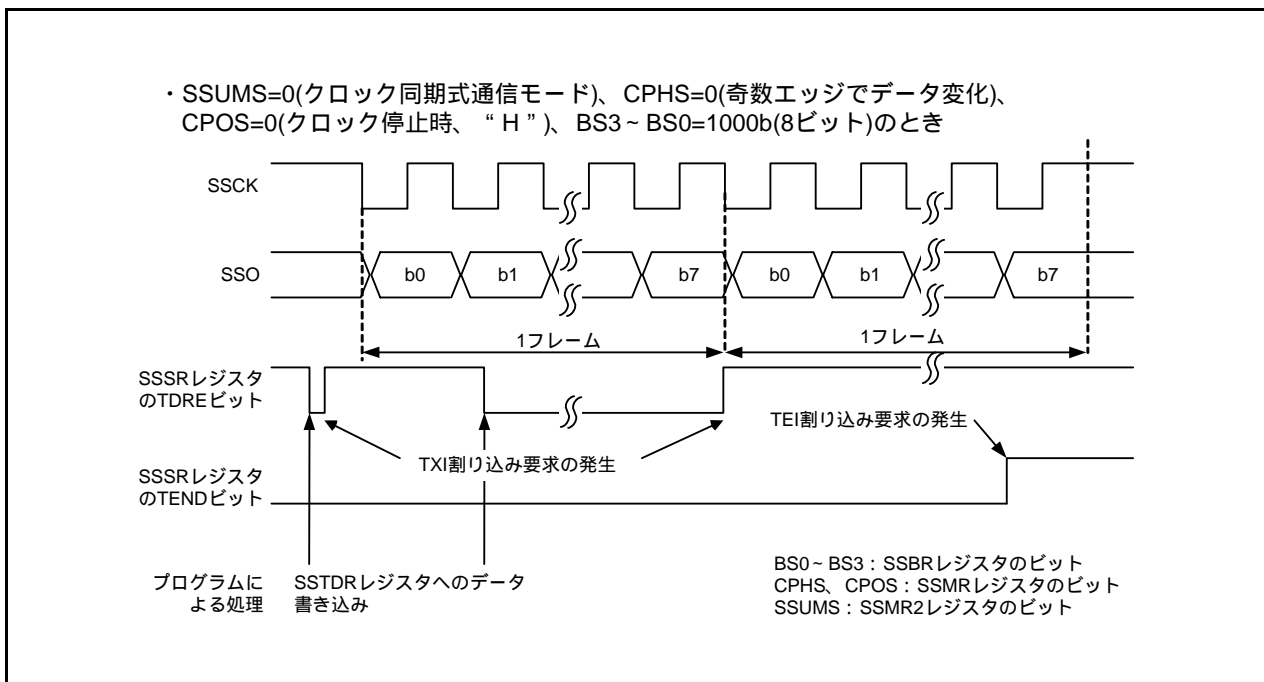


図24.5 データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

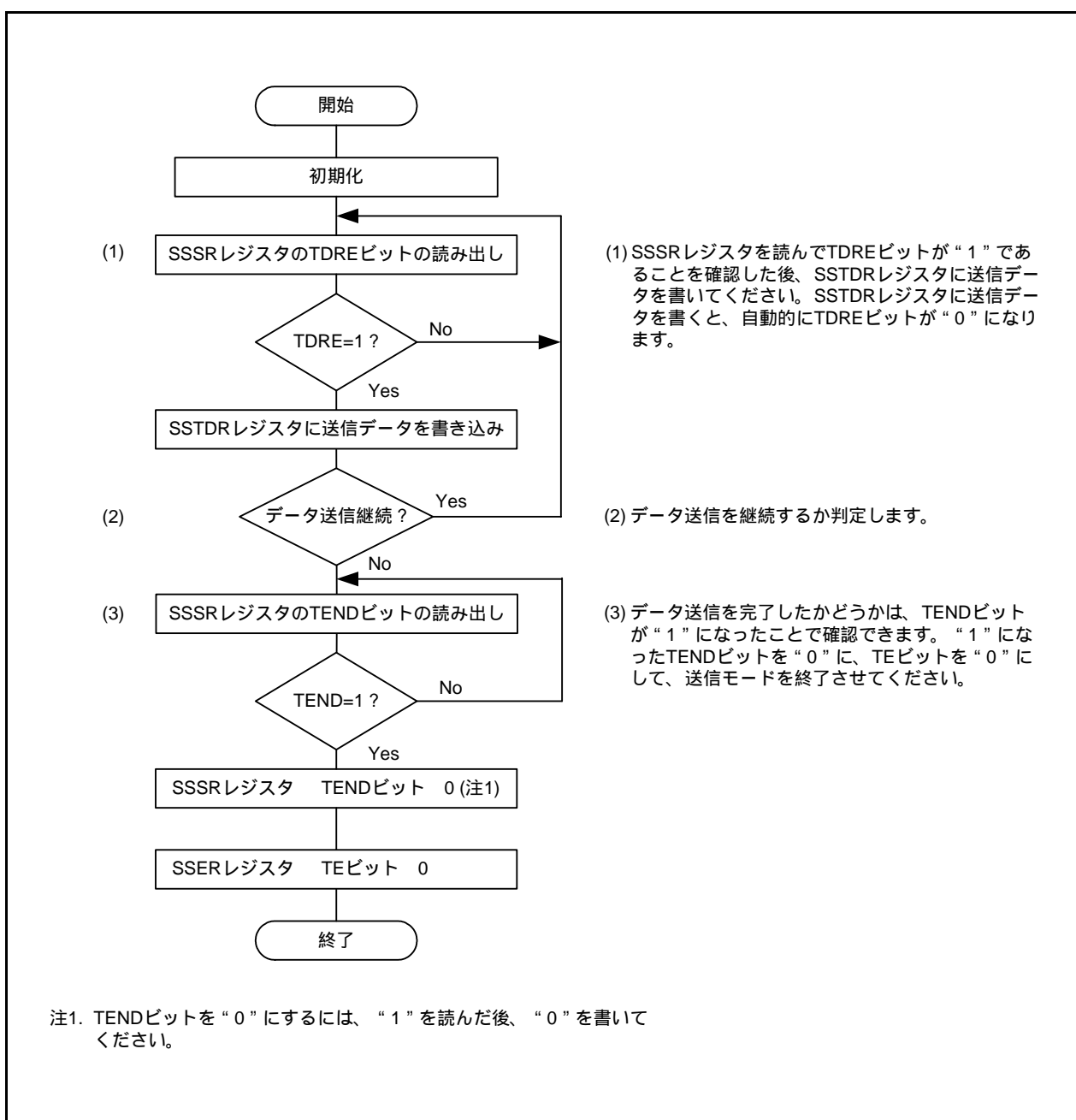


図24.6 データ送信のフローチャート例(クロック同期式通信モード)

## 24.4.3 データ受信

図24.7にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)の状態ではSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません。受信再開の前には、ORERビットが“0”であることを確認してください。

図24.8にデータ受信のフローチャート例(MSS=1)(クロック同期式通信モード)を示します。

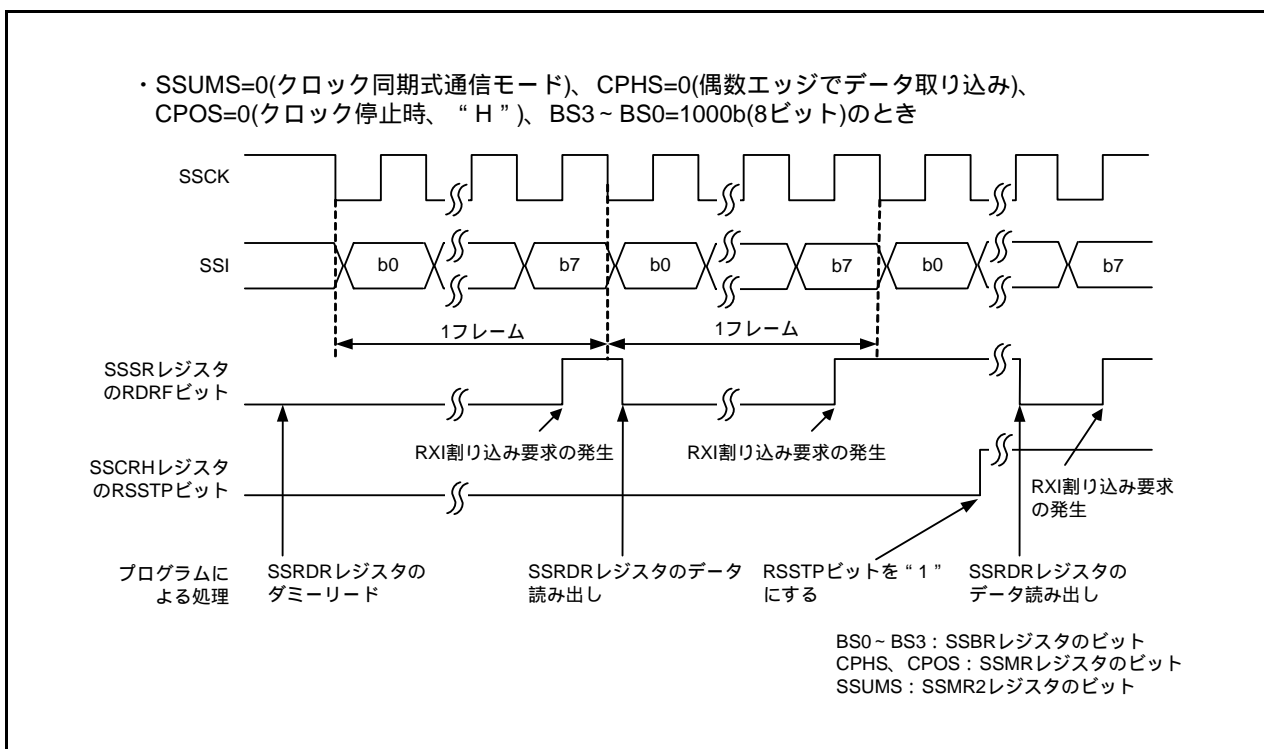


図24.7 データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

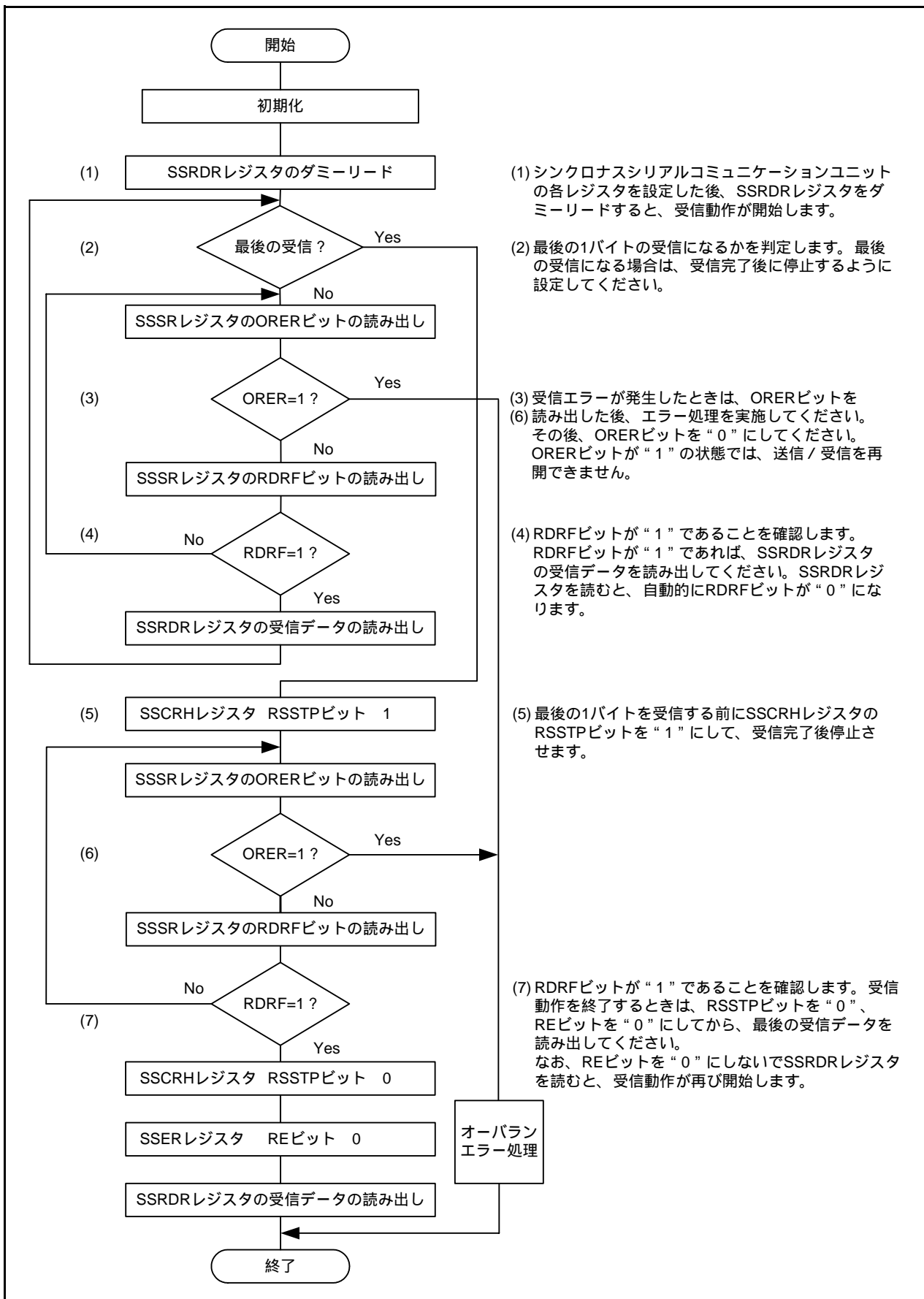


図24.8 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)



### 24.4.3.1 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDRレジスタに送信データを書くと、送受信は開始されます。また、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)の状態最終転送クロック(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)が立ち上がった場合、またはORERビットが“1”(オーバランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード(TE=1)あるいは受信モード(RE=1)から、送受信モード(TE=RE=1)に切り替える場合は、一度TEビットを“0”、REビットを“0”にしてから変更してください。また、TENDビットが“0”(送信データの最後尾ビットの送信時、TDREビットが“0”)、RDRFビットが“0”(SSRDRレジスタにデータなし)、ORERビットが“0”(オーバランエラーなし)であることを確認した後、TEおよびREビットを“1”にしてください。

図24.9にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード(TE=RE=1)から送受信モードを解除する場合、SSRDRレジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- まずREビットを“0”にして、その後、TEビットを“0”にする
- TEビットとREビットを同時に“0”にする

その後、受信モード(TE=0、RE=1)にする場合は、SRESビットに“1”を書いた後、“0”にしてSSU制御部およびSSTRSRレジスタを初期化してから、REビットを“1”にしてください。

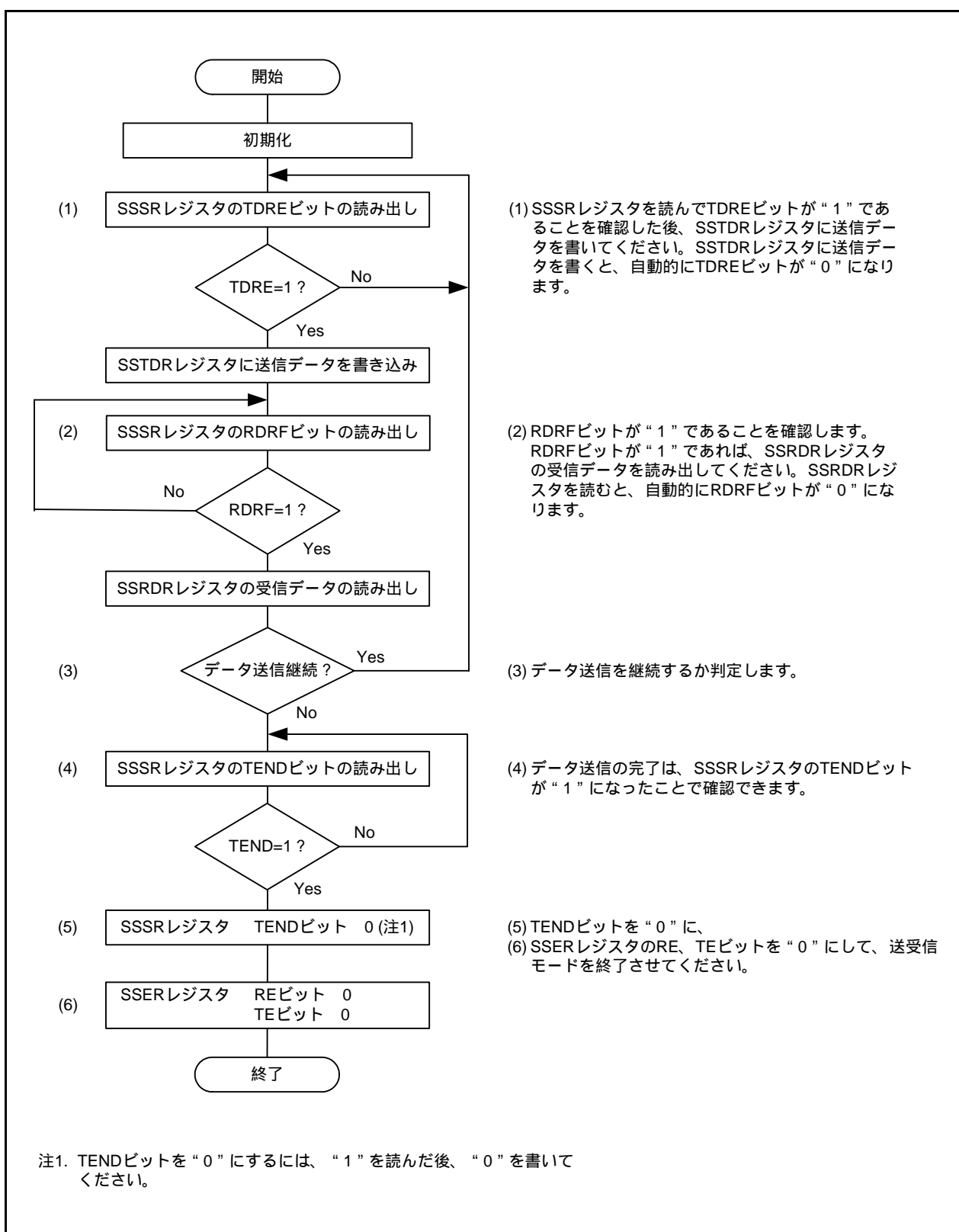


図24.9 データ送受信のフローチャート例(クロック同期式通信モード)

## 24.5 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SSCRHレジスタのMSSビットおよびSSMR2レジスタのBIDEビットの設定により、変わります。詳細は「24.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータのことをSSMRレジスタのCPOSビットおよびCPHSビットにより、設定できます。詳細は「24.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2レジスタのCSS1ビットを“1”にしてSCS端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2レジスタのCSS1、CSS0ビットを“01b”にしてSCS端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

## 24.5.1 4線式バス通信モードの初期化

図24.10に4線式バス通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

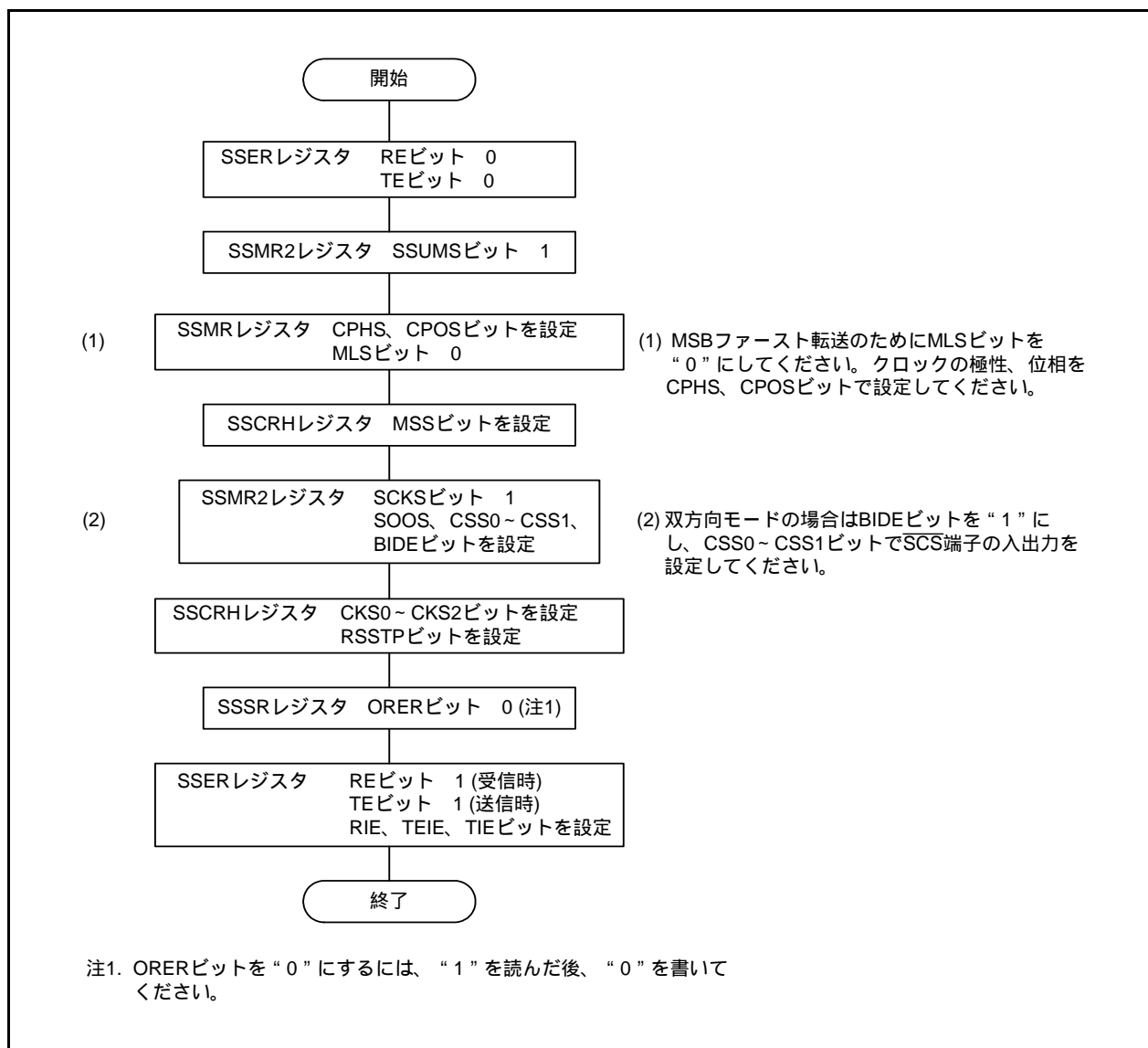


図24.10 4線式バス通信モードの初期化

### 24.5.2 データ送信

図24.11にデータ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを出力します。

TEビットを“1”(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求を発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は“H”に固定され、SCS端子は“H”になります。SCS端子が“L”のまま連続的に送信する場合、8ビット目が送出される前に次の送信データをSSTDRレジスタに書いてください。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時にSCS端子がハイインピーダンス状態では、SSO端子がハイインピーダンス状態となり、スレーブデバイス時にSCS端子が“H”入力状態では、SSI端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図24.6 データ送信のフローチャート例(クロック同期式通信モード)」参照)。

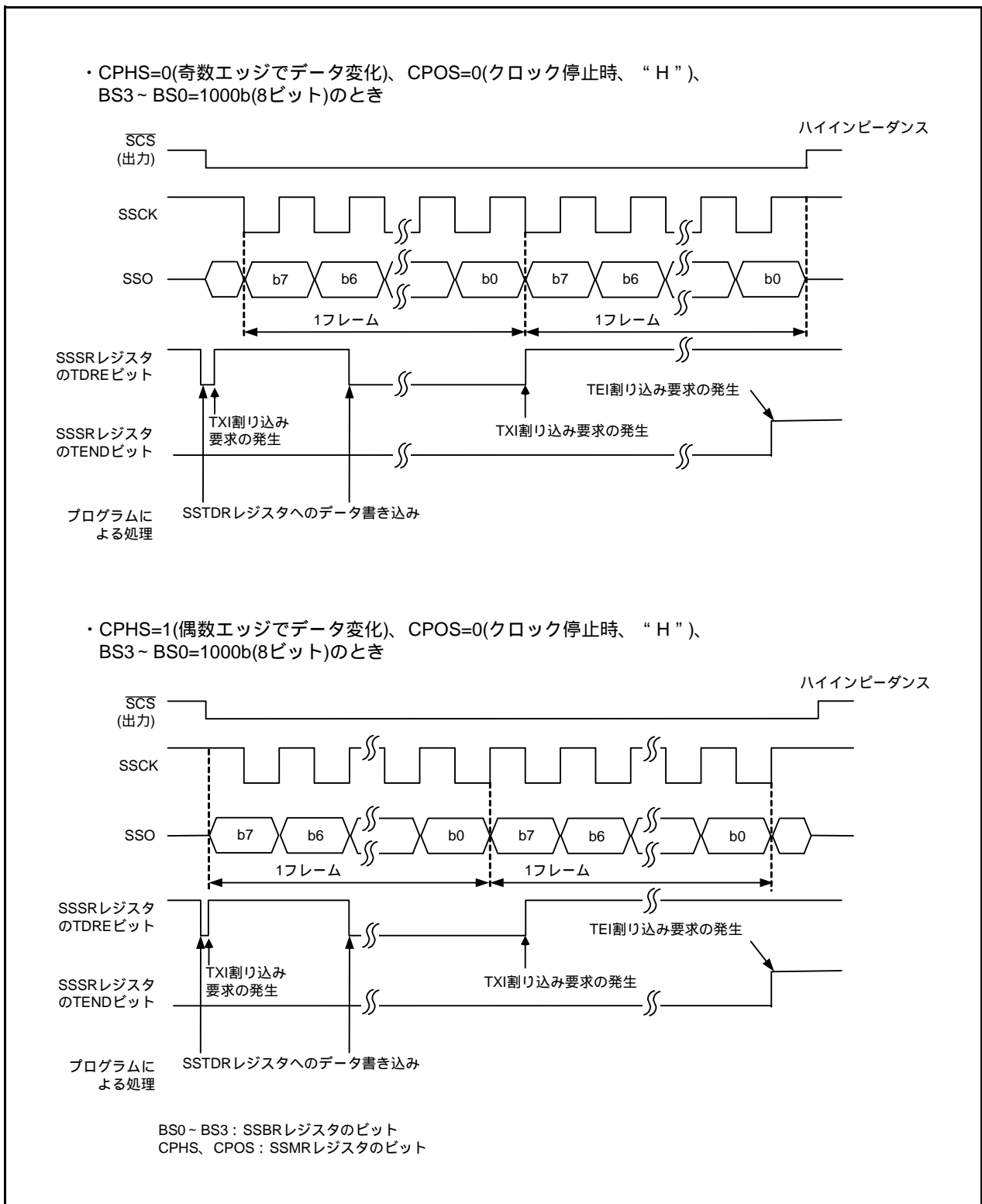


図24.11 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

### 24.5.3 データ受信

図24.12にデータ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求を発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)状態でSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません、受信再開の前には、ORERビットが“0”であることを確認してください。

RDRFビット、ORERビットが“1”になるタイミングは、SSMRレジスタのCPHSビットの設定により異なります。このタイミングを図24.12に示します。CPHSビットを“1”(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが“1”になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図24.8 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)」参照)。

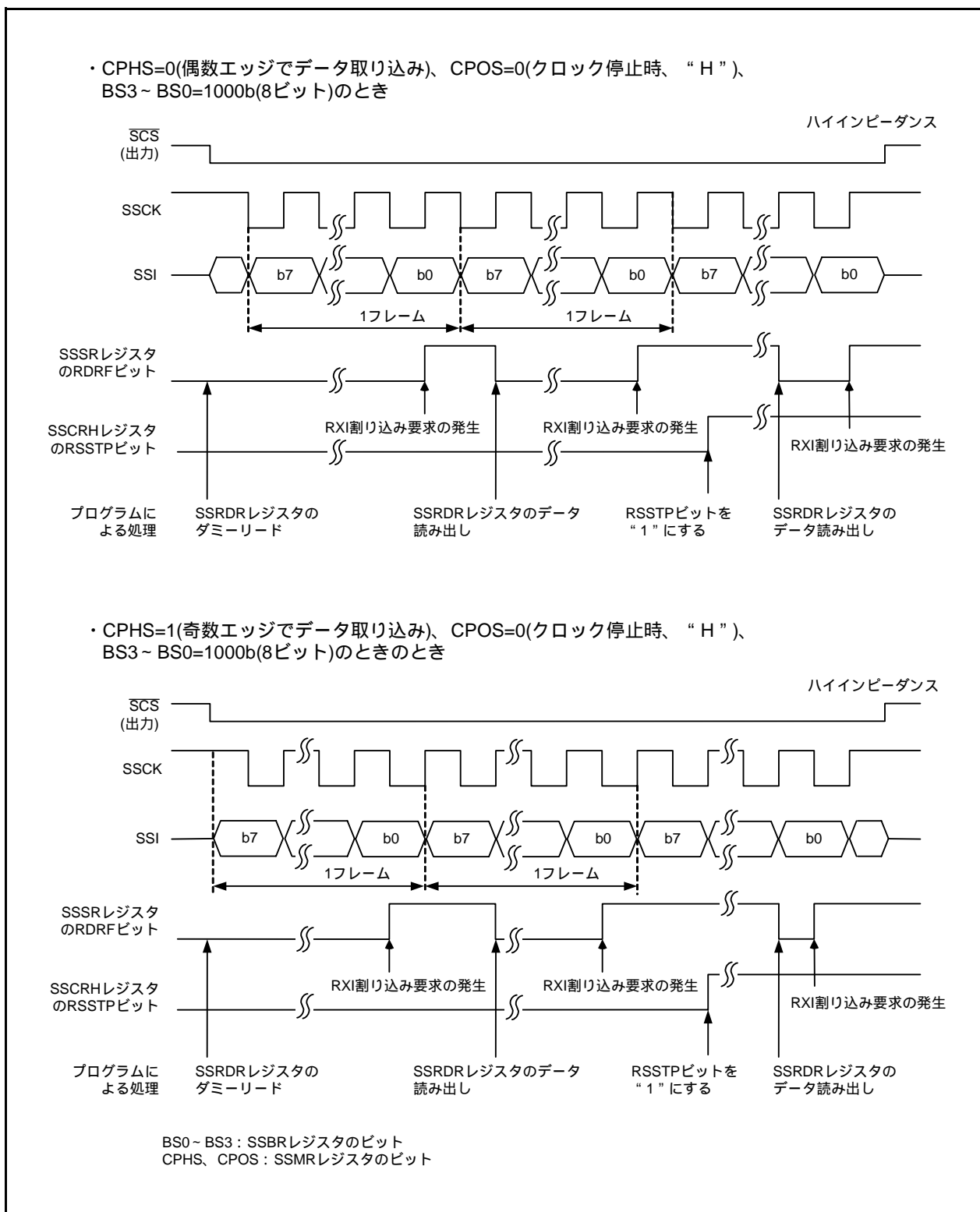


図24.12 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)



#### 24.5.4 SCS端子制御とアービトレーション

SSMR2レジスタのSSUMSビットを“1”(4線式バス通信モード)、CSS1ビットを“1”(SCS出力端子として機能)にした場合には、SSCRHレジスタのMSSビットを“1”(マスタデバイスとして動作)にしてからシリアル転送を開始する前に、SCS端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号が“L”になったことを検出すると、SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になり、自動的にMSSビットが“0”(スレーブデバイスとして動作)になります。

図24.13にアービトレーションチェックタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CEビットを“0”(コンフリクトエラーなし)にしてください。

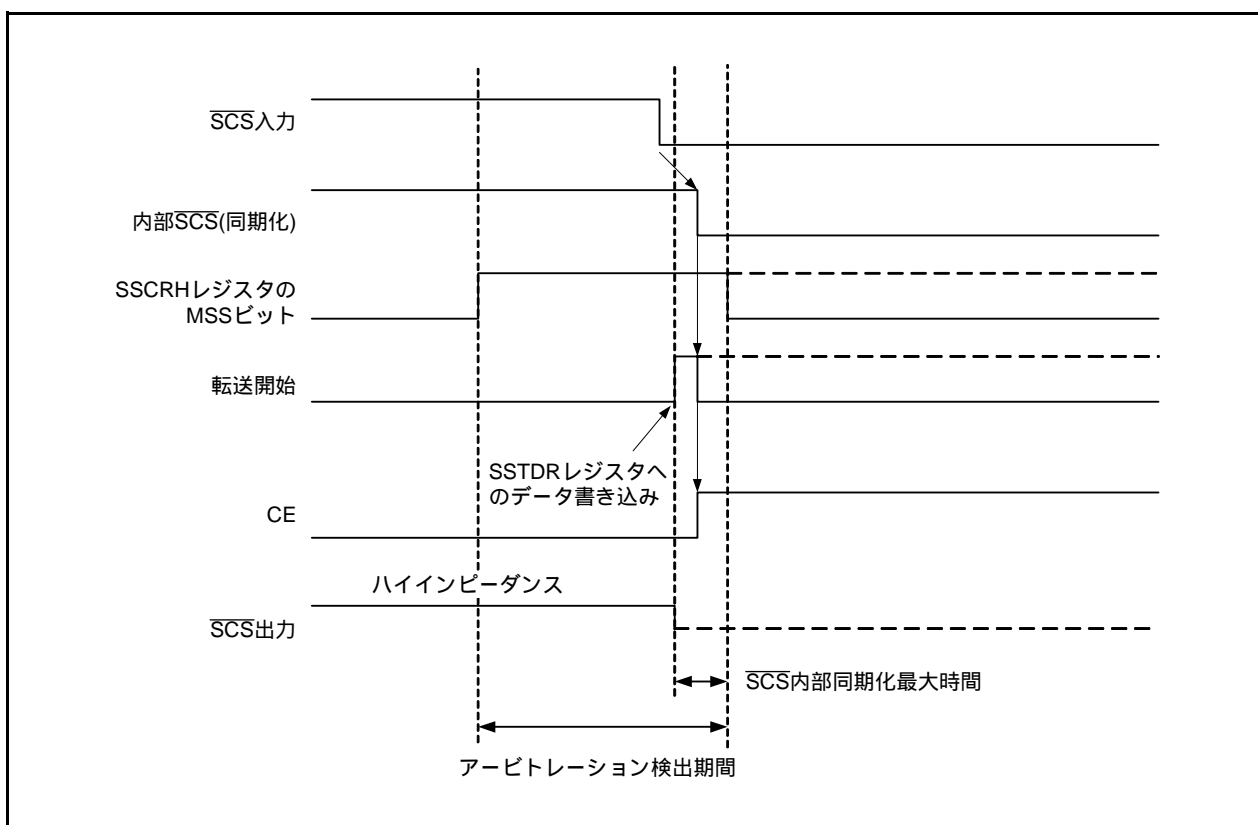


図24.13 アービトレーションチェックタイミング

## 24.6 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSRレジスタのIICSELビットを“0”(SSU機能を選択)にしてください。

## 25. I<sup>2</sup>Cバスインタフェース

I<sup>2</sup>Cバスインタフェースは、フィリップス社I<sup>2</sup>Cバスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。

### 25.1 概要

表25.1にI<sup>2</sup>Cバスインタフェースの仕様を、図25.1にI<sup>2</sup>Cバスインタフェースブロック図を、図25.2にSCL、SDA端子の外部回路接続例を、表25.2にI<sup>2</sup>Cバスインタフェースの端子構成を示します。

表25.1 I<sup>2</sup>Cバスインタフェースの仕様

項目	仕様
通信フォーマット	<ul style="list-style-type: none"> <li>• I<sup>2</sup>Cバスフォーマット               <ul style="list-style-type: none"> <li>- マスタ/スレーブデバイスの選択可能</li> <li>- 連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)</li> <li>- マスタモードでは開始条件、停止条件の自動生成</li> <li>- 送信時、アクノリッジビットを自動ロード</li> <li>- ビット同期、ウェイト機能内蔵(マスタモードではビットごとにSCLの状態をモニタして自動的に同期を取る。転送準備ができていない場合、SCLを“L”にして待機させる。)</li> <li>- SCL、SDA端子の直接駆動(Nチャンネルオープンドレイン出力)が可能</li> </ul> </li> <li>• クロック同期式シリアルフォーマット               <ul style="list-style-type: none"> <li>- 連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)</li> </ul> </li> </ul>
入出力端子	SCL(入出力)：シリアルクロック入出力端子 SDA(入出力)：シリアルデータ入出力端子
転送クロック	<ul style="list-style-type: none"> <li>• ICCR1レジスタのMSTビットが“0”のとき 外部クロック(SCL端子から入力)</li> <li>• ICCR1レジスタのMSTビットが“1”のとき ICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択する内部クロック(SCL端子から出力)</li> </ul>
受信エラーの検出	<ul style="list-style-type: none"> <li>• オーバランエラーを検出(クロック同期式シリアルフォーマット) 受信時にオーバランエラーが発生したことを示す。ICSRレジスタのRDRFビットが“1”(ICDRRレジスタにデータあり)の状態、次のデータの最終ビットを受信したとき、ALビットが“1”になる</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>• I<sup>2</sup>Cバスフォーマット ..... 6種類(注1) 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトレーションロスト、NACK検出、停止条件検出</li> <li>• クロック同期式シリアルフォーマット ..... 4種類(注1) 送信データエンプティ、送信終了、受信データフル、オーバランエラー</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• I<sup>2</sup>Cバスフォーマット               <ul style="list-style-type: none"> <li>- 受信時、アクノリッジの出力レベルを選択可能</li> </ul> </li> <li>• クロック同期式シリアルフォーマット               <ul style="list-style-type: none"> <li>- データ転送方向にMSBファーストまたはLSBファーストを選択可能</li> </ul> </li> <li>• SDAのデジタル遅延               <ul style="list-style-type: none"> <li>- PINSRレジスタのSDADLY0～SDADLY1ビットでSDA端子のデジタル遅延値を選択可能</li> </ul> </li> </ul>

注1. 割り込みベクタテーブルはI<sup>2</sup>Cバスインタフェースの1つです。

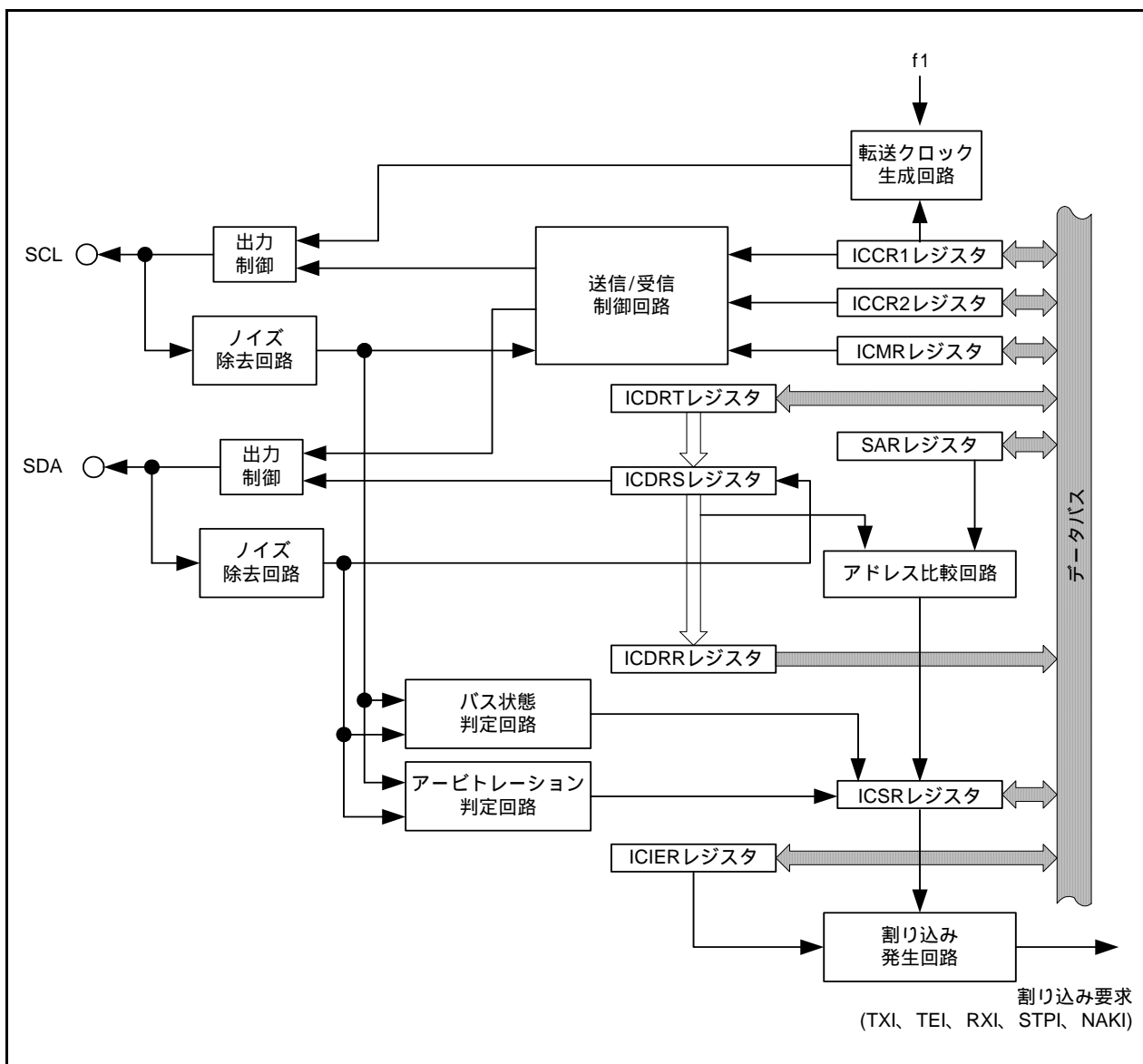


図25.1 I<sup>2</sup>Cバスインタフェースブロック図

表25.2 I<sup>2</sup>Cバスインタフェースの端子構成

端子名	割り当てる端子	機能
SCL	P3_5	クロック入出力
SDA	P3_7	データ入出力

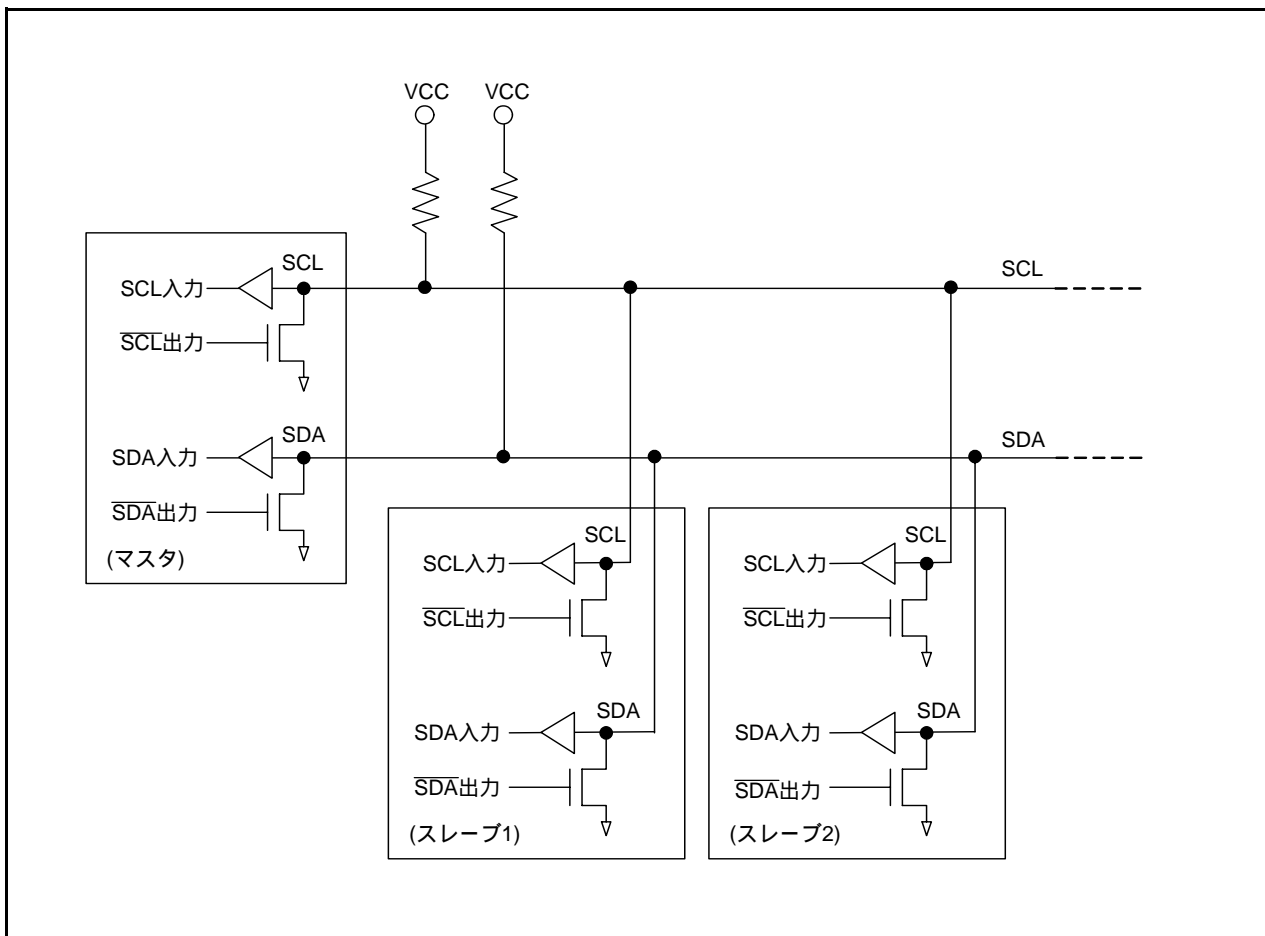


図25.2 SCL、SDA端子の外部回路接続例

## 25.2 レジスタの説明

## 25.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	MSTTRC	-	MSTIIC	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	MSTIIC	SSU、I <sup>2</sup> Cバススタンバイビット	0: アクティブ 1: スタンバイ(注1)	R/W
b4	-	予約ビット	“0”にしてください	R/W
b5	MSTTRC	タイマRCスタンバイビット	0: アクティブ 1: スタンバイ(注2)	R/W
b6	-	予約ビット	“0”にしてください	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. スタンバイにする前に、SSU、I<sup>2</sup>C機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

## 25.2.2 SSU/IIC端子選択レジスタ(SSUIICSR)

アドレス 018Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	IICSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I <sup>2</sup> Cバス切り替えビット	0: SSU機能を選択 1: I <sup>2</sup> Cバス機能を選択	R/W
b1	-	予約ビット	“0”にしてください	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b3	-			
b4	-	予約ビット	“0”にしてください	R/W
b5	-			
b6	-			
b7	-			

## 25.2.3 入出力機能端子選択レジスタ (PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	IOINSEL	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			R/W
b2	-		何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。	-
b3	IOINSEL	I/Oポート入力機能選択ビット	0: I/Oポートの入力機能はPDi (i=0、1、3、4、6~8) レジスタに依存PDiレジスタのPDi <sub>j</sub> (j=0~7) ビットが“0” (入力モード) のとき、端子の入力レベルを読む。 PDiレジスタのPDi <sub>j</sub> ビットが“1” (出力モード) のとき、ポートラッチを読む。 1: I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルを読む	R/W
b4	IICTCTWI	I <sup>2</sup> C転送レート2倍選択ビット	0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の2倍の転送レート	R/W
b5	IICTCHALF	I <sup>2</sup> C転送レート1/2倍選択ビット	0: ICCR1レジスタのCKS0~CKS3ビットの設定値通りの転送レート 1: ICCR1レジスタのCKS0~CKS3ビットの設定値の1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延選択ビット	b7 b6 00: 3×f1サイクルのデジタル遅延 01: 11×f1サイクルのデジタル遅延 10: 19×f1サイクルのデジタル遅延 11: 設定しないでください	R/W
b7	SDADLY1			R/W

## IOINSELビット (I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=0、1、3、4、6~8) レジスタのPDi<sub>j</sub> (j=0~7) ビットが“1” (出力モード) のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1” にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表25.3にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべてのI/Oポートの入力機能を変更できます。

表25.3 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi <sub>j</sub> ビット	“0” (入力モード)		“1” (出力モード)	
	“0”	“1”	“0”	“1”
IOINSELビット				
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

## 25.2.4 IICバス送信データレジスタ(ICDRT)

アドレス 0194h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7 ~ b0	送信データを保管。 ICDRSレジスタの空きが検出されると、保管されている送信データがICDRSレジスタへ転送されて、送信が開始します。 ICDRSレジスタからデータを送信中に、ICDRTレジスタに次の送信データを書いておくと、連続して送信できます。 ICMRレジスタのMLSビットが“1 (LSBファーストでデータ転送)”の場合、ICDRTレジスタに書いた後、読み出すとMSBとLSBが反転したデータが読み出されます。	R/W

## 25.2.5 IICバス受信データレジスタ(ICDRR)

アドレス 0196h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7 ~ b0	受信データを保管。 ICDRSレジスタが1バイトのデータを受信すると、ICDRRレジスタへ受信データが転送されて、次の受信が可能になります。	R



## 25.2.6 IICバス制御レジスタ1 (ICCR1)

アドレス 0198h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット3~0 (注1)	b3 b2 b1 b0	R/W
b1	CKS1		0 0 0 0 : f1/28	R/W
b2	CKS2		0 0 0 1 : f1/40	R/W
b3	CKS3		0 0 1 0 : f1/48	R/W
			0 0 1 1 : f1/64	
		0 1 0 0 : f1/80		
		0 1 0 1 : f1/100		
		0 1 1 0 : f1/112		
		0 1 1 1 : f1/128		
		1 0 0 0 : f1/56		
		1 0 0 1 : f1/80		
		1 0 1 0 : f1/96		
		1 0 1 1 : f1/128		
		1 1 0 0 : f1/160		
		1 1 0 1 : f1/200		
		1 1 1 0 : f1/224		
		1 1 1 1 : f1/256		
b4	TRS	送信/受信選択ビット(注2、3、6)	b5 b4	R/W
b5	MST	マスタ/スレーブ選択ビット(注5、6)		0 0 : スレーブ受信モード(注4)
			0 1 : スレーブ送信モード	
			1 0 : マスタ受信モード	
			1 1 : マスタ送信モード	
b6	RCVD	受信禁止ビット	TRS=0の状態ではICDRRレジスタを読んだ後、	R/W
			0 : 次の受信動作を継続	
			1 : 次の受信動作を禁止	
b7	ICE	I <sup>2</sup> Cバスインタフェース許可ビット(注7)	0 : 本モジュールは機能停止状態 (SCL、SDA端子はポート機能)	R/W
			1 : 本モジュールは転送動作可能状態 (SCL、SDA端子はバス駆動状態)	

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては、「表 25.4 ~ 表 25.5 転送レート例」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間はCKS3=0のとき10T<sub>cyc</sub>、CKS3=1のとき20T<sub>cyc</sub>となります。(1T<sub>cyc</sub>=1/f1(s))

注2. TRSビットは転送フレーム間で書き換えてください。

注3. スレーブ受信モードで開始条件後の7ビットがSARレジスタに設定したスレーブアドレスと一致し、8ビット目が“1”の場合、TRSビットが“1”になります。

注4. I<sup>2</sup>Cバスフォーマットのマスタモードでバス競合負けすると、MSTおよびTRSビットが“0”になり、スレーブ受信モードになります。

注5. クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MSTビットが“0”になり、スレーブ受信モードになります。

注6. マルチマスタで使用する場合、TRSおよびMSTビットの設定にはMOV命令を使用してください。

注7. I<sup>2</sup>Cバスインタフェース動作中に、ICEビットに“0”、またはICCR2レジスタのIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。「25.9 I<sup>2</sup>Cバスインタフェース使用上の注意」を参照してください。

## 25.2.7 IICバス制御レジスタ2 (ICCR2)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b1	IICRST	I <sup>2</sup> Cバス制御部リセットビット (注5)	I <sup>2</sup> Cバスの動作中に、通信不具合等によりハングアップしたとき、“1”を書くとポートの設定、レジスタの初期化をせずに、I <sup>2</sup> Cバスの制御部をリセットします。	R/W
b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b3	SCLO	SCLモニタフラグ	0：SCL端子は“L” 1：SCL端子は“H”	R
b4	SDAOP	SDAOライトプロテクトビット	SDAOビットを書き換えるとき、同時に“0”を書いてください。(注1)読んだ場合、その値は“1”。	R/W
b5	SDAO	SDA出力値制御ビット	読んだ場合 0：SDA端子出力が“L” 1：SDA端子出力が“H” 書いた場合(注1、2) 0：SDA端子出力を“L”に変更する。 1：SDA端子出力をハイインピーダンスに変更する(外部プルアップ抵抗によって、“H”出力)。	R/W
b6	SCP	開始/停止条件発行禁止ビット	BBSYビットに書くとき、同時に“0”を書いてください。(注3)読んだ場合、その値は“1”。“1”書き込みは無効になります。	R/W
b7	BBSY	バスビジービット(注4、5)	読んだ場合 0：バスが開放状態(SCL信号が“H”の状態ですDA信号が“L”から“H”に変化) 1：バスが占有状態(SCL信号が“H”の状態ですDA信号が“H”から“L”に変化) 書いた場合(注3) 0：停止条件を発行 1：開始条件を発行	R/W

注1. SDAOビットを書き換える場合は、同時にSDAOPビットに“0”をMOV命令を使用して書いてください。

注2. 転送動作中に書かないでください。

注3. マスタモード時に有効です。BBSYビットに書く場合は、同時にSCPビットに“0”をMOV命令を使用して書いてください。開始条件の再発行時も、同様に実施してください。

注4. クロック同期シリアルフォーマット時は無効です。

注5. I<sup>2</sup>Cバスインタフェース動作中に、ICCR1レジスタのICEビットに“0”、またはIICRSTビットに“1”を書くと、BBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。「25.9 I<sup>2</sup>Cバスインタフェース使用上の注意」を参照してください。

## 25.2.8 IICバスモードレジスタ(ICMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	WAIT	-	-	BCWP	BC2	BC1	BC0
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ2~0	I <sup>2</sup> Cバスフォーマット(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数)(注1、2) b2 b1 b0 000: 9ビット(注3) 001: 2ビット 010: 3ビット 011: 4ビット 100: 5ビット 101: 6ビット 110: 7ビット 111: 8ビット クロック同期式シリアルフォーマット(読み出し時は残りの転送ビット数、書き込み時は常に“000b”を書いてください。) b2 b1 b0 000: 8ビット 001: 1ビット 010: 2ビット 011: 3ビット 100: 4ビット 101: 5ビット 110: 6ビット 111: 7ビット	R/W
b1	BC1			R/W
b2	BC2			R/W
b3	BCWP	BCライトプロテクトビット	BC0~BC2ビットを書き換えるとき、同時に“0”を書いてください。(注2、4)読んだ場合、その値は“1”。	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
b5	-	予約ビット	“0”にしてください	R/W
b6	WAIT	ウェイト挿入ビット(注5)	0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック分“L”を延長)	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送(注6) 1: LSBファーストでデータ転送	R/W

注1. 転送フレーム間で書き換えてください。“000b”以外の値を書くときは、SCL信号が“L”のときに書いてください。

注2. BC0~BC2ビットに書く場合は、同時にBCWPビットに“0”をMOV命令を使用して書いてください。

注3. アクノリッジを含むデータ転送終了後、BC2~BC0ビットは自動的に“000b”になります。開始条件検出時、BC2~BC0ビットは自動的に“000b”になります。

注4. クロック同期式シリアルフォーマット時は書き換えしないでください。

注5. I<sup>2</sup>Cバスフォーマットのマスタモード時に、設定値が有効です。I<sup>2</sup>Cバスフォーマットのスレーブモード時およびクロック同期シリアルフォーマット時は無効です。

注6. I<sup>2</sup>Cバスフォーマット時は、“0”にしてください。

## 25.2.9 IICバス割り込み許可レジスタ (ICIER)

アドレス 019Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACKBT	送信アクノリッジ選択ビット	0: 受信モード時、アクノリッジのタイミングで“0”を送出 1: 受信モード時、アクノリッジのタイミングで“1”を送出	R/W
b1	ACKBR	受信アクノリッジビット	0: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“0” 1: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“1”	R
b2	ACKE	アクノリッジビット判定選択ビット	0: 受信アクノリッジの内容を無視して連続的に転送 1: 受信アクノリッジが“1”の場合、転送中止	R/W
b3	STIE	停止条件検出割り込み許可ビット	0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注2)	R/W
b4	NAKIE	NACK受信割り込み許可ビット	0: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求禁止 1: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求許可(注1)	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可(注1)	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

注1. オーバーランエラー割り込み要求はクロック同期フォーマット時です。

注2. ICSRレジスタのSTOPビットが“0”のとき、STIEビットを“1”(停止条件検出割り込み要求許可)にしてください。

## 25.2.10 IICバスステータスレジスタ(ICSR)

アドレス 019Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ
リセット後の値	0	0	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADZ	ゼネラルコールアドレス認識フラグ(注1、2)	ゼネラルコールアドレス検出したとき、“1”になります	R/W
b1	AAS	スレーブアドレス認識フラグ(注1)	スレーブ受信モードで開始条件直後の第1フレームがSARレジスタのSVA0～SVA6と一致した場合、“1”になります(スレーブアドレス検出、ゼネラルコールアドレス検出)	R/W
b2	AL	アービトレーションロストフラグ/オーバーランエラーフラグ(注1)	I <sup>2</sup> Cバスフォーマットの場合、マスタモード時にバス競合負けしたことを示します。次のときに“1”になります(注3) <ul style="list-style-type: none"> <li>マスタ送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき</li> <li>マスタ送信/受信モード時、開始条件検出時にSDA端子が“H”のとき</li> </ul> クロック同期フォーマットの場合、オーバーランエラーが発生したことを示します。次のときに“1”になります <ul style="list-style-type: none"> <li>RDRFビットが“1”の状態、次のデータの最終ビットを受信したとき</li> </ul>	R/W
b3	STOP	停止条件検出フラグ(注1、7)	フレームの転送の完了後に停止条件を検出したとき、“1”になります	R/W
b4	NACKF	ノーアクノリッジ検出フラグ(注1、4)	送信時、受信デバイスからアクノリッジがなかったとき、“1”になります	R/W
b5	RDRF	受信データレジスタフルフラグ(注1、5)	ICDRSレジスタからICDRRレジスタに受信データが転送されたとき、“1”になります。	R/W
b6	TEND	送信終了フラグ(注1、6)	I <sup>2</sup> Cバスフォーマットの場合、TDREビットが“1”の状態、SCL信号の9クロック目が立ち上がったとき、“1”になります。 クロック同期フォーマットの場合、送信フレームの最終ビットを送出したとき、“1”になります。	R/W
b7	TDRE	送信データ空フラグ(注1、6)	次のときに“1”になります。 <ul style="list-style-type: none"> <li>ICDRTレジスタからICDRSレジスタにデータ転送されて、ICDRTレジスタが空になったとき</li> <li>ICCR1レジスタのTRSビットを“1”(送信モード)にしたとき</li> <li>開始条件(再送含む)を発行したとき</li> <li>スレーブ受信モードからスレーブ送信モードに変わったとき</li> </ul>	R/W

注1. 各ビットは“1”を読んだ後、“0”を書くと“0”になります。

注2. I<sup>2</sup>Cバスフォーマットのスレーブ受信モードのとき有効です。

注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I<sup>2</sup>CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALフラグを“1”にして、バスが他のマスタによって占有されたことを示します。

注4. NACKFビットはICIERレジスタのACKEビットが“1”(受信アクノリッジが“1”の場合、転送中止)のとき有効です。

注5. RDRFビットはICDRRレジスタからデータを読み出したとき、“0”になります。

注6. TEND、TDREビットはICDRTレジスタにデータを書いたとき、“0”になります。

ICDRTレジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間に、NOP命令を3つ以上挿入してください。

注7. I<sup>2</sup>Cバスインタフェース動作中に、ICCR1レジスタのICEビットに“0”、またはICCR2レジスタのIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとSTOPビットが不定になる場合があります。「25.9 I<sup>2</sup>Cバスインタフェース使用上の注意」を参照してください。

ICSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

## 25.2.11 スレーブアドレスレジスタ(SAR)

アドレス 019Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	フォーマット選択ビット	0 : I <sup>2</sup> Cバスフォーマット 1 : クロック同期式シリアルフォーマット	R/W
b1	SVA0	スレーブアドレス6~0	I <sup>2</sup> Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 I <sup>2</sup> Cバスフォーマットのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0~SVA6が一致したとき、スレーブデバイスとして動作します。	R/W
b2	SVA1			R/W
b3	SVA2			R/W
b4	SVA3			R/W
b5	SVA4			R/W
b6	SVA5			R/W
b7	SVA6			R/W

## 25.2.12 IICバスシフトレジスタ(ICDRS)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-

ビット	機能	R/W
b7~b0	データを送受信するシフトレジスタ。 送信時はICRDTレジスタから送信データがICDRSレジスタに転送され、データがSDA端子から送出されます。 受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。	-

## 25.3 複数モードに関わる共通事項

## 25.3.1 転送クロック

ICCR1レジスタのMSTビットが“0”のとき、転送クロックはSCL端子から入力される外部クロックです。

ICCR1レジスタのMSTビットが“1”のとき、転送クロックはICCR1レジスタのCKS0～CKS3ビットおよびPINSRレジスタのIICTCTWIビット、IICTCHALFビットで選択された内部クロックになり、SCL端子から出力されます。表25.4～表25.5に転送レート例を示します。

表25.4 転送レート例(1)

PINSRレジスタ		ICCR1レジスタ				転送 クロック	転送レート				
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz
0	0	0	0	0	0	f1/28	179kHz	286kHz	357kHz	571kHz	714kHz
					1	f1/40	125kHz	200kHz	250kHz	400kHz	500kHz
				1	0	f1/48	104kHz	167kHz	208kHz	333kHz	417kHz
					1	f1/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
			1	0	0	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
					1	f1/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
				1	0	f1/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
					1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
		1	0	0	0	f1/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
					1	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
				1	0	f1/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
					1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
			1	0	0	f1/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
					1	f1/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
				1	0	f1/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
					1	f1/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

表25.5 転送レート例(2)

PINSRレジスタ		ICCR1レジスタ				転送 クロック	転送レート							
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz			
0	1	0	0	0	0	f1/28	358kHz	572kHz	714kHz	1142kHz	1428kHz			
				1	1	f1/40	250kHz	400kHz	500kHz	800kHz	1000kHz			
				0	0	f1/48	208kHz	334kHz	416kHz	666kHz	834kHz			
			1	1	f1/64	156kHz	250kHz	312kHz	500kHz	626kHz				
			1	0	0	f1/80	125kHz	200kHz	250kHz	400kHz	500kHz			
				1	1	f1/100	100kHz	160kHz	200kHz	320kHz	400kHz			
		0		0	f1/112	89kHz	143kHz	179kHz	286kHz	358kHz				
		1	0	0	0	0	f1/56	179kHz	286kHz	358kHz	572kHz	714kHz		
					1	1	f1/80	125kHz	200kHz	250kHz	400kHz	500kHz		
					0	0	f1/96	104kHz	167kHz	208kHz	334kHz	416kHz		
				1	1	1	f1/128	78kHz	125kHz	156kHz	250kHz	312kHz		
					0	0	f1/160	63kHz	100kHz	125kHz	200kHz	250kHz		
					1	1	f1/200	50kHz	80kHz	100kHz	160kHz	200kHz		
				1	0	0	0	0	f1/224	45kHz	71kHz	89kHz	143kHz	179kHz
							1	1	f1/256	39kHz	63kHz	78kHz	125kHz	156kHz
						1	0	0	f1/28	90kHz	143kHz	179kHz	286kHz	357kHz
1	1						f1/40	63kHz	100kHz	125kHz	200kHz	250kHz		
1	0	0	0	0	0	f1/48	52kHz	84kHz	104kHz	167kHz	209kHz			
				1	1	f1/64	39kHz	63kHz	78kHz	125kHz	157kHz			
				0	0	f1/80	31kHz	50kHz	63kHz	100kHz	125kHz			
			1	1	1	f1/100	25kHz	40kHz	50kHz	80kHz	100kHz			
				0	0	f1/112	22kHz	36kHz	45kHz	72kHz	90kHz			
				1	1	f1/128	20kHz	31kHz	39kHz	63kHz	78kHz			
		1	0	0	0	0	f1/56	45kHz	72kHz	90kHz	143kHz	179kHz		
					1	1	f1/80	31kHz	50kHz	63kHz	100kHz	125kHz		
					0	0	f1/96	26kHz	42kHz	52kHz	84kHz	104kHz		
				1	1	1	f1/128	20kHz	31kHz	39kHz	63kHz	78kHz		
					0	0	f1/160	16kHz	25kHz	31kHz	50kHz	63kHz		
					1	1	f1/200	13kHz	20kHz	25kHz	40kHz	50kHz		
				1	0	0	0	0	f1/224	11kHz	18kHz	22kHz	36kHz	45kHz
							1	1	f1/256	10kHz	16kHz	20kHz	31kHz	39kHz



## 25.3.2 SDA端子デジタル遅延選択

PINSRレジスタのSDADLY0 ~ SDADLY1ビットで、SDA端子のデジタル遅延値を選択できます。  
図25.3にSDA端子のデジタル遅延の動作例を示します。

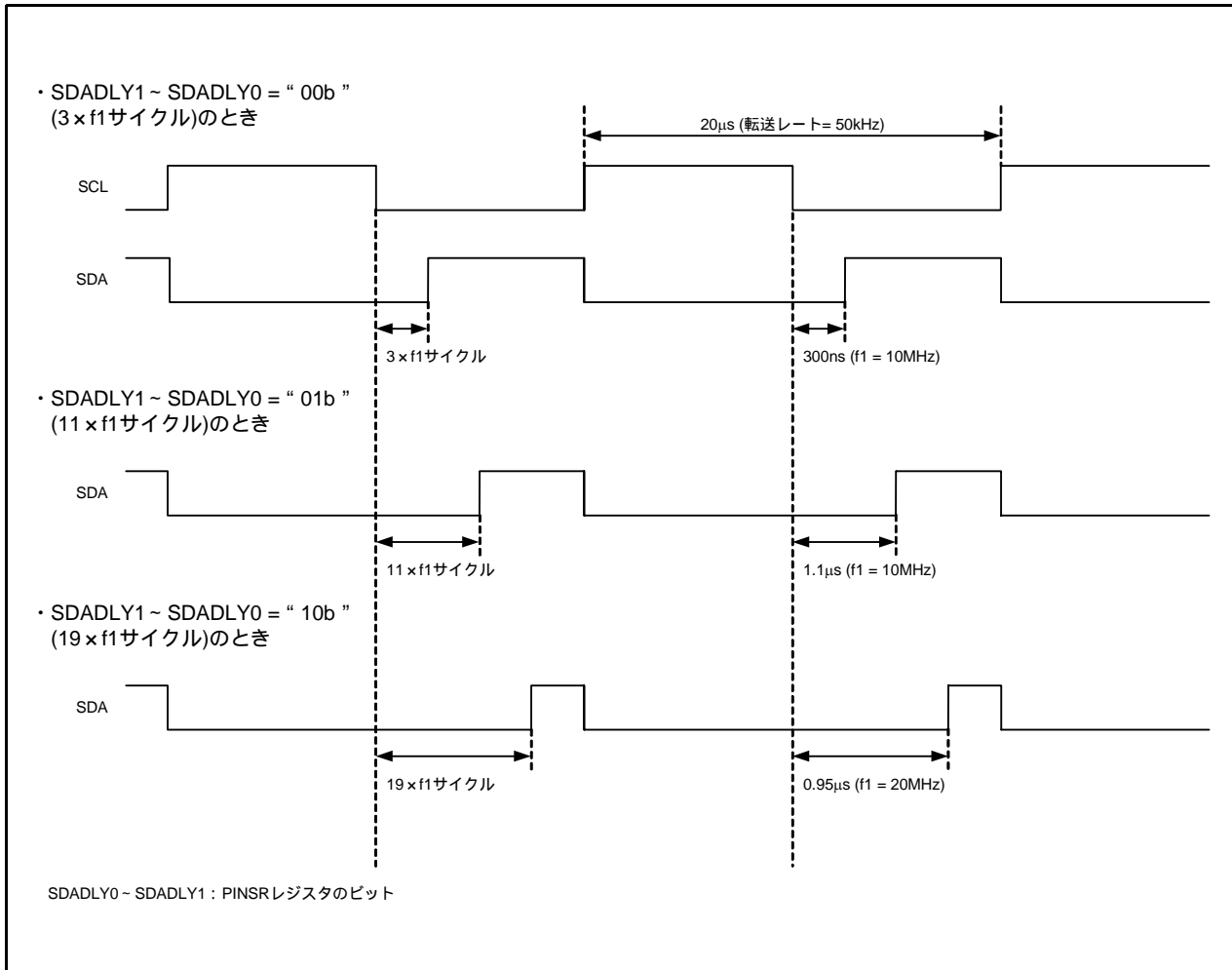


図25.3 SDA端子のデジタル遅延の動作例

## 25.3.3 割り込み要求

I<sup>2</sup>Cバスインタフェースの割り込み要求は、I<sup>2</sup>Cバスフォーマット時に6種類、クロック同期式シリアルフォーマット時に4種類あります。表25.6にI<sup>2</sup>Cバスインタフェースの割り込み要求を示します。

これらの割り込み要求はI<sup>2</sup>Cバスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表25.6 I<sup>2</sup>Cバスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I <sup>2</sup> Cバス	クロック同期式シリアル
送信データエンpty	TXI	TIE=1かつTDRE=1	有効	有効
送信終了	TEI	TEIE=1かつTEND=1	有効	有効
受信データフル	RXI	RIE=1かつRDRF=1	有効	有効
停止条件検出	STPI	STIE=1かつSTOP=1	有効	無効
NACK検出	NAKI	NAKIE=1かつAL=1 (または NAKIE=1かつNACKF=1)	有効	無効
アビトレーションロスト/ オーバーランエラー			有効	有効

STIE、NAKIE、RIE、TEIE、TIE : ICIEレジスタのビット

AL、STOP、NACKF、RDRF、TEND、TDRE : ICSRレジスタのビット

表25.6の発生条件が満たされたとき、I<sup>2</sup>Cバスインタフェース割り込み要求が発生します。I<sup>2</sup>Cバスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を“0”にしてください。

ただし、TDREビットおよびTENDビットはICDRTレジスタに送信データを書くことで、RDRFビットはICDRRレジスタを読むことで、自動的に“0”になります。特にTDREビットはICDRTレジスタに送信データを書いたとき“0”になり、ICDRTレジスタからICDRSレジスタにデータ転送されたときにTDREビットが“1”になり、さらにTDREビットを“0”にすると、余分に1バイト送信する場合があります。

また、STIEビットを“1”(停止条件検出割り込み要求許可)にするのは、STOPビットが“0”のときにしてください。

25.4 I<sup>2</sup>Cバスインタフェースモード25.4.1 I<sup>2</sup>Cバスフォーマット

SARレジスタのFSビットを“0”にすると、I<sup>2</sup>Cバスフォーマットで通信します。

図25.4にI<sup>2</sup>Cバスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

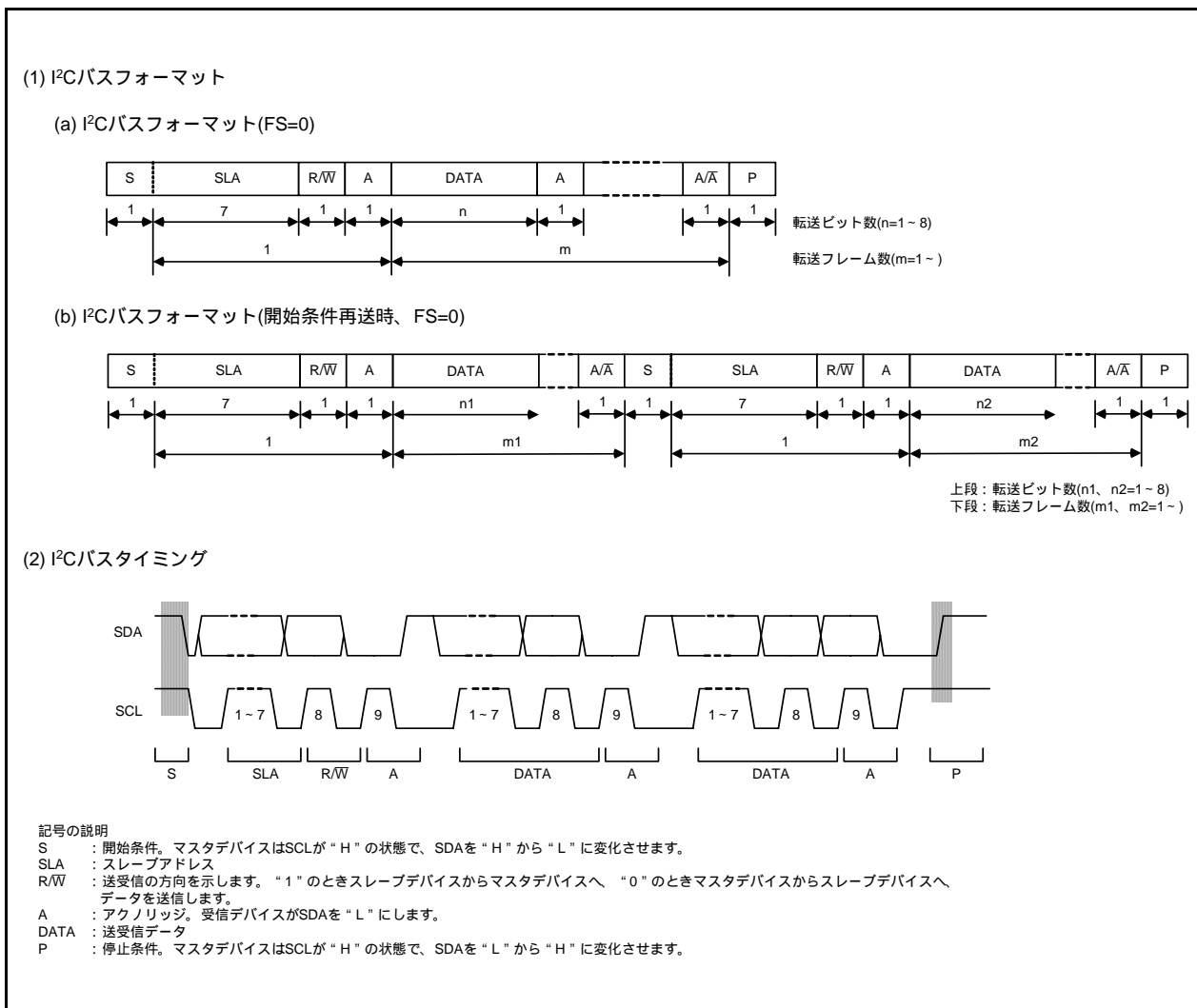


図25.4 I<sup>2</sup>Cバスフォーマットとバスタイミング

### 25.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 25.5 ~ 図 25.6 にマスタ送信モードの動作タイミング (I<sup>2</sup>C バスインタフェースモード) を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) ICSR レジスタの STOP ビットを初期化するために “0” にしてください。その後、ICCR1 レジスタの ICE ビットを “1” (転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 ~ CKS3 ビットなどを設定してください(初期設定)。
- (2) ICCR2 レジスタの BBSY ビットを読んで、バスが開放状態であることを確認後、ICCR1 レジスタの TRS、MST ビットをマスタ送信モードに設定してください。その後、BBSY=1 と SCP=0 を MOV 命令で書いてください(開始条件発行)。これにより開始条件を生成します。
- (3) ICSR レジスタの TDRE ビットが “1” であることを確認した後、ICDRT レジスタに送信データ (1バイト目はスレーブアドレスと R/W を示すデータ) を書いてください。このとき TDRE ビットは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE ビットが “1” になります。
- (4) TDRE ビットが “1” の状態で 1 バイト送信が完了し、送信クロックの 9 クロック目の立ち上がりで ICSR レジスタの TEND ビットが “1” になります。ICIER レジスタの ACKBR ビットを読んで、スレーブデバイスが選択されたことを確認した後、2 バイト目のデータを ICDRT レジスタに書いてください。ACKBR ビットが “1” のときはスレーブデバイスが認識されていないため、停止条件を発行してください。停止条件の発行は、BBSY=0 と SCP=0 を MOV 命令で書くことで行われます。なおデータの準備ができるまで、または停止条件を発行するまでは SCL が “L” に固定されます。
- (5) 2 バイト目以降の送信データは、TDRE ビットが “1” になるたびに、ICDRT レジスタにデータを書いてください。
- (6) 送信するバイト数を ICDRT レジスタに書いたとき、その後は TDRE ビットが “1” の状態で TEND ビットが “1” になるまで待ってください。または、ICIER レジスタの ACKE ビットが “1” (受信アクノリッジが “1” の場合、転送中止) の状態で、受信デバイスからの NACK (ICSR レジスタの NACKF=1) を待ってください。その後、停止条件を発行して TEND ビット、あるいは NACKF ビットを “0” にしてください。
- (7) ICSR レジスタの STOP ビットが “1” になったとき、スレーブ受信モードに戻してください。

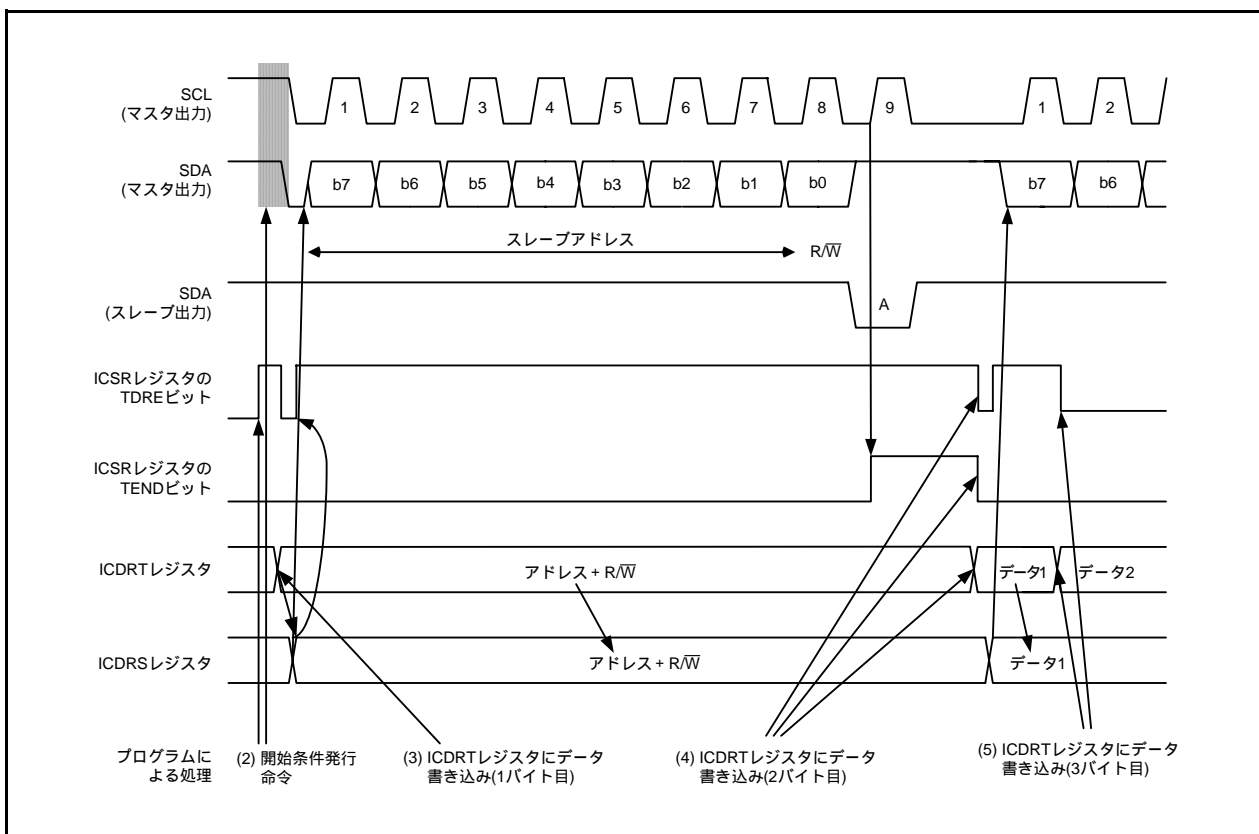


図25.5 マスタ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

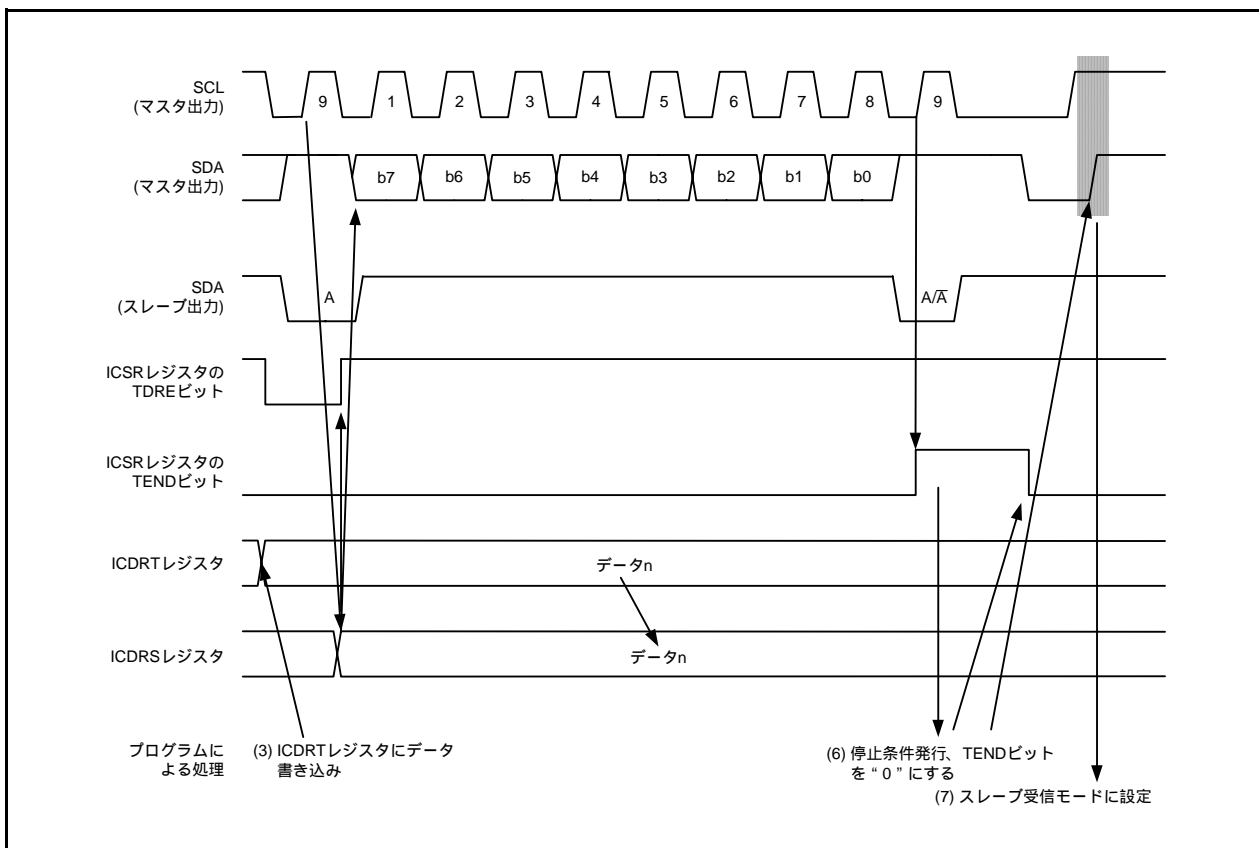


図25.6 マスタ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(2)

### 25.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。図25.7～図25.8にマスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) ICSRレジスタのTENDビットを“0”にした後、ICCR1レジスタのTRSビットを“0”にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、ICSRレジスタのTDREビットを“0”にしてください。
- (2) ICDRRレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、ICIERレジスタのACKBTビットで設定したレベルを、SDAに出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、ICSRレジスタのRDRFビットが“1”になります。このとき、ICDRRレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは“0”になります。
- (4) RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが“1”になった状態で、ICDRRレジスタの読み出しが遅れて8クロック目が立ち下がった場合、ICDRRレジスタを読むまでSCLが“L”に固定されます。
- (5) 次の受信が最終フレームの場合、ICDRRレジスタを読む前にICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてください。これにより次の受信後、停止条件発行可能状態になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRFビットが“1”になったとき、停止条件を発行してください。なお、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がり重なった場合、9クロック目の後に、SCLが1クロック余分に出力されます。「25.9 I<sup>2</sup>Cバスインタフェース使用上の注意」を参照してください。
- (7) ICSRレジスタのSTOPビットが“1”になったとき、ICDRRレジスタを読んでください。その後、RCVDビットを“0”(次の受信動作を継続)にしてください。
- (8) スレーブ受信モードに戻してください。

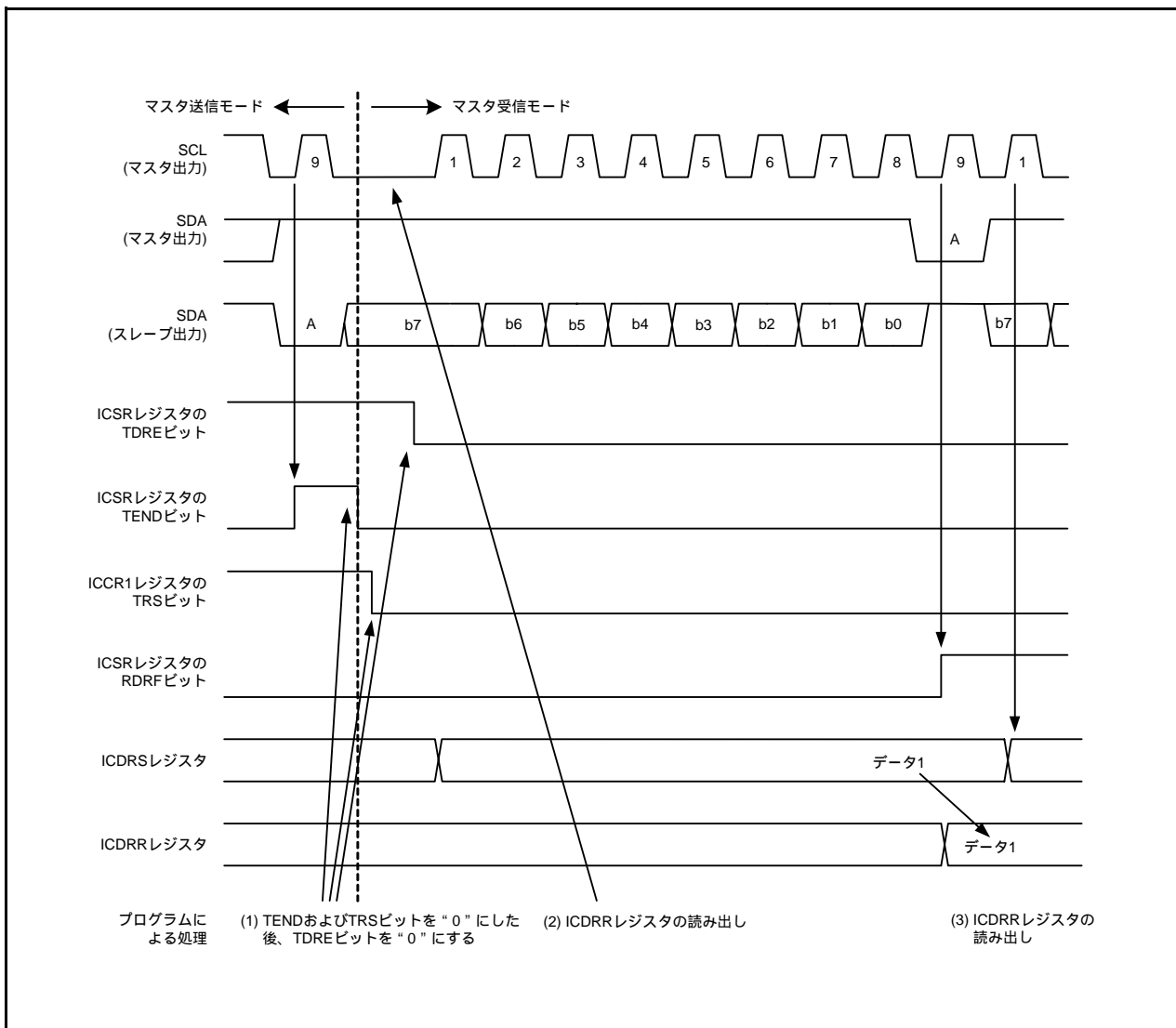
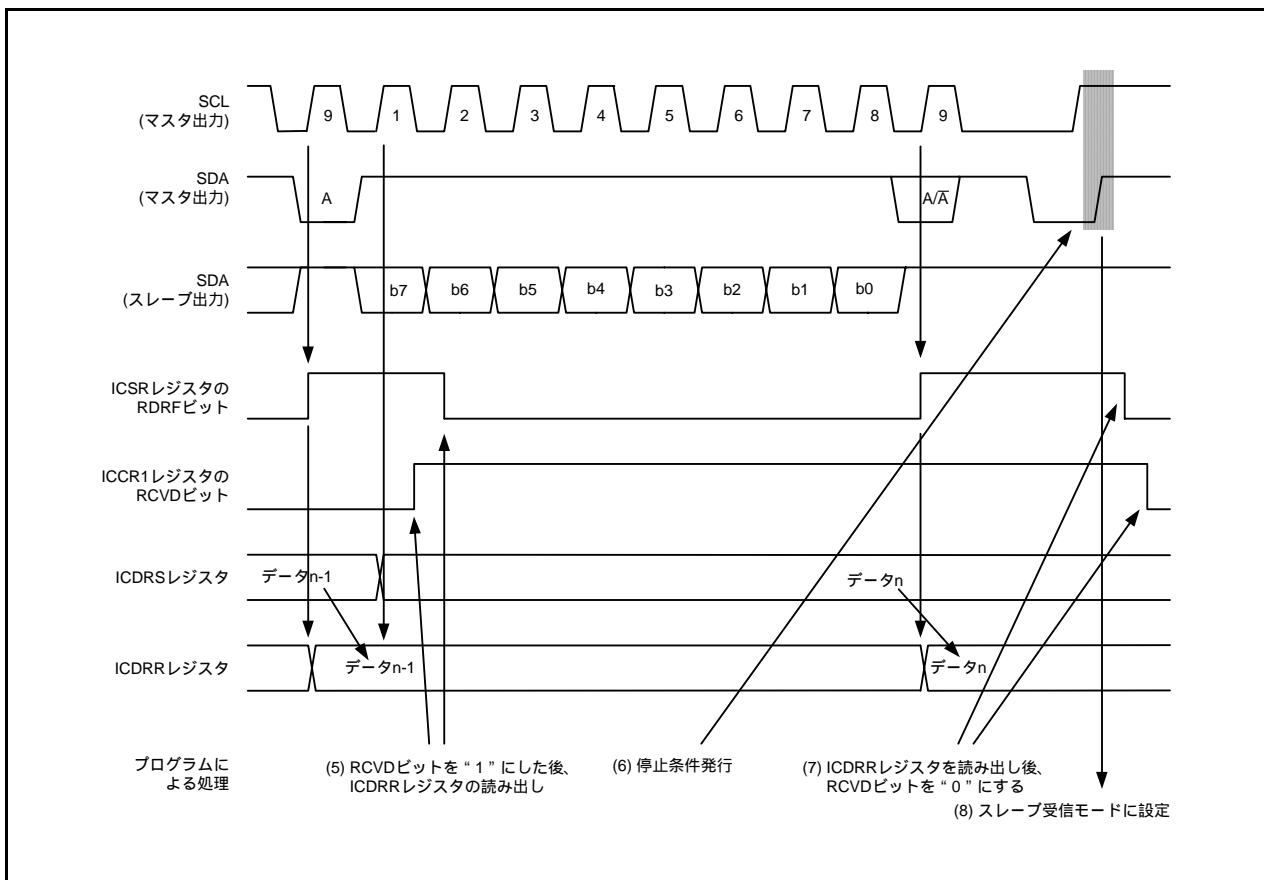


図25.7 マスタ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)





#### 25.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。図25.9～図25.10にスレーブ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICMRレジスタのWAIT、MLSビット、ICCR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。次にICCR1レジスタのTRS、MSTビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIERレジスタのACKBTビットで設定したレベルをSDAに出力します。このとき、8ビット目のデータ(R/W)が“1”のとき、TRSビットおよびICSRレジスタのTDREビットが“1”になり、自動的にスレーブ送信モードに切り替わります。TDREビットが“1”になるたびにICDRTレジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをICDRTレジスタに書いた後にTDREビットが“1”になったとき、TDREビットが“1”の状態(ICSRレジスタのTENDビットが“1”)になるまで待ってください。TENDビットが“1”になったら、TENDビットを“0”にしてください。
- (4) 終了処理のためTRSビットを“0”にし、ICDRRレジスタをダミーリードしてください。これによりSCLが開放されます。
- (5) TDREビットを“0”にしてください。

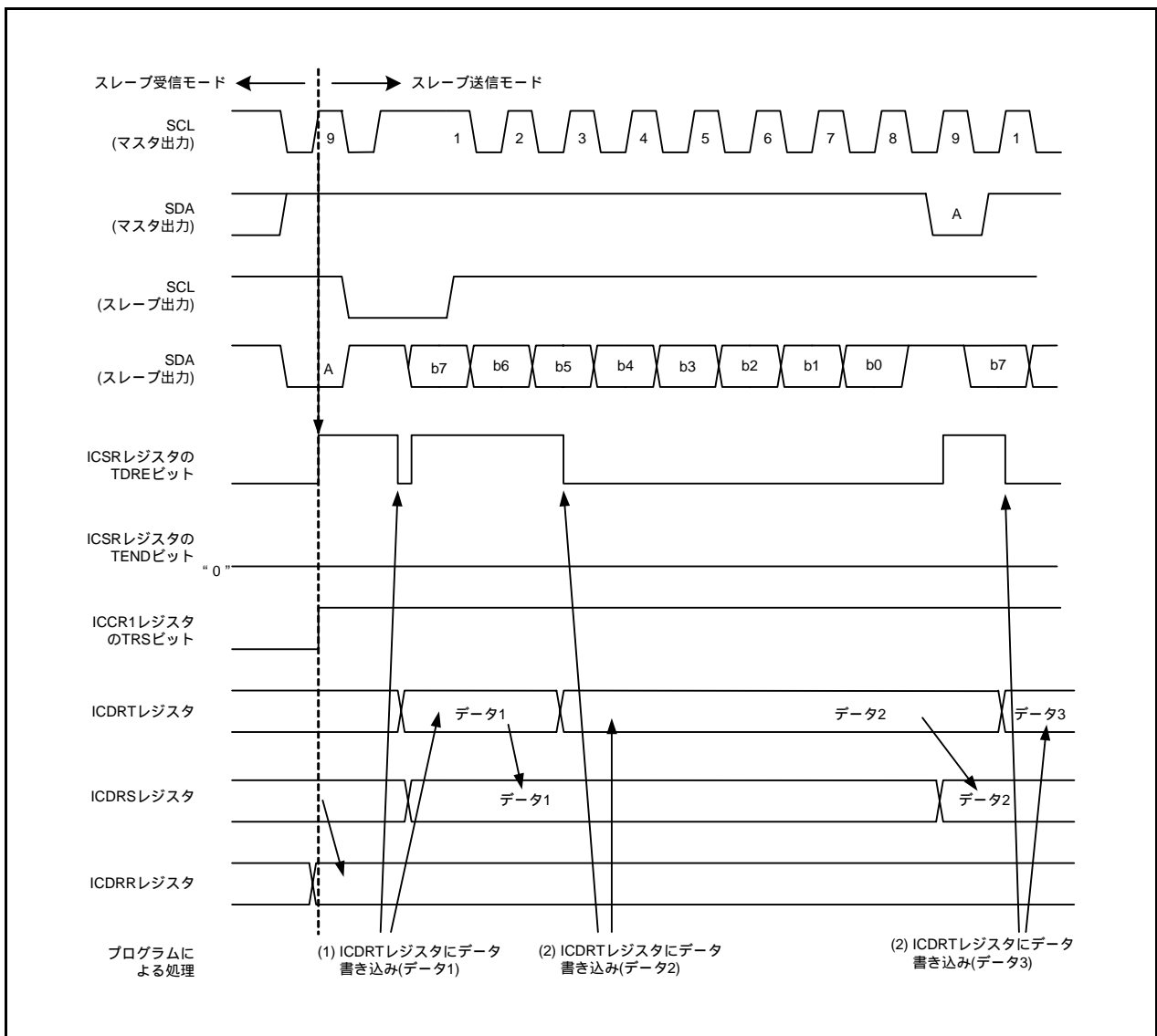


図25.9 スレーブ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

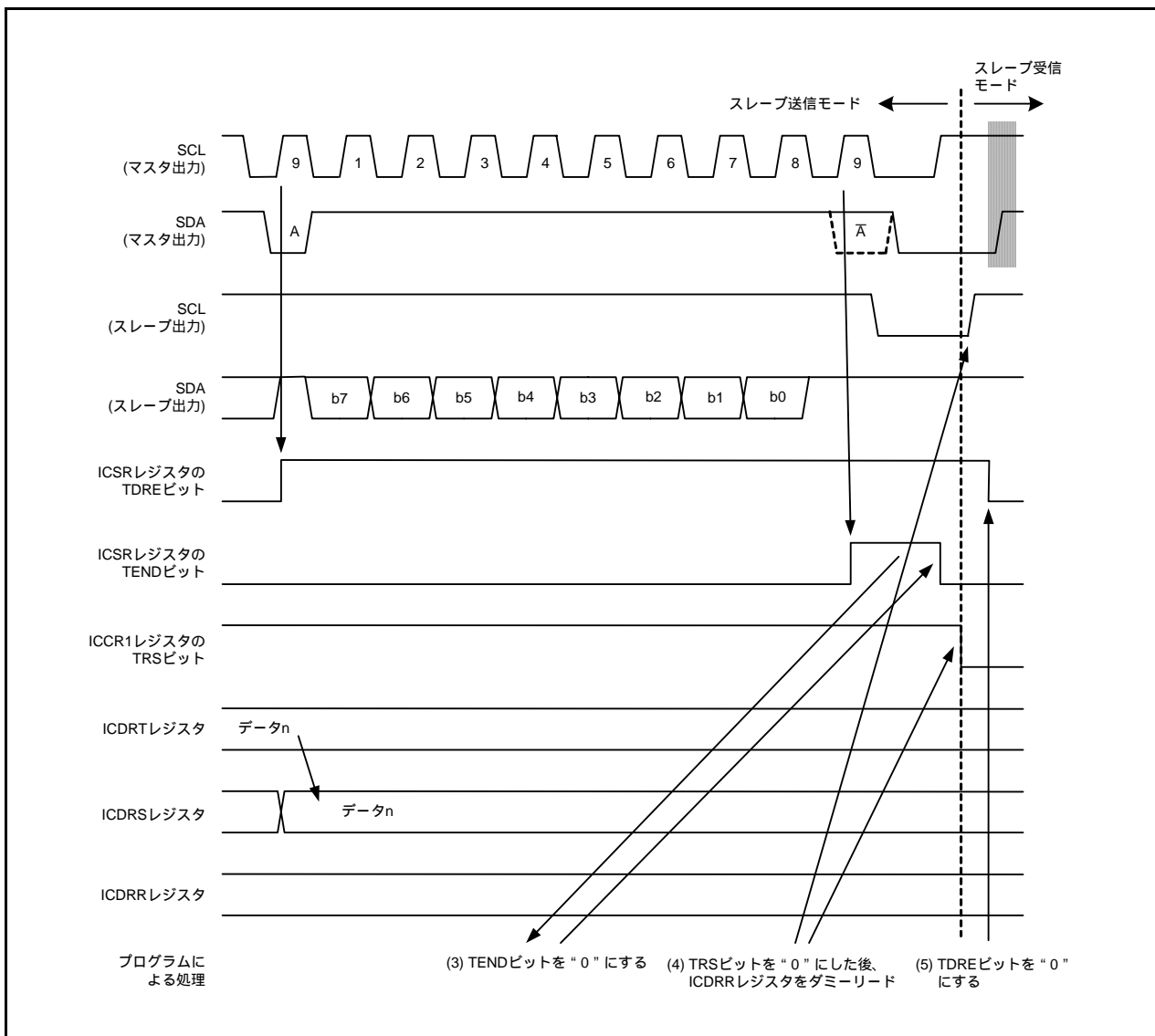


図25.10 スレーブ送信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(2)

#### 25.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図25.11～図25.12にスレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICMRレジスタのWAIT、MLSビット、ICCR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。次にICCR1レジスタのTRS、MSTビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIERレジスタのACKBTビットで設定したレベルをSDAに出力します。同時にICSRレジスタのRDRFビットが“1”になりますので、ICDRRレジスタをダミーリード(読み出したデータはスレーブアドレス+R/Wを示すので不要)してください。
- (3) RDRFビットが“1”になるたびに、ICDRRレジスタを読んでください。RDRFビットが“1”の状態では8クロック目が立ち下がると、ICDRRレジスタを読むまでSCLが“L”に固定されず。ICDRRレジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されず。
- (4) 最終バイトの読み出しも、同様にICDRRレジスタを読むことを行います。

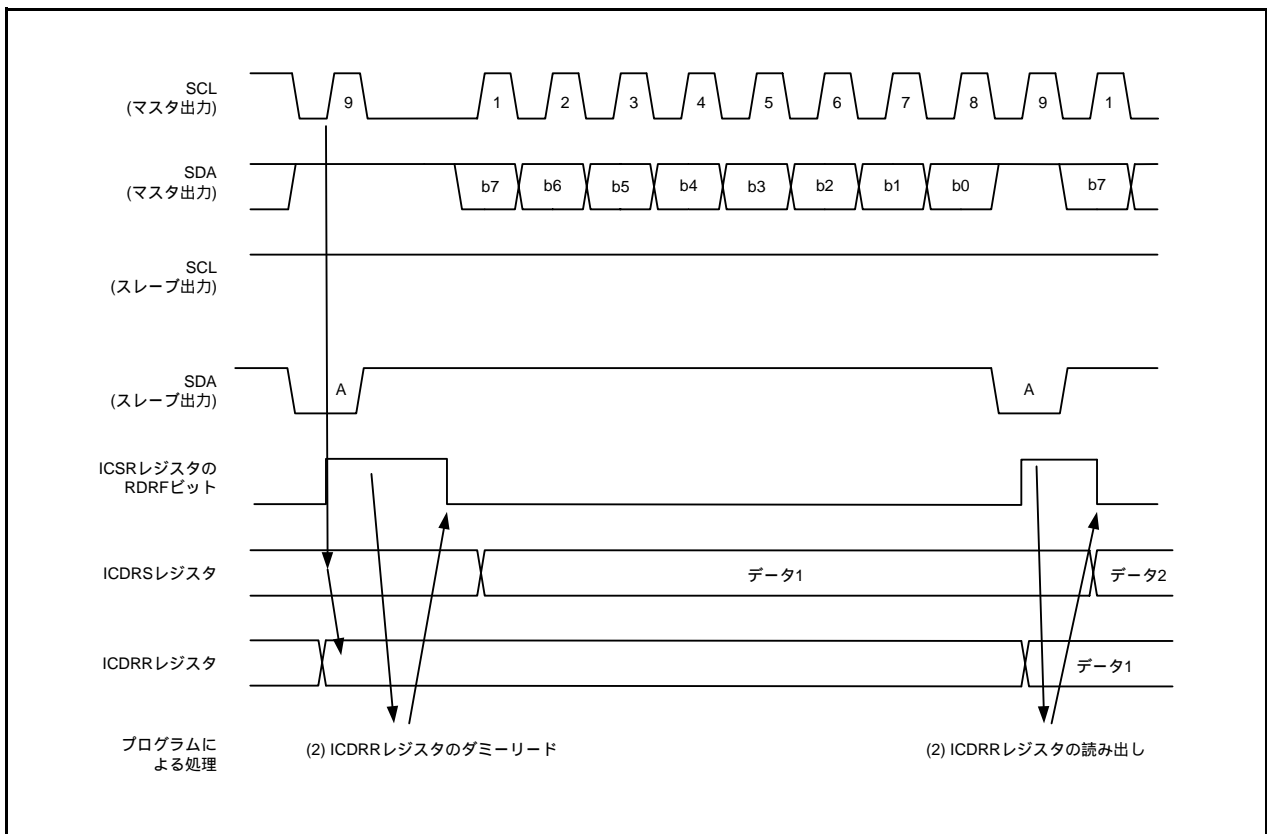


図25.11 スレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(1)

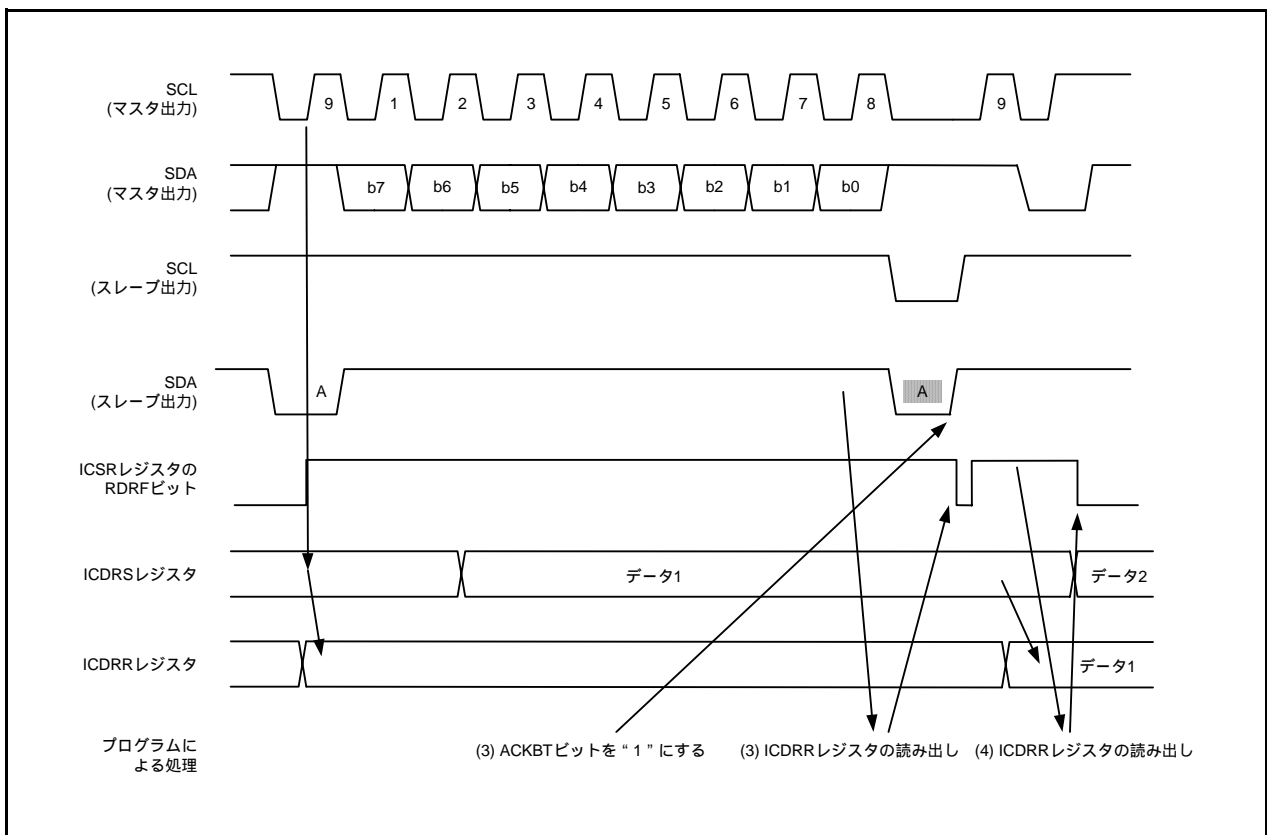


図25.12 スレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインタフェースモード)(2)

## 25.5 クロック同期式シリアルモード

### 25.5.1 クロック同期式シリアルフォーマット

SARレジスタのFSビットを“1”にすると、クロック同期式シリアルフォーマットで通信します。図25.13にクロック同期式シリアルフォーマットの転送フォーマットを示します。

ICCR1レジスタのMSTビットが“1”のときSCLから転送クロック出力となり、MSTビットが“0”のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち上がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はICMRレジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、ICCR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

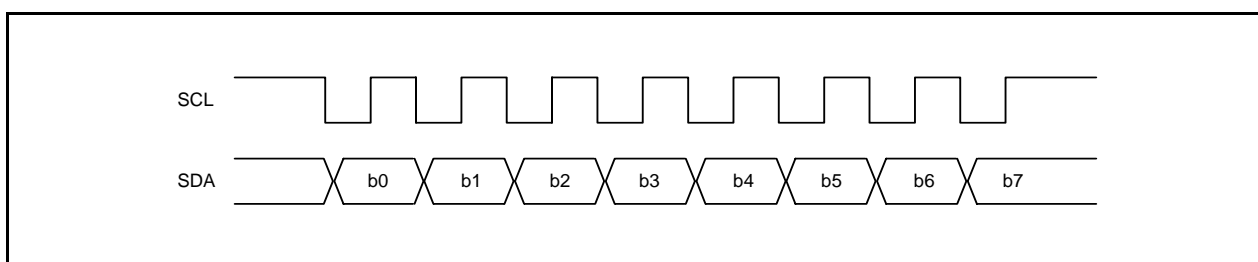


図25.13 クロック同期式シリアルフォーマットの転送フォーマット

## 25.5.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データをSDAから出力します。転送クロックはICCR1レジスタのMSTビットが“1”とき出力、MSTビットが“0”とき入力となります。図25.14に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1” (転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) ICCR1レジスタのTRSビットを“1”にして送信モードにしてください。これにより、ICSRレジスタのTDREビットが“1”になります。
- (3) TDREビットが“1”であることを確認した後、ICDRTレジスタに送信データを書いてください。これによりICDRTレジスタからICDRSレジスタにデータが転送され、自動的にTDREビットが“1”になります。TDREビットが“1”になるたびにICDRTレジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDREビットが“1”の状態ではTRSビットを“0”にしてください。

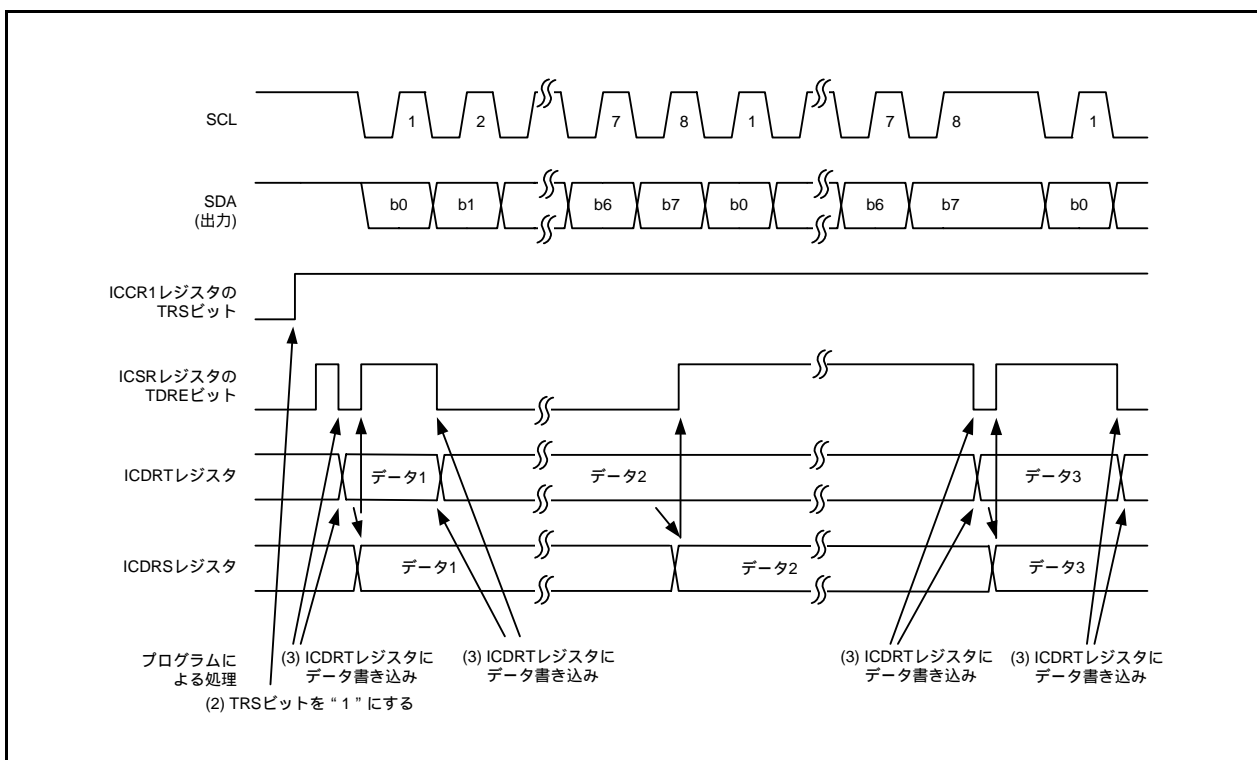


図25.14 送信モードの動作タイミング(クロック同期式シリアルモード)

## 25.5.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはICCR1レジスタのMSTビットが“1”とき出力、MSTビットが“0”とき入力となります。

図25.15に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1” (転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを“1”にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、ICDRSレジスタからICDRRレジスタにデータが転送され、ICSRレジスタのRDRFビットが“1”になります。MSTビットが“1”のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信可能です。RDRFビットが“1”の状態でも8クロック目が立上がるとオーバランを検出し、ICSRレジスタのALビットが“1”になります。このときICDRRレジスタには、前の受信データが保持されています。
- (4) MSTビットが“1”のとき、受信を停止するためには、ICCR1レジスタのRCVDビットを“1” (次の受信動作を禁止)にしてから、ICDRRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLが“H”に固定されます。

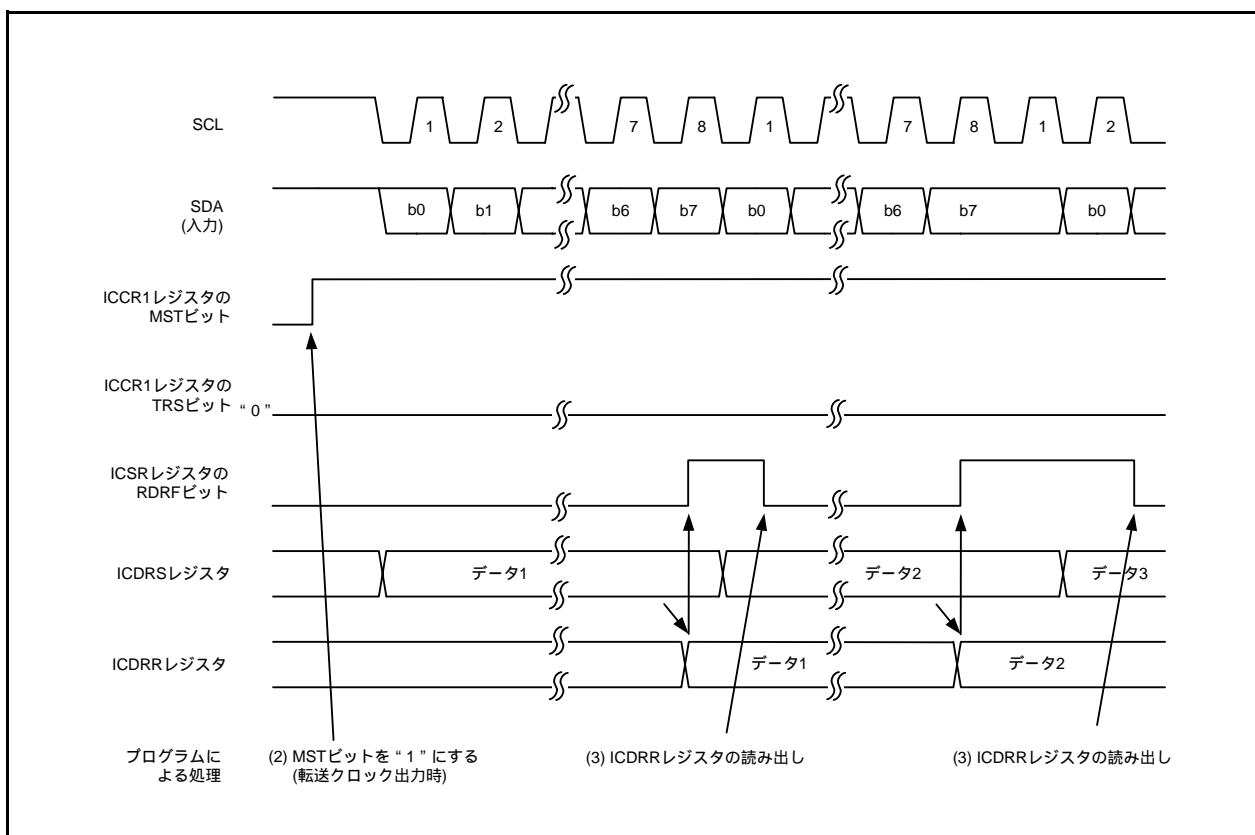


図25.15 受信モードの動作タイミング(クロック同期式シリアルモード)



### 25.6 レジスタ設定例

I<sup>2</sup>Cバスインタフェースを使用する場合のレジスタ設定例を図25.16～図25.19に示します。

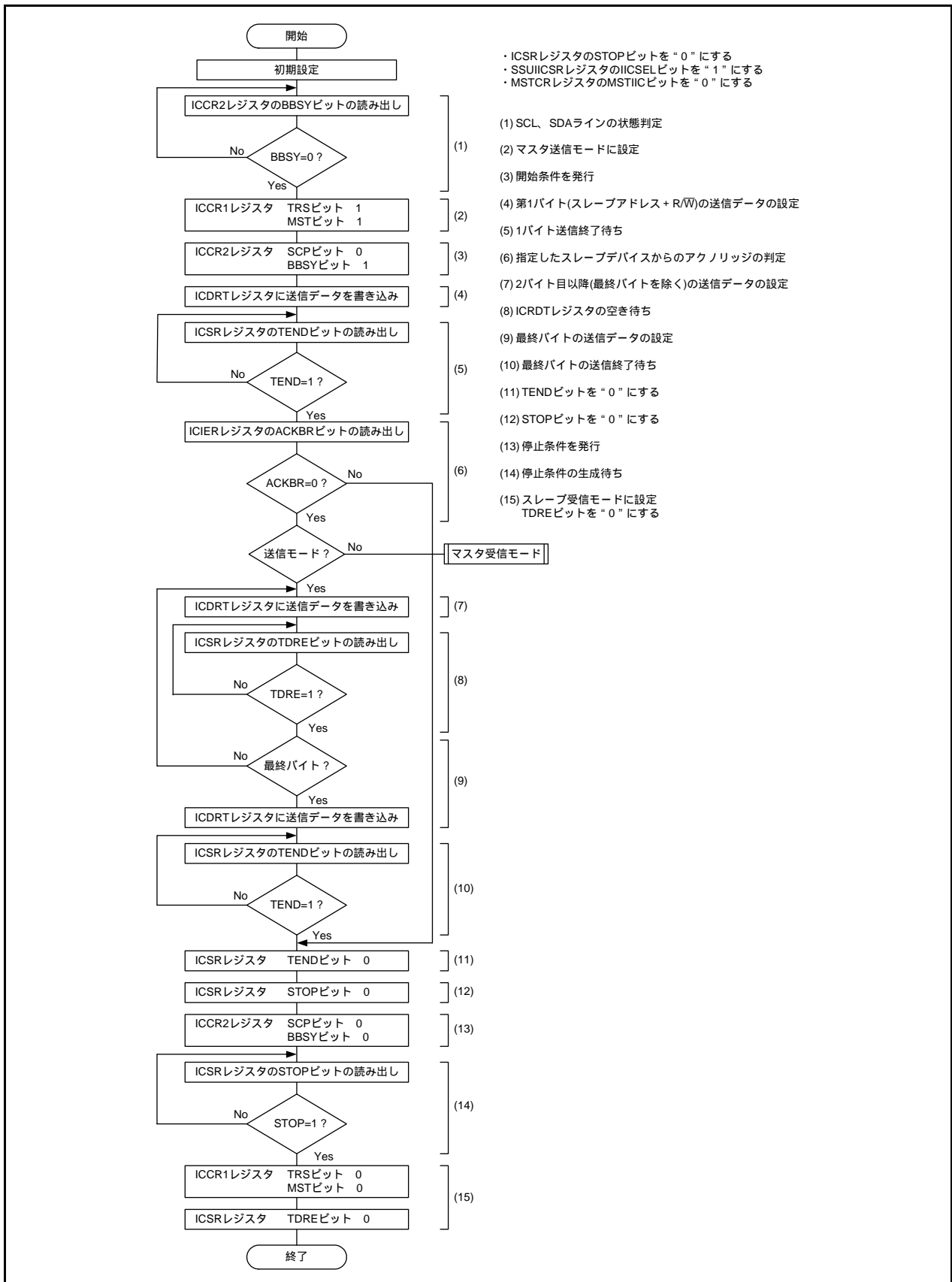
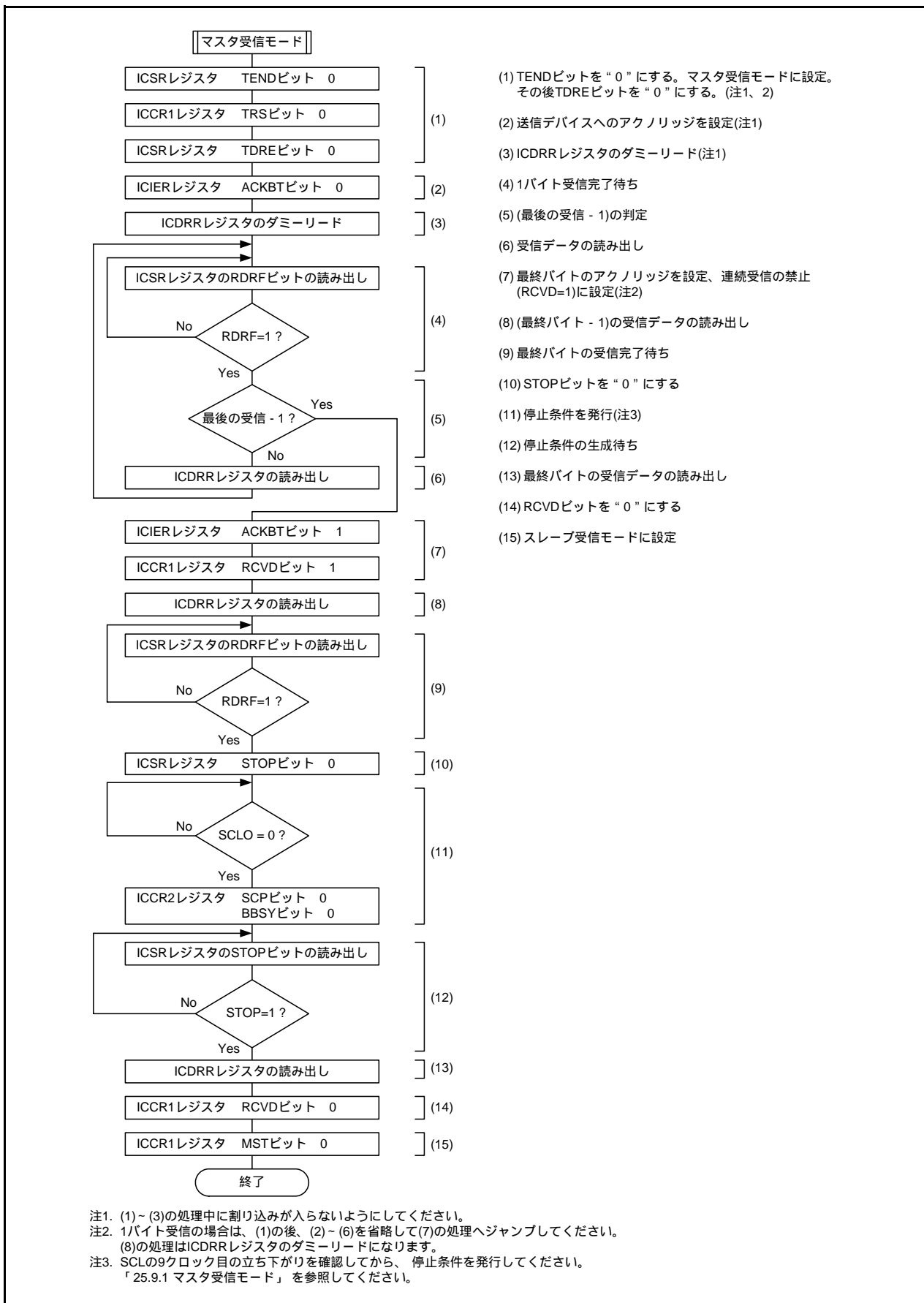
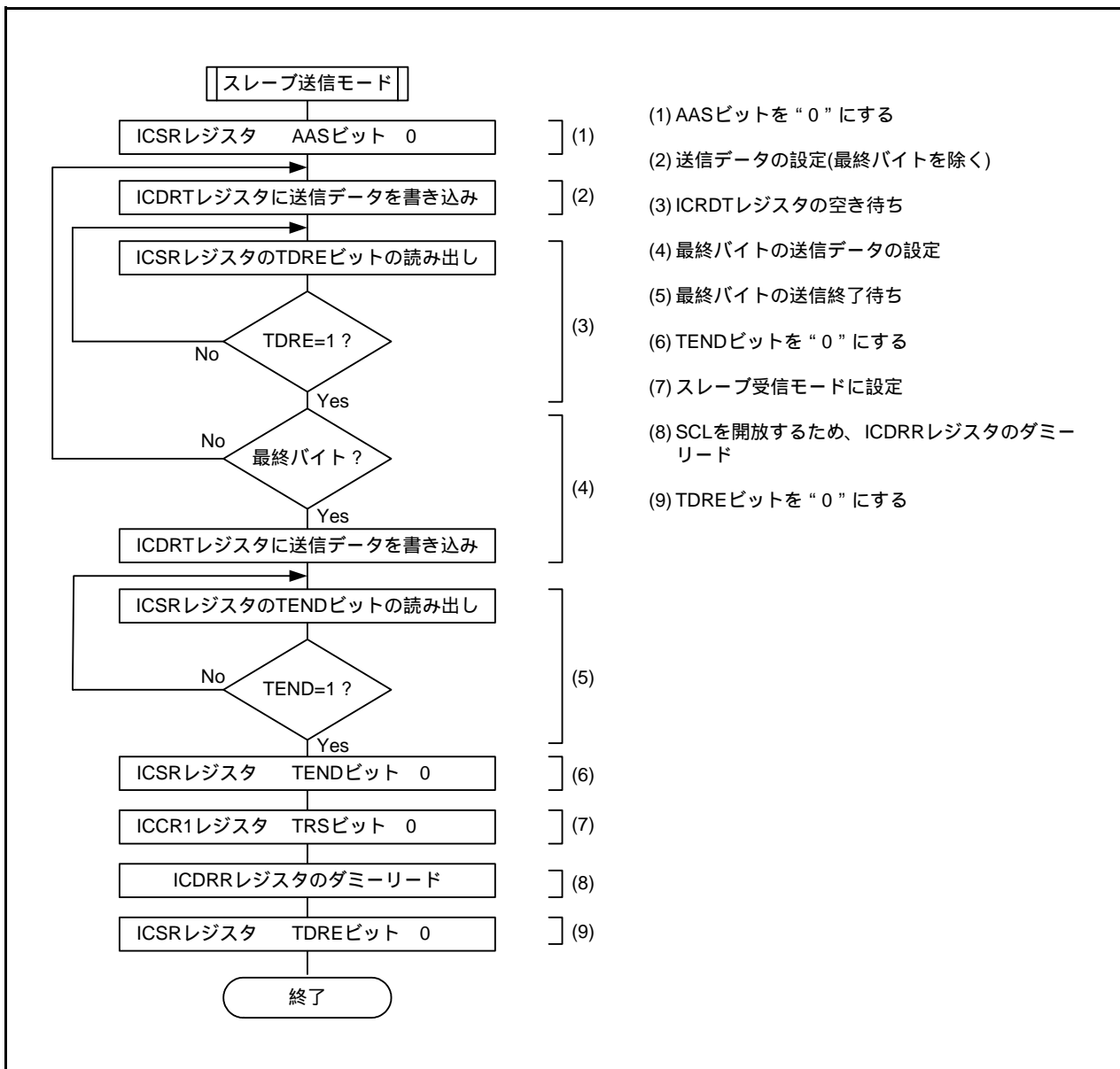


図25.16 マスタ送信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

図25.17 マスタ受信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

図25.18 スレーブ送信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

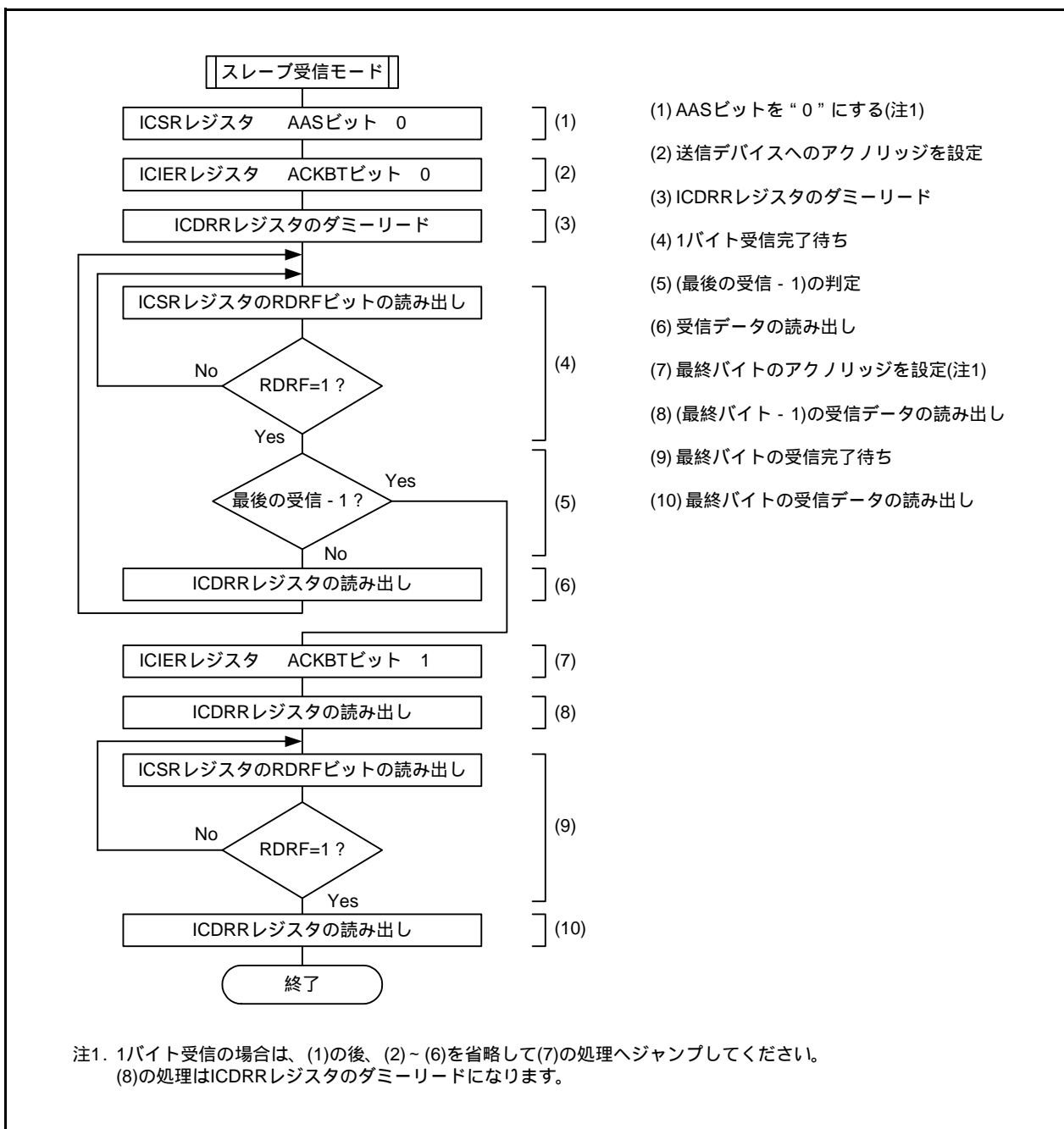


図25.19 スレーブ受信モードのレジスタ設定例(I<sup>2</sup>Cバスインタフェースモード)

## 25.7 ノイズ除去回路

SCL端子およびSDA端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図25.20にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL端子入力信号(またはSDA端子入力信号)が $f_1$ でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

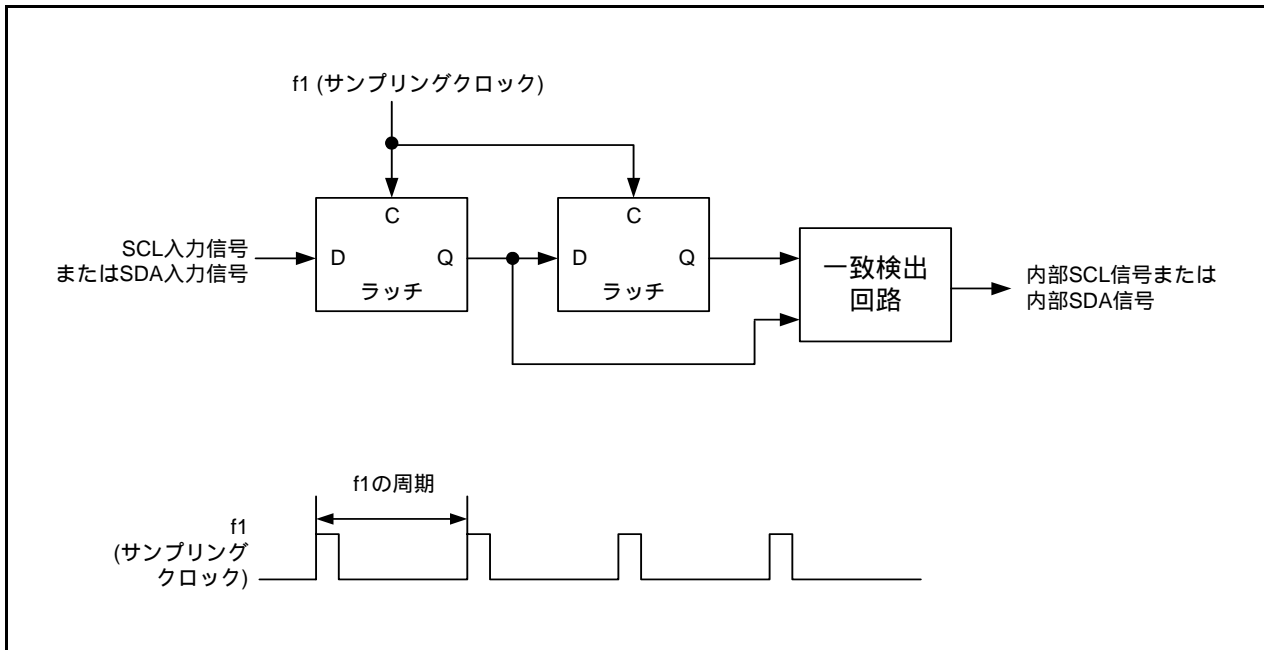


図25.20 ノイズ除去回路のブロック図

## 25.8 ビット同期回路

I<sup>2</sup>Cバスインタフェースをマスターモードに設定時、

- スレーブデバイスによりSCLが“L”に保持された場合
  - SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがゆるやかになった場合
- の2つの状態で“H”期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信します。

図25.21にビット同期回路のタイミングを、表25.7にSCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間を示します。

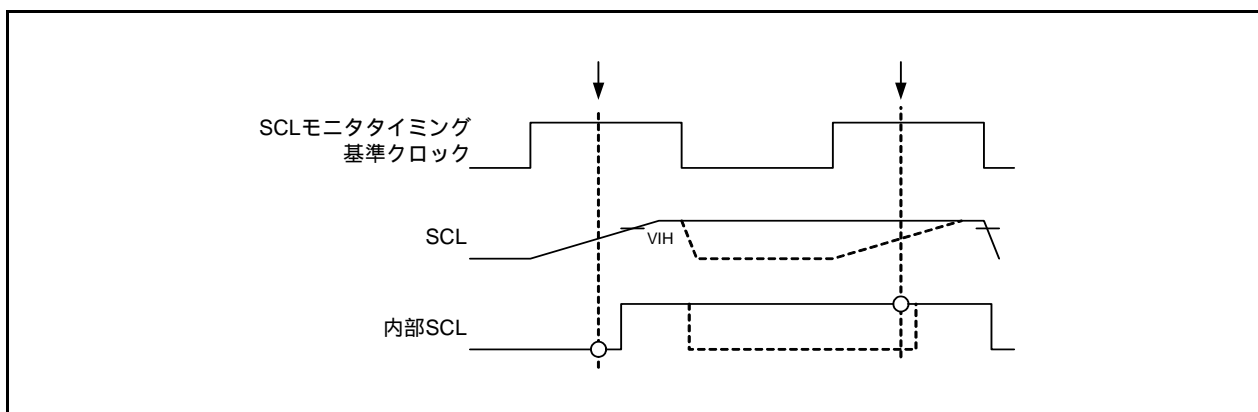


図25.21 ビット同期回路のタイミング

表25.7 SCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間

ICCR1レジスタ		SCLをモニタする時間
CKS3	CKS2	
0	0	7.5Tcyc
	1	19.5Tcyc
1	0	17.5Tcyc
	1	41.5Tcyc

1Tcyc=1/f1(s)

## 25.9 I<sup>2</sup>Cバスインタフェース使用上の注意

I<sup>2</sup>Cバスインタフェースを使用する場合には、SSUIICSRレジスタのIICSELビットを“1”(I<sup>2</sup>Cバスインタフェース機能を選択)にしてください。

### 25.9.1 マスタ受信モード

マスタ受信完了後、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がりとなった場合、9クロック目の後に、SCLが1クロック余分に出力されます。

#### 25.9.1.1 対策

マスタ受信完了後、SCLの9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCLの9クロック目の立ち下がり、次の方法で確認してください。

ICSRレジスタのRDRFビット(受信データレジスタフルフラグ)が“1”になったことを確認後、ICCR2レジスタのSCLOビット(SCLモニタフラグ)が“0”(SCL端子は“L”)になったことを確認してください。

### 25.9.2 ICCR1レジスタのICEビットおよびICCR2レジスタのIICRSTビット

I<sup>2</sup>Cバスインタフェース動作中に、ICEビットに“0”、またはIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。

#### 25.9.2.1 ビットが不定になる条件

- マスタ送信モード(ICCR1レジスタのMST、TRSビットが“1”)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが“1”、TRSビットが“0”)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- スレーブ送信モード(MSTビットが“0”、TRSビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

#### 25.9.2.2 対策

- 開始条件(SCLが“H”のときのSDA立ち下がり)が入力されると、BBSYビットは“1”になります。
- 停止条件(SCLが“H”のときのSDA立ち上がり)が入力されると、BBSYビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDAともに“H”の状態、BBSYビットに“1”、SCPビットに“0”を書き、開始条件(SCLが“H”のときのSDA立ち下がり)が出力されると、BBSYビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAが“L”の状態、かつ本モジュール以外にSCLを“L”にするデバイスがない状態で、BBSYビットに“0”、SCPビットに“0”を書き、停止条件(SCLが“H”のときのSDA立ち上がり)が出力されると、BBSYビットは“0”になります。
- SARレジスタのFSビットに“1”を書くと、BBSYビットは“0”になります。

### 25.9.2.3 IICRST ビットの補足説明

- IICRSTビットに“1”を書くと、ICCR2レジスタのSDAOビットおよびSCLOビットは“1”になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRSTビットに“1”を書くと、ICSRレジスタのTDREビットは“1”になります。
- IICRSTビットによるI<sup>2</sup>Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にIICRSTビットに“0”を書いてください。
- IICRSTビットに“1”を書いても、BBSYビットは“0”になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLが“H”のときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが“0”になる場合があります。  
同様に、他のビットにも影響が発生する場合があります。
- IICRSTビットによるI<sup>2</sup>Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、ICCR1レジスタ、ICCR2レジスタ、ICSRレジスタの値が更新される場合があります。



## 26. ハードウェアLIN

ハードウェアLINは、タイマRAおよびUART0と連携し、LIN通信を行うものです。

### 26.1 概要

ハードウェアLINには、以下の特長があります。

図26.1にハードウェアLINのブロック図を示します。

各モードでのWake Up機能はINT1より検出します。

#### 【マスタモード】

- Synch Break 発生
- バス衝突検出

#### 【スレーブモード】

- Synch Break 検出
- Synch Field計測
- Synch BreakおよびSynch Field信号のUART0入力制御機能
- バス衝突検出

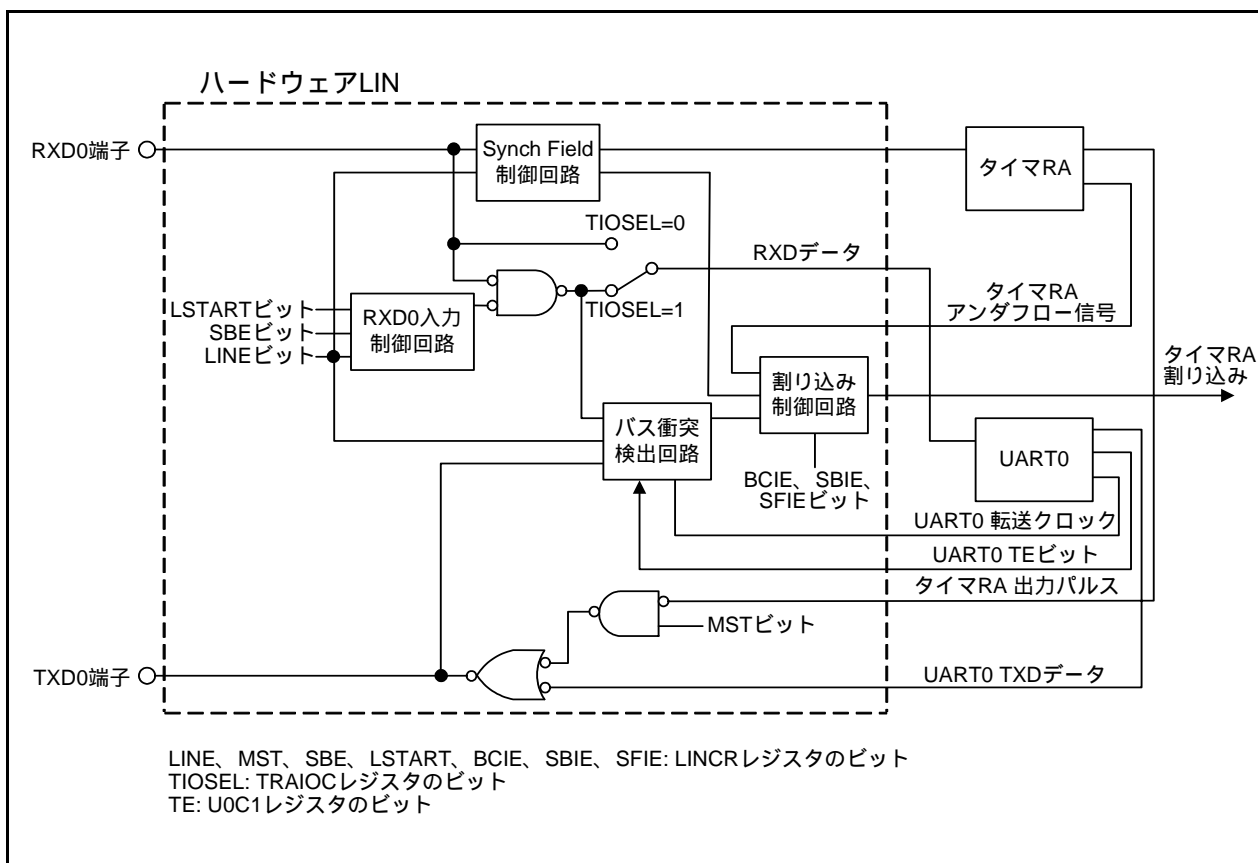


図26.1 ハードウェアLINのブロック図

## 26.2 入出力端子

表26.1にハードウェアLINの端子構成を示します。

表26.1 ハードウェアLINの端子構成

名称	端子名	割り当てる端子	入出力	機能
レシーブデータ入力	RXD0	P1_5(注1)	入力	ハードウェアLINの受信データ入力端子
トランスミットデータ出力	TXD0	P1_4(注2)	出力	ハードウェアLINの送信データ出力端子

注1. ハードウェアLINを使用するときは、表7.18を参照してください。

注2. ハードウェアLINを使用するときは、U0SRレジスタのTXD0SEL0ビットを“1”にしてください。

### 26.3 レジスタの説明

ハードウェアLINには以下のレジスタがあります。

- LINコントロールレジスタ2 (LINCR2)
- LINコントロールレジスタ (LINCR)
- LINステータスレジスタ (LINST)

#### 26.3.1 LINコントロールレジスタ2 (LINCR2)

アドレス 0105h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	BCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCE	Synch Break送信時、バス衝突検出有効ビット	0 : バス衝突検出禁止 1 : バス衝突検出有効	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	-			
b4	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-
b5	-			
b6	-			
b7	-			

## 26.3.2 LINコントロールレジスタ(LINCR)

アドレス 0106h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LINE	MST	SBE	LSTART	RXDSF	BCIE	SBIE	SFIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFIE	Synch Field計測完了割り込み許可ビット	0 : Synch Field計測完了割り込み禁止 1 : Synch Field計測完了割り込み許可	R/W
b1	SBIE	Synch Break検出割り込み許可ビット	0 : Synch Break検出割り込み禁止 1 : Synch Break検出割り込み許可	R/W
b2	BCIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b3	RXDSF	RXD0入力ステータスフラグ	0 : RXD0入力許可状態 1 : RXD0入力禁止状態	R
b4	LSTART	Synch Break検出開始ビット(注1)	“1”を書くとタイマRA入力許可、RXD0入力禁止になります。読んだ場合、その値は“0”。	R/W
b5	SBE	RXD0入力マスク解除タイミングセレクトビット(スレーブモードのみ有効)	0 : Synch Break検出後に解除 1 : Synch Field計測完了後に解除	R/W
b6	MST	LIN動作モード設定ビット(注2)	0 : スレーブモード(Synch Break検出回路動作) 1 : マスタモード(タイマRAの出力をTXD0とORする)	R/W
b7	LINE	LIN動作開始ビット	0 : LINは動作停止 1 : LINは動作開始(注3)	R/W

注1. LSTARTビット設定後、RXDSFフラグが“1”になる事を確認してからSynch Breakを入力開始してください。

注2. LIN動作モードを切り替える場合は、一度、LIN動作を停止(LINEビット=0)してください。

注3. LINEビットを“1”(LINは動作開始)にした直後は、タイマRAおよびUART0への入力は禁止です(図26.3 ヘッドフィールド送信フローチャート例(1)および図26.7 ヘッドフィールド受信フローチャート例(2)を参照してください)。

## 26.3.3 LINステータスレジスタ(LINST)

アドレス 0107h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	B2CLR	B1CLR	B0CLR	BCDCT	SBDCT	SFDCT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFDCT	Synch Field計測完了フラグ	“1”のときSynch Field計測完了	R
b1	SBDCT	Synch Break検出フラグ	“1”のときSynch Break検出、またはSynch Break発生完了	R
b2	BCDCT	バス衝突検出フラグ	“1”のときバス衝突検出	R
b3	B0CLR	SFDCTフラグクリアビット	“1”を書くとSFDCTビットを“0”にします。読んだ場合、その値は“0”。	R/W
b4	B1CLR	SBDCTフラグクリアビット	“1”を書くとSBDCTビットを“0”にします。読んだ場合、その値は“0”。	R/W
b5	B2CLR	BCDCTフラグクリアビット	“1”を書くとBCDCTビットを“0”にします。読んだ場合、その値は“0”。	R/W
b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	-			-

## 26.4 動作説明

### 26.4.1 マスタモード

図26.2にマスタモードでの、ヘッダフィールドの送信時の動作例を、図26.3～図26.4にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

- (1) タイマRAのTRACRレジスタのTSTARTビットに“1”を書き込むと、タイマRAのTRAPRE、TRAレジスタに設定された期間、TXD0端子から“L”レベルを出力します。
- (2) タイマRAがアンダフローすると、TXD0端子の出力を反転し、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRCレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (3) UART0により、“55h”を送信します。
- (4) UART0により、“55h”の送信が完了後、IDフィールドを送信します。
- (5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

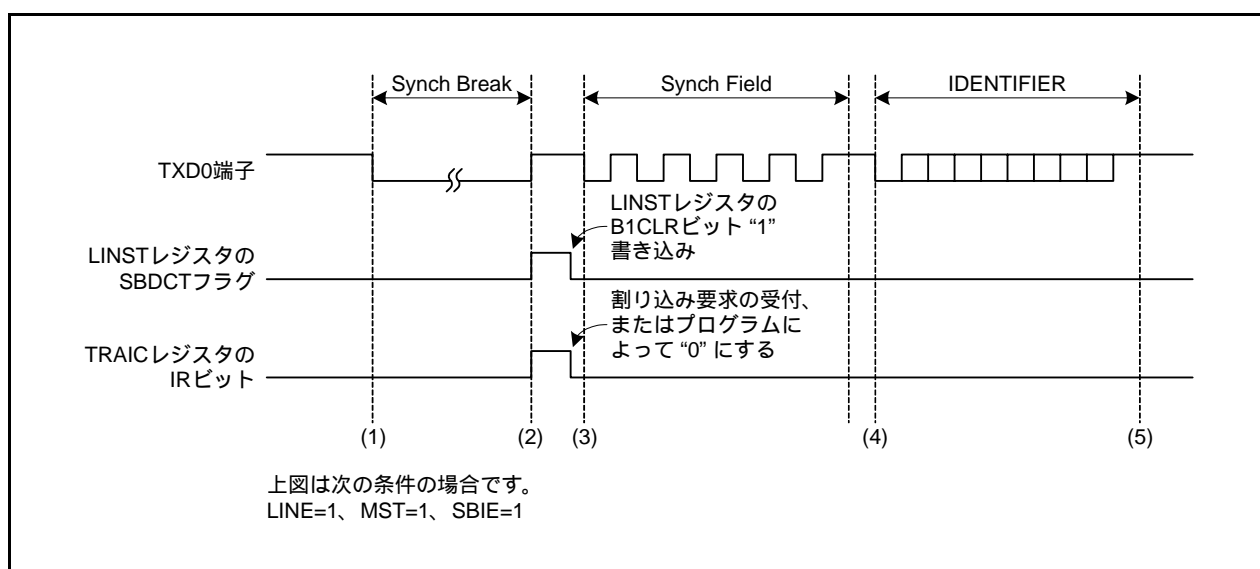


図26.2 ヘッダフィールドの送信時の動作例

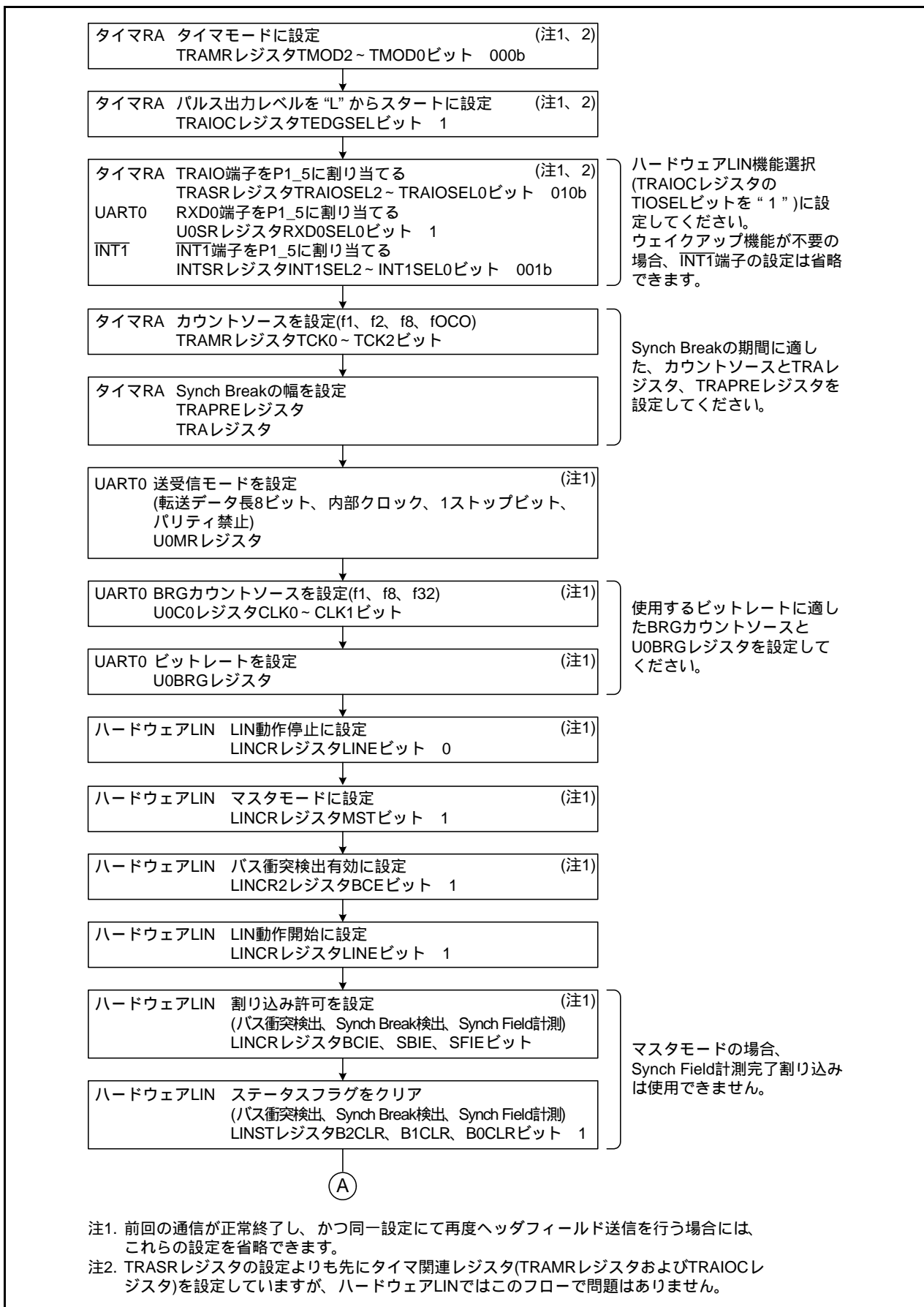


図26.3 ヘッダフィールド送信フローチャート例(1)

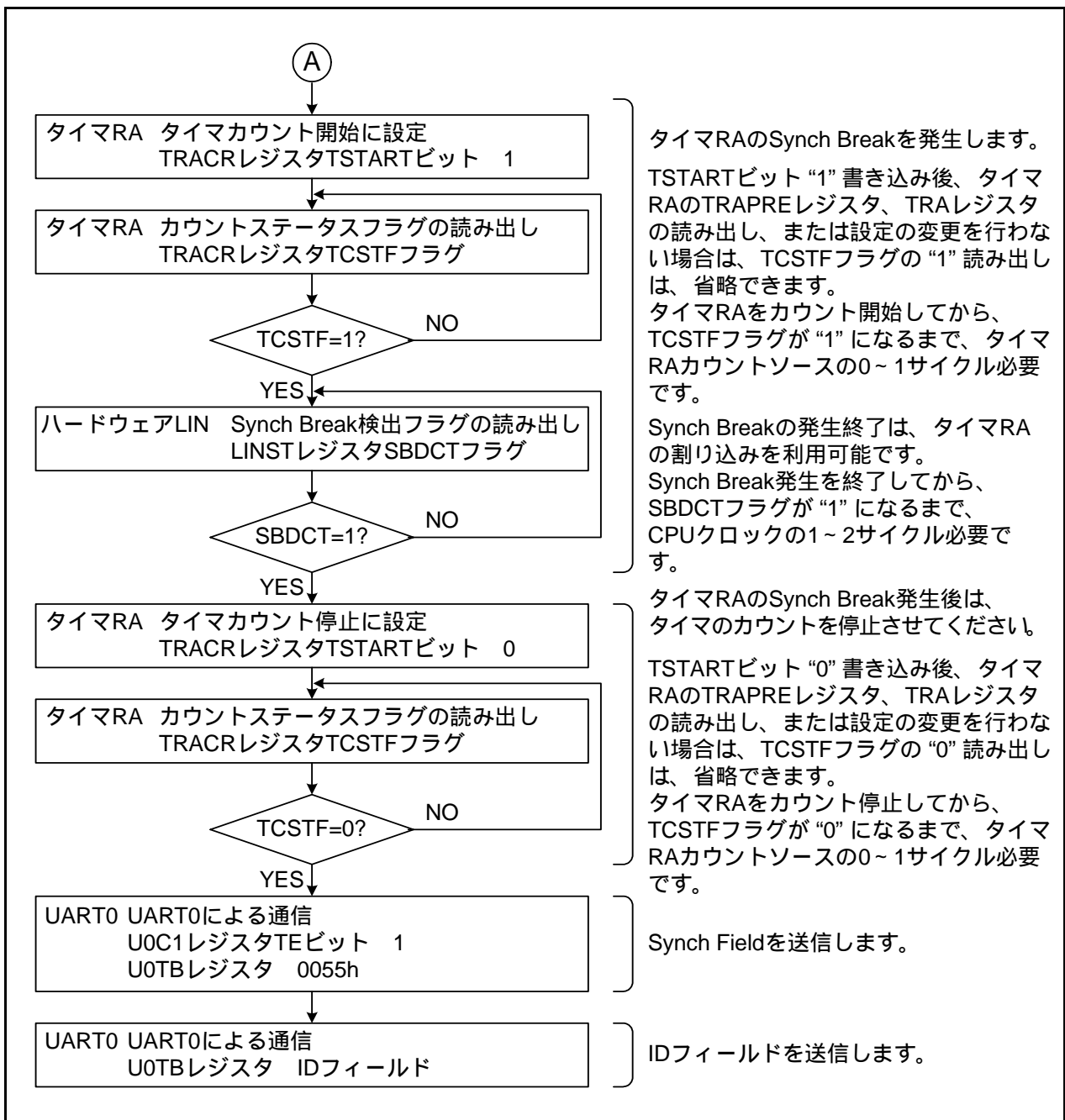


図26.4 ヘッダフィールド送信フローチャート例(2)

## 26.4.2 スレーブモード

図 26.5 にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図 26.6 ~ 図 26.8 にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

- (1) ハードウェアLINのLINCXレジスタのLSTARTビットに“1”を書き込むと、Synch Break 検出が可能になります。
- (2) タイマRAに設定した期間以上の“L”レベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCXレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。そして、Synch Field計測に遷移します。
- (3) Synch Field(55h)を受信します。このとき、タイマRAにより、スタートビットおよび0~6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXD0に入力するか禁止にするかをLINCXのSBEビットにより選択できます。
- (4) Synch Field計測が完了するとLINSTレジスタのSFDCTフラグが“1”にセットされます。また、LINCXレジスタのSFIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (5) Synch Field計測完了後、タイマRAのカウント値から転送速度を算出し、UART0に設定およびタイマRAのTRAPREレジスタとTRAレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
- (6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

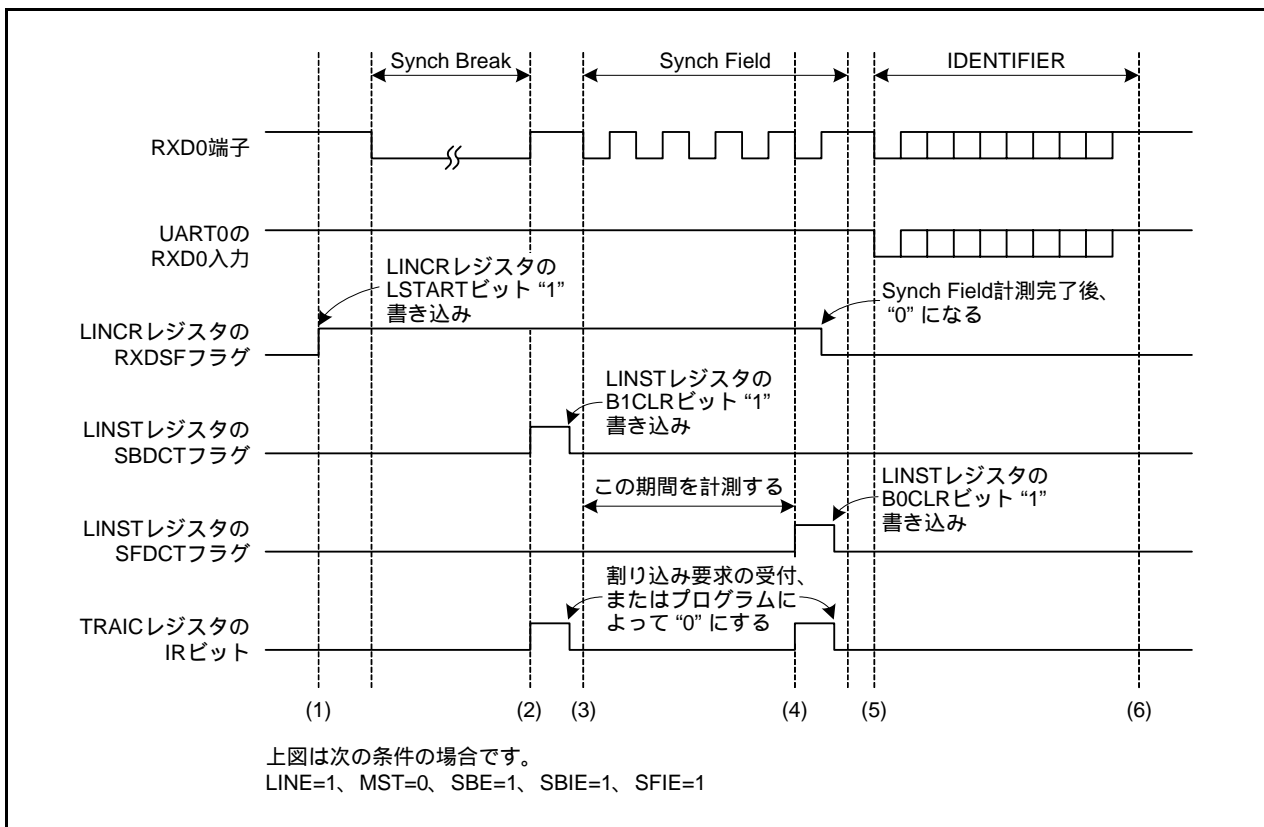


図 26.5 ヘッダフィールドの受信時の動作例



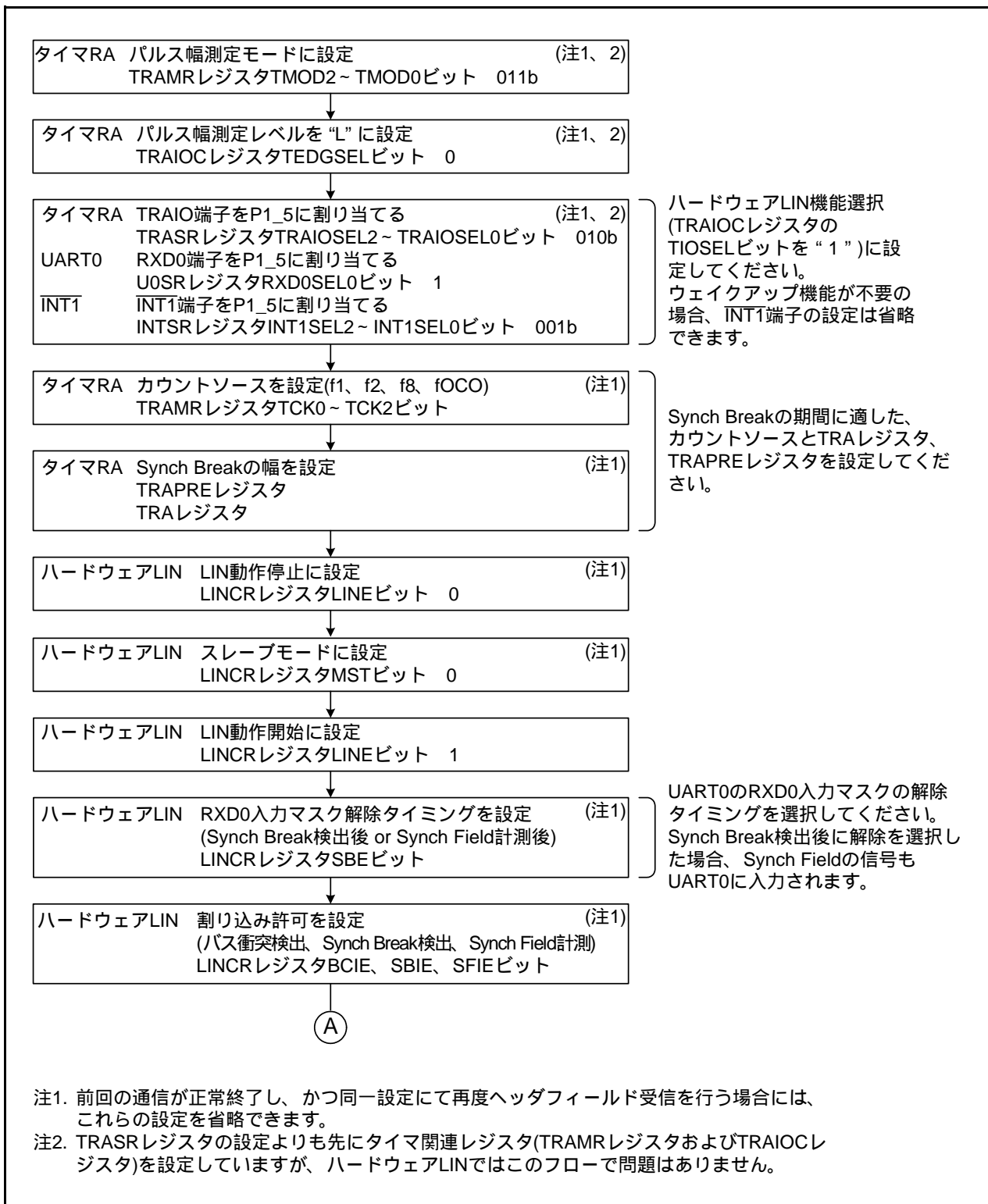


図26.6 ヘッダフィールド受信フローチャート例(1)

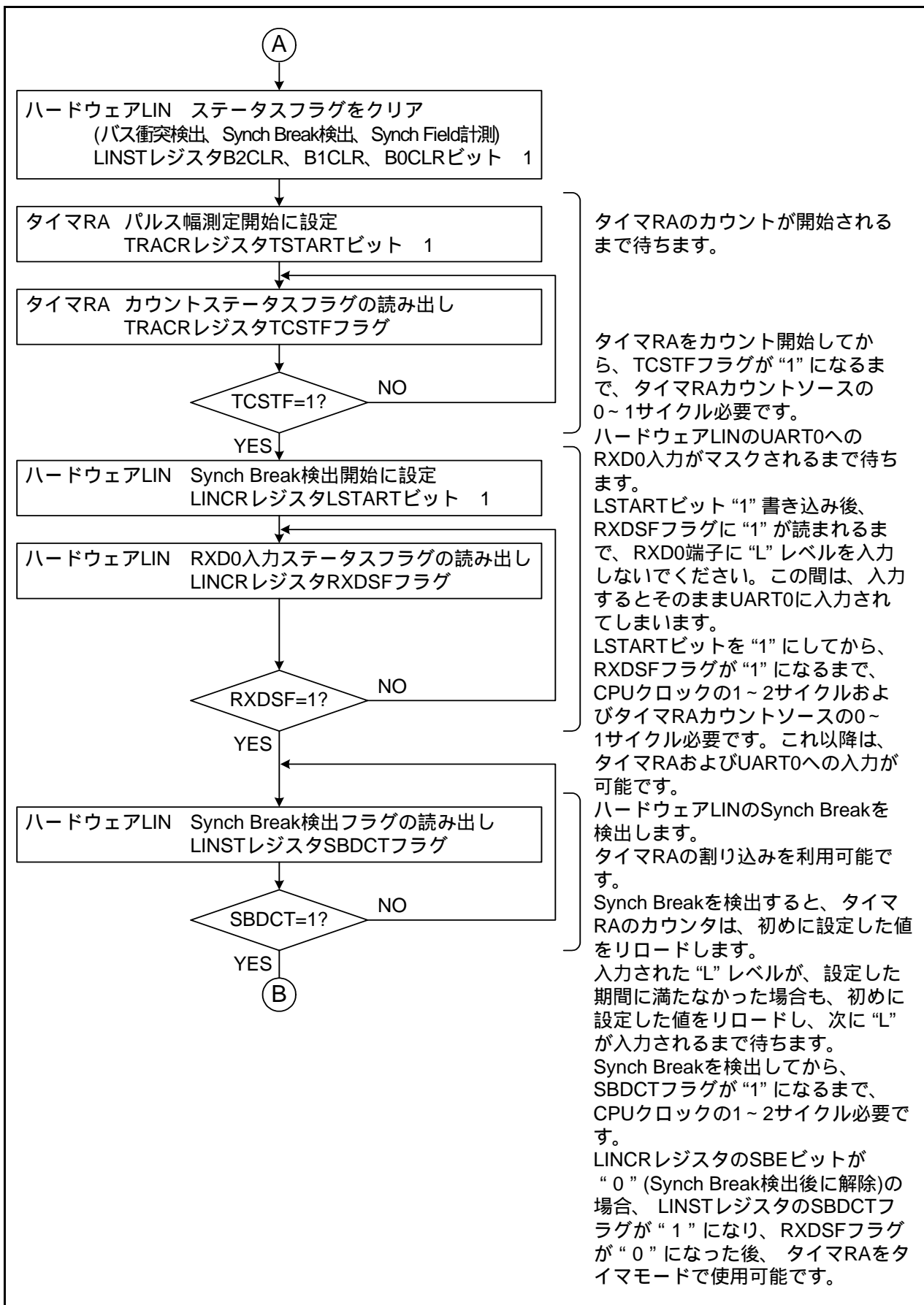


図26.7 ヘッドフィールド受信フローチャート例(2)

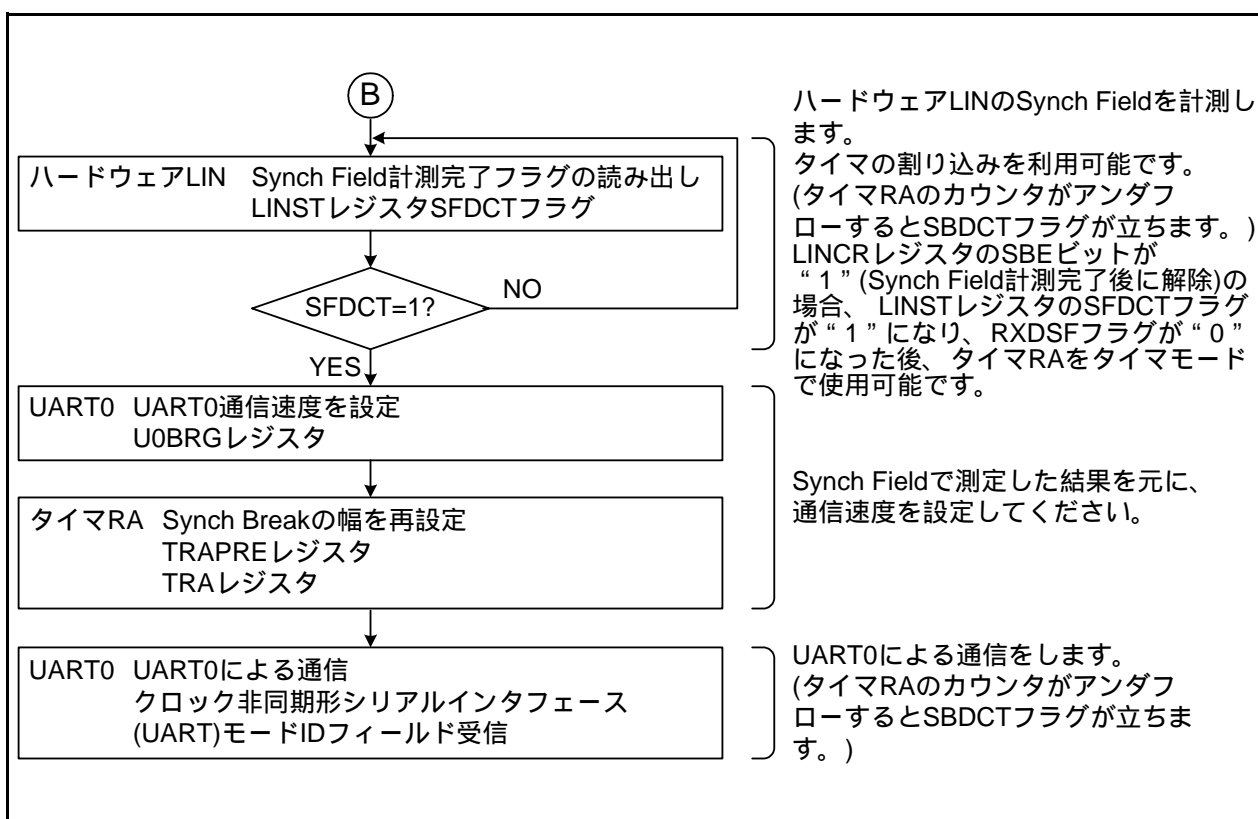


図26.8 ヘッダフィールド受信フローチャート例(3)

## 26.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが“1”)の場合、バス衝突検出機能を使用することができます。Synch Break送信中にバス衝突検出を行う場合は、LINC2レジスタのBCEビットを“1”(バス衝突検出有効)にしてください。

図26.9にバス衝突検出時の動作例を示します。

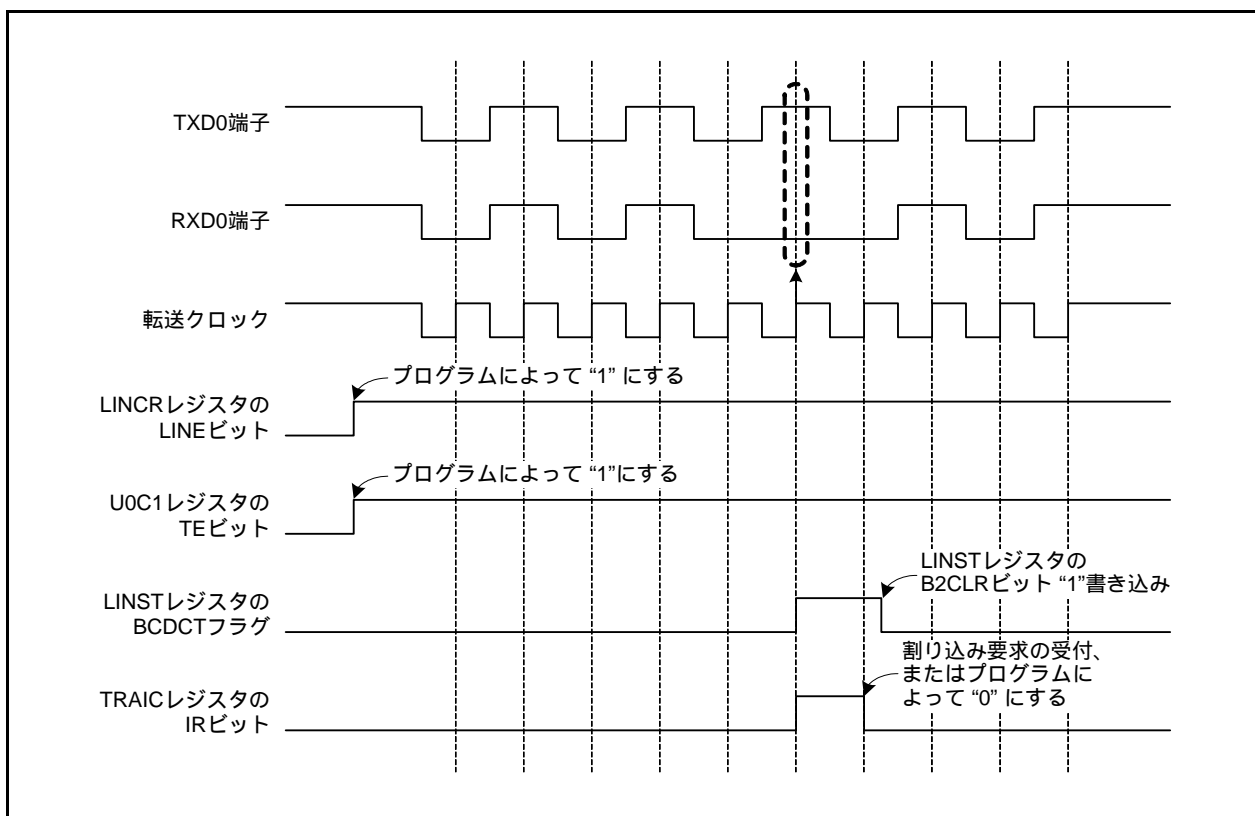


図26.9 バス衝突検出時の動作例

## 26.4.4 ハードウェアLIN終了処理

図26.10にハードウェアLIN通信終了のフローチャート例を示します。  
ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：  
チェックサム送信終了後、ハードウェアLINの終了処理を実施
- バス衝突検出機能を使用しない場合：  
ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

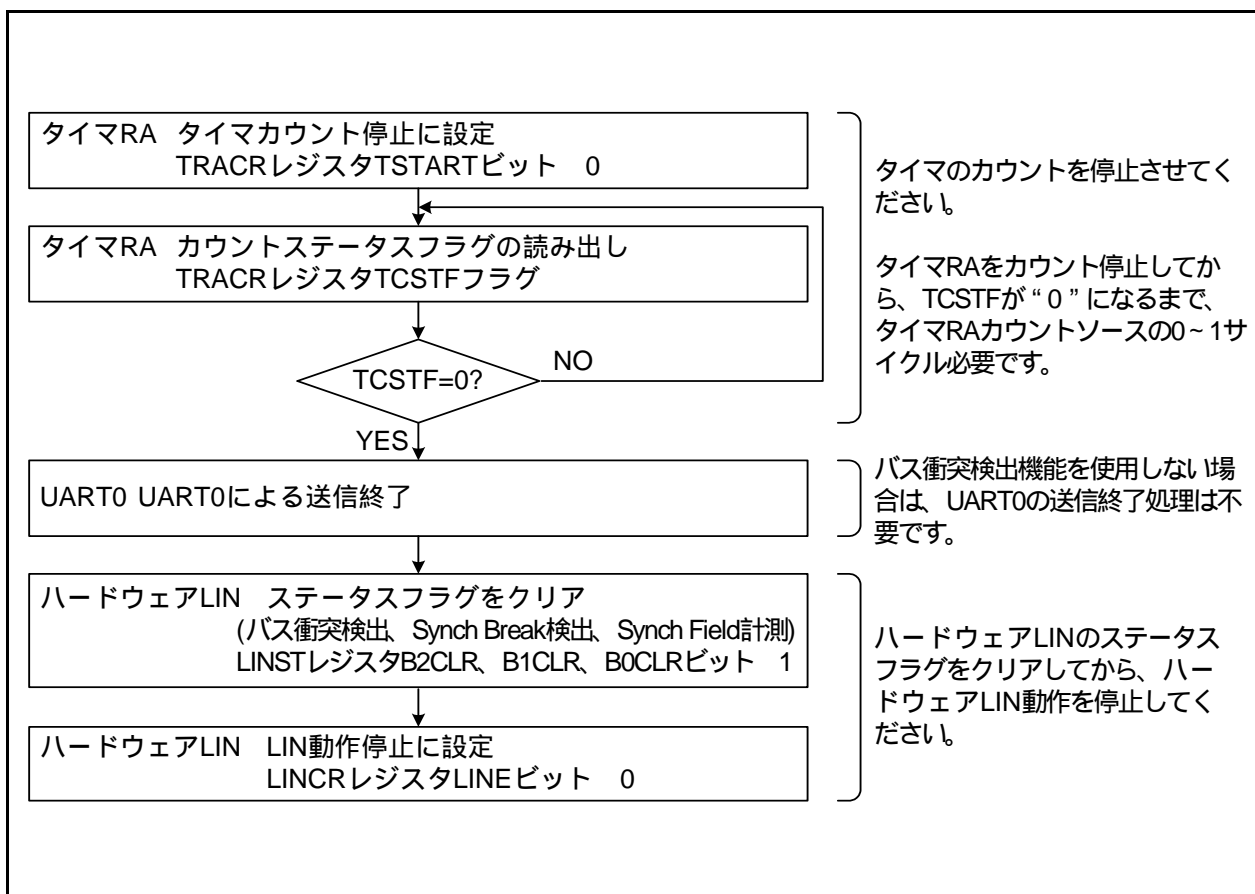


図26.10 ハードウェアLIN通信終了のフローチャート例

## 26.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRAの割り込みと兼用となっています。

表26.2にハードウェアLINの割り込み要求を示します。

表26.2 ハードウェアLINの割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Synch Break検出	SBDCT	タイマRAによりRXD0入力の“L”レベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長い“L”レベルが入力されたとき
Synch Break発生完了		タイマRAにより設定された期間、TXD0へ“L”レベルの出力を完了したとき
Synch Field計測完了	SFDCT	タイマRAによりSynch Fieldの6ビット目の計測が完了したとき
バス衝突検出	BCDCT	UART0が送信許可の場合、データラッチタイミングでRXD0入力とTXD0出力の値が異なったとき

## 26.6 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

## 27. USB2.0ホスト/ファンクションモジュール (USB)

### 注意

本章ではR8C/34Kグループについて説明します。

R8C/34Uグループについては「1.1.2 グループごとの相違点」を参照してください。

### 27.1 概要

R8C/34Kグループは1ポートのUSB2.0ホスト/ファンクションモジュール (USB) を内蔵しています。

USBは、USBホストコントローラ機能とファンクションコントローラ機能を備えたUSBコントローラです。ホストコントローラ機能選択時は、USB (Universal Serial Bus) 規格2.0のフルスピード転送に対応します。ファンクションコントローラ機能選択時は、フルスピード転送に対応します。また、USBはUSBトランシーバを内蔵し、USB規格で定義されているコントロール転送、バルク転送およびインタラプト転送に対応しています。

データ転送用にバッファメモリを内蔵し、最大5本のパイプを使用できます。また、パイプ4～7に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

表27.1にUSBの仕様を示します。

表27.1 USBの仕様

項目	内容
特長	<ul style="list-style-type: none"> <li>• USB2.0に対応したUDC (USB Device Controller) およびトランシーバを内蔵</li> <li>• USBホストコントローラとファンクションコントローラを内蔵 (ソフトウェアで切り替え可能)</li> <li>• セルフパワーモードおよびバスパワーモードを選択可能</li> <li>• OTG (ON-The-Go) に対応</li> <li>(1) ホストコントローラ機能選択時 <ul style="list-style-type: none"> <li>• フルスピード転送 (12Mbps) に対応</li> <li>• SOF、パケット送信のスケジュールを自動化</li> <li>• インタラプト転送の転送インターバル設定機能</li> </ul> </li> <li>(2) ファンクションコントローラ機能選択時 <ul style="list-style-type: none"> <li>• フルスピード転送 (12Mbps) に対応</li> <li>• コントロール転送ステージ管理機能</li> <li>• デバイスステート管理機能</li> <li>• SET_ADDRESSリクエストに対する自動応答機能</li> <li>• SOF補間機能</li> </ul> </li> </ul>
通信データ転送タイプ	<ul style="list-style-type: none"> <li>• コントロール転送</li> <li>• バルク転送</li> <li>• インタラプト転送</li> </ul>
パイプコンフィギュレーション	<ul style="list-style-type: none"> <li>• USB通信用バッファメモリを内蔵</li> <li>• 最大5本のパイプを選択可能 (デフォルトコントロールパイプを含む)</li> <li>• 使用可能なパイプ番号は0、4、5、6、7</li> <li>• パイプ4～7は任意のエンドポイント番号を割り付け可能</li> <li>• 各パイプの設定可能な転送条件は以下のとおりです。</li> <li>• パイプ0：コントロール転送専用のパイプ (デフォルトコントロールパイプ：DCP)、バッファサイズは64バイト固定 (シングルバッファ)</li> <li>• パイプ4～5：バルク転送専用のパイプ、バッファサイズは64バイト (ダブルバッファ指定可能)</li> <li>• パイプ6～7：インタラプト転送専用のパイプ、64バイト固定 (シングルバッファ)</li> </ul>
その他の機能	<ul style="list-style-type: none"> <li>• トランザクションカウントによる受信トランスファ終了機能</li> <li>• BRDY割り込みイベント通知タイミング変更機能 (BFRE)</li> <li>• トランスファ終了による応答PIDのNAK設定機能 (SHTNAK)</li> </ul>



図27.1にUSBのブロック図を示します。

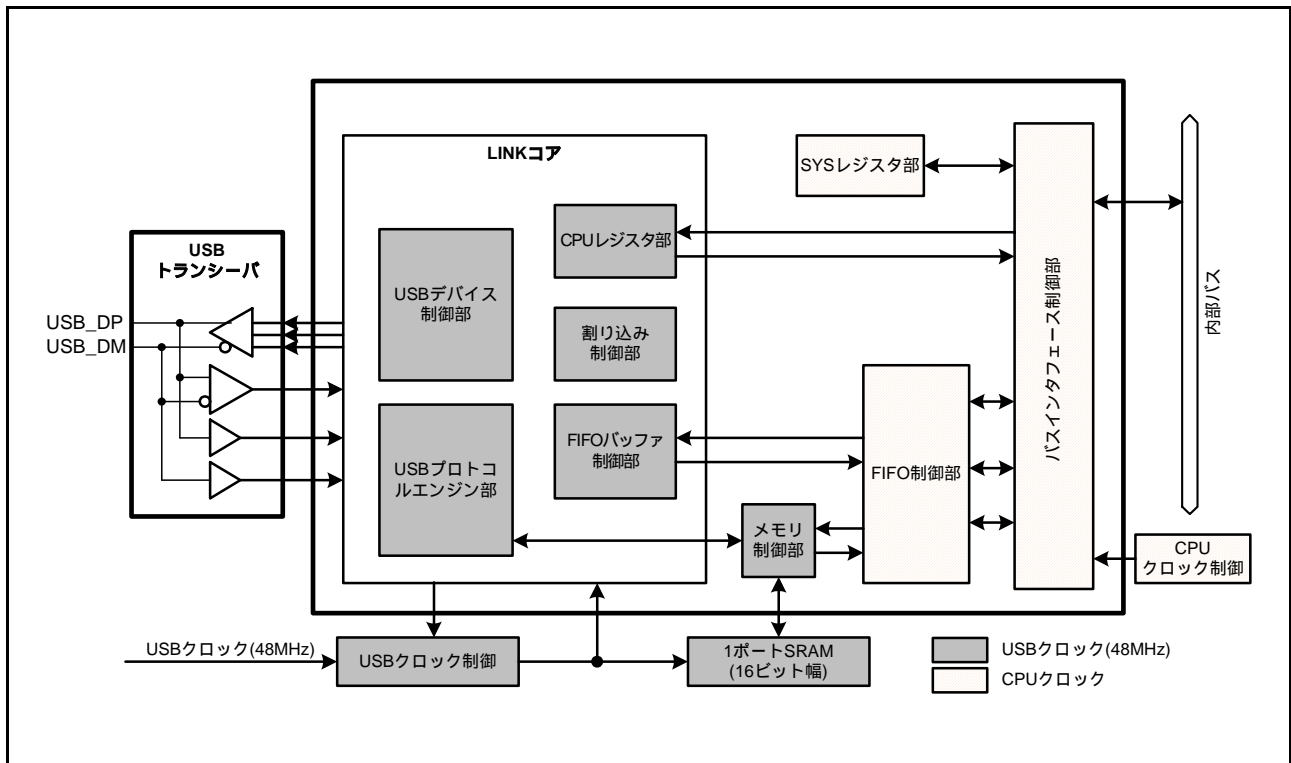


図27.1 USBのブロック図

表27.2にUSBの入出力端子を示します。

表27.2 USBの入出力端子

端子名	入出力	機能
USB_DP	入出力	USB内蔵トランシーバD+入出力端子です USBバスのD+端子に接続してください
USB_DM	入出力	USB内蔵トランシーバD-入出力端子です USBバスのD-端子に接続してください
USB_VBUS	入力	USBケーブル接続モニタ端子です USBバスのVBUSに接続してください。 ファンクション動作時のVBUSの接続/切断を検出することができます
USB_EXICEN	出力	外部電源 (OTG) チップのローパワー制御信号です
USB_VBUSEN	出力	外部電源チップへのVBUS (5V) の供給許可信号です
USB_OVRCURA USB_OVRCURB	入力	外部オーバカレント検出信号を接続します。またOTG電源チップとの接続時には VBUSコンパレータ信号を接続します
USB_ID	入力	OTG動作時microABコネクタのID入力信号を接続します
USB_DPUPE	出力	ファンクション動作時のUSB D+信号の1.5k プルアップ抵抗の制御信号です
USB_DPRPD USB_DRPD	出力	ホスト動作時のUSB D+およびD-信号の15k プルダウン抵抗の制御信号です
USB_VCC	入力	USB用電源端子です

## 27.2 レジスタの説明

表27.3にUSBのレジスタ一覧を示します。

表27.3 USBのレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムコンフィギュレーションコントロールレジスタ	SYSCFG	0000h	2E01h ~ 2E00h	16
システムコンフィギュレーションステータスレジスタ0	SYSSTS0	XX000000b 0000X00b	2E05h ~ 2E04h	16
デバイスステートコントロールレジスタ0	DVSTCTR0	0000h	2E09h ~ 2E08h	16
CFIFOポートレジスタ	CFIFO	0000h	2E15h ~ 2E14h	8、16
CFIFOポート選択レジスタ	CFIFOSEL	0000h	2E21h ~ 2E20h	16
CFIFOポートコントロールレジスタ	CFIFOCTR	0000h	2E23h ~ 2E22h	16
割り込み許可レジスタ0	INTENB0	0000h	2E31h ~ 2E30h	16
割り込み許可レジスタ1	INTENB1	0000h	2E33h ~ 2E32h	16
BRDY割り込み許可レジスタ	BRDYENB	0000h	2E37h ~ 2E36h	16
NRDY割り込み許可レジスタ	NRDYENB	0000h	2E39h ~ 2E38h	16
BEMP割り込み許可レジスタ	BEMPENB	0000h	2E3Bh ~ 2E3Ah	16
SOF出力コンフィグレーションレジスタ	SOFCFG	0000h	2E3Dh ~ 2E3Ch	16
割り込みステータスレジスタ0	INTSTS0	X00000000b X00000000b	2E41h ~ 2E40h	16
割り込みステータスレジスタ1	INTSTS1	XX0X0000b 00h	2E43h ~ 2E42h	16
BRDY割り込みステータスレジスタ	BRDYSTS	0000h	2E47h ~ 2E46h	16
NRDY割り込みステータスレジスタ	NRDYSTS	0000h	2E49h ~ 2E48h	16
BEMP割り込みステータスレジスタ	BEMPSTS	0000h	2E4Bh ~ 2E4Ah	16
フレームナンバーレジスタ	FRMNUM	0000h	2E4Dh ~ 2E4Ch	16
USBアドレスレジスタ	USBADDR	0000h	2E51h ~ 2E50h	16
USBリクエストタイプレジスタ	USBREQ	0000h	2E55h ~ 2E54h	16
USBリクエストバリュレジスタ	USBVAL	0000h	2E57h ~ 2E56h	16
USBリクエストインデックスレジスタ	USBINDX	0000h	2E59h ~ 2E58h	16
USBリクエストレンゲスレジスタ	USBLENG	0000h	2E5Bh ~ 2E5Ah	16
DCPコンフィギュレーションレジスタ	DCPCFG	0000h	2E5Dh ~ 2E5Ch	16
DCPマックスパケットサイズレジスタ	DCPMAXP	0040h	2E5Fh ~ 2E5Eh	16
DCPコントロールレジスタ	DCPCTR	0040h	2E61h ~ 2E60h	16
パイプウィンドウ選択レジスタ	PIPESEL	0000h	2E65h ~ 2E64h	16
パイプコンフィギュレーションレジスタ	PIPECFG	0000h	2E69h ~ 2E68h	16
パイプマックスパケットサイズレジスタ	PEMAXP	0000h/0040h(注1)	2E6Dh ~ 2E6Ch	16
パイプ周期制御レジスタ	PIPEPERI	0000h	2E6Fh ~ 2E6Eh	16
パイプ4コントロールレジスタ	PIPE4CTR	0000h	2E77h ~ 2E76h	16
パイプ5コントロールレジスタ	PIPE5CTR	0000h	2E79h ~ 2E78h	16
パイプ6コントロールレジスタ	PIPE6CTR	0000h	2E7Bh ~ 2E7Ah	16
パイプ7コントロールレジスタ	PIPE7CTR	0000h	2E7Dh ~ 2E7Ch	16
パイプ4トランザクションカウンタインーブルレジスタ	PIPE4TRE	0000h	2E9Dh ~ 2E9Ch	16
パイプ4トランザクションカウンタレジスタ	PIPE4TRN	0000h	2E9Fh ~ 2E9Eh	16
パイプ5トランザクションカウンタインーブルレジスタ	PIPE5TRE	0000h	2EA1h ~ 2EA0h	16
パイプ5トランザクションカウンタレジスタ	PIPE5TRN	0000h	2EA3h ~ 2EA2h	16
デバイスアドレス0コンフィギュレーションレジスタ	DEVADD0	0000h	2ED1h ~ 2ED0h	16
デバイスアドレス1コンフィギュレーションレジスタ	DEVADD1	0000h	2ED3h ~ 2ED2h	16
デバイスアドレス2コンフィギュレーションレジスタ	DEVADD2	0000h	2ED5h ~ 2ED4h	16
デバイスアドレス3コンフィギュレーションレジスタ	DEVADD3	0000h	2ED7h ~ 2ED6h	16
デバイスアドレス4コンフィギュレーションレジスタ	DEVADD4	0000h	2ED9h ~ 2ED8h	16
デバイスアドレス5コンフィギュレーションレジスタ	DEVADD5	0000h	2EDBh ~ 2EDAh	16
USBモジュール制御レジスタ	USBMC	00X10000b	2F00h	8

注1. PIPESEL.PIPESSEL[3:0]ビットの設定により初期値が異なります。パイプを選択していないときは0000h、選択しているときは0040hになります。

## 27.2.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

アドレス 2E01h ~ 2E00h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	DCFM	DRPD	DPRPU	-	-	-	USBE
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	SCKE	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USBモジュール動作許可ビット	0 : USBモジュール動作禁止 1 : USBモジュール動作許可	R/W
b3-b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	DPRPU	D+ライン抵抗制御ビット	0 : プルアップ禁止 1 : プルアップ許可	R/W
b5	DRPD	D+/D-ライン抵抗制御ビット	0 : プルダウン禁止 1 : プルダウン許可	R/W
b6	DCFM	コントローラ機能選択ビット	0 : ファンクションコントローラ機能を選択 1 : ホストコントローラ機能を選択	R/W
b9-b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b10	SCKE	USBモジュールクロック許可ビット	0 : USBモジュールへのクロック供給停止 1 : USBモジュールへのクロック供給許可	R/W
b15-b11	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

SYSCFGレジスタは、ホストコントローラ機能またはファンクションコントローラ機能の選択、USB\_DP、USB\_DM端子の制御およびUSBモジュールの動作許可制御を行うレジスタです。

## USBEビット (USBモジュール動作許可ビット)

USBモジュールの動作禁止/許可を指定します。

USBEビットをSYSCFG.USBEが“1”から“0”に変更したときに初期化されるレジスタとビットを表27.4と表27.5に示します。

USBEビットの変更は、SYSCFG.SCKE = “1”のときに行ってください。

ホストコントローラ機能選択時は、SYSCFG.DRPD = “1”設定後、LNSTビットのチャタリング除去を行い、USBバスの状態が安定したことを確認した後で、SYSCFG.USBE = “1”にしてください。

**DPRPUビット (D+ライン抵抗制御ビット)**

ファンクションコントローラ機能選択時、D+ラインのプルアップの禁止/許可を指定します。

ファンクションコントローラ機能選択時にDPRPU = “1”にすると、USBモジュールはUSB\_DPUPE端子をアサートし、USBホストに対してアタッチを通知することができます。また、DPRPUビットを“1”から“0”に変更することにより、USBモジュールはUSB\_DPUPE端子をネゲートしますので、USBホストに対してデタッチしたと見せることができます。

DPRPUビットへの“1”書き込みは、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、“0”にしてください。

**DRPDビット (D+/D-ライン抵抗制御ビット)**

ホストコントローラ機能選択時、USB\_DRPDP端子およびUSB\_DRPD端子によりD+/D-ラインのプルダウンの禁止/許可を指定します。

DRPDビットへの“1”書き込みは、ホストコントローラ機能選択時に行ってください。

ファンクションコントローラ機能選択時は、DRPD = “0”にしてください。

**DCFMビット (コントローラ機能選択ビット)**

USBモジュールの機能を選択します。

DCFMビットの変更は、SYSCFG.DPRPU = “0”のときに行ってください。

**SCKEビット (USBモジュールクロック許可ビット)**

USBモジュールへの48MHzクロック供給の停止/許可を指定します。

SCKEビットが“0”の場合、SYSCFGレジスタのみ、読み出し/書き込みができます。

USBモジュール内の他のレジスタは、SCKEビットが“0”の場合には、読み出し/書き込みはできません。

表27.4 SYSCFG.USBE = “0”書き込みにより初期化されるレジスタ  
(ファンクションコントローラ機能選択時)

レジスタ	シンボル	備考
SYSSTS0	LNST	ホストコントローラ機能選択時は値保持
DVSTCTR0	RHST	
INTSTS0	DVSQ	ホストコントローラ機能選択時は値保持
USBADDR	USBADDR	ホストコントローラ機能選択時は値保持
USBREQ	BREQUEST、BMREQUESTTYPE	ホストコントローラ機能選択時は値保持
USBVAL	WVALUE	ホストコントローラ機能選択時は値保持
USBINDX	WINDEX	ホストコントローラ機能選択時は値保持
USBLENG	WLENGTH	ホストコントローラ機能選択時は値保持

表27.5 SYSCFG.USBE = “0”書き込みにより初期化されるレジスタ (ホストコントローラ機能選択時)

レジスタ	シンボル	備考
DVSTCTR0	RHST	
FRMNUM	FRNM	ファンクションコントローラ機能選択時は値保持

## 27.2.2 システムコンフィギュレーションステータスレジスタ0 (SYSSTS0)

アドレス 2E05h ~ 2E04h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	HTACT	-	-	-	IDMON	LNST[1:0]	
リセット後の値	0	0	0	0	0	X	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	OVCMON1, OVCMON0	-	-	-	-	-	-	-
リセット後の値	X	X	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USBデータラインステータスマニタビット	USBデータバスライン (D+ライン、D-ライン) のステータスが表示されます。USBデータバスラインステータスを表27.6に示します	R
b2	IDMON	外部ID0入力端子モニタビット	USBm_ID端子のステータスが表示されます	R
b5-b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	HTACT	USBホストシーケンサステータスマニタビット	0：USBモジュールのホストシーケンサが完全に停止している 1：USBモジュールのホストシーケンサが完全に停止していない	R
b13-b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b15-b14	OVCMON1, OVCMON0	外部USB_OVRCURA/ USB_OVRCURB入力端子モニタビット	それぞれOVCMON1,OVCMON0ビットにUSB_OVRCURA端子の状態が表示されます それぞれOVCMON1,OVCMON0ビットにUSB_OVRCURB端子の状態が表示されます 読んだ場合、その値は不定。	R

SYSSTS0レジスタは、USBデータバスのラインステータス (D+ および D- ライン) をモニタするレジスタです。

## LNST[1:0]ビット (USBデータラインステータスマニタビット)

LNST[1:0] ビットの参照は、ファンクションコントローラ機能選択時にはアタッチ処理 (SYSCFG.DRPUPUを“1”) 以後、ホストコントローラ機能選択時には、ブルダウン許可 (SYSCFG.DRPDを“1”) 以後に行ってください。

表27.6 USBデータバスラインステータス表

LNST[1]	LNST[0]	ステータス
0	0	SE0
0	1	J-State
1	0	K-State
1	1	SE1

## HTACTビット (USBホストシーケンサステータスマニタビット)

USBモジュールのホストシーケンサが完全に停止しているときに、HTACTビットに“0”を示します。  
USBモジュールのクロックを停止させるときには、必ずHTACTビットが“0”であることを確認してください。

## OVCMON[1:0]ビット (外部USB\_OVRCURA/USB\_OVRCURB入力端子モニタビット)

外部電源チップからのオーバカレントのステータスが表示されます。

## 27.2.3 デバイスステートコントロールレジスタ0 (DVSTCTR0)

アドレス 2E09h ~ 2E08h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RWUPE	USBRST	RESUME	UACT	-	RHST [2:0]		
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	HNPBTOA	-	VBUSEN	WKUP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST [2:0]	USBバスリセットステータスビット	<ul style="list-style-type: none"> <li>• ホストコントローラ機能選択時 b2 b0 000: 通信速度不定 (パワー時あるいは非接続時) 1xx: USBバスリセット処理中 001: ロースピード接続時(注1) 010: フルスピード接続時 【記号説明】 X: Don't care</li> <li>• ファンクションコントローラ機能選択時 b2 b0 000: 通信速度不定 100: USBバスリセット処理中 010: フルスピード接続時</li> </ul>	R
b3	-	予約ビット	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
b4	UACT	USBバス許可ビット	0: ダウンポート動作禁止 (SOF送出禁止) 1: ダウンポート動作許可 (SOF送出許可)	R/W
b5	RESUME	レジューム出力ビット	0: レジューム信号非出力 1: レジューム信号出力	R/W
b6	USBRST	USBバスリセット出力ビット	0: USBバスリセット信号非出力 1: USBバスリセット信号出力	R/W
b7	RWUPE	ウェイクアップ検出許可ビット	0: ダウンポートリモートウェイクアップ出力禁止 1: ダウンポートリモートウェイクアップ許可	R/W
b8	WKUP	ウェイクアップ出力ビット	0: リモートウェイクアップ信号非出力 1: リモートウェイクアップ信号出力	R/W (注2)
b9	VBUSEN	USB_VBUSEN出力端子制御ビット	VBUSENビット値がそのまま外部USB_VBUSEN端子の状態として出力されます	R/W
b10	-	予約ビット	“0” にしてください	R/W
b11	HNPBTOA	ホストネゴシエーションプロトコル (HNP) 制御ビット	OTG (On-The-Go) にて使用時に、BデバイスからAデバイスに切り替える時に使用します。HNPBTOAビットが“1”であれば、内部ファンクション制御はSYSCFG.DPRPU = “0”またはSYSCFG.DCFM = “1”にしてもHNP処理が終了するまでサスペンド状態を維持します	R/W
b14-b12	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b15	-	予約ビット	“0” にしてください	R/W

注1. USBコントローラはロースピードデバイスとの通信はサポートしていません。本値が読み出されたときには上位アプリにて異常接続処理をしてください。

注2. “1”のみ書けます。

DVSTCTR0レジスタは、USBデータバスの状態制御および確認をするレジスタです。

### RHST[2:0]ビット (USBバスリセットステータスビット)

USBバスリセットの状態を表示します。

ホストコントローラ機能選択時に、ソフトウェアで USBRST = “1” を書いた後、RHST[2:0] ビットは100bを示します。

ソフトウェアが USBRST = “0” を書き、USBがSE0ドライブを終了した時点で、USBはRHST[2:0] ビットの値を確定します。

ファンクションコントローラ機能選択時に、USBがUSBバスリセットを検出すると、RHST[2:0] ビットは010bを示し、DVST割り込みが発生します。

### UACTビット (USBバス許可ビット)

ホストコントローラ機能選択時に、USBバス動作許可 (USBバス上へのSOFパケットの送出制御) を行います。

UACTビットを“1”にすると、USBモジュールはUSBポートをUSBバス許可状態にし、SOFパケット出力およびデータ送受信を行います。

ソフトウェアがUACT = “1”を書いてから、1フレーム時間以内にSOFパケット出力を開始します。

UACTビットを“0”にした場合、USBモジュールはSOFパケット出力後アイドル状態に遷移します。

以下の場合に、USBモジュールはUACTビットを“0”にします。

- 通信中 (UACT = “1” のとき) にDTCH割り込みを検出した場合
- 通信中 (UACT = “1” のとき) にEOFERR割り込みを検出した場合

UACTビットに“1”を書くときは、USBバスリセット処理終了時 (USBRST = “0” 書き込み)、または、サスペンドからのレジューム処理終了時 (RESUME = “0” 書き込み) のいずれかのタイミングで行ってください。

ファンクションコントローラ機能選択時は、“0”にしてください。

### RESUMEビット (レジューム出力ビット)

ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。

RESUMEビットを“1”にすると、USBモジュールはポートをK-Stateドライブし、レジューム出力を行います。

USBモジュールは、RESUME = “1”の期間 (ソフトウェアがRESUME = “0”を書き込むまで) K-State出力を継続します。RESUME = “1”の期間 (レジューム期間) はUSB Specification2.0に準拠した時間を確保してください。

RESUMEビットへの“1”書き込みは、サスペンド中にのみ行ってください。

レジューム終了 (RESUME = “0” 書き込み) と同時にUACTビットに“1”を書き込んでください。

ファンクションコントローラ機能選択時は、“0”にしてください。

### USBRSTビット (USBバスリセット出力ビット)

ホストコントローラ機能選択時に、USBバスリセット信号の出力制御を行います。

ホストコントローラ機能選択時、USBRSTビットを“1”にすると、USBモジュールはUSBポートのSE0ドライブを行い、USBバスリセット処理を行います。

USBモジュールは、USBRST = “1”の期間 (ソフトウェアがUSBRST = “0”を書き込むまで) SE0出力を継続します。USBRST = “1”の期間 (USBバスリセット期間) はUSB Specification2.0に準拠した時間を確保してください。

通信中 (UACT = “1”) またはレジューム中 (RESUME = “1”) にUSBRSTビットに“1”を書き込んだ場合、USBモジュールはUACT = “0”かつRESUME = “0”の状態になるまでUSBバスリセットを開始しません。

USBバスリセット終了 (USBRST = “0” 書き込み) と同時にUACTビットに“1”を書き込んでください。

ファンクションコントローラ機能選択時は、“0”にしてください。

### RWUPE ビット (ウェイクアップ検出許可ビット)

ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ (レジューム信号出力) の禁止/許可を指定します。

RWUPE ビットを “1” にすると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号 (2.5  $\mu$ s 間の K-State) を検出し、レジューム処理 (K-State のドライブ) を行いません。

RWUPE ビットを “0” にした場合、USB モジュールが USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を検出しても無視します。

RWUPE ビットを “1” にしたときには、サスペンド中であっても内部クロックを停止しないでください (SCKE = “1” の状態にしてください)。

ファンクションコントローラ機能選択時は、“0” にしてください。

### WKUP ビット (ウェイクアップ出力ビット)

ファンクションコントローラ機能選択時に、USB バス上へのリモートウェイクアップ (レジューム信号出力) 禁止/許可を指定します。

USB モジュールは、リモートウェイクアップ信号の出力時間を管理しています。WKUP ビットを “1” にすると、USB モジュールは 10ms の K-State を出力します。その後、WKUP ビットを “0” にします。

USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、USB モジュールは、サスペンド状態を検出した直後に WKUP ビットに “1” を書き込まれた後、2ms 待ってから K-State を出力します。

WKUP ビットへの “1” 書き込みは、デバイスステートがサスペンド (INTSTS0.DVSQ = 1xx) であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。WKUP ビットを “1” にする場合は、サスペンド中であっても内部クロックを停止しないでください。(SYSCFG.SCKE = “1” の状態で WKUP = “1” を書いてください。)

ホストコントローラ機能選択時は、“0” を書いてください。

### HNPBTOA ビット (ホストネゴシエーションプロトコル (HNP) 制御ビット)

OTG (On-The-Go) にて使用時に、B デバイスから A デバイスに切り替える時に使用します。HNPBTOA ビットが “1” であれば、内部ファンクション制御は SYSCFG.DPRPU = “0” または SYSCFG.DCFM = “1” にしても HNP 処理が終了するまでサスペンド状態を維持します。またこのとき、D+ の立ち下がりを検出しても、レジューム (RESM) 割り込みは発生しません。

“1” にした後、HOST アタッチ (相手のプルアップ) 検出または HNP 処理タイムアウト時に FW にて “0” を書き、HNP 処理を終了させます。



## 27.2.4 CFIFOポートレジスタ(CFIFO)

アドレス 2E15h ~ 2E14h番地

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FIFOPORT [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	FIFOPORT [15:0]	FIFOポートビット	FIFOポートレジスタの有効ビットは、MBWビットの設定値およびBIGENDビットの設定値により異なります。有効ビットを、表27.7、表27.8に示します。	R/W

CFIFOは、FIFOバッファメモリへのデータ読み出し/書き込みを行うポートレジスタです。

FIFOポートは、FIFOバッファメモリへのデータリード/ライトを行うFIFOポートレジスタ(CFIFO)以外に、FIFOポートに割り当てるパイプを選択する選択レジスタ(CFIFOSEL)、コントロールレジスタ(CFIFOCTR)で構成されています。

FIFOポートには、下記に示す特長があります。

- DCP (コントロール転送) 用FIFOバッファへのアクセスは、CFIFOポートを通して行ってください。
- FIFOポート固有の機能を使用する場合は、CURPIPEビットに設定するパイプ番号(選択パイプ)を変更できません。
- FIFOバッファの状況には、アクセス権がCPU側にある場合とSIE側にある場合の2種類があります。FIFOバッファのアクセス権がSIE側にある場合は、CPUからアクセスができません。

## FIFOPORT0 ~ FIFOPORT15 (FIFOポートビット)

FIFOPORTビットにアクセスすることにより、FIFOバッファからの受信データを読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。

FIFOポートレジスタへのアクセスは、FIFOポートコントロールレジスタ(CFIFOCTR)のFRDYビットが“1”を示しているときのみ可能です。

FIFOポートレジスタの有効ビットは、ポート選択レジスタのMBWビットの設定値およびBIGENDビットの設定値により異なります。有効ビットを表27.7、表27.8に示します。

表27.7 16ビットアクセス時のエンディアン動作表

CFIFOSEL.BIGENDビット	ビット15~8	ビット7~0
0	N+1データ	N+0データ
1	N+0データ	N+1データ

表27.8 8ビットアクセス時のエンディアン動作表

CFIFOSEL.BIGENDビット	ビット15~8	ビット7~0
x(設定は無効)	アクセス禁止(注1)	N+0データ

注1. 禁止領域へのリードアクセスは禁止です。

## 27.2.5 CFIFOポート選択レジスタ(CFIFOSEL)

アドレス 2E21h ~ 2E20h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	ISEL	-	CURPIPE [3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	RCNT	REW	-	-	-	MBW	-	BIGEND
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE [3:0]	CFIFOポートアクセスパイプ指定ビット	b3 b0 0 0 0 0 : DCP (デフォルトコントロールパイプ) 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 上記以外 : 設定しないでください	R/W
b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	ISEL	DCP選択時のCFIFOポートアクセス方向ビット	0 : パッファメモリ読み出し選択 1 : パッファメモリ書き込み選択	R/W
b7-b6	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b8	BIGEND	CFIFOポートエンディアン制御ビット	0 : リトルエンディアン 1 : ビッグエンディアン	R/W
b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b10	MBW	CFIFOポートアクセスビット幅ビット	0 : 8ビット幅 1 : 16ビット幅	R/W
b13-b11	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b14	REW	パッファポインタリワインドビット	0 : パッファポインタリワインドしない 1 : パッファポインタリワインドする	R/W (注1)
b15	RCNT	リードカウントモードビット	0 : CFIFOの全受信データ読み出し終了時にDTLNビットを“0”ライト(ダブルパッファの場合は一面のみ読み出し終了時) 1 : CFIFO受信データ読み出しごとにDTLNビットをカウントダウン	R/W

注1. “0”を読み出すことのみ可能です。

CFIFOSELレジスタは、FIFOポートに割り当てるパイプの選択、CFIFOポートへのアクセスを制御するレジスタです。

### CURPIPE[3:0]ビット (CFIFOポートアクセスパイプ指定ビット)

CFIFOポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0]ビットを変更するときは、CURPIPE[3:0]ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

FIFOバッファへのアクセスの途中でCURPIPE[3:0]ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0]ビットの書き戻し後、続けてアクセスすることができます。

### ISELビット (DCP選択時のCFIFOポートアクセス方向ビット)

選択パイプがDCPのときに、ISELビットを変更するときは、ISELビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

ISELビットの設定は、CURPIPE[3:0]ビットの設定と同時に行ってください。

### BIGENDビット (CFIFOポートエンディアン制御ビット)

CFIFOポートのバイトエンディアンを指定します。

### MBWビット (CFIFOポートアクセスビット幅ビット)

CFIFOポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBWビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまでMBWビットの変更を行わないでください。

また選択パイプが受信方向の場合、CURPIPEビットとMBWビットを同時に設定してください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に8ビット幅から16ビット幅へのビット幅切り替えは行えません。

16ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

### REWビット (バッファポインタリワインドビット)

バッファポインタのリワインドをする/しないを指定します。

選択パイプが受信方向の場合に、FIFOバッファの読み出し中にREWビットを“1”にすると、FIFOバッファの最初のデータから読み出しを行うことができます(ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REWを“1”にすることとCURPIPEビットの設定変更を同時に行わないでください。REWビットを“1”にするときは、FRDYビットが“1”であることを確認してから行ってください。

送信方向のパイプに対してFIFOバッファの最初のデータから書き込みをやり直す場合は、BCLRビットを使用してください。

### RCNTビット (リードカウントモードビット)

CFIFOCTRレジスタのDTLN[8:0]ビットの読み出しモードを指定します。

## 27.2.6 CFIFOポートコントロールレジスタ(CFIFOCTR)

アドレス 2E23h ~ 2E22h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DTLN[8:0]							
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	BVAL	BCLR	FRDY	-	-	-	-	DTLN[8:0]
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長表示ビット	受信データ長が表示されます。ポート選択レジスタのRCNTビットの設定により、表示が異なります。詳細は下記DTLN[8:0]ビットの説明を参照してください	R
b12-b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b13	FRDY	FIFOポートレディビット	0: FIFOポートアクセス不可 1: FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリアビット	0: 無効 1: CPU側バッファメモリクリア	R/W (注1)
b15	BVAL	バッファメモリ有効フラグ	0: 無効 1: 書き込み終了	R/W (注2)

注1. “0”を読み出し、“1”を書き込むことのみ可能です。

注2. “1”を書き込むことのみ可能です。

CFIFOCTRレジスタは、バッファメモリの書き込み終了、CPU側バッファクリア、およびFIFOポートアクセス可能かどうかを設定するレジスタです。

## DTLN[8:0]ビット(受信データ長表示ビット)

受信データ長が表示されます。

FIFOバッファ読み出し中のDTLN[8:0]ビットの値は、CFIFOSEL.RCNTビットの設定値により以下のように異なります。

- RCNT = “0” のとき

CPUがFIFOバッファ1面分の受信データを読み出し完了するまで、USBモジュールは受信データ長をDTLN[8:0]ビットに表示します。

PIPECFG.BFRE = “1” のときには、読み出しが完了してもBCLR = “1” を行うまではUSBモジュールは受信データ長を保持します。

- RCNT = “1” のとき

読み出しごとにUSBモジュールはDTLNビットの表示をダウンカウントします。(MBW = “0” のときは-1、MBW = “1” のときは-2ずつダウンカウント)

1面分のFIFOバッファ読み出し完了時に、USBモジュールはDTLN = “0” を表示します。ただし、ダブルバッファ設定時かつFIFOバッファ1面分の受信データの読み出しを完了する前にもう1面分のFIFOバッファに受信完了した場合は、先の1面分の読み出し完了時に後の1面分の受信データ長をFIFOポートコントロールレジスタのDTLNビットに表示します。

### FRDYビット (FIFOポートレディビット)

CPUからFIFOポートにアクセス可能かどうかが表示されます。

以下の場合には、USBモジュールはFRDY = “1” を表示しますが、読み出すべきデータがないためFIFOポートからのデータ読み出しはできません。これらのケースでは、BCLR = “1” にしてFIFOバッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- 選択パイプにアサインされているFIFOバッファが空の状態Zero-Lengthパケット受信した場合
- PIPECFG.BFRE = “1” にしたとき、ショートパケットを受信し、データ読み出しを完了した場合

### BCLRビット (CPUバッファクリアビット)

選択パイプのCPU側のFIFOバッファをクリアする場合に“1”にします。

選択パイプにアサインされているFIFOバッファがダブルバッファ設定の場合で、両面ともに読み出し可能状態である場合でも、USBモジュールは片面のFIFOバッファのみをクリアします。

選択パイプがDCPの場合は、FIFOバッファがCPU側、SIE側にかかわらず、BCLR = “1” を書くことによってUSBモジュールはFIFOバッファをクリアします。SIE側のバッファをクリアするときには、DCPコントロールレジスタのPIDビットを必ずNAKに設定した後でBCLR = “1” にしてください。

選択パイプが送信方向の場合、BVALビットとBCLRビットへ同時に“1”を書いた場合には、USBモジュールはそれ以前に書き込んだデータをクリアし、Zero-Lengthパケットを送信可能な状態にします。

選択パイプがDCP以外の場合、BCLRビットへの“1”書き込みは、USBモジュールがFIFOポートコントロールのFRDY = “1” を示しているときに実施してください。

### BVALビット (バッファメモリ有効フラグ)

CURPIPEに指定したパイプ (選択パイプ) のCPU側のFIFOバッファの書き込み終了時に“1”にします。

選択パイプが送信方向のとき、以下の場合にBVALビットを“1”にしてください。USBモジュールはCPU側のFIFOバッファをSIE側にし、送信可能状態にします。

- ショートパケットの送信を行いたいとき、データ書き込み終了時にBVALビットに“1”を設定
- Zero-Lengthパケットの送信を行いたいとき、FIFOバッファへデータを書き込む前にBVALビットに“1”を設定

MaxPacketSize分のデータを書くと、USBモジュールがBVALビットを“1”にし、CPU側のFIFOバッファをSIE側にし、送信可能状態にします。

BVALビットへの“1”書き込みは、USBモジュールがFRDY = “1” を示しているときに実施してください。

選択パイプが受信方向のときには、BVALビットへの“1”書き込みを行わないでください。

## 27.2.7 割り込み許可レジスタ0 (INTENB0)

アドレス 2E31h ~ 2E30h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b8	BRDYE	バッファレディ割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可ビット(注1)	0：割り込み出力禁止 1：割り込み出力許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可ビット(注1)	0：割り込み出力禁止 1：割り込み出力許可	R/W
b13	SOFE	フレーム番号更新割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b14	RSME	レジューム割り込み許可ビット(注1)	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15	VBSE	VBUS割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W

注1. RSMEビット、DVSEビットおよびCTREビットは、ファンクションコントローラ機能選択時のみ設定ができます。ホストコントローラ機能選択時は、許可を行わないでください。

INTENB0レジスタは、各割り込みを制御するレジスタです。ソフトウェアがINTENB0レジスタの“1”にしたビットに対応する割り込みをUSBモジュールが検出した場合に、USB割り込みを発生させます。

USBモジュールは、INTENB0レジスタの設定値(割り込み通知の禁止/許可)にかかわらず、各割り込み要因の検出条件を満たしたときにINTSTS0レジスタの対応するステータスビットに“1”を表示します。

各割り込み要因に対応するINTSTS0レジスタのステータスビットが“1”の状態、ソフトウェアがINTENB0レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USBモジュールはUSB割り込み発生させます。

## BRDYEビット (バッファレディ割り込み許可ビット)

BRDY割り込み検出時、USB割り込み出力の禁止/許可を指定します。

## NRDYEビット (バッファノットレディ応答割り込み許可ビット)

NRDY割り込み検出時、USB割り込み出力の禁止/許可を指定します。

## BEMPEビット (バッファエンプティ割り込み許可ビット)

BEMP割り込み検出時、USB割り込み出力の禁止/許可を指定します。

**CTRE ビット (コントロール転送ステージ遷移割り込み許可ビット)**

CTRT割り込み検出時、USB割り込み出力の禁止/許可を指定します。

**DVSE ビット (デバイスステート遷移割り込み許可ビット)**

DVST割り込み検出時、USB割り込み出力の禁止/許可を指定します。

**SOFE ビット (フレーム番号更新割り込み許可ビット)**

SOFR割り込み検出時、USB割り込み出力の禁止/許可を指定します。

**RSME ビット (レジューム割り込み許可ビット)**

RESM割り込み検出時、USB割り込み出力の禁止/許可を指定します。

**VBSE ビット (VBUS割り込み許可ビット)**

VBINT割り込み検出時、USB割り込み出力の禁止/許可を指定します。

本ビットを“1”に設定する前に、割り込みステータスレジスタ0(INTSYS0)のVBINTビットを“0”にしてください。

## 27.2.8 割り込み許可レジスタ1 (INTENB1)

アドレス 2E33h ~ 2E32h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	EOFERRE	SIGNE	SACKE	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	OVRCRE	BCHGE	-	DTCHE	ATTCHE	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	SACKE	セットアップトランザクション正常応答割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	SIGNE	セットアップトランザクションエラー割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	EOFERRE	EOFエラー検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b10-b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b11	ATTCHE	接続検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b12	DTCHE	切断検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b13	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b14	BCHGE	USBバス変化割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15	OVRCRE	オーバカレント入力変化割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W

注1. INTENB1レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ設定ができます。ファンクションコントローラ機能選択時は、許可を行わないでください。

INTENB1レジスタは、ホストコントローラ機能選択時の割り込みマスクの設定、またはSETUPトランザクションの割り込みマスクレジスタの設定を行うレジスタです。

ソフトウェアがINTENB1レジスタを“1”にしたビットに対応する割り込みをUSBモジュールが検出した場合に、USBモジュールはUSB割り込みを発生します。

USBモジュールは、INTENB1レジスタの設定値(割り込み通知の禁止/許可)にかかわらず、各割り込み要因の検出条件を満たしたときにINTSTS1レジスタの対応するステータスビットに“1”を表示します。

各割り込み要因に対応するINTSTS1レジスタのステータスビットが“1”の状態、ソフトウェアがINTENB1レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USBモジュールはUSB割り込み発生させます。

ファンクションコントローラ機能選択時は、INTENB1の割り込み許可を行わないでください。

## SACKEビット(セットアップトランザクション正常応答割り込み許可ビット)

SACK割り込み検出時、USB割り込み出力の禁止/許可を指定します。



**SIGNE ビット (セットアップトランザクションエラー割り込み許可ビット)**

SIGN割り込み検出時、USB割り込み出力の禁止/許可を指定します。

**EOFERRE ビット (EOFエラー検出割り込み許可ビット)**

EOFERR割り込み検出時、USB割り込み出力の禁止/許可を指定します。

**ATTCHE ビット (接続検出割り込み許可ビット)**

ATTCH割り込み検出時のUSB割り込み出力の禁止/許可を指定します。

**DTCHE ビット (切断検出割り込み許可ビット)**

DTCH割り込み検出時のUSB割り込み出力の禁止/許可を指定します。

**BCHGE ビット (USBバス変化割り込み許可ビット)**

BCHG割り込み検出時のUSB割り込み出力の禁止/許可を指定します。

**OVRCRE ビット (オーバカレント入力変化割り込み許可ビット)**

OVRCR割り込み検出時のUSB割り込み出力の禁止/許可を指定します。

## 27.2.9 BRDY割り込み許可レジスタ (BRDYENB)

アドレス 2E37h ~ 2E36h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	-	-	-	PIPE0 BRDYE
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0 BRDYE	パイプ0のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	-			
b4	PIPE4 BRDYE	パイプ4のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5 BRDYE	パイプ5のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6 BRDYE	パイプ6のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7 BRDYE	パイプ7のBRDY割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	-	予約ビット	“0” にしてください	R/W
b9	-			
b15-b10	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。		-

BRDYENBレジスタは、各パイプのBRDY割り込み検出時に、INTSTS0レジスタのBRDYビットを“1”にすることを禁止するか/許可するかを指定します。

ソフトウェアがBRDYENBレジスタを“1”にしたパイプに対して、USBモジュールがBRDY割り込みを検出した場合に、USBモジュールはBRDYSTSレジスタのPIPEBRDYビットの対応するビットに“1”を表示し、INTSTS0レジスタのBRDYビットに“1”を表示し、BRDY割り込みを発生させます。

BRDYSTSレジスタのPIPE<sub>n</sub>BRDYビットのうち、少なくともひとつのビットが“1”の状態、ソフトウェアがBRDYENBレジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USBモジュールはBRDY割り込みを発生させます。

## 27.2.10 NRDY 割り込み許可レジスタ (NRDYENB)

アドレス 2E39h ~ 2E38h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	-	-	-	PIPE0 NRDYE
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0 NRDYE	パイプ0のNRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	PIPE4 NRDYE	パイプ4のNRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5 NRDYE	パイプ5のNRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6 NRDYE	パイプ6のNRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7 NRDYE	パイプ7のNRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	-	予約ビット	"0" にしてください	R/W
b9	-			
b15-b10	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

NRDYENB レジスタは、各パイプのNRDY 割り込み検出時に INTSTS0 レジスタのNRDY ビットを“1”に設定することを禁止する/許可するかを指定します。

ソフトウェアがNRDYENB レジスタを“1”にしたパイプに対して、USBモジュールがNRDY 割り込み要因を検出した場合に、USBモジュールはNRDYSTS レジスタのPIPENRDY ビットの対応するビットに“1”を表示し、INTSTS0 レジスタのNRDY ビットに“1”を表示し、NRDY 割り込みを発生させます。

NRDYSTS レジスタのPIPENRDY ビットの少なくともひとつのビットが“1”の状態、ソフトウェアがNRDYENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USBモジュールはNRDY 割り込みを発生させます。

## 27.2.11 BEMP 割り込み許可レジスタ (BEMPENB)

アドレス 2E3Bh ~ 2E3Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	-	-	-	PIPE0 BEMPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0 BEMPE	パイプ0のBEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	-	予約ビット	“0” にしてください	R/W
b2	-			
b3	-			
b4	PIPE4 BEMPE	パイプ4のBEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5 BEMPE	パイプ5のBEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6 BEMPE	パイプ6のBEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7 BEMPE	パイプ7のBEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	-	予約ビット	“0” にしてください	R/W
b9	-			
b15- b10	-	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は“0”。	-	-

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に INTSTS0 レジスタの BEMP ビットを“1”にすることを禁止するか、許可するかを指定するレジスタです。

ソフトウェアが BEMPENB レジスタを“1”にしたパイプに対して、USB モジュールが BEMP 割り込み要因を検出した場合に、USB モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに“1”を表示し、INTSTS0 レジスタの BEMP ビットに“1”を表示し、BEMP 割り込みを発生させます。

BEMPSTS レジスタの PIPE<sub>n</sub>BEMP ビットのうち、少なくともひとつのビットが“1”の状態、ソフトウェアが BEMPENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB モジュールは BEMP 割り込みを発生させます。

## 27.2.12 SOF出力コンフィグレーションレジスタ(SOFCFG)

アドレス 2E3Dh番地 ~ 2E3Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	BRDYM	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-	予約ビット	読んだ場合、その値は不定	R
b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b6	BRDYM	各パイプのBRDY割り込みステータスクリアタイミング設定ビット	0：ソフトウェアがステータスをクリア 1：FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりUSBモジュールがステータスをクリア	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b8	-	予約ビット	“0”にしてください。	R/W
b15-b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

SOFCFGレジスタは、BRDY割り込みステータスクリアタイミングを指定します。

## BRDYMビット (エッジ割り込み出力ステータスマニタビット)

各パイプのBRDY割り込みステータスをクリアするタイミングを指定します。

## 27.2.13 割り込みステータスレジスタ0 (INTSTS0)

アドレス 2E41h ~ 2E40h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VBSTS	DVSQ [2:0]			VALID	CTSQ [2:0]		
リセット後の値	X (注3)	0	0	0/1(注2)	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY
リセット後の値	X	0	0	0(注1)	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ [2:0]	コントロール転送ステージビット	b2 b0 0 0 0: アイドルまたはセットアップステージ 0 0 1: コントロールリードデータステージ 0 1 0: コントロールリードデータステージ 0 1 1: コントロールライトデータステージ 1 0 0: コントロールライトデータステージ 1 0 1: コントロールライト (NoData) ステータスステージ 1 1 0: コントロール転送シーケンスエラー 1 1 1: 設定しないでください	R
b3	VALID	USBリクエストビット	0: 未検出 1: セットアップパケット受信	R/W (注1)
b6-b4	DVSQ [2:0]	デバイスステートビット	b6 b4 0 0 0: パワードステート 0 0 1: デフォルトステート 0 1 0: アドレスステート 0 1 1: コンフィギュレーションステート 1 x x: サスペンドステート 【記号説明】x: Don't care	R
b7	VBSTS	VBUS入力ステータスビット	0: USB_VBUS端子がLow 1: USB_VBUS端子がHigh	R
b8	BRDY	バッファレディ割り込みステータスビット	0: BRDY割り込み非発生 1: BRDY割り込み発生	R
b9	NRDY	バッファノットレディ割り込みステータスビット	0: NRDY割り込み非発生 1: NRDY割り込み発生	R
b10	BEMP	バッファエンプティ割り込みステータスビット	0: BEMP割り込み非発生 1: BEMP割り込み発生	R
b11	CTRT	コントロール転送ステージ遷移割り込みステータスビット(注3)	0: コントロール転送ステージ遷移割り込み非発生 1: コントロール転送ステージ遷移割り込み発生	R/W (注1)
b12	DVST	デバイスステート遷移割り込みステータスビット(注3)	0: デバイスステート遷移割り込み非発生 1: デバイスステート遷移割り込み発生	R/W (注1)
b13	SOFR	フレーム番号更新割り込みステータスビット	0: SOF割り込み非発生 1: SOF割り込み発生 (1) ホストコントローラ機能設定時 ソフトウェアがUACTビットを“1”に設定しているとき、フレーム番号の更新タイミングでSOFRビットに“1”を表示します。(SOFR割り込みは、1ms毎に検出します。) (2) ファンクションコントローラ機能設定時 フレーム番号の更新時にUSBモジュールはSOFRビットに“1”を表示します。(SOFR割り込みは、1ms毎に検出します。) USBホストからのSOFパケットが破損したときでも、内部補間により、USBモジュールはSOFR割り込みを検出します。	R/W (注1)
b14	RESM	レジューム割り込みステータスビット(注2、3)	0: レジューム割り込み非発生 1: レジューム割り込み発生	R/W (注1)
b15	VBINT	VBUS割り込みステータスビット(注2)	0: VBUS割り込み非発生 1: VBUS割り込み発生	R/W (注1)

注1. VBINTビット、RESMビット、SOFRビット、DVSTビット、CTRTビットまたはVALIDビットをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書き込んでください。“0”を示しているステータスビットへの“0”の書き込みを行わないでください。

注2. VBINTビット、RESMビットが示すステータス変化をクロック停止中(SCKE = “0”)でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

注3. RESMビット、DVSTビット、CTRTビットのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを“0”(禁止)に設定してください。

INTSTS0レジスタは、検出された割り込みのステータスを表示するレジスタです。  
USBバスリセットでDVSQ[2:0]ビットは001bに、DVSTビットは1bに初期化されます。

### CTSQ[2:0]ビット (コントロール転送ステージビット)

ホストコントローラ機能選択時、読み出しは無効です。

### VALIDビット (USBリクエスト受信ビット)

ホストコントローラ機能選択時、読み出しは無効です。

### DVSQ[2:0]ビット (デバイスステートビット)

ホストコントローラ機能選択時、読み出しは無効です。

### BRDYビット (バッファレディ割り込みステータスビット)

BRDY割り込みステータスが表示されます。

BRDYENB レジスタのPIPEBRDYE ビットを“1”にしたパイプに対応するBRDYSTS レジスタのPIPEnBRDYビットのうち、少なくともひとつが“1”になったとき (ソフトウェアがBRDY割り込み通知を許可したパイプのうち少なくともひとつに対しUSBモジュールがBRDY割り込み状態を検出したとき)に、USBモジュールはBRDYビットに“1”を表示します。

PIPEBRDYステータスのアサート条件は、「27.3.3.1 BRDY割り込み」を参照ください。

ソフトウェアが、PIPEBRDYE ビットで許可しているパイプに対応するPIPEnBRDYビットのすべてに“0”を書くと、USBモジュールはBRDYビットを“0”にします。

ソフトウェアがBRDYビットに対して“0”を書いても、BRDYビットを“0”にすることはできません。

### NRDYビット (バッファノットレディ割り込みステータスビット)

NRDYENB レジスタのPIPENRDYE ビットを“1”にしたパイプに対応するNRDYSTS レジスタのPIPENRDYビットのうち、少なくともひとつが“1”になったとき (ソフトウェアがNRDY割り込み通知を許可したパイプのうち少なくともひとつに対しUSBモジュールがNRDY割り込み状態を検出したとき)に、USBモジュールはNRDYビットに“1”を表示します。

PIPENRDYステータスのアサート条件は、「27.3.3.2 NRDY割り込み」を参照ください。

ソフトウェアが、PIPENRDYE ビットで許可しているパイプに対応するPIPENRDYビットのすべてに“0”を書くと、USBモジュールはNRDYビットを“0”にします。

ソフトウェアがNRDYビットに対して“0”を書いても、NRDYビットを“0”にすることはできません。

### BEMPビット (バッファエンプティ割り込みステータスビット)

BEMPENB レジスタのPIPEBEMPE ビットを“1”にしたパイプに対応するBEMPSTS レジスタのPIPEBEMPビットのうち、少なくともひとつが“1”になったとき (ソフトウェアがBEMP割り込み通知を許可したパイプのうち少なくともひとつに対しUSBモジュールがBEMP割り込み状態を検出したとき)に、USBモジュールはBEMPビットに“1”を表示します。

PIPEBEMPステータスのアサート条件は、「27.3.3.3 BEMP割り込み」を参照ください。

ソフトウェアが、PIPEBEMPE ビットで許可しているパイプに対応するPIPEBEMPビットすべてに“0”を書くと、USBモジュールはBEMPビットを“0”にします。

ソフトウェアがBEMPビットに対して“0”を書いても、BEMPビットを“0”にすることはできません。

### CTRTビット (コントロール転送ステージ遷移割り込みステータスビット)

ファンクションコントローラ機能設定時、USBモジュールがコントロール転送のステージ遷移を検出したときに、USBモジュールはCTS<sub>Q</sub>の値を更新し、CTRTビットに“1”を表示します。

コントロール転送ステージ遷移割り込みが発生したときには、USBモジュールがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

### DVSTビット (デバイスステート遷移割り込みステータスビット)

ファンクションコントローラ機能設定時、USBモジュールがデバイスステートの变化を検出したときに、USBモジュールはDVS<sub>Q</sub>の値を更新し、DVSTビットに“1”を表示します。

デバイスステート遷移割り込みが発生したときには、USBモジュールが次のデバイスステート遷移を検出する前に、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

### SOF<sub>R</sub>ビット (フレーム番号更新割り込みステータスビット)

#### (1)ホストコントローラ機能設定時

ソフトウェアがDVSTCTR0.UACTビットを“1”にしているとき、フレームナンバーの更新タイミングでSOF<sub>R</sub>ビットに“1”を表示します。(フレーム番号更新割り込みは、1msごとに検出します。)

#### (2)ファンクションコントローラ機能設定時

フレームナンバーの更新時にUSBモジュールはSOF<sub>R</sub>ビットに“1”を表示します。(フレーム番号更新割り込みは、1msごとに検出します。)

USBホストからのSOFパッケージが破損したときでも、内部補間により、USBモジュールはSOF<sub>R</sub>割り込みを検出します。

### RESMビット (レジューム割り込みステータスビット)

ファンクションコントローラ機能設定時、USBモジュールがサスペンド状態 (DVS<sub>Q</sub> = 1xx) であり、かつ、USB<sub>m</sub>\_DP端子の立ち下りを検出したときに、RESMビットに“1”を表示します。

ホストコントローラ機能選択時、読み出し値は無効です。

### VBINTビット (VBUS割り込みステータスビット)

USBモジュールがUSB\_VBUS端子入力値の変化 (HighからLowへの変化あるいはLowからHighへの変化)を検出したときに、VBINTビットに“1”を表示します。USBモジュールはUSB\_VBUS端子の入力値を、VBSTSビットに表示します。VBINT割り込み発生時は、ソフトウェアでVBSTSビット読み出しの数度一致を行い、チャタリング除去を実施してください。割り込み許可レジスタ0 (INTENB0)のVBUS割り込み許可ビット (VBSE)を“1”に設定する前に、VBINTビットを“0”にしてください。



## 27.2.14 割り込みステータスレジスタ1 (INTSTS1)

アドレス 2E43h ~ 2E42h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	EOFERR	SIGN	SACK	-			
リセット後の値	0	0	0	0/1	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	OVRCCR	BCHG	-	DTCH	ATTCH	-	-	-
リセット後の値	X	0	0	0/1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	SACK	セットアップトランザクション正常応答割り込みステータスビット	0: SACK 割り込み非発生 1: SACK 割り込み発生	R/W (注1)
b5	SIGN	セットアップトランザクションエラー割り込みステータスビット	0: SIGN 割り込み非発生 1: SIGN 割り込み発生	R/W (注1)
b6	EOFERR	EOFエラー検出割り込みステータスビット	0: EOFERR 割り込み非発生 1: EOFERR 割り込み発生	R/W (注1)
b10-b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b11	ATTCH	ATTCH 割り込みステータスビット	0: ATTCH 割り込み非発生 1: ATTCH 割り込み発生	R/W (注1)
b12	DTCH	USB切断検出割り込みステータスビット	0: DTCH 割り込み非発生 1: DTCH 割り込み発生	R/W (注1)
b13	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b14	BCHG	USBバス変化割り込みステータスビット(注2)	0: BCHG 割り込み非発生 1: BCHG 割り込み発生	R/W (注1)
b15	OVRCCR	オーバカレント入力変化割り込みステータスビット(注2)	0: OVRCCR 割り込み非発生 1: OVRCCR 割り込み発生	R/W (注1)

注1. INTSTS1レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書き込んでください。

注2. OVRCCR ビットおよびBCHG ビットが示すステータス変化をクロック停止中 (SCKE = “0”) でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。OVRCCR ビットおよびBCHG ビット以外の割り込みは、クロック停止中 (SCKE = “0”) は検出しません。

INTSTS1 レジスタは、ホストコントローラ機能選択時の各割り込みのステータスを確認するレジスタです。

INTSTS1 レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

## SACK ビット (セットアップトランザクション正常応答割り込みステータスビット)

ホストコントローラ機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。

USBモジュールが発行したSETUPトランザクションにおいて、周辺デバイスからのACK応答を受信したときに、USBモジュールはSACK 割り込みを検出し、SACK ビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USBモジュールはSACK 割り込みを発生します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

### SIGNビット (セットアップトランザクションエラー割り込みステータスビット)

ホストコントローラ機能選択時、セットアップトランザクションエラー割り込みステータスが表示されます。

USBモジュールが発行したSETUPトランザクションにおいて、周辺デバイスがACK応答を行わない状態が連続3回発生したときに、USBモジュールはSIGN割り込みを検出し、SIGNビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USBモジュールはSIGN割り込み発生をします。

USBモジュールのSIGN割り込み検出条件は、具体的には3回の連続したSETUPトランザクションに対して、以下のいずれかの応答が発生したときです。

- 周辺デバイスが何も応答しない状態でUSBモジュールがタイムアウトを検出したとき
- ACKパケットが破損したとき
- ACK以外のハンドシェイク (NAK、NYET、またはSTALL) を受信したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

### EOFERRビット (EOFエラー検出割り込みステータスビット)

ホストコントローラ機能選択時、EOFERR割り込みステータスが表示されます。

USB2.0仕様に定められているEOF2 タイミング時点で通信が終了しないことをUSBモジュールが検出したときに、EOFERR割り込みを検出し、EOFERRビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USBモジュールはEOFERR割り込みを発生します。

USBモジュールは、EOFERR割り込みを検出後（該当する割り込み許可ビットの設定に関わらず）以下のハードウェア制御を行います。ソフトウェアは、USBポートに対して通信を行っているパイプをすべて通信終了させ、USBポートへの再Enumerationを行ってください。

- EOFERR割り込みを検出したポートのUACTビットを“0”に変更し表示
- EOFERR割り込みが発生したポートをアイドル状態に遷移させる

ファンクションコントローラ機能選択時、読み出し値は無効です。

### ATTCHビット (ATTCH割り込みステータスビット)

ホストコントローラ機能選択時、ATTCH割り込みステータスが表示されます。

USBモジュールがポートにフルスピード信号レベルのJ-StateまたはK-Stateを2.5μs間検出したとき、USBモジュールはATTCH割り込みを検出し、ATTCHビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USBモジュールは割り込み発生をします。

USBモジュールのATTCH割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0またはSE1からJ-Stateに変化しJ-Stateのまま2.5μs間継続したとき
- J-State、SE0またはSE1からK-Stateに変化しK-Stateのまま2.5μs間継続したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

### DTCHビット (USB切断検出割り込みステータスビット)

ホストコントローラ機能選択時、USB切断検出割り込みステータスが表示されます。

USBバスディスコネクタ検出時に、USBモジュールはDTCH割り込みを検出し、DTCHビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USBモジュールは割り込み発生します。

USBモジュールは、USB 2.0仕様に準じた基準でバスディスコネクタを検出します。

USBモジュールは、DTCH割り込みを検出後(該当する割り込み許可ビットの設定値にかかわらず)以下のハードウェア制御を行います。ソフトウェアは、USBポートに対して通信を行っているパイプをすべて通信終了させ、USBポートへのアタッチ (ATTCH 割り込み発生) 待ちの状態に遷移してください。

- DTCH割り込みを検出したポートのUACTビットを“0”に変更し表示
- DTCH割り込みが発生したポートをアイドル状態に遷移

ファンクションコントローラ機能選択時、読み出し値は無効です。

### BCHGビット (USBバス変化割り込みステータスビット)

USBバス変化割り込みステータスが表示されます。

USBポートでフルスピード信号レベルでの状態変化が発生した (J-State、K-State、またはSE0のいずれかの状態から、J-State、K-State、またはSE0のいずれかの状態に変化した) ときに、USBモジュールはBCHG割り込みを検出し、BCHGビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USBモジュールは割り込み発生を発生させます。

USBポートの現在の入力状態を、SYSSTS0レジスタのLNSTビットに表示します。BCHG端子割り込み発生時は、ソフトウェアでLNSTビット読み出しの数度一致を行い、チャタリング除去を実施してください。

USBバス変化は、内部クロック停止状態でも検出します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

### OVRCCRビット (オーバカレント入力変化割り込みステータスビット)

USB\_OVRCURAおよびUSB\_OVRCURB入力端子の変化割り込みステータスが表示されます。

USB\_OVRCURA または USB\_OVRCURB 端子入力値の少なくともどちらか一方が変化 (High から Low への変化あるいはLowからHighへの変化) したときに、USBモジュールはOVRCCR割り込みを検出し、OVRCCRビットに“1”を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを“1”にしていれば、USBモジュールは割り込みを発生させます。

## 27.2.15 BRDY割り込みステータスレジスタ (BRDYSTS)

アドレス 2E47h ~ 2E46h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	-	-	-	PIPE0BRDY
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0のBRDY割り込みステータスビット(注2)	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	PIPE4BRDY	パイプ4のBRDY割り込みステータスビット(注2)	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b5	PIPE5BRDY	パイプ5のBRDY割り込みステータスビット(注2)	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b6	PIPE6BRDY	パイプ6のBRDY割り込みステータスビット(注2)	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b7	PIPE7BRDY	パイプ7のBRDY割り込みステータスビット(注2)	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b8	-	予約ビット	"0" にしてください	R/W
b9	-			
b15-b10	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-

注1. BRDYM = "0" の場合、BRDYSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ "0" を、その他のビットには "1" を書いてください。

注2. BRDYM = "0" の場合、BRDY 割り込みのクリアは、必ず FIFO アクセスを行う前に実施してください。

BRDYSTS レジスタは、各パイプのBRDY 割り込みステータスを表示するレジスタです。

## 27.2.16 NRDY割り込みステータスレジスタ(NRDYSTS)

アドレス 2E49h ~ 2E48h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	-	-	-	PIPE0NRDY
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0のNRDY割り込みステータスビット	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	PIPE4NRDY	パイプ4のNRDY割り込みステータスビット	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b5	PIPE5NRDY	パイプ5のNRDY割り込みステータスビット	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b6	PIPE6NRDY	パイプ6のNRDY割り込みステータスビット	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b7	PIPE7NRDY	パイプ7のNRDY割り込みステータスビット	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b8	-	予約ビット	"0" にしてください	R/W
b9	-			
b15-b10	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-

注1. NRDYSTSレジスタの各ビットが示すステータスを"0"にする場合は、クリアしたいビットにのみ"0"を、その他のビットには"1"を書いてください。

NRDYSTSレジスタは、各パイプのNRDY割り込みステータスを表示するレジスタです。

## 27.2.17 BEMP 割り込みステータスレジスタ (BEMPSTS)

アドレス 2E4Bh ~ 2E4Ah 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	-	-	-	PIPE0BEMP
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0のBEMP 割り込みステータスビット	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	PIPE4BEMP	パイプ4のBEMP 割り込みステータスビット	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b5	PIPE5BEMP	パイプ5のBEMP 割り込みステータスビット	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b6	PIPE6BEMP	パイプ6のBEMP 割り込みステータスビット	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b7	PIPE7BEMP	パイプ7のBEMP 割り込みステータスビット	0: 割り込み非発生 1: 割り込み発生	R/W (注1)
b8	-	予約ビット	"0" にしてください	R/W
b9	-			
b15-b10	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-

注1. BEMPSTSレジスタの各ビットが示すステータスを"0"にする場合は、クリアしたいビットにのみ"0"を、その他のビットには"1"を書いてください。

BEMPSTSレジスタは、各パイプのBEMP 割り込みステータスを表示するレジスタです。

## 27.2.18 フレームナンバーレジスタ (FRMNUM)

アドレス 2E4Dh ~ 2E4Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FRNM[10:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	FRNM[10:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号ビット	USBモジュールは、1msに1回のSOF発行タイミングまたはSOF受信時にFRNM[10:0]ビットを書き替え、最新のフレーム番号を表示します。FRNM[10:0]ビットを読み出すときは、2度一致で読み出してください。	R
b12-b11	-	予約ビット	“0” にしてください。	R/W
b13	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b14	-	予約ビット	“0” にしてください。	R/W
b15	-			

FRMNUMレジスタは、フレーム番号表示のレジスタです。

## 27.2.19 USBアドレスレジスタ(USBADDR)

アドレス 2E51h ~ 2E50h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	USBADDR [6:0]						-
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	USBADDR [6:0]	USBアドレスビット	ファンクションコントローラ機能選択時、SET_ADDRESSリクエストを正常に処理したときに、ホストから割り付けられたUSBアドレスを表示します	R/W
b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b11-b8	-	予約ビット	“0”にしてください	R/W
b15-b12	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

USBADDRレジスタは、USBアドレスを表示するレジスタです。

## USBADDR[6:0]ビット (USBアドレスビット)

USBモジュールがUSBバスリセットを検出したとき、USBADDR[6:0]ビットに00hを表示します。ホストコントローラ機能選択時、USBADDR[6:0]ビットは無効です。USBADDR[6:0]ビットは、USBバスリセット検出で初期化されます。



## 27.2.20 USBリクエストタイプレジスタ(USBREQ)

アドレス 2E55h ~ 2E54h番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BMREQUESTTYPE [7:0]							
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	BREQUEST [7:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE [7:0]	リクエストタイプビット	USBリクエストbmRequestTypeの値を格納します • ホストコントローラ機能選択時 送信するSETUPトランザクションのUSBリクエストデータ値を設定してください。 SUREQ = " 1 " の状態で BMREQUESTTYPE[7:0]ビットの書き替えは行わないでください • ファンクションコントローラ機能選択時 SETUPトランザクションで受信したUSBリクエストデータ値を表示します。書き込みは無効です	R/W (注1)
b15-b8	BREQUEST [7:0]	リクエストビット	USBリクエストbRequestの値を格納します • ホストコントローラ機能選択時 送信するSETUPトランザクションのUSBリクエストデータ値を設定してください。 SUREQ = " 1 " の状態でBREQUEST[7:0]ビットの書き替えは行わないでください • ファンクションコントローラ機能選択時 SETUPトランザクションで受信したUSBリクエストデータ値を表示します。書き込みは無効です	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBREQレジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQレジスタは、ファンクションコントローラ機能選択時、受信したbRequestおよびbmRequestTypeの値が格納されます。ホストコントローラ機能選択時、送信するbRequestおよびbmRequestTypeの値を設定します。

USBREQレジスタは、USBバスリセットで初期化されます。

## 27.2.21 USBリクエストバリュeregスタ(USBVAL)

アドレス 2E57h ~ 2E56h番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WVALUE [15:0]							
リセット後の値	0	0	0	0	0	0	0	0
ビット								
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	WVALUE [15:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	WVALUE [15:0]	バリュeregビット	USBリクエストwValueの値を格納します ・ホストコントローラ機能を選択時 送信するSETUPトランザクションのUSBリクエストwValueの値を設定してください。 SUREQ = “ 1 ” の状態でWVALU[15:0]ビットの書き替えは行わないでください ・ファンクションコントローラ選択時 SETUPトランザクションで受信したUSBリクエストwValueの値を表示します。 WVALU[15:0]ビットへの書き込みは無効です	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBVALレジスタは、ファンクションコントローラ機能選択時、受信したwValueの値が格納されます。ホストコントローラ機能選択時、送信するwValueの値を設定します。

USBVALレジスタは、USBバスリセットで初期化されます。

## 27.2.22 USBリクエストインデックスレジスタ(USBINDX)

アドレス 2E59h ~ 2E58h番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WINDEX [15:0]							
リセット後の値	0	0	0	0	0	0	0	0
ビット								
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	WINDEX [15:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	WINDEX [15:0]	インデックスビット	USBリクエストwIndexの値を格納します ・ホストコントローラ機能を選択時 送信するSETUPトランザクションのUSBリクエストwIndexの値を設定してください。 DCPCTR.SUREQ = "1" の状態で WINDEX[15:0]ビットの書き替えは行わないでください ・ファンクションコントローラ選択時 SETUPトランザクションで受信したUSBリクエストwIndexの値を表示します WINDEX[15:0]ビットへの書き込みは無効です	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBINDXレジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBINDXレジスタは、ファンクションコントローラ機能選択時、受信したwIndexの値が格納されます。ホストコントローラ機能選択時、送信するwIndexの値を設定します。

USBINDXレジスタは、USBバスリセットで初期化されます。

## 27.2.23 USBリクエストレングスレジスタ (USBLENG)

アドレス 2E5Bh ~ 2E5Ah番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WLENGTH [15:0]							
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	WLENGTH [15:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	WLENGTH [15:0]	レングスビット	<ul style="list-style-type: none"> <li>• USBリクエストwLengthの値を格納します</li> <li>• ホストコントローラ機能を選択時 送信するSETUPトランザクションのUSBリクエストwLengthの値を設定してください。DCPCTR.SUREQ = "1"の状態での書き換えは行わないでください</li> <li>• ファンクションコントローラ選択時 SETUPトランザクションで受信したUSBリクエストwLengthの値を表示します。WLENGTH [15:0]ビットへの書き込みは無効です</li> </ul>	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBLENGレジスタはコントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENGレジスタは、ファンクションコントローラ機能選択時、受信したwLengthの値が格納されます。ホストコントローラ機能選択時、送信するwLengthの値を設定します。

USBLENGレジスタは、バスリセットで初期化されます。

## 27.2.24 DCP コンフィギュレーションレジスタ (DCPCFG)

アドレス 2E5Dh ~ 2E5Ch 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SHTNAK	-	-	DIR	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	DIR	転送方向設定ビット(注1)	0: データ受信方向 1: データ送信方向	R/W
b6-b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット(注1)	0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止	R/W
b15-b8	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. 設定の変更は、PID = NAKの状態のときに実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

DCPCFGレジスタは、デフォルトコントロールパイプ (DCP) に対して、データの転送方向、トランスファ終了時のパイプ禁止を指定するレジスタです。

## DIR ビット (転送方向設定ビット)

ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。

ファンクションコントローラ機能選択時には、DIRビットを“0”にしてください。

## SHTNAK ビット (トランスファ終了時のパイプ禁止ビット)

コントロール転送が受信方向の場合に、トランスファ終了時にPIDをNAKに変更するかどうかを指定します。

SHTNAKビットは、受信方向である場合に有効なビットです。

SHTNAKビットを“1”にしている場合、USBモジュールは、トランスファの終了を判定したときにDCPのPIDビットをNAKに変更します。USBモジュールは、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ (Zero-Lengthパケットを含む) を正常に受信したとき

## 27.2.25 DCPマックスパケットサイズレジスタ(DCPMAXP)

アドレス 2E5Fh ~ 2E5Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	MXPS [6:0]						-
リセット後の値	0	1	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	DEVSEL[3:0]				-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS [6:0]	マックスパケットサイズビット (注1)	DCPの最大データペイロード(マックスパケットサイズ)をMXPS[6:0]ビットに設定してください。初期値は、40h(64バイト)です。MXPSビットの設定は、USB規格に準拠した値を設定してください。MXPS = "0"の設定でのFIFOバッファへの書き込み、またはPID = BUFの設定は行わないでください	R/W
b11-b7	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b15-b12	DEVSEL [3:0]	デバイス選択ビット(注2)	b15 b12 0 0 0 0 : アドレス0000 0 0 0 1 : アドレス0001 0 0 1 0 : アドレス0010 0 0 1 1 : アドレス0011 0 1 0 0 : アドレス0100 0 1 0 1 : アドレス0101 上記以外 : 設定しないでください	R/W

注1. MXPS[6:0]ビットの設定の変更は、PID=NAKの状態のときに実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。またMXPS[6:0]ビットの設定変更後には、CURPIPEビットへDCPを設定後、BCLR = “1”にてバッファクリア処理を実施してください。

注2. DEVSELビットの設定の変更は、PID=NAKの状態およびSUREQ = “0”の期間に実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

DCPMAXPレジスタは、DCPに対して、マックスパケットサイズを指定するレジスタです。

## DEVSEL[3:0]ビット (デバイス選択ビット)

ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。

DEVSEL[3:0]ビットの設定値に対応するDEVADDn (n = 0 ~ 5) レジスタの設定を行ったあとで、DEVSEL[3:0]ビットを設定してください。例えば、DEVSEL = 0010を設定する場合、DEVADD2レジスタにアドレスの設定を行ってください。

ファンクションコントローラ機能選択時は、DEVSEL[3:0]ビットの値を“0000b”にしてください。

## 27.2.26 DCPコントロールレジスタ(DCPCTR)

アドレス 2E61h ~ 2E60h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SQSET	SQMON	PBUSY	-	-	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	BSTS	SUREQ	-	-	SUREQCLR	-	-	SQCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 00: NAK応答 01: BUF応答 (バッファ状態に従う) 10: STALL応答 11: STALL応答	R/W
b2	CCPL	コントロール転送終了許可ビット	0: 無効 1: コントロール転送終了許可	R/W
b4-b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b5	PBUSY	パイプビジービット	0: DCPはトランザクションで未使用 1: DCPはトランザクションで使用	R
b6	SQMON	シーケンスストグルビットモニタビット	0: DATA0 1: DATA1	R
b7	SQSET	トグルビットセットビット(注3)	0: 無効 1: DATA1指定	R/W (注1)
b8	SQCLR	トグルビットクリアビット(注3)	0: 無効 1: DATA0指定	R/W (注1)
b10-b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b11	SUREQCLR	SUREQビットクリアビット	0: 無効 1: SUREQビットに“0”ライト実行	R/W (注2)
b13-b12	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
b14	SUREQ	SETUPトークン送出ビット	0: 無効 1: セットアップパケット送出	R/W (注2)
b15	BSTS	バッファステータスビット	0: バッファアクセス不可能 1: バッファアクセス可能	R

注1. 読むと“0”が読めます。“1”書くことのみ有効です。

注2. “1”を書くことのみ有効です。

注3. SQSETビットおよびSQCLRビットへの“1”書き込みは、PID = NAKの状態のときに実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

DCPCTRレジスタは、DCPに対して、バッファメモリステータスの確認、データPIDシーケンスビットの変更と確認、および応答PIDの設定を行うレジスタです。

DCPCTRレジスタのCCPL、PID[1:0]ビットはUSBバスリセットで初期化されます。

## PID[1:0]ビット (応答PIDビット)

PID[1:0]ビットでコントロール転送におけるUSBモジュールの応答を制御します。

### (1) ホストコントローラ機能選択時

以下の手順でPID[1:0]ビットをNAKからBUFに変更してください。

- 送信方向設定時  
UACT = “1” かつPID = NAKの状態ではFIFOバッファに送信データを書き込み完了し、PID = BUFを書き込んでください。PID = BUFの書き込み後、USBモジュールはOUTトランザクションを実行します。
- 受信方向設定時  
UACT = “1” かつPID = NAKの状態ではFIFOバッファが空の状態であることを確認し(空の状態にし)、PID = BUFを書き込んでください。PID = BUFの書き込み後、USBモジュールはINトランザクションを実行します。

以下の場合に、USBモジュールがPID[1:0]ビットの値を変更します。

- ソフトウェアがPID[1:0]ビットにBUFを設定しているときに、USBモジュールがMaxPacketSizeを超えるデータを受信した場合、USBモジュールはPID = STALL (11)を表示します。
- CRCエラーなどの受信エラーを3回連続で検出した場合には、USBモジュールはPID = NAKを表示します。
- STALLハンドシェイクを受信した場合、USBモジュールはPID = STALL (11)を表示します。

### (2) ファンクションコントローラ機能選択時

以下の場合に、USBモジュールがPID[1:0]ビットの値を変更します。

- USBモジュールがSETUPパケットを受信したときに、USBモジュールはPID[1:0]ビットをPID = NAKに変更します。このとき、USBモジュールはVALID = “1”を表示し、ソフトウェアでVALID = “0”にするまでは、ソフトウェアはPID[1:0]ビットを変更できません。
- ソフトウェアがPID[1:0]ビットにBUFを設定しているときに、USBモジュールがMaxPacketSizeを超えるデータを受信した場合、USBモジュールはPID = STALL (11)を表示します。
- USBモジュールがコントロール転送シーケンスエラーを検出した場合、PID = STALL (1x)を表示します。
- USBモジュールがUSBバスリセットを検出した場合、PID = NAKを表示します。

SET\_ADDRESS リクエスト処理 (自動処理) 時には、USBモジュールはPID[1:0]ビットの設定値を参照しません。

## CCPLビット (コントロール転送終了許可ビット)

ファンクションコントローラ機能選択時に、CCPLビットを“1”にすることによりコントロール転送のステータスステージの終了許可を設定します。

対応するPIDビットがBUFのとき、ソフトウェアがCCPLビットを“1”にすると、USBモジュールはコントロール転送のステージを完了させます。

即ち、コントロールリード転送時ではUSBホストからのOUTトランザクションに対してACKハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時ではUSBホストからのINトランザクションに対してZero-Lengthパケットを送信します。ただし、SET\_ADDRESS リクエスト検出時は、CCPLビットの設定値に関係なくUSBモジュールはSETUPステージからステータスステージ完了まで自動応答を行います。

新たなSETUPパケットを受信したときに、USBモジュールはCCPLビットを“1”から“0”に変更します。

VALID = “1”のとき、ソフトウェアはCCPLビットへの“1”書き込みを行うことができません。

ホストコントローラ機能選択時には、CCPLビットへは“0”を書き込んでください。



### PBUSYビット (パイプビジービット)

DCPがPIDビットをBUFからNAKに変更した場合に、DCPのトランザクションで使用されなくなったかを表示します。

USBモジュールは、当該パイプのUSBトランザクションを開始したときにPBUSYビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYビットを“1”から“0”に変更します。

ソフトウェアがPID = NAKを設定した後、PBUSYビットを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「27.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

### SQMONビット (シーケンストグルビットモニタビット)

DCPの転送において、次のトランザクションのシーケンストグルビット値が表示されます。

トランザクションが正常処理するとUSBモジュールはSQMONビットをトグルさせます。ただし、受信方向転送時のDATA-PID mismatch発生時には、SQMONビットをトグルさせません。

ファンクションコントローラ機能選択時、SETUPパケット正常受信時に、USBモジュールはSQMONビットを“1” (期待値をDATA1に設定) にします。

また、ファンクションコントローラ機能選択時、USBモジュールはステータスステージのIN/OUTトランザクションではSQMONビットを参照しません。また正常終了してもトグルさせません。

### SQSETビット (トグルビットセットビット)

DCPの転送において、次のトランザクションのシーケンストグルビット値をDATA1に設定することができます。

SQCLRビットとSQSETビットを同時に“1”にしないでください。

### SQCLRビット (トグルビットクリアビット)

DCPの転送において、次のトランザクションのシーケンストグルビット値をDATA0に設定することができます。SQCLRビットは常に“0”を表示します。

SQCLRビットとSQSETビットを同時に“1”にしないでください。

### SUREQCLRビット (SUREQビットクリアビット)

ホストコントローラ機能選択時に、SUREQCLRビットを“1”にすることによってSUREQビットをクリアすることができます。SUREQCLRビットは常に“0”を表示します。

SETUPトランザクションにおいて、SUREQ = “1”のまま通信が停止したときに、ソフトウェアでSUREQCLRビットを“1”にしてください。正常なSETUPトランザクションでは、トランザクション終了時にUSBモジュールが自動的にSUREQビットを“0”にしますので、ソフトウェアによるクリア処理は不要です。

SUREQCLRビットによるSUREQビットの制御は、UACT = “0”による通信停止時、またはデータチ検出時で転送を行っていないことが確実なときに行ってください。

ファンクションコントローラ機能選択時、SUREQCLRビットへは“0”を書いてください。

### SUREQビット (SETUPトークン送出ビット)

ホストコントローラ機能選択時、SUREQビットを“1”にすることにより、セットアップパケットを送信します。

SETUPトランザクション処理終了後、USBモジュールはSACK割り込み、もしくはSIGN割り込みのどちらかを発生させ、SUREQビットを“0”にします。

また、SUREQCLRビットをソフトウェアで“1”にすることにより、USBモジュールはSUREQビットを“0”にします。

DEVSELビット、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタおよびUSBLENGレジスタにSETUPトランザクションで送信したいUSBリクエストを設定した後で、SUREQビットを“1”にしてください。SUREQ=“1”にする前に、DCPのPIDビットをNAKに設定していることを確認してください。また、SUREQビットを“1”にした後、SETUPトランザクションが終了するまで (SUREQ=“1”)の期間はDEVSELビット、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタの値を変更しないでください。

SETUPトークンを出すときのみSUREQビットを“1”にしてください。その他のときには、“0”を書いてください。

ファンクションコントローラ機能選択時、SUREQビットへは“0”を書いてください。

### BSTSビット (バッファステータスビット)

DCP FIFOバッファへのアクセス可否ステータスが表示されます。

BSTSビットの意味は、ISELビットの設定値により以下のように異なります。

- ISEL = “0” のとき、受信データの読み出しが可能かどうかを表示
- ISEL = “1” のとき、送信データの書き込みが可能かどうかを表示

## 27.2.27 パイプウィンドウ選択レジスタ(PIPESEL)

アドレス 2E65h ~ 2E64h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	PIPESEL [3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL [3:0]	パイプウィンドウ選択	b3 b0 0 0 0 0 : 未選択 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 上記以外 : 設定しないでください	R/W
b15-b4	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

PIPESELレジスタは、パイプ番号を指定するレジスタです。

パイプ4～7の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTREおよびPIPEnTRNレジスタで行ってください。

PIPESELレジスタにて使用するパイプを設定した後、PIPECFG、PIPEMAXPおよびPIPEPERIレジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPnTRE、およびPIPnTRNレジスタは、PIPESELレジスタによるパイプ選択とは無関係に設定可能です。

## PIPESEL[3:0]ビット (パイプウィンドウ選択ビット)

書き込み/読み出しを対象とするPIPECFGレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタに対応するパイプ番号を指定します。

PIPESELビットで指定したパイプ番号に対応するPIPECFG、PIPEMAXP、PIPEPERIレジスタの読み出し/書き込みができます。

PIPESELビットを“0000b”にしたときは、PIPECFGレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタ、およびPIPEnCTRレジスタの各ビットは、すべて“0”が読めます。書き込みは無効です。

## 27.2.28 パイプコンフィギュレーションレジスタ(PIPECFG)

アドレス 2E69h ~ 2E68h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SHTNAK	-	-	DIR	EPNUM [3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TYPE [1:0]		-	-	-	BFRE	DBLB	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM [3:0]	エンドポイント番号ビット(注1)	選択パイプのエンドポイント番号を指定します。0000bの設定は、未使用パイプを意味します	R/W
b4	DIR	転送方向指定ビット(注2、3)	0: 受信方向 1: 送信方向	R/W
b6-b5	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット(注1)	0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止	R/W
b8	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b9	DBLB	ダブルバッファモードビット(注2、3)	0: シングルバッファ 1: ダブルバッファ	R/W
b10	BFRE	BRDY割り込み動作指定ビット(注2、3)	0: データ送受信でBRDY割り込み 1: データ読み出し完了時にBRDY割り込み	R/W
b13-b11	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b15-b14	TYPE [1:0]	転送タイプビット(注1)	<ul style="list-style-type: none"> <li>パイプ4~5の場合 b15 b14 0 0: パイプを不使用 0 1: バルク転送 1 0: 設定しないでください 1 1: 設定しないでください</li> <li>パイプ6~7の場合 b15 b14 0 0: パイプ不使用 0 1: 設定しないでください 1 0: インタラプト転送 1 1: 設定しないでください</li> </ul>	R/W

注1. TYPE[1:0]ビット、SHTNAKビットおよびEPNUMビットの設定の変更は、PID=NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注2. BFREビット、DBLBビットおよびDIRビットの設定の変更は、PID = NAKおよびCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注3. 選択パイプを使用したUSB通信を行った後、BFREビット、DBLBビットおよびDIRビットの設定を変更する場合には、注2.の注意事項の状態に加え、ソフトウェアでACLRM = “1”、ACLRM = “0”を連続して書き込み、選択パイプに割り付けられたFIFOバッファのクリアを実行してください。

PIPECFGレジスタは、パイプ4~7に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、またシングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をするレジスタです。

### EPNUM[3:0]ビット (エンドポイント番号ビット)

選択パイプのエンドポイント番号を指定します。

“0000b”の設定は、未使用パイプを意味します。

DIRビットとEPNUMビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください。(EPNUM = 0000の設定は重複可能です。)

### DIRビット (転送方向指定ビット)

選択パイプの転送方向を指定します。

ソフトウェアがDIRビットを“0”にしている場合、USBモジュールは選択パイプを受信方向に、DIRビットを“1”にしている場合、USBモジュールは選択パイプを送信方向に使用します。

### SHTNAKビット (トランスファ終了時のパイプ禁止ビット)

選択パイプが受信方向の場合に、トランスファ終了時にPIDをNAKに変更するかどうかを指定します。

SHTNAKビットは、選択パイプがパイプ4～パイプ5であり、かつ、受信方向である場合に有効なビットです。

受信方向パイプに対してソフトウェアがSHTNAKビットを“1”にしている場合、USBモジュールは、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応するPIDビットをNAKに変更します。USBモジュールは、以下条件が満たされたときにトランスファ終了と判定します。

- ・ショートパケットデータ (Zero-Lengthパケットを含む) を正常に受信したとき
- ・トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

### DBLBビット (ダブルバッファモードビット)

選択パイプが使用するFIFOバッファがシングルバッファかダブルバッファかを指定します。

DBLBビットはパイプ4～5選択時に有効です。

### BFREビット (BRDY割り込み動作指定ビット)

USBモジュールからCPUへの選択パイプに関するBRDY割り込みの発行タイミングを指定します。

ソフトウェアがBFREビットを“1”にし、かつ選択パイプを受信方向で使用している場合、USBモジュールは、トランスファの終了を検出し、そのパケットを読み出し終えたときにBRDY割り込みを発行します。

この設定でBRDY割り込みが発生したときには、ソフトウェアはBCLRビットに“1”を書く必要があります。BCLRビットに“1”を書くまでは選択パイプに割り付けられたFIFOバッファは受信可能状態になりません。

ソフトウェアがBFREビットを“1”にし、かつ、選択パイプを送信方向で使用している場合、USBモジュールはBRDY割り込みを発生させません。

詳細は、「27.3.3.1 BRDY割り込み」を参照してください。

### TYPE[1:0]ビット (転送タイプビット)

PIPESELビットに指定したパイプ (選択パイプ) の転送タイプを指定します。

選択パイプをPID = BUFに設定する (選択したパイプを使用したUSB通信を開始する) 前に、必ずTYPE[1:0]ビットをバルク転送もしくはインタラプト転送に設定してください。

## 27.2.29 パイプマックスパケットサイズレジスタ(PIPEMAXP)

アドレス 2E6Dh ~ 2E6Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MXPS [8:0]							
リセット後の値	0	0/1(注1)	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	DEVSEL[3:0]				-	-	-	MXPS [8:0]
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS [8:0]	MAXパケットサイズ(注2)	パイプ4 ~ 5 : 8バイト (008h)、16バイト (010h)、 32バイト (020h)、64バイト (040h) ([8:7]ビットおよび[2:0]のビットはありません) パイプ6 ~ 7 : 1バイト (001h) ~ 64バイト (040h) ([8:7]ビットのビットはありません)	R/W
b11-b9	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b15-b12	DEVSEL [3:0]	デバイス選択(注3)	b3 b0 0000 : アドレス0000 0001 : アドレス0001 0010 : アドレス0010 0011 : アドレス0011 0100 : アドレス0100 0101 : アドレス0101 上記以外 : 設定しないでください	R/W

注1. PIPESELレジスタのPIPESELビットでパイプを選択していないとき0000h、選択しているとき0040hです。

注2. MXPSビットの設定の変更は、PID = NAKおよびCURPIPEビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注3. DEVSELビットの設定の変更は、PID=NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PIPEMAXPレジスタは、パイプ4 ~ 7に対して、マックスパケットサイズを指定するレジスタです。

## MXPS[8:0]ビット (MAXパケットサイズビット)

選択パイプの最大データペイロード(マックスパケットサイズ)を指定します。

MXPSビットの設定は、転送タイプごとにUSB規格に準拠した値を設定してください。MXPSビットが“0”のとき、FIFOバッファへの書き込み、またはPID = BUFの設定は行わないでください。

## DEVSEL[3:0]ビット (デバイス選択ビット)

ホストコントローラ機能選択時に、通信相手の周辺デバイスのUSB デバイスアドレスを指定します。

DEVSEL[3:0]ビットの設定値に対応するDEVADDn (n = 0 ~ 5) レジスタの設定を行ったあとで、DEVSEL[3:0]ビットを設定してください。例えば、DEVSEL = 0010を設定する場合、DEVADD2アドレスの設定を行ってください。

ファンクションコントローラ機能を選択したときは、DEVSEL[3:0]ビットの値を0000bに設定してください。

## 27.2.30 パイプ周期制御レジスタ (PIPEPERI)

アドレス 2E6Fh ~ 2E6Eh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	IITV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0]	インターバルエラー検出間隔ビット	選択パイプのインターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。IITV[2:0]ビットを設定し、USB通信を行った後で別の値に変更する場合には、PID = NAK設定後 ACLRM = "1" をセットし、インターバルタイムの初期化を行ってください。パイプ4~5に対しては、IITV[2:0]ビットは存在しません。パイプ4~5に対応するIITV[2:0]ビットの位置には"000b"を設定してください	R/W
b11-b3	-	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		-
b12	-	予約ビット	"0" にしてください	R/W
b15-b13	-	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		-

注1. IITVビットの設定の変更は、PID=NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = "0"を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PIPEPERIレジスタはパイプ6~7に対して、インターバルエラーの検出間隔の設定をするレジスタです。

## 27.2.31 パイプnコントロールレジスタ(PIPEnCTR) (n = 4 ~ 7)

## • PIPEnCTR (n = 4 ~ 5)

アドレス 2E77h ~ 2E76h番地、2E79h ~ 2E78h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SQSET	SQMON	PBUSY	-	-	-	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	BSTS	INBUFM	-	-	-	ATREPM	ACLRM	SQCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 00 : NAK応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答	R/W
b4-b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	PBUSY	パイプビジービット	0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用	R
b6	SQMON	トグルビット確認ビット	0 : DATA0 1 : DATA1	R
b7	SQSET	トグルビットセットビット(注2)	0 : 無効 1 : DATA1 指定	R/W (注1)
b8	SQCLR	トグルビットクリアビット(注2)	0 : 無効 1 : DATA0 指定	R/W (注1)
b9	ACLRM	自動バッファクリアモード(注3)	0 : 禁止 1 : 許可 (全バッファ初期化)	R/W
b10	ATREPM	自動応答モードビット(注2)	0 : 自動応答禁止 1 : 自動応答許可	R/W
b13-b11	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b14	INBUFM	送信バッファモニタビット	0 : バッファメモリに送信可能データなし 1 : バッファメモリに送信可能データあり	R
b15	BSTS	バッファステータスビット	0 : CPUからのバッファアクセス不可 1 : CPUからのバッファアクセス可	R

注1. “0”読み出し、“1”書き込みのみ有効です。

注2. ATREPMビットの設定の変更およびSQCLRビットまたはSQSETビットへの“1”書き込みは、PID=NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定する場合には、DCPCTR.PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるDCPCTR.PBUSYビットの確認は必要ありません。

注3. ACLRMビットの設定の変更は、PID = NAKおよびCURPIPEビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、DCPCTR.PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるDCPCTR.PBUSYビットの確認は必要ありません。

PIPEnCTRレジスタはパイプ4~7に対して、バッファメモリステータスの確認、データPIDシーケンスビットの変更と確認、自動応答モードにするか否かの選択、自動バッファクリアモードにするか否かの選択、および応答PIDの設定をするレジスタです。PIPEnCTRレジスタの設定は、PIPESELレジスタによるパイプ選択とは無関係に設定可能です。



### PID[1:0]ビット (応答PIDビット)

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0]ビットの初期値はNAKです。当該パイプでUSB転送を行う場合にはPID[1:0]ビットをBUFに変更してください。PIDビット設定値ごとの基本動作 (通信パケットにエラーがない場合の動作) は表27.9および表27.10のとおりです。

当該パイプがUSB通信中であるときに、ソフトウェアでPID[1:0]ビットをBUFからNAKに変更する場合、NAKを書いた後、実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにDCPCTR.PBUSY = “1”であることを確認してください。

以下の場合にはUSBモジュールがPID[1:0]ビットの値を変更します。

- 当該パイプが受信方向の場合、かつソフトウェアが選択パイプのSHTNAKビットを“1”にしている場合、USBモジュールがトランスファ終了を認識したときに、PID = NAKを表示します。
- 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、USBモジュールはPID = STALL (11b) を表示します。
- ファンクションコントローラ機能選択時に、USBバスリセットを検出した場合、USBモジュールはPID = NAKを表示します。
- ホストコントローラ機能選択時に、CRCエラーなどの受信エラーを3回連続で検出した場合には、USBモジュールはPID = NAKを表示します。
- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USBモジュールはPID = STALL (11b) を表示します。

PID[1:0]ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態からSTALL状態にする場合には、10bを書き込んでください。
- BUF (01b) 状態からSTALL状態にする場合には、11bを書き込んでください。
- STALL (11b) からNAK状態にする場合には、一度10bを書き込んでから00を書き込んでください。STALL状態からBUF状態にする場合には、一度NAK状態に変更し、その後、BUF状態にしてください。

### PBUSYビット (パイプビジービット)

当該パイプを現在トランザクションで使用中かどうかが表示されます。

USBモジュールは、当該パイプのUSBトランザクションを開始したときにPBUSYビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYビットを“1”から“0”に変更します。

ソフトウェアがPID = NAKを設定した後、PBUSYビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「27.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

### SQMONビット (トグルビット確認ビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値が表示されます。

当該パイプのトランザクションが正常処理するとUSBモジュールはSQMONビットをトグルさせます。ただし、受信方向転送時のDATA-PIDミスマッチ発生時には、SQMONビットをトグルさせません。

### SQSETビット (トグルビットセットビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値をDATA1にセットするときに“1”を指定します。

ソフトウェアがSQSETビットを“1”にするとUSBモジュールは当該パイプのシーケンストグルビットの期待値をDATA1に設定します。USBモジュールは、常にSQSETビットに“0”を表示します。

### SQCLRビット (トグルビットクリアビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA0 にクリアするとき “1” を指定します。

ソフトウェアが SQCLR ビットを “1” にすると USB モジュールは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB モジュールは、常に SQCLR ビットに “0” を表示します。

### ACLRMビット (自動バッファクリアモードビット)

当該パイプの自動バッファクリアモードの禁止/許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに “1”、“0” を連続して書いてください。

ACLRM ビットに “1”、“0” を連続して設定した場合に USB モジュールがクリアする内容と、当該項目のクリアが必要なケースについて表 27.11 に示します。

### ATREPMビット (自動応答モードビット)

当該パイプの自動応答禁止/許可を指定します。

ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、ATREPM ビットを “1” にすることが可能です。

ATREPM ビットを “1” にした場合、USB ホストからのトークンに対し USB モジュールは以下のように応答します。

#### (1) 当該パイプがバルク IN 転送 (TYPE = “01” かつ DIR = “1” を設定) の場合

ATREPM = “1” かつ PID = BUF にしている場合、IN トークンに対して USB モジュールは Zero-Length パケットを送信します。

USB ホストからの ACK 受信の度に (1 トランザクションは IN トークン受信 Zero Length パケット送信 ACK 受信)、USB モジュールはシーケンストグルビット (DATA-PID) の更新 (トグル) を行います。

BRDY 割り込み、BEMP 割り込みは発生させません。

#### (2) 当該パイプがバルク OUT 転送 (TYPE = “01” かつ DIR = “0” を設定) の場合

ATREPM = “1” かつ PID = BUF にしている場合、OUT トークンに対して USB モジュールは NAK 応答を行い、NRDY 割り込みを発生させます。

ATREPM ビットを “1” にして USB 通信を行う場合、FIFO バッファは必ず空の状態を設定を行ってください。ATREPM ビットを “1” にして USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。

ホストコントローラ機能選択時には、ATREPM ビットは “0” を書いてください。

### INBUFMビット (送信バッファモニタビット)

当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。

当該パイプを送信方向 (DIR = “1”) に設定している場合に、ソフトウェア (または DMACA) が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、USB モジュールは INBUFM ビットに “1” を表示します。

書き込みが完了している面の FIFO バッファ上のデータを USB モジュールがすべて送信完了したときに、USB モジュールは INBUFM ビットに “0” を表示します。ダブルバッファ使用時 (DBLB = “1” 設定時) には、USB モジュールが 2 面分のデータを送信完了しかつソフトウェア (または DMACA) が 1 面分のデータ書き込みを完了していないときに、INBUFM ビットに “0” を表示します。

当該パイプを受信方向 (DIR = “0”) に設定している場合には、INBUFM ビットは BSTS ビットと同じ値を示します。

### BSTSビット (バッファステータスビット)

当該パイプのFIFOバッファステータスが表示されます。

BSTSビットの意味は、DIR、BFREビットの設定値により表27.12に示すように異なります。

表27.9 PIDビットによるUSBモジュールの動作一覧 (ホストコントローラ機能選択時)

PIDビット	転送タイプ	転送方向 (DIRビット)	USBモジュールの動作
00 (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
01 (BUF)	バルク、または インタラプト	設定値に依存しない	UACT = "1" で、かつ当該パイプに対応するFIFOバッファが送受信可能な状態ならばトークンを発行する UACT = "0" である、または送受信可能でなければトークンを発行しない
10 (STALL) または 11 (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表27.10 PIDビットによるUSBモジュールの動作一覧 (ファンクションコントローラ機能選択時)

PIDビット	転送タイプ	転送方向 (DIRビット)	USBモジュールの動作
00 (NAK)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにNAK応答を行う ただし、ATREPM = "1" のときの動作はATREPMビットの説明を参照してください
01 (BUF)	バルク	受信方向 (DIR = "0")	USBホストからのOUTトークンに対し、当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	インタラプト	受信方向 (DIR = "0")	USBホストからのOUTトークンに対し、当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	バルク、または インタラプト	送信方向 (DIR = "1")	対応するFIFOバッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければNAK応答を行う
10 (STALL) または 11 (STALL)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにSTALL応答を行う

表27.11 ACLRM = “1” 設定時にUSBモジュールがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けたFIFOバッファのすべての内容 (ダブルバッファ設定時はFIFOバッファを2面ともクリア)	
2	BFREビットに関する内部フラグ	BFREビットの設定値変更時
3	FIFOバッファトグル制御	DBLBビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表27.12 BSTSビットの動作

DIRビット	BFREビット	BSTSビットの機能
0	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了したときに“0”を表示します
	1	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了した後でソフトウェアがBCLR = “1”を書き込んだときに“0”を表示します
1	0	FIFOバッファへの送信データの書き込みが可能になったときに“1”を表示し、データの書き込みが完了したときに“0”を表示します
	1	この組み合わせは設定しないでください

## • PIPEnCTR (n = 6 ~ 7)

アドレス 2E7Bh ~ 2E7Ah番地、2E7Dh ~ 2E7Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SQSET	SQMON	PBUSY	-	-	-	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	BSTS	-	-	-	-	-	ACLRM	SQCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答	R/W
b4-b2	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b5	PBUSY	パイプビジービット	0 : 当該パイプをUSBバスにて未使用 1 : 当該パイプはUSBバスにて使用	R
b6	SQMON	トグルビット確認ビット	0 : DATA0 1 : DATA1	R
b7	SQSET	トグルビットセットビット(注2)	0 : 無効 1 : DATA1 指定	R/W (注1)
b8	SQCLR	トグルビットクリアビット(注2)	0 : 無効 1 : DATA0 指定	R/W (注1)
b9	ACLRM	自動バッファクリアモードビット (注2、3)	0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可 (全バッファ初期化)	R/W
b14-b10	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b15	BSTS	バッファステータスビット	0 : バッファアクセス不可 1 : バッファアクセス可	

注1. “0”読み出し、“1”書き込みのみ有効です。

注2. SQCLRビットまたはSQSETビットへの“1”書き込みは、PID=NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注3. ACLRMビットの設定の変更は、PID = NAKおよびCURPIPEビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

### PID[1:0]ビット (応答PIDビット)

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0]ビットの初期値はNAKです。当該パイプでUSB転送を行う場合にはPID[1:0]ビットをBUFに変更してください。PIDビットの設定値ごとの基本動作 (通信パケットにエラーがない場合の動作) は表27.9および表27.10のとおりです。

当該パイプがUSB通信中であるときに、ソフトウェアでPID[1:0]ビットをBUFからNAKに変更する場合、NAKを書き込んだ後、実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにPBUSY = “1”であることを確認してください。

以下の場合にはUSBモジュールがPID[1:0]ビットの値を変更します。

- 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、USBモジュールはPID = STALL (11b) を表示します。
- ファンクションコントローラ機能選択時に、USBバスリセットを検出した場合、USBモジュールはPID = NAKを表示します。
- ホストコントローラ機能選択時に、CRCエラーなどの受信エラーを3回連続で検出した場合には、USBモジュールはPID = NAKを表示します。
- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USBモジュールはPID = STALL (11b) を表示します。

PID[1:0]ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態からSTALL状態にする場合には、“10b”を書き込んでください。
- BUF (01b) 状態からSTALL状態にする場合には、“11b”を書き込んでください。
- STALL (11b) からNAK状態にする場合には、一度“10b”を書き込んでから“00b”を書き込んでください。
- STALL状態からBUF状態にする場合には、一度NAK状態に変更し、その後、BUF状態にしてください。

### PBUSYビット (パイプビジービット)

当該パイプを現在USBバスで使用しているかどうかが表示されます。

USBモジュールは、当該パイプのUSBトランザクションを開始したときにPBUSYビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYビットを“1”から“0”に変更します。

ソフトウェアがPID = NAKを設定した後、PBUSYビットを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

### SQMONビット (トグルビット確認ビット)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。

トランザクションが正常処理するとUSBモジュールはSQMONビットをトグルさせます。ただし、受信方向転送時のDATA-PID mismatch発生時には、SQMONビットをトグルさせません。

### SQSETビット (トグルビットセットビット)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするときに“1”を指定します。

ソフトウェアがSQSETビットを“1”にするとUSBモジュールは当該パイプのシーケンストグルビットの期待値をDATA1に設定します。USBモジュールは、常にSQSETビットに“0”を表示します。

**SQCLRビット (トグルビットクリアビット)**

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするとき “1” を指定します。

ソフトウェアが SQCLR ビットを “1” にすると USB モジュールは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB モジュールは、常に SQCLR ビットに “0” を表示します。

**ACLRMビット (自動バッファクリアモードビット)**

当該パイプの自動バッファクリアモードの禁止/許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに “1”、“0” を連続して書いてください。

ACLRM ビットに “1”、“0” を連続して設定した場合に USB モジュールがクリアする内容と、当該項目のクリアが必要なケースについて表27.13 に示します。

**BSTSビット (バッファステータスビット)**

当該パイプの FIFO バッファステータスが表示されます。

BSTS ビットの意味は、DIR、BFRE ビットの設定値により表27.12 に示すように異なります。

表27.13 ACLRM = “1” 設定時に USB モジュールがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けた FIFO バッファのすべての内容	
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

### 27.2.32 パイプnトランザクションカウンタインーブルレジスタ (PIPEnTRE) (n = 4 ~ 5)

アドレス 2E9Dh ~ 2E9Ch番地、2EA1h ~ 2EA0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	TRENB	TRCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b8	TRCLR	トランザクションカウンタクリアビット	0：無効 1：カレントカウンタクリア	R/W
b9	TRENB	トランザクションカウンタ許可ビット	0：トランザクションカウンタ機能無効 1：トランザクションカウンタ機能有効	R/W
b15-b10	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. PIPEnTREレジスタの各ビットの変更は、PID = NAK時に実施してください。

対応するパイプのPIDビットをBUFからNAKへ変更したあとで各ビットの設定値を変更する場合には、PBUSY = “0”を確認してから各ビットを変更してください。ただし、USBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PIPEnTREレジスタは、パイプ4～5に対応するトランザクションカウンタの無効/有効の指定や、カウンタクリアの指定を行うレジスタです。

#### TRCLRビット (トランザクションカウンタクリアビット)

当該パイプに対応するトランザクションカウンタの現在のカウンタ値をクリアし、TRCLRビットに“0”を表示します。

#### TRENBビット (トランザクションカウンタ許可ビット)

トランザクションカウンタ無効/有効を指定します。

受信パイプに対して、ソフトウェアでTRNCNTビットに総パケット数を設定した後でTRENBビットを“1”にすると、USBモジュールはTRNCNTビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。

- SHTNAK = “1” のとき、TRNCNTビットの設定値と同数のパケット受信を終了時点で対応するパイプのPIDビットをNAKに変更します。
- BFRE = “1” のとき、TRNCNTビットの設定値と同数のパケット受信し最後のデータを読み出し終えたときに、BRDY割り込みをアサートします

送信パイプについては、TRENBビットを“0”にしてください。

トランザクションカウンタ機能を使用しない場合は、TRENBビットに“0”を設定してください。

トランザクションカウンタ機能を使用する場合、TRENBビットを“1”にする前にTRNCNTビットの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前にTRENBビットを“1”にしてください。



27.2.33 パイプnトランザクションカウンタレジスタ (PIPE<sub>n</sub>TRN) (n = 4 ~ 5)

アドレス 2E9Fh ~ 2E9Eh番地、2EA3h ~ 2EA2h番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRNCNT [15:0]							
リセット後の値	0	0	0	0	0	0	0	0
ビット								
	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TRNCNT [15:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TRNCNT [15:0]	トランザクションカウンタビット	<ul style="list-style-type: none"> <li>レジスタ書き込み時： 当該パイプが受信すべき総パケット数(トランザクション回数)を設定します</li> <li>レジスタ読み出し時： TRENB = “0” の場合は、設定したトランザクション回数が表示されます。 TRENB = “1” の場合は、カウント中のトランザクション回数が表示されます</li> </ul>	R/W

PIPE<sub>n</sub>TRN レジスタは、パイプ4 ~ 5に対応するトランザクションカウンタです。  
PIPE<sub>n</sub>TRN レジスタは、USBバスリセットで設定値が保持されます。

## TRNCNT[15:0]ビット (トランザクションカウンタビット)

USBモジュールは、受信時の状態が以下のすべてを満たしたときにTRNCNTビットを“1”インクリメントします。

- TRENB = “1” である
- パケット受信時に (TRNCNT設定値 現在のカウンタ値+1) である
- 受信したパケットのペイロードがMXPSビットへの設定値と一致した

USBモジュールは、以下のいずれかの条件が満たされたときにTRNCNTビットの表示を“0”にします。

- (1) 以下の条件がすべて満たされたとき
  - TRENB = “1” である
  - パケット受信時に (TRNCNT設定値 = 現在のカウンタ値+1) である
  - 受信したパケットのペイロードがMXPSビットへの設定値と一致した
- (2) 以下条件がすべて満たされたとき
  - TRENB = “1” である
  - ショートパケットを受信した
- (3) 以下の条件がすべて満たされたとき
  - TRENB = “1” である
  - ソフトウェアがTRCLRビットを“1”にした

送信パイプについては、TRNCNTビットを“0”にしてください。

トランザクションカウンタ機能を使用しない場合は、TRNCNTビットを“0”にしてください。

TRNCNTビットのトランザクション回数の設定は、PIPE<sub>n</sub>TREレジスタのTRENBが“0”のときのみ可能です。また、トランザクション回数設定値を変更する場合には、開始 (TRENB= “1”) 前に PIPE<sub>n</sub>TREレジスタのTRCLRビットに“1”書き込み (カレントカウンタ値のクリア) を行ってください。

## 27.2.34 デバイスアドレスn コンフィグレーションレジスタ (DEVADDn) (n = 0 ~ 5)

アドレス 2ED1h ~ 2ED0h番地、2ED3h ~ 2ED2h番地、2ED5h ~ 2ED4h番地、2ED7h ~ 2ED6h番地、  
2ED9h ~ 2ED8h番地、2EDBh ~ 2EDA番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	USBSPD [1:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	"0" にしてください	R/W
b5 ~ b1	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-
b7-b6	USBSPD [1:0]	通信対象デバイスの転送速度ビット	b7 b6 0 0 : DEVADDn レジスタ未使用 0 1 : 設定禁止 1 0 : フルスピード 1 1 : 設定禁止	R/W
b15-b8	-	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		-

DEVADDn レジスタは、パイプ0 ~ 5 に対して、通信対象の周辺デバイスが接続されている通信速度を指定するレジスタです。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、必ず DEVADDn レジスタの各ビットを設定してください。

DEVADDn レジスタの各ビットの変更は、各ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下両方の条件を満たしているパイプです。

- DEVSEL ビットの設定が、DEVADDn レジスタを指定している
- 選択パイプの PID ビットに BUF を設定しているとき、または選択パイプが DCP であり SUREQ = "1" になっている

## USBSPD[1:0] ビット (通信対象デバイスの転送速度ビット)

通信対象の周辺デバイスの USB 転送速度を設定します。

HUB 経由でフルスピードデバイスが接続されたときに 10b にしてください。

ホストコントローラ機能選択時、USB モジュールは、USBSPD[1:0] ビットの設定値を参照してパケットを生成します。

ファンクションコントローラ機能選択時、「00b」にしてください。

## 27.2.35 USBモジュール制御レジスタ(USBMC)

アドレス 2F00h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	PXXCON	VDDUSB	-	-	-
リセット後の値	0	0	X	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	-			
b2	-			
b3	VDDUSB	USB用内部電源制御ビット0	0 : USB用内部電源停止、USB_VCC端子入力可能 1 : USB用内部電源3.3V供給	R/W
b4	PXXCON	USB用内部電源制御ビット1	0 : VDDUSBビット無効 1 : VDDUSBビット有効	R/W
b5	-	予約ビット	読んだ場合、その値は不定。	R
b6	-	予約ビット	“0” にしてください	R/W
b7	-			

## VDDUSBビット(USB用内部電源制御ビット0)

PXXCONビットが“1”(VDDUSBビット有効)のとき、有効です。

VDDUSBビット“0”(USB\_VCC端子入力可能)の場合、USB\_DPUE、D+、D-端子はUSB\_VCC端子から入力した外部電源のレベルを“H”レベルとして動作します。

VDDUSBビット“1”(USB用内部電源3.3V供給)の場合、USB\_DPUE、D+、D-端子はUSB用内部電源の3.3Vを“H”レベルとして動作します。USB\_VCC端子は3.3Vを出力します。

## PXXCONビット(USB用内部電源制御ビット1)

USB機能を使用する場合は、“1”(VDDUSBビット有効)にしてください。

USB\_VCC端子の機能はVDDUSBビットで選択してください。

USB機能を使用しない場合は、“0”(VDDUSBビット無効)にしてください。

USB\_VCC端子はVCCレベルを出力します。「7.6 未使用端子の処理」を参照してください。

## 27.3 動作説明

### 27.3.1 システム制御

USBモジュールの初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

#### 27.3.1.1 動作開始

USBモジュールへのクロック供給が開始された (SYSCFG.SCKE="1") 状態で、SYSCFG.USBEビットを"1"にすることにより、動作が許可され、USBモジュールは動作を開始します。

#### 27.3.1.2 コントローラ機能の選択設定

USBモジュールは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFMビットで行います。ただし、DCFMBITの設定は、マイコンリセット直後の初期設定またはD+のプルアップ禁止状態 (DPRPU = "0") でD+/D-のプルダウン禁止状態 (DRPD = "0") のときに行ってください。

## 27.3.1.3 USB外部接続回路例

図27.2にセルフパワー時のUSBコネクタのOTG接続例を示します。

USBモジュールは、D+信号のプルアップ抵抗とD+、D-信号のプルダウン抵抗の許可信号を制御します。SYSCFG.DPRPUビット、SYSCFG.DRPDビットの設定により、各信号のプルアップ、プルダウンを設定してください。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中にSYSCFG.DPRPUビットに“0”を設定した場合は、USBデータラインのプルアップ抵抗をディスエーブルにしますので、USBホストにデバイスの切断を通知することができます。

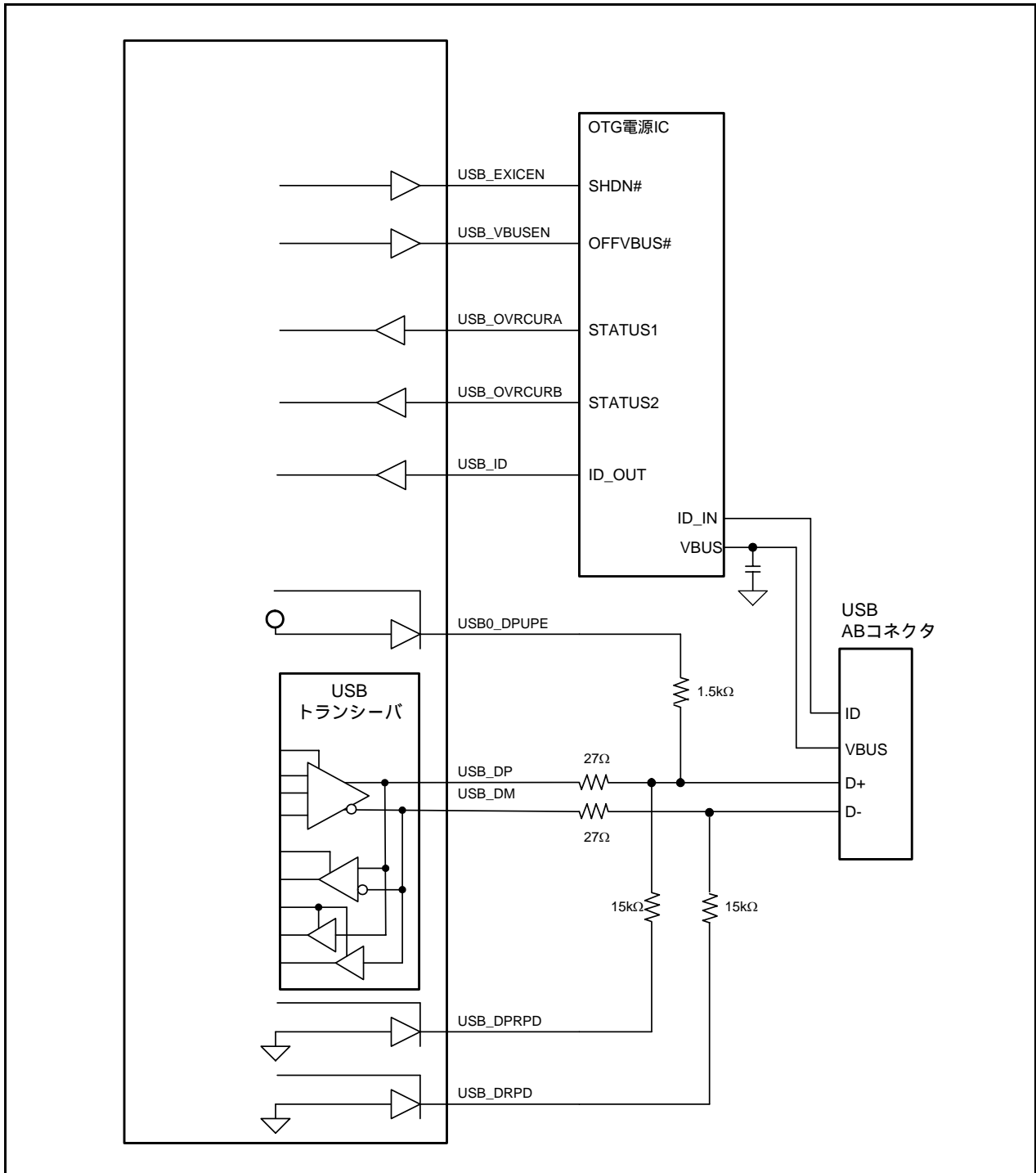


図27.2 セルフパワー時のUSBコネクタのOTG接続例

図27.3にセルフパワー時のUSBコネクタのファンクション接続例を示します。

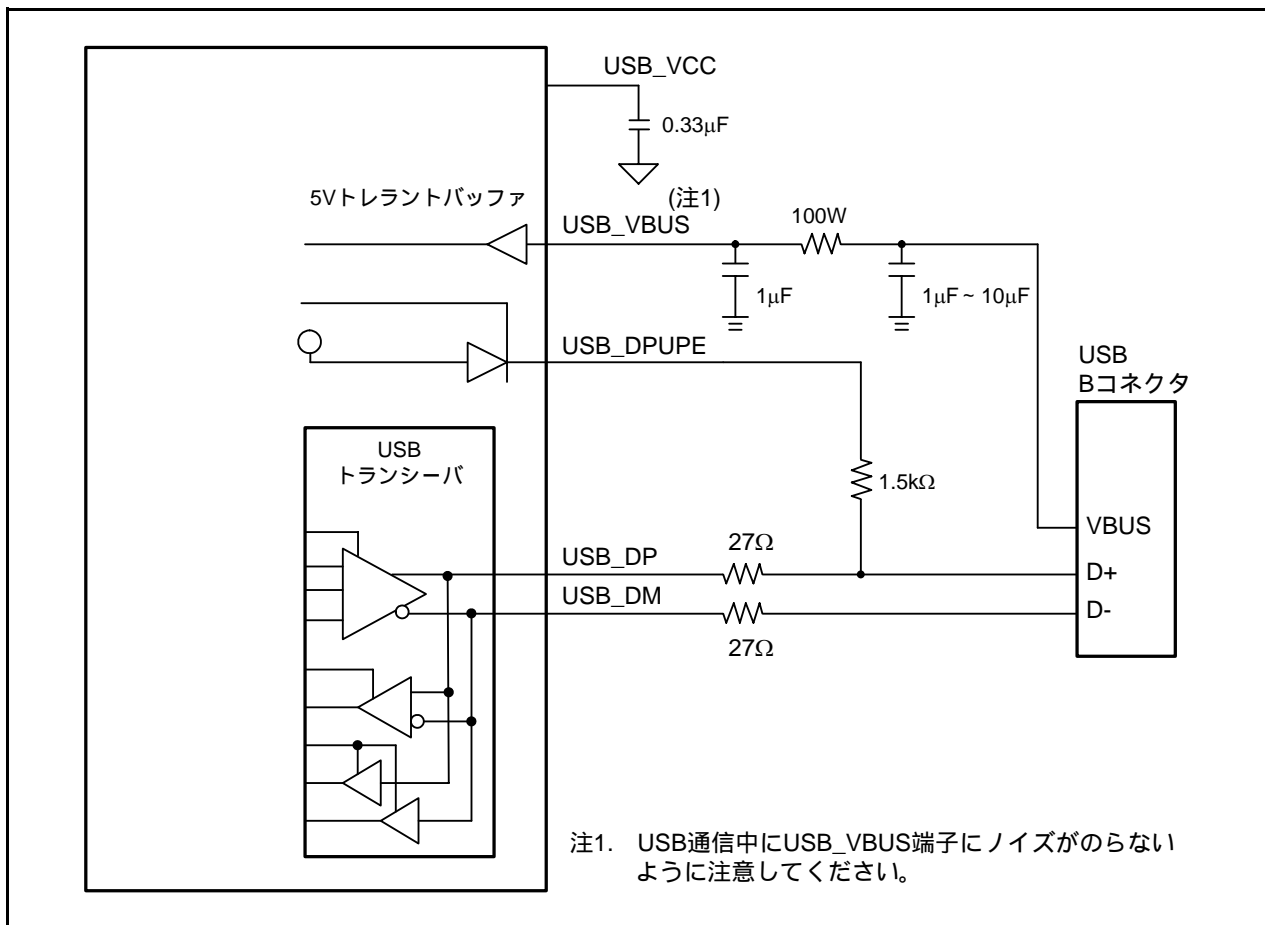


図27.3 セルフパワー時のUSBコネクタのファンクション接続例

図27.4にUSBコネクタのホスト接続例を示します。

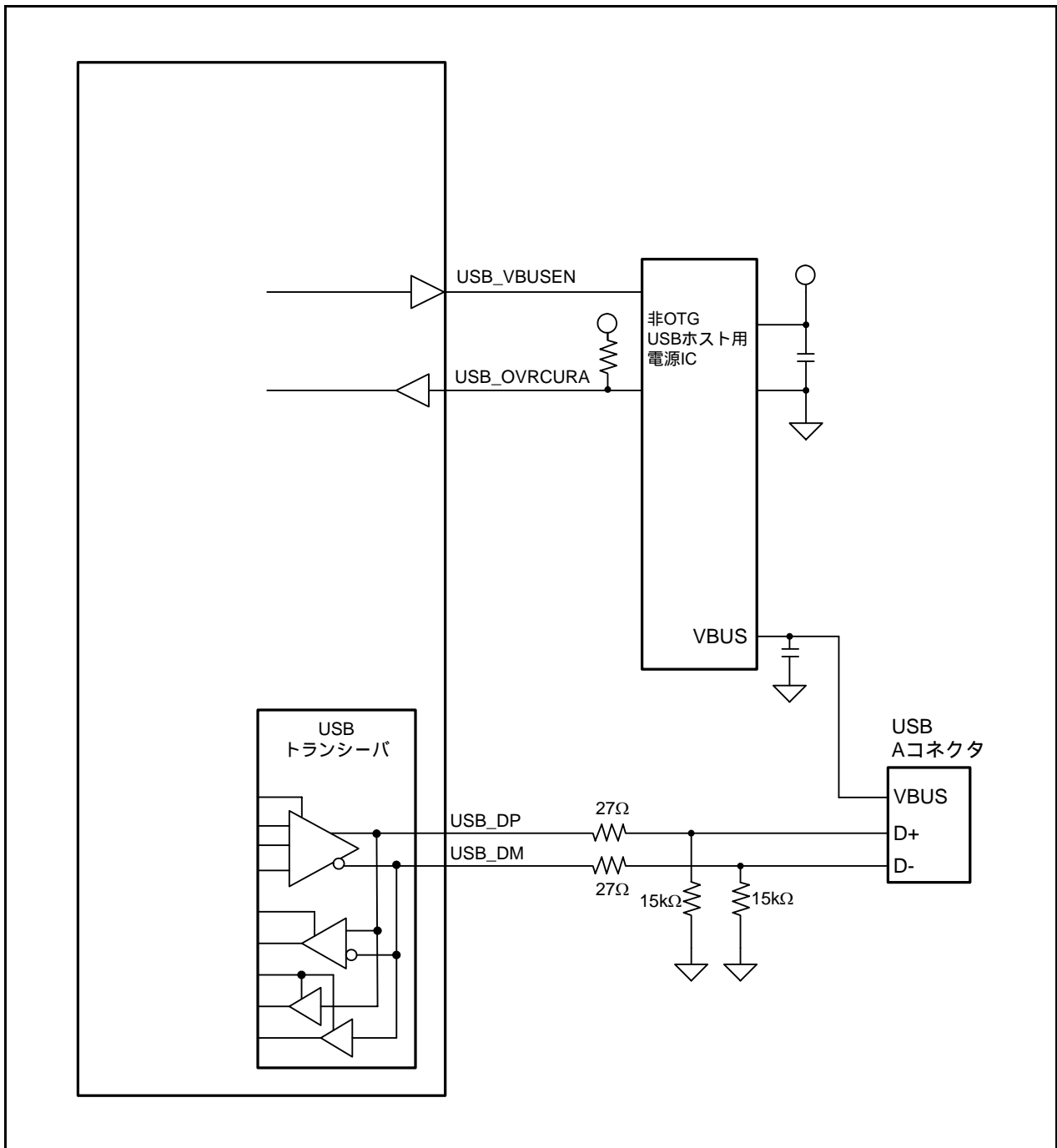


図27.4 USBコネクタのホスト接続例

図27.5にバスパワー時のUSBコネクタのファンクション接続例を示します。  
3.0V VCC 3.6Vのときは、USB用内部電源は使用できません。

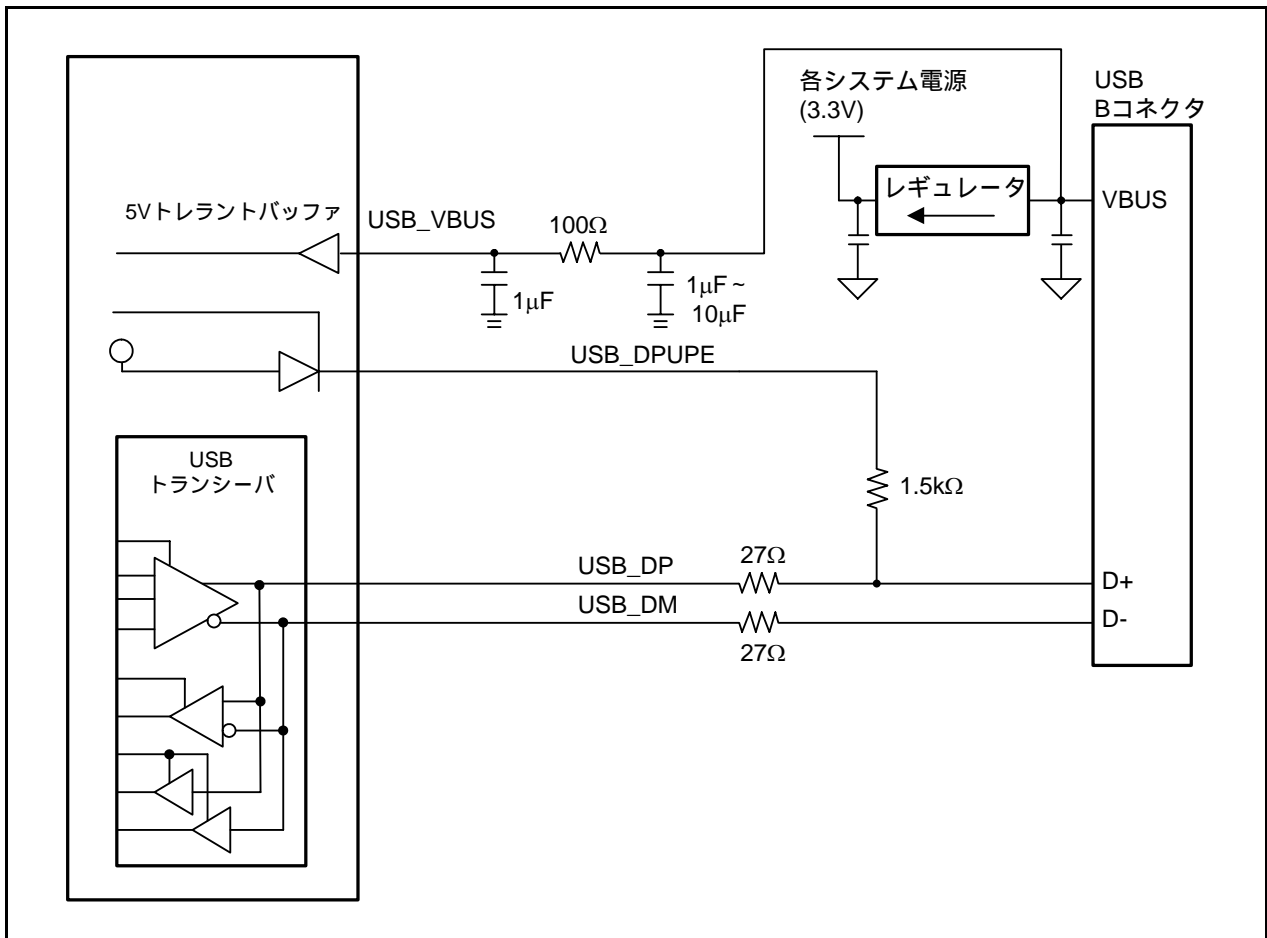


図27.5 バスパワー時のUSBコネクタのファンクション接続例

本章に記載した各外部回路例は、概略回路であり、すべてのシステムにおいて動作保証するものではありません。



## 27.3.2 割り込み要因

表27.14にUSBモジュールの割り込み要因一覧を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USBは割り込みコントローラに対してUSB割り込み要求を発行し、USB割り込みが発生します。

表27.14 割り込み要因一覧

設定するビット	名称	割り込み要因	発生する機能	ステータスフラグ
VBINT	VBUS割り込み	• USB_VBUS入力端子の状態変化を検出したとき (Low High、High Lowの両方の変化)	ホスト/ ファンクション (注2)	VBSTS
RESM	レジューム 割り込み	• サスペンド状態においてUSBバスの状態変化を検出したとき (J-State K-StateまたはJ-State SE0)	ファンクション	-
SOFR	フレーム番号 更新割り込み	[ ホストコントローラ機能選択時 ] • フレーム番号の異なるSOFパケットを送信したとき [ ファンクションコントローラ機能選択時 ] • フレーム番号の異なるSOFパケットを受信したとき	ホスト/ ファンクション	-
DVST	デバイス ステート遷移 割り込み	• デバイスステートの遷移を検出したとき (以下) USBバスリセット検出 サスペンド状態検出 SET_ADDRESSリクエストの受信 SET_CONFIGURATIONリクエストの受信	ファンクション	DVSQ
CTRT	コントロール 転送ステージ 遷移割り込み	• コントロール転送のステージ遷移を検出したとき (以下) セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生	ファンクション	CTSQ
BEMP	バッファ エンプティ 割り込み	• バッファメモリ中の全データを送信してバッファが空になったとき • マックスパケットサイズを超えたパケットを受信したとき	ホスト/ ファンクション	BEMPSTS. PIPEBEMP
NRDY	バッファ ノットレディ 割り込み	[ ホストコントローラ機能選択時 ] • 発行したトークンに対して周辺デバイス側からのSTALLを受信したとき • 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき (無応答が3回連続、またはパケット受信エラーが3回連続) [ ファンクションコントローラ機能選択時 ] • PIDビット = BUFを設定しているときに、INトークン/OUTトークンに対してNAKを応答したとき	ホスト/ ファンクション	NRDYSTS. PIPENRDY
BRDY	バッファレディ 割り込み	• バッファがレディ (リードまたはライト可能状態) になったとき	ホスト/ ファンクション	BRDYSTS. PIPEBRDY
OCRCR	オーバカレント 変化割り込み	• USB_OVRCURAおよびUSB_OVRCURB入力端子の状態変化を検出したとき (Low High、High Lowの両方の変化)	ホスト	OVCMON
BCHG	バス変化割り 込み	• USBバスステートの変化を検出したとき	ホスト	SYSSTS0 LNST
DTCH	フルスピード 動作時切断検出	• フルスピード動作時周辺デバイスの切断を検出したとき	ホスト	DCSTCTR0 RHST
ATTCH	デバイス接続検 出	• USBバスステートが2.5μs連続したJ-STATE、または2.5μs連続したK-STATEを検出したとき。周辺デバイスの接続検出に使用可能。	ホスト	-
EOFERR	EOFエラー検出	• 周辺デバイスのEOFエラーを検出	ホスト	-
SACK	SETUP正常	• セットアップトランザクションの正常応答 (ACK) を受信したとき	ホスト	-
SIGN	SETUPエラー	• セットアップトランザクションのエラー (無応答またはACKパケット破損) を3回連続で検出したとき	ホスト	-

注1. レジスタ名が示されていないビットのレジスタはすべてINTSTS0レジスタを表しています。

注2. 本割り込みは、ホスト機能時にも発生しますが、通常ホスト機能時には使用しません。

図27.6に割り込みの関連図を示します。

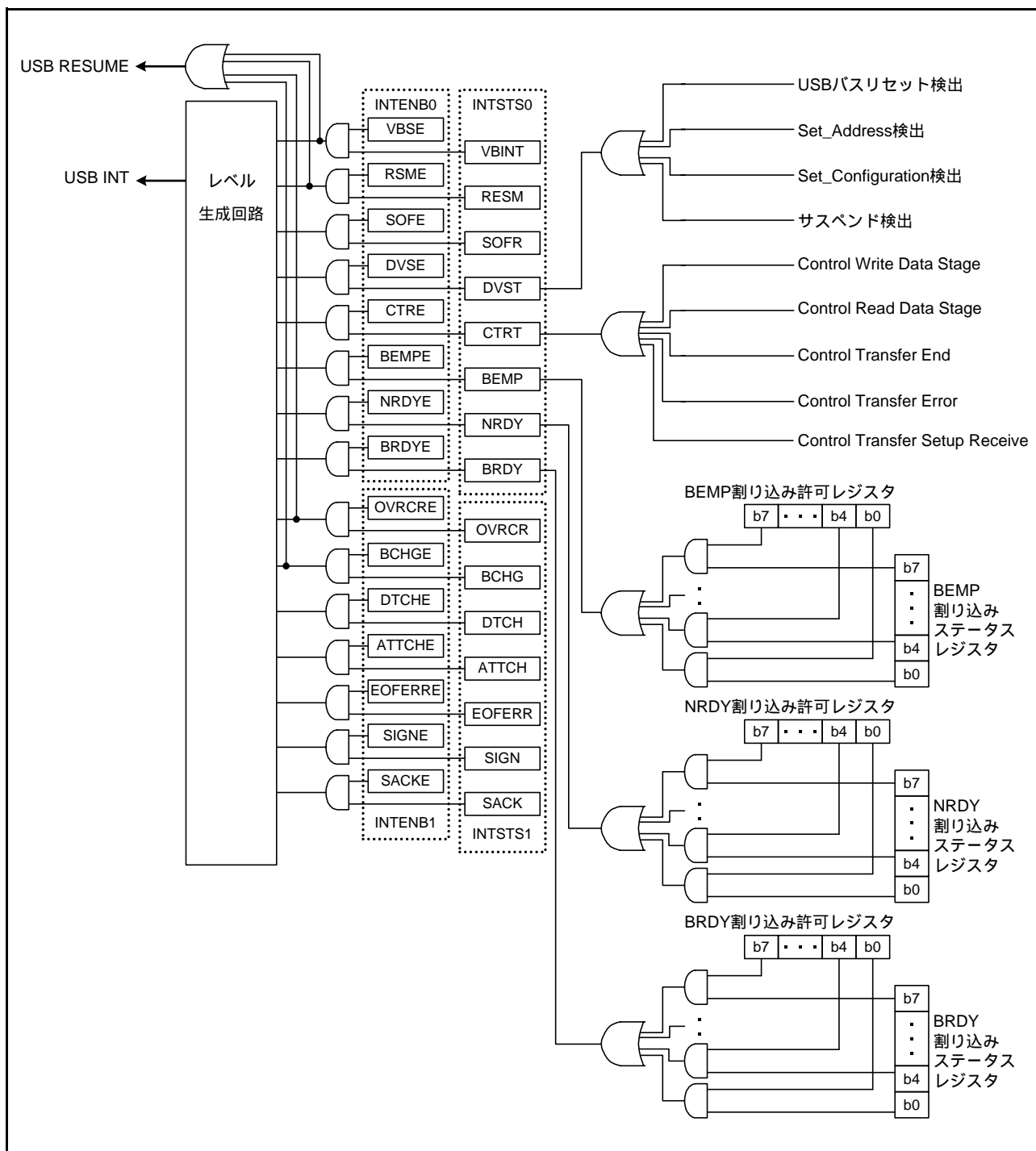


図27.6 割り込みの関連図

表27.15にUSBの割り込み一覧を示します。

表27.15 USBの割り込み一覧

割り込み名称	割り込みフラグ	優先順位
USB INT	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバカレント変化割り込み、バス変化割り込み、フルスピード動作時切断検出、デバイス接続検出、EOFエラー検出、SETUP正常、SETUPエラー	高 ↑
USB RESUME	VBUS割り込み、レジューム割り込み、オーバカレント変化割り込み、バス変化割り込み	低

### 27.3.3 割り込みの説明

#### 27.3.3.1 BRDY割り込み

BRDY割り込みは、ホストコントローラ、ファンクションコントローラのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、USBモジュールはBRDYSTSレジスタの該当ビットを“1”にします。このとき、ソフトウェアが当該パイプに対応するBRDYENBレジスタのPIPEBRDYEビットを“1”にし、かつ、INTENB0レジスタのBRDYEビットを“1”にしていれば、USBモジュールはBRDY割り込みを発生させます。

BRDY割り込みは、BRDYMビットおよび各パイプのBFREビットの設定により、発生条件およびクリア方法が異なります。

(1) BRDYM = “0” かつ BFRE = “0” 設定時

この設定の場合、BRDY割り込みはFIFOポートにアクセス可能になったことを示す割り込みになります。

USBモジュールは、下記に示す条件の場合に、内部BRDY割り込み要求トリガを発生させ、要求トリガ発生パイプに対応するPIPEBRDYビットに“1”を表示します。

【送信方向に設定したパイプの場合】

- ソフトウェアがDIRビットを“0”から“1”に変更したとき。
- 当該パイプに割り付けたFIFOバッファへのCPUからの書き込みが不可状態のとき (BSTSビット読み出し値が“0”のとき) に、USBモジュールが当該パイプのケット送信を完了したとき。
- FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ書き込み完了時にもう一方のFIFOバッファが空であったとき。
- FIFOバッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- ACLRMビットに“1”を書くことより、FIFOバッファが書き込み不可能な状態から書き込み可能な状態になったとき。

DCPに対しては(すなわち、コントロール転送でのデータ送信においては)要求トリガは発生しません。

【受信方向に設定したパイプの場合】

- 当該パイプに割り付けたFIFOバッファへのCPUからの読み出しが不可状態のとき (BSTSビット読み出し値が“0”のとき) に、ケット受信が正常に完了し、FIFOバッファが読み出し可能状態になったとき  
データPIDミスマッチのトランザクションに対し、要求トリガは発生しません。
- FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能状態であったとき  
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信ではBRDY割り込みは発生しません。

ソフトウェアは、当該パイプに対応するBRDYSTSレジスタのPIPEBRDYビットに“0”を書き込むことにより、当該パイプのPIPEBRDY割り込みステータスを“0”にすることができます。このとき、他のパイプに対応するビットには“1”を書いてください。

この割り込みステータスのクリアは、必ずFIFOバッファへのアクセスを行う前に実施してください。

## (2) BRDYM = “0” かつBFRE = “1” 設定時

この設定の場合、USBモジュールは、受信パイプにおいて1トランスファ分の全データ読み出し完了時に、BRDY割り込み発生と判断し、BRDYSTSレジスタの当該パイプに対応するビットに“1”を表示します。

USBモジュールは、以下のいずれかのときに1トランスファにおける最後のデータを受信したと判定します。

- Zero-Lengthパケットを含むショートパケットを受信したとき
- トランザクションカウンタ (TRNCNT ビット) を使用し、TRNCNT ビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USBモジュールは1トランスファ分の全データ読み出し完了と判断します。

FIFOバッファが空の状態 Zero-Lengthパケット受信した場合は、Zero-LengthパケットデータがCPU側へトグルされた時点で、USBモジュールは1トランスファ分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応するFIFOCTRレジスタのBCLRビットにソフトウェアで“1”を書いてください。

この設定の場合には、USBモジュールは送信パイプに対してBRDY割り込みを検出しません。

ソフトウェアは、当該パイプに対応するPIPEBRDYビットに“0”を書くことにより、当該パイプのPIPEBRDY割り込みステータスを“0”にすることができます。このとき他のパイプに対応するビットには“1”を書いてください。

このモードを使用するときには、トランスファ分の処理を終了するまでBFREビットの設定値を変更しないでください。

途中でBFREビットを変更する場合には、ACLRMビットにより対応するパイプのFIFOバッファをすべてクリアしてください。

## (3) BRDYM = “1” かつBFRE = “0” 設定時

この設定の場合、PIPEBRDYビットの値は各パイプのBSTSビットに連動します。即ち、BRDY割り込みステータスはFIFOバッファの状態によってUSBモジュールが“1”、“0”を表示します。

## • 送信方向に設定したパイプの場合

FIFOポートにデータが書き込み可能な状態であれば“1”を表示し、書き込み不可の状態になれば“0”を表示します。

ただし、DCPの送信パイプが書き込み可能であっても、BRDY割り込みは発生しません。

## • 受信方向に設定したパイプの場合

FIFOポートにデータが読み出し可能な状態であれば“1”を表示し、すべてのデータを読み出したら(読み出し不可の状態になったら)“0”を表示します。

FIFOバッファが空でZero-Lengthパケットを受信した場合、ソフトウェアがBCLR = “1”を書き込むまで該当ビットには“1”が表示されBRDY割り込みは発生し続けます。

受信方向に設定したパイプ設定時、ソフトウェアは、PIPEBRDYビットの“0”クリアを行うことはできません。

BRDYM = “1” 設定時は、BFREビットは必ずすべて(全パイプ)“0”に設定してください。

図27.7にBRDY 割り込み発生タイミング図を示します。



図27.7 BRDY 割り込み発生タイミング図

USBモジュールがINTSTS0レジスタのBRDYビットをクリアする条件は、SOFCFG.BRDYMビットの設定値によって異なります。表27.16にBRDYビットクリア条件表を示します。

表27.16 BRDYビットクリア条件表

BRDYM	BRDYビットのクリア条件
0	ソフトウェアがBRDYSTSレジスタの全ビットを“0”にすると、USBモジュールはINTSTS0レジスタのBRDYビットを“0”にします
1	全パイプのBSTSビットが“0”になったときに、USBモジュールはINTSTS0レジスタのBRDYビットを“0”にします

### 27.3.3.2 NRDY割り込み

ソフトウェアがPID = BUFに設定したパイプに対して、USBモジュールが内部NRDY割り込み要求を発生させた場合に、USBモジュールはNRDYSTS.PIPENRDYビットの対応するビットに“1”を表示します。このとき、ソフトウェアによってNRDYENBレジスタの対応するビットを“1”にしている場合、USBモジュールはINTSTS0レジスタのNRDYビットに“1”を表示し、USB割り込みを発生させます。

USBモジュールが、あるパイプに対して内部NRDY割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時のSETUPトランザクション実行時は以下の割り込み発生条件に該当せず、SACK割り込みまたはSIGN割り込みを検出します。

また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

#### (1) ホストコントローラ機能選択時

##### •送信方向パイプの場合

USBモジュールは、以下のいずれかの条件を満たした場合に、NRDY割り込みを検出します。

- SETUPトランザクション以外の通信において、周辺デバイスが無応答（周辺デバイスからのHandshakeパケットを検出しないままタイムアウトを検出した場合）、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき  
このとき、USBモジュールは、PIPENRDYビットの対応するビットに“1”を表示し、対応するパイプのPIDビットをNAKに変更します。
- SETUPトランザクション以外の通信において、周辺デバイスからSTALL Handshakeを受信したとき
- このときUSBモジュールは、PIPENRDYビットの対応するビットに“1”を表示し、対応するパイプのPIDビットをSTALL (“11b”)に変更します。

##### •受信方向パイプの場合

- USBモジュールが発行したINトークンに対して周辺デバイスが無応答（周辺デバイスからのDATAパケットを検出しないままタイムアウトを検出した場合）、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき。  
このときUSBモジュールは、当該パイプに対応するPIPENRDYビットに“1”を表示し、対応するパイプのPIDビットをNAKに変更します。
- STALL Handshakeを受信したとき。  
このときUSBモジュールは、当該パイプに対応するPIPENRDYビットに“1”を表示し、対応するパイプのPIDビットをSTALLに変更します。

#### (2) ファンクションコントローラ機能選択時

##### •送信方向パイプの場合

- FIFOバッファに送信データがない状態でINトークンを受信したとき  
INトークン受信時にUSBモジュールはNRDY割り込み要求を発生させPIPENRDYビットに“1”を表示します。

##### •受信方向パイプの場合

- FIFOバッファに空きがない状態でOUTトークンを受信したとき  
USBモジュールは、OUTトークンに続くデータ受信後NAK Handshakeを送信するときにNRDY割り込み要求を発生させ、PIPENRDYビットに“1”を表示します。  
ただし、再送時(DATA-PID ミスマッチ発生時)には、NRDY割り込み要求を発生させません。  
また、DATAパケットにエラーがある場合にも、発生させません。

図27.8にNRDY割り込み発生タイミング図(ファンクションコントローラ機能選択時)を示します。

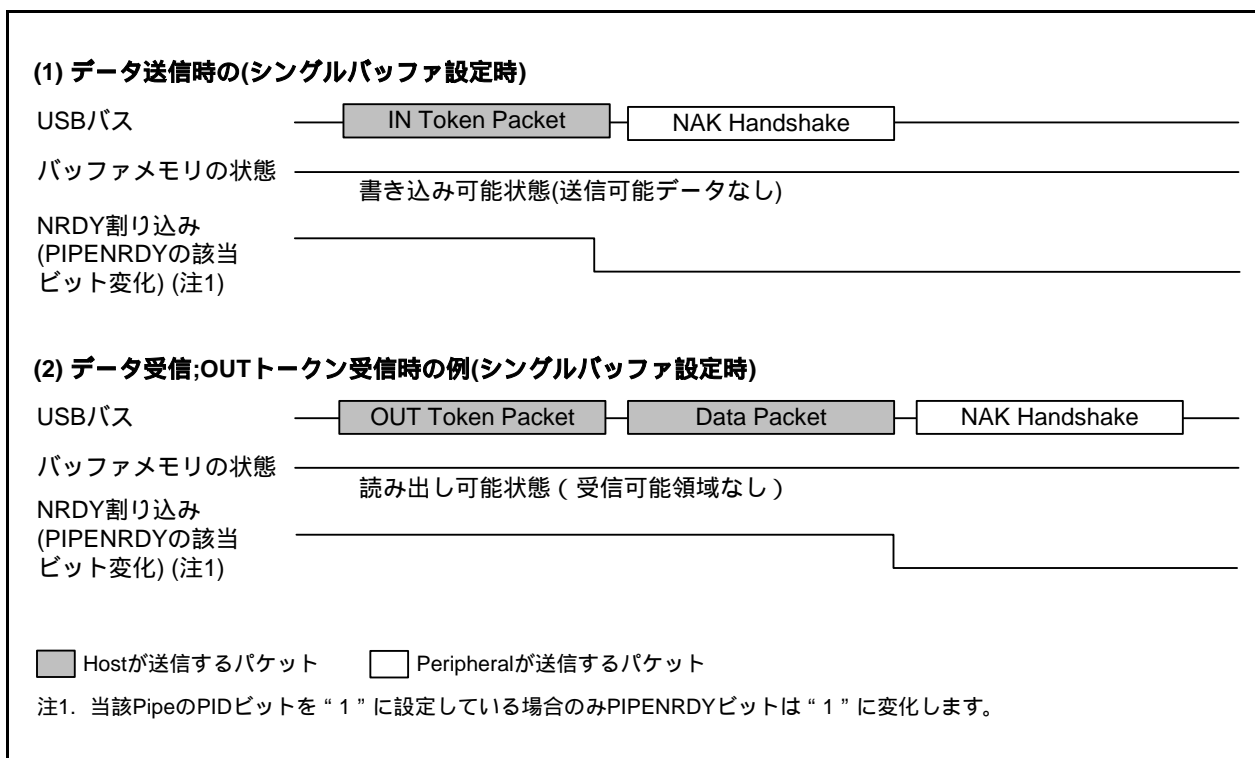


図27.8 NRDY割り込み発生タイミング図(ファンクションコントローラ機能選択時)



### 27.3.3.3 BEMP 割り込み

ソフトウェアがPID = BUFに設定したパイプに対して、USBモジュールが、BEMP割り込みを検出した場合に、USBモジュールはBEMPSTSレジスタのPIPEBEMPビットの対応するビットに“1”を表示します。このとき、ソフトウェアによってBEMPENBレジスタの対応するビットに“1”が設定されている場合、USBモジュールはINTSTS0レジスタのBEMPビットに“1”を表示し、USB割り込みが発生します。

以下の場合に、USBモジュールは内部BEMP割り込み要求を発生させます。

- 送信方向パイプの場合
  - 送信完了時 (Zero-Lengthパケットの送信時を含む) に、対応するパイプのFIFOバッファが空のとき  
シングルバッファ設定時は、DCP以外のパイプに対してはBRDY割り込みと同時に内部BEMP割り込み要求を発生させます。  
ただし、以下の場合には内部BEMP割り込み要求を発生させません。
  - ダブルバッファ設定時に、1面分のデータ送信完了時にソフトウェアがCPU側のFIFOバッファに対する書き込みを開始している場合
  - また、ACLRMビットまたはBCLRビットに“1”を書くことによるバッファクリア (エンプティ)。
  - ファンクションコントローラ機能設定時、コントロール転送 Status ステージのIN転送 (Zero-Lengthパケット送信) 時
- 受信方向パイプの場合  
MaxPacketSizeの設定値より大きなデータサイズを正常受信したとき。  
この場合、USBモジュールは、BEMP割り込み要求を発生させ、BEMPSTS.PIPEnBEMPビットの対応するビットに“1”を表示し、受信データを破棄し、対応するパイプのPIDビットをSTALL (“11b”) に変更します。  
このときUSBモジュールは、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時にはSTALL応答を行います。  
ただし、以下の場合には内部BEMP割り込み要求を発生させません。
  - 受信データにCRCエラー、またはビットスタッフィングエラー等を検出したとき
  - SETUPトランザクション実行時  
BEMPSTS.PIPEnBEMPビットに“0”を書くことにより、ステータスをクリアすることができます。  
BEMPSTS.PIPEnBEMPビットに“1”を書いても、動作に影響ありません。

図27.9にファンクションコントローラ機能選択時のBEMP割り込み発生タイミング図を示します。

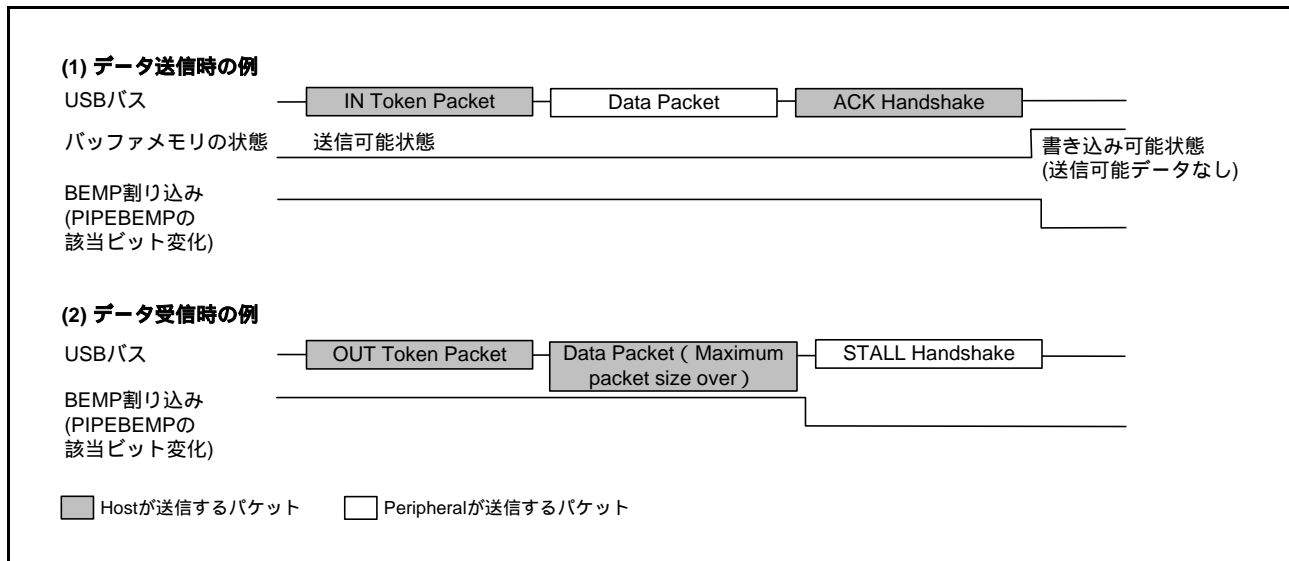


図27.9 ファンクションコントローラ機能選択時のBEMP割り込み発生タイミング図

## 27.3.3.4 デバイスステート遷移割り込み

図27.10にUSBモジュールのデバイスステート遷移図を示します。USBモジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰(レジューム信号検出)は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0.DVSQビットにて確認できます。

デフォルトステートに遷移する場合には、USBバスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

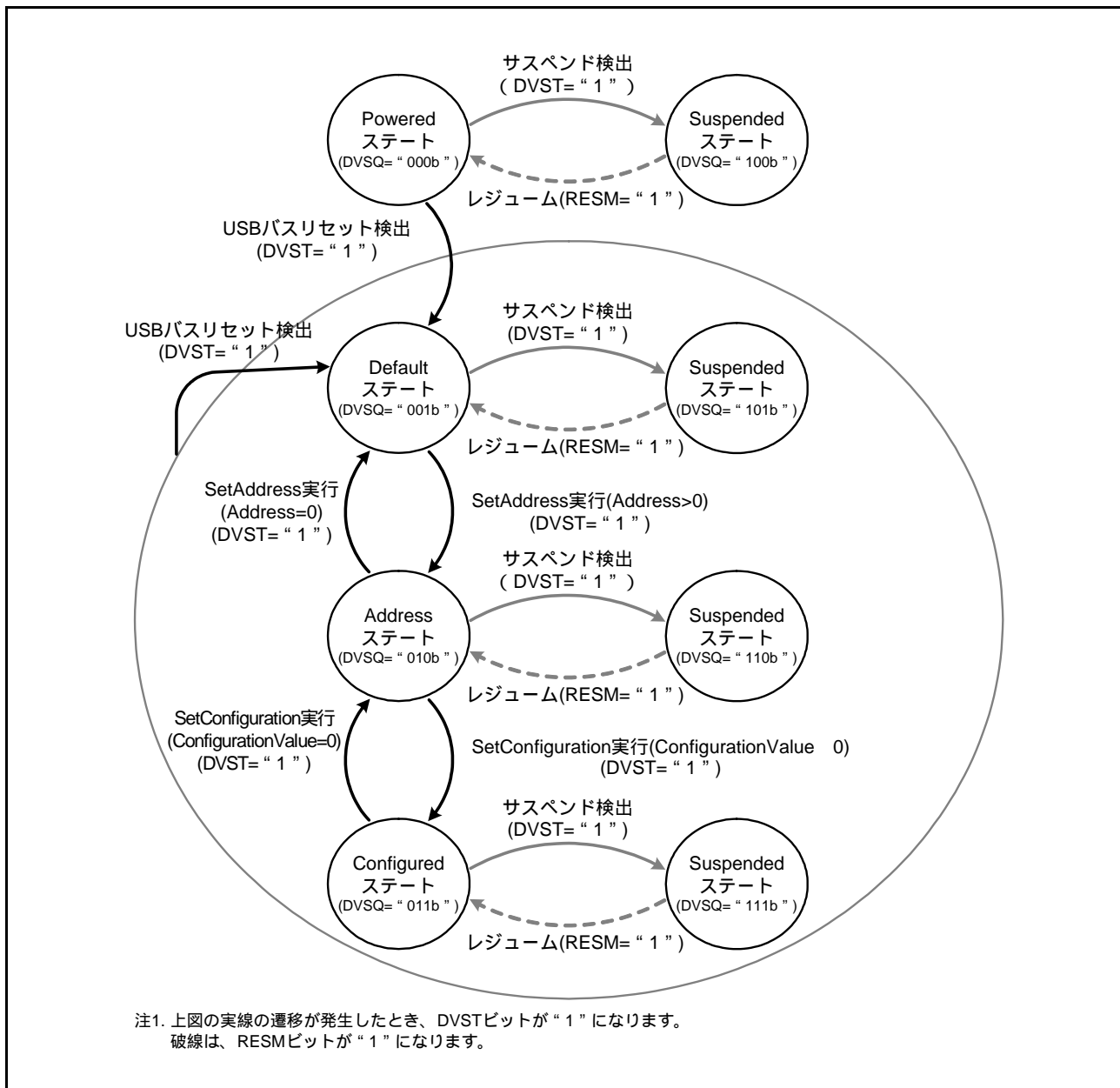


図27.10 デバイスステート遷移図

## 27.3.3.5 コントロール転送ステージ遷移割り込み

図27.11にUSBモジュールのコントロール転送ステージ遷移図を示します。USBモジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージはINTSTS0.CTSQビットにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントローラ機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTRレジスタのPIDビットが1xb (STALL応答) になります。

コントロールリード転送時

- データステージのINトークンに対して、1度もデータ転送していない状態でOUTトークンを受信
- ステータスステージでINトークン受信
- ステータスステージでデータパケットがDATAPID = DATA0のパケットを受信

コントロールライト転送時

- データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
- データステージで最初のデータパケットがDATAPID = DATA0のパケットを受信

コントロールライトノーデータコントロール転送時

- ステータスステージでOUTトークン受信
- ステータスステージでOUTトークン受信

なお、コントロールライト転送データステージで、受信データ数がUSBリクエストのwLength値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Lengthパケット以外のパケット受信には、ACK応答を行い正常終了します。

シーケンスエラーによるCTRT割り込み発生時 (SERR = "1") は、CTSQ = "110b" の値がシステムからCTRT = "0" 書き込み (割り込みステータスクリア) するまで保持されます。このため、CTSQ = "110" が保持されている状態では、新しいUSBリクエストを受信しても、セットアップステージ完了のCTRT割り込みは発生しません (セットアップステージ完了は、USBモジュールで保持されており、ソフトウェアによる割り込みステータスクリア後に、セットアップステージ完了割り込みが発生します)。

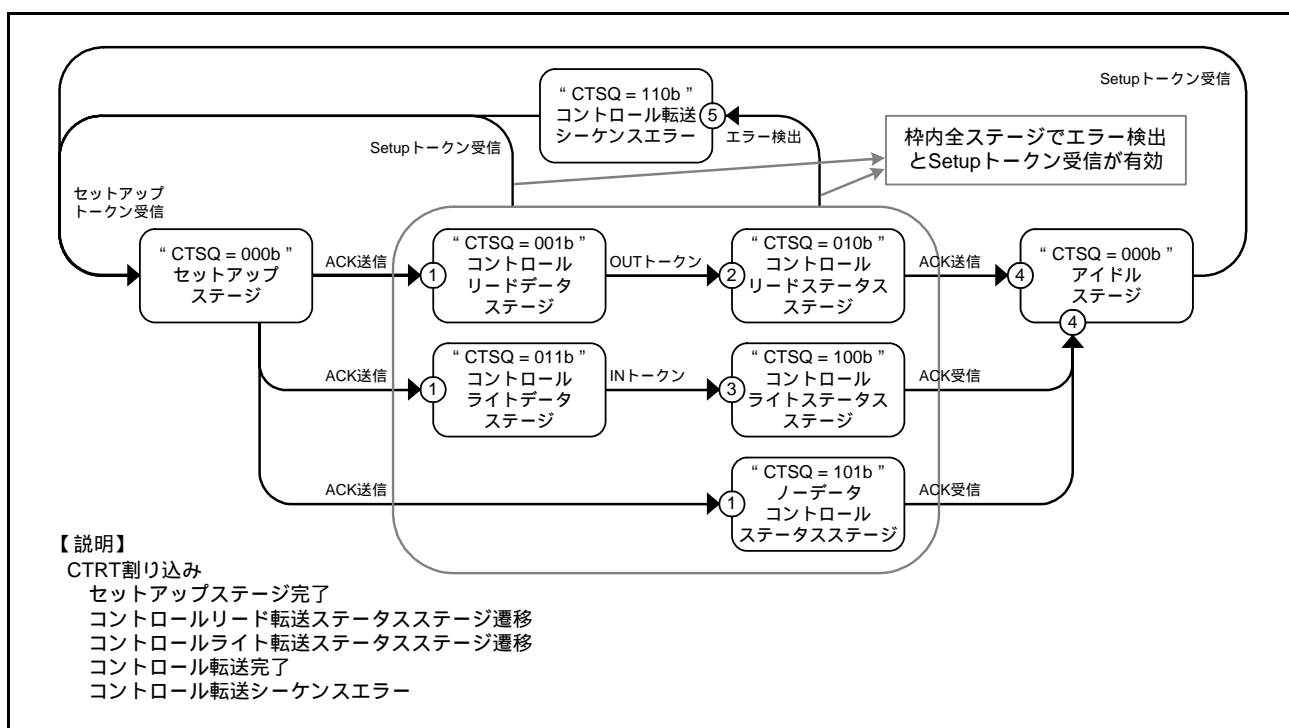


図27.11 コントロール転送ステージ遷移図

### 27.3.3.6 フレーム番号更新割り込み

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたときにSOFR割り込みが発生します。

ファンクションコントローラ機能を選択した場合、USBモジュールは、フルスピード動作中に新しいSOFパケットを検出すると、フレーム番号を更新してSOFR割り込みが発生します。

### 27.3.3.7 VBUS割り込み

USB\_VBUS端子に変化があった場合にVBUS割り込みが発生します。INTSTS0レジスタのVBSTSビットにてUSB\_VBUS端子のレベルを確認できます。VBUS割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、USB\_VBUS端子が変化しないため、最初のVBUS割り込みが発生しません。

### 27.3.3.8 レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態でUSBバス状態が変化(J-State K-StateまたはJ-State SE0)したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USBバスの変化はBCHG割り込みを用いて検出してください。

### 27.3.3.9 OVRCCR割り込み

USB\_OVRCURA端子またはUSB\_OVRCURB端子に変化があった場合にOVRCCR割り込みが発生します。SYSSTS0レジスタのOVCMON1[1:0]ビットにてUSB\_OVRCURA端子およびUSB\_OVRCURB端子のレベルを確認できます。OVRCCR割り込みによって外部電源ICからオーバカレント検出の確認ができます。

またOn-The-Go接続時にはVBUSコンパレータ変化検出の確認ができます。

### 27.3.3.10 BCHG割り込み

USBバスステートに変化があった場合に、BCHG割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

### 27.3.3.11 DTCH割り込み

ホストコントローラ機能選択時に、USBバスのディスコネクトを検出した場合、DTCH割り込みが発生します。USBモジュールは、USB Specification2.0に準じた基準でバスディスコネクトを検出します。

USBモジュールは、DTCH割り込みを検出後(該当する割り込み許可ビットの設定値にかかわらず)以下のハードウェア制御を行います。ソフトウェアは、当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ(ATTCH割り込み発生)待ちの状態に遷移してください。

- DTCH割り込みを検出したポートのUACTビットを“0”に変更し表示する。
- DTCH割り込みが発生したポートをアイドル状態に遷移させる。

### 27.3.3.12 SACK割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからのACK応答を受信した場合にSACK割り込みが発生します。SACK割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

### 27.3.3.13 SIGN割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからのACK応答を3回連続で正常に受信できなかった場合にSIGN割り込みが発生します。周辺デバイスがACKを送信しなかった場合(無応答)や、ACKパケットの破損を検出することができます。

### 27.3.3.14 ATTCH割り込み

ホストコントローラ機能選択時、USBポートにフルスピード信号レベルのJ-StateまたはK-Stateを2.5  $\mu$ s間検出した場合、ATTCH割り込みが発生します。ATTCH割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0またはSE1からJ-Stateに変化しJ-Stateのまま2.5  $\mu$ s間継続したとき
- J-State、SE0またはSE1からK-Stateに変化しK-Stateのまま2.5  $\mu$ s間継続したとき

### 27.3.3.15 EOFERR割り込み

USB 2.0仕様書に定められているEOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR割り込みが発生します。

USBモジュールは、EOFERR割り込みを検出後(該当する割り込み許可ビットの設定値にかかわらず)以下のハードウェア制御を行います。ソフトウェアは、該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再Enumerationを行ってください。

- EOFERR割り込みを検出したポートのDVSTCTR0.UACTビットを“0”に変更し表示する。
- EOFERR割り込みが発生したポートをアイドル状態に遷移させる。

## 27.3.4 パイプコントロール

表27.17にUSBモジュールのパイプ設定項目一覧を示します。USBデータ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。USBモジュールにはデータ転送用に5本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表27.17 パイプ設定項目一覧

レジスタ名	ビット名	設定内容	備 考
DCPCFG PIPECFG	TYPE	転送タイプを指定	パイプ4～7：設定可能
	BFRE	BRDY割り込みモードを選択	パイプ4～5：設定可能
	DBLB	ダブルバッファを選択	パイプ4～5：設定可能
	DIR	転送方向を選択	INまたはOUT設定可能
	EPNUM	エンドポイント番号	パイプ4～7：設定可能 パイプ使用時は0000b以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ4～5：設定可能
DCPMAXP PIPEMAXP	DEVSEL	デバイス選択	ホストコントローラ機能選択時のみ参照
	MXPS	マックスパケットサイズ	USB規格に準拠した設定
PIPEPERI	IITV	インターバルカウンタ	パイプ4～5：設定不可能 パイプ6～7：ホストコントローラ機能選択時のみ設定可能
DCPCTR PIPECTR	BSTS	バッファステータス	DCPはISELビットにより、受信/送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	パイプ4～5のみ内蔵
	SUREQ	SETUPリクエスト	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	SUREQCLR	SUREQクリア	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	ATREPM	自動応答モード	パイプ4～5：設定可能 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ4～7：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	パイプビジー確認	
	PID	応答PID	「27.3.4.6 応答PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウンタ許可	パイプ4～5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ4～5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ4～5：設定可能

### 27.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB通信が不許可 (PID = NAK) であるときのみ書き替えが可能になります。

USB通信許可 (PID = BUF) 状態では設定禁止であるレジスタ

- DCPCFGレジスタ、DCPMAXPレジスタの各ビット
- DCPCTR.SQCLRビット、DCPCTR.SQSETビット
- PIPECFGレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット
- PIPExCTR.ATREPMビット、PIPExCTR.ACLRMビット、PIPExCTR.SQCLRビット、PIPExCTR.SQSETビット
- PIPExTREレジスタ、PIPExTRNレジスタの各ビット

USB通信許可 (PID = BUF) 状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. 当該パイプのPIDをNAKに変更します。
3. 当該パイプのPBUSYビットが“0”になるまで待ちます。
4. パイプコントロールレジスタのビット変更が開始されます。

またパイプコントロールレジスタの以下のビットは、CFIFOSELレジスタのいずれのCURPIPEビットにも設定されていないパイプ情報のみ書き替えが可能です。

FIFO-PORTのCURPIPEに設定中に設定禁止であるレジスタ

- DCPCFGレジスタ、DCPMAXPレジスタの各ビット
- PIPECFGレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタのCURPIPEビットの設定を変更パイプ以外に指定してください。なお、DCPについてはパイプ情報修正後、BCLRにてバッファのクリア処理をしてください。

### 27.3.4.2 転送タイプ

PIPEPCFGレジスタのTYPEビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要 (コントロール転送固定) です。
- パイプ4～5：バルク転送を設定してください。
- パイプ6～7：インタラプト転送を設定してください。

### 27.3.4.3 エンドポイント番号

PIPEPCFGレジスタのEPNUMビットにて各パイプのエンドポイント番号を設定します。DCPは、エンドポイント“0”に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- DCP：設定不要 (エンドポイント“0”固定) です。
  - パイプ4～7：1から15までを選択して設定してください。
- ただし、DIRビットとEPNUMビットの組み合わせが重複しないように設定してください。



#### 27.3.4.4 マックスパケットサイズ設定

DCP<sub>MAXP</sub>レジスタおよびPIPE<sub>MAXP</sub>レジスタのMXPSビットにて各パイプのマックスパケットサイズを設定します。DCPおよびパイプ4～5はUSB規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ6～7は最大64バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前 (PID = BUF) に設定してください。

- DCP : 8、16、32、64から選択して設定してください。
- パイプ4～5 : バルク転送時は、8、16、32、64から選択して設定してください。
- パイプ6～7 : 1から64の値を設定してください。

#### 27.3.4.5 トランザクションカウンタ (パイプ4～5読み出し方向)

USBモジュールは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタには、トランザクション回数を指定するTRNCNTレジスタと、内部でトランザクションをカウントするカレントカウンタがあり、SHTNAKビット設定="1"との組み合わせによりカレントカウンタが指定回数に一致すると、該当PIPEのPIDをNAK状態とし、次の転送を不許可状態にします。TRCLRビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。TRENBビットの設定により、TRNCNTレジスタ読み出し時の情報が異なります。

- TRENB = "0" : 設定したトランザクションカウンタ値が読めます。
- TRENB = "1" : 内部でカウントしたカレントカウンタ値が読めます。

TRCLRビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID = BUFの場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

#### 27.3.4.6 応答PID

DCPCTRレジスタおよびPIPE<sub>n</sub>CTRレジスタのPIDビットにて各パイプの応答PIDを設定します。各設定におけるUSBモジュールの動作は下記のとおりです。

- ホストコントローラ機能選択時の応答PID設定  
応答PIDは、トランザクションの実施を指定します。
- NAK設定 : パイプ禁止状態です。トランザクションは実施されません。
- BUF設定 : バッファメモリの状況に応じてトランザクションが実施されます。  
OUT方向の場合、バッファメモリに送信データがある場合、OUTトークンを発行します。  
IN方向の場合、バッファメモリに空きがあり受信可能な場合、INトークンを発行します。
- STALL設定 : パイプ禁止状態です。トランザクションは実施されません。

注1. DCPのセットアップトランザクションは、SUREQビットで設定します。

- ファンクションコントローラ機能選択時の応答PID設定  
応答PIDは、ホストからのトランザクションに対する応答を指定します。
  - NAK設定 : 発生したトランザクションに対して常にNAK応答します。
  - BUF設定 : バッファメモリの状況に応じてトランザクションに応答します。
  - STALL設定 : 発生したトランザクションに対して常にSTALL応答します。
- 注1. セットアップトランザクションに対しては、PIDの設定にかかわらず、常にACK応答し、レジスタにUSBリクエストを格納します。

PIDビットは、トランザクション結果によりUSBモジュールによる書き込みが発生する場合があります。USBモジュールによりPIDビットへの書き込みが発生するのは以下の場合です。

- ホストコントローラ機能選択時にハードウェアが応答PIDを設定する場合
- NAK設定：以下の場合にPID = NAKとなり、トークンの発行を自動的に停止します。  
NRDY割り込みが発生したとき  
(詳細は、「27.3.3.2 NRDY割り込み」を参照してください。)
  - バルク転送時にPIPECFGレジスタのSHTNAKビットを“1”にした場合でショートパケットを受信したとき
  - バルク転送時にSHTNAKビットを“1”にし、トランザクションカウンタが終了したとき
- BUF設定：USBモジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID = STALLとなり、トークンの発行を自動的に停止します。  
送信したトークンに対してSTALLを受信したとき  
受信したデータパケットがマックスパケットサイズを超えたとき
  
- ファンクションコントローラ機能選択時にハードウェアが応答PIDを設定する場合
- NAK設定：以下の場合にPID = NAKとなり、トランザクションに対して常にNAK応答します。  
SETUPトークンを正常に受信したとき (DCPのみ)  
バルク転送時にPIPECFGレジスタのSHTNAKビットを“1”にし、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF設定：USBモジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID = STALLとなり、トランザクションに対して常にSTALL応答します。  
受信データパケットでマックスパケットサイズオーバーエラーを検出したとき  
コントロール転送シーケンスエラーを検出したとき (DCPのみ)

#### 27.3.4.7 データPIDシーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USBモジュールによりデータPIDのシーケンスビットが自動的にトグル動作します。次に送出されるデータPIDのシーケンスビットは、DCPCTRレジスタおよびPIPECTRレジスタのSQMONビットにて確認できます。データ送信時はACKハンドシェイク受信タイミングで、データ受信時はACKハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTRレジスタおよびPIPECTRレジスタのSQCLRビット、SQSETビットにてデータPIDシーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時にUSBモジュールが自動的にシーケンスビットを設定します。セットアップステージ終了時はDATA0になり、ステータスステージではDATA1で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeatureリクエストの送信または受信時などは、ソフトウェアでデータPIDシーケンスビットを設定する必要がありますので注意してください。

#### 27.3.4.8 応答PID = NAK機能

USBモジュールには、PIPECFGレジスタのSHTNAKビットを“1”にすることで、トランスファの最後(ショートパケット受信またはトランザクションカウンタでモジュールが自動識別)のデータパケット受信タイミングで、パイプ動作を禁止(応答PID = NAK)する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可(応答PID = BUF)設定を行う必要があります。

なお、応答PID=NAK機能はバルク転送時のみ動作することが可能です。

#### 27.3.4.9 自動応答モード

バルク転送のパイプ (パイプ4 ~ 5) において、PIPEnCTRレジスタのATREPMビットを“1”にすると、自動応答モードとなります。OUT転送時 (DIR = “0”) にはOUT-NAKモードとなり、IN転送時 (DIR = “1”) にはNull自動応答モードとなります。

#### 27.3.4.10 OUT-NAKモード

バルクOUT転送のパイプにおいて、ATREPMビットに“1”をセットすると、OUTトークンに対してNAK応答し、NRDY割り込みを出力します。通常モードからOUT-NAKモードへ設定するためには、パイプ動作禁止状態 (応答PID = NAK) でOUT-NAKモードに設定して、パイプ動作許可 (応答PID = BUF) を行ってください。パイプ動作許可後に、OUT-NAKモードが有効になります。ただし、パイプ動作禁止にする直前でOUTトークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへACK応答されます。

OUT-NAKモードから通常モードへ遷移させるためには、パイプ動作禁止状態 (応答PID = NAK) でOUT-NAKモードを解除して、パイプ動作許可 (応答PID = BUF) を行ってください。通常モードでは、OUTデータ受信が可能となります。

#### 27.3.4.11 Null自動応答モード

バルクIN転送のパイプにおいて、ATREPMビットに“1”をセットすると、Zero-Lengthパケットを送信し続けます。

通常モードからNull自動応答モードへ設定するためには、パイプ動作禁止状態 (応答PID = NAK) で、Null自動応答モードに設定して、パイプ動作許可 (応答PID = BUF) を行ってください。パイプ動作許可後に、Null自動応答モードが有効になります。ただし、Null自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。INBUFMビットが“0”であることで確認してください。INBUFMビットが“1”の場合には、バッファ内にデータが存在しているため、ACLRMビットにより空にしてください。また、Null自動応答モードへの設定中には、FIFOポートからのデータ書き込みは行わないでください。

Null自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態 (応答PID = NAK) をZero-Lengthパケット送信分ウェイト (約10 $\mu$ s) した後、Null自動応答モードを解除してください。通常モードでは、FIFOポートからの書き込みが可能となり、パイプ動作許可 (応答PID = BUF) を行うことにより、ホストへのパケット送信が可能となります。

## 27.3.5 FIFOバッファメモリ

### 27.3.5.1 FIFOバッファメモリ

USBモジュールはデータ転送用のFIFOバッファメモリを内蔵します。各PIPEの使用領域は、USBモジュールにて管理しています。FIFOバッファメモリの状況には、アクセス権がシステム (CPU側) にある場合とUSBモジュール (SIE側) にある場合があります。

#### • バッファステータス

表27.18および表27.19にUSBモジュールのバッファステータス表を示します。バッファメモリステータスをDCPCTR.BSTSビットおよびPIPEnCTR.INBUFMビットにて確認できます。バッファメモリのアクセス方向は、PIPEnCFGレジスタのDIRビットまたはCFIFOSELレジスタのISELビット (DCP選択時) で、バッファメモリのアクセス方向を指定します。

なお、INBUFMビットは送信方向のパイプ4～5でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTSビットはCPU側のバッファの状態を、INBUFMビットはSIE側のバッファの状態を判断するために使用します。CPUによるFIFOポートへの書き込みが遅く、BEMP割り込みではバッファの空きが判別できない場合に、INBUFMビットで送信完了を確認できます。

表27.18 BSTSビットによるバッファステータス

ISELまたはDIR	BSTS	バッファメモリの状態
0 (受信方向)	0	受信データなし、または受信中 FIFOポートからの読み出し不可能
0 (受信方向)	1	受信データあり、またはZero-Lengthパケット受信 FIFOポートからの読み出し可能 ただし、Zero-Lengthパケット受信時は読み出し不可のためバッファクリアが必要
1 (送信方向)	0	送信を完了していない FIFOポートへの書き込み不可能
1 (送信方向)	1	送信完了 CPUは書き込み可能

表27.19 INBUFMビットによるバッファステータス

DIR	INBUFM	バッファメモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データがFIFOポートから書き込まれた 送信可能データあり

### 27.3.5.2 FIFOバッファクリア

表27.20にUSBモジュールによるFIFOバッファメモリのクリア一覧表を示します。バッファメモリは、ポートコントロールレジスタのBCLR、ACLRMの各ビットでクリアすることができます。

表27.20 各バッファクリア一覧

FIFOバッファクリアの種類	CPU側バッファメモリをクリアします。	受信したパケットをすべて破棄する自動バッファクリアモードです。
当該レジスタ	CFIFOCTRレジスタ	PIPEnCTRレジスタ
当該ビット	BCLRビット	ACLRMビット
“0”になる条件	“1”書き込みで“0”になる	1：モード有効 0：モード無効

(1) 自動バッファクリアモード機能

USBモジュールには、PIPEnCTRレジスタのACLRMビットを“1”にすることで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対してACK応答を行います。なお、自動バッファクリアモード機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRMビットを“1”にし、続けて“0”にすることで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ただし、ハードウェアの内部シーケンス実行時間として、ACLRMビットへの“1”書き込みと“0”書き込みの間隔を100ns以上とってください。

(2) バッファメモリ仕様 (シングル/ダブル設定)

パイプ4～5は、PIPEnCFGレジスタのDBLBビットにてシングルバッファまたはダブルバッファを選択できます。

### 27.3.5.3 FIFOポートの機能

表 27.21 に USB モジュールの FIFO ポート機能設定表を示します。データ書き込みアクセス時は、マックスパケットサイズ数まで書き込みを行うと、自動的に送信可能状態となります。マックスパケットサイズ数未満のデータを送信可能状態にするには、CFIFOCTRレジスタのBVALビットによる書き込み終了設定が必要です。また、Zero-Lengthパケットの送信は、同レジスタのBCLRビットによるバッファクリアの上、BVALビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Lengthパケット受信時 (DTLN = “0”) は、データは読み出せませんので、同レジスタのBCLRビットによるバッファクリアが必要です。受信データ長は、CFIFOCTRレジスタのDTLNビットにて確認します。

表27.21 FIFOポート機能設定

レジスタ名	ビット名	機 能
CFIFOSEL	RCNT	DTLN読み出しモード選択
	REW	バッファメモリリwind (再読み出し、再書き込み)
	MBW	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアン選択
	ISEL	FIFOポートアクセス方向 (DCP専用)
	CURPIPE	カレントパイプ選択
CFIFOCTR	BVAL	バッファメモリ書き込み終了
	BCLR	CPU側バッファメモリクリア
	DTLN	受信データ長確認

#### (1) FIFOポート選択

CFIFOSELレジスタのCURPIPEビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだCURPIPE値が正しく読み出せたのを確認してから (前回のパイプ番号が読み出された場合には、USBコントローラがパイプ変更処理中であることを示します) FRDY = “1”を確認し、CFIFOポートレジスタにてFIFOポートへアクセスしてください。

また、MBWビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPEnCFGレジスタのDIRビットに従います。ただし、DCPのみISELビットにより決定します。

#### (2) REWビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、CFIFOSELレジスタのREWビットを使用します。

CFIFOSELレジスタのCURPIPEビット設定と同時にREWビットを“1”にしてパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、“0”にしパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFOポートへアクセスするには、パイプ選択後、FRDY = “1”であることを確認する必要があります。

### 27.3.6 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCPのバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で64バイトシングルバッファです。バッファメモリへのアクセスは、CFIFOポートのみ可能です。

#### 27.3.6.1 ホストコントローラ機能選択時のコントロール転送

##### (1) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、およびUSBLENG レジスタはセットアップトランザクションのUSB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR レジスタのSUREQ ビットに“1”を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、“0”になります。SUREQ = “1” 中は上記USB リクエストレジスタを操作しないでください。

接続されたファンクションデバイスのアタッチ検出後、そのデバイスに対する最初のセットアップトランザクションは、DCPMAXP レジスタのDEVSEL ビットを“0”にし、DEVADD0 レジスタのUSBSPD ビットを設定し上記シーケンスでセットアップトランザクションを発行してください。

接続されたファンクションデバイスがAddress ステートに遷移した以降は、DEVSEL ビットに割り付けたUSB Address 値を設定し、USB Address に対応するDEVADDx レジスタの各ビットを設定後に上記シーケンスでセットアップトランザクションを発行してください。例えば、PIPEMAXP レジスタのDEVSEL = “2h” のときはDEVADD2 レジスタを、PIPEMAXP レジスタのDEVSEL = “5h” のときはDEVADD5 レジスタを設定してください。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタのSIGN ビットおよびSACK ビット)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR レジスタのSQMON ビットの内容にかかわらず、常にDATA0のデータパケット (USB リクエスト) が送信されます。

##### (2) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスにはCFIFOSEL レジスタのISEL ビットでアクセス方向を指定してください。また、DCPCFG レジスタのDIR ビットで転送方向を指定してください。

データステージの第1データパケットはデータPIDをDATA1として通信する必要があります。DCPCFG レジスタのSQSET ビットでデータPIDをDATA1にセットし、PID ビットをBUFに設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたはBEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後にZero-Lengthパケットを送出するようにソフトウェアで制御してください。

##### (3) ステータスステージ

データステージと逆方向のZero-Lengthパケットのデータ転送です。データステージ同様にDCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータPIDをDATA1として通信する必要があります。DCPCFG レジスタのSQSET ビットでデータPIDをDATA1にセットしてください。

また、Zero-Lengthパケットの受信は、BRDY 割り込み発生後CFIFOCTR レジスタのDTLN ビットで受信データ長を確認のうえ、BCLR ビットでバッファメモリクリアを行ってください。

### 27.3.6.2 ファンクションコントローラ機能選択時のコントロール転送

#### (1) セットアップステージ

USBモジュールは、USBモジュールに対する正常なセットアップパケットに対して必ずACK応答します。セットアップステージのUSBモジュールの動作を以下に示します。

新しいセットアップパケットを受信すると、USBモジュールは以下のビットをセットします。

- INTSTS0レジスタのVALIDビットを“1”にする
- DCPCTRレジスタのPIDビットをNAKにセット
- DCPCTRレジスタのCCPLビットを“0”にする

セットアップパケットに引き続きデータパケット受信すると、USBモジュールは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、VALID = “0” にしてください。VALID = “1” の状態ではPID = BUF設定が行えず、データステージを終了することができません。

VALIDビットの機能により、USBモジュールは、コントロール転送中に新しいUSBリクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USBモジュールは、受信したUSBリクエストの方向ビット (bmRequestTypeのビット8) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。

#### (2) データステージ

受信したUSBリクエストに対応したデータ転送をDCPにて行ってください。DCPバッファメモリへアクセスする前に、CFIFOSELレジスタのISELビットにてアクセス方向指定を行ってください。

転送データがDCPバッファメモリのサイズより大きい場合には、コントロールライト転送ではBRDY割り込みを、コントロールリード転送ではBEMP割り込みを使用してデータ転送を行ってください。

#### (3) ステータスステージ

DCPCTRレジスタのPIDビットがPID = BUFの状態、CCPLビットを“1”にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USBモジュールが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合  
USBモジュールはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。
- コントロールライト転送、ノデータコントロール転送の場合  
USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。

#### (4) コントロール転送自動応答機能

USBモジュールは、正常なSET\_ADDRESSリクエストに自動応答します。SET\_ADDRESSリクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- コントロールリード転送以外の場合：bmRequestType 00h
- リクエストエラーの場合：wIndex 00h
- ノデータコントロール転送以外の場合：wLength 00h
- リクエストエラーの場合：wValue > 7Fh
- デバイスステートエラーのコントロール転送：DVSQ = 011b (Configured)

SET\_ADDRESS以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。



### 27.3.7 バルク転送(パイプ4～5)

バルク転送は、バッファメモリ使用方法(シングル/ダブルバッファ設定)の選択ができます。USBモジュールは、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み選択機能 (BFRE ビット:「27.3.3.1 (2) BRDYM = “0” かつ BFRE = “1” 設定時」参照)
- トランザクションカウント機能 (TRENB ビット、TRCLR ビット、TRNCNT ビット:「27.3.4.5 トランザクションカウンタ(パイプ4～5読み出し方向)」参照)
- 応答PID = NAK 機能 (SHTNAK ビット:「27.3.4.8 応答PID = NAK 機能」参照)
- 自動応答モード (ATREPM ビット:「27.3.4.9 自動応答モード」参照)

### 27.3.8 インタラプト転送(パイプ6～7)

ファンクションコントローラ機能選択時、USBモジュールは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。

#### 27.3.8.1 ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERIレジスタのIITVビットに、トランザクションのインターバルを設定します。USBコントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

##### (1) カウンタの初期化

USBコントローラがインターバルカウンタを初期化する条件は以下のとおりです。

- マイコンリセット:  
IITVビットが初期化されます。
- ACLRMによるバッファメモリ初期化  
IITVビットは初期化されませんがカウントは初期化されます。PIPEnCTR.ACLRMビットを“0”にすることにより、IITVの設定値を最初からカウントします。

なお、以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USBバスリセット、USBサスペンド  
IITVビットは初期化されません。DVSTCTR0.UACTビットを“1”にすることにより、USBバスリセット、USBサスペンド状態とする前の値からカウントを開始します。

##### (2) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PIDをNAKまたはSTALLに設定した場合
- IN方向(受信)の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT方向(送信)の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

### 27.3.9 SOF補間機能

ファンクションコントローラ機能を選択時にSOFパケットの破損または欠落のために、1ms間隔でSOFパケットを受信できなかった場合に、USBモジュールはSOFを補間します。SOF補間動作の開始はSYSCFG.USBE = “ 1 ”、SYSCFG.SCKE = “ 1 ” かつSOFパケット受信となります。また、下記の条件で補間機能が初期化されます。

- マイコンリセット
- USBバスリセット
- サスペンド検出

また、SOF補間は次の仕様で動作します。

- SOFパケット受信までは補間機能は動作しない。
- 最初のSOFパケット受信後は内部クロック48MHzで1msをカウントし補間する
- 2回目以降のSOFパケットを受信後は前回の受信間隔を用いて補間する
- サスペンド時およびUSBバスリセット受信中は補間しない

USBモジュールは、SOFパケットの受信に基づいて下記の機能を動作させますが、SOFパケットが欠落した場合にはSOF補間を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR 割り込みタイミング

パケットが欠落した場合には、FRMNUMレジスタのFRNMビットは更新されません。

## 27.3.10 パイプスケジュール

### 27.3.10.1 トランザクション発行条件

USBモジュールは、ホストコントローラ機能選択時、UACT = “1” にしたあと、表27.22に示す条件でトランザクションを発行します。

表27.22 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファの状態	SUREQ
セットアップ	- (注1)	- (注1)	- (注1)	- (注1)	“1” 設定
コントロール転送のデータステージ、 ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	- (注1)
	OUT	BUF	無効	送信データあり	- (注1)
インタラプト転送	IN	BUF	有効	受信領域あり	- (注1)
	OUT	BUF	有効	送信データあり	- (注1)

注1. 表中の「-」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタに関わらず発行されることを示します。

注2. 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。

### 27.3.10.2 転送スケジュール

USBモジュールのフレーム内の転送スケジューリング方法について説明します。USBモジュールは、SOFを送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行  
パイプ6 パイプ7の順に検索し、インタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
2. コントロール転送のセットアップトランザクション  
DCPを確認してセットアップトランザクションが可能であれば送信します。
3. バルク、コントロール転送データステージ、ステータスステージの実行  
DCP パイプ4 パイプ5の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。  
トランザクションを発行したとき、周辺デバイスからの応答がACKであってもNAKであっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3.を繰り返します。

### 27.3.10.3 USB通信許可

DVSTCTRレジスタのUACTビットを“1”にすることにより、SOFの送信を開始し、トランザクションの発行が可能となります。

UACTビットを“0”にすると、SOFの送信を停止しサスペンドとなります。UACTビットを“1” “0”にする場合、次のSOFを送信してから停止します。

### 27.3.11 USB用内部電源、USB\_VCC端子

USB用内部電源は、4.0V  $\leq$  VCC  $\leq$  5.5Vのときに使用可能です。VCC < 4.0Vの場合はUSB用内部電源を使用できません。USB用内部電源の出力はUSB\_VCC端子へ接続されています。USB用内部電源を使用する場合は、USB\_VCC端子に0.33 $\mu$ Fの容量を接続してください。

3.0V  $\leq$  VCC  $\leq$  3.6VのときにUSB機能を使用する場合、USB\_VCC端子にVCCを入力してください。USBMCレジスタのPXXCONビットが“1”(VDDUSBEビット有効)、VDDUSBEビットが“0”(USB用内部電源停止)のとき、USB\_VCC端子は入力可能状態となります。

USB機能を使用しない場合は、USBMCレジスタのPXXCONビットを“0”(VDDUSBEビット無効)にして、USB\_VCC端子は開放してください。USB\_VCC端子からはVCCレベルの電圧が出力されます。ただし、このときのUSB\_VCC出力で外部負荷の駆動は出来ません。

VCCを3.0Vより下げて使用する場合は、USB関連端子(USB\_DP、USB\_DM)に3.3Vの電圧を印加しないでください。

## 28. A/Dコンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P0\_0 ~ P0\_7、P1\_0 ~ P1\_3と端子を共用しています。

### 28.1 概要

表28.1にA/Dコンバータの性能を、図28.1にA/Dコンバータのブロック図を示します。

表28.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V ~ AVCC
動作クロック AD(注2)	fAD、fADの2分周、fADの4分周、fADの8分周 (fAD=f1またはfOCO-F)
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC=Vref=5V、AD=20MHzのとき <ul style="list-style-type: none"> <li>• 分解能8ビットの場合 ± 2LSB</li> <li>• 分解能10ビットの場合 ± 3LSB</li> </ul> AVCC=Vref=3.3V、AD=16MHzのとき <ul style="list-style-type: none"> <li>• 分解能8ビットの場合 ± 2LSB</li> <li>• 分解能10ビットの場合 ± 5LSB</li> </ul> AVCC=Vref=3.0V、AD=10MHzのとき <ul style="list-style-type: none"> <li>• 分解能8ビットの場合 ± 2LSB</li> <li>• 分解能10ビットの場合 ± 5LSB</li> </ul> AVCC=Vref=2.2V、AD=5MHzのとき <ul style="list-style-type: none"> <li>• 分解能8ビットの場合 ± 2LSB</li> <li>• 分解能10ビットの場合 ± 5LSB</li> </ul>
動作モード	単発モード、繰り返しモード0、繰り返しモード1、単掃引モード、繰り返し掃引モード
アナログ入力端子	12本(AN0 ~ AN11)
A/D変換開始条件	<ul style="list-style-type: none"> <li>• ソフトウェアトリガ</li> <li>• タイマRC</li> <li>• 外部トリガ(「28.3.3 A/D変換開始条件」参照)</li> </ul>
1端子あたりの変換速度(注3) (AD=fADのとき)	最短44 ADサイクル

注1. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. 動作クロック ADは「表32.40 A/Dコンバータ特性」を参照してください。

注3. 分解能8ビット、10ビット共に1端子あたりの変換速度は最短44 ADサイクルになります。

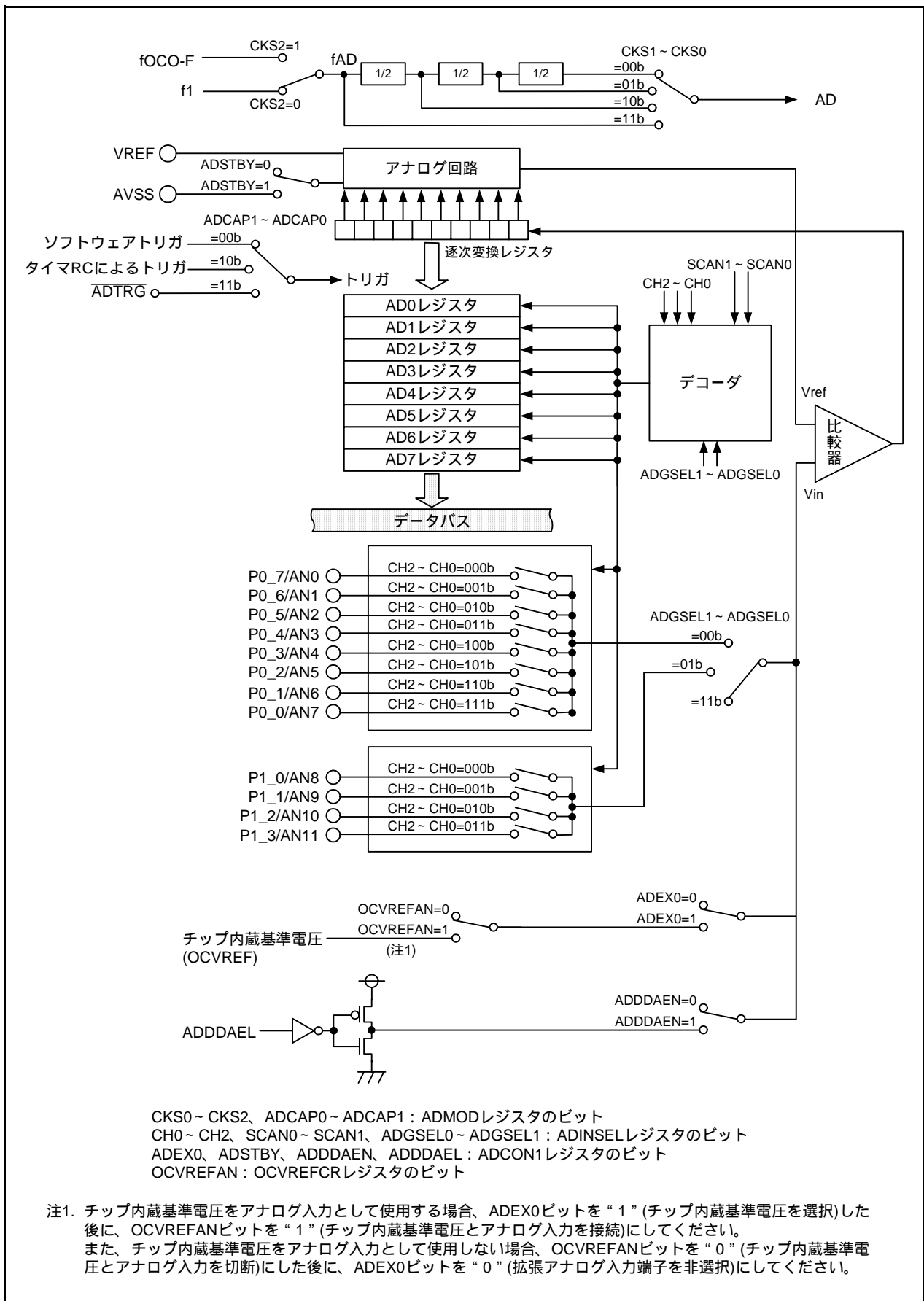


図28.1 A/Dコンバータのブロック図

## 28.2 レジスタの説明

## 28.2.1 チップ内蔵基準電圧制御レジスタ (OCVREFCR)

アドレス 0026h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	OCVREFAN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCVREFAN	チップ内蔵基準電圧 - アナログ 入力接続ビット(注1)	0 : チップ内蔵基準電圧とアナログ入力を切断 1 : チップ内蔵基準電圧とアナログ入力を接続	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADCON1 レジスタの ADEX0 ビットを "1" (チップ内蔵基準電圧を選択) にした後に、OCVREFAN ビットを "1" (チップ内蔵基準電圧とアナログ入力を接続) にしてください。

また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFAN ビットを "0" (チップ内蔵基準電圧とアナログ入力を切断) にした後に、ADEX0 ビットを "0" (拡張アナログ入力端子を非選択) にしてください。

OCVREFCR レジスタは、PRCR レジスタの PRC3 ビットを "1" (書き込み許可) にした後で書き換えてください。

A/D変換中に OCVREFCR レジスタの内容を書き換えた場合、変換結果は不定になります。

28.2.2 A/Dレジスタ*i* (AD*i*)(*i*=0 ~ 7)

アドレス 00C1h ~ 00C0h番地 (AD0)、00C3h ~ 00C2h番地 (AD1)、00C5h ~ 00C4h番地 (AD2)、  
00C7h ~ 00C6h番地 (AD3)、00C9h ~ 00C8h番地 (AD4)、00CBh ~ 00CAh番地 (AD5)、  
00CDh ~ 00CCh番地 (AD6)、00CFh ~ 00CEh番地 (AD7)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	-
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	-	-	-	-	-	-	-	-
リセット後の値	0	0	0	0	0	0	X	X

ビット	機能		R/W
	10ビットモードの場合 (ADCON1レジスタのBITSビット=“1”)	8ビットモードの場合 (ADCON1レジスタのBITSビット=“0”)	
b0	A/D変換結果の下位8ビット	A/D変換結果	R
b1			
b2			
b3			
b4			
b5			
b6			
b7			
b8	A/D変換結果の上位2ビット	読んだ場合、その値は“0”。	R
b9			
b10	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b11			
b12			
b13			
b14			
b15	予約ビット	読んだ場合、その値は不定。	R

A/D変換中にADCON1、ADMOD、ADINSEL、OCVREFCRレジスタのいずれかの内容を書き換えた場合、変換結果は不定になります。

10ビットモードかつ繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、AD*i*レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。



## 28.2.3 A/Dモードレジスタ(ADM0D)

アドレス 00D4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	分周選択ビット	b1 b0 00 : fADの8分周	R/W
b1	CKS1		01 : fADの4分周 10 : fADの2分周 11 : fADの1分周(分周なし)	R/W
b2	CKS2	クロック源選択ビット(注1)	0 : f1を選択 1 : fOCO-Fを選択	R/W
b3	MD0	A/D動作モード選択ビット	b5 b4 b3 000 : 単発モード	R/W
b4	MD1		001 : 設定しないでください	R/W
b5	MD2		010 : 繰り返しモード0 011 : 繰り返しモード1 100 : 単掃引モード 101 : 設定しないでください 110 : 繰り返し掃引モード 111 : 設定しないでください	R/W
b6	ADCAP0	A/D変換トリガ選択ビット	b7 b6 00 : ソフトウェアトリガ(ADCON0レジスタのADST ビット)によるA/D変換開始	R/W
b7	ADCAP1		01 : 設定しないでください 10 : タイマRCからの変換トリガによるA/D変換開始 11 : 外部トリガ(ADTRG)によるA/D変換開始	R/W

注1. CKS2ビットを変更したときは、ADの3サイクル以上経過した後にA/D変換を開始してください。

A/D変換中にADM0Dレジスタの内容を書き換えた場合、変換結果は不定になります。

## 28.2.4 A/D入力選択レジスタ(ADINSEL)

アドレス 00D5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADGSEL1	ADGSEL0	SCAN1	SCAN0	-	CH2	CH1	CH0
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0	アナログ入力端子選択ビット	「表28.2 アナログ入力端子選択」参照	R/W
b1	CH1			R/W
b2	CH2			R/W
b3	-	予約ビット	“0” にしてください	R/W
b4	SCAN0	A/D掃引端子数選択ビット	b5 b4 00: 2端子 01: 4端子 10: 6端子 11: 8端子	R/W
b5	SCAN1			R/W
b6	ADGSEL0	A/D入力グループ選択ビット	b7 b6 00: ポートP0グループを選択 01: ポートP1グループを選択 10: 設定しないでください 11: ポートグループを非選択	R/W
b7	ADGSEL1			R/W

A/D変換中にADINSELレジスタの内容を書き換えた場合、変換結果は不定になります。

表28.2 アナログ入力端子選択

CH2 ~ CH0ビット	ADGSEL1 ~ ADGSEL0ビット =00b	ADGSEL1 ~ ADGSEL0ビット =01b
000b	AN0	AN8
001b	AN1	AN9
010b	AN2	AN10
011b	AN3	AN11
100b	AN4	設定しないでください
101b	AN5	
110b	AN6	
111b	AN7	

## 28.2.5 A/D制御レジスタ0 (ADCON0)

アドレス 00D6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	-	-	-	-	-	-	-	ADST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	R/W
b1	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b2	-			
b3	-			
b4	-			
b5	-			
b6	-			
b7	-			

## ADSTビット (A/D変換開始フラグ)

【“1”になる条件】A/D変換開始時およびA/D変換中

【“0”になる条件】A/D変換停止時

## 28.2.6 A/D制御レジスタ1 (ADCON1)

アドレス 00D7h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADDDAEL	ADDDAEN	ADSTBY	BITS	-	-	-	ADEX0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADEX0	拡張アナログ入力端子選択ビット (注1)	0: 拡張アナログ入力端子を非選択 1: チップ内蔵基準電圧を選択(注2、5、6)	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	-			
b4	BITS	8/10ビットモード選択ビット	0: 8ビットモード 1: 10ビットモード	R/W
b5	ADSTBY	A/Dスタンバイビット(注3)	0: A/D動作停止(スタンバイ) 1: A/D動作可能	R/W
b6	ADDDAEN	A/D断線検出アシスト機能許可ビット (注4、6)	0: 禁止 1: 許可	R/W
b7	ADDDAEL	A/D断線検出アシスト方式選択ビット (注4)	0: 変換前ディスチャージ 1: 変換前プリチャージ	R/W

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0 ビットを "1" (チップ内蔵基準電圧を選択) にした後に、OCVREFCR レジスタの OCVREFAN ビットを "1" (チップ内蔵基準電圧とアナログ入力を接続) にしてください。

また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFAN ビットを "0" (チップ内蔵基準電圧とアナログ入力を切断) にした後に、ADEX0 ビットを "0" (拡張アナログ入力端子を非選択) にしてください。

注2. 単掃引モード、繰り返し掃引モードでは設定しないでください。

注3. ADSTBY ビットを "0" (A/D動作停止) から "1" (A/D動作可能) にしたときは、AD の1サイクル以上経過した後にA/D変換を開始してください。

注4. A/D断線検出アシスト機能を許可するためには、ADDDAEN ビットを "1" (許可) にした後、ADDDAEL ビットで変換開始状態を選択してください。

断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。

注5. チップ内蔵基準電圧を使用する場合 (ADEX0 = 1)、ADINSEL レジスタの CH2 ~ CH0 ビットを "000b" にしてください。

注6. チップ内蔵基準電圧を使用する場合 (ADEX0 = 1)、ADDDAEN ビットを "0" (A/D断線検出アシスト機能を禁止) にしてください。

A/D変換中に ADCON1 レジスタの内容を書き換えた場合、変換結果は不定になります。

## 28.3 複数モードに関わる共通事項

### 28.3.1 入出力端子

アナログ入力はAN0 ~ AN11 で、P0\_0 ~ P0\_7、P1\_0 ~ P1\_3と端子を共用しています。

AN<sub>i</sub> (i=0 ~ 11) 端子を入力で使用する場合、端子に対応するポート方向ビットを“0”(入力モード)にしてください。

A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。

### 28.3.2 A/D変換サイクル数

図28.2にA/D変換タイミング図を、図28.3にA/D変換サイクル数(  $AD = f_{AD}$  のとき)を示します。

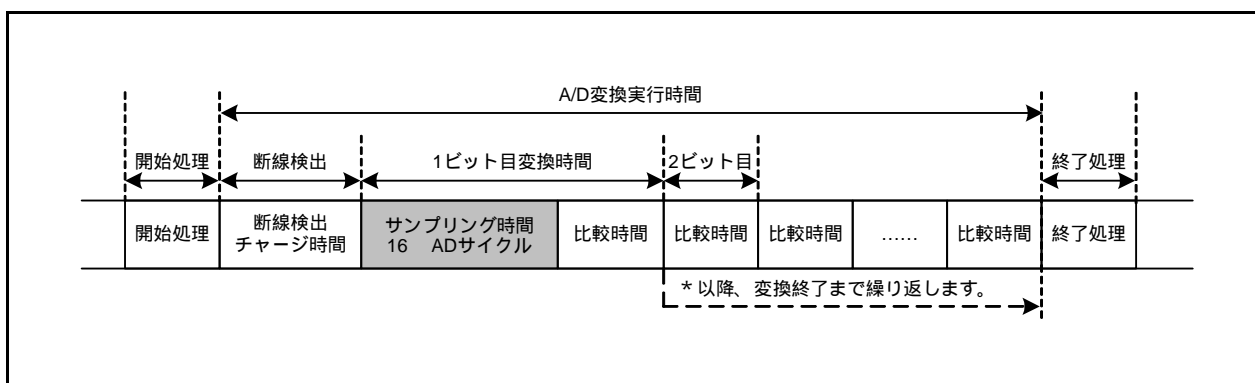


図28.2 A/D変換タイミング図

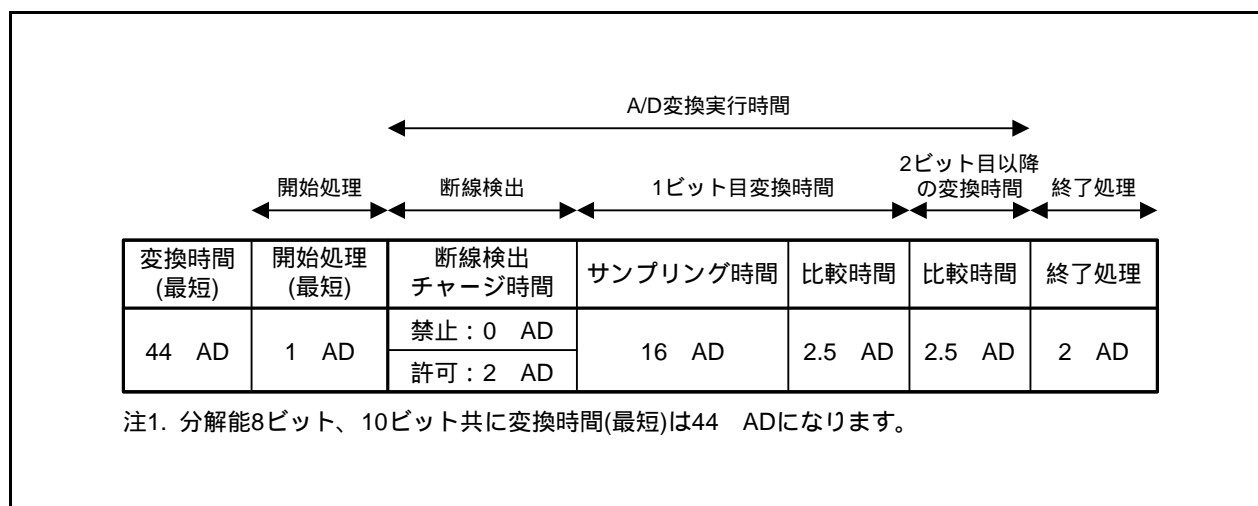


図28.3 A/D変換サイクル数(  $AD = f_{AD}$  のとき)

表28.3に各A/D変換項目のサイクル数を示します。A/D変換時間は次のとおりです。

開始処理時間は ADの選択によって変わります。

ADCON0レジスタのADSTビットに“1”(A/D変換開始)を書くと、開始処理時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと“0”(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間にADSTビットが“0”になり、最後のA/D変換結果がADiレジスタに入ります。

- 単発モードの場合  
開始処理時間 + A/D変換実行時間 + 終了処理時間
- 単掃引モードで2端子を選択した場合  
開始処理時間 + (A/D変換実行時間 + 実行間処理時間 + A/D変換実行時間) + 終了処理時間

表28.3 各A/D変換項目のサイクル数

A/D変換項目		サイクル数
開始処理時間	AD=fAD	fADの1～2サイクル
	AD=fADの2分周	fADの2～3サイクル
	AD=fADの4分周	fADの3～4サイクル
	AD=fADの8分周	fADの5～6サイクル
A/D変換実行時間	断線検出禁止	ADの40サイクル + fADの1～3サイクル
	断線検出許可	ADの42サイクル + fADの1～3サイクル
実行間処理時間		ADの1サイクル
終了処理時間		fADの2～3サイクル

### 28.3.3 A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガと、タイマRCからのトリガと、外部トリガがあります。図28.4にA/D変換開始制御部のブロック図を示します。

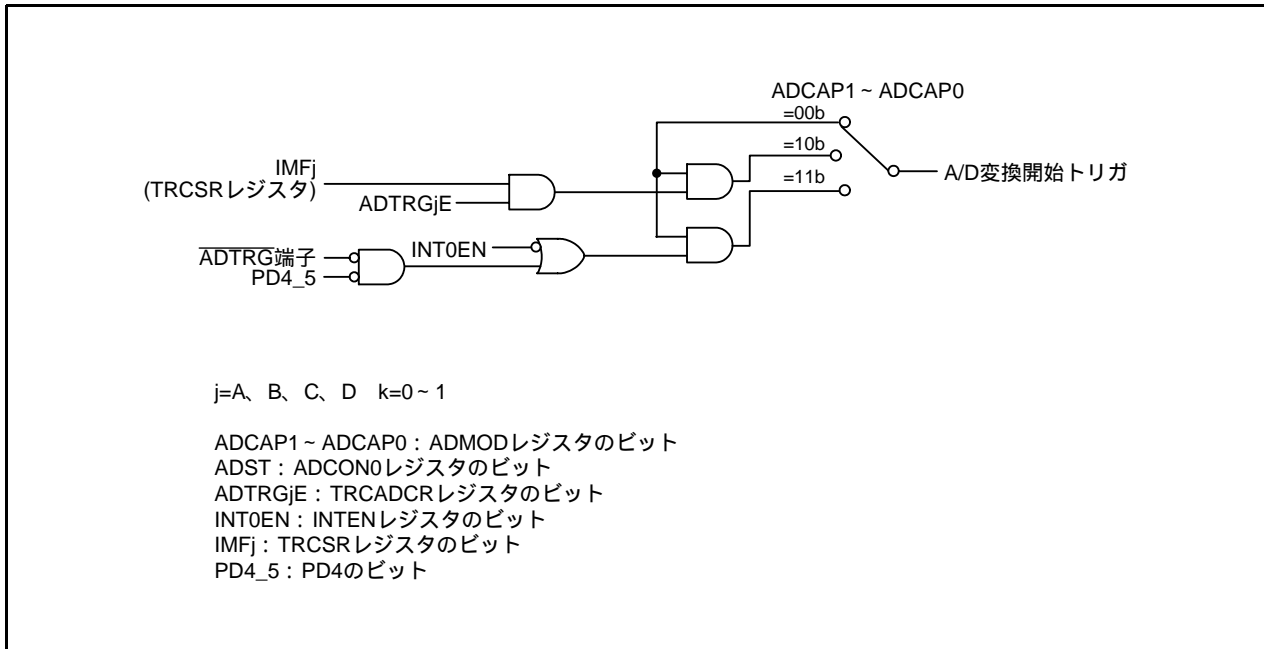


図28.4 A/D変換開始制御部のブロック図

#### 28.3.3.1 ソフトウェアトリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“00b” (ソフトウェアトリガ)の場合です。ADCON0レジスタのADSTビットを“1” (A/D変換開始)にするとA/D変換を開始します。

### 28.3.3.2 タイマRCからのトリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“10b”(タイマRC)の場合です。  
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1 ~ ADCAP0ビットが“10b”(タイマRC)
- タイマRCをアウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)で使用
- TRCADCRレジスタのADTRGjEビット(j=A、B、C、D)が“1”(TRCGRjレジスタのコンペアー致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態、TRCSRレジスタのIMFjビットが“0”から“1”になると、A/D変換を開始します。  
タイマRC、アウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)の詳細は「19. タイマRC」、「19.5 タイマモード(アウトプットコンペア機能)」、「19.6 PWMモード」、「19.7 PWM2モード」を参照してください。

### 28.3.3.3 外部トリガ

ADMODレジスタのADCAP1 ~ ADCAP0ビットが“11b”(外部トリガ( $\overline{\text{ADTRG}}$ ))の場合です。  
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1 ~ ADCAP0ビットを“11b”(外部トリガ( $\overline{\text{ADTRG}}$ ))にする。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4\_5ビットを“0”(入力モード)にする。
- $\overline{\text{INT0}}$ のデジタルフィルタをINTFレジスタのINT0F1 ~ INT0F0ビットで選択する。
- ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、 $\overline{\text{ADTRG}}$ 端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

上記の状態、 $\overline{\text{ADTRG}}$ 端子の入力を“H”から“L”にするとA/D変換を開始します。



### 28.3.4 A/D変換結果

A/D変換した結果はAD<sub>i</sub>レジスタ(i=0~7)に格納されます。使用するA/D動作モードによって、格納されるAD<sub>i</sub>レジスタは違います。AD<sub>i</sub>レジスタはリセット後不定です。値は書き込みません。

繰り返しモード0では割り込み要求は発生しません。1回目のA/D変換終了は、A/D変換時間が経過したことをプログラムで判定してください。

単発モード、繰り返しモード1、単掃引モード、繰り返し掃引モードでは、A/D変換終了などのタイミングで割り込み要求が発生します(ADICレジスタのIRビットが“1”になります)。

ただし、繰り返しモード1、繰り返し掃引モードでは、割り込み要求発生後もA/D変換を続けます。次のA/D変換が終了するとAD<sub>i</sub>レジスタに値を上書きしますので、それまでにAD<sub>i</sub>レジスタを読み出してください。

単発モード、単掃引モードで、ADMODレジスタのADCAP1~ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合は、ADCON0レジスタのADSTビットでもA/D変換終了、掃引終了を判定できます。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないAD<sub>i</sub>レジスタも、不定になる場合があります。

プログラムでADSTビットを“0”にした場合は、すべてのAD<sub>i</sub>レジスタの値を使用しないでください。

### 28.3.5 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、ADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

### 28.3.6 チップ内蔵基準電圧(OCVREF)

単発モード、繰り返しモード0、繰り返しモード1では、チップ内蔵基準電圧(OCVREF)をアナログ入力として使用できます。

チップ内蔵基準電圧を使用することにより、VREFの変動を確認することができます。ADCON1レジスタのADEX0ビットとOCVREFCRレジスタのOCVREFANビットで選択してください。

単発モード、繰り返しモード0でのチップ内蔵基準電圧のA/D変換結果は、AD0レジスタに格納されます。

### 28.3.7 A/D断線検出アシスト機能

A/D変換の動作時に、前に変換したチャンネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョップアップキャパシタの電荷を所定の状態(AVCCまたはGND)に固定する機能を内蔵しています。この機能により、アナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

図28.5にAVCC側でのA/D断線検出例(変換前プリチャージを選択)を、図28.6にAVSS側でのA/D断線検出例(変換前ディスチャージを選択)を示します。

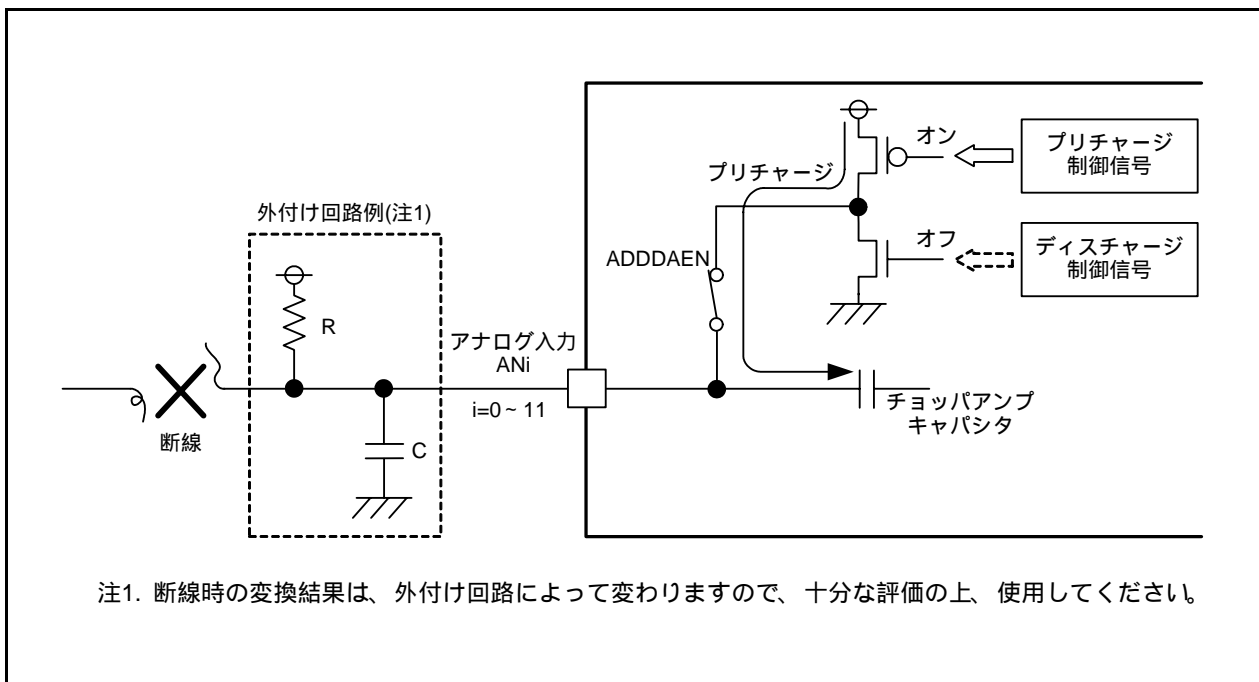


図28.5 AVCC側でのA/D断線検出例(変換前プリチャージを選択)

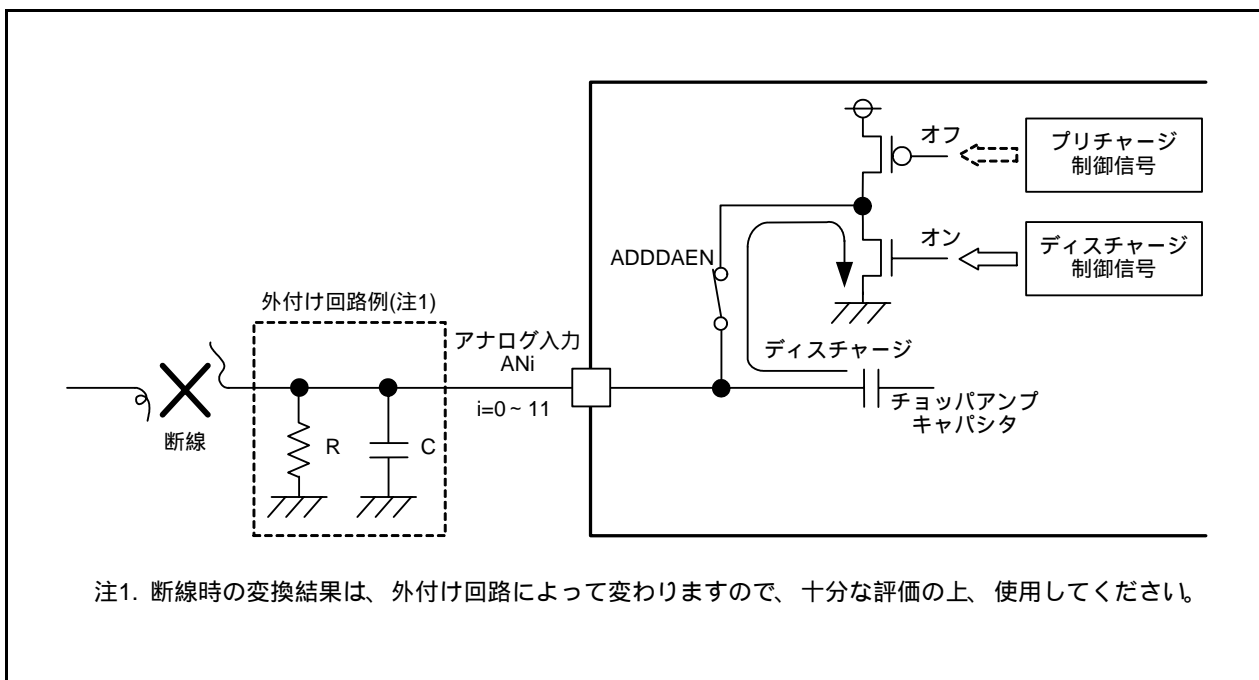


図28.6 AVSS側でのA/D断線検出例(変換前ディスチャージを選択)

## 28.4 単発モード

AN0 ~ AN11、またはOCVREFから選択した1本の端子の入力電圧を、1回A/D変換するモードです。  
表28.4に単発モードの仕様を示します。

表28.4 単発モードの仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を1回A/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> <li>•ソフトウェアトリガ</li> <li>•タイマRC</li> <li>•外部トリガ(「28.3.3 A/D変換開始条件」参照)</li> </ul>
A/D変換停止条件	<ul style="list-style-type: none"> <li>•A/D変換終了(ADM0DレジスタのADCAP1 ~ ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合、ADCON0レジスタのADSTビットが“0”になる)</li> <li>•ADSTビットを“0”にする</li> </ul>
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0 ~ AN11、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8、OCVREF AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

## 28.5 繰り返しモード0

AN0 ~ AN11、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表28.5に繰り返しモード0の仕様を示します。

表28.5 繰り返しモード0の仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0で選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> <li>•ソフトウェアトリガ</li> <li>•タイマRC</li> <li>•外部トリガ(「28.3.3 A/D変換開始条件」参照)</li> </ul>
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
アナログ入力端子	AN0 ~ AN11、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、OCVREF AD1レジスタ : AN1、AN9 AD2レジスタ : AN2、AN10 AD3レジスタ : AN3、AN11 AD4レジスタ : AN4 AD5レジスタ : AN5 AD6レジスタ : AN6 AD7レジスタ : AN7
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

## 28.6 繰り返しモード1

AN0 ~ AN11、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表28.6に繰り返しモード1の仕様を、図28.7に繰り返しモード1時の動作例を示します。

表28.6 繰り返しモード1の仕様

項目	仕様
機能	ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> <li>•ソフトウェアトリガ</li> <li>•タイマRC</li> <li>•外部トリガ(「28.3.3 A/D変換開始条件」参照)</li> </ul>
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	AD7レジスタにA/D変換結果が格納されたとき
アナログ入力端子	AN0 ~ AN11、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：1回目のA/D変換結果、9回目のA/D変換結果、 AD1レジスタ：2回目のA/D変換結果、10回目のA/D変換結果、 AD2レジスタ：3回目のA/D変換結果、11回目のA/D変換結果、 AD3レジスタ：4回目のA/D変換結果、12回目のA/D変換結果、 AD4レジスタ：5回目のA/D変換結果、13回目のA/D変換結果、 AD5レジスタ：6回目のA/D変換結果、14回目のA/D変換結果、 AD6レジスタ：7回目のA/D変換結果、15回目のA/D変換結果、 AD7レジスタ：8回目のA/D変換結果、16回目のA/D変換結果、
A/D変換値の読み出し	AD0レジスタ ~ AD7レジスタの読み出し

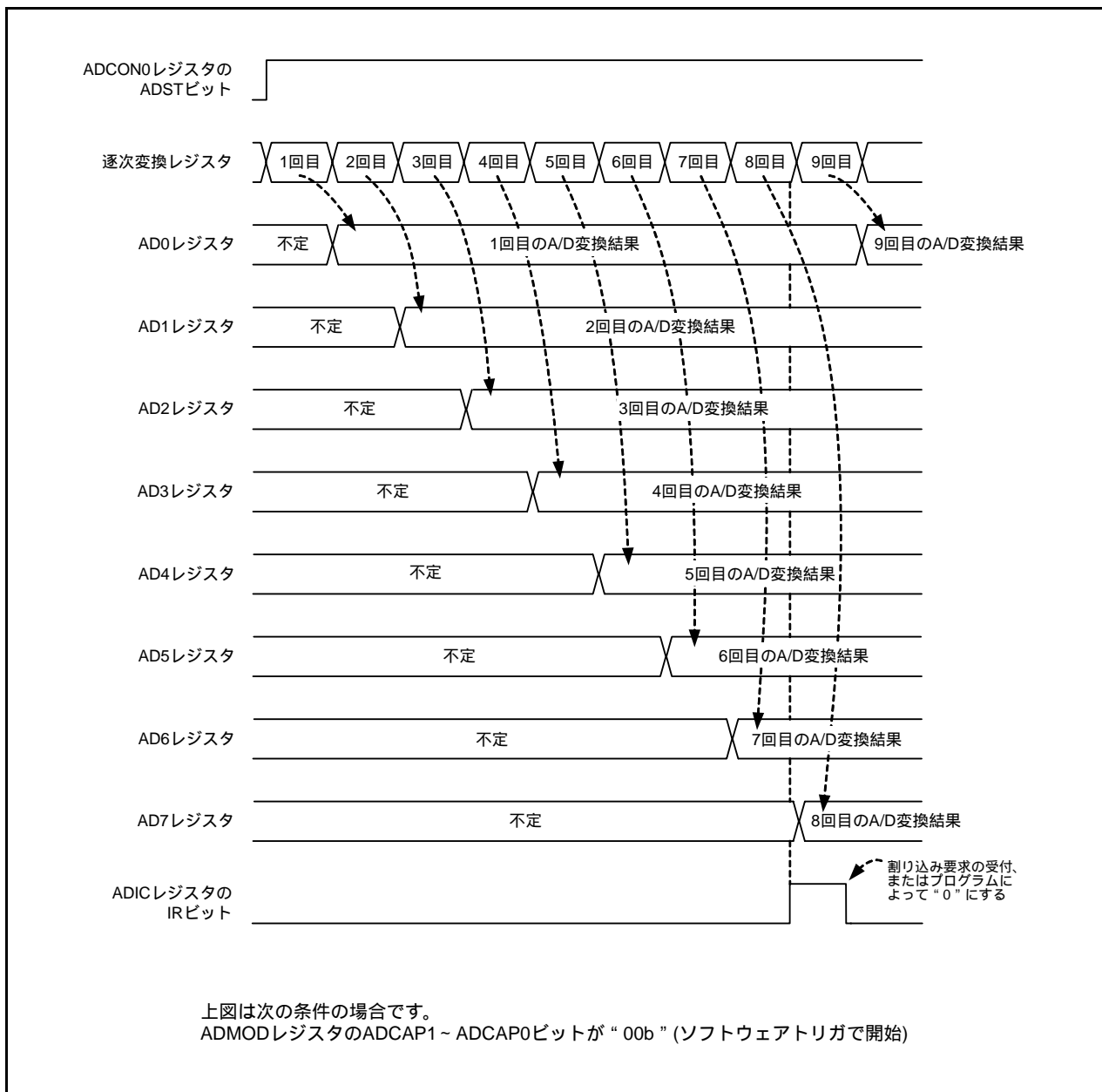


図28.7 繰り返しモード1時の動作例

## 28.7 単掃引モード

AN0 ~ AN11から選択した2本、4本、6本または8本の端子の入力電圧を、1回ずつA/D変換するモードです。

表28.7に単掃引モードの仕様を、図28.8に単掃引モード時の動作例を示します。

表28.7 単掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのADGSEL1 ~ ADGSEL0ビットとSCAN1 ~ SCAN0ビットで選択した端子の入力電圧を1回ずつA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>タイマRC</li> <li>外部トリガ(「28.3.3 A/D変換開始条件」参照)</li> </ul>
A/D変換停止条件	<ul style="list-style-type: none"> <li>2端子を選択している場合、選択した2端子のA/D変換終了(ADCON0レジスタのADSTビットが“0”になる)</li> <li>4端子を選択している場合、選択した4端子のA/D変換終了(ADSTビットが“0”になる)</li> <li>6端子を選択している場合、選択した6端子のA/D変換終了(ADSTビットが“0”になる)</li> <li>8端子を選択している場合、選択した8端子のA/D変換終了(ADSTビットが“0”になる)</li> <li>ADSTビットを“0”にする</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>2端子を選択している場合、選択した2端子のA/D変換終了時</li> <li>4端子を選択している場合、選択した4端子のA/D変換終了時</li> <li>6端子を選択している場合、選択した6端子のA/D変換終了時</li> <li>8端子を選択している場合、選択した8端子のA/D変換終了時</li> </ul>
アナログ入力端子	AN0 ~ AN1 (2端子)、AN8 ~ AN9 (2端子)、 AN0 ~ AN3 (4端子)、AN8 ~ AN11 (4端子)、 AN0 ~ AN5 (6端子)、AN0 ~ AN7 (8端子) (SCAN1 ~ SCAN0ビットとADGSEL1 ~ ADGSEL0ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8 AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

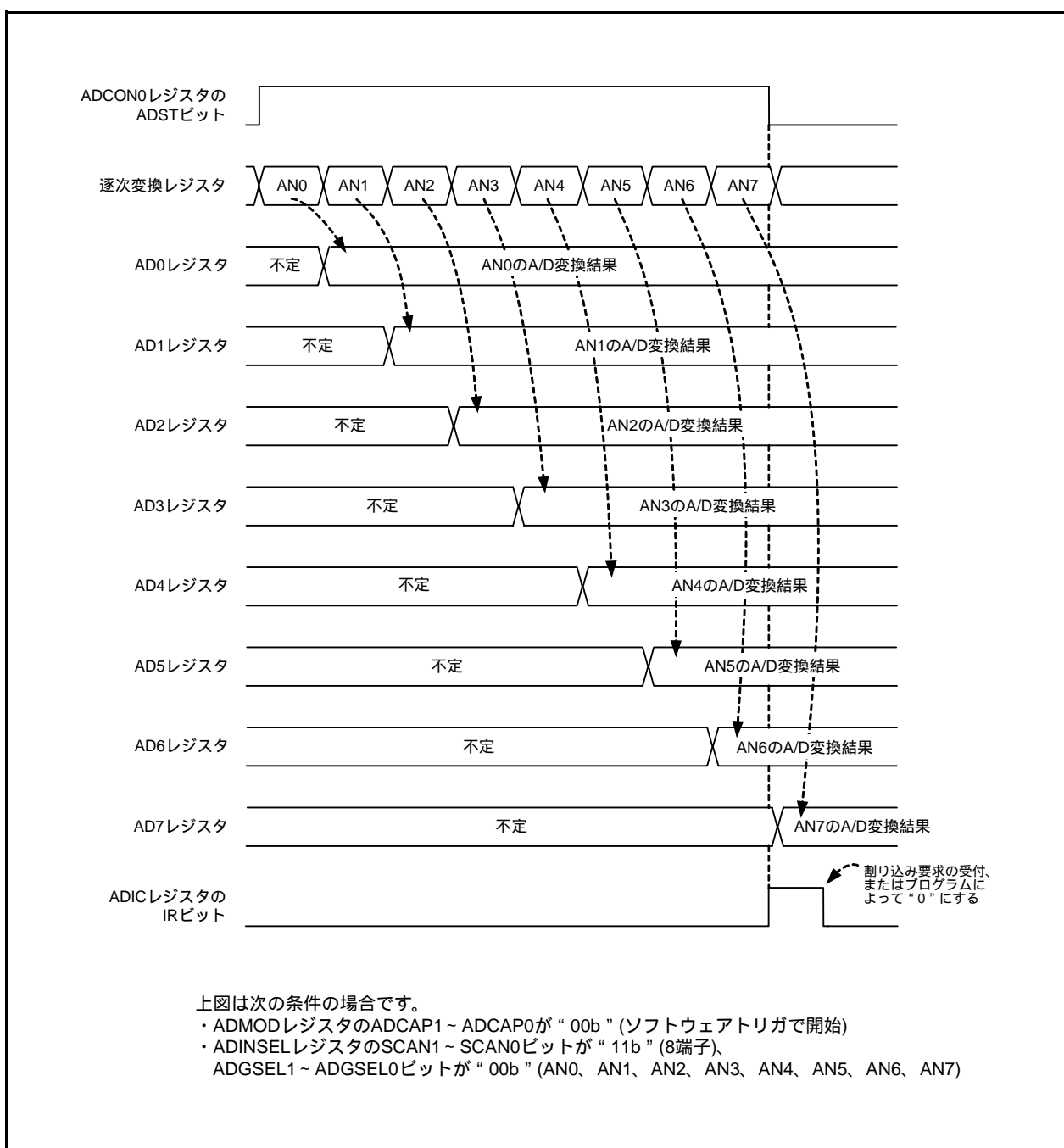


図28.8 単掃引モード時の動作例



## 28.8 繰り返し掃引モード

AN0 ~ AN11から選択した2本、4本、6本または8本の端子の入力電圧を、繰り返しA/D変換するモードです。

表28.8に繰り返し掃引モードの仕様を、図28.9に繰り返し掃引モード時の動作例を示します。

表28.8 繰り返し掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのADGSEL1 ~ ADGSEL0ビットとSCAN1 ~ SCAN0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> <li>•ソフトウェアトリガ</li> <li>•タイマRC</li> <li>•外部トリガ(「28.3.3 A/D変換開始条件」参照)</li> </ul>
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>•2端子を選択している場合、選択した2端子のA/D変換終了時</li> <li>•4端子を選択している場合、選択した4端子のA/D変換終了時</li> <li>•6端子を選択している場合、選択した6端子のA/D変換終了時</li> <li>•8端子を選択している場合、選択した8端子のA/D変換終了時</li> </ul>
アナログ入力端子	AN0 ~ AN1 (2端子)、AN8 ~ AN9 (2端子)、 AN0 ~ AN3 (4端子)、AN8 ~ AN11 (4端子)、 AN0 ~ AN5 (6端子)、AN0 ~ AN7 (8端子) (SCAN1 ~ SCAN0ビットとADGSEL1 ~ ADGSEL0ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8 AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ ~ AD7レジスタの読み出し

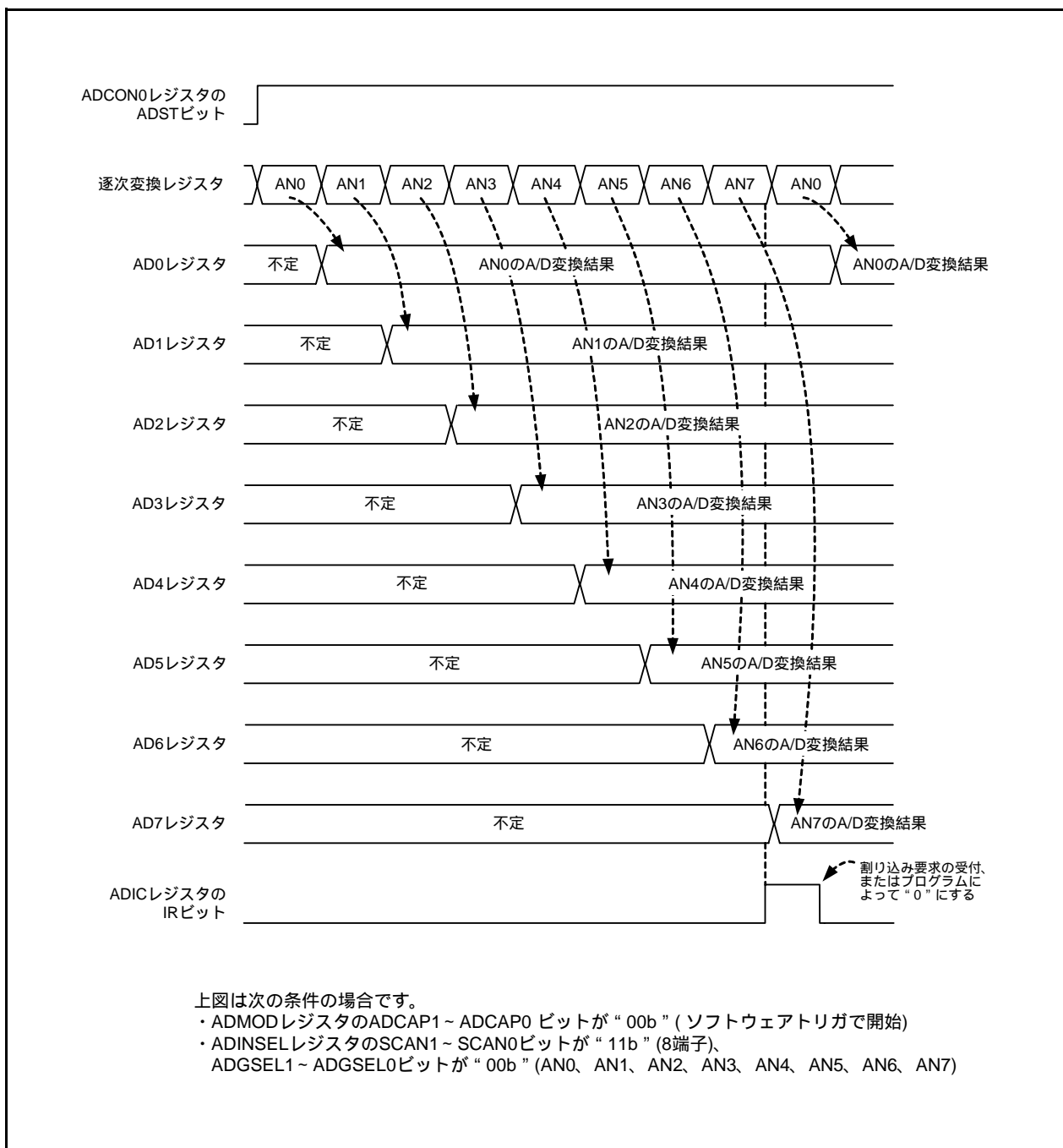


図28.9 繰り返し掃引モード時の動作例

## 28.9 A/D変換時のセンサの出力インピーダンス

A/D変換を正しく行うためには、図28.10の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$V_C \text{は一般に } V_C = V_{IN} \left\{ 1 - e^{-\frac{1}{C(R_0 + R)} t} \right\}$$

$$t=T \text{のとき、} V_C = V_{IN} - \frac{X}{Y} V_{IN} = V_{IN} \left( 1 - \frac{X}{Y} \right) \text{より、}$$

$$e^{-\frac{1}{C(R_0 + R)} T} = \frac{X}{Y}$$

$$-\frac{1}{C(R_0 + R)} T = \ln \frac{X}{Y}$$

$$\text{よって、} R_0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図28.10にアナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1LSBとなると、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

AD=20MHzのとき、T=0.8μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.8μs、R=10kΩ、C=6.0pF、X=0.1、Y=1024だから、

$$R_0 = -\frac{0.8 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 4.4 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサ回路の出力インピーダンスR0は最大4.4kΩになります。

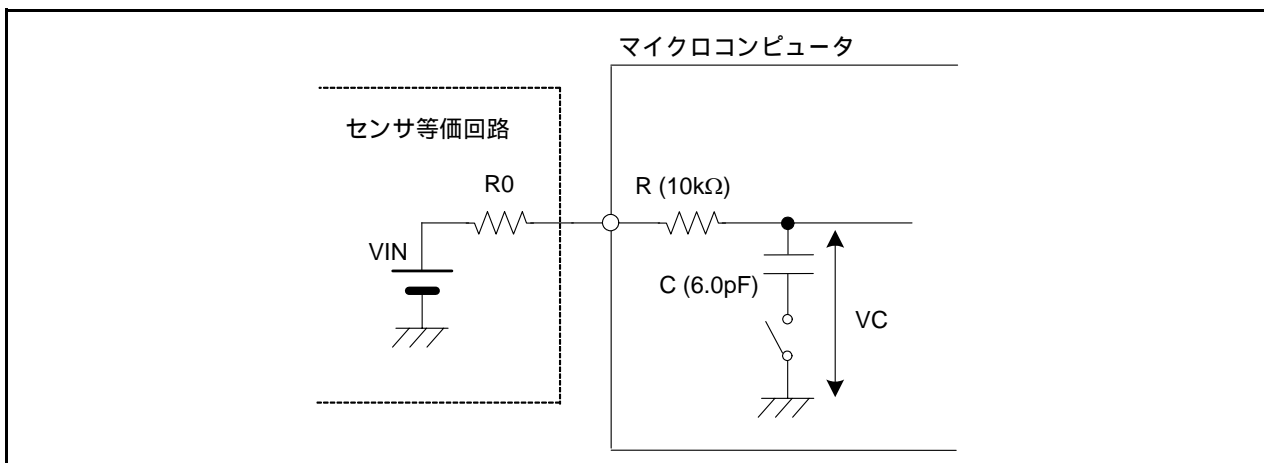


図28.10 アナログ入力端子と外部センサの等価回路例

### 28.10 A/Dコンバータ使用上の注意

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロック AD以上の周波数を選択してください。  
ADにfOCO-Fを選択しないでください。
- VREF端子とAVSS端子間に0.1μFのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)、およびFMR27ビットを“1”(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。  
プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。
- A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

## 29. コンパレータB

コンパレータBはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータB1とコンパレータB3の独立した2つのコンパレータです。

### 29.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。リファレンス入力電圧としてIVREF<sub>i</sub> (i=1, 3)端子への入力可以使用です。

表29.1にコンパレータBの仕様を、図29.1にコンパレータBのブロック図を、表29.2に入出力端子を示します。

表29.1 コンパレータBの仕様

項目	仕様
アナログ入力電圧	IVCMP <sub>i</sub> 端子への入力電圧
リファレンス入力電圧	IVREF <sub>i</sub> 端子への入力電圧
比較結果	INTCMPレジスタのINT <sub>i</sub> COUTビットの読み出し
割り込み要求発生タイミング	比較結果が変化するとき
選択機能	デジタルフィルタ機能 デジタルフィルタの有無、サンプリング周波数を選択できる

i=1, 3

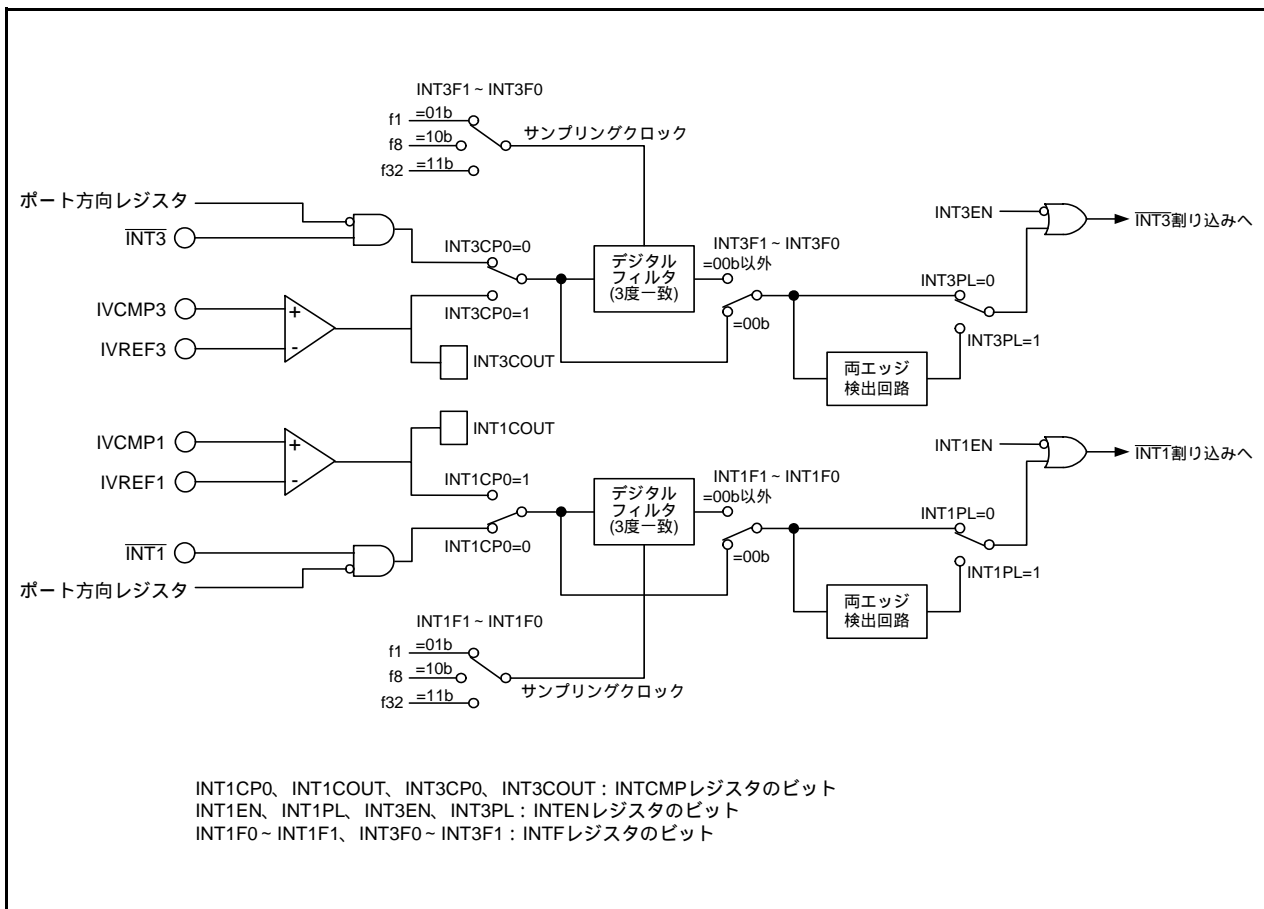


図29.1 コンパレータBのブロック図

表29.2 入出力端子

端子名	入出力	機能
IVCMP1	入力	コンパレータB1用アナログ端子
IVREF1	入力	コンパレータB1用リファレンス電圧端子
IVCMP3	入力	コンパレータB3用アナログ端子
IVREF3	入力	コンパレータB3用リファレンス電圧端子

## 29.2 レジスタの説明

## 29.2.1 コンパレータB制御レジスタ0 (INTCMP)

アドレス 01F8h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3COUT	-	-	INT3CP0	INT1COUT	-	-	INT1CP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT1CP0	コンパレータB1動作許可ビット	0: コンパレータB1動作禁止 1: コンパレータB1動作許可	R/W
b1	-	予約ビット	"0" にしてください	R/W
b2	-			
b3	INT1COUT	コンパレータB1モニタフラグ	0: IVCMP1 < IVREF1またはコンパレータB1動作禁止 1: IVCMP1 > IVREF1	R
b4	INT3CP0	コンパレータB3動作許可ビット	0: コンパレータB3動作禁止 1: コンパレータB3動作許可	R/W
b5	-	予約ビット	"0" にしてください	R/W
b6	-			
b7	INT3COUT	コンパレータB3モニタフラグ	0: IVCMP3 < IVREF3またはコンパレータB3動作禁止 1: IVCMP3 > IVREF3	R

## 29.2.2 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	—	—	INT1PL	INT1EN	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	"0" にしてください	R/W
b1	—			
b2	INT1EN	INT1入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	INT1入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	—	予約ビット	"0" にしてください	R/W
b5	—			
b6	INT3EN	INT3入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	INT3入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPLビット(i=1, 3)を"1"(両エッジ)にする場合、INTiCレジスタのPOLビットを"0"(立ち下がりエッジを選択)にしてください。

注2. INTENレジスタを変更すると、INTiCレジスタのIRビットが"1"(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

## 29.2.3 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	—	—	INT1F1	INT1F0	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0” にしてください	R/W
b1	—			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	—	予約ビット	“0” にしてください	R/W
b5	—			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 00 : フィルタなし 01 : フィルタあり、f1でサンプリング 10 : フィルタあり、f8でサンプリング 11 : フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W



## 29.3 動作説明

コンパレータB1とコンパレータB3はそれぞれ独立して動作できます。動作は同じです。

表29.3にコンパレータB関連レジスタの設定手順を示します。

表29.3 コンパレータB関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	IVCMPi、IVREFi	端子の機能選択。「7.5 ポートの設定」参照。 ただし、順番2以降に示されるレジスタ、ビット以外を設定してください。	
2	INTF	フィルタ有無、サンプリングクロック選択	
3	INTCMP	INTiCPO	1 (動作許可)
4	コンパレータ安定時間(最大100 $\mu$ s)待ち		
5	INTEN	INTiEN	割り込みを使用する場合：1 (割り込み許可)
		INTiPL	割り込みを使用する場合：入力極性選択
6	INTiIC	ILVL2 ~ ILVL0	割り込みを使用する場合：割り込み優先レベル選択
		IR	割り込みを使用する場合：0 (割り込み要求なし：初期化)

i=1、3

図29.2にコンパレータBi (i=1、3)の動作例を示します。

リファレンス入力よりアナログ入力の電圧が高い場合は、INTCMPレジスタのINTiCOUTビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、INTiCOUTビットが“0”になります。

コンパレータBi割り込みを使用する場合は、INTENレジスタのINTiENビットを“1”(割り込み許可)にしてください。このとき比較結果が変化すれば、コンパレータBi割り込み要求が発生します。割り込みについては「29.4 コンパレータB1、コンパレータB3割り込み」を参照してください。

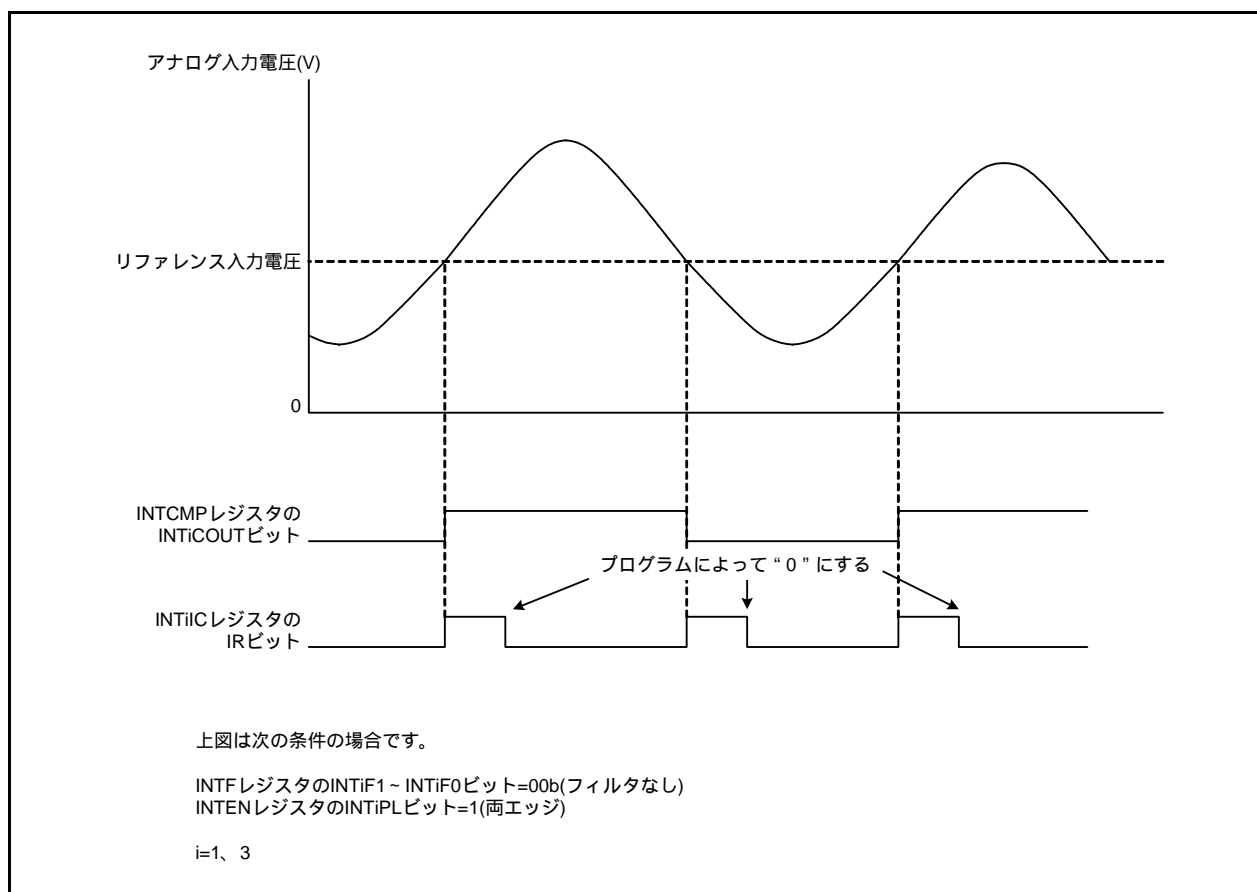


図29.2 コンパレータBi (i=1、3)の動作例

## 29.3.1 コンパレータBiデジタルフィルタ (i=1, 3)

コンパレータBiは、 $\overline{\text{INTi}}$ 入力と同一のデジタルフィルタを使用できます。サンプリングクロックはINTFレジスタのINTIF1 ~ INTIF0ビットで選択できます。サンプリングクロックごとにコンパレータBiの出力信号INTiCOUT信号をサンプリングし、レベルが3度一致した時点で、INTiCレジスタのIRビットが“1” (割り込み要求あり)になります。

図29.3にコンパレータBiデジタルフィルタの構成を、図29.4にコンパレータBiデジタルフィルタ動作例を示します。

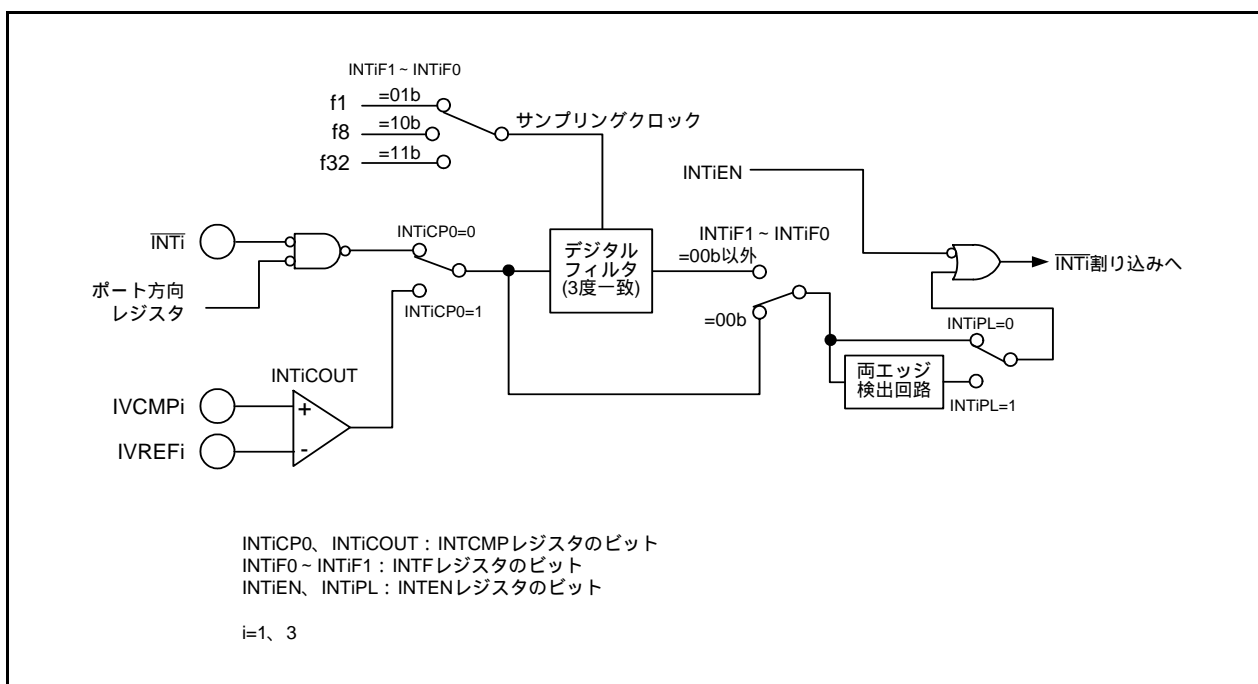


図29.3 コンパレータBiデジタルフィルタの構成

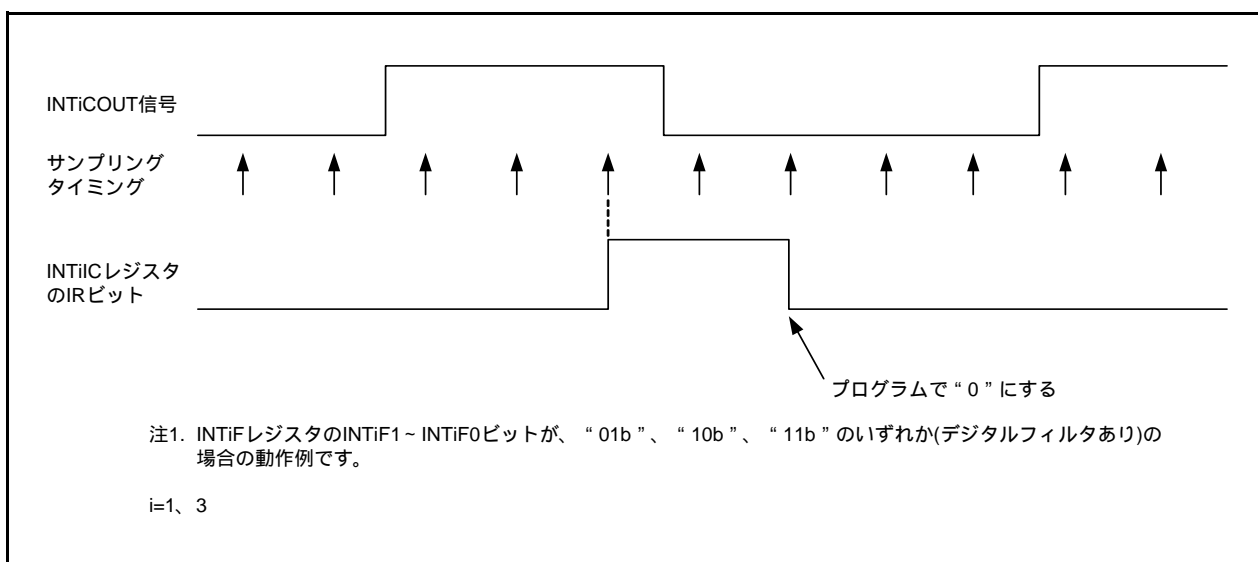


図29.4 コンパレータBiデジタルフィルタ動作例

#### 29.4 コンパレータB1、コンパレータB3割り込み

コンパレータBはコンパレータB1、およびコンパレータB3の2つの割り込み要求を発生します。コンパレータBi (i=1、3)割り込みはINT<sub>i</sub> (i=1、3)入力による割り込みと同一のINT<sub>i</sub>ICレジスタ(IRビット、ILVL0 ~ ILVL2ビット)と、それぞれ1つの割り込みベクタを持ちます。

コンパレータBi割り込みを使用するときはINTENレジスタのINT<sub>i</sub>ENビットを“1”(割り込み許可)にしてください。さらに極性をINTENレジスタのINT<sub>i</sub>PLビットとINT<sub>i</sub>ICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

## 30. フラッシュメモリ

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

### 30.1 概要

表30.1にフラッシュメモリの性能概要を示します(表30.1に示す以外の項目は「表1.2～表1.3 R8C/34Uグループ、R8C/34Kグループの仕様概要」を参照してください)。

表30.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図30.1～図30.2を参照してください。
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式	ブロック0～8 (プログラムROM)(注3)	ロックビットによるブロック単位の書き換えプロテクト制御
	ブロックA、B、C、D (データフラッシュ)	FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビットによるブロックA、B、C、Dに対する個別の書き換え制御
コマンド数		7コマンド
プログラム、イレーズ回数(注2)	ブロック0～8 (プログラムROM)(注3)	1,000回
	ブロックA、B、C、D (データフラッシュ)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=1,000、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数は1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注3. 製品によってブロック数およびブロックの分割が異なります。詳細は「図30.1～図30.2 各グループのフラッシュメモリのブロック図」を参照してください。

表30.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム	

## 30.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図30.1にR8C/34Uグループのフラッシュメモリのブロック図を、図30.2にR8C/34Kグループのフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMとデータフラッシュがあります。

プログラムROM：主にプログラムを格納するためのフラッシュメモリ

データフラッシュ：主に書き換えが必要なデータを格納するためのフラッシュメモリ

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

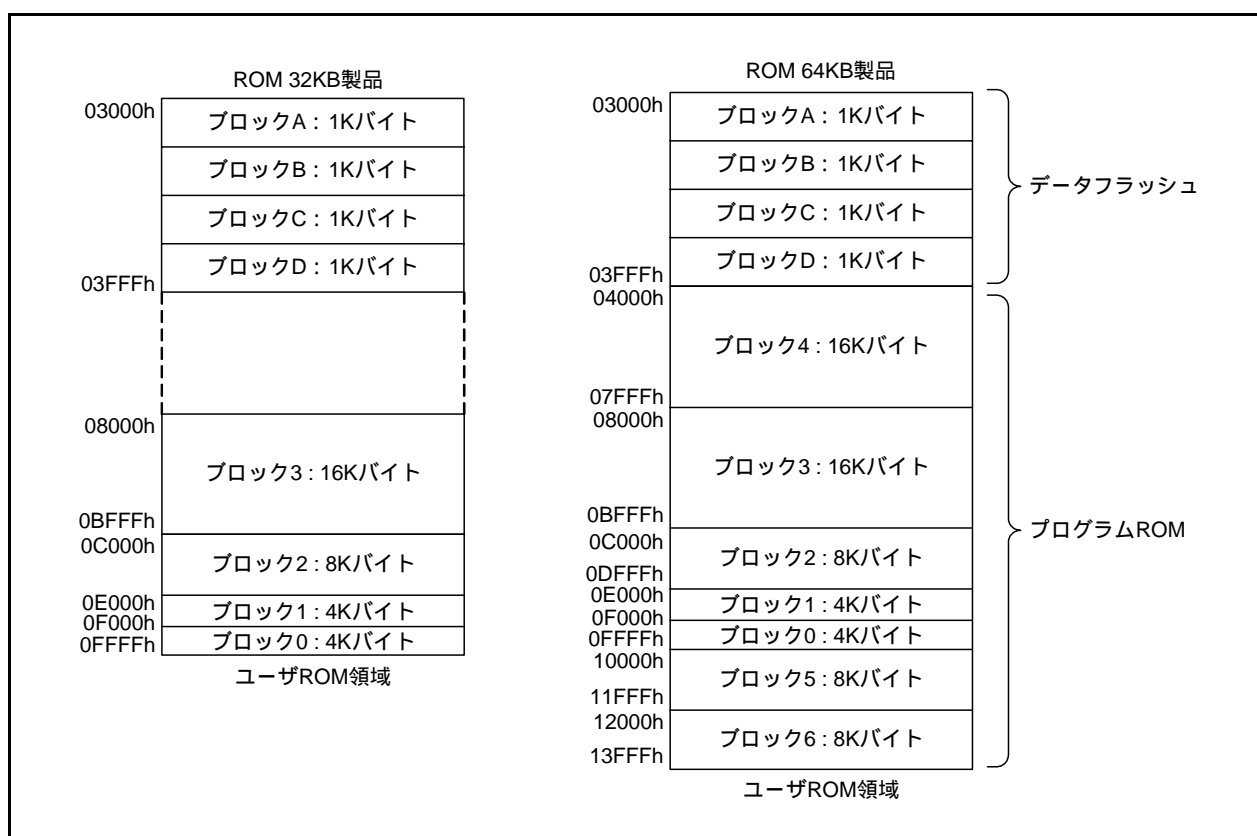


図30.1 R8C/34Uグループのフラッシュメモリのブロック図

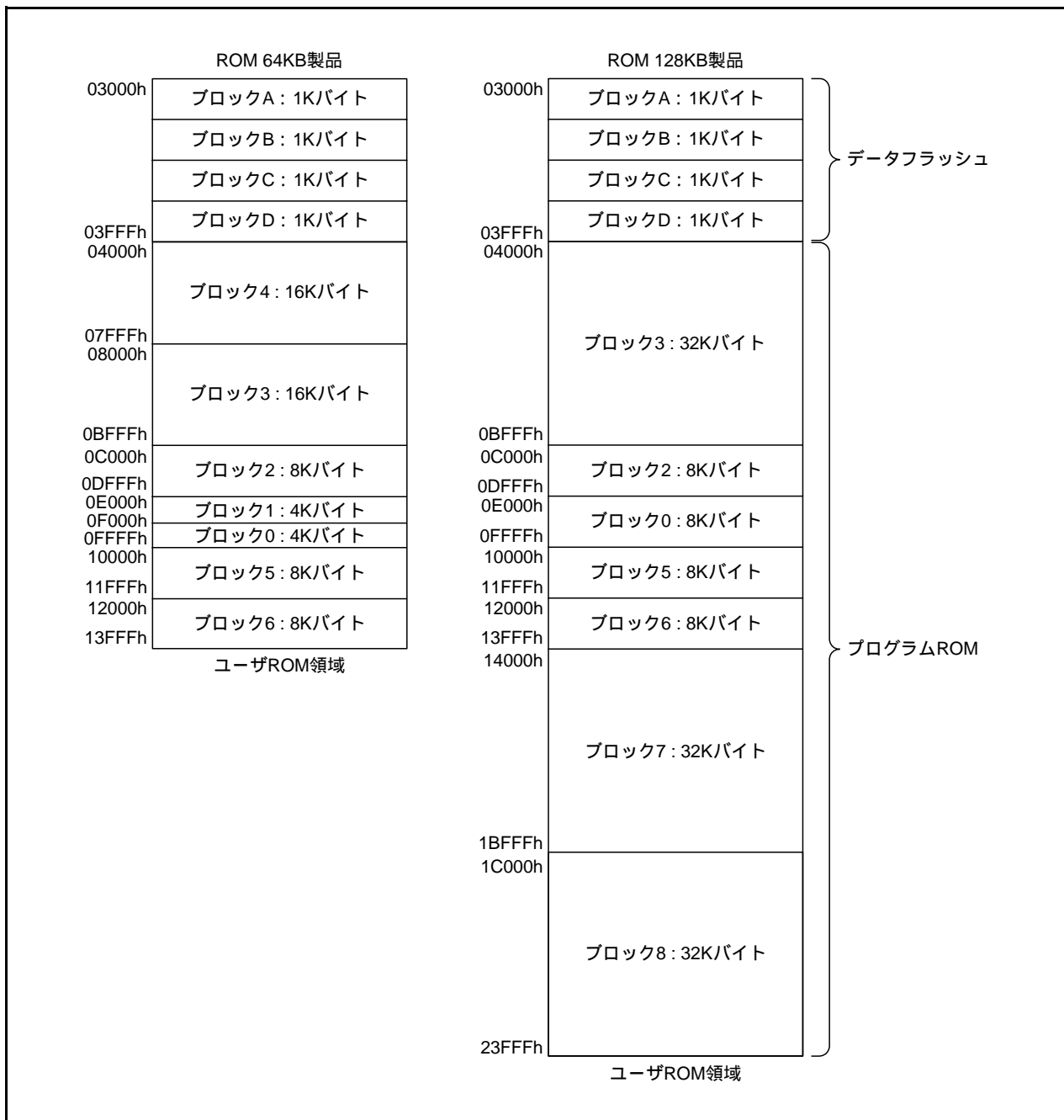


図 30.2 R8C/34Kグループのフラッシュメモリのブロック図

### 30.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

#### 30.3.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“FFFFFFh”ではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

### 30.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

オプション機能選択領域の詳細は「13. オプション機能選択領域」を参照してください。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

### 30.3.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	-	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	-	予約ビット	“1” にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット(注2)	b5 b4 00: 3.80Vを選択 (Vdet0_3) 01: 2.85Vを選択 (Vdet0_2) 10: 2.35Vを選択 (Vdet0_1) 11: 1.90Vを選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット(注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0～VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0～VDSEL1ビットで選択されます。



### 30.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に、消去動作を一時中断するイレーズサスペンド機能を持ちます。イレーズサスペンド中は、フラッシュメモリの読み出しまたはプログラムができます。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表30.3にEW0モードとEW1モードの違いを示します。

表30.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM	ユーザROM
書き換え制御プログラムを実行できる領域	RAM(書き換え制御プログラムを転送して実行) ただし、データフラッシュ領域を書き換える場合は、プログラムROM領域上で実行可能。	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限		プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止
プログラム、ブロックイレーズ後、イレーズサスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中のCPU、DTCの状態	動作	<ul style="list-style-type: none"> <li>データフラッシュ領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCは動作</li> <li>プログラムROM領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCはホールド状態(入出力ポートはコマンド実行前の状態を保持)</li> </ul>
フラッシュメモリのステータス検知	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む
イレーズサスペンドへの移行条件	<ul style="list-style-type: none"> <li>プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする</li> <li>FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクブル割り込み要求が発生</li> </ul>	<ul style="list-style-type: none"> <li>プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする(データフラッシュ領域を書き換え中)</li> <li>FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクブル割り込み要求が発生</li> </ul>
CPUクロック	最大20MHz	最大20MHz

## 30.4.1 フラッシュメモリステータスレジスタ(FST)

アドレス 01B2h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	-	LBDATA	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ(注1、4)	0: フラッシュレディステータス割り込み要求なし 1: フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ(注2、4)	0: フラッシュアクセスエラー割り込み要求なし 1: フラッシュアクセスエラー割り込み要求あり	R/W
b2	LBDATA	LBDATA モニタフラグ	0: ロック状態 1: 非ロック状態	R
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	FST4	プログラムエラーフラグ(注3)	0: プログラムエラーなし 1: プログラムエラーあり	R
b5	FST5	イレーズエラー/ブランクチェックエラーフラグ(注3)	0: イレーズエラー/ブランクチェックエラーなし 1: イレーズエラー/ブランクチェックエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0: イレーズサスペンド以外 1: イレーズサスペンド中	R
b7	FST7	レディ/ビジーステータスフラグ	0: ビジー 1: レディ	R

- 注1. プログラムでRDYSTIビットを“1”(フラッシュレディステータス割り込み要求あり)にできません。RDYSTIビットに“0”(フラッシュレディステータス割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。読んでから書くまでの間はフラッシュレディステータス要因によるDTC起動を禁止にしてください。このビットを確認する場合には、FMR0レジスタのRDYSTIEビットを“1”(フラッシュレディステータス割り込み許可)にしてください。
- 注2. プログラムでBSYAEIビットを“1”(フラッシュアクセスエラー割り込み要求あり)にできません。BSYAEIビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。このビットを確認する場合には、FMR0レジスタのBSYAEIEビットを“1”(フラッシュアクセスエラー割り込み許可)あるいはFMR0レジスタのCMDERIEビットを“1”(イレーズ/ライトエラー割り込み許可)にしてください。
- 注3. コマンドエラー時にも“1”(エラーあり)になります。
- 注4. このビットが“1”のとき、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしないでください。

### RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはイレーズサスペンドモードに移行したときにRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを“0”(フラッシュレディステータス割り込み要求なし)にしてください。

[“0”になる条件]

割り込み処理のプログラムで“0”にしてください。

[“1”になる条件]

FMR0レジスタのRDYSTIEビットが“1”のときに、ビジーからレディに遷移すると、RDYSTIビットは“1”になります。

ビジーからレディに変化するの、次の状態のときです。

- フラッシュメモリのイレーズ/プログラム終了
- サスペンド受付
- 強制終了完了
- ロックビットプログラム終了
- リードロックビットステータス終了
- ブロックブランクチェック終了
- フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

### BSYAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが“1”(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、またはFMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、イレーズエラーまたはプログラムエラーが発生した場合に、BSYAEIビットが“1”(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、BSYAEIビットを“0”(フラッシュアクセスエラー割り込み要求なし)にしてください。

[“0”になる条件]

- (1) 割り込み処理のプログラムで“0”にしてください。
- (2) クリアステータスレジスタコマンドを実行してください。

[“1”になる条件]

- (1) FMR0レジスタのBSYAEIEビットが“1”のときに、フラッシュメモリがビジー状態で、イレーズ/ライトを実行している領域を読み/書きする。  
または、プログラムROM領域をイレーズ/ライト中にデータフラッシュ領域をリードする。  
(ただし、両者共に読み出し値は不定。書き込みは無効。)
- (2) FMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、ブランクチェックエラーまたはプログラムエラーが発生した場合。

### LBDATA ビット (LBDATA モニタフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7 ビットが“1”(レディ)になった後で、LBDATA ビットを読んでください。

更新条件は、プログラム、イレーズ、リードロックビットステータスのコマンド発行時です。リードロックビットステータスコマンドを入力すると、FST7 ビットが“0”(ビジー)になります。FST7 ビットが“1”(レディ)になった時点でLBDATA ビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、LBDATA ビットのデータは保持されます。

### FST4 ビット (プログラムエラーフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「30.4.12 フルステータスチェック」を参照してください。

### FST5 ビット (イレーズエラー / ブランクチェックエラーフラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレーズエラーまたはブランクチェックエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「30.4.12 フルステータスチェック」を参照してください。

### FST6 ビット (イレーズサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、サスペンド状態に移行すると“1”になります。それ以外のときは“0”になります。

### FST7 ビット (レディ / ビジーステータスフラグ)

FST7 ビットが“0”(ビジー)のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- ブロックブランクチェック中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

それ以外の場合は、FST7 ビットが“1”(レディ)になります。

## 30.4.2 フラッシュメモリ制御レジスタ0 (FMR0)

アドレス 01B4h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	予約ビット	“0” にしてください	R/W
b1	FMR01	CPU書き換えモード選択ビット (注1、4)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット(注1)	0: EW0モード 1: EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット(注2)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	R/W
b4	CMDRST	イレーズ/ライトシーケンスリセット ビット(注3)	CMDRSTビットを“1”にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。読み出した場合は、“0”が読み出されます。	R/W
b5	CMDERIE	イレーズ/ライトエラー割り込み許可 ビット	0: イレーズ/ライトエラー割り込み禁止 1: イレーズ/ライトエラー割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込み 許可ビット	0: フラッシュアクセスエラー割り込み禁止 1: フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り込み 許可ビット	0: フラッシュレディステータス割り込み禁止 1: フラッシュレディステータス割り込み許可	R/W

- 注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。
- 注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが“1”(CPU書き換えモード有効)のとき、有効です。FMSTPビットを“1”(フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが“1”(レディ)のとき、設定してください。
- 注3. CMDRSTビットはFMR01ビットが“1”(CPU書き換えモード有効)かつFSTレジスタのFST7ビットが“0”(ビジー)のとき、有効です。
- 注4. FMR01ビットを“0”(CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTIビットが“0”(フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが“0”(フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。

## FMR01ビット(CPU書き換えモード選択ビット)

FMR01ビットを“1”(CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

## FMR02ビット(EW1モード選択ビット)

FMR02ビットを“1”(EW1モード)にすると、EW1モードになります。

### FMSTPビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)でさらに低消費電力にする場合、FMSTPビットを“1”にしてください。詳細は「31.2.10 フラッシュメモリの停止」を参照してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

また、FMSTPビットが“1”のとき(FMSTPビットを“1”から“0”へ変更直後のビジー中(FST7ビットが“0”の期間)も含む)は、同時に低消費電流リードモードにしないでください。

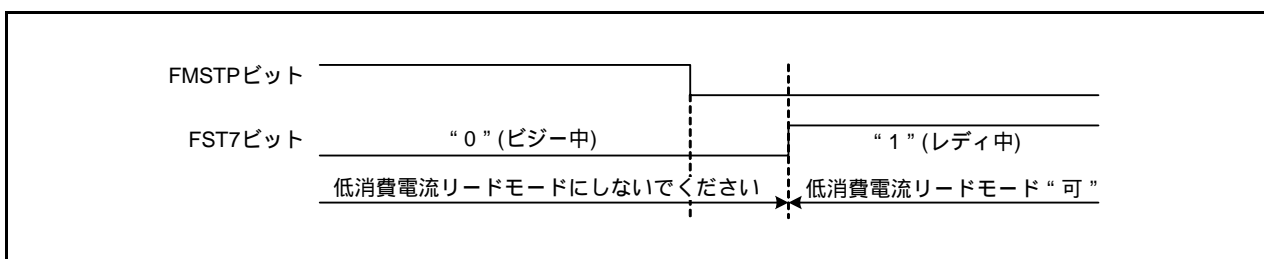


図30.3 低消費電流リードモードへの移行

### CMDRSTビット(イレース/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレースコマンドを強制停止させるためのビットです。データフラッシュ領域へのプログラム/イレース中のシーケンスリセットの場合は、プログラムROM領域を読み出すことは可能です。

FMR0レジスタのCMDRSTビットによりプログラム、ブロックイレースコマンドを強制停止した場合、FSTレジスタのFST7ビットが“1”(レディ)に復帰後、クリアステータスレジスタコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレースコマンドを再度実行し、ブロックイレースが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレースコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1レジスタのFMR13ビットを“1”(ロックビット無効)にした後で、ブロックイレースコマンドを再度実行してください。

また、イレースサスペンド中にCMDRSTビットを“1”(イレース/ライト停止)にすると、サスペンドの状態も初期化されるため、ブロックイレースをサスペンドしていたブロックに対しても、ブロックイレースを再度実行してください。

CMDRSTビットを“1”(イレース/ライト停止)にしてから、 $t_d(\text{CMDRST-READY})$ 後に、実行中のコマンドが強制停止され、フラッシュメモリが読み出し可能になります。

### CMDERIE ビット(イレース/ライトエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレースエラー
- コマンドシーケンスエラー
- ブロックブランクチェックエラー

CMDERIE ビットを“1”(イレース/ライトエラー割り込み許可)にし、上記エラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

CMDERIE ビットを“0”(イレース/ライトエラー割り込み禁止)から“1”(イレース/ライトエラー割り込み許可)にする場合には、次のようにしてください。

- (1) クリアステータスレジスタコマンドを実行する。
- (2) CMDERIE ビットを“1”にする。

### BSYAEIE ビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

BSYAEIE ビットを“0”(フラッシュアクセスエラー割り込み禁止)から“1”(フラッシュアクセスエラー割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのBSYAEI ビットを読む(ダミーリード)。
- (2) BSYAEI ビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く。
- (3) BSYAEIE ビットを“1”(フラッシュアクセスエラー割り込み許可)にする。

### RDYSTIE ビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

RDYSTIE ビットを“0”(フラッシュレディステータス割り込み禁止)から“1”(フラッシュレディステータス割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのRDYSTI ビットを読む(ダミーリード)。
- (2) RDYSTI ビットに“0”(フラッシュレディステータス割り込み要求なし)を書く。
- (3) RDYSTIE ビットを“1”(フラッシュレディステータス割り込み許可)にする。

## 30.4.3 フラッシュメモリ制御レジスタ1 (FMR1)

アドレス 01B5h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR17	FMR16	FMR15	FMR14	FMR13	-	-	-
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b1	-			
b2	-			
b3	FMR13	ロックビット無効選択ビット(注1)	0: ロックビット有効 1: ロックビット無効	R/W
b4	FMR14	データフラッシュブロックA書き換え禁止ビット(注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b5	FMR15	データフラッシュブロックB書き換え禁止ビット(注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b6	FMR16	データフラッシュブロックC書き換え禁止ビット(注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b7	FMR17	データフラッシュブロックD書き換え禁止ビット(注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W

注1. FMR13 ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. このビットを“0”にするときは、“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注3. FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にすると“0”になります。

## FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます。“0”にすると、ロックビットが有効になります。ロックビットについては「30.4.10 データ保護機能」を参照してください。

FMR13ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを“1”にした状態でブロックイレーズコマンドを実行すると、“0”(ロック状態)であったロックビットデータは、消去終了後には“1”(非ロック状態)になります。

## [“0”になる条件]

次の条件が成立した時点で“0”になります。

- プログラムコマンド終了時点
- イレーズコマンド終了時点
- コマンドシーケンスエラー発生時点
- イレーズサスペンド移行時点
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

## [“1”になる条件]

プログラムで“1”にしてください。



**FMR14ビット(データフラッシュブロックA書き換え禁止ビット)**

FMR14ビットが“0”のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレースコマンドを受け付けます。

**FMR15ビット(データフラッシュブロックB書き換え禁止ビット)**

FMR15ビットが“0”のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレースコマンドを受け付けます。

**FMR16ビット(データフラッシュブロックC書き換え禁止ビット)**

FMR16ビットが“0”のとき、データフラッシュのブロックCはプログラムコマンド、ブロックイレースコマンドを受け付けます。

**FMR17ビット(データフラッシュブロックD書き換え禁止ビット)**

FMR17ビットが“0”のとき、データフラッシュのブロックDはプログラムコマンド、ブロックイレースコマンドを受け付けます。

## 30.4.4 フラッシュメモリ制御レジスタ2 (FMR2)

アドレス 01B6h 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	-	-	-	-	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	イレーズサスペンド許可ビット (注1)	0: イレーズサスペンド禁止 1: イレーズサスペンド許可	R/W
b1	FMR21	イレーズサスペンドリクエストビット (注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエスト許可ビット (注1)	0: 割り込み要求でイレーズサスペンドリクエスト禁止 1: 割り込み要求でイレーズサスペンドリクエスト許可	R/W
b3	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
b4	-	予約ビット	“0”にしてください	R/W
b5	-			
b6	-			
b7	FMR27	低消費電流リードモード許可ビット (注1、3)	0: 低消費電流リードモード禁止 1: 低消費電流リードモード許可	R/W

注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. FMR21ビットを“0”(イレーズリスタート)にする場合は、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)のとき、設定してください。

注3. 次のいずれかの設定をした後、FMR27ビットを“1”にしてください。

- CPUクロックを低速オンチップオシレータクロックの4分周、8分周または16分周に設定  
ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

## FMR20ビット(イレーズサスペンド許可ビット)

FMR20ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

## FMR21ビット(イレーズサスペンドリクエストビット)

FMR21ビットを“1”にすると、イレーズサスペンドモードに移行します。FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを“0”(イレーズリスタート)にしてください。

[“0”になる条件]

プログラムで“0”にしてください。

[“1”になる条件]

- 割り込み要求発生時に、FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)のとき。
- プログラムで“1”にしてください。

### FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを“1”(割り込みでイレーズサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(イレーズサスペンドリクエスト)にします。

EW1モードでユーザROM領域を書き換え中にイレーズサスペンドを使用するときに、“1”にしてください。

### FMR27ビット(低消費電流リードモード許可ビット)

低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「31.2.11 低消費電流リードモード」を参照してください。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

なお、FMR27ビットが“1”(低消費電流リードモード許可)のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTPビットを“1”(フラッシュメモリ停止)から“0”(フラッシュメモリ動作)にする場合は、FMR27ビットが“0”(低消費電流リードモード禁止)のときに行ってください。

### 30.4.5 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0レジスタのFMR02ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去中にイレーズサスペンドに移行する場合は、FMR20ビットを“1”(イレーズサスペンド許可)、FMR21ビットを“1”(イレーズサスペンドリクエスト)にしてください。次に、FSTレジスタのFST7ビットが“1”(レディ)になったことを確認し、FST6ビットが“1”(イレーズサスペンド中)になったことを確認後、フラッシュメモリにアクセスしてください(FST6ビットが“0”になったとき、消去終了です)。

FMR2レジスタのFMR21ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。また、自動消去の再開を確認する場合は、FSTレジスタのFST7ビットが“0”になったことを確認し、FST6ビットが“0”(イレーズサスペンド以外)になったことを確認してください。

### 30.4.6 EW1モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR02ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR2レジスタのFMR20ビットを“1”(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にイレーズサスペンドに移行する場合は、FMR2レジスタのFMR22ビットを“1”(割り込み要求でイレーズサスペンドリクエスト許可)にしてください。また、イレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2レジスタのFMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、td(SR-SUS)後に、自動消去が中断されます。割り込み処理終了後、FMR21ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。

### 30.4.7 サスペンド動作

サスペンド機能は自動消去の途中で、その動作を一時中断する機能です。

自動消去を中断したとき、次の動作が実行できます(「表30.4 サスペンド中に実行できる動作」参照)。

- データフラッシュの任意のブロックの自動消去をサスペンドした場合、データフラッシュの別のブロックへの自動書き込み、および読み出しが実行できます。
- データフラッシュの自動消去をサスペンドした場合、プログラムROMへの自動書き込みおよび読み出しが実行できます。
- プログラムROMの任意のブロックの自動消去をサスペンドした場合、プログラムROMの別のブロックへの自動書き込み、および読み出しが実行できます。
- プログラムROMの自動消去をサスペンドした場合、データフラッシュへの自動書き込みおよび読み出しが実行できます。
- サスペンドを確認する場合、FST7ビットが“1”(レディ)となったことを確認後、FST6ビットが“1”(イレースサスペンド中)になったことで、サスペンドしたことを確認してください。(FST6ビットが“0”(イレースサスペンド以外)となったときは、消去終了です。)

図30.4にサスペンド動作に関するタイミングを示します。

表30.4 サスペンド中に実行できる動作

		サスペンド中の動作													
		データフラッシュ (サスペンド移行前の イレース実行ブロック)			データフラッシュ (サスペンド移行前の イレース未実行ブロック)			プログラムROM (サスペンド移行前の イレース実行ブロック)			プログラムROM (サスペンド移行前の イレース未実行ブロック)				
		イレース	プログラム	リード	イレース	プログラム	リード	イレース	プログラム	リード	イレース	プログラム	リード		
サスペンド 移行前の イレース 実行領域	データ フラッシュ	×	×	×	×								×		(注5)
	プログラム ROM				×			×	×	×	×				

注1. はサスペンド機能を使用することで動作可能、×は動作禁止、 は組み合わせなし

注2. プログラム中はサスペンドできません。

注3. イレースはブロックイレースを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。

クリアステータレジスタコマンドは、FSTレジスタのFST7ビットが“1”(レディ)で実行できます。

サスペンド中、ブロックブランクチェックは動作禁止です。

注4. イレースサスペンド移行直後は、リードアレイモードになります。

注5. データフラッシュをプログラムあるいはブロックイレース動作中に、BGO機能によりプログラムROM領域を読み出すことができます。

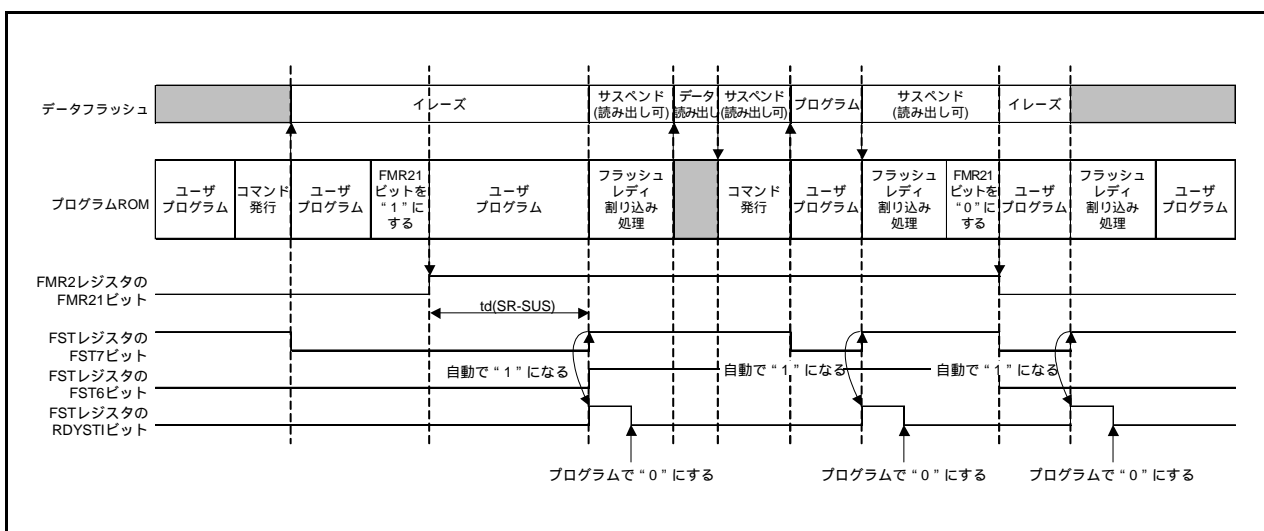


図30.4 サスペンド動作に関するタイミング

## 30.4.8 各モードの設定と解除方法

図30.5にEW0モードの設定と解除方法を、図30.6にEW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法を示します。

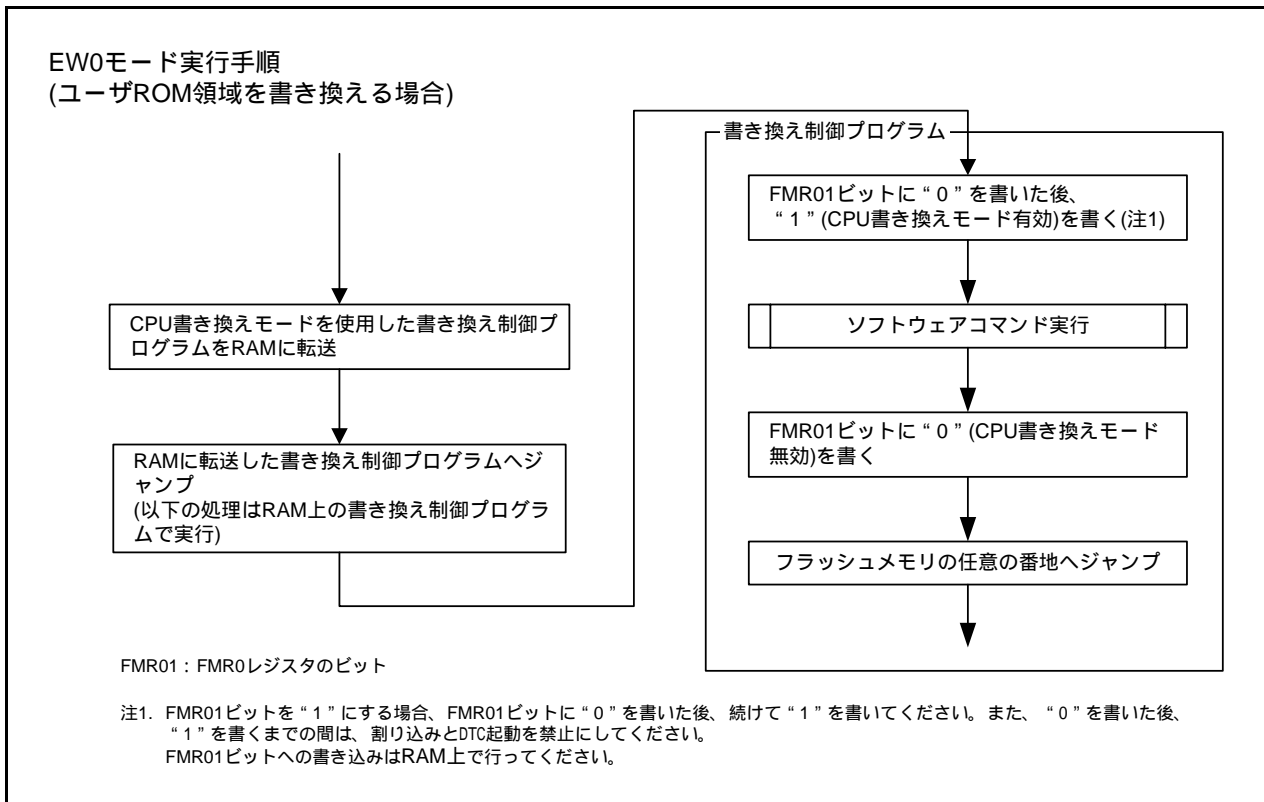


図30.5 EW0モードの設定と解除方法

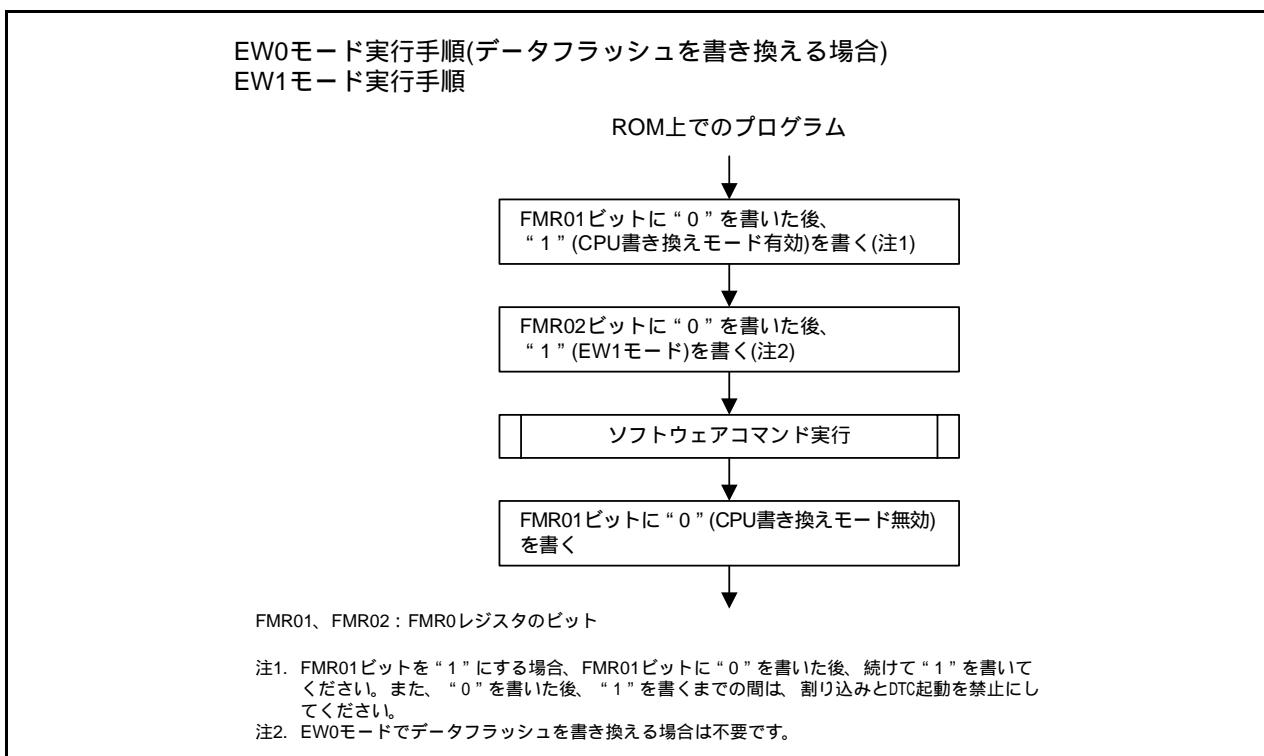


図30.6 EW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法

### 30.4.9 BGO(バックグラウンドオペレーション)機能

データフラッシュをプログラムあるいはブロックイレーズ動作中に、プログラムROM領域を指定するとアレイデータを読み出すことができます。このためにソフトウェアコマンドをライトする必要がありません。アクセス時間は通常のリード動作と同じです。

なお、データフラッシュのプログラムあるいはブロックイレーズ動作中に、他のデータフラッシュのブロックの読み出しはできません。

図30.7にBGO機能を示します。

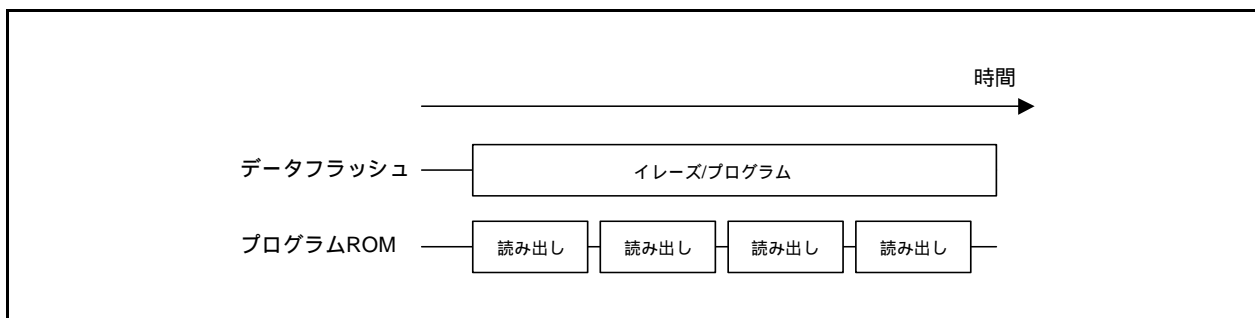


図30.7 BGO機能

### 30.4.10 データ保護機能

フラッシュメモリのプログラムROMの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1レジスタのFMR13ビットが“0”(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータだけをコマンドで“1”にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR13ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR13ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは“1”になります。

各コマンドの詳細は、「30.4.11 ソフトウェアコマンド」を参照してください。

FMR13ビットは自動消去終了後、“0”になります。FMR13ビットは以下のいずれかの条件が成立した場合に“0”になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13ビットを“1”にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FSTレジスタのFST7ビットが“0”(ビジー)から“1”(レディ)になった場合
- コマンドシーケンスエラーが発生した場合
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

図30.8にFMR13ビットの動作に関するタイミングを示します。

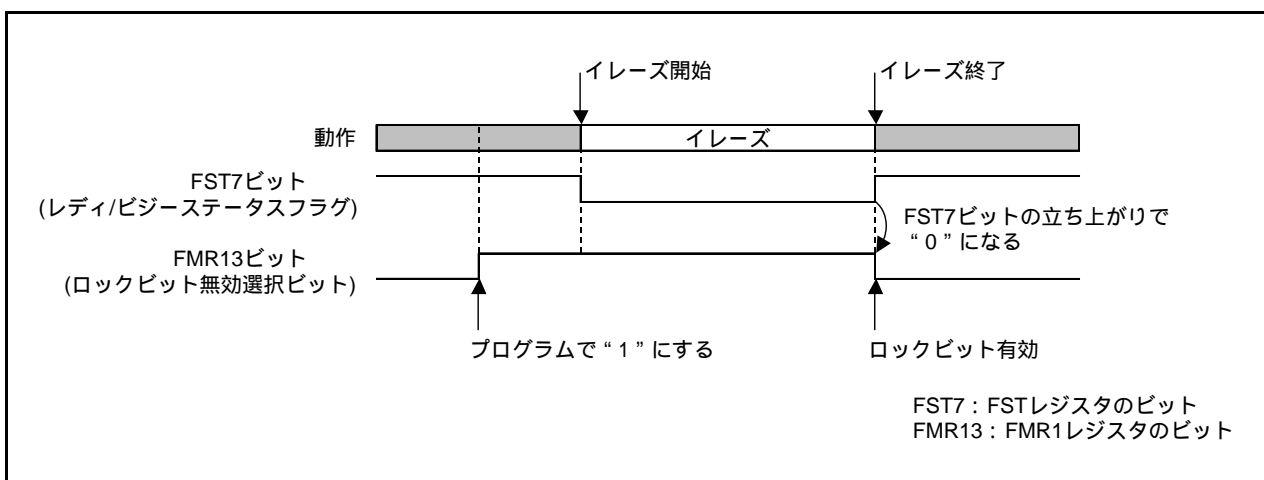


図30.8 FMR13ビットの動作に関するタイミング



### 30.4.11 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表30.5 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	x	FFh			
クリアステータスレジスタ	ライト	x	50h			
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	x	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	x	71h	ライト	BT	D0h
ブロックブランクチェック	ライト	x	25h	ライト	BA	D0h

WA：書き込み番地

WD：書き込みデータ

BA：ブロックの任意の番地

BT：ブロックの先頭番地

x：ユーザROM領域内の任意の番地

#### 30.4.11.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータス、クリアステータスレジスタコマンド後、もしくはイレーズサスペンド移行後はリードアレイモードになります。

#### 30.4.11.2 クリアステータスレジスタ

FSTレジスタのFST4～FST5ビットを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FSTレジスタのFST4～FST5ビットが“0”になります。

### 30.4.11.3 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます(「30.4.12 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するプログラムコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するプログラムコマンドが受け付けられません。

図30.9にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図30.10にプログラムフローチャート(フラッシュレディステータス割り込み許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

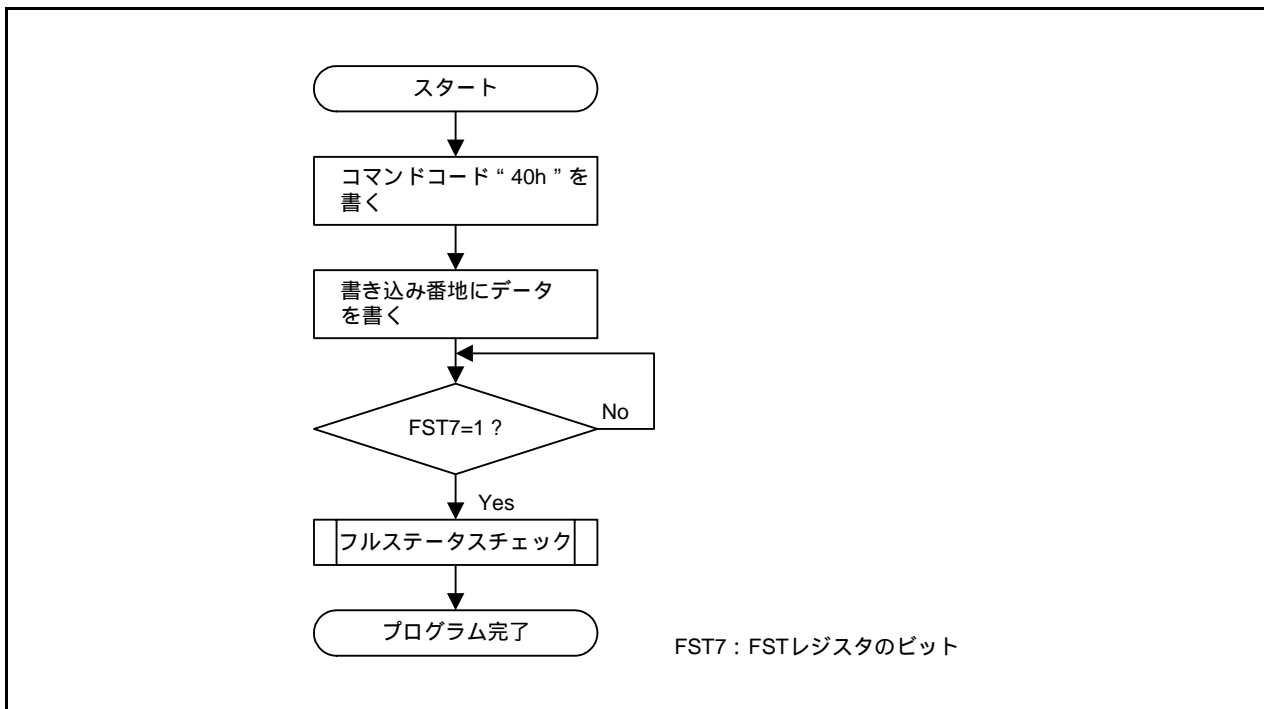


図30.9 プログラムフローチャート(フラッシュレディステータス割り込み禁止)

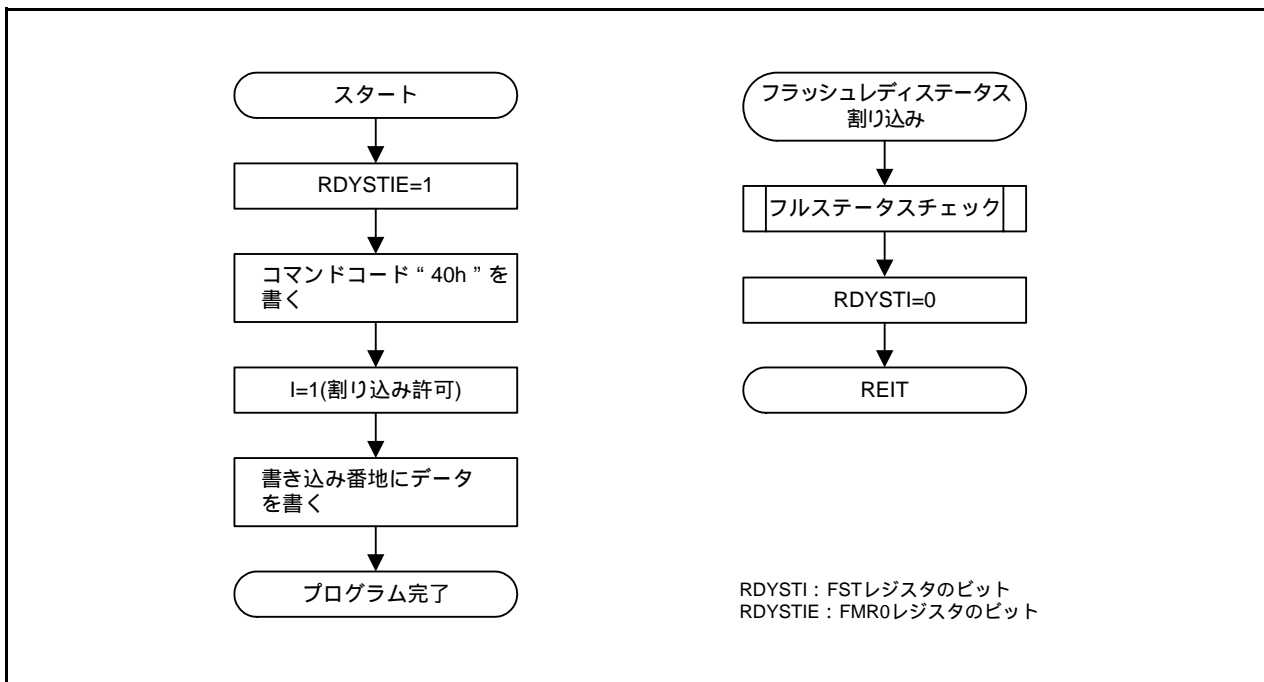


図30.10 プログラムフローチャート(フラッシュレディステータス割り込み許可)

#### 30.4.11.4 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地を書く指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は、“0”、終了後は“1”になります。また、自動消去の終了後、ブロック内のデータはすべて“FFh”になります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます(「30.4.12 フルステータスチェック」参照)。

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するブロックイレーズコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するブロックイレーズコマンドが受け付けられません。

図30.11にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図30.12にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図30.13にブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(イレーズサスペンド許可)のときは、FMR21ビットを“1”(イレーズサスペンドリクエスト)にし、自動消去が中断されるとフラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

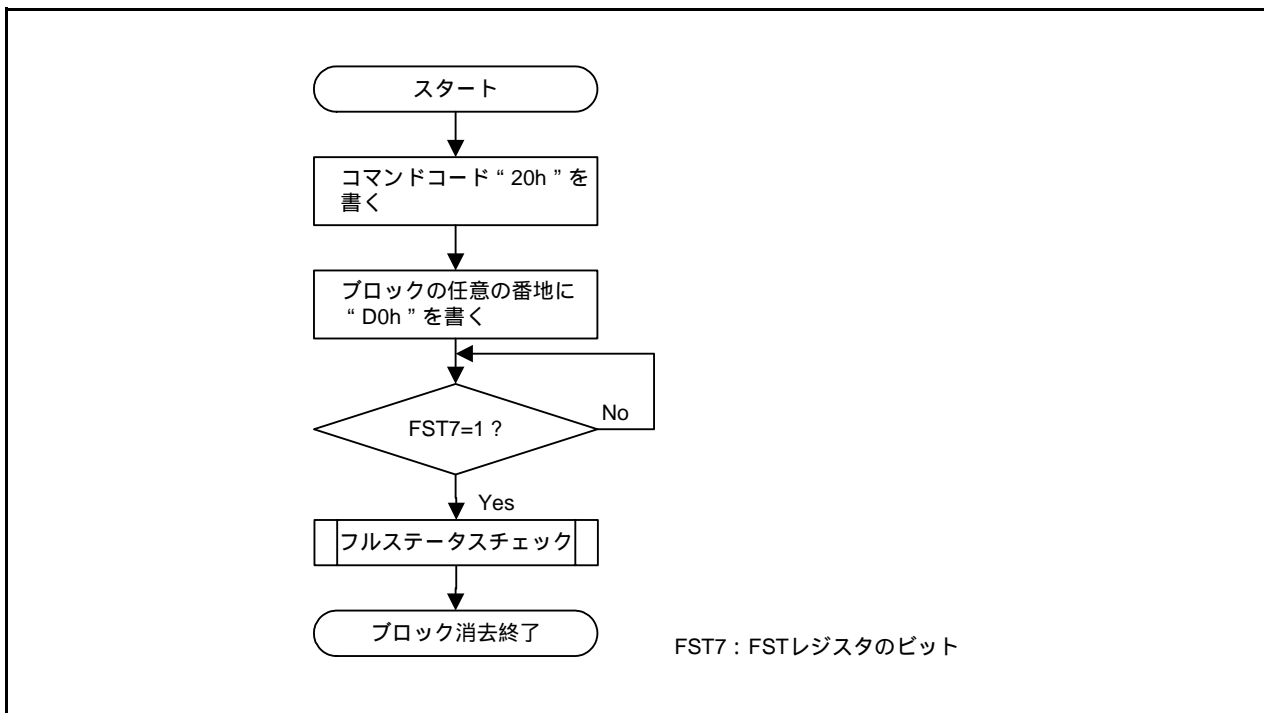


図30.11 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)

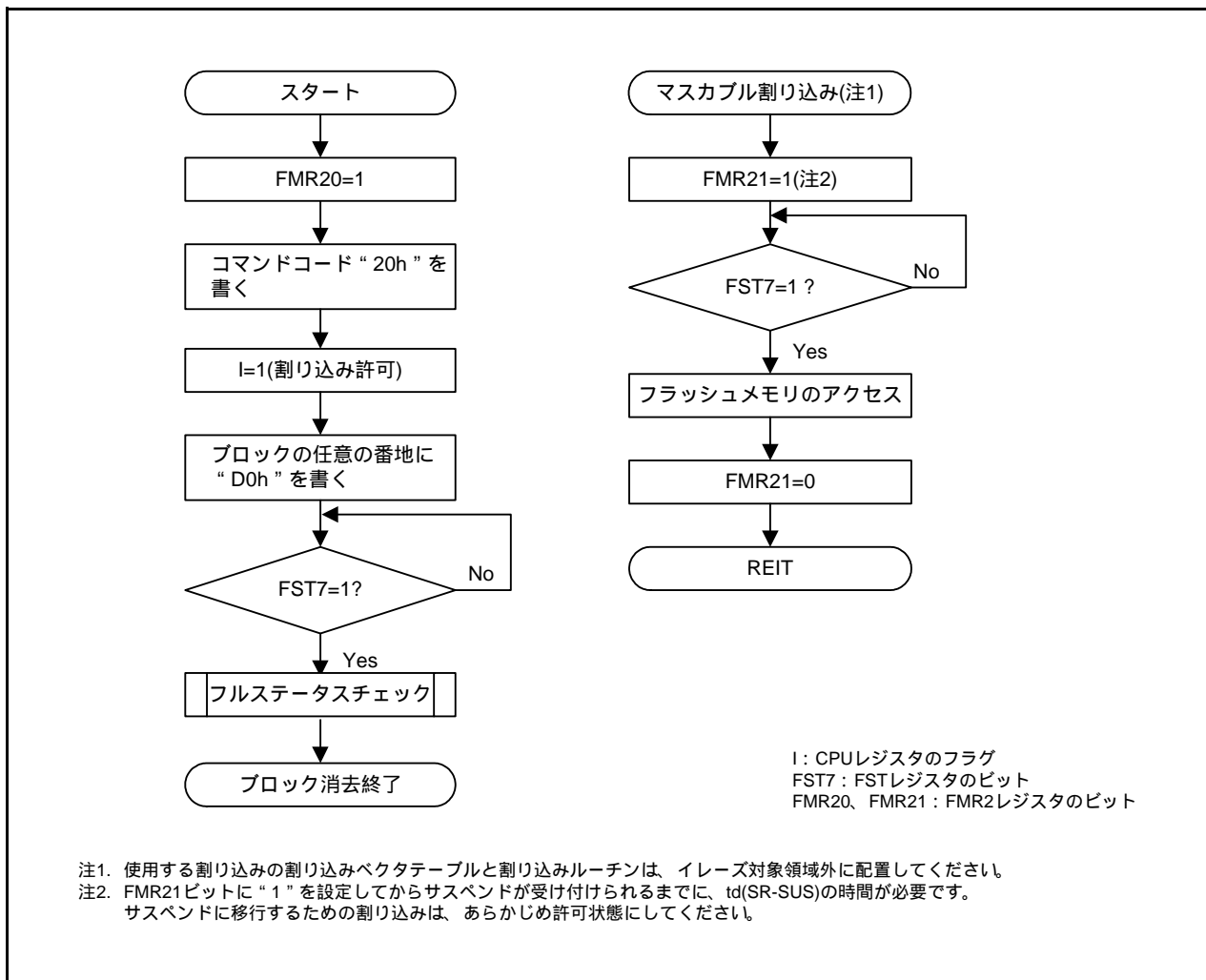


図30.12 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

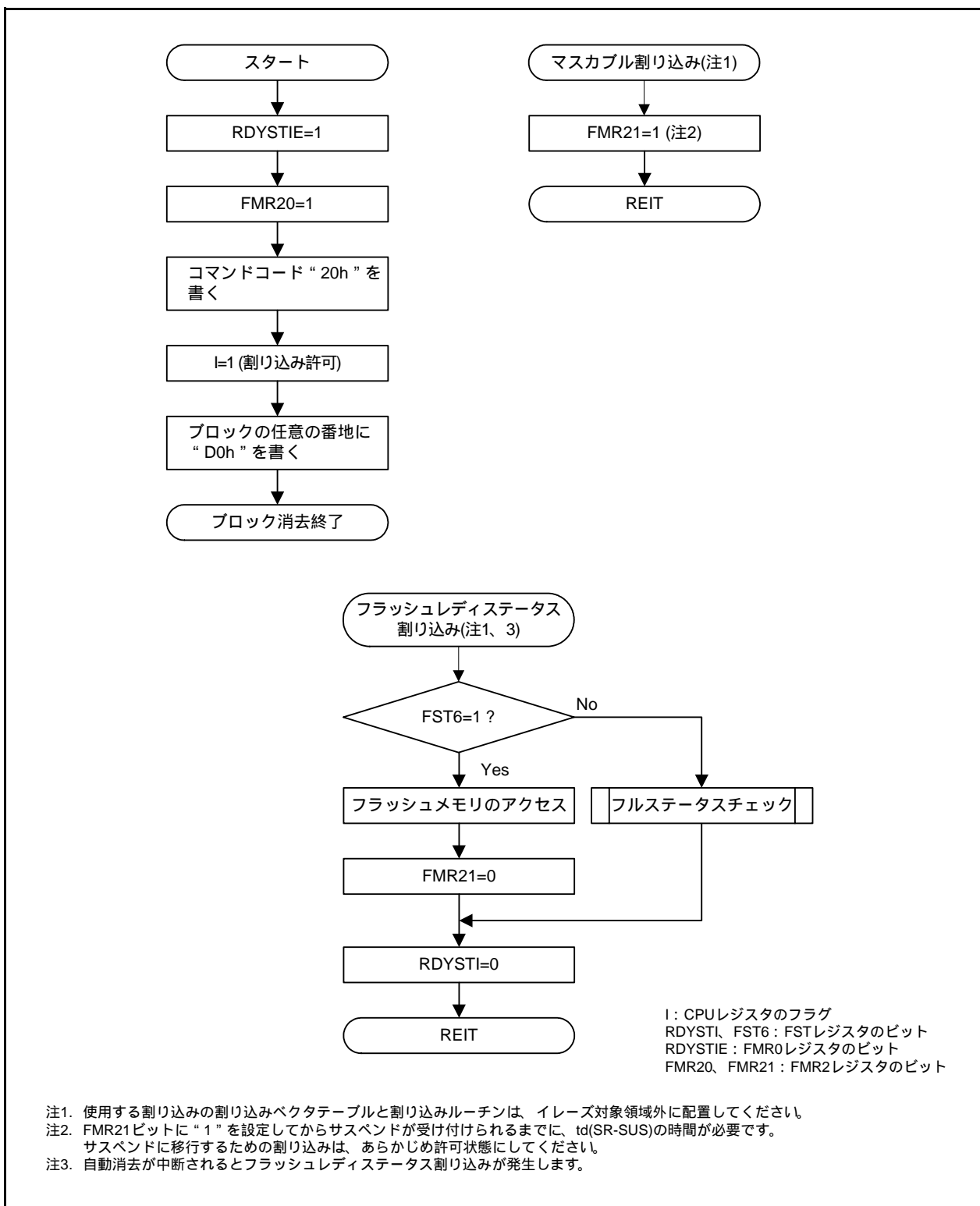


図30.13 ブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

### 30.4.11.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“77h”、第2バスサイクルで“D0h”をブロックの先頭番地には書くと、指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図30.14にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については「30.4.10 データ保護機能」を参照してください。

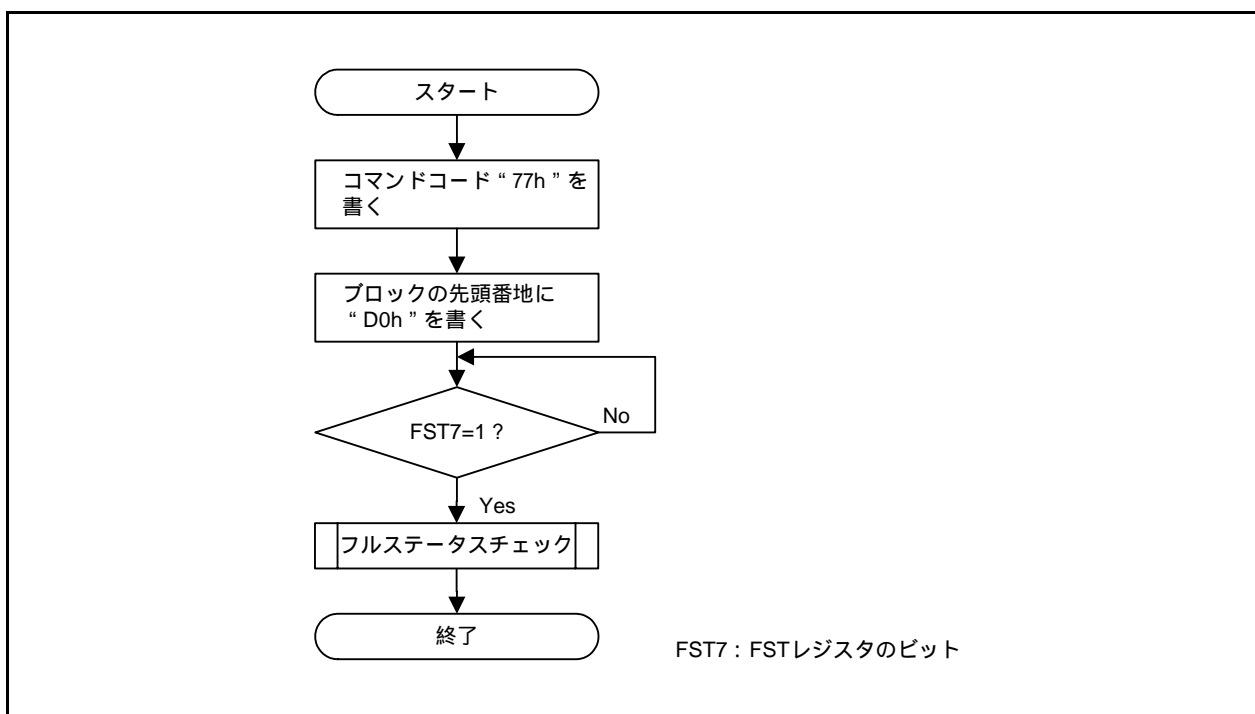


図30.14 ロックビットプログラムフローチャート



### 30.4.11.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“71h”、第2バスサイクルでブロックの先頭番地に“D0h”を書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBDATAビットに格納されます。FSTレジスタのFST7ビットが“1”（レディ）になった後、LBDATAビットを読んでください。

図30.15にリードロックビットステータスフローチャートを示します。

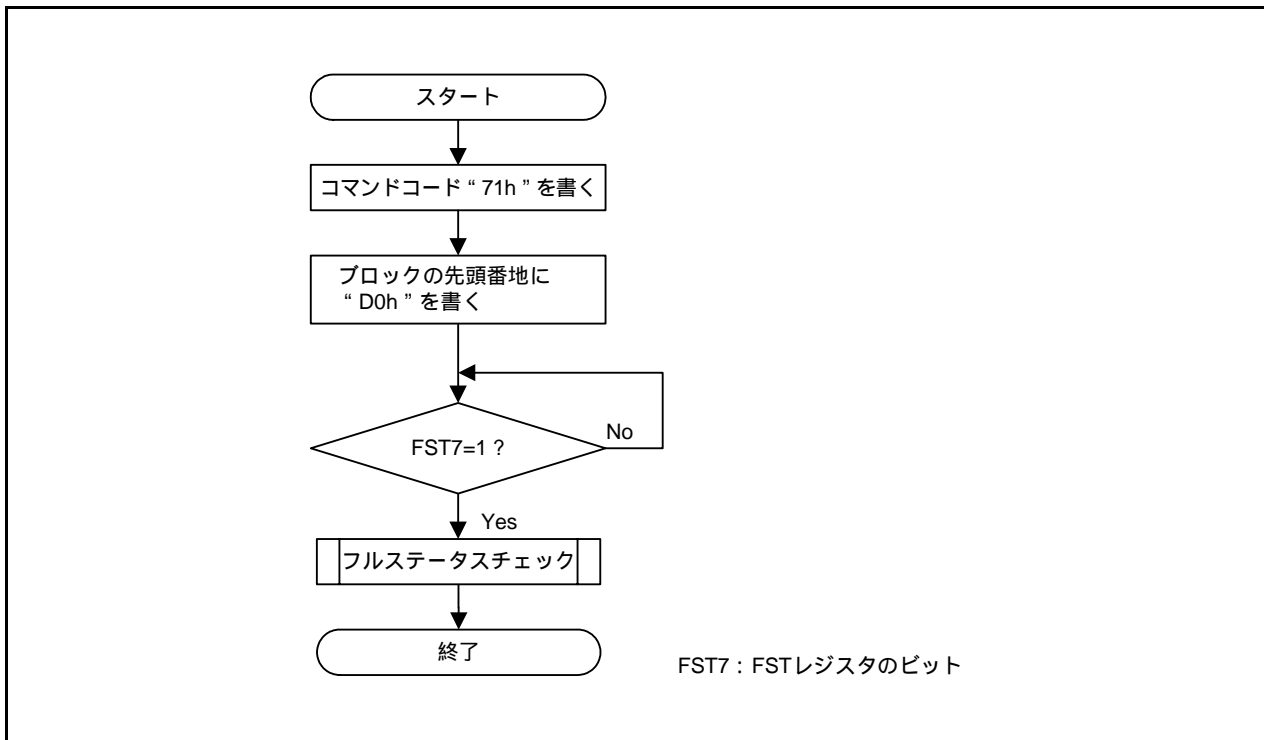


図30.15 リードロックビットステータスフローチャート

### 30.4.11.7 ブロックブランクチェック

任意のブロック内のすべての番地が、ブランクデータ“FFh”であることを確認するコマンドです。

第1バスサイクルで“25h”、第2バスサイクルでブロックの任意の番地に“D0h”を書くと、指定されたブロック内のブランクチェックを開始します。ブランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、ブランクチェック期間中は“0”、終了後は“1”になります。

ブランクチェック終了後、FSTレジスタのFST5ビットで、ブランクチェックの結果を知ることができます(「30.4.12 フルステータスチェック」参照)。なお、このコマンドはチェックしたいブロックが書き込みされていないことをチェックするためのものであり、イレーズの正常終了の確認にはフルステータスチェックを行ってください。

FST6ビットが“1”(イレーズサスペンド中)のときは、ブロックブランクチェックコマンドを実行しないでください。

図30.16にブロックブランクチェックフローチャートを示します。

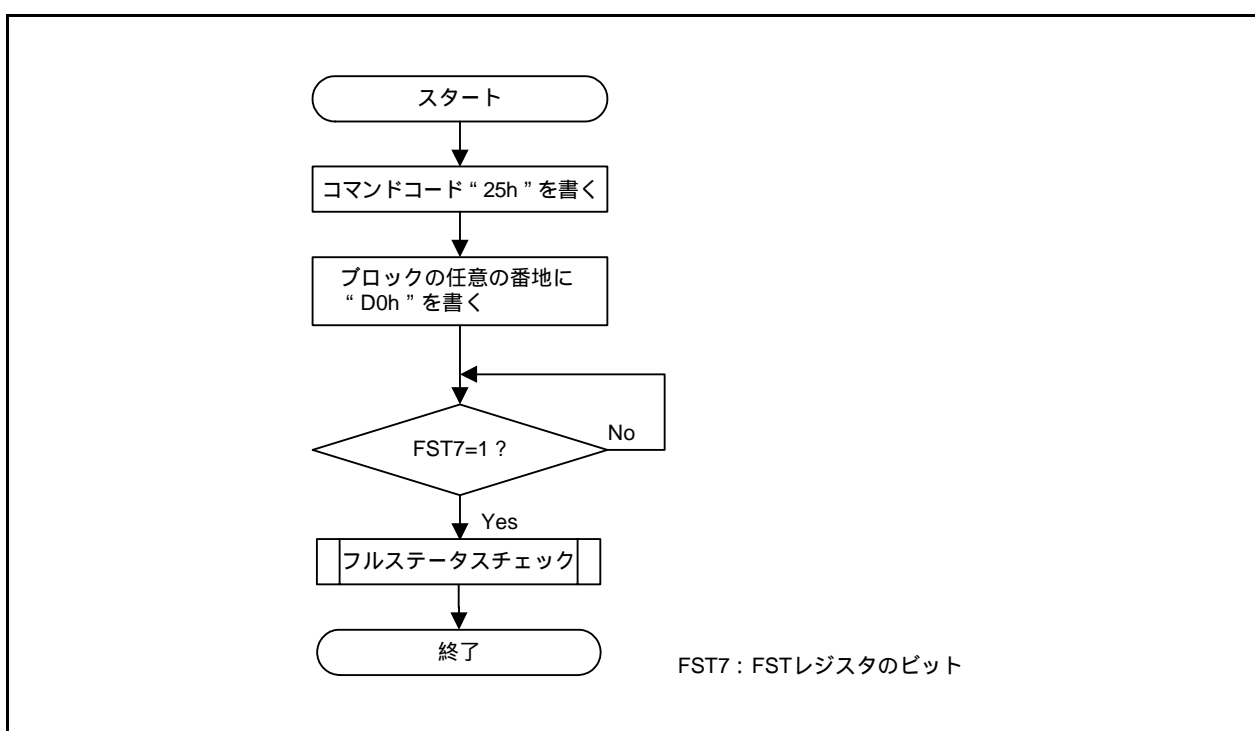


図30.16 ブロックブランクチェックフローチャート

なお、本コマンドはライターメカ向けを想定したものであり、一般ユーザ向けのコマンドではありません。

## 30.4.12 フルスステータスチェック

エラーが発生すると、FSTレジスタのFST4 ~ FST5ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表30.6にエラーとFSTレジスタの状態を、図30.17にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表30.6 エラーとFSTレジスタの状態

FSTレジスタの状態		エラー	エラー発生条件
FST5	FST4		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> <li>• コマンドを正しく書かなかったとき</li> <li>• ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(“D0h”または“FFh”)以外のデータを書いたとき(注1)</li> <li>• サスペンド中のイレーズコマンドを実行</li> <li>• サスペンド中のブロックへのコマンドを実行</li> </ul>
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
		ブランクチェックエラー	ブロックブランクチェックコマンドを実行し、ブランクデータ“FFh”以外のデータを読み出したとき
0	1	プログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき
		ロックビットプログラムエラー	ロックビットコマンドを実行し、ロックビットが“0”(ロック状態)にならなかったとき

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

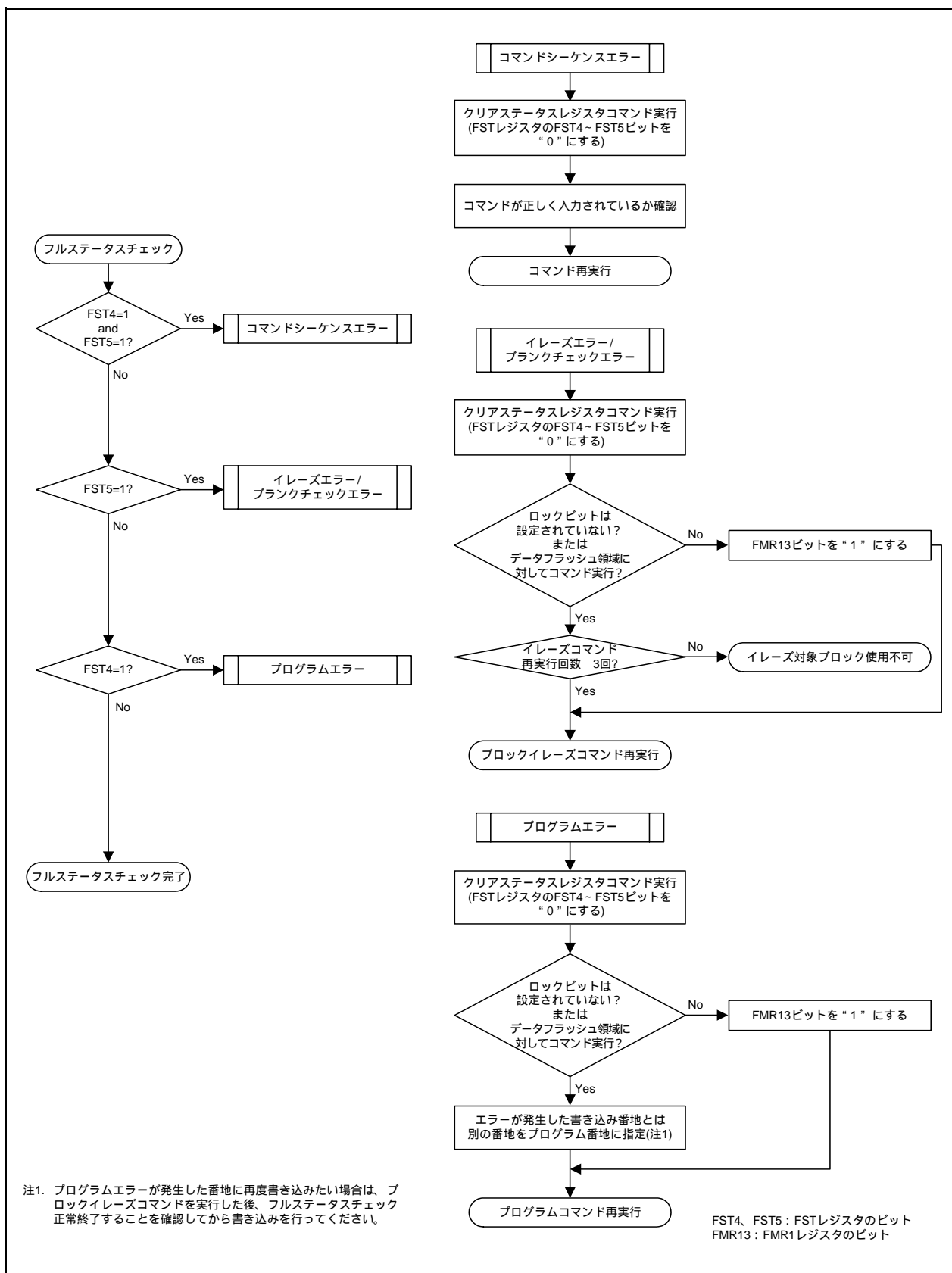


図 30.17 フルステータスチェックフローチャート、各エラー発生時の対処方法

### 30.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアルI/Oを用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表30.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図30.18に標準シリアル入出力モード2を使用する場合の端子処理例を、表30.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図30.19に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表30.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

#### 30.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

表30.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
P0	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0 ~ P1_3、 P1_6、P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P3_0、 P3_3 ~ P3_5、P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_3 ~ P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P6_0、P6_5 ~ P6_7	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P7_6、P7_7	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P8_0 ~ P8_3	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	“L”を入力してください。
P1_4	TXD出力	出力	シリアルデータの出力端子です。
P1_5	RXD入力	入力	シリアルデータの入力端子です。
USB_DP/USB_DM	D+およびD-入出力	入出力	USB内蔵トランシーバのD+、D-入出力端子です。
USB_VBUS	USBケーブル接続モニタ	出力	USBケーブル接続モニタ端子です。
USB_DPUPE	D+信号プルアップ抵抗制御	出力	USB D+信号の1.5kΩプルアップ抵抗の制御信号です。
USB_VCC	USB用電源	入出力	USB用電源端子です。
USB_DPRPD(注1)	D+信号プルダウン抵抗制御	出力	USB DP信号の15kΩプルダウン抵抗の制御信号です。
USB_DRPD(注1)	D-信号ダウン抵抗制御	出力	USB DM信号の15kΩプルダウン抵抗の制御信号です。
VREF	基準電圧入力	入力	“H”を入力してください。

注1. R8C/34Uグループに、この端子はありません。

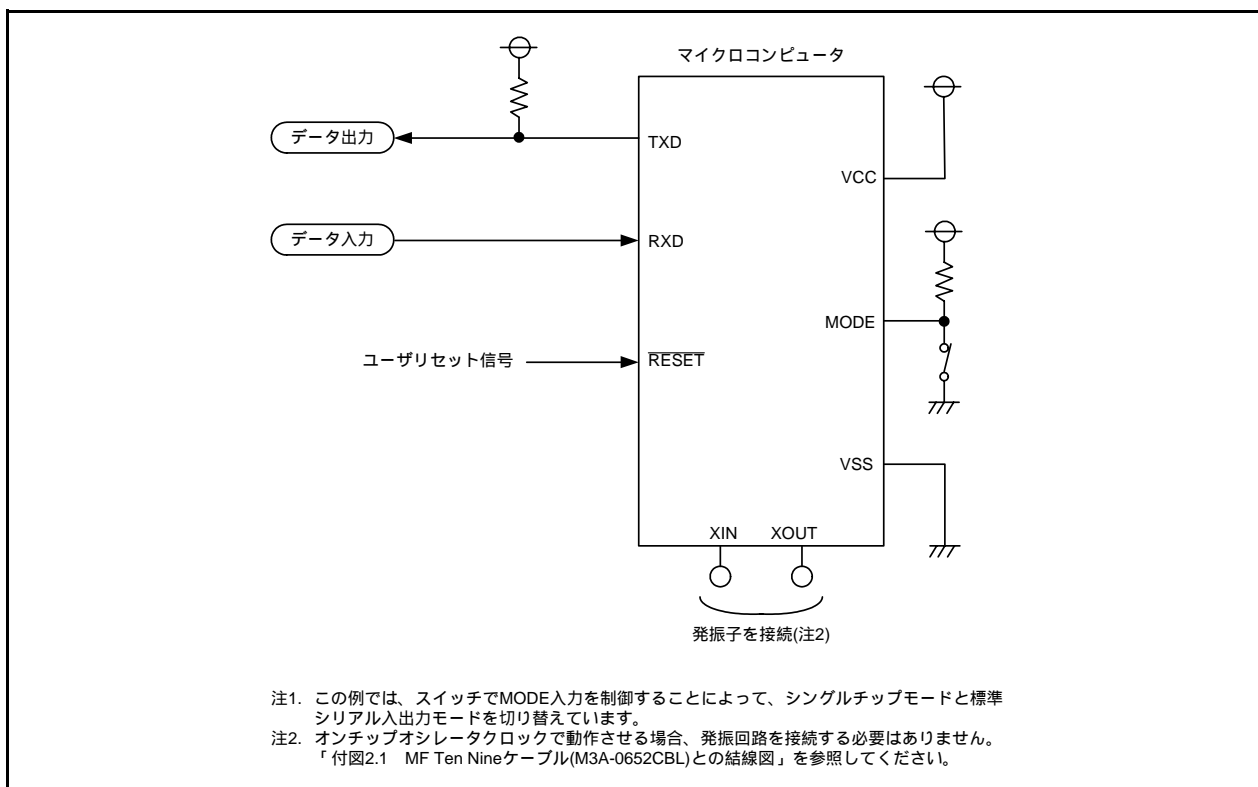


図30.18 標準シリアル入出力モード2を使用する場合の端子処理例

表30.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	外付けの発振子を接続する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。 入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
P0	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P3_0、 P3_3 ~ P3_5、P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_3 ~ P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P6_0、P6_5 ~ P6_7	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P7_6、P7_7	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P8_0 ~ P8_3	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。
USB_DP/USB_DM	D+およびD-入出力	入出力	USB内蔵トランシーバのD+、D-入出力端子です。
USB_VBUS	USBケーブル接続モニタ	出力	USBケーブル接続モニタ端子です。
USB_DPUPE	D+信号プルアップ抵抗制御	出力	USB D+信号の1.5kΩプルアップ抵抗の制御信号です。
USB_VCC	USB用電源	入出力	USB用電源端子です。
USB_DPRPD(注1)	D+信号プルダウン抵抗制御	出力	USB DP信号の15kΩプルダウン抵抗の制御信号です。
USB_DRPD(注1)	D-信号ダウン抵抗制御	出力	USB DM信号の15kΩプルダウン抵抗の制御信号です。
VREF	基準電圧入力	入力	“H”を入力してください。

注1. R8C/34Uグループに、この端子はありません。

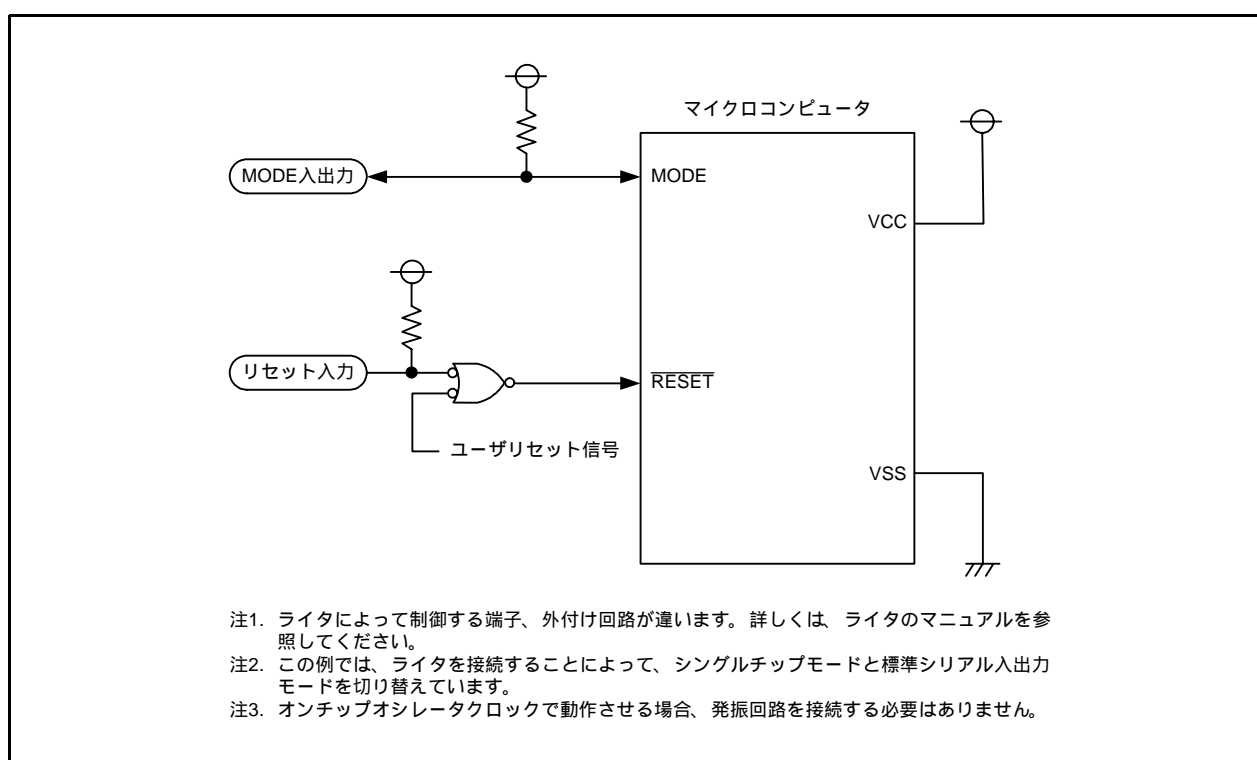


図30.19 標準シリアル入出力モード3を使用する場合の端子処理例

## 30.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図30.1～図30.2に示すユーザROM領域の書き換えができません。

### 30.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「30.3.2 ROMコードプロテクト機能」参照)。



## 30.7 フラッシュメモリ使用上の注意

## 30.7.1 CPU書き換えモード

## 30.7.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

## 30.7.1.2 割り込み

表30.9～表30.11にCPU書き換えモード時の割り込みを示します。

表30.9 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22：FMR2レジスタのビット

表30.10 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表30.11 CPU書き換えモード時の割り込み(3)

モード	イレーズ/ ライト対象	状態	・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。	
		自動書き込み中	ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクブル割り込みを使用しないでください。

### 30.7.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

### 30.7.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

### 30.7.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

### 30.7.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

### 30.7.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V ~ 5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

### 30.7.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

### 30.7.1.9 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

消費電力を低減する方法は、「31. 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

## 31. 消費電力の低減

### 31.1 概要

この章では消費電力を小さくするためのポイント、処理方法について説明します。

### 31.2 消費電力を小さくするためのポイントと処理方法

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

#### 31.2.1 電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVCA26ビットを“0”(電圧検出1回路無効)に、電圧監視2を使用しない場合、VCA2レジスタのVCA27ビットを“0”(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを“0”(電圧検出0回路無効)にしてください。

#### 31.2.2 ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

#### 31.2.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にしてください。

高速オンチップオシレータの発振停止：FRA0レジスタのFRA00ビットを“0”にしてください。

#### 31.2.4 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。詳細は「9.7 パワーコントロール」を参照してください。

#### 31.2.5 周辺機能クロックの停止

ウェイトモード時に周辺機能クロックf1、f2、f4、f8、f32が不要の場合、CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にして、ウェイトモード時のf1、f2、f4、f8、f32を停止させてください。

### 31.2.6 タイマ

タイマRAを使用しない場合、TRAMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRCを使用しない場合、MSTCRレジスタのMSTTRCビットを“1”(スタンバイ)にしてください。

### 31.2.7 A/Dコンバータ

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

### 31.2.8 クロック同期形シリアルインタフェース

SSUおよびI<sup>2</sup>Cバスを使用しない場合、MSTCRレジスタのMSTIICビットを“1”(スタンバイ)にしてください。

### 31.2.9 内部電源の消費電力低減

低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのVCA20ビットにより、内部電源の消費電力を低減できます。図31.1にVCA20ビットによる内部電源低消費操作手順を示します。VCA20ビットにより内部電源低消費電力を許可する場合は、「図31.1 VCA20ビットによる内部電源低消費操作手順」に従ってください。

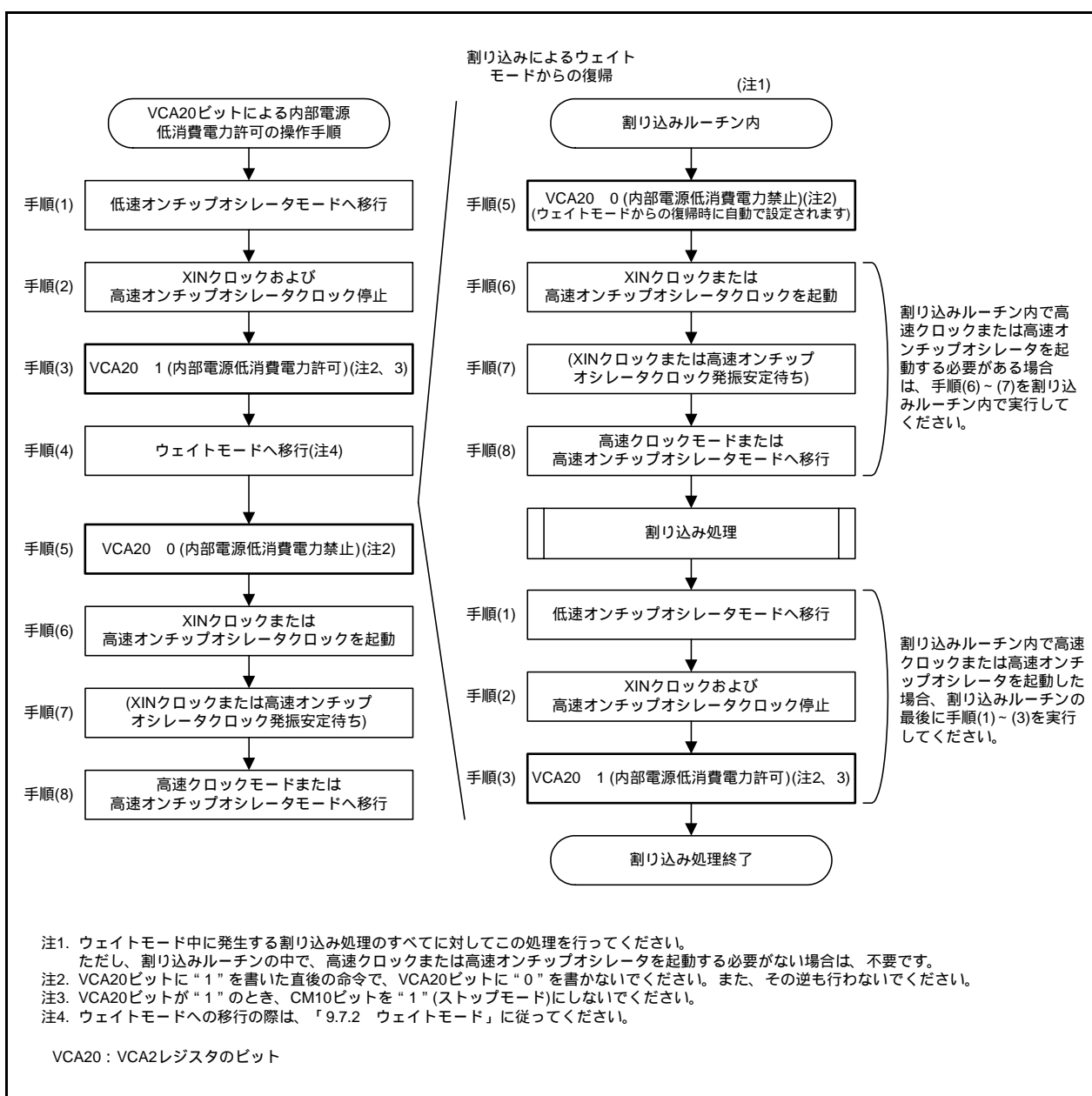


図31.1 VCA20ビットによる内部電源低消費操作手順

## 31.2.10 フラッシュメモリの停止

低速オンチップオシレータモードの場合、FMR0レジスタのFMSTPビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTPビットを“1”(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

図31.2にFMSTPビットによる低消費電力操作手順例を示します。

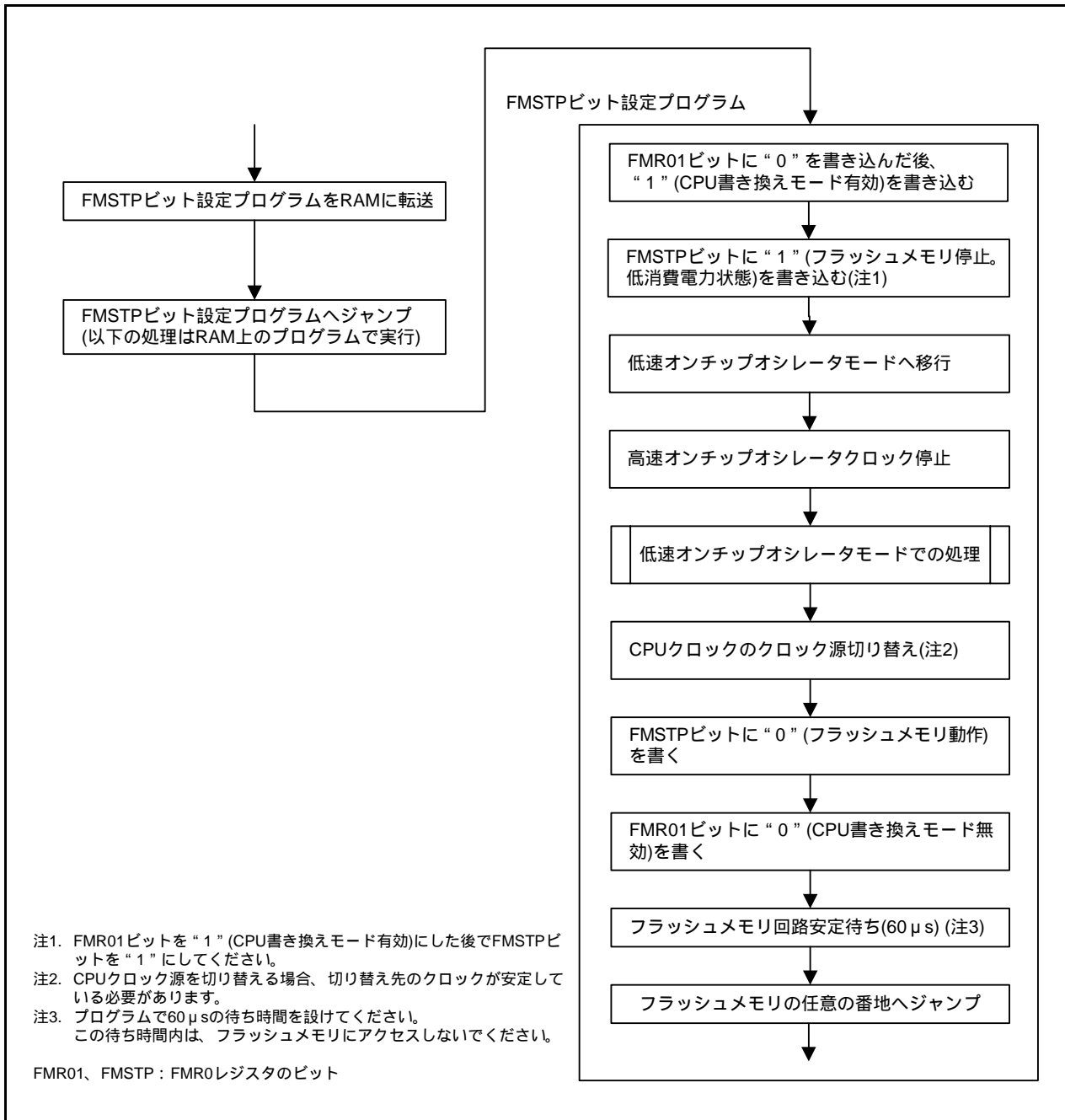


図31.2 FMSTPビットによる低消費電力操作手順例



## 31.2.11 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2 レジスタのFMR27 ビットを“1”（低消費電流リードモード許可）にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27 ビットを“1”（低消費電流リードモード許可）にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”（低消費電流リードモード禁止）にした後、移行してください。FMR27 ビットが“1”（低消費電流リードモード許可）の状態、ウェイトモードまたはストップモードへ移行しないでください。

図31.3に低消費電流リードモードの操作手順例を示します。

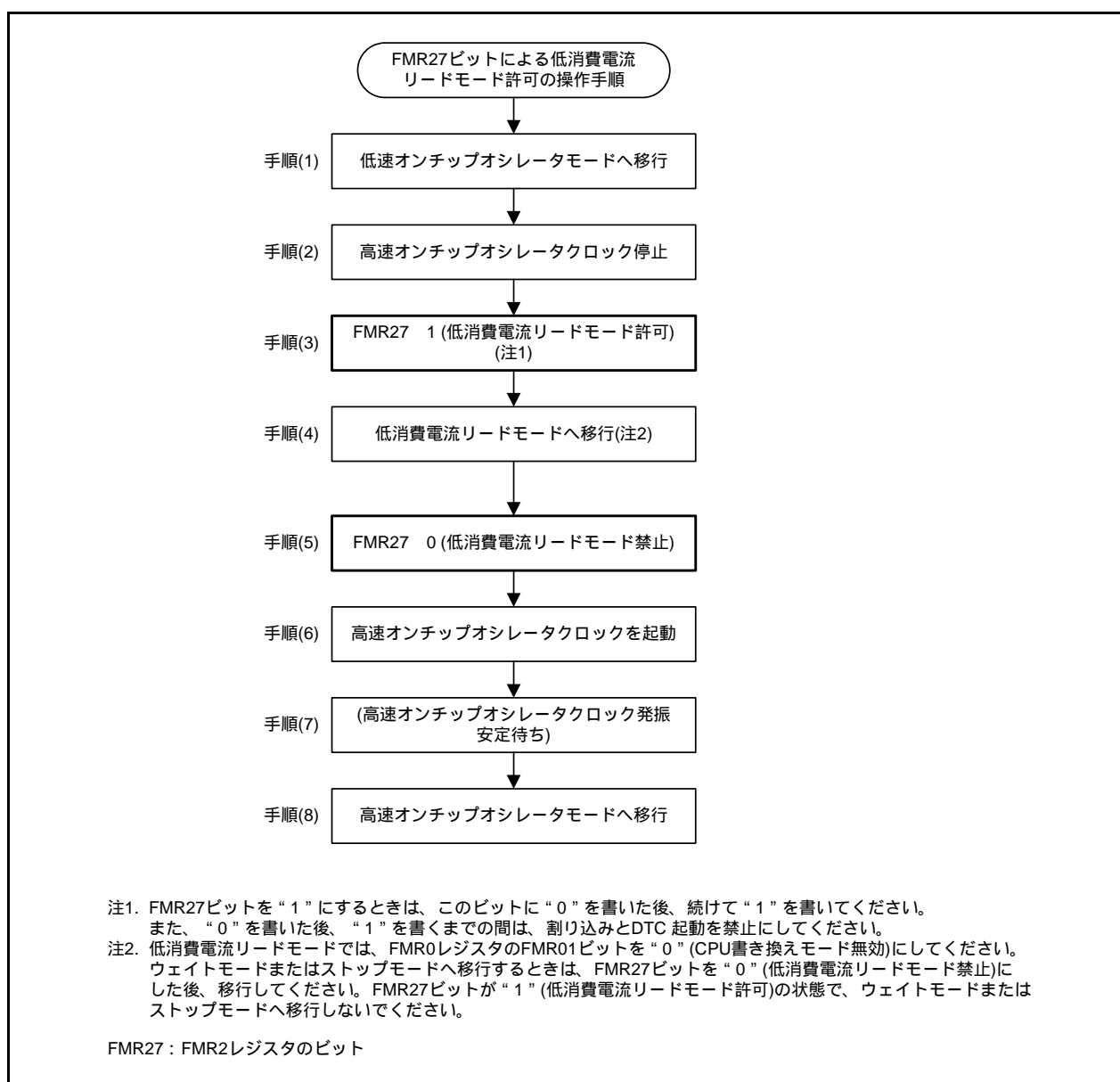


図31.3 低消費電流リードモードの操作手順例

## 32. 電気的特性

### 32.1 R8C/34Uグループ

表32.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V <sub>CC</sub> /AV <sub>CC</sub>	電源電圧		- 0.3 ~ 6.5	V
V <sub>I</sub>	入力電圧		- 0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>O</sub>	出力電圧		- 0.3 ~ V <sub>CC</sub> + 0.3	V
P <sub>d</sub>	消費電力	- 40    T <sub>opr</sub> 85	500	mW
T <sub>opr</sub>	動作周囲温度		- 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)	
T <sub>stg</sub>	保存温度		- 65 ~ 150	

表32.2 推奨動作条件

記号	項目		測定条件	規格値			単位		
				最小	標準	最大			
Vcc/AVcc	電源電圧	USB機能使用時		3.0	5.0	5.5	V		
		USB機能未使用時		1.8	5.0	5.5	V		
UVcc	USB電源電圧 (UVCC端子入力時)	USB機能使用時	Vcc/AVcc = 3.0 ~ 3.6V		Vcc/ AVcc (注4)		V		
		USB機能未使用時	Vcc/AVcc = 1.8 ~ 5.5V		Vcc/ AVcc (注4)		V		
Vss/AVss	電源電圧				0		V		
VIH	“H”入力電圧	CMOS入力以外			0.8Vcc		Vcc	V	
		CMOS 入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択: 0.35Vcc	4.0V Vcc 5.5V	0.5Vcc		Vcc	V
					2.7V Vcc < 4.0V	0.55Vcc		Vcc	V
					1.8V Vcc < 2.7V	0.65Vcc		Vcc	V
				入力レベル選択: 0.5Vcc	4.0V Vcc 5.5V	0.65Vcc		Vcc	V
					2.7V Vcc < 4.0V	0.7Vcc		Vcc	V
					1.8V Vcc < 2.7V	0.8Vcc		Vcc	V
				入力レベル選択: 0.7Vcc	4.0V Vcc 5.5V	0.85Vcc		Vcc	V
					2.7V Vcc < 4.0V	0.85Vcc		Vcc	V
					1.8V Vcc < 2.7V	0.85Vcc		Vcc	V
外部クロック入力(XOUT)			1.2		Vcc	V			
VIL	“L”入力電圧	CMOS入力以外			0		0.2Vcc	V	
		CMOS 入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択: 0.35Vcc	4.0V Vcc 5.5V	0		0.2Vcc	V
					2.7V Vcc < 4.0V	0		0.2Vcc	V
					1.8V Vcc < 2.7V	0		0.2Vcc	V
				入力レベル選択: 0.5Vcc	4.0V Vcc 5.5V	0		0.4Vcc	V
					2.7V Vcc < 4.0V	0		0.3Vcc	V
					1.8V Vcc < 2.7V	0		0.2Vcc	V
				入力レベル選択: 0.7Vcc	4.0V Vcc 5.5V	0		0.55Vcc	V
					2.7V Vcc < 4.0V	0		0.45Vcc	V
					1.8V Vcc < 2.7V	0		0.35Vcc	V
外部クロック入力(XOUT)			0		0.4	V			
IOH(sum)	“H”尖頭総出力電流	全端子のIOH(peak)の総和				- 160	mA		
IOH(sum)	“H”平均総出力電流	全端子のIOH(avg)の総和				- 80	mA		
IOH(peak)	“H”尖頭出力電流	駆動能力Low時				- 10	mA		
		駆動能力High時				- 40	mA		
IOH(avg)	“H”平均出力電流	駆動能力Low時				- 5	mA		
		駆動能力High時				- 20	mA		
IOL(sum)	“L”尖頭総出力電流	全端子のIOL(peak)の総和				160	mA		
IOL(sum)	“L”平均総出力電流	全端子のIOL(avg)の総和				80	mA		
IOL(peak)	“L”尖頭出力電流	駆動能力Low時				10	mA		
		駆動能力High時				40	mA		
IOL(avg)	“L”平均出力電流	駆動能力Low時				5	mA		
		駆動能力High時				20	mA		
f(XIN)	XINクロック入力発振周波数	2.7V Vcc 5.5V				20	MHz		
		1.8V Vcc < 2.7V				5	MHz		
fOCO40M	タイマRCのカウントソース(注3)	2.7V Vcc 5.5V	32			40	MHz		
fOCO-F	fOCO-F周波数	2.7V Vcc 5.5V				20	MHz		
		1.8V Vcc < 2.7V				5	MHz		
	システムクロック周波数	2.7V Vcc 5.5V				20	MHz		
		1.8V Vcc < 2.7V				5	MHz		
f(BCLK)	CPUクロック周波数	2.7V Vcc 5.5V				20	MHz		
		1.8V Vcc < 2.7V				5	MHz		

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 平均出力電流は100msの期間内での平均値です。

注3. fOCO40MはVcc = 2.7V ~ 5.5Vの範囲で、タイマRCのカウントソースとして使用することができます。

注4. UVcc端子入力時はVcc/AVccを接続してください。

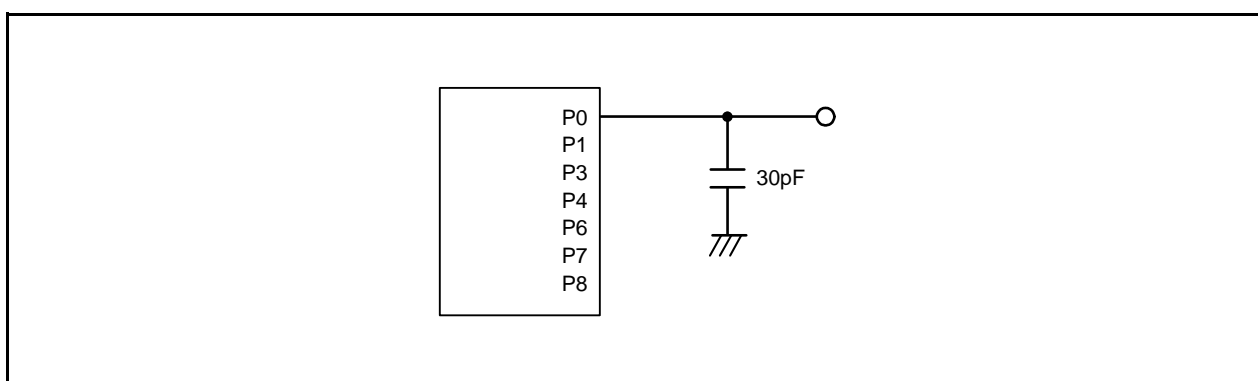


図32.1 ポートP0、P1、P3、P4、P6、P7、P8のタイミング測定回路

表32.3 A/Dコンバータ特性

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
	分解能		$V_{ref} = AV_{CC}$			10	Bit
	絶対精度	10ビットモード	$V_{ref} = AV_{CC} = 5.0V$ AN0 ~ AN7入力、AN8 ~ AN11入力			$\pm 3$	LSB
$V_{ref} = AV_{CC} = 3.3V$ AN0 ~ AN7入力、AN8 ~ AN11入力					$\pm 5$	LSB	
$V_{ref} = AV_{CC} = 3.0V$ AN0 ~ AN7入力、AN8 ~ AN11入力					$\pm 5$	LSB	
$V_{ref} = AV_{CC} = 2.2V$ AN0 ~ AN7入力、AN8 ~ AN11入力					$\pm 5$	LSB	
		8ビットモード	$V_{ref} = AV_{CC} = 5.0V$ AN0 ~ AN7入力、AN8 ~ AN11入力			$\pm 2$	LSB
$V_{ref} = AV_{CC} = 3.3V$ AN0 ~ AN7入力、AN8 ~ AN11入力					$\pm 2$	LSB	
$V_{ref} = AV_{CC} = 3.0V$ AN0 ~ AN7入力、AN8 ~ AN11入力					$\pm 2$	LSB	
$V_{ref} = AV_{CC} = 2.2V$ AN0 ~ AN7入力、AN8 ~ AN11入力					$\pm 2$	LSB	
AD	A/D変換クロック		4.0V $V_{ref} = AV_{CC}$ 5.5V (注2)	2		20	MHz
			3.2V $V_{ref} = AV_{CC}$ 5.5V (注2)	2		16	MHz
			2.7V $V_{ref} = AV_{CC}$ 5.5V (注2)	2		10	MHz
			2.2V $V_{ref} = AV_{CC}$ 5.5V (注2)	2		5	MHz
	許容信号源インピーダンス				3		k $\Omega$
tCONV	変換時間	10ビットモード	$V_{ref} = AV_{CC} = 5.0V$ 、AD = 20MHz	2.2			$\mu s$
		8ビットモード	$V_{ref} = AV_{CC} = 5.0V$ 、AD = 20MHz	2.2			$\mu s$
tSAMP	サンプリング時間		AD = 20MHz	0.8			$\mu s$
I <sub>vref</sub>	V <sub>ref</sub> 電流		$V_{CC} = 5.0V$ 、XIN = f1 = AD = 20MHz		45		$\mu A$
V <sub>ref</sub>	基準電圧			2.2		AV <sub>CC</sub>	V
V <sub>IA</sub>	アナログ入力電圧(注3)			0		V <sub>ref</sub>	V
OCVREF	チップ内蔵基準電圧		2MHz AD 4MHz	1.19	1.34	1.49	V

注1. 指定のない場合は、 $V_{CC}/AV_{CC} = V_{ref} = 2.2V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/ $-40 \sim 85$  (Dバージョン)です。

注2. ウェイトモード時、ストップモード時、フラッシュメモリの停止時、および低消費電流リードモード時では、A/D変換結果が不定になります。(これらの状態のときのA/D変換処理、およびA/D変換中のこれらの状態への遷移はしないでください。)

注3. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表32.4 コンパレータBの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>ref</sub>	IVREF1、IVREF3入力基準電圧		0		V <sub>CC</sub> - 1.4	V
V <sub>i</sub>	IVCMP1、IVCMP3入力電圧		- 0.3		V <sub>CC</sub> + 0.3	V
	オフセット			5	100	mV
t <sub>d</sub>	コンパレータ出力遅延時間(注2)	V <sub>i</sub> = V <sub>ref</sub> ± 100mV		0.1		μs
I <sub>CMP</sub>	コンパレータ動作電流	V <sub>CC</sub> = 5.0V		17.5		μA

注1. 指定のない場合は、V<sub>CC</sub> = 2.7V ~ 5.5V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. デジタルフィルタ無効時。

表 32.5 USBの電気的特性

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
V <sub>IH</sub>	入力特性	“H” 入力電圧	図 32.2、図 32.3	2.0			V	
V <sub>IL</sub>				“L” 入力電圧			0.8	V
V <sub>DI</sub>				差動入力感度	0.2			V
V <sub>CM</sub>				差動コモンモードレンジ	0.8		2.5	V
V <sub>OH</sub>	出力特性	“H” 出力電圧	図 32.2、図 32.3	2.8			V	
V <sub>OL</sub>		“L” 出力電圧	図 32.2、図 32.3			0.3	V	
V <sub>CRS</sub>		クロスオーバー電圧	図 32.2、図 32.3	1.3		2.0	V	
t <sub>R</sub>		立ち上がり時間	図 32.2、図 32.3	4.0		20.0	ns	
t <sub>F</sub>		立ち下がり時間	図 32.2、図 32.3	4.0		20.0	ns	
t <sub>RFM</sub>		立ち上がり / 立ち下がり時間 マッチング	図 32.2、図 32.3 (t <sub>R</sub> /t <sub>F</sub> )	90.0		111.1	%	
Z <sub>DRV</sub>		出力抵抗	図 32.2、図 32.3 R <sub>S</sub> = 27Ω 含む	28.0		44.0	Ω	
UV <sub>CC</sub>		UV <sub>CC</sub> 出力電圧	V <sub>CC</sub> = 4.0 ~ 5.5 V、 PXXCON = VDDUSBE = 1	3.0	3.3	3.6	V	
			PXXCON = 0		V <sub>CC</sub>			V
I <sub>susp</sub>		USB用内蔵電源消費電流	V <sub>CC</sub> = 4.0 ~ 5.5 V、 UV <sub>CC</sub> -V <sub>SS</sub> 間 0.33μF V <sub>CC</sub> -V <sub>SS</sub> 間 0.1μF		50		μA	

注1. 指定のない場合は、V<sub>CC</sub> = 3.0V ~ 5.5V、UV<sub>CC</sub> = 3.0V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン) です。

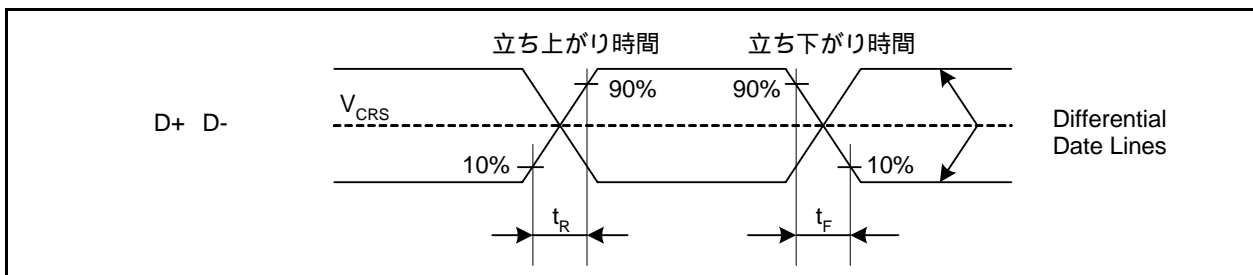


図 32.2 データ信号タイミング

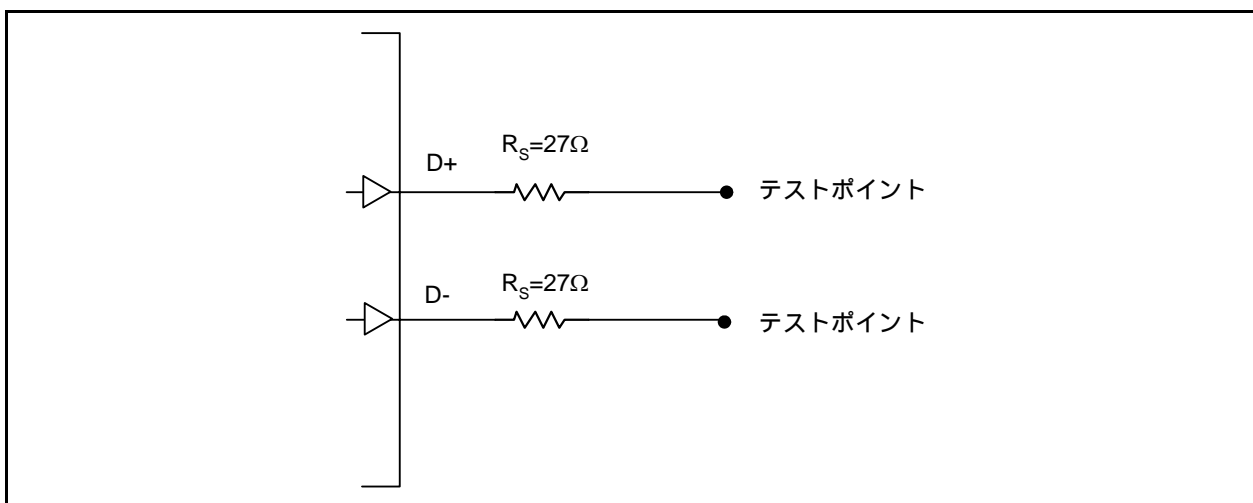


図 32.3 負荷条件

表32.6 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		1,000(注3)			回
	バイトプログラム時間			80	500	μs
	ブロックイレーズ時間			0.3		s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間				5 + CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
	サスペンドからイレーズの再開までの時間				30 + CPUクロック × 1サイクル	μs
t <sub>d</sub> (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間				30 + CPUクロック × 1サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、V<sub>CC</sub> = 2.7V ~ 5.5V、T<sub>opr</sub> = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。



表32.7 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10,000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			160	1500	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			300	1500	μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	1	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3	1	s
td(SR-SUS)	サスペンドへの遷移時間				5 + CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
	サスペンドからイレーズの再開までの時間				30 + CPUクロック × 1サイクル	μs
td(CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間				30 + CPUクロック × 1サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		- 20(注7)		85	
	データ保持時間(注8)	周囲温度 = 55	20			年

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地に順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注7. Dバージョンは - 40。

注8. 電源電圧またはクロックが印加されていない時間を含みます。

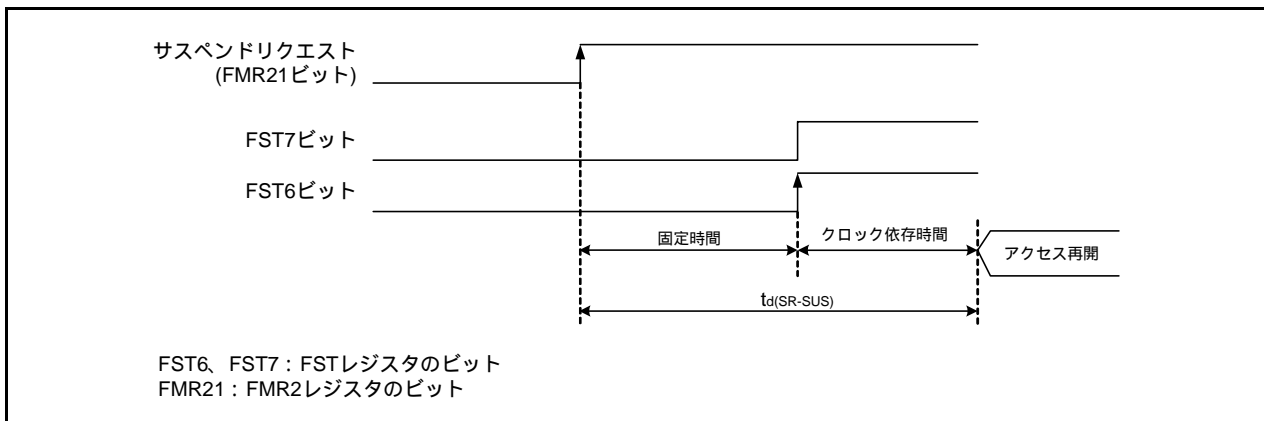


図32.4 サスペンドへの遷移時間

表32.8 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0 (注2)		1.80	1.90	2.05	V
	電圧検出レベルVdet0_1 (注2)		2.15	2.35	2.50	V
	電圧検出レベルVdet0_2 (注2)		2.70	2.85	3.05	V
	電圧検出レベルVdet0_3 (注2)		3.55	3.80	4.05	V
	電圧検出0回路反応時間(注4)	Vcc = 5.0V (Vdet0_0 - 0.1)V に下げたとき		6	150	μs
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 5.0V		1.5		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはOFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

注3. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表32.9 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_0 (注2)	Vcc立ち下がり時	2.00	2.20	2.40	V
	電圧検出レベルVdet1_1 (注2)	Vcc立ち下がり時	2.15	2.35	2.55	V
	電圧検出レベルVdet1_2 (注2)	Vcc立ち下がり時	2.30	2.50	2.70	V
	電圧検出レベルVdet1_3 (注2)	Vcc立ち下がり時	2.45	2.65	2.85	V
	電圧検出レベルVdet1_4 (注2)	Vcc立ち下がり時	2.60	2.80	3.00	V
	電圧検出レベルVdet1_5 (注2)	Vcc立ち下がり時	2.75	2.95	3.15	V
	電圧検出レベルVdet1_6 (注2)	Vcc立ち下がり時	2.85	3.10	3.40	V
	電圧検出レベルVdet1_7 (注2)	Vcc立ち下がり時	3.00	3.25	3.55	V
	電圧検出レベルVdet1_8 (注2)	Vcc立ち下がり時	3.15	3.40	3.70	V
	電圧検出レベルVdet1_9 (注2)	Vcc立ち下がり時	3.30	3.55	3.85	V
	電圧検出レベルVdet1_A (注2)	Vcc立ち下がり時	3.45	3.70	4.00	V
	電圧検出レベルVdet1_B (注2)	Vcc立ち下がり時	3.60	3.85	4.15	V
	電圧検出レベルVdet1_C (注2)	Vcc立ち下がり時	3.75	4.00	4.30	V
	電圧検出レベルVdet1_D (注2)	Vcc立ち下がり時	3.90	4.15	4.45	V
	電圧検出レベルVdet1_E (注2)	Vcc立ち下がり時	4.05	4.30	4.60	V
	電圧検出レベルVdet1_F (注2)	Vcc立ち下がり時	4.20	4.45	4.75	V
	電圧検出1回路のVcc立ち上がり時のヒステリシス幅	Vdet1_0 ~ Vdet1_5選択時		0.07		V
		Vdet1_6 ~ Vdet1_F選択時		0.10		V
	電圧検出1回路反応時間(注3)	Vcc = 5.0V (Vdet1_0 - 0.1)V に下げたとき		60	150	μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注4)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注3. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表32.10 電圧検出2回路の電氣的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベルVdet2_0	Vcc立ち下がり時	3.70	4.00	4.30	V
	電圧検出2回路のVcc立ち上がり時のヒステリシス幅			0.10		V
	電圧検出2回路反応時間(注2)	Vcc = 5.0V (Vdet2_0 - 0.1)V に下げたとき		20	150	μs
	電圧検出回路の自己消費電流	VCA27 = 1、Vcc = 5.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表32.11 パワーオンリセット回路(注2)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き	(注1)	0		50,000	mV/msec

注1. 指定のない場合測定条件は、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

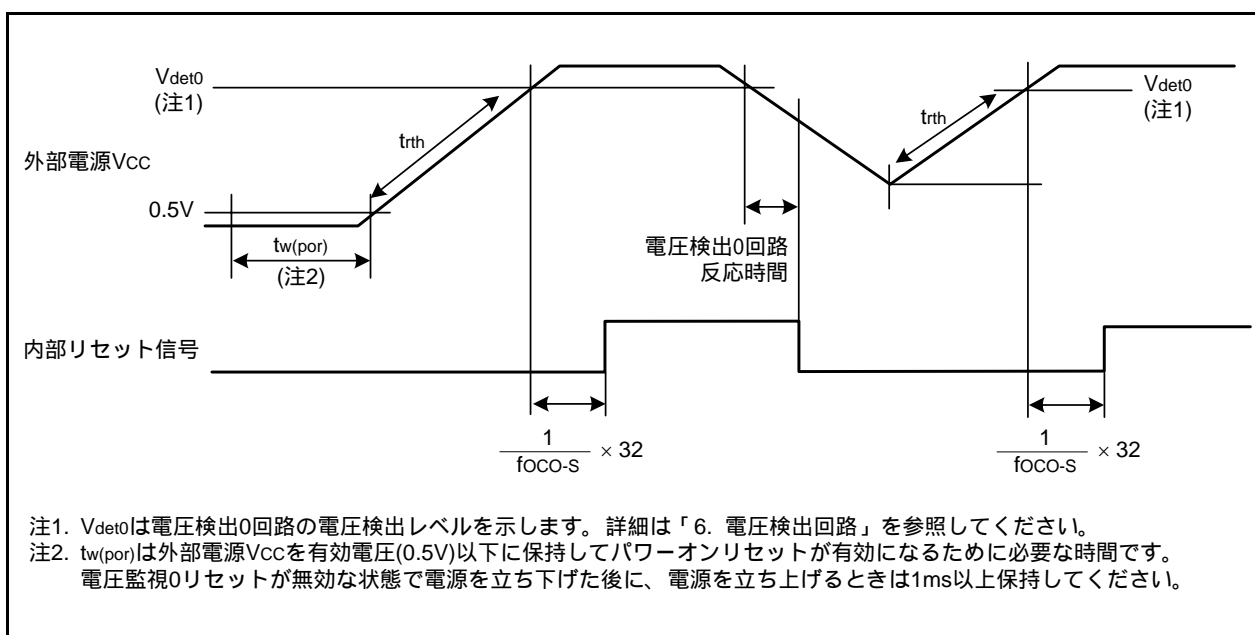


図32.5 パワーオンリセット回路の電氣的特性

表32.12 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	リセット解除時の高速オンチップオシレータ発振周波数	V <sub>CC</sub> = 1.8 V ~ 5.5 V -20 Topr 85	36.0	40	44.0	MHz
		V <sub>CC</sub> = 1.8 V ~ 5.5 V -40 Topr 85	36.0	40	44.0	
	FRA4レジスタの補正值をFRA1レジスタに、かつFRA5レジスタの補正值をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注2)	V <sub>CC</sub> = 1.8 V ~ 5.5 V -20 Topr 85	33.178	36.864	40.550	MHz
		V <sub>CC</sub> = 1.8 V ~ 5.5 V -40 Topr 85	33.178	36.864	40.550	
	FRA6レジスタの補正值をFRA1レジスタに、かつFRA7レジスタの補正值をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数	V <sub>CC</sub> = 1.8 V ~ 5.5 V -20 Topr 85	28.8	32	35.2	MHz
		V <sub>CC</sub> = 1.8 V ~ 5.5 V -40 Topr 85	28.8	32	35.2	
	発振安定時間	V <sub>CC</sub> = 5.0V、Topr = 25		0.5	3	ms
	発振時の自己消費電流	V <sub>CC</sub> = 5.0V、Topr = 25		400		μA

注1. 指定のない場合は、V<sub>CC</sub> = 1.8V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表32.13 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		60	125	250	kHz
	発振安定時間	V <sub>CC</sub> = 5.0V、Topr = 25		30	100	μs
	発振時の自己消費電流	V <sub>CC</sub> = 5.0V、Topr = 25		2		μA

注1. 指定のない場合は、V<sub>CC</sub> = 1.8V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

表32.14 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>d(P-R)</sub>	電源投入時の内部電源安定時間(注2)				2,000	μs

注1. 測定条件はV<sub>CC</sub> = 1.8V ~ 5.5V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表32.15 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング必要条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間		4			tcyc (注2)
tHI	SSCKクロック“H”パルス幅		0.4		0.6	tsucyc
tLO	SSCKクロック“L”パルス幅		0.4		0.6	tsucyc
tRISE	SSCKクロック立ち上がり時間	マスタ			1	tcyc (注2)
		スレーブ			1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ			1	tcyc (注2)
		スレーブ			1	μs
tSU	SSO、SSIデータ入力セットアップ時間		100			ns
tH	SSO、SSIデータ入力ホールド時間		1			tcyc (注2)
tLEAD	SCSセットアップ時間	スレーブ			1tcyc + 50	ns
tLAG	SCSホールド時間	スレーブ			1tcyc + 50	ns
tOD	SSO、SSIデータ出力遅延時間				1	tcyc (注2)
tSA	SSIスレーブアクセス時間	2.7V Vcc 5.5V			1.5tcyc + 100	ns
		1.8V Vcc < 2.7V			1.5tcyc + 200	ns
tOR	SSIスレーブアウト開放時間	2.7V Vcc 5.5V			1.5tcyc + 100	ns
		1.8V Vcc < 2.7V			1.5tcyc + 200	ns

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Vss = 0V、Topr = -20 ~ 85 (Nバージョン) / -40 ~ 85 (Dバージョン)です。

注2. 1tcyc = 1/f1(s)

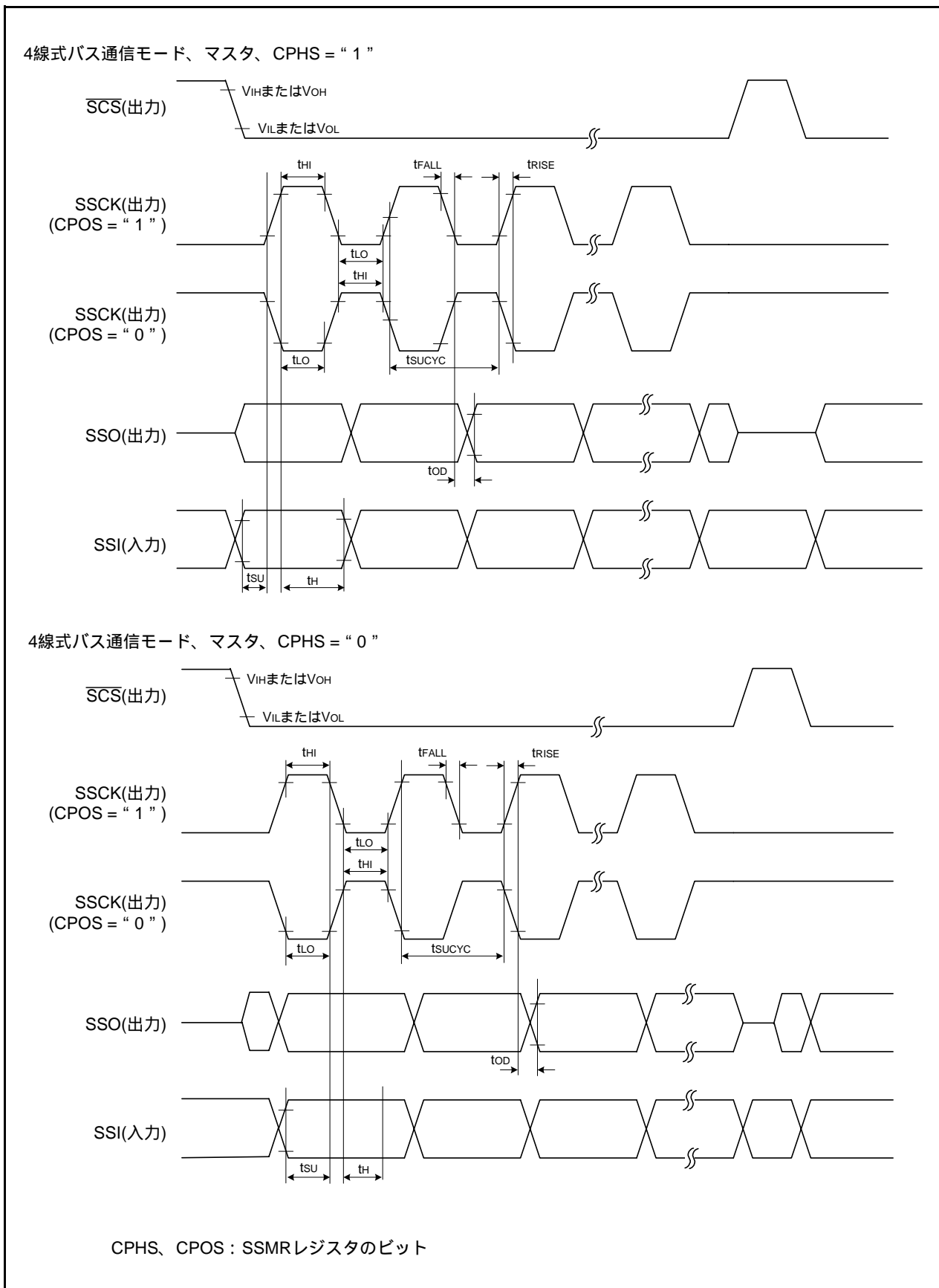


図32.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(マスタ)

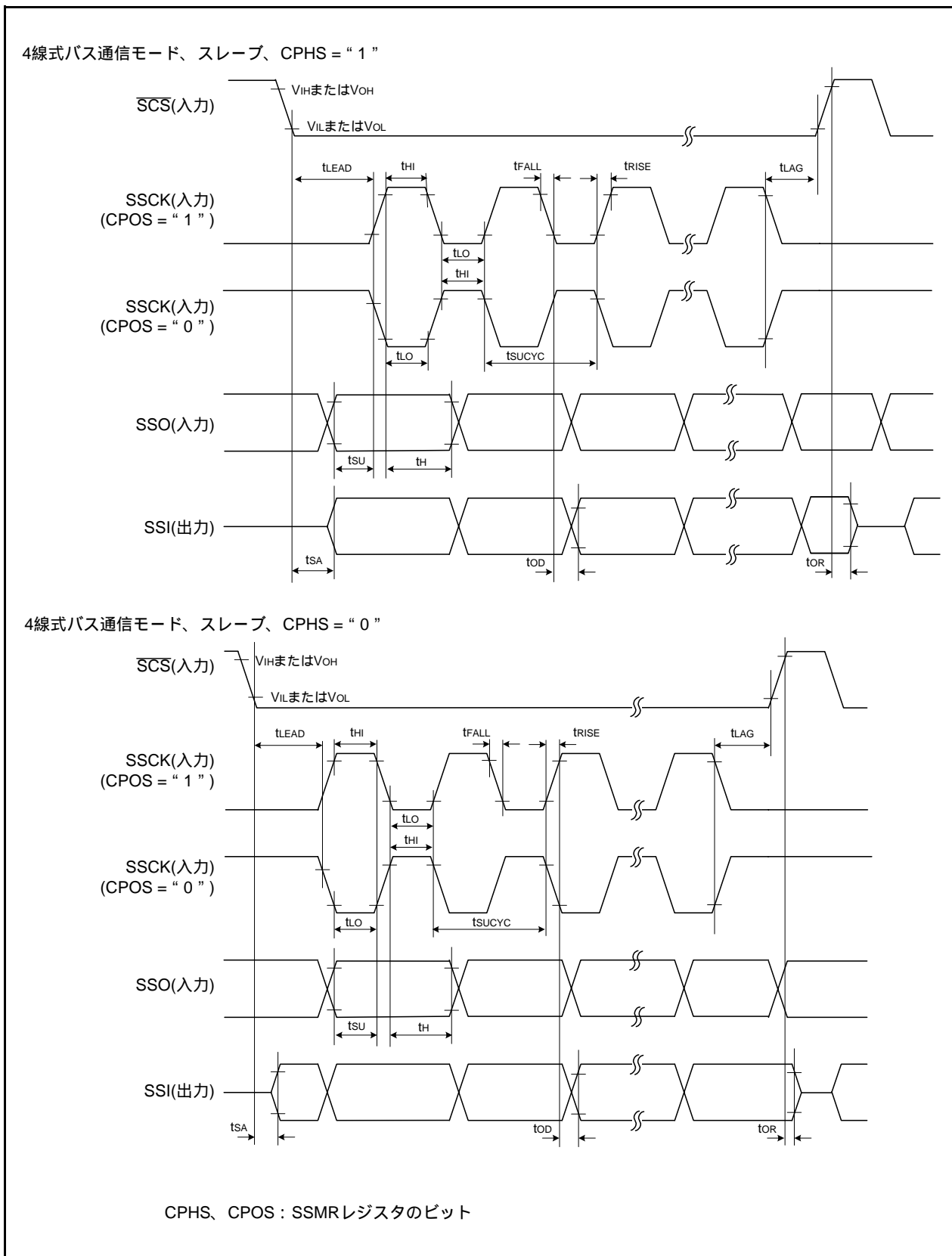


図32.7 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

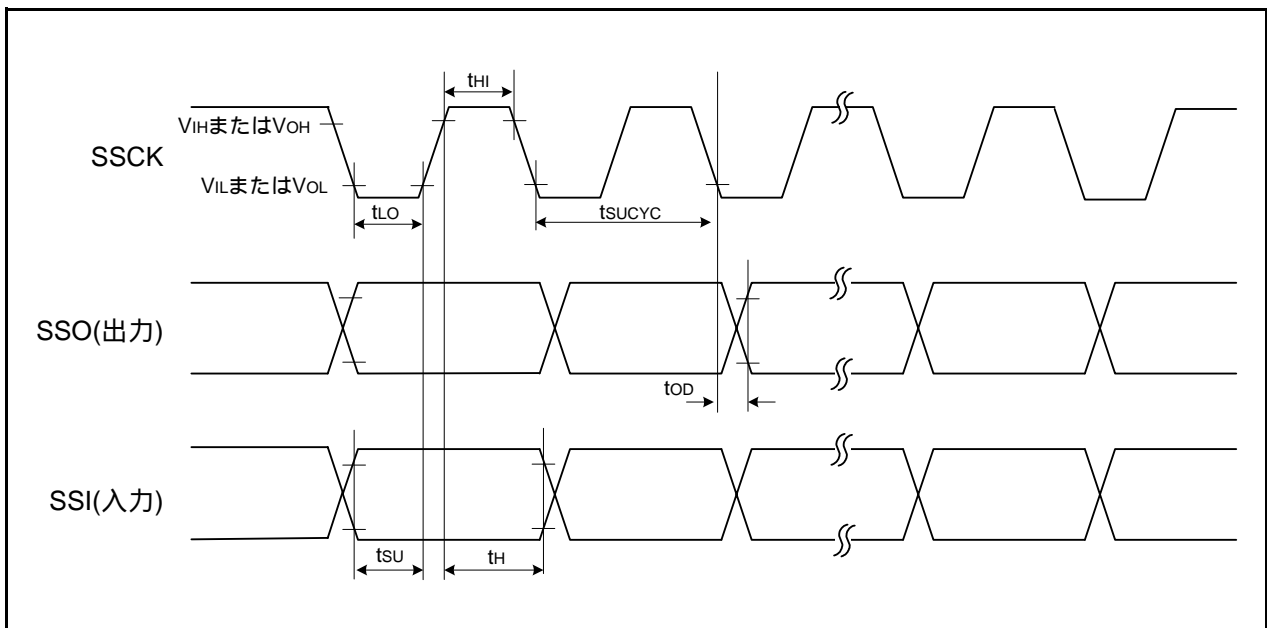


図 32.8 シンクロナスシリアルコミュニケーションユニット (SSU) の入出力タイミング (クロック同期式通信モード)



表32.16 I<sup>2</sup>Cバスインタフェースのタイミング必要条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc + 600(注2)			ns
tSCLH	SCL入力“H”パルス幅		3tcyc + 300(注2)			ns
tSCLL	SCL入力“L”パルス幅		5tcyc + 500(注2)			ns
tsf	SCL、SDA入力立ち下がり時間				300	ns
tSP	SCL、SDA入カスパイクパルス除去時間				1tcyc(注2)	ns
tBUF	SDA入力バスマフリー時間		5tcyc(注2)			ns
tSTAH	開始条件入力ホールド時間		3tcyc(注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tcyc(注2)			ns
tSTOP	停止条件入力セットアップ時間		3tcyc(注2)			ns
tSDAS	データ入力セットアップ時間		1tcyc + 40(注2)			ns
tSDAH	データ入力ホールド時間		10			ns

注1. 指定のない場合は、V<sub>CC</sub> = 1.8V ~ 5.5V、V<sub>SS</sub> = 0V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. 1tcyc = 1/f1(s)

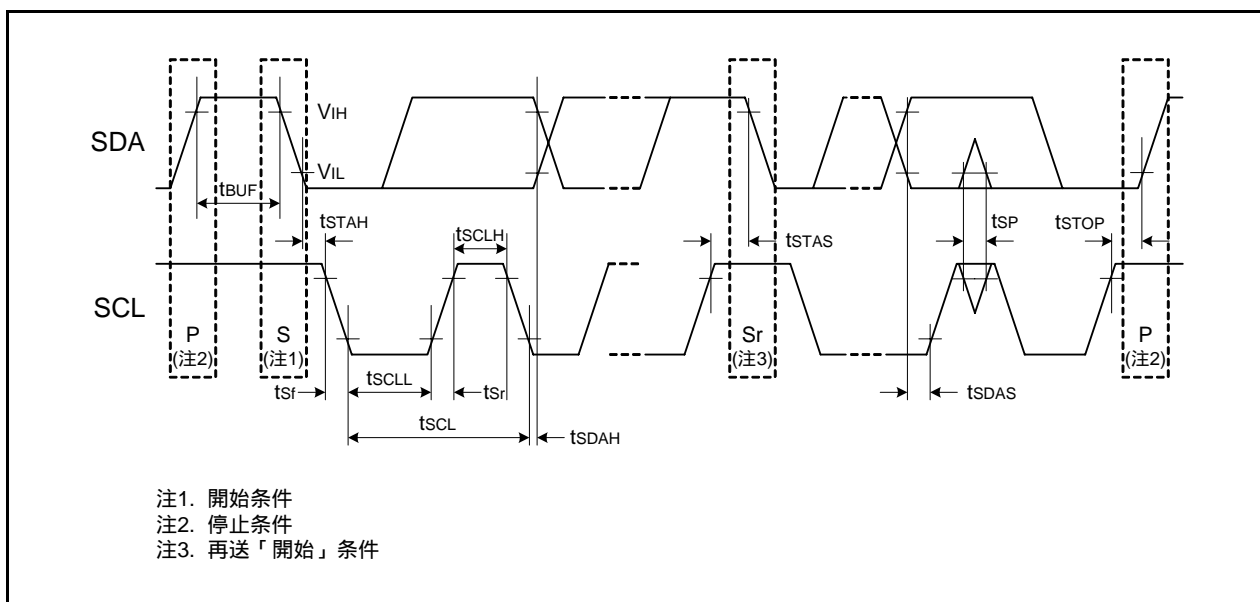
図32.9 I<sup>2</sup>Cバスインタフェースの入出力タイミング

表32.17 電気的特性(1) [ 4.2V Vcc 5.5V ]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT以外	駆動能力High Vcc = 5V	IoH = - 20mA	Vcc - 2.0		Vcc	V
			駆動能力Low Vcc = 5V	IoH = - 5mA	Vcc - 2.0		Vcc	V
		XOUT	Vcc = 5V	IoH = - 200μA	1.0		Vcc	V
VOL	“L”出力電圧	XOUT以外	駆動能力High Vcc = 5V	IoL = 20mA			2.0	V
			駆動能力Low Vcc = 5V	IoL = 5mA			2.0	V
		XOUT	Vcc = 5V	IoL = 200μA			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAIO、TRCIOA、 TRCIOB、TRCIOC、 TRCIOD、TRFI、 USB_VBUS、 TRCTRG、TRCCLK、 ADTRG、RXD0、 RXD1、RXD2、RXD3、 CLK0、CLK1、CLK2、 CLK3、CTS2、SSI、 SCL、SDA、SSO、 SSCK、SCS			0.1	1.2		V
		RESET			0.1	1.2		V
IiH	“H”入力電流		Vi = 5V、Vcc = 5.0V				5.0	μA
IiL	“L”入力電流		Vi = 0V、Vcc = 5.0V				- 5.0	μA
RPULLUP	プルアップ抵抗		Vi = 0V、Vcc = 5.0V		25	50	100	kΩ
RfXIN	帰還抵抗	XIN				0.3		MΩ
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、4.2V Vcc 5.5V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、  
f(XIN) = 20MHzです。

表32.18 電気的特性(2) [ 3.3V Vcc 5.5V ]

(指定のない場合は、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I <sub>cc</sub>	電源電流 (V <sub>cc</sub> = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はV <sub>ss</sub>	高速クロックモード	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6.5	15	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		5.3	12.5	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.6		mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2.2		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		7.0	15	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO-F = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRC = " 1 "		1		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周、FMR27 = " 1 "、VCA20 = " 0 "		90	400	μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		15	100	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		4	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		3.5		μA
		ストップモード	XINクロック停止、T <sub>opr</sub> = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		2.0	5.0	μA
			XINクロック停止、T <sub>opr</sub> = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		15		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$  )

表32.19 外部クロック入力(XOUT)

記号	項目	規格値		単位
		最小	最大	
$t_{c(XOUT)}$	XOUT入力サイクル時間	50		ns
$t_{WH(XOUT)}$	XOUT入力“H”パルス幅	24		ns
$t_{WL(XOUT)}$	XOUT入力“L”パルス幅	24		ns

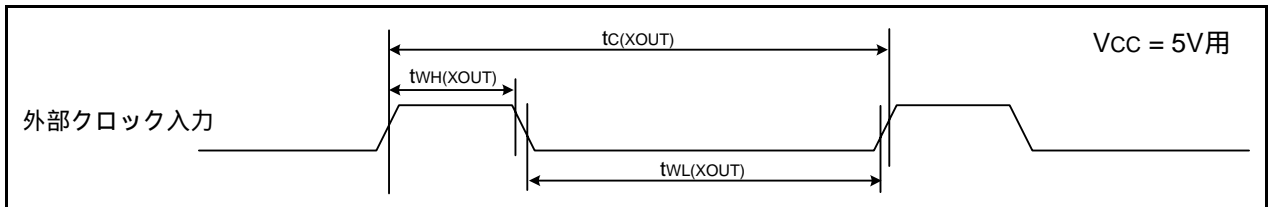


図32.10  $V_{CC} = 5V$ 時の外部クロック入力タイミング

表32.20 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAI0)}$	TRAI0入力サイクル時間	100		ns
$t_{WH(TRAI0)}$	TRAI0入力“H”パルス幅	40		ns
$t_{WL(TRAI0)}$	TRAI0入力“L”パルス幅	40		ns

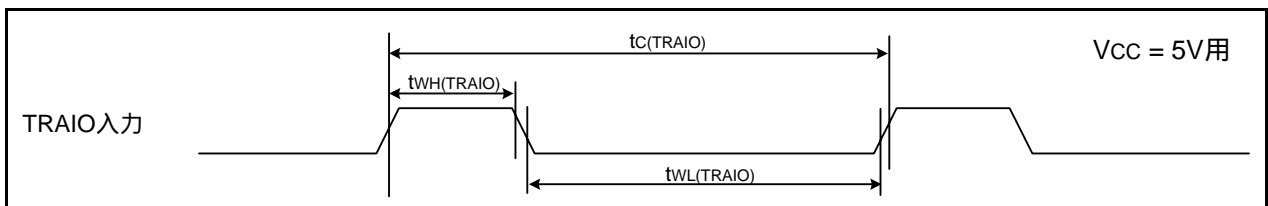


図32.11  $V_{CC} = 5V$ 時のTRAI0入力タイミング

表32.21 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRFI)}$	TRFI入力サイクル時間	400 (注1)		ns
$t_{WH(TRFI)}$	TRFI入力“H”パルス幅	200 (注2)		ns
$t_{WL(TRFI)}$	TRFI入力“L”パルス幅	200 (注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が $(1/\text{タイマRFのカウントソース周波数} \times 3)$ 以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が $(1/\text{タイマRFのカウントソース周波数} \times 1.5)$ 以上になるように調整してください。

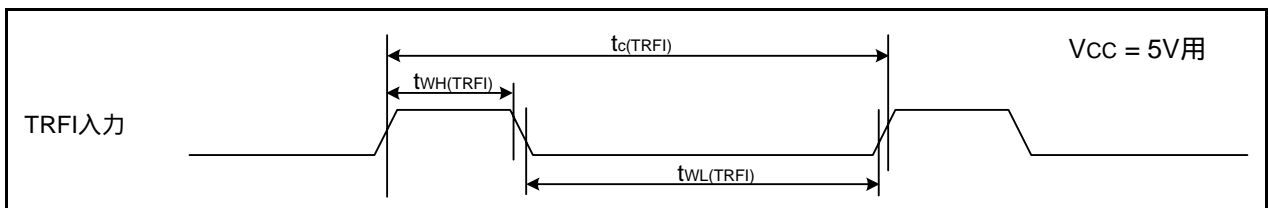


図32.12  $V_{CC} = 5V$ 時のTRFI入力タイミング

表32.22 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	200		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	100		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	100		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		50	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	50		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 3

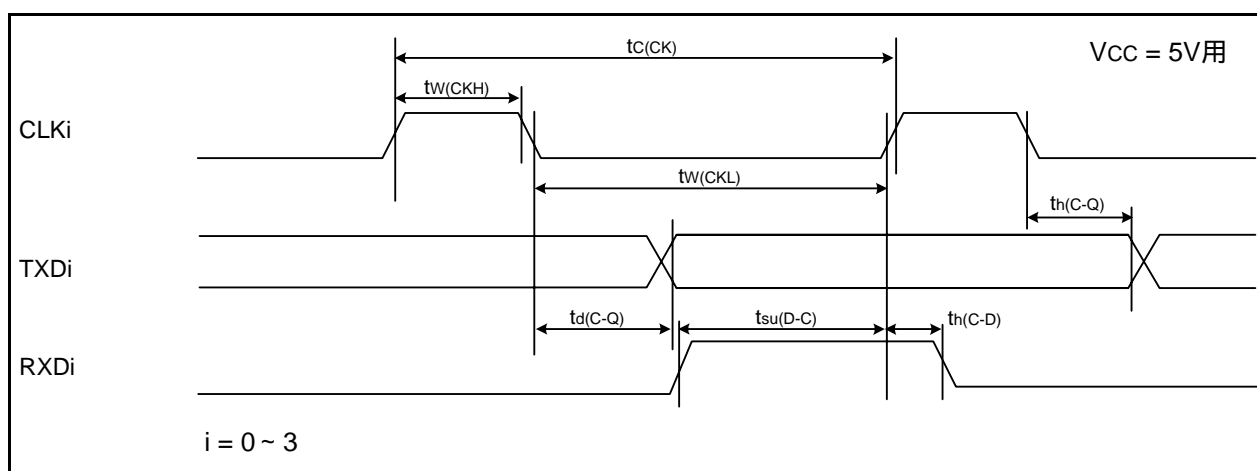


図32.13 Vcc = 5V時のシリアルインタフェースのタイミング

表32.23 外部割り込みINTi入力(i = 0 ~ 4)、キー入力割り込みKli (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	250(注1)		ns
$t_w(\text{INL})$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	250(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

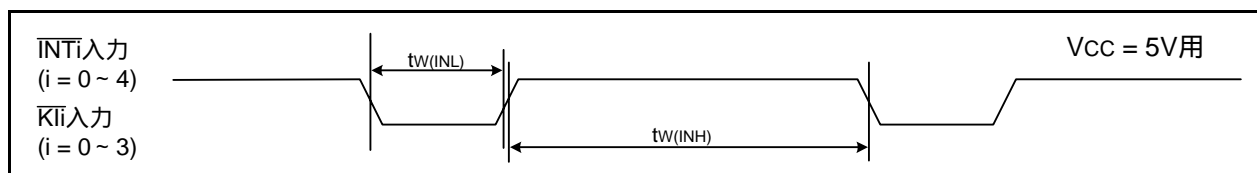


図32.14 Vcc = 5V時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング

表32.24 電気的特性(3) [ 2.7V  $V_{CC} < 4.2V$  ]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT以外	駆動能力High	$I_{OH} = -5mA$	$V_{CC} - 0.5$		$V_{CC}$	V
			駆動能力Low	$I_{OH} = -1mA$	$V_{CC} - 0.5$		$V_{CC}$	V
		XOUT		$I_{OH} = -200\mu A$	1.0		$V_{CC}$	V
VOL	“L”出力電圧	XOUT以外	駆動能力High	$I_{OL} = 5mA$			0.5	V
			駆動能力Low	$I_{OL} = 1mA$			0.5	V
		XOUT		$I_{OL} = 200\mu A$			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAIO、TRCIOA、 TRCIOB、TRCIOC、 TRCIOD、TRFI、 USB_VBUS、 TRCTRG、TRCCLK、 ADTRG、RXD0、 RXD1、RXD2、RXD3、 CLK0、CLK1、CLK2、 CLK3、CTS2、SSI、 SCL、SDA、SSO、 SSCK、SCS	$V_{CC} = 3.0V$		0.1	0.4		V
		RESET	$V_{CC} = 3.0V$		0.1	0.5		V
I <sub>IH</sub>	“H”入力電流		$V_I = 3V$ 、 $V_{CC} = 3.0V$				4.0	$\mu A$
I <sub>IL</sub>	“L”入力電流		$V_I = 0V$ 、 $V_{CC} = 3.0V$				- 4.0	$\mu A$
R <sub>PULLUP</sub>	プルアップ抵抗		$V_I = 0V$ 、 $V_{CC} = 3.0V$		42	84	168	k $\Omega$
R <sub>iXIN</sub>	帰還抵抗	XIN				0.3		M $\Omega$
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、2.7V  $V_{CC} < 4.2V$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  $-40 \sim 85$  (Dバージョン)、 $f(XIN) = 10MHz$ です。

注2. USB関連端子については、3.0V  $V_{CC} < 3.6V$ です。

表32.25 電気的特性(4) [ 2.7V V<sub>CC</sub> < 3.3V ](指定のない場合は、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I <sub>CC</sub>	電源電流 (V <sub>CC</sub> = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はV <sub>SS</sub>	高速クロックモード	XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5	10	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5	7.5	mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		7.0	15	mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		4.0		mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRC = 1 " 1 "		1		mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRC = 1 " 1 "		1		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周、FMR27 = " 1 "、VCA20 = " 0 "		90	390	μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		15	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		4	80	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		3.5		μA
		ストップモード	XINクロック停止、T <sub>opr</sub> = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		2.0	5.0	μA
			XINクロック停止、T <sub>opr</sub> = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		15		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$  )

表32.26 外部クロック入力(XOUT)

記号	項目	規格値		単位
		最小	最大	
$t_c(XOUT)$	XOUT入力サイクル時間	50		ns
$t_{WH}(XOUT)$	XOUT入力“H”パルス幅	24		ns
$t_{WL}(XOUT)$	XOUT入力“L”パルス幅	24		ns

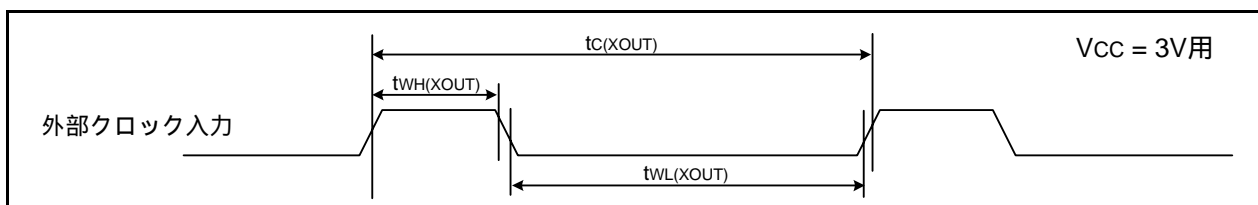


図32.15 VCC = 3V時の外部クロック入力タイミング

表32.27 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAI0)$	TRAI0入力サイクル時間	300		ns
$t_{WH}(TRAI0)$	TRAI0入力“H”パルス幅	120		ns
$t_{WL}(TRAI0)$	TRAI0入力“L”パルス幅	120		ns

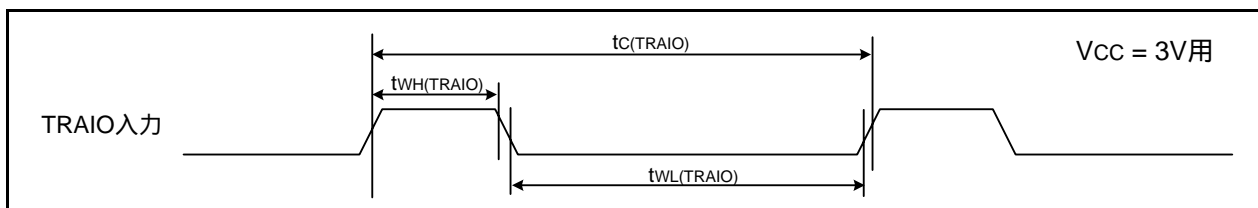


図32.16 VCC = 3V時のTRAI0入力タイミング

表32.28 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRFI)$	TRFI入力サイクル時間	1,200 (注1)		ns
$t_{WH}(TRFI)$	TRFI入力“H”パルス幅	600 (注2)		ns
$t_{WL}(TRFI)$	TRFI入力“L”パルス幅	600 (注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマRFのカウントソース周波数 × 3)以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマRFのカウントソース周波数 × 1.5)以上になるように調整してください。

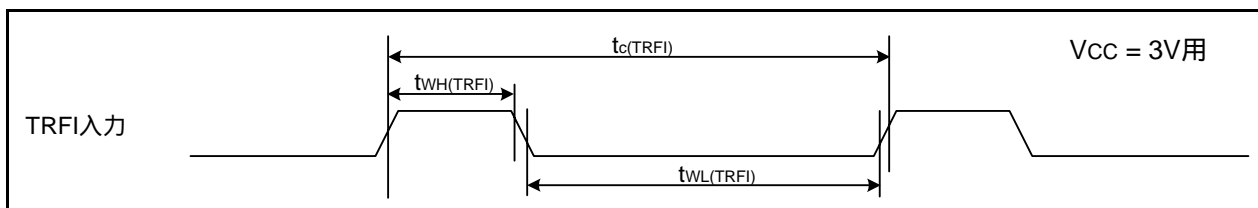


図32.17 VCC = 3V時のTRFI入力タイミング



表32.29 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	150		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0 ~ 3

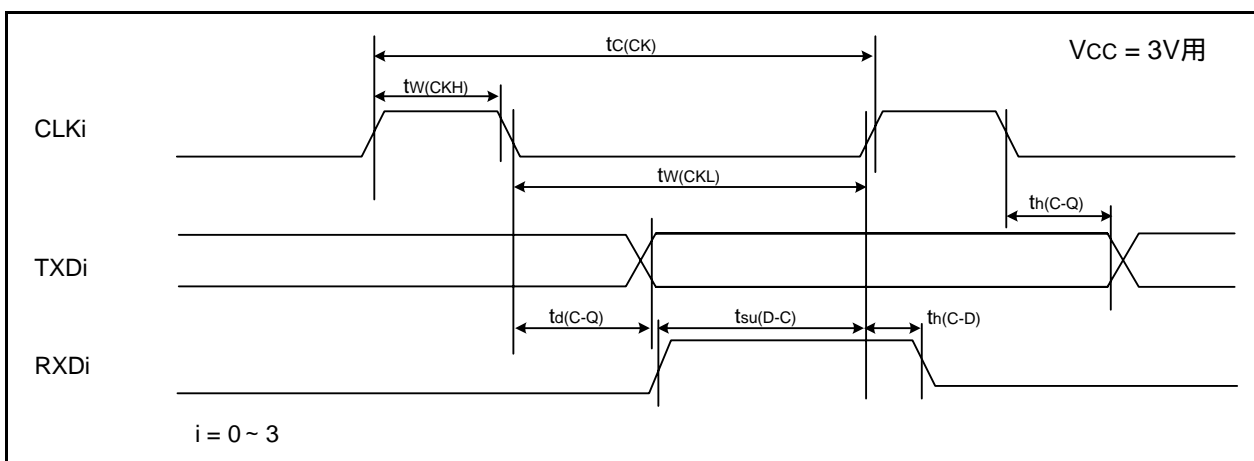


図32.18 Vcc = 3V時のシリアルインタフェースのタイミング

表32.30 外部割り込みINTi入力(i = 0 ~ 4)、キー入力割り込みKli (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	380(注1)		ns
$t_{w(INL)}$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	380(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

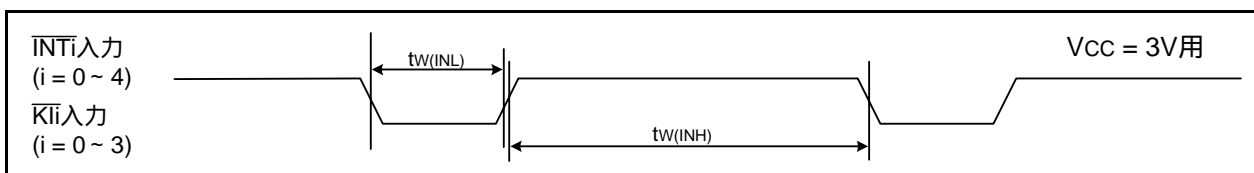


図32.19 Vcc = 3V時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング

表32.31 電気的特性(5) [ 1.8V  $V_{CC} < 2.7V$  ]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT以外	駆動能力High	$I_{OH} = -2mA$	$V_{CC} - 0.5$		$V_{CC}$	V
			駆動能力Low	$I_{OH} = -1mA$	$V_{CC} - 0.5$		$V_{CC}$	V
		XOUT		$I_{OH} = -200\mu A$	1.0		$V_{CC}$	V
VOL	“L”出力電圧	XOUT以外	駆動能力High	$I_{OL} = 2mA$			0.5	V
			駆動能力Low	$I_{OL} = 1mA$			0.5	V
		XOUT		$I_{OL} = 200\mu A$			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAIO、TRCIOA、 TRCIOB、TRCIOC、 TRCIOD、TRFI、 TRCTRG、TRCCLK、 ADTRG、RXD0、 RXD1、RXD2、RXD3、 CLK0、CLK1、CLK2、 CLK3、CTS2、SSI、 SCL、SDA、SSO、 SSCK、SCS			0.05	0.20		V
		RESET			0.05	0.20		V
I <sub>IH</sub>	“H”入力電流		$V_I = 2.2V$ 、 $V_{CC} = 2.2V$				4.0	$\mu A$
I <sub>IL</sub>	“L”入力電流		$V_I = 0V$ 、 $V_{CC} = 2.2V$				- 4.0	$\mu A$
R <sub>PULLUP</sub>	プルアップ抵抗		$V_I = 0V$ 、 $V_{CC} = 2.2V$		70	140	300	k $\Omega$
R <sub>iXIN</sub>	帰還抵抗	XIN				0.3		M $\Omega$
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、1.8V  $V_{CC} < 2.7V$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  $-40 \sim 85$  (Dバージョン)、 $f(XIN) = 5MHz$ です。

表32.32 電気的特性(6) [ 1.8V V<sub>CC</sub> < 2.7V ](指定のない場合は、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I <sub>CC</sub>	電源電流 (V <sub>CC</sub> = 1.8V ~ 2.7V) シングルチップモードで、出力端子は開放、その他の端子はV <sub>SS</sub>	高速クロックモード	XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		2.2		mA
			XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		0.8		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 5MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		2.5	10	mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 5MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.7		mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRC = " 1 "		1		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周、FMR27 = " 1 "、VCA20 = " 0 "		90	300	μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		15	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		4	80	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		3.5		μA
		ストップモード	XINクロック停止、T <sub>opr</sub> = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		2.0	5	μA
			XINクロック停止、T <sub>opr</sub> = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		15		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 2.2V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$  )

表32.33 外部クロック入力(XOUT)

記号	項目	規格値		単位
		最小	最大	
$t_c(XOUT)$	XOUT入力サイクル時間	200		ns
$t_{WH}(XOUT)$	XOUT入力“H”パルス幅	90		ns
$t_{WL}(XOUT)$	XOUT入力“L”パルス幅	90		ns

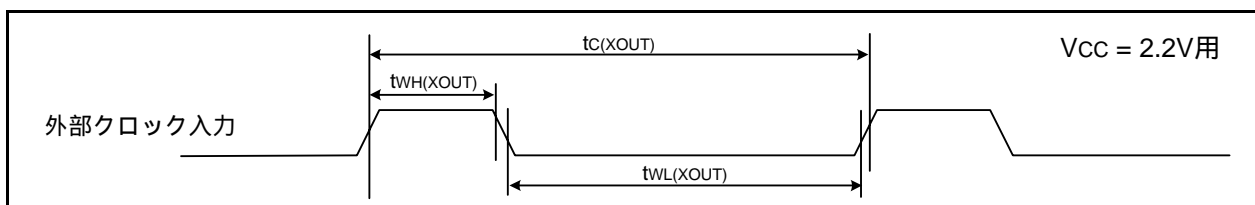


図32.20  $V_{CC} = 2.2V$ 時の外部クロック入力タイミング

表32.34 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAI0)$	TRAI0入力サイクル時間	500		ns
$t_{WH}(TRAI0)$	TRAI0入力“H”パルス幅	200		ns
$t_{WL}(TRAI0)$	TRAI0入力“L”パルス幅	200		ns

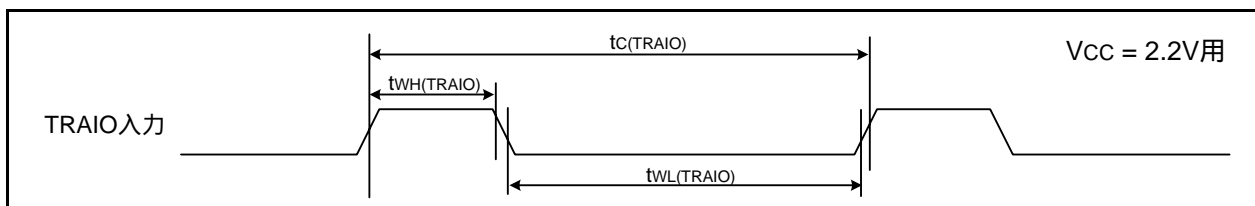


図32.21  $V_{CC} = 2.2V$ 時のTRAI0入力タイミング

表32.35 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRFI)$	TRFI入力サイクル時間	2,000 (注1)		ns
$t_{WH}(TRFI)$	TRFI入力“H”パルス幅	1,000 (注2)		ns
$t_{WL}(TRFI)$	TRFI入力“L”パルス幅	1,000 (注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が $(1/\text{タイマRFのカウントソース周波数} \times 3)$ 以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が $(1/\text{タイマRFのカウントソース周波数} \times 1.5)$ 以上になるように調整してください。

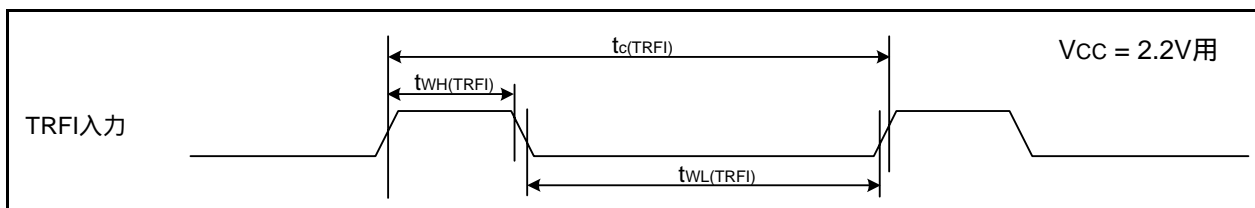


図32.22  $V_{CC} = 2.2V$ 時のTRFI入力タイミング

表32.36 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	800		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	400		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	400		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		200	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	150		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 3

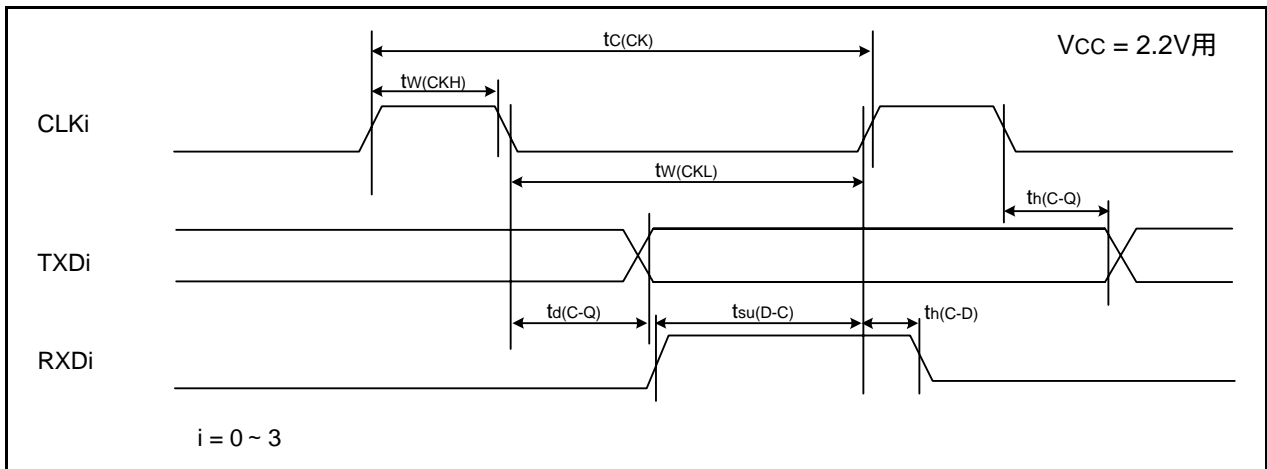


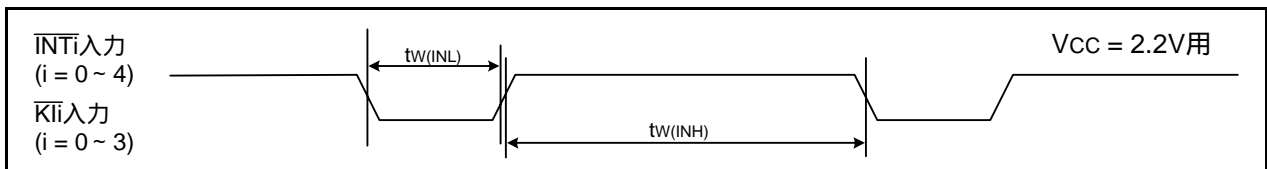
図32.23 Vcc = 2.2V時のシリアルインタフェースのタイミング

表32.37 外部割り込み  $\overline{\text{INT}}_i$  入力 (i = 0 ~ 4)、キー入力割り込み  $\overline{\text{K}}_i$  (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INT}}_i$ 入力“H”パルス幅、 $\overline{\text{K}}_i$ 入力“H”パルス幅	1,000(注1)		ns
$t_w(\text{INL})$	$\overline{\text{INT}}_i$ 入力“L”パルス幅、 $\overline{\text{K}}_i$ 入力“L”パルス幅	1,000(注2)		ns

注1.  $\overline{\text{INT}}_i$  入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INT}}_i$  入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2.  $\overline{\text{INT}}_i$  入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INT}}_i$  入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

図32.24 Vcc = 2.2V時の外部割り込み  $\overline{\text{INT}}_i$  およびキー入力割り込み  $\overline{\text{K}}_i$  入力タイミング

## 32.2 R8C/34Kグループ

表32.38 絶対最大定格

記号	項目	測定条件	定格値	単位
V <sub>CC</sub> /AV <sub>CC</sub>	電源電圧		- 0.3 ~ 6.5	V
V <sub>I</sub>	入力電圧		- 0.3 ~ V <sub>CC</sub> + 0.3	V
V <sub>O</sub>	出力電圧		- 0.3 ~ V <sub>CC</sub> + 0.3	V
P <sub>d</sub>	消費電力	- 40    T <sub>opr</sub> 85	500	mW
T <sub>opr</sub>	動作周囲温度		- 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)	
T <sub>stg</sub>	保存温度		- 65 ~ 150	

表32.39 推奨動作条件

記号	項目		測定条件	規格値			単位		
				最小	標準	最大			
Vcc/AVcc	電源電圧	USB機能使用時		3.0	5.0	5.5	V		
		USB機能未使用時		1.8	5.0	5.5	V		
UVcc	USB電源電圧 (UVCC端子入力時)	USB機能使用時	Vcc/AVcc = 3.0 ~ 3.6V		Vcc/ AVcc (注4)		V		
		USB機能未使用時	Vcc/AVcc = 1.8 ~ 5.5V		Vcc/ AVcc (注4)		V		
Vss/AVss	電源電圧				0		V		
VIH	“H”入力電圧	CMOS入力以外			0.8Vcc		Vcc	V	
		CMOS 入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択: 0.35Vcc	4.0V Vcc 5.5V	0.5Vcc		Vcc	V
					2.7V Vcc < 4.0V	0.55Vcc		Vcc	V
					1.8V Vcc < 2.7V	0.65Vcc		Vcc	V
				入力レベル選択: 0.5Vcc	4.0V Vcc 5.5V	0.65Vcc		Vcc	V
					2.7V Vcc < 4.0V	0.7Vcc		Vcc	V
					1.8V Vcc < 2.7V	0.8Vcc		Vcc	V
				入力レベル選択: 0.7Vcc	4.0V Vcc 5.5V	0.85Vcc		Vcc	V
					2.7V Vcc < 4.0V	0.85Vcc		Vcc	V
					1.8V Vcc < 2.7V	0.85Vcc		Vcc	V
外部クロック入力(XOUT)			1.2		Vcc	V			
VIL	“L”入力電圧	CMOS入力以外			0		0.2Vcc	V	
		CMOS 入力	入力レベル切り替え機能 (I/Oポート)	入力レベル選択: 0.35Vcc	4.0V Vcc 5.5V	0		0.2Vcc	V
					2.7V Vcc < 4.0V	0		0.2Vcc	V
					1.8V Vcc < 2.7V	0		0.2Vcc	V
				入力レベル選択: 0.5Vcc	4.0V Vcc 5.5V	0		0.4Vcc	V
					2.7V Vcc < 4.0V	0		0.3Vcc	V
					1.8V Vcc < 2.7V	0		0.2Vcc	V
				入力レベル選択: 0.7Vcc	4.0V Vcc 5.5V	0		0.55Vcc	V
					2.7V Vcc < 4.0V	0		0.45Vcc	V
					1.8V Vcc < 2.7V	0		0.35Vcc	V
外部クロック入力(XOUT)			0		0.4	V			
IOH(sum)	“H”尖頭総出力電流	全端子のIOH(peak)の総和				- 160	mA		
IOH(sum)	“H”平均総出力電流	全端子のIOH(avg)の総和				- 80	mA		
IOH(peak)	“H”尖頭出力電流	駆動能力Low時				- 10	mA		
		駆動能力High時				- 40	mA		
IOH(avg)	“H”平均出力電流	駆動能力Low時				- 5	mA		
		駆動能力High時				- 20	mA		
IOL(sum)	“L”尖頭総出力電流	全端子のIOL(peak)の総和				160	mA		
IOL(sum)	“L”平均総出力電流	全端子のIOL(avg)の総和				80	mA		
IOL(peak)	“L”尖頭出力電流	駆動能力Low時				10	mA		
		駆動能力High時				40	mA		
IOL(avg)	“L”平均出力電流	駆動能力Low時				5	mA		
		駆動能力High時				20	mA		
f(XIN)	XINクロック入力発振周波数	2.7V Vcc 5.5V				20	MHz		
		1.8V Vcc < 2.7V				5	MHz		
fOCO40M	タイマRCのカウントソース(注3)	2.7V Vcc 5.5V	32			40	MHz		
fOCO-F	fOCO-F周波数	2.7V Vcc 5.5V				20	MHz		
		1.8V Vcc < 2.7V				5	MHz		
	システムクロック周波数	2.7V Vcc 5.5V				20	MHz		
		1.8V Vcc < 2.7V				5	MHz		
f(BCLK)	CPUクロック周波数	2.7V Vcc 5.5V				20	MHz		
		1.8V Vcc < 2.7V				5	MHz		

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 平均出力電流は100msの期間内での平均値です。

注3. fOCO40MはVcc = 2.7V ~ 5.5Vの範囲で、タイマRCのカウントソースとして使用することができます。

注4. UVcc端子入力時はVcc/AVccを接続してください。

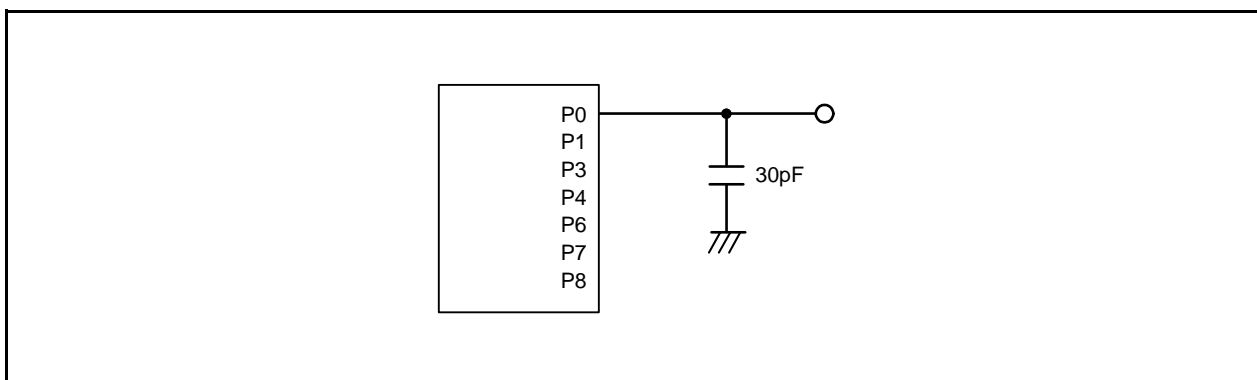


図32.25 ポートP0、P1、P3、P4、P6、P7、P8のタイミング測定回路



表32.40 A/Dコンバータ特性

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
	分解能		$V_{ref} = AV_{CC}$			10	Bit
	絶対精度	10ビットモード	$V_{ref} = AV_{CC} = 5.0V$ AN0 ~ AN7入力、AN8 ~ AN11入力			$\pm 3$	LSB
$V_{ref} = AV_{CC} = 3.3V$ AN0 ~ AN7入力、AN8 ~ AN11入力					$\pm 5$	LSB	
$V_{ref} = AV_{CC} = 3.0V$ AN0 ~ AN7入力、AN8 ~ AN11入力					$\pm 5$	LSB	
$V_{ref} = AV_{CC} = 2.2V$ AN0 ~ AN7入力、AN8 ~ AN11入力					$\pm 5$	LSB	
		8ビットモード	$V_{ref} = AV_{CC} = 5.0V$ AN0 ~ AN7入力、AN8 ~ AN11入力			$\pm 2$	LSB
$V_{ref} = AV_{CC} = 3.3V$ AN0 ~ AN7入力、AN8 ~ AN11入力					$\pm 2$	LSB	
$V_{ref} = AV_{CC} = 3.0V$ AN0 ~ AN7入力、AN8 ~ AN11入力					$\pm 2$	LSB	
$V_{ref} = AV_{CC} = 2.2V$ AN0 ~ AN7入力、AN8 ~ AN11入力					$\pm 2$	LSB	
AD	A/D変換クロック		4.0V $V_{ref} = AV_{CC}$ 5.5V (注2)	2		20	MHz
			3.2V $V_{ref} = AV_{CC}$ 5.5V (注2)	2		16	MHz
			2.7V $V_{ref} = AV_{CC}$ 5.5V (注2)	2		10	MHz
			2.2V $V_{ref} = AV_{CC}$ 5.5V (注2)	2		5	MHz
	許容信号源インピーダンス				3		k $\Omega$
tCONV	変換時間	10ビットモード	$V_{ref} = AV_{CC} = 5.0V$ 、AD = 20MHz	2.2			$\mu s$
		8ビットモード	$V_{ref} = AV_{CC} = 5.0V$ 、AD = 20MHz	2.2			$\mu s$
tSAMP	サンプリング時間		AD = 20MHz	0.8			$\mu s$
I <sub>vref</sub>	V <sub>ref</sub> 電流		$V_{CC} = 5.0V$ 、XIN = f1 = AD = 20MHz		45		$\mu A$
V <sub>ref</sub>	基準電圧			2.2		AV <sub>CC</sub>	V
V <sub>IA</sub>	アナログ入力電圧(注3)			0		V <sub>ref</sub>	V
OCVREF	チップ内蔵基準電圧		2MHz AD 4MHz	1.19	1.34	1.49	V

注1. 指定のない場合は、 $V_{CC}/AV_{CC} = V_{ref} = 2.2V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/ $-40 \sim 85$  (Dバージョン)です。

注2. ウェイトモード時、ストップモード時、フラッシュメモリの停止時、および低消費電流リードモード時では、A/D変換結果が不定になります。(これらの状態のときのA/D変換処理、およびA/D変換中のこれらの状態への遷移はしないでください。)

注3. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表32.41 コンパレータBの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>ref</sub>	IVREF1、IVREF3入力基準電圧		0		V <sub>CC</sub> - 1.4	V
V <sub>I</sub>	IVCMP1、IVCMP3入力電圧		- 0.3		V <sub>CC</sub> + 0.3	V
	オフセット			5	100	mV
t <sub>d</sub>	コンパレータ出力遅延時間(注2)	V <sub>I</sub> = V <sub>ref</sub> ± 100mV		0.1		μs
I <sub>CMP</sub>	コンパレータ動作電流	V <sub>CC</sub> = 5.0V		17.5		μA

注1. 指定のない場合は、V<sub>CC</sub> = 2.7V ~ 5.5V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. デジタルフィルタ無効時。

表32.42 USBの電気的特性

記号	項目	測定条件	規格値			単位				
			最小	標準	最大					
V <sub>IH</sub>	入力特性	“H”入力電圧	図32.26、図32.27	2.0			V			
V <sub>IL</sub>				“L”入力電圧			0.8	V		
V <sub>DI</sub>				差動入力感度	0.2			V		
V <sub>CM</sub>				差動コモンモードレンジ	0.8		2.5	V		
V <sub>OH</sub>	出力特性	“H”出力電圧	図32.26、図32.27 I <sub>OH</sub> = 200μA	2.8			V			
V <sub>OL</sub>				“L”出力電圧			0.3	V		
V <sub>CRS</sub>				クロスオーバー電圧	図32.26、図32.27	1.3		2.0	V	
t <sub>R</sub>				立ち上がり時間	図32.26、図32.27	4.0		20.0	ns	
t <sub>F</sub>				立ち下がり時間	図32.26、図32.27	4.0		20.0	ns	
t <sub>RFM</sub>				立ち上がり/立ち下がり時間 マッチング	図32.26、図32.27 (t <sub>R</sub> /t <sub>F</sub> )	90.0		111.1	%	
Z <sub>DRV</sub>				出力抵抗	図32.26、図32.27 R <sub>S</sub> = 27Ω 含む	28.0		44.0	Ω	
UV <sub>CC</sub>				UVCC出力電圧	V <sub>CC</sub> = 4.0 ~ 5.5V、 PXXCON = VDDUSBE = 1 PXXCON = 0	図32.26、図32.27	3.0	3.3	3.6	V
									V <sub>CC</sub>	
I <sub>susp</sub>				USB用内蔵電源消費電流	V <sub>CC</sub> = 4.0 ~ 5.5V、 UV <sub>CC</sub> -V <sub>SS</sub> 間 0.33μF V <sub>CC</sub> -V <sub>SS</sub> 間 0.1μF			50		μA

注1. 指定のない場合は、V<sub>CC</sub> = 3.0V ~ 5.5V、UV<sub>CC</sub> = 3.0V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

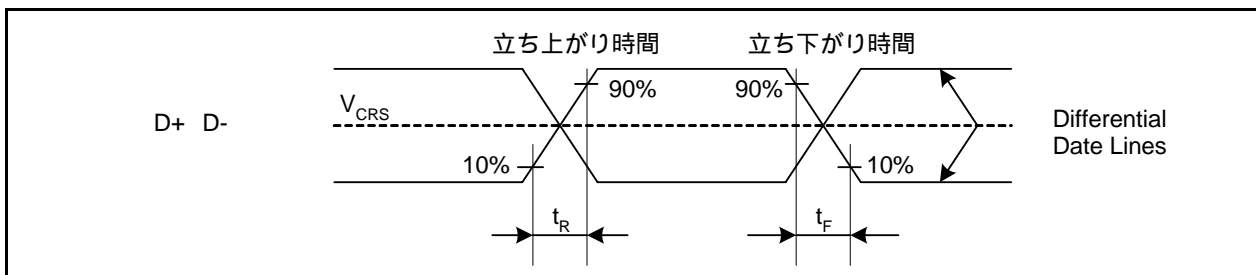


図32.26 データ信号タイミング

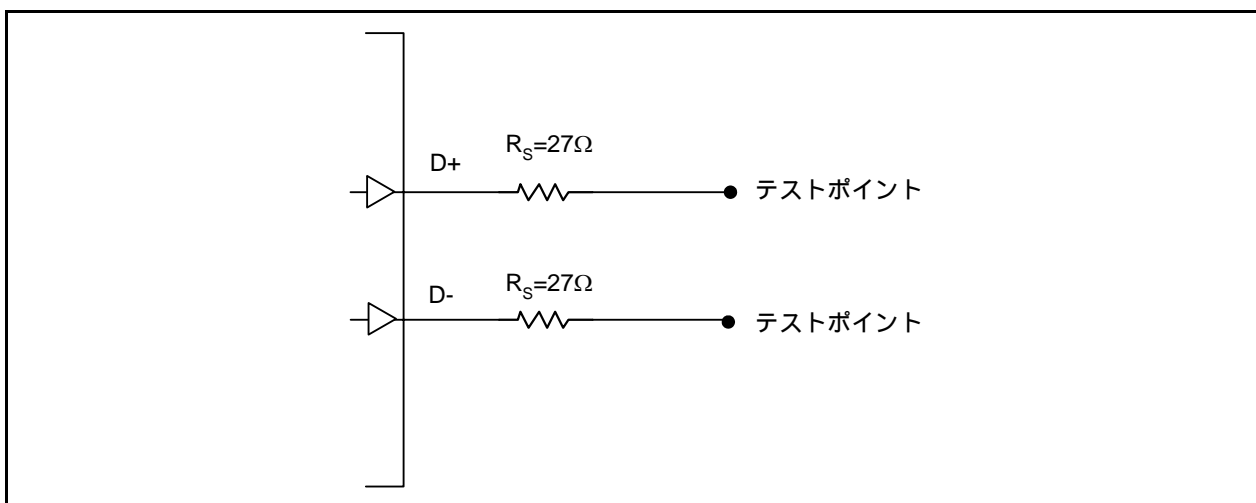


図32.27 負荷条件

表32.43 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		1,000(注3)			回
	バイトプログラム時間			80	500	μs
	ブロックイレーズ時間			0.3		s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間				5 + CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
	サスペンドからイレーズの再開までの時間				30 + CPUクロック × 1サイクル	μs
t <sub>d</sub> (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間				30 + CPUクロック × 1サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度 = 55	20			年

注1. 指定のない場合は、V<sub>CC</sub> = 2.7V ~ 5.5V、T<sub>opr</sub> = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表32.44 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10,000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			160	1500	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			300	1500	μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	1	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3	1	s
td(SR-SUS)	サスペンドへの遷移時間				5 + CPUクロック × 3サイクル	ms
	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
	サスペンドからイレーズの再開までの時間				30 + CPUクロック × 1サイクル	μs
td(CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間				30 + CPUクロック × 1サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		1.8		5.5	V
	書き込み、消去時の温度		- 20(注7)		85	
	データ保持時間(注8)	周囲温度 = 55	20			年

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地に順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注7. Dバージョンは - 40。

注8. 電源電圧またはクロックが印加されていない時間を含みます。

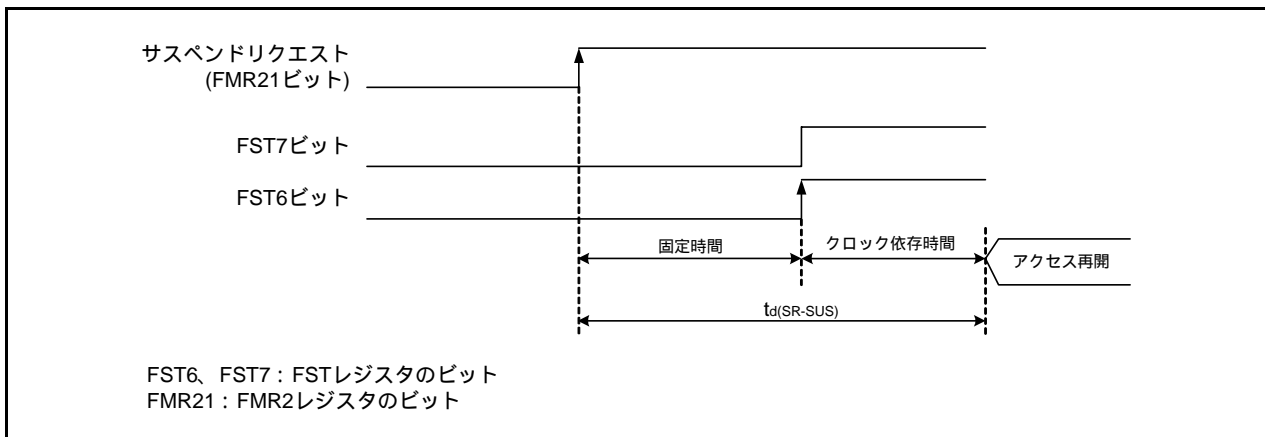


図32.28 サスペンドへの遷移時間

表32.45 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0 (注2)		1.80	1.90	2.05	V
	電圧検出レベルVdet0_1 (注2)		2.15	2.35	2.50	V
	電圧検出レベルVdet0_2 (注2)		2.70	2.85	3.05	V
	電圧検出レベルVdet0_3 (注2)		3.55	3.80	4.05	V
	電圧検出0回路反応時間(注4)	Vcc = 5.0V (Vdet0_0 - 0.1)V に下げたとき		6	150	μs
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 5.0V		1.5		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはOFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

注3. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表32.46 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_0 (注2)	Vcc立ち下がり時	2.00	2.20	2.40	V
	電圧検出レベルVdet1_1 (注2)	Vcc立ち下がり時	2.15	2.35	2.55	V
	電圧検出レベルVdet1_2 (注2)	Vcc立ち下がり時	2.30	2.50	2.70	V
	電圧検出レベルVdet1_3 (注2)	Vcc立ち下がり時	2.45	2.65	2.85	V
	電圧検出レベルVdet1_4 (注2)	Vcc立ち下がり時	2.60	2.80	3.00	V
	電圧検出レベルVdet1_5 (注2)	Vcc立ち下がり時	2.75	2.95	3.15	V
	電圧検出レベルVdet1_6 (注2)	Vcc立ち下がり時	2.85	3.10	3.40	V
	電圧検出レベルVdet1_7 (注2)	Vcc立ち下がり時	3.00	3.25	3.55	V
	電圧検出レベルVdet1_8 (注2)	Vcc立ち下がり時	3.15	3.40	3.70	V
	電圧検出レベルVdet1_9 (注2)	Vcc立ち下がり時	3.30	3.55	3.85	V
	電圧検出レベルVdet1_A (注2)	Vcc立ち下がり時	3.45	3.70	4.00	V
	電圧検出レベルVdet1_B (注2)	Vcc立ち下がり時	3.60	3.85	4.15	V
	電圧検出レベルVdet1_C (注2)	Vcc立ち下がり時	3.75	4.00	4.30	V
	電圧検出レベルVdet1_D (注2)	Vcc立ち下がり時	3.90	4.15	4.45	V
	電圧検出レベルVdet1_E (注2)	Vcc立ち下がり時	4.05	4.30	4.60	V
	電圧検出レベルVdet1_F (注2)	Vcc立ち下がり時	4.20	4.45	4.75	V
	電圧検出1回路のVcc立ち上がり時のヒステリシス幅	Vdet1_0 ~ Vdet1_5選択時		0.07		V
		Vdet1_6 ~ Vdet1_F選択時		0.10		V
	電圧検出1回路反応時間(注3)	Vcc = 5.0V (Vdet1_0 - 0.1)V に下げたとき		60	150	μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0V		1.7		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注4)				100	μs

注1. 測定条件はVcc = 1.8V ~ 5.5V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注3. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表32.47 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>det2</sub>	電圧検出レベルV <sub>det2_0</sub>	V <sub>cc</sub> 立ち下がり時	3.70	4.00	4.30	V
	電圧検出2回路のV <sub>cc</sub> 立ち上がり時のヒステリシス幅			0.10		V
	電圧検出2回路反応時間(注2)	V <sub>cc</sub> = 5.0V (V <sub>det2_0</sub> - 0.1)Vに下げたとき		20	150	μs
	電圧検出回路の自己消費電流	V <sub>CA27</sub> = 1、V <sub>cc</sub> = 5.0V		1.7		μA
t <sub>d(E-A)</sub>	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はV<sub>cc</sub> = 1.8V ~ 5.5V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. V<sub>det2</sub>を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. V<sub>CA2</sub>レジスタのV<sub>CA27</sub>ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表32.48 パワーオンリセット回路(注2)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>trh</sub>	外部電源V <sub>cc</sub> の立ち上がり傾き	(注1)	0		50,000	mV/msec

注1. 指定のない場合測定条件は、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. パワーオンリセットを使用する場合には、OFSレジスタのLV<sub>DAS</sub>ビットを“0”にして電圧監視0リセットを有効にしてください。

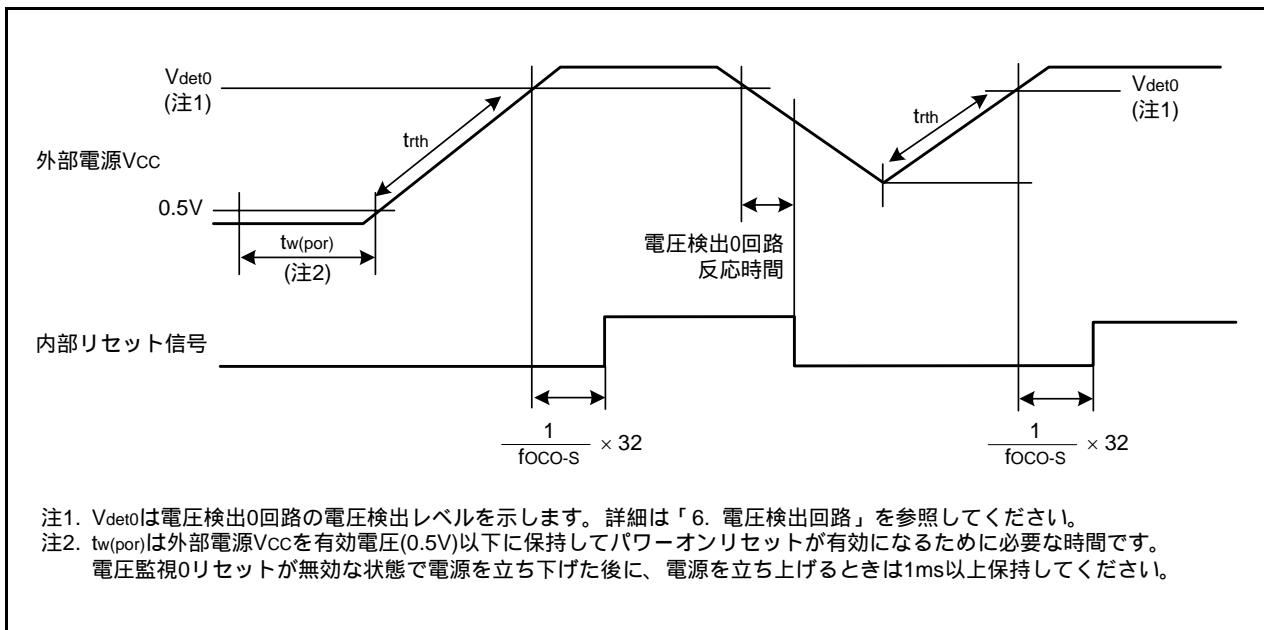


図32.29 パワーオンリセット回路の電気的特性

表32.49 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	リセット解除時の高速オンチップオシレータ発振周波数	V <sub>CC</sub> = 1.8 V ~ 5.5 V -20 Topr 85	36.0	40	44.0	MHz
		V <sub>CC</sub> =1.8V ~ 5.5V -40 Topr 85	36.0	40	44.0	
	FRA4レジスタの補正值をFRA1レジスタに、かつFRA5レジスタの補正值をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注2)	V <sub>CC</sub> = 1.8 V ~ 5.5 V -20 Topr 85	33.178	36.864	40.550	MHz
		V <sub>CC</sub> =1.8V ~ 5.5V -40 Topr 85	33.178	36.864	40.550	
	FRA6レジスタの補正值をFRA1レジスタに、かつFRA7レジスタの補正值をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数	V <sub>CC</sub> = 1.8 V ~ 5.5 V -20 Topr 85	28.8	32	35.2	MHz
		V <sub>CC</sub> =1.8V ~ 5.5V -40 Topr 85	28.8	32	35.2	
	発振安定時間	V <sub>CC</sub> = 5.0V、T <sub>opr</sub> = 25		0.5	3	ms
	発振時の自己消費電流	V <sub>CC</sub> = 5.0V、T <sub>opr</sub> = 25		400		μA

注1. 指定のない場合は、V<sub>CC</sub> = 1.8V ~ 5.5V、T<sub>opr</sub> = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表32.50 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		60	125	250	kHz
	発振安定時間	V <sub>CC</sub> = 5.0V、T <sub>opr</sub> = 25		30	100	μs
	発振時の自己消費電流	V <sub>CC</sub> = 5.0V、T <sub>opr</sub> = 25		2		μA

注1. 指定のない場合は、V<sub>CC</sub> = 1.8V ~ 5.5V、T<sub>opr</sub> = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

表32.51 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t <sub>d</sub> (P-R)	電源投入時の内部電源安定時間(注2)				2,000	μs

注1. 測定条件はV<sub>CC</sub> = 1.8V ~ 5.5V、T<sub>opr</sub> = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。



表32.52 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング必要条件

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4			tcyc (注2)
tHI	SSCKクロック“H”パルス幅			0.4		0.6	tsucyc
tLO	SSCKクロック“L”パルス幅			0.4		0.6	tsucyc
tRISE	SSCKクロック立ち上がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tSU	SSO、SSIデータ入力セットアップ時間			100			ns
tH	SSO、SSIデータ入力ホールド時間			1			tcyc (注2)
tLEAD	SCSセットアップ時間	スレーブ		1tcyc + 50			ns
tLAG	SCSホールド時間	スレーブ		1tcyc + 50			ns
tOD	SSO、SSIデータ出力遅延時間					1	tcyc (注2)
tSA	SSIスレーブアクセス時間		2.7V Vcc 5.5V			1.5tcyc + 100	ns
			1.8V Vcc < 2.7V			1.5tcyc + 200	ns
tOR	SSIスレーブアウト開放時間		2.7V Vcc 5.5V			1.5tcyc + 100	ns
			1.8V Vcc < 2.7V			1.5tcyc + 200	ns

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Vss = 0V、Topr = -20 ~ 85 (Nバージョン) / -40 ~ 85 (Dバージョン)です。

注2. 1tcyc = 1/f1(s)

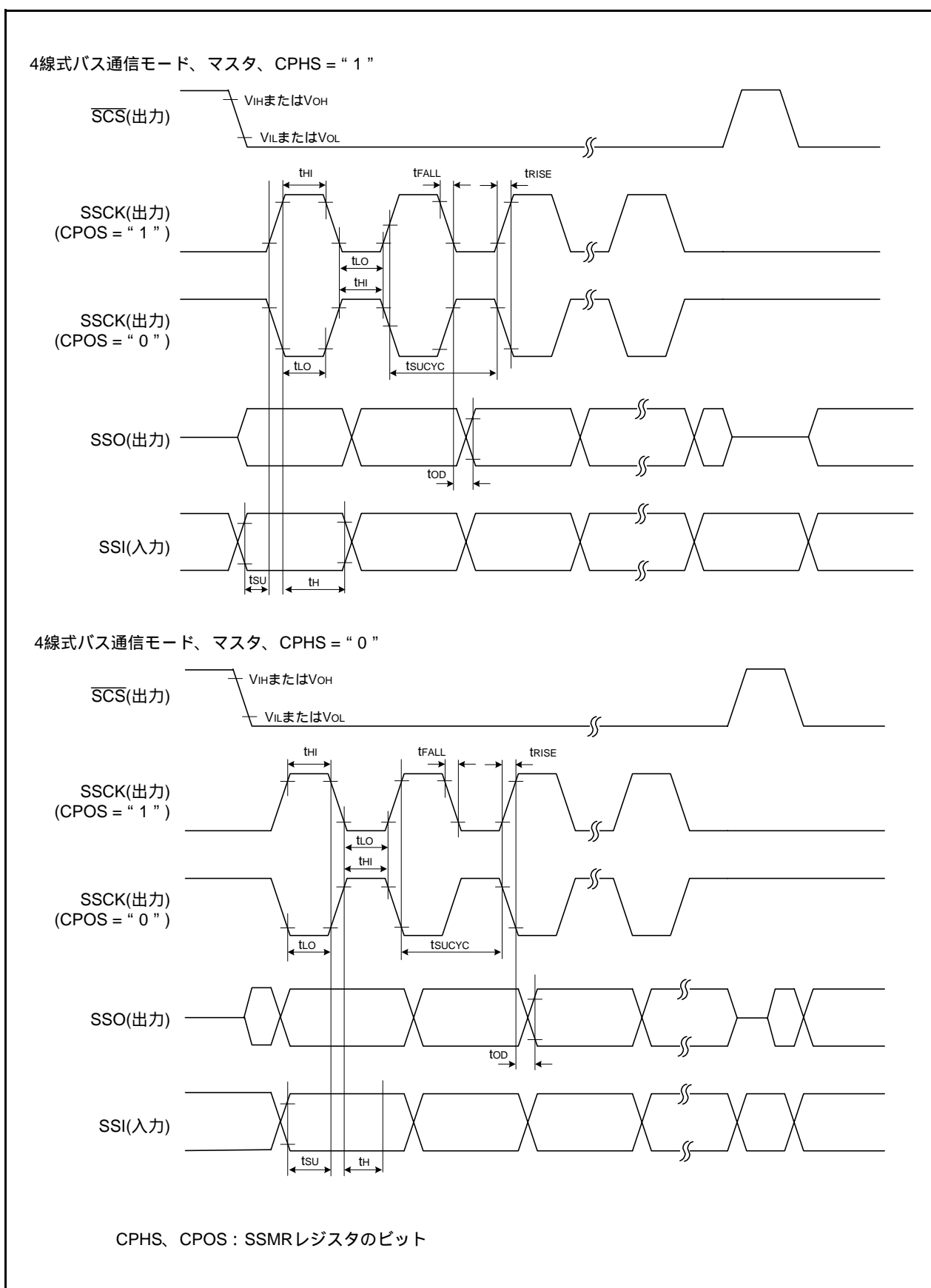


図 32.30 シンクロナスシリアルコミュニケーションユニット (SSU) の入出力タイミング (マスタ)

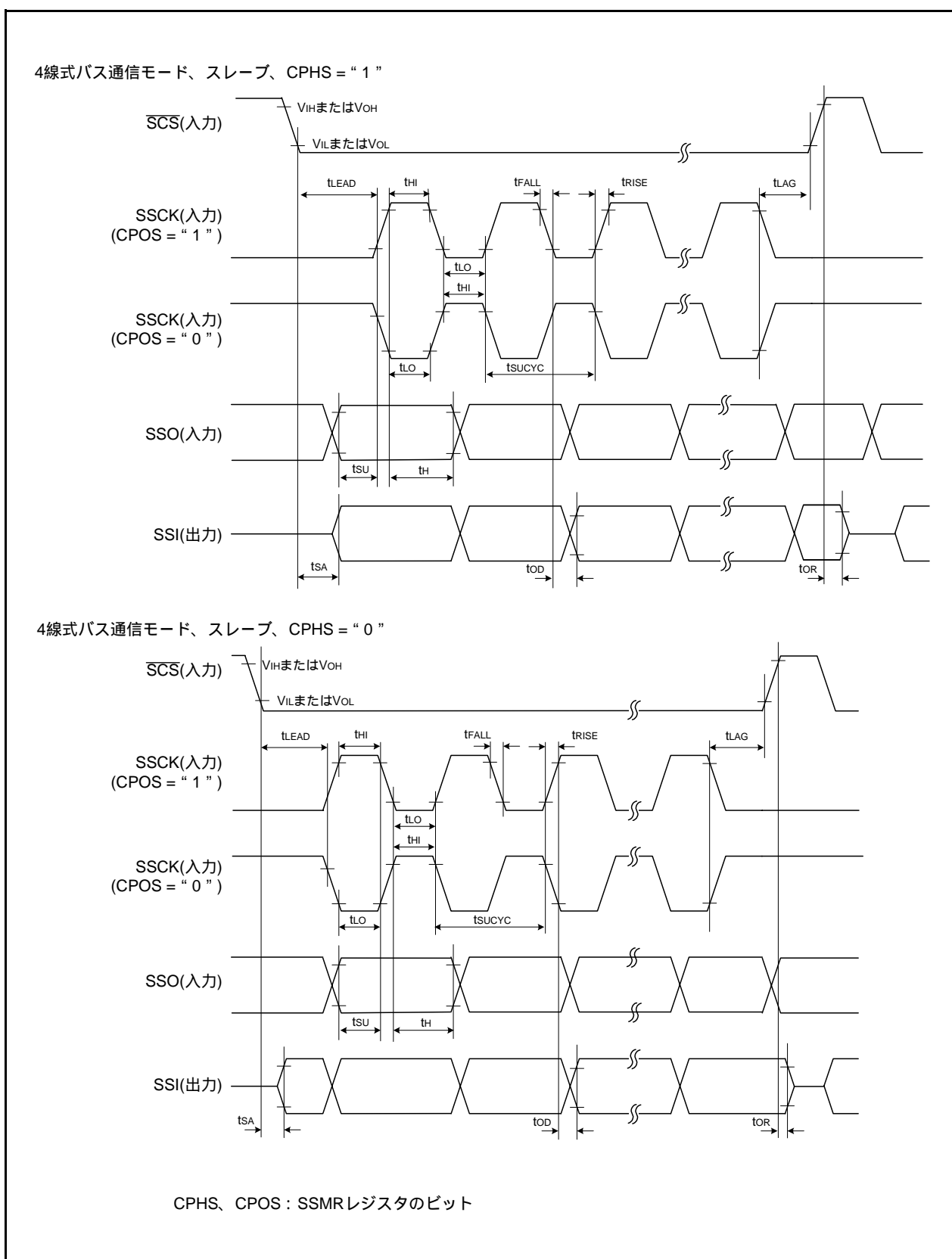


図32.31 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

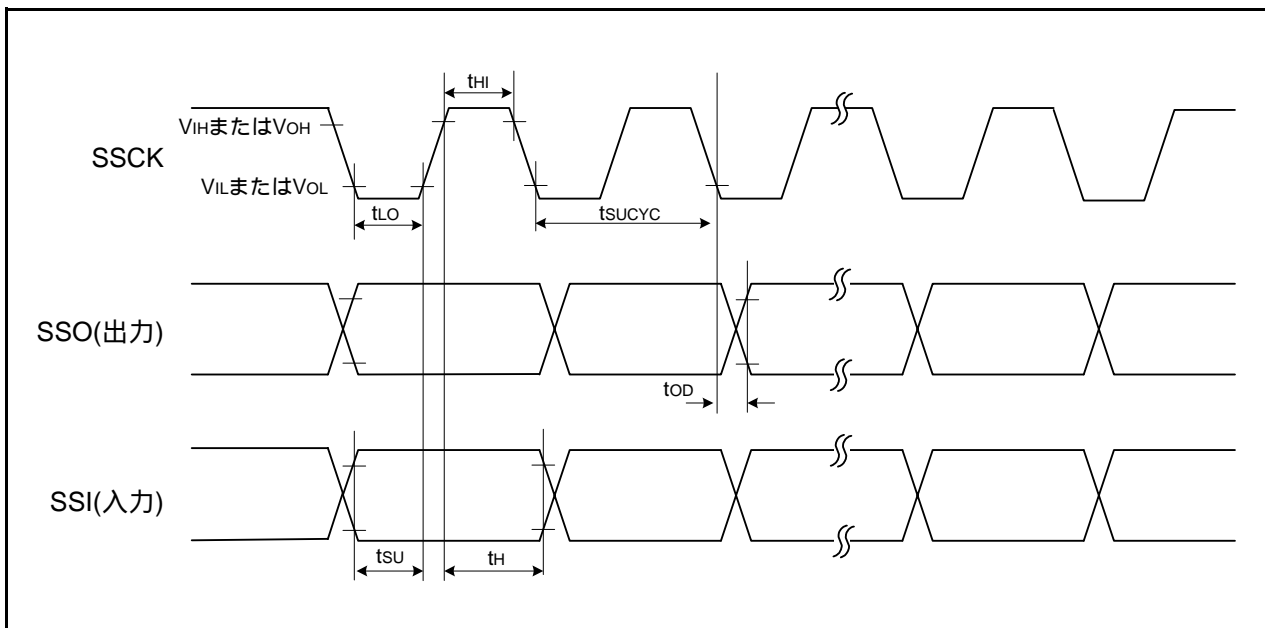


図 32.32 シンクロナスシリアルコミュニケーションユニット (SSU) の入出力タイミング (クロック同期式通信モード)

表32.53 I<sup>2</sup>Cバスインタフェースのタイミング必要条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc + 600(注2)			ns
tSCLH	SCL入力“H”パルス幅		3tcyc + 300(注2)			ns
tSCLL	SCL入力“L”パルス幅		5tcyc + 500(注2)			ns
tsf	SCL、SDA入力立ち下がり時間				300	ns
tSP	SCL、SDA入カスパイクパルス除去時間				1tcyc(注2)	ns
tBUF	SDA入力バスマフリー時間		5tcyc(注2)			ns
tSTAH	開始条件入力ホールド時間		3tcyc(注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tcyc(注2)			ns
tSTOP	停止条件入力セットアップ時間		3tcyc(注2)			ns
tSDAS	データ入力セットアップ時間		1tcyc + 40(注2)			ns
tSDAH	データ入力ホールド時間		10			ns

注1. 指定のない場合は、V<sub>CC</sub> = 1.8V ~ 5.5V、V<sub>SS</sub> = 0V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 1tcyc = 1/f<sub>1</sub>(s)

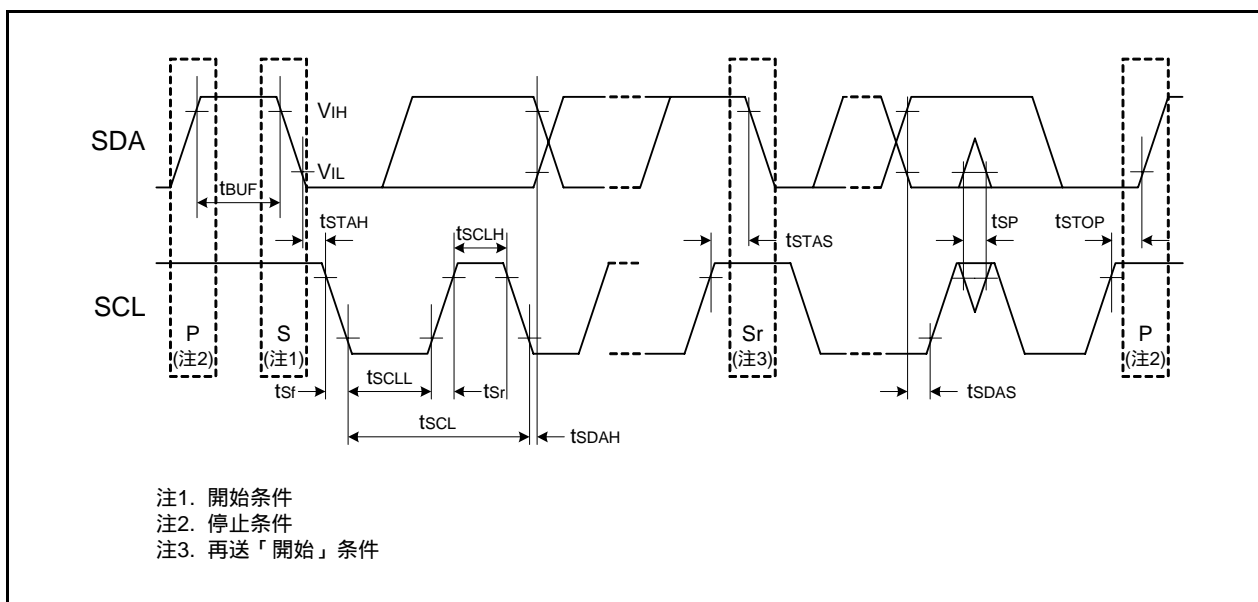
図32.33 I<sup>2</sup>Cバスインタフェースの入出力タイミング

表32.54 電気的特性(1) [ 4.2V Vcc 5.5V ]

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
VOH	“H”出力電圧	XOUT以外	駆動能力High Vcc = 5V	IoH = - 20mA	Vcc - 2.0	Vcc	V	
			駆動能力Low Vcc = 5V	IoH = - 5mA	Vcc - 2.0	Vcc	V	
		XOUT	Vcc = 5V	IoH = - 200μA	1.0	Vcc	V	
VOL	“L”出力電圧	XOUT以外	駆動能力High Vcc = 5V	IoL = 20mA		2.0	V	
			駆動能力Low Vcc = 5V	IoL = 5mA		2.0	V	
		XOUT	Vcc = 5V	IoL = 200μA		0.5	V	
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAI0、TRCIOA、 TRCIOB、TRCIOC、 TRCIOD、TRFI、 USB_OVRCURA、 USB_VBUS、USB_ID、 USB_OVRCURB、 TRCTRG、TRCCLK、 ADTRG、RXD0、 RXD1、RXD2、RXD3、 CLK0、CLK1、CLK2、 CLK3、CTS2、SSI、 SCL、SDA、SSO、 SSCK、SCS			0.1	1.2	V	
		RESET			0.1	1.2	V	
IiH	“H”入力電流		Vi = 5V、Vcc = 5.0V			5.0	μA	
IiL	“L”入力電流		Vi = 0V、Vcc = 5.0V			- 5.0	μA	
RPULLUP	プルアップ抵抗		Vi = 0V、Vcc = 5.0V		25	50	100	kΩ
RiXIN	帰還抵抗	XIN				0.3		MΩ
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、4.2V Vcc 5.5V、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、  
f(XIN) = 20MHzです。

表32.55 電気的特性(2) [ 3.3V Vcc 5.5V ]

(指定のない場合は、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I <sub>cc</sub>	電源電流 (V <sub>cc</sub> = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はV <sub>ss</sub>	高速クロックモード	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		6.5	15	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		5.3	12.5	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.6		mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2.2		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		7.0	15	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO-F = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRC = " 1 "		1		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周、FMR27 = " 1 "、VCA20 = " 0 "		90	400	μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		15	100	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		4	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		3.5		μA
		ストップモード	XINクロック停止、T <sub>opr</sub> = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		2.0	5.0	μA
			XINクロック停止、T <sub>opr</sub> = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		15		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$  )

表32.56 外部クロック入力(XOUT)

記号	項目	規格値		単位
		最小	最大	
$t_{c(XOUT)}$	XOUT入力サイクル時間	50		ns
$t_{WH(XOUT)}$	XOUT入力“H”パルス幅	24		ns
$t_{WL(XOUT)}$	XOUT入力“L”パルス幅	24		ns

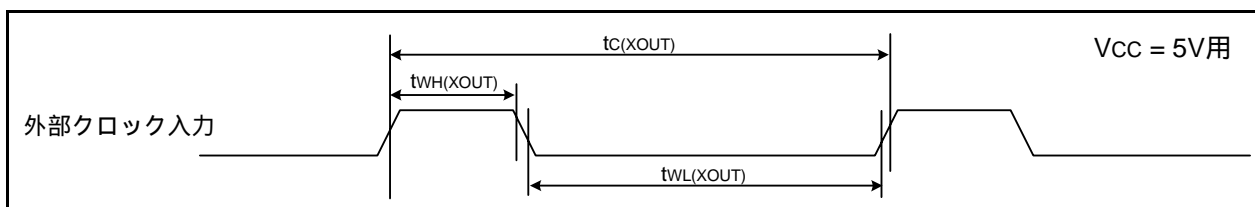


図32.34 VCC = 5V時の外部クロック入力タイミング

表32.57 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAI0)}$	TRAI0入力サイクル時間	100		ns
$t_{WH(TRAI0)}$	TRAI0入力“H”パルス幅	40		ns
$t_{WL(TRAI0)}$	TRAI0入力“L”パルス幅	40		ns

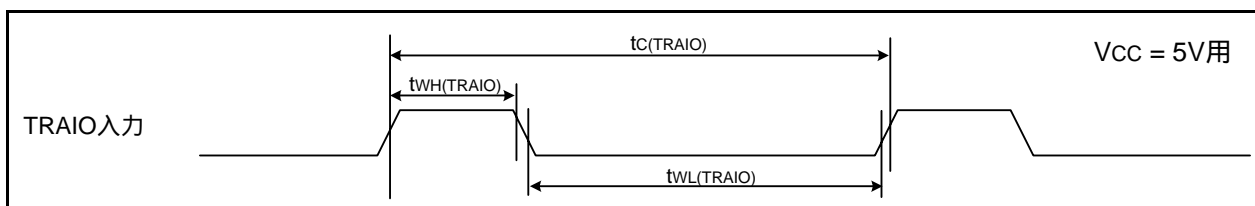


図32.35 VCC = 5V時のTRAI0入力タイミング

表32.58 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRFI)}$	TRFI入力サイクル時間	400 (注1)		ns
$t_{WH(TRFI)}$	TRFI入力“H”パルス幅	200 (注2)		ns
$t_{WL(TRFI)}$	TRFI入力“L”パルス幅	200 (注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が $(1/\text{タイマRFのカウントソース周波数} \times 3)$ 以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が $(1/\text{タイマRFのカウントソース周波数} \times 1.5)$ 以上になるように調整してください。

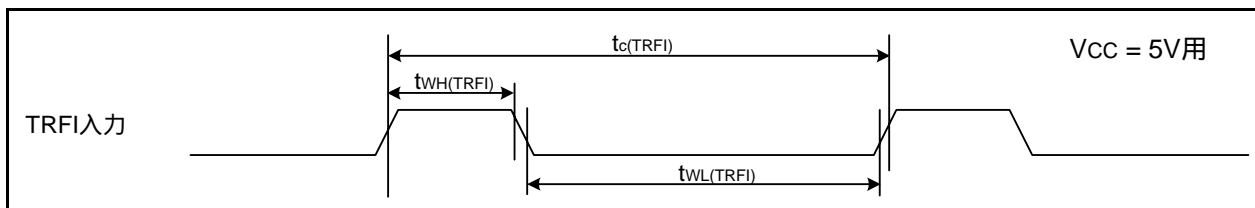


図32.36 VCC = 5V時のTRFI入力タイミング



表32.59 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	200		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	100		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	100		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		50	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	50		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 3

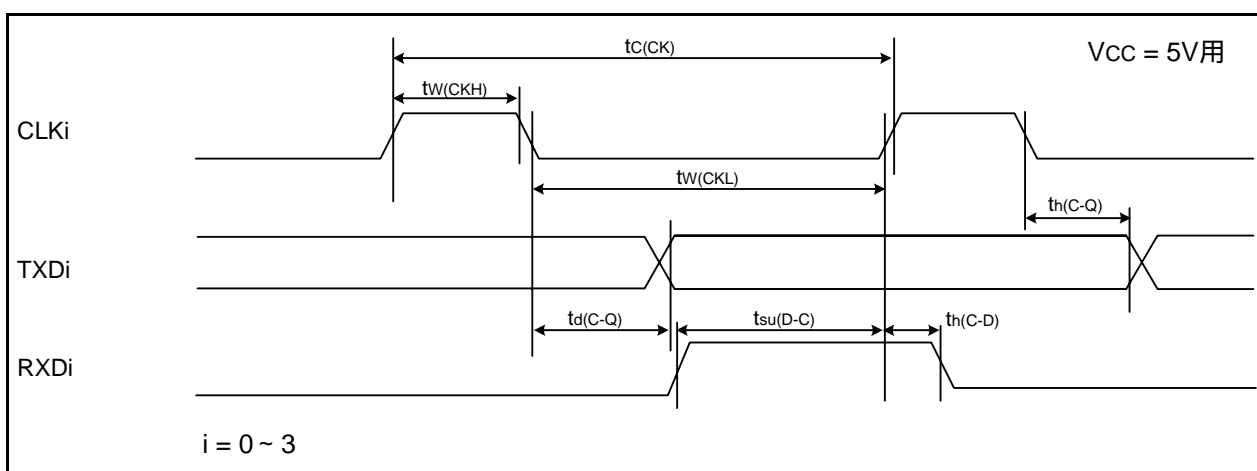


図32.37 Vcc = 5V時のシリアルインタフェースのタイミング

表32.60 外部割り込みINTi入力(i = 0 ~ 4)、キー入力割り込みKli(i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	250(注1)		ns
$t_w(\text{INL})$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	250(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

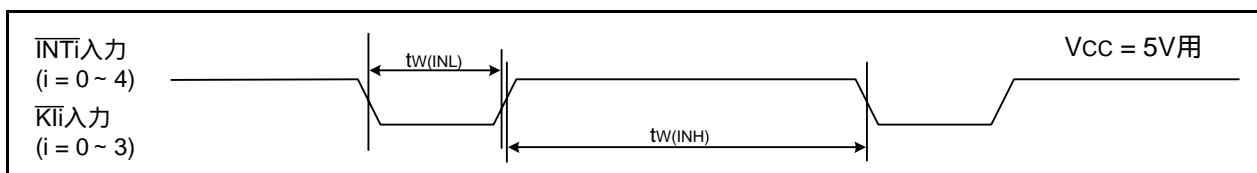


図32.38 Vcc = 5V時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング



表32.62 電気的特性(4) [ 2.7V Vcc &lt; 3.3V ]

(指定のない場合は、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I <sub>CC</sub>	電源電流 (V <sub>CC</sub> = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はV <sub>SS</sub>	高速クロックモード	XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5	10	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1.5	7.5	mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		7.0	15	mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周		3.0		mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		4.0		mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRC = " 1 "		1		mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 4MHz 低速オンチップオシレータ発振 = 125kHz 8分周、FMR27 = " 1 "、VCA20 = " 0 "		90	390	μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		15	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		4	80	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		3.5		μA
		ストップモード	XINクロック停止、T <sub>opr</sub> = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		2.0	5.0	μA
			XINクロック停止、T <sub>opr</sub> = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		15		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$  )

表32.63 外部クロック入力(XOUT)

記号	項目	規格値		単位
		最小	最大	
$t_c(XOUT)$	XOUT入力サイクル時間	50		ns
$t_{WH}(XOUT)$	XOUT入力“H”パルス幅	24		ns
$t_{WL}(XOUT)$	XOUT入力“L”パルス幅	24		ns

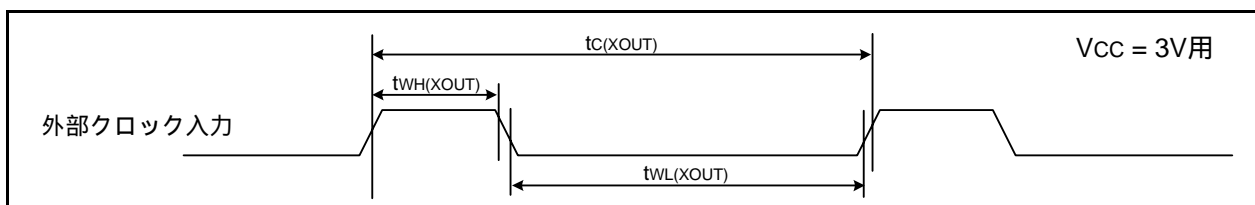


図32.39 VCC = 3V時の外部クロック入力タイミング

表32.64 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAI0)$	TRAI0入力サイクル時間	300		ns
$t_{WH}(TRAI0)$	TRAI0入力“H”パルス幅	120		ns
$t_{WL}(TRAI0)$	TRAI0入力“L”パルス幅	120		ns

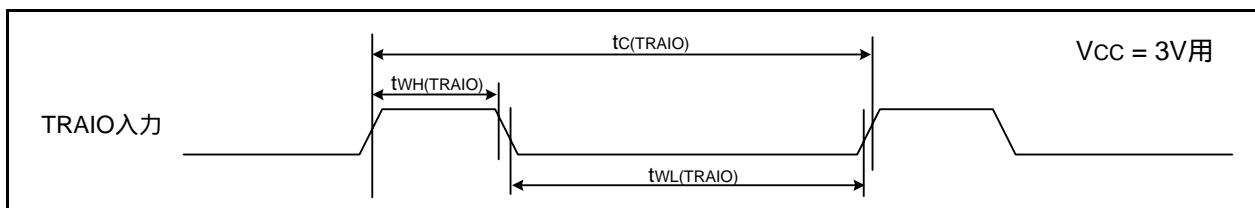


図32.40 VCC = 3V時のTRAI0入力タイミング

表32.65 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRFI)$	TRFI入力サイクル時間	1,200 (注1)		ns
$t_{WH}(TRFI)$	TRFI入力“H”パルス幅	600 (注2)		ns
$t_{WL}(TRFI)$	TRFI入力“L”パルス幅	600 (注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマRFのカウントソース周波数 × 3)以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマRFのカウントソース周波数 × 1.5)以上になるように調整してください。

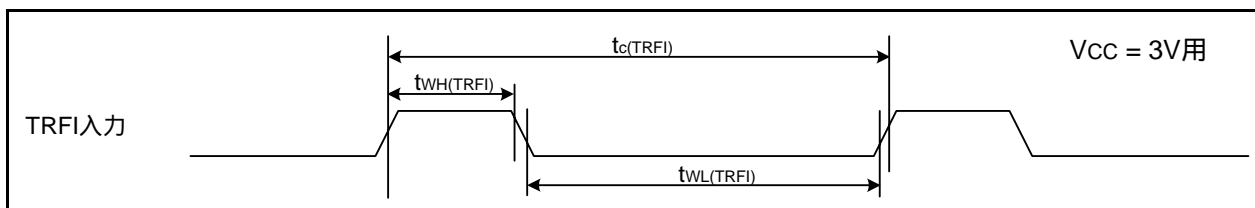


図32.41 VCC = 3V時のTRFI入力タイミング

表32.66 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	150		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0 ~ 3

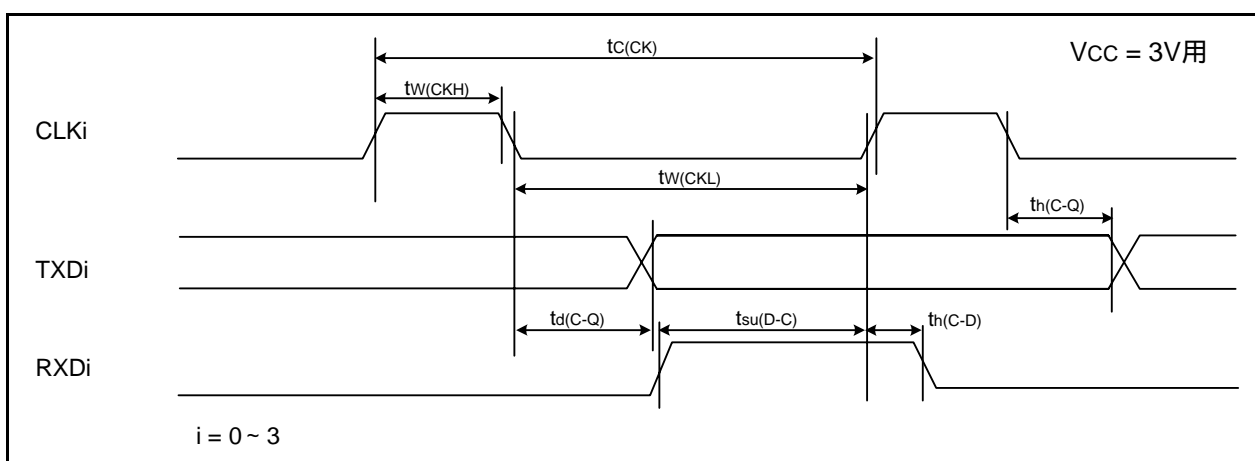


図32.42 Vcc = 3V時のシリアルインタフェースのタイミング

表32.67 外部割り込みINTi入力(i = 0 ~ 4)、キー入力割り込みKli (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅、Kli入力“H”パルス幅	380(注1)		ns
$t_{w(INL)}$	INTi入力“L”パルス幅、Kli入力“L”パルス幅	380(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

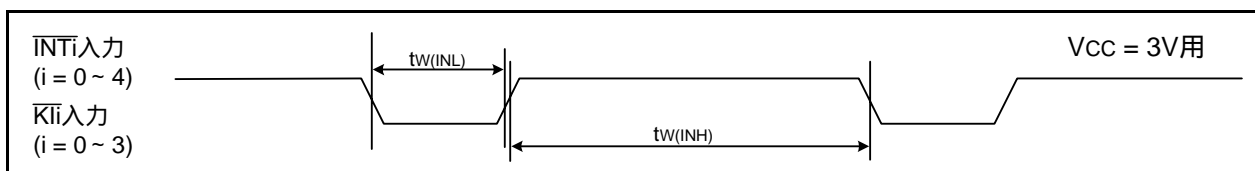


図32.43 Vcc = 3V時の外部割り込みINTiおよびキー入力割り込みKli入力タイミング

表32.68 電気的特性(5) [ 1.8V  $V_{CC} < 2.7V$  ]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT以外	駆動能力High	$I_{OH} = -2mA$	$V_{CC} - 0.5$		$V_{CC}$	V
			駆動能力Low	$I_{OH} = -1mA$	$V_{CC} - 0.5$		$V_{CC}$	V
		XOUT		$I_{OH} = -200\mu A$	1.0		$V_{CC}$	V
VOL	“L”出力電圧	XOUT以外	駆動能力High	$I_{OL} = 2mA$			0.5	V
			駆動能力Low	$I_{OL} = 1mA$			0.5	V
		XOUT		$I_{OL} = 200\mu A$			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、INT4、 KI0、KI1、KI2、KI3、 TRAIO、TRCIOA、 TRCIOB、TRCIOC、 TRCIOD、TRFI、 TRCTRG、TRCCLK、 ADTRG、RXD0、 RXD1、RXD2、RXD3、 CLK0、CLK1、CLK2、 CLK3、CTS2、SSI、 SCL、SDA、SSO、 SSCK、SCS			0.05	0.20		V
		RESET			0.05	0.20		V
I <sub>IH</sub>	“H”入力電流		$V_I = 2.2V$ 、 $V_{CC} = 2.2V$				4.0	$\mu A$
I <sub>IL</sub>	“L”入力電流		$V_I = 0V$ 、 $V_{CC} = 2.2V$				- 4.0	$\mu A$
R <sub>PULLUP</sub>	プルアップ抵抗		$V_I = 0V$ 、 $V_{CC} = 2.2V$		70	140	300	k $\Omega$
R <sub>iXIN</sub>	帰還抵抗	XIN				0.3		M $\Omega$
V <sub>RAM</sub>	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、1.8V  $V_{CC} < 2.7V$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン)/  $-40 \sim 85$  (Dバージョン)、 $f(XIN) = 5MHz$ です。

表32.69 電気的特性(6) [ 1.8V V<sub>CC</sub> < 2.7V ](指定のない場合は、T<sub>opr</sub> = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I <sub>CC</sub>	電源電流 (V <sub>CC</sub> = 1.8V ~ 2.7V) シングルチップモードで、出力端子は開放、その他の端子はV <sub>SS</sub>	高速クロックモード	XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		2.2		mA
			XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		0.8		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 5MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		2.5	10	mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 5MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.7		mA
			XINクロック停止 高速オンチップオシレータ発振f <sub>OCO-F</sub> = 4MHz 低速オンチップオシレータ発振 = 125kHz 16分周、MSTIIC = MSTTRC = " 1 "		1		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周、FMR27 = " 1 "、VCA20 = " 0 "		90	300	μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		15	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		4	80	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 "、VCA20 = " 1 "		3.5		μA
		ストップモード	XINクロック停止、T <sub>opr</sub> = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		2.0	5	μA
			XINクロック停止、T <sub>opr</sub> = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 "		15		μA

タイミング必要条件 (指定のない場合は、 $V_{CC} = 2.2V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = 25$  )

表32.70 外部クロック入力(XOUT)

記号	項目	規格値		単位
		最小	最大	
$t_c(XOUT)$	XOUT入力サイクル時間	200		ns
$t_{WH}(XOUT)$	XOUT入力“H”パルス幅	90		ns
$t_{WL}(XOUT)$	XOUT入力“L”パルス幅	90		ns

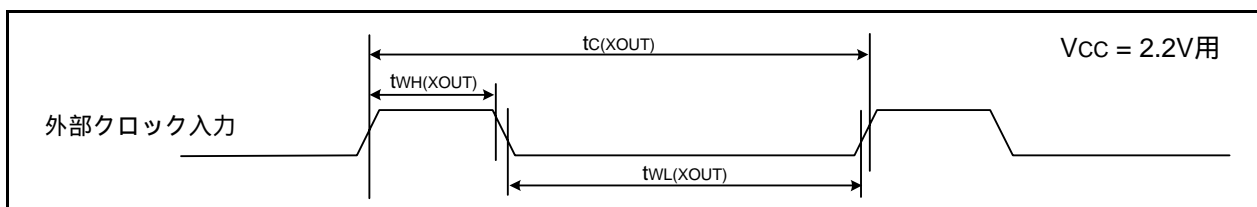


図32.44  $V_{CC} = 2.2V$ 時の外部クロック入力タイミング

表32.71 TRAI0入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAI0)$	TRAI0入力サイクル時間	500		ns
$t_{WH}(TRAI0)$	TRAI0入力“H”パルス幅	200		ns
$t_{WL}(TRAI0)$	TRAI0入力“L”パルス幅	200		ns

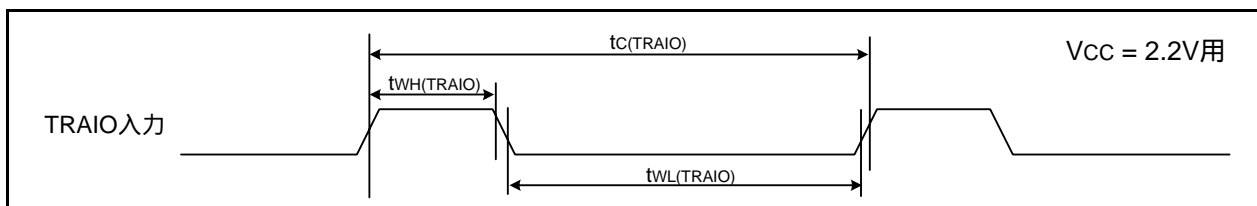


図32.45  $V_{CC} = 2.2V$ 時のTRAI0入力タイミング

表32.72 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRFI)$	TRFI入力サイクル時間	2,000 (注1)		ns
$t_{WH}(TRFI)$	TRFI入力“H”パルス幅	1,000 (注2)		ns
$t_{WL}(TRFI)$	TRFI入力“L”パルス幅	1,000 (注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が $(1/\text{タイマRFのカウントソース周波数} \times 3)$ 以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が $(1/\text{タイマRFのカウントソース周波数} \times 1.5)$ 以上になるように調整してください。

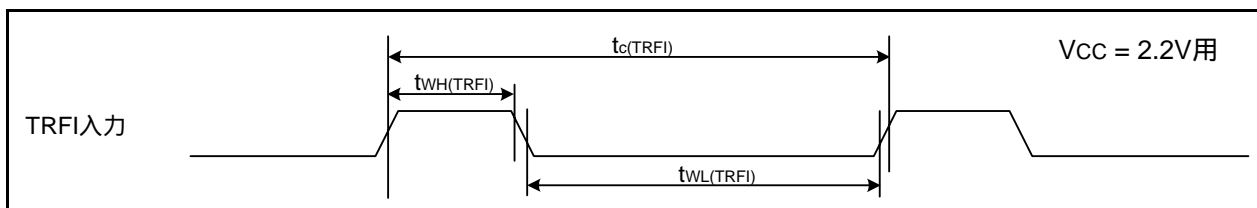


図32.46  $V_{CC} = 2.2V$ 時のTRFI入力タイミング



表32.73 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	800		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	400		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	400		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		200	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	150		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 3

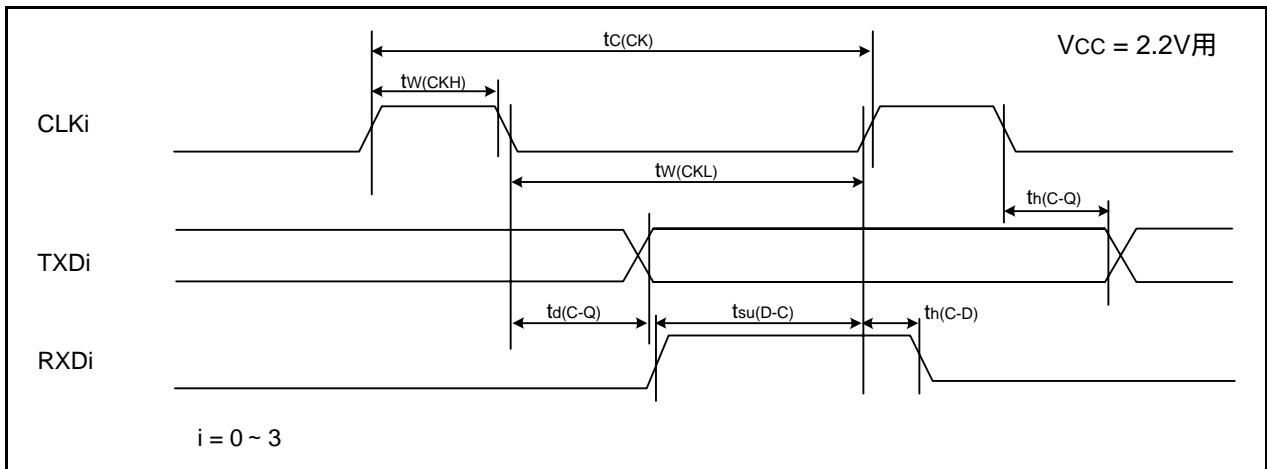


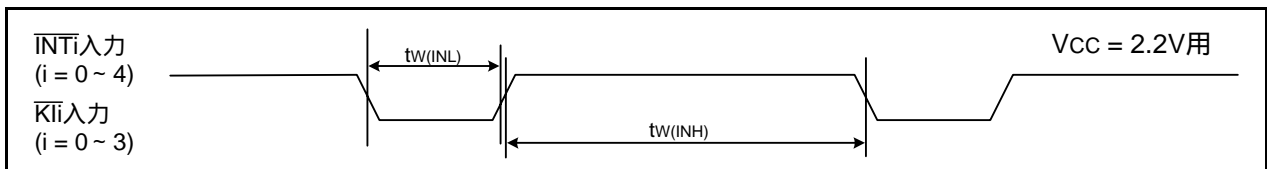
図32.47 Vcc = 2.2V時のシリアルインタフェースのタイミング

表32.74 外部割り込み  $\overline{\text{INT}}_i$  入力 (i = 0 ~ 4)、キー入力割り込み  $\overline{\text{K}}_i$  (i = 0 ~ 3)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	$\overline{\text{INT}}_i$ 入力“H”パルス幅、 $\overline{\text{K}}_i$ 入力“H”パルス幅	1,000(注1)		ns
$t_w(\text{INL})$	$\overline{\text{INT}}_i$ 入力“L”パルス幅、 $\overline{\text{K}}_i$ 入力“L”パルス幅	1,000(注2)		ns

注1.  $\overline{\text{INT}}_i$  入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INT}}_i$  入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2.  $\overline{\text{INT}}_i$  入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INT}}_i$  入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

図32.48 Vcc = 2.2V時の外部割り込み  $\overline{\text{INT}}_i$  およびキー入力割り込み  $\overline{\text{K}}_i$  入力タイミング

## 33. 使用上の注意事項

### 33.1 クロック発生回路使用上の注意

#### 33.1.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```
BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCR    ; CM1レジスタへの書き込み許可
FSET    I         ; 割り込み許可
BSET    0, CM1     ; ストップモード
JMP.B   LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP
```

### 33.1.2 ウェイトモード

CM30 ビットを“1”にしてウェイトモードに移行する場合、FMR0 レジスタのFMR01 ビットを“0” (CPU書き換えモード無効)にした後、CM30 ビットを“1”にしてください。

WAIT 命令でウェイトモードに移行する場合、FMR0 レジスタのFMR01 ビットを“0” (CPU書き換えモード無効)にした後、WAIT 命令を実行してください。命令キューはCM30 ビットを“1” (ウェイトモードに移行する) にする命令、またはWAIT 命令から4 バイト先読みしてプログラムが停止します。CM30 ビットを“1” (ウェイトモードに移行する) にする命令、または WAIT 命令の後にはNOP 命令を最低4つ入れてください。

#### • WAIT 命令を実行するプログラム例

```

BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
FSET    I          ; 割り込み許可
WAIT                    ; ウェイトモード
NOP
NOP
NOP
NOP

```

#### • CM30 ビットを“1”を実行するプログラム例

```

BCLR    1, FMR0    ; CPU書き換えモード無効
BCLR    7, FMR2    ; 低消費電流リードモード禁止
BSET    0, PRCR    ; CM3 レジスタへの書き込み許可
FCLR    I          ; 割り込み禁止
BSET    0, CM3     ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCR    ; CM3 レジスタへの書き込み禁止
FSET    I          ; 割り込み許可

```

### 33.1.3 発振停止検出機能

XIN クロックの周波数が2MHz 未満の場合、発振停止検出機能は使用できませんので、OCD1 ~ OCD0 ビットを“00b”にしてください。また、OCD3 ビットは、XIN クロックの発振安定確認には使用できません。

### 33.1.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

## 33.2 割り込み使用上の注意

### 33.2.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

### 33.2.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 33.2.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$  端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$  端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み  $\overline{\text{INTi}}$  入力 ( $i = 0 \sim 4$ ) に示す“L”レベル幅、または“H”レベル幅が必要です(詳細は「表 32.60( $V_{cc} = 5V$ )、表 32.67( $V_{cc} = 3V$ )、表 32.74( $V_{cc} = 2.2V$ ) 外部割り込み  $\overline{\text{INTi}}$  入力 ( $i = 0 \sim 4$ )、キー入力割り込み  $\overline{\text{KIi}}$  ( $i = 0 \sim 3$ )」を参照)。

### 33.2.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図33.1に割り込み要因の変更手順例を示します。

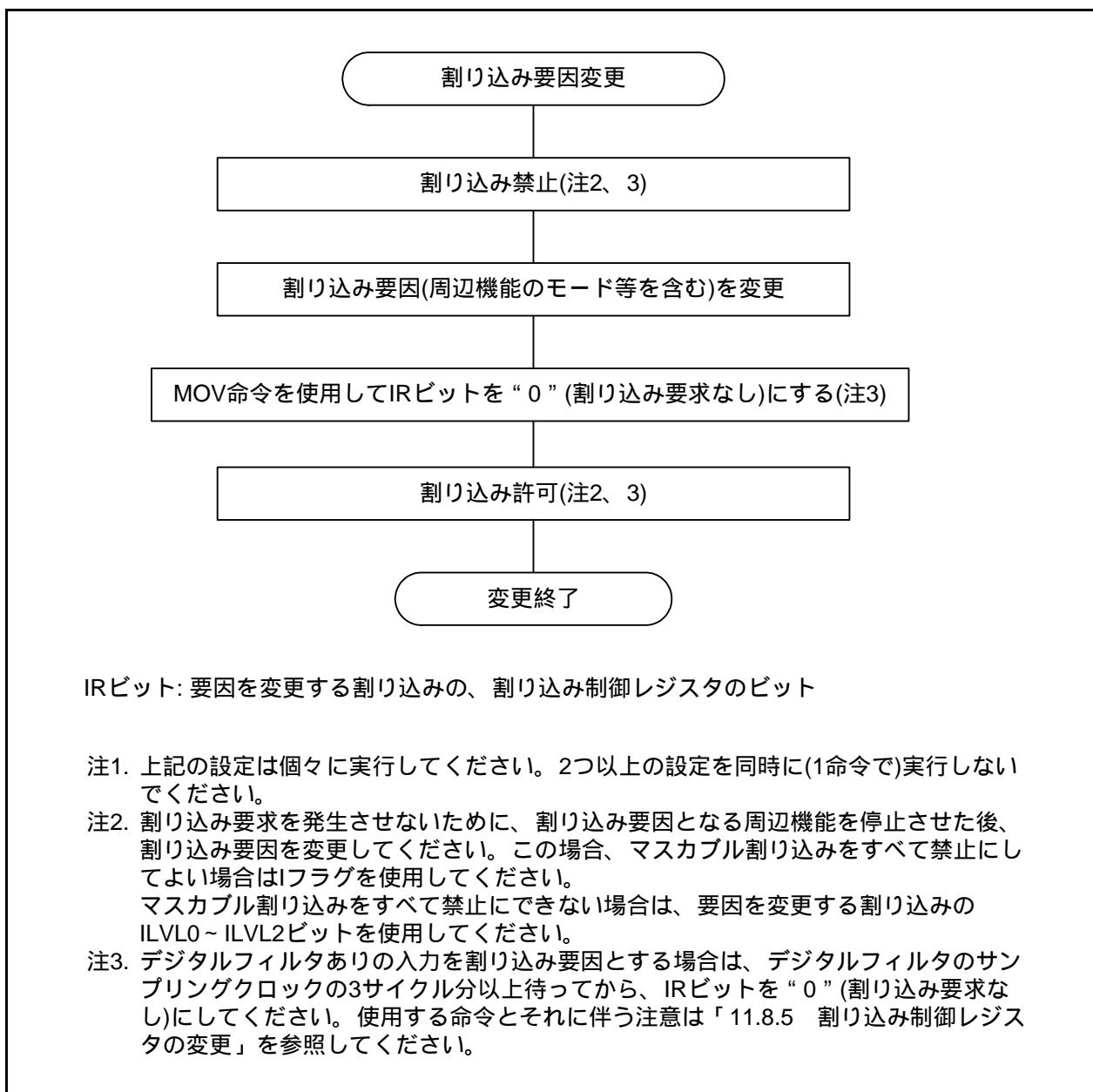


図33.1 割り込み要因の変更手順例

### 33.2.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

#### IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 ..... AND、OR、BCLR、BSET

#### IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  POPC    FLG            ; 割り込み許可
```

### 33.3 IDコード領域使用上の注意

#### 33.3.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)    ; UND
.lword dummy | (55000000h)    ; INTO
.lword dummy                  ; BREAK
.lword dummy | (55000000h)    ; ADDRESS MATCH
.lword dummy | (55000000h)    ; SET SINGLE STEP
.lword dummy | (55000000h)    ; WDT
.lword dummy | (55000000h)    ; ADDRESS BREAK
.lword dummy | (55000000h)    ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

### 33.4 オプション機能選択領域使用上の注意

#### 33.4.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
.lword reset | (0FF000000h)    ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

### 33.5 DTC使用上の注意

#### 33.5.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

#### 33.5.2 DTCEN<sub>i</sub> (i=0 ~ 3、5、6) レジスタ

- DTCEN<sub>i0</sub> ~ DTCEN<sub>i7</sub> ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCEN<sub>i0</sub> ~ DTCEN<sub>i7</sub> ビットを変化させないでください。
- DTC転送でDTCEN<sub>i</sub>レジスタをアクセスしないでください。

#### 33.5.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I<sup>2</sup>Cバス受信データフルのときは、DTC転送でSSRDR/ICDRRレジスタを読んでください。  
SSRDR/ICDRRレジスタを読むことで、SSSR/ICSRレジスタのRDRFビットが“0”(SSRDR/ICDRRレジスタにデータなし)になります。  
ただし、DTCのデータ転送の設定が
  - ノーマルモードかつDTCCT<sub>j</sub> (j=0 ~ 23)レジスタが“1”から“0”になる転送
  - リピートモードかつDTCCR<sub>j</sub>レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCT<sub>j</sub>レジスタが“1”から“0”になる転送のときには、SSRDR/ICDRRレジスタを読んでもSSSR/ICSRレジスタのRDRFビットは“0”(SSRDR/ICDRRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I<sup>2</sup>Cバス送信データエンプティのときは、DTC転送でSSTDR/ICDRTレジスタへ書いてください。SSTDR/ICDRTレジスタへ書くことで、SSSR/ICSRレジスタのTDREビットが“0”(SSTDR/ICDRTレジスタからSSTRSR/ICDRSレジスタにデータ転送されていない)になります。

#### 33.5.4 割り込み要求

DTC起動要因がSSU/I<sup>2</sup>C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCCT<sub>j</sub> (j=0 ~ 23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCR<sub>j</sub>レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCT<sub>j</sub>レジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。



### 33.6 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが“1”になっても“0”にする場合があります。このとき、“0”にしたい TEDGF ビット、TUNDF ビットには MOV 命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRA プリスケアラのアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRA プリスケアラの2周期以上の時間を空けて、TEDGF ビットを“0”にしてから使用してください。
- カウント停止中に TSTART ビットに“1”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“0”になっています。  
TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。  
TCSTF ビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。  
カウント中に TSTART ビットに“0”を書いた後は、カウントソースの0~1サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。  
TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマRA 関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA 関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTF ビットが“1”)に TRAPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTF ビットが“1”)に TRA レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRA レジスタに 00h を設定しないでください。

### 33.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。  
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。  
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。  
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

#### 33.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

#### 33.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 33.7.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

### 33.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

## 33.8 タイマRC使用上の注意

### 33.8.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。  
TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。  
TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。
- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。  
プログラム例
 

MOV.W	#XXXXh, TRC	;	書き込み	
JMP.B	L1	;	JMP.B命令	
L1:	MOV.W	TRC, DATA	;	読み出し

### 33.8.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

MOV.B	#XXh, TRCSR	;	書き込み	
JMP.B	L1	;	JMP.B命令	
L1:	MOV.B	TRCSR, DATA	;	読み出し

### 33.8.3 TRCCR1レジスタ

TRCCR1レジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

### 33.8.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。  
変更手順
  - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。  
変更手順
  - (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  - (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
  - (3) f1の2サイクル以上待つ
  - (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40Mに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの2サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) fOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル+fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。

変更手順

- (1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
- (2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
- (3) fOCO-Fの1サイクル+fOCO40Mの1サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

### 33.8.5 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅については、次のように設定してください。  
[デジタルフィルタなしの場合]  
タイマRCの動作クロックの3サイクル分以上(「表19.1 タイマRCの動作クロック」参照)  
[デジタルフィルタありの場合]  
デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図19.5 デジタルフィルタのブロック図」参照)
- TRCIOj (j=A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

### 33.8.6 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペアー一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペアー一致が発生するタイミングで、TRCMRレジスタに書かないでください。

### 33.8.7 カウントソースfOCO40M

カウントソースfOCO40Mについては、電源電圧VCC=2.7V～5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

## 33.9 タイマRF使用上の注意

- TRFレジスタ、TRFM0レジスタおよびTRFM1レジスタは、16ビット単位でアクセスしてください。

<タイマRFを読み出すプログラム例>

```
MOV.W 0090H, R0 ;タイマRFの読み出し
```

- インพุットキャプチャモードでは、TRFCR0レジスタのTSTARTビットが“0”(カウント停止)のときも、TRFCR0レジスタのTRFC03、TRFC04ビットで選択したエッジがTRFI端子に入力されると、キャプチャ割り込み要求が発生します。

### 33.10 シリアルインタフェース(UART<sub>i</sub> (i=0、1、3))使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB (i=0、1、3)レジスタを読み出すときは、必ず16ビット単位で読み出してください。  
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。  
受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B    #XXH, 00A3H ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H ; U0TBレジスタの下位バイトへの書き込み
```

## 33.11 シリアルインタフェース(UART2)使用上の注意

### 33.11.1 クロック同期形シリアルI/Oモード

#### 33.11.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

#### 33.11.1.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態に次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力が“L”

#### 33.11.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバーランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態に次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)

### 33.12 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUICSRレジスタのIICSELビットを“0”(SSU機能を選択)にしてください。

### 33.13 I<sup>2</sup>Cバスインタフェース使用上の注意

I<sup>2</sup>Cバスインタフェースを使用する場合には、SSUICSRレジスタのIICSELビットを“1”(I<sup>2</sup>Cバスインタフェース機能を選択)にしてください。

#### 33.13.1 マスタ受信モード

マスタ受信完了後、停止条件発行または開始条件の再発行がSCLの9クロック目の立ち下がりとなった場合、9クロック目の後に、SCLが1クロック余分に出力されます。

##### 33.13.1.1 対策

マスタ受信完了後、SCLの9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCLの9クロック目の立ち下がり、次の方法で確認してください。

ICSRレジスタのRDRFビット(受信データレジスタフルフラグ)が“1”になったことを確認後、ICCR2レジスタのSCLOビット(SCLモニタフラグ)が“0”(SCL端子は“L”)になったことを確認してください。

#### 33.13.2 ICCR1レジスタのICEビットおよびICCR2レジスタのIICRSTビット

I<sup>2</sup>Cバスインタフェース動作中に、ICEビットに“0”、またはIICRSTビットに“1”を書くと、ICCR2レジスタのBBSYビットとICSRレジスタのSTOPビットが不定になる場合があります。

##### 33.13.2.1 ビットが不定になる条件

- マスタ送信モード(ICCR1レジスタのMST、TRSビットが“1”)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- マスタ受信モード(MSTビットが“1”、TRSビットが“0”)において、本モジュールがI<sup>2</sup>Cのバスを占有しているとき。
- スレーブ送信モード(MSTビットが“0”、TRSビットが“1”)において、本モジュールがデータ送信中のとき。
- スレーブ受信モード(MST、TRSビットが“0”)において、本モジュールがアクノリッジを送信しているとき。

##### 33.13.2.2 対策

- 開始条件(SCLが“H”のときのSDA立ち下がり)が入力されると、BBSYビットは“1”になります。
- 停止条件(SCLが“H”のときのSDA立ち上がり)が入力されると、BBSYビットは“0”になります。
- マスタ送信モードにおいて、SCL、SDAともに“H”の状態、BBSYビットに“1”、SCPビットに“0”を書き、開始条件(SCLが“H”のときのSDA立ち下がり)が出力されると、BBSYビットは“1”になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAが“L”の状態、かつ本モジュール以外にSCLを“L”にするデバイスがない状態で、BBSYビットに“0”、SCPビットに“0”を書き、停止条件(SCLが“H”のときのSDA立ち上がり)が出力されると、BBSYビットは“0”になります。
- SARレジスタのFSビットに“1”を書くと、BBSYビットは“0”になります。



### 33.13.2.3 IICRST ビットの補足説明

- IICRSTビットに“1”を書くと、ICCR2レジスタのSDAOビットおよびSCLOビットは“1”になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRSTビットに“1”を書くと、ICSRレジスタのTDREビットは“1”になります。
- IICRSTビットによるI2Cバス制御部のリセット期間中は、BBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にIICRSTビットに“0”を書いてください。
- IICRSTビットに“1”を書いても、BBSYビットは“0”になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLが“H”のときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが“0”になる場合があります。  
同様に、他のビットにも影響が発生する場合があります。
- IICRSTビットによるI2Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、ICCR1レジスタ、ICCR2レジスタ、ICSRレジスタの値が更新される場合があります。

### 33.14 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

### 33.15 A/Dコンバータ使用上の注意

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロック AD以上の周波数を選択してください。  
ADにfOCO-Fを選択しないでください。
- VREF端子とAVSS端子間に0.1μFのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)、およびFMR27ビットを“1”(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。  
プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。
- A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

## 33.16 フラッシュメモリ使用上の注意

## 33.16.1 CPU書き換えモード

## 33.16.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

## 33.16.1.2 割り込み

表33.1～表33.3にCPU書き換えモード時の割り込みを示します。

表33.1 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22 : FMR2レジスタのビット

表33.2 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表33.3 CPU書き換えモード時の割り込み(3)

モード	イレーズ/ ライト対象	状態	・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク (注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効またはFMR22=“0”)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

### 33.16.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

### 33.16.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

### 33.16.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

### 33.16.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

### 33.16.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V ~ 5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

### 33.16.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

### 33.16.1.9 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

消費電力を低減する方法は、「31. 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

### 33.17 ノイズに関する注意

#### 33.17.1 ノイズおよびラッチアップ対策として、VCC-VSSライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1 $\mu$ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

#### 33.17.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

### 33.18 電源電圧の変動に関する注意事項

リセット解除後、VCC 端子に入力する電源電圧は、図33.2に示す許容電源リップル電圧  $V_r(vcc)$  および電源リップル立ち下がり勾配  $dV_r(vcc)/dt$  のどちらか一方または両方を満たしてください。

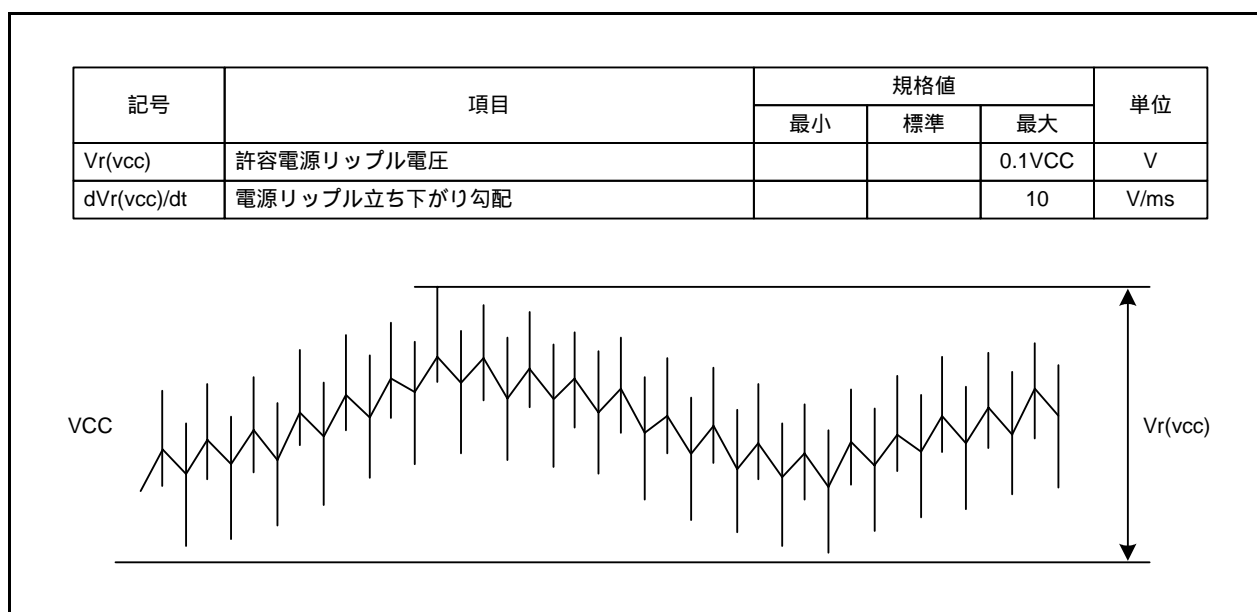


図33.2 電源リップルの定義

## 34. オンチップデバッグの注意事項

オンチップデバッグを使用してR8C/34Kグループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。  
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。
- (4) 電源電圧VCC=1.8V ~ 5.5Vの条件でデバッグ可能です。フラッシュメモリの書き換えが発生する場合の電源電圧は、2.7V以上にしてください。  
またUSBを使用する場合、USB電源としてUSB用内部電源を使用するときは、電源電圧を4.0V VCC 5.5Vに、USB\_VCC端子からの電源入力を使用するときは、電源電圧を3.0V VCC < 4.0Vとしてください。

オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

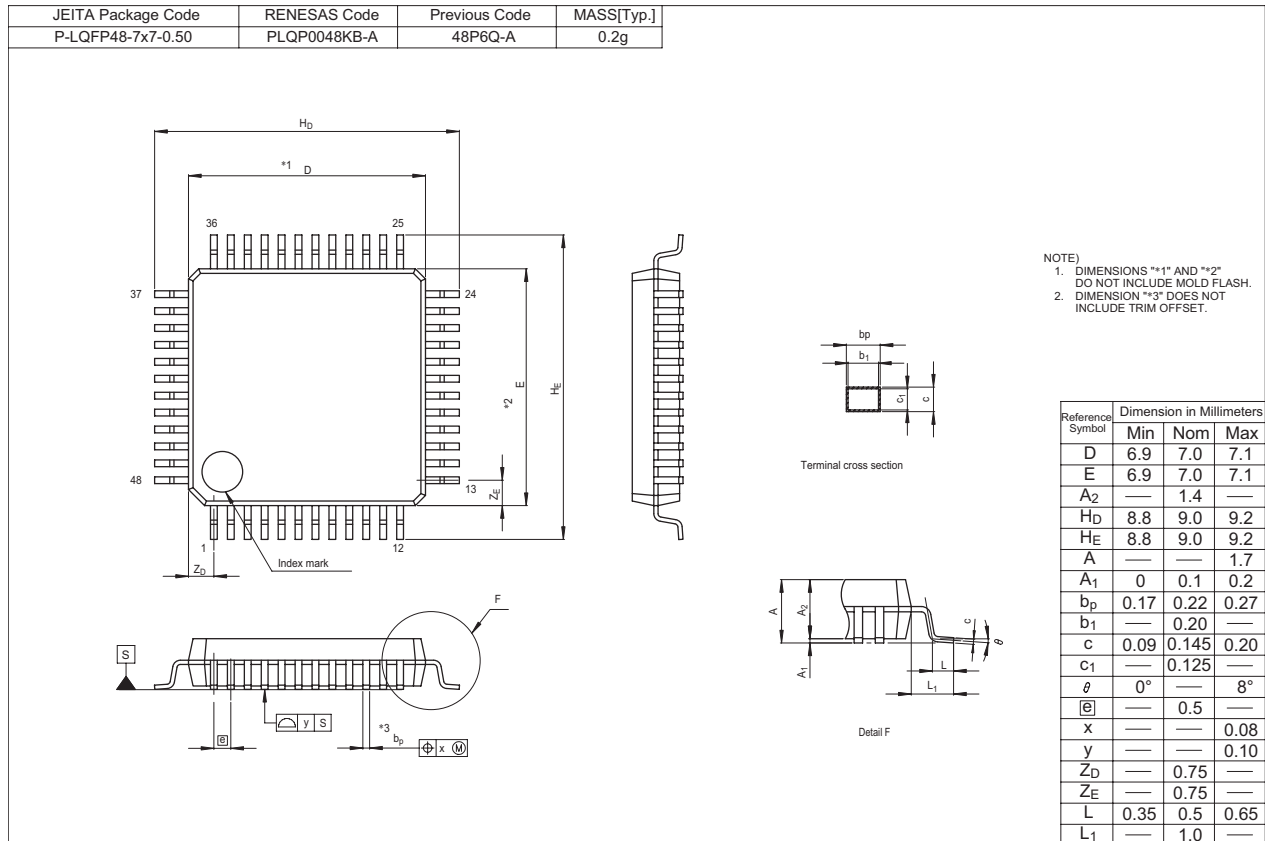
## 35. エミュレータデバッグの注意事項

エミュレータデバッグの接続や使用方法には、固有の制限事項があります。エミュレータデバッグの詳細は各エミュレータデバッグのマニュアルを参照してください。



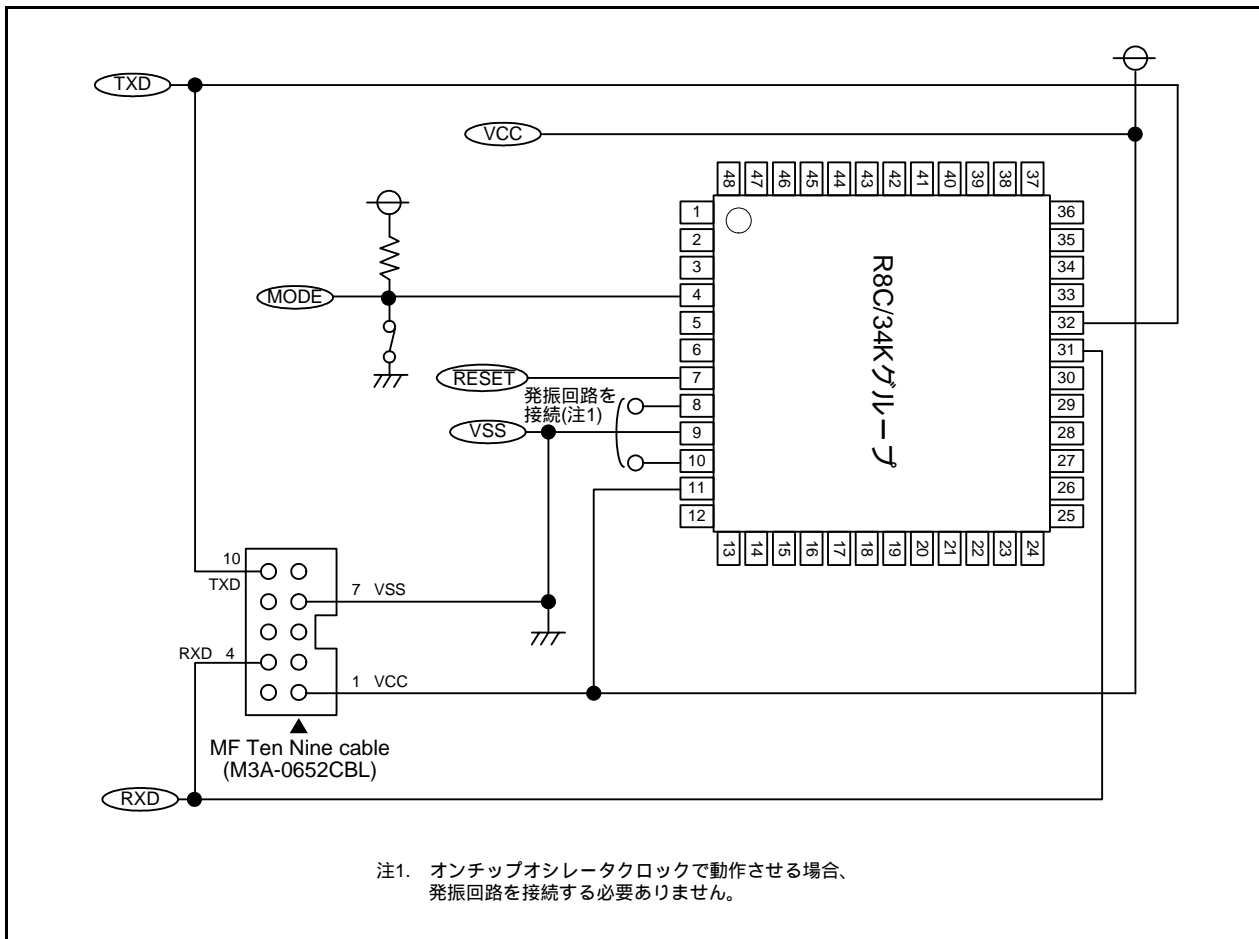
## 付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスホームページの「パッケージ」に掲載されています。

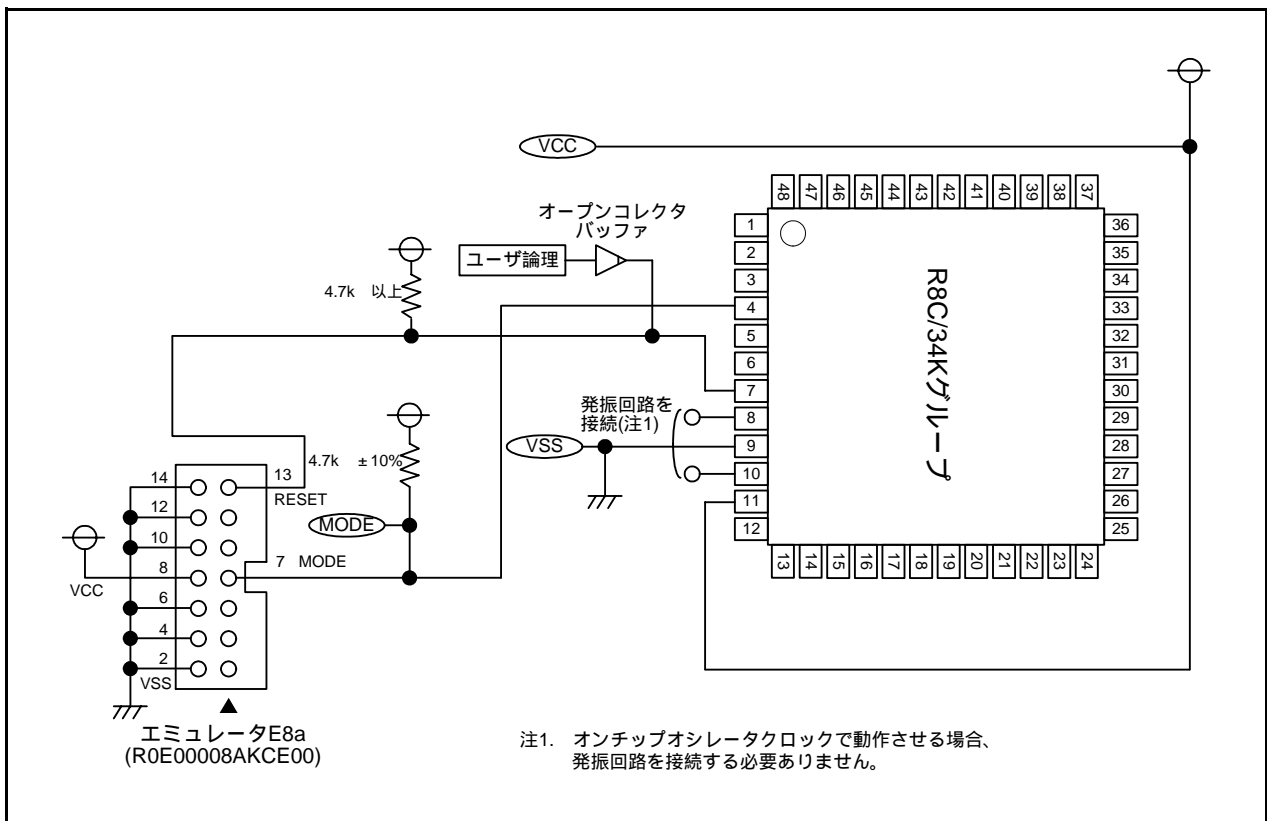


### 付録2. シリアルライタとオンチップデバッグエミュレータとの接続例

付図2.1にMF Ten Nine ケーブル(M3A-0652CBL)との結線図を、付図2.2にエミュレータE8a (R0E00008AKCE00)との接続例を示します。



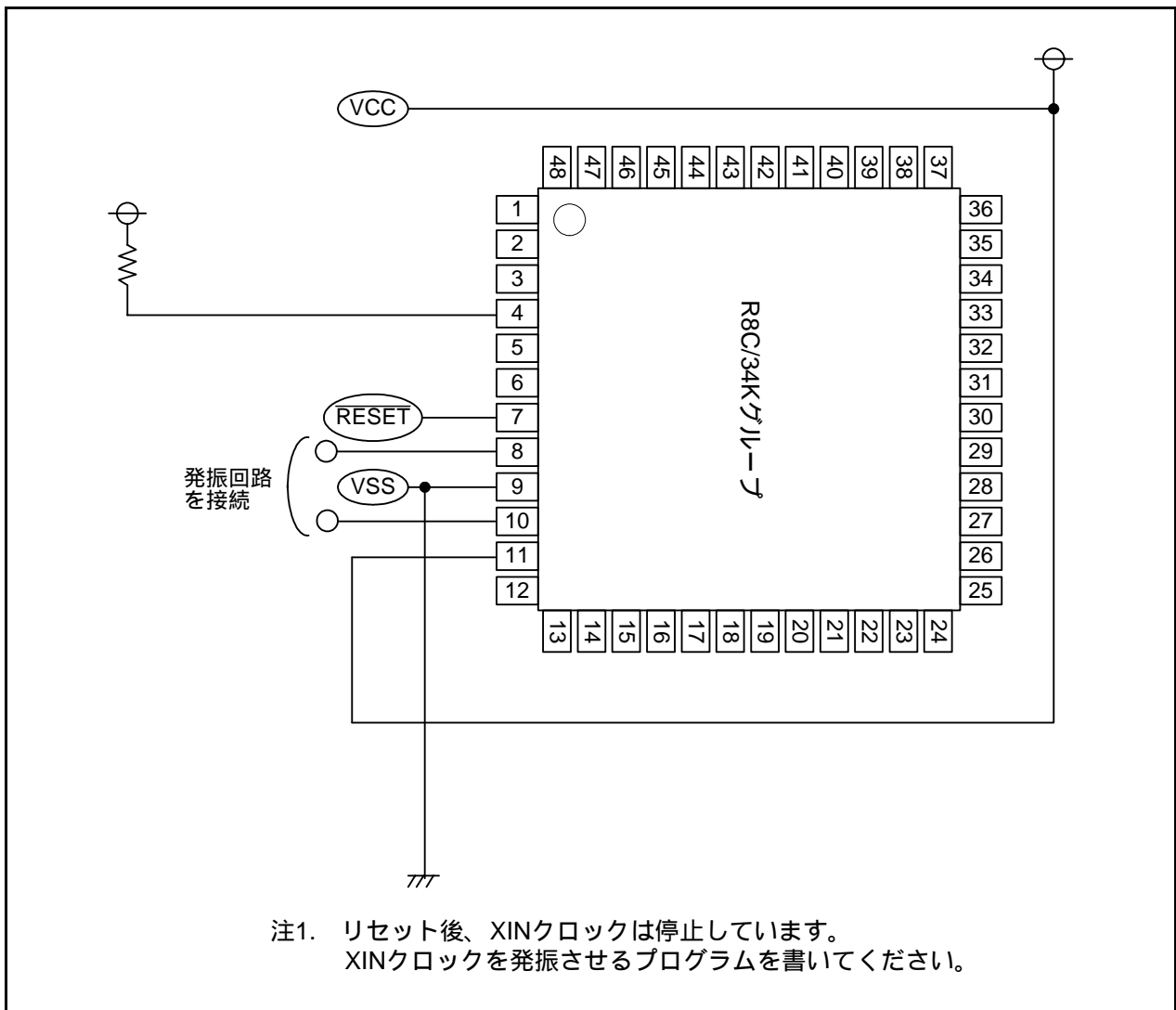
付図2.1 MF Ten Nineケーブル(M3A-0652CBL)との結線図



付図2.2 エミュレータE8a (R0E00008AKCE00)との接続例

## 付録3. 発振評価回路例

付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

## 索引

## 【記号 / 数字】

4線式バス通信モード	403
4線式バス通信モードの初期化	404

## 【 A 】

A/Dコンバータ	557, 630
A/D断線検出アシスト機能	569
A/D変換開始条件	567
A/D変換結果	569
A/D変換サイクル数	565
A/D変換時のセンサの出カインピーダンス	579
A0、A1	16
ADCON0	563
ADCON1	564
ADi (i=0 ~ 7)	560
ADIC	159
ADINSEL	562
ADMOD	561
AIERi (i=0 ~ 1)	177

## 【 B 】

BEMPENB	484
BEMPSTS	494
BGO(バックグラウンドオペレーション)機能	607
BRDYENB	482
BRDYSTS	492
Bフラグ	16

## 【 C 】

CAPIC	159
CFIFO	473
CFIFOCTR	476
CFIFOSEL	474
CLK極性選択	361
CM0	119
CM1	120
CM3	121
CMP0IC	159
CMP1IC	159
CMPA	50
CPSRF	125
CPU	15
CPU書き換えモード	593
CPUクロック	136
CPUクロックと周辺機能クロック	136
CSPR	194
CTS/RTS機能	363, 371
Cフラグ	16

## 【 D 】

DCPCFG	501
DCPCTR	503
DCPMAXP	502
DEVADDn (n = 0 ~ 5)	522
DRR0	95
DRR1	96
DRR2	97
DTBLSj (j=0 ~ 23)	202
DTC	200
DTCCRj (j=0 ~ 23)	202

DTCCTj (j=0 ~ 23)	202
DTCENi (i=0 ~ 3、5、6)	204
DTCTL	205
DTC実行サイクル数	217
DTDARj (j=0 ~ 23)	203
DTRLDj (j=0 ~ 23)	203
DTSARj (j=0 ~ 23)	203
DVSTCTR0	470
Dフラグ	16

## 【 E 】

EW0モード	604
EW1モード	604

## 【 F 】

f1、f2、f4、f8、f32	136
FB	16
FLG	16
FMR0	597
FMR1	600
FMR2	602
FMRDYIC	160
fOCO	136
fOCO128	137
fOCO40M	136
fOCO-F	136
fOCO-S	137
fOCO-WDT	137
FRA0	124
FRA1	124
FRA2	125
FRA3	127
FRA4	126
FRA5	126
FRA6	127
FRA7	123
FRMNUM	495
FST	594

## 【 I 】

I/Oポート	64
I/Oポート以外の端子	65
I/Oポートの機能	65
I <sup>2</sup> Cバスインタフェース	411
I <sup>2</sup> Cバスインタフェースモード	427
I <sup>2</sup> Cバスフォーマット	427
ICCR1	417
ICCR1レジスタのICEビットおよびICCR2レジスタの IICRSTビット	447, 704
ICCR2	418
ICDRR	416
ICDRS	422
ICDRT	416
ICIER	420
ICMR	419
ICSR	421
IDコードチェック機能	591, 621
IDコード領域	183
IICRSTビットの補足説明	448, 705
ILVL2 ~ ILVL0ビット、IPL	162
INTB	16

INTCMP	583
INTEN	171, 583
INTEN1	171
INTENB0	478
INTENB1	480
INTF	172, 584
INTF1	172
INTiIC (i=0 ~ 4)	161
INTi入力フィルタ (i=0 ~ 4)	173
INTi割り込み (i=0 ~ 4)	169
INTSR	90, 170
INTSTS0	486
INTSTS1	489
INT割り込み	169
IPL	17
IRビット	162
ISP	16
Iフラグ	17, 162

## 【 K 】

KIEN	175
KUPIC	159

## 【 L 】

LINCR	452
LINCR2	451
LINST	452
LSBファースト、MSBファースト選択	337, 362, 369

## 【 M 】

MSTCR	262, 383, 414
-------	---------------

## 【 N 】

NRDYENB	483
NRDYSTS	493

## 【 O 】

OCD	123
OCVREFCR	559
OFS	38, 57, 188, 195, 592
OFS2	39, 189, 196
Oフラグ	17

## 【 P 】

P1DRR	94
PC	16
PDi (i=0, 1, 3, 4, 6 ~ 8)	80
Pi (i=0, 1, 3, 4, 6 ~ 8)	81
PINSR	91, 129, 415
PIPECFG	508
PIPEMAXP	510
PIPEnCTR (n = 4 ~ 7)	512
PIPEnTRE (n = 4 ~ 5)	520
PIPEnTRN (n = 4 ~ 5)	521
PIPEPERI	511
PIPESEL	507
PLC0	131
PLC1	131
PLDIV	132
PLLFCK	137

PLLクロック	135
PM0	37
PM1	193
PRCR	152
PUR0	92
PUR1	92
PUR2	93
PWM2モード	300
PWMモード	294

## 【 R 】

R0, R1, R2, R3	16
RMADi (i=0 ~ 1)	177
ROMコードプロテクト機能	592, 624
RSTFR	37
RXD2デジタルフィルタ選択機能	371, 378

## 【 S 】

S0RIC	159
S0TIC	159
S1RIC	159
S1TIC	159
S2RIC	159
S2TIC	159
S3RIC	159
S3TIC	159
SAR	422
SB	16
SCS端子制御とアービトレーション	409
SFR	20
SOFCFG	485
SSBR	384
SSCRH	385
SSCRL	386
SSER	388
SSMR	387
SSMR2	390
SSRDR	385
SSSR	389
SSTDR	384
SSTRSR	393
SSUIC/IICIC	160
SSUICSR	89, 383, 414
SSシフトレジスタ	393
SYSCFG	467
SYSSTS0	469
Sフラグ	16

## 【 T 】

TIMSR	86, 316
TRA	225
TRACR	223
TRAIC	159
TRAIOC	223, 226, 229, 231, 233, 236
TRAMR	224
TRAPRE	224
TRASR	82, 225
TRBCR	240
TRBIC	159
TRBIOC	241, 244, 248, 251, 255
TRBMR	241
TRBOCR	240
TRBPR	243

TRBPRES	242	USB用内部電源、USB_VCC端子	556
TRBRCSR	83, 271	USP	16
TRBSC	242	Uフラグ	17
TRC	267		
TRCADCR	270		
TRCCR1	264, 287, 296, 302	【V】	
TRCCR2	268, 290, 297, 303	VCA1	51
TRCDF	269, 304	VCA2	52, 128
TRCGRA	267	VCAC	51
TRCGRB	267	VCC入力電圧のモニタ	58
TRCGRC	267	VCMP1IC	159
TRCGRC、TRCGRDレジスタの出力端子変更	292	VCMP2IC	159
TRCGRD	267	VD1LS	53
TRCIC	160	Vdet0のモニタ	58
TRCIER	264	Vdet1のモニタ	58
TRCIOR0	266, 282, 288	Vdet2のモニタ	58
TRCIOR1	266, 283, 289	VLT0	98
TRCMR	263	VLT1	99
TRCOER	270	VLT2	100
TRCPSR0	84, 272	VW0C	54
TRCPSR1	85, 273	VW1C	55
TRCSR	265	VW2C	56
TRF	313		
TRFCR0	314	【W】	
TRFCR1	315	WDTC	194
TRFIC	159	WDTR	193
TRFM0	313	WDTS	193
TRFM1	314		
TRFOUT	86, 315	【X】	
TXD、RXD入出力極性切り替え機能	370	XINクロック	133
【U】		【Z】	
U0SR	87, 330	Zフラグ	16
U1SR	87, 330		
U2BCNIC	159	【あ】	
U2BRG	349	アウトプットコンペア機能	285
U2C0	351	アウトプットコンペアモード	320
U2C1	352	アドレス一致割り込み	176
U2MR	349	アドレスレジスタ	16
U2RB	353		
U2SMR3	355	【い】	
U2SMR5	354	イベントカウンタモード	230
U2SR0	88, 355	インプットキャプチャ機能	280
U2SR1	89, 356	インプットキャプチャモード	317
U2TB	350		
U3SR	88, 331	【う】	
UART	339, 364	ウェイトモード	140
UiBRG (i=0、1、3)	326	ウェイトモード、ストップモード	629
UiC0 (i=0、1、3)	328	ウォッチドッグタイマ	191
UiC1 (i=0、1、3)	328	ウォッチドッグタイマリセット	44
UiMR (i=0、1、3)	326		
UiRB (i=0、1、3)	329	【え】	
UiTB (i=0、1、3)	327	エミュレータデバッグの注意事項	712
URXDF	354		
USB2.0ホスト/ファンクションモジュール (USB)	464	【お】	
USBADDR	496	オーバフローフラグ	17
USBINDEX	499	オプション機能選択領域	187
USBINTIC	159	オンチップオシレータクロック	134
USBLENG	500		
USBMC	523		
USBREQ	497		
USBRSMIC	159		
USBSR0	101		
USBSR1	101		
USBVAL	498		

オンチップデバッガの注意事項 .....	711	消費電力を小さくするためのポイントと処理方法 .....	629
【か】		シリアルインタフェース(UART2) .....	347
外形寸法図 .....	713	シリアルインタフェース(UARTi (i=0、1、3)) .....	324
概要 .....	1	シリアルデータ論理切り替え .....	363, 370
カウントソース .....	274	シリアルライターとオンチップデバッグエミュレータとの 接続例 .....	714
カウントソース保護モード無効時 .....	198	シンクロナスシリアルコミュニケーションユニット (SSU) .....	381
カウントソース保護モード有効時 .....	199	【す】	
カウント中のタイマ書き込み制御 .....	227, 245	スタックポインタ指定フラグ .....	17
各通信モードと端子機能 .....	395	スタティックベースレジスタ .....	16
各モードの設定と解除方法 .....	606	スLEEPモード .....	144
【き】		スLEEP受信動作 .....	436
キー入力割り込み .....	174	スLEEP送信動作 .....	433
起動要因 .....	206	スLEEPモード .....	456
機能 .....	184	【せ】	
キャリフラグ .....	16	製品一覧 .....	5
強制イレーズ機能 .....	185	ゼロフラグ .....	16
極性選択機能 .....	337	【そ】	
【く】		送信動作 .....	439
繰り返し掃引モード .....	577	ソフトウェアコマンド .....	609
繰り返しモード0 .....	572	ソフトウェアリセット .....	44
繰り返しモード1 .....	573	ソフトウェア割り込み .....	154
グループごとの相違点 .....	2	【た】	
クロック .....	629	タイマ .....	630
クロック同期形シリアルI/Oモード .....	332, 357	タイマRA .....	222
クロック同期形シリアルインタフェース .....	380, 630	タイマRB .....	239
クロック同期式シリアルフォーマット .....	438	タイマRC .....	259
クロック同期式シリアルモード .....	438	タイマRC割り込み .....	308
クロック同期式通信モード .....	396	タイマRC割り込み、シンクロナスシリアルコミュニケーション ユニット割り込み、I <sup>2</sup> Cバスインタフェース、フラッシュメモリ 割り込み(複数の割り込み要求要因を持つ割り込み) .....	178
クロック同期式通信モードの初期化 .....	396	タイマRF .....	311
クロック発生回路 .....	116	タイマ総論 .....	221
クロック非同期形シリアルI/O(UART)モード .....	339, 364	タイマモード .....	226, 244, 280, 285
【こ】		端子機能の説明 .....	13
高速オンチップオシレータクロック .....	134	単掃引モード .....	575
コールドスタート/ウォームスタート判定機能 .....	45	単発モード .....	571
コントロールデータの配置とDTCベクタテーブル .....	208	【ち】	
コンパレータB .....	581	チェイン転送 .....	215
コンパレータB1、コンパレータB3割り込み .....	587	チップ内蔵基準電圧(OCVREF) .....	569
コンパレータBiデジタルフィルタ(i=1、3) .....	586	中央演算処理装置(CPU) .....	15
【さ】		【つ】	
サインフラグ .....	16	通信エラー発生時の対処方法 .....	361, 369
サスペンド動作 .....	605	【て】	
【し】		低消費電流リードモード .....	633
システムクロック .....	136	低速オンチップオシレータクロック .....	134
周辺機能クロック .....	136	データ保護機能 .....	608
周辺機能クロックの停止 .....	629	データレジスタ .....	16
周辺機能への影響 .....	65	デジタルフィルタ .....	277
周辺機能割り込み .....	155		
受信動作 .....	440		
仕様概要 .....	3		
使用上の注意事項 .....	690		
消費電流低減機能 .....	569		
消費電力の低減 .....	629		



デバッグフラグ	16
電圧監視0リセット	43, 59
電圧監視1割り込み	60
電圧監視2割り込み	62
電圧検出回路	46, 629
電気的特性	634
電源が安定している場合	40
電源電圧の変動に関する注意事項	710
電源投入時	40
転送クロック	391, 423

【と】

動作タイミング	216
特殊割り込み	155
特長	1

【な】

内部電源の消費電力低減	630
-------------	-----

【に】

入出力端子	450, 565
-------	----------

【の】

ノイズおよびラッチアップ対策として、VCC-VSSライン間へのバイパスコンデンサ挿入	710
ノイズ除去回路	445
ノイズに関する注意	710
ノーマルモード	213

【は】

ハードウェアLIN	449
ハードウェアLIN終了処理	461
ハードウェアリセット	40
バス衝突検出機能	460
バス制御	115
発振停止検出機能	147
発振停止検出機能の使用方法	147
発振評価回路例	716
バッファ動作	275
パラレル入出力モード	624
パルス周期測定モード	235
パルス出力強制遮断	278
パルス出力モード	228
パルス幅測定モード	232
パワーオンリセット機能	42
パワーコントロール	138

【ひ】

ビットが不定になる条件	447, 704
ビット同期回路	446
ビットレート	344, 368
標準シリアル入出力モード	621
標準シリアル入出力モード禁止機能	185
標準動作モード	138
ピン配置図	9

【ふ】

フラグレジスタ	16
フラッシュメモリ	588
フラッシュメモリ書き換え禁止機能	591
フラッシュメモリの停止	632
フルステータスチェック	619
フレームベースレジスタ	16
プログラマブルウェイトワンショット発生モード	254
プログラマブル波形発生モード	247
プログラマブルワンショット発生モード	250
プログラムカウンタ	16
プロセッサ割り込み優先レベル	17
ブロック図	7
プロテクト	152

【ほ】

ポート	629
ポート制御レジスタのノイズ誤動作対策	710
ポートの設定	102

【ま】

マスタ受信動作	430
マスタ受信モード	447, 704
マスタ送信動作	428
マスタモード	453
マルチプロセッサ受信	376
マルチプロセッサ送信	375
マルチプロセッサ通信機能	372

【み】

未使用端子の処理	114
----------	-----

【め】

メモリ	18
メモリ配置	589

【も】

モード選択	380
-------	-----

【ゆ】

ユーザスタックポインタ	16
-------------	----

【よ】

用途	1
予約ビット	17

【り】

リセット	35
リセット要因判別機能	45
リピートモード	214

【れ】

レジスタ設定例	441
レジスタ退避	165
レジスタバンク指定フラグ	16
連続受信モード	338, 362

【わ】

割り込み .....	153
割り込み応答時間 .....	164
割り込み許可フラグ .....	17
割り込みシーケンス .....	163
割り込みスタックポインタ .....	16
割り込み制御 .....	162
割り込みテーブルレジスタ .....	16
割り込みと割り込みベクタ .....	156
割り込みの分類 .....	153
割り込み優先順位 .....	167
割り込み優先レベル判定回路 .....	168
割り込み要因 .....	215
割り込み要求 .....	394, 426, 462
割り込み要求受付時のIPLの変化 .....	164
割り込みルーチンからの復帰 .....	167
ワンショットトリガ選択 .....	253

## 改訂記録

R8C/34Uグループ、R8C/34Kグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2011.03.31	—	初版発行
1.00	2011.04.25	B1、B2 14 18、19 73 85、273 92 105 109 114 120 146 262、383、 414、 341 469 529 540 542 570 622 623 639、677 711	「0050h <sub>h</sub> 」 「005Bh <sub>h</sub> 」 「005Ch <sub>h</sub> 」 「005Fh <sub>h</sub> 」 「0090h ~ 0091h」 変更 表1.9 USB : 「microAB」 「microABコネクタ」 3.1、3.2 「内部ROM・・・に配置されます。」 削除 図7.10 変更 7.4.6、19.2.16 b4 ~ b6 機能 : 「011 : 設定しないでください」 「011 : P0_6に割り当てる」 7.4.18 b4 「P6_0」 「P6_0のプルアップ」 表7.16 「タイマRC設定」 変更 表7.25 「ADTRG <sub>h</sub> 」 「ADMOD」 削除 表7.46 「VREF」 追記、図7.19 「VERF」 「VREF」 9.2.2 注5 削除 図9.9 削除 19.2.1、24.2.1、25.2.1、注2 変更 表21.7 「CLK3 (P8_1)」 変更 27.2.2 b2 「リセット後の値 <sub>h</sub> 」 「R/W <sub>h</sub> 」 「LNST[1:0]ビット」 変更 表27.14 「ホスト/ファンクション(注1)」 「ホスト/ファンクション(注2)」 図27.11 「ACK受信」 「ACK送信」 27.3.3.15 「DVSTCTR0.UACTDVSTCTRn.UACT」 「DVSTCTR0.UACT」 図28.5、図28.6 「i = 0 ~ 19 <sub>h</sub> 」 「i = 0 ~ 11」 図30.18 注2 変更 表30.8 「P6_5 ~ P6_7」 「P6_0、P6_5 ~ P6_7 <sub>h</sub> 」 「P6_0、P7_6、P7_7」 「P7_6、P7_7 <sub>h</sub> 」 注1 追記 表32.5、表32.42 「測定条件」 変更 34. (4) 「またUSBを・・・としてください。」 削除

---

R8C/34Uグループ、R8C/34Kグループ ユーザーズマニュアル  
ハードウェア編

発行年月日 2011年3月31日 Rev.0.20  
2011年4月25日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部 1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

R8C/34Uグループ、R8C/34Kグループ



ルネサスエレクトロニクス株式会社

R01UH0245JJ0100