RX72M グループ

SH7214/SH7216⇒RX72M マイコン移行ガイド

要旨

本アプリケーションノートは、SH7214/SH7216 から RX72M への置き換えを行う場合の注意点、並びに相違点等を説明しています。なお、各機能の詳細な情報は最新のユーザーズマニュアル　ハードウェア編にてご確認ください。

本文中では、SH7214/SH7216 を SH7216 グループと記載し、SH7216 の仕様を代表として記載しています。その他の SH7216 グループ製品も、機能および端子の有無の違いはありますが、機能としては SH7216 と同等ですので本資料を活用いただけます。

動作確認デバイス

RX72M

目次

1. CPU アーキテクチャ 5
1.1 システムレジスタ 5
1.1.1 汎用レジスタ 5
1.1.2 制御レジスタ 6
1.2 オプション設定メモリ 9
1.2.1 オプション設定メモリの概要 9
1.2.2 エンディアンの設定 10
1.2.3 TM 識別データの設定、TM イネーブルフラグの設定 10
1.2.4 OCD（オンチップデバッガ）/ シリアルプログラマの設定 11
1.3 リセット機能 12
1.3.1 リセット要因 12
1.3.1.1 リセットベクタの構成 12
1.3.1.2 スタックポインタ 12
1.3.2 リセット要因と初期化範囲 13
1.3.3 コールドスタート/ウォームスタート判定機能 14
1.3.4 ライトプロテクション 14
1.4 クロック設定 15
1.4.1 クロック源 15
1.4.2 クロック発生回路 15
1.4.3 ライトプロテクション 15
1.5 動作モード 17
1.5.1 動作モードの比較 17
1.5.2 メモリの比較 18
1.5.3 動作モード設定 21
1.5.4 ライトプロテクション 21
1.6 プロセッサモード 22

1.7 例外処理 23
1.7.1 例外処理の種類 23
1.7.2 例外処理の優先順位 24
1.7.3 例外処理の基本処理フロー 25
1.7.4 ベクタの構成 26
1.7.5 SR（SH7216 グループ）/PSW（RX72M）の割り込みマスク 27
1.8 割り込み処理 28
1.8.1 仕様比較 28
1.8.2 割り込みフラグの管理 32
1.8.3 高速割り込み制御 33
1.8.4 デジタルフィルタ 34
1.8.5 多重割り込み 34
1.8.6 グル―プ割り込み 36
1.8.7 選択型割り込み 37

2. 内蔵機能 38
2.1 内蔵機能一覧 38
2.2 I/O ポート/ マルチファンクションピンコントローラ（MPC） 40
2.2.1 I/O ポート数 40
2.2.2 I/O 設定 41
2.3 バス 46
2.3.1 仕様比較 46
2.3.2 バスブロック図 47
2.4 データトランスファコントローラ（DTCb） 50
2.4.1 仕様比較 50
2.4.2 レジスタ比較 51
2.4.3 起動要因設定 51
2.4.4 DTC ベクタの構成 52
2.4.5 転送情報の配置 53
2.4.6 モジュールストップ 54
2.5 DMA コントローラ（DMACAa） 55
2.5.1 仕様比較 55
2.5.2 DMAC ブロック図 57
2.5.3 レジスタ比較 60
2.5.4 起動要因設定 62
2.5.5 転送回数 62
2.5.6 転送元/先について 63
2.5.7 アドレスモード 64
2.5.8 バスモード 64
2.5.9 モジュールストップ 64
2.6 マルチファンクションタイマパルスユニット 3（MTU3a） 65
2.6.1 仕様比較 65
2.6.2 割り込みフラグの扱い 66
2.6.3 レジスタ比較 67
2.6.4 モジュールストップ 70
2.7 ポートアウトプットイネーブル 3 （POE3a） 71
2.7.1 仕様比較 71

2.7.2 入出力端子 72
2.7.3 レジスタ比較 73
2.7.4 発振停止検出検知によるハイインピーダンス制御 74
2.7.5 ハイインピーダンス制御条件の追加 74
2.7.6 割り込み 74
2.8 ウォッチドッグタイマ（WDTA） 75
2.8.1 仕様比較 75
2.8.2 カウント開始条件 76
2.8.3 リフレッシュ動作 76
2.8.4 レジスタ書き込み制限 76
2.8.5 割り込み 78
2.8.6 全モジュールストップ 78
2.8.7 オプション設定 78
2.9 シリアルコミュニケーションインタフェース（SCIj, SCIi, SCIh） 79
2.9.1 仕様比較 79
2.9.2 レジスタ比較 81
2.9.3 クロックソース選択 83
2.9.4 割り込み 83
2.9.5 モジュールストップ 83
2.10 FIFO 付きシリアルコミュニケーションインタフェース（SCIF） 84
2.10.1 仕様比較 84
2.10.2 レジスタ比較 85
2.10.3 割り込み 86
2.10.4 モジュールストップ 86
2.11 シリアルペリフェラルインタフェース（RSPIc） 87
2.11.1 仕様比較 87
2.11.2 レジスタ比較 88
2.11.3 割り込み 89
2.11.4 モジュールストップ 89
2.12 I2C バスインタフェース（RIICa） 90
2.12.1 仕様比較 90
2.12.2 レジスタ比較 91
2.12.3 アドレス検出 92
2.12.4 アービトレ―ションロスト検出 93
2.12.5 バスハングアップ 93
2.12.6 SCL クロック 93
2.12.7 ノイズ除去 94
2.12.8 割り込み 94
2.12.9 モジュールストップ 94
2.13 12 ビット A/D コンバータ（S12ADFa） 95
2.13.1 仕様比較 95
2.13.2 入力チャネル 96
2.13.3 スキャン順序 96
2.13.4 動作モード 97
2.13.5 割り込み 97
2.13.6 モジュールストップ 97
2.14 CAN モジュール（CAN） 98

2.14.1 仕様比較 98
2.14.2 メールボックス 99
2.14.3 アクセプタンスフィルタ 101
2.14.4 送信優先順位 102
2.14.5 モード遷移 102
2.14.6 割り込み 103
2.14.7 モジュールストップ 103
2.15 USB2.0FS ホスト/ ファンクションモジュール(USBb) 104
2.15.1 仕様比較 104
2.16 イーサネットコントローラ（ETHERC） 105
2.16.1 仕様比較 105
2.17 コンペアマッチタイマ（CMT） 106
2.17.1 仕様比較 106
2.17.2 レジスタ比較 107
2.17.3 割り込み 107
2.17.4 モジュールストップ 108
2.18 コードフラッシュメモリ 109
2.18.1 仕様比較 109
2.19 データフラッシュ 111
2.19.1 仕様比較 111
2.20 消費電力低減機能 112
2.20.1 仕様比較 112
2.20.2 モード遷移 114
2.20.3 モジュールストップ状態 115
2.20.4 ライトプロテクション 115

3. サンプルコードについて 116

4. 参考資料 117
4.1 参考資料 117

1. CPU アーキテクチャ

1.1 システムレジスタ

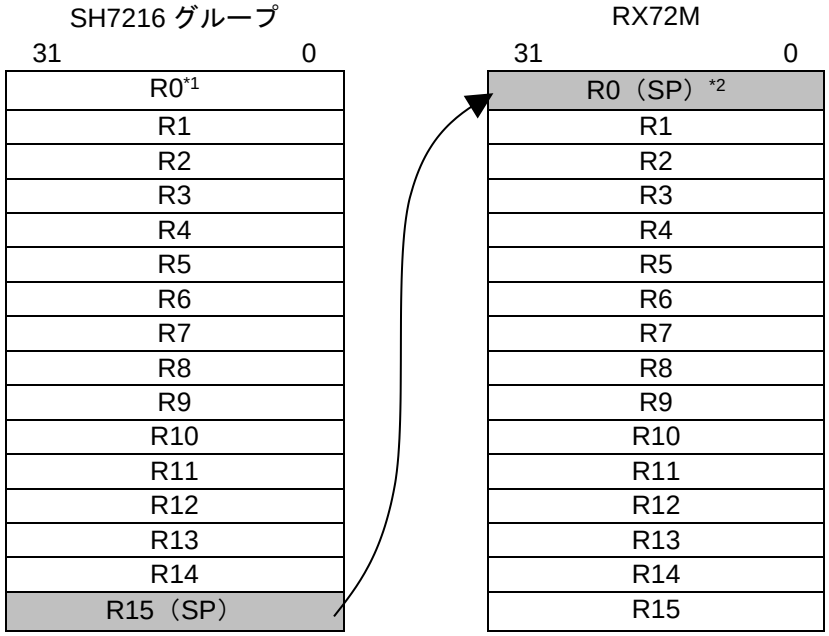
SH7216 グループ と RX72M のシステムレジスタの相違点を以下に示します。

1.1.1 汎用レジスタ

SH7216 グループ と RX72M は、ともに 32 ビット長の汎用レジスタを 16 本備えていますが、スタックポインタ（SP）として使用されるレジスタが異なります。

- SH7216 グループ　：R15
- RX72M　：R0

SH7216 グループ と RX72M の汎用レジスタを図 1.1 に示します。SH7216 グループ の R0 は、インデックスレジスタとしても使用します。



【注】 *1. インデックス付きレジスタ間接、インデックス付き GBR 間接アドレッシングモードのインデックスレジスタとしても使用します。命令によっては、ソースまたはデスティネーションレジスタを R0 に固定しているものがあります。
*2. スタックポインタ（SP）は、PSW の U ビットによって、割り込みスタックポインタ（ISP）、またはユーザスタックポインタ（USP）に切り替わります。

図 1.1 汎用レジスタ相違点

1.1.2　制御レジスタ

SH7216 グループ と RX72M の CPU レジスタ（汎用レジスタ除く）の相違点を図 1.2 に示します。

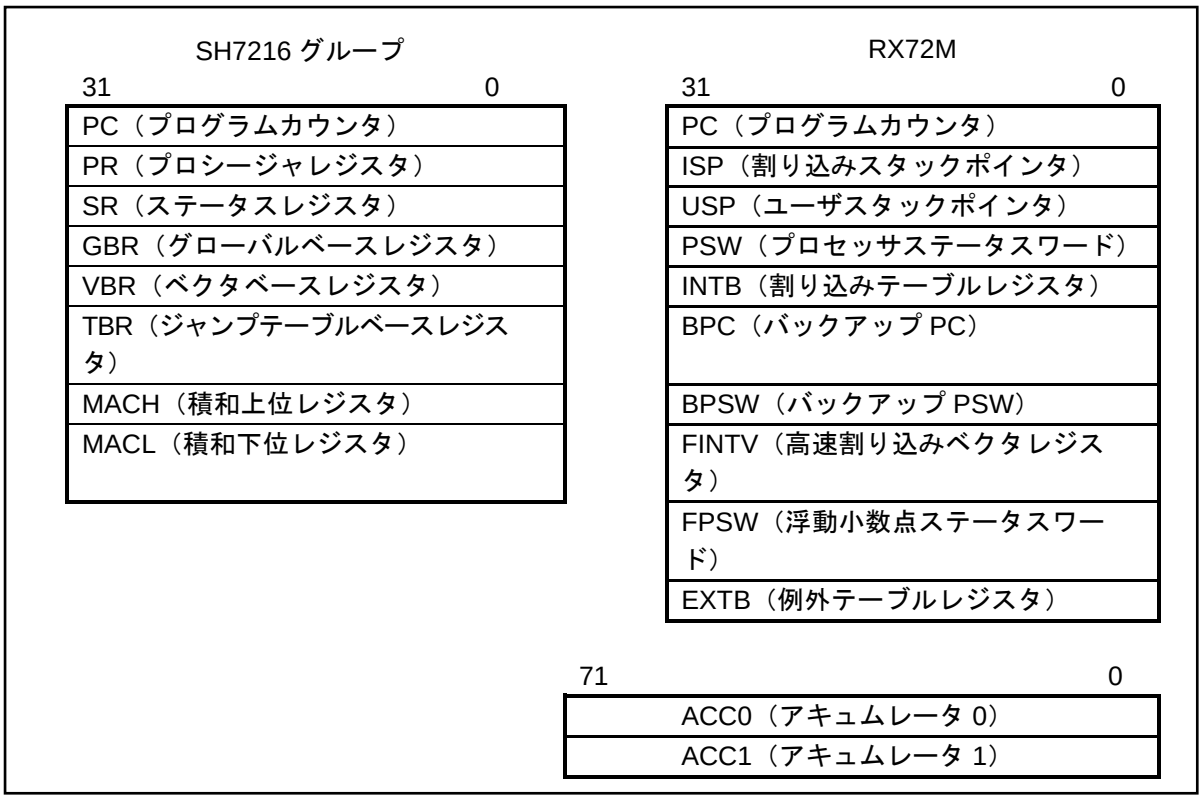


図 1.2 CPU レジスタの相違点（汎用レジスタ除く）

SH7216 グループ の PR、GBR および TBR に相当するレジスタは RX72M にはありません。SH7216 グループ の MACH および MACL に相当するレジスタとして、RX72M には ACC0 と ACC1 があります。SH7216 グループ にはない RX72M の制御レジスタについて以下に概要を示します。

表 1.1 SH7216 グループ にはない RX72M の制御レジスタ

レジスタ名	説明
割り込みスタックポインタ（ISP） ユーザスタックポインタ（USP）	RX72M は 2 種類のスタックポインタを持ちます。使用するスタックポインタ（ISP/USP）は、プロセッサステータスワード（PSW）のスタックポインタ指定ビット（U）によって切り替えられます。
割り込みテーブルレジスタ（INTB）*1	割り込みベクタテーブルの先頭アドレスを指定します。
例外テーブルレジスタ（EXTB）*1	例外ベクタテーブルの先頭アドレスを指定します。
バックアップ PC（BPC） バックアップ PSW（BPSW）	RX72M は通常割り込みと高速割り込みがあります。高速割り込みでは、PC と PSW の内容を専用レジスタ（BPC と BPSW）へ退避するため、レジスタ退避の処理時間を短縮することが可能です。
高速割り込みベクタレジスタ（FINTV）	高速割り込み発生時のジャンプ先を指定するレジスタです。
浮動小数点ステータスワード（FPSW）	RX72M 内蔵 FPU の演算結果（浮動小数点演算結果）の各種ステータスを示すレジスタです。

【注】 *1. 機能は SH7216 グループ の VBR と同等です

SH7216 グループ と RX72M のステータスレジスタの相違点を図 1.3 と表 1.2 に示します。

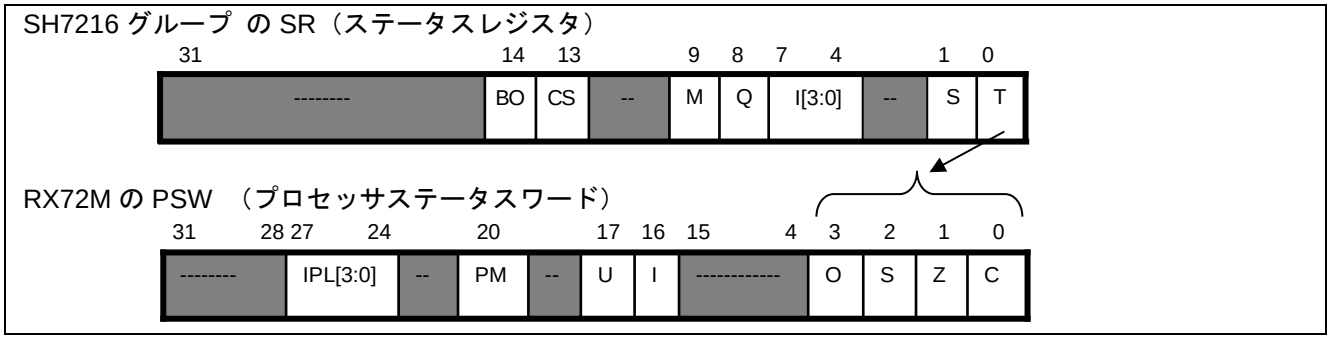


図 1.3 SR（SH7216 グループ）と PSW（RX72M）の相違点

表 1.2 SR（SH7216 グループ）と PSW（RX72M）の相違点

SH ビット名	RX ビット名	説明
T	C Z S O	SH7216 グループ の T ビットで示される演算結果（真偽やキャリ等）は、RX72M では C, Z, S, O の 4 つのフラグで示されます。 C：キャリフラグ（0/1 = キャリ発生なし/キャリ発生あり） Z：ゼロフラグ S：サイン O：オーバフローフラグ
S	—	SH7216 グループ の DSP ユニットで実行される ALU 算術演算におけるオーバフロー防止機能を制御します。 RX72M には S ビットに相当するビットはなく、浮動小数点演算でのオーバフロー発生時は FPSW のフラグで通知されます。またオーバフロー発生時に例外処理を行うことも可能です。
I[3:0]	IPL[3:0]	割り込みマスクビットです。 SH7216 グループ、RX72M 共に 0（最低）～15（最高）レベルが設定可能で、この設定よりも優先レベルが高い割り込みだけが受け付けられます。
Q	—	SH7216 グループ の Q ビットは DIV0U、DIV0S、DIV1 命令で使用しますが、RX72M には相当するビットはありません。
M	—	SH7216 グループ の M ビットは DIV0U、DIV0S、DIV1 命令で使用しますが、RX72M には相当するビットはありません。
CS	—	SH7216 グループ の CS ビットは CLIP 命令で使用しますが、RX72M には相当するビットはありません。
BO	—	SH7216 グループ の BO ビットはレジスタバンクのオーバフローを示しますが、RX72M には相当するビットはありません。
—	I	割り込み許可ビット 0：割り込みを許可しない 1：割り込みを許可する RX72M で割り込み要求の受け付けを許可するビットです。初期状態は“0”のため、割り込みを受け付ける場合は本ビットを“1”に設定する必要があります。WAIT 命令を受け付けると“1”になり、例外を受け付けると“0”になります。 このビットの設定に関係なく、割り込み要求発生時は、割り込みコントローラの割り込みステータスフラグはリセットされます。

SH ビット名	RX ビット名	説明
—	U	RX72M で使用するスタックポインタを指定するビットです。 0：割り込みスタックポインタ（ISP） 1：ユーザスタックポインタ（USP） 例外を受け付けると、このビットは“0”になります。スーパバイザモードからユーザモードに移行すると、このビットは“1”になります。
—	PM	RX72M でプロセッサモードを設定するビットです。 0：スーパバイザモード 1：ユーザモード 例外を受け付けると、このビットは“0”になります。

1.2 オプション設定メモリ

RX72M には、エンディアンやウォッチドッグタイマ動作等、リセット後のマイコンの状態を選択するレジスタを備えたオプション設定メモリがあります。オプション設定メモリは、フラッシュメモリのコンフィギュレータ設定領域とユーザブート領域にあり、領域ごとに設定方法が異なります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

1.2.1 オプション設定メモリの概要

オプション設定メモリ領域の概要を図 1.4 に示します。

アドレス	レジスタ名	レジスタの概要
FE7F 5D00h～FE7F 5D03h	エンディアン選択レジスタ（MDE）	CPU のエンディアンの設定
FE7F 5D04h～FE7F 5D07h	オプション機能選択レジスタ 0(OFS0)	ウォッチドックタイマの各種設定
FE7F 5D08h～FE7F 5D0Bh	オプション機能選択レジスタ 1(OFS1)	電圧検出機能等の設定
FE7F 5D0Ch～FE7F 5D0Fh	予約領域	—
FE7F 5D10h～FE7F 5D13h	TM 識別データレジスタ（TMINF)	TM 対象領域に格納しているプログラムを識別できるコード格納などにご使用可能な領域
FE7F 5D14h～FE7F 5D1Fh	予約領域	—
FE7F 5D20h～FE7F 5D23h	バンク選択レジスタ（BANKSEL)	コードフラッシュメモリがデュアルモードのときにプログラムの起動バンクを選択
FE7F 5D24h～FE7F 5D3Fh	予約領域	–
FE7F 5D40h～FE7F 5D43h	シリアルプログラマコマンド制御レジスタ（SPCC）	シリアルプログラマ接続の許可／ 禁止を設定
FE7F 5D44h～FE7F 5D47h	予約領域	—
FE7F 5D48h～FE7F 5D4Bh	TM イネーブルフラグレジスタ（TMEF）	コードフラッシュメモリに対す TM 機能の有効/無効を設定
FE7F 5D4Ch～FE7F 5D4Fh	予約領域	—
FE7F 5D50h～FE7F 5D5Fh	OCD/シリアルプログラマID設定レジスタ（OSIS）	OCD/ シリアルプログラマの ID コードプロテクトに使用する制御コード、または ID コードを格納
FE7F 5D60h～FE7F 5D63h	予約領域	—
FE7F 5D64h～FE7F 5D67h	フラッシュアクセスウィンドウ設定レジスタ（FAW）	書き込みプロテクションビットとスタートアップ領域選択ビットを設定
FE7F 5D68h～FE7F 5D6Fh	予約領域	—
FE7F 5D70h～FE7F 5D73h	ROM コードプロテクトレジスタ（ROMCODE）	フラッシュメモリのリード、プログラム、イレーズを禁止
FE7F 5D74h～FE7F 5D7Fh	予約領域	–

図 1.4 RX72M オプション設定メモリ領域

1.2.2　エンディアンの設定

SH7216 グループ は、ビッグエンディアン固定です。RX72M は、命令はリトルエンディアン固定、データ配置はリトルエンディアン、ビッグエンディアンから選択できます。このエンディアン設定は、オプション設定メモリの MDE レジスタのエンディアン選択ビット MDE[2:0]で設定します。

SH7216 グループ から RX72M に置き換える際にビッグエンディアンを使用する場合、ルネサス純正コンパイラのオプション設定でビッグエンディアンを指定することができ、プログラム上でエンディアンを意識せずに移行可能です。

外部アドレス空間では、CS 領域ごとにエンディアン設定を切り替えられます。但し、外部空間のエンディアン設定が MCU のエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、MCU のエンディアンと同じエンディアン設定の領域に配置してください。詳細はユーザーズマニュアル ハードウェア編を参照してください。

コンパイラオプションによるエンディアン設定を図 1.5 に示します。

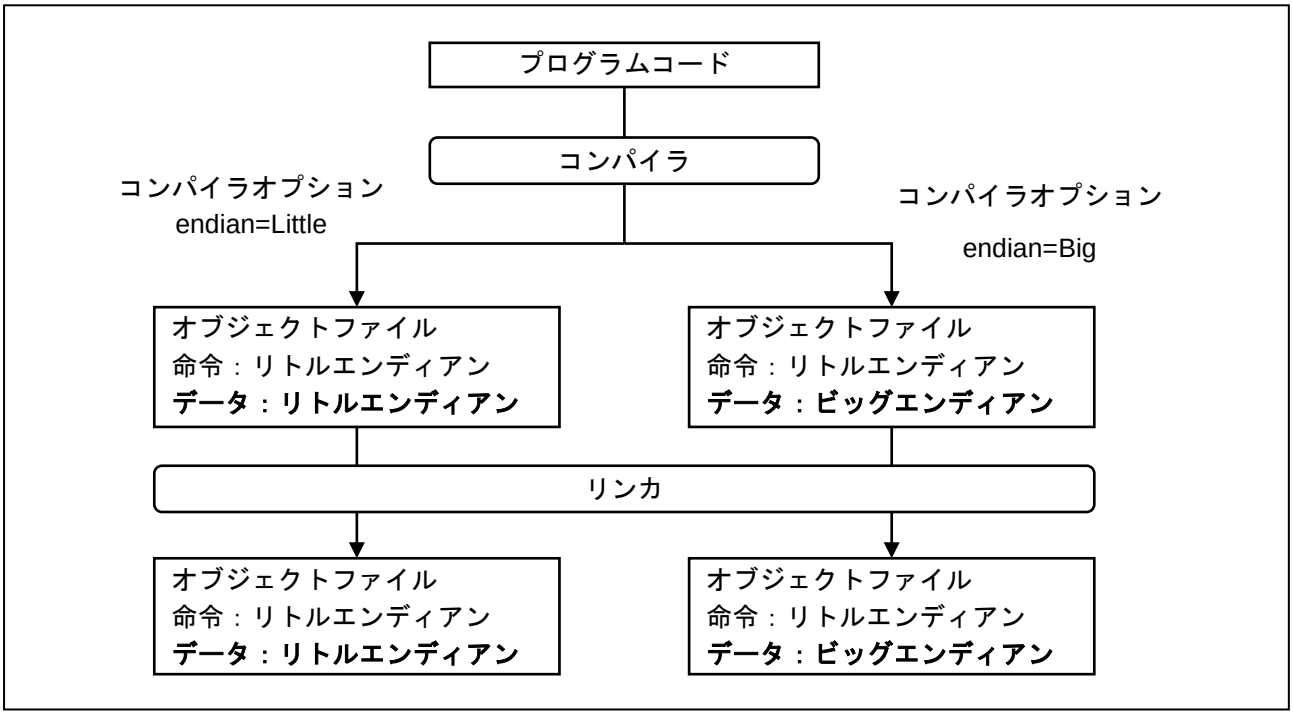


図 1.5 RX72M コンパイラオプションによるエンディアン指定

1.2.3　TM 識別データの設定、TM イネーブルフラグの設定

RX72M は、コードフラッシュメモリ上のブロック 8, 9 に第三者によるソフトウェアのリード防止機能として、Trusted Memory（本書では TM と呼びます）機能を搭載しています。TM 機能は、内蔵フラッシュメモリ等マイコン内部からも一部特定領域にあるコードの読み出しを不可能とし、命令実行のみを可能とします。

暗号アルゴリズム処理のプログラム、ノウハウを伴う機器制御処理プログラムや有償のミドルウェアなどを格納するのに適しています。

1.2.4 OCD（オンチップデバッガ）/ シリアルプログラマの設定

RX72M は、OCD（オンチップデバッガ）やシリアルプログラマのアクセス制限を設けることができます。シリアルプログラマを完全に接続禁止とする場合、SPCC レジスタの SPE ビットで制御します。

OCD/ シリアルプログラマを接続許可とする場合、オプション設定上に書きこんだ ID コードの判定によるプロテクト処理を行うことができます。OCD/ シリアルプログラマから送られてくるコードと、オプション設定メモリ上の ID コードの一致を判定します。ID コードが一致した場合は OCD/ シリアルプログラマとの接続を許可しますが、一致しない場合は OCD/ シリアルプログラマとの接続はできません。OCD/ シリアルプログラマの ID コードは、OSIS レジスタに格納します。

1.3　リセット機能

1.3.1　リセット要因

SH7216 グループ と RX72M のリセット要因を表 1.3 に示します。

表 1.3 リセット要因

項目	SH7216 グループ	RX72M
リセット種別	● パワーオンリセット （RES# 端子リセット/H-UDI リセットアサートコマンド/WDT オーバフロー） ● マニュアルリセット （MRES# 端子リセット/WDT オーバフロー）	● RES# 端子リセット ● パワーオンリセット（内部リセット） ● 電圧監視 0 リセット ● 電圧監視 1 リセット ● 電圧監視 2 リセット ● ディープソフトウェアスタンバイリセット ● 独立ウォッチドッグタイマリセット ● ウォッチドッグタイマリセット ● ソフトウェアリセット

1.3.1.1　リセットベクタの構成

SH7216 グループはパワーオンリセット用とマニュアルリセット用のベクタ*1（PC および SP）が別々に存在します。

RX72M は複数のリセット要因に対して、リセットベクタはひとつです。リセット処理内でリセットステータスレジスタ 0～2 にてリセット要因判定を行い、要因別の処理を行います。

1.3.1.2　スタックポインタ

SH7216 グループではリセットベクタにスタック領域の最後尾（+1）の番地を設定する必要があります。RX72M では、ベクタテーブルにスタックポインタの設定領域がないため、ISP と USP に設定する必要があります。

【注】 *1. ベクタテーブルに関しては、1.7.4 章ベクタの構成を参照

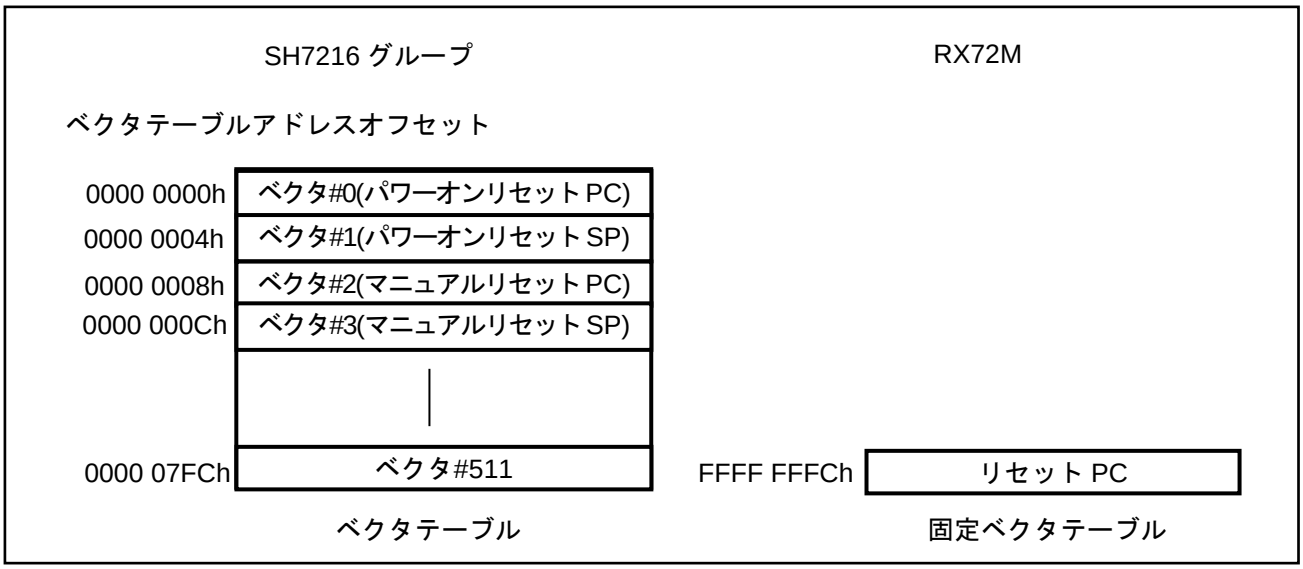


図 1.6 リセットベクタ比較

1.3.2 リセット要因と初期化範囲

SH7216 グループ と RX72M ではリセット要因に対する初期化範囲が異なります。SH7216 グループ のリセット要因と初期化範囲を表 1.4 に、RX72M のリセット要因と初期化範囲を表 1.5 に示します。詳細はユーザーズマニュアル ハードウェア編を参照してください。

表 1.4 SH7216 グループ リセット要因と初期化範囲

項目		CPU FPU	内蔵周辺モジュール、 I/O ポート	WDT の WRCSR、 CPG の FRQCR
パワーオン リセット	RES# 端子リセット	○	○	○
	H-UDI コマンド	○	○	○
	WDT オーバフロー	○	○	—
マニュアル リセット	MRES# 端子リセット	○	—*1	—
	WDT オーバフロー	○	—*1	—

○：初期化する　　ー：初期化しない

【注】 *1 INTC の IBNR の BN ビットは初期化する

表 1.5 RX72M リセット要因と初期化範囲

リセット対象	リセット要因								
	RES#端子リセット	パワーオンリセット	電圧監視0リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視1リセット	電圧監視2リセット	ディープソフトウェアスタンバイリセット	ソフトウェアリセット
パワーオンリセット検出フラグ	○	−	−	−	−	−	−	−	−
コールドスタート/ ウォームスタート判別フラグ	−	○	−	−	−	−	−	−	−
電圧監視0リセット検出フラグ	○	○	−	−	−	−	−	−	−
独立ウォッチドッグタイマ リセット検出フラグ	○	○	○	−	−	−	−	○	−
独立ウォッチドッグタイマのレジスタ	○	○	○	−	−	−	−	○	−
ウォッチドッグタイマ リセット検出フラグ	○	○	○	○	−	−	−	○	−
ウォッチドッグタイマのレジスタ	○	○	○	○	−	−	−	○	−
電圧監視1リセット検出フラグ	○	○	○	○	○	−	−	−	−
電圧監視機能1のレジスタ	○	○	○	○	○	−	−	*1	−
電圧監視2リセット検出フラグ	○	○	○	○	○	○	−	−	−
電圧監視機能2のレジスタ	○	○	○	○	○	○	−	*2	−
ディープソフトウェアスタンバイ リセット検出フラグ	○	○	○	○	○	○	○	−	−
ソフトウェアリセット検出フラグ	○	○	○	○	○	○	○	○	−
リアルタイムクロックのレジスタ*3	−	−	−	−	−	−	−	−	−
高速オンチップオシレータ関連の レジスタ	○	○	○	○	○	○	○	−	○
メインクロック発振器関連のレジスタ	○	○	○	○	○	○	○	−	○
端子の状態	○	○	○	○	○	○	○	−	○
消費電力低減機能関連のレジスタ*4	○	○	○	○	○	○	○	−	○
上記以外のレジスタ、 CPUおよび内部状態	○	○	○	○	○	○	○	○	○

○：初期化する　　ー：初期化しない

【注】 *1. LVD1CR1、LVD1SR のみ初期化する
*2. LVD2CR1、LVD2SR のみ初期化する
*3. 一部の制御ビットは、すべてのリセットで初期化する
*4. DPSBKRy レジスタは、いずれのリセットでも初期化しない

1.3.3　コールドスタート/ウォームスタート判定機能

RX72M には電源が投入された時のリセット処理（コールドスタート）か、動作中にリセット信号が入力された時のリセット処理（ウォームスタート）かの判定をすることができます。

外部電圧 VCC が閾値を超えるパワーオンリセットが発生すると、コールドスタート/ウォームスタート判別フラグ（RSTSR1.CWSF）を’0’に設定しコールドスタート状態を示します。その他のリセットを行っても’0’にはならないため、プログラムで’1’を書き込むことでウォームスタート状態を設定します。

1.3.4　ライトプロテクション

RX72M にはプログラムが暴走した時に備え、重要なレジスタを書き換えられないように保護する、レジスタライトプロテクション機能で保護されており、ソフトウェアリセットレジスタはこれに該当します。

レジスタ書き込み時は、必要に応じてプロテクトビット 1（PRCR.PRC1）を’1’に設定し、書き込みを許可してください。

1.4　クロック設定

1.4.1　クロック源

SH7216 グループ と RX72M のクロック源一覧を表 1.6 に示します。

表 1.6 クロック源一覧

SH7216 グループ	RX72M
発振器（EXTAL, XTAL）＋PLL 回路 USB 用発振器（USBEXTAL, USBXTAL）*1	メインクロック発振器（EXTAL, XTAL）＋PLL 回路 サブクロック発振器（XCIN, XCOUT） 高速オンチップオシレータ（HOCO）＋PLL 回路 低速オンチップオシレータ（LOCO） IWDT 専用オンチップオシレータ

以降、高速オンチップオシレータは HOCO、低速オンチップオシレータは LOCO と記載します。

*1：RX72M では USB 用発振器はありませんが、メインクロック発振器 または高速オンチップオシレータで USB へのクロック供給が可能です。

1.4.2　クロック発生回路

SH7216 グループ は分周器の設定および発振停止検出制御をソフトウェアで行います。RX72M は多様なクロック制御をソフトウェアで行います。

RX72M はリセット後、LOCO をクロックソースとして動作します。システムの初期化において、LOCO 以外の必要なクロックソースおよび PLL を動作させ、システムクロックやバスクロックをはじめとする各種クロックを選択します。クロック関連の設定を変更する場合はレジスタ設定順序と、発振およびクロック発振安定時間を考慮する必要があります。

クロック設定手順の詳細については以下のアプリケーションノートを参照してください。

- RX72M グループ初期設定例（R01AN4530JJ）

1.4.3　ライトプロテクション

RX にはプログラムが暴走した時に備え、重要なレジスタを書き換えられないように保護する、レジスタライトプロテクション機能で保護されており、クロック発生回路関連レジスタはこれに該当します。

レジスタ書き込み時は、必要に応じてプロテクトビット 0（PRCR.PRC0）またはプロテクトビット 1（PRCR.PRC1）を'1'に設定し、書き込みを許可してください。

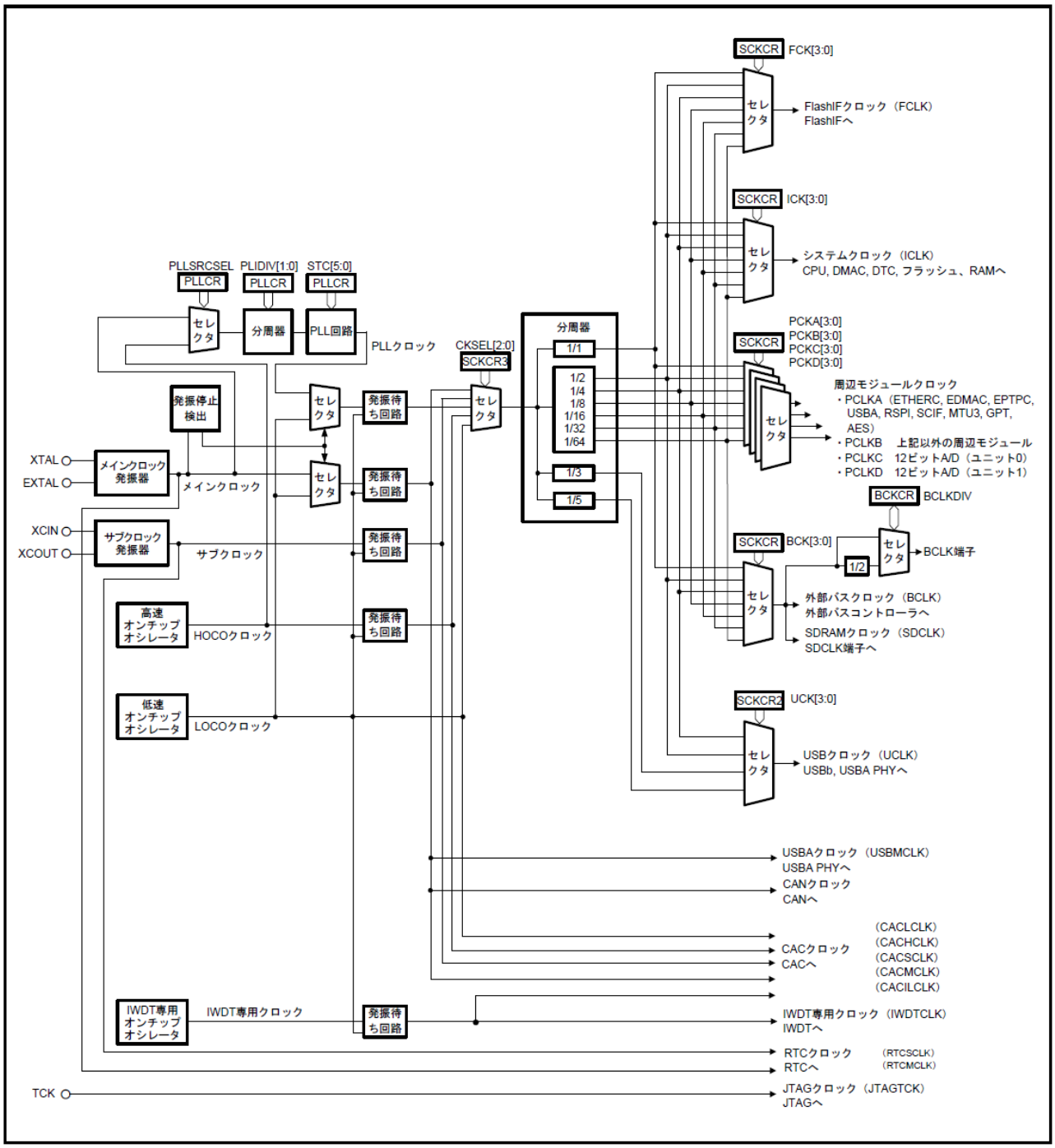


図 1.7 RX72M クロック発生回路のブロック図

1.5 動作モード

1.5.1 動作モードの比較

SH7216 グループ と RX72M の動作モードの比較を表 1.7 に示します。各動作モードの詳細はユーザーズマニュアル ハードウェア編を参照してください。

表 1.7 動作モードの比較

SH7216 グループ	RX72M	モードの説明
MCU 拡張モード 0	内蔵 ROM 無効拡張モード	内蔵 ROM 無効で外部アドレス空間が有効な動作モード SH7216 グループ のモード 0 とモード 1 は外部バス幅の違い
MCU 拡張モード 1		
MCU 拡張モード 2	内蔵 ROM 有効拡張モード	内蔵 ROM 有効で外部アドレス空間も有効な動作モード
シングルチップモード	シングルチップモード	内蔵 ROM 有効で外部アドレス空間が無効な動作モード
ブートモード	ブートモード （SCI インタフェース） （FINE インタフェース）	MCU 内部の専用領域に格納された、フラッシュ書き替えプログラム（ブートプログラム）が動作するモード 調歩同期式シリアルインタフェースを使用して、MCU 外部から内蔵 ROM を書き換えることができる
USB ブートモード	ブートモード （USB インタフェース）	MCU 内部の専用領域に格納された、フラッシュ書き替えプログラム（ブートプログラム）が動作するモード USB を使用して、MCU 外部から内蔵 ROM を書き換えることができる
ユーザブートモード	—	MCU 内部の専用領域にユーザが任意で書き込んだフラッシュ書き替えプログラム（ユーザブートプログラム）が動作するモード。
ユーザプログラムモード	シングルチップモード	FWE 端子値の設定変更のみで遷移し、あらかじめユーザが用意した、書き込み/消去制御プログラムで内蔵フラッシュメモリを書き換えるモード。RX72M もシングルチップモード時にこれと同等の機能を実現可能だが、端子の変更は不要。

1.5.2　メモリの比較

内蔵 ROM 有効モードでのメモリマップの比較を図 1.8 に示します。

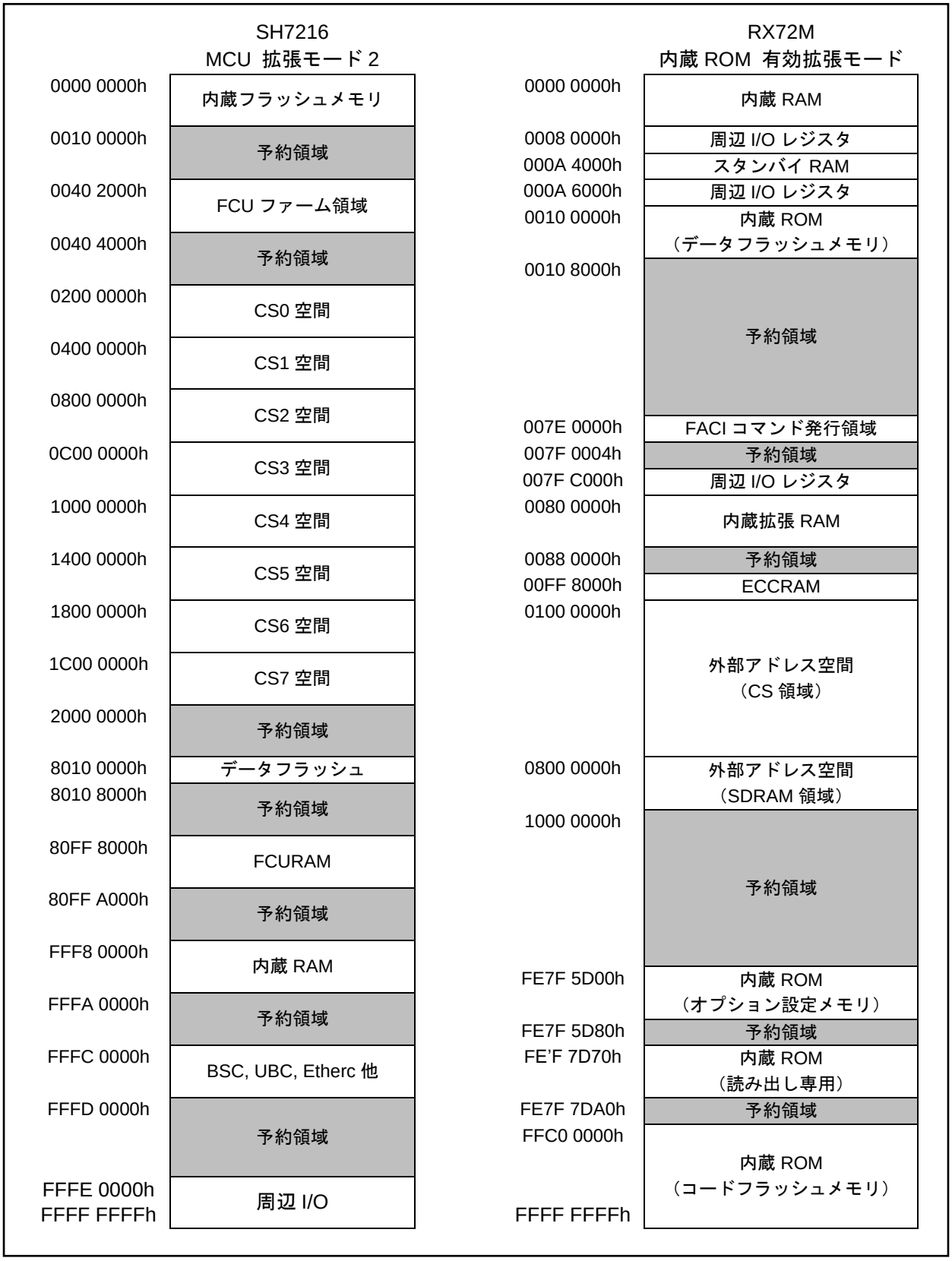


図 1.8 メモリマップ比較（内蔵 ROM 有効モード）

シングルチップモードでのメモリマップの比較を図 1.9 に示します。

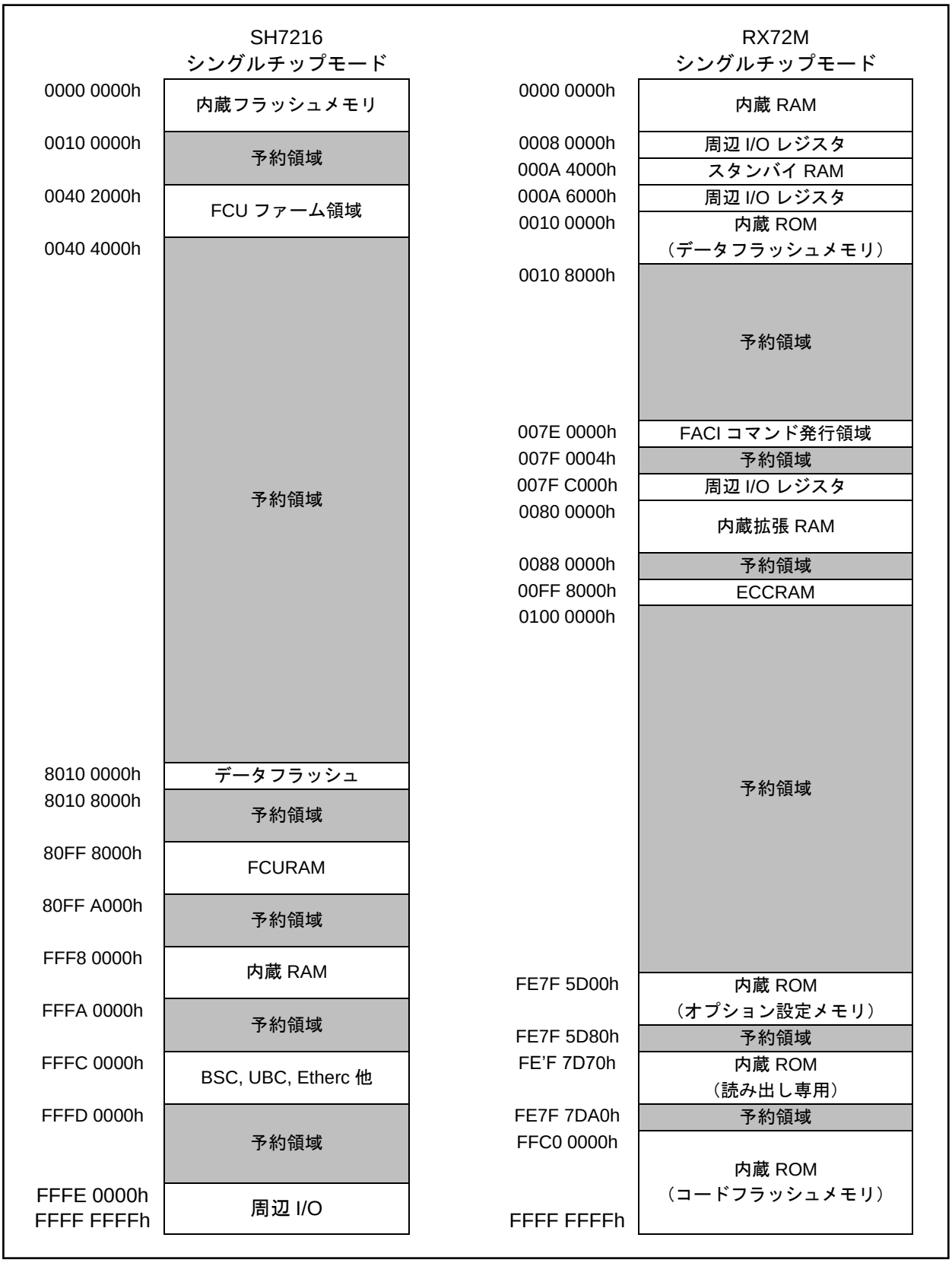


図 1.9 メモリマップ比較（シングルチップモード）

内蔵 ROM 無効モードでのメモリマップの比較を図 1.10 に示します。

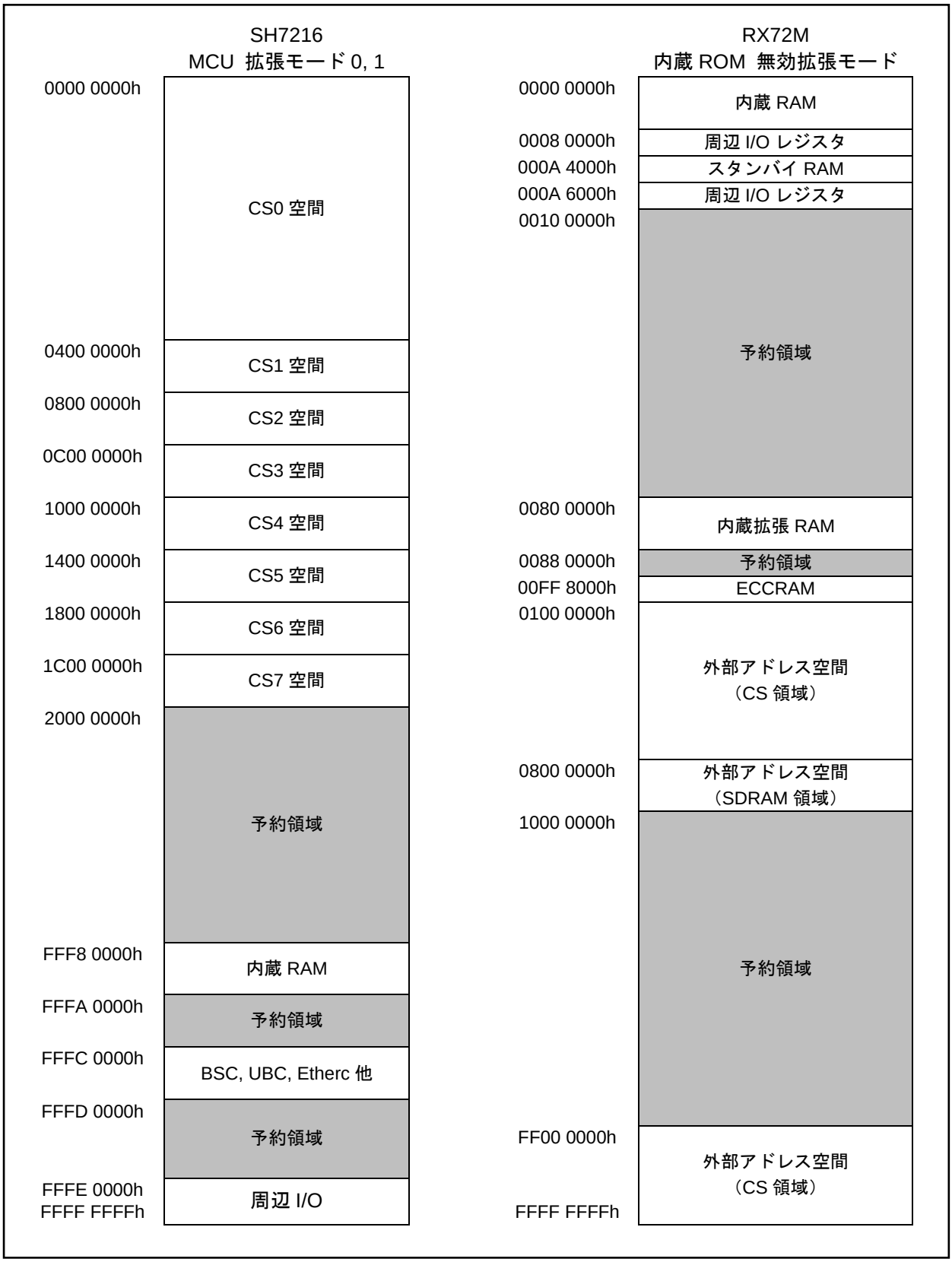


図 1.10 メモリマップ比較（内蔵 ROM 無効モード）

- RX72M では RAM が“0000 0000h”番地側、ROM（読み出し用）が“FFFF FFFFh”番地側に配置されています。
- RX72M では周辺 I/O レジスタは“0008 0000h”～“000A 3FFFh” および“000A 6000h”～“000F FFFFh” に配置されており、フラッシュ関連のレジスタのみ“007F E000h”～“007F FFFFh” に配置されています。
- RX72M では外部アドレス空間は“0100 0000h”～“0FFF FFFFh” および“FF00 0000h”～“FFFF FFFFh” に配置されており、16M バイトの最大 8 つの CS 空間と 128M バイトの SDRAM 空間で構成されます。内蔵 ROM 有効拡張モード時は“FF00 0000h”～“FFFF FFFFh”の CS0 領域は無効となります

1.5.3　動作モード設定

SH7216 グループ の動作モード設定は MD1、MD0 および FWE 端子設定のみで行うのに対し、RX72M の動作モード設定は、MD および UB 端子のリセット解除時の状態によって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

端子設定により決まる動作モードを表 1.8 に、リセット解除後にソフトウェアにより設定する動作モードを表 1.9 に示します。

表 1.8 RX72M 設定端子と動作モード

端子		動作モード
MD	UB	
High	—	シングルチップモード
Low	Low	ブートモード（SCI インタフェース）
	High	ブートモード（USB インタフェース）
Low → High*1	Low	ブートモード(FINE インタフェース)

【注】 *1. MD 端子を Low でリセット解除後、20～100msec の間に High へ切り替えてください

表 1.9 RX72M SYSCR0 レジスタ設定と動作モード

SYSCR0 レジスタ		動作モード名
ROME ビット*1	EXBE ビット	
0 （内蔵 ROM 無効）	0 （外部バス無効）	シングルチップモード
1 （内蔵 ROM 有効）*2	0 （外部バス無効）*2	
0 （内蔵 ROM 無効）	1 （外部バス有効）	内蔵 ROM 無効拡張モード
1 （内蔵 ROM 有効）	1 （外部バス有効）	内蔵 ROM 有効拡張モード

【注】 *1. 一旦 ROME ビットを 0 にすると 1 に戻すことはできません
*2. STSCR0 レジスタのリセット後の値は ROME = 1、EXBE = 0

1.5.4　ライトプロテクション

RX72M にはプログラムが暴走した時に備え、重要なレジスタを書き換えられないように保護する、レジスタライトプロテクション機能で保護されており、動作モード関連レジスタはこれに該当します。

レジスタ書き込み時は、必要に応じてプロテクトビット 1（PRCR.PRC1）を’1’に設定し、書き込みを許可してください。

1.6　プロセッサモード

RX72M には、スーパバイザモードとユーザモードの 2 つのプロセッサモードがあります。このプロセッモードを使用することで、CPU リソースに対する階層的な保護機構を実現可能です。

表 1.10 RX72M プロセッサモード

プロセッサモード	移行条件	概要
スーパバイザモード	● リセット解除 ● 例外の発生 （PSW.PM ビットが“0”に変化） 例外が発生するとスーパバイザモードへ移行しますが、例外処理から復帰すると例外発生前のプロセッサモードに戻ります。	すべての CPU リソースにアクセスでき、すべての命令を実行できる（制限なし） 通常は、OS 等のシステムプログラムを動作させるモード
ユーザモード	● PSW.PM ビットに“1”を設定 但し、この時はスタックに退避した PSW.PM ビットを“1”にした後、RTE 命令を実行、または BPSW に退避した PSW.PM ビットを“1”にした後、RTFI 命令を実行	PSW の一部のビットや BPC、BPSW など、一部の CPU リソースへのライトアクセスが制限され、特権命令も使用できない 通常は、アプリケーションプログラム等のユーザプログラムを動作させるモード

スーパバイザモード⇒ユーザモード移行方法

RX ファミリ用 C/C++コンパイラパッケージでは、ユーザモードへの切り替えを行う組み込み関数 chg_pmusr()[*1] を用意しています。

組み込み関数は C ソースに記述することができ、出力コードは通常の呼び出しを行わず、対応するアセンブラを出力します。

【注】 *1. RX ファミリ用 C/C++コンパイラパッケージ V2.05.00 以降は__chg_pmusr() 関数も使用可能

図 1.11 プロセッサモード設定例（ユーザモード）

ユーザモード⇒スーパバイザモード移行方法

INT 命令、BRK 命令により無条件トラップを発生させることで、例外が発生します。例外処理中はスーパバイザモードに移行します。

図 1.12 プロセッサモード設定例（スーパバイザモード）

1.7 例外処理

SH7216 グループ と RX72M の割り込みを含む例外処理全般の相違点を以下に示します。

1.7.1 例外処理の種類

SH7216 グループ と RX72M の例外要因の比較を表 1.11 に示します。

表 1.11 例外要因比較

SH7216 グループ	RX72M	主な相違点
パワーオンリセット マニュアルリセット	リセット	RX72M はリセットベクタが一つであり、リセット割り込み処理内でリセットステータスレジスタ 0～2 を確認し、リセット要因を判別して適切な処理を行う
アドレスエラー	アドレス例外	SH7216 では、アクセス禁止領域へのアクセス、ワード、ロングワード、ダブルロングワードデータに対してそれぞれ境界以外からのアクセスしたとき、シングルチップモード時に外部メモリアクセスしたときに発生 RX72M は 32 ビット境界アドレス以外に対して 64 ビットオペランドアクセスした場合に発生 アクセス禁止領域へのアクセス検出はメモリプロテクションユニットで行う SH7216 では、本例外発生時は次命令の PC を退避 RX72M では、例外発生命令の PC を退避
割り込み（NMI）	ノンマスカブル割り込み	RX72M はマスカブル割り込みとノンマスカブル割り込みで別のベクタテーブルをもつ
割り込み（外部/内部）	割り込み（外部/内部）	RX72M は高速割り込みもあり（レベル 15）
レジスタバンクエラー	—	—
トラップ命令（TRAPA 命令）	無条件トラップ（INT、BRK 命令）	SH7216 グループ は 32 要因、RX72M は専用ベクタ 16 要因（割り込みと兼用も含めると最大 256 要因）
一般不当命令 スロット不当命令	未定義命令例外	SH7216 では遅延分岐直後（遅延スロット）以外にある未定義コードがデコードされると一般不透明例が、遅延分岐命令直後（遅延スロット）に配置された未定義コード、ＰＣを書き換える命令、３２ビット命令、ＲＥＳＢＡＮＫ命令、ＤＩＶＳ命令またはＤＩＶＵ命令がデコードされると発生する。 RX72M では未定義命令の実行を検出した場合に未定義命令例外が発生する。
整数除算命令	—	RX72M は整数除算命令の例外はない
浮動小数点演算命令	単精度浮動小数点例外	なし
—	特権命令例外	ユーザモードで特権命令検出時に発生 該当例外は SH7216 グループ にはない

1.7.2　例外処理の優先順位

SH7216 グループ と RX72M の例外要因に対する優先順位の比較を表 1.12 に示します。

表 1.12 例外事象優先順位

優先順位*1	SH7216 グループ	RX72M
高い	パワーオンリセット	リセット
↑	マニュアルリセット	ノンマスカブル割り込み
	アドレスエラー	割り込み
	浮動小数点演算命令、整数除算命令	アクセス例外（命令アクセス例外）
	レジスタバンクエラー	未定義命令例外、特権命令例外
	割り込み	無条件トラップ
	トラップ命令	アドレス例外
	一般不当命令	アクセス例外 (オペランドアクセス例外)
低い	スロット不当命令	単精度浮動小数点例外

【注】 *1. 割り込みの内の優先順位は割り込みコントローラにより決定します

割り込みは、SH7216 グループ では優先順位が低いのに対し、RX72M では優先順位が高いことに注意してください。

1.7.3 例外処理の基本処理フロー

SH7216 グループ と RX72M の割り込み例外処理フローを図 1.13 に示します。

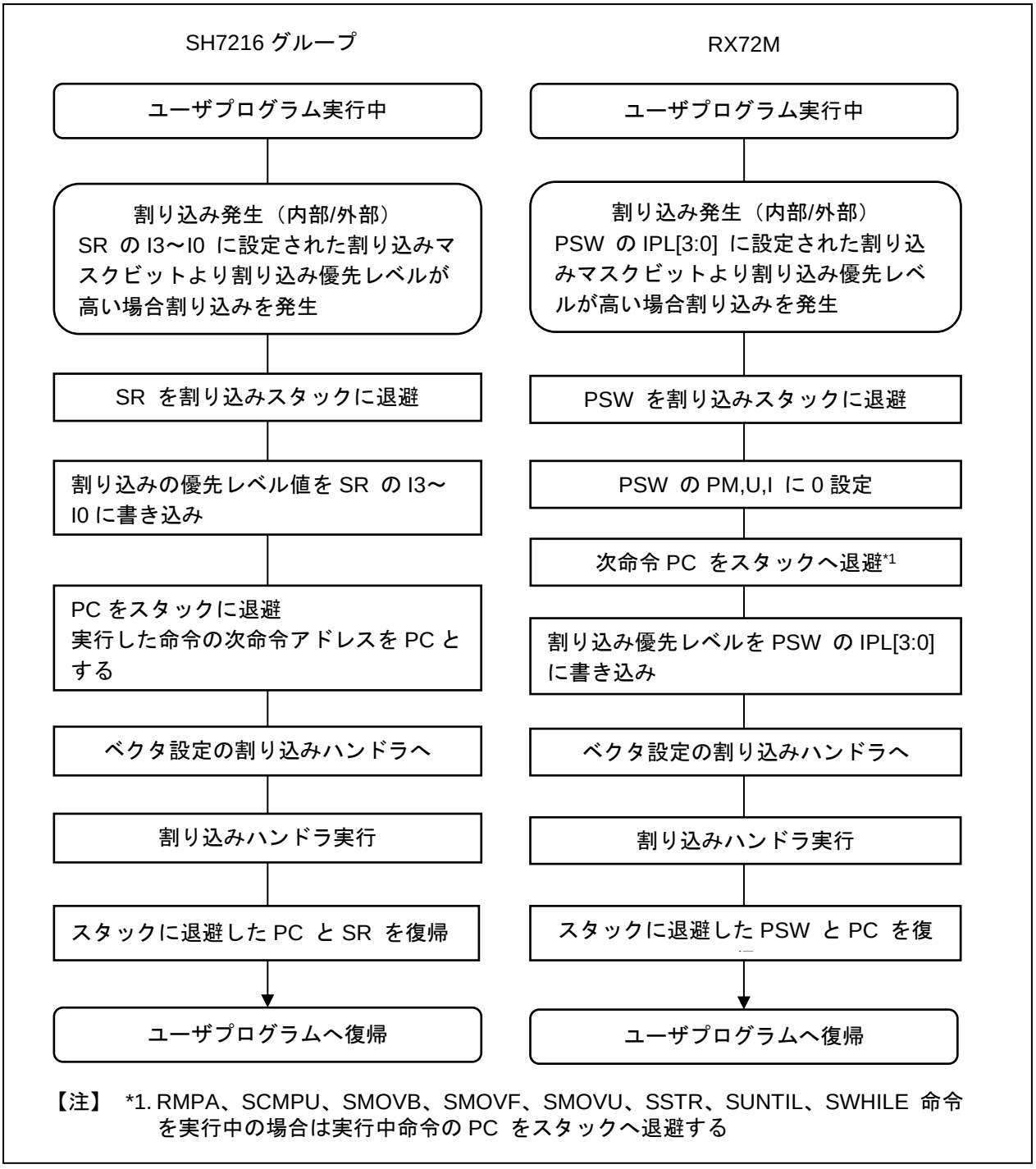


図 1.13 割り込み（内部/外部）処理フロー

1.7.4　ベクタの構成

SH7216 グループ、RX72M ともに可変ベクタ構成となっており、ベクタテーブルを再配置することが可能です。

SH7216 グループ の VBR（ベクタベースレジスタ）はベクタテーブルの先頭を指し示します。（但し VBR はリセット時に 0 に初期化されるため、リセットベクタは変更できません）

RX72M の INTB（割り込みテーブルレジスタ）は割り込みベクタテーブルの先頭を指し示し、EXTB（例外テーブルレジスタ）は例外ベクタテーブルの先頭を指し示します。割り込みベクタテーブルには、再配置可能な割り込みおよび無条件トラップが割りつけられています。例外ベクタテーブルには、システム例外が割りつけられています。RX72M のリセットは固定ベクタです。なお、高速割り込みのベクタアドレスは FINTV レジスタに設定します。ベクタテーブルの違いを図 1.14 に示します。

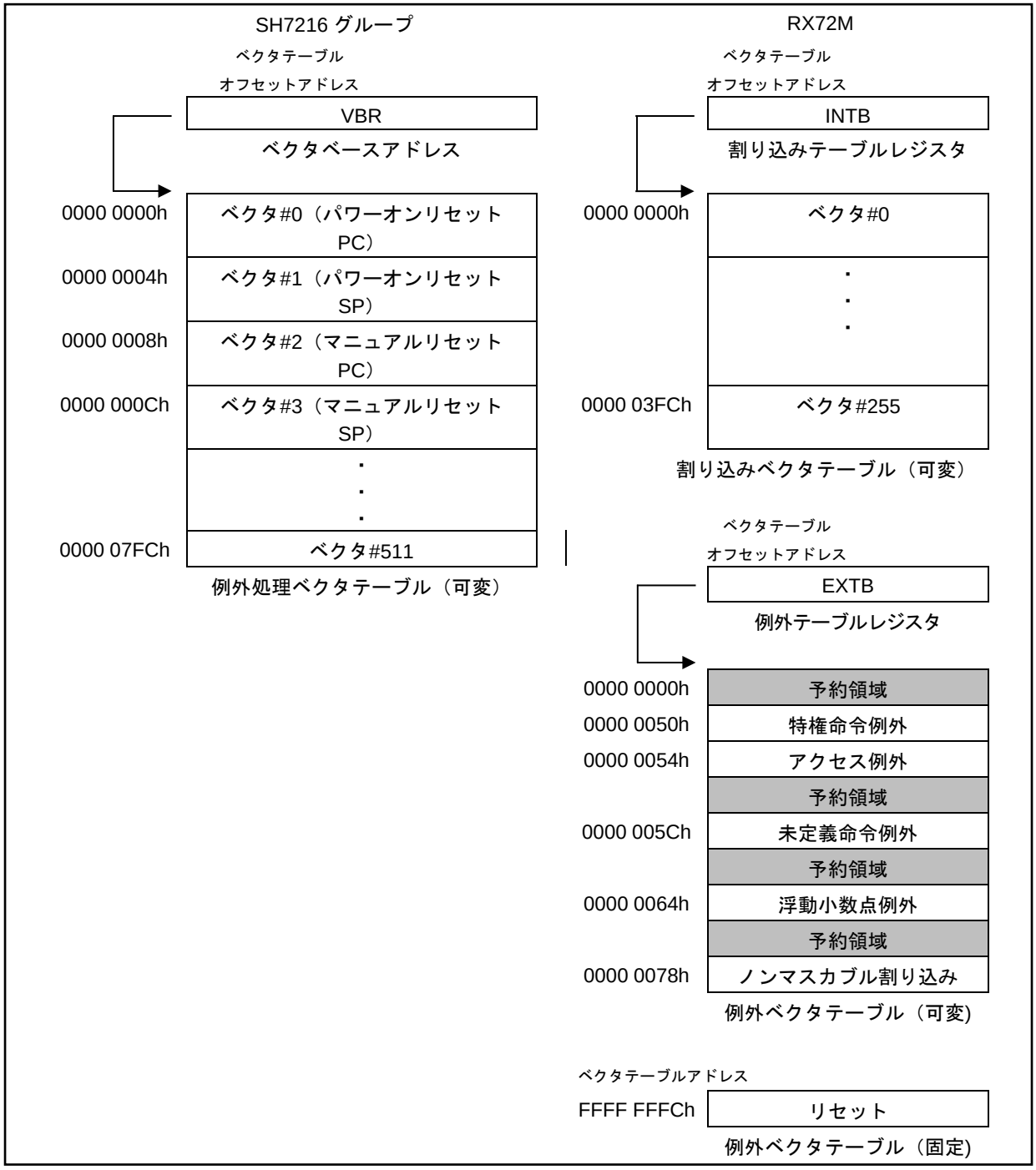


図 1.14 ベクタテーブル設定

1.7.5　SR（SH7216 グループ）/PSW（RX72M）の割り込みマスク

RX72M の制御レジスタ PSW には I ビットがあります。I ビットは割り込み許可/禁止を示すビットです。

表 1.13 SR、PSW 内の割り込み関連ビット

SH7216 グループ SR レジスタ	RX72M PSW レジスタ	説明
I[3:0]	IPL[3:0]	CPU による割り込みマスクレベル（優先レベル） 設定値 “0”～“Fh”（レベル 0～15） 割り込み要求発生時、本レベルと割り込み要因別に設定された優先度レベルを比較し、マスクレベルより高い場合は割り込みが許可される。
—	I	割り込み許可ビット 0：割り込みを許可しない 1：割り込みを許可する 割り込み発生時、割り込みコントローラの割り込みステータスフラグは’1’が立つ。 システムリセット後、本ビットを’1’にセットすることで割り込み受付可能になる。また、例外を受け付けた場合、本ビットは’0’となり、その間の割り込みは受け付けない。

1.8 割り込み処理

本章は割り込みコントローラを中心に、割り込み処理の違いについて記載します。

1.8.1 仕様比較

割り込みコントローラの仕様比較を表 1.14 に示します。

表 1.14 SH7216 グループと RX72M の仕様比較（割り込みコントローラ）

項目		SH7216 グループ	RX72M
割り込み	周辺機能割り込み	● 周辺モジュールからの割り込み ● 割り込み検出：エッジ	● 周辺モジュールからの割り込み ● 割り込み検出：エッジ/レベル*1 ● グループ割り込み機能 ● 選択型割り込み B 機能 ● 選択型割り込み A 機能
	外部端子割り込み	● IRQ0～IRQ7 端子 ● 要因数：8 ● 割り込み検出：Low レベル/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因毎に設定可能	● IRQ0～IRQ15 端子 ● 要因数：16 ● 割り込み検出：Low レベル/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因毎に設定可能
	ユーザブレーク割り込み	● あり	● エミュレータのデバッガ機能で対応可能
	H-UDI 割り込み	● あり	● エミュレータのデバッガ機能で対応可能
	その他の要因	● メモリエラー割り込み	● メモリエラー割り込み
	ノイズ除去	なし	IRQi 端子にデジタルフィルタを設定可能
	ソフトウェア割り込み	なし	あり
	割り込み優先順位	レジスタにより“0”～“Fh” のレベルを要因毎に設定	レジスタにより“0”～“Fh” のレベルを要因毎に設定
	高速割り込み機能	なし	あり
	DTC/DMAC 起動	DTC/DMAC 起動可能*2	DTC/DMAC 起動可能
	EXDMAC 制御	なし	選択型割り込みで EXDMAC 起動可能
ノンマスカブル割り込み	NMI 端子割り込み	● 割り込み検出方法 （立ち下がり/立ち上がりエッジから選択） ● NMI 入力レベル読み込みビットあり	● 割り込み検出方法 （立ち下がり/立ち上がりエッジから選択） ● デジタルフィルタ機能
	その他の要因 （例外処理以外）	● なし	● 発振停止検出時の割り込み ● WDT アンダフロー/リフレッシュエラー ● IWDT アンダフロー/リフレッシュエラー ● 電圧監視 1 割り込み ● 電圧監視 2 割り込み ● RAM エラー割り込み ● 倍精度浮遊小数点例外
レジスタバンク		15 本のレジスタバンク	16 バンクのレジスタバンク

【注】 *1. 接続固定周辺モジュールからの検出方法は固定
*2. SH7216 グループ では起動要因設定は DTC/DMAC 側で設定

割り込みコントローラのレジスタ相違を

SH7216 グループ	RX72M
割り込みコントローラ	**割り込みコントローラ**
IRQ 割り込み要求レジスタ（IRQRR）	—
割り込みコントロールレジスタ 1（ICR1）	IRQ コントロールレジスタ i（IRQCRi）（i=0～15）
割り込みコントロールレジスタ 0（ICR0）	NMI 端子割り込みコントロールレジスタ（NMICR）
割り込み優先レベル設定レジスタ 01, 02, 05～19（IPR01, IPR02, IPR05～IPR19）	割り込み要因プライオリティレジスタ r（IPRr）（r=0～255）
バンクコントロールレジスタ（IBCR）	IRQ 端子デジタルフィルタ許可レジスタ 0/1（IRQFLTE0/1） IRQ 端子デジタルフィルタ設定レジスタ 0/1（IRQFLTC0/1）
バンク番号レジスタ（IBNR）	割り込み要求許可レジスタ m（IERm）（m=02h～1Fh）
USB-DTC 転送割り込み要求レジスタ（USDTENDRR）	割り込み要求レジスタ n（IRn）（n=16～255）
	高速割り込み設定レジスタ（FIR）
	ソフトウェア割り込み起動レジスタ（SWINTR） ソフトウェア割り込み 2 起動レジスタ（SWINT2R）
	DTC 起動許可レジスタ n（DTCERn）（n=026～255）
	DMAC 起動要因選択レジスタ m（DMRSRm）（m=DMAC チャネル番号）
	EXDMAC 起動割り込み選択レジスタ（SELEXDR）
	ノンマスカブル割り込みステータスレジスタ（NMISR） ノンマスカブル割り込み許可レジスタ（NMIER） ノンマスカブル割り込みステータスクリアレジスタ（NMICLR） 拡張ノンマスカブル割り込みステータスレジスタ(EXNMISR) 拡張ノンマスカブル割り込み許可レジスタ(EXNMIER) 拡張ノンマスカブル割り込みステータスクリアレジスタ(EXNMICLR)
	NMI 端子デジタルフィルタ許可レジスタ（NMIFLTE） NMI 端子デジタルフィルタ設定レジスタ（NMIFLTC）
	グループ IE0 割り込み要求レジスタ(GRPIE0) グループ BE0 割り込み要求レジスタ（GRPBE0） グループ BL0/1/2 割り込み要求レジスタ（GRPBL0/1/2） グループ AL0/1 割り込み要求レジスタ（GRPAL0/1）
	グループ IE0 割り込み要求許可レジスタ(GENIE0) グループ BE0 割り込み要求許可レジスタ（GENBE0） グループ BL0/1/2 割り込み要求許可レジスタ（GENBL0/1/2） グループ AL0/1 割り込み要求許可レジスタ（GENAL0/1）
	グループ IE0 割り込みクリアレジスタ(GCRIE0) グループ BE0 割り込みクリアレジスタ（GCRBE0）
	選択型割り込み B 要求レジスタ k（PIBRk）（k=0h～Bh） 選択型割り込み A 要求レジスタ k（PIARk）（k=0h～Ch）
	選択型割り込み B 要因選択レジスタ Xn（SLIBXRn）（n=128～143） 選択型割り込み B 要因選択レジスタ n（SLIBRn）（n=144～207） 選択型割り込み A 要因選択レジスタ n（SLIARn）（n=208～255）
	選択型割り込み要因選択レジスタ書き込み保護レジスタ（SLIPRCR）

周辺モジュール、割り込みコントローラの双方に割り込み要求許可レジスタがあります

また、グループ割り込みはグループ割り込み専用のレジスタもあり、グループ全体の割り込み要求許可に加え、グループ内の要因毎に許可設定が可能です

周辺モジュール
割り込み要求許可レジスタ
割り込み要因フラグレジスタ

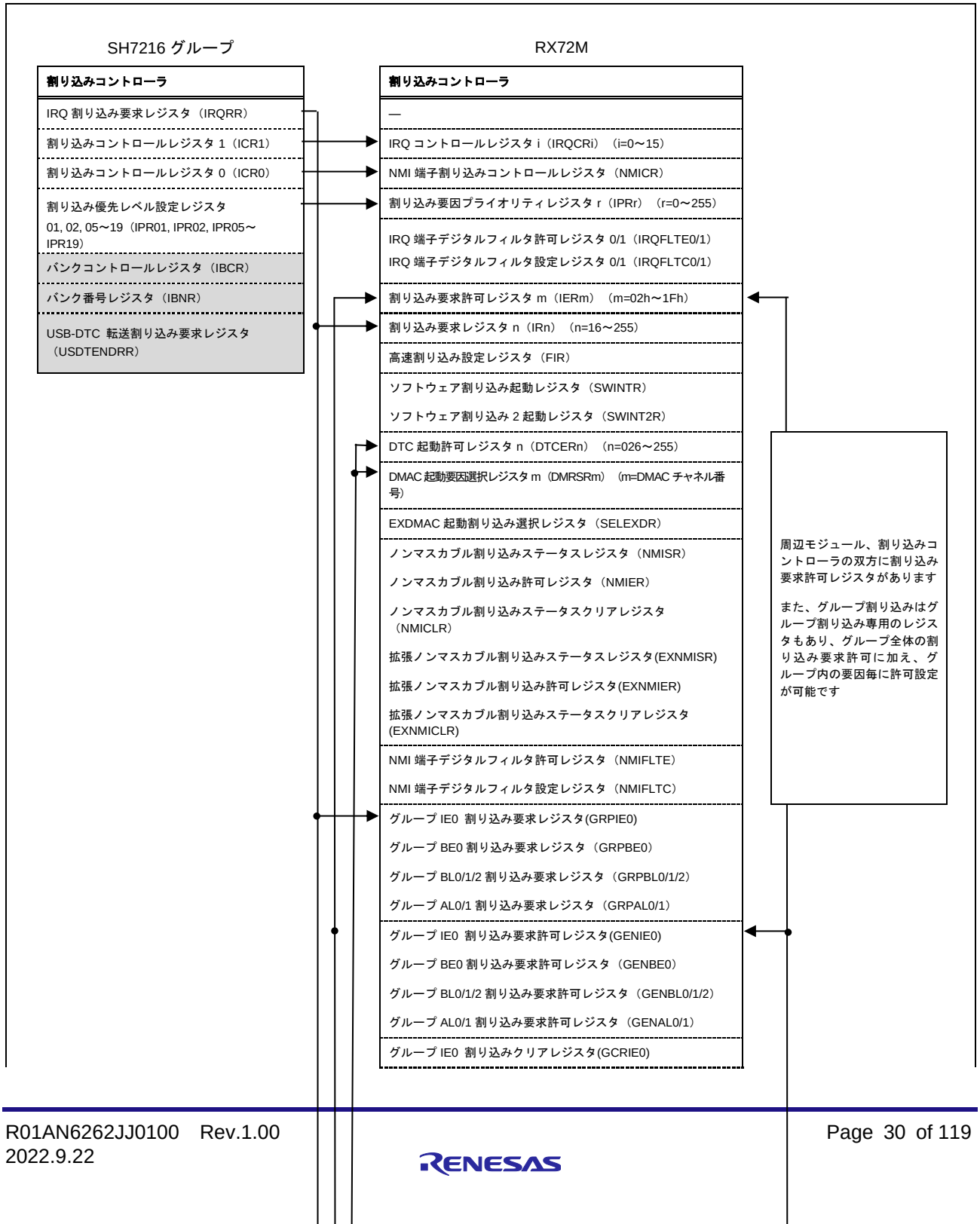
周辺モジュール
割り込み要求許可レジスタ
ステータスレジスタ

DTC/DMAC
DMAC 起動許可制御
DTC/DMAC 起動要因設定
転送後の CPU 割り込み処理
アドレスエラー/NMI 発生時転送停止

DTC/DMAC
DTC/DMAC 起動許可制御
転送後の CPU 割り込み処理

：RX にはありません

図 1.15 に示します。



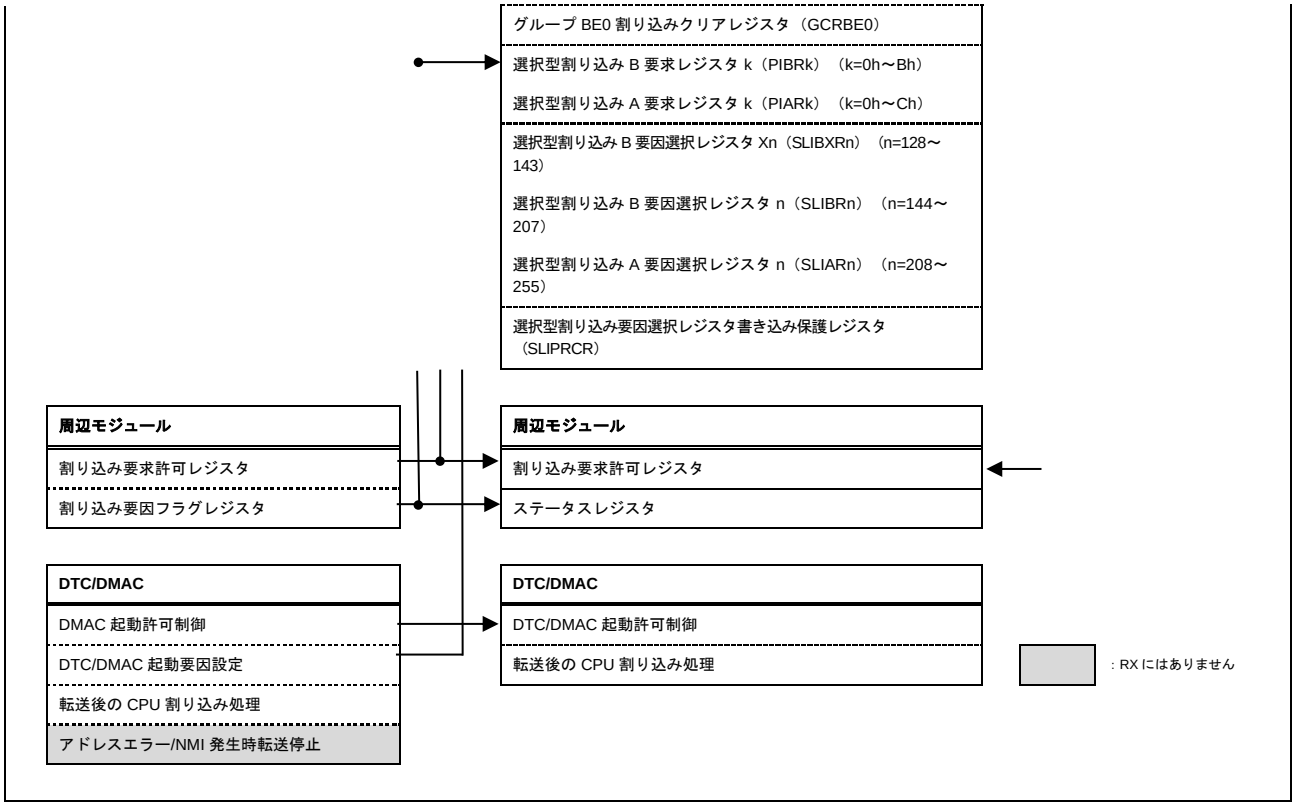


図 1.15 割り込みコントローラのレジスタの相違点

SH7216 グループ に搭載されている割り込みコントローラは IRQ の割り込みフラグを制御し、周辺モジュールの割り込みフラグは周辺モジュールが制御します。

RX72M では、IRQ、周辺モジュール全ての割り込みステータスフラグを割り込みコントローラで制御します[*1]。また、DTC/DMAC の起動要因設定も割り込みコントローラで制御します。SH7216 グループ の DTC/DMAC にある、NMI 発生時転送禁止機能は RX72M にはありません。

【注】 *1. 割り込みコントローラには、割り込み要因ごとに割り込み要求レジスタが存在しますが、周辺モジュール側にも割り込み許可ビットが存在します
（詳細はユーザーズマニュアル ハードウェア編を参照してください）

1.8.2　割り込みフラグの管理

SH7216 グループ の周辺モジュールでエッジ検出による割り込みが発生した場合、割り込みハンドラ内で割り込み要因フラグのクリア（ダミーリードとクリア）を行います。ハンドラ内でクリアしないと再度割り込みが発生するためです。

RX72M の割り込みステータスフラグは割り込みコントローラ内で管理され、CPU または DTC/DMAC に割り込み要求を行います。エッジ検出の場合、割り込みの受け付け応答を受信すると、自動的に当該の割り込みステータスフラグをクリアする機能を備えています。レベル検出の場合、周辺モジュール内に存在する要因フラグをクリアすることで当該の割り込みステータスフラグも自動的にクリアされます。詳細はユーザーズマニュアル ハードウェア編を参照してください。

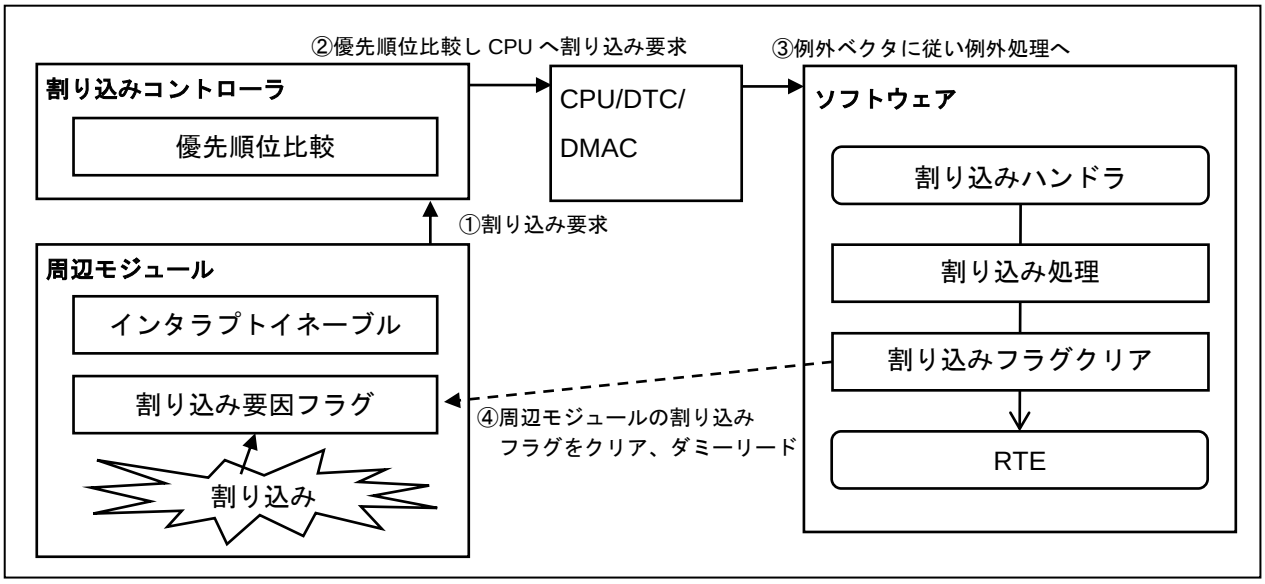


図 1.16 SH7216 グループ 周辺モジュール割り込み（エッジ検出）

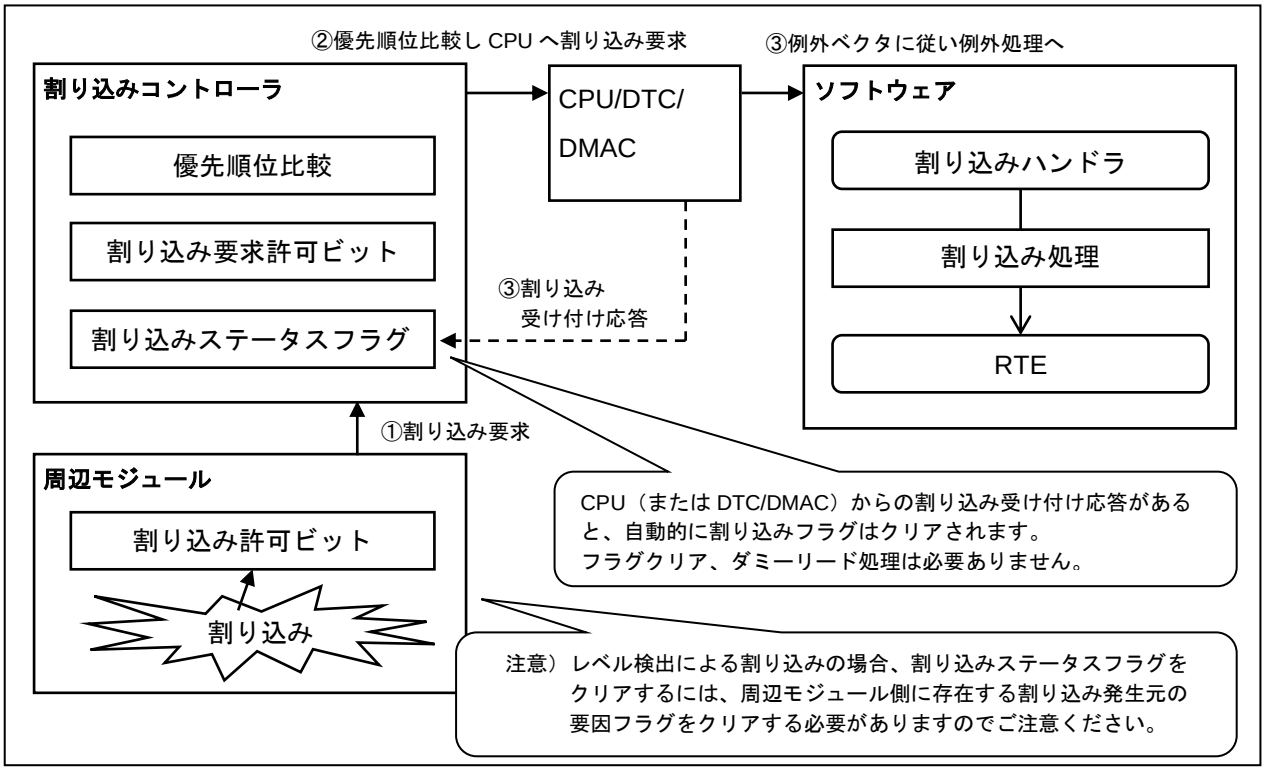


図 1.17 RX72M 周辺モジュール割り込み（エッジ検出）

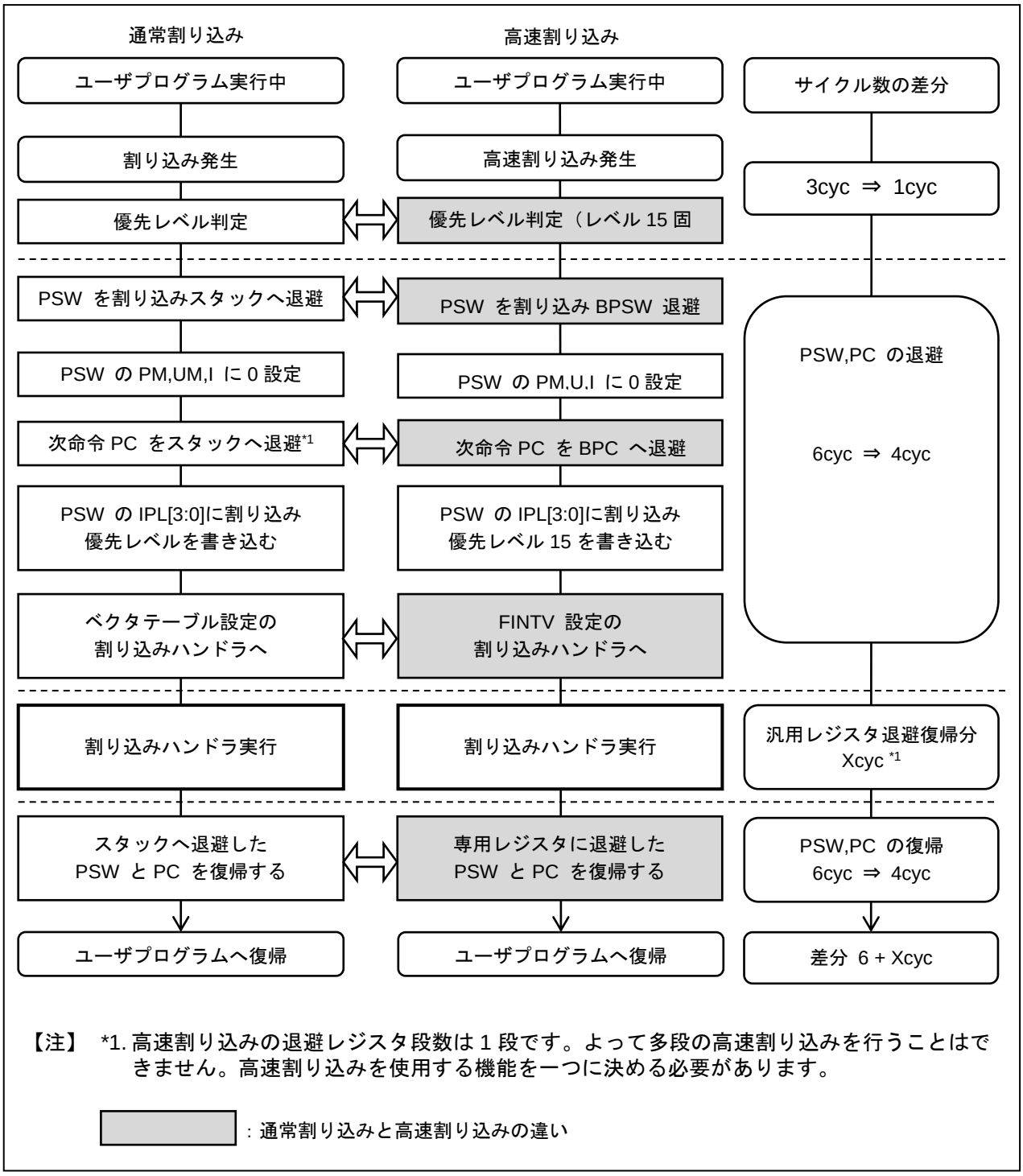
1.8.3 高速割り込み制御

RX72M は通常の割り込みに加えて高速割り込みが可能です。

通常割り込み：割り込み優先順位判定後、コントロールレジスタ、汎用レジスタを内部 RAM または、外部 RAM へソフトウェアにて退避する必要があります。

高速割り込み：最優先割り込みとして動作します。割り込み発生時、コントロールレジスタは専用レジスタに退避されるため、通常割り込みより高速な割り込み起動を実現します。

コンパイラオプションで一部の汎用レジスタを割り込み専用に割り付ける事ができます。この場合汎用レジスタの退避、復帰を削除することが可能なため、さらに高速な割り込みが実現可能です。



【注】 *1. 高速割り込みの退避レジスタ段数は 1 段です。よって多段の高速割り込みを行うことはできません。高速割り込みを使用する機能を一つに決める必要があります。

：通常割り込みと高速割り込みの違い

図 1.18 RX72M 通常割り込みと高速割り込みの差分

1.8.4　デジタルフィルタ

RX72M は、IRQi 端子、NMI 端子への入力信号に対してデジタルフィルタ機能を設けています。デジタルフィルタ用のサンプリングクロックを設定することが可能で、サンプリングクロックベースで 3 回分に満たない割り込み信号は、割り込みとして受け付けませんので、耐ノイズ性能を向上させることが可能です。

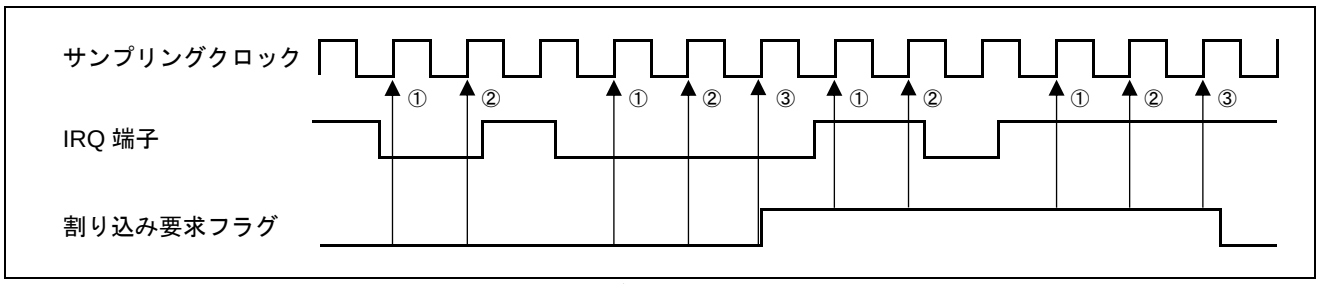


図 1.19 RX72M デジタルフィルタ動作例

1.8.5　多重割り込み

SH7216 グループ では優先度の低い割り込みハンドラ処理中に、優先度の高い割り込みが発生した場合、優先度の低い割り込みハンドラは中断され、優先度の高い割り込みハンドラが実行されます。優先度の高い割り込みハンドラが終了すると、中断していた優先度の低い割り込みハンドラが再開します。

RX72M では優先度の低い割り込みハンドラを処理中に、高い優先度の割り込みが発生した場合、低い優先度の割り込みハンドラが終了するまでは、高い優先度の割り込みは受け付けられません。これは、通常割り込みハンドラ内では PSW.I ビット ＝0（割り込み許可しない）となっているためです。SH7216 グループ のような多重割り込みを実現するには、割り込みハンドラの中で PSW.I ビット ＝1（割り込み許可）にする必要があります。

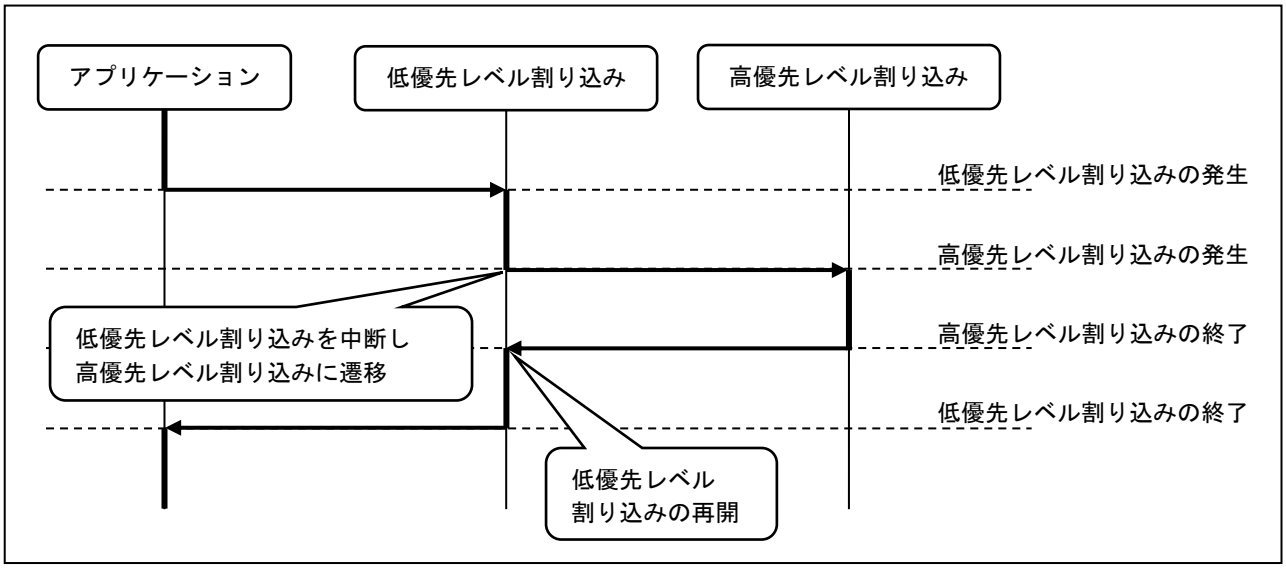


図 1.20 SH7216 グループ 多重割り込みシーケンス

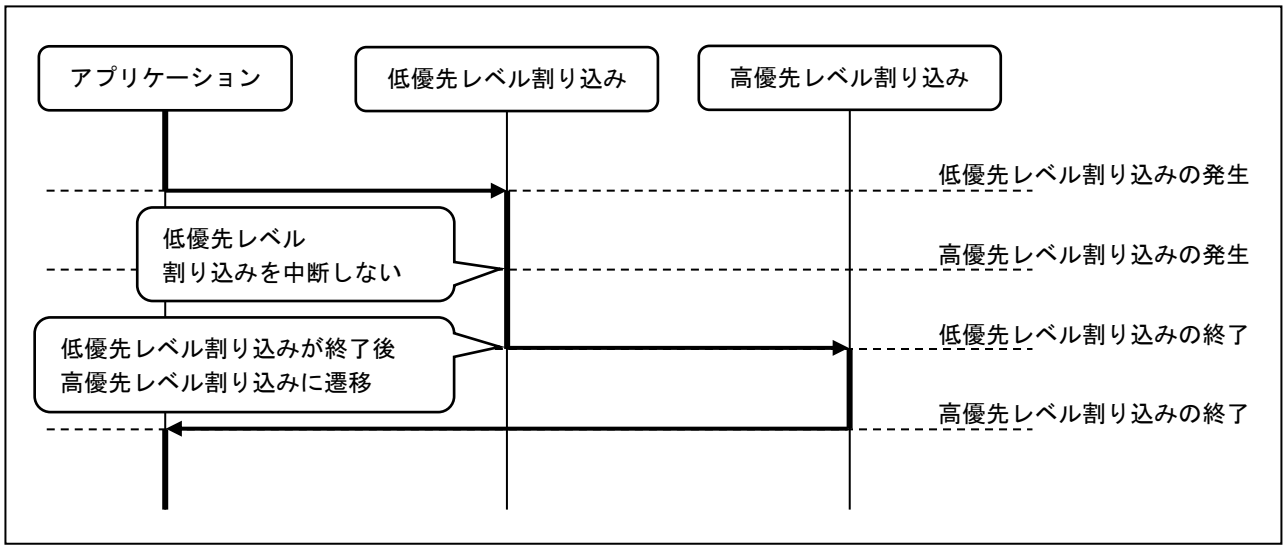


図 1.21 RX72M 割り込みシーケンス（PSW.I ビット制御を行わない場合）

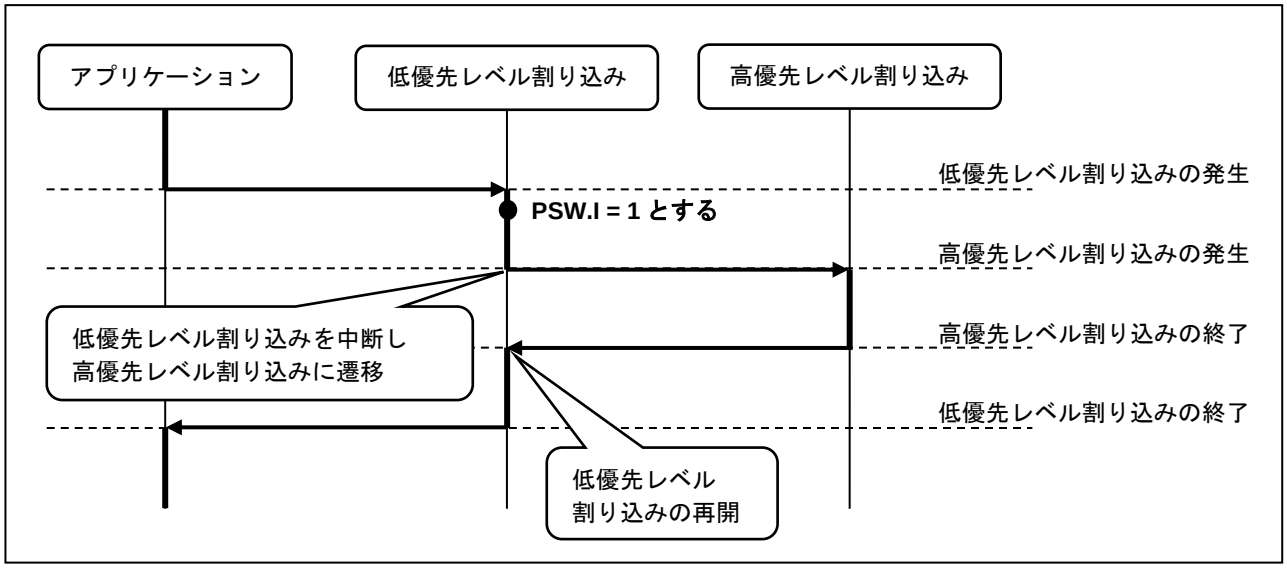


図 1.22 RX72M 割り込みシーケンス（PSW.I ビット制御を行う場合）

1.8.6 グループ割り込み

グループ割り込みは 1 ベクタに複数の割り込み要因が割り当てられています。グループ割り込みは、グループに割り当てられた割り込み要求の論理和で検出するため、割り込み要求を検出した場合、グループの中から割り込み要求をソフトウェアにて検出する必要があります。

周辺モジュールの動作クロックと、割り込み検出方法によって、それぞれ異なるグループにグループ化されています。

グループ割り込みステータスフラグのクリア条件は、割り込み検出方法によって異なります。グループ割り込みの種類とステータスフラグのクリア条件を表 1.15 に示します。

表 1.15 RX72M グループ割り込みの種類

<table>
<tr><th>グループ名</th><th>周辺モジュールの動作クロック</th><th>割り込み検出方法</th><th>グループ割り込みステータスフラグ</th></tr>
<tr><td>グループ IE0</td><td>ICLK</td><td rowspan="2">エッジ検出</td><td rowspan="2">割り込みコントローラの割り込み要因クリアビット（GCRIE0.CLR0 / GCRBE0.CLRn）に’1’を書き込むことで、自動的にクリア</td></tr>
<tr><td>グループ BE0</td><td rowspan="4">PCLKB</td></tr>
<tr><td>グループ BL0</td><td rowspan="6">レベル検出</td><td rowspan="6">周辺モジュールの割り込みステータスフラグをクリアすることで、自動的にクリア
また、割り込みコントローラの割り込み要求許可ビット（GENBL0/1/2.ENj または GENAL0/1.ENj）に’0’を設定し、割り込み要求を禁止した場合も自動的にクリア</td></tr>
<tr><td>グループ BL1</td></tr>
<tr><td>グループ BL2</td></tr>
<tr><td>グループ AL0</td><td rowspan="2">PCLKA</td></tr>
<tr><td>グループ AL1</td></tr>
</table>

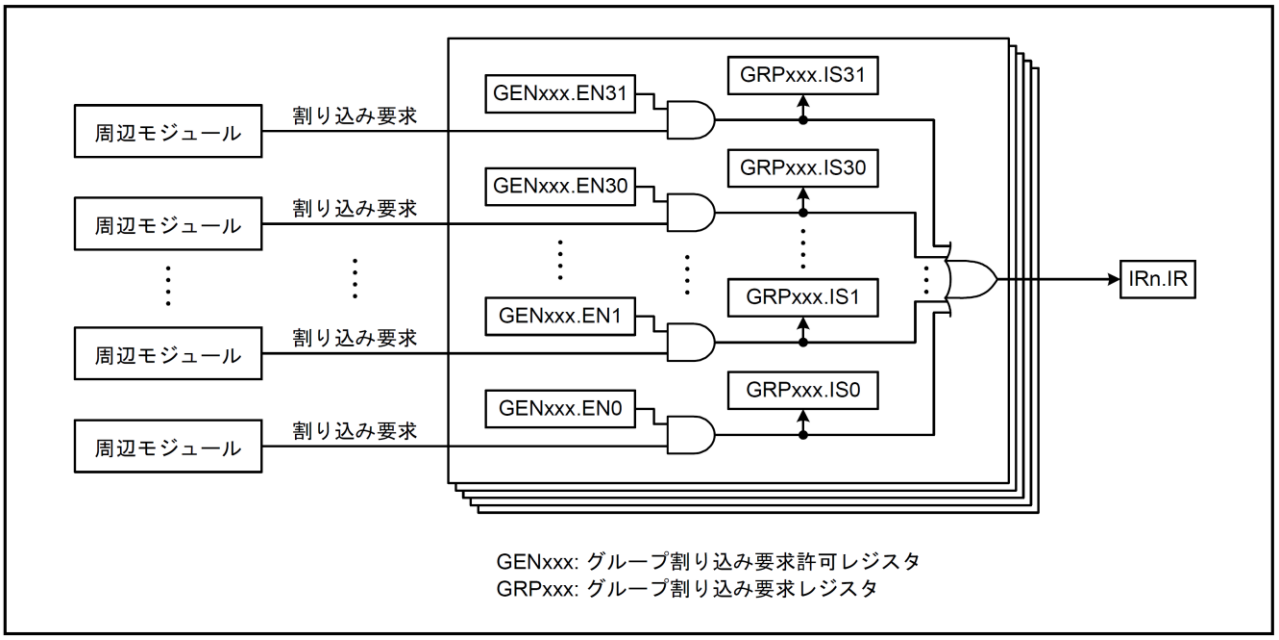


図 1.23 RX72M グループ割り込みの構成

1.8.7 選択型割り込み

選択型割り込みは複数の周辺モジュールの割り込み要因から任意の 1 つを選択して、割り込みベクタ番号 128～255 に割り当てることができます。

周辺モジュールの動作クロックにより、選択型割り込み A と選択型割り込み B に分類されています。選択型割り込みの種類を表 1.16 に示します。

選択型割り込みステータスフラグは、自動的にクリアされませんが、クリアしなくても割り込み要求の生成には影響しません。

表 1.16 RX72M 選択型割り込みの種類

選択型名	周辺モジュールの動作クロック	割り込み検出方法	選択型割り込みステータスフラグ
選択型 A	PCLKA	エッジ検出	自動的にクリアされませんが、クリアしなくても割り込み要求の生成には影響しません
選択型 B	PCLKB		

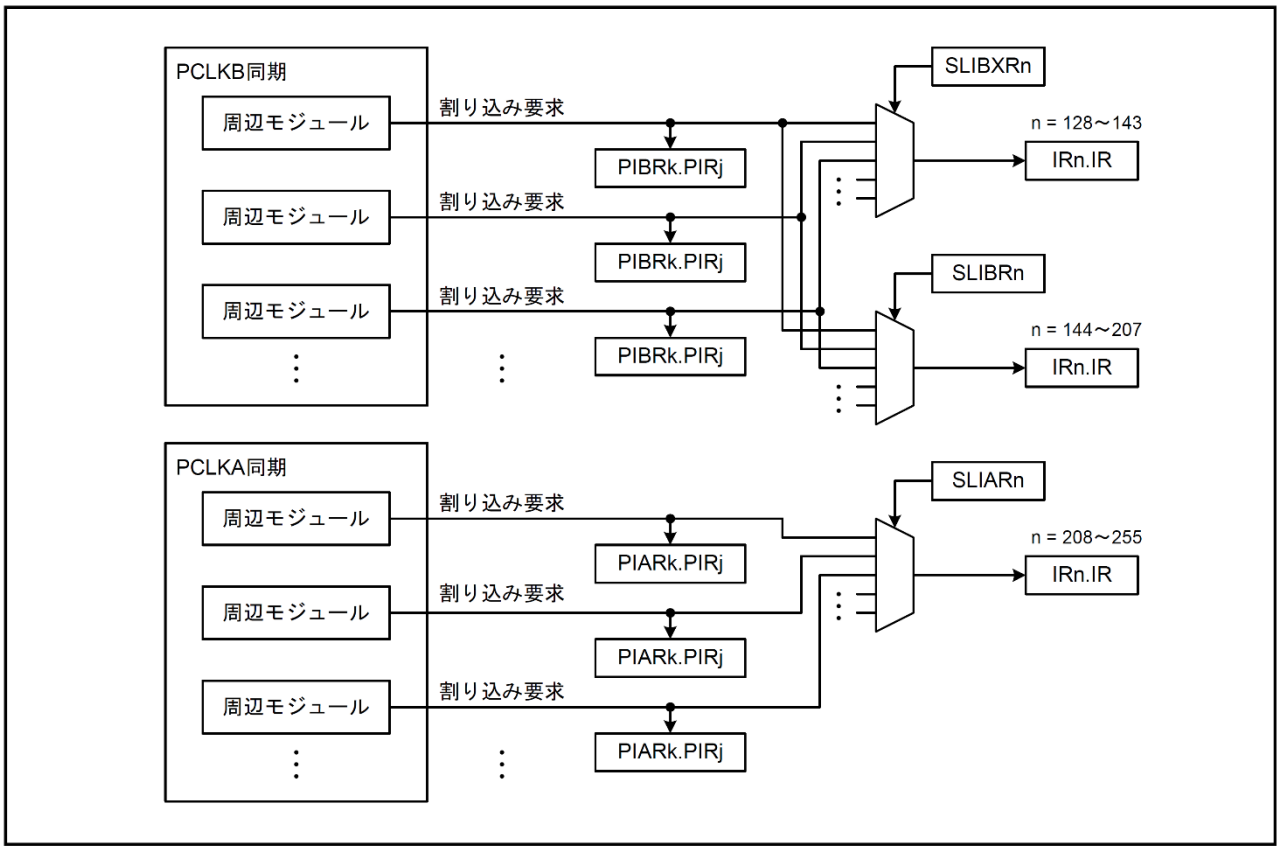


図 1.24 RX72M 選択型割り込みの構成

2. 内蔵機能

2.1 内蔵機能一覧

SH7216 グループ と RX72M の内蔵機能一覧を表 2.1 に示します。

RX72M のみの機能詳細については、ユーザーズマニュアル　ハードウェア編を参照してください。

表 2.1 内蔵機能一覧

SH7216 グループ	RX72M
クロックパルス発振器（CPG）	クロック発生回路
割り込みコントローラ（INTC）	割り込みコントローラ（ICUD）
ユーザブレークコントローラ（UBC）	エミュレータのデバッガ機能で対応可能
データトランスファコントローラ（DTC）	データトランスファコントローラ（DTCb）
バスステートコントローラ（BSC）	バス
ダイレクトメモリアクセスコントローラ（DMAC）	DMA コントローラ（DMACAa） EXDMA コントローラ（EXDMACa）
マルチファンクションタイマパルスユニット 2（MTU2） マルチファンクションタイマパルスユニット 2S（MTU2S）	マルチファンクションタイマパルスユニット 3（MTU3a）
ポートアウトプットイネーブル 2（POE2）	ポートアウトプットイネーブル 3（POE3a）
ウォッチドッグタイマ（WDT）	ウォッチドッグタイマ（WDTA） 独立ウォッチドッグタイマ（IWDTa）
シリアルコミュニケーションインタフェース（SCI） FIFO 内蔵シリアルコミュニケーションインタフェース（SCIF）	シリアルコミュニケーションインタフェース（SCIj, SCIi, SCIh）
ルネサスシリアルペリフェラルインタフェース（RSPI）	シリアルペリフェラルインタフェース（RSPIc）
I2C バスインタフェース 3（IIC3）	I2C バスインタフェース（RIICa）
A/D 変換器（ADC）	12 ビット A/D コンバータ（S12ADFa）
コントローラエリアネットワーク（RCAN-ET）	CAN モジュール（CAN）
USB ファンクションモジュール（USB）	USB2 0FS ホスト/ファンクションモジュール（USBb）
イーサネットコントローラ（EtherC）	イーサネットコントローラ（ETHERC）
イーサネットコントローラ用ダイレクトメモリアクセスコントローラ（E-DMAC）	イーサネットコントローラ用 DMA コントローラ（EDMACa）
コンペアマッチタイマ（CMT）	コンペアマッチタイマ（CMT） コンペアマッチタイマ W（CMTW）
ピンファンクションコントローラ（PFC）	マルチファンクションピンコントローラ（MPC）
I/O ポート	I/O ポート
フラッシュメモリ データフラッシュ	フラッシュメモリ[*1]
内蔵 RAM（最大 128KB）	RAM（最大 512KB, 32KB） スタンバイ RAM（最大 8KB）
低消費電力モード	消費電力低減機能
ユーザデバッグインタフェース（H-UDI）	エミュレータのデバッガ機能で対応可能
—	電圧検出回路（LVDA） クロック周波数精度測定回路（CAC） バッテリバックアップ機能 レジスタライトプロテクション機能 メモリプロテクションユニット（MPU） イベントリンクコントローラ（ELC） 汎用 PWM タイマ（GPTW） GPTW 用ポートアウトプットイネーブル（POEG） 16 ビットタイマパルスユニット（TPUa） プログラマブルパルスジェネレータ（PPG）

SH7216 グループ	RX72M
	8 ビットタイマ（TMRb） リアルタイムクロック（RTCd） イーサネットコントローラ用 PTP コントローラ (EPTPCb) PHY マネジメントインタフェース（PMGI） EtherCAT スレーブコントローラ（ESC） クワッドシリアルペリフェラルインタフェース（QSPI） CRC 演算器（CRCA） 拡張シリアルサウンドインタフェース（SSIE） SD ホストインタフェース（SDHI） マルチメディアカードインタフェース（MMCIF） パラレルデータキャプチャユニット（PDC） グラフィック LCD コントローラ(GLCDC) 2D 描画エンジン(DRW2D) バウンダリスキャン 三角関数演算器 (TFU) Trusted Secure IP (TSIP) Δ-Σ モジュレータインタフェース(DSMIF) 12 ビット D/A コンバータ（R12DAa） 温度センサ（TEMPS） データ演算回路（DOC） スタンバイ RAM

【注】 *1. RX72M のフラッシュメモリは、コードフラッシュメモリのほかにデータフラッシュメモリを内蔵しています。

2.2 I/O ポート/ マルチファンクションピンコントローラ（MPC）

2.2.1 I/O ポート数

SH7216 グループ と RX72M の I/O ポート数を表 2.2 に示します。

表 2.2 I/O ポート数一覧

項目	パッケージ	ポート機能
SH7216 グループ の I/O ポート数	PLQP0176KB-A PLQP0176LB-A PLBG0176GA-A	入出力：100 入力：10 合計：110 プルアップ抵抗：100
RX72M の I/O ポート数	PLBG0224GA-A	入出力：182 入力：1 プルアップ抵抗：182 オープンドレイン出力：182 5V トレラント：19
	PLBG0176GA-A PLQP0176KB-C	入出力：136 入力：1 プルアップ抵抗：136 オープンドレイン出力：136 5V トレラント：19
	PLQP0144KA-B	入出力：111 入力：1 プルアップ抵抗：111 オープンドレイン出力：111 5V トレラント：17
	PLQP0100KB-B	入出力：72 入力：1 プルアップ抵抗：72 オープンドレイン出力：72 5V トレラント：12

2.2.2 I/O 設定

SH7216 グループ、RX72M ともにマルチプレクス端子になっています。よって、端子設定を汎用入出力、または内蔵モジュール機能に割り振る必要があります。

SH7216 グループ はピンファンクションコントローラ（PFC）を設定することにより、ポートの機能が決定します。I/O ポートはポート A～F から構成されています。

SH7216 グループ の I/O ポートレジスタ設定を図 2.1 に、I/O ポートのレジスタ構成を表 2.3、ピンファンクションコントローラ（PFC）のレジスタ構成を表 2.4 に示します。

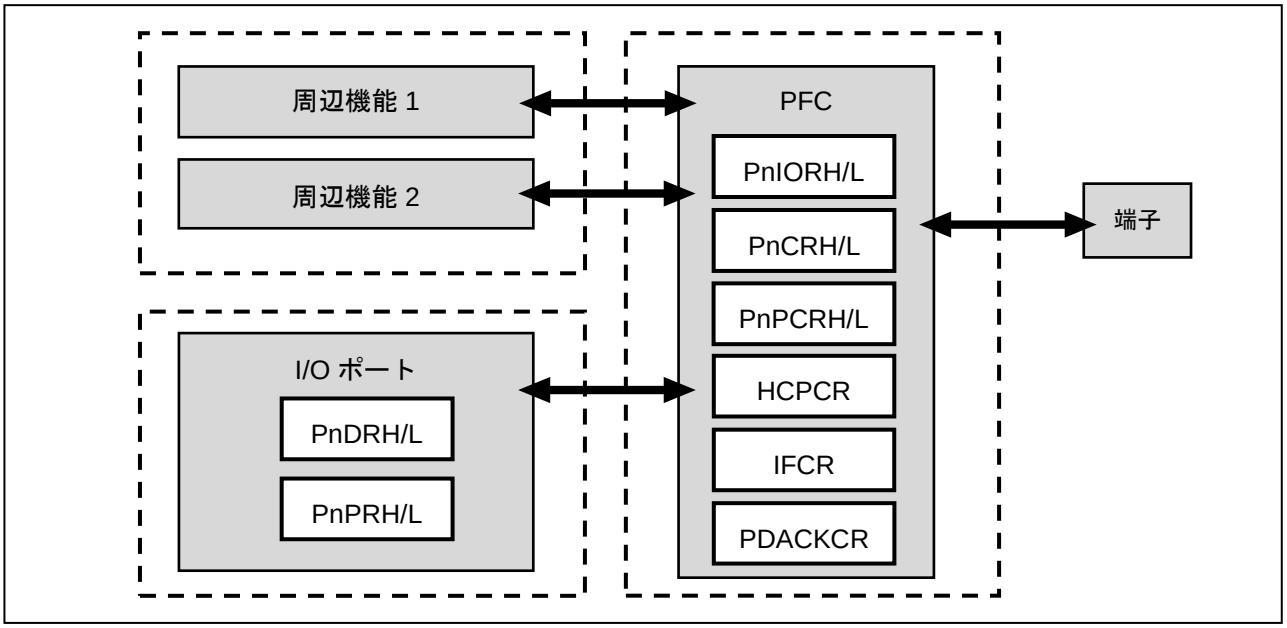


図 2.1 SH7216 グループ I/O 設定

表 2.3 SH7216 グループ のレジスタ構成（I/O ポート）

レジスタ	機能名	機能
PnDRH PnDRL	ポート n データレジスタ H ポート n データレジスタ L	ポート n のデータレジスタ 端子機能が汎用出力の場合：端子出力データの格納 端子機能が汎用入力の場合：端子の状態の反映
PnPRH PnPRL	ポート n ポートレジスタ H ポート n ポートレジスタ L	ポート n のデータ読み出し専用レジスタ 端子の状態の反映

n：各ポート名（n = A～F）

表 2.4 SH7216 グループ のレジスタ構成（PFC）

レジスタ	機能名	機能
PnIORH PnIORL	ポート n・IO レジスタ H ポート n・IO レジスタ L	端子の入出力方向を選択
PnCRHm PnCRLm	ポート n コントロールレジスタ Hm ポート n コントロールレジスタ Lm	マルチプレクス端子の機能を選択
PnPCRH PnPCRL	ポート n プルアップ MOS コントロールレジスタ H ポート n プルアップ MOS コントロールレジスタ L	入力プルアップ MOS の設定
HCPCR	大電流ポートコントロールレジスタ	大電流ポートの状態を設定
IFCR	IRQOUT 機能コントロールレジスタ	IRQ 出力端子の状態を設定
PDACKCR	DACK 出力 タイミングコントロールレジスタ	DACK 端子の出力タイミングを設定

n：各ポート名（n = A～E）　　m：設定番号（m = 1～4）

RX72M はマルチファンクションピンコントローラ（MPC）を設定することにより、ポートの機能が決定します。I/O ポートはポート 0～9, A～G, J から構成されています。

RX72M の IO ポートに関しては、下記に示すような設定が可能です。

— オープンドレイン制御レジスタ　：ポート出力形態の選択
　CMOS 出力/N チャネルオープンドレイン出力/P チャネルオープンドレイン出力
— プルアップ制御レジスタ　：入力プルアップ抵抗の ON/OFF 選択
— 駆動能力制御レジスタ　：通常出力/高駆動出力から選択
— 5V トレラント入力ポートあり

SH7216 同様マルチプレクス端子になっているため、端子機能の設定を I/O ポートとマルチファンクションピンコントローラ（MPC）を使用して決定する必要があります。

RX72M の I/O 設定を図 2.2 に示します。

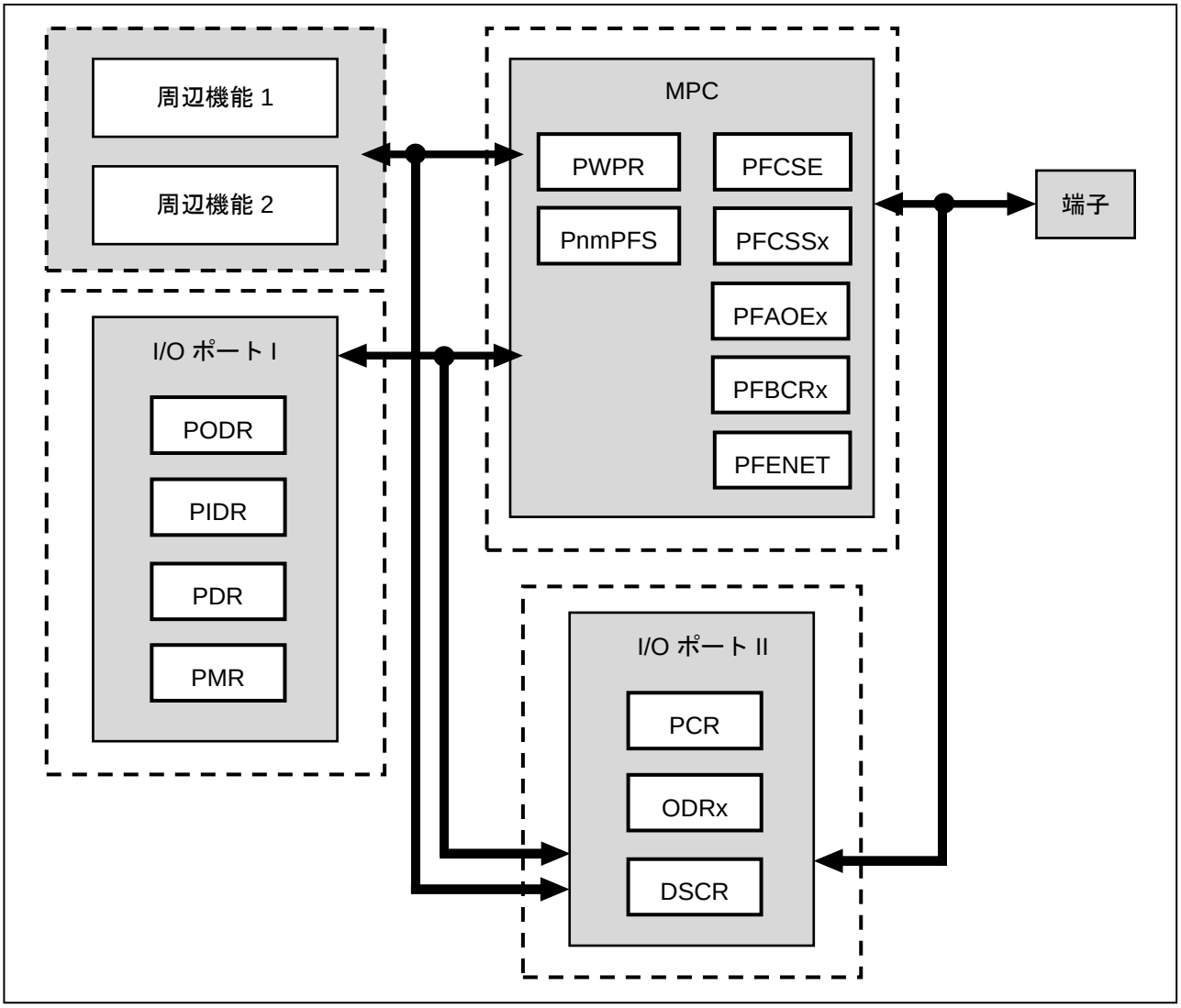


図 2.2 RX72M I/O 設定

端子を汎用入出力として使用する場合は、I/O ポート内のレジスタ設定（PMR、PDR、ODR0/1、PCR、DSCR の設定）を行うのみです。RX72M の端子を汎用入出力として使用する場合の初期化フローを図 2.3 に示します。

端子を周辺機能として使用する場合は、MPC の端子機能制御レジスタ（PnmPFS）で端子を周辺機能に割り付けます。なお、汎用入出力を含む周辺機能使用時の設定例については、各周辺機能の章で記載します。RX72M の端子を周辺機能として使用する場合の初期化フローを図 2.4 に示します。

表 2.5 RX72M のレジスタ構成（I/O ポート）

レジスタ	機能名	機能
PDR	ポート方向レジスタ	汎用入出力ポートが選択されているとき ポートの入力/ 出力の指定
PODR	ポート出力データレジスタ	汎用出力ポート 端子出力データの格納
PIDR	ポート入力データレジスタ	ポート端子状態の反映
PMR	ポートモードレジスタ	ポート端子機能の設定 汎用入出力ポートまたは周辺機能として使用するかを端子毎に設定
ODR0	オープンドレイン制御レジスタ 0	ポートの出力を以下の形態から選択 ● CMOS 出力 ● N チャネルオープンドレイン ● P チャネルオープンドレイン
ODR1	オープンドレイン制御レジスタ 1	ポートの出力を以下の形態から選択 ● CMOS 出力 ● N チャネルオープンドレイン
PCR	プルアップ制御レジスタ	ポートの入力プルアップ抵抗の有効/無効の指定
DSCR	駆動能力制御レジスタ	駆動能力の設定 ● 通常出力 ● 高駆動出力
DSCR2	駆動能力制御レジスタ 2	● 通常/高駆動出力 ● 高速インタフェース用高駆動出力

表 2.6 RX72M のレジスタ構成（MPC）

レジスタ	機能名	機能
PWPR	書込みプロテクトレジスタ	PnmPFS レジスタへの書き込みプロテクト機能
PnmPFS	Pnm 端子機能制御レジスタ	マルチプレクス端子の機能を選択
PFCSE	CS 出力許可レジスタ	CSn#（n：0～7）出力禁止/許可を設定
PFCSS0	CS 出力端子選択レジスタ 0	CS0～3 の出力端子を選択
PFCSS1	CS 出力端子選択レジスタ 1	CS4～7 の出力端子を選択
PFAOE0	アドレス出力許可レジスタ 0	端子をアドレスバスとして使用する場合の設定
PFAOE1	アドレス出力許可レジスタ 1	端子をアドレスバスとして使用する場合の設定
PFBCR0	外部バス制御レジスタ 0	端子を外部バスとして使用する場合の設定
PFBCR1	外部バス制御レジスタ 1	端子を外部バスとして使用する場合の設定
PFBCR2	外部バス制御レジスタ 2	端子を外部バスとして使用する場合の設定
PFBCR3	外部バス制御レジスタ 3	端子を外部バスとして使用する場合の設定
PFENET	イーサネット制御レジスタ	イーサネット PHY モードの設定

n：ポート名（n = 0～9, A～G, H, J, K～N,Q）　　m：端子番号（m = 0～7）

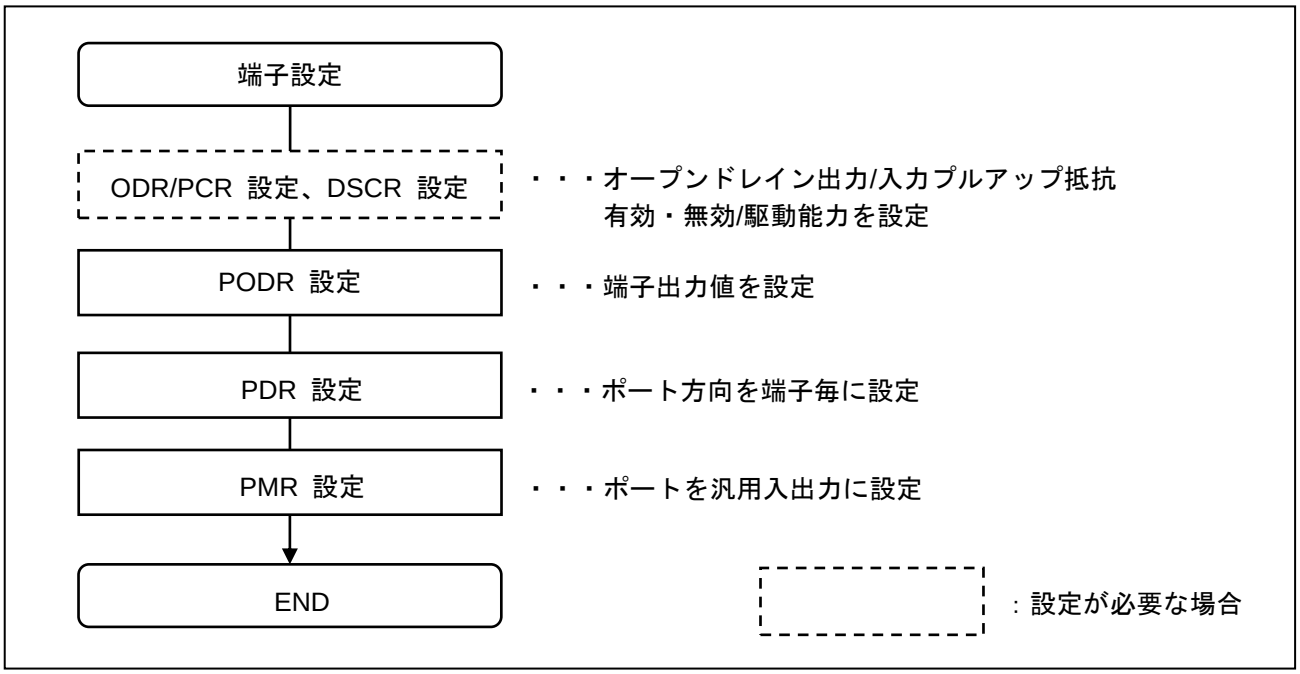


図 2.3 RX72M 端子の汎用入出力設定フローチャート

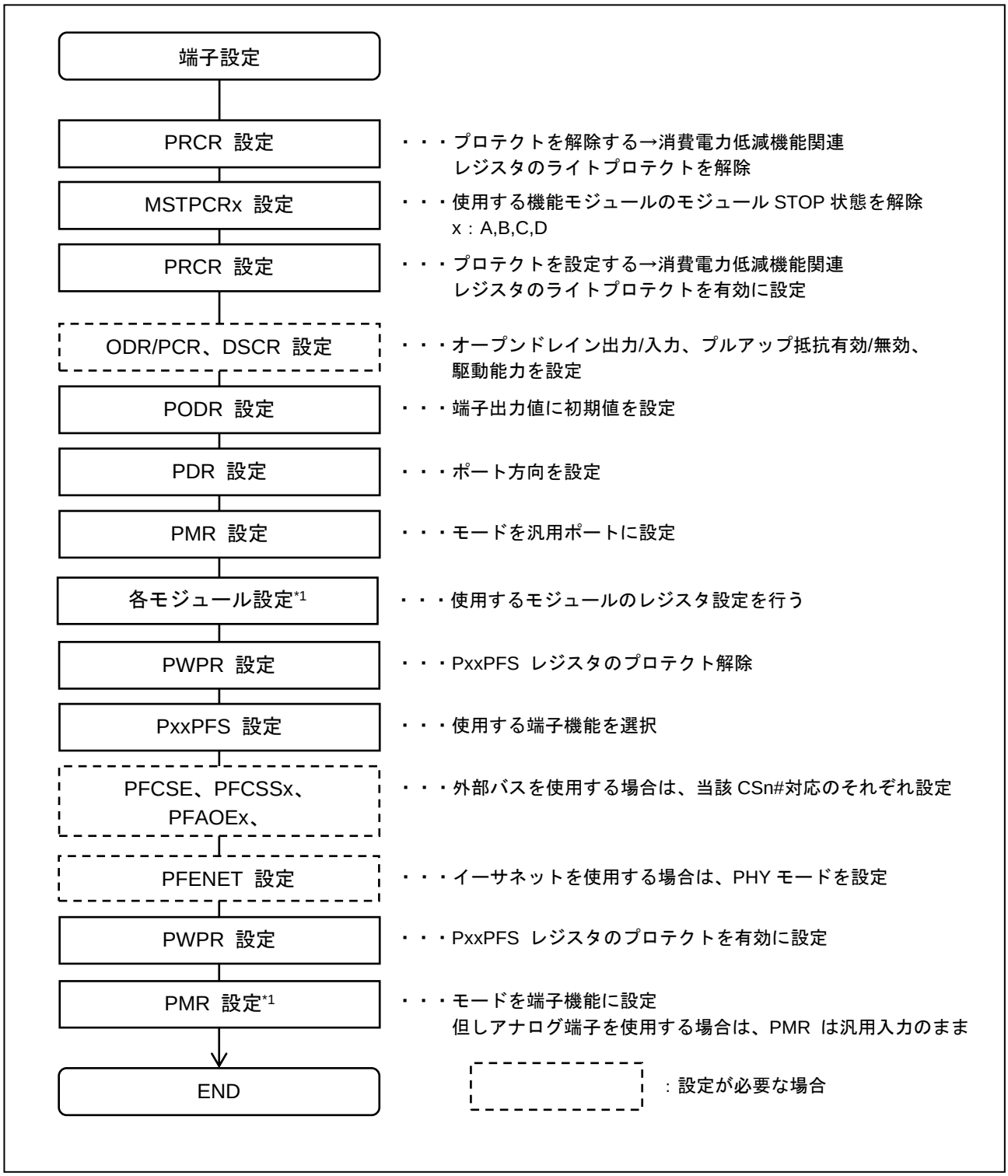


図 2.4 RX72M 端子の周辺機能設定フローチャート

【注】 MPC を使用して周辺機能として設定する具体例は各周辺モジュールの章に記載しております
*1. PMR 設定とモジュール設定の順序はモジュールによって異なります

2.3 バス

2.3.1 仕様比較

バスステートコントローラ機能として、SH7216 グループ では BSC が内蔵されています。

SH7216 グループ と RX72M の仕様比較を表 2.7 に示します。

表 2.7 SH7216 グループと RX72M の仕様比較（バス）

項目	SH7216 グループ（BSC）	RX72M
外部バスアドレス空間	• CS0～7 の外部アドレス空間 （各最大 64M バイト） 最大 2 つの CS エリアで SDRAM を選択 （最大 64M バイト）	• CS0～7 の外部アドレス空間 （各 16M バイト） • 独立した SDRAM 空間 （最大 128M バイト）
バス幅	エリア毎に 8, 16, 32 ビットから選択	エリア毎に 8, 16, 32 ビットから選択
エンディアン	エリア 0：ビッグエンディアン固定 エリア 1～7：エリア毎にエンディアン選択	エリア毎にエンディアンを選択*1
バスの調停	• CPU バス、外部バスの優先順位は固定 • 外部からのバス権要求（BREQ）を受け、バス使用許可を出力可能（BACK）	• 優先順位は固定とトグルから選択 — メモリバス — 内部周辺バス — 外部バス • 優先順位は固定 — CPU バス — 内部メインバス
割り込み要求発生	• リフレッシュ用カウンタをインターバルタイマとして利用可能	• MTU3 等のタイマ等で対応可能
外部バス調停	• 可能	• 不可
その他	• CS 領域 — アクセスウェイト制御 — CSn アサート期間拡張 — MPX-I/O インタフェース （アドレスデータマルチプレクス） — バイト選択つき SRAM 対応可 — バースト ROM（同期/非同期）対応可 • SDRAM 領域 — オートリフレッシュ、セルフリフレッシュ — CAS レイテンシ設定可能	• CS 領域 — リカバリサイクル挿入可能 — サイクルウェイト機能 — CSn#信号タイミング制御 — RD#, WR#信号のタイミング制御 — ライトアクセスモード — アドレス/データマルチプレクス I/O デバイスアクセス可能 • SDRAM 領域 — ロウアドレス/カラムアドレスのマルチプレクス出力 — オートリフレッシュ、セルフリフレッシュ — CAS レイテンシ設定可能 • ライトバッファ — ライトバッファ機能

【注】 *1. エンディアンの設定については 1.2.2 章を参照してください

2.3.2 バスブロック図

SH7216 グループ と RX72M のバスブロック図を比較します。

SH7216 グループ の BSC ブロック図を図 2.5 に、RX72M のバスブロック図を図 2.6 に示します。

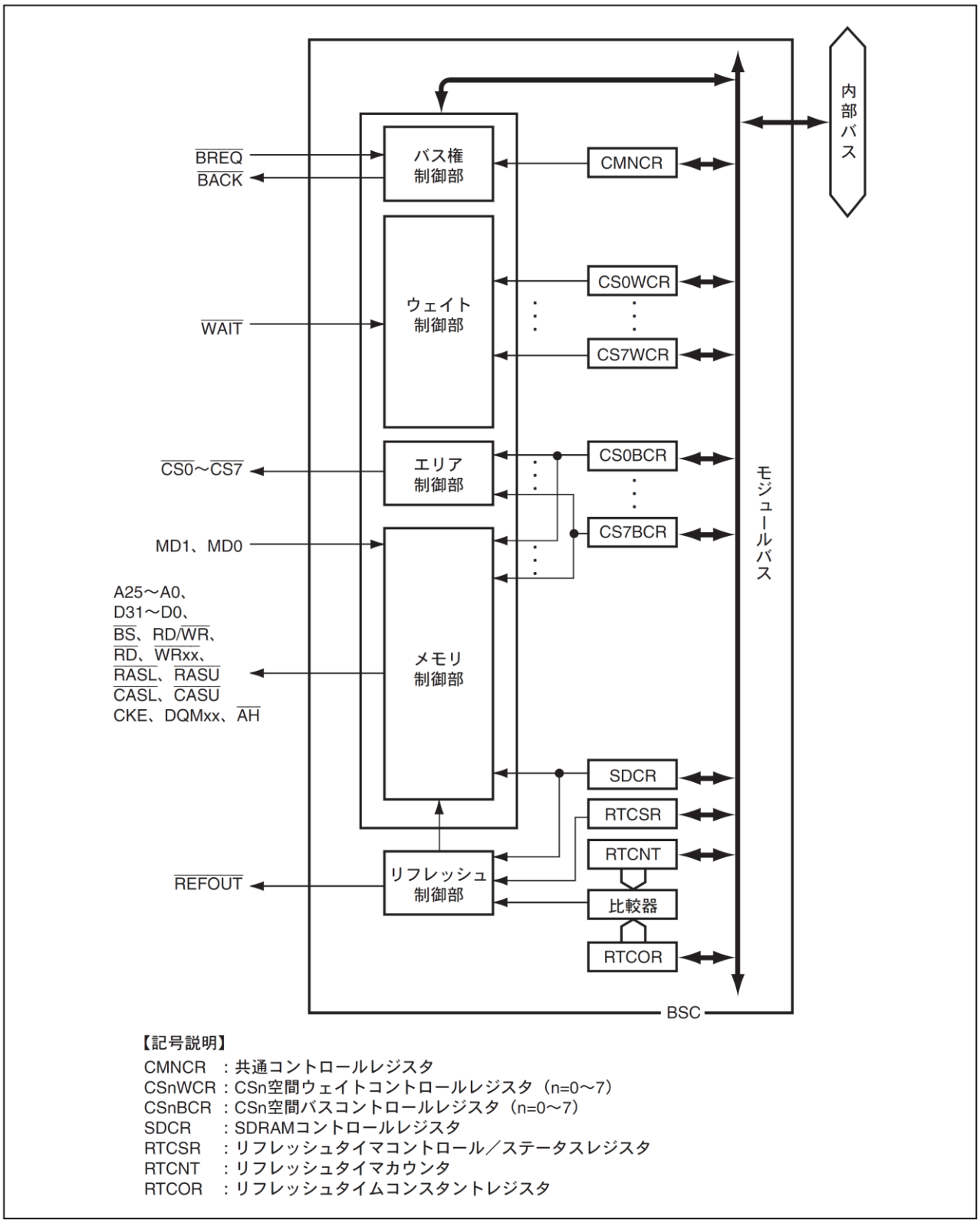


図 2.5 SH7216 グループ バスブロック図

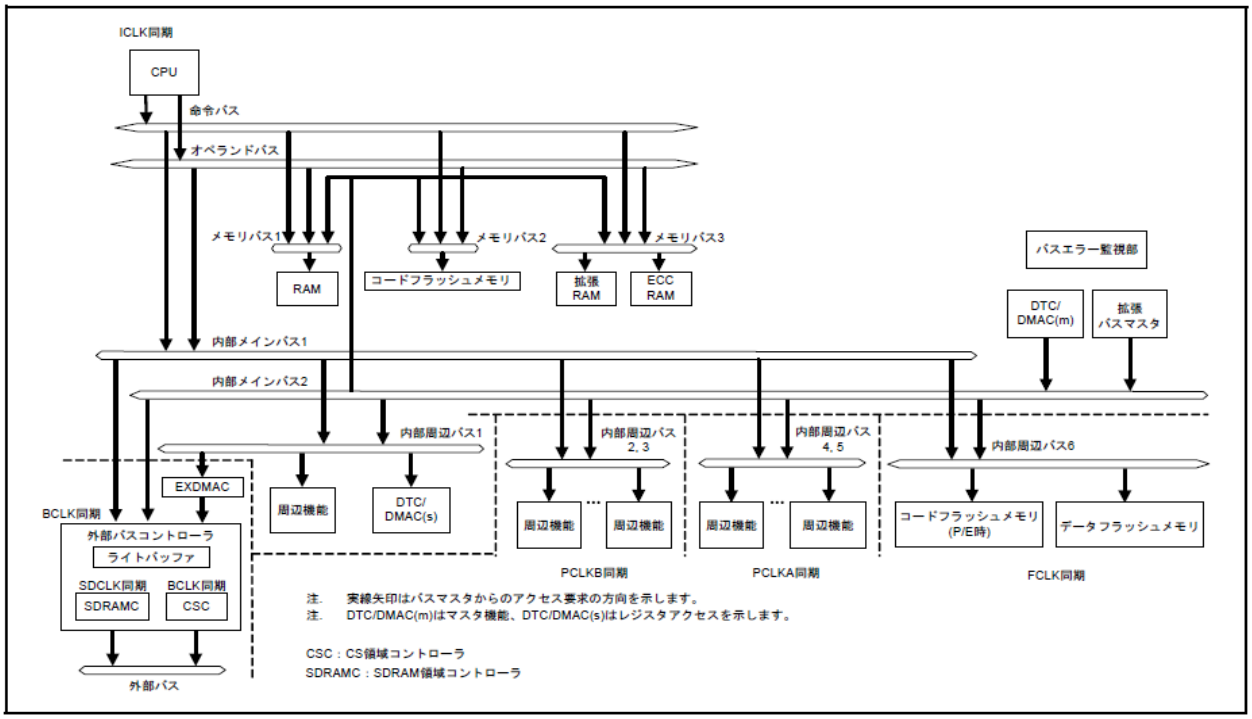


図 2.6 RX72M バスブロック図

RX72M のバスの種類を表 2.8 に示します。SH7216 グループ と RX72M ではバスアーキテクチャが異なり、メモリバス、内部バス、周辺バスがそれぞれ多段に存在します。これにより CPU と DMAC/DTC、EDMAC、周辺バス毎にモジュールの並列動作が可能になり、より高速な動作を実現できます。

表 2.8 RX72M のバスの種類

バス	接続モジュール等	クロック
CPU バス （命令バス、オペランドバス）	命令バス：CPU、内蔵メモリ オペランドバス：CPU、内蔵メモリ(RAM、拡張 RAM、ECCRAM、コードフラッシュメモリ)	ICLK
メモリバス 1	内蔵 RAM	ICLK
メモリバス 2	コードフラッシュメモリ	ICLK
メモリバス 3	拡張 RAM、ECCRAM	ICLK
内部メインバス 1	CPU	ICLK
内部メインバス 2	DTC、DMAC、EDMAC、内蔵メモリ(RAM、拡張 RAM、ECCRAM、コードフラッシュメモリ)	ICLK
内部周辺バス 1	周辺機能（DTC、DMAC、EXDMAC、割り込みコントローラ、バスエラー監視部）	ICLK （EXDMAC は BCLK）
内部周辺バス 2	周辺機能（周辺バス 1, 3, 4, 5 以外の周辺機能）	PCLKB
内部周辺バス 3	周辺機能（USB、DSMIF、PDC、スタンバイ RAM）	PLCKB
内部周辺バス 4	周辺機能（EDMAC、ETHERC、PMGI、EPTPC、MTU3、GPTW、SCI、RSPI）	PLCKA
内部周辺バス 5	周辺機能(GLCDC, DRW2D, ESC)	PLCKA

内部周辺バス 6	コードフラッシュメモリ（P/E 時）、データフラッシュメモリ	FCLK
外部バス（CS 領域）	外部デバイス	BCLK
外部バス（SDRAM 領域）	SDRAM	SDCLK

ICLK：システムクロック　PCLKA, PCLKB：周辺モジュールクロック
FCLK：Flash_IF クロック　BCLK：外部バスクロック　SDCLK：SDRAM クロック

2.4　データトランスファコントローラ（DTCb）

2.4.1　仕様比較

データトランスファコントローラ機能として、SH7216 グループ では DTC、RX72M では DTCb が内蔵されています。

SH7216 グループと RX72M ともに転送情報を RAM 上に配置し、DTC ベクタにより転送情報を指定する方式です。3 つの転送モード（ノーマル転送モード、リピート転送モード、ブロック転送モード）の基本的な動作は同じです。SH7216 グループ と RX72M の仕様比較を表 2.9 に示します。

表 2.9 SH7216 グループと RX72M の仕様比較（DTC）

項目	SH7216 グループ（DTC）	RX72M（DTCb）
転送モード	● ノーマル転送モード ● リピート転送モード ● ブロック転送モード	
起動要因	● 外部割り込み ● 周辺機能割り込み	● 外部割り込み ● 周辺機能割り込み ● ソフトウェア割り込み
起動許可/禁止制御	DTC モジュールの DTC イネーブルレジスタにより起動	割り込みコントローラの DTC 起動許可レジスタにより起動
転送空間	以下空間内で転送可能 ● 内蔵メモリ空間 ● 内蔵周辺モジュール空間 （DMAC、DTC、BSC、UBC、FLASH を除く） ● 外部メモリ空間 ● メモリマップト外部デバイス 転送元もしくは転送先の少なくともどちらか片方は必ず内蔵周辺モジュール空間を指定	以下空間内で転送可能 ● 内蔵メモリ空間 ● 内蔵周辺モジュール空間 ● 外部メモリ空間
転送単位	● ノーマル転送モード：8, 16, 32 ビットから選択 ● リピート転送モード：8, 16, 32 ビットから選択 ● ブロック転送モード：8 ビット～256 ロングワードから選択	
転送回数	● ノーマル転送モード：1～65536 回 ● リピート転送モード：1～256 回（指定回数終了後リピート） ● ブロック転送モード：1～65536 回	
CPU 割り込み要求	● DTC 起動要因とした割り込みでの CPU 割り込み要求可能 ● 1 データ転送終了時に CPU 割り込み可能 ● 指定回数データ転送後に CPU 割り込み可能	
方式	DTC ベクタで割り込み要因毎に制御情報を配置	
その他	● チェイン転送 ● モジュールストップ状態への遷移 ● 以下機能により、高速伝送、メモリ容量削減が可能 転送情報のリードスキップ ライトバックスキップ ショートアドレスモード バス権解放タイミングの設定	● チェイン転送 ● モジュールストップ状態への遷移 ● 以下機能と内部バスの複数化により高速伝送、メモリ容量削減が可能 転送情報リードスキップ ライトバックスキップ ● シーケンス転送 ● イベントリンク ● ライトバックディスエーブル ● ディスプレースメント加算

2.4.2　レジスタ比較

SH7216 グループ は DTC のモジュールストップ状態を解除することで、DTC の動作が可能になります。RX72M は DTC のモジュールストップ状態の解除に加え、DTC モジュール起動レジスタ（DTCST）で DTC モジュール動作に設定することで、DTC の動作が可能になります。

SH7216 グループ と RX72M のレジスタ比較を表 2.10 に示します。

表の変更欄の記号

◎：SH7216 グループと RX72M でビットアサインが同じレジスタ
△：SH7216 グループと RX72M でビットアサインが異なるレジスタ
—：SH7216 グループと RX72M で一方にしかないレジスタ

表 2.10 SH7216 グループと RX72M のレジスタ比較（DTC）

SH7216 グループ（DTC）	RX72M（DTCb）	変更
DTC モードレジスタ A（MRA）	DTC モードレジスタ A（MRA）	△
DTC モードレジスタ B（MRB）	DTC モードレジスタ B（MRB）	△
—	DTC モードレジスタ C（MRC）	—
DTC ソースアドレスレジスタ（SAR）	DTC 転送元レジスタ（SAR）	◎
DTC デスティネーションアドレスレジスタ（DAR）	DTC 転送先レジスタ（DAR）	◎
DTC 転送カウントレジスタ A（CRA）	DTC 転送カウントレジスタ A（CRA）	◎
DTC 転送カウントレジスタ B（CRB）	DTC 転送カウントレジスタ B（CRB）	◎
DTC コントロールレジスタ（DTCCR）	DTC コントロールレジスタ（DTCCR）	△
DTC ベクタベースレジスタ（DTCVBR）	DTC ベクタベースレジスタ（DTCVBR）	◎
バス機能拡張レジスタ（BSCEHR） DTC ショートアドレスモード（DTSA ビット）	DTC アドレスモードレジスタ（DTCADMOD）	△
DTC イネーブルレジスタ A～E（DTCERA～DTCERE）*1	—	—
—	DTC モジュール起動レジスタ（DTCST）	—
	DTC ステータスレジスタ（DTCSTS）	
	DTC インデックステーブルベースレジスタ（DTCIBR）	—
	DTC オペレーションレジスタ（DTCOR）	—
	DTC シーケンス転送許可レジスタ（DTCSQE）	—
	DTC アドレスディスプレースメントレジスタ（DTCDISP）	—

【注】 *1. RX72M は、周辺モジュールからの転送要求設定を割り込みコントローラで行います

2.4.3　起動要因設定

SH7216 グループ で周辺モジュールから DTC を起動する場合は、起動要因を本モジュールの DTC イネーブルレジスタ A～E（DTCERA～DTCERE）に設定します。RX72M の DTC 起動要因は、割り込みコントローラの DTC 起動許可レジスタ n（DTCERn）に DTC の起動要因を設定することで当該割り込みによる DTC 起動を有効にします。

2.4.4 DTC ベクタの構成

SH7216 グループ と RX72M の DTC ベクタ構成の違いを示します。

SH7216 グループ の DTC ベクタテーブルの先頭アドレスは、上位 20 ビットを DTC ベクタベースアドレス（DTCVBR）とし、下位 12 ビットを“400h＋ベクタ番号×4”で算出されます。DTC ベクタテーブルは、ベースアドレスの下位 12 ビットが“0”になるように、4K バイト境界に配置してください。

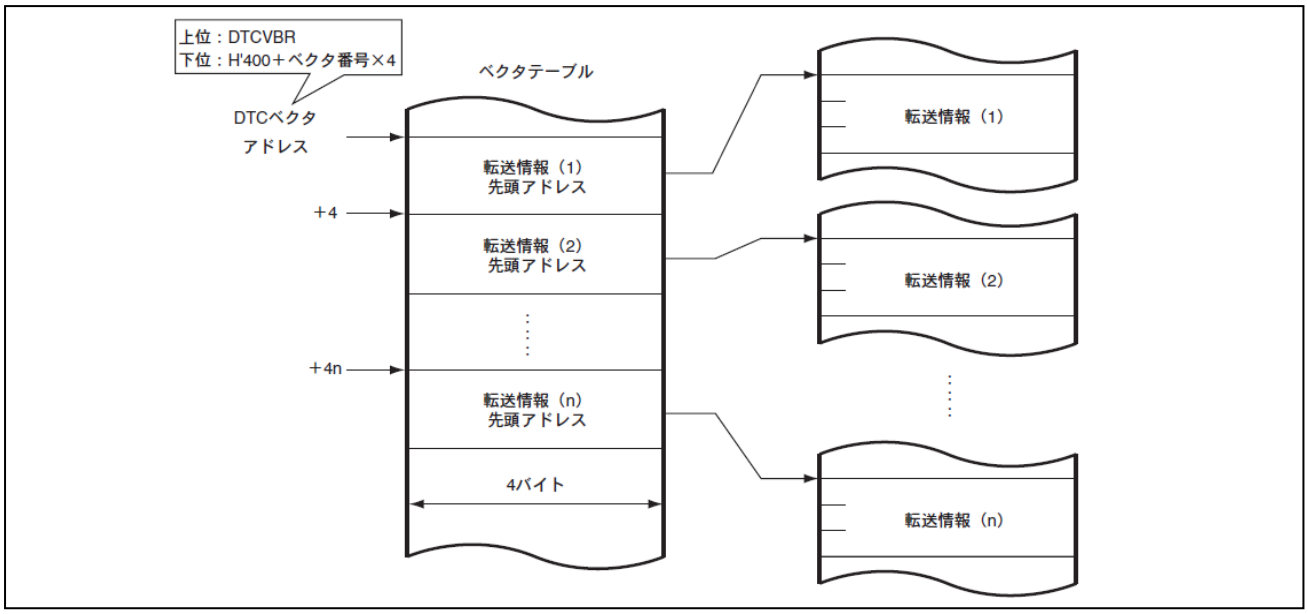


図 2.7 SH7216 グループ の DTC ベクタ構成

RX72M の DTC ベクタテーブルの先頭アドレスは、“DTC ベクタベースアドレス（DTCVBR）＋（ベクタ番号×4）”で算出されます。DTC ベクタテーブルは、ベースアドレスの下位 10 ビットが“0”になるように、1K バイト境界に配置してください。

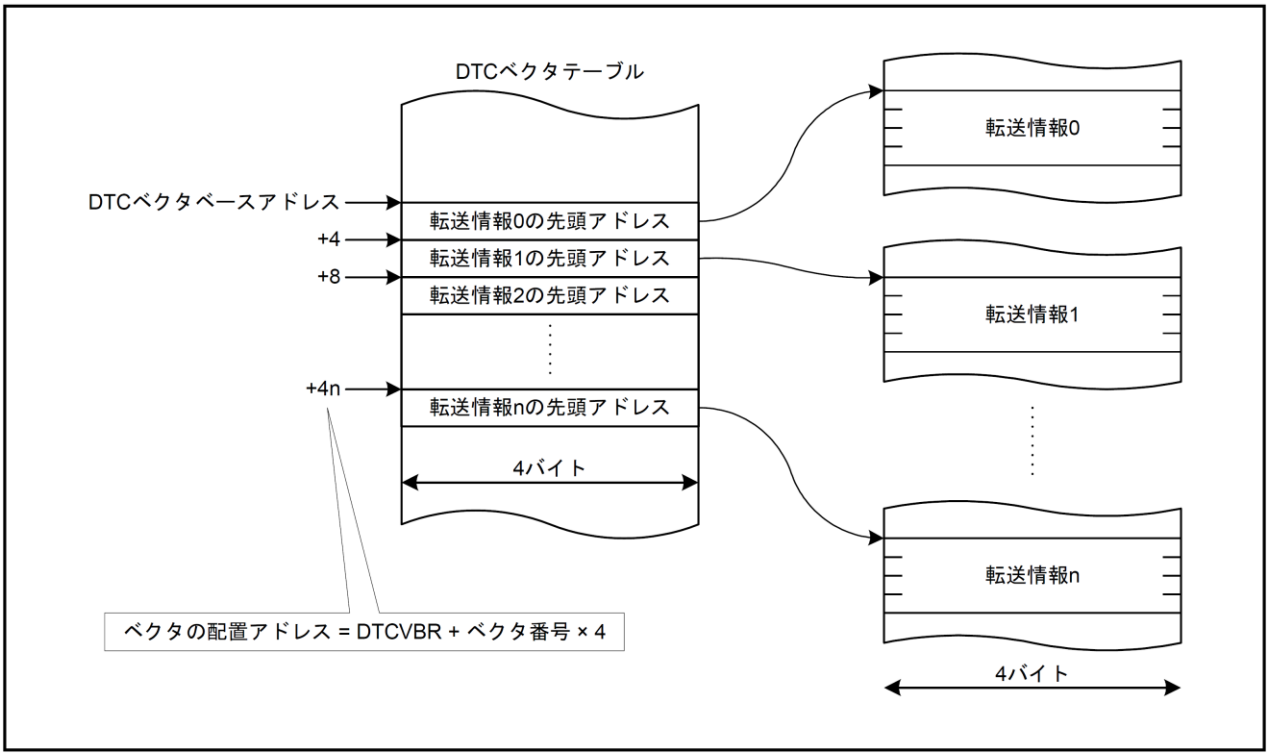


図 2.8 RX72M の DTC ベクタ構成

2.4.5 転送情報の配置

SH7216 グループ の DTC 転送情報はビッグエンディアン固定です。RX72M の DTC 転送情報は配置領域のエンディアン設定に依存します。エンディアンを除き転送情報の配置は同一です。

ショートアドレスモードを選択する場合、SH7216 グループ は BSC のバス機能拡張レジスタ（BSCEHR）で設定するのに対し、RX72M は DTC アドレスモードレジスタ（DTCADMOD）で設定します。ショートアドレスモード選択時の、DTC 転送元および転送先アドレスを図 2.9 に示します。

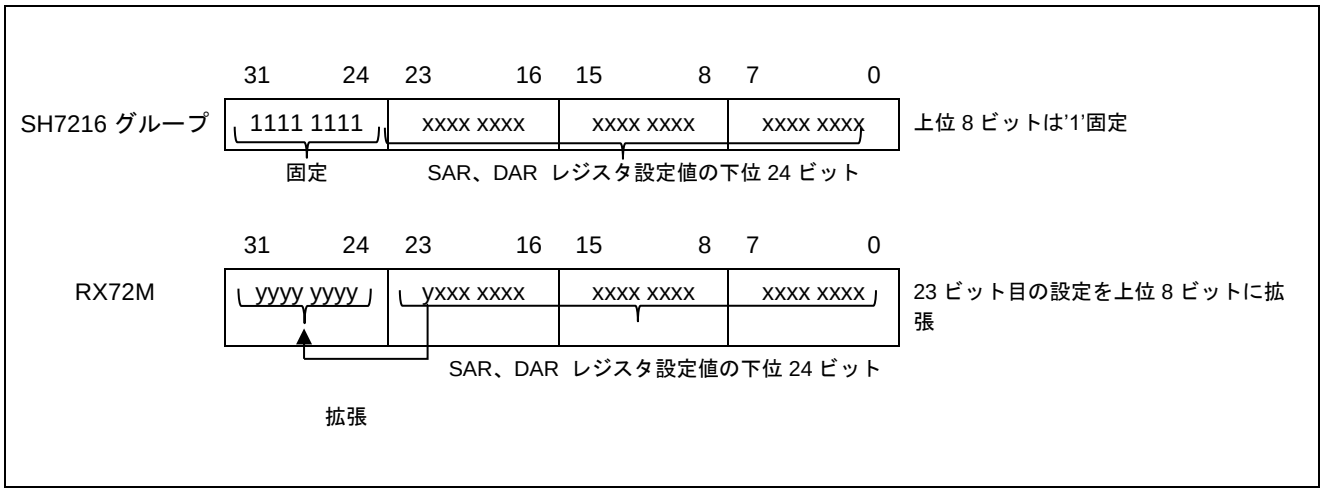


図 2.9 ショートアドレスモードにおける転送元および転送先アドレス

RX72M の DTC 転送情報の配置を図 2.10 に示します。

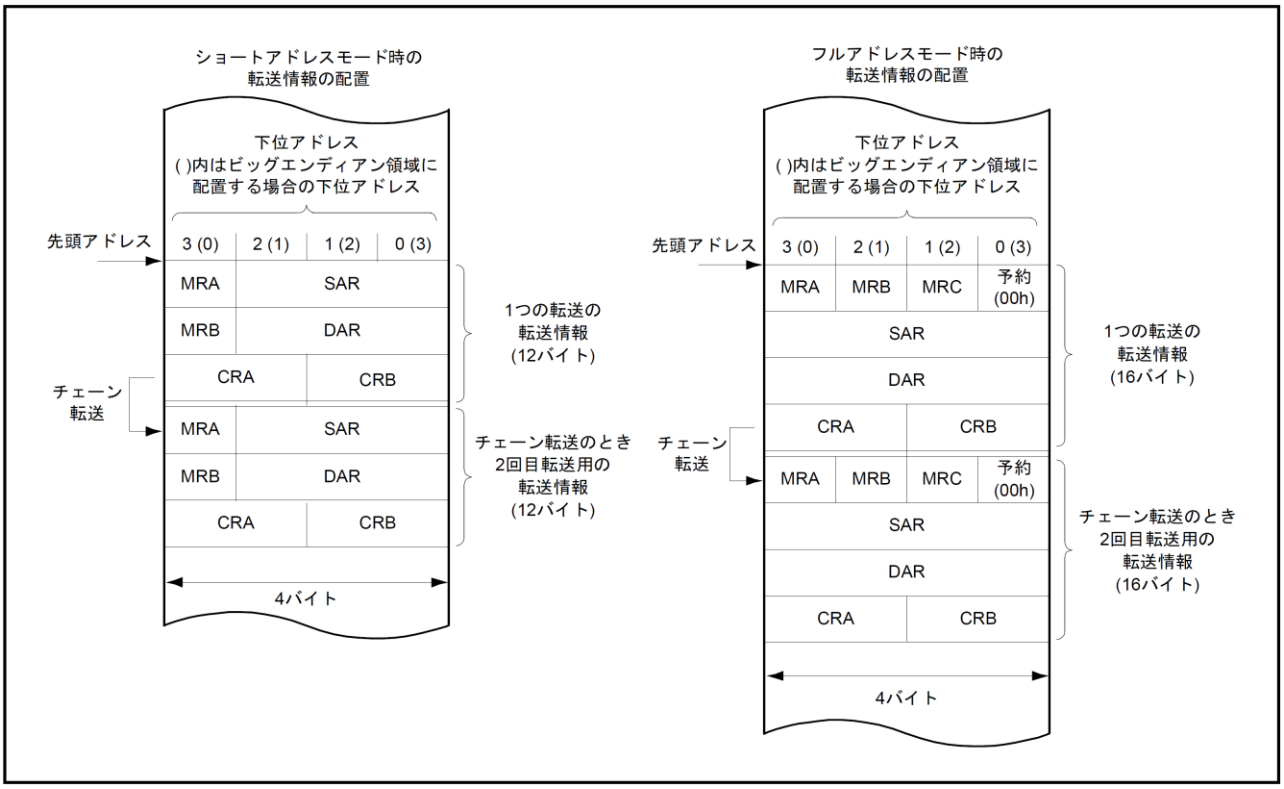


図 2.10 RX72M 転送情報の配置

2.4.6　モジュールストップ

RX72M はリセット後、DTCb のモジュールストップが解除されています。

RX72M の DTCb と DMACAa は、モジュールストップ設定ビット（MSTPCRA.MSTPA28）が共通の為、モジュールストップ制御が同時におこわなれます。

モジュールストップ状態については 2.20 章を参照してください。

2.5　DMA コントローラ（DMACAa）

2.5.1　仕様比較

ダイレクトメモリアクセスコントロール機能として、SH7216 グループ では DMAC、RX72M では DMACAa と外部領域-外部領域間の転送専用の EXDMACa が内蔵されています。

RX72M は、SH7216 グループ とは内部バス構成が異なり、CPU 命令実行と DMAC/DTC によるデータ転送の独立動作が可能なため転送性能が向上しています。SH7216 グループ と RX72M の仕様比較を表 2.11 に示します。

表 2.11 SH7216 グループと RX72M の仕様比較（DMAC）

項目		SH7216 グループ	RX72M	
		DMAC	DMACAa	EXDMACa
チャネル数		8ch	8ch	2ch
最大転送回数（RX は最大転送データ数）		16M（16,777,216）回	64M データ （ブロック転送モード最大総転送数：1024 データ x 65,536 ブロック） フリーランニングも可能	1M データ （ブロック転送モード最大総転送数：1024 データ x 1024 ブロック）
起動要因		● 外部リクエスト ● 内蔵モジュールリクエスト ● オートリクエスト （ソフトウェアトリガ相当）	（外部リクエストは不可） ● 内蔵モジュールリクエスト ● ソフトウェアトリガ ● 外部割り込み	● 外部リクエスト ● 内蔵モジュールリクエスト ● ソフトウェアトリガ
チャネル優先順位		以下から選択 — チャネル 0＞チャネル 1＞…＞チャネル 7 — チャネル 0＞チャネル 4＞…＞チャネル 3＞チャネル 7 — ラウンドロビン	固定 （チャネル 0＞チャネル 1＞…＞チャネル 7）	固定 （チャネル 0＞チャネル 1）
転送データ	1 データ	8 ビット, 16 ビット, 32 ビット, 128 ビット	8 ビット, 16 ビット, 32 ビット	8 ビット, 16 ビット, 32 ビット
	リピートサイズ	—	データ数：1～1024	データ数：1～1024
	ブロックサイズ	—	データ数：1～1024	データ数：1～1024
	クラスタサイズ	—	—	データ数：1～8
転送モード		● なし （SH の転送モードは RX のノーマル転送モードに相当）	● ノーマル転送モード ● リピート転送モード ● ブロック転送モード	● ノーマル転送モード ● リピート転送モード ● ブロック転送モード ● クラスタ転送モード
バスモード		● サイクルスチールモード ● バーストモード	—	—
アドレスモード		● シングルアドレスモード ● デュアルアドレスモード	—	● シングルアドレスモード ● デュアルアドレスモード
アドレス更新モード		● アドレス固定 ● インクリメント ● デクリメント	● アドレス固定 ● オフセット加算 ● インクリメント デクリメント	● アドレス固定 ● オフセット加算 ● インクリメント ● デクリメント
割り込み要求	転送終了割り込み	● 指定回数のデータ転送終了時 ● 指定回数の 1/2 のデータ転送終了時	● ノーマル転送モード：指定回数の転送終了時 ● リピート転送モード：指定リピート回数の転送終了時 ● ブロック転送モード：指定ブロック数の転送終了時 ● クラスタ転送モード：指定クラス多数の転送終了時（EXDMAC のみ）	

	転送エスケープ終了割り込み	—	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生	
その他		● リロード機能 ● 転送終了信号の出力	● 拡張リピートエリア機能 ● イベントリンク機能	● 拡張リピートエリア機能

2.5.2 DMAC ブロック図

SH7216 グループ の DMAC ブロック図を図 2.11 に示します。

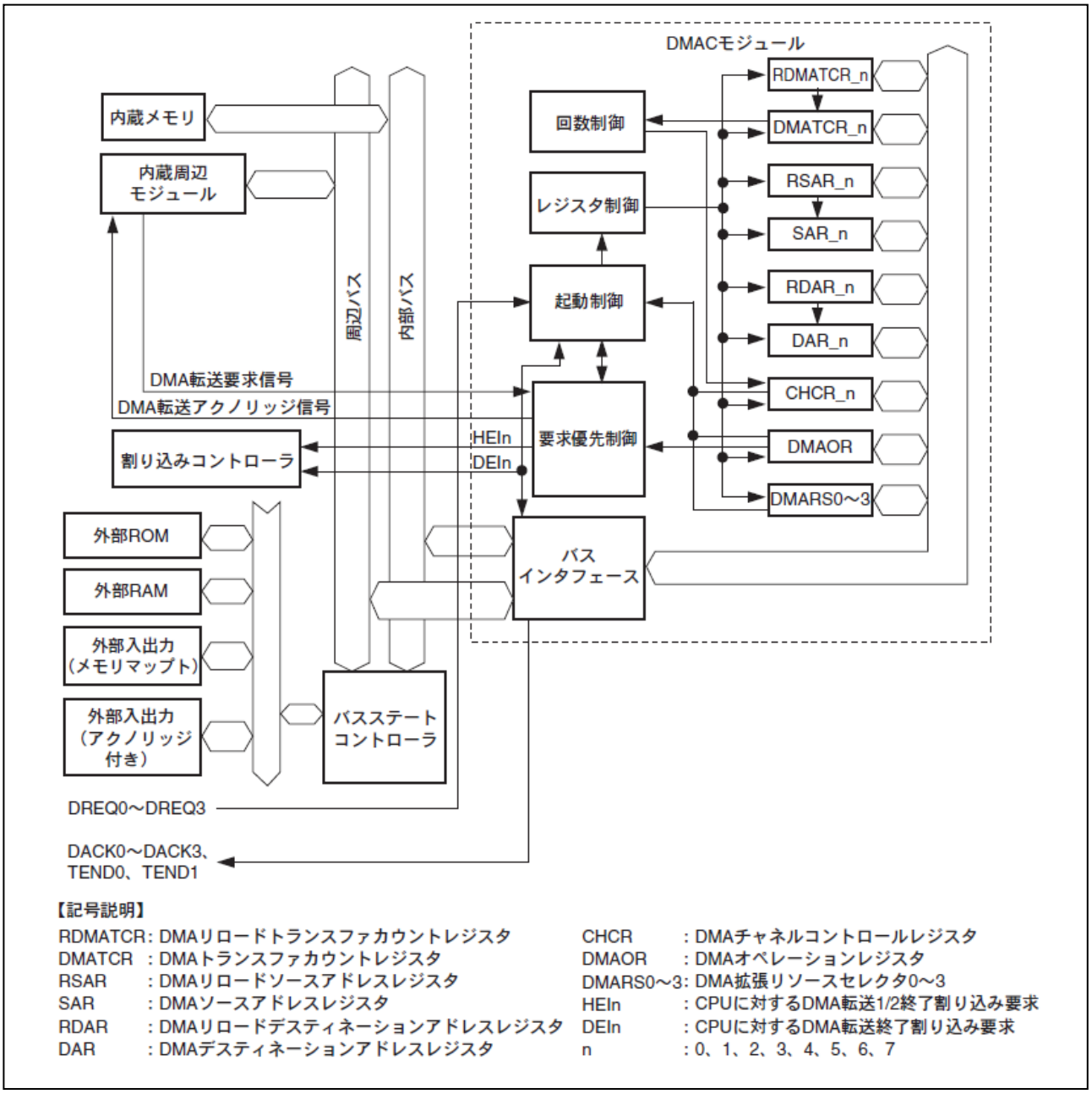


図 2.11 SH7216 グループ DMAC ブロック図

RX72M の DMACAa ブロック図を図 2.12 に示します。

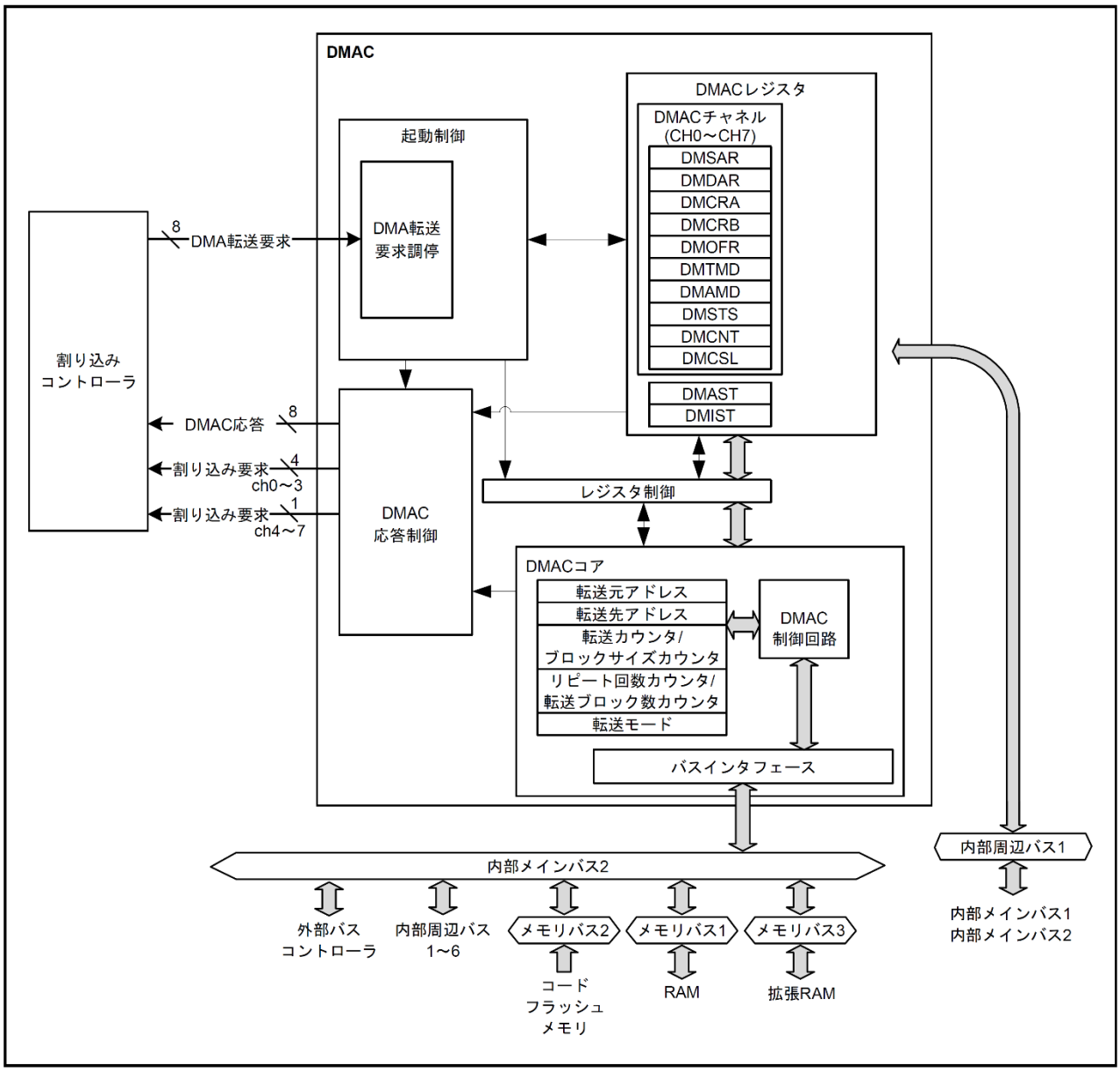
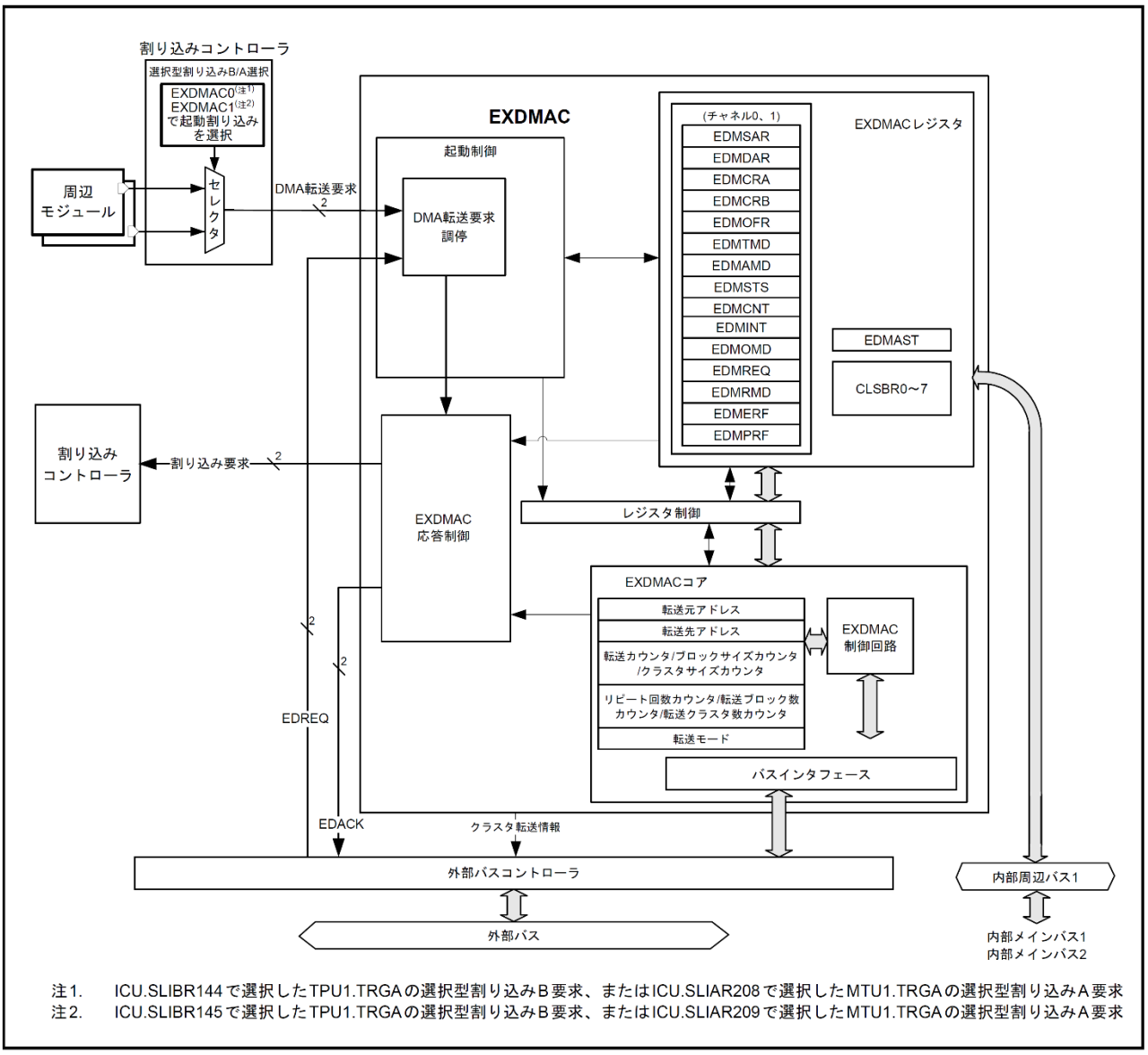


図 2.12 RX72M DMACAa ブロック図

RX72M の EXDMACa ブロック図を図 2.13 に示します。



注1.　ICU.SLIBR144で選択したTPU1.TRGAの選択型割り込みB要求、またはICU.SLIAR208で選択したMTU1.TRGAの選択型割り込みA要求
注2.　ICU.SLIBR145で選択したTPU1.TRGAの選択型割り込みB要求、またはICU.SLIAR209で選択したMTU1.TRGAの選択型割り込みA要求

図 2.13 RX72M EXDMACa ブロック図

2.5.3　レジスタ比較

SH7216 グループと RX72M のレジスタ比較を表 2.12 と表 2.13 に示します。

表の変更欄の記号

◎：SH7216 グループと RX72M でビットアサインが同じレジスタ
△：SH7216 グループと RX72M でビットアサインが異なるレジスタ
—：SH7216 グループと RX72M で一方にしかないレジスタ

表 2.12 SH7216 グループと RX72M のレジスタ比較（DMAC/DMACAa）

SH7216 グループ（DMAC）*1	RX72M（DMACAa）*2	変更
DMA オペレーションレジスタ（DMAOR）	DMA モジュール起動レジスタ（DMAST）	△
DMA ソースアドレスレジスタ_n（SAR_n）	DMA 転送元アドレスレジスタ（DMACm.DMSAR）	◎
DMA デスティネーションアドレスレジスタ_n（DAR_n）	DMA 転送先アドレスレジスタ（DMACm.DMDAR）	◎
DMA トランスファカウントレジスタ_n（DMATCR_n）	DMA 転送カウントレジスタ（DMACm.DMCRA）	◎
DMA チャネルコントロールレジスタ_n（CHCR_n）*3	DMA 転送モードレジスタ（DMACm.DMTMD） DMA アドレスモードレジスタ（DMACm.DMAMD） DMA 割り込み設定レジスタ（DMACm.DMINT） DMA 転送許可レジスタ（DMACm.DMCNT） DMA ステータスレジスタ（DMACm.DMSTS） DMA ソフトウェア起動レジスタ（DMACm.DMREQ）	△
—	DMA ブロック転送カウントレジスタ（DMACm.DMCRB）	—
	DMA 起動要因フラグ制御レジスタ（DMACm.DMCSL）	
	DMA オフセットレジスタ（DMAC0.DMOFR）	
	DMAC74 割り込みステータスモニタレジスタ（DMIST）	
DMA 拡張リソースセレクタ 0～3（DMARS0～DMARS3） DMA リロードソースアドレスレジスタ_n（RSAR_n） DMA リロードデスティネーションアドレスレジスタ_n（RDAR_n） DMA リロードトランスファカウントレジスタ_n（RDMATCR_n）	—	—

【注】 *1. DMAC n：0～7
*2. DMACAa m：0～7
*3. RX72M は周辺モジュールからの転送要求設定を割り込みコントローラで行います

表 2.13 SH7216 グループと RX72M のレジスタ比較（DMAC/EXDMACa）

SH7216 グループ（DMAC）*1	RX72M（EXDMACa）*2	変更
DMA オペレーションレジスタ（DMAOR）	EXDMA モジュール起動レジスタ（EDMAST）	△
DMA ソースアドレスレジスタ_n（SAR_n）	EXDMA 転送元アドレスレジスタ （EXDMACm.EDMSAR）	◎
DMA デスティネーションアドレスレジスタ_n （DAR_n）	EXDMA 転送先アドレスレジスタ （EXDMACm.EDMDAR）	◎
DMA トランスファカウントレジスタ_n （DMATCR_n）	EXDMA 転送カウントレジスタ （EXDMACm.EDMCRA）	◎
DMA チャネルコントロールレジスタ_n（CHCR_n） *3	EXDMA 転送モードレジスタ （EXDMACm.EDMTMD） EXDMA アドレスモードレジスタ （EXDMACm.EDMAMD） EXDMA 割り込み設定レジスタ （EXDMACm.EDMINT） EXDMA 転送許可レジスタ （EXDMACm.EDMCNT） EXDMA 外部要求センスモードレジスタ （EXDMACm.EDMRMD） EXDMA 出力設定レジスタ （EXDMACm.EDMOMD） EXDMA ステータスレジスタ （EXDMACm.EDMSTS） EXDMA ソフトウェア起動レジスタ （EXDMACm.EDMREQ）	△
—	EXDMA ブロック転送カウントレジスタ （EXDMACm.EDMCRB）	—
	EXDMA オフセットレジスタ （EXDMAC0.EDMOFR）	
	EXDMA 外部要求フラグレジスタ （EXDMACm.EDMERF）	
	EXDMA 周辺要求フラグレジスタ （EXDMACm.EDMPRF）	
	クラスタバッファレジスタ y（CLSBRy）（y = 0 ～ 7）	
DMA 拡張リソースセレクタ 0～3（DMARS0～DMARS3） DMA リロードソースアドレスレジスタ_n （RSAR_n） DMA リロードデスティネーションアドレスレジスタ_n （RDAR_n） DMA リロードトランスファカウントレジスタ_n （RDMATCR_n）	—	—

【注】 *1. DMAC n：0～7
*2. EXDMACa m：0～1
*3. RX72M は周辺モジュールからの転送要求設定を割り込みコントローラで行います

2.5.4　起動要因設定

SH7216 グループ で周辺モジュールから DMA 起動する場合は、起動要因を DMA チャネルコントロールレジスタ（CHCR_0～7.RS[3:0]）のリソースセレクトと DMA 拡張リソースセレクタ（DMARSm）に設定します。RX72M の DMA の起動要因は、割り込みコントローラの DMAC 起動要因選択レジスタ（DMRSRm）に起動要因のベクタ番号を設定することで当該割り込みによる DMA 起動を有効にします。

DMA 起動要因の種類を表 2.14 に示します。

表 2.14 DMA 起動要因の比較

DMA 起動要因	SH7216 グループ	RX72M	
	DMAC	DMACAa	EXDMACa
ソフトウェアによる起動	可	可	可
外部デバイスからのリクエスト端子による起動	可（DREQn 端子） 立ち上がりエッジ 立ち下がりエッジ ローレベル ハイレベル	不可	可（EDREQm 端子） 立ち上がりエッジ 立ち下がりエッジ ローレベル
外部割り込み入力端子からの割り込みによる起動	不可	可（IRQ 端子）	不可
周辺モジュールからの起動	可 （MTU, ADC, SCIF, IIC, CMT, USB, RSPI, CAN）	可 （CMT, CMTW, USB, RSPI, QSPI, SDHI, MMCIF, SSIE, SRC, RIIC, SCI, PDC, SCIF, MTU, GPT, EPTPC, AES, TPU, ADC, SHA, ELC）	可 （TPU, MTU）

n, m　：各 DMA のチャネル数（n = 0～3、m = 0～1）

2.5.5　転送回数

RX72M は転送回数を指定しないフリーランニングが可能です。SH7216 グループ と RX72M のノーマル転送モードにおける転送回数の設定値を表 2.15 に示します。

表 2.15 転送回数の設定値

転送回数	SH7216 グループ	RX72M （DMACAa, EXDMACa）
1 回	00000001h	0001h
65535 回	0000FFFFh	FFFFh （最大転送回数）
16,777,215 回	00FFFFFFh	—
16,777,216 回	00000000h （最大転送回数）	—
フリーランニング （転送回数指定なし）	—	0000h

2.5.6　転送元/先について

各 DMA コントローラがサポートする転送元/先について転送の可否を表 2.16～表 2.18 に示します。

表 2.16 SH7216 グループ DMAC 転送元/先

転送元＼転送先	DACK 付き外部デバイス	外部メモリ	メモリマップト外部デバイス	内蔵メモリ	内蔵周辺モジュール
DACK 付き外部デバイス	—	●○	●○	—	—
外部メモリ	●○	○	○	○	○
メモリマップト外部デバイス	●○	○	○	○	○
内蔵周辺モジュール	—	○	○	○	○
内蔵メモリ	—	○	○	○	○

●：シングルアドレスモードで転送可能、　○：デュアルアドレスモードで転送可能、　—：転送不可

表 2.17 RX72M DMACAa 転送元/先

転送元＼転送先	DACK 付き外部デバイス	外部メモリ	メモリマップト外部デバイス	内蔵メモリ	内蔵周辺モジュール
DACK 付き外部デバイス	—	—	—	—	—
外部メモリ	—	○	○	○	○
メモリマップト外部デバイス	—	○	○	○	○
内蔵周辺モジュール	—	○	○	○	○
内蔵メモリ	—	○	○	○	○

○：転送可能　—：転送不可

表 2.18 RX72M EXDMACa 転送元/先

転送元＼転送先	EDACK 付き外部デバイス	外部メモリ	メモリマップト外部デバイス	内蔵メモリ	内蔵周辺モジュール
EDACK 付き外部デバイス	—	●	●	—	—
外部メモリ	●	○	○	—	—
メモリマップト外部デバイス	●	○	○	—	—
内蔵周辺モジュール	—	—	—	—	—
内蔵メモリ	—	—	—	—	—

●：シングルアドレスモードで転送可能　○：デュアルアドレスモードで転送可能　—：転送不可

2.5.7　アドレスモード

SH7216 グループ のアドレスモードは、シングルアドレスモードとデュアルアドレスモードがあります。

RX72M の EXDMACa は SH7216 グループ と同じシングルアドレスモード、デュアルアドレスモードがあり、シングルアドレスモードでは 1 つのバスサイクルで DMA 転送を行うことができます。デュアルアドレスモードでは 2 つのバスサイクルで DMA 転送を行うことができます。DMACAa には、アドレスモードの概念がありませんが、SH7216 グループ のデュアルアドレスモードと同様なアドレス指定と動作を行います。

2.5.8　バスモード

SH7216 グループ はバスモード指定をサイクルスチールモードとバーストモードから選択します。サイクルスチールモードでは 1 転送が終了するとバスを別のバスマスタに開放します。バーストモードでは一度 DMA 転送が始まると、転送が終了するまでバスを開放しません。

RX72M では DMACAa、EXDMACa ともにバスモードの指定はありません。これはバスのアーキテクチャが SH7216 グループ と異なり、バスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能なためです。RX72M では CPU の命令フェッチが ROM アクセス、オペランドが RAM アクセス中に、DMAC は周辺バス、外部バス間の転送を行うことができます。

CPU がコードフラッシュメモリと RAM をアクセス中に、DMAC は内部メインバス 2 を使い、周辺バスまたは外部バスを同時にアクセスする場合の例を図 2.14 に示します。

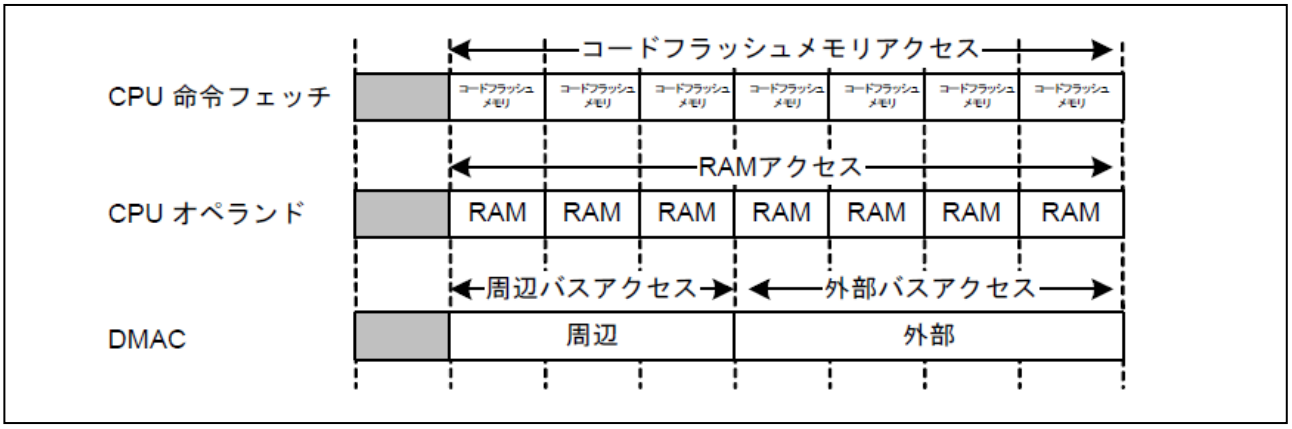


図 2.14 RX72M バスの並列動作

2.5.9　モジュールストップ

RX72M はリセット後、DMACAa および EXDMACa のモジュールストップが解除されています。

RX72M の DTCb と DMACAa は、モジュールストップ設定ビット（MSTPCRA.MSTPA28）が共通の為、モジュールストップ制御が同時におこわなれます。EXDMACa はモジュールストップ設定ビット（MSTPCRA.MSTPA29）が独立しているため、個別に制御が可能です。

モジュールストップ状態については 2.20 章を参照してください。

2.6 マルチファンクションタイマパルスユニット 3（MTU3a）

2.6.1 仕様比較

マルチファンクションタイマパルスユニットとして、SH7216 グループ では MTU2 と MTU2S、RX72M では MTU3a が内蔵されています。

RX72M は SH7216 グループ の MTU 機能を包含しています（ソフトウェアコンパチ）。SH7216 グループ と RX72M の仕様比較を表 2.19 に示します。

表 2.19 SH7216 グループと RX72M の仕様比較（MTU）

項目		SH7216 グループ		RX72M
		MTU2	MTU2S	MTU3a
チャネル毎の機能互換	16 ビットタイマ	MTU0	—	MTU0
		MTU1	—	MTU1
		MTU2	—	MTU2
		MTU3	MTU3S	MTU3, MTU6
		MTU4	MTU4S	MTU4, MTU7
		MTU5	MTU5S	MTU5
	32 ビットタイマ	—	—	MTU8
パルス入出力		最大 16 本	最大 8 本	最大 28 本
パルス入力		3 本	3 本	3 本
カウントクロック		チャネル毎に周辺クロック Pφ、外部クロック（TCLKA, TCLKB, TCLKC, TCLKD）を使用して最大 8 種類から選択	チャネル毎に MTU2S クロック Mφ を使用して最大 6 種類から選択	チャネル毎に周辺モジュールクロック PCLKA、外部クロック（MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A）を使用して最大 14 種類から選択
DTC/DMAC 起動		DTC/DMAC 起動可能	DTC 起動可能	DTC/DMAC 起動可能
A/D 変換開始トリガ		トリガ生成可能	トリガ生成可能	トリガ生成可能
割り込み要因		28 種類	13 種類	43 種類
ノイズ除去		なし	なし	外部クロック端子にノイズフィルタを設定可能
その他		• カスケード接続	—	• イベントリンク • カスケード接続

2.6.2　割り込みフラグの扱い

SH7216 の MTU2、MTU2S と RX72M の MTU3 はソフトウェアコンパチです。MTU0～MTU4 と MTU6～MTU8 の機能は、タイマステータスレジスタ（TSR）割り込みフラグを除き、レジスタの変更なしに移植が可能です（端子設定等の初期設定は別途変更が必要です）。唯一、RX72M ではタイマステータスレジスタ（TSR）に割り込みフラグがありませんが、割り込みコントローラを設定することで同様な処理を実現できます。

SH7216 グループ の MTU2S は DTC のみ起動が可能なのに対し、RX72M は全てのチャネルにおいて DTC と DMAC の起動が可能です。

RX72M の MTU 割り込みは選択型割り込み A に割り当てられています。割り込みコントローラの選択型割り込み A ステータスフラグ（PIARk.PIRn）は、自動的にクリアされませんが、そのままでも割り込み要求の生成には影響しません。

割り込みについては 1.8 章を参照してください。

表 2.20 SH7216 グループ、RX72M MTU 割り込み要因一覧

項目	SH7216 グループ							
	MTU0	MTU1	MTU2	—	MTU3 MTU3S	MTU4 MTU4S	MTU5 MTU5S	—
	RX72M							
	MTU0	MTU1	MTU2	MTU1& MTU2*2	MTU3 MTU6	MTU4 MTU7	MTU5	MTU8
コンペアマッチ nA*3	○	○	○	—	○	○	—	○
インプットキャプチャ nA*3	○	○	○	○	○	○	—	○
コンペアマッチ nB*3	○	○	○	—	○	○	—	○
インプットキャプチャ nB*3	○	○	○	○	○	○	—	○
コンペアマッチ nC*3	○	—	—	—	○	○	—	○
インプットキャプチャ nC*3	○	—	—	—	○	○	—	○
コンペアマッチ nD*3	○	—	—	—	○	○	—	○
インプットキャプチャ nD*3	○	—	—	—	○	○	—	○
オーバフロー	○	○	○	○	○	○	—	○
アンダフロー	—	○	○	○	—	○*1	—	—
コンペアマッチ nE	○	—	—	—	—	—	—	—
コンペアマッチ nF	○	—	—	—	—	—	—	—
コンペアマッチ nU*3	—	—	—	—	—	—	○	—
インプットキャプチャ nU*3	—	—	—	—	—	—	○	—
コンペアマッチ nV*3	—	—	—	—	—	—	○	—
インプットキャプチャ nV*3	—	—	—	—	—	—	○	—
コンペアマッチ nW*3	—	—	—	—	—	—	○	—
インプットキャプチャ nW*3	—	—	—	—	—	—	○	—

n：チャネル番号　　○：対応する　　ー：対応しない

【注】　*1. 相補 PWM モード時のみ
*2. 32 ビットアクセス時
*3. MTU2S の場合は末尾に’S’を追加

2.6.3 レジスタ比較

SH7216 グループと RX72M のレジスタ比較を表 2.21 に示します。

表の変更欄の記号

◎：SH7216 グループと RX72M でビットアサインが同じレジスタ
△：SH7216 グループと RX72M でビットアサインが異なるレジスタ
—：SH7216 グループと RX72M で一方にしかないレジスタ

表 2.21 SH7216 グループと RX72M のレジスタ比較（MTU）

レジスタ名*1	SH7216 グループ （MTU2, MTU2S）	RX72M （MTU3a）	変更
タイマコントロールレジスタ	TCR_0～4 TCRU/V/W_5 TCR_3/4S	MTU0～4.TCR MTU5.TCRU/V/W MTU6/7.TCR	◎
	TCRU/V/W_5S	—	—
	—	MTU8.TCR	—
タイマコントロールレジスタ 2	—	MTU0～4.TCR2 MTU6～8.TCR2 MTU5.TCR2U/V/W	—
タイマモードレジスタ（SH7216 グループ） タイマモードレジスタ 1（RX72M）	TMDR_0/3/4 TMDR_3/4S	MTU0/3/4.TMDR1 MTU6/7.TMDR1	◎
	TMDR_1/2	MTU1/2.TMDR1	△
	—	MTU8.TMDR1	—
タイマモードレジスタ 2	—	MTU.TMDR2A/B	—
タイマモードレジスタ 3	—	MTU1.TMDR3	—
タイマ I/O コントロールレジスタ	TIORH_0 TIOR_1	MTU0.TIORH MTU1.TIOR	△
	TIORL_0 TIOR_2 TIORU/V/W_5 TIORH/L_3/4 TIORH/L_3/4S	MTU0.TIORL MTU2.TIOR MTU5.TIORU/V/W MTU3/4.TIORH/L MTU6/7.TIORH/L	◎
	TIORU/V/W_5S	—	—
	—	MTU8.TIORH/L	—
タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	MTU5.TCNTCMPCLR	◎
	TCNTCMPCLRS	—	—
タイマインタラプトイネーブルレジスタ	TIER_0～5 TIER_3/4S TIER2_0	MTU0～5.TIER MTU6/7.TIER MTU0.TIER2	◎
	TIER_5S	—	—
	—	MTU8.TIER	—
タイマステータスレジスタ	TSR_1～4 TSR_3/4S	MTU1～4.TSR MTU6/7.TSR	△
	TSR_0, TSR2_0 TSR_5/5S	—	—
タイマバッファ動作転送モードレジスタ	TBTM_0/3/4 TBTM_3/4S	MTU0/3/4.TBTM MTU6/7.TBTM	◎
タイマインプットキャプチャコントロールレジスタ	TICCR	MTU1.TICCR	◎
タイマ A/D 変換開始要求コントロールレジスタ	TADCR, TADCRS	MTU4.TADCR, MTU7.TADCR	◎
タイマ A/D 変換開始要求周期設定レジスタ	TADCORA/B_4 TADCORA/B_4S	MTU4.TADCORA/B MTU7.TADCORA/B	◎

レジスタ名[*1]	SH7216 グループ （MTU2, MTU2S）	RX72M （MTU3a）	変更
タイマ A/D 変換開始要求周期設定バッファレジスタ	TADCOBRA/B_4 TADCOBRA/B_4S	MTU4.TADCOBRA/B MTU7.TADCOBRA/B	◎
タイマカウンタ	TCNT_0～4 TCNTU/V/W_5 TCNT_3/4S	MTU0～4.TCNT MTU5.TCNTU/V/W MTU6/7.TCNT	◎
	TCNTU/V/W_5S	—	—
	—	MTU8.TCNT	—
タイマロングワードカウンタ	—	MTU1.TCNTLW	—
タイマジェネラルレジスタ	TGR_0（A～F） TGR_1/2（A, B） TGR_3/4（A～D） TGR_5（U, V, W） TGR_3/4S（A～D）	MTU0.TGR（A～F） MTU1/2.TGR（A,B） MTU3/4.TGR（A～D） MTU5.TGR（U, V, W） MTU6/7.TGR（A～D）	◎
	TGR_5S（U, V, W）	—	—
	—	MTU3/6.TGR（E） MTU4/7.TGR（E, F） MTU8.TGR（A～D）	—
タイマロングワードジェネラルレジスタ	—	MTU1.TGRA/BLW	—
タイマスタートレジスタ	TSTR	MTU.TSTRA	◎
	TSTRS, TSTR_5	MTU.TSTRB, MTU5.TSTR	◎
	TSTR_5S	—	—
タイマシンクロレジスタ	TSYR, TSYRS	MTU.TSYRA, MTU.TSYRB	◎
タイマシンクロクリアレジスタ	TSYCRS	MTU6.TSYCR	◎
タイマカウンタシンクロスタートレジスタ	TCSYSTR	MTU.TCSYSTR	◎
タイマリードライトイネーブルレジスタ	TRWER, TRWERS	MTU.TRWERA, MTU.TRWERB	◎
タイマアウトプットマスタイネーブルレジスタ	TOER, TOERS	MTU.TOERA, MTU.TOERB	◎
タイマアウトプットコントロールレジスタ 1	TOCR1, TOCR1S	MTU.TOCR1A, MTU.TOCR1B	◎
タイマアウトプットコントロールレジスタ 2	TOCR2, TOCR2S	MTU.TOCR2A, MTU.TOCR2B	◎
タイマアウトプットレベルバッファレジスタ	TOLBR, TOLBRS	MTU.TOLBRA, MTU.TOLBRB	◎
タイマゲートコントロールレジスタ（SH7216 グループ） タイマゲートコントロールレジスタ A（RX72M）	TGCR	MTU.TGCRA	◎
	TGCRS	—	—
タイマサブカウンタ	TCNTS, TCNTSS	MTU.TCNTSA, MTU.TCNTSB	◎
タイマ周期データレジスタ	TCDR, TCDRS	MTU.TCDRA, MTU.TCDRB	◎
タイマ周期バッファレジスタ	TCBR, TCBRS	MTU.TCBRA, MTU.TCBRB	◎
タイマデッドタイムデータレジスタ	TDDR, TDDRS	MTU.TDDRA, MTU.TDDRB	◎
タイマデッドタイムイネーブルレジスタ	TDER, TDERS	MTU.TDERA, MTU.TDERB	◎
タイマバッファ転送設定レジスタ	TBTER, TBTERS	MTU.TBTERA, MTU.TBTERB	◎
タイマ波形コントロールレジスタ	TWCR, TWCRS	MTU.TWCRA, MTU.TWCRB	◎
タイマ割り込み間引き設定レジスタ（SH7216 グループ） タイマ割り込み間引き設定レジスタ 1（RX72M）	TITCR, TITCRS	MTU.TITCR1A, MTU.TITCR1B	◎
タイマ割り込み間引き設定レジスタ 2	—	MTU.TITCR2A, MTU.TITCR2B	—
タイマ割り込み間引き回数カウンタ（SH7216 グループ） タイマ割り込み間引き回数カウンタ 1（RX72M）	TITCNT, TITCNTS	MTU.TITCNT1A, MTU.TITCNT1B	◎
タイマ割り込み間引き回数カウンタ 2	—	MTU.TITCNT2A, MTU.TITCNT2B	—
タイマ割り込み間引きモードレジスタ	—	MTU.TITMRA, MTU.TITMRB	—
ノイズフィルタコントロールレジスタ n	—	MTU0～4.NFCR0～4 MTU6～8.NFCR6～8 MTU0.NFCRC	—

レジスタ名*1	SH7216 グループ （MTU2, MTU2S）	RX72M （MTU3a）	変更
ノイズフィルタコントロールレジスタ 5	—	MTU5.NFCR5	—

【注】 *1　　SH7216 グループ の MTU2S はレジスタ名の末尾に S が付く

2.6.4　モジュールストップ

RX72M の MTU3a は、SH7216 グループ と同様にリセット後、モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については 2.20 章を参照してください。

2.7　ポートアウトプットイネーブル３（POE3a）

2.7.1　仕様比較

ポートアウトプットイネーブル機能として、SH7216 グループ では POE2、RX72M では POE3a が内蔵されています。

RX72M は SH7216 グループ の POE 機能を包含しています（上位互換）。SH7216 グループ と RX72M の仕様比較を表 2.22 に示します。

表 2.22 SH7216 グループと RX72M の仕様比較（POE）

項目	SH7216 グループ（POE2）	RX72M（POE3a）
クロックソース	周辺クロック（Pφ）	周辺モジュールクロック（PCLKB）
ハイインピーダンス制御対象端子	• MTU0 用端子 • MTU 大電流端子 — MTU3 用端子 — MTU4 用端子 — MTU3S 用端子 — MTU4S 用端子	• MTU0 用端子 • MTU 相補 PWM 出力端子 — MTU3 用端子 — MTU4 用端子 — MTU6 用端子 — MTU7 用端子
ハイインピーダンス要求発生条件	• 入力端子の変化 — 立下りエッジ — Pφ/8×16 回のローレベル — Pφ/16×16 回のローレベル — Pφ/128×16 回のローレベル • 組み合わせの出力信号レベルが 1 サイクル以上一致（短絡） • レジスタ設定	• 入力端子の変化 — 立下りエッジ — PCLKB /8×16 回のローレベル — PCLKB /16×16 回のローレベル — PCLKB /128×16 回のローレベル • 組み合わせの出力信号レベルが 1 サイクル以上一致（短絡） • レジスタ設定 • クロック発生回路の発振停止検出
割り込み要因	• 入力端子の変化によるハイインピーダンス要求 • 出力信号レベルの比較によるハイインピーダンス要求	• 入力端子の変化によるハイインピーダンス要求 • 出力信号レベルの比較によるハイインピーダンス要求
その他	—	MTU 相補 PWM 出力端子、MTU0 用端子のハイインピーダンス制御条件の追加が可能

2.7.2　入出力端子

SH7216 グループ の入力端子は MTU 用の POE0#～POE4# および POE8# のみに対応しているのに対し、RX72M は MTU にマルチプレクスされているその他の入力端子にも対応しています。

SH7216 グループ は MTU0 用端子が汎用入出力機能または MTU2、MTU2S 機能が選択されている場合のみハイインピーダンスになります。RX72M は MTU 相補 PWM 出力端子および MTU0 用端子をマルチプレクスしている端子が、MTU を選択していない場合でもハイインピーダンスになります。

SH7216 グループ と RX72M の入力端子を表 2.23、出力端子の比較組み合わせを表 2.24 に示します。

表 2.23 POE 入力端子の一覧

SH7216 グループ	RX72M	ハイインピーダンス制御対象*1
POE0#～POE3#	POE0#	SH7216 グループ：MTU3, 4 用端子 RX72M：MTU3, 4 用端子他全ての制御対象端子
POE4#	POE4#	SH7216 グループ：MTU3S, 4S 用端子 RX72M：MTU6 ,7 用端子他全ての制御対象端子
POE8#	POE8#	MTU0 用端子他全ての制御対象端子
—	POE10#	全ての制御対象端子
—	POE11#	全ての制御対象端子

【注】 *1. RX72M はハイインピーダンス制御条件の追加により他の端子も制御可能

表 2.24 POE 出力端子の組み合わせ一覧

SH7216 グループ	RX72M	ハイインピーダンス制御対象
TIOC3B と TIOC3D	MTIOC3B と MTIOC3D	MTU3, 4 用端子
TIOC4A と TIOC4C	MTIOC4A と MTIOC4C	
TIOC4B と TIOC4D	MTIOC4B と MTIOC4D	
TIOC3BS と TIOC3DS	MTIOC6B と MTIOC6D	SH7216 グループ：MTU3S, 4S 用端子 RX72M：MTU6, 7 用端子
TIOC4AS と TIOC4CS	MTIOC7A と MTIOC7C	
TIOC4BS と TIOC4DS	MTIOC7B と MTIOC7D	

2.7.3　レジスタ比較

SH7216 グループ は、ポートアウトプットイネーブルコントロールレジスタ（POECR1/2）でポートのインピーダンス状態設定を行うのに対し、RX72M はポートアウトプットイネーブルコントロールレジスタ（POECR1/2）で端子のインピーダンス状態の設定を行い、各 MTU チャネルの端子選択レジスタ（M0SELR1/2, M3SELR, M4SELR1/2）で端子に割り当てるポートを指定します。

SH7216 グループと RX72M のレジスタ比較を表 2.25 に示します。

表の変更欄の記号

◎：SH7216 グループと RX72M でビットアサインが同じレジスタ
△：SH7216 グループと RX72M でビットアサインが異なるレジスタ
—：SH7216 グループと RX72M で一方にしかないレジスタ

表 2.25 SH7216 グループと RX72M のレジスタ比較（POE）

SH7216 グループ（POE2）	RX72M（POE3a）	変更
入力レベルコントロール/ステータスレジスタ 1（ICSR1）	入力レベルコントロール/ステータスレジスタ 1（ICSR1）	◎
入力レベルコントロール/ステータスレジスタ 2（ICSR2）	入力レベルコントロール/ステータスレジスタ 2（ICSR2）	◎
入力レベルコントロール/ステータスレジスタ 3（ICSR3）	入力レベルコントロール/ステータスレジスタ 3（ICSR3）	◎
—	入力レベルコントロール/ステータスレジスタ 4（ICSR4） 入力レベルコントロール/ステータスレジスタ 5（ICSR5） 入力レベルコントロール/ステータスレジスタ 6（ICSR6）	—
出力レベルコントロール/ステータスレジスタ 1（OCSR1）	出力レベルコントロール/ステータスレジスタ 1（OCSR1）	◎
出力レベルコントロール/ステータスレジスタ 2（OCSR2）	出力レベルコントロール/ステータスレジスタ 2（OCSR2）	◎
ソフトウェアポートアウトプットイネーブルレジスタ（SPOER）	ソフトウェアポートアウトプットイネーブルレジスタ（SPOER）	△
ポートアウトプットイネーブルコントロールレジスタ 1（POECR1）	ポートアウトプットイネーブルコントロールレジスタ 1（POECR1） MTU0 端子選択レジスタ 1（M0SELR1） MTU0 端子選択レジスタ 2（M0SELR2）	△
ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）	ポートアウトプットイネーブルコントロールレジスタ 2（POECR2） MTU3 端子選択レジスタ（M3SELR） MTU4 端子選択レジスタ 1（M4SELR1） MTU4 端子選択レジスタ 2（M4SELR2）	△
—	アクティブレベルレジスタ 1（ALR1）	—
	ポートアウトプットイネーブルコントロールレジスタ 4（POECR4） ポートアウトプットイネーブルコントロールレジスタ 5（POECR5） MTU6 端子選択レジスタ（M6SELR）	

2.7.4　発振停止検出検知によるハイインピーダンス制御

RX72M は、クロック発生回路の発振停止検出機能により発振停止が検出されると、任意の MTU 相補 PWM 出力端子および MTU0 端子をハイインピーダンスにすることができます。

発振停止検出でハイインピーダンスになった端子は、リセットで初期状態に戻すか、レジスタ設定でハイインピーダンス状態を解除します。

2.7.5　ハイインピーダンス制御条件の追加

RX72M は、MTU 相補 PWM 出力端子および MTU0 端子のハイインピーダンス制御条件を追加することができます。追加可能なハイインピーダンス制御条件を表 2.26 に示します。

表 2.26 RX72M ハイインピーダンス制御条件の追加

ハイインピーダンス制御対象	追加可能な条件
MTU3, 4 用端子	POE4#, 8#, 10#, 11# 端子による入力レベル検出
MTU6, 7 用端子	POE0#, 8#, 10#, 11# 端子による入力レベル検出
MTU0 用端子	POE0#, 4#, 10#, 11# 端子による入力レベル検出

2.7.6　割り込み

RX72M の POE3a は、グループ割り込み BL1 に割り当てられています。割り込みコントローラのグループ BL1 割り込みステータスフラグ（GRPBL1.ISn）は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

割り込みについては 1.8 章を参照してください。

2.8 ウォッチドッグタイマ（WDTA）

2.8.1 仕様比較

ウォッチドッグタイマ機能として、SH7216 グループ では WDT、RX72M では WDTA の他に、独立した専用クロックで動作し低消費電力状態でも動作が可能な IWDTa が内蔵されています。

SH7216 グループ と RX72M の仕様比較を表 2.27 に示します。

表 2.27 SH7216 グループと RX72M の仕様比較（WDT）

項目	SH7216 グループ（WDT）	RX72M（WDTA, IWDTa）
クロックソース	周辺クロック（Pϕ）	WDTA : 周辺モジュールクロック（PCLKB） IWDTa : IWDT 専用クロック（IWDTCLK） PCLKB≧4 x IWDTCLK 分周後周波数
クロック分周比	Pϕ/1, 64, 128, 256, 512, 1024, 4096, 16384	WDTA : PCLKB/4, 64, 128, 512, 2048, 8192 IWDTa : IWDTCLK/1, 16, 32, 64, 128, 256
カウント動作	8 ビットのアップカウンタ	14 ビットのダウンカウンタ
動作モード	● ウォッチドックタイマモード ● インターバルタイマモード	動作モードの概念ではなくオプション設定メモリで変更 ● リセット出力許可 （ウォッチドックタイマモード相当） ● 割り込み要求許可 （インターバルタイマモード相当）
カウント開始条件	● タイマコントロール／ステータスレジスタのタイマイネーブルビットをイネーブル	以下の動作から選択 1）リセット時自動的にカウント開始（オートスタートモード） 2）リフレッシュ動作によりカウント開始（レジスタスタートモード）
カウント停止条件	● タイマイネーブルビット設定 ● オーバフローによる内部リセット時 ● RES 端子によるパワーオンリセット時（カウンタおよび設定初期化）	● リセット時 （カウンタおよび設定初期化） ● アンダフロー発生時 ● リフレッシュエラー発生時 ● 低消費電力状態（IWDT はレジスタ設定による）
オーバフロー/アンダフロー時の動作	ウォッチドッグタイマモード時 — 内部リセット（パワーオンリセット、マニュアルリセット） — WDTOVF 出力 インターバルタイマモード時 — 割り込み	リセット出力許可時 — 内部リセット 割り込み要求出力許可時 — 割り込み
割り込み要因	● アップカウンタのオーバフロー	● ダウンカウンタのアンダフロー ● リフレッシュエラー
その他	—	● イベントリンク（IWDTa のみ） ● ウィンドウ機能 ● 低消費電力状態でも動作可能（IWDTa のみ） ● オートスタートモード時の設定をオプション機能選択レジスタ 0 で設定 — クロック分周比 — リフレッシュウインドウ開始/終了 — タイムアウト期間 — 割り込み要求許可/リセット許可を選択

2.8.2　カウント開始条件

SH7216 グループ はタイマイネーブルビットへの 1 書き込みでカウントを開始します。RX72M ではオプション機能選択レジスタでレジスタ書き込みでカウントを開始するレジスタスタートモード（SH7216 グループ 同様）と、リセット後に自動的にカウントを開始するオートスタートモードの選択が可能です。

RX72M のオートスタートモードを選択した場合は、オプション機能選択レジスタ（OFS0）の設定に従い、リセット後に自動的にカウントを開始します。レジスタスタートモードを選択した場合は、リセット解除後のリフレッシュ動作により、カウントを開始します。

2.8.3　リフレッシュ動作

RX72M は WDT リフレッシュレジスタ（WDTRR）へ“00h”を書き込んだ後、続けて“FFh”を書き込むことでカウントをリフレッシュします。WDT リフレッシュレジスタへの書き込みは、リフレッシュ許可期間内に行う必要があります。IWDTa のカウントをリフレッシュする場合は、リフレッシュ許可期間内に IWDT リフレッシュレジスタ（IWDTRR）へ同様の書き込みを行ってください。

表 2.28 リフレッシュ動作の比較

項目	SH7216 グル―プ	RX72M（WDTA）
リフレッシュ条件	ウォッチドッグタイマカウンタ（WTCNT）への書き込み	リフレッシュ許可期間内にリフレッシュレジスタ（WDTRR）に“00h”を書き込み後、“FFh”を書き込む
リフレッシュ後のカウンタ初期値	ウォッチドッグタイマカウンタ（WTCNT）へ書き込んだ値	レジスタスタートモード時 — WDT コントロールレジスタのタイムアウト期間選択ビット（WDTCR.TOPS）で選択した値 オートスタートモード時 — オプション機能選択レジスタの WDT タイムアウト期間選択ビット（OFS0.WDTTOPS）で選択した値

2.8.4　レジスタ書き込み制限

SH7216 グループ、RX72M ともに WDT のレジスタ書き込みには制限があります。レジスタ書き込み制限を以下に示します。

表 2.29 SH7216 グループ レジスタ書き込み制限

項目	書き込み制限
ウォッチドッグタイマカウンタ（WTCNT） ウォッチドッグリセットコントロール/ステータスレジスタ（WRCSR） — リセットイネーブル（WRCSR.RSTE） — リセットセレクト（WRCSR.RSTS）	下記構成のワードサイズで書き込み — 上位バイト：“5Ah” — 下位バイト：書き込みデータ
ウォッチドッグタイマコントロール/ステータスレジスタ（WTCSR） ウォッチドッグリセットコントロール/ステータスレジスタ（WRCSR） — ウォッチドッグタイマオーバフロー（WRCSR.WOVF）	下記構成のワードサイズで書き込み — 上位バイト：“A5h” — 下位バイト：書き込みデータ

表 2.30 RX72M レジスタ書き込み制限

項目	書き込み制限
WDT コントロールレジスタ（WDTCR） WDT リセットコントロールレジスタ（WDTRCR） IWDT コントロールレジスタ（IWDTCR） IWDT リセットコントロールレジスタ（IWDTRCR） IWDT カウント停止コントロールレジスタ（IWDTCSTPR）	リセット解除から最初のリフレッシュ動作までの間に 1 回のみ書き込み可能

2.8.5 割り込み

RX72M の WDTA および IWDTa 割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。割り込みコントローラの割り込みステータスフラグ（IRn.IR）は、割り込みを受けつけると自動的にクリアされます。

割り込みについては 1.8 章を参照してください。

2.8.6 全モジュールストップ

WDTA および IWDTa にはモジュールストップ機能がありません。

RX72M は全モジュールストップ時の状態が WDTA と IWDTa で異なります。全モジュールストップ時のモジュールの状態を表 2.31 に示します。

表 2.31 RX72M 全モジュールストップ時のモジュールの状態

モジュール名	モジュールの状態
ウォッチドッグタイマ（WDTA）	カウントを停止（状態は保持）
独立ウォッチドッグタイマ（IWDTa）	オプション設定メモリで選択可能

2.8.7 オプション設定

RX72M はリセット後の状態をオプション設定メモリのスタートモード選択ビット（OFS0.IWDTSTRT, OFS0.WDTSTRT）で設定することができます。

2.9 シリアルコミュニケーションインタフェース（SCIj, SCIi, SCIh）

2.9.1 仕様比較

シリアルコミュニケーションインタフェース機能として、SH7216 グループ では SCI、RX72M では SCIh と SCIi と SCIj が内蔵されています。

SCIi と SCIj は従来の転送方式の調歩同期式、クロック同期式に加えて、調歩同期式の拡張機能としてスマートカード（IC カード）インタフェースに対応しています。更に、簡易 I2C バスインタフェースのシングルマスタ動作、および簡易 SPI バスインタフェースにも対応しています。SCIh は上記の機能に加えて拡張シリアルインタフェースを備えています。SH7216 グループ にはない転送方式はユーザーズマニュアルハードウェア編を参照して下さい。

SH7216 グループ と RX72M の仕様比較を表 2.32 に示します。

表 2.32 SH7216 グループと RX72M の仕様比較（SCI）

項目		SH7216 グループ（SCI）	RX72M（SCIh, SCIi, SCIj）
チャネル数		4ch（SCI0～2, 4）	SCIh：1ch（SCI12） SCIi：5ch（SCI7～11） SCIj：7ch（SCI0～6）
クロックソース		周辺クロック（Pφ）	周辺モジュールクロック（PCLKB）
シリアル通信方式		● 調歩同期式 ● クロック同期式	● 調歩同期式 ● クロック同期式 ● スマートカードインタフェース ● 簡易 I2C バス ● 簡易 SPI バス
転送速度		内蔵ボーレートジェネレータによる任意のビットレートを選択可能	
全二重通信		送受信ともにダブルバッファ構成のため連続送信、連続受信が可能	
データ転送		LSB ファースト/MSB ファースト選択可能（調歩同期 7 ビットデータ除く）	LSB ファースト/MSB ファースト選択可能（簡易 I2C バスでは MSB ファーストのみ）
DTC/DMAC 起動		DTC 起動可能	DTC/DMAC 起動可能
割り込み要因		● 送信データエンプティ ● 送信終了 ● 受信データフル ● 受信エラー	● 送信データエンプティ ● 送信終了 ● 受信データフル ● 受信エラー ● 受信データレディ ● データー致 簡易 I2C モード用 — 開始条件 — 再開条件 — 停止条件生成終了
調歩同期モード	データ長	7 ビット, 8 ビット	7 ビット, 8 ビット, 9 ビット
	ストップビット	1 ビット, 2 ビット	
	パリティ機能	偶数パリティ、奇数パリティ、パリティなし	
	受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー	
	ハードウェアフロー制御	なし	あり（CTSn#、RTSn#端子で制御可能）
	データー致検出	なし	受信データと比較データレジスタを比較し、一致すると割り込み要求を生成可能
	ブレーク検出	フレーミングエラー発生時 RXDn 端子レベルを直接リードすることで可能	フレーミングエラー発生時、RXDn 端子レベルを直接読み出す、または SPTR.RXDMON フラグを読み出すことでブレークを検出可能

	クロックソース	内部/外部クロックから選択可能	内部/外部クロックから選択可能 TMR からの転送レートクロックが入力可能（SCI5, 6）
	マルチプロセッサ通信	あり	
	ノイズ除去	なし	RXDn 端子にデジタルノイズフィルタを設定可能
	その他	—	● 送受信 FIFO ● 倍速モード ● スタートビット検出条件を選択可能 ● マルチプロセッサ通信
クロック同期モード	データ長	8 ビット	
	受信エラーの検出	オーバランエラー	
	ハードウェアフロー制御	なし	あり（CTSn#、RTSn#端子で制御可能）
	送受信 FIFO	なし	送信 16 段、受信 16 段の FIFO を利用可能
その他		—	● 簡易 IIC モード ● 簡易 SPI モード ● イベントリンク（SCI5 のみ） ● 拡張シリアルモード（SCI12 のみ） ● ビットレートモジュレーション

2.9.2 レジスタ比較

SH7216 グループと RX72M のレジスタ比較を表 2.33 に示します。

表の変更欄の記号

◎：SH7216 グループと RX72M でビットアサインが同じレジスタ
△：SH7216 グループと RX72M でビットアサインが異なるレジスタ
―：SH7216 グループと RX72M で一方にしかないレジスタ

表 2.33 SH7216 グループと RX72M のレジスタ比較（SCI）

SH7216 グループ（SCI）*1	RX72M（SCIh, SCIi, SCIj）*2	変更
トランスミットデータレジスタ_n（SCTDR_n）	トランスミットデータレジスタ（SCIm.TDR）	◎
トランスミットシフトレジスタ（SCTSR）	トランスミットシフトレジスタ（TSR）	◎
レシーブデータレジスタ_n（SCRDR_n）	レシーブデータレジスタ（SCIm.RDR）	◎
レシーブシフトレジスタ（SCRSR）	レシーブシフトレジスタ（RSR）	◎
シリアルモードレジスタ_n（SCSMR_n）	シリアルモードレジスタ（SCIm.SMR）	◎
シリアルコントロールレジスタ_n（SCSCR_n）	シリアルコントロールレジスタ（SCIm.SCR）	◎
シリアルステータスレジスタ_n（SCSSR_n）	シリアルステータスレジスタ（SCIm.SSR/SSRFIFO）	◎
ビットレートレジスタ_n（SCBRR_n）	ビットレートレジスタ（SCIm.BRR）	◎
シリアルディレクションコントロールレジスタ_n（SCSDCR_n）	スマートカードモードレジスタ（SCIm.SCMR）	△
シリアルポートレジスタ_n（SCSPTR_n）	―	―
―	レシーブデータレジスタ HL（SCIm.RDRHL）	―
	受信 FIFO データレジスタ(FRDR)	
	トランスミットデータレジスタ H (TDRH) トランスミットデータレジスタ L (TDRL) トランスミットデータレジスタ HL（SCIm.TDRHL）	
	送信 FIFO データレジスタ(FTDR)	
	モジュレーションデューティレジスタ（SCIm.MDDR）	
	シリアル拡張モードレジスタ（SCIm.SEMR）	
	ノイズフィルタ設定レジスタ（SCIm.SNFR）	
	I2C モードレジスタ 1～3（SCIm.SIMR1～3）	
	I2C ステータスレジスタ（SCIm.SISR）	
	SPI モードレジスタ（SCIm.SPMR）	
	受信 FIFO データレジスタ（SCIp,FRDR）	
	送信 FIFO データレジスタ（SCIp,FTDR）	
	FIFO コントロールレジスタ（SCIp,FCR）	
	FIFO データカウントレジスタ（SCIp,FDR）	
	ラインステータスレジスタ（SCIp,LSR）	
	比較データレジスタ（SCIq,CDR）	
	データ比較制御レジスタ（SCIq,DCCR）	
	シリアルポートレジスタ（SCIq,SPTR）	
	拡張シリアルモード有効レジスタ（SCI12.ESMER）	
	コントロールレジスタ 0～3（SCI12.CR0～3）	
	ポートコントロールレジスタ（SCI12.PCR）	
	割り込みコントロールレジスタ（SCI12.ICR）	
	ステータスレジスタ（SCI12.STR）	
	ステータスクリアレジスタ（SCI12.STCR）	
	Control Field 0 データレジスタ（SCI12.CF0DR）	

	Control Field 0 コンペアイネーブルレジスタ（SCI12.CF0CR）	
	Control Field 0 受信データレジスタ（SCI12.CF0RR）	
	プライマリ Control Field 1 データレジスタ（SCI12.PCF1DR）	
	セカンダリ Control Field 1 データレジスタ（SCI12.SCF1DR）	
	Control Field 1 コンペアイネーブルレジスタ（SCI12.CF1CR）	
	Control Field 1 受信データレジスタ（SCI12.CF1RR）	
	タイマコントロールレジスタ（SCI12.TCR）	
	タイマモードレジスタ（SCI12.TMR）	
	タイマプリスケーラレジスタ（SCI12.TPRE）	
	タイマカウントレジスタ（SCI12.TCNT）	

【注】 *1. SCI n：0～2, 4
*2. SCI m：0～12
*3. SCI p：7～11
*4. SCI q：0～11

2.9.3　クロックソース選択

RX72M は、調歩同期式モードで通信を行う場合、クロックソースに TMR クロック入力（SCI5, SCI6, SCI12 のみ）を選択することができます。また、SH7216 グループ は 1 ビット期間が基本クロックの 16 ビット固定なのに対し、RX72M は 8 ビットまたは 16 ビットから選択することができます。

2.9.4　割り込み

SH7216 グループ は、受信データフルおよび送信データエンプティによる割り込みで DTC のみ起動が可能なのに対し、RX72M は DTC と DMAC の起動が可能です。

RX72M の受信データフルおよび送信データエンプティ割り込みは、割り込みステータスフラグ（IRn.IR）が'1'のときに発生した割り込み要求もモジュール内部で保持され、割り込みステータスフラグ（IRn.IR）が'0'になった後、保持された要求によって再度'1'になります。

RX72M は一部割り込みがグループ割り込み BL0 に割り当てられています。割り込みコントローラの割り込みステータスフラグ（IRn.IR）は、割り込みを受けつけると自動的にクリアされます。グループ BL0 割り込みステータスフラグ（GRPBL0.ISn）は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

SH7216 グル—プ と RX72M の割り込み要因一覧を表 2.34 に示します。

割り込みについては 1.8 章を参照してください。

表 2.34 SCI 割り込み要因一覧

優先順位	割り込み要因	割り込みによる起動	
		SH7216 グループ	RX72M
高い	受信エラー	不可能	不可能
↑	受信データフル	DTC の起動可能	DMAC/DTC の起動可能
	送信データエンプティ		
低い	送信終了	不可能	不可能

2.9.5　モジュールストップ

RX72M の SCIh, SCIi, SCIj は、SH7216 グループ 同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については 2.20 章を参照してください。

2.10 FIFO 付きシリアルコミュニケーションインタフェース（SCIF）

2.10.1 仕様比較

FIFO 付きシリアルコミュニケーションインタフェース機能として、SH7216 グループ では SCIF、RX72M では SCIi が内蔵されています。

SH7216 グループ と RX72M の仕様比較を表 2.35 に示します。

表 2.35 SH7216 グループと RX72M の仕様比較（SCIF）

項目		SH7216 グループ（SCIF）	RX72M（SCIi）
チャネル数		1ch（SCIF3）	5ch（SCI7～11）
クロックソース		周辺クロック（Pφ）	周辺モジュールクロック（PCLKA）
シリアル通信方式		● 調歩同期式 ● クロック同期式	
転送速度		内蔵ボーレートジェネレータによる任意のビットレートを選択可能	
全二重通信		送受信ともに 16 段の FIFO バッファ構成のため連続送受信が可能	
データ転送		LSB ファースト	LSB ファースト/MSB ファースト選択可能
DTC/DMAC 制御		DTC/DMAC 制御可能	
割り込み要因		● 送信 FIFO データエンプティ ● ブレーク ● 受信 FIFO データフル ● 受信エラー	● 送信 FIFO データエンプティ ● ブレーク ● 受信 FIFO データフル ● 受信エラー ● 送信完了 ● 受信データレディ
調歩同期モード	データ長	7 ビット, 8 ビット	7 ビット, 8 ビット, 9 ビット
	ストップビット	1 ビット, 2 ビット	
	パリティ機能	偶数パリティ、奇数パリティ、パリティなし	
	受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー	
	ハードウェアフロー制御	なし	あり（CTSn#、RTSn#端子で制御可能）
	ブレーク検出	ブレークの検出が可能 また、フレーミングエラー発生時 RXDn 端子レベルを直接リードすることでも検出可能	ブレークの検出が可能
	クロックソース	内部/外部クロックから選択可能	
	ノイズ除去	なし	RXDn 端子にデジタルノイズフィルタを設定可能
クロック同期モード	データ長	8 ビット	
	受信エラーの検出	オーバランエラー	
	ハードウェアフロー制御	なし	あり（CTSn#、RTSn#端子で制御可能）
その他		—	● ビットレートモジュレーション

2.10.2 レジスタ比較

SH7216 グループと RX72M のレジスタ比較を表 2.36 に示します。

表の変更欄の記号

◎：SH7216 グループと RX72M でビットアサインが同じレジスタ
△：SH7216 グループと RX72M でビットアサインが異なるレジスタ
―：SH7216 グループと RX72M で一方にしかないレジスタ

表 2.36 SH7216 グループと RX72M のレジスタ比較（SCIF）

SH7216 グループ（SCIF）*1	RX72M（SCIi）*2	変更
トランスミット FIFO データレジスタ_n（SCFTDR_n）	トランスミット FIFO データレジスタ（SCIFAm.FTDR）	◎
トランスミットシフトレジスタ（SCTSR）	トランスミットシフトレジスタ（TSR）	◎
レシーブ FIFO データレジスタ_n（SCFRDR_n）	レシーブ FIFO データレジスタ（SCIFAm.FRDR）	◎
レシーブシフトレジスタ（SCRSR）	レシーブシフトレジスタ（RSR）	◎
シリアルモードレジスタ_n（SCSMR_n）	シリアルモードレジスタ（SCIFAm.SMR）	◎
シリアルコントロールレジスタ_n（SCSCR_n）	シリアルコントロールレジスタ（SCIFAm.SCR）	◎
シリアルステータスレジスタ_n（SCFSR_n）	ラインステータスレジスタ（SCIFAm.LSR）	△
ビットレートレジスタ_n（SCBRR_n）	ビットレートレジスタ（SCIFAm.BRR）	◎
シリアルポートレジスタ_n（SCSPTR_n）	シリアルポートレジスタ（SCIFAm.SPTR）	◎
FIFO コントロールレジスタ_n（SCFCR_n）	FIFO コントロールレジスタ（SCIFAm.FCR）	◎
FIFO データ数レジスタ_n（SCFDR_n）	FIFO データ数レジスタ（SCIFAm.FDR）	◎
ラインステータスレジスタ_n（SCLSR_n）	ラインステータスレジスタ（SCIFAm.LSR）	◎
シリアル拡張モードレジスタ_n（SCSEMR_n）	シリアル拡張モードレジスタ（SCIFAm.SEMR）	△
―	モジュレーションデューティレジスタ（SCIFAm.MDDR）	―

【注】 *1. SCI n：3
*2. SCI m：8～11

2.10.3 割り込み

SH7216 グループと RX72M ともに受信 FIFO データフルおよび送信 FIFO データエンプティの割り込みで DTC と DMAC の起動が可能です。

RX72M は一部割り込みがグループ割り込み AL0 に割り当てられています。割り込みコントローラの割り込みステータスフラグ（IRn.IR）は、割り込みを受け付けると自動的にクリアされます。グループ AL0 割り込みステータスフラグ（GRPAL0.ISn）は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

SH7216 グル—プ の割り込み要因一覧を表 2.37 に、RX72M の割り込み要因一覧を表 2.38 に示します。

割り込みについては 1.8 章を参照してください。

表 2.37 SH7216 グループ SCIF 割り込み要因一覧

割り込み要因	割り込みによる起動	優先順位
ブレークまたはオーバラン	不可能	高い
受信エラー		↑
受信 FIFO データフルまたは受信データレディ	DMAC/DTC の起動可能	
送信 FIFO データエンプティ		低い

表 2.38 RX72M SCIFA 割り込み要因一覧

割り込み要因	割り込みによる起動
受信エラー	不可能
受信 FIFO フル	DMAC/DTC の起動可能
受信データレディ	
データ一致	
送信 FIFO エンプティ	
送信終了	不可能

2.10.4 モジュールストップ

RX72M の SCIFA は、SH7216 グループ 同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については 2.20 章を参照してください。

2.11 シリアルペリフェラルインタフェース（RSPIc）

2.11.1 仕様比較

シリアルペリフェラルインタフェース機能として、SH7216 グループ では RSPI、RX72M では RSPIc が内蔵されています。

SH7216 グループ と RX72M の仕様比較を表 2.39 に示します。

表 2.39 SH7216 グループと RX72M の仕様比較（RSPI）

項目	SH7216 グループ（RSPI）	RX72M（RSPIc）
チャネル数	1ch	3ch
クロックソース	周辺クロック（Pφ） 外部クロック（RSPCK）	周辺モジュールクロック（PCLKA） 外部クロック（RSPCK）
送受信データ長	8～16, 20, 24, 32 ビット	
転送動作	SPI（4 線式） クロック同期式通信（3 線式）	
データフォーマット	MSB ファースト/LSB ファーストの選択が可能	
クロックの位相/極性	変更可能	
SSL 極性	変更可能	
動作モード	● マスタ送信モード ● マスタ受信モード ● スレーブ送信モード ● スレーブ受信モード	
通信動作モード	全二重通信	全二重または送信のみを選択可能
マルチマスタ対応	あり	
シーケンス制御	シーケンス長：4	シーケンス長：8
ループバックモード	データ反転あり	データ反転を選択可能
DTC/DMAC 起動	DTC/DMAC 起動可能	
割り込み要因	送信バッファエンプティ 受信バッファフル オーバランエラー モードフォルトエラー	送信バッファエンプティ 受信バッファフル RSPI アイドル オーバランエラー アンダランエラー パリティエラー モードフォルトエラー
その他	—	● イベントリンク ● パリティビット付加

2.11.2 レジスタ比較

SH7216 グループと RX72M のレジスタ比較を表 2.40 に示します。

表の変更欄の記号

◎：SH7216 グループと RX72M でビットアサインが同じレジスタ
△：SH7216 グループと RX72M でビットアサインが異なるレジスタ
—：SH7216 グループと RX72M で一方にしかないレジスタ

表 2.40 SH7216 グループと RX72M のレジスタ比較（RSPI）

SH7216 グループ（RSPI）	RX72M（RSPIc）*1	変更
RSPI 制御レジスタ（SPCR）	RSPI 制御レジスタ（RSPIn.SPCR）	◎
RSPI 端子制御レジスタ（SPPCR）*2	SPI 端子制御レジスタ（RSPIn.SPPCR）	△
RSPI コマンドレジスタ 0～3（SPCMD0～3）	RSPI コマンドレジスタ 0～7（RSPIn.SPCMD0～7）	◎
RSPI ビットレートレジスタ（SPBR）	RSPI ビットレートレジスタ（RSPIn.SPBR）	◎
RSPI ステータスレジスタ（SPSR）	RSPI ステータスレジスタ（RSPIn.SPSR）	△
RSPI データレジスタ（SPDR）	RSPI データレジスタ（RSPIn.SPDR）	△
RSPI データコントロールレジスタ（SPDCR）	RSPI データコントロールレジスタ（RSPIn.SPDCR）	◎
RSPI スレーブセレクト極性レジスタ（SSLP）	RSPI スレーブセレクト極性レジスタ（RSPIn.SSLP）	◎
RSPI シーケンス制御レジスタ（SPSCR）	RSPI シーケンス制御レジスタ（RSPIn.SPSCR）	△
RSPI シーケンスステータスレジスタ（SPSSR）	RSPI シーケンスステータスレジスタ（RSPIn.SPSSR）	△
RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）	RSPI スレーブセレクトネゲート遅延レジスタ（RSPIn.SSLND）	◎
RSPI クロック遅延レジスタ（SPCKD）	RSPI クロック遅延レジスタ（RSPIn.SPCKD）	◎
RSPI 次アクセス遅延レジスタ（SPND）	RSPI 次アクセス遅延レジスタ（RSPIn.SPND）	◎
—	RSPI 制御レジスタ 2（RSPIn.SPCR2）	—
—	RSPI データコントロールレジスタ 2（RSPIn.SPDCR2）	—

【注】 *1. RSPIn n：0～2
*2. RX72M は RSPI 出力端子モード設定を I/O ポートで行います

2.11.3 割り込み

SH7216 グループと RX72M ともに受信バッファフルおよび送信バッファエンプティの割り込みで DTC と DMAC の起動が可能です。

RX72M の受信バッファフルおよび送信バッファエンプティ割り込みは、割り込みステータスフラグ（IRn.IR）が'1'のときに発生した割り込み要求もモジュール内部で保持され、割り込みステータスフラグ（IRn.IR）が'0'になった後、保持された要求によって再度'1'になります。

RX72M は一部割り込みがグループ割り込み AL0 に割り当てられています。割り込みコントローラの割り込みステータスフラグ（IRn.IR）は、割り込みを受け付けると自動的にクリアされます。グループ AL0 割り込みステータスフラグ（GRPAL0.ISn）は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

割り込みについては 1.8 章を参照してください。

2.11.4 モジュールストップ

RX72M の RSPIc は、SH7216 グループ 同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については 2.20 章を参照してください。

2.12 I2C バスインタフェース（RIICa）

2.12.1 仕様比較

I2C バスインタフェース機能として、SH7216 グループ では IIC3、RX72M では SMBus（Ver.2.0）に準拠した通信動作が可能な RIICa が内蔵されています。

SH7216 グループ と RX72M の仕様比較を表 2.41 に示します。

表 2.41 SH7216 グループと RX72M の仕様比較（IIC）

項目		SH7216 グループ（IIC3）	RX72M（RIICa）
チャネル数		1 チャネル	3 チャネル
クロックソース		周辺クロック（Pφ）	周辺モジュールクロック（PCLKB）
通信フォーマット		• I2C バスフォーマット • クロック同期式シリアルフォーマット*1	• I2C バスフォーマット • SMBus フォーマット
データ転送		• MSB ファースト固定 • クロック同期式シリアルフォーマットは、MSB/LSB ファーストの選択が可能	• MSB ファースト固定 • SCI のクロック同期式で対応可能
I2C バスフォーマット（SMBus）	動作モード	• マスタ送信モード • マスタ受信モード • スレーブ送信モード • スレーブ受信モード	
	開始条件/停止条件	自動生成	
	アドレス検出	• 7 ビットのスレーブアドレス	• 7/10 ビットスレーブアドレス対応 • ジェネラルコールアドレス検出 • デバイス ID アドレス検出 • SMBus のホストアドレス検出
	DTC/DMAC 起動	DTC/DMAC 起動可能	DTC/DMAC 起動可能
	割り込み要因	• アービトレーションロスト • NACK 検出 • 停止条件検出 • 受信データフル • 送信データエンプティ • 送信終了	• アービトレーションロスト検出 • NACK 検出 • — • 受信データフル • 送信データエンプティ • 送信終了 • タイムアウト検出 • スタートコンディション検出 • ストップコンディション検出
	マルチマスタ対応	ビット同期回路あり 他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定すること	SCL 同期回路あり
ノイズ除去		SCL、SDA 端子のノイズ除去幅を設定可能 ラッチ回路は最大 3 段	SCL、SDA 端子にデジタルノイズフィルタを内蔵、ノイズ除去幅を調整可能 ラッチ回路は最大 5 段
その他		—	• イベントリンク機能 • SCL クロックのデューティ比設定 • SDA 出力遅延機能 • SCL の自動 Low ホールド機能 • バスハングアップ対応

【注】 *1. RX72M の RIICa ではクロック同期式シリアルフォーマットに対応していませんが、SCIh および SCIi、SCIj のクロック同期式通信フォーマットで代替えが可能です

2.12.2 レジスタ比較

SH7216 グループと RX72M のレジスタ比較を表 2.42 に示します。

表の変更欄の記号

◎：SH7216 グループと RX72M でビットアサインが同じレジスタ
△：SH7216 グループと RX72M でビットアサインが異なるレジスタ
—：SH7216 グループと RX72M で一方にしかないレジスタ

表 2.42 SH7216 グループと RX72M のレジスタ比較（IIC）

SH7216 グループ（IIC3）	RX72M（RIICa）*1	変更
I2C バスコントロールレジスタ 1（ICCR1） I2C バスコントロールレジスタ 2（ICCR2）	I2C バスコントロールレジスタ 1 （RIICn.ICCR1） I2C バスコントロールレジスタ 2 （RIICn.ICCR2）	△
I2C バスモードレジスタ（ICMR）	I2C バスモードレジスタ 1 （RIICn.ICMR1）	△
I2C バスインタラプトイネーブルレジスタ（ICIER）	I2C バスモードレジスタ 3 （RIICn.ICMR3）*2 I2C バス割り込み許可レジスタ（RIICn.ICIER） I2C バスファンクション許可レジスタ（RIICn.ICFER）	△
I2C バスステータスレジスタ（ICSR）	I2C バスステータスレジスタ 1（RIICn.ICSR1） I2C バスステータスレジスタ 2（RIICn.ICSR2）	△
スレーブアドレスレジスタ（SAR）	スレーブアドレスレジスタ Ly（RIICn.SARLy）（y = 0～2） I2C バスモードレジスタ 3 （RIICn.ICMR3）*2	△
I2C バス送信データレジスタ（ICDRT）	I2C バス送信データレジスタ（RIICn.ICDRT）	◎
I2C バス受信データレジスタ（ICDRR）	I2C バス受信データレジスタ（RIICn.ICDRR）	◎
I2C バスシフトレジスタ（ICDRS）	I2C バスシフトレジスタ（ICDRS）	◎
NF2CYC レジスタ（NF2CYC）	I2C バスモードレジスタ 3 （RIICn.ICMR3）*2	△
—	I2C バスモードレジスタ 2 （RIICn.ICMR2）	—
	スレーブアドレスレジスタ Uy（RIICn.SARUy）（y = 0～2）	
	I2C バスビットレート Low レジスタ（RIICn.ICBRL） I2C バスビットレート High レジスタ（RIICn.ICBRH）	
	I2C バスステータス許可レジスタ（RIICn.ICSER）	

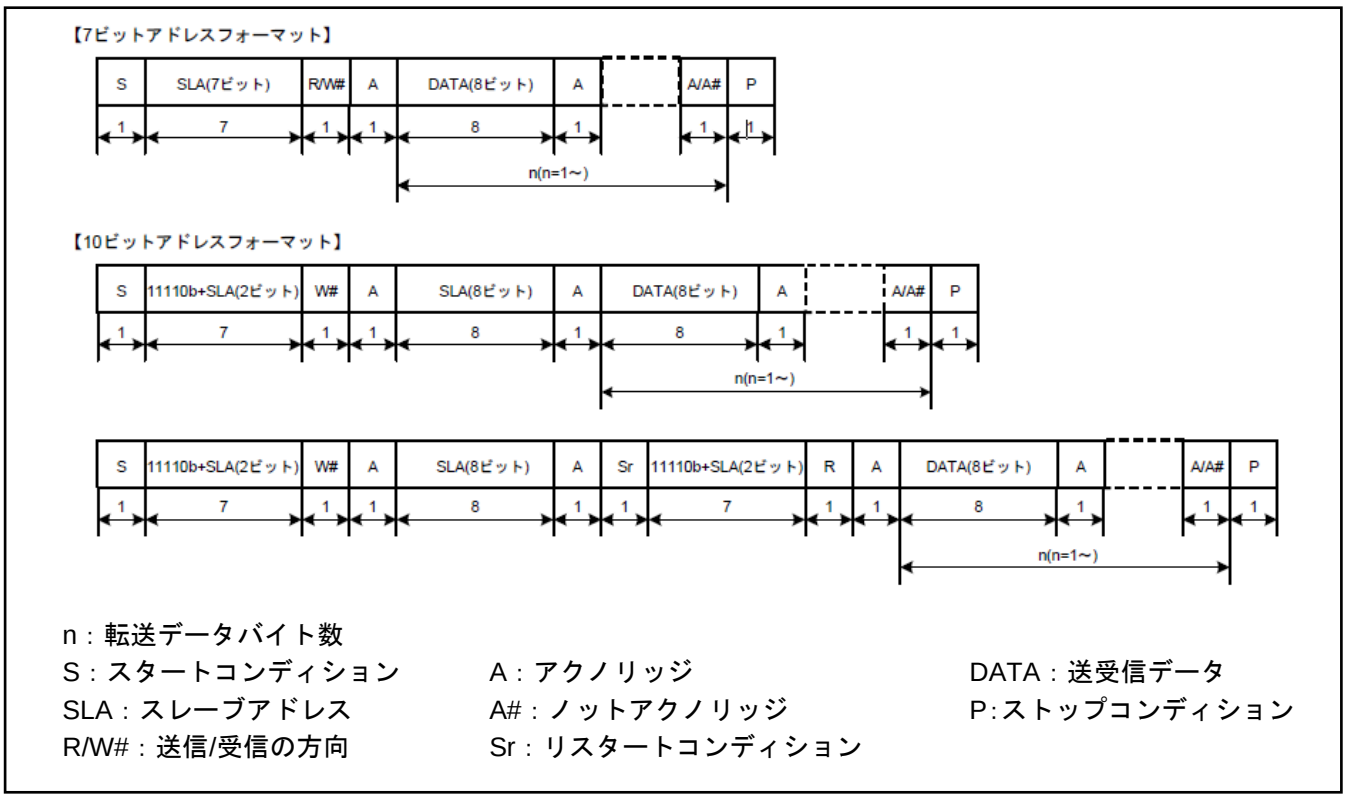
【注】 *1. RIICn n：0, 2
*2. SH7216 グループ の一部レジスタ機能は、RX72M では複数のレジスタに分割して配置されています

2.12.3 アドレス検出

SH7216 グループ は 1 種類の 7 ビットスレーブアドレスを検出することができます。

RX72M は 3 種類のスレーブアドレスに加え、ジェネラルコールアドレス、デバイス ID アドレス、SMBus のホストアドレスを検出することができます。また、スレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

RX72M I2C バスフォーマットを図 2.15 に示します。



n：転送データバイト数

S：スタートコンディション　　A：アクノリッジ　　DATA：送受信データ

SLA：スレーブアドレス　　A#：ノットアクノリッジ　　P:ストップコンディション

R/W#：送信/受信の方向　　Sr：リスタートコンディション

図 2.15 RX72M I2C バスフォーマット

2.12.4 アービトレ―ションロスト検出

RX72M は I2C バス仕様で定められている通常のアービトレ―ションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレ―ションロスト検出やスレーブ受信時におけるアービトレ―ションロスト検出機能も備えています。

2.12.5 バスハングアップ

I2C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCL ラインや SDA ラインが固定されたままバスハングアップを起こす場合があります。

RX72M はこのバスハングアップ状態に対し SCL ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するために SCL クロック追加出力機能および RIIC リセット機能、内部リセット機能を備えています。

2.12.6 SCL クロック

I2C バスフォーマットはマスタデバイスが出力する SCL クロックに同期してデータの送受信を行います。

マスタモードで動作する場合、SH7216 グループ は I2C バスコントロールレジスタ 1（ICCR1）に周辺クロックの分周比を設定し SCL クロックの転送レートを決定します。RX72M は I2C バスビットレート High レジスタ（ICBRH）に SCL クロックの High 幅を、I2C バスビットレート Low レジスタ（ICBRL）に SCL クロックの Low 幅を設定することで、SCL の転送レートおよびデューティ比を決定します。

RX72M は送信データ誤送信防止機能、NACK 受信転送中断機能、受信データ取りこぼし防止機能に対応しており、条件に一致した場合、自動的に SCL ラインの Low ホールドを行います。

I2C バスフォーマットをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。マスタモード時に SCLn ラインを監視してビットごとに同期をとりながら SCL クロックを生成する回路を、SH7216 グループはビット同期回路、RX72M は SCL 同期回路として備えています。

RX72M の SCL クロック生成および SCL 同期化動作を図 2.16 に示します。

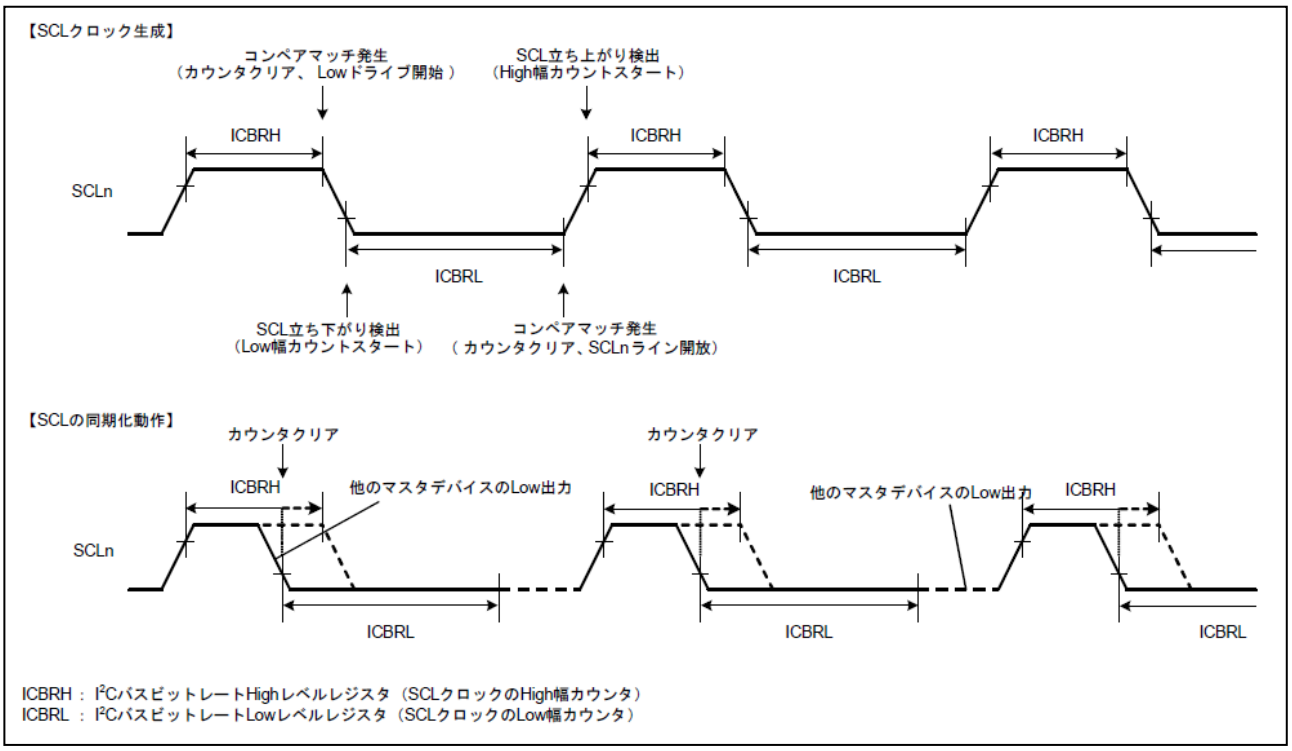


図 2.16 SCL クロック生成および SCL 同期化動作

2.12.7 ノイズ除去

RX72M はノイズ除去幅の設定に加え、I2C バスファンクション許可レジスタ（ICFER）でデジタルノイズフィルタ回路の使用有無を設定することができます。

2.12.8 割り込み

SH7216 グループ、RX72M ともに受信データフルおよび送信データエンプティの割り込みで DTC と DMAC の起動が可能です。

RX72M の受信データフルおよび送信データエンプティ割り込みは、割り込みステータスフラグ（IRn.IR）が'1'のときに発生した割り込み要求もモジュール内部で保持され、割り込みステータスフラグ（IRn.IR）が'0'になった後、保持された要求によって再度'1'になります。

RX72M は一部割り込みがグループ割り込み BL1 に割り当てられています。割り込みコントローラの割り込みステータスフラグ（IRn.IR）は、割り込みを受け付けると自動的にクリアされます。グループ BL1 割り込みステータスフラグ（GRPBL1.ISn）は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

SH7216 グル―プ と RX72M の割り込み要因一覧を表 2.43、表 2.44 に示します。

割り込みについては 1.8 章を参照してください。

表 2.43 SH7216 グループ IIC3 割り込み要因一覧（I2C バスフォーマット）

優先順位	割り込み要因	割り込みによる起動
高	停止条件検出	不可能
↑	NACK 検出 アービトレ―ションロスト/オーバランエラー	
	受信データフル	DTC/DMAC の起動可能
	送信データエンプティ	
低	送信終了	不可能

表 2.44 RX72M RIICa 割り込み要因一覧

優先順位	割り込み要因		割り込みによる起動
高	通信エラー/ イベント発生	アービトレ―ションロスト	不可能
↑		NACK 検出	
		タイムアウト	
		スタートコンディション検出	
		ストップコンディション検出	
	受信データフル		DTC/DMAC の起動可能
	送信データエンプティ		
低	送信終了		不可能

2.12.9 モジュールストップ

RX72M の RIICa は、SH7216 グループ 同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については 2.20 章を参照してください。

2.13 12 ビット A/D コンバータ（S12ADFa）

2.13.1 仕様比較

A/D 変換器として、SH7216 グループ では ADC、RX72M では 12 ビット A/D コンバータ（S12ADCFa）が内蔵されています。

SH7216 グループ と RX72M の仕様比較を表 2.45 に示します。

表 2.45 SH7216 グループと RX72M の仕様比較（ADC）

項目	SH7216 グループ（ADC）	RX72M（S12ADCFa）
入力チャネル数	8 チャネル（4 チャネル x 2）	ユニット 0（S12AD）：8 チャネル ユニット 1（S12AD1）：21 チャネル＋拡張 1 本
クロックソース	AD クロック（Aφ）	S12AD：周辺モジュールクロック（PCLKC） S12AD1：周辺モジュールクロック（PCLKD）
分解能	12 ビット	最大 12 ビット（8, 10, 12 ビットから選択可能）
A/D 変換方式	逐次比較方式	逐次比較方式
変換速度	1 チャネルあたり 1.0μs （AD クロック 50MHz 時）	1 チャネル当たり 12 ビット変換モード：0.48μs 10 ビット変換モード：0.45μs 8 ビット変換モード：0.42μs （A/D 変換クロック　ADCLK = 60MHz 動作時）
変換モード	• 1 サイクルスキャンモード • 連続スキャンモード	• シングルスキャンモード • 連続スキャンモード • グループスキャンモード
A/D 変換開始条件	• ソフトウェアトリガ • 同期トリガ（MTU2, MTU2S） • 非同期トリガ（$\overline{\text{ADTRG}}$ 端子）	• ソフトウェアトリガ • 同期トリガ（MTU, TMR, TPU, ELC） • 非同期トリガ（ADTRG0#, ADTRG1#端子）
A/D 変換終了割り込みに連動した動作	• CPU 割り込み発生 • DMAC または DTC を起動	• CPU 割り込み発生 • DMAC または DTC を起動
変換対象	• AN 端子	• AN 端子 • 内部基準電圧（S12AD1） • 温度センサ（S12AD1）
DTC/DMAC 起動	DTC/DMAC 起動可能	DTC/DMAC 起動可能
割り込み要因	• A/D 変換終了	• A/D 変換終了 • デジタルコンペア
その他	• サンプル＆ホールド機能 • チャネル専用サンプル＆ホールド機能（モジュール 0） • A/D データレジスタオートクリア機能	• イベントリンク • サンプル＆ホールド機能 • チャネル専用サンプル＆ホールド機能（S12AD） • サンプリングステート数可変機能 • A/D コンバータの自己診断機能 • A/D 変換値加算モードと平均モードが選択可能 • アナログ入力断線検出アシスト機能 • ダブルトリガモード • 12/10/8 ビット変換切り換え機能 • A/D データレジスタオートクリア機能 • 拡張アナログ入力機能 • コンペア機能（ウィンドウ機能選択可能）

2.13.2 入力チャネル

SH7216 グループは 4 チャネルのアナログ入力を持つ 2 モジュールで構成され、RX72M は 8 チャネルと 21 チャネルの 2 ユニット S12AD と S12AD1 で構成されています。SH7216 グループ 同様に、RX72M はユニットごとに A/D 変換器を持つため、ユニットごとの同時動作は可能ですがユニットをまたぐ連続スキャンはできません。

SH7216 グループ と RX72M の A/D 変換器の構成比較を図 2.17 に示します。

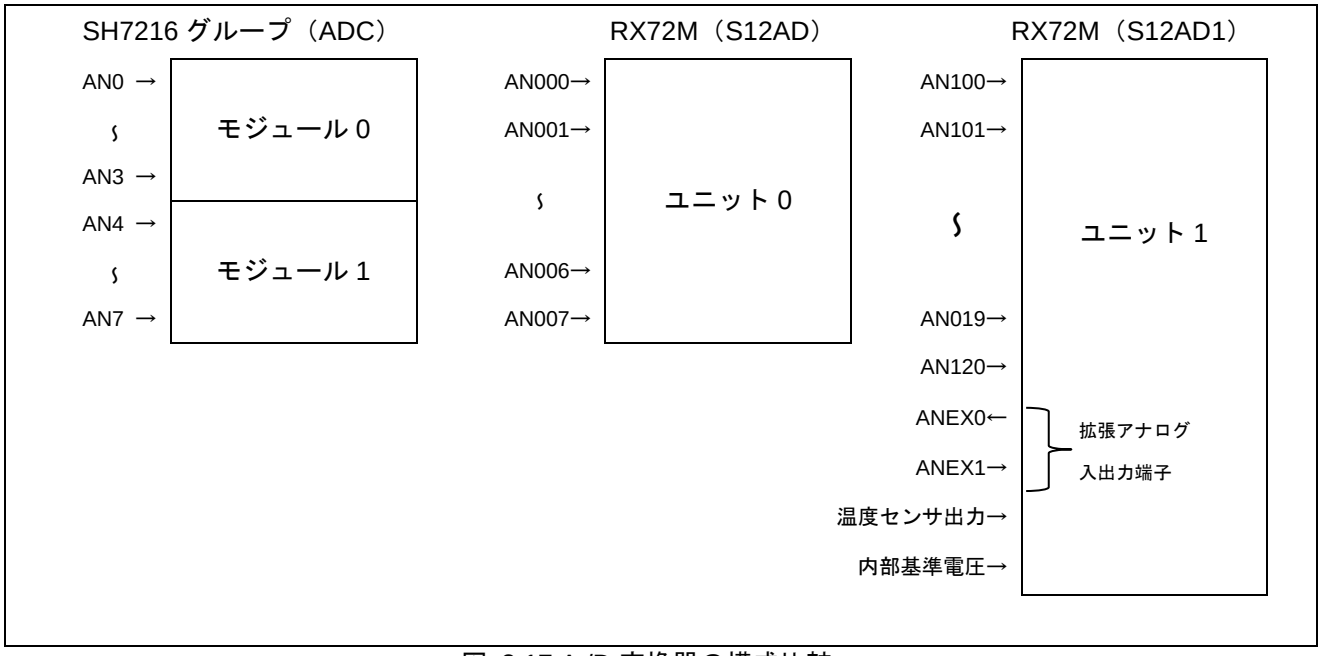


図 2.17 A /D 変換器の構成比較

2.13.3 スキャン順序

全チャネルを指定した場合のスキャン順序を表 2.46 に示します。

表 2.46 A/D 変換器のスキャン順序

マイコン	A/D 変換器	変換順序
SH7216 グループ	ADC（モジュール 0）	AN0⇒AN1⇒AN2⇒AN3
	ADC（モジュール 1）	AN4⇒AN5⇒AN6⇒AN7
RX72M	S12AD	AN0⇒AN1⇒省略⇒AN6⇒AN7⇒温度センサ出力⇒内部基準電圧 グループスキャンの場合はグループ A の優先制御動作を選択可能
	S12AD1	AN100⇒AN101⇒省略⇒AN119⇒AN120⇒温度センサ出力⇒内部基準電圧 グループスキャンの場合はグループ A の優先制御動作を選択可能

2.13.4 動作モード

SH7216 グループ と RX72M の動作モードの対応を表 2.47 に示します。

表 2.47 A/D 変換器の動作モードの対応

SH7216 グループ	RX72M
1 サイクルスキャン	シングルスキャンモード
連続スキャン	連続スキャンモード
—	グループスキャンモード 指定された同期トリガで、グループごとに指定された複数チャネルの A/D 変換をそれぞれ 1 回ずつ行う グループごとに A/D 変換終了後、割り込みが許可されていれば割り込みを発生

2.13.5 割り込み

SH7216 グループ、RX72M ともに DTC と DMAC の起動が可能です。

RX72M の S12ADFa の割り込みは、グループ割り込み BL1 と選択型割り込み B に割り当てられています。グループ BL1 割り込みステータスフラグ（GRPBL1.ISn）は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。選択型割り込み B ステータスフラグ（PIBRk.PIRn）は、自動的にクリアされませんが、そのままでも割り込み要求の生成には影響しません。

割り込みについては 1.8 章を参照してください。

2.13.6 モジュールストップ

RX72M の S12ADFa は、SH7216 グループ 同様にリセット後、モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については 2.20 章を参照してください。

2.14 CAN モジュール（CAN）

2.14.1 仕様比較

コントローラエリアネットワークとして、SH7216 グループ では RCAN-ET、RX72M では CAN モジュール（CAN）が内蔵されています。

SH7216 グループ と RX72M の仕様比較を表 2.48 に示します。

表 2.48 SH7216 グループと RX72M の仕様比較（CAN）

項目	SH7216 グループ（RCAN-ET）	RX72M（CAN）
チャネル数	1 チャネル	3 チャネル
プロトコル	CAN 規格 2.0B 対応 ビットタイミングは ISO-11898 規格に準拠	ISO 11898-1 仕様準拠
クロックソース	周辺バスクロック（Pφ） 20～50MHz	周辺モジュールクロック（PCLKB） または CAN クロック（CANMCLK）
ビットレート	最大 1Mbps	最大 1Mbps
1 チャネルあたりのメールボックス数	（RX の通常メールボックスモードに相当） 送受信用：15 受信用：1	通常メールボックスモード時 — 送受信用：32 FIFO メールボックスモード時 — 送受信用：24 — 送信用：4 段 FIFO — 受信用：4 段 FIFO
対応 ID 選択	● 標準 ID と拡張 ID の両方	● 標準 ID ● 拡張 ID ● 標準 ID と拡張 ID の両方
テスト機能	● リスンオンリモード ● セルフテストモード 1（外部） ● セルフテストモード 2（内部） ● ライトエラーカウンタ ● エラーパッシブモード	● リッスンオンリモード ● セルフテストモード 0（外部） ● セルフテストモード 1（内部） ● — ● —
DTC/DMAC 起動	DTC/DMAC 起動可能	—
割り込み要因	● データフレーム受信 ● リモートフレーム受信 ● メッセージの送信/送信取り消し ● エラー2 系統	● 受信完了 ● 送信完了 ● 受信 FIFO ● 送信 FIFO ● エラー
その他	● HCAN2 互換 ID 並び替え ● CAN スリープモードの自動ウェイク ● データフレーム自動送信 ● アクセプタンスフィルタ	● — ● — ● — ● アクセプタンスフィルタサポート ● タイムスタンプ ● ワンショット受信 ● メールボックス検索サポート ● チャネル検索サポート

2.14.2 メールボックス

SH7216 グループ のメールボックスは 18 バイトで構成され、16 個のメールボックスを持ちます。SH7216 グループ のメールボックス構成を図 2.18 に示します。

— メールボックス 0　　：受信専用メールボックス
— メールボックス 1～15　　：送受信可能なメールボックス

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDE	RTR	0	STDID[10:0]											EXTID[17:16]	
EXTID[15:0]															
IDE_ LAFM	0	0	STDID_LAFM[10:0]											EXTID_ LAFM[17:16]	
EXTID_LAFM[15:0]															
MSG_DATA_0								MSG_DATA_1							
MSG_DATA_2								MSG_DATA_3							
MSG_DATA_4								MSG_DATA_5							
MSG_DATA_6								MSG_DATA_7							
0	0	NMC	ATX*	DART*	MBC[2:0]			0	0	0	0	DLC[3:0]			

【注】* : ATX と DART はメールボックス 0 ではサポートされません

図 2.18 SH7216 グループ のメールボックス構成

RX72M のメールボックスは 16 バイトで構成され、32 個のメールボックスを持ちます。RX72M のメールボックス構成を図 2.19 に示します。

通常メールボックスモードの場合
— メールボックス 0～31　　：送受信可能なメールボックス

FIFO メールボックスモード
— メールボックス 0～23　　：送受信可能なメールボックス
— メールボックス 24～27　　：送信 FIFO 用メールボックス
— メールボックス 28～31　　：受信 FIFO 用メールボックス

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDE	RTR	—	SID[10:0]											EID[17:16]	
EID[15:0]															
—	—	—	—	—	—	—	—	—	—	—	—	DLC[3:0]			
DATA_0								DATA_1							
DATA_2								DATA_3							
DATA_4								DATA_5							
DATA_6								DATA_7							
TSH[7:0]								TSL[7:0]							

図 2.19 RX72M のメールボックス構成

SH7216 グループ のメールボックスの一部項目は、RX72M ではレジスタで設定を行います。

SH7216 グループと RX72M のメールボックス設定比較を表 2.49 に示します。

表の変更欄の記号

◎：SH7216 グループと RX72M で同じ設定
△：SH7216 グループと RX72M で異なる設定
—：SH7216 グループと RX72M で一方にしかない設定

表 2.49 SH7216 グループと RX72M のメールボックス設定比較

SH7216 グループ*1	RX72M*2	変更
MB[x].CONTROL0.IDE	MBj.IDE	◎
MB[x].CONTROL0.RTR	MBj.RTR	◎
MB[x].CONTROL0.STDID[10:0]	MBj.SID[10:0]	◎
MB[x].CONTROL0.EXTID[17:0]	MBj.EID[17:0]	◎
MB[x].LAFM.IDE_LAFM	—	—
MB[x].LAFM.STDID_LAFM[10:0]	MKRk.SID[10:0]、MKIVLR レジスタ	△
MB[x].LAFM.EXTID_LAFM[17:0]	MKRk.EID[17:0]、MKIVLR レジスタ	△
MB[x].MSG_DATA[0～7].MSG_DATA_0～7	MBj.DATA0～7	◎
MB[x].CONTROL1.NMC	CTLR.MLM（チャネル単位）	△
MB[x].CONTROL1.ATX	—	—
MB[x].CONTROL1.DART	MCTLj.ONESHOT	△
MB[x].CONTROL1.MBC[2:0]	MCTLj.RECREQ、MCTLj.TRMREQ	△
MB[x].CONTROL1.DLC[3:0]	MBj.DLC[3:0]	◎
—	MBj.TSL[7:0] MBj.TSH[7:0]	—

【注】 *1. x：0～15
*2. j：0～31、k：0～7

2.14.3 アクセプタンスフィルタ

SH7216 グループ、RX72M ともにアクセプタンスフィルタ機能を持ち、メールボックスが複数の受信 ID を受け入れることを許可します。

SH7216 グループ はアクセプタンスフィルタの設定をメールボックス内のローカルアクセプタンスフィルタマスク（LAFM）で行うのに対し、RX72M はマスクレジスタ k（MKRk）およびマスク無効レジスタ（MKIVLR）で行います。

表 2.50 アクセプタンスフィルタ設定仕様

項目	SH7216 グループ	RX72M
対象	IDE 標準 ID 拡張 ID	標準 ID 拡張 ID
マスク設定	ローカルアクセプタンスフィルタマスク（LAFM）： メールボックスごとに個別のマスクを設定 — 0：対象 ID ビットを比較する — 1：対象 ID ビットを比較しない	マスクレジスタ k（MKRk）： 4 メールボックスごとに個別のマスクを設定 — 0：対象 ID ビットを比較しない — 1：対象 ID ビットを比較する マスク無効レジスタ（MKIVLR）： メールボックスごとにマスク有効/無効を設定

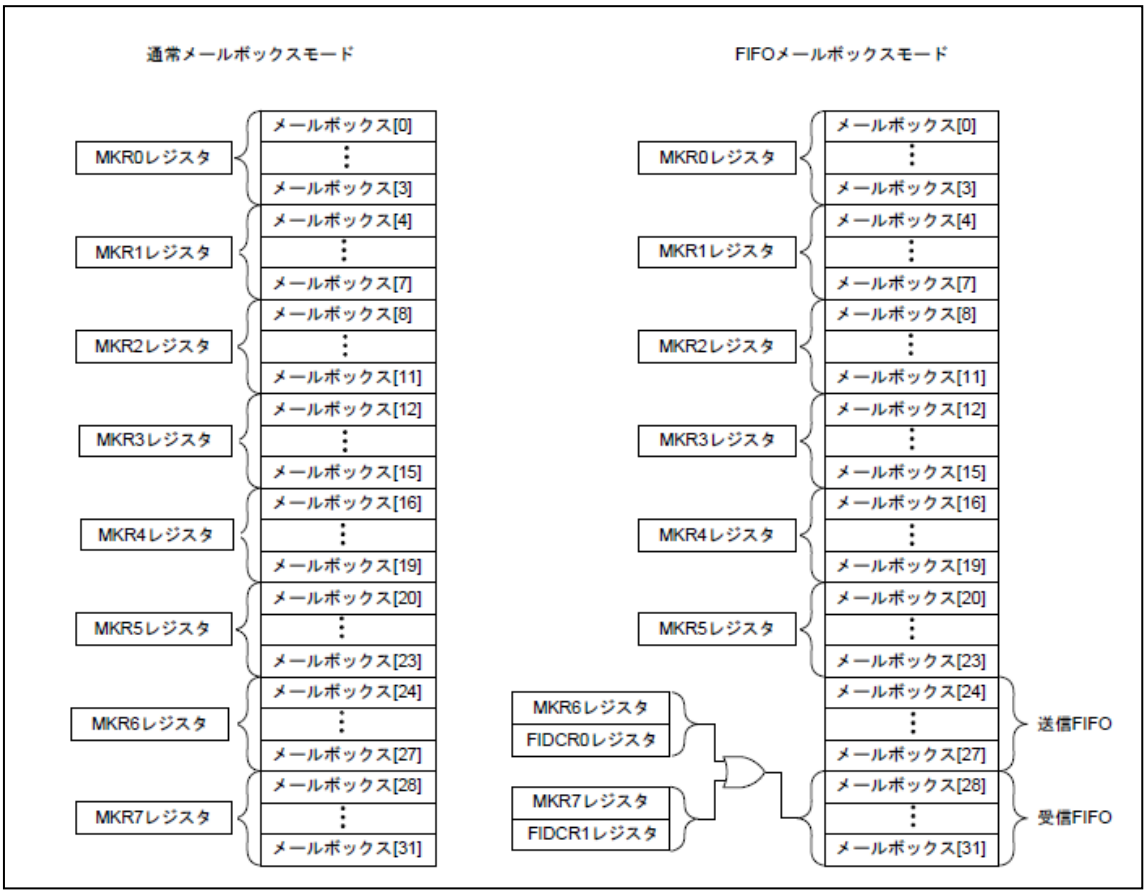


図 2.20 RX72M のマスクレジスタとメールボックスの対応

2.14.4 送信優先順位

SH7216 グループ、RX72M ともにメッセージを送信する場合の優先順位を選択することができます。

メールボックス番号優先を選択した場合、メールボックス番号と優先度が SH7216 グループ と RX72M で異なります。SH7216 グループ と RX72M の送信優先順位の仕様を表 2.51 に示します。

表 2.51 送信優先順位の仕様

項目	SH7216 グループ	RX72M
ID 優先	最小のアービトレ―ションフィールドをもつメッセージから優先 （ISO11898-1 仕様に準拠）	
メールボックス番号優先	一番大きいメールボックス番号から優先 メールボックス 15→1	一番小さいメールボックス番号から優先 メールボックス 0→31

2.14.5 モード遷移

SH7216 グループ は、ハードウェアリセット後にコンフィギュレーションモードに遷移するのに対し、RX72M は、CPU リセット後に CAN スリープモードに遷移します。

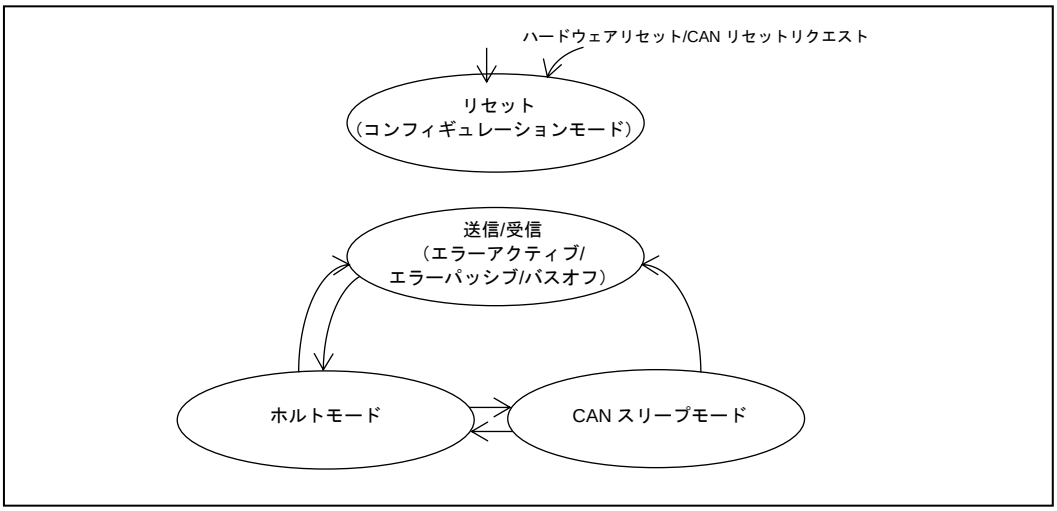


図 2.21 SH7216 状態遷移

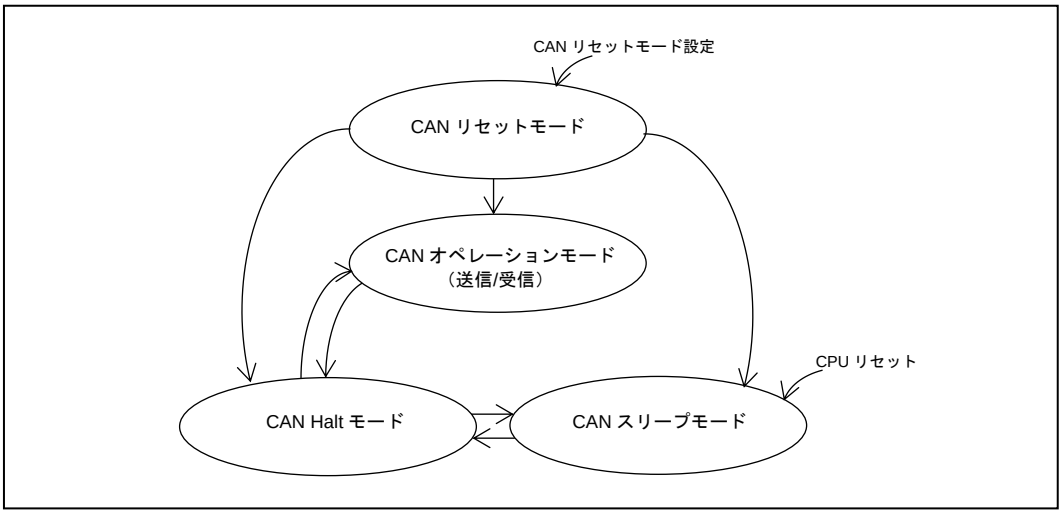


図 2.22 RX72M 状態遷移

2.14.6 割り込み

SH7216 グループ は、データフレーム受信およびリモートフレーム受信割り込みにおいて DTC と DMA の起動が可能なのに対し、RX72M は全ての CAN 割り込みで DTC と DMAC の起動ができません。

RX72M の CAN 割り込みは、グループ割り込み BE0 と選択型割り込み B に割り当てられています。グループ BE0 割り込みステータスフラグ（GRPBE0.ISn）は、割り込み要因クリアビット（GCRBE0.CLRn）に'1'を書き込むことでクリアされます。選択型割り込み B ステータスフラグ（PIBRk.PIRn）は、自動的にクリアされませんが、そのままでも割り込み要求の生成には影響しません。

割り込みについては 1.8 章を参照してください。

2.14.7 モジュールストップ

RX72M の CAN は、SH7216 グループ 同様にリセット後、モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については 2.20 章を参照してください。

2.15 USB2.0FS ホスト/ ファンクションモジュール(USBb)

2.15.1 仕様比較

USB 2.0 に対応したモジュールとして、SH7216 グループ では USB ファンクションモジュール（USB）、RX72M では USB 規格 2.0 で定義されている全転送タイプに対応した USB 2.0 FS ホスト/ファンクションモジュール（USBb）が内蔵されています。

SH7216 グループ と RX72M の仕様比較を表 2.52 に示します。

表 2.52 SH7216 グループと RX72M の仕様比較（USB）

項目	SH7216 グループ	RX72M
	USB	USBb
コントローラ機能	• ファンクションコントローラ機能	• ホストコントローラ機能 • ファンクションコントローラ機能 • On-The-Go（OTG）
クロックソース	USB クロック（Uφ）	周辺モジュールクロック（PCLKB） USB クロック（UCLK）
転送スピード	• フルスピードモード	• ロースピードモード*2 • フルスピードモード
通信データ転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
パワーモード	• セルフパワーモード	• セルフパワーモード • バスパワーモード
エンドポイント/パイプ	エンドポイント：最大 10	パイプ：最大 10 パイプ 1～9 は任意のエンドポイント番号を割付可能
DTC/DMAC 起動	DTC/DMAC 起動可能	DTC/DMAC 起動可能
その他	• D+ラインのプルアップ制御端子（PUPD） • USB ケーブル切断時、プロトコル処理部内部クロック停止による低消費電力化が可能	• D+/D-ラインのプルアップ抵抗、プルダウン抵抗を MCU に内蔵 • USB ケーブル切断監視は、USB0_VBUS でケーブル切断を検出しモジュールストップしてください。 • ファンクションコントローラ機能選択時以下の機能に対応 — コントロール転送ステージ管理機能 — デバイスステート管理機能 — SOF 補完機能

【注】 *1. USB の USB-PHY に内蔵された PLL に USBMCLK を供給し、PHY クロックを生成する方法も選択可能
*2. ホストコントローラのみ対応

2.16 イーサネットコントローラ（ETHERC）

2.16.1 仕様比較

イーサネットあるいは IEEE802.3 の MAC 層規格に準拠したイーサネットコントローラとして、SH7216 グループ では EtherC、RX72M では ETHERC が内蔵されています。

イーサネットコントローラ用ダイレクトメモリアクセスコントローラとして、SH7216 グループ では E-DMAC、RX72M では EDMACa が内蔵されています。

RX72M は、機器間の時刻同期を行うイーサネットコントローラ用 PTP コントローラ（EPTPCb）も内蔵しています。

SH7216 グループ と RX72M の仕様比較を、表 2.53、表 2.54 に示します。

表 2.53 SH7216 グループと RX72M の仕様比較（EtherC）

項目	SH7216 グループ（EtherC）	RX72M（ETHERC）
入力チャネル数	1 チャネル	2 チャネル
プロトコル	IEEE802.3x 規格のフロー制御準拠	IEEE802.3x 規格のフロー制御準拠
データ送受信	イーサネット/IEEE802.3 フレームの送受信	イーサネット/IEEE802.3 フレームの送受信
通信速度	10Mbps 100Mbps	10Mbps 100Mbps
通信方式	全二重通信 半二重通信	全二重通信 半二重通信
インタフェース	IEEE802.3u 規格の MII 対応	IEEE802.3u 規格の MII および RMII の対応
その他	Magic Packet™ *1 の検出 Wake-On-LAN（WOL）信号の出力	Magic Packet™ *1 の検出 Wake-On-LAN（WOL）信号の出力

【注】 *1. Magic Packet は Advanced Micro Devices, Inc.の商標

表 2.54 SH7216 グループと RX72M の仕様比較（E-DMAC）

項目	SH7216 グループ（E-DMAC）	RX72M（EDMACAa）
チャネル数	1 チャネル：EtherC 用	2 チャネル：ETHERC 用 1 チャネル：EPTPCb 用
データ転送	ディスクリプタによる送受信制御	ディスクリプタによる送受信制御
転送方式	● シングルフレーム送受信 ● マルチバッファ送受信	● シングルバッファフレーム送受信 ● マルチバッファフレーム送受信
転送単位	ブロック転送（32 バイト単位）	ブロック転送（32 バイト単位）
その他	● 送受信フレームステータスのディスクリプタへの反映	● 送受信フレームステータスのディスクリプタへの反映 ● 受信データへのパディング挿入

2.17 コンペアマッチタイマ（CMT）

2.17.1 仕様比較

コンペアマッチタイマとして、SH7216 グループ では CMT、RX72M では 16 ビットタイマによる CMT、32 ビットタイマによる CMTW が内蔵されています。

RX72M は SH7216 グループ の CMT 機能を包含しています（上位互換）。SH7216 グループ と RX72M の仕様比較を表 2.55 に示します。

表 2.55 SH7216 グループと RX72M の仕様比較（CMT）

項目	SH7216 グループ	RX72M	
	CMT	CMT	CMTW
ユニット数 （チャネル数）	1 ユニット （全 2 チャネル）	2 ユニット （全 4 チャネル）	2 ユニット （全 2 チャネル）
クロックソース	内部クロック（Pφ）	周辺モジュールクロック （PCLKB）	周辺モジュールクロック （PCLKB）
クロック分周比	Pφ/8, 32, 128, 512	PCLKB/8, 32, 128, 512	PCLKB/8, 32, 128, 512
カウント動作	16 ビットのアップカウンタ	16 ビットのアップカウンタ	最大 32 ビットのアップカウンタ （16, 32 ビットから選択可能）
DTC/DMAC 起動	DTC/DMAC 起動可能	DTC/DMAC 起動可能	DTC/DMAC 起動可能
割り込み要因	● コンペアマッチ	● コンペアマッチ	● コンペアマッチ ● インプットキャプチャ ● アウトプットコンペア
その他	—	● イベントリンク	● イベントリンク

2.17.2 レジスタ比較

SH7216 と RX72M の CMT はソフトウェコンパチです。ただし、RX72M には割り込みフラグがありません。RX72M では割り込みコントローラを使用する事で同様の処理を実現可能です。

SH7216 グループと RX72M のレジスタ比較を表 2.56 と表 2.57 に示します。

表の変更欄の記号

◎：SH7216 グループと RX72M でビットアサインが同じレジスタ
△：SH7216 グループと RX72M でビットアサインが異なるレジスタ
—：SH7216 グループと RX72M で一方にしかないレジスタ

表 2.56 SH7216 グループと RX72M のレジスタ比較（CMT）

SH7216 グループ（CMT）*1	RX72M（CMT）*2	変更
コンペアマッチタイマスタートレジスタ（CMSTR）	コンペアマッチタイマスタートレジスタ 0（CMSTR0） コンペアマッチタイマスタートレジスタ 1（CMSTR1）	◎
コンペアマッチタイマコントロール/ステータスレジスタ_n（CMCSR_n）	コンペアマッチタイマコントロールレジスタ（CMTm.CMCR）	△
コンペアマッチカウンタ_n（CMCNT_n）	コンペアマッチタイマカウンタ（CMTm.CMCNT）	◎
コンペアマッチコンスタントレジスタ_n（CMCOR_n）	コンペアマッチタイマコンスタントレジスタ（CMTm.CMCOR）	◎

【注】 *1. CMT n：0～1
*2. CMT m：0～3

表 2.57 SH7216 グループと RX72M のレジスタ比較（CMTW）

SH7216 グループ（CMT）*1	RX72M（CMTW）*2	変更
コンペアマッチタイマスタートレジスタ（CMSTR）	タイマスタートレジスタ（CMTWm.CMWSTR）	△
コンペアマッチタイマコントロール/ステータスレジスタ_n（CMCSR_n）	タイマコントロールレジスタ（CMTWm.CMWCR）	△
コンペアマッチカウンタ_n（CMCNT_n）	タイマカウンタ（CMTWm.CMWCNT）	△
コンペアマッチコンスタントレジスタ_n（CMCOR_n）	コンペアマッチコンスタントレジスタ（CMTWm.CMWCOR）	△
—	タイマ I/O コントロールレジスタ（CMTWm.CMWIOR）	—
	インプットキャプチャレジスタ 0, 1（CMTWm.CMWICR0, 1）	
	アウトプットコンペアレジスタ 0, 1（CMTWm.CMWOCR0, 1）	

【注】 *1. CMT n：0～1
*2. CMTW m：0～1

2.17.3 割り込み

SH7216 グループ、RX72M ともに DTC と DMAC の起動が可能です。

RX72M の CMT および CMTW 割り込みは、一部割り込みが選択型割り込み B に割り当てられています。割り込みコントローラの割り込みステータスフラグ（IRn.IR）は、割り込みを受け付けると自動的にクリアされます。選択型割り込み B ステータスフラグ（PIBRk.PIRn）は、自動的にクリアされませんが、そのままでも割り込み要求の生成には影響しません。

割り込みについては 1.8 章を参照してください。

2.17.4 モジュールストップ

RX72M の CMT は、SH7216 グループ 同様にリセット後、モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については 2.20 章を参照してください。

2.18 コードフラッシュメモリ

2.18.1 仕様比較

SH7216 グループ と RX72M の仕様比較を表 2.58 に示します。

表 2.58 SH7216 グループと RX72M の仕様比較（コードフラッシュメモリ）

項目	SH7216 グループ	RX72M
サイズ	ユーザマット：最大 1M バイト ユーザブートマット：32K バイト	ユーザ領域：最大 4M バイト
ブロックサイズ ×ブロック数	1M 品 — 128K バイト×3 ブロック — 64K バイト×9 ブロック — 8K バイト×8 ブロック 768K 品 — 128K バイト x 1 ブロック — 64K バイト x 9 ブロック — 8K バイト x 8 ブロック 512K 品 — 64K バイト×7 ブロック — 8K バイト×8 ブロック	4M バイト品 リニアモード時 — 32K バイト×126 ブロック — 8K バイト×8 ブロック デュアルモード時（各バンク） — 32K バイト×62 ブロック — 8K バイト×8 ブロック 2M バイト品 リニアモード時 — 32K バイト×62 ブロック — 8K バイト×8 ブロック デュアルモード時（各バンク） — 32K バイト×30 ブロック — 8K バイト×8 ブロック
書き込み単位	256 バイト	128 バイト
消去単位	ユーザマット — ライタモード：全面消去 — ライタモード以外：ブロック単位 ユーザブートマット：全面消去	ブロック単位
書き込み/消去回数	1000 回	100000 回
プログラミング モード	オンボードプログラミング — ブートモード — USB ブートモード — ユーザブートモード — ユーザプログラムモード オフボードプログラミング — ライタモード	オンボードプログラミング シリアルプログラミング ブートモード(SCI / USB / FINE) セルフプログラミング シングルチップモード オフボードプログラミング パラレルプログラマによるプログラミング
その他	• ビットレート自動合わせ込み • プロテクトモード • サスペンド/レジューム機能 • BGO 機能 （コードフラッシュ書込み/消去中、コードフラッシュ以外に配置したプログラムを実行可能） • ROM キャッシュによる高速化	• ビットレート自動合わせ込み • プロテクション機能（誤書き替え防止） • サスペンド/レジューム機能 • BGO 機能 — コードフラッシュメモリプログラム中のコードフラッシュメモリリードが可能 — コードフラッシュメモリプログラムイレーズ中のデータフラッシュメモリリードが可能 • セキュリティ機能 （不正改ざん/不正リード防止） • Trusted Memory (TM)機能（不正リード

		防止） ● 16 バイト長のユニーク ID

RX72M でコードフラッシュメモリの書き換えを行う場合、FACI コマンドを使用できます。下記アプリケーションノートを参照してください。

- RX ファミリ フラッシュモジュール Firmware Integration Technology（R01AN2184JJ）

2.19 データフラッシュ

2.19.1 仕様比較

SH7216 グループ と RX72M の仕様比較を表 2.59 に示します。

表 2.59 SH7216 グループと RX72M の仕様比較（データフラッシュメモリ）

項目	SH7216 グループ	RX72M
サイズ	データマット：32KB	データ領域：32KB
ブロックサイズ ×ブロック数	8K バイト×4 ブロック	64 バイト×512 ブロック
書き込み単位	ブートモード：256 バイト ブートモード以外：8 バイトまたは 128 バイト	4 バイト
消去単位	ブロック単位	64/128/256 バイト
書き込み/消去回数	30000 回	100000 回
プログラミング モード	オンボードプログラミング — ブートモード — USB ブートモード — ユーザブートモード — ユーザモード/ユーザプログラムモード	オンボードプログラミング シリアルプログラミング ブートモード(SCI / USB / FINE) セルフプログラミング シングルチップモード オフボードプログラミング — パラレルプログラマによるプログラミング
その他	● ビットレート自動合わせ込み ● プロテクトモード ● サスペンド/レジューム機能 ● BGO 機能 （データフラッシュ書き込み/消去中、コードフラッシュからのプログラムを実行可能） ● ブランクチェック機能	● ビットレート自動合わせ込み ● プロテクション機能（誤書き替え防止） ● サスペンド/レジューム機能 ● BGO 機能 — コードフラッシュメモリプログラム中のコードフラッシュメモリリードが可能 — コードフラッシュメモリプログラム/イレーズ中のデータフラッシュメモリリードが可能 ● ブランクチェック機能 ● セキュリティ機能（不正改ざん/不正リード防止） ● 16 バイト長のユニーク ID

RX72 でコードフラッシュメモリの書き換えを行う場合、FACI コマンドを使用できます。下記アプリケーションノートを参照してください。

- RX ファミリ フラッシュモジュール Firmware Integration Technology (R01AN2184JJ)

2.20 消費電力低減機能

2.20.1 仕様比較

SH7216 グループ と RX72M の各低消費電力状態への遷移および解除方法と、クロック、CPU、内蔵モジュールの動作状態を表 2.60 と表 2.61 に示します。

表 2.60 SH7216 グループ 低消費電力状態

遷移および解除方法と 動作状態	スリープモード	モジュール スタンバイ機能	ソフトウェア スタンバイモード
遷移方法	制御レジスタ ＋命令	制御レジスタ	制御レジスタ ＋命令
リセット以外の解除方法	割り込み DMA アドレスエラー	制御レジスタ	割り込み
クロック	動作	動作	停止
CPU	停止	動作	停止
内蔵周辺モジュール	動作	指定モジュールが停止	停止

表 2.61 RX72M 低消費電力状態

遷移および解除方法と動作状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
遷移方法	制御レジスタ＋命令	制御レジスタ＋命令	制御レジスタ＋命令	制御レジスタ＋命令
リセット以外の解除方法	割り込み	割り込み	割り込み	割り込み
解除後の状態	プログラム実行状態(割り込み処理)	プログラム実行状態(割り込み処理)	プログラム実行状態(割り込み処理)	プログラム実行状態(リセット処理)
メインクロック発振器 サブクロック発振器	動作	動作	動作	動作
高速オンチップオシレータ 低速オンチップオシレータ	動作	動作	停止	停止
IWDT 専用オンチップオシレータ	動作	動作	動作	停止（不定）
PLL PPLL	動作	動作	停止	停止
CPU	停止（保持）	停止（保持）	停止（保持）	停止（不定）
RAM、拡張 RAM、ECCRAM	動作（保持）	停止（保持）	停止（保持）	停止（不定）
スタンバイ RAM	動作（保持）	停止（保持）	停止（保持）	停止（保持/不定）*1
フラッシュメモリ	動作	停止（保持）	停止（保持）	停止（保持）
USBFS ホスト/ファンクションモジュール（USB）	動作	停止	停止	停止（保持/不定）*1
ウォッチドッグタイマ（WDT）	停止（保持）	停止（保持）	停止（保持）	停止（不定）
独立ウォッチドッグタイマ（IWDT）	動作	動作	動作	停止（不定）
リアルタイムクロック（RTC）	動作	動作	動作	動作
8 ビットタイマ(ユニット 0、1)（TMR）	動作	動作	停止（保持）	停止（不定）
ポートアウトプットイネーブル(POE)	動作	動作	停止（保持）	停止（不定）
電圧検出回路（LVDA）	動作	動作	動作	動作
パワーオンリセット回路	動作	動作	動作	動作
周辺モジュール	動作	停止（保持）	停止（保持）	停止（不定）
I/O ポート	動作	保持	保持	保持

停止（保持）：内部レジスタ値保持、内部状態は動作中断
停止（不定）：内部レジスタ値不定、内部状態は電源オフ

【注】 *1. 制御レジスタにて保持/不定を選択可能

2.20.2 モード遷移

RX72M のモード遷移図を図 2.23 に、モード遷移イベント一覧を表 2.62 に示します。

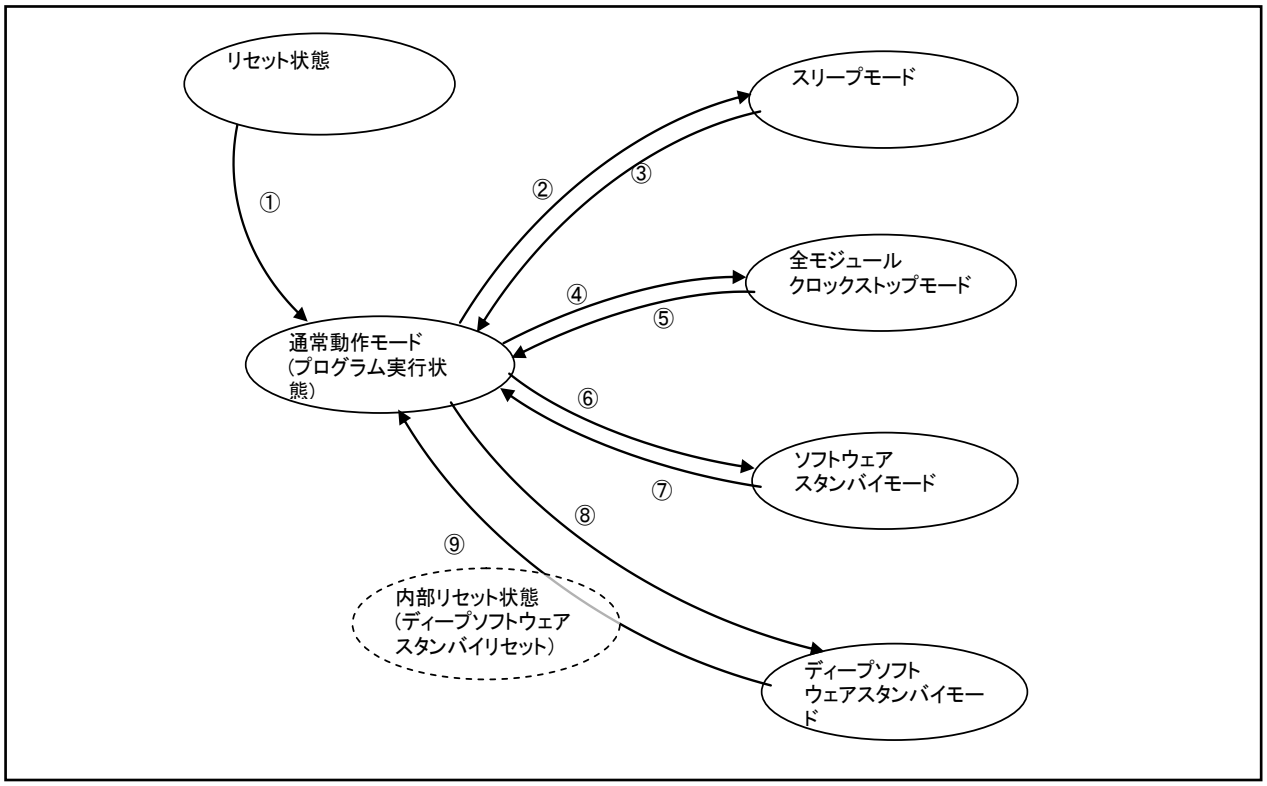


図 2.23 RX72M モード遷移図

表 2.62 RX72M モード遷移イベント一覧

No.	イベント事象	遷移条件（イベント事象前に下記条件を設定）
①	RES#端子 = High	—
②	WAIT 命令実行	SBYCR.SSBY = “0”
③	全ての割り込み	—
④	WAIT 命令実行	SBYCR.SSBY = “0”, MSTPCRA.ACSE = “1”, MSTPCRA = “FFFF FF[C-F]Fh” MSTPCRB = “FFFF FFFFh”, MSTPCRC[31:16] = “FFFFh”, MSTPCRD = “FFFF FFFFh”
⑤	外部/周辺割り込み	外部端子割り込み（NMI, IRQ0～IRQ15） 周辺機能割り込み（8 ビットタイマ、RTC アラーム、RTC 周期、IWDT、USB サスペンド/レジューム、電圧監視 1、電圧監視 2、発振停止検出）*1
⑥	WAIT 命令実行	SBYCR.SSBY = “1”, DPSBYCR.DPSBY = “0”
⑦	外部/周辺割り込み	外部端子割り込み（NMI, IRQ0～IRQ15） 周辺機能割り込み（RTC アラーム、RTC 周期、IWDT、USB サスペンド/レジューム、電圧監視 1、電圧監視 2）*1
⑧	WAIT 命令実行	SBYCR.SSBY = “1”, DPSBYCR.DPSBY = “1”
⑨	外部/周辺割り込み	外部端子割り込み発生元となる一部の端子（NMI, IRQ0-DS～IRQ15-DS, SCL2-DS, SDA2-DS, CRX1-DS）、周辺機能割り込み（RTC アラーム、RTC 周期、USB サスペンド/レジューム、電圧監視 1、電圧監視 2）*1 上記割り込み発生後、内部リセット状態が一定時間発生した後、内部リセット解除とともに、ディープソフトウェアスタンバイモードが解除され、通常動作モード、LOCO 動作で CPU は動作する。（リセットにより復帰する）

【注】 *1. 割り込み条件に詳細な条件があります。詳細はユーザーズマニュアル ハードウェア編を参照してください

2.20.3 モジュールストップ状態

SH7216 グループ はリセット後、RAM および ROM を除きモジュールストップ状態になるため、モジュールに対するクロックの供給を停止します。

RX72M はリセット後、DMAC、DTC、EXDMACa、RAM、ECCRAM、拡張 RAM、スタンバイ RAM を除きモジュールストップ状態になるため、モジュールに対するクロックの提供を停止します。 DTC と DMAC は、モジュールストップ設定ビット（MSTPCRA.MSTPA28）が共通の為、モジュールストップ制御が同時におこなわれます。EXDMACa はモジュールストップ設定ビット（MSTPCRA.MSTPA29）が独立しているため、個別に制御が可能です。

リセット後、モジュールストップ状態になるモジュールは、SH7216 グループ 同様に、モジュール使用前にモジュールストップ状態の解除を行ってください。

RX72M のモジュールストップ状態を変更する場合は、モジュールストップコントロールレジスタ（MSTPCRn）にアクセスする前に、プロテクトレジスタ（PRCR）でレジスタライトプロテクションを解除してください。

各モジュールに対するリセット後のクロック供給状態を表 2.63 に示します。

表 2.63 リセット後のクロック供給状態

<table>
<tr><th>機能名*1</th><th>SH7216 グループ</th><th>RX72M*2</th></tr>
<tr><td>RAM</td><td>クロック供給（動作）</td><td>クロック供給（動作）</td></tr>
<tr><td>ユーザブレークコントローラ（UBC）</td><td rowspan="9">クロック供給停止</td><td>—</td></tr>
<tr><td>データトランスファ—コントローラ（DTC）</td><td rowspan="2">クロック供給（動作）</td></tr>
<tr><td>ダイレクトメモリアクセスコントローラ（DMAC）</td></tr>
<tr><td>マルチファンクションタイマパルスユニット（MTU）</td><td rowspan="7">クロック供給停止</td></tr>
<tr><td>シリアルコミュニケーションインタフェース（SCI, SCIF）</td></tr>
<tr><td>シリアルペリフェラルインタフェース（RSPI）</td></tr>
<tr><td>I2C バスインタフェース（IIC）</td></tr>
<tr><td>A/D 変換器（ADC）</td></tr>
<tr><td>コンペアマッチタイマ（CMT）</td></tr>
</table>

【注】 *1. SH7216 グループの機能名を記載しています
*2. RX72M は本表以外にもモジュールストップに対応したモジュールがあります

2.20.4 ライトプロテクション

RX72M にはプログラムが暴走した時に備え、重要なレジスタを書き換えられないように保護する、レジスタライトプロテクション機能で保護されており、低消費電力低減機能関連レジスタはこれに該当します。

レジスタ書き込み時は、必要に応じてプロテクトビット 1（PRCR.PRC1）を’1’に設定し、書き込みを許可してください。

3. サンプルコードについて

各機能の設定例は、スマートコンフィグレータで用途に合わせた設定を行い、コードを生成してください。

4. 参考資料

4.1 参考資料

本資料を作成するうえで参照した資料をまとめました。下記資料を参照するに当たり、最新版の資料がある場合、最新版に差し替えて使用してください。最新版はルネサスエレクトロニクスホームページで確認および入手してください。

表 4.1 参考資料

SH7214 グループ、SH7216 グループユーザーズマニュアル ハードウェア編（R01UH0230JJ0400）
SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編（R01US0031JJ）
RX72M グループユーザーズマニュアル ハードウェア編（R01UH0493JJ0100）
RX ファミリ フラッシュモジュール Firmware Integration Technology（R01AN2184JJ）
RX ファミリ RXv3 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編（R01US0316JJ0100）
RX72M グループ Renesas Starter Kit+ ユーザーズマニュアル（R20UT3217JG0100）
Renesas Starter Kit+ for RX72M CPU Board Schematics（R20UT3216EG0100）
RX72M グループ 初期設定例（R01AN4530JJ0100）

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

- TN-RX*-A127A/J
  RX64M グループ、RX72M グループ　機能追加
  Page 2803of 2981(RX72M グループ)
  コードフラッシュメモリ/データフラッシュメモリの仕様にユニーク ID を追加

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ
http://japan.renesas.com/

お問合せ先
http://japan.renesas.com/contact/

すべての商標および登録商標は，それぞれの所有者に帰属します

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2022.9.22	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2021 Renesas Electronics Corporation. All rights reserved.