

SH7216 グループ

ハードウェアデザインガイド

R01AN0174JJ0101
Rev.1.01
2010.08.24

要旨

本アプリケーションノートは、SH7216 搭載システムの設計を始める際の参考資料として、設計のポイントとなる項目をまとめたものです。

対象デバイス

SH7216

目次

1. 電源	2
2. リセット	4
3. 発振回路	7
4. 動作モード	9
5. 端子処理	12
6. 内部資源へのアクセス	20
7. エンディアン	20
8. 低消費電力モード	21
9. RCAN-ETの外部回路例	26
10. 参考ドキュメント	27

1. 電源

1.1 電源

SH7216にはデジタル系電源とアナログ系電源があり、それぞれ以下の端子があります。

表1 デジタル系電源

電源端子名	名称	説明
VCL	内部降圧電源	内部降圧電源外付け容量端子
VCCQ	端子電源	電源端子、3.0V~3.6V
PLLVC	PLL 用電源	内蔵 PLL 発振器用電源、VCCQ と同電位を供給
DrVCC	USB 電源	内蔵 USB トランシーバ用電源、VCCQ と同電位を供給
VSS	端子グランド	グランド、0V
PLLVSS	PLL 用グランド	内蔵 PLL 発振器用グランド、0V
DrVSS	USB グランド	内蔵 USB トランシーバ用グランド、0V

注： デジタル系電源の電圧範囲は 3.0V~3.6V です。また、PLLVC と DrVCC は VCCQ と同電位にしてください。USB を使用しない場合も、DrVCC は VCCQ と同電位にしてください。

表2 アナログ系電源

電源端子名	名称	説明
AVCC	アナログ電源	A/D 変換器用電源、4.5V~5.5V
AVSS	アナロググランド	A/D 変換器用グランド、0V
AVREF	アナログリファレンス電源	A/D 変換器リファレンス電源、4.5V~AVcc
AVREFVSS	アナログリファレンスグランド	A/D 変換器リファレンスグランド、AVSS と同電位

注： アナログ系電源の電圧範囲は 4.5V~5.5V です。ただし、A/D 変換器を使用しない場合は、AVCC および AVREF は VCCQ に、AVSS および AVREFVSS は VSS に接続してください。

1.2 内部電源安定用コンデンサおよびバイパスコンデンサ

SH7216は、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。内部電源はVCL端子につながっていますので、VCL・VSS端子間にコンデンサを接続して内部電圧を安定させてください。このとき、コンデンサはできる限りVCL端子、VSS端子の近くに実装してください。またこの内部電源安定用コンデンサには、容量 $0.1\mu\text{F}$ の積層セラミックコンデンサを推奨します。内部降圧電源（VCL端子）には外部から電源電圧を印加しないでください。

電源端子のペアごとに（VCCQ・VSS端子のペアおよびPLLVCC・PLLVSS端子のペア）積層セラミックコンデンサをバイパスコンデンサとして接続してください。このとき、バイパスコンデンサはできるかぎり電源端子の近くに実装してください。またこのバイパスコンデンサは、システムで評価し、 $0.02\mu\text{F}\sim 0.33\mu\text{F}$ のコンデンサを接続してください。

VCLおよびVCCQへの外付けコンデンサ接続方法を図1に示します。またPLL回路関連の外付け推奨回路を図2に示します。

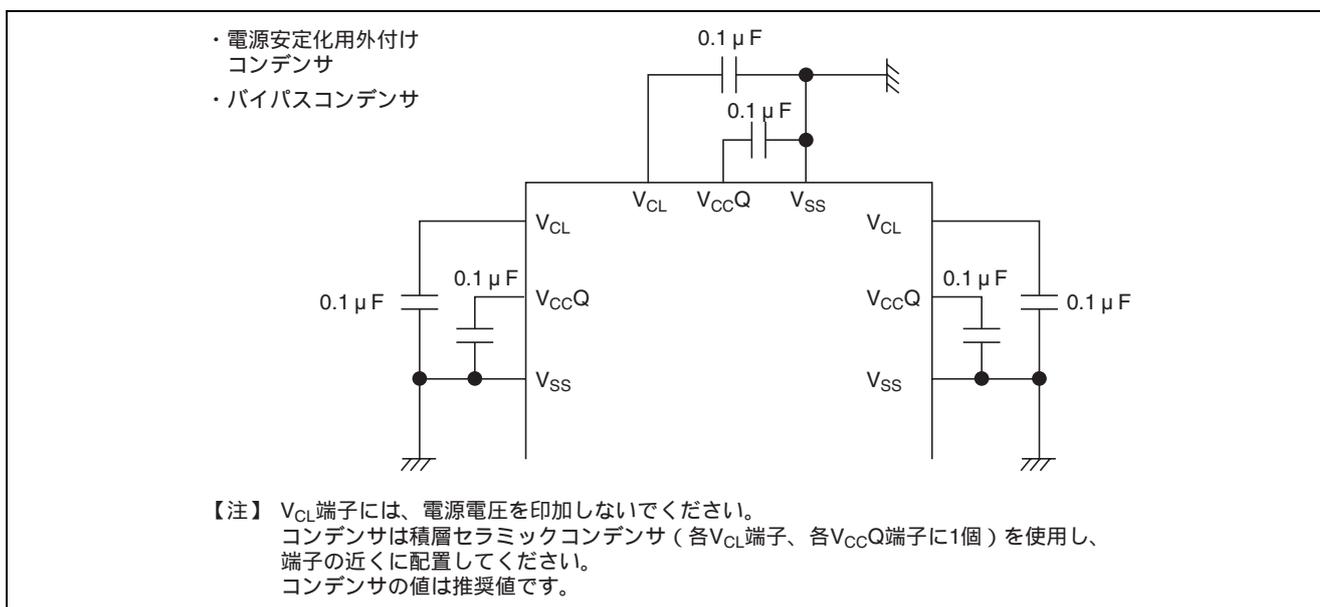


図1 VCCQ, VCL コンデンサ接続方法

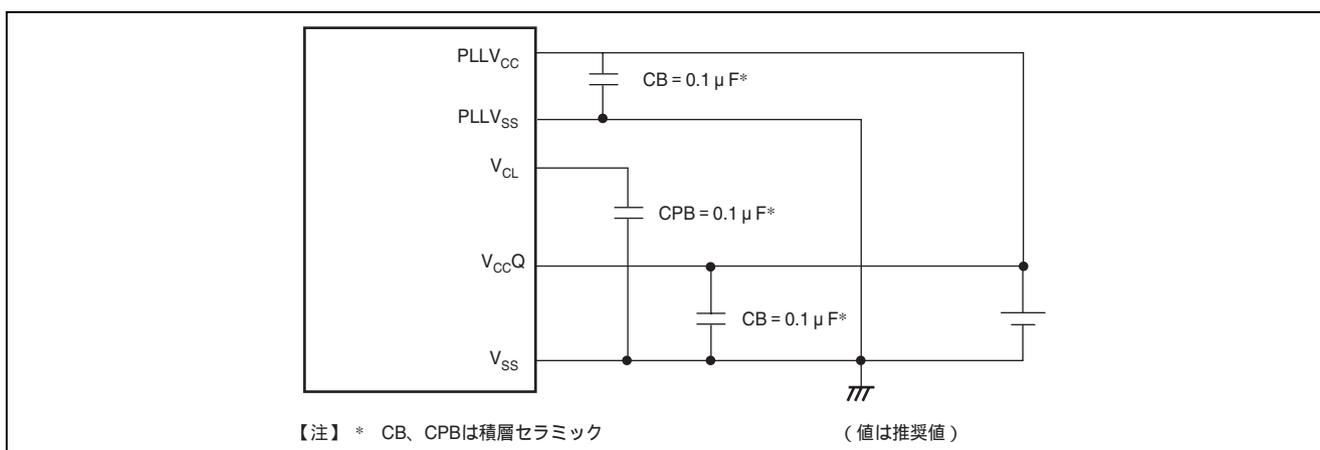


図2 PLL 回路の外付け推奨回路

2. リセット

2.1 電源投入・切断シーケンス

デジタル系電源（VCCQ、PLLVC、DrVCC）とアナログ系電源（AVCC、AVREF）は、できる限り同時に投入および遮断してください。

電源投入開始からデジタル系電源が Min.電圧以上に到達するまで、およびデジタル系電源が Min.電圧以下になってから電圧が 0V になるまでの期間は、状態不定期間となります。この期間は出力端子および入出力端子の端子状態、および内部状態が不定となりますので、この期間ができる限り短くなるように電源回路の設計を行ってください。一般的には、優れた電源設計をすることで、望ましいとされる短い起動時間を実現します。小型の電源スイッチ IC を用いるか、LDO（低飽和型）レギュレータで 5V 系電源から 3.3V 系電源を生成することにより、適切なタイミングで電源が供給されます。通常、複雑な電源シーケンスは必要ありません。

また、この不定状態によってシステム全体が誤動作を引き起こさないようにシステム設計を行ってください。モータ駆動用インバータなどの電源回路の制御信号を非アクティブ状態にするためのプルアップ/プルダウン抵抗など、システムに応じた処理を行ってください。

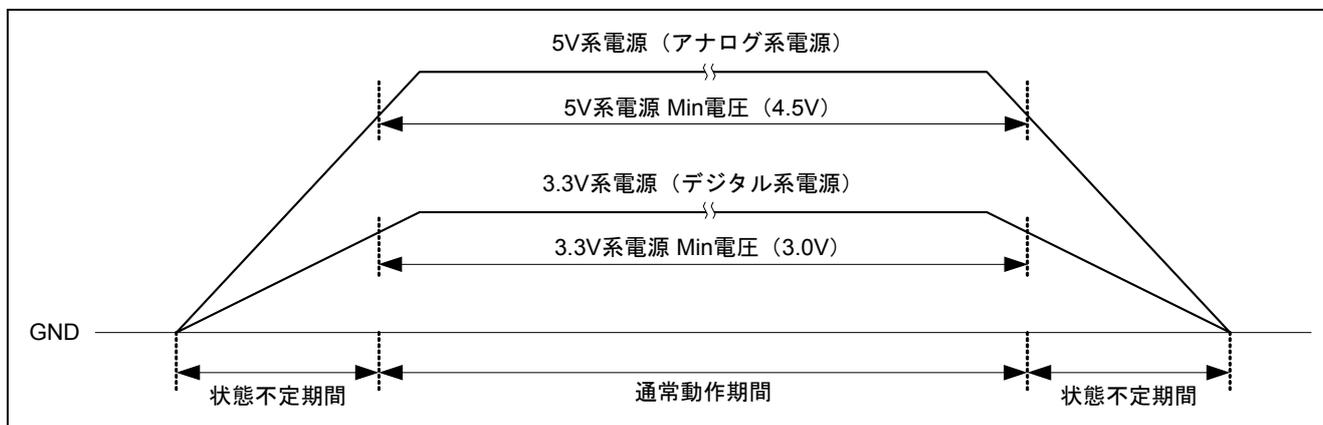


図3 電源投入・切断シーケンス

2.2 発振安定期間

$\overline{\text{RES}}$ 端子をローレベルにすると、SH7216はパワーオンリセット状態になります。SH7216を確実にリセットするために、電源投入時およびソフトウェアスタンバイモード（クロックが停止している場合）からリセットで復帰する場合は、発振安定時間の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。クロックが動作している状態で $\overline{\text{RES}}$ 端子をローレベルにする場合は、最低 20 t_{cy}の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。

パワーオン発振安定時間（t_{osc1}）は 10msです。パワーオン発振安定時間はVCCQがVCCQ Min.以上になってから $\overline{\text{RES}}$ 端子がV_{IH}以上になるまでの時間で規定されます。図4に電源投入/遮断とクロック、リセット信号の関係を示します。ルネサステクノロジ製 M51957BFPなどの外部電源電圧を検出することが可能なICを使うことにより、下図のようなタイミング制御が可能です。

パワーオンリセット状態では、CPUの内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。

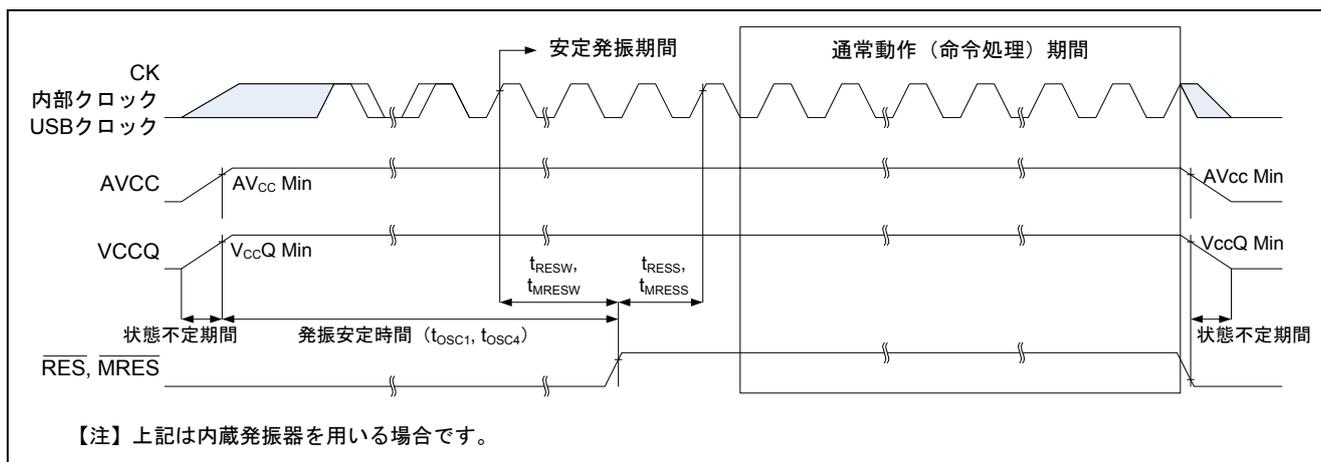


図4 電源投入/遮断とクロック、リセット信号の関係

2.3 マニュアルリセット

リセットには、パワーオンリセットとマニュアルリセットの2種類があります。

$\overline{\text{RES}}$ 端子がハイレベルのときに $\overline{\text{MRES}}$ 端子をローレベルにすると、マニュアルリセット状態になります。本LSIを確実にリセットするために最低20tcycの間 $\overline{\text{MRES}}$ 端子をローレベルに保持してください。マニュアルリセット状態では、CPUの内部状態は初期化されますがパワーオンリセットと異なり内蔵周辺モジュールの各レジスタはINTCのIBNRレジスタのBNビットを除き初期化されません。

マニュアルリセット状態で $\overline{\text{MRES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。マニュアルリセット例外処理時、処理内容はパワーオンリセット例外処理と同じですが、PCおよびSPの初期値を取り出す例外処理ベクタテーブルアドレスが異なる点に注意してください。

マニュアルリセット時の端子状態はパワーオンリセット時と異なり、入力専用端子は入力状態、出力専用端子は出力状態、マルチプレクス端子はマニュアルリセット前にPFCで設定された機能の入出力状態になります。

マニュアルリセット端子（ $\overline{\text{MRES}}$ 端子）を必ずしも使用する必要はありません。使用しない場合は、適宜端子の処理を行ってください。一般的に、 $\overline{\text{MRES}}$ 端子は「高速再起動」が必要な場合に使用します（CPUの初期値と最小限の内蔵周辺モジュール初期化プログラムが必要です）。

2.4 WDTによるリセット

WDTをウォッチドッグタイマモード、かつWTCNTオーバフロー時の動作としてパワーオンリセットを選択した場合は、WTCNTがオーバフローするとパワーオンリセット状態になります。WDTによりパワーオンリセット例外処理が開始されたときのCPU動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様ですが、WDTによるリセット信号ではWDTのWRCSR、CPGのFRQCRは初期化されません。 $\overline{\text{RES}}$ 端子によるリセットとWDTオーバフローによるリセットでパワーオンリセット処理内容を変える場合は、このWRCSRレジスタのWOVFビットを参照してリセット要因を判断します。

$\overline{\text{RES}}$ 端子、H-UDIリセットアサートコマンドによるリセットとWDTのオーバフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子、H-UDIリセットアサートコマンドによるリセットが優先され、WRCSRのWOVFビットは0にクリアされます。

WDTをウォッチドッグタイマモード、かつWTCNTオーバフロー時の動作としてマニュアルリセットを選択した場合は、WTCNTがオーバフローするとマニュアルリセット状態になります。WDTによりマニュアルリセット例外処理が開始されたときのCPU動作は、 $\overline{\text{MRES}}$ 端子によるマニュアルリセットのときと同様です。

マニュアルリセット発生時、バスサイクルは保持されます。バス権解放中やDMACバースト転送中にマニュアルリセットが発生すると、CPUがバス権を獲得するまでマニュアルリセット例外処理は保留されます。ただし、マニュアルリセットが発生してからバスサイクルの終了までの期間が内部マニュアルリセット期間の128Pφサイクル以上であると、内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

WDTOVF信号を本LSIの $\overline{\text{RES}}$ 端子に入力すると、本LSIを正しく初期化できません。 $\overline{\text{WDTOVF}}$ 信号は、本LSIの $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図5に示すような回路で行ってください。

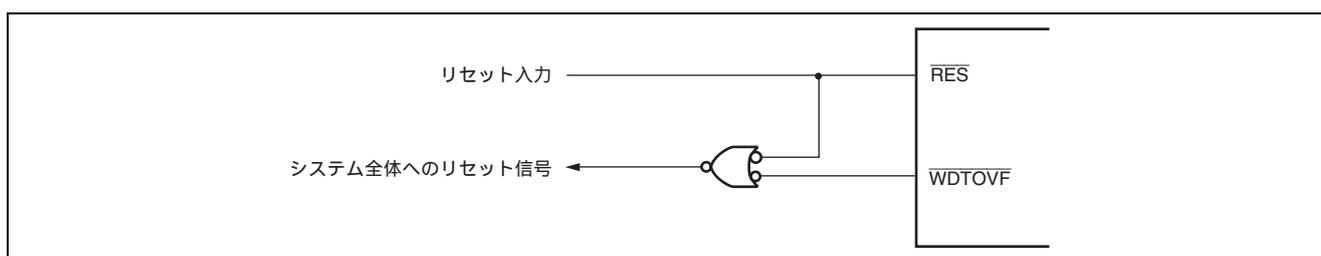


図5 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

3. 発振回路

3.1 水晶発振子接続例

SH7216の動作クロックとして水晶発振子を接続する場合の接続例を図6に示します。

ダンピング抵抗 R_d は 0Ω のものを使用してください。また水晶発振子は、周波数が $10\text{MHz}\sim 12.5\text{MHz}$ のものを使用してください。なお発振回路特性は、発振子とマイコン内蔵PLL回路およびお客様の基板特性に依存しますので、 C_{L1} 、 C_{L2} の定数については水晶発振子メーカと評価検討の上で決定してください。

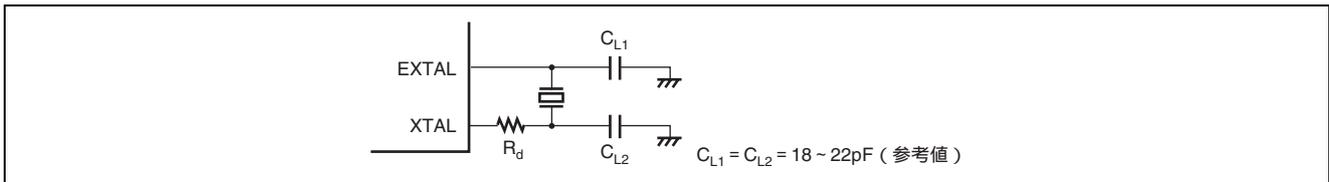


図6 水晶発振子の接続例

3.2 USB用発振子

USB動作クロックとしてセラミック発振子を接続する場合の接続例を図7に示します。USBクロックとしてUSBEXTAL、USBXTALを使用する場合は 48MHz の発振子を接続してください。

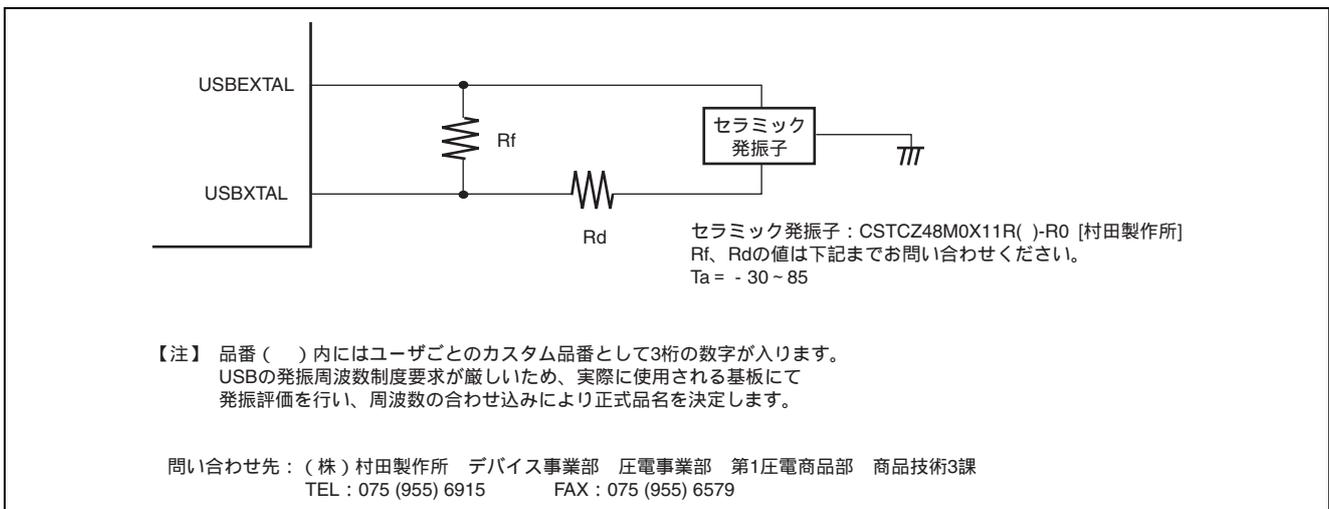


図7 USB動作クロックへのセラミック発振子の接続例

ノイズとコストを低減するために、CPU と USB モジュールで同じクロックを使用することも可能です。

USBクロックとしてシステムクロックを使用する場合は、図 8の右側で示すとおり、USBEXTALはローレベルに、USBXTALはオープンにし、EXTAL, XTALに 12MHzの発振子を接続してください。

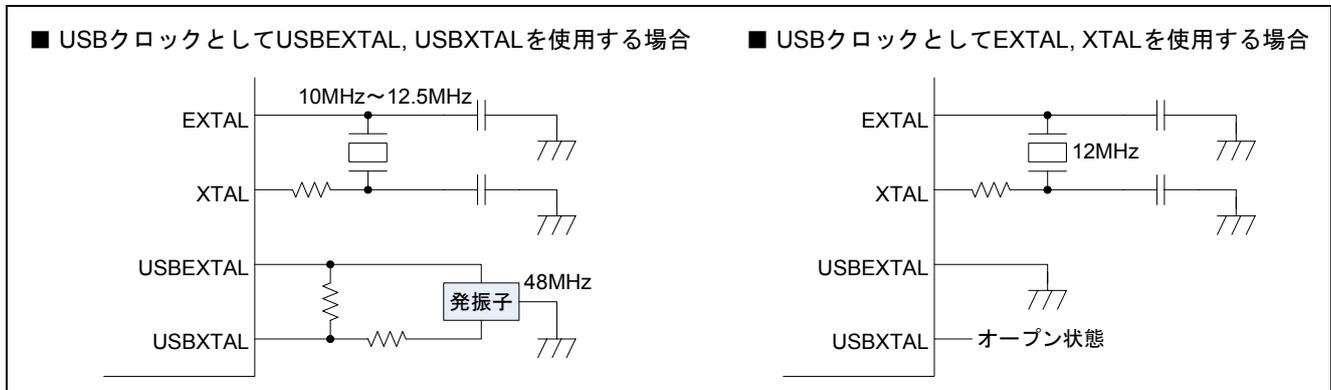


図8 USB 動作クロック選択と発振子接続および周波数

3.3 USB ブート時クロックセレクト

SH7216は、USBを経由して外部に接続されたホストによりフラッシュメモリへの書き込みを制御するUSBブートモードをサポートしています。USBブートモードソフトウェアを正しく動作させるためには、適切なクロックを指定する必要があります。USBブートモードでは、USB供給クロックをPB14端子で指定します。

USBクロックとしてUSBEXTAL, USBXTALを使用する場合は、PB14をローレベルに設定します。USBクロックとしてシステムクロックを使用する場合は、PB14をハイレベルに設定します。

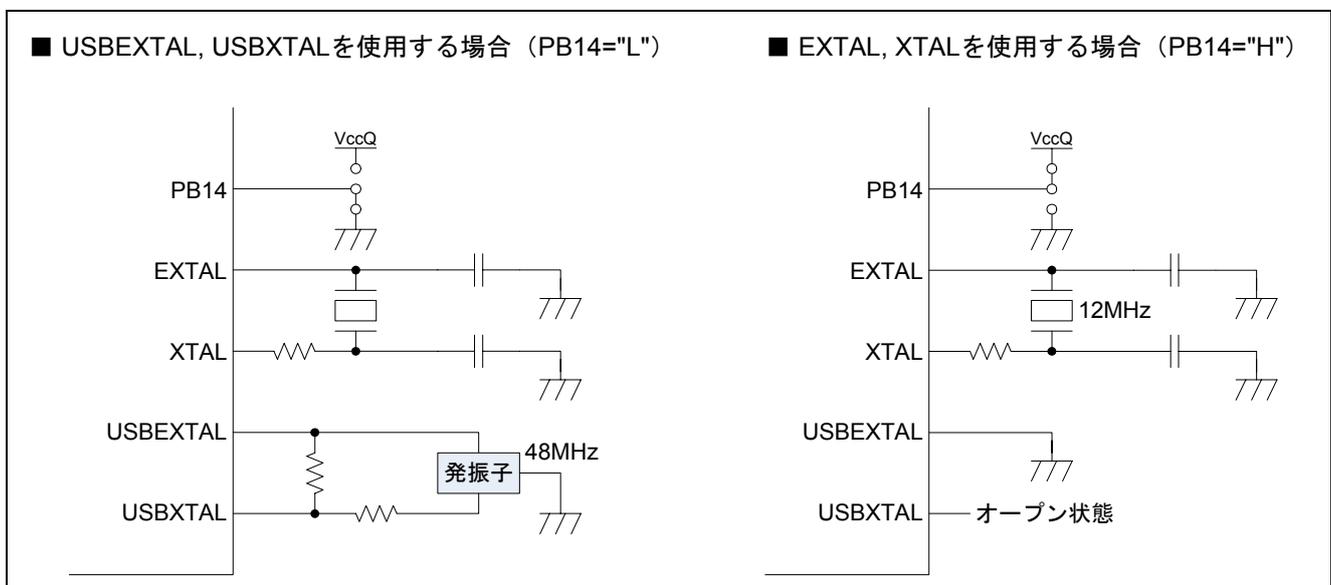


図9 USB ブートモード時の USB 供給クロックと PB14 設定

4. 動作モード

4.1 Mode 端子の設定

SH7216には4種類のMCU動作モードと、3種類の内蔵フラッシュメモリ書き込み用のモードがあります。動作モードは、FWE 端子、MD1 端子、MD0 端子の組み合わせで設定します。

SH7216 で設定可能な動作モードの組み合わせを表3に示します。この表以外の組み合わせは設定しないでください。

MCU動作モードとしては、MCU拡張モード0~2とシングルチップモードがあります。内蔵フラッシュメモリ書き込み用のモードには、オンボードプログラムモードであるブートモード、ユーザブートモード、ユーザプログラムモードがあります。

注：モード端子（MD0, MD1）はリセット期間中のみサンプリングされており、リセット解除時のセットアップタイム（ t_{MDS} ）を満たす必要があります。FWEは、動作モード2から動作モード6に遷移する場合など、ジャンプスイッチ等を用いて動作中に切り替えることがあります。通常、FWEはプログラムの更新を確実にを行うために、信頼性の高いアプリケーションでのみ使用されます。詳しくは 4.2.4 ユーザプログラムモードを参照してください。

表3 動作モードの選択

MCU 動作 モード	端子設定			モード名	内蔵 ROM	CS0 空間のバス幅
	FWE	MD1	MD0			
モード0	0	0	0	MCU 拡張モード0	無効	32
モード1	0	0	1	MCU 拡張モード1	無効	16
モード2	0	1	0	MCU 拡張モード2	有効	BSC の CS0BCR により設定
モード3	0	1	1	シングルチップモード	有効	—
モード4 ^{*1}	1	0	0	ブートモード	有効	BSC の CS0BCR により設定
モード5 ^{*1}	1	0	1	ユーザブートモード	有効	BSC の CS0BCR により設定
モード6 ^{*1}	1	1	0	ユーザプログラムモード	有効	BSC の CS0BCR により設定
モード7 ^{*1*2}	1	1	1	USB ブートモード	有効	—
モード7 ^{*1*3}	1	1	1	ユーザプログラムモード	有効	—

注：

*1 フラッシュメモリのプログラムモードです。

*2 電源投入時から常にFWE=1にした場合

*3 リセット解除時、FWE=0とし、シングルチップモードにMCU動作が確定した後FWE=1にした場合、シングルチップ状態でユーザプログラムモードに遷移します。

4.2 フラッシュメモリプログラミングモード

4.2.1 ブートモード

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してユーザマット/ユーザブートマットの書き込み/消去を実行可能です。ホストとSH7216間の通信には、SH7216内蔵のSCIチャンネル1を調歩同期式モードで使用します。ホスト上には制御コマンドを送信するためのツールと書き込みデータを準備する必要があります。

SH7216をブートモードで起動すると、組み込みプログラム格納マット上のプログラムが実行されます。組み込みプログラム格納マット上のプログラムでは、SCIのビットレートの自動調整と制御コマンド方式でのホスト⇄SH7216間の通信が実現されます。

図10にブートモード時のシステム構成を示します。ブートモードではNMI、IRQ7～IRQ0の割り込みは無視されますが、端子のレベルは非アクティブ状態に固定してください。また、ブートモード時にはAUDは使用できませんので注意してください。

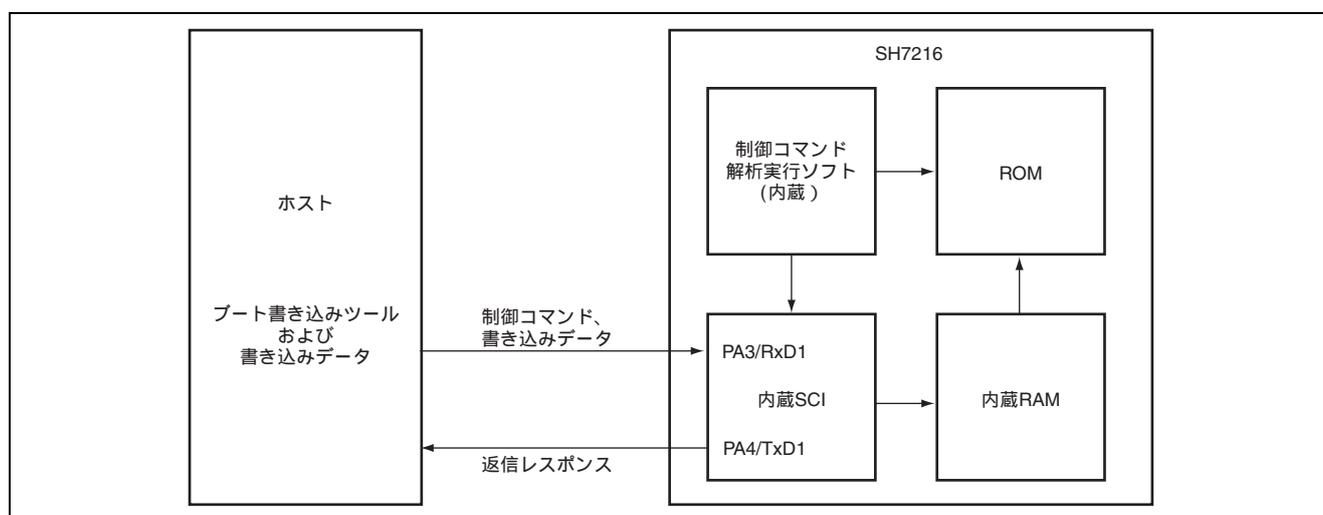


図10 ブートモード時のシステム構成

4.2.2 ユーザブートモード

ユーザブートモードでは、システムに応じたブートローダをユーザ側で作成することができます。データの入出力には任意の通信インタフェースを使用できるため、使用可能なユーザブートマットのサイズに合わせた通信ハンドラにすることができます。

ユーザブートコードはFCUへFCUコマンドを発行することによりユーザマットの書き込み/消去を実行します。任意の通信インタフェースによるROMの書き込み/消去ルーチンをユーザブートマットに書き込んだ後にユーザブートモードでSH7216を起動することによって、ユーザ任意のブートモードを実現できます。ユーザブートマットの書き込みは、ブートモードで実施してください。

SH7216をユーザブートモードで起動すると、組み込みプログラム格納マットから起動して、FCU RAMへのFCUファーム転送などの処理を実施後、ユーザブートマットのリセットベクタにジャンプします。

ユーザブートマットにユーザが作成したユーザマット書き込み/消去ルーチンを格納した状態で、SH7216をユーザブートモードで起動することにより、ユーザマットのプログラミングを実施することができます。ユーザマット書き込み/消去ルーチンは、RAMにコピーした後にRAM上で実行してください。ユーザブートモードの初期状態ではユーザブートマットが選択されていますので、必ずROMのマットをユーザマットに切り替えてからプログラミングを実行してください。ユーザブートマット選択状態でROMの書き込み/消去用のFCUコマンドを発行しても、FCUはROMの書き込み/消去を実行しません。

4.2.3 USB ブートモード

USBブートモードでは、USB接続を使用してホストから制御コマンドや書き込みデータを送信し、ユーザマット/ユーザブートマットの書き込み/消去を行うことができます。このモードはUSBデバイスの接続が必要な機器の設計時に役に立ちます。USBブートモードはホスト上に書き込みデータと、制御コマンド・書き込みデータを送信するためのツールが必要です。図 11にUSBブートモードのシステム構成例を示します。USBブートモードで発生した全ての割り込み要求は無視されます。システム側で割り込み要求を生成しないようにしてください。

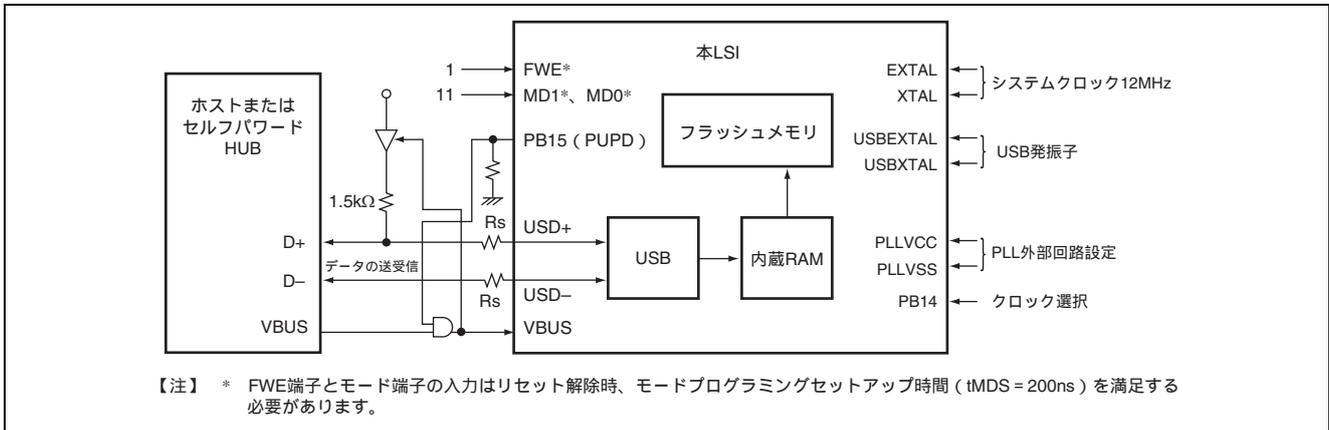


図11 USB ブートモード時のシステム構成

4.2.4 ユーザプログラムモード

ユーザプログラムモードでは、FCUへFCUコマンドを発行してユーザマットの書き込み/消去を実行します。ユーザプログラムモードは、他のフラッシュメモリプログラミングモードと異なり、FWE端子の設定変更のみでリセット状態を介さずにユーザモードとの間でモード遷移が可能です。

ユーザが作成した任意の通信インターフェースによるROMの書き込み/消去ルーチンをユーザマット上にあらかじめ用意しFWE端子をハイレベルに設定することでユーザプログラムモードに移行します。ユーザプログラムモードでは、まずFCU RAMへのFCUファーム転送などの処理を実施後、任意のインターフェースを経由してホストシステムと通信しながらROMの書き込み/消去処理を行います。このとき、ユーザが作成したROMの書き込み/消去ルーチンは、RAMにコピーした後にRAM上で実行してください。

5. 端子処理

5.1 $\overline{\text{ASEMD0}}$ 端子の処理

$\overline{\text{ASEMD0}}$ 端子は H-UDI 関連端子の機能を選択します。

$\overline{\text{RES}}$ 端子アサート期間に $\overline{\text{ASEMD0}}$ 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると製品チップモードになります。

H-UDI 関連端子を用いてエミュレータと接続する場合は、 $\overline{\text{ASEMD0}}$ をローレベルにして ASE モードにします。また、バウンダリスキャン機能を使用する場合は、 $\overline{\text{ASEMD0}}$ をハイレベルにして製品チップモードにします。

$\overline{\text{ASEMD0}}$ 端子の入力レベルは、 $\overline{\text{RES}}$ 端子アサート（ローレベル入力）期間以外は変化させないでください。本端子はチップ内部でプルアップされています。

5.2 $\overline{\text{TRST}}$ 端子の処理

$\overline{\text{TRST}}$ 端子は、ユーザデバッグインタフェース（H-UDI）の初期化信号入力端子です。TCK とは非同期で入力を受け付け、ローレベルでバウンダリスキャン回路および H-UDI をリセットします。本端子はチップ内部でプルアップされています。

$\overline{\text{TRST}}$ は、バウンダリスキャン回路および H-UDI の使用の有無にかかわらず、電源投入時には $\overline{\text{RES}}$ と共に一定期間、具体的には発振安定期間分ローレベルにしなければなりません。

図 12 に $\overline{\text{RES}}$ および $\overline{\text{TRST}}$ 周辺回路例を示します。

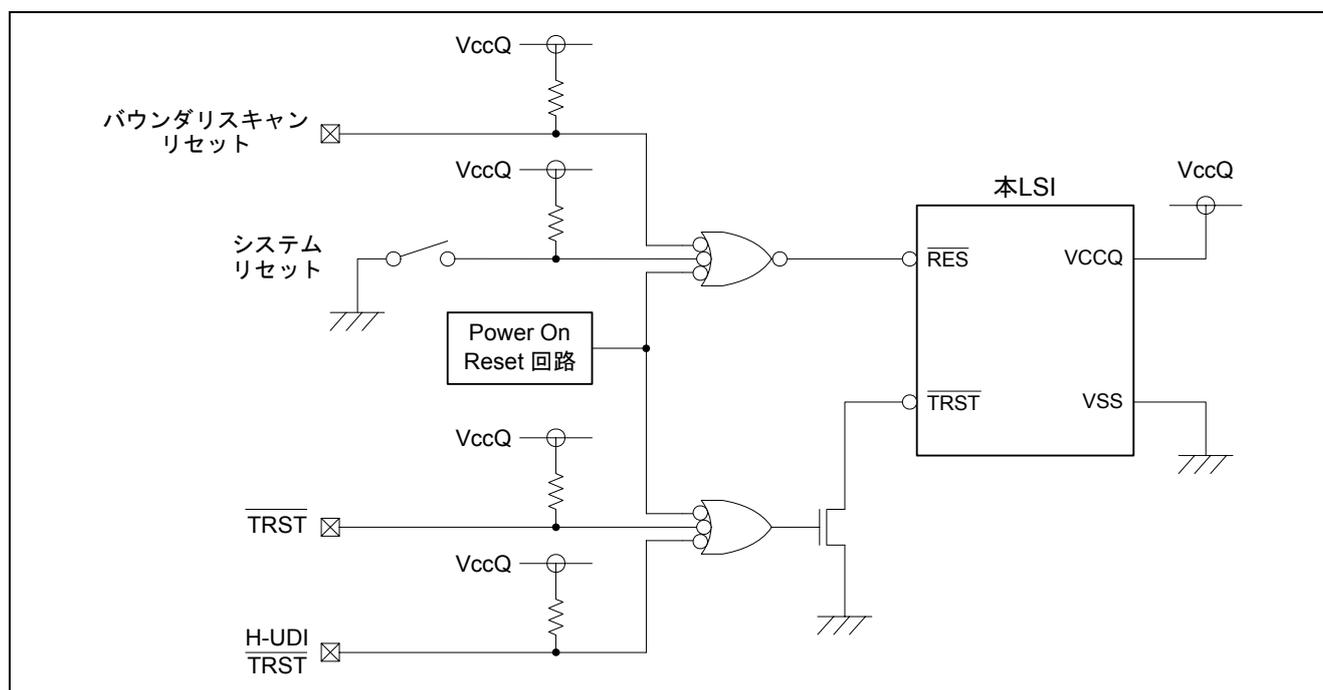
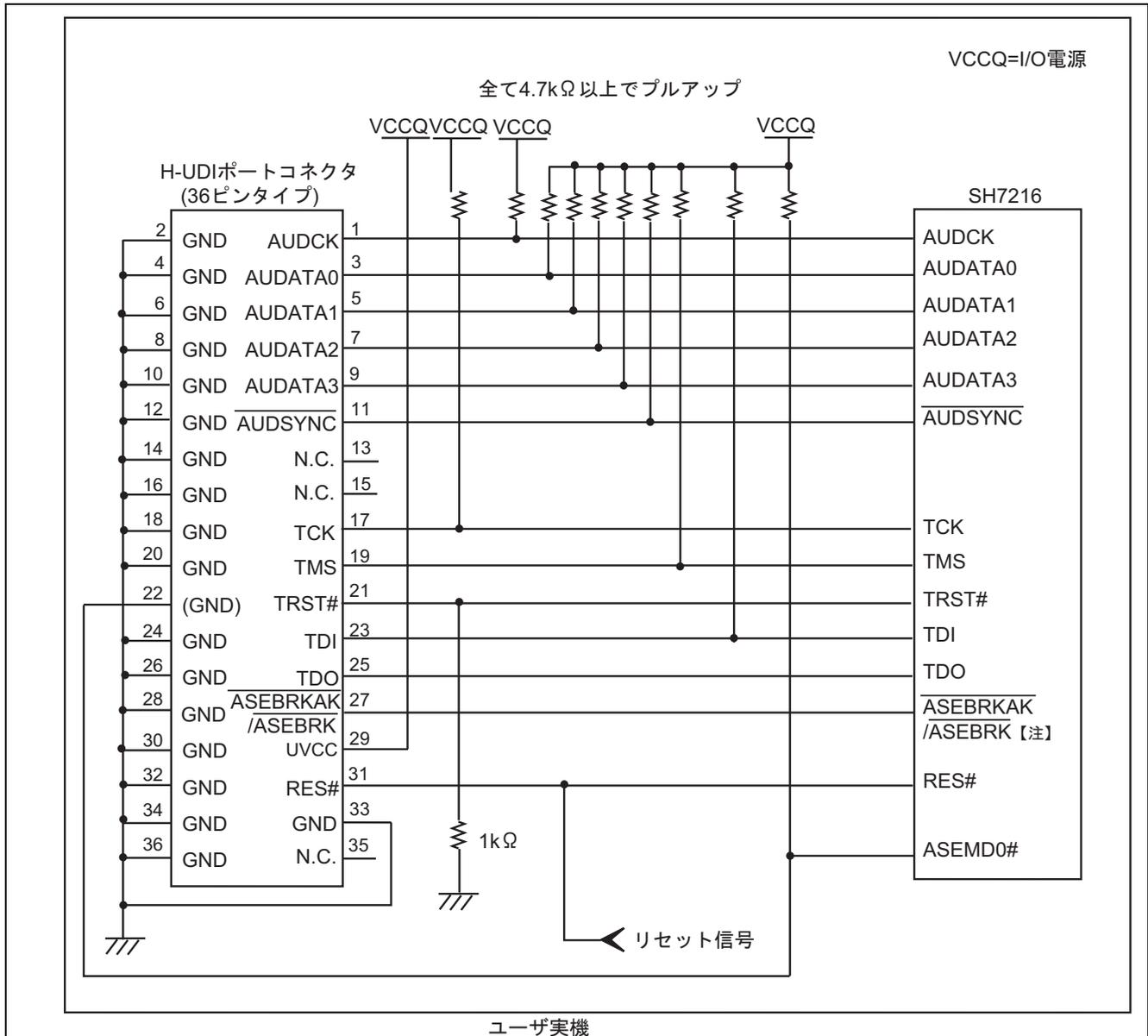


図12 RES, TRST 周辺回路例

5.3 E10A-USB、E8a コネクタへの信号配線

E10A-USBを使用する場合のH-UDI信号配線を 図 13および 図 14に示します。

詳細については「SuperH™ ファミリー用 E10A-USB エミュレータユーザーズマニュアル別冊 SH7216 ご使用時の補足説明」を参照してください。



【注】 ASEBRKAK/ASEBRK端子（入出力端子）はFWE端子（入力端子）とマルチプレクスされています。E10A-USBをご使用で、かつユーザ実機の単体動作を可能とする端子処理はVCCもしくはGNDに直結せず、4.7kΩ以上のプルアップもしくは100kΩのプルダウンとしてください。また、E10A-USBをご使用にならない場合の端子処理については、関連するデバイスのハードウェアマニュアルを参照してください。

図13 E10A-USB 使用時の H-UDI ポートコネクタチップ間の推奨接続例(36 ピンタイプ)

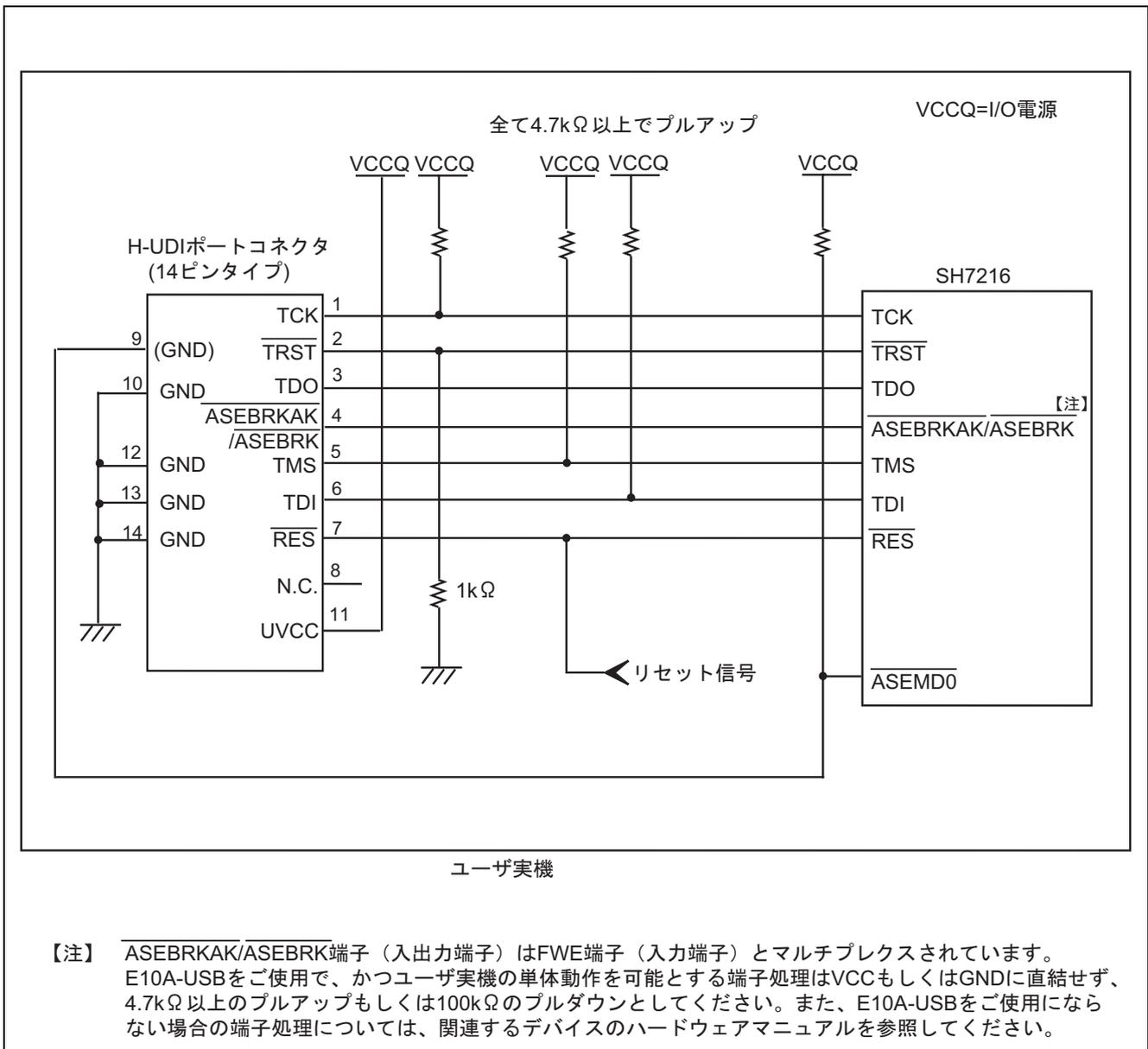


図14 E10A-USB 使用時の H-UDI ポートコネクタチップ間の推奨接続例(14 ピンタイプ)

フラッシュ開発ツールキットとE8aを組み合わせる場合の接続例を図15に示します。図中のプルアップ及びプルダウンの抵抗値は参考値です。お客様のシステムにてご評価頂いた上で決定してください。

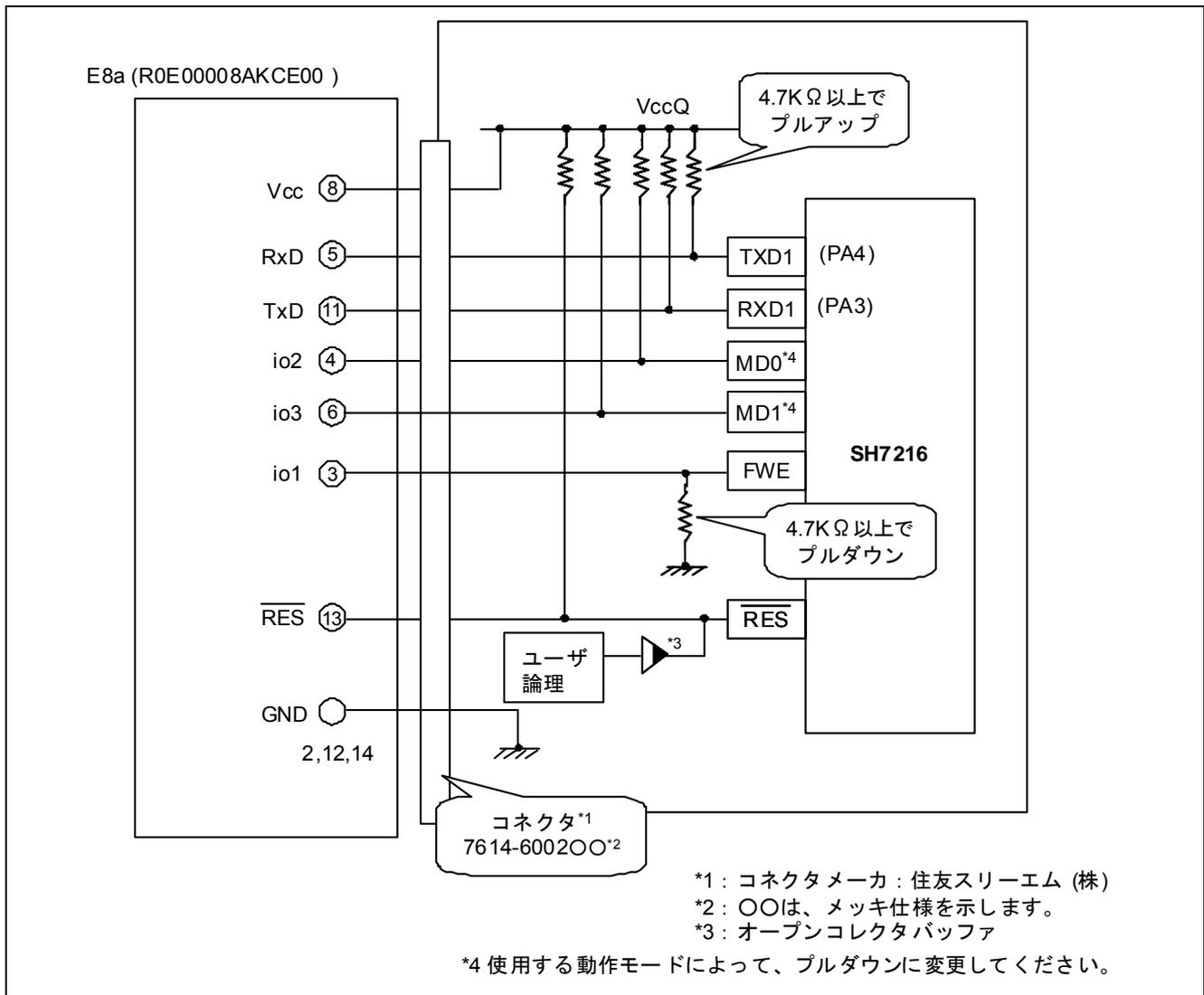


図15 SH7216 と E8a の接続例

5.4 内蔵プルアップ MOS

SH7216 では、PB12, PB13 入力、データバス、MTU2S 関連端子、MTU2 関連端子、IIC3 関連端子および EtherC 関連端子を除く入出力端子には内蔵プルアップ MOS がついており、レジスタ設定により ON/OFF することができます。マルチプレクス端子では、選択した機能に依存し、上記機能以外を選択した場合はプルアップ MOS が有効になります。

このプルアップ MOS を活用することにより、基板作成時の外部プルアップを削減することができます。ただし、プルアップ MOS はパワーオンリセット中およびリセット解除後レジスタ設定で有効にするまでは OFF 状態のため、この状態がシステム上問題になる場合は外部でプルアップまたはプルダウンしてください。

5.5 POE 端子

SH7216 には POE (ポートアウトプットイネーブル) 機能があり、 $\overline{POE0} \sim \overline{POE4}$ 、 $\overline{POE8}$ の端子を用いて大電流端子および MTU2 の ch0 端子をハイインピーダンス状態にすることができますが、この POE 機能を使用する場合は、PFC で $\overline{POE0} \sim \overline{POE4}$ 、 $\overline{POE8}$ を POE 機能入力に設定するまではこれらの端子にはハイレベルを入力する必要があります。

5.6 アナログ端子

5.6.1 ボード設計時の注意

アナログ端子 AN0～AN7 はマルチプレクスされている PF0～PF7 ポートの場合も含めて入力専用端子です。

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、アナログ回路の信号は優先的に配線し、デジタル回路の信号配線と交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN0～AN7)、アナログ基準電圧 (AVREF)、アナログ電源 (AVCC)、アナロググランド (AVSS) は、デジタル回路と必ず分離してください。さらに AVSS は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

5.6.2 アナログ端子の保護回路

過大なサージなどの異常電圧によるアナログ入力端子 (AN0～AN7) およびアナログ基準電圧 (AVREF) の破壊を防ぐために、図 16 に示すように AVCC—AVSS 間に保護回路を接続してください。また、AVREF に接続するバイパスコンデンサおよび AN0～AN7 に接続するフィルタのコンデンサは、AVREFVSS に接続してください。図 16 に示す 0.1 μ F のコンデンサは、できる限り端子の近くに配置してください。なお、図 16 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN0～AN7) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数は十分検討した上で決定してください。

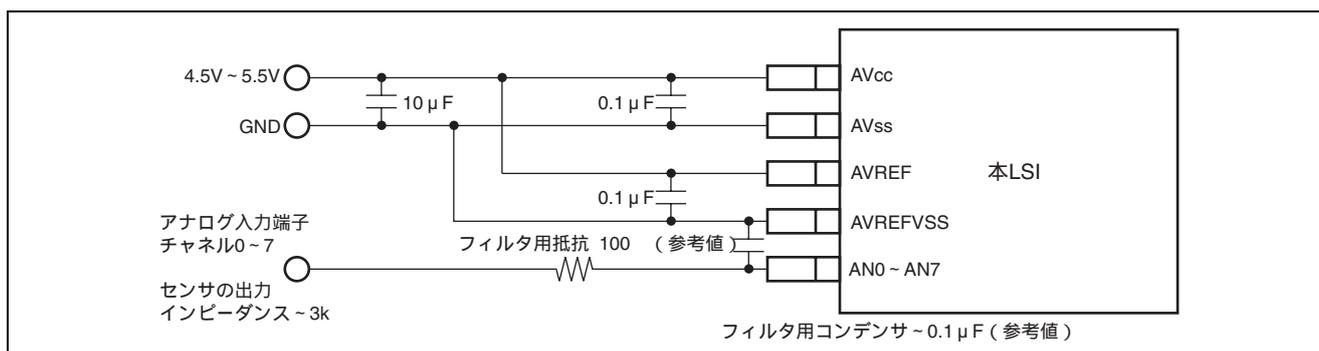


図16 アナログ入力端子の保護回路の例

5.6.3 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが 3k Ω 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが 3k Ω を超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の 10k Ω だけになるため、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号 (例えば 5mV/ μ s 以上) には追従できないことがあります。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合は、低インピーダンスのバッファを入れてください。

5.7 USB 関連端子

(1) USB+のプルアップ制御

USBホスト/ハブへの接続通知（USD+プルアップ）を遅延させたい（優先度の高い処理中、初期化処理中等）システムでは、USD+のプルアップは汎用出力ポートを用いて制御してください。しかし、USBケーブルがすでにホスト/ハブに接続されUSD+のプルアップを禁止している場合、USD+、USD-が共にローレベル（ホスト/ハブ側はUSD+、USD-を共にプルダウン）となり、USBモジュールはホストからUSBバスリセットを受信したものと誤って認識してしまいます。そのため、図17のようにUSD+のプルアップ制御信号およびVBUS端子入力信号は汎用出力ポートとUSBケーブルVBUSを用いて（AND回路）制御してください（本LSIのUDCコアは、VBUS端子がローレベルのとき、USD+、USD-の状態にかかわらずパワードステートを保持します）。

(2) USB ケーブルの接続/切断の検出

本モジュールはハードウェアにてUSBの状態などを管理しているため、接続/切断を認識するVBUS信号が必要となります。VBUSはUSBケーブル内の電源信号（VBUS）を用いますが、ファンクション（本LSI搭載システム）が電源OFF時、USBホスト/ハブにケーブルが接続されると、USBホスト/ハブから電圧（5V）が印加されてしまいます。そのため、システム電源OFF時に電圧印加が可能なIC（HD74LV1G08A、2G08A等）を外部に搭載してください。

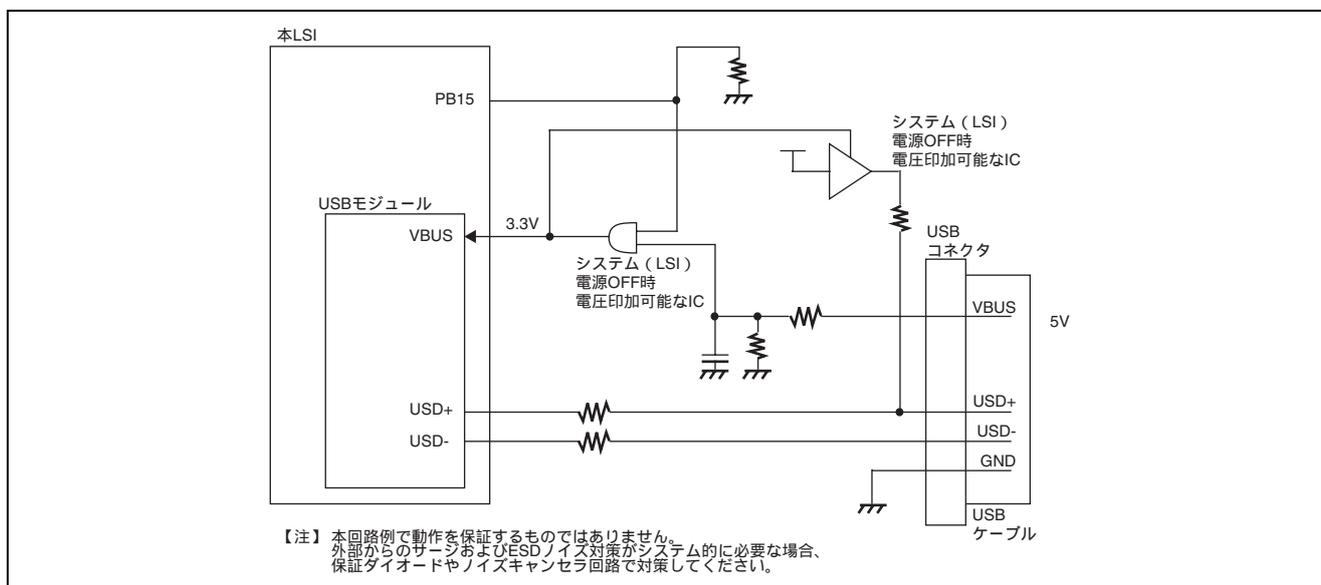


図17 USB ファンクションモジュール外部回路例

(3) USB 未使用時の端子処理

USB機能を使用しない場合、USB関連の各端子は表4に示すとおり処理してください。

表4 USB 未使用時の関連端子処理方法

端子名	処理方法
DrVCC, VCCQ	3.0~3.6V を供給
DrVSS	Vss に接続
USD+, USD-	オープン状態
VBUS, USBEXTAL	Vss に接続
USBXTAL	オープン状態

5.8 未使用端子の処理

未使用端子は、抵抗を用いて VCCQ もしくは VSS に接続し、ハイまたはローに固定してください。

ただし、ポートF、NMI、USD+、USD-、XTAL、USBEXTAL、USBXTAL、 $\overline{\text{WDTOVF}}$ 、 $\overline{\text{TRST}}$ 、TMS、TCK、TDO、TDIの各端子については表 5に示すとおり処理してください。

表5 未使用端子の処理方法

端子名	処理方法
ポート F	抵抗を用いて AVCC もしくは AVSS に接続し固定
NMI	抵抗を用いて VCCQ に接続しハイレベルに固定
USD+, USD-	オープン状態
XTAL, USBXTAL	オープン状態
USBEXTAL	Vss に接続
WDTOVF	オープン状態（プルダウンが必要な場合は 1M Ω 以上の抵抗を使用）
TRST	ローレベルに固定
TMS, TCK, TDO, TDI	オープン状態
上記以外の端子	抵抗を用いて VCCQ もしくは VSS に接続し固定

6. 内部資源へのアクセス

本LSIの内蔵資源アクセスサイクル数を表6に示します。

表6 内蔵資源のアクセスサイクル数

	フラッシュメモリ	SRAM	内蔵周辺レジスタ
リード	ROM キャッシュヒット：1Iφ ROM キャッシュミス：4Iφ	ページ0～3：1Iφ ページ4～7：2Iφ	2Pφ以上*
ライト	—	ページ0～3：1Iφ ページ4～7：3Iφ	2Pφ以上*

注：本LSIは階層バス構造を持っており、各バスへのデータ入出力は、CバスはIφ、IバスはBφ、周辺バスはPφクロックへの立ち上がりに同期して行います。このため、各クロック位相の関係で内蔵周辺レジスタアクセスサイクル数は以下の通り変化します。

表7 内蔵周辺モジュールレジスタへのアクセスサイクル数

	アクセスサイクル数	備考
ライト	$(2+n) \times I\phi + (1+m) \times B\phi + 2 \times P\phi$	FLD、E-DMAC、EtherCを除く
	$(2+n) \times I\phi + (1+m) \times B\phi + 3 \times P\phi$	FLDアクセス時
	$(2+n) \times I\phi + 3 \times B\phi$	E-DMACアクセス時
	$(2+n) \times I\phi + 9 \times B\phi$	EtherCアクセス時
リード	$(2+n) \times I\phi + (1+m) \times B\phi + 2 \times P\phi + (2+l) \times I\phi$	FLD、E-DMAC、EtherCを除く
	$(2+n) \times I\phi + (1+m) \times B\phi + 3 \times P\phi + (2+l) \times I\phi$	FLDアクセス時
	$(2+n) \times I\phi + 4 \times B\phi + (2+l) \times I\phi$	E-DMACアクセス時
	$(2+n) \times I\phi + 12 \times B\phi + (2+l) \times I\phi$	EtherCアクセス時

Iφ:Bφ=1:1 のとき n=0、l=0

Iφ:Bφ=2:1 のとき n=1～0、l=0

Iφ:Bφ=4:1 のとき n=3～0、l=0、1

Iφ:Bφ=8:1 のとき n=7～0、l=1

Bφ:Pφ=1:1 のとき m=0

Bφ:Pφ=2:1 のとき m=1～0

上記は、命令が内蔵ROM実行もしくは内蔵RAM実行時のサイクル数であり、n、mは内部の実行状態に依存します。

7. エンディアン

本LSIでは、バイトデータの並び方を上位バイト（MSB）が0番地側になるビッグエンディアン、下位バイト（LSB）が0番地側になるリトルエンディアンのいずれもサポートしています。エリア1～7空間では、対象空間にアクセスしていない場合に、CSnBCRレジスタのENDIANビットでエンディアンの設定ができます。エリア0空間は、内蔵ROM無効モードの場合には、CSnBCRレジスタの設定は無効になります。内蔵ROM有効モードでは、他のエリアと同様にCSnBCRレジスタで設定できます。

アクセスする番地に対応するデータ位置、ストローブ信号がビッグエンディアンとリトルエンディアンで異なることに注意してください。ビッグエンディアン時には、 \overline{WRH} が0番地側を示し、リトルエンディアン時には、 \overline{WRL} が0番地側を示します。

エリア0をリトルエンディアンにすることはできません。また、命令フェッチは32ビットアクセスと16ビットアクセスが混在するため、リトルエンディアン領域への配置はできません。このため、命令実行はかならずビッグエンディアン領域から行ってください。

8. 低消費電力モード

本 LSI の低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. モジュールスタンバイ機能

低消費電力モードでは、内蔵周辺モジュールの一部と CPU が機能を停止します。これにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込みによって解除されます。

表8 低消費電力モードの状態

低消費電力モード	遷移条件	状態						解除方法
		CPG	CPU	CPU レジスタ	内蔵メモリ	内蔵周辺モジュール	外部メモリ	
スリープモード	STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	保持	動作	動作	オートリフレッシュされます	<ul style="list-style-type: none"> ● 割り込み ● マニュアルリセット ● パワーオンリセット ● DMA アドレスエラー
ソフトウェアスタンバイモード	STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止	保持	停止 (内容は保持)	停止	セルフリフレッシュにしてください	<ul style="list-style-type: none"> ● NMI 割り込み ● IRQ 割り込み ● マニュアルリセット ● パワーオンリセット
モジュールスタンバイ機能	STBCR2, STBCR3, STBCR4, STBCR5, STBCR6 の MSTP ビットを 1 とする	動作	動作	保持	指定モジュールが停止 (内容は保持)	指定モジュールが停止	オートリフレッシュされます	<ul style="list-style-type: none"> ● MSTP ビットを 0 にクリア ● パワーオンリセット (ただし H-UDI, UBC, DMAC のみ)

8.1 スリープモード

スリープモードは、CPU のみが動作停止するモードです。

STBCR レジスタの STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。スリープモードでは、CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持され、内蔵周辺モジュールは動作を続けます。また、内部 ROM 有効/無効外部拡張モードの場合は、CK 端子にはクロックが出力され続けます。

8.2 ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、本 LSI 全体が動作停止するモードです。

STBCR レジスタの STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止し、内部 ROM 有効/無効外部拡張モードの場合は、CK 端子からのクロック出力も停止します。

ソフトウェアスタンバイモード時、CPU のレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては、表 9 に示すレジスタは初期化され、これら以外のレジスタは内容が保持されます。

表9 ソフトウェアスタンバイモード時に初期化されるレジスタ

モジュール名	レジスタ名	備考
A/D 変換器 (ADC)	全レジスタ	
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	SCSEMR	左記以外は値を保持
ウォッチドッグタイマ (WDT)	WTCNT, WTCR	WTCR は保持
I2C バスインタフェース 3 (IIC3)	ICMR レジスタの BC[2:0]ビット	左記以外は値を保持

また、CPU は STBCR への書き込みを 1 サイクルで完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR への書き込み値を SLEEP 命令に確実に反映するためには、STBCR を読み出してから SLEEP 命令を実行してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。WDT をセットするのは、LSI 全体へのクロック供給前のクロック安定期間を確保するためです。

1. WDT のタイマコントロールレジスタ (WTCR) の TME ビットを 0 にし、WDT を停止させます。
2. WDT のタイマカウンタ (WTCNT) に 0 をセットし、WTCR レジスタの CKS[2:0]ビットに指定された発振安定時間になるように、値を設定します。
3. STBCR レジスタの STBY ビットに 1 を設定した後に STBCR レジスタを読み出します。その後、SLEEP 命令を実行させます。

8.3 モジュールスタンバイ機能

モジュールスタンバイ機能は、内蔵周辺モジュールごとに動作を停止させる機能です。

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時およびスリープモード時の消費電力を低減させることができます。モジュールスタンバイ状態にする前に、必ずそのモジュールをディスエーブル状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

モジュールスタンバイ機能使用時、表 10 に示すレジスタは初期化されますが、これら以外のレジスタは内容が保持されます。

表10 モジュールスタンバイ機能使用時に初期化されるレジスタ

モジュール名	レジスタ名	備考
シリアルコミュニケーションインタフェース (SCI)	全レジスタ	
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	SCSEMR	左記以外は値を保持
I2C バスインタフェース 3 (IIC3)	ICMR レジスタの BC[2:0]ビット	左記以外は値を保持
マルチファンクションタイマパルスユニット 2 (MTU2)	全レジスタ	
マルチファンクションタイマパルスユニット 2S (MTU2S)	全レジスタ	
コンペアマッチタイマ (CMT)	全レジスタ	
ルネサスシリアルペリフェラルインタフェース (RSPI)	全レジスタ	
コントローラエリアネットワーク (RCAN-ET)	全レジスタ	メールボックスを除く

8.4 低消費電力モード時の端子状態

スリープモード時は、周辺モジュールは動作していますので、各端子の状態は周辺モジュールの動作に合わせて変化します。

PFCで端子機能として選択されているモジュールに対しモジュールスタンバイ機能を使用した場合、モジュールスタンバイ機能時にレジスタが初期化されるモジュールの端子は各端子機能の初期状態になり、レジスタが初期化されないモジュールの場合は、モジュールスタンバイ直前の状態を保持します。

ソフトウェアスタンバイモード時の端子状態は端子により異なります。また、マルチプレクス端子は、MD0、MD1、FWEによるモード設定とPFCの設定で選択されている機能により状態が異なります。

(1) 外部バス関連端子

データバスD0～D31はハイインピーダンス状態になります。その他のバス関連端子は、CMNCRレジスタのHIZCKIOビット、HIZMEMビットおよびHIZCNTビットの設定に依存します。これらのビットが1の場合は出力状態、0の場合はハイインピーダンスになります。表11にCMNCRレジスタの各ビットの関係を示します。

表11 CMNCR レジスタの各ビットとバス関連端子の関係

端子名	指定するビット
CK	HIZCKIO ビット
A25～A0, BS, RD/WR, WRxx/DQMxx, AH, RD	HIZMEM ビット
CKE, RASL, CASL, RASU, CASU	HIZCNT ビット

(2) 大電流端子

大電流端子の状態は、HCPCRレジスタのMZIZDHビット、MZIZDLビット、MZIZEHビット、MZIZELビットの設定、STBCR3レジスタのHIZビットの設定および各端子の入出力指定に依存します。表12に各制御ビット、端子入出力指定と端子状態の関係を示します。また表13にHCPCRレジスタの各ビットと制御対象端子の関係を示します。

表12 各制御ビット、端子入出力指定と状態の関係

HCPCR レジスタの各ビット設定	STBCR3 レジスタの HIZ ビット設定	入出力設定	ソフトウェアスタンバイモード時の大電流端子の状態
0	X	X	ハイインピーダンス
X	1	X	ハイインピーダンス
1	0	入力	ハイインピーダンス
1	0	出力	端子状態保持

X: Don't care

表13 HCPCR レジスタの各ビットと制御対象端子の関係

HCPCR レジスタのビット	制御対象端子
MZIZDL	PD10/TIOC3BS, PD11/TIOC3DS, PD12/TIOC4AS, PD13/TIOC4BS, PD14/TIOC4CS, PD15/TIOC4DS
MZIZDH	PD24/TIOC4DS, PD25/TIOC4CS, PD26/TIOC4BS, PD27/TIOC4AS, PD28/TIOC3DS, PD29/TIOC3BS
MZIZEL	PE0/TIOC4AS, PE1/TIOC4BS, PE2/TIOC4CS, PE3/TIOC4DS, PE5/TIOC3BS, PE6/TIOC3DS
MZIZEH	PE9/TIOC3B, PE11/TIOC3D, PE12/TIOC4A, PE13/TIOC4B, PE14/TIOC4C, PE15/TIOC4D

(3) その他の出力端子、入出力端子

以下の出力端子および入出力端子は、STBCR3レジスタのHIZビットの設定に依存します。HIZビットが1の場合は、以下の出力端子および入出力端子はハイインピーダンスになります。

またHIZビットが0の場合は、以下の出力端子および出力設定された入出力端子は端子状態を保持し、入力設定された入出力端子はハイインピーダンスになります。ただし、IRQOUT端子とREFOUT端子はHIZビットが0の場合にハイレベルを出力し、MDIO端子はHIZビットが0の場合に入出力状態を保持します。

表14に大電流端子以外でSTBCR3レジスタのHIZビットの制御対象となる端子を示します。

表14 STBCR3 レジスタ（HIZ ビット）の制御対象端子

STBCR3 レジスタ	制御対象端子
HIZ ビット	IRQOUT, REFOUT, DACK0~DACK3, TEND0, TEND1, SCK0~SCK4, TXD0~TXD4, RSPCK, SSLO, MISO, SSL, UBCTRG, CTx0, MDC, TX_EN, MII_TXD0, MII_TXD1, MII_TXD2, MII_TXD3, TX_ER, EXOUT, WOL, PA0~PA21, PB0~PB11, PB14, PB15, PC0~PC15, PD0~PD9, PD15~PD23, PD30, PD31, PE4, PE7, PE8, PE10, TIOC0A, TIOC0B, TIOC0C, TIOC0D, TIOC1A, TIOC1B, TIOC2A, TIOC2B, TIOC3A, TIOC3C, TIOC3AS, TIOC3CS

また、以下の端子はレジスタ設定に依存せず状態が決まります。

表15 レジスタ設定に依存しない端子の端子状態

端子名	状態
WDTOVF	出力状態維持
XTAL, USBXTAL	ローレベル出力

(4) 入力端子

入力端子の状態は以下の通りです。

表16 入力端子の端子状態

端子名	状態
EXTAL, RES, MRES, MD0, MD1, FWE, NMI, IRQ0~IRQ7, USBEXTAL, VBUS, USD+, USD-, RX_ER, RX_DV, TX_CLK, COL, CRS, RX_CLK, MII_RXD0, MII_RXD1, MII_RXD2, MII_RXD3	入力
BREQ, BACK, D0~D31, DREQ0, DREQ1, TIC5U, TIC5V, TIC5W, TIC5US, TIC5VS, TIC5WS, POE0~POE4, POE8, RXD0~RXD4, MOSI, SCL, SDA, AN0~AN7, ADTRG, CRx0, PB12, PB13, PF0~PF7, LNKSTA	Hi-Z
ASEMD0	入力（何も入力されない時は内部でプルアップ）

9. RCAN-ET の外部回路例

CAN のバスラインは CAN_H と CAN_L の 2 線式の差動バスです。RCAN-ET からの信号を CAN バスに送る、また、他のマイコンから CAN バスを介して送信された信号を RCAN-ET で受信するには RCAN-ET と CAN バスの間に CAN トランシーバを配置し信号を変換する必要があります。SH7216 の端子は 3.3V インタフェースのため、5V インタフェースのトランシーバを使用する場合はレベルシフタも必要です。

ここでは、CAN トランシーバに 5V インタフェースの HA13721RP を使用した場合を例に記載します。RCAN-ET の CTx 端子に接続する HA13721RP の TxD 端子は 3.3V に対応していますが、RCAN-ET の CRx 端子に接続する HA13721RP の RxD 端子は 5V に対応しています。このため HA13721RP の RxD 端子と RCAN-ET の CRx 端子の間には 5V から 3.3V へのレベルシフタが必要になります。

図 18 に RCAN-ET の外部回路例を示します。また、参考に HA13721 の電気的特性抜粋を表 17 に示します。HA13721 電気的特性の詳細は「HA13721RP/FP データシート」を参照してください。

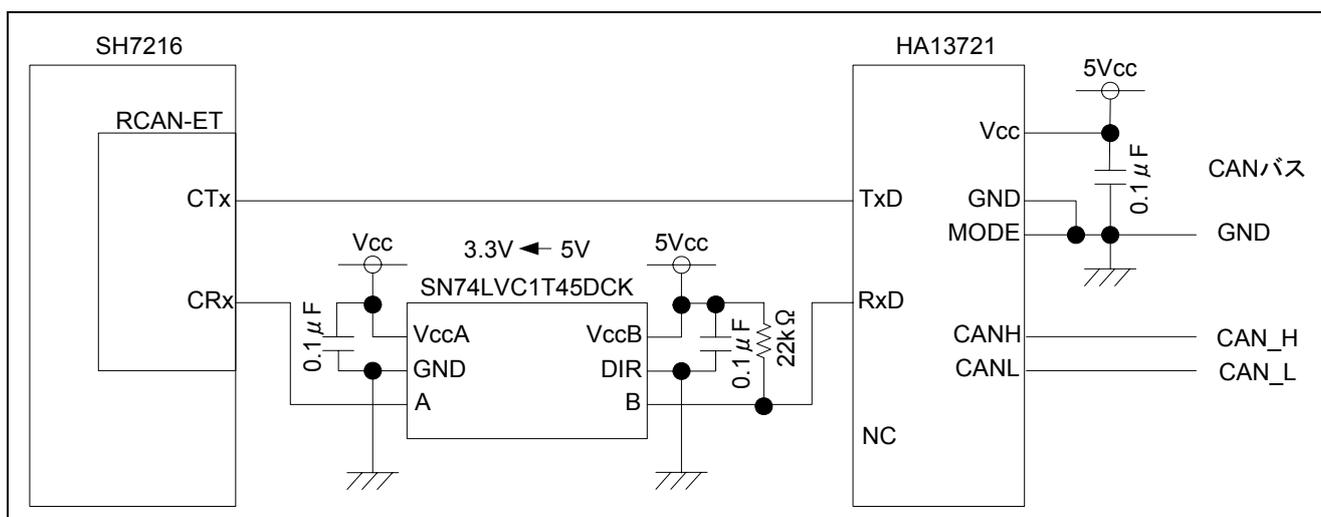


図18 RCAN-ET の外部回路例

表17 HA13721 の電気的特性（抜粋）

項目	記号	Min.	Typ.	Max.	単位	測定条件	適用端子
電源電圧	Vcc	4.5	-	5.5	V		Vcc
入力 High 電圧	VIH	2.4	-	Vcc+0.3	V		TxD MODE
入力 Low 電圧	VIL	-0.3	-	0.8	V		TxD MODE
出力 High 電圧	VOH	0.8Vcc	-	Vcc	V	IRxD = -100µA	RxD
出力 Low 電圧	VOL	-	-	0.1Vcc	V	IRxD = 1mA	RxD

10. 参考ドキュメント

- ソフトウェアマニュアル
SH-2A、SH2A-FPU ソフトウェアマニュアル Rev.3.00
(最新版をルネサスエレクトロニクスのホームページから入手してください。)
- ハードウェアマニュアル
SH7214 グループ、SH7216 グループ ユーザーズマニュアル ハードウェア編 Rev.2.00
(最新版をルネサスエレクトロニクスのホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.01.14	—	初版発行
1.01	2010.08.24	17	ユーザーズマニュアル更新に伴い、図 16 修正
		20	ユーザーズマニュアル更新に伴い、表 7 追加
		26	RCAN-ET 外部回路例追加

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連して発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続きを行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/inquiry>