

RX21A グループ

R01AN1438JJ0100

Rev.1.00

24 ビット A/D コンバータ 7 チャンネル同時変換設定例

2013.02.20

要旨

RX21A は 変調方式の 24 ビット A/D コンバータを内蔵しており、最大 7 チャンネルのアナログ入力に対応します。また 1 入力チャンネルにつき 1 ユニットが割り当てられているため、各々のチャンネルは独立したタイミングで制御する事ができます。本例では、マルチファンクションタイマユニット 2 (MTU2a) を A/D 変換トリガとした、A/D コンバータの 7 チャンネル同時変換動作について説明します。

動作確認デバイス

RX21A (R5F521A8BDFP)

RX21A グループは、64 ピン、80 ピンおよび 100 ピンのパッケージを用意しています。本アプリケーションノートの 7 チャンネル同時変換を行うソフトウェアは 100 ピンパッケージの RX21A に対応しています。他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1. 仕様.....	2
2. 動作条件.....	3
3. 開発環境.....	4
4. 動作説明.....	5
5. ソフトウェア説明.....	7
6. 注意事項.....	23
7. 参考資料.....	23

1. 仕様

本例では、MTU2a チャンネル 0 を使用し、一定間隔で ANDSn_n 端子(n=0~6)への印加電圧を 24 ビット A/D コンバータにより 7 チャンネル同時に連続 A/D 変換します。

本例での使用機能を以下に示します。

- クロック発生回路
- 消費電力低減機能
- レジスタライトプロテクション機能
- 割り込みコントローラ (ICUb)
- マルチファンクションタイムパルスユニット 2 (MTU2a)
- イベントリンクコントローラ (ELC)
- 24 ビット A/D コンバータ (DSAD)。

本例のソフトウェアの仕様を以下に示します。

- MTU2a チャンネル 0 は PWM1 モードで動作します。
- ELC 機能を用いて MTU2a チャンネル 0 のコンペアマッチ信号を A/D 変換トリガとして A/D 変換を行います。
- コンペアマッチ信号の出力間隔は、DSAD の最小 A/D 変換周期である 81.92 μs に設定します。
- ANDS0~3 端子は差動電圧を A/D 変換し、ANDS4~6 端子はシングルエンド電圧 A/D 変換します。
- DSAD 内蔵の PGA (プログラマブルゲインアンプ) は 1 倍に設定します。
入力電圧範囲は、差動電圧、シングルエンド電圧ともに -500mV ~ +500mV となります。
- A/D 変換が完了すると割り込み処理により A/D 変換結果を RAM に格納します。

MTU2a による A/D 変換時の信号フローを図 1 を示します

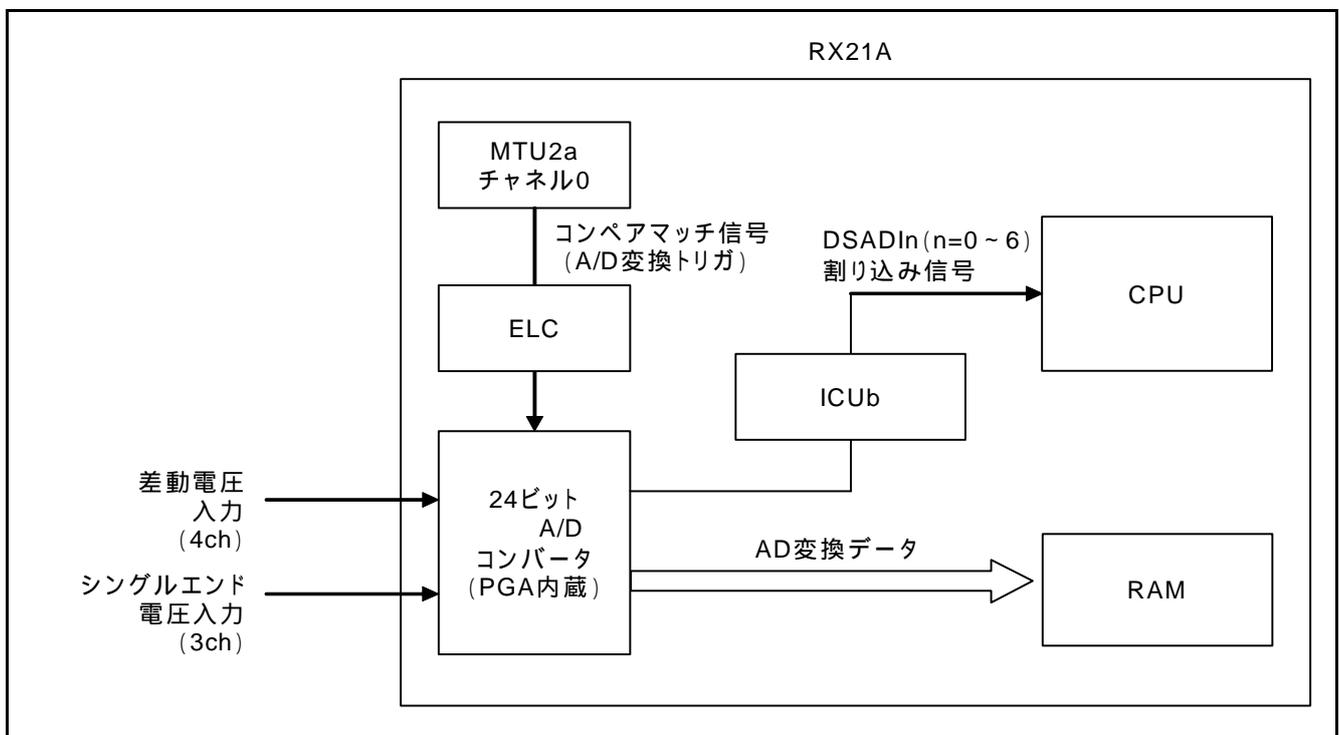


図 1 MTU2a による A/D 変換時の信号フロー

2. 動作条件

本例の動作条件を表 1 に示します。また、ハードウェア構成を図 2 に示します。

表 1 動作条件

項目	内容	
動作周波数	入力クロック :	20MHz (水晶発振子)
	PLL クロック :	100MHz (入力クロックを 2 分周後、10 逓倍)
	システムクロック (ICLK) :	50MHz (PLL クロックの 2 分周)
	FlashIF クロック (FCLK) :	25MHz (PLL クロックの 4 分周)
	外部バスクロック (BCLK) :	25MHz (PLL クロックの 4 分周)
	周辺モジュールクロック A (PCLKA) :	50MHz (PLL クロックの 2 分周)
	周辺モジュールクロック B (PCLKB) :	25MHz (PLL クロックの 4 分周)
	周辺モジュールクロック C (PCLKC) :	25MHz (PLL クロックの 4 分周)
	周辺モジュールクロック D (PCLKD) :	25MHz (PLL クロックの 4 分周)
動作電圧	デジタル電源電圧 (VCC) :	3.3V
	アナログ電源電圧 (AVCC0) :	3.3V
	アナログ電源電圧 (AVCCA) :	3.3V
動作モード	シングルチップモード	
エンディアン	リトルエンディアン	

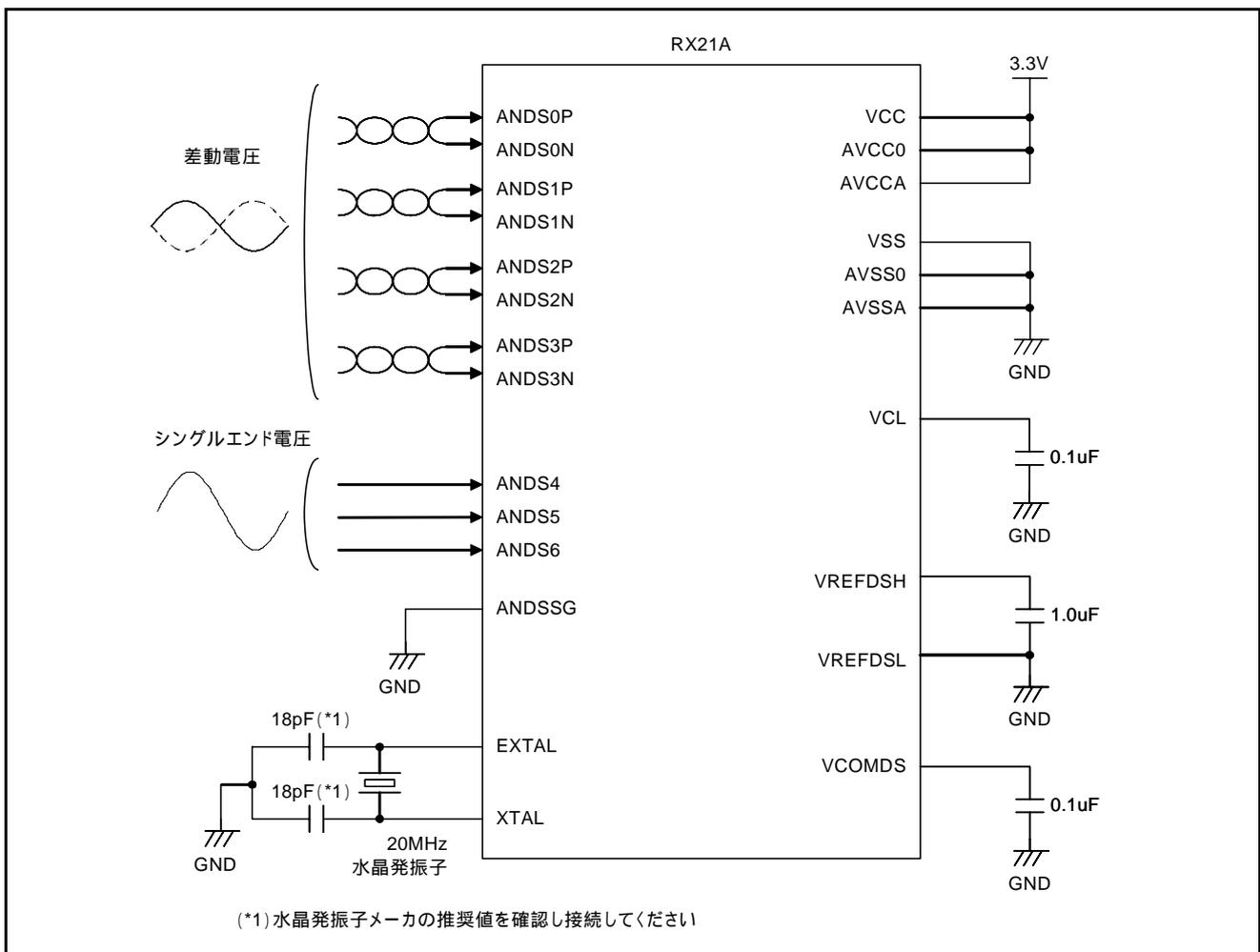


図 2 ハードウェア構成

3. 開発環境

本例の開発環境を表 2 に示します。

表 2 開発環境

項目	内容
開発ツール	ルネサス エレクトロニクス製 CubeSuite+ Ver 1.03.00
デバイス情報ファイル	ルネサス エレクトロニクス製 CubeSuite+用 RX デバイス依存情報 V1.00.04
C/C++コンパイラ	ルネサス エレクトロニクス製 CubeSuite+用 RX コンパイラ CC-RX Ver 1.02.01
エミュレータ	ルネサス エレクトロニクス製 E1 エミュレータ
評価ボード	株式会社 北斗電子製 HSBRX21AP-B(R5F521A8BDFP 搭載)

4. 動作説明

本例における動作タイミングチャートを図 3に示します。また、ソフトウェアおよびハードウェアの処理内容を表 3に示します。

MTU2a チャンネル 0 は、コンペアマッチ信号 0B を $81.92 \mu\text{s}$ 周期で出力します。この信号を A/D 変換トリガとして DSAD の 7 つのチャンネルに同時に印加し、A/D 変換を行います。A/D 変換結果は DSADDRn ($n=0 \sim 6$) レジスタに格納され、A/D 変換完了割り込み処理内で RAM に保存します。

DSAD の詳細な動作説明については、RX21A グループユーザーズマニュアルハードウェア編を参照してください。

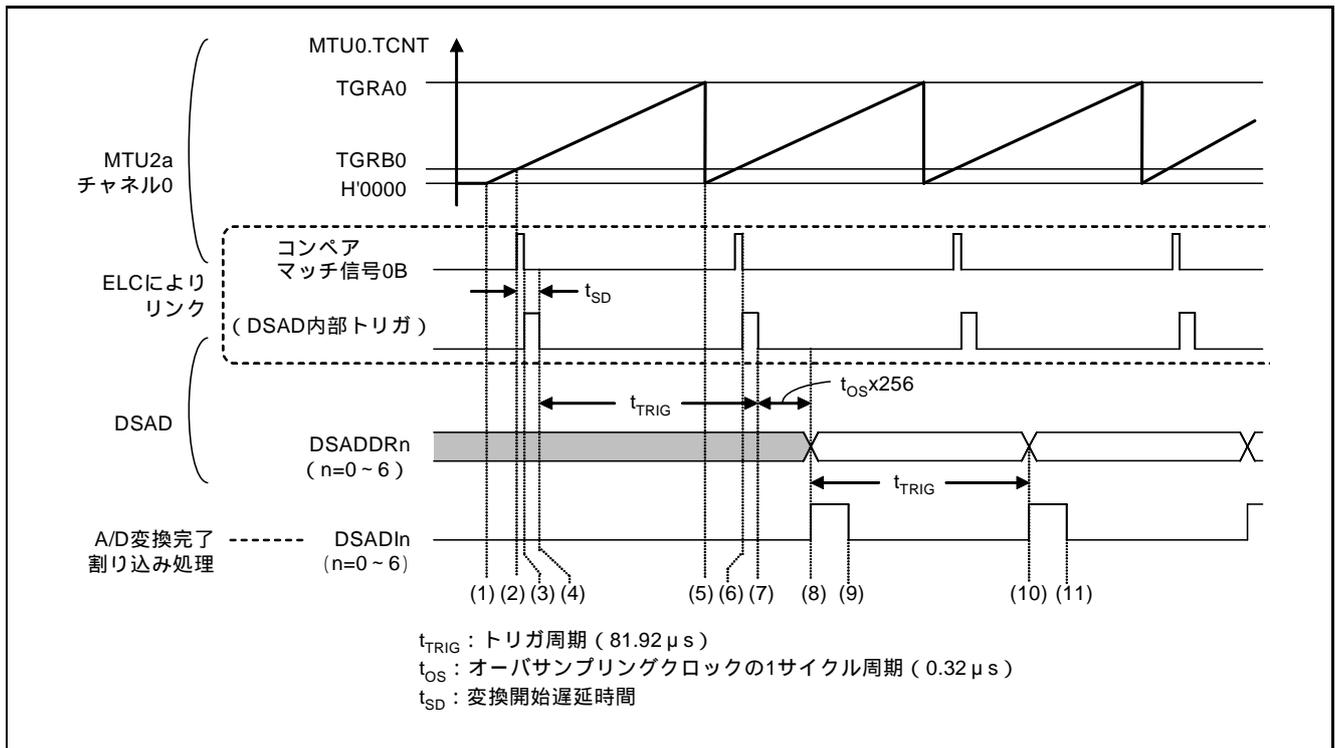


図 3 動作タイミングチャート

表 3 ソフトウェアおよびハードウェア処理内容

番号	ソフトウェア処理	ハードウェア処理
(1)	MTU0.TSTR.CST0 ビットをセット	MTU0 カウンタスタート
(2)		TGRB0 コンペアマッチ
(3)		ELC により DSAD へ 1 回目の A/D 変換トリガを印加
(4)		1 回目の A/D 変換開始(*1)
(5)		TGRA0 コンペアマッチにより TNCT クリア
(6)		2 回目の A/D 変換トリガを印加
(7)		2 回目の A/D 変換開始
(8)		1 回目の A/D 変換結果を DSADDRn に格納 DSADIn フラグセット(*2) (n=0 ~ 6)
(9)	DSADIn 割り込み処理 ・ DSADDRn の内容を RAM に格納 (1 回目の A/D 変換結果を RAM に格納) ・ DSADIn フラグクリア	
(10)		2 回目の A/D 変換結果を DSADDRn に格納 DSADIn フラグセット
(11)	DSADIn 割り込み処理 ・ DSADDRn の内容を RAM に格納 (2 回目の A/D 変換結果を RAM に格納) ・ DSADIn フラグクリア	

(*1) t_{SD} は周辺モジュールクロック (PCLKB) で動く ELC からのトリガ信号とオーバサンプリングクロックの同期化タイミングで決まり、一定値とはなりません。

(*2) A/D 変換時間は同期化タイミング t_{SD} とフィルタの演算期間の合計であり、
 $t_{SD} + t_{TRIG} + t_{OS} \times 256$ となります。

5. ソフトウェア説明

5.1 ファイル構成

本例のファイル構成を表 4 に示します。

表 4 ファイル構成

ファイル名	内容
dbstc.c	データセクション定義のプログラム（開発ツールにより自動生成）
intprg.c	割り込み関数のプログラム（開発ツールにより自動生成）
resetprg.c	リセットプログラム（開発ツールにより自動生成）
sbrk.c	ヒープメモリ領域の確保プログラム（開発ツールにより自動生成）
sbrk.h	ヒープサイズの定義ファイル（開発ツールにより自動生成）
stackstc.h	スタック領域の定義ファイル（開発ツールにより自動生成）
typedefine.h	整数型の定義ファイル（開発ツールにより自動生成）
vect.h	ベクタ定義ファイル
vecttbl.c	ベクタテーブルの初期化プログラム
main.c	メイン関数のプログラム
main.h	メイン関数のヘッダファイル
iodefine.h	RX21A 内蔵周辺機能のレジスタ定義ファイル

5.2 関数一覧

本例で提供する関数一覧を表 5 に示します。また、関数の階層構造を図 4 に示します。

表 5 関数一覧

関数名	機能
main	システム、DSAD、MTU2a、ELC の初期化関数呼び出し および MTU2a チャンネル 0 のタイマスタート
system_init	システムクロックの初期化およびモジュールストップの解除
dsad_init	DSAD の初期化
mtu0_init	MTU2a チャンネル 0 の初期化
elc_init	ELC の初期化
dsadin_isr ($n=0 \sim 6$)	DSAD 変換完了割り込み処理 A/D 変換結果の RAM 保存および割り込み要因のクリア DSAD 入力チャンネル 0 ~ 6 について同等の処理

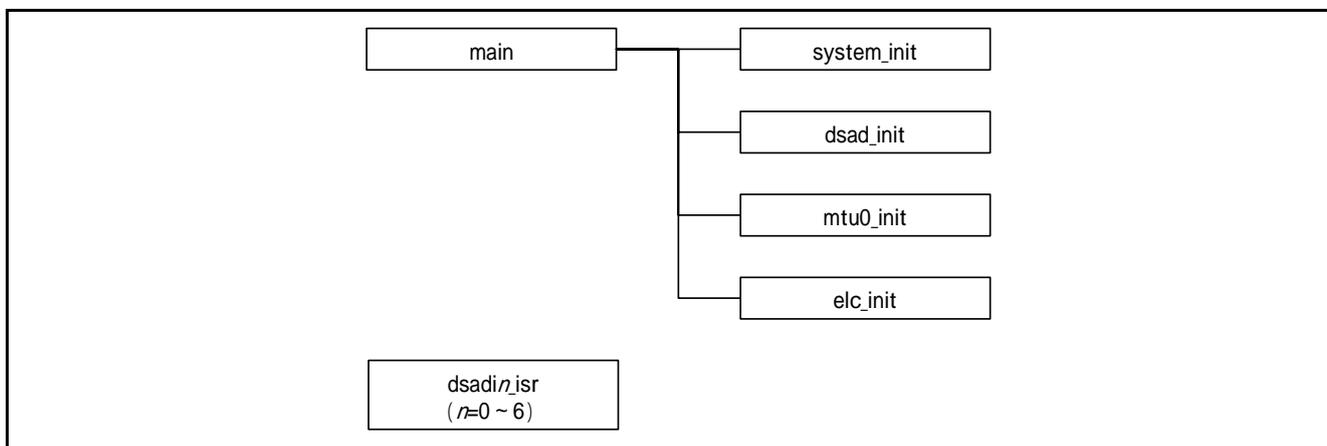


図 4 階層構造

5.3 使用 RAM

本例で使用する RAM 領域を表 6 に示します。

表 6 使用 RAM 一覧

型	変数名	内容	使用関数
int32_t	g_dsad_data[7]	A/D 変換結果 (DSADDR0 ~ 6) を格納するための内蔵 RAM 領域 (4 バイト)	dsadin_isr (n=0 ~ 6)

注. この他にユーザスタックおよび割り込みスタックの RAM 領域が必要になります。

5.4 関数説明

5.4.1 main 関数

(1)機能概要

使用モジュール (クロック、DSAD、MTU2a、ELC) の初期化関数呼び出しおよび MTU2a チャンネル 0 のタイマスタートを行います

(2)引数

なし

(3)戻り値

なし

(4)使用内部レジスタ説明

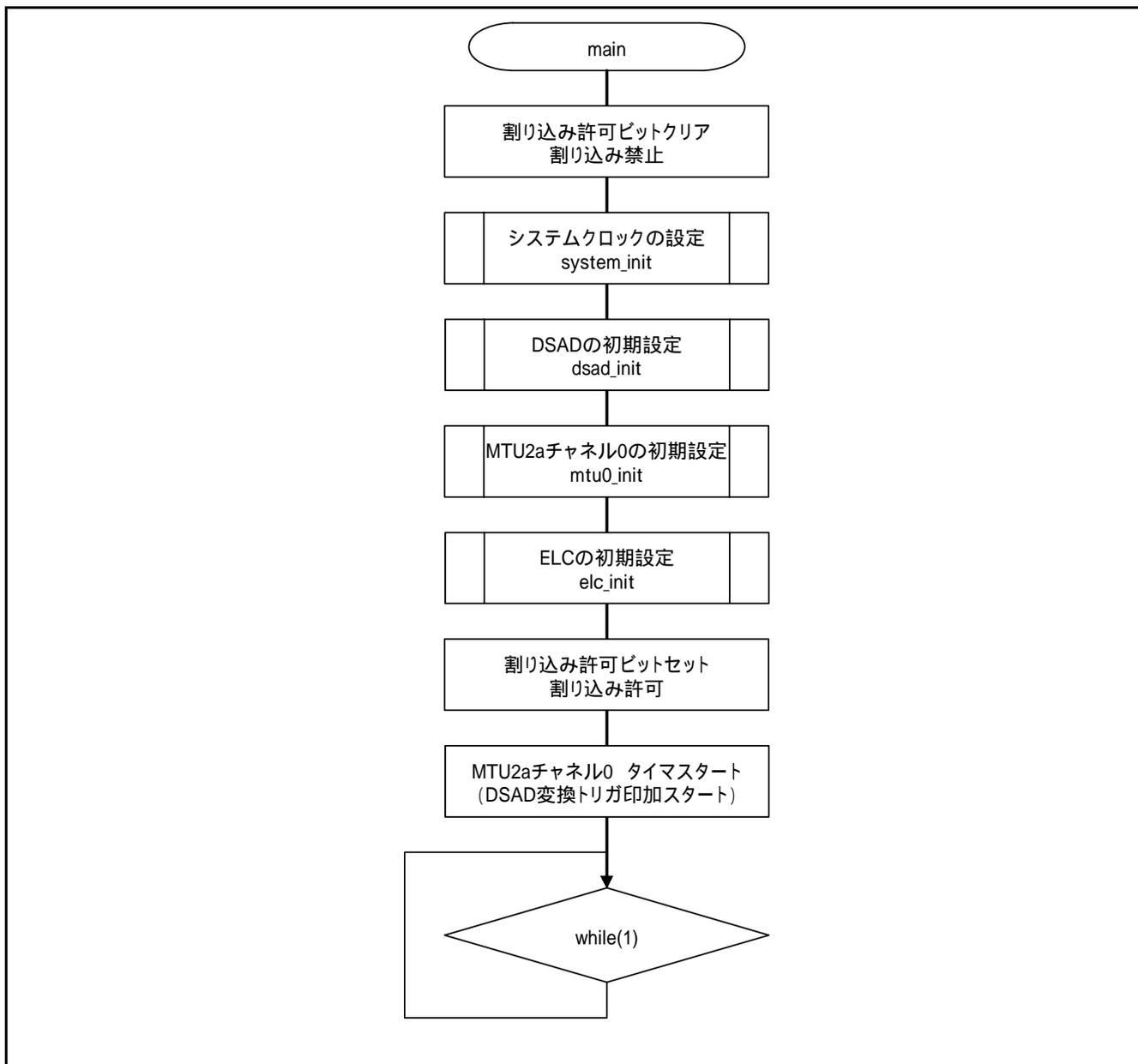
本例で使用する内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。内部レジスタには、本項に記載されていないビットに機能が割り当てられている場合があります。そのため他のビットが変更されないように注意が必要です。

- タイマスタートレジスタ (TSTR) ビット数 : 8 アドレス : 0008 8680h

TSTR レジスタは MTU0 ~ MTU4 の TCNT の動作/停止を選択します。

ビット	シンボル	設定値	R/W	機能
b0	CST0	1	R/W	MTU0.TCNT はカウント動作中

(5)フローチャート



5.4.2 system_init 関数

(1)機能概要

システムクロックの初期化およびモジュールストップの解除を行います。

(2)引数

なし

(3)戻り値

なし

(4)使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。内部レジスタには、本項に記載されていないビットに機能が割り当てられている場合があります。そのため他のビットが変更されないように注意が必要です。

- プロテクトレジスタ (PRCR) ビット数 : 16 アドレス : 0008 03FEh

PRCR レジスタは、重要なレジスタを書き換えられないように保護するレジスタです。

ビット	シンボル	設定値	R/W	機能
b0	PRC0	1	R/W	プロテクトビット 0。クロック発生回路関連レジスタへの書き込み許可を制御します。 0 : 書き込み禁止 1 : 書き込み許可
b1	PRC1	1	R/W	プロテクトビット 1。動作モード、消費電力低減機能、ソフトウェアリセット関連レジスタへの書き込み許可を制御します。 0 : 書き込み禁止 1 : 書き込み許可
b15-b8	PRKEY[7:0]	A5h	R/W	PRC キーコードビット。 PRC0、PRC1、PRC3 ビットの書き換えの可否を制御します。 PRCi ビット (i=0、1、3) へ値を書く時は "A5h" を書いてください。PRKEY[7:0] ビットが "A5h" 以外の値の場合、PRCR レジスタへの書き込みを行っても PRCi ビットの値は変更されません。

- システムクロックコントロールレジスタ (SCKCR) ビット数 : 32 アドレス : 0008 0020h
SCKCR レジスタは、システムクロック (ICLK)、周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)、FlashIF クロック (FCLK) およびバスクロック (BCLK) の周波数を選択するレジスタです。

ビット	シンボル	設定値	R/W	機能
b3-b0	PCKD[3:0]	0010b	R/W	周辺モジュールクロック (PCLKD) の周波数を選択します。(注1) PCLKD をクロックソースの 4 分周に設定します。
b7-b4	PCKC[3:0]	0010b	R/W	周辺モジュールクロック (PCLKC) の周波数を選択します。(注1) PCLKC をクロックソースの 4 分周に設定します。
b11-b8	PCKB[3:0]	0010b	R/W	周辺モジュールクロック (PCLKB) の周波数を選択します。(注1) PCLKB をクロックソースの 4 分周に設定します。
b15-b12	PCKA[3:0]	0001b	R/W	周辺モジュールクロック (PCLKA) の周波数を選択します。(注1) PCLKA をクロックソースの 2 分周に設定します。
b19-b16	BCK[3:0]	0010b	R/W	外部バスクロック (BCLK) の周波数を選択します。(注2) BCLK をクロックソースの 4 分周に設定します。
b23-b20		0000b	R/W	読むと "0" が読めます。 書く場合、"0" としてください
b27-b24	ICK[3:0]	0001b	R/W	システムクロック (ICLK) の周波数を選択します。(注1) ICLK をクロックソースの 2 分周に設定します。
b31-b28	FCK[3:0]	0010b	R/W	FlashIF クロック (FCLK) の周波数を選択します。(注1) FCLK をクロックソースの 4 分周に設定します。

注 1. PLL 選択時は 1 分周設定は禁止です。

注 2. RX21A グループには外部バスがありませんが、外部バスクロック (BCLK) 選択ビットの設定が必要です。詳細は RX21A グループユーザーズマニュアルハードウェア編を参照してください。

- システムクロックコントロールレジスタ 3 (SCKCR3) ビット数 : 16 アドレス : 0008 0026h
SCKCR3 レジスタは、システムクロックのクロックソースの選択を行います。

ビット	シンボル	設定値	R/W	機能
b10-b8	CKSEL[2:0]	100b	R/W	クロックソース選択ビット クロックソースに PLL を選択します。

- PLL コントロールレジスタ (PLLCR) ビット数 : 16 アドレス : 0008 0028h
PLLCR レジスタは PLL 回路の動作を設定するレジスタです。PLLCR2.PLLEN ビットが "0" (PLL 動作) のとき、PLLCR レジスタへの書き込みは禁止です。

ビット	シンボル	設定値	R/W	機能
b1-b0	PLIDIV[1:0]	01b	R/W	PLL のクロックソースの入力分周比を 2 分周にします。
b12-b8	STC[4:0]	01001b	R/W	PLL の周波数逡倍率を 10 逡倍にします。

- PLL コントロールレジスタ 2 (PLLCR2) ビット数：8 アドレス：0008 002Ah
PLLCR2 レジスタは PLL 回路の動作を制御するレジスタです。PLLEN ビットで PLL を動作設定に変更後、PLL クロック発振安定待機時間 (tPLLWT1 または tPLLWT2) が経過した後、PLL クロックの使用を開始してください。

ビット	シンボル	設定値	R/W	機能
b0	PLLEN	0	R/W	PLL 動作を許可します。

- メインクロック発振器コントロールレジスタ (MOSCCR) ビット数：8 アドレス：0008 0032h
MOSCCR レジスタはメインクロック発振器の制御を行うレジスタです。

ビット	シンボル	設定値	R/W	機能
b0	MOSTP	0	R/W	メインクロック発振器動作を許可します。

- 高速クロック発振器コントロールレジスタ (HOCO CR) ビット数：8 アドレス：0008 0036h
HOCO CR レジスタは高速クロック発振器 (HOCO) の動作を制御するレジスタです。

ビット	シンボル	設定値	R/W	機能
b0	HCSTP	1	R/W	HOCO を停止します。

- モジュールストップコントロールレジスタ A (MSTPCRA) ビット数：32 アドレス：0008 0010h
MSTPCRA レジスタは、モジュールストップ状態の制御を行うレジスタです。

ビット	シンボル	設定値	R/W	機能
b9	MSTPA9	0	R/W	MTU2a モジュールストップ設定ビット モジュールストップ状態を解除します
b25	MSTPA25	0	R/W	DSAD モジュールストップ設定ビット モジュールストップ状態を解除します

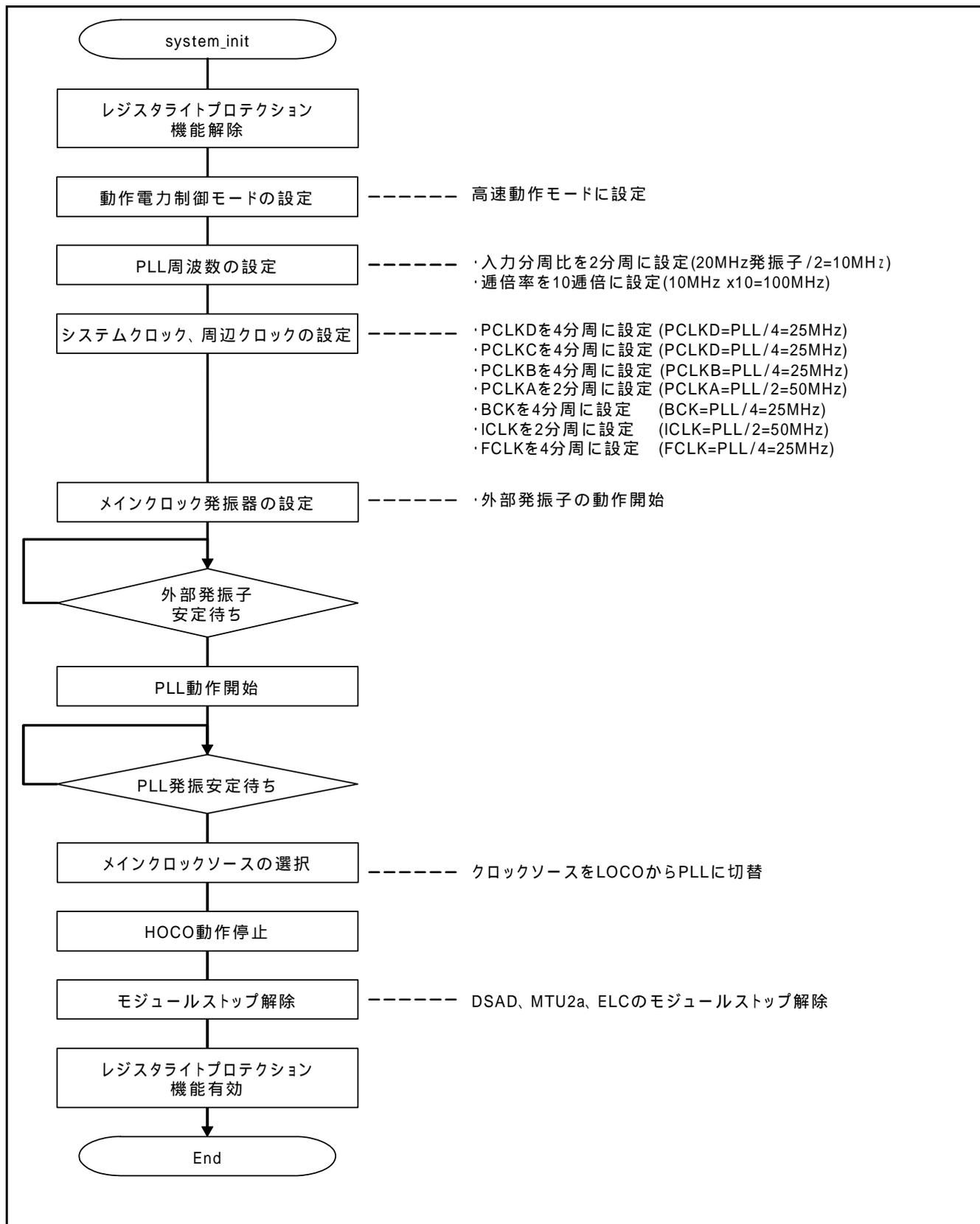
- モジュールストップコントロールレジスタ B (MSTPCRB) ビット数：32 アドレス：0008 0014h
MSTPCRB レジスタは、モジュールストップ状態の制御を行うレジスタです。

ビット	シンボル	設定値	R/W	機能
b9	MSTPB9	0	R/W	ELC モジュールストップ設定ビット モジュールストップ状態を解除します

- 動作電力コントロールレジスタ (OPCCR) ビット数：8 アドレス：0008 00A0h
OPCCR レジスタは、通常動作モード、スリープモード、全モジュールクロックストップモード時の消費電力を低減させるためのレジスタです。

ビット	シンボル	設定値	R/W	機能
b2-b0	OPCM[2:0]	000b	R/W	動作電力制御モード選択ビット 高速動作モードを選択します。
b3				読むと“0”が読めます。 書く場合、“0”としてください
b4	OPCMTSF	0b		<ul style="list-style-type: none"> リード時 0：モード遷移完了 1：モード遷移中 ライト時 書き込みは“0”としてください
b7-b5				読むと“0”が読めます。 書く場合、“0”としてください

(5)フローチャート



5.4.3 dsad_init 関数

(1)機能概要

DSAD モジュールの初期設定を行います。DSAD は差動チャンネルおよびシングルエンド入力チャンネルの PGA を×1、リファレンス電圧に内蔵 BGR 回路を選択します。

(2)引数

なし

(3)戻り値

なし

(4)使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。内部レジスタには、本項に記載されていないビットに機能が割り当てられている場合があります。そのため他のビットが変更されないように注意が必要です。

- A/D リファレンス制御レジスタ (DSADRCR) ビット数：8 アドレス：0008 B402h
A/D リファレンス制御レジスタは、A/D コンバータのリファレンス電圧の供給および内蔵 BGR の制御を行います

ビット	シンボル	設定値	R/W	機能
b6	BGRE	1	R/W	BGR 回路を起動します。
b7	EXREF	0	R/W	リファレンス電圧を内蔵 BGR 回路から生成します。

- A/D コントロールレジスタ 0~6 (DSADCR0~6) ビット数：8
アドレス：DSADCR0 0008 B410h、DSADCR1 0008 B420h、DSADCR2 0008 B430h、
DSADCR3 0008 B440h、DSADCR4 0008 B450h、DSADCR5 0008 B460h、
DSADCR6 0008 B470h

A/D 制御レジスタは、PGA および 変調器の動作、停止を制御します。

ビット	シンボル	設定値	R/W	機能
b7	ADSE	1	R/W	PGA および 変調器を起動します。

- A/D ゲイン選択レジスタ 0~3 (DSADGSR0~3) ビット数：8
アドレス：DSADGSR0 0008 B412h、DSADGSR1 0008 B422h
DSADGSR2 0008 B432h、DSADGSR3 0008 B442h

A/D ゲイン選択レジスタ 0~3 は、差動入力チャンネルのゲインを選択します。

ビット	シンボル	設定値	R/W	機能
b2-b0	GAIN[2:0]	000b	R/W	差動入力チャンネルのゲインを 1 倍に設定します。

- A/D ゲイン選択レジスタ 4~6 (DSADGSR4~6) ビット数：8
アドレス：DSADGSR4 0008 B452h、DSADGSR5 0008 B462h、DSADGSR6 0008 B472h

A/D ゲイン選択レジスタ 4~6 は、シングルエンド入力チャンネルのゲインを選択します。

ビット	シンボル	設定値	R/W	機能
b1-b0	GAIN[1:0]	00b	R/W	シングルエンド入力チャンネルのゲインを 1 倍に設定します。

- A/D リセットレジスタ (DSADRSTR) ビット数: 8 アドレス: 0008 B401h
A/D リセットレジスタは、PGA および 変調器の初期化を制御します。

DSRST ビットは、“1”を書き込むと全チャンネルの PGA および 変調器の初期化を行います。A/D 変換の開始前にこの初期化を行ってください。また、初期化は VREFDSH 端子電圧、VCOMDS 端子電圧、PGA および 変調器の起動時間が経過した後に行ってください。“1”を書き込んだ後、周辺モジュールクロック B (PCLKB) の 192 サイクル後に自動的にクリアされます。“1”の期間に“0”を書き込むことは無効です。初期化実行後、本ビットがクリアされたことを確認したのち A/D 変換を開始してください。

ビット	シンボル	設定値	R/W	機能
b7	DSRST	1	R/W	変調器を初期化します。

- A/D コントロール/ステータスレジスタ 0~6 (DSADCSR0~6) ビット数: 8
アドレス: DSADCSR0 0008 B411h、DSADCSR1 0008 B421h、DSADCSR2 0008 B431h、
DSADCSR3 0008 B441h、DSADCSR4 0008 B451h、DSADCSR5 0008 B461h、
DSADCSR6 0008 B471h

A/D コントロール/ステータスレジスタ 0~6 は、A/D 変換終了割り込み要求の許可/禁止、データレジスタ上書き発生割り込み要求の許可/禁止、トリガの禁止/許可の制御を行います。

ビット	シンボル	設定値	R/W	機能
b3	TRGE	1	R/W	トリガによる A/D 変換スタートを許可します。
b4	ADIE	1	R/W	A/D 変換終了による DSADI 割り込みを許可します。

- 割り込み要求許可レジスタ 19 (IER19) ビット数：8 アドレス：0008 7219h
CPU への割り込み要求、および DMACA/DTC 起動要求の許可/禁止を設定するレジスタです。

ビット	ビット名	設定値	R/W	機能
b7	IEN7	1	R/W	DSADI0 割り込み要求許可ビット 割り込み要求を許可します

- 割り込み要求許可レジスタ 1A (IER1A) ビット数：8 アドレス：0008 721Ah
CPU への割り込み要求、および DMACA/DTC 起動要求の許可/禁止を設定するレジスタです。

ビット	ビット名	設定値	R/W	機能
b0	IEN0	1	R/W	DSADI1 割り込み要求許可ビット 割り込み要求を許可します
b1	IEN1	1	R/W	DSADI2 割り込み要求許可ビット 割り込み要求を許可します
b2	IEN2	1	R/W	DSADI3 割り込み要求許可ビット 割り込み要求を許可します
b3	IEN3	1	R/W	DSADI4 割り込み要求許可ビット 割り込み要求を許可します
b4	IEN4	1	R/W	DSADI5 割り込み要求許可ビット 割り込み要求を許可します
b5	IEN5	1	R/W	DSADI6 割り込み要求許可ビット 割り込み要求を許可します

- 割り込み要因プライオリティレジスタ n (IPRn) (n=207~213) ビット数：8
IPRn レジスタは、割り込み要因の優先順位を設定するレジスタです。

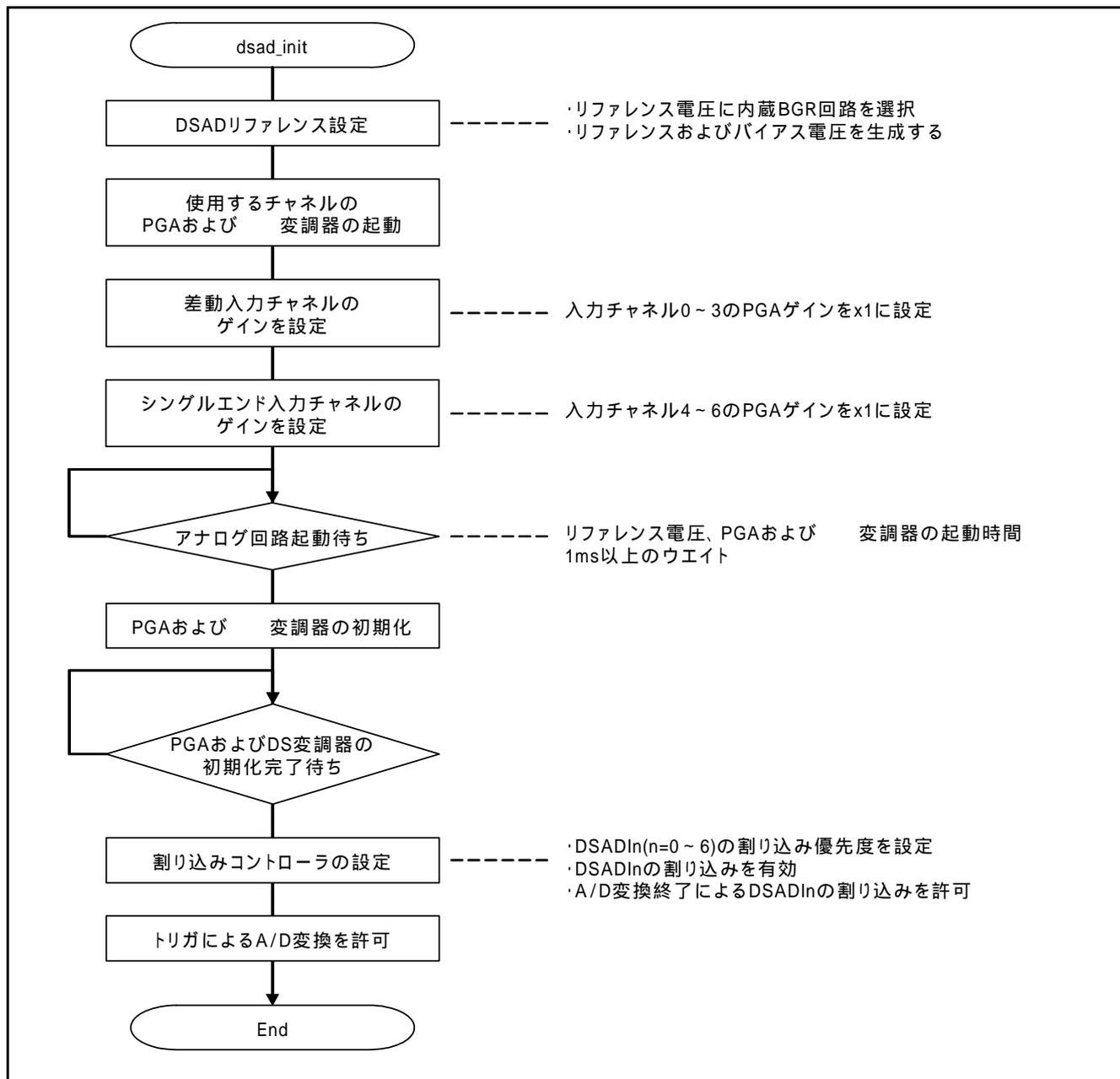
ビット	ビット名	設定値	R/W	機能
b3-b0	IPR[3:0]	0111b	R/W	割り込み優先度をレベル 1 に設定します

本例で使用する割り込み要因プライオリティレジスタの一覧を表 7 に示します。

表 7 割り込み要因プライオリティレジスタ

割り込み名称	割り込みベクタ番号	シンボル	アドレス	アクセスサイズ
DSADI0	207	IPR207	0008 73CFh	8
DSADI1	208	IPR208	0008 73D0h	8
DSADI2	209	IPR209	0008 73D1h	8
DSADI3	210	IPR210	0008 73D2h	8
DSADI4	211	IPR211	0008 73D3h	8
DSADI5	212	IPR212	0008 73D4h	8
DSADI6	213	IPR213	0008 73D5h	8

(5)フローチャート



5.4.4 mtu0_init 関数

(1)機能概要

MTU2a チャンネル 0 の初期設定を行います。

MTU2a チャンネル 0 は動作モードを PWM モード 1、PWM 周期を DSAD の最短変換周期である 81.92 μ s、High 時間を 1.0 μ s に設定します。

(2)引数

なし

(3)戻り値

なし

(4)使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。内部レジスタには、本項に記載されていないビットに機能が割り当てられている場合があります。そのため他のビットが変更されないように注意が必要です。

- タイマコントロールレジスタ (TCR) ビット数: 8 アドレス: MTU0.TCR 0008 8700h

TCR レジスタは、各チャンネルの TCNT を制御する 8 ビットの読み出し/書き込み可能なレジスタです。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

ビット	シンボル	設定値	R/W	機能
b2-b0	TPSC[2:0]	000b	R/W	内部クロック (PCLKB) を分周なしでカウントします。
b4-b3	CKEG[1:0]	00b	R/W	立ち上がりエッジでカウントします。
b7-b5	CCLR[2:0]	001b	R/W	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリアを行います。

- タイマモードレジスタ (TMDR) ビット数: 8 アドレス: MTU0.TMDR 0008 8701h

TMDR レジスタは、8 ビットの読み出し/書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。TMDR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

ビット	シンボル	設定値	R/W	機能
b3-b0	MD[3:0]	0010b	R/W	PWM モード 1 に設定します。

- タイマジェネラルレジスタ (TGR) ビット数 : 16

アドレス : MTU0.TGRA 0008 8708h、MTU0.TGRB 0008 870Ah

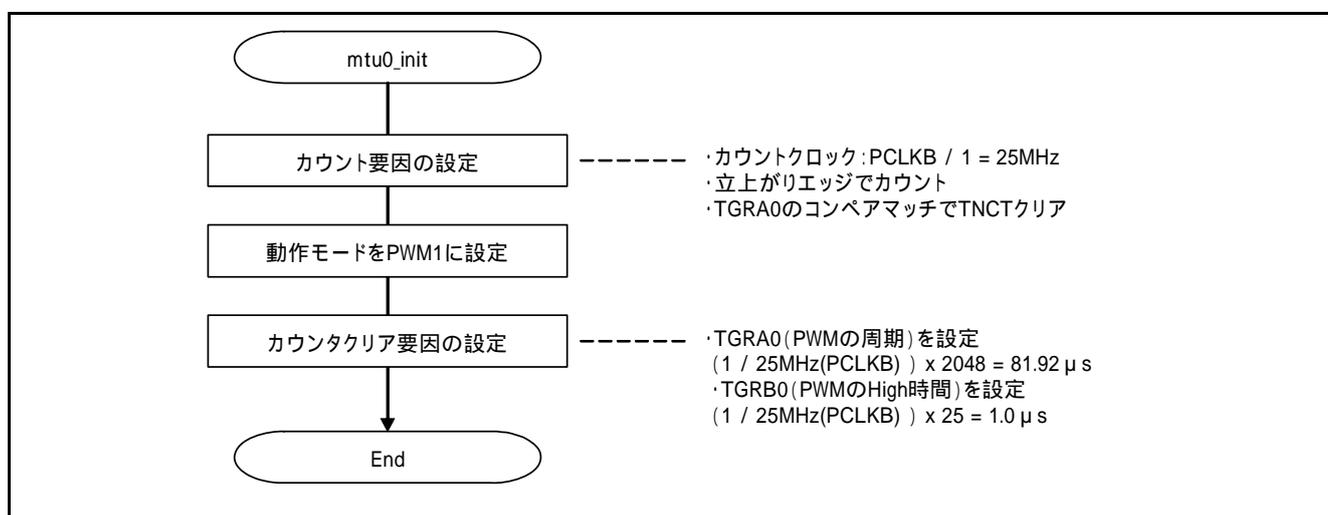
TGR は、16 ビットの読み出し/書き込み可能なレジスタです。TGRA、TGRB、TGRC、TGRD はアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

注 : TGR レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR の初期値は、FFFFh です。

レジスタ名	設定値	R/W	機能
MTU0.TGRA	07FFh	R/W	PWM 出力の周期が 81.92 μ s になるように値を設定します。

レジスタ名	設定値	R/W	機能
MTU0.TGRB	0018h	R/W	PWM 出力の High 時間が 1.0 μ s になるように値を設定します。

(5)フローチャート



5.4.5 elc_init 関数

(1)機能概要

ELC の初期設定を行います。

(2)引数

なし

(3)戻り値

なし

(4)使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。内部レジスタには、本項に記載されていないビットに機能が割り当てられている場合があります。そのため他のビットが変更されないように注意が必要です。

- イベントリンクコントロールレジスタ (ELCR) ビット数：8 アドレス：0008 B100h
ELCR レジスタは、イベントリンクコントローラ (ELC) の動作を制御するレジスタです。

ビット	ビット名	設定値	R/W	機能
b7	ELCON	1	R/W	全イベントリンクを有効にします。

- イベントリンク設定レジスタ n (n=0~6) ビット数：8
アドレス：ELSR30：0008 B130h、ELSR31：0008 B131h、ELSR32：0008 B132h
ELSR33：0008 B133h、ELSR34：0008 B134h、ELSR35：0008 B135h
ELSR36：0008 B136h

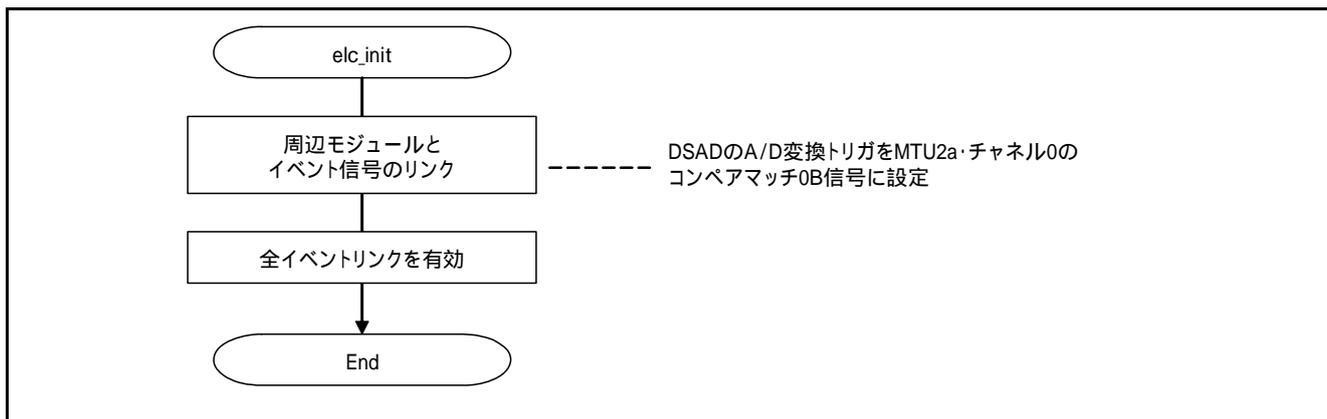
ビット	ビット名	設定値	R/W	機能
b7-b0	ELS[7:0]	0000 0010b (0002h)	R/W	ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。 MTU2・チャンネル0・コンペアマッチ0B信号を設定します。

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。
ELSRn レジスタと周辺モジュールの対応を表 8に示します。

表 8 ELSRn レジスタと周辺機能の対応

レジスタ名 (ユーザーズマニュアル)	周辺機能 (モジュール)	iodef.h の レジスタ名称
ELSR30	24 ビット A/D コンバータ チャンネル 0	ELSRB[0]
ELSR31	24 ビット A/D コンバータ チャンネル 1	ELSRB[1]
ELSR32	24 ビット A/D コンバータ チャンネル 2	ELSRB[2]
ELSR33	24 ビット A/D コンバータ チャンネル 3	ELSRB[3]
ELSR34	24 ビット A/D コンバータ チャンネル 4	ELSRB[4]
ELSR35	24 ビット A/D コンバータ チャンネル 5	ELSRB[5]
ELSR36	24 ビット A/D コンバータ チャンネル 6	ELSRB[6]

(5)フローチャート



5.4.6 dsadin_isr 関数 (n=0~6)

(1)機能概要

DSAD チャンネル n 変換終了割り込みにより、チャンネル n の変換データを RAM (5.3参照) へ保存し、割り込み処理要求 (DSADIn) をクリアします。DSAD 入力チャンネル 0~6 について同等の割り込み処理を行います。

(2)引数

なし

(3)戻り値

なし

(4)使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。内部レジスタには、本項に記載されていないビットに機能が割り当てられている場合があります。そのため他のビットが変更されないように注意が必要です。

- 割り込み要求レジスタ n (IRn) (n=割り込みベクタ番号) ビット数 : 8

IRn レジスタは、割り込み要求のステータスレジスタです。

ビット	シンボル	設定値	R/W	機能
b0	IR	0	R/W	割り込み要求のステータスフラグです。 割り込み要求が発生すると“1”になります。

本例で使用する割り込みコントローラのレジスタを表 9に示します。

表 9 割り込みコントローラレジスタ

割り込み名称	割り込みベクタ番号	シンボル	アドレス	アクセスサイズ
DSADI0	207	IR207	0008 70CFh	8
DSADI1	208	IR208	0008 70D0h	8
DSADI2	209	IR209	0008 70D1h	8
DSADI3	210	IR210	0008 70D2h	8
DSADI4	211	IR211	0008 70D3h	8
DSADI5	212	IR212	0008 70D4h	8
DSADI6	213	IR213	0008 70D5h	8

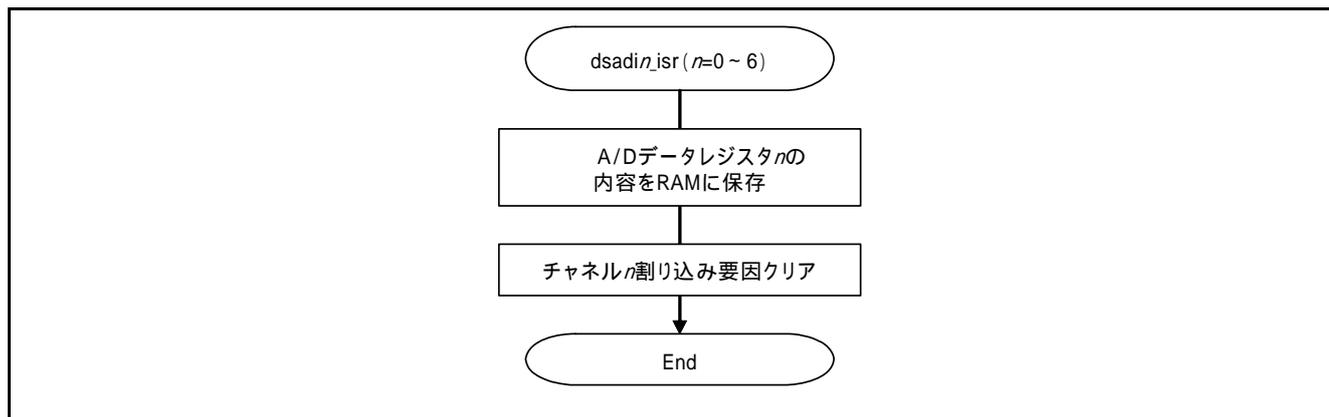
- A/D データレジスタ 0~6 (DSADDR0~6) ビット数 : 8

アドレス : DSADDR0 0008 B414h、DSADDR1 0008 B424h、DSADDR2 0008 B434h、
DSADDR3 0008 B444h、DSADDR4 0008 B454h、DSADDR5 0008 B464h、
DSADDR6 0008 B474h

A/D 変換データレジスタ 0~6 は、A/D 変換された結果を格納するための 32 ビットのリード専用レジスタです。アナログ入力チャンネルごとにレジスタがあり、各アナログ入力チャンネルの A/D 変換が終了すると、対応するチャンネルのレジスタに格納されます。格納されたデータは次の A/D 変換が終了して新しい結果を格納するまで値を保持します。レジスタへの読み出しは常に可能です。書き込みは無効です。A/D 変換されたデータは変換周期に応じて符号付き(2の補数)最大 26 ビットのデータになり、データレジスタのビット 25 からビット 0 に格納されます。データレジスタのビット 31 からビット 26 には変換データの符号が格納されます。

レジスタ名	設定値	R/W	機能
DSADDRn (n=0~6)		R	符号付き(2の補数)の A/D 変換結果を格納します。 読み出しはロングワード単位で行ってください。

(5) フローチャート



6. 注意事項

6.1 A/D コンバータ使用上の注意事項

A/D コンバータ使用上の注意事項は、RX21A グループユーザーズマニュアルハードウェア編を参照してください。

6.2 割り込み処理の実行時間

本例において、DSADI0 から DSADI6 の各割り込みは、DSAD の変換トリガに使用するタイマ周期（本例では $81.92 \mu s$ ）で発生します。割り込みの周期性を保つため、次の点に注意してください。

- DSADI0 から DSADI6 の各々割り込みに処理を追加する場合は、割り込み処理の合計時間がタイマ周期未満となるようにしてください。
- DSADI 以外の割り込み処理を追加する場合は、割り込み優先順位を検討してください。
- 全ての割り込み処理の合計時間がタイマ周期を超えてしまう場合は、DSAD の変換トリガに使用するタイマ周期を調整してください。

7. 参考資料

• 製品ドキュメント

最新版をルネサスエレクトロニクスホームページから入手してください。

- [1]RX21A グループ ユーザーズマニュアル ハードウェア編
- [2]RX ファミリ ユーザーズマニュアル ソフトウェア編
- [3]RX ファミリ C/C++コンパイラパッケージ ユーザーズマニュアル

• テクニカルアップデート/テクニカルニュース

最新の情報をルネサスエレクトロニクスホームページから入手してください。

• 株式会社 北斗電子ホームページ

マイコンボード製品情報は、北斗電子ホームページから入手してください。

<http://www.hokutodenshi.co.jp/>

本アプリケーションノートの内容は HSBRX21AP-B(R5F521A8BDFP 搭載)にて動作確認済みです。

ホームページとサポート窓口

- ルネサス エレクトロニクスホームページ
<http://japan.renesas.com/>
- お問い合わせ先
<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.2.20		初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>