
RL78/G14, H8/36109 グループ

H8 から RL78 への移行ガイド: タイマ RD

要旨

本アプリケーションノートでは、H8/36109 のタイマ RD から RL78/G14 のタイマ RD への移行について説明します。

対象デバイス

RL78/G14, H8/36109

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1. H8/36109 と RL78/G14 のタイマ RD の機能	3
2. 機能概要の相違点	4
2.1 コンペアマッチによる波形出力機能の相違点	5
2.2 インพุットキャプチャ機能の相違点	7
2.3 PWM モードの相違点	9
2.4 リセット同期 PWM モードの相違点	11
2.5 相補 PWM モードの相違点	13
2.6 PWM3 モードの相違点	15
3. レジスタの対比	17
4. タイマ RD のサンプルコード	22
5. 参考ドキュメント	22
改訂記録	23

1. H8/36109 と RL78/G14 のタイマ RD の機能

表 1.1 に、H8/36109 のタイマ RD の機能を示し、表 1.2 に RL78/G14 のタイマ RD の機能を示します。

表 1.1 H8/36109 のタイマ RD の機能

機能	説明
タイマモード (アウトプットコンペア機能)	端子から 0 出力 / 1 出力 / トグル出力を行う機能
タイマモード (インプットキャプチャ機能)	インプットキャプチャ端子の入力エッジを検出して、TRDCNT の値を GR に転送する機能
PWM モード	FTIOB, FTIOC, FTIOD 出力端子により、それぞれ PWM 波形を出力するモード
リセット同期 PWM モード	チャンネルを組み合わせることで、一方の波形の変化点が共通の関係となる PWM 波形(正相と逆相)を 3 相出力するモード
相補 PWM モード	チャンネルを組み合わせることで、正相と逆相がノンオーバーラップの関係に PWM 波形を 3 相出力するモード
PWM3 モード	正相と逆相がノンオーバーラップの関係にある PWM 波形を 1 相出力するモード

表 1.2 RL78/G14 のタイマ RD の機能

機能	説明
タイマモード (アウトプットコンペア機能)	カウンタとレジスタの値の一致を検出する機能 (検出時に端子出力変更可能)
タイマモード (インプットキャプチャ機能)	外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
タイマモード (PWM 機能)	任意の幅のパルスを連続して出力する機能
リセット同期 PWM モード	鋸波変調を行い、短絡防止時間なしの三相波形(6 本)を出力するモード
相補 PWM モード	三角波変調を行い、短絡防止時間ありの三相波形(6 本)を出力するモード
PWM3 モード	同一周期の PWM 波形(2 本)を出力するモード

表 1.3 に H8/36109 のタイマ RD の機能に対応する RL78/G14 のタイマ RD の機能を示します。

表 1.3 機能対応表

H8/36109 タイマ RD	RL78/G14 タイマ RD
タイマモード (アウトプットコンペア機能)	タイマモード (アウトプットコンペア機能)
タイマモード (インプットキャプチャ機能)	タイマモード (インプットキャプチャ機能)
PWM モード	タイマモード (PWM 機能)
リセット同期 PWM モード	リセット同期 PWM モード
相補 PWM モード	相補 PWM モード
PWM3 モード	PWM3 モード

2. 機能概要の相違点

表 2.1 に H8/36109 のタイマ RD と RL78/G14 のタイマ RD について機能概要の相違点を示します。

表 2.1 機能概要の相違点

項目	H8/36109	RL78/G14
カウントクロック	ϕ , $\phi/2$, $\phi/4$, $\phi/8$, $\phi/32$, $\phi/40M$ (注1), 外部クロック(注2)	f_{HOCO} (注3), f_{CLK} , $f_{CLK/2}$, $f_{CLK/4}$, $f_{CLK/8}$, $f_{CLK/32}$, TRDCLK 入力(注2)
最大動作周波数	40MHz(注4)	64MHz(注5)
動作モード	タイマモード(アウトプットコンペア機能) タイマモード(インプットキャプチャ機能) PWM モード リセット同期 PWM モード 相補 PWM モード PWM3 モード	タイマモード(アウトプットコンペア機能) タイマモード(インプットキャプチャ機能) タイマモード(PWM 機能) リセット同期 PWM モード 相補 PWM モード PWM3 モード
バッファ動作	可能	可能
タイマ出力禁止機能	あり	あり
タイマ出力禁止機能を発生させる方法	TRDOER2 レジスタの PTO ビットに"1"を設定後、TRDOI 端子に Low レベルを入力する。	- TRDOER2 レジスタの TRDPTO ビットに"1"を設定後、INTP0 端子に Low レベルを入力する。 - TRDOER2 レジスタの TRDSHUTS ビットに"1"を設定する。 - イベント・リンク・コントローラ(ELC)による割り込み要求
タイマ出力禁止機能を使用可能な動作モード	- アウトプットコンペア機能 - PWM モード - リセット同期 PWM モード - 相補 PWM モード - PWM3 モード	- PWM 機能 - リセット同期 PWM モード - 相補 PWM モード - PWM3 モード
タイマ出力禁止機能使用時、端子状態の設定方法	FTIO _{ji} 端子と兼用する入出力ポートで設定する。	TRDDFi レジスタで設定する。
A/D 変換開始トリガ出力信号	あり(相補 PWM モードのみ)	なし (ELC で代用)
タイマ RD の兼用端子	PD0 ~ PD7, PE0 ~ PE7	P10 ~ P17
割り込み要因	コンペアマッチ/インプットキャプチャ オーバフロー, アンダフロー	コンペアマッチ/インプットキャプチャ オーバフロー, アンダフロー
入出力端子数	8 端子	8 端子

注 1. オンチップオシレータ 40MHz/32MHz クロック

注 2. TRDFCR レジスタの STCLK ビットが 1 (外部クロック入力有効)のとき、有効です。

注 3. ユーザ・オプション・バイト(000C2H) の FRQSEL4=0 のときは f_{CLK} ,
FRQSEL4=1 のときは f_{HOCO} が選択されます。

注 4. オンチップオシレータの最大動作周波数

注 5. 高速オンチップ・オシレータ・クロックの最大動作周波数

備考 1. H8/36109 の場合、タイマ RD_0, タイマ RD_1 の区別を省略します。
 $j = A, B, C, D$ $i = 0, 1$

備考 2. RL78/G14 の場合、
 $j = A, B, C, D$ $i = 0, 1$

2.1 コンペアマッチによる波形出力機能の相違点

H8/36109 のタイマ RD のコンペアマッチによる波形出力機能に対応する RL78/G14 の機能は、タイマ RD のタイマモード(アウトプットコンペア機能)です。表 2.2 と表 2.3 にコンペアマッチによる波形出力機能の相違点を示します。

表 2.2 コンペアマッチによる波形出力機能の相違点(1/2)

項目	H8/36109 タイマ RD	RL78/G14 タイマ RD
タイマ RD への クロック供給許可	MSTCR4 レジスタの MSTTRDi ビットに"0"(初期値)を設定する。	PER1 レジスタの TRD0EN ビットに"1"を設定する。
カウントクロック	ϕ , $\phi/2$, $\phi/4$, $\phi/8$, $\phi/32$, $\phi 40M$ (注1), 外部クロック(注2)	f_{HOCO} (注3), f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$, TRDCLK 入力(注2)
カウント動作	アップカウンタ	アップカウント
カウントクリア	TRDCR _j レジスタ - CCLR2 ~ CCLR0 ビット:000B, 100B の場合、TRDCNT クリア禁止。 - CCLR2 ~ CCLR0 ビット:011B, 111B の場合、同期動作をしている他のチャンネルのカウントクリアに同期して TRDCNT をクリア。 - CCLR2 ~ CCLR0 ビット: 000B, 011B, 100B, 111B 以外の場合、GR _j レジスタのコンペア一致で TRDCNT をクリア。	TRDCR _i レジスタ - CCLR2 ~ CCLR0 ビット: 000B の場合、TRDi クリア禁止。 - CCLR2 ~ CCLR0 ビット: 011B の場合、他のタイマ RDi のカウンタと同時に TRDi をクリア。 - CCLR2 ~ CCLR0 ビット: 001B, 010B, 101B, 110B の場合、TRDGR _{ji} のコンペア一致で TRDi をクリア。
波形出力タイミング	コンペアマッチ	コンペア一致
カウント開始条件	TRDSTR レジスタの STR _i ビットに"1"を書き込む。	TRDSTR レジスタの TSTART _i ビットへの"1"を書き込む。
カウント停止条件	- TRDSTR レジスタの CSTP _{Ni} ビットが"1"の場合、STR _i ビットに"0"を書き込み。 - TRDSTR レジスタの CSTP _{Ni} ビットが"0"の場合、GRA _j コンペア一致でカウント停止。	- TRDSTR レジスタの CSEL _i ビットが"1"の場合、TSTART _i ビットに"0"を書き込み。このとき、アウトプットコンペア出力端子はカウント停止前の出力レベルを保持する。 - TRDSTR レジスタの CSEL _i ビットが"0"の場合、TRDGRA _i コンペア一致でカウント停止。このとき、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持する。
割り込み要求発生 タイミング	- コンペアマッチ - TRDCNT _j のオーバフロー	- コンペア一致 - TRDi のオーバフロー

注 1. オンチップオシレータ 40MHz/32MHz クロック

注 2. TRDFCR レジスタの STCLK ビットが 1 (外部クロック入力有効)のとき、有効です。

注 3. ユーザ・オプション・バイト(000C2H) の FRQSEL4=0 のときは f_{CLK} ,
FRQSEL4=1 のときは f_{HOCO} が選択されます。

備考 1. H8/36109 の場合、タイマ RD₀, タイマ RD₁ の区別を省略します。
j = A, B, C, D i = 0, 1

備考 2. RL78/G14 の場合、
j = A, B, C, D i = 0, 1

表 2.3 コンペアマッチによる波形出力機能の相違点(2/2)

項目	H8/36109 タイマ RD	RL78/G14 タイマ RD
カウンタの読み出し	TRDCNT _i を読み出す。	TRDiを読み出す。
カウンタの書き込み	<ul style="list-style-type: none"> - TRDMDR レジスタの SYNC ビットが 0 の場合(タイマ RD0 とタイマ RD1 は独立動作): TRDCNT_i への書き込み可。 - TRDMDR レジスタの SYNC ビットが 1 の場合(タイマ RD0 とタイマ RD1 が同期動作): TRDCNT_i に書き込むと、TRDCNT₀ レジスタと TRDCNT₁ の両方に書き込まれる。 	<ul style="list-style-type: none"> - TRDMR レジスタの TRDSYNC ビットが 0 の場合(タイマ RD0 とタイマ RD1 は独立動作): TRDi への書き込み可。 - TRDMR レジスタの TRDSYNC ビットが 1 の場合(タイマ RD0 とタイマ RD1 が同期動作): TRDi に書き込むと、TRD0 と TRD1 の両方に書き込まれる。
タイマ出力禁止機能	あり	なし
選択機能	<ul style="list-style-type: none"> - コンペアマッチ時の出力レベル選択 - 初期出力レベル選択 - TRDCNT_i を H'0000 にするタイミング - バッファ動作 - 同期動作 - 出力端子可変機能 	<ul style="list-style-type: none"> - コンペアー一致時の出力レベル選択 - 初期出力レベル選択 - TRDi を 0000H にするタイミング - バッファ動作 - 同期動作 - 出力端子変更 - タイマ RD は出力しないことで内部タイマとして使用できる(インターバルタイマ) - ELC による連動動作(A/D トリガ発生等)
出力端子	FTIO _{ji} 端子	TRDIO _{ji} 端子

備考 1. H8/36109 の場合、タイマ RD₀、タイマ RD₁ の区別を省略します。

j = A, B, C, D i = 0, 1

備考 2. RL78/G14 の場合、

j = A, B, C, D i = 0, 1

2.2 インพุットキャプチャ機能の相違点

H8/36109 のタイマ RD のインพุットキャプチャ機能に対応する RL78/G14 の機能は、タイマ RD のタイマモード(インพุットキャプチャ機能)です。表 2.4 にインพุットキャプチャ機能の相違点を示します。

表 2.4 インพุットキャプチャ機能の相違点

項目	H8/36109 タイマ RD	RL78/G14 タイマ RD
タイマ RD への クロック供給許可	MSTCR4 レジスタの MSTTRDi ビットに"0"(初期値)を設定する。	PER1 レジスタの TRD0EN ビットに"1"を設定する。
カウンタクロック	ϕ , $\phi/2$, $\phi/4$, $\phi/8$, $\phi/32$, $\phi 40M^{(注1)}$, 外部クロック ^(注2)	$f_{HOCO}^{(注3)}$, f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$, TRDCLK 入力 ^(注2)
カウント動作	アップカウンタ	アップカウント
カウントクリア	TRDCR _i レジスタ - CCLR2 ~ CCLR0 ビット:000B, 100B の場合、TRDCNT クリア禁止。 - CCLR2 ~ CCLR0 ビット:011B, 111B の場合、同期動作をしている他のチャンネルのカウントクリアに同期して TRDCNT をクリア。 - CCLR2 ~ CCLR0 ビット: 000B, 011B, 100B, 111B 以外の場合、GR _j レジスタのコンペア一致で TRDCNT をクリア。	TRDCR _i レジスタ - CCLR2 ~ CCLR0 ビット: 000B の場合、TRDi クリア禁止。 - CCLR2 ~ CCLR0 ビット: 011B の場合、他のタイマ RD _i のカウンタと同時に TRDi をクリア。 - CCLR2 ~ CCLR0 ビット: 001B, 010B, 101B, 110B の場合、TRDGR _{ji} のコンペア一致で TRDi をクリア。
カウント開始条件	TRDSTR レジスタの STR _i ビットに"1"を書き込む。	TRDSTR レジスタの TSTART _i ビットに"1"を書き込む。
カウント停止条件	TRDSTR レジスタの STR _i ビットに"0"を書き込む。	TRDSTR レジスタの TSTART _i ビットに"0"を書き込む。
割り込み要求発生 タイミング	- インพุットキャプチャ (FTIO _{ji} 端子の有効エッジ) - TRDCNT _i のオーバフロー	- インพุットキャプチャ (TRDIO _{ji} 端子の有効エッジ) - TRDi のオーバフロー
カウンタの読み出し	TRDCNT _i を読み出す。	TRDi を読み出す。
カウンタの書き込み	- TRDMDR レジスタの SYNC ビットが"0"の場合(タイマ RD0 とタイマ RD1 は独立動作): TRDCNT _i への書き込み可。 - TRDMDR レジスタの SYNC ビットが"1"の場合(タイマ RD0 とタイマ RD1 が同期動作): TRDCNT _i に書き込むと、TRDCNT ₀ と TRDCNT ₁ の両方に書き込まれる。	- TRDMDR レジスタの TRDSYNC ビットが"0"の場合(タイマ RD0 とタイマ RD1 は独立動作): TRDi への書き込み可。 - TRDMDR レジスタの TRDSYNC ビットが"1"の場合(タイマ RD0 とタイマ RD1 が同期動作): TRDi に書き込むと、TRD0 と TRD1 の両方に書き込まれる。
選択機能	- インพุットキャプチャ入力端子選択 - インพุットキャプチャ入力の有効エッジ選択 - TRDCNT _i を H'0000 にするタイミング - バッファ動作 - 同期動作 - デジタルフィルタ回路	- インพุットキャプチャ入力端子選択 - インพุットキャプチャ入力の有効エッジ選択 - TRDi を 0000H にするタイミング - バッファ動作 - 同期動作 - デジタルフィルタ - ELC からのイベント入力によるインพุットキャプチャ動作
入力端子	FTIO _{ji} 端子	TRDIO _{ji} 端子

(注、備考は次ページにあります。)

注 1. オンチップオシレータ 40MHz/32MHz クロック

注 2. TRDFCR レジスタの STCLK ビットが 1 (外部クロック入力有効)のとき, 有効です。

注 3. ユーザ・オプション・バイト(000C2H) の FRQSEL4=0 のときは f_{CLK} ,
FRQSEL4=1 のときは f_{HOCO} が選択されます。

備考 1. H8/36109 の場合, タイマ RD_0, タイマ RD_1 の区別を省略します。
j = A, B, C, D i = 0, 1

備考 2. RL78/G14 の場合,
j = A, B, C, D i = 0, 1

2.3 PWM モードの相違点

H8/36109 のタイマ RD の PWM モードに対応する RL78/G14 の機能は、タイマ RD の PWM 機能です。表 2.5 と表 2.6 に PWM 機能の相違点を示します。

表 2.5 PWM 機能の相違点(1/2)

項目	H8/36109 タイマ RD	RL78/G14 タイマ RD
タイマ RD への クロック供給許可	MSTCR4 レジスタの MSTTRDi ビットに"0"(初期値)を設定する。	PER1 レジスタの TRD0EN ビットに"1"を設定する。
カウントクロック	φ , $\varphi/2$, $\varphi/4$, $\varphi/8$, $\varphi/32$, $\varphi/40M$ (注1), 外部クロック(注2)	f_{HOCO} (注3), f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$, TRDCLK 入力(注2)
カウント動作	アップカウンタ	アップカウント
PWM 波形	PWM 周期: $1/\varphi \times (m + 1)$ デューティ比: $1/\varphi \times (m - n)$ φ : カウントクロックの周波数 m : GRA _j レジスタ設定値 n : GRi _j レジスタ設定値	PWM 周期: $1/fk \times (m + 1)$ アクティブレベル幅: $1/fk \times (m - n)$ アクティブでないレベルの幅: $1/fk \times (n + 1)$ fk : カウントクロックの周波数 m : TRDGRAi レジスタ設定値 n : TRDGRji レジスタ設定値
カウント開始条件	TRDSTR レジスタの STRi ビットに"1"を書き込む。	TRDSTR レジスタの TSTARTi ビットへの"1"を書き込む。
カウント停止条件	- TRDSTR レジスタの CSTPNi ビットが"1"に設定されているとき, STRi ビットに"0"を書き込み。 - TRDSTR レジスタの CSTPNi ビットが"0"に設定されているとき, GRA _j コンペア一致でカウント停止。	- TRDSTR レジスタの CSELi ビットが"1"に設定されているとき, TSTARTi ビットに"0"を書き込み。このとき, PWM 出力端子はカウント停止前の出力レベルを保持する。 - TRDSTR レジスタの CSELi ビットが"0"に設定されているとき, TRDGRAi コンペア一致でカウント停止。このとき, PWM 出力端子はコンペア一致による出力変化後のレベルを保持する。
割り込み要求発生 タイミング	- コンペアマッチ - TRDCNT _j のオーバフロー	- コンペア一致 - TRDi のオーバフロー

注 1. オンチップオシレータ 40MHz/32MHz クロック

注 2. TRDFCR レジスタの STCLK ビットが 1 (外部クロック入力有効)のとき, 有効です。

注 3. ユーザ・オプション・バイト(000C2H) の FRQSEL4=0 のときは f_{CLK} ,
FRQSEL4=1 のときは f_{HOCO} が選択されます。

備考 1. H8/36109 の場合, タイマ RD₀, タイマ RD₁ の区別を省略します。
 $j = B, C, D$ $i = 0, 1$

備考 2. RL78/G14 の場合,
 $j = B, C, D$ $i = 0, 1$

表 2.6 PWM 機能の相違点(2/2)

項目	H8/36109 タイマ RD	RL78/G14 タイマ RD
カウンタの読み出し	TRDCNT _i を読み出す。	TRDiを読み出す。
カウンタの書き込み	<ul style="list-style-type: none"> - TRDMDR レジスタの SYNC ビットが"0"の場合(タイマ RD0 とタイマ RD1 は独立動作): TRDCNT_i への書き込み可。 - TRDMDR レジスタの SYNC ビットが"1"の場合(タイマ RD0 とタイマ RD1 が同期動作): TRDCNT_i に書き込むと, TRDCNT₀ と TRDCNT₁ の両方に書き込まれる。 	<ul style="list-style-type: none"> - TRDMDR レジスタの TRDSYNC ビットが"0"の場合(タイマ RD0 とタイマ RD1 は独立動作): TRDi への書き込み可。 - TRDMDR レジスタの TRDSYNC ビットが"1"の場合(タイマ RD0 とタイマ RD1 が同期動作): TRDi に書き込むと, TRD0 と TRD1 の両方に書き込まれる。
タイマ出力禁止機能	あり	あり
選択機能	<ul style="list-style-type: none"> - PWM 出力端子を 1~3 本選択 - アクティブレベルを 1 端子ごとに選択 - 初期出力レベルを 1 端子ごとに選択 - バッファ動作 - 同期動作 - A/D トリガ発生 	<ul style="list-style-type: none"> - PWM 出力端子を 1~3 本選択 - アクティブレベルを 1 端子ごとに選択 - 初期出力レベルを 1 端子ごとに選択 - バッファ動作 - 同期動作 - ELC による連動動作(A/D トリガ発生等)
出力端子	FTIOBi 端子 - FTIODi 端子	TRDIOBi 端子 - TRDIODi 端子

備考 1. H8/36109 の場合, タイマ RD₀, タイマ RD₁ の区別を省略します。

j = B, C, D i = 0, 1

備考 2. RL78/G14 の場合,

j = B, C, D i = 0, 1

2.4 リセット同期 PWM モードの相違点

H8/36109 のタイマ RD のリセット同期 PWM モードに対応する RL78/G14 の機能は、タイマ RD のリセット同期 PWM モードです。表 2.7 と表 2.8 にリセット同期 PWM モードの相違点を示します。

表 2.7 リセット同期 PWM モードの相違点(1/2)

項目	H8/36109 タイマ RD	RL78/G14 タイマ RD
タイマ RD への クロック供給許可	MSTCR4 レジスタの MSTTRDi ビットに"0"(初期値)を設定する。	PER1 レジスタの TRD0EN ビットに"1"を設定する。
カウントクロック	φ , $\varphi/2$, $\varphi/4$, $\varphi/8$, $\varphi/32$, $\varphi/40M$ (注1), 外部クロック(注2)	f_{HOCO} (注3), f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$, TRDCLK 入力(注2)
カウント動作	アップカウンタ	アップカウント
PWM 波形	PWM 周期: $1/\varphi \times (m + 1)$ 正相のアクティブレベル幅: $1/\varphi \times (m - n)$ 逆相のアクティブレベル幅: $1/\varphi \times (n + 1)$ φ : カウントクロックの周波数 m : TRDGRA0_0 レジスタ設定値 n : GRB_0 レジスタ設定値(PWM 出力 1) GRA_1 レジスタ設定値(PWM 出力 2) GRB_1 レジスタ設定値(PWM 出力 3)	PWM 周期: $1/fk \times (m + 1)$ 正相のアクティブレベル幅: $1/fk \times (m - n)$ 逆相のアクティブレベル幅: $1/fk \times (n + 1)$ fk : カウントクロックの周波数 m : TRDGRA0 レジスタ設定値 n : TRDGRB0 レジスタ設定値(PWM 出力 1) TRDGRA1 レジスタ設定値(PWM 出力 2) TRDGRB1 レジスタ設定値(PWM 出力 3)
カウント開始条件	TRDSTR レジスタの STR0 ビットに"1"を書き込む。	TRDSTR レジスタの TSTART0 ビットへの"1"を書き込む。
カウント停止条件	- TRDSTR レジスタの CSTPN0 ビットが"1"に設定されているとき、STR0 ビットに"0"を書き込み。 - TRDSTR レジスタの CSTPN0 ビットが"0"に設定されているとき、GRA_0 コンペアー一致でカウント停止。	- TRDSTR レジスタの CSEL0 ビットが"1"に設定されているとき、TSTART0 ビットに"0"を書き込み。このとき、PWM 出力端子は TRDFCR レジスタの OLS0, OLS1 ビットで選択した初期出力レベルを出力する。 - TRDSTR レジスタの CSEL0 ビットが"0"に設定されているとき、TRDGRA0 コンペアー一致でカウント停止。このとき、PWM 出力端子は TRDFCR レジスタの OLS0, OLS1 ビットで選択した初期出力レベルを出力する。
割り込み要求発生 タイミング	- コンペアマッチ - TRDCNT_0 のオーバフロー	- コンペアー一致 - TRD0 のオーバフロー
カウンタの読み出し	TRDCNT_0 を読み出す	TRD0 を読み出す
カウンタの書き込み	TRDCNT_0 に書き込む	TRD0 に書き込む
タイマ出力禁止機能	あり	あり

注 1. オンチップオシレータ 40MHz/32MHz クロック

注 2. TRDFCR レジスタの STCLK ビットが 1 (外部クロック入力有効)のとき、有効です。

注 3. ユーザ・オプション・バイト(000C2H) の FRQSEL4=0 のときは f_{CLK} ,
FRQSEL4=1 のときは f_{HOCO} が選択されます。

備考. H8/36109 の場合、タイマ RD_0, タイマ RD_1 の区別を省略します。

表 2.8 リセット同期 PWM モードの相違点(2/2)

項目	H8/36109 タイマ RD	RL78/G14 タイマ RD
PWM 周期に同期したトグル出力端子	FTIOC0 端子	TRDIOC0 端子
PWM 出力 1 の正相波形	FTIOB0 端子	TRDIOB0 端子
PWM 出力 1 の逆相波形	FTIOD0 端子	TRDIOD0 端子
PWM 出力 2 の正相波形	FTIOA1 端子	TRDIOA1 端子
PWM 出力 2 の逆相波形	FTIOC1 端子	TRDIOC1 端子
PWM 出力 3 の正相波形	FTIOB1 端子	TRDIOB1 端子
PWM 出力 3 の逆相波形	FTIOD1 端子	TRDIOD1 端子
選択機能	<ul style="list-style-type: none"> - 正相, 逆相のアクティブレベルと初期出力レベルを個々に選択 - バッファ動作 - A/D トリガ発生 	<ul style="list-style-type: none"> - 正相, 逆相のアクティブレベルと初期出力レベルを個々に選択 - バッファ動作 - ELC による連動動作(A/D トリガ発生等)

備考. H8/36109 の場合, タイマ RD_0, タイマ RD_1 の区別を省略します。

2.5 相補 PWM モードの相違点

H8/36109 のタイマ RD の相補 PWM モードに対応する RL78/G14 の機能は、タイマ RD の相補 PWM モードです。表 2.9 と表 2.10 に相補 PWM モードの相違点を示します。

表 2.9 相補 PWM モードの相違点(1/2)

項目	H8/36109 タイマ RD	RL78/G14 タイマ RD
タイマ RD への クロック供給許可	MSTCR4 レジスタの MSTTRDi ビットに"0"(初期値)を設定する。	PER1 レジスタの TRD0EN ビットに"1"を設定する。
カウントクロック	φ , $\varphi/2$, $\varphi/4$, $\varphi/8$, $\varphi/32$, $\varphi 40M$ (^{注1}), 外部クロック(^{注2})	f_{HOCO} (^{注3}), f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$, TRDCLK 入力(^{注2})
カウント動作	アップ/ダウンカウンタ。 TRDCNT_0 が GRA_0 とコンペアマッチするとダウンカウントし、TRDCNT_1 がアンダフローするとアップカウントします。	アップカウントまたはダウンカウント。 アップカウント中に TRD0 と TRDGRA0 レジスタがコンペア一致すると、TRD0, TRD1 ともダウンカウントになる。 ダウンカウント中に TRD1 が 0000H から FFFFH になると TRD0, TRD1 ともアップカウントになる。
PWM 波形	PWM 周期: $1/\varphi \times (m + 2 - p) \times 2$ 短絡防止時間: p 正相のアクティブレベル幅: $1/\varphi \times (m - n - p + 1) \times 2$ 逆相のアクティブレベル幅: $1/\varphi \times (n + 1 - p) \times 2$ φ : カウントソースの周波数 m: GRA_0 レジスタ設定値 n: GRB_0 レジスタ設定値(PWM 出力 1) GRA_1 レジスタ設定値(PWM 出力 2) GRB_1 レジスタ設定値(PWM 出力 3) p: TRDCNT_0 設定値	PWM 周期: $1/fk \times (m + 2 - p) \times 2$ (^{注4}) 短絡防止時間: p 正相のアクティブレベル幅: $1/fk \times (m - n - p + 1) \times 2$ 逆相のアクティブレベル幅: $1/fk \times (n + 1 - p) \times 2$ fk: カウントソースの周波数 m: TRDGRA0 レジスタ設定値 n: TRDGRB0 レジスタ設定値(PWM 出力 1) TRDGRA1 レジスタ設定値(PWM 出力 2) TRDGRB1 レジスタ設定値(PWM 出力 3) p: TRD0 設定値
カウント開始条件	TRDSTR レジスタの STR0 ビットに"1"を書き込む。	TRDSTR レジスタの TSTART0 ビットへの"1"を書き込む。
カウント停止条件	TRDFCR 内の CMD1 ビットを 0 にクリアし、チャンネル 0, 1 を通常動作に設定してください。 チャンネル 0, 1 を通常動作に設定してから、TRDSTR の STR0, STR1 ビットを"0"にクリアし、TRDCNT_0, TRDCNT_1 を停止してください。	TRDSTR レジスタの CSEL0 ビットが"1"の場合、TSTART0 ビットと TSTART1 ビットへの 0 (カウント停止)書き込み。 このとき、PWM 出力端子は TRDFCR レジスタの OLS0, OLS1 ビットで選択した初期出力レベルを出力。

注 1. オンチップオシレータ 40MHz/32MHz クロック

注 2. TRDFCR レジスタの STCLK ビットが 1 (外部クロック入力有効)のとき、有効です。

注 3. ユーザ・オプション・バイト(000C2H) の FRQSEL4=0 のときは f_{CLK} ,
FRQSEL4=1 のときは f_{HOCO} が選択されます。

備考 1. H8/36109 の場合、タイマ RD_0, タイマ RD_1 の区別を省略します。
j = B, C, D i = 0, 1

備考 2. RL78/G14 の場合、
j = B, C, D i = 0, 1

表 2.10 相補 PWM モードの相違点(2/2)

項目	H8/36109 タイマ RD	RL78/G14 タイマ RD
割り込み要求発生 タイミング	- TRDCNT_0 と GRA_0 のコンペアマッチ - TRDCNT_1 のアンダフロー - コンペアマッチ (GRB_0, GRA_1, GRB_1)	- コンペアー一致(TRDi と TRDGRji レジスタの内容が一致) - TRD1 アンダフロー
カウンタの読み出し	TRDCNT_0, TRDCNT_1 を読み出す。	TRDi を読み出す。
カウンタの書き込み	TRDCNT_0, TRDCNT_1 に書き込む。	TRDi に書き込む。
タイマ出力禁止機能	あり	あり
PWM の 1/2 周期ごとに出力反転	FTIOC0 端子	TRDIOC0 端子
PWM 出力の正相出力	FTIOB0 端子	TRDIOB0 端子
PWM 出力 1 の逆相出力	FTIOD0 端子	TRDIOD0 端子
PWM 出力 2 の正相出力	FTIOA1 端子	TRDIOA1 端子
PWM 出力 2 の逆相波形	FTIOC1 端子	TRDIOC1 端子
PWM 出力 3 の正相出力	FTIOB1 端子	TRDIOB1 端子
PWM 出力 3 の逆相波形	FTIOD1 端子	TRDIOD1 端子
選択機能	- 正相, 逆相のアクティブレベルと初期出力レベルを個々に選択 - バッファ動作 - A/D トリガ発生	- 正相, 逆相のアクティブレベルと初期出力レベルを個々に選択 - バッファ動作 - ELC による連動動作(A/D トリガ発生等)

備考 1. H8/36109 の場合, タイマ RD_0, タイマ RD_1 の区別を省略します。

j = B, C, D i = 0, 1

備考 2. RL78/G14 の場合,

j = B, C, D i = 0, 1

2.6 PWM3 モードの相違点

H8/36109 のタイマ RD の PWM3 モードに対応する RL78/G14 の機能は、タイマ RD の PWM3 モードです。表 2.11 と表 2.12 に PWM3 モードの相違点を示します。

表 2.11 PWM3 モードの相違点(1/2)

項目	H8/36109 タイマ RD	RL78/G14 タイマ RD
タイマ RD への クロック供給許可	MSTCR4 レジスタの MSTTRDi ビットに"0"(初期値)を設定する。	PER1 レジスタの TRD0EN ビットに"1"を設定する。
カウントクロック	φ , $\varphi/2$, $\varphi/4$, $\varphi/8$, $\varphi/32$, $\varphi/40M$ (注1), 外部クロック(注2)	f_{HOCO} (注3), f_{CLK} , $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/32$, TRDCLK 入力(注2)
カウント動作	TRDCNT0 はアップカウンタ (TRDCNT1 は使用しない)	TRD0 はアップカウンタ (TRD1 は使用しない)
PWM 波形	PWM 周期: $1/\varphi \times (m + 1)$ FTIOA0 出力のアクティブレベル幅: $1/\varphi \times (m - n)$ FTIOB0 出力のアクティブレベル幅: $1/\varphi \times (p - q)$ φ : カウントソースの周波数 m: GRA_0 レジスタ設定値 n: GRA_1 レジスタ設定値 p: GRB_0 レジスタ設定値 q: GRB_1 レジスタ設定値	PWM 周期: $1/fk \times (m + 1)$ TRDIOA0 出力のアクティブレベル幅: $1/fk \times (m - n)$ TRDIOB0 出力のアクティブレベル幅: $1/fk \times (p - q)$ fk: カウントソースの周波数 m: TRDGRA0 レジスタ設定値 n: TRDGRA1 レジスタ設定値 p: TRDGRB0 レジスタ設定値 q: TRDGRB1 レジスタ設定値
カウント開始条件	TRDSTR レジスタの STR0 ビットに"1"を書き込む。	TRDSTR レジスタの TSTART0 ビットへの"1"を書き込む。
カウント停止条件	- TRDSTR レジスタの CSTPni ビットが"1"に設定されているとき, STRi ビットに"0"を書き込み。 - TRDSTR レジスタの CSTPni ビットが"0"に設定されているとき, GRA_i コンペア一致でカウント停止。	- TRDSTR レジスタの CSEL0 ビットが"1"に設定されているとき, TSTART0 ビットへの 0 (カウント停止)書き込み。このとき, PWM 出力端子はカウント停止前の出力レベルを保持。 - TRDSTR レジスタの CSEL0 ビットが"0"の場合, TRDGRA0 コンペア一致。このとき, PWM 出力端子はコンペア一致による出力変化後のレベルを保持。
割り込み要求発生 タイミング	- コンペアマッチ(TRDCNT_0 と GRj_i レジスタの内容が一致) - TRDCNT_0 のオーバフロー	- コンペア一致(TRD0 と TRDGRji レジスタの内容が一致) - TRD0 オーバフロー

注 1. オンチップオシレータ 40MHz/32MHz クロック

注 2. TRDFCR レジスタの STCLK ビットが 1 (外部クロック入力有効)のとき, 有効です。

注 3. ユーザ・オプション・バイト(000C2H) の FRQSEL4=0 のときは f_{CLK} ,
FRQSEL4=1 のときは f_{HOCO} が選択されます。

備考 1. H8/36109 の場合, タイマ RD_0, タイマ RD_1 の区別を省略します。
j = B, C, D i = 0, 1

備考 2. RL78/G14 の場合,
j = B, C, D i = 0, 1

表 2.12 PWM3 モードの相違点(2/2)

項目	H8/36109 タイマ RD	RL78/G14 タイマ RD
カウンタの読み出し	TRDCNT_0 を読み出す。	TRD0 を読み出す。
カウンタの書き込み	TRDCNT_0 に書き込む。	TRD0 に書き込む。
タイマ出力禁止機能	あり	あり
PWM 出力の正相出力	FTIOA0 端子	TRDIOA0 端子
PWM 出力の逆相出力	FTIOB0 端子	TRDIOB0 端子
選択機能	- アクティブレベルを端子ごとに選択 - バッファ動作 - A/D トリガ発生	- アクティブレベルを端子ごとに選択 - バッファ動作 - ELC による連動動作(A/D トリガ発生等)

備考. H8/36109 の場合, タイマ RD_0, タイマ RD_1 の区別を省略します。

3. レジスタの対比

表 3.1 から表 3.5 に H8/36109 のタイマ RD と RL78/G14 のタイマ RD のレジスタの対比表を示します。

表 3.1 レジスタの対比(1/5)

項目	H8/36109	RL78/G14
タイマ RD へのクロック供給制御	MSTCR4 レジスタ MSTTRD0 ビット, MSTTRD1 ビット	PER1 レジスタ TRD0EN ビット
タイマ RD スタートレジスタ	TRDSTR レジスタ	TRDSTR レジスタ
チャンネル 1 カウンタストップ	TRDSTR レジスタ CSTPN1 ビット	TRDSTR レジスタ CSEL1 ビット
チャンネル 0 カウンタストップ	TRDSTR レジスタ CSTPN0 ビット	TRDSTR レジスタ CSEL0 ビット
チャンネル 1 カウンタスタート	TRDSTR レジスタ STR1 ビット	TRDSTR レジスタ TSTART1 ビット
チャンネル 0 カウンタスタート	TRDSTR レジスタ STR0 ビット	TRDSTR レジスタ TSTART0 ビット
タイマ RD モードレジスタ	TRDMDR レジスタ	TRDMR レジスタ
バッファ動作 D1	TRDMDR レジスタ BFD1 ビット	TRDMR レジスタ TRDBFD1 ビット
バッファ動作 C1	TRDMDR レジスタ BFC1 ビット	TRDMR レジスタ TRDBFC1 ビット
バッファ動作 D0	TRDMDR レジスタ BFD0 ビット	TRDMR レジスタ TRDBFD0 ビット
バッファ動作 C0	TRDMDR レジスタ BFC0 ビット	TRDMR レジスタ TRDBFC0 ビット
タイマ同期	TRDMDR レジスタ SYNC ビット	TRDMR レジスタ TRDSYNC ビット
タイマ RD PWM モードレジスタ	TRDPMR レジスタ	TRDPMR レジスタ
PWM モード D1	TRDPMR レジスタ PWMD1 ビット	TRDPMR レジスタ TRDPWMD1 ビット
PWM モード C1	TRDPMR レジスタ PWMC1 ビット	TRDPMR レジスタ TRDPWMC1 ビット
PWM モード B1	TRDPMR レジスタ PWMB1 ビット	TRDPMR レジスタ TRDPWMB1 ビット
PWM モード D0	TRDPMR レジスタ PWMD0 ビット	TRDPMR レジスタ TRDPWMD0 ビット
PWM モード C0	TRDPMR レジスタ PWMC0 ビット	TRDPMR レジスタ TRDPWMC0 ビット
PWM モード B0	TRDPMR レジスタ PWMB0 ビット	TRDPMR レジスタ TRDPWMB0 ビット

備考. H8/36109 の場合, タイマ RD_0, タイマ RD_1 の区別を省略します。

表 3.2 レジスタの対比(2/5)

項目	H8/36109	RL78/G14
タイマ RD ファンクション コントロールレジスタ	TRDFCR レジスタ	TRDFCR レジスタ
PWM3 モードセレクト	TRDFCR レジスタ PWM3 ビット	TRDFCR レジスタ PWM3 ビット
外部クロック入力セレクト	TRDFCR レジスタ STCLK ビット	TRDFCR レジスタ STCLK ビット
A/D トリガエッジセレクト	TRDFCR レジスタ ADEG ビット	なし
外部トリガディスエーブル	TRDFCR レジスタ ADTRG ビット	なし
出力レベルセレクト 1	TRDFCR レジスタ OLS1 ビット	TRDFCR レジスタ OLS1 ビット
出力レベルセレクト 0	TRDFCR レジスタ OLS0 ビット	TRDFCR レジスタ OLS0 ビット
コンビネーションモード 1, 0	TRDFCR レジスタ CMD1 ビット, CMD0 ビット	TRDFCR レジスタ CMD1 ビット, CMD0 ビット
タイマ RD アウトプットマスタ イネーブルレジスタ 1	TRDOER1 レジスタ	TRDOER1 レジスタ
マスタイネーブル D1	TRDOER1 レジスタ ED1 ビット	TRDOER1 レジスタ ED1 ビット
マスタイネーブル C1	TRDOER1 レジスタ EC1 ビット	TRDOER1 レジスタ EC1 ビット
マスタイネーブル B1	TRDOER1 レジスタ EB1 ビット	TRDOER1 レジスタ EB1 ビット
マスタイネーブル A1	TRDOER1 レジスタ EA1 ビット	TRDOER1 レジスタ EA1 ビット
マスタイネーブル D0	TRDOER1 レジスタ ED0 ビット	TRDOER1 レジスタ ED0 ビット
マスタイネーブル C0	TRDOER1 レジスタ EC0 ビット	TRDOER1 レジスタ EC0 ビット
マスタイネーブル B0	TRDOER1 レジスタ EB0 ビット	TRDOER1 レジスタ EB0 ビット
マスタイネーブル A0	TRDOER1 レジスタ EA0 ビット	TRDOER1 レジスタ EA0 ビット
タイマ RD アウトプットマスタ イネーブルレジスタ 2	TRDOER2 レジスタ	
タイマ出力禁止モード	TRDOER2 レジスタ PTO ビット	TRDOER2 レジスタ TRDPTO ビット
強制遮断フラグ	なし	TRDOER2 レジスタ TRDSHUTS ビット

備考: H8/36109 の場合, タイマ RD_0, タイマ RD_1 の区別を省略します。

表 3.3 レジスタの対比(3/5)

項目	H8/36109	RL78/G14
タイマ RD アウトプット コントロールレジスタ	TRDOCR レジスタ	TRDOCR レジスタ
出力レベルセレクト D1	TRDOCR レジスタ TOD1 ビット	TRDOCR レジスタ TOD1 ビット
出力レベルセレクト C1	TRDOCR レジスタ TOC1 ビット	TRDOCR レジスタ TOC1 ビット
出力レベルセレクト B1	TRDOCR レジスタ TOB1 ビット	TRDOCR レジスタ TOB1 ビット
出力レベルセレクト A1	TRDOCR レジスタ TOA1 ビット	TRDOCR レジスタ TOA1 ビット
出力レベルセレクト D0	TRDOCR レジスタ TOD0 ビット	TRDOCR レジスタ TOD0 ビット
出力レベルセレクト C0	TRDOCR レジスタ TOC0 ビット	TRDOCR レジスタ TOC0 ビット
出力レベルセレクト B0	TRDOCR レジスタ TOB0 ビット	TRDOCR レジスタ TOB0 ビット
出力レベルセレクト A0	TRDOCR レジスタ TOA0 ビット	TRDOCR レジスタ TOA0 ビット
タイマ RD カウンタ_0	TRDCNT_0 カウンタ	TRD0 カウンタ
タイマ RD カウンタ_1	TRDCNT_1 カウンタ	TRD1 カウンタ
ジェネラルレジスタ A_0	GRA_0 レジスタ	TRDGRA0 レジスタ
ジェネラルレジスタ B_0	GRB_0 レジスタ	TRDGRB0 レジスタ
ジェネラルレジスタ C_0	GRC_0 レジスタ	TRDGRC0 レジスタ
ジェネラルレジスタ D_0	GRD_0 レジスタ	TRDGRD0 レジスタ
ジェネラルレジスタ A_1	GRA_1 レジスタ	TRDGRA1 レジスタ
ジェネラルレジスタ B_1	GRB_1 レジスタ	TRDGRB1 レジスタ
ジェネラルレジスタ C_1	GRC_1 レジスタ	TRDGRC1 レジスタ
ジェネラルレジスタ D_1	GRD_1 レジスタ	TRDGRD1 レジスタ
タイマ RD コントロールレジスタ	TRDCR レジスタ	TRDCRi レジスタ
カウンタクリア 2~0	TRDCR レジスタ CCLR2 - CCLR0 ビット	TRDCRi レジスタ CCLR2 - CCLR0 ビット
クロックエッジ 1, 0	TRDCR レジスタ CKEG1 ビット, CKEG0 ビット	TRDCRi レジスタ CKEG1 ビット, CKEG0 ビット
タイマプリスケアラ 2~0	TRDCR レジスタ TPSC2 - TPSC0 ビット	TRDCRi レジスタ TCK2 - TCK0 ビット

備考. H8/36109 の場合, タイマ RD_0, タイマ RD_1 の区別を省略します。

表 3.4 レジスタの対比(4/5)

項目	H8/36109	RL78/G14
タイマ RD I/O コントロールレジスタ A	TRDIORA レジスタ	TRDIORAi レジスタ
I/O コントロール B2	TRDIORA レジスタ IOB2 ビット	TRDIORAi レジスタ IOB2 ビット
I/O コントロール B1, B0	TRDIORA レジスタ IOB1, IOB0 ビット	TRDIORAi レジスタ IOB1, IOB0 ビット
I/O コントロール A2	TRDIORA レジスタ IOA2 ビット	TRDIORAi レジスタ IOA2 ビット
I/O コントロール A1, A0	TRDIORA レジスタ IOA1 ビット, IOA0 ビット	TRDIORAi レジスタ IOA1 ビット, IOA0 ビット
タイマ RD I/O コントロールレジスタ C	TRDIORC レジスタ	TRDIORCi レジスタ
I/O コントロール D3	TRDIORC レジスタ IOD3 ビット	TRDIORCi レジスタ IOD3 ビット
I/O コントロール D2	TRDIORC レジスタ IOD2 ビット	TRDIORCi レジスタ IOD2 ビット
I/O コントロール D1, D0	TRDIORC レジスタ IOD1, IOD0 ビット	TRDIORCi レジスタ IOD1, IOD0 ビット
I/O コントロール C3	TRDIORC レジスタ IOC3 ビット	TRDIORCi レジスタ IOC3 ビット
I/O コントロール C2	TRDIORC レジスタ IOC2 ビット	TRDIORCi レジスタ IOC2 ビット
I/O コントロール C1, C0	TRDIORC レジスタ IOC1 ビット, IOC0 ビット	TRDIORCi レジスタ IOC1 ビット, IOC0 ビット
タイマ RD ステータスレジスタ	TRDSR レジスタ	TRDSRi レジスタ
アンダフローフラグ	TRDSR レジスタ UDF ビット	TRDSR1 レジスタ UDF ビット
オーバフローフラグ	TRDSR レジスタ OVF ビット	TRDSRi レジスタ OVF ビット
インプットキャプチャ/コンペア マッチフラグ D	TRDSR レジスタ IMFD ビット	TRDSRi レジスタ IMFD ビット
インプットキャプチャ/コンペア マッチフラグ C	TRDSR レジスタ IMFC ビット	TRDSRi レジスタ IMFC ビット
インプットキャプチャ/コンペア マッチフラグ B	TRDSR レジスタ IMFB ビット	TRDSRi レジスタ IMFB ビット
インプットキャプチャ/コンペア マッチフラグ A	TRDSR レジスタ IMFA ビット	TRDSRi レジスタ IMFA ビット

備考. H8/36109 の場合, タイマ RD_0, タイマ RD_1 の区別を省略します。

表 3.5 レジスタの対比(5/5)

項目	H8/36109	RL78/G14
タイマ RD インタラプトイネーブルレジスタ	TRDIER レジスタ	TRDIERi レジスタ
オーバフローインタラプトイネーブル	TRDIER レジスタ OVIE ビット	TRDIERi レジスタ OVIE ビット
インプットキャプチャ/コンペアマッチインタラプトイネーブル D	TRDIER レジスタ IMIED ビット	TRDIERi レジスタ IMIED ビット
インプットキャプチャ/コンペアマッチインタラプトイネーブル C	TRDIER レジスタ IMIEC ビット	TRDIERi レジスタ IMIEC ビット
インプットキャプチャ/コンペアマッチインタラプトイネーブル B	TRDIER レジスタ IMIEB ビット	TRDIERi レジスタ IMIEB ビット
インプットキャプチャ/コンペアマッチインタラプトイネーブル A	TRDIER レジスタ IMIEA ビット	TRDIERi レジスタ IMIEA ビット
PWM モードアウトプットレベルコントロールレジスタ	POCR レジスタ	TRDPOCRi レジスタ
PWM モードアウトプットレベルコントロール D	POCR レジスタ POLD ビット	TRDPOCRi レジスタ POLD ビット
PWM モードアウトプットレベルコントロール C	POCR レジスタ POLC ビット	TRDPOCRi レジスタ POLC ビット
PWM モードアウトプットレベルコントロール B	POCR レジスタ POLB ビット	TRDPOCRi レジスタ POLB ビット
タイマ RD デジタルフィルタ機能選択レジスタ	TRDDF レジスタ	TRDDFi レジスタ
デジタルフィルタ機能で使用するクロックを選択	TRDDF レジスタ DFCK1 ビット, DFCK0 ビット	TRDDFi レジスタ DFCK1 ビット, DFCK0 ビット
FTIOD 端子のデジタルフィルタ機能を選択	TRDDF レジスタ DFD ビット	TRDDFi レジスタ DFD ビット
FTIOC 端子のデジタルフィルタ機能を選択	TRDDF レジスタ DFC ビット	TRDDFi レジスタ DFC ビット
FTIOB 端子のデジタルフィルタ機能を選択	TRDDF レジスタ DFB ビット	TRDDFi レジスタ DFB ビット
FTIOA 端子のデジタルフィルタ機能を選択	TRDDF レジスタ DFA ビット	TRDDFi レジスタ DFA ビット
タイマ RD ELC レジスタ	なし	TRDELIC レジスタ

備考: H8/36109 の場合, タイマ RD_0, タイマ RD_1 の区別を省略します。

4. タイマ RD のサンプルコード

タイマ RD のサンプルコードを説明したアプリケーションノートを示します。

- RL78/G14 タイマ RD タイマモード
(インプットキャプチャ機能とアウトプットコンペア機能の併用) CC-RL (R01AN2852)
- RL78/G14 タイマモード(PWM 機能) CC-RL (R01AN2851)
- RL78/G14 タイマ RD(リセット同期 PWM モード) CC-RL (R01AN2506)
- RL78/G14 タイマ RD (相補 PWM モード) CC-RL (R01AN2572)
- RL78/G14 タイマ RD(PWM3 モード) CC-RL (R01AN2781)

5. 参考ドキュメント

ユーザズマニュアル

- RL78/G14 ユーザズマニュアル ハードウェア編 (R01UH0186)
- H8/36109 グループ ユーザズマニュアル ハードウェア編 (R01UH0294)
(最新版をルネサスエレクトロニクスホームページから入手してください。)

テクニカルアップデート

(最新の情報をルネサスエレクトロニクスホームページから入手してください。)

学習ガイド

- コード生成プラグイン学習ガイド (R20UT3230)
- RL78/G13 コード生成の活用例(サンプルプログラム) (R20AN0399)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2020/01/23	-	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因またはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/