

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8/300H SLP シリーズ

## 16 ビットモードによる非同期イベントカウンタ動作

### 要旨

16 ビットモードによる非同期イベントカウンタを使用して、一定周期ごとにポート出力を反転します。非同期イベント入力 L (AEVL) 端子に 2 MHz のイベント入力を行い、イベントカウンタ H (ECH) とイベントカウンタ L (ECL) を組み合わせた 16 ビットイベントカウンタのオーバフロー周期 (32.768 ms) ごとに P40 端子の出力を反転させます。

### 動作確認デバイス

H8 / 38076R

### 目次

1. 仕様 .....	2
2. 使用機能説明 .....	3
3. 動作説明 .....	6
4. ソフトウェア説明 .....	7
5. フローチャート .....	11

1. 仕様

- 図 1 に示すように、16 ビットモードによる非同期イベントカウンタを使用して、一定周期 (32.768 ms) 毎に P40 端子の出力を反転させます。
- イベントカウンタ H (ECH) の入力クロックをイベントカウンタ L (ECL) のオーバーフロー信号とすることで、16 ビットのイベントカウンタとして使用し、非同期イベント入力 L (AEVL) 端子に入力した 2 MHz のイベント入力により ECH、および ECL のカウントアップを行います。
- 16 ビットのイベントカウンタのオーバーフロー割り込み処理により、P40 端子の出力を反転させます。
- イベント入力イネーブル割り込み入力 (IRQAEC) 端子はハードウェアで High レベルに固定します。

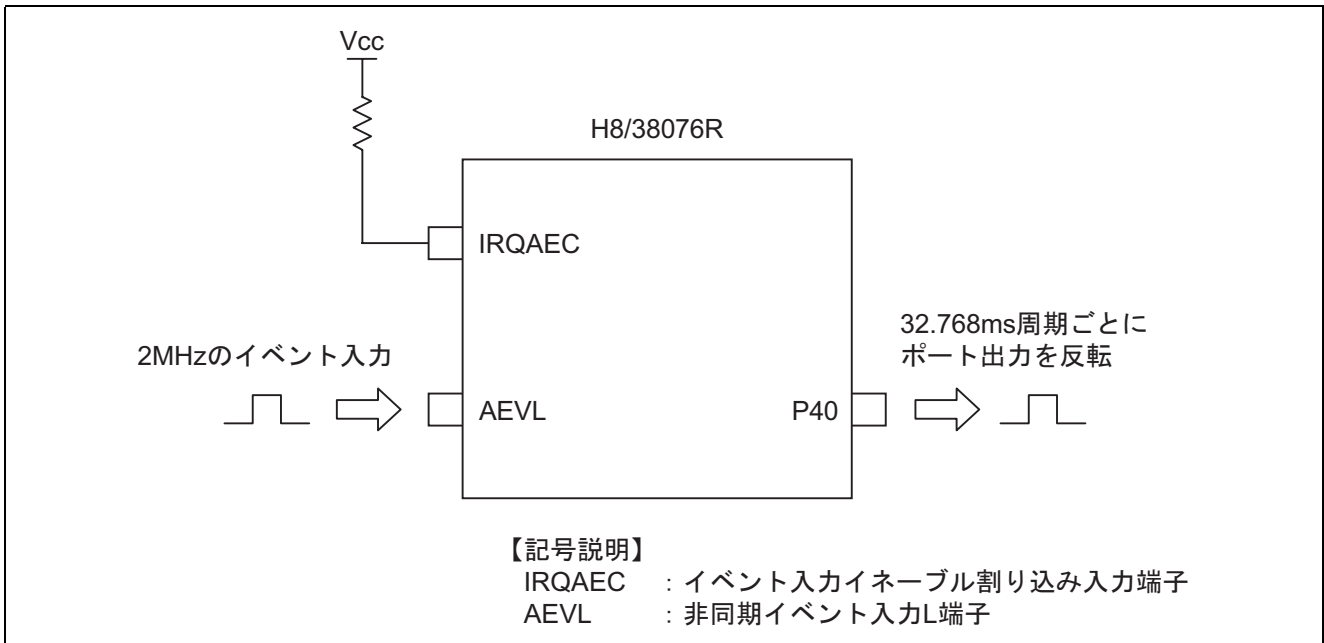


図 1 16 ビットモードによるイベントカウンタ動作例

## 2. 使用機能説明

### 2.1 16 ビットモード時の非同期イベントカウンタ機能説明

本タスク例では、16 ビットモードによる非同期イベントカウンタ機能を使用して、非同期イベント入力 L (AEVL) 端子へのイベント入力による 16 ビットイベントカウンタのオーバーフロー周期ごとに P40 端子の出力を反転させます。16 ビットモード時の非同期イベントカウンタのブロック図を図 2 に示します。以下に、16 ビットモード時の非同期イベントカウンタのブロック図について説明します。

- システムクロック ( $\phi$ )  
10 MHz のクロックで、CPU および周辺機能を動作させるための基準クロックです。
- プリスケーラ S (PSS)  
 $\phi$  を入力とする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。
- 入力端子エッジセレクトレジスタ (AEGSR)  
非同期イベント入力 L (AEVL) 端子の入力エッジセンス検出の選択、イベントカウンタ PWM の動作、および IRQAEC 選択を行います。
- イベントカウンタコントロールレジスタ (ECCR)  
イベントカウンタ L (ECL) の入力クロックの選択を行います。
- イベントカウンタコントロール / ステータスレジスタ (ECCSR)  
イベントカウンタ H (ECH) のオーバーフローの検出、イベントカウンタの使用方法の選択、ECH、ECL に入力されるイベントクロックの入力の許可 / 禁止の制御、ECH、ECL のリセットの制御を行います。
- イベントカウンタ H (ECH)  
ECL と組み合わせることで 16 ビットのイベントカウンタ上位 8 ビットのアップカウンタとして動作します。
- イベントカウンタ L (ECL)  
ECH と組み合わせることで 16 ビットのイベントカウンタ下位 8 ビットのアップカウンタとして動作します。
- 非同期イベント入力 L (AEVL) 端子  
イベントカウンタ L (ECL) に入力するイベント入力端子です。
- イベント入力イネーブル割り込み入力 (IRQAEC) 端子  
イベント入力を有効にする割り込み入力端子です。
- 非同期イベントカウンタ割り込み要求 (IRREC)  
16 ビットのイベントカウンタがオーバーフローしたことによる割り込み要求です。

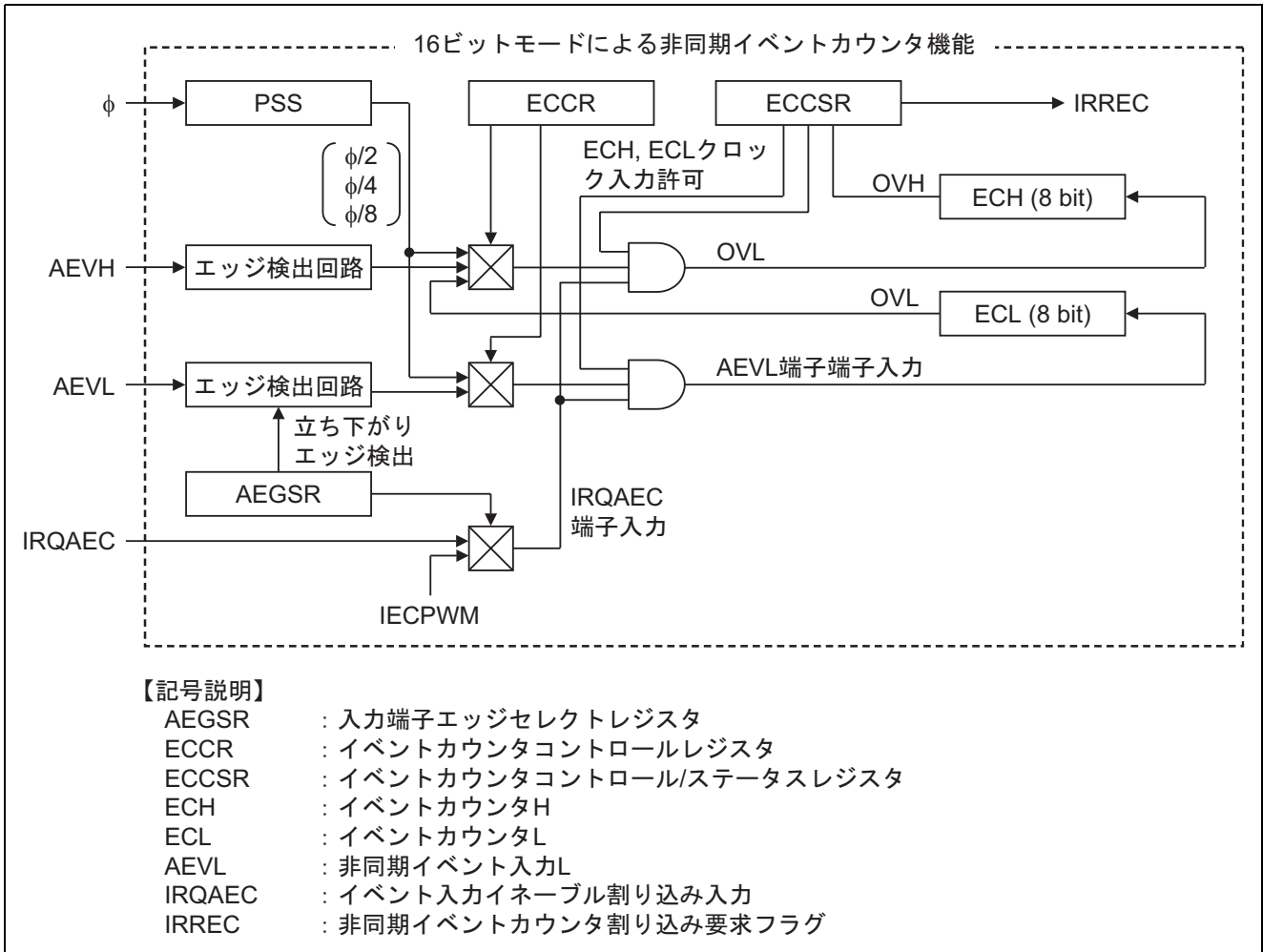


図2 16ビットモードにおける非同期イベントカウンタ機能のブロック図

## 2.2 機能割り付け

機能割り付けを表 1 に示します。表 1 に示すように機能を割り付け、16 ビットモードによる非同期イベントカウンタ機能を使用して、16 ビットイベントカウンタのオーバーフロー周期毎に P40 端子の出力を反転させます。

表 1 機能割り付け

機能	機能割り付け
AEGSR	AEVL 端子のエッジ検出を立ち下がりエッジ検出に設定、イベントカウンタ PWM 動作の停止、および IRQAEC を選択します
ECCR	ECL の入力クロックを AEVL 端子のイベント入力に設定
ECCSR	ECH のオーバーフロー検出、ECH、ECL を 1 チャンネルの 16 ビットイベントカウンタに設定、ECH、ECL のイベントクロック入力を許可、ECH、ECL のリセットを制御
ECH	ECL のオーバーフロー信号を入力クロックとする 8 ビットのアップカウンタ
ECL	AEVL 端子のイベント入力を入力クロックとする 8 ビットのアップカウンタ
AEVL 端子	2 MHz のイベント入力を行うイベント入力端子
IRQAEC 端子	ECH、ECL のイベント入力を有効にするために "High" を入力
IRREC	ECH オーバーフロー割り込み要求で、割り込み処理により P40 端子の出力を反転
IENEC	IRREC 割り込み要求を許可
P40 端子	ECH オーバーフロー割り込み周期ごとに出力を反転
PDR4	P40 端子の出力データを設定
PCR4	P40 端子機能を出力端子に設定
PMR1	P11 / AEVL 端子機能を AEVL 入力端子機能に設定

3. 動作説明

- 図 3 に動作説明を示します。図 3 に示すようなハードウェア、ソフトウェア処理により、16 ビットモードによる非同期イベントカウンタ機能を使用して、16 ビットイベントカウンタのオーバーフロー周期ごとに P40 端子の出力を反転します。

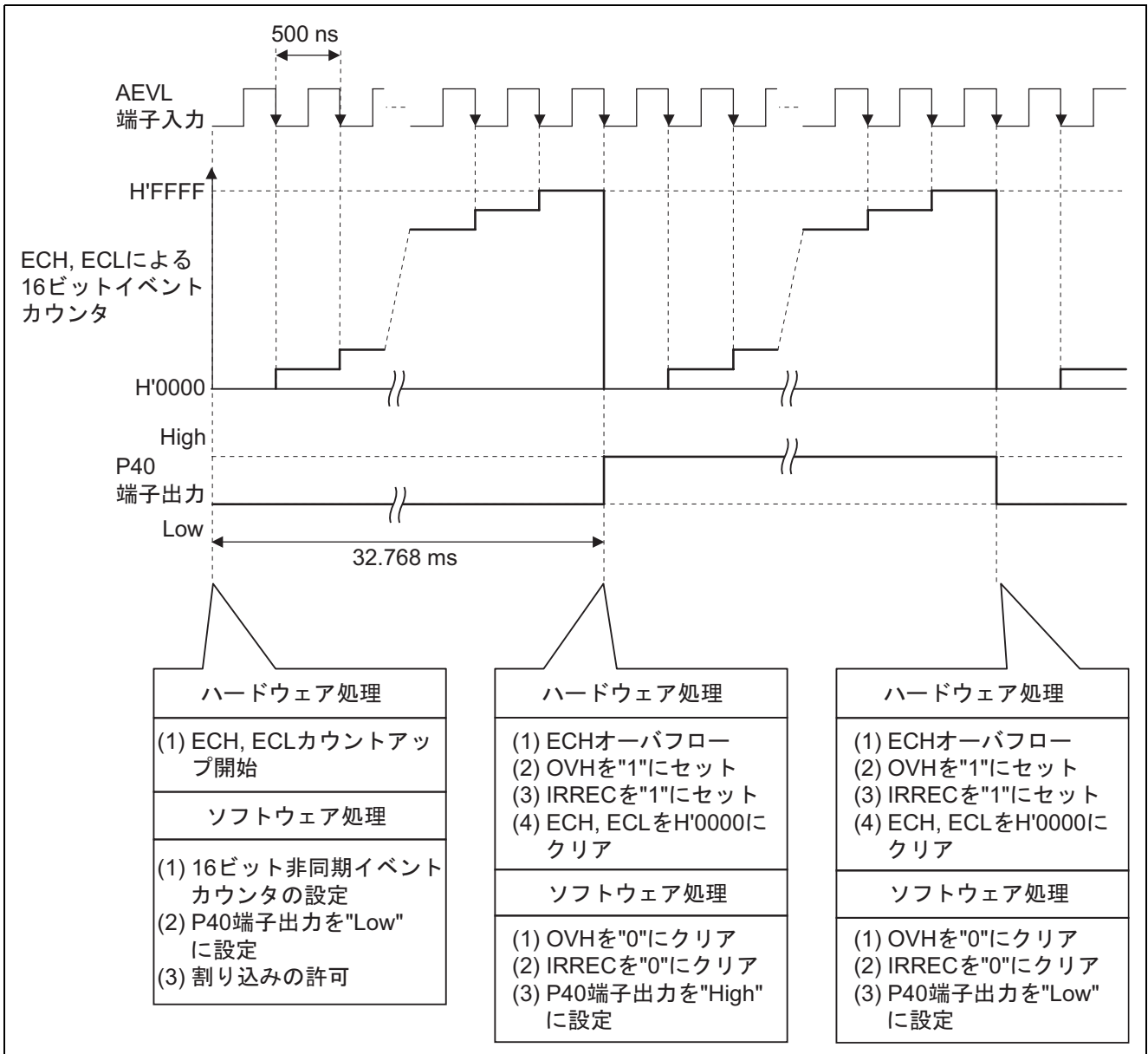


図 3 動作説明



## 4. ソフトウェア説明

### 4.1 モジュール説明

本タスク例のモジュールを表 2 に示します。

表 2 モジュール説明

関数名	機能
main	16 ビットモードによる非同期イベントカウンタの設定, P40 端子出力の設定, 非同期イベントカウンタ割り込み要求の許可
int_aec	非同期イベントカウンタ割り込み要求フラグのクリア, P40 端子出力の反転

### 4.2 引数の説明

本タスク例では, 引数を使用しません。

### 4.3 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。

- AEGSR 入力端子エッジセレクトレジスタ アドレス: H'FF92

ビット	ビット名	設定値	R / W	機能
5 4	ALEGS1 ALEGS0	0 0	R / W	AEC エッジ選択 L AEVL 端子のエッジ検出を選択します。 ALEGS1 = 0, ALEGS0 = 0: AEVL 端子の立ち下がりエッジを検出
1	ECPWME	0	R / W	イベントカウンタ PWM イネーブル イベントカウンタ PWM の動作および, IRQAEC 選択の制御をします。 ECPWME = 0: AEC 用 PWM 動作の停止および IRQAEC を選択する

- ECCR イベントカウンタコントロールレジスタ アドレス: H'FF94

ビット	ビット名	設定値	R / W	機能
5 4	ACKL1 ACKL0	0 0	R / W	AEC クロック選択 L ECL 側で使用するクロックを選択します。 ACKL1 = 0, ACKL0 = 0: AEVL 端子入力

• ECCSR イベントカウンタコントロール / ステータスレジスタ アドレス：H'FF95

ビット	ビット名	設定値	R / W	機能
7	OVH	0	R / W*	カウンタオーバフローH ECH がオーバフローしたことを示すステータスフラグです。 [セット条件] ECH の値が H'FF H'00 になったとき [クリア条件] 1 をリードした後, 0 をライトしたとき
4	CH2	0	R / W	チャンネル選択 ECH, ECL イベントカウンタの使用方法を選択します。 CH2 = 0 : ECH, ECL を 1 チャンネルの 16 ビットイベントカウンタとして使用
3	CUEH	1	R / W	カウントアップイネーブルH ECH に入力されるイベントクロック入力を禁止 / 許可します。 CUEH = 1 : ECH のイベントクロック入力を許可

【注】 \* : フラグクリアのための 0 ライトのみ可能です。

• ECCSR イベントカウンタコントロール / ステータスレジスタ アドレス：H'FF95

ビット	ビット名	設定値	R / W	機能
2	CUEL	1	R / W	カウントアップイネーブルL ECL に入力されるイベントクロックの入力を禁止 / 許可します。 CUEL = 1 : ECL のイベントクロック入力を許可
0	CRCH	1	R / W	カウンタリセット制御 H ECH のリセットを制御します。 CRCH = 1 : ECH のリセットを解除しカウントアップ機能を許可
0	CRCL	1	R / W	カウンタリセット制御 L ECL のリセットを制御します。 CRCL = 1 : ECL のリセットを解除しカウントアップ機能を許可

• ECH イベントカウンタ H アドレス：H'FF96

ECH は 8 ビットのリード可能なアップカウンタで, 独立した 8 ビットのイベントカウンタとして動作します。また, ECL と組み合わせることで 16 ビットのイベントカウンタ上位 8 ビットのアップカウンタとして動作します。

ビット	ビット名	設定値	R / W	機能
7	ECH7	0	R	入力クロックは非同期イベント入力 H (AEVH) 端子, $\phi/2, \phi/4, \phi/8$ または下位 8 ビットカウンタ ECL からのオーバフロー信号のいずれかを選択可能です。ECH はソフトウェアで H'00 にクリア可能です。
6	ECH6	0	R	
5	ECH5	0	R	
4	ECH4	0	R	
3	ECH3	0	R	
2	ECH2	0	R	
1	ECH1	0	R	
0	ECH0	0	R	

• ECL イベントカウンタ L

アドレス：H'FF97

ECL は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして動作します。また、ECH と組み合わせることで 16 ビットのイベントカウンタ下位 8 ビットのアップカウンタとして動作します。

ビット	ビット名	設定値	R / W	機能
7	ECL7	0	R	入力クロックは非同期イベント入力 L (AEVL) 端子， $\phi/2$ ， $\phi/4$ ， $\phi/8$ を使用します。ECL はソフトウェアで H'00 にクリア可能です。
6	ECL6	0	R	
5	ECL5	0	R	
4	ECL4	0	R	
3	ECL3	0	R	
2	ECL2	0	R	
1	ECL1	0	R	
0	ECL0	0	R	

• IRR2 割り込みフラグレジスタ 2

アドレス：H'FFF7

ビット	ビット名	設定値	R / W	機能
0	IRREC	0	R / W	非同期イベントカウンタ割り込み要求フラグ [セット条件] 非同期イベントカウンタがオーバフローしたとき [クリア条件] 0 をライトしたとき

• IENR2 割り込み要求イネーブルレジスタ 2

アドレス：H'FFF4

ビット	ビット名	設定値	R / W	機能
0	IENEC	1	R / W	非同期イベントカウンタ割り込みイネーブル このビットを 1 にセットすると非同期イベントカウンタ割り込み要求がイネーブルになります。

• PDR4 ポートデータレジスタ 4

アドレス：H'FFD7

ビット	ビット名	設定値	R / W	機能
0	P40	0	R / W	ポートデータレジスタ 40 P40 のデータを格納します。 PCR4 が 1 のとき、ポート 4 のリードを行うと、PDR4 の値を直接リードします。そのため端子状態の影響を受けません。PCR4 が 0 のとき、ポート 4 のリードを行うと、端子状態が読み出されます。

• PCR4 ポートコントロールレジスタ 4

アドレス：H'FFE7

ビット	ビット名	設定値	R / W	機能
0	PCR40	1	W	ポートコントロールレジスタ 40 P40 の入出力を制御します。 PCR40 を 1 にセットすると P40 端子は出力端子となり、0 にクリアすると入力端子となります。なお、本ビットはライト専用です。リードした場合には常に 1 が読み出されます。

• PMR1      ポートモードレジスタ 1      アドレス：H'FFC0

ビット	ビット名	設定値	R / W	機能
1	AEVL	1	R / W	P11 / AEVL 端子機能切り替え P11 / AEVL 端子を P11 端子として使用するか AEVL 端子として使用するかを設定します。 AEVL = 1 : AEVL 入力端子として機能

#### 4.4 使用定数説明

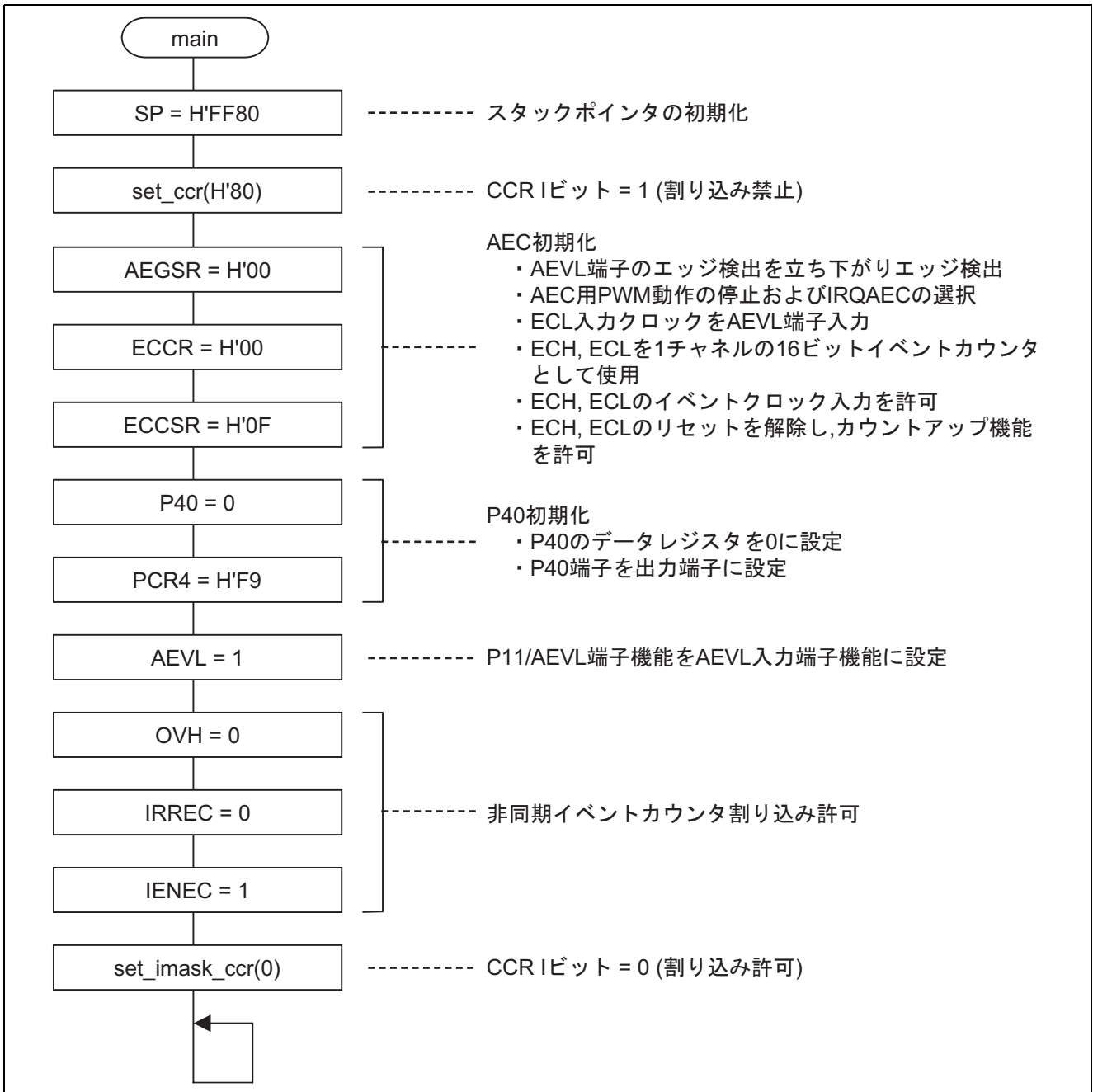
本タスク例では定数を使用しません。

#### 4.5 使用 RAM 説明

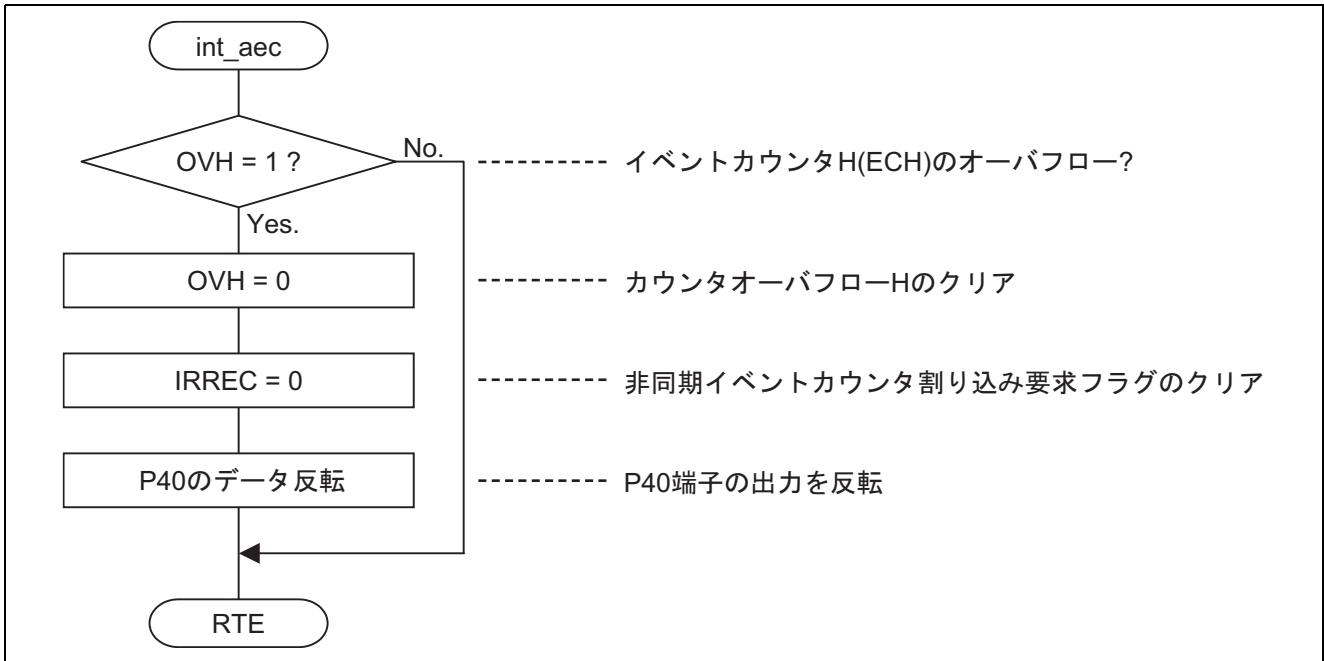
本タスク例では、RAM は使用しません。

5. フローチャート

5.1 main



5.2 int\_aec



• リンクアドレス指定

セクション名	アドレス
CV1	H'0000
CV2	H'0038
P	H'0100

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.09.15	—	初版発行

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。