

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8/300H SLP シリーズ

割り込み優先順位機能による多重割り込み動作

要旨

割り込み優先順位機能を用いて、IRQ0 割り込み処理期間中に TPU のコンペアマッチ割り込み処理を発生させます。

動作確認デバイス

H8/38076R

目次

1. 仕様	2
2. 使用機能説明	3
3. 動作説明	5
4. ソフトウェア説明	6
5. フローチャート	10

1. 仕様

1. TPU の周期カウント機能を用いたコンペアマッチ割り込み処理により、ポート 9 の P93 に接続した LED を 0.05 sec 間隔で点滅させます。
2. $\overline{\text{IRQ0}}$ 端子に接続したスイッチ入力のオンにより IRQ0 割り込みを発生させ、割り込み処理機関中はプライオリティレベル 0 の割り込み要求をマスクして多重割り込みを許可します。なお本タスク例では、IRQ0 割り込み処理期間を 1 秒以上に設定します。
3. 通常の場合 TPU 割り込みはプライオリティレベルが 0 のため、IRQ0 割り込み処理期間中は TPU 割り込みが発生しないので、IRQ0 割り込み処理が終了するまで LED の点滅が約 1 秒間休止します。（以上ポート B の PB1 が 1 のとき）
4. 一方、ポート B の PB1 が 0 のときは、割り込み優先順位機能を用いて TPU の割り込みレベルを 1 に設定します。
5. この場合 TPU 割り込みのプライオリティレベルがマスクレベルよりも高くなるため、多重割り込みが発生し、LED の点滅は 0.05 sec 間隔で発生することができます。
6. 図 1 に接続例を示します。

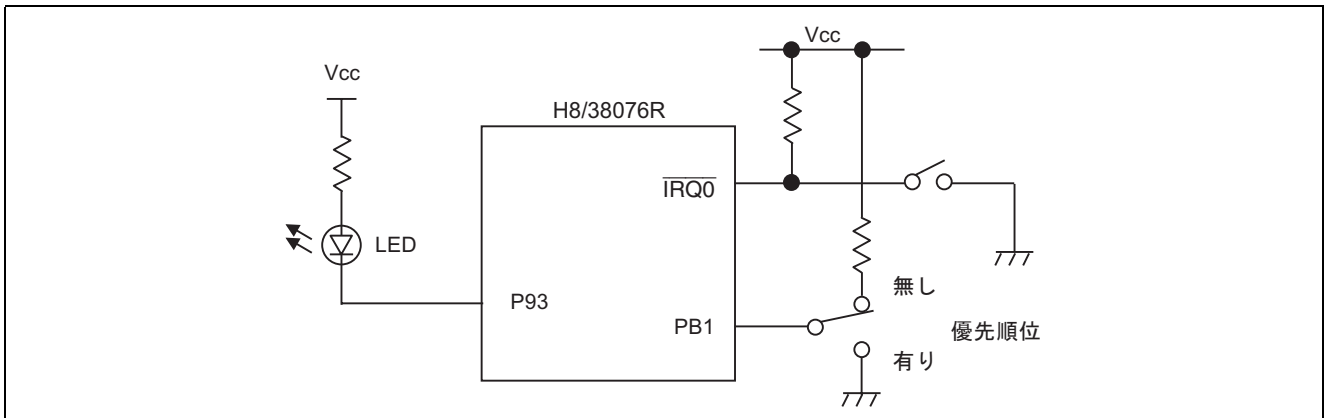


図 1 本タスクの接続例

2. 使用機能説明

2.1 機能説明

本タスク例では、割り込み優先順位機能を用いて IRQ0 割り込み処理期間中に TPU 割り込み処理を発生させます。図 2 に割り込みコントローラのブロック図を示します。

- インタラプトプライオリティレジスタ (IPRA ~ IPRE)
IPR は、NMI、アドレスブレークを除く割り込み優先順位 (レベル 2~0) を設定します。優先レベル 0 が最低、優先レベル 2 が最高を表します。
- インタラプトマスクレジスタ (INTM)
INTM は、8 ビットのリード / ライト可能なレジスタで、インタラプトプライオリティレジスタで設定された 3 レベルの割り込みマスクを制御します。

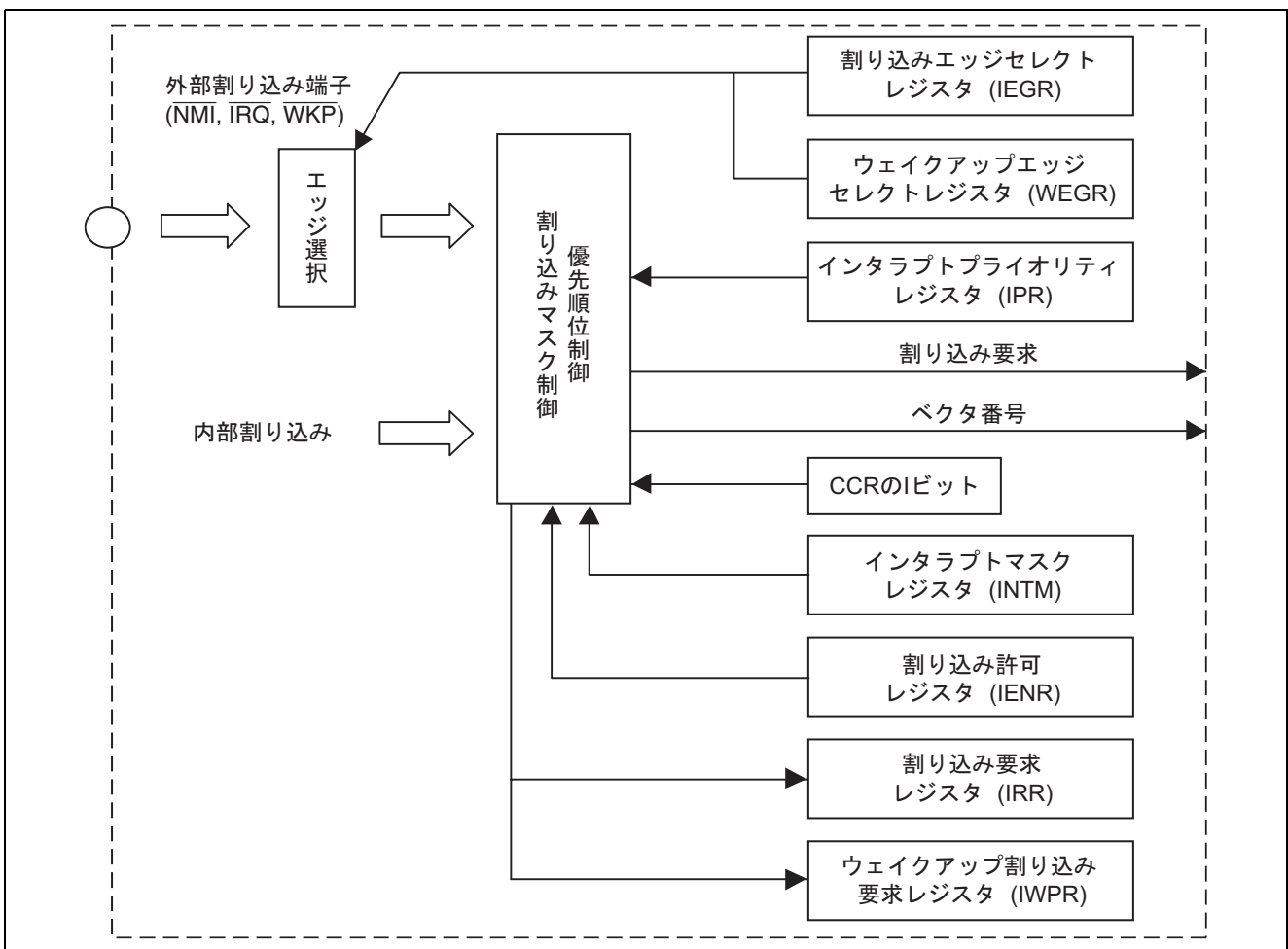


図 2 割り込みコントローラのブロック図

2.2 機能割り付け

機能割り付けを表 1 に示します。表 1 に示すように機能を割り付け、WKP 割り込みによるカウンタのカウンタアップを行います。

表 1 機能割り付け

機能	機能割り付け
IERG0	$\overline{\text{IRQ0}}$ 端子の入力エッジ選択
IENR1	$\overline{\text{IRQ0}}$ 端子の割り込み要求を許可
IRR1	IRQ0 割り込みの有無を反映
IPRA	IRQ0 割り込みの優先順位の選択
PMRB	$\overline{\text{IRQ0}}$, $\overline{\text{IRQ1}}$ 端子 / ポートの選択
PDRB	ポート B のデータを格納するレジスタ
INTM	3 レベル割り込みマスク制御
IPRC	TPU の割り込みの優先順位の選択
TCR_1	TCNT_1 のカウンタクリア要因を TGRA_1 のコンペアマッチに、入力クロックのエッジを立ち上がりエッジに、クロックソースを内部クロック ϕ /256 に設定
TMDR_1	TPU のチャンネル 1 の動作モードを通常動作モードに設定
TIER_1	割り込み要求の許可、禁止の設定
TSR_1	タイマのステータス表示
TCNT_1	内部クロック ϕ /256 をクロックソースとする 16 ビットのカウンタ
TGRA_1	16 ビットのコンペアマッチレジスタ
TSTR	TCNT_1 のカウント動作を設定

3. 動作説明

- 図3に動作説明を示します。図3に示すハードウェア、ソフトウェア処理により、割り込み優先順位多重割り込み処理を行います。(PB1が"0"のときTPU割り込みが優先され、PB1が"1"のときIRQ0割り込みが優先されます。)

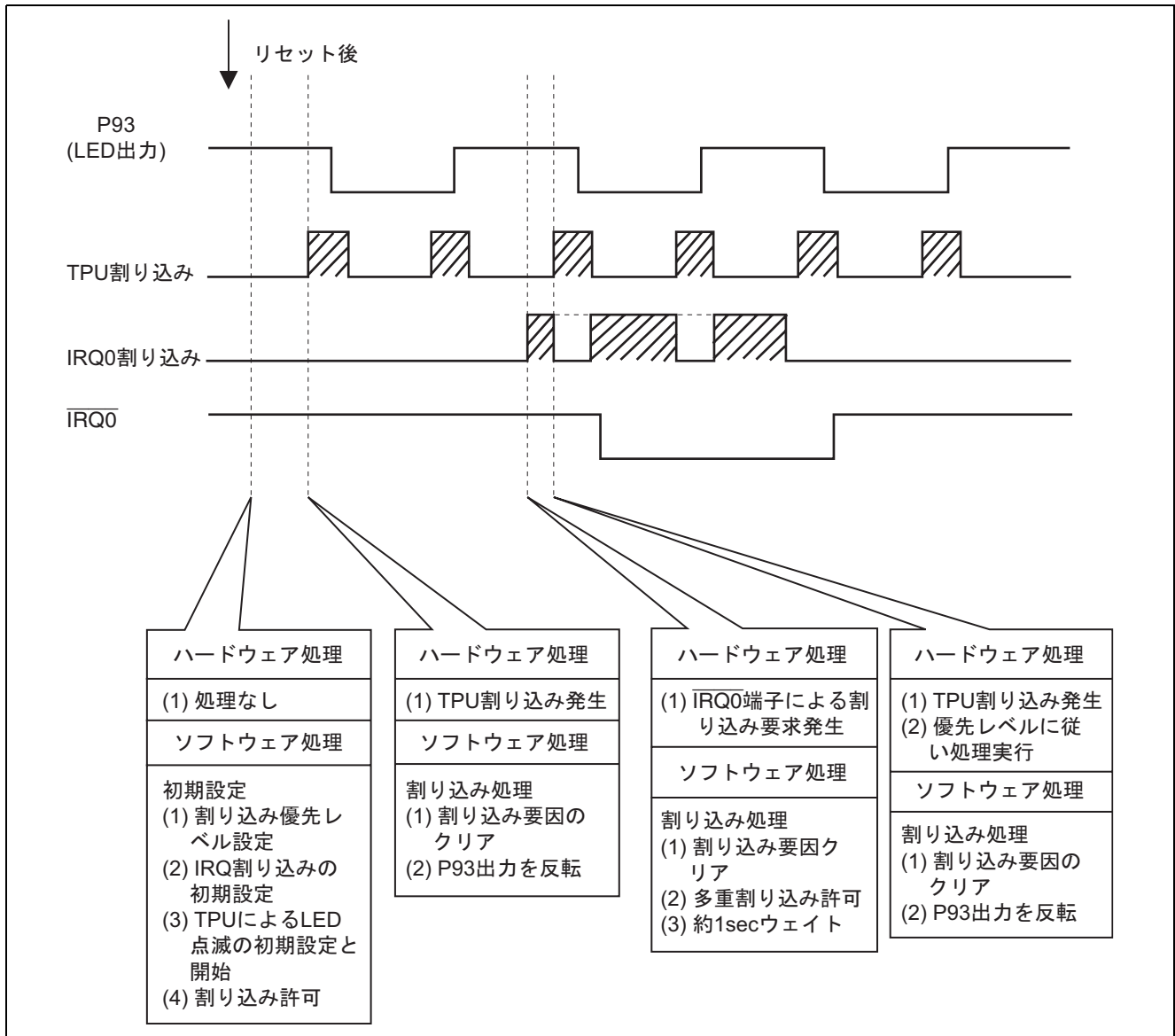


図3 動作説明

4. ソフトウェア説明

4.1 モジュール説明

本タスク例のモジュールを表 2 に示します。

表 2 モジュール説明

関数名	機能
main	IRQ0 割り込みの設定, P93 を出力端子に設定し, "0"を出力 (LED 点灯)
Irq0_int	IRQ0 割り込み要求フラグのクリア, 割り込みプライオリティレベルが 0 の割り込みをマスクするように設定し, 多重割り込みを許可するため CCR の 1 ビットを "0"クリア 約 1 sec ウェイト
tgia1int	ステータスフラグのクリア, P93 出力を反転
init_tpu	TPU 割り込みの設定, 割り込みプライオリティレベルの設定

4.2 引数の説明

表 3 に本タスク例で使用する引数を示します。

表 3 使用引数説明

ラベル名	説明	使用関数名
unsigned short cycle	コンペアマッチ発生の周期を指定します。	init_tpu
unsigned char level	割り込み優先レベルを指定します。	init_tpu

4.3 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。

- TSTR タイマスタートレジスタ アドレス: HF030

ビット	ビット名	設定値	R/W	機能
1	CST1	1	R/W	カウンタスタート 1 TCNT_1 の動作または停止を選択します。 CST1 = 1 : TCNT_1 はカウント動作

- TCR_1 タイマコントロールレジスタ アドレス: HF040

ビット	ビット名	設定値	R/W	機能
6	CCLR1	0	R/W	カウンタクリア 1, 0 TCNT_1 のカウンタクリア要因を選択します。 CCLR1 = 0, CCLR0 = 1 : TGRA_1 のコンペアマッチで TCNT_1 をクリア
5	CCLR0	1	R/W	
4	CKEG1	0	R/W	クロックエッジ 1, 0 TCNT_1 の入力クロックのエッジを選択します。 CKEG1 = 0, CKEG0 = 0 : 立ち上がりエッジでカウント
3	CKEG0	0	R/W	
2	TPSC2	1	R/W	タイマプリスケアラ 2, 1, 0 TCNT_1 のクロックソースを選択します。 TPSC2 = 1, TPSC1 = 1, TPSC0 = 0 : 内部クロック $\phi / 256$ でカウント
1	TPSC1	1	R/W	
0	TPSC0	0	R/W	

● TMDR_1 タイマモードレジスタ アドレス：H'F041

ビット	ビット名	設定値	R / W	機能
1	MD1	0	R / W	モード 1, 0 TPU_1 の動作モードを選択します。 MD1 = 0, MD0 = 0 : TPU_1 は通常動作モード
0	MD0	0	R / W	

● TIER_1 タイマインタラプトイネーブルレジスタ_1 アドレス：H'F044

ビット	ビット名	設定値	R / W	機能
0	TGIEA	1	R / W	TGR インタラプトイネーブル A TSR の TGFA フラグが 1 にセットされたとき, TGFA フラグによる割り込み要求 (TGI1A) の許可 / 禁止を制御します。 TGIEA = 1 : TGFA フラグによる割り込み要求 (TGI1A) を許可

● TSR_1 タイマステータスレジスタ_1 アドレス：H'F045

ビット	ビット名	設定値	R / W	機能
0	TGFA	0	R / (W)*	インプットキャプチャ/アウトプットコンペアフラグ A TGRA_1 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> ・ TGRA_1 がアウトプットコンペアレジスタとして機能している場合, TCNT_1 = TGRA_1 になったとき ・ TGRA_1 がインプットキャプチャレジスタとして機能している場合, インプットキャプチャ信号により TCNT_1 の値が TGRA_1 に転送されたとき [クリア条件] TGFA = 1 の状態で TGFA をリード後, TGFA に 0 をライトしたとき

[注] *フラグをクリアするための 0 ライトのみ可能です。

● TGRA_1 タイマジェネラルレジスタ A_1 アドレス：H'F048

ビット	ビット名	設定値	R / W	機能
15	Bit15	—	R / W	タイマジェネラルレジスタ A_1 16 ビットのリード / ライト可能なアウトプットコンペア / インプットキャプチャ兼用のレジスタです。TGRA_1 は, リセット時に H'FFFF に初期化されます。また, TGRA_1 は 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
14	Bit14	—	R / W	
13	Bit13	—	R / W	
12	Bit12	—	R / W	
11	Bit11	—	R / W	
10	Bit10	—	R / W	
9	Bit9	—	R / W	
8	Bit8	—	R / W	
7	Bit7	—	R / W	
6	Bit6	—	R / W	
5	Bit5	—	R / W	
4	Bit4	—	R / W	
3	Bit3	—	R / W	
2	Bit2	—	R / W	
1	Bit1	—	R / W	
0	Bit0	—	R / W	

● IPRA インタラプトプライオリティレジスタ A アドレス：H'F080

ビット	ビット名	設定値	R/W	機能
7	IPRA7	0	R/W	割り込み要因の優先順位の設定 00：優先レベル 0（最低） 01：優先レベル 1 1*：優先レベル 2（最高）
6	IPRA6	0		

● IPRC インタラプトプライオリティレジスタ C アドレス：H'F082

ビット	ビット名	設定値	R/W	機能
7	IPRC7	0	R/W	割り込み要因の優先順位の設定 00：優先レベル 0（最低） 01：優先レベル 1 1*：優先レベル 2（最高）
6	IPRC6	— (引数)		

● PMRB ポートモードレジスタ B アドレス：H'FFCA

ビット	ビット名	設定値	R/W	機能
0	IRQ0	1	R/W	PB0 / AN0 / $\overline{\text{IRQ0}}$ 端子切り替え PB0 / AN0 / $\overline{\text{IRQ0}}$ 端子を PB0 / AN0 端子として使用する か、 $\overline{\text{IRQ0}}$ 端子として使用するか設定します。 1： $\overline{\text{IRQ0}}$ 入力端子として機能

● PDR9 ポートデータレジスタ 9 アドレス：H'FFDC

ビット	ビット名	設定値	R/W	機能
3	P93	0	R/W	P93 データレジスタ P93 のデータを格納するレジスタです。PCR93 が 1 のとき、P93 のリードを行うと、P93 の値を直接リードします。PCR93 が 0 のとき、P93 のリードを行うと端子状態が読み出されます。

● PDRB ポートデータレジスタ B アドレス：H'FFDE

ビット	ビット名	設定値	R/W	機能
1	PB1	0	R	PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換機の AMR の CH3 ~ CH0 によりアナログ入力チャンネルが選択されている端子をリードすると入力電圧に関係なく 0 が読み出されます。

● PCR9 ポートコントロールレジスタ 9 アドレス：H'FFEC

ビット	ビット名	設定値	R/W	機能
3	PCR93	1	W	P93 コントロールレジスタ P93 の入出力を制御します。PCR93 を 1 にセットすると P93 は出力端子となり、0 にクリアすると入力端子となります。なお、本レジスタはライト専用です。リードした場合には常に 1 が読み出されます。

● IEGR 割り込みエッジセレクトレジスタ アドレス：H'FFF2

ビット	ビット名	設定値	R/W	機能
0	IEG0	0	R/W	IRQ0 エッジセレクト 0： $\overline{\text{IRQ0}}$ 端子入力の立ち下がりエッジを検出

• IENR1 割り込み許可レジスタ 1 アドレス：H'FFF3

ビット	ビット名	設定値	R / W	機能
0	IEN0	1	R / W	IRQ0 割り込み要求イネーブル 1 : IRQ0 割り込み要求を許可

• INTM インタラプトマスクレジスタ アドレス：H'FFF5

ビット	ビット名	設定値	R / W	機能
0	INTM0	1	R / W	割り込みのマスクレベルを設定します。 1 : 優先レベル 0 の割り込みをマスクする。

• IRR1 割り込み要求レジスタ アドレス：H'FFF6

ビット	ビット名	設定値	R / W	機能
0	IRRI0	0	R / W	IRQ0 割り込み要求フラグ 0 : 指定したエッジを検出していないとき 1 : 指定したエッジを検出したとき

4.4 使用定数説明

表 4 に本タスク例で使用する定数を示します。

表 4 使用定数説明

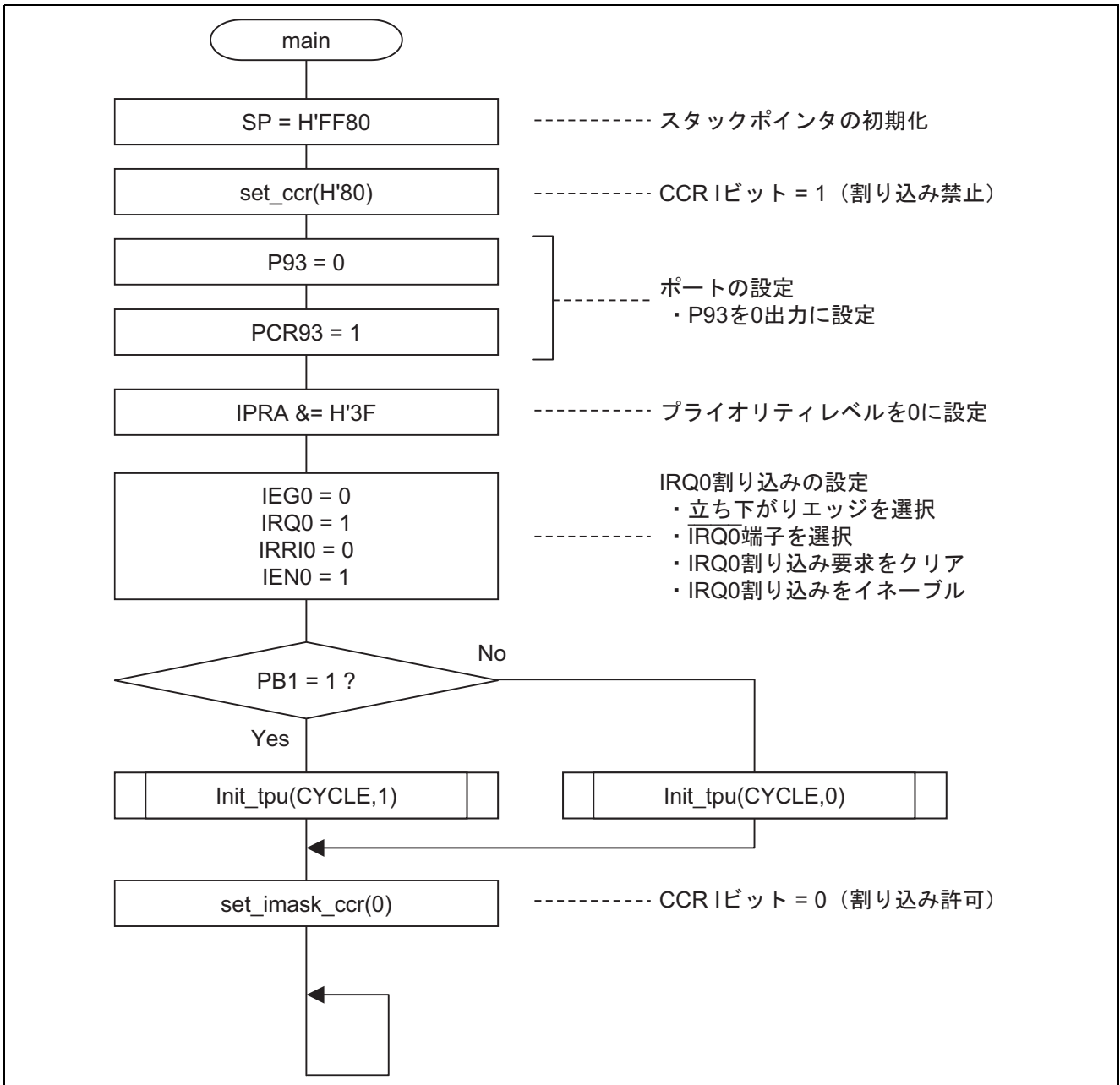
ラベル名	説明	使用関数名
CYCLE	コンペアマッチ発生の周期を指定します。	Main, int_wkp0

4.5 使用 RAM 説明

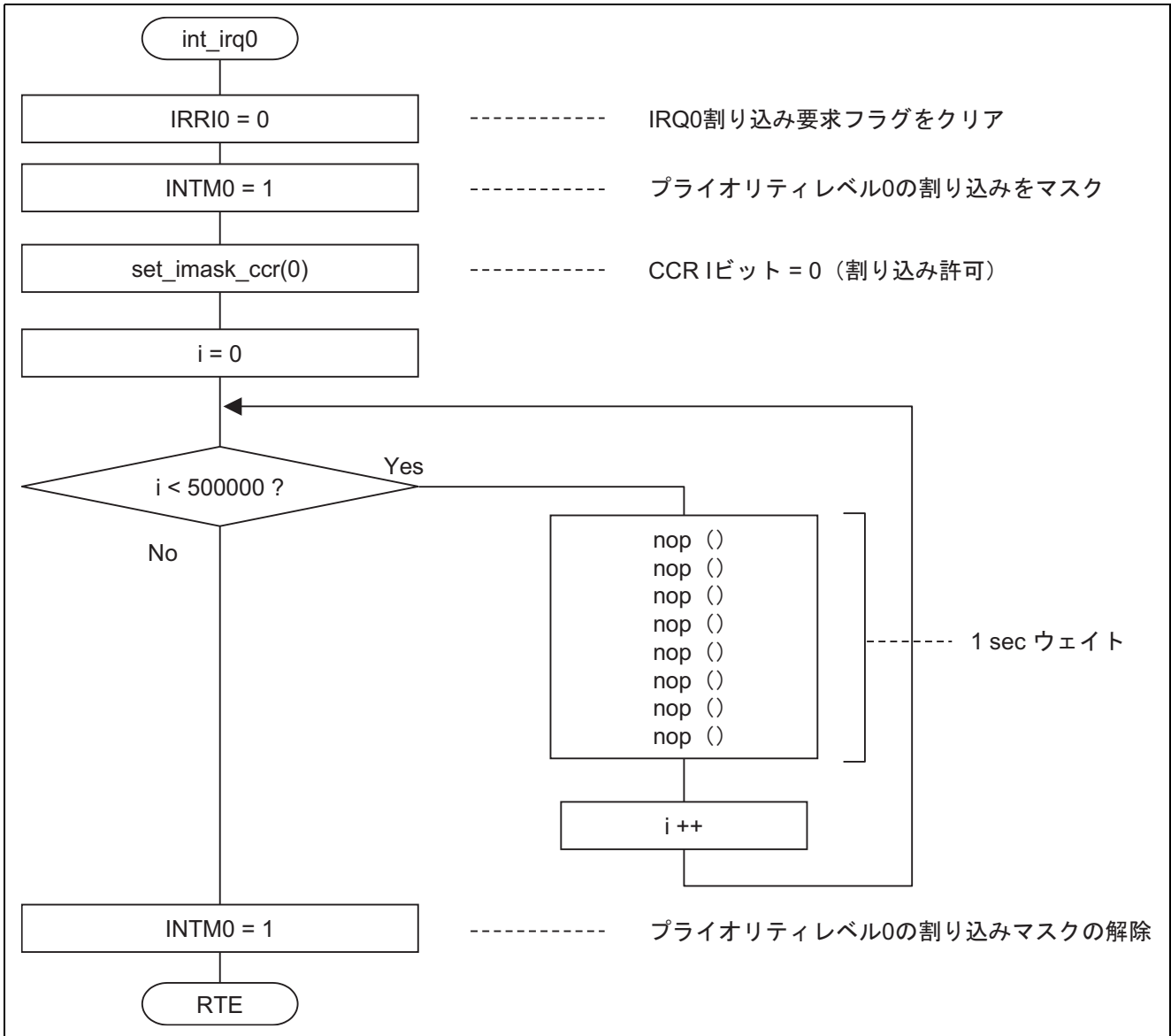
本タスク例では RAM は使用しません。

5. フローチャート

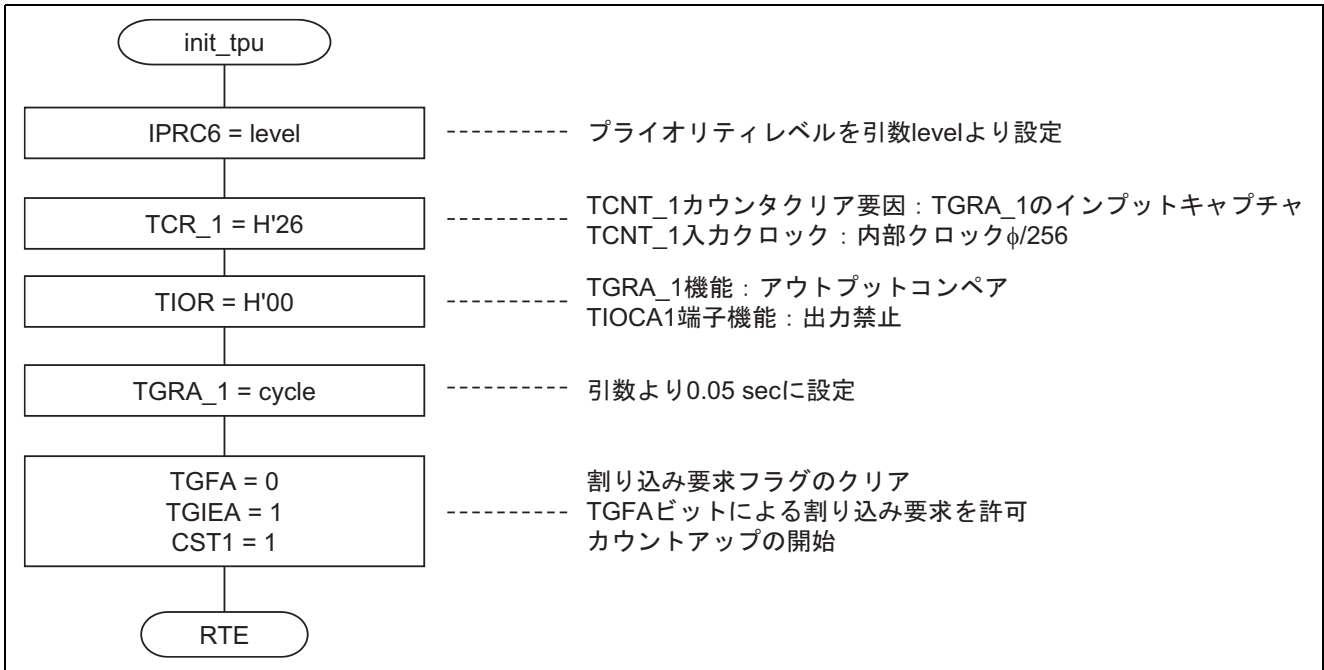
5.1 main



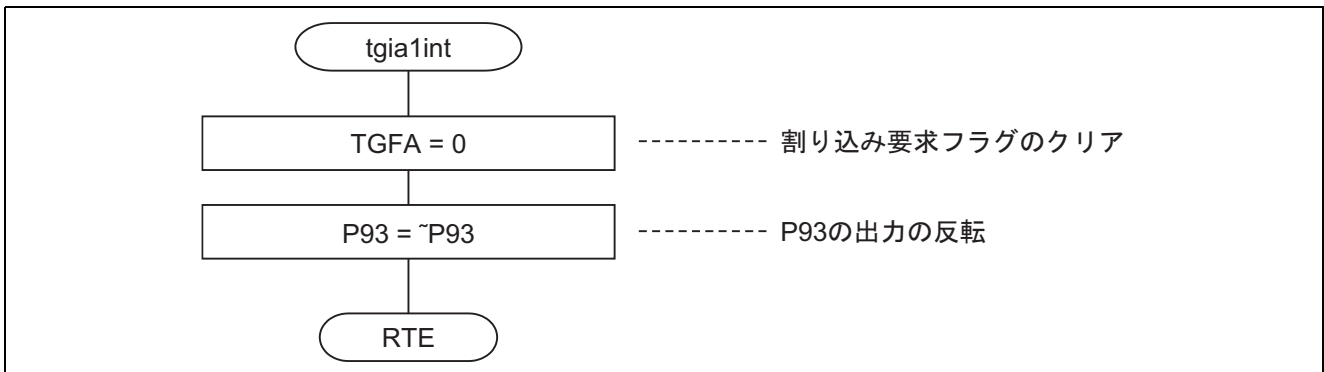
5.2 int_irq0



5.3 init_tpu



5.4 tgia1int



- リンクアドレス指定

セクション名	アドレス
CV1	H'0000
CV2	H'000C
CV3	H'003A
P	H'0100

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.09.15	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。