

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RZ*-A0148A/J	Rev.	第1版
題名	システムSRAMの排他的アクセスの不具合		情報分類	技術情報	
適用製品	RZ/T2M グループ RZ/T2ME グループ RZ/T2L グループ RZ/N2L グループ	対象ロット等	関連資料	RZ/T2M グループ ユーザーズマニュアル ハードウェア編 Rev.1.20 (R01UH0916JJ0120)	
		すべて		RZ/T2ME グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH1062JJ0100) RZ/T2L グループ ユーザーズマニュアル ハードウェア編 Rev.1.20 (R01UH0985JJ0120) RZ/N2L グループ ユーザーズマニュアル ハードウェア編 Rev.1.30 (R01UH0955JJ0130)	

このドキュメントでは、システム SRAM の排他的アクセスの不具合について説明します。

## 1. 不具合内容

CPU から排他的アクセス命令がシステム SRAM に対して発行された場合、以下のような不具合動作が発生する可能性があります。

- 排他的アクセス書き込み、非排他的アクセス書き込みともに、正常に書き込みができない。
- ECC 機能を有効にしている場合、読み出しアドレスが異なっても 16byte 毎に同じ値が読み出される。

対象の排他的アクセス命令：

- 排他的ロード：LDREXB, LDAEXB, LDREXH, LDAEXH, LDREX, LDAEX, LDREXD, LDAEXD
- 排他的ストア：STREXB, STLEXB, STREXH, STLEXH, STREX, STLEX, STREXD, STLEXD
- その他：CLREX

## 2. 回避策

システム SRAM に対して排他的アクセス命令を発行しないでください。排他制御を行うためには、以下の方法のいずれかを適用してください。

- 排他的アクセス命令ではなく、セマフォレジスタ (SYTSEMF) (RZ/T2M, RZ/T2ME の場合)、あるいはメールボックスおよびセマフォ (MBXSEM) (RZ/T2L, RZ/N2L の場合) を使用してください。
- TCM に対して排他的アクセス命令を使用してください。(ただし、AXIS 経由は除く)
- CPU の MPU 設定にてキャッシュ有効かつ共有不可に設定したシステム SRAM の領域に対して排他的アクセス命令を使用してください。この場合、CPU 内部の排他的アクセスモニタが使用されるため、排他的アクセスのトランザクションはシステム SRAM には伝搬しません。

3. ユーザーズマニュアル ハードウェア編の改訂  
 ユーザーズマニュアル ハードウェア編を以下のように改訂予定です。

**RZ/T2M, RZ/T2ME**

**12. 内部バス**

**12.4 使用上の注意事項**

現在	改訂後 (追加)
- (記載なし)	<p><b>12.4.5 排他的アクセスの制限</b></p> <p>Cortex-R52における同期とセマフォのための排他的アクセス命令はシステム SRAM に対しては使用禁止です。排他制御を行うためには、以下の方法のいずれかを適用してください。</p> <ul style="list-style-type: none"> <li>排他的アクセス命令ではなく、セマフォレジスタ (SYTSEMF) を使用してください。</li> <li>TCM に対して排他的アクセス命令を使用してください。(ただし、AXIS 経由は除く)</li> <li>CPU の MPU 設定にてキャッシュ有効かつ共有不可に設定したシステム SRAM の領域に対して排他的アクセス命令を使用してください。この場合、排他的アクセスのトランザクションはシステム SRAM には伝搬しません。</li> </ul> <p>対象の排他的アクセス命令：</p> <ul style="list-style-type: none"> <li>排他的ロード：LDREXB, LDAEXB, LDREXH, LDAEXH, LDREX, LDAEX, LDREXD, LDAEXD</li> <li>排他的ストア：STREXB, STLEXB, STREXH, STLEXH, STREX, STLEX, STREXD, STLEXD</li> <li>その他：CLREX</li> </ul>

**43. システム SRAM (SYSRAM)**

**43.1 概要**

表 43.1 システム SRAM の仕様

現在	改訂後 (追加)		
- (記載なし)	<table border="1"> <tr> <td>排他的アクセス</td> <td>サポートされません。 CPU からの排他アクセス命令は使用禁止です。</td> </tr> </table>	排他的アクセス	サポートされません。 CPU からの排他アクセス命令は使用禁止です。
排他的アクセス	サポートされません。 CPU からの排他アクセス命令は使用禁止です。		

**43.4 使用上の注意事項**

現在	改訂後 (追加)
- (記載なし)	<p><b>43.4.4 排他的アクセス</b></p> <p>CPU からの排他的アクセス命令はシステム SRAM に対しては使用禁止です。もし使用した場合、他の非排他的アクセス命令含めて、システム SRAM への動作の結果は保証されません。</p> <p>1つ例外は、システム SRAM が CPU の MPU 設定にてキャッシュ有効かつ共有不可に設定された場合です。この場合、CPU 内部の排他モニタが使用され、排他的アクセスのトランザクションがシステム SRAM に伝搬しないため、排他的アクセス命令を使用可能です。12.4.5 排他的アクセスの制限も参照してください。</p>

**RZ/T2L**

**12. 内部バス**

**12.4 使用上の注意事項**

現在	改訂後 (追加)
- (記載なし)	<p><b>12.4.5 排他的アクセスの制限</b></p> <p>Cortex-R52における同期とセマフォのための排他的アクセス命令はシステムSRAMに対しては使用禁止です。排他制御を行うためには、以下の方法のいずれかを適用してください。</p> <ul style="list-style-type: none"> <li>排他的アクセス命令ではなく、メールボックスおよびセマフォ (MBXSEM) を使用してください。</li> <li>TCM に対して排他的アクセス命令を使用してください。(ただし、AXIS 経由は除く)</li> <li>CPU の MPU 設定にてキャッシュ有効かつ共有不可に設定したシステム SRAM の領域に対して排他的アクセス命令を使用してください。この場合、排他的アクセスのトランザクションはシステム SRAM には伝搬しません。</li> </ul> <p>対象の排他的アクセス命令：</p> <ul style="list-style-type: none"> <li>排他的ロード：LDREXB, LDAEXB, LDREXH, LDAEXH, LDREX, LDAEX, LDREXD, LDAEXD</li> <li>排他的ストア：STREXB, STLEXB, STREXH, STLEXH, STREX, STLEX, STREXD, STLEXD</li> <li>その他：CLREX</li> </ul>

**42. システム SRAM (SYSRAM)**

**42.1 概要**

表 42.1 システム SRAM の仕様

現在	改訂後 (追加)		
- (記載なし)	<table border="1"> <tr> <td>排他的アクセス</td> <td>サポートされません。 CPU からの排他アクセス命令は使用禁止です。</td> </tr> </table>	排他的アクセス	サポートされません。 CPU からの排他アクセス命令は使用禁止です。
排他的アクセス	サポートされません。 CPU からの排他アクセス命令は使用禁止です。		

**42.4 使用上の注意事項**

現在	改訂後 (追加)
- (記載なし)	<p><b>42.4.4 排他的アクセス</b></p> <p>CPU からの排他的アクセス命令はシステム SRAM に対しては使用禁止です。もし使用した場合、他の非排他的アクセス命令含めて、システム SRAM への動作の結果は保証されません。</p> <p>1 つ例外は、システム SRAM が CPU の MPU 設定にてキャッシュ有効かつ共有不可に設定された場合です。この場合、CPU 内部の排他モニタが使用され、排他的アクセスのトランザクションがシステム SRAM に伝搬しないため、排他的アクセス命令を使用可能です。12.4.5 排他的アクセスの制限も参照してください。</p>

**RZ/N2L**

**12. 内部バス**

**12.4 使用上の注意事項**

現在	改訂後 (追加)
- (記載なし)	<p><b>12.4.5 排他的アクセスの制限</b></p> <p>Cortex-R52における同期とセマフォのための排他的アクセス命令はシステムSRAMに対しては使用禁止です。排他制御を行うためには、以下の方法のいずれかを適用してください。</p> <ul style="list-style-type: none"> <li>排他的アクセス命令ではなく、メールボックスおよびセマフォ (MBXSEM) を使用してください。</li> <li>TCM に対して排他的アクセス命令を使用してください。(ただし、AXIS 経由は除く)</li> <li>CPU の MPU 設定にてキャッシュ有効かつ共有不可に設定したシステム SRAM の領域に対して排他的アクセス命令を使用してください。この場合、排他的アクセスのトランザクションはシステム SRAM には伝搬しません。</li> </ul> <p>対象の排他的アクセス命令：</p> <ul style="list-style-type: none"> <li>排他的ロード：LDREXB, LDAEXB, LDREXH, LDAEXH, LDREX, LDAEX, LDREXD, LDAEXD</li> <li>排他的ストア：STREXB, STLEXB, STREXH, STLEXH, STREX, STLEX, STREXD, STLEXD</li> <li>その他：CLREX</li> </ul>

**43. システム SRAM (SYSRAM)**

**43.1 概要**

**表 43.1 システム SRAM の仕様**

現在	改訂後 (追加)		
- (記載なし)	<table border="1"> <tr> <td>排他的アクセス</td> <td>サポートされません。 CPU からの排他アクセス命令は使用禁止です。</td> </tr> </table>	排他的アクセス	サポートされません。 CPU からの排他アクセス命令は使用禁止です。
排他的アクセス	サポートされません。 CPU からの排他アクセス命令は使用禁止です。		

**43.4 使用上の注意事項**

現在	改訂後 (追加)
- (記載なし)	<p><b>43.4.4 排他的アクセス</b></p> <p>CPUからの排他的アクセス命令はシステムSRAMに対しては使用禁止です。もし使用した場合、他の非排他的アクセス命令含めて、システムSRAMへの動作の結果は保証されません。</p> <p>1つ例外は、システムSRAMがCPUのMPU設定にてキャッシュ有効かつ共有不可に設定された場合です。この場合、CPU内部の排他モニタが使用され、排他的アクセスのトランザクションがシステムSRAMに伝搬しないため、排他的アクセス命令を使用可能です。12.4.5 排他的アクセスの制限も参照してください。</p>