

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RZ*-A0149A/J	Rev.	第1版
題名	システムSRAMの排他的アクセスの不具合		情報分類	技術情報	
適用製品	RZ/T2H および RZ/N2H グループ	対象ロット等	関連資料	RZ/T2H および RZ/N2H グループ ユーザーズマニュアル ハードウェア 編 Rev.1.10 (R01UH1039JJ0110)	
		すべて			

このドキュメントでは、システム SRAM の排他的アクセスの不具合について説明します。

1. 不具合内容

CPU から排他的アクセス命令がシステム SRAM に対して発行された場合、以下のような不具合動作が発生する可能性があります。

- 排他的アクセス書き込み、非排他的アクセス書き込みともに、正常に書き込みができない。
- ECC 機能を有効にしている場合、読み出しアドレスが異なっても 16byte 毎に同じ値が読み出される。

対象の排他的アクセス命令：

Cortex-A55:

- 排他的ロード：LDXRB, LDAXRB, LDXRH, LDAXRH, LDXR, LDAXR, LDXP, LDAXP
- 排他的ストア：STXRB, STLXRB, STXRH, STLXRH, STXR, STLXR, STXP, STLXP
- その他：CLREX

Cortex-R52:

- 排他的ロード：LDREXB, LDAEXB, LDREXH, LDAEXH, LDREX, LDAEX, LDREXD, LDAEXD
- 排他的ストア：STREXB, STLEXB, STREXH, STLEXH, STREX, STLEX, STREXD, STLEXD
- その他：CLREX

2. 回避策

システム SRAM に対して排他的アクセス命令を発行しないでください。排他制御を行うためには、以下の方法のいずれかを適用してください。

- 排他的アクセス命令ではなく、メールボックスおよびセマフォ（MBXSEM）を使用してください。
- LPDDR4 SDRAM に対して排他的アクセス命令を使用してください。
- CPU の MPU あるいは MMU 設定にてキャッシュ有効かつ共有不可に設定したシステム SRAM の領域に対して排他的アクセス命令を使用してください。この場合、CPU 内部の排他的アクセスモニタが使用されるため、排他的アクセスのトランザクションはシステム SRAM には伝搬しません。

3. ユーザーズマニュアル ハードウェア編の改訂

ユーザーズマニュアル ハードウェア編を以下のように改訂予定です。

13. 内部バス

13.5 使用上の注意事項

現在	改訂後（変更）
<p>13.5.5 排他的アクセス</p> <p>Cortex-R52 と Cortex-A55 における同期とセマフォのための排他的アクセス命令、およびアトミック命令は、共有可能な領域ではサポートされていません。排他制御にはメールボックスとセマフォ（MBXSEM）を使用してください。</p> <p>対象となる命令については、Arm Architecture Reference Manual for A-profile architecture (DDI 0487) の以下の項を参照してください。</p> <ul style="list-style-type: none"> ● AArch64 の場合 <ul style="list-style-type: none"> - B2.17 Synchronization and semaphores - C3.2.12 Atomic instructions ● AArch32 の場合 <ul style="list-style-type: none"> - E2.10 Synchronization and semaphores 	<p>13.5.5 排他的アクセスの制限</p> <p>Cortex-R52 における同期とセマフォのための排他的アクセス命令はシステム SRAM に対しては使用禁止です。排他制御を行うためには、以下の方法のいずれかを適用してください。</p> <ul style="list-style-type: none"> • 排他的アクセス命令ではなく、メールボックスおよびセマフォ（MBXSEM）を使用してください。 • LPDDR4 SDRAM に対して排他的アクセス命令を使用してください。 • CPU の MPU あるいは MMU 設定にてキャッシュ有効かつ共有不可に設定したシステム SRAM の領域に対して排他的アクセス命令を使用してください。この場合、排他的アクセスのトランザクションはシステム SRAM には伝搬しません。 <p>対象の排他的アクセス命令：</p> <p>Cortex-A55:</p> <ul style="list-style-type: none"> • 排他的ロード：LDXRB, LDAXRB, LDXRH, LDAXRH, LDXR, LDAXR, LDXP, LDAXP • 排他的ストア：STXRB, STLXRB, STXRH, STLXRH, STXR, STLXR, STXP, STLXP • その他：CLREX <p>Cortex-R52:</p> <ul style="list-style-type: none"> • 排他的ロード：LDREXB, LDAEXB, LDREXH, LDAEXH, LDREX, LDAEX, LDREXD, LDAEXD • 排他的ストア：STREXB, STLEXB, STREXH, STLEXH, STREX, STLEX, STREXD, STLEXD • その他：CLREX

44. システム SRAM (SYSRAM)

44.1 概要

表 44.1 システム SRAM の仕様

現在	改訂後（追加）		
-（記載なし）	<table border="1" style="width: 100%;"> <tr> <td style="width: 30%;">排他的アクセス</td> <td>サポートされません。 CPU からの排他アクセス命令は使用禁止です。</td> </tr> </table>	排他的アクセス	サポートされません。 CPU からの排他アクセス命令は使用禁止です。
排他的アクセス	サポートされません。 CPU からの排他アクセス命令は使用禁止です。		

44.5 使用上の注意事項

現在	改訂後（追加）
-（記載なし）	<p>44.5.4 排他的アクセス</p> <p>CPU からの排他的アクセス命令はシステム SRAM に対しては使用禁止です。もし使用した場合、他の非排他的アクセス命令含めて、システム SRAM への動作の結果は保証されません。</p> <p>1 つ例外は、システム SRAM が CPU の MPU あるいは MMU 設定にてキャッシュ有効かつ共有不可に設定された場合です。この場合、CPU 内部の排他モニタが使用され、排他的アクセスのトランザクションがシステム SRAM に伝搬しないため、排他的アクセス命令を使用可能です。</p> <p>13.5.5 排他的アクセスの制限も参照してください。</p>

57. LPDDR4 SDRAM サブシステム (DDRSS)

57.1 概要

表 57.1 DDRSS の仕様

現在		改訂後 (追加)	
MC	<ul style="list-style-type: none"> 完全にパイプライン化されたコマンド、コントローラとのデータ読み出しおよび書き込み用インタフェース 高いメモリスループットを実現する高度なバンク先読み機能 自動プリチャージを含むメモリのパラメータとプロトコルを制御するプログラマブルレジスタインタフェース コントローラリセット時のメモリの完全初期化 ポートからの要求を調停するための重み付けラウンドロビンアービトレーション方式をサポート シングルビット/ダブルビットエラー報告、シングルビット誤り訂正、および ECC ストレージのプログラマブルな削除に対応する ECC 機能 外部 DRAM メモリのビルトインセルフテスト (BIST) 	MC	<ul style="list-style-type: none"> 完全にパイプライン化されたコマンド、コントローラとのデータ読み出しおよび書き込み用インタフェース 高いメモリスループットを実現する高度なバンク先読み機能 自動プリチャージを含むメモリのパラメータとプロトコルを制御するプログラマブルレジスタインタフェース コントローラリセット時のメモリの完全初期化 ポートからの要求を調停するための重み付けラウンドロビンアービトレーション方式をサポート シングルビット/ダブルビットエラー報告、シングルビット誤り訂正、および ECC ストレージのプログラマブルな削除に対応する ECC 機能 外部 DRAM メモリのビルトインセルフテスト (BIST) ポートごとに排他アクセス命令を最大 2 トランザクションまでサポート

57.6 使用上の注意事項

表 57.35 制約事項

現在	改訂後 (追加)	
- (記載なし)	排他的アクセス	各ポートは最大 2 トランザクションの排他性を監視できます。排他モニタバッファがフルの状態では新たな排他的アクセス命令を受け付けると、最も古い排他的アクセスエントリが上書きされます。その結果、パフォーマンスが低下する可能性があります。