

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RH8-B0246C/J	Rev.	第3版
題名	RH850/C1M-A1, RH850/C1M-A2 ユーザーズマニュアル ハードウェア編 Rev1.20 正誤表		情報分類	技術情報	
適用製品	RH850/C1M-A1 RH850/C1M-A2	対象ロット等	関連資料	下記関連資料参照	
		—			

1. 説明

RH850/C1M-A1, RH850/C1M-A2 ユーザーズマニュアル ハードウェア編 Rev1.20 に対する正誤表を示します。

No.1～No.15 は前版(TN-RH8-B0246A/J)で通知済の項目です。

No.16～No.54 は前版(TN-RH8-B0246B/J)で通知済の項目です。

No.55～No.73 は新規追加した項目です。

【関連資料】

シリーズ	グループ	関連資料	Rev.	管理番号
RH850	C1M-A1, C1M-A2	RH850/C1M-A1,RH850/C1M-A2 ユーザーズマニュアル ハードウェア編	1.20	R01UH0607JJ0120

変更箇所を以下に示します。(誤:赤文字、正:青文字)

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考
1	281	割り込み	図6.1 外部割り込み処理フロー例			誤記	-	-
2	2500	ADCC	27.4.7.3 断線検出自己診断機能	<p>27.4.7.3 断線検出自己診断機能 半田はがれによる端子の断線検出を行う機能です。 断線検出制御レジスタ(ADCCnODCRレジスタ)で設定した時間分、対象のアナログ端子を放電した後、A/D変換を行い、変換結果が0V近傍となった場合、断線していると判断することができます。</p>	<p>27.4.7.3 断線検出自己診断機能 半田はがれによる端子の断線検出を行う機能です。 端子が断線している場合、Pull-Up方式またはPull-Up方式により、変換結果はAnVSS近傍またはAnVCC近傍に収束するため、変換結果から断線を判断することができます。</p>	誤記	-	-
3	2506	ADCC	27.5.5 断線検出自己診断設定手順	<p>27.5.5 断線検出自己診断設定手順 断線検出機能は、ANIの断線を検出するための機能です。断線検出にはPull-Down/Pull-Up方式の両方を使用します。Pull-Down方式のとき、断線が起こると変換結果は0V近傍に減衰し、変換結果に異常値が検出されるため、断線検出と判断することが可能です。Pull-Up方式のとき、断線が起こると変換結果は5V近傍に上昇し、変換結果に異常値が検出されるため、断線検出と判断することが可能です。</p>	<p>27.5.5 断線検出自己診断設定手順 断線検出機能は、ANIの断線を検出するための機能です。断線検出では、S/H回路のサンプリング時に固定のパルス幅(18ステート)でPull-Down抵抗、またはPull-Up抵抗を接続します。Pull-Down方式のとき、断線が起こると変換結果はAnVSS近傍に減衰し、変換結果に異常値が検出されるため、断線検出と判断することが可能です。Pull-Up方式のとき、断線が起こると変換結果はAnVCC近傍に上昇し、変換結果に異常値が検出されるため、断線検出と判断することが可能です。</p>	誤記	-	-
4	2507	ADCC	図27.28 断線検出自己診断フロー			誤記	-	-

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考																																																																																																																																																												
5	2619	ファンクショナルセーフティ	表29.66 ECC モジュール一覧	<p>表 29.66 ECC モジュール一覧</p> <table border="1"> <thead> <tr> <th rowspan="3">対応する周辺機能</th> <th colspan="4">ECC モジュール名とレジスタベースアドレス</th> </tr> <tr> <th colspan="2">マスタ側¹⁾</th> <th colspan="2">チェッカ側¹⁾</th> </tr> <tr> <th>モジュール名</th> <th>ベースアドレス <base_addr></th> <th>モジュール名</th> <th>ベースアドレス <base_addr></th> </tr> </thead> <tbody> <tr> <td rowspan="2">RS-CANFD メッセージバッファ RAM (MB RAM)</td> <td>E7RC1M</td> <td>FFC7 1000_H</td> <td>E7RC1C</td> <td>FFC7 1200_H</td> </tr> <tr> <td>E7RC2M</td> <td>FFC7 1400_H</td> <td>E7RC2C</td> <td>FFC7 1600_H</td> </tr> <tr> <td rowspan="3">CSIH アクセプタンスフィルタリスト RAM (AFL RAM)</td> <td>E7CS0M</td> <td>FFC7 0000_H</td> <td>E7CS0C</td> <td>FFC7 0200_H</td> </tr> <tr> <td>E7CS1M</td> <td>FFC7 0400_H</td> <td>E7CS1C</td> <td>FFC7 0600_H</td> </tr> <tr> <td>E7CS2M</td> <td>FFC7 0800_H</td> <td>E7CS1C</td> <td>FFC7 0A00_H</td> </tr> </tbody> </table> <p>注 1. 2重化構成としているため、マスタ側とチェッカ側の2モジュールが存在します。</p>	対応する周辺機能	ECC モジュール名とレジスタベースアドレス				マスタ側 ¹⁾		チェッカ側 ¹⁾		モジュール名	ベースアドレス <base_addr>	モジュール名	ベースアドレス <base_addr>	RS-CANFD メッセージバッファ RAM (MB RAM)	E7RC1M	FFC7 1000 _H	E7RC1C	FFC7 1200 _H	E7RC2M	FFC7 1400 _H	E7RC2C	FFC7 1600 _H	CSIH アクセプタンスフィルタリスト RAM (AFL RAM)	E7CS0M	FFC7 0000 _H	E7CS0C	FFC7 0200 _H	E7CS1M	FFC7 0400 _H	E7CS1C	FFC7 0600 _H	E7CS2M	FFC7 0800 _H	E7CS1C	FFC7 0A00 _H	<p>表 29.66 ECC モジュール一覧</p> <table border="1"> <thead> <tr> <th rowspan="3">対応する周辺機能</th> <th colspan="4">ECC モジュール名とレジスタベースアドレス</th> </tr> <tr> <th colspan="2">マスタ側¹⁾</th> <th colspan="2">チェッカ側¹⁾</th> </tr> <tr> <th>モジュール名</th> <th>ベースアドレス <base_addr></th> <th>モジュール名</th> <th>ベースアドレス <base_addr></th> </tr> </thead> <tbody> <tr> <td rowspan="2">RS-CANFD メッセージバッファ RAM (MB RAM)</td> <td>E7RC1M</td> <td>FFC7 1000_H</td> <td>E7RC1C</td> <td>FFC7 1200_H</td> </tr> <tr> <td>E7RC2M</td> <td>FFC7 1400_H</td> <td>E7RC2C</td> <td>FFC7 1600_H</td> </tr> <tr> <td rowspan="3">CSIH アクセプタンスフィルタリスト RAM (AFL RAM)</td> <td>E7CS0M</td> <td>FFC7 0000_H</td> <td>E7CS0C</td> <td>FFC7 0200_H</td> </tr> <tr> <td>E7CS1M</td> <td>FFC7 0400_H</td> <td>E7CS1C</td> <td>FFC7 0600_H</td> </tr> <tr> <td>E7CS2M</td> <td>FFC7 0800_H</td> <td>E7CS2C</td> <td>FFC7 0A00_H</td> </tr> </tbody> </table> <p>注 1. 2重化構成としているため、マスタ側とチェッカ側の2モジュールが存在します。</p>	対応する周辺機能	ECC モジュール名とレジスタベースアドレス				マスタ側 ¹⁾		チェッカ側 ¹⁾		モジュール名	ベースアドレス <base_addr>	モジュール名	ベースアドレス <base_addr>	RS-CANFD メッセージバッファ RAM (MB RAM)	E7RC1M	FFC7 1000 _H	E7RC1C	FFC7 1200 _H	E7RC2M	FFC7 1400 _H	E7RC2C	FFC7 1600 _H	CSIH アクセプタンスフィルタリスト RAM (AFL RAM)	E7CS0M	FFC7 0000 _H	E7CS0C	FFC7 0200 _H	E7CS1M	FFC7 0400 _H	E7CS1C	FFC7 0600 _H	E7CS2M	FFC7 0800 _H	E7CS2C	FFC7 0A00 _H	誤記	-	-																																																																																						
対応する周辺機能	ECC モジュール名とレジスタベースアドレス																																																																																																																																																																			
	マスタ側 ¹⁾		チェッカ側 ¹⁾																																																																																																																																																																	
	モジュール名	ベースアドレス <base_addr>	モジュール名	ベースアドレス <base_addr>																																																																																																																																																																
RS-CANFD メッセージバッファ RAM (MB RAM)	E7RC1M	FFC7 1000 _H	E7RC1C	FFC7 1200 _H																																																																																																																																																																
	E7RC2M	FFC7 1400 _H	E7RC2C	FFC7 1600 _H																																																																																																																																																																
CSIH アクセプタンスフィルタリスト RAM (AFL RAM)	E7CS0M	FFC7 0000 _H	E7CS0C	FFC7 0200 _H																																																																																																																																																																
	E7CS1M	FFC7 0400 _H	E7CS1C	FFC7 0600 _H																																																																																																																																																																
	E7CS2M	FFC7 0800 _H	E7CS1C	FFC7 0A00 _H																																																																																																																																																																
対応する周辺機能	ECC モジュール名とレジスタベースアドレス																																																																																																																																																																			
	マスタ側 ¹⁾		チェッカ側 ¹⁾																																																																																																																																																																	
	モジュール名	ベースアドレス <base_addr>	モジュール名	ベースアドレス <base_addr>																																																																																																																																																																
RS-CANFD メッセージバッファ RAM (MB RAM)	E7RC1M	FFC7 1000 _H	E7RC1C	FFC7 1200 _H																																																																																																																																																																
	E7RC2M	FFC7 1400 _H	E7RC2C	FFC7 1600 _H																																																																																																																																																																
CSIH アクセプタンスフィルタリスト RAM (AFL RAM)	E7CS0M	FFC7 0000 _H	E7CS0C	FFC7 0200 _H																																																																																																																																																																
	E7CS1M	FFC7 0400 _H	E7CS1C	FFC7 0600 _H																																																																																																																																																																
	E7CS2M	FFC7 0800 _H	E7CS2C	FFC7 0A00 _H																																																																																																																																																																
6	2864	付録A 外形寸法図	QFP176	<p>● QFP176</p> <table border="1"> <thead> <tr> <th>Dimension</th> <th>Min</th> <th>Nom</th> <th>Max</th> </tr> </thead> <tbody> <tr><td>D</td><td>23.9</td><td>24.0</td><td>24.1</td></tr> <tr><td>E</td><td>23.9</td><td>24.0</td><td>24.1</td></tr> <tr><td>A₁</td><td>—</td><td>1.4</td><td>—</td></tr> <tr><td>H₁</td><td>25.8</td><td>26.0</td><td>26.2</td></tr> <tr><td>H₂</td><td>25.8</td><td>26.0</td><td>26.2</td></tr> <tr><td>A</td><td>—</td><td>1.7</td><td>—</td></tr> <tr><td>A₂</td><td>0.05</td><td>0.1</td><td>0.15</td></tr> <tr><td>b₁</td><td>0.15</td><td>0.20</td><td>0.25</td></tr> <tr><td>b₂</td><td>—</td><td>0.15</td><td>—</td></tr> <tr><td>c</td><td>0.09</td><td>0.145</td><td>0.20</td></tr> <tr><td>C</td><td>—</td><td>0.125</td><td>—</td></tr> <tr><td>g</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>g'</td><td>—</td><td>0.5</td><td>—</td></tr> <tr><td>g''</td><td>—</td><td>0.08</td><td>—</td></tr> <tr><td>y</td><td>—</td><td>0.10</td><td>—</td></tr> <tr><td>Z₁</td><td>—</td><td>1.25</td><td>—</td></tr> <tr><td>Z₂</td><td>—</td><td>1.25</td><td>—</td></tr> <tr><td>L</td><td>0.35</td><td>0.5</td><td>0.65</td></tr> <tr><td>L₁</td><td>—</td><td>1.0</td><td>—</td></tr> </tbody> </table>	Dimension	Min	Nom	Max	D	23.9	24.0	24.1	E	23.9	24.0	24.1	A ₁	—	1.4	—	H ₁	25.8	26.0	26.2	H ₂	25.8	26.0	26.2	A	—	1.7	—	A ₂	0.05	0.1	0.15	b ₁	0.15	0.20	0.25	b ₂	—	0.15	—	c	0.09	0.145	0.20	C	—	0.125	—	g	0	0	0	g'	—	0.5	—	g''	—	0.08	—	y	—	0.10	—	Z ₁	—	1.25	—	Z ₂	—	1.25	—	L	0.35	0.5	0.65	L ₁	—	1.0	—	<p>● QFP176</p> <table border="1"> <thead> <tr> <th>Dimension</th> <th>Min</th> <th>Nom</th> <th>Max</th> </tr> </thead> <tbody> <tr><td>D</td><td>23.9</td><td>24.0</td><td>24.1</td></tr> <tr><td>E</td><td>23.9</td><td>24.0</td><td>24.1</td></tr> <tr><td>A₁</td><td>—</td><td>1.4</td><td>—</td></tr> <tr><td>H₁</td><td>25.8</td><td>26.0</td><td>26.2</td></tr> <tr><td>H₂</td><td>25.8</td><td>26.0</td><td>26.2</td></tr> <tr><td>A</td><td>—</td><td>1.7</td><td>—</td></tr> <tr><td>A₂</td><td>0.15</td><td>0.20</td><td>0.25</td></tr> <tr><td>b₁</td><td>—</td><td>0.15</td><td>—</td></tr> <tr><td>c</td><td>0.09</td><td>0.145</td><td>0.20</td></tr> <tr><td>C</td><td>—</td><td>0.125</td><td>—</td></tr> <tr><td>g</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>g'</td><td>—</td><td>0.5</td><td>—</td></tr> <tr><td>g''</td><td>—</td><td>0.08</td><td>—</td></tr> <tr><td>y</td><td>—</td><td>0.08</td><td>—</td></tr> <tr><td>Z₁</td><td>—</td><td>1.25</td><td>—</td></tr> <tr><td>Z₂</td><td>—</td><td>1.25</td><td>—</td></tr> <tr><td>L</td><td>0.35</td><td>0.5</td><td>0.65</td></tr> <tr><td>L₁</td><td>—</td><td>1.0</td><td>—</td></tr> </tbody> </table>	Dimension	Min	Nom	Max	D	23.9	24.0	24.1	E	23.9	24.0	24.1	A ₁	—	1.4	—	H ₁	25.8	26.0	26.2	H ₂	25.8	26.0	26.2	A	—	1.7	—	A ₂	0.15	0.20	0.25	b ₁	—	0.15	—	c	0.09	0.145	0.20	C	—	0.125	—	g	0	0	0	g'	—	0.5	—	g''	—	0.08	—	y	—	0.08	—	Z ₁	—	1.25	—	Z ₂	—	1.25	—	L	0.35	0.5	0.65	L ₁	—	1.0	—	説明変更	TN-RH8-B163A/J	-
Dimension	Min	Nom	Max																																																																																																																																																																	
D	23.9	24.0	24.1																																																																																																																																																																	
E	23.9	24.0	24.1																																																																																																																																																																	
A ₁	—	1.4	—																																																																																																																																																																	
H ₁	25.8	26.0	26.2																																																																																																																																																																	
H ₂	25.8	26.0	26.2																																																																																																																																																																	
A	—	1.7	—																																																																																																																																																																	
A ₂	0.05	0.1	0.15																																																																																																																																																																	
b ₁	0.15	0.20	0.25																																																																																																																																																																	
b ₂	—	0.15	—																																																																																																																																																																	
c	0.09	0.145	0.20																																																																																																																																																																	
C	—	0.125	—																																																																																																																																																																	
g	0	0	0																																																																																																																																																																	
g'	—	0.5	—																																																																																																																																																																	
g''	—	0.08	—																																																																																																																																																																	
y	—	0.10	—																																																																																																																																																																	
Z ₁	—	1.25	—																																																																																																																																																																	
Z ₂	—	1.25	—																																																																																																																																																																	
L	0.35	0.5	0.65																																																																																																																																																																	
L ₁	—	1.0	—																																																																																																																																																																	
Dimension	Min	Nom	Max																																																																																																																																																																	
D	23.9	24.0	24.1																																																																																																																																																																	
E	23.9	24.0	24.1																																																																																																																																																																	
A ₁	—	1.4	—																																																																																																																																																																	
H ₁	25.8	26.0	26.2																																																																																																																																																																	
H ₂	25.8	26.0	26.2																																																																																																																																																																	
A	—	1.7	—																																																																																																																																																																	
A ₂	0.15	0.20	0.25																																																																																																																																																																	
b ₁	—	0.15	—																																																																																																																																																																	
c	0.09	0.145	0.20																																																																																																																																																																	
C	—	0.125	—																																																																																																																																																																	
g	0	0	0																																																																																																																																																																	
g'	—	0.5	—																																																																																																																																																																	
g''	—	0.08	—																																																																																																																																																																	
y	—	0.08	—																																																																																																																																																																	
Z ₁	—	1.25	—																																																																																																																																																																	
Z ₂	—	1.25	—																																																																																																																																																																	
L	0.35	0.5	0.65																																																																																																																																																																	
L ₁	—	1.0	—																																																																																																																																																																	
7	2670	ファンクショナルセーフティ	表29.103 ERRSLVxxADDR レジスタの内容	<p>表 29.103 ERRSLVxxADDR レジスタの内容</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>31~0</td> <td>ADDR[31:0]</td> <td>エラー発生時のアドレス。 ADDR[1:0]は0 固定です。</td> </tr> </tbody> </table>	ビット位置	ビット名	機能	31~0	ADDR[31:0]	エラー発生時のアドレス。 ADDR[1:0]は0 固定です。	<p>表 29.103 ERRSLVxxADDR レジスタの内容</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>31~0</td> <td>ADDR[31:0]</td> <td>エラー発生時のアドレス。 ADDR[1:0]は不定です。</td> </tr> </tbody> </table>	ビット位置	ビット名	機能	31~0	ADDR[31:0]	エラー発生時のアドレス。 ADDR[1:0]は不定です。	説明変更	TN-RH8-B0193A/J	-																																																																																																																																																
ビット位置	ビット名	機能																																																																																																																																																																		
31~0	ADDR[31:0]	エラー発生時のアドレス。 ADDR[1:0]は0 固定です。																																																																																																																																																																		
ビット位置	ビット名	機能																																																																																																																																																																		
31~0	ADDR[31:0]	エラー発生時のアドレス。 ADDR[1:0]は不定です。																																																																																																																																																																		
8	2639	ファンクショナルセーフティ	29.3 ロックステップ	<p>記載なし</p>	<p>29.3.3 使用上の注意</p> <p>リセット後の値が不定のCPU内のレジスタを初期化せずにリードした場合、ロックステップコンペアエラーが発生する可能性がありますので、必ず初期化(設定値は任意)してください。</p> <p>またリセット後は、分岐命令と後方の命令の並列実行においても、不定レジスタによるロックステップコンペアエラーが発生する可能性があります。先行する命令で分岐する場合でも後方の命令が参照するレジスタを初期化するまでは下記方法を適用してください。</p> <p>● 下記に示す分岐命令の直後にSYNCl命令またはRIE命令を挿入してください。(C言語の場合、最適化され意図通りの処理とならない可能性がありますので、アセンブラで実施してください)</p> <p>該当分岐命令:BRを除くBcond,JARL,JMP</p>	説明変更	TN-RH8-B0183C/J	-																																																																																																																																																												

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考																																																																																																																																																
9	246	動作モード	表5.1 動作モードの選択	<p>表 5.1 動作モードの選択</p> <table border="1"> <thead> <tr> <th>端子設定値</th> <th>端子設定値</th> <th>端子設定値</th> <th>オプションバイト0設定値</th> <th>オプションバイト0設定値</th> <th>動作モード</th> <th>起動領域</th> <th>IFの種類^{※1}</th> <th>備考</th> </tr> <tr> <th>MD1</th> <th>MD0</th> <th>FLMODE</th> <th>STMSEL1</th> <th>STMSEL0</th> <th></th> <th></th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>ユーザーブートモード</td> <td>ユーザー領域</td> <td>オプションバイトのOPBT2でIFを選択可能。詳細は「35.9.2 OPBT2 - オプションバイト2レジスタ」を参照。</td> <td>オンチップデバッグ可能</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>ユーザーブートモード</td> <td>ユーザー領域</td> <td></td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>X</td> <td>シリアルプログラミングモード</td> <td>ブート領域</td> <td>ライタ IF (2線UART)</td> <td>シリアルプログラミング可能</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>X</td> <td>X</td> <td>バウンダリスキャンモード</td> <td>—</td> <td>JTAG</td> <td>バウンダリスキャン可能</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>X</td> <td>X</td> <td>シリアルプログラミングモード</td> <td>ブート領域</td> <td>ライタ IF (2線UART)</td> <td>シリアルプログラミング可能</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>X</td> <td>X</td> <td>シリアルプログラミングモード</td> <td>ブート領域</td> <td>ライタ IF (3線クロック同期)</td> <td>シリアルプログラミング可能</td> </tr> </tbody> </table> <p>備考 X = Don't care 注 1. 各 IF での端子機能や端子状態との対応は「2.4.3 端子状態」を参照してください。</p>	端子設定値	端子設定値	端子設定値	オプションバイト0設定値	オプションバイト0設定値	動作モード	起動領域	IFの種類 ^{※1}	備考	MD1	MD0	FLMODE	STMSEL1	STMSEL0					0	0	0	0	0	ユーザーブートモード	ユーザー領域	オプションバイトのOPBT2でIFを選択可能。詳細は「35.9.2 OPBT2 - オプションバイト2レジスタ」を参照。	オンチップデバッグ可能	0	0	0	0	1	ユーザーブートモード	ユーザー領域			0	0	0	1	X	シリアルプログラミングモード	ブート領域	ライタ IF (2線UART)	シリアルプログラミング可能	0	0	1	X	X	バウンダリスキャンモード	—	JTAG	バウンダリスキャン可能	0	1	0	X	X	シリアルプログラミングモード	ブート領域	ライタ IF (2線UART)	シリアルプログラミング可能	0	1	1	X	X	シリアルプログラミングモード	ブート領域	ライタ IF (3線クロック同期)	シリアルプログラミング可能	<p>表 5.1 動作モードの選択</p> <table border="1"> <thead> <tr> <th>端子設定値</th> <th>端子設定値</th> <th>端子設定値</th> <th>オプションバイト0設定値</th> <th>オプションバイト0設定値</th> <th>動作モード</th> <th>起動領域</th> <th>IFの種類^{※1}</th> <th>備考</th> </tr> <tr> <th>MD1^{※2}</th> <th>MD0</th> <th>FLMODE</th> <th>STMSEL1</th> <th>STMSEL0</th> <th></th> <th></th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>ユーザーブートモード</td> <td>ユーザー領域</td> <td>オプションバイトのOPBT2でIFを選択可能。詳細は「35.9.2 OPBT2 - オプションバイト2レジスタ」を参照。</td> <td>オンチップデバッグ可能</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>ユーザーブートモード</td> <td>ユーザー領域</td> <td></td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>X</td> <td>シリアルプログラミングモード</td> <td>ブート領域</td> <td>ライタ IF (2線UART)</td> <td>シリアルプログラミング可能</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>X</td> <td>X</td> <td>バウンダリスキャンモード</td> <td>—</td> <td>JTAG</td> <td>バウンダリスキャン可能</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>X</td> <td>X</td> <td>シリアルプログラミングモード</td> <td>ブート領域</td> <td>ライタ IF (2線UART)</td> <td>シリアルプログラミング可能</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>X</td> <td>X</td> <td>シリアルプログラミングモード</td> <td>ブート領域</td> <td>ライタ IF (3線クロック同期)</td> <td>シリアルプログラミング可能</td> </tr> </tbody> </table> <p>備考 X = Don't care 注 1. 各 IF での端子機能や端子状態との対応は「2.4.3 端子状態」を参照してください。 注 2. MD1 は常に Low レベルを入力してください。</p>	端子設定値	端子設定値	端子設定値	オプションバイト0設定値	オプションバイト0設定値	動作モード	起動領域	IFの種類 ^{※1}	備考	MD1 ^{※2}	MD0	FLMODE	STMSEL1	STMSEL0					0	0	0	0	0	ユーザーブートモード	ユーザー領域	オプションバイトのOPBT2でIFを選択可能。詳細は「35.9.2 OPBT2 - オプションバイト2レジスタ」を参照。	オンチップデバッグ可能	0	0	0	0	1	ユーザーブートモード	ユーザー領域			0	0	0	1	X	シリアルプログラミングモード	ブート領域	ライタ IF (2線UART)	シリアルプログラミング可能	0	0	1	X	X	バウンダリスキャンモード	—	JTAG	バウンダリスキャン可能	0	1	0	X	X	シリアルプログラミングモード	ブート領域	ライタ IF (2線UART)	シリアルプログラミング可能	0	1	1	X	X	シリアルプログラミングモード	ブート領域	ライタ IF (3線クロック同期)	シリアルプログラミング可能	追加説明	-	-
端子設定値	端子設定値	端子設定値	オプションバイト0設定値	オプションバイト0設定値	動作モード	起動領域	IFの種類 ^{※1}	備考																																																																																																																																																
MD1	MD0	FLMODE	STMSEL1	STMSEL0																																																																																																																																																				
0	0	0	0	0	ユーザーブートモード	ユーザー領域	オプションバイトのOPBT2でIFを選択可能。詳細は「35.9.2 OPBT2 - オプションバイト2レジスタ」を参照。	オンチップデバッグ可能																																																																																																																																																
0	0	0	0	1	ユーザーブートモード	ユーザー領域																																																																																																																																																		
0	0	0	1	X	シリアルプログラミングモード	ブート領域	ライタ IF (2線UART)	シリアルプログラミング可能																																																																																																																																																
0	0	1	X	X	バウンダリスキャンモード	—	JTAG	バウンダリスキャン可能																																																																																																																																																
0	1	0	X	X	シリアルプログラミングモード	ブート領域	ライタ IF (2線UART)	シリアルプログラミング可能																																																																																																																																																
0	1	1	X	X	シリアルプログラミングモード	ブート領域	ライタ IF (3線クロック同期)	シリアルプログラミング可能																																																																																																																																																
端子設定値	端子設定値	端子設定値	オプションバイト0設定値	オプションバイト0設定値	動作モード	起動領域	IFの種類 ^{※1}	備考																																																																																																																																																
MD1 ^{※2}	MD0	FLMODE	STMSEL1	STMSEL0																																																																																																																																																				
0	0	0	0	0	ユーザーブートモード	ユーザー領域	オプションバイトのOPBT2でIFを選択可能。詳細は「35.9.2 OPBT2 - オプションバイト2レジスタ」を参照。	オンチップデバッグ可能																																																																																																																																																
0	0	0	0	1	ユーザーブートモード	ユーザー領域																																																																																																																																																		
0	0	0	1	X	シリアルプログラミングモード	ブート領域	ライタ IF (2線UART)	シリアルプログラミング可能																																																																																																																																																
0	0	1	X	X	バウンダリスキャンモード	—	JTAG	バウンダリスキャン可能																																																																																																																																																
0	1	0	X	X	シリアルプログラミングモード	ブート領域	ライタ IF (2線UART)	シリアルプログラミング可能																																																																																																																																																
0	1	1	X	X	シリアルプログラミングモード	ブート領域	ライタ IF (3線クロック同期)	シリアルプログラミング可能																																																																																																																																																
10	2763	OCD	表34.2 端子構成	<p>表 34.2 端子構成</p> <table border="1"> <thead> <tr> <th>端子名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>AUDRST</td> <td>入力</td> <td>本端子は AUDR リセット入力端子です。本端子に L を入力すると AUDR がリセット状態となります。ただし、AUDISR と AUDMBR/AUDMBRC (後述) は初期化されません。また、何も接続しないときは内部でプルダウンします。</td> </tr> </tbody> </table>	端子名	入出力	機能	AUDRST	入力	本端子は AUDR リセット入力端子です。本端子に L を入力すると AUDR がリセット状態となります。ただし、AUDISR と AUDMBR/AUDMBRC (後述) は初期化されません。また、何も接続しないときは内部でプルダウンします。	<p>表 34.2 端子構成</p> <table border="1"> <thead> <tr> <th>端子名</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>AUDRST</td> <td>入力</td> <td>本端子は AUDR リセット入力端子です。本端子に L を入力すると AUDR がリセット状態となります。AUDR の利用有無にかかわらず、電源投入時は本端子を L にしてください。また、何も接続しないときは内部でプルダウンします。本端子を H 入力する場合は、必ず AUDR を初期化してから行ってください。 注意: AUDR は、本端子が L かつ AUDCK を一定サイクル数入力する事で初期化されます。ただし、AUDISR と AUDMBR/AUDMBRC (後述) は初期化されません。初期化に必要なサイクル数については「34.4.3 AUDR 機能」に関する使用上の注意事項 および「第 39 章 電気的特性」を参照してください。</td> </tr> </tbody> </table>	端子名	入出力	機能	AUDRST	入力	本端子は AUDR リセット入力端子です。本端子に L を入力すると AUDR がリセット状態となります。AUDR の利用有無にかかわらず、電源投入時は本端子を L にしてください。また、何も接続しないときは内部でプルダウンします。本端子を H 入力する場合は、必ず AUDR を初期化してから行ってください。 注意: AUDR は、本端子が L かつ AUDCK を一定サイクル数入力する事で初期化されます。ただし、AUDISR と AUDMBR/AUDMBRC (後述) は初期化されません。初期化に必要なサイクル数については「34.4.3 AUDR 機能」に関する使用上の注意事項 および「第 39 章 電気的特性」を参照してください。	説明変更	TN-RH8-B0228A/J	-																																																																																																																																				
端子名	入出力	機能																																																																																																																																																						
AUDRST	入力	本端子は AUDR リセット入力端子です。本端子に L を入力すると AUDR がリセット状態となります。ただし、AUDISR と AUDMBR/AUDMBRC (後述) は初期化されません。また、何も接続しないときは内部でプルダウンします。																																																																																																																																																						
端子名	入出力	機能																																																																																																																																																						
AUDRST	入力	本端子は AUDR リセット入力端子です。本端子に L を入力すると AUDR がリセット状態となります。AUDR の利用有無にかかわらず、電源投入時は本端子を L にしてください。また、何も接続しないときは内部でプルダウンします。本端子を H 入力する場合は、必ず AUDR を初期化してから行ってください。 注意: AUDR は、本端子が L かつ AUDCK を一定サイクル数入力する事で初期化されます。ただし、AUDISR と AUDMBR/AUDMBRC (後述) は初期化されません。初期化に必要なサイクル数については「34.4.3 AUDR 機能」に関する使用上の注意事項 および「第 39 章 電気的特性」を参照してください。																																																																																																																																																						

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考
11	2776	OCD	34.4.4.3 AUDR 機能に関する使用上の注意事項	<p>34.4.4.3 AUDR 機能に関する使用上の注意事項</p> <ul style="list-style-type: none"> AUDSYNC 端子は AUDA 端子にコマンドが入力されて、Ready 返却後の 1AUDCK 期間までネゲートしないでください。 未初期化のメモリへ AUDR でアクセスした場合、ECC エラーの検出によりバスエラーとなる場合があります。 	<p>34.4.4.3 AUDR 機能に関する使用上の注意事項</p> <ul style="list-style-type: none"> AUDSYNC 端子は AUDA 端子にコマンドが入力されて、Ready 返却後の 1AUDCK 期間までネゲートしないでください。 未初期化のメモリへ AUDR でアクセスした場合、ECC エラーの検出によりバスエラーとなる場合があります。 AUDR によるデータ転送中($\overline{\text{AUDSYNC}} = \text{L}$)に、 $\overline{\text{AUDRST}} = \text{L}$ で AUDR をリセット状態にしないでください。System Interconnect で、AUDR のデータ転送が完了せず、他バスマスタのデータ転送を阻害する可能性があります。 外部/内部リセット状態の時、AUDR によるデータ転送は出来ません。 $\overline{\text{AUDRST}} = \text{H}$ で AUDR リセット解除後、2AUDCK サイクル以上の期間、 $\overline{\text{AUDSYNC}}$ 端子をアサートしないでください。 電源投入からデータ転送までのタイミングを図 34.xx に示します。 <p>図 34.xx 電源投入からデータ転送までのタイミング</p>	説明変更	TN-RH8-B0228A/J	-
12	2777	OCD	34.5 オンチップデバッグ使用上の注意	記載なし	(5)電源投入時の/DCUTRST端子処理 オンチップデバッグ機能の利用有無にかかわらず、電源投入時に/DCUTRST端子をロウレベルにしてください。	追加説明	-	-

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考																																																																																																																								
13	2675	電気的特性	図39.5 制御信号タイミング	<p>図 39.5 制御信号タイミング</p>	<p>図 39.5 制御信号タイミング</p>	誤記	-	-																																																																																																																								
14	2853	電気的特性	表39.30 AUD RAM モニタタイミング	<p>表 39.30 AUD RAM モニタタイミング 条件： Tj = -40°C~150°C、CL = 30 pF</p> <table border="1"> <thead> <tr> <th>項目</th> <th>略号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>AUDCK 周期 (モニタモード)</td> <td>tAUCKMyc</td> <td>50</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDCK ハイレベル幅 (モニタモード)</td> <td>tAUCKMH</td> <td>0.4 × tAUCKMyc</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDCK ロウレベル幅 (モニタモード)</td> <td>tAUCKML</td> <td>0.4 × tAUCKMyc</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDRST セットアップ時間 (モニタモード、対 AUDCK 1)</td> <td>tAURSTMS</td> <td>30</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDRST 入力パルス幅 (モニタモード)</td> <td>tAURSTMW</td> <td>5 × tAUCKMyc</td> <td>—</td> <td>ns</td> </tr> <tr> <td>モニタデータ出力遅延時間 (対 AUDCK 1)</td> <td>tAUDTMD</td> <td>—</td> <td>35</td> <td>ns</td> </tr> <tr> <td>モニタデータ入力セットアップ時間 (対 AUDCK 1)</td> <td>tAUDTMS</td> <td>15</td> <td>—</td> <td>ns</td> </tr> <tr> <td>モニタデータ入力ホールド時間 (対 AUDCK 1)</td> <td>tAUDTMH</td> <td>5</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDSYNC 入力セットアップ時間 (対 AUDCK 1)</td> <td>tAUDSYS</td> <td>15</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDSYNC 入力ホールド時間 (対 AUDCK 1)</td> <td>tAUDSYH</td> <td>5</td> <td>—</td> <td>ns</td> </tr> </tbody> </table>	項目	略号	Min.	Max.	単位	AUDCK 周期 (モニタモード)	tAUCKMyc	50	—	ns	AUDCK ハイレベル幅 (モニタモード)	tAUCKMH	0.4 × tAUCKMyc	—	ns	AUDCK ロウレベル幅 (モニタモード)	tAUCKML	0.4 × tAUCKMyc	—	ns	AUDRST セットアップ時間 (モニタモード、対 AUDCK 1)	tAURSTMS	30	—	ns	AUDRST 入力パルス幅 (モニタモード)	tAURSTMW	5 × tAUCKMyc	—	ns	モニタデータ出力遅延時間 (対 AUDCK 1)	tAUDTMD	—	35	ns	モニタデータ入力セットアップ時間 (対 AUDCK 1)	tAUDTMS	15	—	ns	モニタデータ入力ホールド時間 (対 AUDCK 1)	tAUDTMH	5	—	ns	AUDSYNC 入力セットアップ時間 (対 AUDCK 1)	tAUDSYS	15	—	ns	AUDSYNC 入力ホールド時間 (対 AUDCK 1)	tAUDSYH	5	—	ns	<p>表 39.30 AUD RAM モニタタイミング 条件： Tj = -40°C~150°C、CL = 30 pF</p> <table border="1"> <thead> <tr> <th>項目</th> <th>略号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>AUDCK 周期 (モニタモード)</td> <td>tAUCKMyc</td> <td>50</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDCK ハイレベル幅 (モニタモード)</td> <td>tAUCKMH</td> <td>0.4 × tAUCKMyc</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDCK ロウレベル幅 (モニタモード)</td> <td>tAUCKML</td> <td>0.4 × tAUCKMyc</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDRST セットアップ時間 (モニタモード、対 AUDCK 1)</td> <td>tAURSTMS</td> <td>30</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDRST 入力パルス幅 (モニタモード)</td> <td>tAURSTMW</td> <td>5 × tAUCKMyc</td> <td>—</td> <td>ns</td> </tr> <tr> <td>モニタデータ出力遅延時間 (対 AUDCK 1)</td> <td>tAUDTMD</td> <td>—</td> <td>35</td> <td>ns</td> </tr> <tr> <td>モニタデータ入力セットアップ時間 (対 AUDCK 1)</td> <td>tAUDTMS</td> <td>15</td> <td>—</td> <td>ns</td> </tr> <tr> <td>モニタデータ入力ホールド時間 (対 AUDCK 1)</td> <td>tAUDTMH</td> <td>5</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDSYNC 入力セットアップ時間 (対 AUDCK 1)</td> <td>tAUDSYS</td> <td>15</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDSYNC 入力ホールド時間 (対 AUDCK 1)</td> <td>tAUDSYH</td> <td>5</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AUDISR セットアップ時間</td> <td>tAUDMDS</td> <td>1</td> <td>—</td> <td>ms</td> </tr> <tr> <td>AUDISR ホールド時間</td> <td>tAUDMDH</td> <td>1</td> <td>—</td> <td>ms</td> </tr> </tbody> </table>	項目	略号	Min.	Max.	単位	AUDCK 周期 (モニタモード)	tAUCKMyc	50	—	ns	AUDCK ハイレベル幅 (モニタモード)	tAUCKMH	0.4 × tAUCKMyc	—	ns	AUDCK ロウレベル幅 (モニタモード)	tAUCKML	0.4 × tAUCKMyc	—	ns	AUDRST セットアップ時間 (モニタモード、対 AUDCK 1)	tAURSTMS	30	—	ns	AUDRST 入力パルス幅 (モニタモード)	tAURSTMW	5 × tAUCKMyc	—	ns	モニタデータ出力遅延時間 (対 AUDCK 1)	tAUDTMD	—	35	ns	モニタデータ入力セットアップ時間 (対 AUDCK 1)	tAUDTMS	15	—	ns	モニタデータ入力ホールド時間 (対 AUDCK 1)	tAUDTMH	5	—	ns	AUDSYNC 入力セットアップ時間 (対 AUDCK 1)	tAUDSYS	15	—	ns	AUDSYNC 入力ホールド時間 (対 AUDCK 1)	tAUDSYH	5	—	ns	AUDISR セットアップ時間	tAUDMDS	1	—	ms	AUDISR ホールド時間	tAUDMDH	1	—	ms	追加説明	-	-
項目	略号	Min.	Max.	単位																																																																																																																												
AUDCK 周期 (モニタモード)	tAUCKMyc	50	—	ns																																																																																																																												
AUDCK ハイレベル幅 (モニタモード)	tAUCKMH	0.4 × tAUCKMyc	—	ns																																																																																																																												
AUDCK ロウレベル幅 (モニタモード)	tAUCKML	0.4 × tAUCKMyc	—	ns																																																																																																																												
AUDRST セットアップ時間 (モニタモード、対 AUDCK 1)	tAURSTMS	30	—	ns																																																																																																																												
AUDRST 入力パルス幅 (モニタモード)	tAURSTMW	5 × tAUCKMyc	—	ns																																																																																																																												
モニタデータ出力遅延時間 (対 AUDCK 1)	tAUDTMD	—	35	ns																																																																																																																												
モニタデータ入力セットアップ時間 (対 AUDCK 1)	tAUDTMS	15	—	ns																																																																																																																												
モニタデータ入力ホールド時間 (対 AUDCK 1)	tAUDTMH	5	—	ns																																																																																																																												
AUDSYNC 入力セットアップ時間 (対 AUDCK 1)	tAUDSYS	15	—	ns																																																																																																																												
AUDSYNC 入力ホールド時間 (対 AUDCK 1)	tAUDSYH	5	—	ns																																																																																																																												
項目	略号	Min.	Max.	単位																																																																																																																												
AUDCK 周期 (モニタモード)	tAUCKMyc	50	—	ns																																																																																																																												
AUDCK ハイレベル幅 (モニタモード)	tAUCKMH	0.4 × tAUCKMyc	—	ns																																																																																																																												
AUDCK ロウレベル幅 (モニタモード)	tAUCKML	0.4 × tAUCKMyc	—	ns																																																																																																																												
AUDRST セットアップ時間 (モニタモード、対 AUDCK 1)	tAURSTMS	30	—	ns																																																																																																																												
AUDRST 入力パルス幅 (モニタモード)	tAURSTMW	5 × tAUCKMyc	—	ns																																																																																																																												
モニタデータ出力遅延時間 (対 AUDCK 1)	tAUDTMD	—	35	ns																																																																																																																												
モニタデータ入力セットアップ時間 (対 AUDCK 1)	tAUDTMS	15	—	ns																																																																																																																												
モニタデータ入力ホールド時間 (対 AUDCK 1)	tAUDTMH	5	—	ns																																																																																																																												
AUDSYNC 入力セットアップ時間 (対 AUDCK 1)	tAUDSYS	15	—	ns																																																																																																																												
AUDSYNC 入力ホールド時間 (対 AUDCK 1)	tAUDSYH	5	—	ns																																																																																																																												
AUDISR セットアップ時間	tAUDMDS	1	—	ms																																																																																																																												
AUDISR ホールド時間	tAUDMDH	1	—	ms																																																																																																																												
15	2853	電気的特性	39.3.12 AUD RAM モニタ	記載なし	<p>図 39.xx AUDISR 反映タイミング</p>	追加説明	-	-																																																																																																																								
16	61	概要	表1.1 製品概要 (2/2)	<table border="1"> <thead> <tr> <th>モータ制御</th> <th>R/D コンバータ (RDC3A)</th> <th>2 ユニット</th> <th>1 ユニット</th> </tr> </thead> <tbody> <tr> <td>エンハンスドモータコントロールユニット (EMU3) : 搭載数</td> <td>1 ユニット (2 チャネル)</td> <td>1 ユニット (2 チャネル)</td> <td>1 ユニット (2 チャネル)</td> </tr> <tr> <td>エンハンスドモータコントロールユニット (EMU3) : SubCPU 周波数</td> <td>320MHz</td> <td>320MHz</td> <td>240MHz</td> </tr> </tbody> </table>	モータ制御	R/D コンバータ (RDC3A)	2 ユニット	1 ユニット	エンハンスドモータコントロールユニット (EMU3) : 搭載数	1 ユニット (2 チャネル)	1 ユニット (2 チャネル)	1 ユニット (2 チャネル)	エンハンスドモータコントロールユニット (EMU3) : SubCPU 周波数	320MHz	320MHz	240MHz	<table border="1"> <thead> <tr> <th>モータ制御</th> <th>R/D コンバータ (RDC3A)</th> <th>2 ユニット</th> <th>1 ユニット</th> </tr> </thead> <tbody> <tr> <td>エンハンスドモータコントロールユニット (EMU3) : 搭載数</td> <td>1 ユニット (2 チャネル)</td> <td>1 ユニット (2 チャネル)</td> <td>1 ユニット (1 チャネル)</td> </tr> <tr> <td>エンハンスドモータコントロールユニット (EMU3) : SubCPU 周波数</td> <td>320MHz</td> <td>320MHz</td> <td>240MHz</td> </tr> </tbody> </table>	モータ制御	R/D コンバータ (RDC3A)	2 ユニット	1 ユニット	エンハンスドモータコントロールユニット (EMU3) : 搭載数	1 ユニット (2 チャネル)	1 ユニット (2 チャネル)	1 ユニット (1 チャネル)	エンハンスドモータコントロールユニット (EMU3) : SubCPU 周波数	320MHz	320MHz	240MHz	誤記	-	-																																																																																																
モータ制御	R/D コンバータ (RDC3A)	2 ユニット	1 ユニット																																																																																																																													
エンハンスドモータコントロールユニット (EMU3) : 搭載数	1 ユニット (2 チャネル)	1 ユニット (2 チャネル)	1 ユニット (2 チャネル)																																																																																																																													
エンハンスドモータコントロールユニット (EMU3) : SubCPU 周波数	320MHz	320MHz	240MHz																																																																																																																													
モータ制御	R/D コンバータ (RDC3A)	2 ユニット	1 ユニット																																																																																																																													
エンハンスドモータコントロールユニット (EMU3) : 搭載数	1 ユニット (2 チャネル)	1 ユニット (2 チャネル)	1 ユニット (1 チャネル)																																																																																																																													
エンハンスドモータコントロールユニット (EMU3) : SubCPU 周波数	320MHz	320MHz	240MHz																																																																																																																													
17	81	端子	2.1.2.3 端子データ入力/出力	出力モード時、このビットを1に設定すると、ポートは双方向モードになります。双方向モード時、PPPn.PPRn.m からPn.m 端子のレベルを読み出すことができます。	出力モード時、このビットを1に設定すると、ポートは双方向モードになります。双方向モード時、PPRn.PPRn.m からPn.m 端子のレベルを読み出すことができます。	誤記	-	-																																																																																																																								
18	159	端子	表2.64 未使用端子の処理例 (2/2)	<table border="1"> <thead> <tr> <th>分類</th> <th>端子</th> <th>IO</th> <th>未使用端子の処理例</th> <th>内蔵プルアップ/ダウン抵抗</th> </tr> </thead> <tbody> <tr> <td rowspan="6">デバッグ系 (NEXUS/LPD)</td> <td>DCUTDI</td> <td>I</td> <td>● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止)</td> <td>内蔵プルアップ抵抗を搭載しています。</td> </tr> <tr> <td>DCUTDO</td> <td>O</td> <td>● 端子オープン処理。 (シリアルプログラミングモードは動作禁止)</td> <td>なし</td> </tr> <tr> <td>DCUTCK</td> <td>I</td> <td>● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止)</td> <td>内蔵プルアップ抵抗を搭載しています。</td> </tr> <tr> <td>DCUTMS</td> <td>I</td> <td>● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。</td> <td>内蔵プルアップ抵抗を搭載しています。</td> </tr> <tr> <td>DCUTRST</td> <td>I</td> <td>個別に抵抗を介して VSS に接続する。</td> <td>内蔵プルダウン抵抗を搭載しています。</td> </tr> <tr> <td>DCURDY</td> <td>O</td> <td>端子オープン処理。</td> <td>なし</td> </tr> </tbody> </table>	分類	端子	IO	未使用端子の処理例	内蔵プルアップ/ダウン抵抗	デバッグ系 (NEXUS/LPD)	DCUTDI	I	● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止)	内蔵プルアップ抵抗を搭載しています。	DCUTDO	O	● 端子オープン処理。 (シリアルプログラミングモードは動作禁止)	なし	DCUTCK	I	● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止)	内蔵プルアップ抵抗を搭載しています。	DCUTMS	I	● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。	内蔵プルアップ抵抗を搭載しています。	DCUTRST	I	個別に抵抗を介して VSS に接続する。	内蔵プルダウン抵抗を搭載しています。	DCURDY	O	端子オープン処理。	なし	<table border="1"> <thead> <tr> <th>分類</th> <th>端子</th> <th>IO</th> <th>未使用端子の処理例</th> <th>内蔵プルアップ/ダウン抵抗</th> </tr> </thead> <tbody> <tr> <td rowspan="6">デバッグ系 (NEXUS/LPD)</td> <td>DCUTDI</td> <td>I</td> <td>● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止)</td> <td>内蔵プルアップ抵抗を搭載しています。</td> </tr> <tr> <td>DCUTDO</td> <td>O</td> <td>● 端子オープン処理。 (シリアルプログラミングモードは動作禁止)</td> <td>なし</td> </tr> <tr> <td>DCUTCK</td> <td>I</td> <td>● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止)</td> <td>内蔵プルアップ抵抗を搭載しています。</td> </tr> <tr> <td>DCUTMS</td> <td>I</td> <td>● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。</td> <td>内蔵プルアップ抵抗を搭載しています。</td> </tr> <tr> <td>DCUTRST</td> <td>I</td> <td>個別に抵抗を介して VSS に接続する。</td> <td>内蔵プルダウン抵抗を搭載しています。</td> </tr> <tr> <td>DCURDY</td> <td>O</td> <td>端子オープン処理。</td> <td>なし</td> </tr> </tbody> </table>	分類	端子	IO	未使用端子の処理例	内蔵プルアップ/ダウン抵抗	デバッグ系 (NEXUS/LPD)	DCUTDI	I	● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止)	内蔵プルアップ抵抗を搭載しています。	DCUTDO	O	● 端子オープン処理。 (シリアルプログラミングモードは動作禁止)	なし	DCUTCK	I	● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止)	内蔵プルアップ抵抗を搭載しています。	DCUTMS	I	● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。	内蔵プルアップ抵抗を搭載しています。	DCUTRST	I	個別に抵抗を介して VSS に接続する。	内蔵プルダウン抵抗を搭載しています。	DCURDY	O	端子オープン処理。	なし	誤記	-	-																																																												
分類	端子	IO	未使用端子の処理例	内蔵プルアップ/ダウン抵抗																																																																																																																												
デバッグ系 (NEXUS/LPD)	DCUTDI	I	● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止)	内蔵プルアップ抵抗を搭載しています。																																																																																																																												
	DCUTDO	O	● 端子オープン処理。 (シリアルプログラミングモードは動作禁止)	なし																																																																																																																												
	DCUTCK	I	● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止)	内蔵プルアップ抵抗を搭載しています。																																																																																																																												
	DCUTMS	I	● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。	内蔵プルアップ抵抗を搭載しています。																																																																																																																												
	DCUTRST	I	個別に抵抗を介して VSS に接続する。	内蔵プルダウン抵抗を搭載しています。																																																																																																																												
	DCURDY	O	端子オープン処理。	なし																																																																																																																												
分類	端子	IO	未使用端子の処理例	内蔵プルアップ/ダウン抵抗																																																																																																																												
デバッグ系 (NEXUS/LPD)	DCUTDI	I	● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止)	内蔵プルアップ抵抗を搭載しています。																																																																																																																												
	DCUTDO	O	● 端子オープン処理。 (シリアルプログラミングモードは動作禁止)	なし																																																																																																																												
	DCUTCK	I	● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。 (シリアルプログラミングモードは動作禁止)	内蔵プルアップ抵抗を搭載しています。																																																																																																																												
	DCUTMS	I	● 端子オープン処理。 ● 個別に抵抗を介して VCC に接続する。	内蔵プルアップ抵抗を搭載しています。																																																																																																																												
	DCUTRST	I	個別に抵抗を介して VSS に接続する。	内蔵プルダウン抵抗を搭載しています。																																																																																																																												
	DCURDY	O	端子オープン処理。	なし																																																																																																																												

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考																																																																																																																																																																																																																																																																																																																																																																																																																				
19	162	CPUシステム	表3.1 Peripheral Group 構成一覧 (1/4)	<p>表 3.1 Peripheral Group 構成一覧 (1/4)</p> <table border="1"> <thead> <tr> <th>Peripheral Group</th> <th>モジュール名^{※1}</th> </tr> </thead> <tbody> <tr><td rowspan="10">CPU</td><td>INTC1</td></tr> <tr><td>IPIRSS</td></tr> <tr><td>IPG</td></tr> <tr><td>MEV</td></tr> <tr><td>PEG</td></tr> <tr><td>SEG</td></tr> <tr><td>TESTCOMP</td></tr> <tr><td colspan="2">CPU (DEBUG)</td></tr> <tr><td>AUDR</td></tr> <tr><td>0</td></tr> <tr><td>APDP[INTC2]</td></tr> <tr><td>APDP[PDMA]</td></tr> <tr><td>DMASS</td></tr> <tr><td>ECCCPU1</td></tr> <tr><td>ECCCPU2</td></tr> <tr><td>ECCEEP</td></tr> <tr><td>ECCEEPC</td></tr> <tr><td>ECCFLI</td></tr> <tr><td>ECCGRAM</td></tr> <tr><td>ECCIC1</td></tr> <tr><td>ECCIC2</td></tr> <tr><td>FACI[CFUFAREA^{※2}]</td></tr> <tr><td>FLASH[FRDCYCLD]</td></tr> <tr><td>INTC2</td></tr> <tr><td>MGDGR</td></tr> <tr><td>MISG (CPU1, CPU2)</td></tr> <tr><td>PBQ[PBG0, PBG1]</td></tr> <tr><td>ICUSE</td></tr> <tr><td>DataFlash</td></tr> </tbody> </table>	Peripheral Group	モジュール名 ^{※1}	CPU	INTC1	IPIRSS	IPG	MEV	PEG	SEG	TESTCOMP	CPU (DEBUG)		AUDR	0	APDP[INTC2]	APDP[PDMA]	DMASS	ECCCPU1	ECCCPU2	ECCEEP	ECCEEPC	ECCFLI	ECCGRAM	ECCIC1	ECCIC2	FACI[CFUFAREA ^{※2}]	FLASH[FRDCYCLD]	INTC2	MGDGR	MISG (CPU1, CPU2)	PBQ[PBG0, PBG1]	ICUSE	DataFlash	<p>表 3.1 Peripheral Group 構成一覧 (1/4)</p> <table border="1"> <thead> <tr> <th>Peripheral Group</th> <th>モジュール名^{※1}</th> </tr> </thead> <tbody> <tr><td rowspan="10">CPU</td><td>INTC1</td></tr> <tr><td>IPIRSS</td></tr> <tr><td>IPG</td></tr> <tr><td>MEV</td></tr> <tr><td>PEG</td></tr> <tr><td>SEG</td></tr> <tr><td>TESTCOMP</td></tr> <tr><td colspan="2">CPU (DEBUG)</td></tr> <tr><td>AUDR</td></tr> <tr><td>0</td></tr> <tr><td>APDP[INTC2]</td></tr> <tr><td>APDP[PDMA]</td></tr> <tr><td>DMASS</td></tr> <tr><td>ECCCPU1</td></tr> <tr><td>ECCCPU2</td></tr> <tr><td>ECCEEP</td></tr> <tr><td>ECCEEPC</td></tr> <tr><td>ECCFLI</td></tr> <tr><td>ECCGRAM</td></tr> <tr><td>ECCIC1</td></tr> <tr><td>ECCIC2</td></tr> <tr><td>FACI[CFUFAREA^{※2}]</td></tr> <tr><td>FLASH[FRDCYCLD]</td></tr> <tr><td>INTC2</td></tr> <tr><td>MGDGR</td></tr> <tr><td>MISG (CPU1, CPU2)</td></tr> <tr><td>PB3[PBG0, PBG1]</td></tr> <tr><td>ICUSE</td></tr> <tr><td>DataFlash</td></tr> <tr><td>CPU[BOOTCTRL]</td></tr> </tbody> </table>	Peripheral Group	モジュール名 ^{※1}	CPU	INTC1	IPIRSS	IPG	MEV	PEG	SEG	TESTCOMP	CPU (DEBUG)		AUDR	0	APDP[INTC2]	APDP[PDMA]	DMASS	ECCCPU1	ECCCPU2	ECCEEP	ECCEEPC	ECCFLI	ECCGRAM	ECCIC1	ECCIC2	FACI[CFUFAREA ^{※2}]	FLASH[FRDCYCLD]	INTC2	MGDGR	MISG (CPU1, CPU2)	PB3[PBG0, PBG1]	ICUSE	DataFlash	CPU[BOOTCTRL]	誤記	-	-																																																																																																																																																																																																																																																																																																																																																	
Peripheral Group	モジュール名 ^{※1}																																																																																																																																																																																																																																																																																																																																																																																																																											
CPU	INTC1																																																																																																																																																																																																																																																																																																																																																																																																																											
	IPIRSS																																																																																																																																																																																																																																																																																																																																																																																																																											
	IPG																																																																																																																																																																																																																																																																																																																																																																																																																											
	MEV																																																																																																																																																																																																																																																																																																																																																																																																																											
	PEG																																																																																																																																																																																																																																																																																																																																																																																																																											
	SEG																																																																																																																																																																																																																																																																																																																																																																																																																											
	TESTCOMP																																																																																																																																																																																																																																																																																																																																																																																																																											
	CPU (DEBUG)																																																																																																																																																																																																																																																																																																																																																																																																																											
	AUDR																																																																																																																																																																																																																																																																																																																																																																																																																											
	0																																																																																																																																																																																																																																																																																																																																																																																																																											
APDP[INTC2]																																																																																																																																																																																																																																																																																																																																																																																																																												
APDP[PDMA]																																																																																																																																																																																																																																																																																																																																																																																																																												
DMASS																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCCPU1																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCCPU2																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCEEP																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCEEPC																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCFLI																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCGRAM																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCIC1																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCIC2																																																																																																																																																																																																																																																																																																																																																																																																																												
FACI[CFUFAREA ^{※2}]																																																																																																																																																																																																																																																																																																																																																																																																																												
FLASH[FRDCYCLD]																																																																																																																																																																																																																																																																																																																																																																																																																												
INTC2																																																																																																																																																																																																																																																																																																																																																																																																																												
MGDGR																																																																																																																																																																																																																																																																																																																																																																																																																												
MISG (CPU1, CPU2)																																																																																																																																																																																																																																																																																																																																																																																																																												
PBQ[PBG0, PBG1]																																																																																																																																																																																																																																																																																																																																																																																																																												
ICUSE																																																																																																																																																																																																																																																																																																																																																																																																																												
DataFlash																																																																																																																																																																																																																																																																																																																																																																																																																												
Peripheral Group	モジュール名 ^{※1}																																																																																																																																																																																																																																																																																																																																																																																																																											
CPU	INTC1																																																																																																																																																																																																																																																																																																																																																																																																																											
	IPIRSS																																																																																																																																																																																																																																																																																																																																																																																																																											
	IPG																																																																																																																																																																																																																																																																																																																																																																																																																											
	MEV																																																																																																																																																																																																																																																																																																																																																																																																																											
	PEG																																																																																																																																																																																																																																																																																																																																																																																																																											
	SEG																																																																																																																																																																																																																																																																																																																																																																																																																											
	TESTCOMP																																																																																																																																																																																																																																																																																																																																																																																																																											
	CPU (DEBUG)																																																																																																																																																																																																																																																																																																																																																																																																																											
	AUDR																																																																																																																																																																																																																																																																																																																																																																																																																											
	0																																																																																																																																																																																																																																																																																																																																																																																																																											
APDP[INTC2]																																																																																																																																																																																																																																																																																																																																																																																																																												
APDP[PDMA]																																																																																																																																																																																																																																																																																																																																																																																																																												
DMASS																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCCPU1																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCCPU2																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCEEP																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCEEPC																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCFLI																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCGRAM																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCIC1																																																																																																																																																																																																																																																																																																																																																																																																																												
ECCIC2																																																																																																																																																																																																																																																																																																																																																																																																																												
FACI[CFUFAREA ^{※2}]																																																																																																																																																																																																																																																																																																																																																																																																																												
FLASH[FRDCYCLD]																																																																																																																																																																																																																																																																																																																																																																																																																												
INTC2																																																																																																																																																																																																																																																																																																																																																																																																																												
MGDGR																																																																																																																																																																																																																																																																																																																																																																																																																												
MISG (CPU1, CPU2)																																																																																																																																																																																																																																																																																																																																																																																																																												
PB3[PBG0, PBG1]																																																																																																																																																																																																																																																																																																																																																																																																																												
ICUSE																																																																																																																																																																																																																																																																																																																																																																																																																												
DataFlash																																																																																																																																																																																																																																																																																																																																																																																																																												
CPU[BOOTCTRL]																																																																																																																																																																																																																																																																																																																																																																																																																												
20	213	CPU	表3.63 PEG レジスタのベースアドレス: FFE0_000H	<table border="1"> <thead> <tr> <th rowspan="2">アドレス オフセット</th> <th rowspan="2">サイズ (byte)</th> <th rowspan="2">レジスタ名称</th> <th rowspan="2">略称</th> <th rowspan="2">権限</th> <th rowspan="2">R/W</th> <th colspan="4">操作可能ビット</th> <th rowspan="2">リセット後の値</th> </tr> <tr> <th>1</th> <th>8</th> <th>16</th> <th>32</th> </tr> </thead> <tbody> <tr><td>+00C_H</td><td>2</td><td>PE ガード PEID&SPID マスタ判定制御 レジスタ</td><td>PEGSP</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>—</td><td>0000_H</td></tr> <tr><td>+080_H</td><td>4</td><td>PE ガード領域 0 マスク設定レジスタ</td><td>PEGG0MK</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>FFE0_0000_H</td></tr> <tr><td>+084_H</td><td>4</td><td>PE ガード領域 0 ベース設定レジスタ</td><td>PEGG0BA</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>※1</td></tr> <tr><td>+088_H</td><td>4</td><td>PE ガード領域 0SPID 設定レジスタ</td><td>PEGG0SP</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+08C_H</td><td>4</td><td>PE ガード領域 0PEID 設定レジスタ</td><td>PEGG0PE</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+090_H</td><td>4</td><td>PE ガード領域 1 マスク設定レジスタ</td><td>PEGG1MK</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>FFE0_0000_H</td></tr> <tr><td>+094_H</td><td>4</td><td>PE ガード領域 1 ベース設定レジスタ</td><td>PEGG1BA</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>※1</td></tr> <tr><td>+098_H</td><td>4</td><td>PE ガード領域 1SPID 設定レジスタ</td><td>PEGG1SP</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+09C_H</td><td>4</td><td>PE ガード領域 1PEID 設定レジスタ</td><td>PEGG1PE</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+0A0_H</td><td>4</td><td>PE ガード領域 2 マスク設定レジスタ</td><td>PEGG2MK</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>FFE0_0000_H</td></tr> <tr><td>+0A4_H</td><td>4</td><td>PE ガード領域 2 ベース設定レジスタ</td><td>PEGG2BA</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>※1</td></tr> <tr><td>+0A8_H</td><td>4</td><td>PE ガード領域 2SPID 設定レジスタ</td><td>PEGG2SP</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+0AC_H</td><td>4</td><td>PE ガード領域 2PEID 設定レジスタ</td><td>PEGG2PE</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+0B0_H</td><td>4</td><td>PE ガード領域 3 マスク設定レジスタ</td><td>PEGG3MK</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>FFE0_0000_H</td></tr> <tr><td>+0B4_H</td><td>4</td><td>PE ガード領域 3 ベース設定レジスタ</td><td>PEGG3BA</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>※1</td></tr> <tr><td>+0B8_H</td><td>4</td><td>PE ガード領域 3SPID 設定レジスタ</td><td>PEGG3SP</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+0BC_H</td><td>4</td><td>PE ガード領域 3PEID 設定レジスタ</td><td>PEGG3PE</td><td>—</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> </tbody> </table> <p>注 1. CPU1 (PE1) のリセット後の値は FE40_0000_H、CPU2 (PE2) のリセット後の値は FE80_0000_H、SubCPU (PE3) のリセット後の値は FE60_0000_Hです。</p>	アドレス オフセット	サイズ (byte)	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後の値	1	8	16	32	+00C _H	2	PE ガード PEID&SPID マスタ判定制御 レジスタ	PEGSP	—	R/W	—	○	○	—	0000 _H	+080 _H	4	PE ガード領域 0 マスク設定レジスタ	PEGG0MK	—	R/W	—	○	○	○	FFE0_0000 _H	+084 _H	4	PE ガード領域 0 ベース設定レジスタ	PEGG0BA	—	R/W	—	○	○	○	※1	+088 _H	4	PE ガード領域 0SPID 設定レジスタ	PEGG0SP	—	R/W	—	○	○	○	0000_0000 _H	+08C _H	4	PE ガード領域 0PEID 設定レジスタ	PEGG0PE	—	R/W	—	○	○	○	0000_0000 _H	+090 _H	4	PE ガード領域 1 マスク設定レジスタ	PEGG1MK	—	R/W	—	○	○	○	FFE0_0000 _H	+094 _H	4	PE ガード領域 1 ベース設定レジスタ	PEGG1BA	—	R/W	—	○	○	○	※1	+098 _H	4	PE ガード領域 1SPID 設定レジスタ	PEGG1SP	—	R/W	—	○	○	○	0000_0000 _H	+09C _H	4	PE ガード領域 1PEID 設定レジスタ	PEGG1PE	—	R/W	—	○	○	○	0000_0000 _H	+0A0 _H	4	PE ガード領域 2 マスク設定レジスタ	PEGG2MK	—	R/W	—	○	○	○	FFE0_0000 _H	+0A4 _H	4	PE ガード領域 2 ベース設定レジスタ	PEGG2BA	—	R/W	—	○	○	○	※1	+0A8 _H	4	PE ガード領域 2SPID 設定レジスタ	PEGG2SP	—	R/W	—	○	○	○	0000_0000 _H	+0AC _H	4	PE ガード領域 2PEID 設定レジスタ	PEGG2PE	—	R/W	—	○	○	○	0000_0000 _H	+0B0 _H	4	PE ガード領域 3 マスク設定レジスタ	PEGG3MK	—	R/W	—	○	○	○	FFE0_0000 _H	+0B4 _H	4	PE ガード領域 3 ベース設定レジスタ	PEGG3BA	—	R/W	—	○	○	○	※1	+0B8 _H	4	PE ガード領域 3SPID 設定レジスタ	PEGG3SP	—	R/W	—	○	○	○	0000_0000 _H	+0BC _H	4	PE ガード領域 3PEID 設定レジスタ	PEGG3PE	—	R/W	—	○	○	○	0000_0000 _H	<table border="1"> <thead> <tr> <th rowspan="2">アドレス オフセット</th> <th rowspan="2">サイズ (byte)</th> <th rowspan="2">レジスタ名称</th> <th rowspan="2">略称</th> <th rowspan="2">権限^{※2}</th> <th rowspan="2">R/W</th> <th colspan="4">操作可能ビット</th> <th rowspan="2">リセット後の値</th> </tr> <tr> <th>1</th> <th>8</th> <th>16</th> <th>32</th> </tr> </thead> <tbody> <tr><td>+00C_H</td><td>2</td><td>PE ガード PEID&SPID マスタ判定制御 レジスタ</td><td>PEGSP</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>—</td><td>0000_H</td></tr> <tr><td>+080_H</td><td>4</td><td>PE ガード領域 0 マスク設定レジスタ</td><td>PEGG0MK</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>FFE0_0000_H</td></tr> <tr><td>+084_H</td><td>4</td><td>PE ガード領域 0 ベース設定レジスタ</td><td>PEGG0BA</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>※1</td></tr> <tr><td>+088_H</td><td>4</td><td>PE ガード領域 0SPID 設定レジスタ</td><td>PEGG0SP</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+08C_H</td><td>4</td><td>PE ガード領域 0PEID 設定レジスタ</td><td>PEGG0PE</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+090_H</td><td>4</td><td>PE ガード領域 1 マスク設定レジスタ</td><td>PEGG1MK</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>FFE0_0000_H</td></tr> <tr><td>+094_H</td><td>4</td><td>PE ガード領域 1 ベース設定レジスタ</td><td>PEGG1BA</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>※1</td></tr> <tr><td>+098_H</td><td>4</td><td>PE ガード領域 1SPID 設定レジスタ</td><td>PEGG1SP</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+09C_H</td><td>4</td><td>PE ガード領域 1PEID 設定レジスタ</td><td>PEGG1PE</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+0A0_H</td><td>4</td><td>PE ガード領域 2 マスク設定レジスタ</td><td>PEGG2MK</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>FFE0_0000_H</td></tr> <tr><td>+0A4_H</td><td>4</td><td>PE ガード領域 2 ベース設定レジスタ</td><td>PEGG2BA</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>※1</td></tr> <tr><td>+0A8_H</td><td>4</td><td>PE ガード領域 2SPID 設定レジスタ</td><td>PEGG2SP</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+0AC_H</td><td>4</td><td>PE ガード領域 2PEID 設定レジスタ</td><td>PEGG2PE</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+0B0_H</td><td>4</td><td>PE ガード領域 3 マスク設定レジスタ</td><td>PEGG3MK</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>FFE0_0000_H</td></tr> <tr><td>+0B4_H</td><td>4</td><td>PE ガード領域 3 ベース設定レジスタ</td><td>PEGG3BA</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>※1</td></tr> <tr><td>+0B8_H</td><td>4</td><td>PE ガード領域 3SPID 設定レジスタ</td><td>PEGG3SP</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> <tr><td>+0BC_H</td><td>4</td><td>PE ガード領域 3PEID 設定レジスタ</td><td>PEGG3PE</td><td>SV</td><td>R/W</td><td>—</td><td>○</td><td>○</td><td>○</td><td>0000_0000_H</td></tr> </tbody> </table> <p>注 1. CPU1 (PE1) のリセット後の値は FE40_0000_H、CPU2 (PE2) のリセット後の値は FE80_0000_H、SubCPU (PE3) のリセット後の値は FE60_0000_Hです。</p> <p>注 2. 「SV」と記載されたレジスタは、SV特権 (UM=0) でのみアクセス可能です。</p>	アドレス オフセット	サイズ (byte)	レジスタ名称	略称	権限 ^{※2}	R/W	操作可能ビット				リセット後の値	1	8	16	32	+00C _H	2	PE ガード PEID&SPID マスタ判定制御 レジスタ	PEGSP	SV	R/W	—	○	○	—	0000 _H	+080 _H	4	PE ガード領域 0 マスク設定レジスタ	PEGG0MK	SV	R/W	—	○	○	○	FFE0_0000 _H	+084 _H	4	PE ガード領域 0 ベース設定レジスタ	PEGG0BA	SV	R/W	—	○	○	○	※1	+088 _H	4	PE ガード領域 0SPID 設定レジスタ	PEGG0SP	SV	R/W	—	○	○	○	0000_0000 _H	+08C _H	4	PE ガード領域 0PEID 設定レジスタ	PEGG0PE	SV	R/W	—	○	○	○	0000_0000 _H	+090 _H	4	PE ガード領域 1 マスク設定レジスタ	PEGG1MK	SV	R/W	—	○	○	○	FFE0_0000 _H	+094 _H	4	PE ガード領域 1 ベース設定レジスタ	PEGG1BA	SV	R/W	—	○	○	○	※1	+098 _H	4	PE ガード領域 1SPID 設定レジスタ	PEGG1SP	SV	R/W	—	○	○	○	0000_0000 _H	+09C _H	4	PE ガード領域 1PEID 設定レジスタ	PEGG1PE	SV	R/W	—	○	○	○	0000_0000 _H	+0A0 _H	4	PE ガード領域 2 マスク設定レジスタ	PEGG2MK	SV	R/W	—	○	○	○	FFE0_0000 _H	+0A4 _H	4	PE ガード領域 2 ベース設定レジスタ	PEGG2BA	SV	R/W	—	○	○	○	※1	+0A8 _H	4	PE ガード領域 2SPID 設定レジスタ	PEGG2SP	SV	R/W	—	○	○	○	0000_0000 _H	+0AC _H	4	PE ガード領域 2PEID 設定レジスタ	PEGG2PE	SV	R/W	—	○	○	○	0000_0000 _H	+0B0 _H	4	PE ガード領域 3 マスク設定レジスタ	PEGG3MK	SV	R/W	—	○	○	○	FFE0_0000 _H	+0B4 _H	4	PE ガード領域 3 ベース設定レジスタ	PEGG3BA	SV	R/W	—	○	○	○	※1	+0B8 _H	4	PE ガード領域 3SPID 設定レジスタ	PEGG3SP	SV	R/W	—	○	○	○	0000_0000 _H	+0BC _H	4	PE ガード領域 3PEID 設定レジスタ	PEGG3PE	SV	R/W	—	○	○	○	0000_0000 _H	説明変更	TN-RH8-B0281A/J	-
アドレス オフセット	サイズ (byte)	レジスタ名称	略称	権限							R/W	操作可能ビット				リセット後の値																																																																																																																																																																																																																																																																																																																																																																																																												
					1	8	16	32																																																																																																																																																																																																																																																																																																																																																																																																																				
+00C _H	2	PE ガード PEID&SPID マスタ判定制御 レジスタ	PEGSP	—	R/W	—	○	○	—	0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+080 _H	4	PE ガード領域 0 マスク設定レジスタ	PEGG0MK	—	R/W	—	○	○	○	FFE0_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+084 _H	4	PE ガード領域 0 ベース設定レジスタ	PEGG0BA	—	R/W	—	○	○	○	※1																																																																																																																																																																																																																																																																																																																																																																																																																		
+088 _H	4	PE ガード領域 0SPID 設定レジスタ	PEGG0SP	—	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+08C _H	4	PE ガード領域 0PEID 設定レジスタ	PEGG0PE	—	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+090 _H	4	PE ガード領域 1 マスク設定レジスタ	PEGG1MK	—	R/W	—	○	○	○	FFE0_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+094 _H	4	PE ガード領域 1 ベース設定レジスタ	PEGG1BA	—	R/W	—	○	○	○	※1																																																																																																																																																																																																																																																																																																																																																																																																																		
+098 _H	4	PE ガード領域 1SPID 設定レジスタ	PEGG1SP	—	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+09C _H	4	PE ガード領域 1PEID 設定レジスタ	PEGG1PE	—	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+0A0 _H	4	PE ガード領域 2 マスク設定レジスタ	PEGG2MK	—	R/W	—	○	○	○	FFE0_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+0A4 _H	4	PE ガード領域 2 ベース設定レジスタ	PEGG2BA	—	R/W	—	○	○	○	※1																																																																																																																																																																																																																																																																																																																																																																																																																		
+0A8 _H	4	PE ガード領域 2SPID 設定レジスタ	PEGG2SP	—	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+0AC _H	4	PE ガード領域 2PEID 設定レジスタ	PEGG2PE	—	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+0B0 _H	4	PE ガード領域 3 マスク設定レジスタ	PEGG3MK	—	R/W	—	○	○	○	FFE0_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+0B4 _H	4	PE ガード領域 3 ベース設定レジスタ	PEGG3BA	—	R/W	—	○	○	○	※1																																																																																																																																																																																																																																																																																																																																																																																																																		
+0B8 _H	4	PE ガード領域 3SPID 設定レジスタ	PEGG3SP	—	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+0BC _H	4	PE ガード領域 3PEID 設定レジスタ	PEGG3PE	—	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
アドレス オフセット	サイズ (byte)	レジスタ名称	略称	権限 ^{※2}	R/W	操作可能ビット				リセット後の値																																																																																																																																																																																																																																																																																																																																																																																																																		
						1	8	16	32																																																																																																																																																																																																																																																																																																																																																																																																																			
+00C _H	2	PE ガード PEID&SPID マスタ判定制御 レジスタ	PEGSP	SV	R/W	—	○	○	—	0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+080 _H	4	PE ガード領域 0 マスク設定レジスタ	PEGG0MK	SV	R/W	—	○	○	○	FFE0_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+084 _H	4	PE ガード領域 0 ベース設定レジスタ	PEGG0BA	SV	R/W	—	○	○	○	※1																																																																																																																																																																																																																																																																																																																																																																																																																		
+088 _H	4	PE ガード領域 0SPID 設定レジスタ	PEGG0SP	SV	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+08C _H	4	PE ガード領域 0PEID 設定レジスタ	PEGG0PE	SV	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+090 _H	4	PE ガード領域 1 マスク設定レジスタ	PEGG1MK	SV	R/W	—	○	○	○	FFE0_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+094 _H	4	PE ガード領域 1 ベース設定レジスタ	PEGG1BA	SV	R/W	—	○	○	○	※1																																																																																																																																																																																																																																																																																																																																																																																																																		
+098 _H	4	PE ガード領域 1SPID 設定レジスタ	PEGG1SP	SV	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+09C _H	4	PE ガード領域 1PEID 設定レジスタ	PEGG1PE	SV	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+0A0 _H	4	PE ガード領域 2 マスク設定レジスタ	PEGG2MK	SV	R/W	—	○	○	○	FFE0_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+0A4 _H	4	PE ガード領域 2 ベース設定レジスタ	PEGG2BA	SV	R/W	—	○	○	○	※1																																																																																																																																																																																																																																																																																																																																																																																																																		
+0A8 _H	4	PE ガード領域 2SPID 設定レジスタ	PEGG2SP	SV	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+0AC _H	4	PE ガード領域 2PEID 設定レジスタ	PEGG2PE	SV	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+0B0 _H	4	PE ガード領域 3 マスク設定レジスタ	PEGG3MK	SV	R/W	—	○	○	○	FFE0_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+0B4 _H	4	PE ガード領域 3 ベース設定レジスタ	PEGG3BA	SV	R/W	—	○	○	○	※1																																																																																																																																																																																																																																																																																																																																																																																																																		
+0B8 _H	4	PE ガード領域 3SPID 設定レジスタ	PEGG3SP	SV	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
+0BC _H	4	PE ガード領域 3PEID 設定レジスタ	PEGG3PE	SV	R/W	—	○	○	○	0000_0000 _H																																																																																																																																																																																																																																																																																																																																																																																																																		
21	702	RLIN3	13.9 LIN セルフテストモード	<p>ボーレートは、ボーレート関連レジスタの設定に関わらず、LIN 通信クロック源 / 16 [bps]で動作します。(RLN3nLWBR レジスタのNSPB ビットは、必ず"0000₀"または"1111₀"で使用してください。)</p>	<p>ボーレートは、ボーレート関連レジスタの設定に関わらず、LIN 通信クロック源 / 16 [bps]で動作します。(RLN3nLWBR レジスタのNSPB ビットは、必ず"0000₀"または"1111₀"で使用してください。)</p> <p>(RLN3nLWBR レジスタのLPRS ビットは、必ず"000₀"で使用してください。)</p>	説明変更	TN-RH8-B0258A/J	-																																																																																																																																																																																																																																																																																																																																																																																																																				
22	704	RLIN3	13.9.2 LIN マスタセルフテストモードにおける送信	<p>● ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。 RLN3nLWBR レジスタ = 0000 xxx₀^{※1}</p>	<p>● ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。 RLN3nLWBR レジスタ = 0000 000₀^{※1}</p>	説明変更	TN-RH8-B0258A/J	-																																																																																																																																																																																																																																																																																																																																																																																																																				
23	705	RLIN3	13.9.3 LIN マスタセルフテストモードにおける受信	<p>● ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。 RLN3nLWBR レジスタ = 0000 xxx₀^{※1}</p>	<p>● ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。 RLN3nLWBR レジスタ = 0000 000₀^{※1}</p>	説明変更	TN-RH8-B0258A/J	-																																																																																																																																																																																																																																																																																																																																																																																																																				
24	707	RLIN3	13.9.4 LIN スレープセルフテストモードにおける送信	<p>● ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。 RLN3nLWBR レジスタ = 0000 xxx₀^{※1}</p>	<p>● ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。 RLN3nLWBR レジスタ = 0000 000₀^{※1}</p>	説明変更	TN-RH8-B0258A/J	-																																																																																																																																																																																																																																																																																																																																																																																																																				
25	708	RLIN3	13.9.5 LIN スレープセルフテストモードにおける受信	<p>● ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。 RLN3nLWBR レジスタ = 0000 xxx₀^{※1}</p>	<p>● ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。 RLN3nLWBR レジスタ = 0000 000₀^{※1}</p>	説明変更	TN-RH8-B0258A/J	-																																																																																																																																																																																																																																																																																																																																																																																																																				
26	1017	RS-CANFD	14.8.1 送信の優先順位判定	<p>TPRI ビットの設定にかかわらず、アービトラージンロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。</p>	<p>TPRI ビットの設定に従って、アービトラージンロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。</p>	誤記	-	-																																																																																																																																																																																																																																																																																																																																																																																																																				

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考
27	1046	RS-CANFD	14.11.2.3 FIFO バッファのDMA 転送による読み出し手順	注1. 受信FIFO バッファ時 RCFDCnCFDRFIDx、RCFDCnCFDRFPTRx、RCFDCnCFDRFFDSTx、RCFDCnCFDRFDFd,x ・送信FIFO バッファ時 RCFDCnCFDCFDIDk、RCFDCnCFDCFPTRk、RCFDCnCFDCFFDCSTk、RCFDCnCFDCFDf,d,k	注1. 受信FIFO バッファ時 RSCFDnCFDRFIDx、RSCFDnCFDRFPTRx、RSCFDnCFDRFFDSTx、RSCFDnCFDRFDFd,x ・送信FIFO バッファ時 RSCFDnCFDCFDIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTk、RSCFDnCFDCFDf,d,k	誤記	-	-
28	1061	RS-CANFD	図14.37 RAM テストの設定手順	注1. RAM テストに移行する前に以下のことを行ってください。 ・送信要求の取り消し ・各FIFO 及び送信キューの disable ・受信バッファのフラグクリア	注1. RAM テストに移行する前に以下のことを行ってください。 ・送信要求の取り消し ・各FIFO 及び送信キューの無効化 ・受信バッファのフラグクリア	誤記	-	-
29	1145	OSタイマ	17.2.2 ブロック図	OSTM の主な構成要素を次のブロック図に示します。	OSTM の主な構成要素を次のブロック図に示します。本製品は、OSTMnTOUT出力を実装していません。	誤記	-	-
30	1555	TSG3	20.2.1 機能概要	● リロードモード - TSG3nCMP1E レジスタを書き込むことでリロード許可 (リロード要求フラグTSG3nRSF をセット) となり、複数レジスタの同時転送可能 - 山/谷/山および谷のリロードタイミングで転送可能 - リロード要求フラグTSG3nRSF を用意 - DMA 転送可能なレジスタアドレス配置	● リロードモード - TSG3nCMP1E レジスタを書き込むことでリロード許可 (リロード要求フラグTSG3nRSF をセット) となり、複数レジスタの同時転送可能 - 山/谷/山および谷のリロードタイミングで転送可能 - リロード要求フラグTSG3nRSF を用意 - DMA 転送可能なレジスタアドレス配置 - リロード間引き機能	誤記	-	-
31	1556	TSG3	20.2.1 機能概要	● リロード間引き機能 ● HT-PWM モード - デッドタイム縮小を含む0~100%デューティPWM 出力可能 - アップカウント側のPWM 出力に付加パルスあり/なしをコンペアレジスタのLSB で制御可能なため、ソフトウェア負荷なしで出力分解能を向上	● HT-PWM モード - デッドタイム縮小を含む0~100%デューティPWM 出力可能 - アップカウント側のPWM 出力に付加パルスあり/なしをコンペアレジスタのLSB で制御可能なため、ソフトウェア負荷なしで出力分解能を向上	誤記	-	-
32	1669	TSG3	図20.48 エラー割り込み (INTTSG3nIER) 発生例 (PWM モード時)	<p>図 20.48 エラー割り込み (INTTSG3nIER) 発生例 (PWM モード時)</p>	<p>図 20.48 エラー割り込み (INTTSG3nIER) 発生例 (PWM モード時)</p>	誤記	-	-
33	1681	TSG3	図20.54 TSG3nO1 端子、TSG3nO2 端子間のデッドタイム制御例 (2/2)	● TSG3nCMP1E+TSG3nDTC1 ≥ TSG3nCMP0E+TSG3nCMP2E (TSG3nO2 はインアクティブを継続) ● TSG3nCMP2E+TSG3nDTC0 ≥ TSG3nCMP0E+TSG3nCMP1E (TSG3nO1 はインアクティブを継続)	● TSG3nCMP1E+TSG3nDTC1 ≥ TSG3nCMP0E+TSG3nCMP3E (TSG3nO2 はインアクティブを継続) ● TSG3nCMP3E+TSG3nDTC0 ≥ TSG3nCMP0E+TSG3nCMP1E (TSG3nO1 はインアクティブを継続)	誤記	-	-
34	1681	TSG3	図20.54 TSG3nO1 端子、TSG3nO2 端子間のデッドタイム制御例 (2/2)	④の箇所では、同時アクティブによりTSG3nO1 端子の立ち下がり(インアクティブ)となり、デッドタイムカウンタがスタートします。その後、デッドタイム・カウンタの動作終了後にTSG3nO2 端子がアクティブとなります。	④の箇所では、同時アクティブによりTSG3nO1 端子が立ち下がり(インアクティブ)します。デッドタイムカウンタは、TSG3nCMP1Eレジスタのコンパレー一致後にスタートします。その後、デッドタイム・カウンタの動作終了後にTSG3nO2 端子がアクティブとなります。	誤記	-	-
35	1681	TSG3	図20.54 TSG3nO1 端子、TSG3nO2 端子間のデッドタイム制御例 (2/2)	<p>図 20.54 TSG3nO1 端子、TSG3nO2 端子間のデッドタイム制御例 (2/2)</p>	<p>図 20.54 TSG3nO1 端子、TSG3nO2 端子間のデッドタイム制御例 (2/2)</p>	誤記	-	-

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考																								
36	1793	TAPA	表21.17 Hi-Z スタートトリガ (TAPAnOPHS) の動作	<p>TAPAnOPHS 動作</p> <p>0/1 TAPAnOPHS0 ビットに“1”を書き込むことによって、TAPAnTHZOUT0、TAPAnTHZOUT1、TAPAnTHZOUT2 がロウレベルとなります。</p>	<p>TAPAnDCM 動作</p> <p>0/1 TAPAnOPHS0 ビットに“1”を書き込むことによって、TAPAnTHZOUT0、TAPAnTHZOUT1、TAPAnTHZOUT2 がロウレベルとなります。</p>	誤記	-	-																								
37	1793	TAPA	表21.18 非同期入力Hi-Z 制御時のストップトリガ (TAPAnOPHT) の動作	<p>TAPAnOPHT 動作</p> <p>0 TAPAnOPHT0 ビットに“1”を書き込むことによって、TAPAnTHZOUT0、TAPAnTHZOUT1、TAPAnTHZOUT2 がハイレベルとなります。</p> <p>1 TAPAnTHASIN がインアクティブ中、TAPAnOPHT0 ビットに“1”を書き込むことによって、TAPAnTHZOUT0、TAPAnTHZOUT1、TAPAnTHZOUT2 がハイレベルとなります。TAPAnTHASIN がアクティブ中は、TAPAnOPHT0 ビットへの“1”の書き込みは無視されます。</p>	<p>TAPAnDCM 動作</p> <p>0 TAPAnOPHT0 ビットに“1”を書き込むことによって、TAPAnTHZOUT0、TAPAnTHZOUT1、TAPAnTHZOUT2 がハイレベルとなります。</p> <p>1 TAPAnTHASIN がインアクティブ中、TAPAnOPHT0 ビットに“1”を書き込むことによって、TAPAnTHZOUT0、TAPAnTHZOUT1、TAPAnTHZOUT2 がハイレベルとなります。TAPAnTHASIN がアクティブ中は、TAPAnOPHT0 ビットへの“1”の書き込みは無視されます。</p>	誤記	-	-																								
38	2059	PIC	図24.79 PIC2D ブロック図			誤記	-	-																								
39	2352	RDC3A	表26.31 RDC3AnDIAG1 レジスタの内容 (2/2)	<p>8 ERRST エラー信号リセットビット</p> <p>“1”にセットすると以下のレジスタビットが0”にリセットされます。ただし異常が継続している場合は0”にリセットされず1”が立ったままとなります。</p> <p>本ビットは、“1”になったあと2クロックサイクル経過後に“0”に戻ります。</p> <p>レジスタビット：ERHD、ERDEXC、ERDSBC、ERDSBS、ERDP2、ERDCNV、ERDR1~4V</p>	<p>8 ERRST エラー信号リセットビット</p> <p>“1”にセットすると以下のレジスタビットが0”にリセットされます。ただし異常が継続している場合は0”にリセットされず1”が立ったままとなります。</p> <p>本ビットは、“1”になったあと2クロックサイクル経過後に“0”に戻ります。</p> <p>レジスタビット：ERHD、ERDEXC、ERDSBC、ERDSBS、ERDP2、ERDCNV、ERDR1~2V、ERDS1~4V、ERDR1~2G、ERDS1~4G</p>	誤記	-	-																								
40	2371	RDC3A	表26.46 データ選択	<table border="1"> <thead> <tr> <th>DATASEL[5:0]</th> <th>出力信号</th> <th>出力先 DATA[X:X]</th> </tr> </thead> <tbody> <tr> <td>11.1011</td> <td>12BIT AD 出力コード[11:0]</td> <td>[11:0]</td> </tr> <tr> <td>10.1111</td> <td>角度変換モード1の制御偏差値[7:0]</td> <td>[7:0]</td> </tr> <tr> <td>00.0101</td> <td>角度変換モード0の制御偏差値[7:0]</td> <td>[7:0]</td> </tr> </tbody> </table>	DATASEL[5:0]	出力信号	出力先 DATA[X:X]	11.1011	12BIT AD 出力コード[11:0]	[11:0]	10.1111	角度変換モード1の制御偏差値[7:0]	[7:0]	00.0101	角度変換モード0の制御偏差値[7:0]	[7:0]	<table border="1"> <thead> <tr> <th>DATSEL[5:0]</th> <th>出力信号</th> <th>出力先 DATA[X:X]</th> </tr> </thead> <tbody> <tr> <td>11.1011</td> <td>12BIT AD 出力コード[11:0]</td> <td>[11:0]</td> </tr> <tr> <td>10.1111</td> <td>角度変換モード1の制御偏差値[7:0]</td> <td>[7:0]</td> </tr> <tr> <td>00.0101</td> <td>角度変換モード0の制御偏差値[7:0]</td> <td>[7:0]</td> </tr> </tbody> </table>	DATSEL[5:0]	出力信号	出力先 DATA[X:X]	11.1011	12BIT AD 出力コード[11:0]	[11:0]	10.1111	角度変換モード1の制御偏差値[7:0]	[7:0]	00.0101	角度変換モード0の制御偏差値[7:0]	[7:0]	誤記	-	-
DATASEL[5:0]	出力信号	出力先 DATA[X:X]																														
11.1011	12BIT AD 出力コード[11:0]	[11:0]																														
10.1111	角度変換モード1の制御偏差値[7:0]	[7:0]																														
00.0101	角度変換モード0の制御偏差値[7:0]	[7:0]																														
DATSEL[5:0]	出力信号	出力先 DATA[X:X]																														
11.1011	12BIT AD 出力コード[11:0]	[11:0]																														
10.1111	角度変換モード1の制御偏差値[7:0]	[7:0]																														
00.0101	角度変換モード0の制御偏差値[7:0]	[7:0]																														
41	2377	RDC3A	表26.51 RDC3AnDCUR0 レジスタの内容	<p>5 SYNCSSL 角度変換モード1使用時 (ADRD = 1) の同期検波設定</p> <p>b5</p> <p>0: 同期検波設定 0</p> <p>1: 同期検波設定 1</p>	<p>5 SYNCSSL 角度変換モード1使用時 (ADRD = 1) の同期検波設定</p> <p>b5</p> <p>0: 同期検波設定 0</p> <p>1: 同期検波設定 1</p> <p>角度変換モード0使用時 (ADRD = 0) は0に設定してください。</p>	説明変更	TN-RH8-B0314A/J	-																								

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考																																																																																																																																								
42	2378	RDC3A	表26.52 RDC3AnDCUR1 レジスタの内容	<table border="1"> <tr> <td>13</td> <td>DCCRSTP</td> <td>角度変換モード1使用時 (ADRD = 1) のDC誤差補正設定</td> </tr> <tr> <td colspan="3">b13</td> </tr> <tr> <td colspan="3">0 : DC補正あり</td> </tr> <tr> <td colspan="3">1 : DC補正なし</td> </tr> <tr> <td colspan="3">DC レゾルバ使用時は必ず“1”に設定してください。</td> </tr> </table>	13	DCCRSTP	角度変換モード1使用時 (ADRD = 1) のDC誤差補正設定	b13			0 : DC補正あり			1 : DC補正なし			DC レゾルバ使用時は必ず“1”に設定してください。			<table border="1"> <tr> <td>13</td> <td>DCCRSTP</td> <td>角度変換モード1使用時 (ADRD = 1) のDC誤差補正設定</td> </tr> <tr> <td colspan="3">b13</td> </tr> <tr> <td colspan="3">0 : DC補正あり</td> </tr> <tr> <td colspan="3">1 : DC補正なし</td> </tr> <tr> <td colspan="3">DC レゾルバ使用時は必ず“1”に設定してください。</td> </tr> <tr> <td colspan="3">角度変換モード0使用時 (ADRD=0) は、この設定の影響を受けません。</td> </tr> </table>	13	DCCRSTP	角度変換モード1使用時 (ADRD = 1) のDC誤差補正設定	b13			0 : DC補正あり			1 : DC補正なし			DC レゾルバ使用時は必ず“1”に設定してください。			角度変換モード0使用時 (ADRD=0) は、この設定の影響を受けません。			説明変更	TN-RH8-B0314A/J	-																																																																																																							
13	DCCRSTP	角度変換モード1使用時 (ADRD = 1) のDC誤差補正設定																																																																																																																																														
b13																																																																																																																																																
0 : DC補正あり																																																																																																																																																
1 : DC補正なし																																																																																																																																																
DC レゾルバ使用時は必ず“1”に設定してください。																																																																																																																																																
13	DCCRSTP	角度変換モード1使用時 (ADRD = 1) のDC誤差補正設定																																																																																																																																														
b13																																																																																																																																																
0 : DC補正あり																																																																																																																																																
1 : DC補正なし																																																																																																																																																
DC レゾルバ使用時は必ず“1”に設定してください。																																																																																																																																																
角度変換モード0使用時 (ADRD=0) は、この設定の影響を受けません。																																																																																																																																																
43	2410	RDC3A	26.4.5.1 自己診断 (Built-In Self Test)機能	BISTにより、角度変換中に実行可能なBIST(短時間で終了するBIST)と電源立ち上げ時にのみ実行可能なBISTに区別されます。(角度変換中に実行可能なBISTは電源立ち上げ時にも実施可能です。)	BISTにより、角度変換中に実行可能なBIST(短時間で終了するBIST)と電源立ち上げ時にのみ実行可能なBISTに区別されます。角度変換中に実行可能なBISTは電源立ち上げ時にも実施可能です。ただし、電源立ち上げ時に電源立ち上げ時にのみ実行可能なBISTを実施する場合は、角度変換中に実行可能なBIST先に実施してください。	説明変更	TN-RH8-B0314A/J	-																																																																																																																																								
44	2418	RDC3A	26.4.6.1 周期計測タイム	周期計測タイムは励磁信号(ゼロクロス信号)の周期を計測します。ゼロクロス信号のエッジ(立ち上がり/立ち下がり選択可)を検出すると周期計測カウンタの値をキャプチャし、ET キャプチャレジスタ (RDC3AnETCAP)に格納します。これにより、励磁信号の周期を計測することができます。励磁信号の周期は、「(RDC3AnETCAP レジスタ値 + 1) × CCLK 周期 (25 ns)」で求められます。また、RDC3AnETEN レジスタのIREN ビットが“1”(割り込み許可)の場合、ET キャプチャレジスタ (RDC3AnETCAP) に設定した値と周期計測カウンタを比較して、一致したときに励磁タイム割り込み要求が発生します。励磁信号の周期異常を検出するためにRDC3AnETCAP レジスタに励磁信号の周期よりも長い期間の値を設定してください。	周期計測タイムは励磁信号(ゼロクロス信号)の周期を計測します。ゼロクロス信号のエッジ(立ち上がり/立ち下がり選択可)を検出すると周期計測カウンタの値をキャプチャし、ET キャプチャレジスタのETキャプチャビット (RDC3AnETCAP.CAP[15:0])に格納します。これにより、励磁信号の周期を計測することができます。励磁信号の周期は、「(RDC3AnETCAP レジスタ値 + 1) × CCLK 周期 (25 ns)」で求められます。また、RDC3AnETEN レジスタのIREN ビットが“1”(割り込み許可)の場合、ET キャプチャレジスタのETコンペアビット (RDC3AnETCAP.CMP[15:0]) に設定した値と周期計測カウンタを比較して、一致したときに励磁タイム割り込み要求が発生します。励磁信号の周期異常を検出するためにRDC3AnETCAP レジスタに励磁信号の周期よりも長い期間の値を設定してください。	誤記	-	-																																																																																																																																								
45	2418	RDC3A	図26.23 周期計測タイム動作例	キャプチャビット (RDC3AnETCAP.CAP[15:0])へカウンタ値を転送	キャプチャビット値 (RDC3AnETCAP.CAP[15:0])へカウンタ値を転送	誤記	-	-																																																																																																																																								
46	2418	RDC3A	図26.23 周期計測タイム動作例	コンペアセット値 (RDC3AnETCAP.CMP[15:0])との一致で割り込み要求が発生する	コンペアセット値 (RDC3AnETCAP.CMP[15:0])との一致で割り込み要求が発生する	誤記	-	-																																																																																																																																								
47	2421	RDC3A	26.4.7 PGA 反転機能	● phi 出力角度 = 270° ~ 360° : sin 反転, cos 比反転	● phi 出力角度 = 270° ~ 360° : sin 反転, cos 非反転	誤記	-	-																																																																																																																																								
48	2424	RDC3A	図26.29 レジスタ初期設定フロー			説明変更	TN-RH8-B0314A/J	-																																																																																																																																								
49	2425	RDC3A	26.6.1 レゾルバ信号入力(差動)回路	(1) $RH \approx [(RVCC - VCOM) / (22.0 \times 10^{-6})] - RIN$ ただし、 $VCOM = RVCC / 2[V]$	(1) $RH \approx [(+VEXT - VCOM) / (22.0 \times 10^{-6})] - RIN$ ただし、 $VCOM = RVCC / 2[V]$	誤記	-	-																																																																																																																																								
50	2465	ADCC	27.3.21 ADCCnODCR	<table border="1"> <tr> <td>ビット</td> <td>31</td> <td>30</td> <td>29</td> <td>28</td> <td>27</td> <td>26</td> <td>25</td> <td>24</td> <td>23</td> <td>22</td> <td>21</td> <td>20</td> <td>19</td> <td>18</td> <td>17</td> <td>16</td> </tr> <tr> <td></td> <td>ODDE</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>リセット後の値</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>RW</td> <td>R/W</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> </tr> </table>	ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		ODDE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RW	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	<table border="1"> <tr> <td>ビット</td> <td>31</td> <td>30</td> <td>29</td> <td>28</td> <td>27</td> <td>26</td> <td>25</td> <td>24</td> <td>23</td> <td>22</td> <td>21</td> <td>20</td> <td>19</td> <td>18</td> <td>17</td> <td>16</td> </tr> <tr> <td></td> <td>ODDE</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>リセット後の値</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>RW</td> <td>R/W</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> <td>R</td> </tr> </table>	ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		ODDE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RW	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	誤記	-	-
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																																																																																																																																
	ODDE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-																																																																																																																																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																																																																																
RW	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R																																																																																																																																
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																																																																																																																																
	ODDE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-																																																																																																																																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																																																																																
RW	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R																																																																																																																																

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考																																																																																						
51	2510	ADCC	表27.52 レジスタ設定上の注意事項 (2/2)	<p>ADCCnTHCR ADCCnTHACR ADCCnTHBCR ADCCnTHER ADCCnTHGSR ADCCnSGCRx ADCCnSGVCSFx ADCCnSGVCEPx</p> <p>左記レジスタを設定する場合には、当該レジスタを読み出した後、書き込みを行ってください。本手順を実施しない場合には、書き込んだレジスタ値が、動作に正しく反映されない場合があります。</p>	<p>ADCCnTHCR ADCCnTHACR ADCCnTHBCR ADCCnTHER ADCCnTHGSR ADCCnSGCRx ADCCnSGVCSFx ADCCnSGVCEPx</p> <p>左記レジスタを設定する場合には、当該レジスタを読み出した後、書き込みを行ってください。本手順を実施せず、左記レジスタに対して連続で書き込みが発生した場合、書き込んだレジスタ値が、動作に正しく反映されない場合があります。</p>	追加説明	-	-																																																																																						
52	2804	フラッシュ	35.10 注意事項	(7) 書き込み/消去中の禁止事項 フラッシュメモリの書き込み/消去中は、以下の動作は行わないでください。	(7) 書き込み/消去/ブランクチェック中の禁止事項 フラッシュメモリの書き込み/消去/ブランクチェック中は、以下の動作は行わないでください。	誤記	-	-																																																																																						
53	2835	電氣的特性	表39.18 ドライバリテイ選択 = Low	<table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>条件</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="4">出力立ち上がり/立ち下がり時間 スルーレート</td> <td rowspan="4">tR、tF</td> <td>CL = 25 pF</td> <td></td> <td>25</td> <td>50</td> <td>ns</td> </tr> <tr> <td>CL = 50 pF</td> <td></td> <td>50</td> <td>100</td> <td>ns</td> </tr> <tr> <td>CL = 75 pF</td> <td></td> <td>70</td> <td>120</td> <td>ns</td> </tr> <tr> <td>CL = 100 pF</td> <td></td> <td>85</td> <td>150</td> <td>ns</td> </tr> </tbody> </table>	項目	記号	条件	Min.	Typ.	Max.	単位	出力立ち上がり/立ち下がり時間 スルーレート	tR、tF	CL = 25 pF		25	50	ns	CL = 50 pF		50	100	ns	CL = 75 pF		70	120	ns	CL = 100 pF		85	150	ns	<table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>条件</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="4">出力立ち上がり/立ち下がり時間 スルーレート</td> <td rowspan="4">tR、tF</td> <td>CL = 25 pF</td> <td>—</td> <td>25</td> <td>50</td> <td>ns</td> </tr> <tr> <td>CL = 50 pF</td> <td>—</td> <td>50</td> <td>100</td> <td>ns</td> </tr> <tr> <td>CL = 75 pF</td> <td>—</td> <td>70</td> <td>120</td> <td>ns</td> </tr> <tr> <td>CL = 100 pF</td> <td>—</td> <td>85</td> <td>150</td> <td>ns</td> </tr> </tbody> </table>	項目	記号	条件	Min.	Typ.	Max.	単位	出力立ち上がり/立ち下がり時間 スルーレート	tR、tF	CL = 25 pF	—	25	50	ns	CL = 50 pF	—	50	100	ns	CL = 75 pF	—	70	120	ns	CL = 100 pF	—	85	150	ns	誤記	-	-																												
項目	記号	条件	Min.	Typ.	Max.	単位																																																																																								
出力立ち上がり/立ち下がり時間 スルーレート	tR、tF	CL = 25 pF		25	50	ns																																																																																								
		CL = 50 pF		50	100	ns																																																																																								
		CL = 75 pF		70	120	ns																																																																																								
		CL = 100 pF		85	150	ns																																																																																								
項目	記号	条件	Min.	Typ.	Max.	単位																																																																																								
出力立ち上がり/立ち下がり時間 スルーレート	tR、tF	CL = 25 pF	—	25	50	ns																																																																																								
		CL = 50 pF	—	50	100	ns																																																																																								
		CL = 75 pF	—	70	120	ns																																																																																								
		CL = 100 pF	—	85	150	ns																																																																																								
54	2857	電氣的特性	表39.33 RDC 変換性能 (2/2)	<table border="1"> <thead> <tr> <th>項目</th> <th>条件</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="6">BIST 判定時間^{※ 5}</td> <td>二乗和振幅異常検知 BIST(L 側)</td> <td>—</td> <td>—</td> <td>1</td> <td>ms</td> </tr> <tr> <td>二乗和振幅異常検知 BIST(H 側)</td> <td>—</td> <td>—</td> <td>1</td> <td>ms</td> </tr> <tr> <td>ADBIST</td> <td>—</td> <td>—</td> <td>32</td> <td>μs</td> </tr> <tr> <td>角度変換 BIST (角度判定閾値 ±8LSB 以内)</td> <td>—</td> <td>—</td> <td>10</td> <td>ms</td> </tr> <tr> <td>レゾルバ値号異常検出 BIST</td> <td>—</td> <td>—</td> <td>0.5</td> <td>ms</td> </tr> <tr> <td>レゾルバ値号断線検出 BIST</td> <td>—</td> <td>—</td> <td>1</td> <td>ms</td> </tr> <tr> <td rowspan="4">BIST 復帰時間^{※ 6}</td> <td>全 BIST 種</td> <td>—</td> <td>—</td> <td>10</td> <td>ms</td> </tr> </tbody> </table>	項目	条件	Min.	Typ.	Max.	単位	BIST 判定時間 ^{※ 5}	二乗和振幅異常検知 BIST(L 側)	—	—	1	ms	二乗和振幅異常検知 BIST(H 側)	—	—	1	ms	ADBIST	—	—	32	μs	角度変換 BIST (角度判定閾値 ±8LSB 以内)	—	—	10	ms	レゾルバ値号異常検出 BIST	—	—	0.5	ms	レゾルバ値号断線検出 BIST	—	—	1	ms	BIST 復帰時間 ^{※ 6}	全 BIST 種	—	—	10	ms	<table border="1"> <thead> <tr> <th>項目</th> <th>条件</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="6">BIST 判定時間^{※ 5}</td> <td>二乗和振幅異常検知 BIST(L 側)</td> <td>—</td> <td>—</td> <td>1</td> <td>ms</td> </tr> <tr> <td>二乗和振幅異常検知 BIST(H 側)</td> <td>—</td> <td>—</td> <td>1</td> <td>ms</td> </tr> <tr> <td>ADBIST</td> <td>—</td> <td>—</td> <td>32</td> <td>μs</td> </tr> <tr> <td>角度変換 BIST (角度判定閾値 ±16LSB 以内)</td> <td>—</td> <td>—</td> <td>10</td> <td>ms</td> </tr> <tr> <td>レゾルバ値号異常検出 BIST</td> <td>—</td> <td>—</td> <td>0.5</td> <td>ms</td> </tr> <tr> <td>レゾルバ値号断線検出 BIST</td> <td>—</td> <td>—</td> <td>1</td> <td>ms</td> </tr> <tr> <td rowspan="4">BIST 復帰時間^{※ 6}</td> <td>全 BIST 種</td> <td>—</td> <td>—</td> <td>10</td> <td>ms</td> </tr> </tbody> </table>	項目	条件	Min.	Typ.	Max.	単位	BIST 判定時間 ^{※ 5}	二乗和振幅異常検知 BIST(L 側)	—	—	1	ms	二乗和振幅異常検知 BIST(H 側)	—	—	1	ms	ADBIST	—	—	32	μs	角度変換 BIST (角度判定閾値 ±16LSB 以内)	—	—	10	ms	レゾルバ値号異常検出 BIST	—	—	0.5	ms	レゾルバ値号断線検出 BIST	—	—	1	ms	BIST 復帰時間 ^{※ 6}	全 BIST 種	—	—	10	ms	誤記	-	-
項目	条件	Min.	Typ.	Max.	単位																																																																																									
BIST 判定時間 ^{※ 5}	二乗和振幅異常検知 BIST(L 側)	—	—	1	ms																																																																																									
	二乗和振幅異常検知 BIST(H 側)	—	—	1	ms																																																																																									
	ADBIST	—	—	32	μs																																																																																									
	角度変換 BIST (角度判定閾値 ±8LSB 以内)	—	—	10	ms																																																																																									
	レゾルバ値号異常検出 BIST	—	—	0.5	ms																																																																																									
	レゾルバ値号断線検出 BIST	—	—	1	ms																																																																																									
BIST 復帰時間 ^{※ 6}	全 BIST 種	—	—	10	ms																																																																																									
	項目	条件	Min.	Typ.	Max.	単位																																																																																								
	BIST 判定時間 ^{※ 5}	二乗和振幅異常検知 BIST(L 側)	—	—	1	ms																																																																																								
		二乗和振幅異常検知 BIST(H 側)	—	—	1	ms																																																																																								
ADBIST		—	—	32	μs																																																																																									
角度変換 BIST (角度判定閾値 ±16LSB 以内)		—	—	10	ms																																																																																									
レゾルバ値号異常検出 BIST		—	—	0.5	ms																																																																																									
レゾルバ値号断線検出 BIST		—	—	1	ms																																																																																									
BIST 復帰時間 ^{※ 6}	全 BIST 種	—	—	10	ms																																																																																									
	55	456	CSIH	表 11.25 CSIHnTX0W レジスタの内容 (1/2)	<table border="1"> <tbody> <tr> <td>29</td> <td>CSIHnEDL</td> <td>関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。 0: 通常の動作。 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビットのバケットとして送信されます。データ送信後にデータ期間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 注意: このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。</td> </tr> <tr> <td>28~20</td> <td>予約ビット</td> <td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td> </tr> </tbody> </table>	29	CSIHnEDL	関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。 0: 通常の動作。 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビットのバケットとして送信されます。データ送信後にデータ期間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 注意: このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。	28~20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	<table border="1"> <tbody> <tr> <td>29</td> <td>CSIHnEDL</td> <td>関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。 0: 通常の動作。 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビットのバケットとして送信されます。データ送信後にデータ期間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 注意: このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。</td> </tr> <tr> <td>28~20</td> <td>予約ビット</td> <td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 但し、CS[x]0~3 のいずれかをマスターモードで使用しているときは、00H を書いてください。</td> </tr> </tbody> </table>	29	CSIHnEDL	関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。 0: 通常の動作。 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビットのバケットとして送信されます。データ送信後にデータ期間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 注意: このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。	28~20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 但し、CS[x]0~3 のいずれかをマスターモードで使用しているときは、00H を書いてください。	追加説明	TN-RH8-B0303A/J	-																																																																									
	29	CSIHnEDL	関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。 0: 通常の動作。 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビットのバケットとして送信されます。データ送信後にデータ期間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 注意: このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。																																																																																											
	28~20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																																																																											
29	CSIHnEDL	関連付けられたデータが拡張データ長 (EDL) オプションを必要とするかどうかを指定します。 0: 通常の動作。 1: 拡張データ長を有効にします。 関連付けられたデータは 16 ビットのバケットとして送信されます。データ送信後にデータ期間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 注意: このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。																																																																																												
28~20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。 但し、CS[x]0~3 のいずれかをマスターモードで使用しているときは、00H を書いてください。																																																																																												
56	152	端子	表2.61 C1M-A1 端子機能 (1/3)	<table border="1"> <thead> <tr> <th>端子名</th> <th>I/O</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>AnVREFH (n = 0~2)</td> <td>—</td> <td>ADCCn 電圧供給と基準電圧</td> </tr> <tr> <td>AnVSS (n = 0~2)</td> <td>—</td> <td>ADCCn グランド</td> </tr> <tr> <td>ADCCnTRG (n = 0~2)</td> <td>I</td> <td>ADCCn トリガ</td> </tr> <tr> <td>ADCC0lpq (p = 0~3, q = 0~3) ただし、p = 2, q = 2, 3 および p = 3, q = 1~3 の組合せは除く</td> <td>I</td> <td>ADCC0 入力チャネル pq</td> </tr> <tr> <td>ADCC1lpq (p = 0~3, q = 0~3) ただし、p = 3, q = 0, 3 の組合せは除く</td> <td>I</td> <td>ADCC1 入力チャネル pq</td> </tr> <tr> <td>ADCC2lpq (p = 1, q = 1~3)</td> <td>I</td> <td>ADCC2 入力チャネル pq</td> </tr> </tbody> </table>	端子名	I/O	機能	AnVREFH (n = 0~2)	—	ADCCn 電圧供給と基準電圧	AnVSS (n = 0~2)	—	ADCCn グランド	ADCCnTRG (n = 0~2)	I	ADCCn トリガ	ADCC0lpq (p = 0~3, q = 0~3) ただし、p = 2, q = 2, 3 および p = 3, q = 1~3 の組合せは除く	I	ADCC0 入力チャネル pq	ADCC1lpq (p = 0~3, q = 0~3) ただし、p = 3, q = 0, 3 の組合せは除く	I	ADCC1 入力チャネル pq	ADCC2lpq (p = 1, q = 1~3)	I	ADCC2 入力チャネル pq	<table border="1"> <thead> <tr> <th>端子名</th> <th>I/O</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>AnVREFH (n = 0~2)</td> <td>—</td> <td>ADCCn 電圧供給と基準電圧</td> </tr> <tr> <td>AnVSS (n = 0~2)</td> <td>—</td> <td>ADCCn グランド</td> </tr> <tr> <td>ADCCnTRG (n = 0~2)</td> <td>I</td> <td>ADCCn トリガ</td> </tr> <tr> <td>ADCC0lpq (p = 0~3, q = 0~3) ただし、p = 2, q = 2, 3 および p = 3, q = 1~3 の組合せは除く</td> <td>I</td> <td>ADCC0 入力チャネル pq</td> </tr> <tr> <td>ADCC1lpq (p = 0~3, q = 0~3) ただし、p = 3, q = 0, 3 の組合せは除く</td> <td>I</td> <td>ADCC1 入力チャネル pq</td> </tr> <tr> <td>ADCC2lpq (p = 0~1, q = 0~3) ただし、p = 1, q = 1~3 の組合せは除く</td> <td>I</td> <td>ADCC2 入力チャネル pq</td> </tr> </tbody> </table>	端子名	I/O	機能	AnVREFH (n = 0~2)	—	ADCCn 電圧供給と基準電圧	AnVSS (n = 0~2)	—	ADCCn グランド	ADCCnTRG (n = 0~2)	I	ADCCn トリガ	ADCC0lpq (p = 0~3, q = 0~3) ただし、p = 2, q = 2, 3 および p = 3, q = 1~3 の組合せは除く	I	ADCC0 入力チャネル pq	ADCC1lpq (p = 0~3, q = 0~3) ただし、p = 3, q = 0, 3 の組合せは除く	I	ADCC1 入力チャネル pq	ADCC2lpq (p = 0~1, q = 0~3) ただし、p = 1, q = 1~3 の組合せは除く	I	ADCC2 入力チャネル pq	誤記	-	-																																												
端子名	I/O	機能																																																																																												
AnVREFH (n = 0~2)	—	ADCCn 電圧供給と基準電圧																																																																																												
AnVSS (n = 0~2)	—	ADCCn グランド																																																																																												
ADCCnTRG (n = 0~2)	I	ADCCn トリガ																																																																																												
ADCC0lpq (p = 0~3, q = 0~3) ただし、p = 2, q = 2, 3 および p = 3, q = 1~3 の組合せは除く	I	ADCC0 入力チャネル pq																																																																																												
ADCC1lpq (p = 0~3, q = 0~3) ただし、p = 3, q = 0, 3 の組合せは除く	I	ADCC1 入力チャネル pq																																																																																												
ADCC2lpq (p = 1, q = 1~3)	I	ADCC2 入力チャネル pq																																																																																												
端子名	I/O	機能																																																																																												
AnVREFH (n = 0~2)	—	ADCCn 電圧供給と基準電圧																																																																																												
AnVSS (n = 0~2)	—	ADCCn グランド																																																																																												
ADCCnTRG (n = 0~2)	I	ADCCn トリガ																																																																																												
ADCC0lpq (p = 0~3, q = 0~3) ただし、p = 2, q = 2, 3 および p = 3, q = 1~3 の組合せは除く	I	ADCC0 入力チャネル pq																																																																																												
ADCC1lpq (p = 0~3, q = 0~3) ただし、p = 3, q = 0, 3 の組合せは除く	I	ADCC1 入力チャネル pq																																																																																												
ADCC2lpq (p = 0~1, q = 0~3) ただし、p = 1, q = 1~3 の組合せは除く	I	ADCC2 入力チャネル pq																																																																																												

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考																																																						
57	1545	TAUJ	表19.64 PWM 出力機能のスレーブチャネルのTAUJnCMORmレジスタの内容	<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>15, 14</td> <td>TAUJnCKS[1:0]</td> <td>動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0]ビット値は同一である必要があります。</td> </tr> <tr> <td>13, 12</td> <td>TAUJnCCS[1:0]</td> <td>00: 動作クロックをカウントクロックとして使用</td> </tr> <tr> <td>11</td> <td>TAUJnMAS</td> <td>0: チャネルはスレーブチャネル</td> </tr> <tr> <td>10~8</td> <td>TAUJnSTS[2:0]</td> <td>100: マスタチャネルの INTTAUJnIm がスタートトリガ</td> </tr> <tr> <td>7, 6</td> <td>TAUJnCOS[1:0]</td> <td>00: 未使用、00 を設定</td> </tr> <tr> <td>5</td> <td>予約ビット</td> <td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td> </tr> <tr> <td>4~1</td> <td>TAUJnMD[4:1]</td> <td>0100: ワンカウントモード</td> </tr> <tr> <td>0</td> <td>TAUJnMD0</td> <td>1: 動作開始時に INTTAUJnIm が発生する</td> </tr> </tbody> </table>	ビット位置	ビット名	機能	15, 14	TAUJnCKS[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0]ビット値は同一である必要があります。	13, 12	TAUJnCCS[1:0]	00: 動作クロックをカウントクロックとして使用	11	TAUJnMAS	0: チャネルはスレーブチャネル	10~8	TAUJnSTS[2:0]	100: マスタチャネルの INTTAUJnIm がスタートトリガ	7, 6	TAUJnCOS[1:0]	00: 未使用、00 を設定	5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	4~1	TAUJnMD[4:1]	0100: ワンカウントモード	0	TAUJnMD0	1: 動作開始時に INTTAUJnIm が発生する	<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>15, 14</td> <td>TAUJnCKS[1:0]</td> <td>動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0]ビット値は同一である必要があります。</td> </tr> <tr> <td>13, 12</td> <td>TAUJnCCS[1:0]</td> <td>00: 動作クロックをカウントクロックとして使用</td> </tr> <tr> <td>11</td> <td>TAUJnMAS</td> <td>0: チャネルはスレーブチャネル</td> </tr> <tr> <td>10~8</td> <td>TAUJnSTS[2:0]</td> <td>100: マスタチャネルの INTTAUJnIm がスタートトリガ</td> </tr> <tr> <td>7, 6</td> <td>TAUJnCOS[1:0]</td> <td>00: 未使用、00 を設定</td> </tr> <tr> <td>5</td> <td>予約ビット</td> <td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td> </tr> <tr> <td>4~1</td> <td>TAUJnMD[4:1]</td> <td>0100: ワンカウントモード</td> </tr> <tr> <td>0</td> <td>TAUJnMD0</td> <td>1: 動作開始時には INTTAUJnIm は発生しません</td> </tr> </tbody> </table>	ビット位置	ビット名	機能	15, 14	TAUJnCKS[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0]ビット値は同一である必要があります。	13, 12	TAUJnCCS[1:0]	00: 動作クロックをカウントクロックとして使用	11	TAUJnMAS	0: チャネルはスレーブチャネル	10~8	TAUJnSTS[2:0]	100: マスタチャネルの INTTAUJnIm がスタートトリガ	7, 6	TAUJnCOS[1:0]	00: 未使用、00 を設定	5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	4~1	TAUJnMD[4:1]	0100: ワンカウントモード	0	TAUJnMD0	1: 動作開始時には INTTAUJnIm は発生しません	誤記	-	-
ビット位置	ビット名	機能																																																												
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0]ビット値は同一である必要があります。																																																												
13, 12	TAUJnCCS[1:0]	00: 動作クロックをカウントクロックとして使用																																																												
11	TAUJnMAS	0: チャネルはスレーブチャネル																																																												
10~8	TAUJnSTS[2:0]	100: マスタチャネルの INTTAUJnIm がスタートトリガ																																																												
7, 6	TAUJnCOS[1:0]	00: 未使用、00 を設定																																																												
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																																												
4~1	TAUJnMD[4:1]	0100: ワンカウントモード																																																												
0	TAUJnMD0	1: 動作開始時に INTTAUJnIm が発生する																																																												
ビット位置	ビット名	機能																																																												
15, 14	TAUJnCKS[1:0]	動作クロックの選択 00: プリスケアラ出力 CK0 01: プリスケアラ出力 CK1 10: プリスケアラ出力 CK2 11: プリスケアラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0]ビット値は同一である必要があります。																																																												
13, 12	TAUJnCCS[1:0]	00: 動作クロックをカウントクロックとして使用																																																												
11	TAUJnMAS	0: チャネルはスレーブチャネル																																																												
10~8	TAUJnSTS[2:0]	100: マスタチャネルの INTTAUJnIm がスタートトリガ																																																												
7, 6	TAUJnCOS[1:0]	00: 未使用、00 を設定																																																												
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。																																																												
4~1	TAUJnMD[4:1]	0100: ワンカウントモード																																																												
0	TAUJnMD0	1: 動作開始時には INTTAUJnIm は発生しません																																																												
58	74	概要	表1.5 RH850/C1M-A1ピン配置(2/4)	<table border="1"> <thead> <tr> <th>ピン番号</th> <th>端子名</th> </tr> </thead> <tbody> <tr><td>45</td><td>A0VSS</td></tr> <tr><td>46</td><td>ADCC0I30</td></tr> <tr><td>47</td><td>A0VCC</td></tr> <tr><td>48</td><td>P7_0/TAUD0I5/TAUD0O5/TAUJ0I0/TAUJ0O0/ADCC1TRG/CSIH2SC</td></tr> <tr><td>49</td><td>P7_2/TAUD0I7/TAUD0O7/TAUJ0I2/TAUJ0O2/SCI0RXD/CSIH2SO</td></tr> <tr><td>50</td><td>VDD</td></tr> <tr><td>51</td><td>P7_4/TAUD0I8/TAUD0O8/TAUJ0I3/TAUJ0O3/SCI0TXD/CSIH2SI</td></tr> <tr><td>52</td><td>VSS</td></tr> <tr><td>53</td><td>P5_0/RLIN32RX/SCI0RXD/CSIH2CSS3</td></tr> <tr><td>54</td><td>P5_1/RLIN32TX/SCI0TXD/CSIH2SSI</td></tr> <tr><td>55</td><td>P5_2/RLIN31RX/SCI0SCK/SCI0SCK/CSIH2RY/CSIH2RYO</td></tr> <tr><td>56</td><td>P5_3/RLIN31TX/SCI1SCK/SCI1SCK</td></tr> </tbody> </table>	ピン番号	端子名	45	A0VSS	46	ADCC0I30	47	A0VCC	48	P7_0/TAUD0I5/TAUD0O5/TAUJ0I0/TAUJ0O0/ADCC1TRG/CSIH2SC	49	P7_2/TAUD0I7/TAUD0O7/TAUJ0I2/TAUJ0O2/SCI0RXD/CSIH2SO	50	VDD	51	P7_4/TAUD0I8/TAUD0O8/TAUJ0I3/TAUJ0O3/SCI0TXD/CSIH2SI	52	VSS	53	P5_0/RLIN32RX/SCI0RXD/CSIH2CSS3	54	P5_1/RLIN32TX/SCI0TXD/CSIH2SSI	55	P5_2/RLIN31RX/SCI0SCK/SCI0SCK/CSIH2RY/CSIH2RYO	56	P5_3/RLIN31TX/SCI1SCK/SCI1SCK	<table border="1"> <thead> <tr> <th>ピン番号</th> <th>端子名</th> </tr> </thead> <tbody> <tr><td>45</td><td>A0VSS</td></tr> <tr><td>46</td><td>ADCC0I30</td></tr> <tr><td>47</td><td>A0VCC</td></tr> <tr><td>48</td><td>P7_0/TAUD0I5/TAUD0O5/TAUJ0I0/TAUJ0O0/ADCC1TRG/CSIH2SC</td></tr> <tr><td>49</td><td>P7_2/TAUD0I7/TAUD0O7/TAUJ0I2/TAUJ0O2/SCI0RXD/CSIH2SO</td></tr> <tr><td>50</td><td>VDD</td></tr> <tr><td>51</td><td>P7_4/TAUD0I8/TAUD0O8/TAUJ0I3/TAUJ0O3/SCI0TXD/CSIH2SI</td></tr> <tr><td>52</td><td>VSS</td></tr> <tr><td>53</td><td>P5_0/RLIN32RX/SCI0RXD/CSIH2CSS3</td></tr> <tr><td>54</td><td>P5_1/RLIN32TX/SCI0TXD/CSIH2SSI</td></tr> <tr><td>55</td><td>P5_2/RLIN31RX/SCI0SCK/SCI0SCK/CSIH2RY/CSIH2RYO</td></tr> <tr><td>56</td><td>P5_3/RLIN31TX/SCI1SCK</td></tr> </tbody> </table>	ピン番号	端子名	45	A0VSS	46	ADCC0I30	47	A0VCC	48	P7_0/TAUD0I5/TAUD0O5/TAUJ0I0/TAUJ0O0/ADCC1TRG/CSIH2SC	49	P7_2/TAUD0I7/TAUD0O7/TAUJ0I2/TAUJ0O2/SCI0RXD/CSIH2SO	50	VDD	51	P7_4/TAUD0I8/TAUD0O8/TAUJ0I3/TAUJ0O3/SCI0TXD/CSIH2SI	52	VSS	53	P5_0/RLIN32RX/SCI0RXD/CSIH2CSS3	54	P5_1/RLIN32TX/SCI0TXD/CSIH2SSI	55	P5_2/RLIN31RX/SCI0SCK/SCI0SCK/CSIH2RY/CSIH2RYO	56	P5_3/RLIN31TX/SCI1SCK	誤記	-	-		
ピン番号	端子名																																																													
45	A0VSS																																																													
46	ADCC0I30																																																													
47	A0VCC																																																													
48	P7_0/TAUD0I5/TAUD0O5/TAUJ0I0/TAUJ0O0/ADCC1TRG/CSIH2SC																																																													
49	P7_2/TAUD0I7/TAUD0O7/TAUJ0I2/TAUJ0O2/SCI0RXD/CSIH2SO																																																													
50	VDD																																																													
51	P7_4/TAUD0I8/TAUD0O8/TAUJ0I3/TAUJ0O3/SCI0TXD/CSIH2SI																																																													
52	VSS																																																													
53	P5_0/RLIN32RX/SCI0RXD/CSIH2CSS3																																																													
54	P5_1/RLIN32TX/SCI0TXD/CSIH2SSI																																																													
55	P5_2/RLIN31RX/SCI0SCK/SCI0SCK/CSIH2RY/CSIH2RYO																																																													
56	P5_3/RLIN31TX/SCI1SCK/SCI1SCK																																																													
ピン番号	端子名																																																													
45	A0VSS																																																													
46	ADCC0I30																																																													
47	A0VCC																																																													
48	P7_0/TAUD0I5/TAUD0O5/TAUJ0I0/TAUJ0O0/ADCC1TRG/CSIH2SC																																																													
49	P7_2/TAUD0I7/TAUD0O7/TAUJ0I2/TAUJ0O2/SCI0RXD/CSIH2SO																																																													
50	VDD																																																													
51	P7_4/TAUD0I8/TAUD0O8/TAUJ0I3/TAUJ0O3/SCI0TXD/CSIH2SI																																																													
52	VSS																																																													
53	P5_0/RLIN32RX/SCI0RXD/CSIH2CSS3																																																													
54	P5_1/RLIN32TX/SCI0TXD/CSIH2SSI																																																													
55	P5_2/RLIN31RX/SCI0SCK/SCI0SCK/CSIH2RY/CSIH2RYO																																																													
56	P5_3/RLIN31TX/SCI1SCK																																																													
59	2859	電気的特性	表39.34 異常検出の特性	<table border="1"> <tr> <td rowspan="2">R/D 変換異常 (制御偏差過大) 内部制御偏差 (e) 過大認識 レベル²⁾</td> <td>ハイ側</td> <td>00CA8_h</td> <td>注 4</td> </tr> <tr> <td>ロウ側</td> <td>1FFF3_h</td> <td></td> </tr> </table>	R/D 変換異常 (制御偏差過大) 内部制御偏差 (e) 過大認識 レベル ²⁾	ハイ側	00CA8 _h	注 4	ロウ側	1FFF3 _h		<table border="1"> <tr> <td rowspan="2">R/D 変換異常 (制御偏差過大) 内部制御偏差 (e) 過大認識 レベル²⁾</td> <td>ハイ側</td> <td>00CA8_h</td> <td>注 4</td> </tr> <tr> <td>ロウ側</td> <td>7F358_h</td> <td></td> </tr> </table>	R/D 変換異常 (制御偏差過大) 内部制御偏差 (e) 過大認識 レベル ²⁾	ハイ側	00CA8 _h	注 4	ロウ側	7F358 _h		説明変更	TN-RH8-B0467A/J	-																																								
R/D 変換異常 (制御偏差過大) 内部制御偏差 (e) 過大認識 レベル ²⁾	ハイ側	00CA8 _h	注 4																																																											
	ロウ側	1FFF3 _h																																																												
R/D 変換異常 (制御偏差過大) 内部制御偏差 (e) 過大認識 レベル ²⁾	ハイ側	00CA8 _h	注 4																																																											
	ロウ側	7F358 _h																																																												
60	2201	EMU3	表25.144 EMU3nRECUk レジスタの内容	備考 詳細は「25.4.7.3 独立矩形IP2」を参照下さい。	備考 詳細は「25.4.7.3 独立矩形IP2」を参照下さい。 注意 このレジスタを書き換える場合には(初回書き込み時も含む)は必ず次の手順(1)(2)で変更してください。 (1) 32bitアクセスで、UMOD=0, UINT=0, UEN=0, UPTN=任意の値, UCMP=任意の値を書き込んでください。 (2) UMOD, UINT, UEN, UPTN の設定は、UCMPの(1)での書き込み値を保持したまま、書き込んでください。	説明変更	TN-RH8-B0466A/J	-																																																						
61	2202	EMU3	表25.145 EMU3nRECVk レジスタの内容 (2/2)	備考 詳細は「25.4.7.3 独立矩形IP2」を参照下さい。	備考 詳細は「25.4.7.3 独立矩形IP2」を参照下さい。 注意 このレジスタを書き換える場合には(初回書き込み時も含む)は必ず次の手順(1)(2)で変更してください。 (1) 32bitアクセスで、VMOD=0, VINT=0, VEN=0, VPTN=任意の値, VGMP=任意の値を書き込んでください。 (2) VMOD, VINT, VEN, VPTN の設定は、VGMPの(1)での書き込み値を保持したまま、書き込んでください。	説明変更	TN-RH8-B0466A/J	-																																																						

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考																														
62	2203	EMU3	表25.146 EMU3nRECwKレジスタの内容 (2/2)	備考 詳細は「25.4.7.3 独立矩形IP2」を参照下さい。	備考 詳細は「25.4.7.3 独立矩形IP2」を参照下さい。 注意 このレジスタを書き換える場合には初回書き込み時も含む)は必ず次の手順(1)(2)で変更してください。 (1) 32bitアクセスで、WMOD=0, WINT=0, WEN=0, WPTN=任意の値, WCMP=任意の値を書き込んでください。 (2) WMOD, WINT, WEN, WPTN の設定は、WCMPの(1)での書き込み値を保持したまま、書き込んでください。	説明変更	TN-RH8-B0466A/J	-																														
63	1569	TSG3	表20.13 TSG3nCTL5 レジスタの内容 (2/2)	記載なし	注意 TSG3nATxxレジスタビットの設定はタイマー停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。 タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。 TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。	説明変更	TN-RH8-B0468A/J	-																														
64	1571	TSG3	表20.14 TSG3nCTL6 レジスタの内容 (2/2)	記載なし	注意 TSG3nATxxレジスタビットの設定はタイマー停止中 (TSG3nSTR0.TSG3nTE = 0) に設定してください。 タイマ動作中 (TSG3nSTR0.TSG3nTE = 1) のとき、同一値であればライトアクセスが可能です。 TSG3nSTR0.TSG3nTE = 1 のときに書き換えた場合の動作は保証できません。	説明変更	TN-RH8-B0468A/J	-																														
65	2340	RDC3A	表26.23 RDC3AnSCCOR0 レジスタの内容	<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>31~28</td> <td>予約ビット</td> <td>読むと "0" が読み出されます。書き込みは "0" としてください。</td> </tr> <tr> <td>27~16</td> <td>COSPO[11:0]</td> <td>cos 位相補正ビット cos ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。^{※1} b27-b16 000_H: 0° (補正なし) 7FF_H: +180° (正の最大補正) 800_H: -180° (負の最大補正)</td> </tr> <tr> <td>15~12</td> <td>予約ビット</td> <td>読むと "0" が読み出されます。書き込みは "0" としてください。</td> </tr> <tr> <td>11~0</td> <td>SINPO[11:0]</td> <td>sin 位相補正ビット sin ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。^{※1} b11-b0 000_H: 0° (補正なし) 7FF_H: +180° (正の最大補正) 800_H: -180° (負の最大補正)</td> </tr> </tbody> </table>	ビット位置	ビット名	機能	31~28	予約ビット	読むと "0" が読み出されます。書き込みは "0" としてください。	27~16	COSPO[11:0]	cos 位相補正ビット cos ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。 ^{※1} b27-b16 000 _H : 0° (補正なし) 7FF _H : +180° (正の最大補正) 800 _H : -180° (負の最大補正)	15~12	予約ビット	読むと "0" が読み出されます。書き込みは "0" としてください。	11~0	SINPO[11:0]	sin 位相補正ビット sin ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。 ^{※1} b11-b0 000 _H : 0° (補正なし) 7FF _H : +180° (正の最大補正) 800 _H : -180° (負の最大補正)	<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>31~28</td> <td>予約ビット</td> <td>読むと "0" が読み出されます。書き込みは "0" としてください。</td> </tr> <tr> <td>27~16</td> <td>COSPO[11:0]</td> <td>cos 角度補正ビット cos ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。^{※1} b27-b16 000_H: 0° (補正なし) 7FF_H: +180° (正の最大補正) 800_H: -180° (負の最大補正)</td> </tr> <tr> <td>15~12</td> <td>予約ビット</td> <td>読むと "0" が読み出されます。書き込みは "0" としてください。</td> </tr> <tr> <td>11~0</td> <td>SINPO[11:0]</td> <td>sin 角度補正ビット sin ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。^{※1} b11-b0 000_H: 0° (補正なし) 7FF_H: +180° (正の最大補正) 800_H: -180° (負の最大補正)</td> </tr> </tbody> </table>	ビット位置	ビット名	機能	31~28	予約ビット	読むと "0" が読み出されます。書き込みは "0" としてください。	27~16	COSPO[11:0]	cos 角度補正ビット cos ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。 ^{※1} b27-b16 000 _H : 0° (補正なし) 7FF _H : +180° (正の最大補正) 800 _H : -180° (負の最大補正)	15~12	予約ビット	読むと "0" が読み出されます。書き込みは "0" としてください。	11~0	SINPO[11:0]	sin 角度補正ビット sin ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。 ^{※1} b11-b0 000 _H : 0° (補正なし) 7FF _H : +180° (正の最大補正) 800 _H : -180° (負の最大補正)	誤記	-	-
ビット位置	ビット名	機能																																				
31~28	予約ビット	読むと "0" が読み出されます。書き込みは "0" としてください。																																				
27~16	COSPO[11:0]	cos 位相補正ビット cos ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。 ^{※1} b27-b16 000 _H : 0° (補正なし) 7FF _H : +180° (正の最大補正) 800 _H : -180° (負の最大補正)																																				
15~12	予約ビット	読むと "0" が読み出されます。書き込みは "0" としてください。																																				
11~0	SINPO[11:0]	sin 位相補正ビット sin ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。 ^{※1} b11-b0 000 _H : 0° (補正なし) 7FF _H : +180° (正の最大補正) 800 _H : -180° (負の最大補正)																																				
ビット位置	ビット名	機能																																				
31~28	予約ビット	読むと "0" が読み出されます。書き込みは "0" としてください。																																				
27~16	COSPO[11:0]	cos 角度補正ビット cos ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。 ^{※1} b27-b16 000 _H : 0° (補正なし) 7FF _H : +180° (正の最大補正) 800 _H : -180° (負の最大補正)																																				
15~12	予約ビット	読むと "0" が読み出されます。書き込みは "0" としてください。																																				
11~0	SINPO[11:0]	sin 角度補正ビット sin ROM テーブルへの入力 phi への角度補正値を符号付 12bit で指定します。 ^{※1} b11-b0 000 _H : 0° (補正なし) 7FF _H : +180° (正の最大補正) 800 _H : -180° (負の最大補正)																																				
66	2400	RDC3A	26.4.2.5 SIN、COS 角度補正機能	モータの軸に対するレゾルバの取り付け角誤差、および、レゾルバのsin,cos 直交性の誤差を補正する機能を有します。 SIN、COS-ROM テーブルへの入力phi に固定の補正値 (SINPO[11:0]、COSPO[11:0]ビットで設定) を加算します。なお、角度変換BIST 実行時はSIN/COS 位相補正レジスタの位相補正ビットに"0" を設定してください。 SIN 位相補正ビットSINPO[11:0] = 000H COS 位相補正ビットCOSPO[11:0] = 000H	モータの軸に対するレゾルバの取り付け角誤差、および、レゾルバのsin,cos 直交性の誤差を補正する機能を有します。 SIN、COS-ROM テーブルへの入力phi に固定の補正値 (SINPO[11:0]、COSPO[11:0]ビットで設定) を加算します。なお、角度変換BIST 実行時はSIN/COS 角度補正レジスタの角度補正ビットに"0" を設定してください。 SIN 角度補正ビットSINPO[11:0] = 000H COS 角度補正ビットCOSPO[11:0] = 000H	誤記	-	-																														
67	2410	RDC3A	26.4.5.1 自己診断 (Built-In Self Test) 機能	(5) 角度変換BIST 実行時はSIN/COS 位相補正レジスタの位相補正ビットに"0" を設定してください。 SIN 位相補正レジスタSINPO[11:0]ビット = 000H COS 位相補正レジスタCOSPO[11:0]ビット = 000H	(5) 角度変換BIST 実行時はSIN/COS 角度補正レジスタの角度補正ビットに"0" を設定してください。 SIN 位相補正レジスタSINPO[11:0]ビット = 000H COS 位相補正レジスタCOSPO[11:0]ビット = 000H	誤記	-	-																														
68	2784	フラッシュメモリ	35.4 機能概要	シリアルプログラミング時は、ID 認証、専用フラッシュメモリプログラマ接続禁止、コマンド禁止 (ブロック消去コマンド禁止/プログラムコマンド禁止/リードコマンド禁止) のいずれかのセキュリティ機能を使用可能です。	シリアルプログラミング時は、ID 認証、専用フラッシュメモリプログラマ接続禁止、コマンド禁止 (ブロック消去コマンド禁止/プログラムコマンド禁止/リードコマンド禁止) のいずれかの各セキュリティ機能を使用可能です。	説明変更	TN-RH8-B0463A/E	-																														

No.	PDF頁 (Rev.1.20)	章	節タイトル (図表タイトル)	誤	正	変更理由	通知状況	備考																												
69	2785	フラッシュメモリ	表35.4 セキュリティ機能一覧	<table border="1"> <thead> <tr> <th>機能</th> <th>機能概要</th> </tr> </thead> <tbody> <tr> <td>OTP</td> <td>Code Flash メモリのユーザ領域の各ブロック、ユーザブート領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアルプログラミングおよびセルフプログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。</td> </tr> <tr> <td>ID 認証</td> <td>シリアルプログラミング時の専用フラッシュメモリプログラマ接続を ID 認証結果で制御可能です。また、セルフプログラミングによる Code Flash メモリ書き込みの有効化を ID 認証結果で制御可能です。</td> </tr> <tr> <td>専用フラッシュメモリプログラマ接続禁止</td> <td>シリアルプログラミング時の専用フラッシュメモリプログラマ接続を禁止します。専用フラッシュメモリプログラマ接続を禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。</td> </tr> <tr> <td>ブロック消去コマンド禁止</td> <td>シリアルプログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。</td> </tr> <tr> <td>プログラムコマンド禁止</td> <td>シリアルプログラミング時のプログラムコマンドとブロック消去コマンドの実行を禁止します。ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去 → ユーザブート領域を消去 → データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。</td> </tr> <tr> <td>リードコマンド禁止</td> <td>シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。</td> </tr> </tbody> </table>	機能	機能概要	OTP	Code Flash メモリのユーザ領域の各ブロック、ユーザブート領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアルプログラミングおよびセルフプログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。	ID 認証	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を ID 認証結果で制御可能です。また、セルフプログラミングによる Code Flash メモリ書き込みの有効化を ID 認証結果で制御可能です。	専用フラッシュメモリプログラマ接続禁止	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を禁止します。専用フラッシュメモリプログラマ接続を禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。	ブロック消去コマンド禁止	シリアルプログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。	プログラムコマンド禁止	シリアルプログラミング時のプログラムコマンドとブロック消去コマンドの実行を禁止します。ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去 → ユーザブート領域を消去 → データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。	リードコマンド禁止	シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。	<table border="1"> <thead> <tr> <th>機能</th> <th>機能概要</th> </tr> </thead> <tbody> <tr> <td>OTP</td> <td>Code Flash メモリのユーザ領域の各ブロック、ユーザブート領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアルプログラミングおよびセルフプログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。</td> </tr> <tr> <td>ID 認証</td> <td>シリアルプログラミング時の専用フラッシュメモリプログラマ接続を ID 認証結果で制御可能です。また、セルフプログラミングによる Code Flash メモリ書き込みの有効化を ID 認証結果で制御可能です。</td> </tr> <tr> <td>専用フラッシュメモリプログラマ接続禁止 注1</td> <td>シリアルプログラミング時の専用フラッシュメモリプログラマ接続を禁止します。専用フラッシュメモリプログラマ接続を禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。</td> </tr> <tr> <td>ブロック消去コマンド禁止 注2</td> <td>シリアルプログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。</td> </tr> <tr> <td>プログラムコマンド禁止 注2</td> <td>シリアルプログラミング時のプログラムコマンドとブロック消去コマンドの実行を禁止します。ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去 → ユーザブート領域を消去 → データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。</td> </tr> <tr> <td>リードコマンド禁止 注2</td> <td>シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。</td> </tr> </tbody> </table> <p>注1 専用フラッシュメモリ・プログラマ接続禁止は、ID認証または、コマンド禁止(注2)との併用が可能です。 注2 コマンド禁止(ブロック消去コマンド禁止/プログラム・コマンド禁止/リード・コマンド禁止)は、個別に設定が可能です。</p>	機能	機能概要	OTP	Code Flash メモリのユーザ領域の各ブロック、ユーザブート領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアルプログラミングおよびセルフプログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。	ID 認証	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を ID 認証結果で制御可能です。また、セルフプログラミングによる Code Flash メモリ書き込みの有効化を ID 認証結果で制御可能です。	専用フラッシュメモリプログラマ接続禁止 注1	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を禁止します。専用フラッシュメモリプログラマ接続を禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。	ブロック消去コマンド禁止 注2	シリアルプログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。	プログラムコマンド禁止 注2	シリアルプログラミング時のプログラムコマンドとブロック消去コマンドの実行を禁止します。ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去 → ユーザブート領域を消去 → データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。	リードコマンド禁止 注2	シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。	説明変更	TN-RH8-B0463A/E	-
機能	機能概要																																			
OTP	Code Flash メモリのユーザ領域の各ブロック、ユーザブート領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアルプログラミングおよびセルフプログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。																																			
ID 認証	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を ID 認証結果で制御可能です。また、セルフプログラミングによる Code Flash メモリ書き込みの有効化を ID 認証結果で制御可能です。																																			
専用フラッシュメモリプログラマ接続禁止	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を禁止します。専用フラッシュメモリプログラマ接続を禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。																																			
ブロック消去コマンド禁止	シリアルプログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。																																			
プログラムコマンド禁止	シリアルプログラミング時のプログラムコマンドとブロック消去コマンドの実行を禁止します。ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去 → ユーザブート領域を消去 → データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。																																			
リードコマンド禁止	シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。																																			
機能	機能概要																																			
OTP	Code Flash メモリのユーザ領域の各ブロック、ユーザブート領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアルプログラミングおよびセルフプログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。																																			
ID 認証	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を ID 認証結果で制御可能です。また、セルフプログラミングによる Code Flash メモリ書き込みの有効化を ID 認証結果で制御可能です。																																			
専用フラッシュメモリプログラマ接続禁止 注1	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を禁止します。専用フラッシュメモリプログラマ接続を禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。																																			
ブロック消去コマンド禁止 注2	シリアルプログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。																																			
プログラムコマンド禁止 注2	シリアルプログラミング時のプログラムコマンドとブロック消去コマンドの実行を禁止します。ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去 → ユーザブート領域を消去 → データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。																																			
リードコマンド禁止 注2	シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。																																			
70	2806	フラッシュセキュリティ	36.1.1.2 シリアルプログラミングモード固有機能	シリアルプログラミングモードでの固有セキュリティ機能として、下記、3 つの機能が搭載されております。これらのセキュリティ機能を併用することはできません。	シリアルプログラミングモードでの固有セキュリティ機能として、下記、3 つの機能が搭載されております。	説明変更	TN-RH8-B0463A/E	-																												
71	2807	フラッシュセキュリティ	表36.1 各モードのセキュリティ機能	<table border="1"> <thead> <tr> <th>動作モード</th> <th>コードフラッシュおよびデータフラッシュ、ID コード保護</th> <th>デバッグインターフェース接続制御機能</th> </tr> </thead> <tbody> <tr> <td>ユーザブートモード</td> <td> <ul style="list-style-type: none"> SELF ID 認証 OTP (併用可能) </td> <td> <ul style="list-style-type: none"> セキュリティレベル 1 (OCD ID 認証) セキュリティレベル 2 (デバッグインターフェース接続禁止設定) </td> </tr> <tr> <td>シリアルプログラミングモード</td> <td> <ul style="list-style-type: none"> ID 認証 プログラムコマンド/ブロック消去コマンド/リードコマンド禁止 シリアルプログラマ接続禁止 (上記 3 つは併用できません) OTP (併用可能) </td> <td> <ul style="list-style-type: none"> 機能なし (常にデバッグインターフェース接続禁止) </td> </tr> </tbody> </table>	動作モード	コードフラッシュおよびデータフラッシュ、ID コード保護	デバッグインターフェース接続制御機能	ユーザブートモード	<ul style="list-style-type: none"> SELF ID 認証 OTP (併用可能) 	<ul style="list-style-type: none"> セキュリティレベル 1 (OCD ID 認証) セキュリティレベル 2 (デバッグインターフェース接続禁止設定) 	シリアルプログラミングモード	<ul style="list-style-type: none"> ID 認証 プログラムコマンド/ブロック消去コマンド/リードコマンド禁止 シリアルプログラマ接続禁止 (上記 3 つは併用できません) OTP (併用可能) 	<ul style="list-style-type: none"> 機能なし (常にデバッグインターフェース接続禁止) 	<table border="1"> <thead> <tr> <th>動作モード</th> <th>コードフラッシュおよびデータフラッシュ、ID コード保護</th> <th>デバッグインターフェース接続制御機能</th> </tr> </thead> <tbody> <tr> <td>ユーザブートモード</td> <td> <ul style="list-style-type: none"> SELF ID 認証 OTP (併用可能) </td> <td> <ul style="list-style-type: none"> セキュリティレベル 1 (OCD ID 認証) セキュリティレベル 2 (デバッグインターフェース接続禁止設定) </td> </tr> <tr> <td>シリアルプログラミングモード</td> <td> <ul style="list-style-type: none"> ID 認証 プログラムコマンド/ブロック消去コマンド/リードコマンド禁止 シリアルプログラマ接続禁止 OTP (併用可能) </td> <td> <ul style="list-style-type: none"> 機能なし (常にデバッグインターフェース接続禁止) </td> </tr> </tbody> </table>	動作モード	コードフラッシュおよびデータフラッシュ、ID コード保護	デバッグインターフェース接続制御機能	ユーザブートモード	<ul style="list-style-type: none"> SELF ID 認証 OTP (併用可能) 	<ul style="list-style-type: none"> セキュリティレベル 1 (OCD ID 認証) セキュリティレベル 2 (デバッグインターフェース接続禁止設定) 	シリアルプログラミングモード	<ul style="list-style-type: none"> ID 認証 プログラムコマンド/ブロック消去コマンド/リードコマンド禁止 シリアルプログラマ接続禁止 OTP (併用可能) 	<ul style="list-style-type: none"> 機能なし (常にデバッグインターフェース接続禁止) 	説明変更	TN-RH8-B0463A/E	-										
動作モード	コードフラッシュおよびデータフラッシュ、ID コード保護	デバッグインターフェース接続制御機能																																		
ユーザブートモード	<ul style="list-style-type: none"> SELF ID 認証 OTP (併用可能) 	<ul style="list-style-type: none"> セキュリティレベル 1 (OCD ID 認証) セキュリティレベル 2 (デバッグインターフェース接続禁止設定) 																																		
シリアルプログラミングモード	<ul style="list-style-type: none"> ID 認証 プログラムコマンド/ブロック消去コマンド/リードコマンド禁止 シリアルプログラマ接続禁止 (上記 3 つは併用できません) OTP (併用可能) 	<ul style="list-style-type: none"> 機能なし (常にデバッグインターフェース接続禁止) 																																		
動作モード	コードフラッシュおよびデータフラッシュ、ID コード保護	デバッグインターフェース接続制御機能																																		
ユーザブートモード	<ul style="list-style-type: none"> SELF ID 認証 OTP (併用可能) 	<ul style="list-style-type: none"> セキュリティレベル 1 (OCD ID 認証) セキュリティレベル 2 (デバッグインターフェース接続禁止設定) 																																		
シリアルプログラミングモード	<ul style="list-style-type: none"> ID 認証 プログラムコマンド/ブロック消去コマンド/リードコマンド禁止 シリアルプログラマ接続禁止 OTP (併用可能) 	<ul style="list-style-type: none"> 機能なし (常にデバッグインターフェース接続禁止) 																																		
72	2386	RDC3A	26.4.1.4 使用センサ選択機能	RDC3AnREF レジスタの SENS ビットを“0”に設定することにより励磁成分を含まない DC レゾルバ信号 (E・sin θ、E・cos θ) も使用することができます。DC レゾルバ信号を使用する場合、励磁成分抽出機能は無効になります。	RDC3AnREF レジスタの SENS ビットを“0”に設定することにより励磁成分を含まない DC レゾルバ信号 (E・sin θ、E・cos θ) も使用することができます。DC レゾルバ信号を使用する場合、励磁信号出力機能(RDC3AnRSO 端子、RDC3AnCOM 端子)、および励磁成分抽出機能は無効になります。	追加説明	-	-																												
73	2402	RDC3A	26.4.3.1 励磁信号出力 (RDC3AnRSO、RDC3AnCOM) 機能	RDC3AnRSO 端子より出力される正弦波信号振幅は RDC3AnATMNT0 レジスタの EXOC[1:0]ビットで設定します。標準値の振幅は 0.4 × RVCC [Vpp] です。	RDC3AnRSO 端子より出力される正弦波信号振幅は RDC3AnATMNT0 レジスタの EXOC[1:0]ビットで設定します。標準値の振幅は 0.4 × RVCC [Vpp] です。 DC レゾルバ設定(EXIO = 1, SENS = 0 設定時)を選択している場合、励磁信号出力機能(RDC3AnRSO 端子、RDC3AnCOM 端子)は無効となります。	追加説明	-	-																												

以上