

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口 <http://japan.renesas.com/contact/>
E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RZ*-A0150A/J	Rev.	第1版
題名	外部割り込みの検出漏れ不具合およびDREQ入力設定の訂正		情報分類	技術情報	
適用製品	RZ/T2M グループ, RZ/T2ME グループ, RZ/T2L グループ, RZ/N2L グループ, RZ/T2H および RZ/N2H グループ	対象ロット等	関連資料	RZ/T2M グループユーザーズマニュアル ハードウェア編 Rev.1.20 (R01UH0916JJ0120), RZ/T2ME グループユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH1062JJ0100), RZ/T2L グループユーザーズマニュアル ハードウェア編 Rev.1.20 (R01UH0985JJ0120), RZ/N2L グループユーザーズマニュアル ハードウェア編 Rev.1.30 (R01UH0955JJ0130), RZ/T2H および RZ/N2H グループユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH1039JJ0110)	
		全ロット			

このドキュメントでは、外部割り込み検出漏れの不具合・回避策、および DREQ 入力設定に関する訂正について説明します。

1. 不具合内容

外部からの割り込み入力信号が変化するタイミングと、エッジ検出回路に使われているクロックの立ち上がりが重なってしまうと、まれに割り込み信号のエッジを正しく検出できず、見逃してしまうことがあります。

【不具合対象】

・入力端子：

NMI, IRQ0~IRQ15 (RZ/T2M, T2ME, T2L, N2L)

SEI, IRQ0~IRQ15 (RZ/T2H および N2H)

・検出モード：立ち下がりエッジ、立ち上がりエッジ、立ち下がりエッジおよび立ち上がりエッジ

【発生条件】

外部割り込み入力を立ち下がり／立ち上がり／両エッジ検出に設定、かつデジタルノイズフィルタ機能は無効。

(検出モードが Low レベルに選択されている場合、この不具合には該当しません。)

2. 回避策

外部割り込み検出モードをエッジに設定する場合、該当する入力に対するノイズフィルタを必ず有効に設定して下さい。ノイズフィルタの設定は、セーフティレジスタ用割り込みノイズフィルタ有効レジスタ (S_PORTNF_FLTSEL レジスタ) および、割り込みノイズフィルタ有効レジスタ (NS_PORTNF_FLTSEL レジスタ) で行います。

なお、ノイズフィルタのサンプリングクロック設定に対しての制約はありません。

3. DREQ 入力設定に関する訂正

DREQ 信号の検出設定は割り込みエッジ検出設定レジスタ(NS_PORTNF_MD)ではなく、DMAC のチャンネルコンフィグレーションレジスタ(CHCFG_n)で行います。そのため、NS_PORTNF_MD レジスタの MDDRQ[1:0]の正しい説明は下記となります。

DREQ 入力をご使用になる際には、NS_PORTNF_MD レジスタの MDDRQ[1:0]は 00b に設定して下さい。

ビット	シンボル	機能	R/W
29:28	MDDRQ[1:0]	DMAC の DREQ 入力モードを選択 00: 反転入力 その他: 使用禁止	R/W

4. AC 特性の訂正

ノイズフィルタを有効にすること、および DREQ 入力の使用制約により、割り込み/DREQ 入力の AC 特性は下記となります。ご注意下さい。

1) RZ/T2M, T2ME, T2L, N2L

表 1 割り込みタイミング

項目		シンボル	Min	Typ	Max	単位
NMI パルス幅	レベル検出	t _{NMIW}	t _{cy} × 2 ^(注 1)	—	—	ns
	エッジ検出		t _{PMcy} × 3.5 ^{(注 2),(注 3)}	—	—	ns
IRQ パルス幅	レベル検出	t _{IRQW}	t _{cy} × 2 ^(注 1)	—	—	ns
	エッジ検出		t _{PMcy} × 3.5 ^{(注 2),(注 3)}	—	—	ns

注1. t_{cy}: ICLK サイクル

注2. t_{PMcy}: PCLKM サイクル

注3. ノイズフィルタのサンプリングクロックが 1 分周の場合です。その他の場合は、(クロック分周) × t_{PMcy} × 3.5 となります。

表 2 DMAC タイミング

項目	シンボル	Min ^(注 1)	Typ	Max	単位
DREQ パルス幅	t _{DRQW}	t _{cy} × 2	—	—	ns

注1. t_{cy}: ICLK サイクル

2) RZ/T2H および N2H

表 1 割り込みタイミング

項目		シンボル	Min	Typ	Max	単位
SEI パルス幅	レベル検出	t _{SEIW}	t _{PHcy} × 2 ^(注 1)	—	—	ns
	エッジ検出		t _{PMcy} × 3.5 ^{(注 2),(注 3)}	—	—	ns
IRQ パルス幅	レベル検出	t _{IRQW}	t _{PHcy} × 2 ^(注 1)	—	—	ns
	エッジ検出		t _{PMcy} × 3.5 ^{(注 2),(注 3)}	—	—	ns

注1. t_{PHcy}: PCLKH サイクル

注2. t_{PMcy}: PCLKM サイクル

注3. ノイズフィルタのサンプリングクロックが 1 分周の場合です。その他の場合は、(クロック分周) × t_{PMcy} × 3.5 となります。

表2 DMAC タイミング

項目	シンボル	Min ^(注1)	Typ	Max	単位
DREQ パルス幅	t _{DRQW}	t _{PHcyc} × 2	—	—	ns

注1. t_{PHcyc}: PCLKH サイクル