

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町2-6-2日本ビル  
 株式会社 ルネサス テクノロジ  
 問合せ窓口 <http://japan.renesas.com/inquiry>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU&MCU	発行番号	TN-16C-A181A/J	Rev.	第1版
題名	R32C/111グループハードウェアマニュアルの誤記訂正(2)		情報分類	技術情報	
適用製品	R32C/111グループ	対象ロット等	関連資料	R32C/111グループハードウェア マニュアル Rev.1.00 (RJJ09B0458-0100) テクニカルアップデート TN-16C-A174A/J	

R32C/111グループハードウェアマニュアル Rev.1.00 において誤記がありましたので、以下のとおり訂正いたします。

## 訂正内容

### •Page 40 of 456 ~ Page 42 of 456

表4.20~表4.22のPi\_jレジスタ(i=0~10、j=0~7)のレジスタ名を以下のとおり訂正いたします。

ポートPi\_j **ポ**ート機能選択レジスタ 【誤】

ポートPi\_j機能選択レジスタ 【正】

### •Page 44 of 456

表4.24のDMiSLレジスタ(i=0~3)のレジスタ名を以下のとおり訂正いたします。

DMAi起動要因選択レジスタ **1** 【誤】

DMAi起動要因選択レジスタ 【正】

### •Page 88 of 456

図9.1の周辺データバス幅を以下のとおり訂正いたします。

周辺データバス **(16-bit)** 【誤】

周辺データバス **(16/32-bit)** 【正】

## •Page 89 of 456

9.2節本文を以下のとおり訂正いたします。

【誤】

周辺バスは最大32MHzで動作する16ビット幅のバスです。

【正】

周辺バスは最大32MHz (理論値。品種ごとの最大値は「26. 電気的特性」に定めるf(BCLK)の値になります。)で動作する16/32ビット幅のバスです。

## •Page 90 of 456

9.3節本文を以下のとおり訂正いたします。

【誤】

外部バスは最大32MHzで動作する8/16ビット幅のバスです。

【正】

外部バスは最大32MHz (理論値。品種ごとの最大値は「26. 電気的特性」に定めるf(BCLK)の値になります。)で動作する8/16ビット幅のバスです。

## •Page 92 of 456

図9.4のCSOP0レジスタ、図9.5のCSOP1レジスタの名称をそれぞれ以下のとおり訂正いたします。

【誤】

図9.4: CS出力端子設定レジスタ0

図9.5: CS出力端子設定レジスタ1

【正】

図9.4: チップセレクト出力端子設定レジスタ0

図9.5: チップセレクト出力端子設定レジスタ1

## •Page 124 of 456、Page 125 of 456

図11.3、図11.4のIRビットの名称を以下のとおり訂正いたします。

【誤】

割り込み要求ビット

【正】

割り込み要求フラグ

## •Page 132 of 456

図11.8下方の復帰用割り込み優先レベル設定レジスタのシンボルをそれぞれ以下のとおり訂正いたします。

【誤】

RLVL02~RLVL00ビット

RLVL12~RLVL10ビット

## 【正】

RIPL1レジスタのRLVL2~RLVL0ビット

RIPL2レジスタのRLVL2~RLVL0ビット

## •Page 137 of 456、Page 138 of 456

図11.13のHIOiRレジスタ、図11.14のHIOiEレジスタの名称を以下のとおり訂正いたします。

## 【誤】

インテリジェントI/O割り込み要求レジスタ、インテリジェントI/O割り込み許可レジスタ

## 【正】

インテリジェントI/O割り込み要求レジスタ $i$ 、インテリジェントI/O割り込み許可レジスタ $i$

なお上記訂正に伴い、図下部のビットシンボル一覧で使用している変数「 $i$ 」、「 $j$ 」、「 $k$ 」を、それぞれ「 $x$ 」、「 $y$ 」、「 $z$ 」に変更いたします。

## •Page 144 of 456

13章本文を以下のとおり訂正いたします。

## 【誤】

DMA転送要求には、DMiSL2レジスタ( $i=0\sim 3$ )のDSRビットへの書き込みによるソフトウェアトリガのほか、DMiSLレジスタ、DMiSL2レジスタのDSEL4~DSEL0ビットで指定した各機能から出力される割り込み要求を使用しています。

## 【正】

DMA転送要求には、DMiSL2レジスタ( $i=0\sim 3$ )のDSRビットへの書き込みによるソフトウェアトリガのほか、DMiSLレジスタのDSEL4~DSEL0ビット、DMiSL2レジスタのDSEL24~DSEL20ビットで指定した各機能から出力される割り込み要求を使用しています。

## •Page 148 of 456

図13.4の注2本文を以下のとおり訂正いたします。

## 【誤】

他のすべてのDMAC関連レジスタを設定した後、このビットを設定してください。また、このビットを設定した後、DMA起動要因となる周辺機能を設定してください。

## 【正】

他のすべてのDMAC関連レジスタを設定した後、このビットを設定してください。

## •Page 148 of 456

図13.4のBWi0、BWi1、USAi、UDAiビットに注3を以下のとおり追加いたします。

## 【誤】

—なし—

## 【正】

注3. これらのビットを書き換えるときは、MDi1~MDi0ビットを“00b”にしてから実施してください。

## •Page 148 of 456

図13.5の注2本文を以下のとおり訂正いたします。

## 【誤】

“000000h”を設定した場合、DMA転送要求がきてもデータ転送は行いません。

## 【正】

“000000h”を設定した場合、その後のDMA転送要求は受け付けません。

## •Page 148 of 456

図13.5の注3を削除いたします。

## 【誤】

DMA起動要因に外部割り込みを選択した場合、“000001h”を設定しないでください。

## 【正】

—削除—

## •Page 156 of 456、Page 442 of 456

13.4.1項、および27.6.1項の注意事項の1~3項目を以下のとおり訂正いたします。

## 【誤】

- DMAC関連レジスタを設定する場合、設定するチャンネルのDMDiレジスタ(i=0~3)のMDi1~MDi0ビットが“00b”(DMA転送禁止)の状態を設定し、最後にMDi1~MDi0ビットを“01b”(単転送)または“11b”(リピート転送)に設定してください。
- DCTiレジスタが1(転送回数が1)の場合、DMDiレジスタのMDi1~MDi0ビットに“01b”(単転送)または“11b”(リピート転送)を書くときにチャンネルiのDMA転送要求が発生しないようにしてください。また、DMA起動要因に外部割り込みを選択した場合、DCTiレジスタに1を設定しないでください。
- DMAC関連レジスタ設定後にDMA起動要因となる周辺機能を設定してください。

## 【正】

- DMAC関連レジスタを設定する場合、設定するチャンネルのDMDiレジスタ(i=0~3)のMDi1~MDi0ビットが“00b”(DMA転送禁止)の状態を設定し、最後にMDi1~MDi0ビットを“01b”(単転送)または“11b”(リピート転送)に設定してください。DMDiレジスタのUDAi、USAi、BWi1~BWi0ビットを書き換える場合も、MDi1~MDi0ビットが“00b”(DMA転送禁止)のときに実施してください。
- DMA転送を許可した後でDMAC関連レジスタを書き換える必要が生じた場合、まずDMA転送要求が発生しないようにDMA起動要因となる周辺機能を停止し、次に書き換えたいチャンネルのDMDiレジスタのMDi1~MDi0ビットを“00b”(DMA転送禁止)にしてから実施してください。
- 一旦DMA転送要求が受け付けられた後は、DMDiレジスタのMDi1~MDi0ビットを“00b”(DMA転送禁止)にしてもDMA転送を禁止することはできません。この場合、DMA転送が完了するまでMDi1~MDi0ビット以外のDMAC関連レジスタの設定を変更しないでください。

## •Page 162 of 456

14.3.3本文最下行を削除いたします。

【誤】

また、転送中はすべての割り込みを受け付けません。

【正】

—削除—

## •Page 163 of 456

14.4.2本文最下行に以下の文章を追加いたします。

【誤】

—なし—

【正】

なお、バースト転送中は、すべての割り込みを受け付けません。

## •Page 163 of 456

14.4.4 (2)本文を以下のとおり訂正いたします。

【誤】

COUNTが“0”になったとき、DMACII起動要因となる周辺機能割り込みのベクタがCADR1~CADR0の値に変わります。

【正】

COUNTが“0”になったとき、DMACII起動要因となる周辺機能割り込みのベクタがCADRの値に変わります。

## •Page 164 of 456

図14.4の記載を以下のとおり訂正いたします。

【誤】

(CADR1~CADR0)

【正】

(CADR)

## •Page 164 of 456

14.4.5本文を以下のとおり訂正いたします。

【誤】

転送完了割り込み処理ルーチンの先頭番地をIADR1~IADR0に設定してください。

【正】

転送完了割り込み処理ルーチンの先頭番地をIADRに設定してください。

## •Page 164 of 456

14.5節、記号の説明部「b」の項を以下のとおり訂正いたします。

【誤】

b: UPDS=1(転送先番地が可変番地)の場合b=0、UPDS=0(転送先番地が固定番地)の場合b=1

【正】

b: UPDS=1(転送元番地が可変番地)の場合b=0、UPDS=0(転送元番地が固定番地)の場合b=1

## •Page 169 of 456

図16.1の下部、ビット説明欄を以下のとおり訂正いたします。

【誤】

TAiGH~TAiGL: ONSFレジスタのビットまたはTRGSRレジスタのビット (i=0~4)

【正】

TAiTGH~TAiTGL: ONSFレジスタのビットまたはTRGSRレジスタのビット (i=0~4)

## •Page 171 of 456

図16.3のANDゲートの下側の入力を以下のとおり訂正いたします。

【誤】

TBiS ビット

【正】

TAiS

## •Page 186 of 456

図16.16のリセット後の値を以下のとおり訂正いたします。

【誤】

0000 000b

【正】

0000 0000b

## •Page 189 of 456

図16.21のタイトルを以下のとおり訂正いたします。

【誤】

TB0MR~TM5MR レジスタ

【正】

TB0MR~TB5MR レジスタ

## •Page 207 of 456

図17.8のリセット後の値を以下のとおり訂正いたします。

0010 0000b 【誤】

00XX 0000b 【正】

## •Page 218 of 456

図18.2の下部、ビット説明欄を以下のとおり訂正いたします。

CLK1~CLK0、CKPOL、CRD、CRS: UiC0レジスタのビット 【誤】

CLK1~CLK0、CKPOL、CRD: UiC0レジスタのビット 【正】

## •Page 227 of 456

図18.12の注2を以下のとおり訂正いたします。

注2. SSを設定する場合、UiC0レジスタのCRDビットを“1”(CTS機能を禁止)にしてください。 【誤】

注2. SS機能を使用する場合、UiC0レジスタのCRDビットを“1”(CTS機能を禁止)にしてください。 【正】

## •Page 251 of 456

図18.31の下部、ビット説明欄を以下のとおり訂正いたします。

STSPSEL: UiSMR4レジスタのビット 【誤】

STSPSEL, ACKD, ACKC: UiSMR4レジスタのビット 【正】

## •Page 265 of 456、Page 447 of 456

18.5.2.2項、および27.9.2.2項の3つ目の注意事項を削除いたします。

外部クロックを選択し、かつRTS制御を使用しない場合のみ、連続受信モード(UiRRMビットが“1”)が使用できます。他の条件で連続受信を行う場合は、UiRRMビットを“0”(連続受信モード禁止)に設定し、受信完了ごとにUiTBレジスタにダミーデータを書いてください。 【誤】

— 削除 — 【正】

•Page 280 of 456

19.2.3項の本文を以下のとおり訂正いたします。

【誤】

表 19.9 にトリガ選択機能設定します。

【正】

表 19.9 にトリガ選択機能の設定を示します。

•Page 296 of 456、Page 297 of 456、Page 298 of 456

図 23.1、図 23.2、図 23.3 の下部、ビット説明欄にそれぞれ以下の行を追加いたします。

【誤】

図 23.1: —なし—

図 23.2: —なし—

図 23.3: —なし—

【正】

図 23.1: BT0R: IIO7IR レジスタのビット

図 23.2: BT1R: IIO4IR レジスタのビット

図 23.3: BT2R, PO2jR, IE0R~IE2R, SIO2TR, SIO2RR: IIO3IR, IIO5IR~IIO11IR レジスタのビット

•Page 298 of 456

図 23.3 の右上部、「(注3)」を削除いたします。

【誤】

ベースタイム割り込み要求BT2R(注3)

【正】

ベースタイム割り込み要求BT2R

•Page 328 of 456 ~ Page 332 of 456

23.3.4項、23.3.5項、23.3.6項の変数「i」をすべて「2」に訂正いたします。

【誤】

fBTi GiFE レジスタ GiBCR1 レジスタ POijR ビット GiPOCR レジスタ GiPOj レジスタ

【正】

fBT2 G2FE レジスタ G2BCR1 レジスタ PO2jR ビット G2POCR レジスタ G2POj レジスタ

•Page 330 of 456 ~ Page 332 of 456

23.3.5項、23.3.6項の「IIO2j端子」をすべて「OUTC2\_j端子」に訂正いたします。

【誤】

IIO2j端子

【正】

OUTC2\_j端子

•Page 332 of 456

図23.32のビットシンボルを以下のとおり訂正いたします。

【誤】

PO2\_0R ビット PO2\_1R ビット PO2\_2R ビット

【正】

PO20R ビット PO21R ビット PO22R ビット

•Page 395 of 456、 Page 450 of 456

25.6.5項、27.11.5項の•EW1モード、3つ目の注意事項本文の内容を以下のとおり訂正いたします。

【誤】

割り込み処理終了後にFMR1レジスタのEWMビットを“1”(EW1モード)、LBDビットを“1”(ロックビットプロテクト無効)にしてから再度書き換えプログラムを実行してください。

【正】

割り込み処理終了後にFMR0レジスタのEWMビットを“1”(EW1モード)、FMR1レジスタのLBDビットを“1”(ロックビットプロテクト無効)にしてから再度書き換えプログラムを実行してください。

•Page 405 of 456

表26.12のfSO(PLL)の規格を以下のとおり訂正いたします。

【誤】

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f <sub>SO(PLL)</sub>	PLL自励発振周波数		35	50	65	MHz

【正】

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f <sub>SO(PLL)</sub>	PLL自励発振周波数		35	55	80	MHz

•Page 415 of 456、 Page 427 of 456

表26.31、表26.54のtw(ADH)の規格を以下のとおり訂正いたします。

【誤】

記号	項目	規格値		単位
		最小	最大	
t <sub>w(ADH)</sub>	ADTRG入力“H”パルス幅 ハードウェアトリガ入力“H”パルス幅	$\frac{2}{\phi_{AD}}$		ns

【正】

記号	項目	規格値		単位
		最小	最大	
$t_{w(ADH)}$	ADTRG入力“H”パルス幅 ハードウェアトリガ入力“H”パルス幅	$\frac{3}{\phi_{AD}}$		ns

以上