

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RL*-A0151A/J	Rev.	第3版
題名	誤記訂正通知 RL78/G23 ユーザーズマニュアル Rev.1.30 の記載変更		情報分類	技術情報	
適用製品	RL78/G23 グループ	対象ロット等	関連資料	RL78/G23 ユーザーズマニュアル ハードウェア編 Rev.1.30 R01UH0896JJ0130 (Jan.2024)	
		全ロット			

RL78/G23 ユーザーズマニュアル ハードウェア編 Rev.1.30 (R01UH0896JJ0130) において、下記訂正が  
ございます。

## 今回通知する訂正内容

訂正箇所	該当ページ	内容
23.3 スタンバイ機能の動作	p.1146, p.1148, p.1159	誤記訂正、注意追加
表30 - 1 CTSUの機能概要	p.1274	誤記訂正
図30 - 4 センサドライブパルス出力のクロック構成	p.1275	誤記訂正、説明追加
30.1.2 計測ステータス	新規追加	説明追加
30.2.3 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH)	p.1282 ~ p.1285	注意追加、誤記訂正 説明追加、表記改善
30.2.4 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH)	p.1286 ~ p.1288	注意追加、誤記訂正 説明追加
30.2.5 CTSU計測チャネルレジスタL, H (CTSUMCHL, CTSUMCHH)	p.1290	注意追加、誤記訂正
30.2.6 CTSUチャネル有効制御レジスタAL, AH, BL, BH (CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHACBH)	p.1292	誤記訂正、説明追加
30.2.7 CTSUチャネル送受信制御レジスタAL, AH, BL, BH (CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH)	p.1294	誤記訂正
30.2.8 CTSUステータスレジスタL (CTSUSRL)	p.1296	注意追加、誤記訂正 説明追加
30.2.9 CTSUセンサオフセットレジスタ0, 1 (CTSUSO0, CTSUSO1)	p.1297, p.1298	注意追加、誤記訂正 説明追加
30.2.10 CTSUセンサカウンタレジスタL, H (CTSUSC, CTSUUC)	p.1299	説明追加
30.2.13 CTSUトリミングレジスタAL, AH (CTSUTRIM0, CTSUTRIM1)	p.1305, p.1306	注意追加、誤記訂正
30.2.14 CTSUトリミングレジスタBL, BH (CTSUTRIM2, CTSUTRIM3)	p.1307	注意追加、誤記訂正
TSCAP端子の説明追加	新規追加	注意追加、説明追加

## ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0896JJ0130	
1	3.1	メモリ空間	p.145 ~ p.151, p.158	p.4 ~ p.11
2	33.6.1	セルフ・プログラミング手順	p.1335	p.12
3	33.10.1	データ・フラッシュの概要	p.1386	p.13
4	34.3	オンチップ・デバッグのセキュリティ設定	p.1389	p.14
5	2.2.3.2	VBAT端子とバックアップ用バッテリーの接続	p.108	p.15
6	2.2.3.3	VBAT端子の使用方法	p.109	p.16
7	2.4	端子ブロック図	p.127, p.128, p.133, p.135, p.137 ~ p.139, p.141 ~ p.143	p.17 ~ p.26
8	4.5.4	使用するポート機能および兼用機能のレジスタ設定例	p.262, p.281	p.27, p.28
9	12.3.8	アナログ入力チャネル指定レジスタ (ADS)	p.588	p.29
10	12.6.6	ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード)	p.600	p.30
11	15.3.8	シリアル・ステータス・レジスタmn (SSRmn)	p.686	p.31
12	15.3.13	シリアル出力レジスタm (SOm)	p.692	p.32
13	17.3.4	ポーレート・ジェネレータ	p.962	p.33
14	19.4.3	リピート・モード	p.1044, p.1045	p.34 ~ p.36
15	37.2.3	オンチップ・オシレータ特性	p.1422	p.37
16	37.3.1	端子特性	p.1426	p.38
17	37.3.2	電源電流特性	p.1431, p.1434, p.1437, p.1440, p.1444, p.1447	p.39 ~ p.44
18	37.6.1	A/Dコンバータ特性	p.1493, p.1494	p.45, p.46
19	23.3	スタンバイ機能の動作	p.1146, p.1148, p.1159	p.47, 48
20	表30 - 1	CTSUSの機能概要	p.1274	p.49
21	図30 - 4	センサドライブパルス出力のクロック構成	p.1275	p.50
22	30.1.2	計測ステータス	新規追加	p.51, p.52
23	30.2.3	CTSUS制御レジスタAL, AH (CTSUCRAL, CTSUCRAH)	p.1282 ~ p.1285	p.53 ~ p.57
24	30.2.4	CTSUS制御レジスタBL, BH (CTSUCRBL, CTSUCRBH)	p.1286 ~ p.1288	p.58 ~ p.61
25	30.2.5	CTSUS計測チャネルレジスタL, H (CTSUSMCHL, CTSUSMCHH)	p.1290	p.62, p.63
26	30.2.6	CTSUSチャネル有効制御レジスタAL, AH, BL, BH (CTSUSCHACAL, CTSUSCHACAH, CTSUSCHACBL, CTSUSCHACBH)	p.1292	p.64
27	30.2.7	CTSUSチャネル送受信制御レジスタAL, AH, BL, BH (CTSUSCHTRCAL, CTSUSCHTRCAH, CTSUSCHTRCBL, CTSUSCHTRCBH)	p.1294	p.65
28	30.2.8	CTSUSステータスレジスタL (CTSUSURL)	p.1296	p.66
29	30.2.9	CTSUSセンサオフセットレジスタ0, 1 (CTSUSO0, CTSUSO1)	p.1297, p.1298	p.67 ~ p.69
30	30.2.10	CTSUSセンサカウンタレジスタL, H (CTSUSC, CTSUUC)	p.1299	p.70
31	30.2.13	CTSUSトリミングレジスタAL, AH (CTSUSTRIM0, CTSUSTRIM1)	p.1305, p.1306	p.71
32	30.2.14	CTSUSトリミングレジスタBL, BH (CTSUSTRIM2, CTSUSTRIM3)	p.1307	p.72
33		TSCAP端子の説明追加	新規追加	p.73

誤記訂正の該当箇所は、誤太字下線、正グレー・ハッチングで記載します。

**発行文書履歴**

RL78/G23 ユーザーズマニュアル Rev.1.30 誤記訂正通知 発行文書履歴

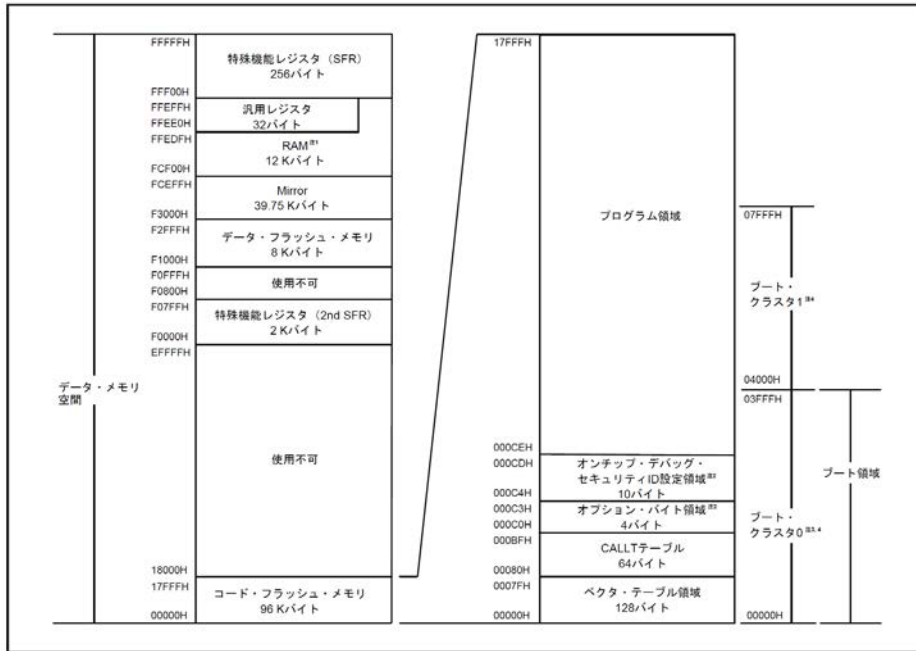
文書番号	発行日	記事
TN-RL*-A0133A/J	2024年4月26日	初版発行 訂正一覧の No.1 ~ No.4 の誤記訂正
TN-RL*-A0133B/J	2025年5月22日	訂正一覧の No.5 ~ No.18 の誤記訂正
TN-RL*-A0151A/J	2025年10月30日	訂正一覧の No.19 ~ No.33 の誤記訂正（本通知です。）

1. 3.1 メモリ空間 (p.145-p.151, p.158)

誤)  
(p.145)

RL78/G23 は、1 M バイトのアドレス空間をアクセスできます。図 3 - 1 ~ 図 3 - 3 に、メモリ・マップを示します。

図 3 - 1 メモリ・マップ (R7F100GxF (x = A, B, C, E, F, G, J, L))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

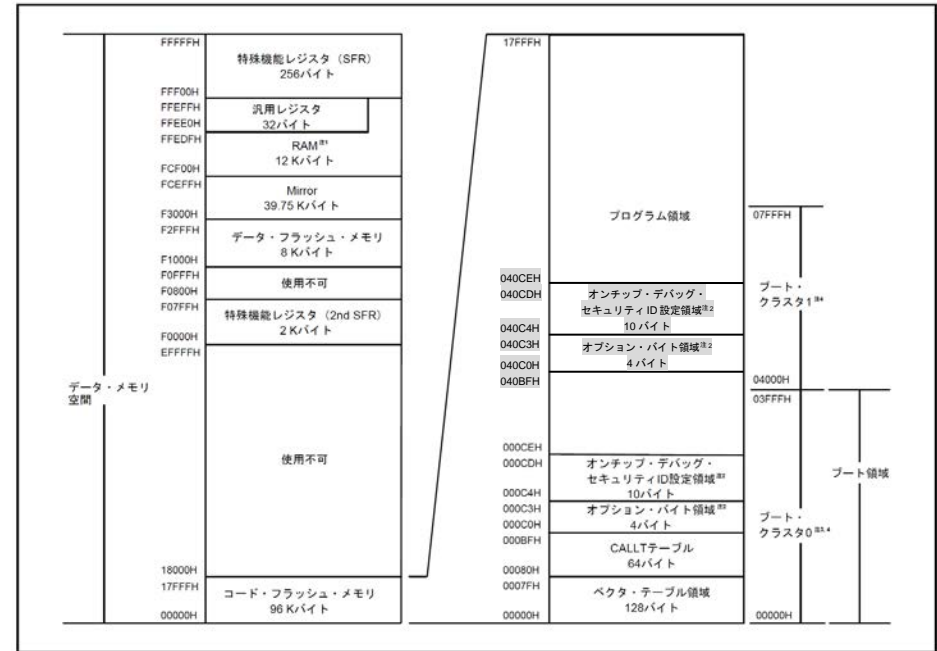
注2. **ブート・スワップ未使用時**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

正)

RL78/G23 は、1 M バイトのアドレス空間をアクセスできます。図 3 - 1 ~ 図 3 - 3 に、メモリ・マップを示します。

図 3 - 1 メモリ・マップ (R7F100GxF (x = A, B, C, E, F, G, J, L))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時** (FLSECレジスタのBTFLGビットが1の状態)：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時**およびFLSECレジスタのBTFLGビットが0の状態のとき：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.146)

図 3-2 メモリ・マップ (R7F100GxG (x = A, B, C, E, F, G, J, L, M, P))

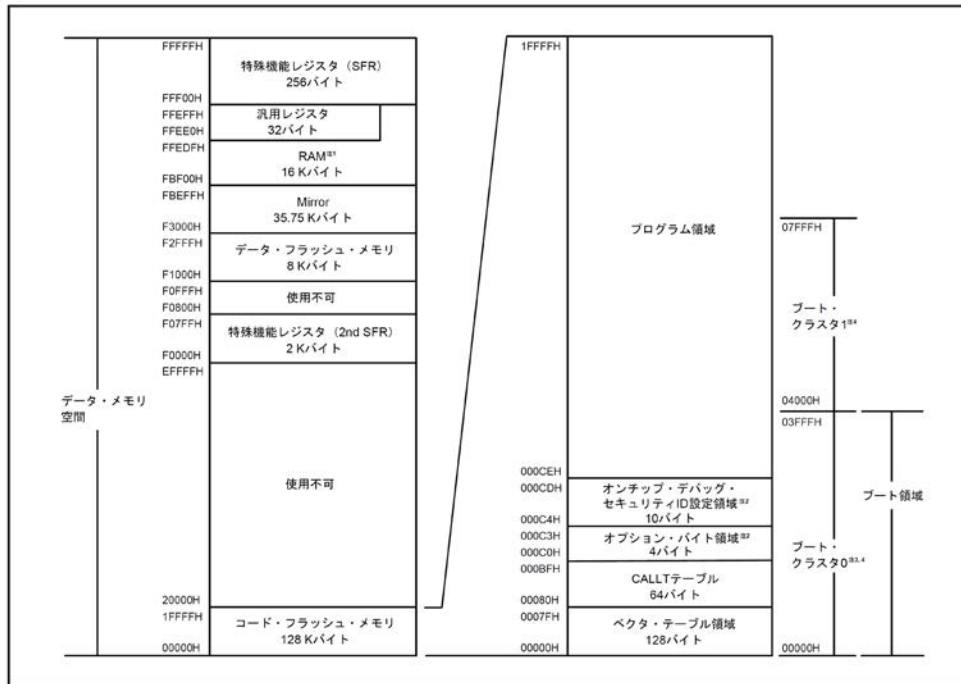
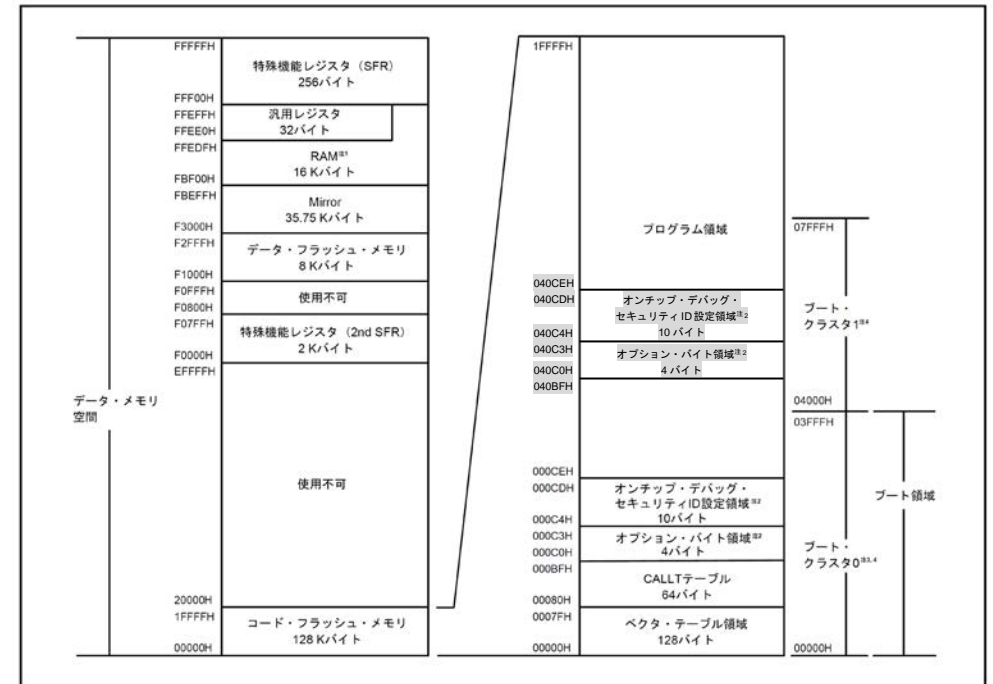


図 3-2 メモリ・マップ (R7F100GxG (x = A, B, C, E, F, G, J, L, M, P))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.147)

図 3-3 メモリ・マップ (R7F100GxH (x = A, B, C, E, F, G, J, L, M, P))

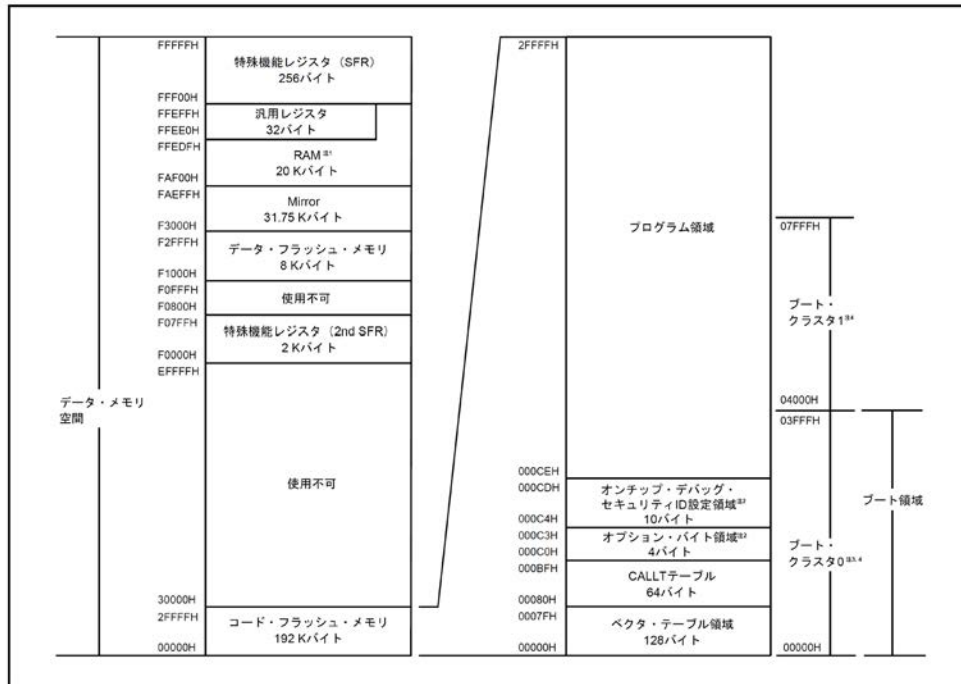
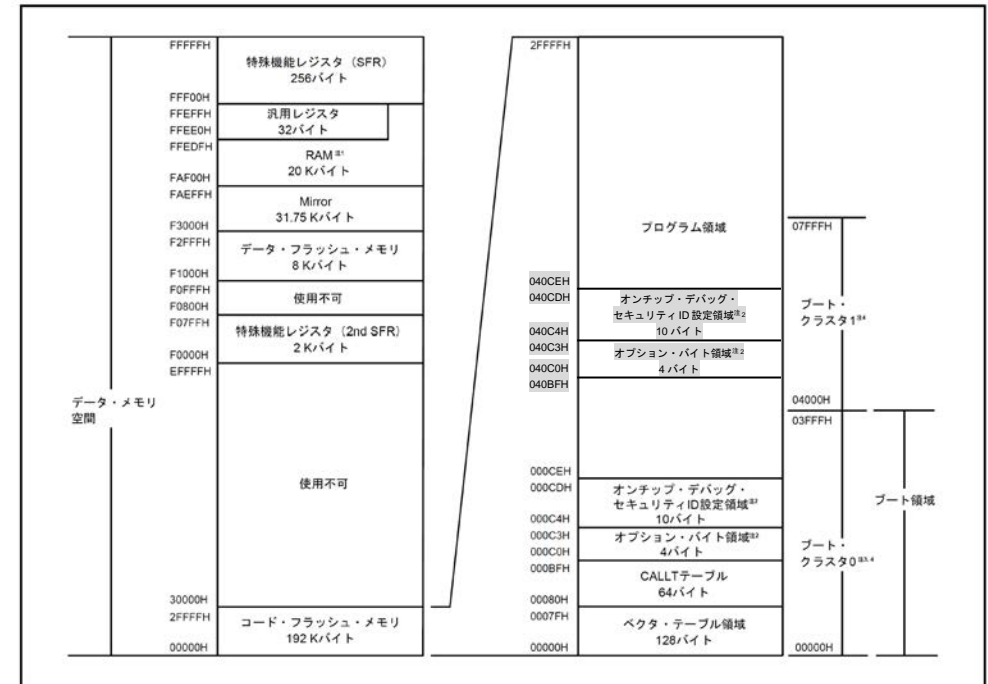


図 3-3 メモリ・マップ (R7F100GxH (x = A, B, C, E, F, G, J, L, M, P))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.148)

図 3-4 メモリ・マップ (R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S))

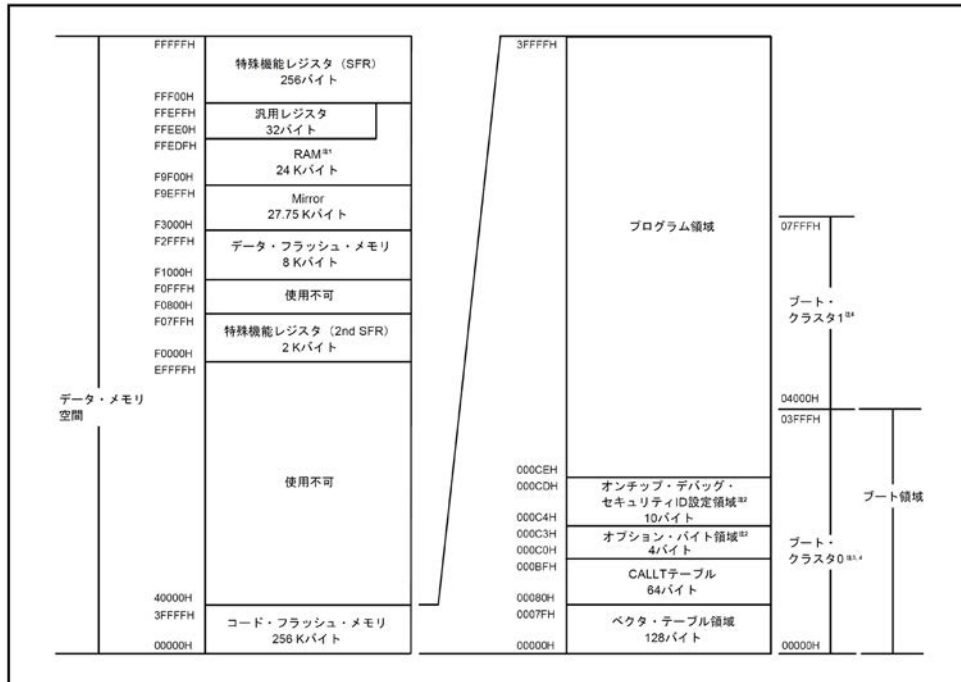
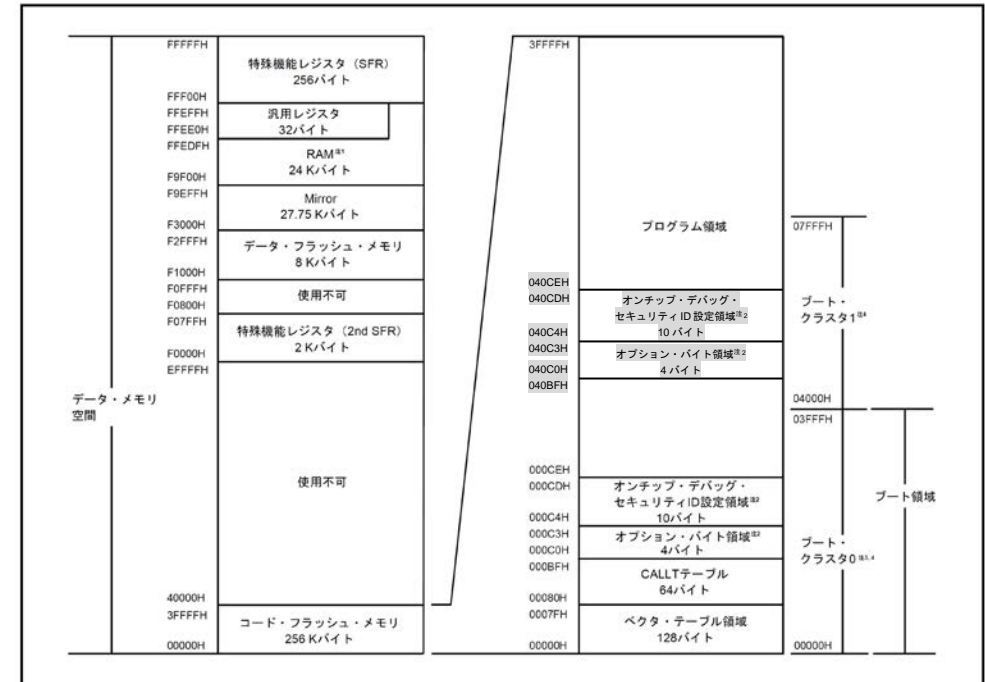


図 3-4 メモリ・マップ (R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.149)

図 3-5 メモリ・マップ (R7F100GxK (x = F, G, J, L, M, P, S))

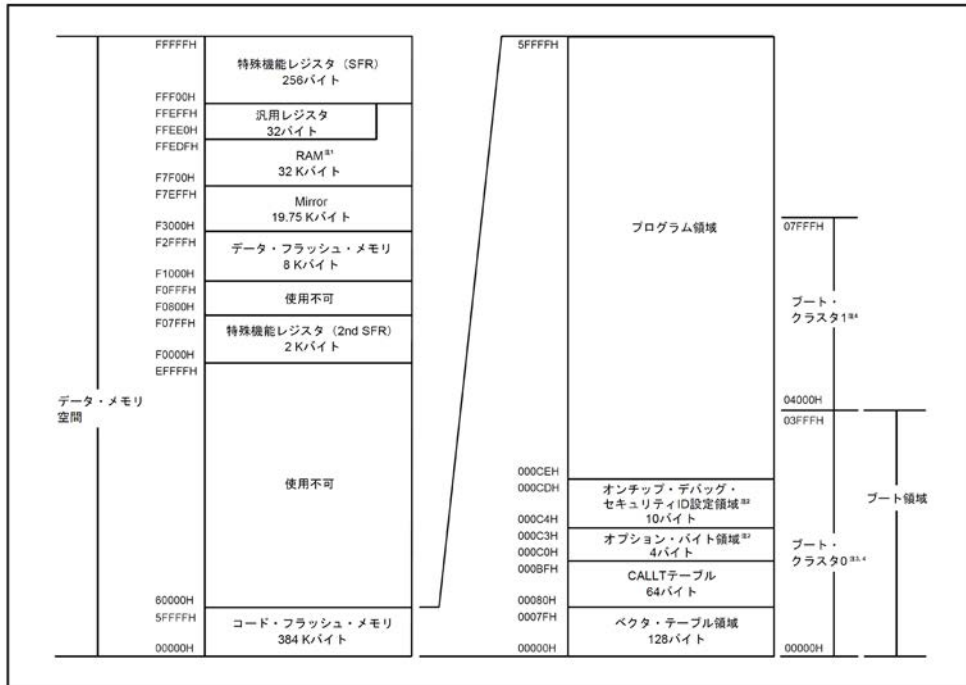
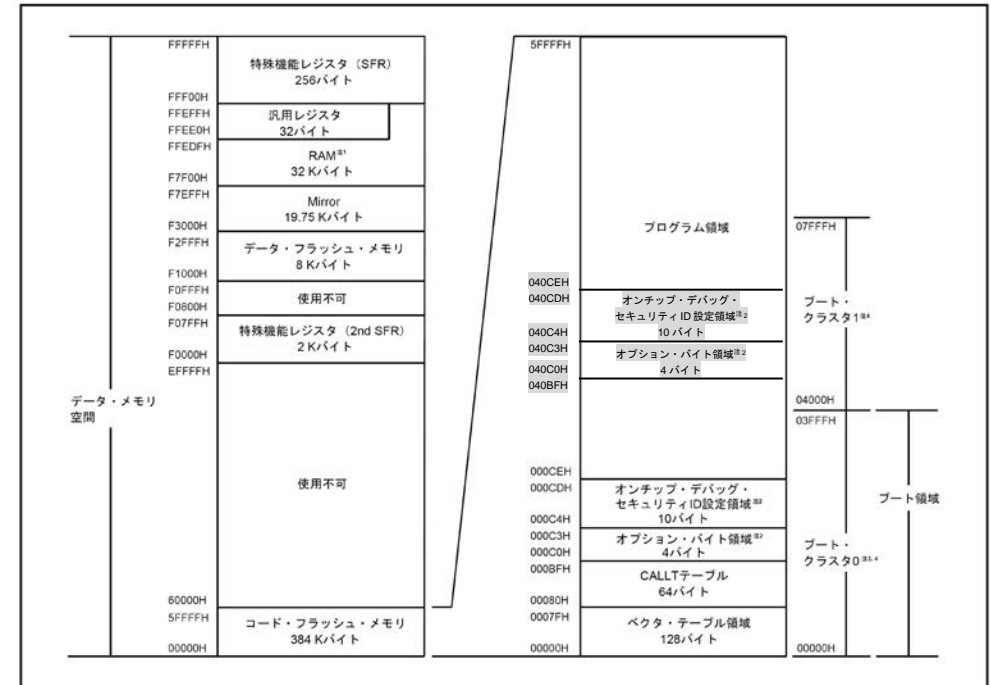


図 3-5 メモリ・マップ (R7F100GxK (x = F, G, J, L, M, P, S))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

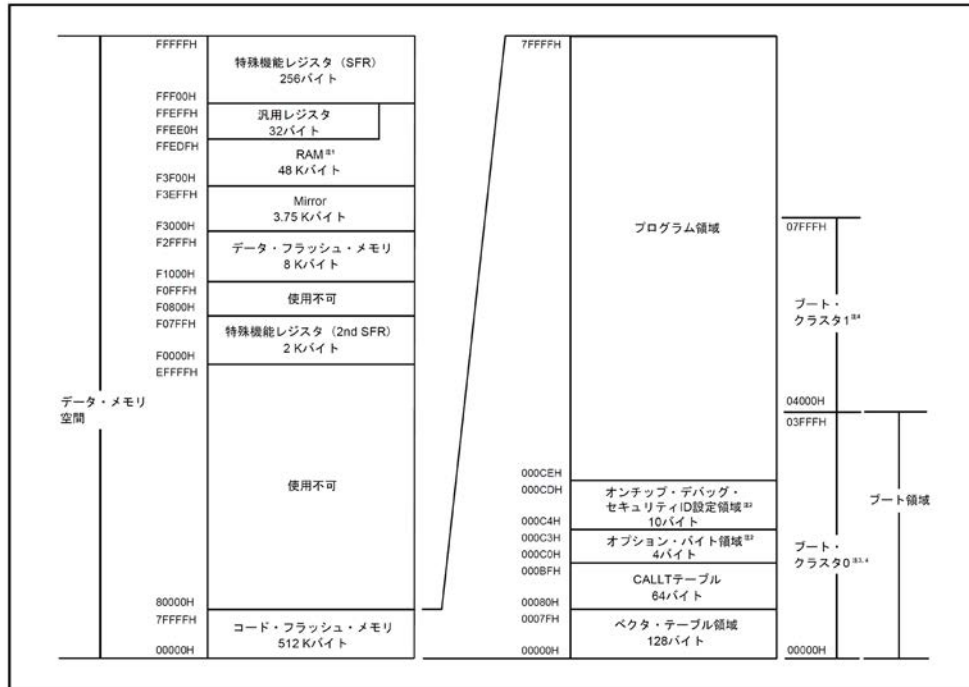
注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.150)

図 3-6 メモリ・マップ (R7F100GxL (x = F, G, J, L, M, P, S))

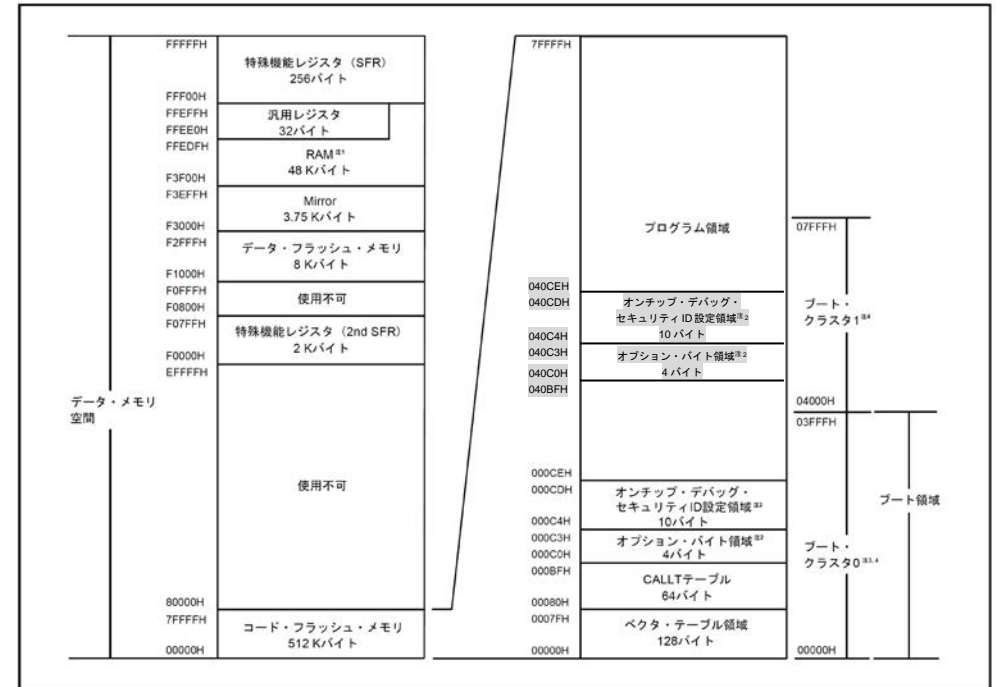


注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

図 3-6 メモリ・マップ (R7F100GxL (x = F, G, J, L, M, P, S))



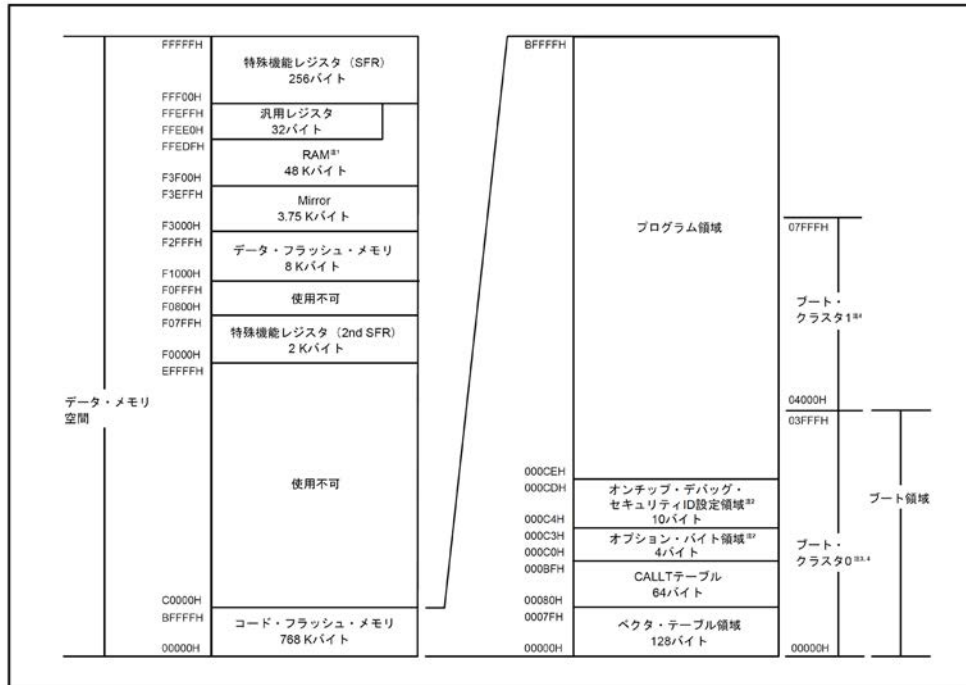
注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.151)

図 3-7 メモリ・マップ (R7F100GxN (x = F, G, J, L, M, P, S))

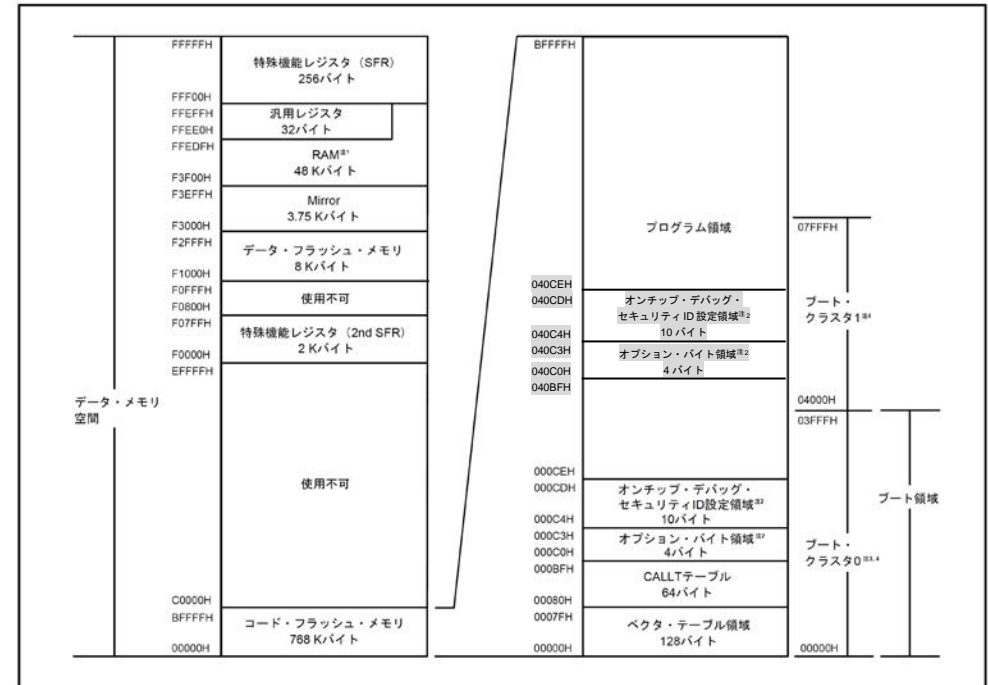


注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

図 3-7 メモリ・マップ (R7F100GxN (x = F, G, J, L, M, P, S))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき**：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.158)

(略)

## (3) オプション・バイト領域

000C0H-000C3H の4 バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には040C0H-040C3H にもオプション・バイトを設定してください。詳細は第32章 オプション・バイトを参照してください。

## (4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH、040C4H-040CDH の10 バイト領域にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDH に、ブート・スワップ使用時には000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第34章 オンチップ・デバッグ機能を参照してください。

(略)

## (3) オプション・バイト領域

000C0H-000C3H の4 バイト領域にオプション・バイト領域を用意しています。ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには040C0H-040C3H にもオプション・バイトを設定してください。詳細は第32章 オプション・バイトを参照してください。

## (4) オンチップ・デバッグ・セキュリティID設定領域

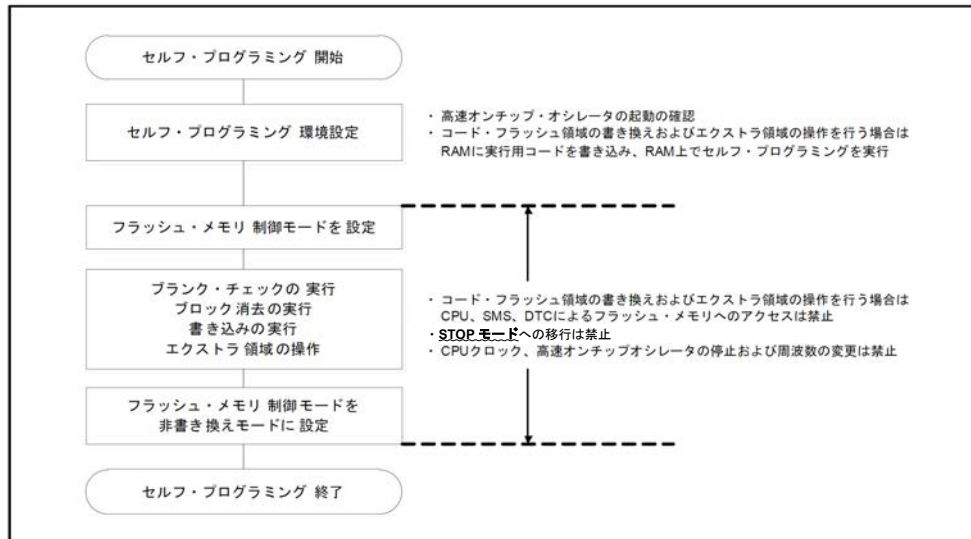
000C4H-000CDH、040C4H-040CDH の10 バイト領域にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)には000C4H-000CDHに、ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第34章 オンチップ・デバッグ機能を参照してください。

2. 33.6.1 セルフ・プログラミング手順 (p.1335)

誤)

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。  
 セルフ・プログラミングで使用するレジスタの詳細は、33.6.2 フラッシュ・メモリを制御するレジスタを参照してください。

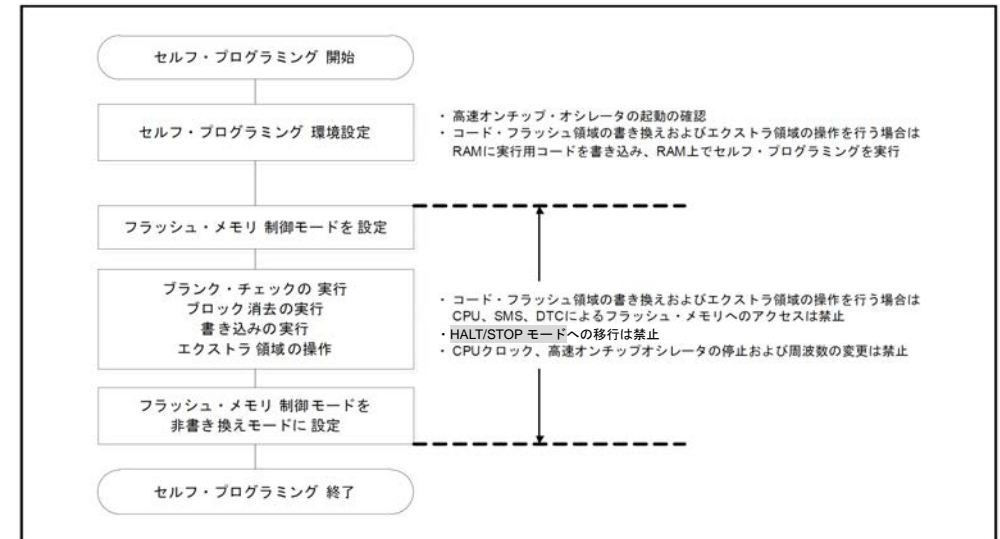
図 33-8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



正)

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。  
 セルフ・プログラミングで使用するレジスタの詳細は、33.6.2 フラッシュ・メモリを制御するレジスタを参照してください。

図 33-8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



3. 33.10.1 データ・フラッシュの概要 (p.1386)

誤)

データ・フラッシュの概要は次のとおりです。

(略)

- ・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、STOP モード状態に遷移することは禁止

(略)

正)

データ・フラッシュの概要は次のとおりです。

(略)

- ・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、**HALT/STOP モード**状態に遷移することは禁止

(略)

4. 34.3 オンチップ・デバッグのセキュリティ設定 (p.1389)

誤)

第三者からのメモリの内容を読み取られないようにするために、オンチップ・デバッグ機能は、プログラマ・オンチップ・デバッグ接続禁止設定（第33章 フラッシュ・メモリ 33.9 セキュリティ設定参照）と、フラッシュ・メモリの000C3H にオンチップ・デバッグ動作制御ビット（第32章 オプション・バイトを参照）と、000C4H-000CDH<sup>注1</sup> にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。

表 34 - 1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10 バイトの任意の ID コード <sup>注2</sup>
040C4H-040CDH	

注1. オンチップ・デバッグ・セキュリティ・ID設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

注2. "FFFFFFFFFFFFFFFFFFFFFH"は設定できません。

正)

第三者からのメモリの内容を読み取られないようにするために、オンチップ・デバッグ機能は、プログラマ・オンチップ・デバッグ接続禁止設定（第33章 フラッシュ・メモリ 33.9 セキュリティ設定参照）と、フラッシュ・メモリの000C3H にオンチップ・デバッグ動作制御ビット（第32章 オプション・バイトを参照）と、000C4H-000CDH<sup>注</sup> にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。

注 オンチップ・デバッグ・セキュリティ・ID設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

表 34 - 1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10 バイトの任意の ID コード <sup>注2,3</sup>
040C4H-040CDH	

注1. "FFFFFFFFFFFFFFFFFFFFFH"は設定できません。

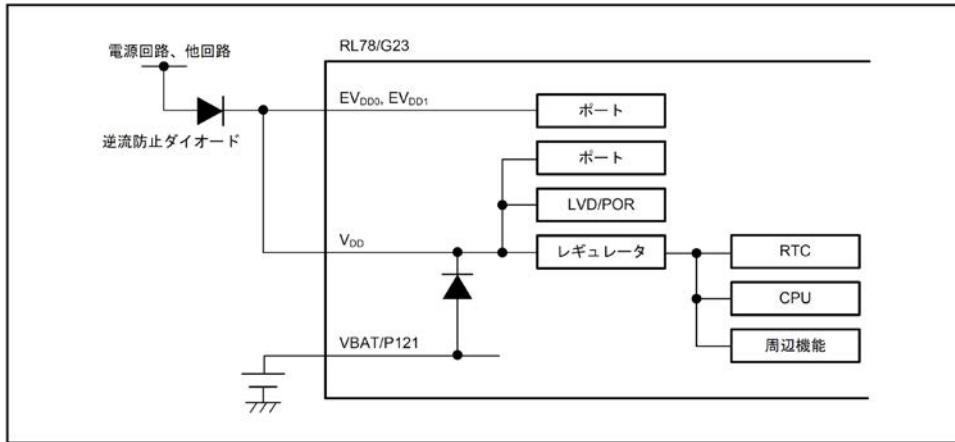
注2. ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。

5. 2.2.3.2 VBAT 端子とバックアップ用バッテリーの接続 (p.108)

誤)

(略)

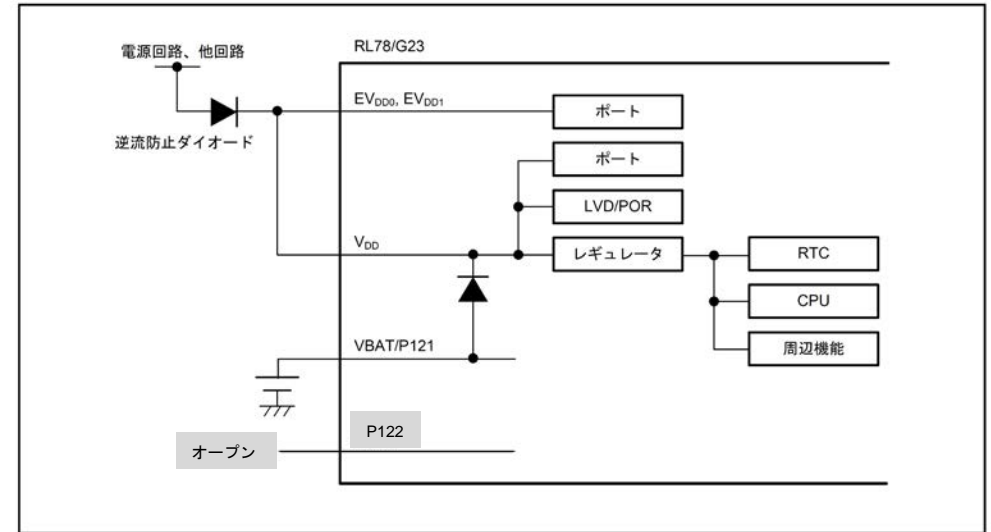
図2-1 VBAT 端子の接続例



正)

(略)

図2-1 VBAT 端子の接続例



### 6. 2.2.3.3 VBAT 端子の使用方法 (p.109)

#### 誤)

VBAT 端子の初期設定と電源供給を VBAT 端子へ切り替える手順例を示します。なお、VDD 端子の電圧が VBAT 端子の供給電圧を下回る前に処理を完了してください。

また、図 2-2 に VDD 端子と VBAT 端子の切り替え時の状態遷移を示します。

#### (1) VBAT 端子の初期設定

初期設定として P121 を X1 発振モード (CMC レジスタの EXCLK ビットを 0、OSCSEL ビットを 1、CSC レジスタの MSTOP ビットを 0) に設定してください。

(略)

#### 正)

VBAT 端子の初期設定と電源供給を VBAT 端子へ切り替える手順例を示します。なお、VDD 端子の電圧が VBAT 端子の供給電圧を下回る前に処理を完了してください。

また、図 2-2 に VDD 端子と VBAT 端子の切り替え時の状態遷移を示します。

#### (1) VBAT 端子の初期設定

初期設定として P121 を X1 発振モード (CMC レジスタの EXCLK ビットを 0、OSCSEL ビットを 1、CSC レジスタの MSTOP ビットを 1) に設定してください。

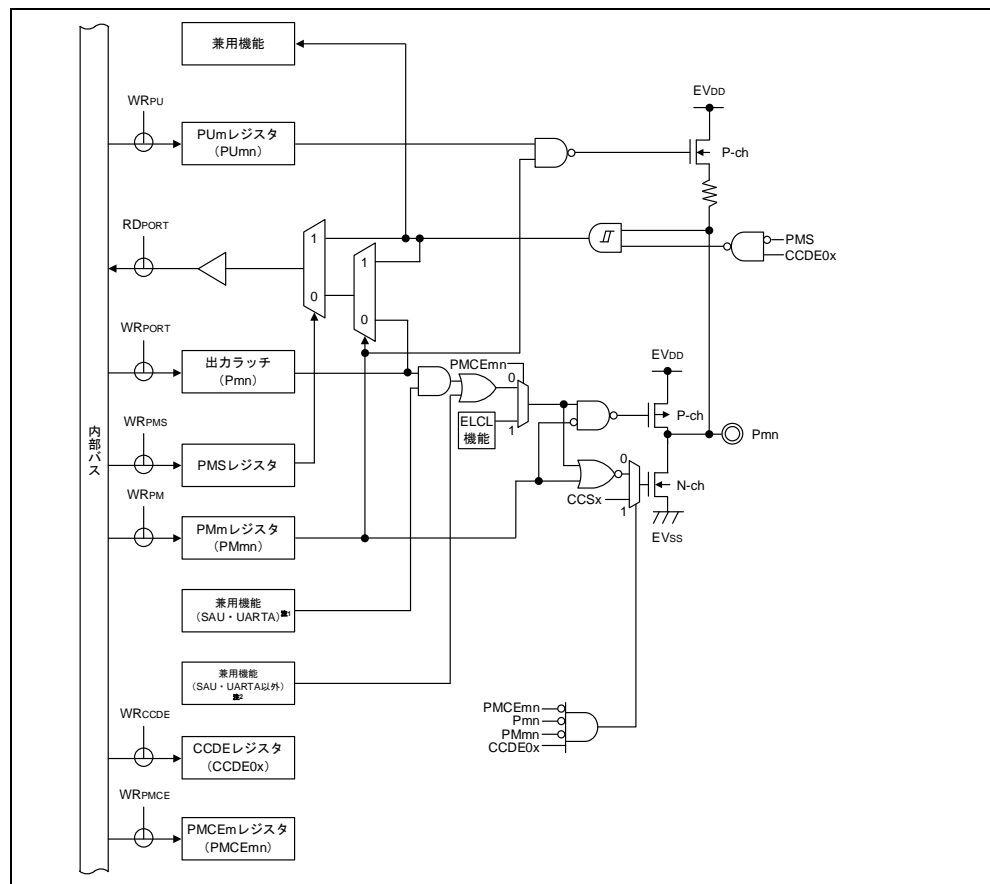
(略)

7. 2.4 端子ブロック図 (p.127, p.128, p.133, p.135, p.137-p.139, p.141-p.143)

誤)

(p.127)

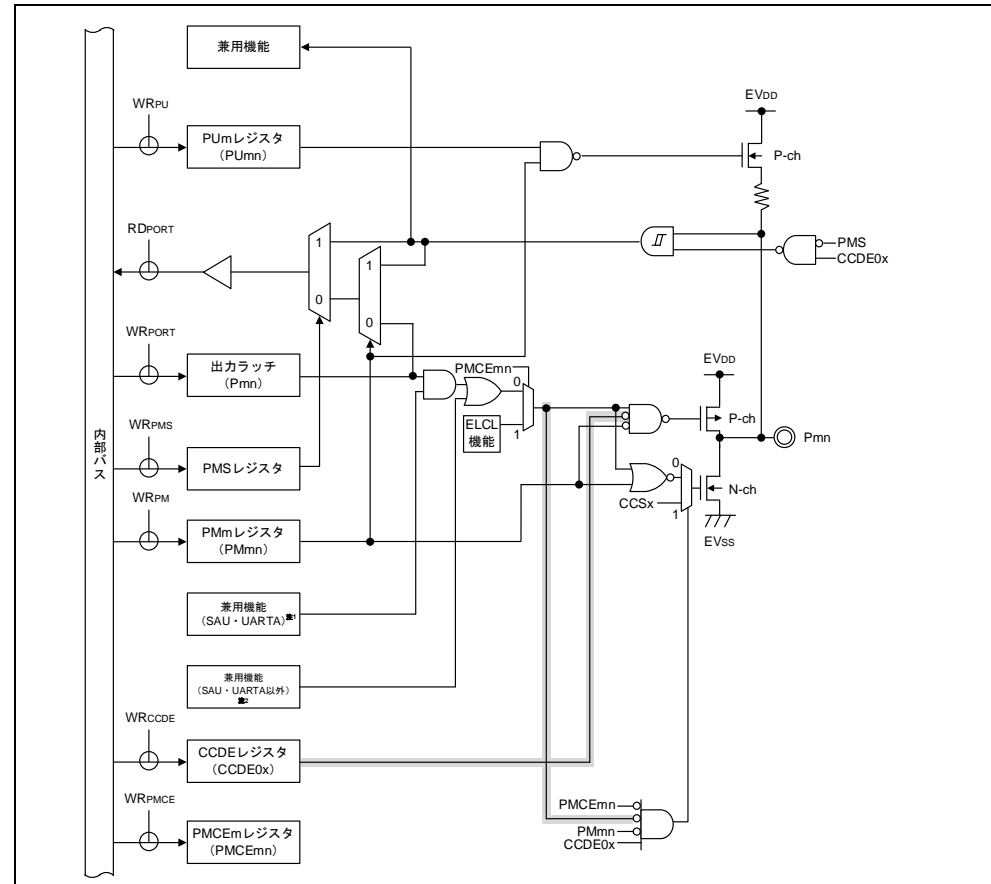
図 2-21 端子タイプ 7-38-1 の端子ブロック図



(略)

正)

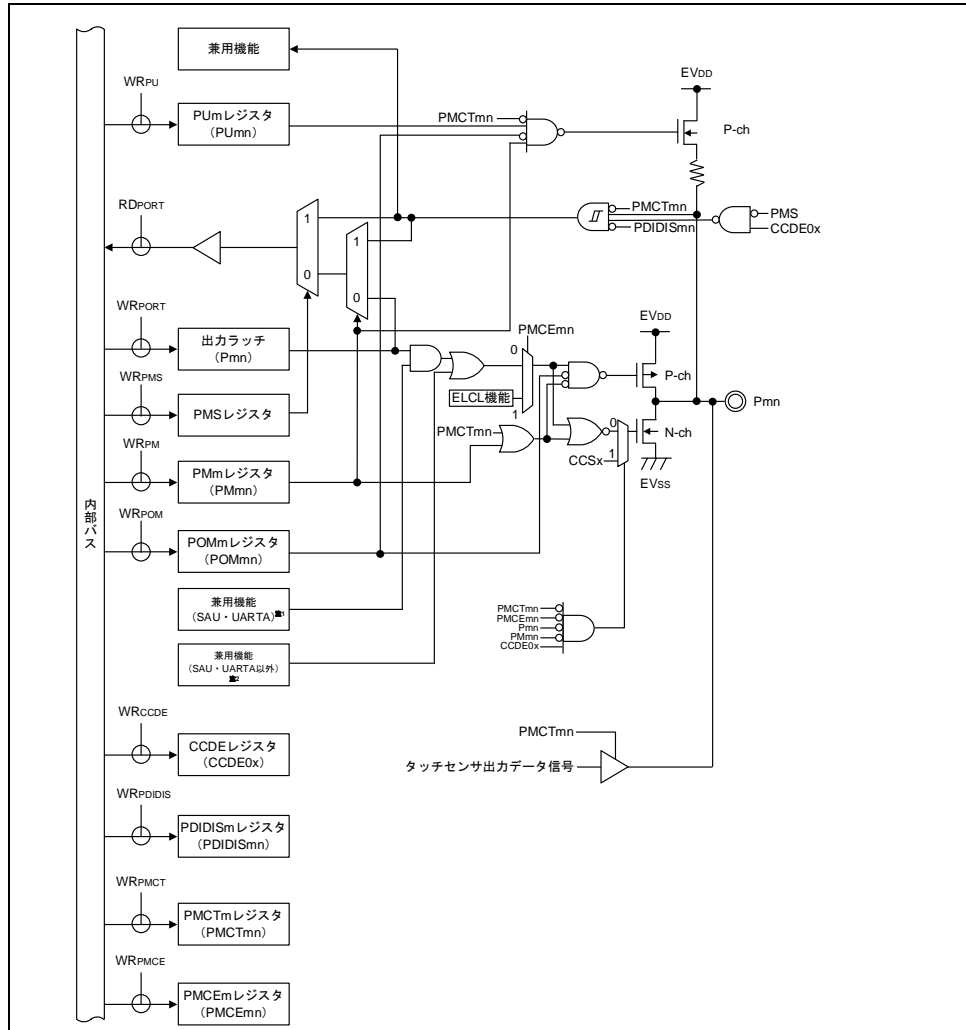
図 2-21 端子タイプ 7-38-1 の端子ブロック図



(略)

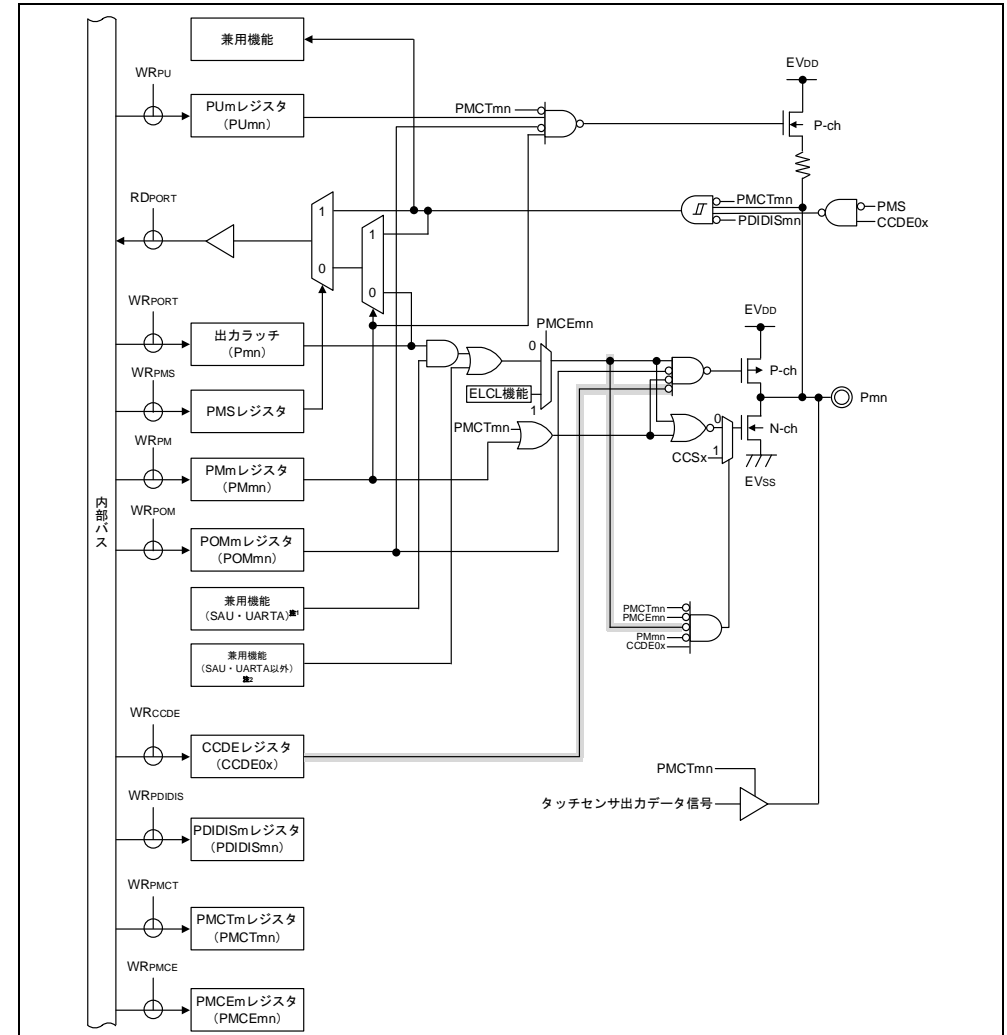
(p.128)

図 2 - 22 端子タイプ 7-39-1 の端子ブロック図



(略)

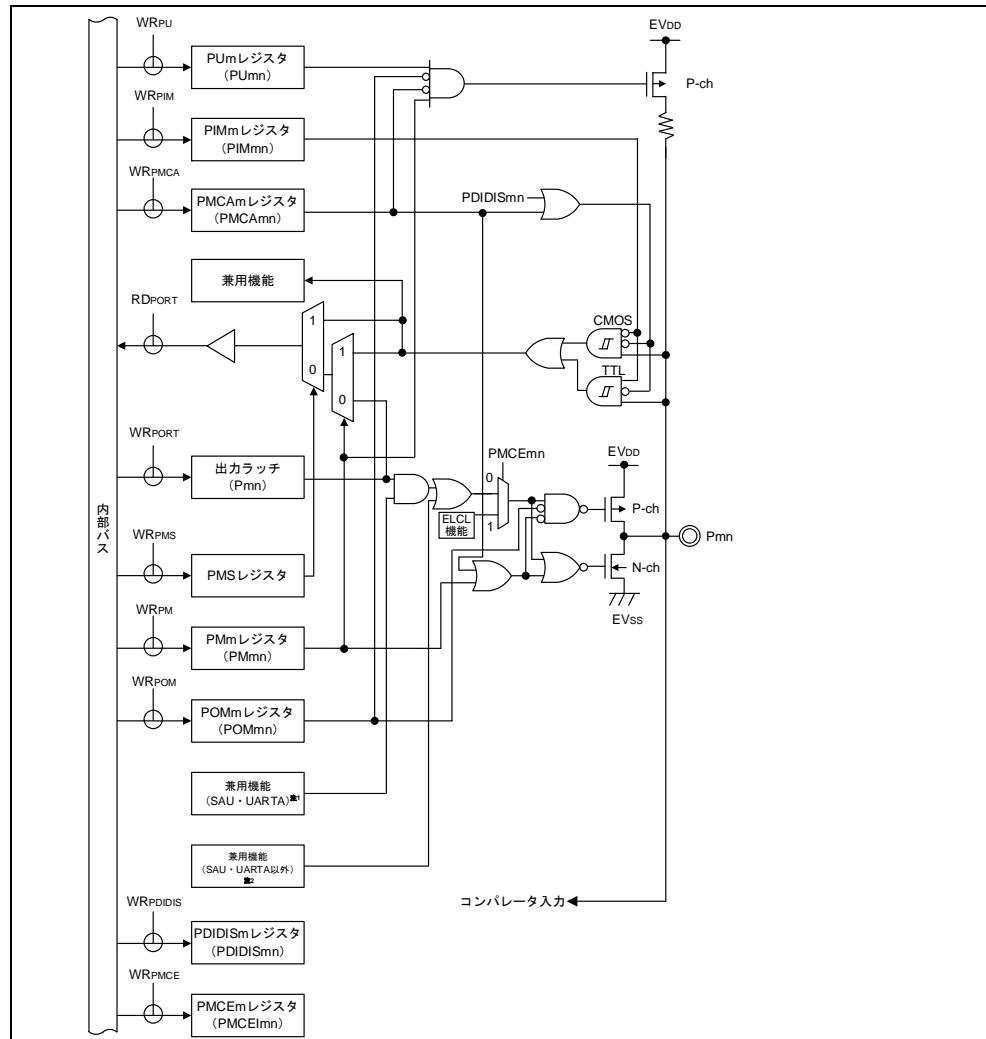
図 2 - 22 端子タイプ 7-39-1 の端子ブロック図



(略)

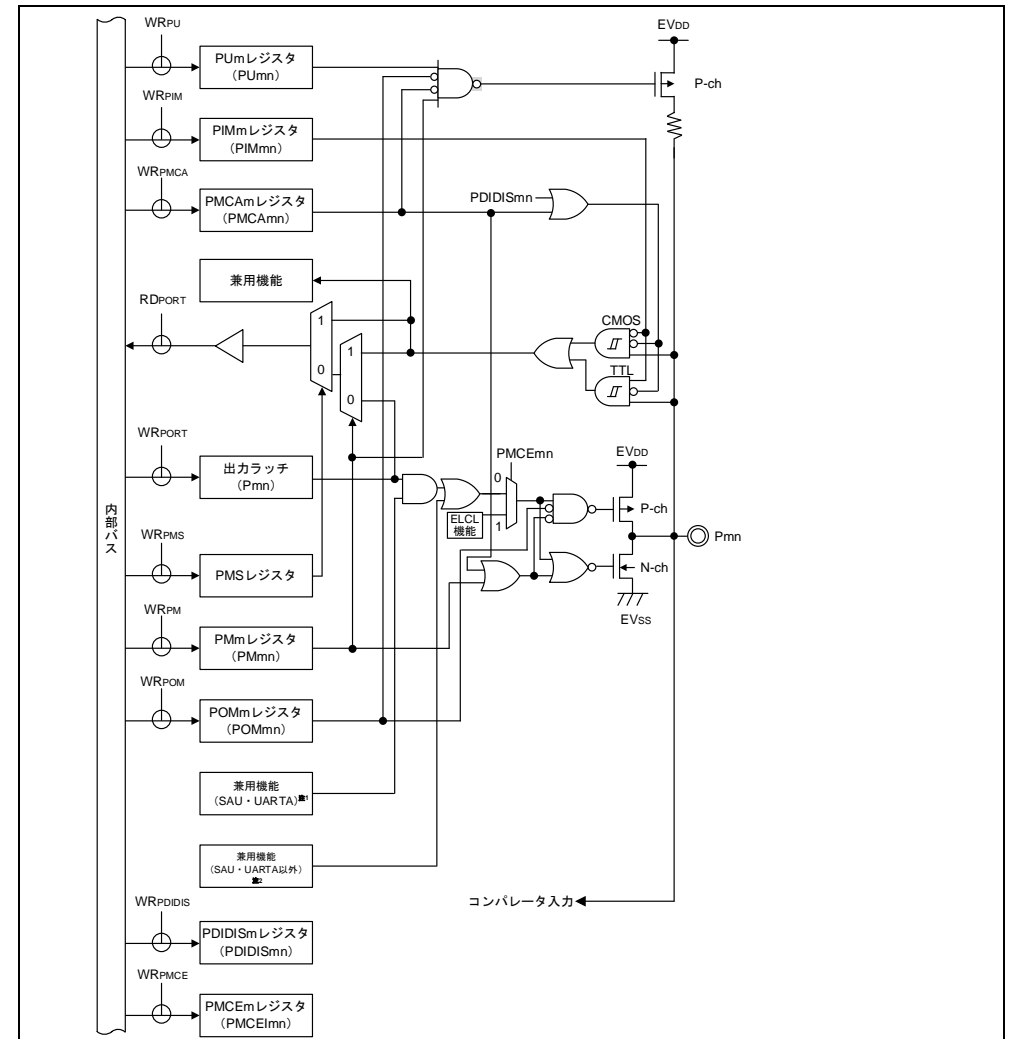
(p.133)

図 2-26 端子タイプ 8-6-9 の端子ブロック図



(略)

図 2-26 端子タイプ 8-6-9 の端子ブロック図



(略)

(p.135)

図 2 - 28 端子タイプ 8-31-2 の端子ブロック図

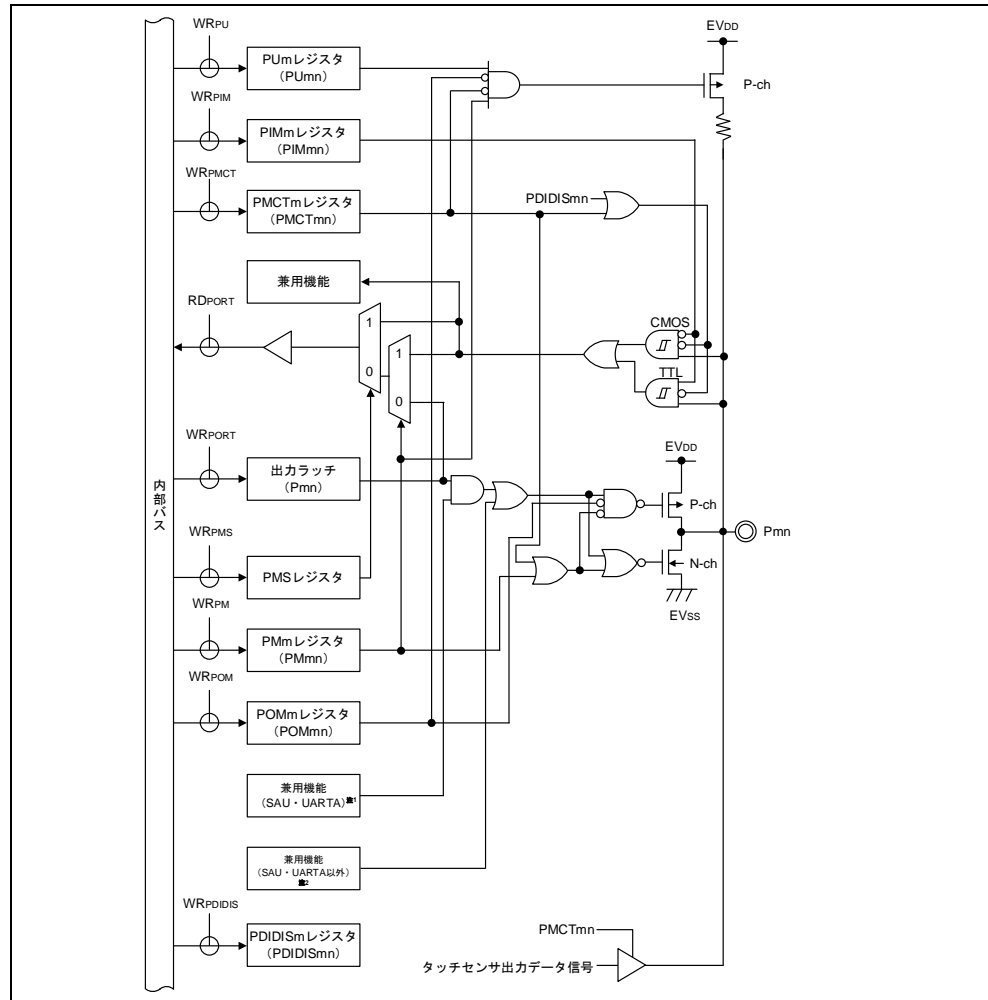
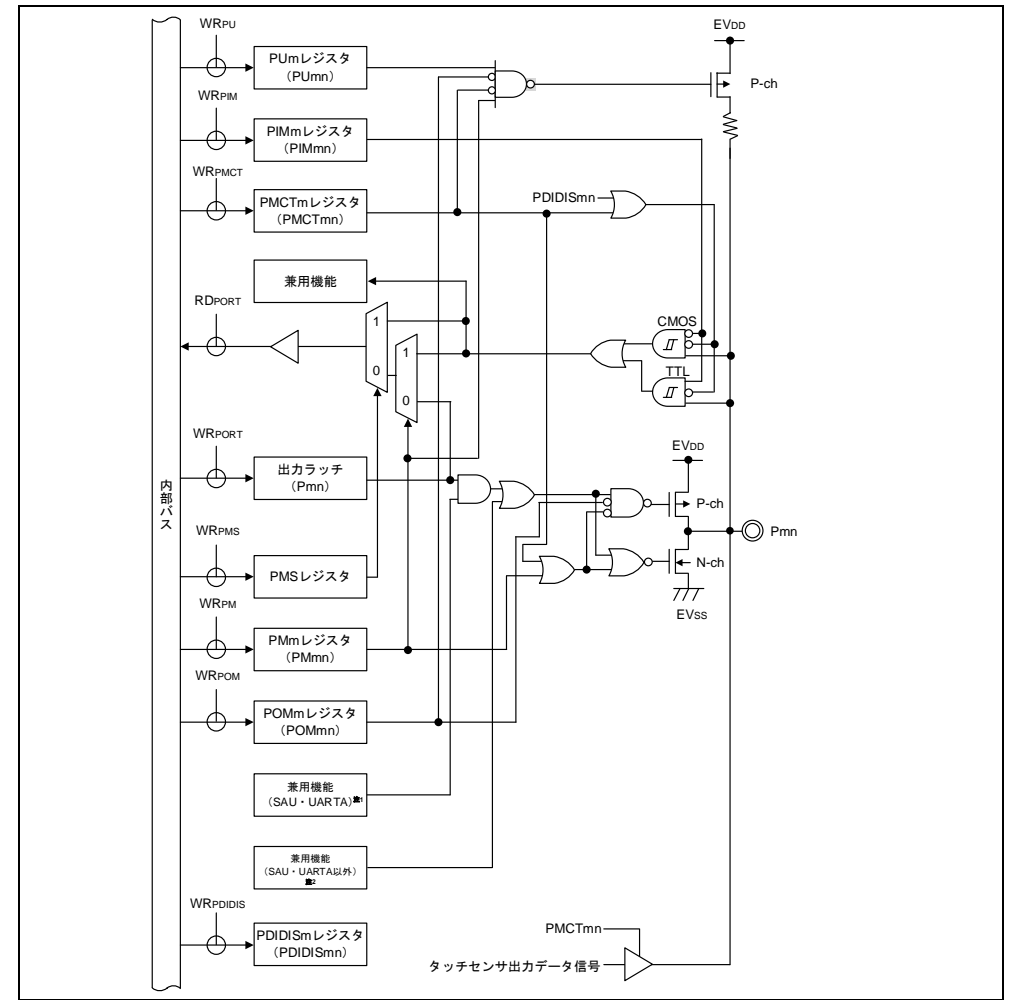
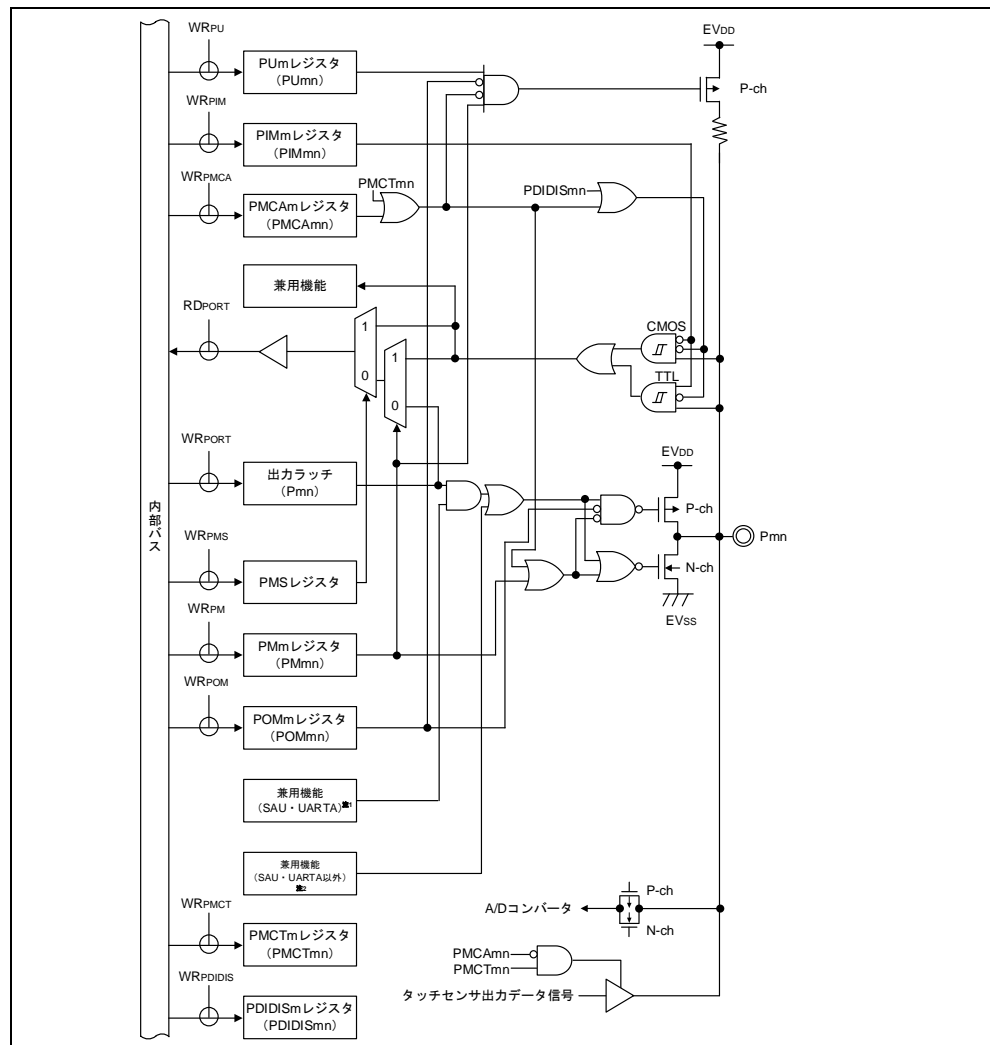


図 2 - 28 端子タイプ 8-31-2 の端子ブロック図



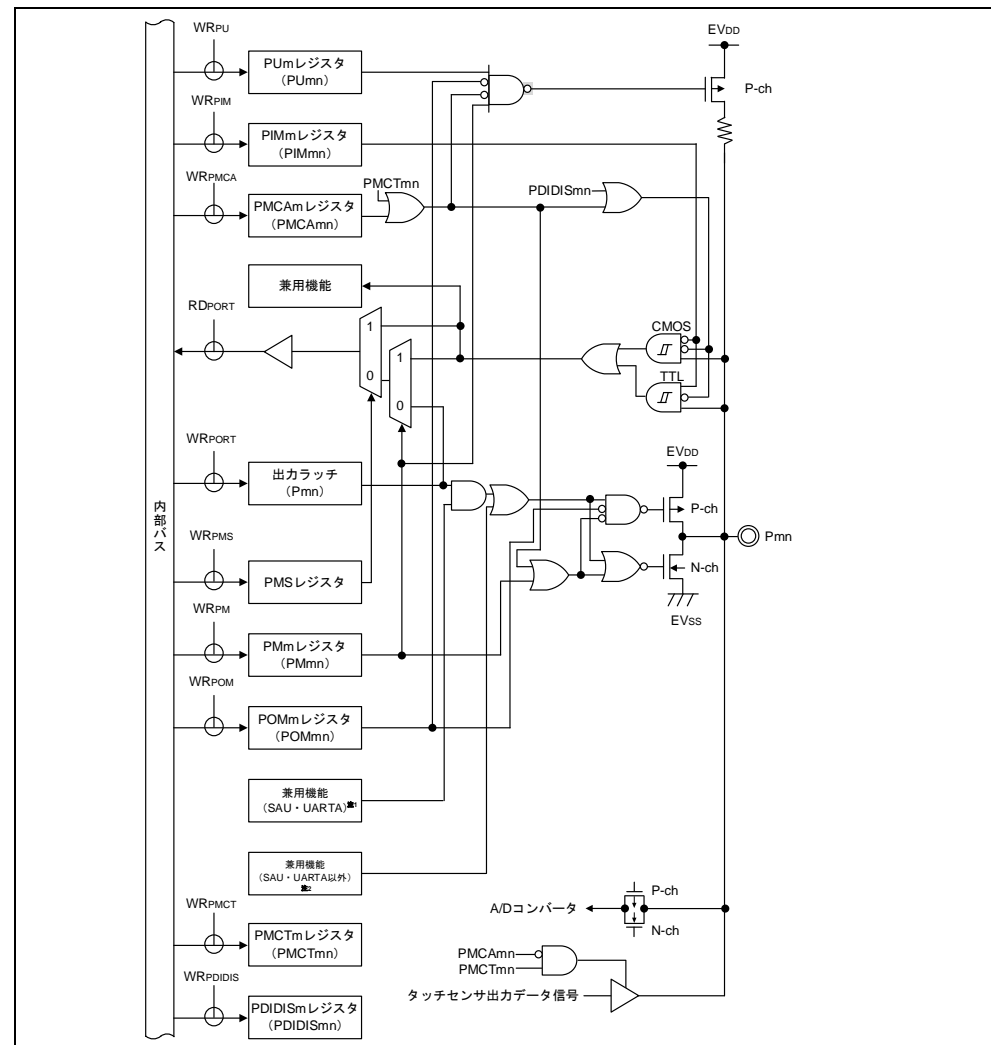
(p.137)

図 2-30 端子タイプ 8-33-3 の端子ブロック図



(略)

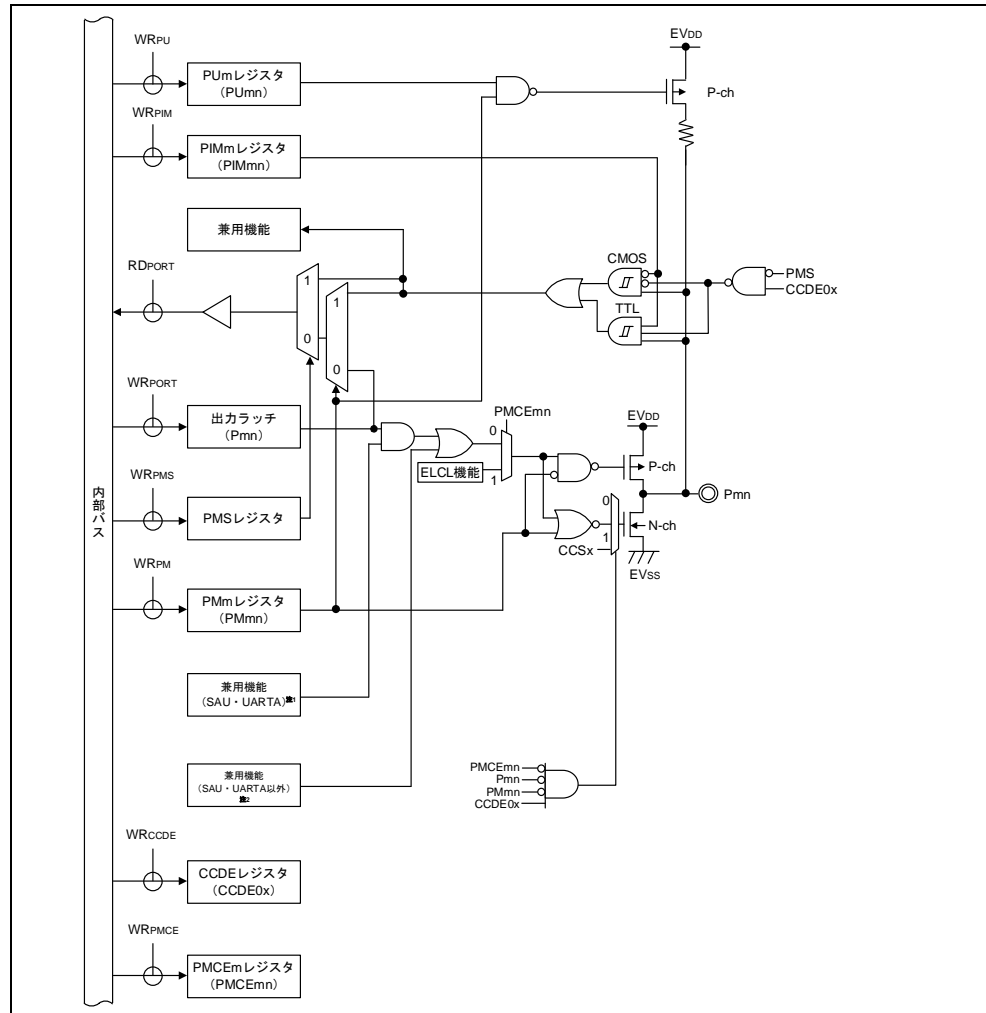
図 2-30 端子タイプ 8-33-3 の端子ブロック図



(略)

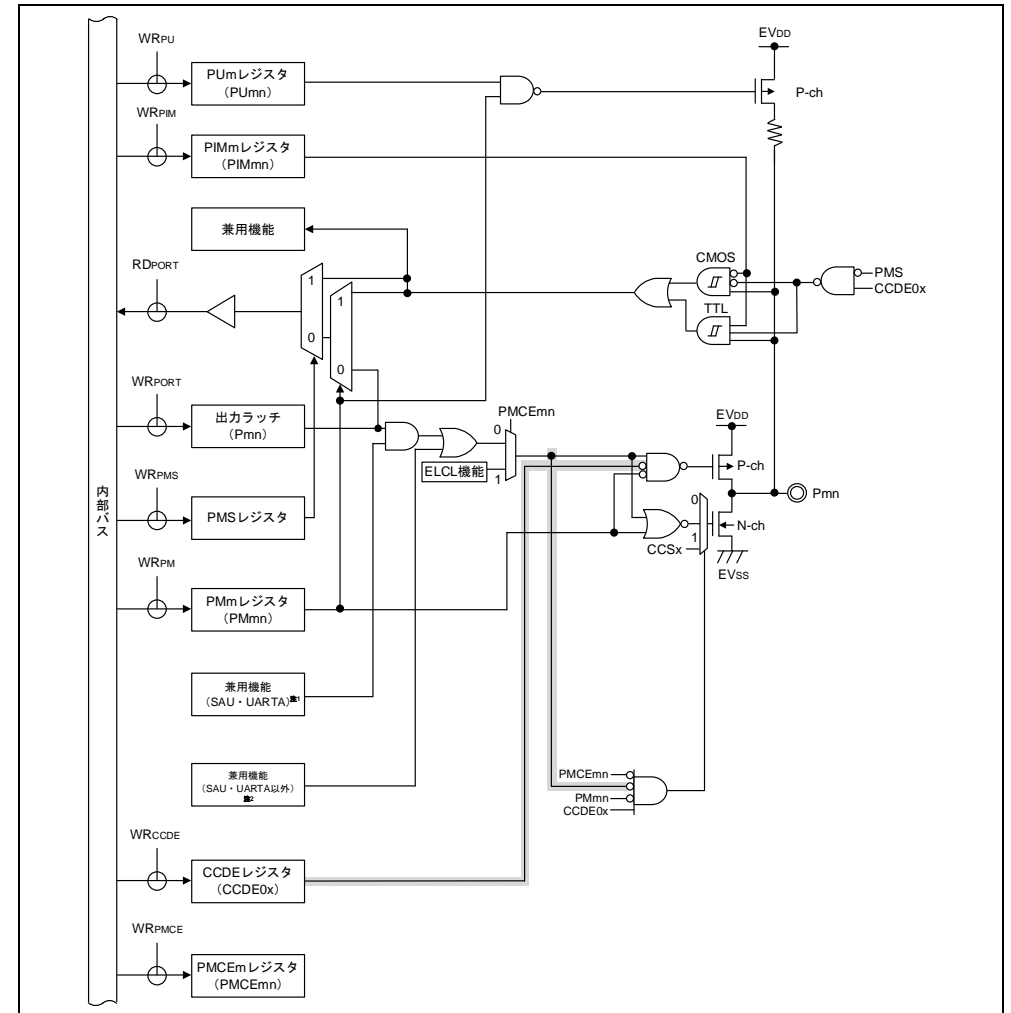
(p.138)

図 2 - 31 端子タイプ 8-38-1 の端子ブロック図



(略)

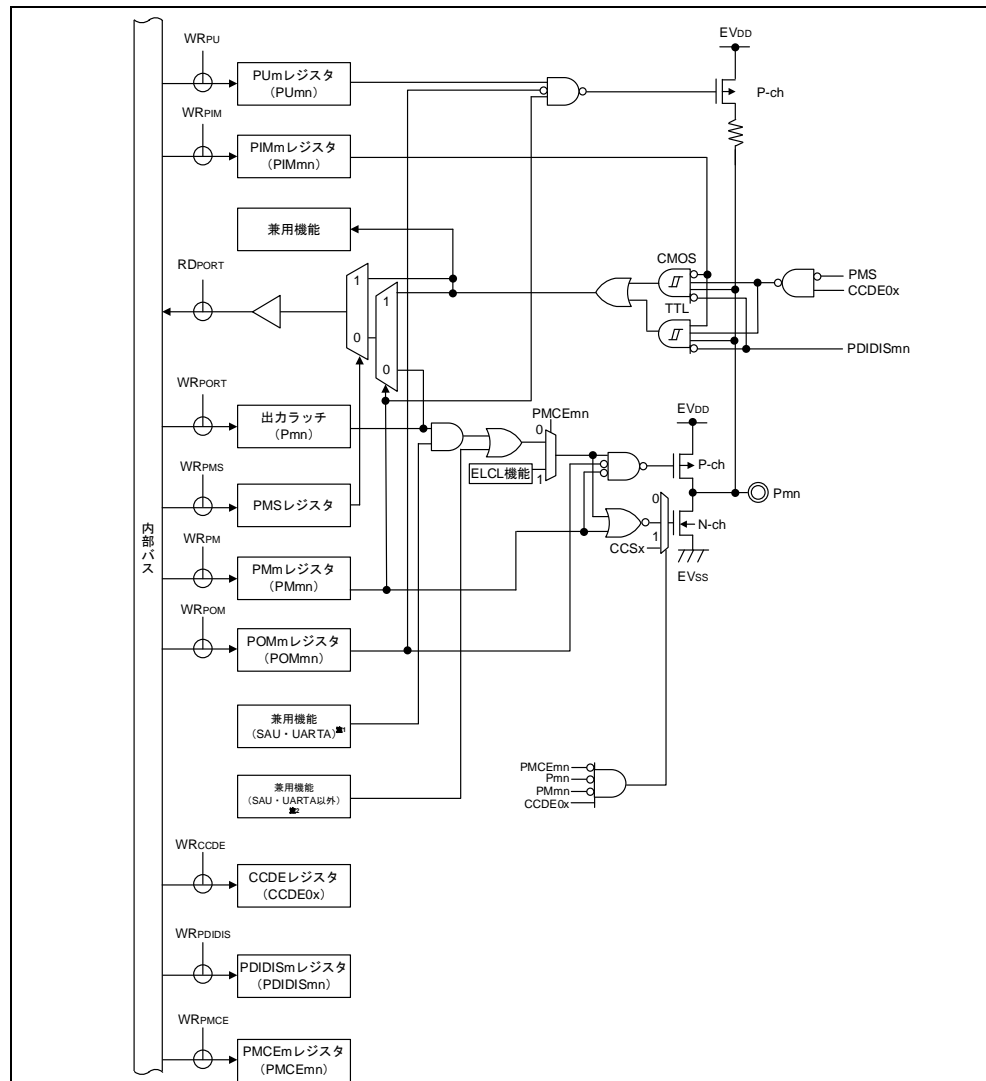
図 2 - 31 端子タイプ 8-38-1 の端子ブロック図



(略)

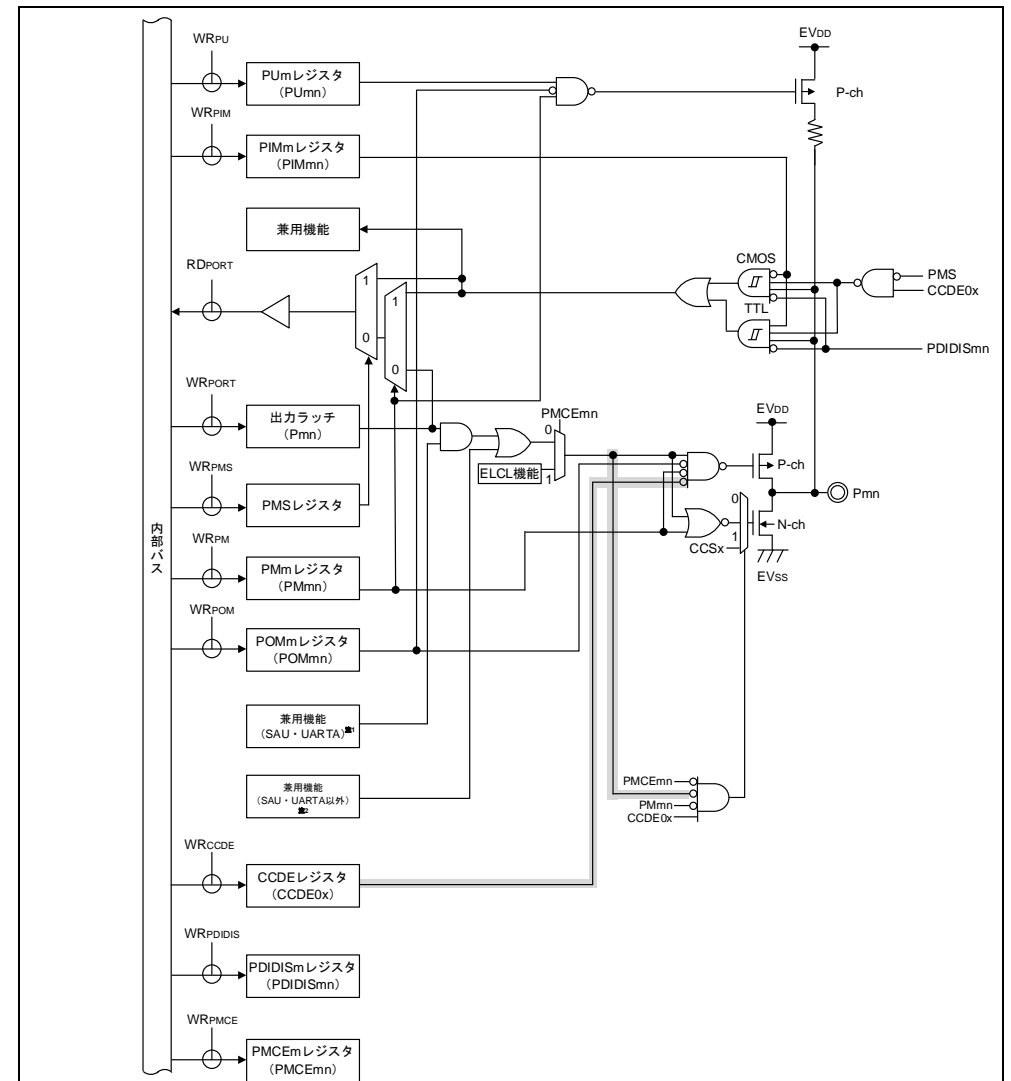
(p.139)

図 2 - 32 端子タイプ 8-38-2 の端子ブロック図



(略)

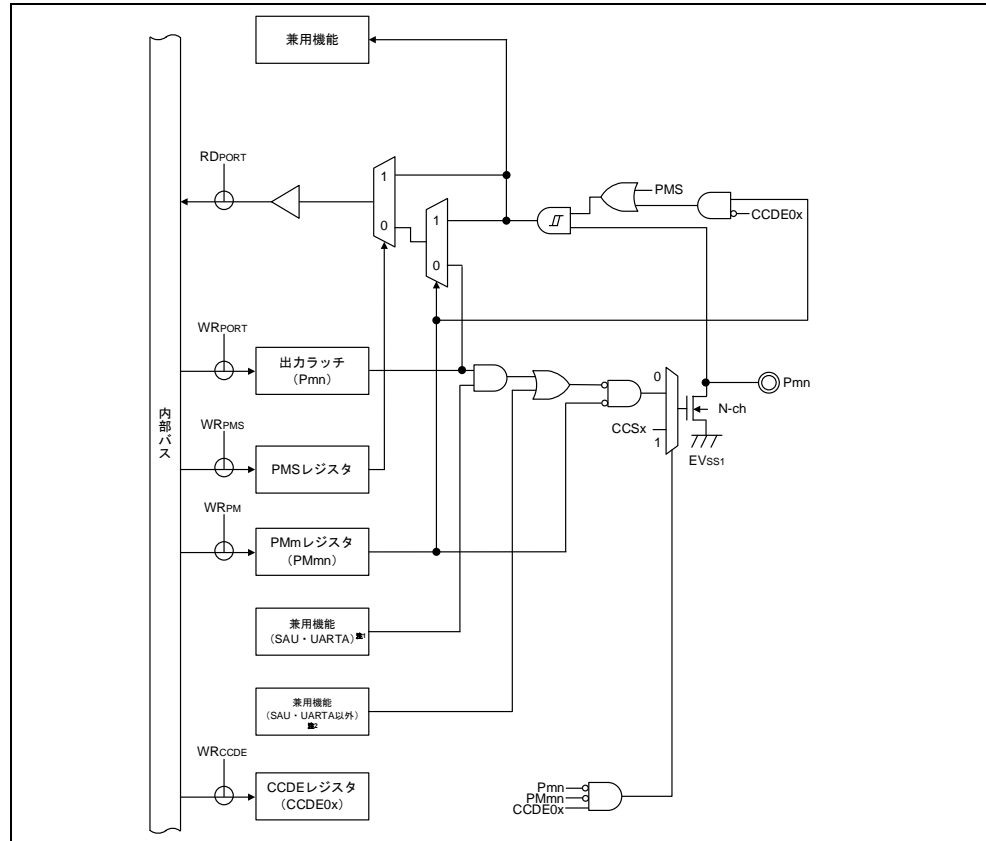
図 2 - 32 端子タイプ 8-38-2 の端子ブロック図



(略)

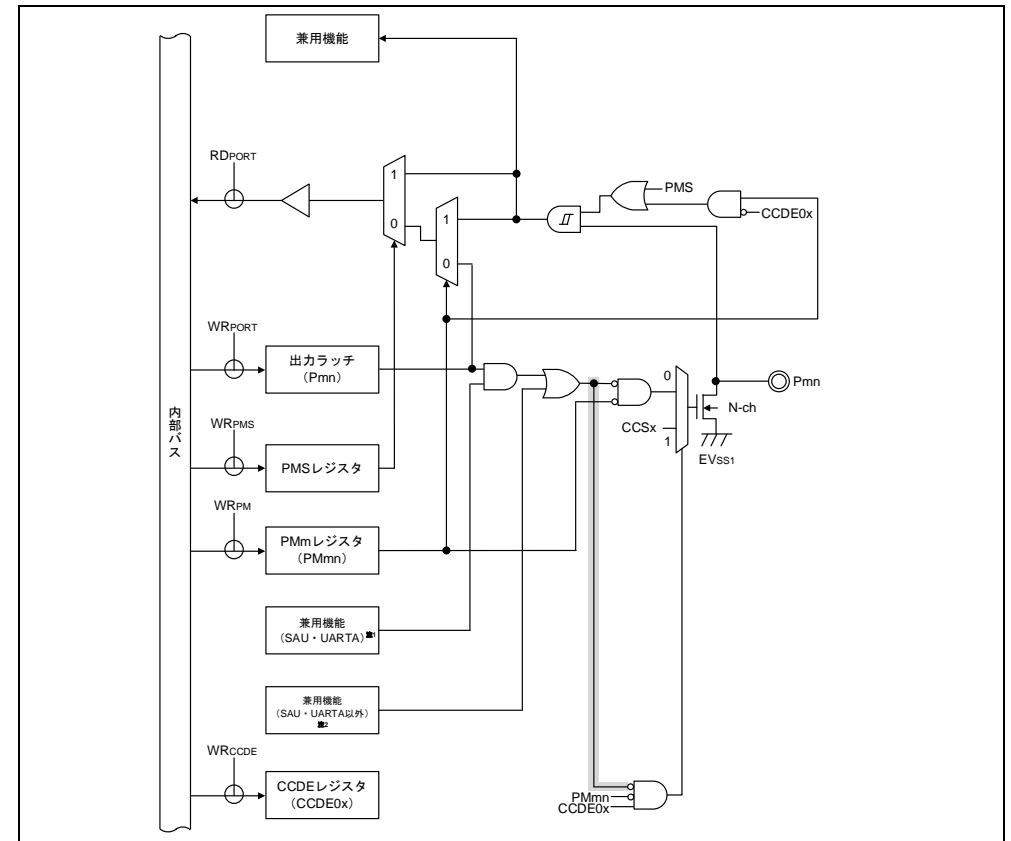
(p.141)

図 2 - 33 端子タイプ 12-38-1 の端子ブロック図



(略)

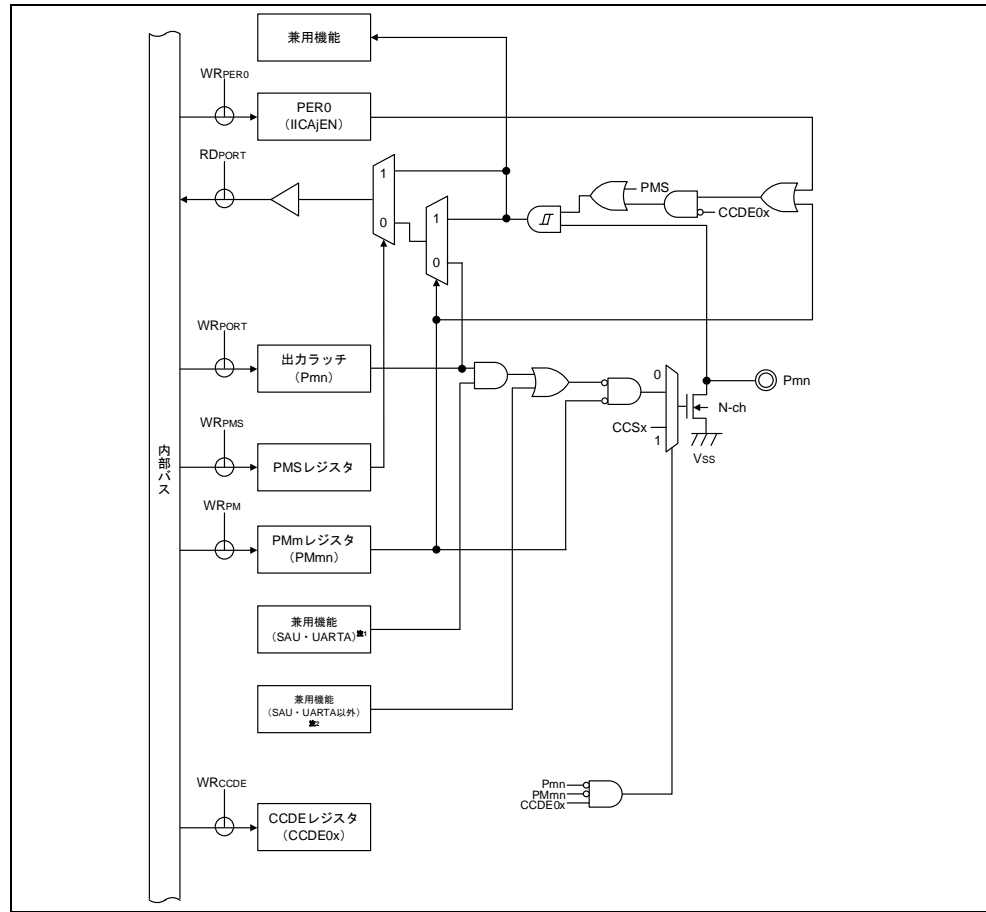
図 2 - 33 端子タイプ 12-38-1 の端子ブロック図



(略)

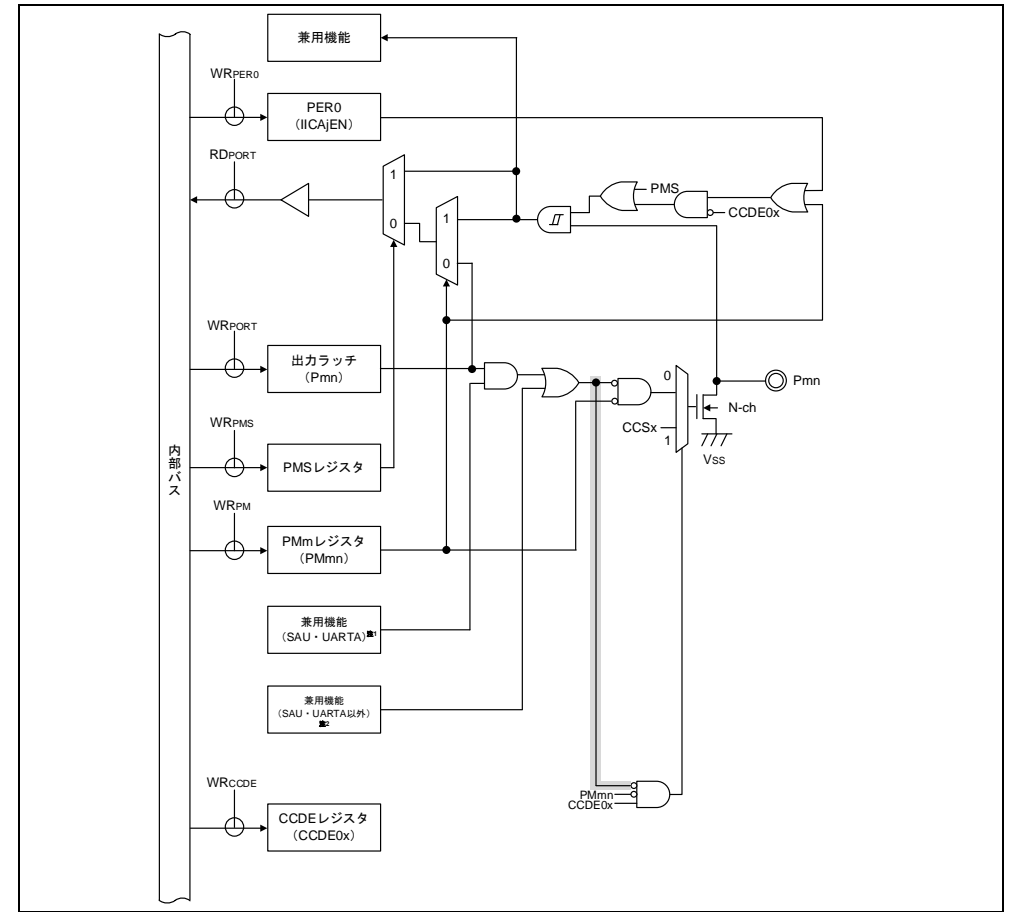
(p.142)

図 2 - 34 端子タイプ 12-38-2 の端子ブロック図



(略)

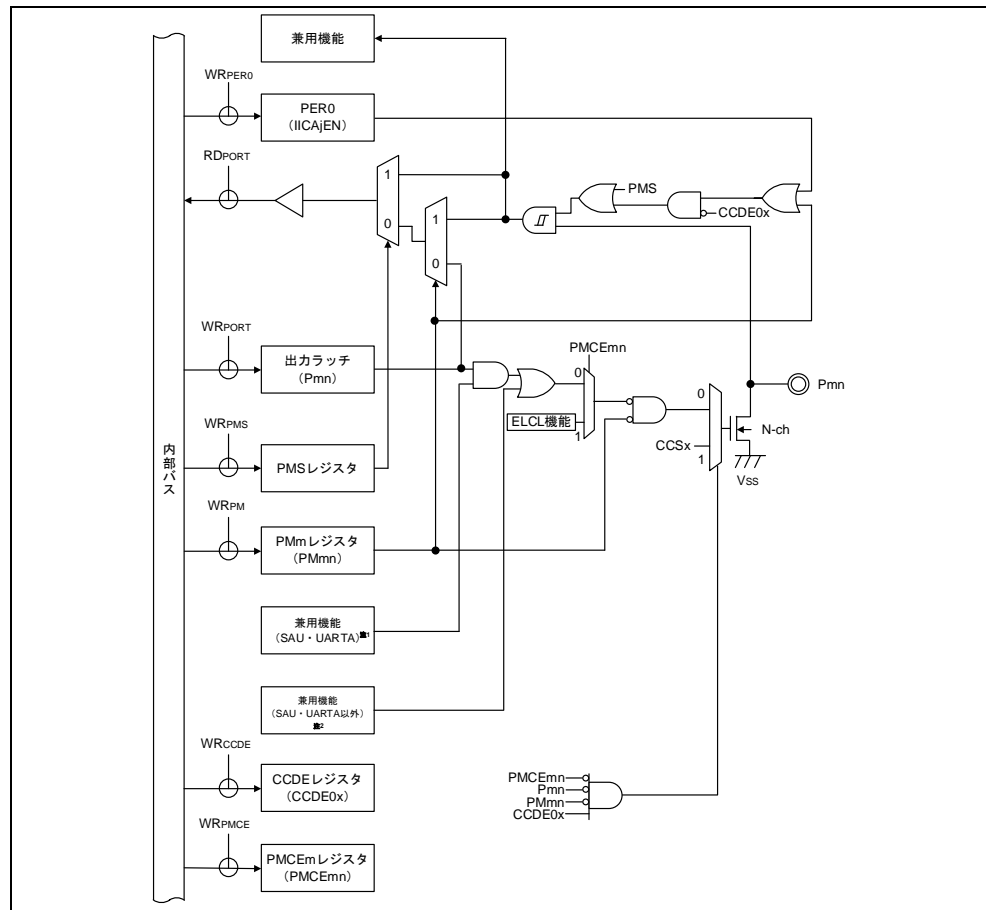
図 2 - 34 端子タイプ 12-38-2 の端子ブロック図



(略)

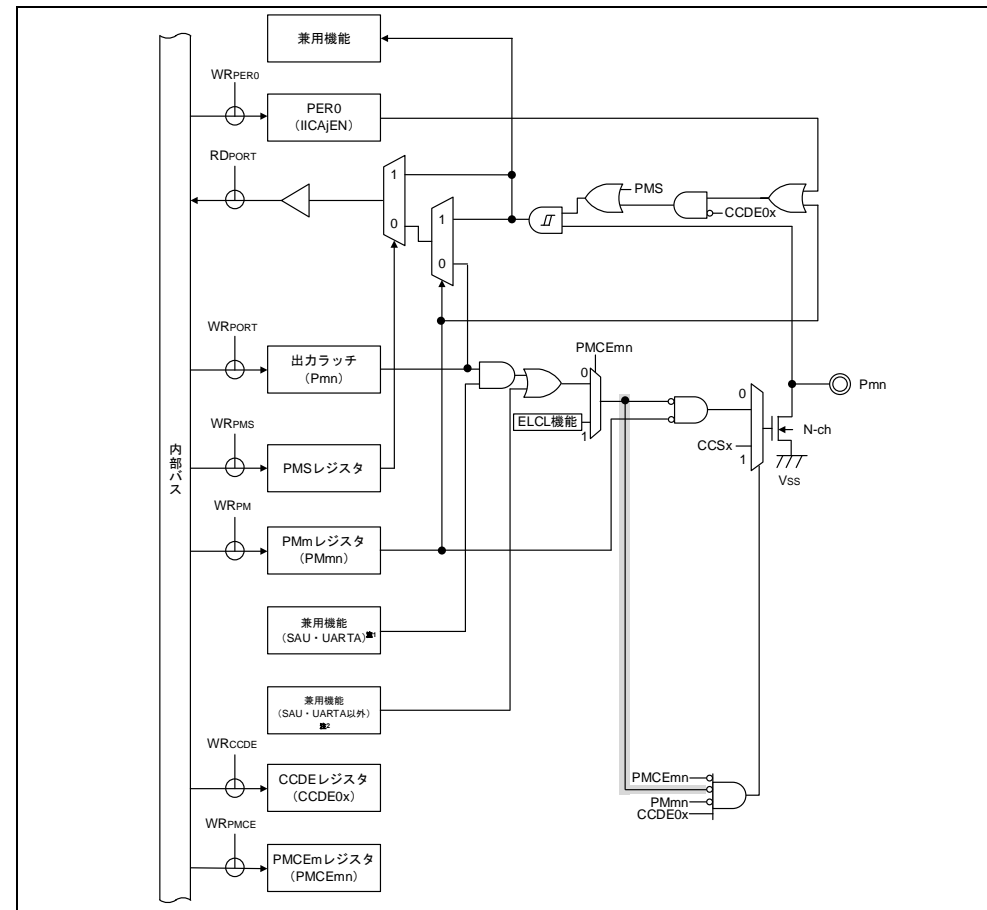
(p.143)

図 2 - 35 端子タイプ 12-38-3 の端子ブロック図



(略)

図 2 - 35 端子タイプ 12-38-3 の端子ブロック図



(略)

8. 4.5.4 使用するポート機能および兼用機能のレジスタ設定例 (p.262, p.281)

誤)

(p.262)

表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例

(フラッシュ・メモリ 96 KB・128 KB の 30 ピン製品～64 ピン製品) (14/16)

端子名称	使用機能		CMC				PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL											
P121	P121	入力	00 xx / 10 xx / 11 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	
			xx 00 / xx 10 / xx 11	1注													
		出力	00 xx / 10 xx / 11 xx	0	0	0/1	○	○	○	○	○	○	○	○	○	○	○
			xx 00 / xx 10 / xx 11	1注													
	EI121	入力	00 xx / 10 xx / 11 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	
			xx 00 / xx 10 / xx 11	1注													
VBAT	入力	00.xx/10.xx/11.xx	0	0	1	*	*	*	○	○	○	○	○	○	○		
X1	—	01 xx	0	1	*	○	○	○	○	○	○	○	○	○	○		
XT1	—	xx 01	1	1	*	○	○	○	*	*	*	*	*	*	*		
	EXCLKS	入力	xx 11	0	—	*	*	*	*	○	○	○	○	○	○		

注 30～36ピン製品のみ

(略)

正)

表 4-7 端子機能使用時のレジスタ、出力ラッチの設定例

(フラッシュ・メモリ 96 KB・128 KB の 30 ピン製品～64 ピン製品) (14/16)

端子名称	使用機能		CMC				PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL										
P121	P121	入力	00 xx / 10 xx / 11 xx	0	1	*	○	○	○	○	○	○	○	○	○	
			xx 00 / xx 10 / xx 11	1注												
		出力	00 xx / 10 xx / 11 xx	0	0	0/1	○	○	○	○	○	○	○	○	○	○
			xx 00 / xx 10 / xx 11	1注												
	EI121	入力	00 xx / 10 xx / 11 xx	0	1	*	○	○	○	○	○	○	○	○	○	
			xx 00 / xx 10 / xx 11	1注												
VBAT	—	01.xx	0	1	*	*	*	○	○	○	○	○	○	○		
X1	—	01 xx	0	1	*	○	○	○	○	○	○	○	○	○		
XT1	—	xx 01	1	1	*	○	○	○	*	*	*	*	*	*		
	EXCLKS	入力	xx 11	0	—	*	*	*	*	○	○	○	○	○		

注 30～36ピン製品のみ

(略)

(p.281)

表 4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例

(フラッシュ・メモリ 192 KB~768 KB の製品、フラッシュ・メモリ 128 KB の 80 ピン・100 ピン製品) (18/21)

端子名称	使用機能		CMC				PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン	
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL																
P121	P121	入力	00 xx / 10 xx / 11 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	
			xx 00 / xx 10 / xx 11	1注																
	出力	00 xx / 10 xx / 11 xx	0	0	0/1															
		xx 00 / xx 10 / xx 11	1注																	
	EI121	入力	00 xx / 10 xx / 11 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	○
			xx 00 / xx 10 / xx 11	1注																
VBAT	入力	00.xx./10.xx./1.11	0	0	0	1	*	*	○	○	○	○	○	○	○	○	○	○	○	
X1	—	01 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
XT1	—	xx 01	1	1	*	○	○	○	*	*	*	*	*	*	*	*	*	*	*	
EXCLKS	入力	xx 11	0	—	*	*	*	*	○	○	○	○	○	○	○	○	○	○	○	

注 30~36ピン製品のみ

(略)

表 4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例

(フラッシュ・メモリ 192 KB~768 KB の製品、フラッシュ・メモリ 128 KB の 80 ピン・100 ピン製品) (18/21)

端子名称	使用機能		CMC				PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン	
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL																
P121	P121	入力	00 xx / 10 xx / 11 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	
			xx 00 / xx 10 / xx 11	1注																
	出力	00 xx / 10 xx / 11 xx	0	0	0/1															
		xx 00 / xx 10 / xx 11	1注																	
	EI121	入力	00 xx / 10 xx / 11 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	○
			xx 00 / xx 10 / xx 11	1注																
VBAT	—	01 xx	0	0	1	*	×	*	○	○	○	○	○	○	○	○	○	○	○	
X1	—	01 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
XT1	—	xx 01	1	1	*	○	○	○	*	*	*	*	*	*	*	*	*	*	*	
EXCLKS	入力	xx 11	0	—	*	*	*	*	○	○	○	○	○	○	○	○	○	○	○	

注 30~36ピン製品のみ

(略)

9. 12.3.8 アナログ入力チャネル指定レジスタ (ADS) (p.588)

誤)

(略)

- 注意 7. ADISS = 1 を設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1 に設定後、1 回目の変換結果は使用できません。詳細設定フローは、12.7.5 温度センサ出力電圧／内部基準電圧を選択時の設定（例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時）を参照してください。内部基準電圧値は第 37 章 電気的特性を参照してください。
- 注意 8. STOP モードへ移行、もしくはサブシステム・クロックで CPU 動作中に HALT モードへ移行する場合は、ADISS=1 に設定しないでください。ADISS = 1 設定時は、37.3.2 電源電流特性に示す A/D コンバータ基準電圧電流 (I<sub>ADREF</sub>) の電流値が加算されます。
- 注意 9. ADISS = 1 に設定した場合、ハードウェア・トリガ・ウエイト・モードかつワンショット変換モードは使用できません。

正)

(略)

- 注意 7. ADISS = 1 を設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1 に設定後、1 回目の変換結果は使用できません。詳細設定フローは、12.7.5 温度センサ出力電圧／内部基準電圧を選択時の設定（例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時）を参照してください。内部基準電圧値は第 37 章 電気的特性を参照してください。
- 注意 8. STOP モードへ移行、もしくはサブシステム・クロックで CPU 動作中に HALT モードへ移行する場合は、ADISS=1 に設定しないでください。ADISS = 1 設定時は、37.3.2 電源電流特性に示す A/D コンバータ基準電圧電流 (I<sub>ADREF</sub>) の電流値が加算されます。
- 注意 9. ADISS = 1 に設定した場合、ハードウェア・トリガ・ウエイト・モードかつワンショット変換モードは使用できません。
- 注意 10. ADISS = 1 に設定した場合、ソフトウェア・トリガ・ウエイト・モードかつワンショット変換モードは使用できません。

### 10. 12.6.6 ソフトウェア・トリガ・ウェイト・モード（セレクト・モード、 ワンショット変換モード） (p.600)

誤)

(略)

注意 変換動作中に上記⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8)参照)

正)

(略)

- 注意 1. 変換動作中に上記⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8)参照)
- 注意 2. ソフトウェア・トリガ・ウェイト・モード（セレクト・モード、ワンショット変換モード）では、ADISS = 1 の設定（入力ソース = 温度センサ出力電圧、内部基準電圧）は使用できません。

11. 15.3.8 シリアル・ステータス・レジスタ mn (SSRmn) (p.686)

誤)

(略)

注意 1. BFFmn = 1 のときに SDRmn レジスタに書き込みをすると、格納されている送信／受信データが破壊され、オーバラン・エラー (OVFmn = 1) と検出されます。

注意 2. SNOOZE モード (SWCm = 1) で簡易 SPI (CSI) の受信動作を行う場合、OVFmn フラグは動作しません。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

正)

(略)

注意 1. BFFmn = 1 のときに SDRmn レジスタに書き込みをすると、格納されている送信／受信データが破壊され、オーバラン・エラー (OVFmn = 1) と検出されます。

注意 2. SNOOZE モード (SWCm = 1) で簡易 SPI (CSI) の受信動作を行う場合、OVFmn フラグおよび BFFmn フラグは動作しません。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

12. 15.3.13 シリアル出力レジスタ m (SOm) (p.692)

誤)

(略)

アドレス：F0168H, F0169H (SO1)

リセット時：0F0FH<sup>注</sup>

R/W属性：R/W

略号	15	14	13	12	11	10	9	8
SO1	0	0	0	0	CKO13	CKO12	CKO11	CKO10
	7	6	5	4	3	2	1	0
	0	0	0	0	SO13	SO12	SO11	SO10
CKOmn	チャンネルnのシリアル・クロック出力							
0	シリアル・クロック出力値が0							
1	シリアル・クロック出力値が1							
SOMn	チャンネルnのシリアル・データ出力							
0	シリアル・データ出力値が0							
1	シリアル・データ出力値が1							

注 30~64ピン製品は、リセット時：0303Hになります。

注意 SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。

30~64ピン製品のSO1レジスタのビット15-10, 7-2, 80~128ピン製品のSO1レジスタのビット15-12, 7-4には、必ず0を設定してください。

備考 m：ユニット番号 (m=0, 1) n：チャンネル番号 (n=0-3)

正)

(略)

アドレス：F0168H, F0169H (SO1)

リセット時：0F0FH<sup>注</sup>

R/W属性：R/W

略号	15	14	13	12	11	10	9	8
SO1	0	0	0	0	CKO13	CKO12	CKO11	CKO10
	7	6	5	4	3	2	1	0
	0	0	0	0	SO13	SO12	SO11	SO10
CKOmn	チャンネルnのシリアル・クロック出力							
0	シリアル・クロック出力値が0							
1	シリアル・クロック出力値が1							
SOMn	チャンネルnのシリアル・データ出力							
0	シリアル・データ出力値が0							
1	シリアル・データ出力値が1							

注 30~64ピン製品かつROMが128KB以下の製品は、リセット時：0303Hになります。

注意 SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。

30~64ピン製品かつROMが128KB以下の製品のSO1レジスタのビット15-10, 7-2, 80~128ピン製品のSO1レジスタのビット15-12, 7-4には、必ず0を設定してください。

備考 m：ユニット番号 (m=0, 1) n：チャンネル番号 (n=0-3)

13. 17.3.4 ボーレート・ジェネレータ (p.962)

誤)

(略)

スタート・ビット検出後はボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (• トップ・ビット) までが間に合えば正常に受信できます。  
これを11ビット受信に当てはめると理論上、次のようになります。

(• 1ビット・データ長とボーレートの関係)

$$FL = (\text{Brate})^{-1}$$

Brate : UARTのボーレート

k : BRGCAnレジスタの設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージンは1クロック

(• 許容最小データ・フレーム長 (FLmin))

$$FL_{min} = 11 \times FL - \frac{k-1}{2k} \times FL = \frac{21k+1}{2k} FL$$

• 受信可能な送信先の最大ボーレート (BRmax)

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k+1} \text{Brate}$$

• 許容最大データ・フレーム長 (FLmax)

$$FL_{max} = \frac{21k+1}{20k} FL \times 11$$

• 受信可能な送信先の最小ボーレート (BRmin)

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k-1} \text{Brate}$$

前述の最小/最大ボーレート値の算出式から求めたUARTと送信先とのボーレートの許容誤差を表17-5に示します。

表17-5 許容最大/最小ボーレート誤差

分周比 (k)	許容最大ボーレート誤差	許容最小ボーレート誤差
2	+2.32%	-2.43%
4	+3.52%	-3.61%
8	+4.14%	-4.19%
20	+4.51%	-4.53%
50	+4.66%	-4.67%
100	+4.71%	-4.71%
255	+4.74%	-4.74%

備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

備考2. k : BRGCAnレジスタの設定値

正)

(略)

スタート・ビット検出後はボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (• トップ・ビット) までが間に合えば正常に受信できます。  
これを11ビット受信に当てはめると理論上、次のようになります。

(• 1ビット・データ長とボーレートの関係)

$$FL = (\text{Brate})^{-1}$$

Brate : UARTのボーレート

k : BRGCAnレジスタの設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージンは2クロック

(• 許容最小データ・フレーム長 (FLmin))

$$k=3\sim 255\text{のとき} : FL_{min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

• 受信可能な送信先の最大ボーレート (BRmax)

$$k=2\text{のとき} : BR_{max} = \text{Brate} + \frac{1}{22k} \text{Brate}$$

$$k=3\sim 255\text{のとき} : BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k+2} \text{Brate}$$

• 許容最大データ・フレーム長 (FLmax)

$$k=3\sim 255\text{のとき} : FL_{max} = \frac{21k+2}{20k} FL \times 11$$

• 受信可能な送信先の最小ボーレート (BRmin)

$$k=2\text{のとき} : BR_{min} = \text{Brate} - \frac{1}{22k} \text{Brate}$$

$$k=3\sim 255\text{のとき} : BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k-2} \text{Brate}$$

前述の最小/最大ボーレート値の算出式から求めたUARTと送信先とのボーレートの許容誤差を表17-5に示します。

表17-5 許容最大/最小ボーレート誤差

分周比 (k)	許容最大ボーレート誤差	許容最小ボーレート誤差
2	+2.27%	-2.27%
4	+2.33%	-2.44%
8	+3.53%	-3.61%
20	+4.27%	-4.31%
50	+4.56%	-4.58%
100	+4.66%	-4.67%
255	+4.72%	-4.73%

備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

備考2. k : BRGCAnレジスタの設定値

### 14. 19.4.3 リピート・モード (p.1044, p.1045)

誤)

(p.1044)

(略)

- (1) リピート・モードの使用例 1：ポートを使ったステップング・モータ制御パルス出力タイマ・アレイ・ユニット 0 のチャンネル 0 のインターバル・タイマ機能を使って DTC を起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパタンを汎用ポートに転送します。
- ベクタ・アドレスは **FFC14H**、コントロール・データは FFCD0H-FFCD7H に配置
  - コード・フラッシュ・メモリの 02000H-02007H の 8 バイト・データをミラー領域 F2000H-F2007H からポート・レジスタ 1 (FFF01H) へ転送
  - リピート・モード割り込みは禁止

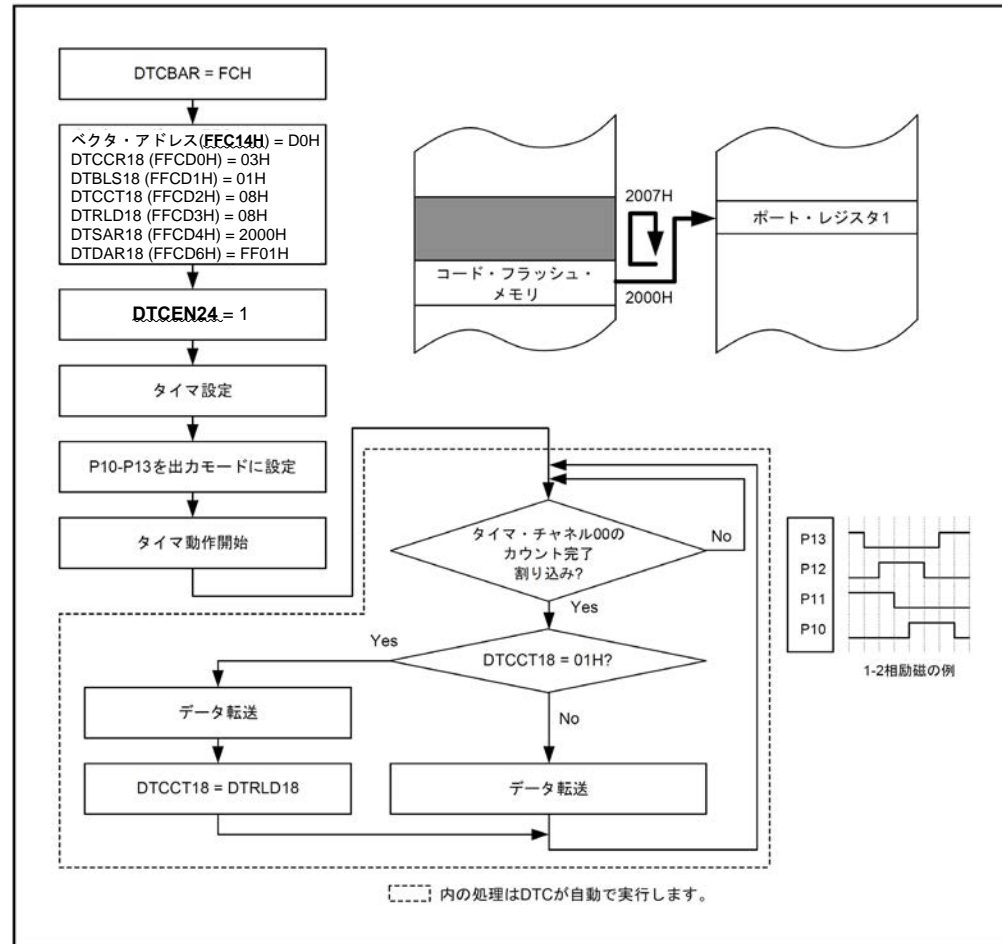
正)

(略)

- (1) リピート・モードの使用例 1：ポートを使ったステップング・モータ制御パルス出力タイマ・アレイ・ユニット 0 のチャンネル 0 のインターバル・タイマ機能を使って DTC を起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパタンを汎用ポートに転送します。
- ベクタ・アドレスは **FFC17H**、コントロール・データは FFCD0H-FFCD7H に配置
  - コード・フラッシュ・メモリの 02000H-02007H の 8 バイト・データをミラー領域 F2000H-F2007H からポート・レジスタ 1 (FFF01H) へ転送
  - リピート・モード割り込みは禁止

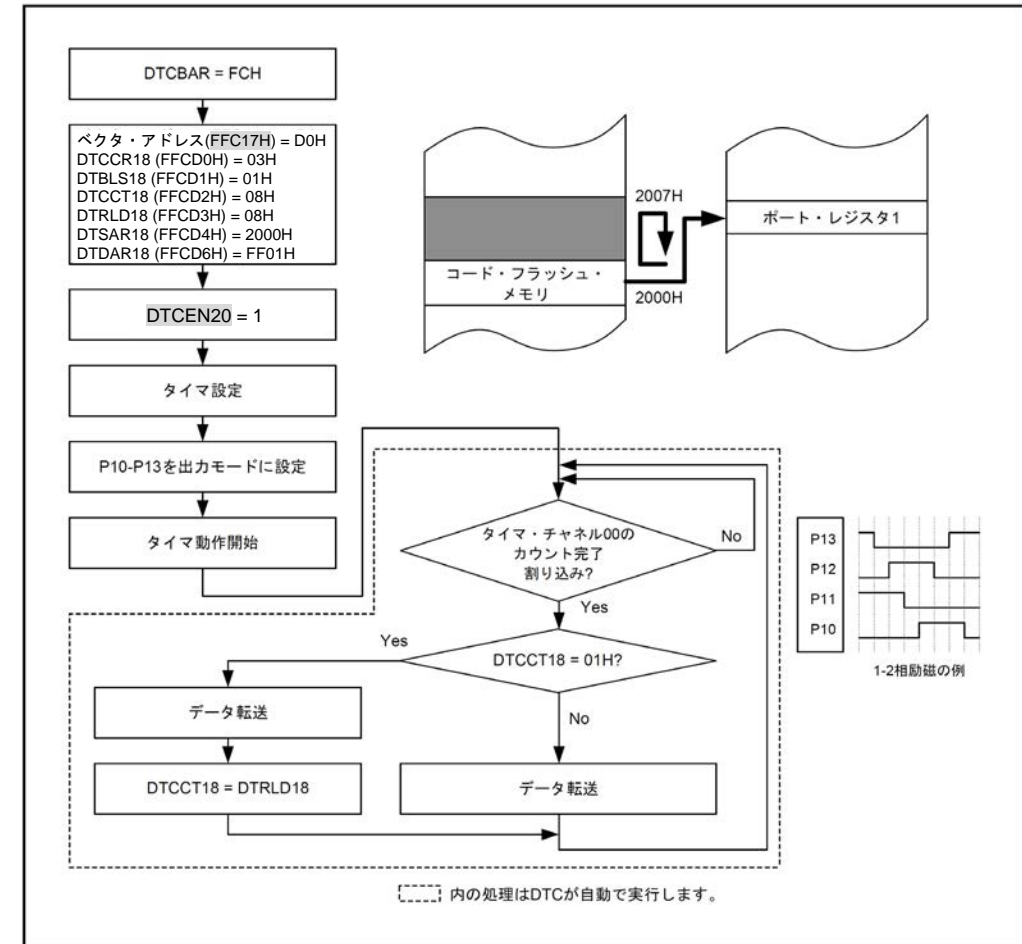
(p.1044)

図 19 - 19 リピート・モードの使用例 1：ポートを使ったステッピング・モータ制御パルス出力



出力を停止する場合は、タイマを停止してから、**DTCEN24**をクリアしてください。

図 19 - 19 リピート・モードの使用例 1：ポートを使ったステッピング・モータ制御パルス出力



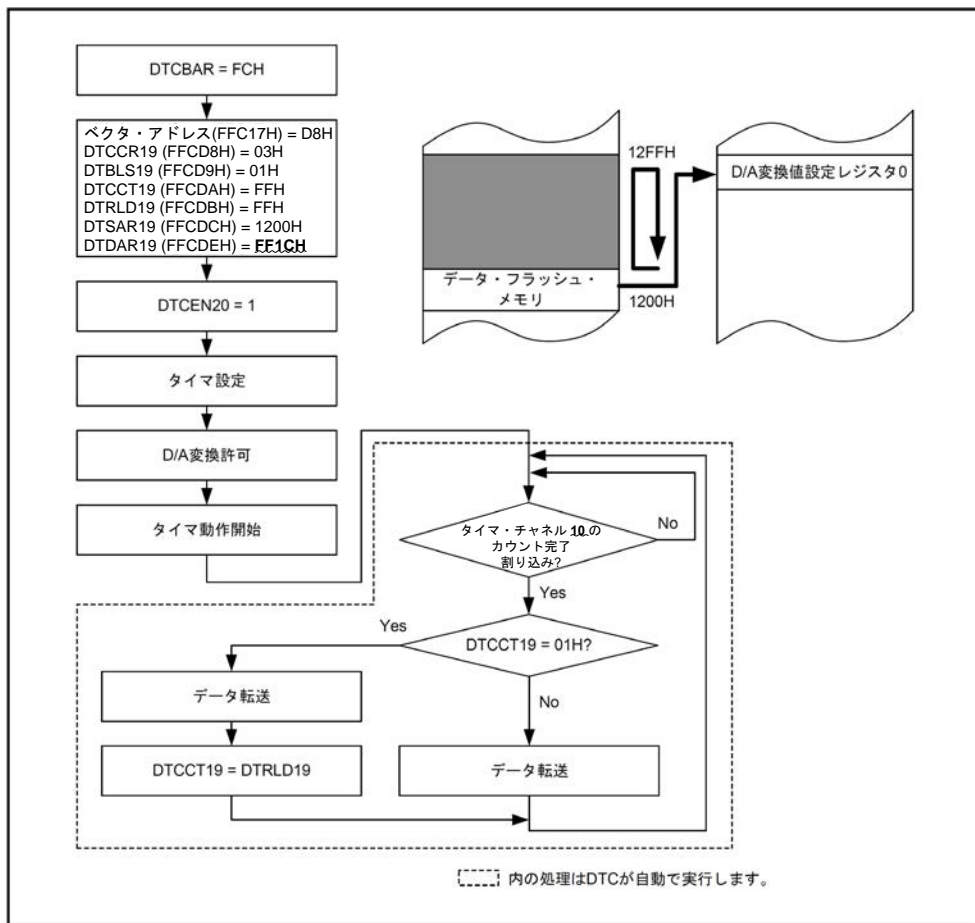
出力を停止する場合は、タイマを停止してから、**DTCEN20**をクリアしてください。

(p.1045)

- (2) リポート・モードの使用例 2：8 ビット D/A コンバータを使ったサイン波出力  
 タイマ・アレイ・ユニット 1 のチャンネル 0 のインターバル・タイマ機能を使って割り込みで DTC を起動し、データ・フラッシュ・メモリに格納されたサイン波のテーブルを 8 ビットの D/A 変換値設定レジスタ 0 (F0330H) に転送します。

(略)

図 19-20 リポート・モードの使用例 2：8 ビット D/A コンバータを使ったサイン波出力

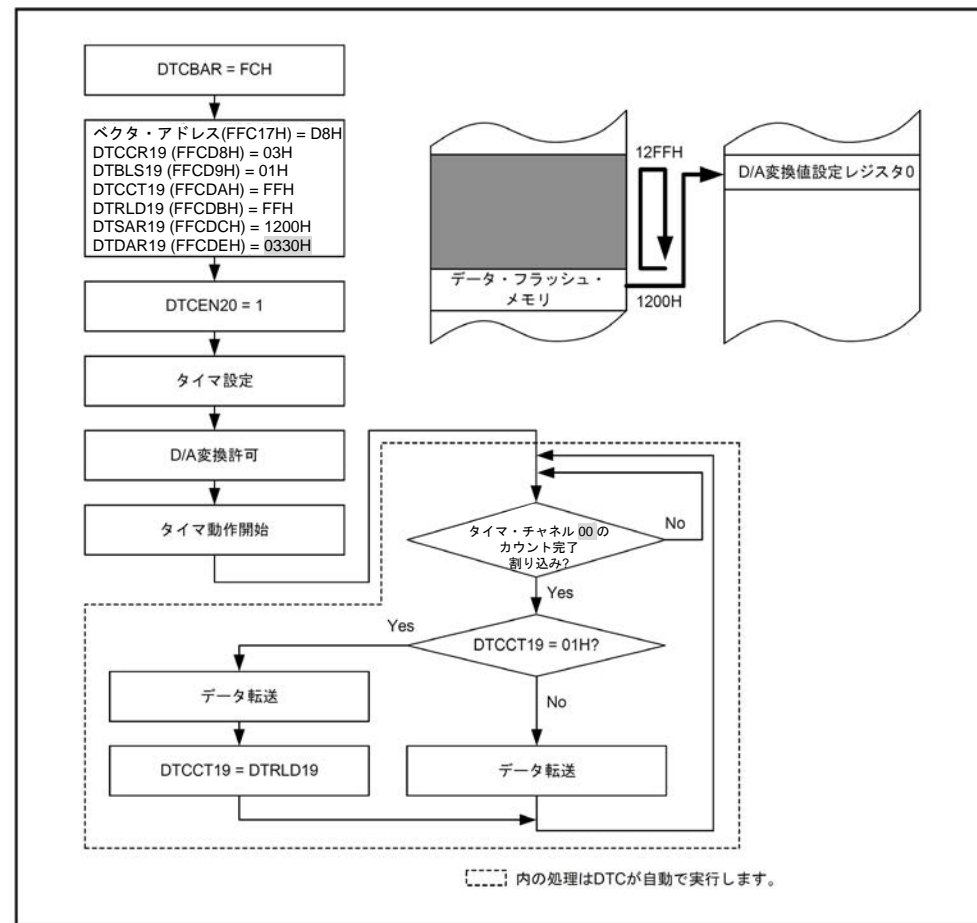


(略)

- (2) リポート・モードの使用例 2：8 ビット D/A コンバータを使ったサイン波出力  
 タイマ・アレイ・ユニット 0 のチャンネル 0 のインターバル・タイマ機能を使って割り込みで DTC を起動し、データ・フラッシュ・メモリに格納されたサイン波のテーブルを 8 ビットの D/A 変換値設定レジスタ 0 (F0330H) に転送します。

(略)

図 19-20 リポート・モードの使用例 2：8 ビット D/A コンバータを使ったサイン波出力



(略)

15. 37.2.3 オンチップ・オシレータ特性 (p.1422)

誤)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
高速オンチップ・オシレータ・クロック周波数	f <sub>H</sub>		1		32	MHz

中速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	f <sub>M</sub>		1		4	MHz
中速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>			-12		+12	%
中速オンチップ・オシレータ・クロック補正分解能				0.15		%
中速オンチップ・オシレータ周波数温度係数					±0.17 注4	%/°C
低速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	f <sub>L</sub>			32.768		kHz
低速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>			-15		+15	%
低速オンチップ・オシレータ・クロック補正分解能				0.3		%
低速オンチップ・オシレータ周波数温度係数					±0.21 注4	%/°C

注 1. テスト時の精度です。

注 2. FRQSEL3 = 1 に設定時

注 3. 発振回路の特性だけを示すものです。命令実行時間は、AC 特性を参照してください。

注 4. 評価による値です。

正)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
高速オンチップ・オシレータ・クロック周波数	f <sub>H</sub>		1		32	MHz

中速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	f <sub>M</sub>		1		4	MHz
中速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>			-12		+12	%
中速オンチップ・オシレータ・クロック補正分解能				0.15		%
中速オンチップ・オシレータ周波数温度係数					±0.17 注4	%/°C
低速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	f <sub>L</sub>			32.768		kHz
低速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>			-15		+15	%
低速オンチップ・オシレータ・クロック補正分解能				0.3		%
低速オンチップ・オシレータ周波数温度係数					±0.21 注4	%/°C

注 1. テスト時の精度です。

注 2. FRQSEL3 = 1 に設定時

注 3. 発振回路の特性だけを示すものです。命令実行時間は、AC 特性を参照してください。

注 4. この値は特性評価結果による値であり、出荷検査は行っていません。

16. 37.3.1 端子特性 (p.1426)

誤)

(略)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (3/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0.8 EVDD0		EVDD0	V
			TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	2.2		EVDD0	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	2.0		EVDD0	V
	VIH2	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	1.5		EVDD0	V
			VIH3	P20-P27, P150-P156	0.7 VDD	VDD	V
			VIH4	P60-P63	0.7 EVDD0	6.0	V
VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET	0.8 VDD	VDD	V			
ロウ・レベル入力電圧	VIL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0		0.2 EVDD0	V
			TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	0		0.5	V
	VIL2	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	0		0.32	V
			VIL3	P20-P27, P150-P156	0	0.3 VDD	V
			VIL4	P60-P63	0	0.3 EVDD0	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, RESET	0	0.2 VDD	V		

(略)

正)

(略)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (3/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0.8 EVDD0		EVDD0	V
			TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	2.2		EVDD0	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	2.0		EVDD0	V
	VIH2	P01, P03, P04, P10, P11, P13-P17, P41, P43, P44, P53-P55, P71, P80, P81, P142, P143	TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	1.5		EVDD0	V
			VIH3	P20-P27, P150-P156	0.7 VDD	VDD	V
			VIH4	P60-P63	0.7 EVDD0	6.0	V
VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET	0.8 VDD	VDD	V			
ロウ・レベル入力電圧	VIL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0		0.2 EVDD0	V
			TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	0		0.5	V
	VIL2	P01, P03, P04, P10, P11, P13-P17, P41, P43, P44, P53-P55, P71, P80, P81, P142, P143	TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	0		0.32	V
			VIL3	P20-P27, P150-P156	0	0.3 VDD	V
			VIL4	P60-P63	0	0.3 EVDD0	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, RESET	0	0.2 VDD	V		

(略)

17. 37.3.2 電源電流特性 (p.1431, p.1434, p.1437, p.1440, p.1444, p.1447)

誤)

(p.1431)

(1) 30～64ピン製品のフラッシュ ROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流注1	IDD1	動作モード	HS (高速メイン)モード	f <sub>H</sub> = 32 MHz注2	基本動作	VDD = 5.0 V	1.3	—	mA
						VDD = 1.8 V	1.3	—	
					通常動作	VDD = 5.0 V	3.0	5.0	mA
						VDD = 1.8 V	3.0	5.0	
				f <sub>MX</sub> = 8 MHz注4, 発振子接続	通常動作	VDD = 5.0 V	0.9	1.4	mA
						VDD = 1.8 V	0.8	1.4	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0 または VSS, EVSS0 に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/D コンバータ、LVD 回路、I/O ポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

正)

(1) 30～64ピン製品のフラッシュ ROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流注1	IDD1	動作モード	HS (高速メイン)モード	f <sub>H</sub> = 32 MHz注2	基本動作	VDD = 5.0 V	1.3	—	mA
						VDD = 1.8 V	1.3	—	
					通常動作	VDD = 5.0 V	3.0	5.0	mA
						VDD = 1.8 V	3.0	5.0	
				f <sub>MX</sub> = 8 MHz注4, 発振子接続	通常動作	VDD = 5.0 V	0.9	1.4	mA
						VDD = 1.8 V	0.8	1.4	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0 または VSS, EVSS0 に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値には PCLBUZ, TAU, SAU, IICA 機能の動作電流を含みます。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(p.1431)

(1) 30～64ピン製品のフラッシュ ROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD2 <sup>注2</sup>	HALTモード	HS (高速メイン)モード	fIH = 32 MHz <sup>注3</sup>	VDD = 5.0 V		0.54	1.93	mA
					VDD = 1.8 V		0.53	1.92	

				fMX = 8 MHz <sup>注5</sup> , 発振子接続	VDD = 5.0 V		0.21	0.58	mA
					VDD = 1.8 V		0.20	0.57	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0または VSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 2. フラッシュ・メモリでの HALT 命令実行時。

注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(1) 30～64ピン製品のフラッシュ ROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD2 <sup>注2</sup>	HALTモード	HS (高速メイン)モード	fIH = 32 MHz <sup>注3</sup>	VDD = 5.0 V		0.54	1.93	mA
					VDD = 1.8 V		0.53	1.92	

				fMX = 8 MHz <sup>注5</sup> , 発振子接続	VDD = 5.0 V		0.21	0.58	mA
					VDD = 1.8 V		0.20	0.57	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0または VSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値には PCLBUZ, TAU, SAU, IICA 機能の動作電流を含みます。

注 2. フラッシュ・メモリでの HALT 命令実行時。

注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(p.1437)

(2) 30～64ピン製品のフラッシュROM192～256 KBの製品および80ピン製品のフラッシュROM128～256 KBの製品

(2) 30～64ピン製品のフラッシュROM192～256 KBの製品および80ピン製品のフラッシュROM128～256 KBの製品

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/4)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/4)

項目	略号	条件				Min.	Typ.	Max.	単位	
電源電流注1	IDD1	動作モード	HS (高速メイン)モード	fIH = 32 MHz注2	基本動作	VDD = 5.0 V	1.4	—	mA	
						VDD = 1.8 V	1.4	—		
						通常動作	VDD = 5.0 V	3.0	5.0	mA
							VDD = 1.8 V	3.0	5.0	

項目	略号	条件				Min.	Typ.	Max.	単位	
電源電流注1	IDD1	動作モード	HS (高速メイン)モード	fIH = 32 MHz注2	基本動作	VDD = 5.0 V	1.4	—	mA	
						VDD = 1.8 V	1.4	—		
						通常動作	VDD = 5.0 V	3.0	5.0	mA
							VDD = 1.8 V	3.0	5.0	

				fMX = 8 MHz注4、 発振子接続	通常動作	VDD = 5.0 V	0.9	1.4	mA
						VDD = 1.8 V	0.8	1.4	

				fMX = 8 MHz注4、 発振子接続	通常動作	VDD = 5.0 V	0.9	1.4	mA
						VDD = 1.8 V	0.8	1.4	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0 または VSS, EVSS0 に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/D コンバータ、LVD 回路、I/O ポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0 または VSS, EVSS0 に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値には PCLBUZ, TAU, SAU, IICA 機能の動作電流を含みます。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(略)

(p.1440)

(2) 30～64ピン製品のフラッシュ ROM192～256 KBの製品および80ピン製品のフラッシュ ROM128～256 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (3/4)

項目	略号	条件			Min.	Typ.	Max.	単位
電源電流注1	IDD2注2	HALTモード	HS (高速メイン)モード	fIH = 32 MHz注3	VDD = 5.0 V	0.57	1.97	mA
					VDD = 1.8 V	0.56	1.96	

				fMX = 8 MHz注5、 発振子接続	VDD = 5.0 V	0.21	0.58	mA
					VDD = 1.8 V	0.20	0.57	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0 または VSS, EVSS0 に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ. 値は周辺動作電流を含みません。Max. 値は周辺動作電流を含みます。ただし、A/D コンバータ、LVD 回路、I/O ポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 2. フラッシュ・メモリでの HALT 命令実行時。

注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(2) 30～64ピン製品のフラッシュ ROM192～256 KBの製品および80ピン製品のフラッシュ ROM128～256 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (3/4)

項目	略号	条件			Min.	Typ.	Max.	単位
電源電流注1	IDD2注2	HALTモード	HS (高速メイン)モード	fIH = 32 MHz注3	VDD = 5.0 V	0.57	1.97	mA
					VDD = 1.8 V	0.56	1.96	

				fMX = 8 MHz注5、 発振子接続	VDD = 5.0 V	0.21	0.58	mA
					VDD = 1.8 V	0.20	0.57	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0 または VSS, EVSS0 に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ. 値は周辺動作電流を含みません。Max. 値には PCLBUZ, TAU, SAU, IICA 機能の動作電流を含みます。

注 2. フラッシュ・メモリでの HALT 命令実行時。

注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(p.1444)

(3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (1/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD1	動作モード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注2</sup>	基本動作	VDD = 5.0 V	1.6	—	mA
						VDD = 1.8 V	1.5	—	
					通常動作	VDD = 5.0 V	3.5	5.6	mA
						VDD = 1.8 V	3.5	5.6	
				f <sub>IMX</sub> = 8 MHz <sup>注4</sup> 、 発振子接続	通常動作	VDD = 5.0 V	1.0	1.6	mA
						VDD = 1.8 V	1.0	1.6	

注 1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子を VDD, EVDD0, EVDD1 または VSS, EVSS0, EVSS1 に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ. 値は周辺動作電流を含みません。Max. 値は周辺動作電流を含みます。ただし、A/D コンバータ、LVD 回路、I/O ポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (1/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD1	動作モード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注2</sup>	基本動作	VDD = 5.0 V	1.6	—	mA
						VDD = 1.8 V	1.5	—	
					通常動作	VDD = 5.0 V	3.5	5.6	mA
						VDD = 1.8 V	3.5	5.6	
				f <sub>IMX</sub> = 8 MHz <sup>注4</sup> 、 発振子接続	通常動作	VDD = 5.0 V	1.0	1.6	mA
						VDD = 1.8 V	1.0	1.6	

注 1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子を VDD, EVDD0, EVDD1 または VSS, EVSS0, EVSS1 に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ. 値は周辺動作電流を含みません。Max. 値には PCLBUZ, TAU, SAU, IICA 機能の動作電流を含みます。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(p.1447)

(3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (3/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流注1	IDD2注2	HALTモード	HS (高速メイン)モード	fIH = 32 MHz注3	VDD = 5.0 V	0.60	2.00	mA	
					VDD = 1.8 V	0.59	1.99		
				fMX = 8 MHz注5、 発振子接続	VDD = 5.0 V	0.22	0.59	mA	
					VDD = 1.8 V	0.21	0.58		

注 1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ/ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 2. フラッシュ・メモリでのHALT命令実行時。

注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (3/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流注1	IDD2注2	HALTモード	HS (高速メイン)モード	fIH = 32 MHz注3	VDD = 5.0 V	0.60	2.00	mA	
					VDD = 1.8 V	0.59	1.99		
				fMX = 8 MHz注5、 発振子接続	VDD = 5.0 V	0.22	0.59	mA	
					VDD = 1.8 V	0.21	0.58		

注 1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値にはPCLBUZ, TAU, SAU, IICA機能の動作電流を含みます。

注 2. フラッシュ・メモリでのHALT命令実行時。

注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

18. 37.6.1 A/D コンバータ特性 (p.1493, p.1494)

誤)

(p.1493)

(TA = -40 ~ +105°C, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V,

基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1)、基準電圧 (-) = AVREFM (ADREFM = 1)、

変換対象：ANI2-ANI14、内部基準電圧、温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		32	MHz
総合誤差注1, 2, 3, 4	AINL	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±7.5	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±9.0	LSB	
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±9.0	LSB	
変換時間注5	tCONV	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	2.0		µs
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V	2.0		µs	
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V	2.0		µs	
ゼロスケール誤差注1, 2, 3, 4, 6	EzS	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR	
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR	
フルスケール誤差注1, 2, 3, 4, 6	EFS	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR	
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR	
積分直線性誤差注1, 3, 4	ILE	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±3.0	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±3.0	LSB	
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±3.0	LSB	
微分直線性誤差注1	DLE	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	±1.0		LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V	±1.0		LSB	
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V	±1.0		LSB	
アナログ入力電圧	VAIN		0		AVREFP	V

注 1. 量子化誤差 (±1/2 LSB) を含みません。

注 2. 変換対象に ANI16-31 を選択した場合、Max.値は次のようになります。

総合誤差 : Max.値に±3 LSB を加算してください

ゼロスケール誤差/フルスケール誤差 : Max.値に±0.04 %FSR を加算してください

(略)

正)

(TA = -40 ~ +105°C, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V,

基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1)、基準電圧 (-) = AVREFM (ADREFM = 1)、

変換対象：ANI2-ANI14、内部基準電圧、温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		32	MHz
総合誤差注1, 2, 3, 4	AINL	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±7.5	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±9.0	LSB	
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±9.0	LSB	
変換時間注5	tCONV	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	2.0		µs
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V	2.0		µs	
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V	2.0		µs	
ゼロスケール誤差注1, 2, 3, 4, 6	EzS	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR	
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR	
フルスケール誤差注1, 2, 3, 4, 6	EFS	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR	
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR	
積分直線性誤差注1, 3, 4	ILE	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±3.0	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±3.0	LSB	
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±3.0	LSB	
微分直線性誤差注1	DLE	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	±1.0		LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V	±1.0		LSB	
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V	±1.0		LSB	
アナログ入力電圧	VAIN		0		AVREFP	V

注 1. 量子化誤差 (±1/2 LSB) を含みません。

注 2. 変換対象に ANI16-26, CTSU TSCAP 電圧を選択した場合、Max.値は次のようになります。

総合誤差 : Max.値に±3 LSB を加算してください

ゼロスケール誤差/フルスケール誤差 : Max.値に±0.04 %FSR を加算してください

(略)

(p.1494)

(2) 低電圧モード 1, 2

(TA = -40 ~ +105°C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V,  
 基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM (ADREFM = 1),  
 変換対象：ANI2-ANI14, 内部基準電圧注1, 温度センサ出力電圧注1)

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		12	bit
変換クロック	fAD			1		24	MHz
総合誤差注2, 3, 4, 5	AINL	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9	LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±9	LSB
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±11.5	LSB
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±12.0	LSB
変換時間注6	tCONV	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V	3.33			µs
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V	5.0			µs
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V	10.0			µs
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V	20.0			µs
ゼロスケール誤差注2, 3, 4, 5, 7	EzS	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR
フルスケール誤差注2, 3, 4, 5, 7	EFS	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR

項目	略号	条件	Min.	Typ.	Max.	単位
アナログ入力電圧	VAIN		0		AVREFP	V

注 1. 内部基準電圧、温度センサ出力電圧を変換対象にする場合は、1.8 V ≤ VDD で使用してください。

注 2. 量子化誤差 (±1/2 LSB) を含みません。

注 3. 変換対象に ANI16-31 を選択した場合、Max.値は次のようになります。

総合誤差 : Max.値に±3 LSB を加算してください

ゼロスケール誤差／フルスケール誤差 : Max.値に±0.04 %FSR を加算してください

(略)

(2) 低電圧モード 1, 2

(TA = -40 ~ +105°C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V,  
 基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM (ADREFM = 1),  
 変換対象：ANI2-ANI14, 内部基準電圧注1, 温度センサ出力電圧注1)

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		12	bit
変換クロック	fAD			1		24	MHz
総合誤差注2, 3, 4, 5	AINL	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9	LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±9	LSB
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±11.5	LSB
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±12.0	LSB
変換時間注6	tCONV	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V	3.33			µs
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V	5.0			µs
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V	10.0			µs
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V	20.0			µs
ゼロスケール誤差注2, 3, 4, 5, 7	EzS	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR
フルスケール誤差注2, 3, 4, 5, 7	EFS	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR

項目	略号	条件	Min.	Typ.	Max.	単位
アナログ入力電圧	VAIN		0		AVREFP	V

注 1. 内部基準電圧、温度センサ出力電圧、CTSU TSCAP 電圧を変換対象にする場合は、1.8 V ≤ VDD で使用してください。

注 2. 量子化誤差 (±1/2 LSB) を含みません。

注 3. 変換対象に ANI16-26, CTSU TSCAP 電圧を選択した場合、Max.値は次のようになります。

総合誤差 : Max.値に±3 LSB を加算してください

ゼロスケール誤差／フルスケール誤差 : Max.値に±0.04 %FSR を加算してください

(略)

19. 23.3 スタンバイ機能の動作 (p.1146, p.1148, p.1159)

誤)

(p.1146)

表 23-1 HALT モード時の動作状態 (1) (2/2)

項目	HALT モードの設定	メイン・システム・クロックでCPU 動作中のHALT 命令実行時			
		高速オンチップ・オシレータ・クロック (f <sub>IH</sub> ) でCPU 動作時	中速オンチップ・オシレータ・クロック (f <sub>IM</sub> ) でCPU 動作時	X1クロック (f <sub>X</sub> ) でCPU 動作時	外部メイン・システム・クロック (f <sub>EX</sub> ) でCPU 動作時
クロック出力/プザー出力		動作可能			
A/D コンバータ		動作可能			

パワーオン・リセット機能	動作可能	
電圧検出機能	動作可能	
外部割り込み	動作可能	
キー割り込み機能	動作可能	
静電容量センサユニット (CTS2L)	動作可能	
CRC 演算機能	高速CRC	RAM 領域の演算で、DTC、SMS 実行時は動作可能
	汎用CRC	
不正メモリ・アクセス検出機能	DTC、SMS 実行時は動作可能	
RAMパリティ・エラー検出機能	動作可能	
RAMガード機能	動作可能	
SFR ガード機能	動作可能	
真性乱数発生器	動作可能	

(略)

正)

表 23-1 HALT モード時の動作状態 (CPU クロックがメイン・システム・クロックの場合) (2/2)

項目	HALT モードの設定	メイン・システム・クロックでCPU 動作中のHALT 命令実行時			
		高速オンチップ・オシレータ・クロック (f <sub>IH</sub> ) でCPU 動作時	中速オンチップ・オシレータ・クロック (f <sub>IM</sub> ) でCPU 動作時	X1クロック (f <sub>X</sub> ) でCPU 動作時	外部メイン・システム・クロック (f <sub>EX</sub> ) でCPU 動作時
クロック出力/プザー出力		動作可能			
A/D コンバータ		動作可能			

パワーオン・リセット機能	動作可能	
電圧検出機能	動作可能	
外部割り込み	動作可能	
キー割り込み機能	動作可能	
静電容量センサユニット (CTS2L)	動作可能	
CRC 演算機能	高速CRC	RAM 領域の演算で、DTC、SMS 実行時は動作可能
	汎用CRC	
不正メモリ・アクセス検出機能	DTC、SMS 実行時は動作可能	
RAMパリティ・エラー検出機能	動作可能	
RAMガード機能	動作可能	
SFR ガード機能	動作可能	
真性乱数発生器	動作可能	

注 静電容量センサユニット (CTS2L) の計測精度は、動作クロックの精度に依存します。CTS2L を使用する場合は、CPU/周辺ハードウェア・クロック (f<sub>CLK</sub>) として、高速オンチップ・オシレータ・クロック (f<sub>IH</sub>) または高速システム・クロック (f<sub>MX</sub>) を選択することを推奨します。

(略)

(p.1148)

表 23-2 HALT モード時の動作状態 (2) (2/2)

項目	HALTモードの設定	サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック (fXT) でCPU動作時	外部サブシステム・クロック (fExs) でCPU動作時	低速オンチップ・オシレータ・クロック (fIL) でCPU動作時
パワーオン・リセット機能		動作可能		
電圧検出機能		動作可能		
外部割り込み		動作可能		
キー割り込み機能		動作可能		
静電容量センサユニット (CTS2L)		RTCLPC=0のときは動作可能 (それ以外は動作禁止)		動作可能
CRC演算機能	高速CRC	動作禁止		
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能		
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能		
RAMパリティ・チェック機能		動作可能		
RAMガード機能		動作可能		
SFRガード機能		動作可能		
真性乱数発生器		動作可能		

(略)

(p.1159)

表 23-4 SNOOZE モード時の動作状態 (2/2)

項目	STOPモードの設定	STOPモード中にSNOOZEモードに移行可能な要因発生時	
		高速オンチップ・オシレータ・クロック (fIH) でCPU動作時	中速オンチップ・オシレータ・クロック (fIM) でCPU動作時
静電容量センサユニット (CTS2L)		動作可能	
CRC演算機能	高速CRC	動作停止	
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能	
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能	
RAMパリティ・エラー検出機能		動作可能	
RAMガード機能		動作可能	
SFRガード機能		動作可能	
真性乱数発生器		動作可能	

(略)

表 23-2 HALT モード時の動作状態 (CPUクロックがサブシステム・クロックの場合) (2/2)

項目	HALTモードの設定	サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック (fXT) でCPU動作時	外部サブシステム・クロック (fExs) でCPU動作時	低速オンチップ・オシレータ・クロック (fIL) でCPU動作時
パワーオン・リセット機能		動作可能		
電圧検出機能		動作可能		
外部割り込み		動作可能		
キー割り込み機能		動作可能		
静電容量センサユニット (CTS2L)		動作禁止		
CRC演算機能	高速CRC	動作禁止		
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能		
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能		
RAMパリティ・チェック機能		動作可能		
RAMガード機能		動作可能		
SFRガード機能		動作可能		
真性乱数発生器		動作可能		

(略)

表 23-4 SNOOZE モード時の動作状態 (2/2)

項目	STOPモードの設定	STOPモード中にSNOOZEモードに移行可能な要因発生時	
		高速オンチップ・オシレータ・クロック (fIH) でCPU動作時	中速オンチップ・オシレータ・クロック (fIM) でCPU動作時
静電容量センサユニット (CTS2L) <sup>注</sup>		動作可能	
CRC演算機能	高速CRC	動作停止	
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能	
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能	
RAMパリティ・エラー検出機能		動作可能	
RAMガード機能		動作可能	
SFRガード機能		動作可能	
真性乱数発生器		動作可能	

注 静電容量センサユニット (CTS2L) の計測精度は、動作クロックの精度に依存します。CTS2Lを使用する場合は、CPU/周辺ハードウェア・クロック (fCLK) として、高速オンチップ・オシレータ・クロック (fIH) または高速システム・クロック (fMX) を選択することを推奨します。

(略)

20. 表 30 - 1 CTSU の機能概要 (p.1274)

誤)

表 30 - 1 CTSU の機能概要

項目		構成
動作電圧		VDD = 1.8 ~ 5.5 V
動作クロック		fCLK, fCLK/2, fCLK/4, fCLK/8
端子	静電容量計測	TSm (m = 00-15, 20-35) <b>Max.</b> 32チャンネル
	計測用2次電源コンデンサ接続端子	TSCAP (10 nF) 10 nFのコンデンサを接続することを推奨
計測モード	自己容量計測モード	自己容量方式の電極に対する充放電電流から計測
	相互容量計測モード	相互容量方式の送信・受信電極間の容量に対する充放電電流から計測
	電流計測モード	測定端子から流れる電流を計測
キャリブレーションモード		計測用電流制御発振器の特性補正機能
ノイズ対策		<b>同期系ノイズ対策、高域ノイズ対策</b> 、複数周波数計測による多数決判
端子ごとの調整		オフセット電流調整機能 センサドライブパルス周波数指定 計測時間指定
計測開始条件		ソフトウェアトリガ 外部トリガ ( <b>ELCL</b> )
低電力機能		SNOOZEモード機能対応
各種割り込み要求	DTC 起動要因 / <b>割り込み要求</b>	チャンネルごとの設定レジスタ書き込み要求 計測データ転送要求
	割り込み要因	<b>計測終了割り込み</b>
相互容量方式送信電源切り替え		<b>相互容量方式送信時の電源を切り替え可能</b>

正)

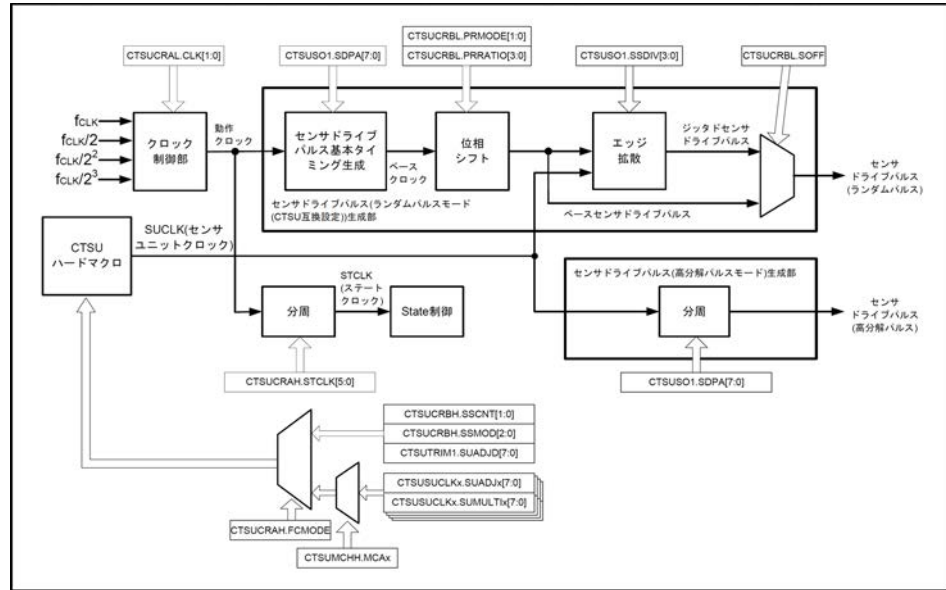
表 30 - 1 CTSU の機能概要

項目		構成
モジュール型名		CTSU2L
動作電圧		VDD = 1.8 ~ 5.5 V
動作クロック		fCLK (1 MHz ~), fCLK/2, fCLK/4, fCLK/8
端子	静電容量計測	TSm (m = 00-15, 20-35)、 <b>最大32チャンネル</b>
	計測用2次電源コンデンサ接続端子	TSCAP (10 nF) 10 nFのコンデンサを接続することを推奨
計測モード	自己容量計測モード	自己容量方式の電極に対する充放電電流から計測
	相互容量計測モード	相互容量方式の送信・受信電極間の容量に対する充放電電流から計測
	電流計測モード	計測端子に流れる電流を計測
キャリブレーションモード		計測用電流制御発振器の特性補正機能
ノイズ対策		<ul style="list-style-type: none"> <li>センサドライブパルスのスペクトラム拡散機能</li> <li>センサドライブパルスのランダム位相シフト機能</li> <li>複数周波数計測による多数決判定</li> </ul>
端子ごとの調整		<ul style="list-style-type: none"> <li>オフセット電流調整機能</li> <li>センサドライブパルス周波数指定</li> <li>計測時間指定</li> </ul>
計測開始条件		<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>外部トリガ (<b>ELCLからのイベント入力</b>)</li> </ul>
低電力機能		SNOOZEモード機能対応
各種要求出力	DTC 起動要因	<ul style="list-style-type: none"> <li>チャンネルごとの設定レジスタ書き込み要求</li> <li>計測データ転送要求</li> </ul>
	割り込み要因	<ul style="list-style-type: none"> <li>チャンネルごとの設定レジスタ書き込み要求割り込み (INTCTSUWR)</li> <li>計測データ転送要求割り込み (INTCTSURD)</li> <li>計測終了割り込み (INTCTSUFN)</li> </ul>
相互容量方式送信電源切り替え		<b>送信時の端子の電源を切り替え可能</b>

注 静電容量センサユニット (CTSU2L) の計測精度は、動作クロックの精度に依存します。CTSU2L を使用する場合は、CPU/周辺ハードウェア・クロック (fCLK) として、高速オンチップ・オシレータ・クロック (fIH) または高速システム・クロック (fMX) を選択することを推奨します。また、CPU/周辺ハードウェア・クロック (fCLK) にサブシステム・クロック (fSUB) を選択しないでください。

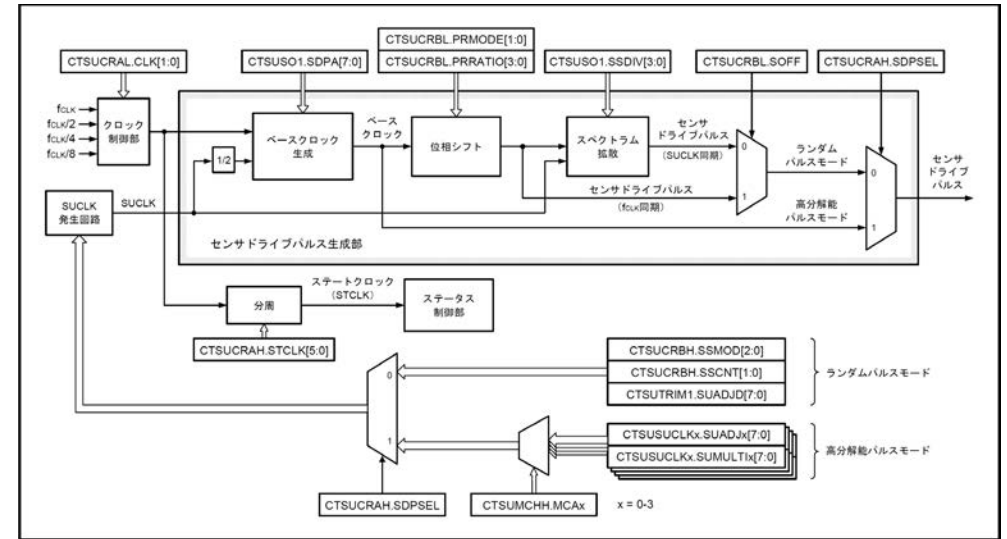
21. 図 30 - 4 センサドライバパルス出力のクロック構成 (p.1275)

誤)



正)

全面変更



22. 30.1.2 計測ステータス (新規追加)

誤)

該当なし

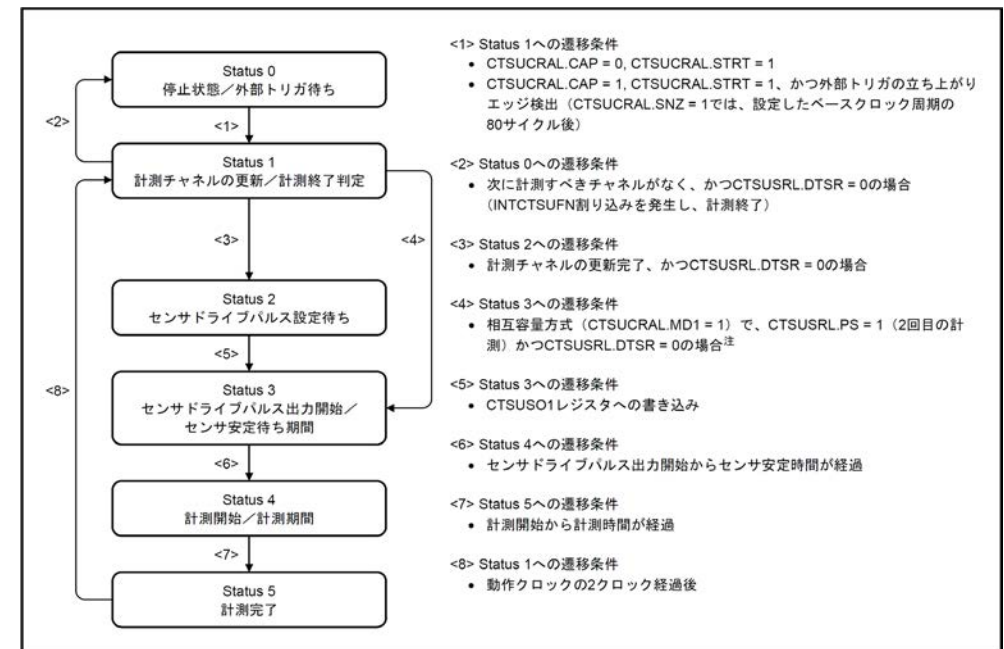
正)

30.1.2 計測ステータス

CTSU は、ステートコントローラを内蔵しています。計測ステータスはすべての計測方式で共通です。計測ステータスカウンタは、現在の計測ステータスを示し、CTSUSRL.STC[2:0] ビットで読み取ることができます。

図 30 - 5 に、計測ステータスの状態遷移図を示します。

図 30 - 5 計測ステータスの状態遷移図



注 CTSUSRL.DTSR = 1 の場合は、前回の計測結果の読み出し待ちとなります。

指定されたチャンネルの計測が完了すると、計測ステータスは Status 0 に遷移します。

CTSUCRAL.STRT ビットは、ソフトウェアトリガを使用する場合、ハードウェアによって 0 になります。外部トリガを使用する場合、STRT ビットは 1 を保持し、CTSUCRAL.INIT ビットは次のトリガを待ちます。

計測中またはトリガ待ち状態において、強制動作停止（STRT ビットへの 0 と、CTSUCRAL.INIT ビットへの 1 の同時書き込み）が発生すると、計測ステータスが Status 0 に遷移し、計測が停止されます。

CTSUCRAL.CHL, CTSUCRAL.HH, CTSUCRAL.CAL, CTSUCRAL.CAH, CTSUCRAL.CBL, CTSUCRAL.CAL, CTSUCRAL.CAH,

CTSUCRAL.CBL レジスタに計測対象チャンネルが設定されていない場合は、Status 1 に遷移した直後に計測終了割り込み（INTCTSUFN）が発生し、計測ステータスが Status 0 に遷移します。

計測するチャンネルが無い場合は、次のとおりです。

- CTSUCRAL.CAL, CTSUCRAL.CAH, CTSUCRAL.CBL レジスタで計測対象チャンネルを指定していない場合
- シングルスキャンモードで、CTSUCRAL.CHL, CTSUCRAL.HH レジスタに指定したチャンネルが、CTSUCRAL.CAL, CTSUCRAL.CAH, CTSUCRAL.CBL レジスタの計測対象チャンネルではない場合
- 自己容量方式の場合、CTSUCRAL.CAL, CTSUCRAL.CAH, CTSUCRAL.CBL レジスタと CTSUCRAL.CAL, CTSUCRAL.CAH, CTSUCRAL.CBL レジスタの組み合わせで、計測対象の受信チャンネルが存在しない場合
- 相互容量方式の場合、CTSUCRAL.CAL, CTSUCRAL.CAH, CTSUCRAL.CBL レジスタと CTSUCRAL.CAL, CTSUCRAL.CAH, CTSUCRAL.CBL レジスタの組み合わせで、計測対象の送信チャンネルまたは受信チャンネルが存在しない場合

23. 30.2.3. CTSU 制御レジスタ AL, AH (CTSUCRAL, CTSUCRAH)  
(p.1282~p.1285)

誤)

(p.1282)

(略)

ATUNE2	アナログ調整2
0	ATUNE1ビットの設定に従う
1	ATUNE1=0 → 20 μA (1/1) ATUNE1=1 → 160 μA (1/8) 電流計測モード
計測電源電流と電流制御発振器の入力電流とのカレントミラー比を設定します。	

MD1	計測モード選択1
0	自己容量方式 (1回計測) CHTRCx = 1 (送信) の場合、TSm 端子へ同相のパルスを出し、計測を行います。 複数のCHTRCxビットを1に設定している場合、計測はスキャンされます。
1	相互容量方式 (2回計測) 計測を行うためにCHTRCx ビットを1 (送信) に設定する必要があります。 1 回目の計測では、TSm 端子へ同相のパルスを出します。 2 回目の計測では、TSm 端子へ逆相のパルスを出します。
自己容量方式で計測する場合、MD1 ビットを0 にしてください。 相互容量方式で計測する場合、MD1 ビットを1 にしてください。	

正)

(略)

ATUNE2	電流レンジ切り替え2																
0	ATUNE1 ビットが0 のとき：80 μA ATUNE1 ビットが1 のとき：40 μA																
1	ATUNE1 ビットが0 のとき：20 μA ATUNE1 ビットが1 のとき：160 μA																
ATUNE1 ビットとあわせて、計測電源の抵抗負荷量を変化させ、最大供給電流 (計測レンジ) を設定します。																	
<table border="1"> <thead> <tr> <th>CTSUCRAH.ATUNE2</th> <th>CTSUCRAL.ATUNE1</th> <th>計測レンジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>80 μA</td> </tr> <tr> <td>0</td> <td>1</td> <td>40 μA</td> </tr> <tr> <td>1</td> <td>0</td> <td>20 μA</td> </tr> <tr> <td>1</td> <td>1</td> <td>160 μA</td> </tr> </tbody> </table>			CTSUCRAH.ATUNE2	CTSUCRAL.ATUNE1	計測レンジ	0	0	80 μA	0	1	40 μA	1	0	20 μA	1	1	160 μA
CTSUCRAH.ATUNE2	CTSUCRAL.ATUNE1	計測レンジ															
0	0	80 μA															
0	1	40 μA															
1	0	20 μA															
1	1	160 μA															

MD1	計測モード選択1
0	自己容量方式 計測対象の端子は受信 (CTSUCHTRCAL.CHTRCm = 0, CTSUCHTRCAH.CHTRCm = 0) に設定してください。アクティブシールドとして使用する端子は送信 (CHTRCm = 1) に設定してください。 送信に設定した端子が存在する場合は、送信端子は計測中のチャネルと同相のパルスを出します。 すべてのTSm端子が受信に設定されているときは、受信端子の計測のみ実施します。
1	相互容量方式 送信 (CHTRCm = 1) に設定されたTSm端子と、受信 (CHTRCm = 0) に設定されたTSm端子で計測します。 CHTRCmビットがすべて0に設定されているときは、計測は行いません。
自己容量方式と相互容量方式を選択します。	

(p.1283)

(略)

ATUNE1	アナログ調整1
0	80 $\mu$ A (1/4)
1	40 $\mu$ A (1/2)
計測電源電流と電流制御発振器の入力電流とのカレントミラー比を設定します。	

ATUNE0	アナログ調整0
0	計測電源 = 1.5 V $V_{DD} < 2.4$ Vのときは使用できません。
1	計測電源 = 1.2 V
システムの電源仕様によって変更します。	

(略)

PON	計測電源起動
0	電源OFF
1	電源ON
計測用VDCを起動し、計測電源（内部電圧）を供給します。ATUNE0 ビットの設定により1.2 Vまたは1.5 Vが供給されます。	
CSW = 0 のとき、1 を設定しないでください。	

(略)

ATUNE1	電流レンジ切り替え1
0	ATUNE2 ビットが0のとき：80 $\mu$ A ATUNE2 ビットが1のとき：20 $\mu$ A
1	ATUNE2 ビットが0のとき：40 $\mu$ A ATUNE2 ビットが1のとき：160 $\mu$ A
ATUNE2 ビットとあわせて、計測電源の抵抗負荷量を変化させ、最大供給電流（計測レンジ）を設定します。詳細は、ATUNE2 ビットを参照してください。	

ATUNE0	電源電圧設定
0	計測電源 = 1.5 V
1	計測電源 = 1.2 V <sup>注1</sup>
CTSUの電源電圧を制御します。	
$V_{DD} < 2.4$ Vの場合は1に設定してください。	
$2.4$ V $\leq V_{DD}$ の場合は0, 1いずれも設定可能です。	

(略)

PON	計測電源起動
0	電源OFF
1	電源ON
計測電源（1.5 V）の供給を制御します。	
本ビットを1にする前に、PUMPON ビットを設定し、CSW ビットを1にしてください。	
CSW ビットが0 のときは、本ビットに1を設定しないでください。	

(p.1284)

TXVSEL	TXVSEL2	送信電源切り替え
0	0	非推奨
0	1	相互容量方式送信時の推奨設定 <sup>※</sup>
1	0	アクティブシールド機能を使用時に設定してください。
1	1	相互容量方式送信時の推奨設定 <sup>※</sup>

注 TXVSEL2 = 1 の場合、同じ送信電源が選択されます。

(略)

INIT	制御部初期化
0	—
1	1 を書き込むことで内部制御レジスタを初期化できます。

動作中に強制終了させる場合には、必ずSTRTビットに0 とINITビットに1 を同時に書き込んでください。  
 この場合には動作が停止し、内部制御レジスタが初期化されます。  
 STRT = 1 (CTSU動作開始) と同時にINIT ビットに1を書き込む事は禁止です。  
 読んだ場合の値は0になります。

TXVSEL	TXVSEL2	送信端子電源切り替え
0	0	非推奨
1	0	内部ロジック電源 アクティブシールド機能を使用する場合に設定してください。
0	1	CTSU専用電源
1	1	相互容量方式を使用する場合に設定してください。

(略)

INIT	制御部初期化
0	—
1	1 を書き込むことで内部制御レジスタを初期化できます。

本ビットに1を設定すると、以下のレジスタが初期化されます。

- CTSUSC, CTSUUC
- CTSUMCHL, CTSUMCHH
- CTSUSRL (ICOMP0, ICOMP1 ビットを除く)

動作中に強制終了させる場合には、必ずSTRT = 0 と同時にINIT = 1 を書き込んでください。この場合、計測動作が停止し、内部制御レジスタが初期化されます。  
 STRT = 1 (計測動作開始) と同時に本ビットに1 を書き込むことは禁止です。  
 本ビットを読み出すと、0 が読めます。

(p.1284)

SNZ	SNOOZE有効																																																										
0	SNOOZE モード機能無効																																																										
1	SNOOZE モード機能有効																																																										
<p>外部トリガを選択 (CAP=1) した場合のSNOOZE動作の有効/無効を選択します。                  また、CTSUI ハードマクロをサスペンド状態にし、待機状態の低電力化が可能となります。</p> <p>&lt;CTSUI ハードマクロの状態制御&gt;</p> <table border="1"> <thead> <tr> <th>PON</th> <th>SNZ</th> <th>CAP</th> <th>STRT</th> <th>トリガ</th> <th>CTSUIの状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>-</td> <td>停止</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>-</td> <td>計測開始待ち (VDC=ON)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>-</td> <td>通常動作モード計測中 (VDC=ON)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>-</td> <td>外部トリガ計測設定準備 (VDC=OFF)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>なし (待ち)</td> <td>サスペンド状態 (トリガ待ち) (VDC=OFF)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>あり (動作)</td> <td>SNOOZEモード計測中 (VDC=ON)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>-</td> <td>サスペンド状態 (SW設定) (VDC=OFF)</td> </tr> <tr> <td colspan="5">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table> <p>注 STOP モード中にトリガが発生した場合、SNOOZE モードで計測をします。</p> <p>SNOOZE動作を有効にし、STRTビットを1とすることで外部トリガ待機中となった状態で、CPUはSTOPモードへ遷移することができます。STOPモード中に外部トリガの立ち下がりを検出すると、CTSUIはクロック発生ブロックに対してクロックリクエストを発行し、SNOOZE状態へ遷移して計測を開始します。計測終了割り込み後に本ビットをソフトウェアで0にクリアしてください。</p> <p>表中のサスペンド状態 (SW設定) は、SNOOZEモード機能がないシステムでソフトウェアにてCTSUIハードマクロをサスペンドにして低電力化するときに使用します。この場合には、CPUが外部割り込みなどで復帰後、SNZビットに0を書き込んでから、STRTビットにてソフトウェアトリガで計測を開始してください。</p>						PON	SNZ	CAP	STRT	トリガ	CTSUIの状態	0	0	0	0	-	停止	1	0	0	0	-	計測開始待ち (VDC=ON)	1	0	0	1	-	通常動作モード計測中 (VDC=ON)	1	1	1	0	-	外部トリガ計測設定準備 (VDC=OFF)	1	1	1	1	なし (待ち)	サスペンド状態 (トリガ待ち) (VDC=OFF)	1	1	1	1	あり (動作)	SNOOZEモード計測中 (VDC=ON)	1	1	0	0	-	サスペンド状態 (SW設定) (VDC=OFF)	上記以外					設定禁止
PON	SNZ	CAP	STRT	トリガ	CTSUIの状態																																																						
0	0	0	0	-	停止																																																						
1	0	0	0	-	計測開始待ち (VDC=ON)																																																						
1	0	0	1	-	通常動作モード計測中 (VDC=ON)																																																						
1	1	1	0	-	外部トリガ計測設定準備 (VDC=OFF)																																																						
1	1	1	1	なし (待ち)	サスペンド状態 (トリガ待ち) (VDC=OFF)																																																						
1	1	1	1	あり (動作)	SNOOZEモード計測中 (VDC=ON)																																																						
1	1	0	0	-	サスペンド状態 (SW設定) (VDC=OFF)																																																						
上記以外					設定禁止																																																						

SNZ	SNOOZE有効																																																										
0	SNOOZE モード機能無効																																																										
1	SNOOZE モード機能有効																																																										
<p>本ビットを1にすると、CTSUIをサスペンド状態にして、計測待機時の消費電力を抑えることが可能です。また、計測開始条件に外部トリガを選択した場合 (CAP = 1) は、SNOOZEモードでの計測が有効になります。</p> <ul style="list-style-type: none"> <li>計測開始条件に外部トリガを選択した場合 (CAP = 1)                      SNOOZEモード機能を使用するときは、本ビットに1を設定したあと、STRT = 1 (計測動作開始) に設定して、CPUをSTOPモードへ遷移させてください。                      STOPモード中に外部トリガを検出すると、CTSUIはSNOOZEモードに遷移して計測を開始します。計測終了割り込み後は、ソフトウェアで本ビットを0にクリアしてください。</li> <li>計測開始条件にソフトウェアトリガを選択した場合 (CAP = 0)                      下表のサスペンド状態 (低消費モード) に該当。サスペンド状態 (低消費モード) でSTOPモードから復帰する際は割り込みが使用されます。その後、計測を開始する場合は、本ビットに0を書き込んでからSTRT = 1 (計測動作開始) を設定してください。</li> </ul> <table border="1"> <thead> <tr> <th>PON</th> <th>SNZ</th> <th>CAP</th> <th>STRT</th> <th>外部トリガ</th> <th>CTSUIハードウェアの状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>-</td> <td>停止</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>-</td> <td>計測開始待ち</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>-</td> <td>通常動作モード計測中</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>-</td> <td>外部トリガ計測設定準備中</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>なし (待ち)</td> <td>サスペンド状態 (外部トリガ待ち)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>あり (動作)</td> <td>SNOOZEモード計測中</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>-</td> <td>サスペンド状態 (低消費モード)</td> </tr> <tr> <td colspan="5">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table> <p>センサドライブパルスに高分解能パルスモードを選択 (SDPSEL = 1) してSNOOZEモード機能を使用する場合、昇圧回路のクロックにセンサドライブパルスを選択する (PCSEL = 0) ことはできません。</p>						PON	SNZ	CAP	STRT	外部トリガ	CTSUIハードウェアの状態	0	0	0	0	-	停止	1	0	0	0	-	計測開始待ち	1	0	0	1	-	通常動作モード計測中	1	1	1	0	-	外部トリガ計測設定準備中	1	1	1	1	なし (待ち)	サスペンド状態 (外部トリガ待ち)	1	1	1	1	あり (動作)	SNOOZEモード計測中	1	1	0	0	-	サスペンド状態 (低消費モード)	上記以外					設定禁止
PON	SNZ	CAP	STRT	外部トリガ	CTSUIハードウェアの状態																																																						
0	0	0	0	-	停止																																																						
1	0	0	0	-	計測開始待ち																																																						
1	0	0	1	-	通常動作モード計測中																																																						
1	1	1	0	-	外部トリガ計測設定準備中																																																						
1	1	1	1	なし (待ち)	サスペンド状態 (外部トリガ待ち)																																																						
1	1	1	1	あり (動作)	SNOOZEモード計測中																																																						
1	1	0	0	-	サスペンド状態 (低消費モード)																																																						
上記以外					設定禁止																																																						

(p.1285)

(略)

STRT	計測動作開始
0	計測動作停止
1	計測動作状態

CTSUS の動作開始・停止を指定します。

CAP = 0 のとき、1 を書き込むことにより計測を開始し、計測終了時にハードウェアにより0にクリアされます。

CAP = 1 のとき、1 を書き込むことにより、外部トリガの待機状態となり、外部トリガの立ち下がりにて計測を開始します。計測終了したら、次の外部トリガの待機状態となり動作が継続されます。

CTSUS の状態を、下表に示します。

<CTSUSの状態>

STRT	CAP	CTSUSの状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中／外部トリガ待ち

注 CTSUSURL.STC[2:0]ビットにて状態を判断できます。

計測中：CTSUSURL.STC[2:0] ≠ 000B

外部トリガ待ち：CTSUSURL.STC[2:0] = 000B

STRT ビットに1が示されているときに、ソフトウェアによりSTRT ビットに1を書きこんだ場合は、書き込みは無視され動作は継続されます。

STRT ビットに1が示されているときに、ソフトウェアによる動作を強制的に終了させたい場合（強制終了）には、必ずSTRT ビットの0とINIT ビットの1を同時に書き込んでください。

(略)

STRT	計測動作開始
0	計測動作停止
1	計測動作状態（計測中／外部トリガ待ち）

CTSUS の計測動作開始／停止を指定します。

• 計測開始条件にソフトウェアトリガを選択した場合（CAP = 0）

本ビットに1を書き込むことで計測を開始します。本ビットは、計測終了時にハードウェアで0にクリアされます。

• 計測開始条件に外部トリガを選択した場合（CAP = 1）

本ビットに1を書き込むことで外部トリガの待機状態となり、外部トリガの検出で計測を開始します。計測終了時は次の外部トリガ待機状態となります。外部トリガ待ち状態を解除する場合は、本ビットに0、INIT ビットに1を同時に設定してください。

下表にCTSUSの状態を示します。

STRT	CAP	CTSUSの状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中／外部トリガ待ち

本ビットが1のときに、ソフトウェアで本ビットに1を書き込んだ場合は、書き込みは無視され、動作が継続されます。また、本ビットが1のときに、ソフトウェアで動作を強制的に終了させたい場合は、本ビットに0、INIT ビットに1を同時に書き込んでください。

注1. ATUNE0 = 1 のとき、アクティブシールド機能は使用できません。

注2. CTSUSURL.STC[2:0]ビットにて状態を判断できます。

• CTSUSURL.STC[2:0] ≠ 000B：計測中

• CTSUSURL.STC[2:0] = 000B：外部トリガ待ち

注意 STRT, INIT ビット以外のビットは、STRT = 0（計測動作停止）のときに設定してください。

備考1. x = 0-3

備考2. m = 00-15, 20-35

24. 30.2.4 CTSU 制御レジスタ BL, BH (CTSUCRBL, CTSUCRBH) (p.1286 ~ p.1288)

誤)

(p.1286)

(略)

SSCNT[1:0]		SUCLK 拡散制御
0	0	<u>SSADJ+0</u>
0	1	<u>SSADJ+1</u>
1	0	<u>SSADJ+2</u>
1	1	<u>SSADJ+3</u>
拡散クロックの周波数を調整します。 11Bの設定値は、ランダムパルスモード (CTSU互換設定) での互換用の設定です。		

(略)

正)

(略)

SSCNT[1:0]		SUCLK スペクトラム 拡散制御
0	0	CTSUCRAH.SDPSEL=0の場合: CTSUTRIMx.SUADJD[7:0] + 00H
		CTSUCRAH.SDPSEL=1の場合: CTSUSUCLKx.SUADJx[7:0] + 00H
0	1	CTSUCRAH.SDPSEL=0の場合: CTSUTRIMx.SUADJD[7:0] + 10H
		CTSUCRAH.SDPSEL=1の場合: CTSUSUCLKx.SUADJx[7:0] + 20H
1	0	CTSUCRAH.SDPSEL=0の場合: CTSUTRIMx.SUADJD[7:0] + 20H
		CTSUCRAH.SDPSEL=1の場合: CTSUSUCLKx.SUADJx[7:0] + 40H
1	1	CTSUCRAH.SDPSEL=0の場合: CTSUTRIMx.SUADJD[7:0] + 30H
		CTSUCRAH.SDPSEL=1の場合: CTSUSUCLKx.SUADJx[7:0] + 60H
SUCLKの周波数を調整します。		

(略)

(p.1287)

STT[7:0]								センサ安定待ち時間制御
センサドライブパルス供給からTSCAP端子の電圧が安定するまでの期間を設定します。								
<b>&lt;CTSUCRAH.SDPSEL = 0の場合&gt;</b>								
安定時間は、ベースセンサドライブパルスの周期で下記期間となります。								
0	0	0	0	0	0	0	0	2サイクル
0	0	0	0	0	0	0	1	4サイクル
0	0	0	0	0	0	1	0	6サイクル
0	0	0	0	0	0	1	1	8サイクル
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	510サイクル
1	1	1	1	1	1	1	1	512サイクル
<b>&lt;CTSUCRAH.SDPSEL = 1の場合&gt;</b>								
安定時間は、STCLK の周期で下記期間となります。								
0	0	0	0	0	0	0	0	1サイクル
0	0	0	0	0	0	0	1	2サイクル
0	0	0	0	0	0	1	0	3サイクル
0	0	0	0	0	0	1	1	4サイクル
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	255サイクル
1	1	1	1	1	1	1	1	256サイクル
TSCAP 端子の電圧はセンサドライブパルスを供給することにより安定されます。本ビットの値とサイクル数の関係は以下のとおりです。								
• <b>CTSUCRAH.SDPSEL = 0の場合</b>								
ベースセンサドライブパルスのサイクル数により安定待ち時間を指定します。								
サイクル数 = 2 × (本ビットの値 + 1)								
安定待ち時間は、以下の範囲で設定してください。								
CTSUCRBL.SST[7:0] で設定したサイクル数 ≥ (CTSUCRBL.PRRATIO[3:0] + 1)								
• <b>CTSUCRAH.SDPSEL = 1の場合</b>								
STCLK のサイクル数により安定待ち時間を指定します。								
サイクル数 = 1 × (本ビットの値 + 1)								

STT[7:0]								センサ安定待ち時間制御
センサドライブパルス供給からTSCAP端子の電圧が安定するまでの期間を設定します。TSCAP 端子の電圧はセンサドライブパルスを供給されることにより安定されます。本ビットの値とサイクル数の関係は以下のとおりです。								
• <b>ランダムパルスモード (CTSUCRAH.SDPSEL = 0) の場合</b>								
安定待ち時間は、センサドライブパルスのサイクル数を基準として指定します。								
0	0	0	0	0	0	0	0	2サイクル
0	0	0	0	0	0	0	1	4サイクル
0	0	0	0	0	0	1	0	6サイクル
0	0	0	0	0	0	1	1	8サイクル
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	510サイクル
1	1	1	1	1	1	1	1	512サイクル
サイクル数 = 2 × (本ビットの値 + 1)								
安定待ち時間は、以下の範囲で設定してください。								
本ビットで設定したサイクル数 ≥ (PRRATIO[3:0] + 1)								
• <b>高分解パルスモード (CTSUCRAH.SDPSEL = 1) の場合</b>								
安定待ち時間は、STCLK のサイクル数を基準として指定します。								
0	0	0	0	0	0	0	0	設定禁止 <sup>注1</sup>
0	0	0	0	0	0	0	1	2サイクル
0	0	0	0	0	0	1	0	3サイクル
0	0	0	0	0	0	1	1	4サイクル
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	255サイクル
1	1	1	1	1	1	1	1	256サイクル
サイクル数 = 1 × (本ビットの値 + 1)								

(p.1287)

PROFF	疑似乱数OFF制御
0	疑似乱数制御を行う。
1	疑似乱数制御を行わない。
疑似乱数制御をOFFします。 疑似乱数生成を、1周期毎に1/0を出力する。(乱数生成1bit) PROFF = 1のときは、PRMODE[1:0]ビットによる周期を“+1周期”する。	

PROFF	疑似乱数OFF制御
0	疑似乱数制御を行う。
1	疑似乱数制御を行わない。
疑似乱数制御をOFFします。 1周期ごとに疑似乱数生成を行い、1/0を出力します(乱数生成1ビット)。	

(p.1288)

SOFF	ジッタ印加OFF制御
0	ジッタを印加する
1	ジッタを印加しない

同期系ノイズ対策のためにセンサドライブパルスへのジッタ印加の有無を設定します。  
 センサドライブパルスへの出力を、ベースセンサドライブパルスかジッタが印加されたジッタドセンサドライブパルスから選択します。

PRMODE[1:0]		疑似乱数生成周期設定
0	0	255周期 (PROFF = 1のとき：256周期)
0	1	63周期 (PROFF = 1のとき：64周期)
1	0	31周期 (PROFF = 1のとき：32周期)
1	1	3周期 (PROFF = 1のとき：4周期)

PRRATIO[3:0]	位相シフト頻度設定
本ビットで疑似乱数によるベースクロックの位相シフト頻度を決めます。 また本ビットは計測期間を決める1要因となります。	

SOFF <sup>注2</sup>	スペクトラム拡散機能OFF制御
0	スペクトラム拡散機能ON
1	スペクトラム拡散機能OFF

同期系ノイズ対策のためのスペクトラム拡散機能のON/OFFを設定します。  
 センサドライブパルス (fCLK同期) を使用する場合、本ビットに1を設定してください。  
 本ビットは、CTSUCRAH.SDPSEL = 0 (ランダムパルスモード) のときに有効です。

PRMODE[1:0] <sup>注2</sup>		疑似乱数生成周期設定
0	0	255周期
0	1	63周期
1	0	31周期
1	1	3周期

疑似乱数生成を更新する周期を設定します。  
 基本パルス数は、本ビットで選択した周期の2倍です。  
 本ビットは、CTSUCRAH.SDPSEL = 0 (ランダムパルスモード) のときに有効です。

PRRATIO[3:0] <sup>注2</sup>	位相シフト頻度設定
疑似乱数生成の位相シフト周期を設定します。 本ビットの設定により、計測パルス数や計測時間は以下のように変化します。 計測パルス数 = 基本パルス数 (PRMODE[1:0]ビットで設定) × (PRRATIO[3:0]ビットの値 + 1) 計測時間 = (計測パルス数 + (基本パルス数 - 2) × 0.25) × ベースクロック周期 本ビットは、CTSUCRAH.SDPSEL = 0 (ランダムパルスモード) のときに有効です。	

- 注1. CTSUCRAH.SDPSEL = 1の場合、SST[7:0]ビットに00Hを設定しないでください。  
 注2. SOFF, PRMODE[1:0], PRRATIO[3:0]ビットは、CTSUCRAH.SDPSELビットが0 (ランダムパルスモード) のときのみ有効です。

注意 CTSUCRBL, CTSUCRBHレジスタは、CTSUCRAL.STRTビットが0のときに設定してください。

備考 x = 0-3

25. 30.2.5 CTSU 計測チャンネルレジスタ L, H (CTSUMCHL, CTSUMCHH)

(p.1290)

誤)

(略)

MCH1[5:0]						計測チャンネル1
<ul style="list-style-type: none"> <li>シングルスキャンモード (CTSUCRAL.MD0 = 0) の場合は、計測する送信チャンネルを設定します。CTSUCHACAH, CTSUCHACAL, <b>CTSUCHACBH, CTSUCHACBL</b> レジスタで計測対象外のチャンネルの設定は禁止です。設定した場合は、計測開始後すぐに完了します。</li> <li>マルチスキャンモード (CTSUCRAL.MD0 = 1) の場合は、計測中の送信チャンネル値を示します。また、マルチスキャンモードでは本ビットへの書き込みは無効 (計測開始時にクリアされる) です。</li> </ul>						
0	0	0	0	0	0	IS0
0	0	0	0	0	1	IS1
0	0	0	0	1	0	IS2
0	0	0	0	1	1	IS3
:	:	:	:	:	:	:
1	1	1	1	1	0	IS62
1	1	1	1	1	1	IS63
<p>本ビットを、計測中 (CTSUCRAL.STRT = 1) に書き換えないでください。書き換えた場合の動作は保証しません。また、計測停止時は111111Bとなります。</p>						

正)

(略)

MCH1[5:0]						計測チャンネル1
<ul style="list-style-type: none"> <li>シングルスキャンモード (CTSUCRAL.MD0 = 0) の場合 計測する送信チャンネルを設定します。CTSUCHACAH, CTSUCHACAL, CTSUCHACBL レジスタで計測対象外に設定したチャンネルを指定しないでください。設定した場合は、計測開始後すぐに終了します。</li> <li>マルチスキャンモード (CTSUCRAL.MD0 = 1) の場合 本ビットは計測中の送信チャンネル値を示し、本ビットへの書き込みは無効です。</li> </ul>						
0	0	0	0	0	0	TS00
0	0	0	0	0	1	TS01
0	0	0	0	1	0	TS02
0	0	0	0	1	1	TS03
:	:	:	:	:	:	:
0	0	0	1	1	1	TS15
0	0	1	0	0	0	設定禁止
:	:	:	:	:	:	
0	0	1	0	1	1	設定禁止
0	0	1	1	0	0	
:	:	:	:	:	:	:
1	0	0	0	1	0	TS34
1	0	0	0	1	1	TS35
1	0	0	1	0	0	設定禁止
:	:	:	:	:	:	
1	1	1	1	1	1	設定禁止

MCH0[5:0]						計測チャネル0
<ul style="list-style-type: none"> <li>シングルスキャンモード (CTSUCRAL.MD0 = 0) の場合は、計測する受信チャネルを設定します。CTSUCHACAH, CTSUCHACAL, CTSUCHACBH, CTSUCHACBL レジスタで計測対象外のチャネルの設定は禁止です。設定した場合は、計測開始後すぐに完了します。</li> <li>マルチスキャンモード (CTSUCRAL.MD0 = 1) の場合は、計測中の受信チャネル値を示します。また、マルチスキャンモードでは本ビットへの書き込みは無効 (計測開始時にクリアされる) です。</li> </ul>						
0	0	0	0	0	0	IS0
0	0	0	0	0	1	IS1
0	0	0	0	1	0	IS2
0	0	0	0	1	1	IS3
:	:	:	:	:	:	:
1	1	1	1	1	0	IS62
1	1	1	1	1	1	IS63
<p>本ビットを、計測中 (CTSUCRAL.STRT = 1) に書き換えないでください。書き換えた場合の動作は保証しません。また、計測停止時は111111Bとなります。</p>						

MCH0[5:0]						計測チャネル0
<ul style="list-style-type: none"> <li>シングルスキャンモード (CTSUCRAL.MD0 = 0) の場合 計測する受信チャネルを設定します。CTSUCHACAH, CTSUCHACAL, CTSUCHACBL レジスタで計測対象外に設定したチャネルを指定しないでください。設定した場合は、計測開始後すぐに終了します。</li> <li>マルチスキャンモード (CTSUCRAL.MD0 = 1) の場合 本ビットは計測中の受信チャネル値を示し、本ビットへの書き込みは無効です。</li> </ul>						
0	0	0	0	0	0	TS00
0	0	0	0	0	1	TS01
0	0	0	0	1	0	TS02
0	0	0	0	1	1	TS03
:	:	:	:	:	:	:
0	0	0	1	1	1	TS15
0	0	1	0	0	0	設定禁止
:	:	:	:	:	:	
0	0	1	0	1	1	設定禁止
0	0	1	1	0	0	
:	:	:	:	:	:	:
1	0	0	0	1	0	TS34
1	0	0	0	1	1	TS35
:	:	:	:	:	:	設定禁止
1	1	1	1	1	1	

注意 MCH1[5:0], MCH0[5:0]ビットは、計測中 (CTSUCRAL.STRT = 1) に書き換えないでください。書き換えた場合の動作は保証しません。また、計測停止時の値は111111Bとなります。

備考 x = 0-3

26. 30.2.6 CTSU チャネル有効制御レジスタ AL, AH, BL, BH

(CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHACBH)

(p.1292)

誤)

(略)

CHAC <sub>x</sub>	チャンネル有効制御
0	計測対象外
1	計測対象

**TSm 端子の計測対象の可否を設定します。**

注意1. CHAC63-CHAC0はTS63-TS0の設定です。

アサインされていないビットには、書く場合0を書いてください。読んだ場合値は0です。

注意2. 静電容量を計測したい端子（送信、受信共）に1を設定します。

注意3. CTSUCHACAH、CTSUCHACAL、CTSUCHACBH、CTSUCHACBLレジスタは、  
CTSUCRAL.STRT = 0のときに設定してください。

正)

(略)

CHAC <sub>m</sub>	チャンネル有効制御
0	計測対象外
1	計測対象

CHAC<sub>m</sub>ビットの値に応じて、TSm端子を計測対象にするか否かを設定します。  
CHAC<sub>m</sub>ビットに1を設定すると、TSm端子（送信／受信の両方）の容量計測が有効になります。

注意1. 計測端子を割り当てていないビットには、必ず0を設定してください。

注意2. CTSUCHACAH、CTSUCHACAL、CTSUCHACBH、CTSUCHACBLレジスタは、  
CTSUCRAL.STRT = 0のときに設定してください。

備考 m = 00-15, 20-35

27. 30.2.7 CTSU チャネル送受信制御レジスタ AL, AH, BL, BH

(CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH)

(p.1294)

誤)

(略)

CHTRCx	チャンネル送受信制御
0	受信
1	送信

TSm端子に対する送受信を割り当てます。

注意1. CHAC63-CHAC0はTS63-TS0の設定です。

アサインされていないビットには、書く場合0を書いてください。読んだ場合値は0です。

注意2. TSm端子に対する受信、送信の割り当てを行います。

MD1 = 0の設定のとき、送信設定にするとシールド信号出力として利用できます。

シールド出力として設定する場合は、2ビット以上1を設定しないでください。

注意3. 静電容量を計測したいTSm端子（相互容量方式では、送信および受信電極）に1を設定します。

注意4. CTSUCHACAH, CTSUCHACAL, CTSUCHACBH, CTSUCHACBLレジスタは、

CTSUCRAL.STRT = 0のときに設定してください。

正)

(略)

CHTRCm	チャンネル送受信制御
0	受信
1	送信

CHTRCmビットの値に応じて、TSm端子を送信または受信端子として割り当てます。  
自己容量方式（CTSUCRAL.MD1 = 0）のとき、本ビットを1（送信）に設定すると、対応する端子をアクティブシールド信号出力として使用できます。<sup>注</sup>

注 アクティブシールド出力を使用する場合は、複数ビットに同時に1を設定しないでください。

注意1. 計測端子を割り当てていないビットには、必ず0を設定してください。

注意2. CTSUCHTRCAH, CTSUCHTRCAL, CTSUCHTRCBH, CTSUCHTRCBLレジスタは、CTSUCRAL.STRT = 0のときに設定してください。

備考 m = 00-15, 20-35

28. 30.2.8 CTSU ステータスレジスタ L (CTSUSRL) (p.1296)

誤)

(略)

MFC[1:0]		マルチクロックカウンタ
0	0	<u>マルチクロック0</u>
0	1	<u>マルチクロック1</u>
1	0	<u>マルチクロック2</u>
1	1	<u>マルチクロック3</u>

マルチクロック計測 (CTSUCRAH.FCMODE = 1) での計測中クロックを示します。

正)

(略)

MFC[1:0]		マルチクロックカウンタ
0	0	MCA0 (SUCLK0)
0	1	MCA1 (SUCLK1)
1	0	MCA2 (SUCLK2)
1	1	MCA3 (SUCLK3)

マルチクロック計測 (CTSUCRAH.SDPSEL = 1 かつ CTSUCRAH.PCSEL = 1 かつ CTSUMCH.MCAn ビット (n=0-3) の2ビット以上が1のとき) での計測中クロックを示します。00B以外の書き込みは禁止です。

注1. 本ビットは、読み出しのみ可能です。

注2. CTSUCRAL.INITビットを1にしてSUCKOVFビットおよびSENSOVFビットをクリアする場合は、CTSUCRAL.STRTビットが0のときに実施してください。

注意 CTSUSRLレジスタへの書き込みは、CTSUCRAL.STRTビットが0のときに実施してください。

29. 30.2.9 CTSU センサオフセットレジスタ 0, 1 (CTSUSO0, CTSUSO1)

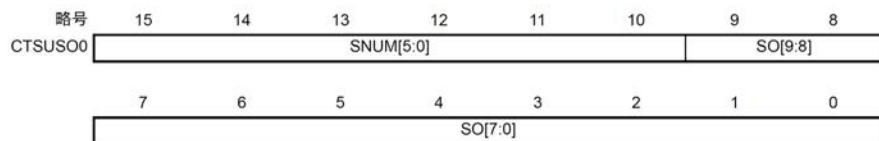
(p.1297, p.1298)

誤)

(p.1297)

30.2.9 CTSU センサオフセットレジスタ 0, 1 (CTSUSO0, CTSUSO1)

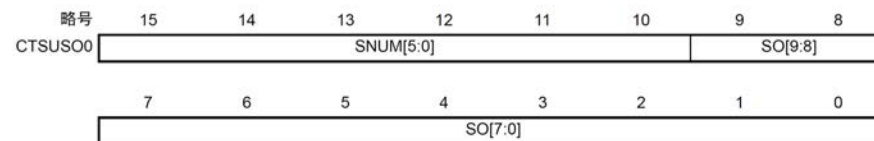
(略)



正)

30.2.9 CTSU センサオフセットレジスタ 0, 1 (CTSUSO0, CTSUSO1)

(略)



CTSUSO0, CTSUSO1 レジスタへの書き込みは、INTCTSUWR 割り込みが発生したあとに行ってください。

CTSUSO1 レジスタへの書き込み操作により、Status 3 に遷移します。必ず CTSUSO0 レジスタに書き込んでから CTSUSO1 レジスタに書き込んでください。また、CTSUSO1 レジスタには一度に 16 ビットすべての値を設定してください。

SDPA[7:0]								センサドライブパルス分周設定
<p>• <b>CTSUCRAH.SDPSEL = 0の場合</b>                      動作クロックを分周して、センサドライブパルスの元となるベースクロックを生成します。                      また本ビットは、CTSU ハードマクロの電圧安定時間の設定としても使用します。</p>								
0	0	0	0	0	0	0	0	動作クロックの2分周 <sup>注</sup>
0	0	0	0	0	0	0	1	動作クロックの4分周
0	0	0	0	0	0	1	0	動作クロックの6分周
0	0	0	0	0	0	1	1	動作クロックの8分周
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	動作クロックの510分周
1	1	1	1	1	1	1	1	動作クロックの512分周
<p><b>注</b> 相互容量方式のジッタ印加OFF状態 (CTSUCRBL.SOFF = 1) では、SDPA[7:0] = 0000000B は設定禁止です。</p>								
<p>• <b>CTSUCRAH.SDPSEL = 1の場合</b>                      SUCLKを分周して、センサドライブパルスを生成します。</p>								
0	0	0	0	0	0	0	0	SUCLKの1分周
0	0	0	0	0	0	0	1	SUCLKの2分周
0	0	0	0	0	0	1	0	SUCLKの3分周
0	0	0	0	0	0	1	1	SUCLKの4分周
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	SUCLKクロックの255分周
1	1	1	1	1	1	1	1	SUCLKクロックの256分周

SDPA[7:0]								ベースクロック (センサドライブパルス分周) 設定
<p>• <b>ランダムパルスモード (CTSUCRAH.SDPSEL = 0) の場合</b>                      動作クロックを分周して、センサドライブパルスの元となるベースクロックを生成します。                      また、本ビットは、CTSU ハードマクロの電圧安定時間の設定にも使用します。                      本ビットの設定値をnとすると、ベースクロックは動作クロックの2(n+1)分周になります。</p>								
0	0	0	0	0	0	0	0	動作クロックの2分周 <sup>注1</sup>
0	0	0	0	0	0	0	1	動作クロックの4分周
0	0	0	0	0	0	1	0	動作クロックの6分周
0	0	0	0	0	0	1	1	動作クロックの8分周
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	動作クロックの510分周
1	1	1	1	1	1	1	1	動作クロックの512分周
<p>• <b>高分解パルスモード (CTSUCRAH.SDPSEL = 1) の場合</b>                      SUCLKを分周して、センサドライブパルスを生成します。                      SUCLKの周波数は、下記の式にて算出できます。  <math>SUCLK = STCLK \times CTSUSUCLKx.SUMMULTIx[7:0]</math> ビットでのSUCLK逡倍率設定                      本ビットの設定値をnとすると、センサドライブパルスはSUCLKの2(n+1)分周になります。</p>								
0	0	0	0	0	0	0	0	SUCLKの2分周
0	0	0	0	0	0	0	1	SUCLKの4分周
0	0	0	0	0	0	1	0	SUCLKの6分周
0	0	0	0	0	0	1	1	SUCLKの8分周
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	SUCLKクロックの510分周
1	1	1	1	1	1	1	1	SUCLKクロックの512分周

(p.1298)

SSDIV[3:0]				スペクトラム拡散サンプリング周期制御
<b>CTSUCRAH.SDPSEL = 0 の場合のみ有効</b>				
<b>ジッタ印加機能におけるサンプリング周期を1~16 分周まで設定可能です。</b>				
0	0	0	0	1 分周
0	0	0	1	2 分周
:	:	:	:	:
1	1	1	0	15 分周
1	1	1	1	16 分周
ジッタ印加機能のサンプリング周期を設定します。サンプリング周期は、センサドライブパルス周期の1/4 未満の周期となるように設定してください。				
本ビットは、チャンネル毎の設定レジスタ書き込み要求 (INTCTSUWR) の発生後に次に計測する端子の設定を行ってください。				

(略)

チャンネル毎の設定レジスタ書き込み要求 (INTCTSUWR) 発生後、CTSUSO レジスタへ書き込みしてください。また CTSUSO レジスタへの書き込み動作により、Status3 へ遷移します。そのため CTSUSO レジスタへの書き込みは1度に全ビットを設定するようにしてください。

SSDIV[3:0] <sup>注2</sup>				スペクトラム拡散サンプリング周期制御
0	0	0	0	1 分周
0	0	0	1	2 分周
:	:	:	:	:
1	1	1	0	15 分周
1	1	1	1	16 分周
スペクトラム拡散機能のサンプリング周期を設定します。				
fCLK同期のセンサドライブパルスをSUCLKでリサンプリングするときに、何分周のクロックでリサンプリングするかを設定します。				
サンプリング周期は、センサドライブパルス周期の1/4 未満の周期となるように設定してください。				
INTCTSUWR割り込みの発生後に、次に計測する端子の設定を行ってください。				

(略)

注1. 相互容量方式選択時 (CTSUCRAL.MD1 = 1) やスペクトラム拡散機能が OFF (CTSUCRBL.SOFF = 1) の場合、SDPA[7:0] = 00000000B は設定禁止です。

注2. SSDIV[3:0]ビットは CTSUCRAH.SDPSEL ビットが 0 (ランダムパルスモード) のときのみ有効です。

30. 30.2.10 CTSU センサカウンタレジスタ L, H (CTSUSC, CTSUUC)

(p.1299)

誤)

30.2.10 CTSU センサカウンタレジスタ L, H (CTSUSC, CTSUUC)

(略)

SC[15:0]	センサカウンタ
計測結果を示します。 オーバーフロー発生時はFFFFHを示します。	

正)

30.2.10 CTSU センサカウンタレジスタ (CTSUSC, CTSUUC)

(略)

SC[15:0]	センサカウンタ
計測結果を示します。 オーバーフロー発生時はFFFFHを示します。	

INTCTSURD 割り込みが発生したあとに、本レジスタを読み出します。

本レジスタを CTSUDBG0.CNTRDSEL ビットで指定した回数読み出すと、計測ステータスが Status 0 または Status 2 に遷移します。

レジスタの値は、次の計測で Status 4 (CTSUSRL.STC[2:0] = 100B) に計測状態が遷移する直前にクリアされます。

また、本レジスタは、CTSUCRAL.INIT ビットに 1 を書き込むことによってもクリアされます。

- CTSUDBG0.CNTRDSEL = 0 の場合

CTSUSC レジスタまたは CTSUUC レジスタを 1 回読み出すと、計測ステータスが進み、Status 4 に遷移する前に両方のレジスタがクリアされます。計測結果が必要な場合は、必ず CTSUSC レジスタを読み出してください。

- CTSUDBG0.CNTRDSEL = 1 の場合

CTSUSC レジスタまたは CTSUUC レジスタのいずれかを計 2 回読み取ると、計測ステータスが進みます。

16 ビット・アクセスで CTSUSC レジスタと CTSUUC レジスタの両方の結果が必要な場合は、本設定を使用してください。

31. 30.2.13 CTSU トリミングレジスタ AL, AH (CTSUTRIM0,

CTSUTRIM1) (p.1305, p.1306)

誤)

(p.1305)

(略)

アドレス：F0600H, F0601H (CTSUTRIM0), F0602H, F0603H (CTSUTRIM1)

リセット時: 0000H, 0000H

R/W 属性：R/W

(略)

DACTRIM[7:0]		オフセット電流DACの上位下位マッチングバラツキ調整							
オフセット電流DACの上位下位のマッチングバラツキを調整します。下位電流源の係数。 出荷時に設定された、初期値が書かれています。書き換えしないでください。									
0	0	0	0	0	0	0	0	0	0.0倍
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
0	1	1	0	0	0	0	0	0	0.875倍
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	0	0	0	0	0	0	0	0	1.0倍
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	0	0	1	0	0	0	0	0	1.125倍
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	0	1	0	0	0	1	1	0	1.273倍
上記以外は設定禁止									

(p.1306)

RTRIM[7:0]		基準抵抗調整入力							
基準抵抗値の調整を設定します。 出荷時に設定された、初期値が書かれています。書き換えしないでください。									
RTRIM[7:0]									抵抗値
0	0	0	0	0	0	0	0	0	低い
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	1	1	1	1	高い

正)

(略)

アドレス：F0600H, F0601H (CTSUTRIM0), F0602H, F0603H (CTSUTRIM1)

リセット時: 注

R/W 属性：R/W

(略)

DACTRIM[7:0]		オフセット電流調整							
オフセット電流に対するDACの係数を調整するために使用します。 出荷時に設定された初期値が書かれています。値を書き換えしないでください。									

RTRIM[7:0]		基準抵抗調整入力							
内部基準抵抗の抵抗値を調整するために使用します。 出荷時に設定された初期値が書かれています。値を書き換えしないでください。									

注 リセット値は、出荷時に調整した値です。

32. 30.2.14 CTSU トリミングレジスタ BL, BH (CTSUTRIM2, CTSUTRIM3) (p.1307)

誤)

図 30 - 18 CTSU トリミングレジスタ BL, BH (CTSUTRIM2, CTSUTRIM3) のフォーマット

アドレス : F0604H, F0605H (CTSUTRIM2), F0606H, F0607H (CTSUTRIM3)

リセット時: ~~0000H, 0000H~~

R/W 属性 : R/W

(略)

正)

図 30 - 18 CTSU トリミングレジスタ BL, BH (CTSUTRIM2, CTSUTRIM3) のフォーマット

アドレス : F0604H, F0605H (CTSUTRIM2), F0606H, F0607H (CTSUTRIM3)

リセット時: 注

R/W 属性 : R/W

(略)

注 リセット値は、出荷時に調整した値です。

33. TSCAP 端子の説明 (新規追加)

誤)

該当なし

正)

(略)

30.4.2 TSCAP 端子

TSCAP 端子には、CTSU の内部電圧を安定させるためのコンデンサを接続する必要があります。TSCAP 端子とコンデンサ間、およびコンデンサと GND 間の配線は、できるだけ太く、短くしてください。

表 30 - 3 に TSCAP 端子に接続するコンデンサの条件を示します。

表30 - 3 TSCAP端子に接続するコンデンサの条件

項目	記号	条件
TSCAP端子外付け平滑コンデンサ容量	CTSCAP	10 nF ±10% <sup>注</sup>

注 静電容量の公称値が 10 nF、静電容量許容差が±10%以下の積層セラミックコンデンサを使用してください。温度特性は X7R(EIA)等、±15%以下のものから使用環境にあわせて選択してください。

TSCAP 端子に接続されたコンデンサは、CTSUCRAL.CSW = 1 (外部容量接続スイッチ ON) にする前に、TSCAP 機能が割り当てられたポートからロウ・レベルを出力し、完全に放電させてください。

(略)

以上