

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RL*-A0144A/J	Rev.	第1版
題名	誤記訂正通知 RL78/G22 ユーザーズマニュアル Rev.1.10 の記載変更		情報分類	技術情報	
適用製品	RL78/G22 グループ	対象ロット等 全ロット	関連資料	RL78/G22 ユーザーズマニュアル ハードウェア編 Rev.1.10 R01UH0978JJ0110 (Jun.2024)	

RL78/G22 ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0978JJ0110) において、下記訂正が  
ございます。

## 今回通知する訂正内容

訂正箇所	該当ページ	内容
表1-9 40ピン製品の兼用機能	p.25	誤記訂正
表1-10 44ピン製品の兼用機能	p.28	誤記訂正
2.2.3.2 VBAT端子とバックアップ用バッテリーの接続	p.68	誤記訂正
2.2.3.3 VBAT端子の使用方法	p.69	誤記訂正
2.4 端子ブロック図	p.89, p.91	誤記訂正
4.5.4 使用するポート機能および兼用機能のレジスタ設定例	p.186	誤記訂正
6.1 クロック発生回路の機能	p.201	誤記訂正
12.6.7 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード)	p.510	誤記訂正
12.6.9 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、連続変換モード)	p.512	誤記訂正
図13-1 シリアル・アレイ・ユニット0のブロック図	p.541	誤記訂正
13.3.13 シリアル出力レジスタm (Som)	p.566	誤記訂正
15.3.4 ポー・レート・ジェネレータ	p.843	誤記訂正
16.4 DTCの動作	p.864	誤記訂正
16.4.3 リピート・モード	p.871	誤記訂正
表18-2 割り込み要求ソースに対応する各種フラグ (3/4)	p.895	誤記訂正
34.2.3 オンチップ・オシレータ特性	p.1204	誤記訂正
34.3.2 電源電流特性	p.1212, p.1215	誤記訂正
34.6.1 A/Dコンバータ特性	p.1260	誤記訂正
34.6.2 A/Dコンバータ特性	p.1493, p.1494	誤記訂正

## ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

**ユーザーズマニュアルの訂正一覧**

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0978JJ0110	
1		表1-9 40ピン製品の兼用機能	p.25	p.3
2		表1-10 44ピン製品の兼用機能	p.28	p.4
3		2.2.3.2 VBAT端子とバックアップ用バッテリーの接続	p.68	p.5
4		2.2.3.3 VBAT端子の使用方法	p.69	p.6
5		2.4 端子ブロック図	p.89, p.91	p.7, p.8
6		4.5.4 使用するポート機能および兼用機能のレジスタ設定例	p.186	p.9
7		6.1 クロック発生回路の機能	p.201	p.10
8		12.6.7 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、連続変換モード）	p.510	p.11
9		12.6.9 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、連続変換モード）	p.512	p.11
10		図13-1 シリアル・アレイ・ユニット0のブロック図	p.541	p.12
11		13.3.13 シリアル出力レジスタm (Som)	p.566	p.12
12		15.3.4 ポー・レート・ジェネレータ	p.843	p.13
13		16.4 DTCの動作	p.864	p.14
14		16.4.3 リピート・モード	p.871	p.15, p.16
15		表18-2 割り込み要求ソースに対応する各種フラグ（3/4）	p.895	p.17
16		34.2.3 オンチップ・オシレータ特性	p.1204	p.18
17		34.3.2 電源電流特性	p.1212, p.1215	p.19, p.20
18		34.6.1 A/Dコンバータ特性	p.1260	p.21
19		34.6.2 A/Dコンバータ特性	p.1493, p.1494	p.22, p.23

誤記訂正の該当箇所は、**誤）太字下線、正）グレー・ハッチング**で記載します。

**発行文書履歴**

RL78/G22 ユーザーズマニュアル Rev.1.10 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A0144A/J	2025年5月22日	訂正一覧の No.1 ~ No.19 の誤記訂正（本通知です。）

1. 表 1 - 9 40 ピン製品の兼用機能 (1/2) (p.25)

誤)

ピン 番号	I/O	電源、システム・クロック、 デバッグ	アナログ	HMI			タイマ		通信インタフェース		
			A/Dコンバータ (ADC)	割り込み機能 (INTP)	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
1	P40	TOOL0	-	-	-	-	-	-	-	-	-
2	-	RESET	-	-	-	-	-	-	-	-	-
3	P124	XT2/EXCLKS	-	-	-	-	-	-	-	-	-
4	P123	XT1	-	-	-	-	-	-	-	-	-
5	P137	-	-	INTP0	-	-	-	-	-	-	-
6	P122	X2/EXCLK	-	-	-	-	-	-	-	-	-
7	P121	X1/VBAT	-	-	-	-	-	-	-	-	-
8	-	REGC	-	-	-	-	-	-	-	-	-
9	-	Vss	-	-	-	-	-	-	-	-	-
10	-	Vbb	-	-	-	-	-	-	-	-	-
11	P60	-	-	-	-	-	-	-	SCLA0	-	-
12	P61	-	-	-	-	-	-	-	SDAA0	-	-
13	P62	-	-	-	-	-	-	-	-	-	-
14	P31	PCLBUZ0	-	INTP4	-	TS01	Ti03/TO03	-	-	-	-
15	P73	-	-	-	KR3	TS05	-	-	-	-	-
16	P72	-	-	-	KR2	TS04	-	-	SO21	-	TxDA1
17	P71	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-	RxDA0

(略)

正)

ピン 番号	I/O	電源、システム・クロック、 デバッグ	アナログ	HMI			タイマ		通信インタフェース		
			A/Dコンバータ (ADC)	割り込み機能 (INTP)	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
1	P40	TOOL0	-	-	-	-	-	-	-	-	-
2	-	RESET	-	-	-	-	-	-	-	-	-
3	P124	XT2/EXCLKS	-	-	-	-	-	-	-	-	-
4	P123	XT1	-	-	-	-	-	-	-	-	-
5	P137	-	-	INTP0	-	-	-	-	-	-	-
6	P122	X2/EXCLK	-	-	-	-	-	-	-	-	-
7	P121	X1/VBAT	-	-	-	-	-	-	-	-	-
8	-	REGC	-	-	-	-	-	-	-	-	-
9	-	Vss	-	-	-	-	-	-	-	-	-
10	-	Vdd	-	-	-	-	-	-	-	-	-
11	P60	-	-	-	-	-	-	-	-	SCLA0	-
12	P61	-	-	-	-	-	-	-	-	SDAA0	-
13	P62	-	-	-	-	-	-	-	-	-	-
14	P31	PCLBUZ0	-	INTP4	-	TS01	Ti03/TO03	-	-	-	-
15	P73	-	-	-	KR3	TS05	-	-	-	-	-
16	P72	-	-	-	KR2	TS04	-	-	SO21	-	TxDA0
17	P71	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-	RxDA0

(略)

2. 表 1 - 10 44 ピン製品の兼用機能 (1/2) (p.28)

誤)

ピン 番号	I/O	電源、システム・クロック、 デバッグ	アナログ	HMI		タイマ		通信インタフェース		
			A/Dコンバータ (ADC)	割り込み機能 (INTP)	キー割り込み機能	静電容量センサユニット (CTSUL2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)
1	P41	-	-	-	-	-	TI07/TO07	-	-	-
2	P40	TOOL0	-	-	-	-	-	-	-	-
3	-	RESET	-	-	-	-	-	-	-	-
4	P124	XT2/EXCLKS	-	-	-	-	-	-	-	-
5	P123	XT1	-	-	-	-	-	-	-	-
6	P137	-	-	INTP0	-	-	-	-	-	-
7	P122	X2/EXCLK	-	-	-	-	-	-	-	-
8	P121	X1/VBAT	-	-	-	-	-	-	-	-
9	-	REGC	-	-	-	-	-	-	-	-
10	-	Vss	-	-	-	-	-	-	-	-
11	-	Vdd	-	-	-	-	-	-	-	-
12	P60	-	-	-	-	-	-	-	SCLA0	-
13	P61	-	-	-	-	-	-	-	SDAA0	-
14	P62	-	-	-	-	-	-	-	-	-
15	P63	-	-	-	-	-	-	-	-	-
16	P31	PCLBUZ0	-	INTP4	-	TS01	TI03/TO03	-	-	-
17	P73	-	-	-	KR3	TS05	-	-	-	-
18	P72	-	-	-	KR2	TS04	-	-	SO21	-
19	P71	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-

(略)

正)

ピン 番号	I/O	電源、システム・クロック、 デバッグ	アナログ	HMI		タイマ		通信インタフェース		
			A/Dコンバータ (ADC)	割り込み機能 (INTP)	キー割り込み機能	静電容量センサユニット (CTSUL2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)
1	P41	-	-	-	-	-	TI07/TO07	-	-	-
2	P40	TOOL0	-	-	-	-	-	-	-	-
3	-	RESET	-	-	-	-	-	-	-	-
4	P124	XT2/EXCLKS	-	-	-	-	-	-	-	-
5	P123	XT1	-	-	-	-	-	-	-	-
6	P137	-	-	INTP0	-	-	-	-	-	-
7	P122	X2/EXCLK	-	-	-	-	-	-	-	-
8	P121	X1/VBAT	-	-	-	-	-	-	-	-
9	-	REGC	-	-	-	-	-	-	-	-
10	-	Vss	-	-	-	-	-	-	-	-
11	-	Vdd	-	-	-	-	-	-	-	-
12	P60	-	-	-	-	-	-	-	SCLA0	-
13	P61	-	-	-	-	-	-	-	SDAA0	-
14	P62	-	-	-	-	-	-	-	-	-
15	P63	-	-	-	-	-	-	-	-	-
16	P31	PCLBUZ0	-	INTP4	-	TS01	TI03/TO03	-	-	-
17	P73	-	-	-	KR3	TS05	-	-	-	-
18	P72	-	-	-	KR2	TS04	-	-	SO21	-
19	P71	-	-	-	KR1	TS03	-	-	SI21/ SDA21	-

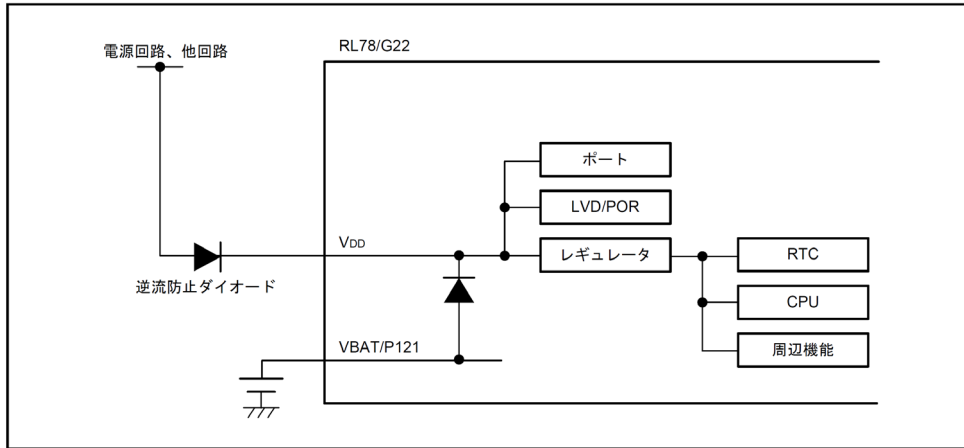
(略)

3. 2.2.3.2 VBAT 端子とバックアップ用バッテリーの接続 (p.68)

誤)

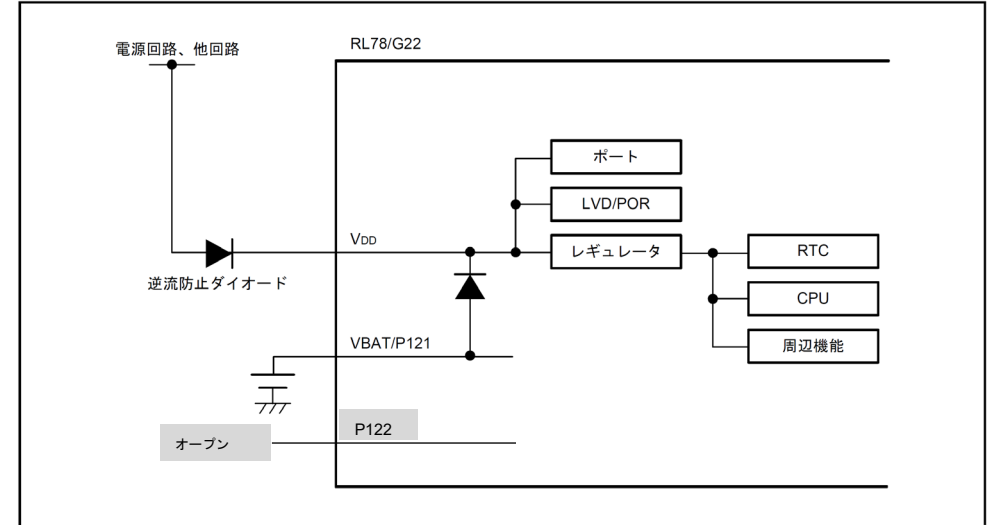
(略)

図2-1 VBAT 端子の接続例



正)

図2-1 VBAT 端子の接続例



4. 2.2.3.3 VBAT 端子の使用方法 (p.69)

誤)

VBAT 端子の初期設定と電源供給を VBAT 端子へ切り替える手順例を示します。なお、VDD 端子の電圧が VBAT 端子の供給電圧を下回る前に処理を完了してください。

また、図 2-2 に VDD 端子と VBAT 端子の切り替え時の状態遷移を示します。

(1) VBAT 端子の初期設定

初期設定として P121 を X1 発振モード (CMC レジスタの EXCLK ビットを 0、OSCSEL ビットを 1、CSC レジスタの MSTOP ビットを 0) に設定してください。

(略)

正)

VBAT 端子の初期設定と電源供給を VBAT 端子へ切り替える手順例を示します。なお、VDD 端子の電圧が VBAT 端子の供給電圧を下回る前に処理を完了してください。

また、図 2-2 に VDD 端子と VBAT 端子の切り替え時の状態遷移を示します。

(1) VBAT 端子の初期設定

初期設定として P121 を X1 発振モード (CMC レジスタの EXCLK ビットを 0、OSCSEL ビットを 1、CSC レジスタの MSTOP ビットを 1) に設定してください。

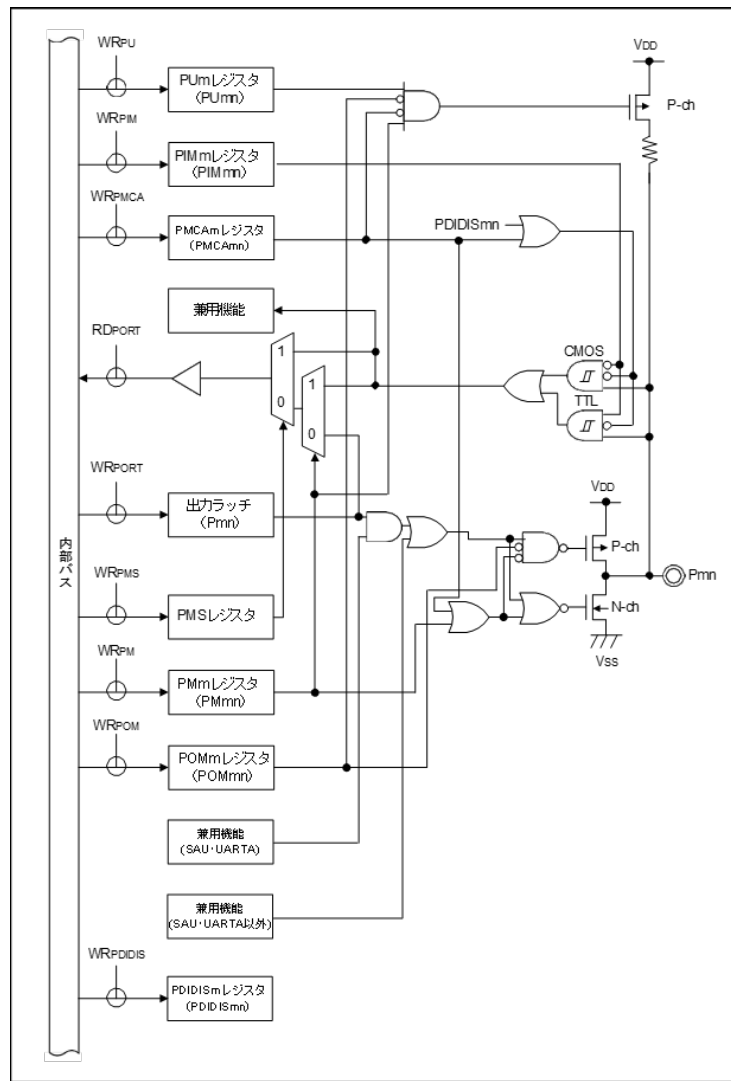
(略)

5. 2.4 端子ブロック図

誤)

(p.89)

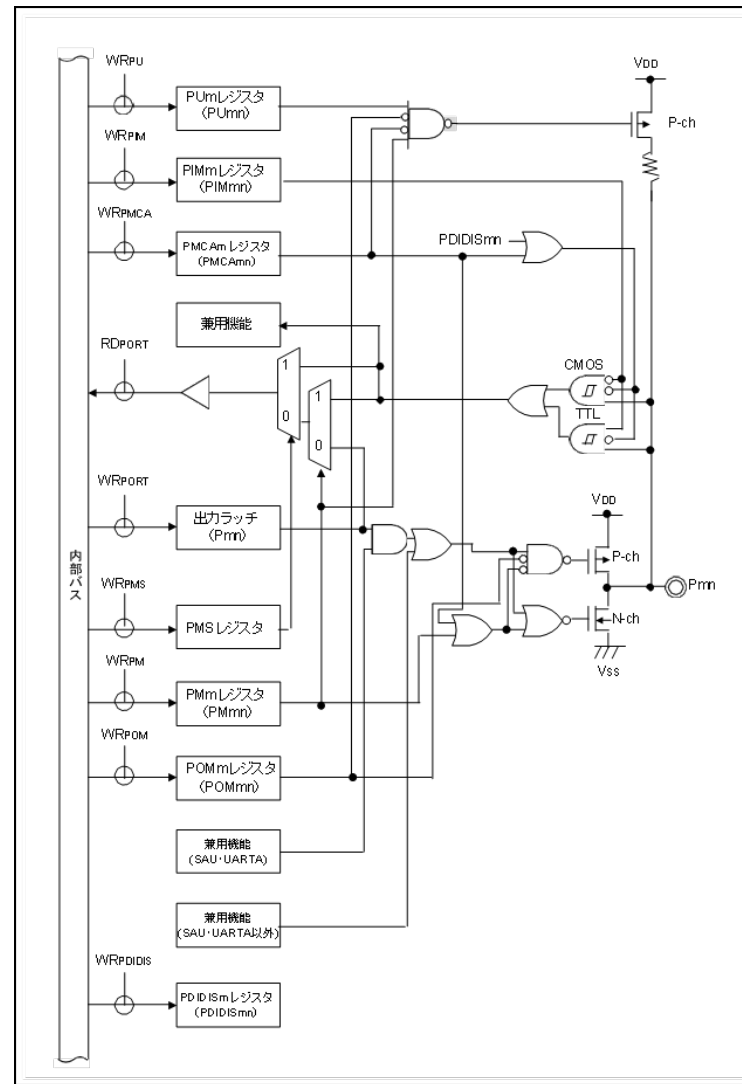
図 2-22 端子タイプ 8-6-9 の端子ブロック図



(略)

正)

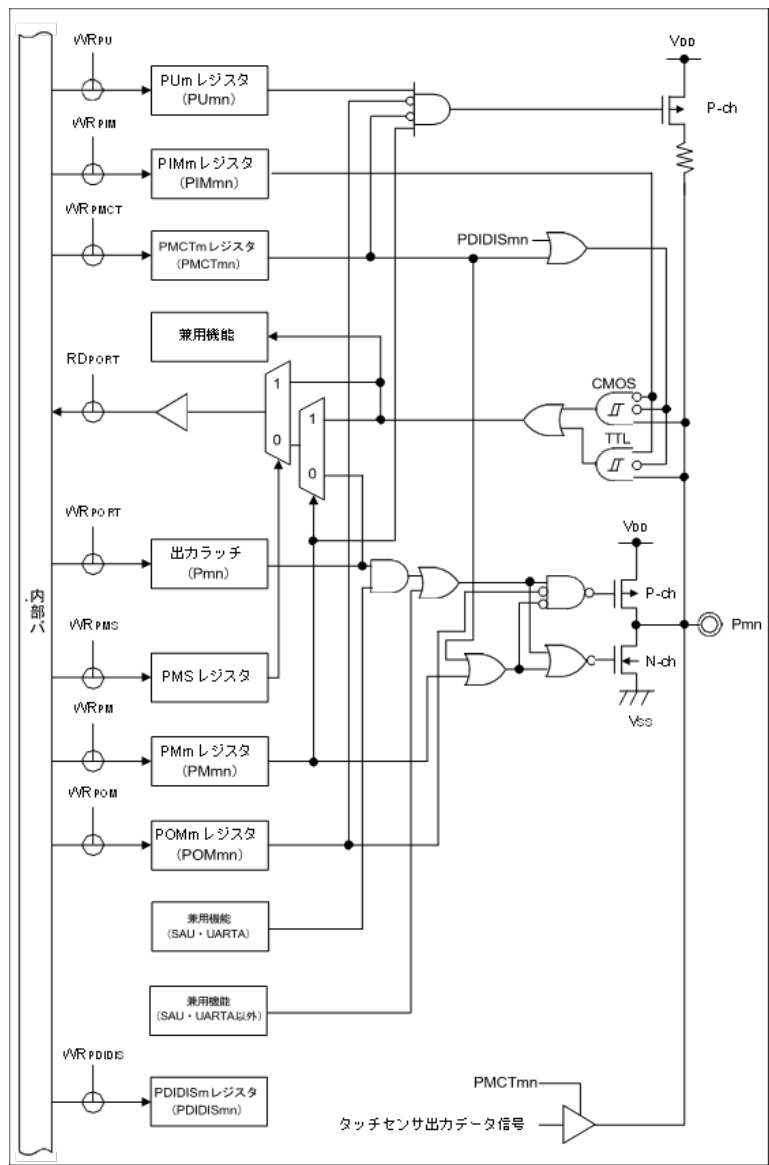
図 2-22 端子タイプ 8-6-9 の端子ブロック図



(略)

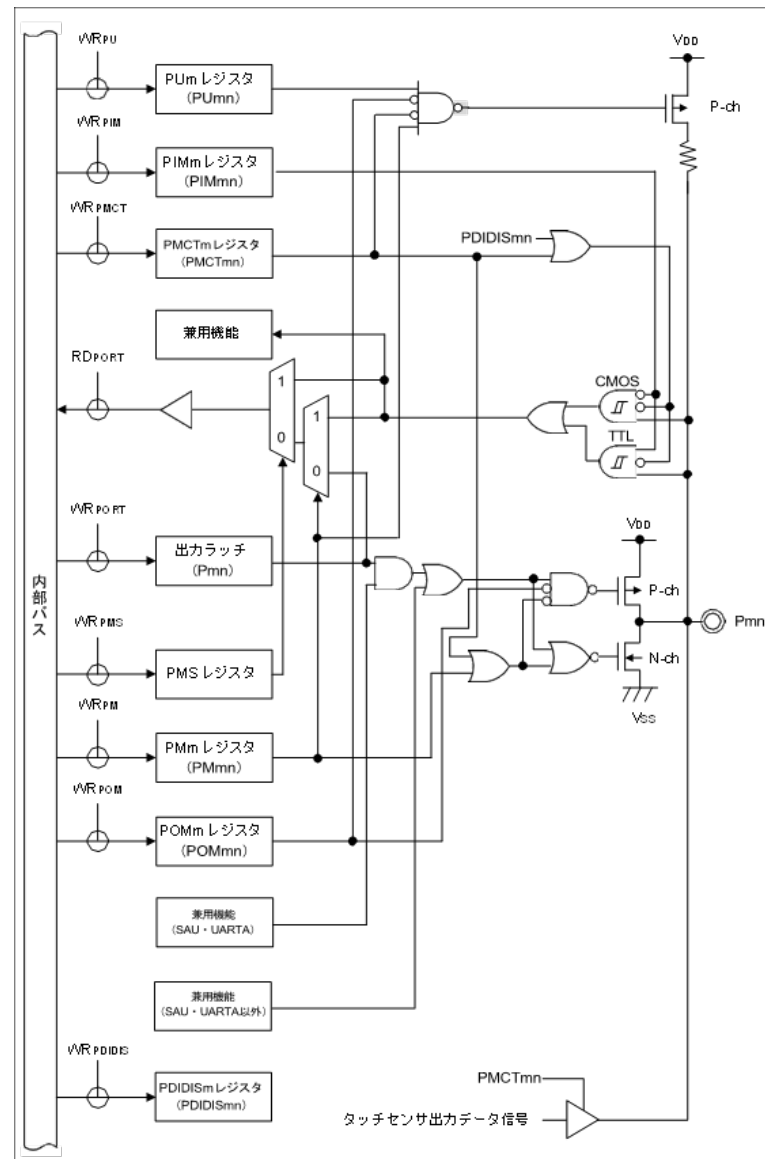
(p.91)

図 2-24 端子タイプ 8-31-2 の端子ブロック図



(略)

図 2-24 端子タイプ 8-31-2 の端子ブロック図



(略)

6. 4.5.4 使用するポート機能および兼用機能のレジスタ設定例(p.186)

誤)

表 4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (13/15)

端子名称	使用機能		CMC				PMxx	Pxx	16 ピン	20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン		
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL																
P121	P121	入力	00xx/10xx/11xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	
			xx00/xx10/xx11	1注																
		出力	00xx/10xx/11xx	0	0	0/1														
			xx00/xx10/xx11	1注																
	VBAT	入力	00xx/10xx/11xx	0	0	1	*	*	*	*	*	*	*	*	*	○	○	○	○	
	X1	—	01xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	
XT1	—	xx01	1	1	*	○	○	○	○	○	○	○	○	○	*	*	*	*		
P122	P122	入力	00xx/10xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	
			xx00/xx10	1注																
		出力	00xx/10xx	0	0	0/1														
			xx00/xx10	1注																
	X2	—	01xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○		
	XT2	—	xx01	1	1	*	○	○	○	○	○	○	○	○	*	*	*	*		
EXCLK	入力	11xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○		
EXCLKS	入力	xx11	1	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○		
P123	P123	入力	xx00/xx10/xx11	0	—	*	*	*	*	*	*	*	*	*	*	*	*	○		
XT1	—	xx01	0	—	*	*	*	*	*	*	*	*	*	*	*	*	*	○		
P124	P124	入力	xx00/xx10	0	—	*	*	*	*	*	*	*	*	*	*	*	*	○		
XT2	—	xx01	0	—	*	*	*	*	*	*	*	*	*	*	*	*	*	○		
EXCLKS	入力	xx11	0	—	*	*	*	*	*	*	*	*	*	*	*	*	*	○		

注 16~36 ピン製品のみ

正)

表 4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (13/15)

端子名称	使用機能		CMC				PMxx	Pxx	16 ピン	20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL															
P121	P121	入力	00xx/10xx/11xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	
			xx00/xx10/xx11	1注															
		出力	00xx/10xx/11xx	0	0	0/1													
			xx00/xx10/xx11	1注															
	VBAT	—	01xx	0	1	*	*	*	*	*	*	*	*	*	*	○	○	○	
	X1	—	01xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	
XT1	—	xx01	1	1	*	○	○	○	○	○	○	○	○	○	*	*	*		
P122	P122	入力	00xx/10xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	
			xx00/xx10	1注															
		出力	00xx/10xx	0	0	0/1													
			xx00/xx10	1注															
	X2	—	01xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	
	XT2	—	xx01	1	1	*	○	○	○	○	○	○	○	○	*	*	*		
EXCLK	入力	11xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○		
EXCLKS	入力	xx11	1	1	*	○	○	○	○	○	○	○	○	○	○	○	○		
P123	P123	入力	xx00/xx10/xx11	0	—	*	*	*	*	*	*	*	*	*	*	*	*	○	
XT1	—	xx01	0	—	*	*	*	*	*	*	*	*	*	*	*	*	*	○	
P124	P124	入力	xx00/xx10	0	—	*	*	*	*	*	*	*	*	*	*	*	*	○	
XT2	—	xx01	0	—	*	*	*	*	*	*	*	*	*	*	*	*	*	○	
EXCLKS	入力	xx11	0	—	*	*	*	*	*	*	*	*	*	*	*	*	*	○	

注 16~36 ピン製品のみ

7. 6.1 クロック発生回路の機能 (p.201)

誤)

クロック発生回路は、CPU および周辺ハードウェアに供給するクロックを発生する回路です。

(略)

次に、高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数 (MHz)									
	1	2	3	4	6	8	12	16	24	32
1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V	○	○	○	○	○	○	○	○	○	○
1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V	○	○	≡	≡	—	—	—	—	—	—

(略)

正)

クロック発生回路は、CPU および周辺ハードウェアに供給するクロックを発生する回路です。

(略)

次に、高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数 (MHz)									
	1	2	3	4	6	8	12	16	24	32
1.8 V ≤ V <sub>DD</sub> ≤ 5.5 V	○	○	○	○	○	○	○	○	○	○
1.6 V ≤ V <sub>DD</sub> ≤ 5.5 V	○	○	○	○	—	—	—	—	—	—

(略)

## 8. 12.6.7 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、連続変換モード） (p.510)

誤)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADMO) のADCE = 1に設定し、A/D変換待機状態となります。

(略)

- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

(略)

## 9. 12.6.9 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、連続変換モード） (p.512)

誤)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADMO) のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。

(略)

- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

(略)

正)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADMO) のADCE = 1に設定し、A/D変換待機状態となります。

(略)

- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

(略)

正)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADMO) のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。

(略)

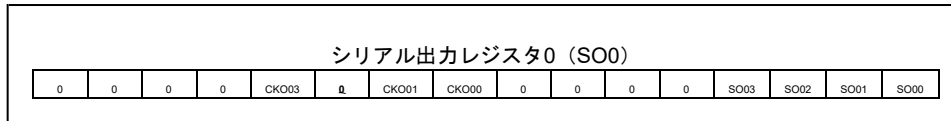
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。

- ⑧ ハードウェア・トリガ待機状態中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

(略)

10. 図 13-1 シリアル・アレイ・ユニット 0 のブロック図 (p.541)

誤)



(略)

11. 13.3.13 シリアル出力レジスタ m (SOm) (p.566)

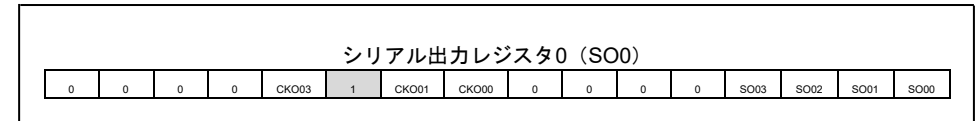
誤)

(略)

注意 SO0 レジスタのビット 15-12, 10, 7-4 には、必ず 0 を設定してください。  
 SO1 レジスタのビット 15-10, 7-2 には、必ず 0 を設定してください。

備考 m：ユニット番号 (m = 0, 1)、n：チャンネル番号 (n = 0, 1, 3)

正)



(略)

正)

(略)

注意 SO0 レジスタのビット 15-12, 7-4 には、必ず 0 を設定してください。  
 また、SO0 レジスタのビット 10 には、必ず 1 を設定してください。  
 SO1 レジスタのビット 15-10, 7-2 には、必ず 0 を設定してください。

備考 m：ユニット番号 (m = 0, 1)、n：チャンネル番号 (n = 0, 1, 3)

12. 15.3.4 ボー・レート・ジェネレータ (p.843)

誤)

スタート・ビット検出後はボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (• トップ・ビット) までは間に合えば正常に受信できます。これを11ビット受信に当てはめると理論上、次のようになります。

(• 1ビット・データ長とボーレートの関係

$$FL = (\text{Brate}) - 1$$

Brate : UARTのボーレート

k : BRGCAnレジスタの設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージンは1クロック

(• 許容最小データ・フレーム長 (FLmin)

$$FL_{\min} = 11 \times FL - \frac{k-1}{2k} \times FL = \frac{21k+1}{2k} FL$$

• 受信可能な送信先の最大ボーレート (BRmax)

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+1} \text{Brate}$$

• 許容最大データ・フレーム長 (FLmax)

$$FL_{\max} = \frac{21k+1}{20k} FL \times 11$$

• 受信可能な送信先の最小ボーレート (BRmin)

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-1} \text{Brate}$$

前述の最小/最大ボーレート値の算出式から求めたUARTと送信先とのボーレートの許容誤差を表15-5に示します。

表15-5 許容最大/最小ボーレート誤差

分周比 (k)	許容最大ボーレート誤差	許容最小ボーレート誤差
2	+2.32%	-2.43%
4	+3.52%	-3.61%
8	+4.14%	-4.19%
20	+4.51%	-4.53%
50	+4.66%	-4.67%
100	+4.71%	-4.71%
255	+4.74%	-4.74%

備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

備考2. k : BRGCAnレジスタの設定値

正)

スタート・ビット検出後はボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (• トップ・ビット) までは間に合えば正常に受信できます。これを11ビット受信に当てはめると理論上、次のようになります。

(• 1ビット・データ長とボーレートの関係

$$FL = (\text{Brate}) - 1$$

Brate : UARTのボーレート

k : BRGCAnレジスタの設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージンは2クロック

(• 許容最小データ・フレーム長 (FLmin)

$$k=3\sim 255\text{のとき} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

• 受信可能な送信先の最大ボーレート (BRmax)

$$k=2\text{のとき} : BR_{\max} = \text{Brate} + \frac{1}{22k} \text{Brate}$$

$$k=3\sim 255\text{のとき} : BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{Brate}$$

• 許容最大データ・フレーム長 (FLmax)

$$k=3\sim 255\text{のとき} : FL_{\max} = \frac{21k+2}{20k} FL \times 11$$

• 受信可能な送信先の最小ボーレート (BRmin)

$$k=2\text{のとき} : BR_{\min} = \text{Brate} - \frac{1}{22k} \text{Brate}$$

$$k=3\sim 255\text{のとき} : BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{Brate}$$

前述の最小/最大ボーレート値の算出式から求めたUARTと送信先とのボーレートの許容誤差を表15-5に示します。

表15-5 許容最大/最小ボーレート誤差

分周比 (k)	許容最大ボーレート誤差	許容最小ボーレート誤差
2	+2.27%	-2.27%
4	+2.33%	-2.44%
8	+3.53%	-3.61%
20	+4.27%	-4.31%
50	+4.56%	-4.58%
100	+4.66%	-4.67%
255	+4.72%	-4.73%

備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

備考2. k : BRGCAnレジスタの設定値

### 13. 16.4 DTC の動作 (p.864)

誤)

DTC が起動すると、DTC コントロール・データ領域からコントロール・データを読み出し、このコントロール・データに従ってデータ転送を行い、データ転送後のコントロール・データを DTC コントロール・データ領域へ書き戻します。24 組のコントロール・データを DTC コントロール領域へ格納でき、24 通りのデータ転送ができます。

転送モードにはノーマル・モードとリピート・モードがあり、転送サイズは 8 ビット転送と 16 ビット転送があります。また、**DTCCTj** レジスタ (j = 0-23) の CHNE ビットが 1 (チェーン転送許可) のとき、1 つの起動要因に対して複数のコントロール・データを読み出し、連続してデータを転送します (チェーン転送)。

転送元アドレスは 16 ビット長の DTSARj レジスタ、転送先は 16 ビット長の DTDARj レジスタで指定します。DTSARj レジスタと DTDARj レジスタは、データ転送後、コントロール・データに従って加算されるか固定されます。

正)

DTC が起動すると、DTC コントロール・データ領域からコントロール・データを読み出し、このコントロール・データに従ってデータ転送を行い、データ転送後のコントロール・データを DTC コントロール・データ領域へ書き戻します。24 組のコントロール・データを DTC コントロール領域へ格納でき、24 通りのデータ転送ができます。

転送モードにはノーマル・モードとリピート・モードがあり、転送サイズは 8 ビット転送と 16 ビット転送があります。また、**DTCCRj** レジスタ (j = 0-23) の CHNE ビットが 1 (チェーン転送許可) のとき、1 つの起動要因に対して複数のコントロール・データを読み出し、連続してデータを転送します (チェーン転送)。

転送元アドレスは 16 ビット長の DTSARj レジスタ、転送先は 16 ビット長の DTDARj レジスタで指定します。DTSARj レジスタと DTDARj レジスタは、データ転送後、コントロール・データに従って加算されるか固定されます。

#### 14. 16.4.3 リピート・モード (p.871)

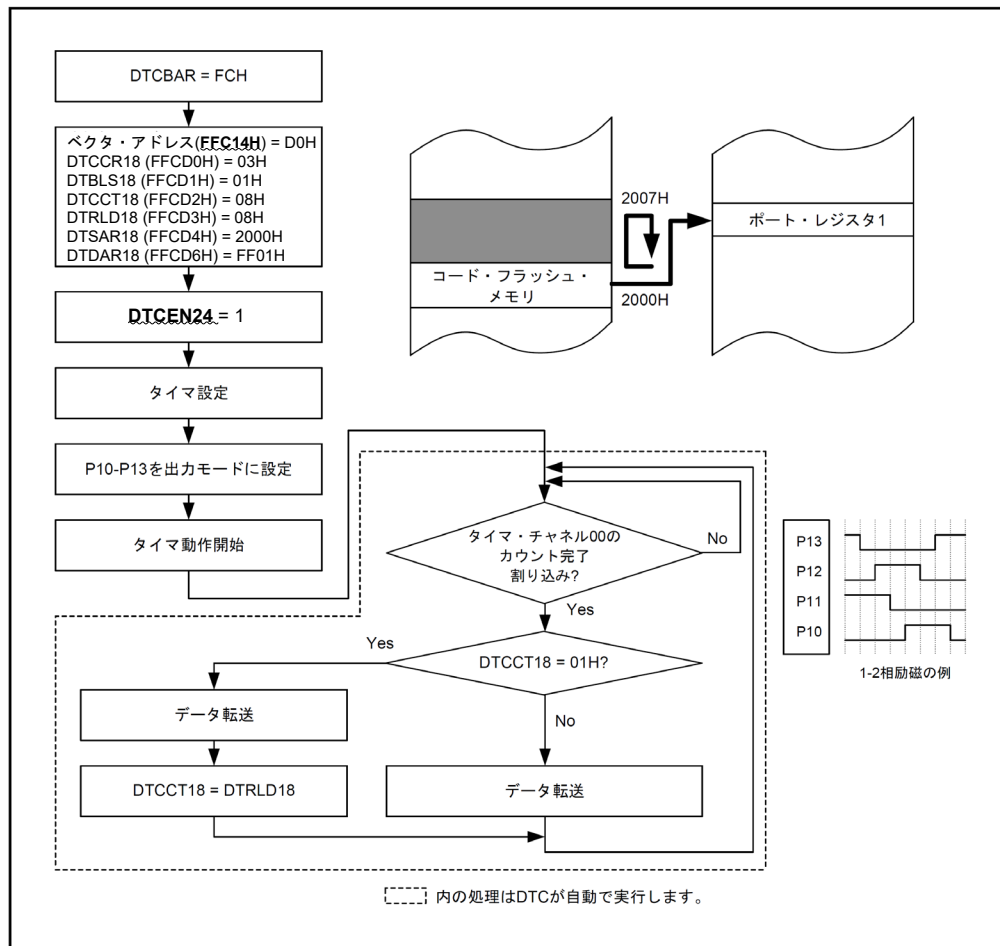
誤)

- (1) リピート・モードの使用例 1：ポートを使ったステップング・モータ制御パルス出力タイマ・アレイ・ユニット 0 のチャンネル 0 のインターバル・タイマ機能を使って DTC を起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。
- ベクタ・アドレスは **FFC14H**、コントロール・データは FFCD0H-FFCD7H に配置
  - コード・フラッシュ・メモリの 02000H-02007H の 8 バイト・データをミラー領域 F2000H-F2007H からポート・レジスタ 1 (FFF01H) へ転送
  - リピート・モード割り込みは禁止

正)

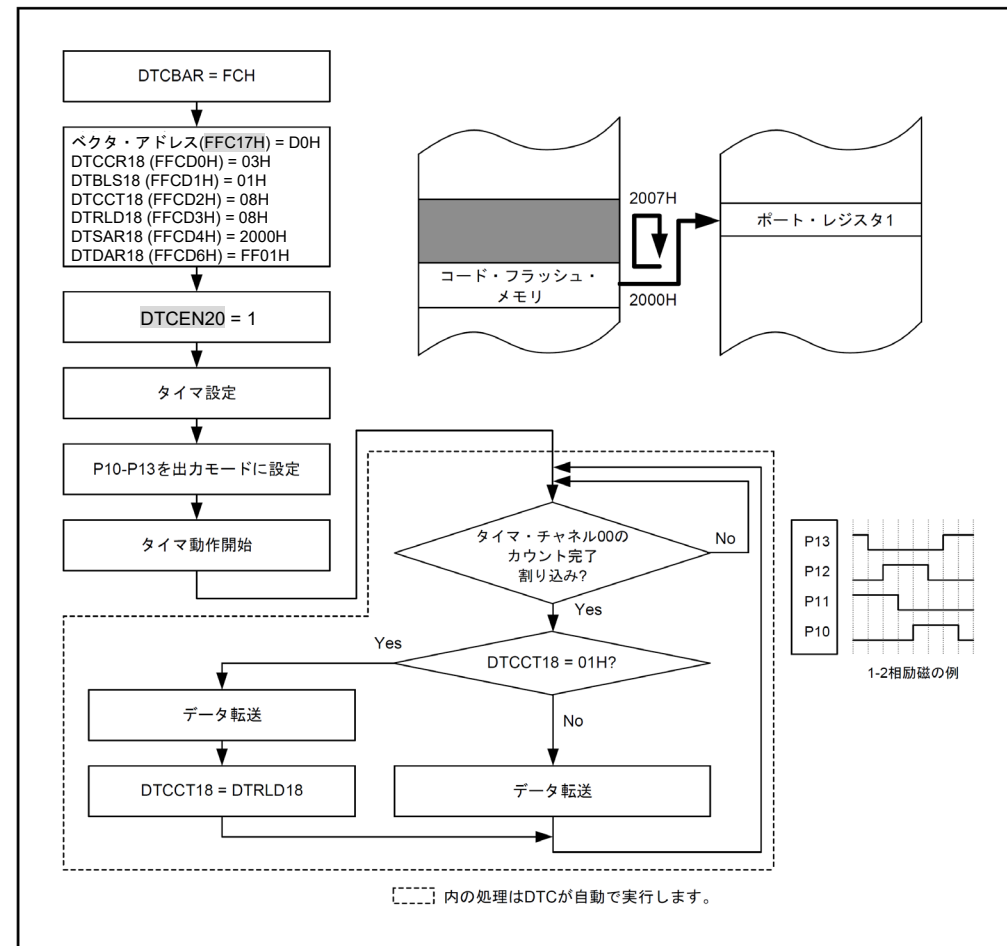
- (1) リピート・モードの使用例 1：ポートを使ったステップング・モータ制御パルス出力タイマ・アレイ・ユニット 0 のチャンネル 0 のインターバル・タイマ機能を使って DTC を起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。
- ベクタ・アドレスは **FFC17H**、コントロール・データは FFCD0H-FFCD7H に配置
  - コード・フラッシュ・メモリの 02000H-02007H の 8 バイト・データをミラー領域 F2000H-F2007H からポート・レジスタ 1 (FFF01H) へ転送
  - リピート・モード割り込みは禁止

図 16 - 19 リピート・モードの使用例 1：ポートを使ったステッピング・モータ制御パルス出力



出力を停止する場合は、タイマを停止してから、**DTCEN24**をクリアしてください。

図 16 - 19 リピート・モードの使用例 1：ポートを使ったステッピング・モータ制御パルス出力



出力を停止する場合は、タイマを停止してから、**DTCEN20**をクリアしてください。

15. 表 18 - 2 割り込み要求ソースに対応する各種フラグ (3/4) (p.895)

誤)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		48	44	40	36	32	28	24	20	16
	レジスタ	レジスタ	レジスタ	レジスタ											
INTST1	STIF1	IF1L	STMK1	MK1L	STPR01, STPR11	PR01L, PR11L	○	○	○	○	○	○	○	○	○
INTSR1 <sup>注1</sup>	SRIF1 <sup>注1</sup>		SRMK1 <sup>注1</sup>		SRPR01, SRPR11 <sup>注1</sup>		○	○	○	○	○	○	○	○	○
INTCSI11 <sup>注1</sup>	CSIF11 <sup>注1</sup>		CSIMK11 <sup>注1</sup>		CSIPR011, CSIPR111 <sup>注1</sup>		○	○	○	○	○	○	○	○	○
INTIIC11 <sup>注1</sup>	IICIF11 <sup>注1</sup>		IICMK11 <sup>注1</sup>		IICPR011, IICPR111 <sup>注1</sup>		○	○	○	○	○	○	○	○	○
INTSRE1 <sup>注2</sup>	SREIF1 <sup>注2</sup>		SREMK1 <sup>注2</sup>		SREPR01, SREPR11 <sup>注2</sup>		○	○	○	○	○	○	○	○	○
INTTM03H <sup>注2</sup>	TMIF03H <sup>注2</sup>		TMMK03H <sup>注2</sup>		TMPR003H, TMPR103H		○	○	○	○	○	○	○	○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○	○	○	○	○	○
INTSR0 <sup>注3</sup>	SRIF0 <sup>注3</sup>		SRMK0 <sup>注3</sup>		SRPR00, SRPR10 <sup>注3</sup>		○	○	○	○	○	○	○	○	○
INTCSI01 <sup>注3</sup>	CSIF01 <sup>注3</sup>		CSIMK01 <sup>注3</sup>		CSIPR001, CSIPR101 <sup>注3</sup>		○	○	○	○	○	○	○	○	○
INTIIC01 <sup>注3</sup>	IICIF01 <sup>注3</sup>		IICMK01 <sup>注3</sup>		IICPR001, IICPR101 <sup>注3</sup>		○	○	○	○	○	○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○	○	○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○	○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○	○	○	○	○	○
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○	○	○	○	○	○	○	○
INTRTC	RTCIF		RTCMK		RT CPR0, RT CPR1		○	○	○	○	○	○	○	○	○
INTITL	ITLIF		ITLMK		ITLPR0, ITLPR1		○	○	○	○	○	○	○	○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	○	○	○	○	○	○
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○	○	○	○	○	○	○	○

- 注1. 割り込み要因INTSR1, INTCSI11, INTIIC11のうち、いずれかが発生すると、IF1Lレジスタのビット1はセット (1) されます。  
また、MK1L, PR01L, PR11Lレジスタのビット1は、3つすべての割り込み要因に対応しています。
- 注2. UART1受信のエラー割り込み、TAU0のチャンネル3 (上位8ビット・タイマ動作時) の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。  
UART1受信のエラー割り込みを使用しない (EOC03 = 0) 場合は、UART1, TAU0のチャンネル3 (上位8ビット・タイマ動作時) を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち、どちらかが発生すると、IF1Lレジスタのビット2はセット (1) されます。  
また、MK1L, PR01L, PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。
- 注3. 割り込み要因INTSR0, INTCSI01, INTIIC01のうち、いずれかが発生すると、IF1Lレジスタのビット4はセット (1) されます。  
また、MK1L, PR01L, PR11Lレジスタのビット4は、3つすべての割り込み要因に対応しています。

正)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		48	44	40	36	32	28	24	20	16
	レジスタ	レジスタ	レジスタ	レジスタ											
INTST1	STIF1	IF1L	STMK1	MK1L	STPR01, STPR11	PR01L, PR11L	○	○	○	○	○	○	○	○	○
INTSR1 <sup>注1</sup>	SRIF1 <sup>注1</sup>		SRMK1 <sup>注1</sup>		SRPR01, SRPR11 <sup>注1</sup>		○	○	○	○	○	○	○	○	○
INTCSI11 <sup>注1</sup>	CSIF11 <sup>注1</sup>		CSIMK11 <sup>注1</sup>		CSIPR011, CSIPR111 <sup>注1</sup>		○	○	○	○	○	○	○	○	○
INTIIC11 <sup>注1</sup>	IICIF11 <sup>注1</sup>		IICMK11 <sup>注1</sup>		IICPR011, IICPR111 <sup>注1</sup>		○	○	○	○	○	○	○	○	○
INTSRE1 <sup>注2</sup>	SREIF1 <sup>注2</sup>		SREMK1 <sup>注2</sup>		SREPR01, SREPR11 <sup>注2</sup>		○	○	○	○	○	○	○	○	○
INTTM03H <sup>注2</sup>	TMIF03H <sup>注2</sup>		TMMK03H <sup>注2</sup>		TMPR003H, TMPR103H		○	○	○	○	○	○	○	○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○	○	○	○	○	○
INTSR0 <sup>注3</sup>	SRIF0 <sup>注3</sup>		SRMK0 <sup>注3</sup>		SRPR00, SRPR10 <sup>注3</sup>		○	○	○	○	○	○	○	○	○
INTCSI01 <sup>注3</sup>	CSIF01 <sup>注3</sup>		CSIMK01 <sup>注3</sup>		CSIPR001, CSIPR101 <sup>注3</sup>		○	○	○	○	○	○	○	○	○
INTIIC01 <sup>注3</sup>	IICIF01 <sup>注3</sup>		IICMK01 <sup>注3</sup>		IICPR001, IICPR101 <sup>注3</sup>		○	○	○	○	○	○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○	○	○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○	○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○	○	○	○	○	○
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○	○	○	○	○	○	○	○
INTRTC	RTCIF		RTCMK		RT CPR0, RT CPR1		○	○	○	○	○	○	○	○	○
INTITL	ITLIF		ITLMK		ITLPR0, ITLPR1		○	○	○	○	○	○	○	○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	○	○	○	○	○	○
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○	○	○	○	○	○	○	○

- 注1. 割り込み要因INTSR1, INTCSI11, INTIIC11のうち、いずれかが発生すると、IF1Lレジスタのビット1はセット (1) されます。  
また、MK1L, PR01L, PR11Lレジスタのビット1は、3つすべての割り込み要因に対応しています。
- 注2. UART1受信のエラー割り込み、TAU0のチャンネル3 (上位8ビット・タイマ動作時) の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。  
UART1受信のエラー割り込みを使用しない (EOC03 = 0) 場合は、UART1, TAU0のチャンネル3 (上位8ビット・タイマ動作時) を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち、どちらかが発生すると、IF1Lレジスタのビット2はセット (1) されます。  
また、MK1L, PR01L, PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。
- 注3. 割り込み要因INTSR0, INTCSI01, INTIIC01のうち、いずれかが発生すると、IF1Lレジスタのビット4はセット (1) されます。  
また、MK1L, PR01L, PR11Lレジスタのビット4は、3つすべての割り込み要因に対応しています。

16. 34.2.3 オンチップ・オシレータ特性 (p.1204)

誤)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件			Min.	Typ.	Max.	単位
高速オンチップ・オシレータ・クロック周波数	f <sub>H</sub>				1		32	MHz
高速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>		HIPREC = 1	+85 ~ +105°C	1.8 V ≤ VDD ≤ 5.5 V	-2.0		+2.0	%
				1.6 V ≤ VDD ≤ 5.5 V	-6.0		+6.0	%
			-20 ~ +85°C	1.8 V ≤ VDD ≤ 5.5 V	-1.0		+1.0	%
				1.6 V ≤ VDD ≤ 5.5 V	-5.0		+5.0	%
			-40 ~ -20°C	1.8 V ≤ VDD ≤ 5.5 V	-1.5		+1.5	%
				1.6 V ≤ VDD ≤ 5.5 V	-5.5		+5.5	%
		HIPREC = 0 <sup>注4</sup>			-15		0	%
高速オンチップ・オシレータ・クロック補正分解能						0.05		%
中速オンチップ・オシレータ・クロック周波数 <sup>注2</sup>	f <sub>M</sub>				1		4	MHz
中速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>					-12		+12	%
中速オンチップ・オシレータ・クロック補正分解能						0.15		%
中速オンチップ・オシレータ周波数温度係数							±0.17 <sup>注3</sup>	%/°C
低速オンチップ・オシレータ・クロック周波数 <sup>注2</sup>	f <sub>L</sub>					32.768		kHz
低速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>					-15		+15	%
低速オンチップ・オシレータ・クロック補正分解能						0.3		%
低速オンチップ・オシレータ周波数温度係数							±0.21 <sup>注3</sup>	%/°C

注 1. テスト時の精度です。

注 2. 発振回路の特性だけを示すものです。命令実行時間は、34.4 AC 特性を参照してください。

注 3. 評価による値です。

注 4. FRQSEL3 = 1 に設定時

正)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件			Min.	Typ.	Max.	単位
高速オンチップ・オシレータ・クロック周波数	f <sub>H</sub>				1		32	MHz
高速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>		HIPREC = 1	+85 ~ +105°C	1.8 V ≤ VDD ≤ 5.5 V	-2.0		+2.0	%
				1.6 V ≤ VDD ≤ 5.5 V	-6.0		+6.0	%
			-20 ~ +85°C	1.8 V ≤ VDD ≤ 5.5 V	-1.0		+1.0	%
				1.6 V ≤ VDD ≤ 5.5 V	-5.0		+5.0	%
			-40 ~ -20°C	1.8 V ≤ VDD ≤ 5.5 V	-1.5		+1.5	%
				1.6 V ≤ VDD ≤ 5.5 V	-5.5		+5.5	%
		HIPREC = 0 <sup>注2</sup>			-15		0	%
高速オンチップ・オシレータ・クロック補正分解能						0.05		%
中速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	f <sub>M</sub>				1		4	MHz
中速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>					-12		+12	%
中速オンチップ・オシレータ・クロック補正分解能						0.15		%
中速オンチップ・オシレータ周波数温度係数							±0.17 <sup>注4</sup>	%/°C
低速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	f <sub>L</sub>					32.768		kHz
低速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>					-15		+15	%
低速オンチップ・オシレータ・クロック補正分解能						0.3		%
低速オンチップ・オシレータ周波数温度係数							±0.21 <sup>注4</sup>	%/°C

注 1. テスト時の精度です。

注 2. ユーザ・オプション・バイトの FRQSEL3 = 1 に設定時

注 3. 発振回路の特性だけを示すものです。命令実行時間は、34.4 AC 特性を参照してください。

注 4. この値は特性評価結果による値であり、出荷検査は行っていません。

17. 34.3.2 電源電流特性

誤)

(p.1212)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(1/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD1	動作モード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注2</sup>	基本動作	VDD = 5.0 V	1.2		mA
						VDD = 1.8 V	1.2		
					通常動作	VDD = 5.0 V	2.7	4.6	mA
						VDD = 1.8 V	2.7	4.6	

			LS (低速メイン)モード	f <sub>MX</sub> = 20 MHz <sup>注4</sup> , 方形波入力	通常動作	VDD = 5.0 V		1.5	2.7	mA
						VDD = 1.8 V		1.5	2.7	
				f <sub>MX</sub> = 20 MHz <sup>注4</sup> , 発振子接続	通常動作	VDD = 5.0 V		1.7	3.0	mA
						VDD = 1.8 V		1.7	3.0	
				f <sub>MX</sub> = 10 MHz <sup>注4</sup> , 方形波入力	通常動作	VDD = 5.0 V		0.8	1.5	mA
						VDD = 1.8 V		0.8	1.4	
				f <sub>MX</sub> = 10 MHz <sup>注4</sup> , 発振子接続	通常動作	VDD = 5.0 V		0.9	1.6	mA
						VDD = 1.8 V		0.9	1.6	
				f <sub>MX</sub> = 8 MHz <sup>注4</sup> , 方形波入力	通常動作	VDD = 5.0 V		0.7	1.2	mA
						VDD = 1.8 V		0.7	1.2	
				f <sub>MX</sub> = 8 MHz <sup>注4</sup> , 発振子接続	通常動作	VDD = 5.0 V		0.8	1.3	mA
						VDD = 1.8 V		0.8	1.3	

注 1. VDD に流れるトータル電流です。入力端子を VDD または VSS に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ. 値は周辺動作電流を含みません。Max. 値には周辺動作電流を含みます。ただし、A/D コンバータ、LVD 回路、I/O ポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

正)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(1/4)

項目	略号	条件				Min.	Typ.	Max.	単位	
電源電流 <sup>注1</sup>	IDD1	動作モード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注2</sup>	基本動作	VDD = 5.0 V		1.2	mA	
						VDD = 1.8 V		1.2		
					通常動作	VDD = 5.0 V		2.7	4.6	mA
						VDD = 1.8 V		2.7	4.6	

			LS (低速メイン)モード	f <sub>MX</sub> = 20 MHz <sup>注4</sup> , 方形波入力	通常動作	VDD = 5.0 V		1.5	2.7	mA
						VDD = 1.8 V		1.5	2.7	
				f <sub>MX</sub> = 20 MHz <sup>注4</sup> , 発振子接続	通常動作	VDD = 5.0 V		1.7	3.0	mA
						VDD = 1.8 V		1.7	3.0	
				f <sub>MX</sub> = 10 MHz <sup>注4</sup> , 方形波入力	通常動作	VDD = 5.0 V		0.8	1.5	mA
						VDD = 1.8 V		0.8	1.4	
				f <sub>MX</sub> = 10 MHz <sup>注4</sup> , 発振子接続	通常動作	VDD = 5.0 V		0.9	1.6	mA
						VDD = 1.8 V		0.9	1.6	
				f <sub>MX</sub> = 8 MHz <sup>注4</sup> , 方形波入力	通常動作	VDD = 5.0 V		0.7	1.2	mA
						VDD = 1.8 V		0.7	1.2	
				f <sub>MX</sub> = 8 MHz <sup>注4</sup> , 発振子接続	通常動作	VDD = 5.0 V		0.8	1.3	mA
						VDD = 1.8 V		0.8	1.3	

注 1. VDD に流れるトータル電流です。入力端子を VDD または VSS に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ. 値は周辺動作電流を含みません。Max. 値には PCLBUZ, TAU, SAU, IICA 機能の動作電流を含みます。その他の周辺機能の動作電流は含みません。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(p.1215)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(3/4)

項目	略号	条件			Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	I <sub>DD2</sub> <sup>注2</sup>	HALTモード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注3</sup>	V <sub>DD</sub> = 5.0 V	0.49	1.87	mA
					V <sub>DD</sub> = 1.8 V	0.49	1.87	

項目	略号	条件			Min.	Typ.	Max.	単位
			LS (低速メイン)モード	f <sub>MX</sub> = 20 MHz <sup>注5</sup> , 方形波入力	V <sub>DD</sub> = 5.0 V	0.19	1.03	mA
					V <sub>DD</sub> = 1.8 V	0.16	0.99	
				f <sub>MX</sub> = 20 MHz <sup>注5</sup> , 発振子接続	V <sub>DD</sub> = 5.0 V	0.38	1.26	mA
					V <sub>DD</sub> = 1.8 V	0.37	1.25	
				f <sub>MX</sub> = 10 MHz <sup>注5</sup> , 方形波入力	V <sub>DD</sub> = 5.0 V	0.12	0.54	mA
					V <sub>DD</sub> = 1.8 V	0.10	0.52	
				f <sub>MX</sub> = 10 MHz <sup>注5</sup> , 発振子接続	V <sub>DD</sub> = 5.0 V	0.22	0.67	mA
					V <sub>DD</sub> = 1.8 V	0.22	0.66	
				f <sub>MX</sub> = 8 MHz <sup>注5</sup> , 方形波入力	V <sub>DD</sub> = 5.0 V	0.10	0.45	mA
					V <sub>DD</sub> = 1.8 V	0.09	0.43	
				f <sub>MX</sub> = 8 MHz <sup>注5</sup> , 発振子接続	V <sub>DD</sub> = 5.0 V	0.20	0.57	mA
					V <sub>DD</sub> = 1.8 V	0.20	0.56	

- 注 1. V<sub>DD</sub>に流れるトータル電流です。入力端子を V<sub>DD</sub>または V<sub>SS</sub>に固定した状態での入力リーク電流を含みます。  
 HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

- 注 2. フラッシュ・メモリでの HALT 命令実行時。  
 注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。  
 注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。  
 注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時

(略)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(3/4)

項目	略号	条件			Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	I <sub>DD2</sub> <sup>注2</sup>	HALTモード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注3</sup>	V <sub>DD</sub> = 5.0 V	0.49	1.87	mA
					V <sub>DD</sub> = 1.8 V	0.49	1.87	

項目	略号	条件			Min.	Typ.	Max.	単位
			LS (低速メイン)モード	f <sub>MX</sub> = 20 MHz <sup>注5</sup> , 方形波入力	V <sub>DD</sub> = 5.0 V	0.19	1.03	mA
					V <sub>DD</sub> = 1.8 V	0.16	0.99	
				f <sub>MX</sub> = 20 MHz <sup>注5</sup> , 発振子接続	V <sub>DD</sub> = 5.0 V	0.38	1.26	mA
					V <sub>DD</sub> = 1.8 V	0.37	1.25	
				f <sub>MX</sub> = 10 MHz <sup>注5</sup> , 方形波入力	V <sub>DD</sub> = 5.0 V	0.12	0.54	mA
					V <sub>DD</sub> = 1.8 V	0.10	0.52	
				f <sub>MX</sub> = 10 MHz <sup>注5</sup> , 発振子接続	V <sub>DD</sub> = 5.0 V	0.22	0.67	mA
					V <sub>DD</sub> = 1.8 V	0.22	0.66	
				f <sub>MX</sub> = 8 MHz <sup>注5</sup> , 方形波入力	V <sub>DD</sub> = 5.0 V	0.10	0.45	mA
					V <sub>DD</sub> = 1.8 V	0.09	0.43	
				f <sub>MX</sub> = 8 MHz <sup>注5</sup> , 発振子接続	V <sub>DD</sub> = 5.0 V	0.20	0.57	mA
					V <sub>DD</sub> = 1.8 V	0.20	0.56	

- 注 1. V<sub>DD</sub>に流れるトータル電流です。入力端子を V<sub>DD</sub>または V<sub>SS</sub>に固定した状態での入力リーク電流を含みます。  
 HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値には PCLBUZ, TAU, SAU, IICA 機能の動作電流を含みます。その他の周辺機能の動作電流は含みません。

- 注 2. フラッシュ・メモリでの HALT 命令実行時。  
 注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。  
 注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。  
 注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時

(略)

18. 34.6.1 A/D コンバータ特性 (p.1260)

誤)

(2) 基準電圧 (+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1)、基準電圧 (-) = AVREFM/ANI1 (ADREFM = 1)  
 選択時、変換対象：ANI16-ANI19

(TA = -40 ~ +85°C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V、基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能 AVREFP = VDD <sup>注3</sup>	1.8 V ≤ AVREFP ≤ 5.5 V	1.2	±5.0	LSB
		1.6 V ≤ AVREFP ≤ 5.5 V <sup>注4</sup>	1.2	±5.0	LSB	
変換時間	tCONV	10ビット分解能 変換対象： ANI16-ANI19	3.6 V ≤ VDD ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.1875	39	μs
			1.8 V ≤ VDD ≤ 5.5 V	17	39	μs
			1.6 V ≤ VDD ≤ 5.5 V	57	95	μs
ゼロスケール誤差 <sup>注1,2</sup>	Ezs	10ビット分解能 AVREFP = VDD <sup>注3</sup>	1.8 V ≤ AVREFP ≤ 5.5 V		±0.35	%FSR
			1.6 V ≤ AVREFP ≤ 5.5 V <sup>注4</sup>		±0.60	%FSR
フルスケール誤差 <sup>注1,2</sup>	EFS	10ビット分解能 AVREFP = VDD <sup>注3</sup>	1.8 V ≤ AVREFP ≤ 5.5 V		±0.35	%FSR
			1.6 V ≤ AVREFP ≤ 5.5 V <sup>注4</sup>		±0.60	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能 AVREFP = VDD <sup>注3</sup>	1.8 V ≤ AVREFP ≤ 5.5 V		±3.5	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V <sup>注4</sup>		±6.0	LSB
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能 AVREFP = VDD <sup>注3</sup>	1.8 V ≤ AVREFP ≤ 5.5 V		±2.0	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V <sup>注4</sup>		±2.5	LSB
アナログ入力電圧	VAIN	ANI16-ANI19	0		AVREFP	V

注 1. 量子化誤差 (±1/2 LSB) を含みません。

注 2. フルスケール値に対する比率 (%FSR) で表します。

注 3. AVREFP = VDD の場合、Max. 値は次のようになります。

総合誤差 : AVREFP = VDD の Max. 値に ±4.0 LSB を加算してください

ゼロスケール誤差/フルスケール誤差 : AVREFP = VDD の Max. 値に ±0.20 %FSR を加算してください

積分直線性誤差/微分直線性誤差 : AVREFP = VDD の Max. 値に ±2.0 LSB を加算してください

注 4. 変換時間を Min. : 57 μs、Max. : 95 μs に設定した場合の値です。

正)

(2) 基準電圧 (+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1)、基準電圧 (-) = AVREFM/ANI1 (ADREFM = 1)  
 選択時、変換対象：ANI16-ANI19

(TA = -40 ~ +85°C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V、基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能 AVREFP = VDD <sup>注3</sup>	1.8 V ≤ AVREFP ≤ 5.5 V	1.2	±5.0	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V <sup>注4</sup>	1.2	±5.0	LSB
変換時間	tCONV	10ビット分解能 変換対象： ANI16-ANI19	3.6 V ≤ VDD ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.1875	39	μs
			1.8 V ≤ VDD ≤ 5.5 V	17	39	μs
			1.6 V ≤ VDD ≤ 5.5 V	57	95	μs
ゼロスケール誤差 <sup>注1,2</sup>	Ezs	10ビット分解能 AVREFP = VDD <sup>注3</sup>	1.8 V ≤ AVREFP ≤ 5.5 V		±0.35	%FSR
			1.6 V ≤ AVREFP ≤ 5.5 V <sup>注4</sup>		±0.60	%FSR
フルスケール誤差 <sup>注1,2</sup>	EFS	10ビット分解能 AVREFP = VDD <sup>注3</sup>	1.8 V ≤ AVREFP ≤ 5.5 V		±0.35	%FSR
			1.6 V ≤ AVREFP ≤ 5.5 V <sup>注4</sup>		±0.60	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能 AVREFP = VDD <sup>注3</sup>	1.8 V ≤ AVREFP ≤ 5.5 V		±3.5	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V <sup>注4</sup>		±6.0	LSB
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能 AVREFP = VDD <sup>注3</sup>	1.8 V ≤ AVREFP ≤ 5.5 V		±2.0	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V <sup>注4</sup>		±2.5	LSB
アナログ入力電圧	VAIN	ANI16-ANI19	0		AVREFP	V

注 1. 量子化誤差 (±1/2 LSB) を含みません。

注 2. フルスケール値に対する比率 (%FSR) で表します。

注 3. AVREFP < VDD の場合、Max. 値は次のようになります。

総合誤差 : AVREFP = VDD の Max. 値に ±4.0 LSB を加算してください

ゼロスケール誤差/フルスケール誤差 : AVREFP = VDD の Max. 値に ±0.20 %FSR を加算してください

積分直線性誤差/微分直線性誤差 : AVREFP = VDD の Max. 値に ±2.0 LSB を加算してください

注 4. 変換時間を Min. : 57 μs、Max. : 95 μs に設定した場合の値です。

19. 34.6.2 A/D コンバータ特性

誤)

(p.1264)

(2) 基準電圧 (+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1)、基準電圧 (-) = AVREFM/ANI1 (ADREFM = 1)

選択時、変換対象：ANI16-ANI19

(TA = -40 ~ +105°C, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V、基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM = 0 V)

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能 AVREFP = VDD <sup>注3</sup>	2.4 V ≤ AVREFP ≤ 5.5 V		1.2	±5.0	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI16-ANI19	3.6 V ≤ VDD ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.1875		39	μs
			2.4 V ≤ VDD ≤ 5.5 V	17		39	μs
ゼロスケール誤差 <sup>注1,2</sup>	EZS	10ビット分解能 AVREFP = VDD <sup>注3</sup>	2.4 V ≤ AVREFP ≤ 5.5 V			±0.35	%FSR
フルスケール誤差 <sup>注1,2</sup>	EFS	10ビット分解能 AVREFP = VDD <sup>注3</sup>	2.4 V ≤ AVREFP ≤ 5.5 V			±0.35	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能 AVREFP = VDD <sup>注3</sup>	2.4 V ≤ AVREFP ≤ 5.5 V			±3.5	LSB
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能 AVREFP = VDD <sup>注3</sup>	2.4 V ≤ AVREFP ≤ 5.5 V			±2.0	LSB
アナログ入力電圧	VAIN	ANI16-ANI19		0		AVREFP	V

注 1. 量子化誤差 (±1/2 LSB) を含みません。

注 2. フルスケール値に対する比率 (%FSR) で表します。

注 3. AVREFP = VDD の場合、Max. 値は次のようになります。

総合誤差 : AVREFP = VDD の Max. 値に ±4.0 LSB を加算してください

ゼロスケール誤差 / フルスケール誤差 : AVREFP = VDD の Max. 値に ±0.20 %FSR を加算してください

積分直線性誤差 / 微分直線性誤差 : AVREFP = VDD の Max. 値に ±2.0 LSB を加算してください

正)

(2) 基準電圧 (+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1)、基準電圧 (-) = AVREFM/ANI1 (ADREFM = 1)

選択時、変換対象：ANI16-ANI19

(TA = -40 ~ +105°C, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V、基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM = 0 V)

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能 AVREFP = VDD <sup>注3</sup>	2.4 V ≤ AVREFP ≤ 5.5 V		1.2	±5.0	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI16-ANI19	3.6 V ≤ VDD ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.1875		39	μs
			2.4 V ≤ VDD ≤ 5.5 V	17		39	μs
ゼロスケール誤差 <sup>注1,2</sup>	EZS	10ビット分解能 AVREFP = VDD <sup>注3</sup>	2.4 V ≤ AVREFP ≤ 5.5 V			±0.35	%FSR
フルスケール誤差 <sup>注1,2</sup>	EFS	10ビット分解能 AVREFP = VDD <sup>注3</sup>	2.4 V ≤ AVREFP ≤ 5.5 V			±0.35	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能 AVREFP = VDD <sup>注3</sup>	2.4 V ≤ AVREFP ≤ 5.5 V			±3.5	LSB
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能 AVREFP = VDD <sup>注3</sup>	2.4 V ≤ AVREFP ≤ 5.5 V			±2.0	LSB
アナログ入力電圧	VAIN	ANI16-ANI19		0		AVREFP	V

注 1. 量子化誤差 (±1/2 LSB) を含みません。

注 2. フルスケール値に対する比率 (%FSR) で表します。

注 3. AVREFP < VDD の場合、Max. 値は次のようになります。

総合誤差 : AVREFP = VDD の Max. 値に ±4.0 LSB を加算してください

ゼロスケール誤差 / フルスケール誤差 : AVREFP = VDD の Max. 値に ±0.20 %FSR を加算してください

積分直線性誤差 / 微分直線性誤差 : AVREFP = VDD の Max. 値に ±2.0 LSB を加算してください

(p.1265)

(3) 基準電圧 (+) = V<sub>DD</sub> (ADREFP1 = 0, ADREFP0 = 0)、基準電圧 (-) = V<sub>SS</sub> (ADREFM = 0) 選択時、変換対象：ANI0-ANI7, ANI16-ANI19、内部基準電圧、温度センサ出力電圧、CTSU TSCAP 電圧

(3) 基準電圧 (+) = V<sub>DD</sub> (ADREFP1 = 0, ADREFP0 = 0)、基準電圧 (-) = V<sub>SS</sub> (ADREFM = 0) 選択時、変換対象：ANI0-ANI7, ANI16-ANI19、内部基準電圧、温度センサ出力電圧、CTSU TSCAP 電圧

(TA = -40 ~ +105°C, 2.4 V ≤ V<sub>DD</sub> ≤ 5.5 V, V<sub>SS</sub> = 0 V、基準電圧 (+) = V<sub>DD</sub>、基準電圧 (-) = V<sub>SS</sub>)

(TA = -40 ~ +105°C, 2.4 V ≤ V<sub>DD</sub> ≤ 5.5 V, V<sub>SS</sub> = 0 V、基準電圧 (+) = V<sub>DD</sub>、基準電圧 (-) = V<sub>SS</sub>)

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能	2.4 V ≤ AV <sub>REFP</sub> ≤ 5.5 V		1.2	±7.0	LSB
変換時間	t <sub>CONV</sub>	10ビット分解能 変換対象：ANI0-ANI7, ANI16-ANI19	3.6 V ≤ V <sub>DD</sub> ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V	3.1875		39	μs
			2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V	17		39	μs
		10ビット分解能 変換対象：内部基準電圧、温度センサ出力電圧、CTSU TSCAP 電圧	3.6 V ≤ V <sub>DD</sub> ≤ 5.5 V	2.375		39	μs
			2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V	3.5625		39	μs
			2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V	17		39	μs
ゼロスケール誤差 <sup>注1,2</sup>	EZS	10ビット分解能	2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V			±0.60	%FSR
フルスケール誤差 <sup>注1,2</sup>	EFS	10ビット分解能	2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V			±0.60	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能	2.4 V ≤ AV <sub>REFP</sub> ≤ 5.5 V			±4.0	LSB
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能	2.4 V ≤ AV <sub>REFP</sub> ≤ 5.5 V			±2.0	LSB
アナログ入力電圧	V <sub>AIN</sub>	ANI0-ANI7, ANI16-ANI19		0		V <sub>DD</sub>	V
		内部基準電圧		VBGR <sup>注3</sup>			V
		温度センサ出力電圧		VTMP25 <sup>注3</sup>			V
		CTSU TSCAP 電圧		VTSCAP			V

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能	2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V		1.2	±7.0	LSB
変換時間	t <sub>CONV</sub>	10ビット分解能 変換対象：ANI0-ANI7, ANI16-ANI19	3.6 V ≤ V <sub>DD</sub> ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V	3.1875		39	μs
			2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V	17		39	μs
		10ビット分解能 変換対象：内部基準電圧、温度センサ出力電圧、CTSU TSCAP 電圧	3.6 V ≤ V <sub>DD</sub> ≤ 5.5 V	2.375		39	μs
			2.7 V ≤ V <sub>DD</sub> ≤ 5.5 V	3.5625		39	μs
			2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V	17		39	μs
ゼロスケール誤差 <sup>注1,2</sup>	EZS	10ビット分解能	2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V			±0.60	%FSR
フルスケール誤差 <sup>注1,2</sup>	EFS	10ビット分解能	2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V			±0.60	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能	2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V			±4.0	LSB
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能	2.4 V ≤ V <sub>DD</sub> ≤ 5.5 V			±2.0	LSB
アナログ入力電圧	V <sub>AIN</sub>	ANI0-ANI7, ANI16-ANI19		0		V <sub>DD</sub>	V
		内部基準電圧		VBGR <sup>注3</sup>			V
		温度センサ出力電圧		VTMP25 <sup>注3</sup>			V
		CTSU TSCAP 電圧		VTSCAP			V

注1. 量子化誤差 (±1/2 LSB) を含みません。  
 注2. フルスケール値に対する比率 (%FSR) で表します。  
 注3. 34.6.3 温度センサ/内部基準電圧特性を参照してください。

注1. 量子化誤差 (±1/2 LSB) を含みません。  
 注2. フルスケール値に対する比率 (%FSR) で表します。  
 注3. 34.6.3 温度センサ/内部基準電圧特性を参照してください。

以上