

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RL*-A0133B/J	Rev.	第2版
題名	誤記訂正通知 RL78/G23 ユーザーズマニュアル Rev.1.30 の記載変更		情報分類	技術情報	
適用製品	RL78/G23 グループ	対象ロット等	関連資料	RL78/G23 ユーザーズマニュアル ハードウェア編 Rev.1.30 R01UH0896JJ0130 (Jan.2024)	
		全ロット			

RL78/G23 ユーザーズマニュアル ハードウェア編 Rev.1.30 (R01UH0896JJ0130) において、下記訂正がございます。

## 今回通知する訂正内容

訂正箇所	該当ページ	内容
2.2.3.2 VBAT端子とバックアップ用バッテリーの接続	p.108	誤記訂正
2.2.3.3 VBAT端子の使用方法	p.109	誤記訂正
2.4 端子ブロック図	p.127, p.128, p.133, p.135, p.137 ~ p.139, p.141 ~ p.143	誤記訂正
4.5.4 使用するポート機能および兼用機能のレジスタ設定例	p.262, p.281	誤記訂正
12.3.8 アナログ入力チャネル指定レジスタ (ADS)	p.588	誤記訂正
12.6.6 ソフトウェア・トリガ・ウェイト・モード (セレクト・モード、ワンショット変換モード)	p.600	誤記訂正
15.3.8 シリアル・ステータス・レジスタmn (SSRmn)	p.686	誤記訂正
15.3.13 シリアル出力レジスタm (SOM)	p.692	誤記訂正
17.3.4 ポーレート・ジェネレータ	p.962	誤記訂正
19.4.3 リポート・モード	p.1044, p.1045	誤記訂正
37.2.3 オンチップ・オシレータ特性	p.1422	誤記訂正
37.3.1 端子特性	p.1426	誤記訂正
37.3.2 電源電流特性	p.1431, p.1434, p.1437, p.1440, p.1444, p.1447	誤記訂正
37.6.1 A/Dコンバータ特性	p.1493, p.1494	誤記訂正

## ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0896JJ0130	
1	3.1	メモリ空間	p.145 ~ p.151, p.158	p.3 ~ p.10
2	33.6.1	セルフ・プログラミング手順	p.1335	p.11
3	33.10.1	データ・フラッシュの概要	p.1386	p.12
4	34.3	オンチップ・デバッグのセキュリティ設定	p.1389	p.13
5	2.2.3.2	VBAT端子とバックアップ用バッテリーの接続	p.108	p.14
6	2.2.3.3	VBAT端子の使用方法	p.109	p.15
7	2.4	端子ブロック図	p.127, p.128, p.133, p.135, p.137 ~ p.139, p.141 ~ p.143	p.16 ~ p.25
8	4.5.4	使用するポート機能および兼用機能のレジスタ設定例	p.262, p.281	p.26, p.27
9	12.3.8	アナログ入力チャネル指定レジスタ (ADS)	p.588	p.28
10	12.6.6	ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード)	p.600	p.29
11	15.3.8	シリアル・ステータス・レジスタmn (SSRmn)	p.686	p.30
12	15.3.13	シリアル出力レジスタm (SOM)	p.692	p.31
13	17.3.4	ポーレート・ジェネレータ	p.962	p.32
14	19.4.3	リピート・モード	p.1044, p.1045	p.33 ~ p.35
15	37.2.3	オンチップ・オシレータ特性	p.1422	p.36
16	37.3.1	端子特性	p.1426	p.37
17	37.3.2	電源電流特性	p.1431, p.1434, p.1437, p.1440, p.1444, p.1447	p.38 ~ p.43
18	37.6.1	A/Dコンバータ特性	p.1493, p.1494	p.s44, p.45

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

発行文書履歴

RL78/G23 ユーザーズマニュアル Rev.1.30 誤記訂正通知 発行文書履歴

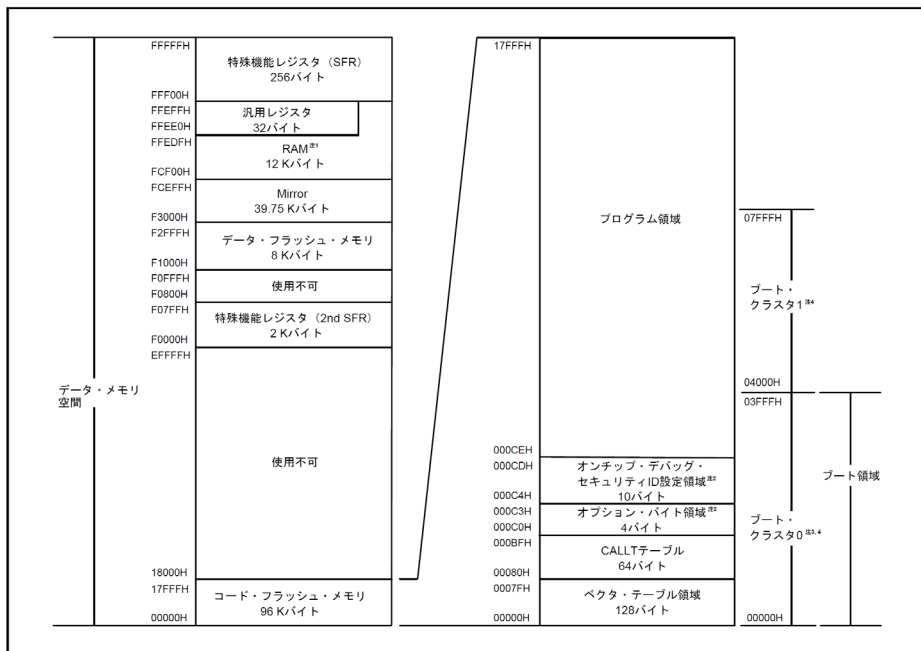
文書番号	発行日	記事
TN-RL*-A0133A/J	2024年4月26日	初版発行 訂正一覧のNo.1 ~ No.4 の誤記訂正
TN-RL*-A0133B/J	2025年5月22日	訂正一覧のNo.5 ~ No.18 の誤記訂正 (本通知です。)

1. 3.1 メモリ空間 (p.145-p.151, p.158)

誤)  
(p.145)

RL78/G23 は、1 M バイトのアドレス空間をアクセスできます。図 3 - 1 ~ 図 3 - 3 に、メモリ・マップを示します。

図 3 - 1 メモリ・マップ (R7F100GxF (x = A, B, C, E, F, G, J, L))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

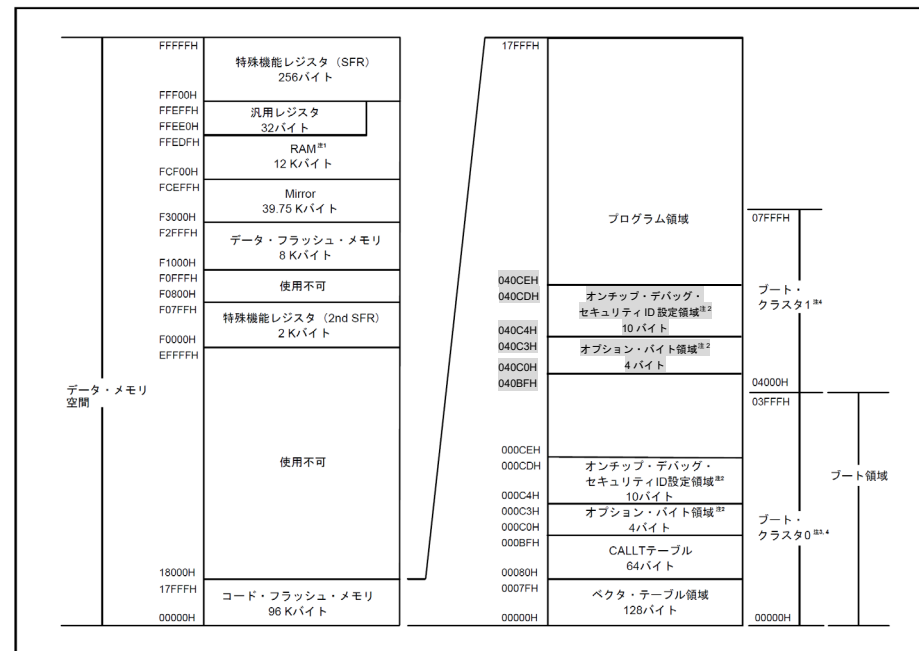
注2. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
ブート・スワップ使用時 : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

正)

RL78/G23 は、1 M バイトのアドレス空間をアクセスできます。図 3 - 1 ~ 図 3 - 3 に、メモリ・マップを示します。

図 3 - 1 メモリ・マップ (R7F100GxF (x = A, B, C, E, F, G, J, L))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態) : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.146)

図 3-2 メモリ・マップ (R7F100GxG (x = A, B, C, E, F, G, J, L, M, P))

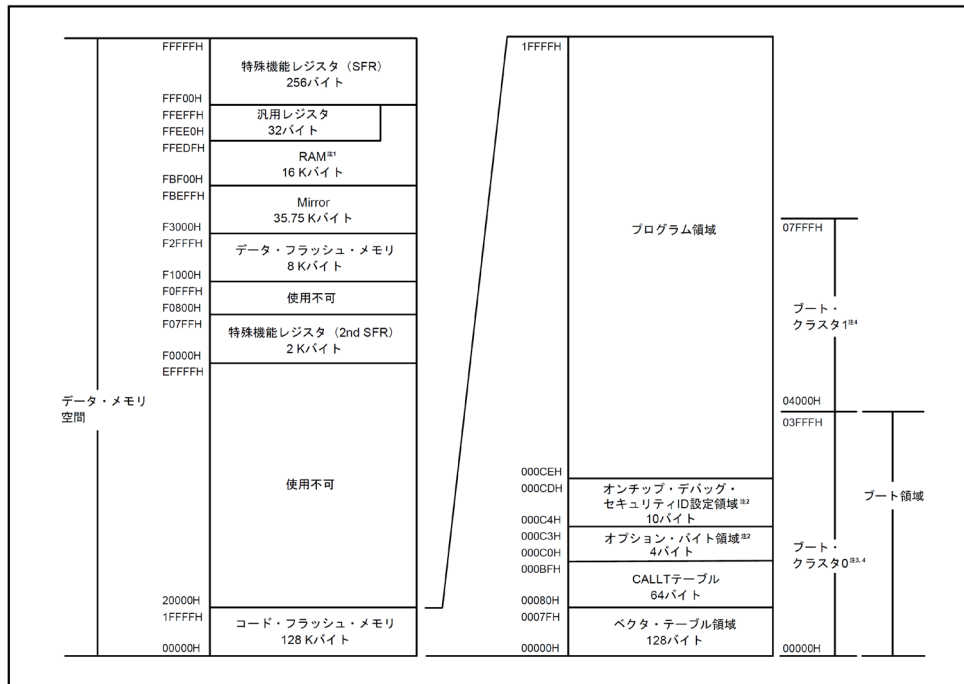
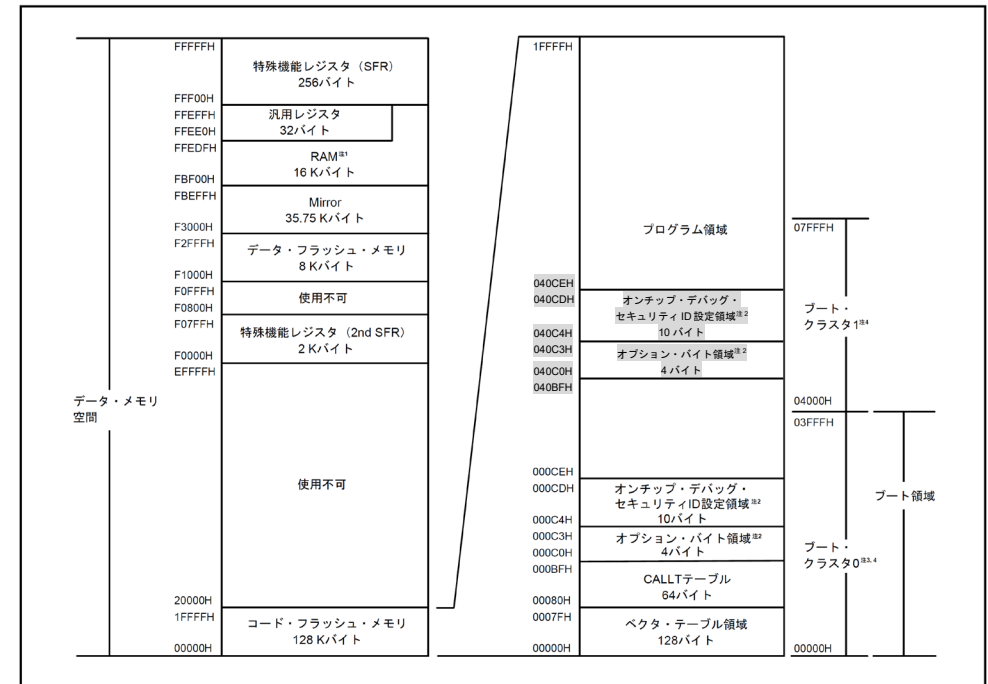


図 3-2 メモリ・マップ (R7F100GxG (x = A, B, C, E, F, G, J, L, M, P))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時** : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき** : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.147)

図 3-3 メモリ・マップ (R7F100GxH (x = A, B, C, E, F, G, J, L, M, P))

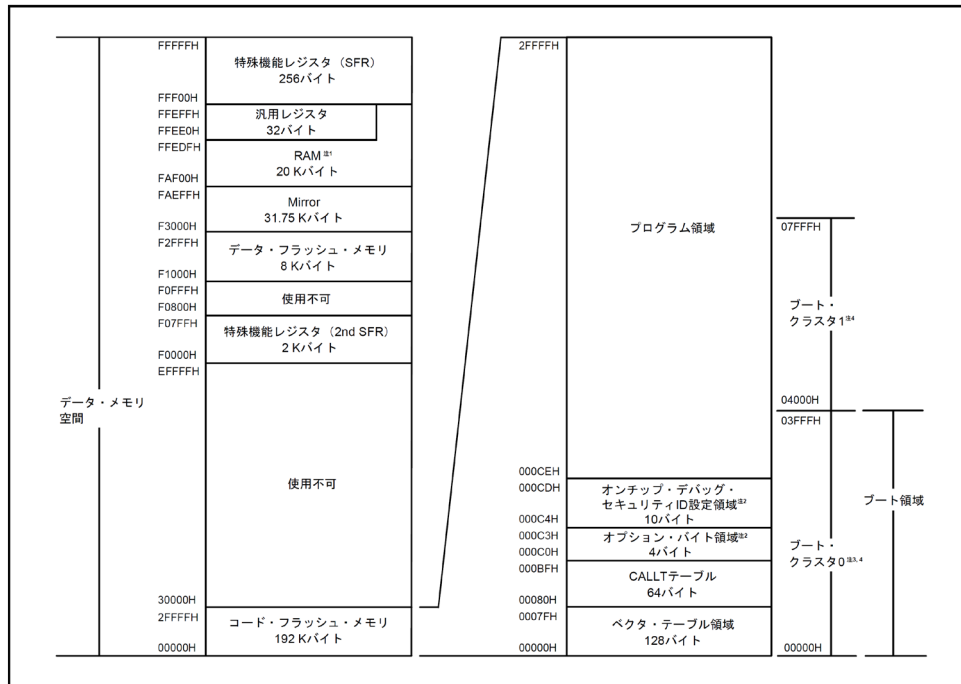
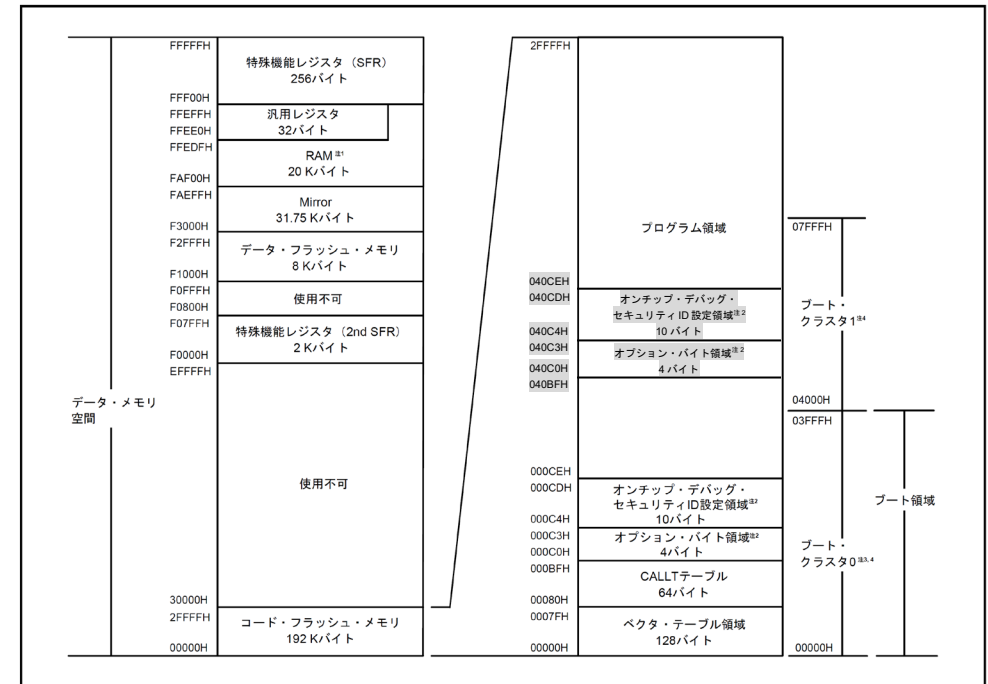


図 3-3 メモリ・マップ (R7F100GxH (x = A, B, C, E, F, G, J, L, M, P))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時** : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき** : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.148)

図 3-4 メモリ・マップ (R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S))

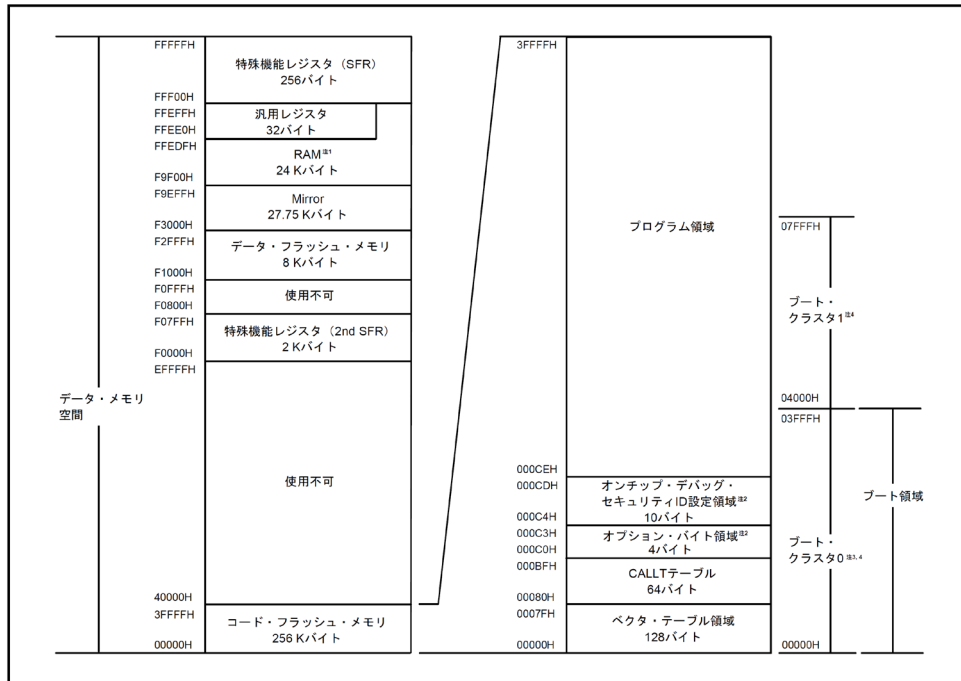
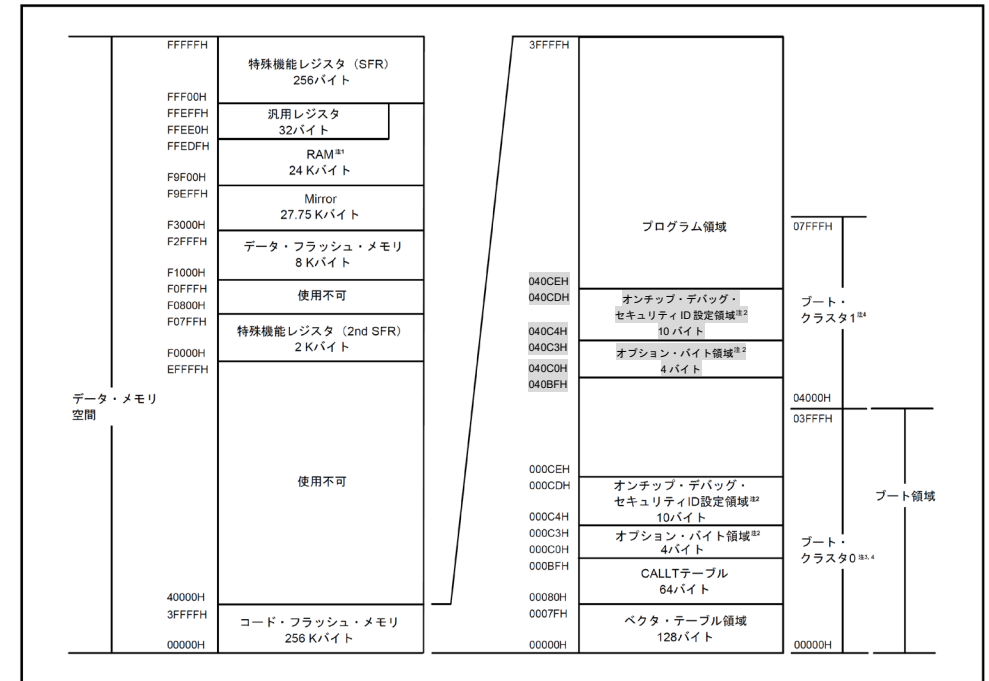


図 3-4 メモリ・マップ (R7F100GxJ (x = A, B, C, E, F, G, J, L, M, P, S))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時** : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき** : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.149)

図 3-5 メモリ・マップ (R7F100GxK (x = F, G, J, L, M, P, S))

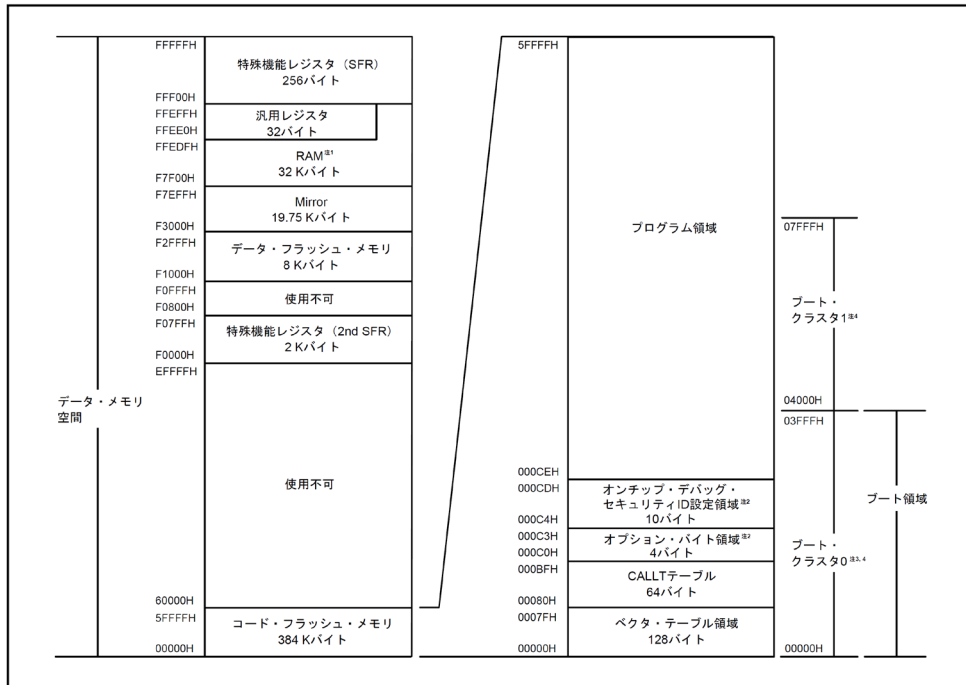
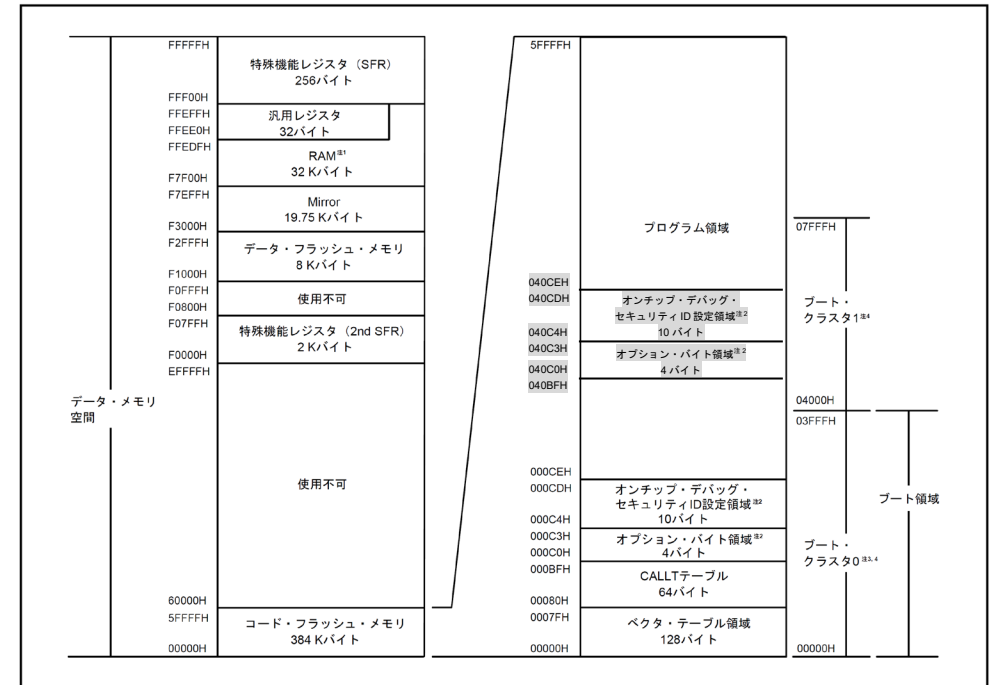


図 3-5 メモリ・マップ (R7F100GxK (x = F, G, J, L, M, P, S))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時** : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき** : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.150)

図 3-6 メモリ・マップ (R7F100GxL (x = F, G, J, L, M, P, S))

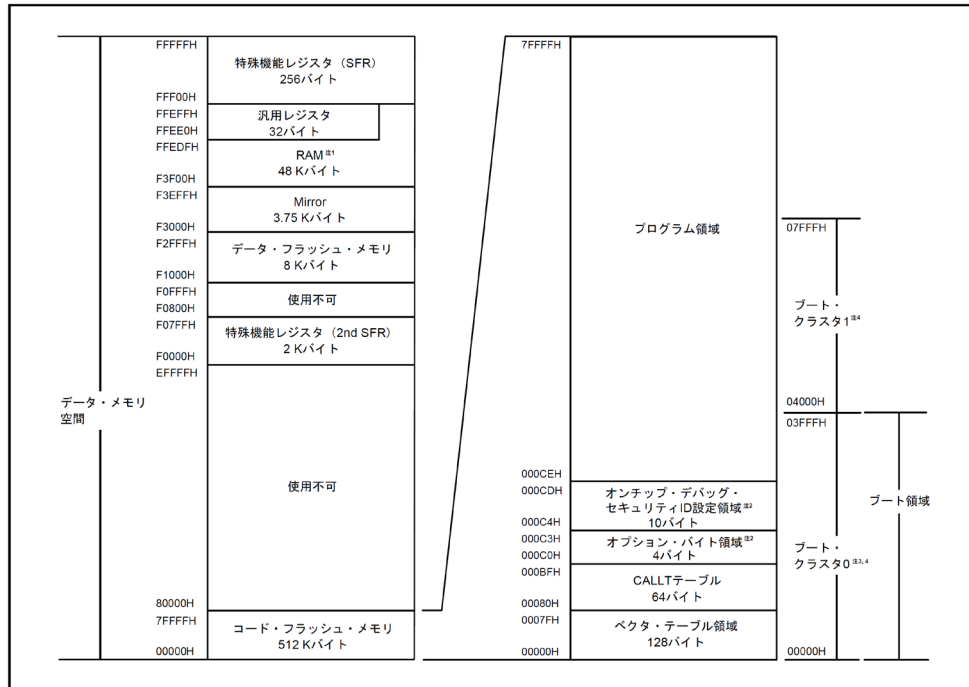
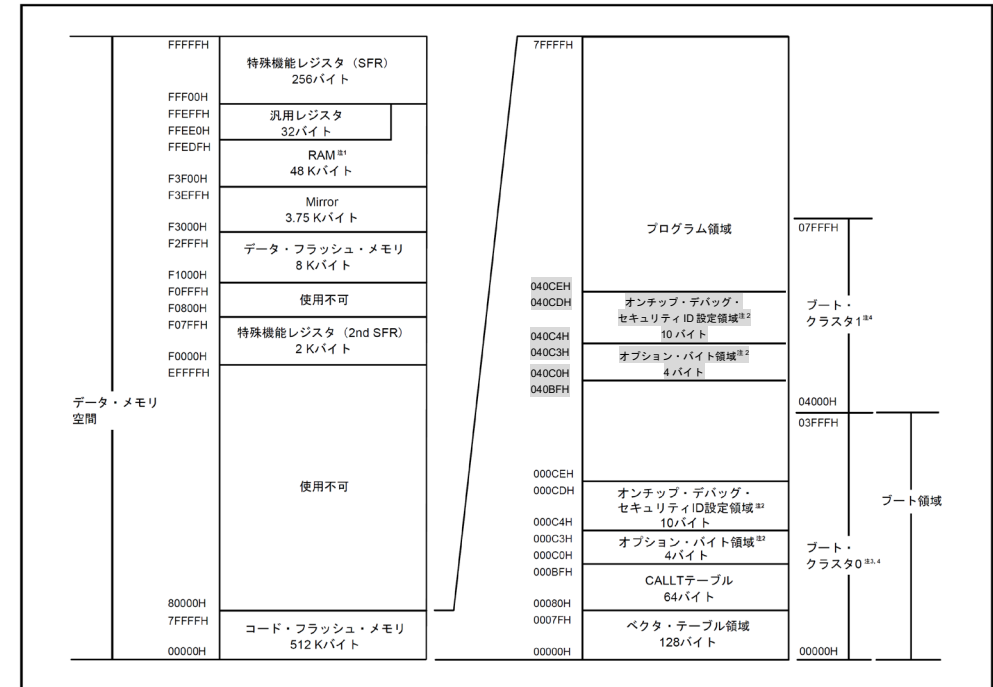


図 3-6 メモリ・マップ (R7F100GxL (x = F, G, J, L, M, P, S))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時** : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき** : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.151)

図 3-7 メモリ・マップ (R7F100GxN (x = F, G, J, L, M, P, S))

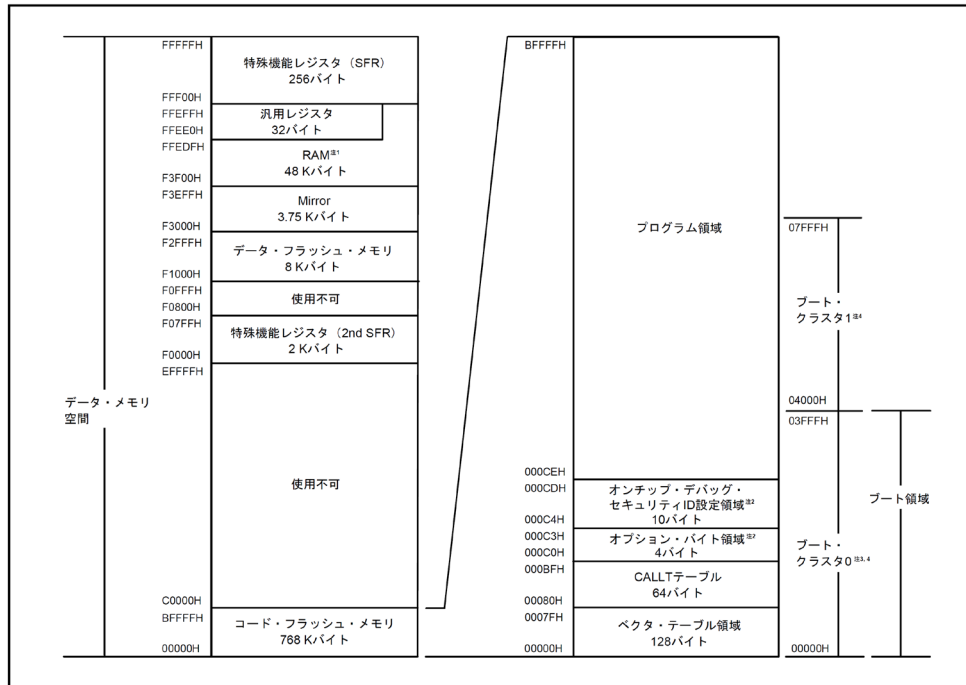
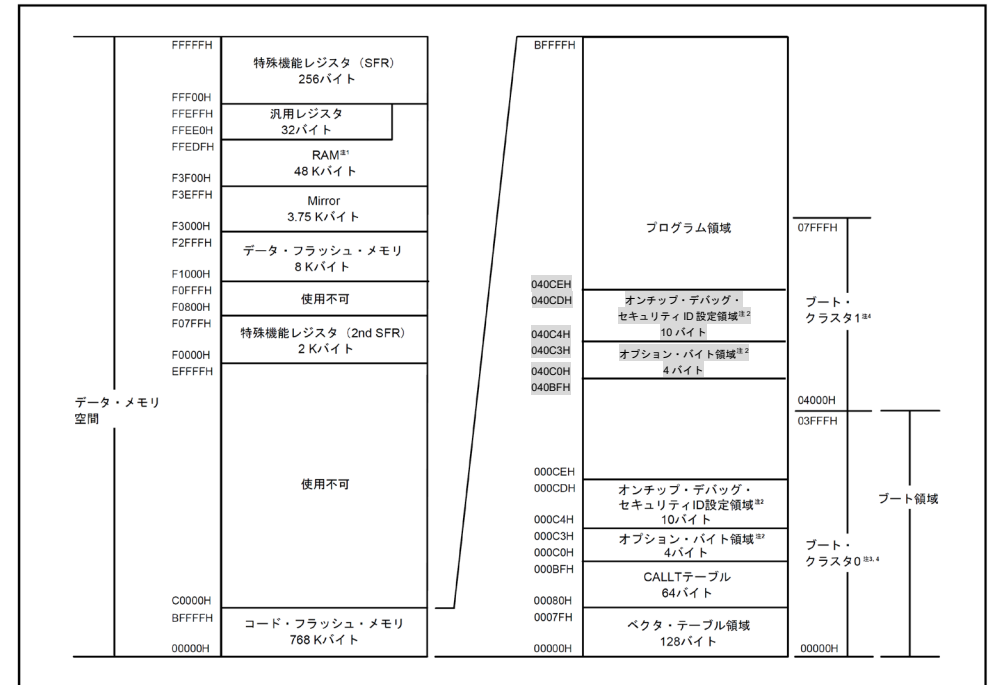


図 3-7 メモリ・マップ (R7F100GxN (x = F, G, J, L, M, P, S))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時** : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. **ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)** : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定  
**ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき** : 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

(略)

(p.158)

(略)

## (3) オプション・バイト領域

000C0H-000C3H の4 バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には040C0H-040C3H にもオプション・バイトを設定してください。詳細は第32章 オプション・バイトを参照してください。

## (4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH、040C4H-040CDH の10 バイト領域にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDH に、ブート・スワップ使用時には000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第34章 オンチップ・デバッグ機能を参照してください。

(略)

## (3) オプション・バイト領域

000C0H-000C3H の4 バイト領域にオプション・バイト領域を用意しています。ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには040C0H-040C3H にもオプション・バイトを設定してください。詳細は第32章 オプション・バイトを参照してください。

## (4) オンチップ・デバッグ・セキュリティID設定領域

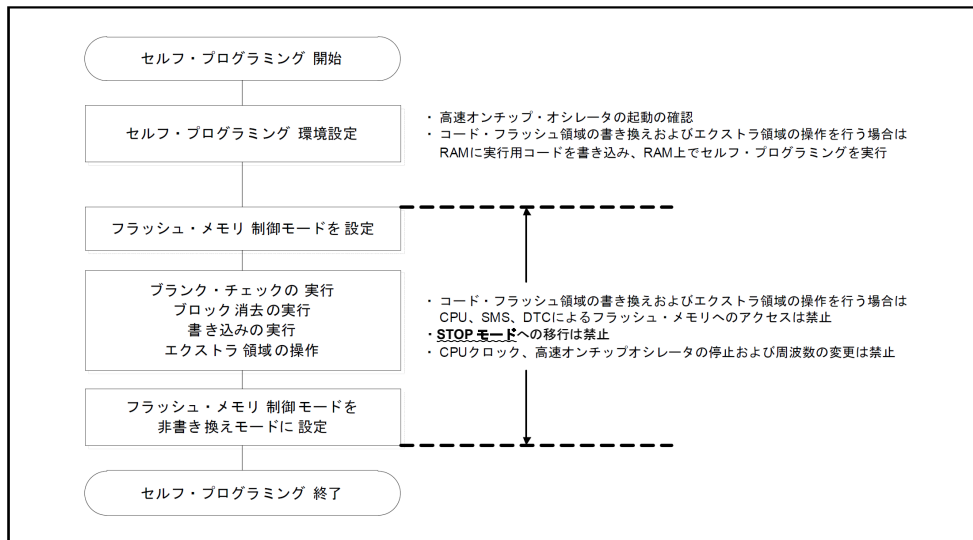
000C4H-000CDH、040C4H-040CDH の10 バイト領域にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態)には000C4H-000CDHに、ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第34章 オンチップ・デバッグ機能を参照してください。

2. 33.6.1 セルフ・プログラミング手順 (p.1335)

誤)

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。  
 セルフ・プログラミングで使用するレジスタの詳細は、33.6.2 フラッシュ・メモリを制御するレジスタを参照してください。

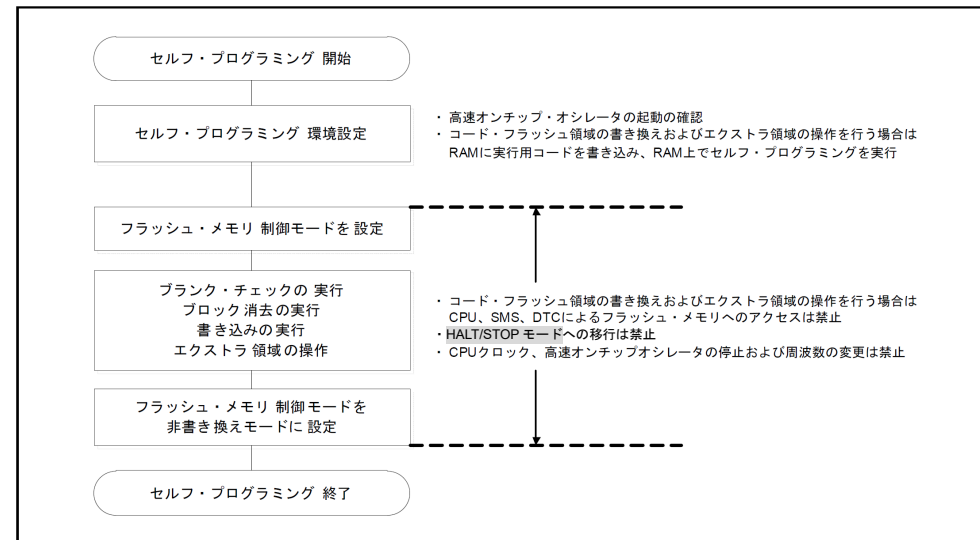
図 33 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



正)

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。  
 セルフ・プログラミングで使用するレジスタの詳細は、33.6.2 フラッシュ・メモリを制御するレジスタを参照してください。

図 33 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



### 3. 33.10.1 データ・フラッシュの概要 (p.1386)

誤)

データ・フラッシュの概要は次のとおりです。

(略)

- ・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、STOP モード状態に遷移することは禁止

(略)

正)

データ・フラッシュの概要は次のとおりです。

(略)

- ・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、**HALT/STOP モード**状態に遷移することは禁止

(略)

4. 34.3 オンチップ・デバッグのセキュリティ設定 (p.1389)

誤)

第三者からのメモリの内容を読み取られないようにするために、オンチップ・デバッグ機能は、プログラマ・オンチップ・デバッグ接続禁止設定（第33章 フラッシュ・メモリ 33.9 セキュリティ設定参照）と、フラッシュ・メモリの000C3H にオンチップ・デバッグ動作制御ビット（第32章 オプション・バイトを参照）と、000C4H-000CDH<sup>注1</sup> にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。

表 34 - 1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10 バイトの任意の ID コード <sup>注2</sup>
040C4H-040CDH	

注1. オンチップ・デバッグ・セキュリティ・ID設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

注2. "FFFFFFFFFFFFFFFFFFFFFH"は設定できません。

正)

第三者からのメモリの内容を読み取られないようにするために、オンチップ・デバッグ機能は、プログラマ・オンチップ・デバッグ接続禁止設定（第33章 フラッシュ・メモリ 33.9 セキュリティ設定参照）と、フラッシュ・メモリの000C3H にオンチップ・デバッグ動作制御ビット（第32章 オプション・バイトを参照）と、000C4H-000CDH<sup>注</sup> にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。

注 オンチップ・デバッグ・セキュリティ・ID設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

表 34 - 1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10 バイトの任意の ID コード <sup>注2,3</sup>
040C4H-040CDH	

注1. "FFFFFFFFFFFFFFFFFFFFFH"は設定できません。

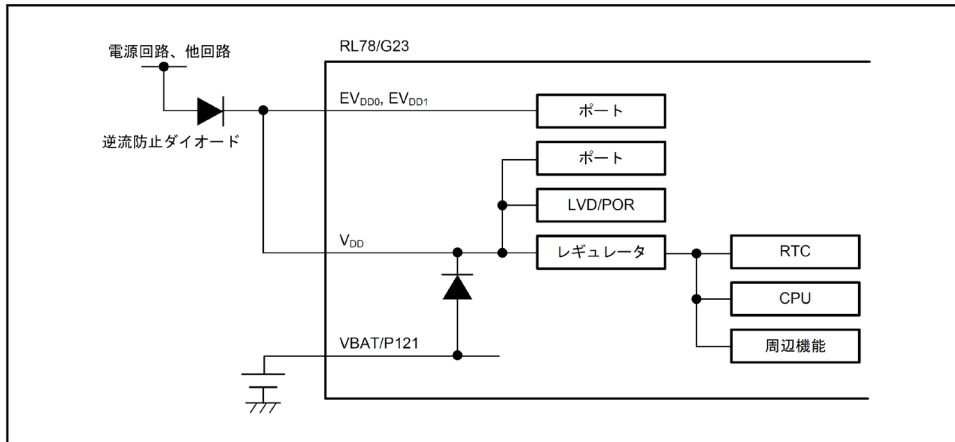
注2. ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。

5. 2.2.3.2 VBAT 端子とバックアップ用バッテリーの接続 (p.108)

誤)

(略)

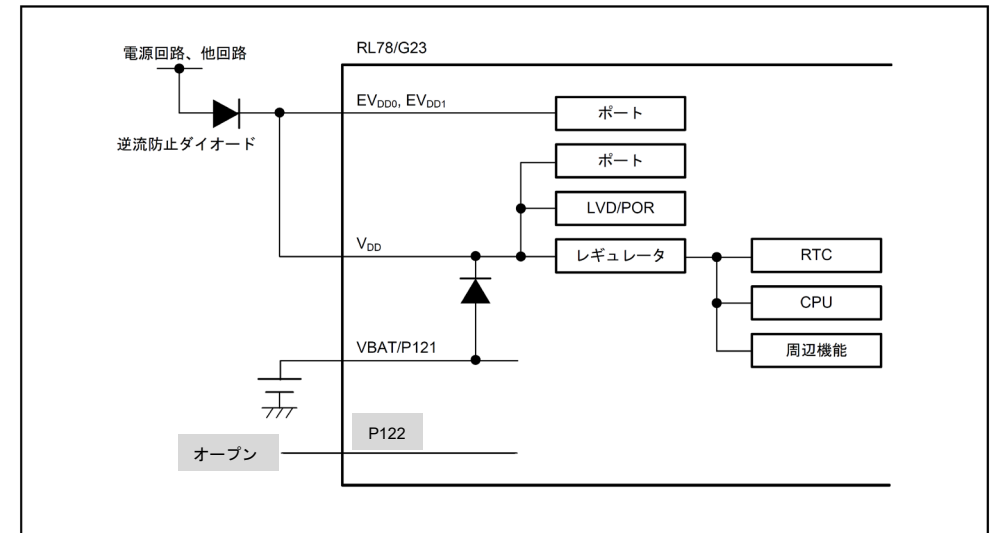
図2-1 VBAT 端子の接続例



正)

(略)

図2-1 VBAT 端子の接続例



### 6. 2.2.3.3 VBAT 端子の使用方法 (p.109)

#### 誤)

VBAT 端子の初期設定と電源供給を VBAT 端子へ切り替える手順例を示します。なお、VDD 端子の電圧が VBAT 端子の供給電圧を下回る前に処理を完了してください。

また、図 2-2 に VDD 端子と VBAT 端子の切り替え時の状態遷移を示します。

#### (1) VBAT 端子の初期設定

初期設定として P121 を X1 発振モード (CMC レジスタの EXCLK ビットを 0、OSCSEL ビットを 1、CSC レジスタの MSTOP ビットを 0) に設定してください。

(略)

#### 正)

VBAT 端子の初期設定と電源供給を VBAT 端子へ切り替える手順例を示します。なお、VDD 端子の電圧が VBAT 端子の供給電圧を下回る前に処理を完了してください。

また、図 2-2 に VDD 端子と VBAT 端子の切り替え時の状態遷移を示します。

#### (1) VBAT 端子の初期設定

初期設定として P121 を X1 発振モード (CMC レジスタの EXCLK ビットを 0、OSCSEL ビットを 1、CSC レジスタの MSTOP ビットを 1) に設定してください。

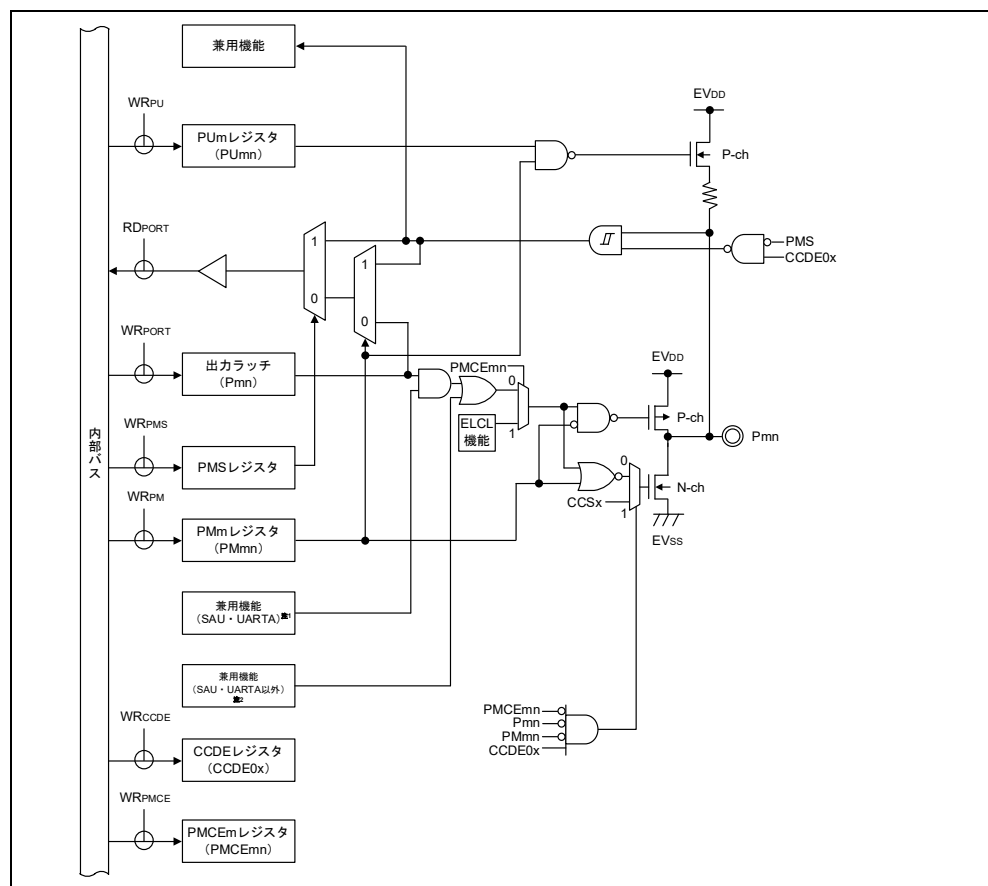
(略)

7. 2.4 端子ブロック図 (p.127, p.128, p.133, p.135, p.137-p.139, p.141-p.143)

誤)

(p.127)

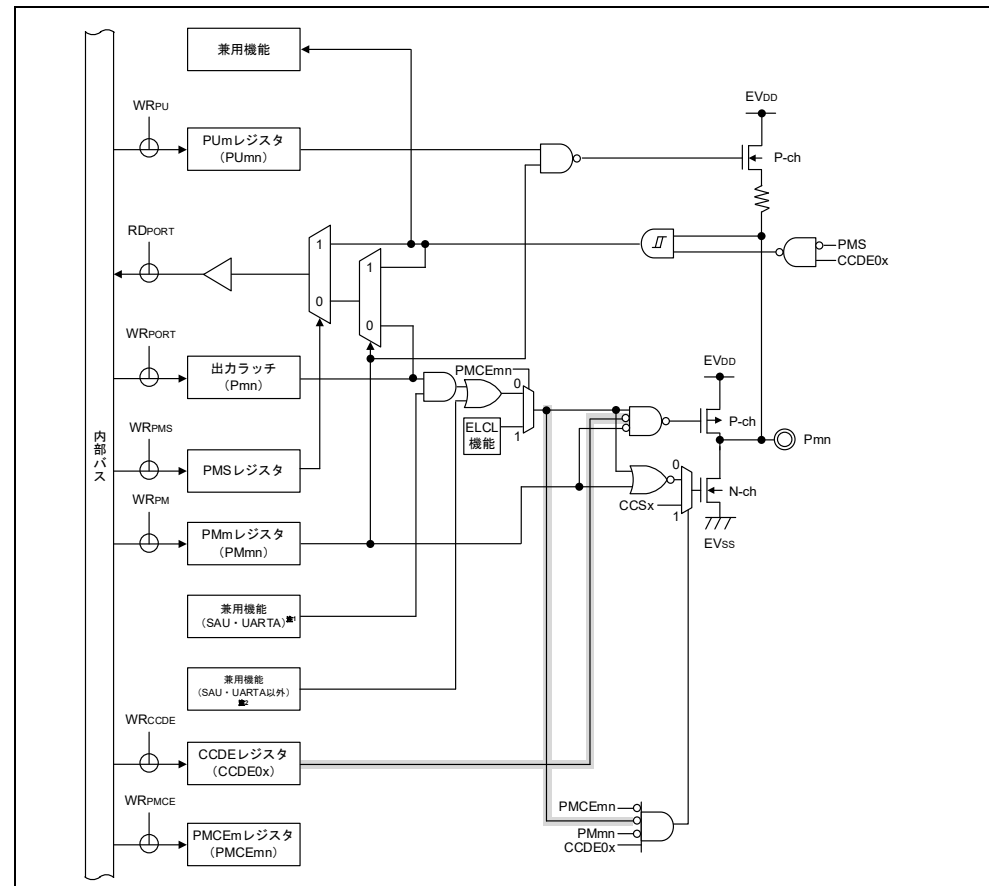
図 2-21 端子タイプ 7-38-1 の端子ブロック図



(略)

正)

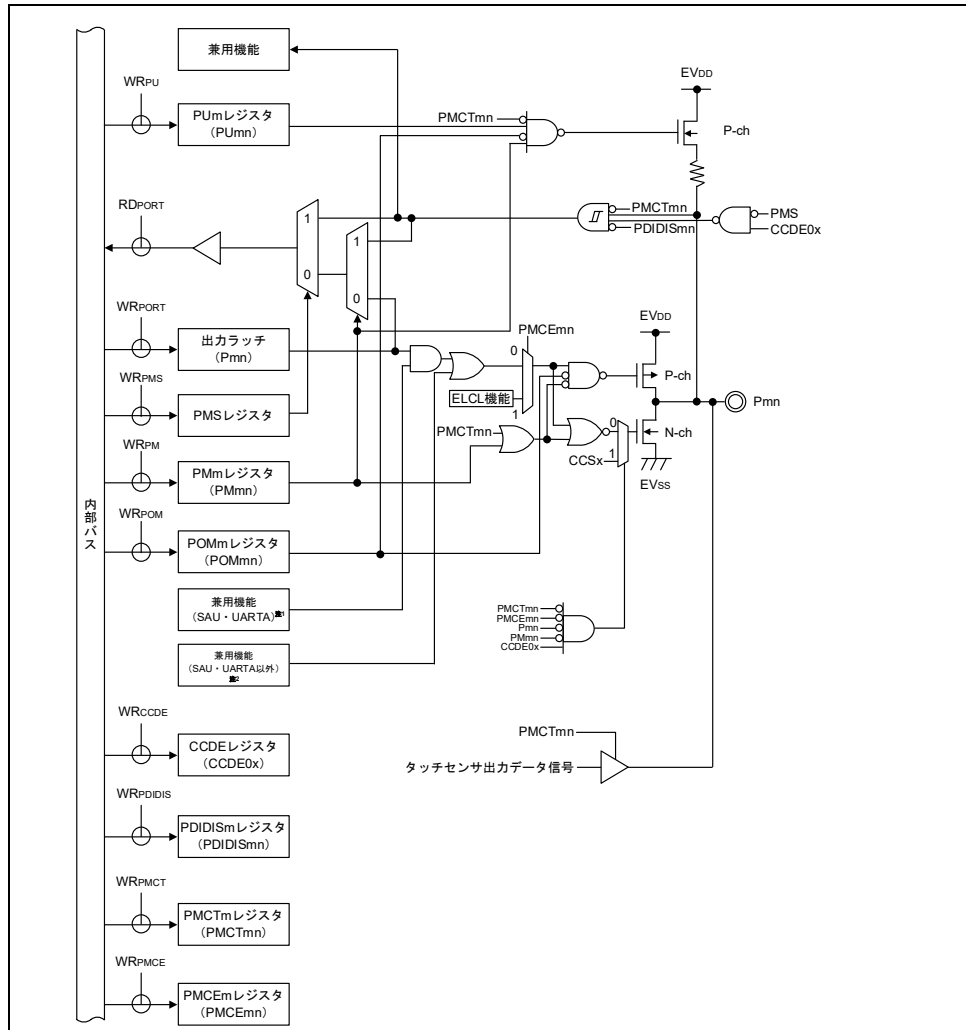
図 2-21 端子タイプ 7-38-1 の端子ブロック図



(略)

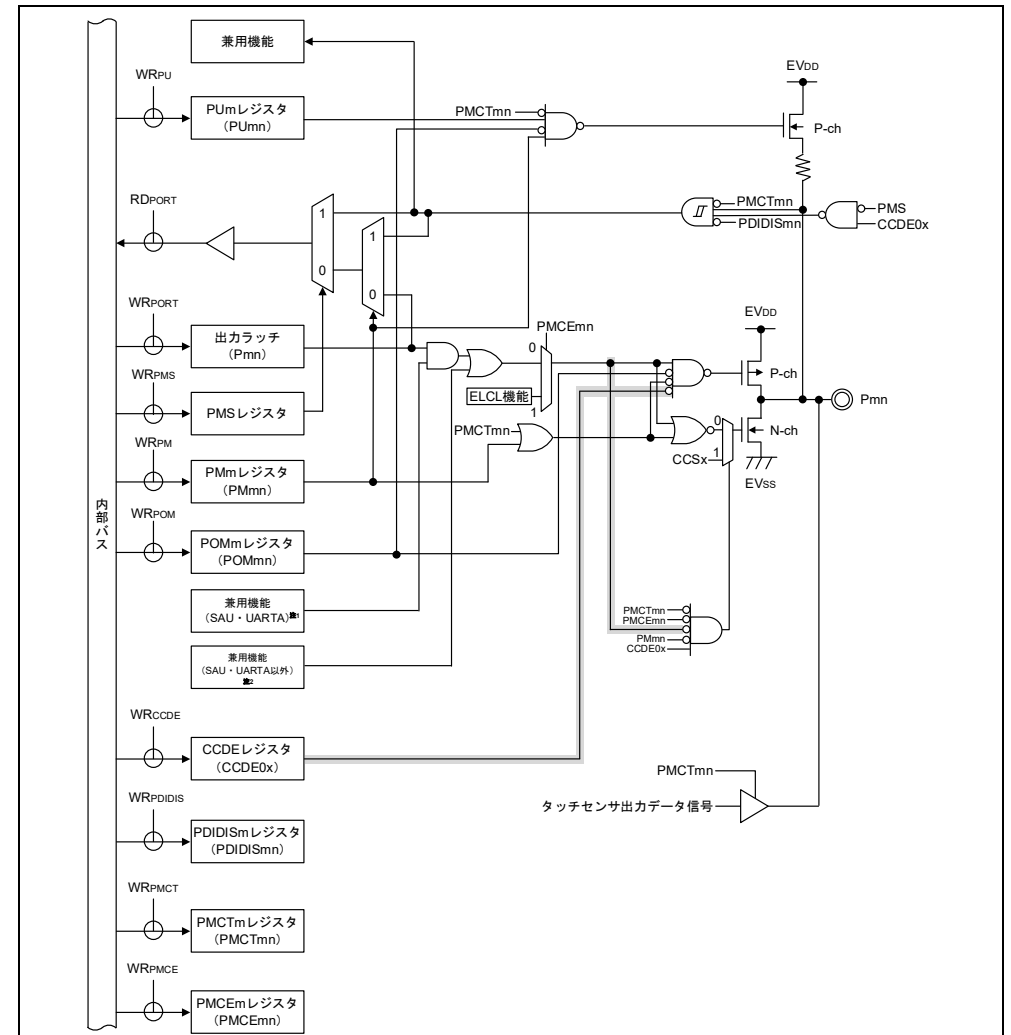
(p.128)

図 2 - 22 端子タイプ 7-39-1 の端子ブロック図



(略)

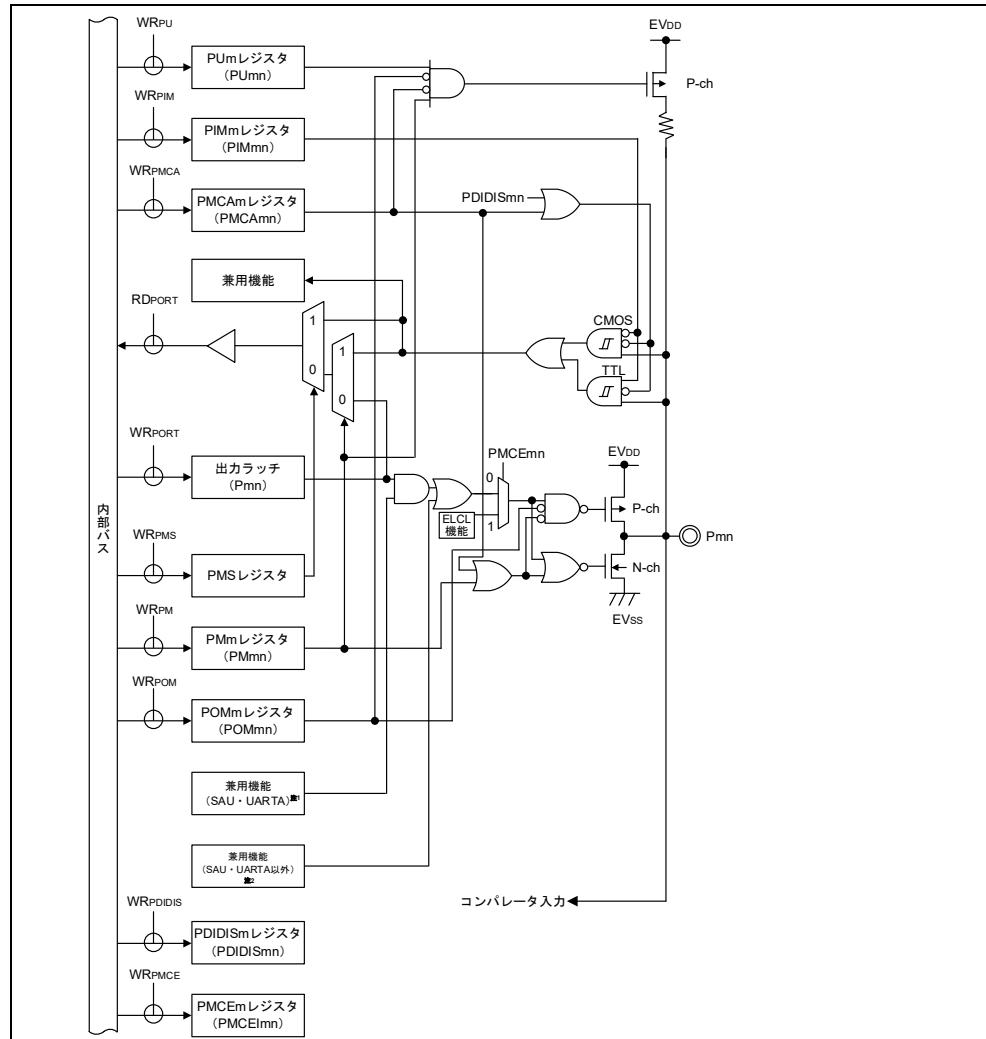
図 2 - 22 端子タイプ 7-39-1 の端子ブロック図



(略)

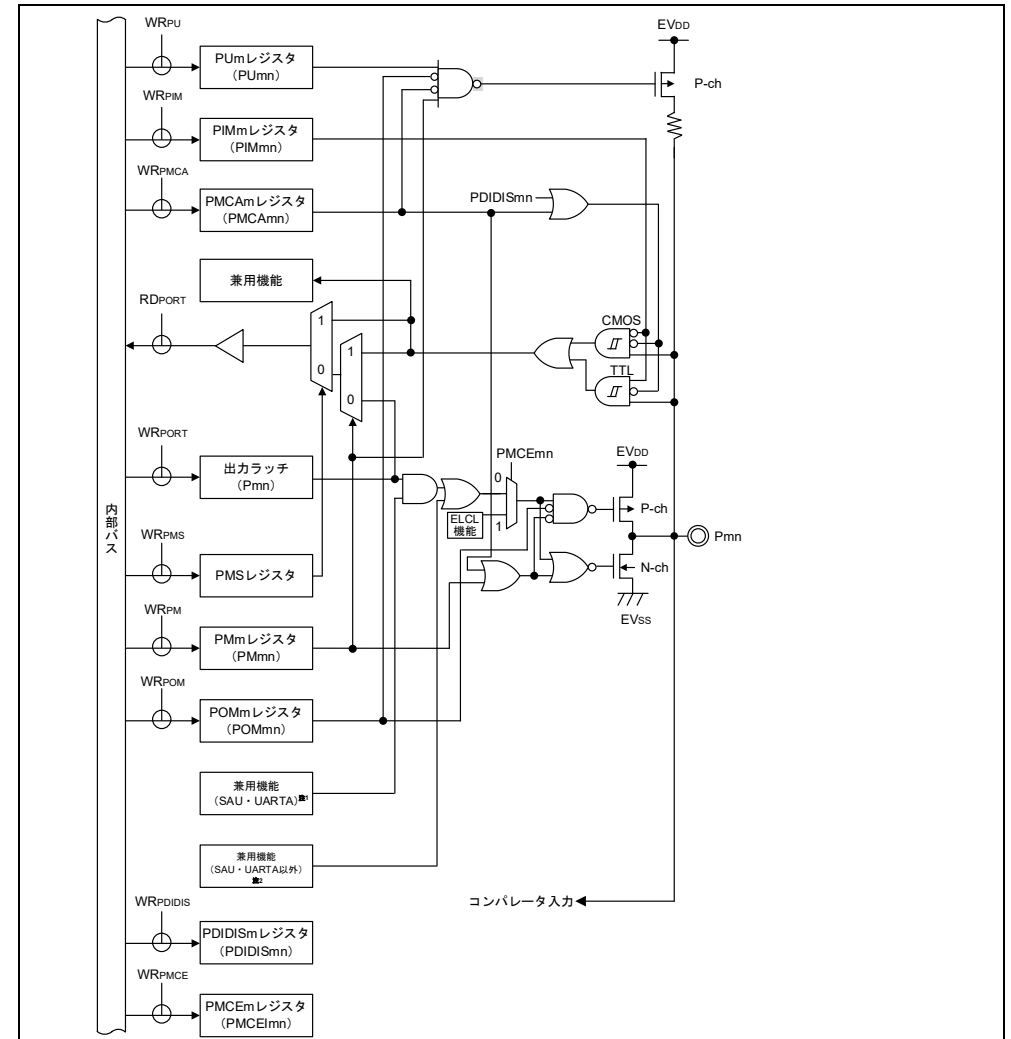
(p.133)

図 2-26 端子タイプ 8-6-9 の端子ブロック図



(略)

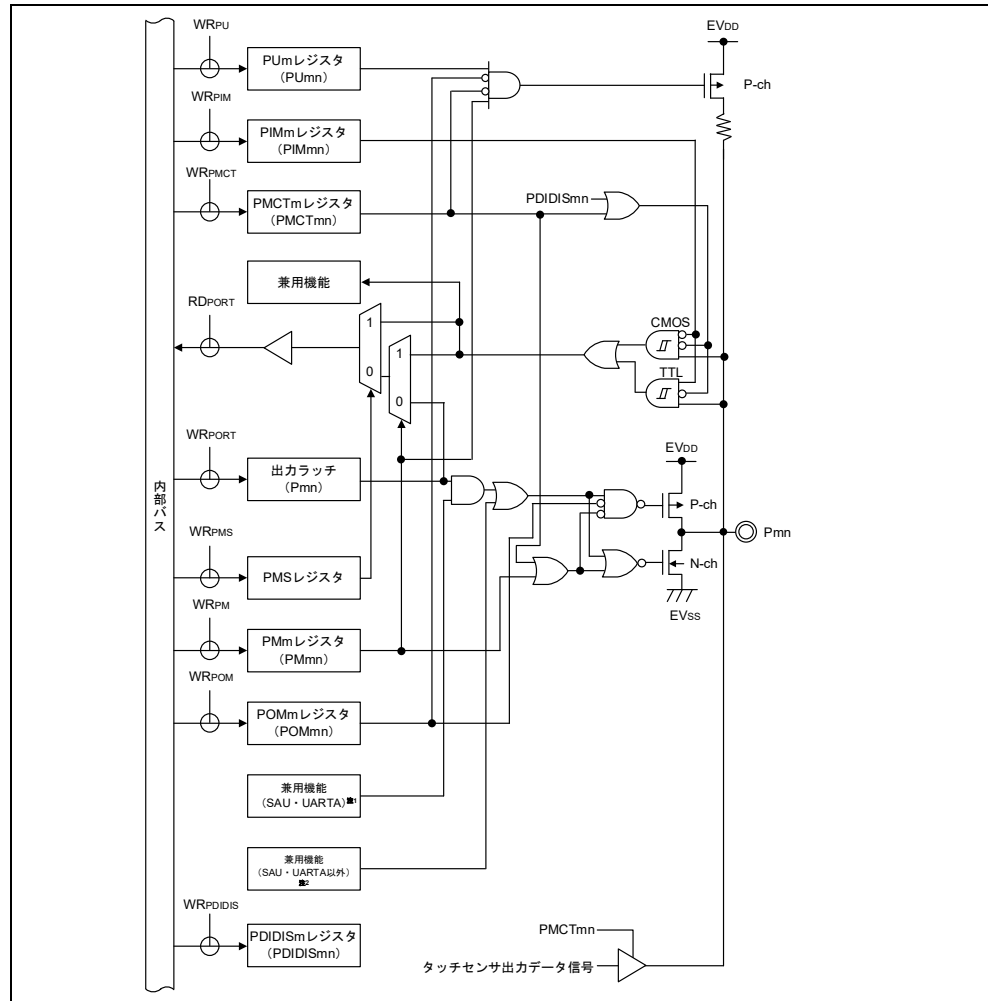
図 2-26 端子タイプ 8-6-9 の端子ブロック図



(略)

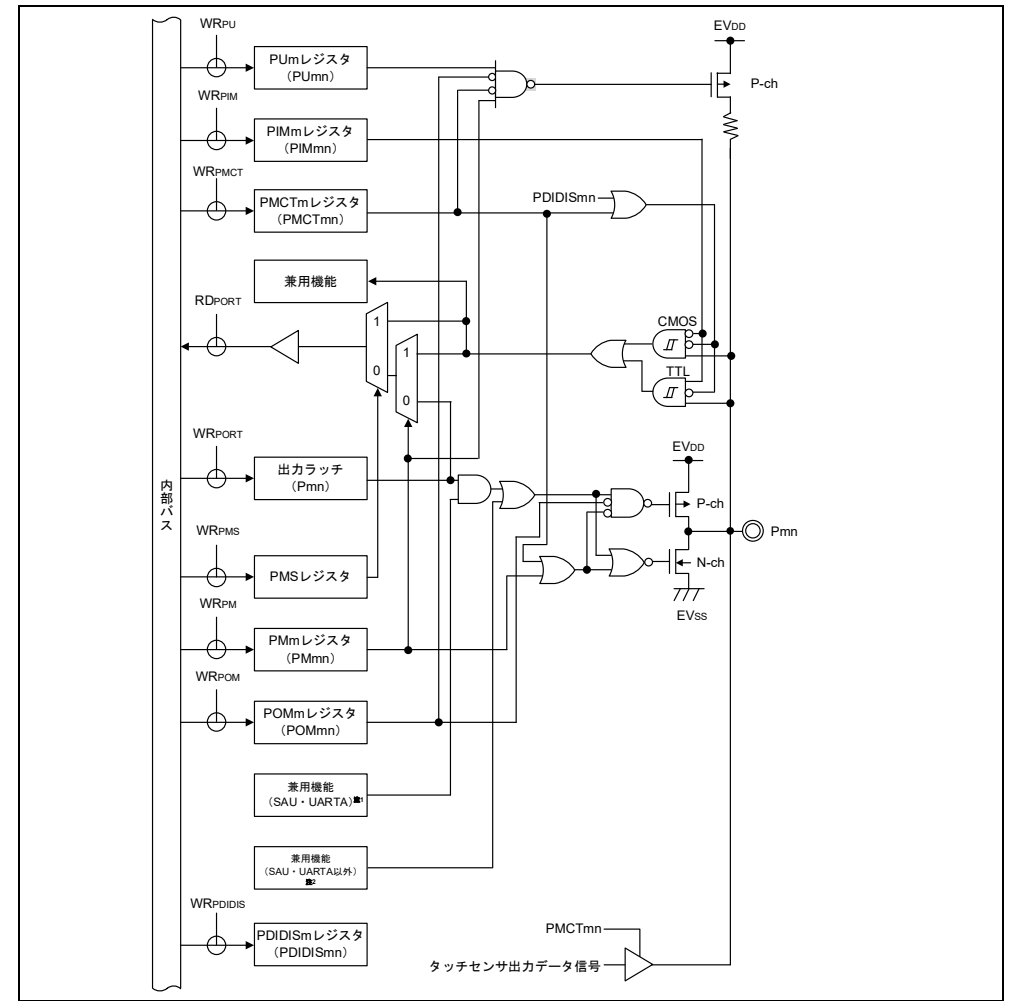
(p.135)

図 2-28 端子タイプ 8-31-2 の端子ブロック図



(略)

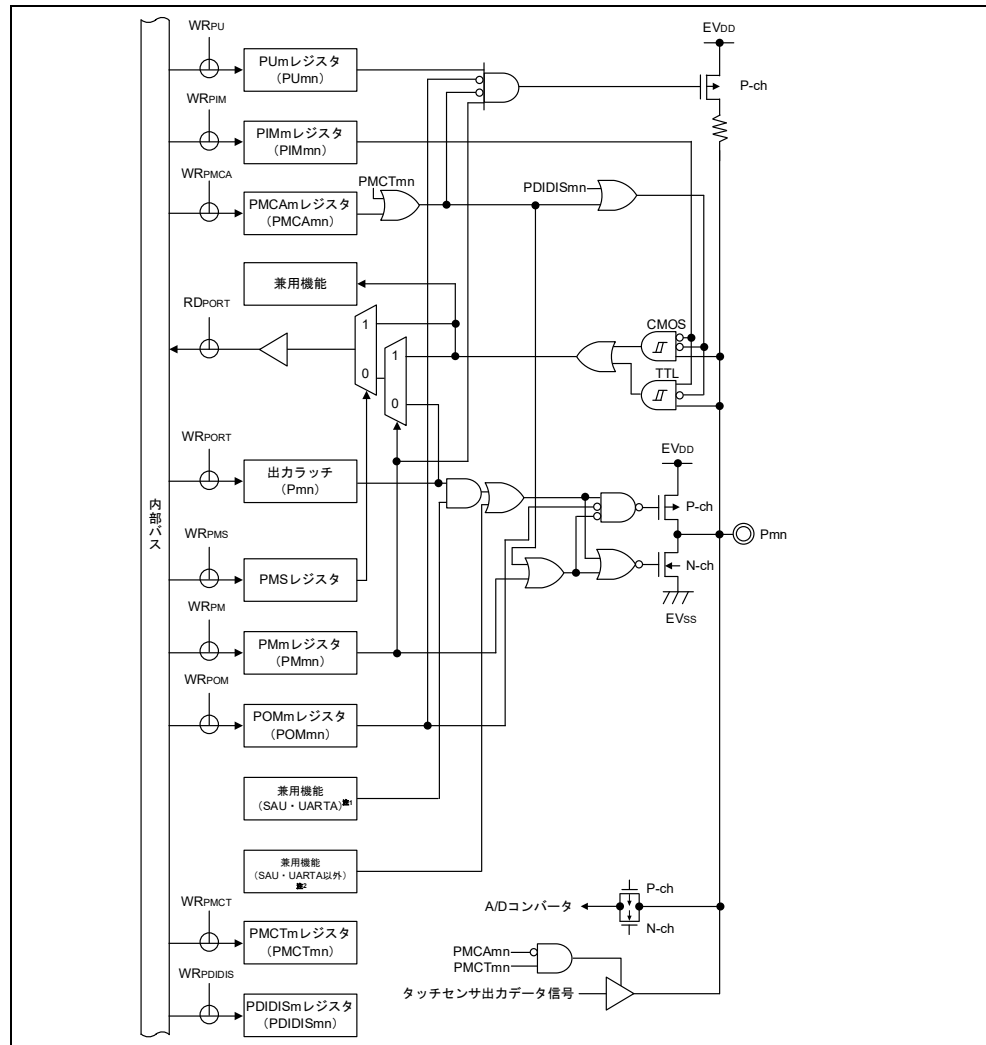
図 2-28 端子タイプ 8-31-2 の端子ブロック図



(略)

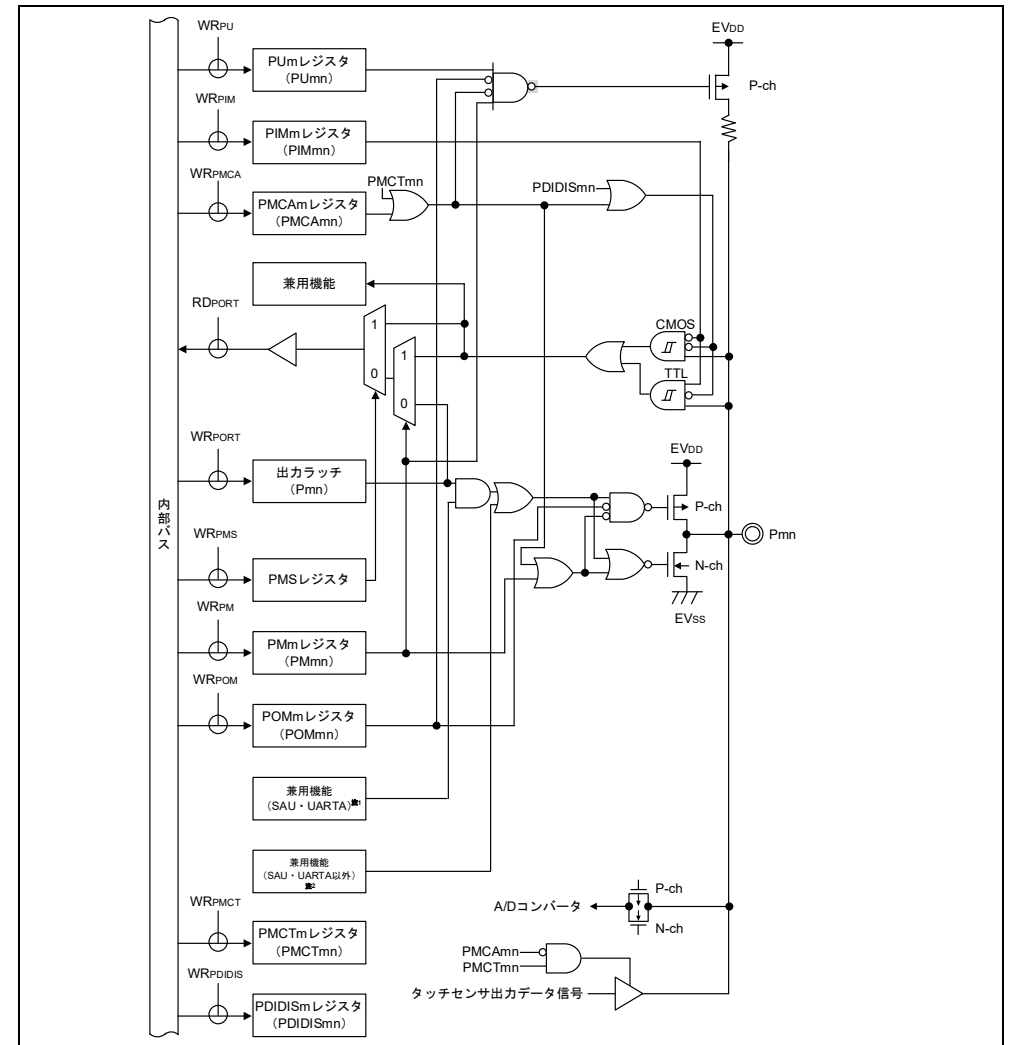
(p.137)

図 2-30 端子タイプ 8-33-3 の端子ブロック図



(略)

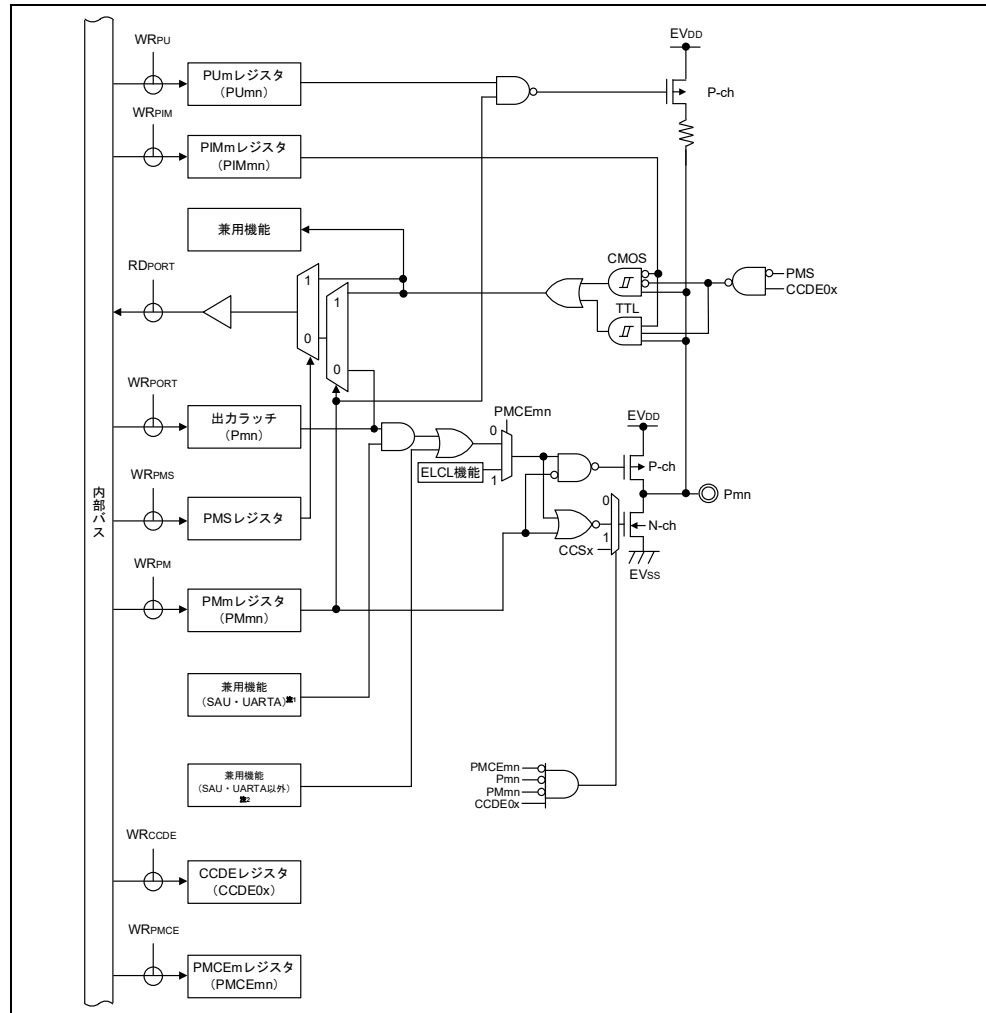
図 2-30 端子タイプ 8-33-3 の端子ブロック図



(略)

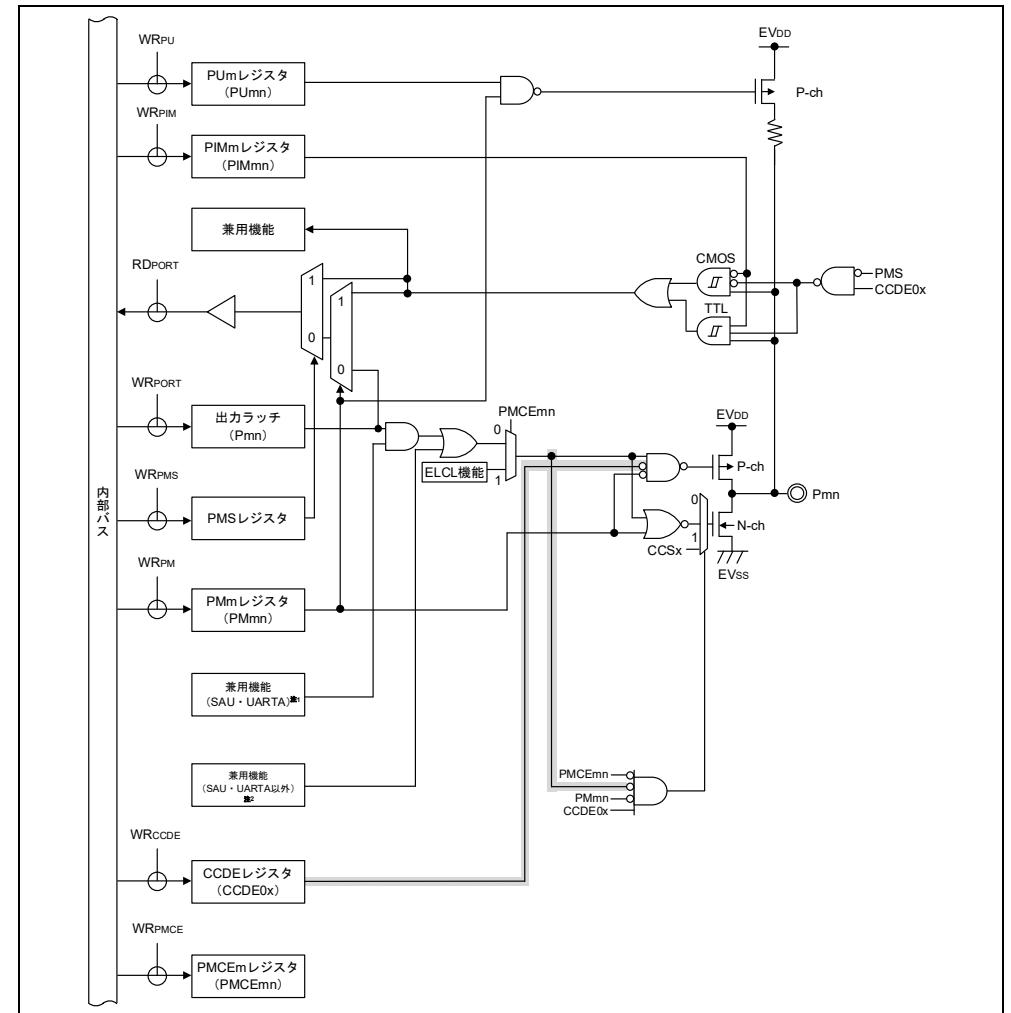
(p.138)

図 2 - 31 端子タイプ 8-38-1 の端子ブロック図



(略)

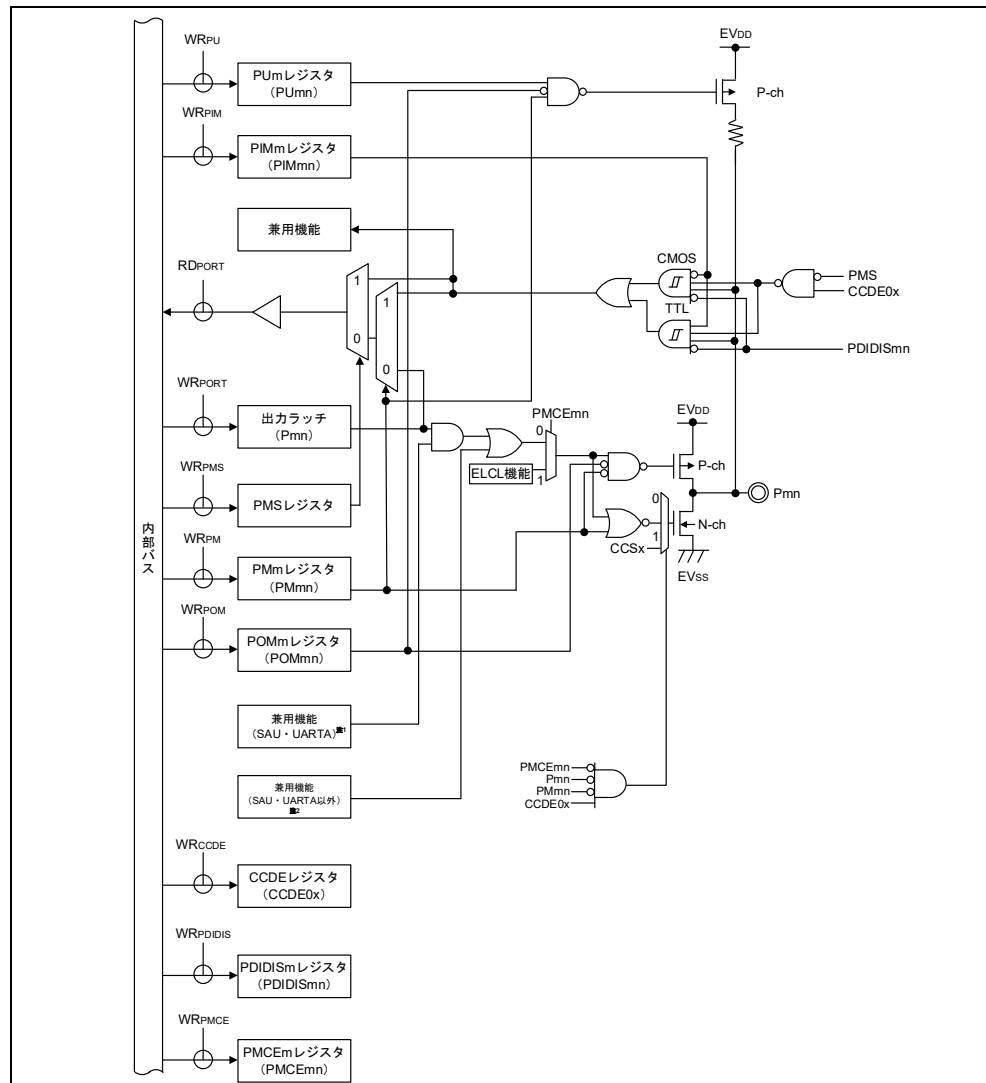
図 2 - 31 端子タイプ 8-38-1 の端子ブロック図



(略)

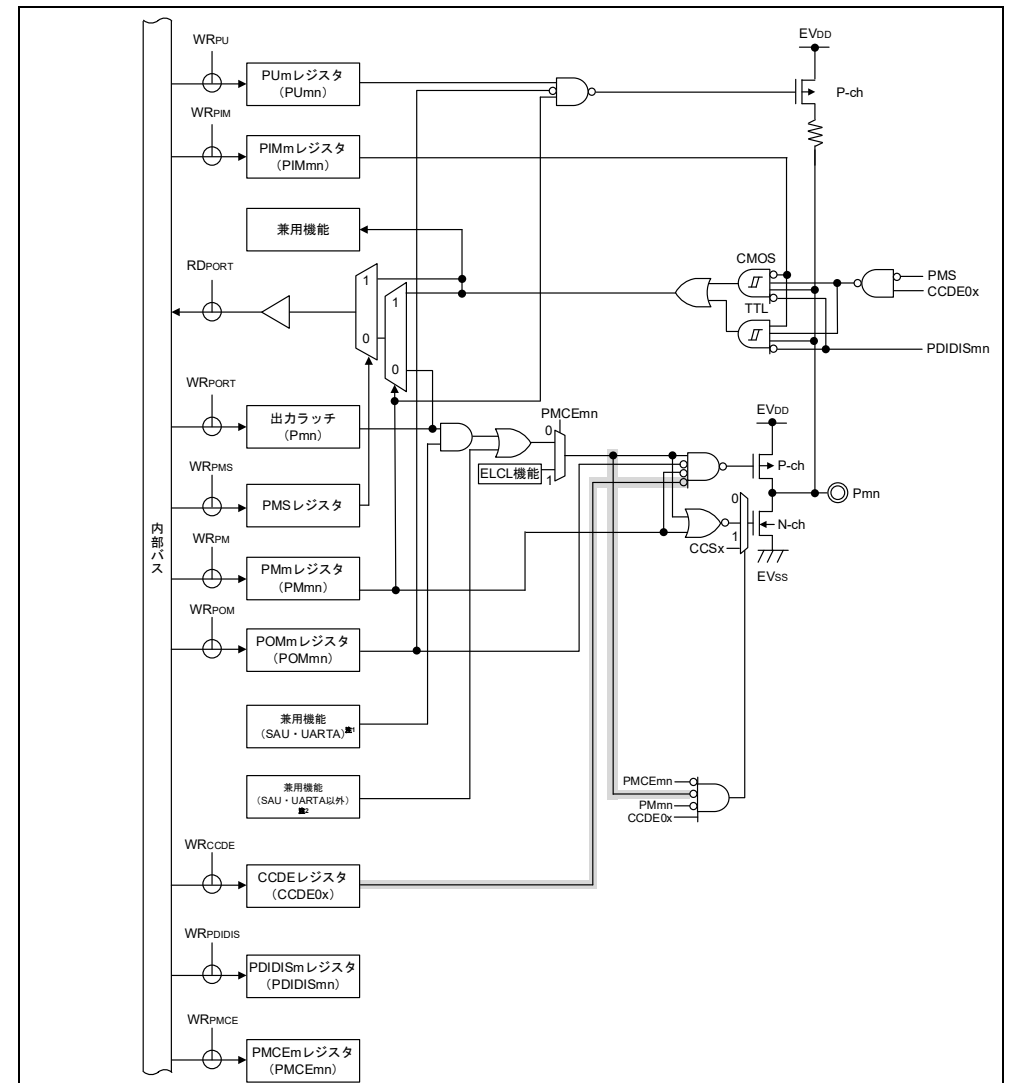
(p.139)

図 2 - 32 端子タイプ 8-38-2 の端子ブロック図



(略)

図 2 - 32 端子タイプ 8-38-2 の端子ブロック図

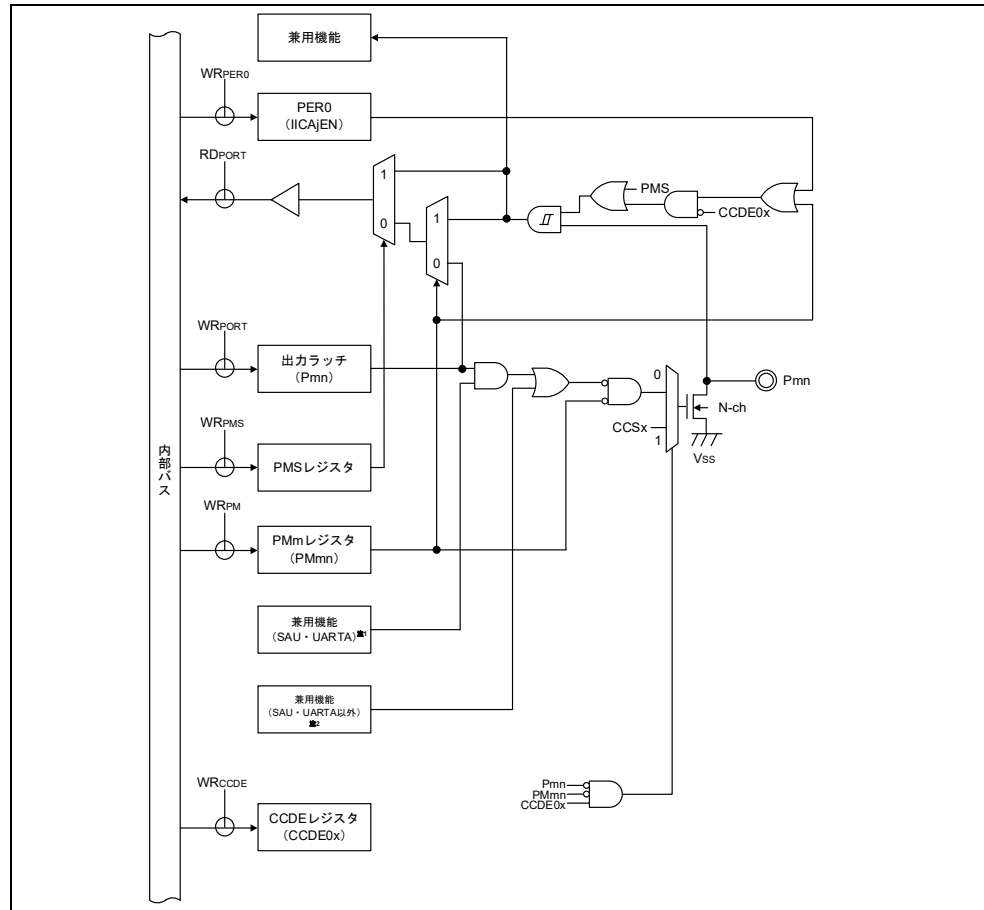


(略)



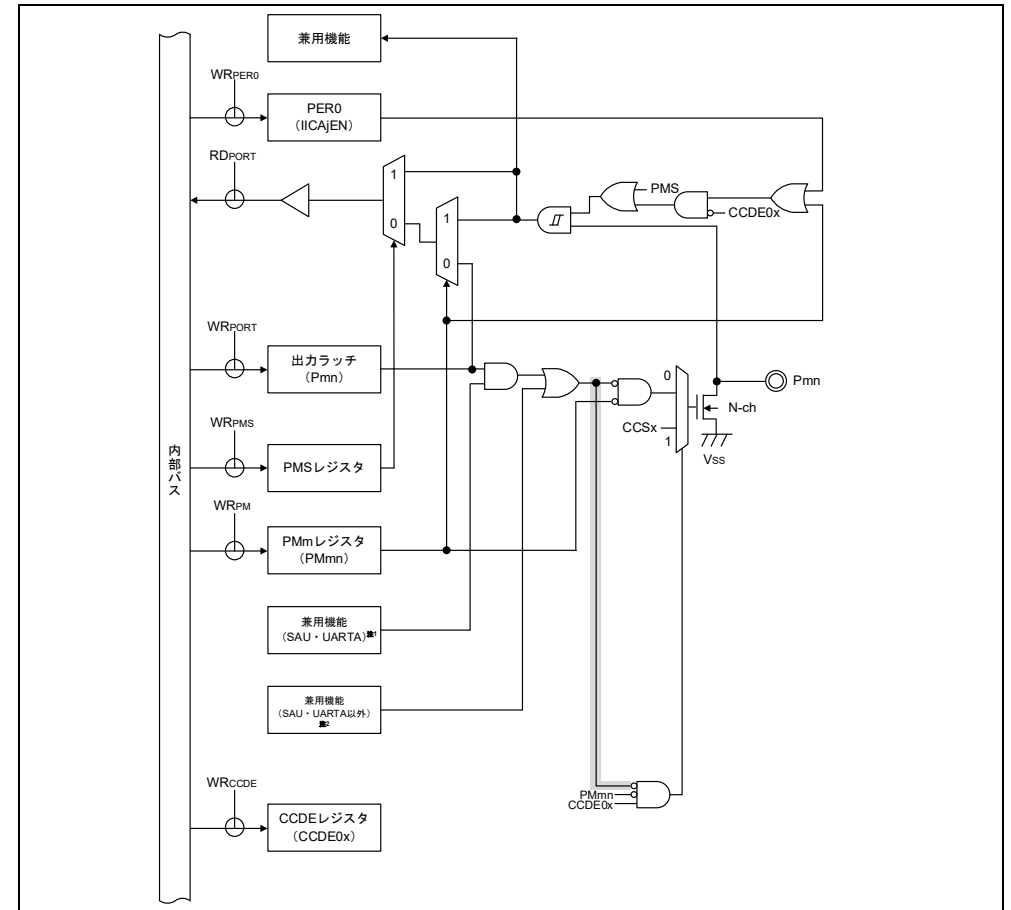
(p.142)

図 2 - 34 端子タイプ 12-38-2 の端子ブロック図



(略)

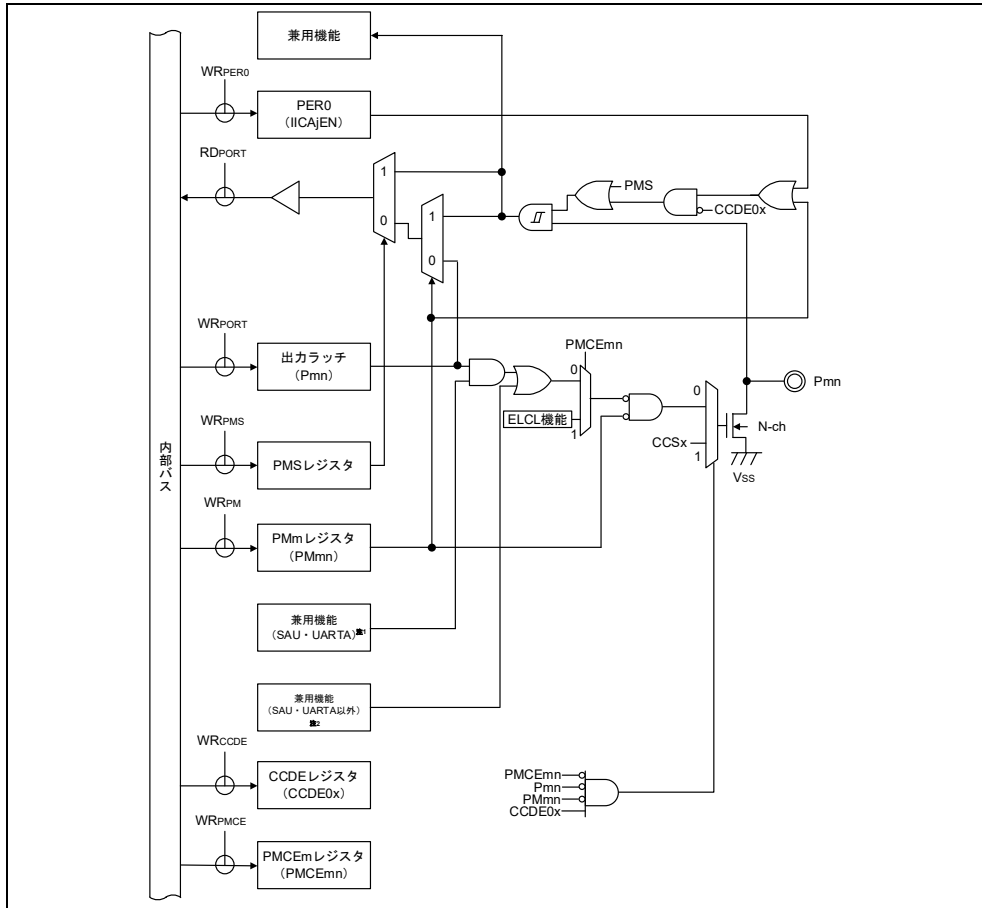
図 2 - 34 端子タイプ 12-38-2 の端子ブロック図



(略)

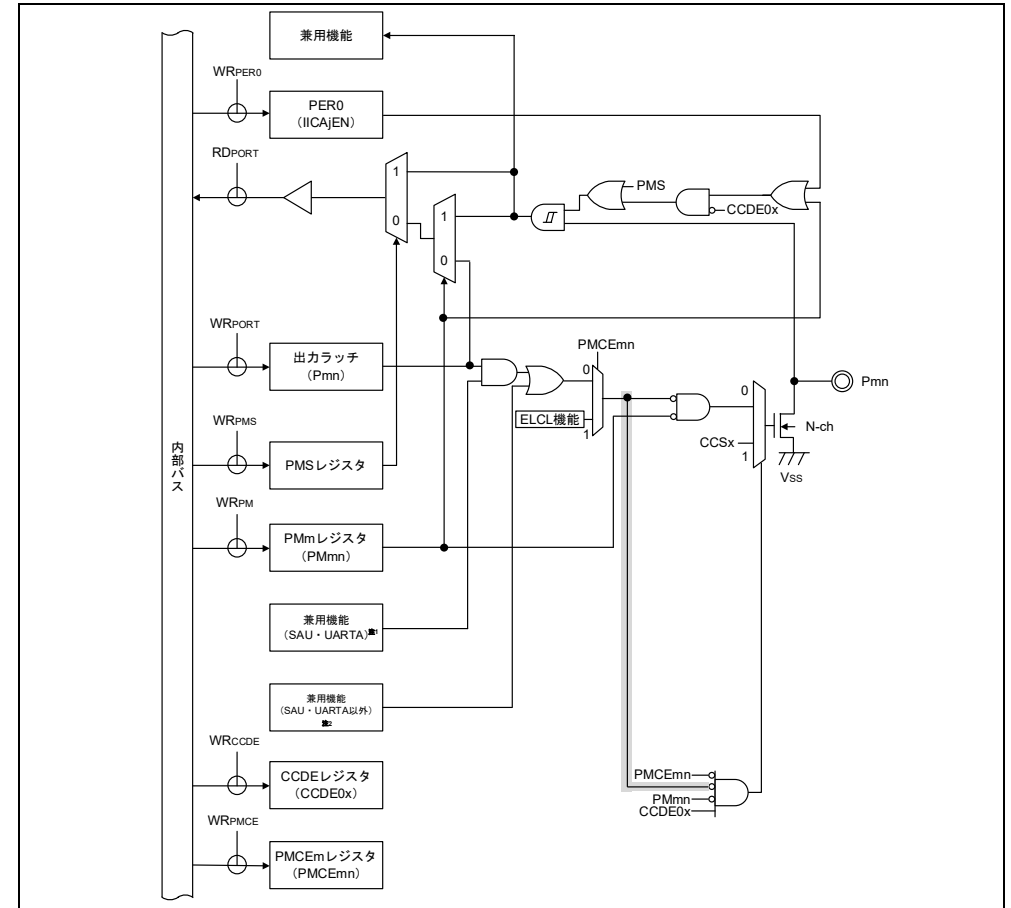
(p.143)

図 2 - 35 端子タイプ 12-38-3 の端子ブロック図



(略)

図 2 - 35 端子タイプ 12-38-3 の端子ブロック図



(略)

8. 4.5.4 使用するポート機能および兼用機能のレジスタ設定例 (p.262, p.281)

誤)

(p.262)

表 4 - 7 端子機能使用時のレジスタ、出力ラッチの設定例

(フラッシュ・メモリ 96 KB・128 KB の 30 ピン製品~64 ピン製品) (14/16)

端子名称	使用機能		CMC				PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL													
P121	P121	入力	00 xx / 10 xx / 11 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	
			xx 00 / xx 10 / xx 11	1注													
		出力	00 xx / 10 xx / 11 xx	0	0	0/1											
			xx 00 / xx 10 / xx 11	1注													
	EI121	入力	00 xx / 10 xx / 11 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	○
			xx 00 / xx 10 / xx 11	1注													
VBAT	入力	00 xx / 10 xx / 11 xx	0	0	1	x	x	x	○	○	○	○	○	○	○	○	
X1	—	01 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	○	
XT1	—	xx 01	1	1	x	○	○	○	x	x	x	x	x	x	x	x	

端子名称	機能名称	入出力	EXCLKS	XTSEL	PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン
	EXCLKS	入力	xx 11	0	—	x	x	x	x	○	○	○	○	○

注 30~36ピン製品のみ

(略)

正)

表 4 - 7 端子機能使用時のレジスタ、出力ラッチの設定例

(フラッシュ・メモリ 96 KB・128 KB の 30 ピン製品~64 ピン製品) (14/16)

端子名称	使用機能		CMC				PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL													
P121	P121	入力	00 xx / 10 xx / 11 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	
			xx 00 / xx 10 / xx 11	1注													
		出力	00 xx / 10 xx / 11 xx	0	0	0/1											
			xx 00 / xx 10 / xx 11	1注													
	EI121	入力	00 xx / 10 xx / 11 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	○
			xx 00 / xx 10 / xx 11	1注													
VBAT	—	01 xx	0	1	x	x	x	○	○	○	○	○	○	○	○	○	
X1	—	01 xx	0	1	x	○	○	○	○	○	○	○	○	○	○	○	
XT1	—	xx 01	1	1	x	○	○	○	x	x	x	x	x	x	x	x	

端子名称	機能名称	入出力	EXCLKS	XTSEL	PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン
	EXCLKS	入力	xx 11	0	—	x	x	x	x	○	○	○	○	○

注 30~36ピン製品のみ

(略)

(p.281)

表 4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例

(フラッシュ・メモリ 192 KB~768 KB の製品、フラッシュ・メモリ 128 KB の 80 ピン・100 ピン製品) (18/21)

端子名称	使用機能		CMC				PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン		
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSLS	XTSEL																	
P121	P121	入力	00 xx / 10 xx / 11 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
			xx 00 / xx 10 / xx 11	1注																	
	出力	00 xx / 10 xx / 11 xx	0	0	0/1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
		xx 00 / xx 10 / xx 11	1注																		
	EI121	入力	00 xx / 10 xx / 11 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
			xx 00 / xx 10 / xx 11	1注																	
VBAT	入力	00 xx / 10 xx / 11	0	0	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	
X1	-	01 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
XT1	-	xx 01	1	1	*	○	○	○	*	*	*	*	*	*	*	*	*	*	*	*	
EXCLKS	入力	xx 11	0	-	*	*	*	*	○	○	○	○	○	○	○	○	○	○	○	○	

注 30~36ピン製品のみ

(略)

表 4 - 8 端子機能使用時のレジスタ、出力ラッチの設定例

(フラッシュ・メモリ 192 KB~768 KB の製品、フラッシュ・メモリ 128 KB の 80 ピン・100 ピン製品) (18/21)

端子名称	使用機能		CMC				PMxx	Pxx	30 ピン	32 ピン	36 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン	128 ピン		
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSLS	XTSEL																	
P121	P121	入力	00 xx / 10 xx / 11 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
			xx 00 / xx 10 / xx 11	1注																	
	出力	00 xx / 10 xx / 11 xx	0	0	0/1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
		xx 00 / xx 10 / xx 11	1注																		
	EI121	入力	00 xx / 10 xx / 11 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
			xx 00 / xx 10 / xx 11	1注																	
VBAT	入力	0 01 xx	0	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○		
X1	-	01 xx	0	1	*	○	○	○	○	○	○	○	○	○	○	○	○	○	○		
XT1	-	xx 01	1	1	*	○	○	○	*	*	*	*	*	*	*	*	*	*	*		
EXCLKS	入力	xx 11	0	-	*	*	*	*	○	○	○	○	○	○	○	○	○	○	○		

注 30~36ピン製品のみ

(略)

9. 12.3.8 アナログ入力チャネル指定レジスタ (ADS) (p.588)

誤)

(略)

- 注意 7. ADISS = 1 を設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1 に設定後、1 回目の変換結果は使用できません。詳細設定フローは、12.7.5 温度センサ出力電圧/内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時) を参照してください。内部基準電圧値は第 37 章 電気的特性を参照してください。
- 注意 8. STOP モードへ移行、もしくはサブシステム・クロックで CPU 動作中に HALT モードへ移行する場合は、ADISS= 1 に設定しないでください。ADISS = 1 設定時は、37.3.2 電源電流特性に示す A/D コンバータ基準電圧電流 (I<sub>ADREF</sub>) の電流値が加算されます。
- 注意 9. ADISS = 1 に設定した場合、ハードウェア・トリガ・ウエイト・モードかつワンショット変換モードは使用できません。

正)

(略)

- 注意 7. ADISS = 1 を設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1 に設定後、1 回目の変換結果は使用できません。詳細設定フローは、12.7.5 温度センサ出力電圧/内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時) を参照してください。内部基準電圧値は第 37 章 電気的特性を参照してください。
- 注意 8. STOP モードへ移行、もしくはサブシステム・クロックで CPU 動作中に HALT モードへ移行する場合は、ADISS= 1 に設定しないでください。ADISS = 1 設定時は、37.3.2 電源電流特性に示す A/D コンバータ基準電圧電流 (I<sub>ADREF</sub>) の電流値が加算されます。
- 注意 9. ADISS = 1 に設定した場合、ハードウェア・トリガ・ウエイト・モードかつワンショット変換モードは使用できません。
- 注意 10. ADISS = 1 に設定した場合、ソフトウェア・トリガ・ウエイト・モードかつワンショット変換モードは使用できません。

### 10. 12.6.6 ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、 ワンショット変換モード) (p.600)

誤)

(略)

注意 変換動作中に上記⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8)参照)

正)

(略)

- 注意 1. 変換動作中に上記⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8)参照)
- 注意 2. ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) では、ADISS = 1 の設定 (入力ソース = 温度センサ出力電圧、内部基準電圧) は使用できません。

11. 15.3.8 シリアル・ステータス・レジスタ mn (SSRmn) (p.686)

誤)

(略)

注意 1. BFFmn = 1 のときに SDRmn レジスタに書き込みをすると、格納されている送信／受信データが破壊され、オーバラン・エラー (OVFmn = 1) と検出されます。

注意 2. SNOOZE モード (SWCm = 1) で簡易 SPI (CSI) の受信動作を行う場合、OVFmn フラグは動作しません。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

正)

(略)

注意 1. BFFmn = 1 のときに SDRmn レジスタに書き込みをすると、格納されている送信／受信データが破壊され、オーバラン・エラー (OVFmn = 1) と検出されます。

注意 2. SNOOZE モード (SWCm = 1) で簡易 SPI (CSI) の受信動作を行う場合、OVFmn フラグおよび BFFmn フラグは動作しません。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

12. 15.3.13 シリアル出力レジスタ m (SOm) (p.692)

誤)

(略)

アドレス : F0168H, F0169H (SO1)

リセット時: 0F0FH<sup>注</sup>

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SO1	0	0	0	0	CKO13	CKO12	CKO11	CKO10
	7	6	5	4	3	2	1	0
	0	0	0	0	SO13	SO12	SO11	SO10
CKOmn	チャンネルnのシリアル・クロック出力							
0	シリアル・クロック出力値が0							
1	シリアル・クロック出力値が1							
SOMn	チャンネルnのシリアル・データ出力							
0	シリアル・データ出力値が0							
1	シリアル・データ出力値が1							

注 30~64 ピン製品は、リセット時 : 0303H になります。

注意 SO0 レジスタのビット 15-12, 7-4 には、必ず 0 を設定してください。

30~64 ピン製品の SO1 レジスタのビット 15-10, 7-2, 80~128 ピン製品の SO1 レジスタのビット 15-12, 7-4 には、必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

正)

(略)

アドレス : F0168H, F0169H (SO1)

リセット時: 0F0FH<sup>注</sup>

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SO1	0	0	0	0	CKO13	CKO12	CKO11	CKO10
	7	6	5	4	3	2	1	0
	0	0	0	0	SO13	SO12	SO11	SO10
CKOmn	チャンネルnのシリアル・クロック出力							
0	シリアル・クロック出力値が0							
1	シリアル・クロック出力値が1							
SOMn	チャンネルnのシリアル・データ出力							
0	シリアル・データ出力値が0							
1	シリアル・データ出力値が1							

注 30~64 ピン製品かつ ROM が 128KB 以下の製品は、リセット時 : 0303H になります。

注意 SO0 レジスタのビット 15-12, 7-4 には、必ず 0 を設定してください。

30~64 ピン製品かつ ROM が 128KB 以下の製品の SO1 レジスタのビット 15-10, 7-2, 80~128 ピン製品の SO1 レジスタのビット 15-12, 7-4 には、必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

13. 17.3.4 ボーレート・ジェネレータ (p.962)

誤)

(略)

スタート・ビット検出後はボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (• トップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

• 1ビット・データ長とボーレートの関係

$$FL = (\text{Brate}) - 1$$

Brate : UARTのボーレート

k : BRGCAnレジスタの設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージンは1クロック

• 許容最小データ・フレーム長 (FLmin)

$$FLmin = 11 \times FL - \frac{k-1}{2k} \times FL = \frac{21k+1}{2k} FL$$

• 受信可能な送信先の最大ボーレート (BRmax)

$$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+1} \text{ Brate}$$

• 許容最大データ・フレーム長 (FLmax)

$$FLmax = \frac{21k+1}{20k} FL \times 11$$

• 受信可能な送信先の最小ボーレート (BRmin)

$$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-1} \text{ Brate}$$

前述の最小/最大ボーレート値の算出式から求めたUARTと送信先とのボーレートの許容誤差を表17-5に示します。

表17-5 許容最大/最小ボーレート誤差

分周比 (k)	許容最大ボーレート誤差	許容最小ボーレート誤差
2	+2.32%	-2.43%
4	+3.52%	-3.61%
8	+4.14%	-4.19%
20	+4.51%	-4.53%
50	+4.66%	-4.67%
100	+4.71%	-4.71%
255	+4.74%	-4.74%

備考1. 受信の許容誤差は、1フレーム・ビット数、入カクロック周波数、分周比 (k) に依存します。入カクロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

備考2. k : BRGCAnレジスタの設定値

正)

(略)

スタート・ビット検出後はボーレート・ジェネレータ・コントロール・レジスタ (BRGCAn) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (• トップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

• 1ビット・データ長とボーレートの関係

$$FL = (\text{Brate}) - 1$$

Brate : UARTのボーレート

k : BRGCAnレジスタの設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージンは2クロック

• 許容最小データ・フレーム長 (FLmin)

$$k=3\sim 255\text{のとき} : FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

• 受信可能な送信先の最大ボーレート (BRmax)

$$k=2\text{のとき} : BRmax = \text{Brate} + \frac{1}{22k} \text{ Brate}$$

$$k=3\sim 255\text{のとき} : BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

• 許容最大データ・フレーム長 (FLmax)

$$k=3\sim 255\text{のとき} : FLmax = \frac{21k+2}{20k} FL \times 11$$

• 受信可能な送信先の最小ボーレート (BRmin)

$$k=2\text{のとき} : BRmin = \text{Brate} - \frac{1}{22k} \text{ Brate}$$

$$k=3\sim 255\text{のとき} : BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小/最大ボーレート値の算出式から求めたUARTと送信先とのボーレートの許容誤差を表17-5に示します。

表17-5 許容最大/最小ボーレート誤差

分周比 (k)	許容最大ボーレート誤差	許容最小ボーレート誤差
2	+2.27%	-2.27%
4	+2.33%	-2.44%
8	+3.53%	-3.61%
20	+4.27%	-4.31%
50	+4.56%	-4.58%
100	+4.66%	-4.67%
255	+4.72%	-4.73%

備考1. 受信の許容誤差は、1フレーム・ビット数、入カクロック周波数、分周比 (k) に依存します。入カクロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

備考2. k : BRGCAnレジスタの設定値

**14. 19.4.3 リピート・モード (p.1044, p.1045)**

誤)

(p.1044)

(略)

- (1) リピート・モードの使用例 1: ポートを使ったステップング・モータ制御パルス出力タイマ・アレイ・ユニット 0 のチャンネル 0 のインターバル・タイマ機能を使って DTC を起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパタンを汎用ポートに転送します。
- ・ベクタ・アドレスは **FFC14H**、コントロール・データは FFCD0H-FFCD7H に配置
  - ・コード・フラッシュ・メモリの 02000H-02007H の 8 バイト・データをミラー領域 F2000H-F2007H からポート・レジスタ 1 (FFF01H) へ転送
  - ・リピート・モード割り込みは禁止

正)

(略)

- (1) リピート・モードの使用例 1: ポートを使ったステップング・モータ制御パルス出力タイマ・アレイ・ユニット 0 のチャンネル 0 のインターバル・タイマ機能を使って DTC を起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパタンを汎用ポートに転送します。
- ・ベクタ・アドレスは **FFC17H**、コントロール・データは FFCD0H-FFCD7H に配置
  - ・コード・フラッシュ・メモリの 02000H-02007H の 8 バイト・データをミラー領域 F2000H-F2007H からポート・レジスタ 1 (FFF01H) へ転送
  - ・リピート・モード割り込みは禁止

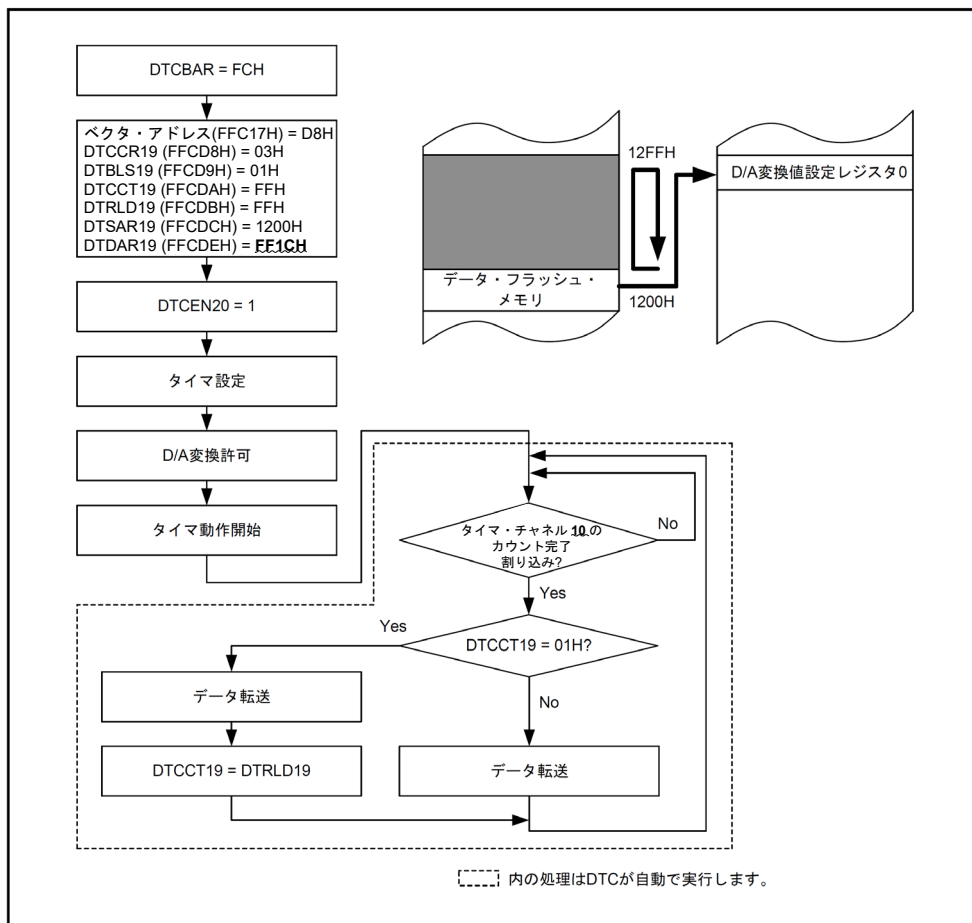


(p.1045)

- (2) リピート・モードの使用例 2 : 8 ビット D/A コンバータを使ったサイン波出力  
 タイマ・アレイ・ユニット 1 のチャンネル 0 のインターバル・タイマ機能を使って割り込みで DTC を起動し、データ・フラッシュ・メモリに格納されたサイン波のテーブルを 8 ビットの D/A 変換値設定レジスタ 0 (F0330H) に転送します。

(略)

図 19 - 20 リピート・モードの使用例 2 : 8 ビット D/A コンバータを使ったサイン波出力

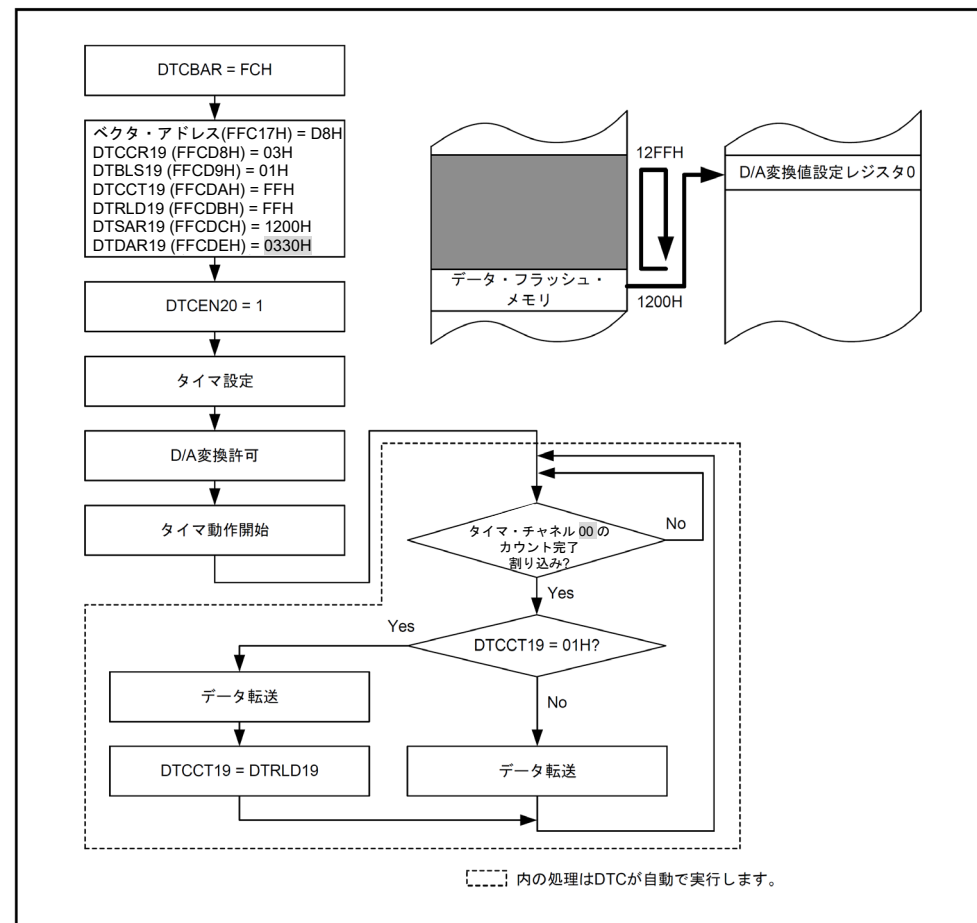


(略)

- (2) リピート・モードの使用例 2 : 8 ビット D/A コンバータを使ったサイン波出力  
 タイマ・アレイ・ユニット 0 のチャンネル 0 のインターバル・タイマ機能を使って割り込みで DTC を起動し、データ・フラッシュ・メモリに格納されたサイン波のテーブルを 8 ビットの D/A 変換値設定レジスタ 0 (F0330H) に転送します。

(略)

図 19 - 20 リピート・モードの使用例 2 : 8 ビット D/A コンバータを使ったサイン波出力



(略)

15. 37.2.3 オンチップ・オシレータ特性 (p.1422)

誤)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
高速オンチップ・オシレータ・クロック周波数	f <sub>H</sub>		1		32	MHz

中速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	f <sub>M</sub>		1		4	MHz
中速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>			-12		+12	%
中速オンチップ・オシレータ・クロック補正分解能				0.15		%
中速オンチップ・オシレータ周波数温度係数					±0.17 注4	%/°C
低速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	f <sub>L</sub>			32.768		kHz
低速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>			-15		+15	%
低速オンチップ・オシレータ・クロック補正分解能				0.3		%
低速オンチップ・オシレータ周波数温度係数					±0.21 注4	%/°C

注 1. テスト時の精度です。

注 2. FRQSEL3 = 1 に設定時

注 3. 発振回路の特性だけを示すものです。命令実行時間は、AC 特性を参照してください。

注 4. 評価による値です。

正)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
高速オンチップ・オシレータ・クロック周波数	f <sub>H</sub>		1		32	MHz

中速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	f <sub>M</sub>		1		4	MHz
中速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>			-12		+12	%
中速オンチップ・オシレータ・クロック補正分解能				0.15		%
中速オンチップ・オシレータ周波数温度係数					±0.17 注4	%/°C
低速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	f <sub>L</sub>			32.768		kHz
低速オンチップ・オシレータ・クロック周波数精度 <sup>注1</sup>			-15		+15	%
低速オンチップ・オシレータ・クロック補正分解能				0.3		%
低速オンチップ・オシレータ周波数温度係数					±0.21 注4	%/°C

注 1. テスト時の精度です。

注 2. FRQSEL3 = 1 に設定時

注 3. 発振回路の特性だけを示すものです。命令実行時間は、AC 特性を参照してください。

注 4. この値は特性評価結果による値であり、出荷検査は行っていません。

16. 37.3.1 端子特性 (p.1426)

誤)

(略)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (3/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0.8 EVDD0		EVDD0	V
	VIH2	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	2.2		EVDD0	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	2.0		EVDD0	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	1.5		EVDD0	V
	VIH3	P20-P27, P150-P156		0.7 VDD		VDD	V
	VIH4	P60-P63		0.7 EVDD0		6.0	V
VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET		0.8 VDD		VDD	V	
ロウ・レベル入力電圧	VIL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0		0.2 EVDD0	V
	VIL2	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	0		0.5	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	0		0.32	V
	VIL3	P20-P27, P150-P156		0		0.3 VDD	V
	VIL4	P60-P63		0		0.3 EVDD0	V
VIL5	P121-P124, P137, EXCLK, EXCLKS, RESET		0		0.2 VDD	V	

(略)

正)

(略)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (3/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0.8 EVDD0		EVDD0	V
	VIH2	P01, P03, P04, P10, P11, P13-P17, P41, P43, P44, P53-P55, P71, P80, P81, P142, P143	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	2.2		EVDD0	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	2.0		EVDD0	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	1.5		EVDD0	V
	VIH3	P20-P27, P150-P156		0.7 VDD		VDD	V
	VIH4	P60-P63		0.7 EVDD0		6.0	V
VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET		0.8 VDD		VDD	V	
ロウ・レベル入力電圧	VIL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0		0.2 EVDD0	V
	VIL2	P01, P03, P04, P10, P11, P13-P17, P41, P43, P44, P53-P55, P71, P80, P81, P142, P143	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	0		0.5	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	0		0.32	V
	VIL3	P20-P27, P150-P156		0		0.3 VDD	V
	VIL4	P60-P63		0		0.3 EVDD0	V
VIL5	P121-P124, P137, EXCLK, EXCLKS, RESET		0		0.2 VDD	V	

(略)

17. 37.3.2 電源電流特性 (p.1431, p.1434, p.1437, p.1440, p.1444, p.1447)

誤)

(p.1431)

(1) 30～64ピン製品のフラッシュ ROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (1/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流注1	IDD1	動作モード	HS (高速メイン)モード	f <sub>H</sub> = 32 MHz注2	基本動作	VDD = 5.0 V	1.3	—	mA
						VDD = 1.8 V	1.3	—	
					通常動作	VDD = 5.0 V	3.0	5.0	mA
						VDD = 1.8 V	3.0	5.0	

				f <sub>MX</sub> = 8 MHz注4, 発振子接続	通常動作	VDD = 5.0 V	0.9	1.4	mA
						VDD = 1.8 V	0.8	1.4	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0または VSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

正)

(1) 30～64ピン製品のフラッシュ ROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (1/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流注1	IDD1	動作モード	HS (高速メイン)モード	f <sub>H</sub> = 32 MHz注2	基本動作	VDD = 5.0 V	1.3	—	mA
						VDD = 1.8 V	1.3	—	
					通常動作	VDD = 5.0 V	3.0	5.0	mA
						VDD = 1.8 V	3.0	5.0	

				f <sub>MX</sub> = 8 MHz注4, 発振子接続	通常動作	VDD = 5.0 V	0.9	1.4	mA
						VDD = 1.8 V	0.8	1.4	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0または VSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値には PCLBUZ, TAU, SAU, IICA 機能の動作電流を含みます。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(p.1431)

(1) 30～64ピン製品のフラッシュ ROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/4)

項目	略号	条件			Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD2 <sup>注2</sup>	HALTモード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注3</sup>	VDD = 5.0 V	0.54	1.93	mA
					VDD = 1.8 V	0.53	1.92	

				f <sub>MX</sub> = 8 MHz <sup>注5</sup> , 発振子接続	VDD = 5.0 V	0.21	0.58	mA
					VDD = 1.8 V	0.20	0.57	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0または VSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 2. フラッシュ・メモリでの HALT 命令実行時。

注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(1) 30～64ピン製品のフラッシュ ROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/4)

項目	略号	条件			Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD2 <sup>注2</sup>	HALTモード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注3</sup>	VDD = 5.0 V	0.54	1.93	mA
					VDD = 1.8 V	0.53	1.92	

				f <sub>MX</sub> = 8 MHz <sup>注5</sup> , 発振子接続	VDD = 5.0 V	0.21	0.58	mA
					VDD = 1.8 V	0.20	0.57	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0または VSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値には PCLBUZ, TAU, SAU, IICA 機能の動作電流を含みます。

注 2. フラッシュ・メモリでの HALT 命令実行時。

注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(p.1437)

(2) 30～64ピン製品のフラッシュROM192～256 KBの製品および80ピン製品のフラッシュROM128～256 KBの製品

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (1/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD1	動作モード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注2</sup>	基本動作	VDD = 5.0 V	1.4	—	mA
						VDD = 1.8 V	1.4	—	
					通常動作	VDD = 5.0 V	3.0	5.0	mA
						VDD = 1.8 V	3.0	5.0	

				f <sub>MX</sub> = 8 MHz <sup>注4</sup> 、 発振子接続	通常動作	VDD = 5.0 V	0.9	1.4	mA
						VDD = 1.8 V	0.8	1.4	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0 または VSS, EVSS0 に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/D コンバータ、LVD 回路、I/O ポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(2) 30～64ピン製品のフラッシュROM192～256 KBの製品および80ピン製品のフラッシュROM128～256 KBの製品

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (1/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD1	動作モード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注2</sup>	基本動作	VDD = 5.0 V	1.4	—	mA
						VDD = 1.8 V	1.4	—	
					通常動作	VDD = 5.0 V	3.0	5.0	mA
						VDD = 1.8 V	3.0	5.0	

				f <sub>MX</sub> = 8 MHz <sup>注4</sup> 、 発振子接続	通常動作	VDD = 5.0 V	0.9	1.4	mA
						VDD = 1.8 V	0.8	1.4	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0 または VSS, EVSS0 に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値には PCLBUZ, TAU, SAU, IICA 機能の動作電流を含みます。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(p.1440)

(2) 30～64ピン製品のフラッシュ ROM192～256 KBの製品および80ピン製品のフラッシュ ROM128～256 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (3/4)

項目	略号	条件			Min.	Typ.	Max.	単位
電源電流注1	IDD2注2	HALTモード	HS (高速メイン)モード	f <sub>H</sub> = 32 MHz注3		0.57	1.97	mA
				VDD = 5.0 V				
				VDD = 1.8 V		0.56	1.96	

				f <sub>MX</sub> = 8 MHz注5、 発振子接続				
				VDD = 5.0 V		0.21	0.58	mA
				VDD = 1.8 V		0.20	0.57	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0または VSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 2. フラッシュ・メモリでの HALT 命令実行時。

注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(2) 30～64ピン製品のフラッシュ ROM192～256 KBの製品および80ピン製品のフラッシュ ROM128～256 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (3/4)

項目	略号	条件			Min.	Typ.	Max.	単位
電源電流注1	IDD2注2	HALTモード	HS (高速メイン)モード	f <sub>H</sub> = 32 MHz注3		0.57	1.97	mA
				VDD = 5.0 V				
				VDD = 1.8 V		0.56	1.96	

				f <sub>MX</sub> = 8 MHz注5、 発振子接続				
				VDD = 5.0 V		0.21	0.58	mA
				VDD = 1.8 V		0.20	0.57	

注 1. VDD, EVDD0に流れるトータル電流です。入力端子を VDD, EVDD0または VSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値には PCLBUZ, TAU, SAU, IICA 機能の動作電流を含みます。

注 2. フラッシュ・メモリでの HALT 命令実行時。

注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(p.1444)

(3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (1/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD1	動作モード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注2</sup>	基本動作	VDD = 5.0 V	1.6	—	mA
						VDD = 1.8 V	1.5	—	
					通常動作	VDD = 5.0 V	3.5	5.6	mA
						VDD = 1.8 V	3.5	5.6	

				f <sub>MX</sub> = 8 MHz <sup>注4</sup> 、 発振子接続	通常動作	VDD = 5.0 V	1.0	1.6	mA
						VDD = 1.8 V	1.0	1.6	

注 1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子を VDD, EVDD0, EVDD1または VSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (1/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD1	動作モード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注2</sup>	基本動作	VDD = 5.0 V	1.6	—	mA
						VDD = 1.8 V	1.5	—	
					通常動作	VDD = 5.0 V	3.5	5.6	mA
						VDD = 1.8 V	3.5	5.6	

				f <sub>MX</sub> = 8 MHz <sup>注4</sup> 、 発振子接続	通常動作	VDD = 5.0 V	1.0	1.6	mA
						VDD = 1.8 V	1.0	1.6	

注 1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子を VDD, EVDD0, EVDD1または VSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値には PCLBUZ, TAU, SAU, IICA 機能の動作電流を含みます。

注 2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(p.1447)

(3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (3/4)

項目	略号	条件			Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD2 <sup>注2</sup>	HALTモード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注3</sup>		0.60	2.00	mA
				VDD = 5.0 V				
				VDD = 1.8 V		0.59	1.99	
				f <sub>MX</sub> = 8 MHz <sup>注5</sup> 、 発振子接続		0.22	0.59	mA
				VDD = 5.0 V				
				VDD = 1.8 V		0.21	0.58	

注 1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ/ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注 2. フラッシュ・メモリでのHALT命令実行時。

注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(3) 44～80ピン製品のフラッシュ ROM384～768 KBの製品および100～128ピン製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (3/4)

項目	略号	条件			Min.	Typ.	Max.	単位
電源電流 <sup>注1</sup>	IDD2 <sup>注2</sup>	HALTモード	HS (高速メイン)モード	f <sub>IH</sub> = 32 MHz <sup>注3</sup>		0.60	2.00	mA
				VDD = 5.0 V				
				VDD = 1.8 V		0.59	1.99	
				f <sub>MX</sub> = 8 MHz <sup>注5</sup> 、 発振子接続		0.22	0.59	mA
				VDD = 5.0 V				
				VDD = 1.8 V		0.21	0.58	

注 1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流の Typ.値は周辺動作電流を含みません。Max.値にはPCLBUZ, TAU, SAU, IICA機能の動作電流を含みます。

注 2. フラッシュ・メモリでのHALT命令実行時。

注 3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注 5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

18. 37.6.1 A/D コンバータ特性 (p.1493, p.1494)

誤)

(p.1493)

(TA = -40 ~ +105°C, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V,

基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1)、基準電圧 (-) = AVREFM (ADREFM = 1)、

変換対象 : ANI2-ANI14、内部基準電圧、温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		32	MHz
総合誤差注1, 2, 3, 4	AINL	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±7.5	LSB
			2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±9.0	LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±9.0	LSB
変換時間注5	tCONV	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	2.0		μs
			2.7 V ≤ AVREFP = VDD ≤ 5.5 V	2.0		μs
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V	2.0		μs
ゼロスケール誤差注1, 2, 3, 4, 6	Ezs	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±0.17	%FSR
			2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR
フルスケール誤差注1, 2, 3, 4, 6	EFS	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±0.17	%FSR
			2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR
積分直線性誤差注1, 3, 4	ILE	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±3.0	LSB
			2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±3.0	LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±3.0	LSB
微分直線性誤差注1	DLE	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	±1.0		LSB
			2.7 V ≤ AVREFP = VDD ≤ 5.5 V	±1.0		LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V	±1.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

注 1. 量子化誤差 (±1/2 LSB) を含みません。

注 2. 変換対象に ANI16-31 を選択した場合、Max.値は次のようになります。

総合誤差 : Max.値に±3 LSB を加算してください

ゼロスケール誤差/フルスケール誤差 : Max.値に±0.04 %FSR を加算してください

(略)

(TA = -40 ~ +105°C, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V,

基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1)、基準電圧 (-) = AVREFM (ADREFM = 1)、

変換対象 : ANI2-ANI14、内部基準電圧、温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		32	MHz
総合誤差注1, 2, 3, 4	AINL	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±7.5	LSB
			2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±9.0	LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±9.0	LSB
変換時間注5	tCONV	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	2.0		μs
			2.7 V ≤ AVREFP = VDD ≤ 5.5 V	2.0		μs
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V	2.0		μs
ゼロスケール誤差注1, 2, 3, 4, 6	Ezs	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±0.17	%FSR
			2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR
フルスケール誤差注1, 2, 3, 4, 6	EFS	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±0.17	%FSR
			2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±0.21	%FSR
積分直線性誤差注1, 3, 4	ILE	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±3.0	LSB
			2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±3.0	LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±3.0	LSB
微分直線性誤差注1	DLE	12ビット分解能	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	±1.0		LSB
			2.7 V ≤ AVREFP = VDD ≤ 5.5 V	±1.0		LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V	±1.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

注 1. 量子化誤差 (±1/2 LSB) を含みません。

注 2. 変換対象に ANI16-26, CTSU TSCAP 電圧を選択した場合、Max.値は次のようになります。

総合誤差 : Max.値に±3 LSB を加算してください

ゼロスケール誤差/フルスケール誤差 : Max.値に±0.04 %FSR を加算してください

(略)

(p.1494)

(2) 低電圧モード 1, 2

(TA = -40 ~ +105°C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V,  
 基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM (ADREFM = 1),  
 変換対象: ANI2-ANI14, 内部基準電圧注1, 温度センサ出力電圧注1)

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		12	bit
変換クロック	fAD			1		24	MHz
総合誤差注2, 3, 4, 5	AINL	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9	LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±9	LSB
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±11.5	LSB
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±12.0	LSB
変換時間注6	tCONV	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V	3.33			μs
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V	5.0			μs
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V	10.0			μs
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V	20.0			μs
ゼロスケール誤差注2, 3, 4, 5, 7	EzS	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR
フルスケール誤差注2, 3, 4, 5, 7	EFS	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR

アナログ入力電圧	VAIN		0		AVREFP	V
----------	------	--	---	--	--------	---

注 1. 内部基準電圧、温度センサ出力電圧を変換対象にする場合は、1.8 V ≤ VDD で使用してください。

注 2. 量子化誤差 (±1/2 LSB) を含みません。

注 3. 変換対象に ANI16-31 を選択した場合、Max.値は次のようになります。

総合誤差 : Max.値に±3 LSB を加算してください

ゼロスケール誤差/フルスケール誤差 : Max.値に±0.04 %FSR を加算してください

(略)

(2) 低電圧モード 1, 2

(TA = -40 ~ +105°C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V,  
 基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM (ADREFM = 1),  
 変換対象: ANI2-ANI14, 内部基準電圧注1, 温度センサ出力電圧注1)

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		12	bit
変換クロック	fAD			1		24	MHz
総合誤差注2, 3, 4, 5	AINL	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9	LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±9	LSB
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±11.5	LSB
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±12.0	LSB
変換時間注6	tCONV	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V	3.33			μs
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V	5.0			μs
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V	10.0			μs
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V	20.0			μs
ゼロスケール誤差注2, 3, 4, 5, 7	EzS	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR
フルスケール誤差注2, 3, 4, 5, 7	EFS	12ビット分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR

アナログ入力電圧	VAIN		0		AVREFP	V
----------	------	--	---	--	--------	---

注 1. 内部基準電圧、温度センサ出力電圧、CTSU TSCAP 電圧を変換対象にする場合は、1.8 V ≤ VDD で使用してください。

注 2. 量子化誤差 (±1/2 LSB) を含みません。

注 3. 変換対象に ANI16-26, CTSU TSCAP 電圧を選択した場合、Max.値は次のようになります。

総合誤差 : Max.値に±3 LSB を加算してください

ゼロスケール誤差/フルスケール誤差 : Max.値に±0.04 %FSR を加算してください

(略)