

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24
豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口 <http://japan.renesas.com/contact/>
E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A0132A/J	Rev.	第1版
題名	誤記訂正通知 RL78/G23 ユーザーズマニュアル Rev.1.21 の記載変更		情報分類	技術情報	
適用製品	RL78/G23 グループ	対象ロット等	関連資料	RL78/G23 ユーザーズマニュアル ハードウェア編 Rev.1.21 R01UH0896JJ0121 (Nov.2022)	
		全ロット			

RL78/G23 ユーザーズマニュアル ハードウェア編 Rev.1.21（R01UH0896JJ0121）において、下記訂正が
ございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
12.3.3 A/Dコンバータ・モード・レジスタ0（ADM0）	p.567, p.570 ~ p.578	誤記訂正
12.3.4 A/Dコンバータ・モード・レジスタ1（ADM1）	p.580	誤記訂正
12.3.5 A/Dコンバータ・モード・レジスタ2（ADM2）	p.581, p.582	誤記訂正
20.2 ELCLの構成	p.1057, p.1059, p.1061	誤記訂正
20.3.1 入力信号選択レジスタn（ELISELn）（n = 0-11）	p.1064, p.1068	誤記訂正
20.6 ELCL使用時の注意事項	p.1101	誤記訂正
29.3.3 シーケンサ・インストラクション・レジスタp（SMSIp） （p = 0-31）	p.1235, p.1236	誤記訂正
29.4 SNOOZEモード・シーケンサの動作	p.1245	誤記訂正
29.4.1 SNOOZEモード・シーケンサの内部の動作	p.1242	誤記訂正
29.4.4 SNOOZEモード・シーケンサの操作手順	p.1246	誤記訂正
29.4.5 SNOOZEモード・シーケンサの状態	p.1248	誤記訂正
29.5.20 割り込み&終了処理	p.1270	誤記訂正
29.6 スタンバイ・モード時の動作	p.1272	誤記訂正
37.4 AC特性	p.1451	誤記訂正

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0896JJ0121	
1	8.3.4 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)		p.488	p.3
2	図8-19 リアルタイム・クロックの読み出し手順		p.501	p.4
3	図8-20 リアルタイム・クロックの書き込み手順		p.502	p.4
4	37.3.2 電源電流特性		p.1432 ~ p.1447	p.5 ~ p.16
5	37.6.4 コンパレータ特性		p.1495	p.17
6	12.3.3 A/Dコンバータ・モード・レジスタ0 (ADM0)		p.567, p.570 ~ p.578	p.18 ~ p.27
7	12.3.4 A/Dコンバータ・モード・レジスタ1 (ADM1)		p.580	p.28
8	12.3.5 A/Dコンバータ・モード・レジスタ2 (ADM2)		p.581, p.582	p.29, p.30
9	20.2 ELCLの構成		p.1057, p.1059, p.1061	p.31 ~ p.33
10	20.3.1 入力信号選択レジスタn (ELISELn) (n = 0-11)		p.1064, p.1068	p.34, p.35
11	20.6 ELCL使用時の注意事項		p.1101	p.36
12	29.3.3 シーケンサ・インストラクション・レジスタp (SMSIp) (p = 0-31)		p.1235, p.1236	p.37, p.38
13	29.4 SNOOZEモード・シーケンサの動作		p.1245	p.39
14	29.4.1 SNOOZEモード・シーケンサの内部の動作		p.1242	p.40
15	29.4.4 SNOOZEモード・シーケンサの操作手順		p.1246	p.41
16	29.4.5 SNOOZEモード・シーケンサの状態		p.1248	p.42
17	29.5.20 割り込み&終了処理		p.1270	p.43
18	29.6 スタンバイ・モード時の動作		p.1272	p.44
19	37.4 AC特性		p.1451	p.45

誤記訂正の該当箇所は、誤) 太字下線、正) グレー・ハッチングで記載します。

発行文書履歴

RL78/G23 ユーザーズマニュアル Rev.1.21 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A0103A/J	2023 年 1 月 19 日	初版発行 訂正一覧の No.1 ~ No. 5 の誤記訂正
TN-RL*-A0132A/J	2024 年1 月 9 日	訂正一覧の No.6 ~ No.19 の誤記訂正 (本通知です。)

1. 8. 3. 4 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1)
(p.488)

誤)

図8-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RWST	リアルタイム・クロックのウェイト状態フラグ ^{註3}
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中

RWAIT ビットの設定が有効であるかを示すステータスです。
カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
カウンタ値を読み出し、書き込みを行う際は必ず1 を書き込んでください。
内部カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
RWAIT=1に設定後、カウンタ値の読み出し、書き込みが可能（RWST=1）となるまで最大 f_{RTCLK} の1クロックの時間がかかります。^{註1, 2}
内部カウンタ（16ビット）のオーバフローがRWAIT=1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT=0になったあと、カウント・アップします。
ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

正)

図8-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RWST	リアルタイム・クロックのウェイト状態フラグ ^{註3}
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中

RWAIT ビットの設定が有効であるかを示すステータスです。
カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
カウンタ値を読み出し、書き込みを行う際は必ず1 を書き込んでください。
内部カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。アラーム割り込みを使用するときに、カウンタの読み出し／書き込みを行う場合は、RTCC0レジスタのCT2~CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1 からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。
RWAIT=1に設定後、カウンタ値の読み出し、書き込みが可能（RWST=1）となるまで最大 f_{RTCLK} の1クロックの時間がかかります。^{註1, 2}
内部カウンタ（16ビット）のオーバフローがRWAIT=1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT=0になったあと、カウント・アップします。
ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

2. 図 8 - 19 リアルタイム・クロックの読み出し手順 (p.501)

誤)

注 STOP モードに移行する前には、必ず RWST = 0 であることを確認してください。

注意 RWAIT = 1 から RWAIT = 0 までの処理を 1 秒以内で行ってください。

備考 秒カウント・レジスタ (SEC)、分カウント・レジスタ (MIN)、時カウント・レジスタ (HOUR)、曜日カウント・レジスタ (WEEK)、日カウント・レジスタ (DAY)、月カウント・レジスタ (MONTH)、年カウント・レジスタ (YEAR) の読み出しの順番に制限はありません。
また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出しても構いません。

3. 図 8 - 20 リアルタイム・クロックの書き込み手順 (p.502)

誤)

注 STOP モードに移行する前には、必ず RWST = 0 であることを確認してください。

注意 1. RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

注意 2. カウンタ動作中 (RTCE = 1) にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ、RIFGフラグ、RTCIFフラグをクリアしてください。

備考 秒カウント・レジスタ (SEC)、分カウント・レジスタ (MIN)、時カウント・レジスタ (HOUR)、曜日カウント・レジスタ (WEEK)、日カウント・レジスタ (DAY)、月カウント・レジスタ (MONTH)、年カウント・レジスタ (YEAR) の書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

正)

注 STOP モードに移行する前には、必ず RWST = 0 であることを確認してください。

注意 RWAIT = 1 から RWAIT = 0 までの処理を 1 秒以内で行ってください。アラーム割り込みを使用するとき、カウンタ読み出しを行う場合は、RTCC0 レジスタの CT2~CT0 ビットを 010B (1 秒毎に定周期割り込み発生) にして、RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行ってください。

備考 秒カウント・レジスタ (SEC)、分カウント・レジスタ (MIN)、時カウント・レジスタ (HOUR)、曜日カウント・レジスタ (WEEK)、日カウント・レジスタ (DAY)、月カウント・レジスタ (MONTH)、年カウント・レジスタ (YEAR) の読み出しの順番に制限はありません。
また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出しても構いません。

正)

注 STOP モードに移行する前には、必ず RWST = 0 であることを確認してください。

注意 1. RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。アラーム割り込みを使用するとき、カウンタ書き込みを行う場合は、RTCC0レジスタのCT2~CT0ビットを010B (1秒毎に定周期割り込み発生) にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

注意 2. カウンタ動作中 (RTCE = 1) にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ、RIFGフラグ、RTCIFフラグをクリアしてください。

備考 秒カウント・レジスタ (SEC)、分カウント・レジスタ (MIN)、時カウント・レジスタ (HOUR)、曜日カウント・レジスタ (WEEK)、日カウント・レジスタ (DAY)、月カウント・レジスタ (MONTH)、年カウント・レジスタ (YEAR) の書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

4. 37. 3. 2 電源電流特性 (p.1432 ~ p.1447)

誤)

37. 3. 2 電源電流特性

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(TA = -40～+105° C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/4)

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD1}	動作モード	HS (高速メイン) モード	f _{IH} = 32 MHz ^{注2}	基本動作	VDD = 5.0 V		1.3	—	mA
						VDD = 1.8 V		1.3	—	
					通常動作	VDD = 5.0 V		3.0	5.0	mA
						VDD = 1.8 V		3.0	5.0	
				f _{MX} = 8 MHz ^{注4} , 方形波入力	通常動作	VDD = 5.0 V		0.8	1.3	mA
						VDD = 1.8 V		0.7	1.3	
				f _{MX} = 8 MHz ^{注4} , 発振子接続	通常動作	VDD = 5.0 V		0.9	1.4	mA
						VDD = 1.8 V		0.8	1.4	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH}：高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM}：中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX}：高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考4. 特に指定がない場合のTYP.値の温度条件は、TA = 25°Cです。

正)

37. 3. 2 電源電流特性

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(TA = -40～+105° C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/4)

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD1}	動作モード	HS (高速メイン) モード	f _{IH} = 32 MHz ^{注2}	基本動作	VDD = 5.0 V		1.3	—	mA
						VDD = 1.8 V		1.3	—	
					通常動作	VDD = 5.0 V		3.0	5.0	mA
						VDD = 1.8 V		3.0	5.0	
				f _{MX} = 8 MHz ^{注4} , 方形波入力	通常動作	VDD = 5.0 V		0.8	1.3	mA
						VDD = 1.8 V		0.7	1.3	
				f _{MX} = 8 MHz ^{注4} , 発振子接続	通常動作	VDD = 5.0 V		0.9	1.4	mA
						VDD = 1.8 V		0.8	1.4	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH}：高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM}：中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX}：高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考4. 特に指定がない場合のTYP.値の温度条件は、TA = 25°Cです。

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(TA = -40～+105° C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD1}	動作モード	サブシステム・クロック動作モード	f _{SUB} = 32.768 kHz ^{注2} , 低速オンチップ・オシレータ動作	通常動作	TA = -40°C	3.2	5.5	μA
						TA = +25°C	3.5	5.8	
						TA = +50°C	3.8	8.5	
						TA = +85°C	5.2	20.9	
						TA = +105°C	7.7	38.5	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ/ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。
低消費発振3（AMPHS1, AMPHS0 = 1, 1）設定時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数
備考2. f_{SUB}：サブシステム・クロック周波数（XT1クロック発振周波数）

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(TA = -40～+105° C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD1}	動作モード	サブシステム・クロック動作モード	f _{SUB} = 32.768 kHz ^{注2} , 低速オンチップ・オシレータ動作	通常動作	TA = -40°C	3.2	5.5	μA
						TA = +25°C	3.5	5.8	
						TA = +50°C	3.8	8.5	
						TA = +85°C	5.2	20.9	
						TA = +105°C	7.7	38.5	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
サブシステム・クロック動作モード時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。
低消費発振3（AMPHS1, AMPHS0 = 1, 1）設定時。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数
備考2. f_{SUB}：サブシステム・クロック周波数（XT1クロック発振周波数）

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(T_A = -40～+105° C, 1.6 V ≤ EV_{DD0} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = 0 V)

(3/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	HS (高速メイン) モード	f _{IH} = 32 MHz ^{注3}	V _{DD} = 5.0 V		0.54	1.93	mA
					V _{DD} = 1.8 V		0.53	1.92	
			LS (低速メイン) モード	f _{IH} = 24 MHz ^{注3}	V _{DD} = 5.0 V		0.45	1.50	mA
					V _{DD} = 1.8 V		0.44	1.49	
					V _{DD} = 5.0 V		0.12	0.47	mA
					V _{DD} = 1.8 V		0.10	0.44	
					V _{DD} = 5.0 V		0.21	0.58	mA
					V _{DD} = 1.8 V		0.20	0.57	

- 注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。
またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH}：高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM}：中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX}：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

備考4. 特に指定がない場合のTYP.値の温度条件は、T_A = 25°Cです。

(T_A = -40～+105° C, 1.6 V ≤ EV_{DD0} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = 0 V)

(3/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	HS (高速メイン) モード	f _{IH} = 32 MHz ^{注3}	V _{DD} = 5.0 V		0.54	1.93	mA
					V _{DD} = 1.8 V		0.53	1.92	
			LS (低速メイン) モード	f _{IH} = 24 MHz ^{注3}	V _{DD} = 5.0 V		0.45	1.50	mA
					V _{DD} = 1.8 V		0.44	1.49	
					V _{DD} = 5.0 V		0.12	0.47	mA
					V _{DD} = 1.8 V		0.10	0.44	
					V _{DD} = 5.0 V		0.21	0.58	mA
					V _{DD} = 1.8 V		0.20	0.57	

- 注1. V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。
HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH}：高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM}：中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX}：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

備考4. 特に指定がない場合のTYP.値の温度条件は、T_A = 25°Cです。

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(TA = -40～+105° C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(4/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	サブシステム・ クロック動作モード	f _{SUB} = 32.768 kHz ^{注3} 低速オンチップ・ オシレータ動作	TA = -40°C		0.53	2.31	μA
					TA = +25°C		0.65	2.38	
					TA = +50°C		0.80	4.95	
					TA = +85°C		1.55	15.15	
					TA = +105°C		3.40	30.20	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
またMAX値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ/ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。

RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。

RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。

RTCLPC = 1、かつ低消費発振3（AMPHS1, AMPHS0 = 1, 1）設定時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注6. 全領域のRAMを保持。

低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。

RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

注7. 4 KバイトのRAMを保持。

低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。

RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注8. 4 KバイトのRAMを保持。

低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3（AMPHS1, AMPHS0 = 1, 1）設定時。RTCに流れる電流は含みます。32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

備考2. f_{SUB} : サブシステム・クロック周波数（XT1 クロック発振周波数）

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(TA = -40～+105° C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(4/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	サブシステム・ クロック動作モード	f _{SUB} = 32.768 kHz ^{注3} , 低速オンチップ・ オシレータ動作	TA = -40°C		0.53	2.31	μA
					TA = +25°C		0.65	2.38	
					TA = +50°C		0.80	4.95	
					TA = +85°C		1.55	15.15	
					TA = +105°C		3.40	30.20	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
サブシステム・クロック動作モードおよびSTOPモード時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。

RTCLPC = 1、かつ低消費発振3（AMPHS1, AMPHS0 = 1, 1）設定時。

注6. 全領域のRAMを保持。

低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。

STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

注7. 4 KバイトのRAMを保持。

低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。

注8. 4 KバイトのRAMを保持。

低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3（AMPHS1, AMPHS0 = 1, 1）設定時。RTCに流れる電流は含みます。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

備考2. f_{SUB} : サブシステム・クロック周波数（XT1 クロック発振周波数）

(2) 30～64 ピン製品のフラッシュ ROM192～256 KB の製品および 80 ピン製品のフラッシュ ROM128～256 KB の製品

(TA = -40～+105°C, 1.6 V ≦ EVDD0 ≦ VDD ≦ 5.5 V, VSS = EVSS0 = 0 V) (1/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	動作モード	HS（高速メイン）モード	f _{IH} = 32 MHz ^{注2}	基本動作	V _{DD} = 5.0 V		1.4	—	mA
						V _{DD} = 1.8 V		1.4	—	
				通常動作	V _{DD} = 5.0 V		3.0	5.0	mA	
					V _{DD} = 1.8 V		3.0	5.0		
				f _{MX} = 8 MHz ^{注4} , 方形波入力	通常動作	V _{DD} = 5.0 V		0.8	1.3	mA
						V _{DD} = 1.8 V		0.7	1.3	
				f _{MX} = 8 MHz ^{注4} , 発振子接続	通常動作	V _{DD} = 5.0 V		0.9	1.4	mA
						V _{DD} = 1.8 V		0.8	1.4	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。

またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考4. 特に指定がない場合のTYP.値の温度条件は、TA = 25°Cです。

(2) 30～64 ピン製品のフラッシュ ROM192～256 KB の製品および 80 ピン製品のフラッシュ ROM128～256 KB の製品

(TA = -40～+105°C, 1.6 V ≦ EVDD0 ≦ VDD ≦ 5.5 V, VSS = EVSS0 = 0 V) (1/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	動作モード	HS (高速メイン) モード	f _{IH} = 32 MHz ^{注2}	基本動作	VDD = 5.0 V		1.4	—	mA
						VDD = 1.8 V		1.4	—	
				通常動作	VDD = 5.0 V		3.0	5.0	mA	
					VDD = 1.8 V		3.0	5.0		
				f _{MX} = 8 MHz ^{注4} , 方形波入力	通常動作	VDD = 5.0 V		0.8	1.3	mA
						VDD = 1.8 V		0.7	1.3	
				f _{MX} = 8 MHz ^{注4} , 発振子接続	通常動作	VDD = 5.0 V		0.9	1.4	mA
						VDD = 1.8 V		0.8	1.4	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。

HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考4. 特に指定がない場合のTYP.値の温度条件は、TA = 25°Cです。

(2) 30～64 ピン製品のフラッシュ ROM192～256 KB の製品および 80 ピン製品のフラッシュ ROM128～256 KB の製品

(TA = -40～+105°C, 1.6 V ≦ EVDD0 ≦ VDD ≦ 5.5 V, VSS = EVSS0 = 0 V)

(2/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	動作モード	サブシステム・ クロック動作 モード	f _{SUB} = 32.768 kHz ^{注2} , 低速オンチップ・ オシレータ動作	通常動作	TA = -40°C		3.3	6.1	μA
						TA = +25°C		3.6	6.3	
						TA = +50°C		3.9	9.6	
						TA = +85°C		5.3	25.6	
						TA = +105°C		7.9	55.3	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。

RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。

低消費発振3（AMPHS1, AMPHS0 = 1, 1）設定時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数

備考2. f_{SUB}：サブシステム・クロック周波数（XT1クロック発振周波数）

(2) 30～64 ピン製品のフラッシュ ROM192～256 KB の製品および 80 ピン製品のフラッシュ ROM128～256 KB の製品

(TA = -40～+105°C, 1.6 V ≦ EVDD0 ≦ VDD ≦ 5.5 V, VSS = EVSS0 = 0 V)

(2/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	動作モード	サブシステム・ クロック動作 モード	f _{SUB} = 32.768 kHz ^{注2} , 低速オンチップ・ オシレータ動作	通常動作	TA = -40°C		3.3	6.1	μA
						TA = +25°C		3.6	6.3	
						TA = +50°C		3.9	9.6	
						TA = +85°C		5.3	25.6	
						TA = +105°C		7.9	55.3	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
サブシステム・クロック動作モード時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。

低消費発振3（AMPHS1, AMPHS0 = 1, 1）設定時。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数

備考2. f_{SUB}：サブシステム・クロック周波数（XT1クロック発振周波数）

(2) 30～64 ピン製品のフラッシュ ROM192～256 KB の製品および 80 ピン製品のフラッシュ ROM128～256 KB の製品

(TA = -40～+105°C, 1.6 V ≦ EVDD0 ≦ VDD ≦ 5.5 V, VSS = EVSS0 = 0 V)

(3/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	HS (高速メイン) モード	f _{IH} = 32 MHz ^{注3}	V _{DD} = 5.0 V		0.57	1.97	mA		
					V _{DD} = 1.8 V		0.56	1.96			
			LS (低速メイン) モード	f _{IH} = 24 MHz ^{注3}	V _{DD} = 5.0 V		0.47	1.53	mA		
					V _{DD} = 1.8 V		0.47	1.52			

				f _{MX} = 8 MHz ^{注5} , 方形波入力	V _{DD} = 5.0 V		0.12	0.47	mA		
					V _{DD} = 1.8 V		0.10	0.44			
					f _{MX} = 8 MHz ^{注5} , 発振子接続	V _{DD} = 5.0 V		0.21	0.58	mA	
						V _{DD} = 1.8 V		0.20	0.57		

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。

またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考4. 特に指定がない場合のTYP.値の温度条件は、TA = 25°Cです。

(2) 30～64 ピン製品のフラッシュ ROM192～256 KB の製品および 80 ピン製品のフラッシュ ROM128～256 KB の製品

(TA = -40～+105°C, 1.6 V ≦ EVDD0 ≦ VDD ≦ 5.5 V, VSS = EVSS0 = 0 V)

(3/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位					
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	HS（高速メイン）モード	f _{IH} = 32 MHz ^{注3}	VDD = 5.0 V		0.57	1.97	mA					
					VDD = 1.8 V		0.56	1.96						
			LS（低速メイン）モード	f _{IH} = 24 MHz ^{注3}	VDD = 5.0 V		0.47	1.53	mA					
					VDD = 1.8 V		0.47	1.52						
				f _{MX} = 8 MHz ^{注5} , 方形波入力	VDD = 5.0 V		0.12	0.47	mA					
					VDD = 1.8 V		0.10	0.44						
					f _{MX} = 8 MHz ^{注5} , 発振子接続	VDD = 5.0 V		0.21	0.58	mA				
						VDD = 1.8 V		0.20	0.57					

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。

HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考4. 特に指定がない場合のTYP.値の温度条件は、TA = 25°Cです。

(2) 30～64 ピン製品のフラッシュ ROM192～256 KB の製品および 80 ピン製品のフラッシュ ROM128～256 KB の製品

(TA = -40～+105°C, 1.6 V ≦ EVDD0 ≦ VDD ≦ 5.5 V, VSS = EVSS0 = 0 V)

(4/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	サブシステム・ クロック動作モード	f _{SUB} = 32.768 kHz ^{注3} , 低速オンチップ・ オシレータ動作	TA = -40°C		0.62	2.94	μA
					TA = +25°C		0.74	3.00	
					TA = +50°C		0.88	6.00	
					TA = +85°C		2.14	19.14	
					TA = +105°C		4.16	45.16	

- 注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
またMAX値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTCLPC = 1、かつ低消費発振3（AMPHS1, AMPHS0 = 1, 1）設定時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注6. 全領域のRAMを保持。
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 注7. 4 KバイトのRAMを保持。
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注8. 4 KバイトのRAMを保持。
低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3（AMPHS1, AMPHS0 = 1, 1）設定時。RTCに流れる電流は含みます。32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数

備考2. f_{SUB}：サブシステム・クロック周波数（XT1クロック発振周波数）

(2) 30～64 ピン製品のフラッシュ ROM192～256 KB の製品および 80 ピン製品のフラッシュ ROM128～256 KB の製品

(TA = -40～+105°C, 1.6 V ≦ EVDD0 ≦ VDD ≦ 5.5 V, VSS = EVSS0 = 0 V)

(4/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	サブシステム・ クロック動作モード	f _{SUB} = 32.768 kHz ^{注3} , 低速オンチップ・ オシレータ動作	TA = -40°C		0.62	2.94	μA
					TA = +25°C		0.74	3.00	
					TA = +50°C		0.88	6.00	
					TA = +85°C		2.14	19.14	
					TA = +105°C		4.16	45.16	

- 注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
サブシステム・クロック動作モードおよびSTOPモード時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
- 注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTCLPC = 1、かつ低消費発振3（AMPHS1, AMPHS0 = 1, 1）設定時。
- 注6. 全領域のRAMを保持。
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 注7. 4 KバイトのRAMを保持。
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
- 注8. 4 KバイトのRAMを保持。
低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3（AMPHS1, AMPHS0 = 1, 1）設定時。RTCに流れる電流は含みます。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数

備考2. f_{SUB}：サブシステム・クロック周波数（XT1クロック発振周波数）

(3) 44～80 ピン製品のフラッシュ ROM384～768 KB の製品および 100～128 ピン製品 (TA = -40～+105°C, 1.6 V≦EVDD0≦VDD≦5.5 V, VSS = EVSS0 = 0 V)

(1/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	動作モード	HS (高速メイン) モード	f _{IH} = 32 MHz ^{注2}	基本動作	VDD = 5.0 V		1.6	—	mA
						VDD = 1.8 V		1.5	—	
				通常動作	VDD = 5.0 V		3.5	5.6	mA	
					VDD = 1.8 V		3.5	5.6		
				f _{MX} = 8 MHz ^{注4} , 方形波入力	通常動作	VDD = 5.0 V		0.9	1.5	mA
						VDD = 1.8 V		0.9	1.5	
				f _{MX} = 8 MHz ^{注4} , 発振子接続	通常動作	VDD = 5.0 V		1.0	1.6	mA
						VDD = 1.8 V		1.0	1.6	

- 注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

- 備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
- 備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数
- 備考3. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考4. 特に指定がない場合のTYP.値の温度条件は、TA = 25°Cです。

(3) 44～80 ピン製品のフラッシュ ROM384～768 KB の製品および 100～128 ピン製品 (TA = -40～+105°C, 1.6 V≦EVDD0 = EVDD1≦VDD≦5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	動作モード	HS（高速メイン） モード	f _{IH} = 32 MHz ^{注2}	基本動作	VDD = 5.0 V		1.6	—	mA
						VDD = 1.8 V		1.5	—	
				通常動作	VDD = 5.0 V		3.5	5.6	mA	
					VDD = 1.8 V		3.5	5.6		
				f _{MX} = 8 MHz ^{注4} , 方形波入力	通常動作	VDD = 5.0 V		0.9	1.5	mA
						VDD = 1.8 V		0.9	1.5	
				f _{MX} = 8 MHz ^{注4} , 発振子接続	通常動作	VDD = 5.0 V		1.0	1.6	mA
						VDD = 1.8 V		1.0	1.6	

- 注1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTYP.値は**周辺動作電流を含みません**。MAX.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

- 備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
- 備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数
- 備考3. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考4. 特に指定がない場合のTYP.値の温度条件は、TA = 25°Cです。

(3) 44～80 ピン製品のフラッシュ ROM384～768 KB の製品および 100～128 ピン製品 (TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/4)

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD1}	動作モード	サブシステム・クロック動作モード	f _{SUB} = 32.768 kHz ^{注2} , 低速オンチップ・オシレータ動作	通常動作	TA = -40°C		3.8	7.7	μA
						TA = +25°C		4.1	8.0	
						TA = +50°C		4.6	13.5	
						TA = +85°C		6.8	39.8	
						TA = +105°C		10.8	87.4	

- 注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。
低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
備考2. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

(3) 44～80 ピン製品のフラッシュ ROM384～768 KB の製品および 100～128 ピン製品 (TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/4)

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD1}	動作モード	サブシステム・クロック動作モード	f _{SUB} = 32.768 kHz ^{注2} , 低速オンチップ・オシレータ動作	通常動作	TA = -40°C		3.8	7.7	μA
						TA = +25°C		4.1	8.0	
						TA = +50°C		4.6	13.5	
						TA = +85°C		6.8	39.8	
						TA = +105°C		10.8	87.4	

- 注1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モード時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。
- 注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
- 注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。
低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。
- 備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
備考2. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

(3) 44～80 ピン製品のフラッシュ ROM384～768 KB の製品および 100～128 ピン製品 (TA

= -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	HS (高速メイン) モード	f _{IH} = 32 MHz ^{注3}	V _{DD} = 5.0 V		0.60	2.00	mA			
					V _{DD} = 1.8 V		0.59	1.99				
			LS (低速メイン) モード	f _{IH} = 24 MHz ^{注3}	V _{DD} = 5.0 V		0.49	1.56	mA			
					V _{DD} = 1.8 V		0.48	1.55				

				f _{MX} = 8 MHz ^{注5} , 方形波入力	VDD = 5.0 V		0.13	0.48	mA
					VDD = 1.8 V		0.11	0.45	
				f _{MX} = 8 MHz ^{注5} , 発振子接続	VDD = 5.0 V		0.22	0.59	mA
					VDD = 1.8 V		0.21	0.58	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。

またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考4. 特に指定がない場合のTYP.値の温度条件は、TA = 25°Cです。

(3) 44～80 ピン製品のフラッシュ ROM384～768 KB の製品および 100～128 ピン製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(3/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	HS (高速メイン) モード	f _{IH} = 32 MHz ^{注3}	VDD = 5.0 V		0.60	2.00	mA			
					VDD = 1.8 V		0.59	1.99				
			LS (低速メイン) モード	f _{IH} = 24 MHz ^{注3}	VDD = 5.0 V		0.49	1.56	mA			
					VDD = 1.8 V		0.48	1.55				

				f _{MX} = 8 MHz ^{注5} , 方形波入力	VDD = 5.0 V		0.13	0.48	mA
					VDD = 1.8 V		0.11	0.45	
				f _{MX} = 8 MHz ^{注5} , 発振子接続	VDD = 5.0 V		0.22	0.59	mA
					VDD = 1.8 V		0.21	0.58	

注1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。

HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考4. 特に指定がない場合のTYP.値の温度条件は、TA = 25°Cです。

(3) 44～80 ピン製品のフラッシュ ROM384～768 KB の製品および 100～128 ピン製品

(TA = -40～+105°C, 1.6 V≦EVDD0≦VDD≦5.5 V, VSS = EVSS0 = 0 V)

(4/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	サブシステム・クロック動作モード	f _{SUB} = 32.768 kHz ^{注3} , 低速オンチップ・オシレータ動作	TA = -40°C		0.62	3.95	μA
					TA = +25°C		0.78	4.00	
					TA = +50°C		1.03	9.16	
					TA = +85°C		2.23	30.13	
					TA = +105°C		4.64	70.14	

- 注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
またMAX値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注6. 全領域のRAMを保持。
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 注7. 4 KバイトのRAMを保持。
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注8. 4 KバイトのRAMを保持。
低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTCに流れる電流は含みます。32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

備考2. f_{SUB} : サブシステム・クロック周波数 (XT1 クロック発振周波数)

(3) 44～80 ピン製品のフラッシュ ROM384～768 KB の製品および 100～128 ピン製品

(TA = -40～+105°C, 1.6 V≦EVDD0 = EVDD1≦VDD≦5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(4/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	サブシステム・クロック動作モード	f _{SUB} = 32.768 kHz ^{注3} , 低速オンチップ・オシレータ動作	TA = -40°C		0.62	3.95	μA
					TA = +25°C		0.78	4.00	
					TA = +50°C		1.03	9.16	
					TA = +85°C		2.23	30.13	
					TA = +105°C		4.64	70.14	

- 注1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モードおよびSTOPモード時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
- 注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。
- 注6. 全領域のRAMを保持。
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 注7. 4 KバイトのRAMを保持。
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
- 注8. 4 KバイトのRAMを保持。
低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTCに流れる電流は含みます。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

備考2. f_{SUB} : サブシステム・クロック周波数 (XT1 クロック発振周波数)

5. 37. 6. 4 コンパレータ特性 (p.1495)

誤)

37.6.4 コンパレータ特性

(TA = -40~+105°C, 1.6 V ≦ EVDD0 = EVDD1 ≦ VDD ≦ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	IVREF	IVREF0 端子、IVREF1 端子入力 C0LVL, C1LVL = 0	0		VDD - 1.4 かつ EVDD0	V
		IVREF0 端子、IVREF1 端子入力 C0LVL, C1LVL = 1	1.4		EVDD0	V
	IVCMP	IVCMP0, IVCMP1 端子入力	-0.3		EVDD0 + 0.3	V
出力遅延	td	VDD = 3.0 V, 入力スループレート > 1 V/μs			1.5	μs
				3.0		μs
オフセット電圧	—	高速モード			50	mV
		低速モード			40	mV
動作安定待ち時間	tCMP		30			μs
内部基準電圧	VBGR2		1.4		1.6	V

正)

37.6.4 コンパレータ特性

(TA = -40~+105°C, 1.6 V ≦ EVDD0 = EVDD1 ≦ VDD ≦ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	IVREF	IVREF0 端子、IVREF1 端子入力 C0LVL, C1LVL = 0	0		VDD - 1.4 かつ EVDD0	V
		IVREF0 端子、IVREF1 端子入力 C0LVL, C1LVL = 1	1.4		EVDD0	V
	IVCMP	IVCMP0, IVCMP1 端子入力	-0.3		EVDD0 + 0.3	V
出力遅延	td	VDD = 3.0 V, 入力スループレート > 1 V/μs			1.5	μs
				3.0		μs
オフセット電圧	—	高速モード			50	mV
		低速モード			40	mV
動作安定待ち時間	tCMP		30			μs
内部基準電圧 ^{注1}	VBGR2		1.4		1.6	V

注 1. コンパレータ基準電圧に内部基準電圧を選択した場合は、1.8V ≦ VDD ≦ 5.5V の範囲内で使用してください。

6. 12.3.3 A/D コンバータ・モード・レジスタ 0 (ADM0) (p.567, p.570 ~ p.578)

誤)

(p.567)

ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D 電圧コンパレータの動作停止
1	A/D 電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表12-3 A/D変換時間の選択（1/8）を参照してください。

注2. ソフトウェア・トリガ・ノーウエイト・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1 μ s + 変換クロック（fAD）の2クロックかかります。このため、ADCEビットに1を設定してから1 μ s + 変換クロック（fAD）の2クロック以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。ADCE = 0状態でADCS = 1に設定した場合は、安定待ち後A/D変換を開始します。1 μ s + 変換クロック（fAD）の2クロック以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意2. ADCS = 1, ADCE = 1からADCS = 1, ADCE = 0への設定は禁止です。

注意3. ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。必ず12.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

正)

ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D 電圧コンパレータの動作停止
1	A/D 電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表12-3 A/D変換時間の選択（1/8）を参照してください。

注2. ソフトウェア・トリガ・ノーウエイト・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1 μ s + 変換クロック（fAD）の2クロックかかります。このため、ADCEビットに1を設定してから1 μ s + 変換クロック（fAD）の2クロック以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。ADCE = 0状態でADCS = 1に設定した場合は、安定待ち後A/D変換を開始します。1 μ s + 変換クロック（fAD）の2クロック以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意2. ADCS = 1, ADCE = 1からADCS = 1, ADCE = 0への設定は禁止です。

注意3. ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。必ず12.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

注意4. 変換待機状態／変換動作状態からADCS=0, ADCE=0の変換停止状態にした場合は、次にADCE=1またはADCS=1を設定するまでに5 μ sウエイトしてください。なお、ADMD, FR2-FR0, LV1, LV0ビットを変更する場合は、ADCS=0, ADCE=0に設定した後、0.2 μ s経過後にADMD, FR2-FR0, LV1, LV0ビットを変更してください。

(p.570)

ADM1	ADM0			変換クロック (fAD)	起動時間 (fCLKクロック数)	
ADLSP	FR2	FR1	FR0		ソフトウェア・トリガ・ ノーウェイト・モード/ ハードウェア・トリガ・ ノーウェイト・モード	ソフトウェア・トリガ・ ウェイト・モード/ ハードウェア・トリガ・ ウェイト・モード
0	0	0	0	fCLK/32	31	1
0	0	0	1	fCLK/16	15	1
0	0	1	0	fCLK/8	7	1
0	0	1	1	fCLK/4	3	1
0	1	0	0	fCLK/2	1	1
0	1	0	1	fCLK	1	1
1	0	1	1	fCLK/4	3	1
1	1	0	0	fCLK/2	1	1
1	1	0	1	fCLK	1	1

ただし、連続変換モードの2 回目以降と、スキャン・モードのスキャン1 以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D 電源安定待ち時間は発生しません。

注意1. ハードウェア・トリガ・ウェイト・モードで使用する場合、ADCS ビットに1 を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1 に切り替わります）。ただし、A/D 変換待機状態にするために、ADCS ビットに0 を設定することは可能です。

注意2. ハードウェア・トリガ・ノーウェイト・モードでのワンショット変換モード時、A/D 変換終了時にADCS ビットは、自動的に0 にクリアされません。1 のまま保持されます。

注意3. ADCE ビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。

注意4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウェイト・モード時：fCLK の2 クロック + 変換起動時間 + A/D 変換時間

ハードウェア・トリガ・ウェイト・モード時：fCLK の2 クロック + 変換起動時間 + A/D 電源安定待ち時間 + A/D 変換時間

ADM1	ADM0			変換クロック (fAD)	起動時間 (fCLKクロック数)	
ADLSP	FR2	FR1	FR0		ソフトウェア・トリガ・ ノーウェイト・モード/ ハードウェア・トリガ・ ノーウェイト・モード	ソフトウェア・トリガ・ ウェイト・モード/ ハードウェア・トリガ・ ウェイト・モード
0	0	0	0	fCLK/32	31	1
0	0	0	1	fCLK/16	15	1
0	0	1	0	fCLK/8	7	1
0	0	1	1	fCLK/4	3	1
0	1	0	0	fCLK/2	1	1
0	1	0	1	fCLK	1	1
1	0	1	1	fCLK/4	3	1
1	1	0	0	fCLK/2	1	1
1	1	0	1	fCLK	1	1

ただし、連続変換モードの2 回目以降と、スキャン・モードのスキャン1 以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D 電源安定待ち時間は発生しません。

注意1. ハードウェア・トリガ・ウェイト・モードで使用する場合、ADCS ビットに1 を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1 に切り替わります）。ただし、A/D 変換待機状態にするために、ADCS ビットに0 を設定することは可能です。

注意2. ハードウェア・トリガ・ノーウェイト・モードでのワンショット変換モード時、A/D 変換終了時にADCS ビットは、自動的に0 にクリアされません。1 のまま保持されます。

注意3. ADCE ビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。

注意4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウェイト・モード時：fCLK の2 クロック + 変換起動時間 + A/D 変換時間

ハードウェア・トリガ・ウェイト・モード時：fCLK の2 クロック + 変換起動時間 + A/D 電源安定待ち時間 + A/D 変換時間 + 5μs

(p.571)

表12 - 3 A/D変換時間の選択（1/8）

(1) A/D電源安定待ち時間なし 標準モード1, 2

（ソフトウェア・トリガ・ノーウェイト・セレクト・モード／ハードウェア・トリガ・ノーウェイト・セレクト・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始遅 延クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間 + 変換時間 + 割り込み出力遅延時間)					
(AD M1)	(ADM0)					2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V											
ADL SP	FR2	FR1	FR0	LV1	LV0	fCLK = 1 MHz						fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz		
0	0	0	0	0	0	標準 1						fCLK/32	1 fAD	64 fAD	1 fAD	2112/fCLK	設定禁止
0	0	0	1				fCLK/16	1 fAD	64 fAD	1 fAD	1056/fCLK	設定禁止	設定禁止	設定禁止	66μs	33μs	

1	1	0	0				fCLK/2	1 fAD	181 fAD	1 fAD	366/fCLK	設定禁止	91.5μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	183/fCLK	183μs	45.75μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

表12 - 3 A/D変換時間の選択（1/8）

(1) A/D電源安定待ち時間なし 標準モード1, 2

（ソフトウェア・トリガ・ノーウェイト・セレクト・モード／ハードウェア・トリガ・ノーウェイト・セレクト・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始遅 延クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間 + 変換時間 + 割り込み出力遅延時間)				
(AD M1)	(ADM0)					2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V										
ADL SP	FR2	FR1	FR0	LV1	LV0	fCLK = 1 MHz						fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	0	0	標準1						fCLK/32	1 fAD	64 fAD	1 fAD	2112/fCLK
0	0	0	1				fCLK/16	1 fAD	64 fAD	1 fAD	1056/fCLK	設定禁止	設定禁止	設定禁止	66μs	33μs

1	1	0	0													
1	1	0	1													
上記以外																

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

(p.572)

表12 - 3 A/D変換時間の選択 (2/8)

(2) A/D電源安定待ち時間なし 低電圧モード1, 2

(ソフトウェア・トリガ・ノーウェイト・セレクト・モード／ハードウェア・トリガ・ノーウェイト・セレクト・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							A/D変換時間 (変換開始遅延時間 + 変換時間 + 割り込み出力遅延時間)																												
(AD M1)	(ADM0)					モード	変換 クロック (fAD)	変換開始遅 延クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 1 MHz					1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 4 MHz					1.8 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 8 MHz					2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 16 MHz					2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 32 MHz				
	ADL SP	FR2	FR1	FR0	LV1						LV0	設定禁止					設定禁止					設定禁止					設定禁止					設定禁止			
0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	2624/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82μs	設定禁止	設定禁止	設定禁止	設定禁止	82μs	41μs	設定禁止	設定禁止	設定禁止	設定禁止	82μs	41μs							
0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	1312/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82μs	41μs	設定禁止	設定禁止	設定禁止	設定禁止	82μs	41μs	設定禁止	設定禁止	設定禁止	設定禁止	82μs	41μs						
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	109μs	27.25μs	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止							
上記以外							設定禁止																												

- 注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック（fAD）は16 MHz以下で使用してください。
- 注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック（fAD）は1～2 MHzとなります。

表12 - 3 A/D変換時間の選択 (2/8)

(2) A/D電源安定待ち時間なし 低電圧モード1, 2

(ソフトウェア・トリガ・ノーウェイト・セレクト・モード／ハードウェア・トリガ・ノーウェイト・セレクト・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						A/D変換時間 (変換開始遅延時間 + 変換時間 + 割り込み出力遅延時間)														
(AD M1)	(ADM0)					モード	変換 クロック (fAD)	変換開始遅 延クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	1.6 V ≤ AVREFP ≤					1.6 V ≤ AVREFP ≤				
	ADL SP	FR2	FR1	FR0	LV1						LV0	VDD ≤ 5.5 V	fCLK = 1 MHz	VDD ≤ 5.5 V	fCLK = 4 MHz	VDD ≤ 5.5 V	fCLK = 8 MHz	VDD ≤ 5.5 V	fCLK = 16 MHz	VDD ≤ 5.5 V
0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	2624/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82μs				
0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	1312/fCLK	設定禁止	設定禁止	設定禁止	82μs	41μs				
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	109μs	27.25μs	設定禁止	設定禁止	設定禁止				
上記以外											設定禁止									

- 注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック（fAD）は16 MHz以下で使用してください。
- 注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック（fAD）は1～2 MHzとなります。

(p.573)

表12 - 3 A/D変換時間の選択 (3/8)

(3) A/D電源安定待ち時間あり 標準モード1, 2

(ソフトウェア・トリガ・ウェイト・セレクト・モード／ハードウェア・トリガ・ウェイト・セレクト・モード注1)

A/Dコンバータ・モード・レジスタ0						モード	変換 クロック (fAD)	A/D 電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間 + 変換時間 + 割り込み出力遅延時間)					
A/Dコンバータ・モード・レジスタ1											2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
(AD M1)	(ADM0)															
ADL SP	FR2	FR1	FR0	LV1	LV0											
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	2304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	72μs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	1152/fCLK	設定禁止	設定禁止	設定禁止	72μs	36μs

1	1	0	1				fCLK	6 fAD	181 fAD	4 fAD	191/fCLK	191μs	47.75μs	設定禁止	設定禁止	設定禁止	
上記以外							設定禁止										

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表12 - 3 A/D変換時間の選択 (1/8) 参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。
- 注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。
- 注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。
- 注意6. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

表12 - 3 A/D変換時間の選択 (3/8)

(3) A/D電源安定待ち時間あり 標準モード1, 2

(ソフトウェア・トリガ・ウェイト・セレクト・モード／ハードウェア・トリガ・ウェイト・セレクト・モード注1)

A/Dコンバータ・モード・レジスタ0							モード	変換 クロック (fAD)	A/D 電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間 + 変換時間 + 割り込み出力遅延時間)				
A/Dコンバータ・モード・レジスタ1												2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V				
(AD M1)	(ADM0)															
ADL SP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	2304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	72μs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	1152/fCLK	設定禁止	設定禁止	設定禁止	72μs	36μs

1	1	0	1				fCLK	6 fAD	181 fAD	4 fAD	191/fCLK	191μs	47.75μs	設定禁止	設定禁止	設定禁止	
上記以外							設定禁止										

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表12 - 3 A/D変換時間の選択 (1/8) 参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。
- 注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。
- 注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。
- 注意6. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

(p.574)

表12 - 3 A/D変換時間の選択 (4/8)

(4) A/D電源安定待ち時間あり 低電圧モード1, 2

(ソフトウェア・トリガ・ウェイト・セレクト・モード／ハードウェア・トリガ・ウェイト・セレクト・モード注1)

A/Dコンバータ・モード・レジスタ0							モード	変換 クロック (fAD)	A/D 電源 安定待ち クロック数	変換 クロック 数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間 + 変換時間 + 割り込み出力遅延時間)					
A/Dコンバータ・モード・レジスタ1												1.6V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.6V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.8V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.4V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7V ≤ AVREFP ≤ VDD ≤ 5.5 V	
(AD M1)	(ADM0)											fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
ADL SP	FR2	FR1	FR0	LV1	LV0		低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	2816/fCLK	設定禁止	設定禁止	設定禁止	88μs	
0	0	0	0	1	0			fCLK/16	4 fAD	80 fAD	4 fAD	1408/fCLK	設定禁止	設定禁止	設定禁止	44μs	
0	0	0	0	1													
1	1	0	0	1				fCLK	6 fAD	107 fAD	4 fAD	117/fCLK	117μs	29.25μs	設定禁止	設定禁止	設定禁止
上記以外								設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表12 - 3 A/D変換時間の選択 (2/8) 参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。
- 注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。
- 注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック（fAD）は16 MHz以下で使用してください。
- 注意6. +側の基準電圧に内部基準電圧を選択したときは、変換クロック（fAD）は1～2 MHzとなります。

表12 - 3 A/D変換時間の選択 (4/8)

(4) A/D電源安定待ち時間あり 低電圧モード1, 2

(ソフトウェア・トリガ・ウェイト・セレクト・モード／ハードウェア・トリガ・ウェイト・セレクト・モード注1)

A/Dコンバータ・モード・レジスタ0							モード	変換 クロック (fAD)	A/D 電源 安定待ち クロック数	変換 クロック 数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間 + 変換時間 + 割り込み出力遅延時間)				
A/Dコンバータ・モード・レジスタ1												1.6V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.6V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.8V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.4V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7V ≤ AVREFP ≤ VDD ≤ 5.5 V
(AD M1)	(ADM0)											fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
ADL SP	FR2	FR1	FR0	LV1	LV0											
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	2816/fCLK	設定禁止	設定禁止	設定禁止	88μs	
0	0	0	1				fCLK/16	4 fAD	80 fAD	4 fAD	1408/fCLK	設定禁止	設定禁止	設定禁止	88μs	44μs
1	1	0		1			fCLK	6 fAD	107 fAD	4 fAD	117/fCLK	117μs	29.25μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表12 - 3 A/D変換時間の選択 (2/8) 参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。
- 注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。**なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。**
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。
- 注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック（fAD）は16 MHz以下で使用してください。
- 注意6. +側の基準電圧に内部基準電圧を選択したときは、変換クロック（fAD）は1～2 MHzとなります。

(p.575)

表12 - 3 A/D変換時間の選択 (5/8)

(5) A/D電源安定待ち時間なし 標準モード1, 2

(ソフトウェア・トリガ・ノーウェイト・スキャン・モード／ハードウェア・トリガ・ノーウェイト・スキャン・モード)

A/Dコンバータ・モード・レジスタ0						モード	変換 クロック (fAD)	変換開始遅延 クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間 + 変換時間 × 4 + 割り込み出力遅延時間)					
A/Dコンバータ・モード・レジスタ1											2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
(ADM0)																
ADL M1											fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
ADL SP	FR2	FR1	FR0	LV1	LV0											
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	64 fAD	1 fAD	8256/fCLK	設定禁止	設定禁止	設定禁止	258μs	
0	0	0	1				fCLK/16	1 fAD	64 fAD	1 fAD	4128/fCLK	設定禁止	設定禁止	258μs	129μs	

1	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	726/fCLK	726μs	181.5μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

表12 - 3 A/D変換時間の選択 (5/8)

(5) A/D電源安定待ち時間なし 標準モード1, 2

(ソフトウェア・トリガ・ノーウェイト・スキャン・モード／ハードウェア・トリガ・ノーウェイト・スキャン・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始遅延 クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間 + 変換時間 × 4 + 割り込み出力遅延時間)					
(ADM0)											2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
(AD M1)											fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
ADL SP	FR2	FR1	FR0	LV1	LV0						設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	64 fAD	1 fAD	8256/fCLK	設定禁止	設定禁止	設定禁止	258μs	
0	0	0	1				fCLK/16	1 fAD	64 fAD	1 fAD	4128/fCLK	設定禁止	設定禁止	258μs	129μs	

1	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	726/fCLK	726μs	181.5μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

(p.576)

表12 - 3 A/D変換時間の選択 (6/8)

(6) A/D電源安定待ち時間なし 低電圧モード1, 2

(ソフトウェア・トリガ・ノーウエイト・スキャン・モード／ハードウェア・トリガ・ノーウエイト・スキャン・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	変換開始遅延 クロック数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間 + 変換時間 × 4 + 割り込み出力遅延時間)				
(AD M1)	(ADM0)											1.6 V ≤ AVREF ≤ VDD ≤ 5.5 V	1.6 V ≤ AVREF ≤ VDD ≤ 5.5 V	1.8 V ≤ AVREF ≤ VDD ≤ 5.5 V	2.4 V ≤ AVREF ≤ VDD ≤ 5.5 V	2.7 V ≤ AVREF ≤ VDD ≤ 5.5 V
ADL SP	FR2	FR1	FR0	LV1	LV0	fCLK = 1 MHz						fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	1	0	設定禁止						設定禁止	設定禁止	設定禁止	322μs	
0	0	0	1			設定禁止	設定禁止	設定禁止	322μs	161μs						
0	0	0	0													

1	1	0	1					fCLK	1 fAD	107 fAD	1 fAD	430/fCLK	430μs	107.5μs	設定禁止	設定禁止	設定禁止
上記以外								設定禁止									

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (f_{AD}) は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (f_{AD}) は1~2 MHzとなります。

表12-3 A/D変換時間の選択 (6/8)

(6) A/D電源安定待ち時間なし 低電圧モード1, 2

(ソフトウェア・トリガ・ノーウエイト・スキャン・モード／ハードウェア・トリガ・ノーウエイト・スキャン・モード)

A/Dコンバータ・モード・レジスタ0						A/D変換時間									
A/Dコンバータ・モード・レジスタ1						(変換開始遅延時間 + 変換時間 × 4 + 割り込み出力遅延時間)									
(AD M1)		(ADM0)				モード	変換クロック (fAD)	変換開始遅延クロック数	変換クロック数	割り込み出力遅延クロック数	1.6 V ≦ AVREFP ≦ 1.6 V	1.6 V ≦ AVREFP ≦ 1.6 V	1.8 V ≦ AVREFP ≦ 1.8 V	2.4 V ≦ AVREFP ≦ 2.4 V	2.7 V ≦ AVREFP ≦ 2.7 V
ADL SP	FR2	FR1	FR0	LV1	LV0						VDD ≦ 5.5 V	VDD ≦ 5.5 V	VDD ≦ 5.5 V	VDD ≦ 5.5 V	VDD ≦ 5.5 V
											fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	10304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	5152/fCLK	設定禁止	設定禁止	設定禁止	322μs
															161μs

1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	430/fCLK	430μs	107.5μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、3.7.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (f_{AD}) は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (f_{AD}) は1~2 MHzとなります。

(p.577)

表12 - 3 A/D変換時間の選択 (7/8)

(7) A/D電源安定待ち時間あり 標準モード1, 2

(ソフトウェア・トリガ・ウェイト・スキャン・モード／ハードウェア・トリガ・ウェイト・スキャン・モード注1)

A/Dコンバータ・モード・レジスタ0						モード	変換 クロック (fAD)	A/D 電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間 + 変換時間 × 4 + 割り込み出力遅延時間)					
A/Dコンバータ・モード・レジスタ1											2.4 V ≤ AV/REFP ≤ VDD ≤ 5.5 V					
(AD M1)	(ADM0)										fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
ADL SP	FR2	FR1	FR0	LV1	LV0											
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	8448/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	264μs
0	0	0	0	1			fCLK/16	4 fAD	64 fAD	4 fAD	4224/fCLK	設定禁止	設定禁止	設定禁止	264μs	132μs

1	1	0	1					fCLK	6 fAD	181 fAD	4 fAD	734/fCLK	734μs	183.5μs	設定禁止	設定禁止	設定禁止
上記以外								設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表12 - 3 A/D変換時間の選択 (1/8) 参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。
- 注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。
- 注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。
- 注意6. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

表12 - 3 A/D変換時間の選択 (7/8)

(7) A/D電源安定待ち時間あり 標準モード1, 2

(ソフトウェア・トリガ・ウェイト・スキャン・モード／ハードウェア・トリガ・ウェイト・スキャン・モード注1)

A/Dコンバータ・モード・レジスタ0							モード	変換 クロック (fAD)	A/D 電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間 + 変換時間 × 4 + 割り込み出力遅延時間)					
A/Dコンバータ・モード・レジスタ1												2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
(AD M1)		(ADM0)										fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
ADL SP	FR2	FR1	FR0	LV1	LV0												
0	0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	8448/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	264μs
0	0	0	1					fCLK/16	4 fAD	64 fAD	4 fAD	4224/fCLK	設定禁止	設定禁止	設定禁止	264μs	132μs

1	1	0	1					fCLK	6 fAD	181 fAD	4 fAD	734/fCLK	734μs	183.5μs	設定禁止	設定禁止	設定禁止
上記以外								設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表12 - 3 A/D変換時間の選択 (1/8) 参照）。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。
- 注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。
- 注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。
- 注意6. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

(p.578)

表12 - 3 A/D変換時間の選択 (8/8)

(8) A/D電源安定待ち時間あり 低電圧モード1, 2

(ソフトウェア・トリガ・ウェイト・スキャン・モード／ハードウェア・トリガ・ウェイト・スキャン・モード注1)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	A/D 電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間 + 変換時間 × 4 + 割り込み出力遅延時間)				
(AD M1)	(ADM0)					1.6V ≤ AVREFP ≤ VDD ≤ 5.5 V						1.6V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.8V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.4V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7V ≤ AVREFP ≤ VDD ≤ 5.5 V	
	ADL SP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	10496/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	328μs
0	0	0	0	1			fCLK/16	4 fAD	80 fAD	4 fAD	5248/fCLK	設定禁止	設定禁止	設定禁止	328μs	164μs
1	1	0	1				fCLK	6 fAD	107 fAD	4 fAD	438/fCLK	438μs	109.5μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません (表12 - 3 A/D変換時間の選択 (2/8) 参照)。

注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック (fAD) の3クロック分短くなります。

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。なお、変換時間 (tCONV) はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注意6. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1～2 MHzとなります。

表12 - 3 A/D変換時間の選択 (8/8)

(8) A/D電源安定待ち時間あり 低電圧モード1, 2

(ソフトウェア・トリガ・ウェイト・スキャン・モード／ハードウェア・トリガ・ウェイト・スキャン・モード注1)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							モード	変換 クロック (fAD)	A/D 電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間 + 変換時間 × 4 + 割り込み出力遅延時間)					
(AD M1)	(ADM0)					1.6V ≤ AVREFP ≤ VDD ≤ 5.5 V						1.6V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.8V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.4V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7V ≤ AVREFP ≤ VDD ≤ 5.5 V		
	ADL SP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	10496/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	328μs	
0	0	0	0	1			fCLK/16	4 fAD	80 fAD	4 fAD	5248/fCLK	設定禁止	設定禁止	設定禁止	328μs	164μs	
1	1	0	1				fCLK	6 fAD	107 fAD	4 fAD	438/fCLK	438μs	109.5μs	設定禁止	設定禁止	設定禁止	
上記以外							設定禁止										

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません (表12 - 3 A/D変換時間の選択 (2/8) 参照)。

注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック (fAD) の3クロック分短くなります。

注意1. A/D変換時間は、37.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。なお、変換時間 (tCONV) はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注意6. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1～2 MHzとなります。

7. 12.3.4 A/D コンバータ・モード・レジスタ 1 (ADM1) (p.580)

誤)

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

注意3. SNOOZEモード機能以外のモードにおいて、INTRTC, INTITL入力後最大fCLKの4クロック間は、次のINTRTC,INTITL入力がトリガとして有効になりません。

正)

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + 5μs

注意3. SNOOZEモード機能以外のモードにおいて、INTRTC, INTITL入力後最大fCLKの4クロック間は、次のINTRTC,INTITL入力がトリガとして有効になりません。

8. 12.3.5 A/D コンバータ・モード・レジスタ 2 (ADM2) (p.581, p.582)

誤)

(p.581)

図12 - 8 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス : F0010H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	ADTYP1	ADTYP0

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧の選択
0	0	V _{DD} から供給
0	1	P20/AVREFP/ANI0 から供給
1	0	内部基準電圧 (1.48 V (typ.)) から供給
1	1	ディスチャージ

- ADREFP1, ADREFP0ビットを書き換える場合、次の手順で設定してください。
 - ① ADCE = 0に設定
 - ② ADREFP1, ADREFP0 = (1, 1) 設定
ADREFP1, ADREFP0 = 1, 0に変更する場合のみ
 - ③ 基準電圧ディスチャージ時間 : 1 μ s
ADREFP1, ADREFP0 = 1, 0に変更する場合のみ
 - ④ ADREFP1, ADREFP0の値を変更
 - ⑤ 基準電圧安定待ち時間 (A)
 - ⑥ ADCE = 1に設定
 - ⑦ 基準電圧安定待ち時間 (B)
ADREFP1, ADREFP0 = 1, 0に変更する場合 : A = 5 μ s, B = 1 μ s + 変換クロック (f_{AD}) の2クロック
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : Aはウェイト不要、B = 1 μ s + 変換クロック (f_{AD}) の2クロック
 - ⑦のウェイトのあとに、A/D 変換開始してください。
- ADREFP1, ADREFP0 = 1, 0に設定した場合、温度センサ出力電圧と内部基準電圧 (1.48 V (typ.)) を A/D 変換することはできません。
必ず ADISS = 0としてA/D変換を行ってください。

正)

図12 - 8 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス : F0010H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	ADTYP1	ADTYP0

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧の選択
0	0	V _{DD} から供給
0	1	P20/AVREFP/ANI0 から供給
1	0	内部基準電圧 (1.48 V (typ.)) から供給
1	1	ディスチャージ

- ADREFP1, ADREFP0ビットを書き換える場合、次の手順で設定してください。
 - ① ADCE = 0に設定
 - ② 0. 2 μ s以上をウェイト
 - ③ ADREFP1, ADREFP0 = (1, 1) 設定
ADREFP1, ADREFP0 = 1, 0に変更する場合のみ
 - ④ 基準電圧ディスチャージ時間 : 1 μ s
ADREFP1, ADREFP0 = 1, 0に変更する場合のみ
 - ⑤ ADREFP1, ADREFP0の値を変更
 - ⑥ 基準電圧安定待ち時間 (A)
 - ⑦ ADCE = 1に設定
 - ⑧ 基準電圧安定待ち時間 (B)
ADREFP1, ADREFP0 = 1, 0に変更する場合 : A = 5 μ s, B = 1 μ s + 変換クロック (f_{AD}) の2クロック
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : A = 4.8 μ s、B = 1 μ s + 変換クロック (f_{AD}) の2クロック
 - ⑧のウェイトのあとに、A/D 変換開始してください。
- ADREFP1, ADREFP0 = 1, 0に設定した場合、温度センサ出力電圧と内部基準電圧 (1.48 V (typ.)) を A/D 変換することはできません。
必ず ADISS = 0としてA/D変換を行ってください。

(p.582)

AWC	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する
<p>STOP モード中のハードウェア・トリガ信号で、STOP モードを解除し、CPU を動作させることなくA/D変換を行います (SNOOZE モード)</p> <ul style="list-style-type: none">SNOOZEモード機能は、CPU／周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。SNOOZEモード機能を使用するとき、ソフトウェア・トリガ・ウェイト・モード時はAWC=0、ハードウェア・トリガ・ウェイト・モード時はAWC=1に設定してください。ソフトウェア・トリガ・ノーウェイト・モード、およびハードウェア・トリガ・ノーウェイト・モードでのSNOOZEモード機能は使用禁止です。ハードウェア・トリガ・ウェイト・モードの連続変換モードでのSNOOZE モード機能は使用禁止です。SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間注 + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + fCLKの2クロック」以上の間隔を空けて設定してください。SNOOZE モード機能を使用する場合でも、通常動作時はAWC を0 に設定し、STOP モードへ移行する直前にAWC を1に変更してください。 またSTOPモードから通常動作へ復帰後、必ずAWCを0に変更してください。AWC=1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にA/D変換が開始されません。	

AWC	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する
<p>STOP モード中のハードウェア・トリガ信号で、STOP モードを解除し、CPU を動作させることなくA/D変換を行います (SNOOZE モード)</p> <ul style="list-style-type: none">SNOOZEモード機能は、CPU／周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。SNOOZEモード機能を使用するとき、ソフトウェア・トリガ・ウェイト・モード時はAWC=0、ハードウェア・トリガ・ウェイト・モード時はAWC=1に設定してください。ソフトウェア・トリガ・ノーウェイト・モード、およびハードウェア・トリガ・ノーウェイト・モードでのSNOOZEモード機能は使用禁止です。ハードウェア・トリガ・ウェイト・モードの連続変換モードでのSNOOZE モード機能は使用禁止です。SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間注 + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + fCLKの2クロック + 5μs」以上の間隔を空けて設定してください。SNOOZE モード機能を使用する場合でも、通常動作時はAWC を0 に設定し、STOP モードへ移行する直前にAWC を1に変更してください。 またSTOPモードから通常動作へ復帰後、必ずAWCを0に変更してください。AWC=1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にA/D変換が開始されません。	

9. 20.2 ELCL の構成 (p.1057, p.1059, p.1061)

誤)

(p.1057)

表 20-1 論理セルブロック L1 の接続 (1)

イベント・リンク L1 信号選択ブロック n	入力信号	イベント・リンク L1 信号選択ブロック n 出力側の接続先
イベント・リンク L1 信号選択ブロック 0 注 1	• ELISEL0-11 レジスタの選択信号 ELL1SEL0 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力) • フリップフロップ 1 (入力) ELL1LNK0 レジスタで上記から接続先を一つ選択可能
イベント・リンク L1 信号選択ブロック 1 注 1	• ELISEL0-11 レジスタの選択信号 ELL1SEL1 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力) • フリップフロップ 1 (入力) ELL1LNK1 レジスタで上記から接続先を一つ選択可能
イベント・リンク L1 信号選択ブロック 2 注 1	• ELISEL0-11 レジスタの選択信号 ELL1SEL2 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力) • フリップフロップ 1 (入力) ELL1LNK2 レジスタで上記から接続先を一つ選択可能
イベント・リンク L1 信号選択ブロック 3 注 1	• ELISEL0-11 レジスタの選択信号 ELL1SEL3 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力) • フリップフロップ 1 (入力) ELL1LNK3 レジスタで上記から接続先を一つ選択可能
イベント・リンク L1 信号選択ブロック 4 注 2	• ELISEL6-11 レジスタの選択信号 ELL1SEL4 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 0 (セット制御、リセット制御) • フリップフロップ 1 (セット制御、リセット制御) ELL1LNK4 レジスタで接続先を選択可能
イベント・リンク L1 信号選択ブロック 5 注 2	• ELISEL6-11 レジスタの選択信号 ELL1SEL5 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 0 (セット制御、リセット制御) • フリップフロップ 1 (セット制御、リセット制御) ELL1LNK5 レジスタで接続先を選択可能
イベント・リンク L1 信号選択ブロック 6	• <u>fclk (fclk ≤ 16 MHz)</u> <u>ELISEL6-11 レジスタと ELL1SEL6</u> <u>レジスタで fclk を指定可能</u>	• フリップフロップ 0 (クロック) • フリップフロップ 1 (クロック) ELL1LNK6 レジスタで接続先を選択可能

注 1. イベント・リンク L1 信号選択ブロック 0-6 の出力側の接続先は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注 2. フリップフロップ 0 または 1 のセット制御とリセット制御に同じ信号を接続しないでください。また、セット制御とリセット制御の信号が同時にハイ・レベルになる期間がないようにしてください。

正)

表 20-1 論理セルブロック L1 の接続 (1)

イベント・リンク L1 信号選択ブロック n	入力信号	イベント・リンク L1 信号選択ブロック n 出力側の接続先
イベント・リンク L1 信号選択ブロック 0 注 1	• ELISEL0-11 レジスタの選択信号 ELL1SEL0 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力) • フリップフロップ 1 (入力) ELL1LNK0 レジスタで上記から接続先を一つ選択可能
イベント・リンク L1 信号選択ブロック 1 注 1	• ELISEL0-11 レジスタの選択信号 ELL1SEL1 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力) • フリップフロップ 1 (入力) ELL1LNK1 レジスタで上記から接続先を一つ選択可能
イベント・リンク L1 信号選択ブロック 2 注 1	• ELISEL0-11 レジスタの選択信号 ELL1SEL2 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力) • フリップフロップ 1 (入力) ELL1LNK2 レジスタで上記から接続先を一つ選択可能
イベント・リンク L1 信号選択ブロック 3 注 1	• ELISEL0-11 レジスタの選択信号 ELL1SEL3 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力) • フリップフロップ 1 (入力) ELL1LNK3 レジスタで上記から接続先を一つ選択可能
イベント・リンク L1 信号選択ブロック 4 注 2	• ELISEL6-11 レジスタの選択信号 ELL1SEL4 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 0 (セット制御、リセット制御) • フリップフロップ 1 (セット制御、リセット制御) ELL1LNK4 レジスタで接続先を選択可能
イベント・リンク L1 信号選択ブロック 5 注 2	• ELISEL6-11 レジスタの選択信号 ELL1SEL5 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 0 (セット制御、リセット制御) • フリップフロップ 1 (セット制御、リセット制御) ELL1LNK5 レジスタで接続先を選択可能
イベント・リンク L1 信号選択ブロック 6	• <u>ELISEL6-11 レジスタの選択信号</u> <u>ELL1SEL6 レジスタで上記から入力信号を</u> <u>一つ選択可能</u>	• フリップフロップ 0 (クロック) • フリップフロップ 1 (クロック) ELL1LNK6 レジスタで接続先を選択可能

注 1. イベント・リンク L1 信号選択ブロック 0-6 の出力側の接続先は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注 2. フリップフロップ 0 または 1 のセット制御とリセット制御に同じ信号を接続しないでください。また、セット制御とリセット制御の信号が同時にハイ・レベルになる期間がないようにしてください。

(p.1059)

表 20-3 論理セルブロック L2 の接続 (1)

イベント・リンク L2 信号選択ブロック n	入力信号	イベント・リンク L2 信号選択ブロック n 出力側の接続先
イベント・リンク L2 信号選択ブロック 0 注 1, 2	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L1 の出力信号 0-4 ELL2SEL0 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL2LNK0 レジスタで上記から接続先を一つ選択可能
イベント・リンク L2 信号選択ブロック 1 注 1, 2	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L1 の出力信号 0-4 ELL2SEL1 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL2LNK1 レジスタで上記から接続先を一つ選択可能
イベント・リンク L2 信号選択ブロック 2 注 1, 2	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L1 の出力信号 0-4 ELL2SEL2 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL2LNK2 レジスタで上記から接続先を一つ選択可能
イベント・リンク L2 信号選択ブロック 3 注 1, 2	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L1 の出力信号 0-4 ELL2SEL3 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL2LNK3 レジスタで上記から接続先を一つ選択可能
イベント・リンク L2 信号選択ブロック 4 注 2	• ELISEL6-11 レジスタの選択信号 ELL2SEL4 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 1 (セット制御) ELL2LNK4 レジスタで接続先を選択可能
イベント・リンク L2 信号選択ブロック 5 注 2	• ELISEL6-11 レジスタの選択信号 ELL2SEL5 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 1 (リセット制御) ELL2LNK5 レジスタで接続先を選択可能
イベント・リンク L2 信号選択ブロック 6	• <u>fclk (fclk ≦ 16 MHz)</u> <u>ELISEL6-11 レジスタと ELL2SEL6 レ</u> <u>ジスタで fclk を指定可能</u>	• フリップフロップ 0 (クロック) • フリップフロップ 1 (クロック) ELL2LNK6 レジスタで接続先を選択可能

注 1. イベント・リンク L2 信号選択ブロック 0-6 の出力側の接続先は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注 2. フリップフロップ 0 または 1 のセット制御とリセット制御に同じ信号を接続しないでください。また、セット制御とリセット制御の信号が同時にハイ・レベルになる期間がないようにしてください。

表 20-3 論理セルブロック L2 の接続 (1)

イベント・リンク L2 信号選択ブロック n	入力信号	イベント・リンク L2 信号選択ブロック n 出力側の接続先
イベント・リンク L2 信号選択ブロック 0 注 1, 2	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L1 の出力信号 0-4 ELL2SEL0 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL2LNK0 レジスタで上記から接続先を一つ選択可能
イベント・リンク L2 信号選択ブロック 1 注 1, 2	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L1 の出力信号 0-4 ELL2SEL1 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL2LNK1 レジスタで上記から接続先を一つ選択可能
イベント・リンク L2 信号選択ブロック 2 注 1, 2	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L1 の出力信号 0-4 ELL2SEL2 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL2LNK2 レジスタで上記から接続先を一つ選択可能
イベント・リンク L2 信号選択ブロック 3 注 1, 2	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L1 の出力信号 0-4 ELL2SEL3 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL2LNK3 レジスタで上記から接続先を一つ選択可能
イベント・リンク L2 信号選択ブロック 4 注 2	• ELISEL6-11 レジスタの選択信号 ELL2SEL4 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 1 (セット制御) ELL2LNK4 レジスタで接続先を選択可能
イベント・リンク L2 信号選択ブロック 5 注 2	• ELISEL6-11 レジスタの選択信号 ELL2SEL5 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 1 (リセット制御) ELL2LNK5 レジスタで接続先を選択可能
イベント・リンク L2 信号選択ブロック 6	• <u>ELISEL6-11 レジスタの選択信号</u> <u>ELL2SEL6 レジスタで上記から入力信号を</u> <u>一つ選択可能</u>	• フリップフロップ 0 (クロック) • フリップフロップ 1 (クロック) ELL2LNK6 レジスタで接続先を選択可能

注 1. イベント・リンク L2 信号選択ブロック 0-6 の出力側の接続先は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注 2. フリップフロップ 0 または 1 のセット制御とリセット制御に同じ信号を接続しないでください。また、セット制御とリセット制御の信号が同時にハイ・レベルになる期間がないようにしてください。

(p.1061)

表 20-5 論理セルブロック L3 の接続 (1)

イベント・リンク L3 信号選択ブロック n	入力信号	イベント・リンク L3 信号選択ブロック n 出力側の接続先
イベント・リンク L3 信号選択ブロック 0 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L2 の出力信号 0-4 ELL3SEL0 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL3LNK0 レジスタで上記から接続先を一つ選択可能
イベント・リンク L3 信号選択ブロック 1 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L2 の出力信号 0-4 ELL3SEL1 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL3LNK1 レジスタで上記から接続先を一つ選択可能
イベント・リンク L3 信号選択ブロック 2 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L2 の出力信号 0-4 ELL3SEL2 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL3LNK2 レジスタで上記から接続先を一つ選択可能
イベント・リンク L3 信号選択ブロック 3 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L2 の出力信号 0-4 ELL3SEL3 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL3LNK3 レジスタで上記から接続先を一つ選択可能
イベント・リンク L3 信号選択ブロック 4 ^{注2}	• 入力信号セレクタ 6-11 ELL3SEL4 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 1 (セット制御) ELL3LNK4 レジスタで接続先を選択可能
イベント・リンク L3 信号選択ブロック 5 ^{注2}	• 入力信号セレクタ 6-11 ELL3SEL5 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 1 (リセット制御) ELL3LNK5 レジスタで接続先を選択可能
イベント・リンク L3 信号選択ブロック 6	• <u>fclk (fclk ≤ 16 MHz)</u> <u>ELISEL6-11 レジスタと ELL3SEL6 レ</u> <u>ジスタで fclk を指定可能</u>	• フリップフロップ 0 (クロック) • フリップフロップ 1 (クロック) ELL3LNK6 レジスタで接続先を選択可能

注 1. イベント・リンク L3 信号選択ブロック 0-6 の出力側の接続先は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注 2. フリップフロップ 0 または 1 のセット制御とリセット制御に同じ信号を接続しないでください。また、セット制御とリセット制御の信号が同時にハイ・レベルになる期間がないようにしてください。

表 20-5 論理セルブロック L3 の接続 (1)

イベント・リンク L3 信号選択ブロック n	入力信号	イベント・リンク L3 信号選択ブロック n 出力側の接続先
イベント・リンク L3 信号選択ブロック 0 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L2 の出力信号 0-4 ELL3SEL0 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL3LNK0 レジスタで上記から接続先を一つ選択可能
イベント・リンク L3 信号選択ブロック 1 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L2 の出力信号 0-4 ELL3SEL1 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL3LNK1 レジスタで上記から接続先を一つ選択可能
イベント・リンク L3 信号選択ブロック 2 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L2 の出力信号 0-4 ELL3SEL2 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL3LNK2 レジスタで上記から接続先を一つ選択可能
イベント・リンク L3 信号選択ブロック 3 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L2 の出力信号 0-4 ELL3SEL3 レジスタで上記から入力信号を 一つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL3LNK3 レジスタで上記から接続先を一つ選択可能
イベント・リンク L3 信号選択ブロック 4 ^{注2}	• 入力信号セレクタ 6-11 ELL3SEL4 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 1 (セット制御) ELL3LNK4 レジスタで接続先を選択可能
イベント・リンク L3 信号選択ブロック 5 ^{注2}	• 入力信号セレクタ 6-11 ELL3SEL5 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 1 (リセット制御) ELL3LNK5 レジスタで接続先を選択可能
イベント・リンク L3 信号選択ブロック 6	• ELISEL6-11 レジスタの選択信号 ELL3SEL6 レジスタで上記から入力信号を 一つ選択可能	• フリップフロップ 0 (クロック) • フリップフロップ 1 (クロック) ELL3LNK6 レジスタで接続先を選択可能

注 1. イベント・リンク L3 信号選択ブロック 0-6 の出力側の接続先は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注 2. フリップフロップ 0 または 1 のセット制御とリセット制御に同じ信号を接続しないでください。また、セット制御とリセット制御の信号が同時にハイ・レベルになる期間がないようにしてください。

10. 20.3.1 入力信号選択レジスタ n (ELISELn) (n = 0-11) (p.1064, p.1068)

誤)

(p.1064)

図 20 - 5 入力信号選択レジスタ n (ELISELn) (n = 0-11) のフォーマット (1/3)

アドレス : F0680H (ELISEL0) ~ F068BH (ELISEL11)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELISELn	0	0	0	ELISEL n4	ELISEL n3	ELISEL n2	ELISEL n1	ELISEL n0

正)

図 20 - 5 入力信号選択レジスタ n (ELISELn) (n = 0-11) のフォーマット (1/3)

アドレス : F0680H (ELISEL0) ~ F068BH (ELISEL11)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELISELn	0	0	0	ELISEL n4	ELISEL n3	ELISEL n2	ELISEL n1	ELISEL n0

注意 ELISEL6 レジスタのビット 4-0 は、11010B の設定は禁止です。

(p.1068)

注 4. INTC4, INTC5, INTC6, INTC7, INTC8, INTC9 のイベント発生元の割り込み要因は、ELISELn (n = 6-11)で異なります。なお、割り込み要求信号は、イベント受付側の周辺機能のハードウェア・トリガに使用してください。

レジスタ	イベント発生元					
	INTC4	INTC5	INTC6	INTC7	INTC8	INTC9
ELISEL6	INTP0	INTTM00	INTTM06	INTST2/ INTCSI20/ INTIIC20	INTSR1/ INTCSI11/ INTIIC11	INTSMSE
ELISEL7	INTP1	INTTM01	INTITL	INTSR2/ INTCSI21/ INTIIC21	INTSRE1	INTP10
					INTTM03H	INTCMP0
ELISEL8	INTP2	INTTM02	INTWDTI	INTSRE2	INTREMC	INTP11
				INTTM11H		INTCMP1
ELISEL9	INTP3	INTTM03	INTRTC	INTST0/ INTCSI00/ INTIIC00	INTSR0/ INTCSI01/ INTIIC01	INTCTSUWR
ELISEL10	INTP4	INTTM04	INTTM07	INTSRE0	INTLVI	INTCTSURD
				INTTM01H		
ELISEL11	INTP5	INTTM05	INTIICA0	INTST1/ INTCSI10/ INTIIC10	INTAD	INTCTSUFN

注 4. INTC4, INTC5, INTC6, INTC7, INTC8, INTC9 のイベント発生元の割り込み要因は、ELISELn (n = 6-11)で異なります。なお、割り込み要求信号は、イベント受付側の周辺機能のハードウェア・トリガに使用してください。

レジスタ	イベント発生元					
	INTC4	INTC5	INTC6	INTC7	INTC8	INTC9
ELISEL6	INTP0	INTTM00	INTTM06	INTST2/ INTCSI20/ INTIIC20	INTSR1/ INTCSI11/ INTIIC11	設定禁止
ELISEL7	INTP1	INTTM01	INTITL	INTSR2/ INTCSI21/ INTIIC21	INTSRE1	INTP10
					INTTM03H	INTCMP0
ELISEL8	INTP2	INTTM02	INTWDTI	INTSRE2	INTREMC	INTP11
				INTTM11H		INTCMP1
ELISEL9	INTP3	INTTM03	INTRTC	INTST0/ INTCSI00/ INTIIC00	INTSR0/ INTCSI01/ INTIIC01	INTCTSUWR
ELISEL10	INTP4	INTTM04	INTTM07	INTSRE0	INTLVI	INTCTSURD
				INTTM01H		
ELISEL11	INTP5	INTTM05	INTIICA0	INTST1/ INTCSI10/ INTIIC10	INTAD	INTCTSUFN

11. 20.6 ELCL 使用時の注意事項 (p.1101)

誤)

- (4) ELCL は複数の入力信号と論理セルブロックと出力制御回路を経て信号を出力します。それらのタイミングのズレにより、グリッチの発生やの期待している出力が得られない場合がありますのでご注意ください。期待した出力が得られないことによりお客様システムに重大な問題が起きる可能性がある場合は ELCL の使用を中止していただくか、外部の回路で対策を行ってください。

正)

- (4) ELCL は複数の入力信号と論理セルブロックと出力制御回路を経て信号を出力します。論理セルブロック L1/L2/L3 の出力信号は、入力信号に対して遅延します。フリップフロップの出力信号は、クロック同期するためにイベント・リンク L1/L2/L3 信号選択ブロック 6 で選択したクロックの最大 1 クロック分遅延します。
また、入力信号のタイミングのズレにより、グリッチの発生や期待している出力が得られない場合がありますのでご注意ください。期待した出力が得られないことによりお客様システムに重大な問題が起きる可能性がある場合は ELCL の使用を中止していただくか、外部の回路で対策を行ってください。

12. 29.3.3 シーケンサ・インストラクション・レジスタ p (SMSIp) (p = 0-31) (p.1235, p.1236)

誤)

(p.1235)

表 29 - 1 SMSIp レジスタのメモリ・アドレスと SMSCV0 - SMSCV4 ビットの関係

SMSIp	アドレス	SMSCV[4:0]
SMSI15	F039EH, F039FH	01111B
SMSI14	F039CH, F039DH	01110B
SMSI13	F039AH, F039BH	01101B
SMSI12	F0398H, F0399H	01100B
SMSI11	F0396H, F0397H	01011B
SMSI10	F0394H, F0395H	01010B
SMSI9	F0392H, F0393H	01001B
SMSI8	F0390H, F0391H	01000B
SMSI7	F038EH, F038FH	00111B
SMSI6	F038CH, F038DH	00110B
SMSI5	F038AH, F038BH	00101B
SMSI4	F0388H, F0389H	00100B
SMSI3	F0386H, F0387H	00011B
SMSI2	F0384H, F0385H	00010B
SMSI1	F0382H, F0383H	00001B
SMSI0	F0380H, F0381H	00000B

SMSIp	アドレス	SMSCV[4:0]
SMSI31	F03BEH, F03BFH	11111B
SMSI30	F03BCH, F03BDH	11110B
SMSI29	F03BAH, F03BBH	11101B
SMSI28	F03B8H, F03B9H	11100B
SMSI27	F03B6H, F03B7H	11011B
SMSI26	F03B4H, F03B5H	11010B
SMSI25	F03B2H, F03B3H	11001B
SMSI24	F03B0H, F03B1H	11000B
SMSI23	F03AEH, F03AFH	10111B
SMSI22	F03ACH, F03ADH	10110B
SMSI21	F03AAH, F03ABH	10101B
SMSI20	F03A8H, F03A9H	10100B
SMSI19	F03A6H, F03A7H	10011B
SMSI18	F03A4H, F03A5H	10010B
SMSI17	F03A2H, F03A3H	10001B
SMSI16	F03A0H, F03A1H	10000B

- 注意 1. SMSIp レジスタは、シーケンサが停止している状態で設定してください。シーケンサが処理を実行している SMSIp レジスタを書き換えるとシーケンサの動作が不定となるためです。
- 注意 2. SMSI31 レジスタの処理の実行後は次に続く SMSIp レジスタはありません。このため SMSI31 レジスタには終了処理または割り込み&終了処理を記述してシーケンサの処理を停止するか、分岐処理で別の処理に分岐させてください。

正)

表 29 - 1 SMSIp レジスタのメモリ・アドレスと SMSCV0 - SMSCV4 ビットの関係

SMSIp	アドレス	SMSCV[4:0]
SMSI15	F039EH, F039FH	01111B
SMSI14	F039CH, F039DH	01110B
SMSI13	F039AH, F039BH	01101B
SMSI12	F0398H, F0399H	01100B
SMSI11	F0396H, F0397H	01011B
SMSI10	F0394H, F0395H	01010B
SMSI9	F0392H, F0393H	01001B
SMSI8	F0390H, F0391H	01000B
SMSI7	F038EH, F038FH	00111B
SMSI6	F038CH, F038DH	00110B
SMSI5	F038AH, F038BH	00101B
SMSI4	F0388H, F0389H	00100B
SMSI3	F0386H, F0387H	00011B
SMSI2	F0384H, F0385H	00010B
SMSI1	F0382H, F0383H	00001B
SMSI0	F0380H, F0381H	00000B

SMSIp	アドレス	SMSCV[4:0]
SMSI31	F03BEH, F03BFH	11111B
SMSI30	F03BCH, F03BDH	11110B
SMSI29	F03BAH, F03BBH	11101B
SMSI28	F03B8H, F03B9H	11100B
SMSI27	F03B6H, F03B7H	11011B
SMSI26	F03B4H, F03B5H	11010B
SMSI25	F03B2H, F03B3H	11001B
SMSI24	F03B0H, F03B1H	11000B
SMSI23	F03AEH, F03AFH	10111B
SMSI22	F03ACH, F03ADH	10110B
SMSI21	F03AAH, F03ABH	10101B
SMSI20	F03A8H, F03A9H	10100B
SMSI19	F03A6H, F03A7H	10011B
SMSI18	F03A4H, F03A5H	10010B
SMSI17	F03A2H, F03A3H	10001B
SMSI16	F03A0H, F03A1H	10000B

- 注意 1. SMSIp レジスタは、シーケンサが停止している状態で設定してください。シーケンサが処理を実行している SMSIp レジスタを書き換えるとシーケンサの動作が不定となるためです。
- 注意 2. SMSI31 レジスタの処理の実行後は次に続く SMSIp レジスタはありません。SMSI31 レジスタに終了処理が記述されていない場合または分岐処理を記載していない場合は、SMSI31 レジスタの処理の実行後に終了処理が自動的に実行されます。

(p.1236)

表 29 - 2 SMSIp レジスタに設定できる処理の一覧

処理名	オペレーション ^{注4}	シーケンサ・コード	第1オペランド (4ビット)	第2オペランド (4ビット)	付加バイト (4ビット)
8ビット・データ転送処理1	[MSGn + Byte] ← MSGm	0000	MSGnのn ^{注1}	MSGmのm ^{注1}	byte ^{注2}
8ビット・データ転送処理2	MSGm ← [MSGn + Byte]	0001	MSGnのn ^{注1}	MSGmのm ^{注1}	byte ^{注2}
16ビット・データ転送処理1	[MSGn + Byte] ← MSGm	0010	MSGnのn ^{注1}	MSGmのm ^{注1}	byte ^{注2}
16ビット・データ転送処理2	MSGm ← [MSGn + Byte]	0011	MSGnのn ^{注1}	MSGmのm ^{注1}	byte ^{注2}
1ビット・データ・セット処理	[MSGn + Byte].bit ← 1	0100	MSGnのn ^{注1}	bit ^{注2}	byte ^{注2}
1ビット・データ・クリア処理	[MSGn + Byte].bit ← 0	0101	MSGnのn ^{注1}	bit ^{注2}	byte ^{注2}
1ビット・データ転送処理	SCY ← [MSGn + Byte].bit	0110	MSGnのn ^{注1}	bit ^{注2}	byte ^{注2}
ワード・データ加算処理	MSGn, SCY ← MSGn + MSGm	0111	MSGnのn ^{注1}	MSGmのm ^{注1}	0000
ワード・データ減算処理	MSGn, SCY ← MSGn - MSGm	0111	MSGnのn ^{注1}	MSGmのm ^{注1}	0001
ワード・データ比較処理	MSGn - MSGm	0111	MSGnのn ^{注1}	MSGmのm ^{注1}	0010
右方向論理シフト処理	SCY ← MSGn.0, MSGm.15 ← 0, MSGm.m-1 ← MSGn.m	0111	MSGnのn ^{注1}	0000	0011
分岐処理1 (SCY = 1)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 1	1000	\$addr5 ^{注3}		0000
分岐処理2 (SCY = 0)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 0	1000	\$addr5 ^{注3}		0001
分岐処理3 (SZ = 1)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 1	1000	\$addr5 ^{注3}		0010
分岐処理4 (SZ = 0)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 0	1000	\$addr5 ^{注3}		0011
ウェイト処理	一定期間の処理の保留	1001	IM1		IM2
条件付きウェイト処理1 (bit = 1)	SMSS[4:0] ← SMSS[4:0] if [MSGn + Byte].bit = 1	1010	MSGnのn ^{注1}	bit ^{注2}	byte ^{注2}
条件付きウェイト処理2 (bit = 0)	SMSS[4:0] ← SMSS[4:0] if [MSGn + Byte].bit = 0	1011	MSGnのn ^{注1}	bit ^{注2}	byte ^{注2}
終了処理	SMSS[4:0] ← 0、シーケンサの動作停止	1111	0000	0000	0000
割り込み&終了処理	SMSS[4:0] ← 0、 割り込み発生後にシーケンサの動作停止	1111	0000	0000	0001
DTC起動処理	DTC起動要因を出力	1111	0000	0000	0010

注 1. n, m = 0-15 (0000B-1111B) を指定してください。

注 2. byte = 0-7 (0000B-0111B) を指定してください。

注 3. 8ビットのディスプレースメント値で-31~-1, 1~31の相対アドレス (0000 0001B-0001 1111B, 1111 1111B-1110 0001B) を指定してください。

注 4. 用語の詳細は、29.5 シーケンサ処理コマンドを参照してください。

表 29 - 2 SMSIp レジスタに設定できる処理の一覧

処理名	オペレーション ^{注4}	シーケンサ・コード	第1オペランド (4ビット)	第2オペランド (4ビット)	付加バイト (4ビット)
8ビット・データ転送処理1	[MSGn + Byte] ← MSGm	0000	MSGnのn ^{注1}	MSGmのm ^{注1}	byte ^{注2}
8ビット・データ転送処理2	MSGm ← [MSGn + Byte]	0001	MSGnのn ^{注1}	MSGmのm ^{注1}	byte ^{注2}
16ビット・データ転送処理1	[MSGn + Byte] ← MSGm	0010	MSGnのn ^{注1}	MSGmのm ^{注1}	byte ^{注2}
16ビット・データ転送処理2	MSGm ← [MSGn + Byte]	0011	MSGnのn ^{注1}	MSGmのm ^{注1}	byte ^{注2}
1ビット・データ・セット処理	[MSGn + Byte].bit ← 1	0100	MSGnのn ^{注1}	bit ^{注2}	byte ^{注2}
1ビット・データ・クリア処理	[MSGn + Byte].bit ← 0	0101	MSGnのn ^{注1}	bit ^{注2}	byte ^{注2}
1ビット・データ転送処理	SCY ← [MSGn + Byte].bit	0110	MSGnのn ^{注1}	bit ^{注2}	byte ^{注2}
ワード・データ加算処理	MSGn, SCY ← MSGn + MSGm	0111	MSGnのn ^{注1}	MSGmのm ^{注1}	0000
ワード・データ減算処理	MSGn, SCY ← MSGn - MSGm	0111	MSGnのn ^{注1}	MSGmのm ^{注1}	0001
ワード・データ比較処理	MSGn - MSGm	0111	MSGnのn ^{注1}	MSGmのm ^{注1}	0010
右方向論理シフト処理	SCY ← MSGn.0, MSGm.15 ← 0, MSGm.m-1 ← MSGn.m	0111	MSGnのn ^{注1}	0000	0011
分岐処理1 (SCY = 1)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 1	1000	\$addr5 ^{注3}		0000
分岐処理2 (SCY = 0)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 0	1000	\$addr5 ^{注3}		0001
分岐処理3 (SZ = 1)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 1	1000	\$addr5 ^{注3}		0010
分岐処理4 (SZ = 0)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 0	1000	\$addr5 ^{注3}		0011
ウェイト処理	一定期間の処理の保留	1001	IM1		IM2
条件付きウェイト処理1 (bit = 1)	SMSS[4:0] ← SMSS[4:0] if [MSGn + Byte].bit = 1	1010	MSGnのn ^{注1}	bit ^{注2}	byte ^{注2}
条件付きウェイト処理2 (bit = 0)	SMSS[4:0] ← SMSS[4:0] if [MSGn + Byte].bit = 0	1011	MSGnのn ^{注1}	bit ^{注2}	byte ^{注2}
終了処理	SMSS[4:0] ← 0、シーケンサの動作停止	1111	0000	0000	0000
DTC起動処理	DTC起動要因を出力	1111	0000	0000	0010

注 1. n, m = 0-15 (0000B-1111B) を指定してください。

注 2. byte = 0-7 (0000B-0111B) を指定してください。

注 3. 8ビットのディスプレースメント値で-31~-1, 1~31の相対アドレス (0000 0001B-0001 1111B, 1111 1111B-1110 0001B) を指定してください。

注 4. 用語の詳細は、29.5 シーケンサ処理コマンドを参照してください。

13. 29.4 SNOOZE モード・シーケンサの動作 (p.1245)

誤)

29.4.3 シーケンサ・フラグ

シーケンサは演算処理の結果によってセットまたはリセットするフラグを搭載しています。

(a) シーケンサ・ゼロ・フラグ (SZ)

加算処理、減算処理、比較処理で結果が 0 に等しいときにセット(1)され、それ以外ではクリア(0)されるシーケンサの内部フラグです。シーケンサ内部の処理に使用できます。

詳細は 29.5 シーケンサ処理コマンドを参照してください。

(b) シーケンサ・キャリー・フラグ (SCY)

加算処理、減算処理を実行したときのオーバーフローおよびアンダフローの内容、論理シフト処理でシフトアウトされたビット、1 ビット・データ転送処理の結果が反映されるフラグです。シーケンサ内部の処理に使用できます。

詳細は 29.5 シーケンサ処理コマンドを参照してください。

シーケンサの SZ フラグ、SCY フラグは、SMSS レジスタのビットとして読み出すことができます。

29.3.6 シーケンサ・ステータス・レジスタ (SMSS) を参照してください。

正)

29.4.3 シーケンサ・フラグ

シーケンサは演算処理の結果によってセットまたはリセットするフラグを搭載しています。

(a) シーケンサ・ゼロ・フラグ (SZ)

加算処理、減算処理、比較処理で結果が 0 に等しいときにセット(1)され、それ以外ではクリア(0)されるシーケンサの内部フラグです。シーケンサ内部の処理に使用できます。

詳細は 29.5 シーケンサ処理コマンドを参照してください。

(b) シーケンサ・キャリー・フラグ (SCY)

加算処理、減算処理を実行したときのオーバーフローおよびアンダフローの内容、論理シフト処理でシフトアウトされたビット、1 ビット・データ転送処理の結果が反映されるフラグです。シーケンサ内部の処理に使用できます。

詳細は 29.5 シーケンサ処理コマンドを参照してください。

シーケンサの SZ フラグ、SCY フラグは、SMSS レジスタのビットとして読み出すことができます。

29.3.6 シーケンサ・ステータス・レジスタ (SMSS) を参照してください。

29.4.4 SNOOZE モード・シーケンサの割り込み

SNOOZE モード・シーケンサの INTSMSE 割り込みは、SMSEMK ビットを制御することで発生させます。

SNOOZE モード・シーケンサの動作を開始 (SMSSTART=1) する前に、CPU の処理で SMSEMK=1, SMSEIF=1 を設定してください。SNOOZE モード・シーケンサの処理にて、SMSEMK ビットを 0 に変更することで、SMSEIF=1, SMSEMK=0 の状態となり、INTSMSE 割り込みが発生します。

また、割り込み禁止状態 (DI) のときは、SMSEMK ビットが 0 になったことでシーケンサの処理終了を判定してください。

注意 1 SMSC レジスタの SMSSTART ビットが 1 のときは、CPU 命令で MK0H レジスタの SMSEMK ビットと IF0H レジスタの SMSEIF ビットを 0 に設定しないでください。

注意 2 SNOOZE モード・シーケンサの処理と INTSMSE 割り込みの処理で、SFR や RAM の同じ領域をアクセスする場合は、SNOOZE モード・シーケンサの処理と INTSMSE 割り込みの処理を同時に実行しないようにしてください。

14. 29.4.1 SNOOZE モード・シーケンサの内部の動作 (p.1242)

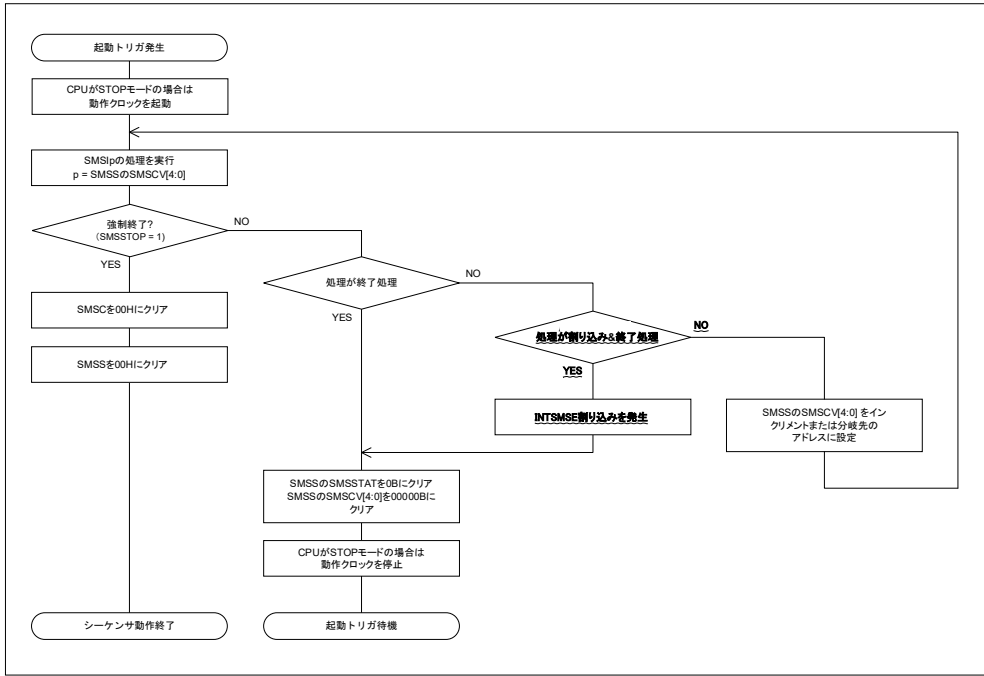
誤)

29.4.1 SNOOZE モード・シーケンサの内部の動作

SNOOZE モード・シーケンサのシーケンサは、SMSC レジスタの SMSTRGSEL0-SMSTRGSEL4 ビットで選択した起動トリガが発生すると起動します。起動直後はSMSI0 レジスタの処理を実行し、その後はSMSS レジスタのSMSCV0 - SMSCV4 ビットに対応するSMSIp レジスタの処理を実行します。終了処理の実行または割り込み、終了処理の実行によりシーケンサは一連の動作を終了し、起動トリガ待ちになります。また、SMSC レジスタのSMSSTOP ビットの強制停止トリガによりシーケンサの動作を停止します。

図 29 - 8 に SNOOZE モード・シーケンサの内部動作のフローを示します。

図 29 - 8 シーケンサの内部動作フロー



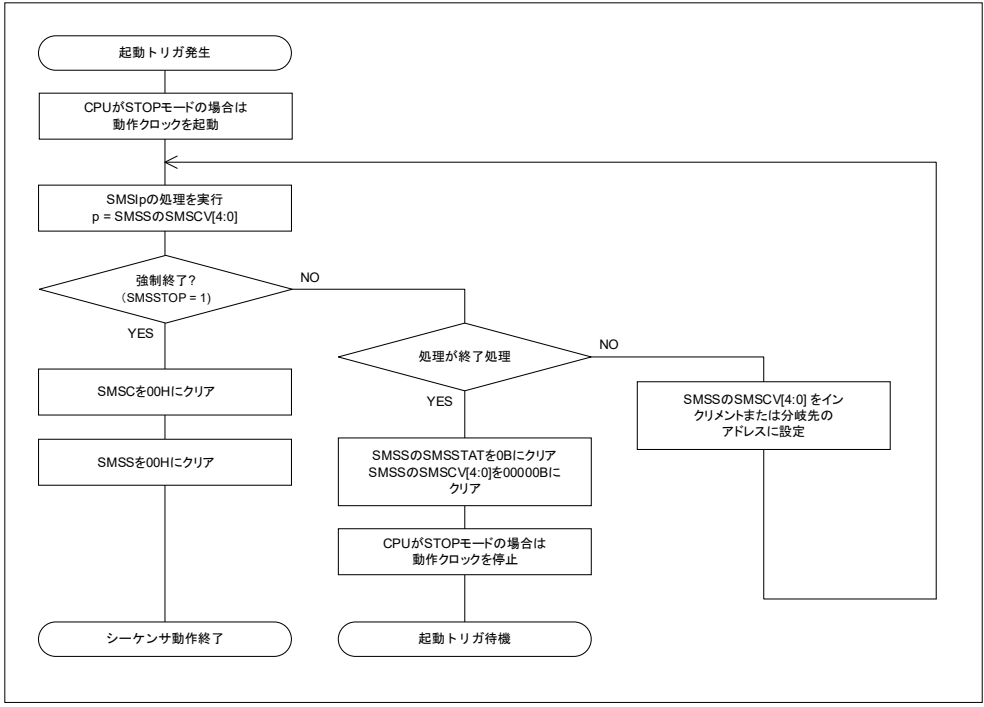
正)

29.4.1 SNOOZE モード・シーケンサの内部の動作

SNOOZE モード・シーケンサのシーケンサは、SMSC レジスタの SMSTRGSEL0-SMSTRGSEL4 ビットで選択した起動トリガが発生すると起動します。起動直後はSMSI0 レジスタの処理を実行し、その後はSMSS レジスタのSMSCV0 - SMSCV4 ビットに対応するSMSIp レジスタの処理を実行します。終了処理の実行によりシーケンサは一連の動作を終了し、起動トリガ待ちになります。また、SMSC レジスタのSMSSTOP ビットの強制停止トリガによりシーケンサの動作を停止します。

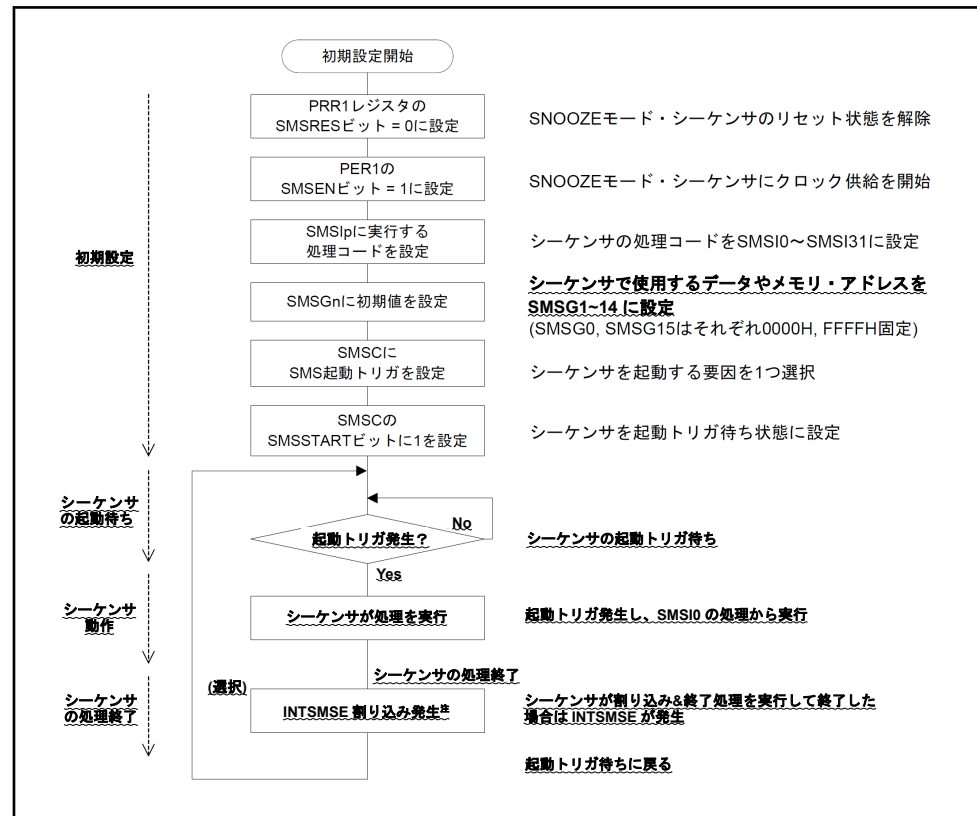
図 29 - 8 に SNOOZE モード・シーケンサの内部動作のフローを示します。

図 29 - 8 シーケンサの内部動作フロー



誤)

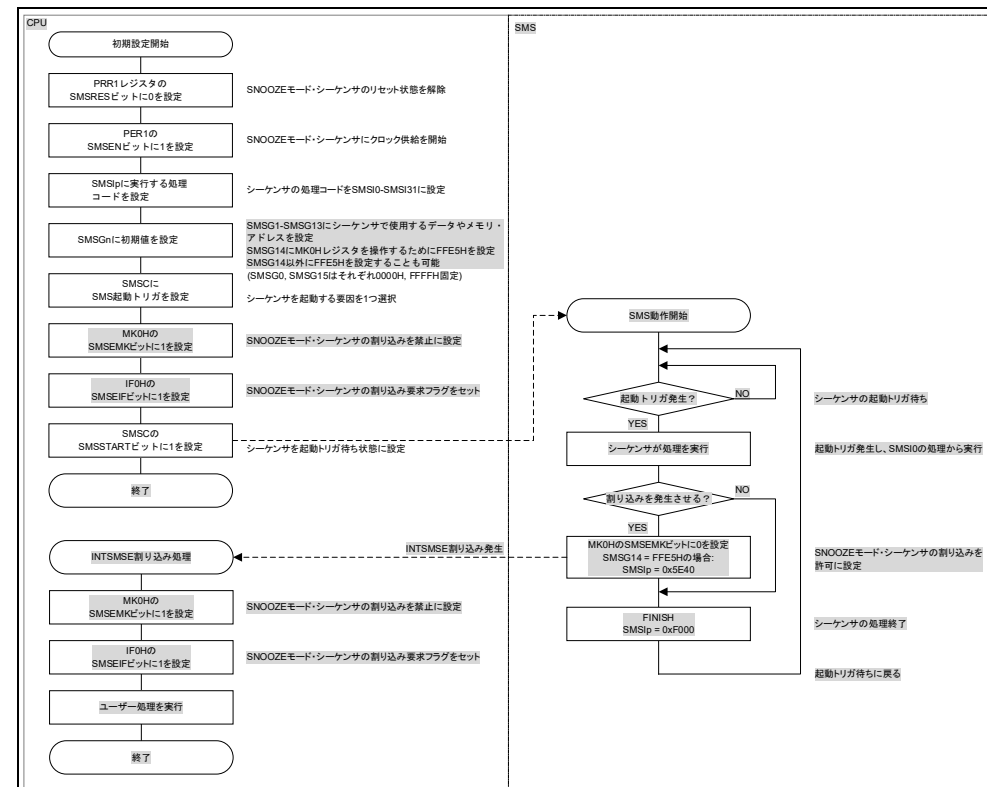
図 29 - 11 SNOOZE モード・シーケンサの起動のフロー



注 終了処理の実行時とSMSCレジスタのSMSSTOPビットによる強制終了トリガによってシーケンサの処理が終了した場合は、INTSMSE 割り込みは発生しません。SMSC レジスタのSMSSTOP ビットによる強制終了トリガによってシーケンサの処理が終了した場合は、SMSC レジスタ自体が初期化されますので、シーケンサ処理を再開する場合は再度初期設定の SMSC 設定から実施してください。（SMSIp.SMSGn レジスタはリセットされません）

正)

図 29 - 11 SNOOZE モード・シーケンサの起動のフロー



注意 1 SMSC レジスタの SMSSTOP ビットによる強制終了トリガによってシーケンサの処理が終了した場合は、SMSC レジスタ自体が初期化されますので、シーケンサ処理を再開する場合は再度初期設定の SMSC 設定から実施してください。
(SMSIp, SMSGn レジスタはリセットされません)

注意 2 SMSC レジスタの SMSSTART ビットが 1 のときは、CPU 命令で MK0H レジスタの SMSEMK ビットと IF0H レジスタの SMSEIF ビットを 0 に設定しないでください。

16. 29.4.5 SNOOZE モード・シーケンサの状態 (p.1248)

誤)

【シーケンサ動作状態】

シーケンサ動作状態とはシーケンサが動作しており SMSIp レジスタに設定した処理を実行している状態です。

終了処理~~または割り込み~~~~8~~終了処理を実行した場合は起動トリガ待ち状態になります。SMSC レジスタの SMSSTOP ビットをセット(1)して強制終了した場合はシーケンサ停止状態になります。

正)

【シーケンサ動作状態】

シーケンサ動作状態とはシーケンサが動作しており SMSIp レジスタに設定した処理を実行している状態です。

終了処理を実行した場合は起動トリガ待ち状態になります。SMSC レジスタの SMSSTOP ビットをセット(1)して強制終了した場合はシーケンサ停止状態になります。

17. 29.5.20 割り込み&終了処理 (p.1270)

誤)

29.5.20 割り込み&終了処理

割り込み&終了処理は割り込み信号を発行し SNOOZE モード・シーケンサの動作を終了する処理です。割り込み信号を発行することにより、スタンバイ状態の CPU を起動することが可能です。処理を実行すると割り込み信号を発行後に SNOOZE モード・シーケンサの処理を終了し、SMSS レジスタの SMSSTAT ビットと SMSCV[4:0] を 0 にクリアし、次の起動トリガ待ちとなります。

付加バイトは 0001B を設定してください。第 1 オペランド、第 2 オペランドは全て 0 に設定してください。

シーケンサ・コード：1111B (付加バイト：0001B)

処理クロック数：fCLK × 1

フラグ：SZ フラグは保持、SCY フラグは保持

CPU 相当命令：WAKEUP

CPU 相当オペレーション：SMSS[4:0] ← 0、割り込み発行後にシーケンサの動作停止

略号	15	14	13	12	11	10	9	8
SMSSlp	1	1	1	1	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	1

記述例：1111.0000.0000.0001B

CPU の相当命令は、WAKEUP

INTSMSE 割り込み発行後にシーケンサの動作を停止し、SMSS レジスタの SMSSTAT ビットと SMSCV[4:0] を 0 にクリアして起動トリガ待ちになります。

正)

18. 29.6 スタンバイ・モード時の動作 (p.1272)

誤)

状態	SNOOZE モード・シーケンサ動作
HALT モード	動作可能 ^{注1}
STOP モード	SNOOZE モード・シーケンサ起動要因受付可能 ^{注3}
SNOOZE モード	動作可能 ^{注2, 4, 5, 6}

- 注 1. fCLK にサブシステム・クロックを選択しているとき、OSMC レジスタの RTCLPC ビットが 1 の場合は動作禁止です。
- 注 2. SNOOZE モードは、fCLK に高速オンチップ・オシレータ・クロックおよび中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
- 注 3. STOP モード時に SMS 起動要因の検出により SNOOZE モードに遷移して、SNOOZE モード・シーケンサが動作可能となります。また動作完了後は STOP モードに戻ります。ただし、SNOOZE モード中でアクセスできないメモリ領域があるため注意してください。詳細は 29.4.2 シーケンサのメモリ空間を参照してください。
- 注 4. CSIp の SNOOZE モード機能から転送完了割り込みを SNOOZE モード・シーケンサ起動要因とした場合、割り込み&終了処理で SNOOZE モードを解除し CPU 処理を開始するか、終了処理の前に CSIp の受信再設定(STm0 ビットに 1 を書き込み、SWCm ビットに 0 を書き込み、SSCm レジスタ設定、SSm0 ビットに 1 を書き込み)を行ってください。
- 注 5. UARTq の SNOOZE モード機能から転送完了割り込みを SNOOZE モード・シーケンサ起動要因とした場合、割り込み&終了処理で SNOOZE モードを解除し CPU 処理を開始するか、終了処理の前に UARTq の受信再設定(STm1 ビットに 1 を書き込み、SWCm ビットに 0 を書き込み、SSCm レジスタ設定、SSm1 ビットに 1 を書き込み)を行ってください。
- 注 6. A/D コンバータの SNOOZE モード機能から A/D 変換終了割り込みを SNOOZE モード・シーケンサ起動要因とした場合、割り込み&終了処理で SNOOZE モードを解除し CPU 処理を開始するか、終了処理の前に A/D コンバータの SNOOZE モード機能の再設定(AWC ビットに 0 を書き込み、AWC ビットに 1 を書き込む)を行ってください。

正)

状態	SNOOZE モード・シーケンサ動作
HALT モード	動作可能 ^{注1}
STOP モード	SNOOZE モード・シーケンサ起動要因受付可能 ^{注3}
SNOOZE モード	動作可能 ^{注2, 4, 5, 6}

- 注 1. fCLK にサブシステム・クロックを選択しているとき、OSMC レジスタの RTCLPC ビットが 1 の場合は動作禁止です。
- 注 2. SNOOZE モードは、fCLK に高速オンチップ・オシレータ・クロックおよび中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
- 注 3. STOP モード時に SMS 起動要因の検出により SNOOZE モードに遷移して、SNOOZE モード・シーケンサが動作可能となります。また動作完了後は STOP モードに戻ります。ただし、SNOOZE モード中でアクセスできないメモリ領域があるため注意してください。詳細は 29.4.2 シーケンサのメモリ空間を参照してください。
- 注 4. CSI00 の転送完了割り込みを SNOOZE モード・シーケンサの起動要因に設定、かつ転送完了割り込みを禁止 (CSIMK=1) に設定した場合は、次の処理を実施してください。
- SNOOZE モード・シーケンサで終了処理の前に MK0H レジスタの SMSEMK ビットに 0 を書き込み、SNOOZE モードを解除し CPU 処理を開始してください。または SNOOZE モード・シーケンサで終了処理の前に CSI00 の受信再設定(ST00 ビットに 1 を書き込み、SWC0 ビットに 0 を書き込み、SSC0 レジスタ設定、SS00 ビットに 1 を書き込み)を行ってください。
- 注 5. UART0 の受信完了割り込みを SNOOZE モード・シーケンサの起動要因に設定、かつ受信完了割り込みを禁止 (SRMK0=1) に設定した場合は、次の処理を実施してください。
- SNOOZE モード・シーケンサで終了処理の前に MK0H レジスタの SMSEMK ビットに 0 を書き込み、SNOOZE モードを解除し CPU 処理を開始してください。または SNOOZE モード・シーケンサで終了処理の前に UART0 の受信再設定(ST01 ビットに 1 を書き込み、SWC0 ビットに 0 を書き込み、SSC0 レジスタ設定、SS01 ビットに 1 を書き込み)を行ってください。
- 注 6. A/D コンバータの A/D 変換終了割り込みを SNOOZE モード・シーケンサの起動要因に設定、かつ A/D 変換終了割り込みを禁止 (ADMK=1) に設定した場合は、次の処理を実施してください。
- SNOOZE モード・シーケンサで終了処理の前に MK0H レジスタの SMSEMK ビットに 0 を書き込み、SNOOZE モードを解除し CPU 処理を開始してください。または SNOOZE モード・シーケンサで終了処理の前に A/D コンバータの SNOOZE モード機能の再設定(AWC ビットに 0 を書き込み、AWC ビットに 1 を書き込む)を行ってください。

19. 37.4 AC 特性 (p.1451)

誤)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN) 動作	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1 μs
				1.6 V ≤ VDD ≤ 1.8 V	0.25	1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167	1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.25	1	μs
			LP (低電力メイン) モード	1.6 V ≤ VDD ≤ 5.5 V	0.5	1	μs
		サブシステム・クロック (fSUB) 動作		1.6 V ≤ VDD ≤ 5.5 V	26.041	30.5	31.3 μs
		セルフ・プログラミング時	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125	1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.5	1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167	1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.5	1	μs
外部システム・クロック 周波数	fEX	1.8 V ≤ VDD ≤ 5.5 V			1.0		20.0 MHz
		1.6 V ≤ VDD < 1.8 V			1.0		4.0 MHz
	fEXS				32		38.4 kHz
外部システム・クロック 入力 ハイ、ロウ・レベル幅	tEXH, tEXL	1.8 V ≤ VDD ≤ 5.5 V			15		ns
		1.6 V ≤ VDD < 1.8 V			120		ns
	tEXHS, tEXLS				13.7		μs

正)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN) 動作	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1 μs
				1.6 V ≤ VDD ≤ 1.8 V	0.25	1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167	1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.25	1	μs
			LP (低電力メイン) モード	1.6 V ≤ VDD ≤ 5.5 V	0.5	1	μs
		サブシステム・クロック (fSUB) 動作		1.6 V ≤ VDD ≤ 5.5 V	26.041	30.5	31.3 μs
		セルフ・プログラミング時	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125	1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.5	1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167	1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.5	1	μs
外部システム・クロック 周波数	fEX	1.8 V ≤ VDD ≤ 5.5 V			1.0		20.0 MHz
		1.6 V ≤ VDD < 1.8 V			1.0		4.0 MHz
	fEXS				32		38.4 kHz
外部システム・クロック 入力 ハイ、ロウ・レベル幅	tEXH, tEXL	1.8 V ≤ VDD ≤ 5.5 V			24		ns
		1.6 V ≤ VDD < 1.8 V			120		ns
	tEXHS, tEXLS				13.7		μs

以上