

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A0153A/J	Rev.	第1版
題名	誤記訂正通知 RL78/F15 ユーザーズマニュアル Rev.1.00 の誤記通知		情報分類	技術情報	
適用製品	RL78/F15 グループ	対象ロット等	関連資料	RL78/F15 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0559JJ0100)	
		全ロット			

RL78/F15 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0559JJ0100) において、下記訂正がございます。

関連資料：

- 発行済みテクニカル・アップデート (TN-RL*-A068A/J, TN-RL*-A0091A/J, TN-RL*-A0096A/J, TN-RL*-A0123A/J)
- RL78/F13, F14 ユーザーズマニュアル ハードウェア編 Rev.2.10 (R01UH0368JJ0210) 正誤表 (TN-RL*-A0099B/J)
- RL78/F13, F14 ユーザーズマニュアル ハードウェア編 Rev.2.30 (R01UH0368JJ0230)
- PCN「LQFP パッケージ製品の Cu ワイヤ化」(EPPO2-EX-25-0025)

今回通知する訂正内容

(1/4)

No	訂正内容	R01UH0559JJ0100 の該当ページ	本通知の 該当ページ
1	表 1-3 RL78/F15 オーダ情報を更新	P.16	P.5
2	表 2-4 各端子の未使用端子処理 (144 ピン版) (2/4) P40 端子の誤記修正	P.62	P.5
3	表 3-6 拡張 SFR (2nd SFR) 一覧 (10/50) MDIV レジスタのリセット時の値に注記を付加	P.111	P.5
4	ポートのブロック図の誤記修正 (POMxx 信号と内蔵プルアップ抵抗の ON/OFF 制御)	P.179, P.180, P.181, P.182, P.183, P.184, P.185, P.186, P.226, P.227, P.228, P.229	P.6
5	ポート・ブロック図の下部に注意 1 (Nch オープン・ドレイン出力) および注意 2 (TTL 入力バッファ) の記載追加	P.179, P.180, P.182, P.183, P.185, P.186, P.228, P.229, P.237, P.238	P.6
6	ポート・ブロック図の下部に注意 (Nch オープン・ドレイン出力) の記載追加	P.181, P.184, P.226, P.227, P.239, P.268	P.6
7	ポート・ブロック図の下部に注意 (TTL 入力バッファ) の記載追加	P.198, P.220, P.240, P.271	P.6
8	ポート・ブロック図の誤記修正 (入力部にシュミット回路の略号を追加)	P.201, P.247, P.248, P.249, P.250, P.251, P.252, P.253, P.254, P.257, P.261	P.7
9	ポート・ブロック図の誤記修正 (POMxx 信号および PMCxx 信号による内蔵プルアップ抵抗の ON/OFF 制御)	P.237, P.238, P.239, P.240, P.241, P.268, P.271	P.7
10	4.2.11 ポート 10 リセット時のポートの状態説明を修正	P.258	P.8
11	図 4-82 P137 のブロック図 誤記修正	P.277	P.8
12	4.4.4 異電位接続方法 説明文を修正	P.330	P.8

(2/4)

No	訂正内容	R01UH0559JJ0100 の該当ページ	本通知の 該当ページ
13	4.4.4 異電位接続方法 (3) シリアル・インタフェース IICA0 の入出力端子を使用する場合の設定手順 を新規追加	P.331	P.9
14	表 4-31 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定表内の誤記修正	P.332-P.340	P.9
15	5.3.3 クロック動作ステータス制御レジスタ (CSC) 図下部の注意 6 に記載追加	P.353	P.10
16	図 5-11 動作スピード・モード制御レジスタ (OSMC) のフォーマット 図下部の注意記載の誤記修正	P.363	P.10
17	図 5-13 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) のフォーマット 図下部に備考記載追加	P.365	P.11
18	図 5-17 PLL 制御レジスタ (PLLCTL) のフォーマット PLLMUL ビットに説明文追加	P.369	P.11
19	図 5-17 PLL 制御レジスタ (PLLCTL) のフォーマット 図下部に注意記載追加	P.370	P.11
20	図 5-24 CPU クロック状態移行図 図内の誤記修正	P.387	P.11
21	表 5-3 CPU クロックの移行について (1/3) 表内の「移行後の処理」に説明追加	P.391	P.12
22	5.6.9 クロック発振停止前の条件 本文の説明追加	P.396	P.12
23	表 6-2 各製品に搭載しているタイマ入出力端子 表の記載修正	P.404	P.13
24	6.3 タイマ・アレイ・ユニットを制御するレジスタ 注の脱字 (対象番号) を修正	P.414	P.13
25	図 6-13 TMRmn レジスタ (1/4) CCSmn ビットのビット説明表の記載修正	P.420	P.13
26	図 6-13 TMRmn レジスタ (4/4) MDmn0 ビットの説明の誤記修正	P.423	P.13
27	図 6-17 TTm レジスタ ビット説明表の記載追加	P.428	P.14
28	図 6-33 図内の INTTMmn 信号の誤り修正	P.454	P.14
29	図 6-35 図内の TCRmn の誤り修正	P.456	P.15
30	図 6-42 図内の「書き込み前」の TOE05 ビットの誤記修正	P.464	P.15
31	図内の誤記修正 (ノイズ・フィルタ許可レジスタの設定)	P.475, P.479, P.484, P.488, P.492, P.498, P.499	P.16
32	図 6-72 SPLITmp ビットの誤記修正	P.497	P.16
33	6.9.1 タイマ出力使用時の注意事項 説明文の誤記修正	P.514	P.16
34	表 7-3 タイマ Rj のレジスタ構成 表内のアクセスサイズの誤記修正	P.517	P.16
35	表 7-7 TRJIO0 端子設定 表の誤り修正	P.536	P.17
36	図 8-40 図下部の備考の誤記修正	P.587	P.17
37	8.5.4 インพุットキャプチャ機能 説明文の誤記修正	P.619	P.17
38	図 9-2 PER0 レジスタのフォーマット 図下部の注意 2 の不要な記載を削除	P.629	P.17
39	図 9-8 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1) のフォーマット (2/2) RWAIT ビットの説明修正	P.636	P.17
40	図 9-23 リアルタイム・クロックの読み出し手順 図下部の注意記載修正	P.649	P.18
41	図 9-24 リアルタイム・クロックの書き込み手順 図下部の注意記載修正	P.650	P.18
42	図 9-27 図の誤り修正	P.655	P.18
43	11.1 ウォッチドッグ・タイマの機能 説明文に注記説明追加	P.663	P.18
44	図 11-1 ウォッチドッグ・タイマのブロック図 図内の誤記修正	P.664	P.18
45	表 11-4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定 ウィンドウ・オープン期間=75%時の注意記載追加	P.668	P.19
46	表 12-3 A/D 変換時間の選択 表下部の注意 1 の記載修正	P.681-P.684	P.19
47	図 12-5 タイミング図の誤り修正	P.685	P.19
48	図 12-25, 12-26, 12-27 ADCE = 0 設定部の誤記修正	P.707-P.709	P.20
49	図 12-31 図題の誤記修正	P.713	P.20
50	図 12-32, 12-33, 12-34, 12-35, 12-36 図内の誤記修正 (ADRCK ビット部の説明)	P.715-P.719	P.20

(3/4)

No	訂正内容	R01UH0559JJ0100 の該当ページ	本通知の 該当ページ
51	表 14-3 コンパレータを制御するレジスタ 表内の誤記修正	P.743	P.20
52	図 15-1, 15-2, 15-3 シリアル・アレイ・ユニット n のブロック図 図内の誤記修正	P.764, P.765, P.767	P.21
53	図 15-10 SCRmn レジスタのフォーマット 図下部の注記を修正	P.775–P.777	P.24
54	図 15-12 SIRmn レジスタのフォーマット 図下部の注記を修正	P.779	P.24
55	図 15-13 SSRmn レジスタのフォーマット 図下部の注記を修正	P.780, P.781	P.24
56	図 15-148 SPI 機能 (CSI00, CSI01, CSI10, CSI11) のスレーブ送受信時のレジスタ設定内容例 (2/2) 図内の誤記修正	P.936	P.24
57	図 15-157 UART (UART0, UART1, UART2) の UART 送信時のレジスタ設定内容例 (1/2) 図内の誤記修正	P.949	P.25
58	図 15-171 UART (UART0, UART1, UART2) の UART 受信時のレジスタ設定内容例 (1/2) 図内の誤記修正	P.962	P.25
59	16.3.7 IICA ハイ・レベル幅設定レジスタ 0 (IICWH0) 本文および備考の記載修正	P.1024	P.26
60	16.4.2 IICWL0, IICWH0 レジスタによる転送クロック設定方法 本文下部に注意記載追加	P.1028	P.26
61	図 16-33 (3) 下部の説明文の誤記修正	P.1093	P.26
62	17.2.1 (24) LDBmn レジスタ 説明文の誤記修正	P.1130	P.26
63	17.2.2 (23) LDBmn レジスタ 説明文の誤記修正	P.1158	P.26
64	17.2.3 (24) UART 送信データ・レジスタ (LUTDRn) 説明文の誤記修正	P.1187	P.26
65	図 17-21 LIN エラー検出の対象時間領域 (LIN スレーブモード) 図内のビットエラー検出開始タイミングの誤記修正	P.1217	P.27
66	17.5.1 (5) SNOOZE モード機能 説明文下部の注意記載追加	P.1226	P.27
67	表 17-21, 17-22, 17-23, 17-24 表の記載改訂	P.1227	P.28
68	17.6 LIN セルフテストモード 本文の説明追加	P.1237	P.28
69	17.6.2, 17.6.3, 17.6.4, 17.6.5 レジスタ設定値の誤記、および注記の誤記修正	P.1238–P.1242	P.29
70	18.15 CAN モジュールの注意事項 割り込み処理に関する説明追加	P.1438	P.29
71	20.3 動作説明 本文の誤記修正	P.1526	P.30
72	20.3.2 (1) ノーマル・モードの使用例 1 : A/D 変換結果の連続取り込み 本文および図 20-22 の誤記修正	P.1529	P.30
73	20.3.4 チェイン転送 本文の説明文修正	P.1534	P.30
74	23.1 キー割り込みの機能 本文下部の注意の記載修正	P.1594	P.30
75	26.1 パワーオン・リセット回路の機能 本文下部の備考の記載修正	P.1627	P.31
76	図 26-3 リセット解除後のソフト処理例 (1/2) 図内のコメント部の誤記修正	P.1631	P.31
77	図 27-1 電圧検出回路のブロック図 図の誤り修正	P.1634	P.31
78	表 27-1 ユーザ・オプション・バイト (000C1H/020C1H) による LVD 動作モード・検出電圧設定 表内の誤記修正	P.1637	P.32
79	28.1, 28.3.2 本文の不要な記載を削除	P.1651, P.1657	P.32
80	28.3.5 クロック・モニタ (3) 使用上の注意 説明部に記載追加	P.1669	P.32
81	29.1 レギュレータの概要 本文下部の図の「注意」記載の誤記修正	P.1682	P.32
82	図 30-4 オンチップ・デバッグ・オプション・バイト (000C3H/020C3H) のフォーマット 図下部の備考記載修正	P.1689	P.33
83	31.8.3 データ・フラッシュへのアクセス手順 本文下部の注意記載追加	P.1715	P.33
84	表 32-1 オンチップ・トレースで使用する RAM 領域と保存できる分岐数 表内の誤記修正	P.1717	P.33
85	図 32-3 デバッグ用モニタ・プログラムが配置されるメモリ空間 図下部の注 1 の表の誤記修正	P.1720	P.33
86	35.4.1, 36.4.1 基本動作 タイマ RJ 入力ハイ・レベル幅, ロウ・レベル幅の略号の誤記修正	P.1763, P.1811	P.34
87	35.5.1 (2), (3), (9), 36.5.1 (2), (3), (9) 電特表下部の注記の誤記修正	P.1767, P.1768, P.1777, P.1815, P.1816, P.1825	P.34

(4/4)

No	訂正内容	R01UH0559JJ0100 の該当ページ	本通知の 該当ページ
88	35.5.2, 36.5.2 シリアル・インタフェース IICA 表の条件記載の誤記修正	P.1782, P.1830	P.34
89	35.6.1, 36.6.1 A/D コンバータ特性 (1), (2), (3) 表内の記載修正	P.1784–P.1786, P.1832–P.1834	P.35
90	35.6.1, 36.6.1 A/D コンバータ特性 (4) 対象 ANI 端子の誤記修正	P.1787, P.1835	P.35
91	35.6.5, 36.6.5 POR 回路特性 注記の追加およびタイミング図追加	P.1788, P.1836	P.35
92	35.8, 36.8 STOP モード時メモリ保持特性 章題、表下部の注記、およびタイミング図の誤記修正	P.1791, P.1839	P.36
93	35.9, 36.9 フラッシュ・メモリ・プログラミング特性 表内の記載、および表下部の注記の誤記修正	P.1792, P.1840	P.36

No.1: 表 1-3 RL78/F15 オーダ情報を更新

48/64/80/100 ピン・プラスチック LQFP 製品のオーダ名称を更新。

表 1-3 RL78/F15 オーダ情報

パッケージ	デバイス	オーダ情報
48 ピン・プラスチック LQFP	L グレード	R5F113GKCLFB, R5F113GLCLFB
	K グレード	R5F113GKCKFB, R5F113GLCKFB
48 ピン・プラスチック HVQFN	L グレード	R5F113GKLNA, R5F113GLLNA
	K グレード	R5F113GKNA, R5F113GLKNA
64 ピン・プラスチック LQFP	L グレード	R5F113LKCLFB, R5F113LLCLFB
	K グレード	R5F113LKCKFB, R5F113LLCKFB
80 ピン・プラスチック LQFP	L グレード	R5F113MKCLFB, R5F113MLCLFB
	K グレード	R5F113MKCKFB, R5F113MLCKFB
100 ピン・プラスチック LQFP	L グレード	R5F113PGCLFB, R5F113PHCLFB, R5F113PJCLFB, R5F113PKCLFB, R5F113PLCLFB
	K グレード	R5F113PGCKFB, R5F113PHCKFB, R5F113PJCKFB, R5F113PKCKFB, R5F113PLCKFB
144 ピン・プラスチック LQFP	L グレード	R5F113TGLFB, R5F113THLFB, R5F113TJLFB, R5F113TKLFB, R5F113TLLFB
	K グレード	R5F113TGKFB, R5F113THKFB, R5F113TJKFB, R5F113TKKFB, R5F113TLKFB

No.2: 表 2-4 各端子の未使用端子処理 P40 端子の誤記修正

「未使用時の推奨接続方法」P40/TOOL0 部の記載を変更。

表 2-4 各端子の未使用端子処理（144 ピン版）（2/4）

端子名称	入出力	未使用時の推奨接続方法
P40/TOOL0	入出力	入力時：個別に抵抗を介して、EVDD0、EVDD1 に接続するかオープンにしてください。（注：OPEN の場合、条件 PU40 = 1。） 出力時：オープンにしてください。
P41/TI10/TO10/TRJIO0/VCOUT0/ SNZOUT2	入出力	入力時：個別に抵抗を介して、EVDD0、EVDD1 または EVSS0、EVSS1 に接続してください。 出力時：オープンにしてください。
P42/(LTXD0)		
:		

No.3: 表 3-6 拡張 SFR（2nd SFR）一覧 MDIV レジスタのリセット時の値に注記を付加

MDIV レジスタ（F02C7H）のリセット時の値に注記を付加。

表 3-6 拡張 SFR（2nd SFR）一覧（10/50）

アドレス	特殊機能レジスタ（SFR）名称	略号	R/W	操作可能ビット範囲			リセット時
				1 ビット	8 ビット	16 ビット	
:							
F02C7H	f _{MP} クロック分周レジスタ	MDIV	R/W	—	○	—	00H ^{注3}
:							

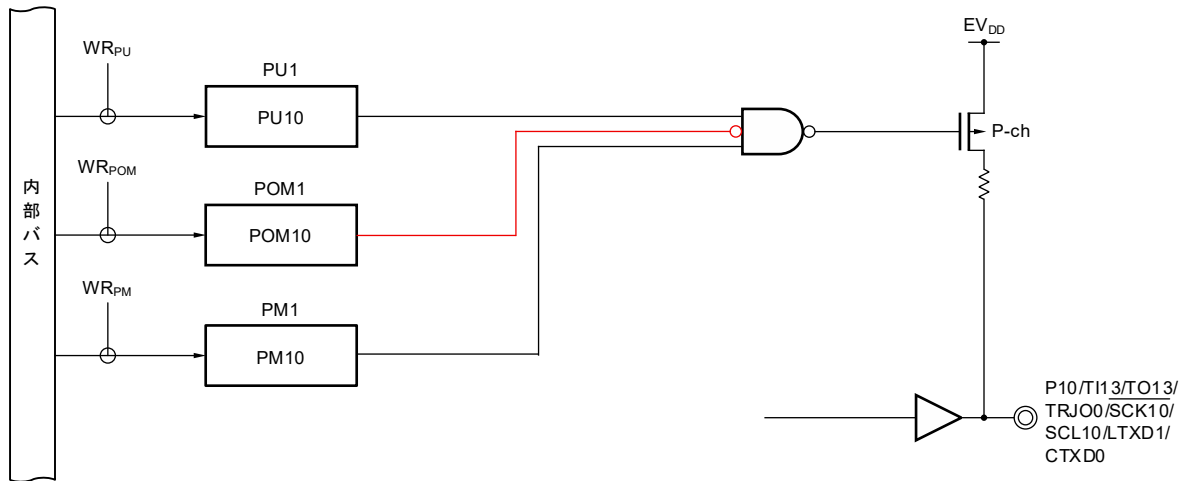
注 3. MDIV レジスタの MDIV0 ビットはユーザ・オプション・バイト（000C2H/020C2H）の FRQSEL4 の値が初期値となります。

No.4: ポート・ブロック図の誤記修正 (POMxx 信号と内蔵プリアップ抵抗の ON/OFF 制御)

対象：図 4-7～図 4-14 (P10～P17)、図 4-45～図 4-48 (P60～P63)

内蔵プリアップ抵抗の制御部に POMxx (N-ch オープン・ドレイン制御) の信号記載を追加 (例として、P10 のブロック図を示す。赤線部を追加)。

図 4-7 P10 のブロック図



No.5: ポート・ブロック図の下部に注意 (Nch オープン・ドレイン出力および TTL 入力) の記載追加

対象：図 4-7 (P10)、図 4-8 (P11)、図 4-10 (P13)、図 4-11 (P14)、図 4-13 (P16)、図 4-14 (P17)、図 4-47 (P62)、図 4-48 (P63)、図 4-53 (P70)、図 4-54 (P71)

- 注意 1. この端子を、ポート出力モード・レジスタ (POMm) の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても、入力バッファは有効なままです。したがって、この端子の電圧レベルが中間電位になった場合、端子に貫通電流が流れる可能性があります。Nch オープン・ドレイン出力モード選択時に出力レベルを変更すると、グリッチ (EVDD レベル) が発生する場合があります。
- 2. この端子が、ポート入力モード・レジスタ (PIMm) の対応ビットにより、TTL 入力バッファに設定されているとき、端子が H 電位に駆動されると、TTL 入力バッファの構成により、貫通電流が流れる場合があります。スタンバイ・モードに移行するときは、消費電流を減らすために端子を L 電位に設定してください。

No.6: ポート・ブロック図の下部に注意 (Nch オープン・ドレイン出力) の記載追加

対象：図 4-9 (P12)、図 4-12 (P15)、図 4-45 (P60)、図 4-46 (P61)、図 4-55 (P72)、図 4-74 (P120)

- 注意 この端子を、ポート出力モード・レジスタ (POMm) の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても、入力バッファは有効なままです。したがって、この端子の電圧レベルが中間電位になった場合、端子に貫通電流が流れる可能性があります。Nch オープン・ドレイン出力モード選択時に出力レベルを変更すると、グリッチ (EVDD レベル) が発生する場合があります。

No.7: ポート・ブロック図の下部に注意 (TTL 入力) の記載追加

対象：図 4-22 (P30)、図 4-41 (P54)、図 4-56 (P73)、図 4-77 (P125)

- 注意 この端子が、ポート入力モード・レジスタ (PIMm) の対応ビットにより、TTL 入力バッファに設定されているとき、端子が H 電位に駆動されると、TTL 入力バッファの構成により、貫通電流が流れる場合があります。スタンバイ・モードに移行するときは、消費電流を減らすために端子を L 電位に設定してください。

No.10: 4.2.11 ポート 10 リセット時のポートの状態説明を修正

4.2.11 ポート 10

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 10 (PM10) により 1 ビット単位で入力モード/出力モードの指定ができます。

P106、P107 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 10 (PU10) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。P107 端子の入力は、ポート入力閾値制御レジスタ 10 (PITHL10) の設定により、1 ビット単位で入力バッファの閾値の指定ができます。

また、兼用機能として A/D コンバータのアナログ入力、LIN のシリアル・データ入出力があります。

P100/ANI18-P105/ANI23 をデジタル入出力として使用する場合は、A/D ポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつ PM10 レジスタで入力モードあるいは出力モードに設定して上位ビットから使用してください。

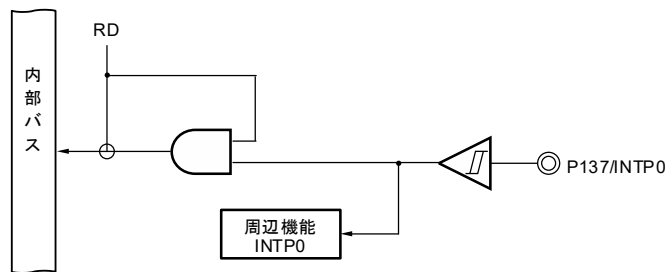
~~リセット信号の発生により入力モードになります。~~ 記載削除

P100/ANI18-P105/ANI23 をアナログ入力として使用する場合は、A/D ポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、かつ PM10 レジスタで入力モードに設定して、下位ビットから使用してください。

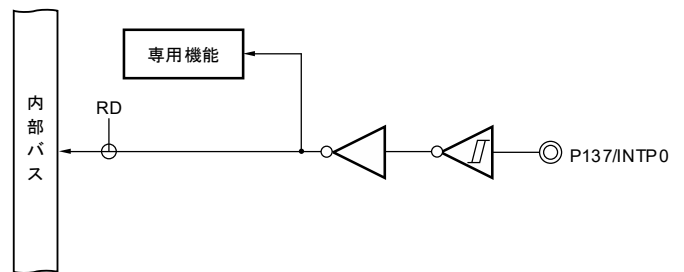
リセット信号の発生により~~アナログ入力~~になります。P100-P105 はアナログ入力、P106-P107 は入力モードになります。

No.11: 図 4-82 P137 のブロック図 誤記修正

誤)



正)



No.12: 4.4.4 異電位接続方法 説明文を修正

誤)

4.4.4 異電位 (3V 系) 外部デバイスとの接続方法

~~異電位 (3V 系) 外部デバイスとの接続時には EVDD を接続先の電源に合わせることで対応できます。EVDD が独立していない製品や、どうしても EVDD を接続先の電圧に合わせられない場合でも、ポート 1、6、7、12 は、VDD = 4.0V ~ 5.5V で動作時に、3V 系の電圧で動作している外部デバイスとのシリアル I/F での入出力接続が可能です。~~

~~入力については、ポート入力モード・レジスタ 1、7 (PIM1、PIM7) によりビットごとに通常入力 (CMOS) /TTL を切り換え可能です。~~

~~また、出力については、ポート出力モード・レジスタ 1、6、7、12 (POM1、POM6、POM7、POM12) により、出力バッファを N-ch オープン・ドレイン (EVDD 耐圧) に切り換えることにより、異電位に対応可能になります。~~

正)

4.4.4 異電位 (3V 系) 外部デバイスとの接続方法

ポート入力モード・レジスタ (PIMx)、ポート出力モード・レジスタ (POMx) で入出力バッファを切り換えることにより、VDD = 4.0V ~ 5.5V で動作時に、異電位 (3V 系) で動作している外部デバイスとの接続が可能になります。

異電位 (3V 系) の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタをビットごとに設定して、通常入力 (CMOS) /TTL バッファを切り換えます。

異電位 (3V 系) の外部デバイスへ出力する場合、ポート出力モード・レジスタをビットごとに設定して、出力バッファを N-ch オープン・ドレインに切り換えることにより、異電位に対応可能になります。

No.13: 4.4.4 異電位接続方法 シリアル・インタフェース IICA0 を使用する場合は設定手順を新規追加

4.4.4 異電位（3V系）外部デバイスとの接続方法

(3) シリアル・インタフェース IICA0 の入出力端子を使用する場合の設定手順

① 使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

IICA0 の場合：P62, P63

② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。

③ 該当するポートの出力ラッチに0を設定します。

④ POM6 レジスタの該当ビットを1に設定し、N-ch オープン・ドレイン出力（EVDD 耐圧）モードに設定します。

⑤ PIM6 レジスタの該当ビットを1に設定し、TTL 入力バッファに切り換えます。

⑥ PM6 レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。

⑦ シリアル・インタフェース IICA 機能を動作許可します。

No.14: 表 4-31 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定 表内の誤記修正

表 4-31 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

端子名称	兼用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	PIMXX	PITHLXX
	名称	入出力							
P04	INTP15	入力	0	—	—	1	x	—	—
P10	TRJO0	出力	≠	0	—	0	0	x	x
P11	CRXD0	入力	0	x	—	1	x	0	0/1
P12	INTP5	入力	≠	x	—	1	x	—	—
P14	TRDIOC0	入力	≠	x	—	1	x	0	0/1
		出力	≠	0	—	0	0	x	x
P15	TRDIOA1	入力	≠	x	—	1	x	—	—
		出力	≠	0	—	0	0	—	—
P16	TRDIOC1	入力	≠	x	—	1	x	0	0/1
		出力	≠	0	—	0	0	x	x
P17	TRDIOB1	入力	≠	x	—	1	x	0	0/1
		出力	≠	0	—	0	0	x	x
P30	TRDIOD1	入力	≠	—	—	1	x	0	0/1
		出力	≠	—	—	0	0	x	x
P31	STOPST	出力	≠	—	—	0	0	—	—
P32	INTP7	入力	≠	—	—	1	x	—	—
P33	ANI0 ^{注1}	入力	≠	—	—	1	x	—	—
	AVREFP ^{注1}	入力	≠	—	—	1	x	—	—
P34	ANI0 ^{注1}	入力	≠	—	—	1	x	—	—
	AVREFM ^{注1}	入力	≠	—	—	1	x	—	—
P37	(CRXD1)	入力	1	—	—	1	x	—	0/1
P40	TOOL0	入出力	≠	—	—	x	x	—	—
P41	TRJIO0	入力	≠	—	—	1	x	—	—
		出力	≠	—	—	0	0	—	—
	VCOU0	出力	≠	—	—	0	0	—	—
P47	INTP13	入力	≠	—	—	1	x	—	—
P51	INTP11	入力	≠	—	—	1	x	—	—
P52	(STOPST) ^{注2}	出力	≠	—	—	0	0	—	—
P53	INTP10	入力	≠	—	—	1	x	—	0/1
P60	CRXD1	入力	0	x	—	1	x	—	0/1
P62	SCLA0	入出力	≠	1	—	0	0	0/1	0/1
P63	SDA0	入出力	≠	1	—	0	0	0/1	0/1

注 STOPST の割り当ては STOP ステータス出力制御レジスタ (STPSTC) の設定により割り当て可能です。

注.1 A/D ポート・コンフィグレーション・レジスタ (ADPC) の設定によりアナログ入力に割り当ててください。

2 STOPST の割り当ては STOP ステータス出力制御レジスタ (STPSTC) の設定により割り当て可能です。

表 4-31 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

端子名称	兼用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	PIMXX	PITHLXX
	名称	入出力							
P70	ANI26	入力	≠	×	1	1	×	×	×
	INTP8	入力	≠	×	0	1	×	0	0/1
P71	ANI27	入力	≠	×	1	1	×	×	×
	INTP6	入力	≠	×	0	1	×	0	0/1
P72	ANI28	入力	≠	×	1	1	×	—	—
P73	ANI29	入力	≠	—	1	1	×	×	×
	(CRXD0)	入力	1	—	0	1	×	0	0/1
P74	ANI30	入力	≠	—	1	1	×	—	—
P77	INTP12	入力	≠	—	—	1	×	—	0/1
P80	ANI2 ^注	入力	≠	—	—	1	×	—	—
	ANO0 ^注	出力	≠	—	—	1	×	—	—
P81	ANI3 ^注	入力	≠	—	—	1	×	—	—
	IVCMP00 ^注	入力	≠	—	—	1	×	—	—
P82	ANI4 ^注	入力	≠	—	—	1	×	—	—
	IVCMP01 ^注	入力	≠	—	—	1	×	—	—
P83	ANI5 ^注	入力	≠	—	—	1	×	—	—
	IVCMP02 ^注	入力	≠	—	—	1	×	—	—
P84	ANI6 ^注	入力	≠	—	—	1	×	—	—
	IVCMP03 ^注	入力	≠	—	—	1	×	—	—
P85	ANI7 ^注	入力	≠	—	—	1	×	—	—
	IVREF0 ^注	入力	≠	—	—	1	×	—	—
P86-P87	ANI8-ANI9 ^注	入力	≠	—	—	1	×	—	—
P90-P97	ANI10-ANI17 ^注	入力	≠	—	—	1	×	—	—
P100-P105	ANI18-ANI23 ^注	入力	≠	—	—	1	×	—	—
P120	ANI25	入力	≠	×	1	1	×	—	—
	INTP4	入力	≠	×	0	1	×	—	—
P125	ANI24	入力	≠	—	1	1	×	×	×
	INTP1	入力	≠	—	0	1	×	0	0/1
P130	RESOUT	出力	≠	—	—	—	0	—	—
P131	INTP14	入力	≠	—	—	1	×	—	—
P137	INTP0	入力	≠	—	—	—	×	—	—
P140	PCLBUZ0	出力	≠	—	—	0	0	—	—
P154	LRXD2	入力	≠	—	—	1	×	—	0/1
P155	LTXD2	出力	≠	—	—	0	0	—	—

注. A/D ポート・コンフィグレーション・レジスタ (ADPC) の設定によりアナログ入力に割り当ててください。

No.15: 5.3.3 クロック動作ステータス制御レジスタ (CSC) 図下部の注意 6 に記載追加

注意 6. クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件は、表 5-2 のようになります。クロックを発振停止する場合は、クロック発振停止前条件が成立した後に停止してください。

No.16: 図 5-11 図下部の注意記載の誤記修正

図 5-11 動作スピード・モード制御レジスタ (OSMC) のフォーマット

WUTMMCK0 ^注	低速オンチップ・オシレータの動作制御
0	低速オンチップ・オシレータ停止
1	低速オンチップ・オシレータ動作

注 低速オンチップ・オシレータを停止する場合は、ビット 4 (WUTMMCK0) を 0 かつクロック選択レジスタ (CKSEL) のビット 4 ビット 0 (SELLOSC) を 0 に設定してください。

No.17: 図 5-13 図下部に備考記載追加

図 5-13 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) のフォーマット

アドレス：F00A0H リセット時：注 R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ 最低速 ↑ ↓ 最高速
0	0	0	0	0	0	
0	0	0	0	0	1	
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
1	1	1	1	1	0	
1	1	1	1	1	1	

注 リセット時の値は一つ一つのチップで異なります。

備考 高速オンチップ・オシレータ・クロック精度を HIOTRM レジスタ 1 ビットあたり約 0.05%補正できます。

No.18: 図 5-17 PLLMUL ビットに説明文追加

図 5-17 PLL 制御レジスタ (PLLCTL) のフォーマット

PLLMUL	PLL 逡倍選択制御
0	12 逡倍
1	16 逡倍

PLLMUL ビットを設定後、1μs 以上経過してから、PLLON ビットを 1 に設定してください。

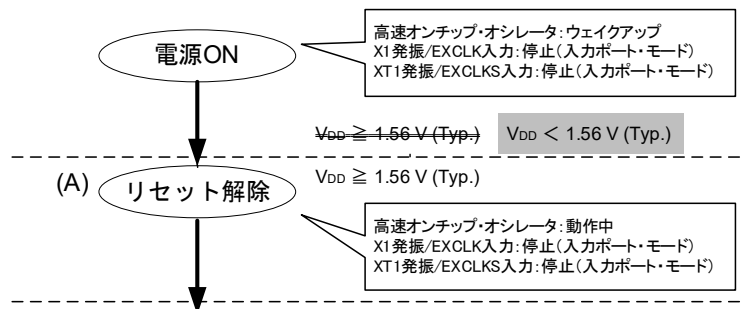
No.19: 図 5-17 PLL 制御レジスタ (PLLCTL) のフォーマット 図下部に注意記載追加

注意 13. PLLDIV1=1 (fPLL>32MHz) で SELPLL ビットを 1 から 0 に切り替える際は、タイマ RD カウント停止状態 (TRDSTR レジスタの TSTART0 ビット, TSTART1 ビットを 0) にしたのち、行ってください。

14. PLLON=1 にした状態で、LCKSEL1, LCKSEL0, PLLDIV1, PLLDIV0, PLLMUL ビットの値を変更しないでください。

No.20: 図 5-24 CPU クロック状態移行図 図内の誤記修正

図 5-24 CPU クロック状態移行図



No.21: 表 5-3 CPU クロックの移行について (1/3) 表内の「移行後の処理」に説明追加

表 5-3 CPU クロックの移行について (1/3)

CPU クロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1 クロック	X1 発振が安定していること。 • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後	CPU クロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると動作電流を低減可能
	外部メイン・システム・クロック	EXCLK 端子からの外間クロック入力を有効にすること。 • OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	:	:	
X1 クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること。 • HIOSTOP = 0	CPU クロックが移行後のクロックに切り替わったことを確認した後、X1 発振停止可能 (MSTOP = 1)
	外部メイン・システム・クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください)	—
	XT1 クロック	XT1 発振が安定かつサブ/低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • SELLOSC = 0 • 発振安定時間経過後	CPU クロックが移行後のクロックに切り替わったことを確認した後、X1 発振停止可能 (MSTOP = 1)
	:	:	
PLL クロック	PLL 発振が安定していること。 • LOCK = 1, PLLON = 1		X1 クロックが PLL の入力クロックとなっているので停止不可

No.22: 5.6.9 クロック発振停止前の条件 本文の説明追加

5.6.9 クロック発振停止前の条件

クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件を次に示します。
クロックを発振停止する場合は、クロック発振停止前条件を確認した後に停止してください。

No.23: 表 6-2 各製品に搭載しているタイマ入出力端子 表の記載修正

表 6-2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニットチャンネル		各製品の入出力端子の有無	
		144 ピン	100/80/64/48 ピン
ユニット 0	チャンネル 0	P17/TI00/TO00 TI00/TO00	
	チャンネル 1	P30/TI01/TO01 TI01/TO01	
	チャンネル 2	P16/TI02/TO02 TI02/TO02	
	チャンネル 3	P125/TI03/TO03 TI03/TO03	
	チャンネル 4	P13/TI04/TO04 TI04/TO04	
	チャンネル 5	P15/TI05/TO04 TI05/TO05	
	チャンネル 6	P14/TI06/TO06 TI06/TO06	
	チャンネル 7	P120/TI07/TO07 TI07/TO07	
ユニット 1	チャンネル 0	P41/TI10/TO10 TI10/TO10	
	チャンネル 1	P12/TI11/TO11 TI11/TO11	
	チャンネル 2	P41/TI12/TO12 TI12/TO12	
	チャンネル 3	P10/TI13/TO13 TI13/TO13	
	チャンネル 4	P31/TI14/TO14 TI14/TO14	
	チャンネル 5	P70/TI15/TO14 TI15/TO15	
	チャンネル 6	P32/TI16/TO16 TI16/TO16	
	チャンネル 7	P71/TI17/TO17 TI17/TO17	
ユニット 2	チャンネル 0	P110/TI20/TO20 TI20/TO20	x
	チャンネル 1	P111/TI21/TO21 TI21/TO21	x
	チャンネル 2	P112/TI22/TO22 TI22/TO22	x
	チャンネル 3	P113/TI23/TO23 TI23/TO23	x
	チャンネル 4	P114/TI24/TO24 TI24/TO24	x
	チャンネル 5	P115/TI25/TO25 TI25/TO25	x
	チャンネル 6	P116/TI26/TO26 TI26/TO26	x
	チャンネル 7	P117/TI27/TO27 TI27/TO27	x

No.24: 6.3 タイマ・アレイ・ユニットを制御するレジスタ 注の脱字（対象番号）を修正

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- PWM 出力遅延制御レジスタ 3 (PWMDLY3) ^{注2}
- ノイズ・フィルタ許可レジスタ 1, 2, 3 (NFEN1, NFEN2, NFEN3) ^{注2}
- ポート・モード・レジスタ (PMxx) ^{注1}
- ポート・レジスタ (Pxx) ^{注1}
- ユニット選択レジスタ (UTSEL) ^{注2}

注 1. 製品によって設定するポート・モード・レジスタ (PMxx) とポート・レジスタ (Pxx) が異なります。詳細は「6.3.17 ポート・モード・レジスタ 0, 1, 3, 4, 5, 6, 7, 11, 12, 14 (PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM11, PM12, PM14)」を参照してください。

注 2. PWM 出力遅延制御レジスタ 3 (PWMDLY3), ユニット選択レジスタ (UTSEL), ノイズ・フィルタ許可レジスタ 3 (NFEN3) は, 144 ピン製品のみ搭載しています。

No.25: 図 6-13 TMRmn レジスタ (1/4) CCSmn ビットのビット説明表の記載修正

図 6-13 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (1/4)

CCS mn	チャンネル n のカウント・クロック (f _{CLK}) の選択
0	CKS _{mn} 0, CKS _{mn} 1 ビットで指定した動作クロック (f _{MCK})
1	Tl _{mn} 端子からの入力信号の有効エッジ TAU0 チャンネル 5 では、TIS1 で選択した入力信号の有効エッジ ユニット 0 の場合： チャンネル 0, 1, 2, 3 では、TIS0 レジスタで選択した入力信号の有効エッジ チャンネル 4, 5, 6, 7 では、TIS1 レジスタで選択した入力信号の有効エッジ ユニット 1 の場合： チャンネル 6, 7 では、TIS2 レジスタで選択した入力信号の有効エッジ

カウント・クロック (f_{CLK}) は, タイマ・カウンタ, 出力制御回路, 割り込み制御回路に使用されます。

No.26: 図 6-13 TMRmn レジスタ (4/4) MDmn0 ビットの説明の誤記修正

図 6-13 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (4/4)

動作モード (MD _{mn} 3-MD _{mn} 1 で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
• インターバル・タイマ・モード (0, 0, 0) • キャプチャ・モード (0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
• イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
• ワンカウント・モード (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。その際に割り込みも発生する。その際に割り込みは発生しない。
• キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
上記以外		設定禁止

No.27: 図 6-17 TTm レジスタ ビット説明表の記載追加

図 6-17 タイマ・チャンネル停止レジスタ m (TTm) のフォーマット

アドレス：F01B4H, F01B5H (TT0), F01F4H, F01F5H (TT1), F01F4H, F01F5H (TT2) リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTH m3	0	TTH m1	0	TT m7	TT m6	TT m5	TT m4	TT m3	TT m2	TT m1	TT m0

TTH m3	チャンネル 3 が 8 ビット・タイマ・モード時, 上位側 8 ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	動作停止 (停止トリガ発生) TEHm3 ビットを 0 にクリアし、カウント動作停止状態になる。

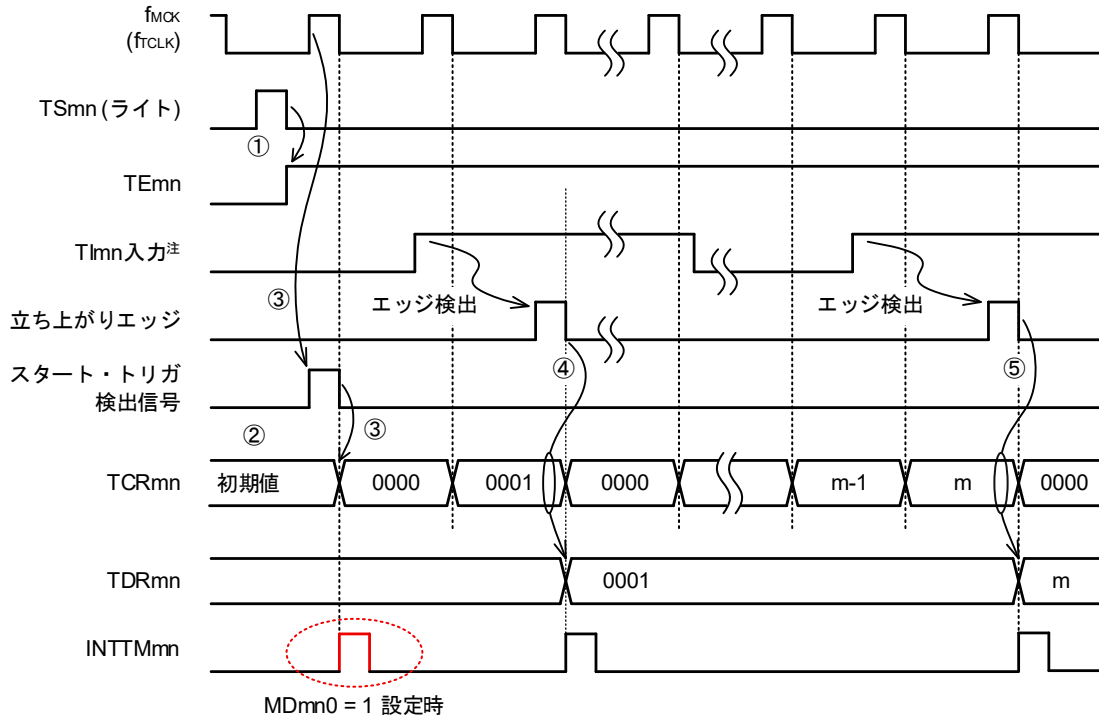
TTH m1	チャンネル 1 が 8 ビット・タイマ・モード時, 上位側 8 ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	動作停止 (停止トリガ発生) TEHm1 ビットを 0 にクリアし、カウント動作停止状態になる。

TTmn	チャンネル n の動作停止トリガ
0	トリガ動作しない
1	動作停止 (停止トリガ発生) TEEn ビットを 0 にクリアし、カウント動作停止状態になる。 チャンネル 1, 3 が 8 ビット・タイマ・モード時は, TTm1, TTm3 が下位側 8 ビット・タイマの動作停止トリガになります。

No.28: 図 6-33 図内の INTTMmn 信号の誤り修正

MDmn0 = 1 時は、カウント・スタート時に割り込み要求 (INTTMmn) が発生します。赤線部を追加。

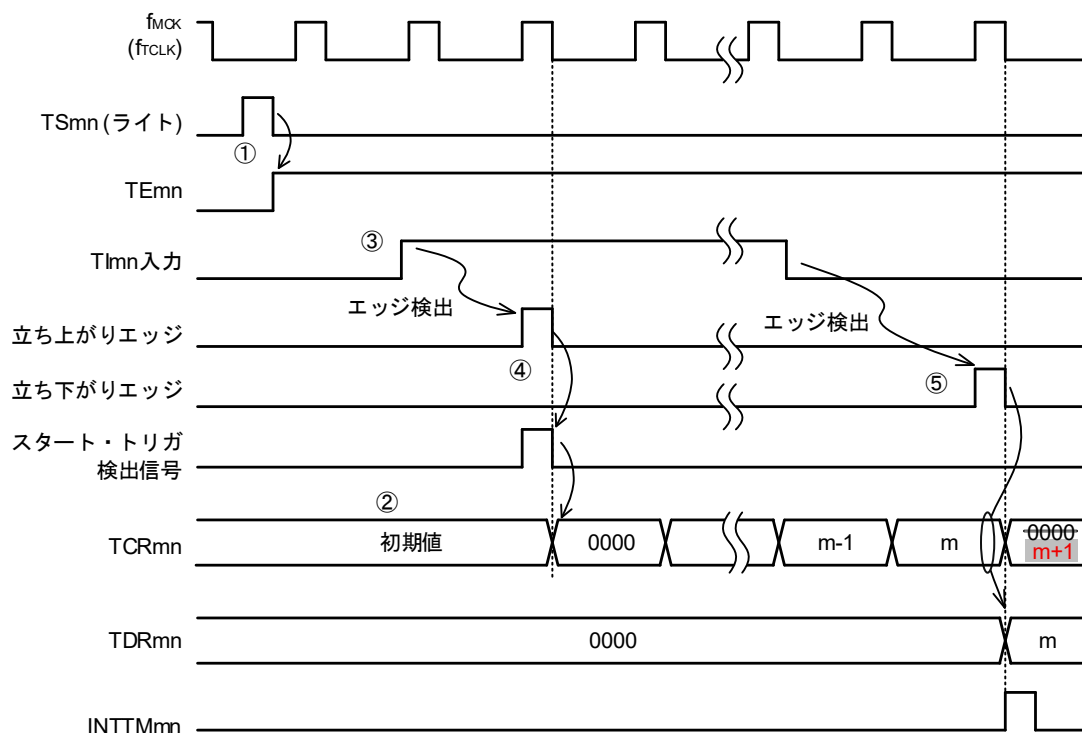
図 6-33 カウンタ動作タイミング (キャプチャ・モード：入力パルス間隔測定)



No.29: 図 6-35 図内の TCRmn の誤り修正

立ち上がりエッジ検出時に TCRmn は 0000H になります。

図 6-35 カウンタ動作タイミング (キャプチャ&ワンカウント・モード時)



No.30: 図 6-42 図内の「書き込み前」の TOE05 ビットの誤記修正

図 6-42 TO0n ビットの一括操作例

書き込み前

TO0	0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00
								0	0	0	1	0	0	0	1	0
TOE0	0	0	0	0	0	0	0	0	TOE07	TOE06	TOE05	TOE04	TOE03	TOE02	TOE01	TOE00
								0	0	0	0	0	1	1	1	1

書き込みデータ

0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

書き込み後

TO0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00
								1	1	1	0	0	0	1	0

No.31: 図内の誤記修正 (ノイズ・フィルタ許可レジスタの設定)

ノイズ・フィルタ許可レジスタの設定箇所を「動作中」から「チャンネル初期設定部」に移動します (例として、図 6-52 外部イベント・カウンタ機能時の操作手順を示します)。

対象：図 6-52、図 6-56、図 6-60、図 6-64、図 6-68、図 6-73

図 6-52 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定	:	:
チャンネル初期設定	ノイズ・フィルタ許可レジスタ 1, 2, 3 (NFEN1, NFEN2, NFEN3) の対応するビットを設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタ mn (TDRmn) にカウント数を設定する タイマ出力許可レジスタ m (TOEm) の TOEmn ビットに 0 を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
動作開始	:	:
動作中	TDRmn レジスタは、任意に設定値変更が可能 ノイズ・フィルタ許可レジスタ 1, 2, 3 (NFEN1, NFEN2, NFEN3) の対応するビットに 1 を設定する TCRmn レジスタは、常に読み出し可能 TSRmn レジスタは、使用しない TMRmn レジスタ, TOMmn, TOLmn, TOMn, TOEmn ビットは、設定値変更禁止	Tlmn 端子入力のエッジが検出されるごとに、カウンタ (TCRmn) はダウン・カウント動作を行う。0000H までカウントしたら、再び TCRmn レジスタは TDRmn レジスタの値をロードし、カウント動作を継続する。TCRmn = 0000H 検出で INTTmn 出力を発生する。以降、この動作を繰り返す。
動作停止	:	:
TAU 停止	:	:

動作再開

No.32: 図 6-72 SPLITmp ビットの誤記修正

図 6-72 ワンショット・パルス出力機能時 (スレーブ・チャンネル) のレジスタ設定内容例

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1 1/0	CKSmp0 1/0		CCSmp 0	M/S 注 0	STSmp2 1	STSmp1 1	STSmp0 1	CISmp1 0	CISmp0 0			MDmn3 1	MDmn2 0	MDmn1 0	MDmn0 0

MASTERmp ビットの設定 (チャンネル 2, 4, 6)
0 : スレーブ・チャンネル
SPLITmp ビットの設定 (チャンネル 1, 3)
~~1 : 16 ビット・タイマ~~
0 : 16 ビット・タイマ

No.33: 6.9.1 タイマ出力使用時の注意事項 説明文の誤記修正

6.9.1 タイマ出力使用時の注意事項

- (1) 割り込み機能で、タイマ・アレイ・ユニットの動作クロックに ~~PCLK fclk~~ (分周なし) を選択し、かつ ~~TDRmn (n=0-2, m=0-7)~~ TDRmn (m=0-2, n=0-7) に 0000H を設定した場合は、タイマ・アレイ・ユニットからの割り込み信号は H 固定となり割り込み要求を検出することができません。

本設定を使用する場合は、割り込み機能をマスクしてください。

No.34: 表 7-3 タイマ RJ のレジスタ構成 表内のアクセスサイズの誤記修正

表 7-3 タイマ RJ のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマ RJ モード・レジスタ 0	TRJMR0	00H	F0242H	⊗ 1, 8
タイマ RJ I/O イベント端子選択レジスタ 0	TRJISR0	00H	F0243H	⊗ 1, 8

No.35: 表 7-7 TRJIO0 端子設定 表の誤り修正

表 7-7 TRJIO0 端子設定

動作モード	PM4 レジスタ	TRJIOC0 レジスタ	TRJIO0 端子入出力
	PMXX ビット ^注 PM41 ビット	TEDGSEL ビット	
タイマ・モード	0 または 1	0 または 1	入力（使用しない）
パルス出力モード	1	0 または 1	出力禁止（Hi-z 出力）
	0	1	正転出力
		0	反転出力
イベント・カウンタ・モード	1	0 または 1	入力
パルス幅測定モード			
パルス周期測定モード			

注 ~~TRJIO0 機能と兼用しているポートに対応するポート・モード・レジスタ (PMXX) のビット~~

No.36: 図 8-40 図下部の備考の誤記修正

図 8-40 カウント・ソースのブロック図

備考 ~~TRD_CKSEL~~ : CKSEL レジスタのビット
TRD_CKSEL : CKSEL レジスタのビット

No.37: 8.5.4 インプットキャプチャ機能 説明文の誤記修正

8.5.4 インプットキャプチャ機能

- インプットキャプチャ・モードでは、TRDSTR レジスタの ~~TRDTSTARTi~~ ビット^注 TSTARTi ビットが 0（カウント停止）のときも TRDIORji レジスタの TRDIOj0, TRDIOj1 ビットで選択したエッジが TRDIOji 端子に入力されると、TRDIOji 入力の有効エッジのインプットキャプチャ割り込み要求が発生します（i = 0,1, j = A, B, C, D）。インプットキャプチャ信号のパルス幅はタイマ RD の動作クロック（f_{TRD}）の 3 サイクル以上にしてください。

No.38: 図 9-2 PER0 レジスタのフォーマット 図下部の注意 2 の不要な記載を削除

図 9-2 周辺イネーブル・レジスタ 0 (PER0) のフォーマット

注意 2. 動作スピード・モード制御レジスタ (OSMC) の RTCLPC = 1 に設定することにより、STOP モード時およびサブ/低速オンチップ・オシレータ選択クロックで CPU 動作中の HALT モード時に周辺機能へのクロック供給を停止することが可能です。~~その場合、RTGEN ビットは 1 に設定し、PER0 レジスタのその他のビット 0-6 は 0 に設定してください。~~

No.39: 図 9-8 RWAIT ビットの説明修正

図 9-8 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1) のフォーマット (2/2)

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEAR カウンタ停止設定・カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず 1 を書き込んでください。
 内部カウンタ（16 ビット）は動作を継続するので、1 秒以内に読み出しや書き込みを終了し、0 に戻してください。
 アラーム割り込みを使用するときに、カウンタの読み出し／書き込みを行う場合は、RTCC0 レジスタの CT2~CT0 ビットを 010B（1 秒毎に定周期割り込み発生）にして、RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行ってください。
 RWAIT = 1 に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで動作クロック（f_{RTC}）の最大 1 クロック時間がかかります。^{注1、注2}
 内部カウンタ（16 ビット）のオーバフローが RWAIT = 1 のときに起きた場合は、オーバフローが起きたことを保持して RWAIT = 0 になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

No.40: 図 9-23 リアルタイム・クロックの読み出し手順 図下部の注意記載修正

図 9-23 リアルタイム・クロックの読み出し手順

注意 RWAIT = 1 から RWAIT = 0 までの処理を 1 秒以内で行ってください。アラーム割り込みを使用するときに、カウンタ読み出しを行う場合は、RTCC0 レジスタの CT2~CT0 ビットを 010B (1 秒毎に定周期割り込み発生) にして、RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行ってください。

No.41: 図 9-24 リアルタイム・クロックの書き込み手順 図下部の注意記載修正

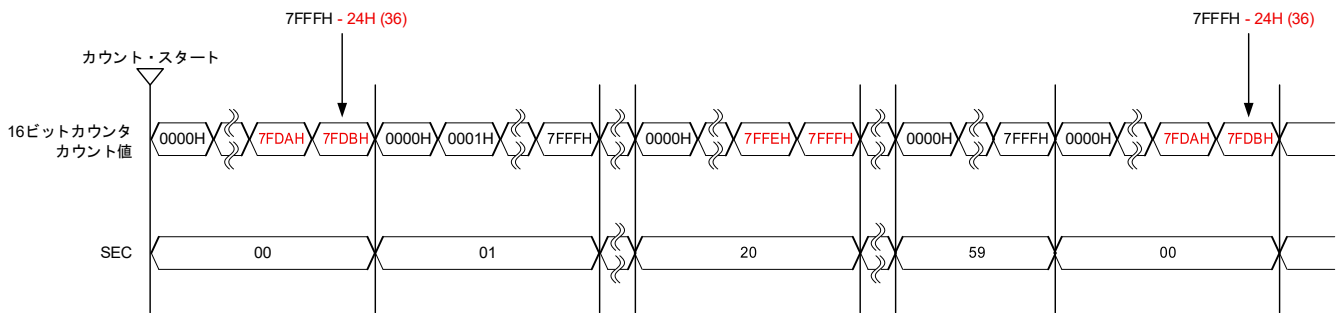
図 9-24 リアルタイム・クロックの書き込み手順

注意 1. RWAIT = 1 から RWAIT = 0 とするまでを 1 秒以内で行ってください。アラーム割り込みを使用するときに、カウンタ書き込みを行う場合は、RTCC0 レジスタの CT2~CT0 ビットを 010B (1 秒毎に定周期割り込み発生) にして、RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行ってください。

No.42: 図 9-27 図の誤り修正

条件と図が異なっているため修正します (赤文字部を修正)。

図 9-27 (DEV, F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 1, 1, 1, 1, 1, 1, 0, 1, 1, 1, 0) の場合



No.43: 11.1 ウォッチドッグ・タイマの機能 説明文に注記説明追加

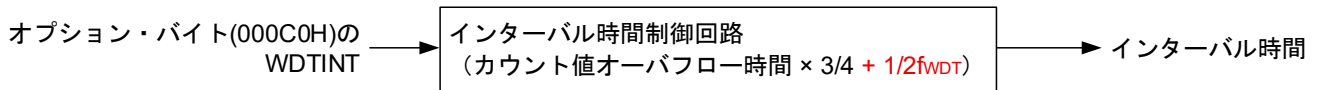
11.1 ウォッチドッグ・タイマの機能

注意. ウィンドウ・オープン期間を "75%" (WINDOW1, WINDOW0 ビットが 10B) で使用する場合は、カウンタ値が 50% のタイミング以外でカウンタをクリアする命令 (WDTE レジスタに ACH 書き込み) を行ってください。

No.44: 図 11-1 ウォッチドッグ・タイマのブロック図 図内の誤記修正

赤文字部の記載を追加。

図 11-1 ウォッチドッグ・タイマのブロック図



No.45: 表 11-4 ウィンドウ・オープン期間 = 75%時の注意記載追加

表 11-4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 % ^注
1	1	100 %

注 ウィンドウ・オープン期間を 75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア (WDTE への ACH の書き込み) を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ (WDTIIF) を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ・オーバフロー時間 (f _{WDT} = 17.25 kHz (MAX.))	ウィンドウ・オープン期間を 75%に設定した時のカウンタのクリア禁止期間
0	0	0	2 ⁶ /f _{WDT} (3.71 ms)	1.85 ms~2.51 ms
0	0	1	2 ⁷ /f _{WDT} (7.42 ms)	3.71 ms~5.02 ms
0	1	0	2 ⁸ /f _{WDT} (14.84 ms)	7.42 ms~10.04 ms
0	1	1	2 ⁹ /f _{WDT} (29.68 ms)	14.84 ms~20.08 ms
1	0	0	2 ¹¹ /f _{WDT} (118.72 ms)	59.36 ms~80.32 ms
1	0	1	2 ¹³ /f _{WDT} (474.89 ms)	237.44 ms~321.26 ms
1	1	0	2 ¹⁴ /f _{WDT} (949.79 ms)	474.89 ms~642.51 ms
1	1	1	2 ¹⁶ /f _{WDT} (3799.18 ms)	1899.59 ms~2570.04 ms

No.46: 表 12-3 A/D 変換時間の選択 表下部の注意 1 の記載修正

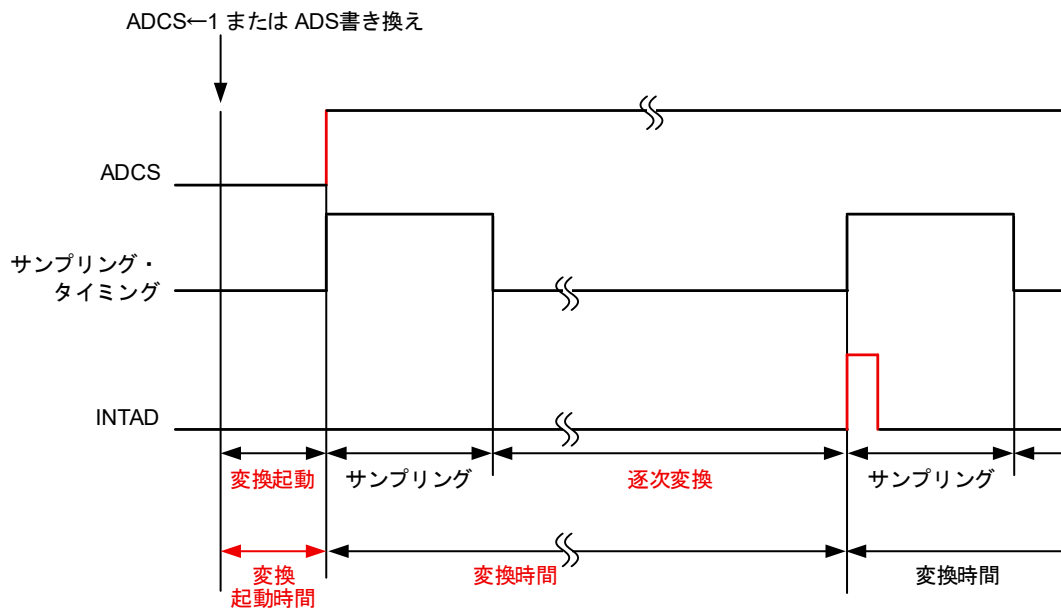
対象：表 12-3 (1/4) ~ 表 12-3 (4/4)

注意 1. FR2-FR0, LV1, LV0 ビットを同一データ以外に書き換える場合は、~~いったん A/D 変換動作を停止 (ADCS = 0) させたのちに行ってください~~ 変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。

No.47: 図 12-5 タイミング図の誤り修正

変更箇所を赤線、および赤文字で示します。

図 12-5 A/D コンバータのサンプリングと A/D 変換のタイミング (例 ソフトウェア・トリガ・モードの場合)

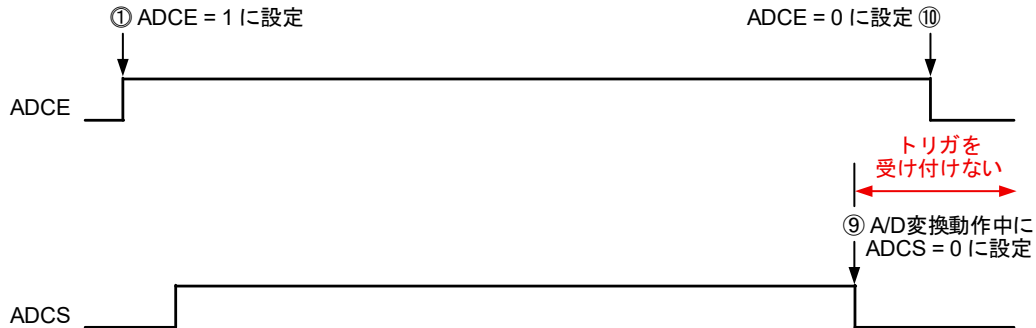


No.48: 図 12-25, 12-26, 12-27 ADCE = 0 設定部の誤記修正

タイミング図内の「ADCE = 0 設定」部の『トリガ待機状態』を修正（例として、図 12-25 を示す。赤文字部が変更箇所）。

対象：図 12-25、図 12-26、図 12-27

図 12-25 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）
動作タイミング例



No.49: 図 12-31 図題の誤記修正

誤) 図 12-31 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）

動作タイミング例

正) 図 12-31 ハードウェア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

動作タイミング例

No.50: 図 12-32, 12-33, 12-34, 12-35, 12-36 図内の誤記修正（ADRCK ビット部の説明）

フローチャート内の ADM2 レジスタ 設定部の記載修正。

誤)

- ADM2 レジスタ
ADREFP1, ADREFP0, ADREFM ビット：基準電圧源の選択
ADRCK ビット：割り込み信号が発生する A/D 変換結果比較値の範囲を AREA1, AREA3, または AREA2 から選択
ADTYP ビット：8 ビット／10 ビット分解能

正)

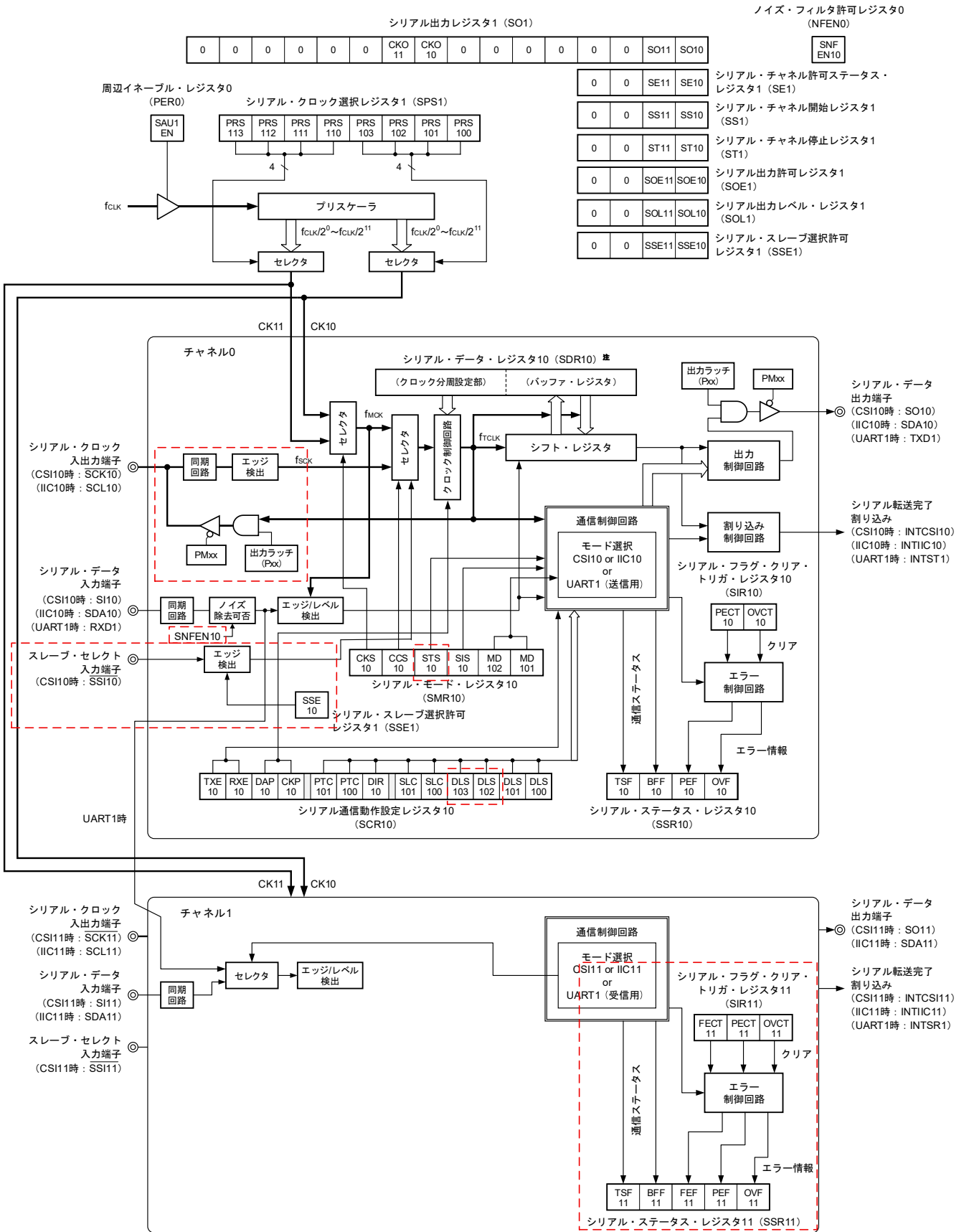
- ADM2 レジスタ
ADREFP1, ADREFP0, ADREFM ビット：基準電圧源の選択
ADRCK ビット：ADRCK = 0 または 1 に設定
ADTYP ビット：8 ビット／10 ビット分解能

No.51: 表 14-3 コンパレータを制御するレジスタ 表内の誤記修正

表 14-3 コンパレータを制御するレジスタ

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
周辺イネーブル・レジスタ 1	PER1	00H	F02C0H	Ⓢ 1, 8

図 15-2 シリアル・アレイ・ユニット 1 のブロック図



No.53: 図 15-10 SCRmn レジスタのフォーマット 図下部の注記を修正

図 15-10 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット

注 1. ~~m=2のみ~~ SCR21 レジスタのみ。

注意 ~~m=0, 1 : ビット 6, 10, 11 には、必ず 0 を設定してください。~~

~~m=2 : ビット 3, 6, 11 には必ず 0, ビット 2 には必ず 1 を設定してください。~~

SCR00, SCR01, SCR10, SCR11 : ビット 6, 10, 11 には、必ず 0 を設定してください。

SCR20 : ビット 3, 6, 10, 11 には必ず 0, ビット 2 には必ず 1 を設定してください。

SCR21 : ビット 3, 6, 11 には必ず 0, ビット 2 には必ず 1 を設定してください。

No.54: 図 15-12 SIRmn レジスタのフォーマット 図下部の注記を修正

図 15-12 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) のフォーマット

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECT mn 注	PECT mn	OVCT mn

注. ~~ユニット 2 は SIR21 レジスタのみ~~ SIR01, SIR11, SIR21 レジスタのみ。

No.55: 図 15-13 SSRmn レジスタのフォーマット 図下部の注記を修正

図 15-13 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn 注	PEF mn	OVF mn

注. ~~ユニット 2 は SSR21 レジスタのみ~~ SSR01, SSR11, SSR21 レジスタのみ。

No.56: 図 15-148 図内の誤記 (SSm レジスタ設定部) 修正

図 15-148 SPI 機能 (CSI00, CSI01, CSI10, CSI11) のスレーブ送受信時のレジスタ設定内容例 (2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm) . . . 対象チャンネルのビットのみ 1 に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEm+ SSm1 0/1	SSEm0 SSm0 0/1

No.57: 図 15-157 図内の誤記 (SCRmn レジスタ設定部) 修正

図 15-157 UART (UART0, UART1, UART2) の UART 送信時のレジスタ設定内容例 (1/2)

(b) シリアル通信動作設定レジスタ mn (SCRmn)

① UART0, UART1

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXE mn	RXE mn	DAP mn	CKP mn	0	0	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	DLS mn3	DLS mn2	DLS mn1	DLS mn0
	1	0	0	0			0/1	0/1	0/1		0/1	0/1	0/1	0/1	0/1	0/1

データ長の設定
 0110B: 7 ビット・データ長
 0111B: 8 ビット・データ長
 1000B: 9 ビット・データ長
 1111B: 40 ビット・データ長
 16 ビット・データ長

② UART2

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	1	DLS mn1	DLS mn0
	1	0	0	0		0	0/1	0/1	0/1		0/1	0/1			0/1	0/1

データ長の設定
 10B: 7 ビット・データ長
 11B: 8 ビット・データ長
 01B: 9 ビット・データ長

No.58: 図 15-171 図内の誤記 (SCRmn レジスタ設定部) 修正

図 15-171 UART (UART0, UART1, UART2) の UART 受信時のレジスタ設定内容例 (1/2)

(c) シリアル通信動作設定レジスタ mn (SCRmn)

① UART0, UART1

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXE mn	RXE mn	DAP mn	CKP mn	0	0	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	DLS mn3	DLS mn2	DLS mn1	DLS mn0
	0	1	0	0			0/1	0/1	0/1		0	1	0/1	0/1	0/1	0/1

データ長の設定
 0110B: 7 ビット・データ長
 0111B: 8 ビット・データ長
 1000B: 9 ビット・データ長
 1111B: 40 ビット・データ長
 16 ビット・データ長

No.59: 16.3.7 IICA ハイ・レベル幅設定レジスタ 0 (IICWH0) 本文および備考の記載修正

16.3.7 IICA ハイ・レベル幅設定レジスタ 0 (IICWH0)

シリアル・インタフェース IICA が、出力する SCLA0 端子信号のハイ・レベル幅を設定するレジスタです。

IICWH0 レジスタは、8 ビット・メモリ操作命令で設定します。

IICWH0 レジスタは、I2C が動作禁止 (IICA コントロール・レジスタ 00 (IICCTL00) のビット 7 (IICE0) = 0) のときに設定してください。

リセット信号の発生により、FFH になります。

IICWH0 の設定方法については「16.4.2 IICWL0, IICWH0 レジスタによる転送クロック設定方法」を参照してください。

図 16-11 IICA ハイ・レベル幅設定レジスタ 0 (IICWH0) のフォーマット

アドレス：F0233H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
IICWH0								

備考 ~~IICWL0, IICWH0 レジスタによる転送クロックの設定方法は「16.4.2 IICWL0, IICWH0 レジスタによる転送クロック設定方法」を参照してください。~~ ← 本文に移動

シリアル・クロックの最小周期は、 $(IICWL0 + 1) + (IICWH0 + 1)$ になります。

No.60: 16.4.2 IICWL0, IICWH0 レジスタによる転送クロック設定方法 本文下部に注意記載追加

16.4.2 IICWL0, IICWH0 レジスタによる転送クロック設定方法

注意 3. シリアル・クロックの最小周期は、 $(IICWL0 + 1) + (IICWH0 + 1)$ になります。SDAA0, SCLA0 信号の立ち上がり時間 (t_r) と立ち下がり時間 (t_f) を考慮し、IICWL0, IICWH0 レジスタに設定する値を決めてください。

No.61: 図 16-33 (3) 下部の説明文の誤記修正

図 16-33 スレーブ→マスタ通信例 (マスタ：8→9 クロック、スレーブ：9 クロックでウエイト選択)

(3) データ～データ～ストップ・コンディション

図 16-33 (3) データ～データ～ストップ・コンディションの⑧～⑩の説明を次に示します。

⑧ 8 クロック目の立ち下がり、マスタ側によるウエイト (SCLA0 = 0) がかかり、マスタ側の割り込み (INTIICA0 : 転送完了割り込み) が発生し、マスタ側は ~~ACKE0 = 0~~ **ACKE0 = 1** なので、ハードウェアにより ACK がスレーブ側へ送信されます。

No.62: 17.2.1 (24) LDBmn レジスタ 説明文の誤記修正

(24) LIN/UART データ・バッファ m・レジスタ (LDBnm) (m=1~8)

レスポンス受信の場合：

レスポンスフィールドで受信したデータが格納されます。

受信データは上書きされます。また、~~エラー検出時、受信が中断される前までのデータは格納されます~~ **エラー検出時は、エラーを検出したバイトまでのデータが格納されます。**

これらのレジスタは、FTS ビットが"1" (フレーム送信/ウェイクアップ送受信開始) のときに読み出さないでください。

No.63: 17.2.2 (23) LDBmn レジスタ 説明文の誤記修正

(23) LIN/UART データ・バッファ m・レジスタ (LDBnm) (m=1~8)

レスポンス受信の場合：

レスポンスフィールドで受信したデータが格納されます。

受信データは上書きされます。また、~~エラー検出時、受信が中断される前までのデータは格納されます~~ **エラー検出時は、エラーを検出したバイトまでのデータが格納されます。**

これらのレジスタは、RTS が"1" (レスポンス送信/受信開始) のときに読み出さないでください。

No.64: 17.2.3 (24) UART 送信データ・レジスタ (LUTDRn) 説明文の誤記修正

(24) UART 送信データ・レジスタ (LUTDRn)

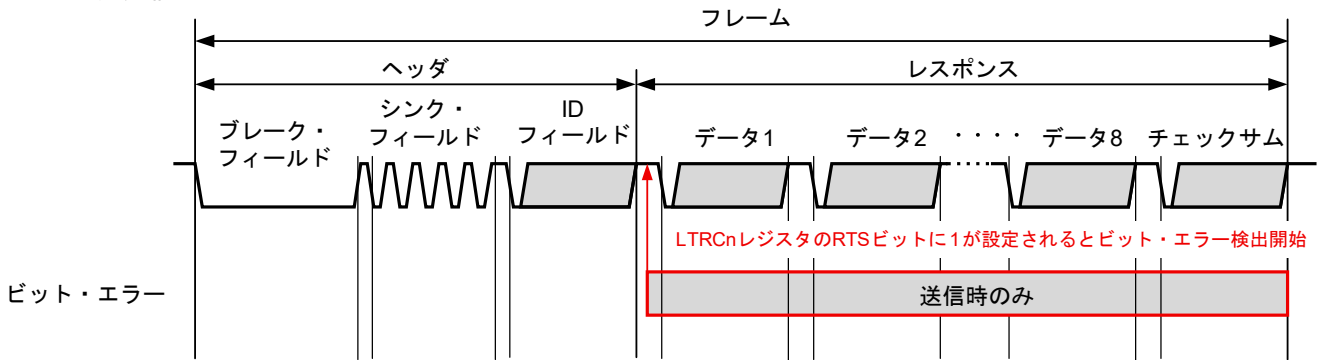
送信データ・レジスタから UART 送信データ・レジスタにバッファから送信するデータを設定します。

No.65: 図 17-21 図内のビットエラー検出開始タイミングの誤記修正

ビットエラー検出タイミングの説明を追加 (赤字および赤線で改訂箇所を示します)。

図 17-21 LIN エラー検出の対象時間領域 (LIN スレーブモード)

<フレーム送受信>



No.66: 17.5.1 (5) SNOOZE モード機能 説明文下部の注意記載追加

(5) SNOOZE モード機能

注意 5. STOP モードに移行後、LRXDn 端子の立下りエッジ検出により SNOOZE モードへ移行します。また、スタート・ビット入力を検出できないような短いパルスを受けると UART 受信が開始されず、SNOOZE モードを継続することがあります。この場合、次の UART 受信で正しくデータ受信できず、受信エラーが発生することがあります。

No.67: 表 17-21, 17-22, 17-23, 17-24 表の記載改訂

K グレード製品（高速オンチップ・オシレータの発振精度（±3%））を考慮した記載に変更。

表 17-21 SNOOZE モード時の UART 受信ボー・レート設定（LIN 通信クロック源 = 32MHz、FRQSEL4 = 0）

UART ボー・レート （目標ボー・レート）	製品グレード	LIN 通信クロック源	プリスケアラ LPRS[2:0]	ボー・レート・ジェネレータ 0-1 LBRP0-1
1200bps	L グレード	32MHz±2%	001B (1/2)	828
2400bps	L グレード			412
4800bps	L グレード			203

表 17-22 SNOOZE モード時の UART 受信ボー・レート設定（LIN 通信クロック源 = 24MHz、FRQSEL4 = 0）

UART ボー・レート （目標ボー・レート）	製品グレード	LIN 通信クロック源	プリスケアラ LPRS[2:0]	ボー・レート・ジェネレータ 0-1 LBRP0-1
1200bps	L グレード	24MHz±2%	001B (1/2)	621
	K グレード	24MHz±3%		621
2400bps	L グレード	24MHz±2%	001B (1/2)	308
	K グレード	24MHz±3%		308
4800bps	L グレード	24MHz±2%	001B (1/2)	152
	K グレード	24MHz±3%		152

表 17-23 SNOOZE モード時の UART 受信ボー・レート設定（LIN 通信クロック源 = 32MHz、FRQSEL4 = 1）

UART ボー・レート （目標ボー・レート）	製品グレード	LIN 通信クロック源	プリスケアラ LPRS[2:0]	ボー・レート・ジェネレータ 0-1 LBRP0-1
1200bps	L グレード	32MHz±2%	001B (1/2)	826
2400bps	L グレード			410

表 17-24 SNOOZE モード時の UART 受信ボー・レート設定（LIN 通信クロック源 = 24MHz、FRQSEL4 = 1）

UART ボー・レート （目標ボー・レート）	製品グレード	LIN 通信クロック源	プリスケアラ LPRS[2:0]	ボー・レート・ジェネレータ 0-1 LBRP0-1
1200bps	L グレード	24MHz±2%	001B (1/2)	619
	K グレード	24MHz±3%		619
2400bps	L グレード	24MHz±2%	001B (1/2)	307
	K グレード	24MHz±3%		307

No.68: 17.6 LIN セルフテストモード 本文の説明追加

17.6 LIN セルフテストモード

LIN セルフテストモードでは、ボー・レート・ジェネレータの設定に関わらず、最速ボー・レートで動作します。

ボー・レートは、ボー・レート関連レジスタの設定に関わらず、LIN 通信クロック源/16[bps]で動作します（LWBRn レジスタの NSPB ビットは、必ず"0000b"または"1111b"で使用してください。また、LWBRn レジスタの LPRS ビットは、必ず"000b"で 使用してください。）。

No.69: 17.6.2, 17.6.3, 17.6.4, 17.6.5 レジスタ設定値の誤記、および注記の誤記修正

17.6.2 LIN マスタ セルフテストモードにおける送信

- ・ボー・レート、ノイズフィルタ、割り込み出力関連レジスタを設定する。

LWBRn レジスタ = ~~0000xxxxb~~ 0000000xb^{注1}

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。そのため、設定は必須ではありません。

~~LWBRn レジスタの LPRS ビット~~、LBRPn0 レジスタ、LBRPn1 レジスタ、LMDn レジスタの LCKS ビット

17.6.3 LIN マスタ セルフテストモードにおける受信

- ・ボー・レート、ノイズフィルタ、割り込み出力関連レジスタを設定する。

LWBRn レジスタ = ~~0000xxxxb~~ 0000000xb^{注1}

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。そのため、設定は必須ではありません。

~~LWBRn レジスタの LPRS ビット~~、LBRPn0 レジスタ、LBRPn1 レジスタ、LMDn レジスタの LCKS ビット、LSCn レジスタの IBS ビット

17.6.4 LIN スレーブ セルフテストモードにおける送信

- ・ボー・レート、ノイズフィルタ、割り込み出力関連レジスタを設定する。

LWBRn レジスタ = ~~0000xxxxb~~ 00000000b^{注1}

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。そのため、設定は必須ではありません。

~~LWBRn レジスタの LPRS ビット~~、LBRPn0 レジスタ、LBRPn1 レジスタ

17.6.5 LIN スレーブ セルフテストモードにおける受信

- ・ボー・レート、ノイズフィルタ、割り込み出力関連レジスタを設定する。

LWBRn レジスタ = ~~0000xxxxb~~ 00000000b^{注1}

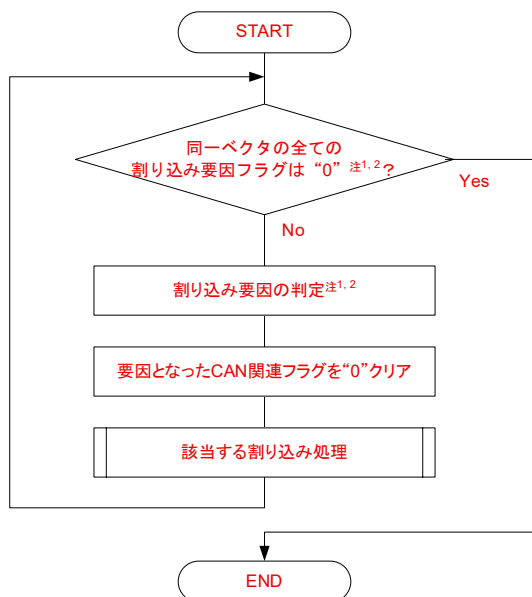
注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。そのため、設定は必須ではありません。

~~LWBRn レジスタの LPRS ビット~~、LBRPn0 レジスタ、LBRPn1 レジスタ、LSCn レジスタの IBS ビット

No.70: 18.15 CAN モジュールの注意事項 割り込み処理に関する説明追加

18.15 CAN モジュールの注意事項

- ・CAN モジュールの割り込み要求フラグは、割り込みが受け付けられても自動的に 0 になりませんので、プログラムで 0 にしてください。これらのフラグが 1 の場合、それ以降に成立した割り込み要因により割り込みは発生しません。割り込み要求フラグをクリアする場合は、割り込み要因に対応する CAN モジュールの割り込み要求フラグがすべて “0” になったことを確認してください。以下の図を参照してください。



注1. 割り込み要因に対応するCANモジュールの割り込み要求フラグがすべて “0” になったことを確認した後に割り込み処理を終了してください。

例) 受信FIFOバッファ0のみを許可 (RFCC0レジスタのRFIEフラグが1) して受信FIFO割り込みを使用する場合、割り込み処理内でRFSTS0レジスタのRFIFフラグを0にします。その後、RFSTS0レジスタのRFIFフラグが“0”になったことを確認して割り込みを終了します。

2.CANiウェイクアップ割り込みについては、割り込み機能によってのみ制御されるため、CANモジュール側に割り込み要求フラグはありません。。

No.71: 20.3 動作説明 本文の誤記修正

20.3 動作説明

転送モードにはノーマル・モードとリピート・モードがあり、転送サイズは8ビット転送と16ビット転送があります。また、~~DTCCTj~~ DTCCRj (j = 0~23) レジスタのCHNEビットが1(チェーン転送許可)のとき、1つの起動要因に対して複数のコントロール・データを読み出し、連続してデータを転送します(チェーン転送)。

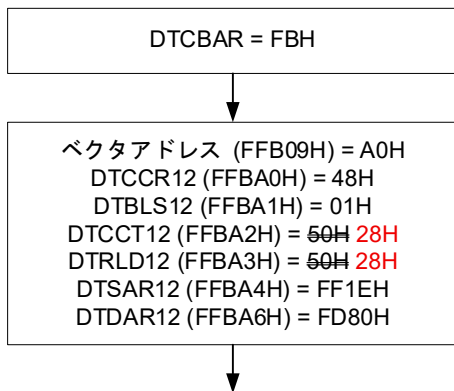
No.72: 20.3.2 (1) 本文および図 20-22 の誤記修正

20.3.2 ノーマル・モード

(1) ノーマル・モードの使用例 1：A/D 変換結果の連続取り込み

- A/D 変換結果レジスタ (FFF1EH, FFF1FH) の2バイトデータを RAM の FFD80H~FFDCFH の80バイトへ40回転送

図 20-22 ノーマル・モードの使用例 1：A/D 変換結果の連続取り込み



No.73: 20.3.4 チェイン転送 本文の説明文修正

20.3.4 チェイン転送

DTCCRj (j = 0~22) レジスタのCHNEビットが1(チェーン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。

DTCが起動すると、起動要因に対応したDTCベクタ・アドレスから読み出されたデータによりコントロール・データを選択し、DTCコントロール・データ領域上に配置されたコントロール・データを読み出します。読み出したコントロール・データのCHNEビットが1(チェーン転送許可)であれば、転送終了後、連続して配置した次のコントロール・データを読み出して転送します。この動作をCHNEビットが0(チェーン転送禁止)のコントロール・データのデータ転送が終了するまで続けます。

複数のコントロール・データを用いてチェーン転送を行う場合、2番目以降のコントロール・データの設定がノーマル・モードの時は、1番目の転送回数の設定が有効となり、2番目以降の転送回数の設定は無効となります。

また、2番目以降のコントロール・データの設定がリピート・モードの時は、コントロール・データを書き戻すため、コントロール・データごとに転送回数を設定する必要があります。

図 20-26 にチェーン転送でのデータ転送を示します。

No.74: 23.1 キー割り込みの機能 本文下部の 注意 の記載修正

23.1 キー割り込みの機能

注意 製品ごとに端子の割り当てが異なります。PIOR50ビットでKRn機能をどのI/Oポートに割り当てるかを選択することができます。PIOR50ビットで割り当て可能なP70-P74, P80-P87, P90-P92はA/D入力と兼用しており、初期状態はアナログ入力ポートになります。キー入力割り込みを使用する場合、PIOR50ビット、ADPCレジスタ、PMC7レジスタでデジタル入力ポートに切り替えてからキー割り込み機能を使用してください。PIOR50ビット、ADPCレジスタ、PMC7レジスタの詳細は「4.3.14 周辺I/Oリダイレクション・レジスタ5 (PIOR5)」, 「12.3.11 A/Dポート・コンフィギュレーション・レジスタ (ADPC)」および「4.3.6 ポート・モード・コントロール・レジスタ 7, 12 (PMC7, PMC12)」を参照してください。

No.75: 26.1 パワーオン・リセット回路の機能 本文下部の備考の記載修正

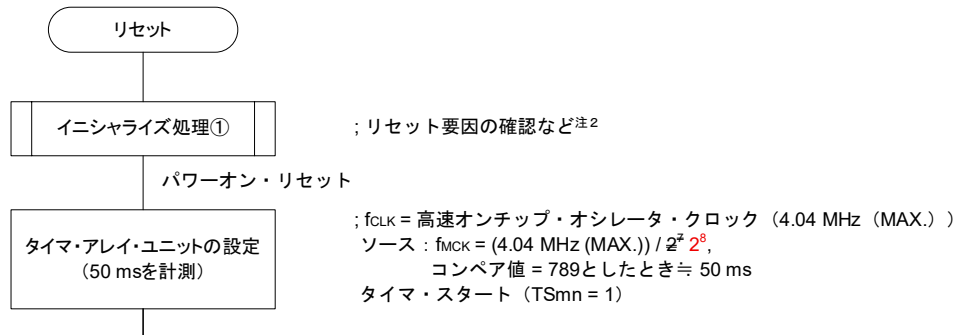
26.1 パワーオン・リセット回路の機能

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。パワーオン・リセット (POR) / ウォッチドッグ・タイマ (WDT) またはクロック・モニタ/電圧検出 (LVD) 回路/不正命令の実行/不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグが RESF レジスタ, POCRES レジスタに配置されています。RESF レジスタは WDT/LVD/不正命令の実行/クロック・モニタ/不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。~~POCRES レジスタは、クロック・モニタによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。~~ クロック・モニタによって内部リセット信号が生成されると、POCRES レジスタの CLKRF ビットが 1 に設定されます。POCRES レジスタの POCRES0 ビットは、事前に 1 に設定されていた場合、POR リセットにより 0 にクリアされます。POCRES レジスタ, RESF レジスタの詳細については「第 25 章 リセット機能」を参照してください。

No.76: 図 26-3 図内のコメント部の誤記修正

図 26-3 リセット解除後のソフト処理例 (1/2)

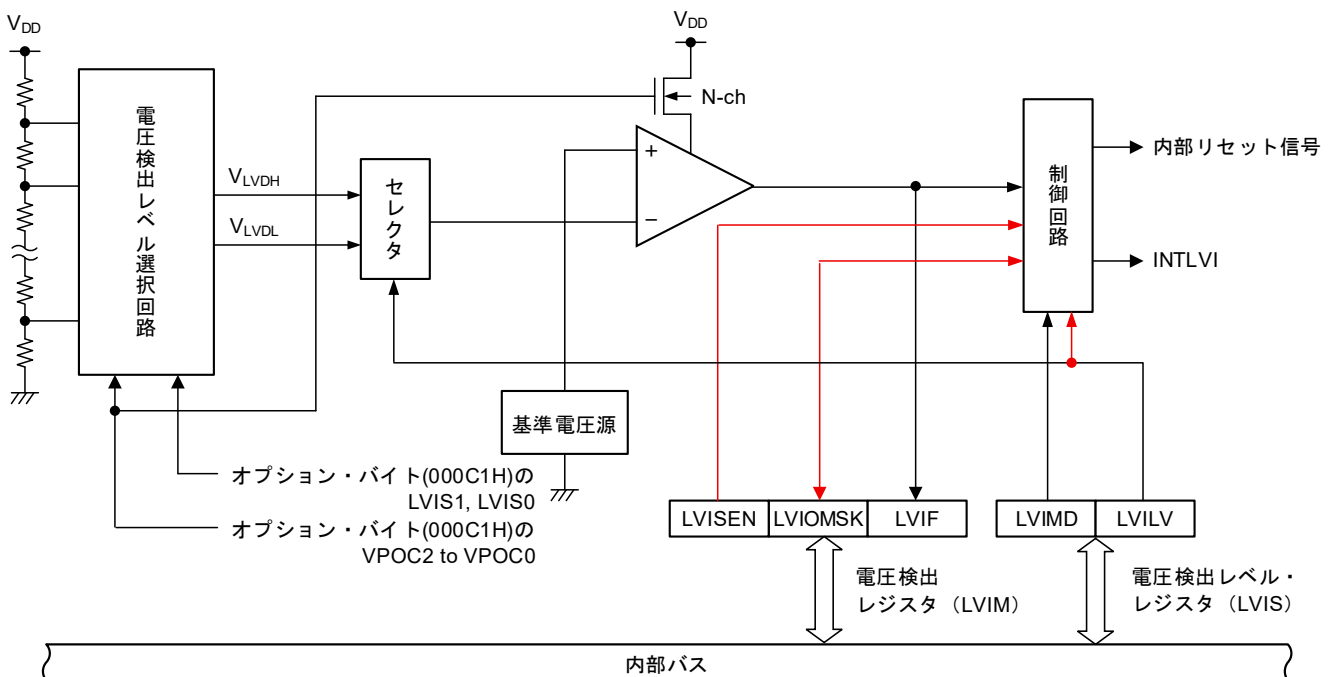
(1) POR検出電圧付近での電源電圧変動が50ms以下の場合



No.77: 図 27-1 電圧検出回路のブロック図 図の誤り修正

変更箇所を赤線で示します。

図 27-1 電圧検出回路のブロック図



No.78: 表 27-1 表内の誤記修正

表 27-1 ユーザ・オプション・バイト (000C1H/020C1H) による LVD 動作モード・検出電圧設定

- 割り込み&リセット・モード時の設定

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	立ち下がり							
4.42 V	4.32 V	2.75 V	1	0	0	0	1	0	0
4.62 V	4.52 V	2.75 V			0	1	0	0	0
3.32 3.22 V	3.15 V	2.75 V			0	1	1	0	1
4.74 V	4.64 V							0	0
上記以外			設定禁止						

No.79: 28.1, 28.3.2 本文の不要な記載を削除

IEC61508 はシステムに要求される仕様につき、記載を削除します。

28.1 安全機能の概要

安全規格 IEC60730, ~~IEC61508~~ に対応するため、RL78/F15 では以下の安全機能を搭載しています。
この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。

28.3.2 CRC 演算機能 (汎用 CRC)

~~IEC61508 では動作中の安全を保証しなければならないため、CPU 動作中にもデータ確認する手段が必要です。~~
この汎用 CRC では、CPU 動作中に、周辺機能として CRC 演算を実行できます。汎用 CRC を使用することで CPU 動作中に、周辺機能として CRC 演算を実行できます。

No.80: 28.3.5 クロック・モニタ (3) 使用上の注意 説明部に記載追加

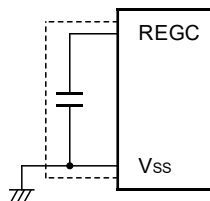
(3) 使用上の注意

- クロック・モニタ動作中に PLL を停止させて STOP モードに移行する際は、STOP 命令の前に PLL 制御レジスタ (PLLCTL) のビット 0 (PLLON) を 0 (PLL 停止) に設定してください。
- オンチップ・デバッグ時に本機能を評価しないでください。

No.81: 29.1 レギュレータの概要 本文下部の図の「注意」記載の誤記修正

29.1 レギュレータの概要

RL78/F15 は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC 端子にはレギュレータ安定としてコンデンサ (0.47~1 μF) を介し、Vss に接続してください。また、内部電圧の安定化を図るため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の破線配線を極力短くしてください。

No.82: 図 30-4 図下部の備考記載修正

図 30-4 オンチップ・デバッグ・オプション・バイト (000C3H/020C3H) のフォーマット

アドレス：000C3H/020C3H 注1

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	HPIEN 注2	OCDERSD

備考 ビット 3, 2 3-1 は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット 3, 2 にも、必ず初期値 (0, 1) を設定してください。

No.83: 31.8.3 データ・フラッシュへのアクセス手順 本文下部の注意記載追加

31.8.3 データ・フラッシュへのアクセス手順

注意 4. fCLK (CPU/周辺機器ハードウェアクロック) が fSL (サブシステム・クロックまたは低速オンチップ・オシレータ) のときに、データ・フラッシュにアクセスする必要がある場合は、以下のいずれかで対応してください。

i) fCLK を fSL からメイン・システム・クロックに切り替える場合は、以下の (1)~(3) の手順を行ってください。

- (1) メイン・システム・クロックに切り替わったこと (CLS* = 0) を確認する。
- (2) 任意のデータ・フラッシュを読み出す。(読み出した値は使用しないでください)
- (3) 5 μS 経過するまでウエイトする。

*: システム・クロック制御 レジスタ (CKC) のビット

ii) fCLK が fSL を選択している場合は、データ・フラッシュを読み出さないでください。

fSL を fCLK に設定する前に、必要なデータ・フラッシュの内容を RAM に格納して RAM の値を読み出してください。

No.84: 表 32-1 表内の誤記修正

表 32-1 オンチップ・トレースで使用する RAM 領域と保存できる分岐数

製品名	RAM	使用 RAM 領域	分岐数
R5F113PG, R5F113TG	10 KB	— (ユーザ RAM 領域を使用しない)	128 分岐
R5F113PH, R5F113TH	16 KB	— (ユーザ RAM 領域を使用しない)	
R5F113PJ, R5F113TJ	20 KB	0FB500H-0FB52FH (ホット・プラグイン/DTC 方式 RRM/DMM) 0FB300H-0FB4FFH (オンチップ・トレース) — (ユーザ RAM 領域を使用しない)	
R5F113GK, R5F113LK, R5F113MK, R5F113PK, R5F113TK	26 KB	— (ユーザ RAM 領域を使用しない)	
R5F113GL, R5F113LL, R5F113ML, R5F113PL, R5F113TL	32 KB	• 0FB500H-0FB52FH 0F8500H-0F852FH (ホット・プラグイン/DTC 方式 RRM/DMM) • 0FB300H-0FB4FFH 0F8300H-0F84FFH (オンチップ・トレース)	

No.85: 図 32-3 図下部の注 1 の表の誤記修正

図 32-3 デバッグ用モニタ・プログラムが配置されるメモリ空間

注 1. 製品によって、次のようにアドレスが異なります。

製品名 (コード・フラッシュ・メモリ容量)	注 1 のアドレス
R5F113mG (m = T, P)	1FFFFH
R5F113mH (m = T, P)	2FFFFH
R5F113mJ (m = T, P)	3FFFFH
R5F113mK (m = T, P, M, L, G)	47FFFFH 5FFFFH
R5F113mL (m = T, P, M, L, G)	7FFFFH

No.86: 35.4.1, 36.4.1 基本動作 タイマ RJ 入力ハイ・レベル幅, ロウ・レベル幅の略号の誤記修正

35.4.1 基本動作、36.4.1 基本動作

項目	略号	条件	MIN.	TYP.	MAX.	単位
タイマ RJ 入力ハイ・レベル幅, ロウ・レベル幅	t _{IWH} , t_{IWL}	TRJIO0	40			ns

No.87: 35.5.1 (2), (3), (9), 36.5.1 (2), (3), (9) 電特表下部の注記の誤記修正

35.5.1 シリアル・アレイ・ユニット、36.5.1 シリアル・アレイ・ユニット

(2) 同電位通信時 (CSI モード) (マスタ・モード, SCKp...内部クロック出力, 通常スルー・レート)

注 4. かつ $t_{KCY1} \geq 4 \cdot f_{CLK} / f_{MCK}$

(3) 同電位通信時 (CSI モード) (マスタ・モード, SCKp...内部クロック出力, 特殊スルー・レート)

注 4. かつ $t_{KCY1} \geq 4 \cdot f_{CLK} / f_{MCK}$

(9) 異電位 (3 V 系) 通信時 (CSI モード) (マスタ・モード, SCKp...内部クロック出力, 通常スルー・レート)

注 3. かつ $t_{KCY1} \geq 4 \cdot f_{CLK} / f_{MCK}$

No.88: 35.5.2, 36.5.2 シリアル・インタフェース IICA 表の条件記載の誤記修正

35.5.2 シリアル・インタフェース IICA、36.5.2 シリアル・インタフェース IICA

項目	略号	条件	標準モード		ファースト・モード		ファースト・モード・プラス		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0 クロック周波数	f _{SCL}	ファースト・モード・プラス : $10 \text{ MHz} \leq f_{CLK} / f_{MCK}$					0	1000	kHz
		ファースト・モード : $3.5 \text{ MHz} \leq f_{CLK} / f_{MCK}$			0	400			kHz
		標準・モード : $1 \text{ MHz} \leq f_{CLK} / f_{MCK}$	0	100					kHz

No.89: 35.6.1, 36.6.1 A/D コンバータ特性 (1), (2), (3) 表内の記載修正

35.6.1 A/D コンバータ特性、36.6.1 A/D コンバータ特性

(1) $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
対象 ANI 端子：ANI2-ANI23 (V_{DD} を電源とする ANI 端子)

項目	略号	条件		MIN.	TYP.	MAX.	単位
総合誤差 ^{注1}	AINL	10ビット分解能 AVREFP = VDD	$4.0V \leq V_{DD} \leq 5.5V$		4.2 ±1.2	±3.0	LSB
			$2.7V \leq V_{DD} < 4.0V$		4.2 ±1.2	±3.5	LSB

(2) $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
対象 ANI 端子：ANI24-ANI30 (EV_{DD0} を電源とする ANI 端子)

項目	略号	条件		MIN.	TYP.	MAX.	単位
総合誤差 ^{注1}	AINL	10ビット分解能 AVREFP = VDD	$4.0V \leq V_{DD} \leq 5.5V$		4.2 ±1.2	±4.5	LSB
			$2.7V \leq V_{DD} < 4.0V$		4.2 ±1.2	±5.0	LSB

(3) $AV_{REF}(+) = V_{DD}$ ($ADREFP1 = 0, ADREFP0 = 0$), $AV_{REF}(-) = V_{SS}$ ($ADREFM = 0$) 選択時,
対象 ANI 端子：ANI0-ANI23, ANI24-ANI30

項目	略号	条件		MIN.	TYP.	MAX.	単位
総合誤差 ^{注1}	AINL	10ビット分解能 ANI0-ANI23	$4.0V \leq V_{DD} \leq 5.5V$		4.2 ±1.2	±5.0	LSB
			$2.7V \leq V_{DD} < 4.0V$		4.2 ±1.2	±5.5	LSB
		10ビット分解能 ANI24-ANI30	$4.0V \leq V_{DD} \leq 5.5V$		4.2 ±1.2	±6.5	LSB
			$2.7V \leq V_{DD} < 4.0V$		4.2 ±1.2	±7.0	LSB

No.90: 35.6.1, 36.6.1 A/D コンバータ特性 (4) 対象 ANI 端子の誤記修正

35.6.1 A/D コンバータ特性、36.6.1 A/D コンバータ特性

(4) $AV_{REF}(+) =$ 内部基準電圧 ($ADREFP1 = 1, ADREFP0 = 0$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,
対象 ANI 端子：~~ANI0-ANI23, ANI24-ANI30~~ ANI0, ANI2-ANI23, ANI24-ANI30

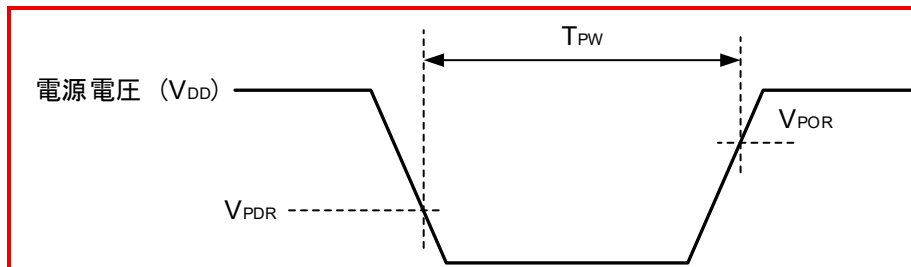
No.91: 35.6.5, 36.6.5 POR 回路特性 注記の追加およびタイミング図追加

35.6.5 POR 回路特性、36.6.5 POR 回路特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧 ^{注1}	V _{POR}	電源立ち上がり時	1.48	1.56	1.62	V
	V _{PDR}	電源立ち下がり時	1.47	1.55	1.61	V
最小パルス幅 ^{注2}	TPW		300			μs
検出遅延	TPD				350	μs

注 1. POR 回路の特性を示すものであり、下限動作電圧 (2.7V) 未満での通常動作を保証するものではありません。

2. 電源電圧 (V_{DD}) が V_{PDR} を下回った場合に、POR 回路によるリセット動作に必要な時間です。



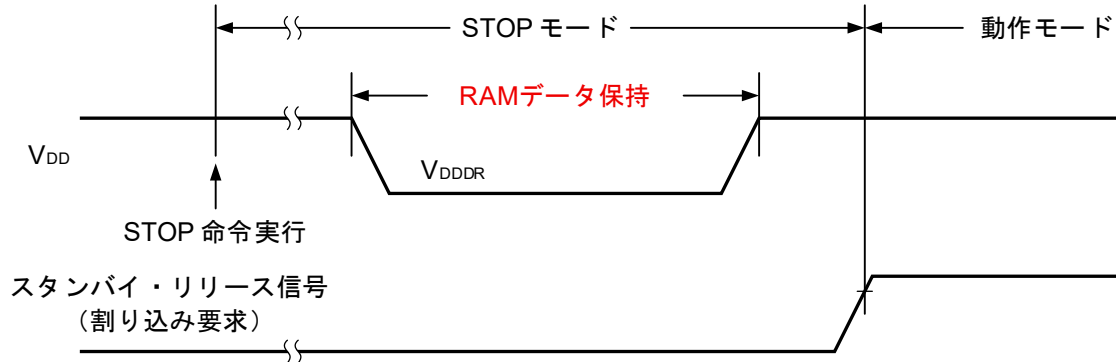
No.92: 35.8, 36.8 STOP モード時メモリ保持特性 章題、表下部の注記、およびタイミング図の誤記修正

35.8 STOP モード時メモリ保持特性 RAM データ保持特性

36.8 STOP モード時メモリ保持特性 RAM データ保持特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.47 ^注		5.5	V

注 POR 検出電圧に依存します。電圧降下時、POR リセットがかかるまではデータを保持しますが、POR リセットがかかった場合のデータは保持しません。



No.93: 35.9, 36.9 フラッシュ・メモリ・プログラミング特性 表内および表下部の注記の誤記修正

35.9 フラッシュ・メモリ・プログラミング特性、36.9 フラッシュ・メモリ・プログラミング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK		1		32	MHz
コード・フラッシュの書き換え回数 ^{注1,2,3}	Cerwr	保持 20 年 (書き換え後) TA = +85°C ^{注4}	1,000			回
データ・フラッシュの書き換え回数 ^{注1,2,3}		保持 20 年 (書き換え後) TA = +85°C ^{注4}	10,000			
		保持 5 年 (書き換え後) TA = +85°C ^{注4}	100,000			
消去時間	Terasa	ブロック消去	5			ms
書き込み時間	Twrwa	1ワード書き込み	10			μs

注 1. 消去 1 回 + 消去後の書き込み 1 回を書き換え回数 1 回とします。保持年数は、~~一度書き換えた後、次に書き換えを行うまでの期間とします~~ 保持年数の起点は消去後からとなります。

- 2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用したときになります。
- 3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。
- 4. 保持の平均温度です。