

RA ファミリ

ハードウェアマニュアルガイド(周辺機能編)

要旨

本資料は RA4L1 と RA6M5 を例にハードウェアマニュアルに記載の機能の使い方を簡潔にわかりやすくまとめたものです。ハードウェアマニュアルと合わせてご使用になることで、機能に対する理解をより一層深めていただくことを目的に作成しています。アプリケーションノートに記載している章もございますので、より詳細な使用方法是ページに記載のアプリケーションノートをご参照ください。本資料はマニュアルに記載のすべての情報を網羅しているわけではございません。各機能の注意事項など詳細な情報は必ず該当製品のハードウェアマニュアルをご参照ください。

ハードウェアマニュアルガイド 電気的特性編 ([R01TU0457JJ](#))も併せて参照ください。

対象デバイス

RA ファミリ

目次

1. 消費電力低減機能	3
1.1 製品別消費電力低減機能	3
1.1.1 RA4L1 グループの消費電力低減機能概要	3
1.1.2 RA6M5 グループの消費電力低減機能概要	4
1.2 スヌーズモード	4
1.3 High-speed , Middle-speed, Low-speed, Subosc-speed モード	5
1.4 消費電力低減のコツ	6
1.5 消費電力低減機能のアプリケーションノート	7
2. I/O ポート	8
2.1 ポート機能一覧	8
2.2 入出力ポート構成ページの補足情報	8
2.3 入出力ポートの設定 注意事項	12
3. ウォッチドックタイマ	13
3.1 WDT と IWDТ の機能比較	13
3.2 WDT 設定一覧	13
3.3 IWDТ 設定一覧	14
3.4 機能説明：ウィンドウモード	14
3.5 応用例	15
3.6 注意事項	15
4. イベントリンクコントローラ(ELC)	16
4.1 ELC 概要	16
4.2 ELC と CPU 割り込みの比較	16
4.3 ELC の入力イベントと出力イベントの接続方法	17

4.4	ELC の入カイベントと出カイベントまとめ	17
4.5	ELC 使用時の関連レジスタ	18
4.6	ELC の設定方法	19
4.7	ELC 設定の補足及び注意事項	19
4.8	活用例	20
4.9	応用例	21
4.10	アプリケーションノート一覧	22
5.	外部バスコントローラ	23
5.1	バスコントローラ構成	23
5.2	アービトレーション	23
5.3	外部バス	24
5.3.1	各モードと使用端子一覧	25
5.3.2	各モードと設定レジスタ	25
5.3.3	各モードと設定レジスタ(CS 空間詳細)	26
5.3.4	外部バスインタフェース端子設定方法について	26
5.3.5	CS 空間（ライトアクセスモード）	27
5.3.6	ライトアクセスモード	27
5.3.7	エンディアン	28
5.3.8	各種ウェイト設定	28
5.3.9	外部バスクロックと BCLK 端子	29
5.3.10	ページアクセス	30
5.3.11	アドレス/データマルチプレクス	30
5.3.12	リカバリサイクル	31
5.3.13	バスエラー	32
5.4	キャッシュ	33
5.5	Early forwarding 機能	34
5.6	補足：用語解説	34
5.7	アプリケーションノート一覧	34
6.	割り込みコントローラ(ICU)	35
6.1	割り込みコントローラ機能仕様一覧	35
6.2	マスカブル割り込み	36
6.2.1	マスカブル割り込み構造	36
6.2.2	ベクタテーブル	37
6.2.3	割り込み要求先(CPU、DMAC、DTC)の選択	38
6.3	ノンマスカブル割り込み	39
6.3.1	ノンマスカブル割り込み構造	40
6.4	フィルタ処理	40
6.5	低消費電力モードからの復帰	41
6.6	参考資料	42

1. 消費電力低減機能

1.1 製品別消費電力低減機能

製品ごとの消費電力低減機能を下表に示します。

製品 グループ	低消費電力モード				電力制御モード			
	スリープ	ソフトウェア スタンバイ	ディープソフト ウェアスタンバイ	スヌーズ	High- speed	Middle- speed	Low- speed	Subosc- speed
RA4L1	✓	✓	—	✓	✓	✓	✓	✓
RA6M5	✓	✓	✓	✓	✓	—	✓	✓

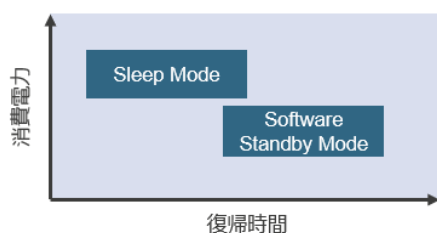
製品によりサポートするモードがない場合がありますので、詳細は各製品のユーザーズマニュアル ハードウェア編をご参照ください。

1.1.1 RA4L1 グループの消費電力低減機能概要

RA4L1 グループの消費電力低減機能の概要を以下にまとめます。

停止(保持): 内部レジスタ値保持・内部状態は動作中断を示します
停止(不定): 内部レジスタ値不定・内部状態は電源オフを示します

		発振器 / 電源管理				周辺モジュール							メモリ		I/O ポート
		Main clock	HOCO MOCO PLL	LOCO Sub-clock RTC LVD	POR	IWDT I3C AGT UART ACMPLP SLCDD IRQ NMI	WDT	USBFS	IIC0	ADC12 DAC12 CTSU DTC SCI0 DOC ELC	その他	SRAM	フラッシュ メモリ		
低消費電力 モード	CPU														
スリープ	停止 (保持)	選択可	選択可	選択可	動作	選択可	選択可	選択可	選択可	選択可	選択可	選択可	動作	動作	
ソフトウェア スタンバイ	停止 (保持)	停止	停止	選択可	動作	選択可	停止 (保持)	停止 (保持) *2	選択可	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	
スヌーズ*1	停止 (保持)	選択可	選択可	選択可	動作	選択可	停止 (保持)	動作 禁止*2	選択可 *3	選択可	動作 禁止	選択可	停止 (保持)	動作	



*1:スヌーズ機能についての解説は[こちら](#)

*2:レジャーム機能は有効

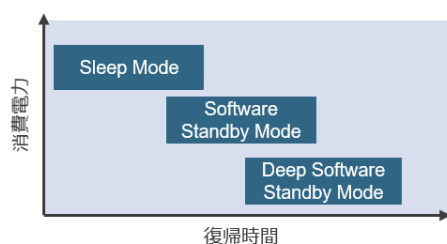
*3:ウェイクアップ割り込み動作のみ可能

1.1.2 RA6M5 グループの消費電力低減機能概要

RA6M5 グループの消費電力低減機能の概要を以下にまとめます。

停止(保持): 内部レジスタ値保持・内部状態は動作中断を示します
停止(不定): 内部レジスタ値不定・内部状態は電源オフを示します

低消費電力モード	CPU	発振器 / 電源管理					周辺モジュール						メモリ		
		Main-clock HOCO MOCO PLL PLL2	LOCO Sub-clock RTC LVD AGT	POR	EBCLK	IWDG IIC0 IRQ	NMI IRQ- DS	WDT	ADC12 DAC12 CTSU SCI0 DTC DOC ELC	USBFS USBHS	その他	SRAM	スタンバイ SRAM	フラッシュ メモリ	I/O ポート
スリープ	停止(保持)	選択可	選択可	動作	選択可	選択可	選択可	選択可	選択可	選択可	選択可	選択可	選択可	動作	動作
ソフトウェアスタンバイ	停止(保持)	停止	選択可	動作	停止(保持)	選択可	選択可	停止(保持)	停止(保持)	停止(保持)	停止(保持)	停止(保持)	停止(保持)	停止(保持)	停止(保持)
スヌーズ*1	停止(保持)	選択可	選択可	動作	動作禁止	選択可*2	選択可	停止(保持)	選択可	動作禁止	動作禁止	選択可	選択可	停止(保持)	動作*3
ディープソフトウェアスタンバイ	停止(不定)	停止	選択可*4	動作	停止(保持)	停止(不定)	選択可	停止(不定)	停止(不定)	停止(保持/不定)	停止(不定)	停止(保持)	停止(保持/不定)	停止(保持)	停止(保持)



*1 : スヌーズ機能についての解説は[こちら](#)

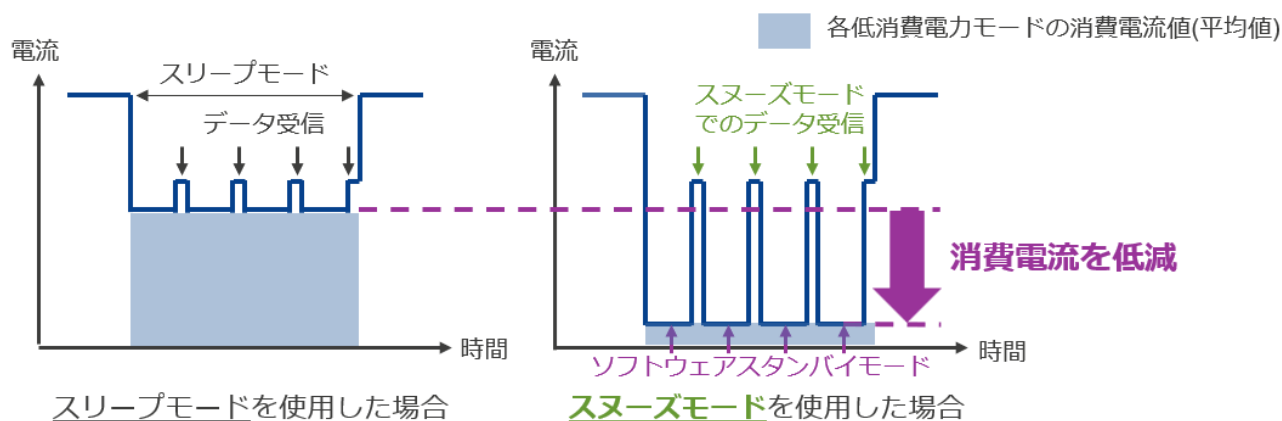
*2 : IIC0 はウェイクアップ割り込み動作のみ可能

*3 : EBCLK 端子のみ停止(保持)

*4 : AGT4~5 のみ停止(不定)

1.2 スヌーズモード

ソフトウェアスタンバイモード中に、一部の周辺機能を一時的に動作させることが可能（間欠動作）です。ソフトウェアスタンバイとスヌーズモードで間欠動作をすることでスリープモード動作に比べ、トータルの消費電流は mA→uA オーダーまで低減が可能です。



1.3 High-speed , Middle-speed, Low-speed, Subosc-speed モード

動作周波数に応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、スヌーズモード時の消費電力を削減できます。各モードは下記の動作電圧と動作周波数範囲内で動作します

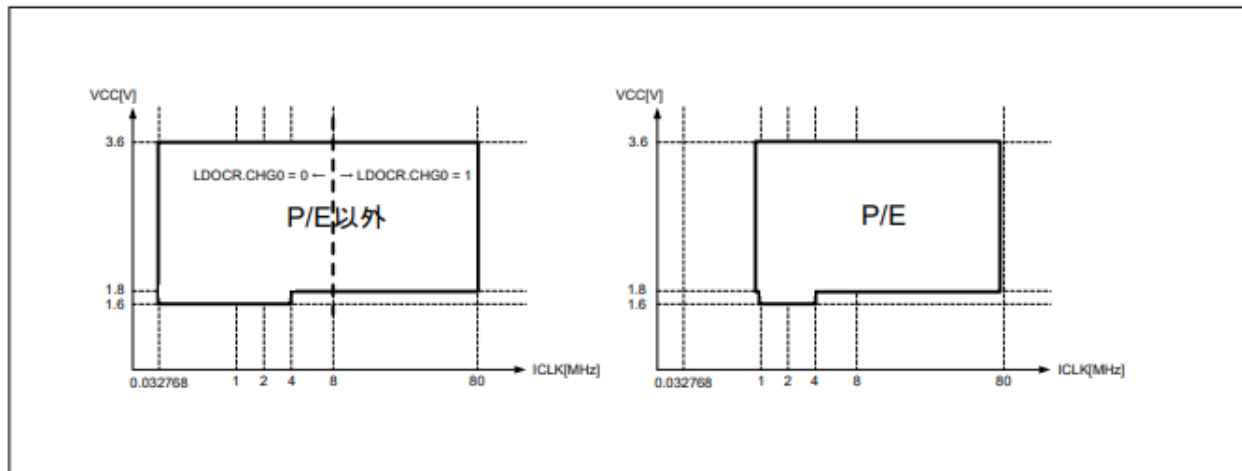


図 10.2 High-speed モードにおける動作電圧と動作周波数

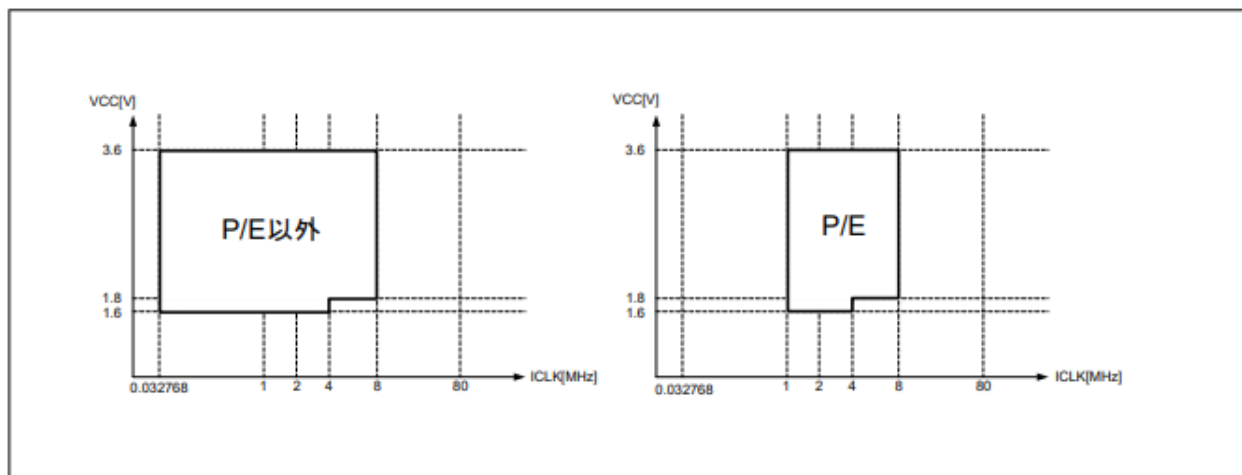


図 10.3 Middle-speed モードにおける動作電圧と動作周波数

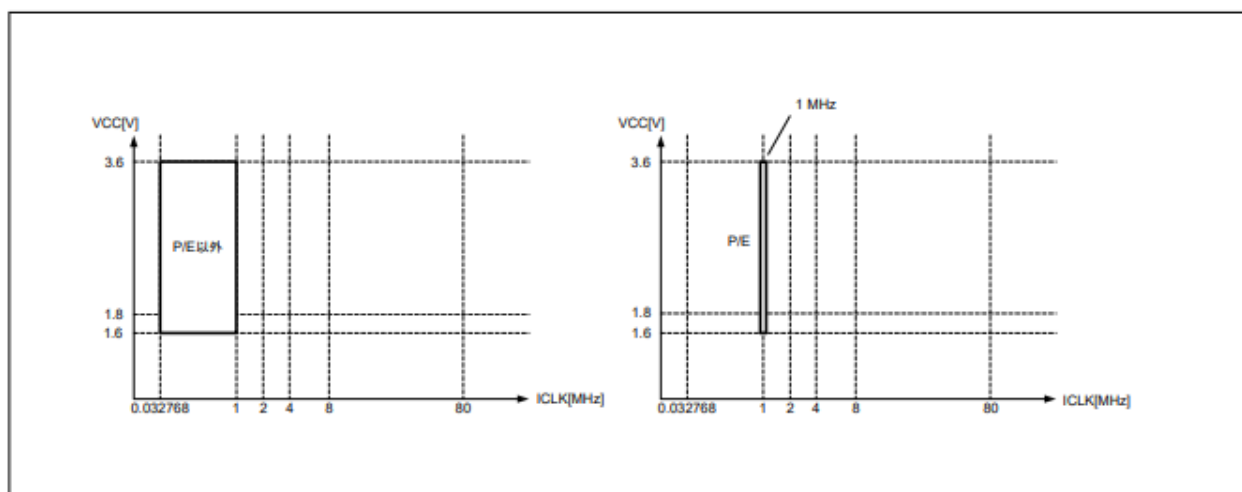


図 10.4 Low-speed モードにおける動作電圧と動作周波数

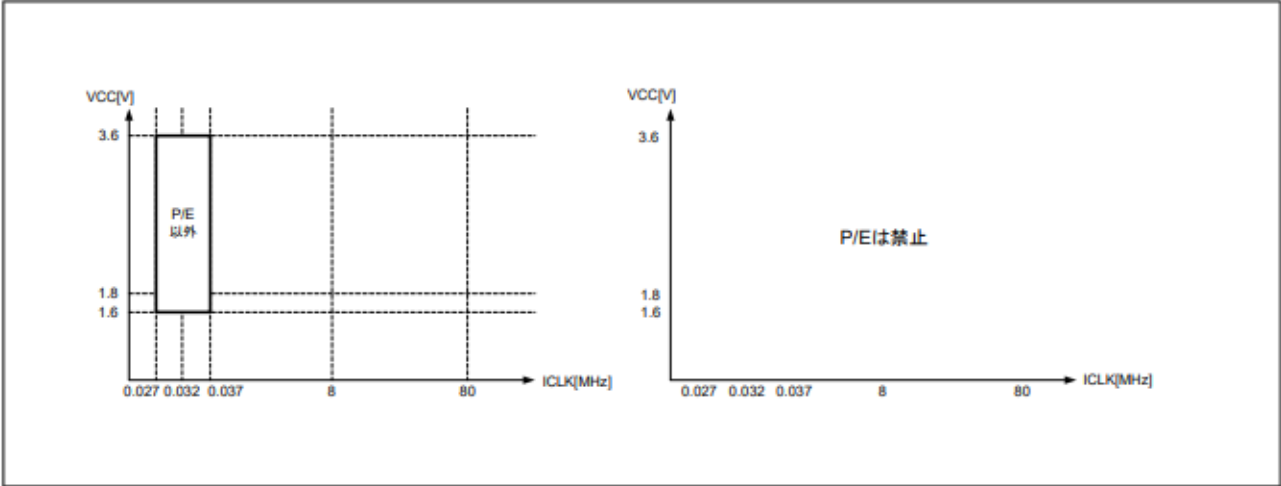


図 10.5 Subosc-speed モードにおける動作電圧と動作周波数

1.4 消費電力低減のコツ

ここでは、RA4L1 を例に消費電力を低減するコツを紹介します。お使いの製品により異なる場合があるため、詳細はユーザーズマニュアルハードウェア編を参照してください。

(1) High-speed,Middle-speed,Low-speed,Subosc-speed モードを活用する

スリープモードやスヌーズモードに移行する際にシステムの動作周波数を下げることで、さらなる消費電力低減が可能です。

例) スリープモード、全周辺モジュール動作時の消費電流比較 (typ 値)

	High-speed	Middle-speed	Low-speed	Subosc-speed
消費電流	22.8mA	3.4mA	0.94mA	15uA

(2) 使用していない周辺モジュールを停止する

全モジュールを動作させた場合と全モジュールを停止した場合では 消費電流に大きな差が生じるので、不要なモジュールを停止することで消費電力を抑えることができます。

例) High-speed スリープモード時における周辺モジュール動作/停止の消費電流比較 (typ 値)

	全周辺モジュール動作	全周辺モジュール停止
消費電流	22.8mA	5.63mA

(3) I/O ポート

出力選択をしている I/O ポートは下記の処理を行うことで消費電力を低減することが可能です。

(プルアップ抵抗に接続している場合は出力レベルを High、プルダウン抵抗に接続している場合は出力レベルを Low にする。)

(4) クロック発生回路

低消費電力モードを使用する際は、以下のクロック周波数設定を守ってください。最高動作周波数と分周比についての例を以下に示します。詳しくはユーザーマニュアルのクロック発生回路の章を参照してください。

表 8.2 クロック発生回路の仕様（内部クロック） (1/3)

項目	クロックソース	クロック供給	内容
システムクロック (ICLK)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	CPU、DTC、DMAC、フラッシュ、RAM、I/O ポート	最高 80 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック A (PCLKA)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	周辺モジュール (QSPI、SCI、SPI、CRC、DOC、ADC12、DAC12、GPT バスクロック、CNECC、IrDA、I3C)	最高 80 MHz 分周比：1/2/4/8/16/32/64

注. クロック周波数の設定に関する制限：ICLK $\geq$ PCLKA $\geq$ PCLKB、PCLKD $\geq$ PCLKA $\geq$ PCLKB
 ICLK $\geq$ FCLK
 クロック周波数比に関する制限：(N は最大 64 の整数)
 ICLK: FCLK = 1:1 (ICLK $\leq$ 48 MHz の場合)、ICLK: FCLK = 2:1 (48 MHz < ICLK $\leq$ 80 MHz の場合)
 ICLK: PCLKA = N:1、ICLK: PCLKB = N:1、ICLK: PCLKC = N:1 または 1:N、ICLK: PCLKD = N:1 または 1:N
 A/D コンバータが有効な場合のクロック周波数比に関する制限：
 PCLKA: PCLKC = 1:1、2:1、4:1、8:1、1:2、または 1:4

(5) レギュレータ(LDO)の動作モードを変更する

LDO には通常動作モードと高性能モードがあります。消費電力を下げたい場合は、通常動作モードをお使いください。

(6) サブクロック発振器駆動能力切り替え機能

RA4L1 グループの一部製品に本機能を実装しています。通常モード > 低消費電力モード 1 > 低消費電力モード 2 > 低消費電力モード 3 の順で消費電流が低下します。なお、低消費電力モード 1,2,3 を実現するには外付けの水晶は低 CL 品である必要があるため、各発振器メーカー様にマッチング評価依頼時にはその旨お伝えいただくか、以下のアプリケーションノートを参照しマッチングを取ってください。

■アプリケーションノート

RX,RA ファミリ共通メインクロック回路、サブクロック回路のデザインガイド [R01AN7202JJ](#)

1.5 消費電力低減機能のアプリケーションノート

消費電力低減機能の詳細な使用方法是下記をご参照ください

アプリケーションノート名	資料 No
RA2L1 グループ 静電容量タッチ低消費電力ガイド	R01AN6266JJ
RA6M2 グループ 静電容量タッチ低消費電力ガイド	R11AN6473JJ
RA2E3 グループ RA2E3 HS4001 低消費電力センサシステム実装例	R01AN7744JJ
Renesas RA0 ファミリ 低消費電力ガイド	R01AN7893JJ
RA ファミリ 低消費電力モードへの移行例	R01AN8013JJ

2. I/O ポート

2.1 ポート機能一覧

以下に RA4L1 を例としたポート機能の一覧を示します。

入力プルアップ機能、オープンドレイン機能、駆動能力切り替え、5V トレラント機能の設定に関しては汎用入出力ポートと端子を共有している他の信号（シリアル等の周辺機能など）に対しても有効です。

表 19.2 I/O ポートの機能 (1/2)

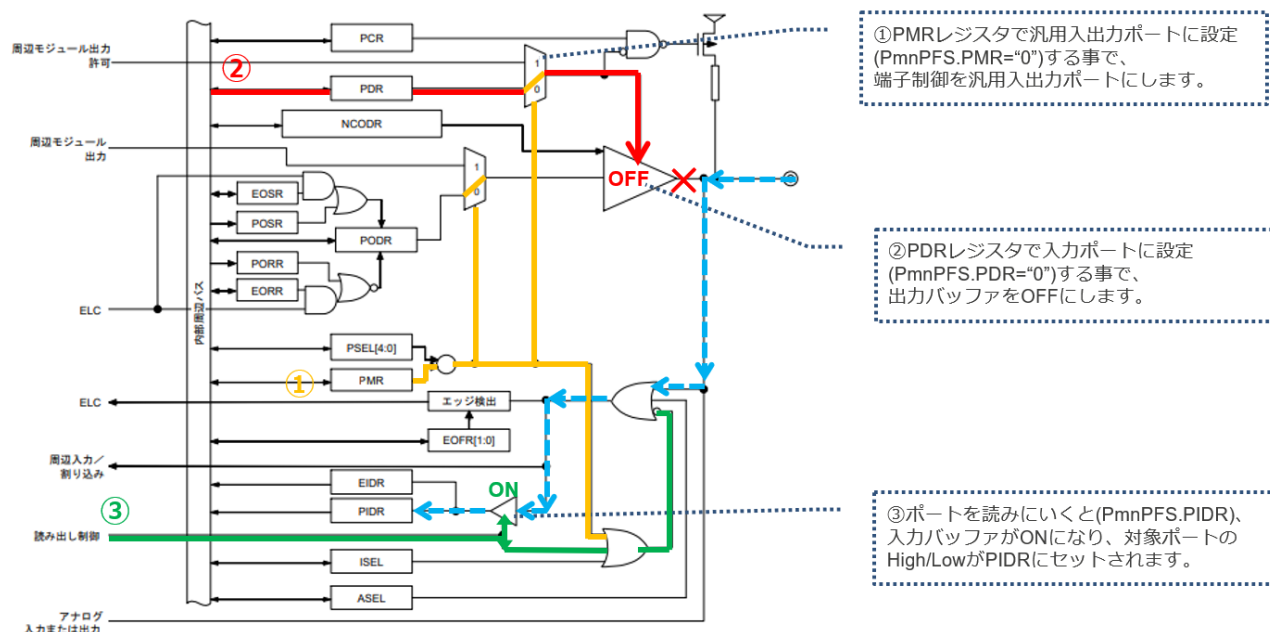
ポート	ポート名	入力プルアップ	オープンドレイン出力	駆動能力切り替え	5V トレラント	入出力
PORT0	P000~P010, P014, P015	✓	✓	低	—	入出力
PORT1	P100~P107	✓	✓	低、中、高、高速高駆動	—	入出力
	P108~P115	✓	✓	低、中、高	—	入出力
PORT2	P200	✓	—	—	—	入力
	P201	✓	✓	低	—	入出力
	P202~P204, P207, P212, P213	✓	✓	低、中、高	—	入出力
	P208~P211, P214	✓	✓	低、中、高、高速高駆動	—	入出力
	P205, P206	✓	✓	低、中、高	✓	入出力
PORT3	P300~P315	✓	✓	低、中、高	—	入出力
PORT4	P400, P401, P407~P415	✓	✓	低、中、高	✓	入出力
	P402~P406	✓	✓	低、中、高	—	入出力
PORT5	P500~P508, P513	✓	✓	低、中、高	—	入出力
	P511, P512	✓	✓	低、中、高	✓	入出力

*本機能は RA6M5 を例として記載しています。

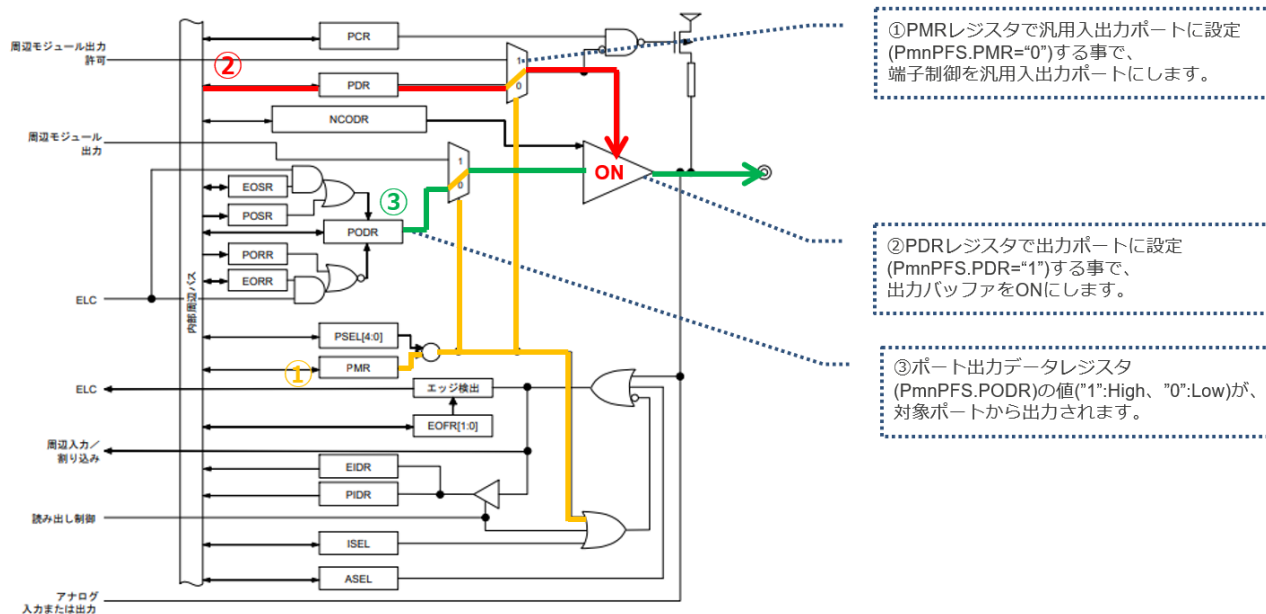
2.2 入出力ポート構成ページの補足情報

入出力ポート構成ページの補足情報について以下に示します。

(1) 汎用入力ポート

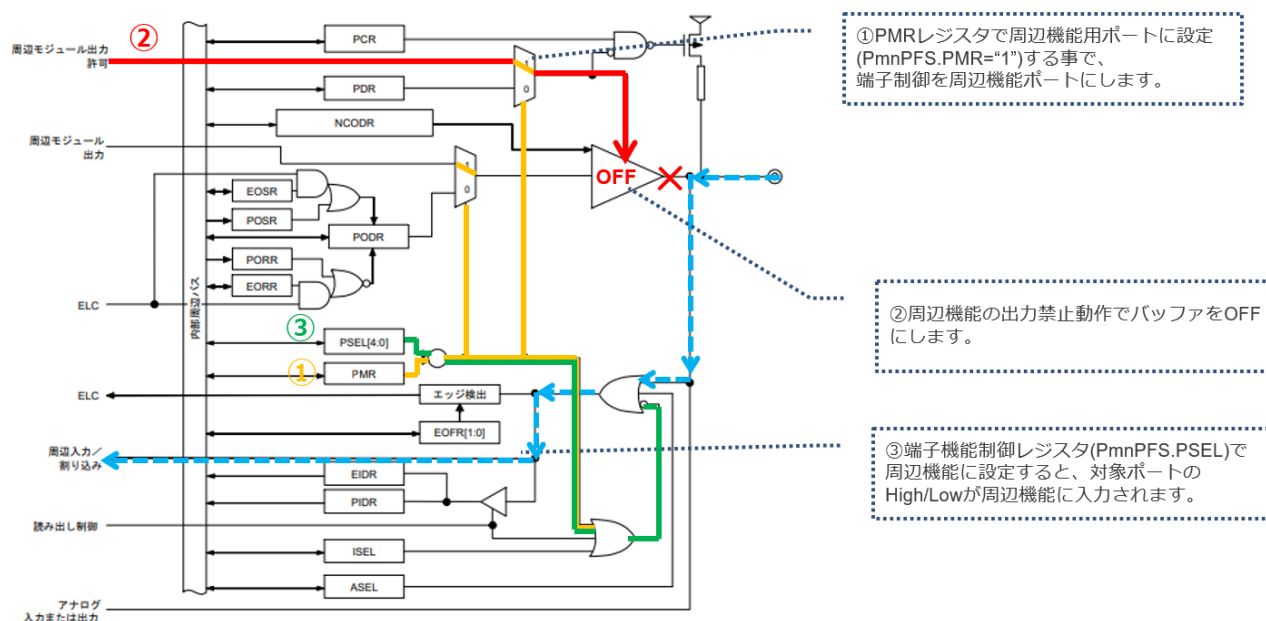


(2) 汎用出力ポート



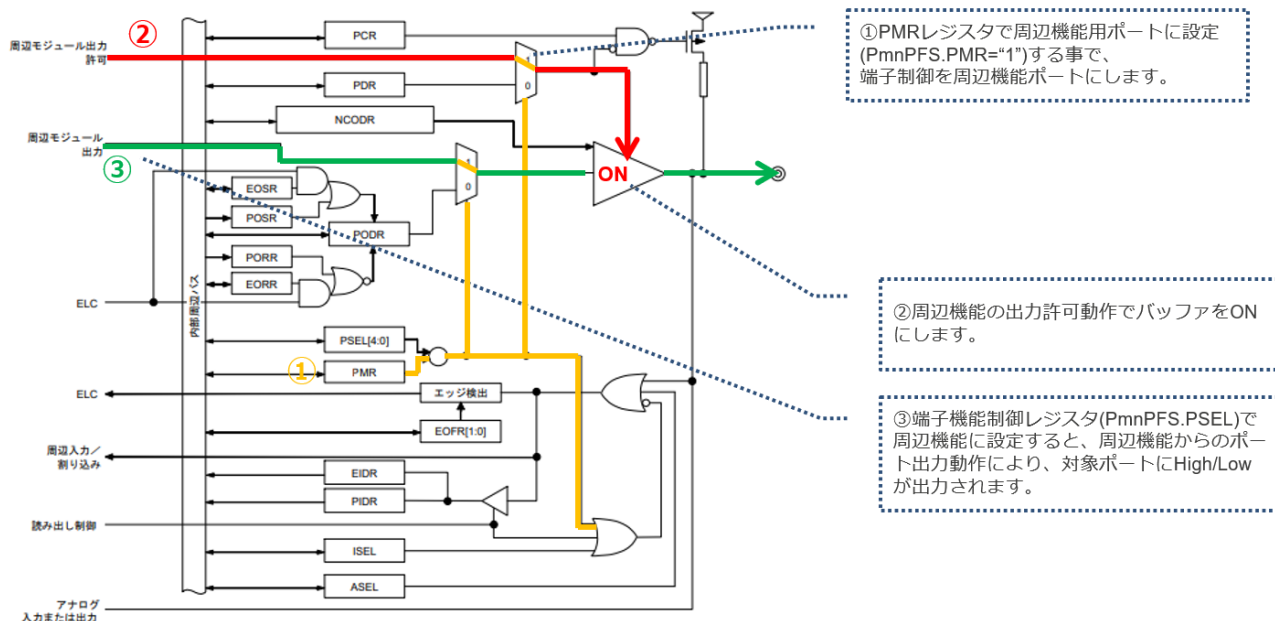
(3) 周辺機能入力

周辺機能の入出力機能(タイマ等のデジタルポート)に設定し、かつ周辺機能が入力動作の場合

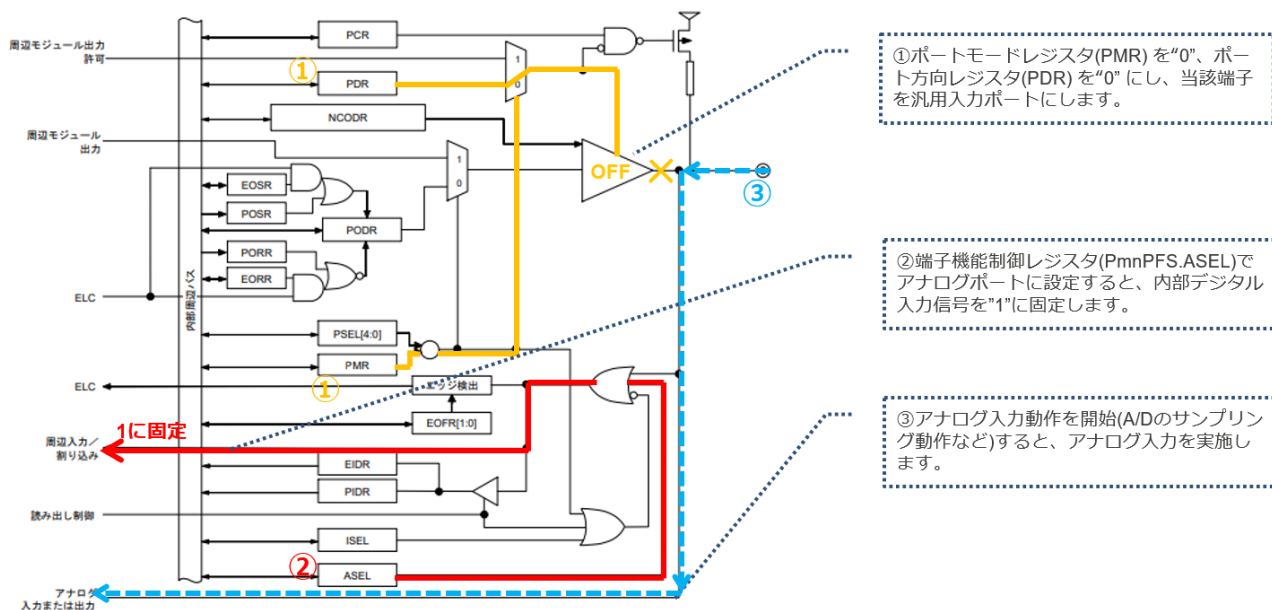


(4) 周辺機能出力

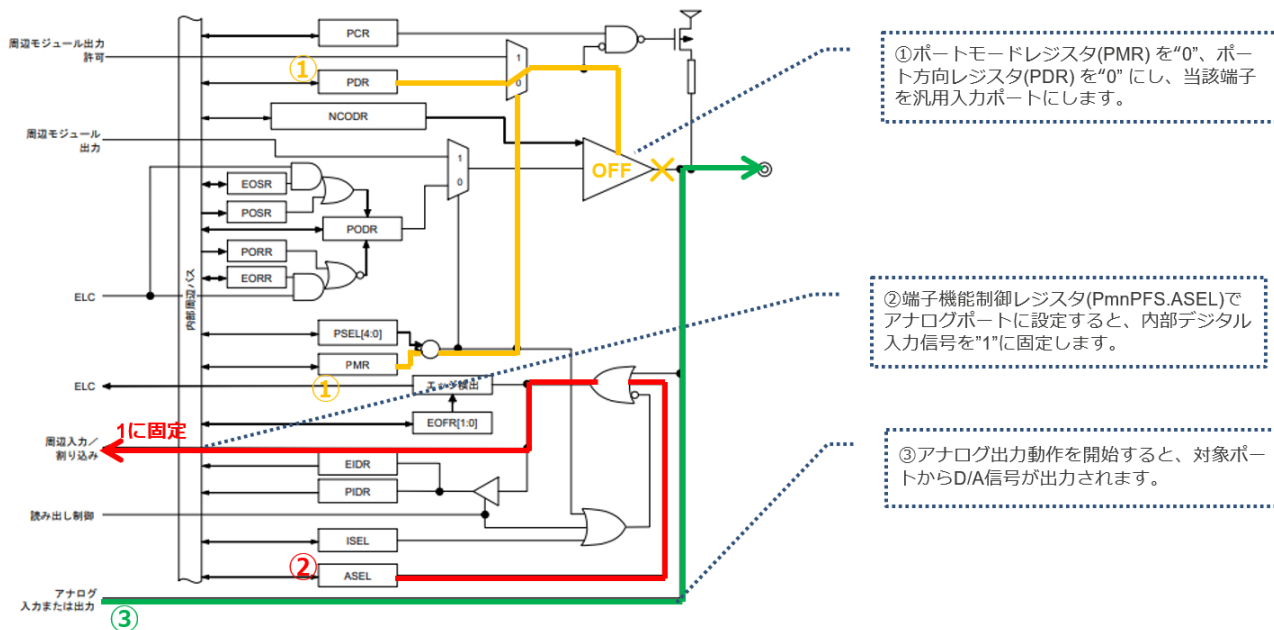
周辺機能の入出力機能(タイマ等のデジタルポート)に設定し、かつ周辺機能が出力動作の場合



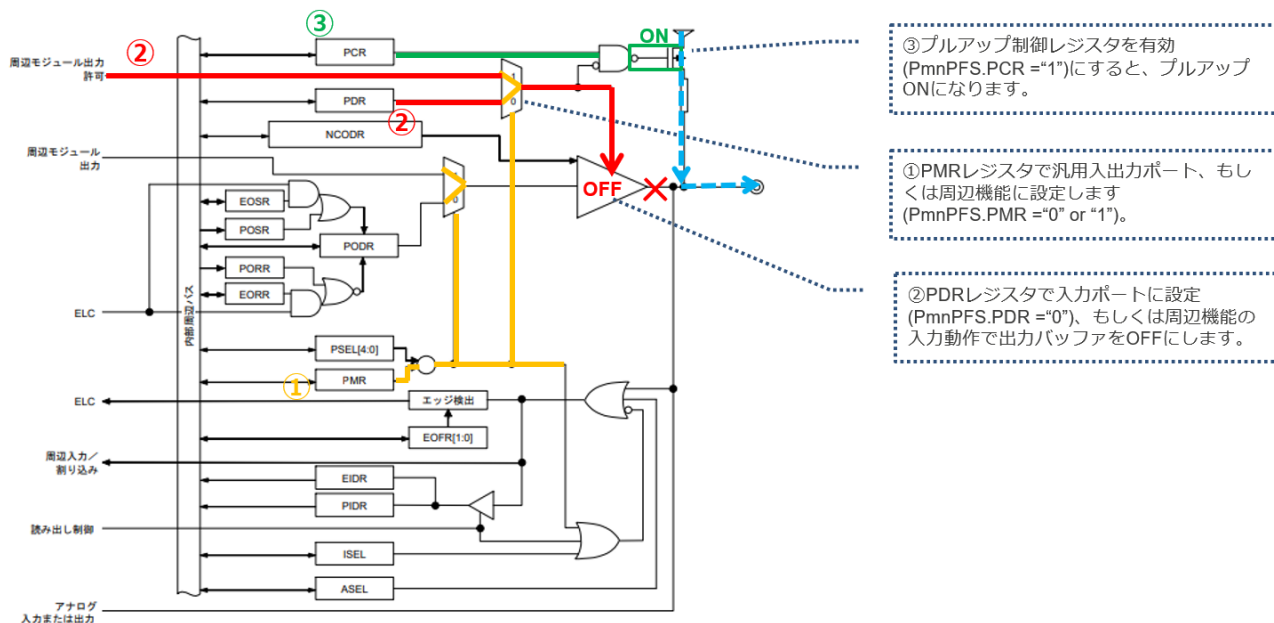
(5) アナログ機能入力



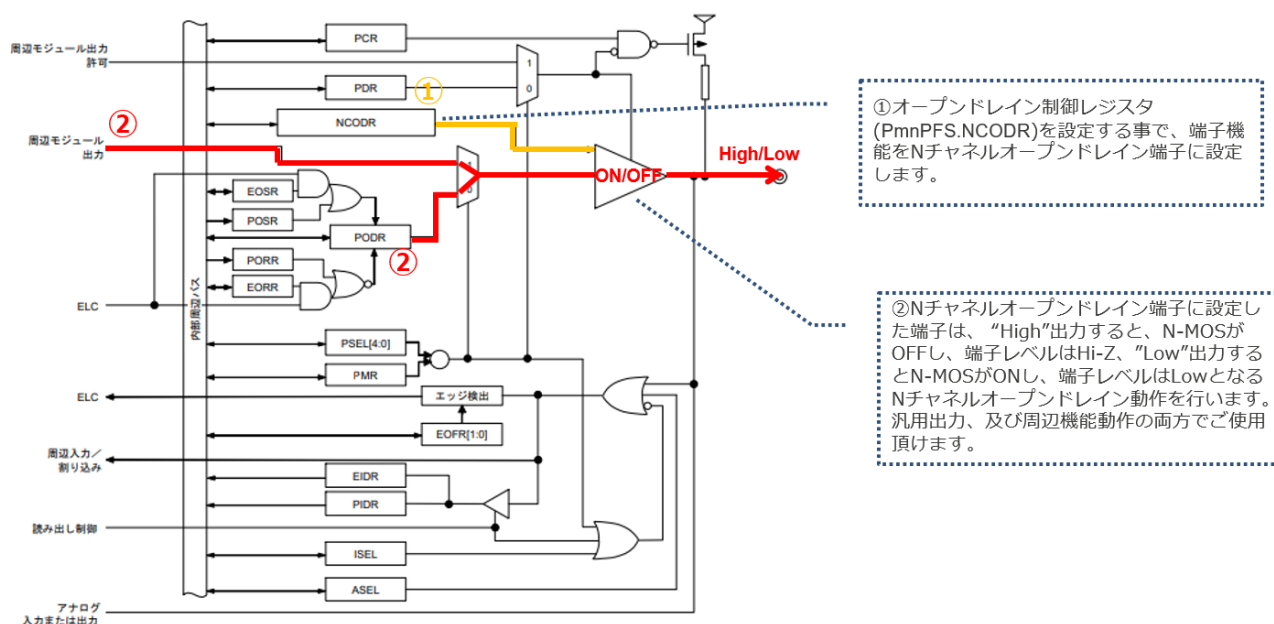
(6) アナログ機能出力



(7) プルアップ



(8) N チャネルオープンドレイン



2.3 入出力ポートの設定 注意事項

(1) 共通

PmnPFS.PIDR レジスタを読むと、PmnPFS.PDR レジスタ、PmnPFS.PMR レジスタの値に関係なく端子の状態が読めます。プルアップは、端子が入力状態のときに PmnPFS.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。リセット中はプルアップ抵抗が無効になります。入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え、5V トレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

(2) 割り込み端子

ISEL ビットは、IRQ 入力端子(外部端子割り込み)として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn を 2 つ以上の端子で許可することは禁止です。

(3) アナログポート

ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ(PmnPFS.PMR)の当該ビットおよびポート方向レジスタ(PmnPFS.PDR)の当該ビットを“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。このとき、端子状態を読むことはできません。

(4) 周辺機能ポート

PmnPFS.PSEL[4:0]ビットの変更は、PmnPFS.PMR ビットが“0”の状態で行ってください。

(5) その他

RIIC、RI3C をアサインしたポートは、PmnPFS.PCR ビットを“0”にしてください(RIIC、RI3C 以外の周辺機能出力では自動的にプルアップが OFF になります)。

3. ウォッチドックタイマ

3.1 WDT と IWDT の機能比較

WDT と IWDT の機能差分を以下に示します。

青文字箇所：機能差分

項目	WDT	IWDT
カウントソース	周辺モジュールクロック	IWDT専用クロック
クロック分周比	4/64/128/512/2048/8192	1/16/32/64/128/256
カウント開始条件	・オートスタートモード：リセット後、またはアンダーフロー/リフレッシュエラー発生後に自動的にカウント開始 ・レジスタスタートモード：リフレッシュ動作により、カウント開始	・オートスタートモード：リセット後、自動的にカウント開始
カウント停止条件	・リセット ・低消費電力状態(レジスタ設定による) ・アンダーフロー、リフレッシュエラー発生時(レジスタスタートモードのみ)	・リセット ・低消費電力状態(レジスタ設定による)
ウィンドウ機能	あり	あり
リセット出力要因	・ダウンカウンタがアンダーフローしたとき ・リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)	・ダウンカウンタがアンダーフローしたとき ・リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	・ダウンカウンタがアンダーフローしたとき ・リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)	・ダウンカウンタがアンダーフローしたとき ・リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
カウンタ値の読み出し	可能	可能
イベントリンク機能	あり	あり
出力信号(内部信号)	・リセット出力 ・割り込み要求出力 ・スリープモードカウント停止制御出力	・リセット出力 ・割り込み要求出力 ・スリープモードカウント停止制御出力
低消費電力モード時	動作/停止 (選択可能)*1	動作/停止 (選択可能)*1

*1 低消費電力モードごとに動作が異なります。詳しくは[消費電力低減機能](#)のページを参照してください。

3.2 WDT 設定一覧

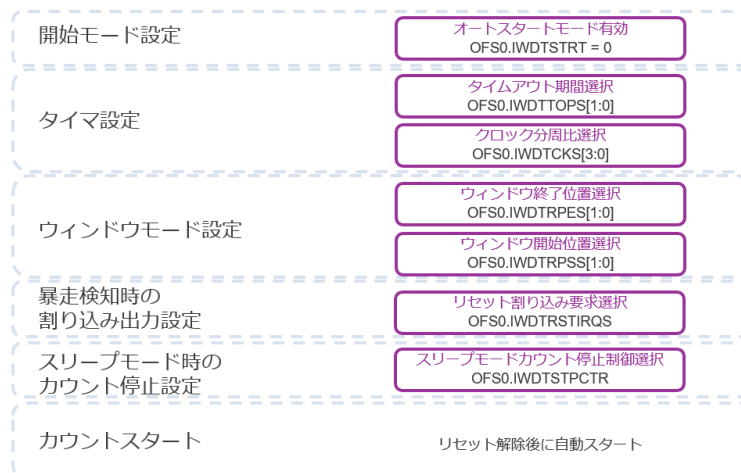
ウォッチドッグタイマの動作モードはオートスタートモードとレジスタスタートモードがあります。各モードを動作させるためにはオプション設定メモリ(OFS)またはWDTのレジスタを設定する必要があります。各動作モードで設定が必要なレジスタを以下に示します。

: OFSの設定
 : WDTの設定

	オートスタートモード	レジスタスタートモード
開始モード設定	オートスタートモード有効 OFS0.WDTSTRT = 0	レジスタスタートモード有効 OFS0.WDTSTRT = 1
タイマ設定	タイムアウト期間選択 OFS0.WDTPES クロック分周比選択 OFS0.WDTPES	タイムアウト期間選択 WDTCR.TOPS クロック分周比選択 WDTCR.CKS
ウィンドウモード設定	ウィンドウ終了位置選択 OFS0.WDTRPES ウィンドウ開始位置選択 OFS0.WDTRPSS	ウィンドウ終了位置選択 WDTCR.RPES ウィンドウ開始位置選択 WDTCR.RPSS
暴走検知時の割り込み出力設定	リセット割り込み要求選択 OFS0.WDTRSTRQS	リセット割り込み要求選択 WDTCCR.RSTRQS
カウントスタート	リセット解除後に自動スタート	リフレッシュ動作 WDT.WDTRR "00h"を書き込み、"FFh"を書き込む

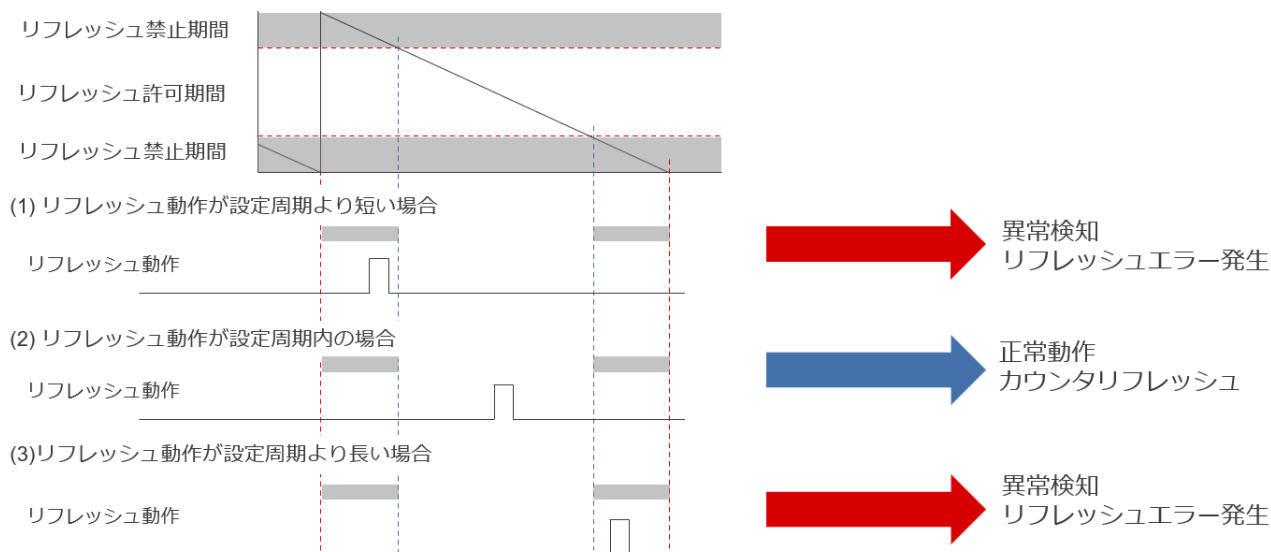
3.3 IWDT 設定一覧

独立ウォッチドッグタイマの動作モードはオートスタートモードのみです。動作させるためにはオプション設定メモリ(OFS) のレジスタを設定する必要があります。設定が必要なレジスタを以下に示します。



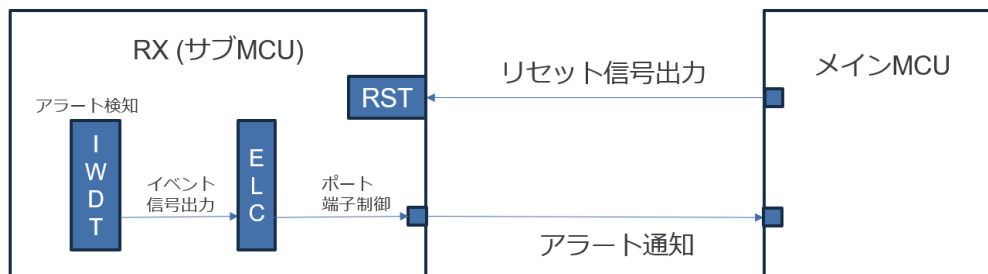
3.4 機能説明：ウィンドウモード

ウィンドウモードは、リフレッシュ動作の許可期間と禁止期間を設定します。禁止期間中にリフレッシュ動作が行われると、リフレッシュエラーが発生し、システムが暴走していると判断します。CPU の暴走に加え、処理周期のズレも検知できるため、周期性や信頼性の要求が高い用途に適した機能です。



3.5 応用例

WDT および IWDТ では、リフレッシュエラーやアンダーフローが発生した際に ELC への信号出力が可能です。CPU を介さずに ELC を使用して I/O ポートから外部信号を出力できます。下図は IWDТ でアラート検知をし、外部のメイン MCU にアラート通知を送り、メイン MCU からハードウェアリセットをかける方法です。メイン MCU は、サブ MCU の状態の確認やアラート発生回数の把握が可能となります。



※イベントリンク信号は、割り込み要求出力許可ビット(OFS0.WDTRSTIRQS/ IWDTRCR.RSTIRQS) の設定とは無関係に出力されます。

3.6 注意事項

(1) WDT,IWDТ の停止

WDT, IWDТ を動作させるとカウント停止条件以外での停止はできません。停止条件は以下の通りです。

- ・リセット
- ・低消費電力状態(レジスタの設定による)
- ・アンダーフロー、リフレッシュエラー発生時

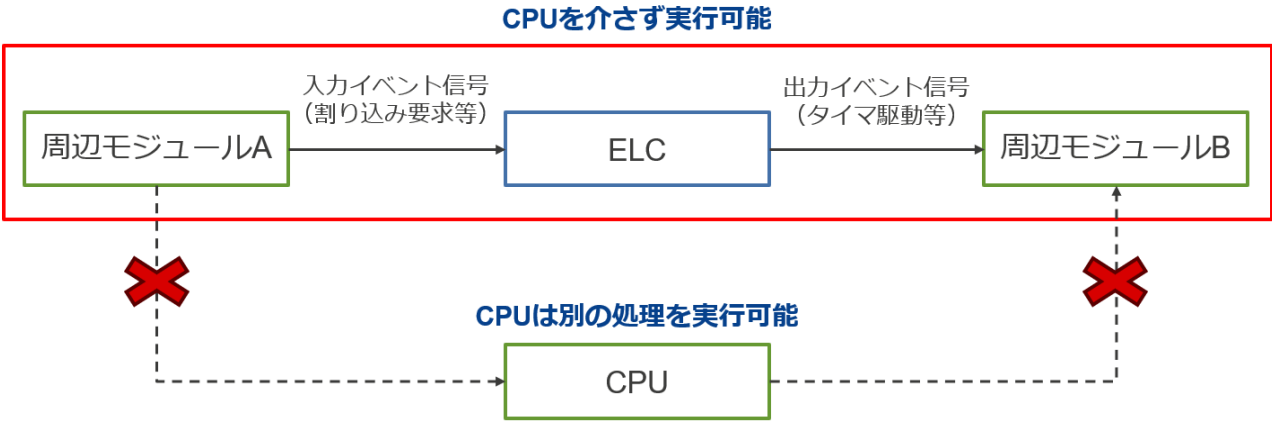
(2) エミュレータでのデバッグ

エミュレータでデバッグする場合、ブレーク中は WDT, IWDТ のカウントが停止します。停止したカウントはプログラム実行時に再開します。

4. イベントリンクコントローラ(ELC)

4.1 ELC 概要

イベントリンクコントローラ(ELC)とは、周辺モジュールからのイベント信号をトリガとし、CPU を介さずに別の周辺モジュールを起動させる機能です。あるモジュールのイベントを起因に他の様々な機能を連動的に動作させることが可能です。



4.2 ELC と CPU 割り込みの比較

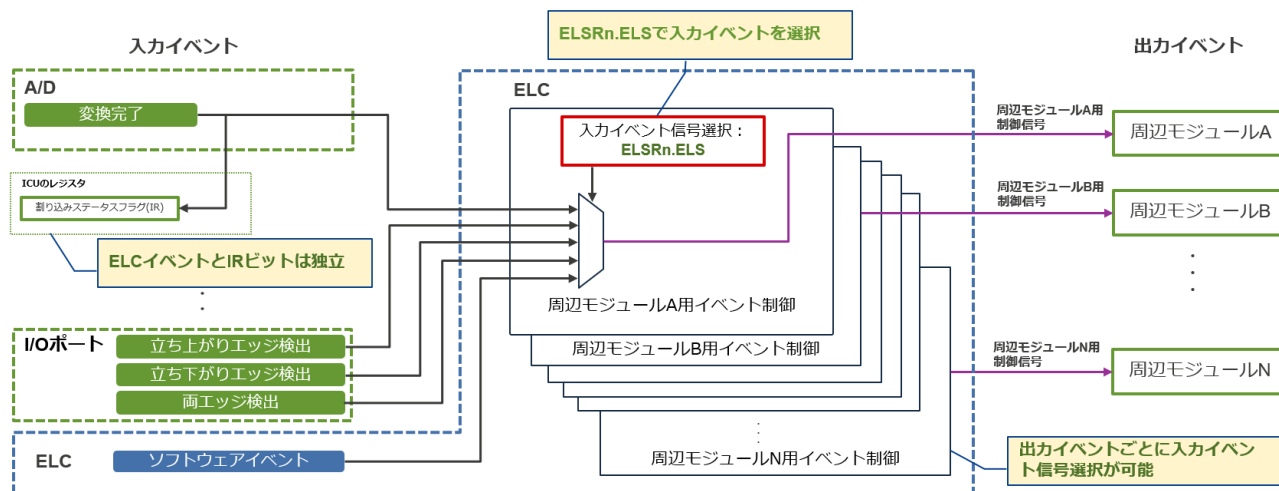
イベントリンクコントローラを使用するケースと CPU 割り込みを使用するケースの比較を以下に示します。

青字：メリット

項目	ELC	CPU割り込み
CPU占有	なし	あり
1入力イベントに対する同時出力イベント数	複数可能	複数可能 (ただし、命令によりひとつずつ実行)
複数入力イベント発生時の出力イベント対応数	複数の出力イベントを並列に対応可能	優先度の高い順に1つつ順番に対応可能

4.3 ELC の入カイベントと出カイベントの接続方法

イベントリンクコントローラの構造について下記に示します。ELC は各出カイベントで一つの制御レジスタ(ELSRn)を保有しており、1つの入カイベントで複数の出カイベントを起動できます。入カイベントと割り込みステータスフラグ(IR ビット)は独立しており、CPU 割り込みへの影響は与えません。



4.4 ELC の入カイベントと出カイベントまとめ

入カイベントと出カイベントを下記にまとめます。(下記は RA6M5 の例になります。詳細は各 RA 製品の「ELC」章をご確認ください。)

入カイベント：ELCを起動させるイベントとなる機能

タイマ ■ GPT - コンペアマッチ - オーバーフロー - アンダフロー - 周期係数機能終了 - UVWのエッジイベント ■ AGT - AGT割り込み - コンペアマッチA/B	
通信 ■ SCI - 受信エラー - 受信データフル - 送信データエンプティ - 送信完了 - アドレス一致イベント ■ IIC - 受信エラー - 受信データフル - 送信データエンプティ - 送信終了 ■ SPI - 受信バッファフル - 送信バッファエンプティ - エラー - アイドル - 通信完了イベント	
システム ■ クロック発生回路 - 発振停止検出 ■ LVD1/2 - 電圧検出 ■ IWD1, WDT - アンダフロー ■ RTC - 周期割り込みイベント ■ LPW - スヌーズエントリ	
データ転送、演算 ■ DAMC, DTC - 転送終了 ■ DOC - データ演算回路割り込み	
アナログ ■ 12bit A/D - スキャン終了割り込み - コンペアマッチ - コンペア不一致	
I/Oポート ■ IRQ0~15 - 外部端子割り込み ■ Port1~4 - ポートイベント	
その他 ■ ELC - ソフトウェアイベント	



出カイベント：入カイベントを受けてELCが実行できる機能

タイマ ■ GPT - カウントスタート - カウントストップ - カウンタクリア - カウンタアップ - カウンタダウン - キャプチャ動作
アナログ ■ 12bit A/D - AD変換開始 ■ 12bit D/A - DA変換開始
I/Oポート ■ Port1~4 - ポート出力(Low/High) - ポート読み出し
タッチセンサ ■ CTSU - 外部トリガで計測開始

4.5 ELC 使用時の関連レジスタ

ELC は ELCR レジスタと ELSRn レジスタで制御できます。赤枠の機能は ELC の設定以外に各機能内のレジスタ設定が必要です。

入カイベント

タイマ ■ GPT - コンペアマッチ - オーバーフロー - アンダフロー - 周期係数機能終了 - UVWのエッジイベント ■ AGT - AGT割り込み - コンペアマッチA/B	通信 ■ SCI - 受信エラー - 受信データフル - 送信データエンプティ - 送信完了 - アドレス一致イベント ■ IIC - 受信エラー - 受信データフル - 送信データエンプティ - 送信終了 ■ SPI - 受信バッファフル - 送信バッファエンプティ - エラー - アイドル - 通信完了イベント
システム ■ クロック発生回路 - 発振停止検出 ■ LVD1/2 - 電圧検出 ■ IWDT, WDT - アンダフロー ■ RTC - 周期割り込みイベント ■ LPW - スヌーズエントリ	
データ転送、演算 ■ DAMC, DTC - 転送終了 ■ DDC - データ演算回路割り込み	
アナログ ■ 12bit A/D - スキャン終了割り込み - コンペアマッチ - コンペア不一致	I/Oポート ■ IRQ0-15 - 外部端子割り込み ■ Port1~4 - ポートイベント
その他 ■ ELC - ソフトウェアイベント	

ELCレジスタ

- ・ ELCR: ELC有効無効設定
- ・ ELSRn: 入カイベント設定
- ・ ELCSARA/B/C: ELCセキュリティ属性設定
- ・ ELSEGRn: ソフトウェアイベント設定 (ソフトウェアイベントを入カイベントとして使用する場合は設定してください)

出カイベント

タイマ ■ GPT - カウントスタート - カウントストップ - カウントクリア - カウントアップ - カウントダウン - キャプチャ動作
アナログ ■ 12bit A/D - AD変換開始 ■ 12bit D/A - DA変換開始
I/Oポート ■ Port1~4 - ポート出力(Low/High) - ポート読み出し
タッチセンサ ■ CTSU - 外部トリガで計測開始

ELC 関連以外の各機能側で設定が必要なレジスタを下記に示します。

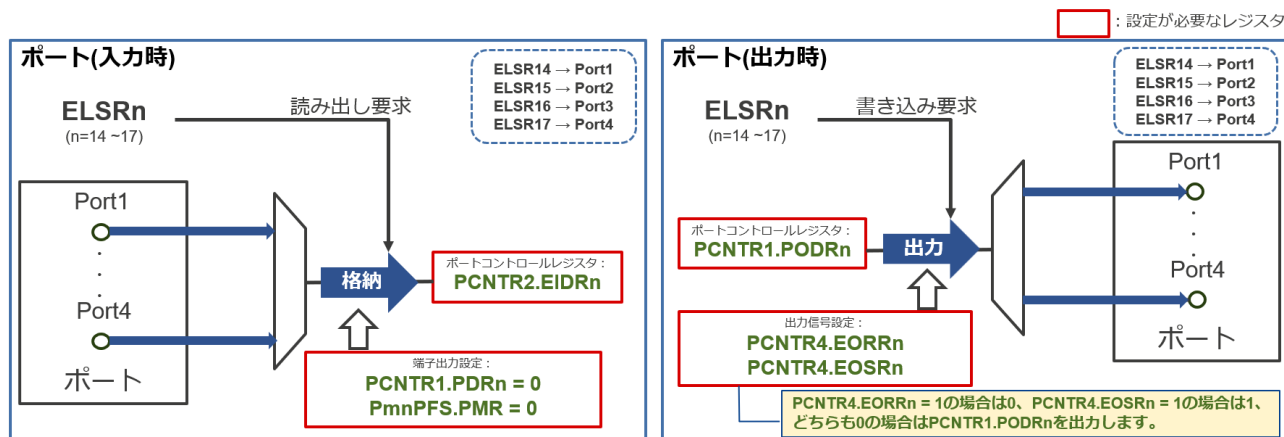
出カイベント

タイマ ■ GPT - カウントスタート - GTSSR: カウントスタート要因設定 - カウントストップ - GTPSR: カウントストップ要因設定 - カウントクリア - GTCSR: カウントクリア要因設定 - カウントアップ - GTUPSR: カウントアップ要因設定 - カウントダウン - GTDSNR: カウントダウン要因設定 - キャプチャ動作 - GTICnSR: インพุットキャプチャn要因設定
アナログ ■ 12bit A/D - イベント許可 - ADCSR.GBADIE: スキャン終了時イベント許可(グループBのみ) - A/D変換開始 - ADCSR.EXTRG: A/D変換開始トリガ選択 - ADSTRGR.TRSn: A/D変換開始トリガ選択
タッチセンサ ■ CTSU - 外部トリガで計測開始 - CTSUCR0.CTSUCAP: 計測開始トリガ選択
I/Oポート ■ PCNTR2.EIDRn: イベント発生時該当端子の入力データをラッチ ■ PCNTR4.EORRn: イベント発生時該当端子の出力値を設定 (出力影響なし またはHigh出力) ■ PCNTR4.EOSRn: イベント発生時該当端子の出力値を設定 (出力影響なし またはLow出力)

4.6 ELC の設定方法

ポートのイベントは以下の2種類があります。

- ・入力：イベントが入力されると、イベント n に対応した番号の端子のレベルを PCNTR2.EIDR n に転送する。
- ・出力：イベントが入力されると、PCNTR1.PODR n で設定した値をイベント n に対応した番号の端子から出力する。(PCNTR4.EORR n / PCNTR4.EOSR n で出力を変更できる)



4.7 ELC 設定の補足及び注意事項

(1) 補足事項

ELC はスリープモードなどの CPU 停止状態でも動作可能です。ただし、ELC 章の「使用上の注意事項」にあるように ELC と対象の周辺モジュールへのクロック供給が停止するモードでは動作しませんのでご注意ください。ELC に使用する入力イベントは同時に DTC の転送要因としても使用可能です。

(2) 注意事項

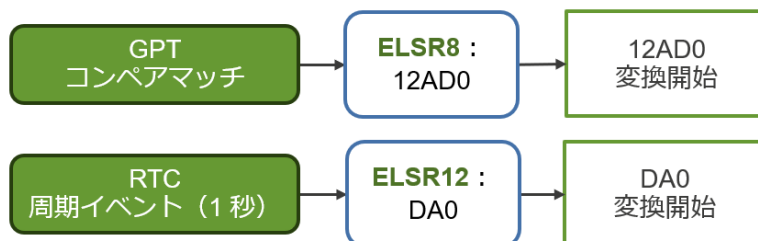
ELC 使用時の注意点が ELC 章の「使用上の注意事項」にありますので、必ずご一読ください。使用する周辺モジュール側の「使用上の注意事項」も必ずご一読ください。

4.8 活用例

ELC は様々な用途に応用可能で、以下のような活用法があります。

(1) 活用例 1 CPU を介さずに周辺モジュールを実行する

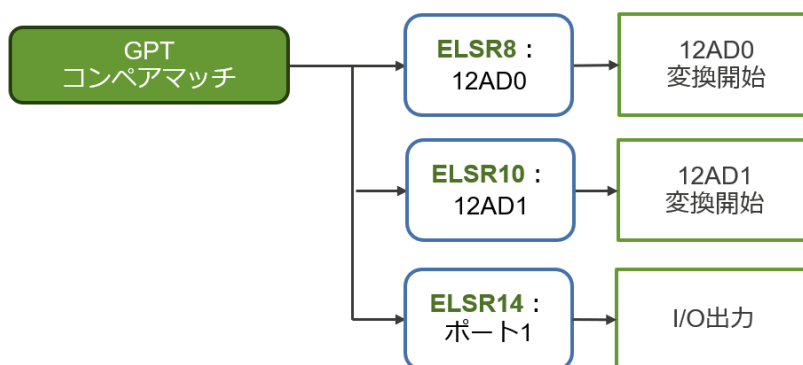
ELC の特性を活かし、CPU を介させず一定周期で周辺モジュールを実施する例を示します。



例：コンペアマッチや RTC の周期イベントで 12 ビット A/D や D/A の変換開始

(2) 活用例 2 1 つのイベント信号で異なる複数の周辺モジュールを実行する

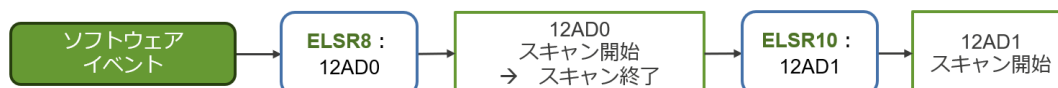
ELC の特性を活かし、1 つの入力イベント信号で複数の周辺モジュールを起動させる例を示します



例：GPT のコンペアマッチで 12AD0、12AD1、I/O 出力 を同時駆動

(3) 活用例 3 周辺モジュールを数珠繋ぎしてシーケンス転送を実行する

ELC の特性を活かし、1 つの入力イベント信号で複数の周辺モジュールを連続して起動させる例を示します。



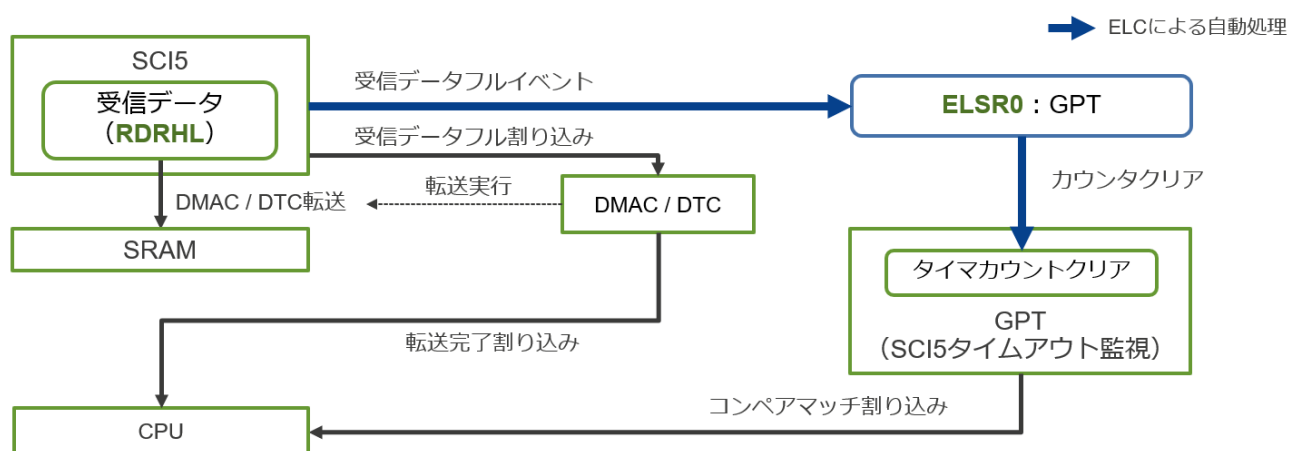
例：ソフトウェアイベントで 12AD0 を変換開始、12AD0 変換終了を入力イベントとして 12AD1 の変換開始

4.9 応用例

具体的な応用例を紹介します。

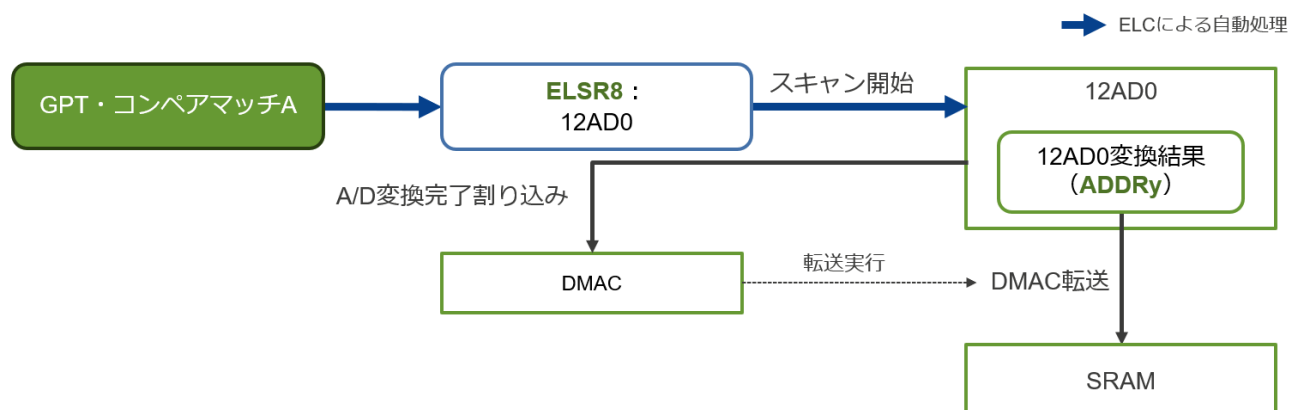
(1) 応用例 1 CPU を介さずに SCI 受信時データ転送とタイムアウト再設定を行う

一定間隔で SCI 受信が必要なシステムにおいて、SCI 受信後次の受信終了までのタイムアウト検知を GPT を使用して自動的に行う例になります。CPU は一切介在しません。SCI の受信データフル割り込みを ELC の入力イベントとし、ELC が GPT のタイマカウントをクリアします。タイマは受信間隔に合わせてコンペアマッチするように設定しています。カウンタクリアが間に合わない場合はコンペアマッチ割り込みが発生しタイムアウトしたことを CPU に知らせます。なお、受信データフル割り込みを転送要因として DMAC / DTC による SRAM への受信データ転送を同時に行います。



(2) 応用例 2 CPU を介さずに周期的に A/D 変換を行い、変換結果を SRAM に保存する

ELC と DMAC を組み合わせることで、周期的に A/D 変換処理から変換データ格納まで CPU を介さず行うことができます。入力イベントである GPT のコンペアマッチにより ELC は A/D 変換を開始させます。また、A/D 変換終了割り込みを転送要因として DMAC により A/D 変換結果を SRAM に保存します。DMAC はフリーランモードにすることで、転送回数の再設定をする必要がなくなります。



4.10 アプリケーションノート一覧

ELC を使用したアプリケーションの例を以下に示します。詳細は各アプリケーションノートを参照してください。

アプリケーションノート名	資料 No
RA2E1/RA2E2 Group Low Power Application (Use of ADC, DTC and ELC at Snooze mode) for FPB-RA2E1 and FPB-RA2E2	R30AN0392
PM モータのセンサレスベクトル制御 Renesas Flexible Motor Control シリーズ用 フライングスタート機能搭載	R01AN8230
Renesas RA8 Series Getting Started with RA8 Power Management Techniques	R01AN7342

5. 外部バスコントローラ

5.1 バスコントローラ構成

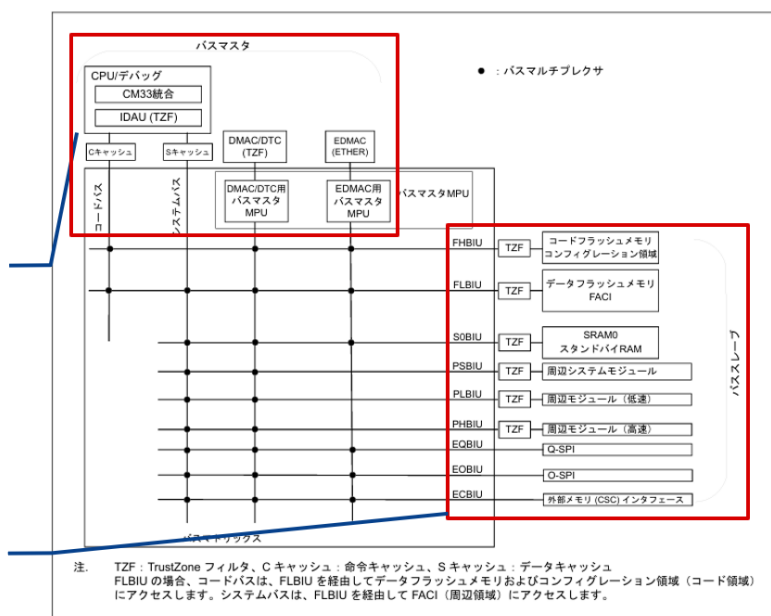
RA の内部バスは、マスタとスレーブに分かれており、マスタとスレーブがマトリックス状に繋がる構成となっています。

バスマスタ

4つのバスと、CPU、DMAC/DTC、EDMACの3つのマスタが存在します。それぞれのマスタが異なるスレーブにアクセスする際、並列動作が可能です。

バススレーブ

9つのバスと、それぞれに対応するスレーブが存在します。EQBIU/EOBIU/ECBIUは外部バスに分類されます。各スレーブに対応したBUSSCNTレジスタを設定することで、スレーブ毎にマスタのアービトレーションを設定できます。



5.2 アービトレーション

アービトレーションとは、バスアクセスの衝突を防ぐため、各バスに設定される優先順位です。スレーブに対応する BUSSCNT<スレーブ名>.ARBS ビットの値を設定することで、スレーブ毎に各マスタのアービトレーションを決定できます。以下に FHBUI バスのビット設定と優先順位の例を示します。

BUSSCNT FHBUI.ARBS[1:0]	各バスマスタの優先度(アービトレーション)		
	EDMAC	DMAC / DTC	CPU
00	高	中	低
10	高*	高*	中
11	高*	高*	高*

* 同じ優先度間ではラウンドロビン方式で動作する

5.3 外部バス

外部バス空間は、複数の CS 空間と SPI 空間に分割されています。相手デバイスの仕様に合わせて、アクセス方法やウェイト設定を行い、出力波形を制御することでバス接続を行うことが可能になります。

■CS 空間

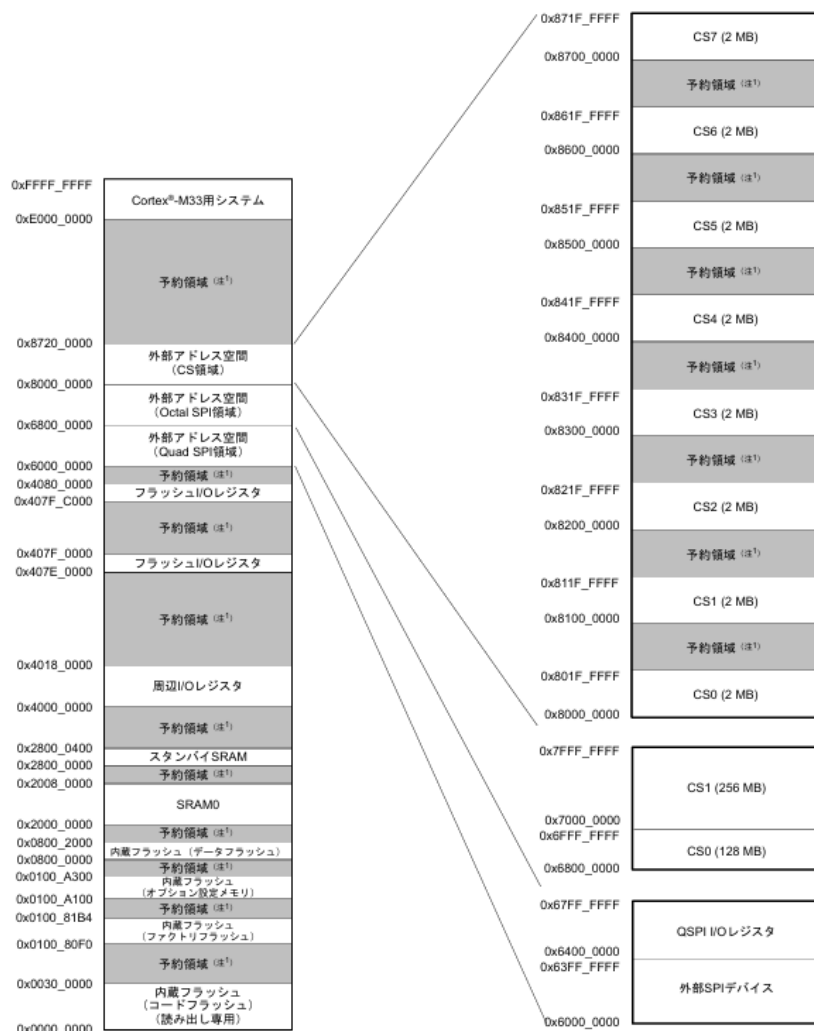
一部製品で対応しています。分割されたそれぞれの空間ごとに、以下の設定が可能です。

- ・アクセス方法の設定(セパレートバス or アドレス/データマルチプレクスバス)
- ・バス幅設定
- ・リカバリサイクル、サイクルウェイト、外部/内部ウェイト制御
- ・ライトアクセスモード設定(1 ライトストロブ or バイトストロブ)
- ・エンディアン設定
- ・ページリード/ライト制御

■SPI 空間

一部製品で対応しています。それぞれの空間に外部の記憶領域を対応させ、シリアル通信によって高速なアクセスを行います。詳細は各 RA 製品の「シリアルペリフェラルインタフェース(SPI)」

「クワッドシリアルペリフェラルインタフェース(QSPI)」 「オクタシリアルペリフェラルインタフェース(OSPI)」の章をご確認ください。



外部アドレス空間と CS 空間

5.3.1 各モードと使用端子一覧

外部バスの各モードと使用可能な端子一覧を以下に示します。

端子	CS空間				非アクセス時の状態
	セパレート		アドレスデータマルチプレクス		
	バイトストローブ	1ライトストローブ	バイトストローブ	1ライトストローブ	
A23~A0	✓	✓			ハインピーダンス
D15~D0	✓	✓			
A0/D0~A15/D15*			✓	✓	
BC0#~BC3#		✓		✓	High
CS0#~CS7#	✓	✓	✓	✓	High
RD#	✓	✓	✓	✓	High
WR0#/WR#	✓(WR0#として使用)	✓(WR#として使用)	✓(WR0#として使用)	✓(WR#として使用)	High
WR1#~WR3#	✓		✓		High
ALE			✓	✓	Low
WAIT#	✓	✓	✓	✓	
BCLK	✓	✓	✓	✓	

*A0/D0~A15/D15 はアドレス/データマルチプレクス専用端子です。
セパレートバスでアドレスとして使用することはできません。

5.3.2 各モードと設定レジスタ

外部バスの各モードと設定が必要なレジスタの一覧を示します。

レジスタ名および設定内容		CS空間	バスエラー 関連	その他
CSnCR	バス動作許可/禁止、バス幅、エンディアン設定、アクセス方法(セパレート or マルチプレクス)	✓		
CSnREC	リカバリサイクル数(リード、ライト)	✓		
CSRECEN	リカバリサイクル挿入許可/禁止	✓		
CSnMOD	ライトアクセスモード設定、外部ウェイト許可/禁止、ページリード/ライトアクセス許可/禁止	✓		
CSnWCR1,2	ウェイト設定(ノーマルライト/リード、ページライト/リード、CS延長サイクル(リード/ライト)、ライトデータ出力延長/出力ウェイト、アドレスサイクル、アサート(RD,WD,CS))	✓		
BUSnERRCLR	バスエラーステータスクリア		✓	
DMACDTCERRCLR	DMAC/DTCエラークリア		✓	
BUSSARA,B	バスセキュリティ設定			✓
BUSSCNT<slave*>	スレーブバスアービトレーション設定			✓

* : <>中にはスレーブ名が入ります。スレーブ毎にマスタの数異なるため、アービトレーション設定ビット領域のサイズが異なります。ビットを書き込む際にはご注意ください。

5.3.3 各モードと設定レジスタ(CS 空間詳細)

CS 空間における外部バスの各モードと設定が必要なレジスタ詳細を以下に示します。

W : Write, R : Read

説明	レジスタ名	ビット名	レジスタ名および設定内容 詳細	セパレート	アドレスデータ マルチプレクス	ページ アクセス	リカバリ
動作モード 関連の設定	CSnCR	EXENB	外部バスの動作禁止/許可設定	✓	✓	-	-
		BSIZE[1:0]	外部バス幅選択	✓	✓	-	-
		EMODE	CS領域のエンディアン設定	✓	✓	-	-
		MPXEN	アクセス方法(セパレートバス、アドレスデータマルチプレクス)設定	✓	✓	-	-
	CSnMOD	WRMOD	ライトアクセスモード設定(バイトストローブ/1ライトストローブ)	✓	✓	-	-
		EWENB	外部ウェイトの許可/禁止設定	✓	✓	-	-
		PRENB	ページリードアクセス許可/禁止設定	-	-	✓(R)	-
		PWENB	ページライトアクセス許可/禁止設定	-	-	✓(W)	-
リカバリ サイクル 関連の設定	CSnREC	PRMOD	ページリードアクセスモード選択 (ノーマルアクセス互換モード/外部データリード連続アサート)	-	-	✓(R)	-
		RRCV[3:0]	リードリカバリ数の設定	-	-	-	✓(R)
	CSRECEEN	WRCV[3:0]	ライトリカバリ数の設定	-	-	-	✓(W)
		RCVEN0~7	セパレートバス用リカバリサイクルの許可/禁止	-	-	-	✓(R)
ウェイト 制御	CSnWCR1	RCVENM0~7	マルチプレクスバス用リカバリサイクルの許可/禁止	-	-	-	✓(W)
		CSPWAIT[4:0]	ページライトサイクルウェイト数設定	-	-	✓(W)	-
		CSPRWAIT[4:0]	ページリードサイクルウェイト数設定	-	-	✓(R)	-
		CSWWAIT[4:0]	ノーマルライトサイクルウェイト数設定	✓(W)	✓(W)	-	-
	CSnWCR2	CSRWAIT[4:0]	ノーマルリードサイクルウェイト数設定	✓(R)	✓(R)	-	-
		CSROFF[2:0]	リード時CS延長サイクル数設定	✓(R)	✓(R)	-	-
		CSWOFF[2:0]	ライト時CS延長サイクル数設定	✓(W)	✓(W)	-	-
		WDOFF[2:0]	ライトデータ出力延長サイクル数設定	✓(W)	✓(W)	-	-
		AWAIT[1:0]	アドレスサイクルウェイト数設定	-	✓(W)	-	-
		RDON[2:0]	RDアサートウェイト数設定	✓(R)	✓(R)	-	-
		WRON[2:0]	WRアサートウェイト数設定	✓(W)	✓(W)	-	-
		WDON[2:0]	ライトデータ出力ウェイト数設定	✓(W)	✓(W)	-	-
		CSON[2:0]	CSアサートウェイト数設定	✓(R/W)	✓(R/W)	-	-

5.3.4 外部バスインタフェース端子設定方法について

外部バスインタフェースの端子設定は端子機能選択ビット (PmnPFS.PSEL[4:0])を設定することで行います。書き込みプロテクトレジスタ(PWPR)で書き込み禁止を解除してから PSEL[4:0]を操作してください。RA6M5 の例を以下に示します。

✓ : 利用可能 - : 設定禁止

端子	PSEL[4:0]	信号名	ボードのpin数		
			176pin	144pin	100pin
P100	01011b	D00[A00/D00]	✓	✓	✓
P101		D01[A01/D01]	✓	✓	✓
P102		D02[A02/D02]	✓	✓	✓
P103		D03[A03/D03]	✓	✓	✓
P104		D04[A04/D04]	✓	✓	✓
P105		D05[A05/D05]	✓	✓	✓
P106		D06[A06/D06]	✓	✓	✓
P107		D07[A07/D07]	✓	✓	✓
P111		A05	✓	✓	✓
P112		A04	✓	✓	✓
P113		A03	✓	✓	✓
P114		A02	✓	✓	✓
P115	01011b	A01	✓	✓	✓
P202		WR1/BC1	✓	✓	-
P203		A19	✓	✓	-
P204		A18	✓	✓	-
P205		A16	✓	✓	✓
P206		WAIT	✓	✓	✓
P207		A17	✓	✓	✓
P208		CS4	✓	✓	✓
P209		CS5	✓	✓	✓
P210		CS6	✓	✓	✓
P211		CS7	✓	✓	✓
P301	01011b	A06	✓	✓	✓
P302		A07	✓	✓	✓
P303		A08	✓	✓	✓
P304		A09	✓	✓	✓
P305		A10	✓	✓	✓
P306		A11	✓	✓	✓
P307		A12	✓	✓	✓
P308		A13	✓	✓	-
P309		A14	✓	✓	-
P310		A15	✓	✓	-
P311		CS2	✓	✓	-
P312	01011b	CS3	✓	✓	-
P313		A20	✓	✓	-
P314		A21	✓	-	-
P315		A22	✓	-	-
P504		ALE	✓	✓	✓
P600		RD	✓	✓	✓
P601		WR/WR0	✓	✓	✓
P602		EBCLK	✓	✓	✓
P603		D13[A13/D13]	✓	✓	-
P604		D12[A12/D12]	✓	✓	-
P605		D11[A11/D11]	✓	✓	-
P608	01011b	A00/BC0	✓	✓	✓
P609		CS1	✓	✓	✓
P610		CS0	✓	✓	✓
P612		D08[A08/D08]	✓	✓	-
P613		D09[A09/D09]	✓	✓	-
P614		D10[A10/D10]	✓	✓	-
P800		D14[A14/D14]	✓	✓	-
P801		D15[A15/D15]	✓	✓	-
P900		A23	✓	-	-

5.3.5 CS 空間（ライトアクセスモード）

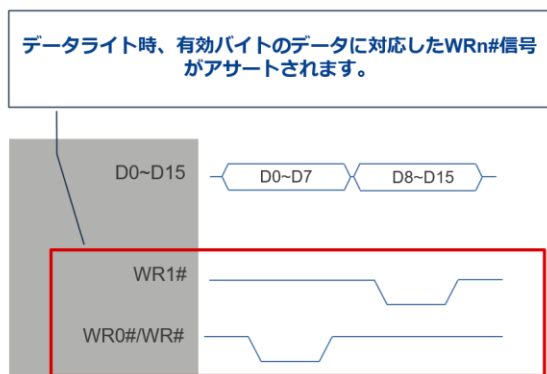
CS 空間のライトアクセスモードには、バイトストローブモードと 1 ライトストローブモードの 2 つがあります。

バイトストローブモード : 複数のライト信号(WR0#,WR1#)を使用してライト処理を行うモードです。バイト位置ごとに異なるライト信号を用いるため、バイトコントロール信号を使用しません。

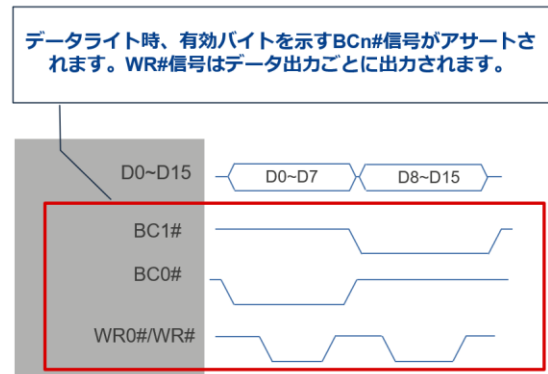
1 ライトストローブモード : 1 つのライト信号(WR#)を用いてライト処理を行うモードです。バイトコントロール信号(BC0#,BC1#)を用いて、有効バイト位置を指定します。

5.3.6 ライトアクセスモード

バイトストローブモードと 1 ライトストローブモード、それぞれの各信号出力例を以下に示します。



バイトストローブ ライトアクセス信号出力例
(16ビットバス空間 4n+1アドレスへの16ビットアクセス)



1ライトストローブ ライトアクセス信号出力例
(16ビットバス空間 4n+1アドレスへの16ビットアクセス)

5.3.7 エンディアン

外部バスはCS空間ごとにエンディアンを設定できます。また、設定したエンディアンおよびアクセスアドレスにより1度の転送要求で複数のアクセスが発生します。バス幅以上のデータサイズアクセスを行う場合、2回目以降のアクセスでページアクセスが発生することがあります。アクセス先の空間のバス幅に合わせたアクセスアドレス指定をすることで、アクセス回数の増加を抑えることができます

データバス幅を超えるアクセスサイズのアクセスをするとページアクセスが発生することがあります。対象アクセスには(p)を表示しています。

設定したエンディアンによりデータのアクセス順が変わります。

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス	WR1/BC1 RD WR0/BC0		
						D15	D08/D07	D00
8ビット	4n	1	1番目	8ビット	4n	7	0	0
	4n+1	1	1番目	8ビット	4n	7	0	0
	4n+2	1	1番目	8ビット	4n+2	7	0	0
	4n+3	1	1番目	8ビット	4n+2	7	0	0
16ビット	4n	1	1番目	16ビット	4n	15	8/7	0
	4n+2	1	1番目	16ビット	4n+2	15	8/7	0
32ビット	4n	2	1番目	16ビット	4n	15	8/7	0
	4n+2	2	2番目	16ビット	4n+2	31	24/23	0

(p): ページアクセス (CSnMODレジスタのPRENBビットとPWENBビットでページアクセス許可の場合のみ)

図 14.3 CS 領域の 16 ビットバス空間におけるデータアライメント (リトルエンディアン)

データサイズ	アクセスアドレス	アクセス数	バスサイクル	データ単位	アドレス	WR1/BC1 RD WR0/BC0		
						D15	D08/D07	D00
8ビット	4n	1	1番目	8ビット	4n	7	0	0
	4n+1	1	1番目	8ビット	4n	7	0	0
	4n+2	1	1番目	8ビット	4n+2	7	0	0
	4n+3	1	1番目	8ビット	4n+2	7	0	0
16ビット	4n	1	1番目	16ビット	4n	15	8/7	0
	4n+2	1	1番目	16ビット	4n+2	15	8/7	0
32ビット	4n	2	1番目	16ビット	4n	31	24/23	0
	4n+2	2	2番目	16ビット	4n+2	15	8/7	0

(p): ページアクセス (CSnMODレジスタのPRENBビットとPWENBビットでページアクセス許可の場合のみ)

図 14.4 CS 領域の 16 ビットバス空間におけるデータアライメント (ビッグエンディアン)

5.3.8 各種ウェイト設定

(1) ノーマルリードタイミング

ノーマルリードタイミング例を以下に示します。接続デバイスに合わせてウェイトを挿入し、出力波形を制御してください。

RD#アサートの延長サイクルです。このサイクルの次のBCLK分までRD#がアサートされます。

CS#をアサートするまでのウェイトサイクルです。

RD#をアサートするまでのウェイトサイクルです。

レジスタ名	ビット名
CSnWCR1	CSRWAIT[4:0]
	CSROFF[2:0]
CSnWCR2	RDON[2:0]
	CSON[2:0]

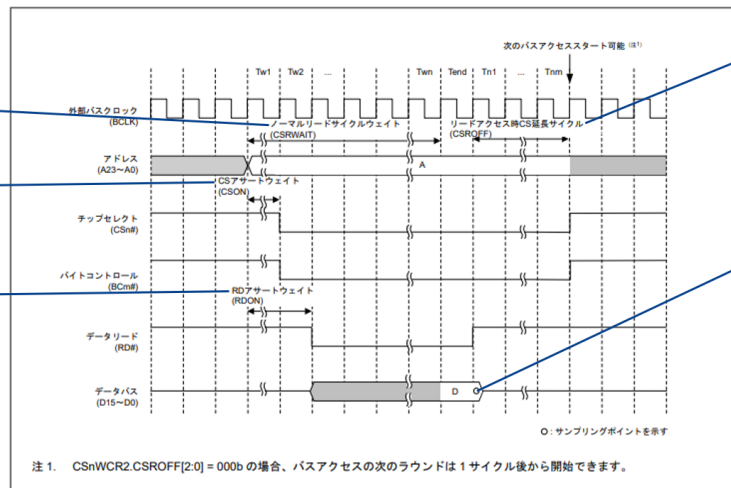


図 14.7 ノーマルリードアクセスのバスタイミング (n = 0~7, m = 0~1)

CS#をネグートするまでのウェイトサイクルです。CS#ネグート後、次のバスアクセスが可能ですが、本値が0の場合、次のアクセス開始は1サイクル後となります。

リードのサンプリングポイントです。

ノーマルリードサイクルでは以下制約があります。
CSn[2:0] ≧ CSRWAIT
RDON[2:0] ≧ CSRWAIT
CSn[2:0] ≧ CSON

(2) ノーマルライトタイミング

ノーマルライトタイミング例を以下に示します。接続デバイスに合わせてウェイトを挿入し、出力波形を制御してください。

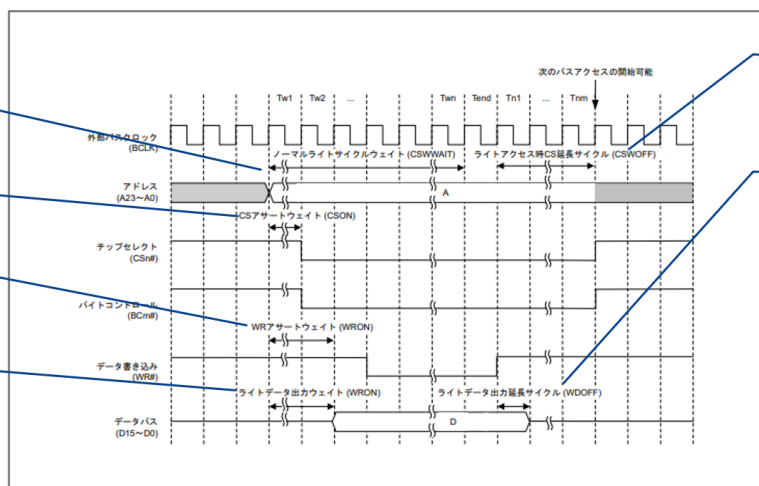
WR#アサートの延長サイクルです。
このサイクルの次のBCLK分まで
WR#がアサートされます。

CS#をアサートするまでの
ウェイトサイクルです。

WR#をアサートするまでの
ウェイトサイクルです。

ライトデータを出力し始めるま
でのウェイトサイクルです。

レジスタ名	ビット名
CsnWCR1	CSWWAIT[4:0]
	CSWOFF[2:0]
	WDOFF[2:0]
CsnWCR2	WRON[2:0]
	WDON[2:0]
	CSON[2:0]



WR#がネグートしてから、
CS#をネグートさせるまでの
ウェイトサイクルです。
CS#ネグート後、次のバスア
クセスが開始可能です。

WR#信号がネグートした後、
ライトデータをネグートさせる
までのウェイトサイクルです。

ノーマルライトサイクルでは
以下制約があります。

1≦WDON[2:0]
CSON[2:0]≦CSWWAIT
WRON[2:0]≦CSWWAIT
WDON[2:0]≦CSWWAIT
WDOFF[2:0]≦CSWOFF
WDON[2:0]≦WRON
CSON[2:0]≦WRON

図 14.8 ノーマルライトアクセスのバスタイミング (1 ライトストローブモード) (n = 0~7, m = 0~1)

5.3.9 外部バスクロックと BCLK 端子

製品によっては、BCLK 端子出力を内部の BCLK の 1/2 に設定する必要があります。この時の動作例と注意点を以下に示します。

各ウェイト数は、内部のBCLKで
換算されます。BCLK端子出力カ
ククロック換算ではないため注意
ください。

設定したウェイト数により、リー
ド/ライトのネグートタイミング
は、BCLK端子出力の立ち下がり
で変化する場合があります。

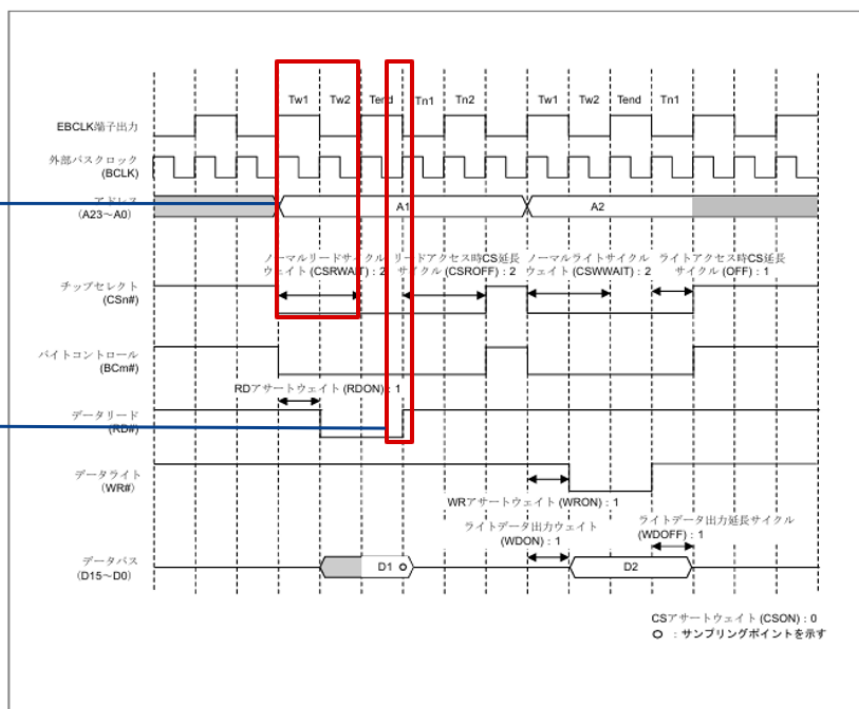


図 14.12 ノーマルアクセスの動作例 (EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0~7, m = 0~1)

5.3.10 ページアクセス

1度の転送要求で複数のアクセスが発生したとき、ページアクセスが発生します。ページアクセスはデータアクセス間のウェイトをノーマルアクセスと異なるウェイト数にすることができます。

二回目以降のアクセス間において、ノーマルアクセスのノーマルリード(ライト)サイクルウェイトの代わりにページリード(ライト)サイクルウェイトが挿入されることがあります。

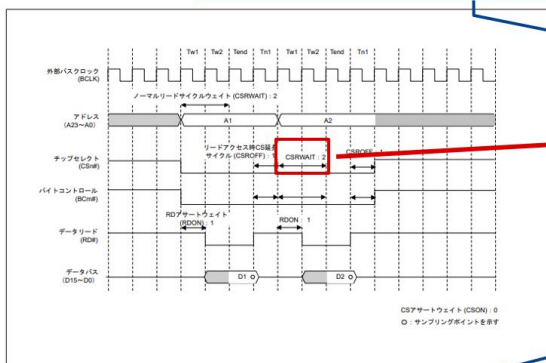


図 14.10 ノーマルリードアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0~7, m = 0~1)

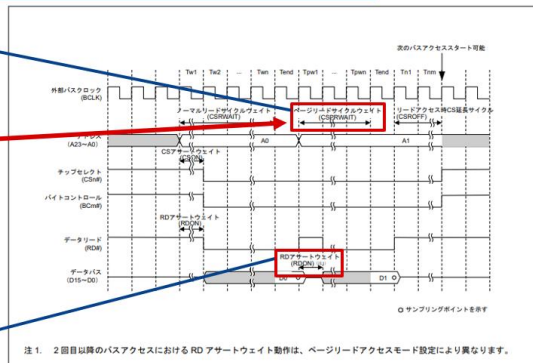


図 14.17 ページリードアクセスのタイミング (n = 0~7, m = 0~1)

レジスタ名	ビット名
CSPWVWAIT[4:0](ライト時)	
CSPRWAIT[4:0](リード時)	

WRアサートウェイトは1回目と同様に有効ですが、RDアサートウェイトは以下になります。
CSnMOD.PRMODビットが0の場合：1回目と同様RDアサートが有効かつその間RD信号はネゲート
CSnMOD.PRMODビットが1の場合：1回目と同様RDアサートが有効かつその間RD信号はアサート継続

5.3.11 アドレス/データマルチプレクス

アドレス/データマルチプレクスアクセス例を以下に示します。接続デバイスに合わせてウェイトを挿入し、出力波形を制御してください。

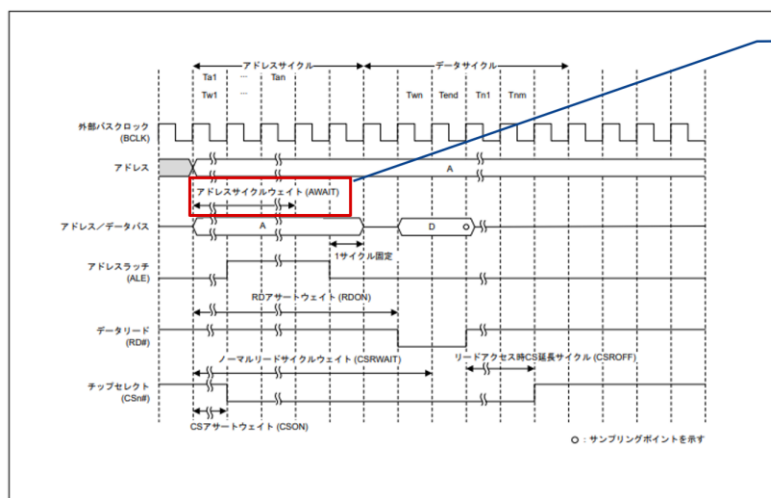


図 14.23 アドレス/データマルチプレクス I/O インタフェース時のリードアクセスの動作例 (n = 0~7)

最初のアドレスサイクルにおいてALEのネゲートタイミングを設定します。

アドレス/データマルチプレクスでは以下制約があります。

<リード時>

CSn[2:0] ≤ CSWAIT
RDn[2:0] ≤ CSWAIT
CSn[2:0] ≤ RDON
AWAIT[1:0] + 2 ≤ RDON
CSn[2:0] ≤ AWAIT

<ライト時>

CSn ≤ CSWVWAIT
WDn[2:0] ≤ CSWVWAIT
WDn[2:0] ≤ CSWVWAIT
WDOFF[2:0] ≤ CSWVWAIT
WDn[2:0] ≤ WRON
CSn[2:0] ≤ WRON
AWAIT[1:0] + 2 ≤ WRON
AWAIT[1:0] + 2 ≤ WDON
CSn[2:0] ≤ AWAIT

<リード時>

レジスタ名	ビット名
CSPWVWAIT[4:0]	
CSPRWAIT[4:0]	
RDON[2:0]	
CSn[2:0]	
AWAIT[4:0]	

<ライト時>

レジスタ名	ビット名
CSPWVWAIT[4:0]	
CSPRWAIT[4:0]	
WDn[2:0]	
WDOFF[2:0]	
WDn[2:0]	
CSn[2:0]	
AWAIT[4:0]	

5.3.12 リカバリサイクル

RA は外部アクセスと外部アクセスの間にリカバリサイクル(CS#端子ネグート期間の延長)を設定することができます。接続デバイスに合わせて CS ネグート区間を設定してください。なお、バスマスタからの一回の転送要求に対して 2 回以上の外部バスアクセスが必要となる場合で、かつ以下リカバリサイクル挿入条件が成り立つ場合、途中のアクセスへのリカバリサイクル挿入は以下のようになります。

(1) ノーマルアクセスの場合：

ページアクセス無効時：途中のアクセスにリカバリサイクルが挿入されます

ページアクセス有効時：途中のアクセスにリカバリサイクルが挿入されません

(2) アドレス/データマルチプレクスの場合：

ページアクセスの有効/無効にかかわらず途中のアクセスにリカバリサイクルが挿入されます

アクセスの種類	外部 アドレス空間	リカバリサイクルの 挿入サイクル数設定	リカバリサイクル挿入の許可/禁止設定	
			セパレートバス	マルチプレクスバス
リードアクセス後の リードアクセス	同じ領域	CSnREC.RRCV[3:0]*	CSRECEN.RCVEN0	CSRECEN.RCVENM0
	異なる領域		CSRECEN.RCVEN1	CSRECEN.RCVENM1
リードアクセス後の ライトアクセス	同じ領域		CSRECEN.RCVEN2	CSRECEN.RCVENM2
	異なる領域		CSRECEN.RCVEN3	CSRECEN.RCVENM3
ライトアクセス後の リードアクセス	同じ領域	CSnREC.WRCV[3:0]	CSRECEN.RCVEN4	CSRECEN.RCVENM4
	異なる領域		CSRECEN.RCVEN5	CSRECEN.RCVENM5
ライトアクセス後の ライトアクセス	同じ領域		CSRECEN.RCVEN6	CSRECEN.RCVENM6
	異なる領域		CSRECEN.RCVEN7	CSRECEN.RCVENM7

*CSnWCR2.CSROFF[2:0]=000b (リード時 CS 延長サイクルが 0)の場合、次のバス開始サイクルは 1 サイクル後になります。本設定で“サイクルを挿入しない”としても、1 サイクルはネグートが入ります。

以下にリカバリサイクルの挿入例を示します。

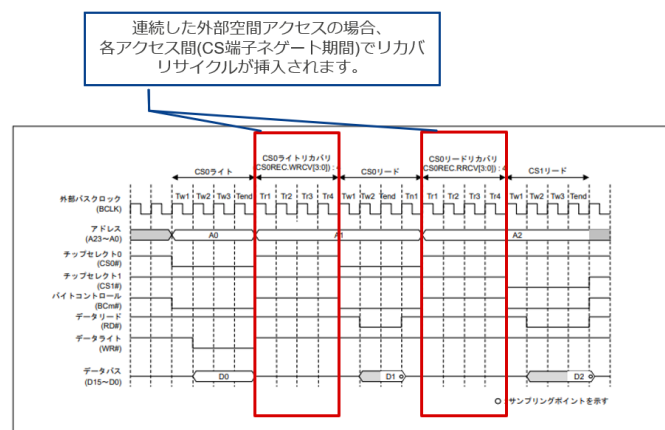


図 14.31 セパレートバスインタフェース時のリカバリサイクルの挿入例 (m = 0, 1)

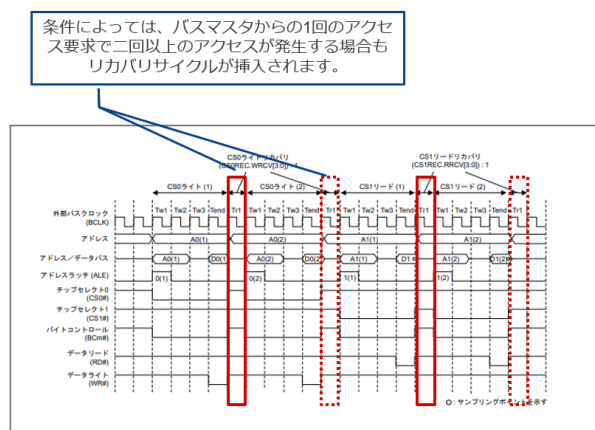


図 14.32 バスアクセスが分割された場合のリカバリサイクルの挿入例 (セパレートバスインタフェース、ノーマルアクセスの場合) (m = 0, 1)

5.3.13 バスエラー

RA では、大きく分けて 5 種類のバスエラーを検知できます。各エラー発生時、バスエラーステータスレジスタ(BUSnERRSTAT)の各ビットが 1 になります。同時にエラーが発生した場合、バスマスタ MPU エラー > 不正アドレスアクセスエラー or スレーブバスエラーの優先順でビットが有効になります。不正アドレスアクセスエラーとスレーブバスエラーは同時には発生しません。

マスタTrustZone フィルタエラー

スレーブTrustZone フィルタエラー

TrustZone フィルタによって保護された領域に非セキュアなアクセスが行われると発生します。このエラーによるリセットはスリープモードを解除します。ノンマスカブル割り込みのトリガ要因として選択する場合は、NMICR、NMICLR、NMIERレジスタを設定してください。

スレーブバスエラー

各スレーブバスに発生するエラーです。タイムアウト等のエラーが該当します。

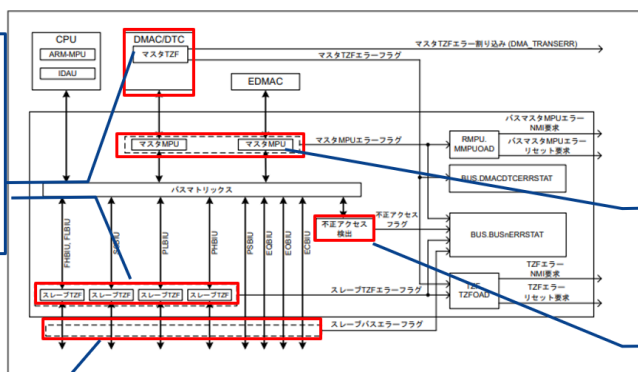


図 14.38 バス上の各エラー検出からユーザー通知までの動作

バスマスタMPUエラー

DMAC/DTC、EDMACがMPUで設定された保護領域にアクセスすると発生します。このエラーによるリセットはスリープモードを解除します。ノンマスカブル割り込みのトリガ要因としても選択可能です。詳細は、各RA製品の「メモリプロテクションユニット (MPU)」章をご確認ください。

不正アドレスアクセスエラー

バスマトリックス内で不正なアドレスに対するアクセスを検出した際に発生するエラーです。

(1) 不正アドレスエラー

不正アドレスアクセスエラーを検知できるアドレス空間はバス毎に決まっています。以下は RA6M5 の例です。

表. 不正アドレスアクセスエラー発生条件と対応するメモリ領域

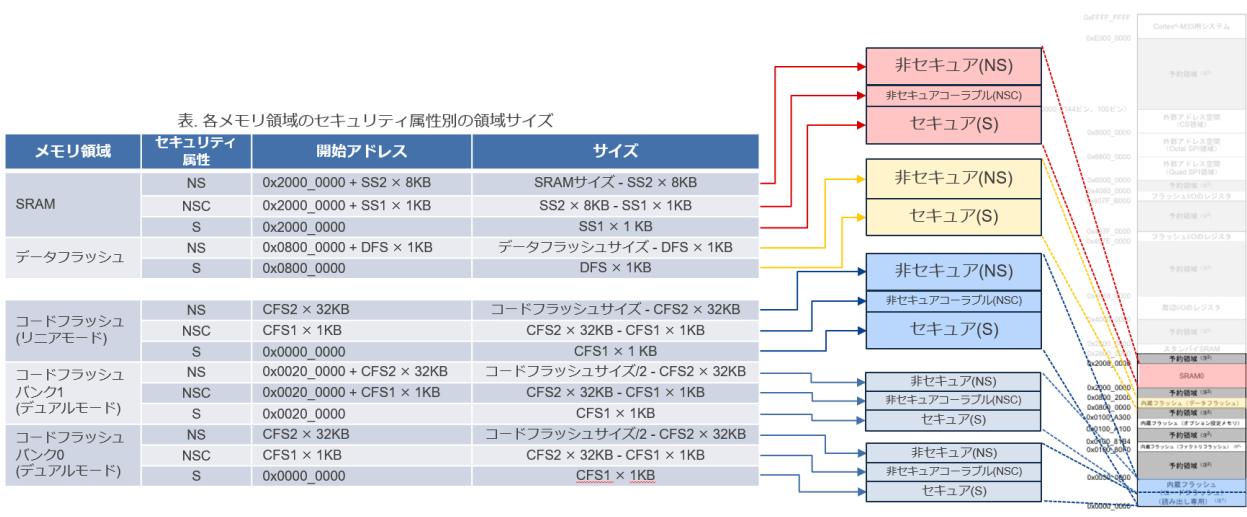
アドレス	スレーブバス	マスタバス			
		CPU		DMA	EDMAC
		コード	システム		
0xE000_0000 ~ 0xFFFF_FFFF	Cortex®-M33 用システム			E	E
0x8000_0000 ~ 0xDFFF_FFFF	予約		E	E	E
0x0000_0000 ~ 0x7FFF_FFFF	ECBIU		-	-	-
0x8000_0000 ~ 0x7FFF_FFFF	EOBIU		-	-	-
0x6000_0000 ~ 0x6FFF_FFFF	EQBIU		-	-	-
0x4080_0000 ~ 0x5FFF_FFFF	予約		E	E	E
0x407E_0000 ~ 0x407F_FFFF	FLBIU		-	-	-
0x4018_0000 ~ 0x407D_FFFF	予約		E	E	E
0x4010_0000 ~ 0x4017_FFFF	PHBIU		-	-	E
0x4008_0000 ~ 0x400F_FFFF	PLBIU		-	-	E
0x4000_0000 ~ 0x4007_FFFF	PSBIU		-	-	E
0x2801_0000 ~ 0x3FFF_FFFF	予約		E	E	E
0x2000_0000 ~ 0x2800_FFFF	SOBIU		-	-	-
0x1010_0000 ~ 0x1FFF_FFFF	予約	E		E	E
0x1000_0000 ~ 0x100F_FFFF	予約	-		E	E
0x0804_0000 ~ 0x0FFF_FFFF	予約	E		E	E
0x0800_0000 ~ 0x0803_FFFF	FLBIU	-		-	-
0x0200_0000 ~ 0x07FF_FFFF	予約	E		E	E
0x0000_0000 ~ 0x01FF_FFFF	FHBIU	-		-	-

E : バスエラー発生あり
- : バスエラー発生なし

コード/システムエラー発生領域
DMAエラー発生領域
EDMACエラー発生領域

(2) TZF エラー

セキュアもしくは非セキュアコーラブルに設定されたメモリ領域に対して非セキュアアクセスが行われると、TrustZone アクセスエラーが発生します。各セキュリティ属性が設定された領域のサイズは、各領域に対応するセキュリティ属性モニタレジスタの値によって決定されます。詳細は、各 RA 製品の「セキュリティ機能」章をご確認ください。以下は RA6M5 の例です。



5.4 キャッシュ

RA のキャッシュの仕様を示します。下記は RA6M5 の例です。

セットアソシアティブ方式で用いられるウェイの本数です。セットアソシアティブ方式では、メインメモリとキャッシュのアドレスをインデックスで対応付けます。同一インデックスで内容の異なるデータを複数キャッシュへ読み出す場合、ウェイの数だけ同一インデックスのデータを保持できます。

Sキャッシュ : システムバス用のキャッシュです。データキャッシュとも呼ばれます。
Cキャッシュ : コードバス用のキャッシュです。命令キャッシュとも呼ばれます。

項目	C キャッシュ	S キャッシュ
容量	2 KB	2 KB
ウェイ	2 ウェイセットアソシアティブ	2 ウェイセットアソシアティブ
ラインサイズ	32/64 バイト	32/64 バイト
エントリ数	32/16 エントリ/ウェイ	32/16 エントリ/ウェイ
ライトウェイ	書き込みなし	ライトスルー、非書き込み割り当て
置き換えウェイ	2 ウェイ : LRU (least recently used)	2 ウェイ : LRU (least recently used)
キャッシュサポート領域	0x0000_0000~0x1FFF_FFFF	スタンバイ SRAM 領域 (0x2800_0000~0x2FFF_FFFF) を除く 0x2000_0000~0xDFFF_FFFF(注1)

ラインサイズは、CPUがキャッシュに一度で読み込むデータの量を表します。

メインメモリへのデータ書き込み時の挙動です。ライトスルー方式では、メインメモリに書かれたデータをそのままキャッシュに書き込みます。

キャッシュに格納できるデータのアドレス範囲です。

エントリ数(ライン数)は、ウェイ毎のラインの数を表します。

キャッシュ上のデータを置き換える場合の挙動です。

注 1. Arm MPU において、周辺領域 0x4000_0000~0x5FFF_FFFF および QSPI I/O レジスタ領域 0x6400_0000~0x67FF_FFFF の属性はキャッシュ属性ではありません。

5.5 Early forwarding 機能

Early Forwarding 機能は、キャッシュフィル中に CPU からのデータ読み出し要求が行われた場合、CPU からの読み出しタイミングを早める機能です。キャッシュフィル要求アドレスと CPU からの読み出し要求アドレスが同一の場合、キャッシュフィル全体の完了を待たず即座に CPU への読み出しが行われます。

メインメモリからキャッシュにデータを読み出すことをキャッシュフィル(キャッシュラインフィル)と呼ぶ場合があります。

アドレスが異なる場合、CPU読み出しはアドレスが一致するまで保留されます。

表 14.10 Early Forwarding の例

動作	アクセスシーケンス									
CPU 読み出し要求のアドレス	0x04	0x08	0x0C	0x14	→	0x10	→	→	→	→
キャッシュフィル要求のアドレス	0x04	0x08	0x0C	0x10	0x14	0x18	0x1C	0x00	—	—
CPU アクセス状態	読み出し (0x04)	読み出し (0x08)	読み出し (0x0C)	—	読み出し (0x14)	—	—	—	読み出し (0x10)	—

アドレスがフィル要求アドレスと一致した場合、CPU読み出しは即座に行われます。

アドレスがフィル完了まで一致しなかった場合、CPU読み出しはフィル完了後に行われます。

5.6 補足：用語解説

各 RA 製品の「バス」章「キャッシュ」項に登場する一部用語の解説です。

(1) キャッシュフラッシュ

キャッシュ内のデータが一定の量を超えると発生するプロセスです。キャッシュ内のデータをメインメモリに書き込んだのちに、キャッシュ内データをクリアします。

(2) キャッシュライン

キャッシュへの書き込みを行うデータの単位です。

(3) コヒーレンシ

メインメモリとキャッシュ間でのデータの一貫性を指す言葉です。メインメモリとキャッシュのデータ内容に食い違いがあると、正しい処理が行えなくなります。コヒーレンシを保つ技術として、メインメモリへの書き込み内容をそのままキャッシュに書き込むライトスルー方式や、キャッシュから入れ替わりで追い出されたデータをメインメモリへ書き込むライトバック方式などがあります。

(4) キャッシュアビリティ

メインメモリの中で、キャッシュを利用できるアドレスに付与される属性です。利用可能な領域はキャッシュابل、利用不可能な領域は非キャッシュابلが付与されます。

5.7 アプリケーションノート一覧

外部バスを使用したアプリケーションの例を以下に示します。詳細は各アプリケーションノートを参照してください。

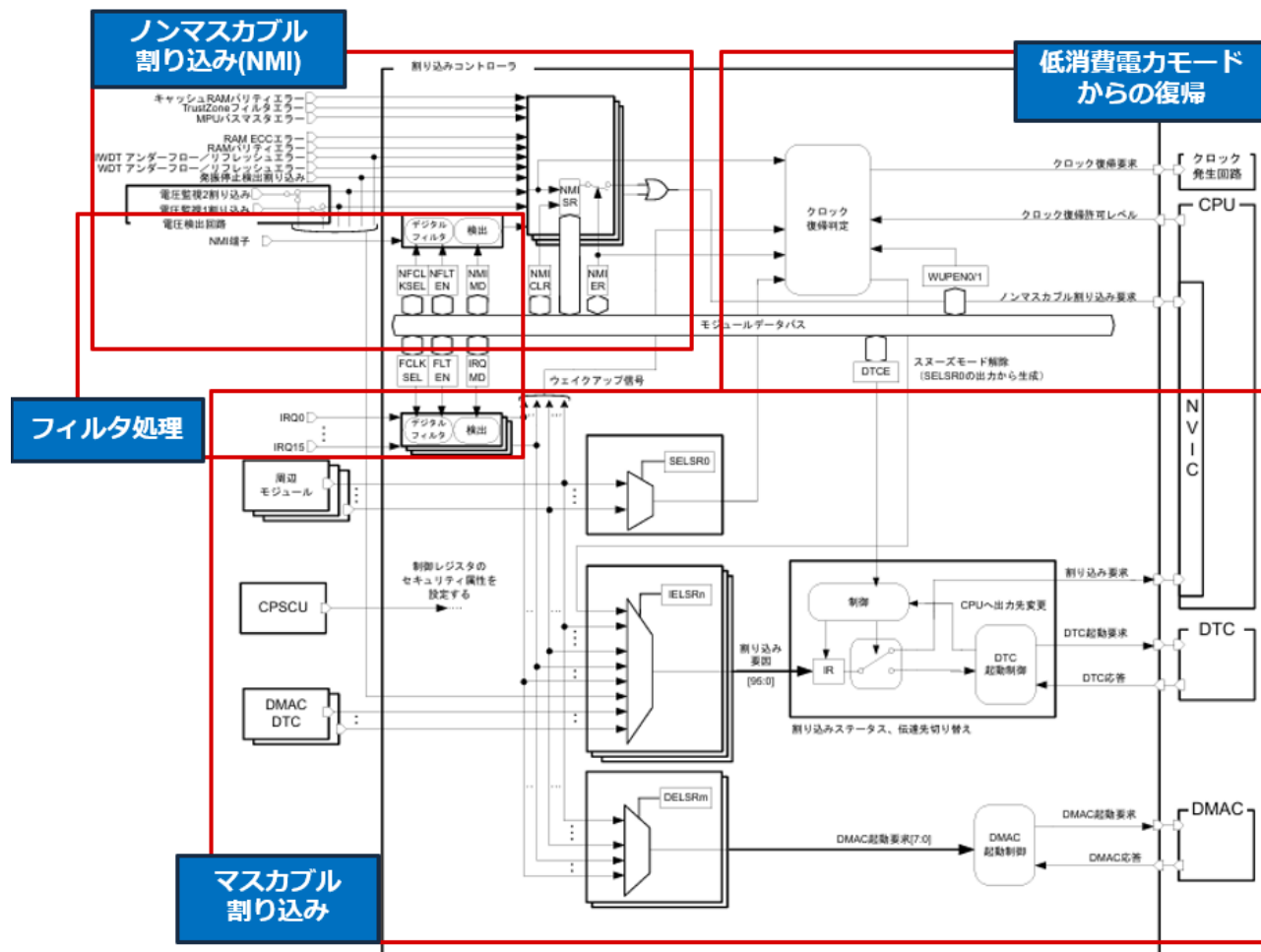
アプリケーションノート名	資料番号
Renesas RA ファミリ Driving an LCD Using the External Memory Bus on the RA6M4	R01AN7454
Renesas RA8 Series Getting Started with RA8 Memory Architecture, Configurations and Topologies	R01AN7088

6. 割り込みコントローラ(ICU)

6.1 割り込みコントローラ機能仕様一覧

割り込みコントローラの構成は、下図に示すような4つのポイントに分けられます。本ガイドでは、以下の4つのポイントに沿って順に解説します。

- ・ マスカブル割り込み
- ・ ノンマスカブル割り込み
- ・ フィルタ処理
- ・ 低消費電力からの復帰



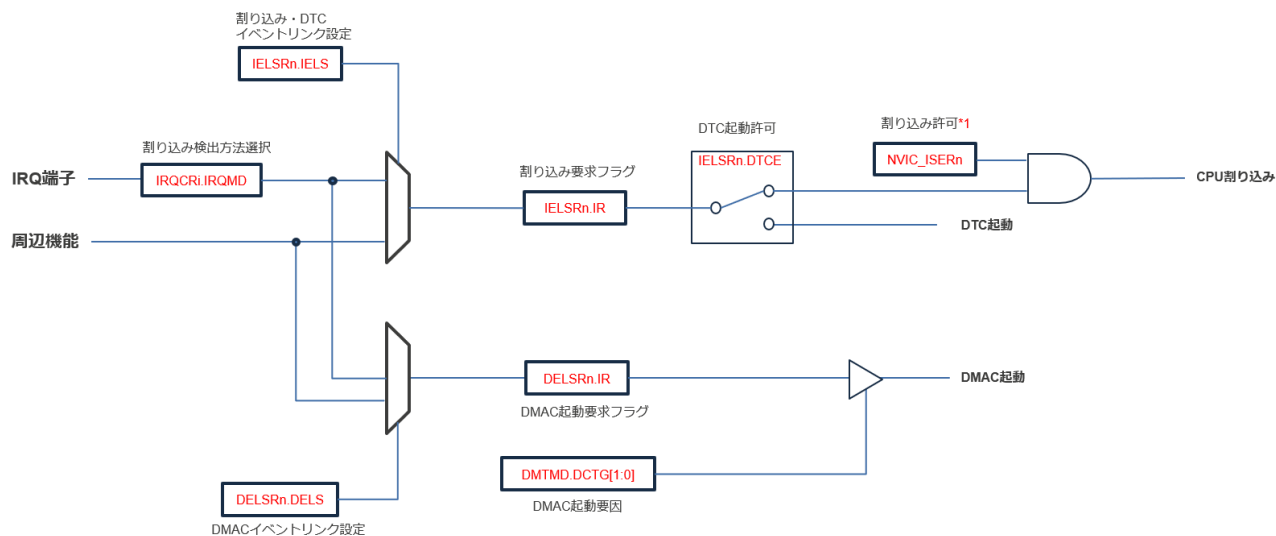
6.2 マスカブル割り込み

マスカブル割り込みの特長を以下に示します。

- IRQ 端子または周辺機能（要求元）の割り込み要因により発生する割り込みです。
- 外部割り込み要求端子 IRQi (i = 0~15)には、デジタルフィルタ機能が用意されています。
- 割り込み要求の発生元（及び名称）は割り込みベクタテーブルとイベントテーブルを併用することで管理されています。
詳細は各 RA 製品に対応する UHM の「ベクタテーブル」項を参照してください。
- マスカブル割り込みは、CPU 割り込みの発生または DTC/DMAC への転送要求が可能です。
- マスカブル割り込みを発生させる場合、割り込み機能のレジスタだけでなく、周辺機能（要求元）、CPU のレジスタを設定する必要があります。
- UMH 内で割り込みとだけ記載されている場合、それはマスカブル割り込みのことを指します。
ノンマスカブル割り込みと記載されていない限り、マスカブル割り込みのことを指します。

6.2.1 マスカブル割り込み構造

マスカブル割り込みの構造と設定が必要なレジスタ名を以下に示します。レジスタの詳細は UMH をご参照ください。*



* : 図は RA6M5 の例です。

*1 : NVIC のレジスタです。

詳細は本ガイド本章最後の[参考資料](#)をご確認ください。

6.2.2 ベクタテーブル

RA ファミリは、割り込みベクタテーブルとイベントテーブルを併用する構成となっています。

・割り込みベクタテーブルでは、割り込み要求の発生元が直接割り当てられているわけではありません。代わりに、IRQ 番号と IELSRn レジスタの対応付けが定義されています。各 IELSRn レジスタの IELS[8:0] ビットには、イベント番号を設定することができます。

・イベントテーブルには、イベント番号と割り込み要求の発生元(および割り込み名称)との対応付けが定義されています。レジスタの設定により、同一の割り込みベクタを異なる割り込み要求の発生元に対応させることができます。

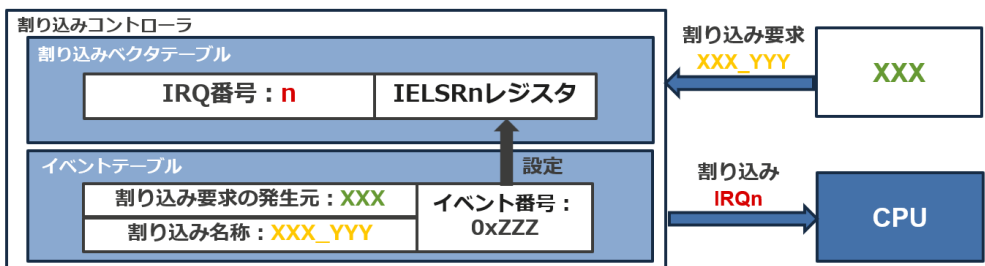


図.ベクタテーブルで関連付けられた割り込みの例

RA ファミリにおいて、割り込みベクタと割り込み要因の関連付けを行う例を示します。

表 13.3 割り込みベクタテーブル (2/4)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
13	—	0x034	Arm	予約
14	—	0x038	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	0x03C	Arm	システムティックタイマ (SysTick)
16	0	0x040	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	0x044	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
18	2	0x048	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント

IRQ0は ICU.IELSR0 レジスタに割り当てられています。初期状態では、特定の割り込み要求の発生元には関連付けられていません。

表 13.4 イベントテーブル (6/8)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動				
0x150	GPT	GPT_UVWEDGE	✓	—	—	—	—	—
0x160	ADC120	ADC120_ADI	✓	✓	✓	—	—	—
0x161		ADC120_GBADI	✓	✓	✓	—	—	—
0x162		ADC120_CMPAI	✓	—	—	—	—	—

ICU.IELSR0 レジスタにイベント番号を設定することで、IRQ0の割り込み発生元が決定します。IELSR0.IELS[8:0] = 0x160の場合、割り込み要求の発生元がADC120であり、名称はADC120_ADIであると決定されます。

6.2.3 割り込み要求先(CPU、DMAC、DTC)の選択

割り込み要求先の選択は、下記 3 つのレジスタが関係しています。

IELSRn : ICU イベントリンク設定レジスタ n (n = 0~95)

DELSRn : DMAC イベントリンク設定レジスタ n (n = 0~7)

IRQCRi : IRQ コントロールレジスタ i (i = 0~15)

▪ DMAC または DTC が IRQi 端子からの割り込み要求先として選択された場合、IRQCRi レジスタをエッジ検出できるように設定する必要があります。

▪ IELSRn を DTC 起動禁止に設定すると、IELSRn で指定されたイベントが CPU (NVIC) に出力されます。

▪ IELSRn を DTC 起動許可に設定すると、IELSRn レジスタで指定されたイベントが DTC に出力され、DTC が起動されます。

▪ DELSRn レジスタで指定されたイベントが DMAC に出力されます。

▪ DMAC が起動後、CPU への割り込み要求を出すことができます。この場合は、IELSRn に DMAC を割り込み要求の発生元と設定し、且つ DTC 起動を禁止と設定する必要があります

(1) DTC の起動

割り込みによる DTC 起動に関する補足事項を以下に示します。

DTC が割り込み要求先となる場合の動作

割り込み要求先	DISEL	残り転送数	割り込み要求 1 回あたりの動作	IR	転送後の割り込み要求先
DTC	1	≠ 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる	CPU (IELSRn.DTCE ビットが自動的にクリアされる)
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる	CPU (IELSRn.DTCE ビットが自動的にクリアされる)

DTCを割り込み要求先とする場合は、DTCSTレジスタとIELSRnレジスタのほか、MRBレジスタのDISELビットの設定を確認してください。
DTC起動が可能なイベント番号は、UMHのベクタテーブルを参照してください。

MRB : DTC モードレジスタ B

Base address: DTCVBR

Offset address: 0x02 + 0x4 × ベクタ番号
(CPU から直接アクセス不可。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position: 7 6 5 4 3 2 1 0

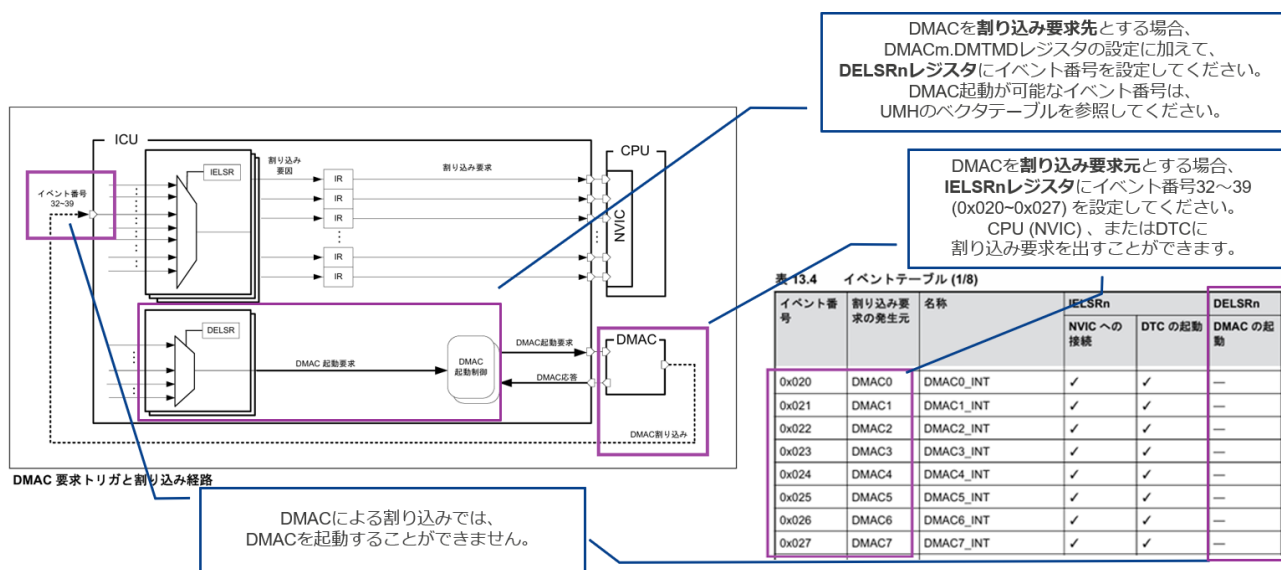
Bit field: CHNE CHNS DISEL DTS DM[1:0] — —

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
5	DISEL	DTC 割り込み選択 0: 指定されたデータ転送の終了時、CPU への割り込み要求が発生 1: DTC データ転送のたびに、CPU への割り込み要求が発生	—

(2) DMAC の起動

DMAC が割り込み要求先、及び要求元となる場合の経路を示します。



6.3 ノンマスカブル割り込み

ノンマスカブル割り込みについて以下にまとめます。

- CPU の異常を検知し、システムに致命的な障害が発生したと考えられる場合に発生する割り込みです。
- RA ファミリでは下記の割り込みをすべてまとめてノンマスカブル割り込みとして定義しています。

NMI端子	発振停止検出	IWDT/WDTアンダーフロー／リフレッシュエラー	SRAM ECCエラー	バスマスタMPUエラー
キャッシュRAMパリティエラー	TrustZone フィルタエラー	電圧監視1/2	SRAMパリティエラー	

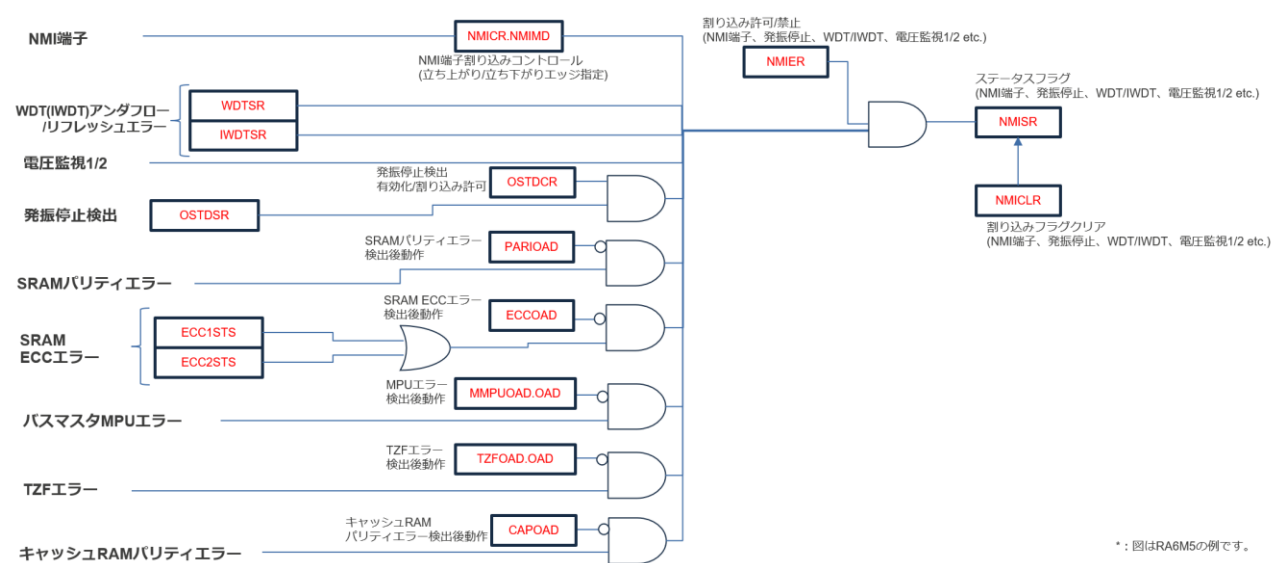
- CPU でのみ使用可能であり、DTC または DMAC の起動には使用できません。
- 他のすべての割り込みよりも優先されます。（最優先レベル）
- 初期設定では禁止になっています。使用するには NMICR レジスタを設定する必要があります。
- ノンマスカブル割り込みが発生した際はシステム異常が起きている可能性があるので、割り込みから元の処理に戻らない仕組みを検討してください。
- NMI 端子割り込みのために、デジタルフィルタ機能が用意されています。
- 以下の割り込みは、マスカブル割り込みとしても使用できます。

WDT アンダーフロー
IWDT アンダーフロー
電圧監視 1
電圧監視 2
発振停止検出割り込み

これらの割り込み要求の発生元（及び名称）は、イベントテーブルに定義されています。詳細は各 RA 製品に対応する UHM の「イベント番号」項を参照してください。

6.3.1 ノンマスカブル割り込み構造

ノンマスカブル割り込みの構造と設定が必要なレジスタ名を以下に示します。レジスタの詳細はUMH をご参照ください。*



6.4 フィルタ処理

- NMI 入力端子および IRQ 入力端子はフィルタ処理によるノイズ除去が可能です。
- 3 回連続でレベルが一致する入力信号のみを通過させます。
- ノイズフィルタ処理は、下記のモード中では使用できません。よってフィルタ機能を使用する場合は、上記モード移行前にフィルタを無効化、およびモード解除後に有効化してください。
 - ソフトウェアスタンバイモード
 - ディープソフトウェアスタンバイモード
 - スヌーズモード

デジタルフィルタ機能の設定レジスタとビットを下記に示します。

入力種類	デジタルフィルタ有効/無効設定	デジタルフィルタサンプリングクロック設定	検出センス設定
NMI入力端子（NMICRレジスタ）	NFLTEN	NFCLKSEL	NMIMD
IRQ入力端子（IRQCRiレジスタ）	FLTEN	FCLKSEL	IRQMD

6.5 低消費電力モードからの復帰

各種低消費電力状態からの復帰に割り込みが使用できます。以下に割り込みを使用して低消費電力状態から復帰する際の留意事項をまとめます。

表. 割り込みを利用した低消費電力モードからの復帰に関する留意事項

	スリープ	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ	スヌーズ
割り込み後の動作	復帰要因の割り込み処理	復帰要因の割り込み処理	内部リセット	復帰要因の割り込み処理
復帰要因となる割り込み	全て	一部*1	一部*1	一部*1
デジタルフィルタ	有効	無効	無効	無効
設定が必要なレジスタ	NMIERレジスタ NVIC_ISERnレジスタ*2	NMIERレジスタ WUPENレジスタ NVIC_ISERnレジスタ*2	NMIERレジスタ WUPENレジスタ NVIC_ISERnレジスタ*2	SELSR0レジスタ IELSRnレジスタ NVIC_ISERnレジスタ*2

*1：各モードからの復帰要因として選択可能な割り込みについては、各 RA 製品に対応する UHM の「割り込みコントローラユニット (ICU)」章の「イベントテーブル」表、および「低消費電力モード」章の「スヌーズモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードを解除するための割り込み要因」表を参照してください。

*2：NVIC のレジスタです。詳細は本ガイド本章最後の[参考資料](#)をご確認ください。

- ・スリープモードからの復帰は、すべての割り込み要因で可能です。
- ・ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードでは、復帰に使用可能な割り込みが限られています。詳細は、各 RA 製品に対応する UHM の「低消費電力状態からの復帰」項を参照してください。
- ・ディープソフトウェアスタンバイモード以外の低消費電力モードで動作している場合、IELSRn と DELSRn で選択されたイベントが検出されても直ちに割り込み処理は行われません。CPU および DMAC による割り込みの実際の処理（アクノリッジ）は、通常モード復帰後に行われます。

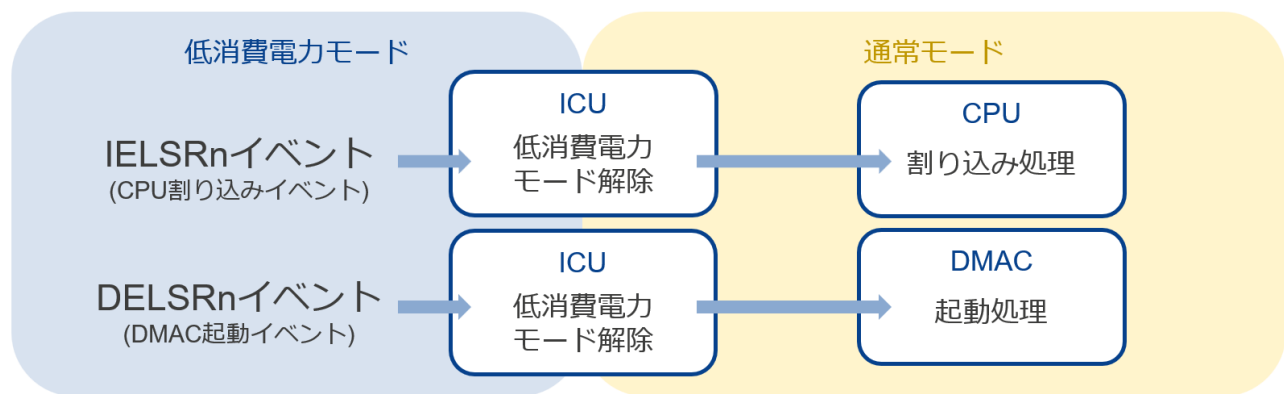


図. 低消費電力モード時の復帰動作 (ディープソフトウェアスタンバイモードを除く)

6.6 参考資料

NVIC の内部レジスタについては、以下のマニュアルを参照してください。

▪Arm Limited., Arm® Cortex®-M33 Processor Technical Reference Manual (ARM 100230)

Arm 社オフィシャルサイトからダウンロードできます。

[Arm Cortex-M33 Processor Technical Reference Manual](#)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2026/04	-	初版
2.00	2026/07	16~42	イベントリンクコントローラ、外部バスコントローラ、割り込みコントローラを追加

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力ブルアップ電源を入れないでください。入力信号や入出力ブルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。