

CB-90 MR タイプ

ユーザーズマニュアル 回路設計編

CMOS セルベース IC

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOS デバイスの一般的注意事項

(1) 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOS デバイスの入力がノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

(2) 未使用入力の処理

CMOS デバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOS デバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

(3) 静電気対策

MOS デバイス取り扱いの際は静電気防止を心がけてください。

MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOS デバイスを実装したボードについても同様の扱いをしてください。

(4) 初期化以前の状態

電源投入時、MOS デバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

(5) 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

(6) 電源 OFF 時における入力信号

当該デバイスの電源が OFF 状態の時に、入力信号や入出力プルアップ電源を入れないでください。

入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源 OFF 時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは、弊社の高速、高集積 CMOS セルベース IC CB-90MR タイプを使用して LSI を設計する方を対象としています。

目的 このマニュアルは、弊社の高速、高集積 CMOS セルベース IC CB-90MR タイプを使用して LSI を設計していただくうえでの各種制限事項、注意事項などをまとめたものです。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

概要	論理合成（ゲート・レベル・ネットリストの作成）
設計手順	DFT 設計
設計前の情報共有	IP コアに関する設計事項
回路設計	設計フェーズ
クロック設計	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータ、LSI 設計に関する一般的知識が必要となります。

マニュアルに記載された事項（一般事項、注意事項、制限事項）は必ずお守りください。

お守りいただけない場合、LSI 製品の品質、性能の低下や動作の異常が生じることがあります。

凡例

データ表記の重み	: 左が上位桁、右が下位桁
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文中の補足説明
数の表記	: 2 進数 ... $x \times x \times x$ または $x \times x \times x \times B$
	10 進数 ... $x \times x \times x$
	16 進数 ... $x \times x \times x \times H$

関連資料 関係資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめ、ご了承ください。

- CB-90MR タイプ ユーザーズマニュアル 製品データ編 (R05UH0020J)
- CB-90MR タイプ ユーザーズマニュアル 回路設計編 (このマニュアル)
- CB-90MR Type (WIDE 1.1V) Block Library (R05UH0019E)
- CB-90MR タイプ ユーザーズマニュアル メモリマクロ編 (作成予定)
- セルベース IC 用発振ブロック ユーザーズマニュアル (A16917J)

この資料に記載されている会社名、製品名などは、各社の商標または登録商標です。

目 次

第 1 章 概 要	1
1.1 製品紹介.....	1
1.2 製品概要.....	2
1.3 チップ概要.....	3
1.4 開発環境.....	4
1.4.1 ライブラリ条件.....	4
1.4.2 ライブラリ条件ごとのコーナー定義 (wide1/2)	4
1.5 IPコア・ラインアップ.....	5
1.5.1 RAM, ROM	5
1.5.2 APLL, DLL, ADC, DAC	5
1.6 各種規格に対応したインタフェース・コア	5
1.7 テスト設計環境.....	6
1.7.1 RAM_BIST.....	6
1.7.2 TESTBUS	7
1.7.3 MUX_SCAN.....	7
1.7.4 Boundary SCAN (JTAG)	7
1.8 設計フローの紹介	8
第 2 章 設計手順	9
2.1 LSI仕様検討.....	11
2.2 セル・タイプ決定	12
2.3 回路規模の見積もり.....	13
2.4 消費電力確認	14
2.5 I/Oスロット・ピッチとI/Oパッド・ピッチ決定.....	15
2.6 使用配線層数決定	15
2.7 ステップ決定	16
2.8 パッケージ決定.....	17
第 3 章 設計前の情報共有	18
3.1 回路仕様の検討.....	18
3.1.1 モジュール分割.....	18
3.1.2 ブロック・ダイアグラム	19
3.1.3 クロック設計図.....	20
3.1.4 フロアプラン・イメージ	21
3.1.5 パッケージPAD配置 / IO配置情報.....	21
3.1.6 タイミング制約.....	22
3.2 タイミング性能見積もり	23

3.2.1 ターゲット周波数を考慮した第一階層サイズの決定.....	23
------------------------------------	----

第4章 回路設計..... 24

4.1 名称規則.....	24
4.2 禁止回路 / 推奨回路構成.....	24
4.2.1 入力 / 出力バッファの使用.....	24
4.2.2 入力空き端子の禁止.....	25
4.2.3 ワイアード・ロジックの禁止.....	25
4.2.4 微分回路の禁止.....	26
4.2.5 RS-LATCH 回路構成の禁止.....	26
4.2.6 ループ回路構成の禁止.....	26
4.2.7 レーシング (レジスタへの競合信号入力) 回路構成の禁止.....	27
4.2.8 レイアウト専用プリミティブの使用禁止.....	27
4.3 ユーザ回路のテストビリティを考慮した回路設計.....	28
4.3.1 フリップフロップの初期化 (初期設定).....	28
4.3.2 カウンタの分割.....	28
4.3.3 フリップフロップ / ラッチの初期化以外での使用禁止.....	28
4.4 非同期制御ラインへの波形鈍り保証のブロック挿入.....	28
4.5 タイミング制約 (実遅延計算ベース).....	29
4.5.1 タイミング制約の付加.....	29
4.5.2 相対ばらつき遅延変動分の考慮.....	30
4.6 開発TAT短縮のための設計手順【推奨】.....	32
4.6.1 トップ階層 / 1チップに対する設計.....	33
4.6.2 第一階層に対する設計.....	36
4.6.3 回路内バス配線に対する設計.....	40
4.6.4 高速回路設計.....	43
4.6.5 ロジック・コーンを意識した回路設計 (弊社から提案する場合あり).....	45

第5章 クロック設計..... 48

5.1 クロック設計時の注意事項.....	49
5.1.1 クロック・ゲーティング.....	49
5.1.2 クロック・ゲーティング ブロックの機能.....	51
5.1.3 クロック・ゲーティング・ブロックの接続制限.....	52
5.1.4 CEN端子にCTS専用ブロックの接続禁止.....	53
5.1.5 テスト回路挿入前の注意事項.....	53
5.2 CTS設計の注意事項.....	54
5.2.1 CTS専用ブロックを多段接続禁止.....	54
5.2.2 インタフェース・ブロックの接続禁止 (CTS専用ブロックの先).....	54
5.2.3 CTS専用ブロックの挿入方法 (分周回路の先).....	55
5.2.4 複数クロックを制御する場合.....	57
5.2.5 ダミーFFの追加.....	58

5.3 非同期クロック設計の注意事項	59
5.3.1 弊社の定義する非同期クロック回路構成	60
5.3.2 非同期クロック間でスキュー調整が必要な場合	61
5.3.3 非同期クロック間のデータ乗せ替え	62
5.3.4 メタステーブル対策	63
5.3.5 分周による非同期クロックの同期化	64
第6章 論理合成（ゲート・レベル・ネットリストの作成）	65
6.1 OPENCAD設計環境設定（動作条件の選択）	66
6.1.1 遅延ライブラリの選択	66
6.2 スキャンを行う場合のフリップ・フロップ制限	67
6.3 ソフトマクロIPマクロ（RTL）のPrefix名付加，ungroupの禁止	68
6.4 ソフトマクロIPマクロ（ゲートレベル）のタイミング最適化とungroupの禁止	68
6.5 wire_load_modelの定義	69
6.6 タイミング制約の付加	70
6.7 その他論理合成時の注意点	71
6.7.1 ユーザ・マクロの入力端子に多数のピン・ペア禁止	71
6.7.2 ファンアウト数の制限	71
6.7.3 ユーザ・マクロ出力を内部インスタンスへ入力させない	71
6.7.4 クロックのグループ分け	72
6.7.5 違反名称の修正	73
6.7.6 SRAM配線混雑による遅延増加対策	73
6.7.7 ゲーティングセルのCENのセットアップマージン確保	73
第7章 テスト設計	74
7.1 DFT端子一覧	75
7.1.1 DFT設計に必要な外部端子（標準）	75
7.1.2 DFT設計に必要な外部端子（リダンダントSRAM使用時）	76
7.2 DFT専用外部端子の基板上での処理	77
7.2.1 DFT専用外部端子のボード上での処理（標準）	77
7.2.2 専用テスト端子のボード上での処理（リダンダントSRAM使用時）	78
7.3 テスト専用端子の制約	79
7.3.1 TMC1, TMC2（必須：手作業で接続）	79
7.3.2 TDI, TCK, TMS, TRST, TDO（BSCAN使用時：自動処理）	79
7.3.3 TRST（BSCAN使用時：自動処理）	79
7.3.4 TEN端子	79
7.3.5 リダンダントSRAMのDFT専用端子	80
第8章 IPコアに関する設計事項	81
8.1 SRAMマクロ	81
8.1.1 未使用アドレス/データ・ビットに対する処理	81

8.1.2 チップ・イネーブル (CEN) 端子の処理	81
8.1.3 SRAM用Wrapperを使用	82
8.1.4 ソフトマクロSRAMリダンダンシWrapperに対する処理.....	82
8.1.5 小ビット/ワードの1ポートSRAMのF/F化 (弊社指定時)	83
8.2 PLL	84
8.2.1 スキュー調整用PLL使用時の注意事項.....	85
8.2.2 PLLのレファレンス・クロック	86
第9章 設計フェーズ.....	87
9.1 設計フェーズ定義.....	87
9.2 各フェーズの情報.....	88
9.2.1 DR (Design Review)	88
9.2.2 FN (Floorplan Netlist)	89
9.2.3 LN (Layout Netlist)	90
9.2.4 CN (Clean Netlist)	91
付録A 名称規約	92

第1章 概 要

1.1 製品紹介

CB-90MR タイプは、90nm テクノロジ・ノードのセルベース IC です。

CB-90MR タイプのプリミティブ・セルは、MVT (Middle Vt) セルと LVT (Low Vt) セルがあります。低消費電力設計時は MVT セルを、高速設計時は LVT セルを使用してください。

さらにマルチ Vt セル (MVT / LVT セル) 混載技術により、高速動作、低リーク電力の LSI を実現することができます。

条件	配線層品		実現可能周波数			最大許容内部消費電力
			信号保証 ^{注1} (MHz)		電源保証 ^{注2}	
			MVT 単体	LVT + MVT 混載		
Wide	6 層品	wire	~ 200 MHz	200 MHz ~	0 MHz -333 MHz	2.0W
	6 層品 ^{注3}	140 μm 千鳥パンプ				0 MHz -333 MHz
	7 層品	FCBGA			0 MHz -400 MHz	T.B.D.
	7 層品	160 μm 千鳥パンプ				T.B.D.
	9 層品	FCBGA				T.B.D.

注 1. 対応可能な周波数は、セル単体の特性、配線層数からなるものを表しています。

実際に実現できる周波数は、RTL の記述内容、F/F 間の組み合わせ回路に依存します。

なお、実際に LSI として実現できる周波数は、信号保証と電源保証値で厳しい方となります。

注 2. システム・クロック

注 3. 詳細は、弊社へ問い合わせください。

1.2 製品概要

表1 - 1 製品仕様

		CB-90MR タイプ
マスタ名		μ PD808xxx
配線層品	Wire	6 層
	FCBGA	6 層, 7, 9 層 (Cu)
コア電圧		1.0 V \pm 0.1 V
動作周囲温度 (TA)		-40 ~ 85°C
ジャンクション温度 (TJ)		- 40 ~ 25 ~ 125°C
設計ルール		90 nm CMOS プロセス
ゲート絶縁膜		SiON
PAD ピッチ	wire	35 μ m 千鳥 CUP, 55 μ m 単列 CUP
	FCBGA	160 μ m 千鳥 (7, 9 層) 140 μ m 千鳥 (6, 7 層)
I/O インタフェース		3.3 V [3.3 V Tr] 2.5 V [3.3 V Tr] 2.5 V [2.5 V Tr] 1.8 V [3.3 V Tr]
最大 IO PAD		996 (wire 系 , V/G 含む) 628 ^{※2} (FCBGA , V/G 含まず)
対応パッケージ		QFP, PBGA, FPBGA, FCBGA
ステップ		B15 ~ F99 (wire 系) T.B.D. (FCBGA)
ゲート密度 (Raw) ^{※1}		492K/mm
最大ゲート規模 (Raw)		100 M Gate

注 1. 単位 : KGate/mm (Raw Gate : ゲート敷き詰め)

ゲート密度は F/F と Gate の割合 算出するプリミティブ・セル等により値が異なるので参考値としてください。
また、実際の配線性は、電源配線構造、プリミティブ内構造、および配線ルールで決まるので、ゲート密度で収容性、配線性を見積もる目安にはなりません。

注 2. 628 本以上の信号数が必要な場合は、弊社へお問い合わせください。

表1 - 2 セル仕様

セル・ライブラリ	セル名 (Header)	Dynamic Power ^{※1} (/MHz/Gate)	Leak Power (/Gate)	Int.Delay ^{※2}	Target Frequency ^{※3}
CB-90MR	MVT	0.96 nW	0.489nA	23.1 ps	~ 200 MHz
	LVT		TB7	2.609nA	17.1 ps

注 1. 動作率 = 0.35

注 2. 2NAND (XH Type), F/O = 2, L = 0 , Typical

注 3. Wide 条件

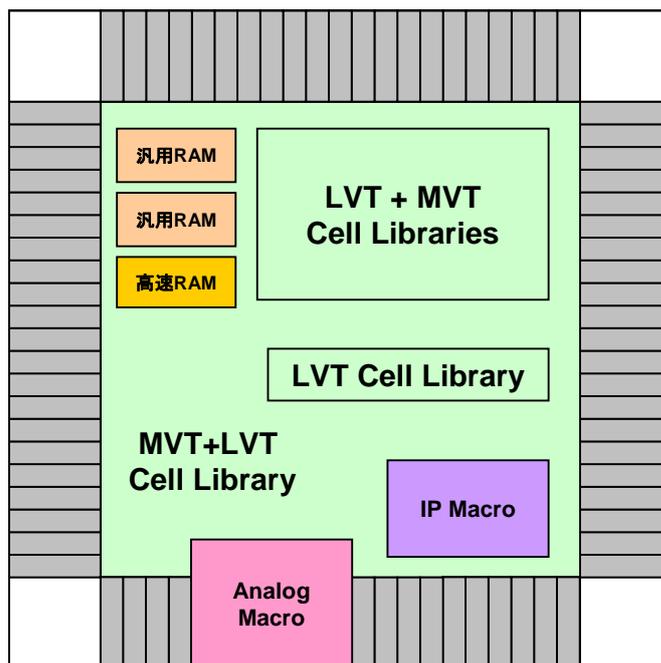
1.3 チップ概要

次に、CB-90MR タイプのチップ構造を示します。

1 チップ上に、IP コア、アナログ・コア、コンパイルド・メモリなどのハード・マクロ、およびユーザ回路を搭載できます。

リーク電流を押しさえるために Vt の高いトランジスタを使用した MVT セルと、より高速動作を狙い Vt の低いトランジスタを使用した LVT セルの 2 種類のセル・ライブラリを用意しています。MVT/LVT セルを混載させることにより、LVT セルを使用して高速化 (200MHz ~) を実現し、タイミングに余裕があるパスのブロックは MVT セルへ置き換えてスタンバイ消費電力を削減することができます。

図1 - 1 チップ・イメージ



1.4 開発環境

弊社では、CB-90MR設計のために下記のライブラリを含むOPENCAD[®]という開発環境を用意しております。

1.4.1 ライブラリ条件

弊社では、温度依存による遅延変動を考慮したライブラリ（Wide 条件）があります。

Wide 条件は、電源電圧・温度範囲の条件を表す呼称です。

ライブラリ条件	電源電圧 (V _{DD})	温度範囲 (T _J)
Wide 条件	1.0 ± 0.1V	- 40 ~ +125°C

周囲温度とパッケージの熱抵抗値より、上記の T_J を満足する仕様としてください(CB-90MR タイプ 製品データ編 設計マニュアル (R05UH0020JJ) を参照してください)。

1.4.2 ライブラリ条件ごとのコーナー定義 (wide1/2)

ライブラリは 2 種類の条件、Wide1, Wide2 の条件を用意しています。

これは、温度条件遅延値の温度依存逆転現象に対応するため、ジャンクション温度 (T_J) の Worst 条件と Best 条件を逆転させたライブラリです。

たとえば、Wide2 は、Wide1 に対して、電源電圧 (V_{DD}) はそのまま、T_J の Worst と Best を逆転させた条件です。

Wide1

Name	Min.	Typ.	Max.
V _{DD}	1.1	1.00	0.9
T _J	- 40	+25	+125

Wide2

Name	Min.	Typ.	Max.
V _{DD}	1.1	1.0	0.9
T _J	+125	+25	- 40

1.5 IP コア・ラインアップ

以下のコアをサポートしています。

各コアの詳細については、各ドキュメントを参照してください。

1.5.1 RAM, ROM

下記以外、CB-90Mのマクロも使用可能です。個別対応となります。

マクロ	マクロ名	備考
1port RAM	WCREG001PAE* WCSRAM001PDE*	Bitwrite タイプはなし
	WCREG001PAE* WCSRAM001PAE* WCSRAM001PAE* WCSRAM001PAE* WESRAM001PAE* WESRAM001PAE*	Bitwrite タイプはあり
2port RAM (w + r)	WCREG110PAE*	Bitwrite タイプはなし
	WCREG110PAE* WESRAM110PAE*	Bitwrite タイプはあり
Dual port RAM (wr + wr)	WCSRAM002PAE* WCSRAM002PAE* WCSRAM002PAE* WESRAM002PAE*	Bitwrite タイプはあり

1.5.2 APLL, DLL, ADC, DAC

	コア名	機 能
APLL	ABPLMPMM36V10	VCO : 200 MHz - 400 MHz Multiplaying
	ACPLMPMM36V10	VCO : 170 MHz - 340 MHz Multiplaying
	ABPLSGMH36V10	VCO : 200 MHz - 400 MHz SSCG
	ABPLSGHH36V10	VCO : 400 MHz - 800 MHz SSCG
	ABPLSCHL36V10	VCO : 650 MHz - 1.34 GHz Skew Control
DLL	ABDLMA333U6V10	100 MHz-180 MHz Master
	ABDLSL333U6V10	100 MHz-180 MHz Slave
ADC	ABAD10B500K12CCA3VV10	10 bit 500 kHz 12 ch (MUX)
	ABAD06B100M01CSR3VV10	6 bit 100 MHz 1 ch
	ABAD10B040M01CPL3VV10	10 bit 40 MHz 1 ch
DAC	ABDA08B005M02CRR3VV10	8 bit 5 MHz 2 ch
	ABDA08B027M01CRS3VV10	8 bit 27 MHz 1 ch
	ABDA10B030M01CRS3VV10	10 bit 30 MHz 1ch

備考 上記以外にもラインアップを用意しております。詳細は、弊社へお問い合わせください。

1.6 各種規格に対応したインタフェース・コア

PCI-Express, USB1.1/USB2.0, Serial-ATA, LVDS, SSTL18 などの高速インタフェース用ブロックも用意しております。詳細は、弊社へお問い合わせください。

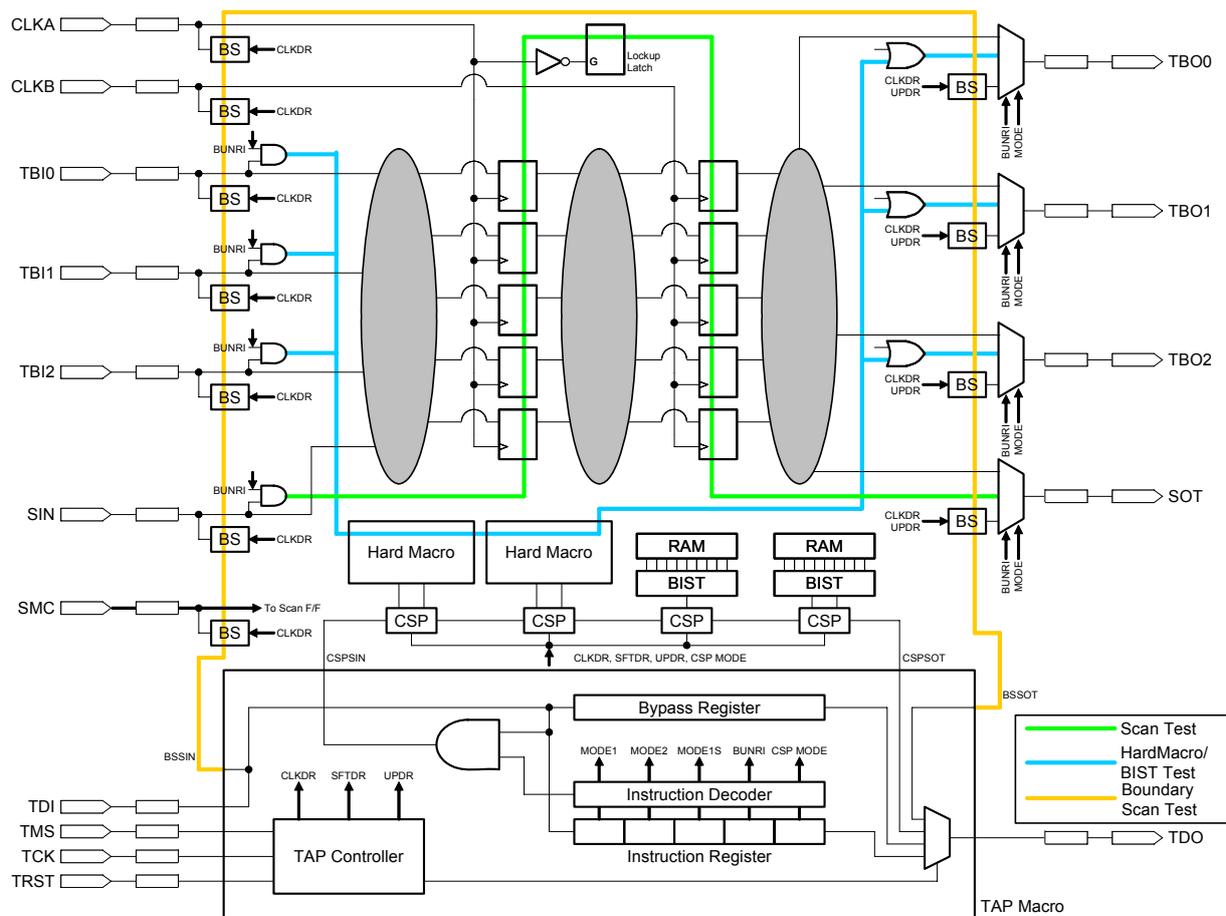
1.7 テスト設計環境

弊社では、LSI の故障検出のため、テスト容易化設計手法（以下、DFT：Design For Test）である RAM_BIST、MUX_SCAN、Boundary SCAN（JTAG）、TESTBUS のテストを用意しております。

LSI 設計において、ユーザ・ロジックのほかに RAM、IP マクロなどの高機能マクロを搭載する場合、十分な故障検出を図るためには適用すべき DFT 技術が 1 種類ではなく、複数の DFT 技術の組み合わせが必要になります。

なお、DFTを行うと外部端子数と回路規模が増加します。増加する端子数については、7.1 DFT端子一覧を参照してください。増加する回路規模は、実行するDFTにより異なるので、弊社へお問い合わせください。

図1-2 テスト設計環境



1.7.1 RAM_BIST

弊社独自のツールにより、BIST を駆動するクロックに高周波数のクロックを印加することで、高速に SRAM のテストができます。また、次の機能を行うこともできます。

- Fail RAMの特定化機能
- Fail BIT解析機能

RAM BIST は、BIST 回路を使用して RAM 単体をテストする手法です。

BIST (Build In Self Test) は、テスト・ベクタを回路内部で自動生成してテストします。特に RAM などの規則的な構造の回路に対して広く採用されています。外部からのテスト・モード信号とテスト・クロックの追加のみで対象となる回路をテストできるため、テスト端子、テスト・ベクタを削減できるメリットがあります。

1.7.2 TESTBUS

テストバス・テストとは、LSI に搭載された IP コアのテスト容易化設計手法の 1 つで、テスト回路によって外部端子の入力信号を、コアの入出力ピンへ直接アクセスできるようにすることで、コアを単体ごとにテストする方法です。

あらかじめ用意されたコア単体テスト・ベクタをそのまま LSI 用テスト・ベクタへ流用できるため、高品質なテスト・ベクタを短い時間で作成することができます。

テストバス・テスト時、TAP コントローラから CSP レジスタを動作させて、各コア、RAM のモード制御を行います。この制御方法は、IEEE P1500 規格に準拠しています。

1.7.3 MUX_SCAN

MUX_SCAN は、内部 F/F をシフト・レジスタ構成にすることで、容易にかつ自動的に検出率の高いテスト・パターン（スキャン・パタン）を作成することができます。

縮退故障，遅延故障に対して，テスト・パタンを自動生成することができます。

1.7.4 Boundary SCAN (JTAG)

LSI の外部端子と内部回路の境界にスキャン回路を付加することにより、プローブと同様に LSI 外部の端子に値を設定し、値を観測することができます。

IEEE1149.1 標準規格で規定された、主に LSI 間の配線接続をチェックすることを目的としたテスト手法です。

表1-3 テスト項目一覧（標準テスト）

テスト対象	テスト手法	テスト名	テスト回路挿入ツール名
UDL	縮退故障テスト	MUX_SCAN	DFTCompiler + TetraMax
	遅延故障テスト		
	IDD テスト		
	パターン圧縮		DFTCompiler MAX
SRAM	高速 RAM BIST	RAM_BIST	TESTACT
	RAM Sequential		DFTCompiler
	RAMリダンダンシ ^{※1}		TESTACT
	パンプ・リテンション ^{※2}		TESTACT
IP マクロ	テストバス	TESTBUS	TESTACT
LSI 接続	バウンダリスキャン (JTAG)	Boundary SCAN	TESTACT

注 1. CB-90 の SRAM リダンダンシは、冗長ビットがあるリダン用 SRAM を使用します。

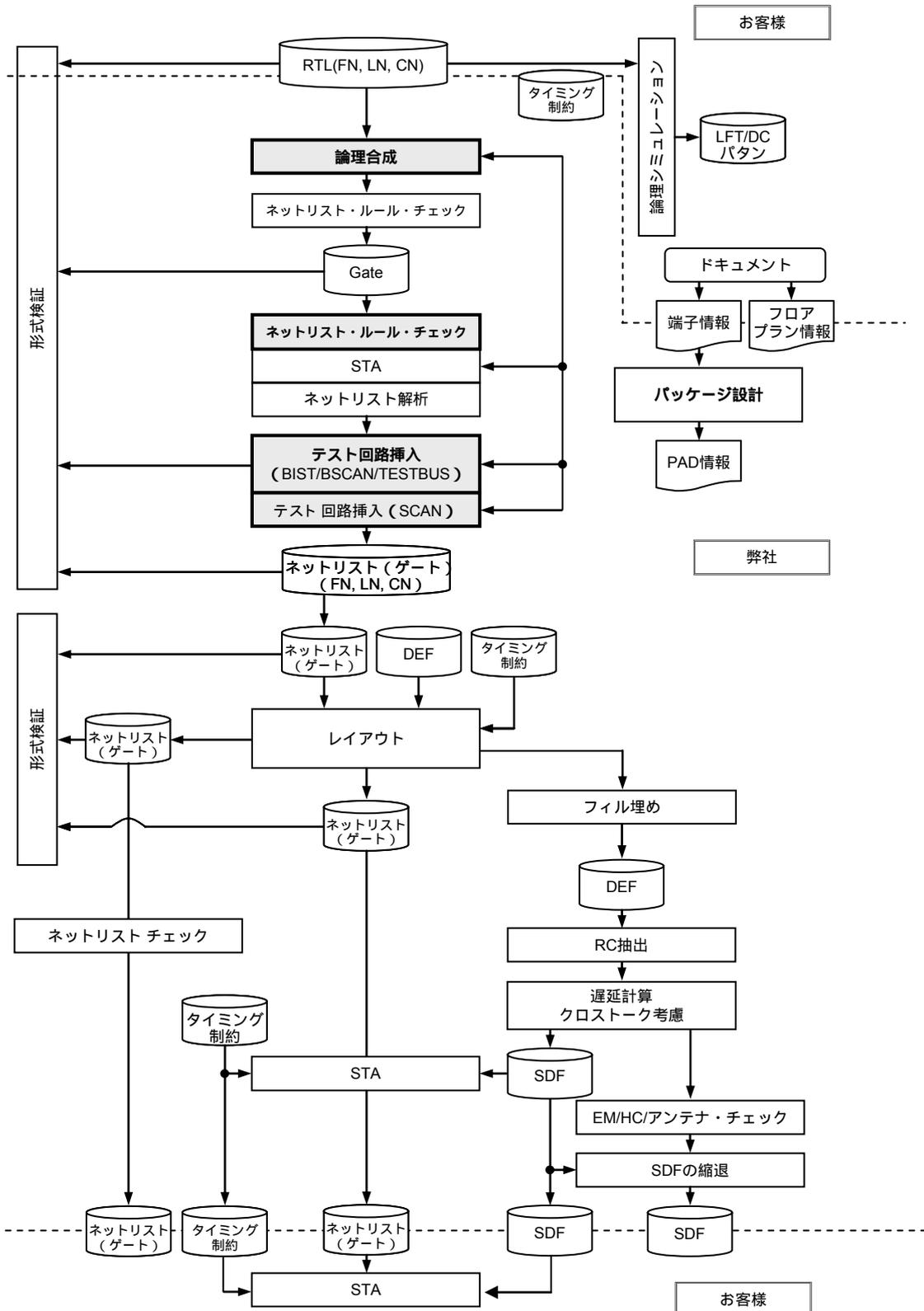
テスト時に SRAM 不良ビットが見つかった場合は、その不良ビットを冗長ビットに置き換え、実使用時には冗長ビットを使用するシステムです。

注 2. RAMBIST テストの MAX, MIN 電圧テスト時、一定時間停止して、RAM セルが値を保持できているかをテストします。

1.8 設計フローの紹介

CB-90MR での一般的な設計フローについて紹介します。
 また、太枠で囲ったフローについては、このドキュメントで説明します。

図1-3 設計フロー



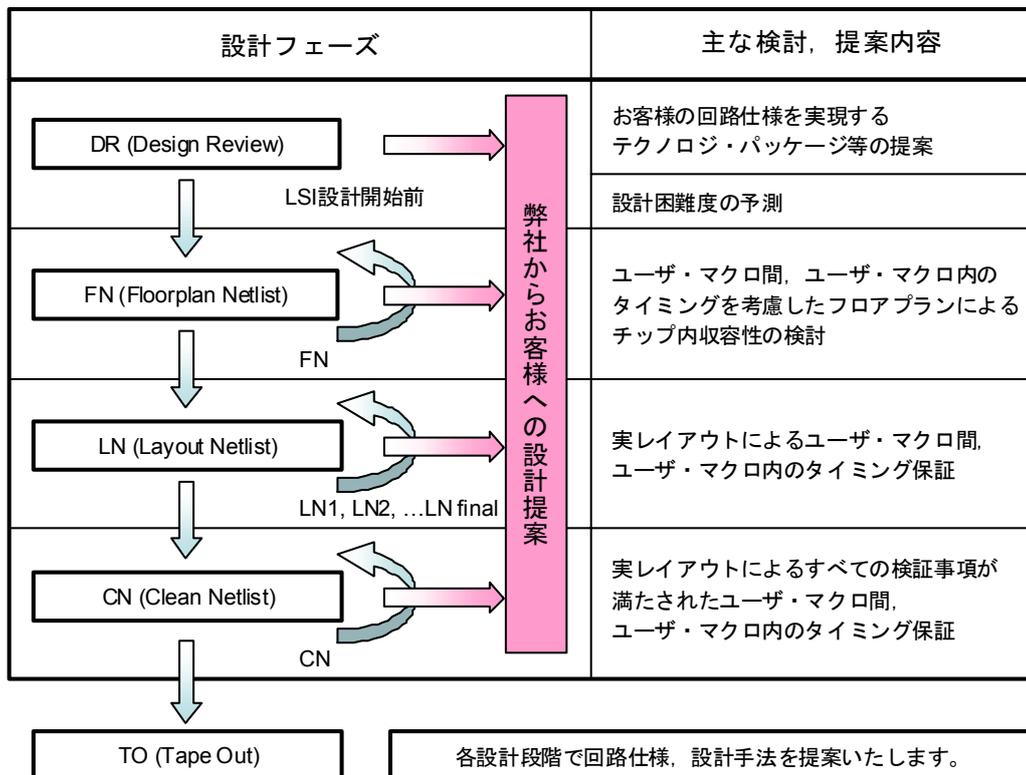
第2章 設計手順

トータル開発 TAT 短縮, および LSI 開発スケジュールを明確化するため, 一般セルベース IC では下記の 5 つの設計フェーズからなる「設計フロー」を定義しております。

設計フローを設けることにより, お客様よりいただいた設計データに対して, 弊社で行う設計内容, およびフィードバック情報を明確にしています。

この章では, LSI 設計を開始する前の検討項目の概要を, 第 3 章では設計フェーズ「DR」の設計困難度予測に関する検討を, 第 4 章ではスムーズに「FN」フェーズに入るための注意事項を説明します。

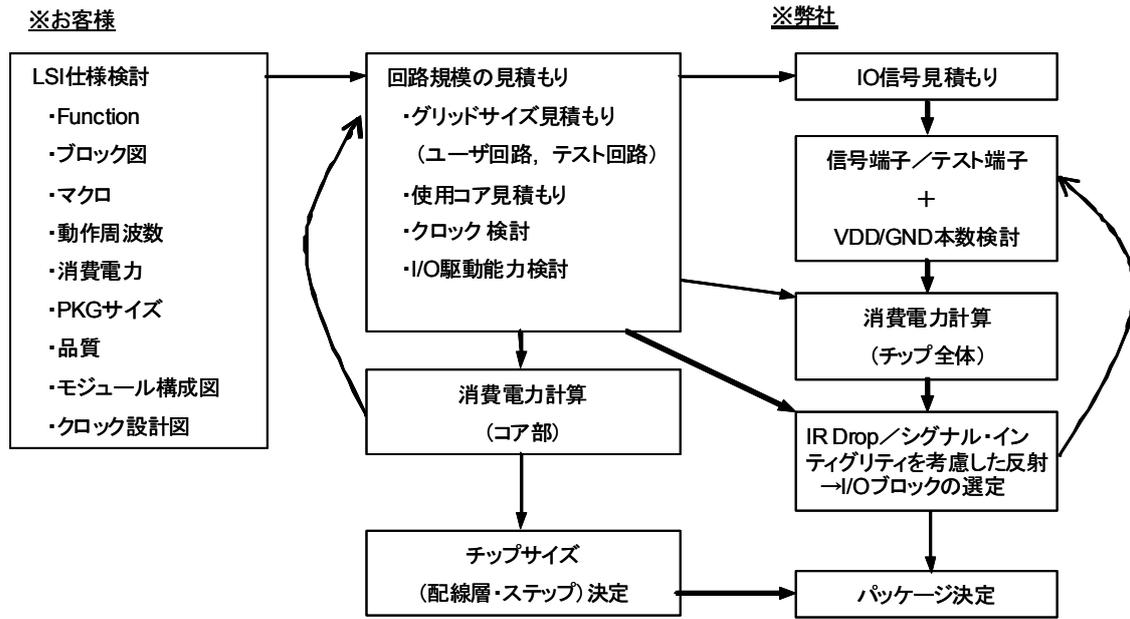
「DR」, 「FN」, 「LN」, 「CN」の各フェーズでの検討項目については, 第 9 章 設計フェーズを参照してください。



次に, DR (デザイン・レビュー) で LSI を開発するための標準的な検討項目を示します。

開発対象となる LSI の仕様から主にチップ・サイズの決定とパッケージの決定をするフローがあります。また, システム全体の設計方針や各種制約 (パワーやパッケージ・サイズ等) に応じて必要な検討を行います。

図2 - 1 LSI 開発の検討項目



2.1 LSI 仕様検討

最初に開発するシステムから LSI で実現する機能の切り出しを考えます。

1 チップ内の回路規模を大きくすると、回路設計が難しくなりますが、入出力端子数を減らせるため、プリント基板での実装面積を小さくすることができます。また、使用する LSI が少なくなるため、伝達遅延時間が小さくなります。

一方、1 チップ内の回路規模を小さくすると、設計は容易になりますがシステムを構成するために複数のセルベース IC が必要となり、プリント基板への実装面で不利になります。また、多数の LSI 間を信号が伝達されるため、遅延時間があまり小さくならない場合があります。

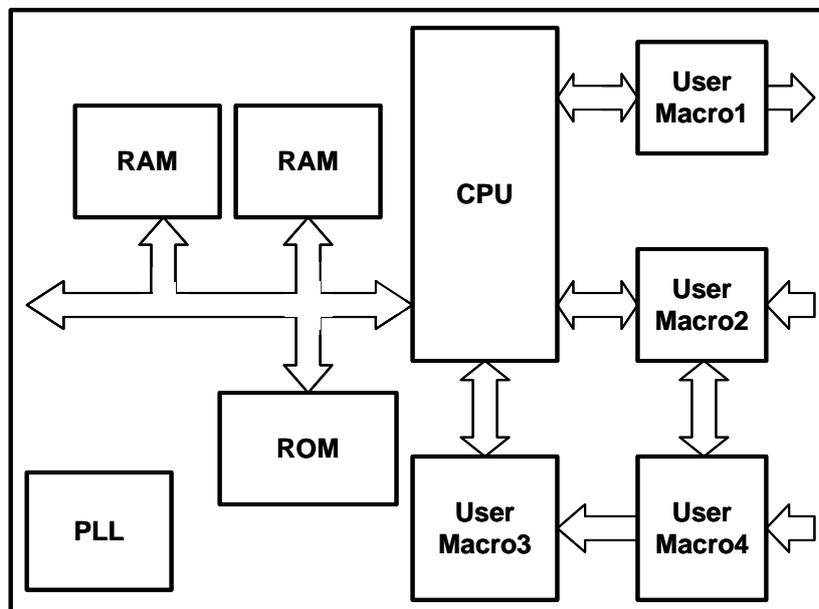
したがって、セルベース IC への回路の切り出しは、伝達遅延時間や回路規模から実装上まで考慮したうえで、回路規模や入出力端子数、開発する LSI の個数などが最適となるように検討してください。

次に開発対象となる LSI の仕様を決定します。ここでは、次に示すことを検討します。

- ブロック図の決定
- 使用する IP コア、コンパイルド・メモリなどのハード・マクロの決定
- 動作周波数
- 目標となる消費電力の検討

ブロック図は、開発対象となる LSI をどのようなハード・マクロを使用して、どのようなユーザ回路を構成して実現するかを表現します。そして、メモリの構成 (bit-word と動作周波数) や IP コア、I/O インタフェース構成から消費電力を検討します。

図2-2 ブロック図の例



2.2 セル・タイプ決定

前述の機能と LSI 仕様を確定させて、CB-90MR タイプのセル・タイプを決定します。

セル・タイプを決定する際は、最初にスタンバイ時の消費電力を抑える必要の有無を検討します。消費電力を抑える必要がある場合は、MVT セルを選択します。

表2-1 スタンバイ時の消費電力によるセル・タイプ決定

セル・タイプ	スタンバイ時の消費電力
MVT [TC7xxxx]	小さい
LVT [TB7xxxx]	大きい

また、リーク電流による消費電力は、セル・タイプ、プロセスばらつき、温度に対して非常に敏感に変化します。リークを抑えるためには、LVT セルの使用を最小限に抑えてください。また、プロセスばらつきと温度を考慮して、注意して消費電力を見積もってください。詳細は、CB-90MR タイプ 製品データ編 設計マニュアル (R05UH0020JJ) を参照してください。

さらに、設計対象となる LSI の動作周波数からもセル・タイプを決定します。

目安としては、ターゲット周波数が 200MHz を越える場合は MVT+LVT セル混載の選択を推奨します。

表2-2 ターゲット周波数によるセルタイプ決定

セル・タイプ名	ターゲット周波数
	wide
MVT	200MHz 以下
MVT+LVT	200 MHz ~

MVT セルでも、回路記述、回路構成により 200 MHz を越える動作周波数（システム・クロック）が実現できませんが、実動作時の消費電力が大きくなる可能性があります。

ただし、CB-90MR タイプは、400 MHz（システム・クロック）まで電源保証しています。400 MHz を超える場合は、弊社へ問い合わせください。

2.3 回路規模の見積もり

弊社では、チップ・サイズや消費電力を見積もる際、「グリッド・サイズ」を見積もります。

グリッドとは、チップ・サイズを見積もる際の、弊社の基本単位です。

1 チップのグリッド・サイズは、ユーザ回路のグリッド・サイズおよびハード・マクロのグリッド・サイズからなります。1 チップのグリッド・サイズは、次の 2 通りの方法で見積もってください。ただし、いずれの場合も見積もり値のため、最終的にはゲート・レベル・ネットリストで DRC を実行して算出してください。なお、ハード・マクロのグリッド・サイズは、各ハード・マクロのマニュアルを参照してください。

(1) 仮の RTL を簡易論理合成でゲート・レベル・ネットリストに変換しての見積もり (推奨)

すべてのユーザ回路に対して、仮の RTL ネットリストを用いてターゲットとなるクロック周波数を与えて簡易論理合成を行い、MVT / LVT セルのいずれかのゲート・レベル・ネットリストへ変換し、グリッド・サイズを算出します。

この方法は、仮の RTL ネットリストがある場合は適用できますが、RTL ネットリストがない場合は適用できません。また、算出するにあたり論理合成の処理時間が必要となります。

(2) グリッド換算式での見積もり

過去にほかのセルで開発していた場合、何らかの機能ブロックによるゲート・レベルのネットリストがある場合、または大まかなゲート・サイズがわかっている場合は、次のグリッド換算式での見積もりができます。ただし、換算値は概算値であるため、参考として見てください。

グリッド換算式：

グリッド換算係数 = 3.7 (MVT/LVT セル)

グリッド・サイズ = ゲート・サイズ^注 × グリッド換算係数

注 1 Gate = 4Tr (2NAND 相当) を想定しています。

2.4 消費電力確認

設計対象となる LSI の消費電力を確認します。

消費電力には、次の 2 つがあります。

- 内部セル領域の消費電力
- インタフェース・ブロックを含めたチップ全体の消費電力

消費電力を確認することによって決定される項目を次に示します。

表2 - 3 消費電力による決定項目

検討する消費電力（実動作）	決定項目
内部セル領域	配線層を決定
内部セル領域 + インタフェース・ブロック	パッケージを決定

さらに、次の項目ごとに消費電力を確認してください。

- スタンバイ時の消費電力（静消費電流による消費電力）
- 実動作時の消費電力

消費電力の確認は、設計対象となる LSI の品質および性能に大きな影響を及ぼすため重要になります。

LSI 開発初期段階は、大まかなグリッド・サイズ、ハード・マクロ・ラインアップでの消費電力の計算で問題ありません。しかし、最終的には弊社ヘインタフェースするゲート・レベル・ネットリストからなるグリッド・サイズおよびハード・マクロ・ラインアップで消費電力を計算してください。

なお、具体的な消費電力計算方法については CB-90MR タイプ 製品データ編 設計マニュアル(R05UH0020JJ)、コアについては各 IP コアのマニュアルを参照してください。

備考 消費電力計算方法については、CAD ツールによる次の電力計算方法もあります。

- スタンバイ時の消費電力（静消費電流による消費電力）
- 論理シミュレータを併用した動的消費電力計算（スタンバイ + 動作）

CAD ツールを使用して消費電力を見積もる場合には、弊社までお問い合わせください。

注意 実動作時の消費電力については、ゲーテッドCTS手法を用いて、ある特定のユーザ回路へクロックを供給しないで削減することもできます。詳細は、第 5 章 クロック設計を参照してください。

2.5 I/O スロット・ピッチと I/O パッド・ピッチ決定

設計対象となる LSI の外部入出力端子と電源 / GND 端子から I/O スロット・ピッチと I/O パッド・ピッチを決定します。詳細は、CB-90MR タイプ 製品データ編 設計マニュアル (R05UH0020JJ) を参照してください。

表 2 - 4 に示した I/O スロット・ピッチと I/O パッド・ピッチから選択してください。

表2 - 4 I/O スロット・ピッチ / I/O パッド・ピッチのラインアップ

I/O スロット・ピッチ	I/O パッド・ピッチ	パッド・ライン	形状
35 μ m	35 μ m	千鳥 (CUP)	Wire
	160 μ m / 140 μ m	千鳥バンブ	FCBGA
55 μ m	55 μ m	単列 (CUP)	Wire

2.6 使用配線層数決定

配線層数は、設計対象となる LSI の内部セル領域の消費電力、動作周波数から決定します。

MVT / LVT セルにかかわらず、内部セル領域の消費電力、動作周波数を 1. 1 製品紹介の最大許容内部消費電力、実現可能周波数を満足する配線層数を決定します。

決定した配線層を使用しない場合、LSI 内部の温度上昇に伴う電源配線の劣化や IR Drop からなる電位降下による誤動作を起こす可能性があります。

2.7 ステップ決定

設計対象となる LSI を実現するステップを決定します。

ステップは、次に示した事項の検討、選択で決定してください。

- (1) ユーザ回路規模
- (2) 搭載ハード・マクロ種類，個数
- (3) フロアプラン（ユーザ・マクロ，コア・マクロの配置方法）

設計対象となる LSI の回路規模から実装できるステップを決定します。ただし、開発する LSI と比較して極端に大きなステップを決定すると、LSI 製造コストの増大、タイミング・パフォーマンスが低下する場合がありますので注意してください。

なお、コア・マクロの個数が多い場合、またはユーザ回路規模の割合が小さい場合、回路規模だけでステップを決定することはできません。したがって、次の条件に応じてステップを決定してください。

(1) Σ (コア・マクロ回路規模) \leq Σ (ユーザ回路規模) の場合

M + U \leq L

M	: Σ (各コア・マクロの回路規模，配線領域を含む)
U	: Σ (ユーザ回路規模)
L	: 使用可能総回路規模

(2) Σ (コア・マクロ回路規模) > Σ (ユーザ回路規模) の場合

この場合は、フロアプラン・イメージを検討して、コア・マクロの配置位置を決定しなければステップを決定することはできません。

フロアプランの制限によっては、単純グリッド換算から選択したステップより大きいステップを選択しなければならない場合もあります。また、大規模コア・マクロを搭載した結果、残りの未配置領域の形状によっては、中規模コア・マクロが物理的に搭載できなくなる場合もあります。

実際に使用できる各ステップのグリッド数については、CB-90MR タイプ 製品データ編 設計マニュアル (R05UH0020JJ) を参照してください。

2.8 パッケージ決定

設計対象となる LSI の実装を実現するうえで、最適なパッケージを選択します。

パッケージは、次の事項の検討、および選択で決定します。

- (1) LSI を実装するボード
- (2) ステップ
- (3) 外部入出力端子数
- (4) 消費電力

(1) で、LSI を実装するボードからパッケージ種類 (BGA など) を選択します。

(2) で、使用するステップから使用できるパッケージを選択します。

(3) で、開発する LSI で必要となるすべての入出力端子が搭載できるパッケージを選択します。

このとき、パッケージで保有するすべての端子がユーザ外部端子として使用できるわけではありません。

パッケージの端子数には、電源端子、NC (Non-Connection) 端子も含まれています。また、スキャンパス・テスト、バウンダリ・スキャン・テストなどのテスト設計を行う場合、テスト専用端子も必要になるので、これらの端子も確保できるパッケージを選択してください。

テスト端子については、7.1 DFT 端子一覧を参照してください。

(4) で、算出した消費電力を満たせるパッケージを選択します。パッケージごとに、最大許容消費電力が決められています。必要に応じて、ヒートシンクの装着、強制空冷を行い、LSI 内部温度を下げてください。消費電力計算方法については、CB-90MR タイプ 製品データ編 設計マニュアル (R05UH0020JJ) を参照してください。

パッケージ形状、インタフェース端子数によりステップを変更することもあります。

詳細なパッケージ・ラインアップについては、CB-90MR タイプ 製品データ編 設計マニュアル (R05UH0020JJ) を参照してください。

第3章 設計前の情報共有

お客様の設計後戻りを減らすために、初期検討段階で留意いただきたい、あるいは情報共有したい回路仕様の検討箇所について記述します。

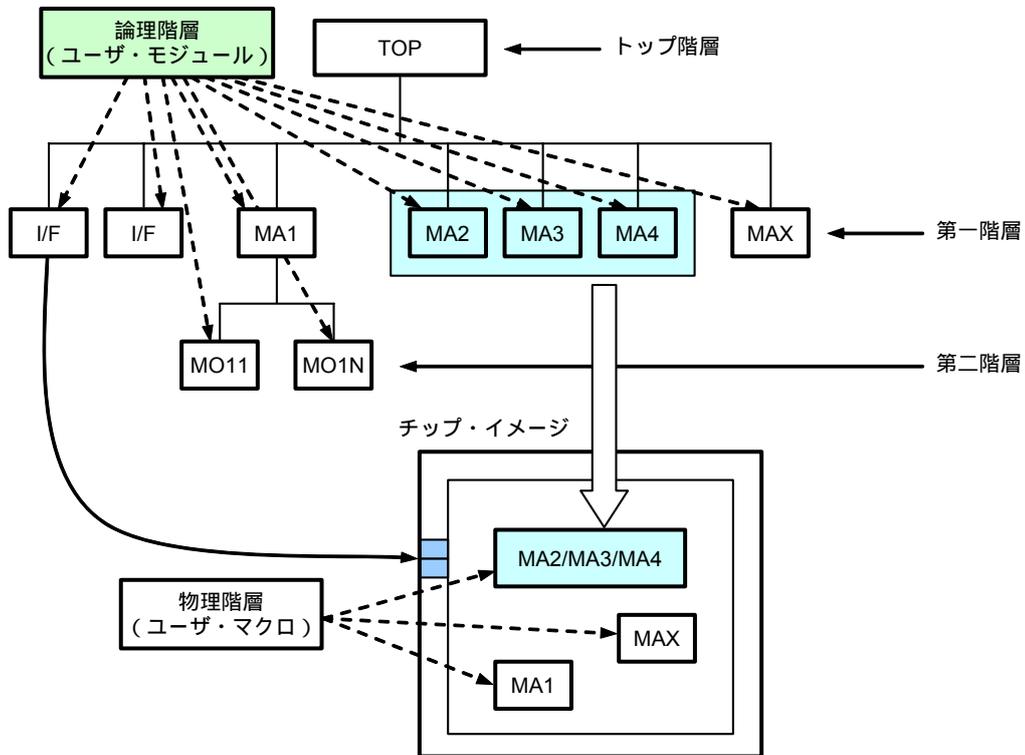
3.1 回路仕様の検討

設計データ・インタフェース後の物理設計を短 TAT で行うために、お客様よりいただきたい情報を記述します。

3.1.1 モジュール分割

RTL 設計上で論理的/機能的な面を考慮して設計される階層（またはその集合体）を論理階層と定義し、物理的なフロアプランからひとまとまりと分類できる階層（またはその集合体）を物理階層と定義します。

イメージは次のとおりです。



3.1.2 ブロック・ダイアグラム

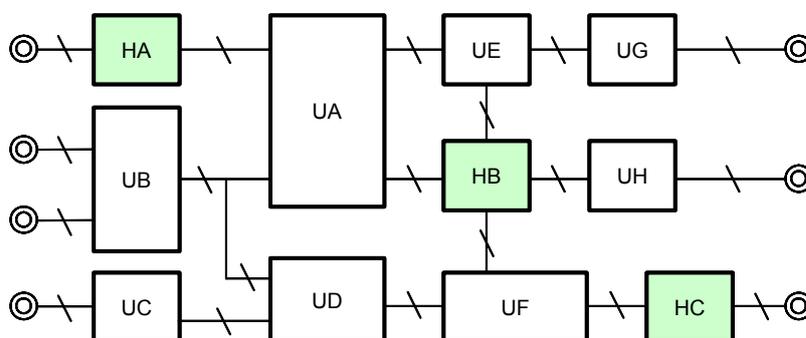
ブロック・ダイアグラムは、弊社でデータの流れを把握するうえで非常に重要な情報と位置付けています。このため、ネットリストの記述だけでなく、次のようなブロック・ダイアグラムの仕様書として提供していただく場合があります。

ブロック・ダイアグラムには、下記を記述していただければ記述方法は任意でかまいません。

- 機能モジュール間の信号の流れと接続関係
- 機能モジュール間のバス幅（接続本数）
- 相関の強い機能モジュール間情報、タイミング、配線性どちらで相関が強いか

これらは、レイアウト時のフロアプラン検討、および配線性を事前に確認するうえで、非常に有益な情報になります。

図3 - 1 ブロックダイアグラム

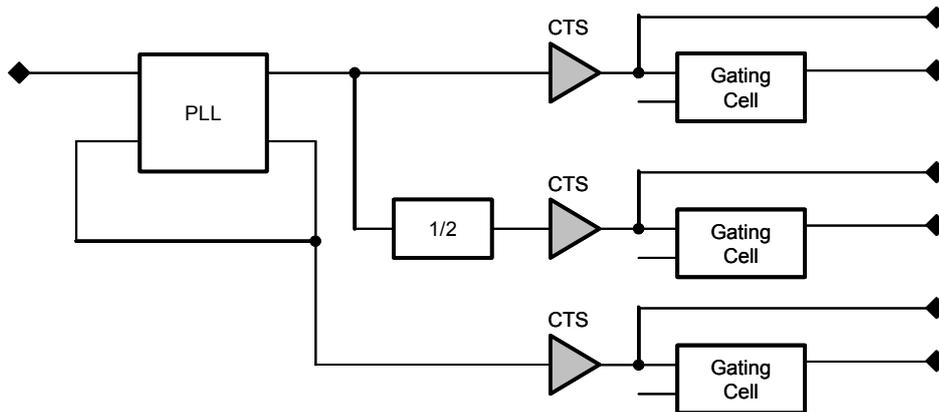


3.1.3 クロック設計図

短 TAT でレイアウトするにあたり、いくつかの制約があります（詳細は、第 5 章 クロック設計を参照ください）。システム構築もしくは RTL 設計の段階での考慮をお願いします（多段ゲートド構成で回路を構築している場合は、別途、弊社へご相談ください）。

クロック構成は、弊社でレイアウト時のタイミング収束、およびテスト設計時のクロックを制御するうえで非常に重要な情報と位置付けています。このため、ネットリストの記述だけでなく、次のようなクロック構成図の仕様書として提供していただくことを推奨しています。

図3-2 クロック構成図



LSI から出力されるクロック信号についても、クロック構成図への記載をお願いします。

また、クロック構成図にあわせて記述していただきたい内容を次に示します。

- クロック信号名，周波数情報
- 各クロック間の同期関係マトリクス（表 3 - 1 参照）
- リセット信号名と条件（表 3 - 2 参照）
- リセットの構成
- ゲーティング・セルの有無，挿入位置
- CTS ブロックの挿入位置（スキュー調整用）
- 異クロック間のスキュー調整の有無，および対象クロック指示
- ASIC 外部に出力されるクロックの有無，その情報（クロック名称）
- メタステーブル対策 F/F の有無，挿入位置
- 重たい FF 群，軽い FF 群の明確化（CTS に繋がる FF 数の多少の情報をお持ちであればご提供ください）

表3-1 クロック同期関係マトリクス（例）

クロック名称	CLKA	CLKB	CLKC
CLKA		x	x
CLKB			
CLKC		x	

：同期関係にあるもの

x：同期関係にないもの

表3-2 リセット信号名と条件（例）

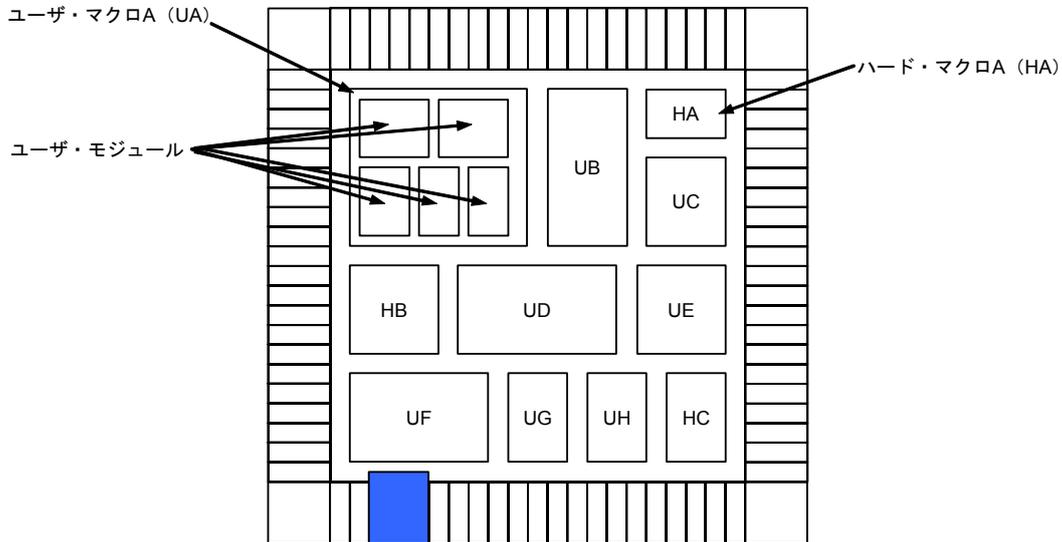
リセット名称	同期リセット	非同期リセット	条件
RESET_H			ハードウェアリセット
RESET_S			ソフトウェアリセット

3.1.4 フロアプラン・イメージ

可能であれば、次のようなフロアプラン・イメージ図を作成していただくことを推奨しています。

弊社の初期フロアプランを検討する際に、非常に有益な情報となります。なお、作成されない場合は、ブロック・ダイアグラム等を参考にして、弊社側でフロアプラン・イメージを作成します。

図3-3 フロアプラン・イメージ図

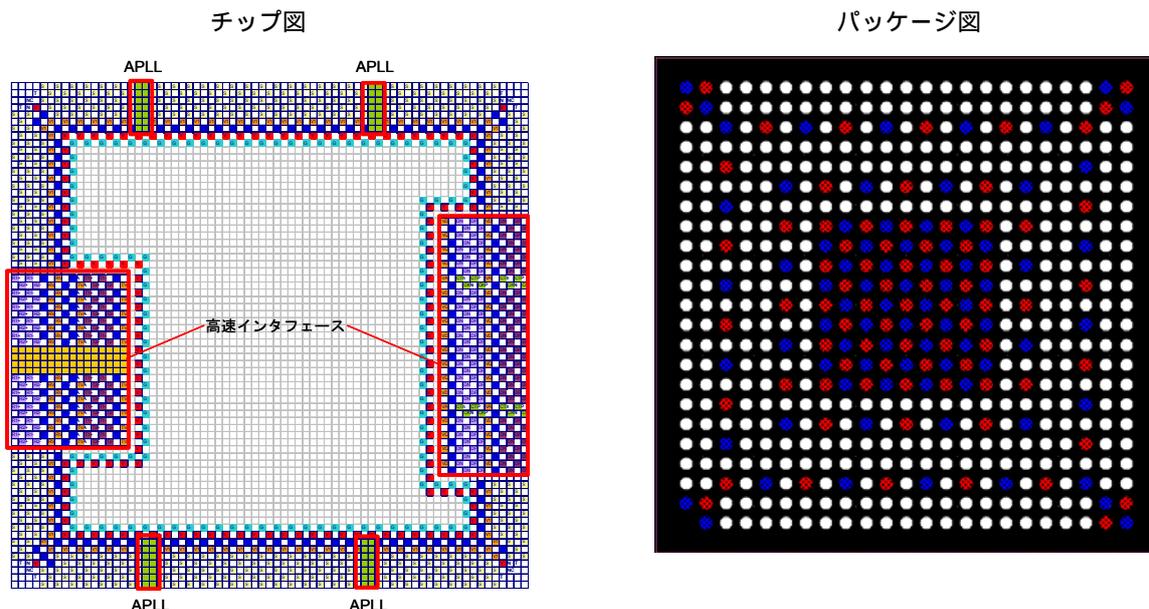


3.1.5 パッケージ PAD 配置 / IO 配置情報

パッケージ図のどの信号をチップ図のどの PAD, およびこの I/O 領域に配置するか、希望する配置位置を概略情報として提供してください。

これらの端子配置位置は、お客様のボード設計から定まると同時に、弊社側のチップ内設計、およびレイアウト時のタイミング設計にも影響があるので検討が必要です。

端子配置については、お客様と弊社で相談して検討を進めます。



3.1.6 タイミング制約

タイミング制約情報は、弊社のレイアウト時のタイミング設計、およびタイミング検証を円滑に行ううえで非常に重要な情報のため、早期段階に提供していただくことをお願いします。

なお、タイミング制約情報については、次のことを考慮してください。

- 1 チップレベルのタイミング制約で記述します。
- 全レジスタに対してクロック定義をします。
- multi_cycle,false_path の情報を提示してください。
- 波形の位相関係を記述してください。
- AC スペックを定義してください。

3.2 タイミング性能見積もり

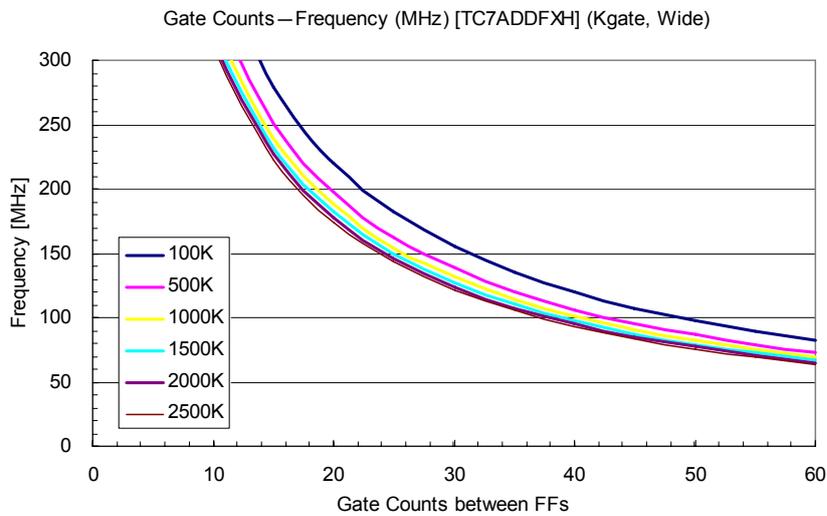
F/F 間に Full Adder , またはマルチプレクサが接続された場合の実現可能動作周波数の関係を次に示します。
 F/F 間の段数により, どれくらいの性能であるかをレイアウト前に概略で見積もります。

3.2.1 ターゲット周波数を考慮した第一階層サイズの決定

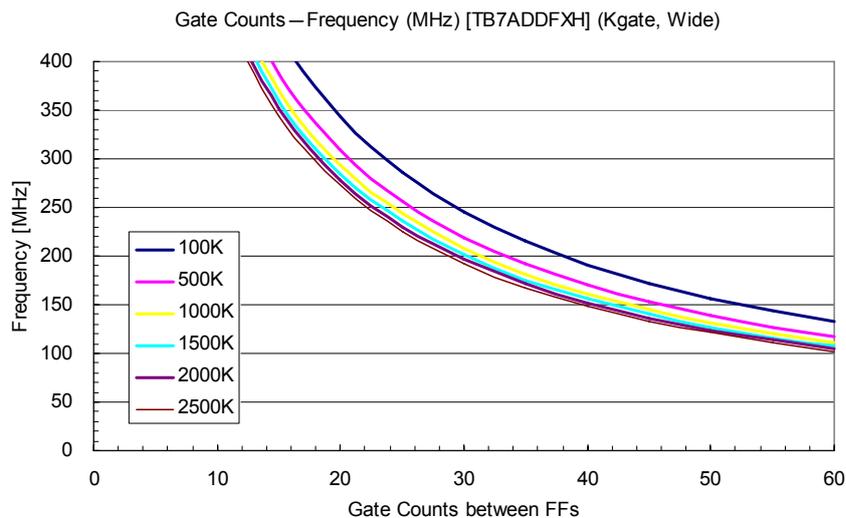
実現できる動作周波数は, 一般的に第一階層サイズ, F/F 間段数に依存します。

さらに, 第一階層の回路構成により実現できる周波数が異なります。F/F 間に Full Adder を接続した場合に実現できる動作周波数の関係を次に示します。

Full Adder チェーン時, MUX チェーン時 (MVT セル, Wide 条件)



Full Adder チェーン時, MUX チェーン時 (LVT セル, Wide 条件)



備考 上記図は, F/F のセットアップ時間, 一般的なクロック・スキューを加味しています。

マクロ・サイズによる配線長は, wire_load モデル・ベースのため, あくまでも予測値として見てください。

第4章 回路設計

この章では、回路を設計する際の注意点や制限事項について説明します。

この章で説明している各種の制限事項や設計ルールに従って、誤りなく LSI を設計してください。

設計ルールに従わないで設計を進めると、弊社へのインタフェース後の開発期間が延長するだけでなく、品種の再開発（リワーク）になる場合もあるので、十分注意してください。

なお、以降、回路設計の説明においては、MVT セルのプリミティブ・ヘッダ（TC7）で記述しています。別途 LVT セルを使用する場合は、「TC7」を「TB7」に読み替えてください。

4.1 名称規則

OPENCAD の設計における名称規約については、付録 A を参照してください。

ただし、VHDL を使用する際は、VHDL の名称規約が優先となります。

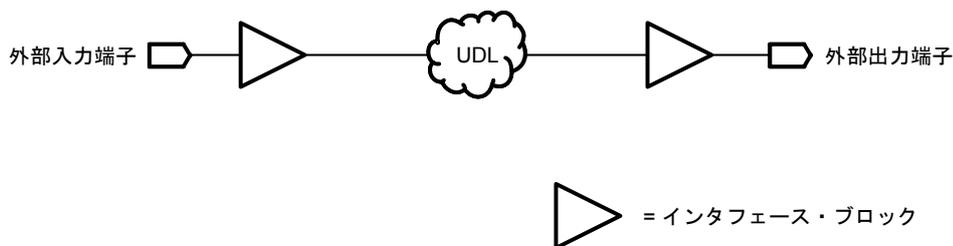
また、このほかにツールによっては制限がある場合があります。その場合は、各ツールごとの名称規約にも従ってください。

4.2 禁止回路 / 推奨回路構成

4.2.1 入力 / 出力バッファの使用

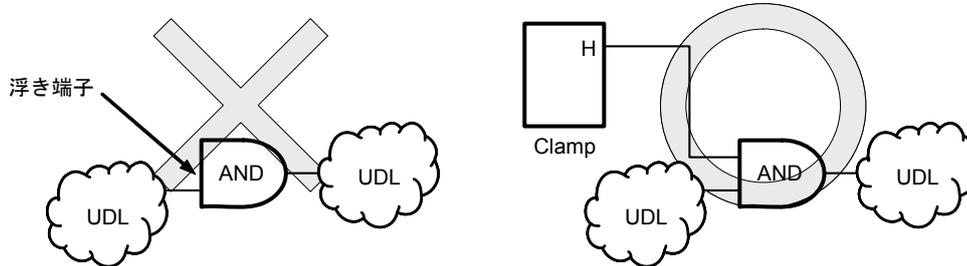
LSI 内部と外部端子の間には必ずインタフェース・バッファを挿入してください。

静電気などから LSI を保護したり、出力に十分な駆動能力を得ることができます。



4.2.2 入力空き端子の禁止

すべてのブロックにおいて未使用入力端子をオープンにすることはできません。
 入力レベルが定まらないため、ファンクション不良やリーク電流増加の原因になります。
 必ずクランプ・ブロックに接続してハイ・レベルかロウ・レベルを入力してください。



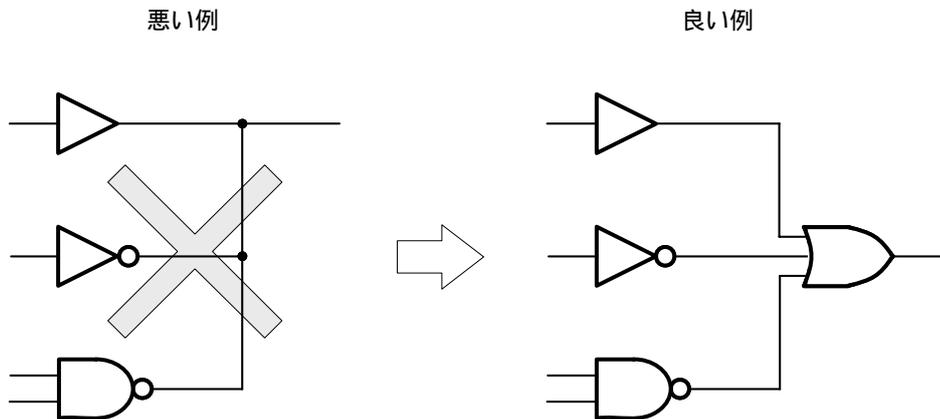
なお、1 つのクランプ・ブロックで多くの空端子をクランプすると、その部分に配線が集中し、配置配線が困難となります。このような場合は、回路で分け配線の集中を避けてください。

その上で、ひとまとまりの回路モジュールまたはユーザ・マクロに対してクランプ・ブロックを使用してください。関連のない回路モジュール、ユーザ・マクロに対して同じクランプ・ブロックを使用すると、配線性を劣化させる可能性があります。

4.2.3 ワイアード・ロジックの禁止

ブロックの出力同士を相互に接続してワイアード・ロジックを構成することはできません。
 ブロックの出力同士を接続すると、論理状態によって P-ch トランジスタと N-ch トランジスタが同時に導通状態となり、出力が中間レベルになるとともに V_{DD} -GND 間に定常的な電流通路ができるため、CMOS 回路本来の特徴である定常時の低消費電力特性が損なわれますので、この制限事項は必ず守ってください。

図4 - 1 ワイアード・ロジックの禁止



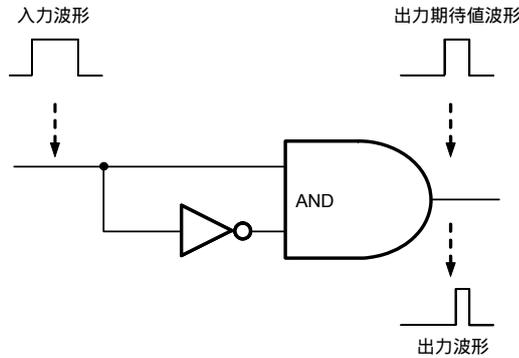
4.2.4 微分回路の禁止

遅延差を利用した微分回路構成は禁止です。現状のレイアウト設計では配置配線は自動で行われます。

その際、内部組み合わせ回路による遅延差を利用した波形出力を保証することはできません。

なお、弊社のレイアウト設計時のタイミング保証で微分回路、及び積分回路を構成する場合がありますが、これは弊社にて保証します。

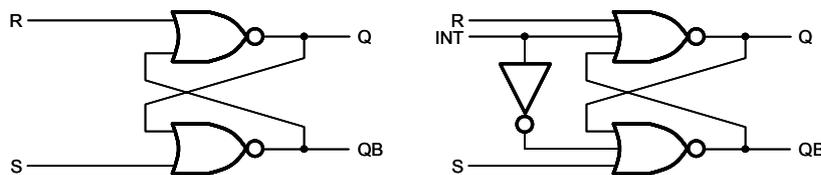
図4 - 2 微分回路の禁止



4.2.5 RS-LATCH 回路構成の禁止

ゲート回路構成による非同期 RS-LATCH 回路は禁止です。発振回路を作りこむ要因になります。

図4 - 3 RS ラッチ回路の禁止

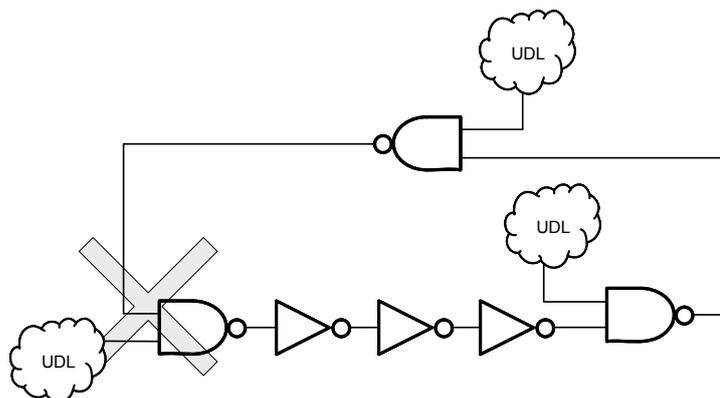


4.2.6 ループ回路構成の禁止

非同期ループ回路構成は、次の要因となるため禁止です。

- 発振回路を作りこむ要因になります。
- IDD テストができなくなる可能性があります。
- 形式検証や STA など静的解析において、ループ・カット・ポイント指定ミスによる検証もれを引き起こす可能性があります。

図4 - 4 ループ回路の禁止

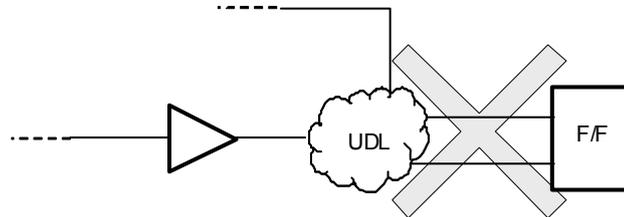


4.2.7 レーシング (レジスタへの競合信号入力) 回路構成の禁止

同一信号ソースからレジスタのデータ/クロック端子への接続は禁止です。

データ・ラインの組み合わせ回路のタイミングによって、レジスタのデータ端子に期待する波形を得られない可能性があります。

図4 - 5 RACING 回路の禁止



4.2.8 レイアウト専用プリミティブの使用禁止

次のプリミティブはレイアウト時の専用プリミティブとなるため、ユーザ回路で使用することはできません。

なお、DesignCompiler 上では dont_use 属性が付加されるため、特に注意する必要はありません。

下記以外にもレイアウト専用プリミティブがありますが、マッピング制御用スクリプトで制御するので特に注意する必要はありません。

- TC7*XAA, XA, XB 低消費電力プリミティブ
- TC7*XT, XU, XW 高駆動プリミティブ
- TC7DLY* データライン用遅延プリミティブ
- TC7DLY*CL* クロックライン用遅延プリミティブ
- TC7*RE 上地修正用プリミティブ
- TC7*HOLD* ホールド調整用プリミティブ

4.3 ユーザ回路のテストビリティを考慮した回路設計

ユーザ・ロジックの設計では論理設計だけでなく、テスト方法やテスト回路を含めた形で設計することが重要です。次に示す項目を考慮して、回路を設計してください。

4.3.1 フリップフロップの初期化（初期設定）

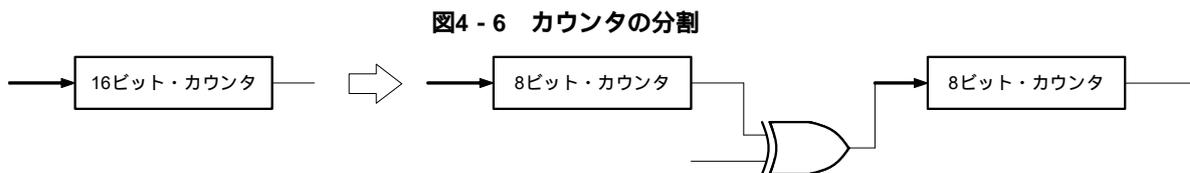
フリップフロップやカウンタなどのブロックは、電圧を印加した瞬間の出力状態はロウ・レベルとなるかハイ・レベルとなるかはまったくわかりません。このため、シミュレーションでは、テスト・パターンの最初の数パターンを用いて、初期状態を設定しなければなりません。

設計にあたっては、初期設定のパターンが長すぎないように、また内部回路の初期状態が必ず設定できるように、なるべくリセット入力付きブロックで回路を構成してください。

4.3.2 カウンタの分割

多ビットのカウンタなどでは、テスト・パターン数を削減するために、いくつかに分割してテストする方法が有効です。

たとえば、16 ビットのカウンタでは最終段が動作するまでに、2 の 16 乗のパルスが必要ですが、図 4 - 6 のように 8 ビットのカウンタ 2 個に分割してテストすることにより、パルス数を約 1/100 ~ 1/200 にすることができます。



4.3.3 フリップフロップ/ラッチの初期化以外での使用禁止

ラッチ、フリップフロップのセット/リセットは、初期化するためだけに使用してください（RS ラッチを除きます）。それ以外の目的で使用した場合は、スキャンパスでの ATPG（Automatic Test Pattern Generation）を有効に活用できません。

4.4 非同期制御ラインへの波形鈍り保証のブロック挿入

レイアウト後の波形鈍りによる誤動作とシグナル・インテグリティの保証のため、非同期の制御ラインに対して波形鈍り保証専用ブロックをインスタンス化することを推奨します。

波形鈍り保証専用ブロック：TC7CTSRS

非同期制御ラインとは、非同期セット/リセット・ラインを示します。

これらの波形鈍り保証バッファは、レイアウト時に CTS と同一の手法で展開されますが、CTS のようにスキューの合わせ込みは行いません。

4.5 タイミング制約（実遅延計算ベース）

タイミング制約ファイルの記述方法を次に示します。

4.5.1 タイミング制約の付加

STA で必要となるタイミング制約は、次のように記述することを推奨します。

表4 - 1 タイミング制約付加方法

タイミング制約	付加方法
create_clock -period	設計者自身で定義してください。 クロック周波数は、ターゲット周波数を指定します。
set_clock_skew -propagate -plus_uncertainty -minus_uncertainty	設計者自身で定義してください。 クロック遅延は Propagate で定義します。 クロック・スキューは、4.5.2 相対ばらつき遅延変動分の考慮に記載したチップ内ばらつき、PLL のジッタを考慮する場合に指定します。
set_input_delay set_output_delay	設計者自身で定義してください。
set_false_path	設計者自身で定義してください。
set_multicycle_path	設計者自身で定義してください。

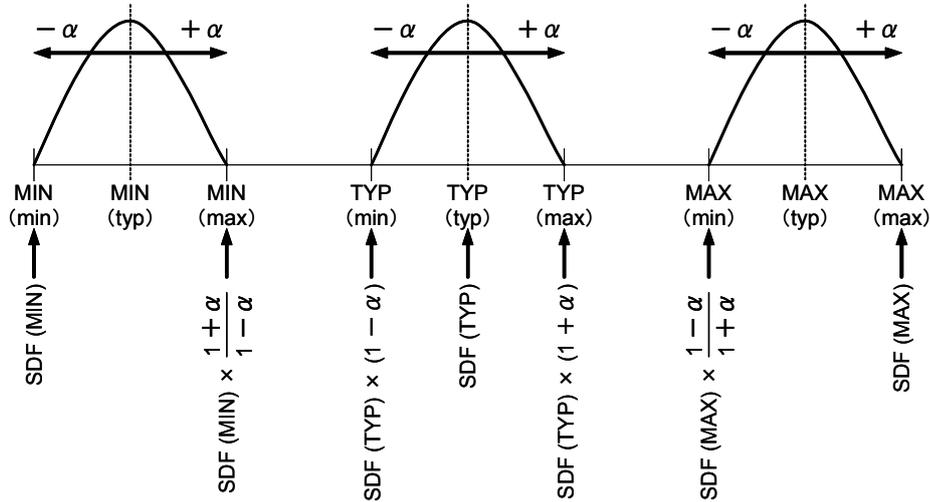
4.5.2 相対ばらつき遅延変動分の考慮

現在の遅延計算手法では、チップ内ばらつきなどの相対ばらつきによる遅延変動分は考慮していません。

したがって、タイミング解析時に実遅延計算後の値に相対ばらつきを加減算することで、相対ばらつきによる遅延変動分を考慮します。

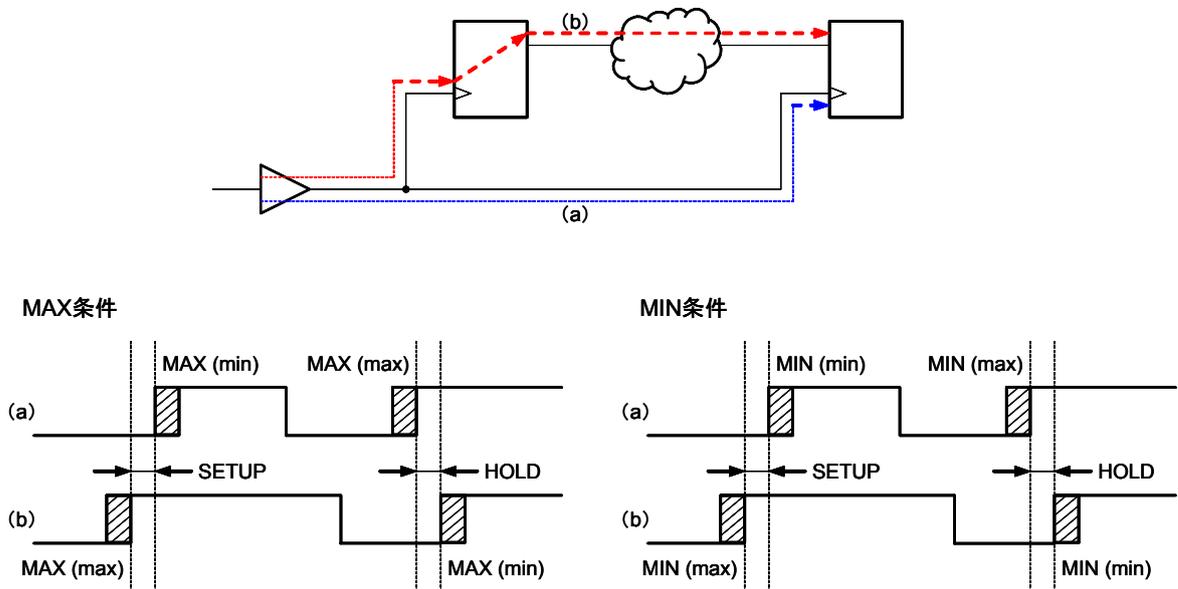
CB-90MR の相対ばらつき率は、弊社へお問い合わせください。

図4-7 相対ばらつき率による遅延変動分布



タイミング解析は、相対ばらつき率を使用して、図4-8のように行います。

図4-8 相対ばらつき率によるタイミング解析



MAX 条件の SETUP 解析の場合、次段のクロック側が速くなるため条件が厳しくなります。

MAX 条件の HOLD 解析の場合は、次段のデータが速くなるため条件が厳しくなります。

MIN 条件の SETUP 解析の場合、次段のデータ側が遅くなるため条件が厳しくなります。

MIN 条件の HOLD 解析の場合は、次段のクロックが遅くなるため条件が厳しくなります。
 表 4 - 2に、相対ばらつきを考慮したタイミング制約付加方法を示します。なお、STAツールで自動的に相対ばらつきの計算を行うLOCV機能も使用可能です。弊社までお問い合わせください。

表4 - 2 相対ばらつきを考慮したタイミング制約付加方法 (PrimeTime の例)

(a) MAX 条件

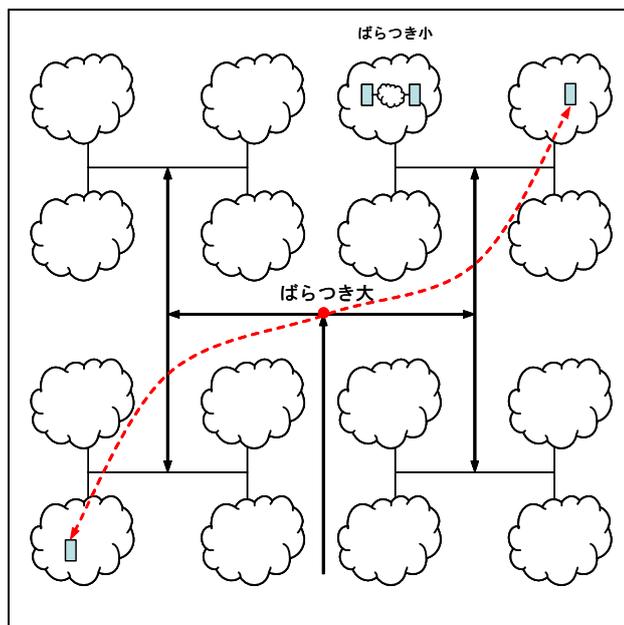
タイミング制約	付加方法
set_timing_derate -max -clock	設計者自身で定義してください。 ここでのディレーティング値は、弊社へお問い合わせください
set_timing_derate -min -data	設計者自身で定義してください。 ここでのディレーティング値は、弊社へお問い合わせください。

(b) MIN 条件

タイミング制約	付加方法
set_timing_derate -max -data	設計者自身で定義してください。 ここでのディレーティング値は、弊社へお問い合わせください。
set_timing_derate -min -clock	設計者自身で定義してください。 ここでのディレーティング値は、弊社へお問い合わせください。

ここで述べた相対ばらつきは、クロック遅延、データ遅延に相対ばらつき率を加算、減算したものを反映していますが、図 4 - 9に示すように、一般に隣接するフリップフロップ間でのばらつきは小さく、F/F間の距離が離れる程ばらつきは大きくなります。

図4 - 9 フリップフロップ間でのばらつき



このため、あるフリップフロップ間の相対ばらつきを考慮する際、共通となるクロック・ノード以降のクロック遅延に相対ばらつき率を反映させる（加算、減算）ことを推奨します。

4.6 開発 TAT 短縮のための設計手順【推奨】

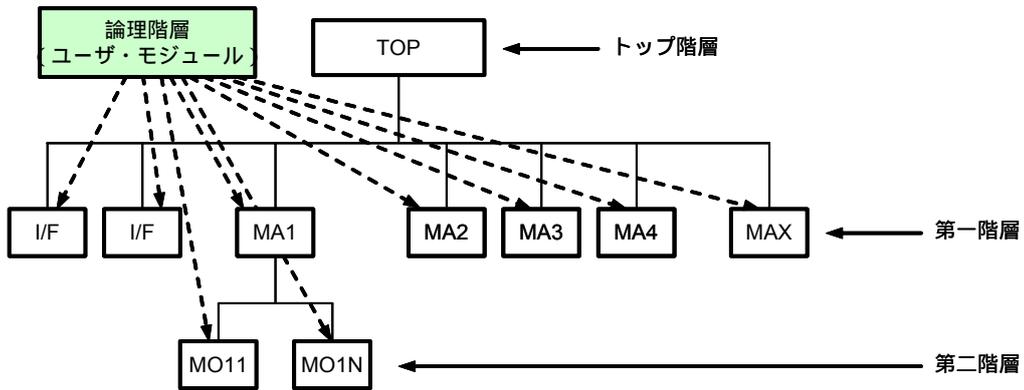
できるかぎり検討いただきたい項目を次に示します。また、タイミングが収束しない場合に、検討していただきたい項目です。

開発 TAT 短縮のため弊社からお客様への提案事項を記載します。

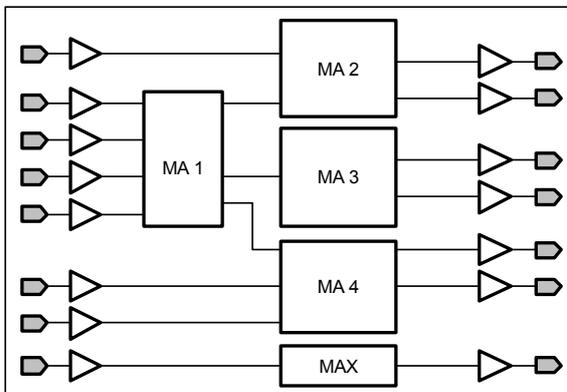
設計早期でのお互いの情報交換が非常に大事な要素になります。弊社から別途提案させていただく設計インタフェース・フェイズ (FN/LN/CN) にあわせて、論理回路の分割/結合を要求させていただく場合もありますので、ご了承ください。

この章で使用する「トップ階層」、「第一階層」、「第二階層」は、次の図をイメージして説明しています。

論理階層断面図

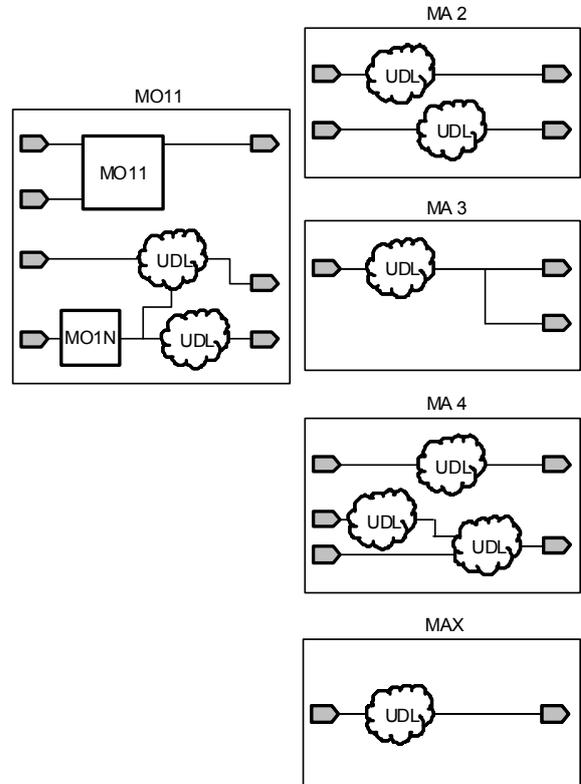


トップ階層

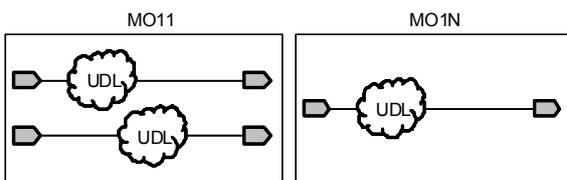


▷ = インタフェース・ブロック

第1階層



第2階層



4.6.1 トップ階層 / 1 チップに対する設計

(1) トップ階層における禁止回路構成

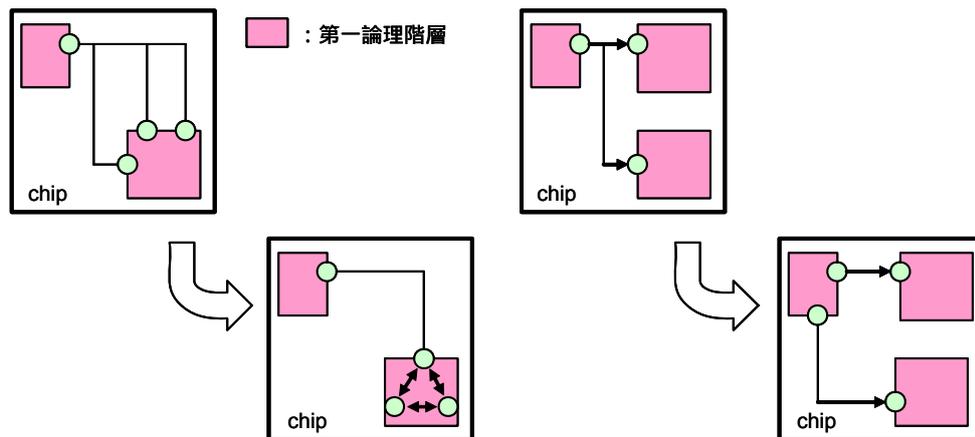
トップ階層には、組み合わせ回路や順序回路を構成しないでください。

(2) インタフェース・ブロック間のピン・ペア数の制限

インタフェース・ブロック間のピン・ペア数は、「1」制限になります。

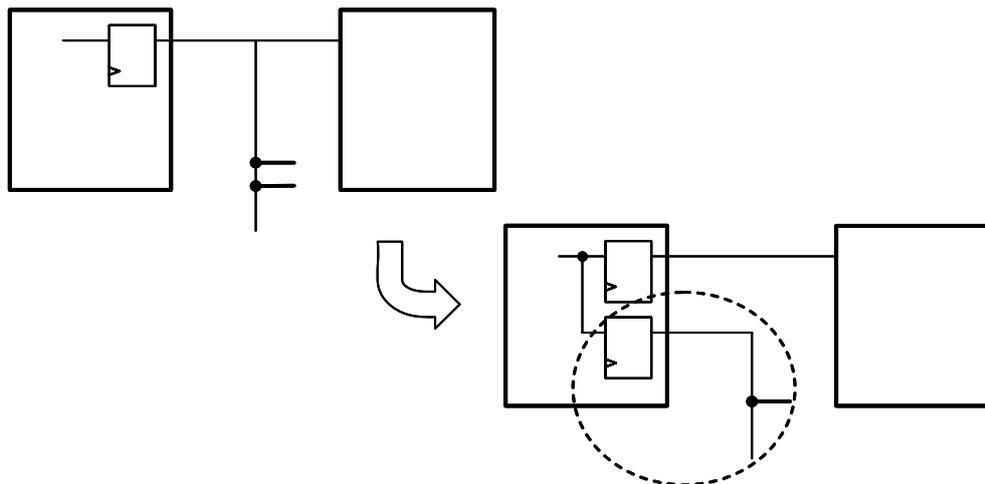
第一階層間の遅延予測、およびレイアウト収束の短 TAT を可能にするため、第一階層間、および第一階層～インタフェース・ブロック間のピン・ペアを「1」にしてください。

ただし、バス設計における制限は別途設定させていただきます。



レジスタから複数の信号に情報が分離している場合、根元のレジスタ自身を複数に分けます。

1つのバス信号の情報を利用して多数をセレクトしている場合は、情報を各セクタに対して、1対1で与えるようにしてください。

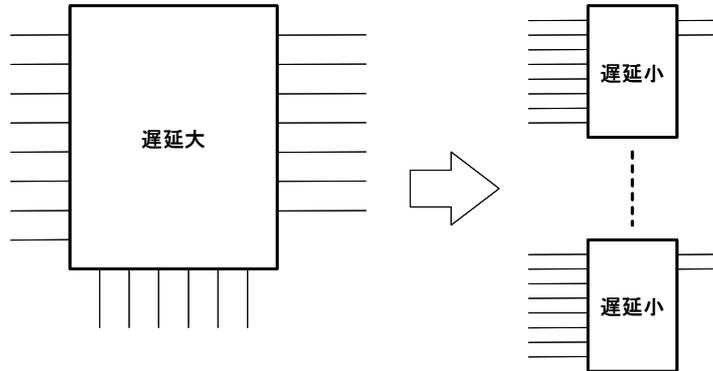


(3) クロックの両エッジを使用する回路構成の禁止

両エッジを使用する場合、両クロック間のタイミングの調整を手作業で行う必要があるため、別途日程調整が必要となります。

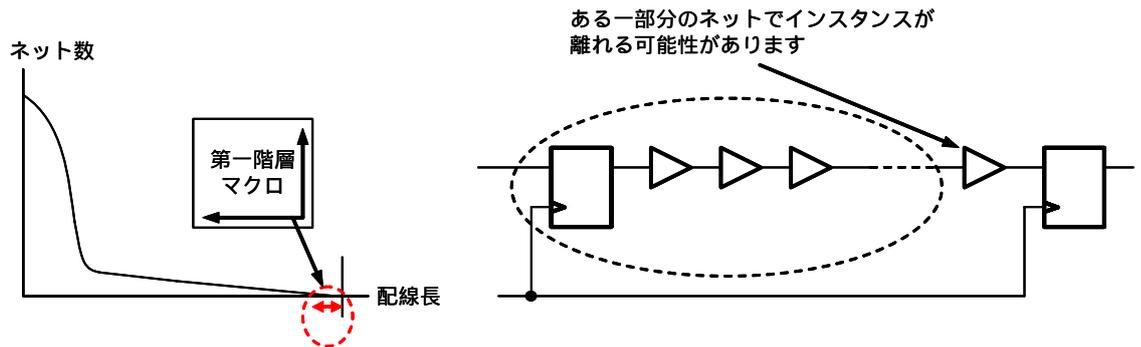
(4) マクロ分割

第一階層構成が大きいために入力～出力間の遅延が大きい場合、これを分割すれば小さな遅延になる場合は分割してください。



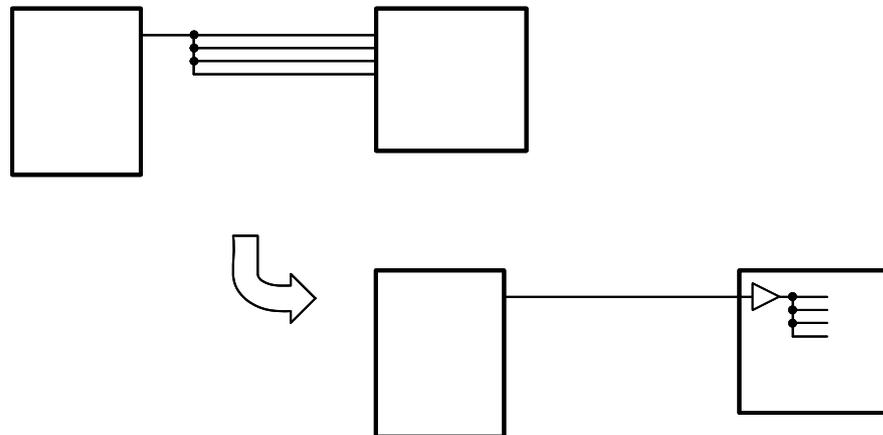
(5) 第一階層サイズの制限

レイアウト収束 TAT を考慮した場合、第一階層サイズは約 500K ゲート以下としてください。第一階層内で F/F 間のインスタンスが極端に離れた場合、配線遅延増加によるタイミング収束イタレーションが発生することを抑えるためです。



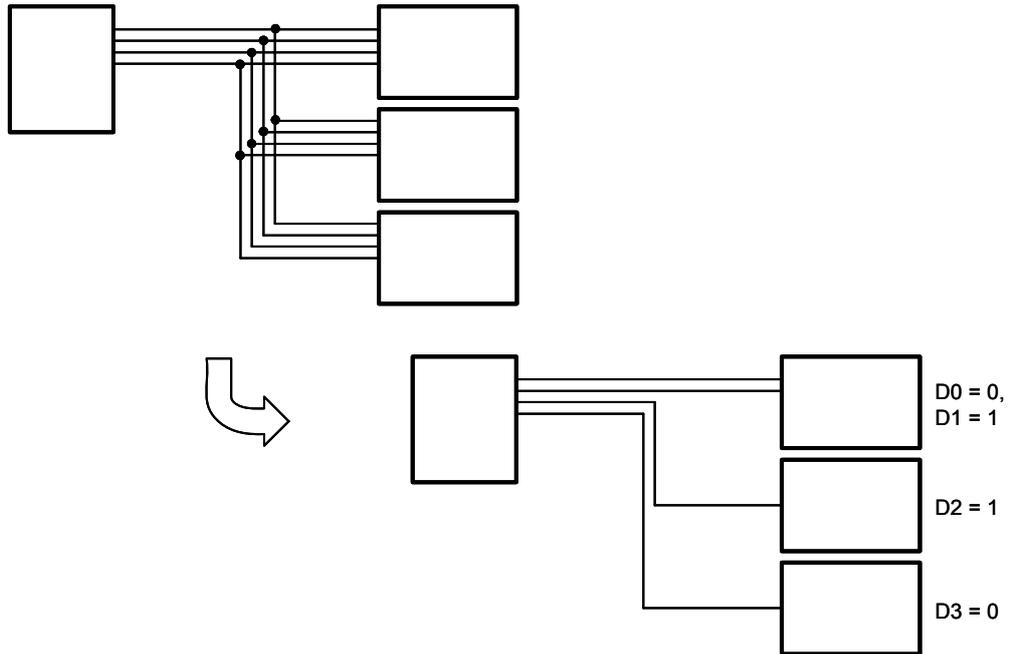
(6) 複数同電位ネットの削減

複数の同電位ネットがある 1 つの第一階層に接続される場合、これを 1 つのネットにして第一階層内で分配してください。分配の際は、論理合成ツールを使用してバッファで受けてください。



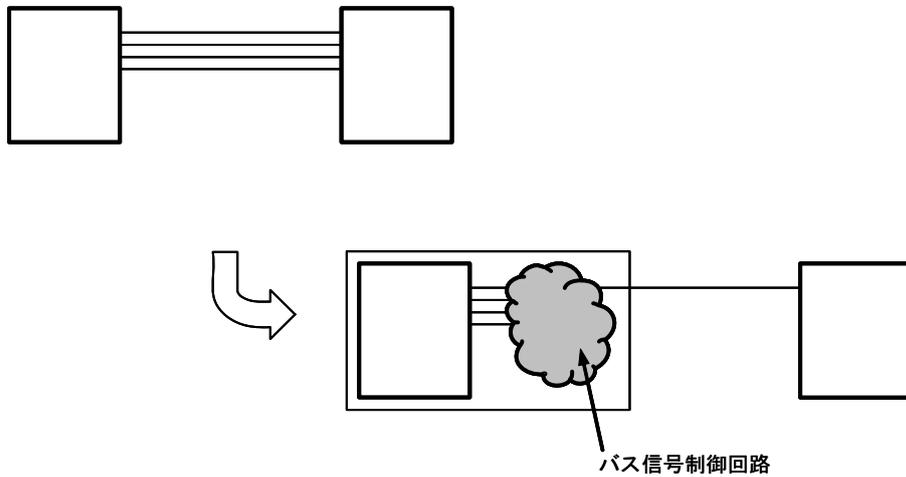
(7) 階層間配線のビット限定等

数値で制御せずに各ビットを立てることで、バス線をなくします。



(8) バス信号制御回路の挿入

バス線同士を結線するのではなく、必要な制御回路をあらかじめ与えると、バス線を減らすことができます。



4.6.2 第一階層に対する設計

(1) バス設計を除く、組み合わせ回路のみの回路構成禁止

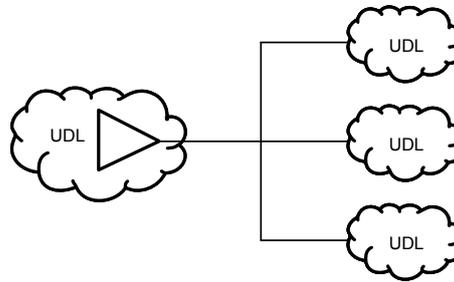
第一階層には、レジスタがない組み合わせ回路のみにはしないでください（ただし、バス設計に必要な回路については別途基準を設定します）。第一階層間のタイミング収束が困難になる場合があります。

(2) ピン・ペア数の制限

ピン・ペア数の平均値を「2.5」以下に制御してください（この値は経験則に基づきます）。

チップ全体でのピン・ペア数の平均値が「3」を超えるネットリストでは、レイアウト時に配線リソースが不足して未配線の発生、または仮に配線できた場合でもタイミング収束が不可能な場合があります。論理設計段階で対応することで、レイアウト収束およびレイアウト TAT 短縮が実現できます。

なお、ピン・ペア数は、DesignCompiler の report_net コマンドで確認できます（[例]を参照してください）。



ピン・ペア = 3 の回路構成

例 DesignCompiler の report_net コマンドを実行すると、summary として次のレポートが出力されます。

Net	Fanout	Fanin	Load	Resistance	Pin
Total 16885 nets			59767	16885	5998.33 0.00 76652
Maximum	1163	1	1045.99	0.00	1164
Average	3.54	1.00	0.36	0.00	4.54

ピン・ペアの計算式は、次のようになります。

ピン・ペア数 =

$$\{(\text{Total Fanout 数}) - (\text{Clock Fanout 数}) - (\text{re)set Fanout 数}\} / \{(\text{Total net 数}) - (\text{Clock/set/reset net 数})\}$$

上記の計算式に基づいて計算します。クロックおよびリセットは、1 系統かつ Fanout がそれぞれ 1000 として計算すると、次のようになります。

Total Fanout 数 : 59767

clock Fanout 数 : 1000

(re) set Fanout 数 : 1000

Total net 数 : 16885

clock/set/reset net 数 : 1

$$(59767 - 1000 - 1000) / (16885 - 1) = 3.42 \text{ (ピン・ペア数)}$$

2.5 以下にしてください。

(3) 非同期回路の注意

非同期回路は、タイミング・エラーが出ない構成にしてください。

同期回路が前提のため、非同期部分のチェックはできません(5.3.3 非同期クロック間のデータ乗せ替え)を参考にしてください)。

(4) 配置位置が広範囲に渡るモジュールに対する論理合成時のタイミング制約

配置位置が広範囲に渡る場合、弊社より別途下記のタイミング制約を加算していただく場合があります。

~ 30 段	最大配線長が付加された場合の最速配線遅延 × 0.50
31 段 ~ 50 段	最大配線長が付加された場合の最速配線遅延 × 0.75
51 段 ~	最大配線長が付加された場合の最速配線遅延 × 1.00 (これ以降の段数は比例計算)

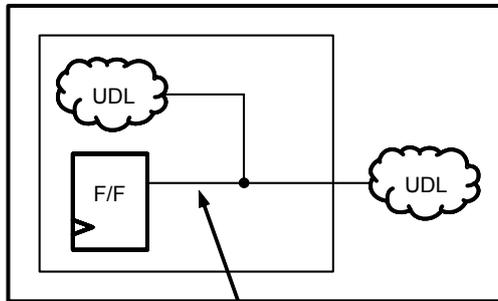
備考 1st Layout 結果にて、弊社側で配置位置チェックおよび段数チェックを実施しますので、初回合成時には本手法を考慮していただく必要はありません。

(5) 第一階層の出力と第一階層内を駆動するセルの兼用禁止

第一階層間と第一階層内を駆動するセルは、同一にしないでください。

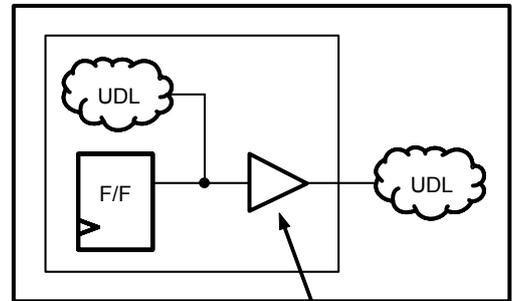
これにより、第一階層内および第一階層間のタイミング収束が容易になります。また、レイアウト時に挿入されるリピータの最適化も可能になります(ただし、バス設計における制限は別途設定させていただきます)。

回路構成 (NG)



レイアウト時にリピーター挿入箇所。
ネットのisolation化がなされない。

回路構成 (OK)



合成段階で挿入

(6) 論理合成時の注意

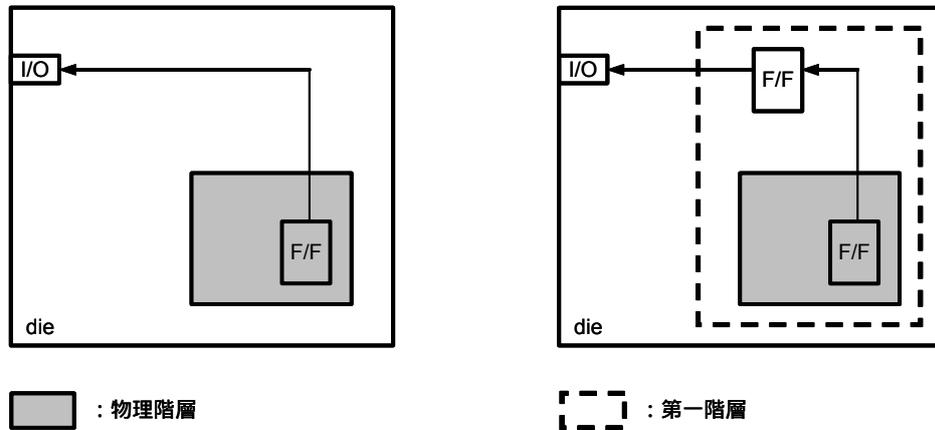
論理合成時に使用する第一階層の回路規模を想定した wire load model は、第二階層以下のレベルで合成する場合も使用します。

(7) 回路規模見積もり時の注意

高密度設計においては、低駆動能力の複合ゲートを用いた回路規模見積もりを行わないでください。駆動能力の低い複合ゲートが多数存在する場合、レイアウト設計時小さいエリアに配線の集中が発生します。それにより配線リソース不足が発生し、タイミング収束性が悪化する可能性があります(高密度設計でない場合、配置位置を散乱させることにより回避可能ですが、高密度設計では配置位置および駆動能力の変更は制限される可能性があるため、見積もり段階でのケアが必要になります)。

(8) 高速インタフェース設計時の推奨構成

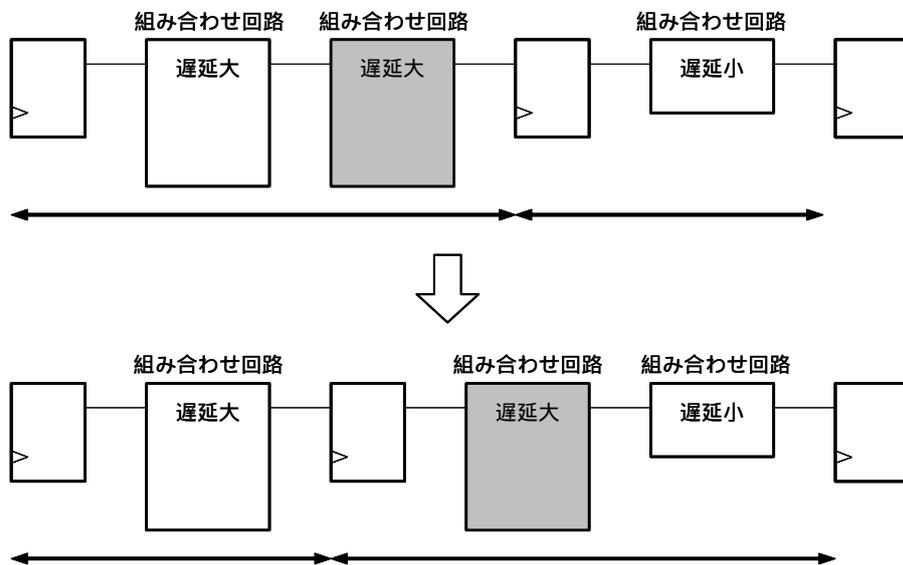
第一階層の出力がトップ階層の高速インタフェース・ブロックに接続される場合、設計の初期段階からフロアプランを考えたタイミング設計が必要になります。必要に応じて、リタイミング用を挿入した F/F 2 段カスケード接続回路にしてください。



なお、この手法を行うと、出力バッファの同時動作チェックの制限が厳しくなる可能性があるので注意してください。

(9) レジスタ間遅延負荷の均等化を推奨

第一階層内のレジスタ間の遅延をいかに抑えるかにより、タイミング収束性が変わってきます。このため、次のように、第一階層内のレジスタ間の遅延を抑えることを推奨します。

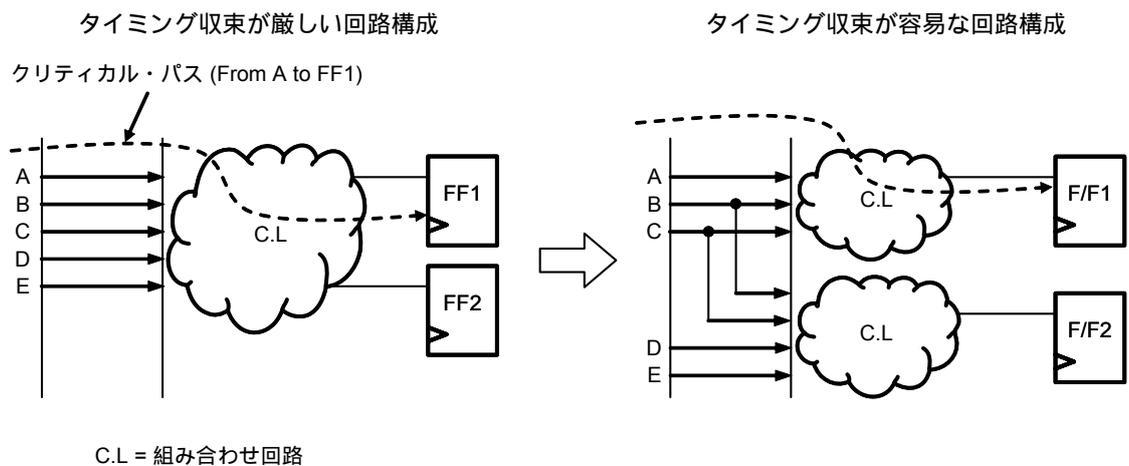


(10) クリティカルパスを意識した論理分割を推奨

RTL 設計時、クリティカル・パスになりそうな論理はゲート段数が最小になるようにできるかぎり論理分割を行ってください。必要な論理を分割して並列論理処理を行うとタイミング収束を容易にすることができます。

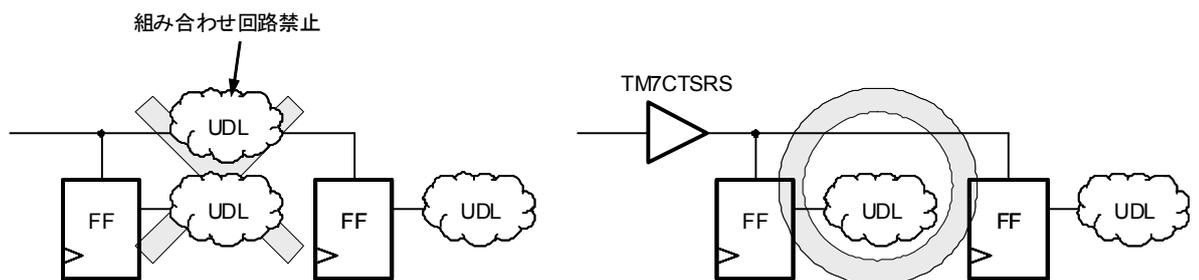
たとえば、次の図（左側）の FF1 の論理を決定する入力を A, B, C とします。一方、FF2 の論理を決定する入力を B, C, D, E とした場合、回路としては最小の論理となりますが、FF1 と FF2 に互いに引っ張り合う論理になる可能性があり、レイアウトでタイミング収束が困難になる可能性があります。

次の図（右側）の FF1 の入力となる論理回路と FF2 の入力となる論理回路を分割することによって、FF1 と FF2 に互いに引き合う現象を解消し、レイアウトにてタイミング収束が容易になります（ただし、ゲート数は多少増加する可能性があります）。

**(11) セット/リセットラインは、CTS バッファ接続してください**

レイアウト時に、セット/リセット・ラインは等間隔配置になるバッファを挿入します。

この処理は、組み合わせ回路が入ると、システム・リセットなどタイミングが重要な回路の実現を妨げる可能性があります。

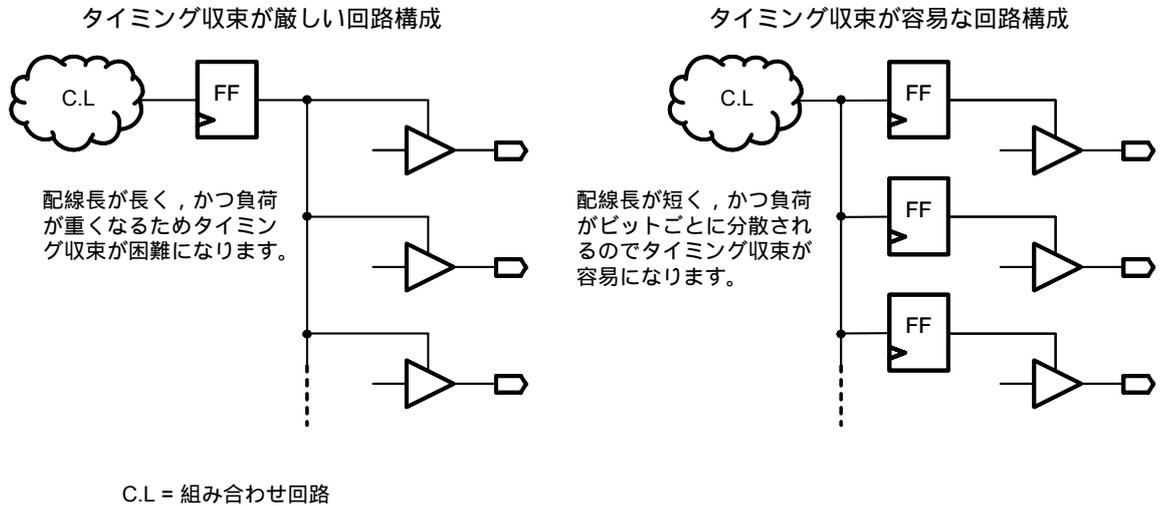
**注意事項**

「4.4 非同期制御ラインへの波形鈍り保証のブロック挿入」で示すように、一番根元に波形鈍り保証バッファ (TC7CTSRS) を挿入しリセット・ラインのバッファ・リングを弊社で行います。このバッファを使用することで、スキュー調整不要の多ピン・ベア・ラインだと弊社で認識することができます。

(12) 制御信号の専用化推奨

RTL 設計時、複数の出力ビットに対して 1 つの出力制御信号でのコントロールでは、レイアウト設計でのタイミング収束に悪影響を与える可能性があります。

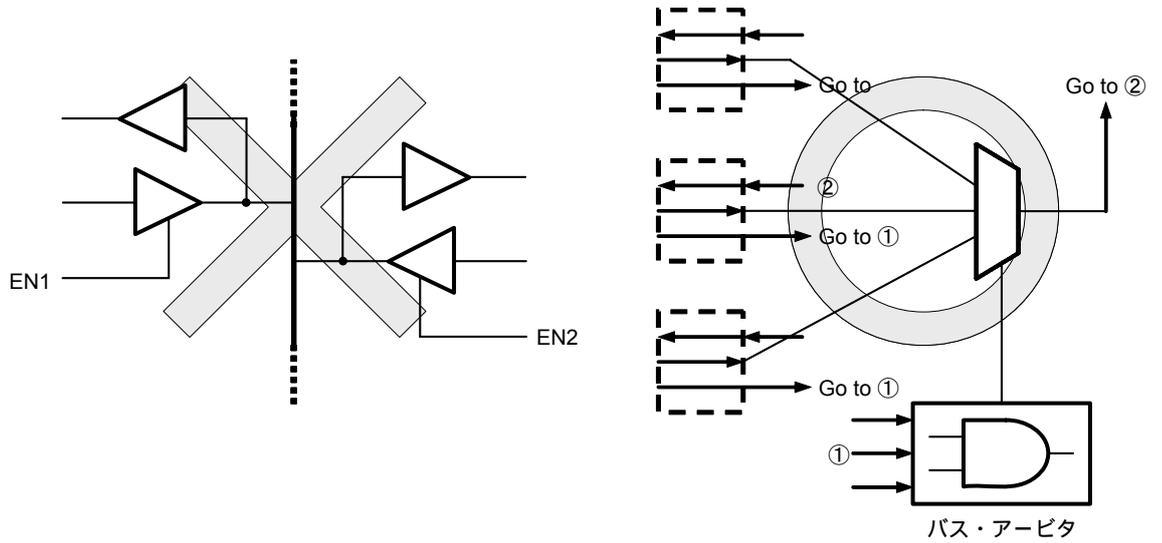
制御信号は 1 ビットごとに用意することを強く推奨します（特に、DDR-SDRAM I/F、SDRAM I/F、PCI I/F などの特殊 I/F 部分では必須です）。



4.6.3 回路内バス配線に対する設計

(1) セレクタ・バス方式の構成

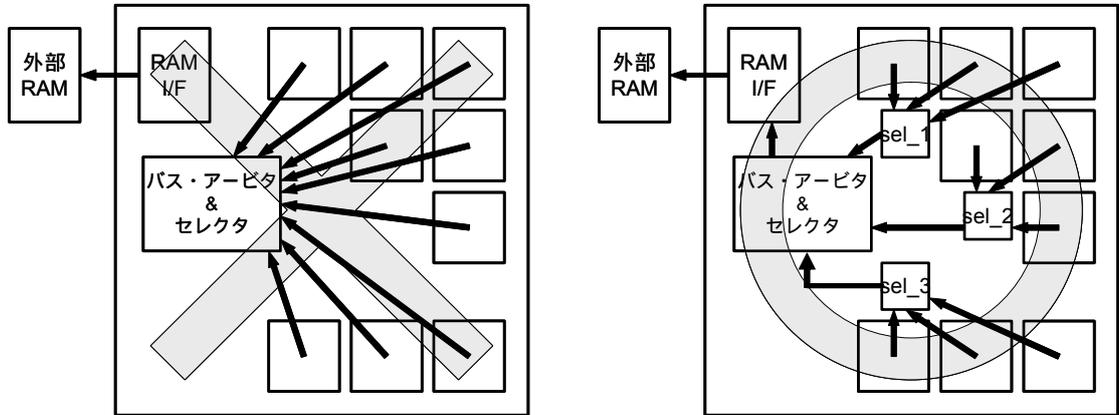
CB-90MR には 3-State バッファはありません。したがって、回路内バスは入力信号、出力信号を別々にしてセレクタ方式で構成してください。次に参考回路を示します。



(2) セレクタの分割

セレクタ型のバス構成で、多数の第一階層の出力からある 1 つの第一階層、および IP コアの入力へのバス接続がある場合、レイアウト時に配線の集中が発生し、迂回配線によるタイミング未収束となる場合があります。

したがって、セレクタを多段構成して、配線の集中をさけるようにしてください。



配線集中が予想される回路構成

配線集中を緩和した回路構成

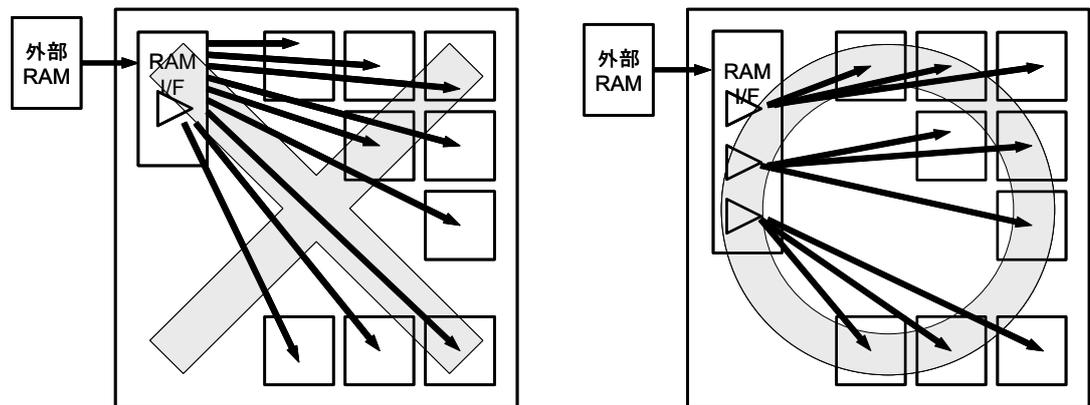
ここで、分割されるセレクタが構成されるセレクタ・マクロのサイズは次のように決定します。

$$\text{セレクタ・マクロへの配線本数} = 1000 \text{ 本/半周長 (mm)}$$

(3) バス信号のファンアウト分割

セレクタ型のバス構成で、ある 1 つの第一階層、および IP コアの出力から多数の第一階層への入力へのバス接続がある場合、レイアウト時に配線の集中が発生し、迂回配線によるタイミング未収束となる場合があります。

したがって、スキュー調整を行わない CTS ブロック (TC7CTSRS) を使用して、バス信号のファンアウト分割を行い、配線の集中を避けるようにしてください。



配線遅延が増大する回路構成

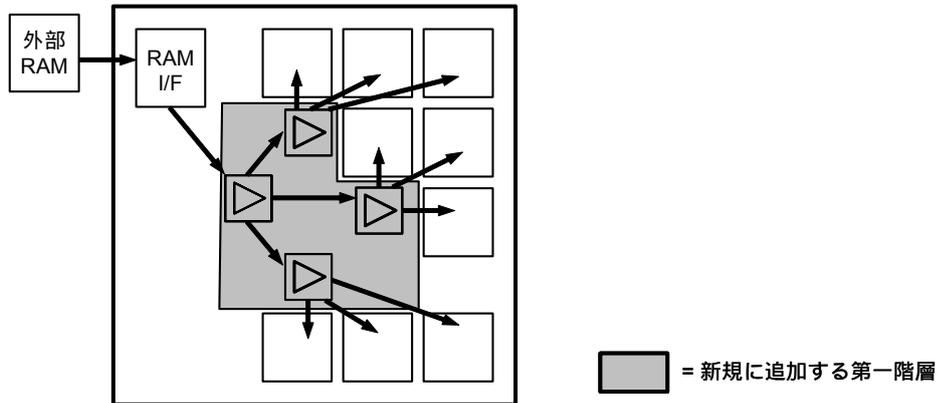
配線集中を避ける回路構成

外部 RAM からデータを読み出すときの参考回路構成を示します。

次の制約に沿ったゲートの多段構成で回路を構成することにより、配線遅延の問題および配線の集中を防ぐことができます。

注意 これらの設計提案は経験則に基づくものです。レイアウトの試行を重ねている内にお客様の回路を物理インプリメンテーションするのに最適なバス構成を新規に提案させていただく場合もあるので、ご了承ください。

- RAM I/F とは別に第一階層を作成し、そこから多段のゲート構成を実現
- 1つの TC7CTSRS ゲートに接続する第一階層は、3個以内に限定
(これはトップ階層の制約とは矛盾しますが、こちらを優先してください。)



(4) クロストーク / 相対ばらつき / 迂回配線の係数を加味したバス遅延

バス配線は配線が集中することから、クロストーク，相対ばらつき，迂回配線を加味した次の係数を考慮し，さらにコア・サイズの半周長で見積もります。

通常		係数：1.5倍	バス配線	
Cell	Wide 条件		Cell	Wide 条件
MVT	0.62—ns/mm	➔	MVT	0.93—ns/mm
LVT	0.46—ns/mm		LVT	0.69—ns/mm

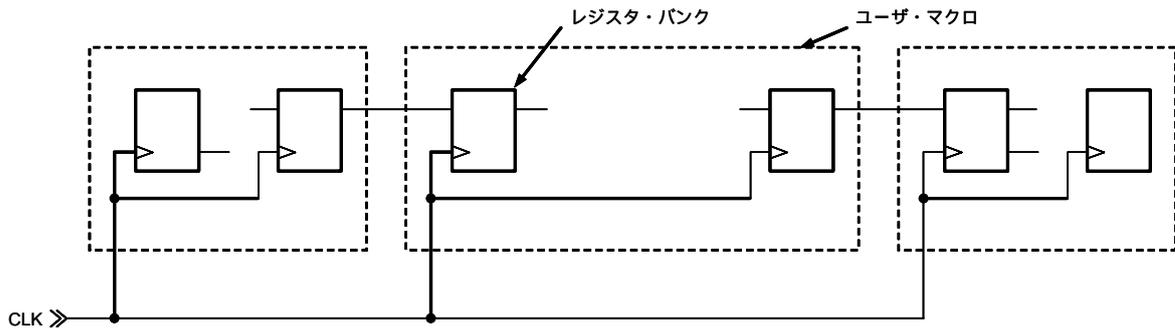
4.6.4 高速回路設計

(1) ユーザ・マクロへのレジスタ・バンク挿入

ユーザ・マクロで閉じたタイミング検証を行う場合、参照元の接続が不明であるため、どのタイミングでユーザ・マクロ境界端子に信号が到着するか判断できません。

ユーザ・マクロの切り口にレジスタ（フリップフロップ）を挿入することにより、ユーザ・マクロ境界のタイミングはフリーとなり、マクロ内部のタイミング検証のみ行えばよいこととなります。このため、ユーザ・マクロに対してレジスタ・バンクを挿入することを推奨します（図 4 - 10）。

図4 - 10 レジスタ・バンクの挿入



なお、次の端子にレジスタ・バンクを挿入することは禁止します。

- クロック端子
- テスト端子

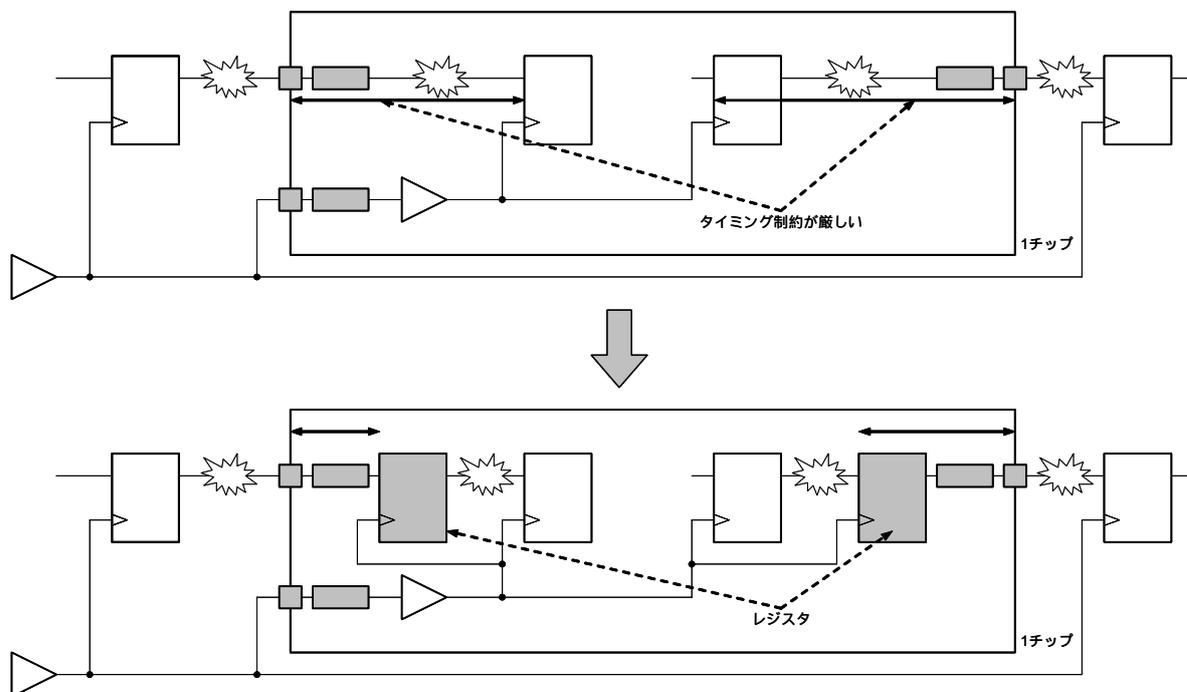
レジスタを挿入することで、ユーザ・マクロの入口と出口で1クロックずつ動作が増えます。

しかし、ユーザ・マクロ外部の入力遅延時間、出力遅延時間、ユーザ・マクロ外部の負荷容量によらず、ユーザ・マクロ内部で閉じた形でタイミング保証が行えるようになります。

(2) インタフェース・ブロックへのレジスタ・バンク挿入

大規模LSIの場合、インタフェース・ブロックとレジスタのデータ間の配線は長くなる可能性があります。このとき、LSIを含めたボード・レベルのタイミング検証という点で見ると、LSI内部のレジスタに何nsで到着しなければならない制約が厳しくなるので(図4-11上の図)、インタフェース・ブロックの先にレジスタを挿入することを推奨します(図4-11下の図)。

図4-11 外部バッファへのレジスタ挿入



なお、出力側にレジスタを付加すると、バス出力のようなある程度タイミングをそろえて、外部出力バッファに信号を出力する場合においても効果があります。

4.6.5 ロジック・コーンを意識した回路設計（弊社から提案する場合あり）

（1）配線混雑を招くロジック・コーン

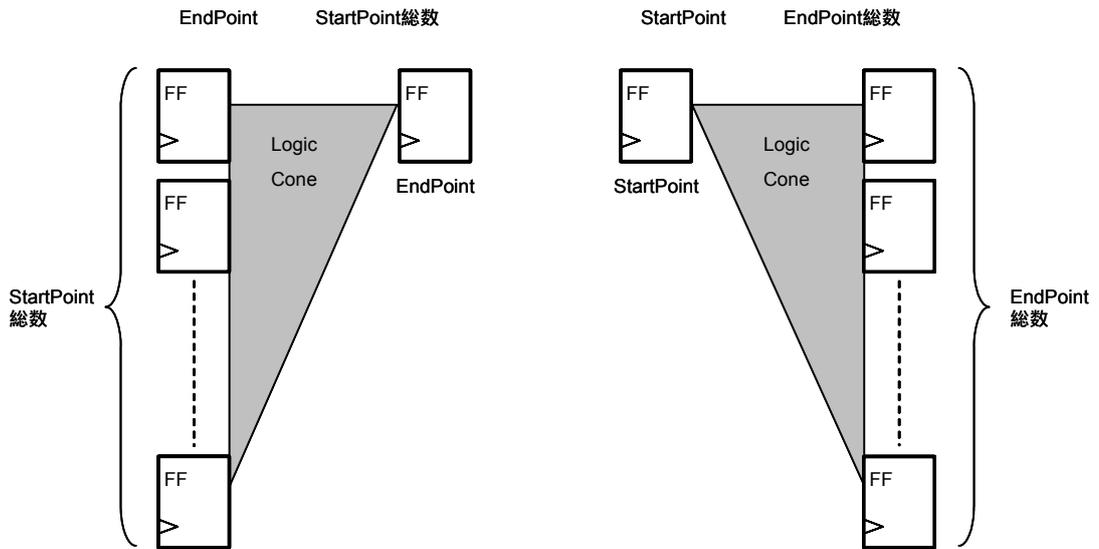
弊社では、回路の複雑度による配線性を検討するため、ロジック・コーンを解析する場合があります。

ロジック・コーンとは、次のように論理データ・パス信号の

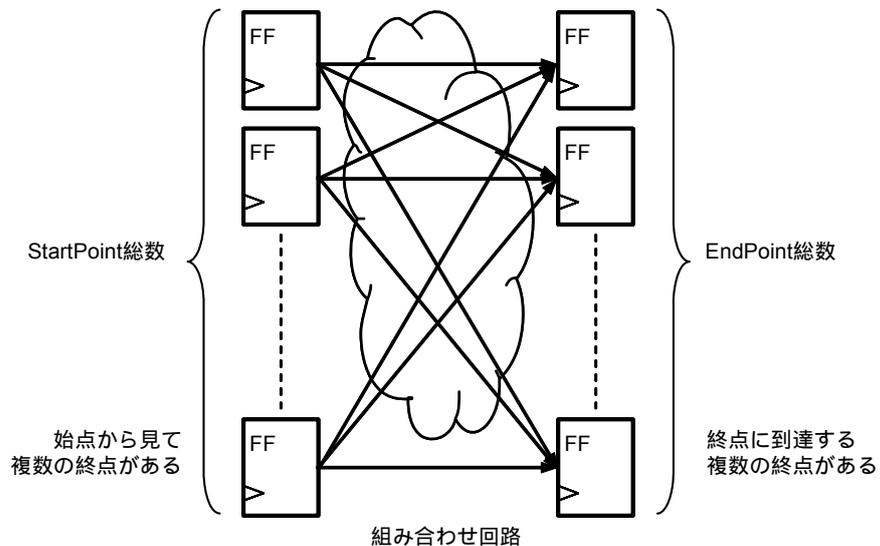
- ある 1 つの終点（EndPoint）に到達する全パス始点（StartPoint 総数）
- ある 1 つの始点（StartPoint）から全パス終点（EndPoint 総数）

までの組み合わせ回路を指します。

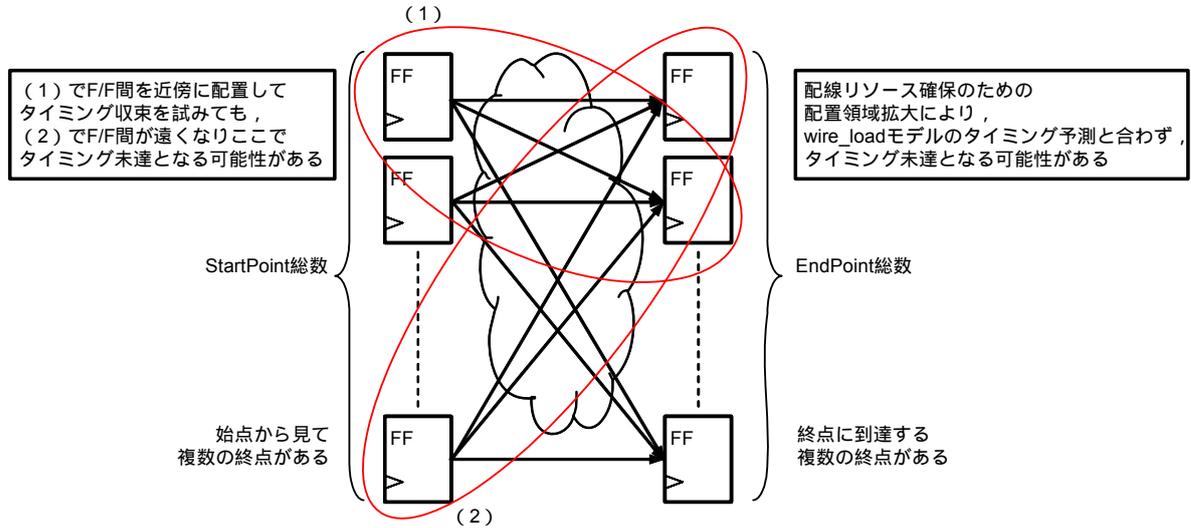
弊社の経験上、各モジュール内（第一階層とは限りません）で、最大 Start/End Point 数、および Start/End Point 総数が大きいモジュールは、配線性を悪化させる可能性が高い傾向があることが判明しています。



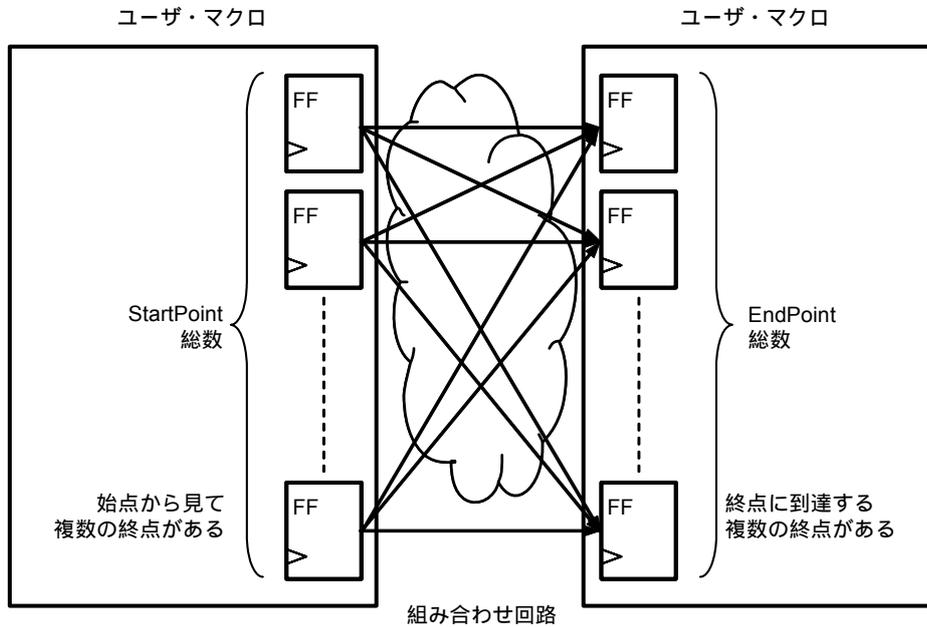
- 1 つの Start Point F/F から複数 End Point F/F、複数 Start Point F/F から 1 つの End Point F/F といった複雑なロジック・コーンの場合、Start Point ~ End Point 間の組み合わせ回路で配線集中が起こる可能性があります。



- 配線性悪化となるモジュールは、配線迂回、および配線リソース確保による配置領域拡大により、タイミング・ドリブン・レイアウトにおいても、多大なりピータ挿入、ドライバビリティ増加等により、ゲート規模増大、さらにはリピータ多段構成によるタイミング収束困難になる恐れがあります。



- ユーザ・マクロ間で、最大 Start/End Point 総数、および Start/End Point らの最大接続数がともに多いモジュールは、配線性を悪化させる可能性が非常に高い傾向であることが製品実績により判明しております。

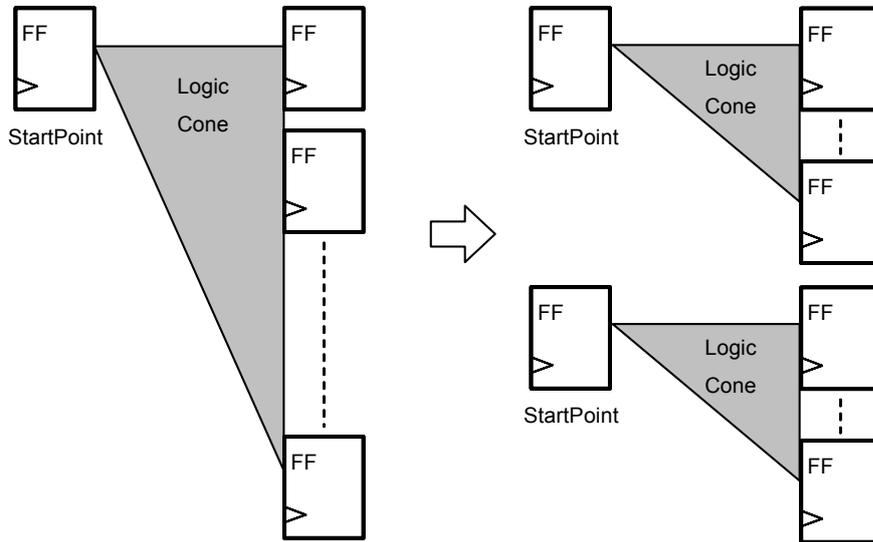


(2) 配線混雑の緩和方法 1

Start/End F/F を追加します。配線混雑が発生している階層モジュールについては、弊社から次のように F/F、組み合わせ回路の追加等でロジック・コーンの複雑度の解消をお願いします。

この際、Start Point 側、End Point 側の両方の解消が必要となります。

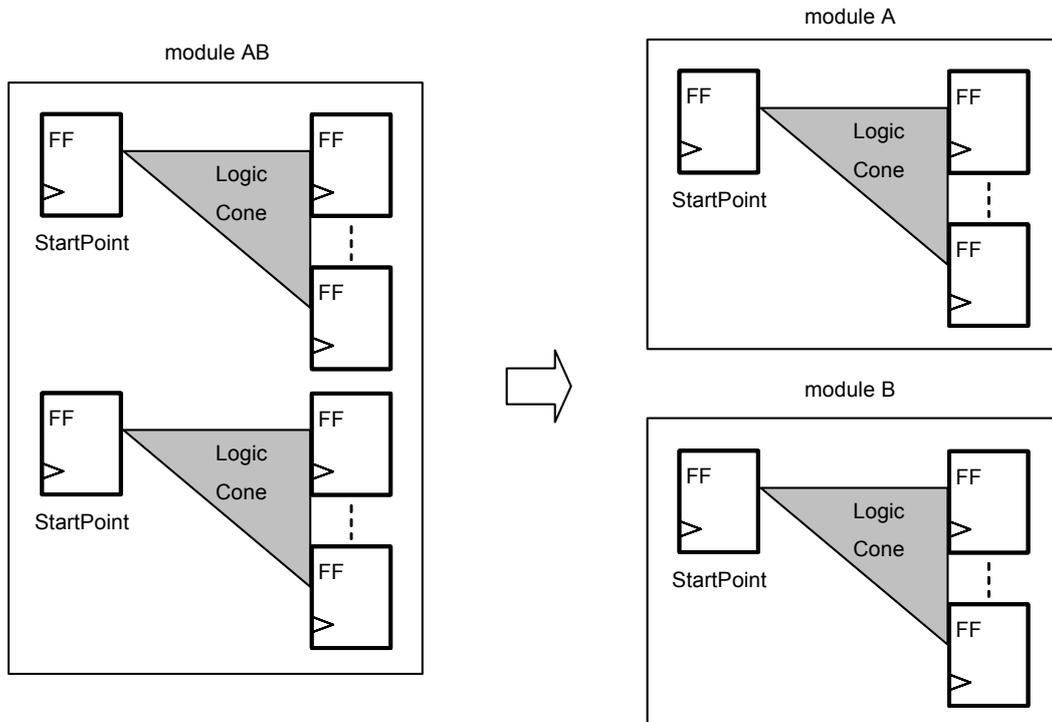
F/F を追加して、最大 Start/End Point 数を削減します。これにより配線性は向上しますが、F/F 数増加による消費電力の増大を考慮してください。



(3) 配線混雑の緩和方法 2

機能モジュールを分割して、Start/End Point の F/F 間パスを減らします。

これにより、Start/End Point 総数が削減されます。



第5章 クロック設計

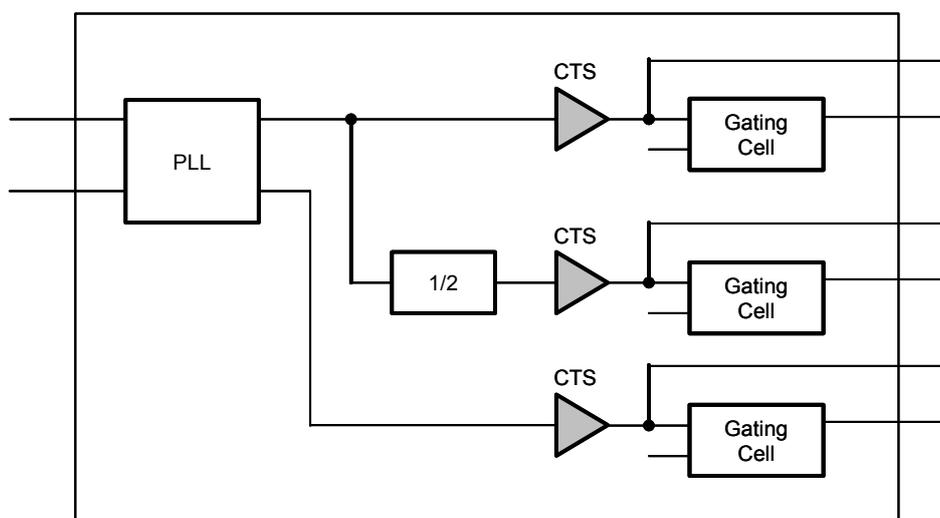
クロック構成の複雑化により、様々な回路構成が論理設計上開発されています。RTL 設計を開始する前に、この章の注意事項 / 制約事項を加味してクロックを設計してください。

弊社では、クロック設計のために次のブロックを用意していますので活用してください。

- PLL : チップ間のクロック・スキュー調整, 逡倍, 分周, SSCG
- クロック・ツリー・シンセシス・ブロック (以下 CTS)
: レイアウト時にチップ内のクロック・スキューを押さえるための CTS 専用ブロック
- クロック・ゲーティング・ブロック : クロック・ゲーティング専用ブロック

PLL や CTS およびクロック・ゲーティング回路は、次のように 1 つのユーザ・モジュールに構成することを推奨します。

なお、クロック・ゲーティング挿入箇所に関しては、レイアウト結果によっては、弊社から別途指示をさせていただく場合もあります。



5.1 クロック設計時の注意事項

短 TAT でレイアウトする場合のいくつか制約を次に示します。

5.1.1 クロック・ゲーティング

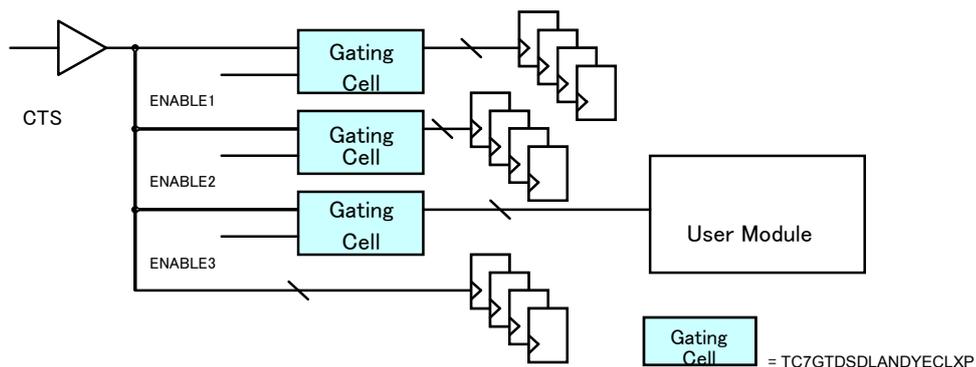
クロック・ゲーティングには、次のゲーティング専用ブロックを使用してください。

TC7GTDSDLANDYECLXP	TC7GTDSDLORYECLXP
Function : Gating Cell with D-Latch PosEdge Precontrol	Function : Gating Cell with D-Latch NegEdge Precontrol

(補足) 上記ゲーティング専用セルは、Power Compiler、RTL Compiler にてマッピングさせることも可能です。
ただし、ユーザ・モジュールへのゲーテッド化は手でゲーティング専用セルを定義する必要があります。

下図のように、クロックゲーティングを行いたい F/F 群、モジュールに対してゲーティング専用ブロックを挿入して下さい。ゲーティング専用ブロックはラッチが付いているため、ノイズは発生しません。

クロック・ゲーティング挿入箇所は、レイアウト結果によって、弊社から別途提案をさせていただく場合があります。

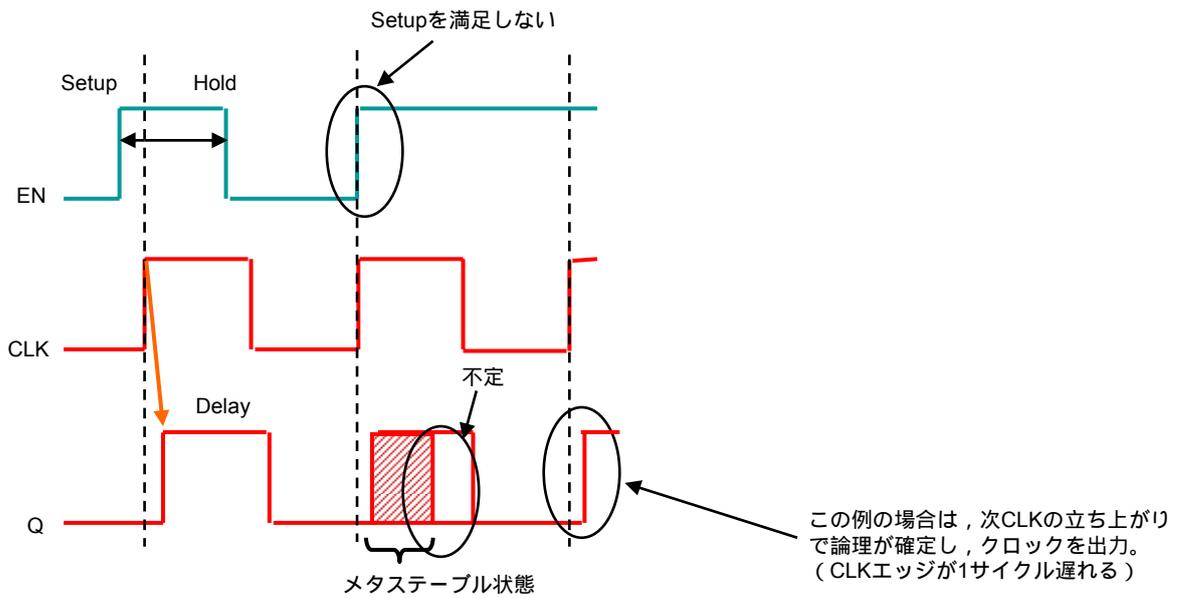


ゲーティング専用セルのイネーブル端子 EN とクロック端子 CK との間に，Setup/Hold のタイミングアークが存在します。このため，以下のようにタイミングを考慮してください。

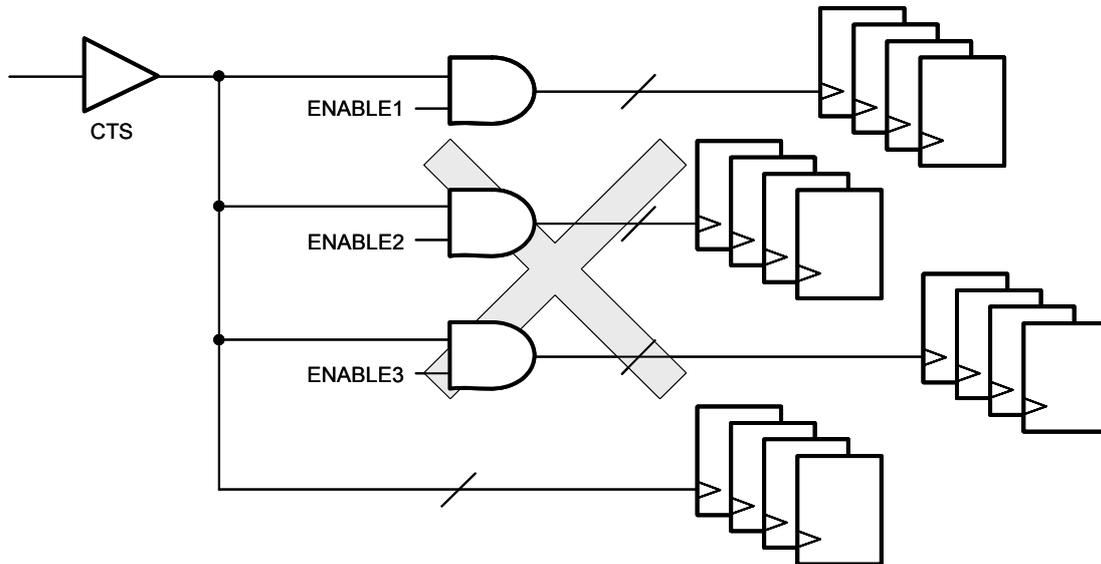
EN と CK の関係	EN のタイミング考慮
同期 Enable	タイミング検証必須
非同期 Enable	タイミング考慮不要 (False Path 扱い) ^注

注 非同期 Enable の場合，動作周波数によっては同期化回路（シンクロナイザなど）を定義していただく場合があります。

例) Pos Edge タイプ

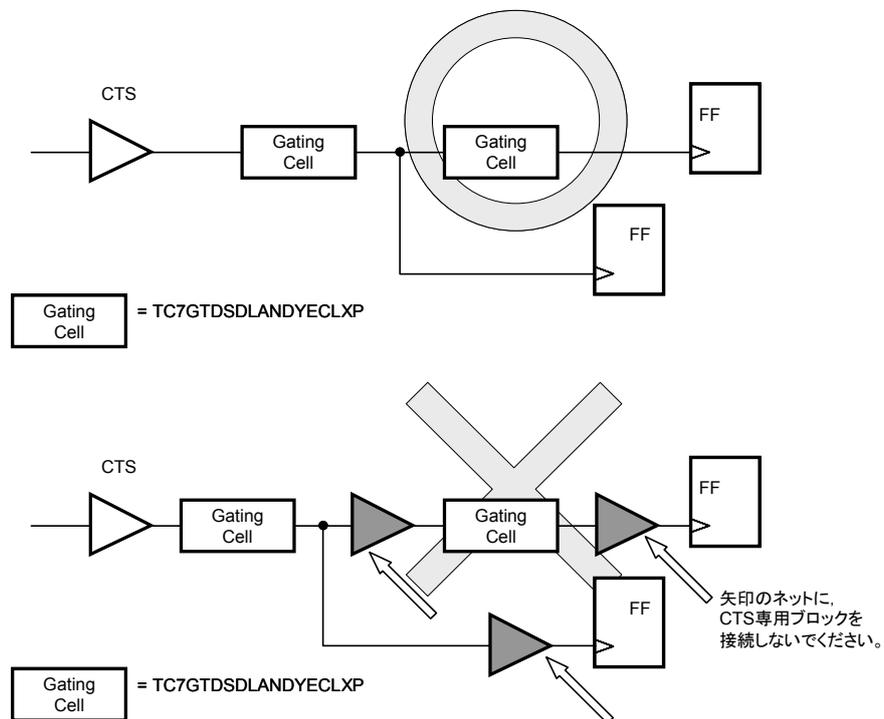


通常の AND, NAND, OR, NOR 回路では，ゲート・イネーブル信号の切り替え時にノイズが問題になる可能性があります。次に示す回路構成は推奨いたしません（イネーブル信号を F/F2 段受けとするチャタリング防止回路を挿入する場合は，この限りではありません）。



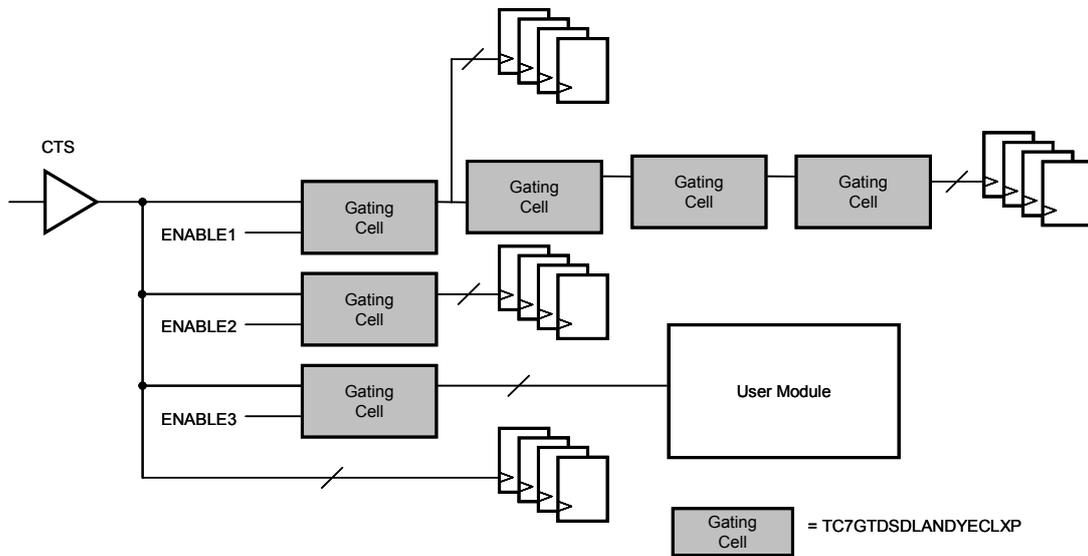
5.1.2 クロック・ゲーティング ブロックの機能

CTS バッファは、先のゲーティング・セルは透過して、クロック入力を持つブロック（F/F 等）間のスキューを調整するため、クロック・ゲーティング・ブロック後段に CTS ブロックを配置する必要はありません。



5.1.3 クロック・ゲーティング・ブロックの接続制限

低消費電力化を目的とした多段（カスケード）ゲーティング・セル構成では、ゲーテッド・セルは 4 段までを許容範囲とします。スキュー調整のために、レイアウト TAT が大幅に増える可能性があるためです。



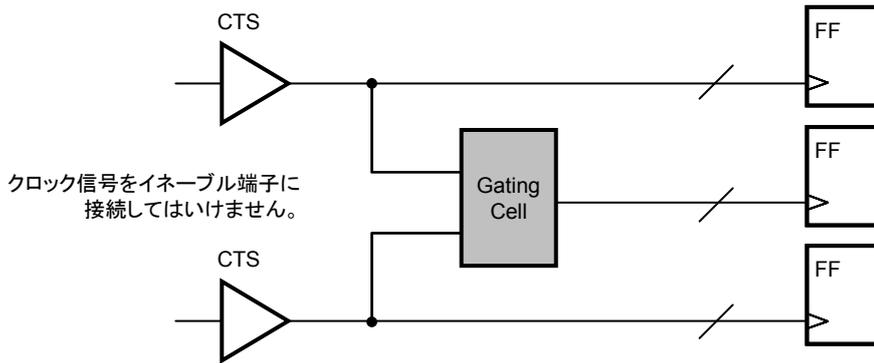
ただし、4 段を越えるとクロック共通ノード以降のクロック遅延による相対ばらつきの影響を受けやすくなるので、LN（レイアウト・ネットリスト）以降で論理合成のタイミング・マージンを別途弊社から提示させていただく場合があります。

なお、若干クロック・スキューが悪くともタイミング収束できる見込みがあり、かつターゲットとするダイナミック消費電力にどうしても抑える必要がある場合に限り、FN（フロアプラン・ネットリスト）の試行結果を見て 4 段を越える多段ゲーティング・セル構成を適用することもできます。この場合は、必ず FN 前までに弊社にお問い合わせください。

また、ゲーティングセルの最大 Fanout 数は無限大、ゲーティングセルの最小ビット幅は、16 として下さい。

5.1.4 CEN 端子に CTS 専用ブロックの接続禁止

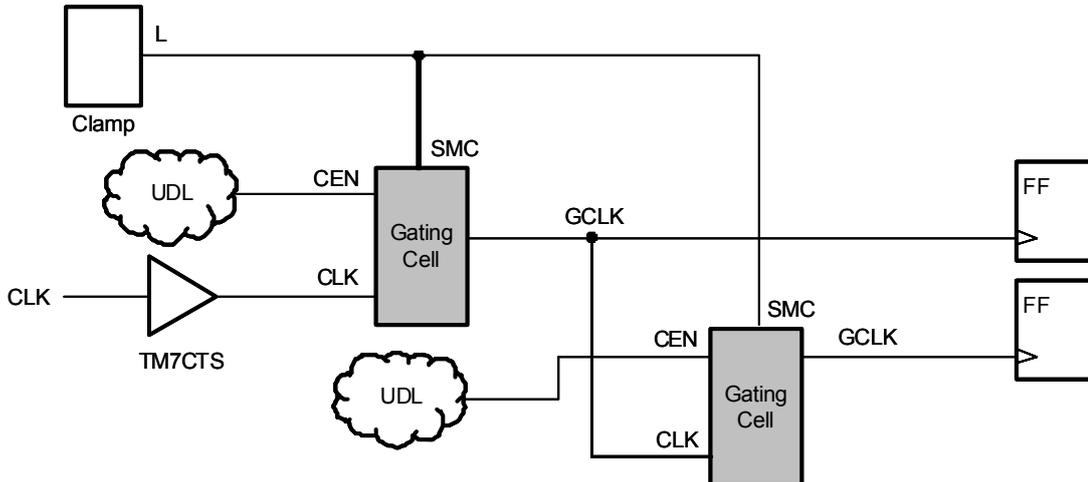
ゲーティング専用ブロックのイネーブル端子 (CEN 端子) に CTS 専用ブロックを接続しないでください。



5.1.5 テスト回路挿入前の注意事項

(1) ゲーティング専用ブロックをインスタンスレーションする場合

テスト回路挿入前は、ゲーティング専用ブロックの SMC 端子はロウ・クランプしてください。



テスト回路挿入後には、ゲーティング・セルの SMC 端子はテスト設計時に SMC 信号に接続します。

なお、クランプ・ブロックは、ゲーティング・セルごとに用意してもかまいません。

(2) ゲーティング専用ブロックをツールで自動挿入する場合

PowerCompiler でゲーティング専用セルをマッピングさせた場合、SMC 端子への結線も自動で行われます。

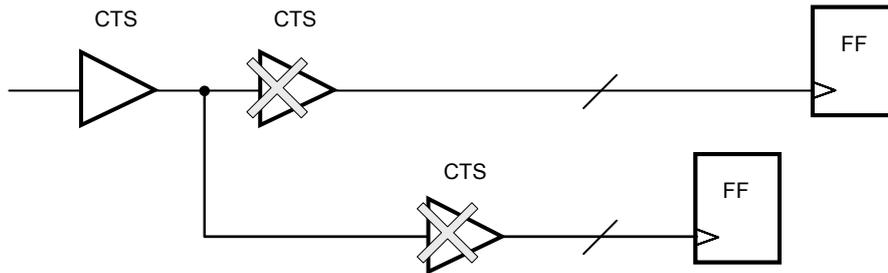
5.2 CTS 設計の注意事項

クロック・ツリー・シンセシスとは、チップ・レイアウト時にクロック・ラインを高駆動バッファのツリー構造とし、各ブロックへのクロック入力相対スキューを抑えるレイアウト手法です。

回路図上で CTS 専用ブロックというファンアウト = ∞ の仮想ファンクション・ブロックを使用することにより、その出力ネットに対して、クロック・ツリー（高駆動バッファのツリー）がレイアウト時に合成されます。

使用する個数が増えると、クロック・ツリー合成、配置配線等の TAT が伸びることになるので注意してください。

5.2.1 CTS 専用ブロックを多段接続禁止



×印のセルは挿入不可

多段接続した場合、次の解釈でスキュー調整を行います。

TC7CTS : 下図の保証範囲 1

TC7CTS から TC7CTS 間と TC7CTS から TM7STC 間のクロック・スキューを保証します。

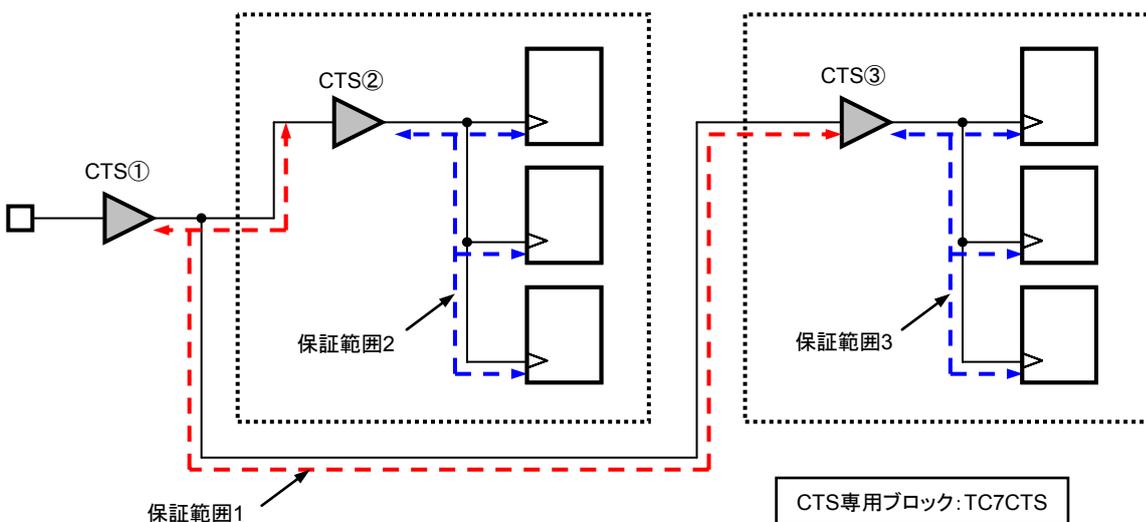
TC7CTS : 下図の保証範囲 2

TC7CTS から各 F/F 間のクロック・スキューを保証します。

TC7CTS : 下図の保証範囲 3

TC7CTS から各 F/F 間のクロック・スキューを保証します。

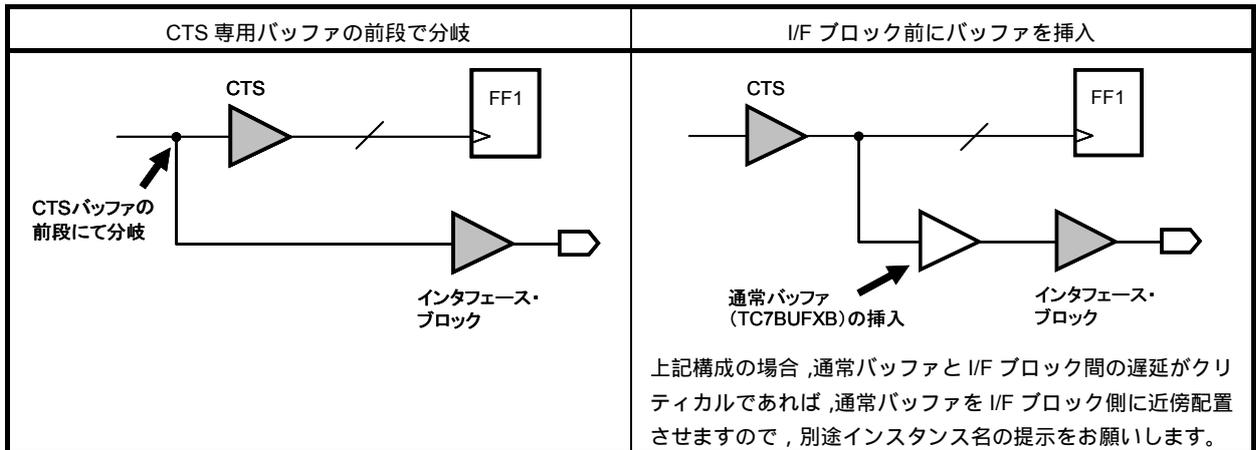
保証範囲 1, 保証範囲 2, 保証範囲 3 間のクロック・スキュー調整は行いません。



5.2.2 インタフェース・ブロックの接続禁止 (CTS 専用ブロックの先)

CTS 専用ブロックから F/F までの遅延と、外部端子までの遅延を調整する必要がある場合、次のいずれかの回

路構成にしてください。CTS ライン上にインタフェース・ブロックがある場合，AC スペックの遅延調整が難航する恐れがあるためです。

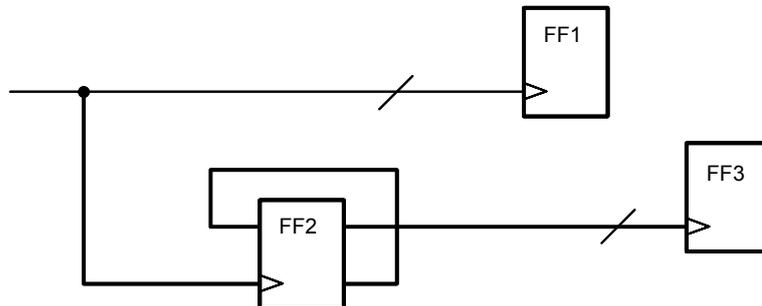


5.2.3 CTS 専用ブロックの挿入方法（分周回路の先）

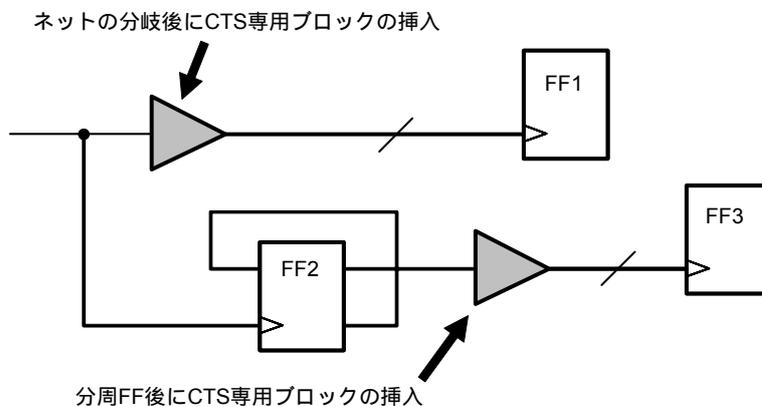
CTS 専用ブロックは，CTS-初段 F/F 間のクロック・スキューを調整します。

回路内に，F/F による分周回路がある場合（図 5 - 1），スキュー調整したい箇所により CTS 専用ブロックの挿入位置が異なります（例 2 と例 3 を参照してください）。

図5 - 1 オリジナル回路

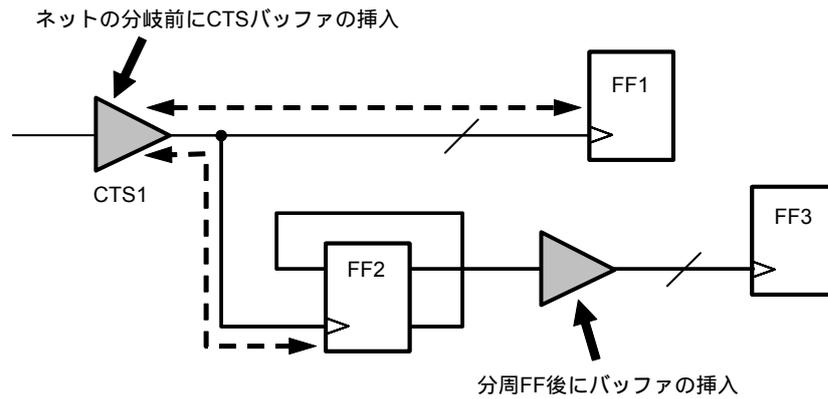


例 1) FF1, FF2, FF3 のスキュー調整が不要な場合



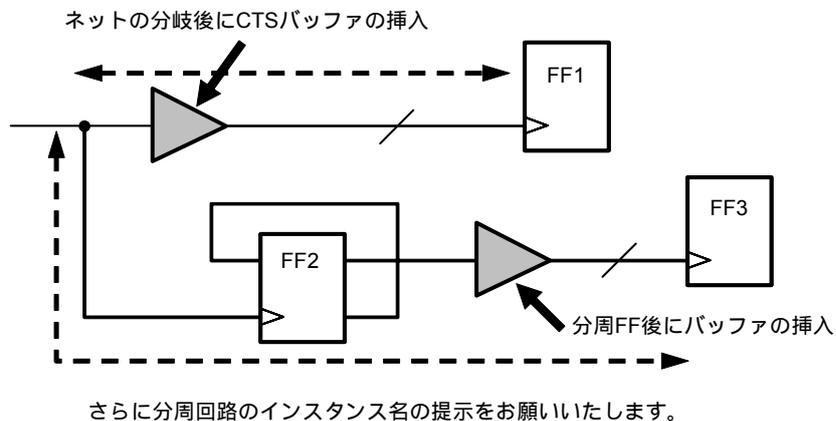
例 2) FF1, FF2 のスキューのみ調整が必要な場合

CTS1 - FF1, CTS1 - FF2 間のクロック・スキューをあわせませす。



例 3) FF1, FF3 のスキュー調整が必要な場合

分周回路のインスタンス名を連絡していただくと、分岐点 - FF1, 分岐点 FF3 のクロック・スキューをあわせませす。



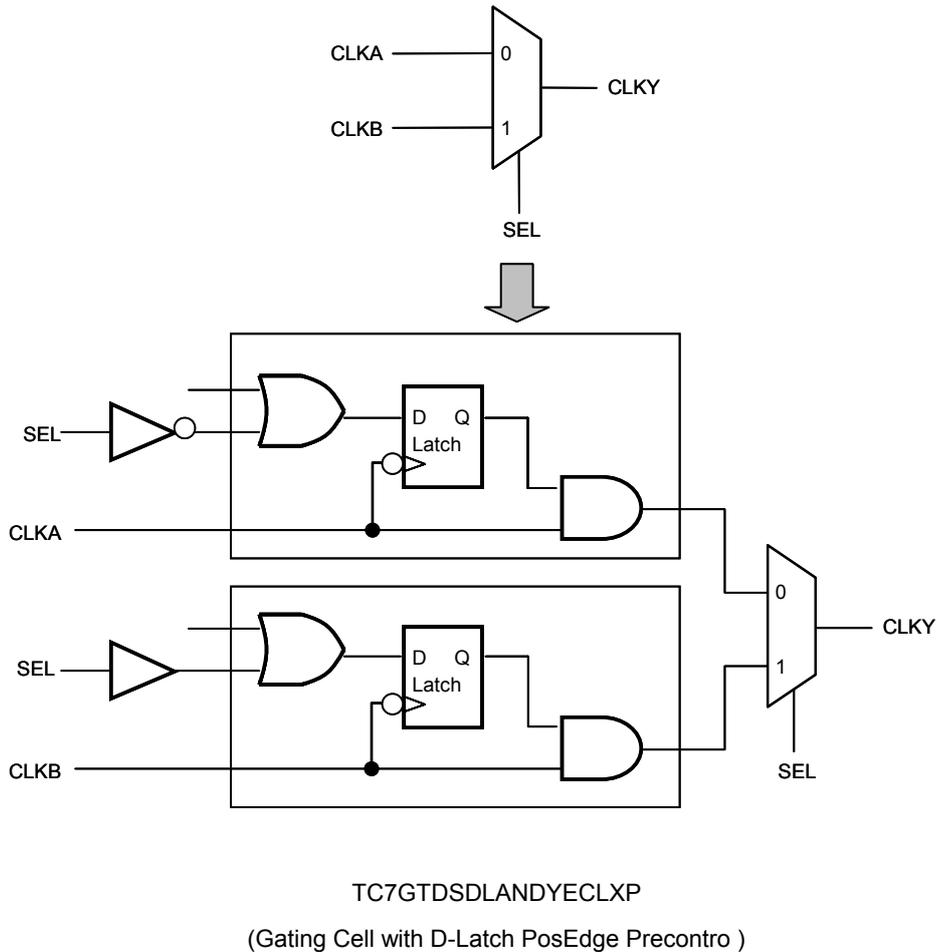
5.2.4 複数クロックを制御する場合

一般的にクロック・ラインの組み合わせ回路は、非同期回路扱いとなります。

このため、回路構成によっては意図しないパルスが発生し、クロック信号として誤認識される可能性があります。したがって、複数クロックをセレクタで制御する回路を実現する場合は、次に示すサンプル回路を参考に構成してください。もしくは、セレクタ制御する際に、クロック信号を停止するように構成してください。

なお、クロック制御回路の情報は、弊社に連絡をお願いいたします。

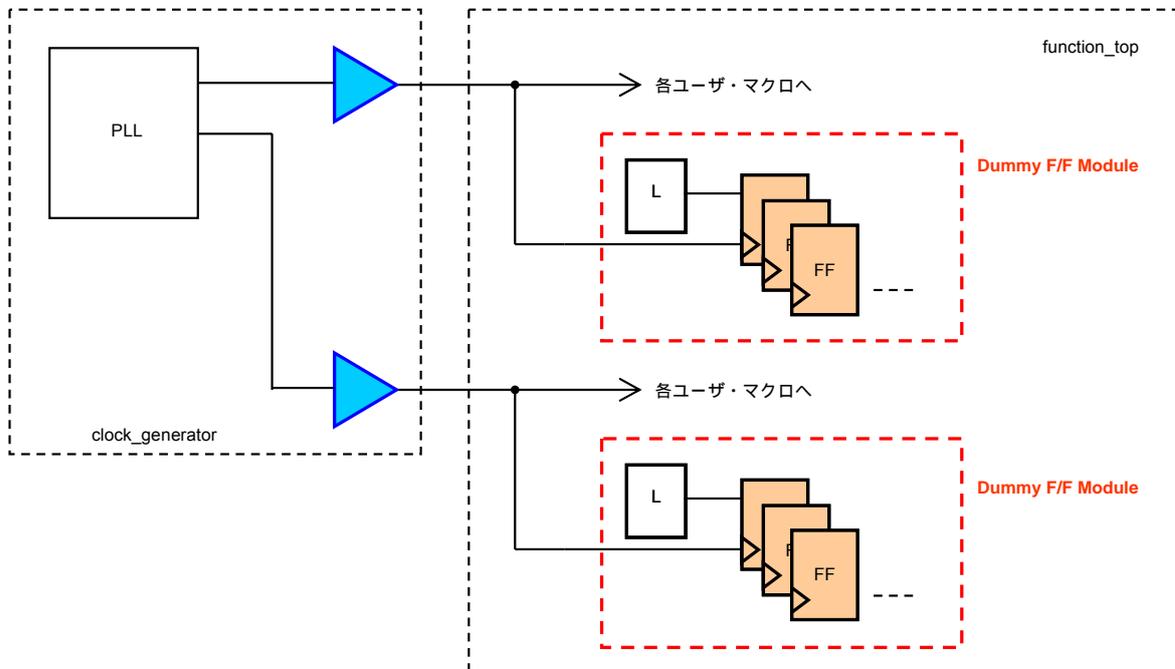
例 弊社ゲーティング・セルで入力クロック制御回路を構成した場合



5.2.5 ダミー-F/F の追加

CN (Clean Netlist) 受け入れ後の回路修正は認めておらず、特にクロック・ラインに関しては大幅な後戻りが発生するために禁止しております。しかし、CN 後の万が一の F/F 追加に対応するため、以下のダミー-F/F をネットリストに定義しておくことを推奨します。

ダミー-F/F 挿入例 (function_top 内定義時)



ダミー-F/F に関しては、下記のように作成をお願いします。

- ダミー-F/F 回路はユーザ・マクロ構成とし、マクロ名のインスタンス名を提示してください。
- クロック・ドメインごとに、ダミー-F/F モジュールを定義してください。
- ダミー-F/F モジュールは、function_top 階層下に構成することを推奨します。ユーザ・マクロ内に含めることも可能です。
- ダミー-F/F のデータ入力は、L クランプしてください。1 つのクランプセルで、複数の F/F に接続することが可能です。
- ダミー-F/F としてセット/リセット付きが必要であれば、セット/リセット付き F/F で構成してください。この時、セット/リセット端子は実際のセット/リセット信号に接続してください。
- ダミー-F/F が多数ある場合、ゲート規模、クロック・スキュー、および消費電力に影響を及ぼす場合があります。

5.3 非同期クロック設計の注意事項

非同期クロック設計では、回路の工夫次第でデータを制御する回路よりもコントロール信号を制御する回路の規模が小さくなり、回路も理解しやすく、消費電力も小さい回路となる場合があります。

しかし、コントロール信号を組み合わせ回路（基本的にはデコーダやセレクトなど）で制御すると、コントロール信号にスパイク・ノイズが発生し、回路の誤動作を起こす可能性が高くなりますので、スパイク・ノイズを発生させない対策が必要です。また、配置配線前後で伝達経路の遅延値をそろえることが非常に難しく、配線遅延および相対ばらつきの影響を受けやすい回路となって、順序回路でホールド・タイム・エラーを起こしやすくなります。

異なるクロックで動作する順序回路間でデータ信号の受け渡しする（クロック載せ換え）場合などでは、メタステーブルを考慮した検証が必要となります（5.3.3 ~ 5.3.5 を参照してください）。

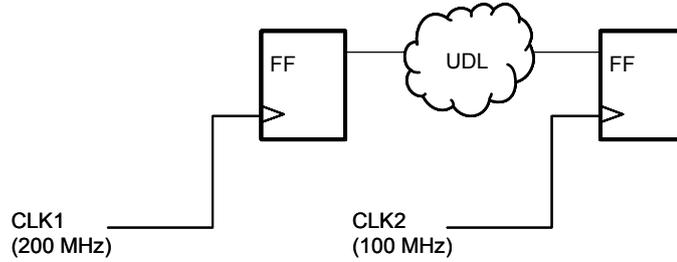
回路仕様上で非同期回路になるとあらかじめわかっている場合は、クリティカル・パス指定やフォールス・パス指定をレイアウト用タイミング制約に記述することで、比較的よい精度で指定内容を実現することができます。

5.3.1 弊社の定義する非同期クロック回路構成

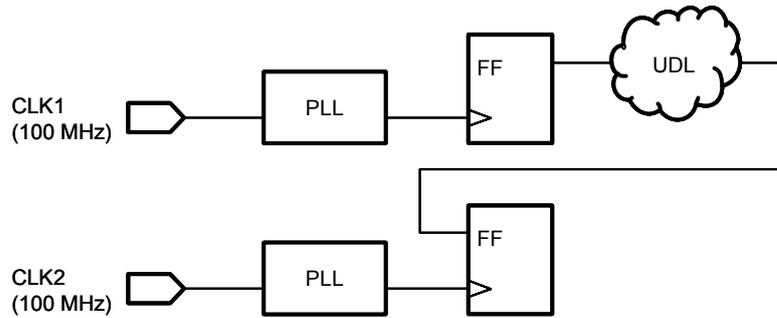
弊社では、次の条件のものを非同期クロック回路構成と定義します。

非同期クロック間のタイミング保証は、基本的に大きなマージン設計を必要とし、レイアウト収束に非常に大きな TAT を与えます。

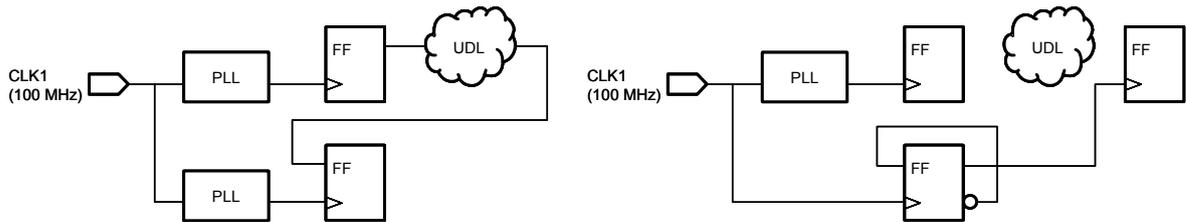
クロック周波数に相関がない（周期が異なる）



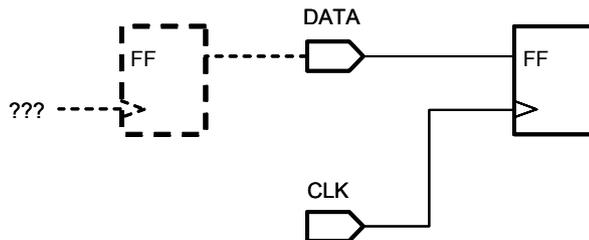
クロックのソースが異なる



クロックのソースが同じでもクロック調整回路が異なる



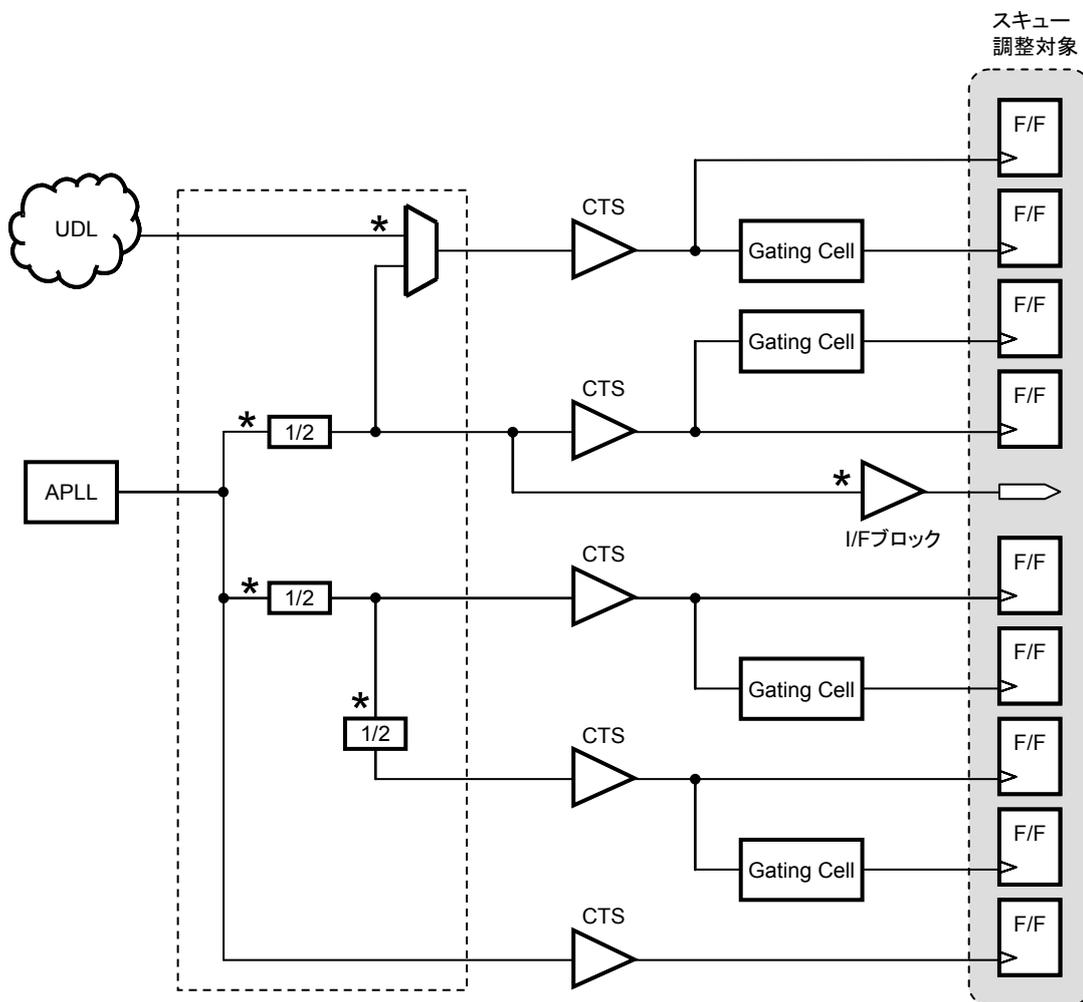
タイミング不明な外部データ入力



5.3.2 非同期クロック間でスキュー調整が必要な場合

非同期クロック間でスキュー調整が必要な場合，図中の「*」で示した非同期クロックの指標となるインスタンス名の提示をお願いします。

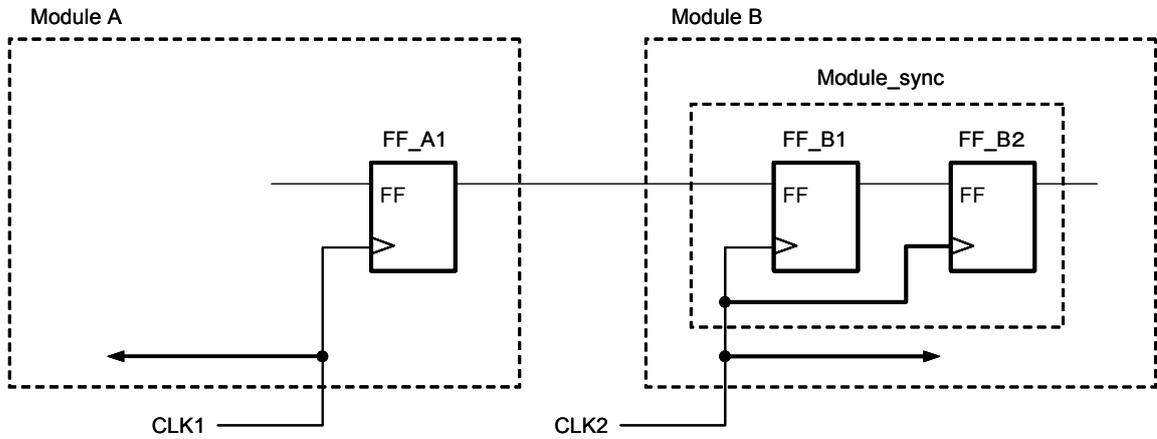
提示書式については，弊社までお問い合わせください。



5.3.3 非同期クロック間のデータ乗せ替え

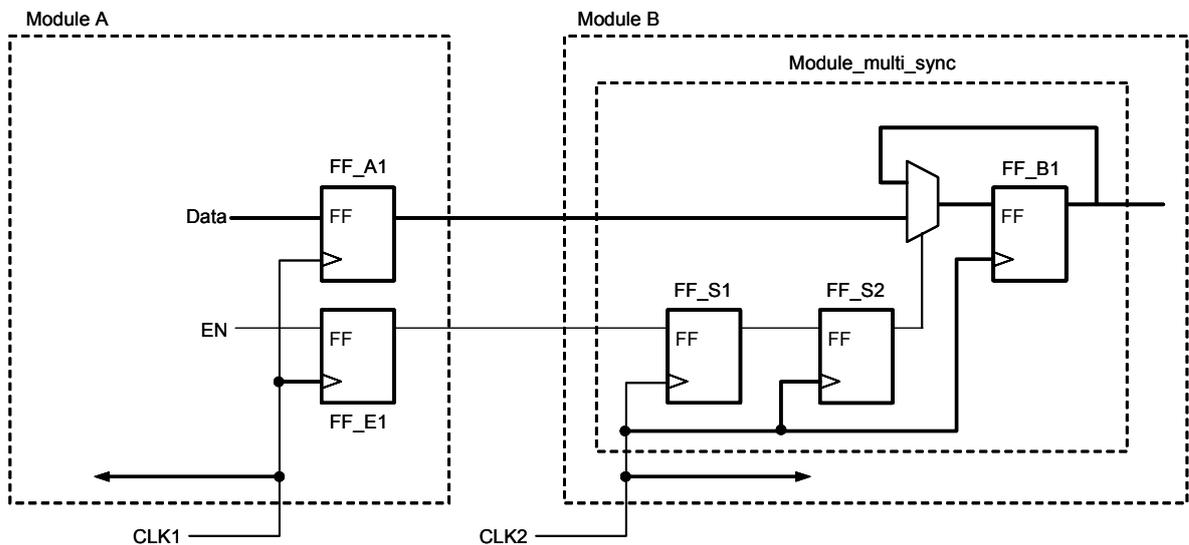
非同期クロック間のデータの受け渡しには、シンクロナイザのような非同期対策回路などを挿入してください。

(1) シンクロナイザ構成例 (1 ビット受け渡し時)



- シンクロナイザはモジュール化すること
- データの幅が十分長いこと (少なくとも受け側クロックの 2T 分必要)
- FF_A1 ~ FF_B1, FF_B1 ~ FF_B2 間に論理を入れないこと
- FF_B1, FF_B2 は 1 対 1 接続とすること
- バスなど同時に変化するデータのマルチビットでは、この構成は不可 (データ化けが発生する可能性があります。)
- 同様に、このようなデータの集中も問題となります

(2) シンクロナイザ構成例 (多ビット受け渡し時)



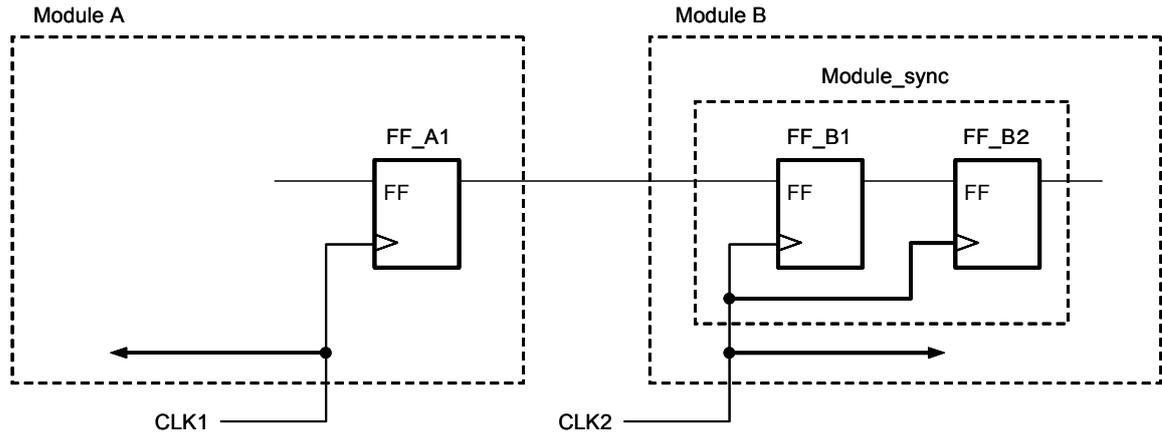
- シンクロナイザはモジュール化すること
- ATA の幅が十分長いこと
- EN と DATA のタイミング関係、EN のデータ幅に留意する
- FF_A1 ~ MUX, FF_E1 ~ FF_S1, FF_S1 ~ FF_S2, FF_S2 ~ MUX 間に論理を入れないこと
- PowerCompiler 等によるクロック・イネーブル化は行わないことを推奨

5.3.4 メタステーブル対策

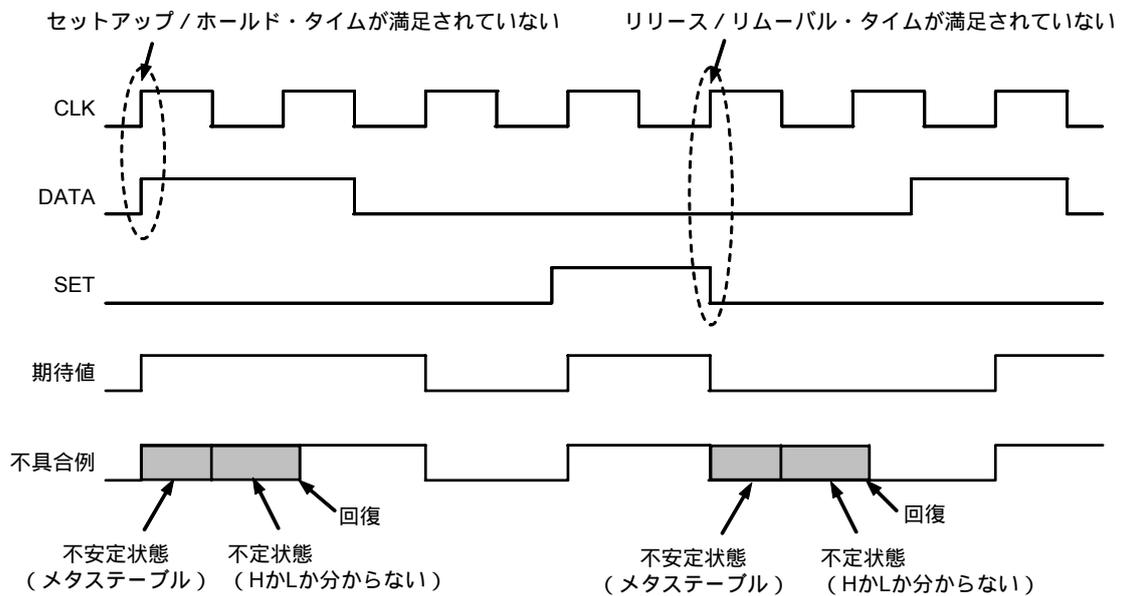
クロックとデータの信号変化により F/F のセットアップ / ホールドのタイミングが満たせない場合、クロックとデータ、またはクロックとセット / リセットが同時に変化すると、下図 B1 B2 の F/F で出力が発信したり、"H", "L" どちらでもない中間レベルの信号が伝播する可能性があります。この不安定な状態をメタステーブルといいます。

この状態はある時間が経過したあと、"H", "L" どちらかの状態になりますが、確定したレベルはデータ入力の論理と異なるため、不定状態となります。

F/F のタイミングが満たせないような非同期入力がある場合は、メタステーブル対策を行う必要があります。



CB-90MR では、メタステーブル収束時間は、CB-90MR タイプ ユーザーズマニュアル 製品データ編 (R05UH0008J) を参照してください。



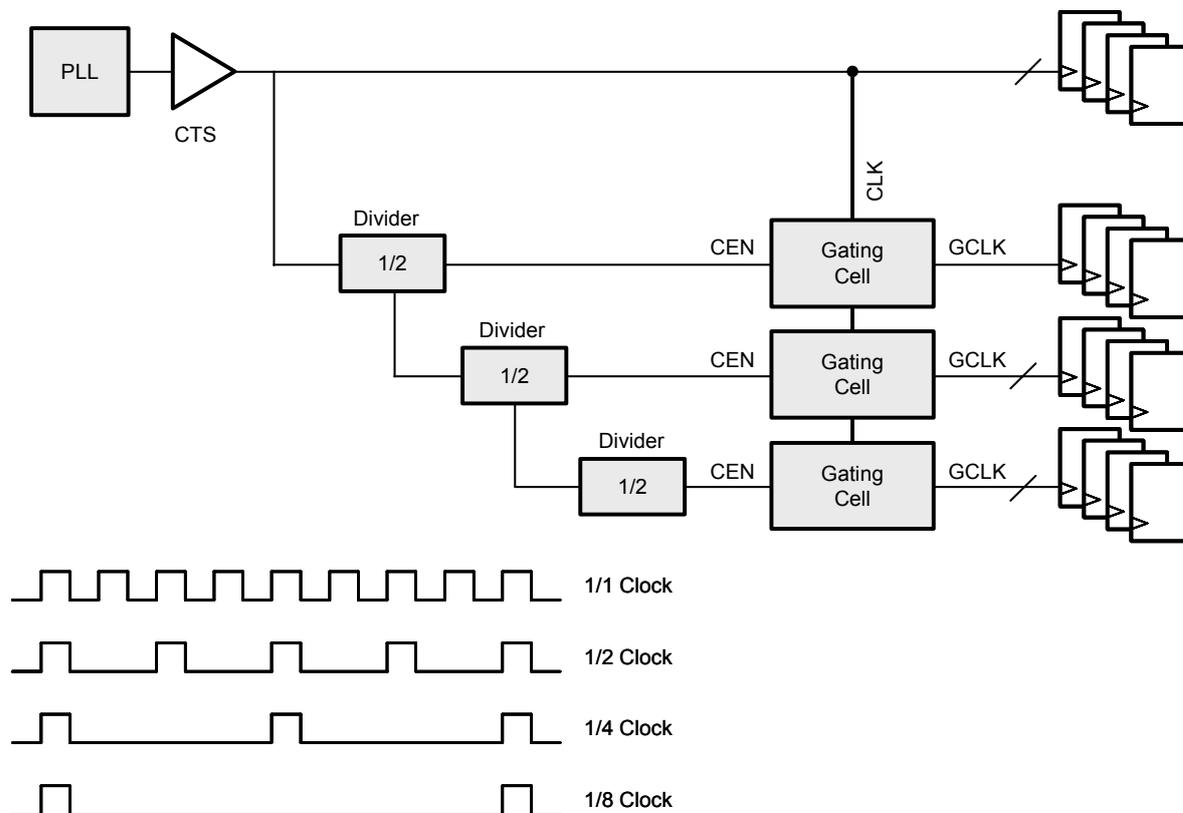
セットアップ解析時には、メタステーブルを考慮していない場合、実デバイスで不具合が起こる可能性があります。特に、MAX 条件でのセットアップ解析時には注意してください。

しかし、ホールド検証では、メタステーブルが発生しない方が厳しい条件になるので、ホールド検証時には、メタステーブルを考慮しないでください。

5.3.5 分周による非同期クロックの同期化

分周回路の先にゲーティング・セルを接続すると、分周関係のクロックを同期化することもできます。

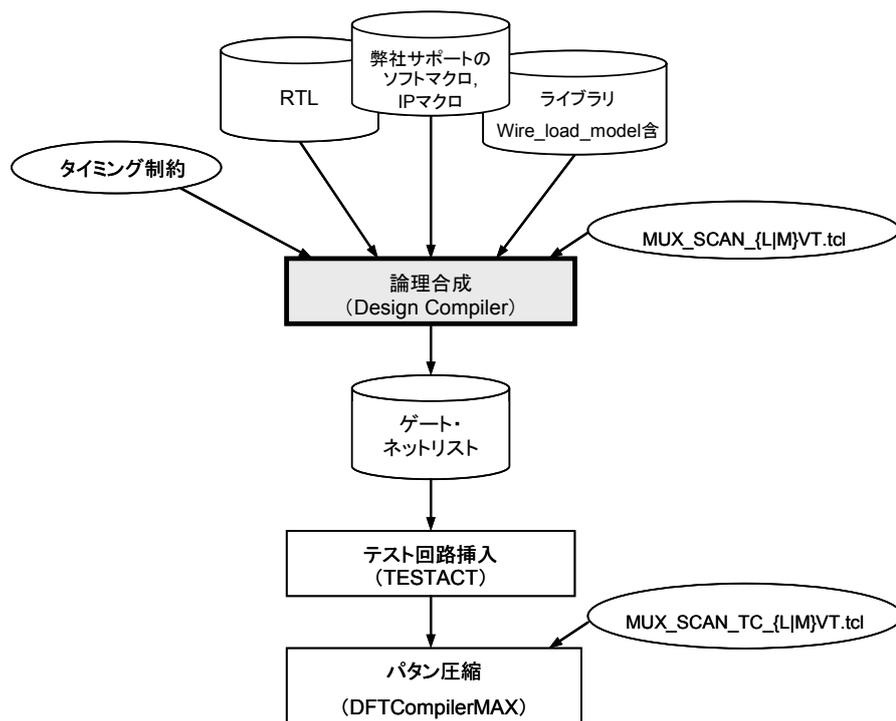
ただし、分周されたクロックのデューティは 50 対 50 にはなりません。



第6章 論理合成（ゲート・レベル・ネットリストの作成）

この章では、機能検証完了した RTL を論理合成ツールでゲート・レベル・ネットリストへマッピングする手法について説明します。

論理合成後のゲート・レベル・ネットリストにテスト回路 / SCAN 回路を挿入する手法については、第 7 章を参照してください。なお、このユーザーズマニュアルでは、弊社設計環境から論理合成ツールとして、Design Compiler のスクリプト例を記載していますが、RTLCompiler もご使用いただけます。



備考 論理合成の段階でタイミングが収束していない回路は、レイアウト時も収束しません。

提示されたサイクル・マージン，キャラクタライズ条件でタイミングが収束しない場合は，弊社へ連絡してください。

6.1 OPENCAD 設計環境設定（動作条件の選択）

CB-90MR においては、wide 条件においては wide1 と 2 のタイミングを満たす必要がありますが、合成時は次のライブラリを使用することを推奨します。

動作条件	使用セル	コンディション{condition}	合成時の条件	ライブラリ・ファイル名
wide (1.0 V ± 0.1 V)	MVT	Wide2C_1.0 V_MVT	wide2 MAX 条件	UX6TC7_Pss_V0p9_Tm40.db
	LVT	Wide2C_1.0 V_LVT	wide2 MAX 条件	UX6TB7_Pss_V0p9_Tm40.db

LVT セル, MVT セルを混載する場合は、特に弊社から指定がない限り、LVT セルのみで論理合成を行ってください。レイアウト時に、弊社側にて、LVT セル, MVT セルの混載を行います。MVT セルあるいは、LVT セルと MVT セルの混載で論理合成を行いたい場合は、別途弊社から連絡させていただきます。

上記ライブラリ中に定義されているブロックで、予め dont_use, dont_touch の属性が付加されているブロックがあります。これらのブロックは論理合成時に使用（マッピング）禁止ですので、remove_attribute しないようにしてください。

Remove_attribute した場合は、remove_design -all で一度ライブラリを削除して、再度ライブラリを参照してください。

6.1.1 遅延ライブラリの選択

論理合成用のライブラリとして、次の遅延ライブラリを用意しています。

論理合成には、MAX ライブラリのみ使用してください。

（1）MAX（最大遅延）ライブラリ

遅延値が最大となる使用条件（電圧、温度）、プロセス条件でのライブラリです。

設計対象となる回路の動作周波数、F/F のセットアップ保証では、遅延値が大きい場合が問題ですのでこのライブラリを使用します。

（2）TYP（標準遅延）ライブラリ

標準的な使用条件でのライブラリです。

主に、回路の全般的な機能、特性を確認するために使用します。最悪条件での回路動作を保証するためのタイミング検証には使用できません。

（3）MIN（最小遅延）ライブラリ

遅延値が最小となる使用条件（電圧、温度）、プロセス条件でのライブラリです。

フリップ・フロップのホールド保証はレイアウト時に行いますので、このライブラリを使用する必要はありません。

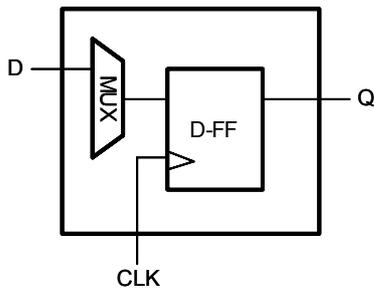
6.2 スキャンを行う場合のフリップ・フロップ制限

MUX_SCAN テストを行う場合，DFT Compiler でスキャン回路挿入やテスト端子接続などを行います。
 その前準備として，論理合成時に擬似スキャン F/F を利用する必要があります。
 CB-90MR では，次のフリップ・フロップを用意しています。

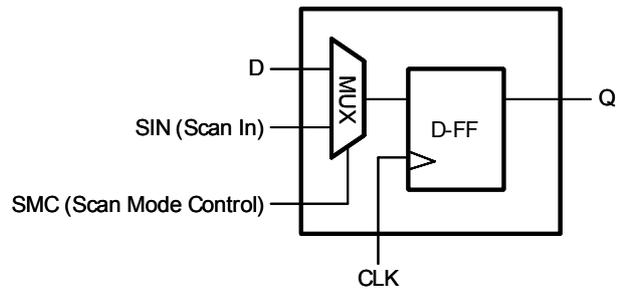
表6 - 1 使用フリップ・フロップ制限

F/F	特 徴
ノーマル F/F (TC7DFFxxxx)	<ul style="list-style-type: none"> ・純粋な F/F です。 ・スキャン設計時には使用できません。
擬似スキャン F/F (TC7SDFFxxxxU)	<ul style="list-style-type: none"> ・論理合成時にマッピングするためのスキャン F/F です。 ・スキャン F/F と 1 対 1 対応がとれており，構造はスキャン F/F からスキャン端子を削除したものです。 ・グリッド数，タイミングは，スキャン F/F と同一です。
スキャン F/F (TC7SDFFxxxx)	<ul style="list-style-type: none"> ・スキャン設計を行うための F/F で，スキャンツール実行後に置き換わります。

擬似スキャン F/F (T[L][M]7SDFFxxxxU)



スキャン F/F (T[L][M]7SDFFxxxx)



(1) スキャン設計を行う場合（標準）

RTL からゲートレベルへ論理合成を行う際に MUX_SCAN.tcl スクリプトを使用して擬似スキャン F/F をマッピングします。

論理合成後，DFTCompiler で MUX_SCAN_TC.tcl スクリプトを使用してスキャン F/F へ置き換えます。

RTL から直接スキャン F/F へマッピングする手法は，論理の正当性を保証することが難しいため推奨していません。

(2) スキャン設計を行わない場合

ノーマル F/F のみマッピングします。

	ノーマル F/F	擬似スキャン F/F	スキャン F/F
合成ライブラリ	Mapping	dont_use	dont_use
MUX_SCAN_{MVT LVT}.tcl	dont_use	remove_attr	dont_use
MUX_SCAN_TC_{MVT LVT}.tcl	dont_use	dont_use	remove_attr

備考 使用する VT セルのスクリプトのみ、使用するようにしてください。

6.3 ソフトマクロ IP マクロ (RTL) の Prefix 名付加 , ungroup の禁止

弊社より提供する RTL 記述のソフトマクロ IP マクロは , 論理合成時に Prefix 名を付加 , および ungroup を行わないでください。

これらを行った場合 , 弊社受け入れ後の設計フローが正しく動作しなくなります。

6.4 ソフトマクロ IP マクロ(ゲートレベル)のタイミング最適化と ungroup の禁止

弊社より提供するゲートレベル記述のソフトマクロ IP マクロは , タイミング最適化 , および ungroup を行わないでください。

これらを行った場合 , タイミング保証 , 弊社受け入れ後の設計フローが正しく動作しなくなります。

dont_touch を , ゲートレベル記述のソフトマクロ IP に定義してください。

6.5 wire_load_model の定義

wire_load_model は、次のようにアサインして論理合成を行ってください。

モジュール、ユーザ・マクロ、トップ階層ごとに wire_load_model が異なるので注意してください。

階層	wire_load_model
モジュール	モジュールが属すユーザ・マクロのグリッド・サイズからなる wire_load モデルを付加します。 auto_wire_load_model_selection は使用しません（false にします）。 配線負荷モデル・モードは、原則topを指定します [※] 。 あらかじめ、auto_wire_load_model_selection で初期論理合成を行い、ある程度のグリッド・サイズを算出することを推奨します。
ユーザ・マクロ	ユーザ・マクロ内にあるすべてのモジュールのグリッド・サイズからなる wire_load モデルを付加します。 auto_wire_load_model_selection は使用しません（false にします）。 配線負荷モデル・モードは、topを指定します [※] 。 マクロ内のモジュールを最適化するかしないかは、設計者の判断とします。
トップ階層	使用するステップからなるトップ wire_load モデルを付加します。 auto_wire_load_model_selection は使用しません（false にします）。 配線負荷モデル・モードは、enclose を指定します。

注 論理合成対象となるユーザ・マクロ・サイズ、およびレイアウト試行結果によっては、enclose のモードを指定する場合があります。

wire_load_model は、次のファイル名となっています。

WIRE_ステップ名_MAX.db (バイナリ・ファイル)
WIRE_ステップ名_lib (ASCII ファイル)

弊社の wire_load_model は、次のように論理合成の対象となるユーザ・マクロのサイズごと、およびトップ階層用を用意しています。具体的には、WIRE_ステップ名.lib 内の wire_load_table に定義されているので、参照して指定してください。

トップ階層用 Table 名	T [ステップ名]
ユーザ・マクロ、モジュール用 Table 名	M [ステップ名]_[グリッド・サイズ]

ユーザ・マクロ、モジュールの合成には、WIRE_ステップ名.lib 内の wire_load_table から論理合成対象のグリッド・サイズに最も近いものを指定してください。

ただし、SRAM 等のハード・マクロのグリッド数は含めずに引いてください。

なお、フロアプラン構成によっては含めていただく場合があります。

6.6 タイミング制約の付加

各モジュール、マクロ、およびトップ階層の論理合成で必要となるタイミング制約は、次のように付加してください。

(1) タイミング制約付加方法

タイミング制約	付加方法
create_clock-period	基本的に、下記のサイクル・マージンを付加してください。 [*] ターゲットピリオド×10%+スキューマージン ●スキューマージンは、指定のない場合は 400ps を付加してください。 ●複数の PLL 間のスキューに関しては、個別にご相談ください。 なお、同じ FF 間でセットアップ/ホールドエラーが複雑に絡み合う回路構成の場合は、別途ご相談ください。
set_clock_skew -ideal	クロック遅延は ideal で定義します。 実際のクロック遅延は、多相クロックの際に必要となります。
set_clock_uncertainty -setup -hold	create_clock のピリオド・マージンで指定しますので、不要です。 ただし、異クロック間については、次を適用してください。
set_clock_uncertainty -setup -from CLK1 -to CLK2	異クロック間で組み合わせバス回路が存在する場合に、次の値を定義してください。 必要に応じて、別途弊社より提示致します（デフォルト 0.2ns）。
set_input_delay set_output_delay	1 チップでのユーザ・マクロ境界の最適化を行わない場合は、ユーザ・マクロに対してピリオドの 1/2 周期を与えます（単位 ns）。
set_false_path	設計者自身で想定するパスを定義します。 特に、異クロック間のタイミング保証が不要なパスは定義してください。
set_multicycle_path	設計者自身で想定するパスを定義します。
set_max_fanout	特に設定不要です。
set_max_transition	設定は不要です（単位 ns）。ライブラリ内のデフォルト値を使用します。
set_max_capacitance	設定は不要です（単位 pF）。ライブラリ内のデフォルト値を使用します。
set_operating_conditions	設定は不要です。

6.7 その他論理合成時の注意点

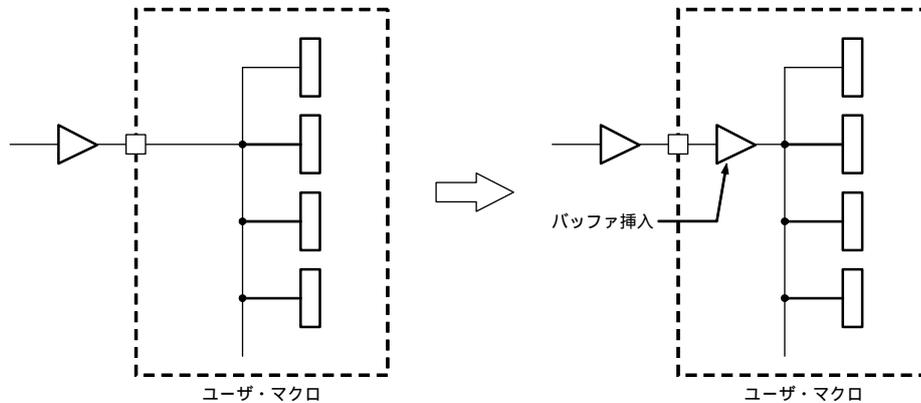
6.7.1 ユーザ・マクロの入力端子に多数のピン・ペア禁止

ユーザ・マクロの入力端子に多数のピン・ペアがある場合、ユーザ・マクロ外部からユーザ・マクロ境界を通過して、各インスタンスにいたるまでの配線が増大するため、この配線分の容量分、抵抗分による遅延が増大します。また、レイアウト時の配線性が悪くなる可能性もあります。

したがって、ユーザ・マクロの入力端子にバッファを挿入し、入力端子に多数のピン・ペアが発生しないようにします。具体的には、次の Design Compiler のスクリプトを設定してください。

```
dc_shell> set_max_fanout 1 [all_inputs]
```

ユーザ・マクロ内の各モジュールについても、多数のピン・ペアをもたせないことが推奨されますが、ユーザ・マクロほど厳密に行う必要性はありません。



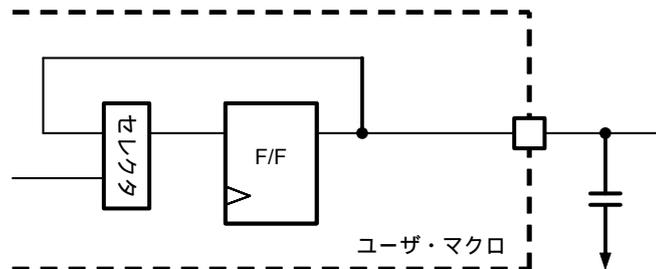
6.7.2 ファンアウト数の制限

モジュール内の回路には、ファンアウト数の制限は設けていません。

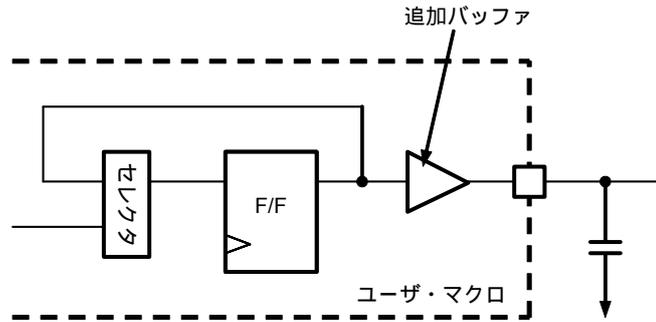
6.7.3 ユーザ・マクロ出力を内部インスタンスへ入力させない

たとえば、RTL 記述で if 文の条件でデータを保持する記述をした場合、論理合成では F/F の出力がループして F/F の前段にセクタ回路を生成します。

この場合、ユーザ・マクロの外の配線容量により、ユーザ・マクロ内のタイミングが変わることになります。



したがって、ユーザ・マクロの出力端子が必ず内部入力へ接続のないバッファに接続するようにします。



具体的には、次の Design Compiler のスクリプトを設定してください。

```
dc_shell> set_max_fanout 100 {Design_Name}
dc_shell> set_fanout_load 100 all_outputs()
```

ユーザ・マクロ内の最大ファンアウト数を 100 とし、すべての出力端子のファンアウト負荷を 100 とすることにより、ユーザ・マクロの出力端子に必ずバッファが挿入されます。

6.7.4 クロックのグループ分け

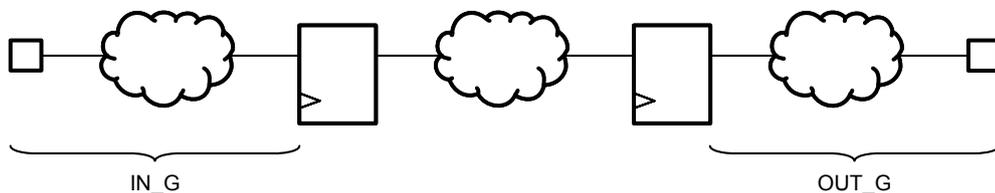
同一のクロックに対するタイミング制約でも、次に示す間で制約の厳しさが異なります。

- 入力端子 ~ F/F 間
- F/F ~ F/F 間
- F/F ~ 出力端子間

DesignCompiler は同じクロック・ドメイン (Path Group) の中で、最悪パスの違反を修正する傾向にあります。ここで、入力端子 ~ F/F 間、F/F ~ 出力端子間で最悪パスの改善が見込めないと、F/F ~ F/F 間でのタイミング違反を中止する可能性があります。このため、グループ・パスを分ける必要があります。

具体的には、次の Design Compiler のスクリプトを設定してください。

```
dc_shell> group_path -name IN_G -from [all_inputs]
dc_shell> group_path -name OUT_G -to [all_outputs]
```



6.7.5 違反名称の修正

以下のコマンドにより、名称規則の不適合な名称を自動的に変更できます。

report_names で変換後の名称が、レポートされるので確認してください。

```
dc_shell> change_names -rules "OpenCAD" -h (ユーザ・マクロ時)
dc_shell> change_names -rules "OpenCAD-TOP" (トップ階層時)
```

上記のコマンドにより、名称規則の不適合な名称を自動的に変更することができます。

名称違反のままの場合、弊社ヘインタフェースできないので注意してください。

6.7.6 SRAM 配線混雑による遅延増加対策

SRAM 周辺で配線混雑が発生した場合、レイアウト後に遅延増加が発生する可能性があります。これを考慮して、後段クロックを遅らせて論理合成をして頂く提案をすることがあります。

具体的には、次の Design Compiler のスクリプトを設定します。

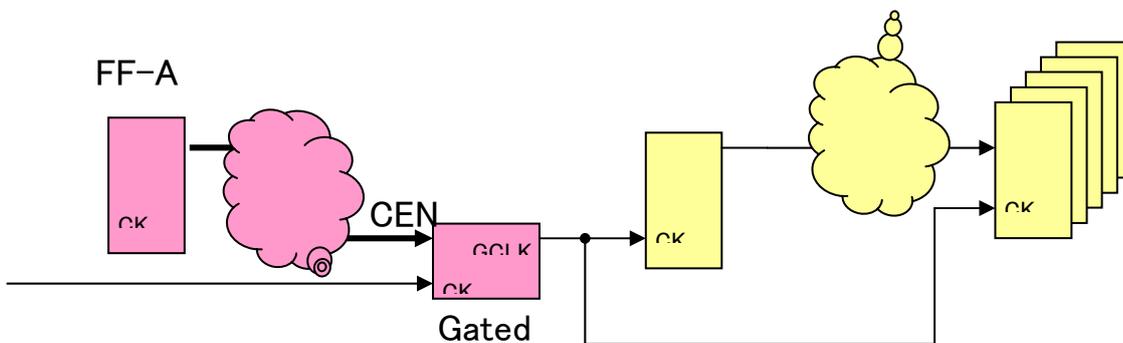
```
set_clock_uncertainty 0.? -to inst_ram/CLK
```

6.7.7 ゲーティングセルの CEN のセットアップマージン確保

レイアウト時のゲーティングセル周辺でのタイミング収束性向上の為、論理合成でのクロック信号は ideal を前提とした場合、FF_A ゲーティングセル CEN のセットアップタイミングを厳しくする方法です。

具体的には、次の Design Compiler のスクリプトを設定します。

```
set_clock_gating_check -setup 0.? inst_gating_cell/CEN
```



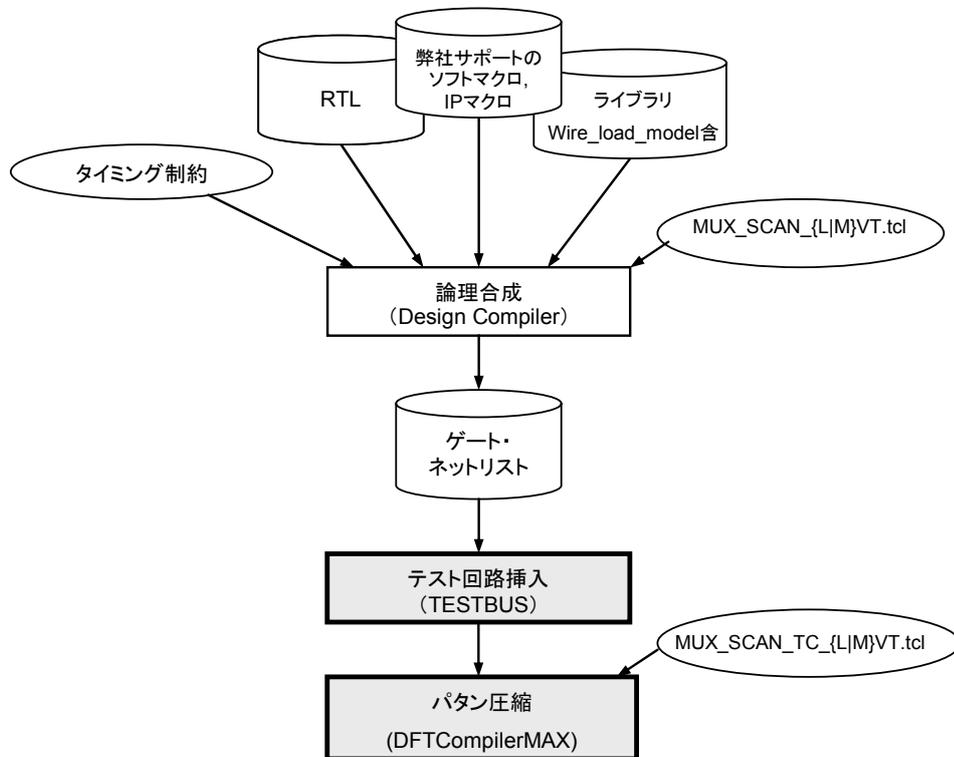
第7章 テスト設計

「1.7 テスト設計環境」で示したように、弊社ではLSIIに対するDFTとして、SCAN(MUXSCAN)、RAMBIST、BSCAN、TESTBUSを適用します。

設計フローとして次の図のように、論理合成後のネットリストに RAMBIST、BSCAN、TESTBUS を挿入します。そのあとに Synopsys 社 DFTCompiler を使用して SCAN 回路を挿入します。

DFT では、数 10 本の外部端子を使用しますが、テスト専用で使用するものとお客様の信号端子と共用して使用するものがあります。この章では、お客様の信号端子と共用して使用させていただく外部端子にテスト回路をスムーズに挿入するための手法と、DFT で使用するテスト専用外部端子の基板上での処置について説明します。

この章の記載事項は、お客様側で対応していただくか、または弊社側で対応するかは、設計レビュー時に討議させていただきます。



7.1 DFT 端子一覧

DFT 設計で使用する外部端子の制約と注意事項を説明します。

7.1.1 DFT 設計で必要な外部端子（標準）

弊社が提供する DFT 設計では，外部端子に対して，いくつかの制限事項があります。

DFT 設計で必要な端子を次に示します。

テスト端子			Boundary Scan あり	Boundary Scan なし
端子名	属性	本数		
プルアップ/プルダウン切り離し，IO バッファ・ドライバビリティ制御用端子				
TMC1	I	1	√	
TMC2	I	1	√	
JTAG 端子（TAP コントローラ用端子）				
TDI	I	1	√	共用可能
TDO	O	1	√	共用可能
TMS	I	1	√	共用可能
TRST	I	1	√	√
TCK	I	1	√	共用可能
MUX SCAN 用端子				
SIN	I	1～32		共用可能
SOT	O	1～32		共用可能
SMC	I	1		共用可能
SCK	I	必要分		共用可能
TEN	I	1	√	
ASC	I	1		共用可能
テスト・バス用端子				
TBI	I	必要分		共用可能
TBO	O	必要分		共用可能
ATBI	I	必要分		共用可能
ATBO	O	必要分		共用可能
PLL 遅延スキャン用端子				
PDM	I	必要分		共用可能
PGM	I	必要分		共用可能
SPP	I	必要分		共用可能
専用外部端子 合計			8	4

備考 共用可能：信号端子とテスト端子の共用可能 √：外部専用

7.1.2 DFT 設計で必要な外部端子 (リダンダント SRAM 使用時)

リダンダント SRAM は、冗長ビットを有するリダン用 SRAM で、テスト時に SRAM 不良ビットが見つかったら、その不良ビットを冗長ビットに置き換え、実使用時に冗長ビットを使用する機能を持っています。

この冗長ビットと置き換えるための信号を eFuse コントローラへ渡すため、eFuse 用の信号端子が追加が必要となります。

テスト端子			Boundary Scan	Boundary Scan	備考
端子名	属性	本数	あり	なし	
リダンダントSRAM eFuse用端子 ^注					
FPIN ^注	電源	1	√		eFuse 切断電源
LVSPOW ^注	電源	1	√		
CUTTRG	I	1	共用可能		SRAM リダン用制御信号
CUTIFSW1	I	1	共用可能		
CUTHL	I	1	共用可能		
CUTSW	I	必要分	共用可能		
FUSESEL	I	必要分	共用可能		
FUSEOUT	O	1	共用可能		
CRDIS	O	1	共用可能		
FBITDO	O	1	共用可能		
PRESET	I	1	共用可能		
REGREAD	I	1	共用可能		
PONR	I	1	√		Power on Reset 端子
専用外部端子加算数			+3	+3	

注 ウエハ・テスト時のみ必要となります。

備考 共用可能：信号端子とテスト端子の共用可能

√：外部専用

7.2 DFT 専用外部端子の基板上での処理

DFT 専用外部端子の基板上での処置について説明します。

7.2.1 DFT 専用外部端子のボード上での処理（標準）

テスト項目	端子名	属性	バッファ・タイプ	LSI ノーマル・モード時の設定
バウンダリ・スキャン	TDI	I	プルアップ付き	V _{DD} (IO) に接続, またはオープン (V _{DD} 接続を推奨)
	TMS	I	プルアップ付き	V _{DD} (IO) に接続, またはオープン (V _{DD} 接続を推奨) ただし, ソフトウェア・リセット時はオープン禁止です。TMS が “1” の状態で, TCK の立ち上がりエッジを 5 回以上入力します。)
	TCK	I	プルダウン付き	GND に接続, またはオープン (GND 接続を推奨)
	TRST	I	プルアップ付き (バウンダリスキャンを適用しない場合はプルダウン)	V _{DD} (IO) に接続, またはオープン (V _{DD} 接続を推奨) ただし, ハードウェア・リセット時は, 電源投入時に必ず “0” を入力して TAP コントローラを初期化してください。 初期化しないと, LSI はノーマル・モードになりません。なお, ハードウェア・リセット時は, オープンにはできません。 (バウンダリ・スキャンを適用しない場合は, “0” を入力)
	TDO	O	3 State	オープン
スキャン	TEN	I	プルダウン付き	GND に接続, またはオープン (GND 接続を推奨)
弊社専用端子	TMC1	I	専用バッファ	GND に接続, またはオープン (GND 接続を推奨)
	TMC2	I	専用バッファ	GND に接続, またはオープン (GND 接続を推奨)

7.2.2 専用テスト端子のボード上での処理（リダンダント SRAM 使用時）

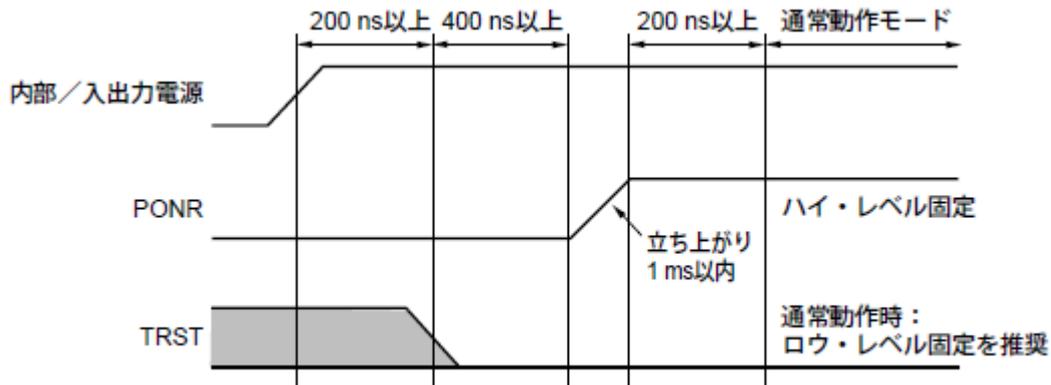
PONR 信号は、eFuse の Cut/Uncut の情報をロードするための信号です。

電源電圧の安定後 200 ns 以上経過してから、PONR を “0” から “1” に立ち上げ、さらにその 200 ns 以上経過後 LSI の動作を開始してください。PONR はノイズ対策のために、シュミット・バッファを推奨します。

テスト項目	端子名	属性	バッファ・タイプ	LSI ノーマル・モード時の設定
SRAM リダンダンシ	FPIN	I	専用バッファ	“0” (GND) 接続
	LVSP0W	I	専用バッファ	“1” (VDD 1.0 V) 接続
	PONR	I	シュミット・バッファ	電源投入後に “0” を入力し、その後 “1” にしてください。電源電圧は問いません。

JTAG ハードウェア・リセット時の電源投入とリセット信号シーケンス

電源投入後 200ns 以上経過後、TRST 信号へロウ・レベル信号を入力します。400ns 以上経過後に PONR を立ち上げます。



ソフトウェア・リセット時のシーケンスについては、製品データ編を参照してください。

7.3 テスト専用端子の制約

DFT 専用で使用する外部端子の RTL 上での制約と注意事項について説明します。

7.3.1 TMC1, TMC2 (必須：手作業で接続)

TMC1, TMC2 の専用外部端子と専用 I/O バッファを接続してください。テスト・モード設定端子です。

上記端子の論理を設定して、IDD テスト時のプルアップ/プルダウン抵抗を切り離したり、LFT、スキャン・テストで出力電流を調整します。



7.3.2 TDI, TCK, TMS, TRST, TDO (BSCAN 使用時：自動処理)

TDI, TCK, TMS, TRST, TDO 端子は IEEE 1149.1 で規定されている BSCAN テストに使用する専用端子です。

RTL 設計上で挿入する必要はありません。弊社 TESTACT で自動生成します。

ただし、TDO についてはボード基盤上の負荷により、ドライバピリティを決定する必要があるので負荷情報を連絡してください。

7.3.3 TRST (BSCAN 使用時：自動処理)

TRST 端子は、RTL 設計上で挿入する必要はありません。弊社 TESTACT にて自動生成します。

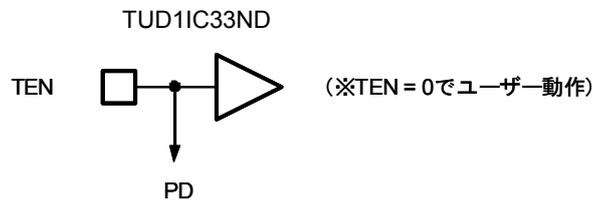
なお、BSCAN 使用時は BSCAN の端子制限に包含されます。

7.3.4 TEN 端子

TEN (Test Enable) 端子は、MUX SCAN 時、特殊回路に対する故障検出率をあげるために使用します。

このとき、TEN 端子はお客様の基板上で誤動作しないように、プルダウン抵抗付きインタフェース・ブロックを接続してください (TEN 端子はノーマル動作になるようにインタフェース・ブロックを選択してください)。

TEN 端子は、スキャン・テスト時は"1"、ユーザ動作時には"0"となります。

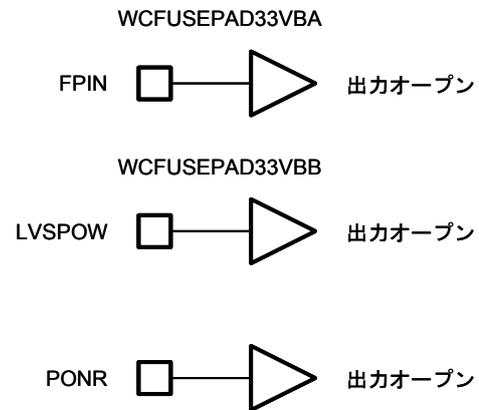


7.3.5 リダンダント SRAM の DFT 専用端子

FPIN, LVSPOW の 2 端子は eFuse 切断用電源端子, PONR は Power On Reset 端子です。

eFuse 切断用電源端子は, 次のように専用の I/O バッファを接続してください。

PONR は, 特に専用の I/O バッファはありませんが, シュミット・バッファの使用を推奨します。



第8章 IP コアに関する設計事項

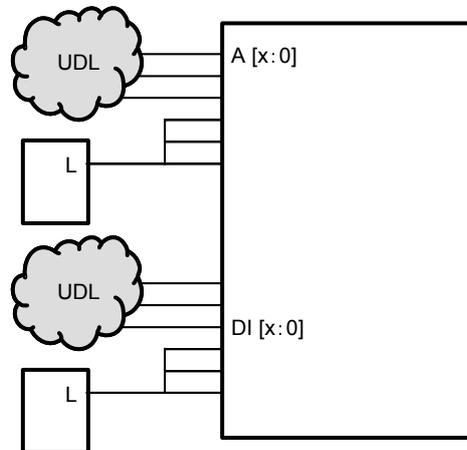
8.1 SRAM マクロ

ここでは SRAM マクロの未使用アドレス/データ・ビットに対する処理とチップ・イネーブル端子の処理, RTL より SRAM を参照する際のバス記述の端子を展開した端子に変換する SRAM Wrapper, SRAM リダンダンシ Wrapper について説明します。

8.1.1 未使用アドレス/データ・ビットに対する処理

入力オープンとしないで, 次のクランプ・セルでロウ・クランプにて結線してください。

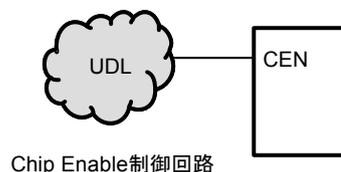
なお, "H" クランプする場合はクランプセルと直接結線はできないため, バッファ経由で結線してください。



8.1.2 チップ・イネーブル (CEN) 端子の処理

SRAM の動作電流を抑えるため, リード/ライト動作していないときは CEN = 1 (非動作) とします。または, 全入力端子の値を固定値に設定してスタンバイ状態となる制御回路をユーザ回路で構成してください。

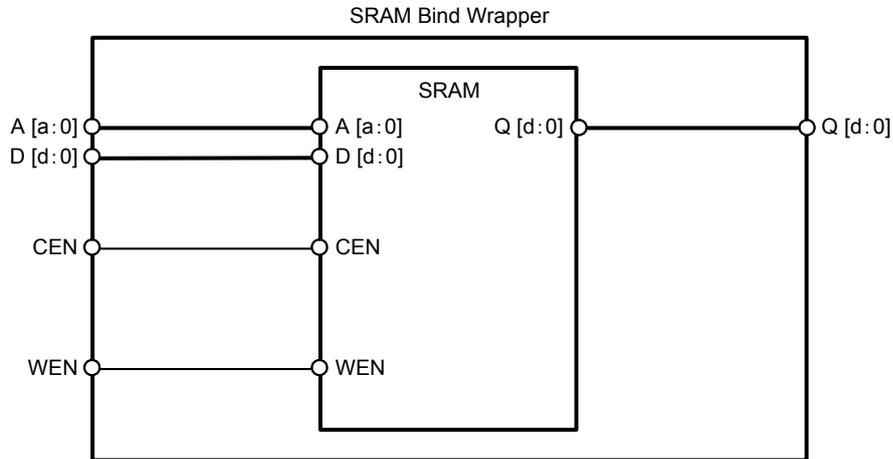
スタンバイ状態の詳細は, 各 SRAM のドキュメントを参照してください。



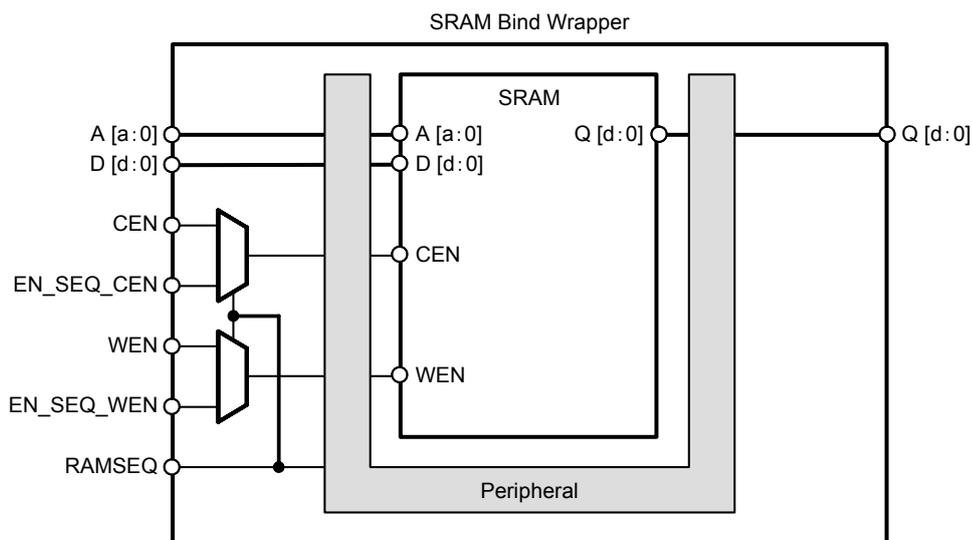
アドレス/データの値が固定であっても CEN = 0 (動作), かつ CLK が動作している状態であると, WEN の論理により, リードあるいはライト・モードとなり SRAM は実動作と同等の動作電流を消費してしまいます。

8.1.3 SRAM 用 Wrapper を使用

弊社の SRAM は、データ信号、アドレス信号ともにバス表現ができません。しかし、RTL より SRAM を参照する際は、バス表記が一般的となるので、バス記述の端子を展開した端子に変換する Wrapper を新たに上位階層に構成します。この SRAM 用 Wrapper は、弊社メモリ・コンパイラで自動生成することができます。



なお、SRAM テスト用に弊社にて Wrapper 内に次の SRAM BIST 回路を生成します。



8.1.4 ソフトマクロ SRAM リダンダンシ Wrapper に対する処理

弊社より提供させていただくソフトマクロ形式の SRAM リダンダンシ Wrapper (**RDU) は、論理合成時に Prefix 名の付加、および ungroup は禁止です。理由は、弊社テスト設計ツール (TESTACT) がこの Wrapper 名称を元に、テスト回路生成を行っているためです。

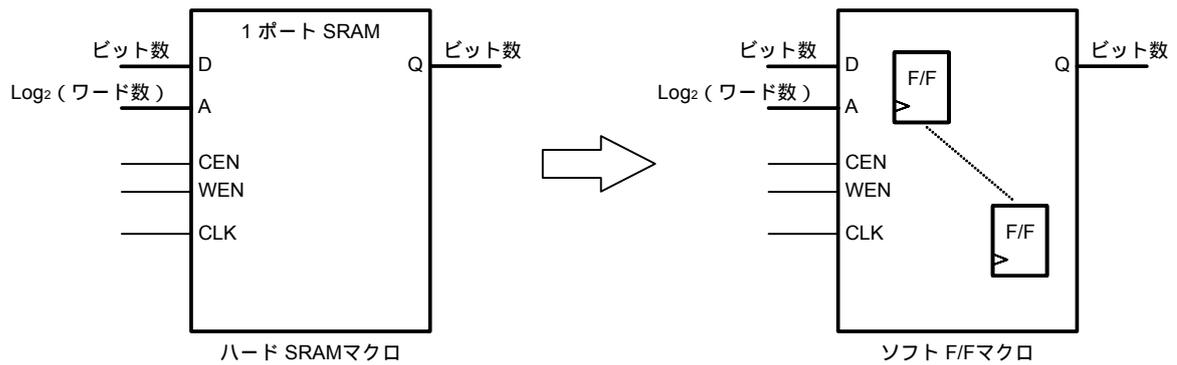
なお、お客様の都合により、やむを得ず Prefix 名を付加する場合は、弊社にご連絡ください。

8.1.5 小ビット/ワードの 1 ポート SRAM の F/F 化 (弊社指定時)

小ビット/ワードの 1 ポート SRAM は、レイアウト時の配線性等の理由により、弊社より F/F で構成することを依頼する場合があります。

1 ポート SRAM	ビット×ワード	512 ビット	: F/F での構成をお願いします。
		> 512 ビット	: 弊社より別途依頼させていただく場合があります。

該当する SRAM を使用する場合は、RTL 記述で F/F 構成のメモリを定義してください。なお、RTL 記述が困難な場合は、弊社までお問い合わせください。また、インスタンス名は SRAM であること、ビット/ワード数がわかるように定義をしてください (例: SRAM_ [Bit 数] B [Word 数])。



8.2 PLL

複数のチップ間に渡る高速な同期回路を実現するためには、各チップ内部のクロック・スキューを小さくするとともに、チップ間のクロック信号の位相をできるだけ合わせる必要があります。

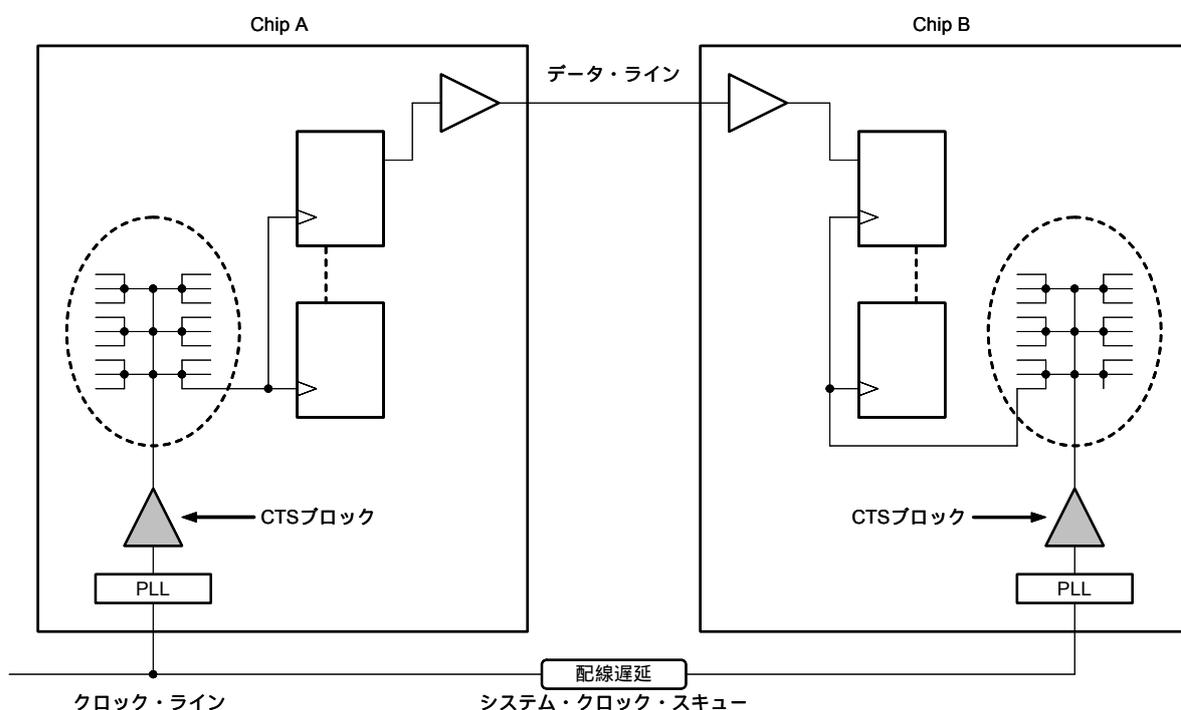
この場合、スキュー改善のため、PLL (Phase Locked Loop) を使用します。

PLL を使用して、各チップ内部のクロックの位相をチップ外部から供給される基本クロックとあわせ、チップ間のクロックの位相差を小さくできます (図 8 - 1 参照)。

PLL は、チップ間のクロック位相差を小さくする目的のほかに、クロック信号の逡倍や分周の目的にも使用されます。

CB-90MR では、位相調整用、逡倍用、SSCG 用の 3 種類の PLL を用意しています。詳細は、個々の PLL のマニュアルを参照してください。

図8 - 1 PLL によるチップ間クロック位相差対策

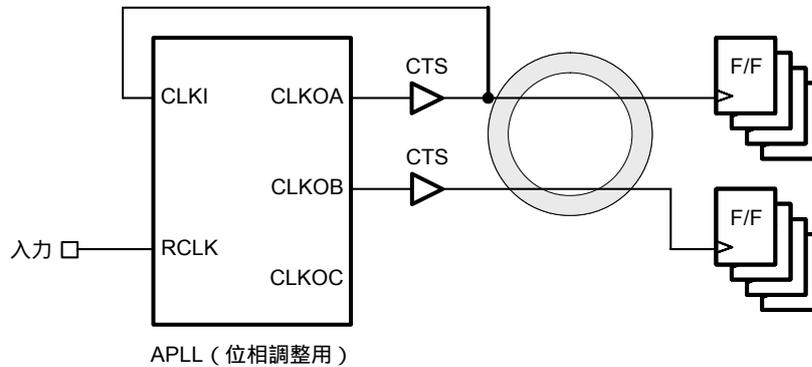


8.2.1 スキュー調整用 PLL 使用時の注意事項

フリップフロップへ入るクロック波形と PLL へ入るレファレンス・クロック波形の位相を合わせるためには、PLL 出力のクロック信号、すなわち CTS 専用バッファの出力を PLL にフィードバックさせる必要があります。

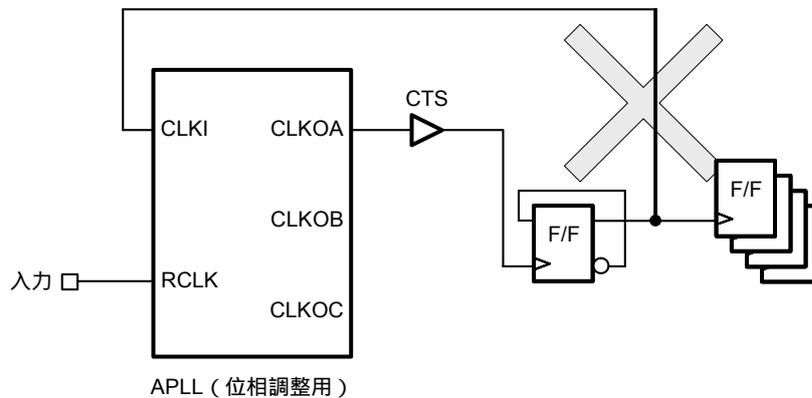
弊社のスキュー調整用 PLL では、CLKOA 出力信号以外のフィードバックは禁止です。CLKI には CLKOA の出力信号を接続することをルールとしています。

CLKOA 出力が直接 CTS 経由で CLKI にフィードバックされるシンプルな構成にしてください。

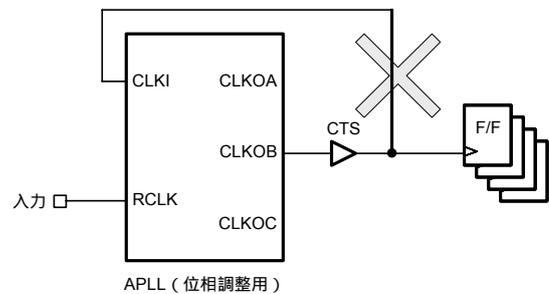
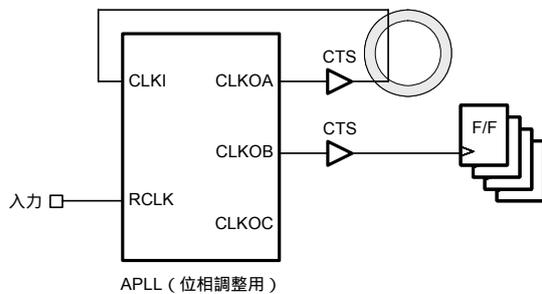


分周回路を含んだフィードバック・ループは禁止です。

同様に、ゲーティング・ブロックを介したクロックの CLKI 入力も禁止です。ゲーティングによりクロックが停止する場合があります、仮にクロックが停止すると APLL のロックが外れます。



CLKOA を使用していない場合も、CLKOB および CLKOC のフィードバック接続は禁止しております。



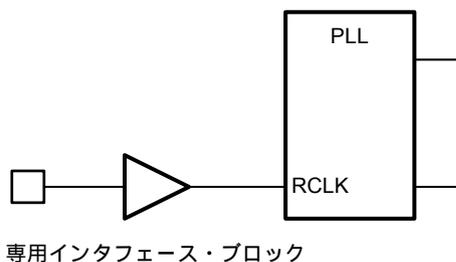
8.2.2 PLL のレファレンス・クロック

PLL のレファレンス・クロック (RCLK) は、必ずインタフェース・ブロックに直結させてください。つまり、インタフェース・ブロックと PLL レファレンス・クロックとの間に他のゲートを挿入してはいけません。

他のゲートが、インタフェース・ブロックと PLL レファレンス・クロックとの間に挿入された場合、LSI 自身のクロック端子と CTS の位相差のオフセットが大きくなります。具体的には、インタフェース・ブロック単体の位相差が ± 100 ps だとすると、この間にゲートが挿入された場合、次の位相差になります。

$$- (100 + \text{ゲート遅延}) \sim + (100 - \text{ゲート遅延})$$

図8 - 2 レファレンス・クロックの I/O 接続



第9章 設計フェーズ

CB-90MR タイプで ,お客様から弊社への設計データの引き渡し基準および次の設計フェーズに進むうえでの設計項目 , 品質項目を定めます。

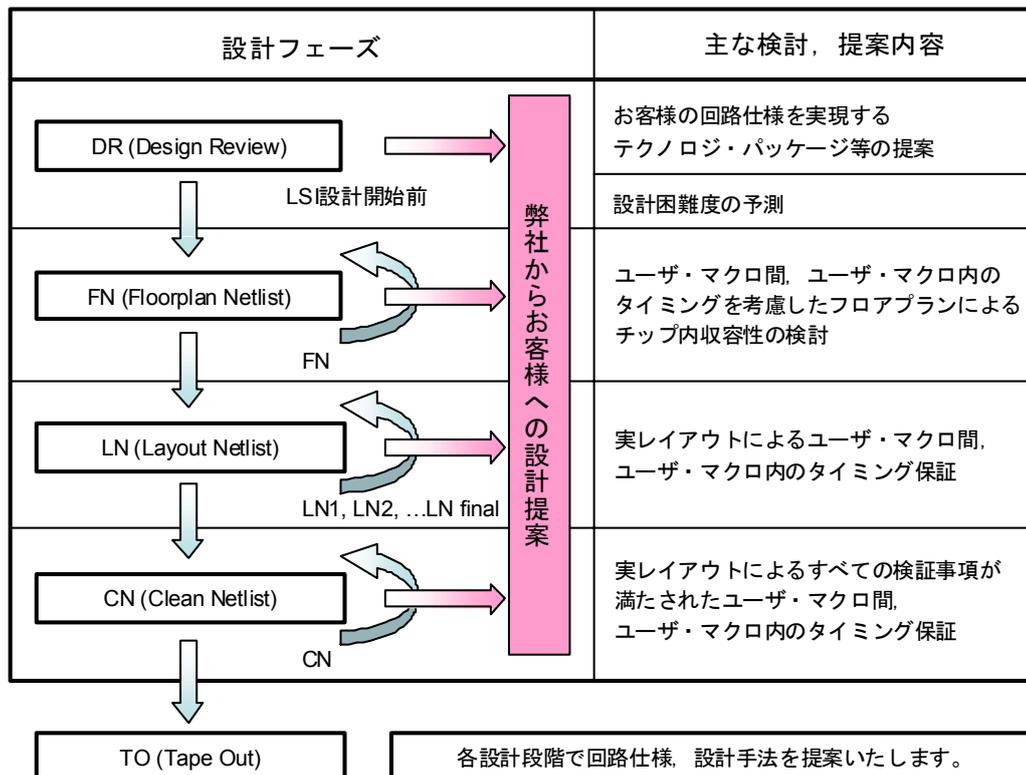
各フェーズでの詳細な検討項目については , 商談ごとに決めてまいります。

9.1 設計フェーズ定義

トータル開発 TAT 短縮 , および LSI 開発スケジュールも明確化のため , 一般のセルベース IC では設計情報 , データごとに次の 5 つの設計フェーズからなる「設計フェーズ」を定義しています。

設計フローを設けることにより , お客様よりいただいた設計データに対して , 弊社で行う設計内容 , およびフィードバック情報を明確にしています。

図9 - 1 設計フェーズ



これにより , 短設計 TAT でかつ , 高品質 (高速 , 高集積性) の LSI を実現することを目標としています。

9.2 各フェーズの情報

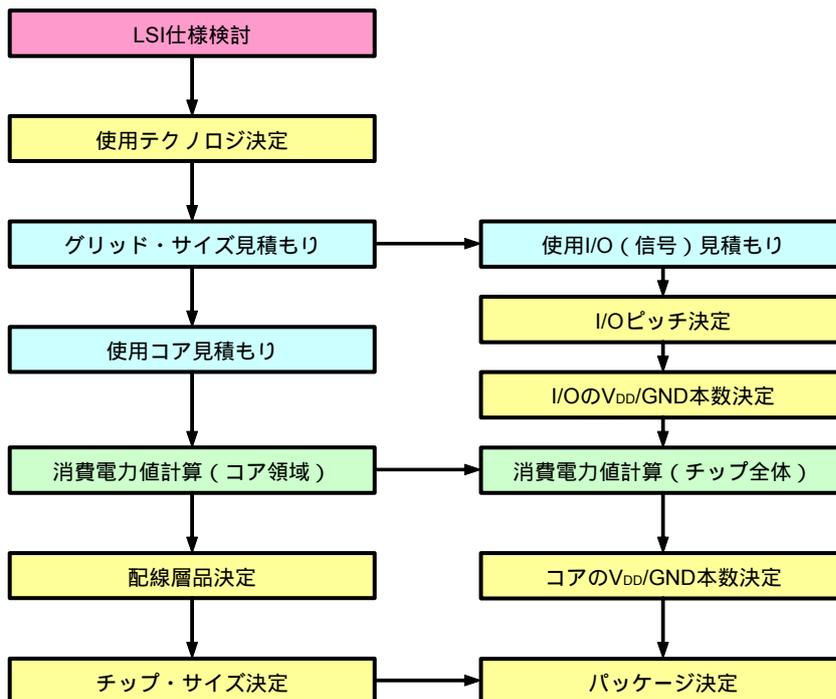
設計フェーズの検討項目を次に示します。

9.2.1 DR (Design Review)

設計を効率的に進めるために、各設計フェーズで DR を行います。

詳細は、第 2 章 設計手順を参照してください。

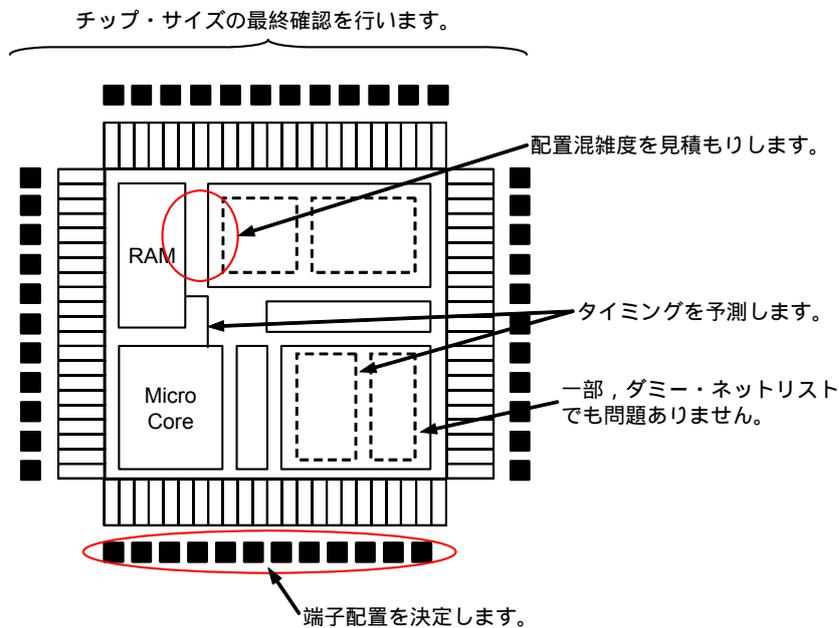
図9 - 2 DR (Design Review)



9.2.2 FN (Floorplan Netlist)

- インタフェース 1 回のみ
- ネットリスト・フォーマットに誤りがないようにしてください。
- 弊社の名称ルール、バス表記を適用してください。
- DesignCompiler の check_design, compile がパスするようにしてください (RTL インタフェース時)。
- タイミング制約情報はできる限り提供してください。
- クロック構成図、可能であればデータ流れ図は提供してください。
- フロアプランに影響を与える機能モジュールの端子/サイズ、ハードマクロの構成はここで決定してください。
- 複数機能モジュール間で兼用する SRAM があれば、その情報を提示してください。
- 機能モジュール単位毎に、FF ~ SRAM, SRAM ~ FF, SRAM ~ SRAM 間の配線量、タイミング収束難易度を提示してください。

図9-3 FN (Floorplan Netlist)

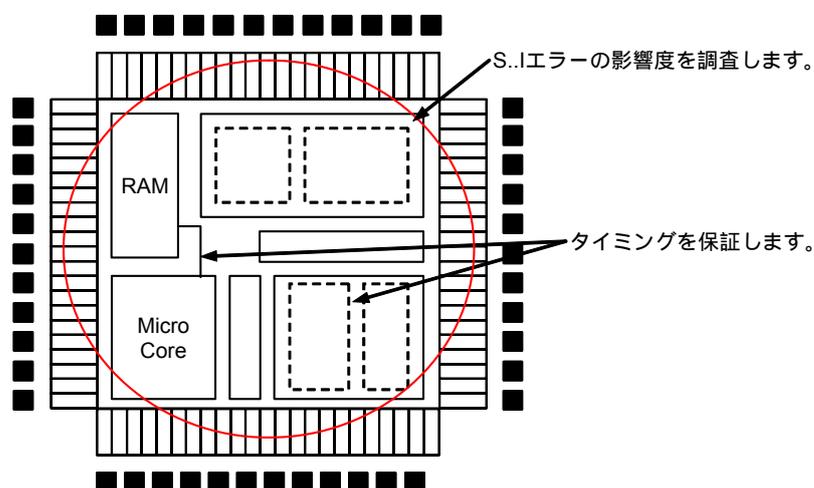


9.2.3 LN (Layout Netlist)

- インタフェース 複数回可 (コード・カバレッジ約 90%)
- RTL インタフェースの場合, RTL Checker の lint チェックによる対策を行ってください。
- CTS に影響を与えるクロック構成, F/F 数はここで決定してください。
- 回路仕様・構成を決定してください。
- 極力, FN からゲート数が増大しないようにしてください。
- フロアプランに影響を与える機能モジュールの端子/サイズ, ハードマクロ構成, 機能モジュール間のデータ流れは, ここで決定してください。
- レイアウトに必要なタイミング制約情報を用意してください。
- できる限り, DFT を考慮した回路構成としてください。
- AC スペック (高速 I/F 部も含む) は, ここで提示してください。

図9 - 4 LN (Layout Netlist)

完成したフロアプラン情報をもとにレイアウトを実行します。

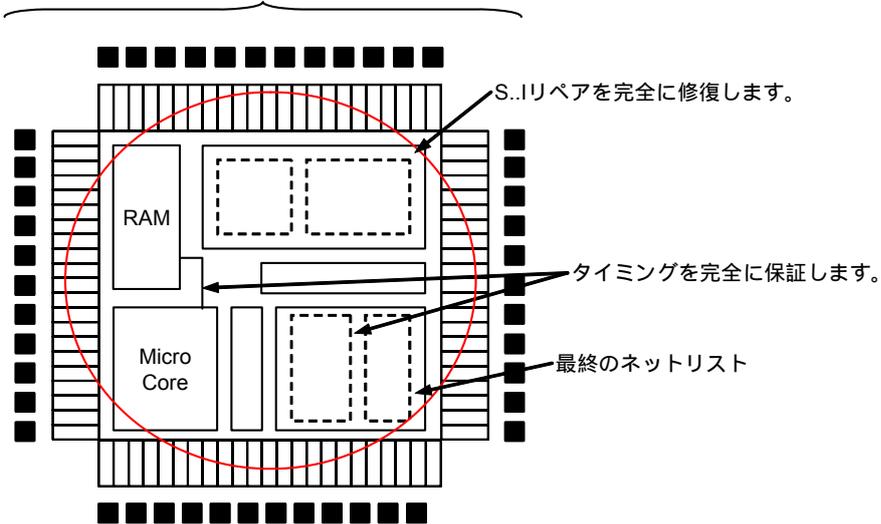


9.2.4 CN (Clean Netlist)

- インタフェース 1 回のみ (コード・カバレッジ 100%)
- RTL インタフェースの場合, RTL Checker の lint チェックによる対策を完全に行ってください。
- ECO で変更できる微少の回路修正以外はできません。
- クロック構成, F/F 数の変更は原則できません。
- 極力, LN からゲート数が増大しないようにしてください。
- F/F 数は, レイアウトに影響を及ぼさない最小限の変更しかできません。
- タイミング制約の変更はできません。
- TO 間際の ECO に対応する為, 必要であればダミー F/F を定義してください。ダミー F/F のインスタンス名の提供もお願いします。
- お客様要望に応じてダミー・セル, 上地修正用 ECO セルを配置します。

図9 - 5 CN (Clean Netlist)

最終のフロアプラン情報をもとにLVS/DRCでエラーがないようにレイアウトを実行します。



付録 A 名称規約

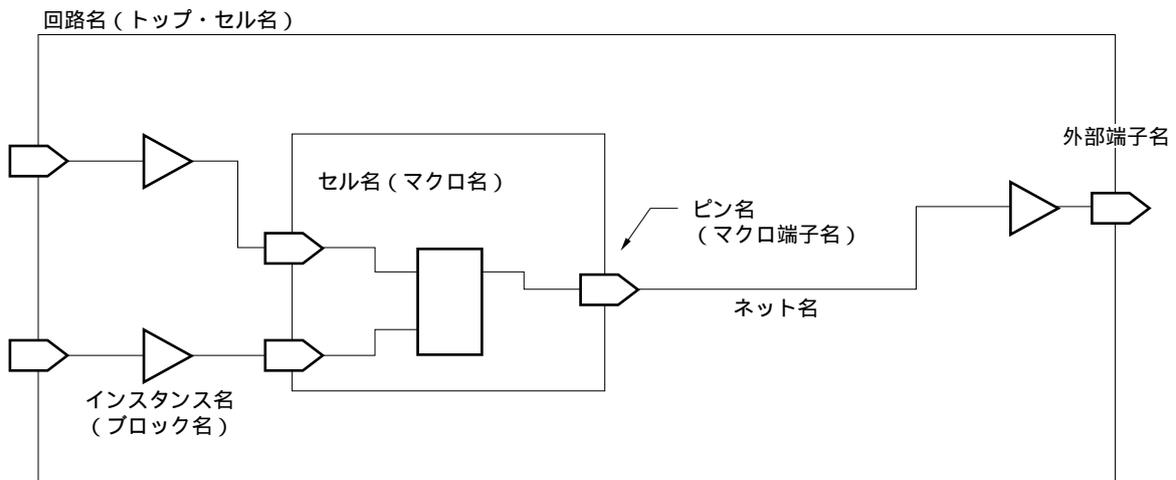
弊社設計環境における名称は、次の(1)～(7)記載の名称規約に従って定められています。

名称をつける際には、これらの規約を留意のうえ、行ってください。

ただし、VHDLを使用する際は、VHDLの名称規約が優先となります。

また、このほかにツールによっては制限がある場合があります。その場合は、ツールごとの名称規約にも従っている必要があります。

図 A - 1 回路の名称



(1) 回路名 (トップ・セル名)

英数字，アンダスコアからなること。“\$”は使用不可。

回路名の文字数は，1文字以上32文字以下であること。

文字種：“a”～“z”，“A”～“Z”，“0”～“9”，“_”

文字数：1～32文字

(2) 外部端子名

英数字，アンダスコアからなること。英小文字，“\$”，“[”，“]”は使用不可。

外部端子名の文字数は，1文字以上64文字以下であること。

文字種：“A”～“Z”，“0”～“9”，“_”

文字数：1～64文字

注意 次の文字列は，セルベースICでは使用禁止。

VDD, GND

(3) セル名 (マクロ名)

英数字, アンダスコア, “\$” からなること。

セル名の文字数は, 1 文字以上 255 文字以下であること。

文字種: “a” ~ “z”, “A” ~ “Z”, “0” ~ “9”, “_”, “\$”

文字数: 1 ~ 255 文字

注意 次の文字列は, 弊社設計環境での予約語のため使用禁止。

DBHI, DBHO, DBHB,

DBCLn+ (n: 1~9 の整数),

DBCLn- (n: 1~9 の整数),

DPPICON, DPPOCON, DPPBCON,

DBCLAMP0, DBCLAMP1

(4) インスタンス名 (ブロック名)

表 A - 1 の使用禁止文字を除く Printable Character すべてを使用可能文字とする。

インスタンス名の文字数は, 1 文字以上 255 文字以下であること (エスケープ文字を含む)。

文字種: 0x21 ~ 0x7E (ASCII コード)

文字数: 1 ~ 255 文字 (エスケープ文字を含む)。また階層展開後では 511 文字以下になること。

表 A - 1 使用禁止文字 1

ASCII コード	文字	弊社設計環境
0x20	空白	×
0x21	! (エクスクラメーション)	×
0x22	" (ダブル・クォーテーション)	×
0x23	# (シャープ)	×
0x25	% (パーセント)	×
0x27	' (クォーテーション)	×
0x28	((左カッコ)	×
0x29) (右カッコ)	×
0x2A	* (アスタリスク)	×
0x2B	+ (プラス)	×
0x2C	, (カンマ)	×
0x2D	- (ハイフン)	×
0x2F	/ (スラッシュ)	
0x3A	: (コロン)	×
0x3B	; (セミコロン)	×
0x3F	? (クエスチョン)	×
0x5B	[(左ブラケット)	
0x5C	¥ (バック・スラッシュ)	×
0x5D] (右ブラケット)	
0x7B	{ (左中カッコ)	×
0x7D	} (右中カッコ)	×

備考 : 使用可, × : 使用禁止

注意 1. “\$” のみの名称は不可。また，“\$” で始まり，2 文字目以降が数字のみの文字列も不可。

例 不可文字列：\$，\$1，\$50，\$888

可能文字列：\$Y，\$N1，\$00A

注意 2. 次の文字列は使用禁止。

PIN, VPIN, IN, OUT

(5) ピン名 (マクロ端子名)

英数字，アンダスコア，“\$” からなること。

ピン名の文字数は，1 文字以上 255 文字以下であること。

文字種：“a”～“z”，“A”～“Z”，“0”～“9”，“_”，“\$”

文字数：1～255 文字

注意 次の文字列は，セルベース IC では使用禁止。

VDD, GND

(6) ネット名

表 A - 2 の使用禁止文字を除く Printable Character すべてを使用可能文字とする。

ネット名の文字数は，1 文字以上 255 文字以下であること。

文字種：0x21～0x7E (ASCII コード)

文字数：1～255 文字

表 A - 2 使用禁止文字 2

ASCII コード	文字	弊社設計環境
0x20	空白	×
0x21	! (エクスクラメーション)	×
0x22	" (ダブル・クォーテーション)	×
0x23	# (シャープ)	×
0x25	% (パーセント)	×
0x27	' (クォーテーション)	×
0x28	((左カッコ)	×
0x29) (右カッコ)	×
0x2A	* (アスタリスク)	×
0x2B	+ (プラス)	×
0x2C	, (カンマ)	×
0x2D	- (ハイフン)	×
0x2F	/ (スラッシュ)	
0x3A	: (コロンの)	×
0x3B	; (セミコロンの)	×
0x3F	? (クエスチオンの)	×
0x5B	[(左ブラケット)	
0x5C	¥ (バック・スラッシュ)	×
0x5D] (右ブラケット)	
0x7B	{ (左中カッコ)	×
0x7D	} (右中カッコ)	×

備考 : 使用可，×：使用禁止

注意 1. 次の文字列は、セルベース IC では使用禁止。

VDD, GND

注意 2. 次の文字列は使用禁止。

MUSTJOIN, MUSTJOIN で始まる文字列

(7) 名前をつけるうえでの注意点

名称は、大文字、小文字を区別します。

大文字、小文字はそのまの文字で認識され、混在も許可されますが、大文字、小文字を同一視した場合に名称が重複しないようにしてください。

同一セル内において、インスタンス名と端子名が重複しないようにしてください。

同一セルおよびコンポーネント内でバス表記の端子が存在する場合、そのバス表記の端子を展開した際に現れる名称がほかで使用されないようにしてください。

このほかに、ツールによって制限がある場合があります。その場合は、各ツールごとの名称規則にも従っている必要があります。

(8) 合成ツール、GATEDRC での名称ルールの対応

(1) ~ (7) の名称ルールは、弊社設計環境としてリリースしている NAME_RULE.t r c の source コマンドを実行することにより、弊社設計環境内の合成ツールに認識させることが可能です。

また、GATEDRC 用には、shampoo ライブラリの中に名称ルールを設定しています。

改訂記録	CB-90MR タイプ ユーザーズマニュアル 回路設計編		
------	------------------------------	--	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.09.30	—	初版発行

CB-90MR タイプ ユーザーズマニュアル 回路設計編

発行年月日 2011年9月30日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

CB-90MR タイプ